

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7763

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ / SH-4A シリーズ

R5S77630A

R5S77631A

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
 2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 3. 当社製品を改造、改変、複製等しないでください。
 4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
 5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
 6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
 8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
 12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 各レジスタリザーブビットの読み出し / 書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し / 書き込み値の指定が特でない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。（使用上の注意事項は必要により記載されます。）

7. 電気的特性
8. 付録
9. 本版で修正または追加された箇所
10. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。

- FPUの機能および各命令の詳細を理解したいとき。

別冊の「SH-4A ソフトウェアマニュアル」を参照してください。

凡例 **ビット表記** : 左側が上位ビット、右側が下位ビットの順に表記します。
数字の表記 : 2進数は B'XXXX、16進数は H'XXXX、10進数は XXXX で表します。
記号の表記 : ローアクティブの信号にはオーバーバー ($\overline{\text{XXXX}}$) を付けます。

略語の説明

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
BGA	Ball Grid Array ボールグリットアレイ
CMT	Compare Match Timer (Timer/Counter) コンペアマッチタイマ (タイマカウンタ)
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
DDR	Double Data Rate ダブルデータレート
DDRIF	DDR-SDRAM Interface DDR-SDRAM インタフェース
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ (DMA コントローラ)
FIFO	First-In First-Out 先入れ先出し
FPU	Floating Point Unit 浮動小数点演算装置
HAC	Audio Codec オーディオコーデック
H-UDI	User Debugging Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ
JTAG	Joint Test Action Group バウンダリスキャン規格化グループ
LBSC	Local Bus State Controller ローカルバスステートコントローラ
LRAM	L Memory L メモリ (内蔵 RAM)

LRU	Least Recently Used (仮想記憶ページ置き換えアルゴリズムの名前)
LSB	Least Significant Bit 最下位ビット
MMCIF	Multimedia Card Interface マルチメディアカードインタフェース
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PCI	Peripheral Components Interconnect ペリフェラルコンポーネントインタコネクト
PCIC	PCI Controller PCI (ローカルバス) コントローラ
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
RTC	Realtime Clock リアルタイムクロック
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
SIOF	Serial Interface with FIFO シリアル I/O FIFO 付き
SSI	Serial Sound Interface シリアルサウンドインタフェース
TAP	Test Access Port テスト端子
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ

WDT

Watchdog Timer

ウォッチドッグタイマ

すべての商標および登録商標は、それぞれの所有者に帰属します。

- MultiMediaCardは、MultiMediaCard Association (MMCA) の登録商標です。
- Magic Packet は、Advanced Micro Devices Inc.の登録商標です。
- SuperH™は、ルネサス エレクトロニクス株式会社の商標です。

目次

1. 概要.....	1-1
1.1 SH7763の特長.....	1-1
1.2 ブロック図.....	1-11
1.3 ピン配置.....	1-12
2. プログラミングモデル.....	2-1
2.1 データフォーマット.....	2-1
2.2 レジスタの構成.....	2-2
2.2.1 特権モードとバンク.....	2-2
2.2.2 汎用レジスタ.....	2-5
2.2.3 浮動小数点レジスタ.....	2-6
2.2.4 コントロールレジスタ.....	2-9
2.2.5 システムレジスタ.....	2-11
2.3 メモリ割り付けレジスタ.....	2-14
2.4 レジスタのデータ形式.....	2-14
2.5 メモリ上でのデータ形式.....	2-15
2.6 処理状態.....	2-16
2.7 使用上の注意事項.....	2-17
2.7.1 自己書き換えコードに対する注意事項.....	2-17
3. 命令セット.....	3-1
3.1 実行環境.....	3-1
3.2 アドレッシングモード.....	3-3
3.3 命令セット.....	3-6
4. パイプライン動作.....	4-1
4.1 パイプライン.....	4-1
4.2 並列実行性.....	4-12
4.3 発行レートと実行ステート.....	4-15
5. 例外処理.....	5-1
5.1 概要.....	5-1
5.2 レジスタ説明.....	5-1
5.2.1 TRAPA 例外レジスタ (TRA).....	5-2

5.2.2	例外事象レジスタ (EXPEVT)	5-2
5.2.3	割り込み事象レジスタ (INTEVT)	5-3
5.3	例外処理の機能	5-4
5.3.1	例外処理の流れ	5-4
5.3.2	例外処理ベクタアドレス	5-4
5.4	例外の種類と優先順位	5-5
5.5	例外フロー	5-6
5.5.1	例外フロー	5-6
5.5.2	例外要因の受け付け	5-7
5.5.3	例外要求と BL ビット	5-8
5.5.4	例外処理からの復帰	5-8
5.6	各例外の説明	5-9
5.6.1	リセット	5-9
5.6.2	一般例外	5-10
5.6.3	割り込み	5-20
5.6.4	複数回の例外が発生する場合の優先順位	5-21
5.7	注意事項	5-23
6.	メモリマネジメントユニット (MMU)	6-1
6.1	MMUの概要	6-1
6.1.1	アドレス空間	6-3
6.2	レジスタの説明	6-8
6.2.1	ページテーブルエントリ上位レジスタ (PTEH)	6-9
6.2.2	ページテーブルエントリ下位レジスタ (PTEL)	6-10
6.2.3	変換テーブルベースレジスタ (TTB)	6-11
6.2.4	TLB 例外アドレスレジスタ (TEA)	6-11
6.2.5	MMU 制御レジスタ (MMUCR)	6-11
6.2.6	物理アドレス空間制御レジスタ (PASCR)	6-14
6.2.7	命令再フェッチ抑止制御レジスタ (IRMCR)	6-15
6.3	TLBの機能	6-16
6.3.1	共用 TLB (UTLB) の構成	6-16
6.3.2	命令 TLB (ITLB) の構成	6-19
6.3.3	アドレス変換方式	6-20
6.4	MMUの機能	6-22
6.4.1	MMU のハードウェア管理	6-22
6.4.2	MMU のソフトウェア管理	6-22
6.4.3	MMU の命令 (LDTLB)	6-22
6.4.4	ハードウェア ITLB ミスハンドリング	6-23
6.4.5	シノニム問題の回避	6-24
6.5	MMU例外	6-25

6.5.1	命令 TLB 多重ヒット例外	6-25
6.5.2	命令 TLB ミス例外	6-26
6.5.3	命令 TLB 保護違反例外	6-27
6.5.4	データ TLB 多重ヒット例外	6-28
6.5.5	データ TLB ミス例外	6-28
6.5.6	データ TLB 保護違反例外	6-29
6.5.7	初期ページ書き込み例外	6-30
6.6	メモリ割り付け TLB の構成	6-31
6.6.1	ITLB アドレスアレイ	6-31
6.6.2	ITLB データアレイ	6-32
6.6.3	UTLB アドレスアレイ	6-33
6.6.4	UTLB データアレイ	6-34
6.7	32ビットアドレス拡張モード	6-35
6.7.1	32ビットアドレス拡張モード概要	6-35
6.7.2	32ビットアドレス拡張モードへの切り替え	6-36
6.7.3	特権空間マッピングバッファ (PMB) 構成	6-37
6.7.4	PMB の機能	6-38
6.7.5	メモリ割り付け PMB の構成	6-39
6.7.6	32ビットアドレス拡張モード使用時の注意事項	6-40
6.8	使用上の注意事項	6-42
7.	キャッシュ	7-1
7.1	特長	7-1
7.2	レジスタの説明	7-4
7.2.1	キャッシュ制御レジスタ (CCR)	7-5
7.2.2	キューアドレス制御レジスタ 0 (QACR0)	7-6
7.2.3	キューアドレス制御レジスタ 1 (QACR1)	7-7
7.2.4	内蔵メモリ制御レジスタ (RAMCR)	7-7
7.3	オペランドキャッシュの動作説明	7-9
7.3.1	読み出し動作	7-9
7.3.2	プリフェッチ動作	7-10
7.3.3	書き込み動作	7-11
7.3.4	ライトバックバッファ	7-12
7.3.5	ライトスルーバッファ	7-12
7.3.6	OC2 ウェイモード	7-12
7.4	命令キャッシュの動作説明	7-13
7.4.1	読み出し動作	7-13
7.4.2	プリフェッチ動作	7-13
7.4.3	IC2 ウェイモード	7-14
7.5	キャッシュ操作命令	7-14

7.5.1	キャッシュと外部メモリとのコヒーレンシ	7-14
7.5.2	プリフェッチ動作	7-15
7.6	メモリ割り付けキャッシュの構成	7-16
7.6.1	IC アドレスアレイ	7-16
7.6.2	IC データアレイ	7-17
7.6.3	OC アドレスアレイ	7-18
7.6.4	OC データアレイ	7-20
7.7	ストアキュー	7-21
7.7.1	SQ の構成	7-21
7.7.2	SQ への書き込み	7-21
7.7.3	外部メモリへの転送	7-22
7.7.4	SQ アクセスの例外判定	7-23
7.7.5	SQ からの読み出し	7-23
7.8	32ビットアドレス拡張モード使用時の注意事項	7-24
8.	Lメモリ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-2
8.2.1	内蔵メモリ制御レジスタ (RAMCR)	8-3
8.2.2	Lメモリ転送元アドレスレジスタ 0 (LSA0)	8-4
8.2.3	Lメモリ転送元アドレスレジスタ 1 (LSA1)	8-5
8.2.4	Lメモリ転送先アドレスレジスタ 0 (LDA0)	8-6
8.2.5	Lメモリ転送先アドレスレジスタ 1 (LDA1)	8-7
8.3	動作説明	8-8
8.3.1	CPU および FPU からのアクセス	8-8
8.3.2	SuperHyway バスマスタモジュールからのアクセス	8-8
8.3.3	ブロック転送	8-8
8.4	Lメモリの保護機能	8-9
8.5	使用上の注意	8-10
8.5.1	ページ競合	8-10
8.5.2	Lメモリのコヒーレンシ	8-10
8.5.3	スリープモード	8-10
8.6	32ビットアドレス拡張モード使用時の注意事項	8-11
9.	割り込みコントローラ (INTC)	9-1
9.1	特長	9-1
9.1.1	割り込み方式	9-3
9.1.2	INTC で想定する割り込み	9-3
9.2	入出力端子	9-8
9.3	レジスタの説明	9-9

9.3.1	割り込みコントロールレジスタ 0 (ICR0)	9-13
9.3.2	割り込みコントロールレジスタ 1 (ICR1)	9-15
9.3.3	割り込み優先順位設定レジスタ (INTPRI)	9-16
9.3.4	割り込み要因レジスタ (INTREQ)	9-17
9.3.5	割り込みマスクレジスタ 0 (INTMSK0)	9-18
9.3.6	割り込みマスクレジスタ 1 (INTMSK1)	9-19
9.3.7	割り込みマスクレジスタ 2 (INTMSK2)	9-20
9.3.8	割り込みマスククリアレジスタ 0 (INTMSKCLR0)	9-22
9.3.9	割り込みマスククリアレジスタ 1 (INTMSKCLR1)	9-23
9.3.10	割り込みマスククリアレジスタ 2 (INTMSKCLR2)	9-24
9.3.11	NMI フラグコントロールレジスタ (NMIFCR)	9-26
9.3.12	ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)	9-27
9.3.13	割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI13)	9-29
9.3.14	割り込み要因レジスタ 0 (マスク状態の影響なし) (INT2A0)	9-30
9.3.15	割り込み要因レジスタ 01 (マスク状態の影響なし) (INT2A01)	9-31
9.3.16	割り込み要因レジスタ 1 (マスク状態の影響あり) (INT2A1)	9-33
9.3.17	割り込み要因レジスタ 11 (マスク状態の影響あり) (INT2A11)	9-34
9.3.18	割り込みマスクレジスタ (INT2MSKR)	9-36
9.3.19	割り込みマスクレジスタ 1 (INT2MSKR1)	9-37
9.3.20	割り込みマスククリアレジスタ (INT2MSKCR)	9-39
9.3.21	割り込みマスククリアレジスタ 1 (INT2MSKCR1)	9-40
9.3.22	内蔵モジュール別割り込み要因レジスタ (INT2B0 ~ INT2B7, INT2B9 ~ INT2B11)	9-42
9.3.23	GPIO 割り込み設定レジスタ (INT2GPIC)	9-48
9.4	割り込み要因	9-50
9.4.1	NMI 割り込み	9-50
9.4.2	IRQ 割り込み	9-50
9.4.3	IRL 割り込み	9-51
9.4.4	内蔵周辺モジュール割り込み	9-53
9.4.5	内蔵周辺モジュール割り込み優先順位	9-54
9.4.6	割り込み例外処理と優先順位	9-55
9.5	動作説明	9-61
9.5.1	割り込み動作の流れ	9-61
9.5.2	多重割り込み	9-63
9.5.3	MAI ビットによる割り込みマスク	9-63
9.6	割り込み応答時間	9-64
9.7	使用上の注意事項	9-65
9.7.1	IRL 割り込み / IRQ レベル割り込みの処理ルーチン例	9-65
9.7.2	IRQ7/IRL7 ~ IRQ0/IRL0 端子機能設定時の注意事項	9-66
9.7.3	IRL 割り込み要求および IRQ 割り込み要求のクリア方法	9-67

10. SuperHyway バスブリッジ (SBR)	10-1
10.1 特長	10-1
10.2 レジスタの説明	10-2
10.2.1 バス調停優先レベル設定レジスタ (SBRIVCLV)	10-3
10.2.2 SuperHyway バスプライオリティコントロールレジスタ (PRPRICR)	10-4
10.3 動作説明	10-5
10.3.1 SuperHyway バスインタフェース	10-5
10.3.2 バスアービトレーション	10-5
11. ローカルバスステートコントローラ (LBSC)	11-1
11.1 特長	11-1
11.2 入出力端子	11-4
11.3 エリアの概要	11-6
11.3.1 空間分割	11-6
11.3.2 メモリバス幅	11-8
11.3.3 データアライメント	11-9
11.3.4 PCMCIA サポート	11-9
11.4 レジスタの説明	11-12
11.4.1 メモリアドレスマップ選択レジスタ (MMSELR)	11-14
11.4.2 バスコントロールレジスタ (BCR)	11-16
11.4.3 CSn バスコントロールレジスタ (CSnBCR)	11-18
11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)	11-23
11.4.5 CSnPCMCIA コントロールレジスタ (CSnPCR)	11-28
11.5 動作説明	11-32
11.5.1 エンディアン / アクセスサイズとデータアライメント	11-32
11.5.2 エリアの説明	11-36
11.5.3 SRAM インタフェース	11-40
11.5.4 バースト ROM インタフェース	11-46
11.5.5 PCMCIA インタフェース	11-48
11.5.6 MPX インタフェース	11-58
11.5.7 バイト制御 SRAM インタフェース	11-70
11.5.8 アクセスサイクル間ウェイト	11-73
11.5.9 バスアービトレーション	11-74
11.5.10 マスタモード	11-76
11.5.11 マスタとスレーブの協調	11-78
12. DDR-SDRAM インタフェース (DDRIF)	12-1
12.1 特長	12-1
12.2 入出力端子	12-3
12.3 データアライメント	12-4

12.3.1	DDR-SDRAM データアライメント	12-4
12.3.2	各モジュールのデータアライメント	12-6
12.4	レジスタの説明	12-7
12.4.1	メモリインタフェースモードレジスタ (MIM)	12-8
12.4.2	DDR-SDRAM コントロールレジスタ (SCR)	12-11
12.4.3	DDR-SDRAM タイミングレジスタ (STR)	12-12
12.4.4	DDR-SDRAM ロウアトリビュートレジスタ (SDR)	12-15
12.4.5	DDR-SDRAM モードレジスタ (SDMR)	12-16
12.4.6	DDR-SDRAM バックアップレジスタ (DBK)	12-17
12.5	動作説明	12-18
12.5.1	DDR-SDRAM アクセス	12-18
12.5.2	DDR-SDRAM 初期化シーケンス	12-18
12.5.3	サポートする DDR-SDRAM コマンド	12-19
12.5.4	DDR-SDRAM アクセスモードの説明	12-20
12.5.5	低消費電力モード	12-20
12.5.6	DDR-SDRAM のタイミング制約を設定するレジスタについて	12-21
12.5.7	動作周波数について	12-21
12.5.8	クロック停止時の注意点	12-22
12.5.9	初期化シーケンス時以外に SCR レジスタで REFA コマンドを発行する場合	12-22
12.5.10	接続する DDR-SDRAM に関するタイミング上のご注意	12-22
12.5.11	オートリフレッシュ間隔設定上のご注意	12-22
12.5.12	アドレスマルチプレクス	12-23
12.5.13	DDR-SDRAM アクセス調停	12-24
12.5.14	DDR-SDRAM アクセス時のコヒーレンシについて	12-24
12.6	DDRIF基本タイミング	12-25
13.	PCI コントローラ (PCIC)	13-1
13.1	特長	13-1
13.2	入出力端子	13-4
13.3	レジスタの説明	13-6
13.3.1	コントロールレジスタ	13-10
13.3.2	PCI コンフィグレーションレジスタ	13-11
13.3.3	PCI ローカルレジスタ	13-30
13.4	動作説明	13-61
13.4.1	サポートされる PCI コマンド	13-61
13.4.2	PCIC の初期化	13-62
13.4.3	マスタアクセス	13-63
13.4.4	ターゲットアクセス	13-70
13.4.5	ホストモード	13-77
13.4.6	ノーマルモード (非ホストモード)	13-80

13.4.7	パワーマネジメント.....	13-80
13.4.8	PCIバス基本インタフェース.....	13-82
13.5	使用上の注意事項.....	13-91
13.5.1	PCIC ターゲットリード使用時の注意事項.....	13-91
13.5.2	ホストモード使用時の注意事項.....	13-91
13.5.3	PCIC マスタアクセス時のパリティエラー検出について.....	13-92
13.5.4	PCIC ターゲットアクセス時のアクセス制限について.....	13-93
14.	ダイレクトメモリアクセスコントローラ (DMAC)	14-1
14.1	特長.....	14-1
14.2	入出力端子.....	14-3
14.3	レジスタの説明.....	14-4
14.3.1	DMA ソースアドレスレジスタ 0~5 (SAR0~SAR5)	14-7
14.3.2	DMA ソースアドレスレジスタ B0~3 (SARB0~3)	14-7
14.3.3	DMA デスティネーションアドレスレジスタ 0~5 (DAR0~DAR5)	14-8
14.3.4	DMA デスティネーションアドレスレジスタ B0~3 (DARB0~DARB3)	14-8
14.3.5	DMA トランスファカウントレジスタ 0~5 (TCR0~TCR5)	14-9
14.3.6	DMA トランスファカウントレジスタ B0~3 (TCRB0~TCRB3)	14-9
14.3.7	DMA チャネルコントロールレジスタ 0~5 (CHCR0~CHCR5)	14-10
14.3.8	DMA オペレーションレジスタ (DMAOR)	14-16
14.3.9	DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)	14-18
14.4	動作説明.....	14-21
14.4.1	DMA 転送要求.....	14-21
14.4.2	チャンネルの優先順位.....	14-25
14.4.3	DMA 転送の種類.....	14-28
14.4.4	転送フロー.....	14-34
14.4.5	リピートモード転送.....	14-36
14.4.6	リロードモード転送.....	14-37
14.4.7	DREQ 端子のサンプリングタイミング.....	14-38
14.5	使用上の注意.....	14-41
14.5.1	モジュールストップについて.....	14-41
14.5.2	アドレスエラーについて.....	14-41
14.5.3	バーストモード転送時の注意.....	14-41
14.5.4	\overline{DACK} 、 \overline{TEND} の分割出力.....	14-41
14.5.5	外部バス幅を超える DMA 転送サイズにおける \overline{CSn} 出力の設定.....	14-42
14.5.6	\overline{DACK} 、 \overline{TEND} のアサートと DREQ 検出について.....	14-42
14.5.7	DMAC への DMA 転送禁止.....	14-44
14.5.8	NMI 割り込みについて.....	14-44
14.5.9	DMAC バーストモード使用上の注意事項.....	14-45

15. 外部CPU インタフェース (EXCPU)	15-1
15.1 特長	15-1
15.2 入出力端子	15-3
15.3 レジスタの説明	15-4
15.3.1 外部CPU コントロールレジスタ (EXCCTRL)	15-5
15.3.2 外部CPU メモリ空間選択レジスタ (EXCMSETR)	15-6
15.3.3 外部CPU 割り込み出力コントロールレジスタ (EXCINOR)	15-7
15.4 動作説明	15-8
16. クロック発振器 (CPG)	16-1
16.1 特長	16-1
16.2 入出力端子	16-4
16.3 クロック動作モード	16-4
16.4 レジスタの説明	16-5
16.4.1 周波数制御レジスタ (FRQCR)	16-6
16.4.2 PLL コントロールレジスタ (PLLCR)	16-7
16.5 ボード設計上の注意事項	16-8
17. リセット、ウォッチドッグタイマ (WDT)	17-1
17.1 特長	17-1
17.2 入出力端子	17-2
17.3 レジスタの説明	17-3
17.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)	17-4
17.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCR)	17-5
17.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)	17-6
17.3.4 ウォッチドッグタイマカウンタ (WDTCNT)	17-7
17.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)	17-7
17.4 動作説明	17-8
17.4.1 リセット要求	17-8
17.4.2 ウォッチドッグタイマモードの使用法	17-9
17.4.3 インターバルタイマモードの使用法	17-10
17.4.4 WDT オーバフロー発生までの時間	17-10
17.4.5 WDT カウンタのクリア方法	17-11
17.5 リセット中の端子タイミング	17-12
17.5.1 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット	17-12
17.5.2 WDT オーバフローによるパワーオンリセット	17-14
17.5.3 WDT オーバフローによるマニュアルリセット	17-15
18. 低消費電力モード	18-1
18.1 特長	18-1

18.1.1	低消費電力モードの種類	18-1
18.2	入出力端子	18-3
18.3	レジスタの説明	18-4
18.3.1	スタンバイコントロールレジスタ (STBCR)	18-5
18.3.2	モジュールストップレジスタ 0 (MSTPCR0)	18-6
18.3.3	モジュールストップレジスタ 1 (MSTPCR1)	18-7
18.4	スリープモード	18-11
18.4.1	スリープモードへの遷移	18-11
18.4.2	スリープモードの解除	18-11
18.5	ソフトウェアスタンバイモード	18-11
18.5.1	ソフトウェアスタンバイモードへの遷移	18-11
18.5.2	ソフトウェアスタンバイモードの解除	18-12
18.6	モジュールスタンバイ機能	18-12
18.6.1	モジュールスタンバイ機能への遷移	18-12
18.6.2	モジュールスタンバイ機能の解除	18-12
18.7	DDR-SDRAM電源バックアップ	18-13
18.7.1	セルフリフレッシュ、初期化制御	18-13
18.7.2	システム電源遮断時の DDR-SDRAM バックアップシーケンス	18-14
18.8	RTC電源バックアップ	18-16
18.8.1	RTC 電源バックアップモードへの遷移	18-16
18.8.2	RTC 電源バックアップモードの解除	18-16
18.9	STATUS端子の変化タイミング	18-17
18.9.1	リセットの場合	18-17
18.9.2	スリープ解除の場合	18-17
19.	タイマユニット (TMU)	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-4
19.3.1	タイマアウトプットコントロールレジスタ (TOCR)	19-6
19.3.2	タイマスタートレジスタ (TSTR _n) (n=0~1)	19-6
19.3.3	タイマコンスタントレジスタ (TCOR _n) (n=0~5)	19-8
19.3.4	タイマカウンタ (TCNT _n) (n=0~5)	19-8
19.3.5	タイマコントロールレジスタ (TCR _n) (n=0~5)	19-8
19.3.6	インプットキャプチャレジスタ 2 (TCPR2)	19-10
19.4	動作説明	19-11
19.4.1	カウンタの動作	19-11
19.4.2	インプットキャプチャ機能	19-14
19.5	割り込み	19-15
19.6	使用上の注意事項	19-16

19.6.1	レジスタの書き込みについて.....	19-16
19.6.2	TCNT レジスタの読み出しについて.....	19-16
19.6.3	RTC 分周器のリセットについて.....	19-16
19.6.4	外部クロック周波数について.....	19-16
20.	16 ビットタイマパルスユニット (TPU)	20-1
20.1	特長.....	20-1
20.2	入出力端子.....	20-4
20.3	レジスタの説明.....	20-5
20.3.1	タイマコントロールレジスタ (TCR)	20-8
20.3.2	タイマモードレジスタ (TMDR)	20-10
20.3.3	タイマ I/O コントロールレジスタ (TIOR)	20-12
20.3.4	タイマインタラプトイネーブルレジスタ (TIER)	20-13
20.3.5	タイマステータスレジスタ (TSR)	20-14
20.3.6	タイマカウンタ (TCNT)	20-16
20.3.7	タイマジェネラルレジスタ (TGR)	20-16
20.3.8	タイマスタートレジスタ (TSTR)	20-16
20.4	動作説明.....	20-17
20.4.1	概要.....	20-17
20.4.2	基本機能.....	20-18
20.4.3	バッファ動作.....	20-22
20.4.4	PWM モード.....	20-25
20.4.5	位相計数モード.....	20-27
20.5	使用上の注意事項.....	20-32
21.	コンペアマッチタイマ (CMT)	21-1
21.1	特長.....	21-1
21.2	レジスタの説明.....	21-3
21.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	21-5
21.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	21-5
21.2.3	コンペアマッチタイマカウンタ (CMCNT)	21-7
21.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	21-7
21.3	動作説明.....	21-8
21.3.1	カウンタ動作.....	21-8
21.3.2	カウンタサイズ.....	21-9
21.3.3	CMCNT カウントタイミング.....	21-9
21.3.4	DMA 転送要求と CPU への内部割り込み要求.....	21-10
21.3.5	コンペアマッチフラグのセットタイミング (全チャンネル共通)	21-10

22.	リアルタイムクロック (RTC)	22-1
22.1	特長	22-1
22.1.1	ブロック図	22-2
22.1.2	端子構成	22-3
22.1.3	レジスタ構成	22-3
22.2	レジスタの説明	22-5
22.2.1	64Hz カウンタ (R64CNT)	22-5
22.2.2	秒カウンタ (RSECCNT)	22-5
22.2.3	分カウンタ (RMINCNT)	22-6
22.2.4	時カウンタ (RHRCNT)	22-6
22.2.5	曜日カウンタ (RWKCNT)	22-7
22.2.6	日カウンタ (RDAYCNT)	22-7
22.2.7	月カウンタ (RMONCNT)	22-8
22.2.8	年カウンタ (RYRCNT)	22-8
22.2.9	秒アラームレジスタ (RSECAR)	22-9
22.2.10	分アラームレジスタ (RMINAR)	22-9
22.2.11	時アラームレジスタ (RHRAR)	22-10
22.2.12	曜日アラームレジスタ (RWKAR)	22-10
22.2.13	日アラームレジスタ (RDAYAR)	22-11
22.2.14	月アラームレジスタ (RMONAR)	22-11
22.2.15	年アラームレジスタ (RYRAR)	22-12
22.2.16	RTC コントロールレジスタ 1 (RCR1)	22-13
22.2.17	RTC コントロールレジスタ 2 (RCR2)	22-15
22.2.18	RTC コントロールレジスタ 3 (RCR3)	22-16
22.3	動作説明	22-17
22.3.1	時刻設定手順	22-17
22.3.2	時刻読み出し手順	22-18
22.3.3	アラーム機能	22-19
22.4	割り込み	22-20
22.5	使用上の注意	22-20
22.5.1	レジスタの初期設定について	22-20
22.5.2	水晶発振回路	22-20
22.5.3	割り込みの発生順について	22-22
23.	ギガビットイーサネットコントローラ (GETHER)	23-1
23.1	特長	23-1
23.2	入出力端子	23-3
23.3	レジスタの説明	23-6
23.3.1	ソフトウェアリセットレジスタ (ARSTR)	23-19
23.3.2	E-MAC モードレジスタ (ECMR)	23-20

23.3.3	E-MAC ステータスレジスタ (ECSR)	23-23
23.3.4	E-MAC 割り込み許可レジスタ (ECSIPR)	23-25
23.3.5	PHY 部インタフェースレジスタ (PIR)	23-26
23.3.6	MAC アドレス上位設定レジスタ (MAHR)	23-27
23.3.7	MAC アドレス下位設定レジスタ (MALR)	23-28
23.3.8	受信フレーム長上限レジスタ (RFLR)	23-29
23.3.9	PHY 部ステータスレジスタ (PSR)	23-30
23.3.10	PHY_INT 極性設定レジスタ (PIPR)	23-30
23.3.11	送信リトライオーバーカウンタレジスタ (TROCR)	23-31
23.3.12	遅延衝突検出カウンタレジスタ (CDCR)	23-32
23.3.13	キャリア消失カウンタレジスタ (LCCR)	23-32
23.3.14	CRC エラーフレーム受信カウンタレジスタ (CEFCR)	23-33
23.3.15	フレーム受信エラーカウンタレジスタ (FRECR)	23-33
23.3.16	64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)	23-34
23.3.17	指定バイト超フレーム受信カウンタレジスタ (TLFRCR)	23-34
23.3.18	端数ビットフレーム受信カウンタレジスタ (RFCR)	23-35
23.3.19	キャリア拡張消失カウンタレジスタ (CERCR)	23-35
23.3.20	キャリア拡張エラーカウンタレジスタ (CEECR)	23-36
23.3.21	マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)	23-36
23.3.22	自動 PAUSE フレーム設定レジスタ (APR)	23-37
23.3.23	手動 PAUSE フレーム設定レジスタ (MPR)	23-38
23.3.24	自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)	23-39
23.3.25	PAUSE フレーム送信カウンタレジスタ (PFTCR)	23-39
23.3.26	PAUSE フレーム受信カウンタレジスタ (PFRCR)	23-40
23.3.27	GETHER モードレジスタ (GECMR)	23-40
23.3.28	バーストサイクル回数上限設定レジスタ (BCULR)	23-41
23.3.29	TSU カウンタリセットレジスタ (TSU_CTRST)	23-42
23.3.30	転送イネーブルレジスタ (0 1 系) (TSU_FWEN0)	23-43
23.3.31	転送イネーブルレジスタ (1 0 系) (TSU_FWEN1)	23-44
23.3.32	転送 FIFO 容量選択レジスタ (TSU_FCM)	23-45
23.3.33	転送 FIFO オーバフロー予告設定レジスタ (0 系) (TSU_BSYSL0)	23-46
23.3.34	転送 FIFO オーバフロー予告制御設定レジスタ (1 系) (TSU_BSYSL1)	23-47
23.3.35	送信・転送優先制御モードレジスタ (0 系) (TSU_PRISL0)	23-48
23.3.36	送信・転送優先制御モードレジスタ (1 系) (TSU_PRISL1)	23-49
23.3.37	受信・転送機能設定レジスタ (0 1 系) (TSU_FWSL0)	23-50
23.3.38	受信・転送機能設定レジスタ (1 0 系) (TSU_FWSL1)	23-52
23.3.39	転送機能設定レジスタ (共通) (TSU_FWSLC)	23-54
23.3.40	Qtag 追加・削除設定レジスタ (0 1 系) (TSU_QTAG0)	23-55
23.3.41	Qtag 追加・削除設定レジスタ (1 0 系) (TSU_QTAG1)	23-56
23.3.42	転送ステータスレジスタ (TSU_FWSR)	23-57
23.3.43	転送ステータス割り込みマスクレジスタ (TSU_FWINMK)	23-59

23.3.44	追加 Qtag 値設定レジスタ (0 1 系) (TSU_ADQT0)	23-61
23.3.45	追加 Qtag 値設定レジスタ (1 0 系) (TSU_ADQT1)	23-62
23.3.46	VLANtag 設定レジスタ (0 系) (TSU_VTAG0)	23-63
23.3.47	VLANtag 設定レジスタ (1 系) (TSU_VTAG1)	23-64
23.3.48	CAM エントリテーブル設定ビジーレジスタ (TSU_ADSBSY)	23-65
23.3.49	CAM エントリテーブルイネーブル設定レジスタ (TSU_TEN)	23-66
23.3.50	CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1)	23-69
23.3.51	CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2)	23-71
23.3.52	CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3)	23-73
23.3.53	CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4)	23-75
23.3.54	CAM エントリテーブル 0~31H レジスタ (TSU_ADRH0~TSU_ADRH31)	23-77
23.3.55	CAM エントリテーブル 0~31L レジスタ (TSU_ADRL0~TSU_ADRL31)	23-78
23.3.56	送信フレーム数カウンタレジスタ (0 系) (正常送信のみ) (TXNLCR0)	23-79
23.3.57	送信フレーム数カウンタレジスタ (0 系) (正常および障害発生を含むすべて) (TXALCR0)	23-79
23.3.58	受信フレーム数カウンタレジスタ (0 系) (正常受信のみ) (RXNLCR0)	23-80
23.3.59	受信フレーム数カウンタレジスタ (0 系) (正常および障害発生を含むすべて) (RXALCR0)	23-80
23.3.60	転送フレーム数カウンタレジスタ (1 0 系) (正常転送のみ) (FWNLCR0)	23-81
23.3.61	転送フレーム数カウンタレジスタ (1 0 系) (正常および障害発生を含むすべて) (FWALCR0)	23-81
23.3.62	送信フレーム数カウンタレジスタ (1 系) (正常送信のみ) (TXNLCR1)	23-82
23.3.63	送信フレーム数カウンタレジスタ (1 系) (正常および障害発生を含むすべて) (TXALCR1)	23-82
23.3.64	受信フレーム数カウンタレジスタ (1 系) (正常受信のみ) (RXNLCR1)	23-83
23.3.65	受信フレーム数カウンタレジスタ (1 系) (正常および障害発生を含むすべて) (RXALCR1)	23-83
23.3.66	転送フレーム数カウンタレジスタ (0 1 系) (正常転送のみ) (FWNLCR1)	23-84
23.3.67	転送フレーム数カウンタレジスタ (0 1 系) (正常および障害発生を含むすべて) (FWALCR1)	23-84
23.3.68	E-DMAC 起動レジスタ (EDSR)	23-85
23.3.69	E-DMAC モードレジスタ (EDMR)	23-86
23.3.70	E-DMAC 送信要求レジスタ (EDTRR)	23-88
23.3.71	E-DMAC 受信要求レジスタ (EDRRR)	23-89
23.3.72	送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)	23-90
23.3.73	受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)	23-91
23.3.74	E-MAC/E-DMAC ステータスレジスタ (EESR)	23-92
23.3.75	E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)	23-97
23.3.76	送受信ステータスコピー指示レジスタ (TRSCER)	23-100
23.3.77	ミスフレームカウンタレジスタ (RMFCR)	23-102
23.3.78	送信 FIFO しきい値指定レジスタ (TFTR)	23-103

23.3.79	FIFO 容量指定レジスタ (FDR)	23-104
23.3.80	受信方式制御レジスタ (RMCR)	23-105
23.3.81	受信ディスクリプタフェッチアドレスレジスタ (RDFAR)	23-106
23.3.82	受信ディスクリプタ処理済アドレスレジスタ (RDFXR)	23-106
23.3.83	受信ディスクリプタ最終フラグレジスタ (RDFFR)	23-107
23.3.84	送信ディスクリプタフェッチアドレスレジスタ (TDFAR)	23-108
23.3.85	送信ディスクリプタ処理済アドレスレジスタ (TDFXR)	23-108
23.3.86	送信ディスクリプタ最終フラグレジスタ (TDFFR)	23-109
23.3.87	オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR)	23-110
23.3.88	受信データパディング挿入設定レジスタ (RPADIR)	23-111
23.4	動作説明	23-112
23.4.1	ディスクリプタとディスクリプタリスト	23-114
23.4.2	送信動作	23-130
23.4.3	受信動作	23-134
23.4.4	転送動作	23-140
23.4.5	CAM 機能	23-141
23.4.6	マルチバッファフレーム (1 フレーム / 複数ディスクリプタ) の送受信処理について	23-143
23.4.7	受信データへのパディング挿入について	23-145
23.4.8	割り込み動作	23-146
23.4.9	起動手順	23-149
23.4.10	フロー制御	23-151
23.4.11	Magic Packet の検出	23-152
23.4.12	IEEE802.1Q Qtag 使用方法	23-153
23.5	PHY-LSIとの接続	23-154
23.5.1	MII フレームタイミング	23-154
23.5.2	GMII/MII フレームタイミング	23-156
23.5.3	RMII フレームタイミング	23-158
23.5.4	MII レジスタのアクセス方法	23-159
23.5.5	MII-RMII インタフェース変換	23-162
23.6	使用上の注意事項	23-164
23.6.1	イーサネットフレームのサムチェック計算	23-164
23.6.2	TSU 使用時の注意	23-165
23.6.3	RMII 選択時の RMII _n _RX_ER、RMII1M_RX_ER 端子入力について	23-165
24.	セキュリティアクセラレータ (SECURITY)	24-1
25.	ストリームインタフェース (STIF)	25-1
25.1	特長	25-1
25.2	入出力端子	25-3
25.3	レジスタの説明	25-4

25.3.1	モードレジスタ 0、1 (STIMDR0、STIMDR1)	25-6
25.3.2	コントロールレジスタ 0、1 (STICR0、STICR1)	25-9
25.3.3	割り込みステータスレジスタ 0、1 (STISR0、STISR1)	25-10
25.3.4	割り込み許可レジスタ 0、1 (STIER0、STIER1)	25-12
25.3.5	タイムスタンプカウンタレジスタ 0、1 (STITSC0、STITSC1)	25-13
25.3.6	送受信パケット数レジスタ 0、1 (STIPNR0、STIPNR1)	25-14
25.3.7	送受信パケット数カウンタレジスタ 0、1 (STIPCR0、STIPCR1)	25-15
25.3.8	送受信 FIFO データレジスタ 0、1 (STIFIFO0、STIFIFO1)	25-16
25.4	動作説明	25-17
25.4.1	ストリームデータ送受信外部メモリ構成	25-17
25.4.2	ストリームデータ受信動作	25-18
25.4.3	ストリームデータ送信動作	25-22
26.	I ² C バスインタフェース (IIC)	26-1
26.1	特長	26-1
26.2	入出力端子	26-2
26.3	レジスタの説明	26-3
26.3.1	スレーブコントロールレジスタ (ICSCR)	26-5
26.3.2	スレーブステータスレジスタ (ICSSR)	26-6
26.3.3	スレーブ割り込みイネーブルレジスタ (ICSIER)	26-8
26.3.4	スレーブアドレスレジスタ (ICSAR)	26-9
26.3.5	マスタコントロールレジスタ (ICMCR)	26-10
26.3.6	マスタステータスレジスタ (ICMSR)	26-12
26.3.7	マスタ割り込みイネーブルレジスタ (ICMIER)	26-14
26.3.8	マスタアドレスレジスタ (ICMAR)	26-15
26.3.9	クロックコントロールレジスタ (ICCCR)	26-16
26.3.10	受信 / 送信データレジスタ (ICRXD/ICTXD)	26-17
26.4	動作説明	26-18
26.4.1	データとクロックフィルタ	26-18
26.4.2	クロックジェネレータ	26-18
26.4.3	マスタ / スレーブインタフェース	26-18
26.4.4	ソフトウェアステータスインターロック	26-18
26.4.5	I ² C バスデータフォーマット	26-20
26.4.6	7 ビットアドレスフォーマット	26-21
26.4.7	10 ビットアドレスフォーマット	26-22
26.4.8	マスタ送信動作	26-23
26.4.9	マスタ受信動作	26-25
26.5	プログラム例	26-27
26.5.1	マスタ送信	26-27
26.5.2	マスタ受信	26-28

26.5.3	マスタ送信 - リスタート - マスタ受信	26-29
27.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	27-1
27.1	特長	27-1
27.2	入出力端子	27-6
27.3	レジスタの説明	27-7
27.3.1	レシーブシフトレジスタ (SCRSR)	27-9
27.3.2	レシーブ FIFO データレジスタ (SCFRDR)	27-9
27.3.3	トランスミットシフトレジスタ (SCTSR)	27-9
27.3.4	トランスミット FIFO データレジスタ (SCFTDR)	27-10
27.3.5	シリアルモードレジスタ (SCSMR)	27-10
27.3.6	シリアルコントロールレジスタ (SCSCR)	27-12
27.3.7	シリアルステータスレジスタ (SCFSR)	27-15
27.3.8	ビットレートレジスタ (SCBRR)	27-19
27.3.9	FIFO コントロールレジスタ (SCFCR)	27-20
27.3.10	トランスミット FIFO データ数レジスタ (SCTFDR)	27-22
27.3.11	レシーブ FIFO データ数レジスタ (SCRFDR)	27-22
27.3.12	シリアルポートレジスタ (SCSPTR)	27-23
27.3.13	ラインステータスレジスタ (SCLSR)	27-25
27.3.14	シリアルエラーレジスタ (SCRER)	27-26
27.4	動作説明	27-27
27.4.1	概要	27-27
27.4.2	調歩同期モードの動作	27-29
27.4.3	クロック同期モードの動作	27-39
27.5	SCIF割り込み要因とDMAC	27-47
27.6	使用上の注意事項	27-48
28.	FIFO 内蔵シリアルコミュニケーション / IrDA インタフェース (SCIF/IrDA)	28-1
28.1	特長	28-1
28.2	入出力端子	28-5
28.3	レジスタの説明	28-6
28.3.1	レシーブシフトレジスタ (SCRSR)	28-7
28.3.2	レシーブ FIFO データレジスタ (SCFRDR)	28-8
28.3.3	トランスミットシフトレジスタ (SCTSR)	28-8
28.3.4	トランスミット FIFO データレジスタ (SCFTDR)	28-8
28.3.5	シリアルモードレジスタ (SCSMR)	28-9
28.3.6	シリアルコントロールレジスタ (SCSCR)	28-11
28.3.7	シリアルステータスレジスタ (SCFSR)	28-14
28.3.8	ビットレートレジスタ (SCBRR)	28-20
28.3.9	FIFO コントロールレジスタ (SCFCR)	28-21

28.3.10	FIFO データ数レジスタ (SCFDR)	28-22
28.3.11	シリアルポートレジスタ (SCSPTR)	28-23
28.3.12	ラインステータスレジスタ (SCLSR)	28-24
28.3.13	BRG 分周レジスタ (BRGDL2)	28-25
28.3.14	BRG クロックセレクトレジスタ (BRGCKS2)	28-26
28.3.15	IrDA シリアルモードレジスタ (SCSMRIR)	28-26
28.4	動作説明	28-27
28.4.1	概要	28-27
28.4.2	調歩同期式モードの動作	28-30
28.4.3	クロック同期式モードの動作	28-39
28.4.4	SCIF 割り込み要因と DMAC	28-47
28.4.5	SCIF 使用上の注意事項	28-48
28.5	赤外線データ通信インタフェース	28-51
28.5.1	赤外線データ通信用フォーマット	28-51
28.5.2	赤外線データ通信インタフェース動作	28-52
28.6	外部クロック用ポーレートジェネレータ (BRG)	28-53
28.6.1	BRG ブロック構成	28-53
28.6.2	BRG における制約事項	28-54
29.	シリアル I/O FIFO 付き (SIOF)	29-1
29.1	特長	29-1
29.2	入出力端子	29-3
29.3	レジスタの説明	29-4
29.3.1	モードレジスタ (SIMDR)	29-8
29.3.2	クロックセレクトレジスタ (SISCR)	29-10
29.3.3	コントロールレジスタ (SICTR)	29-11
29.3.4	送信データレジスタ (SITDR)	29-12
29.3.5	受信データレジスタ (SIRDR)	29-13
29.3.6	送信制御データレジスタ (SITCR)	29-14
29.3.7	受信制御データレジスタ (SIRCR)	29-15
29.3.8	ステータスレジスタ (SISTR)	29-15
29.3.9	割り込み許可レジスタ (SIER)	29-20
29.3.10	FIFO コントロールレジスタ (SIFCTR)	29-21
29.3.11	送信データアサインレジスタ (SITDAR)	29-23
29.3.12	受信データアサインレジスタ (SIRDAR)	29-24
29.3.13	制御データアサインレジスタ (SICDAR)	29-25
29.4	動作説明	29-26
29.4.1	シリアルクロック	29-26
29.4.2	シリアルタイミング	29-27
29.4.3	転送データフォーマット	29-28

29.4.4	転送データのレジスタ割り付け.....	29-30
29.4.5	制御データインタフェース.....	29-32
29.4.6	FIFO	29-33
29.4.7	送受信手順.....	29-35
29.4.8	割り込み.....	29-39
29.4.9	送受信タイミング.....	29-41
29.5	使用上の注意事項.....	29-45
29.5.1	SIOF スレーブ受信時の注意事項.....	29-45
29.5.2	SIOF マスタモード 2 使用上の注意事項.....	29-46
30.	SIM カードモジュール (SIM)	30-1
30.1	特長.....	30-1
30.2	入出力端子.....	30-2
30.3	レジスタの説明.....	30-3
30.3.1	シリアルモードレジスタ (SCSMR)	30-4
30.3.2	ビットレートレジスタ (SCBRR)	30-5
30.3.3	シリアルコントロールレジスタ (SCSCR)	30-5
30.3.4	トランスミットシフトレジスタ (SCTSR)	30-7
30.3.5	トランスミットデータレジスタ (SCTDR)	30-8
30.3.6	シリアルステータスレジスタ (SCSSR)	30-8
30.3.7	レシーブシフトレジスタ (SCRSR)	30-12
30.3.8	レシーブデータレジスタ (SCRDR)	30-12
30.3.9	スマートカードモードレジスタ (SCSCMR)	30-12
30.3.10	シリアルコントロール 2 レジスタ (SCSC2R)	30-14
30.3.11	ガードエクステンションレジスタ (SCGRD)	30-14
30.3.12	ウェイトタイムレジスタ (SCWAIT)	30-15
30.3.13	サンプルレジスタ (SCSMPL)	30-15
30.4	動作説明.....	30-16
30.4.1	概要.....	30-16
30.4.2	データフォーマット.....	30-16
30.4.3	レジスタ設定.....	30-18
30.4.4	クロック.....	30-19
30.4.5	データの送信 / 受信動作.....	30-20
30.5	使用上の注意事項.....	30-28
31.	マルチメディアカードインタフェース (MMCIF)	31-1
31.1	特長.....	31-1
31.2	入出力端子.....	31-3
31.3	レジスタの説明.....	31-4
31.3.1	コマンドタイプレジスタ (CMDTYR)	31-8

31.3.2	レスポンスタイプレジスタ (RSPTYR)	31-9
31.3.3	転送バイト数カウントレジスタ (TBCR)	31-11
31.3.4	転送ブロック数カウンタ (TBNCR)	31-12
31.3.5	コマンドレジスタ 0~5 (CMDR0~CMDR5)	31-12
31.3.6	レスポンスレジスタ 0~16、D (RSPR0~RSPR16、RSPRD)	31-13
31.3.7	コマンドスタートレジスタ (CMDSTRT)	31-15
31.3.8	オペレーションコントロールレジスタ (OPCR)	31-16
31.3.9	コマンドタイムアウトコントロールレジスタ (CTOCR)	31-17
31.3.10	データタイムアウトレジスタ (DTOUTR)	31-17
31.3.11	カードステータスレジスタ (CSTR)	31-18
31.3.12	割り込みコントロールレジスタ 0、1 (INTCR0、INTCR1)	31-20
31.3.13	割り込みステータスレジスタ 0、1 (INTSTR0、INTSTR1)	31-22
31.3.14	転送クロックコントロールレジスタ (CLKON)	31-25
31.3.15	VDD / オープンドレイン制御レジスタ (VDCNT)	31-26
31.3.16	データレジスタ (DR)	31-26
31.3.17	FIFO ポインタクリアレジスタ (FIFOCLR)	31-27
31.3.18	DMA コントロールレジスタ (DMACR)	31-27
31.3.19	割り込みコントロールレジスタ 2 (INTCR2)	31-28
31.3.20	割り込みステータスレジスタ 2 (INTSTR2)	31-28
31.3.21	カードスイッチレジスタ (CSWR)	31-29
31.3.22	スイッチステータスレジスタ (SWSR)	31-30
31.3.23	チャタリング除去パルス設定レジスタ (CHATR)	31-30
31.4	動作説明	31-32
31.4.1	MMC モードの動作	31-32
31.5	DMAC使用時の動作説明	31-57
31.5.1	リードシーケンス時の動作	31-57
31.5.2	ライトシーケンス時の動作	31-60
31.6	MMCIF割り込み要因	31-63
31.7	カード検出機能適用時の使用手順	31-64
32.	PC カードコントローラ (PCC)	32-1
32.1	特長	32-1
32.1.1	PCMCIA のサポート	32-3
32.2	入出力端子	32-6
32.3	レジスタの説明	32-7
32.3.1	エリア 6 インタフェースステータスレジスタ (PCC0ISR)	32-8
32.3.2	エリア 6 ジェネラルコントロールレジスタ (PCC0GCR)	32-10
32.3.3	エリア 6 カードステータスチェンジレジスタ (PCC0CSCR)	32-13
32.3.4	エリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER)	32-16
32.4	動作の説明	32-19

32.4.1	PC カード接続仕様 (インタフェース図、該当端子)	32-19
32.4.2	PC カードインタフェースタイミング	32-22
32.5	使用上の注意事項	32-27
33.	オーディオコーデックインタフェース (HAC)	33-1
33.1	特長	33-1
33.2	入出力端子	33-2
33.3	レジスタの説明	33-3
33.3.1	コントロールステータスレジスタ (HACCR)	33-4
33.3.2	コマンド / ステータスアドレスレジスタ (HACCSAR)	33-5
33.3.3	コマンド / ステータスデータレジスタ (HACCSDR)	33-7
33.3.4	PCM レフトチャンネルレジスタ (HACPCML)	33-8
33.3.5	PCM ライトチャンネルレジスタ (HACPCMR)	33-9
33.3.6	TX 割り込みイネーブルレジスタ (HACTIER)	33-10
33.3.7	TX ステータスレジスタ (HACTSR)	33-11
33.3.8	RX 割り込みイネーブルレジスタ (HACRIER)	33-12
33.3.9	RX ステータスレジスタ (HACRSR)	33-13
33.3.10	HAC コントロールレジスタ (HACACR)	33-15
33.4	ACフレームのロット構成	33-16
33.5	動作説明	33-18
33.5.1	レシーバ	33-18
33.5.2	トランスミッタ	33-18
33.5.3	DMA	33-18
33.5.4	割り込み	33-19
33.5.5	初期化シーケンス	33-19
33.5.6	注意事項	33-24
33.5.7	参考	33-24
34.	シリアルサウンドインタフェース (SSI)	34-1
34.1	特長	34-1
34.2	入出力端子	34-3
34.3	レジスタの説明	34-4
34.3.1	コントロールレジスタ (SSICR)	34-6
34.3.2	ステータスレジスタ (SSISR)	34-11
34.3.3	トランスミットデータレジスタ (SSITDR)	34-15
34.3.4	レシーブデータレジスタ (SSIRDR)	34-15
34.4	動作説明	34-16
34.4.1	パスフォーマット	34-16
34.4.2	非圧縮モード	34-16
34.4.3	動作モード	34-25

34.4.4	送信動作	34-25
34.4.5	受信動作	34-27
34.4.6	シリアルビットクロックコントロール	34-30
34.5	使用上の注意事項	34-30
34.5.1	受信 DMA 動作中にオーバフローが起こった場合の制限事項	34-30
34.5.2	スレーブモードで動作させる場合の制限事項	34-30
35.	USB ホストコントローラ (USBH)	35-1
35.1	特長	35-1
35.2	入出力端子	35-2
35.3	レジスタの説明	35-3
35.3.1	HcRevision レジスタ (USBHR)	35-5
35.3.2	HcControl レジスタ (USBHC)	35-6
35.3.3	HcCommandStatus レジスタ (USBHCS)	35-7
35.3.4	HcInterruptStatus レジスタ (USBHIS)	35-8
35.3.5	HcInterruptEnable レジスタ (USBHIE)	35-9
35.3.6	HcInterruptDisable レジスタ (USBHID)	35-11
35.3.7	HcHCCA レジスタ (USBHCCA)	35-12
35.3.8	HcPeriodCurrentED レジスタ (USBHPCED)	35-13
35.3.9	HcControlHeadED レジスタ (USBHCHED)	35-13
35.3.10	HcControlCurrentED レジスタ (USBHCCED)	35-14
35.3.11	HcBulkHeadED レジスタ (USBHBHED)	35-14
35.3.12	HcBulkCurrentED レジスタ (USBHBCED)	35-15
35.3.13	HcDoneHead レジスタ (USBHDHED)	35-15
35.3.14	HcFmInterval レジスタ (USBHFI)	35-16
35.3.15	HcFmRemaining レジスタ (USBHFR)	35-16
35.3.16	HcFmNumber レジスタ (USBHFN)	35-17
35.3.17	HcPeriodicStart レジスタ (USBHPS)	35-18
35.3.18	HcLSThreshold レジスタ (USBHLST)	35-18
35.3.19	HcRhDescriptorA レジスタ (USBHRDA) (本 LSI のサポートは 1 ポートのみ)	35-19
35.3.20	HcRhDescriptorB レジスタ (USBHRDB) (本 LSI のサポートは 1 ポートのみ)	35-21
35.3.21	HcRhStatus レジスタ (USBHRS)	35-22
35.3.22	HcRhPortStatus2 レジスタ (USBHRPS2)	35-23
35.3.23	設定コントロールレジスタ (USBHSC)	35-26
35.4	機能の説明	35-27
35.4.1	機能概要	35-27
35.5	外部回路との接続例	35-29
35.6	使用上の注意事項	35-29
35.6.1	USB ホスト共有メモリエリアについて	35-29
35.6.2	USB Bus Reset 発行について	35-29

36. USB ファンクションコントローラ (USBFC)	36-1
36.1 特長	36-1
36.2 入出力端子	36-2
36.3 レジスタの説明	36-3
36.3.1 割り込みフラグレジスタ 0 (IFR0)	36-7
36.3.2 割り込みフラグレジスタ 1 (IFR1)	36-9
36.3.3 割り込みフラグレジスタ 2 (IFR2)	36-10
36.3.4 割り込みフラグレジスタ 3 (IFR3)	36-12
36.3.5 割り込みフラグレジスタ 4 (IFR4)	36-14
36.3.6 割り込み選択レジスタ 0 (ISR0)	36-15
36.3.7 割り込み選択レジスタ 1 (ISR1)	36-16
36.3.8 割り込み選択レジスタ 2 (ISR2)	36-17
36.3.9 割り込み選択レジスタ 3 (ISR3)	36-18
36.3.10 割り込み選択レジスタ 4 (ISR4)	36-19
36.3.11 割り込みイネーブルレジスタ 0 (IER0)	36-19
36.3.12 割り込みイネーブルレジスタ 1 (IER1)	36-20
36.3.13 割り込みイネーブルレジスタ 2 (IER2)	36-21
36.3.14 割り込みイネーブルレジスタ 3 (IER3)	36-22
36.3.15 割り込みイネーブルレジスタ 4 (IER4)	36-23
36.3.16 EP0i データレジスタ (EPDR0i)	36-24
36.3.17 EP0o データレジスタ (EPDR0o)	36-24
36.3.18 EP0s データレジスタ (EPDR0s)	36-25
36.3.19 EP1 データレジスタ (EPDR1)	36-26
36.3.20 EP2 データレジスタ (EPDR2)	36-26
36.3.21 EP3 データレジスタ (EPDR3)	36-27
36.3.22 EP4 データレジスタ (EPDR4)	36-27
36.3.23 EP5 データレジスタ (EPDR5)	36-28
36.3.24 EP0o 受信データサイズレジスタ (EPSZ0o)	36-28
36.3.25 EP1 受信データサイズレジスタ (EPSZ1)	36-29
36.3.26 EP4 受信データサイズレジスタ (EPSZ4)	36-29
36.3.27 トリガレジスタ (TRG)	36-30
36.3.28 データステータスレジスタ (DASTS)	36-31
36.3.29 FIFO クリアレジスタ 0 (FCLR0)	36-32
36.3.30 FIFO クリアレジスタ 1 (FCLR1)	36-33
36.3.31 DMA 転送設定レジスタ (DMA)	36-34
36.3.32 エンドポイントストールレジスタ 0 (EPSTL0)	36-35
36.3.33 エンドポイントストールレジスタ 1 (EPSTL1)	36-36
36.3.34 コンフィグレーションパリュウレジスタ (CVR)	36-37
36.3.35 タイムスタンプレジスタ (TSRH/TSRL)	36-38
36.3.36 コントロールレジスタ 0 (CTRL0)	36-40

36.3.37	コントロールレジスタ 1 (CTRL1)	36-41
36.3.38	エンドポイント情報レジスタ (EPIR)	36-42
36.3.39	タイマレジスタ (TMRH/TMRL)	36-48
36.3.40	セットタイムアウトレジスタ (STOH/STOL)	36-49
36.4	動作説明	36-50
36.4.1	ケーブル接続時	36-50
36.4.2	ケーブル切断時	36-51
36.4.3	EP1 バルクアウト転送 (2 面 FIFO)	36-57
36.4.4	EP2 バルクイン転送 (2 面 FIFO)	36-58
36.4.5	EP3 インタラプトイン転送	36-60
36.5	EP4アイソクロナスアウト転送	36-61
36.6	EP5アイソクロナスイン転送	36-64
36.7	USB標準コマンドとクラス/ベンダコマンドの処理	36-67
36.7.1	コントロール転送で送信されるコマンドの処理	36-67
36.8	ストール動作	36-68
36.8.1	概要	36-68
36.8.2	アプリケーションが強制的にストールさせたい場合	36-68
36.8.3	USB ファンクションモジュールが自動的にストールさせる場合	36-70
36.9	外部回路例	36-71
36.9.1	USB ファンクションコントローラの接続例	36-71
36.10	使用上の注意事項	36-72
36.10.1	セットアップデータ受信について	36-72
36.10.2	FIFO のクリアについて	36-72
36.10.3	データレジスタのオーバーリード/ライトについて	36-72
36.10.4	EP0 に関する割り込み要因の割り当てについて	36-72
36.10.5	DMA 転送設定時の FIFO クリアについて	36-73
36.10.6	TR 割り込み使用時の注意事項	36-73
37.	LCD コントローラ (LCDC)	37-1
37.1	特長	37-1
37.2	入出力端子	37-3
37.3	レジスタの説明	37-4
37.3.1	LCDC インพุットクロックレジスタ (LDICKR)	37-6
37.3.2	LCDC モジュールタイプレジスタ (LDMTR)	37-7
37.3.3	LCDC データフォーマットレジスタ (LDDFR)	37-10
37.3.4	LCDC スキャンモードレジスタ (LDSMR)	37-11
37.3.5	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)	37-12
37.3.6	LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)	37-13
37.3.7	LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)	37-14
37.3.8	LCDC バレットコントロールレジスタ (LDPALCR)	37-15

37.3.9	パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)	37-16
37.3.10	LCDC 水平キャラクタナンバーレジスタ (LDHCNR)	37-17
37.3.11	LCDC 水平同期信号レジスタ (LDHSYNR)	37-18
37.3.12	LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)	37-19
37.3.13	LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)	37-19
37.3.14	LCDC 垂直同期信号レジスタ (LDVSYNR)	37-20
37.3.15	LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)	37-21
37.3.16	LCDC 割り込みコントロールレジスタ (LDINTR)	37-22
37.3.17	LCDC パワーマネジメントモードレジスタ (LDPMMR)	37-24
37.3.18	LCDC 電源シーケンス期間レジスタ (LDPSPR)	37-26
37.3.19	LCDC コントロールレジスタ (LDCNTR)	37-27
37.3.20	LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)	37-28
37.3.21	LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)	37-29
37.3.22	LCDC メモリアクセスインターバルナンバーレジスタ (LDLIRNR)	37-30
37.4	動作説明	37-31
37.4.1	LCDC で表示可能な液晶モジュールのサイズについて	37-31
37.4.2	回転表示の解像度 / パースト長および接続メモリ (DDR-SDRAM) の制限	37-32
37.4.3	カラーパレット仕様について	37-34
37.4.4	データフォーマット	37-35
37.4.5	表示解像度の設定	37-38
37.4.6	電源制御シーケンス処理	37-38
37.4.7	ハードウェアローテーション動作説明	37-44
37.5	クロックとLCDデータ信号例	37-46
37.6	使用上の注意事項	37-56
37.6.1	表示データ格納用 VRAM (エリア 3 の DDR-SDRAM) アクセスの停止手順について	37-56
37.6.2	NMI 割り込み使用時の注意事項について	37-56
38.	A/D 変換器 (ADC)	38-1
38.1	特長	38-1
38.2	入出力端子	38-3
38.3	レジスタの説明	38-3
38.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	38-4
38.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	38-5
38.4	動作説明	38-8
38.4.1	シングルモード (MDS[1:0] = 00)	38-8
38.4.2	マルチモード (MDS[1:0] = 10)	38-10
38.4.3	スキャンモード (MDS[1:0] = 11)	38-12
38.4.4	A/D 変換時間	38-14
38.5	割り込み要求	38-14
38.6	A/D変換精度の定義	38-14

38.7	使用上の注意	38-15
38.7.1	アナログ電圧の設定	38-15
38.7.2	アナログ入力端子の取り扱い	38-15
38.7.3	Pck0 クロックとクロック分周比の設定	38-16
38.7.4	A/D 変換の停止	38-16
39.	D/A 変換器 (DAC)	39-1
39.1	特長	39-1
39.2	入出力端子	39-2
39.3	レジスタの説明	39-2
39.3.1	D/A データレジスタ 0、1 (DADR0、DADR1)	39-3
39.3.2	D/A コントロールレジスタ (DACR)	39-3
39.4	動作説明	39-4
39.5	使用上の注意	39-4
40.	汎用入出力ポート (GPIO)	40-1
40.1	特長	40-1
40.2	レジスタの説明	40-10
40.2.1	ポート A コントロールレジスタ (PACR)	40-14
40.2.2	ポート B コントロールレジスタ (PBCR)	40-15
40.2.3	ポート C コントロールレジスタ (PCCR)	40-17
40.2.4	ポート D コントロールレジスタ (PDCR)	40-18
40.2.5	ポート E コントロールレジスタ (PECR)	40-20
40.2.6	ポート F コントロールレジスタ (PFCR)	40-21
40.2.7	ポート G コントロールレジスタ (PGCR)	40-22
40.2.8	ポート H コントロールレジスタ (PHCR)	40-24
40.2.9	ポート I コントロールレジスタ (PICR)	40-25
40.2.10	ポート J コントロールレジスタ (PJCR)	40-27
40.2.11	ポート K コントロールレジスタ (PKCR)	40-28
40.2.12	ポート L コントロールレジスタ (PLCR)	40-30
40.2.13	ポート M コントロールレジスタ (PMCR)	40-31
40.2.14	ポート N コントロールレジスタ (PNCR)	40-33
40.2.15	ポート O コントロールレジスタ (POCR)	40-34
40.2.16	ポート A データレジスタ (PADR)	40-36
40.2.17	ポート B データレジスタ (PBDR)	40-36
40.2.18	ポート C データレジスタ (PCDR)	40-37
40.2.19	ポート D データレジスタ (PDDR)	40-37
40.2.20	ポート E データレジスタ (PEDR)	40-38
40.2.21	ポート F データレジスタ (PFDR)	40-38
40.2.22	ポート G データレジスタ (PGDR)	40-39

40.2.23	ポートHデータレジスタ (PHDR)	40-39
40.2.24	ポートIデータレジスタ (PIDR)	40-40
40.2.25	ポートJデータレジスタ (PJDR)	40-40
40.2.26	ポートKデータレジスタ (PKDR)	40-41
40.2.27	ポートLデータレジスタ (PLDR)	40-41
40.2.28	ポートMデータレジスタ (PMDR)	40-42
40.2.29	ポートNデータレジスタ (PNDR)	40-42
40.2.30	ポートOデータレジスタ (PODR)	40-43
40.2.31	ポートIプルアップ制御レジスタ (PIPUPR)	40-44
40.2.32	ポートJプルアップ制御レジスタ (PJPUPR)	40-45
40.2.33	ポートKプルアップ制御レジスタ (PKPUPR)	40-46
40.2.34	ポートLプルアップ制御レジスタ (PLPUPR)	40-47
40.2.35	ポートMプルアップ制御レジスタ (PMPUPR)	40-48
40.2.36	ポートNプルアップ制御レジスタ (PNPUPR)	40-49
40.2.37	ポートOプルアップ制御レジスタ (POPUPR)	40-50
40.2.38	入力端子プルアップ制御レジスタ (PPUPR)	40-51
40.2.39	ピンセレクトレジスタ0 (PSEL0)	40-52
40.2.40	ピンセレクトレジスタ1 (PSEL1)	40-53
40.2.41	ピンセレクトレジスタ2 (PSEL2)	40-55
40.2.42	ピンセレクトレジスタ3 (PSEL3)	40-57
40.2.43	ピンセレクトレジスタ4 (PSEL4)	40-59
40.3	使用例	40-62
40.3.1	ポート出力機能	40-62
40.3.2	ポート入力機能	40-62
40.3.3	周辺モジュール機能	40-62
41.	ユーザブ레이크コントローラ (UBC)	41-1
41.1	特長	41-1
41.2	レジスタの説明	41-3
41.2.1	マッチ条件設定レジスタ0、1 (CBR0、CBR1)	41-4
41.2.2	マッチ動作設定レジスタ0、1 (CRR0、CRR1)	41-10
41.2.3	マッチアドレス設定レジスタ0、1 (CAR0、CAR1)	41-12
41.2.4	マッチアドレスマスク設定レジスタ0、1 (CAMR0、CAMR1)	41-13
41.2.5	マッチデータ設定レジスタ1 (CDR1)	41-14
41.2.6	マッチデータマスク設定レジスタ1 (CDMR1)	41-15
41.2.7	実行回数ブ레이크レジスタ1 (CETR1)	41-15
41.2.8	チャンネルマッチフラグレジスタ (CCMFR)	41-16
41.2.9	ブ레이크コントロールレジスタ (CBCR)	41-17
41.3	動作説明	41-18
41.3.1	アクセスに関する用語の説明	41-18

41.3.2	ユーザブレーク動作の流れ.....	41-18
41.3.3	命令フェッチサイクルブレーク.....	41-20
41.3.4	オペランドアクセスサイクルブレーク.....	41-21
41.3.5	シーケンシャルブレーク.....	41-22
41.3.6	退避されるプログラムカウンタの値.....	41-23
41.4	ユーザブレークデバッグサポート機能.....	41-24
41.5	ユーザブレーク使用例.....	41-25
41.6	使用上の注意事項.....	41-29
42.	ユーザデバッグインタフェース (H-UDI)	42-1
42.1	特長.....	42-1
42.2	入出力端子.....	42-3
42.3	バウンダリスキャンTAPコントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)	42-4
42.4	レジスタの説明.....	42-6
42.4.1	インストラクションレジスタ (SDIR)	42-7
42.4.2	割り込み要因レジスタ (SDINT)	42-8
42.4.3	バイパスレジスタ (SDBPR)	42-8
42.4.4	バウンダリスキャンレジスタ (SDBSR)	42-9
42.5	動作説明.....	42-24
42.5.1	TAP 制御.....	42-24
42.5.2	H-UDI リセット.....	42-25
42.5.3	H-UDI 割り込み.....	42-25
42.6	注意事項.....	42-25
43.	電氣的特性.....	43-1
43.1	絶対最大定格.....	43-1
43.2	電源投入および切断順序.....	43-2
43.2.1	電源の投入順序について.....	43-2
43.2.2	電源の切断順序について.....	43-2
43.2.3	RTC 電源バックアップモード (ハードウェアスタンバイ) 時の電源切断 / 投入順序に ついて.....	43-3
43.2.4	DDR-SDRAM 電源バックアップ時の電源切断 / 投入順序について.....	43-3
43.2.5	DDR-SDRAM 電源投入時の注意事項について.....	43-3
43.3	DC特性.....	43-4
43.4	AC特性.....	43-8
43.4.1	クロック・制御信号タイミング.....	43-8
43.4.2	制御信号タイミング.....	43-13
43.4.3	バスタイミング.....	43-14
43.4.4	DDRIF 信号タイミング.....	43-32
43.4.5	INTC モジュール信号タイミング.....	43-35

43.4.6	外部 CPU リード/ライト アクセスタイミング	43-36
43.4.7	PCIC モジュール信号タイミング	43-38
43.4.8	DMAC モジュール信号タイミング	43-40
43.4.9	TMU モジュール信号タイミング	43-40
43.4.10	16 ビットタイマパルスユニット (TPU)	43-41
43.4.11	GETHER モジュール信号タイミング	43-42
43.4.12	ストリームインタフェースモジュールタイミング	43-47
43.4.13	I ² C モジュール信号タイミング	43-51
43.4.14	SCIF モジュール信号タイミング	43-52
43.4.15	SIOF モジュール信号タイミング	43-53
43.4.16	SIM モジュール信号タイミング	43-57
43.4.17	MMCIF モジュール信号タイミング	43-57
43.4.18	HAC インタフェースモジュール信号タイミング	43-59
43.4.19	SSI インタフェースモジュール信号タイミング	43-60
43.4.20	USB モジュール信号タイミング	43-62
43.4.21	LCDC モジュール信号タイミング	43-63
43.4.22	GPIO 信号タイミング	43-64
43.4.23	H-UDI モジュール信号タイミング	43-64
43.5	A/D、D/A変換器特性	43-66
43.5.1	A/D 変換特性	43-66
43.5.2	D/A 変換特性	43-66
43.6	AC特性測定条件	43-67
43.7	負荷容量による遅延時間の変化	43-68
付録	付録-1
A.	CPU動作モードレジスタ (CPUOPM)	付録-1
B.	モード端子一覧および外付け回路概念図	付録-2
C.	ボード設計上の注意事項	付録-4
D.	外形寸法図	付録-7
E.	端子状態	付録-8
F.	未使用時の端子処理	付録-21
G.	バージョンレジスタ	付録-31
H.	放熱ガイド	付録-33
H.1	熱抵抗シミュレーション条件	付録-33
H.2	熱抵抗シミュレーション解析結果	付録-33

本版で修正または追加された箇所 改訂-1

索引 索引-1

1. 概要

1.1 SH7763 の特長

本 LSI は、ルネサスオリジナルの RISC (Reduced Instruction Set Computer) 方式の CPU をコアにして、高速イーサネットシステム、表示機器システム、デジタル AV 機器システム等のさまざまなシステムに必要な周辺機能を集積した CMOS シングルチップ・多機能マイコンです。

本 LSI は、SH-1、SH-2、SH-3、SH-3E、SH-4 マイクロコンピュータとのオブジェクトコードレベルでの上位互換性を特長とする 32 ビット RISC マイコンです。また、キャッシュメモリ、MMU などを内蔵しています。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本的に 1 命令 1 サイクルで動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成となっており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現不可能だった、高速性が要求されるアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI では、内蔵 DMAC (Direct Memory Access Controller) による高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの直結が可能です。さらに、LCD コントローラ、USB Full Speed ホストコントローラ、ファンクションコントローラ、PCI コントローラ、高速非同期シリアルインタフェース回路、音声 / オーディオ CODEC 用シリアルインタフェース回路、AD 変換器、DA 変換器などのシステムコンフィギュレーションに最適で強力な周辺機能を内蔵しています。

本 LSI はまた、IEEE802.3z 規格に準拠したメディアアクセスコントローラ (MAC) とギガビット・メディア・インディペンデント・インタフェース (GMII) 標準ユニットを含むギガビットイーサネットコントローラを 2 チャンネル搭載しており、10/100/1000Mbps での LAN 接続を実現することができます。さらに、SECURITY アクセラレータを内蔵することにより、ネットワーク上のデータのセキュリティ管理を効率よく行うことができます。

さらに、本 LSI では外部メモリアクセスサポート機能により、通常メモリ、DDR-SDRAM、PCMCIA と直接接続が行えます。

さまざまな分野に対応可能な多様な機能を集積した本製品により、お客様の開発システムの大幅なコスト低減のみならず、小型化および低消費電力化を実現することが可能となります。

表 1.1 SH7763 の特長

項 目	特 長
最大動作周波数	<ul style="list-style-type: none"> • 266MHz
性能	<ul style="list-style-type: none"> • 478MIPS (266MHz 時)、1862MFLOPS (266MHz 時)
CPU	<ul style="list-style-type: none"> • ルネサスオリジナルアーキテクチャ • 32 ビット内部データバス • 汎用レジスタファイル <ul style="list-style-type: none"> - 16 本の 32 ビット汎用レジスタ (および 8 本の 32 ビットシャドウレジスタ) - 7 本の 32 ビット制御レジスタ - 4 本の 32 ビットシステムレジスタ • RISC タイプ命令セット (SH シリーズと上位互換性あり) <ul style="list-style-type: none"> - 命令長: コード効率改善のための 16 ビット固定長 - ロードストアアーキテクチャ - 遅延分岐命令 - 条件付き実行 - C 言語に基づく命令セット • FPU を含む 2 命令同時実行型スーパースカラ • 命令実行時間: 最大 2 命令 / サイクル • 仮想アドレス空間: 4G バイト • 空間識別子 ASID: 8 ビット、256 仮想アドレス空間 • 乗算器内蔵 • 7 段パイプライン

項 目	特 長
FPU	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット×16 ワード×2 バンク (単精度×16 ワードまたは倍精度×8 ワード)×2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0 / FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> - レイテンシ (FADD/FSUB): 3 サイクル (単精度)、5 サイクル (倍精度) - レイテンシ (FMAC/FMUL): 5 サイクル (単精度)、7 サイクル (倍精度) - ピッチ (FADD/FSUB): 1 サイクル (単精度 / 倍精度) - ピッチ (FMAC/FMUL): 1 サイクル (単精度)、3 サイクル (倍精度) 【注】FMAC は単精度に対してのみサポートしています。 • 3D グラフィック命令 (単精度のみ) <ul style="list-style-type: none"> - 4 次元ベクトル変換および行列演算 (FTRV) - 4 サイクル (ピッチ)、8 サイクル (レイテンシ) - 4 次元ベクトル (FIPR) の内積、1 サイクル (ピッチ) - 5 サイクル (レイテンシ) • 10 段パイプライン
メモリ管理ユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間 (ASID8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、64K、1M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入換方法およびランダムカウンタ方式入換アルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能

項 目	特 長
キャッシュメモリ	<ul style="list-style-type: none"> • 命令キャッシュ： <ul style="list-style-type: none"> - 32K バイト、4 ウェイセットアソシアティブ - 32 バイトブロック長 • オペランドキャッシュ： <ul style="list-style-type: none"> - 32K バイト、4 ウェイセットアソシアティブ - 32 バイトブロック長 - 選択可能な書き込み方式（コピーバック/ライトスルー） • ストアキュー：32 バイト×2 エントリ
LRAM	<ul style="list-style-type: none"> • 2本の独立した読み出し/書き込みポート <ul style="list-style-type: none"> - CPU/FPU からの 8/16/32/64 ビットアクセス - DMAC からの 8/16/32/64 ビットアクセス • 容量 16K バイト • CPU アクセスでの記憶保護機構をサポート
ユーザブ레이크コントローラ（UBC）	<ul style="list-style-type: none"> • ユーザブ레이크割り込みによるデバッグをサポート • 2本のブ레이크チャンネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブ레이크条件として設定可能 • シーケンシャルブ레이크機能をサポート
クロック発振器（CPG）	<ul style="list-style-type: none"> • CPU クロック選択可能：EXTAL の 8 倍 • クロックモード： <ul style="list-style-type: none"> - CPU 周波数：266MHz（最大） - ローカルバス周波数：CPU クロックの 1/4 倍、66MHz（最大） - DDR-SDRAM I/F 周波数：CPU クロックの 1/2 倍、133MHz（最大） - 周辺バス 0 周波数：CPU クロックの 1/4 倍、66MHz（最大） - 周辺バス 1 周波数：CPU クロックの 1/8 倍、33MHz（最大） • 低消費電力モードのサポート <ul style="list-style-type: none"> - スリープモード - ソフトウェアスタンバイモード - モジュールスタンバイモード - RTC 電源バックアップモード - DDR-SDRAM 電源バックアップモード • 1チャンネルのウォッチドッグタイマ
割り込みコントローラ（INTC）	<ul style="list-style-type: none"> • ダイレクトジャンプ方式（SH4 互換） • 外部割り込み端子（NMI、$\overline{\text{IRL7}}$~$\overline{\text{IRL0}}$、IRQ7~IRQ0、PINT15~PINT0） • 内蔵周辺割り込み：モジュールごとに優先順位を設定

項 目	特 長
ローカルバスステート コントローラ (LBSC)	<ul style="list-style-type: none"> • 物理アドレス空間を最大 64MB の 7 つの領域 (エリア 0~6) に分割 <ul style="list-style-type: none"> - 各エリア毎に、I/F 設定、バス幅設定、ウェイトステート挿入が可能 • SRAM インタフェース <ul style="list-style-type: none"> - ウェイトステート挿入をレジスタ設定で可能 - \overline{RDY} 端子によるウェイトステート挿入 - 接続可能バス幅 32 ビット、16 ビット、8 ビット - サポート空間：エリア 0~2、4~6 • バースト ROM インタフェース <ul style="list-style-type: none"> - ウェイトステート挿入をレジスタ設定で可能 - バースト回数をレジスタ設定により可能 - 接続可能バス幅 32 ビット、16 ビット、8 ビット - サポート空間：エリア 0~2、4~6 • バイト選択付き SRAM インタフェース <ul style="list-style-type: none"> - バイト選択付き SRAM との直結が可能なインタフェースをサポート - サポート空間：エリア 1、4 • MPX インタフェース <ul style="list-style-type: none"> - アドレスデータマルチプレクス - 接続可能バス幅 32 ビット - サポート空間：エリア 0~2、4~6 • PCMCIA インタフェース (リトルエンディアンモード時のみ) <ul style="list-style-type: none"> - ウェイトステート挿入をレジスタ設定で可能 - ATAPI インタフェースサポート (マルチワード DMA サポート) - I/O バス幅のバスサイジング機能をサポート - サポート空間：エリア 5、6
DDR-SDRAM コントローラ (DDRIF)	<ul style="list-style-type: none"> • DDR-SDRAM インタフェース：データバス幅 32 ビット • DDR266、DDR200 対応 • DDR-SDRAM リフレッシュ機能 <ul style="list-style-type: none"> - プログラムプルナリフレッシュ間隔をサポート (オートリフレッシュモード) - セルフリフレッシュモード • SDRAM バースト長は 2 • パワーオンリセット時に外部メモリアクセスのビッグ/リトルエンディアン切り替え可能 • 対応可能なメモリ品の容量とビット幅は下記のとおり <ul style="list-style-type: none"> - 128M ビット DDR-SDRAM (× 16) 2 個並列接続 - 256M ビット DDR-SDRAM (× 16) 2 個並列接続 - 512M ビット DDR-SDRAM (× 16) 2 個並列接続 - 1G ビット DDR-SDRAM (× 16) 2 個並列接続

項 目	特 長
PCI コントローラ (PCIC)	<ul style="list-style-type: none"> • PCI コントローラ (Rev.2.2 準拠) <ul style="list-style-type: none"> - 32 ビットバス - 33MHz/66MHz • PCI マスタ/ターゲット機能サポート • PCI ホスト機能サポート <ul style="list-style-type: none"> - バスアービタ内蔵 • 外部 PCI 専用クロック用入力端子 • CPU への割り込み要求が可能
ダイレクトメモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • チャンネル数: 6 チャンネル (うち 4 チャンネルは外部リクエスト受け付け可能) • 転送データサイズ: バイト、ワード (2 バイト)、ロングワード (4 バイト)、16 バイト、32 バイト • 最大転送回数: 16,777,216 回 • アドレスモード: デュアルアドレスモード • バスモード: サイクルスチールモードとバーストモードから選択可能 • 転送要求: 外部リクエスト (CH0~3 のみ)、内蔵周辺モジュールリクエスト、オートリクエストモードから選択可能 • 優先順位: チャンネル優先順位固定モードと、ラウンドロビンモードから選択可能
タイマ (TMU)	<ul style="list-style-type: none"> • 6 チャンネルオートリロード型 32 ビットタイマ • チャンネル 2 のみ、インプットキャプチャ機能を搭載 • チャンネル 3~5 は、6 種類のカウンタ入力クロックを選択可能 <ul style="list-style-type: none"> - 5 種類の周辺クロック (Pck0/4、Pck0/16、Pck0/64、Pck0/256、Pck0/1024)、RTC クロック • チャンネル 0~2 は上記に外部クロック (TMU-TCLK) を加えた計 7 種類のカウンタ入力クロックを選択可能
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • 32 ビットカウンタ 5 チャンネル内蔵 (16 ビット / 32 ビット切り替え可能) • コンペアマッチあるいはオーバフロー発生時、割り込みあるいは DMA 転送要求が可能
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> • 内蔵クロック・カレンダー機能・アラーム機能 • 1/256 秒の最大分解能 (割り込みサイクル) の内蔵 32kHz 水晶発振器回路 • アラーム割り込み / 周期割り込み / 桁上げ割り込み要求が可能
シリアルコミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • 送受信 FIFO 各々 64 バイト内蔵 (チャンネル 2 は 16 バイト) • 3 チャンネル内蔵 (SCIF0、SCIF1、SCIF2) • 全二重通信可能 • 調歩同期モードにおいて、モデムコントロール機能 (RTS/CTS) を内蔵 (チャンネル 0/1) • 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能 • SCIF2 は IrDA 1.0 準拠のインタフェースを内蔵

項 目	特 長
FIFO 付シリアル インタフェース (SIOF)	<ul style="list-style-type: none"> 送受信 FIFO 各々64 バイト内蔵 3 チャンネル内蔵 (SIOF0、SIOF1、SIOF2) 8 ビット / 16 ビット / 16 ビットステレオ音声入出力対応 Pck0 および外部端子からのサンプリングレートクロックを入力選択可 プリスケアラ内蔵
マルチメディアカード インタフェース (MMCIF)	<ul style="list-style-type: none"> MMC モードに対応 カードインタフェースは最大 16.7Mbps (周辺クロック 1 33MHz 時) CLK 出力 (転送クロック出力) 端子、CMD 入出力 (コマンド出力 / レスポンス入力) 端子、DAT 入出力 (データ入出力) 端子によるインタフェース 4 種類の割り込み要因
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> 4 チャンネル内蔵 (SSI0、SSI1、SSI2、SSI3) 多様なシリアルオーディオフォーマットをサポート マスタ / スレーブ機能をサポート プログラマブルワードクロック、ビットクロック生成機能 マルチチャンネルフォーマット機能 8/16/18/20/22/24/32 ビットデータフォーマットサポート
デバッグインタフェース	<ul style="list-style-type: none"> H-UDI (User Debug Interface) サポート AUD (Advanced User Debugger) サポート
USB ホストインタフェース (OHCIUSBH)	<ul style="list-style-type: none"> 1.5Mbps/s と 12Mbps/s データ転送速度をサポート OHCI バージョン 1.0 をサポート
USB ファンクション インタフェース Ver1.1 (USBF)	<ul style="list-style-type: none"> USB1.1 サポートの UDC (USB デバイスコントローラ) を内蔵 <ul style="list-style-type: none"> - USB 標準コマンドを自動処理 (一部除く) Get Descriptor/Class/Vendor コマンドはマイコンファームウェア上で処理 転送速度: フルスPEED (12M ビット / s 専用)
オーディオコーデック インタフェース (HAC)	<ul style="list-style-type: none"> オーディオコーデック用デジタルインタフェース 1 チャンネル スロット 1~4 の送受信に対応 送受信 DMA 転送は 16 または 20 ビットを選択可能 スロットデータの調整により各種サンプリングレートをサポート データレディ、データリクエスト、オーバフロー、アンダフローの割り込みを生成
I ² C バスインタフェース (IIC)	<ul style="list-style-type: none"> I²C バスインタフェース方式サポート 2 チャンネル内蔵 (IIC0、IIC1) マスタ / スレーブ機能 マルチマスタ機能 400Kbps までの転送速度をサポート システムクロックからプログラマブルにクロックを生成

項 目	特 長
A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 10 ビット\pm4LSB、4 チャンネル • 変換時間：8.5 μs • 3 種類の変換モード：シングルモード、マルチモード、スキャンモード • 4 本のデータレジスタ • サンプル&ホールド機能 • A/D 変換終了割り込み発生 • 入力範囲：0 ~ AVcc (最大 3.6V)
D/A 変換器 (DAC)	<ul style="list-style-type: none"> • 8 ビット\pm4LSB、2 チャンネル • 変換時間：10 μs • 2 本のデータレジスタ • 出力範囲：0 ~ AVcc (最大 3.6V)
LCD コントローラ(LCDC)	<ul style="list-style-type: none"> • 16\times1 ピクセルから 1024\times1024 ピクセルまでの表示サイズをサポート • 4/8/15/16bpp (ビット/ピクセル) のカラー表示をサポート • 1/2/4/6bpp (ビット/ピクセル) のグレースケール表示をサポート • 8 ビットフレームレートコントローラ • TFT/DSTN/STN の各種液晶パネルをサポート • 信号極性設定機能 • ハードウェアパネルローテーション機能 • 電力制御機能 • クロックソース選択可能 (周辺クロックまたは外部クロックから選択可能)
PC カードコントローラ (PCC)	<ul style="list-style-type: none"> • 1 スロット分の制御信号をサポート • 未使用時の SH7709 互換 (2 スロット)
SIM カードインタフェース (SIM)	<ul style="list-style-type: none"> • 1 チャンネル。ISO7816-3 データプロトコルに対応 (T=0、T=1) • 調歩同期式半二重キャラクタ伝送プロトコル • データ長 8 ビット • パリティビットの生成およびチェック • 1etu 当たりの出力クロック数を選択可能 • ダイレクトコンベンション/インバースコンベンションの選択可能 • Pck0 でのプリスケアラ内蔵 • アイドル時のクロック極性変更可 (ローまたはハイなど) • 割り込み要求あり、DMAC 要求あり
16 ビットタイマパルス ユニット (TPU)	<ul style="list-style-type: none"> • 最大 4 本のパルス出力が可能 • 最大 4 相の PWM 出力が可能
I/O ポート (GPIO)	<ul style="list-style-type: none"> • 入出力兼用ポートはビットごとに入出力切り替え可能

項目	特長
ストリームインタフェース (STIF)	<ul style="list-style-type: none"> ● MPEG2 TS ストリーム入力時、パラレル接続可能 <ul style="list-style-type: none"> - パラレルストリーム接続 - ストリーム入力 <ul style="list-style-type: none"> クロックバリッド動作マスタモードをサポート ストロブ動作バイト転送モードをサポート - ストリーム出力 <ul style="list-style-type: none"> クロックバリッド動作マスタモードをサポート ストロブ動作バイト転送モードをサポート ● 2チャンネル内蔵 (STIF0、STIF1)
ギガビットイーサネットコントローラ (GETHER)	<ul style="list-style-type: none"> ● E-DMAC (イーサネット専用 DMAC) 機能 <ul style="list-style-type: none"> - 4チャンネル内蔵 - GETHER と外部 / 内部メモリ間の転送可能 - 32 バイトバースト転送可能 - 1 フレーム / 1 ディスクリプタ、1 フレーム / 複数ディスクリプタ (マルチバッファ) 方式対応が可能 - 転送データ幅 : 32 ビット - FIFO 搭載 (送信用 : 2K バイト、受信用 : 8K バイト) ● MAC (Media Access Control) 機能 <ul style="list-style-type: none"> - 2チャンネル内蔵 (GETHER0、GETHER1) - データフレームの組立 / 分解 (IEEE802.3,2000Edition 準拠フレーム形式) - 転送レート可変 : 10/100/1000Mbps の各転送速度に対応 - 全二重 / 半二重送受信に対応 - IEEE802.3x 準拠のフロー制御が可能。フロー制御用として自動 / 手動で PAUSE フレームを送信可能 - IEEE802.1Q (VLAN) 対応 - IEEE802.3 準拠 PHY インタフェース GMII (Gigabit Media Independent interface)、MII (Media Independent Interface) および RMII (Reduced Media Independent interface) サポート - 上位プロトコルサポート (サムチェック) 機能 - チャンネル間転送用スイッチングユニット搭載 (転送用 FIFO : 6K バイト)
SECURITY アクセラレータ*1 (SECURITY)	<ul style="list-style-type: none"> ● AES (Advanced Encryption Standard) に準じた暗号 / 復号化 (鍵長 128、192 および 256 ビット) ● DES (Data Encryption Standard) に準じた、DES/Triple-DES の暗号 / 復号化 ● MD5 (Message-Digest Algorithm) に準じた、Hash 関数の生成 ● Source Hash Standard の sha-1 に準じた、Hash 関数の生成 ● データ転送用の専用 DMAC 内蔵 ● CPU への割り込み要求が可能
パッケージ	<ul style="list-style-type: none"> ● P-FBGA2121-449 (BGA - 449pin (21mm × 21mm))
電源電圧	<ul style="list-style-type: none"> ● 電源電圧 : 3.3V ± 0.3V、1.25V ± 0.1V、2.5V ± 0.2V (DDR-SDRAM 周り)

項目	特長																				
温度範囲	• -20 ~ +75 * ²																				
プロセス	• 0.13 μ m CMOS / メタル5層																				
製品ラインアップ	<table border="1"> <thead> <tr> <th>略称</th> <th>電源</th> <th>動作周波数</th> <th>製品型名</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td>R5S77630A</td> <td>3.3V \pm 0.3V</td> <td rowspan="3">266MHz</td> <td>R5S77630AY266BGV</td> <td rowspan="2">BGA-449 ピン</td> </tr> <tr> <td rowspan="2">R5S77631A</td> <td>1.25V \pm 0.1V</td> <td>R5S77631AY266BGV</td> </tr> <tr> <td>2.5V \pm 0.2V</td> <td></td> <td></td> </tr> </tbody> </table>					略称	電源	動作周波数	製品型名	パッケージ	R5S77630A	3.3V \pm 0.3V	266MHz	R5S77630AY266BGV	BGA-449 ピン	R5S77631A	1.25V \pm 0.1V	R5S77631AY266BGV	2.5V \pm 0.2V		
	略称	電源	動作周波数	製品型名	パッケージ																
	R5S77630A	3.3V \pm 0.3V	266MHz	R5S77630AY266BGV	BGA-449 ピン																
	R5S77631A	1.25V \pm 0.1V		R5S77631AY266BGV																	
2.5V \pm 0.2V																					

【注】 *1 R5S77630A のみ、R5S77631A には内蔵していません。

*2 T_a が 60 を超える場合は放熱処置が必要です。

1.2 ブロック図

図 1.1 に SH7763 の構成を示します。

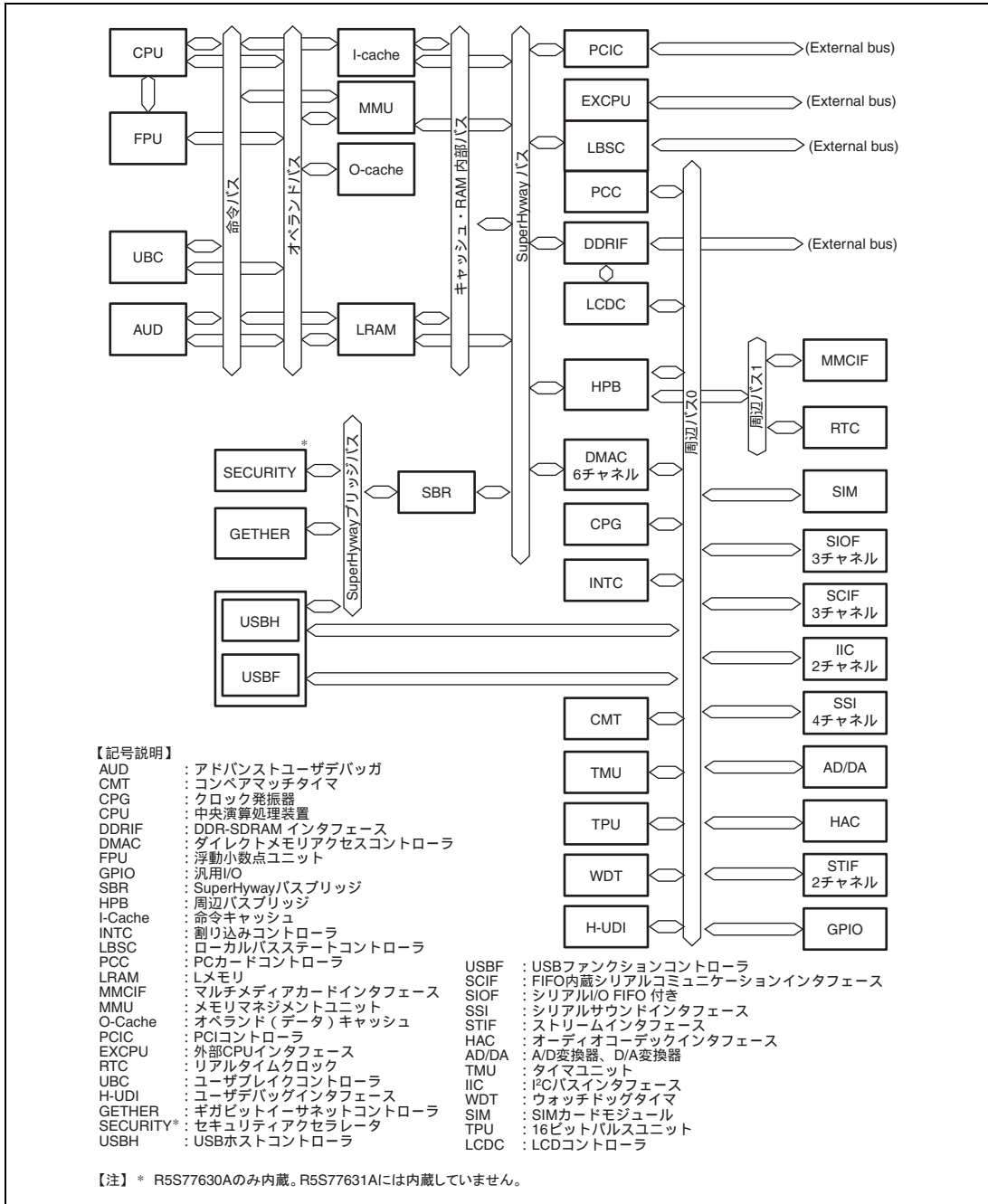


図 1.1 本 LSI の構成

1.3 ピン配置

図 1.2 に本 LSI のピン配置図を、表 1.2 に本 LSI のピン配置表を示します。

表 1.2 ピン配置表

端子番号	端子名	入出力	説明	電源
A1	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
A2	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
A3	M_VREF	I	DDR-SDRAM リファレンス電圧入力	VCCQ_DDR
A4	M_CLK0	O	DDR-SDRAM クロック	VCCQ_DDR
A5	$\overline{M_CLK1}$	O	DDR-SDRAM クロック	VCCQ_DDR
A6	$\overline{M_WE}$	O	DDR-SDRAM ライトイネーブル	VCCQ_DDR
A7	$\overline{M_RAS}$	O	DDR-SDRAM RAS	VCCQ_DDR
A8	M_BA0	O	DDR-SDRAM バンクアクティブ	VCCQ_DDR
A9	M_A10	O	DDR-SDRAM アドレスバス	VCCQ_DDR
A10	M_A1	O	DDR-SDRAM アドレスバス	VCCQ_DDR
A11	M_A3	O	DDR-SDRAM アドレスバス	VCCQ_DDR
A12	XTAL2	O	RTC 用水晶発振子	VDD_RTC
A13	USBM	IO	D-	VCCQ
A14	PTI2/ST0M_START/IIC0_SCL/ SIOF1_RXD/USB_OVRCRT/ USBF_VBUS	I/I/O/I/I	ポート / ST データ同期 / IIC シリアルク ロック / SIOF 受信データ / USB オーバ カレント検出 / USB ケーブル接続モニタ	VCCQ
A15	PTI0/STATUS0/ST1_CLK/ RMII0_MDC	IO/O/IO/O	ポート / ステータス 0 / ST データクロッ ク / RMII 管理用データクロック	VCCQ
A16	PTK4/ST1_D4/GET0_ERXD4/ SIOF2_TXD/LCD_D6	IO/IO/IO/O	ポート / ST データ / ETHER 受信データ / SIOF 送信データ / LCD データ	VCCQ
A17	PTI6/IRQ2/IRL2/ST0M_D6/ IIC1_SCL	I/I/I/IO	ポート / 外部割り込み入力 / ST データ (ミラー端子) / IIC シリアルクロック	VCCQ
A18	PTJ5/ST0M_D3/ET0_ERXD3/ RMII1_RXD0/LCD_DON	IO/I/I/O	ポート / ST データ (ミラー端子) / ETHER 受信データ / RMII 受信データ / LCD 表示開始	VCCQ
A19	PTJ1/ST0M_CLKIO/ RMII1_RX_ER/LCD_CLK	IO/IO/I	ポート / ST データクロック / RMII 受信 エラー / LCD クロックソース	VCCQ
A20	$\overline{CS5}/\overline{CE1A}$	O/O	チップセレクト / カードセレクト	VCCQ
A21	PTM6/D30/EX_AD30/ST0_D6/ ET0_RX-CLK/RMII0_TXD1/ PINT6	IO/IO/IO/IO/I	ポート / データバス / アドレス・データバ ス / ST データ / ETHER 受信クロック / RMII 送信データ / ポート割り込み入力	VCCQ
A22	PTM4/D28/EX_AD28/ST0_D4/ ET0_PHY-INT/RMII0_RXD0/ PINT4	IO/IO/IO/IO/I	ポート / データバス / アドレス・データバ ス / ST データ / PHY 割り込み / RMII 受 信データ / ポート割り込み入力	VCCQ
A23	$\overline{CS0}$	O	チップセレクト	VCCQ
A24	VSSQ	-	I/O グランド	-
A25	VSSQ	-	I/O グランド	-

端子番号	端子名	入出力	説明	電源
B1	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
B2	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
B3	$\overline{M_BKPRST}$	I	DDR-SDRAM 電源バックアップリセット	VCCQ_DDR
B4	M_CKE	O	DDR-SDRAM クロックイネーブル	VCCQ_DDR
B5	M_A13	O	DDR-SDRAM アドレスバス	VCCQ_DDR
B6	$\overline{M_CAS}$	O	DDR-SDRAM CAS	VCCQ_DDR
B7	$\overline{M_CS}$	O	DDR-SDRAM チップセレクト	VCCQ_DDR
B8	M_BA1	O	DDR-SDRAM バンクアクティブ	VCCQ_DDR
B9	M_A0	O	DDR-SDRAM アドレスバス	VCCQ_DDR
B10	M_A2	O	DDR-SDRAM アドレスバス	VCCQ_DDR
B11	M_A4	O	DDR-SDRAM アドレスバス	VCCQ_DDR
B12	EXTAL2	I	RTC 用水晶発振子	VDD_RTC
B13	USBP	IO	D+	VCCQ
B14	PTI3/ST0M_VALID/IIC0_SDA/ SIOF1_MCLK/USB_CLK	I/I/O/I	ポート / ST データバリッド (ミラー端子) / IIC シリアルデータ / SIOF マスタクロック / USB クロック入力	VCCQ
B15	PTK7/ST1_D7/GET0_ERXD7/ SIOF2_MCLK/LCD_VCPWC	IO/IO/I/O	ポート / ST データ / ETHER 受信データ / SIOF マスタクロック / LCD 電源制御	VCCQ
B16	PTI5/MD10/ST1_VALID/ LCD_D1	IO/I /IO/O	ポート / モード制御 (外部 CPU 接続選択) / ST データバリッド / LCD データ	VCCQ
B17	PTI7/IRQ3/IRL3/ST0M_D7/ IIC1_SDA	I/I/I/O	ポート / 外部割り込み入力 / ST データ (ミラー端子) / IIC シリアルデータ	VCCQ
B18	PTJ4/ST0M_D2/ET0_ERXD2/ RMII1_RXD1/LCD_CL2	IO/I/I/O	ポート / ST データ (ミラー端子) / ETHER 受信データ / RMII 受信データ / LCD シフトクロック	VCCQ
B19	$\overline{RDY/EX_RDY/PCC_WAIT}$	I/O/I	レディ / 外部 CPU レディ / PCMCIA ハードウェアウェイト要求	VCCQ
B20	$\overline{CS2/EX_CS1}$	O/I	チップセレクト	VCCQ
B21	PTM7/D31/EX_AD31/ST0_D7/ ET0_RX-DV/RMII0_TXD0/ PINT7	IO/IO/IO/IO/I/O/I	ポート / データバス / アドレス・データバス / ST データ / ETHER 受信データ有効 / RMII 送信データ / ポート割り込み入力	VCCQ
B22	PTM5/D29/EX_AD29/ST0_D5/ ET0_RX-ER/RMII0_TXD_EN/ PINT5	IO/IO/IO/IO/I/O/I	ポート / データバス / アドレス・データバス / ST データ / ETHER 受信エラー / RMII 送信イネーブル / ポート割り込み入力	VCCQ
B23	VSSQ	-	I/O グランド	-
B24	PTM3/D27/EX_AD27/ST0_D3/ ET0_LINKSTA/RMII0_RXD1/ PINT3	IO/IO/IO/IO/I/I	ポート / データバス / アドレス・データバス / ST データ / ETHER リンクステータス / RMII 受信データ / ポート割り込み入力	VCCQ

端子番号	端子名	入出力	説明	電源
B25	REF125CK/ SSI_CLK/HAC_BITCLK	I/I	125MHz 基準クロック / SSI 分周器入力クロック / HAC クロック	VCCQ
C1	M_D0	IO	DDR-SDRAM データバス	VCCQ_DDR
C2	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
C3	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
C4	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
C5	M_A12	O	DDR-SDRAM アドレスバス	VCCQ_DDR
C6	M_A11	O	DDR-SDRAM アドレスバス	VCCQ_DDR
C7	M_A9	O	DDR-SDRAM アドレスバス	VCCQ_DDR
C8	M_A8	O	DDR-SDRAM アドレスバス	VCCQ_DDR
C9	M_A7	O	DDR-SDRAM アドレスバス	VCCQ_DDR
C10	M_A6	O	DDR-SDRAM アドレスバス	VCCQ_DDR
C11	M_A5	O	DDR-SDRAM アドレスバス	VCCQ_DDR
C12	XRTCSTBI	I	RTC スタンバイ	VDD_RTC
C13	VCCQ	-	I/O 電源	-
C14	PTI1/STATUS1/ST1_REQ/ RMII0_MDIO	IO/O/IO/IO	ポート / ステータス 1 / ST データ受信準備要求 / RMII 管理用データ入出力	VCCQ
C15	PTK6/ST1_D6/GET0_ERXD6/ SIOF2_SCK/LCD_VEPWC	IO/IO/I/IO/O	ポート / ST データ / ETHER 受信データ / SIOF シリアルクロック / LCD 電源制御	VCCQ
C16	PTI4/MD8/ST1_START/ ET1_PHY-INT/RMII0M0_MDC/ USB_PWREN/USBF_UPLUP	IO/I/IO/IO/O/O	ポート / モード制御(クロック入力モード) / ST データ同期 / PHY 割り込み / RMII 管理用データクロック / USB 電源イネーブル / ブルアップ制御出力端子	VCCQ
C17	PTJ7/INTB/ST0M_D5/ IRQOUT/RMII1_TXD0/LCD_D0	IO/I/I/O/O/O	ポート / PCI 割り込み / ST データ(ミラー端子) / 割り込み要求出力 / RMII 送信データ / LCD データ	VCCQ
C18	PTJ3/ST0M_D1/ET0_ERXD1/ RMII1_CRS_DV/LCD_CL1	IO/I/I/IO	ポート / ST データ(ミラー端子) / ETHER 受信データ / RMII キャリア検出 / LCD シフトクロック	VCCQ
C19	CS6/CE1B	O/O	チップセレクト / カードセレクト	VCCQ
C20	CS1/EX_CS0	O/I	チップセレクト	VCCQ
C21	VCCQ	-	I/O 電源	-
C22	VSSQ	-	I/O グランド	-
C23	BS/EX_BS	O/I	バスサイクル開始	VCCQ
C24	PTM2/D26/EX_AD26/ST0_D2/ ET0_WOL/RMII0_CRS_DV/ PINT2	IO/IO/IO/IO/O/I/I	ポート / データバス / アドレス・データバス / ST データ / ETHER ウェイクオンラン / RMII キャリア検出 / ポート割り込み入力	VCCQ

端子番号	端子名	入出力	説明	電源
C25	PTM1/D25/EX_AD25/ST0_D1/ ET0_TX-CLK/RMII0_RX_ER/ PINT1	IO/IO/IO/IO/I/I/I	ポート/データバス/アドレス・データバス/STデータ/ETHER送信クロック/ RMII受信エラー/ポート割り込み入力	VCCQ
D1	M_D1	IO	DDR-SDRAM データバス	VCCQ_DDR
D2	M_D16	IO	DDR-SDRAM データバス	VCCQ_DDR
D3	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
D4	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
D5	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
D6	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
D7	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
D8	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
D9	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
D10	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
D11	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
D12	VDD-RTC	-	RTC 用電源	-
D13	VSSQ	-	I/O グランド	-
D14	VSSQ	-	I/O グランド	-
D15	PTK5/ST1_D5/GET0_ERXD5/ SIOF2_RXD/LCD_D7	IO/IO/I/O	ポート/STデータ/ETHER受信データ/ SIOF受信データ/LCDデータ	VCCQ
D16	VCCQ	-	I/O 電源	-
D17	PTJ6/ST0M_D4I/ET0_CRS/ RMII1_TXD_EN/LCD_FLM	IO/I/I/O/O	ポート/STデータ(ミラー端子)/ETHER キャリア検出/RMII送信イネーブル/ LCDラインマーカ	VCCQ
D18	PTJ2/ST0M_D0I/ ET0_ERXD0/RMII1_TXD1/ LCD_M_DISP	IO/I/I/O/O	ポート/STデータ(ミラー端子)/ETHER 受信データ/RMII送信データ/LCD液晶 交流化信号	VCCQ
D19	$\overline{CS4}$	O	チップセレクト	VCCQ
D20	VDD	-	内部電源	-
D21	VSSQ	-	I/O グランド	-
D22	VCCQ	-	I/O 電源	-
D23	RDWR/EX_RDWR	O/I	リード/ライト	VCCQ
D24	PTM0/D24/EX_AD24/ST0_D0/ ET0_TX-ER/PINT0/ RMII0M0_MDIO	IO/IO/IO/IO/O/I/ O	ポート/データバス/アドレス・データバス/ STデータ/ETHER送信エラー/ポート 割り込み入力/RMII管理用データ入出力	VCCQ
D25	PTL7/D23/EX_AD23/ ST0_VALID/ET0_TX-EN/ $\overline{TEND1}$ /LCD_D15	IO/IO/IO/IO/O/O/ O	ポート/データバス/アドレス・データバス/ STデータバリッド/ETHER送信イネー ブル/DMA転送終了/LCDデータ	VCCQ

端子番号	端子名	入出力	説明	電源
E1	M_D2	IO	DDR-SDRAM データバス	VCCQ_DDR
E2	M_D17	IO	DDR-SDRAM データバス	VCCQ_DDR
E3	M_D18	IO	DDR-SDRAM データバス	VCCQ_DDR
E4	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
E5	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
E6	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
E7	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
E8	VDD	-	内部電源	-
E9	VSS	-	内部グランド	-
E10	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
E11	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
E12	VSS-RTC	-	RTC 用グランド	-
E13	VSS	-	内部グランド	-
E14	VCCQ	-	I/O 電源	-
E15	VSSQ	-	I/O グランド	-
E16	VDD	-	内部電源	-
E17	VSS	-	内部グランド	-
E18	VCCQ	-	I/O 電源	-
E19	VSSQ	-	I/O グランド	-
E20	VSS	-	内部グランド	-
E21	VCCQ	-	I/O 電源	-
E22	PTK3/ST1_D3/GET0_ETXD7/ SIOF2_SYNC/LCD_D5	IO/IO/O/IO/O	ポート / ST データ / ETHER 送信データ / SIOF フレーム同期 / LCD データ	VCCQ
E23	PTK2/ST1_D2/GET0_ETXD6/ SIOF1_SCK/LCD_D4	IO/IO/O/IO/O	ポート / ST データ / ETHER 送信データ / SIOF シリアルクロック / LCD データ	VCCQ
E24	PTL6/D22/EX_AD22/ ST0_START/ET0_ETXD2/ DACK1/LCD_D14	IO/IO/IO/IO/O/O/ O	ポート / データバス / アドレス・データバ ス / ST データ同期 / ETHER 送信データ / DMA 転送要求受け付け / LCD データ	VCCQ
E25	PTL5/D21/EX_AD21/ST0_CLK/ ET0_ETXD1/DREQ1/LCD_D13	IO/IO/IO/IO/O/I/ O	ポート / データバス / アドレス・データバ ス / ST データクロック / ETHER 送信デー タ / DMA 転送要求 / LCD データ	VCCQ
F1	M_D3	IO	DDR-SDRAM データバス	VCCQ_DDR
F2	M_D19	IO	DDR-SDRAM データバス	VCCQ_DDR
F3	M_D20	IO	DDR-SDRAM データバス	VCCQ_DDR
F4	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
F5	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
F21	VSS	-	内部グランド	-

端子番号	端子名	入出力	説明	電源
F22	PTK1/ST1_D1/GET0_ETXD5/ SIOF1_TXD/LCD_D3	IO/IO/O/O/O	ポート / ST データ / ETHER 送信データ / SIOF 送信データ / LCD データ	VCCQ
F23	PTK0/ST1_D0/GET0_ETXD4/ SIOF1_SYNC/LCD_D2	IO/IO/O/IO/O	ポート / ST データ / ETHER 送信データ / SIOF フレーム同期 / LCD データ	VCCQ
F24	PTL4/D20/EX_AD20/ ST0_REQ/ET0_ETXD0/INTD/ LCD_D12	IO/IO/IO/IO/O/I/ O	ポート / データバス / アドレス・データバ ス / ST データ受信準備要求 / ETHER 送信 データ / PCI 割り込み / LCD データ	VCCQ
F25	PTJ0/ST0M_REQO/ GET0_GTX-CLK/REF50CK	IO/O/O/I	ポート / ST データ受信準備要求 (ミラー端 子) / GMII 送信クロック / 50MHz 基準ク ロック	VCCQ
G1	M_D4	IO	DDR-SDRAM データバス	VCCQ_DDR
G2	M_D21	IO	DDR-SDRAM データバス	VCCQ_DDR
G3	M_D22	IO	DDR-SDRAM データバス	VCCQ_DDR
G4	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
G5	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
G21	VDD	-	内部電源	-
G22	PTL3/D19/EX_AD19/IRQ7/ IRL7/ET0_MDIO/INTC/ LCD_D11	IO/IO/IO/I/IO/I/ O	ポート / データバス / アドレス・データバ ス / 外部割り込み入力 / ETHER 管理用デ ータ入出力 / PCI 割り込み / LCD データ	VCCQ
G23	PTL2/D18/EX_AD18/IRQ6/ IRL6/ET0_ETXD3/TEND0/ LCD_D10	IO/IO/IO/I/IO/O/ O	ポート / データバス / アドレス・データバ ス / 外部割り込み入力 / ETHER 送信デー タ / DMA 転送終了 / LCD データ	VCCQ
G24	WE3/IOWR	O/O	データイネーブル / PCMCIA IOWR	VCCQ
G25	WE2/IORD	O/O	データイネーブル / PCMCIA IORD	VCCQ
H1	M_D5	IO	DDR-SDRAM データバス	VCCQ_DDR
H2	M_D23	IO	DDR-SDRAM データバス	VCCQ_DDR
H3	M_DQS2	IO	DDR-SDRAM データストロブ	VCCQ_DDR
H4	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
H5	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
H21	VCCQ	-	I/O 電源	-
H22	PTL0/D16/EX_AD16/IRQ4/ IRL4/ET0_COL/DREQ0/ LCD_D8	IO/IO/IO/I/I/IO/ O	ポート / データバス / アドレス・データバ ス / 外部割り込み入力 / ETHER 衝突検出 / DMA 転送要求 / LCD データ	VCCQ
H23	PTL1/D17/EX_AD17/IRQ5/ IRL5/ET0_MDC/DACK0/ LCD_D9	IO/IO/IO/I/IO/O/ O	ポート / データバス / アドレス・データバ ス / 外部割り込み入力 / ETHER 管理用デ ータクロック / DMA 転送要求受け付け / LCD データ	VCCQ
H24	D15/EX_AD15	IO/IO	データバス / アドレス・データバス	VCCQ
H25	D14/EX_AD14	IO/IO	データバス / アドレス・データバス	VCCQ

端子番号	端子名	入出力	説明	電源
J1	M_D7	IO	DDR-SDRAM データバス	VCCQ_DDR
J2	M_D6	IO	DDR-SDRAM データバス	VCCQ_DDR
J3	M_DQM2	O	DDR-SDRAM データマスク	VCCQ_DDR
J4	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
J5	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
J21	VSS	-	内部グランド	-
J22	D7/EX_AD7	IO/IO	データバス / アドレス・データバス	VCCQ
J23	D6/EX_AD6	IO/IO	データバス / アドレス・データバス	VCCQ
J24	D13/EX_AD13	IO/IO	データバス / アドレス・データバス	VCCQ
J25	D12/EX_AD12	IO/IO	データバス / アドレス・データバス	VCCQ
K1	M_DQM0	O	DDR-SDRAM データマスク	VCCQ_DDR
K2	M_DQS0	IO	DDR-SDRAM データストロープ	VCCQ_DDR
K3	M_DQS3	IO	DDR-SDRAM データストロープ	VCCQ_DDR
K4	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
K5	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
K10	VSS	-	内部グランド	-
K11	VSS	-	内部グランド	-
K12	VSS	-	内部グランド	-
K13	VSS	-	内部グランド	-
K14	VSS	-	内部グランド	-
K15	VSS	-	内部グランド	-
K16	VSS	-	内部グランド	-
K21	VDD	-	内部電源	-
K22	D5/EX_AD5	IO/IO	データバス / アドレス・データバス	VCCQ
K23	D4/EX_AD4	IO/IO	データバス / アドレス・データバス	VCCQ
K24	D11/EX_AD11	IO/IO	データバス / アドレス・データバス	VCCQ
K25	D10/EX_AD10	IO/IO	データバス / アドレス・データバス	VCCQ
L1	M_DQS1	IO	DDR-SDRAM データストロープ	VCCQ_DDR
L2	M_DQM1	O	DDR-SDRAM データマスク	VCCQ_DDR
L3	M_DQM3	O	DDR-SDRAM データマスク	VCCQ_DDR
L4	VSS-DLL1	-	DLL1 用グランド	-
L5	VSS-DLL2	-	DLL2 用グランド	-
L10	VSS	-	内部グランド	-
L11	VSS	-	内部グランド	-
L12	VSS	-	内部グランド	-
L13	VSS	-	内部グランド	-

端子番号	端子名	入出力	説明	電源
L14	VSS	-	内部グラウンド	-
L15	VSS	-	内部グラウンド	-
L16	VSS	-	内部グラウンド	-
L21	VCCQ	-	I/O 電源	-
L22	D3/EX_AD3	IO/IO	データバス / アドレス・データバス	VCCQ
L23	D2/EX_AD2	IO/IO	データバス / アドレス・データバス	VCCQ
L24	D9/EX_AD9	IO/IO	データバス / アドレス・データバス	VCCQ
L25	D8/EX_AD8	IO/IO	データバス / アドレス・データバス	VCCQ
M1	M_D8	IO	DDR-SDRAM データバス	VCCQ_DDR
M2	M_D24	IO	DDR-SDRAM データバス	VCCQ_DDR
M3	M_D25	IO	DDR-SDRAM データバス	VCCQ_DDR
M4	VDD-DLL1	-	DDL1 用電源	-
M5	VDD-DLL2	-	DDL2 用電源	-
M10	VSS	-	内部グラウンド	-
M11	VSS	-	内部グラウンド	-
M12	VSS	-	内部グラウンド	-
M13	VSS	-	内部グラウンド	-
M14	VSS	-	内部グラウンド	-
M15	VSS	-	内部グラウンド	-
M16	VSS	-	内部グラウンド	-
M21	VSS	-	内部グラウンド	-
M22	D1/EX_AD1	IO/IO	データバス / アドレス・データバス	VCCQ
M23	D0/EX_AD0	IO/IO	データバス / アドレス・データバス	VCCQ
M24	$\overline{WE1}/\overline{WE}$	O/O	データイネーブル / PCMCIA WE	VCCQ
M25	CLKOUT	O	システムクロック出力	VCCQ
N1	M_D9	IO	DDR-SDRAM データバス	VCCQ_DDR
N2	M_D26	IO	DDR-SDRAM データバス	VCCQ_DDR
N3	M_D27	IO	DDR-SDRAM データバス	VCCQ_DDR
N4	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
N5	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
N10	VSS	-	内部グラウンド	-
N11	VSS	-	内部グラウンド	-
N12	VSS	-	内部グラウンド	-
N13	VSS	-	内部グラウンド	-
N14	VSS	-	内部グラウンド	-
N15	VSS	-	内部グラウンド	-

端子番号	端子名	入出力	説明	電源
N16	VSS	-	内部グラウンド	-
N21	VDD	-	内部電源	-
N22	$\overline{RD}/\overline{FRAME}/\overline{EX_FRAME}$	O/O/I	アクセスサイクル	VCCQ
N23	$\overline{WE0}/\overline{PCC_REG}$	O/O	データイネーブル / PCMCIA REG	VCCQ
N24	A1	O	アドレスバス	VCCQ
N25	A0	O	アドレスバス	VCCQ
P1	M_D10	IO	DDR-SDRAM データバス	VCCQ_DDR
P2	M_D28	IO	DDR-SDRAM データバス	VCCQ_DDR
P3	M_D29	IO	DDR-SDRAM データバス	VCCQ_DDR
P4	VSSQ-DDR	-	DDR-SDRAM 用 I/O グラウンド	-
P5	VSSQ-DDR	-	DDR-SDRAM 用 I/O グラウンド	-
P10	VSS	-	内部グラウンド	-
P11	VSS	-	内部グラウンド	-
P12	VSS	-	内部グラウンド	-
P13	VSS	-	内部グラウンド	-
P14	VSS	-	内部グラウンド	-
P15	VSS	-	内部グラウンド	-
P16	VSS	-	内部グラウンド	-
P21	VSSQ	-	I/O グラウンド	-
P22	A9	O	アドレスバス	VCCQ
P23	A8	O	アドレスバス	VCCQ
P24	A3	O	アドレスバス	VCCQ
P25	A2	O	アドレスバス	VCCQ
R1	M_D11	IO	DDR-SDRAM データバス	VCCQ_DDR
R2	M_D30	IO	DDR-SDRAM データバス	VCCQ_DDR
R3	M_D31	IO	DDR-SDRAM データバス	VCCQ_DDR
R4	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
R5	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
R10	VSS	-	内部グラウンド	-
R11	VSS	-	内部グラウンド	-
R12	VSS	-	内部グラウンド	-
R13	VSS	-	内部グラウンド	-
R14	VSS	-	内部グラウンド	-
R15	VSS	-	内部グラウンド	-
R16	VSS	-	内部グラウンド	-
R21	VCCQ	-	I/O 電源	-

端子番号	端子名	入出力	説明	電源
R22	A11	O	アドレスバス	VCCQ
R23	A10	O	アドレスバス	VCCQ
R24	A5	O	アドレスバス	VCCQ
R25	A4	O	アドレスバス	VCCQ
T1	M_D13	IO	DDR-SDRAM データバス	VCCQ_DDR
T2	M_D12	IO	DDR-SDRAM データバス	VCCQ_DDR
T3	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
T4	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
T5	VCCQ-DDR	-	DDR-SDRAM 用 I/O 電源	-
T10	VSS	-	内部グランド	-
T11	VSS	-	内部グランド	-
T12	VSS	-	内部グランド	-
T13	VSS	-	内部グランド	-
T14	VSS	-	内部グランド	-
T15	VSS	-	内部グランド	-
T16	AVSS	-	アナロググランド	-
T21	VSS	-	内部グランド	-
T22	A17	O	アドレスバス	VCCQ
T23	A16	O	アドレスバス	VCCQ
T24	A7	O	アドレスバス	VCCQ
T25	A6	O	アドレスバス	VCCQ
U1	M_D15	IO	DDR-SDRAM データバス	VCCQ_DDR
U2	M_D14	IO	DDR-SDRAM データバス	VCCQ_DDR
U3	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
U4	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
U5	VSSQ-DDR	-	DDR-SDRAM 用 I/O グランド	-
U21	VDD	-	内部電源	-
U22	A19	O	アドレスバス	VCCQ
U23	A18	O	アドレスバス	VCCQ
U24	A13	O	アドレスバス	VCCQ
U25	A12	O	アドレスバス	VCCQ
V1	VDD	-	内部電源	-
V2	VDD	-	内部電源	-
V3	VDD	-	内部電源	-
V4	VDD	-	内部電源	-
V5	VDD	-	内部電源	-

端子番号	端子名	入出力	説明	電源
V21	VSS	-	内部グラウンド	-
V22	A21	O	アドレスバス	VCCQ
V23	A20	O	アドレスバス	VCCQ
V24	A15	O	アドレスバス	VCCQ
V25	A14	O	アドレスバス	VCCQ
W1	PTG1/GNT2/ET1_ETXD0	IO/O/O	ポート / PCI バスグラント / ETHER 送信データ	VCCQ
W2	PTG2/REQ1/ET1_ETXD1	IO/I/O	ポート / PCI バスリクエスト / ETHER 送信データ	VCCQ
W3	PTG3/REQ3/ET1_ETXD2	IO/I/O	ポート / PCI バスリクエスト / ETHER 送信データ	VCCQ
W4	PTF0/GNT0/GNTIN/SIM_D/ ET1_ETXD3/DREQ3	IO/IO//IO/O/I	ポート / PCI バスグラント / SIM データ / ETHER 送信データ / DMA 転送要求	VCCQ
W5	VDD	-	内部電源	-
W21	VDD	-	内部電源	-
W22	A25/EX_SIZE2	O/I	アドレスバス / アクセスサイズ	VCCQ
W23	A24/EX_SIZE1	O/I	アドレスバス / アクセスサイズ	VCCQ
W24	A23/EX_SIZE0	O/I	アドレスバス / アクセスサイズ	VCCQ
W25	A22	O	アドレスバス	VCCQ
Y1	PTE1/PCICLK/GET1_ETXD4/ DACK2	IO/I/O/O	ポート / PCI 入力クロック / GMII 送信データ / DMA 転送要求受け付け	VCCQ
Y2	PTD6/REQ2/PCC_BVD1/ GET1_ETXD5/SSI1_SCK/ LCDM_VCPWC	IO/I//O//IO/O	ポート / PCI バス権要求 (ホスト) / PCMCIA BVD1 / GMII 送信データ / SSI シリアルビットクロック / LCD 電源制御 (ミラー端子)	VCCQ
Y3	PTE0/INTA/PCC_DRV/ GET1_ETXD6/DREQ2	IO/IO/O/O/I	ポート / PCI 割り込み / PCMCIA バッファ制御 / GMII 送信データ / DMA 転送要求	VCCQ
Y4	PTD7/PCIRESET/ PCC_RESET/GET1_ETXD7/ LCDM_VEPWC	O/O/O/O/O	ポート / PCI リセット / PCMCIA リセット / GMII 送信データ / LCD 電源制御 (ミラー端子)	VCCQ
Y5	VSS	-	内部グラウンド	-
Y21	VCCQ	-	I/O 電源	-
Y22	$\overline{CE2A}$	O	PCMCIA セレクト	VCCQ
Y23	$\overline{CE2B}$	O	PCMCIA セレクト	VCCQ
Y24	DA1	O	アナログ出力	AVCC
Y25	DA0	O	アナログ出力	AVCC

端子番号	端子名	入出力	説明	電源
AA1	PTF1/REQ0/REQOUT/ SIM_CLK/ET1_MDC/DACK3	IO/IO/O/O/O/O	ポート / PCI バス権要求 (ホスト) / PCI バス権要求出力 / SIM クロック出力 / ETHER 管理用データクロック / DMA 転送 要求受け付け	VCCQ
AA2	PTF2/AD31/SIM_RST/ ET1_MDIO/TEND3	IO/IO/O/IO/O	ポート / PCI アドレス・データバス / SIM リセット / ETHER 管理用データ入出力 / DMA 転送終了	VCCQ
AA3	PTG0/GNT1/ET1_WOL	IO/O/O	ポート / PCI バスグラント / ETHER ウェ イクオンラン	VCCQ
AA4	PTG4/AD30/ET1_LINKSTA	IO/IO/I	ポート / PCI アドレス・データバス / ETHER リンクステータス	VCCQ
AA5	VSSQ	-	I/O グランド	-
AA6	VCCQ	-	I/O 電源	-
AA7	VSSQ	-	I/O グランド	-
AA8	VCCQ	-	I/O 電源	-
AA9	VDD	-	内部電源	-
AA10	VDD	-	内部電源	-
AA11	VDD	-	内部電源	-
AA12	VCCQ	-	I/O 電源	-
AA13	VCCQ	-	I/O 電源	-
AA14	VSSQ	-	I/O グランド	-
AA15	VCCQ	-	I/O 電源	-
AA16	VSSQ	-	I/O グランド	-
AA17	VSSQ	-	I/O グランド	-
AA18	VCCQ	-	I/O 電源	-
AA19	VSSQ	-	I/O グランド	-
AA20	VCCQ	-	I/O 電源	-
AA21	VSSQ	-	I/O グランド	-
AA22	VSSQ	-	I/O グランド	-
AA23	IOIS16/TMU_TCLK	I/I	PCMCIA16 ビット入出力 / TMU クロック 入力	VCCQ
AA24	AVCC	-	アナログ電源	-
AA25	AVCC	-	アナログ電源	-
AB1	PTE5/AD29/SCIF2_TXD/ GET1_GTX-CLK/SSI0_SCK	IO/IO/O/O/IO	ポート / PCI アドレス・データバス / SCIF 送信データ / GMII 送信クロック / SSI シ リアルビットクロック	VCCQ
AB2	PTG7/AD28/ET1_TX-EN	IO/IO/O	ポート / PCI アドレス・データバス / ETHER 送信イネーブル	VCCQ

端子番号	端子名	入出力	説明	電源
AB3	PTG6/AD26/ET1_TX-ER	IO/IO/O	ポート / PCI アドレス・データバス / ETHER 送信エラー	VCCQ
AB4	VSSQ	-	I/O グランド	-
AB5	VCCQ	-	I/O 電源	-
AB6	PTE4/AD22/SCIF2_RXD/ GET1_ERXD4/SSI0_SDATA	IO/IO//IO	ポート / PCI アドレス・データバス / SCIF 受信データ / GMII 受信データ / SSI シリアル データ入出力	VCCQ
AB7	PTD5/AD18/PCC_CD2/ GET1_ERXD6/SSI1_SDATA/ LCDM_D14	IO/IO//IO/O	ポート / PCI アドレス・データバス / PCMCIA CD2 / GMII 受信データ / SSI シ リアルデータ入出力 / LCD データ (ミラー 端子)	VCCQ
AB8	PTD3/PCIFRAME/PCC_BVD2/ SIOF0_SCK/HAC_RES/ LCDM_D12	IO/IO//IO/O/O	ポート / PCI サイクルフレーム / PCMCIA BVD2 / SIOF シリアルクロック / HAC リ セット / LCD データ (ミラー端子)	VCCQ
AB9	PTD4/STOP/PCC_CD1/ SIOF0_MCLK/SSI1_WS/ LCDM_DON	IO/IO//IO/O	ポート / PCI ストップ / PCMCIA CD1 / SIOF マスタクロック / SSI ワード選択 / LCD 表示開始 (ミラー端子)	VCCQ
AB10	PTA3/AD15/SCIF1_CTS	IO/IO/O	ポート / PCI アドレス・データバス / SCIF モデム制御 (CTS)	VCCQ
AB11	PTB2/AD11/PINT10/LCDM_D7	IO/IO//O	ポート / PCI アドレス・データバス / ポー ト割り込み入力 / LCD データ (ミラー端 子)	VCCQ
AB12	PTB6/CBE0/PINT14/ LCDM_D3	IO/IO//O	ポート / PCI コマンドおよびバイトイネー ブル / ポート割り込み入力 / LCD データ (ミラー端子)	VCCQ
AB13	PTC1/AD4/LCDM_D1	IO/IO/O	ポート / PCI アドレス・データバス / LCD データ (ミラー端子)	VCCQ
AB14	VSSQ	-	I/O グランド	-
AB15	VCCQ	-	I/O 電源	-
AB16	MPMD	I	チップモード指定	VCCQ
AB17	PTO6/IRQ0/IRL0/ DACK1M/MD5	IO//IO/I	ポート / 外部割り込み入力 / DMA 転送要 求受け付け (ミラー端子) / モード制御 (エ ンディアン切り替え)	VCCQ
AB18	PTO2/AUDATA1/ RMII0M1_MDC	IO/O/O	ポート / AUD データ / RMII 管理用データ クロック	VCCQ
AB19	VSSQ	-	I/O グランド	-
AB20	TDO	O	H-UDI データ出力	VCCQ
AB21	VSSQ	-	I/O グランド	-

端子番号	端子名	入出力	説明	電源
AB22	VSSQ	-	I/O グランド	-
AB23	VCCQ	-	I/O 電源	-
AB24	AN3	I	アナログ入力	AVCC
AB25	AN2	I	アナログ入力	AVCC
AC1	PTH6/AD27/TPU_TO2/ ET1_CRS/RMII1M_TXD_EN	IO/IO/O/I/O	ポート / PCI アドレス・データバス / TPU クロック出力 / ETHER キャリア検出 / RMII 送信イネーブル (ミラー端子)	VCCQ
AC2	PTH0/AD25/TPU_TI3A/ ET1_COL/RMII1M_RX_ER	IO/IO/I/I/I	ポート / PCI アドレス・データバス / TPU クロック入力 / ETHER 衝突検出 / RMII 受 信エラー (ミラー端子)	VCCQ
AC3	VSSQ	-	I/O グランド	-
AC4	VCCQ	-	I/O 電源	-
AC5	PTH1/IDSEL/TPU_TI3B/ ET1_RX-ER/RMII1M_CRS_DV	IO/I/I/I/I	ポート / PCI コンフィグデバイス選択 / TPU クロック入力 / ETHER 受信エラー / RMII キャリア検出 (ミラー端子)	VCCQ
AC6	PTE3/AD20/SCIF2_SCK/ GET1_ERXD5/SSI0_WS	IO/IO/O/I/O	ポート / PCI アドレス・データバス / IrDA シリアルクロック / GMII 受信データ / SSI ワード選択	VCCQ
AC7	PTE2/AD16/PCC_IOIS16/ GET1_ERXD7/TEND2	IO/IO/I/O	ポート / PCI アドレス・データバス / PCMCIA16 ビット入出力 / GMII 受信デー タ / DMA 転送終了	VCCQ
AC8	PTD2/TRDY/PCC_RDY/ SIOF0_RXD/HAC_SYNC/ LCDM_D11	IO/IO/I/O/O	ポート / PCI ターゲットレディ / PCMCIA レディ / SIOF 受信データ / HAC フレーム 同期 / LCD データ (ミラー端子)	VCCQ
AC9	PTA0/PAR/SCIF1_SCK	IO/IO/O	ポート / PCI パリティ信号 / SCIF シリア ルクロック	VCCQ
AC10	PTA4/AD13/SCIF1_RTS	IO/IO/O	ポート / PCI アドレス・データバス / SCIF モデム制御 (RTS)	VCCQ
AC11	PTB3/AD9/PINT11/LCDM_D6	IO/IO/O	ポート / PCI アドレス・データバス / ポー ト割り込み入力 / LCD データ (ミラー端 子)	VCCQ
AC12	PTB7/AD6/PINT15/LCDM_D2	IO/IO/O	ポート / PCI アドレス・データバス / ポー ト割り込み入力 / LCD データ (ミラー端 子)	VCCQ
AC13	PTC2/AD2/LCDM_D0	IO/IO/O	ポート / PCI アドレス・データバス / LCD データ (ミラー端子)	VCCQ
AC14	PTC5/AD0/MMC_CD/ LCDM_FLM	IO/IO/O	ポート / PCI アドレス・データバス / MMC カード検出 / LCD ラインマーカ (ミラー端 子)	VCCQ

端子番号	端子名	入出力	説明	電源
AC15	PTN2/SCIF0_TXD/MD1	IO/O/I	ポート / SCIF 送信データ / モード制御(ク ロック動作モード)	VCCQ
AC16	MRESET	I	マニュアルリセット入力	VCCQ
AC17	PTO7/IRQ1/IRL1/TEND1M/ SSI3_SCK/MD6	IO/I/O/O/I	ポート / 外部割り込み入力 / DMA 転送終 了(ミラー端子) / SSI シリアルビットク ロック / モード制御(PCI 動作モード選択)	VCCQ
AC18	PTO3/AUDATA2/ RMII0M1_MDIO/SSI2_SCK	IO/O/O/O	ポート / AUD データ / RMII 管理用データ 入出力 / SSI シリアルビットクロック	VCCQ
AC19	TRST	I	H-UDI リセット入力	VCCQ
AC20	TDI	I	H-UDI データ入力	VCCQ
AC21	TMS	I	H-UDI モード入力	VCCQ
AC22	BACK	O	バス使用許可	VCCQ
AC23	AVSS	-	アナロググラウンド	-
AC24	AN1	I	アナログ入力	AVCC
AC25	AN0	I	アナログ入力	AVCC
AD1	PTF3/CBE3/ET1_TX-CLK	IO/O/I	ポート / PCI コマンドおよびバイトイネー ブル / ETHER 送信クロック	VCCQ
AD2	VSSQ	-	I/O グラウンド	-
AD3	VCCQ	-	I/O 電源	-
AD4	PTH2/AD24/TPU_TI2A/ ET1_ERXD0/RMII1M_TXD1	IO/O/I/O	ポート / PCI アドレス・データバス / TPU クロック入力 / ETHER 受信データ / RMII 送信データ(ミラー端子)	VCCQ
AD5	PTH3/AD21/TPU_TI2B/ ET1_ERXD2/RMII1M_RXD1	IO/O/I/I	ポート / PCI アドレス・データバス / TPU クロック入力 / ETHER 受信データ / RMII 受信データ(ミラー端子)	VCCQ
AD6	PTH7/AD17/TPU_TO3/ ET1_RX-DV	IO/O/O/I	ポート / PCI アドレス・データバス / TPU クロック出力 / ETHER 受信データ有効	VCCQ
AD7	PTD0/IRDY/PCC_VS1/ SIOF0_SYNC/HAC_SD_IN/ LCDM_D13	IO/O/I/O/O	ポート / PCI イニシエータレディ / PCMCIA VS1 / SIOF フレーム同期 / HAC シリアルデータ入力 / LCD データ(ミラー 端子)	VCCQ
AD8	PTA2/LOCK/SCIF1_TXD	IO/O/O	ポート / PCI ロック / SCIF 送信データ	VCCQ
AD9	PTB1/SERR/PINT9/ LCDM_D9	IO/O/I/O	ポート / PCI システムエラー / ポート割り 込み入力 / LCD データ(ミラー端子)	VCCQ
AD10	PTB5/AD14/PINT13/ LCDM_M_DISP	IO/O/I/O	ポート / PCI アドレス・データバス / ポー ト割り込み入力 / LCD 液晶交流化信号(ミ ラー端子)	VCCQ
AD11	PTC0/AD10/MMC_DAT/ LCDM_D5	IO/O/O/O	ポート / PCI アドレス・データバス / MMC DAT / LCD データ(ミラー端子)	VCCQ

端子番号	端子名	入出力	説明	電源
AD12	PTC4/AD7/MMC_CMD/ LCDM_CL2	IO/IO/IO/O	ポート / PCI アドレス・データバス / MMC CMD / LCD シフトクロック (ミラー端子)	VCCQ
AD13	PTC7/AD3/MMC_CLK	IO/IO/O	ポート / PCI アドレス・データバス / MMC クロック出力	VCCQ
AD14	PTN0/SCIF0_SCK/MD0	IO/IO/I	ポート / SCIF シリアルクロック / モード 制御 (クロック動作モード)	VCCQ
AD15	PTN3/SCIF0_CTS/MD4	IO/IO/I	ポート / SCIF モデム制御 (CTS) / モード 制御 (エリア 0 バス幅)	VCCQ
AD16	PTN5/NMI	IO/I	ポート / ノンマスカブル割り込み入力	VCCQ
AD17	PTO0/AUDSYNC/ RMII1_MDC/SSI2_WS	IO/O/O/IO	ポート / AUD 同期信号 / RMII 管理用デー タクロック / SSI ワード選択	VCCQ
AD18	PTO4/AUDATA3/EX_INT/ SSI3_WS	IO/O/O/IO	ポート / AUD データ / 外部 CPU 割り込み / SSI ワード選択	VCCQ
AD19	ASEBRK/BRKACK	IO	ブレークモードアクノリッジ	VCCQ
AD20	VSS-PLL3	-	PLL3 用グラウンド	-
AD21	VSS-PLL2	-	PLL2 用グラウンド	-
AD22	BREQ	I	バス解放要求	VCCQ
AD23	VCCQ	-	I/O 電源	-
AD24	VSS-PLL1	-	PLL1 用グラウンド	-
AD25	AVCC	-	アナログ電源	-
AE1	VSSQ	-	I/O グラウンド	-
AE2	VCCQ	-	I/O 電源	-
AE3	PTG5/GNT3/ET1_RX-CLK	IO/O/I	ポート / PCI バスグラント / ETHER 受信 クロック	VCCQ
AE4	PTH5/AD23/TPU_TO1/ ET1_ERXD1/RMII1M_TXD0	IO/IO/O/I/O	ポート / PCI アドレス・データバス / TPU クロック出力 / ETHER 受信データ / RMII 送信データ (ミラー端子)	VCCQ
AE5	PTH4/AD19/TPU_TO0/ ET1_ERXD3/RMII1M_RXD0	IO/IO/O/I/I	ポート / PCI アドレス・データバス / TPU クロック出力 / ETHER 受信データ / RMII 受信データ (ミラー端子)	VCCQ
AE6	PTD1/CBE2/PCC_VS2/ SIOF0_TXD/HAC_SD_OUT/ LCDM_D15	IO/IO/I/O/O/O	ポート / PCI コマンドおよびバイトイネー ブル / PCMCIA VS2 / SIOF 送信データ / HAC シリアルデータ出力 / LCD データ (ミ ラー端子)	VCCQ
AE7	PTA1/DEVSEL/SCIF1_RXD	IO/IO/I	ポート / PCI デバイス選択 / SCIF 受信デ ータ	VCCQ
AE8	PTB0/PERR/PINT8/ LCDM_D10	IO/IO/I/O	ポート / PCI パリティエラー / ポート割り 込み入力 / LCD データ (ミラー端子)	VCCQ

端子番号	端子名	入出力	説明	電源
AE9	PTB4/CBE1/PINT12/ LCDM_D8	IO/IO/I/O	ポート / PCI コマンドおよびバイトイン プ ル / ポート割り込み入力 / LCD データ (ミラー端子)	VCCQ
AE10	PTA5/AD12	IO/IO	ポート / PCI アドレス・データバス	VCCQ
AE11	PTC3/AD8/MMC_ODMOD/ LCDM_D4	IO/IO/O/O	ポート / PCI アドレス・データバス / MMC オープンドレイン制御 / LCD データ (ミラ ー端子)	VCCQ
AE12	PTC6/AD5/LCDM_CL1	IO/IO/O	ポート / PCI アドレス・データバス / LCD シフトクロック (ミラー端子)	VCCQ
AE13	PTA6/AD1/MMC_VDDON	IO/IO/O	ポート / PCI アドレス・データバス / MMC カード電源制御	VCCQ
AE14	PTN1/SCIF0_RXD/MD3	IO/I/I	ポート / SCIF 受信データ / モード制御(エ リア 0 バス幅)	VCCQ
AE15	PTN4/SCIF0_RTS/MD2	IO/IO/I	ポート / SCIF モデム制御(RTS) / モード 制御(クロック動作モード)	VCCQ
AE16	PRESET	I	パワーオンリセット	VCCQ
AE17	PTO1/AUDATA0/ RMII1_MDIO/SSI2_SDATA	IO/O/IO/IO	ポート / AUD データ / RMII 管理用データ 入出力 / SSI シリアルデータ入出力	VCCQ
AE18	PTO5/AUDCK/DREQ1M/ SSI3_SDATA	IO/O/I/IO	ポート / AUD クロック / DMA 転送要求 (ミラー端子) / SSI シリアルデータ入出 力	VCCQ
AE19	TCK	I	H-UDI クロック	VCCQ
AE20	VDD-PLL3	-	PLL3 用電源	-
AE21	VDD-PLL2	-	PLL2 用電源	-
AE22	EXTAL	I	外部クロック入力 / 水晶発振子	VCCQ
AE23	XTAL	O	水晶発振子	VCCQ
AE24	VDD-PLL1	-	PLL1 用電源	-
AE25	VSSQ	-	I/O グランド	-

2. プログラミングモデル

本章では、本 LSI のプログラミングモデルについて記述します。本 LSI では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

本 LSI でサポートしているデータフォーマットを図 2.1 に示します。

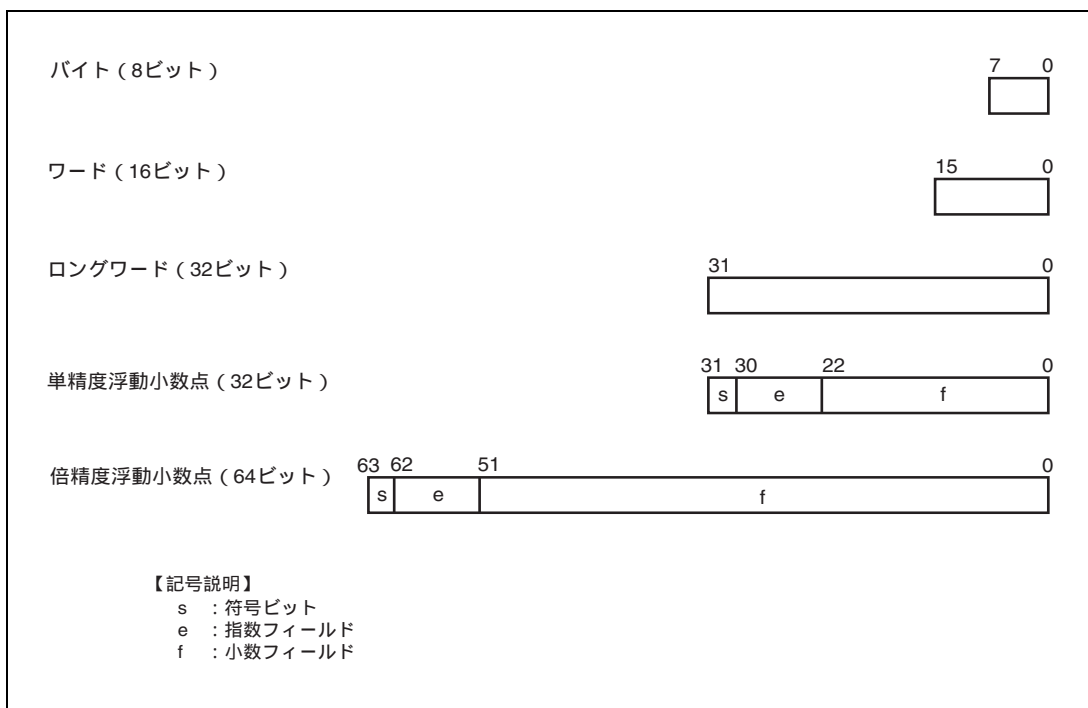


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ15(SGR)、デバッグベースレジスタ(DBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(例えばRBビット)があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15 の 32 本のレジスタがあります。FR0~FR15、XF0~XF15 をおのおの FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12 (レジスタベクタ)の 4 本として使用でき、XF0~XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX (レジスタ行列)の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス / コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0~R7_BANK0、 R0_BANK1~R7_BANK1、 R8~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は B'1111、リザーブビットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0~FR15、XF0~XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

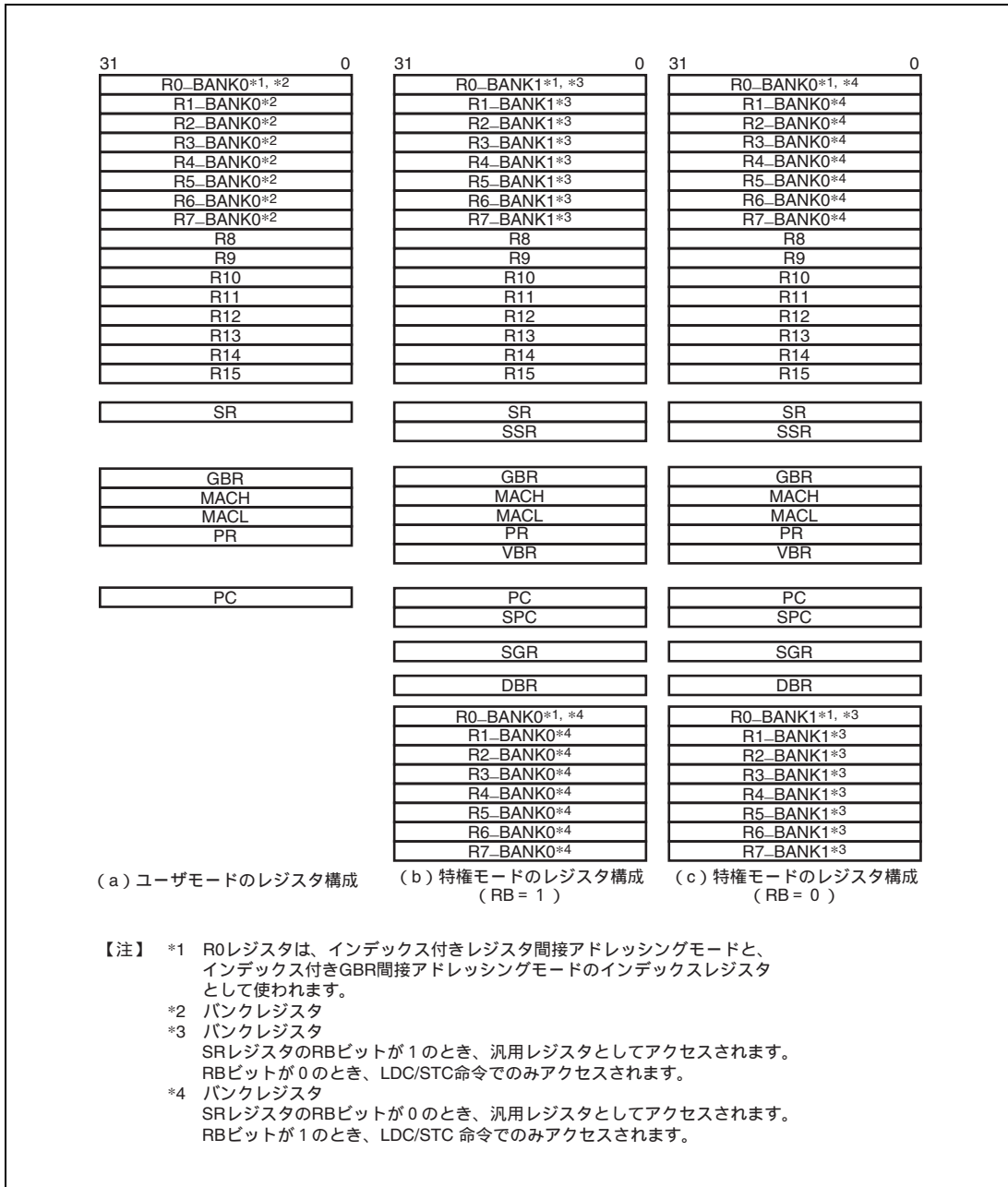


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ(R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15)があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)	
R0	R0_BANK0	R0-BANK0	
R1	R1_BANK0	R1-BANK0	
R2	R2_BANK0	R2-BANK0	
R3	R3_BANK0	R3-BANK0	
R4	R4_BANK0	R4-BANK0	
R5	R5_BANK0	R5-BANK0	
R6	R6_BANK0	R6-BANK0	
R7	R7_BANK0	R7-BANK0	
R0-BANK1	R0_BANK1	R0	
R1-BANK1	R1_BANK1	R1	
R2-BANK1	R2_BANK1	R2	
R3-BANK1	R3_BANK1	R3	
R4-BANK1	R4_BANK1	R4	
R5-BANK1	R5_BANK1	R5	
R6-BANK1	R6_BANK1	R6	
R7-BANK1	R7_BANK1	R7	
R8	R8	R8	
R9	R9	R9	
R10	R10	R10	
R11	R11	R11	
R12	R12	R12	
R13	R13	R13	
R14	R14	R14	
R15	R15	R15	

図 2.3 汎用レジスタ

【プログラミング上の注意】

ユーザモードの R0 ~ R7 は R0_BANK0 ~ R7_BANK0 に、例外・割り込み後の R0 ~ R7 は R0_BANK1 ~ R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0 ~ R7 (R0_BANK0 ~ R7_BANK0) を回避または復帰する必要はありません。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。
FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、
DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、
DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、
FV4 = {FR4, FR5, FR6, FR7}、
FV8 = {FR8, FR9, FR10, FR11}、
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、

XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、

XD12 = {XF12, XF13}、XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$

FPSCR.FR=0			FPSCR.FR=1				
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX	
		FR1	FPR1_BANK0	XF1			
	DR2	FR2	FPR2_BANK0	XF2	XD2		
		FR3	FPR3_BANK0	XF3			
		FR4	FPR4_BANK0	XF4			XD4
FV4	DR4	FR5	FPR5_BANK0	XF5			
		FR6	FPR6_BANK0	XF6	XD6		
	DR6	FR7	FPR7_BANK0	XF7			
		FR8	FPR8_BANK0	XF8	XD8		
		FR9	FPR9_BANK0	XF9			
FV8	DR8	FR10	FPR10_BANK0	XF10	XD10		
		FR11	FPR11_BANK0	XF11			
	DR10	FR12	FPR12_BANK0	XF12	XD12		
		FR13	FPR13_BANK0	XF13			
		FR14	FPR14_BANK0	XF14			XD14
FV12	DR12	FR15	FPR15_BANK0	XF15			
		FR15	FPR15_BANK0	XF15			
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0	
		XF1	FPR1_BANK1	FR1			
		XF2	FPR2_BANK1	FR2			DR2
	XF3	FPR3_BANK1	FR3				
	XD2	XF4	XF4	FPR4_BANK1	FR4	DR4	FV4
			XF5	FPR5_BANK1	FR5		
		XD4	XF6	FPR6_BANK1	FR6	DR6	
			XF7	FPR7_BANK1	FR7		
			XF8	FPR8_BANK1	FR8		
	XF9	FPR9_BANK1	FR9				
	XD6	XF10	XF10	FPR10_BANK1	FR10	DR10	
			XF11	FPR11_BANK1	FR11		
		XD8	XF12	FPR12_BANK1	FR12	DR12	FV12
			XF13	FPR13_BANK1	FR13		
			XF14	FPR14_BANK1	FR14		
XD10	XF15	XF15	FPR15_BANK1	FR15			
		XF15	FPR15_BANK1	FR15			

図 2.4 浮動小数点レジスタ

2.2.4 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		MD	RB	BL												
初期値 :	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		FD						M	Q	IMASK					S	T
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0 : ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1 : 特権モード 例外または割り込みにより 1 にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0 : R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1 : R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより 1 にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット このビットが 1 のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 例外または割り込みにより 1 にセットされます。
27 ~ 16	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが 1 のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します (FPU 命令 : H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。

ビット	ビット名	初期値	R/W	説明
14~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて1	R/W	割り込みマスケレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3、2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真 / 偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第3章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SSR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第5章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

(1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、
積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

(4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
											FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)				Flag				RM			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1: FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。

ビット	ビット名	初期値	R/W	説明
20	SZ	0	R/W	<p>転送サイズモード</p> <p>0 : FMOV 命令のデータサイズは 32 ビットです。</p> <p>1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。</p> <p>SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
19	PR	0	R/W	<p>精度モード</p> <p>0 : 浮動小数点命令を単精度演算として実行します。</p> <p>1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
18	DN	1	R/W	<p>非正規化モード</p> <p>0 : 非正規化数を非正規化数として扱います。</p> <p>1 : 非正規化数を 0 として扱います。</p>
17 ~ 12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11 ~ 7	Enable (EN)	すべて 0	R/W	FPU 例外イネーブルフィールド
6 ~ 2	Flag	すべて 0	R/W	<p>FPU 例外フラグフィールド</p> <p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.2 を参照してください。</p>
1、0	RM	01	R/W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00 : 近傍への丸め</p> <p>01 : 0 方向への丸め</p> <p>10 : リザーブ (設定禁止)</p> <p>11 : リザーブ (設定禁止)</p>

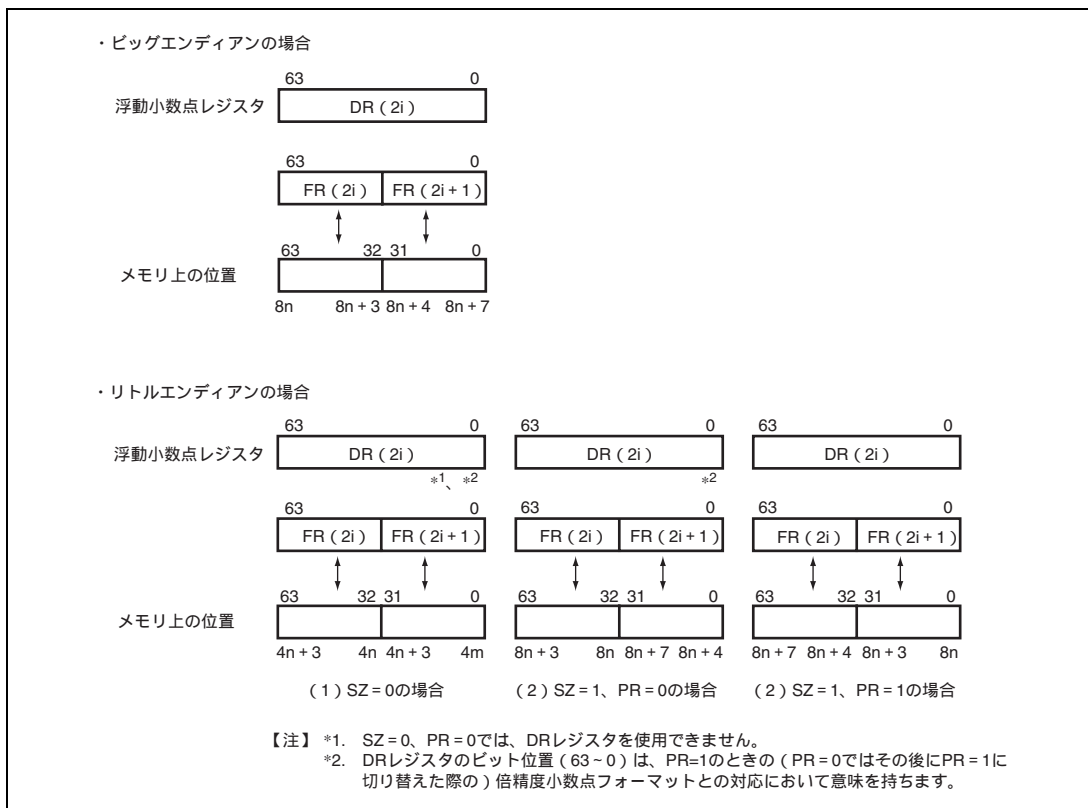


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値 = 不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

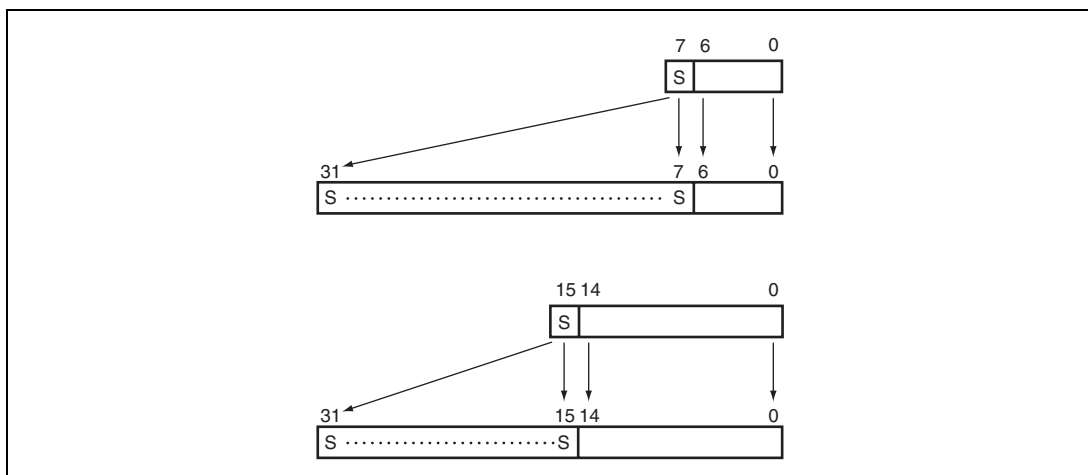


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、32ビットのロングワードいずれの形でもアクセスすることができます。32ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち32ビットのロングワードでは、一番左のビット、ビット31が最上位ビットで、一番右のビット、ビット0が最下位ビットです。

メモリ上のデータ形式を図2.7に示します。

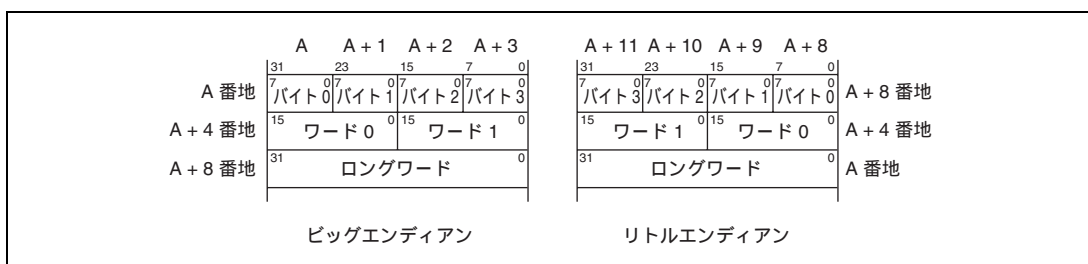


図 2.7 メモリ上のデータ形式

64ビットのデータ形式については図2.5を参照してください。

2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。詳細は、各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびスタンバイモードの2つのモードがあります。

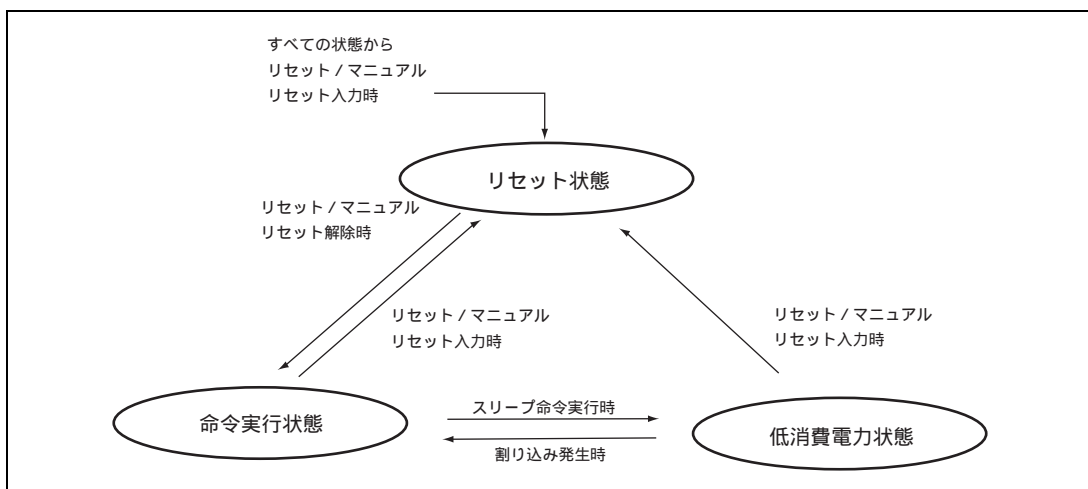


図 2.8 処理状態遷移図

2.7 使用上の注意事項

2.7.1 自己書き換えコード*に対する注意事項

本 LSI は、処理を高速に行うために命令の先読みを従来の SH-4 に比べ大幅に強化しています。このため、メモリ上の命令列の書き換えを行った直後に、当該命令を実行しようとする、既に先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令列がキャッシング不可領域にある場合

SYNCO

ICBI @Rn

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスでかまいません。

(2) 書き換える命令列がキャッシング可能領域にある場合 (ライトスルーモード時)

SYNCO

ICBI @Rn

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合 (コピーバックモード時)

OCBP @Rm または OCBWB @Rm

SYNCO

ICBI @Rn

書き換えた命令列に対応するオペランドキャッシュの領域全てを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 * 動的にメモリ上の命令列を書き換えながら実行する処理

3. 命令セット

本 LSI の命令セットは固定長 16 ビット命令で実現されます。本 LSI はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)、クワッドワード(64 ビット)のデータサイズでメモリにアクセスします。単精度浮動小数点データ(32 ビット)は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ(64 ビット)は、クワッドワードサイズでメモリとのやりとりが可能です。本 LSI がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

本 LSI は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

本 LSI の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	
:			ADD
:			
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) Tビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0          ; T ビットは ADD 演算で変更されません。
CMP/EQ R1, R0         ; R0=R1 のとき T ビットは 1 にセットされる。
BT     TARGET         ; T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。


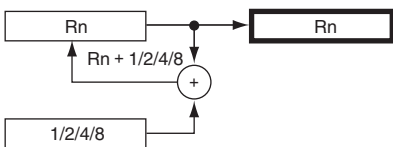
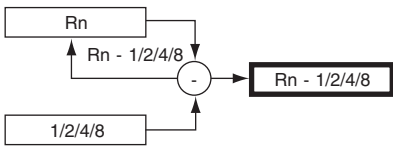
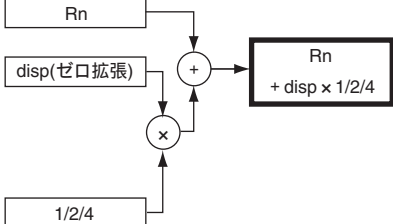
```
MOV.W   @(disp, PC), Rn
MOV.L   @(disp, PC), Rn
```

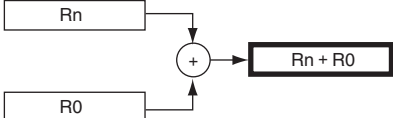
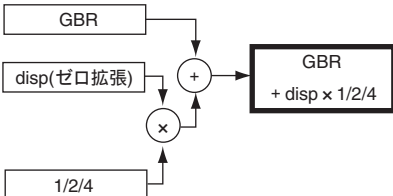
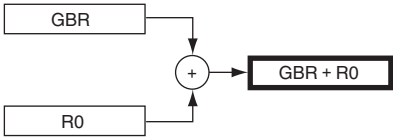
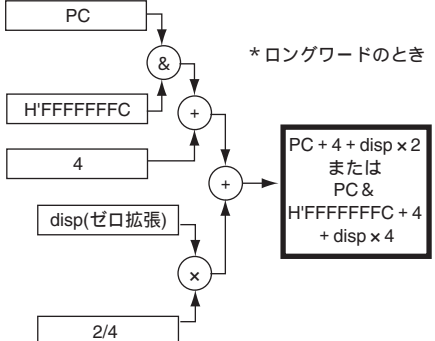
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 6 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA : 実効アドレス)
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn クワッドワード : Rn + 8 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn クワッドワード : Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp;4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp EA ワード : Rn + disp x 2 EA ロングワード : Rn + disp x 4 EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times 4$ EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
PC 相対	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@ (disp:4,Rn) ;ディスプレイメント付きレジスタ間接
 @ (disp:8,GBR) ;ディスプレイメント付き GBR 間接
 @ (disp:8,PC) ;ディスプレイメント付き PC 相対
 disp: 8,disp: 12 ;PC 相対

3.3 命令セット

表 3.4 ~ 表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項 目	フォーマット	説 明
命令二ーモニク	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび / またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0,FR0 0001 : R1,FR1 : 1111 : R15,FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

項 目	フォーマット	説 明
命令コード	MSB LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iiii : イミディエイト値 dddd : ディスプレースメント
特権モード	-	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	- : 変更なし
新規	-	「新規」と記載してある場合は、本 LSI で新規に追加された命令です。

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 3.4 固定小数点転送命令

命 令	動 作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiiii	-	-	-
MOV.W @(disp*,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnndddddddd	-	-	-
MOV.L @(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnndddddddd	-	-	-
MOV Rm,Rn	Rm Rn	0110nnnnmmmm0011	-	-	-
MOV.B Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000	-	-	-
MOV.W Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001	-	-	-
MOV.L Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010	-	-	-
MOV.B @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000	-	-	-
MOV.W @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001	-	-	-
MOV.L @Rm,Rn	(Rm) Rn	0110nnnnmmmm0010	-	-	-
MOV.B Rm,@-Rn	Rn-1 Rn,Rm (Rn)	0010nnnnmmmm0100	-	-	-
MOV.W Rm,@-Rn	Rn-2 Rn,Rm (Rn)	0010nnnnmmmm0101	-	-	-
MOV.L Rm,@-Rn	Rn-4 Rn,Rm (Rn)	0010nnnnmmmm0110	-	-	-
MOV.B @Rm+,Rn	(Rm) 符号拡張 Rn,Rm+1 Rm	0110nnnnmmmm0100	-	-	-
MOV.W @Rm+,Rn	(Rm) 符号拡張 Rn,Rm+2 Rm	0110nnnnmmmm0101	-	-	-
MOV.L @Rm+,Rn	(Rm) Rn,Rm+4 Rm	0110nnnnmmmm0110	-	-	-
MOV.B R0,@(disp*,Rn)	R0 (disp+Rn)	10000000nnnndddd	-	-	-
MOV.W R0,@(disp*,Rn)	R0 (disp × 2+Rn)	10000001nnnndddd	-	-	-
MOV.L Rm,@(disp*,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd	-	-	-
MOV.B @(disp*,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmmmddd	-	-	-
MOV.W @(disp*,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmmmddd	-	-	-
MOV.L @(disp*,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd	-	-	-
MOV.B Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100	-	-	-
MOV.W Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101	-	-	-
MOV.L Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110	-	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100	-	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101	-	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110	-	-	-
MOV.B R0,@(disp*,GBR)	R0 (disp+GBR)	11000000ddddddd	-	-	-
MOV.W R0,@(disp*,GBR)	R0 (disp × 2+GBR)	11000001ddddddd	-	-	-
MOV.L R0,@(disp*,GBR)	R0 (disp × 4+GBR)	11000010ddddddd	-	-	-
MOV.B @(disp*,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd	-	-	-
MOV.W @(disp*,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd	-	-	-
MOV.L @(disp*,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd	-	-	-
MOVA @(disp*,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0	11000111ddddddd	-	-	-

命 令	動 作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST T if(T==1)R0 (Rn) 0 LDST	0000nnnn01110011	-	LDST	新規
MOVL.L @Rm,R0	1 LDST (Rm) R0 ただし、割り込み / 例外発生時 0 LDST	0000mmmm01100011	-	-	新規
MOVUA.L @Rm,R0	(Rm) R0 非境界調整データのロード	0100mmmm10101001	-	-	新規
MOVUA.L @Rm+,R0	(Rm) R0,Rm+4 Rm 非境界調整データのロード	0100mmmm11101001	-	-	新規
MOVT Rn	T Rn	0000nnnn00101001	-	-	-
SWAP.B Rm,Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000	-	-	-
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001	-	-	-
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101	-	-	-

【注】 * ルネサスのアセンブラでは、disp にスケールリング後 (×1、×2、×4) の値を設定します。

表 3.5 算術演算命令

命 令	動 作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100	-	-	-
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiiii	-	-	-
ADDC Rm,Rn	Rn+Rm+T Rn,キャリ T	0011nnnnmmmm1110	-	キャリ	-
ADDV Rm,Rn	Rn+Rm Rn,オーバフロー T	0011nnnnmmmm1111	-	オーバ フロー	-
CMP/EQ #imm,R0	R0 = imm のとき 1 T それ以外のとき 0 T	10001000iiiiiiii	-	比較 結果	-
CMP/EQ Rm,Rn	Rn = Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000	-	比較 結果	-
CMP/HS Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010	-	比較 結果	-
CMP/GE Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011	-	比較 結果	-
CMP/HI Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110	-	比較 結果	-
CMP/GT Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111	-	比較 結果	-
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001	-	比較 結果	-

命 令	動 作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1 T それ以外るとき 0 T	0100nnnn00010101	-	比較 結果	-
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	0010nnnnnnmm1100	-	比較 結果	-
DIV1 Rm,Rn	1 ステップ除算 (Rn ÷ Rm)	0011nnnnnnmm0100	-	計算 結果	-
DIV0S Rm,Rn	Rn の MSB Q, Rm の MSB M, M ^ Q T	0010nnnnnnmm0111	-	計算 結果	-
DIV0U	0 M/Q/T	0000000000011001	-	0	-
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnnnmm1101	-	-	-
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnnnmm0101	-	-	-
DT Rn	Rn-1 Rn,Rn が 0 のとき 1 T Rn が 0 以外るとき 0 T	0100nnnn00010000	-	比較 結果	-
EXTS.B Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnnnmm1110	-	-	-
EXTS.W Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnnnmm1111	-	-	-
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnnnmm1100	-	-	-
EXTU.W Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnnnmm1101	-	-	-
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm) + MAC MAC Rn+4 Rn,Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnnnmm1111	-	-	-
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm) + MAC MAC Rn+2 Rn,Rm+2 Rm 16 × 16 + 64 64 ビット	0100nnnnnnmm1111	-	-	-
MUL.L Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnnnmm0111	-	-	-
MULS.W Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnnnmm1111	-	-	-
MULU.W Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnnnmm1110	-	-	-
NEG Rm,Rn	0-Rm Rn	0110nnnnnnmm1011	-	-	-
NEGC Rm,Rn	0-Rm-T Rn,ポロー T	0110nnnnnnmm1010	-	ポロー	-
SUB Rm,Rn	Rn-Rm Rn	0011nnnnnnmm1000	-	-	-
SUBC Rm,Rn	Rn-Rm-T Rn,ポロー T	0011nnnnnnmm1010	-	ポロー	-
SUBV Rm,Rn	Rn-Rm Rn,アンダフロー T	0011nnnnnnmm1011	-	アンダ フロー	-

表 3.6 論理演算命令

命 令	動 作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001	-	-	-
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiiii	-	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiiii	-	-	-
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111	-	-	-
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011	-	-	-
OR #imm,R0	$R0 imm$ R0	11001011iiiiiiii	-	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiiii	-	-	-
TAS.B @Rn	(Rn)が0のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn)の MSB	0100nnnn00011011	-	テスト 結果	-
TST Rm,Rn	$Rn \& Rm$,結果が0のとき 1 T それ以外とき 0 T	0010nnnnmmmm1000	-	テスト 結果	-
TST #imm,R0	$R0 \& imm$,結果が0のとき 1 T それ以外とき 0 T	11001000iiiiiiii	-	テスト 結果	-
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1 T それ以外とき 0 T	11001100iiiiiiii	-	テスト 結果	-
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010	-	-	-
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiiii	-	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiiii	-	-	-

表 3.7 シフト命令

命 令	動 作	命令コード	特権	T ビット	新規
ROTL Rn	T Rn MSB	0100nnnn00000100	-	MSB	-
ROTR Rn	LSB Rn T	0100nnnn00000101	-	LSB	-
ROTCL Rn	T Rn T	0100nnnn00100100	-	MSB	-
ROTCR Rn	T Rn T	0100nnnn00100101	-	LSB	-
SHAD Rm,Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100	-	-	-
SHAL Rn	T Rn 0	0100nnnn00100000	-	MSB	-
SHAR Rn	MSB Rn T	0100nnnn00100001	-	LSB	-
SHLD Rm,Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101	-	-	-
SHLL Rn	T Rn 0	0100nnnn00000000	-	MSB	-
SHLR Rn	0 Rn T	0100nnnn00000001	-	LSB	-
SHLL2 Rn	Rn<<2 Rn	0100nnnn00001000	-	-	-
SHLR2 Rn	Rn>>2 Rn	0100nnnn00001001	-	-	-
SHLL8 Rn	Rn<<8 Rn	0100nnnn00011000	-	-	-
SHLR8 Rn	Rn>>8 Rn	0100nnnn00011001	-	-	-
SHLL16 Rn	Rn<<16 Rn	0100nnnn00101000	-	-	-
SHLR16 Rn	Rn>>16 Rn	0100nnnn00101001	-	-	-

表 3.8 分岐命令

命 令	動 作	命令コード	特権	T ビット	新規
BF label	T=0 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=1 のとき nop	10001011dddddddd	-	-	-
BF/S label	遅延分岐, T=0 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=1 のとき nop	10001111dddddddd	-	-	-
BT label	T=1 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=0 のとき nop	10001001dddddddd	-	-	-
BT/S label	遅延分岐, T=1 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=0 のとき nop	10001101dddddddd	-	-	-
BRA label	遅延分岐, $\text{disp} \times 2 + \text{PC} + 4$ PC	1010dddddddddddd	-	-	-
BRAF Rn	遅延分岐, $\text{Rn} + \text{PC} + 4$ PC	0000nnnn00100011	-	-	-
BSR label	遅延分岐, $\text{PC} + 4$ PR, $\text{disp} \times 2 + \text{PC} + 4$ PC	1011dddddddddddd	-	-	-
BSRF Rn	遅延分岐, $\text{PC} + 4$ PR, $\text{Rn} + \text{PC} + 4$ PC	0000nnnn00000011	-	-	-
JMP @Rn	遅延分岐, Rn PC	0100nnnn00101011	-	-	-
JSR @Rn	遅延分岐, $\text{PC} + 4$ PR, Rn PC	0100nnnn00001011	-	-	-
RTS	遅延分岐, PR PC	0000000000001011	-	-	-

表 3.9 システム制御命令

命 令	動 作	命令コード	特権	T ビット	新規
CLRMACH	0 MACH,MACL	000000000101000	-	-	-
CLRS	0 S	0000000001001000	-	-	-
CLRT	0 T	0000000000001000	-	0	-
ICBI @Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011	-	-	新規
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB	-
LDC Rm,GBR	Rm GBR	0100mmmm00011110	-	-	-
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	-	-
LDC Rm,SGR	Rm SGR	0100mmmm00111010	特権	-	新規
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	-	-
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	-	-
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権	-	-
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	-	-
LDC.L @Rm+,SR	(Rm) SR,Rm+4 Rm	0100mmmm00000111	特権	LSB	-
LDC.L @Rm+,GBR	(Rm) GBR,Rm+4 Rm	0100mmmm00010111	-	-	-
LDC.L @Rm+,VBR	(Rm) VBR,Rm+4 Rm	0100mmmm00100111	特権	-	-
LDC.L @Rm+,SGR	(Rm) SGR,Rm+4 Rm	0100mmmm00110110	特権	-	新規
LDC.L @Rm+,SSR	(Rm) SSR,Rm+4 Rm	0100mmmm00110111	特権	-	-
LDC.L @Rm+,SPC	(Rm) SPC,Rm+4 Rm	0100mmmm01000111	特権	-	-
LDC.L @Rm+,DBR	(Rm) DBR,Rm+4 Rm	0100mmmm11110110	特権	-	-
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK,Rm+4 Rm	0100mmmm1nnn0111	特権	-	-
LDS Rm,MACH	Rm MACH	0100mmmm00001010	-	-	-
LDS Rm,MACL	Rm MACL	0100mmmm00011010	-	-	-
LDS Rm,PR	Rm PR	0100mmmm00101010	-	-	-
LDS.L @Rm+,MACH	(Rm) MACH,Rm+4 Rm	0100mmmm00000110	-	-	-
LDS.L @Rm+,MACL	(Rm) MACL,Rm+4 Rm	0100mmmm00010110	-	-	-
LDS.L @Rm+,PR	(Rm) PR,Rm+4 Rm	0100mmmm00100110	-	-	-
LDTLB	PTEH/PTEL TLB	000000000111000	特権	-	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせ ずに) R0 (Rn)	0000nnnn11000011	-	-	-
NOP	無操作	000000000001001	-	-	-
OCBI @Rn	オペランドキャッシュブロックを無 効にする	0000nnnn10010011	-	-	-
OCBP @Rn	オペランドキャッシュブロックをラ イトバックし無効にする	0000nnnn10100011	-	-	-

命 令	動 作	命令コード	特権	T ビット	新規
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	-	-	-
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011	-	-	-
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	-	-	新規
RTE	遅延分岐,SSR/SPC SR/PC	0000000000101011	特権	-	-
SETS	1 S	0000000001011000	-	-	-
SETT	1 T	0000000000111000	-	1	-
SLEEP	スリープもしくはスタンバイ	0000000000011011	特権	-	-
STC SR,Rn	SR Rn	0000nnnn00000010	特権	-	-
STC GBR,Rn	GBR Rn	0000nnnn00010010	-	-	-
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権	-	-
STC SSR,Rn	SSR Rn	0000nnnn00110010	特権	-	-
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権	-	-
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権	-	-
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権	-	-
STC Rm_BANK,Rn	Rm_BANK Rn (m=0~7)	0000nnnn1mmmm0010	特権	-	-
STC.L SR,@-Rn	Rn-4 Rn,SR (Rn)	0100nnnn00000011	特権	-	-
STC.L GBR,@-Rn	Rn-4 Rn,GBR (Rn)	0100nnnn00010011	-	-	-
STC.L VBR,@-Rn	Rn-4 Rn,VBR (Rn)	0100nnnn00100011	特権	-	-
STC.L SSR,@-Rn	Rn-4 Rn,SSR (Rn)	0100nnnn00110011	特権	-	-
STC.L SPC,@-Rn	Rn-4 Rn,SPC (Rn)	0100nnnn01000011	特権	-	-
STC.L SGR,@-Rn	Rn-4 Rn,SGR (Rn)	0100nnnn00110010	特権	-	-
STC.L DBR,@-Rn	Rn-4 Rn,DBR (Rn)	0100nnnn11110010	特権	-	-
STC.L Rm_BANK,@-Rn	Rn-4 Rn,Rm_BANK (Rn) (m=0~7)	0100nnnn1mmmm0011	特権	-	-
STS MACH,Rn	MACH Rn	0000nnnn00001010	-	-	-
STS MACL,Rn	MACL Rn	0000nnnn00011010	-	-	-
STS PR,Rn	PR Rn	0000nnnn00101010	-	-	-
STS.L MACH,@-Rn	Rn-4 Rn,MACH (Rn)	0100nnnn00000010	-	-	-
STS.L MACL,@-Rn	Rn-4 Rn,MACL (Rn)	0100nnnn00010010	-	-	-
STS.L PR,@-Rn	Rn-4 Rn,PR (Rn)	0100nnnn00100010	-	-	-
SYNCO	本命令以前のデータ操作を完了するまで、本命令以降の命令を開始しない	0000000010101011	-	-	新規
TRAPA #imm	imm <<2 TRA,PC+2 SPC, SR SSR,R15 SGR, 1 SR.MD/BL/RB,H'160 EXPEVT, VBR+H'0100 PC	11000011iiiiiiii	-	-	-

表 3.10 浮動小数点単精度命令

命 令	動 作	命令コード	特権	T ビット	新規	
FLDI0	FRn	H'00000000 FRn	1111nnnn10001101	-	-	-
FLDI1	FRn	H'3F800000 FRn	1111nnnn10011101	-	-	-
FMOV	FRm,FRn	FRm FRn	1111nnnnmmmm1100	-	-	-
FMOV.S	@Rm,FRn	(Rm) FRn	1111nnnnmmmm1000	-	-	-
FMOV.S	@(R0,Rm),FRn	(R0+Rm) FRn	1111nnnnmmmm0110	-	-	-
FMOV.S	@Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001	-	-	-
FMOV.S	FRm,@Rn	FRm (Rn)	1111nnnnmmmm1010	-	-	-
FMOV.S	FRm,@-Rn	Rn-4 Rn,FRm (Rn)	1111nnnnmmmm1011	-	-	-
FMOV.S	FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111	-	-	-
FMOV	DRm,DRn	DRm DRn	1111nnnn0mmmm01100	-	-	-
FMOV	@Rm,DRn	(Rm) DRn	1111nnnn0mmmm1000	-	-	-
FMOV	@(R0,Rm),DRn	(R0+Rm) DRn	1111nnnn0mmmm0110	-	-	-
FMOV	@Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnnn0mmmm1001	-	-	-
FMOV	DRm,@Rn	DRm (Rn)	1111nnnnmmmm01010	-	-	-
FMOV	DRm,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmmmm01011	-	-	-
FMOV	DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmmmm00111	-	-	-
FLDS	FRm,FPUL	FRm FPUL	1111mmmm00011101	-	-	-
FSTS	FPUL,FRn	FPUL FRn	1111nnnn00001101	-	-	-
FABS	FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101	-	-	-
FADD	FRm,FRn	FRn+FRm FRn	1111nnnnmmmm0000	-	-	-
FCMP/EQ	FRm,FRn	FRn=FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100	-	比較 結果	-
FCMP/GT	FRm,FRn	FRn>FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101	-	比較 結果	-
FDIV	FRm,FRn	FRn/FRm FRn	1111nnnnmmmm0011	-	-	-
FLOAT	FPUL,FRn	(float)FPUL FRn	1111nnnn00101101	-	-	-
FMAC	FR0,FRm,FRn	FR0 x FRm+FRn FRn	1111nnnnmmmm1110	-	-	-
FMUL	FRm,FRn	FRn x FRm FRn	1111nnnnmmmm0010	-	-	-
FNEG	FRn	FRn ^ H'80000000 FRn	1111nnnn01001101	-	-	-
FSQRT	FRn	sqrt(FRn) FRn*	1111nnnn01101101	-	-	-
FSUB	FRm,FRn	FRn - FRm FRn	1111nnnnmmmm0001	-	-	-
FTRC	FRm,FPUL	(long)FRm FPUL	1111mmmm00111101	-	-	-

【注】 * sqrt(FRn)は FRn の平方根を表します。

表 3.11 浮動小数点倍精度命令

命 令	動 作	命令コード	特権	T ビット	新規
FABS DRn	DRn&H'7FFF FFFF FFFF FFFF DRn	1111nnn001011101	-	-	-
FADD DRm,DRn	DRn+DRm DRn	1111nnn0mmmm00000	-	-	-
FCMP/EQ DRm,DRn	DRn=DRm のとき 1 T それ以外るとき 0 T	1111nnn0mmmm00100	-	比較 結果	-
FCMP/GT DRm,DRn	DRn > DRm のとき 1 T それ以外るとき 0 T	1111nnn0mmmm00101	-	比較 結果	-
FDIV DRm,DRn	DRn/DRm DRn	1111nnn0mmmm00011	-	-	-
FCNVDS DRm,FPUL	double_to_float(DRm) FPUL	1111mmmm010111101	-	-	-
FCNVSD FPUL,DRn	float_to_double(FPUL) DRn	1111nnn010101101	-	-	-
FLOAT FPUL,DRn	(float)FPUL DRn	1111nnn000101101	-	-	-
FMUL DRm,DRn	DRn x DRm DRn	1111nnn0mmmm00010	-	-	-
FNEG DRn	DRn ^ H'8000 0000 0000 0000 DRn	1111nnn001001101	-	-	-
FSQRT DRn	sqrt(DRn) DRn*	1111nnn001101101	-	-	-
FSUB DRm,DRn	DRn - DRm DRn	1111nnn0mmmm00001	-	-	-
FTRC DRm,FPUL	(long)DRm FPUL	1111mmmm000111101	-	-	-

【注】 * sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命 令	動 作	命令コード	特権	T ビット	新規
LDS Rm,FPSCR	Rm FPSCR	0100mmmm01101010	-	-	-
LDS Rm,FPUL	Rm FPUL	0100mmmm01011010	-	-	-
LDS.L @Rm+,FPSCR	(Rm) FPSCR,Rm+4 Rm	0100mmmm01100110	-	-	-
LDS.L @Rm+,FPUL	(Rm) FPUL,Rm+4 Rm	0100mmmm01010110	-	-	-
STS FPSCR,Rn	FPSCR Rn	0000nnnn01101010	-	-	-
STS FPUL,Rn	FPUL Rn	0000nnnn01011010	-	-	-
STS.L FPSCR,@-Rn	Rn-4 Rn,FPSCR (Rn)	0100nnnn01100010	-	-	-
STS.L FPUL,@-Rn	Rn-4 Rn,FPUL (Rn)	0100nnnn01010010	-	-	-

表 3.13 浮動小数点グラフィック強化命令

命 令	動 作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm XDn	1111nnn1mmmm01100	-	-	-
FMOV XDm, DRn	XDm DRn	1111nnn0mmmm11100	-	-	-
FMOV XDm, XDn	XDm XDn	1111nnn1mmmm11100	-	-	-
FMOV @Rm, XDn	(Rm) XDn	1111nnn1mmmm1000	-	-	-
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmmm1001	-	-	-
FMOV @(R0, Rm), XDn	(R0+Rm) XDn	1111nnn1mmmm0110	-	-	-
FMOV XDm, @Rn	XDm (Rn)	1111nnnnmmmm11010	-	-	-
FMOV XDm, @-Rn	Rn-8 Rn, XDm (Rn)	1111nnnnmmmm11011	-	-	-
FMOV XDm, @(R0, Rn)	XDm (R0+Rn)	1111nnnnmmmm10111	-	-	-
FIPR FVm, FVn	inner_product(FVm, FVn) FR[n+3]	1111nnmm11101101	-	-	-
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) FVn	1111nn0111111101	-	-	-
FRCHG	~ FRSCR.FR FRSCR.FR	1111101111111101	-	-	-
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101	-	-	-
FPCHG	~ FPSCR.PR FPSCR.PR	1111011111111101	-	-	新規
FSRRA FRn	1/sqrt(FRn) FRn*	1111nnnn01111101	-	-	新規
FSCA FPUL, DRn	sin(FPUL) FRn cos(FPUL) FR[n+1]	1111nnn011111101	-	-	新規

【注】 * sqrt(FRn)は FRn の平方根を表します。

4. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 7 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

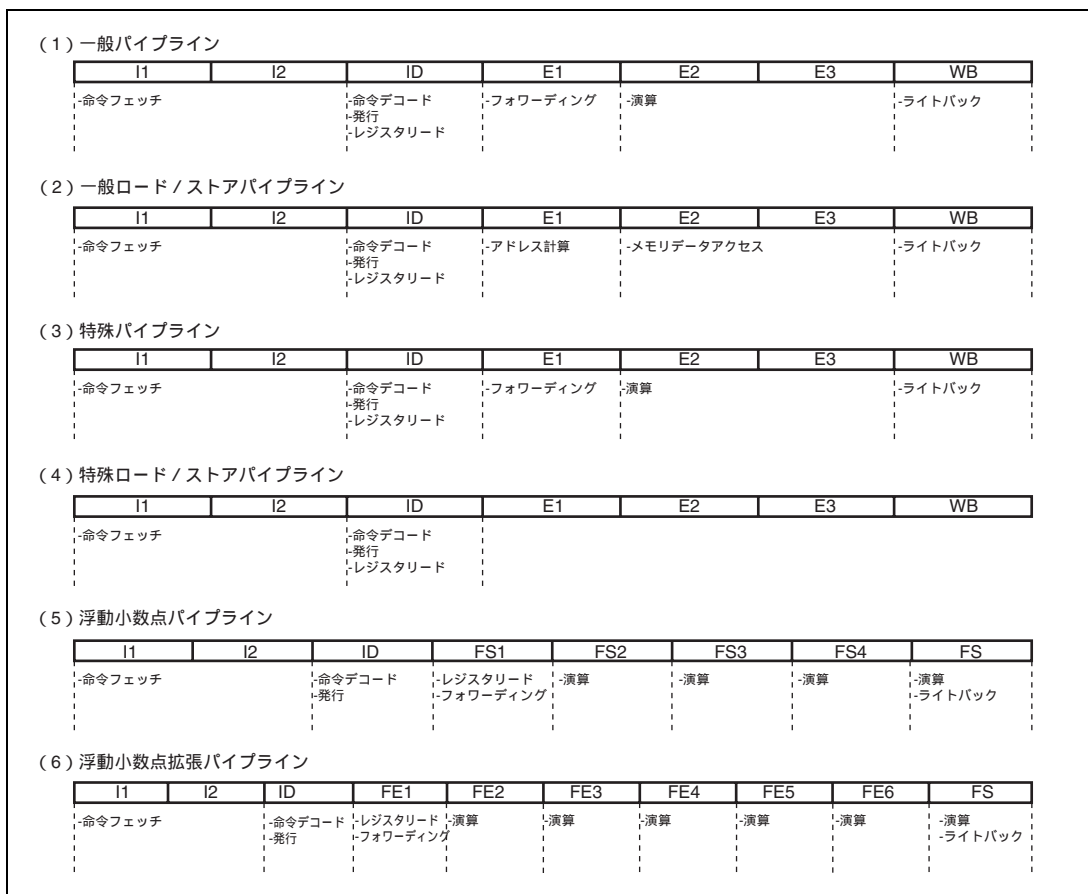


図 4.1 基本パイプライン

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1S1</td></tr></table> 、 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1								
E1s1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>└─</td></tr></table>	└─	CPU と FPU 両方のパイプを占有						
└─								

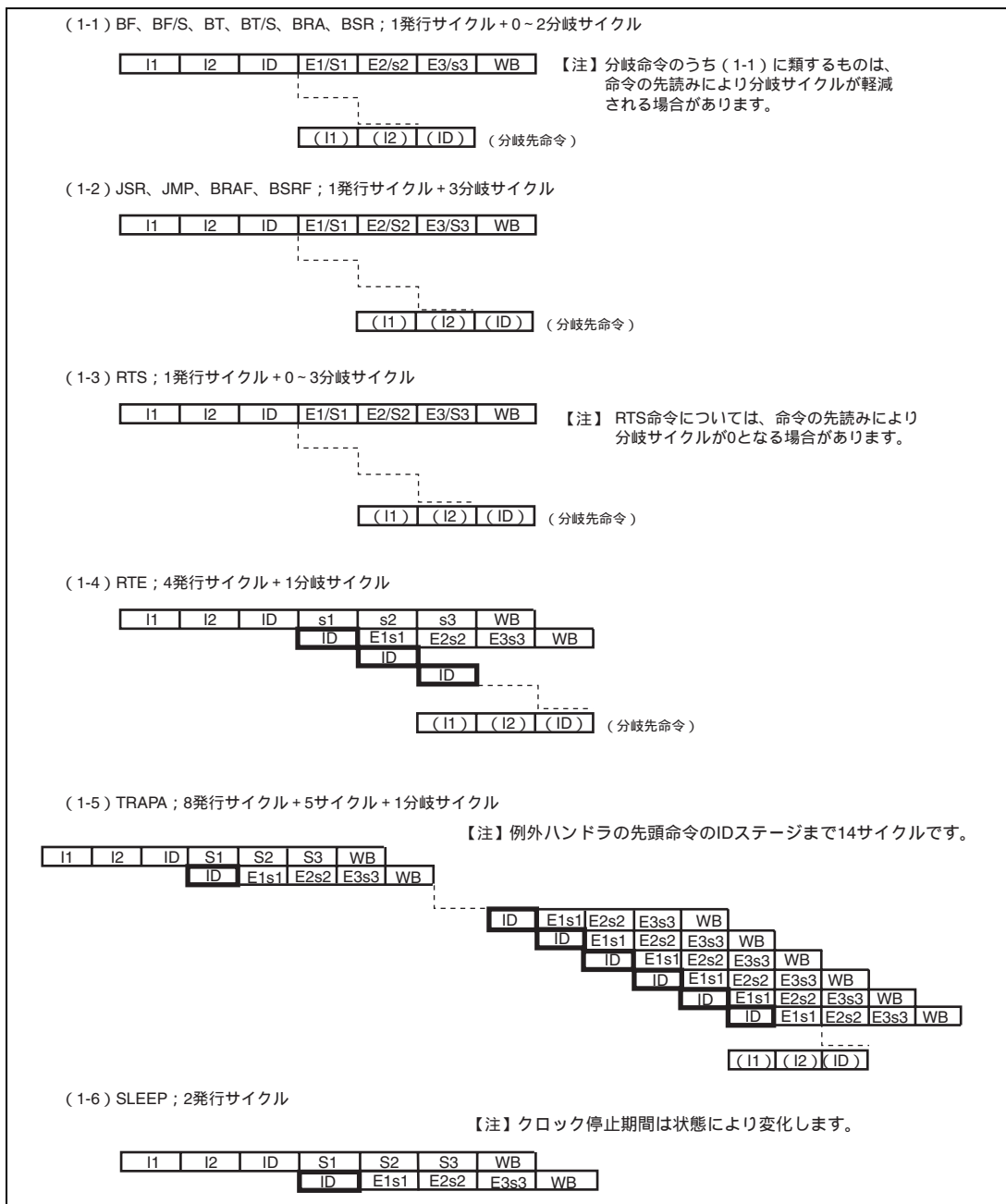


図 4.2 命令実行パターン(1)

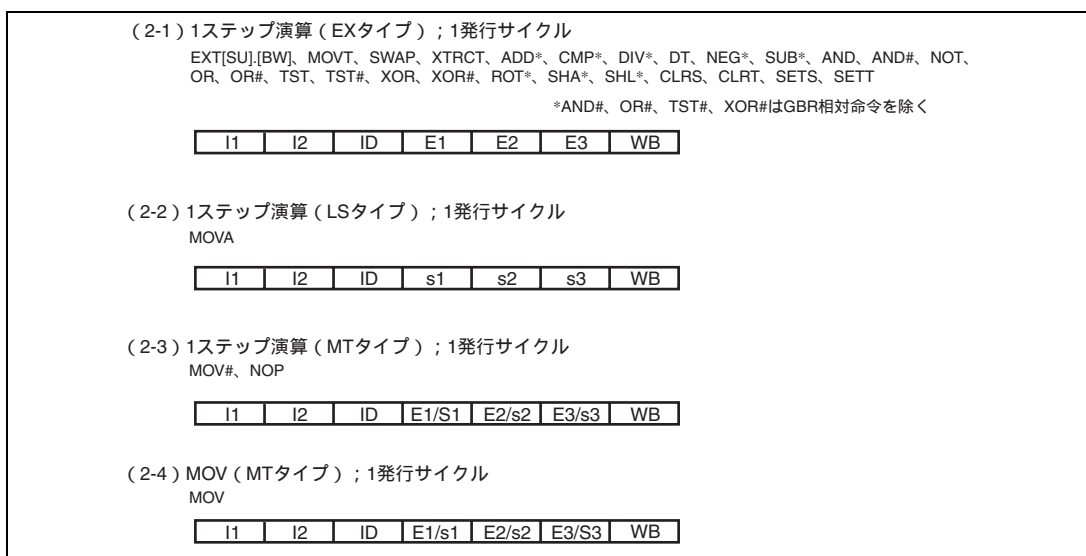


図 4.2 命令実行パターン (2)

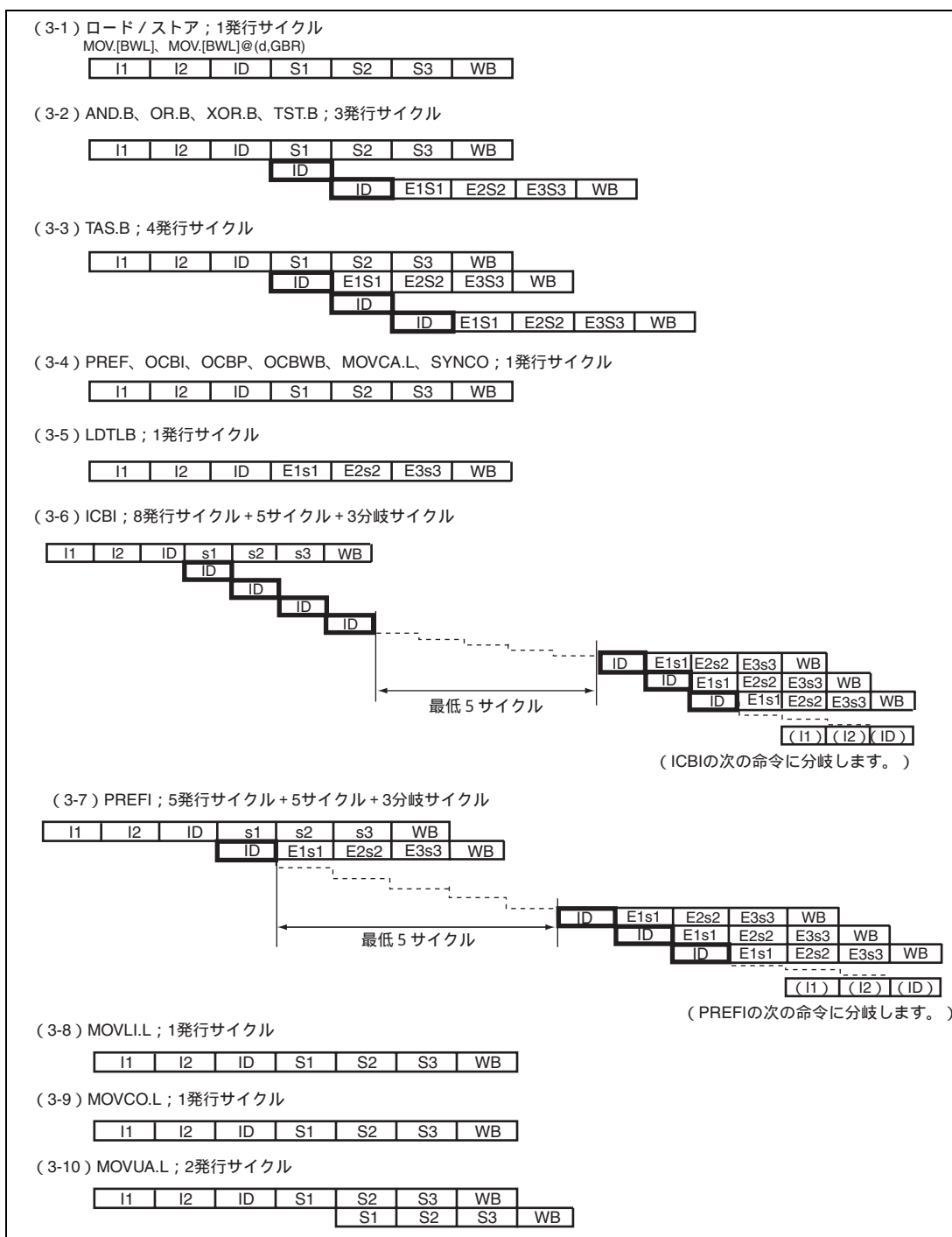


図 4.2 命令実行パターン (3)

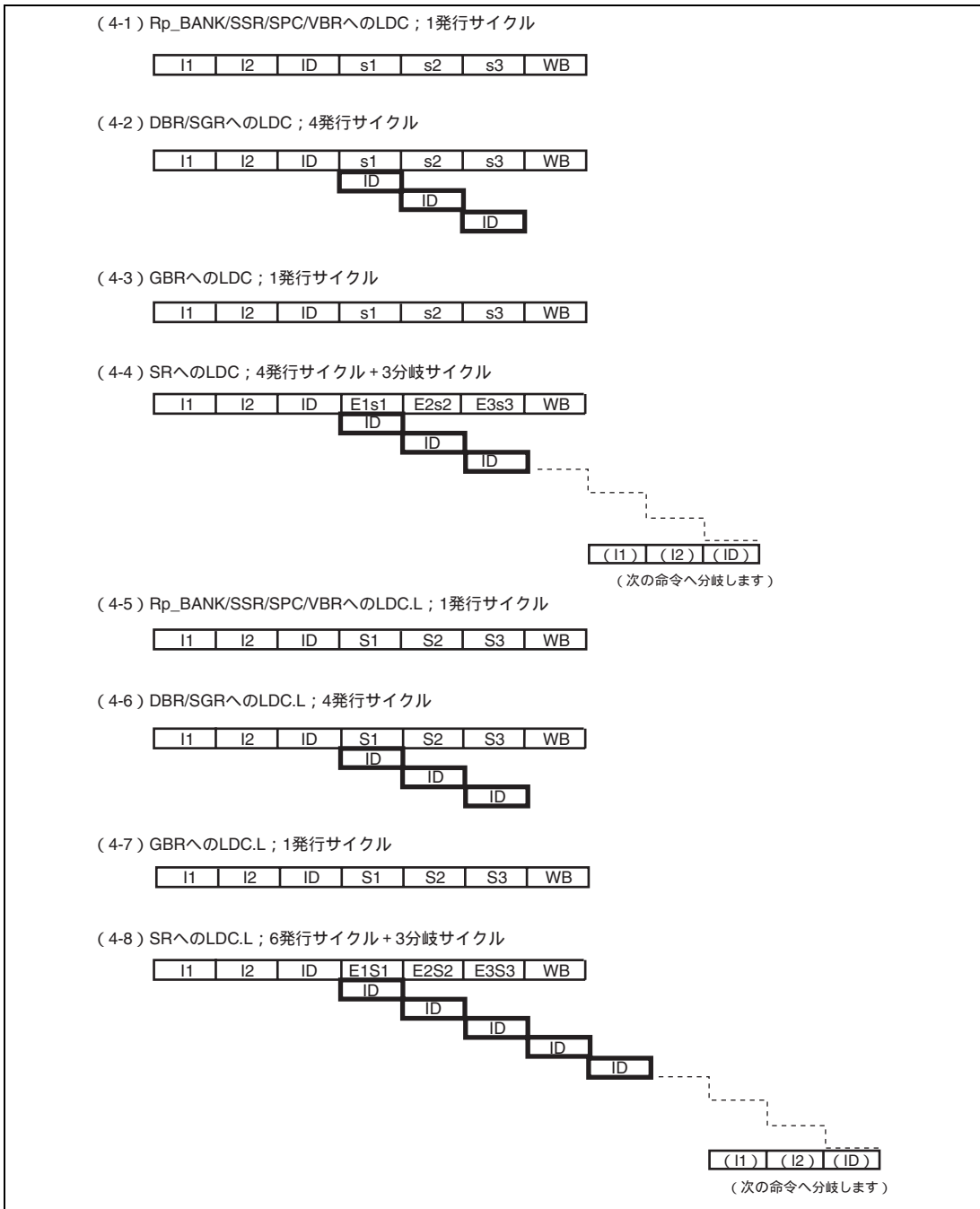


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	ID	s1	s2	s3	WB
----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	ID	E1s1	E2s2	E3s3	WB
----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	ID	S1	S2	S3	WB
----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	ID	E1S1	E2S2	E3S3	WB
----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	ID	s1	s2	s3	WB
----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	ID	S1	S2	S3	WB
----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	ID	s1	s2	s3	WB
----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	ID	S1	S2	S3	WB
----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(ID)	(?1)	(?2)	(?3)	(WB)
------	------	------	------	------	------	------

* 遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

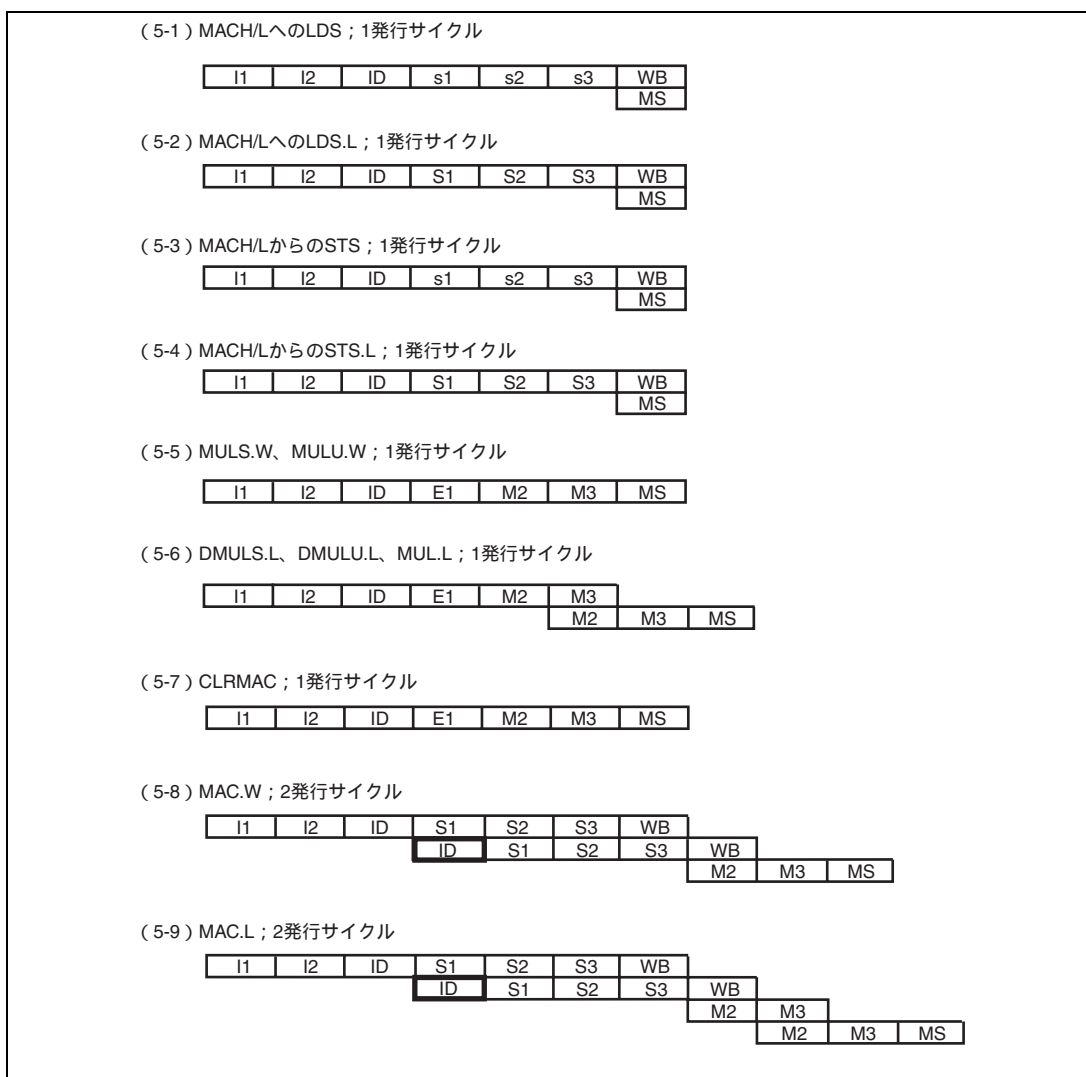


図 4.2 命令実行パターン (6)

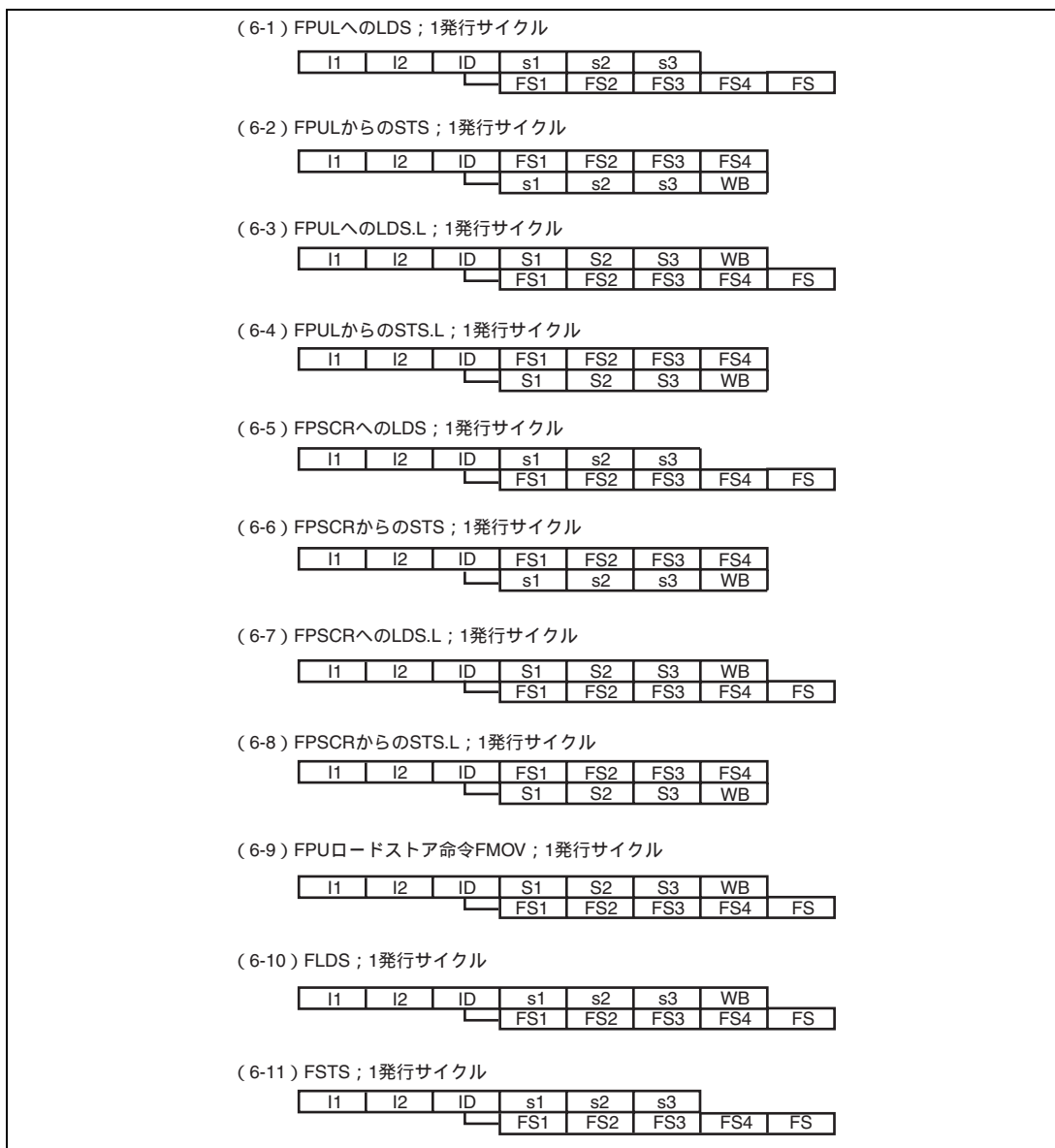


図 4.2 命令実行パターン (7)

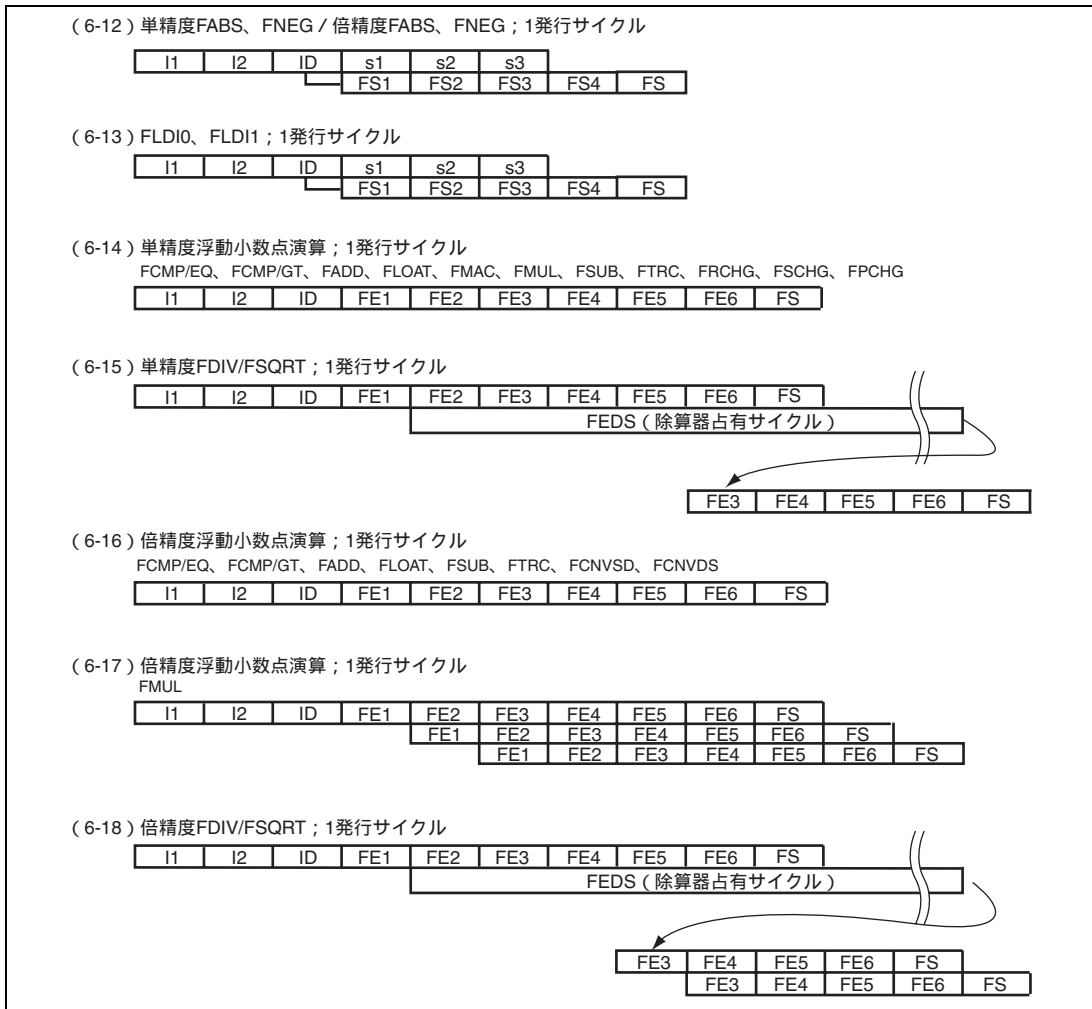


図 4.2 命令実行パターン (8)

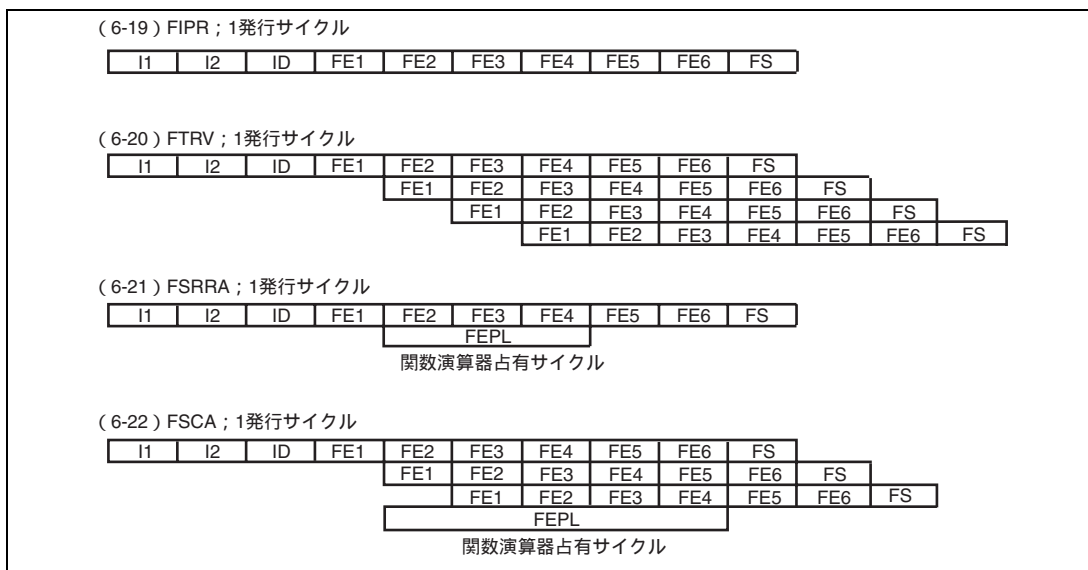


図 4.2 命令実行パターン (9)

4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
MT	MOV #imm,Rn	MOV Rm,Rn	NOF	
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の 2 命令で 1K バイト (最小のページサイズ) をまたがないこと
2. 表 4.3 (先行・後行掛け合わせ表) で同時実行可能である (となっている) こと
3. addr にある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2 にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2 命令とも有効であること

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	x					
	MT						
	BR			x			
	LS				x		
	FE					x	
	CO						

【注】 本製品では並列実行可能な2つの命令の組み合わせは表4.3とは異なり、以下のようになります。

		先行命令 (addr)							
		EX	MT	BR	LS	FLSR	FLSM	FE	CO
後行命令 (addr+2)	EX	x							
	MT								
	BR			x					
	LS				x		x		
	FLSR					x	x*	x	
	FLSM				x	x*	x		
	FE					x		x	
	CO								

【記号説明】

FLSR : FABS、FNEG、FLDI0、FLDI1、FLDS、FSTS、FMOV FR,FR

FLSM : FMOV[S]@adr,FR、FMOV[S]FR,@adr、LDS Rm,SR2、LDS.L @Rm+,SR2、STS SR2,Rn、STS.L SR2,@-Rn

LS : 従来のLSから上記のFLSRとFLSMを除いた命令

【注】 * CPUはIDステージに同時発行しますが、FPUにてストールするため同時実行にはなりません。

4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

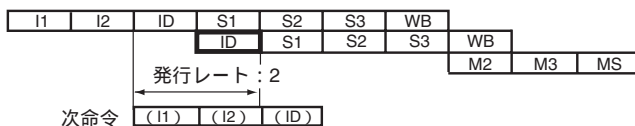
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

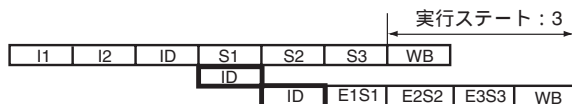


(2) 実行ステート

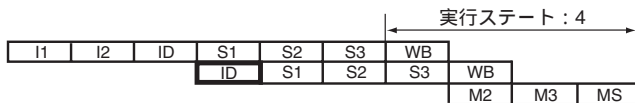
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・CPU命令

(例) AND.B命令

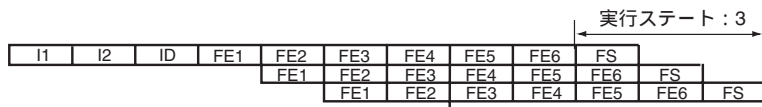


(例) MAC.W命令



・FPU命令

(例) FMUL命令



(例) FDIV命令



表 4.4 発行レートと実行ステート

機能 分類	No.	命 令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

機能 分類	No.	命 令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVL.L	@Rm,R0	CO	1	1	3-8
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10
	45	MOV.T	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1
54		ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1
56		ADDV	Rm,Rn	EX	1	1	2-1
57		CMP/EQ	#imm,R0	EX	1	1	2-1
58		CMP/EQ	Rm,Rn	EX	1	1	2-1
59		CMP/GE	Rm,Rn	EX	1	1	2-1
60		CMP/GT	Rm,Rn	EX	1	1	2-1
61		CMP/HI	Rm,Rn	EX	1	1	2-1
62		CMP/HS	Rm,Rn	EX	1	1	2-1
63		CMP/PL	Rn	EX	1	1	2-1
64		CMP/PZ	Rn	EX	1	1	2-1
65		CMP/STR	Rm,Rn	EX	1	1	2-1
66		DIV0S	Rm,Rn	EX	1	1	2-1
67		DIV0U		EX	1	1	2-1
68		DIV1	Rm,Rn	EX	1	1	2-1
69		DMULS.L	Rm,Rn	EX	1	2	5-6
70		DMULU.L	Rm,Rn	EX	1	2	5-6
71		DT	Rn	EX	1	1	2-1

機能分類	No.	命 令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	72	MAC.L	@Rm+,@Rn+	CO	2	5	5-9
	73	MAC.W	@Rm+,@Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCL	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1

機能 分類	No.	命 令		命令 グループ	発行 レート	実行 ステート	実行 パターン
シフト命令	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1
	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御 命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI		CO	5+5+3	10	3-7
	131	SYNCO	@Rn	CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
139	LDC	Rm,Rp_BANK	LS	1	1	4-1	
140	LDC	Rm,SR	CO	4+3	4	4-4	
141	LDC	Rm,SSR	LS	1	1	4-1	
142	LDC	Rm,SPC	LS	1	1	4-1	

機能 分類	No.	命 令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	143	LDC	Rm,VBR	LS	1	1	4-1
	144	LDC.L	@Rm+,DBR	CO	4	4	4-6
	145	LDC.L	@Rm+,SGR	CO	4	4	4-6
	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
	176	STS	PR,Rn	LS	1	1	4-15
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	

機能分類	No.	命 令		命令グループ	発行レート	実行ステート	実行パターン
単精度 浮動小数点 命令	179	STS.L	PR,@-Rn	LS	1	1	4-16
	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9
	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	30	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
	203	FMOV	DRm,DRn	LS	1	1	6-9
	204	FMOV	@Rm,DRn	LS	1	1	6-9
	205	FMOV	@Rm+,DRn	LS	1	1	6-9
	206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9
	207	FMOV	DRm,@Rn	LS	1	1	6-9
208	FMOV	DRm,@-Rn	LS	1	1	6-9	
209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16

機能 分類	No.	命 令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	14	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16
	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
グラフィクス 強化命令	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
	244	FSRRA	FRn	FE	1	1	6-21
	245	FSCA	FPUL,DRn	FE	1	3	6-22
	246	FTRV	XMTRX,FVn	FE	1	4	6-20

5. 例外処理

5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.2 レジスタ説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
TRAPA 例外レジスタ	TRA	不定	不定	保持	保持
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持	保持
割り込み事象レジスタ	INTEVT	不定	不定	保持	保持

5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
							TRACODE										
初期値:	0	0	0	0	0	0										0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			INTCODE													
初期値 :	0	0														
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。例えば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておく、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード	
					ベクタベース	オフセット		
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000	
		マニュアルリセット	1	2	H'A000 0000	-	H'020	
		H-UDI リセット	1	1	H'A000 0000	-	H'000	
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140	
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140	
一般例外	再実行型	命令実行前ユーザブ레이크*	2	0	(VBR/DBR)	H'100/ -	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
			命令実行後ユーザブ레이크*	2	10	(VBR/DBR)	H'100/ -	H'1E0
	割り込み	完了型	ノンマスクابل割り込み	3	-	(VBR)	H'600	H'1C0
一般割り込み要求			4	-	(VBR)	H'600	-	

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

5.5 例外フロー

5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

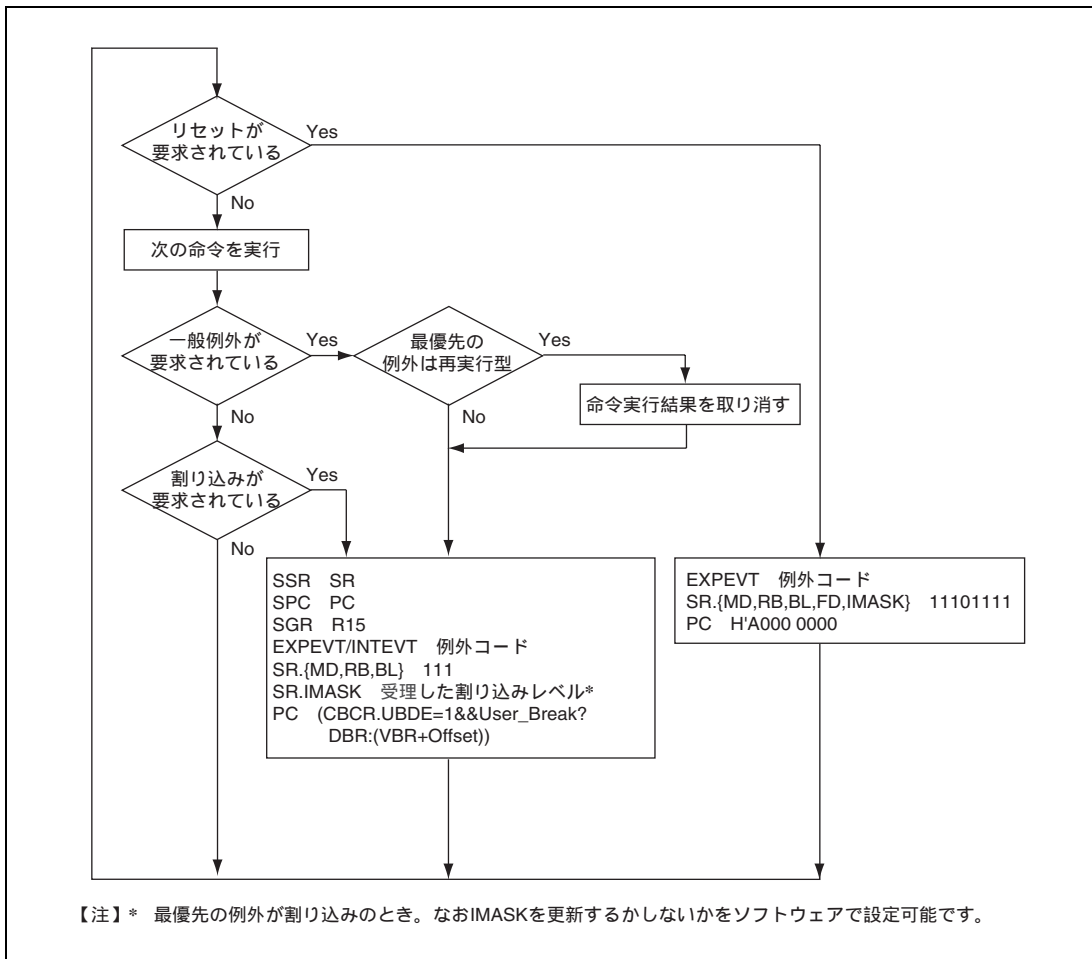


図 5.1 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図5.2に示します。

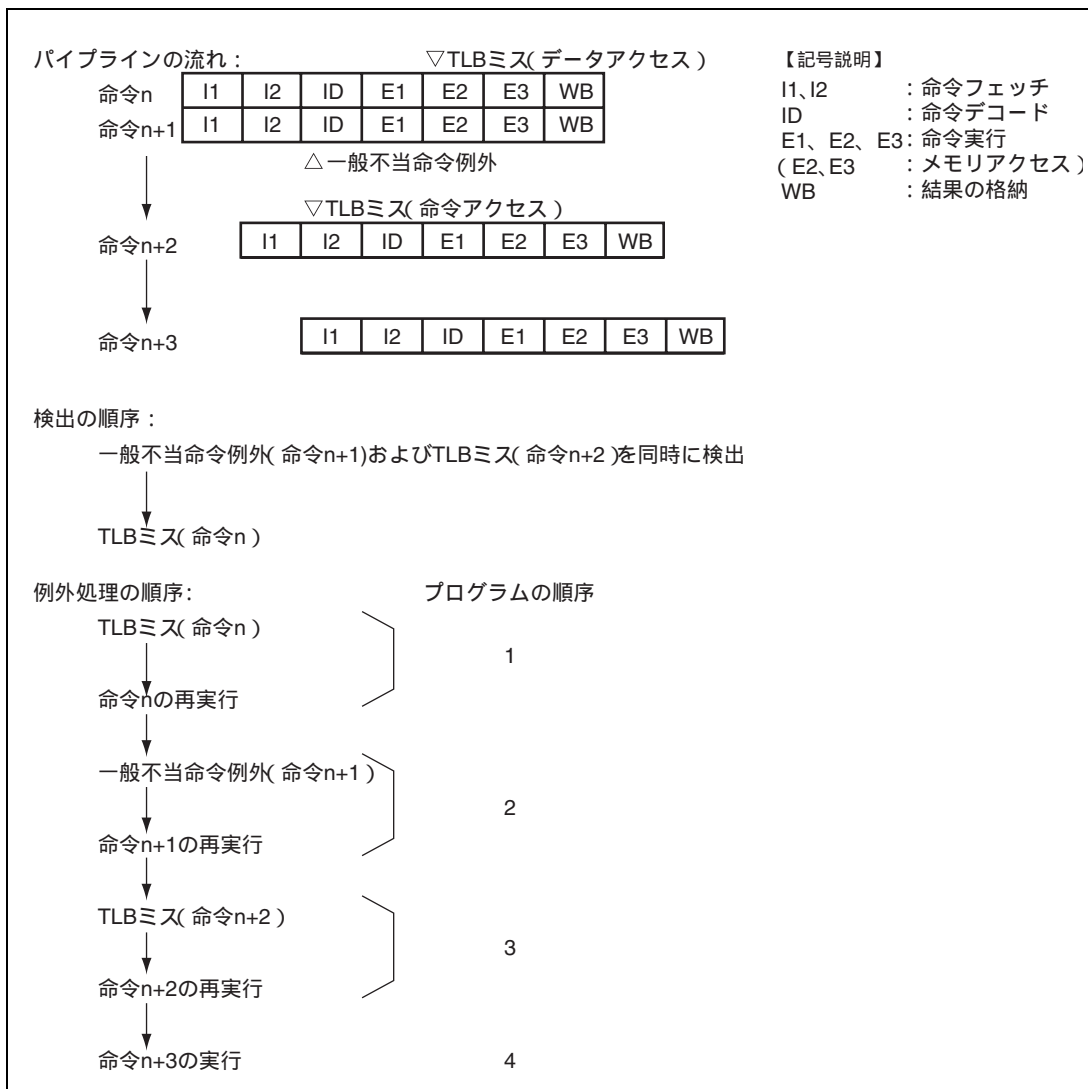


図 5.2 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 41 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 条件:

パワーオンリセット要求

- 動作:

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

- 条件:

マニュアルリセット要求

- 動作:

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

(3) H-UDI リセット

- 要因: SDIR.TI[7:4]がB'0110 (ネゲート)、またはB'0111 (アサート)

- 遷移先アドレス: H'A000 0000

- 遷移時動作:

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

(4) 命令 TLB 多重ヒット例外

- 要因: ITLBのアドレスが多重に一致

- 遷移先アドレス: H'A000 0000

- 遷移時動作:

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(4) データ TLB 保護違反例外

- 要因：アクセスが以下に示すUTLBのプロテクション情報 (PRビット) に反する。

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
}

```

```

    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(5) 命令 TLB 保護違反例外

- 要因：アクセスが以下に示すITLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(6) データアドレスエラー

• 要因:

- ワードデータをワード境界以外 ($2n+1$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス
- クワッドワードをクワッドワードデータ境界以外 ($8n+1$, $8n+2$, $8n+3$, $8n+4$, $8n+5$, $8n+6$, $8n+7$) からアクセス
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス

ただし、H'E000 0000 ~ H'E3FF FFFFおよびH'E500 0000 ~ H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第6章 メモリマネジメントユニット (MMU)」および「第8章 Lメモリ」を参照してください。

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第6章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
```

```
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(7) 命令アドレスエラー

• 要因:

- ワード境界以外 ($2n + 1$) から命令フェッチ

- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第8章 Lメモリ」を参照してください。

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第6章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(8) 無条件トラップ

• 要因: TRAPA命令の実行

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

- 要因：

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```


(10) スロット不当命令例外

• 要因:

- 遅延スロットにある未定義命令をデコード

遅延分岐命令: JMP, JSR, BRA, BRAF, BSR, BSRF, RTS, RTE, BT/S, BF/S

未定義命令: H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令: JMP, JSR, BRA, BRAF, BSR, BSRF, RTS, RTE, BT, BF, BT/S, BF/S, TRAPA,
LDC Rm,SR, LDC.L @Rm+,SR, ICBI, PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令: LDC, STC, RTE, LDTLB, SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
```

```
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(11) 一般 FPU 抑止例外

- 要因: 遅延スロット以外にあるFPU命令*をSR.FD=1でデコード

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 * FPU 命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令 H'FFFD を除く)と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(13) 命令実行前ユーザブレーク / 命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。

ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレークを設定した場合のPCについてなど、詳細は、「第41章 ユーザブレークコントローラ(UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}
```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
```

```
EXPEVT = H'00000120;  
SR.MD = 1;  
SR.RB = 1;  
SR.BL = 1;  
PC = VBR + H'00000100;  
}
```

5.6.3 割り込み

(1) NMI (ノンマスクブル割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。

```
NMI()  
{  
  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    INTEVT = H'000001C0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    If(cond)SR.IMASK = B'1111;  
    PC = VBR + H'00000600;  
}
```

(2) 一般割り込み要求

- 要因：
SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)
- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}
```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ - メモリ間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに例外または割り込みが発生した場合

1. 例外

ユーザブレークを除く例外が発生した場合には、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SPC、SSRの各レジスタは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み（NMI）が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレークの受け付けは行われません。

(5) SR レジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. メモリマネジメントユニット (MMU)

本 LSI は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本 LSI に内蔵されたメモリマネジメントユニット (MMU:Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB:Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本 LSI は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式で、4 種類 (1K/4K/64K/1M バイト) のページサイズをサポートしています。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

6.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 6.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 6.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 6.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 6.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 6.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

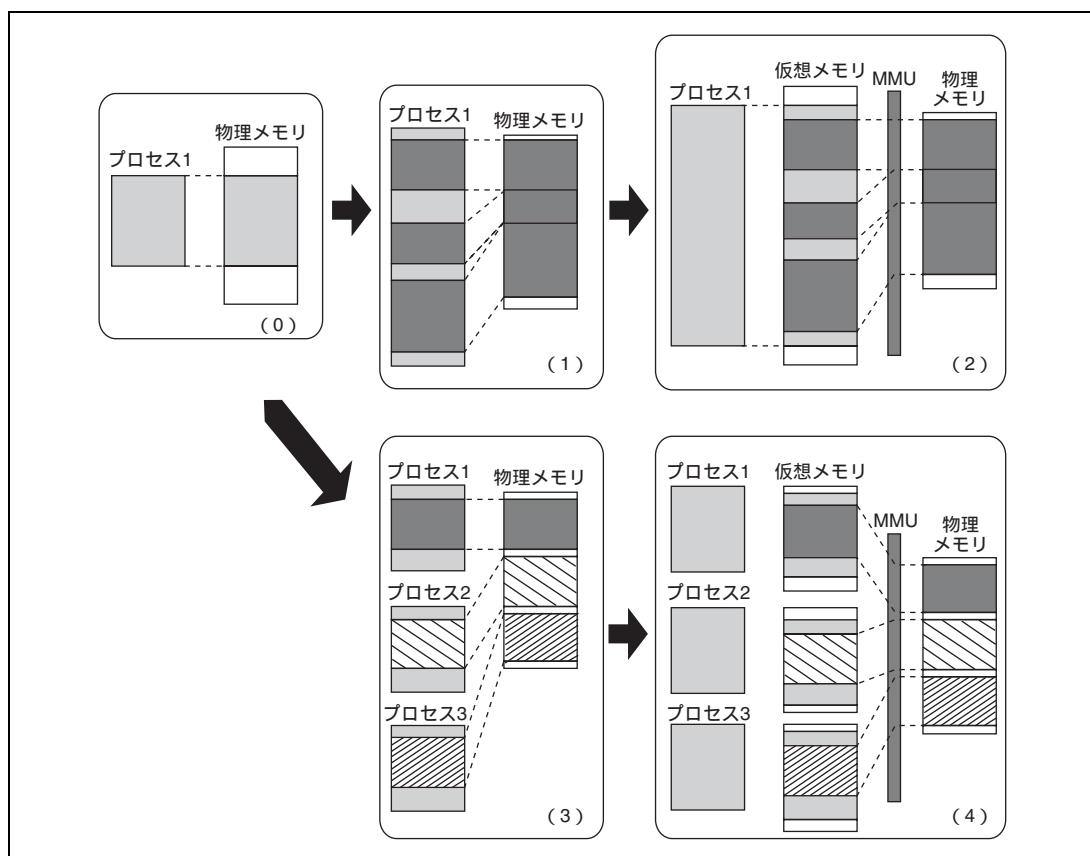


図 6.1 MMU の役割

6.1.1 アドレス空間

(1) 仮想アドレス空間

本 LSI は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 6.2、図 6.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

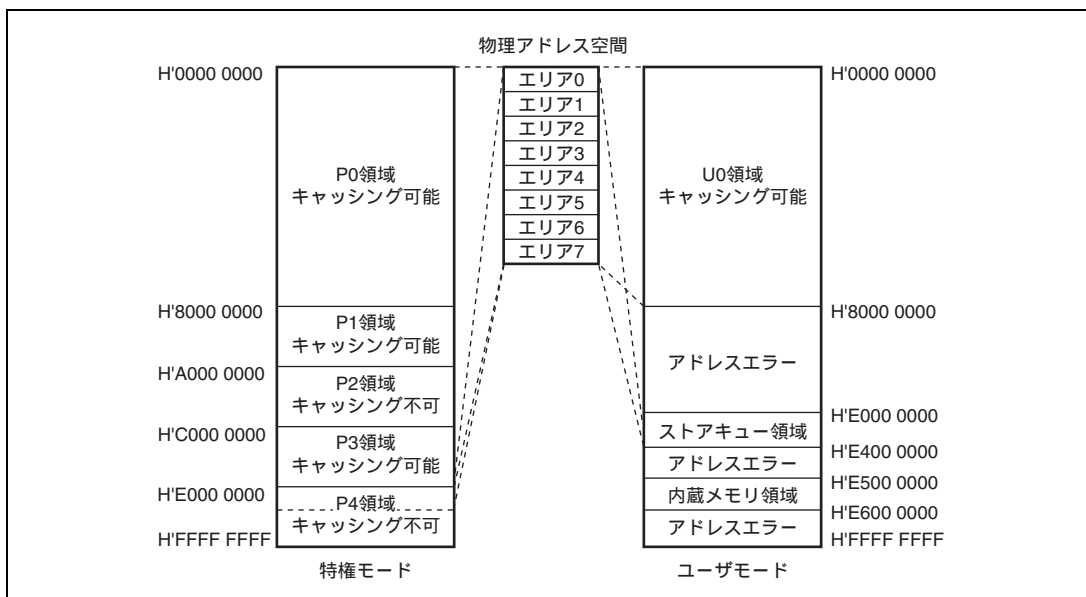


図 6.2 仮想アドレス空間 (MMUCR.AT=0)

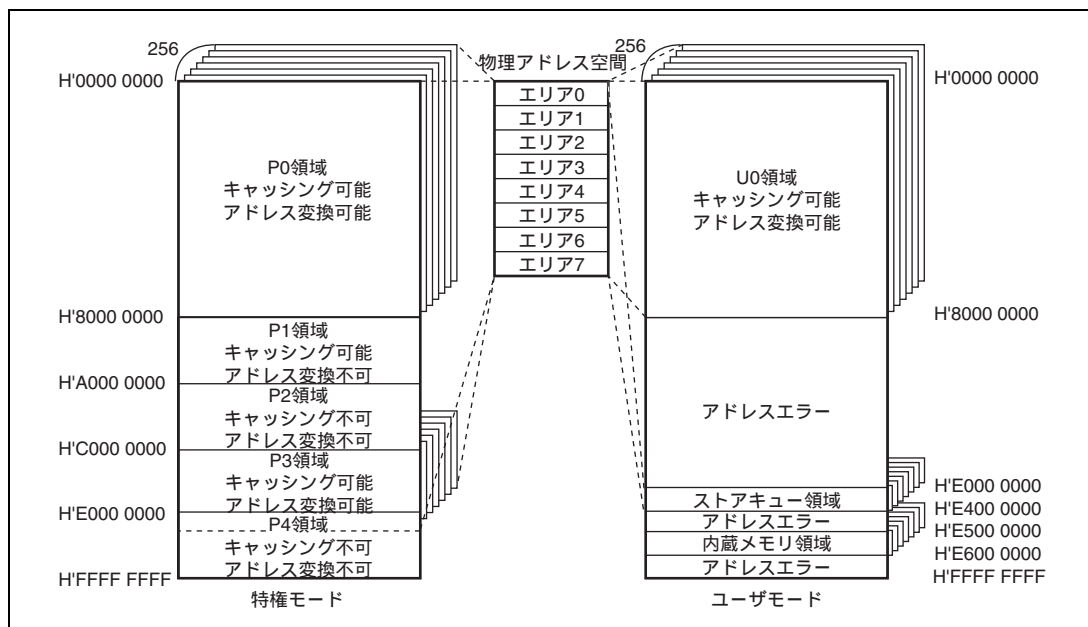


図 6.3 仮想アドレス空間 (MMUCR.AT = 1)

(a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア7に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

(c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は本 LSI の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 6.4 に示します。

H'E000 0000	ストアキュー
H'E400 0000	
H'E500 0000	
H'E600 0000	内蔵メモリ領域
	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令TLBアドレスアレイ
H'F300 0000	命令TLBデータアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用TLB/PMBアドレスアレイ
H'F700 0000	共用TLB/PMBデータアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 6.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「7.7 ストアキュー」を参照してください。

H'E500 0000 ~ H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 8 章 Lメモリ」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「7.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「7.6.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「6.6.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「6.6.2 ITLB データアレイ」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスレイを直接アクセスするための領域です。詳細は「7.6.3 OC アドレスレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータレイを直接アクセスするための領域です。詳細は「7.6.4 OC データレイ」を参照してください。

H'F600 0000 ~ H'F60F FFFF までは、共用 TLB のアドレスレイを直接アクセスするための領域です。詳細は「6.6.3 UTLB アドレスレイ」を参照してください。

H'F700 0000 ~ H'F70F FFFF までは、共用 TLB のデータレイを直接アクセスするための領域です。詳細は「6.6.4 UTLB データレイ」を参照してください。

H'F610 0000 ~ H'F61F FFFF までは、PMB のアドレスレイを直接アクセスするための領域です。詳細は「6.7.5 メモリ割り付け PMB の構成」を参照してください。

H'F710 0000 ~ H'F71F FFFF までは、PMB のデータレイを直接アクセスするための領域です。詳細は「6.7.5 メモリ割り付け PMB の構成」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

(2) 物理アドレス空間

本 LSI は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 6.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (リザーブ領域)

図 6.5 物理アドレス空間

(3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本 LSI では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「6.3.3 アドレス変換方式」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をバージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

6.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 6.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 6.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持	保持
ページテーブルエントリ下位レジスタ	PTL	不定	不定	保持	保持
変換テーブルベースレジスタ	TTB	不定	不定	保持	保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持	保持
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持	保持
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持	保持
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持	保持

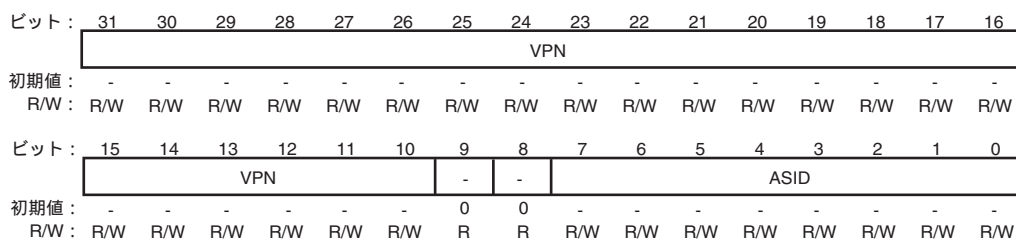
6.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. PTEH更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。



ビット	ビット名	初期値	R/W	説明
31~10	VPN	-	R/W	仮想ページ番号
9、8	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	ASID	-	R/W	アドレス空間識別子

6.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPN															
初期値 :	0	0	0													
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN							V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値 :							0									
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	PPN	-	R/W	物理ページ番号
9	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	V	-	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「6.3 TLB の機能」を参照してください。
7	SZ1	-	R/W	
6	PR1	-	R/W	
5	PR0	-	R/W	
4	SZ0	-	R/W	
3	C	-	R/W	
2	D	-	R/W	
1	SH	-	R/W	
0	WT	-	R/W	

6.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						-	-	URB						-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	-	-	-	-	-	TI	-	AT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	LRUI	すべて0	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25、24	-	すべて0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
23~18	URB	すべて0	R/W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17、16	-	すべて0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
15~10	URC	すべて0	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ / 特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一反想記憶モード / 多重反想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重反想記憶モード 1 : 単一反想記憶モード
7~3	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/ITLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

6.2.6 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	UB	すべて0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います。 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います。 UB [7] : 制御レジスタ領域に対応 UB [6] : エリア 6 に対応 UB [5] : エリア 5 に対応 UB [4] : エリア 4 に対応 UB [3] : エリア 3 に対応 UB [2] : エリア 2 に対応 UB [1] : エリア 1 に対応 UB [0] : エリア 0 に対応

6.2.7 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	R2	R1	LT	MT	MC
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

ビット	ビット名	初期値	R/W	説明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

6.3 TLB の機能

6.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 6.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 6.7 にページサイズとアドレスの関係を示します。

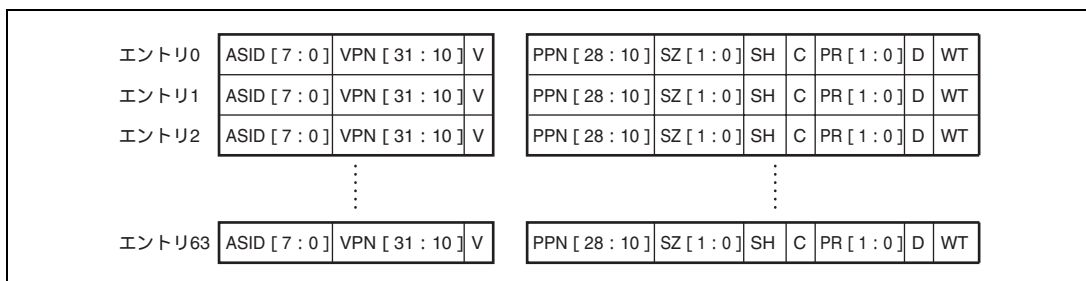


図 6.6 UTLB の構成

【記号説明】

VPN : 仮想ページ番号	1K バイトページの時、仮想アドレスの上位 22 ビット 4K バイトページの時、仮想アドレスの上位 20 ビット 64K バイトページの時、仮想アドレスの上位 16 ビット 1M バイトページの時、仮想アドレスの上位 12 ビット
ASID : アドレス空間識別子	仮想ページをアクセスできるプロセスを示します。 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
SH : 共有状態ビット	0 : 複数のプロセスでページを共有しません。 1 : 複数のプロセスでページを共有します。
SZ[1:0] : ページサイズビット	ページサイズを指定します。 00 : 1K バイトページ 01 : 4K バイトページ 10 : 64K バイトページ 11 : 1M バイトページ
V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページの場合は PPN[28:10] が有効です。 4K バイトページの場合は PPN[28:12] が有効です。 64K バイトページの場合は PPN[28:16] が有効です。 1M バイトページの場合は PPN[28:20] が有効です。 また PPN の設定においてはシノニム問題に注意してください (「6.4.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能

- C: キャッシング可能ビット** ページがキャッシング可能かどうかを示します。
 0: キャッシング不可能。
 1: キャッシング可能。
 制御レジスタ空間のマッピングを行う場合、このビットは0にしてください。
- D: ダーティビット** ページに書き込みが行われたかどうかを示します。
 0: 書き込みが行われていない。
 1: 書き込みが行われた。
- WT: ライトスルービット** キャッシュへの書き込みモードを指定します。
 0: コピーバックモード
 1: ライトスルーモード

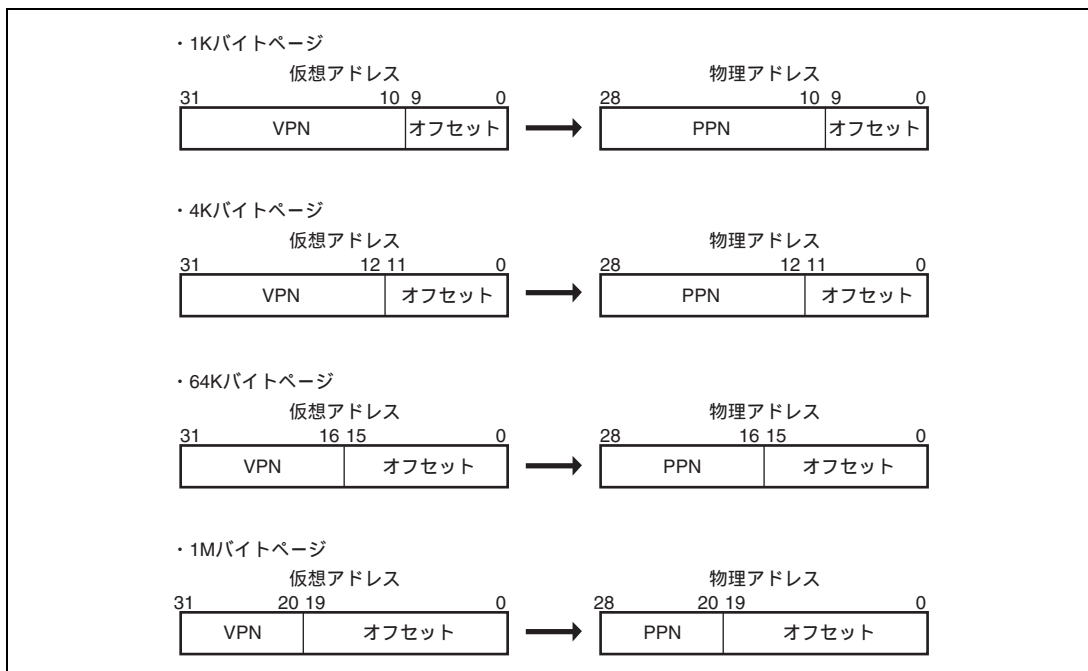


図 6.7 ページサイズとアドレスの関係

6.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 6.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

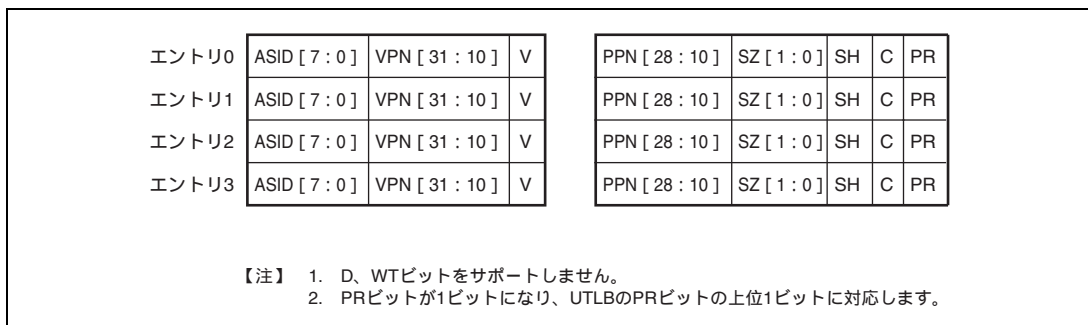


図 6.8 ITLB の構成

6.3.3 アドレス変換方式

図 6.9 に、UTLB を用いたメモリアクセスのフローを示します。

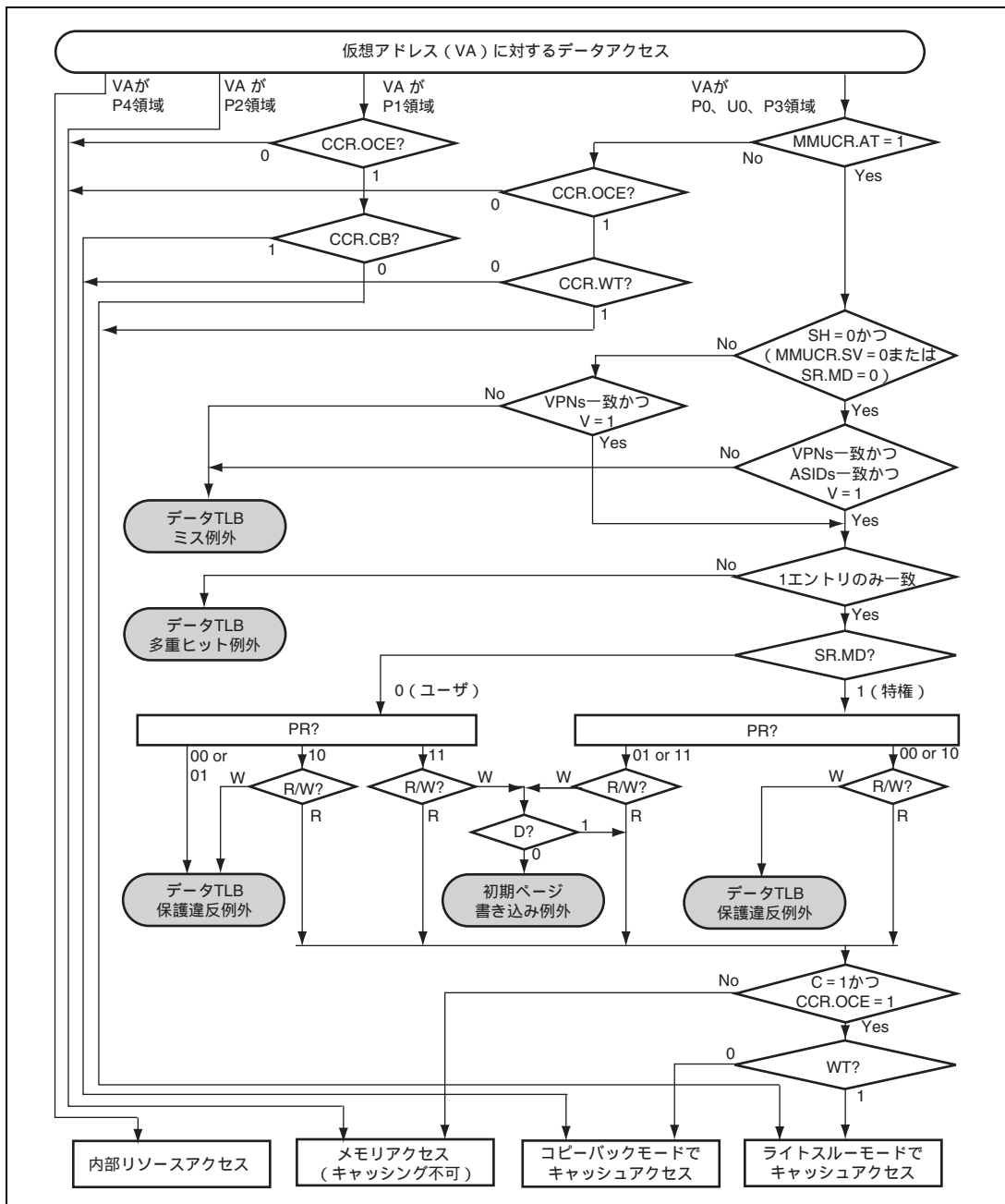


図 6.9 UTLB を用いたメモリアクセスフロー

図 6.10 に ITLB を用いたメモリアクセスのフローを示します。

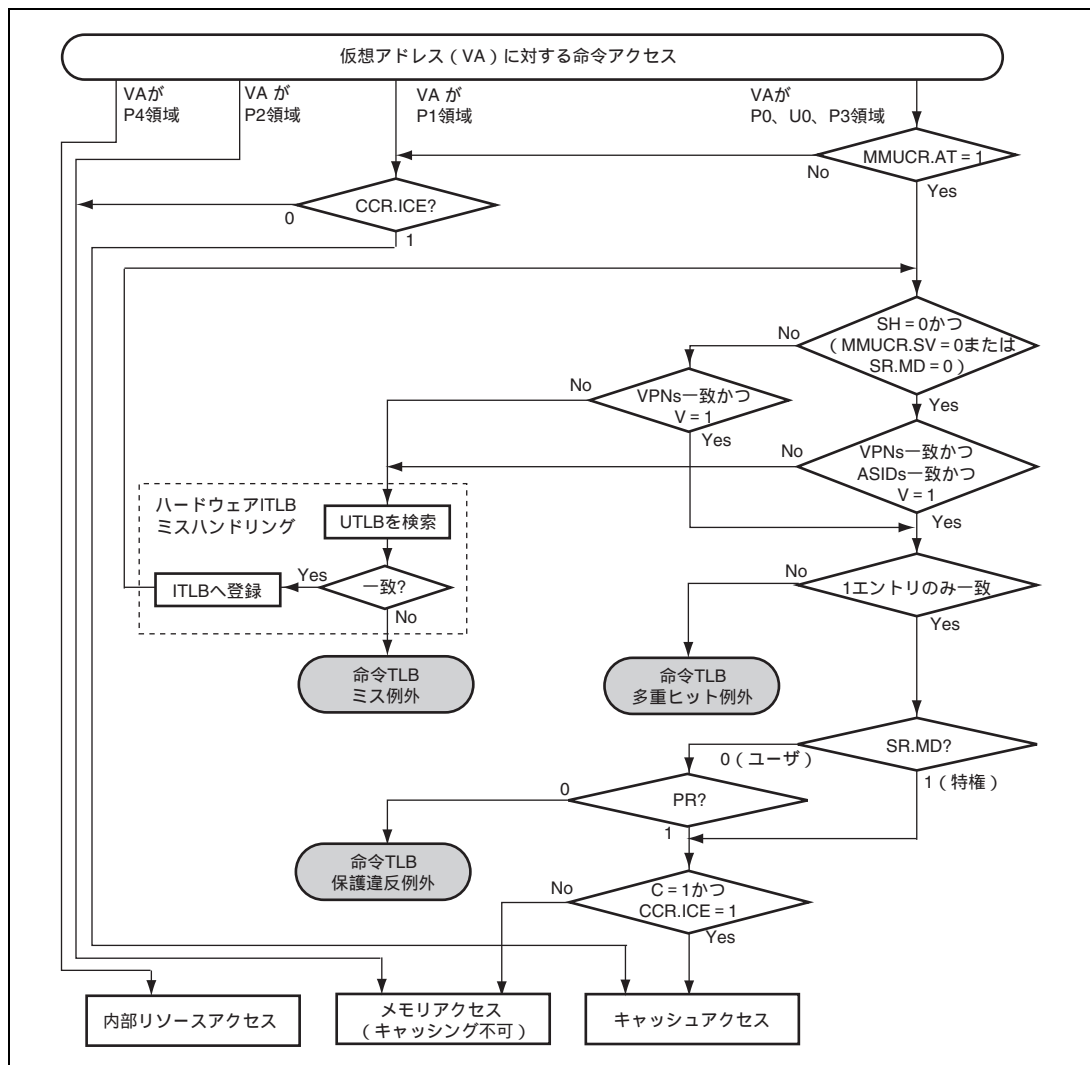


図 6.10 ITLB を用いたメモリアクセスフロー

6.4 MMU の機能

6.4.1 MMU のハードウェア管理

本 LSI がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

6.4.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

6.4.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、本 LSI は PTEH と PTEL の内容を URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。

3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または 2.を用いることを推奨します。

図 6.11 に LDTLB 命令の動作を示します。

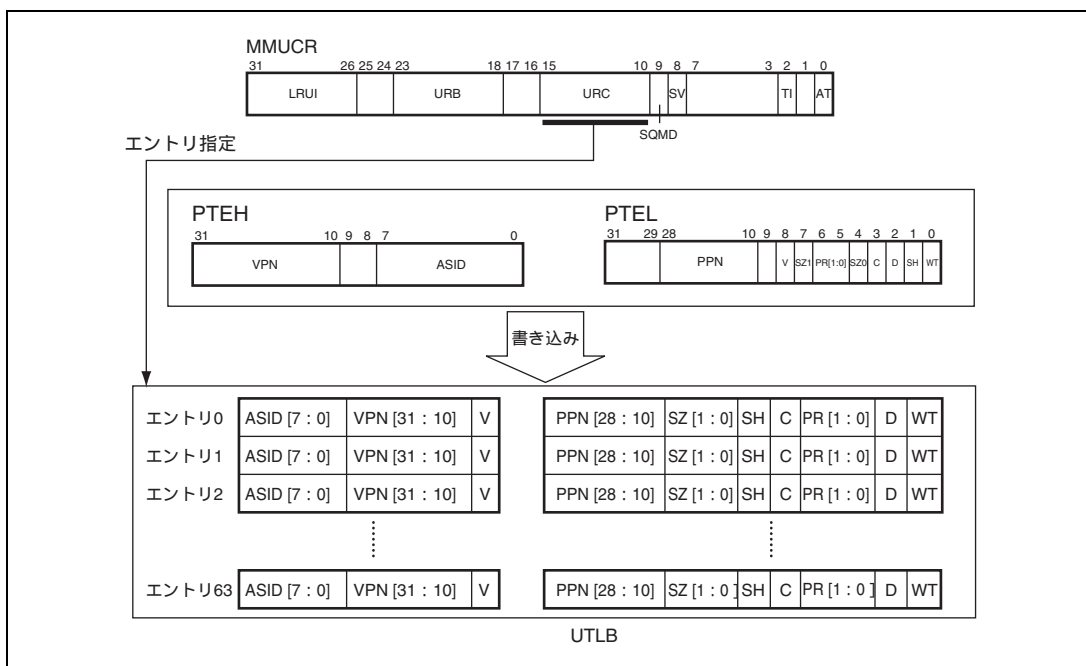


図 6.11 LDTLB 命令の動作

6.4.4 ハードウェア ITLB ミスハンドリング

本 LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

6.4.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本 LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の 1K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の 4K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
4. 4K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

【注】 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

6.5 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 6.9 と図 6.10 を参照してください。

6.5.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

6.5.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、命令 TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令 TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR の URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、PTEH、PTEL の内容を TLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

6.5.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令 TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'0A0 を EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、命令 TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令 TLB 保護違反例外処理ルーチン)

命令 TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

6.5.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データ TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた UTLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

6.5.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCBWB:読み出し; OCBI、MOVCA.L:書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、PTEH、PTELの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

6.5.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します (OCBP、OCBWB:読み出し; OCBI、MOVCA.L:書き込み)。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLB保護違反例外処理ルーチン)

データTLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

6.5.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、PTEH、PTELの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

6.6 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP2領域以外でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。

UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。アクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

6.6.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

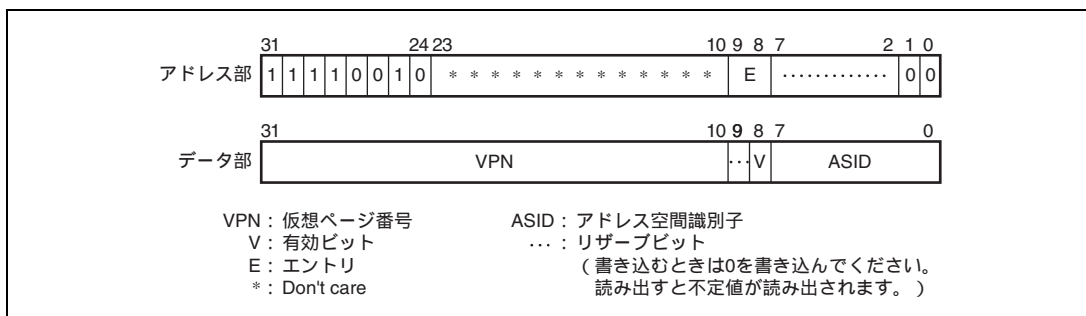


図 6.12 メモリ割り付け ITLB アドレスアレイ

6.6.2 ITLB データアレイ

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

2. ITLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

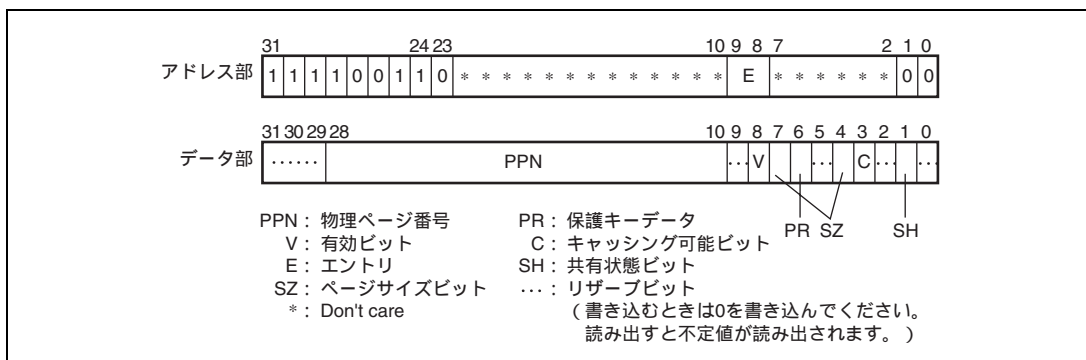


図 6.13 メモリ割り付け ITLB データアレイ

6.6.3 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の HF600 0000 ~ HF60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20] が UTLB アドレスアレイを示す HF60 になっており、[13:8] でエントリを選択するようになっています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10] が VPN を、[9] が D を、[8] が V を、[7:0] が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. UTLB アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

3. UTLB アドレスアレイ 書き込み (連想あり)

アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合は例外は発生せずノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側にも書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

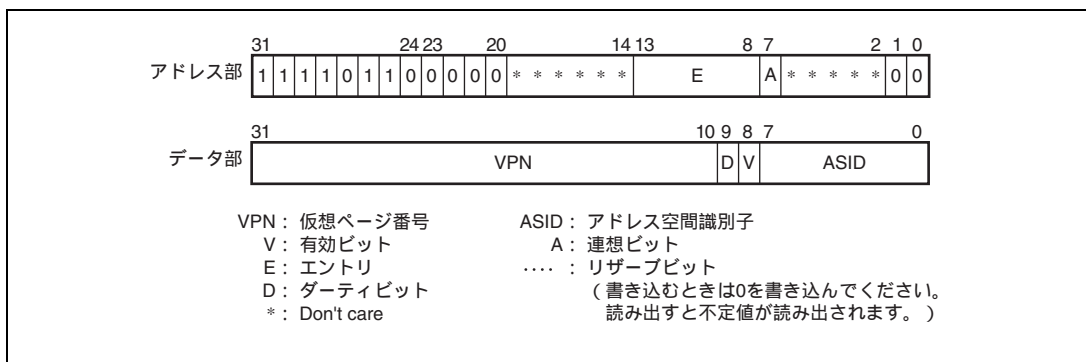


図 6.14 メモリ割り付け UTLB アドレスアレイ

6.6.4 UTLB データアレイ

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20] が UTLB データアレイを示す HF70 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6:5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

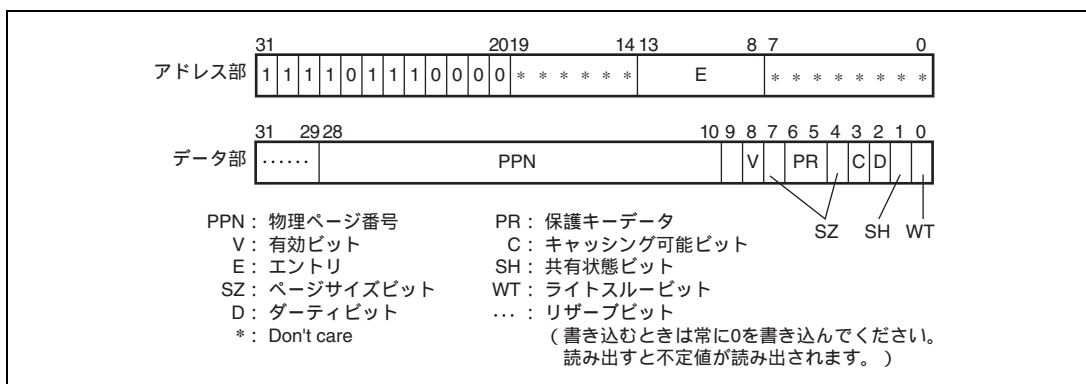


図 6.15 メモリ割り付け UTLB データアレイ

6.7 32 ビットアドレス拡張モード

本 LSI は PASCRC レジスタの SE ビットを 1 に設定することで、29 ビットの物理アドレス空間を扱う 29 ビットアドレスモードから、32 ビットの物理アドレス空間を扱う 32 ビットアドレス拡張モードに変更することができます。

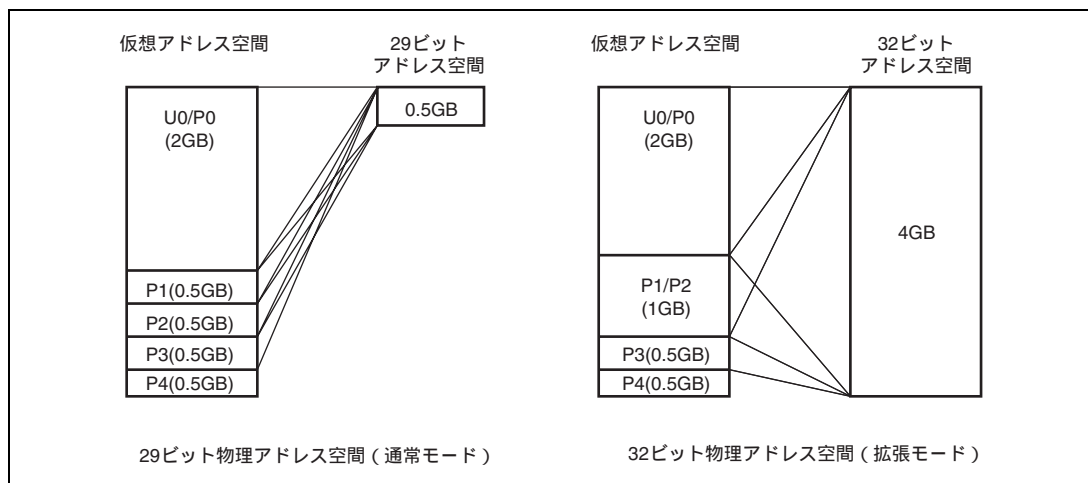


図 6.16 物理アドレス空間 (32 ビットアドレス拡張モード)

6.7.1 32 ビットアドレス拡張モード概要

32 ビットアドレス拡張モードでは、29 ビットアドレスモードではアドレス変換対象外である P1/P2 領域の仮想アドレスを、32 ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ (PMB) を導入します。また、既存の TLB (UTLB/ITLB) のアドレス変換対象領域についても、UTLB/ITLB の PPN フィールドの上位 3 ビットを拡張して、TLB 変換後のアドレスが 32 ビットの物理アドレスを扱えるようになります。

また、キャッシュの動作は、29 ビットアドレスモードでは固定的に P1 領域はキャッシング可能、P2 領域はキャッシング不可ですが、32 ビットアドレス拡張モードでは P1、P2 領域とも PMB の C ビットおよび WT ビットに従うようになります。

6.7.2 32 ビットアドレス拡張モードへの切り替え

本 LSI はパワーオンリセット後は 29 ビットアドレスモードです。PASCRC レジスタの SE ビットに 1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは MMU の動作は次のようになります。

1. MMUCR.AT=0のとき、U0/P0/P3領域の仮想アドレスはそのまま32ビット物理アドレスとなります。P1/P2領域のアドレスはPMBマッピング情報に従いアドレス変換されます。
PMBの仮想ページ番号の上位2ビット (VPN[31:30]) には、P1/P2領域を指し示すように必ずB'10を設定してください。B'10以外の値を設定した場合の動作は保証しません。
2. MMUCR.AT=1のとき、U0/P0/P3領域の仮想アドレスはTLB変換情報に従い32ビット物理アドレスに変換されます。P1/P2領域のアドレスはPMBマッピングの情報に従いアドレス変換されます。
PMBの仮想ページ番号の上位2ビット (VPN[31:30]) には、P1/P2領域を指し示すように必ずB'10を設定してください。B'10以外の値を設定した場合の動作は保証しません。
3. 制御レジスタ領域(H'FC00 0000 ~ H'FFFF FFFF)は、MMUCR.ATにかかわらず、物理アドレスの[31:29]がB'111となります。制御レジスタ領域をUTLBに登録してアクセスする場合には、PPN[31:29]にはB'111を設定してください。

6.7.3 特権空間マッピングバッファ (PMB) 構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスは PMB マッピング情報に従いアドレス変換されます。PMB は 16 エントリで各エントリは以下の構成です。

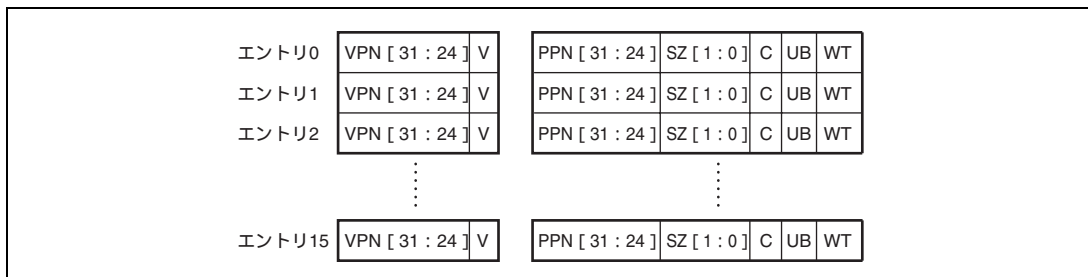


図 6.17 PMB の構成

【記号説明】

VPN : 仮想ページ番号

16M バイトページのと看、仮想アドレスの上位 8 ビット

64M バイトページのと看、仮想アドレスの上位 6 ビット

128M バイトページのと看、仮想アドレスの上位 5 ビット

512M バイトページのと看、仮想アドレスの上位 3 ビット

【注】 VPN の上位 2 ビットは、P1/P2 領域を指し示すように必ず B'10 を設定してください。

SZ : ページサイズビット

ページサイズを指定します。

00 : 16M バイトページ

01 : 64M バイトページ

10 : 128M バイトページ

11 : 512M バイトページ

V : 有効ビット

エントリが有効かどうかを示します。

0 : 無効

1 : 有効

パワーオンリセット時に 0 にクリアされます。

マニュアルリセット時に変化しません。

PPN : 物理ページ番号

物理アドレスの上位 8 ビット

16M バイトページのと看、PPN[31:24]が有効

64M バイトページのと看、PPN[31:26]が有効

128M バイトページのと看、PPN[31:27]が有効

512M バイトページのと看、PPN[31:29]が有効

C : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

0 : キャッシング不可能

1 : キャッシング可能

WT : ライトスルービット

キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

6.7.4 PMB の機能

本 LSI がサポートする PMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、本LSIはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. 本LSIはPMBが多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMBにはPRフィールドは存在せず、リード/ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

6.7.5 メモリ割り付け PMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV.L 命令によって PMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイは P4 領域の H'F610 0000 ~ H'F61F FFFF に、PMB のデータアレイは P4 領域の H'F710 0000 ~ H'F71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C = 0 に設定したページの領域に配置してください。

1. PMBアドレスアレイリード

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にVPN、[8]にVが読み出されます。

2. PMBアドレスアレイライト

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定し、データとして[31:24]にVPN、[8]にVを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

3. PMBデータアレイリード

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTが読み出されます。

4. PMBデータアレイライト

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定し、データとして[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

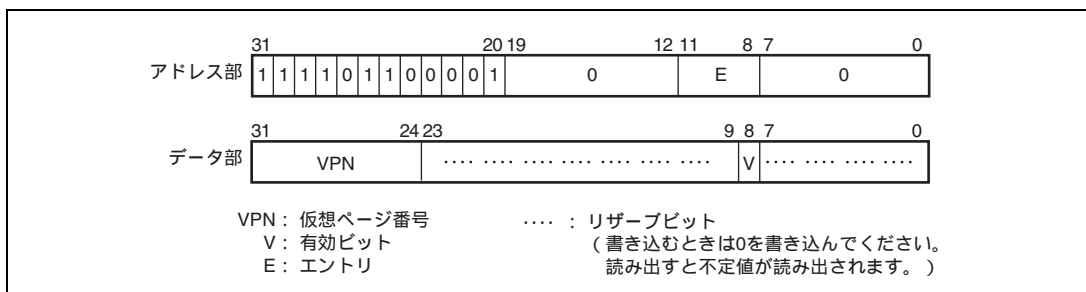


図 6.18 メモリ割り付け PMB アドレスアレイ

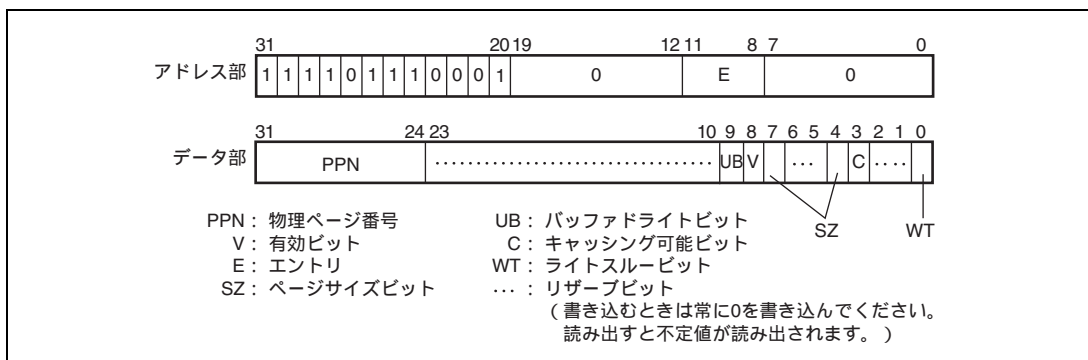


図 6.19 メモリ割り付け PMB データアレイ

6.7.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張または変更されますので、注意してください。

(1) PASC.R.SE

制御レジスタ PASC.R[31]に SE ビットが追加になります。また、UB[6:0]は無効になります (UB[7]は 32 ビットアドレス拡張モードでも有効です)。

バッファドライトになるか否かは、P1/P2 領域に対するライトでは PMB の UB ビットにより制御されます。P0/P3/U0 領域に対するライトでは、MMU がイネーブルの場合 TLB の UB ビットにより制御され、MMU がディスエーブルの場合、常にバッファドライトになります。

ビット	ビット名	初期値	R/W	説明
31	SE	0	R/W	アドレスモード 0: 29 ビットアドレスモード 1: 32 ビットアドレス拡張モード
30~8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込み時に CPU が書き込みの完了を待つかどうかをエリアごとに指定します。 0: CPU は書き込みの完了を待ちません 1: CPU は書き込みが完了するまでストールして待ちます。 UB [7]: 制御レジスタ領域のバッファドライト制御 UB [6:0]: エリア (64M バイト) ごとのバッファドライト制御 (32 ビットアドレス拡張モードでは無効)

(2) ITLB

ITLB の PPN フィールドが[31:10]へ拡張されます。

(3) UTLB

UTLB の各エントリに PMB の UB ビットと同じ意味の UB ビットが追加になります。

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続処理を開始する)

1 : アンバッファドライト (ライト完了を待ち後続処理を開始する)

UB ビットはメモリ割り付け TLB アクセスではデータアレイのビット[9]でリード/ライトが行えます。

(4) PTEL

UTLB と同様に PTEL レジスタのビット[9]に PMB の UB ビットと同じ意味の UB ビットが追加になります。

この UB ビットは LDTLB 命令によって UTLB の UB ビットへ書き込まれます。また PPN フィールドが[31:10]に拡張されます。

(5) CCR.CB

CCR レジスタの CB ビットは無効になります。P1 領域に対するキャッシュブレイクライトがコピーバックモードになるか、ライトスルーモードになるかは、PMB の WT ビットに従います。

(6) IRMCR.MT

IRMCR の MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

(7) QACR0、QACR1

QACR0、QACR1 レジスタの AREA0[4:2]、AREA[4:2]がそれぞれ AREA0[7:2]、AREA1[7:2]に拡張され、物理アドレス 31 ~ 26 に対応します。

(8) LSA0、LSA1、LDA0、LDA1

LOSADR、L1SADR、L0DADR、L1DADR がそれぞれ[31:0]に拡張されます。

また、32 ビットアドレスモード使用時にはソフトウェアは以下の点に注意してください。

1. SEビットの切り替えは、パワーオンリセットまたはマニュアルリセット後のキャッシュとTLBがオフのブートルーチンで0から1への切り替えのみサポートされています。
2. SEビット切り替え後、そのプログラムの配置されている領域自体がPMBアドレス変換対象となりますので、SEビットの切り替えに先立ってPMBへの登録が必要です。例外ハンドラなど、P1/P2領域へアクセスされる可能性のあるアドレスについても必ずPMBへの登録を行ってください。
3. SEビットを切り替えるMOV.L命令の前にあるオペランドメモリアクセスが外部メモリアクセスを起こす場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異ならないようにしてください。

4. PMBの登録時にVビットがアドレスレイとデータレイの両方にマッピングされていることに注意してください。すなわち、1回目的一方への書き込みではV = 0を、2回目の他方への書き込みではV = 1を書き込んでください。

6.8 使用上の注意事項

MMUCR.URC にソフトウェアで書き込まずに、LDTLB 命令を実行する場合は、下記の(1)または(2)のどちらかを行ってください。

- (1) 29 ビットアドレスモードの時は、次の(a)および(d)の両方を行ってください。32 ビットアドレスモードの時は、(a)から(d)をすべて行ってください。
 - (a) TLB ミス例外処理ルーチン*¹ は P1 あるいは P2 領域のみに配置して、TLB ミス例外処理ルーチンでの命令アクセス*³ は P1 あるいは P2 領域のみにするようにしてください。
 - (b) TLB ミス例外処理ルーチン*¹ での命令アクセス*³ は、PMB の 1 ページのみを使用してください。かつ、PMB のページの最後 64 バイトに置かないでください。(32 ビットアドレスの場合のみ)
 - (c) MMU 関係例外*² 処理ルーチンで UTLB に登録する際は、次の 1. と 2. の両方の条件に従ってください。(32 ビットアドレスの場合のみ)
 1. TLBミス例外が発生した時、次の 2 回の動作で例外が発生したページをUTLBに登録する方法は行わないでください。
 - TLBミス例外を発生させた命令を再実行するときに保護違反例外が起こるような保護キーデータを指定して、TLBミス例外が発生したページをUTLBに登録する。
 - 保護違反例外の例外処理ルーチンで保護違反例外が起こらない保護キーデータを指定してUTLBに登録し、保護違反例外を発生させた命令を再実行する。
 2. 初期書き込み例外が発生し、一度ダーティビットに1を設定したソフトウェアが意図的にTLBから抹消したりダーティビットを0にしたページは除きます。
 - (d) MMU 関係例外処理ルーチンでは FDIV 命令または FSQRT 命令をしようしないでください。
- (2) TLB ミス例外が発生した際は、MMUCR.URC に 1 を加算してから LDTLB 命令を実行してください。

- 【注】
- *¹ 例外処理ルーチン：例外発生時の VBR + オフセットの番地から、元のプログラムに復帰する RTE および RTE の遅延スロットに至るまでに実行されるすべての命令を意味します。
 - *² MMU 関係例外：命令 TLB ミス例外、命令 TLB ミス保護違反例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外を意味します。
 - *³ 命令アクセス：PREFI 命令と ICBI 命令によるアクセスを含みます。

7. キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

7.1 特長

キャッシュの特長を表 7.1 に示します。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 7.2 に示します。

表 7.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 7.2 ストアキューの特長

項目	ストアキュー
容量	2 × 32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時 : MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時 : 個々のページ PR による

本 LSI のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 7.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 7.2 に命令キャッシュの構成を示します。

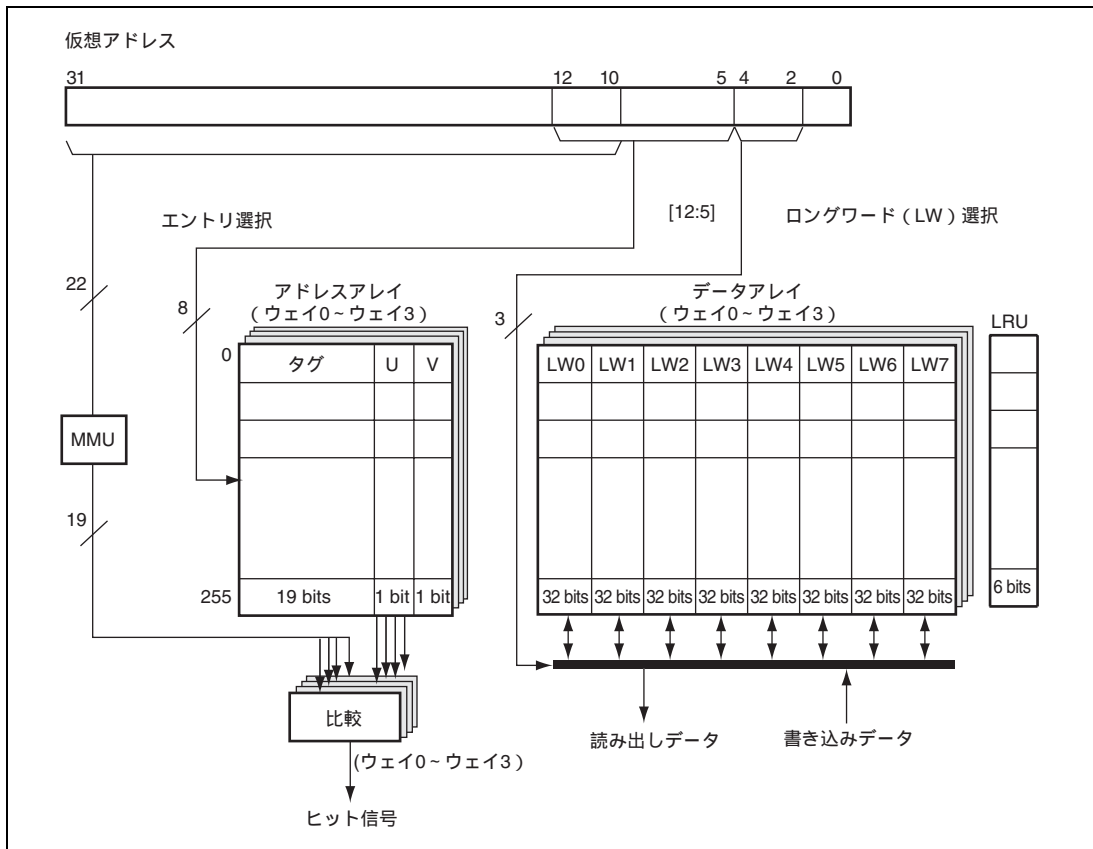


図 7.1 オペランドキャッシュの構成

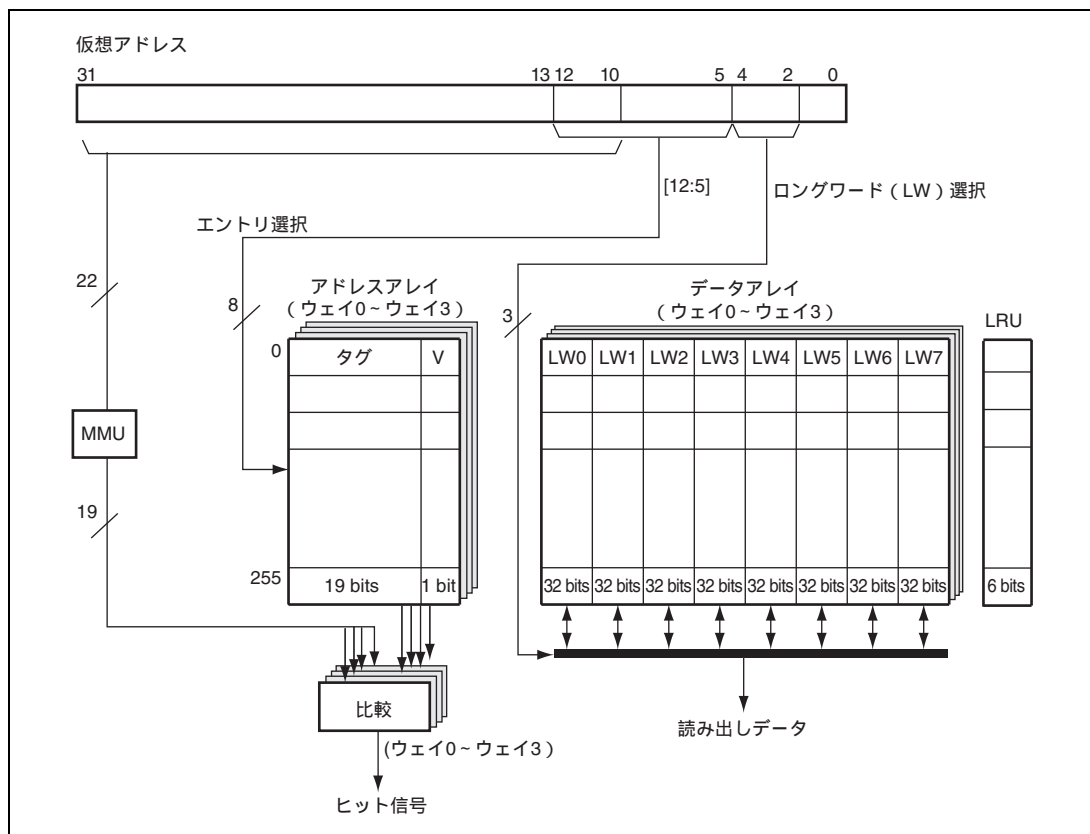


図 7.2 命令キャッシュの構成

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ(「7.6 メモリ割り付けキャッシュの構成」参照)をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

7.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 7.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 7.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持
キューアドレス制御レジスタ0	QACR0	不定	不定	保持	保持
キューアドレス制御レジスタ1	QACR1	不定	不定	保持	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持

7.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムのみで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICI	-	-	ICE	-	-	-	-	OCI	CB	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10, 9	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
3	OCI	0	R/W	OC無効化ビット このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読み出されます。
2	CB	0	R/W	コピーバックビット P1領域のキャッシュへの書き込みモードを示します。 0: ライトスルーモード 1: コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWTビットの値を優先します。 0: コピーバックモード 1: ライトスルーモード
0	OCE	0	R/W	OC有効ビット OCの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければOCを使用できません。 0: OCを使用しない 1: OCを使用する

7.2.2 キューアドレス制御レジスタ0 (QACR0)

QACR0は、MMUがディスエーブルのとき、ストアキュー0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA0	不定	R/W	MMUがディスエーブルのとき、SQ0に対する物理アドレス28~26を生成します。

ビット	ビット名	初期値	R/W	説明
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

7.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー 1 (SQ1) がマップされているエリアを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

7.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または L メモリ領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング不可領域または L メモリ領域ではありません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. RAMCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「8.4 Lメモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「8.4 Lメモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0: IC は 4 ウェイ動作 1: IC は 2 ウェイ動作 詳細は「7.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0: OC は 4 ウェイ動作 1: OC は 2 ウェイ動作 詳細は「7.3.6 OC 2 ウェイモード」を参照してください。
5~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

7.3 オペランドキャッシュの動作説明

7.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 3. タグが一致かつVビットが1のウェイが存在する場合
 4. タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合
 5. タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウエイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウエイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウエイが存在する場合 3.
 - タグが一致かつVビットが1のウエイが存在せず、LRUビットにより選択された置換対象ウエイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウエイが存在せず、LRUビットにより選択された置換対象ウエイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウエイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウエイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウエイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウエイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウエイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウエイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

	コピーバック	ライトスルー
• タグが一致かつVビットが1のウェイが存在する場合	3.	4.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合	5.	7.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合	6.	7.

3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス (コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます (ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます (ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス(ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

7.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

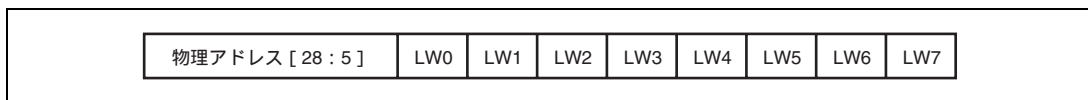


図 7.3 ライトバックバッファの構成

7.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

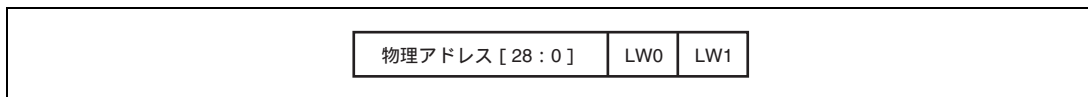


図 7.4 ライトスルーバッファの構成

7.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

7.4 命令キャッシュの動作説明

7.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

7.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

7.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを 1 にセットすると、IC のウェイ 0 とウェイ 1 のみを使用する IC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付け IC アクセスも含め、ウェイ 0 とウェイ 1 のみが使用されます。

IC2W ビットの書き換えは P2 領域のプログラムで行うようにしてください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

7.5 キャッシュ操作命令

7.5.1 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細はプログラミングマニュアルを参照してください。

- オペランドキャッシュインバリデイト命令 : OCBI @Rn
オペランドキャッシュの無効化 (書き戻しなし)
- オペランドキャッシュパーズ命令 : OCBP @Rn
オペランドキャッシュの無効化 (書き戻しあり)
- オペランドキャッシュライトバック命令 : OCBWB @Rn
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令 : MOVCA.L R0, @Rn
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令 : ICBI @Rn
命令キャッシュの無効化
- オペランドアクセス同期命令 : SYNCO
データ転送の完了待ち

またオペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、以下の制限事項が生じます。

- 1Kバイトのページサイズを使用しないでください。

(1) PURGE トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

(2) FLUSH トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

7.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細はプログラミングマニュアルを参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

7.6 メモリ割り付けキャッシュの構成

IC、OC をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって IC の内容の読み出し / 書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3 領域への分岐は、以下の 1~3 のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

また、特権モードのとき、P1、P2 領域のプログラムから MOV 命令によって OC の内容の読み出し / 書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OC は仮想アドレス空間の P4 領域に割り付けられています。IC のアドレスアレイ / データアレイ、OC のアドレスアレイ / データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには 0 を設定するようにしてください。予約ビットの読み出し値は不定です。

7.6.1 IC アドレスアレイ

IC のアドレスアレイは P4 領域の H'F000 0000 ~ H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと V ビットを指定します。

アドレス部は[31:24]が IC アドレスアレイを示す H'F0 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[0]が V ビットを示します。IC アドレスアレイのタグは 19 ビットのためデータ部 [31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する IC エントリから、データ部へタグと V ビットを読み出します。読み出す場合アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

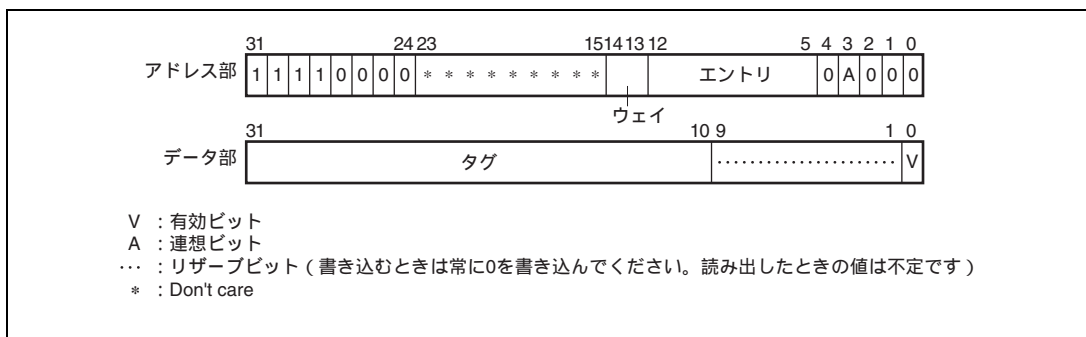


図 7.5 メモリ割り付け IC アドレスアレイ

7.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

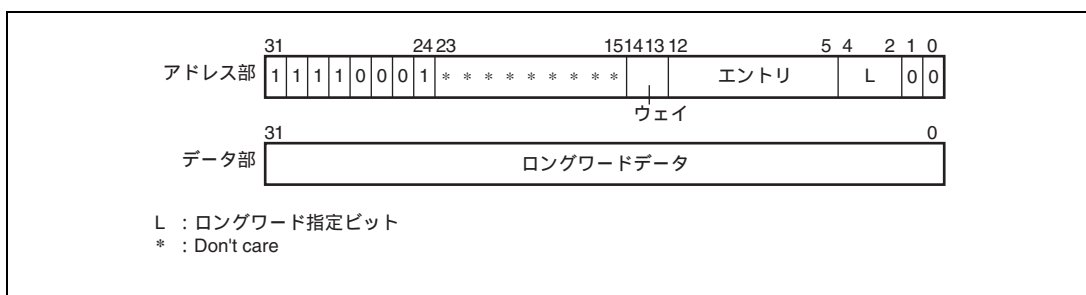


図 7.6 メモリ割り付け IC データアレイ

7.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するOCエントリに対して、データ部で指定されたタグとUビットとVビットを書き込みます。アドレス部のAビットは0にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

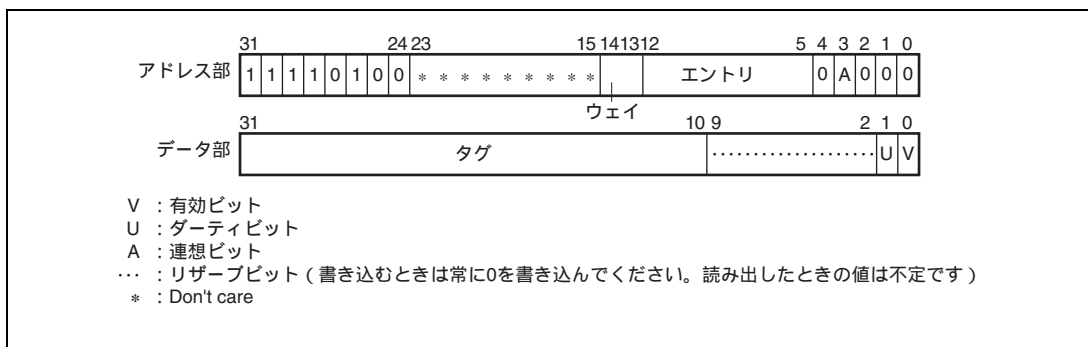


図 7.7 メモリ割り付け OC アドレスアレイ

7.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイトとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の U ビットは 1 になりません。

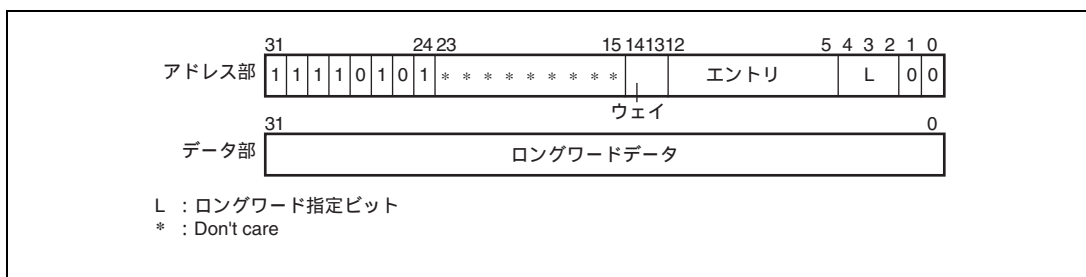


図 7.8 メモリ割り付け OC データアレイ

7.7 ストアキュー

本 LSI では、外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

7.7.1 SQ の構成

SQ は図 7.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

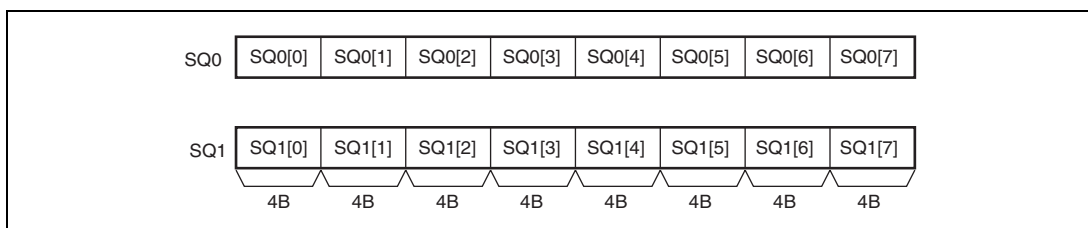


図 7.9 ストアキューの構成

7.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

7.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令(PREF)により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10]を生成します。物理アドレスの[9:5]についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル (MMUCR.AT = 0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス[28:26]は、QACR0、QACR1から生成します。

QACR0[4:2] : SQ0に対する物理アドレス[28:26]

QACR1[4:2] : SQ1に対する物理アドレス[28:26]

物理アドレスの[4:0]は、パースト転送の開始が32バイト境界のため常に0固定となります。

7.7.4 SQ アクセスの例外判定

SQ への書き込みおよび外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル (MMUCR.AT = 1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル (MMUCR.AT = 0) の場合

SQMDビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

7.7.5 SQ からの読み出し

本 LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

7.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

1. ICおよびOCのタグが[28:10]の19ビットから、[31:10]の22ビットに拡張されます。
2. ICを操作する命令（メモリ割り付けICアクセスおよびCCR.ICI書き込み）を配置する領域は、P1またはP2領域とし、PMBの当該エントリのキャッシング可能ビット（Cビット）を0にしてください。
3. QACR0レジスタのAREA0ビットおよびQACR1レジスタのAREA1ビットがそれぞれ[4:2]の3ビットから[7:2]の6ビットに拡張されます。

8. Lメモリ

本 LSI は Lメモリモジュールを内蔵しており、命令やデータを格納することができます。

8.1 特長

- 容量：
Lメモリ合計で16Kバイトです。
- ページ：
Lメモリは2ページ（ページ0および1）に分かれています。
- メモリマップ：
本メモリは、仮想アドレス空間、物理アドレス空間とも、表8.1に示されるアドレスに配置されています。

表 8.1 Lメモリアドレス

ページ	メモリサイズ (2 ページ合計)
	16K バイト
Lメモリ ページ0	H'E500E000 ~ H'E500FFFF
Lメモリ ページ1	H'E5010000 ~ H'E5011FFF

- ポート：
各ページは3本の独立した読み出し / 書き込みポートを持ち、各バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはオペランドバスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、オペランドバス、命令バスとなります。

8.2 レジスタの説明

Lメモリに関するレジスタは以下のとおりです。

表 8.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
Lメモリ転送元アドレスレジスタ0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
Lメモリ転送元アドレスレジスタ1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
Lメモリ転送先アドレスレジスタ0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
Lメモリ転送先アドレスレジスタ1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.3 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持
Lメモリ転送元アドレスレジスタ0	LSA0	不定	不定	保持	保持
Lメモリ転送元アドレスレジスタ1	LSA1	不定	不定	保持	保持
Lメモリ転送先アドレスレジスタ0	LDA0	不定	不定	保持	保持
Lメモリ転送先アドレスレジスタ1	LDA1	不定	不定	保持	保持

8.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は Lメモリの保護機能の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの Lメモリへのアクセス権を指定します。 0: 特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ / 特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの Lメモリへのアクセスに対して、ITLB、UTLB を用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「8.4 Lメモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC2ウェイモードビット 詳細は「7.4.3 IC2ウェイモード」を参照してください。
6	OC2W	0	R/W	OC2ウェイモードビット 詳細は「7.3.6 OC2ウェイモード」を参照してください。
5~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

8.2.2 Lメモリ転送元アドレスレジスタ0 (LSA0)

LSA0は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ0へのブロック転送において、転送元の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LOSADR															
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOSADR						—	—	—	—	LOSSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	LOSADR	不定	R/W	Lメモリページ0ブロック転送元アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	LOSSZ	不定	R/W	Lメモリページ0ブロック転送元アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、LOSADRの値を使用するかを選択します。LOSSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスにLOSADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

8.2.3 Lメモリ転送元アドレスレジスタ1 (LSA1)

LSA1は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ1へのブロック転送において、転送元の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1SADR															
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						—	—	—	—	L1SSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L1SADR	不定	R/W	Lメモリページ1ブロック転送元アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L1SSZ	不定	R/W	Lメモリページ1ブロック転送元アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L1SADRの値を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスにL1SADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

8.2.4 Lメモリ転送先アドレスレジスタ0 (LDA0)

LDA0は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ0へのブロック転送において、転送先の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LODADR															
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LODADR						—	—	—	—	LODSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	LODADR	不定	R/W	Lメモリページ0ブロック転送先アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	LODSZ	不定	R/W	Lメモリページ0ブロック転送先アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、LODADRの値を使用するかを選択します。LODSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスにLODADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

8.2.5 Lメモリ転送先アドレスレジスタ1 (LDA1)

LDA1は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ1へのブロック転送において、転送先の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1DADR															
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	—	L1DSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L1DADR	不定	R/W	Lメモリページ1ブロック転送先アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L1DSZ	不定	R/W	Lメモリページ1ブロック転送先アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L1DADRの値を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスにL1DADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

8.3 動作説明

8.3.1 CPU および FPU からのアクセス

CPU および FPU からのアクセスは仮想アドレスにより、命令バスまたはオペランドバスから行います。ページ競合が発生しない限り 1 サイクルアクセスになります。

8.3.2 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

8.3.3 ブロック転送

Lメモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから Lメモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を仮想アドレス空間の Lメモリ領域のアドレスに対して発行することにより、外部メモリから Lメモリへのブロック転送が開始されます。

Lメモリから外部メモリへの転送は、ライトバック命令 (OCBWB) により行えます。OCBWB 命令を仮想アドレス空間の Lメモリ領域のアドレスに対して発行することにより、Lメモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位 5 ビットは無視され、常にすべて 0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

Lメモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) かつ RAMCR.RP = 1 の場合

UTLB の VPN フィールドに Lメモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

Lメモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。この物理アドレスで指定される外部メモリから Lメモリへブロック転送が行われます。

Lメモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。Lメモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

(2) MMU ディスエーブル (MMUCR.AT = 0) または RAMCR.RP = 0 の場合

LSA0 レジスタの LOSADR ビットに L メモリページ 0 へのブロック転送の転送元となる物理アドレスを設定し、LOSSZ ビットに、転送元の物理アドレスのビット 15 ~ 10 として PREF 命令で指定された仮想アドレスを使用するか、LOSADR の値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を 1K バイト ~ 64K バイト単位で設定可能です。

LDA0 レジスタの LODADR ビットに L メモリページ 0 からのブロック転送の転送先となる物理アドレスを設定し、LODSZ ビットに、転送先の物理アドレスのビット 15 ~ 10 として OCBWB 命令で指定された仮想アドレスを使用するか、LODADR の値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を 1K バイト ~ 64K バイト単位で設定可能です。

L メモリページ 1 に対するブロック転送の設定も、ページ 0 と同様に LSA1 および LDA1 に対して行います。

L メモリ領域への PREF 命令が発行されると、LSA0 レジスタまたは LSA1 レジスタの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] については仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。この物理アドレスで指定される外部メモリから L メモリへブロック転送が行われます。

L メモリ領域への OCBWB 命令が発行されると、LDA0 レジスタまたは LDA1 レジスタの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] については仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。L メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

8.4 Lメモリの保護機能

本 LSI では、L メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPU および FPU からのアクセスに対する保護機能

RAMCR.RMD = 0 のとき、ユーザーモードでのアクセスをアドレスエラー例外と判定します。

また MMUCR.AT = 1 かつ RAMCR.RP = 1 のときは、アドレスエラー例外の判定に加えて、P4 領域の一部である L メモリ領域も P0/P3/U0 領域と同じように MMU 例外の判定を行います。

以上を表 8.4 にまとめます。

表 8.4 Lメモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	*	0	0	アドレスエラー例外	-	
			1	-	-	
		1	*	-	-	
1	0	0	0	アドレスエラー例外	-	
			1	-	-	
		1	*	-	-	
	1	0	0	0	アドレスエラー例外	-
				1	-	MMU 例外
		1	*	-	MMU 例外	

【記号説明】* : Don't care

8.5 使用上の注意

8.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

8.5.2 Lメモリのコヒーレンシ

Lメモリに命令を配置する場合、Lメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく（Lメモリのアドレスでもよい）、キャッシュヒット/ミスどちらでもかまいません。

8.5.3 スリープモード

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから本メモリへのアクセスは行えません。

8.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、LSA0 レジスタの LOSADR ビット、LSA1 レジスタの LISADR ビット、LDA0 レジスタの LODADR ビット、LDA1 レジスタの LIDADR ビットがそれぞれ[28:10]の 19 ビットから[31:10]の 22 ビットに拡張されます。

9. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU (SH-4A) への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。

9.1 特長

(1) SH-4 互換仕様

INTC には次のような特長があります。

- 外部割り込みの割り込み優先順位を15レベル設定可能

割り込み優先レベル設定レジスタにより、外部割り込みの優先順位を端子別に15レベルまで設定することができます。

- NMI/IRLノイズキャンセル

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- SR.BLビットが1にセットされたときのNMI要求のマスク

SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。

(2) SH-4A で拡張される機能

- SR.IMASKビットを受け付けた割り込みレベルに自動更新可能

- 内蔵モジュール割り込みの優先順位は30レベル設定可能

13本の割り込み優先レベル設定レジスタにより、内蔵モジュール割り込みの優先順位を要求別に30レベルまで設定することができます。

- ユーザモード割り込み禁止機能

ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

図 9.1 に INTC のブロック図を示します。

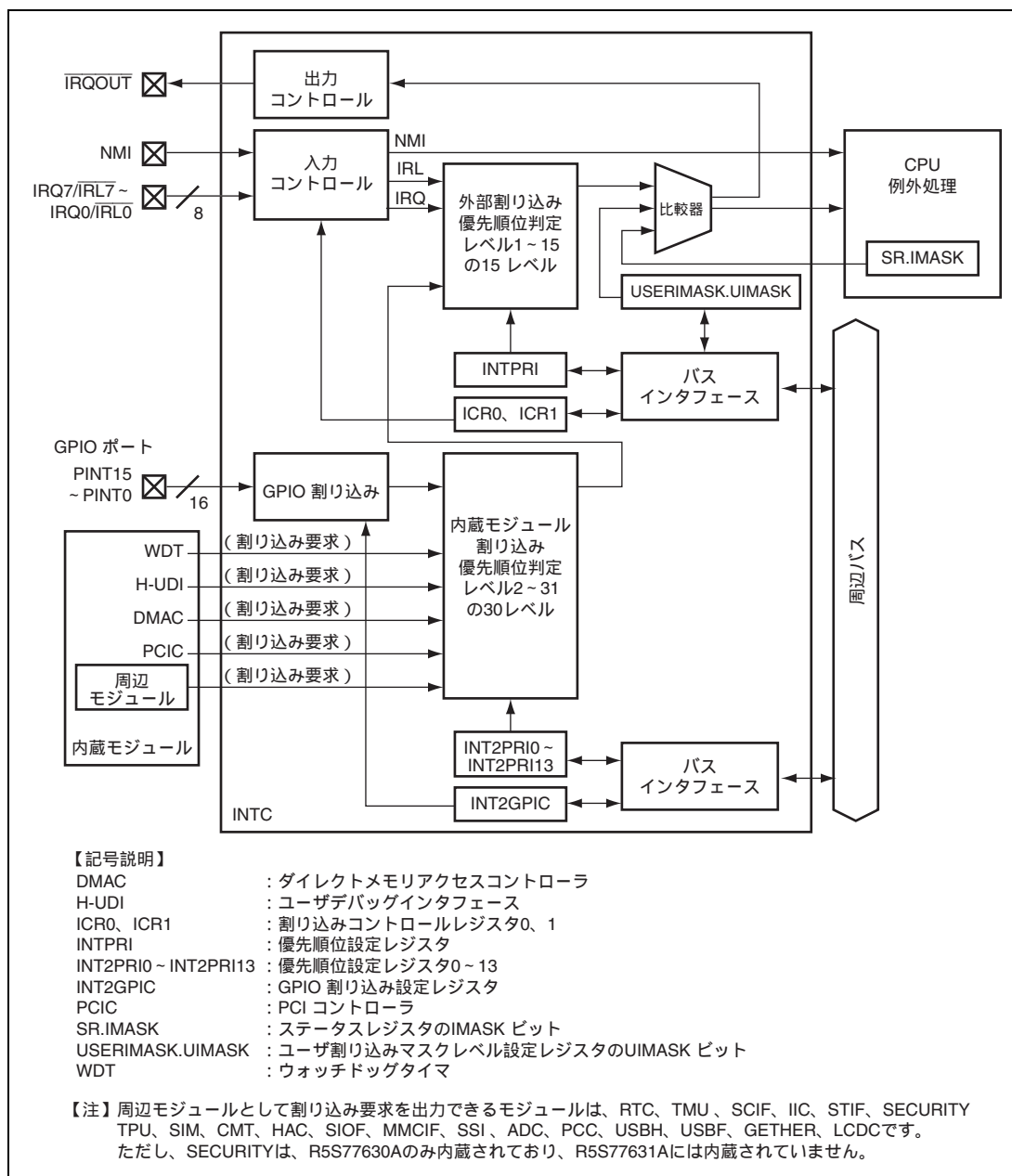


図 9.1 INTC のブロック図

9.1.1 割り込み方式

割り込み発生時の基本的な例外処理の流れは次のようになります。

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、汎用レジスタ 15 (R15) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。

割り込み例外処理ルーチンの先頭番地ベクタベースレジスタ (VBR) + H'600にジャンプします。

7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

9.1.2 INTC で想定する割り込み

想定する割り込み種別の例を表 9.1 に示します。INTC では外部割り込み要因と内蔵モジュール割り込み要因をサポートします。

外部割り込み要因とは、外部端子からの入力による NMI、IRL、IRQ 割り込みのことです。また、本 LSI では IRQ、IRL 割り込み入力、同一端子に割り付けられているのでシステム形態により使用方法を選択設定します。

IRQ 割り込みでは検出方法としてレベルのほか、立ち上がりエッジ、立ち下がりエッジも選択可能です。

表 9.1 想定する割り込み

要因		要因数 (最大)	優先順位	INTEVT (例外コード)	備考
外部割り込み	NMI	1	-	H'1C0	
	IRL ^{*1}	2	端子入力値の反転値 (負極性端子のため) 入力レベル = L : ローレベル H : ハイレベル (表 9.6 参照)	H'200 H'220 H'240 H'260 H'280 H'2A0 H'2C0 H'2E0 H'300 H'320 H'340 H'360 H'380 H'3A0 H'3C0	$\overline{\text{IRL}}[7:4] = \text{LLLL} (\text{H}'0)$ $\overline{\text{IRL}}[3:0] = \text{LLLL} (\text{H}'0)$ $\overline{\text{IRL}}[7:4] = \text{LLHH} (\text{H}'1)$ $\overline{\text{IRL}}[3:0] = \text{LLHH} (\text{H}'1)$ $\overline{\text{IRL}}[7:4] = \text{LLHL} (\text{H}'2)$ $\overline{\text{IRL}}[3:0] = \text{LLHL} (\text{H}'2)$ $\overline{\text{IRL}}[7:4] = \text{LLHH} (\text{H}'3)$ $\overline{\text{IRL}}[3:0] = \text{LLHH} (\text{H}'3)$ $\overline{\text{IRL}}[7:4] = \text{LHLL} (\text{H}'4)$ $\overline{\text{IRL}}[3:0] = \text{LHLL} (\text{H}'4)$ $\overline{\text{IRL}}[7:4] = \text{LHLH} (\text{H}'5)$ $\overline{\text{IRL}}[3:0] = \text{LHLH} (\text{H}'5)$ $\overline{\text{IRL}}[7:4] = \text{LHHL} (\text{H}'6)$ $\overline{\text{IRL}}[3:0] = \text{LHHL} (\text{H}'6)$ $\overline{\text{IRL}}[7:4] = \text{LHHH} (\text{H}'7)$ $\overline{\text{IRL}}[3:0] = \text{LHHH} (\text{H}'7)$ $\overline{\text{IRL}}[7:4] = \text{HLLL} (\text{H}'8)$ $\overline{\text{IRL}}[3:0] = \text{HLLL} (\text{H}'8)$ $\overline{\text{IRL}}[7:4] = \text{HLLH} (\text{H}'9)$ $\overline{\text{IRL}}[3:0] = \text{HLLH} (\text{H}'9)$ $\overline{\text{IRL}}[7:4] = \text{HLHL} (\text{H}'A)$ $\overline{\text{IRL}}[3:0] = \text{HLHL} (\text{H}'A)$ $\overline{\text{IRL}}[7:4] = \text{HLHH} (\text{H}'B)$ $\overline{\text{IRL}}[3:0] = \text{HLHH} (\text{H}'B)$ $\overline{\text{IRL}}[7:4] = \text{HHLL} (\text{H}'C)$ $\overline{\text{IRL}}[3:0] = \text{HHLL} (\text{H}'C)$ $\overline{\text{IRL}}[7:4] = \text{HHLH} (\text{H}'D)$ $\overline{\text{IRL}}[3:0] = \text{HHLH} (\text{H}'D)$ $\overline{\text{IRL}}[7:4] = \text{HHHL} (\text{H}'E)$ $\overline{\text{IRL}}[3:0] = \text{HHHL} (\text{H}'E)$

要 因		要因数 (最大)	優先順位	INTEVT (例外コード)	備 考	
外部割り込み	IRQ	8	INTPRI レジスタ設定値	H'240	IRQ[0]	高 ↑ ↓ 低
				H'280	IRQ[1]	
				H'2C0	IRQ[2]	
				H'300	IRQ[3]	
				H'340	IRQ[4]	
				H'380	IRQ[5]	
				H'3C0	IRQ[6]	
				H'200	IRQ[7]	
内蔵 モジュール 割り込み	RTC	3	INT2PRI0 ~ INT2PRI13 レジスタ設定値	H'480	ATI	
				H'4A0	PRI	
				H'4C0	CUI	
	SECURITY* ³	1		H'4E0*	SECI	
	WDT	1		H'560	ITI	
	TMU0	1		H'580	TUNIO	
	TMU1	1		H'5A0	TUNI1	
	TMU2	2		H'5C0	TUNI2	
				H'5E0	TICPI2	
	H-UDI	1		H'600	H-UDI	
	LCDC	1		H'620	LCDCI	
	DMAC	7 (5/7)		H'640	DMTE0	
				H'660	DMTE1	
				H'680	DMTE2	
				H'6A0	DMTE3	
				H'6C0	DMAE (ch0 ~ ch5 共通)	
	SCIF0	4		H'700	ERIO	
				H'720	RXIO	
				H'740	BRI0	
H'760			TXIO			
DMAC	7 (2/7)	H'780	DMTE4			
		H'7A0	DMTE5			
IIC0	1	H'8A0	IICIO			
IIC1	1	H'8C0	IIC1I			
CMT	1	H'900	CMTI			

要 因		要因数 (最大)	優先順位	INTEVT (例外コード)	備 考
内蔵 モジュール 割り込み	GETHER	3	INT2PRI0 ~ INT2PRI13 レジスタ設定値	H'920	GEINT0
				H'940	GEINT1
				H'960	GEINT2
	HAC	1		H'980	HACI
	PCIC0	1		H'A00	SERR
	PCIC1	1		H'A20	INTA
	PCIC2	1		H'A40	INTB
	PCIC3	1		H'A60	INTC
	PCIC4	1		H'A80	INTD
	PCIC5	5		H'AA0	ERR
				H'AC0	PWD3
				H'AE0	PWD2
				H'B00	PWD1
				H'B20	PWD0
	STIF0	1		H'B40	STIF0
	STIF1	1		H'B60	STIF1
	SCIF1	4		H'B80	ERI1
				H'BA0	RX1
				H'BC0	BRI1
				H'BE0	TXI1
	SIOF0	1		H'C00	SIOF0
	SIOF1	1		H'C20	SIOF1
	SIOF2	1		H'C40	SIOF2
	USBH	1		H'C60	USBHI
	USBF	2		H'C80	USBF10
				H'CA0	USBF11
	TPU	1		H'CC0	TPI
	PCC	1		H'CE0	PCCI
	MMCIF	4		H'D00	FSTAT
				H'D20	TRAN
		H'D40	ERR		
		H'D60	FRDY		
SIM	4	H'D80	ERI		
		H'DA0	RXI		
		H'DC0	TXI		
		H'DE0	TEND		

要 因		要因数 (最大)	優先順位	INTEVT (例外コード)	備 考
内蔵 モジュール 割り込み	TMU3	1	INT2PRI0 ~ INT2PRI13 レジスタ設定値	H'E00	TUNI3
	TMU4	1		H'E20	TUNI4
	TMU5	1		H'E40	TUNI5
	ADC	1		H'E60	ADI
	SSI0	1		H'E80	SSI0
	SSI1	1		H'EA0	SSI1
	SSI2	1		H'EC0	SSI2
	SSI3	1		H'EE0	SSI3
	SCIF2	4		H'F00	ERI2
				H'F20	RXI2
				H'F40	BRI2
				H'F60	TXI2
				H'F80	CH0
GPIO	4	H'FA0	CH1		
		H'FC0	CH2		
		H'FE0	CH3		

【注】 *1 $\overline{IRL[3:0]}$ (IRQ3/ $\overline{IRL3}$ ~ IRQ0/ $\overline{IRL0}$ 端子) による IRL 割り込みと $\overline{IRL[7:4]}$ (IRQ7/ $\overline{IRL7}$ ~ IRQ4/ $\overline{IRL4}$ 端子) による IRL 割り込みには同じ INTEVT コードが割り当てられているため、 $\overline{IRL[3:0]}$ による IRL 割り込みか $\overline{IRL[7:4]}$ による IRL 割り込みかを判別することはできません。

(本 LSI には $\overline{IRL[3:0]}$ による IRL 割り込みと $\overline{IRL[7:4]}$ による IRL 割り込みとを区別するフラグはありません。)

*2 内蔵モジュール割り込みの要因で使用している略称

ITI : WDT インターバルタイマ割り込み
TUNI0 ~ TUNI5 : TMU チャンネル 0 ~ 5 アンダフロー割り込み
TICPI2 : TMU チャンネル 2 インพุットキャプチャ割り込み
DMINT0 ~ DMINT11 : DMAC チャンネル 0 ~ 5 転送終了割り込み
DMAE : DMAC アドレスエラー割り込み (チャンネル 0 ~ 11 共通)
ERI0, ERI1 : SCIF チャンネル 0, 1 受信エラー割り込み
RXI0, RXI1 : SCIF チャンネル 0, 1 受信データフル割り込み
BRI0, BRI1 : SCIF チャンネル 0, 1 ブレーク割り込み要求
TXI0, TXI1 : SCIF チャンネル 0, 1 送信データエンプティ割り込み

*3 SECURITY は R5S77631A には内蔵されていません。R5S77631A の場合は、リザーブコードになります。

9.2 入出力端子

表 9.2 に端子構成を以下に示します。

表 9.2 INTC の端子構成

端子名	機能	入出力	説明
NMI	ノンマスクابل割り込み入力端子	入力	マスク不可能な割り込み要求信号入力
IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ0/ $\overline{\text{IRL0}}$	外部割り込み入力端子	入力	IRQ7 ~ IRQ0 または $\overline{\text{IRL}}[7:4]$ 、 $\overline{\text{IRL}}[3:0]$ 割り込み要求信号の入力 ICR0.IRLM0 が 0 のとき、 $\overline{\text{IRL}}[3:0]$ 割り込み要求信号を入力 ICR0.IRLM0 が 1 のとき、IRQ3 ~ IRQ0 割り込み要求信号を入力 ICR0.IRLM1 が 0 のとき、 $\overline{\text{IRL}}[7:4]$ 割り込み要求信号を入力 ICR0.IRLM1 が 1 のとき、IRQ7 ~ IRQ4 割り込み要求信号を入力
$\overline{\text{IRQOUT}}$	割り込み要求出力端子	出力	割り込み要求が発生したことを外部デバイスに通知する信号の出力
PINT15 ~ 0	ポート割り込み入力端子	入力	ポート割り込み要求信号入力

9.3 レジスタの説明

表 9.3 に INTC のレジスタ構成を示します。また、表 9.4 に各処理モードにおけるレジスタの状態を示します。

表 9.3 INTC のレジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	H'FFD0 0000	H'1FD0 0000	32
割り込みコントロールレジスタ 1	ICR1	R/W	H'FFD0 001C	H'1FD0 001C	32
割り込み優先順位設定レジスタ	INTPRI	R/W	H'FFD0 0010	H'1FD0 0010	32
割り込み要因レジスタ	INTREQ	R/W	H'FFD0 0024	H'1FD0 0024	32
割り込みマスクレジスタ 0	INTMSK0	R/W	H'FFD0 0044	H'1FD0 0044	32
割り込みマスクレジスタ 1	INTMSK1	R/W	H'FFD0 0048	H'1FD0 0048	32
割り込みマスクレジスタ 2	INTMSK2	R/W	H'FFD4 0080	H'1FD4 0080	32
割り込みマスククリアレジスタ 0	INTMSKCLR0	R/W	H'FFD0 0064	H'1FD0 0064	32
割り込みマスククリアレジスタ 1	INTMSKCLR1	R/W	H'FFD0 0068	H'1FD0 0068	32
割り込みマスククリアレジスタ 2	INTMSKCLR2	R/W	H'FFD4 0084	H'1FD4 0084	32
NMI フラグコントロールレジスタ	NMIFCR	R/W	H'FFD0 00C0	H'1FD0 00C0	32
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FFD3 0000	H'1FD3 0000	32
割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FFD4 0000	H'1FD4 0000	32
割り込み優先順位設定レジスタ 1	INT2PRI1	R/W	H'FFD4 0004	H'1FD4 0004	32
割り込み優先順位設定レジスタ 2	INT2PRI2	R/W	H'FFD4 0008	H'1FD4 0008	32
割り込み優先順位設定レジスタ 3	INT2PRI3	R/W	H'FFD4 000C	H'1FD4 000C	32
割り込み優先順位設定レジスタ 4	INT2PRI4	R/W	H'FFD4 0010	H'1FD4 0010	32
割り込み優先順位設定レジスタ 5	INT2PRI5	R/W	H'FFD4 0014	H'1FD4 0014	32
割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FFD4 0018	H'1FD4 0018	32
割り込み優先順位設定レジスタ 7	INT2PRI7	R/W	H'FFD4 001C	H'1FD4 001C	32
割り込み優先順位設定レジスタ 8	INT2PRI8	R/W	H'FFD4 00A0	H'1FD4 00A0	32
割り込み優先順位設定レジスタ 9	INT2PRI9	R/W	H'FFD4 00A4	H'1FD4 00A4	32
割り込み優先順位設定レジスタ 10	INT2PRI10	R/W	H'FFD4 00A8	H'1FD4 00A8	32
割り込み優先順位設定レジスタ 11	INT2PRI11	R/W	H'FFD4 00AC	H'1FD4 00AC	32
割り込み優先順位設定レジスタ 12	INT2PRI12	R/W	H'FFD4 00B0	H'1FD4 00B0	32
割り込み優先順位設定レジスタ 13	INT2PRI13	R/W	H'FFD4 00B4	H'1FD4 00B4	32
割り込み要因レジスタ 0 (マスク状態の影響なし)	INT2A0	R	H'FFD4 0030	H'1FD4 0030	32
割り込み要因レジスタ 01 (マスク状態の影響なし)	INT2A01	R	H'FFD4 00C0	H'1FD4 00C0	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
割り込み要因レジスタ1 (マスク状態の影響あり)	INT2A1	R	H'FFD4 0034	H'1FD4 0034	32
割り込み要因レジスタ11 (マスク状態の影響あり)	INT2A11	R	H'FFD4 00C4	H'1FD4 00C4	32
割り込みマスクレジスタ	INT2MSKR	R/W	H'FFD4 0038	H'1FD4 0038	32
割り込みマスクレジスタ1	INT2MSKR1	R/W	H'FFD4 00D0	H'1FD4 00D0	32
割り込みマスククリアレジスタ	INT2MSKCR	W	H'FFD4 003C	H'1FD4 003C	32
割り込みマスククリアレジスタ1	INT2MSKCR1	W	H'FFD4 00D4	H'1FD4 00D4	32
モジュール別割り込み要因レジスタ0	INT2B0	R	H'FFD4 0040	H'1FD4 0040	32
モジュール別割り込み要因レジスタ1	INT2B1	R	H'FFD4 0044	H'1FD4 0044	32
モジュール別割り込み要因レジスタ2	INT2B2	R	H'FFD4 0048	H'1FD4 0048	32
モジュール別割り込み要因レジスタ3	INT2B3	R	H'FFD4 004C	H'1FD4 004C	32
モジュール別割り込み要因レジスタ4	INT2B4	R	H'FFD4 0050	H'1FD4 0050	32
モジュール別割り込み要因レジスタ5	INT2B5	R	H'FFD4 0054	H'1FD4 0054	32
モジュール別割り込み要因レジスタ6	INT2B6	R	H'FFD4 0058	H'1FD4 0058	32
モジュール別割り込み要因レジスタ7	INT2B7	R	H'FFD4 005C	H'1FD4 005C	32
モジュール別割り込み要因レジスタ9	INT2B9	R	H'FFD4 0064	H'1FD4 0064	32
モジュール別割り込み要因レジスタ10	INT2B10	R	H'FFD4 0068	H'1FD4 0068	32
モジュール別割り込み要因レジスタ11	INT2B11	R	H'FFD4 006C	H'1FD4 006C	32
GPIO 割り込み設定レジスタ	INT2GPIC	R/W	H'FFD4 0090	H'1FD4 0090	32

表 9.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
割り込みコントロールレジスタ 0	ICR0	H'0000 0000	H'0000 0000	保持	保持
割り込みコントロールレジスタ 1	ICR1	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ	INTPRI	H'0000 0000	H'0000 0000	保持	保持
割り込み要因レジスタ	INTREQ	H'0000 0000	H'0000 0000	保持	保持
割り込みマスクレジスタ 0	INTMSK0	H'FF00 0000	H'FF00 0000	保持	保持
割り込みマスクレジスタ 1	INTMSK1	H'FF00 0000	H'FF00 0000	保持	保持
割り込みマスクレジスタ 2	INTMSK2	H'0000 0000	H'0000 0000	保持	保持
割り込みマスククリアレジスタ 0	INTMSKCLR0	H'0000 0000	H'0000 0000	保持	保持
割り込みマスククリアレジスタ 1	INTMSKCLR1	H'0000 0000	H'0000 0000	保持	保持
割り込みマスククリアレジスタ 2	INTMSKCLR2	H'0000 0000	H'0000 0000	保持	保持
NMI フラグコントロールレジスタ	NMIFCR	H'x000 0000	H'x000 0000	保持	保持
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 8	INT2PRI8	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 9	INT2PRI9	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 10	INT2PRI10	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 11	INT2PRI11	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 12	INT2PRI12	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 13	INT2PRI13	H'0000 0000	H'0000 0000	保持	保持
割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	H'0000 0000	H'0000 0000	保持	保持
割り込み要因レジスタ 01 (マスク状態の影響なし)	INT2A01	H'0000 0000	H'0000 0000	保持	保持
割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	H'0000 0000	H'0000 0000	保持	保持
割り込み要因レジスタ 11 (マスク状態の影響あり)	INT2A11	H'0000 0000	H'0000 0000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
割り込みマスクレジスタ	INT2MSKR	H'FFFF FFFF	H'FFFF FFFF	保持	保持
割り込みマスクレジスタ 1	INT2MSKR1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
割り込みマスククリアレジスタ	INT2MSKCR	H'0000 0000	H'0000 0000	保持	保持
割り込みマスククリアレジスタ 1	INT2MSKCR1	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 0	INT2B0	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 1	INT2B1	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 2	INT2B2	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 3	INT2B3	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 4	INT2B4	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 5	INT2B5	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 6	INT2B6	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 7	INT2B7	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 9	INT2B9	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 10	INT2B10	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 11	INT2B11	H'0000 0000	H'0000 0000	保持	保持
GPIO 割り込み設定レジスタ	INT2GPIC	H'0000 0000	H'0000 0000	保持	保持

9.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、一部書き込み可能な 32 ビットのレジスタで、外部割り込み入力端子や NMI 端子の入力信号検出モードを設定し、NMI 端子に入力されているレベルを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	-	-	-	-	NMIB	NMIE	IRLM0	IRLM1	-	-	-	-	-	-
初期値:	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。 このビットを読むことによって、NMI 端子のレベルを知ることができます。 0: NMI 端子にローレベルが入力されている 1: NMI 端子にハイレベルが入力されている
30	MAI	0	R/W	MAI 割り込みマスク CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルが Low レベルの期間すべての割り込みをマスクするかどうかを指定します。 0: NMI がローレベルでも割り込み許可 1: NMI がローレベルの期間、割り込み禁止
29~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	NMIB	0	R/W	NMI ブロックモード CPU の SR.BL ビットが 1 のときに NMI 割り込みを SR.BL ビットが 0 になるまで保留するか、即時に検出するかを選択します。 0: SR.BL = 1 のとき NMI 割り込み要求を保留する (初期値) 1: SR.BL = 1 のとき NMI 割り込みを保留しない 【注】SR.BL = 1 のままで割り込みを受け付けると、以前の例外情報 (SSR、SPC、SGR、INTEVT) は失われます。
24	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0: NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値) 1: NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット	ビット名	初期値	R/W	説明
23	IRLM0	0	R/W	<p>IRL 端子モード 0</p> <p>IRQ3/IRL3 ~ IRQ0/IRL0 端子をエンコードされた割り込み (IRL[3:0]割り込み) 要求として使用するか、独立した割り込み (IRQ3 ~ IRQ0 割り込み) 要求として使用するかどうかを設定します。</p> <p>0: IRQ3/IRL3 ~ IRQ0/IRL0 端子はエンコードされた割り込み要求として使用 (初期値)</p> <p>1: IRQ3/IRL3 ~ IRQ0/IRL0 端子は独立した割り込み要求として使用</p>
22	IRLM1	0	R/W	<p>IRL 端子モード 1</p> <p>IRQ7/IRL7 ~ IRQ4/IRL4 をエンコードされた割り込み (IRL[7:3]割り込み) 要求として使用するか、独立した割り込み (IRQ7 ~ IRQ4 割り込み) 要求として使用するかどうかを設定します。</p> <p>0: IRQ7/IRL7 ~ IRQ4/IRL4 端子はエンコードされた割り込み要求として使用 (初期値)</p> <p>1: IRQ7/IRL7 ~ IRQ4/IRL4 端子は独立した割り込み要求として使用</p>
21 ~ 0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

9.3.2 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 $IRQ7/\overline{IRL7}$ ~ $IRQ0/\overline{IRL0}$ に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを端子ごとに指定する読み出し / 書き込み可能な 32 ビットのレジスタです。ICR0 の $\overline{IRLM0}$ 、 $\overline{IRLM1}$ に 1 を書き込んで、 $IRQ3/\overline{IRL3}$ ~ $IRQ0/\overline{IRL0}$ 、 $IRQ7/\overline{IRL7}$ ~ $IRQ4/\overline{IRL4}$ 端子を独立した割り込み (IRQ7 ~ IRQ0 割り込み) 入力として使用する場合に有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S		IRQ1S		IRQ2S		IRQ3S		IRQ4S		IRQ5S		IRQ6S		IRQ7S	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	IRQ0S	00	R/W	IRQn センスセレクト $IRQ7/\overline{IRL7}$ ~ $IRQ0/\overline{IRL0}$ 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するか選択します。 IRQnS IRQn 割り込み要求検出方法 00 割り込み要求を IRQn 入力の立ち下がりエッジで検出 01 割り込み要求を IRQn 入力の立ち上がりエッジで検出 10 割り込み要求を IRQn 入力のローレベルで検出 11 割り込み要求を IRQn 入力のハイレベルで検出 【注】 n = 0 ~ 7
29、28	IRQ1S	00	R/W	
27、26	IRQ2S	00	R/W	
25、24	IRQ3S	00	R/W	
23、22	IRQ4S	00	R/W	
21、20	IRQ5S	00	R/W	
19、18	IRQ6S	00	R/W	
17、16	IRQ7S	00	R/W	
15 ~ 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 IRQ がレベル入力に設定されている場合 ($IRQnS1 = 1$)、CPU が何らかの割り込みを受け付けるまで要因を保持します (IRQ であるとは限りません)。これにより、SLEEP からの復帰時に、復帰前に割り込み要因が取り下げられた場合でも割り込みハンドラに分岐することが保証されます。保持された割り込みは、該当する割り込みのマスキット (割り込みマスキットレジスタの IM ビット) を 1 にすることでクリアできます。

9.3.3 割り込み優先順位設定レジスタ (INTPRI)

INTPRI は、IRQ7 ~ IRQ0 割り込みの優先順位 (レベル 15 ~ 0) を設定する読み出し / 書き込み可能な 32 ビットのレジスタです。ICR0 の IRLM0、IRLM1 に 1 を書き込んで、IRQ3/IRL3 ~ IRQ0/IRL0、IRQ7/IRL7 ~ IRQ4/IRL4 端子を独立した割り込み (IRQ7 ~ IRQ0 割り込み) 入力として使用する場合に有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP0				IP1				IP2				IP3			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP4				IP5				IP6				IP7			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	IP0	H'0	R/W	IRQ0 の独立した割り込み要求の優先順位
27 ~ 24	IP1	H'0	R/W	IRQ1 の独立した割り込み要求の優先順位
23 ~ 20	IP2	H'0	R/W	IRQ2 の独立した割り込み要求の優先順位
19 ~ 16	IP3	H'0	R/W	IRQ3 の独立した割り込み要求の優先順位
15 ~ 12	IP4	H'0	R/W	IRQ4 の独立した割り込み要求の優先順位
11 ~ 8	IP5	H'0	R/W	IRQ5 の独立した割り込み要求の優先順位
7 ~ 4	IP6	H'0	R/W	IRQ6 の独立した割り込み要求の優先順位
3 ~ 0	IP7	H'0	R/W	IRQ7 の独立した割り込み要求の優先順位

各 4 ビットのフィールドに H'F ~ H'1 の値を設定して割り込み優先順位を定めてください。値が大きいほど優先レベルが高くなります。

また、H'0 を設定した場合は割り込みがマスクされます。(初期値)

9.3.4 割り込み要因レジスタ (INTREQ)

INTREQ は、INTC にどの IRQ_n (n=0~7) 割り込みが要求されているかを示す読み出し、条件付き書き込み可能な 32 ビットのレジスタです。

INTPRI、INTMSK0 によって割り込みがマスクされても本レジスタのビットは影響を受けません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IR0	IR1	IR2	IR3	IR4	IR5	IR6	IR7	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
				エッジ検出時 (ICR0.IRQnS = 00 または 01)	レベル検出時 (ICR0.IRQnS = 10 または 11)
31	IR0	0	R/W	読み込み時 0: 対応する割り込み要求を検出していません 1: 対応する割り込みを要求検出しました 書き込み時 0: 1 を読み出したビットに限り 0 にクリアされます 1: 検出した割り込み要求を保持します。 【注】0 を読み出したビットには、1 を書き込むようにしてください。	読み込み時 0: 対応する割り込み端子がアサートされていません 1: 対応する割り込み端子がアサートされ、まだ CPU が受け付けていません。 書き込みは無効です
30	IR1	0	R/W		
29	IR2	0	R/W		
28	IR3	0	R/W		
27	IR4	0	R/W		
26	IR5	0	R/W		
25	IR6	0	R/W		
24	IR7	0	R/W		
23-0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

【注】n=0~7

9.3.5 割り込みマスクレジスタ 0 (INTMSK0)

INTMSK0 は、IRQ_n (n=0~7) 割り込み要求ごとにマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR0 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んで、値は変化しません。

IRQ3/IRL3 ~ IRQ0/IRL0 または IRQ7/IRL7 ~ IRQ4/IRL4 端子をエンコードされた IRL 割り込み入力の場合は、それぞれ IM00 ~ IM03、IM04 ~ IM07 には 1 を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM00	IM01	IM02	IM03	IM04	IM05	IM06	IM07	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM00	1	R/W	IRQ0 の独立した割り込み要因のマスク	読み出し時 0 : 割り込みを受け付ける 1 : 割り込みをマスクする 書き込み時 0 : 無効 1 : 割り込みをマスクする
30	IM01	1	R/W	IRQ1 の独立した割り込み要因のマスク	
29	IM02	1	R/W	IRQ2 の独立した割り込み要因のマスク	
28	IM03	1	R/W	IRQ3 の独立した割り込み要因のマスク	
27	IM04	1	R/W	IRQ4 の独立した割り込み要因のマスク	
26	IM05	1	R/W	IRQ5 の独立した割り込み要因のマスク	
25	IM06	1	R/W	IRQ6 の独立した割り込み要因のマスク	
24	IM07	1	R/W	IRQ7 の独立した割り込み要因のマスク	
23~0	-	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9.3.6 割り込みマスクレジスタ 1 (INTMSK1)

INTMSK1 は、IRL 割り込み要求をマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR1 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM10	IM11	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM10	1	R/W	IRQ3/IRL3 ~ IRQ0/IRL0 がエンコードされた割り込み入力の場合における IRL[3:0]の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする
30	IM11	1	R/W	IRQ7/IRL7 ~ IRQ4/IRL4 がエンコードされた割り込み入力の場合における IRL[7:4]の割り込み要因のマスク	書き込み時 0: 無効 1: 割り込みをマスクする
29~24	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。	
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

9.3.7 割り込みマスクレジスタ 2 (INTMSK2)

INTMSK2 は、IRL 割り込み要求をレベルごとにマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR2 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。

IRQ3/ $\overline{\text{IRL3}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ または IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ4/ $\overline{\text{IRL4}}$ 端子がエンコードされた IRL 割り込み入力の場合かつ、INTMSK1 で IRL 割り込みをマスクしていない場合に有効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM015	IM014	IM013	IM012	IM011	IM010	IM009	IM008	IM007	IM006	IM005	IM004	IM003	IM002	IM001	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IM115	IM114	IM113	IM112	IM111	IM110	IM109	IM108	IM107	IM106	IM105	IM104	IM103	IM102	IM101	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明	
31	IM015	0	R/W	$\overline{\text{IRL}}[3:0]$ が LLLL (H'0) 入力の場合の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
30	IM014	0	R/W	$\overline{\text{IRL}}[3:0]$ が LLLH (H'1) 入力の場合の割り込み要因のマスク	
29	IM013	0	R/W	$\overline{\text{IRL}}[3:0]$ が LLHL (H'2) 入力の場合の割り込み要因のマスク	
28	IM012	0	R/W	$\overline{\text{IRL}}[3:0]$ が LLHH (H'3) 入力の場合の割り込み要因のマスク	
27	IM011	0	R/W	$\overline{\text{IRL}}[3:0]$ が LHLL (H'4) 入力の場合の割り込み要因のマスク	
26	IM010	0	R/W	$\overline{\text{IRL}}[3:0]$ が LHLH (H'5) 入力の場合の割り込み要因のマスク	
25	IM009	0	R/W	$\overline{\text{IRL}}[3:0]$ が LHHL (H'6) 入力の場合の割り込み要因のマスク	
24	IM008	0	R/W	$\overline{\text{IRL}}[3:0]$ が LHHH (H'7) 入力の場合の割り込み要因のマスク	
23	IM007	0	R/W	$\overline{\text{IRL}}[3:0]$ が HLLL (H'8) 入力の場合の割り込み要因のマスク	
22	IM006	0	R/W	$\overline{\text{IRL}}[3:0]$ が HLLH (H'9) 入力の場合の割り込み要因のマスク	
21	IM005	0	R/W	$\overline{\text{IRL}}[3:0]$ が HLHL (H'A) 入力の場合の割り込み要因のマスク	
20	IM004	0	R/W	$\overline{\text{IRL}}[3:0]$ が HLHH (H'B) 入力の場合の割り込み要因のマスク	

ビット	ビット名	初期値	R/W	説明	
19	IM003	0	R/W	$\overline{\text{IRL}}[3:0]$ が HHL (H'C) 入力の場合の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
18	IM002	0	R/W	$\overline{\text{IRL}}[3:0]$ が HHLH (H'D) 入力の場合の割り込み要因のマスク	
17	IM001	0	R/W	$\overline{\text{IRL}}[3:0]$ が HHH (H'E) 入力の場合の割り込み要因のマスク	
16	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
15	IM115	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLL (H'0) 入力の場合の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
14	IM114	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLH (H'1) 入力の場合の割り込み要因のマスク	
13	IM113	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLHL (H'2) 入力の場合の割り込み要因のマスク	
12	IM112	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLHH (H'3) 入力の場合の割り込み要因のマスク	
11	IM111	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHL (H'4) 入力の場合の割り込み要因のマスク	
10	IM110	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHLH (H'5) 入力の場合の割り込み要因のマスク	
9	IM109	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHHL (H'6) 入力の場合の割り込み要因のマスク	
8	IM108	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHHH (H'7) 入力の場合の割り込み要因のマスク	
7	IM107	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLL (H'8) 入力の場合の割り込み要因のマスク	
6	IM106	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLH (H'9) 入力の場合の割り込み要因のマスク	
5	IM105	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLHL (H'A) 入力の場合の割り込み要因のマスク	
4	IM104	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLHH (H'B) 入力の場合の割り込み要因のマスク	
3	IM103	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHL (H'C) 入力の場合の割り込み要因のマスク	
2	IM102	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHLH (H'D) 入力の場合の割り込み要因のマスク	
1	IM101	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHH (H'E) 入力の場合の割り込み要因のマスク	
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	

9.3.8 割り込みマスククリアレジスタ 0 (INTMSKCLR0)

INTMSKCLR0 は、IRQ_n(n=0~7)割り込み要求ごとのマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC00	IC01	IC02	IC03	IC04	IC05	IC06	IC07	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC00	0	R/W	IRQ0 の独立した割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0 : 無効 1 : 割り込みマスククリア (割り込みを許可する)
30	IC01	0	R/W	IRQ1 の独立した割り込み要因のマスククリア	
29	IC02	0	R/W	IRQ2 の独立した割り込み要因のマスククリア	
28	IC03	0	R/W	IRQ3 の独立した割り込み要因のマスククリア	
27	IC04	0	R/W	IRQ4 の独立した割り込み要因のマスククリア	
26	IC05	0	R/W	IRQ5 の独立した割り込み要因のマスククリア	
25	IC06	0	R/W	IRQ6 の独立した割り込み要因のマスククリア	
24	IC07	0	R/W	IRQ7 の独立した割り込み要因のマスククリア	
23~0	-	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9.3.9 割り込みマスククリアレジスタ 1 (INTMSKCLR1)

INTMSKCLR1 は、IRL 割り込み要求のマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC10	IC11	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC10	0	R/W	IRQ3/IRL3 ~ IRQ0/IRL0 がエンコードされた割り込み入力の場合における IRL[3:0]の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時
30	IC11	0	R/W	IRQ7/IRL7 ~ IRQ4/IRL4 がエンコードされた割り込み入力の場合における IRL[7:4]の割り込み要因のマスククリア	0: 無効 1: 割り込みマスククリア (割り込みを許可する)
29~0	-	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9.3.10 割り込みマスククリアレジスタ 2 (INTMSKCLR2)

INTMSKCLR2 は、IRL 割り込み要求のレベルごとのマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

IC015	IC014	IC013	IC012	IC011	IC010	IC009	IC008	IC007	IC006	IC005	IC004	IC003	IC002	IC001	-
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	---

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

IC115	IC114	IC113	IC112	IC111	IC110	IC109	IC108	IC107	IC106	IC105	IC104	IC103	IC102	IC101	-
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	---

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R

ビット	ビット名	初期値	R/W	説明	
31	IC015	0	R/W	IRL[3:0]が LLLL (H'0) 入力の場合の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC014	0	R/W	IRL[3:0]が LLLH (H'1) 入力の場合の割り込み要因のマスククリア	
29	IC013	0	R/W	IRL[3:0]が LLHL (H'2) 入力の場合の割り込み要因のマスククリア	
28	IC012	0	R/W	IRL[3:0]が LLHH (H'3) 入力の場合の割り込み要因のマスククリア	
27	IC011	0	R/W	IRL[3:0]が LHLL (H'4) 入力の場合の割り込み要因のマスククリア	
26	IC010	0	R/W	IRL[3:0]が LHLH (H'5) 入力の場合の割り込み要因のマスククリア	
25	IC009	0	R/W	IRL[3:0]が LHHL (H'6) 入力の場合の割り込み要因のマスククリア	
24	IC008	0	R/W	IRL[3:0]が LHHH (H'7) 入力の場合の割り込み要因のマスククリア	
23	IC007	0	R/W	IRL[3:0]が HLLL (H'8) 入力の場合の割り込み要因のマスククリア	
22	IC006	0	R/W	IRL[3:0]が HLLH (H'9) 入力の場合の割り込み要因のマスククリア	
21	IC005	0	R/W	IRL[3:0]が HLHL (H'A) 入力の場合の割り込み要因のマスククリア	
20	IC004	0	R/W	IRL[3:0]が HLHH (H'B) 入力の場合の割り込み要因のマスククリア	
19	IC003	0	R/W	IRL[3:0]が HHLL (H'C) 入力の場合の割り込み要因のマスククリア	
18	IC002	0	R/W	IRL[3:0]が HHLH (H'D) 入力の場合の割り込み要因のマスククリア	
17	IC001	0	R/W	IRL[3:0]が HHHL (H'E) 入力の場合の割り込み要因のマスククリア	

ビット	ビット名	初期値	R/W	説明	
16	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
15	IC115	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLL (H'0) 入力の場合の割り込み要因のマスキリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスキリア (割り込みを許可する)
14	IC114	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLH (H'1) 入力の場合の割り込み要因のマスキリア	
13	IC113	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLHL (H'2) 入力の場合の割り込み要因のマスキリア	
12	IC112	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLHH (H'3) 入力の場合の割り込み要因のマスキリア	
11	IC111	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHLL (H'4) 入力の場合の割り込み要因のマスキリア	
10	IC110	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHLH (H'5) 入力の場合の割り込み要因のマスキリア	
9	IC109	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHHL (H'6) 入力の場合の割り込み要因のマスキリア	
8	IC108	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHHH (H'7) 入力の場合の割り込み要因のマスキリア	
7	IC107	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLLL (H'8) 入力の場合の割り込み要因のマスキリア	
6	IC106	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLLH (H'9) 入力の場合の割り込み要因のマスキリア	
5	IC105	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLHL (H'A) 入力の場合の割り込み要因のマスキリア	
4	IC104	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLHH (H'B) 入力の場合の割り込み要因のマスキリア	
3	IC103	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHLL (H'C) 入力の場合の割り込み要因のマスキリア	
2	IC102	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHLH (H'D) 入力の場合の割り込み要因のマスキリア	
1	IC101	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHHH (H'E) 入力の場合の割り込み要因のマスキリア	
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	

9.3.11 NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は、読み出し、一部条件付き書き込み可能な NMI フラグ (NMIFL ビット) を持つ 32 ビットレジスタです。NMIFL ビットは、INTC により NMI が検出されると自動的に 1 にセットされます。NMIFL ビットは 0 を書き込むことでクリアされます。

NMIFL ビットの値は CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求は取り消されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	NMIFL
初期値 :	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル 0 : NMI 端子にローレベルが入力されている 1 : NMI 端子にハイレベルが入力されている
30~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	NMIFL	0	R/W	NMI フラグ (NMI 割り込み要求信号検出) 読み出し時 1 : NMI が検出された 0 : NMI が検出されていない 書き込み時 0 : NMI フラグをクリア 1 : 無効 (1 書き込みは無視されます)
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9.3.12 ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

USERIMASK は、受け付け可能な割り込みレベルを設定するための読み出し、一部条件付き書き込み可能な 32 ビットレジスタです。エリア 7 アドレスに MMU のアドレス変換を使用してアクセスすることにより、本レジスタはユーザモードでアクセス可能です。INTC のその他のレジスタとは異なる 64K バイトページに配置されますので、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外の全割り込みがマスクされます。

UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられませんが、割り込みマスクレジスタの対応する割り込みの割り込みマスクビットが 0 (割り込み許可) であること、また SR.IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。

また、割り込みが受け付けられても UIMASK の値は変化しません。

パワーオンリセット、マニュアルリセット時に H'0000 0000 (全割り込み許可) に初期化されます。

誤書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が H'A5 のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	UIMASK				-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	H'00	R/W	リザーブビット 読み出すと常に 0 が読み出されます。 UIMASK ビットに値を書き込むときは、本ビットは H'A5 に設定してください (書き込んでください)。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	UIMASK	H'0	R/W	ユーザ割り込みマスクレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ユーザ割り込みマスクレベル設定レジスタの使用手順

USERIMASKに割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASKは、INTCその他のレジスタとは異なる64KB空間に配置されています。ユーザモードで本レジスタをアクセスする場合は、MMUによるアドレス変換によりアクセスします。マルチタスクOSの場合、USERIMASKにアクセスできるプロセスはMMUの記憶保護により管理してください。また、そのタスクを終了する場合や他のタスクに切り替える場合は、必ずUIMASKビットを0にクリアしてください。誤ってUIMASKビットに0以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OSのタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下 (A) と (B) に分類し、(B) より (A) の割り込みレベルを高く設定する。
 - (A) デバイスドライバ中で割り込み受け付けられるべき割り込み
(OSで使用する割り込み; タイマ割り込み等)
 - (B) デバイスドライバ中で割り込み禁止されるべき割り込み
2. 割り込みを禁止したいデバイスドライバにのみUSERIMASKが存在するアドレス空間へのアクセスを許可するようにMMUを設定します。
3. デバイスドライバに分岐する。
4. ユーザモードで動作するデバイスドライバ中で、(B) の割り込みがマスクされるようにUIMASKビットを設定する。
5. デバイスドライバ中で緊急度の高い処理を行う。
6. UIMASKビットを0にクリアし、デバイスドライバの処理から復帰する。

9.3.13 割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI13)

割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI13) は、内蔵モジュール割り込みの優先順位 (レベル 31 ~ 0) を設定します。

INT2PRI0 ~ INT2PRI13 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタです。リセット時は 0 に初期化されます。

本レジスタでは、個々の割り込み要因を 5 ビットで 32 通り、30 レベル (H'00 と H'01 は割り込み要求をマスク) の優先レベルに割り付け設定することが可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-						-	-	-					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-						-	-	-					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

割り込み要求元と INT2PRI0 ~ INT2PRI13 レジスタの各ビットの対応を表 9.5 に示します。

表 9.5 割り込み要求元と INT2PRI0 ~ INT2PRI13 レジスタ

レジスタ	ビット			
	28 ~ 24	20 ~ 16	12 ~ 8	4 ~ 0
INT2PRI0	TMU0(TUNI0)	TMU0(TUNI1)	TMU0(TUNI2)	TMU0(TICPI2)
INT2PRI1	TMU1(TUNI3)	TMU1(TUNI4)	TMU1(TUNI5)	RTC
INT2PRI2	SCIF0	SCIF1	WDT	リザーブ
INT2PRI3	H-UDI	DMAC	ADC	リザーブ
INT2PRI4	CMT	HAC	PCIC0	PCIC1
INT2PRI5	PCIC2	PCIC3	PCIC4	PCIC5
INT2PRI6	SIOF0	USBF	MMCIF	SSI0
INT2PRI7	SCIF2	GPIO	リザーブ	リザーブ
INT2PRI8	SSI3	SSI2	SSI1	SECURITY*
INT2PRI9	LCDC	リザーブ	IIC1	IIC0
INT2PRI10	TPU	SIM	SIOF2	SIOF1
INT2PRI11	PCC	リザーブ	リザーブ	リザーブ
INT2PRI12	リザーブ	リザーブ	USBH	GETHER
INT2PRI13	リザーブ	リザーブ	STIF1	STIF0

【注】 大きい値ほど優先度が高くなります。なお、設定値 H'00 と H'01 は要求がマスクされていることと同じ状態です。

* R5S77631A ではリザーブになります。

9.3.14 割り込み要因レジスタ 0 (マスク状態の影響なし) (INT2A0)

INT2A0 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (該当ビットの割り込みは行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、INT2A1、INT2A11 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	GPIO	-	SSIO	MMCIF	-	SIOF0	PCIC5	PCIC4	PCIC3	PCIC2
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCIC1	PCIC0	HAC	CMT	-	-	-	DMAC	H-UDI	-	WDT	SCIF1	SCIF0	RTC	TMU1	TMU0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの状態の影響は受けないレジスタです)。 0: 割り込み無し 1: 割り込み発生 【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。
25	GPIO	0	R	GPIO 割り込み要因表示	
24	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	
23	SSIO	0	R	SSIO 割り込み要因表示	
22	MMCIF	0	R	MMCIF 割り込み要因表示	
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	
20	SIOF0	0	R	SIOF0 割り込み要因表示	
19	PCIC5	0	R	PCIC5 割り込み要因表示	
18	PCIC4	0	R	PCIC4 割り込み要因表示	
17	PCIC3	0	R	PCIC3 割り込み要因表示	
16	PCIC2	0	R	PCIC2 割り込み要因表示	
15	PCIC1	0	R	PCIC1 割り込み要因表示	
14	PCIC0	0	R	PCIC0 割り込み要因表示	
13	HAC	0	R	HAC 割り込み要因表示	
12	CMT	0	R	CMT 割り込み要因表示	
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	

ビット	ビット名	初期値	R/W	説明	内容
8	DMAC	0	R	DMAC 割り込み要因表示	
7	H-UDI	0	R	H-UDI 割り込み要因表示	
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
5	WDT	0	R	WDT 割り込み要因表示	
4	SCIF1	0	R	SCIF1 割り込み要因表示	
3	SCIF0	0	R	SCIF0 割り込み要因表示	
2	RTC	0	R	RTC 割り込み要因表示	
1	TMU1	0	R	TMU1 割り込み要因表示	
0	TMU0	0	R	TMU0 割り込み要因表示	

9.3.15 割り込み要因レジスタ 01 (マスク状態の影響なし) (INT2A01)

INT2A01 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (該当ビットの割り込みは行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、INT2A1、INT2A11 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SCIF2	USBF	-	-	STIF1	STIF0	-	-	USBH	GETHER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCC	-	-	ADC	TPU	SIM	SIOF2	SIOF1	LCDC	-	IIC1	IIC0	SSI3	SSI2	SSI1	SECURITY*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * R5S77631Aではリザーブビットになります。

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	<p>内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの状態の影響は受けないレジスタです)。</p> <p>0: 割り込み無し 1: 割り込み発生</p> <p>【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。</p>
25	SCIF2	0	R	SCIF2 割り込み要因表示	
24	USBF	0	R	USBF 割り込み要因表示	
23, 22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
21	STIF1	0	R	STIF1 割り込み要因表示	
20	STIF0	0	R	STIF0 割り込み要因表示	
19, 18	-	すべて0	R	リザーブビット 読み出し時は不定値を返します。 書き込みは無効です。	
17	USBH	0	R	USBH 割り込み要因表示	
16	GETHER	0	R	GETHER 割り込み要因表示	
15	PCC	0	R	PCC 割り込み要因表示	
14, 13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
12	ADC	0	R	ADC 割り込み要因表示	
11	TPU	0	R	TPU 割り込み要因表示	
10	SIM	0	R	SIM 割り込み要因表示	
9	SIOF2	0	R	SIOF2 割り込み要因表示	
8	SIOF1	0	R	SIOF1 割り込み要因表示	
7	LCDC	0	R	LCDC 割り込み要因表示	
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
5	IIC1	0	R	IIC1 割り込み要因表示	
4	IIC0	0	R	IIC0 割り込み要因表示	
3	SSI3	0	R	SSI3 割り込み要因表示	
2	SSI2	0	R	SSI2 割り込み要因表示	
1	SSI1	0	R	SSI1 割り込み要因表示	
0	SECURITY*	0	R	SECURITY 割り込み要因表示	

【注】 * R5S77631A ではリザーブビットになります。

9.3.16 割り込み要因レジスタ 1 (マスク状態の影響あり) (INT2A1)

INT2A1 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合は、該当ビットは表示されません (1 にセットされません)。割り込みマスクレジスタの状態に関わらず割り込みへ発生の有無を確認する場合は、INT2A0 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	GPIO	-	SSI0	MMCIF	-	SIOF0	PCIC5	PCIC4	PCIC3	PCIC2
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCIC1	PCIC0	HAC	CMT	-	-	-	DMAC	H-UDI	-	WDT	SCIF1	SCIF0	RTC	TMU1	TMU0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの影響を受けるレジスタです)。 0: 割り込み無し 1: 割り込み発生 【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。
25	GPIO	0	R	GPIO 割り込み要因表示	
24	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	
23	SSI0	0	R	SSI0 割り込み要因表示	
22	MMCIF	0	R	MMCIF 割り込み要因表示	
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	
20	SIOF0	0	R	SIOF0 割り込み要因表示	
19	PCIC5	0	R	PCIC5 割り込み要因表示	
18	PCIC4	0	R	PCIC4 割り込み要因表示	
17	PCIC3	0	R	PCIC3 割り込み要因表示	
16	PCIC2	0	R	PCIC2 割り込み要因表示	
15	PCIC1	0	R	PCIC1 割り込み要因表示	
14	PCIC0	0	R	PCIC0 割り込み要因表示	
13	HAC	0	R	HAC 割り込み要因表示	
12	CMT	0	R	CMT 割り込み要因表示	
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	

ビット	ビット名	初期値	R/W	説明	内容
8	DMAC	0	R	DMAC 割り込み要因表示	
7	H-UDI	0	R	H-UDI 割り込み要因表示	
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込みは無効です。	
5	WDT	0	R	WDT 割り込み要因表示	
4	SCIF1	0	R	SCIF1 割り込み要因表示	
3	SCIF0	0	R	SCIF0 割り込み要因表示	
2	RTC	0	R	RTC 割り込み要因表示	
1	TMU1	0	R	TMU1 割り込み要因表示	
0	TMU0	0	R	TMU0 割り込み要因表示	

9.3.17 割り込み要因レジスタ 11 (マスク状態の影響あり) (INT2A11)

INT2A11 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合は、該当ビットは表示されません (1 にセットされません)。割り込みマスクレジスタの状態に関わらず割り込みへ発生の有無を確認する場合は、INT2A0、INT2A01 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SCIF2	USBF	-	-	STIF1	STIF0	-	-	USBH	GETHER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCC	-	-	ADC	TPU	SIM	SIOF2	SIOF1	LCDC	-	IIC1	IIC0	SSI3	SSI2	SSI1	SECURITY*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * R5S77631Aではリザーブビットになります。

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	<p>内蔵モジュール種別ごとに割り込み要因を表示します(割り込みマスクレジスタの影響を受けるレジスタです)。</p> <p>0: 割り込み無し 1: 割り込み発生</p> <p>【注】CPUに通知されたINTEVT(例外コード)を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。</p>
25	SCIF2	0	R	SCIF2 割り込み要因表示	
24	USBF	0	R	USBF 割り込み要因表示	
23、22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
21	STIF1	0	R	STIF1 割り込み要因表示	
20	STIF0	0	R	STIF0 割り込み要因表示	
19、18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
17	USBH	0	R	USBH 割り込み要因表示	
16	GETHER	0	R	GETHER 割り込み要因表示	
15	PCC	0	R	PCC 割り込み要因表示	
14、13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
12	ADC	0	R	ADC 割り込み要因表示	
11	TPU	0	R	TPU 割り込み要因表示	
10	SIM	0	R	SIM 割り込み要因表示	
9	SIOF2	0	R	SIOF2 割り込み要因表示	
8	SIOF1	0	R	SIOF1 割り込み要因表示	
7	LCDC	0	R	LCDC 割り込み要因表示	
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込みは無効です。	
5	IIC1	0	R	IIC1 割り込み要因表示	
4	IIC0	0	R	IIC0 割り込み要因表示	
3	SSI3	0	R	SSI3 割り込み要因表示	
2	SSI2	0	R	SSI2 割り込み要因表示	
1	SSI1	0	R	SSI1 割り込み要因表示	
0	SECURITY*	0	R	SECURITY 割り込み要因表示	

【注】 * R5S77631A ではリザーブビットになります。

9.3.18 割り込みマスクレジスタ (INT2MSKR)

INT2MSKR は、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができる読み出し / 書き込み可能な 32 ビットのレジスタです。本レジスタに 1 が設定された該当要因の割り込みは割り込み通知されません。リセット時は H'FFFF FFFF (= すべてマスク) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	GPIO	-	SSI0	MMCIF	-	SIOF0	PCIC5	PCIC4	PCIC3	PCIC2
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCIC1	PCIC0	HAC	CMT	-	-	-	DMAC	H-UDI	-	WDT	SCIF1	SCIF0	RTC	TMU1	TMU0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	内蔵モジュール別に割り込みマスクを設定します。 書き込み時
25	GPIO	1	R/W	GPIO 割り込みマスク設定	0: 無効
24	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	1: 割り込みマスク設定 読み出し時
23	SSI0	1	R/W	SSI0 割り込みマスク設定	0: マスク設定なし
22	MMCIF	1	R/W	MMCIF 割り込みマスク設定	1: マスク設定有り
21	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
20	SIOF0	1	R/W	SIOF0 割り込みマスク設定	
19	PCIC5	1	R/W	PCIC5 割り込みマスク設定	
18	PCIC4	1	R/W	PCIC4 割り込みマスク設定	
17	PCIC3	1	R/W	PCIC3 割り込みマスク設定	
16	PCIC2	1	R/W	PCIC2 割り込みマスク設定	
15	PCIC1	1	R/W	PCIC1 割り込みマスク設定	
14	PCIC0	1	R/W	PCIC0 割り込みマスク設定	
13	HAC	1	R/W	HAC 割り込みマスク設定	
12	CMT	1	R/W	CMT 割り込みマスク設定	
11~9	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
8	DMAC	1	R/W	DMAC 割り込みマスク設定	

ビット	ビット名	初期値	R/W	説明	内容
7	H-UDI	1	R/W	H-UDI 割り込みマスク設定	
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
5	WDT	1	R/W	WDT 割り込みマスク設定	
4	SCIF1	1	R/W	SCIF1 割り込みマスク設定	
3	SCIF0	1	R/W	SCIF0 割り込みマスク設定	
2	RTC	1	R/W	RTC 割り込みマスク設定	
1	TMU1	1	R/W	TMU1 割り込みマスク設定	
0	TMU0	1	R/W	TMU0 割り込みマスク設定	

9.3.19 割り込みマスクレジスタ 1 (INT2MSKR1)

INT2MSKR1 は、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができる読み出し / 書き込み可能な 32 ビットのレジスタです。本レジスタに 1 が設定された該当要因の割り込みは割り込み通知されません。リセット時は H'FFFF FFFF (=すべてマスク) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SCIF2	USBF	-	-	STIF1	STIF0	-	-	USBH	GETHER
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCC	-	-	ADC	TPU	SIM	SIOF2	SIOF1	LCDC	-	IIC1	IIC0	SSI3	SSI2	SSI1	SECURITY*
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * R5S77631Aではリザーブビットになります。

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。 書き込む値も常に1にしてください。	内蔵モジュール別に割り込みマスクを設定します。 書き込み時 0:無効 1:割り込みマスク設定 読み出し時 0:マスク設定なし 1:マスク設定有り
25	SCIF2	1	R/W	SCIF2 割り込みマスク設定	
24	USBF	1	R/W	USBF 割り込みマスク設定	
23、22	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。 書き込む値も常に1にしてください。	
21	STIF1	1	R/W	STIF1 割り込みマスク設定	
20	STIF0	1	R/W	STIF0 割り込みマスク設定	
19、18	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。 書き込む値も常に1にしてください。	
17	USBH	1	R/W	USBH 割り込みマスク設定	
16	GETHER	1	R/W	GETHER 割り込みマスク設定	
15	PCC	1	R/W	PCC 割り込みマスク設定	
14、13	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。 書き込む値も常に1にしてください。	
12	ADC	1	R/W	ADC 割り込みマスク設定	
11	TPU	1	R/W	TPU 割り込みマスク設定	
10	SIM	1	R/W	SIM 割り込みマスク設定	
9	SIOF2	1	R/W	SIOF2 割り込みマスク設定	
8	SIOF1	1	R/W	SIOF1 割り込みマスク設定	
7	LCDC	1	R/W	LCDC 割り込みマスク設定	
6	-	1	R	リザーブビット 読み出すと常に1が読み出されます。 書き込む値も常に1にしてください。	
5	IIC1	1	R/W	IIC1 割り込みマスク設定	
4	IIC0	1	R/W	IIC0 割り込みマスク設定	
3	SSI3	1	R/W	SSI3 割り込みマスク設定	
2	SSI2	1	R/W	SSI2 割り込みマスク設定	
1	SSI1	1	R/W	SSI1 割り込みマスク設定	
0	SECURITY*	1	R/W	SECURITY 割り込みマスク設定	

【注】 * R5S77631A ではリザーブビットになります。

9.3.20 割り込みマスククリアレジスタ (INT2MSKCR)

INT2MSKCR は、割り込みマスクレジスタに設定されたマスクをクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 を設定するとその割り込み要因のマスクがクリアされます。読み出しは常に 0 です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	GPIO	-	SSI0	MMC	-	SIOF0	PCIC5	PCIC4	PCIC3	PCIC2
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCIC1	PCIC0	HAC	CMT	-	-	-	DMAC	H-UDI	-	WDT	SCIF1	SCIF0	RTC	TMU1	TMU0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値は常に 0 にしてください	内蔵モジュール別の割り込みマスクをクリア設定します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する) 読み出し時 常に 0 です
25	GPIO	0	R/W	GPIO 割り込みマスククリア設定	
24	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値は常に 0 にしてください	
23	SSI0	0	R/W	SSI0 割り込みマスククリア設定	
22	MMC	0	R/W	MMC 割り込みマスククリア設定	
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値は常に 0 にしてください	
20	SIOF0	0	R/W	SIOF0 割り込みマスククリア設定	
19	PCIC5	0	R/W	PCIC5 割り込みマスククリア設定	
18	PCIC4	0	R/W	PCIC4 割り込みマスククリア設定	
17	PCIC3	0	R/W	PCIC3 割り込みマスククリア設定	
16	PCIC2	0	R/W	PCIC2 割り込みマスククリア設定	
15	PCIC1	0	R/W	PCIC1 割り込みマスククリア設定	
14	PCIC0	0	R/W	PCIC0 割り込みマスククリア設定	
13	HAC	0	R/W	HAC 割り込みマスククリア設定	
12	CMT	0	R/W	CMT 割り込みマスククリア設定	

ビット	ビット名	初期値	R/W	説明	内容
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値は常に0にしてください	
8	DMAC	0	R/W	DMAC 割り込みマスククリア設定	
7	H-UDI	0	R/W	H-UDI 割り込みマスククリア設定	
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値は常に0にしてください	
5	WDT	0	R/W	WDT 割り込みマスククリア設定	
4	SCIF1	0	R/W	SCIF1 割り込みマスククリア設定	
3	SCIF0	0	R/W	SCIF0 割り込みマスククリア設定	
2	RTC	0	R/W	RTC 割り込みマスククリア設定	
1	TMU1	0	R/W	TMU1 割り込みマスククリア設定	
0	TMU0	0	R/W	TMU0 割り込みマスククリア設定	

9.3.21 割り込みマスククリアレジスタ 1 (INT2MSKCR1)

INT2MSKCR1 は、割り込みマスクレジスタに設定されたマスクをクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 を設定するとその割り込み要因のマスクがクリアされます。読み出しは常に 0 です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SCIF2	USBF	-	-	STIF1	STIF0	-	-	USBH	GETHER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCC	-	-	ADC	TPU	SIM	SIOF2	SIOF1	LCDC	-	IIC1	IIC0	SSI3	SSI2	SSI1	SECURITY*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * R5S77631Aではリザーブビットになります。

ビット	ビット名	初期値	R/W	説明	内容
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値は常に0にしてください	内蔵モジュール別の割り込みマスクをクリア設定します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する) 読み出し時 常に0です
25	SCIF2	0	R/W	SCIF2 割り込みマスククリア設定	
24	USBF	0	R/W	USBF 割り込みマスククリア設定	
23, 22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値は常に0にしてください	
21	STIF1	0	R/W	STIF1 割り込みマスククリア設定	
20	STIF0	0	R/W	STIF0 割り込みマスククリア設定	
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値は常に0にしてください	
17	USBH	0	R/W	USBH 割り込みマスククリア設定	
16	GETHER	0	R/W	GETHER 割り込みマスククリア設定	
15	PCC	0	R/W	PCC 割り込みマスククリア設定	
14, 13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値は常に0にしてください	
12	ADC	0	R/W	ADC 割り込みマスククリア設定	
11	TPU	0	R/W	TPU 割り込みマスククリア設定	
10	SIM	0	R/W	SIM 割り込みマスククリア設定	
9	SIOF2	0	R/W	SIOF2 割り込みマスククリア設定	
8	SIOF1	0	R/W	SIOF1 割り込みマスククリア設定	
7	LCDC	0	R/W	LCDC 割り込みマスククリア設定	
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値は常に0にしてください	
5	IIC1	0	R/W	IIC1 割り込みマスククリア設定	
4	IIC0	0	R/W	IIC0 割り込みマスククリア設定	
3	SSI3	0	R/W	SSI3 割り込みマスククリア設定	
2	SSI2	0	R/W	SSI2 割り込みマスククリア設定	
1	SSI1	0	R/W	SSI1 割り込みマスククリア設定	
0	SECURITY*	0	R/W	SECURITY 割り込みマスククリア設定	

【注】 * R5S77631A ではリザーブビットになります。

9.3.22 内蔵モジュール別割り込み要因レジスタ (INT2B0~INT2B7、INT2B9~INT2B11)

INT2B0~INT2B7、INT2B9~INT2B11 は、割り込み要因レジスタで表示されているモジュール種別の要因に対して、更に詳細の個別要因を表示するレジスタで、これらのレジスタは、割り込みマスク設定レジスタのマスク状態に影響を受けない、何れも読み出し専用の 32 ビットのレジスタです。これら個々の詳細要因に対して個別にマスク設定を行う場合は、該当モジュールの割り込みマスクレジスタ、または割り込みイネーブルレジスタを設定する必要があります。INT2B0~INT2B7、INT2B9~INT2B11 はすべて読み出し専用の 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(1) INT2B0 レジスタ : TMU モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
TMU モジュール	31~7	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	TMU の割り込み要因が表示されず、本レジスタの表示は、割り込みマスクレジスタにて TMU をマスク設定しても表示は消えません。
	6	TUNI5	TMU チャンネル 5 アンダフロー割り込み	
	5	TUNI4	TMU チャンネル 4 アンダフロー割り込み	
	4	TUNI3	TMU チャンネル 3 アンダフロー割り込み	
	3	TICPI2	TMU チャンネル 2 インพุットキャプチャ割り込み	
	2	TUNI2	TMU チャンネル 2 アンダフロー割り込み	
	1	TUNI1	TMU チャンネル 1 アンダフロー割り込み	
	0	TUNI0	TMU チャンネル 0 アンダフロー割り込み	

(2) INT2B1 レジスタ : RTC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
RTC モジュール	31~3	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	RTC の割り込み要因が表示され ません。本レジスタの表示は、 割り込みマスクレジスタにて RTC をマスク設定しても表示 は消えません。
	2	CUI	RTC 桁上げ割り込み	
	1	PRI	RTC 周期割り込み	
	0	ATI	RTC アラーム割り込み	

(3) INT2B2 レジスタ : SCIF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SCIF1 モジュール	31~8	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	SCIF の割り込み要因が表示され ません。本レジスタの表示は、 割り込みマスクレジスタにて SCIF をマスク設定しても表示 は消えません。
	7	TXI1	SCIF チャネル 1 送信 FIFO データエンプティによる割り込み	
	6	BRI1	SCIF チャネル 1 ブレークまたはオーバーランエラーによる割り込み	
	5	RXI1	SCIF チャネル 1 受信 FIFO データフルまたは受信データレディによる割り込み	
	4	ERI1	SCIF チャネル 1 受信エラー割り込み	
SCIF0 モジュール	3	TXI0	SCIF チャネル 0 送信 FIFO データエンプティによる割り込み	
	2	BRI0	SCIF チャネル 0 ブレークまたはオーバーランエラーによる割り込み	
	1	RXI0	SCIF チャネル 0 受信 FIFO データフルまたは受信データレディによる割り込み	
	0	ERI0	SCIF チャネル 0 受信エラー割り込み	

(4) INT2B3 レジスタ : DMAC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
DMAC モジュール	31~13	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	DMAC の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて DMAC をマスク設定しても表示は消えません。
	12	DMAE	チャンネル 0~5 DMA アドレスエラー割り込み	
	11~6	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	
	5	DMTE5	チャンネル 5 DMA 転送終了割り込み	
	4	DMTE4	チャンネル 4 DMA 転送終了割り込み	
	3	DMTE3	チャンネル 3 DMA 転送終了割り込み	
	2	DMTE2	チャンネル 2 DMA 転送終了割り込み	
	1	DMTE1	チャンネル 1 DMA 転送終了割り込み	
0	DMTE0	チャンネル 0 DMA 転送終了割り込み		

(5) INT2B4 レジスタ : PCIC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
PCIC モジュール	31~10	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	PCIC の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて PCIC をマスク設定しても表示は消えません。
	9	PWD0	パワーステート D0 ステート割り込み	
	8	PWD1	パワーステート D1 ステート割り込み	
	7	PWD2	パワーステート D2 ステート割り込み	
	6	PWD3	パワーステート D3 ステート割り込み	
	5	ERR	エラー割り込み	
	4	INTD	INTD 割り込み	
	3	INTC	INTC 割り込み	
	2	INTB	INTB 割り込み	
	1	INTA	INTA 割り込み	
0	SERR	SERR 割り込み		

(6) INT2B5 レジスタ : MMCIF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
MMCIF モジュール	31~4	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	MMCIF の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて MMCIF をマスク設定しても表示は消えません。
	3	FRDY	FIFO 準備完了による割り込み	
	2	ERR	CRC エラー、データタイムアウトエラー、コマンドタイムアウトエラーのいずれかの割り込み	
	1	TRAN	データレスポンス、データ転送終了、コマンドレスポンス受信終了、コマンド送信終了、データビジー終了のいずれかの割り込み	
	0	FSTAT	FIFO エンプティまたは FIFO フル割り込み	

(7) INT2B6 レジスタ : SCIF2 モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SCIF2 モジュール	31~4	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	SCIF2 の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて SCIF2 をマスク設定しても表示は消えません。
	3	TXI2	チャンネル2送信 FIFO データエンプティ割り込み	
	2	BRI2	チャンネル2ブ레이크またはオーバーランエラー割り込み	
	1	RXI2	チャンネル2受信 FIFO データフルまたは受信データレディ割り込み	
	0	ERI2	チャンネル2受信エラー割り込み	

(8) INT2B7 レジスタ : GPIO モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
GPIO モジュール	31~28	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	GPIO の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて GPIO をマスク設定しても表示は消えません。
	27	PINT15I	PINT15 端子からの GPIO 割り込み	
	26	PINT14I	PINT14 端子からの GPIO 割り込み	
	25	PINT13I	PINT13 端子からの GPIO 割り込み	
	24	PINT12I	PINT12 端子からの GPIO 割り込み	
	23~20	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	
	19	PINT11I	PINT11 端子からの GPIO 割り込み	
	18	PINT10I	PINT10 端子からの GPIO 割り込み	
	17	PINT9I	PINT9 端子からの GPIO 割り込み	
	16	PINT8I	PINT8 端子からの GPIO 割り込み	
	15~12	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	
	11	PINT7I	PINT7 端子からの GPIO 割り込み	
	10	PINT6I	PINT6 端子からの GPIO 割り込み	
	9	PINT5I	PINT5 端子からの GPIO 割り込み	
	8	PINT4I	PINT4 端子からの GPIO 割り込み	
	7~4	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	
	3	PINT3I	PINT3 端子からの GPIO 割り込み	
	2	PINT2I	PINT2 端子からの GPIO 割り込み	
	1	PINT1I	PINT1 端子からの GPIO 割り込み	
	0	PINT0I	PINT0 端子からの GPIO 割り込み	

(9) INT2B9 レジスタ : GETHER モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
GETHER モジュール	31~3	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	GETHER の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて GETHER をマスク設定しても表示は消えません。
	2	GEINT2	GEINT2 割り込み	
	1	GEINT1	GEINT1 割り込み	
	0	GEINT0	GEINT0 割り込み	

(10) INT2B10 レジスタ : USBF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
USBF モジュール	31~2	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	USBF の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて USBF をマスク設定しても表示は消えません。
	1	USBF1	USBF1 割り込み	
	0	USBF0	USBF0 割り込み	

(11) INT2B11 レジスタ : SIM モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SIM モジュール	31~4	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	SIM の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて SIM をマスク設定しても表示は消えません。
	3	TEND	送信完了割り込み	
	2	TXI	送信データエンプティ割り込み	
	1	RXI	受信データフル割り込み	
	0	ERI	送受信エラー割り込み	

9.3.23 GPIO 割り込み設定レジスタ (INT2GPIC)

INT2GPIC は、GPIO 割り込みとしてポート B0~7、M0~7 からの割り込み要求入力を許可します。

GPIO 割り込みは、ローアクティブなレベル割り込みです。GPIO 割り込みとして使用する各ポートコントロールレジスタ (B、M) で該当する端子をポート入力に設定した後、割り込み要求の許可を行ってください。ポートコントロールレジスタについては、「第 40 章 汎用入出力ポート (GPIO)」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	PINT 15E	PINT 14E	PINT 13E	PINT 12E	-	-	-	-	PINT 11E	PINT 10E	PINT 9E	PINT 8E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PINT 7E	PINT 6E	PINT 5E	PINT 4E	-	-	-	-	PINT 3E	PINT 2E	PINT 1E	PINT 0E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	内容
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	GPIO 割り込み入力端子別に割り込み要求を許可します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
27	PINT15E	0	R/W	PINT15 端子からの GPIO 割り込み要求を許可	
26	PINT14E	0	R/W	PINT14 端子からの GPIO 割り込み要求を許可	
25	PINT13E	0	R/W	PINT13 端子からの GPIO 割り込み要求を許可	
24	PINT12E	0	R/W	PINT12 端子からの GPIO 割り込み要求を許可	
23~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
19	PINT11E	0	R/W	PINT11 端子からの GPIO 割り込み要求を許可	
18	PINT10E	0	R/W	PINT10 端子からの GPIO 割り込み要求を許可	
17	PINT9E	0	R/W	PINT9 端子からの GPIO 割り込み要求を許可	
16	PINT8E	0	R/W	PINT8 端子からの GPIO 割り込み要求を許可	

ビット	ビット名	初期値	R/W	説明	内容
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	GPIO 割り込み入力端子別に割り込み要求を許可します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
11	PINT7E	0	R/W	PINT7 端子からの GPIO 割り込み要求を許可	
10	PINT6E	0	R/W	PINT6 端子からの GPIO 割り込み要求を許可	
9	PINT5E	0	R/W	PINT5 端子からの GPIO 割り込み要求を許可	
8	PINT4E	0	R/W	PINT4 端子からの GPIO 割り込み要求を許可	
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
3	PINT3E	0	R/W	PINT3 端子からの GPIO 割り込み要求を許可	
2	PINT2E	0	R/W	PINT2 端子からの GPIO 割り込み要求を許可	
1	PINT1E	0	R/W	PINT1 端子からの GPIO 割り込み要求を許可	
0	PINT0E	0	R/W	PINT0 端子からの GPIO 割り込み要求を許可	

GPIO のポートを割り込み入力端子として使用した場合、GPIO が割り込みを検出すると、GPIO から INTC へ割り込みが通知されますが、INTC としては割り込み要因レジスタ INT2A0 または INT2A1 に 1 ビットの要因として表示します。この場合、モジュール別割り込み要因レジスタ INT2B7 を参照することでどのポートの何番の端子から割り込みが発生しているかを特定することが可能です。ポートの特定は CPU の INTEVT (例外コード) を参照することも可能です。

9.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

9.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のSRのBLビットが1にセットされていないかぎりいつでも受け付けられます。ただし、スリープモード中はBLビットが1でも受け付けられません。

また、設定によりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはICR0のNMIエッジセレクトビット (NMIE) の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0のNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、NMI割り込み受理によってレベル15に自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、NMI割り込み例外処理によって、SRの割り込みマスクレベル (IMASK) が影響されることはありません。

9.4.2 IRQ 割り込み

IRQ 割り込みは、ICR0のIRLM0、IRLM1ビットに1を書き込んで、 $IRQ/\overline{IRL3}$ ~ $IRQ/\overline{IRL0}$ 、 $IRQ/\overline{IRL7}$ ~ $IRQ/\overline{IRL4}$ 端子を独立した割り込み要求として使用する場合に有効になります。ICR1のIRQnS1、IRQnS0 (n=7~0) ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出が可能です。また、割り込み優先レベルは、割り込み優先順位設定レジスタ (INTPRI) により設定できます。

IRQ 割り込み要求をローレベル、ハイレベルで検出する場合、IRQ 割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

また、IRQ 割り込み要求をレベル (ローまたはハイレベル) で検出する場合、割り込み受け付け後、検出回路で保持された割り込み要求をクリアする必要があります。具体的な処理方法は、「9.7.3 IRL 割り込み要求およびIRQ 割り込み要求のクリア方法」を参照してください。

【注】 IRQ 割り込み要求をレベルで検出する場合、IRQ 割り込み要求の検出後、CPUが受け付ける前にIRQ 割り込みの端子状態を変更して要求を取り下げても、INTREQで要因として保持しています。CPUが何らかの割り込み (IRQ 割り込みとはかぎりません) を受け付けるか、該当する割り込みマスクビットに1をセットするまでINTREQで要因を保持します。詳細は「9.7 使用上の注意事項」を参照してください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

9.4.3 IRL 割り込み

IRL 割り込みは、IRQ3/ $\overline{\text{IRL3}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子または IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ4/ $\overline{\text{IRL4}}$ 端子でレベルとして入力される割り込みです。

優先レベルは IRQ3/ $\overline{\text{IRL3}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子または IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ4/ $\overline{\text{IRL4}}$ 端子で示されるレベルです。IRQ3/ $\overline{\text{IRL3}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ または IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ4/ $\overline{\text{IRL4}}$ がすべて Low (ローレベル) のとき、最も高い割り込み要求 (割り込み優先レベル 15) を示します。すべて High (ハイレベル) のとき、割り込み要求なし (割り込み優先レベル 0) を示します。図 9.2 に IRL 割り込みの接続例を、表 9.6 に IRL 端子と割り込みレベルの対応を示します。

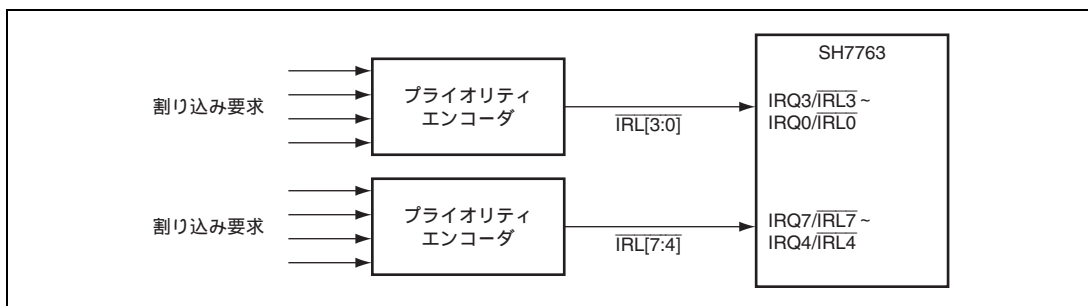


図 9.2 IRL 割り込みの接続例

表 9.6 IRL 割り込み端子 (IRL3 ~ IRL0 または IRL7 ~ IRL4) と割り込みレベル

IRL3 または IRL7	IRL2 または IRL6	IRL1 または IRL5	IRL0 または IRL4	割り込み優先レベル	割り込み要求
Low	Low	Low	Low	15	レベル 15 割り込み要求
Low	Low	Low	High	14	レベル 14 割り込み要求
Low	Low	High	Low	13	レベル 13 割り込み要求
Low	Low	High	High	12	レベル 12 割り込み要求
Low	High	Low	Low	11	レベル 11 割り込み要求
Low	High	Low	High	10	レベル 10 割り込み要求
Low	High	High	Low	9	レベル 9 割り込み要求
Low	High	High	High	8	レベル 8 割り込み要求
High	Low	Low	Low	7	レベル 7 割り込み要求
High	Low	Low	High	6	レベル 6 割り込み要求
High	Low	High	Low	5	レベル 5 割り込み要求
High	Low	High	High	4	レベル 4 割り込み要求
High	High	Low	Low	3	レベル 3 割り込み要求
High	High	Low	High	2	レベル 2 割り込み要求
High	High	High	Low	1	レベル 1 割り込み要求
High	High	High	High	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが 4 サイクル続けて同一の値になったとき、初めて行います。これにより、IRL 割り込み端子の変化時の誤ったレベルを取り込むことを防止できます。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、それレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

また、割り込み受け付け後、検出回路で保持された割り込み要求をクリアする必要があります。具体的なクリア方法は、「9.7.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」を参照してください。

【注】 IRL 割り込みには要因レジスタはありませんが、IRL 割り込み要求の検出後、CPU が受け付ける前に IRL 割り込みの端子状態を変更して要求を取り下げても、CPU が何らかの割り込み (IRL 割り込みとはかぎりません) を受け付けるか、該当する割り込みマスクビットに 1 をセットするまで最も優先レベルの高い IRL 割り込み要求を検出回路で保持します。この場合、保持された IRL 割り込み要求を割り込み処理ルーチンでクリアしてください。詳細は「9.7 使用上の注意事項」を参照してください。

CPUOPM.INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって、SR.IMASK が影響されることはありません。

9.4.4 内蔵周辺モジュール割り込み

内蔵モジュール割り込みは、内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、INT2PRI0 ~ INT2PRI13 によって、モジュールごとに優先レベル 31 ~ 0 の範囲で設定できます。ただし、CPU に通知する時には、最下位 1 ビットを切り捨てた 4 ビットに変換します。詳細は、「9.4.5 内蔵周辺モジュール割り込み優先順位」を参照してください。

内蔵周辺モジュール割り込み処理によって、SR の割り込みマスクビット (IMASK) が影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR の BL ビットが 1 のときに行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺モジュールのレジスタを読み出してからその後、表 9.8 で示される優先順位判定時間を待ってから BL ビットを 0 にしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグを更新した後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと INTEVT の値が 0 で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求を認識するタイミングとの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

9.4.5 内蔵周辺モジュール割り込み優先順位

内蔵周辺モジュール割り込みは、割り込み時に、要因固有の識別として割り込み例外コードを CPU へ出力します。CPU は割り込みを受け付けると INTEVT レジスタに該当する例外コードを表示します。割り込みハンドラは、CPU の INTEVT レジスタを読むことにより、INTC の要因表示レジスタを読み込まなくても要因を知ることが可能です。内蔵周辺モジュールの割り込み要因と例外コードの対応は、表 9.1 を参照してください。

また、内蔵周辺モジュール割り込みでは図 9.3 に示すように、個々の割り込み要因を 5 ビットで 30 レベル (大きい値ほど優先順位が高い。H'00 と H'01 は割り込み要求をマスク) に設定することが可能です。CPU の割り込みレベル受信インタフェースは 4 ビットで 15 レベル (H'0 は割り込み要求をマスク) ですが、内蔵周辺モジュール割り込みの優先順位は 1 ビット拡張した 5 ビットで各割り込み要因を優先選択し、選択後に最下位 1 ビットを切り捨てた 4 ビットに変換して通知を行います。例えば、優先レベル H'1A と優先レベル H'1B に設定した 2 つの要因はどちらの割り込みであっても出力する 4 ビットの優先レベルは H'D となります。これは同じ値となりますが、両者の割り込みが競合した場合に通知する例外コードは、5 ビットで考えた場合に優先順位が高い H'1B の割り込みに該当する例外コードが優先されます。両者の優先レベルを同一値に設定した割り込みが競合した場合は、表 9.1 に示す優先順位で例外コードが通知されます。

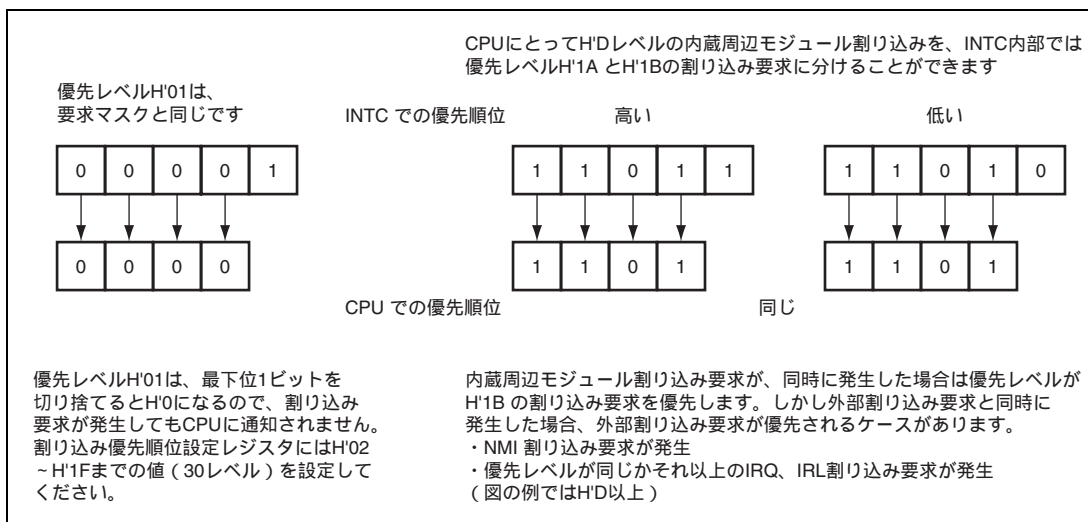


図 9.3 内蔵周辺モジュール割り込みの優先レベルについて

9.4.6 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 9.7 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

内蔵モジュールの優先順位は、INT2PRI0 ~ INT2PRI14 によって、優先レベル 31 ~ 0 の範囲で任意に設定できます。リセットによって、内蔵モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 9.7 に示すデフォルト優先順位に従って処理されます。

INTPRI、INT2PRI0 ~ INT2PRI14 の更新は、SR の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。

表 9.7 割り込み例外処理要因と優先順位

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTC でのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
NMI	-	H'1C0	16	-	-	-	-	高
IRL 入力レベル = L: ローレベル H: ハイレベル (表 9.6 参照)	$\overline{\text{IRL}}[7:4] = \text{LLLL} (\text{H}0)$	H'200	15	INTMSK2[15] INTMSKCLR2[15]	-	-		↑ ↓ 低
	$\overline{\text{IRL}}[3:0] = \text{LLLL} (\text{H}0)$			INTMSK2[31] INTMSKCLR2[31]	-	-		
	$\overline{\text{IRL}}[7:4] = \text{LLHH} (\text{H}1)$	H'220	14	INTMSK2[14] INTMSKCLR2[14]	-	-		
	$\overline{\text{IRL}}[3:0] = \text{LLHH} (\text{H}1)$			INTMSK2[30] INTMSKCLR2[30]	-	-		
	$\overline{\text{IRL}}[7:4] = \text{LLHL} (\text{H}2)$	H'240	13	INTMSK2[13] INTMSKCLR2[13]	-	-		
	$\overline{\text{IRL}}[3:0] = \text{LLHL} (\text{H}2)$			INTMSK2[29] INTMSKCLR2[29]	-	-		
	$\overline{\text{IRL}}[7:4] = \text{LLHH} (\text{H}3)$	H'260	12	INTMSK2[12] INTMSKCLR2[12]	-	-		
	$\overline{\text{IRL}}[3:0] = \text{LLHH} (\text{H}3)$			INTMSK2[28] INTMSKCLR2[28]	-	-		
	$\overline{\text{IRL}}[7:4] = \text{LHLL} (\text{H}4)$	H'280	11	INTMSK2[11] INTMSKCLR2[11]	-	-		
	$\overline{\text{IRL}}[3:0] = \text{LHLL} (\text{H}4)$			INTMSK2[27] INTMSKCLR2[27]	-	-		

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTC でのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
IRQ	IRQ[0]	H'240	INTPRI [31:28]	INTMSK0[31] INTMSKCLR0[31]	INTREQ[31]	-	高 ↑ ↓ 低	高 ↑ ↓ 低
	IRQ[1]	H'280	INTPRI [27:24]	INTMSK0[30] INTMSKCLR0[30]	INTREQ[30]	-		
	IRQ[2]	H'2C0	INTPRI [23:20]	INTMSK0[29] INTMSKCLR0[29]	INTREQ[29]	-		
	IRQ[3]	H'300	INTPRI [19:16]	INTMSK0[28] INTMSKCLR0[28]	INTREQ[28]	-		
	IRQ[4]	H'340	INTPRI [15:12]	INTMSK0[27] INTMSKCLR0[27]	INTREQ[27]	-		
	IRQ[5]	H'380	INTPRI [11:8]	INTMSK0[26] INTMSKCLR0[26]	INTREQ[26]	-		
	IRQ[6]	H'3C0	INTPRI [7:4]	INTMSK0[25] INTMSKCLR0[25]	INTREQ[25]	-		
	IRQ[7]	H'200	INTPRI [3:0]	INTMSK0[24] INTMSKCLR0[24]	INTREQ[24]	-		
RTC	ATI	H'480	INT2PRI1	INT2MSKR[2]	INT2A0[2]	INT2B1[0]	高 ↑ ↓ 低	
	PRI	H'4A0	[4:0]	INT2MSKCR[2]	INT2A1[2]	INT2B1[1]		
	CUI	H'4C0				INT2B1[2]		
SECURITY* ²	SECI	H'4E0	INT2PRI8 [4:0]	INT2MSKR1[0] INT2MSKCR1[0]	INT2A01[0] INT2A11[0]	-		
WDT	ITI*	H'560	INT2PRI2 [12:8]	INT2MSKR[5] INT2MSKCR[5]	INT2A0[5] INT2A1[5]	-		
TMU0	TUNI0* ¹	H'580	INT2PRI0 [28:24]	INT2MSKR[0] INT2MSKCR[0]	INT2A0[0] INT2A1[0]	INT2B0[0]		
TMU1	TUNI1* ¹	H'5A0	INT2PRI0 [20:16]			INT2B0[1]		
TMU2	TUNI2* ¹	H'5C0	INT2PRI0 [12:8]			INT2B0[2]		
	TICPI2* ¹	H'5E0	INT2PRI0 [4:0]			INT2B0[3]		
H-UDI	H-UDI	H'600	INT2PRI3 [28:24]	INT2MSKR[7] INT2MSKCR[7]	INT2A0[7] INT2A1[7]	-		
LCDC	LCDCI	H'620	INT2PRI9 [28:24]	INT2MSKR1[7] INT2MSKCR1[7]	INT2A01[7] INT2A11[7]	-		
DMAC (0)	DMINT0* ¹	H'640	INT2PRI3 [20:16]	INT2MSKR[8] INT2MSKCR[8]	INT2A0[8] INT2A1[8]	INT2B3[0]	高 ↑ ↓ 低	低
	DMINT1* ¹	H'660				INT2B3[1]		
	DMINT2* ¹	H'680				INT2B3[2]		
	DMINT3* ¹	H'6A0				INT2B3[3]		
	DMAE (ch0 ~ 5) * ¹	H'6C0				INT2B3[12] INT2B3[13]		

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTC でのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
SCIF0	ERI0 ^{*1}	H'700	INT2PRI2 [28:24]	INT2MSKR[3] INT2MSKCR[3]	INT2A0[3] INT2A1[3]	INT2B2[0]	高 ↑ ↓ 低	高 ↑ ↓ 低
	RXIO ^{*1}	H'720				INT2B2[1]		
	BRI0 ^{*1}	H'740				INT2B2[2]		
	TXIO ^{*1}	H'760				INT2B2[3]		
DMAC (0)	DMINT4 ^{*1}	H'780	INT2PRI3 [20:16]	INT2MSKR[8] INT2MSKCR[8]	INT2A0[8] INT2A1[8]	INT2B3[4]	高 ↓ 低	
	DMINT5 ^{*1}	H'7A0				INT2B3[5]		
IIC0	IIC0	H'8A0	INT2PRI9 [4:0]	INT2MSKR1[4] INT2MSKCR1[4]	INT2A01[4] INT2A11[4]	-		
IIC1	IIC1	H'8C0	INT2PRI9 [12:8]	INT2MSKR1[5] INT2MSKCR1[5]	INT2A01[5] INT2A11[5]	-		
CMT	CMT1	H'900	INT2PRI4 [28:24]	INT2MSKR[12] INT2MSKCR[12]	INT2A0[12] INT2A1[12]	-		
GETHER	GEINT0	H'920	INT2PRI12 [4:0]	INT2MSKR1[16] INT2MSKCR1[16]	INT2A01[16] INT2A11[16]	INT2B9[0]		
	GEINT1	H'940				INT2B9[1]		
	GEINT2	H'960				INT2B9[2]		
HAC	HAC1	H'980	INT2PRI4 [20:16]	INT2MSKR[13] INT2MSKCR[13]	INT2A0[13] INT2A1[13]	-		
PCIC0	PCISERR	H'A00	INT2PRI4 [12:8]	INT2MSKR[14] INT2MSKCR[14]	INT2A0[14] INT2A1[14]	INT2B4[0]		
PCIC1	PCIINTA	H'A20	INT2PRI4 [4:0]	INT2MSKR[15] INT2MSKCR[15]	INT2A0[15] INT2A1[15]	INT2B4[1]		
PCIC2	PCIINTB	H'A40	INT2PRI5 [28:24]	INT2MSKR[16] INT2MSKCR[16]	INT2A0[16] INT2A1[16]	INT2B4[2]		
PCIC3	PCIINTC	H'A60	INT2PRI5 [20:16]	INT2MSKR[17] INT2MSKCR[17]	INT2A0[17] INT2A1[17]	INT2B4[3]		
PCIC4	PCIINTD	H'A80	INT2PRI5 [12:8]	INT2MSKR[18] INT2MSKCR[18]	INT2A0[18] INT2A1[18]	INT2B4[4]		
PCIC5	PCIERR	H'AA0	INT2PRI5 [4:0]	INT2MSKR[19] INT2MSKCR[19]	INT2A0[19] INT2A1[19]	INT2B4[5]	高 ↑ ↓ 低	
	PCIPWD3	H'AC0				INT2B4[6]		
	PCIPWD2	H'AE0				INT2B4[7]		
	PCIPWD1	H'B00				INT2B4[8]		
	PCIPWD0	H'B20				INT2B4[9]		
STIF0	STIF0	H'B40	INT2PRI13 [4:0]	INT2MSKR1[20] INT2MSKCR1[20]	INT2A01[20] INT2A11[20]	-		
STIF1	STIF1	H'B60	INT2PRI13 [12:8]	INT2MSKR1[21] INT2MSKCR1[21]	INT2A01[21] INT2A11[21]	-	低	

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTC でのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
SCIF1	ERI1* ¹	H'B80	INT2PRI2 [20:16]	INT2MSKR[4] INT2MSKCR[4]	INT2A0[4] INT2A1[4]	INT2B2[4]	高 ↑ ↓ 低	高 ↑
	RX1* ¹	H'BA0				INT2B2[5]		
	BR1* ¹	H'BC0				INT2B2[6]		
	TX1* ¹	H'BE0				INT2B2[7]		
SIOF0	SIOF0	H'C00	INT2PRI6 [28:24]	INT2MSKR[14] INT2MSKCR[14]	INT2A0[14] INT2A1[14]	-		
SIOF1	SIOF1	H'C20	INT2PRI10 [4:0]	INT2MSKR[8] INT2MSKCR[8]	INT2A0[8] INT2A1[8]	-		
SIOF2	SIOF2	H'C40	INT2PRI10 [12:8]	INT2MSKR[9] INT2MSKCR[9]	INT2A0[9] INT2A1[9]	-		
USBH	USBH1	H'C60	INT2PRI12 [12:8]	INT2MSKR1[17] INT2MSKCR1[17]	INT2A0[17] INT2A1[17]	-		
USBF	USBF10	H'C80	INT2PRI6 [20:16]	INT2MSKR1[24] INT2MSKCR1[24]	INT2A0[24] INT2A1[24]	INT2B10[0]		
	USBF11	H'CA0				INT2B10[1]		
TPU	TPI	H'CC0	INT2PRI10 [28:24]	INT2MSKR1[11] INT2MSKCR1[11]	INT2A0[11] INT2A1[11]	-		
PCC	PCCI	H'CE0	INT2PRI11 [28:24]	INT2MSKR1[15] INT2MSKCR1[15]	INT2A0[15] INT2A1[15]	-		
MMCIF	FSTAT	H'D00	INT2PRI6 [12:8]	INT2MSKR[22] INT2MSKCR[22]	INT2A0[22] INT2A1[22]	INT2B5[0]	高 ↑ ↓ 低	高 ↑
	TRAN	H'D20				INT2B5[1]		
	ERR	H'D40				INT2B5[2]		
	FRDY	H'D60				INT2B5[3]		
SIM	ERI	H'D80	INT2PRI10 [20:16]	INT2MSKR1[10] INT2MSKCR1[10]	INT2A0[10] INT2A1[10]	INT2B1[0]		
	RXI	H'DA0				INT2B1[1]		
	TXI	H'DC0				INT2B1[2]		
	TEND	H'DE0				INT2B1[3]		
TMU3	TUNI3* ¹	H'E00	INT2PRI1 [28:24]	INT2MSKR[1] INT2MSKCR[1]	INT2A0[1] INT2A1[1]	INT2B0[4]		
TMU4	TUNI4* ¹	H'E20				INT2PRI1 [20:16]	INT2B0[5]	
TMU5	TUNI5* ¹	H'E40				INT2PRI1 [12:8]	INT2B0[6]	
ADC	ADI	H'E60	INT2PRI3 [12:8]	INT2MSKR1[12] INT2MSKCR1[12]	INT2A0[12] INT2A1[12]	-		
SSI0	SSI0	H'E80	INT2PRI6 [4:0]	INT2MSKR[23] INT2MSKCR[23]	INT2A0[23] INT2A1[23]	-		
SSI1	SSI1	H'EA0	INT2PRI8 [12:8]	INT2MSKR1[1] INT2MSKCR1[1]	INT2A0[1] INT2A1[1]	-		低 ↓

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTC でのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
SSI2	SSI2	H'EC0	INT2PRI8 [20:16]	INT2MSKR1[2] INT2MSKCR1[2]	INT2A01[2] INT2A11[2]	-		高 ↑
	SSI3	H'EE0	INT2PRI8 [28:24]	INT2MSKR1[3] INT2MSKCR1[3]	INT2A01[3] INT2A11[3]	-		
SCIF2	ERI2	H'F00	INT2PRI7 [28:24]	INT2MSKR1[25] INT2MSKCR1[25]	INT2A01[25] INT2A11[25]	INT2B6[0]	高 ↑ ↓ 低	
	RX12	H'F20				INT2B6[1]		
	BRI2	H'F40				INT2B6[2]		
	TX12	H'F60				INT2B6[3]		
GPIO	CH0	H'F80	INT2PRI7 [20:16]	INT2MSKR[25] INT2MSKCR[25]	INT2A0[25] INT2A1[25]	INT2B7[3:0]	高 ↑ ↓ 低	低 ↓
	CH1	H'FA0				INT2B7[11:8]		
	CH2	H'FC0				INT2B7[19:16]		
	CH3	H'FE0				INT2B7[27:24]		

【注】 *1 内蔵モジュール割り込みの要因で使用している略称

- ITI : WDT インターバルタイム割り込み
TUNIO ~ TUNIS : TMU チャンネル 0 ~ 5 アンダフロー割り込み
TICPI2 : TMU チャンネル 2 インพุットキャプチャ割り込み
DMINT0 ~ DMINT11 : DMAC チャンネル 0 ~ 11 転送終了割り込み
DMAE : DMAC アドレスエラー割り込み (チャンネル 0 ~ 11 共通)
ERI0, ERI1 : SCIF チャンネル 0, 1 受信エラー割り込み
RXI0, RXI1 : SCIF チャンネル 0, 1 受信データフル割り込み
BRI0, BRI1 : SCIF チャンネル 0, 1 ブレーク割り込み要求
TXI0, TXI1 : SCIF チャンネル 0, 1 送信データエンブティ割り込み

*2 R5S77631A ではリザーブになります。

9.5 動作説明

9.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 9.4 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中からINTPRI、INT2PRI0～INT2PRI14に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表9.7に従って最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのSRの割り込みマスクレベル (IMASK) とが比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に例外コード (割り込み要因コード) がセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. CPU動作モードレジスタのINTMUビット (CPU0PM.INTMU) が1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPU0PM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 9.8 で示される時間待ってから、BLビットをクリアするか、RTE命令を実行します。
 3. IRQ割り込み、IRL割り込み、および内蔵モジュール割り込みは、パワーオンリセットで割り込みマスク状態に初期化されます。INTMSKCLR0、INTMSK1、INT2MSKCRを使用して、要因ごとの割り込みマスク (INTMSK0、INTMSK1、INT2MSKR) をクリアする必要があります。

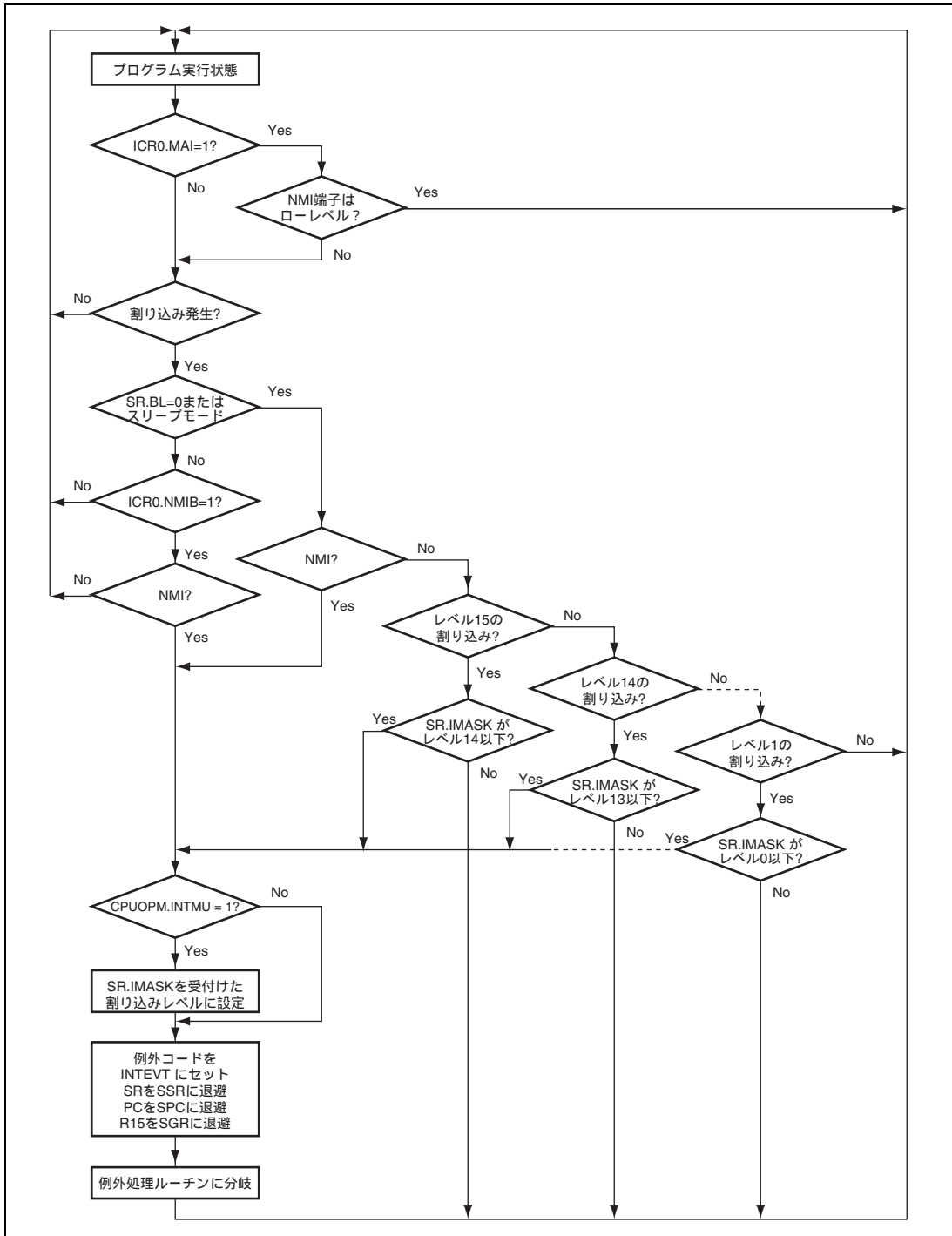


図 9.4 割り込み動作フロー

9.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU = 1のときは、SRレジスタの割り込みマスクレベル (IMASK) は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU = 0のときは、SRの割り込みマスクレベル (IMASK) を、ソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後のとき点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

9.5.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRレジスタのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

9.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 9.8 に示します。

表 9.8 割り込み応答時間

項 目		ステート数					備 考
		NMI	IRL	IRQ	周辺モジュール		
					GPIO/PCIC/ RTC 以外	GPIO/PCIC/ RTC	
優先順位判定時間		5Bcyc+2Pcyc	8Bcyc+2Pcyc	4Bcyc+2Pcyc	5Pcyc	7Pcyc	
CPU が実行中のシーケンス 終了までの待ち時間		S-1 (≥0) × lcy					
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令 フェッチの SHwy バスリクエストを 発行するまでの時間		11lcy+1Scyc					
応答時間	合計	(S+10) lcy +1Scyc +5Bcyc +2Pcyc	(S+10) lcy +1Scyc +8Bcyc +2Pcyc	(S+10) lcy +1Scyc +4Bcyc +2Pcyc	(S+10) lcy +1Scyc +5Pcyc	(S+10) lcy +1Scyc +7Pcyc	
	最小時	40lcy +S × lcy	52lcy +S × lcy	36lcy +S × lcy	32lcy +S × lcy*	40lcy +S × lcy*	lcy:Scyc: Bcyc:Pcyc = 4:2:1:1 のとき

【記号説明】

- lcy : CPU クロック (lck) の 1 サイクル期間
- Scyc : SHwy クロック (SHck) の 1 サイクル期間
- Bcyc : バスクロック (Bck) 出力 CLKOUT の 1 サイクル期間
- Pcyc : 周辺クロック (Pck0) の 1 サイクル期間
- S : 命令実行ステート数

【注】 * Pcyc = Pck の場合

9.7 使用上の注意事項

9.7.1 IRL 割り込み / IRQ レベル割り込みの処理ルーチン例

レベルセンスの IRQ モード (IRQ レベル割り込み) または IRL レベルエンコード割り込みが選択されている場合、割り込み受け付け後、割り込み処理ルーチン内で保持された割り込み要求をクリアする必要があります。図 9.5 に検出回路で保持された割り込み要求をクリアする例を示します。

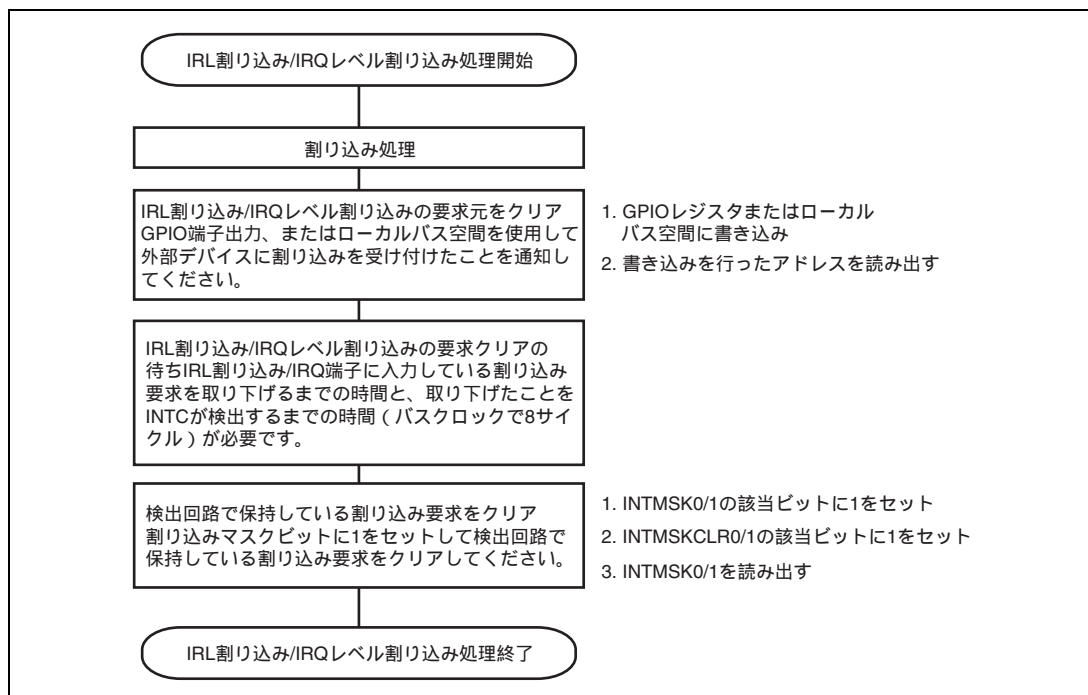


図 9.5 割り込み処理ルーチンの例

CPU が割り込み要求を受け付けると、割り込み受け付けを外部デバイスに通知し、その割り込み要求を取り下げる必要があります。通知の例としては、GPIO (汎用 I/O ポート) を使用し受け付けレベルや端子情報を出力する方法や、ローカルバス空間の特別なアドレスに書き込む方法があります。このとき、GPIO レジスタやローカルバス空間への書き込みおよび読み出しは連続して実行する必要があります。

検出回路で保持された割り込み要求をクリアするためには、割り込み要求がクリアされたことを CPU が検出する時間を確保する必要があります。この時間の確保には、INTMSK0/1 および INTMSKCLR0/1 への書き込み、INTMSK0/1 の読み出しは連続して実行する必要があります。

9.7.2 IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子機能設定時の注意事項

IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子機能切り替え時に、割り込み要求を誤検出して INTC 内部で保持する可能性があります。したがって、IRL 割り込み要求および IRQ 割り込み要求をマスク状態に設定してから、IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子機能切り替えを行ってください。

表 9.9 IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子機能切り替え手順

手順	項目	内容
1	IRL 割り込み要求、IRQ 割り込み要求をマスク	INTMSK0、INTMSK1 の全ビットに 1 を書き込む
2	IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ4/ $\overline{\text{IRL4}}$ 端子を IRL7 ~ 4 に設定	GPIO の PSEL3 の PSEL3[14:12]ビットに 010、PTSEL3[2:0]ビットに 010、PLCR の PL3MD[1:0]、PL2MD[1:0]、PL1MD[1:0]、PL0MD[1:0]、ビットにおおの 00 を書き込む
3	IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子を IRL または IRQ に設定	ICR0 の IRLM0 ビット IRLM1 ビットを設定する
4	IRL 割り込み要求、IRQ 割り込み要求の検出を開始	INTMSKCLR0、INTMSKCLR1 の該当するビットに 1 を書き込む

9.7.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法

INTC で保持している割り込み要求をクリアする場合、以下の手順で行ってください。

(1) IRL 割り込み要求のクリア方法

IRQ3/ $\overline{\text{IRL3}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ 端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM10 ビットに 1 を、IRQ7/ $\overline{\text{IRL7}}$ ~ IRQ4/ $\overline{\text{IRL4}}$ 端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM11 ビットに 1 を書き込んでください。INTMSK2 でレベルごとのマスクをしても、検出している IRL 割り込み要求をクリアすることはできません。

(2) レベル検出設定時の IRQ 割り込み要求のクリア方法

レベル検出設定をしている IRQ7 ~ IRQ0 割り込み要求のクリアは、INTMSK0 の該当するビット IM07 ~ IM00 に 1 を書き込んでください。INTPRI で該当するビットに 0 を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。検出している IRQ 割り込み要求 (CPU が割り込みを受け付けるとクリアします) は INTREQ を読み出すことで確認できます。

(3) エッジ検出設定時の IRQ 割り込み要求のクリア方法

エッジ検出設定をしている IRQ7 ~ IRQ0 割り込み要求のクリアは、INTREQ の該当するビット IR7 ~ IR0 から 1 を読み出した後、0 を書き込んでください。INTMSK0 で該当するビットに 1 を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。

10. SuperHyway バスブリッジ (SBR)

SuperHyway バスブリッジ (SBR) は、SuperHyway (SHwy) バスと SuperHyway ブリッジバス間のアクセスプロトコル変換を行います。同時に、SuperHyway ブリッジバス上にある SECURITY、GETHER、USBH の 3 つの周辺モジュールから SuperHyway バスへのアクセスのアービトレーションを行います。

10.1 特長

- SuperHywayバスインタフェース：
SuperHywayバスとSuperHywayブリッジバス間のアクセスプロトコル変換を行います。
- アービトレーション：
SuperHywayブリッジバス上のSECURITY、GETHER、USBHから、SuperHywayバスに対するアクセスのアービトレーションを行います。また、その優先レベルを個々のモジュールノポート単位に設定できます。

図10.1に、SBRのブロック図を示します。

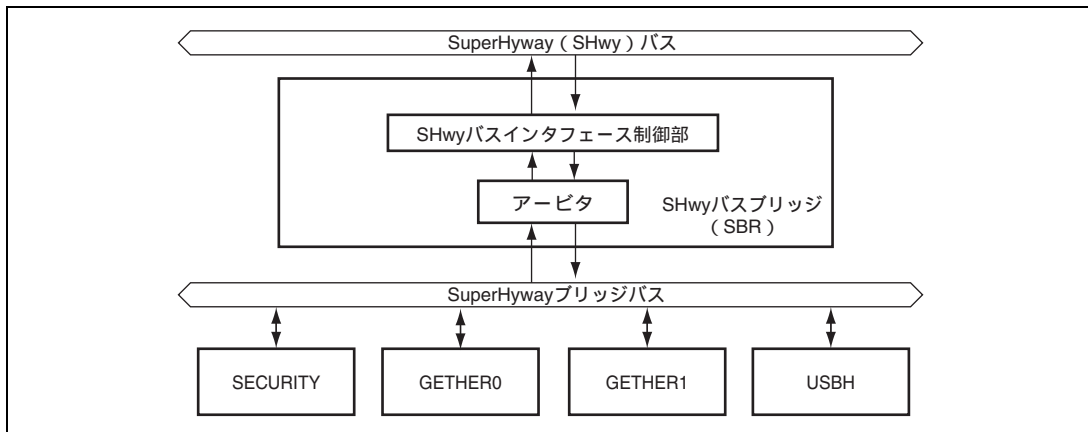


図 10.1 SBR ブロック

10.2 レジスタの説明

SBR のレジスタ構成を表 10.1 に示します。また各処理状態におけるレジスタの状態を表 10.2 に示します。

表 10.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
バス調停優先レベル設定レジスタ	SBRIVCLV	R/W	H'FF40 0010	H'1F40 0010	32
SuperHyway プライオリティコントロ ールレジスタ	PRPRICR	R/W	H'FE60 0018	H'1E60 0018	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 10.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
バス調停優先レベル設定レジスタ	SBRIVCLV	H'0000 0000	H'0000 0000	保持	保持
SuperHyway プライオリティコントロ ールレジスタ	PRPRICR	H'0000 0001	H'0000 0001	保持	保持

10.2.1 バス調停優先レベル設定レジスタ (SBRIVCLV)

SBRIVCLV は、SECURITY、GETHER、USBH から同時に SuperHyway バスへのアクセス要求があった際のアクセス優先レベルを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SEC LV	GEC0 LV	GEC1 LV	-	-	-	USBH LV
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	SECLV	0	R/W	SECURITY アクセス優先レベル 0: レベル3 1: レベル2
5	GEC0LV	0	R/W	GETHER0 アクセス優先レベル 0: レベル3 1: レベル2
4	GEC1LV	0	R/W	GETHER1 アクセス優先レベル 0: レベル3 1: レベル2
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	USBHLV	0	R/W	USBH アクセス優先レベル 0: レベル3 1: レベル2

10.2.2 SuperHyway バスプライオリティコントロールレジスタ (PRPRICR)

PRPRICR は、CPU あるいは他の機能モジュールから SuperHyway バスへのアクセス権の優先度を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SBAPR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SBAPR	1	R/W	SuperHyway バスアクセス優先度 CPU から SuperHyway バスへのアクセス権が優先されるか、他の機能モジュールから SuperHyway バスへのアクセス権と同じ優先度になるかを設定します。 0: CPU からの優先度は、他の機能モジュールと同じ 1: CPU からの優先度は、他の機能モジュールより高い 【注】本ビットを 1 に設定した場合、CPU がアクセスするデータ領域と他の機能モジュールがアクセスするデータ領域をともにアクセス速度の遅いエリアに配置した場合、CPU からのアクセスが優先され、他の機能モジュールからのアクセスができなくなる場合があります。これを避けるため、CPU あるいは他の機能モジュールからアクセスするデータ領域を DDR-SDRAM エリアに配置するか、本ビットを 0 にして使用してください。

10.3 動作説明

10.3.1 SuperHyway バスインタフェース

SuperHyway バスブリッジ (SBR) は、SuperHyway バスと SuperHyway ブリッジバス間のアクセスプロトコル変換を行います。

10.3.2 バスアービトレーション

SBR では、SuperHyway ブリッジバス上にある SECURITY、GETHER、USBH の 3 モジュール、4 ポートからのアクセス要求に対してアービトレーションを行います。SBR におけるアービトレーション概念図を図 10.2 に示します。

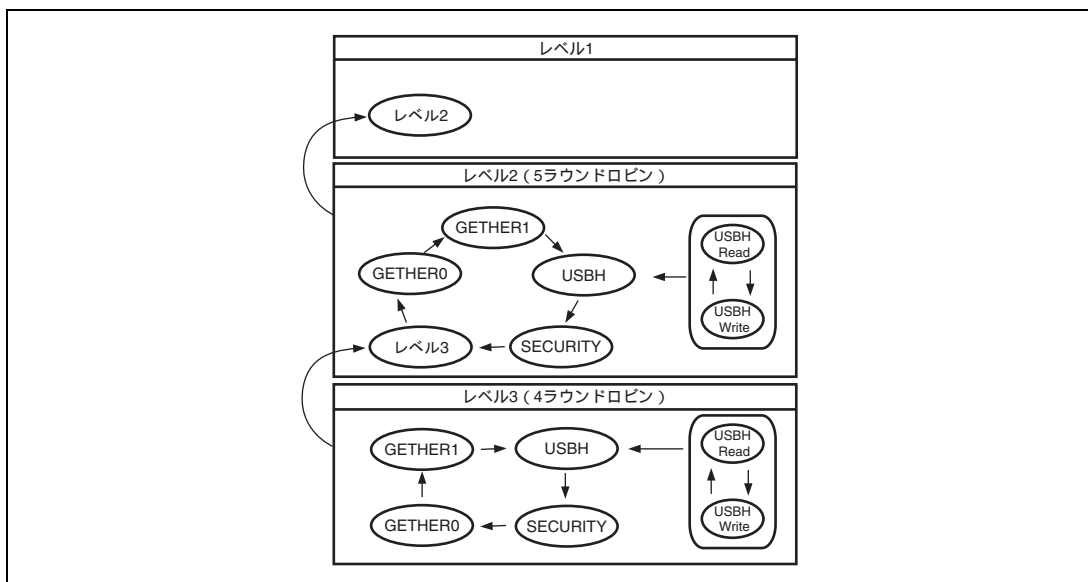


図 10.2 SBR におけるバスアービトレーション概念図

SBR では、レベル1、レベル2、レベル3の3つのグループに分けアービトレーションを行います。レベル3では、3モジュール4ポートのラウンドロビン、レベル2では、レベル3の結果も含め3モジュール4ポートのラウンドロビンでアービトレーションを行います。レベル1では、競合するモジュールがありませんのでレベル2の結果のモジュールがただちに実行されます。

SECURITY、GETHER1、GETHER0、USBHからのアクセス要求を、レベル2にするかレベル3にするかはSBRIVCLVレジスタで設定することができます。USBHについては、まず、USBHモジュール内でリードとライト要求間のアービトレーションをラウンドロビン方式により行い、その結果を用いてモジュール間のアービトレーションを行います。

11. ローカルバスステートコントローラ (LBSC)

ローカルバスステートコントローラ (LBSC) は、外部メモリ空間の分割、各種のメモリおよびバスインタフェース仕様に応じた制御信号の出力などを行います。LBSC の機能によって、SRAM、ROM など本 LSI に接続することができ、PCMCIA インタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

11.1 特長

LBSC には、次のような特長があります。

- 7つに分割した外部メモリ空間のうちエリア0~2、4~6を管理
 - エリア0~2、4~6の各エリアは、最大64Mバイト
 - 各エリアのバス幅をレジスタにより設定可能 (エリア0のみ、外部端子により設定)
 - $\overline{\text{RDY}}$ 端子によりウェイトステート挿入可能
 - ウェイトステート挿入をプログラムで制御可能
 - エリアごとに接続できるメモリの種類を設定可能
 - 各エリアに接続するメモリの制御信号を出力
 - 連続したメモリアクセス時におけるデータバスの衝突回避のためのウェイトサイクル自動挿入機能
 - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
- SRAMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - $\overline{\text{RDY}}$ 端子によるウェイトステート挿入
 - 接続可能エリア：エリア0~2、4~6
 - 設定可能バス幅：32、16、8ビット
- パーストROMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - レジスタで設定した回数のパースト転送動作
 - 接続可能エリア：エリア0~2、4~6
 - 設定可能バス幅：32、16、8ビット

- MPXインタフェース
アドレス・データマルチプレクス
接続可能エリア：エリア0~2、4~6
設定可能バス幅：32ビット
- バイト制御SRAMインタフェース
バイト制御可能なSRAMインタフェース
接続可能エリア：エリア1、4
設定可能バス幅：32、16ビット
- PCMCIAインタフェース
ウェイトステート挿入をプログラムで制御可能
I/Oバス幅のバスサイジング機能
リトルエンディアンのみサポート
接続可能エリア：エリア5、6
設定可能バス幅：16、8ビット
ATAデバイスアクセスのための機能

LBSC のブロック図を図 11.1 に示します。

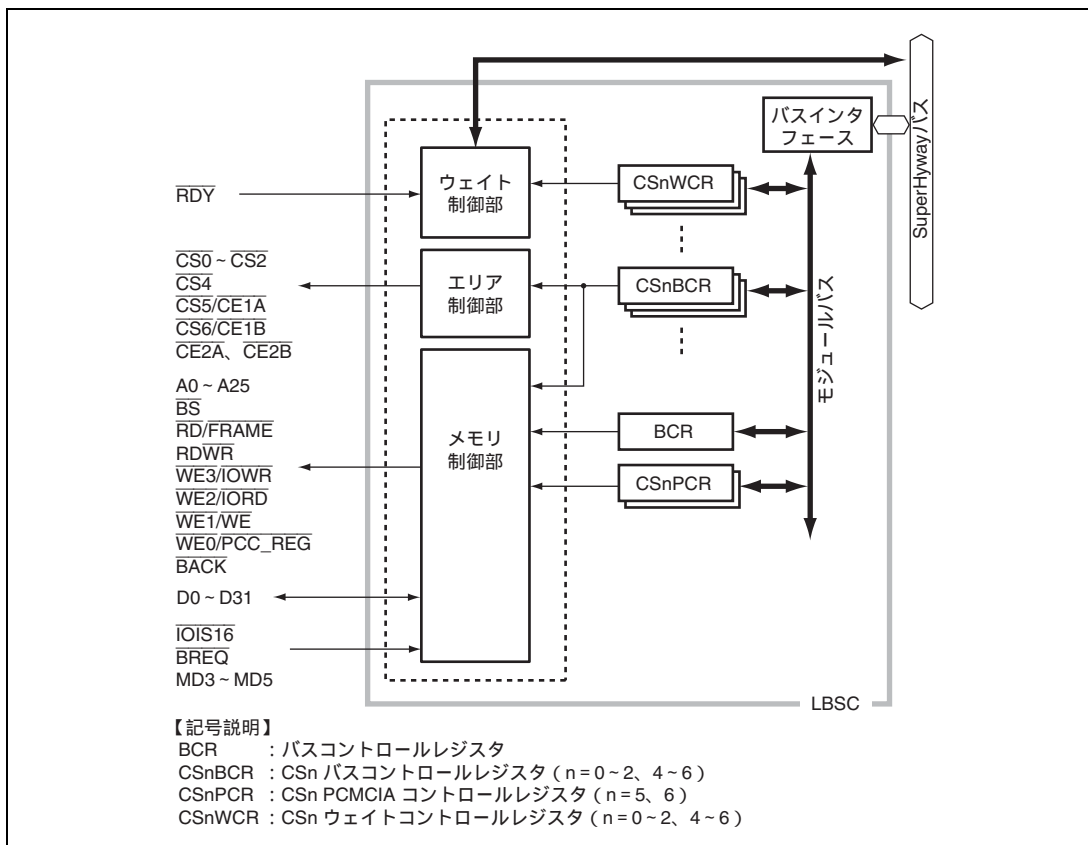


図 11.1 LBSC のブロック図

11.2 入出力端子

LBSC の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	機能	入出力	説明
A25 ~ A0	アドレスバス	出力	アドレス出力
D31 ~ D0	データバス	入出力	データ入出力
BS	バスサイクル開始	出力	バスサイクルの開始を示す信号 MPX インタフェース設定時、1 回のバースト転送につき 1 回アサート その他のバースト転送時、データサイクルごとにアサート
$\overline{CS6} - \overline{CS4}$ $\overline{CS2} - \overline{CS0}$	チップセレクト 6~4、2~0	出力	アクセス中のエリアを示すチップセレクト信号 $\overline{CS5}$ 、 $\overline{CS6}$ は、PCMCIA の $\overline{CE1A}$ 、 $\overline{CE1B}$ としても使用
RDWR	リード/ライト	出力	データバスの入出力方向指示信号 PCMCIA インタフェースの書き込み指示信号としても使用
$\overline{RD}/\overline{FRAME}$	リード/サイクル フレーム	出力	リードサイクルを示すストロープ信号 MPX バス使用時、 \overline{FRAME} 信号
$\overline{WE0}/$ $\overline{PCC_REG}$	データイネーブル 0	出力	SRAM インタフェース設定時、D7 ~ D0 対応のライトストロープ信号 PCMCIA インタフェース設定時、 \overline{REG} 信号
$\overline{WE1}/\overline{WE}$	データイネーブル 1	出力	SRAM インタフェース設定時、D15 ~ D8 対応のライトストロープ信号 PCMCIA インタフェース設定時、ライトストロープ信号
$\overline{WE2}/\overline{IORD}$	データイネーブル 2	出力	SRAM インタフェース設定時、D23 ~ D16 対応のライトストロープ信号 PCMCIA インタフェース設定時、 \overline{IORD} 信号
$\overline{WE3}/\overline{IOWR}$	データイネーブル 3	出力	SRAM インタフェース設定時、D31 ~ D24 対応のライトストロープ信号 PCMCIA インタフェース設定時、 \overline{IOWR} 信号
RDY	レディ	入力	ウェイトステート要求信号
$\overline{IOIS16}$	16 ビット I/O	入力	PCMCIA インタフェース設定時、16 ビット I/O 指示信号。リトルエンディアンモード時のみ有効。
\overline{BREQ}	バス解放要求	入力	バス解放の要求信号
BACK	バス使用許可	出力	バス使用の許可信号
$\overline{CE2A}^{*1}$ $\overline{CE2B}^{*1}$	PCMCIA カード セレクト	出力	PCMCIA 使用時、PCMCIA カードセレクト信号 D15 ~ D8 に対応。 リトルエンディアンモード時のみ有効。
$\overline{CE1A}^{*1}$ $\overline{CE1B}^{*1}$	PCMCIA カード セレクト	出力	PCMCIA 使用時、PCMCIA カードセレクト信号 D7 ~ D0 に対応。 リトルエンディアンモード時のみ有効。
MD3 MD4	エリア 0 バス幅	入力	パワーオンリセット時、エリア 0 のバス幅、MPX インタフェース設定信号
MD5	エンディアン 切り替え	入力	パワーオンリセット時、エンディアン設定

端子名	機能	入出力	説明
$\overline{\text{DACK0}}^{*2}$	DMAC0 アクリッジ信号	出力	DMAC チャンネル 0 のデータアクリッジ
$\overline{\text{DACK1}}^{*2}$	DMAC1 アクリッジ信号	出力	DMAC チャンネル 1 のデータアクリッジ
$\overline{\text{DACK2}}^{*2}$	DMAC2 アクリッジ信号	出力	DMAC チャンネル 2 のデータアクリッジ
$\overline{\text{DACK3}}^{*2}$	DMAC3 アクリッジ信号	出力	DMAC チャンネル 3 のデータアクリッジ
$\overline{\text{TEND0}}^{*2}$	DMAC0 トランスファエンド 信号	出力	DMAC チャンネル 0 のトランスファエンド
$\overline{\text{TEND1}}^{*2}$	DMAC1 トランスファエンド 信号	出力	DMAC チャンネル 1 のトランスファエンド
$\overline{\text{TEND2}}^{*2}$	DMAC2 トランスファエンド 信号	出力	DMAC チャンネル 2 のトランスファエンド
$\overline{\text{TEND3}}^{*2}$	DMAC3 トランスファエンド 信号	出力	DMAC チャンネル 3 のトランスファエンド

【注】 *1 $\overline{\text{CE1A}}$ 、 $\overline{\text{CE2A}}$ は CS5 バスコントロールレジスタ (CS5BCR) の TYPE ビットを B'100 としたとき、 $\overline{\text{CE1B}}$ 、 $\overline{\text{CE2B}}$ は CS6 バスコントロールレジスタ (CS6BCR) の TYPE ビットを B'100 とした時に出力となります。

*2 $\overline{\text{DACK0}}$ - $\overline{\text{DACK3}}$ 、 $\overline{\text{TEND0}}$ - $\overline{\text{TEND3}}$ 端子は DMAC の CHCR0 - CHCR3 の AL ビットで極性選択可能 (初期値はローアクティブ)。

詳細は、「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

11.3 エリアの概要

11.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想アドレスは、上位側アドレスの値によって 5 領域に分割されています。また、外部メモリ空間は 29 ビットのアドレス空間を有しており 8 エリアに分割されています。

仮想アドレスは、アドレス変換機構 (MMU) により任意の外部アドレスに割り付けることができます。詳細は「第 6 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、外部アドレスのエリア分割について記述します。

本 LSI は、表 11.2 に示すように外部アドレスの 7 つのエリアにおおの各種メモリ / PC カードを接続でき、おおのに対応してチップセレクト信号 ($\overline{CS0} \sim \overline{CS2}$, $\overline{CS4}$, $\overline{CS5/CE1A}$, $\overline{CS6/CE1B}$, $\overline{CE2A}$, $\overline{CE2B}$) を出力します。なお、エリア 3 は DDR-SDRAM 専用のエリアとなります。エリア 0~2 のアクセス時に $\overline{CS0} \sim \overline{CS2}$ が、エリア 4~6 のアクセス時に $\overline{CS4} \sim \overline{CS6}$ がアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5/CE1A}$ 、 $\overline{CS6/CE1B}$ に加えて、 $\overline{CE2A}$ 、 $\overline{CE2B}$ をアサートします。

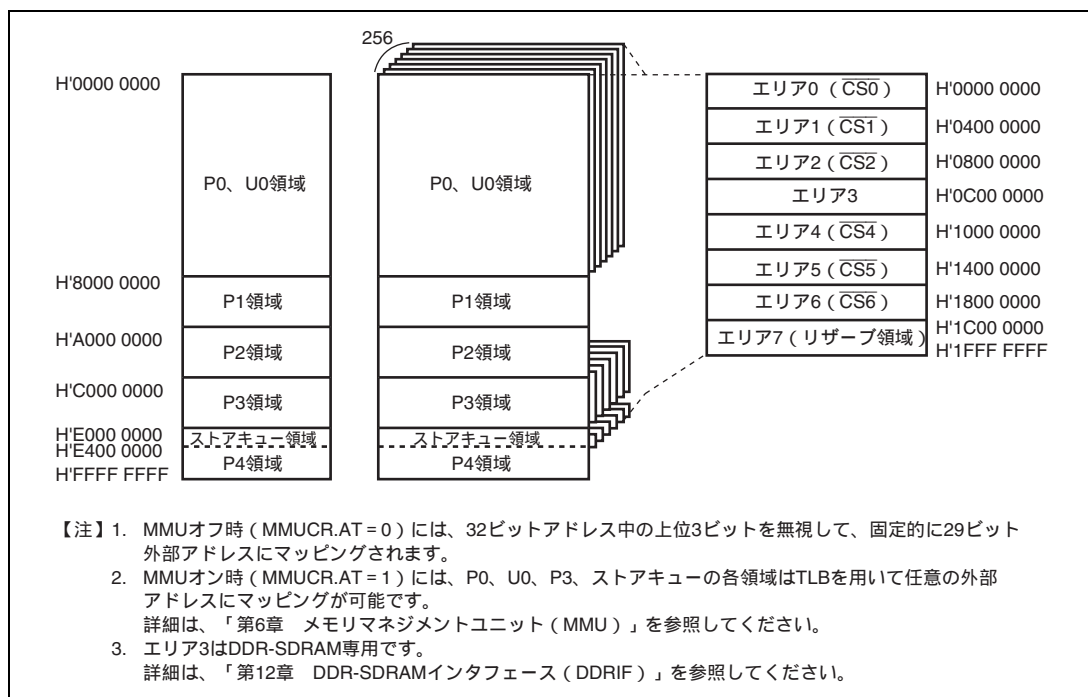


図 11.2 仮想アドレス空間と外部メモリ空間の対応

表 11.2 LBSC 外部メモリ空間マップ

エリア	外部アドレス	容量	接続可能メモリ	設定可能 バス幅 (ビット)	アクセス サイズ*7
0	H'0000 0000 ~ H'03FF FFFF	64M バイト	SRAM	8、16、32*1	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*1	
			MPX	32*1	
1	H'0400 0000 ~ H'07FF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*2	
			MPX	32*2	
			バイト制御 SRAM	16、32*2	
2	H'0800 0000 ~ H'0BFF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*2	
			MPX	32*2	
			(DDR-SDRAM) *3	32	8、16、32 ビット、 32 バイト
3	H'0C00 0000 ~ H'0FFF FFFF	64M バイト	(DDR-SDRAM) *3	32	8、16、32 ビット、 32 バイト
4	H'1000 0000 ~ H'13FF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*2	
			MPX	32*2	
			バイト制御 SRAM	16、32*2	
			(DDR-SDRAM) *3	32	8、16、32 ビット、 32 バイト
			(PCI) *4	32	8、16、32 ビット、 32 バイト
5	H'1400 0000 ~ H'17FF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			MPX	32*2	
			バースト ROM	8、16、32*2	
			PCMCIA	8、16*2*5	
			(DDR-SDRAM) *3	32	8、16、32 ビット、 32 バイト
6	H'1800 0000 ~ H'1BFF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			MPX	32*2	
			バースト ROM	8、16、32*2	
			PCMCIA	8、16*2*5	
7*6	H'1C00 0000 ~ H'1FFF FFFF	64M バイト	-	-	-

【注】 *1 外部端子でメモリバス幅を指定します。

*2 レジスタでメモリバス幅を指定します。

- *3 該当エリアを、MMSELR の設定により、DDRIF に割り当てることができます。詳細は「第 12 章 DDR-SDRAM インタフェース (DDRIF)」を参照してください。該当エリアを DDRIF に割り当てた場合、該当エリアの \overline{CSn} 信号は使えなくなります。また、エリア 3 は DDRIF 専用エリアです。
- *4 該当エリアを、MMSELR の設定により、PCIC に割り当てることができます。詳細は「第 13 章 PCI コントローラ (PCIC)」を参照してください。
- *5 PCMCIA インタフェース使用時は、バス幅は 8、16 ビットのいずれかのみです。
- *6 エリア 7 はリザーブ領域です。リザーブ領域にはアクセスしないでください。アクセスした場合、動作の保証はできません。
- *7 LBSC が 8、16 バイトのアクセスをバスマスタから要求された場合、アクセスサイズ 32 ビットとして、それぞれ 2 回、4 回のアクセスを行います。

エリア 0 :	H'0000 0000	SRAM / バーストROM / MPX	} PCMCIA インタフェースは、 メモリ、I/O カード兼用
エリア 1 :	H'0400 0000	SRAM / バーストROM / MPX / バイト制御SRAM	
エリア 2 :	H'0800 0000	SRAM / バーストROM / MPX / DDR-SDRAM	
エリア 3 :	H'0C00 0000	DDR-SDRAM	
エリア 4 :	H'1000 0000	SRAM / バーストROM / MPX / バイト制御SRAM / DDR-SDRAM / PCI	
エリア 5 : (前半)	H'1400 0000	SRAM / バーストROM / MPX / PCMCIA (前半、後半) / DDR-SDRAM	
(後半)	H'1600 0000		
エリア 6 : (前半)	H'1800 0000	SRAM / バーストROM / MPX / PCMCIA (前半、後半)	
(後半)	H'1A00 0000		

図 11.3 外部メモリ空間割り付け

11.3.2 メモリバス幅

LBSC のメモリバス幅は、空間ごとに設定できます。エリア 0 では、 \overline{PRESET} 端子によるパワーオンリセット時に外部端子を用いてバスサイズを 8 ビット、16 ビット、32 ビットから選べます。パワーオンリセット時に外部端子 (MD4、MD3) とバス幅の関係を表 11.3 に示します。

表 11.3 エリア 0 メモリバス幅の設定

MD4	MD3	バス幅
Low	Low	MPX インタフェース (32 ビット)
Low	High	8 ビット
High	Low	16 ビット
High	High	32 ビット

エリア 1~2、4~6 で SRAM インタフェース、ROM のいずれかを使用する場合は、CSn バスコントロールレジスタ (CSnBCR) によってバス幅を 8 ビット、16 ビット、32 ビットから選べます。バースト ROM を使用する場合は、バス幅を 8 ビット、16 ビット、32 ビットから選べます。バイト制御 SRAM インタフェースを使用する場合は、バス幅を 16 ビット、32 ビットから選べます。MPX インタフェースを使用する場合は、バス幅を 32 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。詳細は、「11.5.5 PCMCIA インタフェース」を参照してください。

詳しくは、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」を参照してください。

DDR-SDRAM および PCI のバス幅は 32 ビットです。詳細は、「第 12 章 DDR-SDRAM インタフェース (DDRIF)」および「第 13 章 PCI コントローラ (PCIC)」の章を参照してください。

エリア 7 のアドレス範囲 H'1C00 0000 ~ H'1FFF FFFF はリザーブエリアですので、使用しないでください。

11.3.3 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) の設定で決まります。

表 11.4 外部端子 (MD5) とエンディアンの対応

MODE5	データアライメント
Low	ビッグエンディアン
High	リトルエンディアン

11.3.4 PCMCIA サポート

本 LSI では、外部メモリ空間のエリア 5 と 6 で PCMCIA のインタフェース仕様をサポートします。

サポートするインタフェースは、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた"IC メモリカードインタフェース"と"I/O カードインタフェース"です。

外部メモリ空間のエリア 5 と 6 では、"IC メモリカードインタフェース"と"I/O カードインタフェース"の両方をサポートします。

PCMCIA インタフェースは、リトルエンディアンモードでのみサポートされます。

表 11.5 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8 / 16 ビット
メモリアイブ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM、ATA デバイス
コモンメモリ容量	最大 64M バイト
アトリビュート部容量	最大 64M バイト
その他	I/O バス幅のダイナミックバスサイジング、ATA デバイスコントロールレジスタへのアクセス

表 11.6 PCMCIA サポートインタフェース

端子	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応端子
	信号名*1	I/O*1	機能	信号名*1	I/O*1	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カードイネーブル	$\overline{CE1}$	I	カードイネーブル	$\overline{CS5}$ または $\overline{CS6}$
8	A10	I	アドレス	A10	I	アドレス	A10
9	\overline{OE}	I	出力イネーブル	\overline{OE}	I	出力イネーブル	\overline{RD}
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	\overline{WE}	I	ライトイネーブル	\overline{WE}	I	ライトイネーブル	$\overline{WE1}$
16	\overline{READY}	O	レディ	\overline{IREQ}	O	割り込み要求	ポートでセンス
17	VCC		動作電源	VCC		動作電源	-
18	VPP1 (VPP)		プログラム電源	VPP1 (VPP)		プログラム/ ペリフェラル用電源	-
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	\overline{WP}	O	ライトプロテクト	$\overline{IOIS16}$	O	16ビット I/O ポート	$\overline{IOIS16}$
34	GND		グラウンド	GND		グラウンド	-
35	GND		グラウンド	GND		グラウンド	-
36	$\overline{CD1}$	O	カード検出	$\overline{CD1}$	O	カード検出	ポートでセンス
37	D11	I/O	データ	D11	I/O	データ	D11

端子	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応端子
	信号名*1	I/O*1	機能	信号名*1	I/O*1	機能	
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	$\overline{CE2}$	I	カードイネーブル	$\overline{CE2}$	I	カードイネーブル	$\overline{CE2A}$ または $\overline{CE2B}$
43	RFSH (\overline{VST})	I	リフレッシュ要求	RFSH (\overline{VST})	I	リフレッシュ要求	ポートから出力
44	RSRVD		リザーブ	\overline{IORD}	I	I/O リード	\overline{IORD}
45	RSRVD		リザーブ	\overline{IOWR}	I	I/O ライト	\overline{IOWR}
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2 (VPP)		プログラム電源	VPP2 (VPP)		プログラム/ ペリフェラル用電源	-
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	RSRVD		リザーブ	RSRVD		リザーブ	-
58	RESET	I	リセット	RESET	I	リセット	ポートから出力
59	WAIT	O	ウェイト要求	WAIT	O	ウェイト要求	RDY^{*2}
60	RSRVD		リザーブ	\overline{INPACK}	O	入力応答	-
61	\overline{REG}	I	アトリビュート メモリ空間セレクト	\overline{REG}	I	アトリビュート メモリ空間セレクト	PCC_REG
62	BVD2	O	電池電圧検出	SPKR	O	デジタル音声信号	ポートでセンス
63	BVD1	O	電池電圧検出	\overline{STSCHG}	O	カード状態変化	ポートでセンス
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	$\overline{CD2}$	O	カード検出	$\overline{CD2}$	O	カード検出	ポートでセンス
68	GND		グラウンド	GND		グラウンド	-

【注】 *1 「I/O」は PCMCIA カードにおける入出力。

極性は、PCMCIA カードインタフェースはカード側、本 LSI 対応端子は本 LSI 側での極性を示します。

*2 極性に注意してください。

11.4 レジスタの説明

LBSC のレジスタ構成を表 11.7 に示します。また、各処理モードにおけるレジスタの状態を表 11.8 に示します。

LBSC には表 11.7 に示すように、16 本のレジスタがあります。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステートなどの制御を行います。

表 11.7 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ*
メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FE60 0020	H'1E60 0020	32
バスコントロールレジスタ	BCR	R/W	H'FF80 1000	H'1F80 1000	32
CS0 バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000	H'1F80 2000	32
CS1 バスコントロールレジスタ	CS1BCR	R/W	H'FF80 2010	H'1F80 2010	32
CS2 バスコントロールレジスタ	CS2BCR	R/W	H'FF80 2020	H'1F80 2020	32
CS4 バスコントロールレジスタ	CS4BCR	R/W	H'FF80 2040	H'1F80 2040	32
CS5 バスコントロールレジスタ	CS5BCR	R/W	H'FF80 2050	H'1F80 2050	32
CS6 バスコントロールレジスタ	CS6BCR	R/W	H'FF80 2060	H'1F80 2060	32
CS0 ウェイトコントロールレジスタ	CS0WCR	R/W	H'FF80 2008	H'1F80 2008	32
CS1 ウェイトコントロールレジスタ	CS1WCR	R/W	H'FF80 2018	H'1F80 2018	32
CS2 ウェイトコントロールレジスタ	CS2WCR	R/W	H'FF80 2028	H'1F80 2028	32
CS4 ウェイトコントロールレジスタ	CS4WCR	R/W	H'FF80 2048	H'1F80 2048	32
CS5 ウェイトコントロールレジスタ	CS5WCR	R/W	H'FF80 2058	H'1F80 2058	32
CS6 ウェイトコントロールレジスタ	CS6WCR	R/W	H'FF80 2068	H'1F80 2068	32
CS5PCMCIA コントロールレジスタ	CS5PCR	R/W	H'FF80 2070	H'1F80 2070	32
CS6PCMCIA コントロールレジスタ	CS6PCR	R/W	H'FF80 2080	H'1F80 2080	32

【注】 * 指定アクセスサイズ以外でのアクセスは行わないでください。

表 11.8 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
メモリアドレスマップ選択レジスタ	MMSELR	H'0000 0000	H'0000 0000	保持	保持
バスコントロールレジスタ	BCR	H'x000 0000	H'x000 0000	保持	保持
CS0 バスコントロールレジスタ	CS0BCR	H'7777 7770	H'7777 7770	保持	保持
CS1 バスコントロールレジスタ	CS1BCR	H'7777 7770	H'7777 7770	保持	保持
CS2 バスコントロールレジスタ	CS2BCR	H'7777 7770	H'7777 7770	保持	保持
CS4 バスコントロールレジスタ	CS4BCR	H'7777 7770	H'7777 7770	保持	保持
CS5 バスコントロールレジスタ	CS5BCR	H'7777 7770	H'7777 7770	保持	保持
CS6 バスコントロールレジスタ	CS6BCR	H'7777 7770	H'7777 7770	保持	保持
CS0 ウェイトコントロールレジスタ	CS0WCR	H'7777 770F	H'7777 770F	保持	保持
CS1 ウェイトコントロールレジスタ	CS1WCR	H'7777 770F	H'7777 770F	保持	保持
CS2 ウェイトコントロールレジスタ	CS2WCR	H'7777 770F	H'7777 770F	保持	保持
CS4 ウェイトコントロールレジスタ	CS4WCR	H'7777 770F	H'7777 770F	保持	保持
CS5 ウェイトコントロールレジスタ	CS5WCR	H'7777 770F	H'7777 770F	保持	保持
CS6 ウェイトコントロールレジスタ	CS6WCR	H'7777 770F	H'7777 770F	保持	保持
CS5PCMCIA コントロールレジスタ	CS5PCR	H'7700 0000	H'7700 0000	保持	保持
CS6PCMCIA コントロールレジスタ	CS6PCR	H'7700 0000	H'7700 0000	保持	保持

11.4.1 メモリアドレスマップ選択レジスタ (MMSELR)

メモリアドレスマップ選択レジスタ (MMSELR) は 32 ビット幅のレジスタで、エリア 2 からエリア 5 の空間について、メモリアドレスマップの選択を行います。本レジスタへのアクセスは、アドレス H'FE60 0020 に対して行ってください。また、書き込み、読み出しとも、ロングワードで行ってください。書き込みは、誤書き込みを防ぐため、上位ワードが H'A5A5 の場合のみ受け付けられます。読み出しする場合、上位 29 ビットは 0 が読み出されます。本レジスタは、パワーオンリセットおよびマニュアルリセットで H'0000 0000 に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	AREASEL		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R/W	リザーブビット 本レジスタの AREASEL (ビット 2~0) に書き込む時のみ H'A5A5 に設定してください (書き込んでください)。 読み出すと常に 0 が読み出されます。
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	AREASEL	000	R/W	DDRIF/PCIC メモリ空間選択 000 : エリア 3 (H'0C00 0000 ~ H'0FFF FFFF) を DDRIF 空間とし、他エリアを LBSC 空間とする。 001 : エリア 3 (H'0C00 0000 ~ H'0FFF FFFF) を DDRIF 空間、エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI メモリ空間とし、他エリアを LBSC 空間とする。 010 : エリア 2、3 (H'0800 0000 ~ H'0FFF FFFF) を DDRIF 空間とし、他エリアを LBSC 空間とする。 011 : エリア 2、3 (H'0800 0000 ~ H'0FFF FFFF) を DDRIF 空間、エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI メモリ空間とし、他エリアを LBSC 空間とする。 100 : エリア 2~5 (H'0800 0000 ~ H'17FF FFFF) を DDRIF メモリ空間とする。 101~111 : 設定禁止

本レジスタへの書き込みは必ず CPU により行ってください。本レジスタに書き込みを行うときには、DMAC、および PCIC からのアクセスが発生しないように設定した上で、本レジスタへの書き込みを行う MOV 命令の直前に SYNCO 命令を置くなどし、未処理のアクセスがないようにしてから書き込みを行ってください。

また、本レジスタへの書き込みを行う MOV 命令の直後に、

1. 本レジスタを読み出すMOV命令
2. 本レジスタを読み出すMOV命令
3. SYNCO命令

を置いてください。

例)

```
.....  
MOV.L   #H'FE600020, R0  
MOV.L   #MMSELR_DATA, R1 ; MMSELR_DATA = 本レジスタへの書き込み値 (上位ワード = H'A5A5)  
SYNCO  
MOV.L   R1, @R0          ; 本レジスタへの書き込み  
MOV.L   @R0, R2  
MOV.L   @R0, R2  
SYNCO  
.....
```

本レジスタに書き込みを行う命令は、キャッシング不可の P2 領域で、かつ本レジスタ書き換えによる影響のない領域に配置してください。

また、本レジスタへの書き込みは、命令キャッシュ、オペランドキャッシュ、および MMU によるアドレス変換を有効にする前に、それ以降はパワーオンリセット、またはマニュアルリセットを行うまで書き換えしないでください。

11.4.2 バスコントロールレジスタ (BCR)

バスコントロールレジスタ (BCR) は、各エリアの機能、バスサイクルの状態等を指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

BCR レジスタは、パワーオンリセットおよびマニュアルリセットで、ビッグエンディアン時には H'0000 0000、リトルエンディアン時には H'8000 0000 に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	END IAN	-	-	-	-	DPUP	-	OPUP	DACKBST[3:0]			-	-	BREQ EN	DMA BST	
初期値 :	0/1*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	HIZ CNT	-	-	-	-	-	-	-	ASYNC[6:0]						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * ビット31 (ENDIAN ビット) の初期値は外部端子 (MD5) の設定によります。

ビット	ビット名	初期値	R/W	説明
31	ENDIAN	0/1	R	エンディアンフラグ PRESET 端子によるパワーオンリセット時に、エンディアン指定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。 0 : パワーオンリセット時に、エンディアン設定外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します。 1 : パワーオンリセット時に、エンディアン設定外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します。
30~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	DPUP	0	R/W	データ端子ブルアップ抵抗制御 データ端子 (D31~D0) のブルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時およびバス権解放時はブルアップされません。また、スタンバイ時、D31~D16 は設定に関係なくブルアップされません。 0 : データ端子 (D31~D0) のブルアップ抵抗は、メモリアクセス前後にオンになるサイクルがあります。* 1 : データ端子 (D31~D0) のブルアップ抵抗は、オフ。 【注】 * データ端子のブルアップが必要な場合、ブルアップ抵抗を外付けすることを推奨します。
25	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
24	OPUP	0	R/W	<p>コントロール出力端子ブルアップ抵抗制御</p> <p>コントロール出力端子 (A[25:0]、\overline{BS}、$\overline{CS0} \sim \overline{CS2}$、$\overline{CS4}$、$\overline{CS5/CE1A}$、$\overline{CS6/CE1B}$、$\overline{RD}$、$\overline{WE}$、$\overline{RDWR}$、$\overline{CE2A}$、$\overline{CE2B}$) のハイインピーダンス時のブルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: コントロール出力端子 (A[25:0]、\overline{BS}、$\overline{CS0} \sim \overline{CS2}$、$\overline{CS4}$、$\overline{CS5/CE1A}$、$\overline{CS6/CE1B}$、$\overline{RD}$、$\overline{WE}$、$\overline{RDWR}$、$\overline{CE1A}$、$\overline{CE1B}$、$\overline{CE2A}$、$\overline{CE2B}$) のブルアップ抵抗は、オン。</p> <p>1: コントロール出力端子 (A[25:0]、\overline{BS}、$\overline{CS0} \sim \overline{CS2}$、$\overline{CS4}$、$\overline{CS5/CE1A}$、$\overline{CS6/CE1B}$、$\overline{RD}$、$\overline{WE}$、$\overline{RDWR}$、$\overline{CE2A}$、$\overline{CE2B}$) のブルアップ抵抗は、オフ。</p> <p>【注】スタンバイ時は、本ビットの設定にかかわらずブルアップされません。</p>
23~20	DACKBST [3:0]	0000	R/W	<p>DACKBST3 ~ DACKBST0</p> <p>0: \overline{DACKn} 端子をバスサイクルに同期してアサートします (n=0~3)。</p> <p>1: DMA 転送がバーストモードのとき、転送開始から終了まで、対応する \overline{DACKn} 端子をアサートし続けます。</p> <p>対応する DMA 転送チャンネルの DACK 出力エリアのメモリ種が PCMCIA インタフェースに設定時のみ 1 にセット可能です。それ以外の場合は 0 にクリアしてください。</p> <p>各ビットに対応する端子は以下の通りです。</p> <p>DACKBST[3]: $\overline{DACK3}$ DACKBST[2]: $\overline{DACK2}$ DACKBST[1]: $\overline{DACK1}$ DACKBST[0]: $\overline{DACK0}$</p>
19, 18	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
17	BREQEN	0	R/W	<p>BREQ イネーブル</p> <p>外部リクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストを受け付けない状態に初期化されます。</p> <p>0: 外部リクエストを受け付けません。</p> <p>1: 外部リクエストを受け付けます。</p>
16	DMABST	0	R/W	<p>DMAC バーストモード転送優先指定</p> <p>DMAC チャンネル 0~5 によるバーストモード転送の優先度を指定します。オフの設定の場合、優先度はバス権解放、DMAC、CPU となり、オンの設定の場合、DMAC チャンネル 0~5 のバースト転送が終了するまでバス権の解放は実行されなくなります。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: DMAC バーストモード転送優先指定オフ</p> <p>1: DMAC バーストモード転送優先指定オン</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
14	HIZCNT	0	R/W	ハイインピーダンス (High-Z) コントロール WE、RD/FRAME 信号のバス権解放時の状態を指定します。 0 : WE、RD/FRAME 信号はバス権解放時、ハイインピーダンス。 1 : WE、RD/FRAME 信号をバス権解放時ドライブ。
13~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	ASYNC [6:0]	000 0000	R/W	非同期入力 対応する端子の非同期入力を可能にします。 0 : 対応する端子は CLKOUT に対する同期入力。 1 : 対応する端子は CLKOUT に対して非同期入力 ASYNC[6] : DREQ3 ASYNC[5] : DREQ2 ASYNC[4] : DREQ1 ASYNC[3] : DREQ0 ASYNC[2] : IOIS16 ASYNC[1] : BREQ ASYNC[0] : RDY

11.4.3 CSn バスコントロールレジスタ (CSnBCR)

CSn バスコントロールレジスタ (CSnBCR, n=0~2, 4~6) は、エリア 0~2、4~6 のバス幅、サイクル間アイドル、パースト ROM の設定、メモリアイプを指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、CSnBCR レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。サイクル間アイドル中は該当する $\overline{CS0} \sim \overline{CS2}$ 、 $\overline{CS4}$ 、 $\overline{CS5/CE1A}$ 、 $\overline{CS6/CE1B}$ 、 \overline{RD} 、 \overline{WE} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{BS} は非アサート状態、 \overline{RDWR} はハイレベル状態、データは非ドライブ状態になります。

CSnBCR レジスタは、パワーオンリセットおよびマニュアルリセットで H'7777 7770 に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW			-	IWRWD			-	IWRWS			-	IWRRD		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	IWRRS			BST		SZ		RDSP	BW		MPX	TYPE			
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W*	R/W	R/W	R/W

【注】 * CS0BCRのSZ、MPXはリードのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~28	IWW	111	R/W	ライト-リード/ライト-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト-リードサイクルとライト-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000: アイドルサイクルなし 001: 1 アイドルサイクル挿入 010: 2 アイドルサイクル挿入 011: 3 アイドルサイクル挿入 100: 4 アイドルサイクル挿入 101: 5 アイドルサイクル挿入 110: 6 アイドルサイクル挿入 111: 7 アイドルサイクル挿入
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~24	IWRWD	111	R/W	別空間リード-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000: アイドルサイクルなし 001: 1 アイドルサイクル挿入 010: 2 アイドルサイクル挿入 011: 3 アイドルサイクル挿入 100: 4 アイドルサイクル挿入 101: 5 アイドルサイクル挿入 110: 6 アイドルサイクル挿入 111: 7 アイドルサイクル挿入
23	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
22~20	IWRWS	111	R/W	<p>同一空間リード-ライトサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入</p>
19	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
18~16	IWRRD	111	R/W	<p>別空間リード-リードサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
14~12	IWRRS	111	R/W	<p>同一空間リード-リードサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入</p>
11、10	BST	01	R/W	<p>バースト回数</p> <p>バースト ROM インタフェースを使用する場合の、バースト回数を指定します。MPX インタフェースには影響しません。</p> <p>00 : 4 連続アクセス (バス幅 8、16、32 ビット時、いずれでも使用可) 01 : 8 連続アクセス (バス幅 8、16、32 ビット時、いずれでも使用可) 10 : 16 連続アクセス (バス幅 8、16 ビット時のみ使用可) 11 : 32 連続アクセス (バス幅 8 ビット時のみ使用可)</p>
9、8	SZ	11	R/W*	<p>バス幅</p> <p>CS0BCR ではパワーオンリセット時に、バスサイズを指定する外部端子 (MD3、MD4) をサンプリングします。MPX インタフェース使用時は 32 ビットに設定してください。バイト制御 SRAM インタフェース使用時は 16 ビットまたは 32 ビットに設定してください。</p> <p>00 : リザーブ (設定禁止) 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット</p> <p>【注】* CS0BCR の SZ ビットはリードのみ可能です。また、MD3、MD4 端子でエリア 0 を MPX インタフェースに設定した場合、CS0BCR の SZ ビットは 11 になります。</p>

ビット	ビット名	初期値	R/W	説明
7	RDSPL	0	R/W	<p>\overline{RD} ホールドサイクル</p> <p>\overline{RD} のリードデータサンプルタイミングに対するホールド時間に挿入されるサイクル数を指定します。このビットを 1 に設定するときは、CSnWCR の RDH ビットで設定する \overline{RD} ネゲート - \overline{CSn} ネゲート遅延サイクルを 1 以上に設定してください。またこのビットを 1 に設定することにより、\overline{RD} ネゲート - \overline{CSn} ネゲート遅延サイクルは 1 サイクル減ります (SRAM インタフェース/バイト制御 SRAM インタフェース設定時のみ有効)。</p> <p>0 : なし 1 : 1 サイクル挿入</p>
6~4	BW	111	R/W	<p>バーストピッチ</p> <p>バースト ROM インタフェースを使用時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイト数を指定します。</p> <p>000 : 挿入ウェイトステートなし、\overline{RDY} 端子無視 001 : 1 ウェイトステート挿入、\overline{RDY} 端子イネーブル 010 : 2 ウェイトステート挿入、\overline{RDY} 端子イネーブル 011 : 3 ウェイトステート挿入、\overline{RDY} 端子イネーブル 100 : 4 ウェイトステート挿入、\overline{RDY} 端子イネーブル 101 : 5 ウェイトステート挿入、\overline{RDY} 端子イネーブル 110 : 6 ウェイトステート挿入、\overline{RDY} 端子イネーブル 111 : 7 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p>
3	MPX	0	R/W*	<p>MPX インタフェース指定</p> <p>MPX インタフェースタイプを指定します。</p> <p>0 : TYPE[2:0]ビットで指定するメモリタイプが選択されます 1 : MPX インタフェースが指定されます</p> <p>【注】* CS0BCR の MPX はリードのみ可能です。</p>
2~0	TYPE	000	R/W	<p>メモリタイプ指定</p> <p>空間に接続するメモリのタイプを指定します。</p> <p>000 : SRAM (初期値) 001 : バイト制御 SRAM*¹ 010 : バースト ROM (リード時バースト、ライト時 SRAM) 011 : リザーブ (設定禁止) 100 : PCMCIA*² 101 : リザーブ (設定禁止) 110 : リザーブ (設定禁止) 111 : リザーブ (設定禁止)</p> <p>【注】*¹ CS1BCR、CS4BCR のみ設定可能。 *² CS5BCR、CS6BCR のみ設定可能。</p>

11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)

CSn ウェイトコントロールレジスタ (CSnWCR、n=0~2、4~6) は、読み出し/書き込み可能な 32 ビットのレジスタで、エリア 0~2、4~6 の挿入ウェイトステート数、バーストメモリアクセスを行う場合のデータアクセスのピッチ数、アドレスから読み出し/書き込みストロブのアサートまでのセットアップ時間、書き込みストロブのネゲートからのデータホールド時間の挿入サイクルを指定します。

CSnWCR レジスタは、パワーオンリセットおよびマニュアルリセットで H'7777 770F に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	ADS			-	ADH			-	RDS			-	RDH		
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTS			-	WTH			-	BSH			IW[3:0]			
初期値:	0	1	1	1	0	1	1	1	0	0	0	0	1	1	1	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~28	ADS	111	R/W	アドレスセットアップサイクル アドレスの \overline{CSn} アサートに対するセットアップ時間に挿入されるサイクル数を指定します。PCMCIA インタフェース使用時は 0 に設定してください (SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。 000: サイクル挿入なし 001: 1 サイクル挿入 010: 2 サイクル挿入 011: 3 サイクル挿入 100: 4 サイクル挿入 101: 5 サイクル挿入 110: 6 サイクル挿入 111: 7 サイクル挿入
27	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
26~24	ADH	111	R/W	<p>アドレスホールドサイクル</p> <p>アドレスの \overline{CSn} ネゲートに対するホールド時間に挿入されるサイクル数を指定します (SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
23	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
22~20	RDS	111	R/W	<p>\overline{CSn} アサート-\overline{RD} アサート遅延サイクル</p> <p>\overline{CSn} アサートから \overline{RD} アサートに挿入されるサイクル数を指定します (SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
19	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
18~16	RDH	111	R/W	<p>\overline{RD} ネゲート-\overline{CSn} ネゲート遅延サイクル</p> <p>\overline{RD} ネゲートから \overline{CSn} ネゲートに挿入されるサイクル数を指定します (SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14~12	WTS	111	R/W	<p>\overline{CSn} アサート-\overline{WE} アサート遅延サイクル</p> <p>\overline{CSn} アサートから \overline{WE} アサートに挿入されるサイクル数を指定します (SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~8	WTH	111	R/W	<p>\overline{WE} ネゲート\overline{CSn} ネゲート遅延サイクル</p> <p>\overline{WE} ネゲートから \overline{CSn} ネゲートに挿入されるサイクル数を指定します (SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	BSH	000	R/W	<p>\overline{BS} ホールドサイクル</p> <p>\overline{BS} のアサート時間を延長するために挿入されるサイクル数を指定します。延長は \overline{CSn} アサート\overline{RD} / \overline{WE} アサート遅延サイクルが 1 以上に設定されているとき有効です。また、このビットの設定により、アクセスの総サイクル数は変わりません。</p> <p>000 : \overline{BS} アサートは 1 サイクル 001 : \overline{BS} アサートは 2 サイクル 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明																						
3~0	IW[3:0]	1111	R/W	<p>挿入ウェイトサイクル</p> <p>挿入ウェイトサイクル数を指定します。SRAM インタフェース/バイト制御 SRAM インタフェース/バースト ROM インタフェース(第1データのみ)および PCMCIA インタフェースのときは以下の挿入ウェイトサイクルになります。\overline{RDY} 端子による外部ウェイト挿入はサイクル挿入なしのときにはできません。</p> <table> <tr> <td>0000 : サイクル挿入なし</td> <td>1000 : 8 サイクル挿入</td> </tr> <tr> <td>0001 : 1 サイクル挿入</td> <td>1001 : 9 サイクル挿入</td> </tr> <tr> <td>0010 : 2 サイクル挿入</td> <td>1010 : 11 サイクル挿入</td> </tr> <tr> <td>0011 : 3 サイクル挿入</td> <td>1011 : 13 サイクル挿入</td> </tr> <tr> <td>0100 : 4 サイクル挿入</td> <td>1100 : 15 サイクル挿入</td> </tr> <tr> <td>0101 : 5 サイクル挿入</td> <td>1101 : 17 サイクル挿入</td> </tr> <tr> <td>0110 : 6 サイクル挿入</td> <td>1110 : 21 サイクル挿入</td> </tr> <tr> <td>0111 : 7 サイクル挿入</td> <td>1111 : 25 サイクル挿入</td> </tr> </table> <p>MPX インタフェース設定時には IW[2:0]の設定により、以下の挿入ウェイトサイクルになります。このとき、IW[3]の設定は無効になります。また、どの設定においても \overline{RDY} 端子による外部ウェイト挿入が可能です。</p> <p>IW[2]による第2データ以降の挿入ウェイトサイクル</p> <table> <tr> <td>0 : 0 サイクル挿入</td> </tr> <tr> <td>1 : 1 サイクル挿入</td> </tr> </table> <p>IW[1:0]による第1データの挿入ウェイトサイクル</p> <table> <tr> <td>00 : リード時 1 サイクル、ライト時 0 サイクル挿入</td> </tr> <tr> <td>01 : リード時 1 サイクル、ライト時 1 サイクル挿入</td> </tr> <tr> <td>10 : リード時 2 サイクル、ライト時 2 サイクル挿入</td> </tr> <tr> <td>11 : リード時 3 サイクル、ライト時 3 サイクル挿入</td> </tr> </table>	0000 : サイクル挿入なし	1000 : 8 サイクル挿入	0001 : 1 サイクル挿入	1001 : 9 サイクル挿入	0010 : 2 サイクル挿入	1010 : 11 サイクル挿入	0011 : 3 サイクル挿入	1011 : 13 サイクル挿入	0100 : 4 サイクル挿入	1100 : 15 サイクル挿入	0101 : 5 サイクル挿入	1101 : 17 サイクル挿入	0110 : 6 サイクル挿入	1110 : 21 サイクル挿入	0111 : 7 サイクル挿入	1111 : 25 サイクル挿入	0 : 0 サイクル挿入	1 : 1 サイクル挿入	00 : リード時 1 サイクル、ライト時 0 サイクル挿入	01 : リード時 1 サイクル、ライト時 1 サイクル挿入	10 : リード時 2 サイクル、ライト時 2 サイクル挿入	11 : リード時 3 サイクル、ライト時 3 サイクル挿入
0000 : サイクル挿入なし	1000 : 8 サイクル挿入																									
0001 : 1 サイクル挿入	1001 : 9 サイクル挿入																									
0010 : 2 サイクル挿入	1010 : 11 サイクル挿入																									
0011 : 3 サイクル挿入	1011 : 13 サイクル挿入																									
0100 : 4 サイクル挿入	1100 : 15 サイクル挿入																									
0101 : 5 サイクル挿入	1101 : 17 サイクル挿入																									
0110 : 6 サイクル挿入	1110 : 21 サイクル挿入																									
0111 : 7 サイクル挿入	1111 : 25 サイクル挿入																									
0 : 0 サイクル挿入																										
1 : 1 サイクル挿入																										
00 : リード時 1 サイクル、ライト時 0 サイクル挿入																										
01 : リード時 1 サイクル、ライト時 1 サイクル挿入																										
10 : リード時 2 サイクル、ライト時 2 サイクル挿入																										
11 : リード時 3 サイクル、ライト時 3 サイクル挿入																										

11.4.5 CSnPCMCIA コントロールレジスタ (CSnPCR)

CSn PCMCIA コントロールレジスタ (CSnPCR、n = 5、6) は、読み出し / 書き込み可能な 32 ビットのレジスタで、CS5PCR はエリア 5、CS6PCR はエリア 6 に接続する PCMCIA インタフェースに対するタイミングコントロール、空間属性、 \overline{OE} (\overline{RD})、 \overline{WE} 信号のアサート / ネゲートタイミングを指定します。また、CSnPCR はエリア 5、6 の前半と後半で別々に設定できます。エリア 5 の前半は外部アドレスで H'1400 0000~H'15FF FFFF、エリア 5 の後半は、H'1600 0000 ~ H'17FF FFFF、エリア 6 の前半は H'1800 0000 ~ H'19FF FFFF、エリア 6 の後半は、H'1A00 0000 ~ H'1BFF FFFF を示します。なお、エリア 5、6 の前半の \overline{OE} 、 \overline{WE} 信号のアサート幅は、CSnWCR の IW ビットで設定します。

CSnPCR レジスタは、パワーオンリセットおよびマニュアルリセットで H'7700 0000 に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	SAA			-	SAB		PCWA		PCWB		PCIW				
初期値 :	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TEDA			-	TEDB		-	TEHA			-	TEHB			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~28	SAA	111	R/W	空間属性 A エリアの前半に接続する PCMCIA の空間属性を設定します。 000 : ATA 補完モード 001 : ダイナミック I/O バスサイジング 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共有メモリ 101 : 16 ビット共有メモリ 110 : 8 ビットアトリビュートメモリ 111 : 16 ビットアトリビュートメモリ
27	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
26~24	SAB	111	R/W	空間属性 B エリアの後半に接続する PCMCIA の空間属性を設定します。 000 : ATA 補完モード 001 : ダイナミック I/O バスサイジング 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共有メモリ 101 : 16 ビット共有メモリ 110 : 8 ビットアトリビュートメモリ 111 : 16 ビットアトリビュートメモリ
23, 22	PCWA	00	R/W	PCMCIA ウェイト A 低速な PCMCIA 用ウェイトサイクルで、CSnWCR の IW ビットで指定したウェイト数に加算されます。 PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。 00 : ウェイトサイクル挿入なし 01 : 15 ウェイトサイクル挿入 10 : 30 ウェイトサイクル挿入 11 : 50 ウェイトサイクル挿入
21, 20	PCWB	00	R/W	PCMCIA ウェイト B 低速な PCMCIA 用ウェイトサイクルで、PCIW ビットで指定したウェイト数に加算されます。 PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。 00 : ウェイトサイクル挿入なし 01 : 15 ウェイトサイクル挿入 10 : 30 ウェイトサイクル挿入 11 : 50 ウェイトサイクル挿入
19~16	PCIW	0000	R/W	PCMCIA 挿入ウェイトサイクル B 挿入ウェイトサイクル数を指定します。PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。エリアの前半のときは CSnWCR の IW ビットの設定が適用されます。 0000 : サイクル挿入なし 1000 : 8 サイクル挿入 0001 : 1 サイクル挿入 1001 : 9 サイクル挿入 0010 : 2 サイクル挿入 1010 : 11 サイクル挿入 0011 : 3 サイクル挿入 1011 : 13 サイクル挿入 0100 : 4 サイクル挿入 1100 : 15 サイクル挿入 0101 : 5 サイクル挿入 1101 : 17 サイクル挿入 0110 : 6 サイクル挿入 1110 : 21 サイクル挿入 0111 : 7 サイクル挿入 1111 : 25 サイクル挿入
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14~12	TEDA	000	R/W	<p>$\overline{OE}/\overline{WE}$ アサート遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、アドレス出力から、$\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~8	TEDB	000	R/W	<p>$\overline{OE}/\overline{WE}$ アサート遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、アドレス出力から、$\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6~4	TEHA	000	R/W	<p>$\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、$\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。</p> <p>PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	TEHB	000	R/W	<p>$\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、$\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。</p> <p>PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 6 サイクル挿入 101 : 9 サイクル挿入 110 : 12 サイクル挿入 111 : 15 サイクル挿入</p>

11.5 動作説明

11.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MD5 端子) で $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に設定します。 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。例えば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の解放は行いません。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

8、16 バイト転送時は、それぞれ 4 バイト 2 回、4 バイト 4 回としてアクセスを行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.9 ~ 表 11.14 に示します。

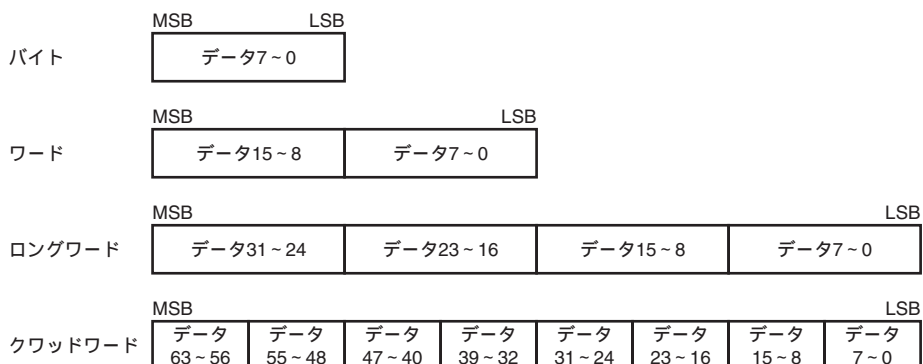


表 11.9 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}$	$\overline{WE2}$	$\overline{WE1}$	$\overline{WE0}$
バイト	4n	1	データ 7~0	-	-	-	アサート			
	4n+1	1	-	データ 7~0	-	-		アサート		
	4n+2	1	-	-	データ 7~0	-			アサート	
	4n+3	1	-	-	-	データ 7~0				アサート
ワード	4n	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.10 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}$	$\overline{WE2}$	$\overline{WE1}$	$\overline{WE0}$
バイト	2n	1	-	-	データ 7~0	-			アサート	
	2n+1	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31~24	データ 23~16			アサート	アサート
	4n+2	2	-	-	データ 15~8	データ 7~0			アサート	アサート

表 11.11 8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ 7~0				アサート
ロング ワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ 7~0				アサート

表 11.12 32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	4n	1	-	-	-	データ 7~0				アサート
	4n+1	1	-	-	データ 7~0	-			アサート	
	4n+2	1	-	データ 7~0	-	-		アサート		
	4n+3	1	データ 7~0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.13 16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	2n	1	-	-	-	データ 7 ~ 0				アサート
	2n+1	1	-	-	データ 7 ~ 0	-			アサート	
ワード	2n	1	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
ロング ワード	4n	1	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
	4n+2	2	-	-	データ 31 ~ 24	データ 23 ~ 16			アサート	アサート

表 11.14 8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7 ~ 0				アサート
ワード	2n	1	-	-	-	データ 7 ~ 0				アサート
	2n+1	2	-	-	-	データ 15 ~ 8				アサート
ロング ワード	4n	1	-	-	-	データ 7 ~ 0				アサート
	4n+1	2	-	-	-	データ 15 ~ 8				アサート
	4n+2	3	-	-	-	データ 23 ~ 16				アサート
	4n+3	4	-	-	-	データ 31 ~ 24				アサート

11.5.2 エリアの説明

(1) エリア 0

エリア 0 は、外部アドレスの A28 ~ A26 が 000 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、外部端子の MD4、MD3 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビットから選べます。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア 0 をアクセスすると $\overline{CS0}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS0WCR レジスタにより挿入ウェイトサイクル数を 0 ~ 25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS0BCR の BW ビットによりバーストピッチを 0 ~ 7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

バースト ROM インタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロープ信号アサート/ネゲートの $\overline{CS0}$ アサート/ネゲートに対する遅延サイクルは、CS0WCR レジスタより、0 ~ 7 サイクルに設定することができます。また、リード/ライトストロープセットアップウェイトが 1 以上のときには \overline{BS} ホールドサイクルを 0 ~ 1 サイクルの範囲で設定できます。

(2) エリア 1

エリア 1 は、外部アドレスの A28 ~ A26 が 001 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM およびバイト制御 SRAM です。

バス幅は、CS1BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS1BCR レジスタの SZ ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合は、バス幅を 16 ビット、32 ビットにしてください。

エリア 1 をアクセスすると $\overline{CS1}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS1BCR レジスタにより挿入ウェイトサイクル数を 0 ~ 25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS1BCR の BW ビットによりバーストピッチを 0 ~ 7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロープ信号アサート/ネゲートの $\overline{CS1}$ アサート/ネゲートに対する遅延サイクルは、CS1WCR レジスタより、0 ~ 7 サイクルに設定することができます。

また、リード/ライトストロブセットアップウェイトが1以上のときには \overline{BS} ホールドサイクルを0~1の範囲で設定できます。

(3) エリア2

エリア2は、外部アドレスのA28~A26が010のエリアです。また、A31~A29の値によっては、DDR-SDRAMの空間になることがあります。

このエリアに設定できるインタフェースは、SRAM、MPX、バーストROMおよびDDR-SDRAMです。

バス幅は、SRAMインタフェースを設定する場合、CS2BCRレジスタのSZビットにより8ビット、16ビット、32ビットから選べます。MPXインタフェースを設定する場合は、CS2BCRレジスタのSZビットにより、32ビットに設定してください。

エリア2をアクセスすると $\overline{CS2}$ 信号がアサートされます(DDR-SDRAMの場合を除く)。

SRAMインタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0}$ ~ $\overline{WE3}$ がアサートされます。

バスサイクル数は、CS2WCRレジスタにより挿入ウェイトサイクル数を0~25から選択することができます。

バーストROMインタフェースを使用する場合、CS2BCRのBWビットによりバーストピッチを0~7から選ぶことができます。

また、外部ウェイト端子(\overline{RDY})により、バスサイクルごとに任意のウェイトを挿入することができます(挿入サイクル数が0のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロブ信号アサート/ネゲートの $\overline{CS2}$ アサート/ネゲートに対する遅延サイクルは、CS2WCRレジスタより、0~7サイクルに設定することができます。また、リード/ライトストロブセットアップウェイトが1以上のときには \overline{BS} ホールドサイクルを0~1の範囲で設定できます。

DDR-SDRAMの場合は、「第12章 DDR-SDRAMインタフェース(DDRIF)」を参照してください。

(4) エリア3

エリア3は、外部アドレスのA28~A26が011のエリアです。

このエリアはDDR-SDRAM専用のエリアです。

詳細は、「第12章 DDR-SDRAMインタフェース(DDRIF)」を参照してください。

(5) エリア4

エリア4は、外部アドレスのA28~A26が100のエリアです。また、A31~A29の値によっては、DDR-SDRAMまたはPCIの空間になることがあります。

このエリアに設定できるインタフェースは、SRAM、MPX、バイト制御SRAM、バーストROM、DDR-SDRAMおよびPCIです。

バス幅は、CS4BCRレジスタのSZビットにより8ビット、16ビット、32ビットから選べます。MPXインタフェースを設定する場合は、CS4BCRレジスタのSZビットにより、バス幅を32ビットに設定してください。バイト制御SRAMインタフェースを設定する場合はバス幅を16ビット、32ビットに設定してください。詳細は、「11.3.2 メモリバス幅」を参照してください。

エリア4をアクセスすると $\overline{CS4}$ 信号がアサートされます (DDR-SDRAM、PCIの場合を除く)。また、SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS4WCRレジスタにより挿入ウェイトサイクル数を0~25から選択することができます。詳細は、「11.5.8 アクセスサイクル間ウェイト」を参照してください。

バーストROMインタフェースを使用する場合、CS4BCRのBWビットによりバーストピッチを0~7から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が0のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロープ信号アサート/ネゲートの $\overline{CS4}$ アサート/ネゲートに対する遅延サイクルは、CS4WCRレジスタより、0~7サイクルに設定することができます。また、リード/ライトストロープセットアップウェイトが1以上のときには \overline{BS} ホールドサイクルを0~1の範囲で設定できます。

DDR-SDRAMまたはPCIの場合は、「第12章 DDR-SDRAMインタフェース (DDRIF)」または「第13章 PCIコントローラ (PCIC)」を参照してください。

(6) エリア5

エリア5は、外部アドレスのA28~A26が101のエリアです。また、A31~A29の値によっては、DDR-SDRAMの空間になることがあります。

このエリアに設定できるインタフェースは、SRAM、MPX、バーストROM、PCMCIAインタフェースおよびDDR-SDRAMです。

バス幅は、SRAMインタフェース、バーストROMインタフェースを設定する場合、CS5BCRレジスタのSZビットにより8ビット、16ビット、32ビットから選べます。MPXインタフェースを設定する場合は、CS5BCRレジスタのSZビットにより、バス幅を32ビットに設定してください。また、PCMCIAインタフェースを設定する場合、CS5BCRレジスタのSZビットにより8ビット、16ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

SRAMインタフェースを設定している場合、エリア5をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIAインタフェースを接続する場合には、 $\overline{CE1A/CS5}$ 、 $\overline{CE2A}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{IORD} 、 \overline{IOWR} 、 $\overline{PCC_REG}$ として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、CS5WCRレジスタにより挿入ウェイトサイクル数を0~25から選択することができます。

バーストROMインタフェースを使用する場合、CS5BCRのBWビットによりバーストピッチを0~7から選ぶことができます。

また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が0のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロープ信号アサート/ネゲートの $\overline{CS5}$ アサート/ネゲートに対する遅延サイクルは、CS5WCRレジスタより、0~7サイクルに設定することができます。

また、リード/ライトストロブセットアップウェイトが1以上のときには \overline{BS} ホールドサイクルを0~1の範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロブ信号に対してアドレス $\overline{CE1A}/\overline{CS5}$ 、 $\overline{CE2A}$ のセットアップ、ホールド時間をCS5PCRレジスタのTEDA/Bビット、TEHA/Bビットによって、0~15サイクルの範囲で設定できます。さらに、PCWA/Bビットによりウェイトサイクルを0~50の範囲で設定できます。CS5PCRで設定したウェイトは、CS5WCRのIW、CS5PCRのPCIWで設定したウェイト数に加算されます。

DDR-SDRAMの場合は、「第12章 DDR-SDRAM インタフェース (DDRIF)」を参照してください。

(7) エリア6

エリア6は、外部アドレスのA28~A26が110のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バーストROMおよびPCMCIAインタフェースです。

バス幅は、SRAMインタフェースを設定する場合、CS6BCRレジスタのSZビットにより8ビット、16ビット、32ビットから選べます。バーストROMインタフェースを設定する場合は、CS6BCRレジスタのSZビットにより、バス幅を8ビット、16ビット、32ビットから選べます。MPXインタフェースを設定する場合は、CS6BCRレジスタのSZビットにより、バス幅を32ビットに設定してください。また、PCMCIAインタフェースを設定する場合、CS6BCRレジスタのSZビットにより8ビット、16ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

SRAMインタフェースを設定している場合、エリア6をアクセスすると $\overline{CS6}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0}$ ~ $\overline{WE3}$ がアサートされます。PCMCIAインタフェースを設定する場合には、 $\overline{CE1B}/\overline{CS6}$ 、 $\overline{CE2B}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{IORD} 、 \overline{IOWR} 、 $\overline{PCC_REG}$ として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、CS6BCRレジスタにより挿入ウェイトサイクル数を0~25から選択することができます。

バーストROMインタフェースを使用する場合、CS5BCRのBWビットによりバーストピッチを0~7から選ぶことができます。

また、外部ウェイト端子(\overline{RDY})により、バスサイクルごとに任意のウェイトを挿入することができます(挿入サイクル数が0のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロブ信号アサート/ネゲートの $\overline{CS6}$ アサート/ネゲートに対する遅延サイクルは、CS6WCRレジスタより、0~7サイクルに設定することができます。また、リード/ライトストロブセットアップウェイトが1以上のときには \overline{BS} ホールドサイクルを0~1の範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロブ信号に対してアドレス $\overline{CE1B}/\overline{CS6}$ 、 $\overline{CE2B}$ のセットアップ、ホールド時間をCS6PCRレジスタのTEDA/Bビット、TEHA/Bビットによって、0~15サイクルの範囲で設定できます。さらに、PCWA/Bビットによりウェイトサイクルを0~50の範囲で設定できます。CS6PCRで設定したウェイトは、CS6WCRのIW、CS5PCRのPCIWで設定したウェイト数に加算されます。

11.5.3 SRAM インタフェース

(1) 基本タイミング

本LSIのSRAMインタフェースは、主にSRAMの接続を考慮してストロブ信号を出力します。図11.4にSRAMインタフェースの基本タイミングを示します。ウェイトのない通常アクセスは2サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1サイクルまたは2サイクルアサートされます。 \overline{CSn} 信号は、 T_1 の立ち上がりでアサートされ T_2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは、読み出し時は指定がありません。アドレス端子 (A[25:0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32ビットデバイスでは32ビット、16ビットデバイスでは16ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「11.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

32バイト転送時は、設定したバス幅に従い、合計32バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは32バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

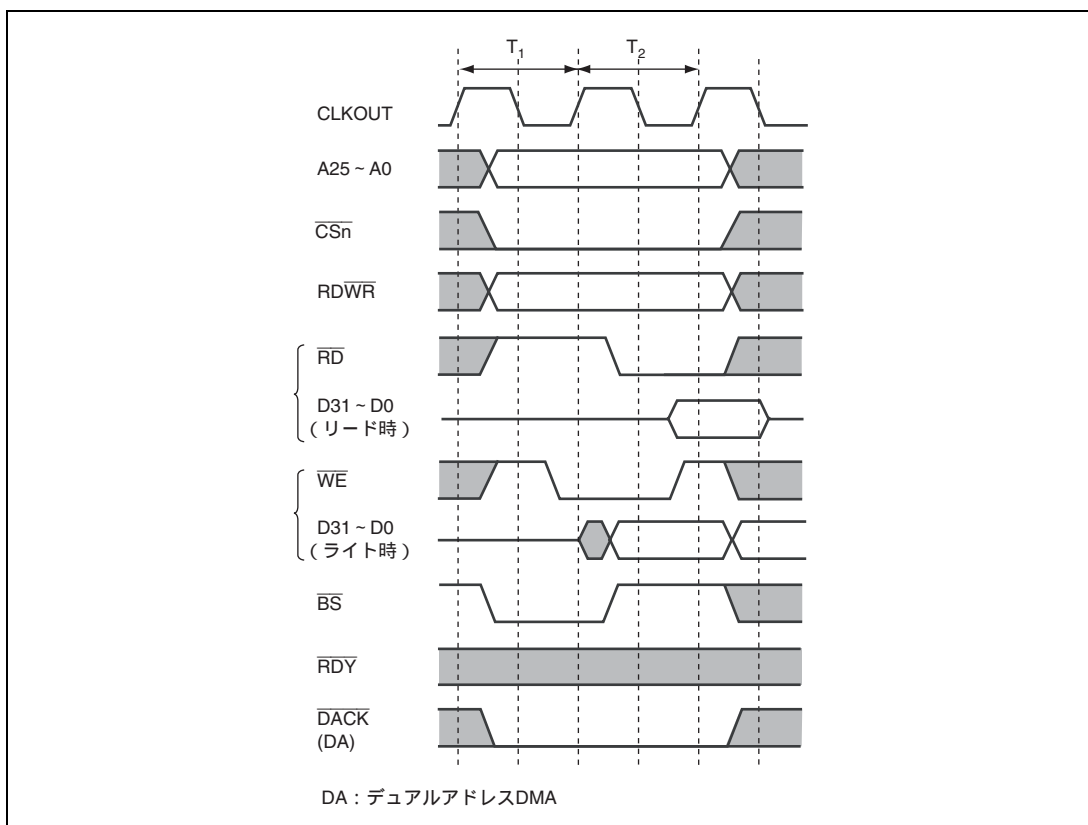


図 11.4 SRAM インタフェースの基本タイミング

図 11.5 に 32 ビットデータ幅の SRAM との接続例を、図 11.6 に 16 ビットデータ幅の SRAM との接続例を、図 11.7 に 8 ビットデータ幅の SRAM との接続例を示します。

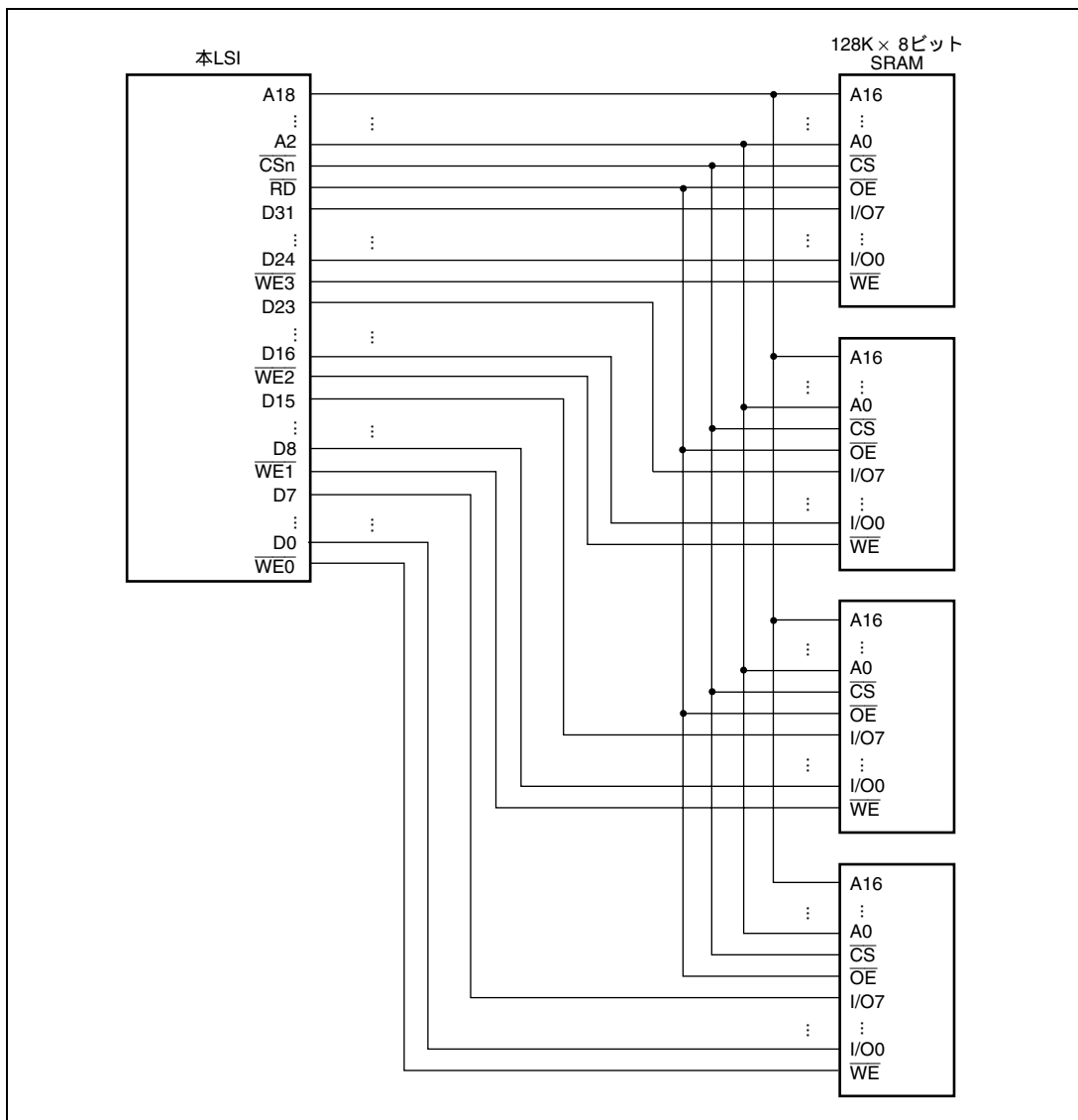


図 11.5 32 ビットデータ幅 SRAM 接続例

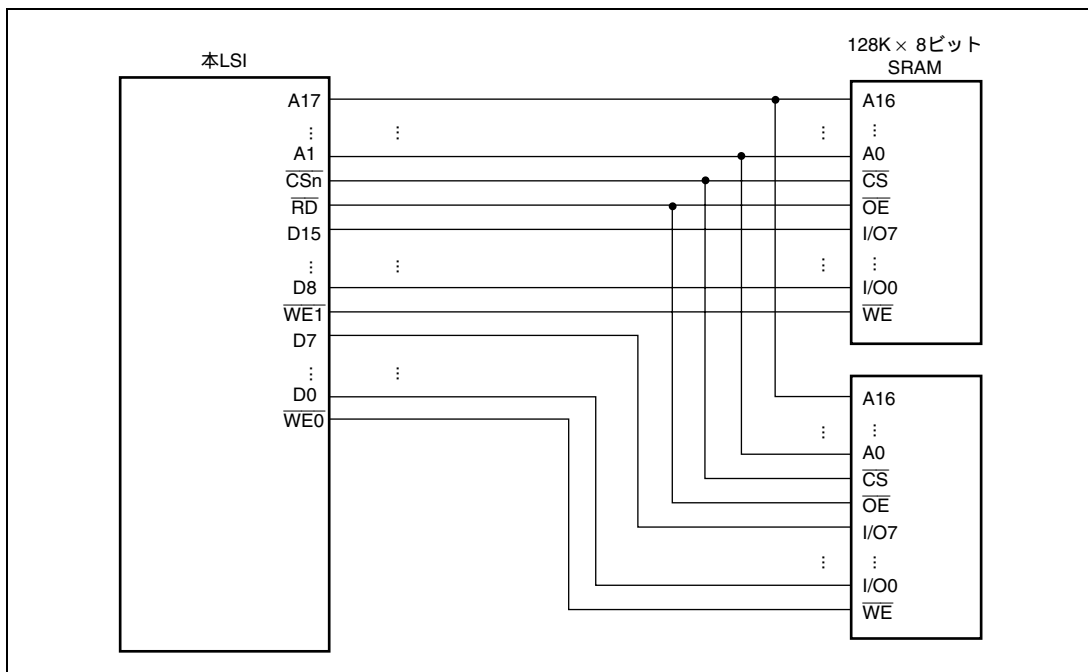


図 11.6 16 ビットデータ幅 SRAM 接続例

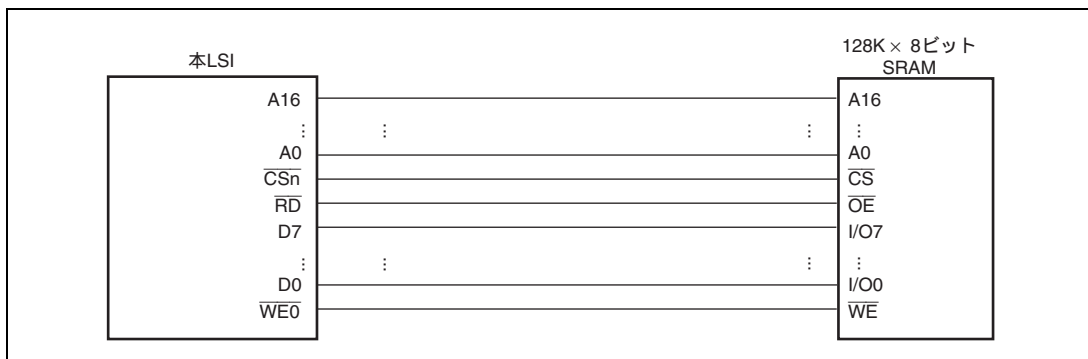


図 11.7 8 ビットデータ幅 SRAM 接続例

(2) ウェイトステート制御

CSnWCR の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。CSnWCR の IW ビットが 0 以外のときは、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)」の項を参照してください。

CSnWCR によって、図 11.8 に示す SRAM インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

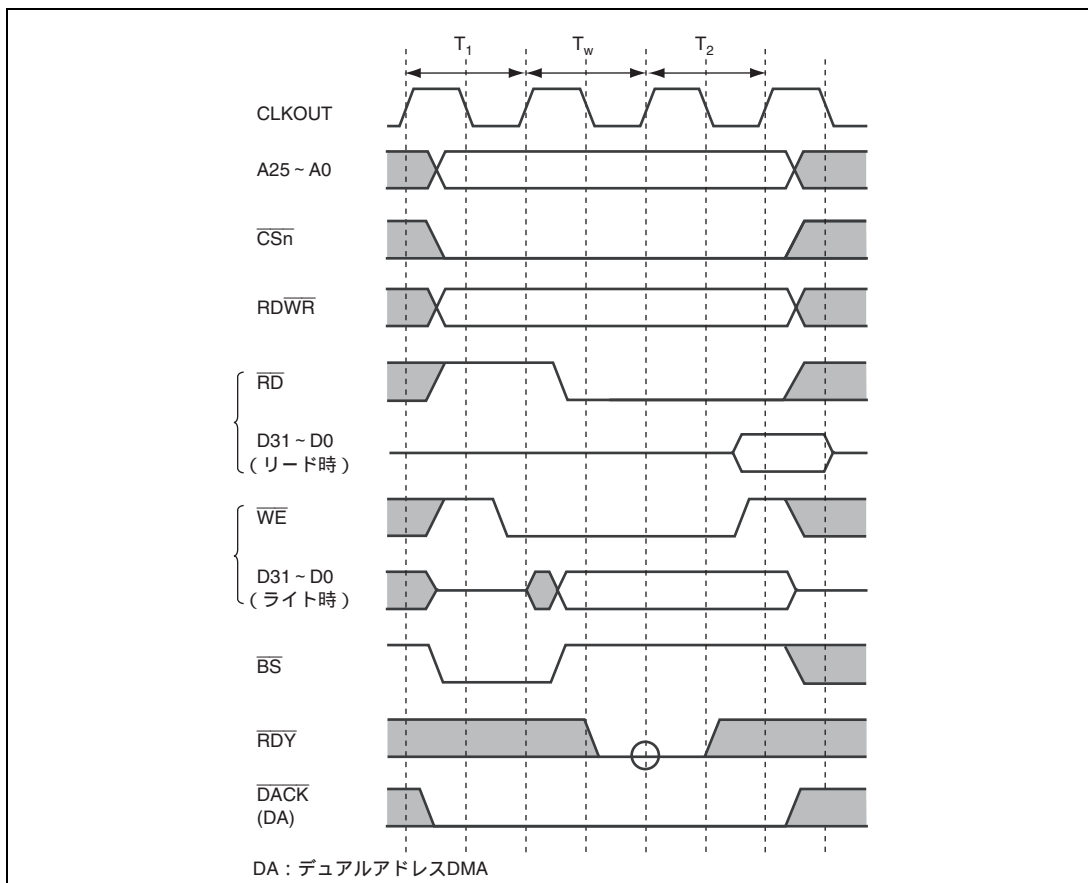


図 11.8 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 \overline{RDY} 信号もサンプリングされます。 \overline{RDY} 信号のサンプリングを図 11.9 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで \overline{RDY} 信号をアサートしても何も影響を与えません。 \overline{RDY} 信号はクロックの立ち上がりでサンプリングされます。

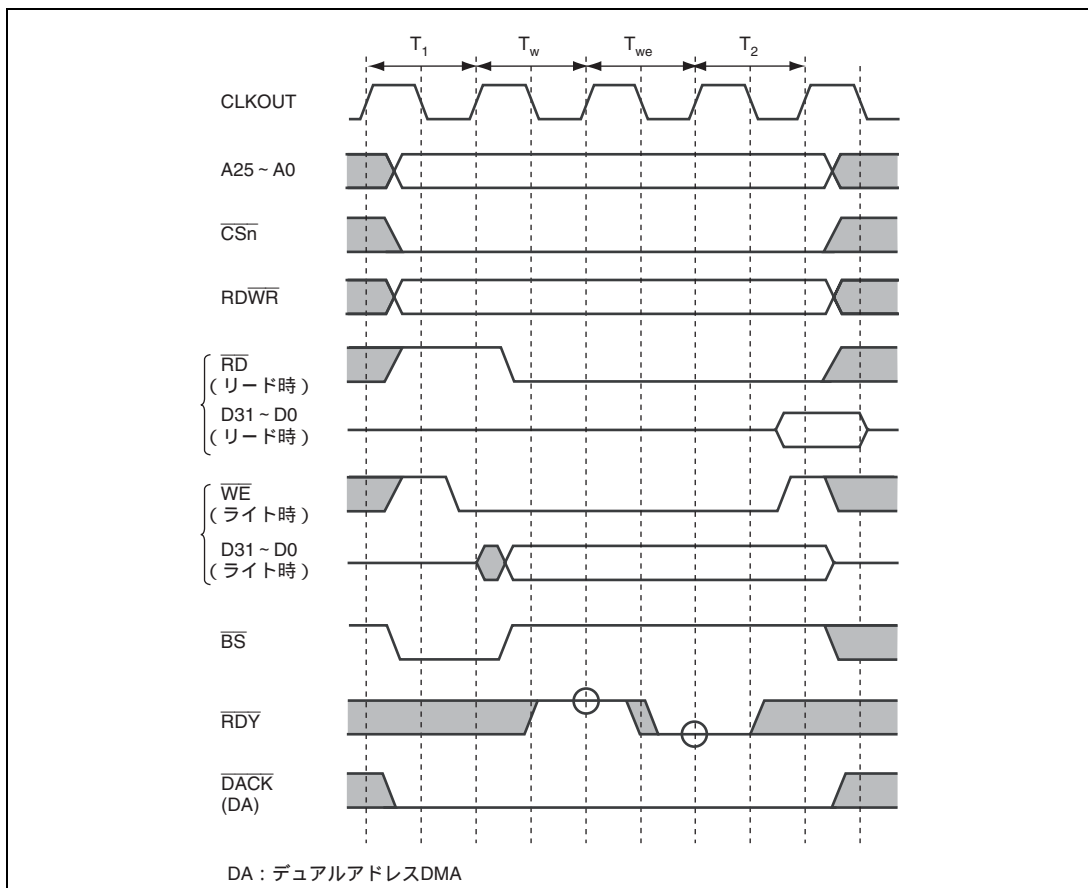


図 11.9 SRAM インタフェースのウェイトステートタイミング
(\overline{RDY} 信号によるウェイトステート挿入、 \overline{RDY} 信号は同期入力)

(3) リードストロブネゲートタイミング

SRAM インタフェース時、CSnBCR の RDSPL (ビット 7) の設定により、リード時のストロブのネゲートタイミングを設定することができます。設定については「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」のレジスタの項を参照してください。バイト制御 SRAM 設定時は RDSPL に 0 を設定してください。

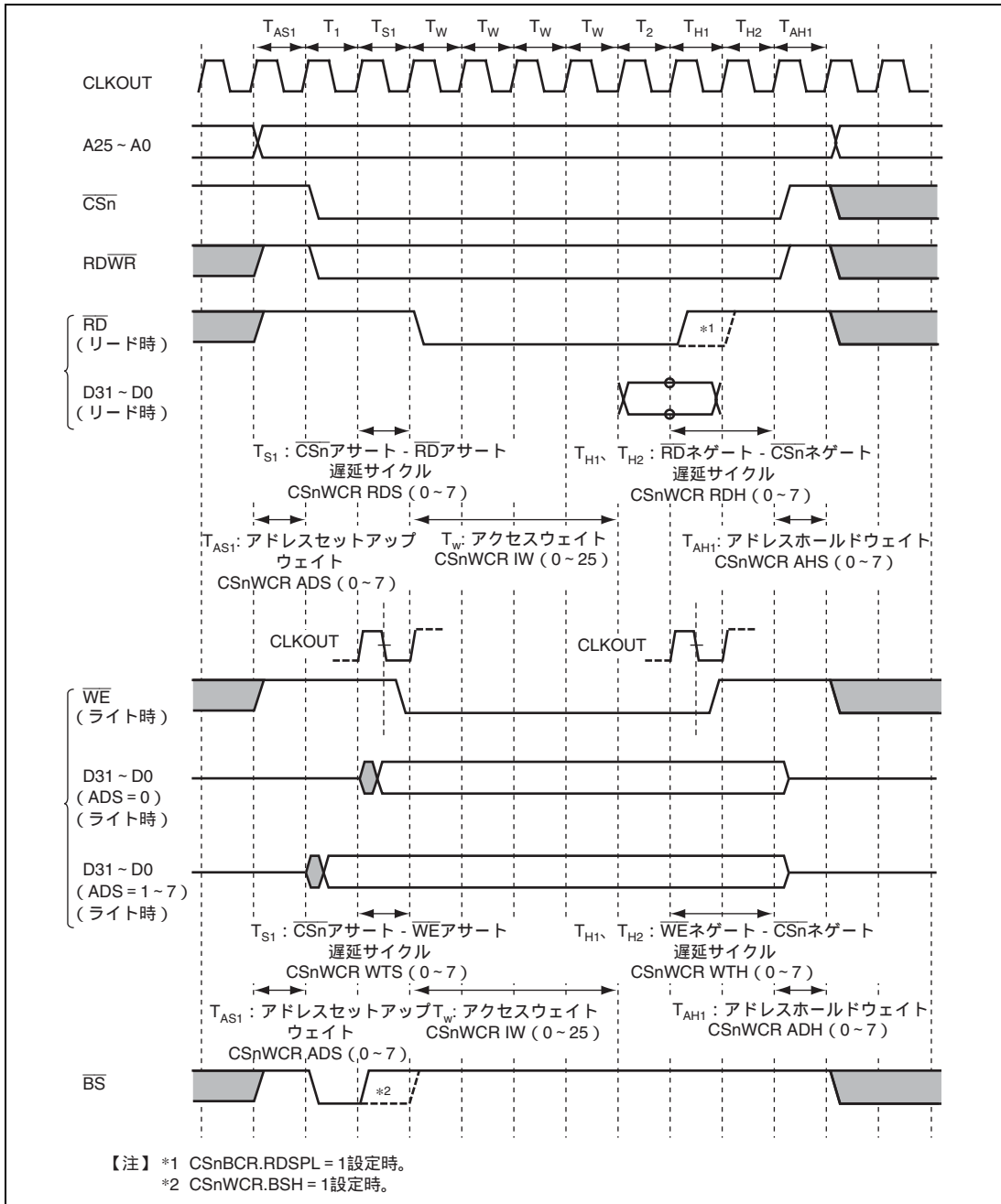


図 11.10 SRAM インタフェースのウェイトステートタイミング (リードストロブネゲートタイミングの設定)

11.5.4 バースト ROM インタフェース

CSnBCR の TYPE ビットを 010 に設定することにより、エリア 0、エリア 1、エリア 2、エリア 4、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 11.11 に示します。ウェイトサイクルは 0 サイクルの設定です。基本的には SRAM インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には CS0BCR、CS5BCR、CS6BCR の BST ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に \overline{RDY} 端子のサンプリングを行います。

バースト ROM の設定を行い、ウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 11.12 に示します。

バースト ROM インタフェースに対するライト動作は、SRAM インタフェースとして行われます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。また、バス幅とバースト回数を掛けたバイト境界で、バーストを一旦中止し、その後再開します。この途中ではバス権を解放しません。

バースト ROM の設定を行い、CSnWCR でセットアップ/ホールドを指定した場合のタイミングを図 11.13 に示します。

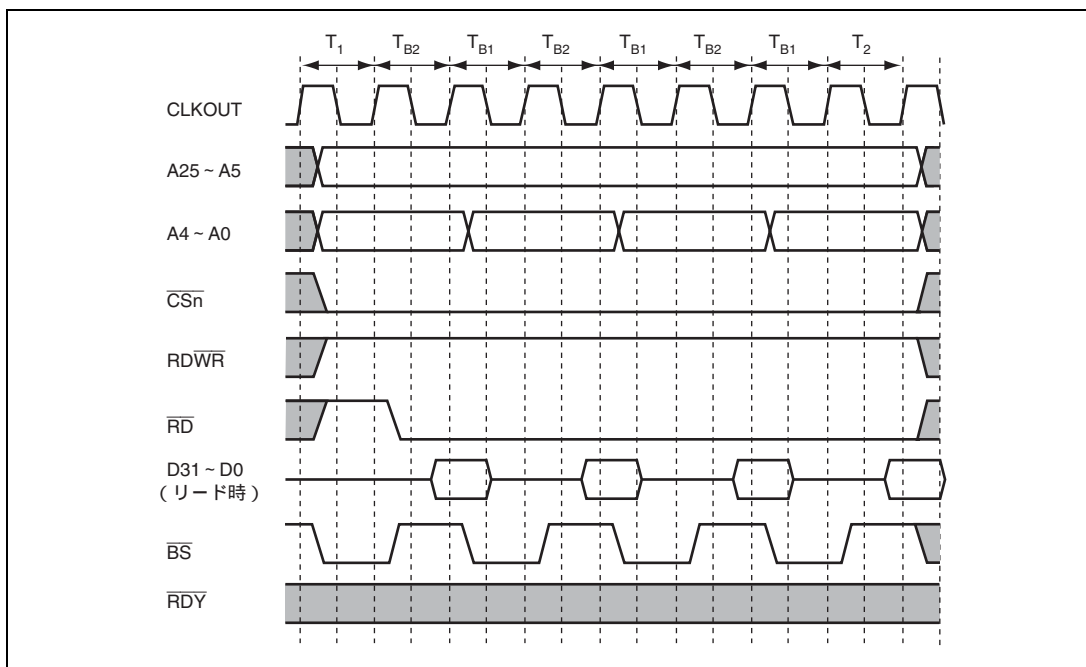


図 11.11 バースト ROM 基本アクセスタイミング

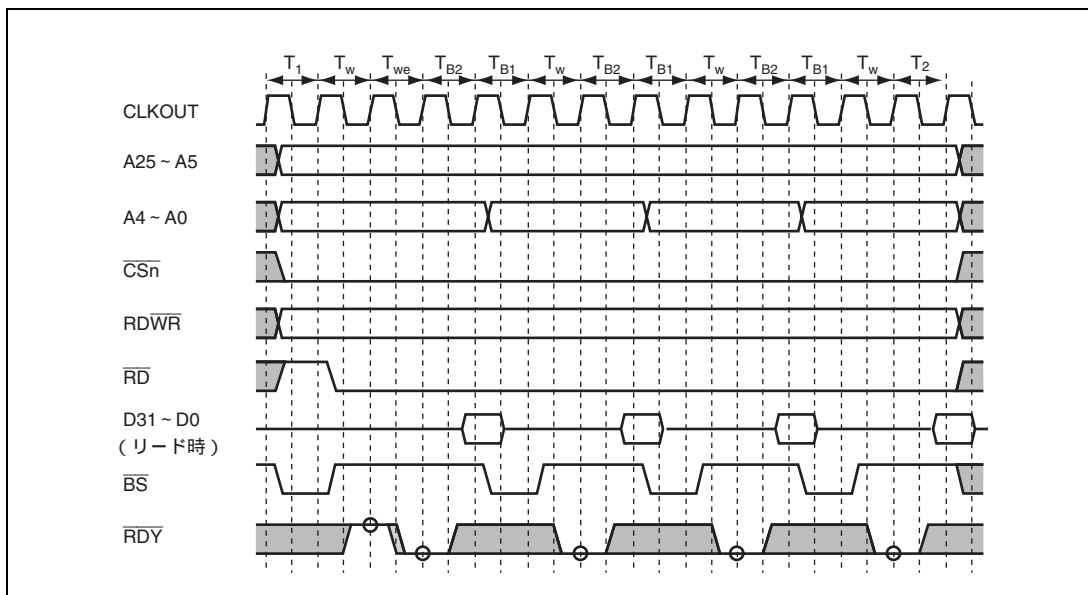


図 11.12 バーストROM ウェイトアクセスタイミング

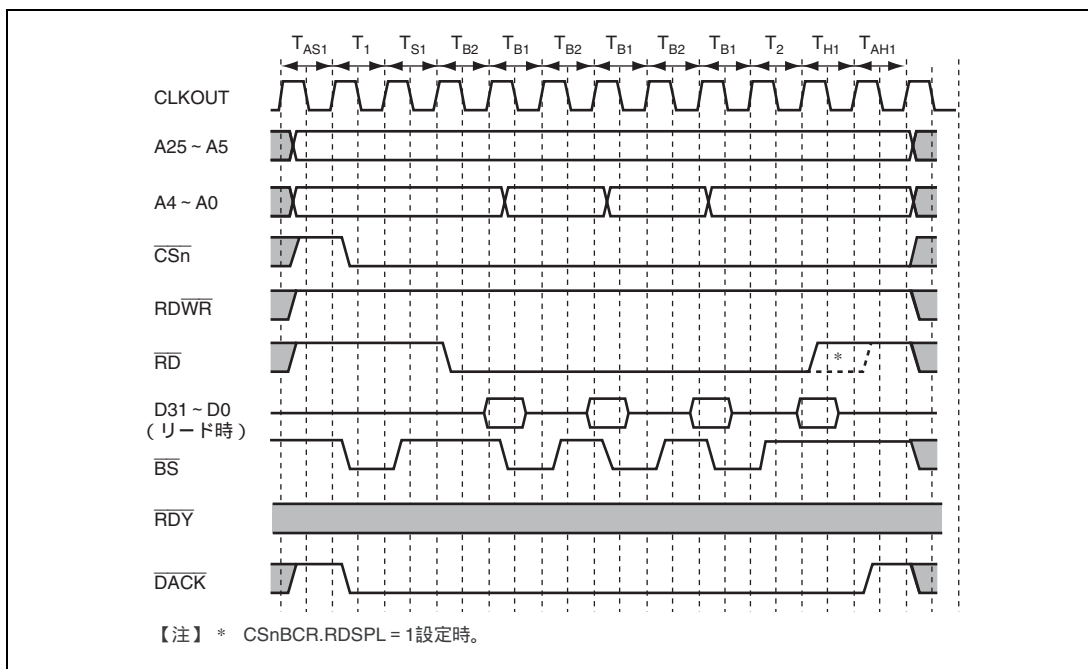


図 11.13 バーストROM ウェイトアクセスタイミング

11.5.5 PCMCIA インタフェース

本 LSI では CS5BCR、CS6BCR の TYPE ビットを設定することにより、外部メモリ空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 以下略) で定める"IC メモリカードインタフェース"または"I/O カードインタフェース"になります。

図 11.14 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリーステートバッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。

PCMCIA インタフェースのメモリ空間は CSnPCR の SAA および SAB ビットの設定により、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、ダイナミックバスサイジング、ATA 補完モードが選択できます。

アクセス先がエリアの前半のときは、CSn ウェイトコントロールレジスタ (CS5WCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWA、TEDA、TEHA ビットが選択されます。アクセス先がエリアの後半のときは、CSn ウェイトコントロールレジスタ (CSnWCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWB、TEDB、TEHB ビットが選択されます。

低速バスサイクルに挿入するウェイトステート数は、PCWA/B ビットにより、0、15、30、または 50 に設定できます。この値は、CSnWCR の IW または CSnPCR の PCIW で指定された挿入ウェイトステート数に加算されます。 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CSn} 、 $\overline{CE1x}$ 、 $\overline{CE2x}$ 、 $\overline{PCC_REG}$ セットアップ時間は、TEDA/B ビット (0~15 に設定可能) により、設定することができます。また、 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CSn} 、 $\overline{CE1x}$ 、 $\overline{CE2x}$ 、 $\overline{PCC_REG}$ データホールド時間は、TEHA/B ビット (0~15 に設定可能) により、設定することができます。

また、サイクル間アイドルサイクルは、CS5 バスコントロールレジスタ (CS5BCR)、または CS6 バスコントロールレジスタ (CS6BCR) のサイクル間アイドルビットにより設定します。選択されるサイクル間ウェイトサイクルは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、CS5WCR のサイクル間アイドルビットが、エリア 6 のアクセス時には、CS6WCR のサイクル間アイドルビットが、それぞれ選択されます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われません。この途中ではバス権を解放しません。

ATA 補完モードは、本 LSI に接続する ATA デバイス内部の特定のレジスタにアクセスするときに使用します。DMAC を使用しないバイトアクセスのときには $\overline{CE1x}$ がネゲートされ、 $\overline{CS2x}$ がアサートされます。DMAC を使用しないワードアクセスのときには $\overline{CE1x}$ がアサートされ、 $\overline{CE2x}$ がネゲートされます。DMA によるアクセスのときには $\overline{CE1x}$ 、および $\overline{CE2x}$ はネゲートされます。対象となるレジスタは Device Control Register、Alternate Status Register、Data Register、Data Port です。Device Control Register、Alternate Status Register には DMAC を使用しないバイトアクセス、Data Register には DMAC を使用しないワードアクセスを行ってください。Data Port へのアクセスは DMA 転送を使用します。このとき DMAC の CHCR の設定例は、外部リクエスト、パーストモード、レベル検出、オーバラン 0、および PCMCIA 接続エリアに対する \overline{DACK} 出力です。さらに、DMA チャンネルに対応する BCR の DACKBST ビットを 1 にセットすると、該当チャンネルの \overline{DACK} は DMA 転送の初回から最終回までアサートされつづけます。このとき、転送途中で対応する \overline{DREQ} をネゲートしても、 \overline{DACK} はネゲートされません。また、ATA 補完モードを設定している空間に対する DMA 転送の \overline{DACK} 出力するアクセス時、 $\overline{CE1x}$ および $\overline{CE2x}$ はアサートされません。DACKBST が有効な DMA 転送の転送サイズを 16 バイトに設定するときは、 \overline{DACK} を出力する空間の同空間に対するアクセスサイクル間ウェイトを 0 に設定してください。DACKBST を有効にした DMA パースト転送を行った後は、他の DMA 転送を始める前に、DACKBST ビットを再設定してください。

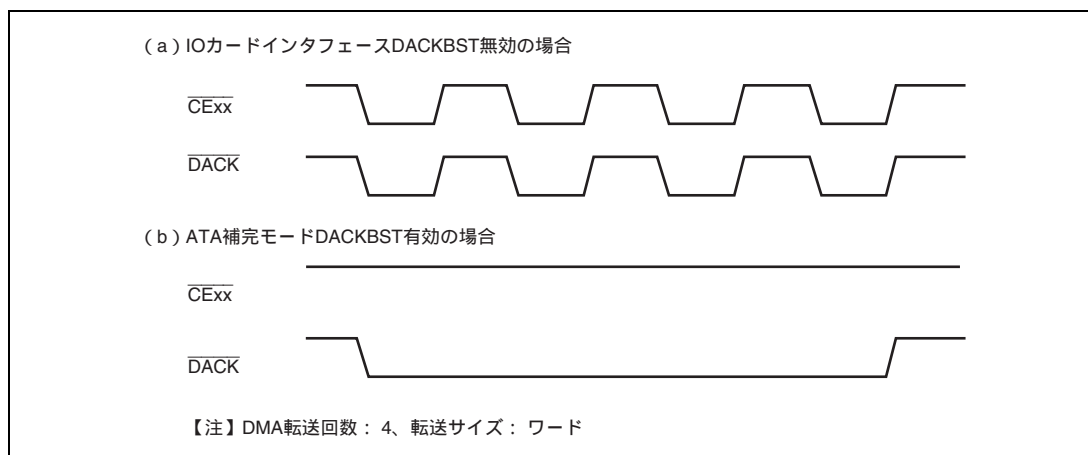


図 11.14 ATA 補完モード DMA 転送時の \overline{CExx} 信号と \overline{DACKn} 信号の出力

表 11.15 PCMCIA インタフェース使用時のアドレスと CE の関係

バス (ビット)	リード/ ライト	アクセス サイズ* ¹ (ビット)	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15～D8	D7～D0
8	リード	8	偶数	*	-	H	L	L	無効	リードデータ
			奇数	*	-	H	L	H	無効	リードデータ
		16	偶数	*	1回目	H	L	L	無効	下位リードデータ
			偶数	*	2回目	H	L	H	無効	上位リードデータ
	ライト	8	偶数	*	-	H	L	L	無効	ライトデータ
			奇数	*	-	H	L	H	無効	ライトデータ
		16	偶数	*	1回目	H	L	L	無効	下位ライトデータ
			偶数	*	2回目	H	L	H	無効	上位ライトデータ
		奇数	*	-	-	-	-	-	-	-
		奇数	*	-	-	-	-	-	-	-
16	リード	8	偶数	*	-	H	L	L	無効	リードデータ
			奇数	*	-	L	H	H	リードデータ	無効
		16	偶数	*	-	L	L	L	上位リードデータ	下位リードデータ
			奇数	*	-	-	-	-	-	-
	ライト	8	偶数	*	-	H	L	L	無効	ライトデータ
			奇数	*	-	L	H	H	ライトデータ	無効
		16	偶数	*	-	L	L	L	上位ライトデータ	下位ライトデータ
			奇数	*	-	-	-	-	-	-
ダイナミック バスサイジング * ²	リード	8	偶数	L	-	H	L	L	無効	リードデータ
			奇数	L	-	L	H	H	リードデータ	無効
		16	偶数	L	-	L	L	L	上位リードデータ	下位リードデータ
			奇数	L	-	-	-	-	-	-
	ライト	8	偶数	L	-	H	L	L	無効	ライトデータ
			奇数	L	-	L	H	H	ライトデータ	無効
		16	偶数	L	-	L	L	L	上位ライトデータ	下位ライトデータ
			奇数	L	-	-	-	-	-	-
	リード	8	偶数	H	-	H	L	L	無効	リードデータ
			奇数	H	1回目	L	H	H	無視	無効
			奇数	H	2回目	H	L	H	無効	リードデータ
		16	偶数	H	1回目	L	L	L	無効	下位リードデータ
			偶数	H	2回目	H	L	H	無効	上位リードデータ
			奇数	H	-	-	-	-	-	-

バス (ビット)	リード/ ライト	アクセス サイズ* ¹ (ビット)	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15~D8	D7~D0
ダイナミック バスサイジング * ²	ライト	8	偶数	H	-	H	L	L	無効	ライトデータ
			奇数	H	1回目	L	H	H	無効	ライトデータ
			奇数	H	2回目	H	L	H	無効	ライトデータ
		16	偶数	H	1回目	L	L	L	上位ライトデータ	下位ライトデータ
			偶数	H	2回目	H	L	H	無効	上位ライトデータ
			奇数	H	-	-	-	-	-	-
ATA 補完 モード	DACK を出力 しないリード	8	偶数	*	-	L	H	L	無効	リードデータ
			奇数	*	-	-	-	-	-	-
		16	偶数	*	-	H	L	L	上位リードデータ	下位リードデータ
			奇数	*	-	-	-	-	-	-
	DACK を出力 しないライト	8	偶数	*	-	L	H	L	無効	ライトデータ
			奇数	*	-	-	-	-	-	-
		16	偶数	*	-	H	L	L	上位ライトデータ	下位ライトデータ
			奇数	*	-	-	-	-	-	-
	DACK を出力 するリード	8	偶数	*	-	H	H	L	無効	リードデータ
			奇数	*	-	H	H	L	リードデータ	無効
		16	偶数	*	-	H	H	H	上位ライトデータ	下位ライトデータ
			奇数	*	-	-	-	-	-	-
	DACK を出力 するライト	8	偶数	*	-	H	H	L	無効	リードデータ
			奇数	*	-	H	H	L	リードデータ	無効
		16	偶数	*	-	H	H	H	上位ライトデータ	下位ライトデータ
			奇数	*	-	-	-	-	-	-

【注】 * Don't care

L Low level

H High level

*1 32 ビット / 64 ビット / 16 バイト / 32 バイト転送の場合、各転送における転送データサイズに達するまで、自動的にバス幅分のアドレスをインクリメントして上記アクセスを繰り返す。

*2 PCMCIA I/O カードインタフェース時のみ

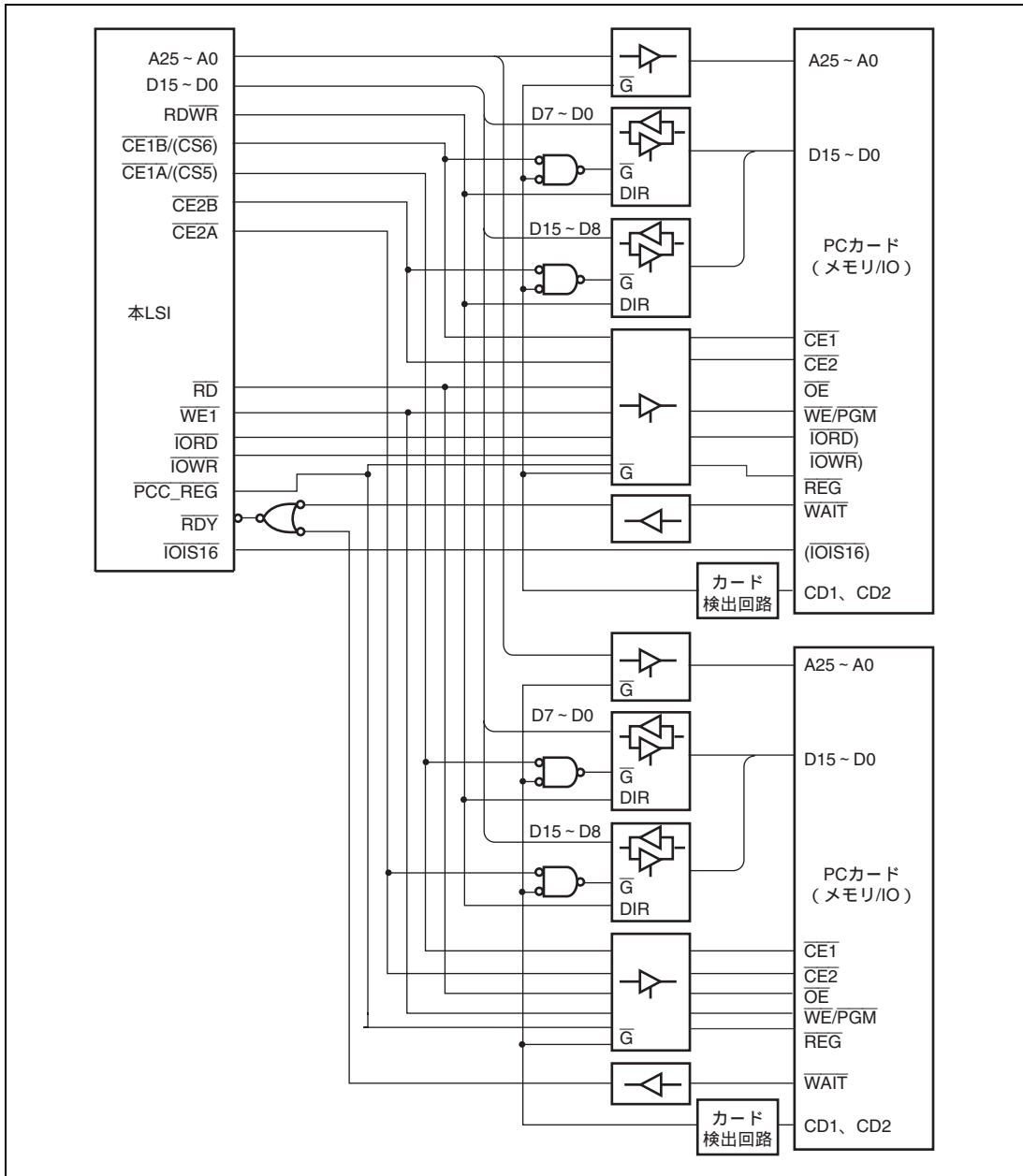


図 11.15 PCMCIA インタフェース例

(1) メモリカードインタフェース基本タイミング

図 11.16 に PCMCIA の"IC メモリカードインタフェース"の基本タイミングを、図 11.17 に PCMCIA メモリカードインタフェースウェイトタイミングを、それぞれ示します。

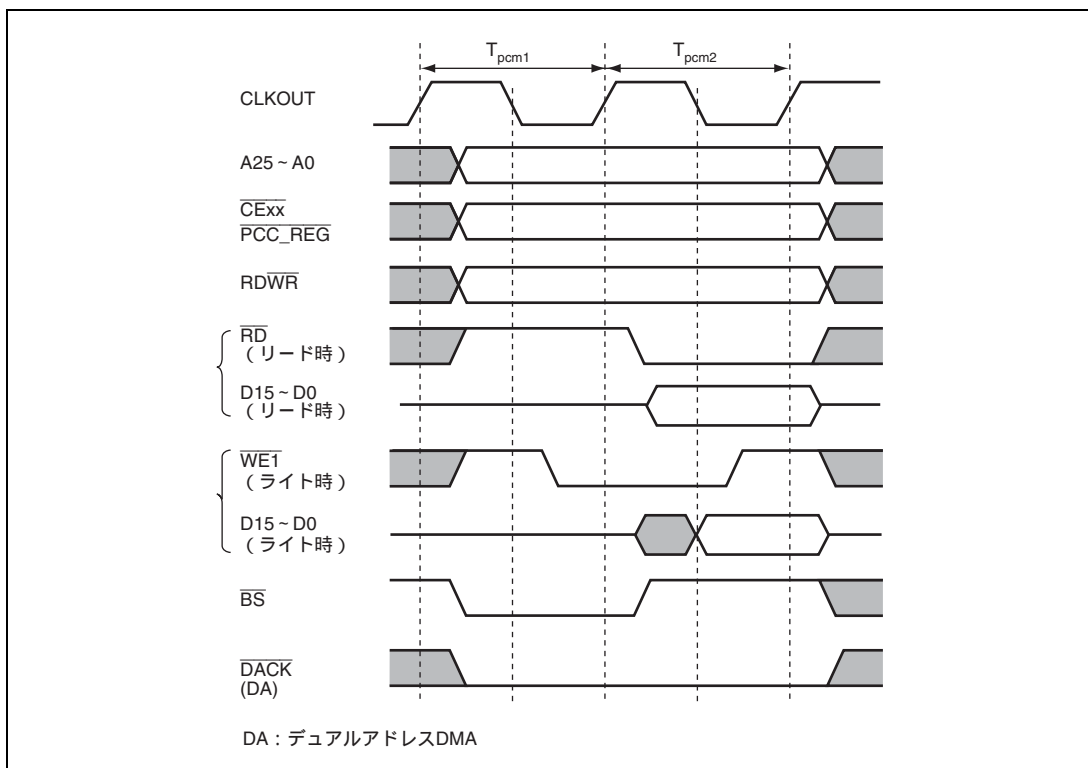


図 11.16 PCMCIA メモリカードインタフェース基本タイミング

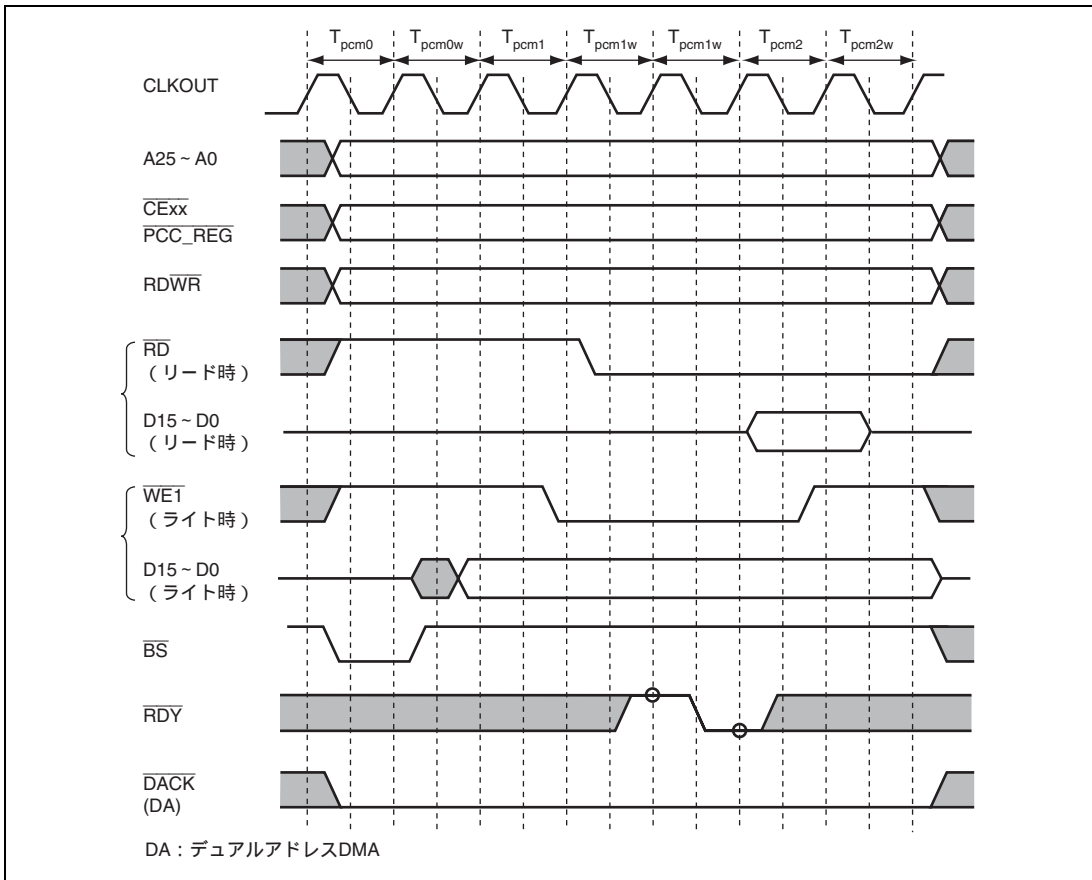


図 11.17 PCMCIA メモリカードインタフェースウェイトタイミング

(2) I/O カードインタフェースタイミング

図 11.18、図 11.19 に PCMCIA の "I/O カードインタフェース" のタイミングを示します。

PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号が "H" の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。また、アドレス $2n+1$ に対するバイトサイズアクセスでもダイナミックバスサイジングが行われます。

ダイナミックバスサイジングの基本タイミングを図 11.20 に示します。

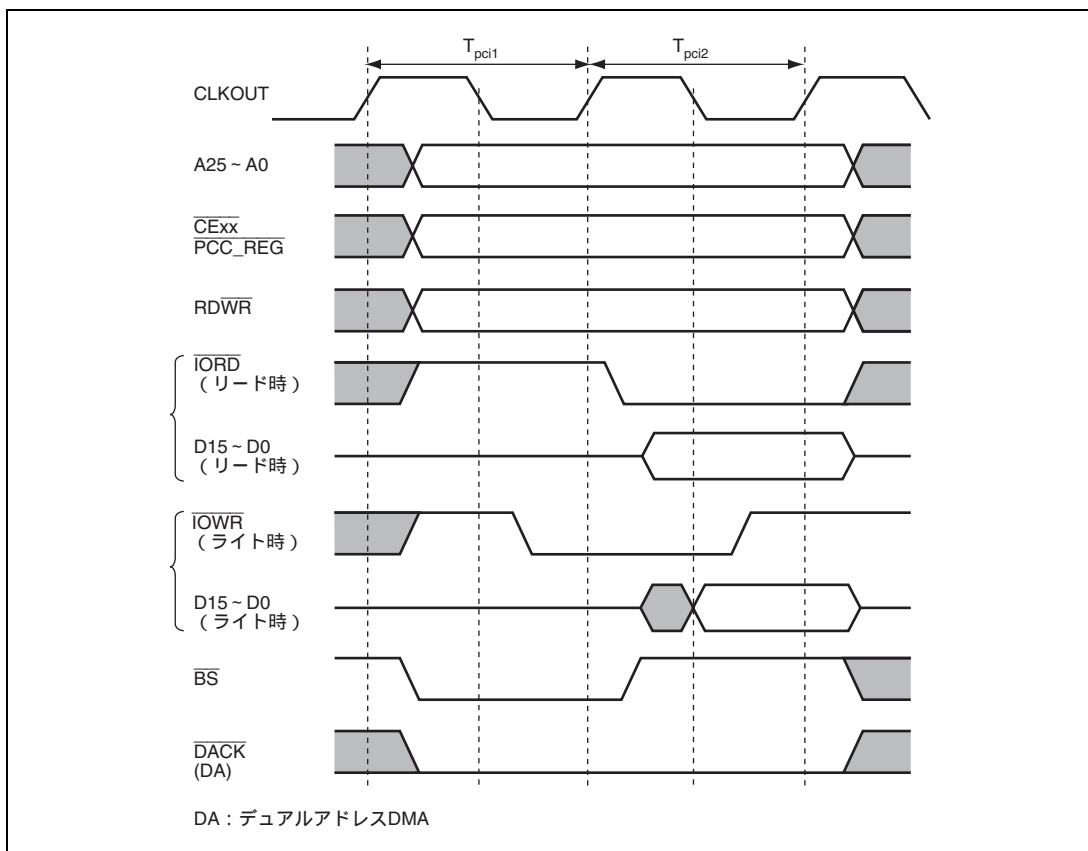


図 11.18 PCMCIA I/O カードインタフェース基本タイミング

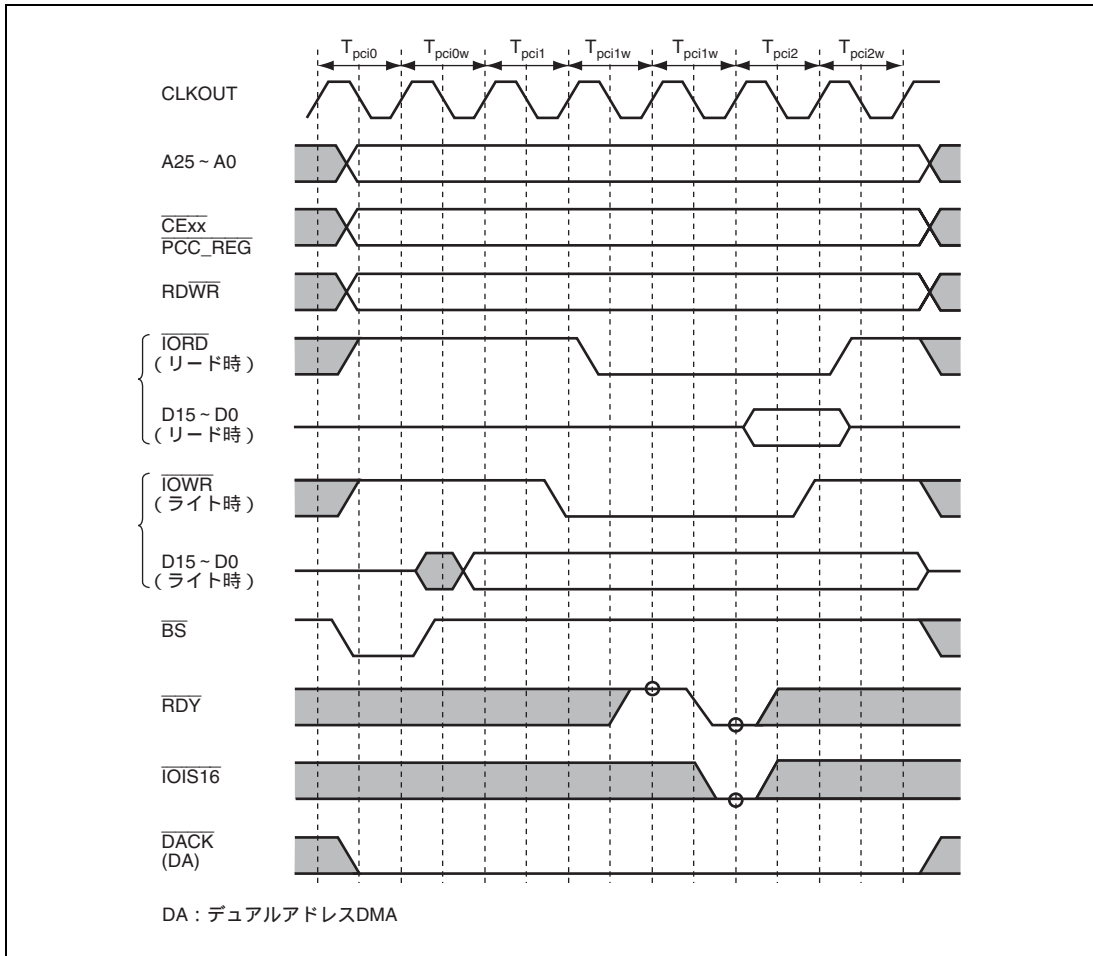


図 11.19 PCMCIA I/O カードインタフェースウェイトタイミング

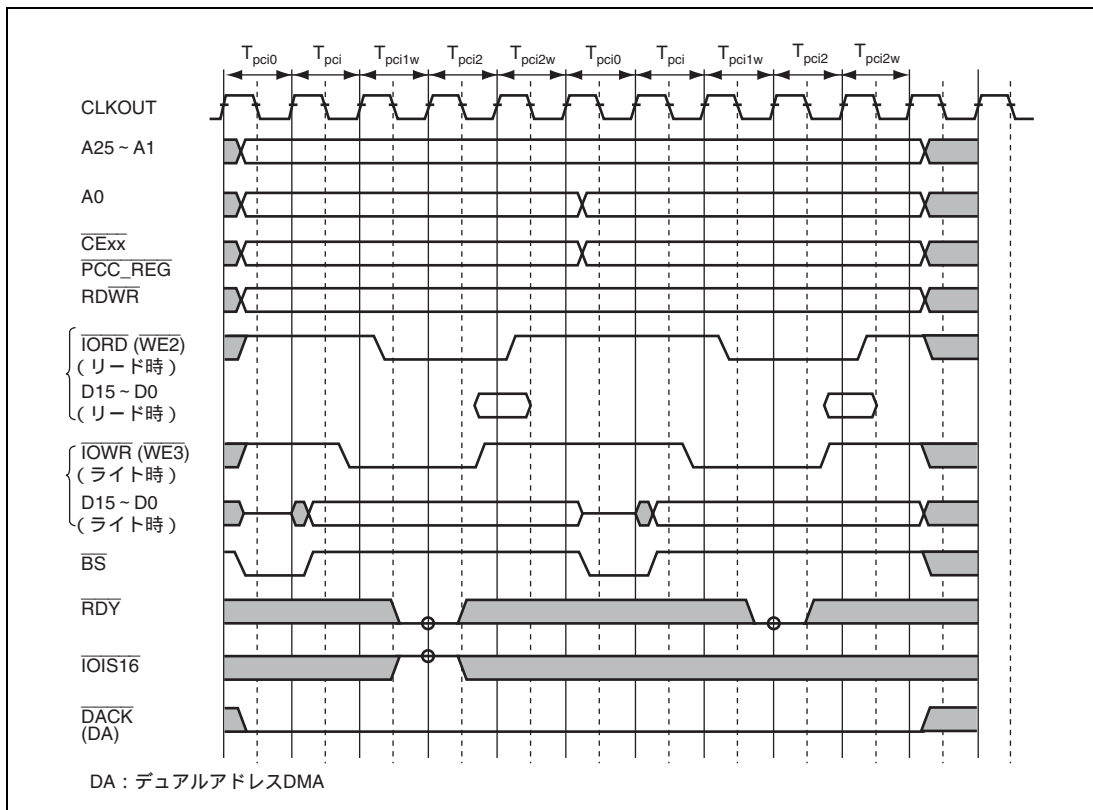


図 11.20 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

11.5.6 MPX インタフェース

$\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、MD4、MD3 端子をともに 0 に設定すると、エリア 0 は MPX インタフェースが選択されます。CS1BCR ~ CS2BCR、CS4BCR ~ CS6BCR の MPX ビットにより、エリア 1、2、4~6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス / データマルチプレクス形式のバスプロトコルを提供し、アドレス / データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。バスサイクルはアドレスフェーズとデータフェーズからなり、アドレスフェーズにおいてアドレス情報は D25 ~ D0 に、アクセスサイズは D31 ~ D29 に出力されます。 $\overline{\text{BS}}$ 信号はアドレスフェーズを示すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$ 信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送終了後ネゲートされます。したがって最小ピッチでアクセスする場合、ネゲート期間は生まれません。 $\overline{\text{FRAME}}$ 信号は、Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送のサイクルが開始した時にネゲートされます。そのため、MPX インタフェースに対応する外部デバイスは、アドレスフェーズに出力されたアドレス情報およびアクセスサイズを外部デバイス内に保持し、データフェーズに対応したデータの入出力を行う必要があります。アクセスサイズとデータアライメントについては「11.5.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。

アドレス端子 A25 ~ A0 に出力される値は保証されません。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この場合のようにアクセスサイズがバス幅よりも大きい場合、アドレスを 1 回出力した後、複数のデータサイクルが続くバーストアクセスが発生します。この途中ではバス権を解放しません。

D31	D30	D29	アクセスサイズ
0	0	0	バイト
		1	ワード
	1	0	ロングワード
		1	使用しません
1	x	x	32 バイトバースト

【記号説明】 X : Don't care

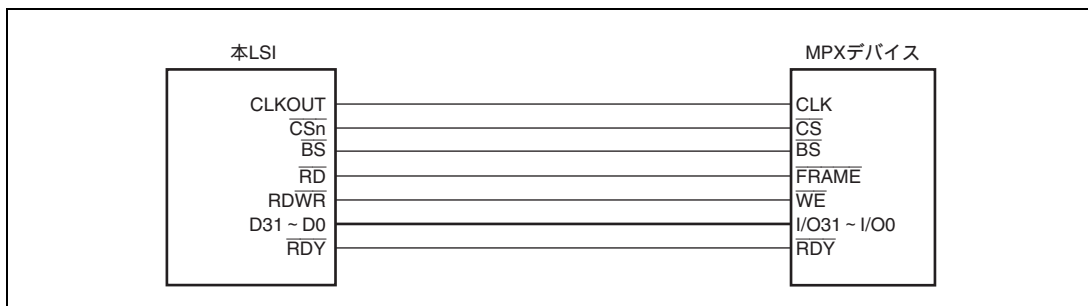


図 11.21 32 ビットデータ幅 MPX の接続例

図 11.22 ~ 図 11.33 に MPX インタフェースタイミングを示します。

エリア 1、2、4~6 で MPX インタフェースを使用する場合、CSnBCR によるバスサイズ指定は 32 ビットとしてください。

なお、ウェイト制御は CSnWCR によるウェイトと \overline{RDY} 端子によるウェイト挿入が可能です。

リード時は CSnWCR を 0 に設定していても、アドレス出力の次に自動的に 1 サイクルのウェイトが挿入されます。

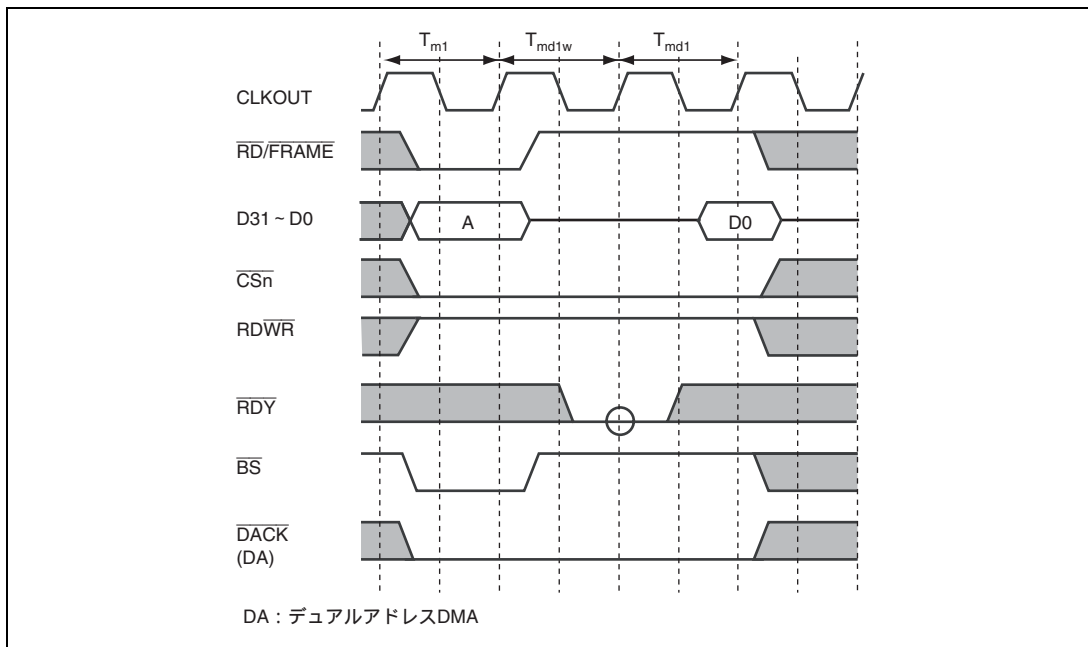


図 11.22 MPX インタフェースタイミング 1 (シングルリードサイクル、IW=0、外部ウェイトなし)

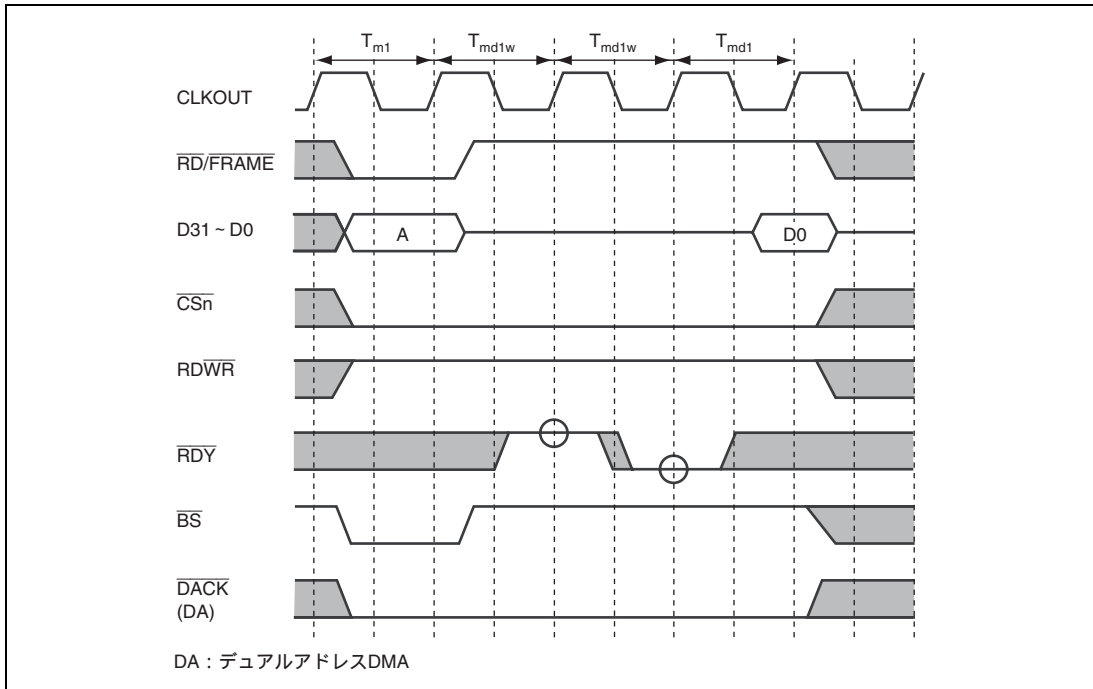


図 11.23 MPX インタフェースタイミング 2 (シングルリード、IW=0、外部ウェイト 1 挿入)

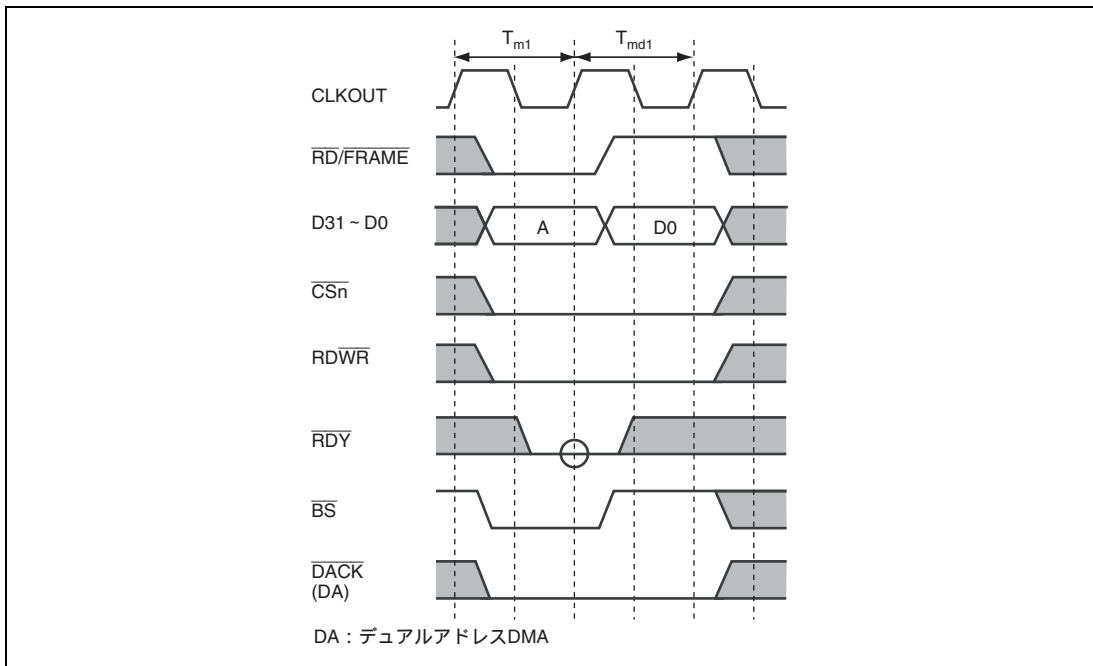


図 11.24 MPX インタフェースタイミング 3 (シングルライトサイクル、IW=0、外部ウェイトなし)

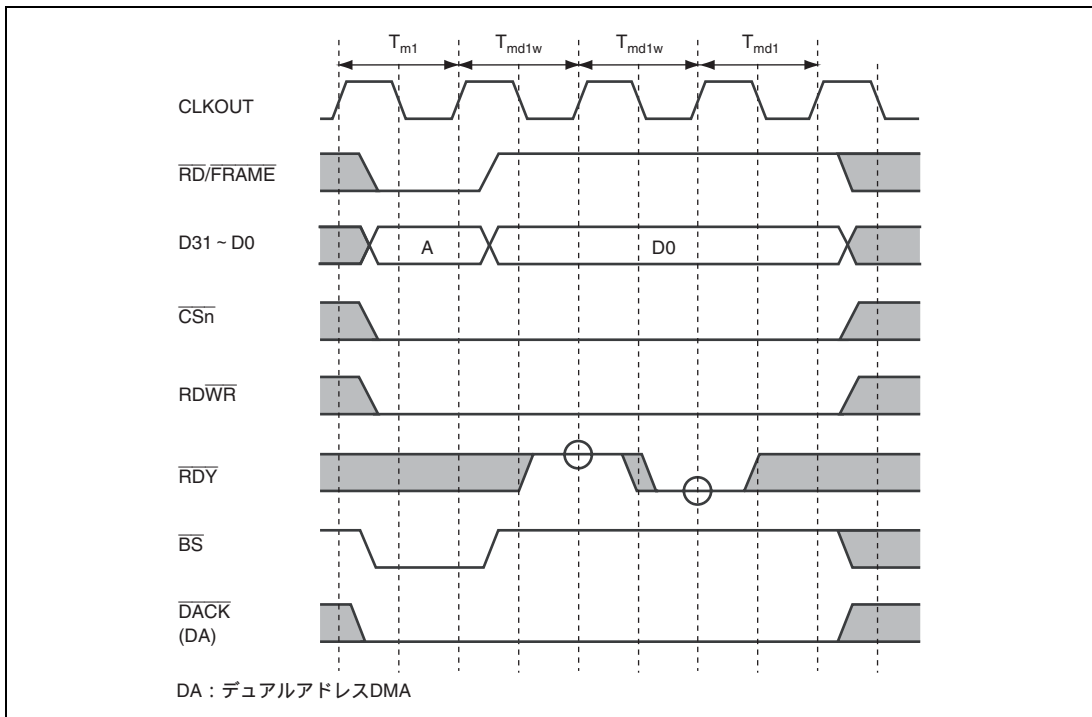


図 11.25 MPX インタフェースタイミング 4 (シングルライト、IW=1、外部ウェイト 1 挿入)

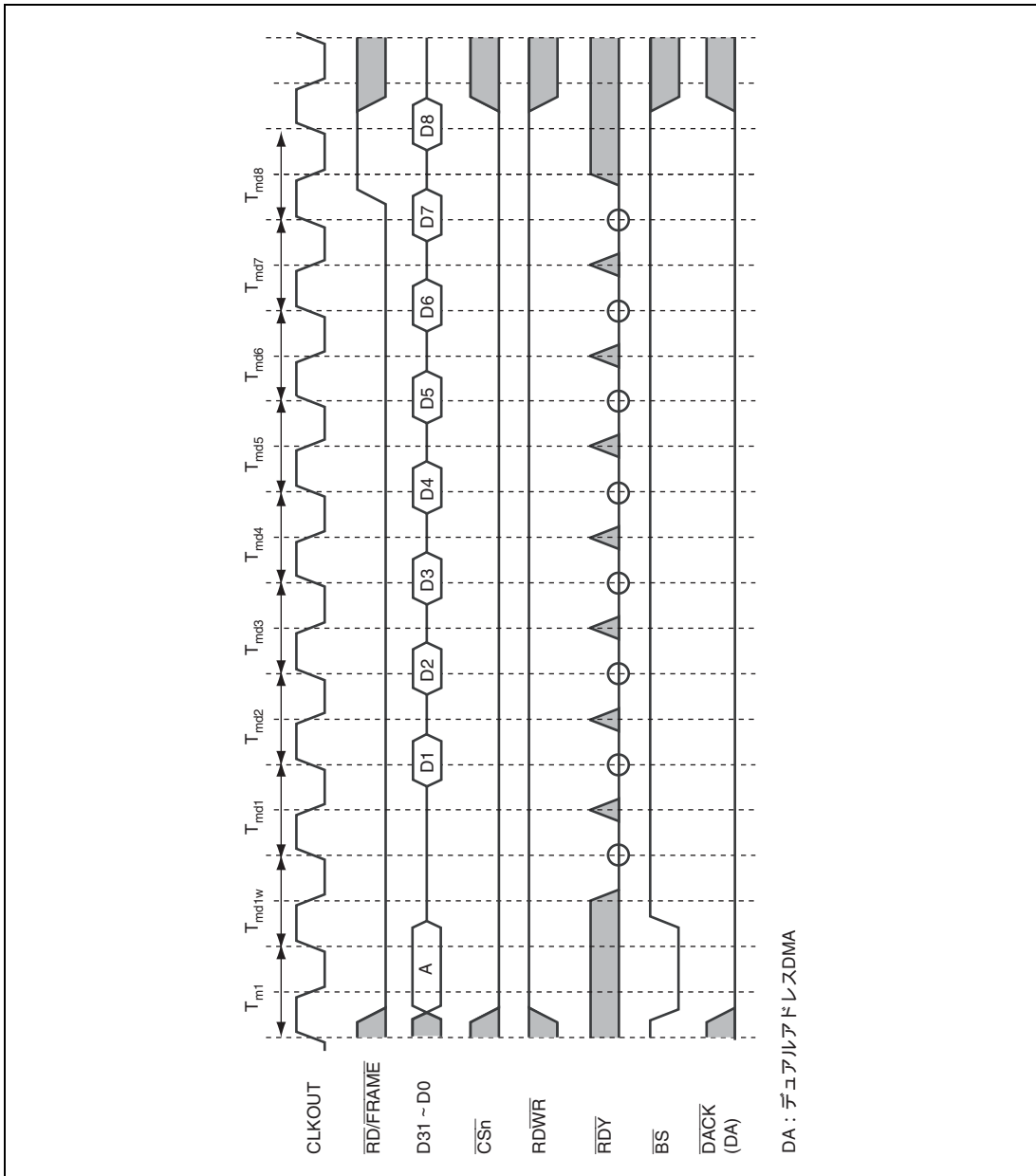


図 11.26 MPX インタフェースタイミング 5 (バーストリードサイクル、IW=0、外部ウェイトなし)

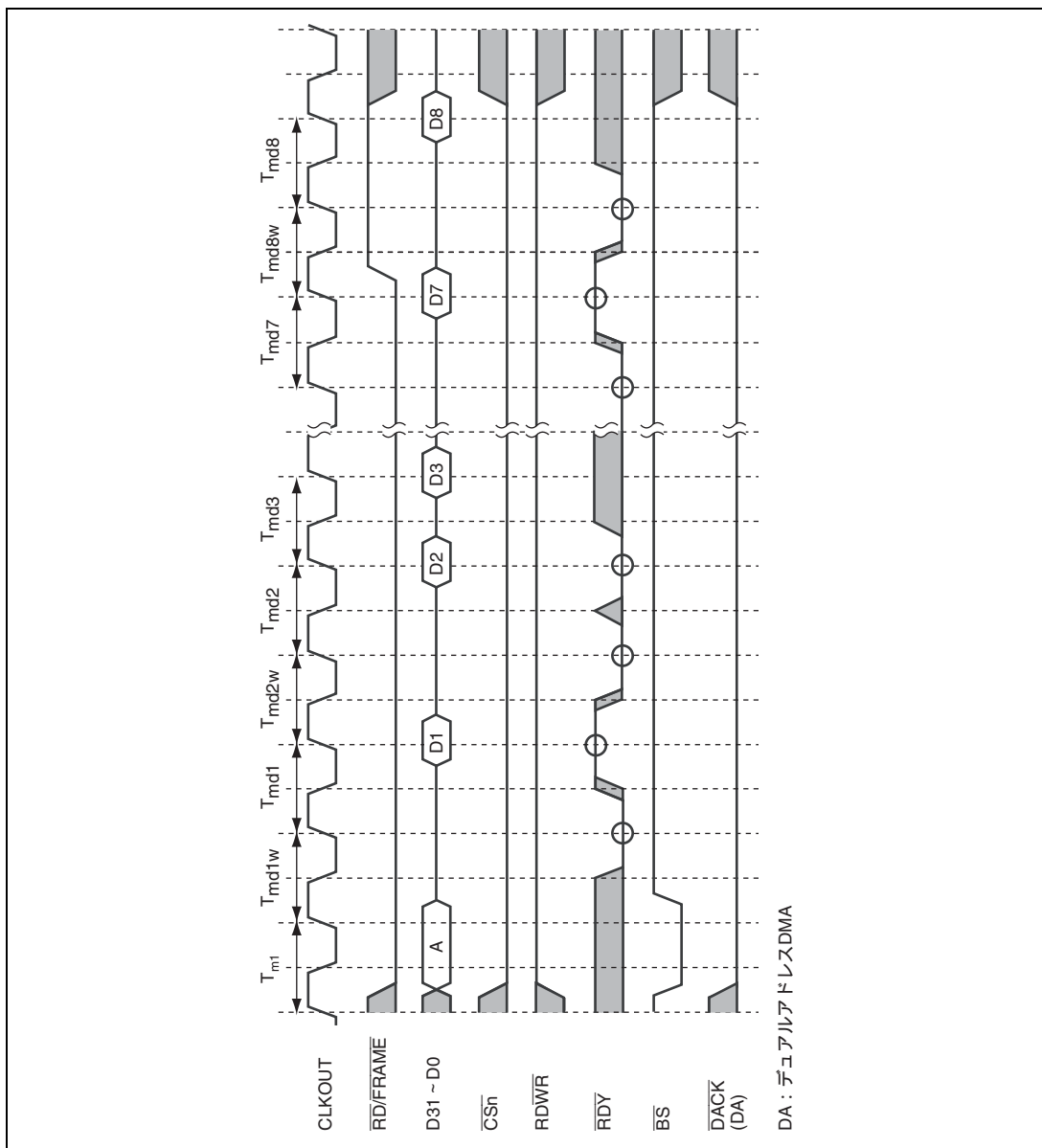


図 11.27 MPX インタフェースタイミング 6 (バーストリードサイクル、IW=0、外部ウェイト制御)

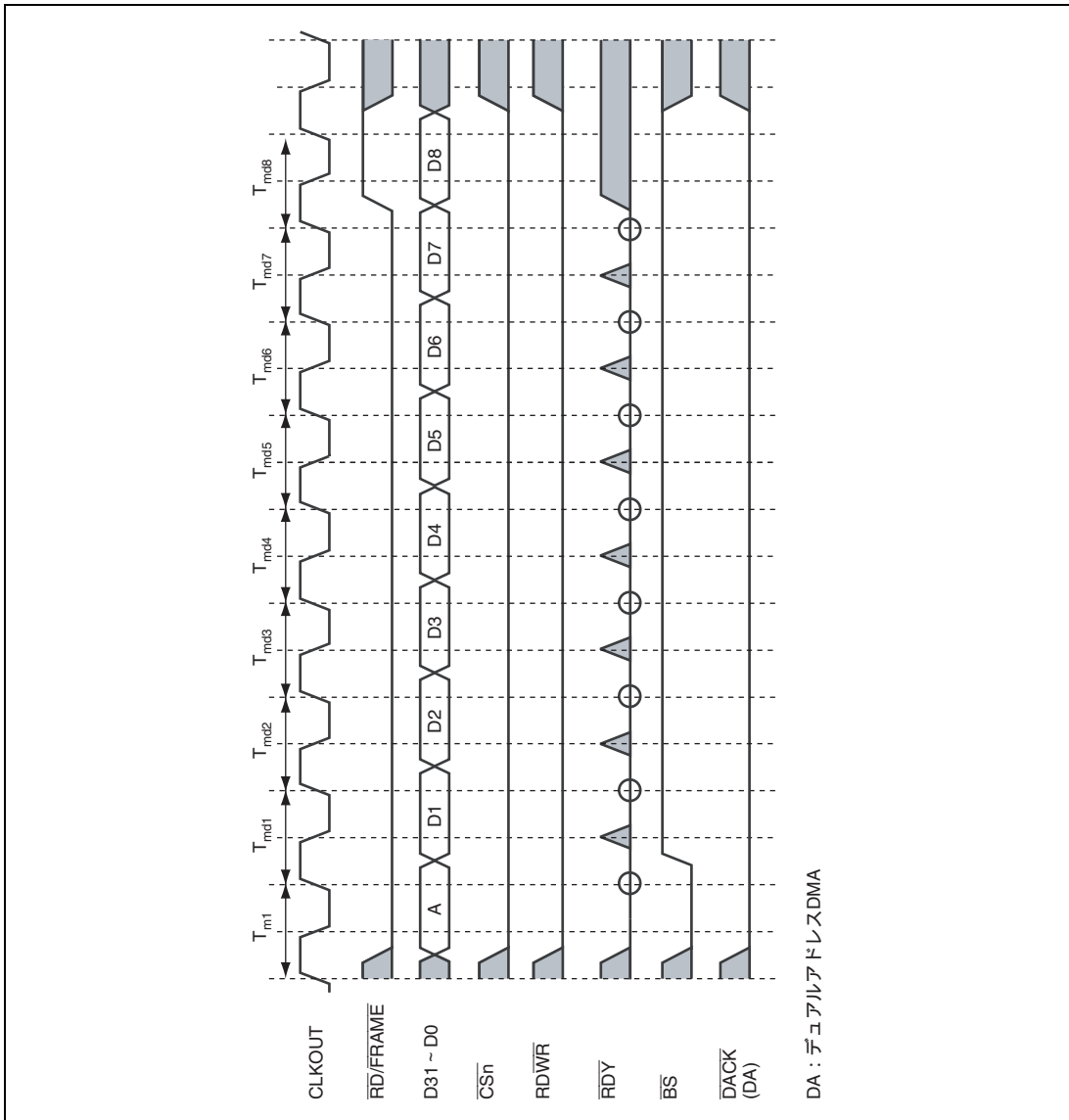


図 11.28 MPX インタフェースタイミング7 (バーストライトサイクル、IW=0、外部ウェイトなし)

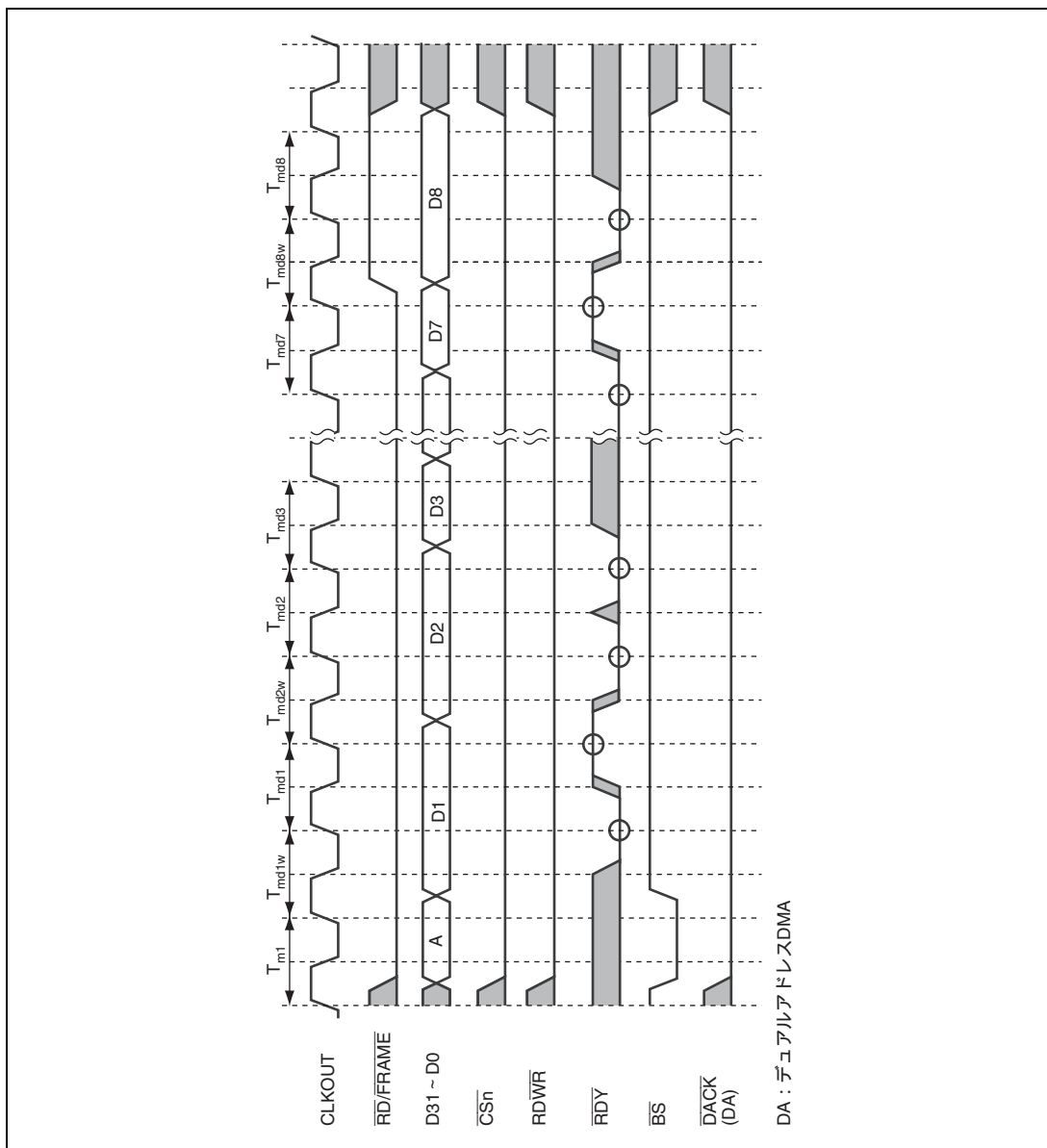


図 11.29 MPX インタフェースタイミング 8 (バーストライトサイクル、IW=1、外部ウェイト制御)

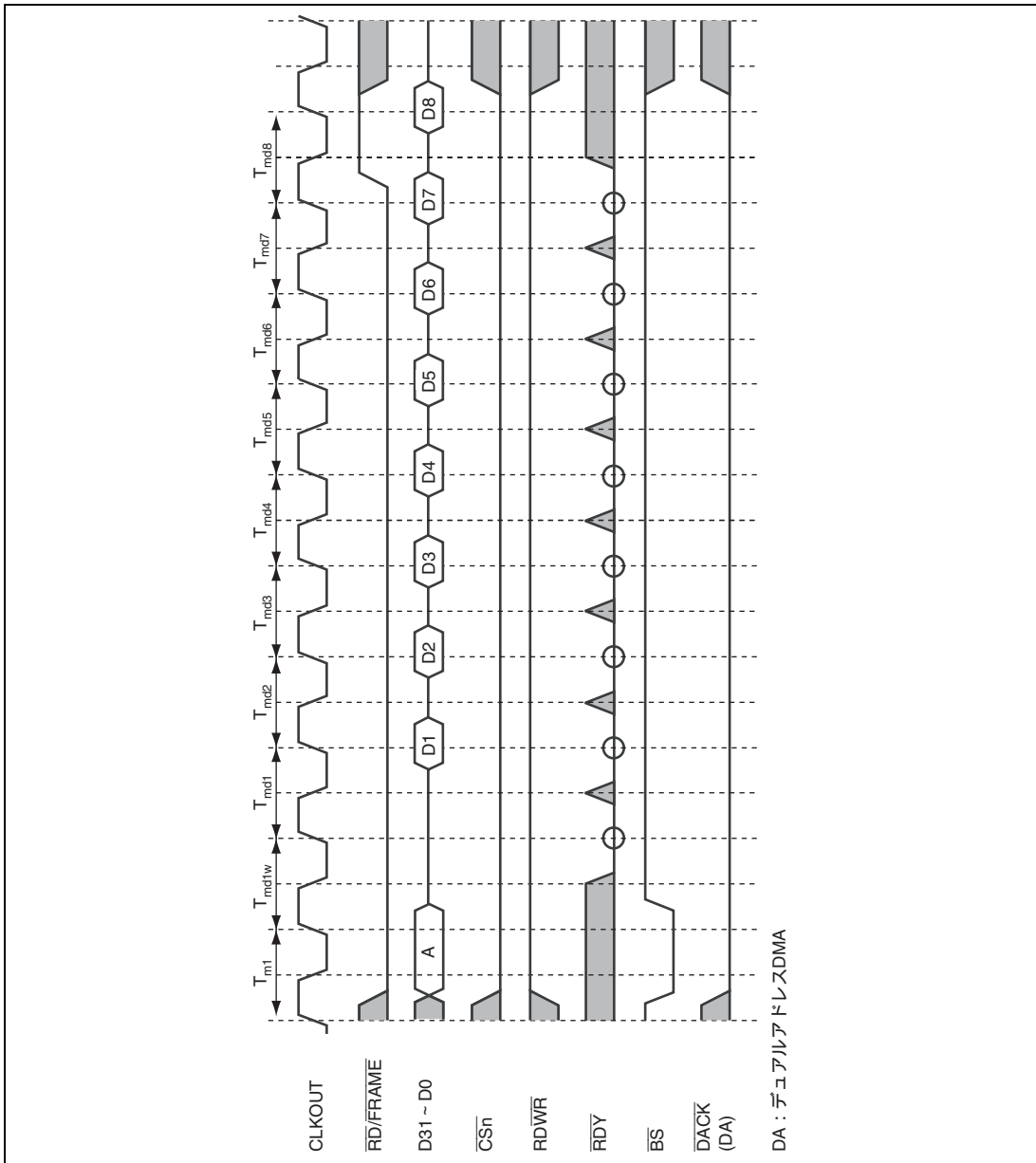


図 11.30 MPX インタフェースタイミング 9 (バーストリードサイクル、IW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

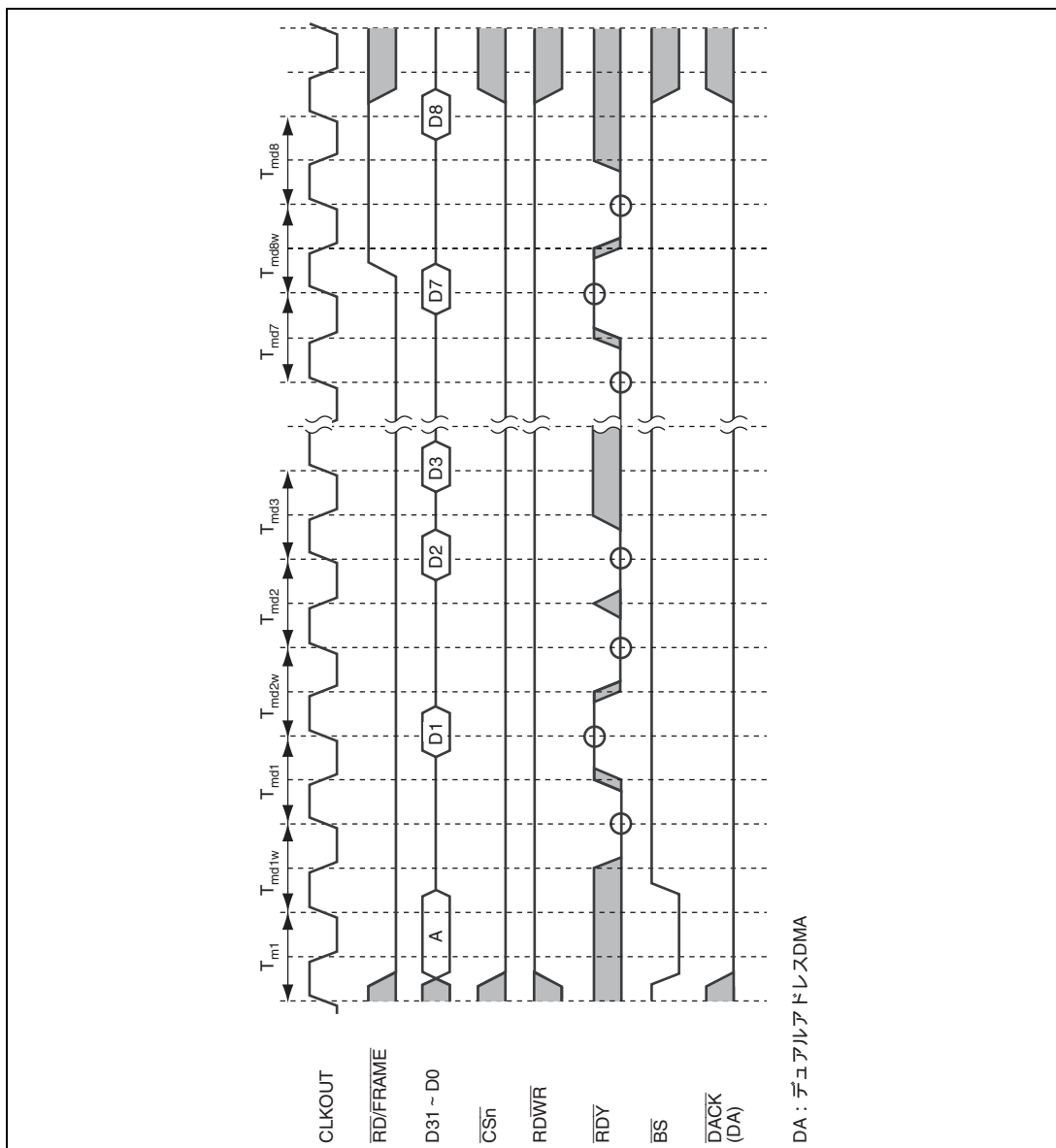


図 11.31 MPX インタフェースタイミング 10 (バーストリードサイクル、IW=0、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

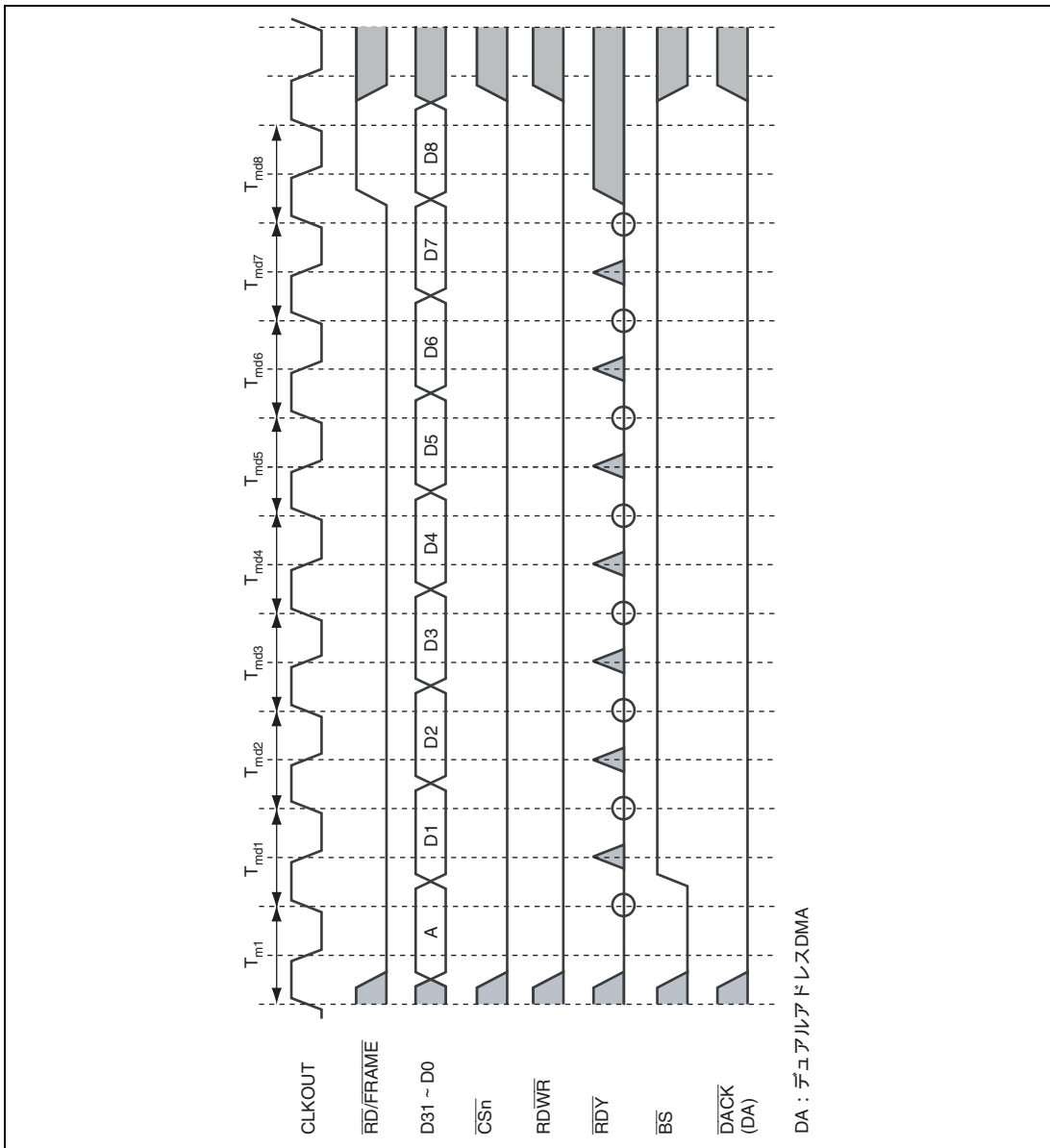


図 11.32 MPX インタフェースタイミング 11 (パストライトサイクル、IW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

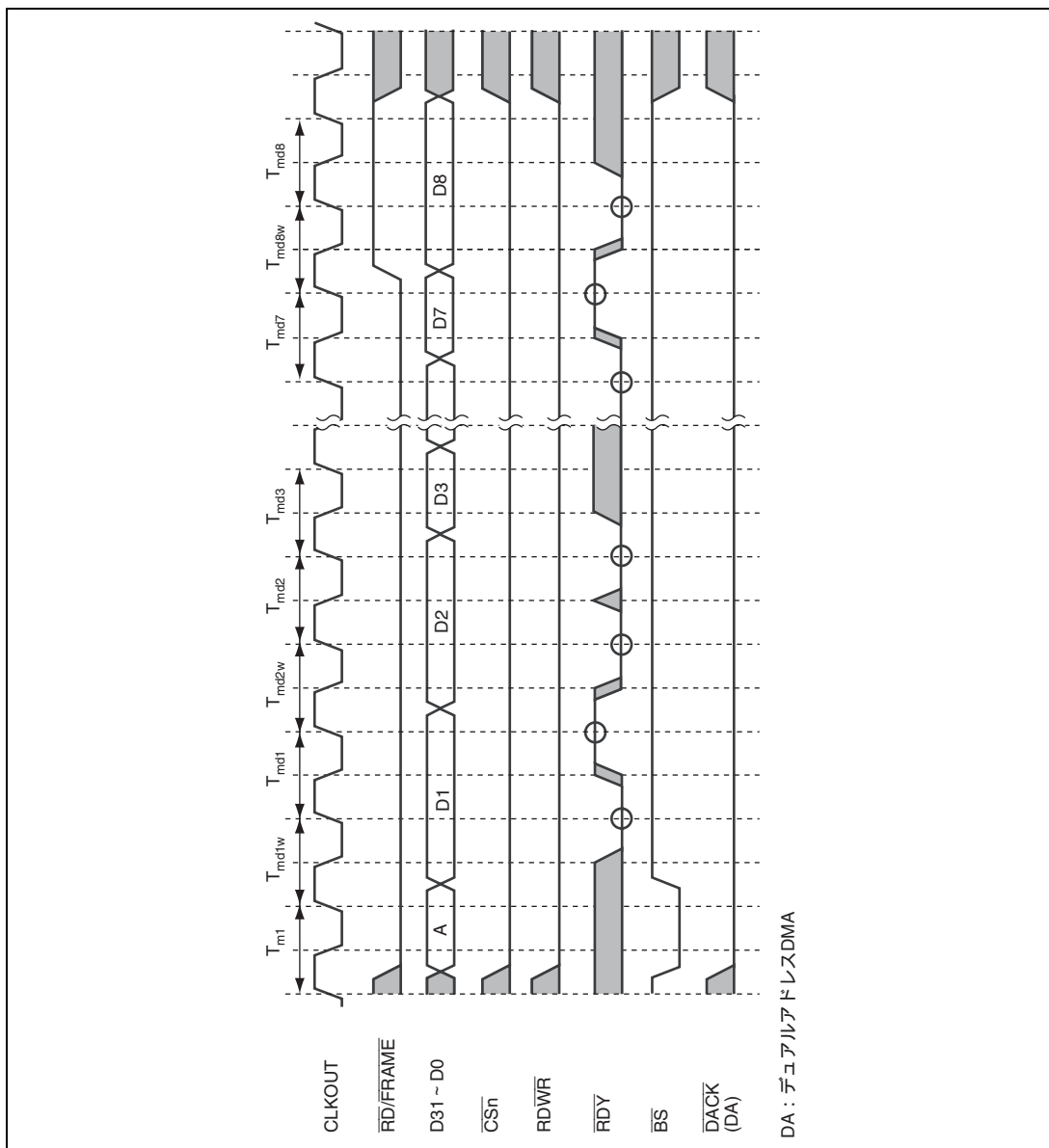


図 11.33 MPX インタフェースタイミング 12 (バーストライトサイクル、IW=1、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

11.5.7 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロープ (\overline{WE}_n) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストロープ、下位バイトセレクトストロープ機能のある SRAM に接続することができます。

エリア 1 および 4 が、バイト制御 SRAM インタフェースに指定できます。

バイト制御 SRAM インタフェースのライトタイミングは、通常の SRAM インタフェースと同じです。

一方、リード動作では、 \overline{WE}_n 端子のタイミングが異なります。リードアクセス時、読み込むバイトの \overline{WE}_n 信号だけがアサートされます。アサートは \overline{WE}_n 信号と同じく、CLKOUT クロックの立ち下がりに同期して行われますが、ネゲートは、CLKOUT の立ち上がりに同期して行われ、これは、 \overline{RD} 信号と同じタイミングになります。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドに行われます。この途中ではバス権を解放しません。

図 11.34 にバイト制御 SRAM の接続例を、図 11.35 ~ 図 11.36 にバイト制御 SRAM のリードサイクル例をそれぞれ示します。

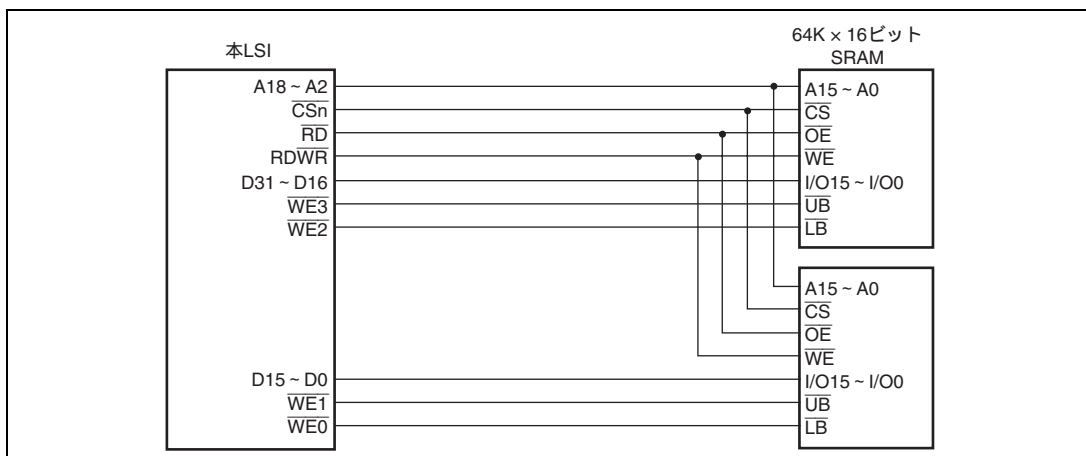


図 11.34 32 ビットデータ幅バイト制御 SRAM の例

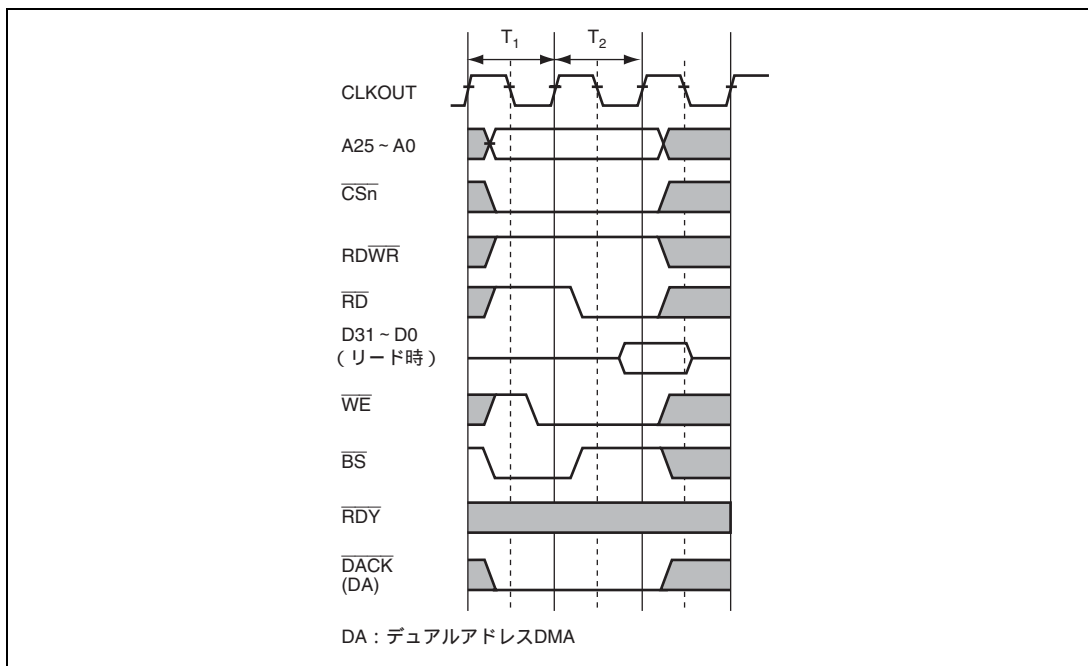


図 11.35 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

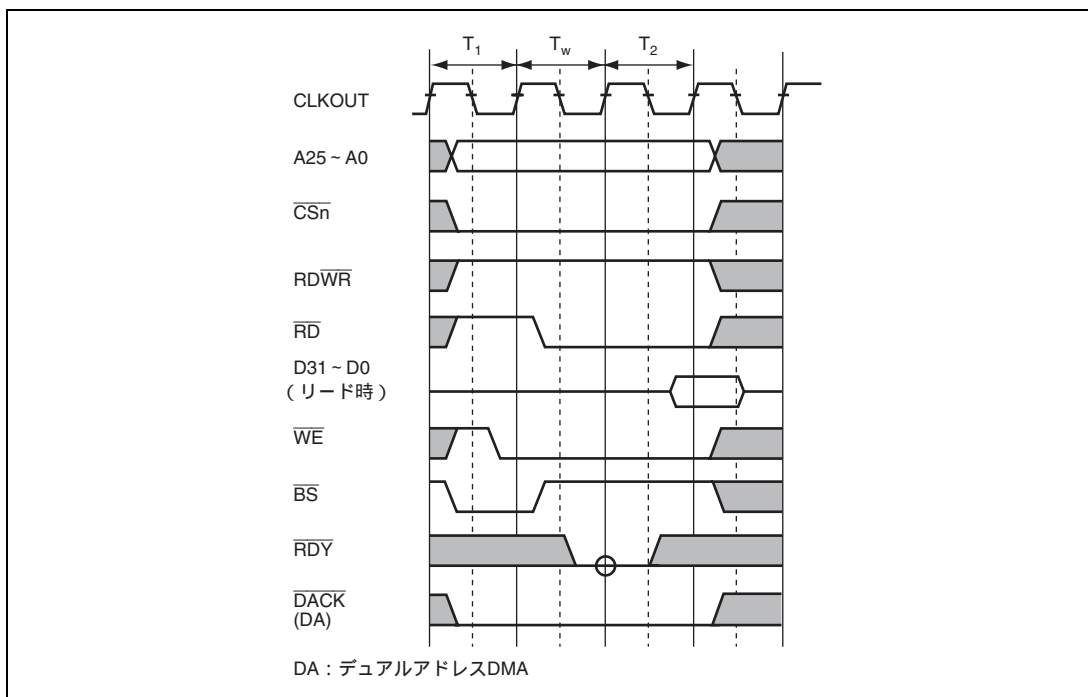


図 11.36 バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)

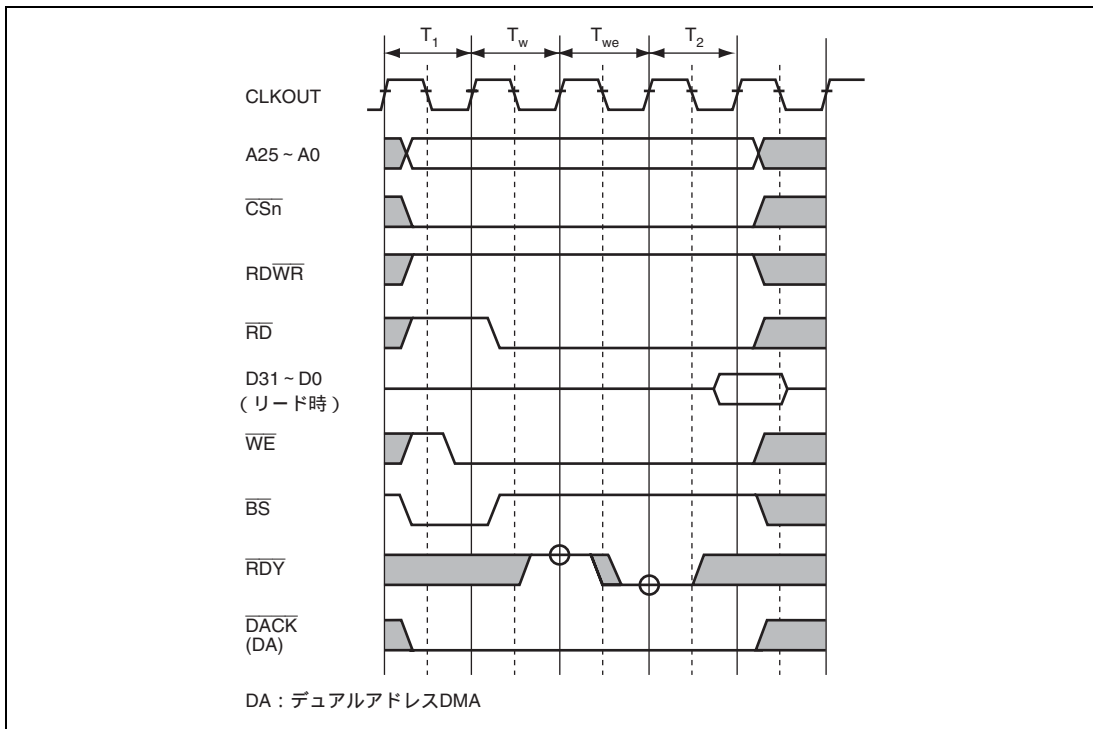


図 11.37 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)

11.5.8 アクセスサイクル間ウェイト

外部メモリアスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こしたりする事象が起こる場合があります。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。CSnBCR のアイドルサイクル設定ビット ($n=0\sim 2, 4\sim 6$) によって、少なくとも指定されたサイクルを、アイドルサイクルとして挿入します。

バスアービトレーションを行う場合には、アクセスサイクル間ウェイト後、バスが解放されます。

デュアルアドレスモードでの DMA 転送の場合にも、CSnBCR アイドルサイクル指定ビットによって指定された通常のサイクル間ウェイトが挿入されます。

リードアクセス終了後、連続して MPX インタフェースに設定したエリアへのアクセスが起こる場合、アクセスサイクル間ウェイトを 0 に設定していても、1 サイクル挿入します。

また、アクセスサイズが 8 バイトおよび 16 バイトのときは、4 バイトアクセスごとにアクセスサイクル間ウェイトが挿入されます。

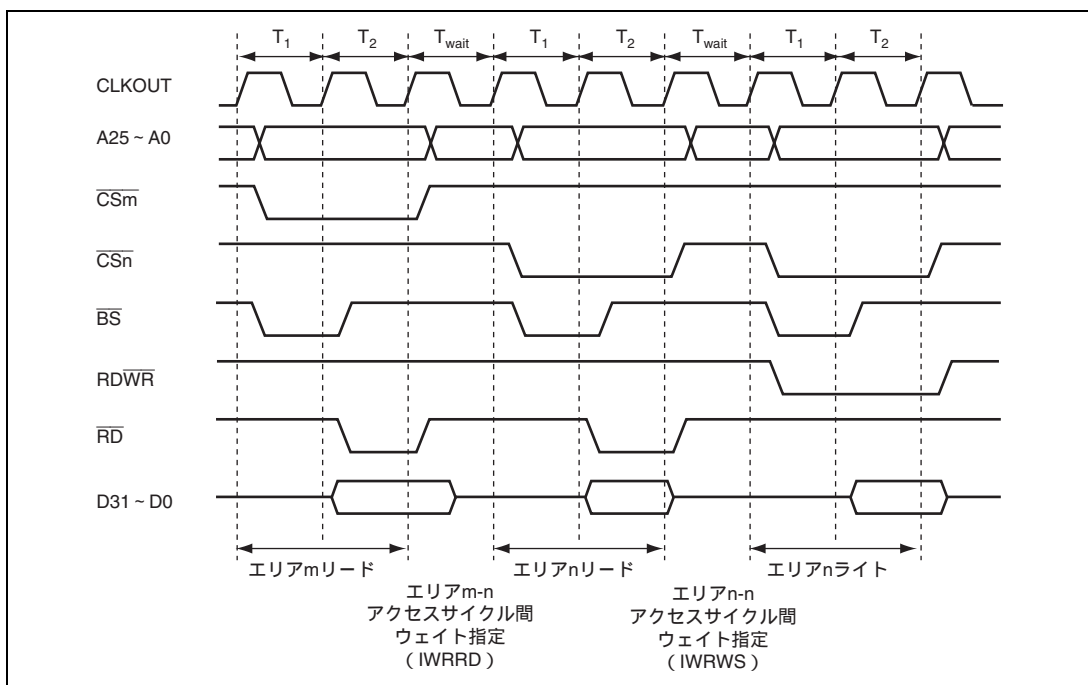


図 11.38 アクセスサイクル間ウェイト

11.5.9 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

バスアービトレーションには、マスタモードがあります。マスタモードは定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行います。

バス権を所有していないときにはバスをハイインピーダンス状態とします。以下の説明ではバス権要求を行う外部デバイスをスレーブと呼びます。

本 LSI の内部には CPU、DMAC、PCIC の 3 つのバスマスタがあります。また、これらに加え、外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求についての優先順位は、高い方から順に、外部デバイスによるバス権要求、PCIC、DMAC、CPU の順となります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMA 転送実行時バスロックしているときのリードサイクルとライトサイクルの間にもバス権の解放を行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。

本 LSI 内部の CPU は、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI 内部または外部の他のバスマスタがバスを使用している場合、キャッシュメモリからの読み出しを行うことができます。CPU からの書き込みの場合、本 LSI のキャッシュでライトスルー方式を設定した場合または、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

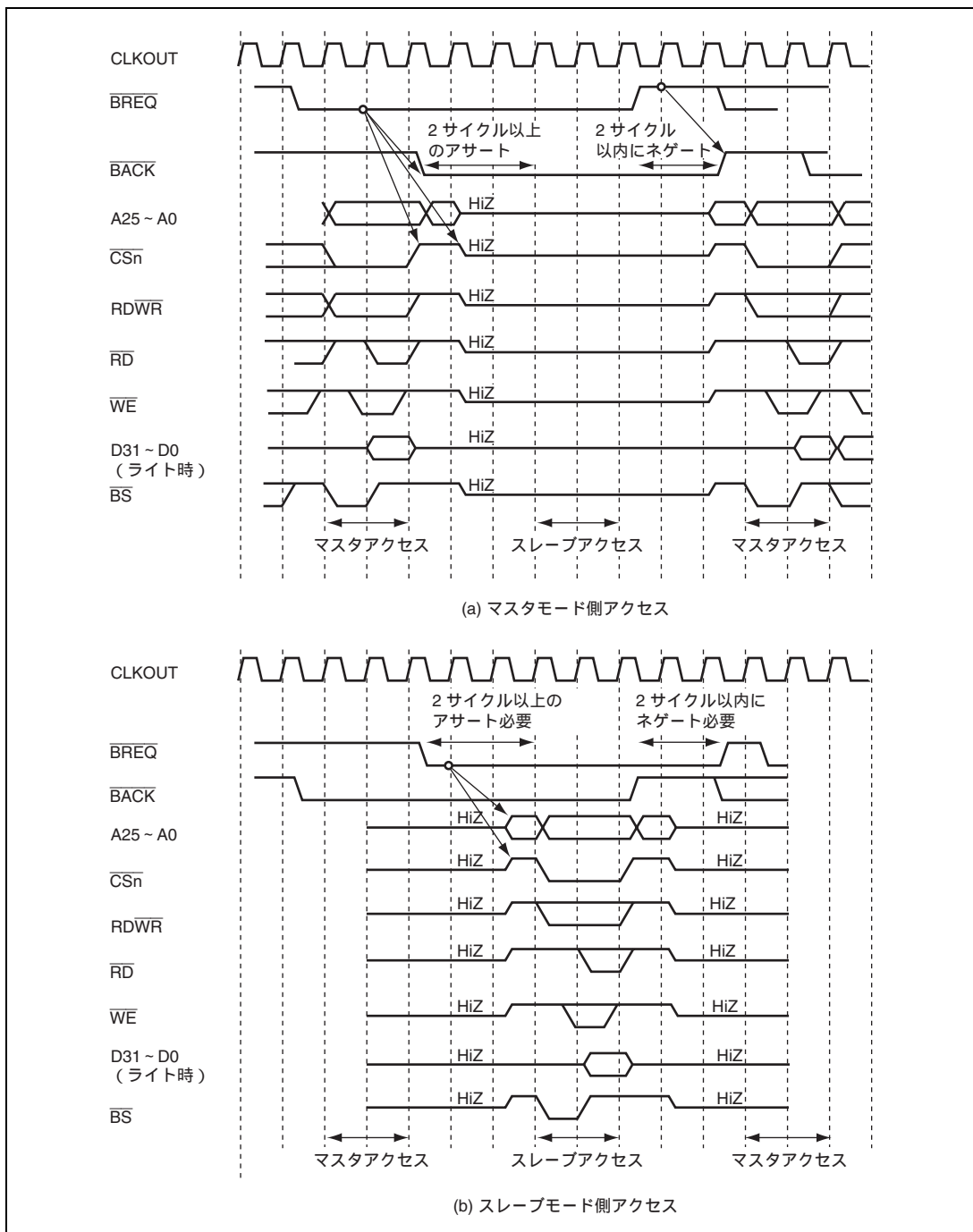


図 11.39 アービトレーションシーケンス

11.5.10 マスタモード

マスタモードのプロセッサは、バス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ($\overline{\text{BREQ}}$) のアサート (L レベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) をアサート (L レベル) にします。スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (H レベル) を受けて $\overline{\text{BACK}}$ をネゲート (H レベル) し、バスの使用を再開します。

バス解放時はバスアービトレーションの $\overline{\text{BACK}}$ 、および DMA 転送を制御する $\overline{\text{DACK0}}$ 、 $\overline{\text{DACK1}}$ 、 $\overline{\text{DACK2}}$ 、 $\overline{\text{DACK3}}$ 、 $\overline{\text{TEND0}}$ 、 $\overline{\text{TEND1}}$ 、 $\overline{\text{TEND2}}$ 、 $\overline{\text{TEND3}}$ を除き、バスインタフェースに関連するすべてのバス制御出力信号および入出力信号をハイインピーダンスとします。

具体的なバス解放シーケンスは次のとおりです。まず、バス使用許可信号をクロックの立ち上がりで同期してアサートします。この $\overline{\text{BACK}}$ アサートの次のクロックの立ち上がりで同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{WE}}_n$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{RDWR}}$ 、 $\overline{\text{CE1x}}$ 、 $\overline{\text{CE2x}}$) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次のとおりです。

$\overline{\text{BREQ}}$ のネゲートをクロックの立ち上がりで検出すると、直ちに $\overline{\text{BACK}}$ をネゲートするとともにバス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも、同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してバスアクセスの実行を開始するためには、2 サイクル以上の $\overline{\text{BREQ}}$ 信号のネゲートが必要です。

また、DMAC の CHCR レジスタの LCKN ビットにより DMA 転送のリードアクセスとライトアクセスの間バス解放を抑制することが出来ます。

DMA 転送のソースアドレスおよび、デスティネーションアドレスが、ともに LBSC の空間のとき DMAC の CHCR レジスタの LCKN ビットを 0 に設定し DMA 転送を行うとリードアクセスとライトアクセスの間はバス解放が要求されてもバス解放はされません。

DMA 転送のソースアドレスが LBSC の空間、デスティネーションアドレスが LBSC 以外の空間のとき DMAC の CHCR レジスタの LCKN ビットを 0 に設定し DMA 転送を行うと、DMA 転送のライトアクセスが終了した後、バス解放が要求されても、バス解放されません。この場合、CPU から LBSC の任意のメモリ空間へリードまたはライトアクセスを行うことで、そのアクセスの後、バス解放することが出来るようになります。LCKN が 1 に設定されているときには、この CPU からのアクセスを行う必要はありません。

DMA 転送のソースアドレスが LBSC 以外の空間、デスティネーションアドレスが LBSC の空間のとき DMAC の CHCR レジスタの LCKN ビットを 0 に設定し DMA 転送を行っても、DMA 転送のリードアクセスとライトアクセスの間、バス解放は許可されます。

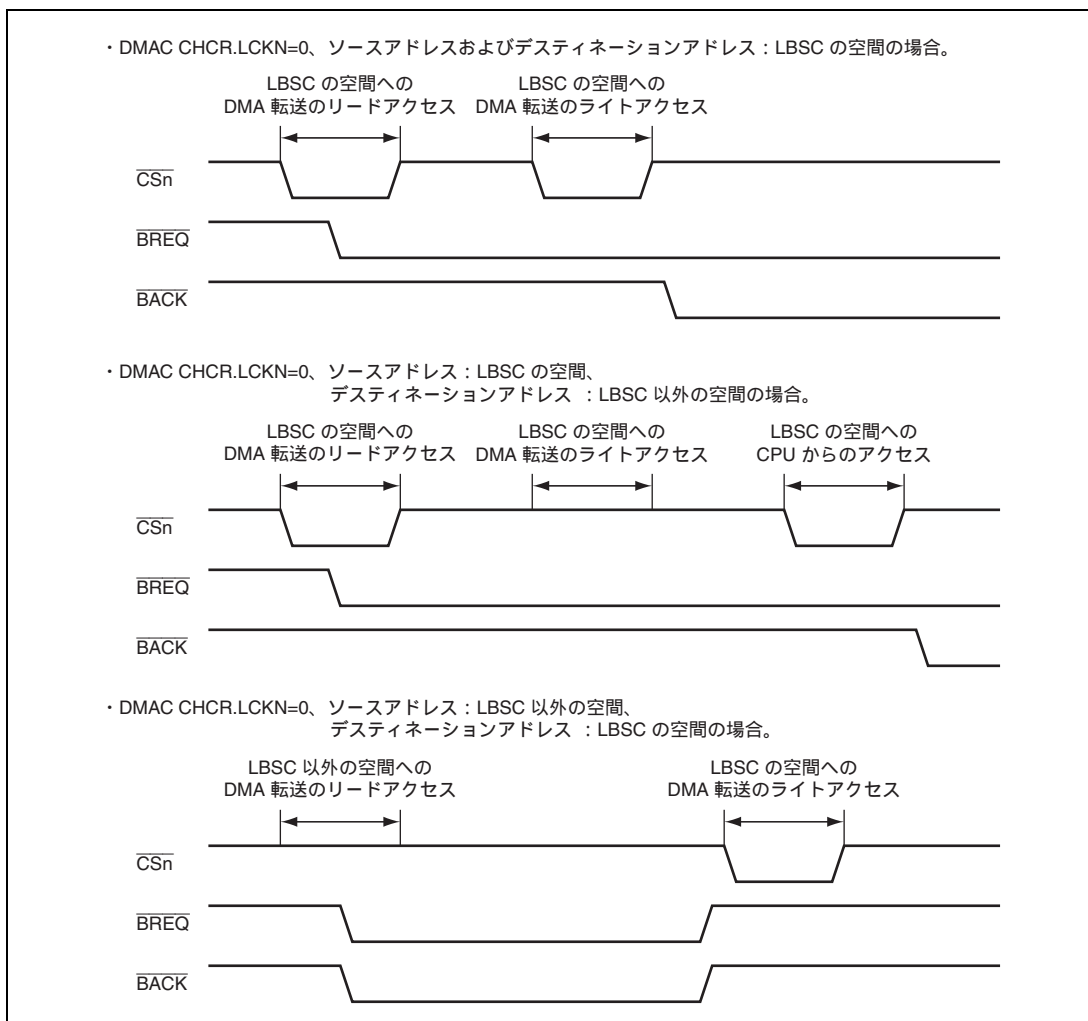


図 11.40 DMAC CHCR.LCKN ビットによるバス解放抑止の例

11.5.11 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担をきちんとする必要があります。また、低消費電力を実現するためのスタンバイ動作を行う場合にも分担を行わないといけません。

本 LSI の設計にあたっては初期化、スタンバイ制御などのすべての制御をマスタモードのデバイスが行うように考えてあります。

本 LSI は、パワーオンリセット時に、マスタ指定された場合、 $\overline{\text{BREQ}}$ イネーブルビット (BCR.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のプロセッサが使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に、 $\overline{\text{BREQ}}$ イネーブルビットに 1 を書き込んでください。

12. DDR-SDRAM インタフェース (DDRIF)

メモリコントローラは CPU や各種モジュールからのアクセスを調停し、DDR-SDRAM に対して制御信号を出力するモジュールです。本モジュールにより DDR-SDRAM を直接接続することができます。本モジュールは 2 つのインタフェースモジュール (SHIF : SuperHyway バスインタフェース、LCDIF : LCD インタフェース) と 1 つの DDR-SDRAM コントローラ (DDRC)、およびインタフェースモジュールから DDRC へのアクセスを調停するアービタ (ARBT) を備えています。

12.1 特長

- DDR-SDRAMインタフェースのデータバス幅は32ビットです。
- DDR-SDRAMセルフリフレッシュをサポートします。
- DDR266 (133MHz) およびDDR200 (100MHz) をサポートします。
- 内部バスであるSuperHywayバスにより効率的なデータ転送が可能です。
- 4バンクDDR-SDRAMに対応します。
- バースト長は2をサポート。
- 接続可能メモリ容量 : 256Mビット、512Mビット、1Gビット、2Gビット
対応可能なメモリ品のアドレス×ビット幅 (ビット) は下記の通りです。

DDR-SDRAMデータバス幅 : 32ビット

- 128Mビット (8M×16ビット) 2個並列接続 (合計容量256Mビット)

- 256Mビット (16M×16ビット) 2個並列接続 (合計容量512Mビット)

- 512Mビット (32M×16ビット) 2個並列接続 (合計容量1Gビット)

- 1Gビット (64M×16ビット) 2個並列接続 (合計容量2Gビット)

- パワーオンリセット時に外部データバスのビッグエンディアン/リトルエンディアン切り替え可能。

図 12.1 に DDRIF のブロック図を示します。

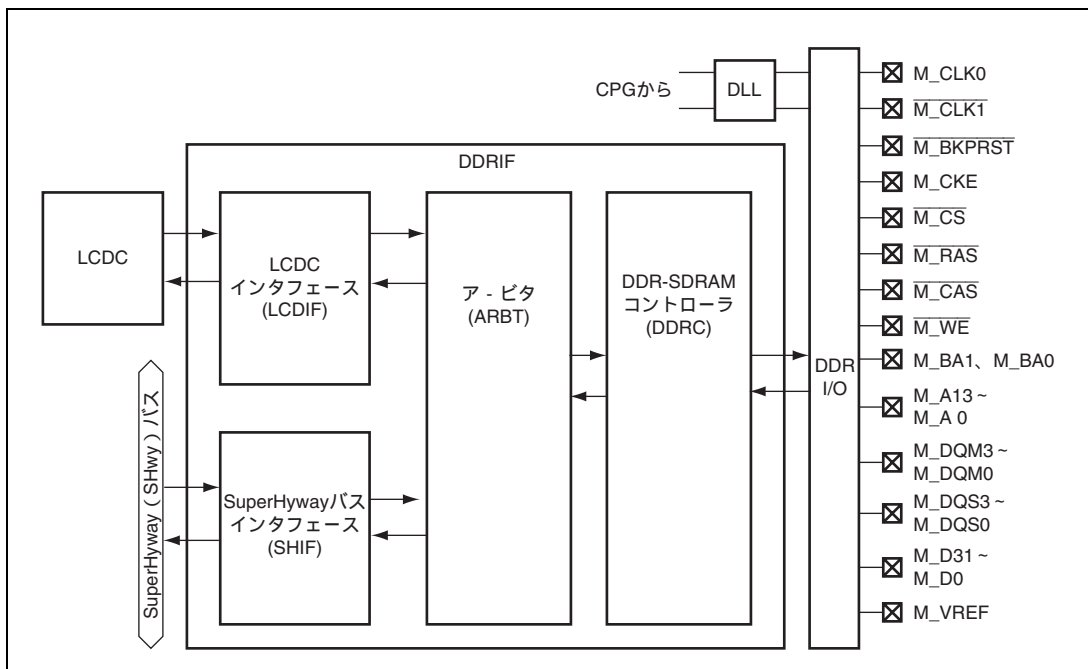


図 12.1 DDRIF ブロック図

- SuperHywayバスインタフェース (SHIF) : CPU-SDRAM間のインタフェースです。SuperHywayバスプロトコルでインタフェースします。バス幅は64ビット、動作周波数は最大133MHzです。
- LCDCインタフェース(LCDIF):LCDCとのインタフェースです。バス幅は32ビット、動作周波数は最大66MHzです。
- アービタ (ARBT) : 上記のインタフェースからのリクエストのうち、DDR-SDRAMへアクセスするSHIF、LCDIFのリクエストの調停を行います。
- DDR-SDRAMコントローラ(DDRC):DDR-SDRAMへのリード/ライトアクセスを制御します。DDR-SDRAMのタイミング規定に従ってコマンド発行やリードデータ受信を実行します。また、別途定める優先順位判定を行い、上記の各インタフェース間の調停を行います。DDR-SDRAMインタフェース信号をドライブするI/Oブロック、DDR-SDRAM制御に関連するレジスタブロックを含みます。

12.2 入出力端子

表 12.1 に DDRIF の端子構成を示します。

表 12.1 DDRIF 端子構成

端子名	機能	入出力	説明
M_CLK0	DDR-SDRAM クロック	出力	DDR-SDRAM 用クロック出力
M_CLK1	DDR-SDRAM クロック	出力	DDR-SDRAM 用クロック出力 M_CLK0 の反転クロック出力
M_CKE	クロックイネーブル	出力	本端子がハイレベルのときにはクロック信号をアクティブにし、ローレベルのときにはインアクティブにします
M_CS	チップセレクト	出力	チップセレクト出力
M_WE	ライトイネーブル	出力	ライトイネーブル出力
M_A13 ~ M_A0	アドレス	出力	ロウ / カラムアドレス
M_BA1、M_BA0	バンクアクティブ	出力	バンクアドレス出力
M_D31 ~ M_D0	データ	入出力	データ入出力
M_DQS3 ~ M_DQS0	入力 / 出力 データストロープ	入出力	入出力データストロープ
M_DQM3 ~ M_DQM0	データマスク	出力	入出力データマスク信号
M_RAS	ロウアドレスストロープ	出力	ロウアドレスストロープ信号
M_CAS	カラムアドレスストロープ	出力	カラムアドレスストロープ信号
M_BKPRST	電源バックアップリセット	入力	本端子がローレベルのとき、M_CKE をローレベルにします
M_VREF	リファレンス電圧入力	入力	入力基準電圧

12.3 データアライメント

12.3.1 DDR-SDRAM でのデータアライメント

DDRIF は、バイトデータの並び方を上位バイトが 0 番地側になるビッグエンディアン、下位バイトが 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子でパワーオンリセット時に設定します。

表 12.2 リトルエンディアンのアクセスとデータアライメント

	M_D31~24	M_D23~16	M_D15~8	M_D7~0
0 番地バイトアクセス				データ 7~0
1 番地バイトアクセス			データ 7~0	
2 番地バイトアクセス		データ 7~0		
3 番地バイトアクセス	データ 7~0			
4 番地バイトアクセス				データ 7~0
5 番地バイトアクセス			データ 7~0	
6 番地バイトアクセス		データ 7~0		
7 番地バイトアクセス	データ 7~0			
0 番地ワードアクセス			データ 15~8	データ 7~0
2 番地ワードアクセス	データ 15~8	データ 7~0		
4 番地ワードアクセス			データ 15~8	データ 7~0
6 番地ワードアクセス	データ 15~8	データ 7~0		
0 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0
4 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0
0 番地クワッドワードアクセス (1 回目 : 0 番地)	データ 31~24	データ 23~16	データ 15~8	データ 7~0
0 番地クワッドワードアクセス (2 回目 : 4 番地)	データ 63~56	データ 55~48	データ 47~40	データ 39~32

表 12.3 ビッグエンディアンのアクセスとデータアライメント

	M_D31~24	M_D23~16	M_D15~8	M_D7~0
0番地バイトアクセス	データ7~0			
1番地バイトアクセス		データ7~0		
2番地バイトアクセス			データ7~0	
3番地バイトアクセス				データ7~0
4番地バイトアクセス	データ7~0			
5番地バイトアクセス		データ7~0		
6番地バイトアクセス			データ7~0	
7番地バイトアクセス				データ7~0
0番地ワードアクセス	データ15~8	データ7~0		
2番地ワードアクセス			データ15~8	データ7~0
4番地ワードアクセス	データ15~8	データ7~0		
6番地ワードアクセス			データ15~8	データ7~0
0番地ロングワードアクセス	データ31~24	データ23~16	データ15~8	データ7~0
4番地ロングワードアクセス	データ31~24	データ23~16	データ15~8	データ7~0
0番地クワッドワードアクセス (1回目:0番地)	データ63~56	データ55~48	データ47~40	データ39~32
0番地クワッドワードアクセス (2回目:4番地)	データ31~24	データ23~16	データ15~8	データ7~0

12.3.2 各モジュールのデータアライメント

DDRIF 内部のエンディアンは、CPU のエンディアンに一致しビッグエンディアン / リトルエンディアンのどちらにもなり得ます。

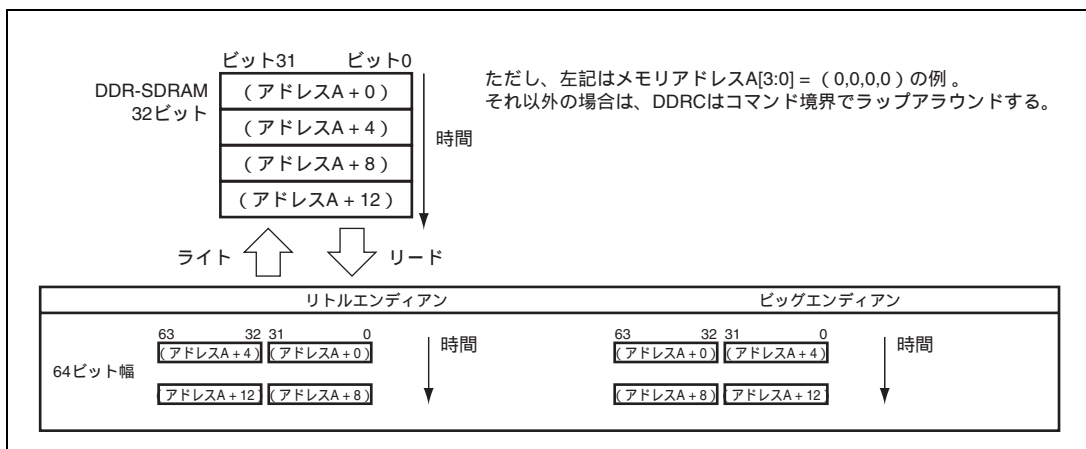


図 12.2 DDR-SDRAM と DDRIF のデータアライメント

12.4 レジスタの説明

DDRIFのレジスタ構成を表 12.4 に示します。また、各処理モードにおけるレジスタの状態を表 12.5 に示します。これらのレジスタは各モジュールからのDDR-SDRAMアクセスがない状態で設定してください。DDR-SDRAMアクセスが無い状態でメモリインタフェースモードレジスタの、DCE ビット (DDR-SDRAM 制御イネーブル)=0 または SELFS (セルフリフレッシュステータス)=1 として、その他のレジスタを設定してください。

レジスタのビット幅は 64 ビットですがロングワード (32 ビット) でアクセスしてください。ライトはロングワード単位に状態へ反映されます。リードはアクセスを行った時点でのロングワードの値が参照されます。ビッグエンディアン、リトルエンディアンとも、ビット 63~32 をアクセスする際には $8n+0$ 番地を、ビット 31~0 をアクセスする際には $8n+4$ 番地を指定してください。

表 12.4 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
メモリインタフェースモードレジスタ	MIM	R/W	H'FE80 0008	H'1E80 0008	32
DDR-SDRAM コントロールレジスタ	SCR	R/W	H'FE80 0010	H'1E80 0010	32
DDR-SDRAM タイミングレジスタ	STR	R/W	H'FE80 0018	H'1E80 0018	32
DDR-SDRAM ロウアトリビュート レジスタ	SDR	R/W	H'FE80 0030	H'1E80 0030	32
DDR-SDRAM モードレジスタ	SDMR	(W)	H'FE9x xxxx*	H'1E9x xxxx*	32
DDR-SDRAM バックアップレジスタ	DBK	R	H'FE80 0400	H'1E80 0400	32

【注】 * 詳細は「12.4.5 DDR-SDRAM モードレジスタ (SDMR)」を参照してください。

表 12.5 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
メモリインタフェースモードレジスタ	MIM	H'0000 0000 0C34 xx00* ¹	H'0000 0000 0C34 xx00* ¹	保持	保持
DDR-SDRAM コントロールレジスタ	SCR	H'0000 0000 0000 0000	H'0000 0000 0000 0000	保持	保持
DDR-SDRAM タイミングレジスタ	STR	H'0000 0000 0000 0000	H'0000 0000 0000 0000	保持	保持
DDR-SDRAM ロウアトリビュート レジスタ	SDR	H'0000 0000 0000 0100	H'0000 0000 0000 0100	保持	保持
DDR-SDRAM モードレジスタ	SDMR	(ライトのみ)	(ライトのみ)	(ライトのみ)	(ライトのみ)
DDR-SDRAM バックアップレジスタ	DBK	H'0000 0000 0000 000x* ²	H'0000 0000 0000 000x* ²	保持	保持

【注】 *¹ ビット 8 (ENDIAN ビット) の初期値は外部端子 (MD5) の設定によります。

*² ビット 0 (SDBUP ビット) の初期値は外部端子 (M_BKPRST) の設定によります。

12.4.1 メモリインタフェースモードレジスタ (MIM)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	BOMODE	-	PC KE	-	-	-	-	-	-	-	-	-	-	SEL FS	R MODE	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DRI[12:0]												
初期値:	0	0	0	0	1	1	0	0	0	0	1	1	0	1	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK			-	-	DRE	END IAN	-	-	-	-	DLLEN	-	-	DCE	
初期値:	-	-	-	-	0	0	0	-*	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R	R	R/W

【注】 * 初期値は外部端子MD5の設定によります。

ビット	ビット名	初期値	R/W	説明
63~48	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
47、46	BOMODE	00	R/W	アクセスモード切り替えビット 本ビットにより DDR-SDRAM のアクセスモード切り替えを行います。 DDRIF は 2 種類の DDR-SDRAM アクセスモードをサポートします。各モード時の動作説明は「12.5.4 DDR-SDRAM アクセスモードの説明」を参照ください。 00 : BANK オープンモード 01 : BANK クローズモード 上記以外 : 設定禁止
45	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
44	PCKE	0	R/W	パワーダウン 本ビットにより DDR-SDRAM アクセス以外の時 (アイドルおよびバンクアクティブ状態時) M_CKE をローレベルにしてパワーダウンモードにします。本ビットを 1 にすると本機能が有効になります。本機能により DDR-SDRAM の消費電力を抑えることができます。詳細は「12.5.5 (2) パワーダウンモード (CKE ローによる)」を参照ください。なお、SCR.SMS による M_CKE イネーブル設定は DDR-DRAM の初期化に使用します。

ビット	ビット名	初期値	R/W	説明
43~35	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
34	SELFS	0	R	セルフリフレッシュ判定ビット 本ビットにより DDR-SDRAM がセルフリフレッシュ状態にあるのかどうかを判定できます。1 のとき、セルフリフレッシュ中であり、0 のとき、非セルフリフレッシュ状態です。
33	RMODE	0	R/W	リフレッシュモード選択ビット 本ビットにより DDR-SDRAM に対してオートリフレッシュを行うのか、セルフリフレッシュを行うのかを指定します。本ビットによる指定が有効になるのは本レジスタの DRE ビットが1の時のみです。 リードライト可能です。 0: オートリフレッシュ 1: セルフリフレッシュ
32~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~16	DRI[12:0]	H'0C34	R/W	DRAM リフレッシュインターバルビット リフレッシュが有効な場合 (本レジスタの DRE ビットが1)、本ビットにて最大リフレッシュ間隔 (オートリフレッシュ) を指定できます。1 カウントはメモリクロックの周期と同じです。133MHz の場合は 7.5ns に相当します。本レジスタによる設定可能な最小値は H'0020 カウント分です。それ以下に設定した場合にはカウント値に H'0020 分加算されます。 DDRIF は、内部に 13 ビットのカウンタを持っています。このカウンタは DCE ビットが0の時、または、DRE ビットが0の時、または、RMODE ビットが1の時0にクリアされ、それ以外の時、外部メモリクロックでカウントアップします。このカウンタは DRI ビットと比較され一致するとオートリフレッシュ要求をコントローラ内部で発生させ、オートリフレッシュを行います。なおカウンタは一致した時点で0クリアされ、再度カウントアップされます。内部で発生したオートリフレッシュ要求は最大1回分記録されており、DCE ビットが1、かつ、DRE ビットが1、かつ、RMODE ビットが0であれば、オートリフレッシュが行われるまではオートリフレッシュ要求がクリアされることはありません。本ビットを設定するには DRE ビットを0にして書き込みを行った後、DRE の1書き込みを行ってください。このとき、DRI ビットは前回の書き込み値と同じ値を与えてください。
15~12	LOCK	不定	R	DLL ロックステータスビット 本ビットは、DDR-SDRAM のリードタイミング生成用 DLL のロックステータスを示します。本ビットがすべて1になるとメモリへのアクセスが可能になります。
11, 10	-	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
9	DRE	0	R/W	DRAM リフレッシュイネーブルビット 本ビットによりリフレッシュ機能の有効または無効を指定します。 1: 有効 0: 無効
8	ENDIAN	不定	R	エンディアン識別ビット 本ビットは外部データバスのエンディアンを示します。 1: ビッグエンディアン 0: リトルエンディアン
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	DLLLEN	0	R/W	DLL イネーブルビット 本ビットにより、DDR-SDRAM リードタイミング生成用 DLL の有効 / 無効の設定を行います。本ビットが 1 の場合、DLL がイネーブルとなりメモリのリードアクセスが可能になります。
2、1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DCE	0	R/W	DDR コントローライネーブルビット DDRIF による DDR-SDRAM 制御の許可を行います。 1: イネーブル 0: ディスエーブル

12.4.2 DDR-SDRAM コントロールレジスタ (SCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	SMS		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
63~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	SMS	000	R/W	DDR-SDRAM モード選択ビット 本ビットにより電源投入時およびリセット解除後の DDR-SDRAM の初期化を行います。本ビットをソフトウェアで設定することで下記コマンドが発行されます。初期化手順は「12.5.2 DDR-SDRAM 初期化シーケンス」を参照してください。(000)の通常動作は DDR-SDRAM の初期化終了後に指定します。 000: 通常動作を行います。 001: NOP コマンドを発行します (MIM.DCE=1 の時のみ有効) 010: PREALL コマンドを発行します (MIM.DCE=1 の時のみ有効) 011: M_CKE をイネーブルします。 その際に DESELECT (DESL) コマンドを発行します。 (MIM.DCE=1 の時のみ有効) 100: REFA (オート) リフレッシュコマンドを発行します。 (MIM.DCE=1 の時のみ有効) 上記以外: 設定禁止 上記以外の値に設定した場合の動作は保証できません。尚、MIM.PCKE による M_CKE ロー設定は DDR-SDRAM のパワーダウンのために使用しません。

12.4.3 DDR-SDRAM タイミングレジスタ (STR)

本レジスタにより DDR-SDRAM のタイミング規定を指定します。

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	WR		RW	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SRFC			SWR	SRRD	SRAS			SRC			SCL		SRCD	SRP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
63~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19, 18	WR	00	R/W	ライト-リードコマンド間最低サイクル数 DDR-SDRAM に対する WRITE コマンド発行後の READ コマンド発行までの最低サイクル数を指定します。 00 : 3 サイクル 01 : 4 サイクル 10 : 5 サイクル 11 : 6 サイクル
17, 16	RW	00	R/W	リード-ライトコマンド間最低サイクル数 DDR-SDRAM に対する READ コマンド発行後の WRITE コマンド発行までの最低サイクル数を指定します。 00 : 3 サイクル 01 : 4 サイクル 10 : 5 サイクル 11 : 6 サイクル

ビット	ビット名	初期値	R/W	説明
15~13	SRFC	000	R/W	<p>同一バンク間サイクル数指定</p> <p>同一バンク間の下記アクセス時間 (t_{RFC}) をサイクル数で指定します。</p> <p>(1) オートリフレッシュから ACT コマンド発行</p> <p>(2) オートリフレッシュからオートリフレッシュ</p> <p>000 : 11 サイクル</p> <p>001 : 12 サイクル</p> <p>010 : 13 サイクル</p> <p>011 : 14 サイクル</p> <p>100 : 15 サイクル</p> <p>上記以外 : 設定禁止。</p>
12	SWR	0	R/W	<p>PRE/PREALL コマンド発行サイクル</p> <p>ライト時の最終のポストアンブルから PRE/PREALL コマンド発行までの時間 (t_{WR}) をサイクル数で指定します。</p> <p>0 : 2 サイクル</p> <p>1 : 3 サイクル</p>
11	SRRD	0	R/W	<p>バンク間 ACT コマンド発行サイクル</p> <p>異なるバンク間の ACT コマンド発行から ACT コマンド発行までの時間 (t_{RRD}) の最低サイクル数を指定します。</p> <p>0 : 2 サイクル</p> <p>1 : 3 サイクル</p>
10~8	SRAS	000	R/W	<p>ACT-PRE コマンド発行最低サイクル数</p> <p>同一バンク間の ACT コマンド発行から PRE コマンド発行までの時間 (t_{RAS}) の最低サイクル数を指定します。</p> <p>000 : 6 サイクル</p> <p>001 : 7 サイクル</p> <p>010 : 8 サイクル</p> <p>011 : 9 サイクル</p> <p>上記以外 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
7~5	SRC	000	R/W	<p>オートリフレッシュ / ACT コマンド発行サイクル 同一バンク間の下記のアクセス時間 (t_{RC}) をサイクル数で指定します。</p> <p>(1) ACT コマンド発行からオートリフレッシュ (2) ACT コマンド発行から ACT コマンド発行</p> <p>000 : 6 サイクル 001 : 7 サイクル 010 : 8 サイクル 011 : 9 サイクル 100 : 10 サイクル 101 : 11 サイクル 110 : 12 サイクル 111 : 13 サイクル</p>
4~2	SCL	000	R/W	<p>CAS レイテンシ データリード時の CAS レイテンシ (CL) を指定します。</p> <p>000 : 2.5 サイクル 書き込む値は常に 000 にしてください。</p>
1	SRCD	0	R/W	<p>RAS-CAS コマンド発行サイクル数 RAS (ACT コマンド) から CAS (READ/READA、WRITE/WRITEA コマンド) 発行までの時間 (t_{RCD}) をサイクル数で指定します。</p> <p>0 : 3 サイクル 1 : 4 サイクル</p>
0	SRP	0	R/W	<p>PRE-ACT コマンド発行サイクル数 PRE コマンド発行から ACT コマンド発行までの時間 (t_{RP}) をサイクル数で指定します。</p> <p>0 : 3 サイクル 1 : 4 サイクル</p>

12.4.4 DDR-SDRAM ロウアトリビュートレジスタ (SDR)

ビット :	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	SPLIT				-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	SPLIT	0001	R/W	DDR-SDRAM メモリ構成指定ビット 本ビットにより接続した DDR-SDRAM の row/column 構成を指定します。 0001 : 12×9 (= 8M×16 ビット品) 0011 : 13×9 (= 16M×16 ビット品) 0100 : 13×10 (= 32M×16 ビット品) 0110 : 14×10 (= 64M×16 ビット品) 上記以外 : 設定禁止 「12.5.12 アドレスマルチプレクス」にて SPLIT ビットと row/column の関係を示します。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

たとえば、DDR-SDRAM 内部にあるモードレジスタへ、DLL リセット解除、CAS レイテンシ 2.5、シーケンシャルバーストシーケンス、バースト長を 2 に設定する場合は、DDR-SDRAM の端子に以下の信号を与える必要があります。

- \overline{CS} =Low、 \overline{RAS} =Low、 \overline{CAS} =Low、 \overline{WE} =Low
- BA[0:1]=Low、MA[13:9]=Low、MA[8:7]=Low、MA[6:5]=High、MA[4:1]=Low、MA[0]=High

上記制御信号を出力するため、SDMR のアドレス H'FE90 0308 へロングワードライトアクセスを行います。このとき、DDR-SDRAM の端子には図 12.4 のように制御信号が出力されます。SDMR へのライトデータは Don't care です。

12.4.6 DDR-SDRAM バックアップレジスタ (DBK)

本レジスタでバッテリーバックアップ状態かどうかを判定します。詳細は「第 18 章 低消費電力モード」を参照ください。

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SDBUP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SDBUP	不定*	R	DDR-SDRAM バックアップ バッテリーバックアップ状態かどうかを判定します。 0: バッテリーバックアップ状態 1: バッテリーバックアップ状態ではありません

【注】 * 初期値は外部端子 $\overline{M_BKPRST}$ の設定によります。

12.5 動作説明

12.5.1 DDR-SDRAM アクセス

DDR-SDRAM アクセスは、バースト長 2 で行います。ページにヒットするリードまたはライトのコマンドは、コマンドを連続して発行してデータを連続して読み出します。

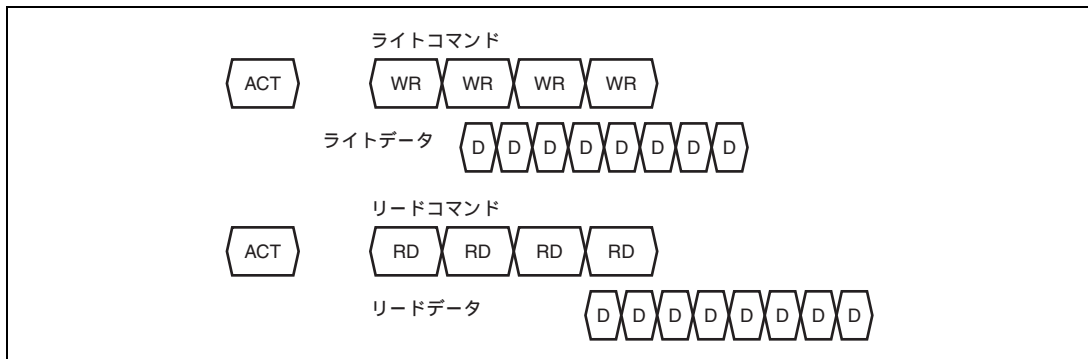


図 12.4 DDR-SDRAM アクセス

12.5.2 DDR-SDRAM 初期化シーケンス

電源投入直後は、DDR-SDRAM の内部状態が不確定になっており、シーケンスを守って初期化する必要があります。シーケンスを守らないとデバイスの破壊などを招く可能性があります。

DDR-SDRAM の場合の初期化シーケンス例を示します。詳細は各メモリベンダのデータシートを参照して決定してください。

1. DDR-SDRAMに供給されている4つの電源を、VDD、VDDQ、VREF、VTT（終端電圧）の順で投入します。
2. 電源や参照電圧やクロックが安定した後、200 μ s以上現状を維持します。
3. DDR-SDRAMのダミーリードを実行してください。
4. MIMレジスタの設定を行い、DDR-SDRAMコントローラのイネーブル、内蔵DLLのイネーブル(MIM.DLLEN = 1に設定してください)やエンディアンなどを設定してください。
5. SDR、STRレジスタの設定を行います。
6. SCRレジスタのSMSフィールドを使用してM_CKEをイネーブルにします。
7. SCRレジスタのSMSフィールドを使用してPREALLコマンドを発行します。
8. SDMRレジスタを使用してEMRSコマンドを発行し、DLLをイネーブルにします。
9. SDMRレジスタを使用してMRSコマンドを発行し、DLLのリセットを行います。バースト長やCASレイテンシなどの設定も行います。
10. 全バンクのプリチャージ(PREALL)コマンドを発行した後、SCRレジスタのSMSフィールドを使用してREFAコマンドを2回発行します。

11. SDMRレジスタを使用してMRSコマンドを発行し、DLLリセットを解除 (MA8 = Low) し動作モードを決定いたします。このとき、バースト長などの設定は8.で指定した値をそのまま使用します。
12. DLLリセット後メモリクロック200サイクル待ったのち、通常のメモリアクセス動作が可能になります。

上記のDDR-SDRAMのSDMRレジスタなどの設定とDDRIF内部のレジスタ設定の内容は一致するようにしてください。

12.5.3 サポートするDDR-SDRAM コマンド

DDRIFがサポートするDDR-SDRAMコマンドを表12.6に示します。

表 12.6 DDRIFが発行するDDR-SDRAM コマンド

機能 Z	シンボル	M_CKE		M_CS	M_RAS	M_CAS	M_WE	M_A [13:11]	M_A 10/AP	M_BA [1:0]	M_A [9:0]
		n-1	n								
Device deselect	DESL	H	X	H	X	X	X	X	X	X	X
No Operation	NOP	H	X	L	H	H	H	X	X	X	X
Read	READ	H	X	L	H	L	H	V	L	V	V
Read with auto precharge	READA	H	X	L	H	L	H	V	H	V	V
Write	WRITE	H	X	L	H	L	L	V	L	V	V
Write with auto precharge	WRITEA	H	X	L	H	L	L	V	H	V	V
Bank Activate	ACT	H	X	L	L	H	H	V	V	V	V
Precharge select bank	PRE	H	X	L	L	H	L	X	L	V	X
Precharge all banks	PREALL	H	X	L	L	H	L	X	H	X	X
Auto refresh	REFA	H	H	L	L	L	H	X	X	X	X
Self refresh entry from IDLE	REFS	H	L	L	L	L	H	X	X	X	X
Self refresh exit	REFSX	L	H	H	X	X	X	X	X	X	X
Power Down entry	PWRDN	H	L	H	X	X	X	X	X	X	X
Power Down exit	PWRDNX	L	H	H	X	X	X	X	X	X	X
Mode register set	MRS/ EMRS	H	X	L	L	L	L	V	V	V	V

【記号説明】

H : ハイレベル

L : ローレベル

X : ハイレベルまたはローレベル (don't care)

V : 有効データ

上記の DESL コマンドは、各モジュールが DDR-SDRAM に対しアクセスを行わない時に発行しますので、ユーザが明示的に発行することはできません。

12.5.4 DDR-SDRAM アクセスモードの説明

DDRIF は下記の 2 種類の DDR-SDRAM アクセスモードをサポートします。各モードは MIM レジスタの BOMODE ビットの指定により設定可能です。

(1) BANK オープンモード

メモリリードまたはライト直後に PRE コマンドを与えずに BANK を常に開いておく方針でアクセスします。本方式は、連続したメモリアクセス時に BANK がヒットしつづけるアプリケーション時に有効です。BANK がミスした場合には自動的に PRE コマンドを発行します。

(2) BANK クローズモード

メモリリードまたはライト直後に、PRE コマンドを与え、BANK を閉じます。本方式は連続したメモリアクセス時に、BANK がヒットしない場合に有効です。

12.5.5 低消費電力モード

(1) セルフリフレッシュモード

セルフリフレッシュモードは、DDR-SDRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。MIM.DRE = 1、かつ、MIM.RMODE = 1 としてセルフリフレッシュに設定した後、CPU をスタンバイ状態にした場合でもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態の復帰後もセルフリフレッシュ状態が保持されます。

DDRIF のレジスタ設定によりセルフリフレッシュ状態になりますが、下記のシーケンスを守る必要があります。

• セルフリフレッシュ状態への遷移

1. メモリコントローラへのトランザクションが完了していることを確認してください。
2. ソフトウェアにより SCR レジスタの SMS ビットを使用して PREALL コマンドを発行してください。開かれていた DDR-SDRAM のバンクが閉じられます。その後、SCR レジスタの SMS ビットを使用して REFA (オートリフレッシュ) コマンドを発行し、メモリのすべての行に対して集中リフレッシュ ((REFA)(REFA)(REFA)) を行ってください。SCR レジスタを使用する PREALL および REFA コマンドは、STR レジスタのタイミング制御とは無関係に発行されます。ソフトウェアにて対応メモリに適切な間隔のウェイトを挿入してください。この際、集中リフレッシュが必要であれば REFA を行ってください。
3. セルフリフレッシュ状態へ DDR-SDRAM を遷移させるために MIM.DRE = 1、RMODE = 1 に設定してください (このとき DCE は 1 のままとしてください)。
4. メモリコントローラはセルフリフレッシュコマンドを自動的に発行し、M_CKE をローレベルにします。その後 DDR-SDRAM は自動的にパワーダウンモードになります。

5. DDR-SDRAMがセルフリフレッシュモードに遷移したかどうかはレジスタMIMのリードを行い、ステータスビットSELFSを確認することで判定できます。

- セルフリフレッシュ状態からの復帰

1. MIMレジスタのRMODEビットを0、DREビットを0に設定し、セルフリフレッシュ状態を解除します。
2. DDR-SDRAMがセルフリフレッシュモードから解除されたかどうかは、レジスタMIMのステータスビットSELFSを確認することで判定できます。
3. 解除後、DDR-SDRAMが要求する時間（リード以外のコマンド発行まで130ns、リードコマンド発行まで200サイクル）まで、アクセスを待ちます。
4. アクセス可能になった時点で、SCRレジスタのSMSビットを使用してREFAコマンドを発行し、メモリのすべての行に対して集中リフレッシュ（REFA）を行ってください。
5. 任意のアドレスに対してダミーのバイトリードを行います。
6. SCRレジスタのSMSビットを用いてPREALLコマンドを発行します。
7. SCRレジスタのSMSビットを用いてREFAコマンドを発行します。この動作は、メモリコントローラの遅延調整機構を動作させるために必ず必要です。
8. MIMレジスタ設定によりカウンタによるオートリフレッシュ機構を動作させて、オートリフレッシュが周期的に行われるように設定してください。その後、通常アクセスが可能になります。

(2) パワーダウンモード (CKE ローによる)

MIMレジスタのPCKEビット設定により、自動的にM_CKE端子を変化させパワーダウンモードへの遷移および解除を行わせることができます。本機能によりDDR-SDRAMの消費電力を抑えることができます。

なお、メモリアクセス後にパワーダウンモードへの遷移を行わせ、アクセス前にパワーダウンモードからの解除を行いますので、それぞれ前後に外部メモリクロックで1サイクルのオーバーヘッドが生じます。

12.5.6 DDR-SDRAMのタイミング制約を設定するレジスタについて

従来のSH7751R等、DDR-SDRAM以外の他のメモリ種との接続にも対応した設定レジスタと、DDRIFのDDR-SDRAMのタイミング制約を設定するレジスタは、メモリのタイミング制約の設定方法が異なります。DDRIFのレジスタはDDR-SDRAMのタイミング規定に特化して設定しております。詳細は「12.4 レジスタの説明」をご覧ください。

12.5.7 動作周波数について

DDRIFはSHwyクロックと外部メモリクロックのクロック比が1:1 (DDR266 / DDR200時) のみについてサポートしています。SHwyクロック最高動作周波数は133MHzです。最低動作周波数は使用するDDR-SDRAMのクロック周波数にも依存しますので、DDR-SDRAMのデータシートをご覧ください。

12.5.8 クロック停止時の注意点

DDRIF に供給されるクロックが停止するのは下記の 3 つの場合があります。

- DDR-SDRAM電源バックアップモード時
- ソフトウェアスタンバイモード時
- RTC電源バックアップモード時

上記の場合クロックが供給されないため、オートリフレッシュは実行されません。その結果、リフレッシュレートが守られず DDR-SDRAM のデータは破壊されます。これを防ぐためクロック供給停止前にソフトウェアにて DDR-SDRAM をセルフリフレッシュ状態にしておく必要があります。セルフリフレッシュモードへの遷移および復帰方法は「12.5.5 (1) セルフリフレッシュモード」をご参照ください。

12.5.9 初期化シーケンス時以外に SCR レジスタで REFA コマンドを発行する場合

メモリアクセス (リード、ライト) を行うことにより、本メモリコントローラは DDR-SDRAM のバンクを自動的に開きます。SCR レジスタの SMS ビットを使用して REFA コマンドを発行する必要は、必ず SCR レジスタの SMS ビットを使用して PREALL コマンドを発行し、バンクを閉じてください。セルフリフレッシュ前に SCR レジスタにより、メモリのすべての行に対して集中リフレッシュ (REFA) を行う場合も上記操作が必要です。

12.5.10 接続する DDR-SDRAM に関するタイミング上のご注意

本メモリコントローラは、ACT からオートプリチャージ付きリードライトコマンド発行までの制約サイクル数 (tRAP) と ACT からリードライトコマンド発行制約サイクル数 (tRCD) が等しいメモリのみサポートします。異なる場合にはバンクオープンモードで使用してください。

12.5.11 オートリフレッシュ間隔設定上のご注意

MIM レジスタの DRI ビットの設定によりオートリフレッシュ間隔を規定しますが、DRI ビットの設定と DRE ビットの 1 設定を同時に行うと初回のオートリフレッシュまでの間隔は、DRI に設定する前のレジスタ値になり、2 回目以降は DRI で設定した値となります。これを避けるため、DRI ビットの設定時、DRE ビットを 0 設定します。その後、DRE ビットを 1 に設定することにより初回から指定した間隔でオートリフレッシュが行われます。なお、DRE ビットを 1 に設定する際には、DRI には前回設定したサイクル数と同じ値を与えてください。

12.5.12 アドレスマルチプレクス

MIM レジスタの BW ビット、SDRA レジスタの SPLIT ビットの指定に従って、外付けのアドレスマルチプレクス回路なしに DDR-SDRAM を接続できるようにアドレスマルチプレクスを行います。表 12.7 に DDR-SDRAM アドレスマルチプレクスの関係を示します。数字は SDR の SPLIT ビットの設定によりアドレス端子に出力されるメモリアクセス時のアドレス (ビット) を示します。なお、この表以外の設定を行った場合の動作は保証できません。

表 12.7 DDR-SDRAM アドレスマルチプレクスの関係

メモリ構成	SPLIT	ROW x COL	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_	M_
			BA1	BA0	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
128M ビット x2 (8M x 16 ビット x2)	0001	12 x 9	ROW	13	12	-	-	11	24	23	22	21	20	19	18	17	16	15	14
			COL	13	12	-	-	-	AP*	-	10	9	8	7	6	5	4	3	2
256M ビット x2 (16M x 16 ビット x2)	0011	13 x 9	ROW	13	12	-	11	25	24	23	22	21	20	19	18	17	16	15	14
			COL	13	12	-	-	-	AP*	-	10	9	8	7	6	5	4	3	2
512M ビット x2 (32M x 16 ビット x2)	0100	13 x 10	ROW	13	12	-	26	25	24	23	22	21	20	19	18	17	16	15	14
			COL	13	12	-	-	-	AP*	11	10	9	8	7	6	5	4	3	2
1G ビット x2 (64M x 16 ビット x2)	0110	14 x 10	ROW	13	12	27	26	25	24	23	22	21	20	19	18	17	16	15	14
			COL	13	12	-	-	-	AP*	11	10	9	8	7	6	5	4	3	2

【注】 * : オートプリチャージ

12.5.13 DDR-SDRAM アクセス調停

(1) アクセス調停の優先順位

DDRIF は、CPU と LCDC 間で DDR-SDRAM へのアクセスを調停するアクセス調停機能を備えています。調停時の優先順位は以下のように 2 つのレベルに分かれます。

レベル 0 では、DDR-SDRAM のリフレッシュ、ページ管理などの DDR-SDRAM 制御が最優先で実行されます。メモリのリフレッシュは別途設定するメモリリフレッシュ間隔に従って実施します。

レベル 1 では、SHwy バスからのアクセスと LCDC からのアクセスが交互に (ラウンドロビン方式) で実行されます。ただし、リセット直後は、SHwy バスからアクセスが LCDC からのアクセスより優先されます。

アクセス調停は、先着優先ではなく、各トランザクションの切れ目でアサートされているリクエスト信号により行います。また、同じデバイスにおいて同時にリードとライトのリクエストがある場合にはリード優先で調停を行います。調停は各トランザクションの切れ目で行われます。

(2) バースト転送 / 非バースト転送混在時のアクセス調停

アービタブロックには、133MHz*¹ のインタフェースを持つ SHwy バスからのリクエストと、66MHz*² のインタフェースを持つ LCDC からのリクエストが入力します。このため、バースト転送時と非バースト転送時では調停動作が異なります。

- バースト転送時、調停を受けたモジュールは連続して転送を行うことができます。
このため、SHwyバス、LCDCに対して、調停を受けるために同じチャンスが与えられます。
- 非バースト転送時、133MHz*¹単位で調停を行います。これによって、連続してリクエストをDDRIFへ出力します。

ただし、実際には、バースト転送と非バースト転送が混在します。転送がバーストで行われることを期待しているかどうかは、各インタフェースが出力する信号で判断します。非バースト転送からバースト転送への調停は、調停したトランザクションがバースト転送であれば、続けて転送を行うことができます。

【注】 *1. DDR266-SDRAM が使用されている場合の周波数を示します。DDR200-SDRAM が使用されている場合は、100MHz になります。

*2. DDR266-SDRAM が使用されている場合の周波数を示します。DDR200-SDRAM が使用されている場合は、50MHz になります。

12.5.14 DDR-SDRAM アクセス時のコヒーレンシについて

プログラムからの SHwy バスを經由した DDR-SDRAM への書き込み実行が、何らかの都合で待たされ、後から起動を掛けた LCDC からの DDR-SDRAM への読み込みが先に実行されるようなことがあります。つまり、DDR-SDRAM へのアクセスのコヒーレンスが保証されないことになり誤動作を起こす可能性があります。

このような場合、プログラムで DDR-SDRAM への書き込み命令と LCDC の起動命令の間に、SYNCO 命令を実行してください。SYNCO 命令を実行すると、現在実行しているデータアクセス処理が終了するまで次の命令が起動されません。

12.6 DDRIF 基本タイミング

図 12.5～図 12.14 に DDRIF の基本タイミング (例) を示します。

各タイミングにおいて、T0 では DDR-SDRAM がアイドル状態であることを示しています。

STR に設定する各タイミングは、使用する DDR-SDRAM により規定されている範囲内としてください。

なお、DDRIF がサポートする CL は 2.5 のみとなります。

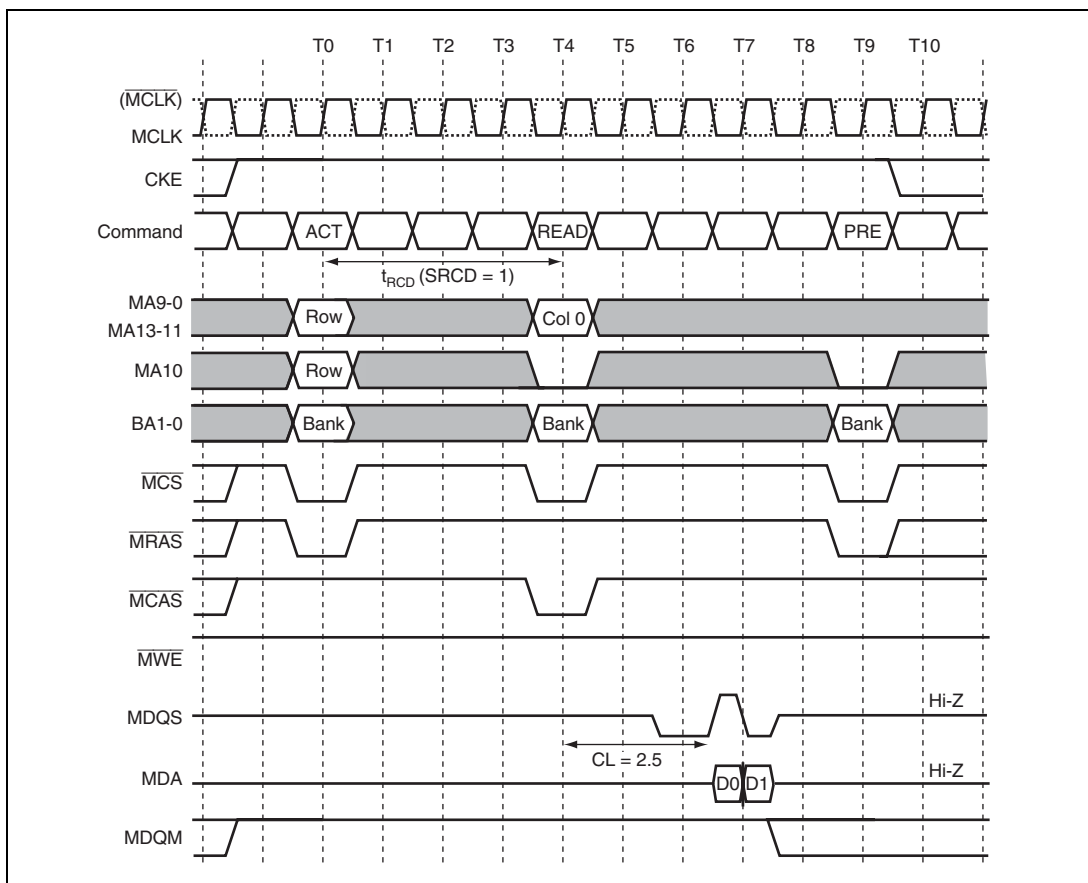


図 12.5 DDRIF 基本タイミング

(1 バーストリード : 1 バイト/2 バイト/4 バイト/8 バイトオートプリチャージなし)

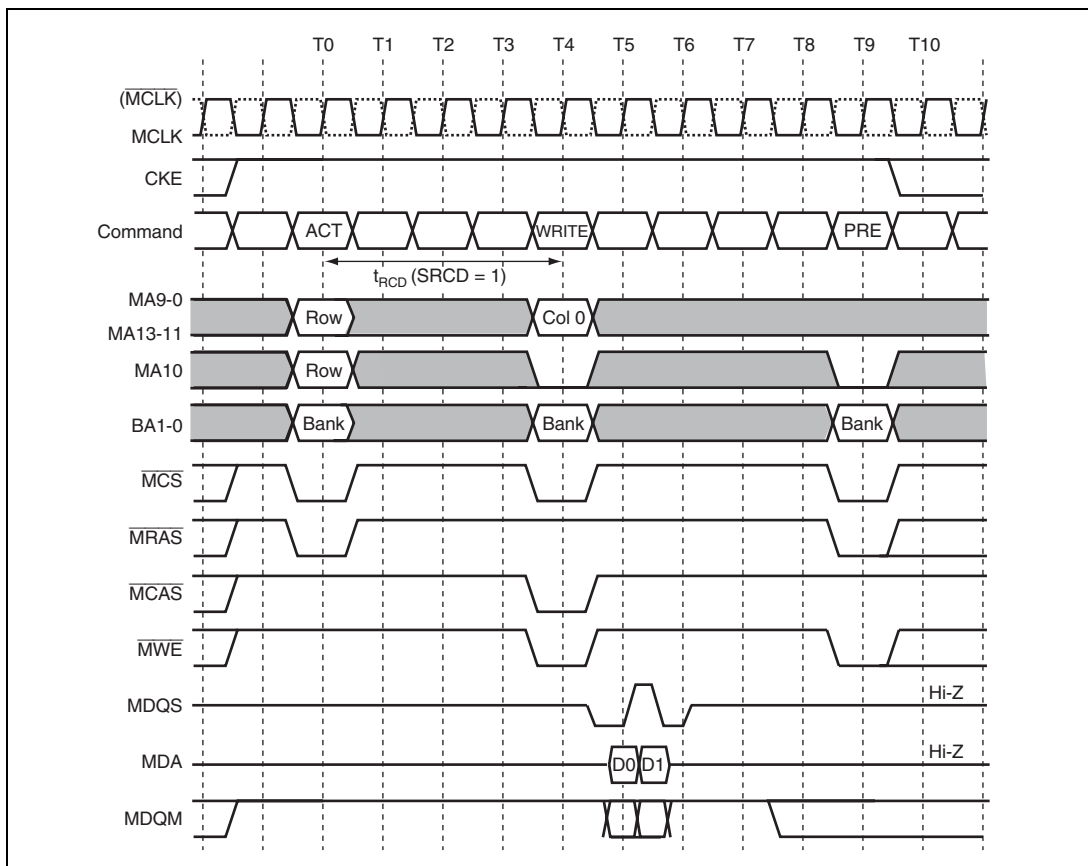


図 12.6 DDRIF 基本タイミング
(1 バーストライト : 1 バイト/2 バイト/4 バイト/8 バイト オートプリチャージなし)

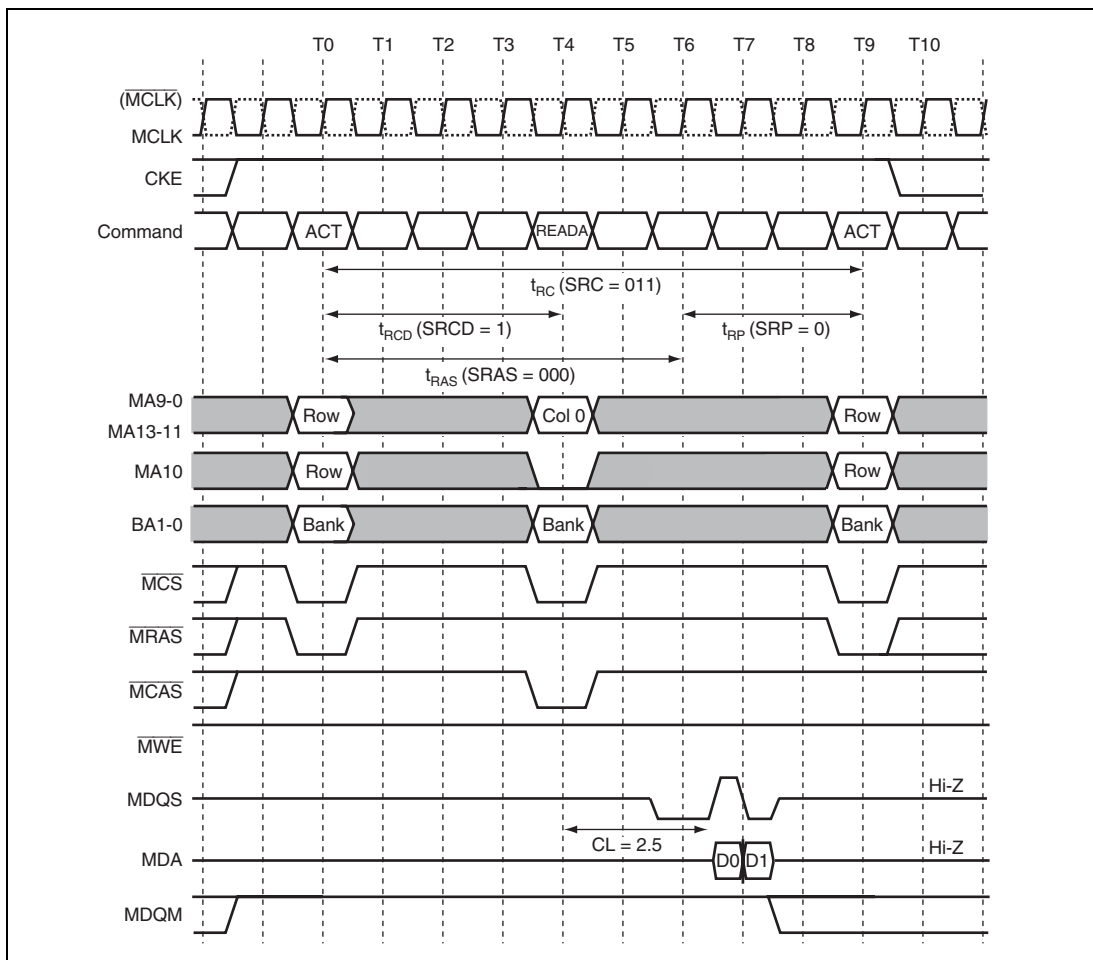


図 12.7 DDRIF 基本タイミング

(1 バーストリード : 1 バイト/2 バイト/4 バイト/8 バイトオートプリチャージあり)

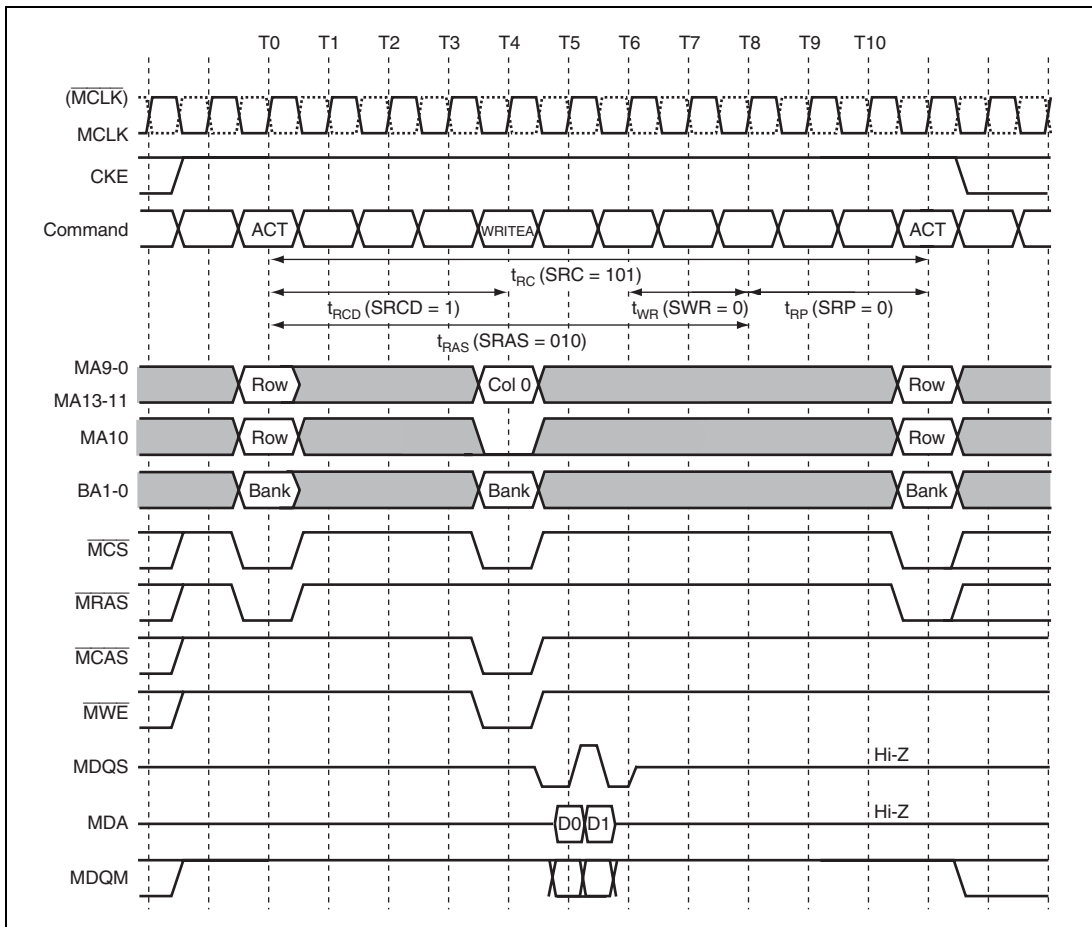


図 12.8 DDRIF 基本タイミング

(1 バーストライト : 1 バイト/2 バイト/4 バイト/8 バイト オートプリチャージあり)

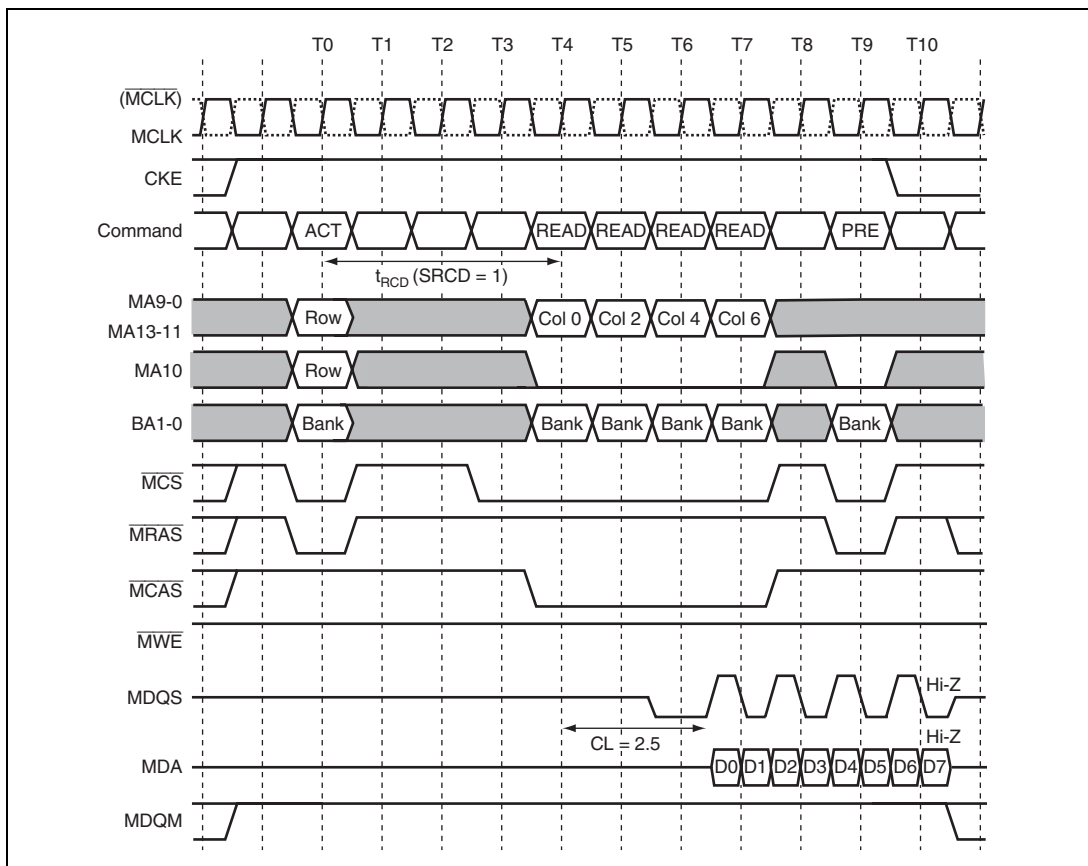


図 12.9 DDRIF 基本タイミング
(4 バーストリード : 32 バイト オートプリチャージなし)

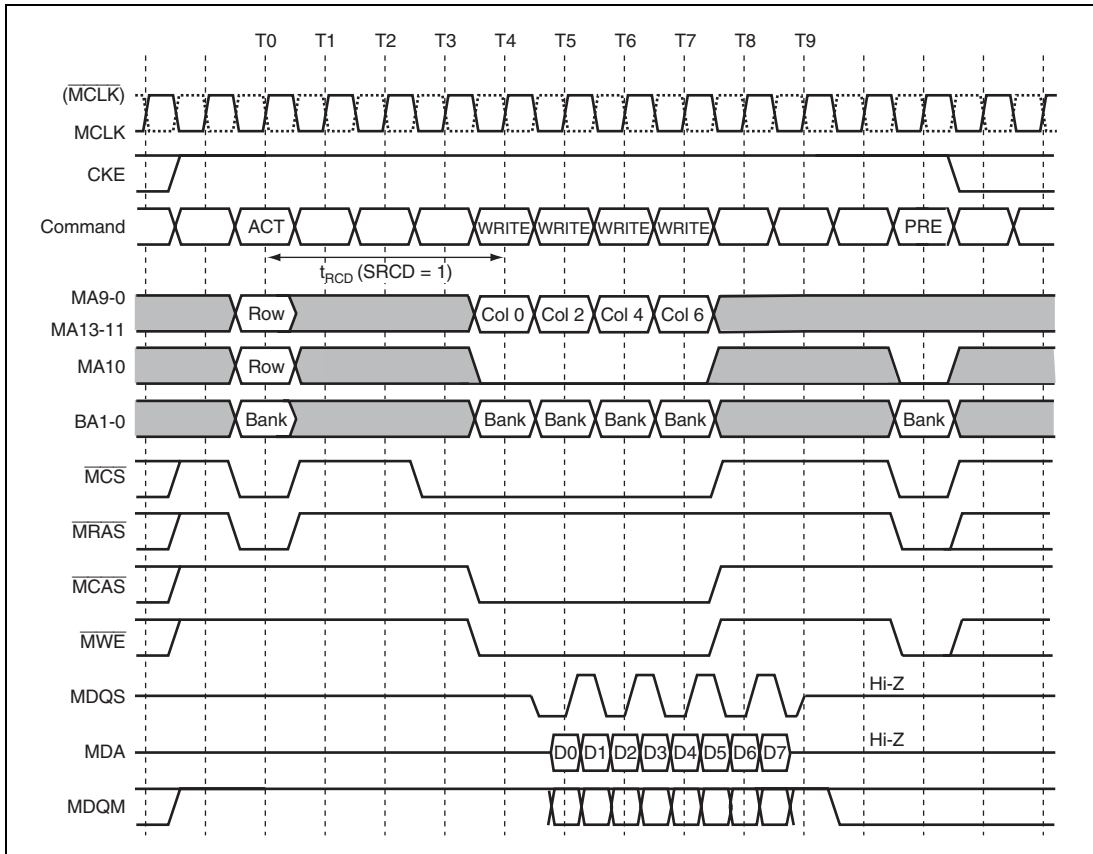


図 12.10 DDRIF 基本タイミング (4 バーストライト : 32 バイト オートプリチャージなし)

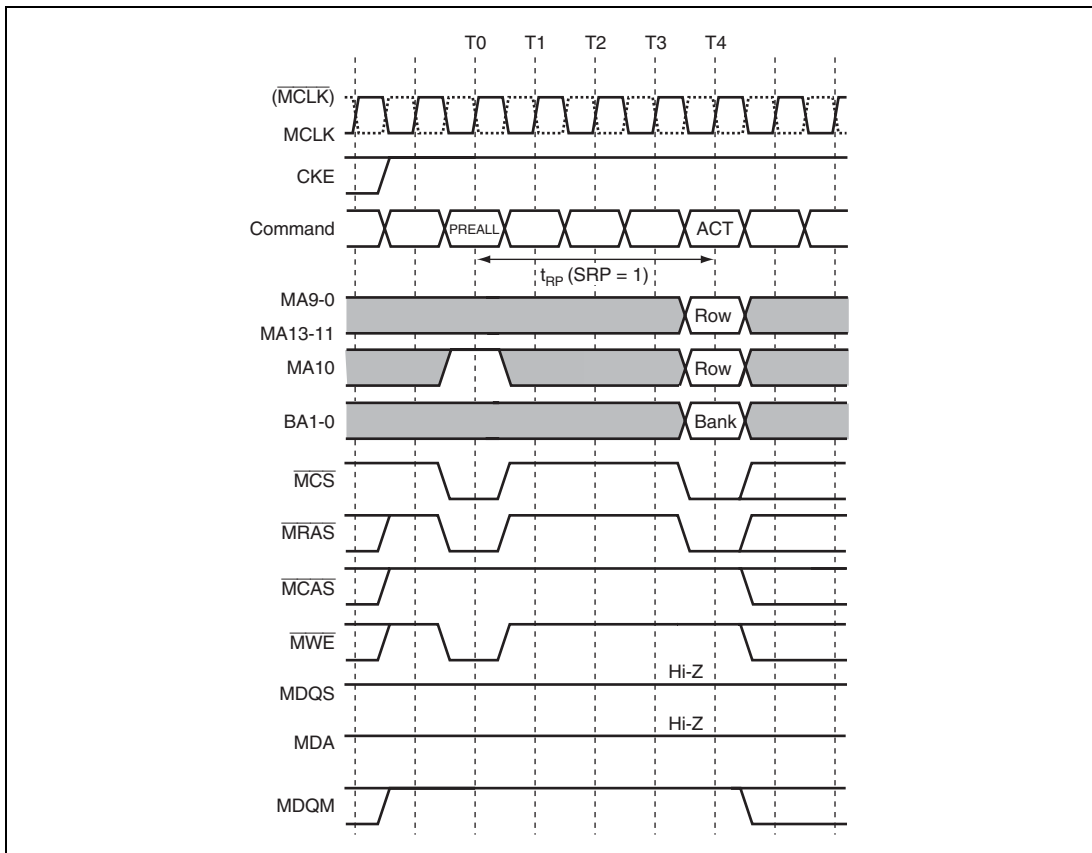


図 12.11 DDRIF 基本タイミング (プリチャージオールバンク～バンクアクティブ)

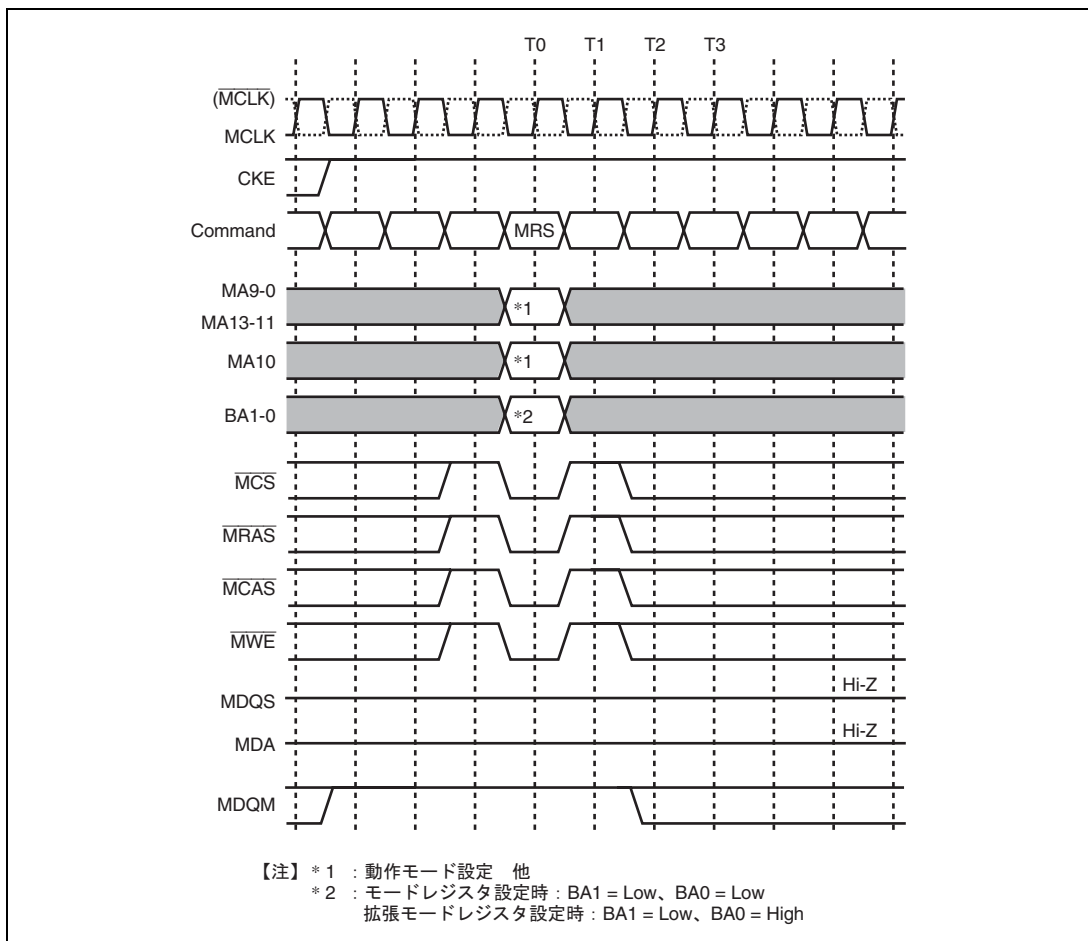


図 12.12 DDRIF 基本タイミング (モードレジスタ設定)

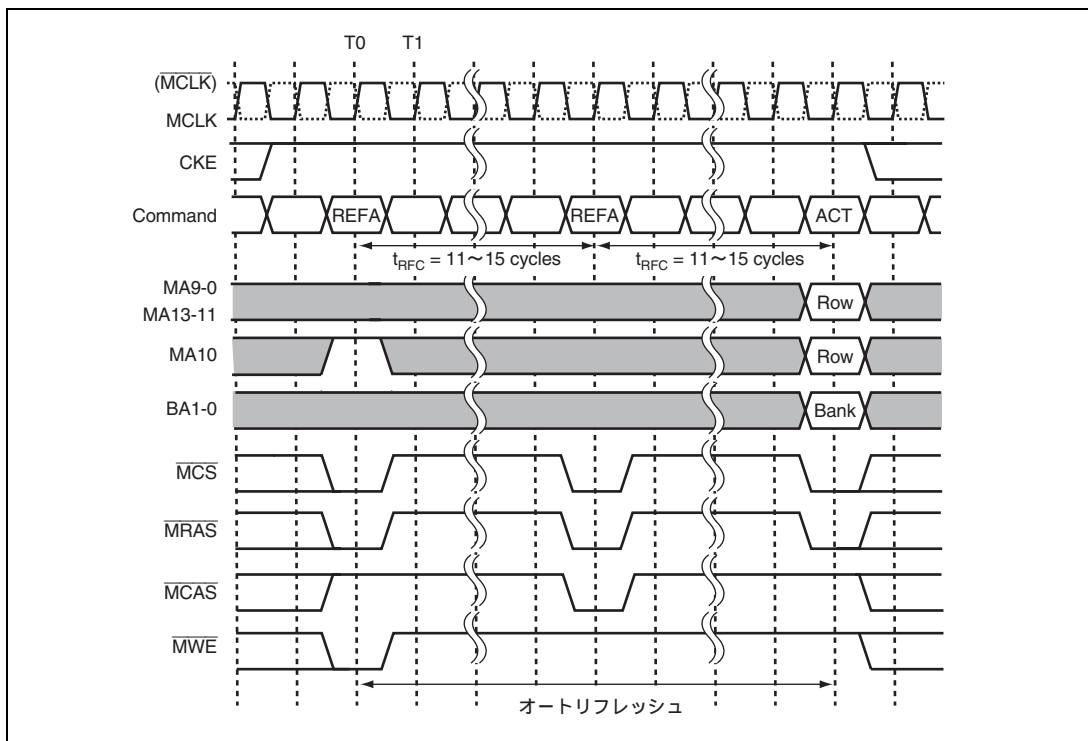


図 12.13 DDRIF 基本タイミング (オートリフレッシュ Enter/Exit ~ バンクアクティブ)

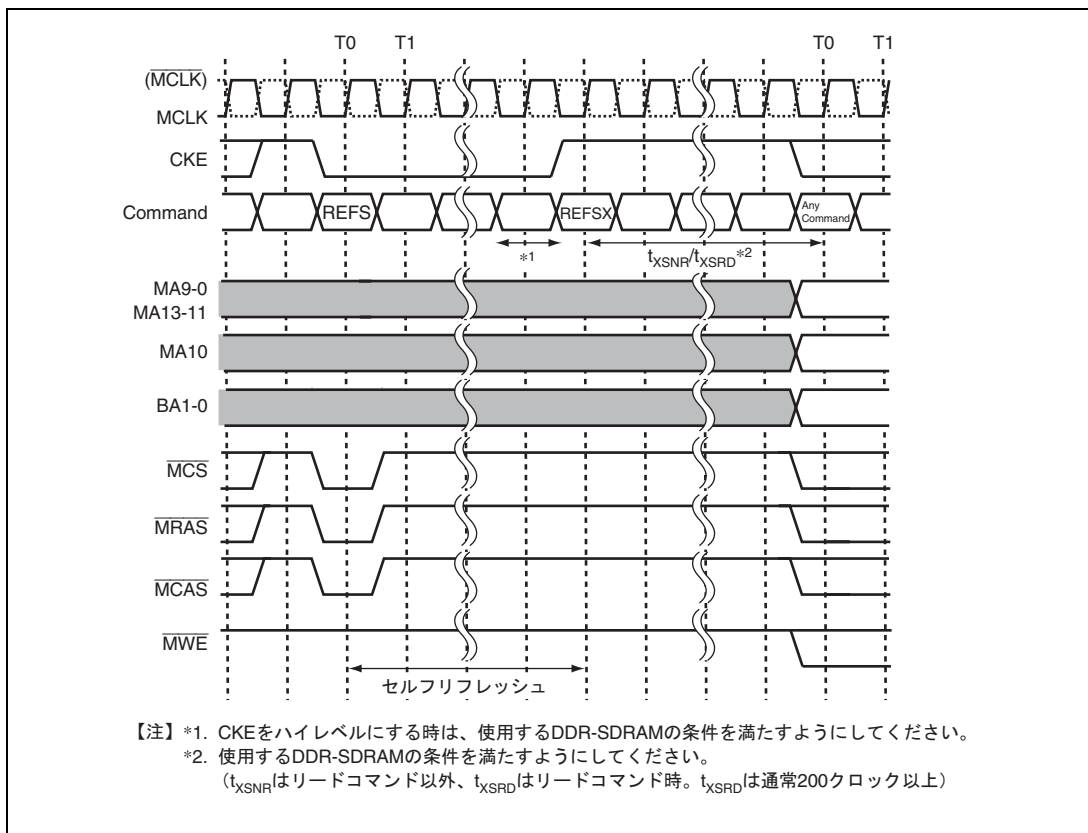


図 12.14 DDRIF 基本タイミング (セルフリフレッシュ Enter/Exit ~ コマンド入力)

13. PCI コントローラ (PCIC)

PCI コントローラ (PCIC) は、PCI バスの制御を行い、本 LSI 外部バスに接続されるメモリと PCI バスに接続される PCI デバイス間のデータ転送を行うことができ、PCI バスを用いたシステム設計が容易になると同時に、コンパクトで高速なデータ転送が可能になります。

PCICはPCIバスとSuperHywayバス(本LSI内部バス)との間を結ぶバスブリッジとして動作し、PCIバス上のPCIデバイスから、本LSI外部バスに接続されるメモリなどへの転送チャンネルを提供します。

PCIC は、ホストモード、ノーマルモード(非ホストモード)の2つのモードを持ちます。ホストモードではPCIバス上のアービトレーションを行うことができます。ノーマルモードではPCIバスアービトレーションは外部PCIバスアービタによって行われます。

13.1 特長

PCIC には以下の特長があります。

- PCIのレビジョン2.2のサブセットをサポート
- 33MHzまたは66MHz動作
- 32ビットデータバス
- PCIマスタおよびターゲット機能
- PCIパワーマネジメントレビジョン1.1をサポート
- ホストモードおよびノーマルモードをサポート(外部端子MD6で設定)
- PCIアービタ(ホストモード)
- 4種類の外部マスタをサポート
- 擬似ラウンドロビンまたは固定優先順位アービトレーション
- 外部バスアービタモードをサポート
- コンフィグレーションメカニズム#1をサポート(ホストモード)。
- バースト転送をサポート
- パリティチェックおよびエラーレポート
- 排他的アクセス(ターゲット時のみ)

ロックされると、 $\overline{\text{LOCK}}$ をアサートしたPCIデバイスからのみアクセス可能。

【注】ロック転送中においてもSuperHywayバスはロックされません。

本LSI内部モジュールと外部PCIマスタ間の排他的アクセスは、サポートしていません。

- PCICがターゲットのとき、PCIバス上のメモリと本LSI外部バス上のメモリ間のスヌープ機能をサポート。
(キャッシュコヒーレンシは性能を犠牲にすることでサポートできます)

- ホストモードでは、4種類の外部割り込み入力 ($\overline{\text{INTA}}$ 、 $\overline{\text{INTB}}$ 、 $\overline{\text{INTC}}$ および $\overline{\text{INTD}}$) をサポート。
- ノーマルモードでは、1種類の外部割り込み出力 ($\overline{\text{INTA}}$) をサポート。
- 本LSIのエンディアンは、ビッグエンディアンおよびリトルエンディアン両方をサポート。
(ただし、PCIバスはリトルエンディアンで動作)
- 接続可能なデバイス数
 - 33MHz時：4以下
 - 66MHz時：1

【注】 1. 以下のPCIの機能はサポートされていません。

- キャッシュサポート ($\overline{\text{SBO}}$ 、SDONE端子なし)
 - アドレスラップアラウンドメカニズム
 - PCI JTAG (本LSIとしてはJTAGをサポートしています)
 - デュアルアドレスサイクル
 - インタラプトアクノリッジサイクル
 - 高速バックトゥバック転送開始 (ターゲットデバイスとして動作するときにサポートします)
 - 初期化、システムブート用拡張ROM
2. PCICは、SHwyクロックとPCICLKクロックのクロック比 (SHwyクロック : PCICLKクロック) が (2.1 : 1) から (3.3 : 1) の範囲では使用できません。

図 13.1 に PCIC のブロック図を示します。

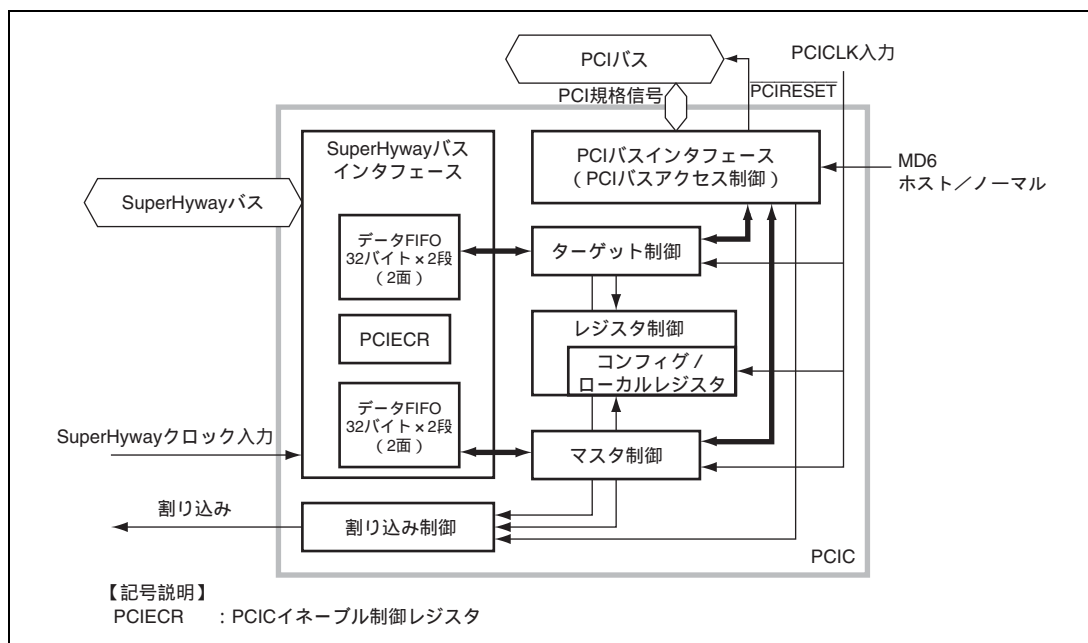


図13.1 PCIC ブロック図

PCIC は PCI バスインタフェースブロックと SuperHyway バスインタフェースブロックの 2 つのブロックからなります。

PCI バスインタフェースブロックは PCI コンフィグレーションレジスタ、ローカルレジスタ、PCI マスタ/ターゲット制御からなります。

SuperHyway バスインタフェースブロックは、PCI バスインタフェースからのアクセスを SuperHyway バスへのアクセスに変換し、また SuperHyway バスからのアクセス (CPU または DMAC) を PCI バスインタフェースブロックへのアクセスに変換する機能を持っています。SuperHyway バスインタフェースブロックにはコントロールレジスタ (PCIECR)、SuperHyway バス PCI バスアクセス制御ブロック、PCI バス SuperHyway バスアクセス制御ブロックからなります。

割り込み制御は、本 LSI の INTC への割り込みの発行を制御する機能を持っています。

13.2 入出力端子

表 13.1 に PCIC の端子構成を示します。

表13.1 端子構成

端子名	PCI 規格信号	入出力	説明
AD31 ~ AD0	AD[31:0]	入出力 (TRI)	アドレスバスとデータバスをマルチプレクスした PCI アドレス / データバス 各バス処理はアドレスフェーズの後に 1 つ以上のデータフェーズが続きます。
CBE3 ~ CBE0	C/BE[3:0]	入出力 (TRI)	PCI コマンド / バイトイネーブル マルチプレクスされたコマンドおよびバイトイネーブル。アドレスフェーズ中 はコマンドタイプを示し、データフェーズ中はバイトイネーブルを示します。
PAR	PAR	入出力 (TRI)	PCI パリティ信号 AD[31:0]と C/BE[3:0]間の偶数パリティを生成/検出します。
PCICLK	CLK	入力	PCI クロック PCI バスでのすべての処理のタイミングを与えます。
PCIFRAME	FRAME	入出力 (STRI)	PCI フレーム 現在のイニシエータによってドライブされ、処理の開始、継続または終了を示 します。
$\overline{\text{TRDY}}$	$\overline{\text{TRDY}}$	入出力 (STRI)	PCI ターゲットレディ 選択されたターゲットによってドライブされます。データ転送可能な状態であ ることを示します。書き込み中は、ターゲットがデータを受け入れる用意があ ることを示します。読み出し中は、有効なデータが AD[31:0]ライン上に存在す ることを示します。
$\overline{\text{IRDY}}$	$\overline{\text{IRDY}}$	入出力 (STRI)	PCI イニシエータレディ 現在のバスマスタによってドライブします。書き込み中は、有効なデータが AD[31:0]ライン上に存在することを示します。読み出し中は、マスタがデータ を受け入れる用意があることを示します。
$\overline{\text{STOP}}$	$\overline{\text{STOP}}$	入出力 (STRI)	PCI ストップ 現在の処理を停止するために選択されたターゲットによってドライブします。
$\overline{\text{LOCK}}$	$\overline{\text{LOCK}}$	入出力 (STRI)	PCI ロック
IDSEL	IDSEL	入力	PCI コンフィグレーションデバイス選択 コンフィグレーションサイクルで PCIC を選択するときに入力します (ノーマルモードのみ)。
$\overline{\text{DEVSEL}}$	$\overline{\text{DEVSEL}}$	入出力 (STRI)	PCI デバイス選択 PCIC がターゲットとしてその PCI デバイスのアドレスをデコードしたことを 示します。入力としては、PCIC が選択されたことを示します。

端子名	PCI 規格信号	入出力	説明
INTD、 INTC、 INTB	INT[D:B]	入力	割り込み D、C、B PCI デバイスが PCI 割り込みを要求していることを示します。ホストモードのみ。
INTA	INTA	入出力 (出力 : O/D)	割り込み A ホストモードで PCI デバイスが割り込みを要求していることを示します。 ノーマルモードで PCIC が割り込みを要求するために出力します。
REQ3 ~ REQ1	REQ[3:1]	入力	PCI バスリクエスト (ホストモードのみ)
GNT3 ~ GNT1	GNT[3:1]	出力 (TRI)	PCI バスグラント (ホストモードのみ)
REQ0/REQOUT	REQ0	入出力 (TRI)	PCI バスリクエスト (ホストモードで入力/出力、ノーマルモードで出力)
GNT0/GNTIN	GNT0	入出力 (TRI)	PCI バスグラント (ホストモードで出力/入力、ノーマルモードで入力)
SERR	SERR	入出力 (出力 : O/D)	PCI システムエラー
PERR	PERR	入出力 (TRI)	PCI パリティエラー
PCIRESET		出力	PCI リセット出力 (ホストモードのみ)
MD6		入力	PCI 動作モード選択 Low : ノーマルモード (PCICLK による PCI ブリッジ動作) High : ホストモード (PCICLK による PCI ブリッジ動作)

【記号説明】

TRI : トライステート

STRI : サステインドトライステート

O/D : オープンドレイン

【注】 PCIC 関連全端子の機能を選択した後に PCIC 関連の割り込みマスクを解除してください。

13.3 レジスタの説明

PCIC のレジスタ構成を表 13.2 に示します。また、各処理モードにおけるレジスタの状態を表 13.3 に示します。PCI コンフィグレーションレジスタのアドレスおよびオフセットは、リトルエンディアンの場合の値です。

表13.2 レジスタ構成

レジスタ名称	略 称	SH*1 R/W	PCI*1 R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ*2
コントロールレジスタ空間						
PCIC イネーブル制御レジスタ	PCIECR	R/W	-	H'FE00 0008	H'1E00 0008	32
PCI コンフィグレーションレジスタ空間						
PCI ベンダ ID レジスタ	PCIVID	R	R	H'FE04 0000	H'1E04 0000	16
PCI デバイス ID レジスタ	PCIDID	R	R	H'FE04 0002	H'1E04 0002	16
PCI コマンドレジスタ	PCICMD	R/W	R/W	H'FE04 0004	H'1E04 0004	16
PCI ステータスレジスタ	PCISTATUS	R/WC	R/WC	H'FE04 0006	H'1E04 0006	16
PCI レビジョン ID レジスタ	PCIRID	R	R	H'FE04 0008	H'1E04 0008	8
PCI プログラムインタフェースレジスタ	PCIPIF	R/W	R	H'FE04 0009	H'1E04 0009	8
PCI サブクラスコードレジスタ	PCISUB	R/W	R	H'FE04 000A	H'1E04 000A	8
PCI ベースクラスコードレジスタ	PCIBCC	R/W	R	H'FE04 000B	H'1E04 000B	8
PCI キャッシュラインサイズレジスタ	PCICLS	R	R	H'FE04 000C	H'1E04 000C	8
PCI レイテンシタイムレジスタ	PCILTM	R/W	R/W	H'FE04 000D	H'1E04 000D	8
PCI ヘッドタイプレジスタ	PCIHDR	R	R	H'FE04 000E	H'1E04 000E	8
PCI BIST レジスタ	PCIBIST	R	R	H'FE04 000F	H'1E04 000F	8
PCI I/O ベースアドレスレジスタ	PCIIBAR	R/W	R/W	H'FE04 0010	H'1E04 0010	32
PCI メモリベースアドレスレジスタ 0	PCIMBAR0	R/W	R/W	H'FE04 0014	H'1E04 0014	32
PCI メモリベースアドレスレジスタ 1	PCIMBAR1	R/W	R/W	H'FE04 0018	H'1E04 0018	32
PCI サブシステムベンダ ID レジスタ	PCISVID	R/W	R	H'FE04 002C	H'1E04 002C	16
PCI サブシステム ID レジスタ	PCISID	R/W	R	H'FE04 002E	H'1E04 002E	16
PCI 拡張機能ポインタレジスタ	PCICP	R	R	H'FE04 0034	H'1E04 0034	8
PCI 割り込みラインレジスタ	PCIINTLINE	R/W	R/W	H'FE04 003C	H'1E04 003C	8
PCI 割り込み端子指定レジスタ	PCIINTPIN	R/W	R	H'FE04 003D	H'1E04 003D	8
PCI 最小グラント指定レジスタ	PCIMINGNT	R	R	H'FE04 003E	H'1E04 003E	8
PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	R	R	H'FE04 003F	H'1E04 003F	8
PCI 拡張機能 ID レジスタ	PCICID	R	R	H'FE04 0040	H'1E04 0040	8
PCI 次項目ポインタレジスタ	PCINIP	R	R	H'FE04 0041	H'1E04 0041	8
PCI パワー・マネジメントレジスタ	PCIPMC	R/W	R/W	H'FE04 0042	H'1E04 0042	16
PCI パワー・マネジメントコントロール / ステータスレジスタ	PCIPMCSR	R/W	R/W	H'FE04 0044	H'1E04 0044	16
PCIPMCSR ブリッジサポート拡張レジスタ	PCIPMCSRBASE	R	R	H'FE04 0046	H'1E04 0046	8
PCI パワー・消費 / 放散データレジスタ	PCIP added	R/W	R	H'FE04 0047	H'1E04 0047	8

レジスタ名称	略 称	SH* ¹ R/W	PCI* ¹ R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ* ²
PCI ローカルレジスタ空間						
PCI コントロールレジスタ	PCICR	R/W	R	H'FE04 0100	H'1E04 0100	32
PCI ローカルベースレジスタ 0	PCILSR0	R/W	R	H'FE04 0104	H'1E04 0104	32
PCI ローカルベースレジスタ 1	PCILSR1	R/W	R	H'FE04 0108	H'1E04 0108	32
PCI ローカルアドレスレジスタ 0	PCILAR0	R/W	R	H'FE04 010C	H'1E04 010C	32
PCI ローカルアドレスレジスタ 1	PCILAR1	R/W	R	H'FE04 0110	H'1E04 0110	32
PCI 割り込みレジスタ	PCIIR	R/WC	R	H'FE04 0114	H'1E04 0114	32
PCI 割り込みマスクレジスタ	PCIIMR	R/W	R	H'FE04 0118	H'1E04 0118	32
PCI エラーアドレス情報レジスタ	PCIAIR	R	R	H'FE04 011C	H'1E04 011C	32
PCI エラーコマンド情報レジスタ	PCICIR	R	R	H'FE04 0120	H'1E04 0120	32
PCI アービタ割り込みレジスタ	PCIAINT	R/WC	R	H'FE04 0130	H'1E04 0130	32
PCI アービタ割り込みマスクレジスタ	PCIAINTM	R/WC	R	H'FE04 0134	H'1E04 0134	32
PCI バスマスタエラー情報レジスタ	PCIBMIR	R	R	H'FE04 0138	H'1E04 0138	32
PCI PIO アドレスレジスタ* ²	PCIPAR	R/W	-	H'FE04 01C0	H'1E04 01C0	32
PCI パワーマネジメント割り込みレジスタ	PCIPINT	R/WC	-	H'FE04 01CC	H'1E04 01CC	32
PCI パワーマネジメント割り込みマスク レジスタ	PCIPINTM	R/W	-	H'FE04 01D0	H'1E04 01D0	32
PCI メモリバンクレジスタ 0	PCIMBR0	R/W	-	H'FE04 01E0	H'1E04 01E0	32
PCI メモリバンクマスクレジスタ 0	PCIMBR0	R/W	-	H'FE04 01E4	H'1E04 01E4	32
PCI メモリバンクレジスタ 1	PCIMBR1	R/W	-	H'FE04 01E8	H'1E04 01E8	32
PCI メモリバンクマスクレジスタ 1	PCIMBR1	R/W	-	H'FE04 01EC	H'1E04 01EC	32
PCI メモリバンクレジスタ 2	PCIMBR2	R/W	-	H'FE04 01F0	H'1E04 01F0	32
PCI メモリバンクマスクレジスタ 2	PCIMBR2	R/W	-	H'FE04 01F4	H'1E04 01F4	32
PCI I/O バンクレジスタ	PCIOBR	R/W	-	H'FE04 01F8	H'1E04 01F8	32
PCI I/O バンクマスクレジスタ	PCIOBMR	R/W	-	H'FE04 01FC	H'1E04 01FC	32
PCI キャッシュスヌープコントロール レジスタ 0	PCICSCR0	R/W	-	H'FE04 0210	H'1E04 0210	32
PCI キャッシュスヌープコントロール レジスタ 1	PCICSCR1	R/W	-	H'FE04 0214	H'1E04 0214	32
PCI キャッシュスヌープアドレスレジスタ 0	PCIC SAR0	R/W	-	H'FE04 0218	H'1E04 0218	32
PCI キャッシュスヌープアドレスレジスタ 1	PCIC SAR1	R/W	-	H'FE04 021C	H'1E04 021C	32
PCI PIO* ³ データレジスタ	PCIPDR	R/W	-	H'FE04 0220	H'1E04 0220	32

【注】 *1 SH : SuperHyway バス (内部バス)、PCI : PCI ローカルバス。R/W 欄の「WC」はライトクリア (1 の書き込みでクリア)、「-」はアクセス禁止です。

*2 アクセスサイズ以下ではアクセスしないでください。

*3 PIO : Programmed I/O

表13.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
コントロールレジスタ空間					
PCIC イネーブル制御レジスタ	PCIECR	H'0000 0000	H'0000 0000	保持	保持
PCI コンフィグレーションレジスタ空間					
PCI ベンダ ID レジスタ	PCIVID	H'1912	H'1912	保持	保持
PCI デバイス ID レジスタ	PCIDID	H'0004	H'0004	保持	保持
PCI コマンドレジスタ	PCICMD	H'0080	H'0080	保持	保持
PCI ステータスレジスタ	PCISTATUS	H'0290	H'0290	保持	保持
PCI レビジョン ID レジスタ	PCIRID	H'00	H'00	保持	保持
PCI プログラムインタフェースレジスタ	PCIPIF	H'00	H'00	保持	保持
PCI サブクラスコードレジスタ	PCISUB	H'00	H'00	保持	保持
PCI ベースクラスコードレジスタ	PCIBCC	H'00	H'00	保持	保持
PCI キャッシュラインサイズレジスタ	PCICLS	H'20	H'20	保持	保持
PCI レイテンシタイムレジスタ	PCILTM	H'00	H'00	保持	保持
PCI ヘッドタイプレジスタ	PCIHDR	H'00	H'00	保持	保持
PCI BIST レジスタ	PCIBIST	H'00	H'00	保持	保持
PCI I/O ベースアドレスレジスタ	PCIBAR	H'0000 0001	H'0000 0001	保持	保持
PCI メモリベースアドレスレジスタ 0	PCIMBAR0	H'0000 0000	H'0000 0000	保持	保持
PCI メモリベースアドレスレジスタ 1	PCIMBAR1	H'0000 0000	H'0000 0000	保持	保持
PCI サブシステムベンダ ID レジスタ	PCISVID	H'0000	H'0000	保持	保持
PCI サブシステム ID レジスタ	PCISID	H'0000	H'0000	保持	保持
PCI 拡張機能ポインタレジスタ	PCICP	H'40	H'40	保持	保持
PCI 割り込みラインレジスタ	PCIINTLINE	H'00	H'00	保持	保持
PCI 割り込み端子指定レジスタ	PCIINTPIN	H'01	H'01	保持	保持
PCI 最小グラント指定レジスタ	PCIMINGNT	H'00	H'00	保持	保持
PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	H'00	H'00	保持	保持
PCI 拡張機能 ID レジスタ	PCICID	H'01	H'01	保持	保持
PCI 次項目ポインタレジスタ	PCINIP	H'00	H'00	保持	保持
PCI パワーマネジメントレジスタ	PCIPMC	H'000A	H'000A	保持	保持
PCI パワーマネジメントコントロール/ ステータスレジスタ	PCIPMCSR	H'0000	H'0000	保持	保持
PCIPMCSR ブリッジサポート拡張レジスタ	PCIPMCSRSE	H'00	H'00	保持	保持
PCI パワー消費 / 放散データレジスタ	PCIPCDD	H'00	H'00	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
PCI ローカル空間					
PCI コントロールレジスタ	PCICR	H'0000 00xx	H'0000 00xx	保持	保持
PCI ローカルスペースレジスタ 0	PCILSR0	H'0000 0000	H'0000 0000	保持	保持
PCI ローカルスペースレジスタ 1	PCILSR1	H'0000 0000	H'0000 0000	保持	保持
PCI ローカルアドレスレジスタ 0	PCILAR0	H'0000 0000	H'0000 0000	保持	保持
PCI ローカルアドレスレジスタ 1	PCILAR1	H'0000 0000	H'0000 0000	保持	保持
PCI 割り込みレジスタ	PCIIR	H'0000 0000	H'0000 0000	保持	保持
PCI 割り込みマスクレジスタ	PCIIMR	H'0000 0000	H'0000 0000	保持	保持
PCI エラーアドレス情報レジスタ	PCIAIR	H'xxxx xxxx	H'xxxx xxxx	保持	保持
PCI エラーコマンド情報レジスタ	PCICIR	H'xx00 000x	H'xx00 000x	保持	保持
PCI アービタ割り込みレジスタ	PCIAINT	H'0000 0000	H'0000 0000	保持	保持
PCI アービタ割り込みマスクレジスタ	PCIAINTM	H'0000 0000	H'0000 0000	保持	保持
PCI バスマスタエラー情報レジスタ	PCIBMIR	H'0000 00xx	H'0000 00xx	保持	保持
PCI PIO アドレスレジスタ	PCIPAR	H'80xx xxxx	H'80xx xxxx	保持	保持
PCI パワーマネジメント割り込みレジスタ	PCIPINT	H'0000 0000	H'0000 0000	保持	保持
PCI パワーマネジメント割り込みマスク レジスタ	PCIPINTM	H'0000 0000	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 0	PCIMBR0	H'0000 0000	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 0	PCIMBR0	H'0000 0000	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 1	PCIMBR1	H'0000 0000	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 1	PCIMBR1	H'0000 0000	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 2	PCIMBR2	H'0000 0000	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 2	PCIMBR2	H'0000 0000	H'0000 0000	保持	保持
PCI I/O バンクレジスタ	PCIOBR	H'0000 0000	H'0000 0000	保持	保持
PCI I/O バンクマスクレジスタ	PCIOBMR	H'0000 0000	H'0000 0000	保持	保持
PCI キャッシュスヌープコントロール レジスタ 0	PCICSCR0	H'0000 0000	H'0000 0000	保持	保持
PCI キャッシュスヌープコントロール レジスタ 1	PCICSCR1	H'0000 0000	H'0000 0000	保持	保持
PCI キャッシュスヌープアドレスレジスタ 0	PCICSAR0	H'0000 0000	H'0000 0000	保持	保持
PCI キャッシュスヌープアドレスレジスタ 1	PCICSAR1	H'0000 0000	H'0000 0000	保持	保持
PCI PIO データレジスタ	PCIPDR	H'xxxx xxxx	H'xxxx xxxx	保持	保持

【記号説明】 x : 不定

13.3.1 コントロールレジスタ

(1) PCIC イネーブル制御レジスタ (PCIECR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ENBL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~1		すべて0	SH: R PCI: -	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ENBL	0	SH: R/W PCI: -	PCIC イネーブルビット PCIC をイネーブルにするためのビットです。本ビットが0のとき、PCIC はディスエーブルとなり、CPU および外部 PCI デバイスから PCIC へのアクセスは無効となります (PCIECR はアクセス可能)。 0: PCIC ディスエーブル 1: PCIC イネーブル

13.3.2 PCI コンフィグレーションレジスタ

コンフィグレーションレジスタは、PCI コンプライアントデバイス中でのコンフィグレーションレジスタ空間のプログラミングモデルおよび使用ルールを定義します。詳細は、「PCI Local Bus Specification Revision 2.2 Chapter 6 Configuration Space」を参照してください。

(1) PCI ベンダ ID レジスタ (PCIVID)

このレジスタは、PCI ベンダ ID を定義します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VID															
初期値:	0	0	0	1	1	0	0	1	0	0	0	1	0	0	1	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	VID	H'1912	SH : R PCI : R	PCI ベンダ ID PCI - SIG によって割り当てられた PCI デバイスのベンダ ID を示します。 ルネサス エレクトロニクスのベンダ ID は H'1912 です。

(2) PCI デバイス ID レジスタ (PCIDID)

このレジスタでは、PCI デバイス ID を定義します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	DID	H'0004	SH : R PCI : R	PCI デバイス ID PCI デバイスのベンダによって割り当てられた SH7763 のデバイス ID を示します。 SH7763 のデバイス ID は H'0004 です。

(3) PCI コマンドレジスタ (PCICMD)

PCI コマンドレジスタは、PCI サイクルを発生し応答するために、PCIC の基本機能を制御します。0 がこのレジスタにライトされると、コンフィグレーションアクセスを除くすべてのアクセスに対しデバイス PCI バスから論理的に切断されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	FBBE	SERRE	WCC	PER	VGAPS	MWIE	SC	BM	MS	IOS
初期値 :	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	FBBE	0	SH : R PCI : R	高速バクトゥバック制御 マスタ時に異なるターゲットに対する高速バクトゥバックを発行するかどうかを設定します。 0 : 高速バクトゥバック制御は同じターゲットのみ許す 1 : 異なるターゲットに対する高速バクトゥバック制御を許す (未サポート)
8	SERRE	0	SH : R/W PCI : R/W	SERR 出力制御 SERR の出力を制御します。 0 : SERR 出力ディスエーブル 1 : SERR 出力イネーブル
7	WCC	1	SH : R/W PCI : R/W	ウェイトサイクル制御 アドレス/データステッピングを制御します。 WCC=1 のとき、マスタライト時はアドレスとデータ、マスタリード時はアドレスのみ、ターゲットリード時はデータのみを 2 クロック間出力します。 0 : アドレス/データステッピング制御を禁止する 1 : アドレス/データステッピング制御を許可する
6	PER	0	SH : R/W PCI : R/W	パリティエラー応答 パリティエラーを検出、もしくはパリティエラー報告を受信した場合のデバイスの応答を制御します。PER=1 のときのみ、PERR をアサートします。 0 : 検出したパリティエラーを無視する 1 : 検出したパリティエラーに応答する
5	VGAPS	0	SH : R PCI : R	VGA パレットスヌープ制御 0 : VGA 互換デバイスである 1 : パレットレジスタライトに対応しない (未サポート)

ビット	ビット名	初期値	R/W	説明
4	MWIE	0	SH : R PCI : R	メモリアイトアンドインバリデード制御 マスタのとき、メモリアイトアンドインバリデードコマンドの発行を制御します。 0 : メモリアイトを使用する 1 : メモリアイトアンドインバリデードコマンドを実行可能(未サポート)
3	SC	0	SH : R PCI : R	スペシャルサイクル制御 ターゲット時、スペシャルサイクルをサポートしているかを示します。 0 : スペシャルサイクルを無視する 1 : スペシャルサイクルを監視する(未サポート)
2	BM	0	SH : R/W PCI : R/W	PCI バスマスタ制御 バスマスタ動作を制御します。 0 : バスマスタ動作不可 1 : バスマスタとして動作可能
1	MS	0	SH : R/W PCI : R/W	メモリ空間制御 ターゲット時、メモリ空間へのアクセスを制御します。本ビットが0のとき、PCIC に対するメモリ転送はすべてマスタアポートで終了します。 0 : メモリ空間へのアクセスに回答しない 1 : メモリ空間へのアクセスに回答する
0	IOS	0	SH : R/W PCI : R/W	I/O 空間制御 ターゲット時、I/O 空間へのアクセスを制御します。本ビットが0のとき、PCIC に対する I/O 転送はすべてマスタアポートで終了します。 0 : I/O 空間へのアクセスに回答しない 1 : I/O 空間へのアクセスに回答する

(4) PCI ステータスレジスタ (PCISTATUS)

PCI ステータスレジスタは、PCI バス関連のイベントのステータス情報を記録するために使用します。リザーブビットは、読み出されるとゼロを返す専用となります。

このレジスタからの読み出しは、通常通り行われます。書き込みの場合、ライトクリア (WC) ビットはリセットできますが設定はできません。クリアするビットには 1 を書き込んでください。たとえば、ビット 14 をクリアし他のビットに影響を与えないようにするには、本レジスタに B'0100 0000 0000 0000 の値を書き込む必要があります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DPE	SSE	RMA	RTA	STA	DEVSEL	MDPE	FBBC	-	66C	CL	-	-	-	-	-
初期値 :	0	0	0	0	0	0	1	0	1	0	0	1	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R	R/W	R	R	R	R	R
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	DPE	0	SH : R/W PCI : R/W	<p>パリティエラー検出ステータス</p> <p>PCIC がマスタ時のリードデータ、またはターゲット時のライトデータにパリティエラーが検出されたことを示します。パリティエラー応答ビットの値に関係なく、本ビットは設定されます。</p> <p>0 : パリティエラーを検出していない 1 : パリティエラーを検出した</p>
14	SSE	0	SH : R/W PCI : R/W	<p>システムエラー出力ステータス</p> <p>PCIC が $\overline{\text{SERR}}$ をアサートしたことを示します。</p> <p>0 : $\overline{\text{SERR}}$ をアサートしていない 1 : $\overline{\text{SERR}}$ をアサートした (クリアされるまで値を保持)</p>
13	RMA	0	SH : R/W PCI : R/W	<p>マスタアポート受信ステータス</p> <p>PCIC がマスタ時にマスタアポートでトランザクションが終了したことを示します。</p> <p>0 : マスタアポートを使用したトランザクションの終了はない 1 : バスマスタが、マスタアポートによるトランザクションの終了を検出した。ただし、スペシャルサイクルでのマスタアポートでは、設定されない</p>
12	RTA	0	SH : R/W PCI : R/W	<p>ターゲットアポート受信ステータス</p> <p>PCIC がマスタ時に、ターゲットアポートでトランザクションを終了したことを示します。</p> <p>0 : ターゲットアポートを使用したトランザクションの終了はない 1 : バスマスタが、ターゲットアポートによるトランザクションの終了を検出した</p>
11	STA	0	SH : R/W PCI : R/W	<p>ターゲットアポート実行ステータス</p> <p>PCIC がターゲット時に、ターゲットアポートでトランザクションを終了させたことを示します。</p> <p>0 : ターゲットアポートを使用したトランザクションの終了を行っていない 1 : ターゲットアポートによるトランザクションの終了を行った</p>
10, 9	DEVSEL	01	SH : R PCI : R	<p>DEVSEL タイミングステータス</p> <p>PCIC がターゲット時の $\overline{\text{DEVSEL}}$ 応答タイミングを示します。</p> <p>00 : 高速 (未サポート) 01 : 中速 10 : 低速 (未サポート) 11 : 予約</p>
8	MDPE	0	SH : R/W PCI : R/W	<p>データパリティステータス</p> <p>PCIC がマスタ時、$\overline{\text{PERR}}$ をアサート、または $\overline{\text{PERR}}$ を検出したことを示します。パリティエラー応答ビットが 1 のときのみ本ビットが設定されます。</p> <p>0 : データパリティエラーが発生していない 1 : データパリティエラーが発生した</p>

ビット	ビット名	初期値	R/W	説明
7	FBBC	1	SH : R PCI : R	高速バクトゥバックステータス PCIC がターゲット時に異なるターゲットに対する高速バクトゥバック転送が受けられるかを示します。 0 : ターゲットは、異なるターゲットに対する高速バクトゥバックトランザクションに対応していない 1 : ターゲットは、異なるターゲットに対する高速バクトゥバックトランザクションに対応している
6	-	0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	66C	0	SH : R/W PCI : R	66MHz 動作可能ステータス PCIC が 66MHz で動作可能であることを示します。 0 : 33MHz 動作可能 1 : 66MHz 動作可能
4	CL	1	SH : R PCI : R	PCI パワーマネジメント : 拡張機能 PCI パワーマネジメントをサポートしているかを示します。 0 : パワーマネジメント未サポート 1 : パワーマネジメントサポート
3~0	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(5) PCI レビジョン ID レジスタ (PCIRID)

PCI レビジョン ID レジスタは、PCI デバイスに固有なレビジョンの識別子を示します。

ビット :	7	6	5	4	3	2	1	0
	RID							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	RID	H'00	SH : R PCI : R	レビジョン ID PCIC のレビジョンレベルを示します。初期値は H'00 です。 RID の値は PCIC の論理バージョンにより異なり、今後変更される場合があります。

(6) PCI プログラムインタフェースレジスタ (PCIPIF)

このレジスタは、IDE コントローラクラスコードのプログラミングインタフェースです。コード値の詳細については、「PCI Local Bus Specification Revision 2.2 Appendix D」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MIDED	-	-	-	PIS	OMS	PIP	OMP
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MIDED	0	SH : R/W PCI : R	PCI マスタ IDE デバイス PCI マスタ IDE デバイスを指定します。 0 : PCI スレーブ IDE デバイス 1 : PCI マスタ IDE デバイス PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT = 1) 以降に書き込んで値は更新されません。
6~4	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PIS	0	SH : R/W PCI : R	PCI プログラマブルインジケータ (セカンダリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT = 1) 以降に書き込んで値は更新されません。
2	OMS	0	SH : R/W PCI : R	PCI オペレーティングモード (セカンダリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT = 1) 以降に書き込んで値は更新されません。
1	PIP	0	SH : R/W PCI : R	PCI プログラマブルインジケータ (プライマリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT = 1) 以降に書き込んで値は更新されません。
0	OMP	0	SH : R/W PCI : R	PCI オペレーティングモード (プライマリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT = 1) 以降に書き込んで値は更新されません。

(7) PCI サブクラスコードレジスタ (PCISUB)

このレジスタは、サブクラスコードを定義します。コード値の詳細については、「PCI Local Bus Specification Revision 2.2 Appendix D」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	SUB							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SUB	H'00	SH: R/W PCI: R	サブクラスコード サブクラスコードを示します。初期値は H'00 です。

(8) PCI ベースクラスコードレジスタ (PCIBCC)

このレジスタは、ベースクラスコードを定義します。コード値の詳細については、「PCI Local Bus Specification Revision 2.2 Appendix D」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	BCC							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	BCC	H'00	SH: R/W PCI: R	ベースクラスコード ベースクラスコードを示します。初期値は H'00 です。

(9) PCI キャッシュラインサイズレジスタ (PCICLS)

ビット:	7	6	5	4	3	2	1	0
	CLS							
初期値:	0	0	1	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	CLS	H'20	SH: R PCI: R	キャッシュラインサイズ メモリターゲットはキャッシュ未サポートのため、 $\overline{SB0}$ 、SDON を無視します。

(10) PCI レイテンシタイムレジスタ (PCILTM)

ビット： 7 6 5 4 3 2 1 0

	LTM
--	-----

初期値： 0 0 0 0 0 0 0 0
SH R/W： R/W R/W R/W R/W R/W R/W R/W R/W
PCI R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~0	LTM	H'00	SH : R/W PCI : R/W	レイテンシタイムレジスタ PCIC がマスタ時、PCI バスの最大占有時間をクロック数で指定します。

(11) PCI ヘッドタイプレジスタ (PCIHDR)

ビット： 7 6 5 4 3 2 1 0

	MFE	HDR
--	-----	-----

初期値： 0 0 0 0 0 0 0 0
SH R/W： R R R R R R R R
PCI R/W： R R R R R R R R

ビット	ビット名	初期値	R/W	説明
7	MFE	0	SH : R PCI : R	多機能ステータス デバイスが多機能か単機能かを示します。 0 : 単機能デバイス 1 : デバイスは2から8までの多機能デバイスを持っている(未サポート)
6~0	HDR	H'00	SH : R PCI : R	コンフィグレーションレイアウトタイプ コンフィグレーションレジスタのレイアウトタイプを示します。 H'00 : タイプ 00h のレイアウトをサポート H'01 : タイプ 01h のレイアウトをサポートする(未サポート)

(12) PCI BIST レジスタ (PCIBIST)

ビット:	7	6	5	4	3	2	1	0
	BISTC	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BISTC	0	SH: R PCI: R	BIST 機能の制御とステータスに使用します。 0: 機能なし 1: 機能あり (未サポート)
6~0	-	すべて 0	SH: R PCI: R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(13) PCI I/O ベースアドレスレジスタ (PCIIBAR)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダの I/O ベースアドレスレジスタです。PCIIBAR では PCIC の I/O 空間 (PCIC 制御レジスタ領域) のベースアドレスを指定します。

「13.4.4 (2) PCIC I/O 空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IOB (upper)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IOB (upper)								IOB (lower)						-	ASI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	IOB (upper)	H'0000 00	SH: R/W PCI: R/W	I/O 空間ベースアドレス (上位 24 ビット) PCIC 内の I/O 空間 (PCIC 制御レジスタ領域) に対するベースアドレス上位 24 ビットを指定します。
7~2	IOB (lower)	0000 00	SH: R PCI: R	I/O 空間ベースアドレス (下位 6 ビット) ハードウェアで 0000 00 に固定されています。
1	-	0	SH: R PCI: R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ASI	1	SH: R PCI: R	アドレス空間インジケータ このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。 0: メモリ空間 1: I/O 空間

(14) PCI メモリベースアドレスレジスタ 0 (PCIMBAR0)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダのメモリベースアドレスレジスタです。PCIMBAR0 では SuperHyway バス (本 LSI 内部バス) のメモリ空間 0 (ローカルアドレス空間 0) のベースアドレスを指定します。

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBA (upper)												MBA (lower)			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBA (lower)												—	LAT	ASI	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明																					
31~20	MBA (upper)	H'000	SH : R/W PCI : R/W	メモリ空間 0 ベースアドレス (上位 12 ビット) ローカルアドレス空間 0 (本 LSI の SuperHyway バスアドレス空間) に対するベースアドレス上位 12 ビットを指定します。 PCILSR0.LSR で指定したローカルアドレス空間の容量によって、MBA (upper) の有効ビットは下記ようになります。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LSR ([28:20])</th> <th>ローカルアドレス空間 0 の容量</th> <th>MBA (upper) の有効ビット</th> </tr> </thead> <tbody> <tr> <td>0 0000 0000</td> <td>1M バイト</td> <td>[31:20]</td> </tr> <tr> <td>0 0000 0001</td> <td>2M バイト</td> <td>[31:21]</td> </tr> <tr> <td>0 0000 0011</td> <td>4M バイト</td> <td>[31:22]</td> </tr> <tr> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> </tr> <tr> <td>0 1111 1111</td> <td>256M バイト</td> <td>[31:28]</td> </tr> <tr> <td>1 1111 1111</td> <td>512M バイト</td> <td>[31:29]</td> </tr> </tbody> </table>	LSR ([28:20])	ローカルアドレス空間 0 の容量	MBA (upper) の有効ビット	0 0000 0000	1M バイト	[31:20]	0 0000 0001	2M バイト	[31:21]	0 0000 0011	4M バイト	[31:22]	:	:	:	0 1111 1111	256M バイト	[31:28]	1 1111 1111	512M バイト	[31:29]
LSR ([28:20])	ローカルアドレス空間 0 の容量	MBA (upper) の有効ビット																							
0 0000 0000	1M バイト	[31:20]																							
0 0000 0001	2M バイト	[31:21]																							
0 0000 0011	4M バイト	[31:22]																							
:	:	:																							
0 1111 1111	256M バイト	[31:28]																							
1 1111 1111	512M バイト	[31:29]																							
19~4	MBA (lower)	H'0000	SH : R PCI : R	メモリ空間 0 ベースアドレス (下位 16 ビット) ハードウェアで H'0000 に固定されています。																					
3	-	0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																					

ビット	ビット名	初期値	R/W	説明
2, 1	LAT	00	SH : R PCI : R	メモリタイプ ローカルアドレス空間 0 のメモリタイプを示します。 00 : ベースアドレスは 32 ビット幅、32 ビット空間に設定可能 01 : リザーブ 10 : ベースアドレスは 64 ビット幅 (未サポート) 11 : リザーブ
0	ASI	0	SH : R PCI : R	アドレス空間インジケータ このレジスタが示すベースアドレスが、I/O空間かメモリ空間かを示します。 0 : メモリ空間 1 : I/O 空間

(15) PCI メモリベースアドレスレジスタ 1 (PCIMBAR1)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダのメモリベースアドレスレジスタです。PCIMBAR1 では SuperHyway バス (本 LSI 内部バス) のメモリ空間 1 (ローカルアドレス空間 1) のベースアドレスを指定します。

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBA (upper)												MBA (lower)			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBA (lower)												—	LAT	ASI	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明														
31~20	MBA (upper)	H'000	SH : R/W PCI : R/W	<p>メモリ空間 1 ベースアドレス (上位 12 ビット)</p> <p>ローカルアドレス空間 1 (本 LSI の SuperHyway バスアドレス空間) に対するベースアドレス上位 12 ビットを指定します。</p> <p>PCILSR1.LSR で指定したローカルアドレス空間の容量によって、MBA (upper) の有効ビットは下記のようになります。</p> <table border="1"> <thead> <tr> <th>ローカルアドレス空間 1 の容量</th> <th>MBA (upper) の有効ビット</th> </tr> </thead> <tbody> <tr> <td>0 0000 0000</td> <td>[31:20]</td> </tr> <tr> <td>0 0000 0001</td> <td>[31:21]</td> </tr> <tr> <td>0 0000 0011</td> <td>[31:22]</td> </tr> <tr> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> </tr> <tr> <td>0 1111 1111</td> <td>[31:28]</td> </tr> <tr> <td>1 1111 1111</td> <td>[31:29]</td> </tr> </tbody> </table>	ローカルアドレス空間 1 の容量	MBA (upper) の有効ビット	0 0000 0000	[31:20]	0 0000 0001	[31:21]	0 0000 0011	[31:22]	:	:	0 1111 1111	[31:28]	1 1111 1111	[31:29]
ローカルアドレス空間 1 の容量	MBA (upper) の有効ビット																	
0 0000 0000	[31:20]																	
0 0000 0001	[31:21]																	
0 0000 0011	[31:22]																	
:	:																	
0 1111 1111	[31:28]																	
1 1111 1111	[31:29]																	
19~4	MBA (lower)	H'0000	SH : R PCI : R	<p>メモリ空間 1 ベースアドレス (下位 16 ビット)</p> <p>ハードウェアで H'0000 に固定されています。</p>														
3	-	0	SH : R PCI : R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>														
2、1	LAT	00	SH : R PCI : R	<p>メモリタイプ</p> <p>ローカルアドレス空間 1 のメモリタイプを示します。</p> <p>00 : ベースアドレスは 32 ビット幅、32 ビット空間に設定可能</p> <p>01 : リザーブ</p> <p>10 : ベースアドレスは 64 ビット幅 (未サポート)</p> <p>11 : リザーブ</p>														
0	ASI	0	SH : R PCI : R	<p>アドレス空間インジケータ</p> <p>このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。</p> <p>0 : メモリ空間</p> <p>1 : I/O 空間</p>														

(16) PCI サブシステムベンダ ID レジスタ (PCISVID)

「PCI Local Bus Specification Rev.2.2」の各種レジスタについての説明を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SVID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	SVID	H'0000	SH : R/W PCI : R	サブシステムベンダ ID PCIC のサブシステムベンダ ID を指定します。初期値は H'0000 です。 PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT = 1) 以降に書き込んでも値は更新されません。

(17) PCI サブシステム ID レジスタ (PCISID)

「PCI Local Bus Specification Rev.2.2」の各種レジスタについての説明を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	SID	H'0000	SH : R/W PCI : R	サブシステム ID PCIC のサブシステム ID を指定します。初期値は H'0000 です。 PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT = 1) 以降に書き込んでも値は更新されません。

(18) PCI 拡張機能ポインタレジスタ (PCICP)

このレジスタは、PCI Power Management Specification で定義された PCI コンフィグレーションレジスタの拡張機能ポインタレジスタです。

ビット：	7	6	5	4	3	2	1	0
	CP							
初期値：	0	1	0	0	0	0	0	0
SH R/W：	R	R	R	R	R	R	R	R
PCI R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	CP	H'40	SH : R PCI : R	拡張機能ポインタ 拡張機能 (パワーマネジメント) ID レジスタのアドレスオフセットを示します。

(19) PCI 割り込みラインレジスタ (PCIINTLINE)

ビット：	7	6	5	4	3	2	1	0
	INTLINE							
初期値：	0	0	0	0	0	0	0	0
SH R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	INTLINE	H'00	SH : R/W PCI : R/W	PCI 割り込みライン 本 LSI からの PCI 割り込み経路の情報を設定します。初期化時にシステムソフトウェアにより設定します。初期値は H'00 です。 なお、INTLINE の設定値は、本 LSI の動作には影響を与えません。

(20) PCI 割り込み端子指定レジスタ (PCIINTPIN)

ビット:	7	6	5	4	3	2	1	0
	INTPIN							
初期値:	0	0	0	0	0	0	0	1
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	INTPIN	H'01	SH : R/W PCI : R	割り込み端子指定 PCIC から PCI 割り込み出力する場合、接続先としてどの割り込み端子を使用するかを指定します。初期値は H'01 です。 H'00 : PCI 割り込み端子を使用しない H'01 : $\overline{\text{INTA}}$ を使用する H'02 : $\overline{\text{INTB}}$ を使用する H'03 : $\overline{\text{INTC}}$ を使用する H'04 : $\overline{\text{INTD}}$ を使用する H'05 ~ H'FF : リザーブ

(21) 最小グラント指定レジスタ (PCIMINGNT)

このレジスタは設定できません。

ビット:	7	6	5	4	3	2	1	0
	MINGNT							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	MINGNT	H'00	SH : R PCI : R	最小グラント指定 PCI マスタデバイスが必要とするバースト期間を指定します。(未サポート)

(22) 最大レイテンシ指定レジスタ (PCIMAXLAT)

このレジスタは設定できません。

ビット:	7	6	5	4	3	2	1	0
	MAXLAT							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	MAXLAT	H'00	SH : R PCI : R	最大レイテンシ指定 (MILAT7~0) PCI マスタデバイスがバス権を要求してから獲得するまでの最大時間を指定します。(未サポート)

(23) PCI 拡張機能 ID レジスタ (PCICID)

PCI の拡張機能の ID を示します。

ビット:	7	6	5	4	3	2	1	0
	CID							
初期値:	0	0	0	0	0	0	0	1
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	CID	H'01	SH : R PCI : R	拡張機能 ID 拡張機能の ID を示します。 H'01 : 拡張機能はパワーマネジメント機能であることを示します。

(24) PCI 次項目ポインタレジスタ (PCINIP)

次項目ポインタレジスタは、機能の拡張機能リスト内の位置を示します。

ビット:	7	6	5	4	3	2	1	0
	NIP							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	NIP	H'00	SH : R PCI : R	次項目ポインタ H'00 : パワーマネジメント機能はリスト内の最終項目であることを示します。

(25) PCI パワーマネジメントレジスタ (PCIPMC)

PCI パワーマネジメントレジスタは、パワーマネジメントに関連する機能情報を提供するレジスタです。詳細は、「PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface」を参照してください。PCIC 内部レジスタ初期化中 (PCICR.CFINIT = 0 のとき) に設定する必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCS					D2S	D1S	-	-	-	DSI	-	PMEC	PMV		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
SH R/W:	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	PMCS	00000	SH: R PCI: R	<p>PME サポート</p> <p>この5ビットフィールドは、機能により $\overline{\text{PME}}$ をアサートするパワーの状態を示します。すべてのビットに関して0は、パワーがその状態のとき機能が $\overline{\text{PME}}$ 信号をアサートできないことを示します。(未サポート)</p> <p>(ビット11) xxx1: $\overline{\text{PME}}$ は D0 からアサートできる</p> <p>(ビット12) xxx1x: $\overline{\text{PME}}$ は D1 からアサートできる</p> <p>(ビット13) xx1xx: $\overline{\text{PME}}$ は D2 からアサートできる</p> <p>(ビット14) x1xxx: $\overline{\text{PME}}$ は D3 hot からアサートできる</p> <p>(ビット15) 1xxxx: $\overline{\text{PME}}$ は D3 cold からアサートできる</p> <p>【注】 本 LSI PCIC には $\overline{\text{PME}}$ 端子はありません。</p>
10	D2S	0	SH: R/W PCI: R	<p>D2 サポート</p> <p>このビットが1ならば、この機能は D2 パワーマネジメント状態をサポートします。D2 をサポートしない機能は、本ビットに常に0を返す必要があります。</p>
9	D1S	0	SH: R/W PCI: R	<p>D1 サポート</p> <p>このビットが1ならば、この機能は D1 パワーマネジメント状態をサポートします。D1 をサポートしない機能は、本ビットに常に0を返す必要があります。</p>
8~6	-	すべて0	SH: R PCI: R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
5	DSI	0	SH: R PCI: R	<p>DSI</p> <p>PCIC 固有の初期化を必要とするかどうかを示します。</p> <p>0: 固有の初期化は不要であることを示します。</p>
4	-	0	SH: R PCI: R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3	PMEC	1	SH : R/W PCI : R	PCI PME クロック PME をサポートするのにクロックが必要か否かを指定します。 0 : PME サポートのためのクロックは不要であることを示します。 【注】 本 LSI の PCIC には PME 端子はありません。
2~0	PMV	010	SH : R/W PCI : R	バージョン パワーマネジメント仕様のバージョンを示します。 010 : パワーマネジメント仕様がレビジョン 1.1 であることを示します。

(26) PCI パワーマネジメントコントロール/ステータスレジスタ (PCIPMCSR)

このレジスタは、PCI 機能の PME (パワーマネジメントイベント) を管理します。詳細は、「PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface」を参照してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMES	DSC	DSL				PME EN	-	-	-	-	-	-	-	-	PS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PMES	0	SH : R PCI : R	PME ステータス PME 端子の状態を表示するビットです (未サポート)。 【注】 本 LSI PCIC には PME 端子はありません。
14, 13	DSC	00	SH : R PCI : R	データスケール データフィールドの値のスケーリング値を指定します (未サポート)。
12~9	DSL	0000	SH : R PCI : R	データセレクト データフィールドに出力する値の選択をします (未サポート)。
8	PMEEN	0	SH : R PCI : R	PME イネーブル PME 信号出力制御を行います (未サポート)。 【注】 本 LSI の PCIC には PME 端子はありません。
7~2	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PS	00	SH : R/W PCI : R/W	パワー状態 パワー状態を指定します。 未サポート状態を指定しても、状態遷移はしませんが、レジスタへの書き込みは正常終了し、エラー表示も行いません。 00 : D0 ステート 01 : D1 ステート 10 : D2 ステート 11 : D3 hot ステート (電源オフ状態)

(27) PCIPMCSRブリッジサポート拡張レジスタ (PCIPMSRBSE)

このレジスタは、PCIブリッジに特有な機能をサポートし、すべてのPCI-to-PCIブリッジに必要となります。

ビット :	7	6	5	4	3	2	1	0
	BPC CEN	B2B3N	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BPCEN	0	SH : R PCI : R	バスパワー/クロックコントロールメカニズムを禁止するとシステムソフトは、ブリッジのPCI PMCSR パワーステートフィールドを、ブリッジの2次バスのパワーまたはクロックを制御には使用しません。
6	B2B3N	0	SH : R PCI : R	このビットの状態は、機能を D3 hot にするプログラミングの結果として、発生する動作を決定します。 0: ブリッジ機能が D3 hot にプログラムされた場合、2次バスへの電源供給が停止する (B3) ことを示します。 1: ブリッジ機能が D3 hot にプログラムされた場合、2次バスの PCI クロックが停止する (B2) ことを示します。 このビットは、ビット7 (BPCEN) が1の場合のみ有効です。
5~0	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(28) PCI パワー消費/放散データ (PCIPCD)

データレジスタは、8ビットのレジスタで、状態に依存した消費パワーや熱放散などの動作データを通知する機能を持ちます。詳細は、「PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	PCDD							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	PCDD	H'00	SH : R/W PCI : R	このレジスタは PMCSR.DSL フィールドから要求された状態依存データを通知するのに使用します。 このレジスタの値は、PCIPMCSR.DSC フィールドから通知された値によってスケールされます。

13.3.3 PCI ローカルレジスタ

(1) PCI コントロールレジスタ (PCICR)

PCICR は、PCIC の動作を設定する 32 ビットのレジスタです。

このレジスタへの書き込みは、ビット 31~24 の値が H'A5 の時のみ有効となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PFCS	FTO	PFE	TBS	-	BMAM	-	-	-	IOCS	RST CTL	CFI NIT
初期値 :	0	0	0	0	0	0	0	0	0	0	-	-	0	0	0	0
SH R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	H'00	SH : R/W PCI : R	リザーブビット 本レジスタのビット 11~8、6、3~0 に書き込むときのみ H'A5 に設定してください (書き込んでください)。読み出すと常に 0 が読み出されます。
23~12	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PFCS	0	SH : R/W PCI : R	PCI プリフェッチコマンドセッティング ターゲットメモリアクセス時のプリフェッチサイズを指定します。本ビットは PFE ビットが 1 の時のみ有効です。 0 : 常に 8 バイトプリフェッチを行います。 1 : 常に 32 バイトプリフェッチを行います。
10	FTO	0	SH : R/W PCI : R	TRDY コントロールイネーブル ターゲットアクセス時のディスクコネクタ発生の 5PCICLK クロック前に、TRDY をネゲートする機能を設定します。 0 : ディスエーブル 1 : イネーブル
9	PFE	0	SH : R/W PCI : R	PCI プリフェッチイネーブル ターゲットメモリアクセス時にプリフェッチを行うかどうかを指定します。 0 : ディスエーブル 1 : イネーブル

ビット	ビット名	初期値	R/W	説明
8	TBS	0	SH : R/W PCI : R	バイトスワップ データのバイトを入れ替えるかを指定します。 0 : データをそのまま転送 1 : データのバイトを入れ替え転送 【注】詳細は、「13.4.3 (5) エンディアン」および「13.4.4 (6) エンディアン」を参照してください。
7	-	0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	BMAM	0	SH : R/W PCI : R	バスマスタアービトレーション PCIC がホスト動作時に、PCIC の PCI バスアービトレーションモードを制御します。PCIC がノーマル動作時には本ビットの値は無視されます。 0 : 優先順位固定 (PCIC > デバイス 0 > デバイス 1 > デバイス 2 > デバイス 3) 1 : 擬似ラウンドロビン (バス権を持つデバイスの優先度を次のアクセスでは一番低く設定します)
5, 4	-	不定	SH : R PCI : R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
3	-	0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	IOCS	0	SH : R/W PCI : R	$\overline{\text{INTA}}$ 出力 $\overline{\text{INTA}}$ 出力のソフト制御を行います。PCIC がノーマル動作時のみ有効です。 0 : $\overline{\text{INTA}}$ 端子はハイインピーダンス (外部プルアップ抵抗でハイにドライブされる) 1 : $\overline{\text{INTA}}$ サート (ロー出力)
1	RSTCTL	0	SH : R/W PCI : R	$\overline{\text{PCIRESET}}$ 出力 $\overline{\text{PCIRESET}}$ 出力のソフト制御を行います。パワーオンリセット中もアサートされます。PCIC がホスト時のみ有効です。 0 : $\overline{\text{PCIRESET}}$ をネゲート (ハイ出力) 1 : $\overline{\text{PCIRESET}}$ アサート (ロー出力)
0	CFINIT	0	SH : R/W PCI : R	PCIC 内部レジスタ初期化制御 PCIC 内部レジスタの初期化終了後、このビットを1に設定してください。このビットをセットすることにより、PCI バスからのアクセスが可能となります。初期化中は、ホスト動作時には PCI バス上の他のデバイスにバス権を与えません。ノーマル動作時には PCI バスからのアクセスを受け付けず、リトライを返します。 0 : 初期化中 1 : 初期化終了

(2) PCI ローカルスペースレジスタ 0 (PCILSR0)

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	LSR									-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MBA RE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~20	LSR	0 0000 0000	SH : R/W PCI : R	ローカルアドレス空間 0 の容量 (9 ビット) ローカルアドレス空間 0 (本 LSI の SuperHyway バスアドレス空間) の容量をバイト数で指定します。 指定する値は、(容量 - 1) M バイトを指定してください。すべて 0 を指定すると、1M バイトの空間が確保されます (初期値)。 0 0000 0000 : 1M バイト 0 0000 0001 : 2M バイト 0 0000 0011 : 4M バイト 0 0000 0111 : 8M バイト 0 0000 1111 : 16M バイト 0 0001 1111 : 32M バイト 0 0011 1111 : 64M バイト 0 0111 1111 : 128M バイト 0 1111 1111 : 256M バイト 1 1111 1111 : 512M バイト 上記以外 : 設定禁止
19~1	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MBARE	0	SH : R/W PCI : R	PCI メモリベースアドレスレジスタ 0 イネーブル 本ビットを 1 にすることでローカルアドレス空間 0 へのアクセスが可能となります。 0 : PCIMBAR0 ディスエーブル 1 : PCIMBAR0 イネーブル

(3) PCI ローカルスペースレジスタ 1 (PCILSR1)

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	LSR									-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MBA RE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~20	LSR	0 0000 0000	SH : R/W PCI : R	ローカルアドレス空間 1 の容量 (9 ビット) ローカルアドレス空間 1 (本 LSI の SuperHyway バスアドレス空間) の容量をバイト数で指定します。 指定する値は、(容量 - 1) M バイトを指定してください。すべてゼロを指定すると、1M バイトの空間が確保されます (初期値)。 0 0000 0000 : 1M バイト 0 0000 0001 : 2M バイト 0 0000 0011 : 4M バイト 0 0000 0111 : 8M バイト 0 0000 1111 : 16M バイト 0 0001 1111 : 32M バイト 0 0011 1111 : 64M バイト 0 0111 1111 : 128M バイト 0 1111 1111 : 256M バイト 1 1111 1111 : 512M バイト 上記以外 : 設定禁止
19~1	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MBARE	0	SH : R/W PCI : R	PCI メモリベースアドレスレジスタ 1 イネーブル 本ビットを 1 にすることでローカルアドレス空間 1 へのアクセスが可能となります。 0 : PCIMBAR1 ディスエーブル 1 : PCIMBAR1 イネーブル

(6) PCI 割り込みレジスタ (PCIIR)

このレジスタには、割り込み要因を記録します。割り込みが発生すると該当ビットが1にセットされます。

多重割り込みが発生した場合、最初の要因のみが記録されます。割り込みが無効な場合、割り込み要因は対応するビットに書き込まれ、割り込みは発生しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TTA DI	-	-	-	-	TMT OI	MDEI	APE DI	SDI	DPEI TW	PEDI TR	TA DIM	MA DIM	MW PDI	MR DPEI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R/WC	R	R	R	R	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	TTADI	0	SH : R/WC PCI : R	ターゲット時のターゲットアポート検出割り込み PCICがターゲット時、ターゲットアポートによりトランザクションを終了させたことを示します。 ターゲットアポートは、I/O転送中にアドレスの下位2ビット(ビット1、0)とバイトイネーブルの組み合わせが不正(イリーガルバイトイネーブル)であったときに発生させます。 0 : ターゲットアポート割り込みは発生していない [クリア条件] 本ビットへの1の書き込み(ライトクリア) 1 : ターゲットアポート割り込み発生 [セット条件] ターゲットアポート割り込み発生
13~10	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
9	TMTOI	0	SH : R/WC PCI : R	<p>ターゲットメモリーリードリトライタイムアウト割り込み</p> <p>PCIC がターゲット時、PCICLK の 2^{15} クロック以内にマスタがリトライ処理を行わなかったことを示します。メモリーリード転送に対してのみ検出されます。</p> <p>0 : ターゲットメモリーリードリトライタイムアウト割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み(ライトクリア)</p> <p>1 : ターゲットメモリーリードリトライタイムアウト割り込み発生</p> <p>[セット条件] ターゲットメモリーリードリトライタイムアウト割り込み発生</p>
8	MDEI	0	SH : R/WC PCI : R	<p>マスタ機能ディスエーブルエラー割り込み</p> <p>PCI コマンドレジスタのビット 2 (BM) が 0 に設定され、バスマスタとしての動作が禁止されているのにマスタ動作を行おうとしたことを示します。</p> <p>0 : マスタ機能ディスエーブルエラー割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタ機能ディスエーブルエラー割り込み発生</p> <p>[セット条件] マスタ機能ディスエーブルエラー割り込み発生</p>
7	APEDI	0	SH : R/WC PCI : R	<p>アドレスパリティエラー検出割り込み</p> <p>アドレスパリティエラーを検出したことを示します。</p> <p>PCI コマンドレジスタのビット 8 (SERRE) とビット 6 (PER) がともに 1 のときのみ検出します。</p> <p>0 : アドレスパリティエラー割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : アドレスパリティエラー割り込み発生</p> <p>[セット条件] アドレスパリティエラー割り込み発生</p>
6	SDI	0	SH : R/WC PCI : R	<p>$\overline{\text{SERR}}$ 検出割り込み</p> <p>PCIC がホスト時、$\overline{\text{SERR}}$ 信号がアサートされているのを検出したことを示します。</p> <p>0 : $\overline{\text{SERR}}$ 検出割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : $\overline{\text{SERR}}$ 検出割り込み発生</p> <p>[セット条件] $\overline{\text{SERR}}$ 検出割り込み発生</p>

ビット	ビット名	初期値	R/W	説明
5	DPEITW	0	SH : R/W PCI : R	<p>ターゲットライト時のデータパリティエラー割り込み</p> <p>PCIC がターゲット時、ターゲットライト中にデータパリティエラーを検出したことを示します。PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : データパリティエラー検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : データパリティエラー検出割り込み発生</p> <p>[セット条件]</p> <p>データパリティエラー検出割り込み発生</p>
4	PEDITR	0	SH : R/W PCI : R	<p>ターゲットリード時の PERR 検出割り込み</p> <p>PCIC がターゲット時、ターゲットリード中に PERR を受信したことを示します。</p> <p>PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : PERR 検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : PERR 検出割り込み発生</p> <p>[セット条件]</p> <p>PERR 検出割り込み発生</p>
3	TADIM	0	SH : R/W PCI : R	<p>マスタ時のターゲットアポート割り込み</p> <p>PCIC がマスタ時に、ターゲットアポートでトランザクションが終了したことを示します。</p> <p>0 : ターゲットアポート割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : ターゲットアポート割り込み発生</p> <p>[セット条件]</p> <p>ターゲットアポート割り込み発生</p>
2	MADIM	0	SH : R/W PCI : R	<p>マスタ時のマスタアポート割り込み</p> <p>PCIC がマスタ時に、マスタアポートでトランザクションが終了したことを示します。</p> <p>0 : マスタアポート割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタアポート割り込み発生</p> <p>[セット条件]</p> <p>マスタアポート割り込み発生</p>

ビット	ビット名	初期値	R/W	説明
1	MWPDI	0	SH : R/W PCI : R	<p>マスタライト PERR 検出割り込み</p> <p>PCIC がマスタ時に、ターゲットへのデータライト中に、ターゲットからの PERR を受信したことを示します。PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : PERR 検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : PERR 検出割り込み発生</p> <p>[セット条件]</p> <p>PERR 検出割り込み発生</p>
0	MRDPEI	0	SH : R/W PCI : R	<p>マスタリードデータパリティエラー割り込み</p> <p>PCIC がマスタ時に、ターゲットからのデータリード中に、パリティエラーを検出したことを示します。PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : データパリティエラー検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : データパリティエラー検出割り込み発生</p> <p>[セット条件]</p> <p>データパリティエラー検出割り込み発生</p>

(7) PCI 割り込みマスクレジスタ (PCIIMR)

このレジスタは PCIIR のマスクレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TTA DIM	-	-	-	-	TMT OIM	MDE IM	APE DIM	SDIM	DPEI TWM	PEDI TRM	TAD IMM	MAD IMM	MW PDI	MRD PEIM
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	TTADIM	0	SH : R/W PCI : R	ターゲット時のターゲットアポート割り込みマスク 0 : TTADI を禁止 (マスク) 1 : TTADIM を許可 (受け付け)
13~10	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	TMTOIM	0	SH : R/W PCI : R	ターゲットリトライタイムアウト割り込みマスク 0 : TMTOI を禁止 (マスク) 1 : TMTOI を許可 (受け付け)
8	MDEIM	0	SH : R/W PCI : R	マスタ機能ディスエーブルエラー割り込みマスク 0 : MDEI を禁止 (マスク) 1 : MDEI を許可 (受け付け)
7	APEDIM	0	SH : R/W PCI : R	アドレスパリティエラー検出割り込みマスク 0 : APEDI を禁止 (マスク) 1 : APEDI を許可 (受け付け)
6	SDIM	0	SH : R/W PCI : R	SERR 検出割り込みマスク 0 : SDI を禁止 (マスク) 1 : SDI を許可 (受け付け)
5	DPEITWM	0	SH : R/W PCI : R	ターゲットライト時のデータパリティエラー割り込みマスク 0 : DPEITW を禁止 (マスク) 1 : DPEITW を許可 (受け付け)
4	PEDITRM	0	SH : R/W PCI : R	ターゲットリード時のPERR 検出割り込みマスク 0 : PEDITR を禁止 (マスク) 1 : PEDITR を許可 (受け付け)
3	TADIMM	0	SH : R/W PCI : R	マスク時のターゲットアポート割り込みマスク 0 : TADIM を禁止 (マスク) 1 : TADIM を許可 (受け付け)
2	MADIMM	0	SH : R/W PCI : R	マスタ時のマスタアポート割り込みマスク 0 : MADIM を禁止 (マスク) 1 : MADIM を許可 (受け付け)
1	MWPDIM	0	SH : R/W PCI : R	マスタライトデータパリティエラー割り込みマスク 0 : MWPDIM を禁止 (マスク) 1 : MWPDIM を許可 (受け付け)
0	MRDPEIM	0	SH : R/W PCI : R	マスタリードデータパリティエラー割り込みマスク 0 : MRDPEI を禁止 (マスク) 1 : MRDPEI を許可 (受け付け)

(8) PCI エラーアドレス情報レジスタ (PCIAIR)

このレジスタには、割り込みが検出された場合の PCI アクセスアドレス情報を記録します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AIL															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AIL															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	AIL	不定	SH : R PCI : R	アドレスログ エラー発生時の PCI アドレス情報 (AD[31:0]信号の値) を保持します。

(9) PCI エラーコマンド情報レジスタ (PCICIR)

このレジスタには、割り込みが検出された場合の PCI コマンド情報を記録します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	M TEM	-	-	-	-	R W T E T	-	-	-	-	-	-	-	-	-	-
初期値:	-	0	0	0	0	-	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	ECL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	-	-	-	-
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	MTEM	不定	SH : R PCI : R	マスタエラー マスタリード、マスタライト時にエラーが発生したことを示します。 0 : マスタエラーは発生していない 1 : マスタエラー発生
30~27	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	RWTET	不定	SH : R PCI : R	ターゲットエラー ターゲットリード、ターゲットライト時にエラーが発生したことを示します。 0 : ターゲットエラーは発生していない 1 : ターゲットエラー発生

ビット	ビット名	初期値	R/W	説明
25~4	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	ECL	不定	SH : R PCI : R	コマンドログ エラー発生時の PCI コマンド情報 (CBE 信号の値) を保持します。

(10) PCI アービタ割り込みレジスタ (PCIAINT)

ホストモードで、このレジスタには、割り込み要因を記録します。

もし多重割り込みが発生した場合、最初の要因が記録されます。もし割り込みが禁止された場合、その要因が対応するビットに1が書き込まれ、割り込みは発生しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	MBI	TB TOI	MB TOI	-	-	-	-	-	-	-	TAI	MAI	RD PEI	WD PEI
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R/WC	R/WC	R/WC	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	MBI	0	SH : R/WC PCI : R	マスタブローケン割り込み バス権を与えられたマスタが、16クロック以内にトランザクションを開始しない (PCIFRAME をアサートしない) ときに検出されます。 0 : マスタブローケン割り込みは発生していない 1 : マスタブローケン割り込み発生
12	TBTOI	0	SH : R/WC PCI : R	ターゲットバスタイムアウト割り込み 最初のデータ転送で TRDY または STOP が 16クロック以内、二つ目以降のデータ転送で TRDY または STOP が 8クロック以内にアサートされないときに検出されます。 0 : ターゲットバスタイムアウト割り込みは発生していない 1 : ターゲットバスタイムアウト割り込み発生
11	MBTOI	0	SH : R/WC PCI : R	マスタバスタイムアウト割り込み データ転送で IRDY が 8クロック以内にアサートされないときに検出されます。 0 : マスタバスタイムアウト割り込みは発生していない 1 : マスタバスタイムアウト割り込み発生

ビット	ビット名	初期値	R/W	説 明
10~4	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TAI	0	SH : R/WC PCI : R	ターゲットアポート割り込み PCIC以外のデバイスがバスマスタとして動作しているときに、トランザクションがターゲットアポートで終了したことを示します。 0 : ターゲットアポート割り込みは発生していない 1 : ターゲットアポート割り込み発生
2	MAI	0	SH : R/WC PCI : R	マスタアポート割り込み PCIC以外のデバイスがバスマスタとして動作しているときに、トランザクションがマスタアポートで終了したことを示します。 0 : マスタアポート割り込みは発生していない 1 : マスタアポート割り込み発生
1	RDPEI	0	SH : R/WC PCI : R	リードパリティエラー割り込み PCIC以外のデバイスがバスマスタとして動作しているときに、データリード時の PERR アサートを検出したことを示します。 0 : リードパリティエラー割り込みは発生していない 1 : リードパリティエラー割り込み発生
0	WDPEI	0	SH : R/WC PCI : R	ライトデータパリティエラー割り込み PCIC以外のデバイスがバスマスタとして動作しているときに、データライト時の PERR アサートを検出したことを示します。 0 : ライトデータパリティ割り込みは発生していない 1 : ライトデータパリティ割り込み発生

(11) PCI アービタ割り込みマスクレジスタ (PCIAINTM)

このレジスタは PCIAINT のマスクレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	MBIM	TBT OIM	MBT OIM	-	-	-	-	-	-	-	TAIM	MAIM	RDP EIM	WDP EIM
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	MBIM	0	SH : R/W PCI : R	マスタブロック割り込みマスク 0 : MBI を禁止 (マスク) 1 : MBI を許可 (受け付け)
12	TBTOIM	0	SH : R/W PCI : R	ターゲットバスタイムアウト割り込みマスク 0 : TBTOI を禁止 (マスク) 1 : TBTOI を許可 (受け付け)
11	MBTOIM	0	SH : R/W PCI : R	マスタバスタイムアウト割り込みマスク 0 : MBTOI を禁止 (マスク) 1 : MBTOI を許可 (受け付け)
10~4	-	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TAIM	0	SH : R/W PCI : R	ターゲットアポート割り込みマスク 0 : TAI を禁止 (マスク) 1 : TAI を許可 (受け付け)
2	MAIM	0	SH : R/W PCI : R	マスタアポート割り込みマスク 0 : MAI を禁止 (マスク) 1 : MAI を許可 (受け付け)
1	RDPEIM	0	SH : R/W PCI : R	リードデータパリティエラー割り込みマスク 0 : RDPEI を禁止 (マスク) 1 : RDPEI を許可 (受け付け)
0	WDPEIM	0	SH : R/W PCI : R	ライトデータパリティエラー割り込みマスク 0 : WDPEI を禁止 (マスク) 1 : WDPEI を許可 (受け付け)

(12) PCI バスマスタエラー情報レジスタ (PCIBMIR)

ホストモードでは、このレジスタには、割り込みが PCIAINT によって発生した場合のバスマスタを記録します。多重割り込みが発生した場合、最初の要因のみが記録されます。

割り込みが禁止された場合、その要因が対応するビットに 1 が書き込まれ、割り込みは発生しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	REQ3 BME	REQ2 BME	REQ1 BME	REQ0 BME	PCIC BME
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	-	-
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	REQ3BME	不定	SH : R PCI : R	REQ3 エラー デバイス 3 ($\overline{\text{REQ3}}$) がバスマスタ時にエラーが発生したことを示します。
3	REQ2BME	不定	SH : R PCI : R	REQ2 エラー デバイス 2 ($\overline{\text{REQ2}}$) がバスマスタ時にエラーが発生したことを示します。
2	REQ1BME	不定	SH : R PCI : R	REQ1 エラー デバイス 1 ($\overline{\text{REQ1}}$) がバスマスタ時にエラーが発生したことを示します。
1	REQ0BME	不定	SH : R PCI : R	REQ0 エラー デバイス 0 ($\overline{\text{REQ0}}$) がバスマスタ時にエラーが発生したことを示します。
0	PCICBME	不定	SH : R PCI : R	PCIC エラー PCIC がバスマスタ時にエラーが発生したことを示します。

(13) PCI PIO アドレスレジスタ (PCIPAR)

PCI PIO アドレスレジスタ (PCIPAR) は、PCIC がホストモードのときに、PCI バス上でコンフィギュレーションサイクルを発行する際に使用するレジスタです。詳細については「13.4.5(2) コンフィギュレーションアクセス」を参照してください。

また、本レジスタに H'8000FF00 を設定し、PCIPDR に書き込みを行うことで、スペシャルサイクルを発行します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCIE	-	-	-	-	-	-	-	BN							
初期値 :	1	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-
SH R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DN				FN				CRA				-	-		
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31	CCIE	1	SH : R PCI : -	コンフィギュレーションサイクル発行イネーブル 1 : コンフィギュレーションサイクル発行イネーブルであることを示します。
30~24	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	BN	不定	SH : R/W PCI : -	PCI バス番号 コンフィギュレーションアクセスの対象となる PCI バスの番号を指定します。バス番号 0 は PCIC が接続されているバスを示します。バス番号は 8 ビットで表わされ最大値は 255 です。

ビット	ビット名	初期値	R/W	説明																																				
15~11	DN	不定	SH : R/W PCI : -	<p>デバイス番号</p> <p>コンフィグレーションアクセスの対象となるデバイスの番号を指定します。デバイス番号は5ビットで表わされ、0から31の中の値を取ります。本フィールドに設定されたデバイス番号に対応して、IDSELの代わりにAD[31:16]線のAD[n] (n = 16~31) 1本だけをハイにドライブします(他はすべてロー)。デバイス番号とIDSELの関係は以下の通りです。デバイス番号がH'10以上の場合は、AD[31:16]はすべてローにドライブします。</p> <table border="1"> <thead> <tr> <th>デバイス番号</th> <th>IDSEL</th> <th>デバイス番号</th> <th>IDSEL</th> </tr> </thead> <tbody> <tr> <td>H'0</td> <td>AD[16] = High</td> <td>H'8</td> <td>AD[24] = High</td> </tr> <tr> <td>H'1</td> <td>AD[17] = High</td> <td>H'9</td> <td>AD[25] = High</td> </tr> <tr> <td>H'2</td> <td>AD[18] = High</td> <td>H'A</td> <td>AD[26] = High</td> </tr> <tr> <td>H'3</td> <td>AD[19] = High</td> <td>H'B</td> <td>AD[27] = High</td> </tr> <tr> <td>H'4</td> <td>AD[20] = High</td> <td>H'C</td> <td>AD[28] = High</td> </tr> <tr> <td>H'5</td> <td>AD[21] = High</td> <td>H'D</td> <td>AD[29] = High</td> </tr> <tr> <td>H'6</td> <td>AD[22] = High</td> <td>H'E</td> <td>AD[30] = High</td> </tr> <tr> <td>H'7</td> <td>AD[23] = High</td> <td>H'F</td> <td>AD[31] = High</td> </tr> </tbody> </table>	デバイス番号	IDSEL	デバイス番号	IDSEL	H'0	AD[16] = High	H'8	AD[24] = High	H'1	AD[17] = High	H'9	AD[25] = High	H'2	AD[18] = High	H'A	AD[26] = High	H'3	AD[19] = High	H'B	AD[27] = High	H'4	AD[20] = High	H'C	AD[28] = High	H'5	AD[21] = High	H'D	AD[29] = High	H'6	AD[22] = High	H'E	AD[30] = High	H'7	AD[23] = High	H'F	AD[31] = High
デバイス番号	IDSEL	デバイス番号	IDSEL																																					
H'0	AD[16] = High	H'8	AD[24] = High																																					
H'1	AD[17] = High	H'9	AD[25] = High																																					
H'2	AD[18] = High	H'A	AD[26] = High																																					
H'3	AD[19] = High	H'B	AD[27] = High																																					
H'4	AD[20] = High	H'C	AD[28] = High																																					
H'5	AD[21] = High	H'D	AD[29] = High																																					
H'6	AD[22] = High	H'E	AD[30] = High																																					
H'7	AD[23] = High	H'F	AD[31] = High																																					
10~8	FN	不定	SH : R/W PCI : -	<p>機能番号</p> <p>コンフィグレーションアクセスの対象となる機能の番号を指定します。機能番号は3ビットで表わされ、0から7までの値を取ります。</p>																																				
7~2	CRA	不定	SH : R/W PCI : -	<p>コンフィグレーションレジスタアドレス</p> <p>コンフィグレーションアクセスの対象となるレジスタをロングワード境界で設定します。</p>																																				
1、0	-	すべて0	SH : R PCI : -	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>																																				

(14) PCI パワーマネジメント割り込みレジスタ (PCIPINT)

このレジスタはパワーマネジメント割り込みを制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PMD 3H	PMD 2	PMD 1	PMD 0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	SH : R PCI : -	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	PMD3H	0	SH : R/WC PCI : -	PCI パワーマネジメント D3H (D3 hot) ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0 : D3H ステータス遷移割り込みなし 1 : D3H ステータス遷移割り込み発生
2	PMD2	0	SH : R/WC PCI : -	PCI パワーマネジメント D2 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0 : D2 ステータス遷移割り込みなし 1 : D2 ステータス遷移割り込み発生
1	PMD1	0	SH : R/WC PCI : -	PCI パワーマネジメント D1 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0 : D1 ステータス遷移割り込みなし 1 : D1 ステータス遷移割り込み発生
0	PMD0	0	SH : R/WC PCI : -	PCI パワーマネジメント D0 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0 : D0 ステータス遷移割り込みなし 1 : D0 ステータス遷移割り込み発生

(15) PCI パワーマネジメント割り込みマスクレジスタ (PCIPINTM)

このレジスタは PCIPINT のマスクレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PMD 3HM	PMD 2M	PMD 1M	PMD 0M
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説 明
31~4	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PMD3HM	0	SH : R/W PCI : -	PCI パワーマネジメント D3H (D3 hot) ステータス遷移割り込みマスク 0 : PMD3H は禁止 (マスク) 1 : PMD3H は許可 (受け付け)
2	PMD2M	0	SH : R/W PCI : -	PCI パワーマネジメント D2 ステータス遷移割り込みマスク 0 : PMD2 は禁止 (マスク) 1 : PMD2 は許可 (受け付け)
1	PMD1M	0	SH : R/W PCI : -	PCI パワーマネジメント D1 ステータス遷移割り込みマスク 0 : PMD1 は禁止 (マスク) 1 : PMD1 は許可 (受け付け)
0	PMD0M	0	SH : R/W PCI : -	PCI パワーマネジメント D0 ステータス遷移割り込みマスク 0 : PMD0 は禁止 (マスク) 1 : PMD0 は許可 (受け付け)

(16) PCI メモリバンクレジスタ 0 (PCIMBR0)

PCI メモリ空間 0 のアドレス[31:18]ビットを設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA0														-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA0	H'0000	SH: R/W PCI: -	PCI メモリ空間 0 バンクアドレス (14 ビット) マスタ時 PCI のメモリ空間 0 に対するバンクアドレス設定を行います。
17~0	-	すべて 0	SH: R PCI: -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(17) PCI メモリバンクマスクレジスタ 0 (PCIMBMR0)

PCI メモリ空間 0 の容量を設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	MSBAM0				-	-		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説 明
31~24	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~18	MSBAM0	0000 00	SH : R/W PCI : -	PCI メモリ空間 0 バンクアドレスマスク (6 ビット) 0000 00 : 256K バイト 0000 01 : 512K バイト 0000 11 : 1M バイト 0001 11 : 2M バイト 0011 11 : 4M バイト 0111 11 : 8M バイト 1111 11 : 16M バイト 上記以外 : 設定禁止
17~0	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(18) PCI メモリバンクレジスタ 1 (PCIMBR1)

PCI メモリ空間 1 のアドレス[31:18]ビットを設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA1														-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA1	H'0000	SH: R/W PCI: -	PCI メモリ空間 1 バンクアドレス (14 ビット) マスタ時 PCI のメモリ空間 1 に対するバンクアドレス設定を行います。
17~0	-	すべて 0	SH: R PCI: -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(19) PCI メモリバンクマスクレジスタ 1 (PCIMBMR1)

PCI メモリ空間 1 の容量を設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	MSBAM1								-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	SH : R PCI : -	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~18	MSBAM1	H'00	SH : R/W PCI : -	PCI メモリ空間 1 バンクアドレスマスク (8 ビット) 00 0000 00 : 256K バイト 00 0000 01 : 512K バイト 00 0000 11 : 1M バイト 00 0001 11 : 2M バイト 00 0011 11 : 4M バイト 00 0111 11 : 8M バイト 00 1111 11 : 16M バイト 01 1111 11 : 32M バイト 11 1111 11 : 64M バイト 上記以外 : 設定禁止
17~0	-	すべて0	SH : R PCI : -	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(20) PCI メモリバンクレジスタ 2 (PCIMBR2)

PCI メモリ空間 2 のアドレス[31:18]ビットを設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA2														-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA2	すべて0	SH : R/W PCI : -	PCI メモリ空間 2 バンクアドレス (14 ビット) マスタ時 PCI のメモリ空間 2 に対するバンクアドレス設定を行います。
17~0	-	すべて0	SH : R PCI : -	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(21) PCI メモリバンクマスクレジスタ 2 (PCIMBMR2)

PCI メモリ空間 2 の容量を設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	MSBAM2											-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~18	MSBAM2	H'000	SH : R/W PCI : -	PCI メモリ空間 2 バンクアドレスマスク (11 ビット) 0 0000 0000 00 : 256K バイト 0 0000 0000 01 : 512K バイト 0 0000 0000 11 : 1M バイト 0 0000 0001 11 : 2M バイト 0 0000 0011 11 : 4M バイト 0 0000 0111 11 : 8M バイト 0 0000 1111 11 : 16M バイト 0 0001 1111 11 : 32M バイト 0 0011 1111 11 : 64M バイト 0 0111 1111 11 : 128M バイト 0 1111 1111 11 : 256M バイト 1 1111 1111 11 : 512M バイト 上記以外 : 設定禁止
17~0	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(22) PCI I/O バンクレジスタ (PCIIOBR)

PCI I/O 空間のアドレス[31:18]ビットを設定します。

「13.4.3 (3) PCI I/O 空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIO SBA														-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~18	PIO SBA	H'0000	SH : R/W PCI : -	PCI I/O 空間バンクアドレス (14 ビット) マスタ時 PCI の I/O 空間に対するバンクレジスタ設定を行います。
17~0	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(23) PCI I/O バンクマスクレジスタ (PCIIOBMR)

PCI I/O 空間の容量を設定します。

「13.4.3 (3) PCI I/O 空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	IOBAM			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	SH: R PCI: -	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20~18	IOBAM	000	SH: R/W PCI: -	PCI I/O 空間バンクアドレスマスク (3ビット) 000: 256K バイト 001: 512K バイト 011: 1M バイト 111: 2M バイト 上記以外: 設定禁止
17~0	-	すべて0	SH: R PCI: -	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(24) PCI キャッシュスヌープコントロールレジスタ 0 (PCICSCR0)

外部 PCI デバイスは、PCIC を経由して本 LSI のローカルメモリにアクセスできます。PCI デバイスがキャッシュ可能な領域にアクセスした場合、PCIC は内蔵キャッシュに対しキャッシュスヌープ機能を有効にすることができます。本レジスタにより、キャッシュスヌープアドレスレジスタ 0 を使用することを指定できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	RANGE			SNPMD	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~2	RANGE	000	SH : R/W PCI : -	比較アドレス範囲 比較対象となる PCIC SAR0 のアドレス範囲を指定します。 000 : PCIC SAR0.CADR[31:12]を比較 (4K バイト) 001 : PCIC SAR0.CADR[31:16]を比較 (64K バイト) 010 : PCIC SAR0.CADR[31:20]を比較 (1M バイト) 011 : PCIC SAR0.CADR[31:24]を比較 (16M バイト) 100 : PCIC SAR0.CADR[31:25]を比較 (32M バイト) 101 : PCIC SAR0.CADR[31:26]を比較 (64M バイト) 110 : PCIC SAR0.CADR[31:27]を比較 (128M バイト) 111 : PCIC SAR0.CADR[31:28]を比較 (256M バイト) PCIC SCR0.SNPMD が 10 または 11 の場合のみ本ビットは有効となります。
1, 0	SNPMD	00	SH : R/W PCI : -	PCIC SAR0 のスヌープモード 外部デバイスから要求されたアドレスと PCIC SAR0 を比較するかどうか指定します。また、PCIC SAR0 を比較する場合、どのようにスヌープ機能を実行するかを指定します。 00 : PCIC SAR0 は比較しません。 01 : リザーブ (設定禁止) 10 : PCIC SAR0 を比較します。その範囲でヒットした場合、スヌープ機能は実行されません。ヒットしなかった場合は実行されます。 11 : PCIC SAR0 を比較します。その範囲でヒットした場合、スヌープ機能は実行されます。ヒットしなかった場合は実行されません。

(25) PCI キャッシュスヌープコントロールレジスタ 1 (PCICSCR1)

外部 PCI デバイスは、PCIC を経由して本 LSI のローカルメモリにアクセスできます。PCI デバイスがキャッシュ可能な領域にアクセスした場合、PCIC は内蔵キャッシュに対しキャッシュスヌープ機能を有効にすることができます。本レジスタにより、キャッシュスヌープアドレスレジスタ 1 を使用することを指定できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	RANGE			SNPMD	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	SH : R PCI : -	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~2	RANGE	000	SH : R/W PCI : -	比較アドレス範囲 比較対象となる PCIC SAR1 のアドレス範囲を指定します。 000 : PCIC SAR1.CADR[31:12]を比較 (4K バイト) 001 : PCIC SAR1.CADR[31:16]を比較 (64K バイト) 010 : PCIC SAR1.CADR[31:20]を比較 (1M バイト) 011 : PCIC SAR1.CADR[31:24]を比較 (16M バイト) 100 : PCIC SAR1.CADR[31:25]を比較 (32M バイト) 101 : PCIC SAR1.CADR[31:26]を比較 (64M バイト) 110 : PCIC SAR1.CADR[31:27]を比較 (128M バイト) 111 : PCIC SAR1.CADR[31:28]を比較 (256M バイト) PCIC SCR1.SNPMD が 10 または 11 の場合のみ本ビットは有効となります。
1, 0	SNPMD	00	SH : R/W PCI : -	PCIC SAR1 のスヌープモード 外部デバイスから要求されたアドレスと PCIC SAR1 を比較するかどうか指定します。また、PCIC SAR1 を比較する場合、どのようにスヌープ機能を実行するかを指定します。 00 : PCIC SAR1 は比較しません。 01 : リザーブ (設定禁止) 10 : PCIC SAR1 を比較します。その範囲でヒットした場合、スヌープ機能は実行されません。ヒットしなかった場合は実行されます。 11 : PCIC SAR1 を比較します。その範囲でヒットした場合、スヌープ機能は実行されます。ヒットしなかった場合は実行されません。

(26) PCI キャッシュスヌープアドレスレジスタ 0 (PCIC SAR0)

本レジスタにより、外部 PCI デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CADR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CADR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	CADR	H'0000 0000	SH : R/W PCI : -	比較対象アドレス 外部デバイスから PCIC に要求されたアドレスと比較するアドレスを指定 します。

(27) PCI キャッシュスヌープアドレスレジスタ 1 (PCIC SAR1)

本レジスタにより、外部 PCI デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CADR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CADR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	CADR	H'0000 0000	SH : R/W PCI : -	比較対象アドレス 外部デバイスから PCIC に要求されたアドレスと比較するアドレスを指定 します。

(28) PCI PIO データレジスタ (PCIPDR)

本レジスタのリード/ライトを実行する事により、PCI バス上にコンフィグレーションサイクルを発生させます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PDR															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDR															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	PDR	不定	SH : R/W PCI : -	PCI PIO データレジスタ このレジスタで、リード/ライトを実行する事により、PCI バス上にコンフィグレーションサイクルを発生させます。

13.4 動作説明

13.4.1 サポートされる PCI コマンド

表13.4 サポートされる PCI バスコマンド

CBE[3:0]	コマンド	PCI マスタ	PCI ターゲット
0000	インタラプトアクリッジサイクル	×	
0001	スペシャルサイクル	* ¹	
0010	I/O リード		* ²
0011	I/O ライト		* ²
0100	予約		
0101	予約		
0110	メモリアード		
0111	メモリアイト		
1000	予約		
1001	予約		
1010	コンフィグレーションリード	* ¹	* ²
1011	コンフィグレーションライト	* ¹	* ²
1100	メモリアードマルチブル	×	* ³
1101	デュアルアドレスサイクル	×	×
1110	メモリアードライン	×	* ³
1111	メモリアイトアンドインバリデート	×	* ⁴

【記号説明】

0 : Low level

1 : High level

サポート

制限付きでサポート

×

サポートしない

応答しない

【注】 *1 ホストモードのみサポート

*2 シングル転送のみ

*3 メモリアードとして動作

*4 メモリアイトとして動作

13.4.2 PCIC の初期化

PCIC ではパワーオンリセット後に、PCIC イネーブル制御レジスタ (PCIECR) のイネーブルビット (ENBL) と PCI コントロールレジスタ (PCICR) の内部レジスタ初期化制御ビット (CFINIT) がクリアされます。このとき、PCIC が PCI バスのホストとして動作する場合 (ホストモード) には PCI バス上のデバイスのアービトレーションは行われず、PCI バス上のバス権は常に PCIC に与えられています。ホストとして動作しない場合 (ノーマルモード) には、PCI バスに接続されている外部 PCI デバイスからのアクセスを受け付けず、必ず PCI バスに対しリトライを返します。CPU から PCIC へのアクセスはコントロールレジスタ空間 (PCIECR) へのアクセスを除き、すべて無効となり (ライトは無効、リードはすべて 0 がリードされます)、各レジスタ、PCI バスへのリード/ライトアクセスは実行されません。

PCIC の初期化を行うには、以下の手順で行ってください。

- PCIECR の ENBL ビットに 1 をセット
- PCICR の CFINIT ビットがクリアされている期間に、PCIC 内の PCI コンフィグレーションレジスタおよび PCI ローカルレジスタを初期化
- PCICR の CFINIT に 1 をセット

すべてのレジスタの初期化終了後、CFINIT ビットを 1 にセットしてください。その後、ホストモード時にはアービトレーションが有効になり、ノーマルモード時には PCI バスからのアクセスを受け付けるようになります。

ホストモード/ノーマルモードのいずれの場合も、CFINIT ビットがクリアされている期間内の PCIC から外部 PCI デバイスへのアクセスは禁止です。CFINIT ビットを 1 にセットしてから行ってください。

特に、PCI コマンド (PCICMD)、PCI ステータス (PCISTATUS)、PCI サブシステムベンダ ID (PCISVID)、PCI サブシステム ID (PCISID)、PCI ローカルスペースレジスタ 0/1 (PCILSR0/1)、PCI ローカルアドレスレジスタ 0/1 (PCILAR0/1) については、CFINIT ビットがクリアされている期間 (1 にセットする前) に必ず設定してください。

13.4.3 マスタアクセス

ここでは、PCIC が、PCI バスのマスタとなったとき、どのようにソフトウェアから制御されるかについて示します。ホストモードおよびノーマルモードのそれぞれのモードにおいて、PCIC を使用する場合について説明します。

(1) PCIC のアドレス空間

表 13.5 に PCIC のアドレス空間を示します。

表13.5 PCIC のアドレス空間

メモリ空間	物理アドレス		物理アドレスサイズ
	29 ビットアドレス モード時	32 ビットアドレス 拡張モード時	
PCI メモリ空間 1 (エリア 4 : PCI 選択時)	H'1000 0000 ~ H'13FF FFFF	H'1000 0000 ~ H'13FF FFFF	64M バイト
PCI メモリ空間 2 (32 ビットアドレス拡張モード時のみ)	-	H'C000 0000 ~ H'DFFF FFFF	512M バイト
PCI メモリ空間 0	H'FD00 0000 ~ H'FDFF FFFF	H'FD00 0000 ~ H'FDFF FFFF	16M バイト
コントロールレジスタ空間	H'FE00 0000 ~ H'FE03 FFFF	H'FE00 0000 ~ H'FE03 FFFF	256K バイト
PCIC 内部レジスタ (コンフィグレーション、ローカルレジスタ)	H'FE04 0000 ~ H'FE07 FFFF	H'FE04 0000 ~ H'FE07 FFFF	256K バイト
リザーブ	H'FE08 0000 ~ H'FE1F FFFF	H'FE08 0000 ~ H'FE1F FFFF	1.5M バイト
PCI I/O 空間	H'FE20 0000 ~ H'FE3F FFFF	H'FE20 0000 ~ H'FE3F FFFF	2M バイト

PCIC には、4 種類 (物理的には 6 種類) のアドレス空間があります。PCI メモリ (3 種類)、コントロールレジスタ空間、PCIC 内部レジスタ (PCI コンフィグレーションレジスタおよび PCI ローカルレジスタ) 空間、および I/O 空間です。

(2) PCI メモリ空間へのアクセス

図 13.2 に SuperHyway バスから PCI バスへのメモリマップを示します。

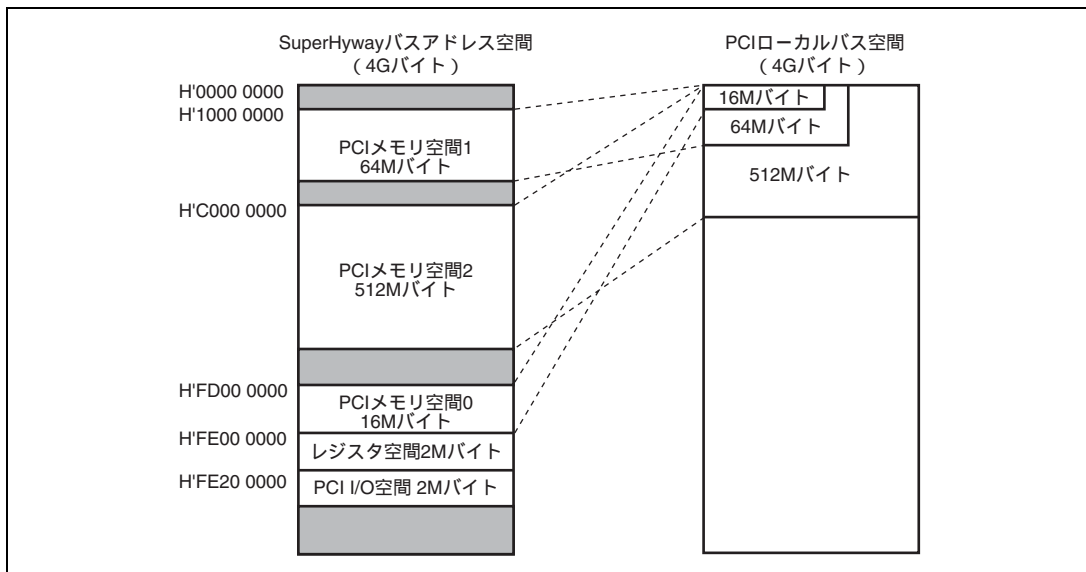


図13.2 SuperHyway バスから PCI ローカルバスへのメモリマップ

PCI メモリ空間にアクセスするためには、PCI メモリバンクレジスタ (PCIMBR) および PCI メモリバンクマスクレジスタ (PCIMBMR) を使用してください。このレジスタは、16M~512M バイトのアドレス空間を割り当てることができます。PCI アドレスの割り当ては、ソフトウェアによってプログラム可能です。

メモリ転送ではバースト転送をサポートします。

CPU または DMAC から 32 バイトバーストのアクセスを連続して実行すると、PCI バス上で 32 バイト以上 (すなわち、64 バイト、96 バイト等) のバースト転送を行います。

PCI メモリ空間は、PCI メモリ空間 0 が H'FD00 0000 ~ H'FDFF FFFF (16M バイト)、PCI メモリ空間 1 が H'1000 0000 ~ H'13FF FFFF (エリア 4、64M バイト、LBSC、DDRIF 空間との選択)、PCI メモリ空間 2 が H'C000 0000 ~ H'DFFF FFFF (512M バイト、32 ビットアドレス拡張モード時のみ) に割り付けられています。

SuperHyway バスから PCI ローカルバスへのアドレス変換方法を以下に示します。

SuperHyway バスアドレスの下位 15 ビット ([17:3]) は、そのままに PCI バスに送られます。

PCI メモリ空間 0 の場合、中間の 6 ビット ([23:18]) は、PCI メモリバンクマスクレジスタ 0 (PCIMBMR0) によって制御されます。

以下の説明、図では、SuperHyway バスを SH、PCI ローカルバスを PCI と表記しています。

- PCIMBMR0[23:18] B'1111 11 : PCIアドレス[23:18] = SHアドレス[23:18]
- PCIMBMR0[23:18] B'0111 11 : PCIアドレス[23:18] = PCIMBR0[23]、SHアドレス[22:18]
- ⋮
- PCIMBMR0[23:18] B'0000 01 : PCIアドレス[23:18] = PCIMBR0[23:19]、SHアドレス[18]
- PCIMBMR0[23:18] B'0000 00 : PCIアドレス[23:18] = PCIMBR0[23:18]

SuperHyway バスアドレスの上位 8 ビット [31:24] は、PCI メモリバンクレジスタ PCIMBR0[31:24] に置き換えられます。

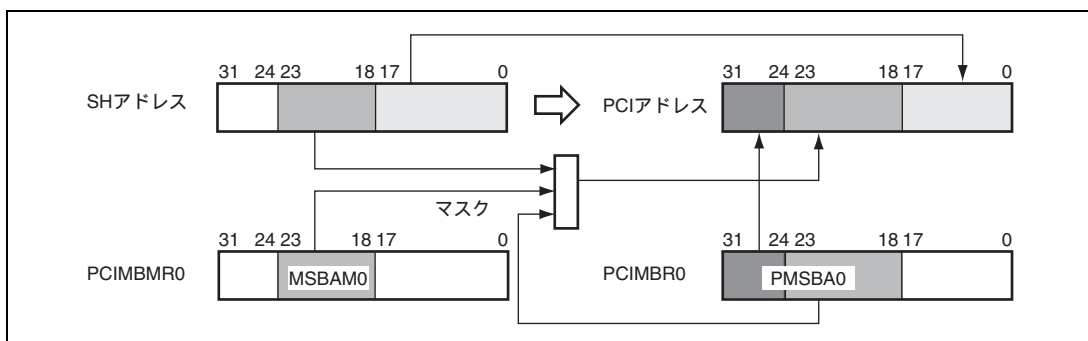


図13.3 SuperHyway バスから PCI ローカルバスへのアクセス (PCI メモリ空間 0 の場合)

PCI メモリ空間 1 の場合、中間の 8 ビット ([25:18]) は、PCI メモリバンクマスクレジスタ 1 (PCIMBMR1) によって制御されます。

- PCIMBMR1[25:18] B'11 1111 11 : PCIアドレス[25:18] = SHアドレス[25:18]
- PCIMBMR1[25:18] B'01 1111 11 : PCIアドレス[25:18] = PCIMBR1[25]、SHアドレス[24:18]
- ⋮
- PCIMBMR1[25:18] B'00 0000 01 : PCIアドレス[25:18] = PCIMBR1[25:19]、SHアドレス[18]
- PCIMBMR1[25:18] B'00 0000 00 : PCIアドレス[25:18] = PCIMBR1[25:18]

SuperHyway バスアドレスの上位 6 ビット [31:26] は、PCI メモリバンクレジスタ PCIMBR1[31:26] に置き換えられます。

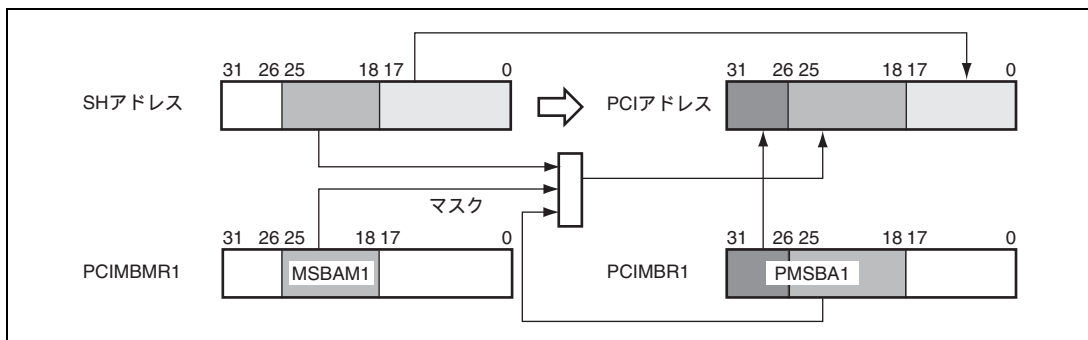


図13.4 SuperHyway バスから PCI ローカルバスへのアクセス (PCI メモリ空間 1 の場合)

PCI メモリ空間 2 の場合、中間の 11 ビット ([28:18]) は、PCI メモリバンクマスクレジスタ 2 (PCIMBMR2) によって制御されます。

- PCIMBMR2[28:18] B'1 1111 1111 11 : PCIアドレス[28:18] = SHアドレス[28:18]
- PCIMBMR2[23:18] B'0 1111 1111 11 : PCIアドレス[28:18] = PCIMBMR2[28], SHアドレス[27:18]
- PCIMBMR2[23:18] B'0 1111 1111 11 : PCIアドレス[28:18] = PCIMBMR2[28:19], SHアドレス[18]
- PCIMBMR2[28:18] B'0 0000 0000 00 : PCIアドレス[28:18] = PCIMBMR2[28:18]

SuperHyway バスアドレスの上位 3 ビット [31:29] は、PCI メモリバンクレジスタ PCIMBR2[31:29] に置き換えられます。

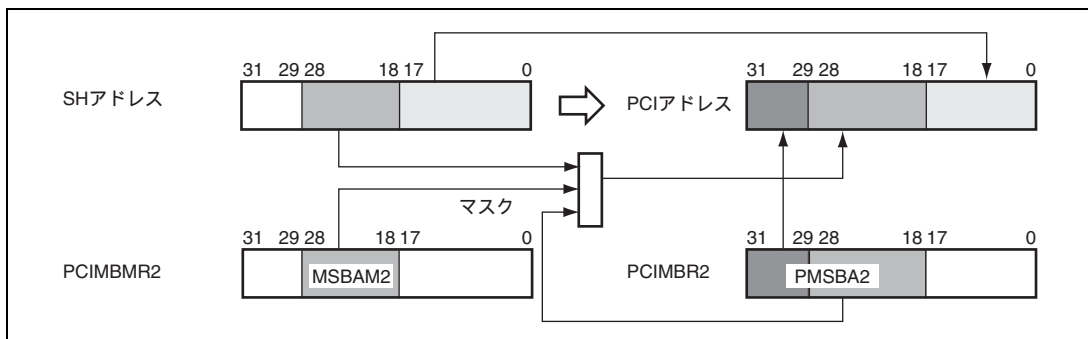


図13.5 SuperHyway バスから PCI ローカルバスへのアクセス (PCI メモリ空間 2 の場合)

(3) PCI I/O 空間へのアクセス

I/O 転送ではバースト転送をサポートしません。必ず 4 バイト以下のサイズでアクセスしてください。

PCI I/O 空間は、H'FE20 0000 ~ H'FE3F FFFF (2M バイト) に割り付けられます。

SuperHyway バスから PCI ローカルバスへアドレスの変換方法を以下に示します。

SuperHyway バスアドレスの下位 15 ビット ([17:3]) は、そのまま PCI に送られます。

中間の 3 ビット ([20:18]) は、PCI I/O バンクマスクレジスタによって制御されます。

- PCIOBMR[20:18] B'111 : PCIアドレス[20:18] = SHアドレス[20:18]
- PCIOBMR[20:18] B'011 : PCIアドレス[20:18] = PCIOBR[20], SHアドレス[19:18]
- PCIOBMR[20:18] B'001 : PCIアドレス[20:18] = PCIOBR[20:19], SHアドレス[18]
- PCIOBMR[20:18] B'000 : PCIアドレス[20:18] = PCIOBR[20:18]

上位 11 ビット[31:21]は、PCI I/O バンクレジスタ PCIOBR[31:21]に置き換えられます。

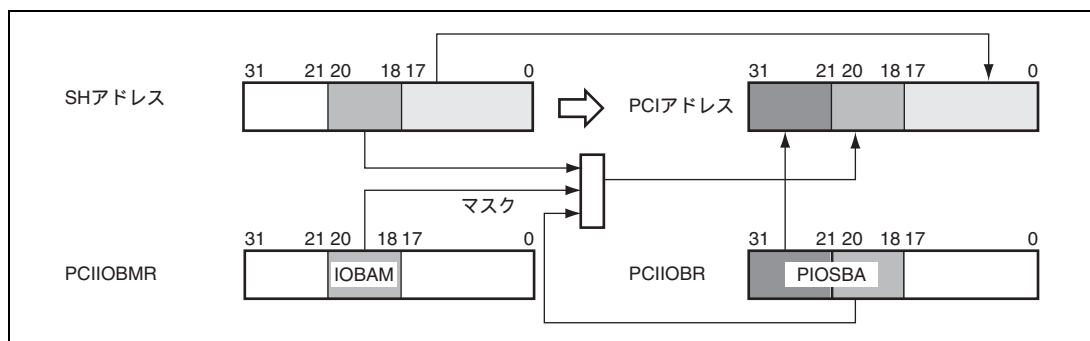


図13.6 SuperHyway バスから PCI ローカルバスへのアクセス (PCI I/O 空間)

(4) PCIC 内部レジスタへのアクセス

すべての PCIC 内部レジスタ、すなわち、PCIC コントロールレジスタ、PCI コンフィグレーションレジスタおよび PCI ローカルレジスタは、CPU からアクセス可能です。アクセスサイズとしては 4 バイト、2 バイトおよび 1 バイトサイズの転送をサポートします。

(5) エンディアン

本 LSI の PCIC は、ビッグおよびリトルエンディアンをサポートします。PCI バスはリトルエンディアンですので、PCIC データスワップおよびデータ非スワップの両方をサポートします。

これらのエンディアンの設定は、PCI コントロールレジスタ (PCICR) の TBS ビットによって決定します。

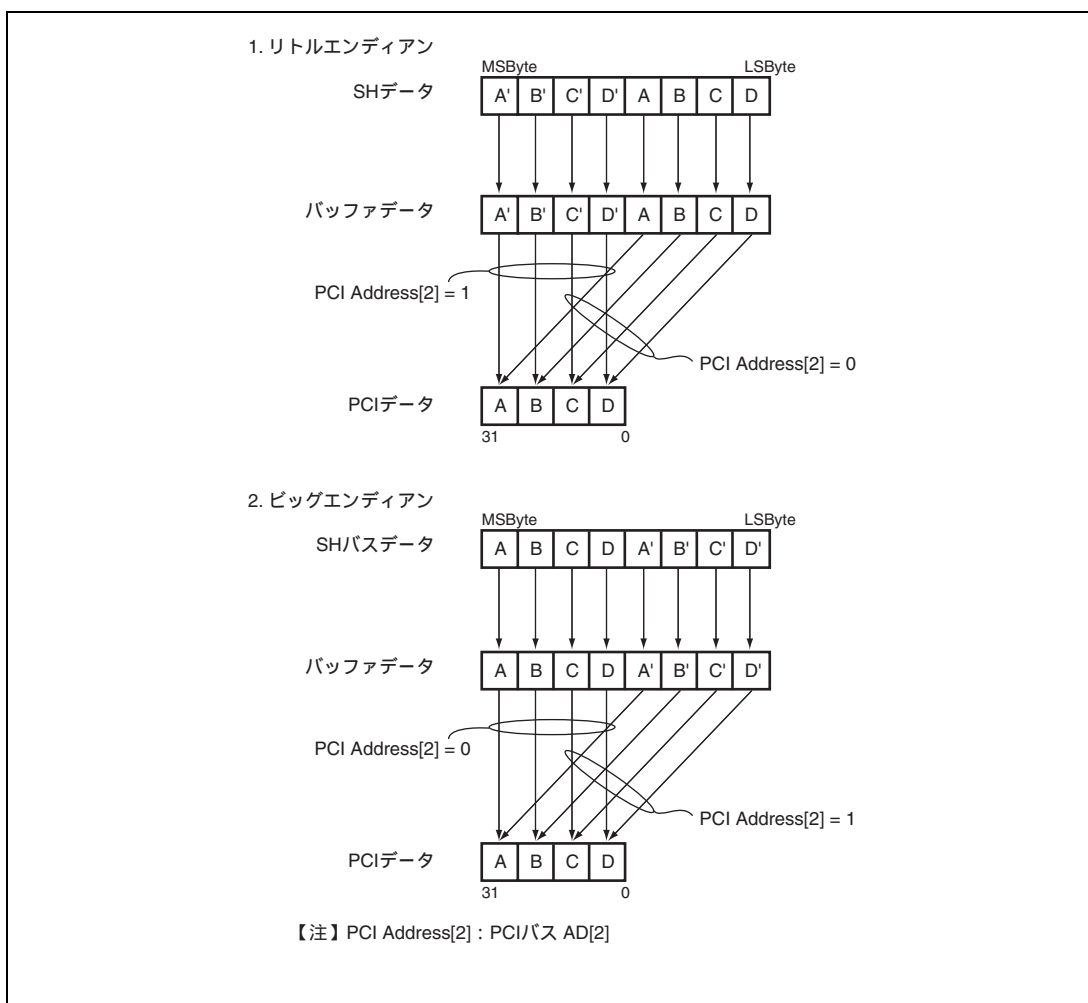


図13.7 SuperHyway バスから PCI ローカルバスへのエンディアン変換 (非スワップ : TBS = 0)

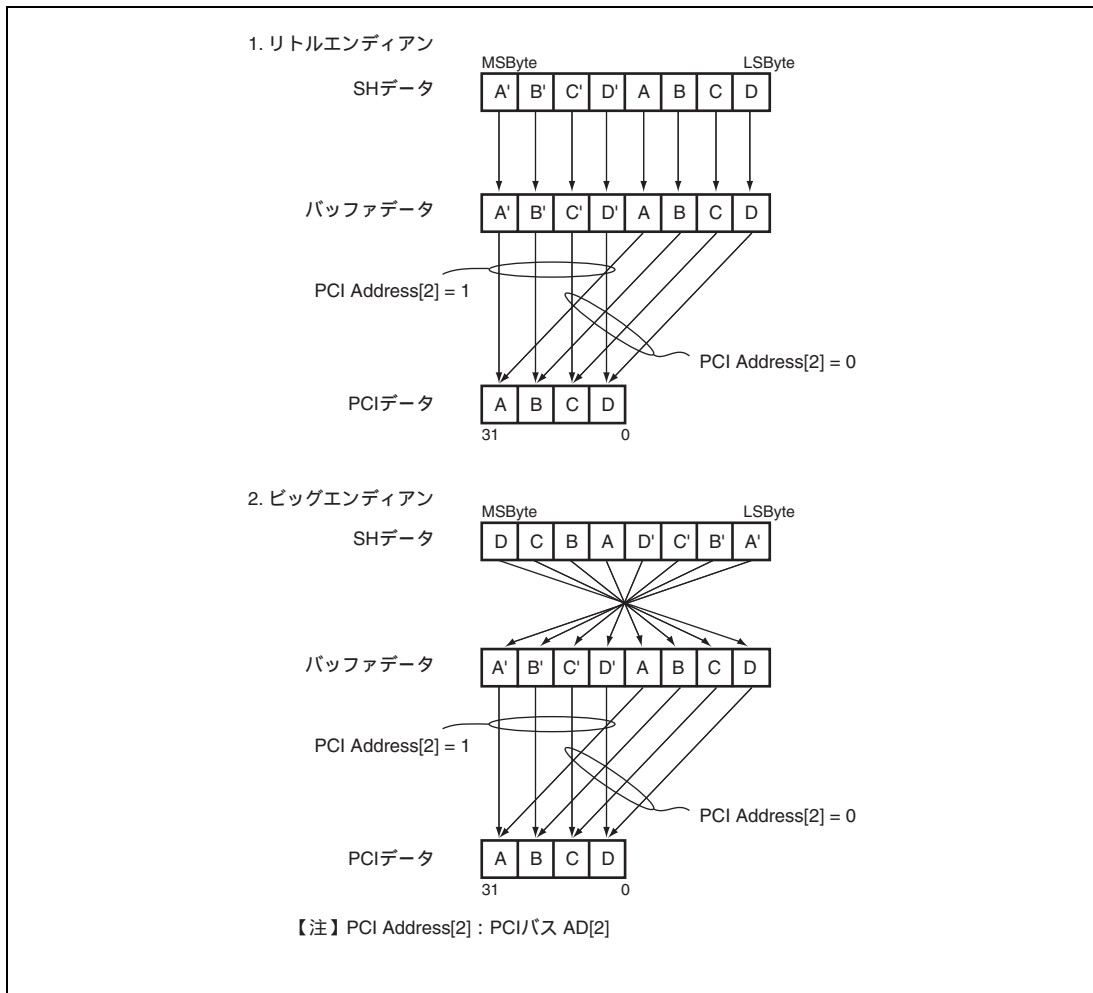


図13.8 SuperHyway バスから PCI ローカルバスへのエンディアン変換 (スワップ : TBS = 1)

13.4.4 ターゲットアクセス

ここでは、PCIC が外部 PCI バスマスタによってどのようにアクセスされるかの概要を示します。ホストモードおよびノーマルモードの両方について説明します。

(1) 本 LSI メモリ空間へのアクセス

ここでは、外部 PCI バスマスタから本 LSI の PCIC へのアクセスについて説明します。

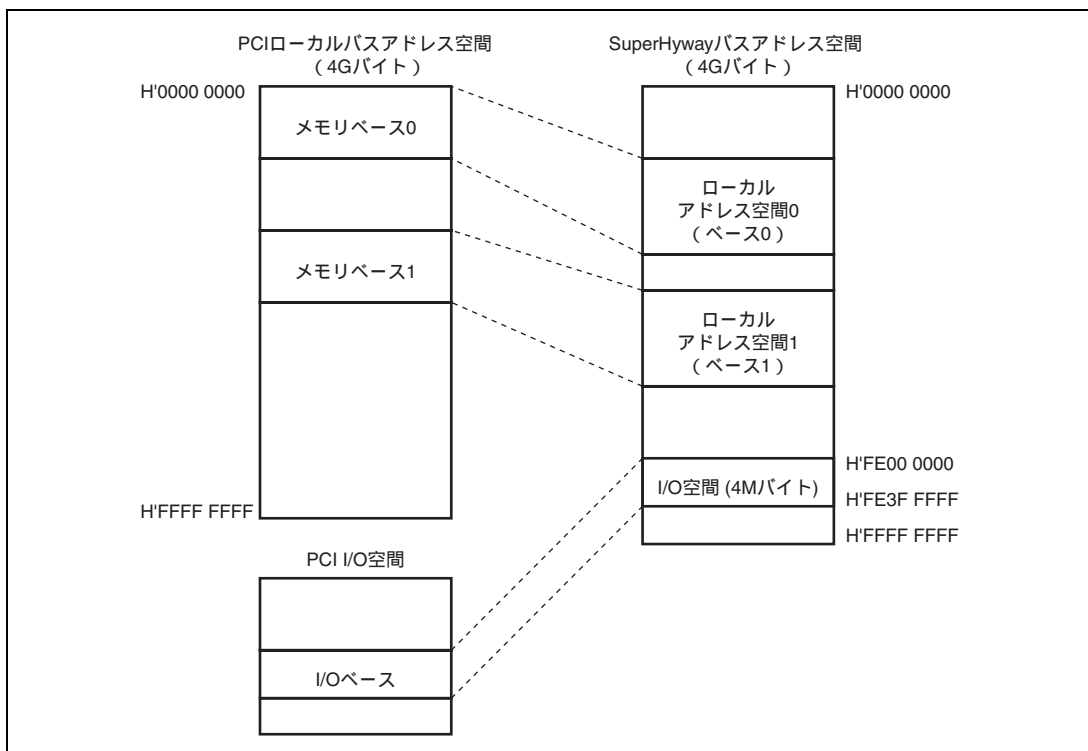


図13.9 PCI ローカルバスから SuperHyway バスへのメモリマップ

本 LSI の内部アドレス空間をアクセスするためには、PCI メモリベースアドレスレジスタ (PCIMBAR0/1)、PCI ローカルスペースレジスタ (PCILSR0/1)、および PCI ローカルアドレスレジスタ (PCILAR0/1) を使用してください。PCI アドレスの割り当てはソフトウェアによってプログラムします。PCIC には、ローカルアドレス空間 0 (ベース 0) とローカルアドレス空間 1 (ベース 1) の 2 種類のメモリマッピングのためのレジスタがあります。

これらのレジスタにより、2 種類の空間 (ベース) を割り当てることができます。

これらの空間の容量は、PCILSR0/1 (1M ~ 512M バイト) により設定することができます。

PCI ターゲットメモリ転送のために、PCI バス上のシングルロングワード (32 ビット) およびバースト転送をサポートしています。

PCIC 内部レジスタ (PCI コンフィグレーションレジスタ、PCI ローカルレジスタ) へのアクセスは後述のコンフィグレーションアクセスおよび I/O 空間へのアクセスを参照ください。

PCI バス上のアドレス空間の一定の範囲が SuperHyway バスアドレス空間上のローカルアドレス空間に対応します。本 LSI 内部のローカルアドレス空間 0 の制御を行うのが、PCIMBAR0、PCILSR0、PCILAR0 です。ローカルアドレス空間 1 の制御を行うのが、PCIMBAR1、PCILSR1、PCILAR1 です。図 13.10 に PCI バスから本 LSI の SuperHyway バスへのアドレス変換を示します。

PCIMBAR は外部 PCI デバイスが使用する PCI バス上のメモリ空間の先頭アドレスを示します。PCILAR は本 LSI のローカルアドレス空間の先頭アドレスを示します。PCILSR は外部 PCI デバイスが使用できるアドレス空間の容量を示します。

PCIMBAR と PCILAR は PCILSR に設定されたサイズ分より上位のアドレスビットが有効になります。PCIMBAR の上位ビットと外部 PCI デバイスが出力する PCI アドレスとが比較され、PCIC に対するアクセスかどうかの判定が行われます。アドレスが一致した場合には PCIC へのアクセスと判断され、PCILAR の上位ビットと、外部 PCI デバイスが出力する PCI アドレスの下位ビットによって、SuperHyway バスのローカルアドレスが生成されます。このアドレスに対し、PCI コマンド (メモリリード/ライト) が実行されます。外部 PCI デバイスが出力するアドレスの上位ビットが、PCIMBAR の上位ビットと一致しない場合には、PCIC は PCI コマンドに対し、応答しません。

以下の図では、SuperHyway バスを SH、PCI ローカルバスを PCI と表記しています。

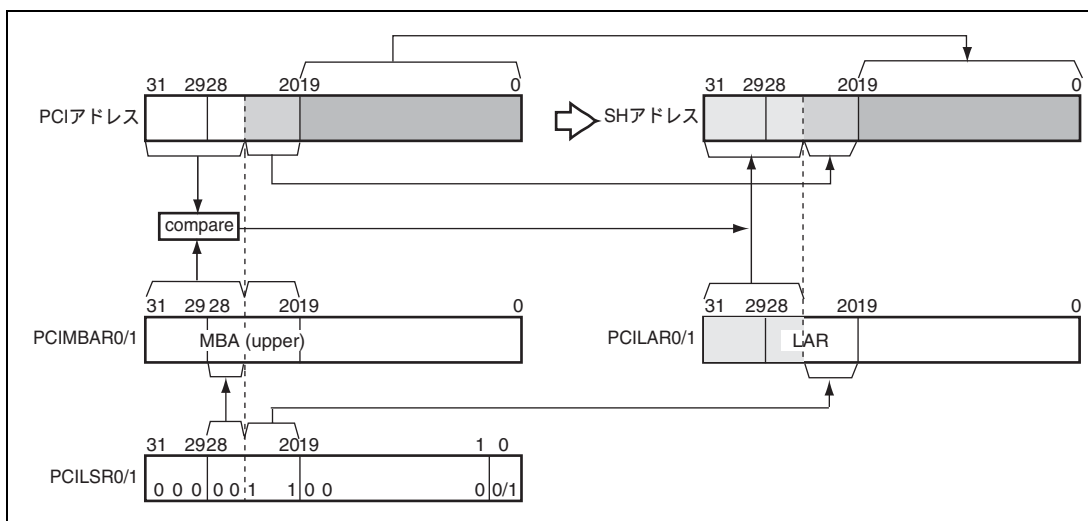


図13.10 PCI ローカルバスから SuperHyway バスへのアドレス変換

すべての PCILSR0/1.MBARE が 0 の場合には、PCI バスアドレスは、SuperHyway バスまで変更されずに転送されます。

PCIC ではメモリリードコマンドのためのデータのプリフェッチングをサポートしています。PCI バスからパーストリームを行うと、8 バイトまたは 32 バイト単位のブロック単位にプリフェッチされます (PCICR.PFCS および PCICR.PFE の設定によります)。

(2) PCIC I/O 空間へのアクセス

I/O アドレス空間は、256 バイトを割り当てる必要があります。

下位 8 ビット ([7:0]) が、SuperHyway バスに変更されずに送られます。

PCI アドレス[31:8]と PCI I/O ベースアドレスレジスタ[31:8](PCIIBAR)が一致すると、上位 24 ビットが H'FE0401 に置換され、PCI ローカルレジスタに対してアクセスを実行します。

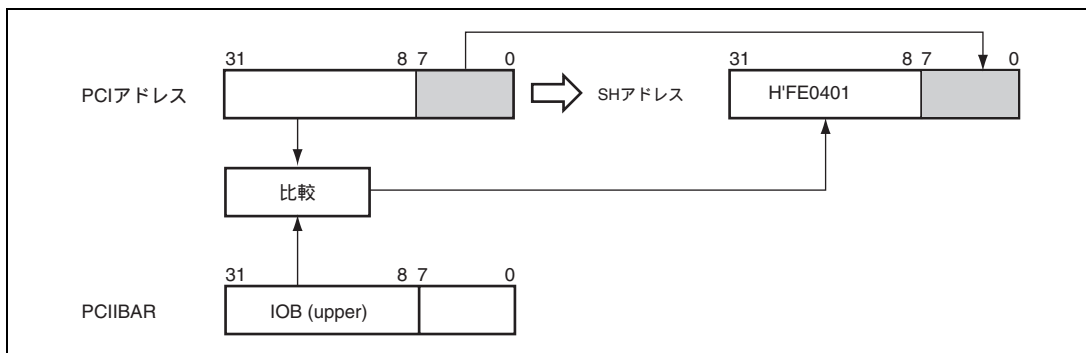


図13.11 PCI ローカルバスから SuperHyway バスへの I/O アクセス

(3) PCIC 各レジスタへのアクセス

- コンフィグレーションレジスタ

コンフィグレーションレジスタのリードまたはライトは、コンフィグレーションアクセスにてPCIアドレス+オフセットでアクセスしてください。シングルロングワードアクセスのみとなります。バースト転送は切断され終了します。

- ローカルレジスタ

I/Oリードまたはライトコマンドを使用して、PCIアドレス+オフセットでアクセスしてください。

シングルロングワードアクセスのみとなります。バースト転送は切断され終了します。

- コントロールレジスタ (PCIECR)

PCIバスからメモリリードまたはメモリライトコマンドを使用して、コントロールレジスタ空間へのリード/ライトは行わないでください。

(4) 本 LSI へのアクセス

• メモリ空間

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照ください。アクセス可能な空間は本 LSI メモリマップ上でエリア 0~2、4~6、DDR-SDRAM 空間および SuperHyway メモリ空間です。

ただし、エリア 0~2、4~6 に対しては以下の(a)~(c)のいずれかの方法で回避が可能です。

- (a) シングルアクセス転送を行う場合には、 $\overline{C/BE[3:0]}$ (データ転送中のバイトイネーブル) の組み合わせが、以下の組み合わせとする。

$$\overline{C/BE[3:0]} = \text{LLLL} / \text{LLHH} / \text{HHLL} / \text{LHHH} / \text{HLHH} / \text{HHLH} / \text{HHHL} \quad (\text{H : ハイレベル, L : ローレベル})$$

- (b) バーストアクセス転送を行う場合には、開始アドレスと終了アドレスを 16 バイト境界に設定し、かつ $\overline{C/BE}$ (データ転送中のバイトイネーブル) の組み合わせは以下とする。

$$\overline{C/BE[3:0]} = \text{LLLL} \quad (\text{H : ハイレベル, L : ローレベル})$$

- (c) バーストリードアクセス転送を行う場合には、PCI コントロールレジスタの PFE ビットもしくは PFCS ビットを 0 に設定する。

• 内蔵 I/O 空間

PCI ローカルバスからメモリリードまたはメモリライトコマンドを使用して、内蔵 I/O 空間のリード/ライトは行わないでください。リードライト時の動作は保証しません。

(5) 排他的アクセス

PCI バス上のロックアクセスをサポートしています。

一度ロックされると、 \overline{LOCK} をアサートした PCI デバイスからのみアクセスできます。

SuperHyway バス上のリソースロックは行いません (ロック転送中に他の内蔵モジュールによってアクセスは可能)。

(6) エンディアン

本 LSI の PCIC は、ビッグおよびリトルエンディアンをサポートします。PCI バスはリトルエンディアンですので、PCIC はデータスワップおよびデータ非スワップをサポートします。

これらのエンディアンの設定は、PCI コントロールレジスタ (PCICR) の TBS ビットの設定によって行われず。

以下の図では、最上位バイトを MSByte (Most Significant Byte)、最下位バイトを LSByte (Least Significant Byte) と表記しています。

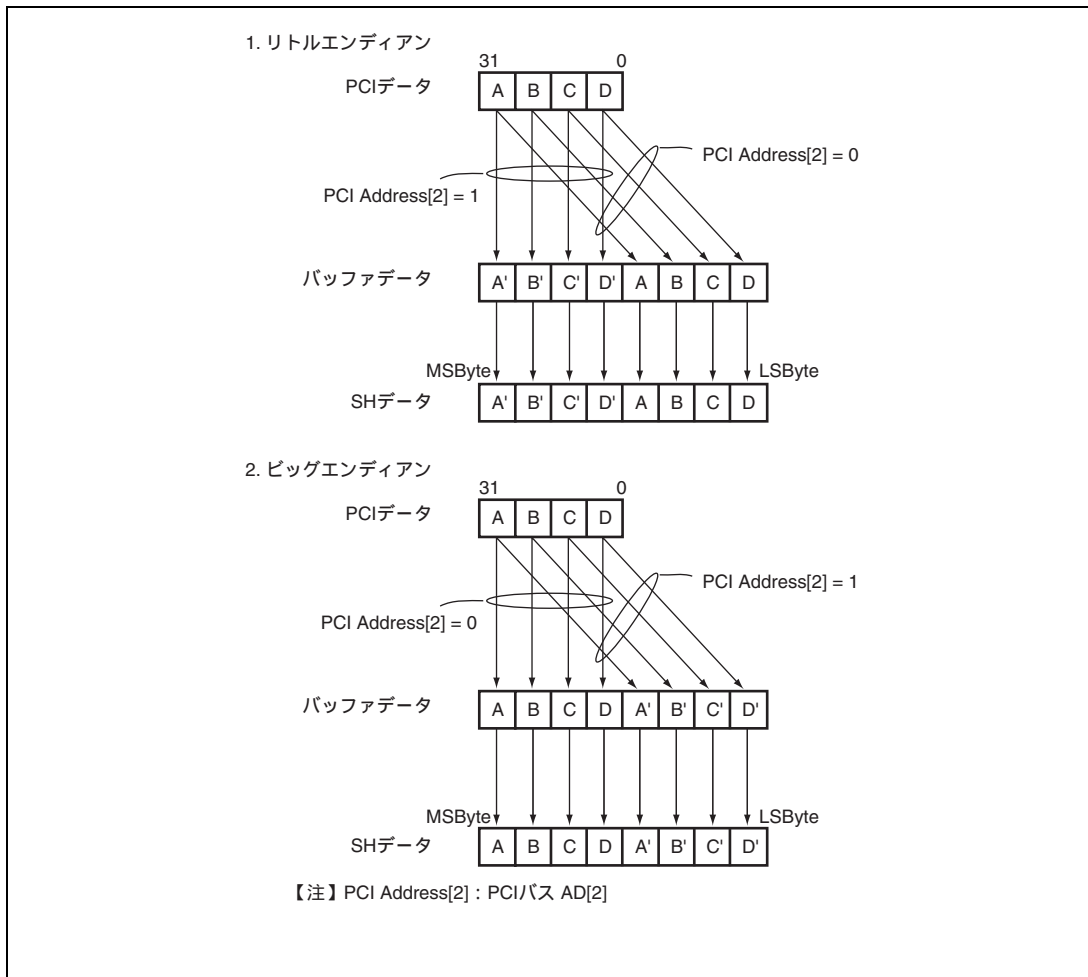


図13.12 PCI ローカルバスから SuperHyway バスへのエンディアン変換 (非スワップ : TBS = 0)

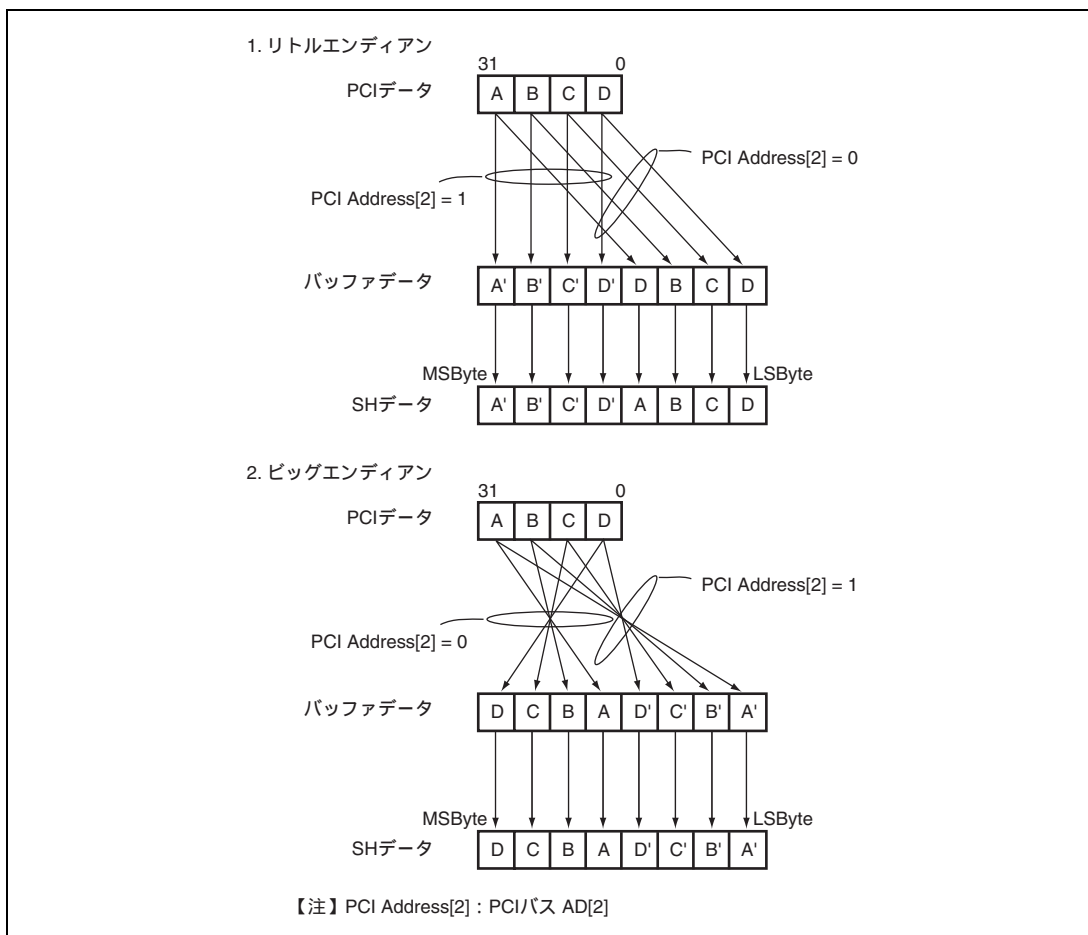


図13.13 PCI ローカルバスから SuperHyway バスへのエンディアン変換 (スワップ : TBS = 1)

(7) キャッシュコヒーレンシ

PCIC は、キャッシュスヌープ機能をサポートします。

PCIC が、ターゲットデバイスとして動作したときに、PCI バス上でマスタデバイスからのアクセスに対しキャッシュコヒーレンシを保証します (ホストモードおよびノーマルモード)。本 LSI のキャッシュ可能な領域をアクセスするときは、PCI キャッシュスヌープコントロールレジスタ 0/1 (PCICSCR0/1)、PCI キャッシュスヌープアドレスレジスタ 0/1 (PCICRAR0/1) を設定してください。

本機能を使用した場合の注意点を以下に示します。

- スヌープアドレスの設定は最大2条件設定できます。アドレスの比較は設定された2条件の論理和をとります。
- 本機能を使用した場合、アドレスヒットした場合のアクセス時に、CPUへキャッシュのフラッシュ/パージリクエストを実行後、メモリへのリード/ライトを実行します。そのためPCIバス上での転送性能およびCPUの処理性能を大幅に下げることになります。
- 本機能使用時にプリフェッチ機能を使用しないでください (PCICRのPFEビットを1にしないでください)。
- CPUがスリープ時には本機能を使用しないでください。CPUがスリープ状態のときにキャッシュヒットが発生した場合にはSuperHywayバス上でエラーアクセスとなり、メモリへのリード/ライトが実行されません。CPUをスリープする前には、PCICSCRのSNPMDビット (スヌープモード) に00 (スヌープ機能オフ) を設定してください。また、CPUのスリープ前後でのコヒーレンシを保証する場合には、スリープ命令実行前にキャッシュのパージを行ってください。
- 本機能と同時に以下の機能は使用しないでください。

エミュレータによるデバッグ機能 (エミュレータ使用時は本機能をOFFにしてください)

DMACによるLRAM / メモリ割り付けキャッシュアレイへのアクセス

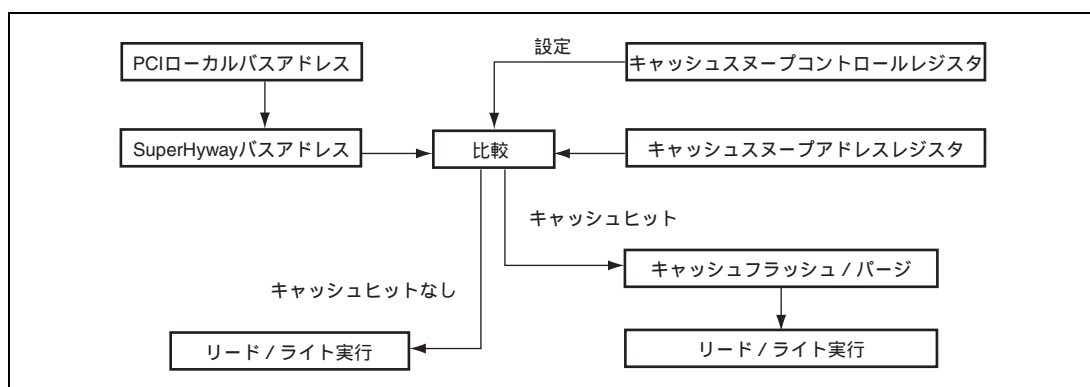


図13.14 PCI ローカルバスから SuperHyway バスへのキャッシュフラッシュ/パージ実行フロー

13.4.5 ホストモード

(1) ホストモード時の動作

本 LSI の PCI インタフェースは PCI バージョン 2.2 のサブセットをサポートしており、PCI バスインタフェースを持つデバイスと接続できます。

PCIC がホストモードに設定されているときとノーマルモードに設定されているときでは、バスパーキングを PCIC が無条件に行うか否か、PCI バスのアービトラーション機能が有効か無効かの 2 点において動作が異なります。

またホストモードでは、PCI バス上の転送が行われていないときには、AD、CBE、PAR の各信号線は PCIC がドライブします。その後 PCIC がマスタとして転送を開始するときには、最低でもアドレスフェーズが終了するまで、これらの信号をドライブし続けます。PCIC 内のアービタと PCIC 間の REQ および GNT 信号は内部で接続されます。このとき $\overline{\text{REQ0}}/\text{REQOUT}$ 、 $\overline{\text{REQ1}}$ 、 $\overline{\text{REQ2}}$ 、 $\overline{\text{REQ3}}$ の各端子はそれぞれ外部のマスタ 0～マスタ 3 からの REQ 入力として、 $\overline{\text{GNT0}}/\text{GNTIN}$ 、 $\overline{\text{GNT1}}$ 、 $\overline{\text{GNT2}}$ 、 $\overline{\text{GNT3}}$ の各端子はそれぞれ外部のマスタ 0～マスタ 3 への GNT 出力として動作します。PCIC を含め最大 5 マスタのアービトラーションが可能です。

(2) コンフィグレーションアクセス

コンフィグレーションメカニズム#1 は、それぞれコンフィグレーションアドレスレジスタおよびコンフィグレーションデータレジスタに対応する PCI PIO (Programmed I/O) アドレスレジスタ (PCIPAR) および PCI PIO データレジスタ (PCIPDR) をサポートします。

PCIPAR をセットし、PCIPDR をリードまたはライトすると、PCI バス上でコンフィグレーションサイクルが発生されます。タイプ 0 の転送では、ビット [10:2] は変化せずに PCI バスに送られます。しかし、AD [31:11] は IDSEL 信号として使用されるように変更されます。

デバイス番号を 0 にセットすると、AD16 は 1 になり、他は 0 になります。

デバイス番号を 1 にセットすると、AD17 は 1 になり、他は 0 になります。以降、同じようにデバイス番号を 2 にセットすると、AD18 は 1 になり、3 にセットすると AD19 が 1 に対応しており、デバイス番号を 16 にセットすると、AD31 は 1 になり、他は 0 になります。

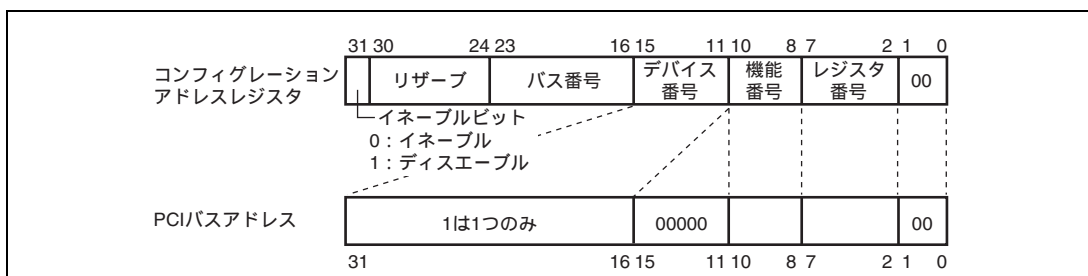


図13.15 タイプ 0 コンフィグレーションのアドレス発生

コンフィグレーションアクセスでは、PCI マスタアポート (デバイス未接続) は、割り込みを発生させません。コンフィグレーション書き込みは、正常に終了します。コンフィグレーション読み出しは、0 を返します。

(3) スペシャルサイクルアクセス

PCIC がホストデバイスとして動作する場合には、PCIPAR に H'8000 FF00 を設定し、PCIPDR への書き込みを行うことでスペシャルサイクルを発行することができます。

(4) アービトレーション

ホストモードでは、PCIC 内の PCI バスアービタが作動します。

4 種類の外部マスタをサポートします ($\overline{\text{REQ}}_n$ と $\overline{\text{GNT}}_n$ ペア 4 つ。n=0~3)。

2 つ以上のデバイスから同時にバスの使用が要求されている場合には、優先順位が高いデバイスのバス要求を許可します。

デバイスの優先順位を決定するために、PCI バスアービタは、固定優先順位と擬似ラウンドロビンの 2 モードをサポートします。2 つのモードはレジスタフィールド PCICR.BMAM によって選択します。

以下デバイス n は $\overline{\text{REQ}}_n$ を使用する PCI デバイスを示します。

(a) 固定優先順位

PCICR.BMAM を 0 に設定してください。

デバイスの優先順位を以下のデフォルト値で固定します。

- PCIC > デバイス0 > デバイス1 > デバイス2 > デバイス3

PCIC は、他のデバイス以上にバスを優先的に使用することができます。

(b) 擬似ラウンドロビン

PCICR.BMAM を 1 に設定してください。

最後に許可されたデバイスが最下位の優先順位を割り当てます。

最初の優先順位は、固定優先順位モードと同じです。

デバイス 1 がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- PCIC > デバイス0 > デバイス2 > デバイス3 > デバイス1

そして、PCIC がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- デバイス0 > デバイス2 > デバイス3 > デバイス1 > PCIC

そして、デバイス 3 がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- デバイス0 > デバイス2 > デバイス1 > PCIC > デバイス3

ホストモードでは、バスパーキングは常に PCIC によって行われます。

(5) 割り込み

- PCICには、10種類の割り込みがあります（これらの信号は本LSIのINTCに接続しています）。
- 本LSI INTCにより、これらの割り込みの優先順位を許可 / 禁止および設定できます。
- PCICがノーマルモードで動作する場合に、PCIバス上のホストデバイスに対する割り込みとして、 $\overline{\text{INTA}}$ 出力が用意されています。 $\overline{\text{INTA}}$ は、PCIコントロールレジスタ (PCICR) のINTA出力ビット (IOCS) でアサート / ネゲートの制御を行うことができます。

表13.6 割り込み優先順位

名 称	割り込み要因	優先順位
PCISERR	ホストモードでの $\overline{\text{SERR}}$ アサート検出	高  低
PCIINTA	ホストモードでの $\overline{\text{INTA}}$ (PCI 割り込み A) アサート検出	
PCIINTB	ホストモードでの $\overline{\text{INTB}}$ (PCI 割り込み B) アサート検出	
PCIINTC	ホストモードでの $\overline{\text{INTC}}$ (PCI 割り込み C) アサート検出	
PCIINTD	ホストモードでの $\overline{\text{INTD}}$ (PCI 割り込み D) アサート検出	
PCIERR	PCIC がエラー時、PCIIR (SDI を除く) と PCIAINT による (マスク可能)	
PCIPWD3	D3 へのパワーステート、PCIPINT による (マスク可能)	
PCIPWD2	D2 へのパワーステート、PCIPINT による (マスク可能)	
PCIPWD1	D1 へのパワーステート、PCIPINT による (マスク可能)	
PCIPWD0	D0 へのパワーステート、PCIPINT による (マスク可能)	

【注】 $\overline{\text{SERR}}$ の割り込み処理は、PCISERR により処理してください。

PCIC では PCI バス上で発生したエラー情報を保持しておく事ができます。PCI エラーアドレス情報レジスタ (PCIAIR) にエラー発生時のアドレスを、PCI エラーコマンド情報レジスタ (PCICIR) にエラー発生時の転送の種類およびコマンドの値が保持されます。また、PCIC がホストモードのときには PCI バスマスタエラー情報レジスタ (PCIBMIR) にエラー発生時のバスマスタ情報が保持されます。

各エラー情報の保持は、1 つのエラー情報しか行われません。このためエラーが複数回発生した場合、最初のエラー情報のみ保持され、2 つめ以降のエラー情報に関しては保持されません。エラー情報はパワーオンリセットによりクリアされます。

13.4.6 ノーマルモード (非ホストモード)

ノーマルモードでは、本 LSI の PCIC のバスアービタは動作しません。PCI バスアービテーションは、外部 PCI バスアービタによって行われます。

ノーマルモードでは、バスパーキングを行うマスタは、外部のアービタによって出力される GNT 信号によって決められます。パーキングを行うマスタと、次に転送を始めるマスタが異なる場合、アドレスフェーズの前に最低 1 クロック期間のハイインピーダンス状態が生じます。

また、ノーマルモード時には、 $\overline{\text{GNT0}}/\overline{\text{GNTIN}}$ 端子は PCIC の GNT 入力として、 $\overline{\text{REQ0}}/\overline{\text{REQOUT}}$ 端子は PCIC の REQ 出力として動作します。

13.4.7 パワーマネジメント

PCIC では、PCI のパワーマネジメント (レビジョン 1.1 のサブセットをサポート) に対応したコンフィグレーションレジスタをサポートします。サポートされている特長は以下の通りです。

- PCI のパワーマネジメント制御用コンフィグレーションレジスタをサポート
- PCI バス上のホストデバイスからのパワーダウン/復帰要求に応じた割り込みをサポート

PCI のパワーマネジメント制御用コンフィグレーションレジスタとして、以下の 7 つのレジスタがあります。PCI 拡張機能ポインタレジスタ (PCICP) はパワーマネジメント用コンフィグレーションレジスタに対するアドレスオフセットを示します。PCIC では PCICP は H'40 (固定) です。PCI 拡張機能 ID レジスタ (PCICID)、PCI 次項目ポインタレジスタ (PCINIP)、PCI パワーマネジメントレジスタ (PCIPMC)、PCI パワーマネジメントコントロール / ステータスレジスタ (PCIPMCSR)、PCIPMCSR ブリッジサポート拡張レジスタ (PCIPMCSRBASE)、PCI パワー消費 / 拡散データ (PCIPCCD) がパワーマネジメントレジスタで、パワーステート D0 (通常状態)、パワーステート D1 (バスアイドル)、パワーステート D2 (クロック停止)、パワーステート D3 (パワーダウンモード) の 4 つのステートをサポートします。

PCI バス上のパワーダウンステートの遷移図を図 13.16 に示します。

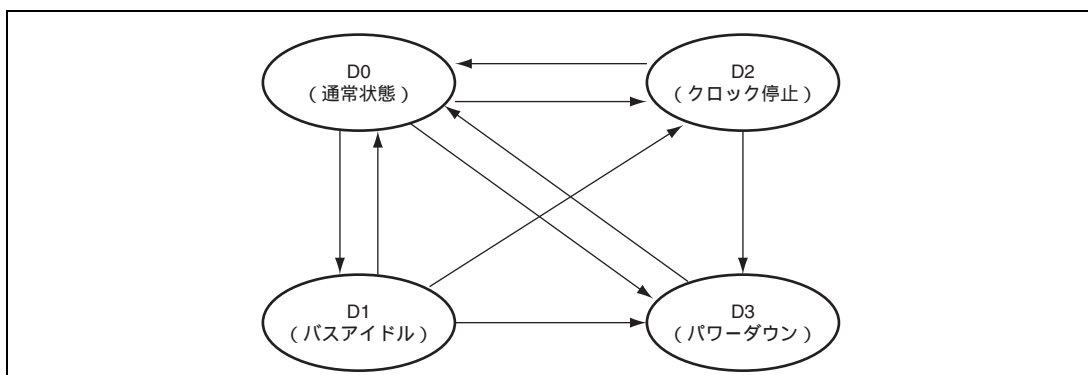


図 13.16 PCI バスパワーダウンステート遷移図

PCICはPCIパワーマネジメントコントロール/ステータスレジスタのパワーステート (PS) ビットが変化したこと (外部PCIデバイスからのライト) を検出して、パワーマネジメント割り込みを発生します。パワーマネジメント割り込みを制御するために、PCIパワーマネジメント割り込みレジスタ (PCIPINT)、PCIパワーマネジメント割り込みマスクレジスタ (PCIPINTM) が用意されています。パワーマネジメント割り込みとしては、パワーステートD1/D2/D3からD0への遷移を検出するパワーステートD0 (PCIPWD0) 割り込み、パワーステートD0からD1への遷移を検出するパワーステートD1 (PCIPWD1) 割り込み、パワーステートD0/D1からD2への遷移を検出するパワーステートD2 (PCIPWD2) 割り込み、パワーステートD0/D1/D2からD3への遷移を検出するパワーステートD3 (PCIPWD3) 割り込みが用意されています。各パワーステート割り込みごとに割り込みマスクを設定できます。

パワーオンリセット時は、パワーステートD0割り込みは発生しません。

PCICがノーマルモードで動作し、外部のホストデバイスからパワーダウン割り込みを受け付ける場合には、以下の点に注意してください。

PCIのパワーマネジメントでは、ホストデバイスはパワーステートD3への遷移を指示してから、最速16クロックでPCIバスクロックを停止します。そのため、パワーステートD3割り込みの検出後は、CPUとPCIバスの両方からアクセス可能なPCIC内のローカルレジスタ、コンフィグレーションレジスタおよびPCIバスへのアクセス (I/O およびメモリ空間) に対してリード/ライトを実行しないでください。これらのアクセス制御はPCIバスクロックで動作しているため、アクセスの途中でこのクロックが停止した場合、リード/ライトサイクルが終了せず、SuperHywayバス上でハングアップしてしまいます。

13.4.8 PCI バス基本インタフェース

本 LSI の PCIC は PCI バージョン 2.2 のサブセットをサポートしており、PCI バスインタフェースを持つデバイスと接続できます。以下、各動作モードでの動作タイミングを示します。

(1) マスタリード/ライトサイクルのタイミング

図 13.17 にホストモードでのシングルライトサイクル例を、図 13.18 にホストモードでのシングルリードサイクル例を、図 13.19 にノーマルモード時のバーストライトサイクル例を、図 13.20 にノーマルモード時のバーストリードサイクル例を示します。ただし $\overline{\text{DEVSEL}}$ 、 $\overline{\text{TRDY}}$ の応答速度は接続されたターゲットデバイスにより異なります。ホストモード時のマスタアクセスは、必ずシングルリード/ライトサイクルになります。コンフィグレーション転送の発行はホストモードでのみ可能です。

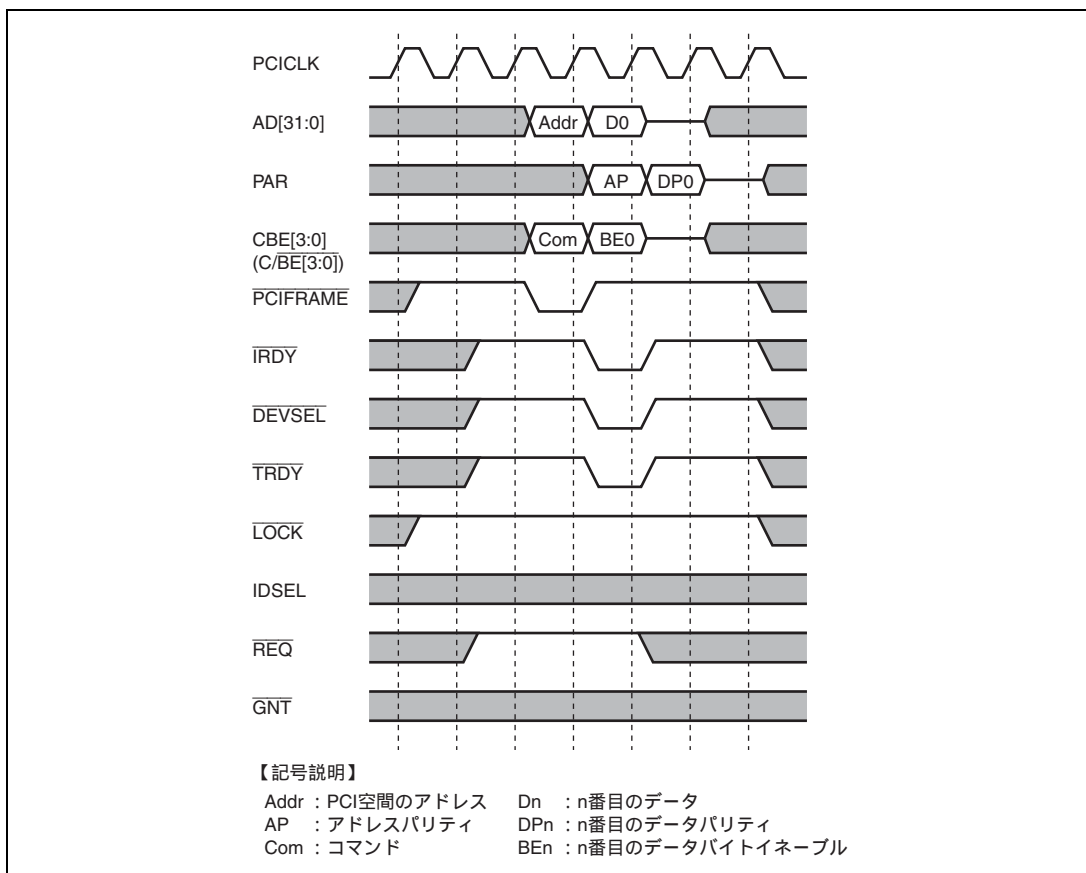


図13.17 ホスト時マスタライトサイクル (シングル)

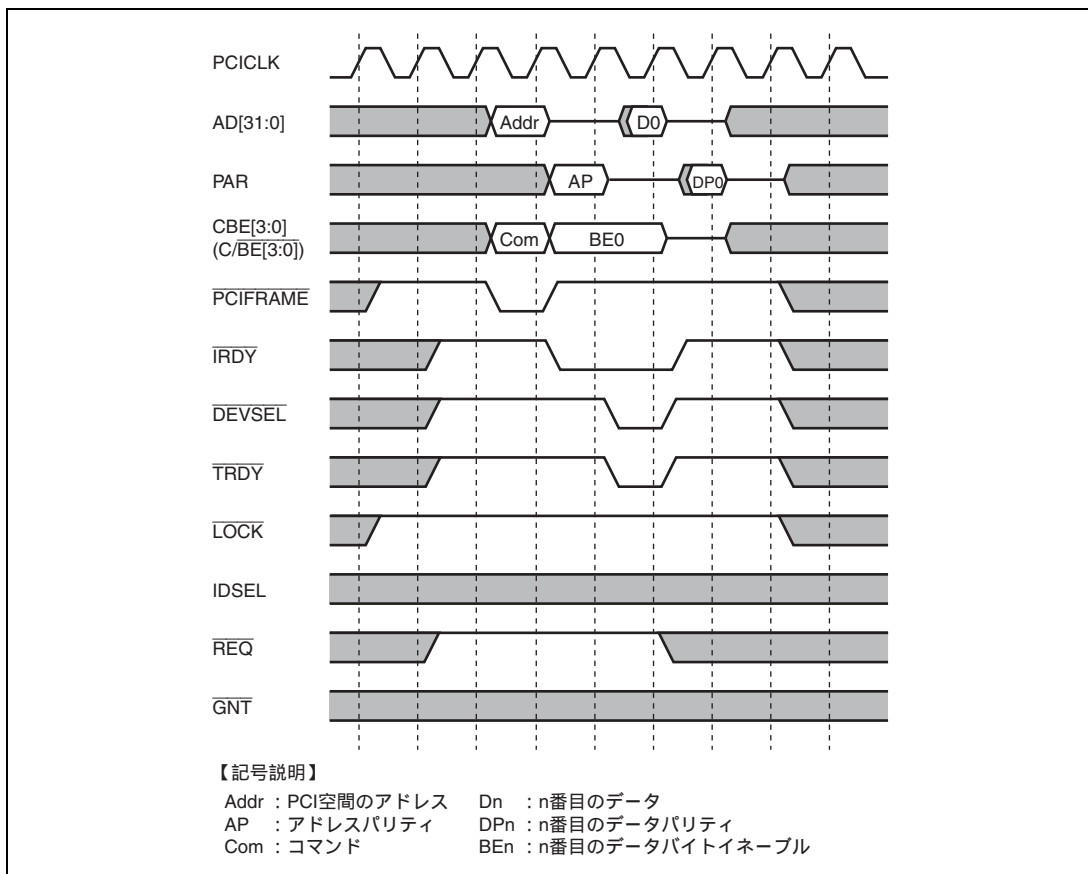


図13.18 ホスト時マスタリードサイクル (シングル)

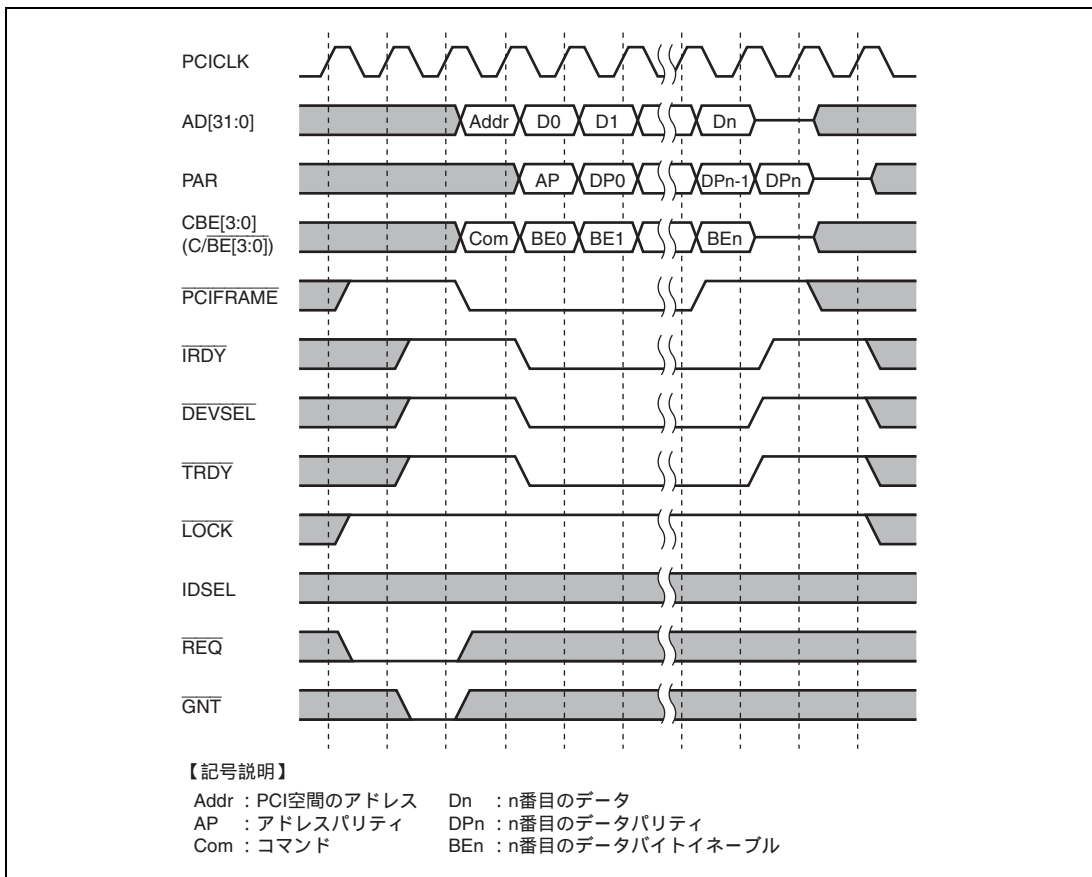


図13.19 ノーマル時マスタライトサイクル(バースト)

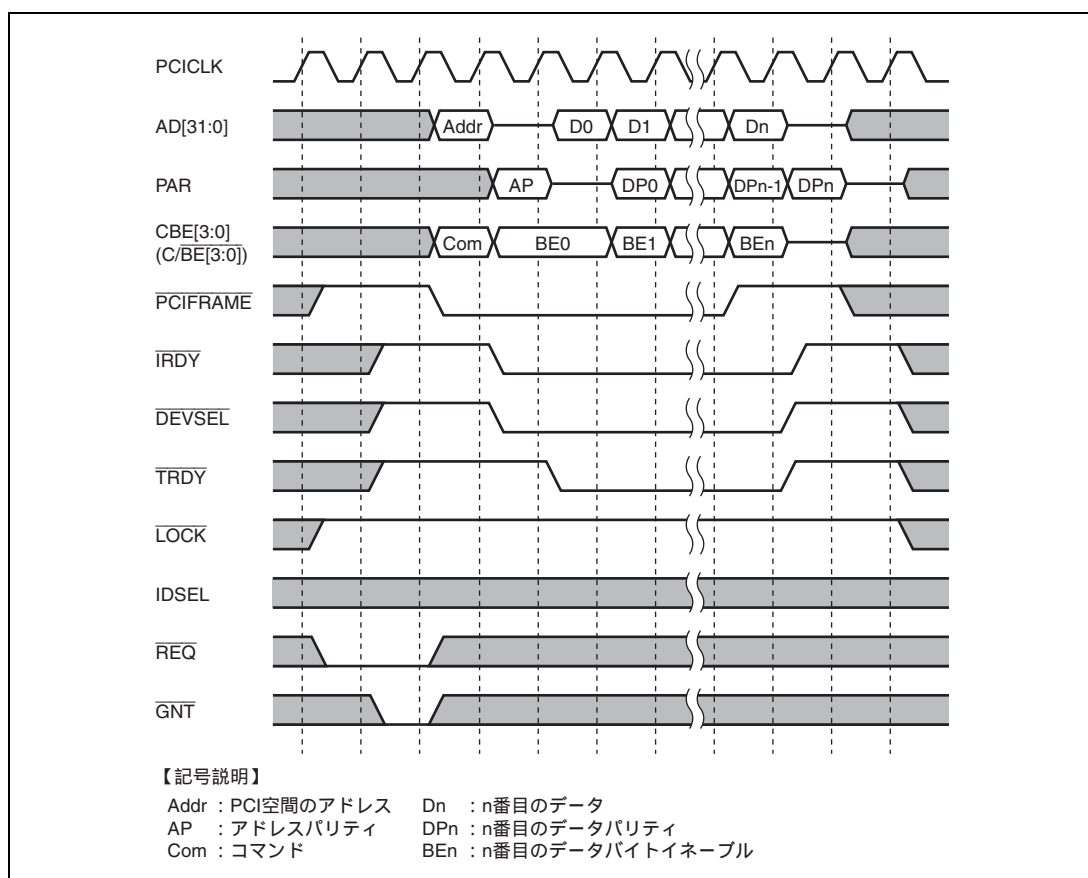


図13.20 ノーマル時マスターリードサイクル (バースト)

(2) ターゲットリード/ライトサイクルのタイミング

PCIC は、外部マスタからのターゲットメモリバーストリードアクセスに対して、PCIC 内部の FIFO に 8 ロングワードのデータが準備できるまでリトライで応答します。つまり初めてのターゲットメモリバーストリードアクセスには必ずリトライで応答します。シングルメモリリードアクセスに対しては、データが準備でき次第応答します。

また、PCIC に対するターゲットメモリライトアクセスがあった場合、ライトされたデータがローカルメモリに完全に書き込まれるまでは、ターゲットメモリライトしたデータを直後にターゲットリードする場合、そのデータの内容は保証されます。

コンフィグレーション空間および I/O 空間に対するターゲットアクセスはシングル転送のみです。バーストアクセス要求があった場合には、1 つ目の転送が終了した時点でディスコネクトします。なお、PCIC に対するターゲットアクセスでは、 $\overline{\text{DEVSEL}}$ の応答速度は 2 クロック (中速) に固定されています。

図 13.21 にノーマルモードでのターゲットシングルリードサイクル例を、図 13.22 にノーマルモードでのターゲットシングルライトサイクル例を、図 13.23 にホストモードでのターゲットバーストリードサイクル例を、図 13.24 にホストモードでのターゲットバーストライトサイクル例を示します。

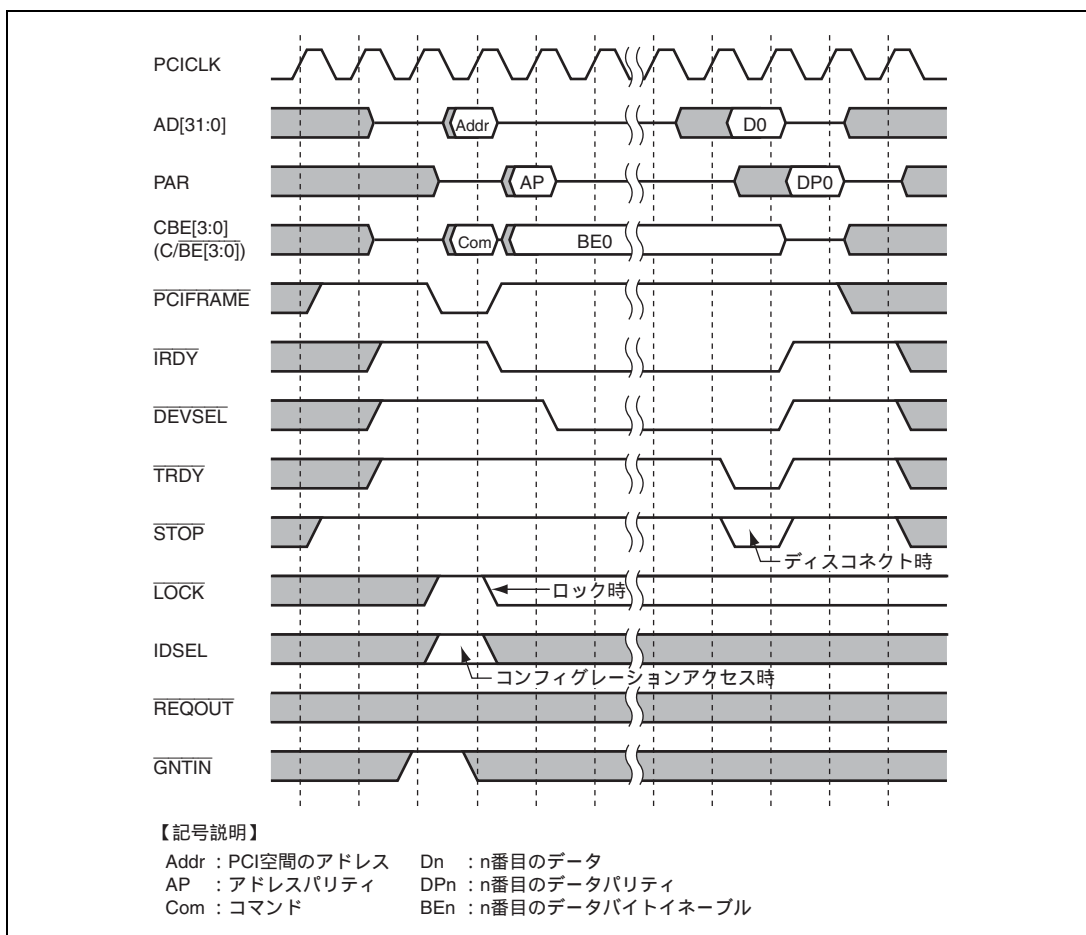


図13.21 ノーマル時ターゲットリードサイクル(シングル)

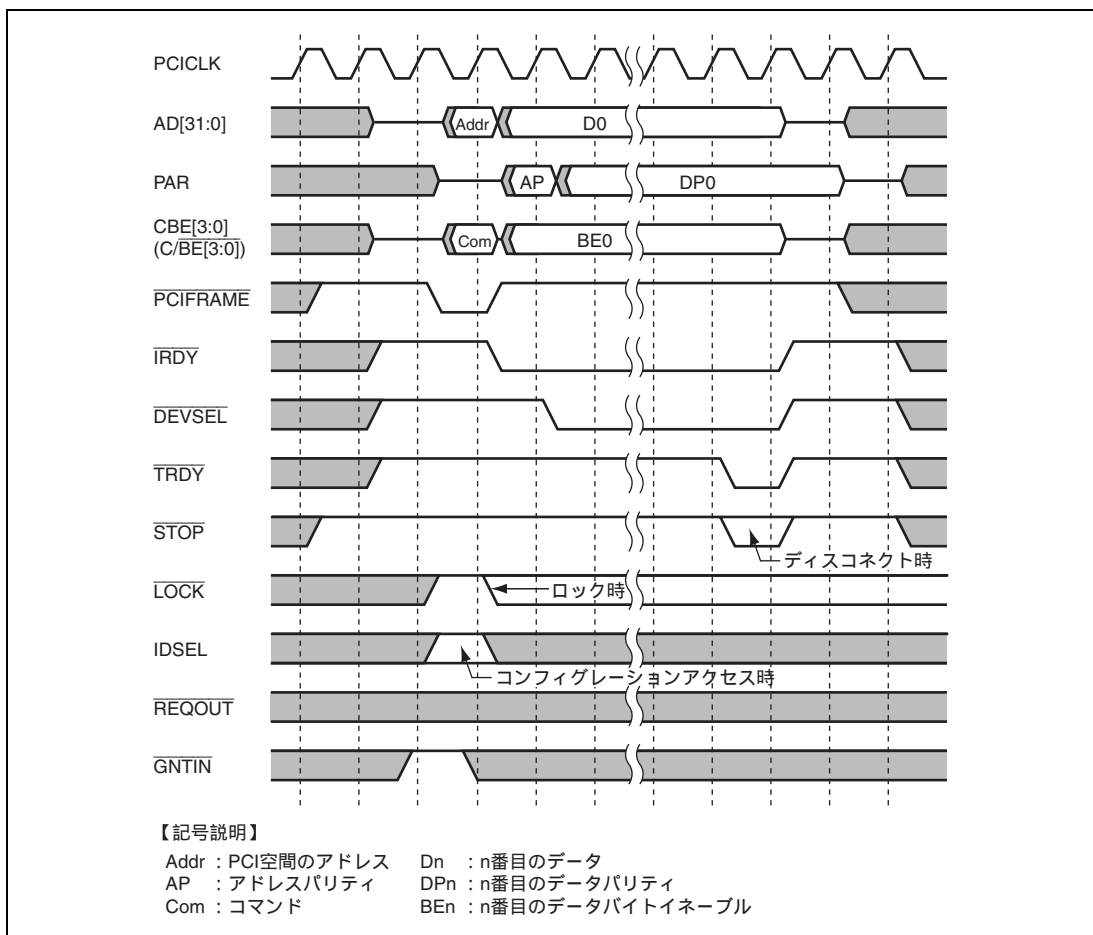


図13.22 ノーマル時ターゲットライトサイクル(シングル)

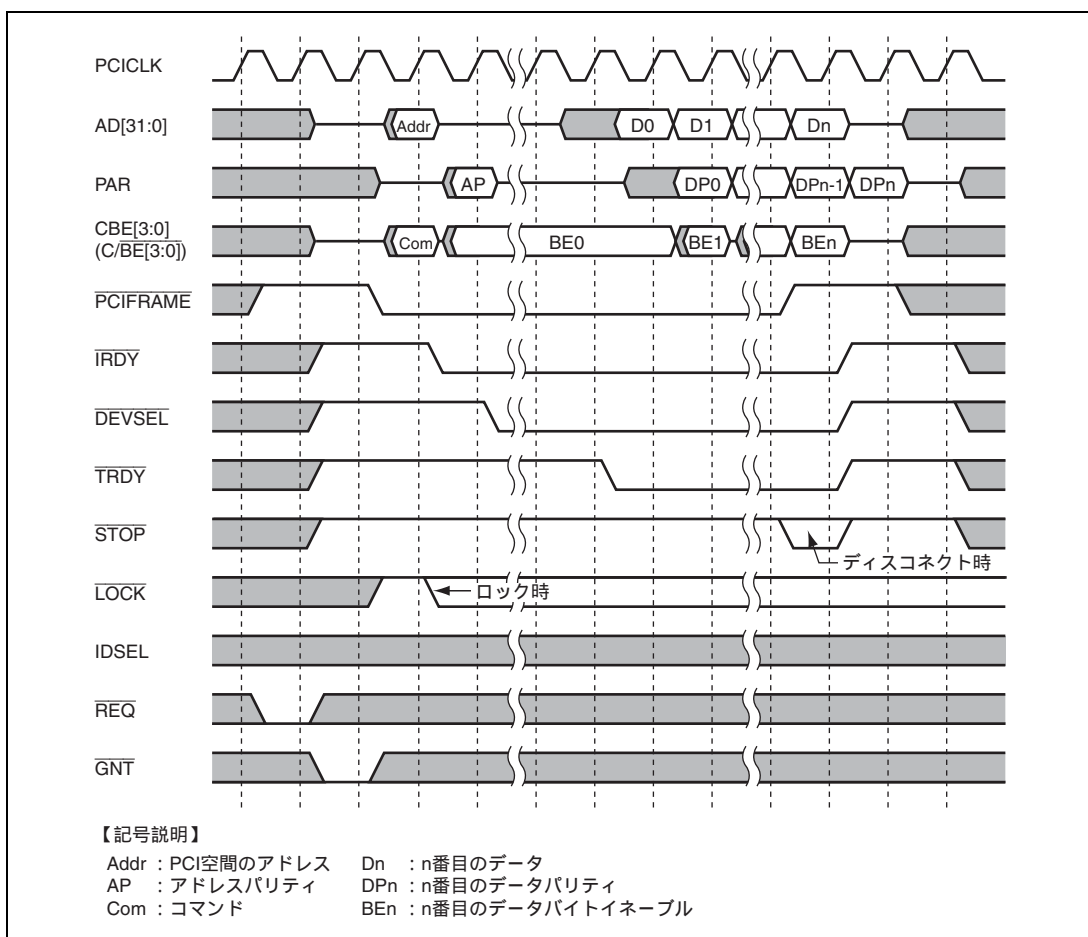


図13.23 ホスト時ターゲットメモリリードサイクル (バースト)

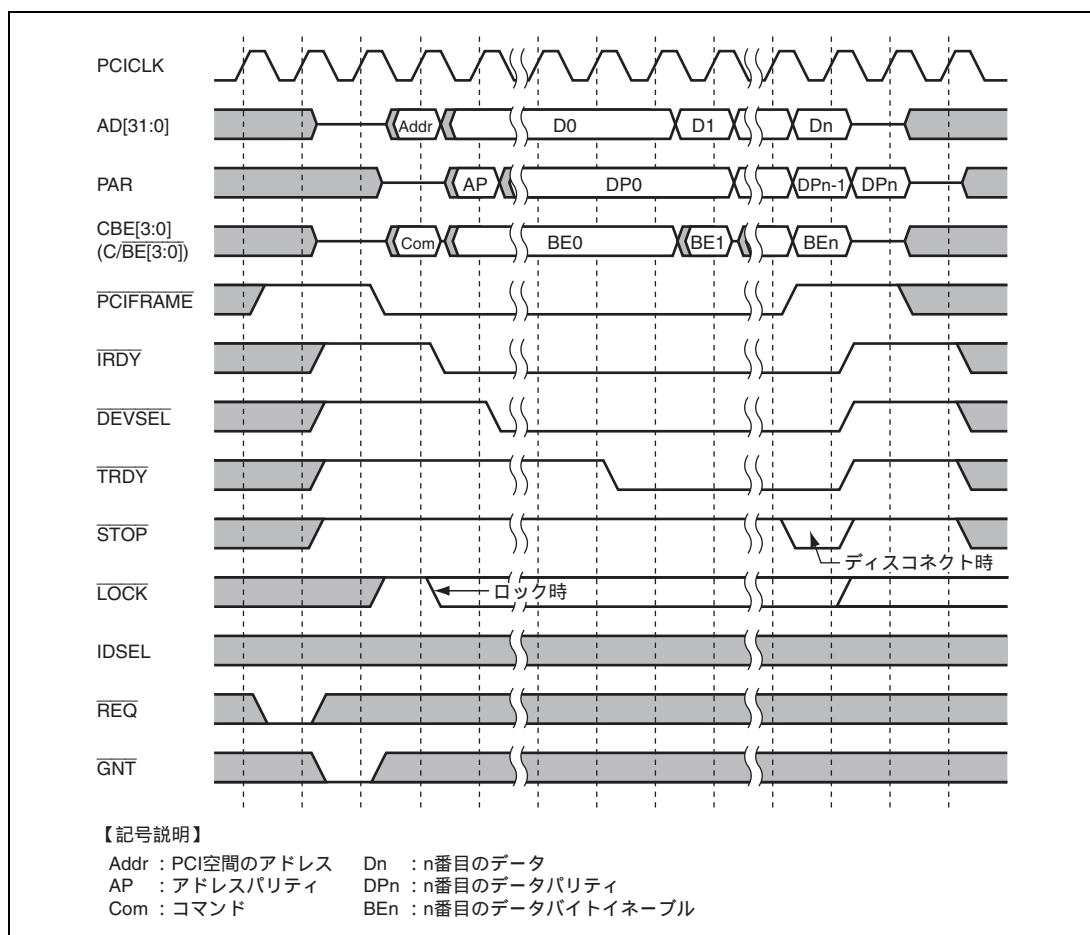


図13.24 ホスト時ターゲットメモリライトサイクル(バースト)

(3) アドレス/データステッピングのタイミング

PCICは、PCICMDレジスタのWCCビットを1にすることにより、PCICがADバスをドライブする際、1クロックのウェイト(ステッピング)を挿入することができます。これにより、PCICは2クロックかけてADバスをドライブすることになります。PCIバスの負荷が重く、1クロックでADバスが規定の論理レベルに達しない環境で使用します。また、PCICがホストモード時、コンフィグレーション転送を発行する際にも、使用することを推奨します。

図13.25にアドレスステッピングありの場合のバーストメモリライトサイクル例を、図13.26にアドレスステッピングありの場合のターゲットバーストリードサイクル例を示します。

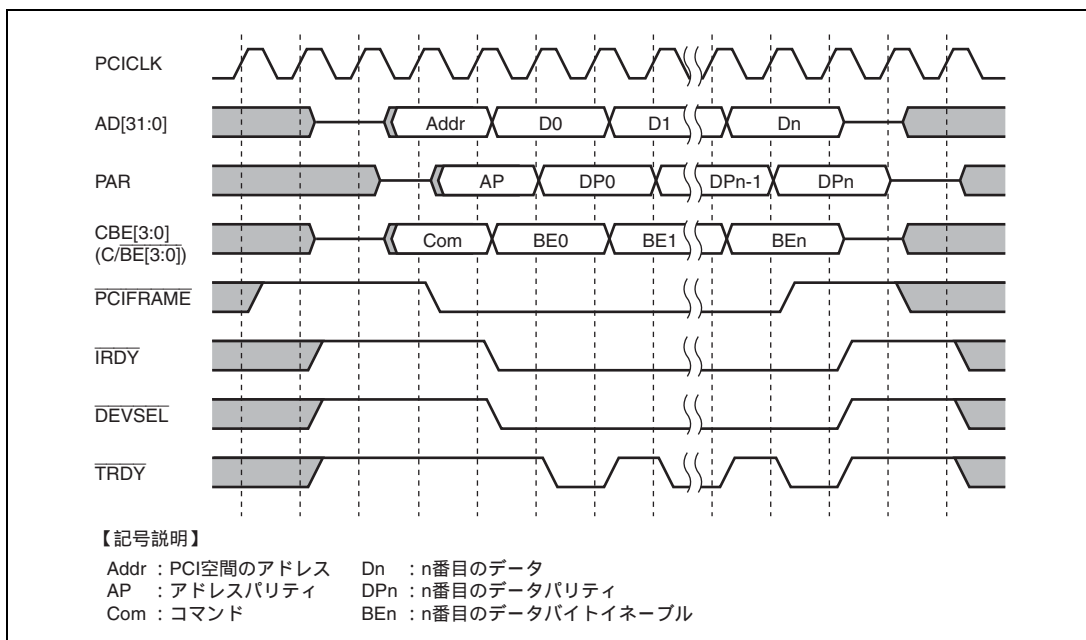


図13.25 ホスト時マスタライトサイクル (バースト、ステッピングあり)

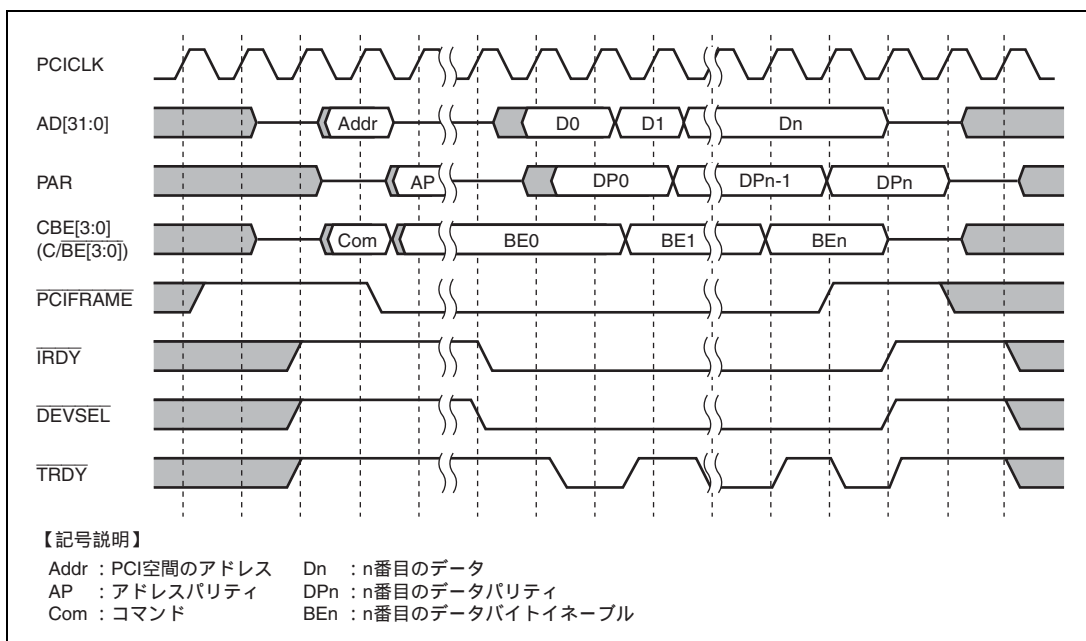


図13.26 ホスト時ターゲットメモリアドレスリードサイクル (バースト、ステッピングあり)

13.5 使用上の注意事項

13.5.1 PCIC ターゲットリード使用時の注意事項

本 PCIC を、ターゲットモードで、下記 1.~3.の条件をすべて満たして使用している場合、PCIC ターゲットリード時のデータが欠落することがあります。

1. PCICR.PFCS=1 (32バイトプリフェッチイネーブル)
2. PCICR.FTO=1 ($\overline{\text{TRDY}}$ コントロールイネーブル)
3. PCICR.PFE=1 (プリフェッチイネーブル)

ターゲットモードで、ターゲットリードを使用する場合は、上記 3 条件の内 1 つ以上を除いた状態で使用してください。

13.5.2 ホストモード使用時の注意事項

本 LSI の PCIC を、下記条件 1.~5.をすべて満たして使用している場合、もっとも優先順位の低い $\overline{\text{REQ}}_n$ ($n = 3 \sim 1$) がマスクされ、PCI バスでの転送が正しく行われなくなり、その結果、PCI バスシステムの動作が不安定になります。

1. ホストモード (MD6 = ハイレベル)
2. PCIバスアービトラクションを優先順位固定に設定 (PCICR.BMAN = 0)。
3. PCIバスに本LSI (PCICはホストモード) 以外に2つ以上のマスタとなりえる外部PCIデバイスを接続。
4. 上記外部デバイスのうち、シングルトランザクション要求時 (シングルおよびバースト転送)、 $\overline{\text{REQ}}$ のネゲートと $\overline{\text{FRAME}}$ のアサートを同時に行わないデバイス ($\overline{\text{REQ}}_m$) が少なくとも1つ存在する。
5. 4.の条件を満たす外部デバイス ($\overline{\text{REQ}}_m$) より優先順位が低いマスタとなりえる外部デバイス ($\overline{\text{REQ}}_n$, $n > m$) がある。

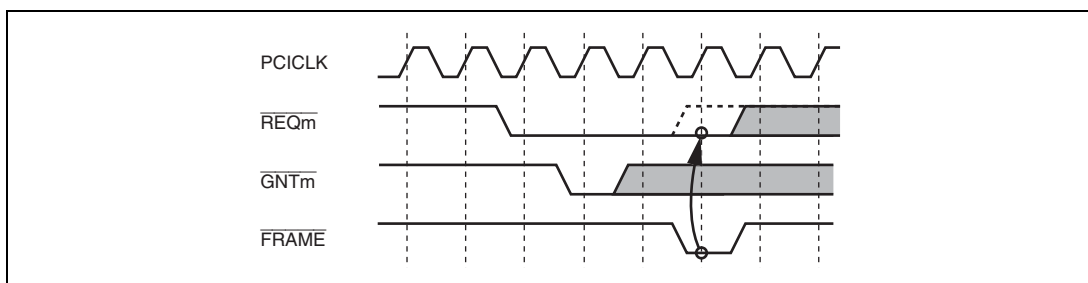


図 13.27 $\overline{\text{REQ}}$ のネゲートと $\overline{\text{FRAME}}$ のアサートを同時に行わないデバイス ($\overline{\text{REQ}}_m$) のタイミング例

$\overline{\text{REQ}}$ のネゲートと $\overline{\text{FRAME}}$ のアサートが同時でないデバイスがバスマスタとなりえる場合 (図 13.27)、下記の 1. または 2. のいずれか一方の回避策を行ってください。

1. 擬似ラウンドロビンモードを使用

PCIバスアービトラーションの優先順位は、擬似ラウンドロビン (PCICR.BMAM = 1) に設定してください。

2. 該当するタイミングのデバイスの優先順位を一番低くする。

$\overline{\text{REQ}}$ のネゲートと $\overline{\text{FRAME}}$ のアサートが同時でないデバイスが一つの場合、そのデバイスの優先順位を一番低い $\overline{\text{REQ}}_n$ 、 $\overline{\text{GNT}}_n$ に接続してください。

なお、PCIバスに接続される外部デバイスすべてが該当するタイミングでない場合や、該当するタイミングのデバイスがバスマスタとなることがない場合には、本回避策は不要です。

13.5.3 PCIC マスタアクセス時のパリティエラー検出について

PCIC がマスタリードアクセス時に $\overline{\text{TRDY}}$ アサート中のデータパリティエラー検出ができない場合があります。

【条件】

下記条件すべてを満たすとき、データパリティエラー検出ができません。

$\overline{\text{PERR}}$ をアサートせず、検出ビットも立たないため、未検出と同じ動作となります。

• PCIC (マスタ) 動作条件

1. PCIコマンドレジスタのPERビットに1を設定 (検出したパリティエラーに応答する)
2. マスタメモリリードサイクル

• 外部PCIデバイス (ターゲット) 動作条件

1. ターゲット・イニシエーテッド・ディスコネクト (データあり) : $\overline{\text{STOP}}$ アサート

【システムでの影響】

ターゲット・イニシエーテッド・ディスコネクト (データあり) において、ディスコネクトされたデータフェーズのパリティエラーが検出されず $\overline{\text{PERR}}$ がアサートされません。上記条件のうち1つでも満たさない場合は正常にパリティエラーを判定いたします。

マスタリードアクセス時において本現象が問題になる場合があります (ターゲット・データ・パリティエラー)。

【回避策】

本不具合に対する PCIC による回避策はありません。

13.5.4 PCIC ターゲットアクセス時のアクセス制限について

PCIC に関して、ターゲットアクセス時に、以下の制限事項があります。

【内容】

PCIC を用いて、PCI バスと SH ローカルバス (LBSC) の間でデータを転送するために、外部 PCI デバイスがバスマスタになり、メモリリード / メモリライトコマンドにより、ターゲットライト転送もしくはターゲットリード転送を行った場合、SH ローカルバス (LBSC) へ正しくデータが転送できない場合があります。また、正しくデータ転送できないだけでなく、ターゲットアポートで終了する場合があります。

ターゲット I/O アクセスやコンフィグレーションアクセスの場合は、PCI バスと SH ローカルバス (LBSC) の間でのデータ転送はできませんので、本不具合は発生しません。

【発生条件】

下記条件 1、2 または 3 において、PCI バスと SH ローカルバス (LBSC) の間で正しくデータを転送できません。

- 条件1：下記 (1-a) ~ (1-c) のすべてを満たす場合

(1-a) PCIC に対するターゲットメモリライトアクセスもしくはターゲットメモリリードアクセス

(1-b) PCI バス上の転送がシングルアクセス

(1-c) $\overline{C/BE}$ (データ転送中のバイトイネーブル) の組み合わせが、以下の組み合わせ以外の場合

$\overline{C/BE}[3:0] = \text{LLLL} / \text{LLHH} / \text{HHLL} / \text{LHHH} / \text{HLHH} / \text{HHLH} / \text{HHHL}$ (H : ハイレベル、L : ローレベル)

- 条件2：下記 (2-a) ~ (2-c) のすべてを満たす場合

(2-a) PCIC に対するターゲットメモリライトアクセス

(2-b) PCI バス上の転送がバーストアクセス

(2-c) 以下の項目 i) ~ iii) のうち、1 つ以上の項目に該当する場合

i) 開始アドレス 16バイト境界以外のとき

ii) 終了アドレス 16バイト境界以外のとき

iii) $\overline{C/BE}$ (データ転送中のバイトイネーブル) の組み合わせが、以下の組み合わせ以外の場合

$\overline{C/BE}[3:0] = \text{LLLL}$ (H : ハイレベル、L : ローレベル)

- 条件3：下記 (3-a) ~ (3-d) のすべてを満たす場合

(3-a) PCIC に対するターゲットメモリリードアクセス

(3-b) PCI バス上の転送がバーストアクセス

(3-c) PCI コントロールレジスタの PFE ビットが 1 かつ PFCS ビットが 1 のとき

(3-d) 以下の項目 i) ~ iii) のうち、1 つ以上の項目に該当する場合

i) 開始アドレス 16バイト境界以外のとき

ii) 終了アドレス 16バイト境界以外のとき

iii) $\overline{C/BE}$ (データ転送中のバイトイネーブル) の組み合わせが、以下の組み合わせ以外の場合

$\overline{C/BE}[3:0] = \text{LLLL}$ (H : ハイレベル、L : ローレベル)

【回避方法】

以下の(1)～(4)のいずれかの方法で回避が可能です。

ターゲットリードアクセスでバーストアクセスを行う場合は、以下の(5)の方法でも回避が可能です。

- (1) 内蔵 DMAC によるマスタ転送の場合、本不具合は発生しないため、内蔵 DMAC を用いて、PCI バスと SH ローカルバス (LBSC) の間の転送を行う。
- (2) PCIC に対するターゲット転送時にはバーストアクセス転送を行わずシングルアクセス転送のみ実行する。
ただし、 $\overline{C/BE}[3:0]$ (データ転送中のバイトイネーブル) の組み合わせとしては、LLLL/LLHH/HHLL/LHHH/HLHH/HHLH/HHHL のみ使用可能 (H: ハイレベル、L: ローレベル)。
- (3) PCIC に対するターゲット転送時にバーストアクセス転送を行う場合には、開始アドレスと終了アドレスを 16 バイト境界に設定し、かつ $\overline{C/BE}$ (データ転送中のバイトイネーブル) の組み合わせは LLLL (すべてローレベル) とする。
- (4) PCI バスから DDR-SDRAM 空間もしくは SuperHyway メモリ空間へデータ転送を行う場合には、本不具合は発生しないので、PCI バスと SH ローカルバス (LBSC) の間のデータ転送を行う場合、DDR-SDRAM 空間もしくは SuperHyway メモリ空間を経由して、データを転送する。
- (5) ターゲットリードアクセスでバーストアクセスを行う場合は、PCI コントロールレジスタの PFE ビットもしくは PFCS ビットを 0 に設定する。

14. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (DMA 転送終了通知) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

14.1 特長

- チャンネル数：6チャンネル (うちチャンネル0~3は外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト、32バイト
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：
 - 外部リクエスト (チャンネル0~3)、内蔵周辺モジュールリクエスト (チャンネル0~5)、オートリクエストの3種類から選択可能。
 - 内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。
 - CMT、SCIF0~SCIF2、HAC、USBF、SSI0~SSI3、MMCIF、SIM、SIOF0~SIOF2、STIF0、STIF1
- バスモード：
 - サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- DMA転送要求受け付け信号 (\overline{DACK}) およびDMA転送終了信号 (\overline{TEND}) はアクティブレベルを設定可能

DMAC のブロック図を図 14.1 に示します。

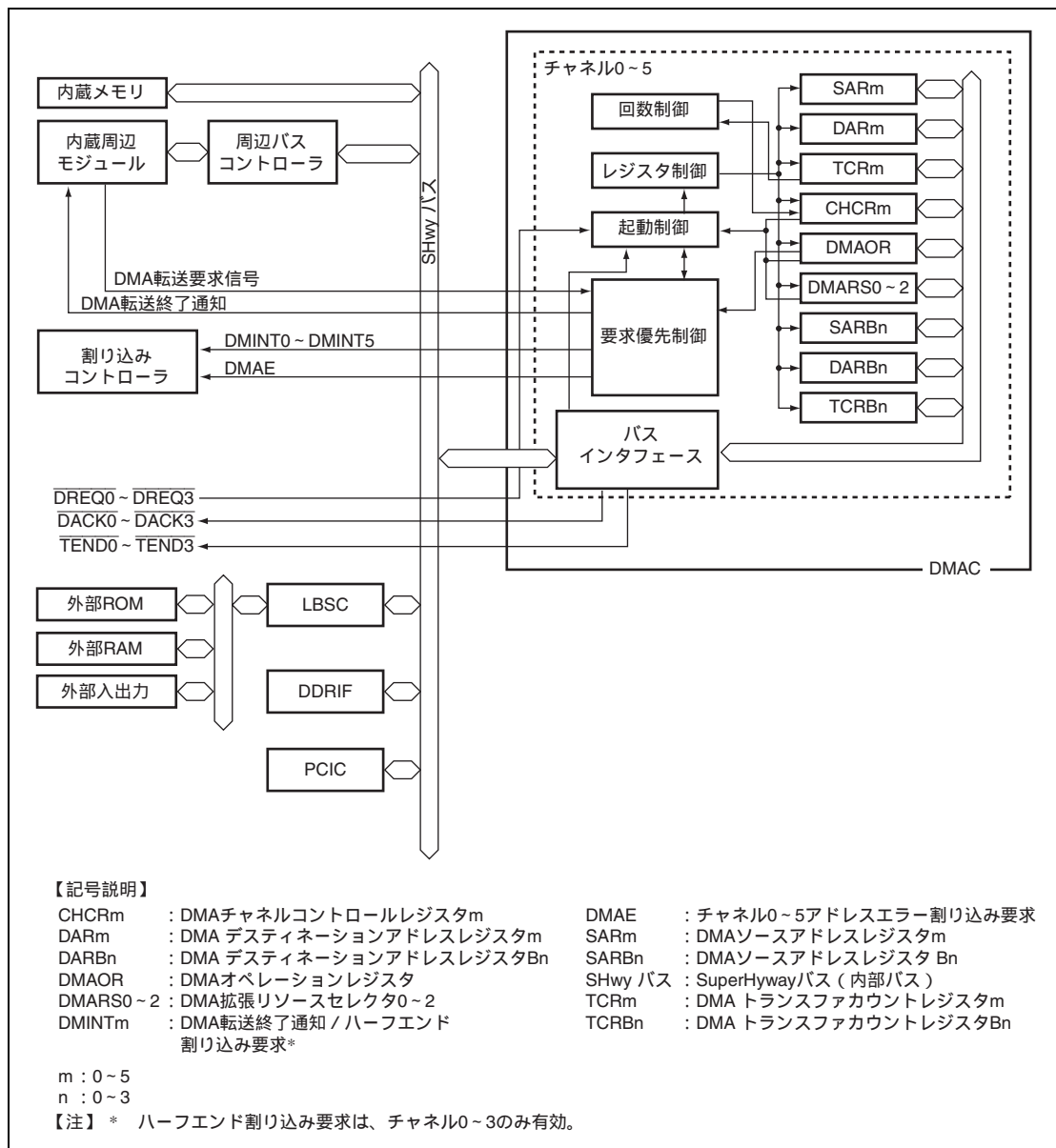


図 14.1 DMAC ブロック図

14.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 14.1 に示します。DMAC としては、外部バス用に 4 チャンネル分の端子 (チャンネル 0~3) を持ちます。

チャンネル 1 の入出力端子は、通常入出力グループとミラー入出力グループの 2 つの端子グループがあります。どちらの端子グループも常に同じ入出力動作をします。チャンネル 1 の端子の選択は、GPIO のピンセレクトレジスタで行います。

表 14.1 外部バスに対する端子構成

チャンネル		名称	略称	入出力	機能
0		DMA 転送要求	$\overline{DREQ0}^{*1}$	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
		DMA 転送要求受け付け	$\overline{DACK0}^{*2}$	出力	チャンネル 0 から外部デバイスへの DMA 転送要求に対するストロブを出力
		DMA 転送終了通知	$\overline{TEND0}^{*2}$	出力	チャンネル 0 から外部デバイスへの DMA 転送終了出力
1	通常 入出力 端子	DMA 転送要求	$\overline{DREQ1}^{*1}$	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
		DMA 転送要求受け付け	$\overline{DACK1}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送要求に対するストロブを出力
		DMA 転送終了通知	$\overline{TEND1}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送終了出力
	ミラー 入出力 端子	DMA 転送要求	$\overline{DREQ1M}^{*1}$	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
		DMA 転送要求受け付け	$\overline{DACK1M}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送要求に対するストロブを出力
		DMA 転送終了通知	$\overline{TEND1M}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送終了出力
2		DMA 転送要求	$\overline{DREQ2}^{*1}$	入力	外部デバイスからチャンネル 2 への DMA 転送要求入力
		DMA 転送要求受け付け	$\overline{DACK2}^{*2}$	出力	チャンネル 2 から外部デバイスへの DMA 転送要求に対するストロブを出力
		DMA 転送終了通知	$\overline{TEND2}^{*2}$	出力	チャンネル 2 から外部デバイスへの DMA 転送終了出力
3		DMA 転送要求	$\overline{DREQ3}^{*1}$	入力	外部デバイスからチャンネル 3 への DMA 転送要求入力
		DMA 転送要求受け付け	$\overline{DACK3}^{*2}$	出力	チャンネル 3 から外部デバイスへの DMA 転送要求に対するストロブを出力
		DMA 転送終了通知	$\overline{TEND3}^{*2}$	出力	チャンネル 3 から外部デバイスへの DMA 転送終了出力

【注】 *1 初期値はローレベル検出です。

*2 初期値はローアクティブです。

14.3 レジスタの説明

DMAC のレジスタ構成を表 14.2 に示します。また、各処理モードにおけるレジスタの状態を表 14.3 に示します。

表 14.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ ^{*3}
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FF60 8020	H'1F60 8020	32
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	H'FF60 8024	H'1F60 8024	32
	DMA トランスファカウンタレジスタ 0	TCR0	R/W	H'FF60 8028	H'1F60 8028	32
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W ^{*1}	H'FF60 802C	H'1F60 802C	32
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'FF60 8030	H'1F60 8030	32
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	H'FF60 8034	H'1F60 8034	32
	DMA トランスファカウンタレジスタ 1	TCR1	R/W	H'FF60 8038	H'1F60 8038	32
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W ^{*1}	H'FF60 803C	H'1F60 803C	32
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FF60 8040	H'1F60 8040	32
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	H'FF60 8044	H'1F60 8044	32
	DMA トランスファカウンタレジスタ 2	TCR2	R/W	H'FF60 8048	H'1F60 8048	32
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W ^{*1}	H'FF60 804C	H'1F60 804C	32
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FF60 8050	H'1F60 8050	32
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	H'FF60 8054	H'1F60 8054	32
	DMA トランスファカウンタレジスタ 3	TCR3	R/W	H'FF60 8058	H'1F60 8058	32
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W ^{*1}	H'FF60 805C	H'1F60 805C	32
0-5 共通	DMA オペレーションレジスタ	DMAOR	R/W ^{*2}	H'FF60 8060	H'1F60 8060	16
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FF60 8070	H'1F60 8070	32
	DMA デスティネーションアドレスレジスタ 4	DAR4	R/W	H'FF60 8074	H'1F60 8074	32
	DMA トランスファカウンタレジスタ 4	TCR4	R/W	H'FF60 8078	H'1F60 8078	32
	DMA チャンネルコントロールレジスタ 4	CHCR4	R/W ^{*1}	H'FF60 807C	H'1F60 807C	32
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FF60 8080	H'1F60 8080	32
	DMA デスティネーションアドレスレジスタ 5	DAR5	R/W	H'FF60 8084	H'1F60 8084	32
	DMA トランスファカウンタレジスタ 5	TCR5	R/W	H'FF60 8088	H'1F60 8088	32
	DMA チャンネルコントロールレジスタ 5	CHCR5	R/W ^{*1}	H'FF60 808C	H'1F60 808C	32
0	DMA ソースアドレスレジスタ B0	SARB0	R/W	H'FF60 8120	H'1F60 8120	32
	DMA デスティネーションアドレスレジスタ B0	DARB0	R/W	H'FF60 8124	H'1F60 8124	32
	DMA トランスファカウンタレジスタ B0	TCRB0	R/W	H'FF60 8128	H'1F60 8128	32

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ*3
1	DMA ソースアドレスレジスタ B1	SARB1	R/W	H'FF60 8130	H'1F60 8130	32
	DMA デスティネーションアドレスレジスタ B1	DARB1	R/W	H'FF60 8134	H'1F60 8134	32
	DMA トランスファカウンタレジスタ B1	TCRB1	R/W	H'FF60 8138	H'1F60 8138	32
2	DMA ソースアドレスレジスタ B2	SARB2	R/W	H'FF60 8140	H'1F60 8140	32
	DMA デスティネーションアドレスレジスタ B2	DARB2	R/W	H'FF60 8144	H'1F60 8144	32
	DMA トランスファカウンタレジスタ B2	TCRB2	R/W	H'FF60 8148	H'1F60 8148	32
3	DMA ソースアドレスレジスタ B3	SARB3	R/W	H'FF60 8150	H'1F60 8150	32
	DMA デスティネーションアドレスレジスタ B3	DARB3	R/W	H'FF60 8154	H'1F60 8154	32
	DMA トランスファカウンタレジスタ B3	TCRB3	R/W	H'FF60 8158	H'1F60 8158	32
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FF60 9000	H'1F60 9000	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FF60 9004	H'1F60 9004	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FF60 9008	H'1F60 9008	16

【注】 *1 CHCR の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。フラグをクリアしない場合、常に 1 を書き込んでください。

*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。フラグをクリアしない場合、常に 1 を書き込んでください。

*3 指定アクセスサイズ以外のアクセスは行わないでください。

表 14.3 各処理状態におけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
0	DMA ソースアドレスレジスタ 0	SAR0	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 0	DAR0	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 0	TCR0	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 0	CHCR0	H'4000 0000	H'4000 0000	保持	保持
1	DMA ソースアドレスレジスタ 1	SAR1	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 1	DAR1	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 1	TCR1	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 1	CHCR1	H'4000 0000	H'4000 0000	保持	保持
2	DMA ソースアドレスレジスタ 2	SAR2	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 2	DAR2	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 2	TCR2	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 2	CHCR2	H'4000 0000	H'4000 0000	保持	保持
3	DMA ソースアドレスレジスタ 3	SAR3	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 3	DAR3	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 3	TCR3	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 3	CHCR3	H'4000 0000	H'4000 0000	保持	保持

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
0-5 共通	DMA オペレーションレジスタ	DMAOR	H'0000	H'0000	保持	保持
4	DMA ソースアドレスレジスタ 4	SAR4	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 4	DAR4	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 4	TCR4	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 4	CHCR4	H'4000 0000	H'4000 0000	保持	保持
5	DMA ソースアドレスレジスタ 5	SAR5	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 5	DAR5	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 5	TCR5	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 5	CHCR5	H'4000 0000	H'4000 0000	保持	保持
0	DMA ソースアドレスレジスタ B0	SARB0	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B0	DARB0	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B0	TCRB0	不定	不定	保持	保持
1	DMA ソースアドレスレジスタ B1	SARB1	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B1	DARB1	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B1	TCRB1	不定	不定	保持	保持
2	DMA ソースアドレスレジスタ B2	SARB2	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B2	DARB2	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B2	TCRB2	不定	不定	保持	保持
3	DMA ソースアドレスレジスタ B3	SARB3	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B3	DARB3	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B3	TCRB3	不定	不定	保持	保持
0/1	DMA 拡張リソースセクタ 0	DMARS0	H'0000	H'0000	保持	保持
2/3	DMA 拡張リソースセクタ 1	DMARS1	H'0000	H'0000	保持	保持
4/5	DMA 拡張リソースセクタ 2	DMARS2	H'0000	H'0000	保持	保持

14.3.1 DMA ソースアドレスレジスタ 0~5 (SAR0~SAR5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

SAR の初期値は不定です。

14.3.2 DMA ソースアドレスレジスタ B0~3 (SARB0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

SARB の初期値は不定です。

14.3.3 DMA デスティネーションアドレスレジスタ 0~5 (DAR0~DAR5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DAR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DAR の初期値は不定です。

14.3.4 DMA デスティネーションアドレスレジスタ B0~3 (DARB0~DARB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DARB は、読み出し/書き込み可能な 32 ビットのレジスタで、リピート/リロードモードで DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DAR への書き込みデータが DARB にも書き込まれます。DAR と異なるアドレスを設定したい場合は、DAR 書き込み後に DARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DARB の初期値は不定です。

14.3.5 DMA トランスファカウンタレジスタ 0~5 (TCR0~TCR5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

TCR のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

TCR の初期値は不定です。

14.3.6 DMA トランスファカウンタレジスタ B0~3 (TCRB0~TCRB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU からの TCR への書き込みデータが TCRB にも書き込まれます。ハーフエンド機能使用時はハーフエンド検出に使用する初期値保持レジスタとして用いられます。また本レジスタは、リピートモードで TCR に再設定する DMA 転送回数を指定します。リロードモードでは DMA 転送回数の設定および転送回数カウンタとして用いられます。

リロードモードにおいて、ビット 7~0 は転送回数カウンタとして動作し、値が 0 になると SAR / DAR が更新され、TCRB のビット 23~16 がビット 7~0 にロードされます。ビット 23~16 はリロードするまでの転送回数を設定してください。リロードモード使用時、ビット 23~16 とビット 7~0 は同じ値を設定し、ビット 15~8 は 0 を設定してください。また、リロードモード使用時は、CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用しないでください。

TCRB のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

TCRB の初期値は不定です。

14.3.7 DMA チャンネルコントロールレジスタ 0~5 (CHCR0~CHCR5)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT[2:0]			—	DO	—	DVMD	TS[2]	HE	HIE	AM	AL
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	LCKN	1	R/W	バスロック信号抑止ビット SHwy バス読み出し命令時に SHwy バスロック信号の出力 / 抑止を設定します。本ビットはサイクルスチールモード実行時に有効となります。バーストモード実行時には0を設定してください。 SHwy バスロック信号を抑止することにより、DMAC 以外のバスマスタのバス要求が受け付けられません。これにより、システム全体のバス使用効率をあげることが可能です。 0 : バスロック信号出力許可 1 : バスロック信号出力抑止
29、28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27~25	RPT[2:0]	すべて0	R/W	DMA 設定更新指定ビット 本ビットは CHCR0 ~ CHCR3 でのみ有効となります。 000 : 通常モード 001 : リピートモード : SAR/DAR/TCR をリピートします 010 : リピートモード : DAR/TCR をリピートします 011 : リピートモード : SAR/TCR をリピートします 100 : リザーブ (設定禁止) 101 : リロードモード : SAR/DAR/TCR をリロードします 110 : リロードモード : DAR/TCR をリロードします 111 : リロードモード : SAR/TCR をリロードします
24	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
23	DO	0	R/W	<p>DMA オーバラン</p> <p>$\overline{\text{DREQ}}$ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは CHCR0 ~ CHCR3 でのみ有効です。</p> <p>0 : $\overline{\text{DREQ}}$ をオーバラン 0 で検出</p> <p>1 : $\overline{\text{DREQ}}$ をオーバラン 1 で検出</p>
22	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
21	DVMD	0	R/W	<p>分割転送モード指定</p> <p>STIF 内蔵周辺モジュールとの間で、16 バイト単位の DMA 転送を実行することを指定します。</p> <p>STIF を使用する場合は、必ず 1 に設定してください。STIF を使用しない場合は、必ず 0 に設定してください。</p>
20	TS[2]	0	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[1:0] と合わせて DMA 転送サイズの設定を行います。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズとアクセスサイズを合わせてください。転送元または転送先として SAR または DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。</p> <p>TS[2:0]</p> <p>000 : バイト単位</p> <p>001 : ワード (2 バイト) 単位</p> <p>010 : ロングワード (4 バイト) 単位</p> <p>011 : 16 バイト単位</p> <p>100 : 32 バイト単位</p> <p>上記以外 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
19	HE	0	R/(W)*	<p>ハーフエンドフラグビット</p> <p>HIE (ビット 18) に 1 を設定し、転送回数が転送開始前に設定した TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。</p> <ul style="list-style-type: none"> • 偶数回のときは、(転送前にセットした TCR) ÷ 2 で HE は 1 にセット • 奇数回のときは、(転送前にセットした TCR - 1) ÷ 2 で HE は 1 にセット • 最大転送回数のときは、8,388,608 回 (H'0080 0000) で HE は 1 にセット <p>転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出してから 0 を書き込む必要があります。ただし、HE ビットをクリアしない場合、常に 1 を書き込んでください。本ビットは CHCR0 ~ CHCR3 でのみ有効となります。</p> <p>0 : DMA 転送中または DMA 転送中断で、 TCR > (転送前にセットした TCR) ÷ 2 [クリア条件] HE ビットの 1 読み出し後、0 書き込み 1 : TCR = (転送前にセットした TCR) ÷ 2</p>
18	HIE	0	R/W	<p>ハーフエンドイネーブルビット</p> <p>転送回数が、転送開始前にセットした TCR の値が 1/2 になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR0 ~ CHCR3 でのみ有効となります。</p> <p>0 : ハーフエンド割り込みを禁止 1 : ハーフエンド割り込みを許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、\overline{DACK} をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。本ビットは CHCR0 ~ CHCR3 でのみ有効です。</p> <p>0 : 読み出しサイクルで \overline{DACK} を出力 1 : 書き込みサイクルで \overline{DACK} を出力</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK および TEND 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR0 ~ CHCR3 でのみ有効です。</p> <p>0 : DACK および TEND をローアクティブ出力 1 : DACK および TEND をハイアクティブ出力</p>

ビット	ビット名	初期値	R/W	説明
15、14	DM[1:0]	すべて 0	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定</p> <p>01 : デスティネーションアドレスは増加</p> <p> バイト単位転送時は + 1</p> <p> ワード単位転送時は + 2</p> <p> ロングワード単位転送時は + 4</p> <p> 16 バイト単位転送時は + 16</p> <p> 32 バイト単位転送時は + 32</p> <p>10 : デスティネーションアドレスは減少</p> <p> バイト単位転送時は - 1</p> <p> ワード単位転送時は - 2</p> <p> ロングワード単位転送時は - 4</p> <p> 16 / 32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p>
13、12	SM[1:0]	すべて 0	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します。</p> <p>00 : ソースアドレスは固定</p> <p>01 : ソースアドレスは増加</p> <p> バイト単位転送時は + 1</p> <p> ワード単位転送時は + 2</p> <p> ロングワード単位転送時は + 4</p> <p> 16 バイト単位転送時は + 16</p> <p> 32 バイト単位転送時は + 32</p> <p>10 : ソースアドレスは減少</p> <p> バイト単位転送時は - 1</p> <p> ワード単位転送時は - 2</p> <p> ロングワード単位転送時は - 4</p> <p> 16 / 32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	すべて 0	R/W	リソースセレクト 転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。 0000 : 外部リクエスト、デュアルアドレスモード 0100 : オートリクエスト 1000 : 内蔵周辺モジュールリクエスト DMA 拡張リソースセクタ (DMARS0~2) で選択 上記以外 : 設定禁止 【注】 外部リクエストの指定は CHCR0~CHCR3 でのみ有効です。 CHCR4、CHCR5 では外部リクエスト指定は設定禁止です。
7 6	DL DS	0 0	R/W R/W	DREQ レベル、DREQ エッジセレクト DREQ 入力の検出方法と、検出レベルを選択します。 本ビットは CHCR0~CHCR3 でのみ有効です。またチャンネル 0~3 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。 00 : ローレベル検出 01 : 立ち下がりエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出
5	TB	0	R/W	トランスファバスモード DMA 転送のバスモードを選択します。 0 : サイクルスチールモード 1 : パーストモード 内蔵周辺モジュールリクエストを設定したときはサイクルスチールモードとしてください。
4、3	TS[1:0]	すべて 0	R/W	DMA 転送サイズ指定ビット TS[2] (ビット 20) の説明を御参照ください。
2	IE	0	R/W	インタラプトイネーブル DMA 最終転送時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わった時に、CPU に対し割り込み (DMINT) を要求します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMA トランスファカウンタレジスタ (TCR) の値が 0 になり (DMA 最終転送の実行を開始するとき)、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。ただし、TE ビットをクリアしない場合、常に 1 を書き込んでください。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 読み出し後、0 書き込み 1 : TCR = 0 (DMA 最終転送中または DMA 転送終了)</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 である必要があります。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 である必要があります。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p> <p>【注】 内蔵周辺モジュールリクエスト設定時に DE ビットを 0 クリアし転送を中断するときは、該当周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し/書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

DMAOR はチャンネル 0~5 の共通レジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]	-	-	PR[1:0]	-	-	-	-	-	-	-	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	CMS[1:0]	すべて0	R/W	サイクルスチールモード選択 サイクルスチールモード時に通常モードとインタミットモードを選択します。 インタミットモードを有効にするためには、全チャンネル (チャンネル 0~5) のバスモードがサイクルスチールモードであることが必要です。 00: 通常モード 01: 設定禁止 10: インタミットモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行 11: インタミットモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9, 8	PR[1:0]	すべて0	R/W	プライオリティーモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00: CH0 > CH1 > CH2 > CH3 > CH4 > CH5 01: CH0 > CH2 > CH3 > CH1 > CH4 > CH5 10: 設定禁止 11: CH0 ~ CH5 のラウンドロビンモード 【注】 ラウンドロビンモードを指定した場合、DMAOR0 に対応する全チャンネル (チャンネル 0~5) でサイクルスチールモードとバーストモードの混在はできません。
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラーが発生したことを示すフラグです。</p> <p>本ビットは、以下の条件でセットされます。</p> <ul style="list-style-type: none"> • SAR または DAR に設定された値が転送サイズ境界と不一致の場合 • 転送元または転送先が無効空間の場合 • 転送元または転送先がモジュールストップ中の場合 <p>DMAOR の AE ビットがセットされると、DMAOR に対応するチャンネル (チャンネル 0~5) の CHCR0~5 の DE ビットと DMAOR の DME ビットを 1 にセットしても、チャンネル 0~5 の DMA 転送は許可されません。</p> <p>0 : DMAC によるアドレスエラーなし</p> <p>[クリア条件] AE ビットの 1 読み出し後、0 書き込み。ただし、AE ビットをクリアしない場合、常に 1 を書き込んでください。</p> <p>1 : DMA 転送中にアドレスエラー発生</p>
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>NMI が入力されたとき、少なくとも実行中の DMA 転送の 1 転送単位までは行われます。DMAC が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし</p> <p>[クリア条件] NMIF ビットの 1 読み出し後、0 書き込み。ただし、NMIF ビットをクリアしない場合、常に 1 を書き込んでください。</p> <p>1 : NMI 割り込み発生</p> <p>【注】 NMI が入力されたとき、DMA 転送は停止します。NMI 割り込み復帰後は全チャンネルの再設定をした後、転送を開始してください。</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>DMAOR に対応する全チャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの CHCR にある TE ビットとチャンネルに対応する DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットを 0 にクリアすると DMAOR に対応する全チャンネルの DMA 転送が中断されます。</p> <p>0 : チャンネル 0~5 の DMA 転送を禁止</p> <p>1 : チャンネル 0~5 の DMA 転送を許可</p> <p>【注】 DMAOR に対応するチャンネルのいずれかで内蔵周辺モジュールリクエストを設定しているときに、DME ビットを 0 クリアし DMA 転送を中断する場合は、該当周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.9 DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、CMT、SCIF0~SCIF2、HAC、USBF、SSIO~SSI3、MMCIF、SIM、SIOF0~SIOF2、STIF0、STIF1 の転送要求を設定できます。

表 14.4 以外の MID / RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR0~5 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

- DMARS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C1MID[5:0]						C1RID[1:0]		C0MID[5:0]						C0RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C1MID[5:0]	すべて 0	R/W	DMA チャンネル 1 転送要求元モジュール ID (MID) 表 14.4 参照
9, 8	C1RID[1:0]	すべて 0	R/W	DMA チャンネル 1 転送要求元レジスタ ID (RID) 表 14.4 参照
7~2	C0MID[5:0]	すべて 0	R/W	DMA チャンネル 0 転送要求元モジュール ID5 (MID) 表 14.4 参照
1, 0	C0RID[1:0]	すべて 0	R/W	DMA チャンネル 0 転送要求元レジスタ ID (RID) 表 14.4 参照

- DMARS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C3MID[5:0]					C3RID[1:0]		C2MID[5:0]					C2RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C3MID[5:0]	すべて0	R/W	DMA チャンネル 3 転送要求元モジュール ID (MID) 表 14.4 参照
9、8	C3RID[1:0]	すべて0	R/W	DMA チャンネル 3 転送要求元レジスタ ID (RID) 表 14.4 参照
7~2	C2MID[5:0]	すべて0	R/W	DMA チャンネル 2 転送要求元モジュール ID (MID) 表 14.4 参照
1、0	C2RID[1:0]	すべて0	R/W	DMA チャンネル 2 転送要求元レジスタ ID (RID) 表 14.4 参照

- DMARS2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C5MID[5:0]					C5RID[1:0]		C4MID[5:0]					C4RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C5MID[5:0]	すべて0	R/W	DMA チャンネル 5 転送要求元モジュール ID (MID) 表 14.4 参照
9、8	C5RID[1:0]	すべて0	R/W	DMA チャンネル 5 転送要求元レジスタ ID (RID) 表 14.4 参照
7~2	C4MID[5:0]	すべて0	R/W	DMA チャンネル 4 転送要求元モジュール ID (MID) 表 14.4 参照
1、0	C4RID[1:0]	すべて0	R/W	DMA チャンネル 4 転送要求元レジスタ ID (RID) 表 14.4 参照

表 14.4 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID + RID)	MID	RID	機能
CMT チャンネル 0	H'03	B'0000 00	B'11	-
CMT チャンネル 1	H'07	B'0000 01	B'11	-
CMT チャンネル 2	H'0B	B'0000 10	B'11	-
CMT チャンネル 3	H'0F	B'0000 11	B'11	-
CMT チャンネル 4	H'13	B'0001 00	B'11	-
SCIF0	H'21	B'0010 00	B'01	送信
	H'22	B'0010 00	B'10	受信
SCIF1	H'29	B'0010 10	B'01	送信
	H'2A	B'0010 10	B'10	受信
SCIF2	H'41	B'0100 00	B'01	送信
	H'42	B'0100 00	B'10	受信
HAC	H'45	B'0100 01	B'01	送信
	H'46	B'0100 01	B'10	受信
USBF	H'51	B'0101 00	B'01	送信
	H'52	B'0101 00	B'10	受信
SSI0	H'73	B'0111 00	B'11	送受信
SSI1	H'77	B'0111 01	B'11	送受信
SSI2	H'83	B'1000 00	B'11	送受信
SSI3	H'87	B'1000 01	B'11	送受信
MMCIF	H'93	B'10 01 00	B'11	送受信
SIM	H'A1	B'1010 00	B'01	送信
	H'A2	B'1010 00	B'10	受信
SIOF0	H'B1	B'1011 00	B'01	送信
	H'B2	B'1011 00	B'10	受信
SIOF1	H'B5	B'1011 01	B'01	送信
	H'B6	B'1011 01	B'10	受信
SIOF2	H'C1	B'1100 00	B'01	送信
	H'C2	B'1100 00	B'10	受信
STIF0	H'D3	B'1101 00	B'11	送受信
STIF1	H'D7	B'1101 01	B'11	送受信

14.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。バスマードは、バーストモードとサイクルスチールモードを選択することができます。

14.4.1 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルごとに CHCR の RS[3:0] ビットおよび DMARS0、DMARS1、DMARS2 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。DMA チャンネルごとに CHCR の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 ($\overline{DREQ0} \sim \overline{DREQ3}$) によって転送を開始させるモードです。DMA チャンネル 0~3 のみ有効です。表 14.5 に外部リクエストモードの設定を示します。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

表 14.5 RS ビットによる外部リクエストモードの設定

CHCR				アドレスモード	転送元	転送先
RS[3]	RS[2]	RS[1]	RS[0]			
0	0	0	0	デュアルアドレスモード	任意	任意

DREQ をエッジで検出するかレベルで検出するかは、表 14.6 に示す CHCR0 ~ CHCR3 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元が転送先である必要はありません。

表 14.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出 (初期値 DREQ)
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクロリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバーラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバーラン 1) があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 14.7 DO ビットによる外部リクエスト検出の選択

CHCR	外部リクエスト
DO	
0	オーバーラン 0 (初期値)
1	オーバーラン 1

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、DMARS0/1/2 にて設定する SCIF0 ~ SCIF2、HAC、USBF、SSI0 ~ SSI3、MMCIF、SIM、SIOF0 ~ SIOF2、STIF0、STIF1 からの送信データエンブティ転送要求と受信データフル転送要求、CMT からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

転送要求を SCIF0 の送信データエンブティ転送要求に設定した場合、転送先を当該 SCIF0 のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF0 の受信データフル転送要求に設定した場合、転送元を当該 SCIF0 のレシーブデータレジスタとする必要があります。これらは SCIF1 ~ SCIF2、HAC、USBF、SIOF0 ~ SIOF2、STIF0、STIF1、SSI0 ~ SSI3、MMCIF、SIM、STIF0、STIF1 も同様です。

表 14.8 RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード	
	RS[3:0]	MID						RID
1000	000000	11	CMT チャンネル 0	コンペアマッチ転送要求	任意	任意	サイクル スチール	
		11	CMT チャンネル 1	コンペアマッチ転送要求	任意	任意	サイクル スチール	
		11	CMT チャンネル 2	コンペアマッチ転送要求	任意	任意	サイクル スチール	
		11	CMT チャンネル 3	コンペアマッチ転送要求	任意	任意	サイクル スチール	
		11	CMT チャンネル 4	コンペアマッチ転送要求	任意	任意	サイクル スチール	
	001000	01	01	SCIF0 送信部	TXI (送信 FIFO データ エンプティ)	任意	SCFTDR0	サイクル スチール
			10	SCIF0 受信部	RXI (受信 FIFO データ フル)	SCFRDR0	任意	サイクル スチール
	001010	01	01	SCIF1 送信部	TXI (送信 FIFO データ エンプティ)	任意	SCFTDR1	サイクル スチール
			10	SCIF1 受信部	RXI (受信 FIFO データ フル)	SCFRDR1	任意	サイクル スチール
	010000	01	01	SCIF2 送信部	TXI (送信 FIFO データ エンプティ)	任意	SCFTDR2	サイクル スチール
			10	SCIF2 受信部	RXI (受信 FIFO データ フル)	SCFRDR2	任意	サイクル スチール
	010001	01	01	HAC 送信部	送信データエンプティ要求	任意	HACPCML HACPCMR	サイクル スチール
			10	HAC 受信部	未読受信データあり	HACPCML HACPCMR	任意	サイクル スチール
	010100	01	01	USB 送信部	送信データエンプティ要求	任意	EPDR	サイクル スチール
			10	USB 受信部	受信データフル要求	EPDR	任意	サイクル スチール
	011100	11	11	SSIO 送信部	送信モード時 DMRQ = 1 (送信データエンプティ)	任意	SSITDR	サイクル スチール
			11	SSIO 受信部	受信モード時 DMRQ = 1 (未読データあり)	SSIRDR	任意	サイクル スチール

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	RS[3:0]	MID					
1000	011101	11	SSI1 送信部	送信モード時 DMRQ = 1 (送信データエンプティ)	任意	SSITDR	サイクル スチール
		11	SSI1 受信部	受信モード時 DMRQ = 1 (未読データあり)	SSIRDR	任意	サイクル スチール
100000	11	11	SSI2 送信部	送信モード時 DMRQ = 1 (送信データエンプティ)	任意	SSITDR	サイクル スチール
		11	SSI2 受信部	受信モード時 DMRQ = 1 (未読データあり)	SSIRDR	任意	サイクル スチール
100001	11	11	SSI3 送信部	送信モード時 DMRQ = 1 (送信データエンプティ)	任意	SSITDR	サイクル スチール
		11	SSI3 受信部	受信モード時 DMRQ = 1 (未読データあり)	SSIRDR	任意	サイクル スチール
100100	11	11	MMCIF データ部送信	FIFO ライト要求	任意	DR	サイクル スチール
		11	MMCIF データ部受信	FIFO リード要求	DR	任意	サイクル スチール
101000	01	01	SIM 送信部	TXI (送信データ エンプティ)	任意	SCTDR	サイクル スチール
		10	SIM 受信部	RXI (受信データフル)	SCTDR	任意	サイクル スチール
101100	01	01	SIOF0 送信部	TXI (送信データ エンプティ)	任意	SITDR0	サイクル スチール
		10	SIOF0 受信部	RXI (受信データフル)	SIRDR0	任意	サイクル スチール
101101	01	01	SIOF1 送信部	TXI (送信データ エンプティ)	任意	SITDR1	サイクル スチール
		10	SIOF1 受信部	RXI (受信データフル)	SIRDR1	任意	サイクル スチール
110000	01	01	SIOF2 送信部	TXI (送信データ エンプティ)	任意	SITDR2	サイクル スチール
		10	SIOF2 受信部	RXI (受信データフル)	SIRDR2	任意	サイクル スチール
110100	11	11	STIF0 送信部	FIFO ライト要求	任意	STI0FIFO0	サイクル スチール
		11	STIF0 受信部	FIFO リード要求	STI0FIFO0	任意	サイクル スチール
110101	11	11	STIF1 送信部	FIFO ライト要求	任意	STI0FIFO1	サイクル スチール
		11	STIF1 受信部	FIFO リード要求	STI0FIFO1	任意	サイクル スチール

14.4.2 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択はDMAORのPR[1:0]ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す2種類があります。

CH0 > CH1 > CH2 > CH3 > CH4 > CH5

CH0 > CH2 > CH3 > CH1 > CH4 > CH5

これらの選択はDMAORのPR[1:0]ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、16バイト、または32バイト単位)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図14.2に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5です。

ラウンドロビンモードを指定した場合、DMAORに対応する全チャンネルでサイクルスチールモードとバーストモードの混在はできません。

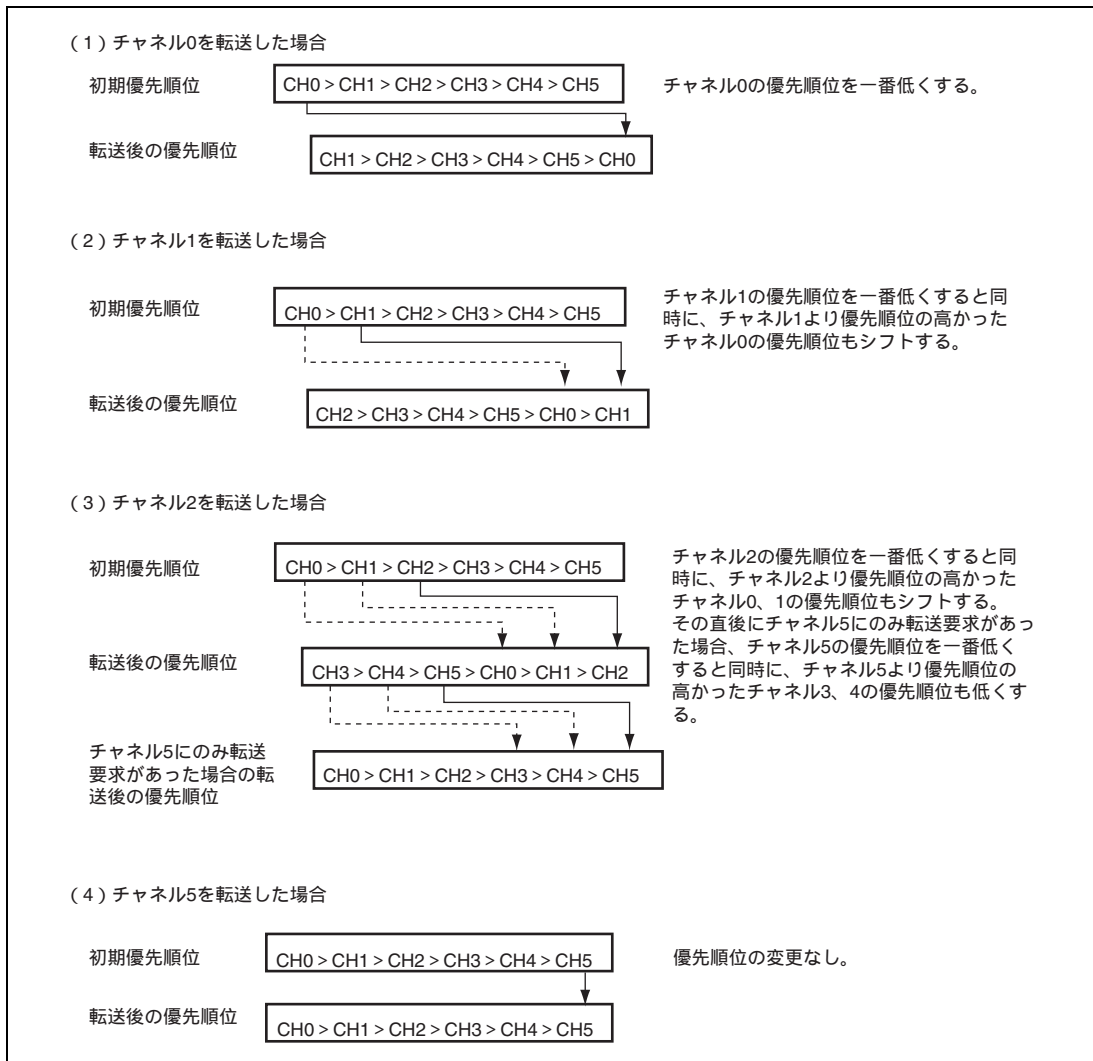


図 14.2 ラウンドロビンモード (例: チャンネル0~5)

図 14.3 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します。(チャンネル3は転送待ち)
3. チャンネル0の転送中にチャンネル1に転送要求が発生します(チャンネル1とチャンネル3は転送待ち)。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します(チャンネル3は転送待ち)。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

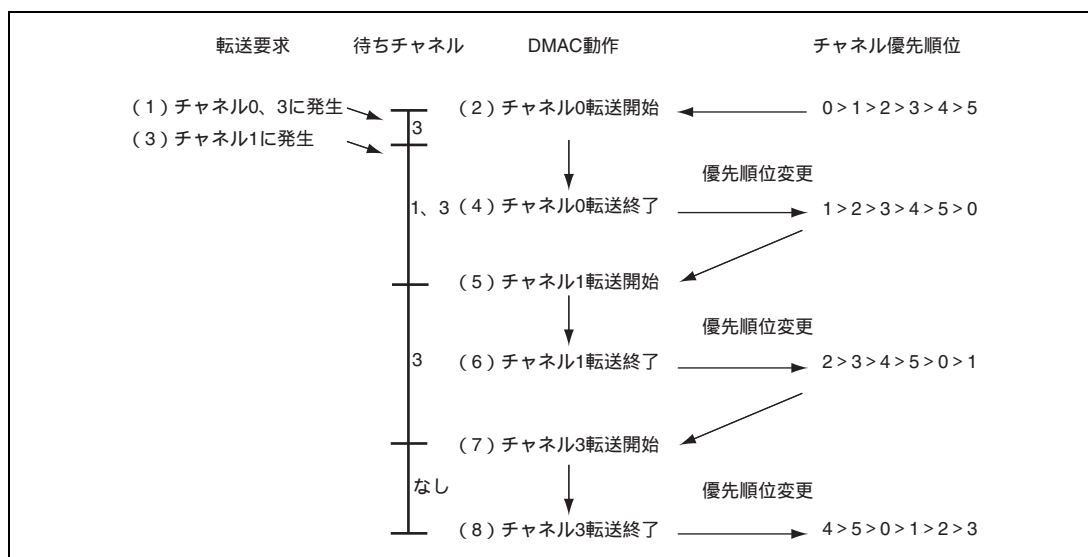


図 14.3 ラウンドロビンモードでのチャンネル優先順位

14.4.3 DMA 転送の種類

DMA 転送としてはデュアルアドレスモードをサポートします。具体的な転送動作タイミングは、バスモードによって違います。バスモードは、サイクルスチールモードとバーストモードがあります。

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図14.4のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

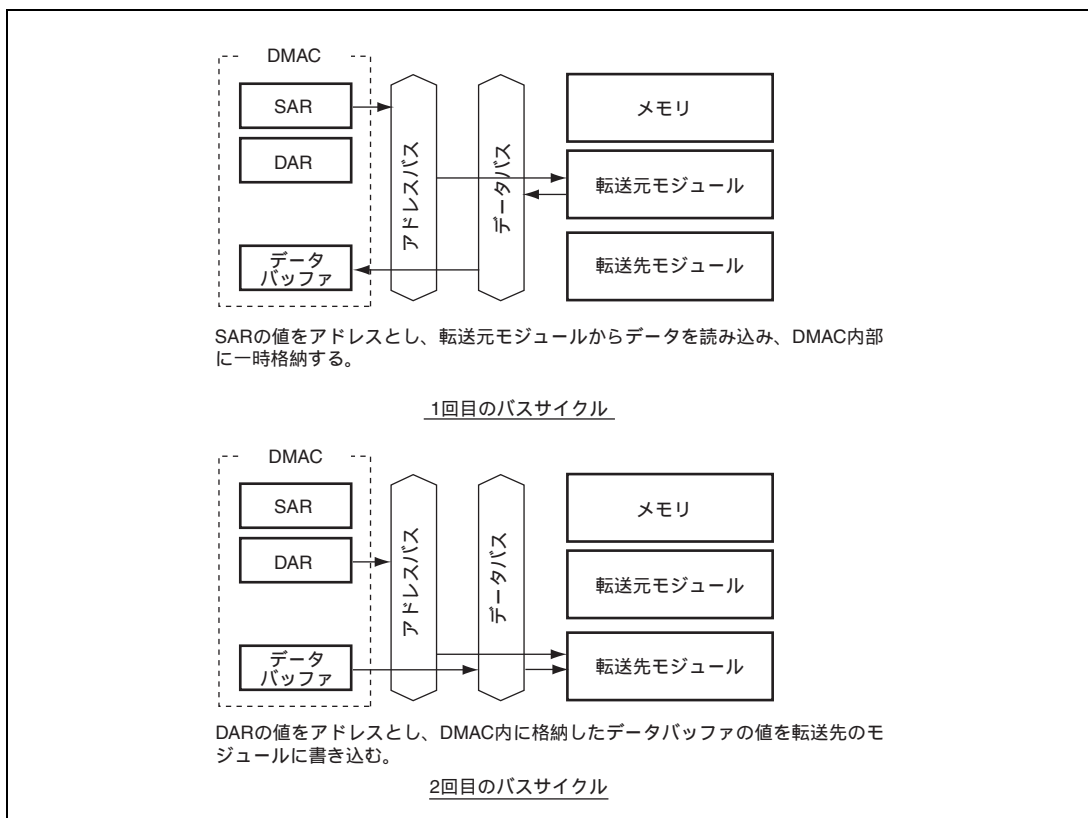


図 14.4 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、 \overline{DACK} はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはチャンネルコントロールレジスタ (CHCR) によって設定可能です。

図 14.5 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

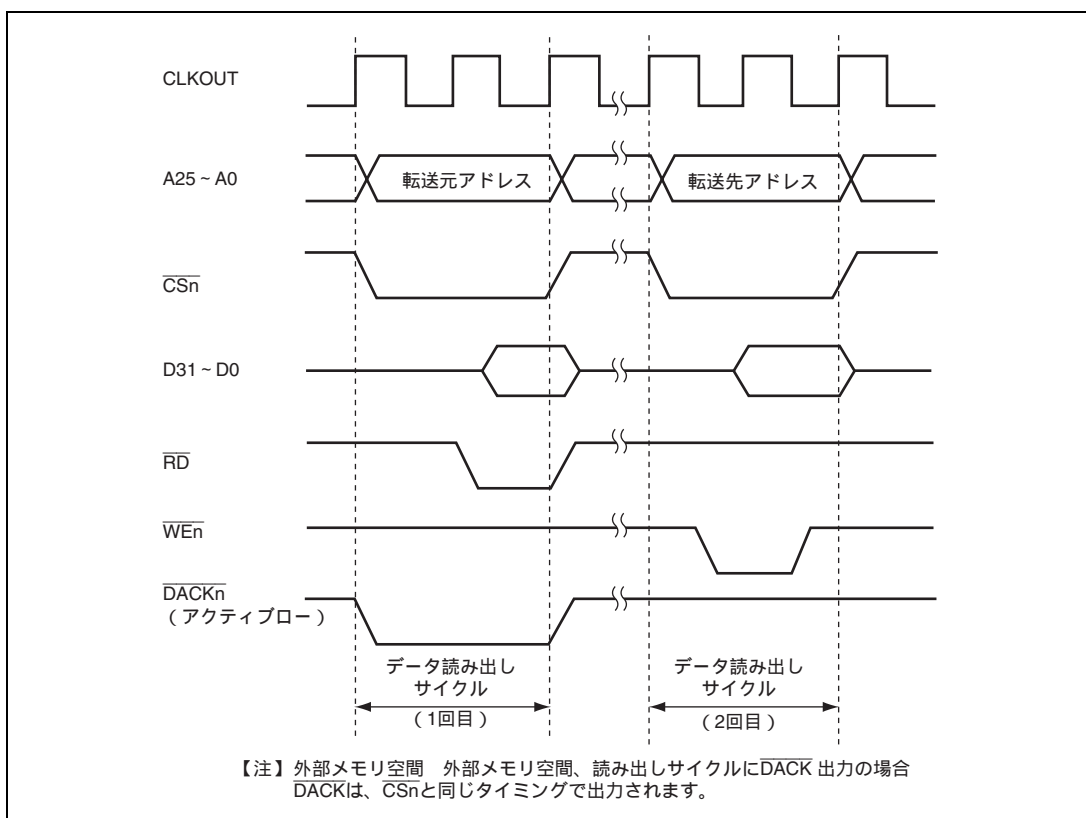


図 14.5 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントロールレジスタ (CHCR) の TB ビットによって行います。

(a) サイクルスチールモード

- 通常モード1 (LCKN=0、TB=0)

サイクルスチールの通常モード1では、DMACは一回の転送単位 (バイト、ワード、ロングワード、16バイト、または32バイト単位) の転送を終了するたびにSHwyバスのバス権を他のバスマスタに渡します。その後転送要求があれば、次の転送要求を発行し、再び1転送単位の転送を行い、その転送を終了するとまたSHwyバスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

図14.6にサイクルスチール通常モード1でのDMA転送タイミング例を示します。

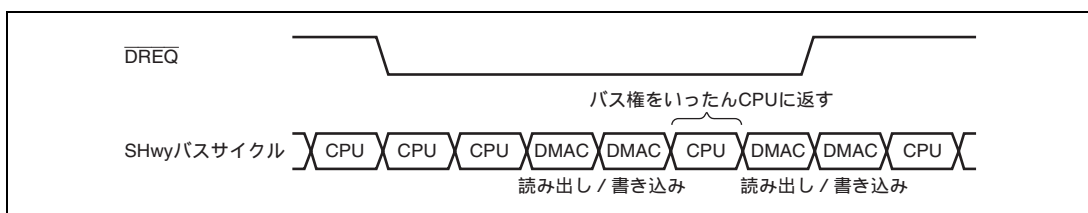


図 14.6 サイクルスチール通常モード1のDMA転送例 (DREQローレベル検出)

- 通常モード2 (LCKN=1、TB=0)

サイクルスチールの通常モード2では、DMACはSHwyバスのバス権の確保は行わず1転送単位の読み出しサイクル、書き込みサイクルごとにSHwyバスのバス権を取りに行く転送です。

図14.7にサイクルスチールモード2でのDMA転送タイミング例を示します。

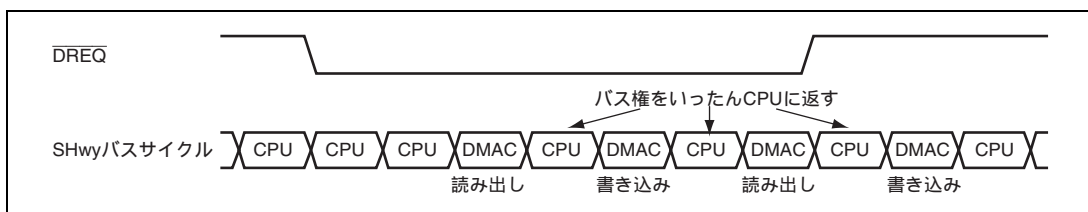


図 14.7 サイクルスチール通常モード2のDMA転送例 (DREQローレベル検出)

- インタミットモード16、インタミットモード64 (LCKN=0または1、TB=0)

サイクルスチールのインタミットモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、16バイト、または32バイト単位) の転送を終了するたびにSHwyバスのバス権を他のバスマスタに渡します。その後転送要求があれば、Bckで16クロックまたは64クロック待った後に、次の転送要求を発行し、再び1転送単位の転送を行い、その転送を終了するとまたSHwyバスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モード1、通常モード2に比べ、低く抑えることが可能です。

DMACが再び次の転送要求を発行するときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

インタミットモードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えますが、全チャンネルのバスモードがサイクルスチールモードであることが必要です。

図14.8にサイクルスチールインタミットモードでのDMA転送タイミング例を示します。

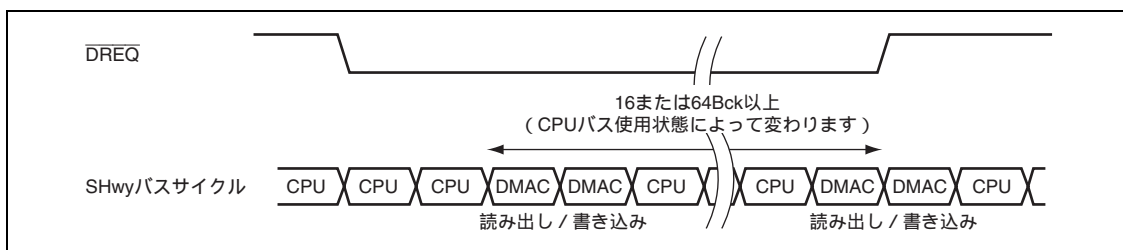


図 14.8 サイクルスチールインタミットモードの DMA 転送例 (DREQ ローレベル検出)

- (b) パーストモード (LCKN=0、TB=1)

パーストモードではDMACは一度SHwyバスのバス権を取ると、転送終了条件が満たされるまでSHwyバスのバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQをレベルで検出する場合には、DREQがアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けたDMA転送要求を終了後に他のバスマスタにSHwyバスのバス権を渡します。

パーストモードは、内蔵周辺モジュールが転送要求元となっている場合には使用できません。

図 14.9 にパーストモードでの DMA 転送タイミングを示します。

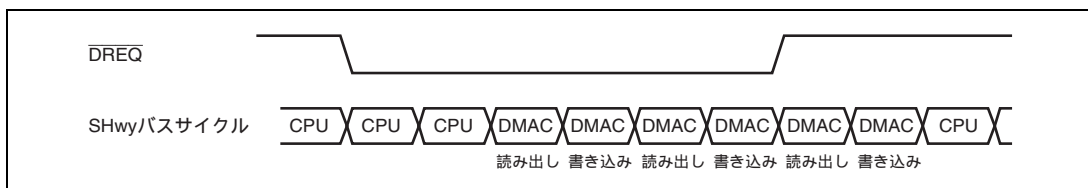


図 14.9 パーストモードでの DMA 転送例 (DREQ ローレベル検出)

(3) DMA 転送区間

表 14.9 にオートリクエストでの DMA 転送区間、表 14.10 に外部リクエストでの DMA 転送区間、表 14.11 に周辺リクエストでの DMA 転送区間を示します。

表 14.9 オートリクエストでの DMA 転送区間

転送元	転送先				
	LBSC 空間	DDR-SDRAM 空間	PCI バス空間	内蔵周辺モジュール*	L メモリ
LBSC 空間	○	○	○	○	○
DDR-SDRAM 空間	○	○	○	○	○
PCI バス空間	○	○	○	○	○
内蔵周辺モジュール*	○	○	○	○	○
L メモリ	○	○	○	○	○

【記号説明】○：転送可能

【注】 * 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ

表 14.10 外部リクエストでの DMA 転送区間*7

転送元	転送先				
	LBSC 空間	DDR-SDRAM 空間	PCI バス空間	内蔵周辺モジュール*6	L メモリ
LBSC 空間	○	○*2	○*2	○	○
DDR-SDRAM 空間	○*1	x	○*3	○*1	○*1
PCI バス空間	○*1	○*4	○*5	○*1	○*1
内蔵周辺モジュール*6	○	○*2	○*2	○	○
L メモリ	○	○*2	○*2	○	○

【記号説明】○：転送可能、x：転送不可

【注】 *1 CHCR の AM ビットを 1 に設定した場合は転送可能です。

*2 CHCR の AM ビットを 0 に設定した場合は転送可能です。

*3 CHCR の AM ビットを 1 に設定し、かつ転送先の PCI アドレス空間のアドレスは H'FD00 0000 ~ H'FDFF FFFF (PCI メモリ空間 0) のみ転送可能です。

*4 CHCR の AM ビットを 0 に設定し、かつ転送元の PCI アドレス空間のアドレスは H'FD00 0000 ~ H'FDFF FFFF (PCI メモリ空間 0) のみ転送可能です。

*5 転送元、転送先の両方もしくはどちらか一方の PCI アドレス空間のアドレスは H'FD00 0000 ~ H'FDFF FFFF (PCI メモリ空間 0) を設定した場合のみ転送可能です。

転送元に H'FD00 0000 ~ H'FDFF FFFF を設定した場合は、CHCR の AM ビットを 0 に設定してください。

転送先に H'FD00 0000 ~ H'FDFF FFFF を設定した場合は、CHCR の AM ビットを 1 に設定してください。

*6 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ

*7 外部リクエストはチャンネル 0 ~ 3 のみです。

表 14.11 周辺リクエストでの DMA 転送区間*2、*3

転送元	転送先				
	LBSC 空間	DDR-SDRAM 空間	PCI バス空間	内蔵周辺モジュール*1	L メモリ
LBSC 空間	×	×	×	○	×
DDR-SDRAM 空間	×	×	×	○	×
PCI バス空間	×	×	×	○	×
内蔵周辺モジュール*1	○	○	○	○	○
L メモリ	×	×	×	○	×

【記号説明】○：転送可能、×：転送不可

【注】 *1 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ

*2 転送元または転送先は周辺リクエストの要求元レジスタである必要があります。

*3 サイクルスチールモードのみ設定可能です。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0 > CH1) において、チャンネル 1 がバーストモード転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は、優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 の転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0 チャンネル 1 チャンネル 0 チャンネル 1 というように交互に転送が行われます。

この例を図 14.10 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに解放しません。

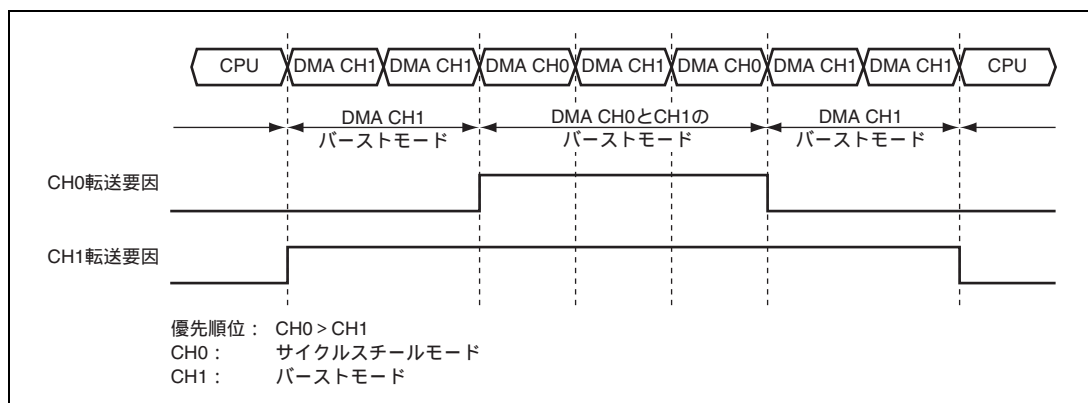


図 14.10 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 14.3 に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャンネルとバーストモードのチャンネルを混在することはできません。

14.4.4 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスマフアカウントレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクタ (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

転送許可状態かどうか (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) をチェックします。

転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS[2:0] の設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。

1 回の転送を行うごとに TCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。

指定された回数の転送を終える (TCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。

DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

図 14.11 に DMA 転送のフローチャートを示します。

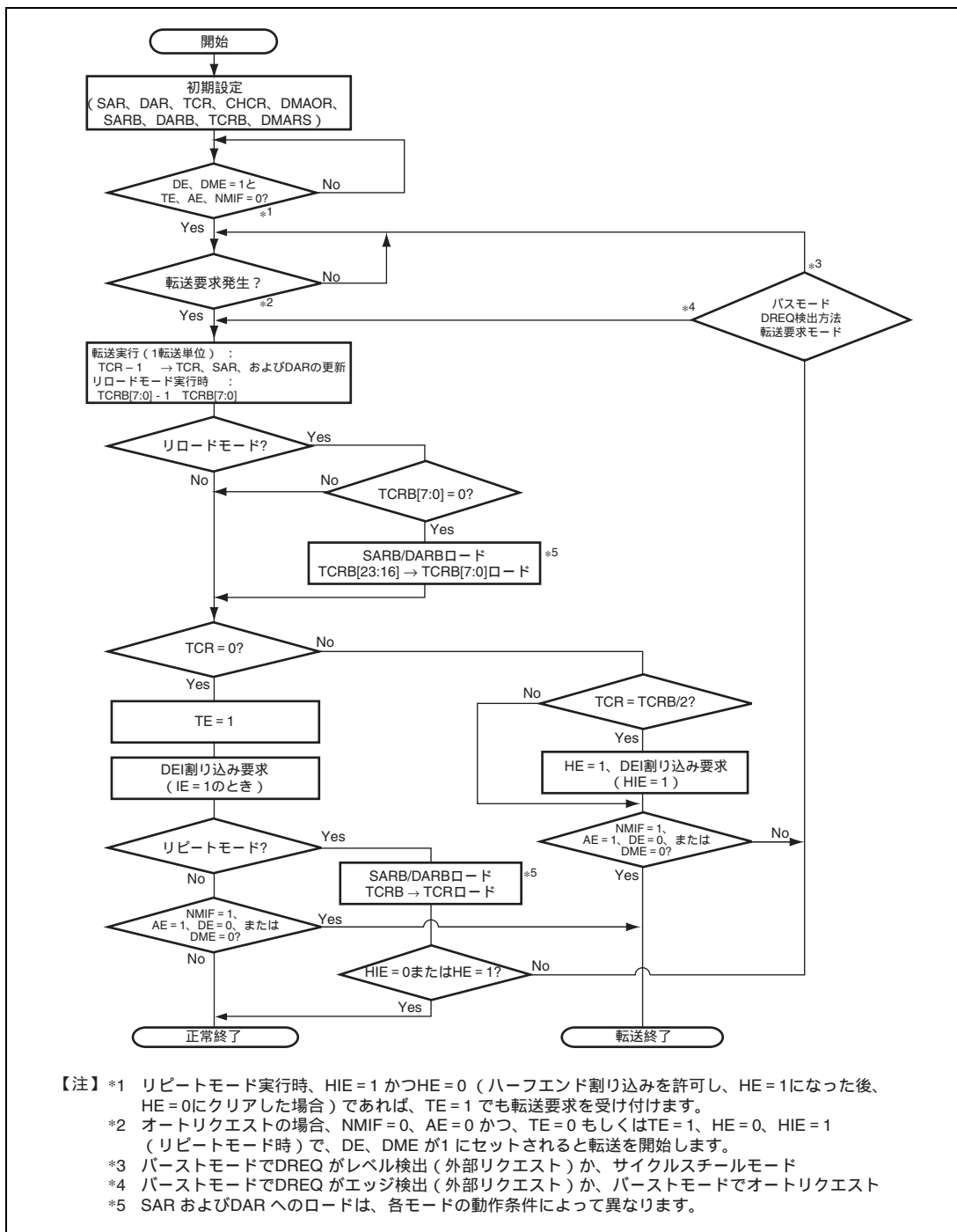


図 14.11 DMA 転送フローチャート

14.4.5 リピートモード転送

DMACのリピートモード転送を使用すると、DMA転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、VOICE CODECから音声データを受け取り、圧縮処理を行う場合の動作を説明します。

ここでは40ワードの音声データを受け取りごとに順次圧縮処理を行うことを仮定し、その際の処理を説明します。ここで音声データはSIOFにより受け取ることと仮定します。

1. DMACの設定

SARにSIOFの受信データレジスタのアドレスを設定します。

DARに内部メモリのデータ格納領域のアドレスを設定します。

TCRにH'50 (80回)を設定します。

CHCRに以下の設定をします。

RPT (ビット27、26、25) = B'010 : リピートモード
(DARをリピート領域として使用)

HIE (ビット18) = B'1 : TCR/2の割り込み発生

DM (ビット15、14) = B'01 : DARは増加

SM (ビット13、12) = B'00 : SARは固定

IE (ビット2) = B'1 : 割り込み許可

DE (ビット0) = B'1 : DMA転送許可

この他、TB、TSなど使用条件に合わせて設定。

DMAORのCMS、PRを使用条件に合わせて設定し、DMEに1を設定します。

2. 音声データの受信転送をSIOF/DMACが実行。

3. TCRが初期設定値の1/2になり割り込み発生。

割り込み処理にて、CHCRを読み出しHE (ビット19)に1がセットされていることを確認し、HE (ビット19)を0にクリアし、DARに設定したアドレスから40ワード分のデータを用いた音声圧縮を実行。

4. TCRが0になり割り込み発生。

割り込み処理にて、CHCRを読み出しTE (ビット1)に1がセットされていることを確認し、TE (ビット1)を0にクリアし、DARに設定したアドレスから40を足したアドレスから40ワード分のデータを用いた音声圧縮を実行。

この際DMACでは、DARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値80に戻ります。

5. 以後、2.~4.がDME = B'0もしくはDE = B'0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます (3.でHEを0クリアしなかった場合、または、4.でTEを0クリアしなかった場合、HE = 1かつTE = 1の条件で停止します)。

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次音声圧縮が可能となります。

14.4.6 リロードモード転送

DMACのリロードモード転送を使用すると、CHCRのRPT[2:0]ビットの設定により、TCRB[7:0]に設定した回数の転送ごとにSARB/DARBに設定された値をSAR/DARに、TCRB[23:16]に設定された値をTCRB[7:0]に再設定し、TCRが0になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。この動作を図14.12に示します。

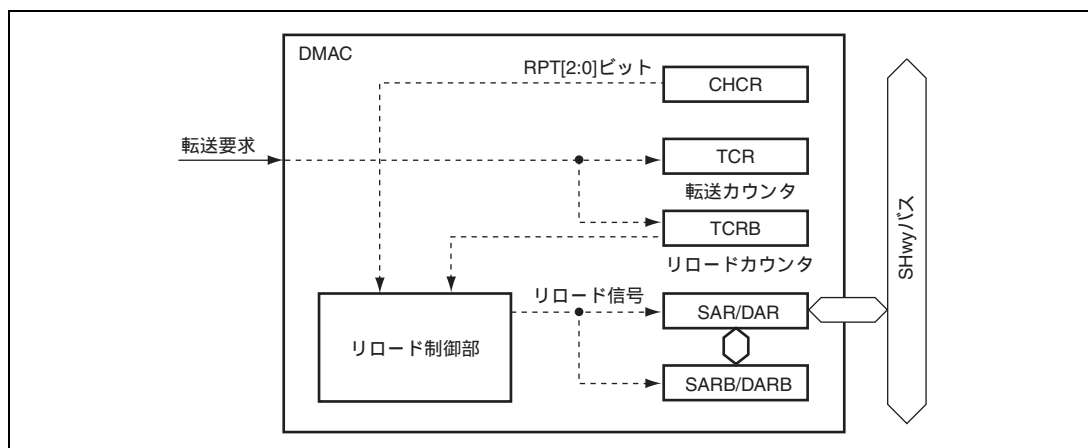


図 14.12 リロード機能図

リロードモード実行時は、TCRBをリロードカウンタとして使用します。「14.3.6 DMAトランスファカウントレジスタB0~3 (TCRB0~TCRB3)」を参照し、TCRBを設定してください。

14.4.7 DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 14.13、図 14.14、図 14.15、図 14.16 に示します。

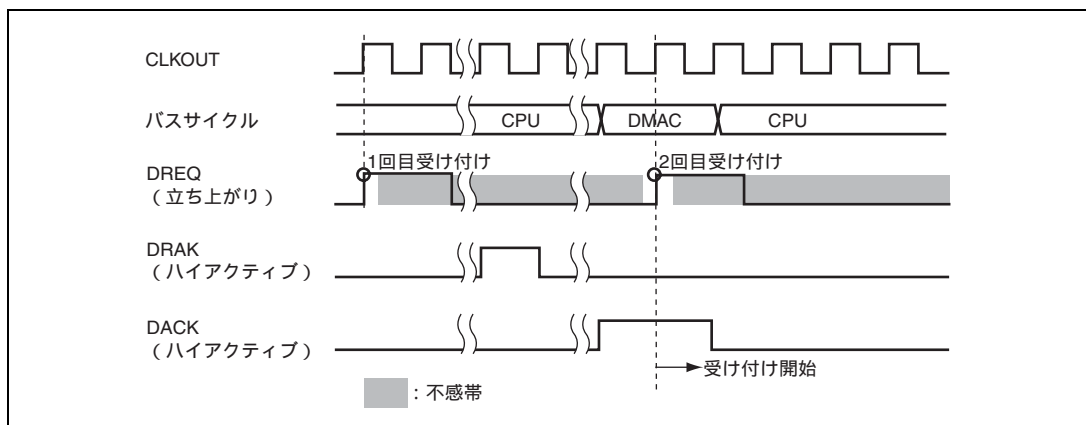


図 14.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例

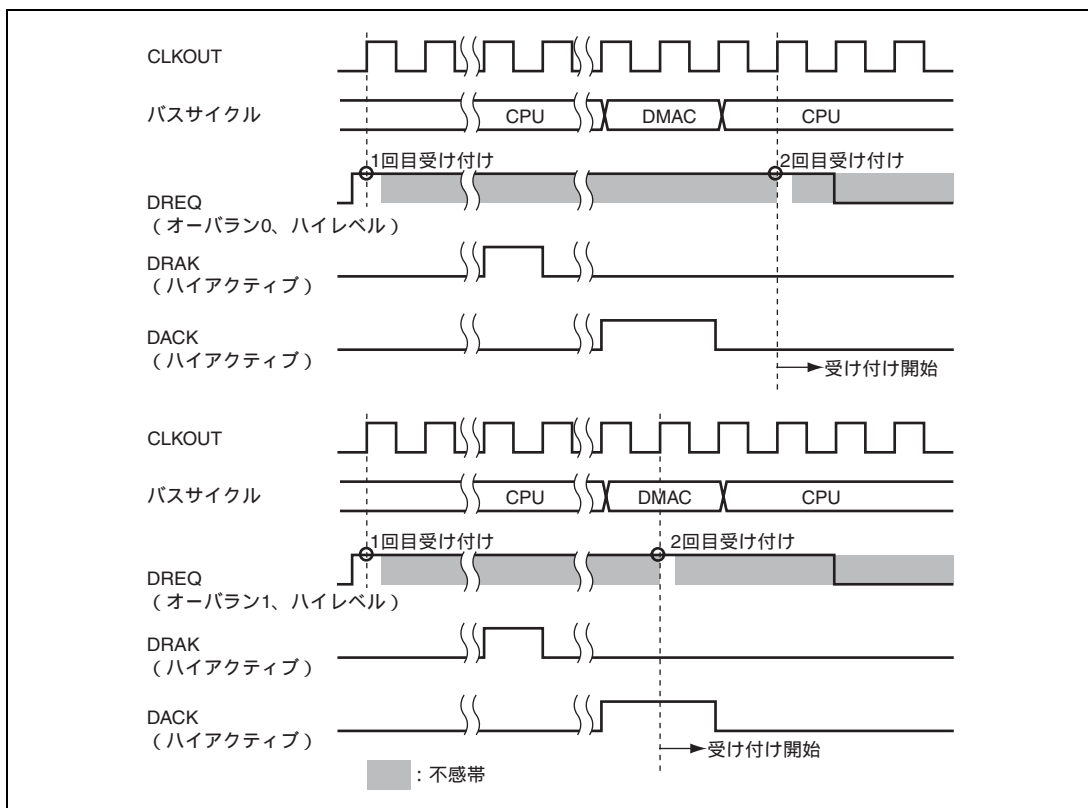


図 14.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例

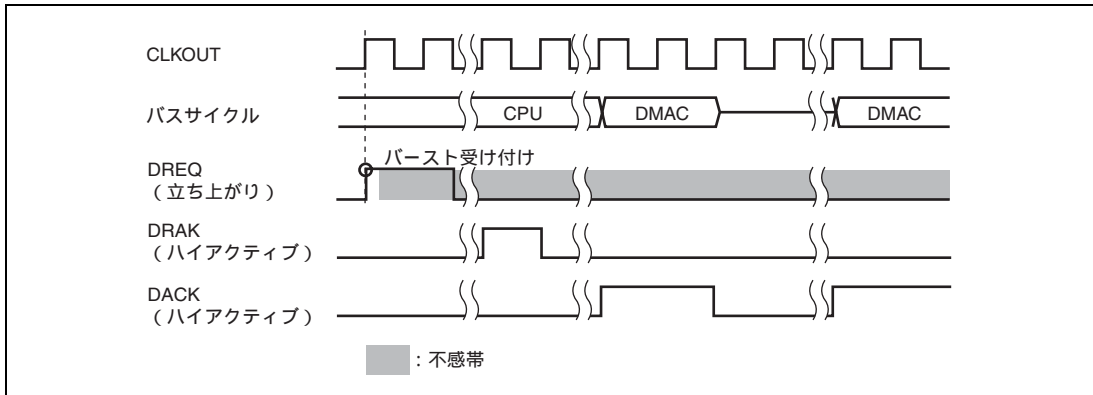


図 14.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング例

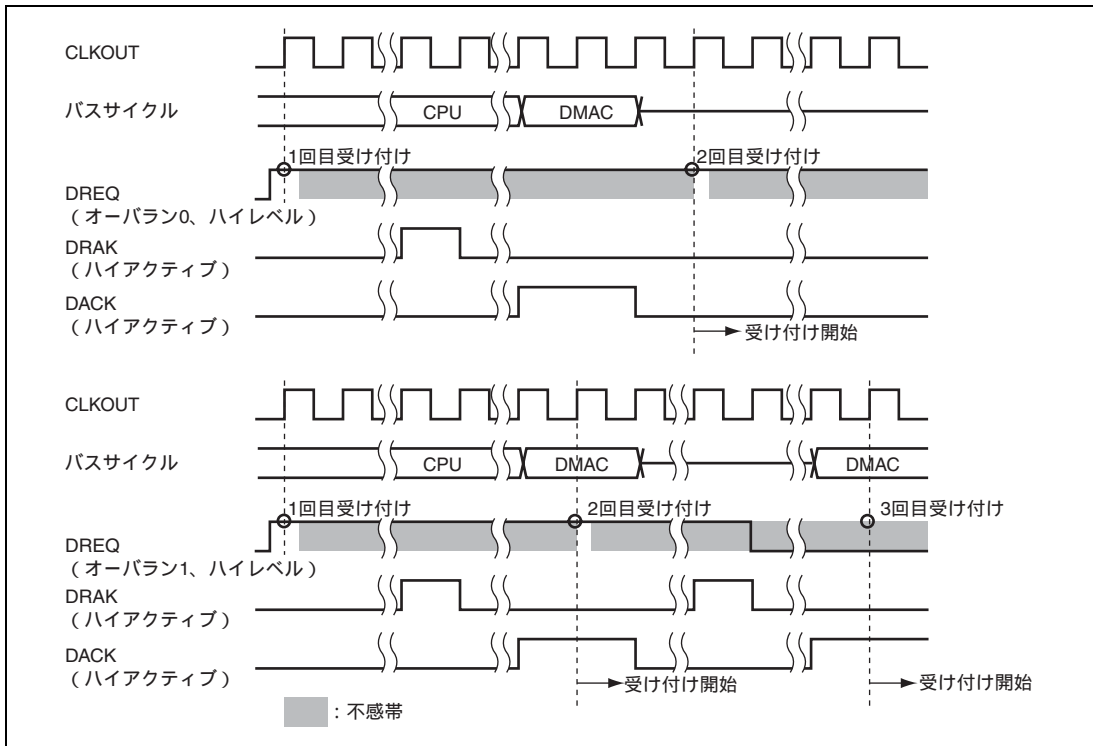


図 14.16 バーストモード・レベル検出時の DREQ 入力検出タイミング例

図 14.17 に TEND 出力のタイミングを示します。

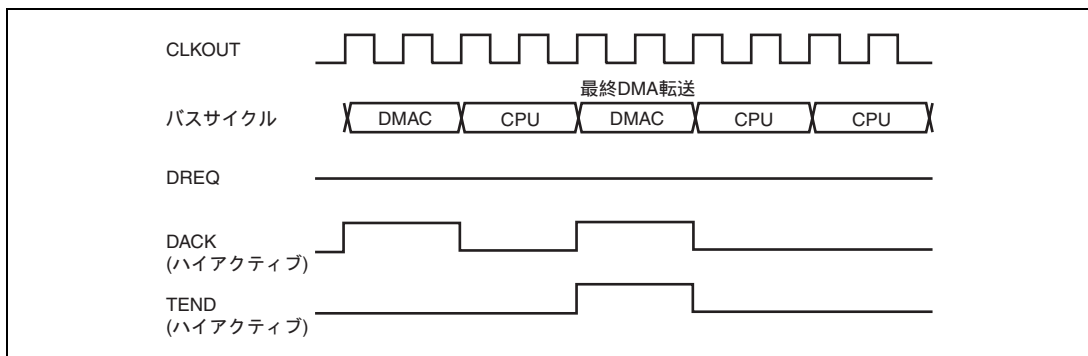


図 14.17 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8 ビット外部デバイスや 16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合、データをアライメントするため DACK 出力および TEND 出力が分割されるので注意してください。この例を図 14.18 に示します。

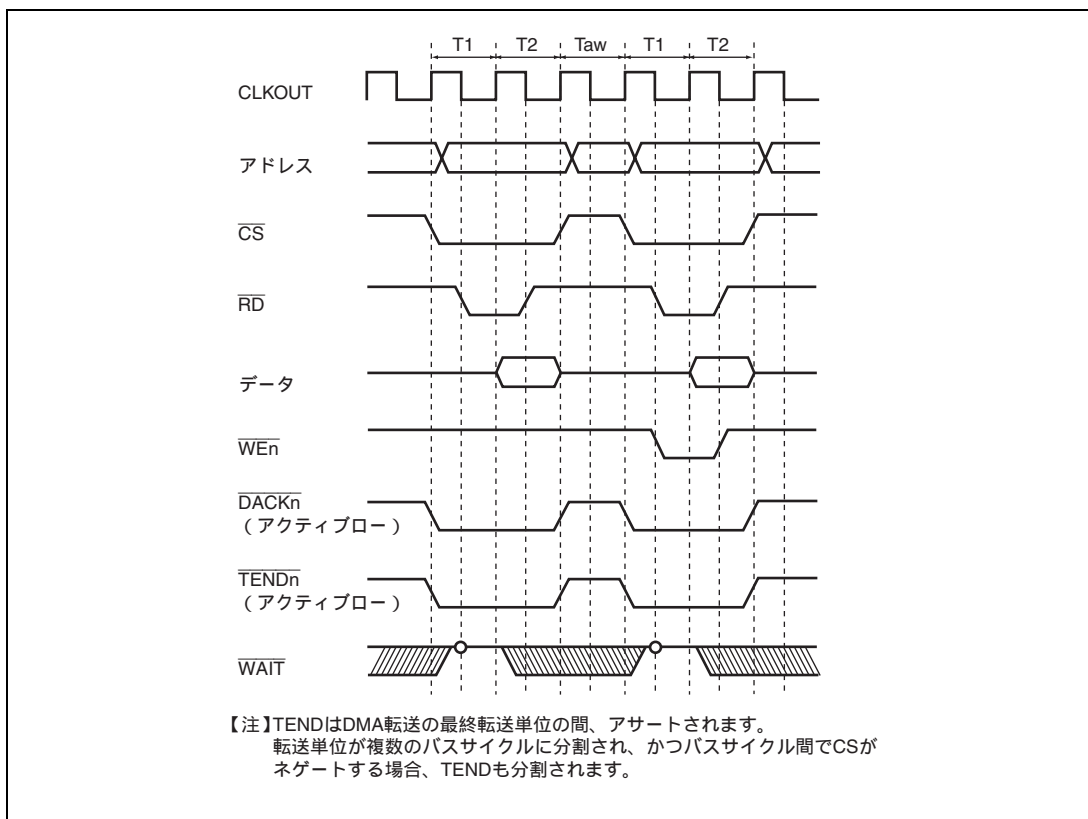


図 14.18 BSC 通常メモリアクセス例 (ノーウェイト、アイドルサイクル1、16 ビットデバイスへのロングワードアクセス)

14.5 使用上の注意

本 DMAC を使用する際は、以下のことに注意してください。

14.5.1 モジュールストップについて

本 DMAC 動作中に、MSTPCR のレジスタ設定によるモジュールストップを行わないでください。モジュールストップさせた場合、動作中の転送内容は保証できません。

14.5.2 アドレスエラーについて

DMA アドレスエラーが発生した場合、下記手順を行った後、DMAOR に対応する全チャネルの再設定してから転送を開始してください。

1. 下記モジュールへのダミーリード。
 - LBSC : BCR (バスステートコントロールレジスタ) ダミーリード
 - PCIC : PCIECR (イネーブルコントロールレジスタ) のダミーリード
 - DDRIF : MIM (メモリインタフェースレジスタ) のダミーリード
 - INTC : INTC2B3 (モジュール別割り込み要因レジスタ3) のダミーリード
2. SYNCO命令を発行。
3. DMAアドレスエラーの発生したDMAORに対応する全チャネルの再設定。
 - DMAOR0のAEビットが1にセットされた場合はチャンネル0~5の再設定をしてください。

14.5.3 バーストモード転送時の注意

バーストモード転送中は、そのチャネルの転送が完了するまで以下のことをしないでください。

- 周波数を変更しないでください。
- スリープモードに遷移させないでください。

14.5.4 \overline{DACK} 、 \overline{TEND} の分割出力

8ビット外部デバイスや16ビット外部デバイスにロングワードアクセスしたり、8ビット外部デバイスにワードアクセスなど、DMA転送単位が複数のバスサイクルに分割され場合、かつバスサイクル間でCSがネゲートする場合、データをアライメントするため \overline{CS}_n 同様に \overline{DACK} 、 \overline{TEND} 出力も分割されるので注意してください。

14.5.5 外部バス幅を超える DMA 転送サイズにおける \overline{CSn} 出力の設定

1 回の DMA 転送が複数のバスサイクルに分かれる場合*¹、それらのバスサイクル間で \overline{CSn} がネゲートされないように設定してください*²。設定の詳細は表 11.9~表 11.14 を参照してください。

\overline{CSn} がネゲートされる設定をおこなった場合、DREQ のサンプリングが正しく行われず、誤動作する可能性があります。

【注】 *¹ LBSC 外部バス幅にバス幅以上の DMA 転送単位で転送を行う場合。

例：8、16、32 ビットバス幅のエリアに 16、32 バイト転送を行った場合、または、8、16 ビットバス幅のエリアにロングワード(32 ビット)転送を行った場合や 8 ビットのエリアにワード(16 ビット)転送を行った場合。
なお、MPX インタフェースに対する 32 バイト転送は除きます。この場合、バスサイクルは 1 (バースト) となります。

*² バスサイクル間で \overline{CSn} がネゲートされる場合、 \overline{DACK} 、 \overline{TEND} 出力もネゲートされます (\overline{DACK} 、 \overline{TEND} が分割されます)。

14.5.6 \overline{DACK} 、 \overline{TEND} のアサートと DREQ 検出について

2 回以上の DMA 転送において、DREQ レベル検出オーバーラン 1 および DREQ エッジ検出の場合、それぞれの DMA 転送の間も \overline{DACK} 、 \overline{TEND} がアサートされ続けてしまう場合があります*。この場合、DMA 転送が途中で停止状態となり、正しく行われぬ可能性がありますので、下記のようにそれぞれの DMA 転送の間にアイドルを 1 サイクル以上挿入してください。

転送元が LBSC 空間で読み出しサイクルに \overline{DACK} 、 \overline{TEND} を出力する設定 (CHCR.AM=0) の場合

- (1) IWRRD = B'001 ~ B'111 (別空間リード - リードサイクル間アイドルを 1 サイクル以上挿入)
- (2) IWRRS = B'001 ~ B'111 (同一空間リード - リードサイクル間アイドルを 1 サイクル以上挿入)

転送先が LBSC 空間で書き込みサイクルに \overline{DACK} 、 \overline{TEND} を出力する設定 (CHCR.AM=1) の場合

- (1) IWW = B'001 ~ B'111 (ライト - リード/ライト - ライトサイクル間アイドルを 1 サイクル以上挿入)

【注】 * 転送元が LBSC 空間で読み出しサイクルに \overline{DACK} を出力する設定の場合、または、転送先が LBSC 空間で書き込みサイクルに \overline{DACK} を出力する設定の場合で、アイドルサイクルなしを設定 (CSnBCR.IWRRD、IWRRS、IWW に B'000 を設定) した場合、転送元と転送先がともに LBSC 空間の場合は該当しません。

表 14.12~表 14.15 に 1 回の DMA 転送におけるバスサイクル発生数と LBSC のレジスタ設定を示します。本設定により、複数のバスサイクルが発生した場合においても、 \overline{CSn} はネゲートされません。なお、下記設定において、転送元または転送先のどちらか一方のみが LBSC 空間の場合、2 回以上の DMA 転送の間も \overline{DACK} 、 \overline{TEND} がアサートされ続けてしまうのを避けるため CSnBCR.IWRRD、IWRRS または IWW を B'001 ~ B'111 に設定してください。この場合、16 バイト転送では、14.5.6 により複数のバスサイクルが発生し、かつそれらバスサイクルの間で \overline{CSn} がネゲートされるため DREQ のサンプリングが正しく行われず、誤動作する可能性がありますので御注意ください。

表 14.12 SRAM、バーストROM、バイト制御 SRAM インタフェース使用時

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	\overline{CSn} がネゲートされない設定	
			CSnBCR.IWRRD, IWRRS または IWW	CSnWCR.ADS および ADH
8	バイト	1	任意	任意
	ワード	2	任意	B'000
	ロングワード	4	任意	B'000
	16 バイト	16	B'000	B'000
	32 バイト	32	任意	B'000
16	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	2	任意	B'000
	16 バイト	8	B'000	B'000
	32 バイト	16	任意	B'000
32	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	1	任意	任意
	16 バイト	4	B'000	B'000
	32 バイト	8	任意	B'000

表 14.13 PCMCIA インタフェース使用時

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	\overline{CSn} がネゲートされない設定
			CSnBCR.IWRRD、IWRRS または IWW
8	バイト	1	任意
	ワード	2	任意
	ロングワード	4	任意
	16 バイト	16	B'000
	32 バイト	32	任意
16	バイト	1	任意
	ワード	1	任意
	ロングワード	2	任意
	16 バイト	8	B'000
	32 バイト	16	任意

表 14.14 MPX インタフェース使用時 (リードアクセス時)

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	\overline{CSn} がネゲートされない設定	
			CSnBCR.IWRRD、または IWRRS	
32	バイト	1	任意	
	ワード	1	任意	
	ロングワード	1	任意	
	16 バイト	4	不可 (常にネゲートされます)	
	32 バイト	1	任意	

表 14.15 MPX インタフェース使用時 (ライトアクセス時)

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	\overline{CSn} がネゲートされない設定	
			CSnBCR.IWW	CSnWCR.IW[1:0]
32	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	1	任意	任意
	16 バイト	4	B'000	B'11 ~ B'01
	32 バイト	1	任意	任意

14.5.7 DMAC への DMA 転送禁止

転送元、転送先に DMAC レジスタを設定して DMA 転送は行わないでください。

14.5.8 NMI 割り込みについて

NMI 割り込みが発生した場合、DMA 転送は停止します。NMI 割り込み復帰後は全チャンネルの再設定をした後、転送を開始してください。

14.5.9 DMAC バーストモード使用上の注意事項

DMAC をバーストモード (CHCRn.TB = 1, n = 0 ~ 5) で使用する場合、下記の条件でマニュアルリセットが発生した場合、DMAC が停止状態となり、マニュアルリセットに遷移できず停止してしまいます (内部バスである SuperHyway バスはロック状態となります)。この場合、パワーオンリセット以外では復帰できなくなりますので、下記の回避策を行うか、またはバーストモードは使用せず、サイクルスチールモードを使用してください。

【条件】

1. バーストモードでオートリクエストによるDMA転送中、アドレスエラーが発生した場合。
2. バーストモードで外部リクエストによるDMA転送中の場合。

上記いずれかの条件においてマニュアルリセットが発生し、マニュアルリセットに遷移しようとしている場合。

【回避策】

バーストモードを使用する場合、下記の方法により回避することができます。

- 条件1.に対しては、DMAアドレスエラー (DMAOR.AE = 1) が発生しないようにしてください。
- 条件1.および2.に対しては、マニュアルリセットが発生しないようにしてください。

【補足】

1. アドレスエラー (DMAOR.AE = 1) が発生する条件 (DMA転送開始後、下記 (1) ~ (3) いずれか1つ以上に該当する場合)

(1) SARまたはDARに設定された値が転送サイズの境界と不一致になる場合。

(2) 転送元または転送先がモジュールスタンバイ状態の場合。

(3) 転送元または転送先が無効空間 (未定義 / リザーブ領域) であった場合。

【注】レジスタ、内蔵メモリのリザーブアドレスについてはアドレスエラーとならない場合があります。

なお、未定義 / リザーブ領域、リザーブアドレスのアクセスは禁止ですのでご注意ください。

2. マニュアルリセットが発生する条件 (下記 (1) ~ (3) いずれか1つ以上に該当する場合)

(1) $\overline{\text{MRESET}}$ 端子からローレベルを入力した場合

(2) SRのBLビットが1のときユーザブレークを除く一般例外が発生した場合

(3) WTCSRのWT/ITビットが1かつWTCSRのRSTSビットが1の状態、WDTCNTがオーバフロー発生した場合

15. 外部 CPU インタフェース (EXCPU)

本 LSI では、本 LSI 外部に接続されている CPU(以下、外部 CPU と略称します)から、本 LSI 内部の DDR-SDRAM 空間や内部レジスタ空間へのアクセスが可能です。外部 CPU からのアクセスは MPX プロトコルにて実現します。

15.1 特長

- 外部CPUからのアクセス制御

外部CPUから本LSI内部DDR-SDRAM空間および内部レジスタ空間にアクセス可能

外部CPUからアクセスプロトコルは、MPXプロトコルを使用

外部CPUとして、SH7750系、SH7751系のバスと接続可能

EXCPUのブロック図を図 15.1 に示します。

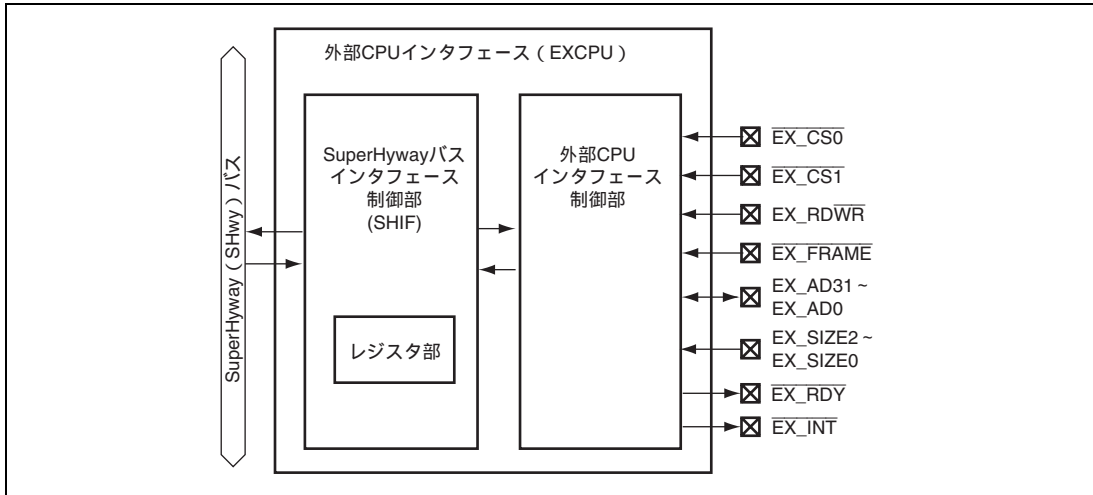


図 15.1 EXCPUのブロック図

15.2 入出力端子

EXCPU の端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	端子名	入出力	説明
チップセレクト	EX_CS $\bar{0}$	入力	DDR-SDRAM 空間へのアクセスを示します。
チップセレクト	EX_CS $\bar{1}$	入力	本 CPU 内レジスタへのアクセスを示します。
バスサイクル開始	EX_BS	入力	アドレスフェーズを示します。
アクセスサイクル	EX_FRAME	入力	アクセスサイクル期間を示します。
リード/ライト	EX_RDWR	入力	データの書き込みであるか読み出しであるかを示します。
アクセスサイズ	EX_SIZE2 ~ EX_SIZE0	入力	アクセスサイズを示します。 【注】 SH7750 系の場合使用します。 SH7751 系では、D31 ~ D29 が SIZE 信号になります。
アドレス/データ	EX_AD31 ~ EX_AD0	入出力	アドレスフェーズ時は、EX_AD25 ~ EX_AD0 はアドレス入力。 データフェーズ時は、EX_AD25 ~ EX_AD0 はデータ入出力。
レディ	EX_RDY	出力	ウェイトステート要求信号
外部 CPU 割り込み	EX_INT	出力	割り込み信号
モード制御	MD10	入力	外部 CPU 接続選択 1 : 外部 CPU 接続あり 0 : 外部 CPU 接続なし

15.3 レジスタの説明

EXCPU のレジスタ構成を表 15.2 に示します。また、各処理モードにおけるレジスタの状態を表 15.3 に示します。

表 15.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
外部 CPU コントロールレジスタ	EXCTRL	R/W	H'FE40 000C	H'1E40 000C	32
外部 CPU メモリ空間選択レジスタ	EXCMSETR	R/W	H'FE40 0010	H'1E40 0010	32
外部 CPU 出力割り込みコントロール レジスタ	EXCINOR	R/W	H'FE40 0014	H'1E40 0014	32

表 15.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
外部 CPU コントロールレジスタ	EXCTRL	H'0000 0000	H'0000 0000	保持	保持
外部 CPU メモリ空間選択レジスタ	EXCMSETR	H'0000 0000	H'0000 0000	保持	保持
外部 CPU 割り込み出力コントロール レジスタ	EXCINOR	H'0000 0000	H'0000 0000	保持	保持

15.3.1 外部 CPU コントロールレジスタ (EXCCTRL)

EXCMCR は、外部 CPU 接続の有無の表示および外部 CPU 種別の設定を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EXC CD	EXC SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	EXCMD	不定*	R	外部 CPU 接続有無表示 MD10 端子の状態を表示します。 0: 外部 CPU 接続なし 1: 外部 CPU 接続あり
0	EXCSEL	0	R/W	外部 CPU 種別選択 外部に接続する CPU を選択します。 0: SH7751 系 1: SH7750 系

【注】 * 初期値は MD10 端子の設定によります。

15.3.2 外部 CPU メモリ空間選択レジスタ (EXCMSETR)

EXCMSETR は、外部 CPU からの本 LSI の内部メモリ空間にアクセスする際のベースアドレスを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	EXCMSET[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	EXCMSET	0000	R/W	内部メモリ空間ベースアドレス 外部 CPU から内部メモリへのアクセス時におけるメモリ空間ベースアドレスを設定します。 アクセスするメモリ空間のアドレスは以下の様に構成されます。 31,30 ビット目: B'01'固定 29~26 ビット目: EXCMSET [3:0]が相当 25~0 ビット目: 外部 CPU からのアクセスアドレス 外部 CPU からアクセスできるメモリ空間のアドレス範囲は、H'4000 0000 ~ H'7FFF FFFF になります。

15.3.3 外部 CPU 割り込み出力コントロールレジスタ (EXCINOR)

EXCINOR レジスタは、本 LSI から外部 CPU に対する割り込みを発生させるレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EXC INO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	EXCSEL	0	R/W	外部 CPU への割り込み通知 1: $\overline{\text{EX_INT}}$ 端子をアサートし、外部 CPU に対する割り込みを発生させます。 0: $\overline{\text{EX_INT}}$ 端子をネゲートし、外部 CPU に対する割り込みをクリアします。

15.4 動作説明

本 LSI では、本 LSI の外部に接続された CPU (外部 CPU) から、MPX プロトコルを使って本 LSI の DDR-SDRAM 空間あるいは本 LSI 内部レジスタ空間にアクセスすることができます。

外部 CPU からのアクセス要求 ($\overline{\text{BREQ}}$) が、LBSC で受け付けられ、ローカルバスを解放し、アクセス許可 ($\overline{\text{BACK}}$) を返答した後、外部 CPU から本 LSI 内部へのアクセスができるようになります。

EXCPU は、外部 CPU からの CS 信号 ($\overline{\text{EX_CS0}}$ 、 $\overline{\text{EX_CS1}}$) により、DDR-SDRAM 空間へのアクセスか内部レジスタ空間へのアクセスかの判別を行い、それぞれのアクセス処理をします。

DDR-SDRAM 空間へのアクセスの場合、外部 CPU から MPX プロトコルを SuperHyway バスのプロトコルに変換し、外部 CPU から本 LSI 内部 DDR-SDRAM 空間へのアクセスを実現します。その際、本 LSI と同一のエンディアンの基で外部 CPU からのアクセスサイズによりデータアライメントの変換を行います。

(1) 外部 CPU アクセス許可空間

外部 CPU から、DDR-SDRAM 空間および本 LSI 内部レジスタ空間にアクセス可能です。アクセス空間は、以下のように CS 信号で選択します。

$\overline{\text{EX_CS0}}$: DDR-SDRAM 空間 (64M バイト)

$\overline{\text{EX_CS1}}$: 本 LSI 内部レジスタ空間

ただし DDR-SDRAM 空間については、外部 CPU のアクセス可能な空間が 64M バイトであることに対し、本 LSI 内では 512M バイト存在することから、外部 CPU からの DDR-SDRAM 空間アクセスは、ウィンドウ方式により本 LSI 内 DDR-SDRAM 全空間をアクセス可能とします。

アクセス方法としては、EXCPU の EXCMSETR レジスタに 64M バイト単位のアクセス空間を設定後、DDR-SDRAM 空間にアクセスすることにより本 LSI 内の全 DDR-SDRAM 空間 (512M バイト) にアクセス可能となります。

(2) 外部 CPU とのデータアライメント変換

EXCPU は、外部 CPU に対して、本 LSI と同一のエンディアンの基でデータアライメントの変換を行います。

バイトデータの並び方を上位バイトが 0 番地側になるビッグエンディアン、下位バイトが 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子でパワーオンリセット時に設定します。

表 15.4 リトルエンディアンのアクセスとデータアライメント

	EX_AD31~24	EX_AD23~16	EX_AD15~8	EX_AD7~0
0 番地バイトアクセス				データ 7~0
1 番地バイトアクセス			データ 7~0	
2 番地バイトアクセス		データ 7~0		
3 番地バイトアクセス	データ 7~0			
4 番地バイトアクセス				データ 7~0
5 番地バイトアクセス			データ 7~0	
6 番地バイトアクセス		データ 7~0		
7 番地バイトアクセス	データ 7~0			
0 番地ワードアクセス			データ 15~8	データ 7~0
2 番地ワードアクセス	データ 15~8	データ 7~0		
4 番地ワードアクセス			データ 15~8	データ 7~0
6 番地ワードアクセス	データ 15~8	データ 7~0		
0 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0
4 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0

表 15.5 ビッグエンディアンのアクセスとデータアライメント

	EX_AD31~24	EX_AD23~16	EX_AD15~8	EX_AD7~0
0 番地バイトアクセス	データ 7~0			
1 番地バイトアクセス		データ 7~0		
2 番地バイトアクセス			データ 7~0	
3 番地バイトアクセス				データ 7~0
4 番地バイトアクセス	データ 7~0			
5 番地バイトアクセス		データ 7~0		
6 番地バイトアクセス			データ 7~0	
7 番地バイトアクセス				データ 7~0
0 番地ワードアクセス	データ 15~8	データ 7~0		
2 番地ワードアクセス			データ 15~8	データ 7~0
4 番地ワードアクセス	データ 15~8	データ 7~0		
6 番地ワードアクセス			データ 15~8	データ 7~0
0 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0
4 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0

(3) 外部 CPU アクセスタイムチャート

EXCPU と外部 CPU とのアクセスは、アクセス要求 ($\overline{\text{BREQ}}$)、アクセス許可 ($\overline{\text{BACK}}$) のハンドシェイクにより行われます。

図 15.2、図 15.3 に EXCPU と外部 CPU とのアクセスタイムチャートを示します。

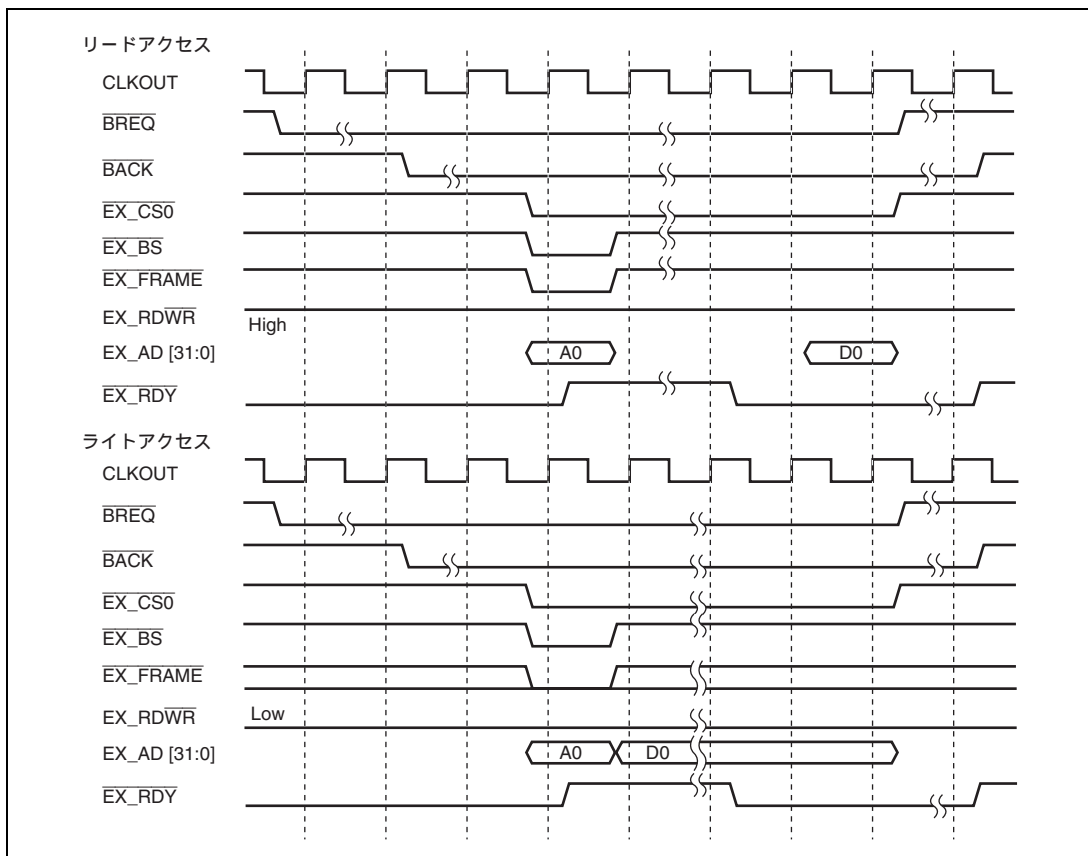


図 15.2 外部 CPU アクセス (シングルアクセス)

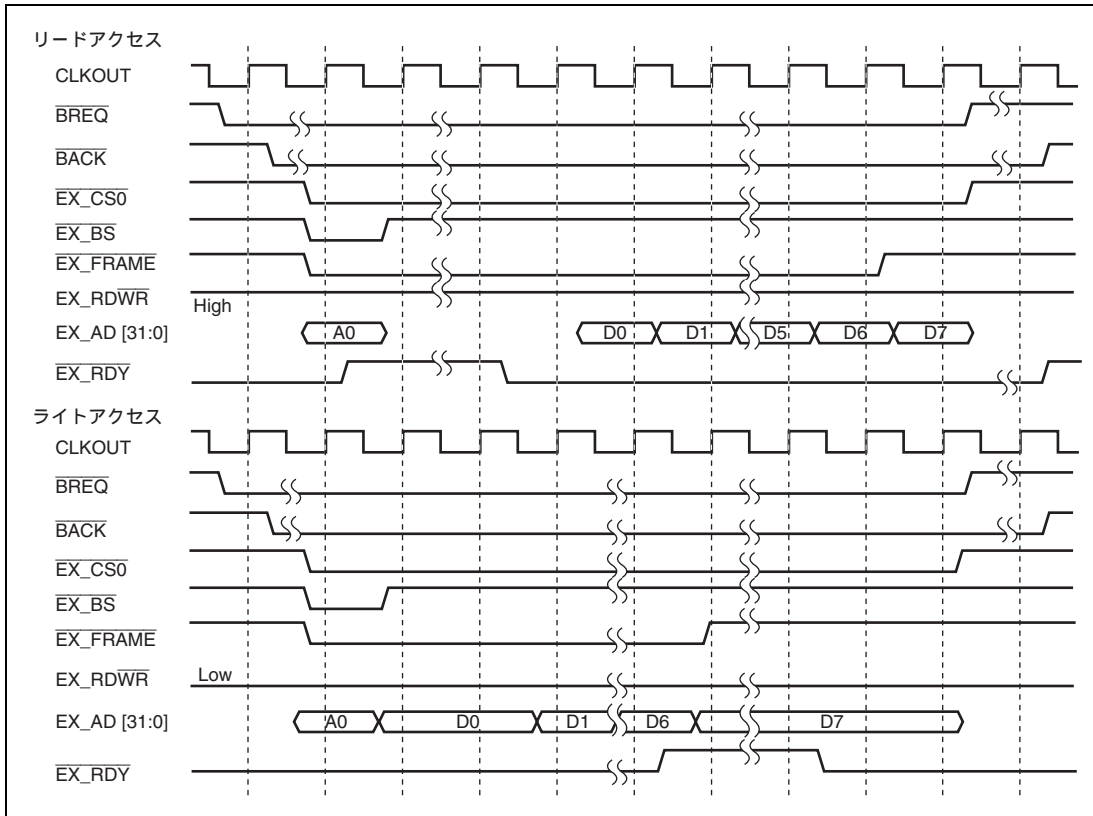


図 15.3 外部 CPU アクセス (バーストアクセス)

(4) 外部 CPU 接続構成

外部 CPU と本 LSI の接続構成を、図 15.4 に示します。

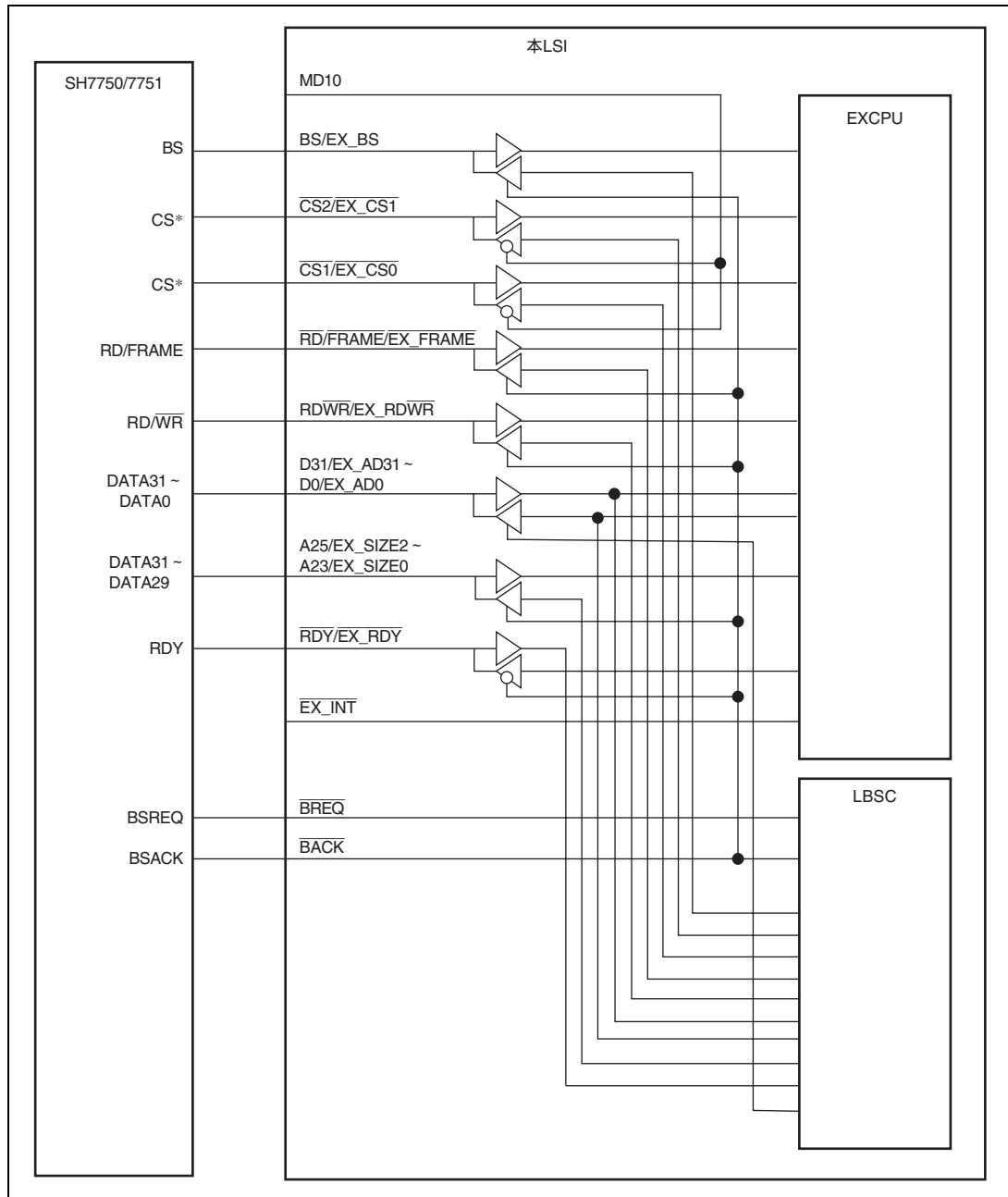


図 15.4 外部 CPU との接続構成

16. クロック発振器 (CPG)

クロック発振器 (CPG) は本 LSI の内蔵周辺モジュールおよび外部バスインタフェースに供給するクロックの生成と低消費電力の制御を行います。クロック発振器は、水晶発振回路、PLL 回路、分周回路および制御部で構成されます。

16.1 特長

- 本LSI内部用のクロックを生成
CPU、FPU、キャッシュ、TLBで使用するCPUクロック(Ick)と、SuperHywayで使用するSHwyクロック(SHck)、内蔵周辺モジュールへ供給する周辺クロック (Pck0、Pck1) を生成します。
- 本LSI外部用のクロックを生成
外部バスインタフェースで使用するバスクロック (Bck) とDDRインタフェースで使用するメモリクロックとしてDDRクロック (DDRck) を生成します。
- クロックモード
CPGへのクロック入力について水晶発振子入力か外部クロック入力かを選択します。
パワーオンリセット後のCPUクロック、SHwyクロック、バスクロック、周辺クロック、DDRクロックの通倍率の組み合わせを2種類のクロック動作モードから選択できます。
- 低消費電力モードの制御
スリープモード、ソフトウェアスタンバイモードでのクロック停止、およびモジュールスタンバイモードでの特定モジュールの停止が可能です。

図 16.1 に CPG のブロック図を示します。

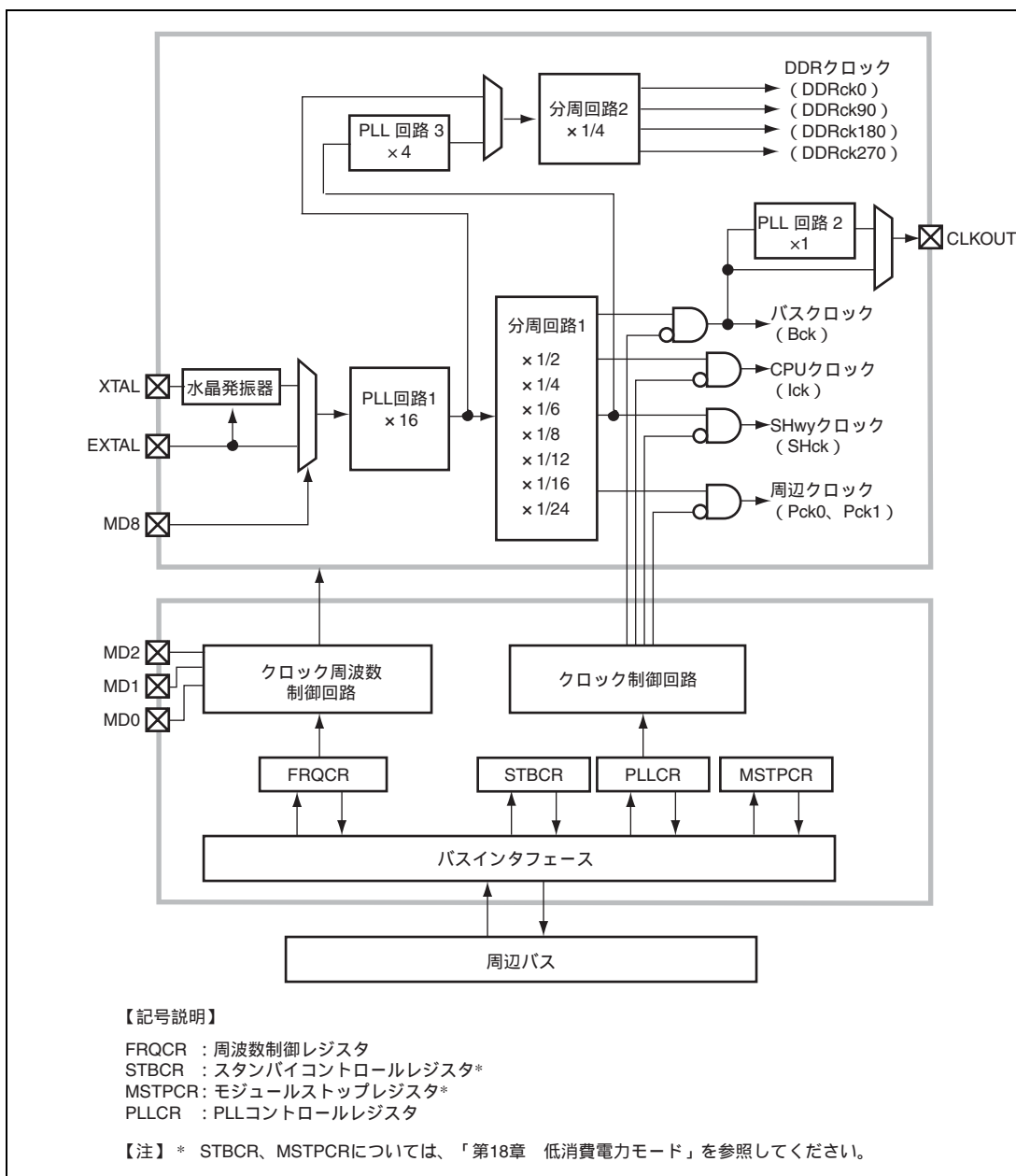


図 16.1 CPG ブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、水晶発振回路または EXTAL 端子からの入力クロック周波数を、16 倍に逡倍する機能を持ちます。クロックの逡倍率は、モード端子 MD0、MD1、および MD2 の組み合わせで決まります。

(2) PLL 回路 2

PLL 回路 2 は、バスクロック (Bck) と、外部周辺インタフェースで使用する CLKOUT のクロックの位相を合わせる機能を持ちます。

(3) 水晶発振回路

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。

水晶発振回路は MD8 端子の設定により使用可能となります。

(4) 分周回路 1

分周回路 1 は、CPU クロック (Ick)、SHwy クロック (SHck)、周辺クロック (Pck0、Pck1)、バスクロック (Bck) を生成します。

クロックの分周率は、モード制御端子 MD0、MD1、および MD2 の組み合わせにより決まります。

(5) 周波数制御レジスタ (FRQCR)

周波数制御レジスタは、モード制御端子 MD0、MD1、および MD2 の組み合わせにより決まります。読み出し専用です。

(6) PLL 回路 3

PLL 回路 3 は、SHwy クロック (SHck) を 4 倍に逡倍する機能を持ちます。

(7) 分周回路 2

分周回路 2 は、DDR クロック (DDRck0、DDRck90、DDRck180、DDRck270) を生成します。

(8) PLL 制御レジスタ (PLLCR)

PLL 制御レジスタには、CLKOUT 出力の ON/OFF 制御ビットが割り当てられています。

(9) モジュールストップレジスタ 0、1 (MSTPCR0、1)

モジュールストップレジスタ 0、1 には、各周辺モジュールの動作 / 停止を制御するビットが割り当てられています。

(10) スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタには、スタンバイビットが割り当てられています。

16.2 入出力端子

CPG の端子構成を表 16.1 に示します。

表 16.1 CPG の端子構成と機能

端子名	機能	入出力	説明
MD0 MD1 MD2	モード制御端子 0、1、2 クロック動作モード	入力	パワーオンリセット後のクロック動作モードを設定します。
MD8	モード制御端子 8 クロック入力モード	入力	水晶発振子の使用 / 不使用を設定します。 MD8=L のとき、EXTAL から外部クロックを入力します。 MD8=H のとき、EXTAL、XTAL に水晶発振子を接続します。
XTAL	クロック端子	出力	水晶発振子を接続します。
EXTAL		入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
CLKOUT		出力	外部バスクロック出力端子として使用します

【注】 CLKOUT の AC タイミング保証は、電気的特性の章を参照してください。なお、水晶発振回路の入力周波数と通信率の関係にご注意ください。

16.3 クロック動作モード

モード制御端子 (MD0、MD1、および MD3) の組み合わせとパワーオンリセット後のクロック動作モードの関係を表 16.2 に示します。

表 16.2 クロック動作モード

クロック 動作 モード	外部端子 組み合わせ ^{*1}			PLL 1	PLL 2	PLL 3	EXTAL 周波数 (MHz)		CPG 生成クロック						FRQCR 初期値
	MD2	MD1	MD0						lck	SHck	Bck	Pck0	Pck1	DDRck	
0	0	0	0	オン	オン	オフ	25~33.3	周波数 比 ^{*2}	8	4	2	2	1	4	H'1013 0035
								最大 周波数	266.6	133.3	66.6	66.6	33.3	133.3	

【注】 *1 上記以外のモード端子 MD0、MD1、および MD2 の組み合わせは設定禁止です。

*2 水晶発振回路または EXTAL 端子からの入力クロック周波数を 1 としたときの各クロック周波数比です。

16.4 レジスタの説明

CPG のレジスタ構成を表 16.3 に示します。また、各処理モードにおけるレジスタの状態を表 16.4 に示します。

表 16.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R	H'FFC8 0000	H'1FC8 0000	32
PLL コントロールレジスタ	PLLCR	R/W	H'FFC8 0024	H'1FC8 0024	32

表 16.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
周波数制御レジスタ	FRQCR	H'1013 0035	保持	保持	保持
PLL コントロールレジスタ	PLLCR	H'0000 0001	保持	保持	保持

16.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し専用の 32 ビットのレジスタで、CPU クロック (Ick)、SHwy クロック (SHck)、周辺クロック (Pck0、Pck1)、バスクロック (Bck) のパワーオンリセット後の周波数分周率の確認が可能です。周波数比は、「表 16.2 クロック動作モード」を参照してください。FRQCR はロングワードアクセスのみ可能です。書き込んだ場合の動作は保証できません。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時および WDT オーバフローによるパワーオンリセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	CFC[2:0]		-	BFC[2:0]			
初期値:	0	0	0	1	0	0	0	0	0	0	0	1	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	P0FC[2:0]		-	P1FC[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	0001	R	リザーブビット 読み出すと常に 0001 が読み出されます。
27~23	-	00000	R	リザーブビット 読み出すと常に 00000 が読み出されます。
22~20	CFC[2:0]	001	R	CPU クロック (Ick) および SHwy クロック (SHck) 周波数の分周率 Ick SHck 001 : 1/2 倍 1/4 倍
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
18~16	BFC[2:0]	011	R	バスクロック (Bck) 周波数の分周率 011 : $\times 1/8$ 倍
15~7	-	000000000	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	P0FC[2:0]	011	R	周辺クロック 0 (Pck0) 周波数の分周率 011 : $\times 1/8$ 倍
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
2~0	P1FC[2:0]	101	R	周辺クロック 1 (Pck1) 周波数の分周率 101 : $\times 1/16$ 倍

16.4.2 PLL コントロールレジスタ (PLLCR)

PLLCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、CLKOUT 端子からのクロック出力の有無の指定を行います。PLLCR はロングワードアクセスのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CKOFF	CKOEN
初期値 :	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 書き込む値は初期値と同値にしてください。
14、13	-	すべて 1	R	リザーブビット 書き込む値は初期値と同値にしてください。
12~2	-	すべて 0	R	リザーブビット 書き込む値は初期値と同値にしてください。
1	CKOFF	0	R/W	CLKOUT 出力停止 0 : CLKOUT 端子からのクロックを出力します。 1 : CLKOUT 端子からのクロック出力を停止します。端子状態は、ローレベルになります。
0	CKOEN	1	R/W	クロック出力イネーブル ソフトウェアスタンバイ中に CLKOUT 端子からのクロックを出力するか、ローレベルに固定するかを設定します。 0 : ローレベルに固定 1 : クロックを出力

【注】 * MD0 ~ MD2 の設定により選択されるクロック動作モードにより設定される初期値となります。

16.5 ボード設計上の注意事項

(1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

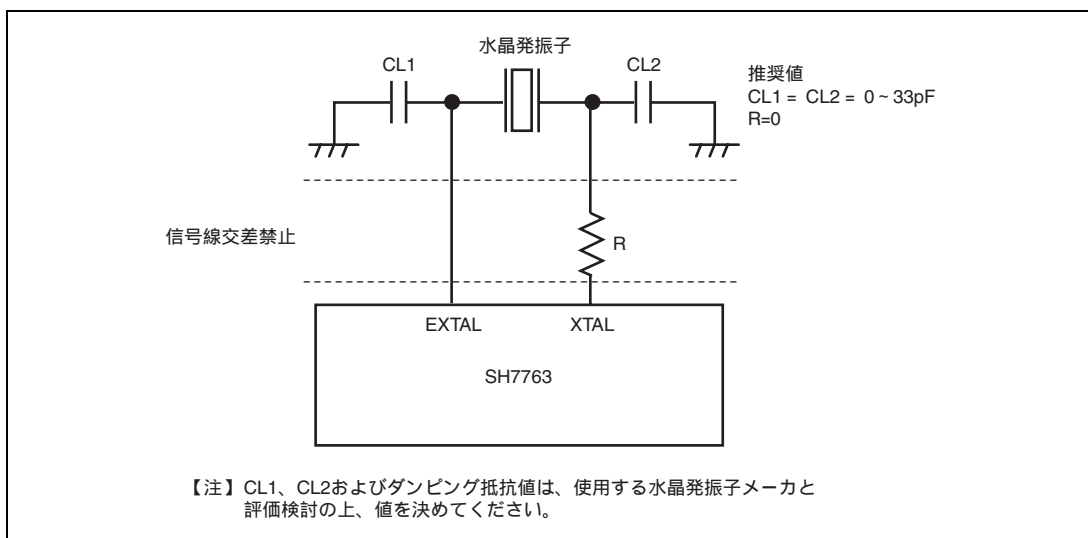


図 16.2 水晶発振器使用時の注意

(2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

(3) PLL、DLL 使用時の注意

各 VDD-PLL、VSS-PLL は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB およびバイパスコンデンサ CPB を挿入してください。

また、各 VDD-DLL、VSS-DLL は、各 VDD、VSS と同じ電位にしてください。

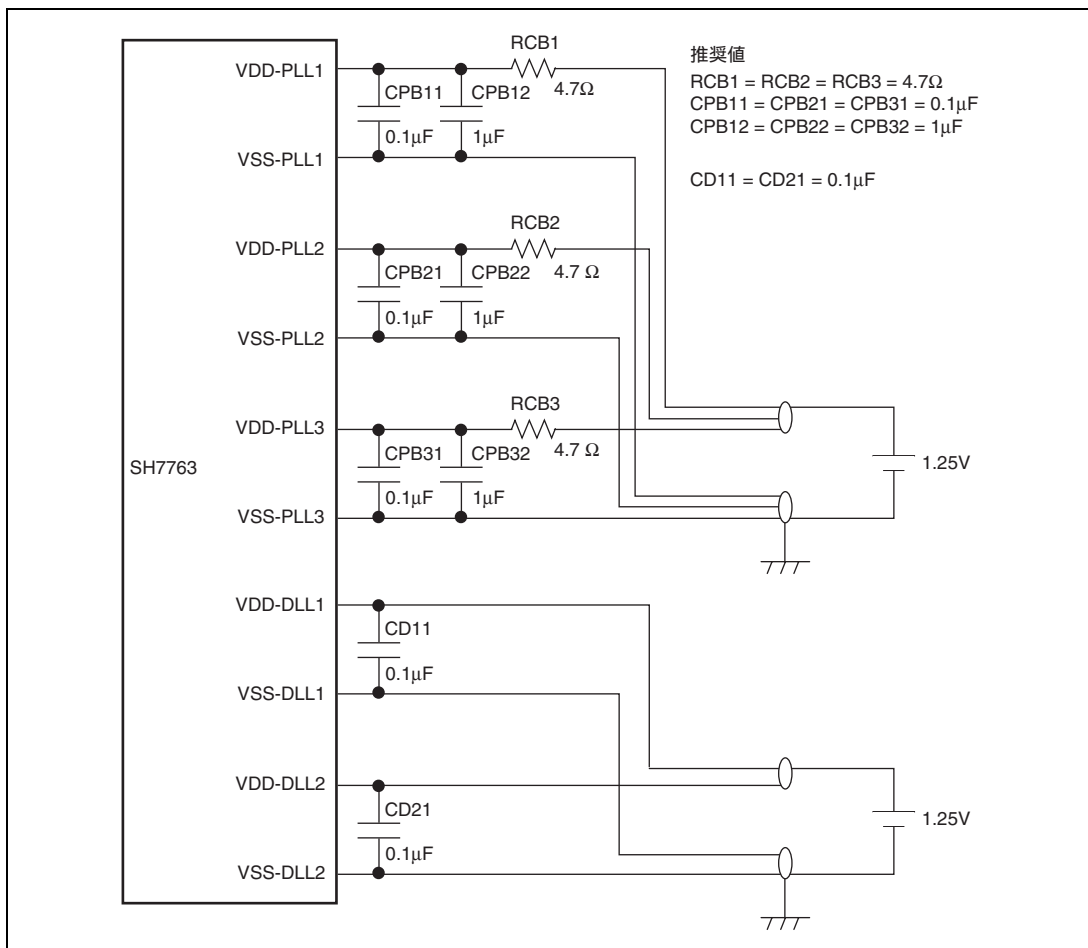


図 16.3 PLL、DLL 発振回路使用時の注意

17. リセット、ウォッチドッグタイマ (WDT)

リセット、ウォッチドッグタイマ (WDT) は、リセット制御部とウォッチドッグタイマ制御部から構成され、パワーオンリセット時のシーケンス制御と、本 LSI 内部および外部周辺デバイスのリセットを制御します。

WDT は 1 チャンネルのタイマでありウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

17.1 特長

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- カウンタオーバーフローにより内部をリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。
- ウォッチドッグタイマモード時、カウンタオーバーフローにより内部モジュールをリセットします。
- リセットの種類は、パワーオンリセットとマニュアルリセットを選択できます。
- インターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。
- WDT 関連のレジスタは、容易に書き換えられないように上位 8 ビットにコード値を設定しています。
- カウンタがオーバーフローするまでの最大時間は、約 21 秒 (周辺クロック 0 : Pck0 = 50MHz 時) です。

図 17.1 にリセット、ウォッチドッグタイマ (WDT) のブロック図を示します。

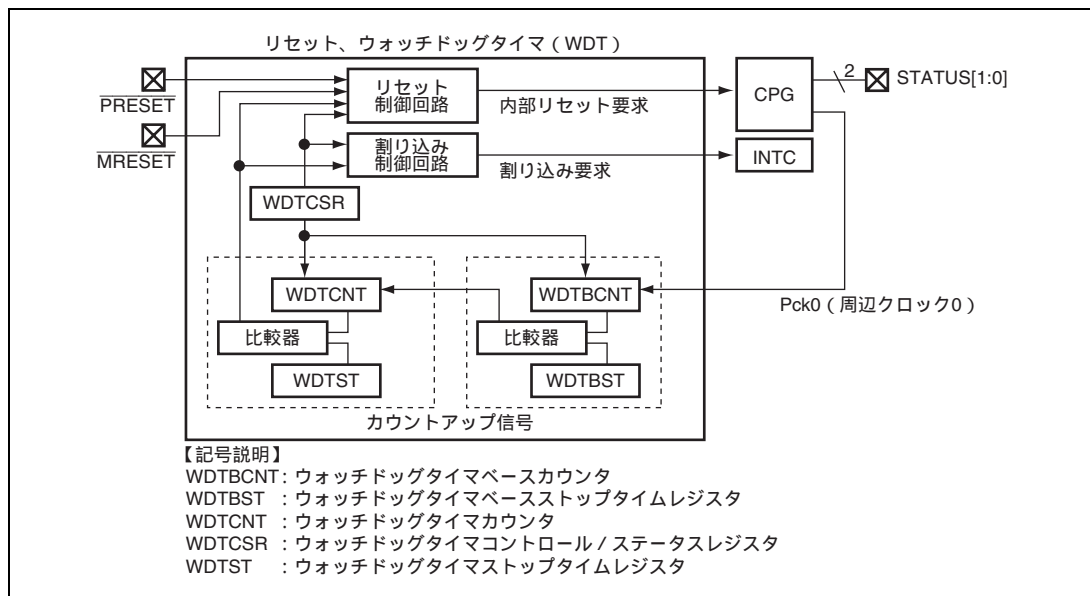


図 17.1 ブロック図

17.2 入出力端子

リセット、WDT の端子構成と機能を表 17.1 に示します。

表 17.1 リセット、WDT の端子構成と機能

端子名	機能	入出力	説明
PRESET	パワーオンリセット 入力端子	入力	端子にローレベルを入力することによりパワーオンリセット状態に遷移します。
MRESET	マニュアルリセット 入力端子	入力	端子にローレベルを入力することによりマニュアルリセット状態に遷移します。
STATUS[1:0]	ステータス出力	出力	プロセッサの動作状態を表します。 HH: リセット HL: スリープモード LH: スタンバイモード LL: 通常動作 STATUS1、STATUS0 端子は、それぞれ他の機能とマルチプレクスされています。

17.3 レジスタの説明

WDTのレジスタ構成を表 17.2 に示します。また、各処理モードにおけるレジスタの状態を表 17.3 に示します。

表 17.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
ウォッチドッグタイマストップ タイムレジスタ	WDTST	R/W	H'FFCC 0000	H'1FCC 0000	32
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	R/W	H'FFCC 0004	H'1FCC 0004	32
ウォッチドッグタイマベース ストップタイムレジスタ	WDTBST	R/W	H'FFCC 0008	H'1FCC 0008	32
ウォッチドッグタイマカウンタ	WDCNT	R	H'FFCC 0010	H'1FCC 0010	32
ウォッチドッグタイマベース カウンタ	WDTBCNT	R	H'FFCC 0018	H'1FCC 0018	32

表 17.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット		マニュアル リセット	スリープ	スタンバイ
		PRESET 端子 による	WDT/H-UDI による			
ウォッチドッグタイマストップ タイムレジスタ	WDTST	H'0000 0000	保持	保持	保持	保持
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	H'0000 0000	保持	保持	保持	保持
ウォッチドッグタイマベース ストップタイムレジスタ	WDTBST	H'0000 0000	保持	保持	保持	保持
ウォッチドッグタイマカウンタ	WDCNT	H'0000 0000	保持	保持	保持	保持
ウォッチドッグタイマベース カウンタ	WDTBCNT	H'0000 0000	保持	保持	保持	保持

17.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)

WDTST は、読み出し / 書き込み可能な 32 ビットのレジスタで、WDTCNT のオーバーフロー値を設定します。H'0000 0001 を設定したときがオーバーフローまでの最小時間で、H'0000 0000 を設定したときがオーバーフローまでの最大時間になります。

WDTST への書き込みは上位バイトをコード値 (H'5A) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'5A)								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	WDTST											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'5A) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'5A を書き込んでください。
23~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	WDTST	H'000	R/W	WDTCNT のオーバーフロー値

17.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)

WDTCSR は、読み出し/書き込み可能な 32 ビットのレジスタで、タイマのモードを選択するビット、オーバフローフラグから成ります。

WDTCSR への書き込みは上位バイトをコード値 (H'A5) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'A5)								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TME	WT/IT	RSTS	WOVF	IOVF	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'A5) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TME	0	R/W	タイムイネーブル タイマ動作の開始または停止を設定します。 0: カウントアップ停止 1: カウントアップ開始
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。なお、WDT の動作中に WT/IT を書き替えるとカウントアップが正しく行われない場合があります。 0: インターバルタイマモード 1: ウォッチドッグタイマモード
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WDTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット

ビット	ビット名	初期値	R/W	説明
4	WOVF	0	R/W	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WDTCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。 0 : オーバフローなし 1 : ウォッチドッグタイマモードで WDTCNT がオーバーフローした
3	IOVF	0	R/W	インターバルタイマオーバーフロー インターバルタイマモードで WDTCNT がオーバーフローしたことを示します。ウォッチドッグタイマモードではセットされません。 0 : オーバフローなし 1 : インターバルタイマモードで WDTCNT がオーバーフローした
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

WDTBST は、読み出し / 書き込み可能な 32 ビットのレジスタで、WDTBCNT のクリアを行います。

WDTBCNT のクリアは、WDTBST の上位バイトにコード値 (H'55) をロングワードサイズで書き込むことで実行します。WDTBST を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'55)								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

17.3.4 ウォッチドッグタイマカウンタ (WDTCNT)

WDTCNT は、読み出し可能な 32 ビットのレジスタで、WDTBCNT のオーバフローによりカウントアップします。WDTCNT がオーバフローすると、ウォッチドッグタイマモードでは選択したリセットが発生し、インターバルタイマモードでは割り込みが発生します。

WDTCNT への書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	WDTCNT												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

17.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)

WDTBCNT は、読み出し可能な 32 ビットのレジスタで、周辺クロック 0(Pck0)によりカウントアップします。WDTBCNT がオーバフローすると、WDTCNT のカウントアップを行い、WDTBCNT を H'0000 0000 にクリアします。

WDTBCNT への書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WDTBCNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

17.4 動作説明

17.4.1 リセット要求

リセットには、パワーオンリセットとマニュアルリセットがあります。それぞれの発生要因を説明します。

(1) パワーオンリセット

1. 要因:

- $\overline{\text{PRESET}}$ 端子からローレベルを入力した場合
- WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが0の状態、WDCNTがオーバフロー発生した場合。
- H-UDIリセットが発生した場合

詳細は「第42章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

2. 遷移先アドレス: H'A000 0000

3. 遷移時動作:

例外コード H'000 を EXPEVT にセットします。VBR、SR の初期化を行い、PC = H'A000 0000 に分岐します。初期化により、VBR レジスタは H'0000 0000 にセットされます。SR は、MD、RB、BL ビットが 1 にセットされ、FD ビットが 0 にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) が B'1111 にセットされます。CPU および周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

```
Power_on_reset ( )
{
    EXPEVT = H'0000 0000;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU ( );
    Initialize_Module (PowerOn);
    PC = H'A000 0000;
}
```

(2) マニュアルリセット

1. 要因:

- $\overline{\text{MRESET}}$ 端子からローレベルを入力した場合
- SRのBLビットが1のときユーザブレークを除く一般例外が発生した場合
- WTCSRのWT/ITビットが1かつWTCSRのRSTSビットが1の状態、WDTCNTがオーバーフロー発生した場合

2. 遷移先アドレス: H'A000 0000

3. 遷移時動作:

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) がB'1111にセットされます。

CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

Manual_reset ()

```
{
    EXPEVT = H'0000 0020;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU ( );
    Initialize_Module (Manual);
    PC = H'A000 0000;
}
```

17.4.2 ウォッチドッグタイマモードの使用法

1. WDTSTにWDTCNTのオーバーフロー時間を設定する。
2. WTCSRのWT/ITビットに1、RSTSビットにリセットのタイプを設定する。
3. WTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. ウォッチドッグタイマモードでは、WDTCNTがオーバーフローしないように定期的にWDTCNT、またはWDTBCNTをクリアしてください。クリア方法は「17.4.5 WDTカウンタのクリア方法」を参照してください。
5. WDTCNTがオーバーフローすると、WTCSRのWOVFフラグを1にセットし、RSTSビットで指定したリセットが発生します。リセット解除後、WDTCNT、およびWDTBCNTはカウントを再開します。

17.4.3 インターバルタイマモードの使用法

インターバルタイマモードでは、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WDTSTにWDCNTのオーバーフロー時間を設定する。
2. WDTCSRのWT/ITビットに0を設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. WDCNTがオーバーフローすると、WDTCSRのIOVFフラグを1にセットし、インターバルタイマ割り込み要求を発生します。このとき、WDCNT、およびWDTBCNTはカウントを続行しています。

17.4.4 WDT オーバフロー発生までの時間

WDCNT と WDTBCNT との関係を図 17.2 に示します。

図はインターバルタイマモードの例で、WDCNTのオーバーフロー後もカウントアップを継続します。

ウォッチドッグタイマモードでは、リセット解除後に WDCNT、WDTBCNT を 0 にクリアしてカウントアップを再開します。

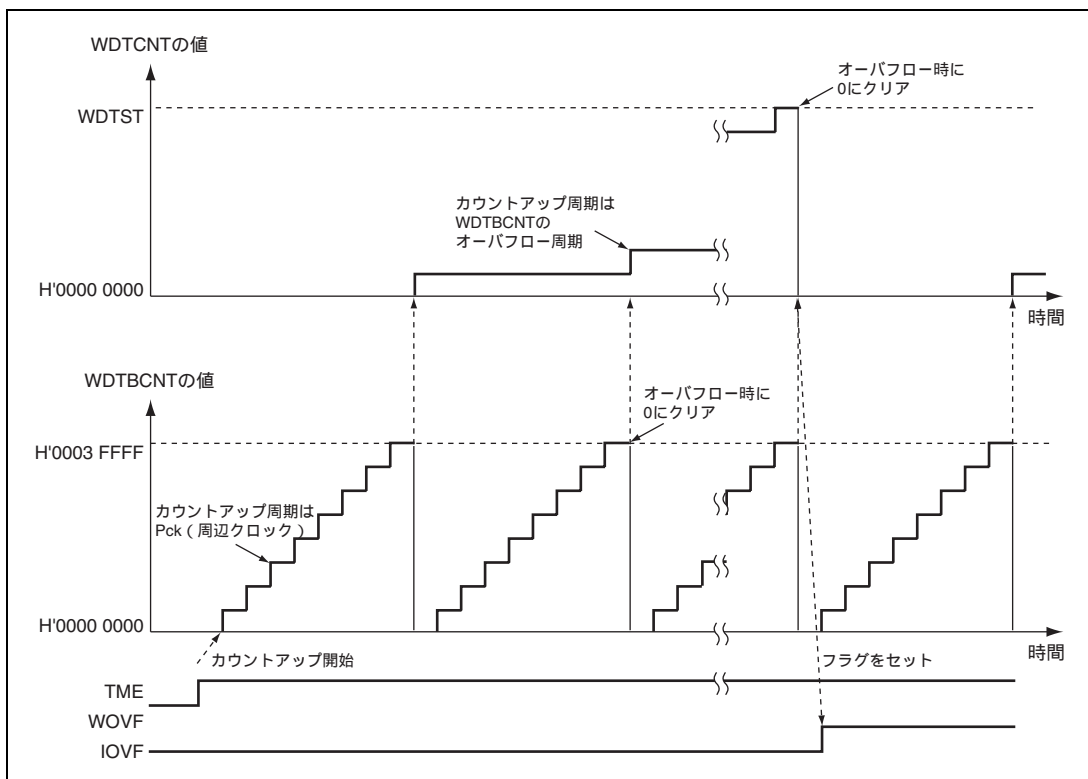


図 17.2 WDT のカウントアップ動作 (インターバルタイマモードの例)

WDTBCNT は 18 ビットのカウンタで、周辺クロック 0 (Pck0) でカウントアップします。WDTBST の全ビットに 0 を書き込んだ場合がオーバーフローまでの最大時間になります。周辺クロック 0 が 66.6MHz の場合、

$$2^{18}[\text{bit}] \times 1/66.6[\text{MHz}] = \text{約 } 3.932[\text{ms}]$$

がオーバーフローまでの最大時間です。

WDTCNT は 12 ビットのカウンタで、WDTBCNT でオーバーフローが発生するとカウントアップします。WDTST の全ビットに 0 を書き込んだ場合がオーバーフローまでの最大時間になります。周辺クロック 0 が 66.6MHz の場合、

$$2^{12}[\text{bit}] \times 3.932 [\text{ms}] = \text{約 } 16.105[\text{s}]$$

がオーバーフローまでの最大時間です。

また最小時間は、WDTST に H'5A000001 を書き込んだ場合で、

$$2^1[\text{bit}] \times 3.932 [\text{ns}] = 3.932 [\text{ms}]$$

となります。

17.4.5 WDT カウンタのクリア方法

WDTBST にコード値を書き込むことにより WDTBCNT が、WDTST にオーバーフロー値を設定することにより WDTCNT が、それぞれ 0 にクリアされます。

17.5 リセット中の端子タイミング

17.5.1 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

パワーオンリセットは、パワーオンリセット状態に遷移した際に PLL をリセットするため、PLL 同期安定時間を確保する必要があります。したがって、PLL 同期安定時間中に $\overline{\text{PRESET}}$ 端子にハイレベルを入力しないでください。PLL 同期安定時間は、PLL1 同期安定時間と PLL2 同期安定時間を合計した時間です。

$\overline{\text{PRESET}}$ 端子入力をローレベルからハイレベルに変化させた後、リセット保持時間を経過するまで LSI 内部でリセット状態を継続しています。リセット保持時間は、EXTAL 端子入力の入力周期の 20 サイクル、周辺クロック 0 (Pck0) 周期の 45 サイクル以上になります。

(1) 電源投入シーケンス

電源投入時は、必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

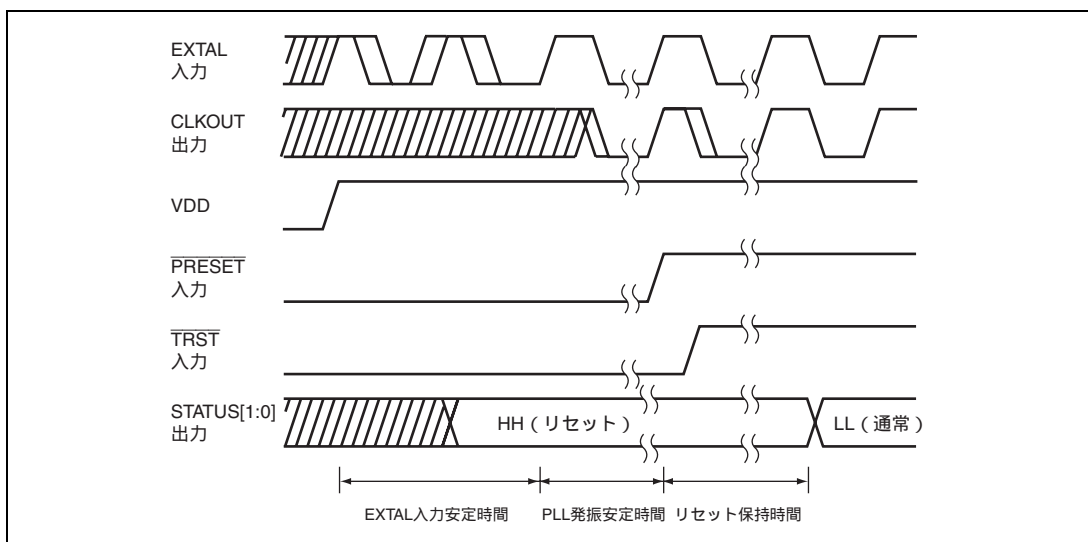
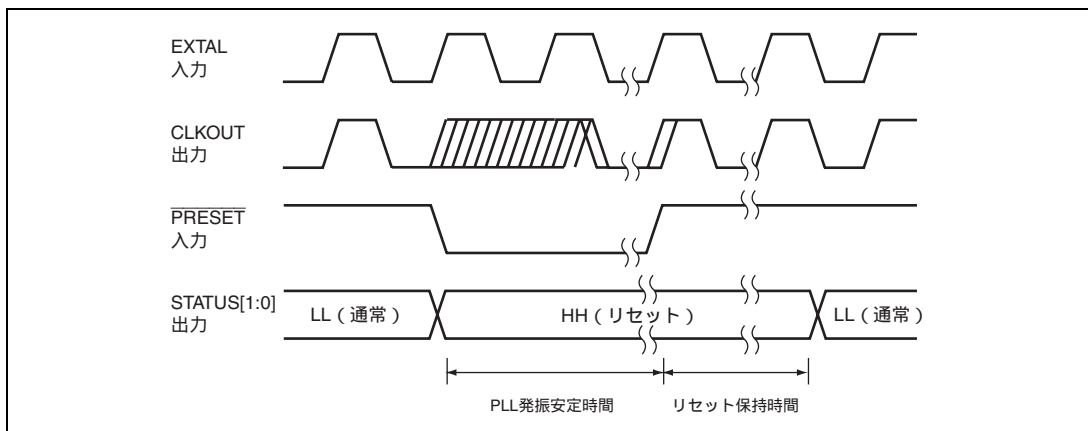


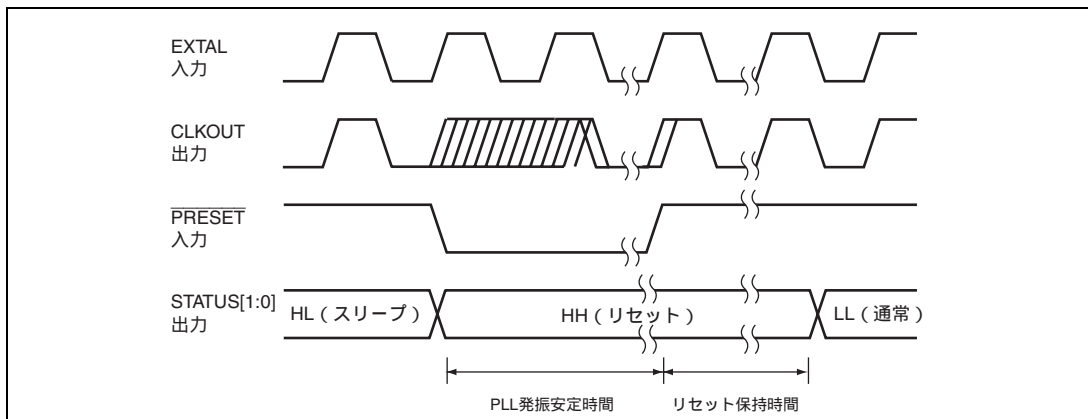
図 17.3 電源投入シーケンス

(2) 通常動作中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

通常動作中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

図 17.4 通常動作中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット(3) スリープ中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

スリープ中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

図 17.5 スリープ中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

17.5.2 WDT オーバフローによるパワーオンリセット

WDT オーバフローによるパワーオンリセットの期間 (WDT リセット時間) は、EXTAL 端子入力の入力周期の 3774 サイクル、および周辺クロック 0 (Pck0) 周期の 45 サイクル以上になります。

また、WDT オーバフローからパワーオンリセット状態に移移するまでの時間 (WDT リセット要求時間) は、EXTAL 端子入力の入力周期の 1 サイクル、および周辺クロック 0 (Pck0) 周期の 5 サイクル以上になります。

(1) 通常動作中に WDT オーバフローによりパワーオンリセットが発生させた場合

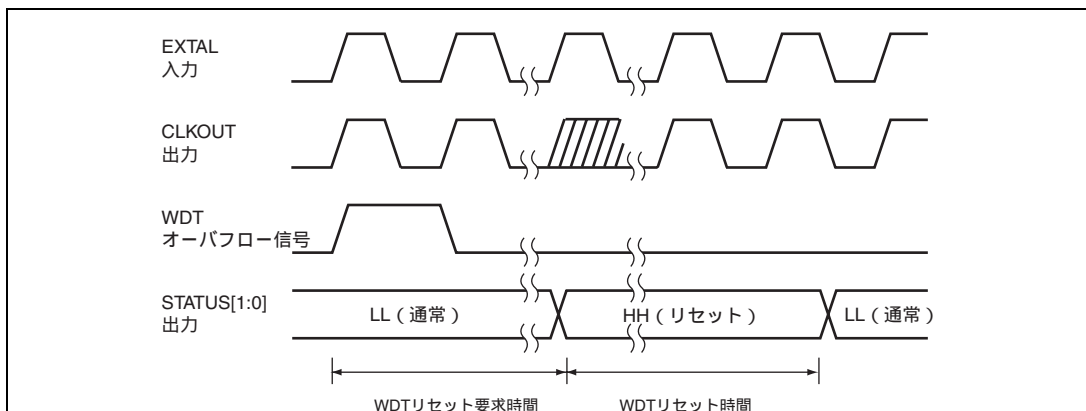


図 17.6 通常動作中の WDT オーバフローによるパワーオンリセット

(2) スリープ中に WDT オーバフローによりパワーオンリセットが発生させた場合

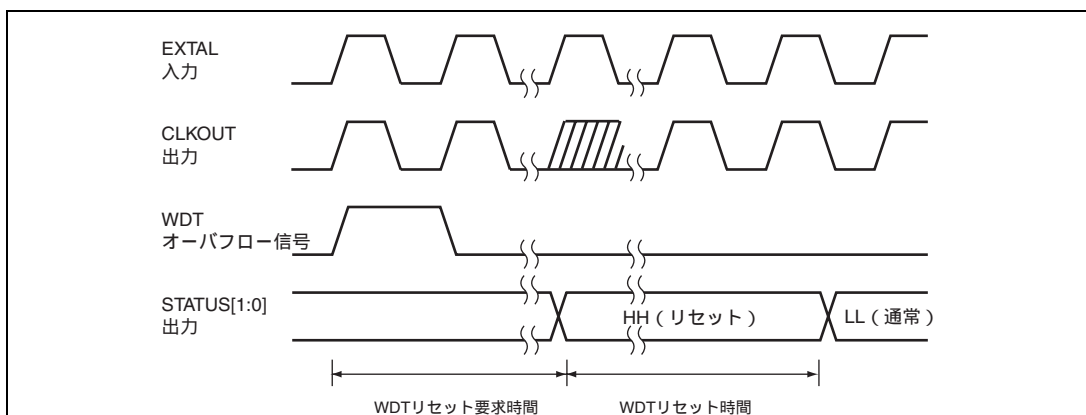


図 17.7 スリープ中の WDT オーバフローによるパワーオンリセット

17.5.3 WDT オーバフローによるマニュアルリセット

WDT オーバフローによるマニュアルリセットの期間 (WDT マニュアルリセット時間) は、EXTAL 端子入力の入力周期の 3774 サイクル以上になります。

また、WDT オーバフローからパワーオンリセット状態に移移するまでの時間 (WDT リセット要求時間) は、EXTAL 端子入力の入力周期の 1 サイクル、および周辺クロック 0 (Pck0) 周期の 5 サイクル以上になります。

(1) 通常動作中に WDT オーバフローによりマニュアルリセットが発生させた場合

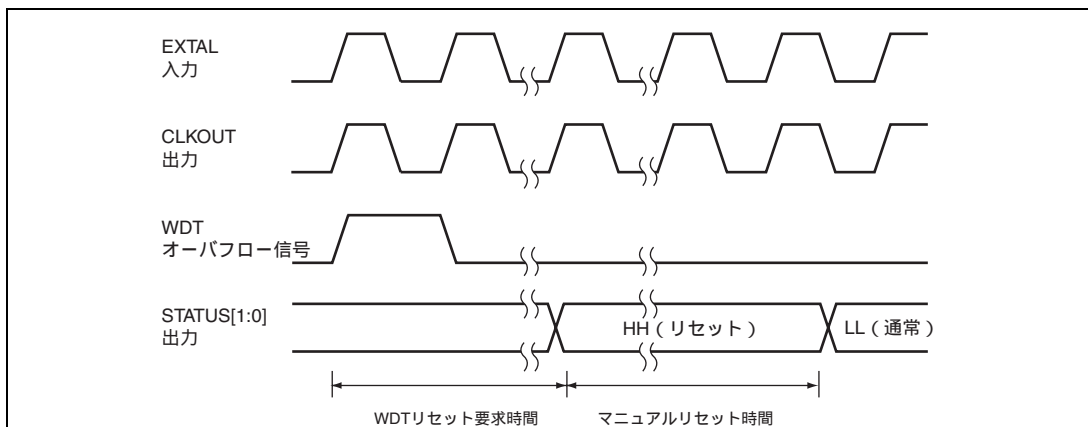


図 17.8 通常動作中の WDT オーバフローによるマニュアルリセット

(2) スリープ中に WDT オーバフローによりマニュアルリセットを発生させた場合

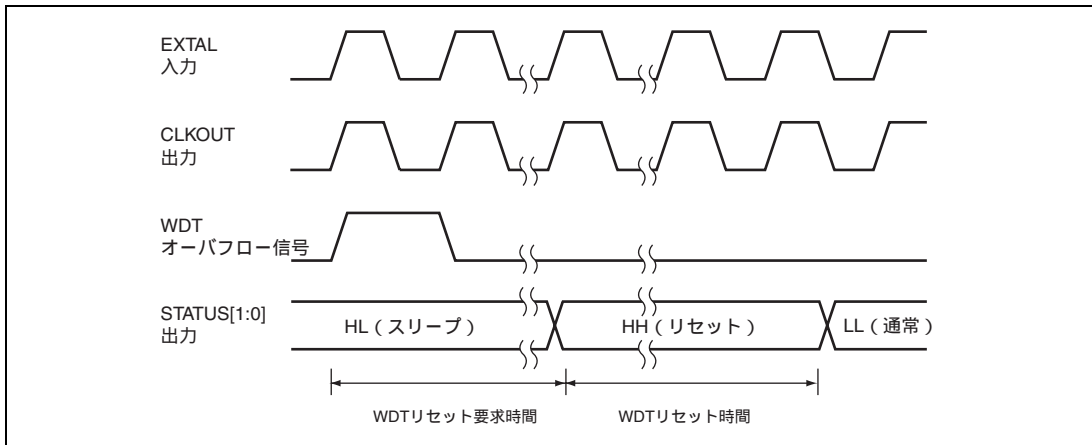


図 17.9 スリープ中の WDT オーバフローによるマニュアルリセット

18. 低消費電力モード

低消費電力モードでは、内蔵モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

18.1 特長

- スリープモード / モジュールスタンバイモードのサポート
- RTC電源のみを保持し、他の電源をオフするRTC電源バックアップモードのサポート。
- 2.5V系電源のみを保持し、他の電源をオフするDDR-SDRAM電源バックアップモードのサポート。

18.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- スリープモード
- ソフトウェアスタンバイ
- モジュールスタンバイ機能
- RTC電源バックアップ
- DDR-SDRAM電源バックアップ

各モードでのCPU や内蔵モジュールなどの状態を表 18.1 に示します。

表 18.1 低消費電力モードの状態

低消費電力モード	遷移方法	OPG	CPU	内蔵メモリ	内蔵周辺モジュール		端子	DDR-SDRAM	解除方法	S1 *7	S0 *7
					RTC	その他					
スリープモード	STBCR の STBY=0 で SLEEP 命令を実行	動作	停止 レジスタは保持	保持	動作	動作	保持	AR または SR*6	(1)割り込み (2)パワーオンリセット (3)マニュアルリセット	1	0
ソフトウェアスタンバイ	STBCR の STBY=1 で SLEEP 命令を実行	停止 *8	停止 レジスタは保持	停止 内容は保持	動作	停止	Hi-Z	不定 リフレッシュもありません	(1)NMI、IRQ (2)パワーオンリセット (3)マニュアルリセット	0	1
モジュールスタンバイ機能	MSTPCR0/MSTPCR1 の該当ビットを 1 にする	動作	動作	動作	動作	指定モジュール停止	保持	AR または SR*6	MSTPCR0/MSTPCR1 の該当ビットを 0 にする	0	0
RTC 電源バックアップ *2*3	XRTCSTBI 端子をローレベルにする	停止	停止	停止	動作	停止	Hi-Z *4	不定 リフレッシュもありません	パワーオンリセット	0	1
DDR-SDRAM 電源バックアップ*1*3	「18.7 DDR-SDRAM 電源バックアップ」参照	停止	停止	停止	停止	停止	不定 *5	SR*6	パワーオンリセット	0	0
パワーオンリセット	PRESET 端子をローレベルにする	初期状態	初期状態	初期状態	カウンタは保持	初期状態	初期状態	初期状態	—	1	1
マニュアルリセット	MRESET 端子をローレベルまたはソフトウェアリセット	保持	初期状態	初期状態	カウンタは保持	WDT、GPIO、デバッグは保持	保持	初期状態	—	1	1
通常状態		動作	動作	動作	動作	動作	動作	動作	—	0	0

【注】 *1 DDR-SDRAM 電源バックアップ時は、2.5V 電源以外の電源（1.2V、3.3V 電源）は遮断されますので DDRIF のパッド部分以外は DDRIF モジュール含め、すべて停止するとともにレジスタ情報も保持されません。

- *2 RTC 電源バックアップ時は、RTC 電源以外の電源（1.2V、2.5V、3.3V 電源）は遮断されますので RTC モジュール以外のモジュールは、すべて停止するとともにレジスタ情報も保持されません。
- *3 DDR-SDRAM 電源バックアップ、RTC 電源バックアップ両方を実行する場合は、双方の遷移条件を満たすようにしてください。
- *4 RTC モジュール端子以外は、ハイインピーダンス状態です。
- *5 DDR-SDRAM 以外の端子は、不定です。
- *6 AR はオートリフレッシュを、SR はセルフリフレッシュを示します。
- *7 S1 は STATUS1 端子、S0 は STATUS0 端子の出力状態を示します。
- *8 内部回路へのクロック供給は停止しますが、CPG の PLLCR.CKOEN ビットが 1 の場合、継続して CLKOUT 端子からクロックが出力されます。

18.2 入出力端子

低消費電力モードに関連する端子を表 18.2 に示します。

表 18.2 端子構成

端子名	機能	入出力	説明
STATUS1	処理状態 1	出力	本 LSI の動作状態を表します。 STATUS[1:0] 動作状態 H H : パワーオンリセット、マニュアルリセット H L : スリープモード L L : 通常動作 L H : ソフトウェアスタンバイモード、RTC 電源バックアップ
STATUS0	処理状態 0		
XRTCSTBI	RTC スタンバイ端子	入力	ローレベルで RTC 電源バックアップモード状態になります。

18.3 レジスタの説明

低消費電力モードのレジスタ構成を表 18.3 に示します。また、各処理モードにおけるレジスタの状態を表 18.4 に示します。

表 18.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'FFC8 0020	H'1FC8 0020	32
モジュールストップレジスタ 0	MSTPCR0	R/W	H'FFC8 0030	H'1FC8 0030	32
モジュールストップレジスタ 1	MSTPCR1	R/W	H'FFC8 0038	H'1FC8 0038	32

表 18.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
スタンバイコントロールレジスタ	STBCR	H'0000 0000	保持	保持	保持
モジュールストップレジスタ 0	MSTPCR0	H'0000 0000	保持	保持	保持
モジュールストップレジスタ 1	MSTPCR1	H'0000 0000	保持	保持	保持

18.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SLEEP 命令実行後の低消費電力モード指定ができます。

STBCR は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	STBY	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	STBY	0	R/W	スタンバイビット SLEEP 命令実行後、スリープモードに遷移するかソフトウェアスタンバイモードに遷移するかを指定します。 0: スリープモードに遷移 1: ソフトウェアスタンバイモードに遷移
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.2 モジュールストップレジスタ 0 (MSTPCR0)

MSTPCR0 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR0 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCDC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	LCDC	0	R/W	LCDC モジュールストップビット LCDC ビットを 1 にセットすると、LCDC へのクロックの供給を停止します。 0 : LCDC は動作 1 : LCDC へのクロックの供給を停止
14~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.3 モジュールストップレジスタ 1 (MSTPCR1)

MSTPCR1 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR1 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PCC	HAC	STIF1	STIF0	SSI3	SSI2	SSI1	SSI0	IIC1	IIC0	SIOF2	SIOF1	SIOF0	SCIF2	SCIF1
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCIF0	SIM	ADC	DAC	CMT	TMU1	TMU0	TPU	—	—	—	—	MMC	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	PCC	0	R/W	PCC モジュールストップビット PCC ビットを 1 にセットすると、PCC へのクロックの供給を停止します。 0 : PCC は動作 1 : PCC へのクロックの供給を停止
29	HAC	0	R/W	HAC モジュールストップビット HAC ビットを 1 にセットすると、HAC へのクロックの供給を停止します。 0 : HAC は動作 1 : HAC へのクロックの供給を停止
28	STIF1	0	R/W	STIF1 モジュールストップビット STIF1 ビットを 1 にセットすると、STIF1 へのクロックの供給を停止します。 0 : STIF1 は動作 1 : STIF1 へのクロックの供給を停止
27	STIF0	0	R/W	STIF0 モジュールストップビット STIF0 ビットを 1 にセットすると、STIF0 へのクロックの供給を停止します。 0 : STIF0 は動作 1 : STIF0 へのクロックの供給を停止
26	SSI3	0	R/W	SSI3 モジュールストップビット SSI3 ビットを 1 にセットすると、SSI3 へのクロックの供給を停止します。 0 : SSI3 は動作 1 : SSI3 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
25	SSI2	0	R/W	SSI2 モジュールストップビット SSI2 ビットを 1 にセットすると、SSI2 へのクロックの供給を停止します。 0 : SSI2 は動作 1 : SSI2 へのクロックの供給を停止
24	SSI1	0	R/W	SSI1 モジュールストップビット SSI1 ビットを 1 にセットすると、SSI1 へのクロックの供給を停止します。 0 : SSI1 は動作 1 : SSI1 へのクロックの供給を停止
23	SSI0	0	R/W	SSI0 モジュールストップビット SSI0 ビットを 1 にセットすると、SSI0 へのクロックの供給を停止します。 0 : SSI0 は動作 1 : SSI0 へのクロックの供給を停止
22	IIC1	0	R/W	IIC1 モジュールストップビット IIC1 ビットを 1 にセットすると、IIC1 へのクロックの供給を停止します。 0 : IIC1 は動作 1 : IIC1 へのクロックの供給を停止
21	IIC0	0	R/W	IIC0 モジュールストップビット IIC0 ビットを 1 にセットすると、IIC0 へのクロックの供給を停止します。 0 : IIC0 は動作 1 : IIC0 へのクロックの供給を停止
20	SIOF2	0	R/W	SIOF2 モジュールストップビット SIOF2 ビットを 1 にセットすると、SIOF2 へのクロックの供給を停止します。 0 : SIOF2 は動作 1 : SIOF2 へのクロックの供給を停止
19	SIOF1	0	R/W	SIOF1 モジュールストップビット SIOF1 ビットを 1 にセットすると、SIOF1 へのクロックの供給を停止します。 0 : SIOF1 は動作 1 : SIOF1 へのクロックの供給を停止
18	SIOF0	0	R/W	SIOF0 モジュールストップビット SIOF0 ビットを 1 にセットすると、SIOF0 へのクロックの供給を停止します。 0 : SIOF0 は動作 1 : SIOF0 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
17	SCIF2	0	R/W	SCIF2 モジュールストップビット SCIF2 ビットを 1 にセットすると、SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロックの供給を停止
16	SCIF1	0	R/W	SCIF1 モジュールストップビット SCIF1 ビットを 1 にセットすると、SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止
15	SCIF0	0	R/W	SCIF0 モジュールストップビット SCIF0 ビットを 1 にセットすると、SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止
14	SIM	0	R/W	SIM モジュールストップビット SIM ビットを 1 にセットすると、SIM へのクロックの供給を停止します。 0 : SIM は動作 1 : SIM へのクロックの供給を停止
13	ADC	0	R/W	ADC モジュールストップビット ADC ビットを 1 にセットすると、ADC へのクロックの供給を停止します。 0 : ADC は動作 1 : ADC へのクロックの供給を停止
12	DAC	0	R/W	DAC モジュールストップビット DAC ビットを 1 にセットすると、DAC へのクロックの供給を停止します。 0 : DAC は動作 1 : DAC へのクロックの供給を停止
11	CMT	0	R/W	CMT モジュールストップビット CMT ビットを 1 にセットすると、CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロックの供給を停止
10	TMU1	0	R/W	TMU1 モジュールストップビット TMU1 ビットを 1 にセットすると、TMU1 へのクロックの供給を停止します。 0 : TMU1 は動作 1 : TMU1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
9	TMU0	0	R/W	TMU0 モジュールストップビット TMU0 ビットを 1 にセットすると、TMU0 へのクロックの供給を停止します。 0 : TMU0 は動作 1 : TMU0 へのクロックの供給を停止
8	TPU	0	R/W	TPU モジュールストップビット TPU ビットを 1 にセットすると、TPU へのクロックの供給を停止します。 0 : TPU は動作 1 : TPU へのクロックの供給を停止
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MMC	0	R/W	MMC モジュールストップビット MMC ビットを 1 にセットすると、MMC へのクロックの供給を停止します。 0 : MMC は動作 1 : MMC へのクロックの供給を停止
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 MSTPCR1 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR1 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR1 に書き戻してください。

18.4 スリープモード

18.4.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。

CPU 以外の内蔵モジュールは動作を続けます。また、CLKOUT 端子にはクロックが出力され続けます。スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

18.4.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRQ/IRL[7:0]、内蔵モジュール)、リセットにより解除されます。スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、SLEEP 命令実行前に SPC、SSR 等をスタックに退避してください。

(1) 割り込みによる解除

NMI*、IRQ/IRL[7:0]、内蔵モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

(2) リセットによる解除

$\overline{\text{PRESET}}$ 端子によるパワーオンリセットおよび、ウォッチドッグタイマオーパフロー時に発生するパワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

【注】 * LCD 使用時、スリープモードからの解除に NMI 割り込みを使用した場合、NMI 割り込みにより NMIFCR の NMIFL ビットが 1 にセットされると、LCD から表示データ格納用 VRAM (エリア 3 の DDR_SDRAM) アクセスができなくなります。
また、LCD はラインバッファに格納されたデータを LCD パネル用データ端子への出力を継続するため、ラインバッファが空になると LCD 表示が停止する場合があります。したがって、ラインバッファが空になる前に NMI 割り込みをインアクティブにし、NMIFL ビットを 0 にクリアしてください。

18.5 ソフトウェアスタンバイモード

18.5.1 ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。ただし、CPG の PLLCR レジスタの CKOEN ビットが 1 の場合、継続して CLKOUT 端子からクロックが出力されます。CKOEN ビットが 0 の場合、CLKOUT 端子はローレベルが出力されます。

CPU、キャッシュのレジスタ内容は保持されます。周辺モジュールのレジスタに関しては、初期化されるものがあります。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. STBCRのSTBYビットを1に設定します。
2. SLEEP命令を実行させます。
3. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS0端子からハイレベルが出力されます。

【注】 ソフトウェアスタンバイを実行する前に、すべてのモジュールを停止してください。

18.5.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ/ \overline{IRL})、リセットにより、解除されます。

(1) 割り込みによる解除

NMI、IRQ が検出されるとソフトウェアスタンバイモードが解除されて、STATUS0 端子がローレベルになります。この後、割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。また、ソフトウェアスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、ソフトウェアスタンバイモードが解除されるまでの間には、CLKOUT 端子のクロック出力が不安定になることがあります。

18.6 モジュールスタンバイ機能

18.6.1 モジュールスタンバイ機能への遷移

モジュールストップレジスタの各ビットに 1 をセットすることで、それぞれ対応した内蔵モジュールへのクロック供給を停止させることができます。

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

18.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、モジュールストップレジスタの各ビットを 0 にクリアするかまたはパワーオンリセットにより行います。

18.7 DDR-SDRAM 電源バックアップ

18.7.1 セルフリフレッシュ、初期化制御

システム電源をオフする際に DDR-SDRAM の電源をバッテリーでバックアップしてデータを保持するためには、電源オフの前に DDR-SDRAM をセルフリフレッシュ状態にしておく必要があります。また、システム電源オン時に DDR-SDRAM が未初期化状態であるかセルフリフレッシュ状態であるかによって SDRAM の初期化やセルフリフレッシュの解除を行う必要があります。DDR-SDRAM ではセルフリフレッシュへの移行、解除もコマンド発行によって行われます。

(1) RMODE ビット

MIM レジスタのビット 33。初期値は 0 で、MIM ビット 9 の DRE ビットを 1 にし、更に本ビットに 1 を設定すると DDRIF はセルフリフレッシュ移行シーケンスを実行します。詳細は DDRIF の「12.5.5 (1) セルフリフレッシュモード」を参照してください。

(2) SMS ビット

SCR レジスタのビット 2~0。SCR.SMS = B'011 により M_CKE をイネーブ (High) にし、DESL コマンドを発行してセルフリフレッシュを解除する時に使用します。

(3) $\overline{\text{M_BKPRST}}$ 信号

LSI の電源投入および遮断時に M_CKE が一時的に不定になることを防ぐために、外部端子 $\overline{\text{M_BKPRST}}$ の信号を LSI の電源投入 / 遮断に同期して入力する必要があります。なお、 $\overline{\text{M_BKPRST}}$ 信号は、システム電源遮断時も Low レベルを保持する必要があります。

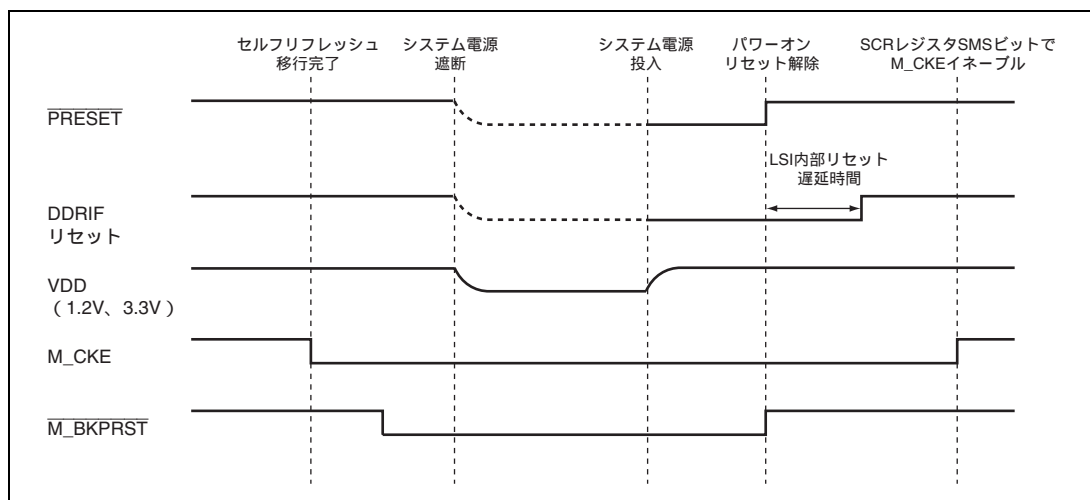


図 18.1 システム電源遮断・投入時の DDR-SDRAM インタフェース動作

18.7.2 システム電源遮断時の DDR-SDRAM バックアップシーケンス

システム電源を遮断する際のシーケンスを示します。

セルフリフレッシュに移行し、システム電源を遮断するシーケンスを図 18.2 に示します。

1. 各内蔵モジュールにおけるDDRIFへのアクセスがすべて完了していることを確認してください。
2. ソフトウェアによりSCRレジスタのSMSビットを使用してPREALL (全バンクプリチャージ) コマンドを発行してください。開かれていたSDRAMのバンクが閉じられます。その後、SCRレジスタのSMSビットを使用してREFA (オートリフレッシュ) コマンドを発行し、メモリのすべてのロウアドレスに対して集中リフレッシュ (REFA) を行ってください。
3. セルフリフレッシュ状態へSDRAMを遷移させるためにDDRIFのMIMレジスタのDRE、RMODE ビットの設定を行ってください。(この時DCEは1のままとしてください。)
DDRIFはセルフリフレッシュコマンドを自動的に発行し、M_CKEをローレベルにします。その後DDR-SDRAM は自動的にパワーダウンモードになります。
4. MIMレジスタのSELFS ビットが1になります。
5. $\overline{\text{M_BKPRST}}$ 端子をハイからローレベルにしてください。
システム電源遮断直後は、M_CKE出力が不定となりますので、システム電源遮断前にLSI外部の $\overline{\text{M_BKPRST}}$ 信号を使ってパワーオンリセット解除までDDR-SDRAMのM_CKE入力をローレベルに固定してください(図 18.1)。
6. システム電源 (1.2V、3.3V) を遮断します。

なお、システム電源投入後 LSI の電源が安定してかつクロックが供給されるまで M_CKE 出力は不定となりますので、LSI 外部の $\overline{\text{M_BKPRST}}$ 信号を使ってリセット解除まで DDR-SDRAM の M_CKE 入力をローレベルに固定してください (図 18.1)。

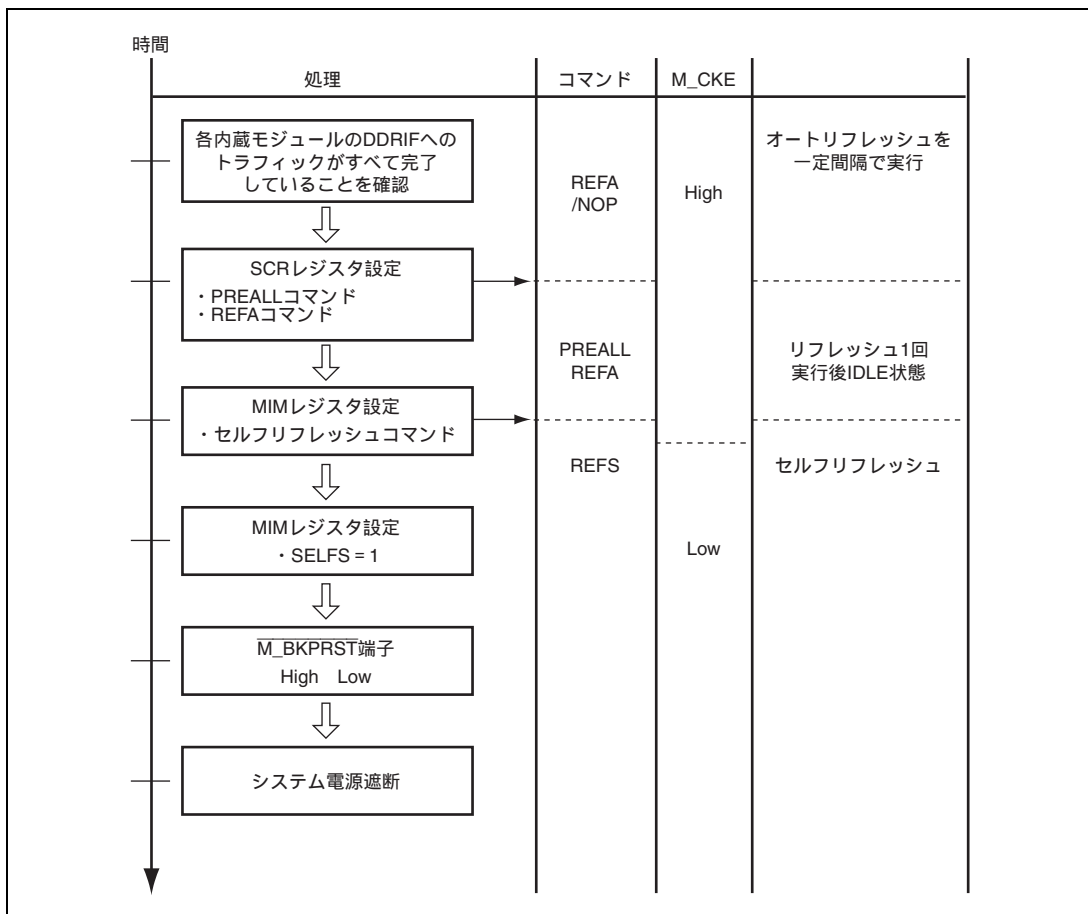


図 18.2 セルフリフレッシュ移行後、システム電源遮断シーケンス

18.8 RTC 電源バックアップ

18.8.1 RTC 電源バックアップモードへの遷移

VDD 電源 (1.2V) を遮断して RTC 電源バックアップモードにする場合は、 $\overline{\text{XRTCSTBI}}$ をローレベルに保ったまま、VDD (1.2V) をオフにしてください。VDD (1.2V) をオフにすることにより、VDD (1.2V) 動作領域で発生していた電流を削減することが可能となり低消費電力を実現できます。32.768kHz 水晶からクロックが供給されていた場合は、VDD(1.2V) が遮断されている間も、RTC は秒～年カウンタのカウントアップは動作し続けます。

18.8.2 RTC 電源バックアップモードの解除

RTC 電源バックアップモードはパワーオンリセットにより解除されます。RTC 電源バックアップ中に割り込み条件が成立してもパワーオンリセットにより無効となります。下記の手順により、RTC 電源バックアップモードを解除することが可能です。

1. $\overline{\text{PRESET}}$ をローレベルに保ったまま、VDD (1.2V) をオンにします。
2. RTC専用VDD-RTC (3.3V) が供給されているので、貫通電流によるLSI素子破壊防止のために、VDD (1.2V) 電源が安定してから、パワーオン発振安定時間経過後、 $\overline{\text{XRTCSTBI}}$ をハイレベルにしてください。
3. RTCへのパワーオンリセットが投入されるまで $\overline{\text{PRESET}}$ はローレベルを保持してから、パワーオンリセットを解除してください。

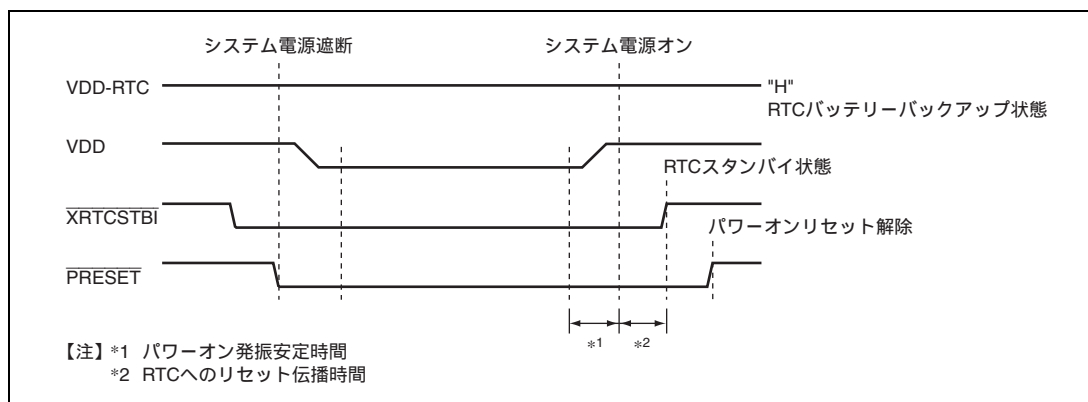


図 18.3 VDD 電源 (1.2V) 遮断 / 投入シーケンス

18.9 STATUS 端子の変化タイミング

18.9.1 リセットの場合

「17.5 リセット中の端子タイミング」を参照してください。

18.9.2 スリープ解除の場合

(1) スリープ 割り込み

STATUS 端子の変化タイミングを図 18.4 に示します。

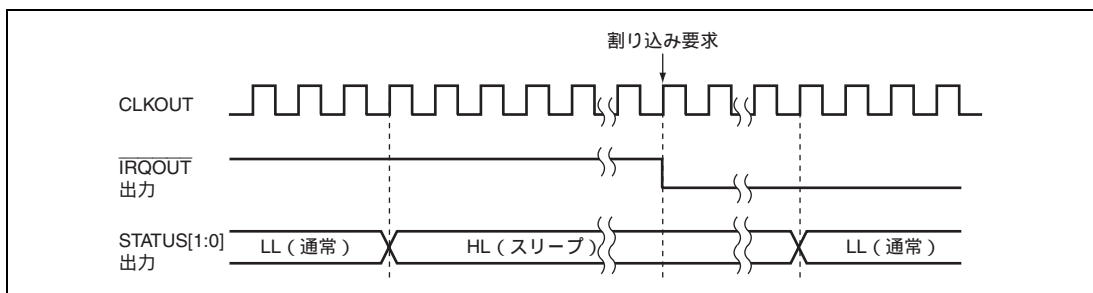


図 18.4 スリープ 割り込みの STATUS 出力

19. タイマユニット (TMU)

本 LSI は 6 チャンネル (チャンネル 0~5) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : Timer Unit) を内蔵しています。

19.1 特長

TMU には次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2は、インプットキャプチャ機能を搭載
- チャンネル0~2は、外部クロック選択時もしくはチャンネル2インプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で読み出し / 書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0~2は、7種類のカウンタ入力クロックを選択可能
外部クロック (TMU_TCLK)、内蔵RTCの出カクロック、5種類の周辺クロック (Pck0/4、Pck0/16、Pck0/64、Pck0/256、Pck0/1024) (ただし、Pck0は周辺クロック0)
- チャンネル3~5は、6種類のカウンタ入力クロックを選択可能
内蔵RTCの出カクロック、5種類の周辺クロック0 (Pck0/4、Pck0/16、Pck0/64、Pck0/256、Pck0/1024)
- 2種類の割り込み要因
アンドフロー×1要因 (各チャンネル)、インプットキャプチャ×1要因 (チャンネル2) があります。

図 19.1 に TMU のブロック図を示します。

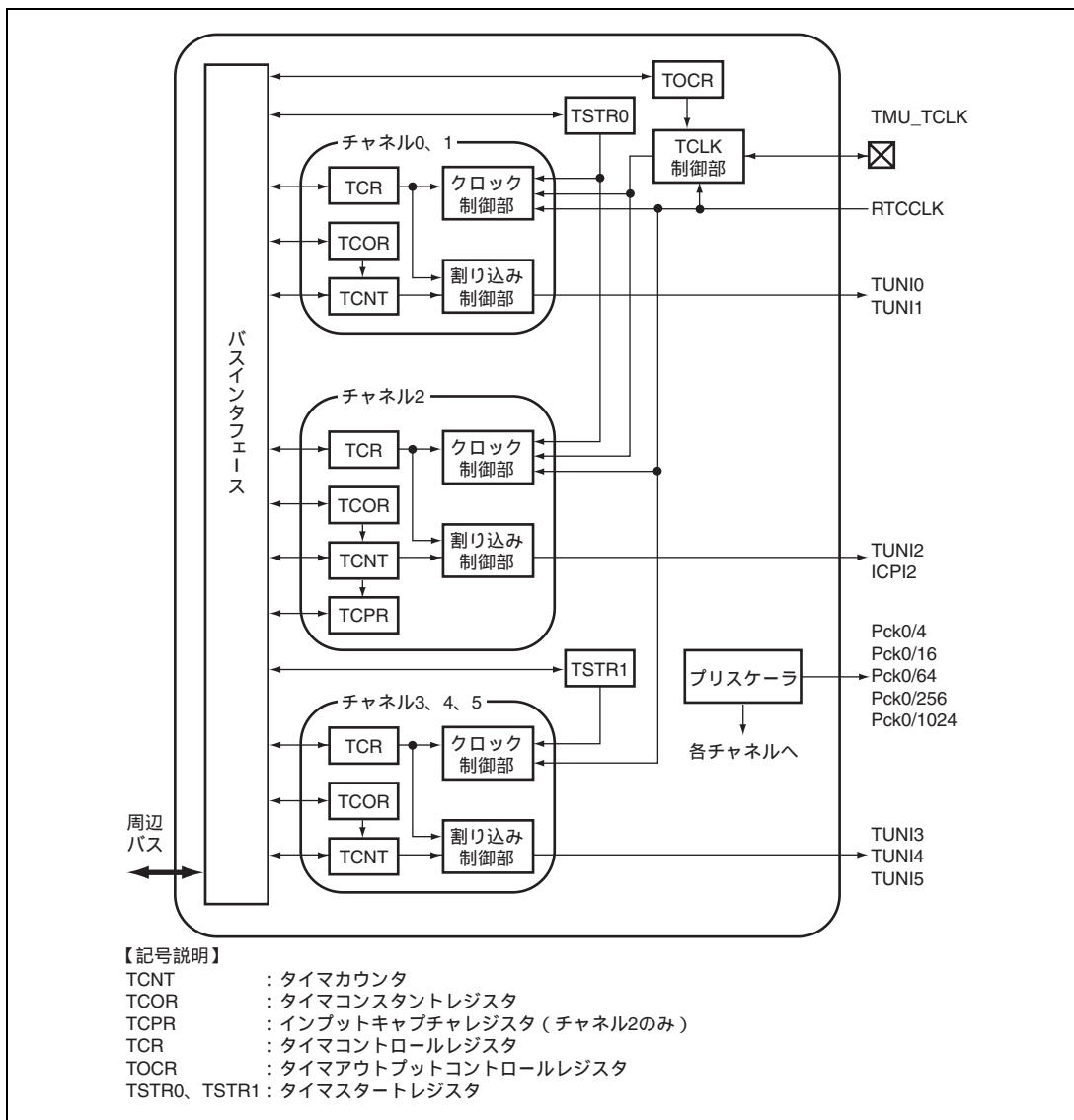


図 19.1 TMU のブロック図

19.2 入出力端子

表 19.1 に TMU の端子構成を示します。

表 19.1 端子構成

端子名	機能	入出力	説明
TMU_TCLK	クロック入力	入力	チャンネル 0、1、2 外部クロック入力端子 / チャンネル 2 インพุットキャプチャ制御入力端子

19.3 レジスタの説明

TMU のレジスタ構成を表 19.2 に示します。また、各処理モードにおけるレジスタの状態を表 19.3 に示します。

表 19.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
012 共通	タイマアウトプット コントロールレジスタ	TOCR	R/W	H'FFD8 0000	H'1FD8 0000	8
012 共通	タイマスタートレジスタ 0	TSTR0	R/W	H'FFD8 0004	H'1FD8 0004	8
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFD8 0008	H'1FD8 0008	32
	タイマカウンタ 0	TCNT0	R/W	H'FFD8 000C	H'1FD8 000C	32
	タイマコントロールレジスタ 0	TCR0	R/W	H'FFD8 0010	H'1FD8 0010	16
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFD8 0014	H'1FD8 0014	32
	タイマカウンタ 1	TCNT1	R/W	H'FFD8 0018	H'1FD8 0018	32
	タイマコントロールレジスタ 1	TCR1	R/W	H'FFD8 001C	H'1FD8 001C	16
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFD8 0020	H'1FD8 0020	32
	タイマカウンタ 2	TCNT2	R/W	H'FFD8 0024	H'1FD8 0024	32
	タイマコントロールレジスタ 2	TCR2	R/W	H'FFD8 0028	H'1FD8 0028	16
	インプットキャプチャレジスタ 2	TCPR2	R	H'FFD8 002C	H'1FD8 002C	32
345 共通	タイマスタートレジスタ 1	TSTR1	R/W	H'FFD8 8004	H'1FD8 8004	8
3	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFD8 8008	H'1FD8 8008	32
	タイマカウンタ 3	TCNT3	R/W	H'FFD8 800C	H'1FD8 800C	32
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFD8 8010	H'1FD8 8010	16
4	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFD8 8014	H'1FD8 8014	32
	タイマカウンタ 4	TCNT4	R/W	H'FFD8 8018	H'1FD8 8018	32
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFD8 801C	H'1FD8 801C	16
5	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFD8 8020	H'1FD8 8020	32
	タイマカウンタ 5	TCNT5	R/W	H'FFD8 8024	H'1FD8 8024	32
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFD8 8028	H'1FD8 8028	16

表 19.3 各処理状態におけるレジスタの状態

チャネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
012 共通	タイマアウトプット コントロールレジスタ	TOCR	H'00	H'00	保持	保持
012 共通	タイマスタートレジスタ 0	TSTR0	H'00	H'00	保持	保持
0	タイマコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 0	TCNT0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 0	TCR0	H'0000	H'0000	保持	保持
1	タイマコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 1	TCNT1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 1	TCR1	H'0000	H'0000	保持	保持
2	タイマコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 2	TCNT2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 2	TCR2	H'0000	H'0000	保持	保持
	インプットキャプチャレジスタ 2	TCPR2	H'xxxx xxxx	H'xxxx xxxx	保持	保持
345 共通	タイマスタートレジスタ 1	TSTR1	H'00	H'00	保持	保持
3	タイマコンスタントレジスタ 3	TCOR3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 3	TCNT3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 3	TCR3	H'0000	H'0000	保持	保持
4	タイマコンスタントレジスタ 4	TCOR4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 4	TCNT4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 4	TCR4	H'0000	H'0000	保持	保持
5	タイマコンスタントレジスタ 5	TCOR5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 5	TCNT5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 5	TCR5	H'0000	H'0000	保持	保持

19.3.1 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、読み出し専用の 8 ビットのレジスタです。

外部端子の TMU_TCLK が外部クロックまたはインプットキャプチャ制御用の入力端子であることを示します。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TCOE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TCOE	0	R	タイマクロック端子制御 (TCOE) タイマクロック端子 (TMU_TCLK) が外部クロックまたはインプットキャプチャ制御用の入力端子であることを示します。 0 : 外部クロックまたはインプットキャプチャ制御用の入力端子である 1 : 無効

19.3.2 タイマスタートレジスタ (TSTRn) (n=0~1)

TSTR は、読み出し / 書き込み可能な 8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

- TSTR0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	STR2	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。 0 : TCNT2 のカウント動作は停止 1 : TCNT2 はカウント動作する
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0 : TCNT1 のカウント動作は停止 1 : TCNT1 はカウント動作する

ビット	ビット名	初期値	R/W	説明
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0 : TCNT0 のカウント動作は停止 1 : TCNT0 はカウント動作する

- TSTR1

ビット : 7 6 5 4 3 2 1 0

-	-	-	-	-	STR5	STR4	STR3
---	---	---	---	---	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R R R R R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR5	0	R/W	カウンタスタート 5 TCNT5 を動作させるか、停止させるかを選択します。 0 : TCNT5 のカウント動作は停止 1 : TCNT5 はカウント動作する
1	STR4	0	R/W	カウンタスタート 4 TCNT4 を動作させるか、停止させるかを選択します。 0 : TCNT4 のカウント動作は停止 1 : TCNT4 はカウント動作する
0	STR3	0	R/W	カウンタスタート 3 TCNT3 を動作させるか、停止させるかを選択します。 0 : TCNT3 のカウント動作は停止 1 : TCNT3 はカウント動作する

19.3.3 タイマコンスタントレジスタ (TCORn) (n=0~5)

TCORは、読み出し/書き込み可能な32ビットレジスタです。TCNTのカウンタダウンの結果、アンダフローが発生すると、このTCORの値がTCNTにセットされ、TCNTはセットされた値からカウンタダウンを続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.4 タイマカウンタ (TCNTn) (n=0~5)

TCNTは、読み出し/書き込み可能な32ビットレジスタです。TCNTは、TCRのTPSC[2:0]ビットにより選択した入力クロックにより、カウンタダウン動作を行います。

TCNTのカウンタダウン動作の結果、アンダフローが発生すると、対応するチャンネルのTCRのUNFが1にセットされます。また、同時にTCNTには、TCORの値が設定され、設定された値からカウンタダウン動作を続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.5 タイマコントロールレジスタ (TCRn) (n=0~5)

TCRは、読み出し/書き込み可能な16ビットレジスタです。カウンタクロックの選択、外部クロック選択時のエッジの選択、TCNTのアンダフロー発生を示すフラグが1にセットされたときの割り込み発生制御を行います。また、チャンネル2のTCRはインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生制御を行います。

- TCR0、TCR1、TCR3、TCR4、TCR5

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UNF	-	-	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

• TCR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	ICPF	UNF	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	ICPF* ¹	0	R/W	インพุットキャプチャ割り込みフラグ チャンネル2のみの機能で、インพุットキャプチャの発生を示すステータスフラグです。 0: インพุットキャプチャが発生していないことを示します [クリア条件] ICPF に0を書き込んだとき 1: インพุットキャプチャが発生したことを示します [セット条件] インพุットキャプチャが発生したとき* ²
8	UNF	0	R/W	アンダフローフラグ TCNTのアンダフローの発生を示すステータスフラグです。 0: TCNTがアンダフローを起こしていないことを示します [クリア条件] UNF に0を書き込んだとき 1: TCNTがアンダフローを起こしたことを示します [セット条件] TCNTがアンダフローを起こしたとき* ²
7, 6	ICPE[1:0]* ¹	00	R/W	インพุットキャプチャ制御 チャンネル2のみの機能で、インพุットキャプチャ機能を使用するかどうかわび使用時の割り込み発生を許可するかどうかを制御します。 TMU_TCLK端子の立ち上がりエッジ/立ち下がりエッジのいずれかを使ってTCPR2にTCNT2の値をセットするかは、CKEGビットで設定します。 TCR2のICPFビットが0のときのみ、TCNT2の値がTCPR2にセットされます。ICPFビットが1のときは、インพุットキャプチャが発生してもTCPR2はセットされません。 00: インพุットキャプチャ機能を使用しないことを示します 01: リザーブ(設定禁止) 10: インพุットキャプチャ機能を使用するが、インพุットキャプチャによる割り込み(TICPI2)を許可しないことを示します。 11: インพุットキャプチャ機能を使用し、またインพุットキャプチャによる割り込み(TICPI2)を許可することを示します。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNTのアンダフローの発生を示すステータスフラグUNFが1にセットされたときに割り込み発生を許可するかどうかを制御します。 0: アンダフローによる割り込み(TUNI)を許可しない 1: アンダフローによる割り込み(TUNI)を許可する

ビット	ビット名	初期値	R/W	説明
4, 3	CKEG[1:0]	00	R/W	クロックエッジ 外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00 : 立ち上がりエッジでカウント/インプットキャプチャレジスタセット 01 : 立ち下がりエッジでカウント/インプットキャプチャレジスタセット 1X : 立ち上がり/立ち下がり両エッジでカウント/インプットキャプチャレジスタセット
2~0	TPSC[2:0]	000	R/W	タイムプリスケアラ TCNT のカウントクロックを選択します。 000 : Pck0/4 でカウント 001 : Pck0/16 でカウント 010 : Pck0/64 でカウント 011 : Pck0/256 でカウント 100 : Pck0/1024 でカウント 101 : 設定禁止 110 : 内蔵 RTC の出力クロック (RTCCLK) でカウント 111 : 外部クロック (TMU_TCLK) でカウント*3

【注】 X : Don't care

- *1 チャンネル 0、1、3、4、5 ではリザーブビットです (初期値 0、リードのみ)。
- *2 1 を書き込むと元の値が保持されます。
- *3 チャンネル 3、4、5 では設定禁止です。

19.3.6 インプットキャプチャレジスタ 2 (TCPR2)

TCPR2 は、チャンネル 2 のみに内蔵されているインプットキャプチャ機能用の読み出し専用の 32 ビットレジスタです。TCR2 の ICPE ビットおよび CKEG ビットによって、インプットキャプチャ機能を制御します。インプットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

19.4 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNTは、カウントダウン動作を行います。オートリロード機能によって周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル2には、インプットキャプチャ機能があります。

19.4.1 カウンタの動作

TSTR[1:0]のSTR5～STR0ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。TCNTがアンダフローすると対応するTCRのUNFフラグが1にセットされます。このとき、TCRのUNIEビットが1ならば、CPUに割り込みを要求します。また、このときTCNTにはTCORから値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

(1) カウント動作の設定手順例

図 19.2 にカウント動作の設定手順例を示します。

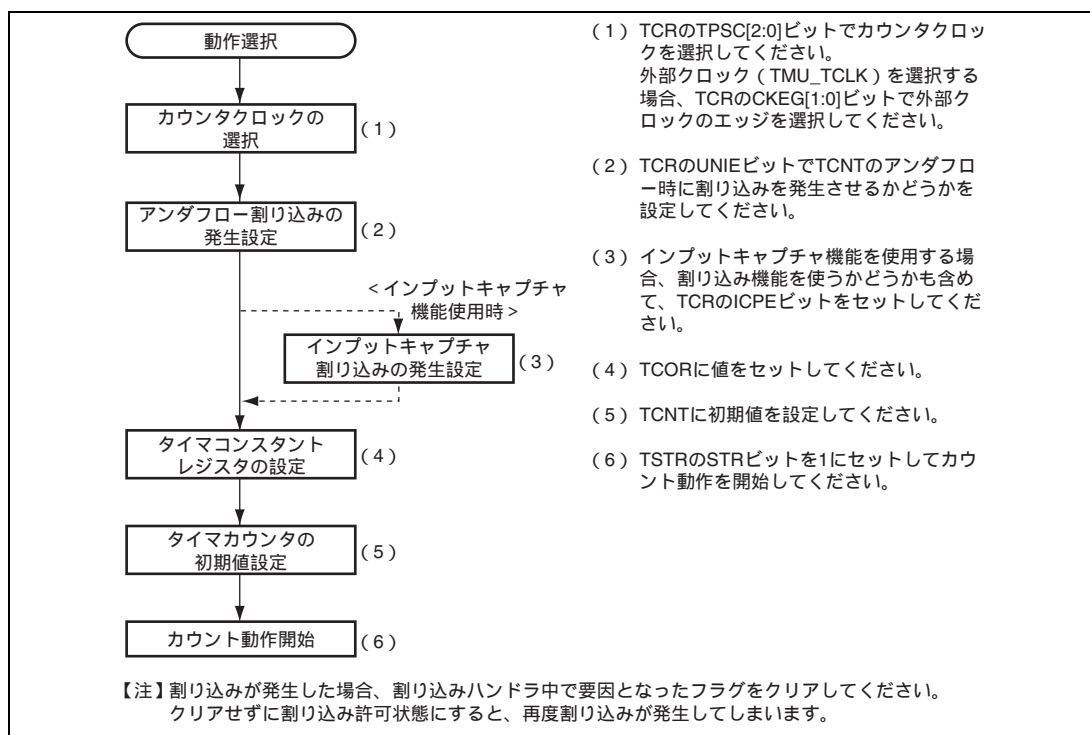


図 19.2 カウント動作設定手順例

(2) オートリロードカウント動作

図 19.3 に TCNT のオートリロード動作を示します。

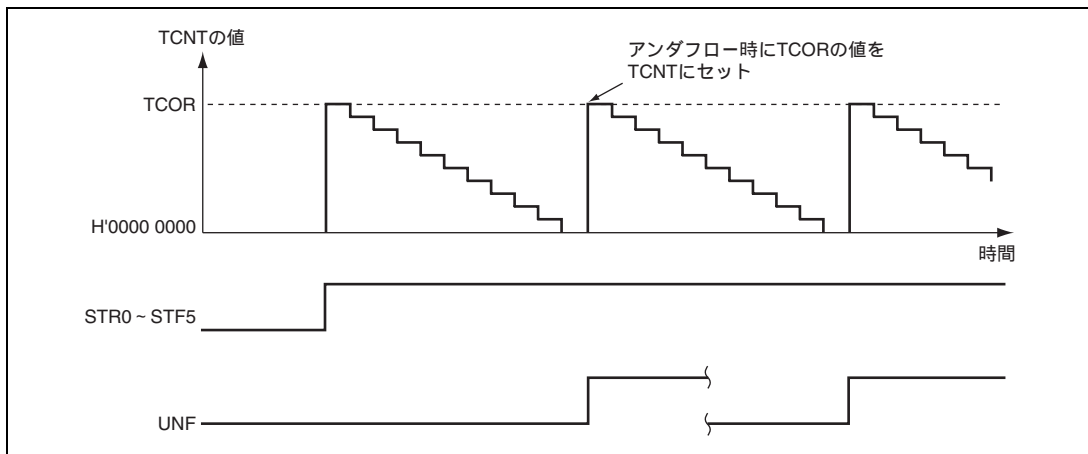


図 19.3 TCNT のオートリロード動作

(3) TCNT のカウントタイミング

- 内部クロック動作の場合

TCRのTPSC[2:0]ビットにより、カウントクロックとして周辺クロック0を分周した5種類のクロック (Pck0/4、Pck0/16、Pck0/64、Pck0/256、Pck0/1024) を選択できます。

このときのタイミングを図19.4に示します。

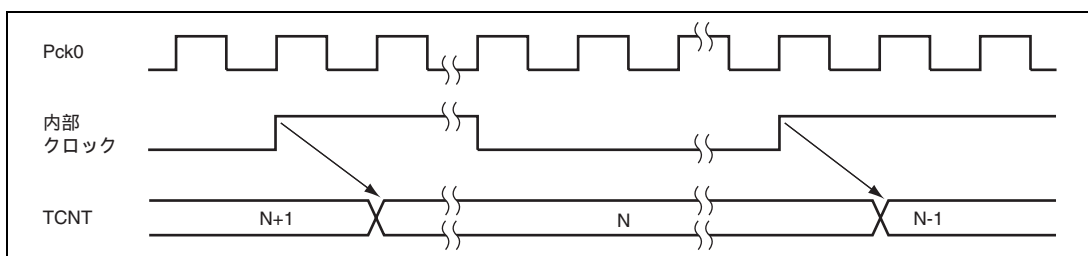


図 19.4 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

チャンネル0、1、2では、TCRのTPSC[2:0]ビットにより、タイマ用クロックとして外部クロック端子 (TMU_TCLK) からの入力を選択できます。また、TCRのCKEG[1:0]ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

図19.5に両エッジ検出時のタイミングを示します。

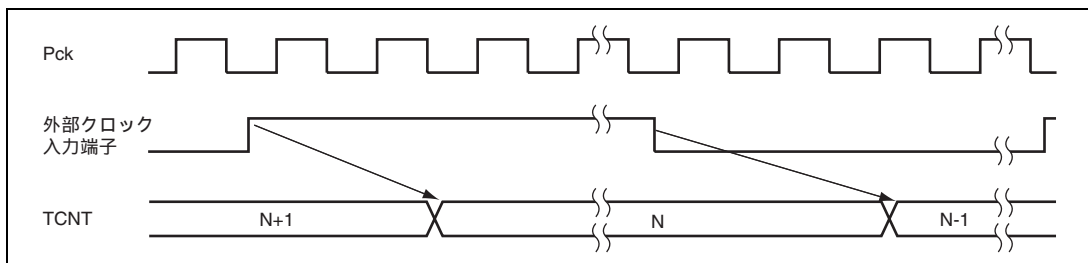


図 19.5 外部クロック動作時のカウントタイミング

- 内蔵RTCの出力クロック動作の場合

TCRのTPSC[2:0]ビットにより、タイマ用クロックとして内蔵RTCの出力クロック (RTCCLK) を選択できます。

このときのタイミングを図19.6に示します。

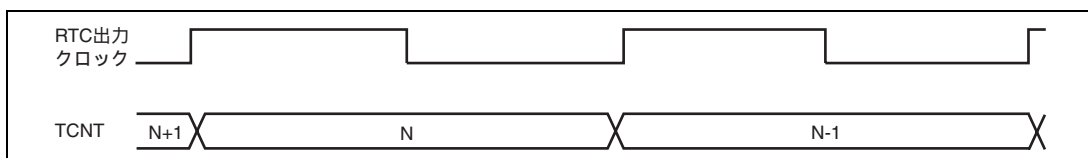


図 19.6 内蔵 RTC の出力クロック動作時のカウントタイミング

19.4.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

1. TCRのTPSC[2:0]ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCRのICPE[1:0]ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
3. TCRのCKEG[1:0]ビットでTMU_TCLK端子の立ち上がり / 立ち下がりのどのエッジを使用してTCPR2にTCNTの値をセットするかを指定します。

インพุットキャプチャ発生時、TCR2 の ICPF ビットが 0 のときのみ、TCNT2 の値を TCPR2 にセットします。

図 19.7 にインพุットキャプチャ機能使用時の動作タイミングを示します (TMU_TCLK の立ち上がりエッジ使用)。

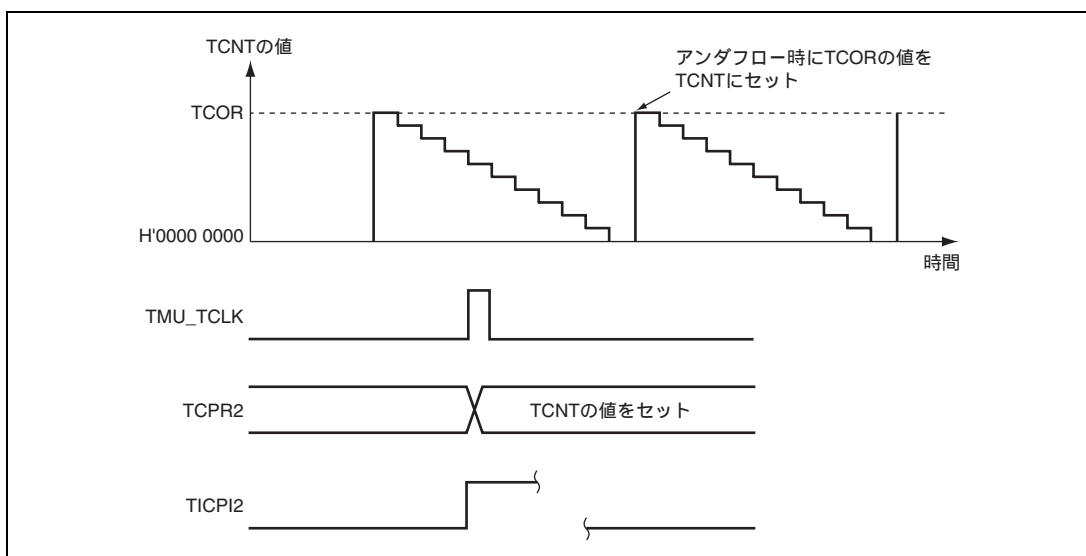


図 19.7 インพุットキャプチャ機能使用時の動作タイミング

19.5 割り込み

TMU の割り込み要因は、アンドフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンドフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

UNF ビットが 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンドフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 の ICPF ビットが 1 で TCR2 のインプットキャプチャ制御ビット (ICPE[1:0]) が 11 の場合に割り込み要求が発生します。

表 19.4 に TMU の割り込み要因を示します。

表 19.4 TMU の割り込み要因

チャンネル	割り込み要因	内 容
0	TUNI0	アンドフロー割り込み 0
1	TUNI1	アンドフロー割り込み 1
2	TUNI2	アンドフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3	TUNI3	アンドフロー割り込み 3
4	TUNI4	アンドフロー割り込み 4
5	TUNI5	アンドフロー割り込み 5

19.6 使用上の注意事項

19.6.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TSTR の該当チャンネルのスタートビット (STR5 ~ STR0) をクリアして、タイマのカウンタ動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウンタ動作中に行うことができます。カウンタ動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

19.6.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

19.6.3 RTC 分周器のリセットについて

内蔵 RTC の出力クロックをカウンタクロックに選択する際には、RTC 分周器をリセットしてください。

19.6.4 外部クロック周波数について

チャンネル 0、1、2 への外部クロック (TMU_TCLK) 入力周波数は $Pck/4$ を超えないようにしてください。

20. 16ビットタイマパルスユニット (TPU)

本 LSI は、4 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

20.1 特長

TPU には次の特長があります。

- 最大4本のパルス出力が可能
チャンネルも各4本、合計16本のタイマジェネラルレジスタ (TGRA ~ TGRD × 4ch) を持ち、TGRAはアウトプットコンペアの設定が可能
各チャンネルのTGRB、TGRC、TGRDは、タイマカウンタクリア用レジスタとして、またTGRC、TGRDは、バッファレジスタとして使用可能
- チャンネル0、1は4種類、チャンネル2、3は6種類のカウント入力クロックを選択可能
- 各チャンネル毎に次の動作を設定可能
コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能
カウンタクリア動作：コンペアマッチによるカウンタクリアが可能
PWMモード：
任意デューティのPWM出力が可能
最大4相のPWM出力が可能
- 各チャンネルはバッファ動作を設定可能
アウトプットコンペアレジスタの自動書き換えが可能
- チャンネル2、3は独立に位相計数モードを設定可能
2相エンコーダパルスのアップダウンカウントが可能
- 各チャンネル1本の割り込み要求
チャンネル0、1はコンペアマッチ / オーバフロー割り込み要求の許可・禁止を要因ごとに独立に設定可能
チャンネル2、3はコンペアマッチ / オーバフロー / アンダフロー割り込み要求の許可・禁止を要因ごとに独立に設定可能

表 20.1 に TPU の機能一覧を示します。

表 20.1 TPU 機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3
カウントクロック	Pck0 / 1	Pck0 / 1	Pck0 / 1	Pck0 / 1
	Pck0 / 4	Pck0 / 4	Pck0 / 4	Pck0 / 4
	Pck0 / 16	Pck0 / 16	Pck0 / 16	Pck0 / 16
	Pck0 / 64	Pck0 / 64	Pck0 / 64	Pck0 / 64
	-	-	TPU_TI2A	TPU_TI3A
	-	-	TPU_TI2B	TPU_TI3B
ジェネラルレジスタ	TGRA_0	TGRA_1	TGRA_2	TGRA_3
	TGRB_0	TGRB_1	TGRB_2	TGRB_3
ジェネラルレジスタ/ バッファレジスタ	TGRC_0	TGRC_1	TGRC_2	TGRC_3
	TGRD_0	TGRD_1	TGRD_2	TGRD_3
出力端子	TPU_TO0	TPU_TO1	TPU_TO2	TPU_TO3
カウンタクリア機能	TGR の コンペアマッチ	TGR の コンペアマッチ	TGR の コンペアマッチ	TGR の コンペアマッチ
コンペア マッチ 出力	0 出力			
	1 出力			
	トグル出力			
PWM モード				
位相計数モード	-	-		
バッファ動作				
割り込み要因	5 要因 コンペアマッチ / オーバフロー 兼用	5 要因 コンペアマッチ / オーバフロー 兼用	6 要因 コンペアマッチ / オーバフロー / アンダフロー 兼用	6 要因 コンペアマッチ / オーバフロー / アンダフロー 兼用

【注】 : 可能、- : 不可

TPU_TI2B, TPU_TI3B は位相計数モード時のみカウントクロックとして使用します。

TPU のブロック図を図 20.1 に示します。

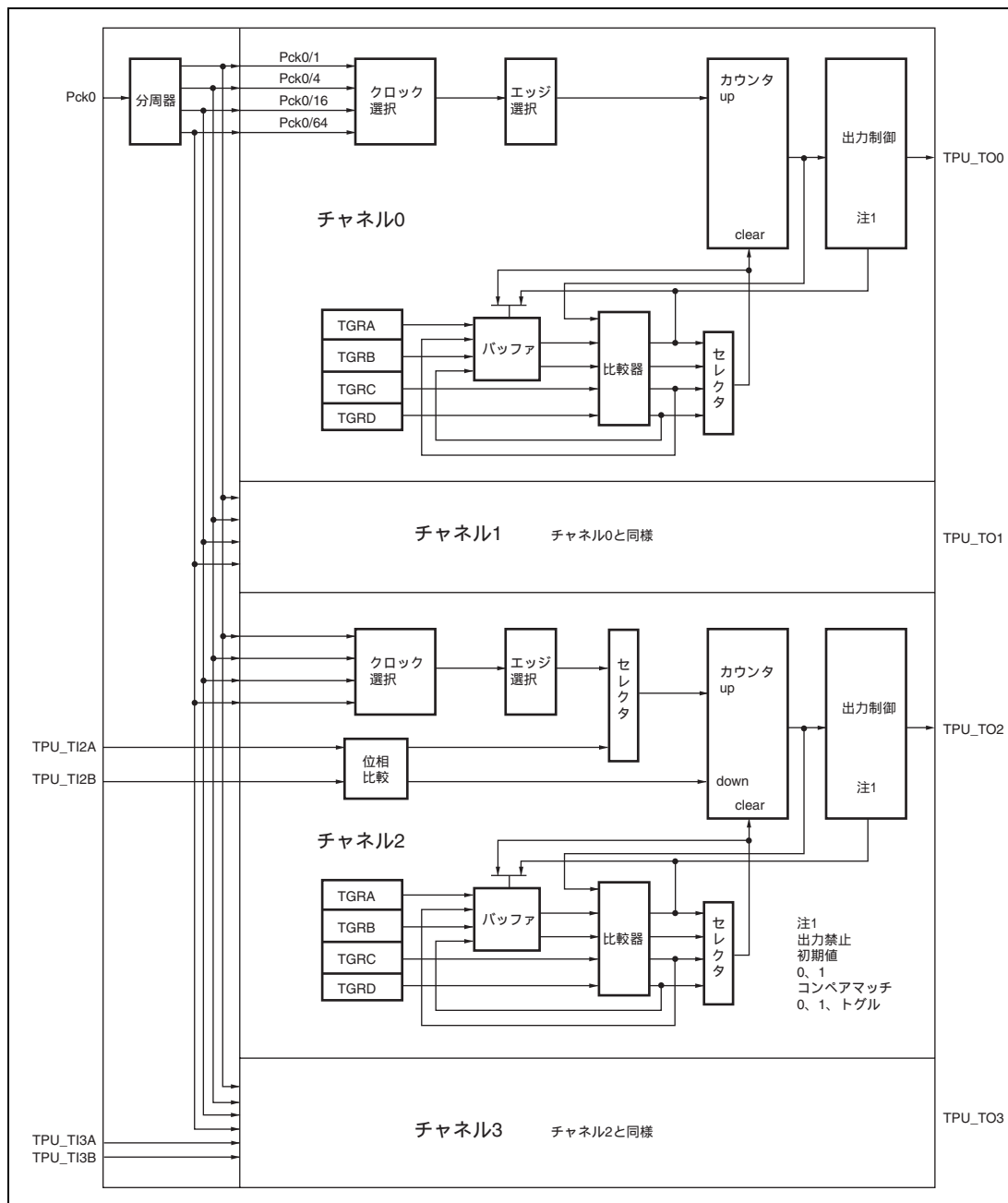


図 20.1 TPU のブロック図

20.2 入出力端子

TPU 関係の外部端子を表 20.2 に示します。

表 20.2 TPU の端子構成

チャンネル	名 称	端子名	入出力	機 能
0	アウトプット コンペアマッチ 0	TPU_TO0	出力	TGR0A のアウトプットコンペア出力 / PWM 出力端子
1	アウトプット コンペアマッチ 1	TPU_TO1	出力	TGR1A のアウトプットコンペア出力 / PWM 出力端子
2	アウトプット コンペアマッチ 2A	TPU_TO2	出力	TGR2A のアウトプットコンペア出力 / PWM 出力端子
	クロック入力 2A	TPU_TI2A	入力	外部クロックチャンネル 2A 入力端子 / チャンネル 2 位相計数モード A 相入力
	クロック入力 2B	TPU_TI2B	入力	チャンネル 2 位相計数モード B 相入力
3	アウトプット コンペアマッチ 3A	TPU_TO3	出力	TGR3A のアウトプットコンペア出力 / PWM 出力端子
	クロック入力 3A	TPU_TI3A	入力	外部クロックチャンネル 3A 入力端子 / チャンネル 3 位相計数モード A 相入力
	クロック入力 3B	TPU_TI3B	入力	チャンネル 3 位相計数モード B 相入力

20.3 レジスタの説明

TPU のレジスタ構成を表 20.3 に示します。また、各処理モードにおけるレジスタの状態を表 20.4 に示します。

表 20.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセスサイズ (ビット)
タイムスタートレジスタ	TSTR	R/W	H'FFE2 8000	H'1FE2 8000	16
タイムコントロールレジスタ_0	TCR_0	R/W	H'FFE2 8010	H'1FE2 8010	16
タイムモードレジスタ_0	TMDR_0	R/W	H'FFE2 8014	H'1FE2 8014	16
タイム I/O コントロールレジスタ_0	TIOR_0	R/W	H'FFE2 8018	H'1FE2 8018	16
タイムインタラプトイネーブルレジスタ_0	TIER_0	R/W	H'FFE2 801C	H'1FE2 801C	16
タイムステータスレジスタ_0	TSR_0	R/W	H'FFE2 8020	H'1FE2 8020	16
タイムカウンタ_0	TCNT_0	R	H'FFE2 8024	H'1FE2 8024	16
タイムジェネラルレジスタ A_0	TGRA_0	R	H'FFE2 8028	H'1FE2 8028	16
タイムジェネラルレジスタ B_0	TGRB_0	R	H'FFE2 802C	H'1FE2 802C	16
タイムジェネラルレジスタ C_0	TGRC_0	R	H'FFE2 8030	H'1FE2 8030	16
タイムジェネラルレジスタ D_0	TGRD_0	R	H'FFE2 8034	H'1FE2 8034	16
タイムコントロールレジスタ_1	TCR_1	R/W	H'FFE2 8050	H'1FE2 8050	16
タイムモードレジスタ_1	TMDR_1	R/W	H'FFE2 8054	H'1FE2 8054	16
タイム I/O コントロールレジスタ_1	TIOR_1	R/W	H'FFE2 8058	H'1FE2 8058	16
タイムインタラプトイネーブルレジスタ_1	TIER_1	R/W	H'FFE2 805C	H'1FE2 805C	16
タイムステータスレジスタ_1	TSR_1	R/W	H'FFE2 8060	H'1FE2 8060	16
タイムカウンタ_1	TCNT_1	R	H'FFE2 8064	H'1FE2 8064	16
タイムジェネラルレジスタ A_1	TGRA_1	R	H'FFE2 8068	H'1FE2 8068	16
タイムジェネラルレジスタ B_1	TGRB_1	R	H'FFE2 806C	H'1FE2 806C	16
タイムジェネラルレジスタ C_1	TGRC_1	R	H'FFE2 8070	H'1FE2 8070	16
タイムジェネラルレジスタ D_1	TGRD_1	R	H'FFE2 8074	H'1FE2 8074	16
タイムコントロールレジスタ_2	TCR_2	R/W	H'FFE2 8090	H'1FE2 8090	16
タイムモードレジスタ_2	TMDR_2	R/W	H'FFE2 8094	H'1FE2 8094	16
タイム I/O コントロールレジスタ_2	TIOR_2	R/W	H'FFE2 8098	H'1FE2 8098	16
タイムインタラプトイネーブルレジスタ_2	TIER_2	R/W	H'FFE2 809C	H'1FE2 809C	16
タイムステータスレジスタ_2	TSR_2	R/W	H'FFE2 80A0	H'1FE2 80A0	16
タイムカウンタ_2	TCNT_2	R	H'FFE2 80A4	H'1FE2 80A4	16
タイムジェネラルレジスタ A_2	TGRA_2	R	H'FFE2 80A8	H'1FE2 80A8	16

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセスサイズ (ビット)
タイマジェネラルレジスタ B_2	TGRB_2	R	H'FFE2 80AC	H'1FE2 80AC	16
タイマジェネラルレジスタ C_2	TGRC_2	R	H'FFE2 80B0	H'1FE2 80B0	16
タイマジェネラルレジスタ D_2	TGRD_2	R	H'FFE2 80B4	H'1FE2 80B4	16
タイマコントロールレジスタ_3	TCR_3	R/W	H'FFE2 80D0	H'1FE2 80D0	16
タイマモードレジスタ_3	TMDR_3	R/W	H'FFE2 80D4	H'1FE2 80D4	16
タイマ I/O コントロールレジスタ_3	TIOR_3	R/W	H'FFE2 80D8	H'1FE2 80D8	16
タイマインタラプトイネーブルレジスタ_3	TIER_3	R/W	H'FFE2 80DC	H'1FE2 80DC	16
タイマステータスレジスタ_3	TSR_3	R/W	H'FFE2 80E0	H'1FE2 80E0	16
タイマカウンタ_3	TCNT_3	R	H'FFE2 80E4	H'1FE2 80E4	16
タイマジェネラルレジスタ A_3	TGRA_3	R	H'FFE2 80E8	H'1FE2 80E8	16
タイマジェネラルレジスタ B_3	TGRB_3	R	H'FFE2 80EC	H'1FE2 80EC	16
タイマジェネラルレジスタ C_3	TGRC_3	R	H'FFE2 80F0	H'1FE2 80F0	16
タイマジェネラルレジスタ D_3	TGRD_3	R	H'FFE2 80F4	H'1FE2 80F4	16

表 20.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
タイマスタートレジスタ	TSTR	H'0000	H'0000	保持	保持
タイマコントロールレジスタ_0	TCR_0	H'0000	H'0000	保持	保持
タイマモードレジスタ_0	TMDR_0	H'0000	H'0000	保持	保持
タイマ I/O コントロールレジスタ_0	TIOR_0	H'0000	H'0000	保持	保持
タイマインタラプトイネーブルレジスタ_0	TIER_0	H'0000	H'0000	保持	保持
タイマステータスレジスタ_0	TSR_0	H'0000	H'0000	保持	保持
タイマカウンタ_0	TCNT_0	H'0000	H'0000	保持	保持
タイマジェネラルレジスタ A_0	TGRA_0	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ B_0	TGRB_0	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ C_0	TGRC_0	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ D_0	TGRD_0	H'FFFF	H'FFFF	保持	保持
タイマコントロールレジスタ_1	TCR_1	H'0000	H'0000	保持	保持
タイマモードレジスタ_1	TMDR_1	H'0000	H'0000	保持	保持
タイマ I/O コントロールレジスタ_1	TIOR_1	H'0000	H'0000	保持	保持
タイマインタラプトイネーブルレジスタ_1	TIER_1	H'0000	H'0000	保持	保持
タイマステータスレジスタ_1	TSR_1	H'0000	H'0000	保持	保持
タイマカウンタ_1	TCNT_1	H'0000	H'0000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
タイマジェネラルレジスタ A_1	TGRA_1	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ B_1	TGRB_1	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ C_1	TGRC_1	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ D_1	TGRD_1	H'FFFF	H'FFFF	保持	保持
タイマコントロールレジスタ_2	TCR_2	H'0000	H'0000	保持	保持
タイマモードレジスタ_2	TMDR_2	H'0000	H'0000	保持	保持
タイマ I/O コントロールレジスタ_2	TIOR_2	H'0000	H'0000	保持	保持
タイマインタラプトイネーブルレジスタ_2	TIER_2	H'0000	H'0000	保持	保持
タイマステータスレジスタ_2	TSR_2	H'0000	H'0000	保持	保持
タイマカウンタ_2	TCNT_2	H'0000	H'0000	保持	保持
タイマジェネラルレジスタ A_2	TGRA_2	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ B_2	TGRB_2	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ C_2	TGRC_2	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ D_2	TGRD_2	H'FFFF	H'FFFF	保持	保持
タイマコントロールレジスタ_3	TCR_3	H'0000	H'0000	保持	保持
タイマモードレジスタ_3	TMDR_3	H'0000	H'0000	保持	保持
タイマ I/O コントロールレジスタ_3	TIOR_3	H'0000	H'0000	保持	保持
タイマインタラプトイネーブルレジスタ_3	TIER_3	H'0000	H'0000	保持	保持
タイマステータスレジスタ_3	TSR_3	H'0000	H'0000	保持	保持
タイマカウンタ_3	TCNT_3	H'0000	H'0000	保持	保持
タイマジェネラルレジスタ A_3	TGRA_3	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ B_3	TGRB_3	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ C_3	TGRC_3	H'FFFF	H'FFFF	保持	保持
タイマジェネラルレジスタ D_3	TGRD_3	H'FFFF	H'FFFF	保持	保持

20.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御する 16 ビットのレジスタです。TPU には、チャンネル 0~3 に各 1 本、計 4 本の TCR があります。TCR は、リセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-				CCLR[2:0]	CKEG[1:0]			TPSC[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
7~5	CCLR[2:0]	すべて 0	R/W	カウンタクリア TCNT のクリア要因を選択します。 000 : TCNT のクリア禁止 001 : TGRA のコンペアマッチで TCNT クリア 010 : TGRB のコンペアマッチで TCNT クリア 011 : 予約 (設定しないでください) 100 : TCNT のクリア禁止 101 : TGRC のコンペアマッチで TCNT クリア 110 : TGRD のコンペアマッチで TCNT クリア 111 : 予約 (設定しないでください)
4, 3	CKEG[1:0]	すべて 0	R/W	クロックエッジ 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります。(例: Pck0/4 の両エッジ=Pck0/2 の立ち上がりエッジ)。位相係数モードを設定した場合、本設定は機能しません。 00 : 立ち上がりエッジでカウント 01 : 立ち下がりエッジでカウント* 1X : 両エッジでカウント* 【記号説明】 X : Don't care 【注】* 入力クロックに Pck0/1 を選択した場合、動作しません。
2~0	TPSC[2:0]	すべて 0	R/W	タイマプリスケラ TCNT のカウントクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表 20.5 に各チャンネルごとに設定可能なクロックソース一覧を示します。またカウントクロック選択の詳細は表 20.6 を参照してください。

表 20.5 TPU のクロックソース一覧

チャンネル	内部クロック				外部クロック	
	Pck0/1	Pck0/4	Pck0/16	Pck0/64	TPU_TI2A	TPU_TI3A
0						
1						
2						
3						

【注】 : 設定あり、空欄 : 設定なし

表 20.6 TPSC[2:0] (1)

チャンネル	TPSC[2]	TPSC[1]	TPSC[0]	説 明
0	0	0	0	内部クロック : Pck0/1 でカウント (初期値)
			1	内部クロック : Pck0/4 でカウント
		1	0	内部クロック : Pck0/16 でカウント
			1	内部クロック : Pck0/64 でカウント
	1	*	*	予約 (設定しないでください)

表 20.6 TPSC[2:0] (2)

チャンネル	TPSC[2]	TPSC[1]	TPSC[0]	説 明
1	0	0	0	内部クロック : Pck0/1 でカウント (初期値)
			1	内部クロック : Pck0/4 でカウント
		1	0	内部クロック : Pck0/16 でカウント
			1	内部クロック : Pck0/64 でカウント
	1	*	*	予約 (設定しないでください)

表 20.6 TPSC[2:0] (3)

チャンネル	TPSC[2]	TPSC[1]	TPSC[0]	説 明
2	0	0	0	内部クロック : Pck0/1 でカウント (初期値)
			1	内部クロック : Pck0/4 でカウント
		1	0	内部クロック : Pck0/16 でカウント
			1	内部クロック : Pck0/64 でカウント
	1	0	0	外部クロック : TPU_TI2A 端子入力でカウント
			1	予約 (設定しないでください)
		1	*	

表 20.6 TPSC[2:0] (4)

チャンネル	TPSC[2]	TPSC[1]	TPSC[0]	説明
3	0	0	0	内部クロック : Pck0/1 でカウント (初期値)
			1	内部クロック : Pck0/4 でカウント
		1	0	内部クロック : Pck0/16 でカウント
			1	内部クロック : Pck0/64 でカウント
	1	0	0	外部クロック : TPU_TI3A 端子入力でカウント
			1	予約 (設定しないでください)
1		*		

【注】 * Don't care

20.3.2 タイマモードレジスタ (TMDR)

TMDR は 16 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 4 本の TMDR があります。TMDR は、リセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	BFWT	BFB	BFA	-	MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
6	BFWT	0	R/W	バッファライトタイミング TGRC、TGRD をコンペアマッチバッファ動作させた場合、TGRA、TGRB の更新タイミングを設定します。TGRC、TGRD をコンペアマッチバッファレジスタとして使わない場合、本ビットは機能しません。 0 : TGRA、TGRB は、各レジスタのコンペアマッチ時に書き換え 1 : TGRA、TGRB はカウンタクリア時に書き換え
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。 0 : TGRB 通常動作 1 : TGRB と TGRD はバッファ動作*

ビット	ビット名	初期値	R/W	説明
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2~0	MD[2:0]	すべて 0	R/W	モード MD[2:0]はタイマの動作モードを設定します。 000 : 通常動作 001 : 予約 (設定しないでください) 010 : PWM モード 011 : 予約 (設定しないでください) 100 : 位相係数モード 1 101 : 位相係数モード 2 110 : 位相係数モード 3 111 : 位相係数モード 4

【注】 * (BFWT、BFB、BFA) = (1、1、0) と設定した場合、(BFWT、BFB、BFA) = (1、0、1) と設定した場合と同じ動作をします。ただし、BFB ビット = 1 (TGRB と TGRD はバッファ動作) を設定する場合は、(BFWT、BFB、BFA) = (1、1、1) を設定してください。またこの場合、TGRA と TGRC もバッファ動作をするため、TGRC には TGRA と同じ値を設定してください。

20.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TPU_TO 端子を制御する 16 ビットのレジスタです。TPU には、各チャンネルに 1 本、計 4 本の TIOR が
あります。TIOR はリセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールス
タンバイでは初期化されません。

TIOR の設定は、TCNT の動作が停止した状態で行ってください。

TIOR は TMDR の設定により影響を受けますので注意してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	IOA[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2~0	IOA[2:0]	すべて 0	R/W	I/O コントロール A IOA[2:0]は TPU_TO 端子と TGRA の機能を設定します。詳細は表 20.7 を参照 してください。

表 20.7 IOA[2:0]

チャンネル	IOA[2]	IOA[1]	IOA[0]	説明	
0~3	0	0	0	常に 0 出力 (初期値)	
			1	TPU_TO 端子の 初期出力は 0 出力	TGRA のコンペアマッチで 0 出力*
		1	0	TGRA のコンペアマッチで 1 出力	
			1	TGRA のコンペアマッチでトグル出力*	
	1	0	0	常に 1 出力	
			1	TPU_TO 端子の 初期出力は 1 出力	TGRA のコンペアマッチで 0 出力
		1	0	TGRA のコンペアマッチで 1 出力*	
			1	TGRA のコンペアマッチでトグル出力*	

【注】 * PWM モード時、本設定にしないでください。

20.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 16 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 4 本の TIER があります。TIER は、リセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	TC1EU	TC1EV	TG1ED	TG1EC	TG1EB	TG1EA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
5	TC1EU	0	R/W	アンダフローインタラプトイネーブル チャンネル 2、3 の位相計数モードで TSR の TCFU フラグが 1 にセットされたとき (TCNT のアンダフロー発生)、TCFU フラグによる割り込み要求を許可または禁止します。 チャンネル 0、1 では予約ビットです。読み出すと常に 0 が読み出されます。書き込みは無効です。 0 : TCFU による割り込み要求を許可 1 : TCFU による割り込み要求を禁止
4	TC1EV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき (TCNT のオーバフロー発生)、TCFV フラグによる割り込み要求を許可または禁止します。 0 : TCFV による割り込み要求を禁止 1 : TCFV による割り込み要求を許可
3	TG1ED	0	R/W	TGR インタラプトイネーブル D TSR の TGFD ビットが 1 にセットされたとき (TCNT と TGRD のコンペアマッチ発生)、TGFD ビットによる割り込み要求を許可または禁止します。 0 : TGFD ビットによる割り込み要求を禁止 1 : TGFD ビットによる割り込み要求を許可
2	TG1EC	0	R/W	TGR インタラプトイネーブル C TSR の TGFC ビットが 1 にセットされたとき (TCNT と TGRC のコンペアマッチ発生)、TGFC ビットによる割り込み要求を許可または禁止します。 0 : TGFC ビットによる割り込み要求を禁止 1 : TGFC ビットによる割り込み要求を許可
1	TG1EB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき (TCNT と TGRB のコンペアマッチ発生)、TGFB ビットによる割り込み要求を許可または禁止します。 0 : TGFB ビットによる割り込み要求を禁止 1 : TGFB ビットによる割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
0	TG1EA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき (TCNT と TGRA のコンペアマッチ発生)、TGFA ビットによる割り込み要求を許可または禁止します。 0 : TGFA ビットによる割り込み要求を禁止 1 : TGFA ビットによる割り込み要求を許可

20.3.5 タイマステータスレジスタ (TSR)

TSR は 16 ビットのレジスタで、各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 4 本の TSR があります。TSR は、リセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
7	TCFD	0	R	カウント方向フラグ チャンネル 2、3 が位相計数モードのとき、TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、1 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込みは無効です。 0 : TCNT はアップカウント 1 : TCNT はダウンカウント
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
5	TCFU	0	R/(W)*	アンドフローフラグ チャンネル 2、3 が位相計数モードのとき、TCNT のアンドフローの発生を示すステータスフラグです。 チャンネル 0、1 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込みは無効です。 [クリア条件] (初期値) TCFU = 1 の状態で TCFU を読み出し後、TCFU に 0 を書き込んだとき [セット条件] TCNT の値がアンドフロー (H'0000 H'FFFF) したとき

ビット	ビット名	初期値	R/W	説明
4	TCFV	0	R/(W)*	オーバーフローフラグ TCNT のオーバーフローの発生を示すステータスフラグです。 [クリア条件] TCFV = 1 の状態で TCFV を読み出し後、TCFV に 0 を書き込んだとき [セット条件] TCNT の値がオーバーフロー (H'FFFF H'0000) したとき
3	TGFD	0	R/(W)*	コンペアフラグ D TGRD のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFD = 1 の状態で TGFD を読み出し後、TGFD に 0 を書き込んだとき [セット条件] TCNT = TGRD になったとき
2	TGFC	0	R/(W)*	コンペアフラグ C TGRC のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFC = 1 の状態で TGFC を読み出し後、TGFC に 0 を書き込んだとき [セット条件] TCNT = TGRC になったとき
1	TGFB	0	R/(W)*	コンペアフラグ B TGRB のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFB = 1 の状態で TGFB を読み出し後、TGFB に 0 を書き込んだとき [セット条件] TCNT = TGRB になったとき
0	TGFA	0	R/(W)*	アウトプットコンペアフラグ A TGRA のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFA = 1 の状態で TGFA を読み出し後、TGFA に 0 を書き込んだとき [セット条件] TCNT = TGRA になったとき

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

20.3.6 タイマカウンタ (TCNT)

TCNTは16ビットのカウンタです。各チャンネルに1本、計4本のTCNTがあります。

TCNTは、リセット時にH'0000に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

20.3.7 タイマジェネラルレジスタ (TGR)

TGRは16ビットのレジスタです。各チャンネルに4本、計16本のジェネラルレジスタがあります。TGRCとTGRDは、バッファレジスタとして動作設定することができます*。TGRはリセット時にH'FFFFに初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

【注】 * TGRとバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRDになります。

20.3.8 タイマスタートレジスタ (TSTR)

TSTRは16ビットの読み出し/書き込み可能なレジスタで、チャンネル0~3のTCNTの動作/停止を選択します。TSTRはリセット時にH'0000に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
3	CST3	0	R/W	カウンタスタート TCNTの動作または停止を選択します。 0: TCNTnのカウンタ動作は停止 1: TCNTnはカウンタ動作 【記号説明】n=3~0
2	CST2	0	R/W	
1	CST1	0	R/W	
0	CST0	0	R/W	

20.4 動作説明

20.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT はアップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

(2) バッファ動作

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

(3) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。

TGRA、TGRB の設定により、デューティ 0~100% の PWM 波形が出力できます。

(4) 位相計数モード

チャンネル 2、3 で外部クロック入力端子 (TPU_TI2A と TPU_TI2B または TPU_TI3A と TPU_TI3B) から入力される 2 つのクロックの位相を検出して、TCNT をアップ / ダウンさせるモードです。位相計数モードに設定すると、対応する TI 端子はクロック入力となり、また TCNT はアップ / ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

20.4.2 基本機能

(1) カウンタの動作

TSTR の CST0~CST3 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 20.2 に示します。

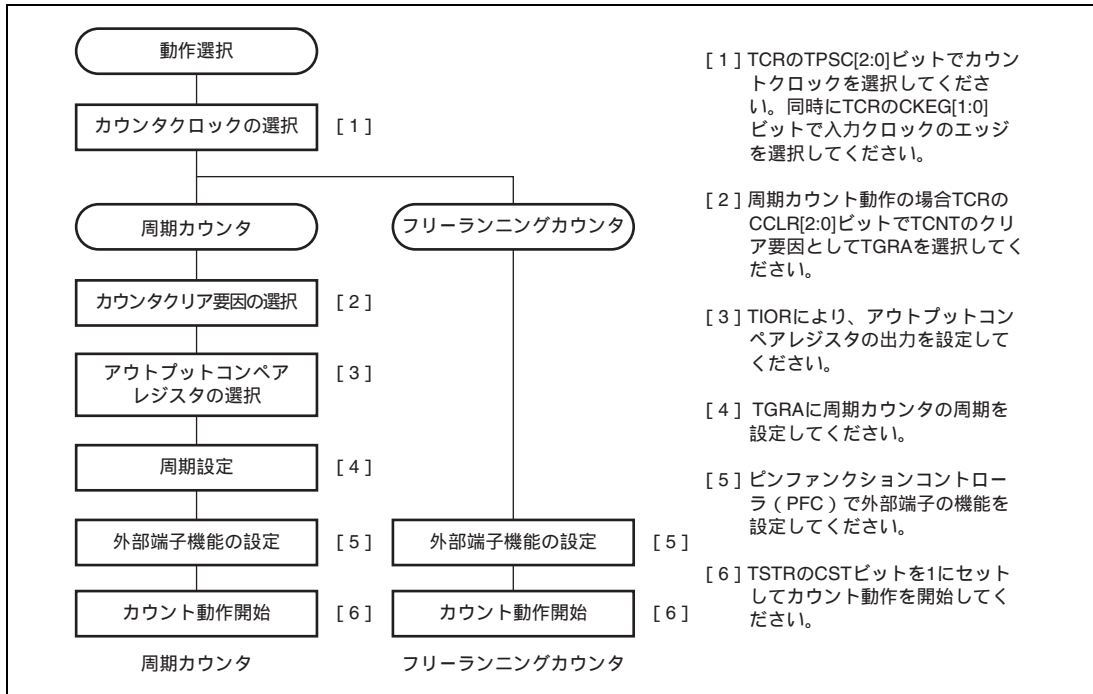


図 20.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (H'FFFF H'0000) すると、TSR の TCFV ビットが 1 にセットされます。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 20.3 に示します。

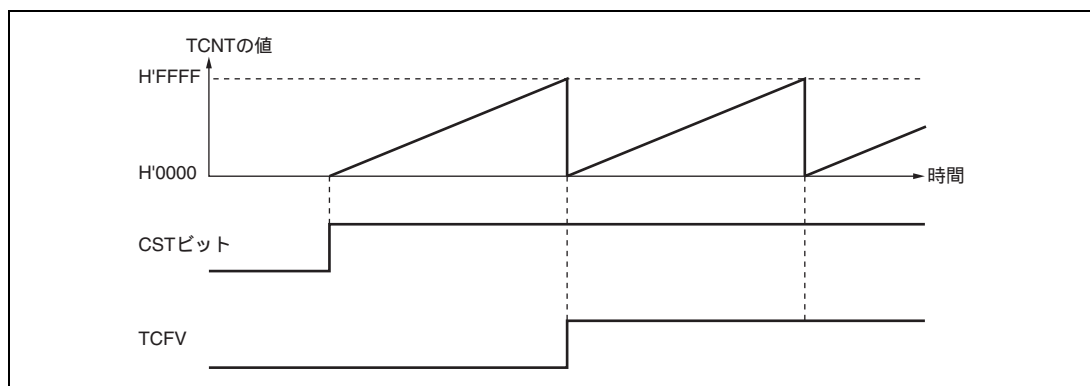


図 20.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 20.4 に示します。

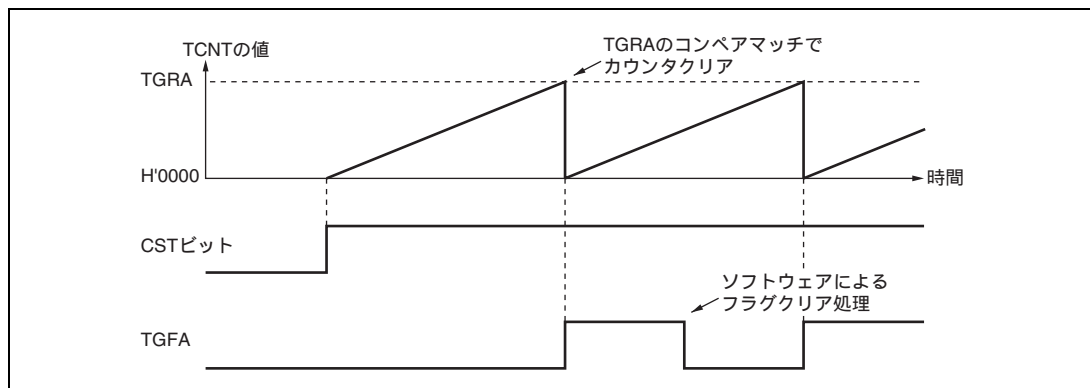


図 20.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、TGRA のコンペアマッチにより出力端子 (TPU_TO 端子) から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 20.5 に示します。

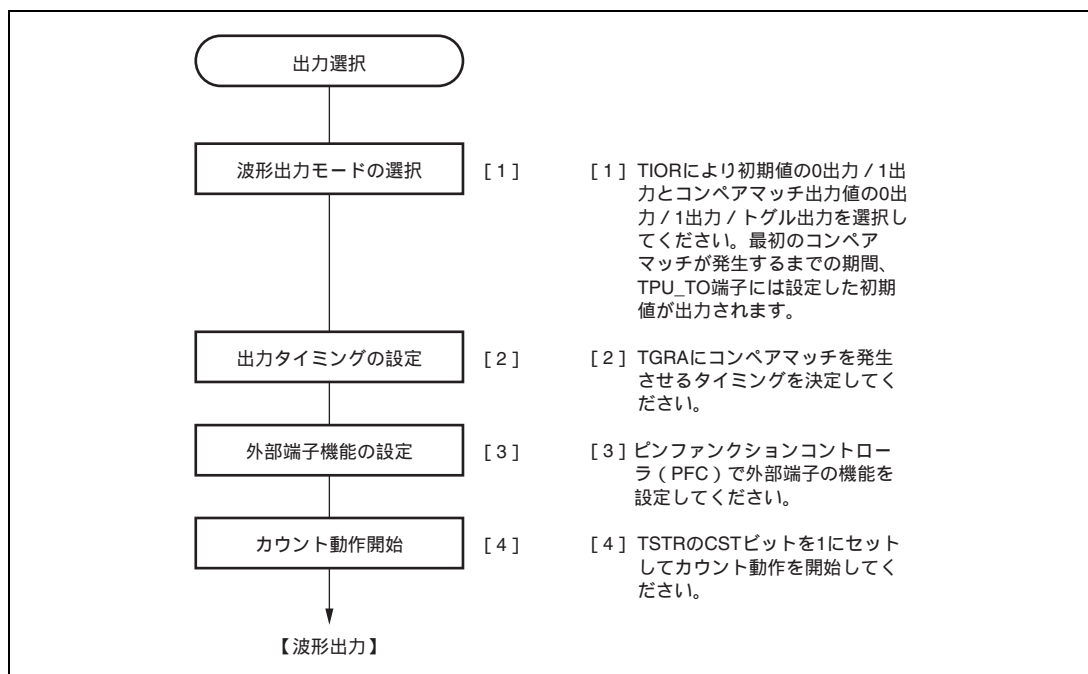


図 20.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力を図 20.6 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力となるように設定した場合と、0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

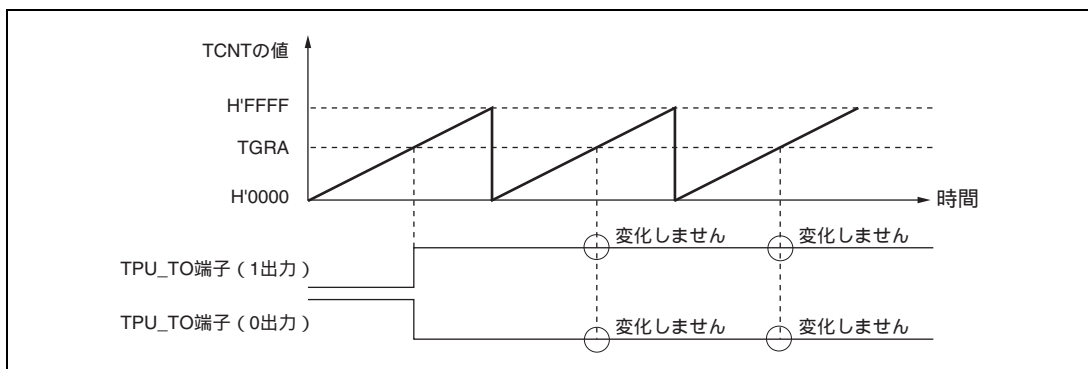


図 20.6 0 出力 / 1 出力の動作例

トグル出力の例を図 20.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A によりトグル出力となるように設定した場合の例です。

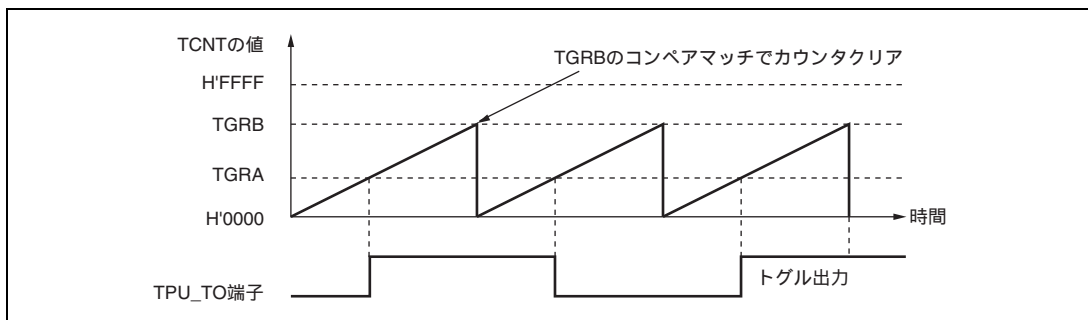


図 20.7 トグル出力の動作例

20.4.3 バッファ動作

バッファ動作は、TGRC と TGRD をバッファレジスタとして使用することができます。

表 20.8 にバッファ動作時のレジスタの組み合わせを示します。

表 20.8 レジスタの組み合わせ

タイムジェネラルレジスタ	バッファレジスタ
TGRA	TGRC
TGRB	TGRD

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

この動作を図 20.8 に示します。

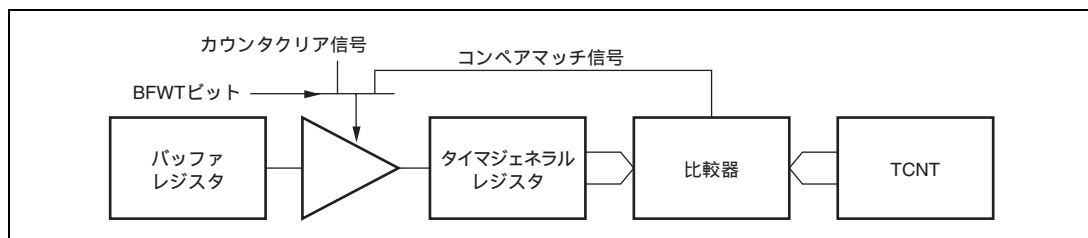


図 20.8 コンペアマッチバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 20.9 に示します。

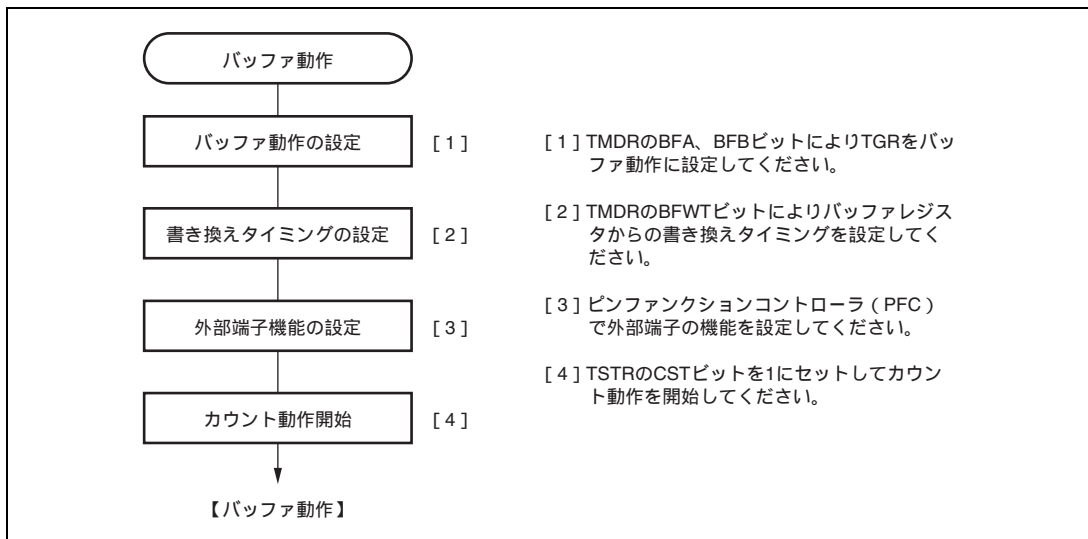


図 20.9 バッファ動作の設定手順例

(2) バッファ動作例

チャンネル0をPWMモードに設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図20.10に示します。TCNTはコンペアマッチBによりクリア、出力(TPU_TO端子)はコンペアマッチAで1出力、カウンタクリアで初期値0出力、バッファレジスタからの書き換えタイミングはカウンタクリア時に設定した例です。

コンペアマッチAが発生すると出力を変化させます。TGRBによってカウンタクリアが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイムジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「20.4.4 PWMモード」を参照してください。

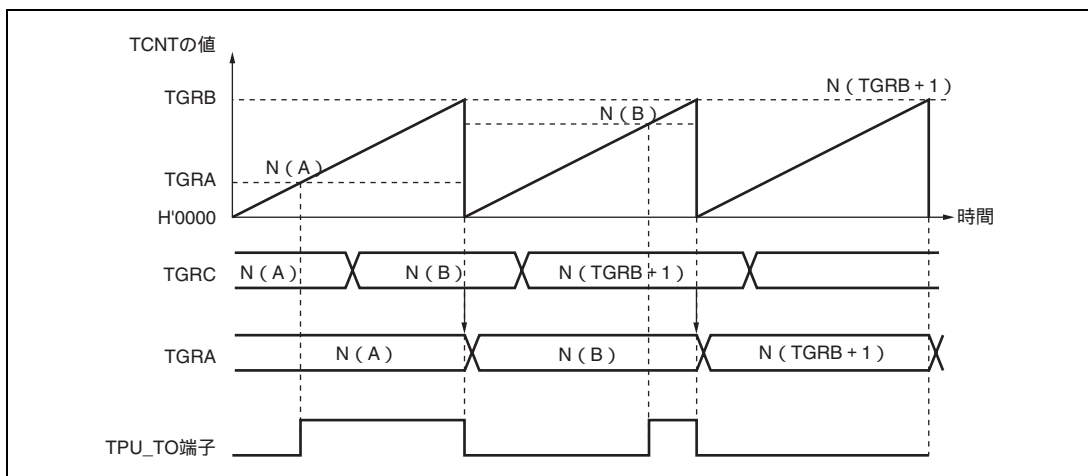


図 20.10 バッファ動作例

20.4.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。TGRA のコンペアマッチによる出力レベルは 0 出力 / 1 出力の中から選択可能です。

TGRB のコンペアマッチをカウンタクリア要因とすることにより、周期を設定することができます。全チャンネル独立に PWM モードに設定できます。

TGRA をデューティレジスタ、TGRB を周期レジスタに使用して、TPU_TO 端子から PWM 出力を生成します。周期レジスタのコンペアマッチによるカウンタクリアで TPU_TO 端子の出力値は TIOR で設定した初期出力が出力されます。必ず TIOR の設定は、初期出力とコンペアマッチによる出力値が異なった出力となるように設定してください。同じレベルやトルグル出力を選択した場合、動作しません。

デューティ 0%と 100%の条件を以下に示します。

- デューティ 0% : 周期レジスタ (TGRB) に対してデューティレジスタ (TGRA) の設定値を TGRB + 1 した場合
- デューティ 100% : デューティレジスタ (TGRA) の設定値が 0 の場合

PWM モードでは、最大 4 相の PWM 出力が可能です。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 20.11 に示します。

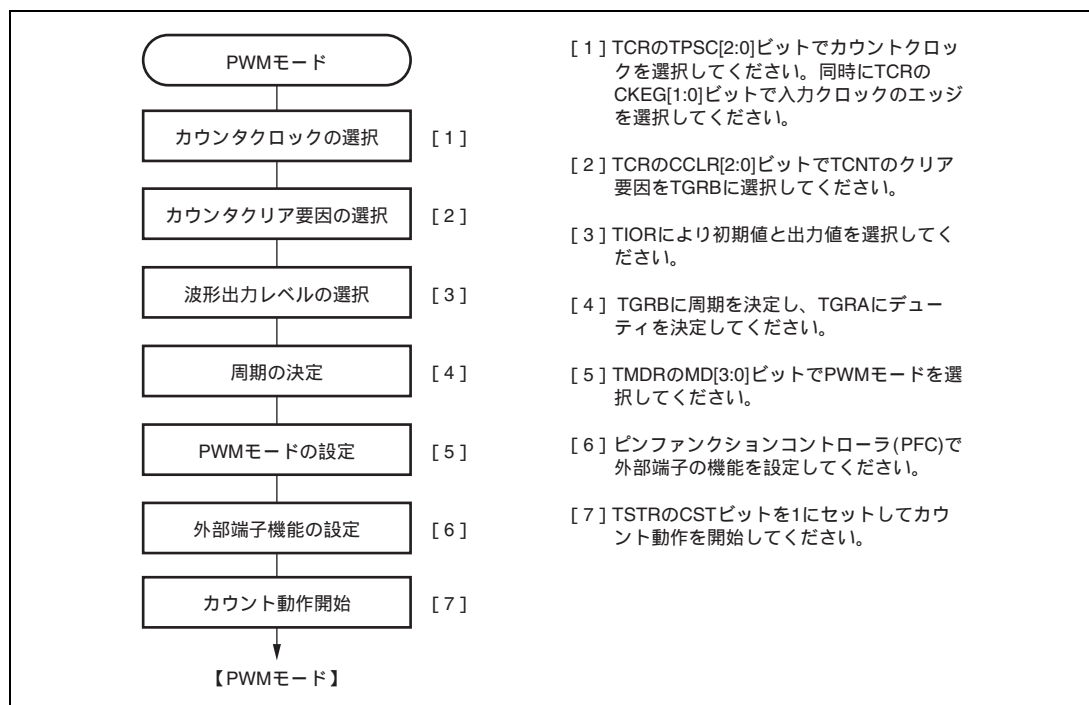


図 20.11 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モードの動作例を図 20.12 に示します。

この図は、TCNT のクリア要因を TGRB のコンペアマッチとし、TGRA の初期出力値を 0、出力値を 1 に設定した場合の例です。

TGRB に設定した値が周期となり、TGRA に設定した値がデューティになります。

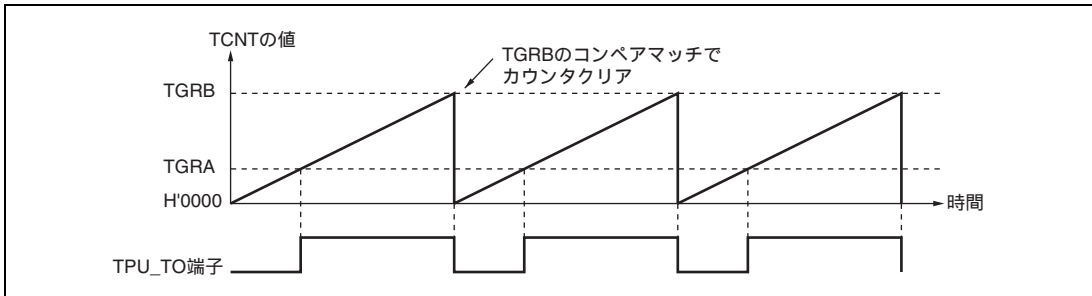


図 20.12 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 20.13 に示します。

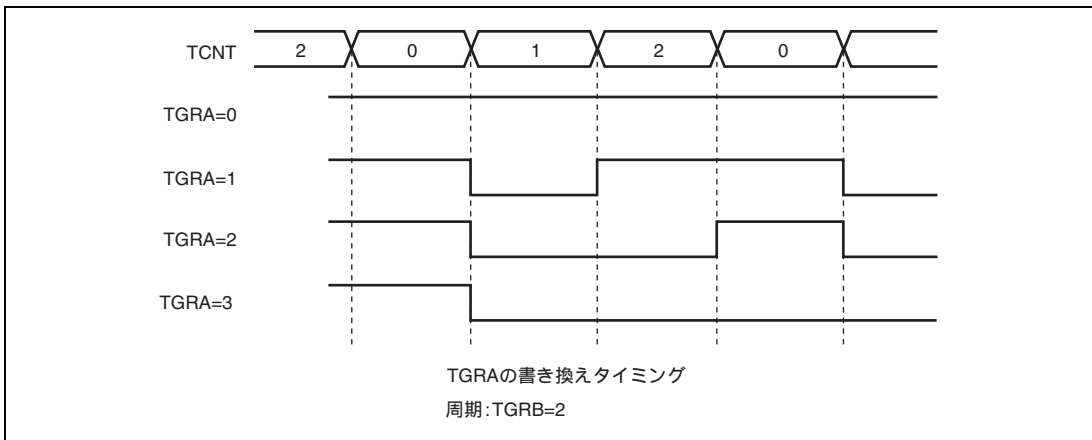


図 20.13 PWM モードの動作例 (2)

20.4.5 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。このモードはチャンネル2、3で設定可能です。

位相計数モードに設定すると、TCRのTPSC[2:0]ビット、CKEG[1:0]ビットの設定にかかわらずカウンタ入クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIER、TGRの機能は有効ですので、コンペアマッチ機能や割り込み機能は使用することができません。

ただし、TIORのTPU_TO端子からは、前の設定値（位相計数モードでタイマをスタートさせる以前に設定されていた出力初期値）を出力します。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグを読み出すことにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 20.9 に外部クロック端子とチャンネルの対応を示します。

表 20.9 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル2を位相計数モードとするとき	TPU_TI2A	TPU_TI2B
チャンネル3を位相計数モードとするとき	TPU_TI3A	TPU_TI3B

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 20.14 に示します。

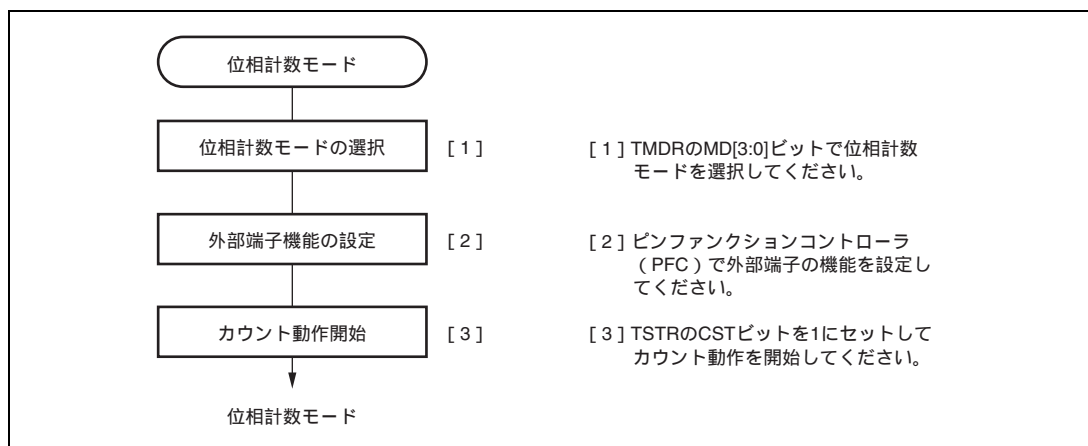


図 20.14 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図20.15に、TCNTのアップ/ダウンカウント条件を表20.10に示します。

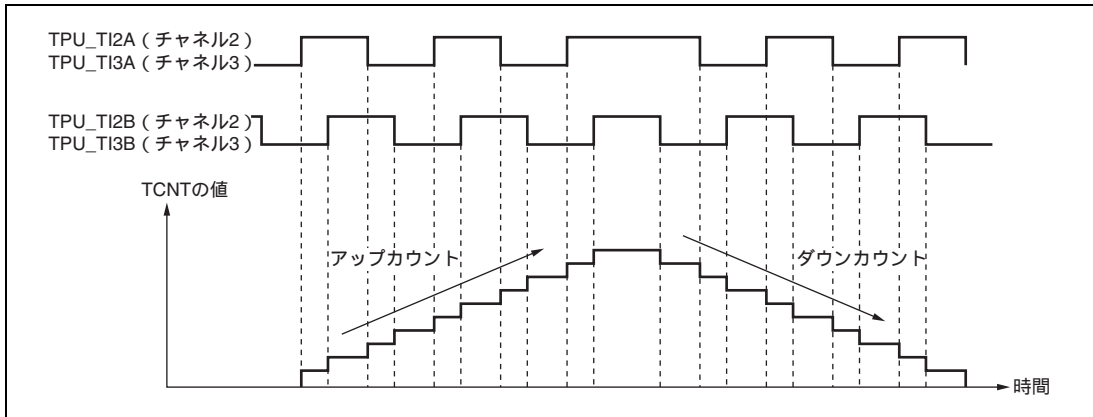


図 20.15 位相計数モード1の動作例

表 20.10 位相計数モード1のアップ/ダウンカウント条件

TPU_TI2A (チャンネル2) TPU_TI3A (チャンネル3)	TPU_TI2B (チャンネル2) TPU_TI3B (チャンネル3)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【注】 ↑ 立ち上がりエッジ
 ↓ 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図20.16に、TCNTのアップ/ダウンカウント条件を表20.11に示します。

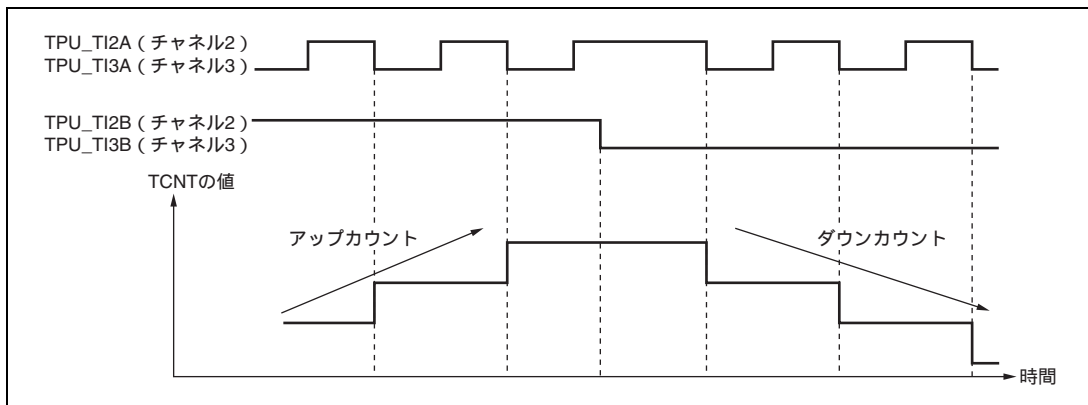


図 20.16 位相計数モード2の動作例

表 20.11 位相計数モード2のアップ/ダウンカウント条件

TPU_TI2A (チャンネル2) TPU_TI3A (チャンネル3)	TPU_TI2B (チャンネル2) TPU_TI3B (チャンネル3)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	アップカウント
↓	High レベル	
High レベル	↓	Don't care
Low レベル	↑	
↑	High レベル	ダウンカウント
↓	Low レベル	

【注】 ↑ 立ち上がりエッジ

↓ 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 20.17 に、TCNT のアップ / ダウンカウント条件を表 20.12 に示します。

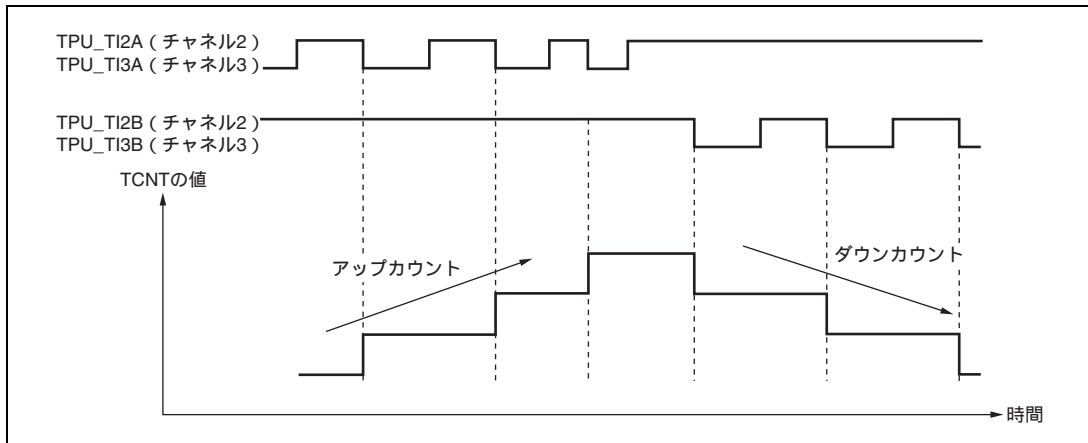


図 20.17 位相計数モード 3 の動作例

表 20.12 位相計数モード 3 のアップ / ダウンカウント条件

TPU_TI2A (チャンネル 2) TPU_TI3A (チャンネル 3)	TPU_TI2B (チャンネル 2) TPU_TI3B (チャンネル 3)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	アップカウント
↓	High レベル	ダウンカウント
High レベル	↓	Don't care
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【注】 ↑ 立ち上がりエッジ
 ↓ 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 20.18 に、TCNT のアップ / ダウンカウント条件を表 20.13 に示します。

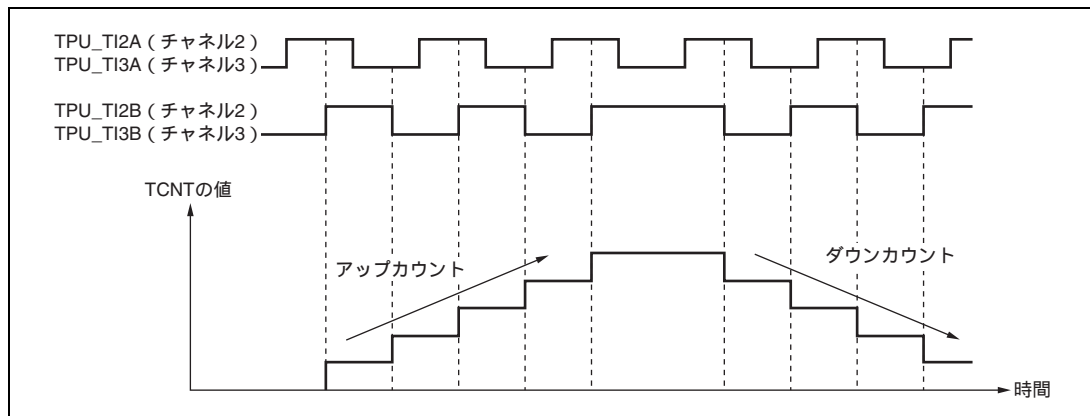


図 20.18 位相計数モード 4 の動作例

表 20.13 位相計数モード 4 の動作例

TPU_TI2A (チャンネル 2) TPU_TI3A (チャンネル 3)	TPU_TI2B (チャンネル 2) TPU_TI3B (チャンネル 3)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【注】 ↑ 立ち上がりエッジ

↓ 立ち下がりエッジ

20.5 使用上の注意事項

TPU の動作中、次のような動作や競合が起こりますので注意してください。

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 2 ステートクロック以上、両エッジの場合は 3 ステートクロック以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本以上の入力クロックの位相差およびオーバーラップはそれぞれ 2 ステート以上、パルス幅は、3 ステート以上必要です。位相計数モードの入力クロックの条件を図 20.19 に示します。

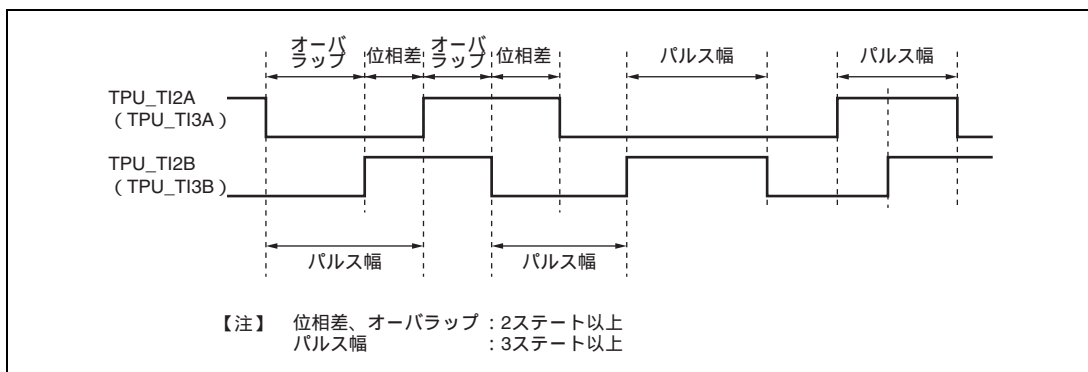


図 20.19 位相計数モード時の位相差、オーバーラップ、およびパルス幅

21. コンペアマッチタイマ (CMT)

本 LSI は、5 チャンネル (チャンネル 0~4) の 32 ビット構成のコンペアマッチタイマ (CMT) を内蔵しています。

21.1 特長

- 16ビット / 32ビット切り替え可能なタイマ
- オートリロード方式のアップカウンタを搭載
- 任意の時点で書き込み / 読み出し可能なオートリロード用32ビットコンスタントレジスタおよび32ビットアップカウンタを搭載
- チャンネル0からチャンネル4は3種類のカウンタ入力クロックを選択可能
周辺クロック0 (Pck0) : 1/8、1/32、1/128
- ワンショット動作およびフリーラン動作を選択可能
- 割り込み要因にコンペアマッチまたはオーバーフローを選択可能
- チャンネル0からチャンネル4はコンペアマッチまたはオーバーフローによりDMA転送要求が可能
- モジュールスタンバイモードの設定可能

図 21.1 に CMT のブロック図を示します。

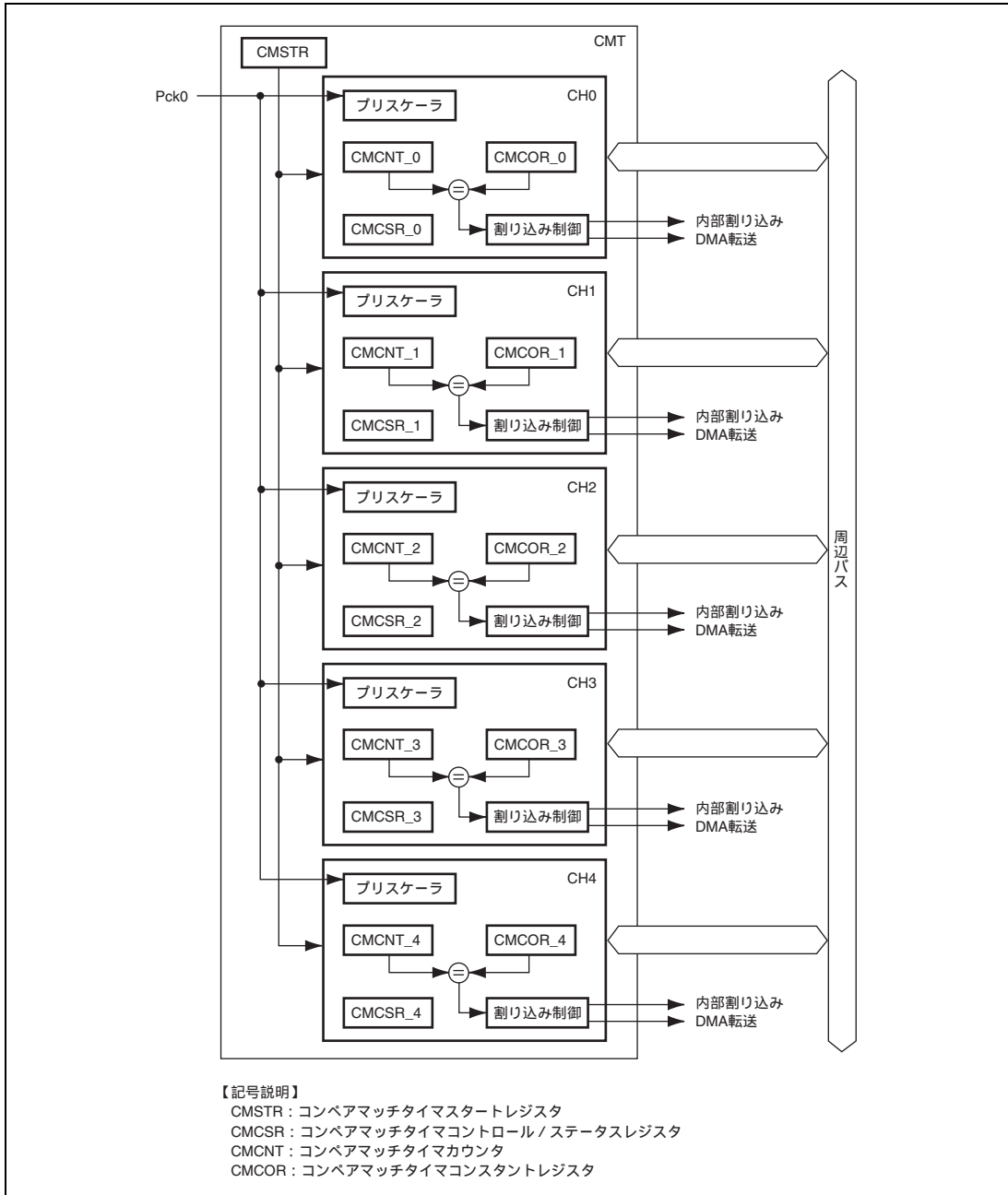


図 21.1 CMT のブロック図

21.2 レジスタの説明

CMT のレジスタ構成を表 21.1 に示します。また、各処理モードにおけるレジスタの状態を表 21.2 に示します。

表 21.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセスサイズ (ビット)
コンペアマッチタイムスタートレジスタ	CMSTR	R/W	H'FFE2 0000	H'1FE2 0000	16
コンペアマッチタイムコントロール/ ステータスレジスタ_0	CMCSR_0	R/W	H'FFE2 0010	H'1FE2 0010	16
コンペアマッチタイムカウンタ_0	CMCNT_0	R/W	H'FF20 0014	H'1F20 0014	32
コンペアマッチタイムコンスタントレジスタ _0	CMCOR_0	R/W	H'FF20 0018	H'1F20 0018	32
コンペアマッチタイムコントロール/ ステータスレジスタ_1	CMCSR_1	R/W	H'FFE2 0020	H'1FE2 0020	16
コンペアマッチタイムカウンタ_1	CMCNT_1	R/W	H'FF20 0024	H'1F20 0024	32
コンペアマッチタイムコンスタントレジスタ _1	CMCOR_1	R/W	H'FF20 0028	H'1F20 0028	32
コンペアマッチタイムコントロール/ ステータスレジスタ_2	CMCSR_2	R/W	H'FFE2 0030	H'1FE2 0030	16
コンペアマッチタイムカウンタ_2	CMCNT_2	R/W	H'FF20 0034	H'1F20 0034	32
コンペアマッチタイムコンスタントレジスタ _2	CMCOR_2	R/W	H'FF20 0038	H'1F20 0038	32
コンペアマッチタイムコントロール/ ステータスレジスタ_3	CMCSR_3	R/W	H'FFE2 0040	H'1FE2 0040	16
コンペアマッチタイムカウンタ_3	CMCNT_3	R/W	H'FF20 0044	H'1F20 0044	32
コンペアマッチタイムコンスタントレジスタ _3	CMCOR_3	R/W	H'FF20 0048	H'1F20 0048	32
コンペアマッチタイムコントロール/ ステータスレジスタ_4	CMCSR_4	R/W	H'FFE2 0050	H'1FE2 0050	16
コンペアマッチタイムカウンタ_4	CMCNT_4	R/W	H'FF20 0054	H'1F20 0054	32
コンペアマッチタイムコンスタントレジスタ _4	CMCOR_4	R/W	H'FF20 0058	H'1F20 0058	32

表 21.2 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
コンペアマッチタイマスタートレジスタ	CMSTR	H'0000	H'0000	保持	保持
コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	H'0000	H'0000	保持	保持
コンペアマッチタイマカウンタ_0	CMCNT_0	H'00000000	H'00000000	保持	保持
コンペアマッチタイマコンスタントレジスタ _0	CMCOR_0	H'FFFFFFFF	H'FFFFFFFF	保持	保持
コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR_1	H'0000	H'0000	保持	保持
コンペアマッチタイマカウンタ_1	CMCNT_1	H'00000000	H'00000000	保持	保持
コンペアマッチタイマコンスタントレジスタ _1	CMCOR_1	H'FFFFFFFF	H'FFFFFFFF	保持	保持
コンペアマッチタイマコントロール/ ステータスレジスタ_2	CMCSR_2	H'0000	H'0000	保持	保持
コンペアマッチタイマカウンタ_2	CMCNT_2	H'00000000	H'00000000	保持	保持
コンペアマッチタイマコンスタントレジスタ _2	CMCOR_2	H'FFFFFFFF	H'FFFFFFFF	保持	保持
コンペアマッチタイマコントロール/ ステータスレジスタ_3	CMCSR_3	H'0000	H'0000	保持	保持
コンペアマッチタイマカウンタ_3	CMCNT_3	H'00000000	H'00000000	保持	保持
コンペアマッチタイマコンスタントレジスタ _3	CMCOR_3	H'FFFFFFFF	H'FFFFFFFF	保持	保持
コンペアマッチタイマコントロール/ ステータスレジスタ_4	CMCSR_4	H'0000	H'0000	保持	保持
コンペアマッチタイマカウンタ_4	CMCNT_4	H'00000000	H'00000000	保持	保持
コンペアマッチタイマコンスタントレジスタ _4	CMCOR_4	H'FFFFFFFF	H'FFFFFFFF	保持	保持

21.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、各チャンネルのコンペアマッチタイマカウンタ (CMCNT) の動作 / 停止を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	STR[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	すべて R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	STR[4:0]	すべて 0	R/W	カウントスタート 各チャンネルのコンペアマッチタイマカウンタ (CMCNT _{4~0}) の動作 / 停止を選択します。 0 : CMCNT _n はカウントを停止 1 : CMCNT _n はカウントを開始 【注】 n : 4~0 チャンネル番号に相当します。

21.2.2 コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、各チャンネルごとのコンペアマッチの発生の表示、割り込みと DMA 転送要求の許可、およびカウンタ入力クロックの設定を行います。

コンペアマッチタイマカウンタ (CMCNT) 動作中に CMF ビット、OVF ビット以外の変更はしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMF	OVF	-	-	-	-	CMS	CMM	-	-	CMR[1:0]	-	CKS[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	コンペアマッチフラグ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したか否かを示すフラグです。 ソフトウェアによる 1 書き込みはできません。 カウンタの動作にワンショット動作を選択した場合、本ビットをクリアするとカウント動作を再開します。 0 : CMCNT と CMCOR の値は不一致 [クリア条件] CMF に 0 を書き込んだとき 1 : CMCNT と CMCOR の値が一致

ビット	ビット名	初期値	R/W	説明
14	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>コンペアマッチタイムカウンタ (CMCNT) がオーバーフローし 0 クリアしたかを示すフラグです。ソフトウェアによる 1 書き込みはできません。</p> <p>0 : CMCNT はオーバーフローしていない</p> <p>[クリア条件]</p> <p>OVF に 0 を書き込んだとき</p> <p>1 : CMCNT はオーバーフロー発生</p>
13~10	-	すべて 0	すべて R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9	CMS	0	R/W	<p>コンペアマッチタイムカウンタサイズ</p> <p>コンペアマッチタイムカウンタ (CMCNT) を 16 ビットカウンタか 32 ビットカウンタとして使うかを選択します。</p> <p>本レジスタの設定がコンペアマッチタイムコンスタントレジスタ (CMCOR) の有効ビットサイズになります。</p> <p>0 : 32 ビットカウンタ動作</p> <p>1 : 16 ビットカウンタ動作</p>
8	CMM	0	R/W	<p>コンペアマッチモード</p> <p>カウンタのワンショット動作とフリーラン動作を選択します。</p> <p>0 : ワンショット動作</p> <p>1 : フリーラン動作</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5、4	CMR[1:0]	すべて 0	R/W	<p>コンペアマッチリクエスト</p> <p>コンペアマッチ時、DMA 転送要求または内部割り込み要求の許可 / 禁止を選択します。</p> <p>00 : DMA 転送要求および内部割り込み要求の禁止</p> <p>01 : DMA 転送要求を許可</p> <p>10 : 内部割り込み要求を許可</p> <p>11 : 設定禁止</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	CKS[2:0]	すべて0	R/W	<p>クロックセレクト</p> <p>コンペアマッチタイマカウンタ (CMCNT) に入力するクロックを選択します。対応するチャンネルのカウントスタート (STRn : n=4~0) が1にセットされると、CMCNT は本ビットで選択されたクロックでカウントを開始します。</p> <p>000 : Pck0/8 001 : Pck0/32 010 : Pck0/128 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

21.2.3 コンペアマッチタイマカウンタ (CMCNT)

CMCNT は 32 ビットのレジスタで、各チャンネルのアップカウンタとして使用されます。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) でカウンタ動作を設定します。このため、コンペアマッチタイマスタートレジスタ (CMSTR) で対応するチャンネルの動作を開始する前に、CMCSR の設定を完了してください。CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CMCNT の初期値は、H'00000000 です。

21.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

CMCOR は 32 ビットのレジスタで、各チャンネルのコンペアマッチタイマカウンタ (CMCNT) とコンペアマッチするまでの期間を設定します。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。オーバーフロー検出は本レジスタが H'FFFFFF で CMCNT が 0 クリアされたときに検出されます。CMCOR の初期値は、H'FFFFFF です。

21.3 動作説明

21.3.1 カウンタ動作

CMTは、動作対象チャネルの設定後にCMSTRの対象チャネルのSTRnビットに1を書き込むことによってカウンタ動作を開始します。動作開始前にすべての設定を完了してください。フラグビットのクリア以外のレジスタ変更はしないでください。

カウンタ動作は2種類に分類することが可能です。

- ワンショット動作

CMCSRのCMMビットを0にセットした場合、ワンショット動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットが1にセットされます。CMCNTはクリア後、動作を停止します。

オーバーフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットが1にセットされます。

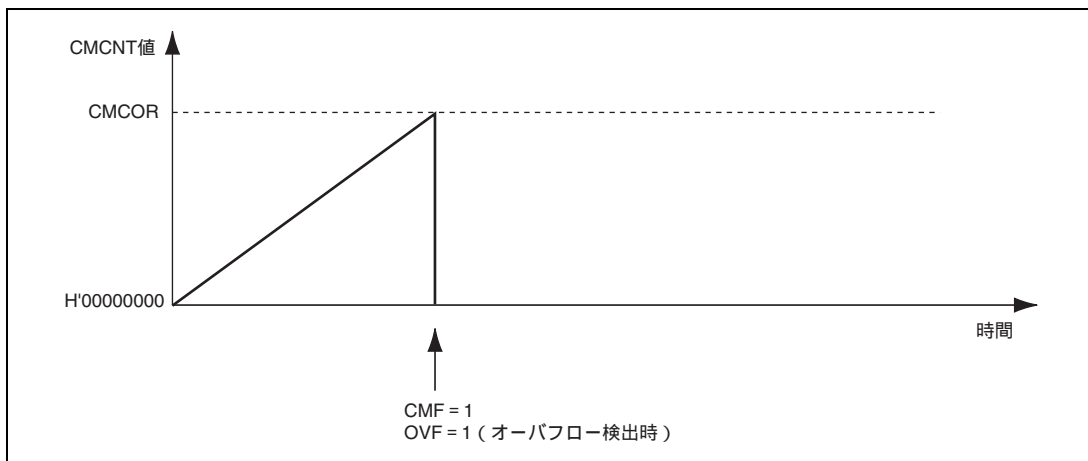


図 21.2 カウンタ動作 (ワンショット動作時)

- フリーラン動作

CMCSRのCMMビットを1にセットした場合、フリーラン動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットが1にセットされます。CMCNTはクリア後、カウントアップを再開します。

オーバーフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットが1にセットされます。

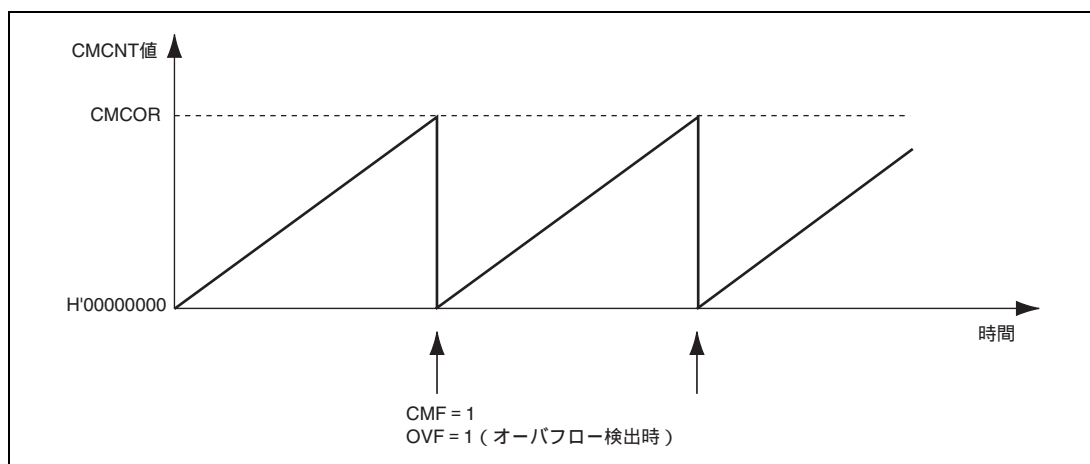


図 21.3 カウンタ動作 (フリーラン動作時)

21.3.2 カウンタサイズ

本モジュールはカウンタサイズを 16 ビットカウンタと 32 ビットカウンタで選択可能です。カウンタサイズの設定は CMCSR の CMS ビットで行います。

16 ビットカウンタとして使う場合、CMCOR の値は上位に H'0000 を加えた 32 ビットでセットしてください。オーバーフロー割り込み検出を行うときは、H'0000FFFF とします。

21.3.3 CMCNT カウントタイミング

本モジュールは CMCNT のカウンタ用クロックに以下を設定することが可能です。

チャンネル0~4 周辺クロック0 (Pck0) : 1/8、1/32、1/128

カウンタ用クロックは、CMCSR の CKS2~CKS0 ビットにより選択します。

CMCNT は CKS2~CKS0 により選択されたクロックの立ち上がりエッジにてインクリメントします。

21.3.4 DMA 転送要求と CPU への内部割り込み要求

CMCSR の CMR1、CMR0 ビットにより、コンペアマッチ時に DMA 転送要求または CPU への内部割り込み発生を選択することができます。

DMA 転送要求は、CMT チャンルによって次の仕様となります。

1. チャンネル0、1は、コンペアマッチ時に1回のDMA転送要求を出します。
2. チャンネル2、3、4は、DMACに設定した転送回数が終了するまで要求を出し続け、転送回数終了後自動的に要求出力を停止します。

割り込み要求をクリアするためには、CMF ビットに 0 をセットする必要があります。CMT による割り込みルーチン中に CMF=0 とする動作を行ってください。

21.3.5 コンペアマッチフラグのセットタイミング (全チャンネル共通)

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 21.4 に CMF ビットのセットタイミングを示します。

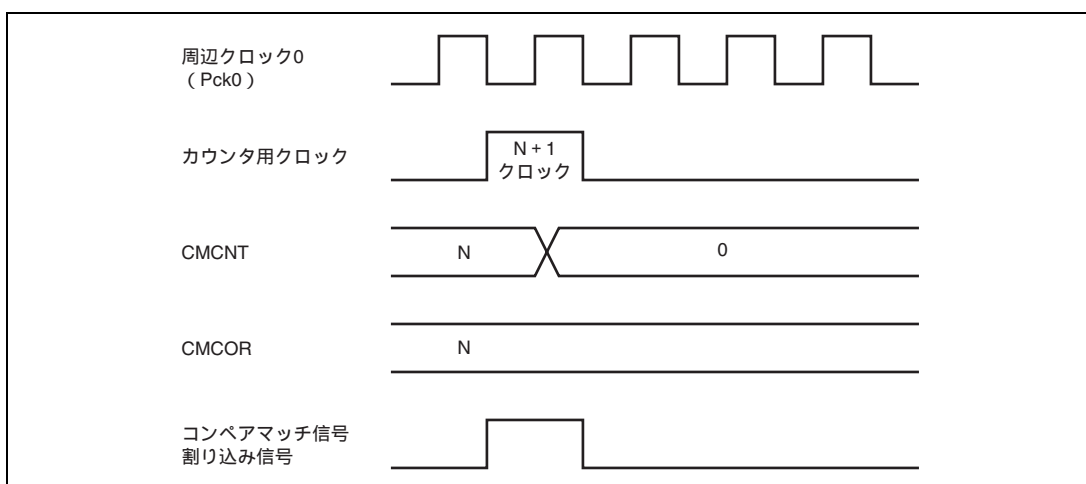


図 21.4 CMF セットタイミング

22. リアルタイムクロック (RTC)

22.1 特長

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載
64HzカウンタレジスタがRTCの分周回路のうち、64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

22.1.1 ブロック図

図 22.1 に RTC のブロック図を示します。

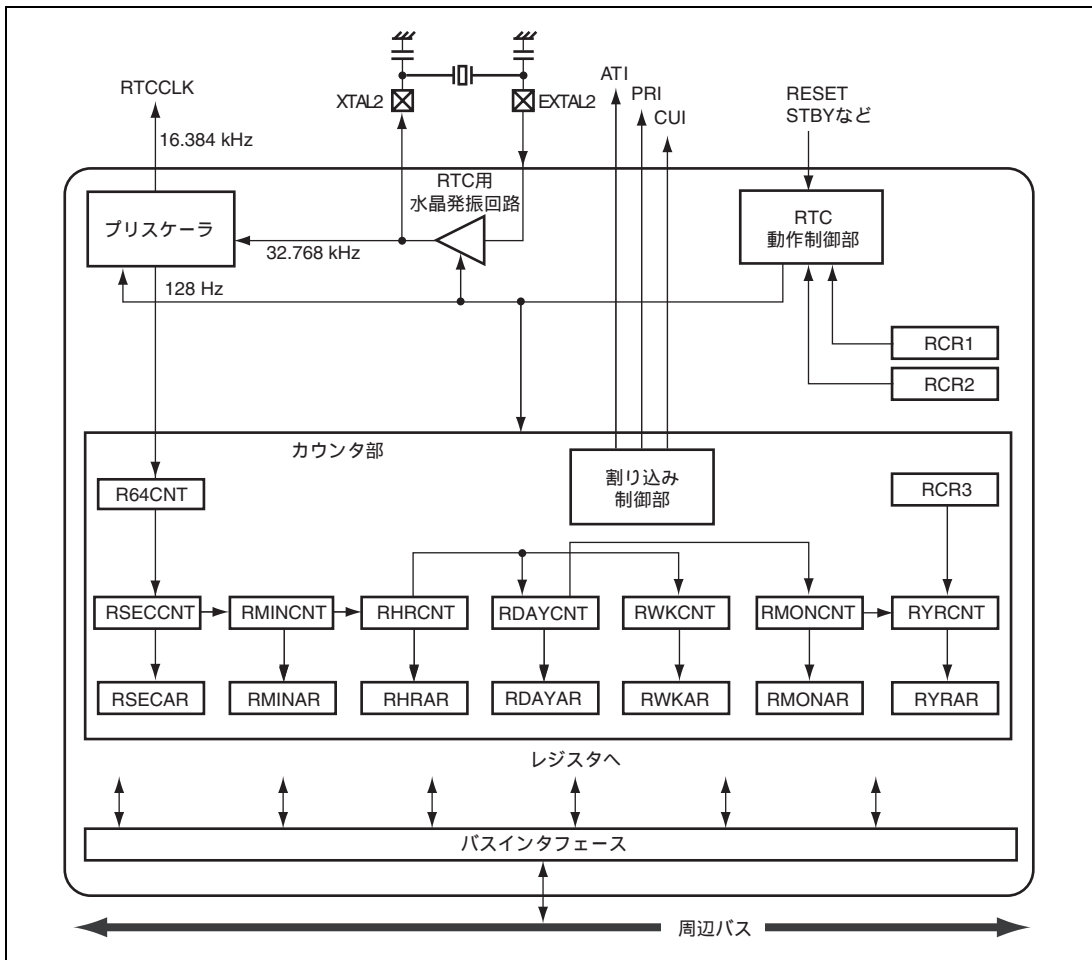


図 22.1 RTC のブロック図

22.1.2 端子構成

表 22.1 に RTC の端子構成を示します。

表 22.1 端子構成

名 称	略称	入出力	機 能
RTC 用水晶発振回路端子	EXTAL2	入力	RTC 用発振器に水晶を接続する
RTC 用水晶発振回路端子	XTAL2	出力	RTC 用発振器に水晶を接続する
RTC 専用電源端子	VDD-RTC	-	RTC 発振器用電源端子*
RTC 専用 GND 端子	VSS-RTC	-	RTC 発振器用 GND 端子*
RTC スタンバイ	$\overline{\text{XRTCSTBI}}$	入力	RTC スタンバイ

【注】 * RTC 用の電源端子は RTC を使用しないときも必ず電源を供給してください。

22.1.3 レジスタ構成

RTC のレジスタ構成を表 22.2 に示します。また、各処理モードにおけるレジスタの状態を表 22.3 に示します。

表 22.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	H'FFF8 0000	H'1FF8 0000	8
秒カウンタ	RSECCNT	R/W	H'FFF8 0004	H'1FF8 0004	8
分カウンタ	RMINCNT	R/W	H'FFF8 0008	H'1FF8 0008	8
時カウンタ	RHRCNT	R/W	H'FFF8 000C	H'1FF8 000C	8
曜日カウンタ	RWKCNT	R/W	H'FFF8 0010	H'1FF8 0010	8
日カウンタ	RDAYCNT	R/W	H'FFF8 0014	H'1FF8 0014	8
月カウンタ	RMONCNT	R/W	H'FFF8 0018	H'1FF8 0018	8
年カウンタ	RYRCNT	R/W	H'FFF8 001C	H'1FF8 001C	16
秒アラームレジスタ	RSECAR	R/W	H'FFF8 0020	H'1FF8 0020	8
分アラームレジスタ	RMINAR	R/W	H'FFF8 0024	H'1FF8 0024	8
時アラームレジスタ	RHRAR	R/W	H'FFF8 0028	H'1FF8 0028	8
曜日アラームレジスタ	RWKAR	R/W	H'FFF8 002C	H'1FF8 002C	8
日アラームレジスタ	RDAYAR	R/W	H'FFF8 0030	H'1FF8 0030	8
月アラームレジスタ	RMONAR	R/W	H'FFF8 0034	H'1FF8 0034	8
RTC コントロールレジスタ 1	RCR1	R/W	H'FFF8 0038	H'1FF8 0038	8
RTC コントロールレジスタ 2	RCR2	R/W	H'FFF8 003C	H'1FF8 003C	8
RTC コントロールレジスタ 3	RCR3	R/W	H'FFF8 0050	H'1FF8 0050	8
年アラームレジスタ	RYRAR	R/W	H'FFF8 0054	H'1FF8 0054	16

表 22.3 各処理モードにおけるレジスタの状態

名 称	略称	初期値	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
64Hz カウンタ	R64CNT	不定	カウント	カウント	カウント	カウント
秒カウンタ	RSECCNT	不定	カウント	カウント	カウント	カウント
分カウンタ	RMINCNT	不定	カウント	カウント	カウント	カウント
時カウンタ	RHRCNT	不定	カウント	カウント	カウント	カウント
曜日カウンタ	RWKCNT	不定	カウント	カウント	カウント	カウント
日カウンタ	RDAYCNT	不定	カウント	カウント	カウント	カウント
月カウンタ	RMONCNT	不定	カウント	カウント	カウント	カウント
年カウンタ	RYRCNT	不定	カウント	カウント	カウント	カウント
秒アラームレジスタ	RSECAR	不定*1	初期化*1	保持	保持	保持
分アラームレジスタ	RMINAR	不定*1	初期化*1	保持	保持	保持
時アラームレジスタ	RHRAR	不定*1	初期化*1	保持	保持	保持
曜日アラームレジスタ	RWKAR	不定*1	初期化*1	保持	保持	保持
日アラームレジスタ	RDAYAR	不定*1	初期化*1	保持	保持	保持
月アラームレジスタ	RMONAR	不定*1	初期化*1	保持	保持	保持
RTC コントロールレジスタ 1	RCR1	H'00*3	初期化	初期化	保持	保持
RTC コントロールレジスタ 2	RCR2	H'09*4	初期化	初期化*2	保持	保持
RTC コントロールレジスタ 3	RCR3	H'00	初期化	保持	保持	保持
年アラームレジスタ	RYRAR	不定	保持	保持	保持	保持

【注】 *1 各レジスタの ENB ビットのみが初期化されます。

*2 RTCEN ビットおよび START ビット以外が初期化されます。

*3 CF ビット、CRF ビット、および AF ビットは不定です。

*4 PEF ビットは不定です。

22.2 レジスタの説明

22.2.1 64Hz カウンタ (R64CNT)

64Hz カウンタ (R64CNT) は、読み出しのみ可能な 8 ビットのレジスタです。RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) のビット 7 (CF) が 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセットのいずれでも、初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値 :	0	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

22.2.2 秒カウンタ (RSECCNT)

秒カウンタ (RSECCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリ (R64CNT. 1Hz ビットの 1 → 0 への変化) によってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNT は、パワーオンリセット、マニュアルリセットのいずれでも初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値 :	0	-	-	-	-	-	-	-
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.2.3 分カウンタ (RMINCNT)

分カウンタ (RMINCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	-	10分			1分			
初期値 :	0	-	-	-	-	-	-	-
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.2.4 時カウンタ (RHRCNT)

時カウンタ (RHRCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7 ~ 6 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	-	-	10時間		1時間			
初期値 :	0	0	-	-	-	-	-	-
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

22.2.5 曜日カウンタ (RWKCNT)

曜日カウンタ (RWKCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7~3 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日のコード		
初期値 :	0	0	0	0	0	-	-	-
R/W :	R	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

22.2.6 日カウンタ (RDAYCNT)

日カウンタ (RDAYCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01~31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

RDAYCNT の設定可能範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット 7~6 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値 :	0	0	-	-	-	-	-	-
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

22.2.7 月カウンタ (RMONCNT)

月カウンタ (RMONCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7~5 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	10月	1月			
初期値 :	0	0	0	-	-	-	-	-
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

22.2.8 年カウンタ (RYRCNT)

年カウンタ (RYRCNT) は、読み出し / 書き込み可能な 16 ビットのレジスタです。RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10 進で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.2.9 秒アラームレジスタ (RSECAR)

秒アラームレジスタ (RSECAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された秒部分のカウンタ RSECNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10秒				1秒		
初期値 :	0	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.2.10 分アラームレジスタ (RMINAR)

分アラームレジスタ (RMINAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10分				1分		
初期値 :	0	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.2.11 時アラームレジスタ (RHRAR)

時アラームレジスタ (RHRAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値 :	0	0	-	-	-	-	-	-
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

22.2.12 曜日アラームレジスタ (RWKAR)

曜日アラームレジスタ (RWKAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセットで初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6 ~ 3 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日のコード		
初期値 :	0	0	0	0	0	-	-	-
R/W :	R/W	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

22.2.13 日アラームレジスタ (RDAYAR)

日アラームレジスタ (RDAYAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB	-	10日	1日				
初期値 :	0	0	-	-	-	-	-	-
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

22.2.14 月アラームレジスタ (RMONAR)

月アラームレジスタ (RMONAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR の ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6、5 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値 :	0	0	0	-	-	-	-	-
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

22.2.15 年アラームレジスタ (RYRAR)

年アラームレジスタ (RYRAR) は、読み出し/書き込み可能なレジスタであり、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。RCR3 の YENB ビットが 1 にセットされていると、RYRCNT の値と RYRAR の値の比較を行います。アラームレジスタ RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットおよび YENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

RYRAR の設定可能範囲は、10 進で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。RYRAR はパワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.2.16 RTC コントロールレジスタ 1 (RCR1)

RTC コントロールレジスタ 1 (RCR1) は、読み出し/書き込み可能な 8 ビットのレジスタであり、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。

CIE ビットおよび AIE ビットはパワーオンリセットおよびマニュアルリセットで 0 に初期化されます。CIE ビットと AIE ビット以外のビットは不定です。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	CRF	AF
初期値:	-	-	-	0	0	-	-	-
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ このフラグが 1 にセットされた場合、秒カウンタの桁上げまたは、64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき 1: 秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] • 秒カウンタ桁上げ • 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり • CF に 1 を書き込んだとき
6, 5	-	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ (CIE) 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: 桁上げ割り込みを発生させない 1: 桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ (AIE) アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: アラーム割り込みを発生させない 1: アラーム割り込みを発生させる

ビット	ビット名	初期値	R/W	説明
2	-	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込みは無効ですが、書き込む値は常に0にしてください。
1	CRF	不定	R	桁上げ準備フラグ (CRF) 64Hz カウンタの 1Hz ビットの 1 0 への変化から秒カウンタが桁上げされるまでの桁上げ準備期間に 1 にセットされるフラグです。書き込みは無効ですが、書き込む値も常に 0 にしてください。 0 : 桁上げ準備期間でない [クリア条件] 64Hz カウンタレジスタの 1Hz ビットの 1 0 への変化から秒カウンタが桁上げされるまでの桁上げ準備期間でないとき 1 : 桁上げ準備期間中 [セット条件] 64Hz カウンタレジスタの 1Hz ビットの 1 0 への変化から秒カウンタが桁上げされるまでの桁上げ準備期間中のとき
0	AF	不定	R/W	アラームフラグ (AF) アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したときに 1 にセットされるフラグです。 0 : アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき 1 : アラームレジスタとカウンタが一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

22.2.17 RTC コントロールレジスタ 2 (RCR2)

RTC コントロールレジスタ 2 (RCR2) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、周期割り込み制御、30 秒調整、分周回路 RESET、RTC カウント制御に関するレジスタです。

パワーオンリセットで H'09 に初期化されますが、PEF ビットは不定です。マニュアルリセット時には、RTCEN ビットおよび START ビット以外が初期化され、PEF ビットは不定です。

ビット :	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			RTCEN	ADJ	RESET	START
初期値 :	-	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PEF	不定	R/W	周期割り込みフラグ PES ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES ビットで設定された周期で割り込み発生あり [セット条件] PES ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6~4	PES	すべて 0	R/W	周期割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000 : 周期割り込み発生なし 001 : 周期割り込み発生の周期を 1/256 秒にする 010 : 周期割り込み発生の周期を 1/64 秒にする 011 : 周期割り込み発生の周期を 1/16 秒にする 100 : 周期割り込み発生の周期を 1/4 秒にする 101 : 周期割り込み発生の周期を 1/2 秒にする 110 : 周期割り込み発生の周期を 1 秒にする 111 : 周期割り込み発生の周期を 2 秒にする
3	RTCEN	1	R/W	発振器有効 RTC 用水晶発振回路の動作を制御します。 0 : RTC 用水晶発振回路を停止させる 1 : RTC 用水晶発振回路を動作させる

ビット	ビット名	初期値	R/W	説明
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットからの読み出しは常に 0 が読み出されます。 0 : 通常の時計動作 1 : 30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされ、自動的にこの RESET ビットは 0 になりますので、特に 0 を書き込む必要はありません。
0	START	1	R/W	START ビット カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。 0 : 秒、分、時、日、曜日、月、年カウンタは停止* 1 : 秒、分、時、日、曜日、月、年カウンタは通常動作* 【注】* 64Hz カウンタは RTCEN ビットで停止させない限り動作します。

22.2.18 RTC コントロールレジスタ 3 (RCR3)

RTC コントロールレジスタ 3 (RCR3) は、読み出し / 書き込み可能なレジスタであり、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームを使用許可/禁止できるレジスタです。RCR3 の YENB ビットが 1 にセットされていると、RYRCNT の値と RYRAR の値の比較を行います。

RCR3 はパワーオンリセットで初期化されます。

RCR3 のビット 6~0 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	YENB	-	-	-	-	-	-	-
初期値:	-	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

22.3 動作説明

RTC の使用例を示します。

22.3.1 時刻設定手順

図 22.2 に時刻設定手順例を示します。

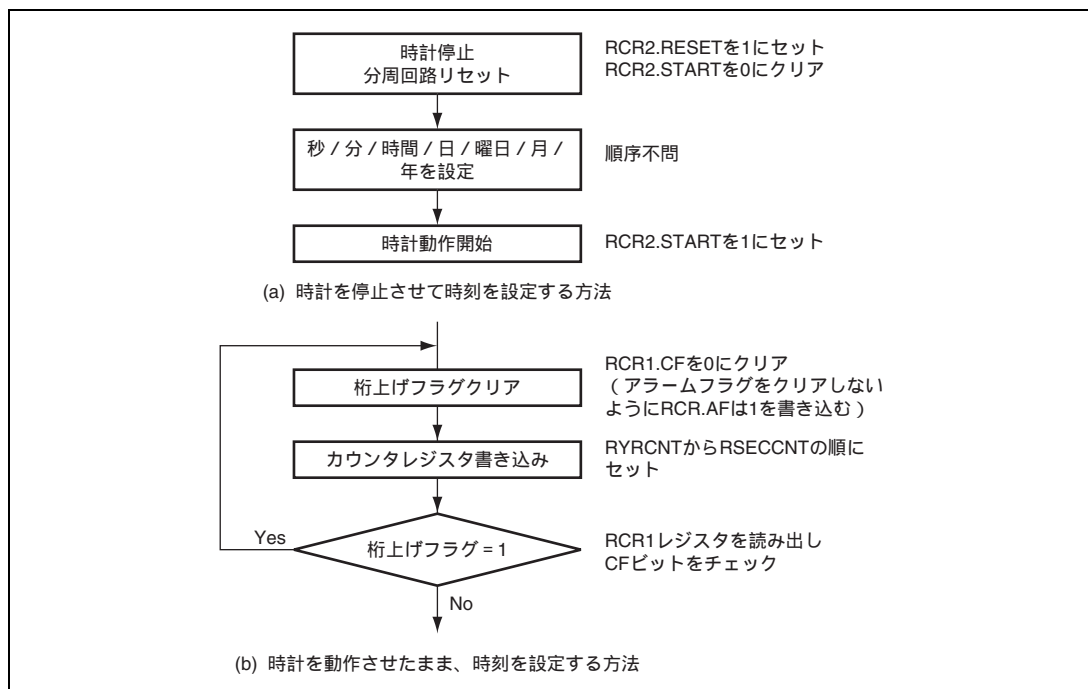


図 22.2 時刻設定手順例

時計を停止させて時刻を設定する方法例を図 22.2 (a) に示します。プログラムが容易であり、秒～年カウンタの全体を設定する場合に有効です。

時計を動作させたまま、時刻を設定する方法例を図 22.2 (b) に示します。秒～年カウンタの一部(例えば、秒データや時間データのみ)を書き換える場合に有効です。書き込み中に桁上げがあると、書き込みデータが自動的に更新され、設定データに誤差が発生するので、桁上げフラグを使って書き込み状態をチェックします。桁上げフラグ (RCR1.CF) が 1 にセットされている場合は、再度書き込みを行います。

桁上げフラグの判断に割り込み機能を使用することもできます。

22.3.2 時刻読み出し手順

図 22.3 に時刻読み出し手順例を示します。

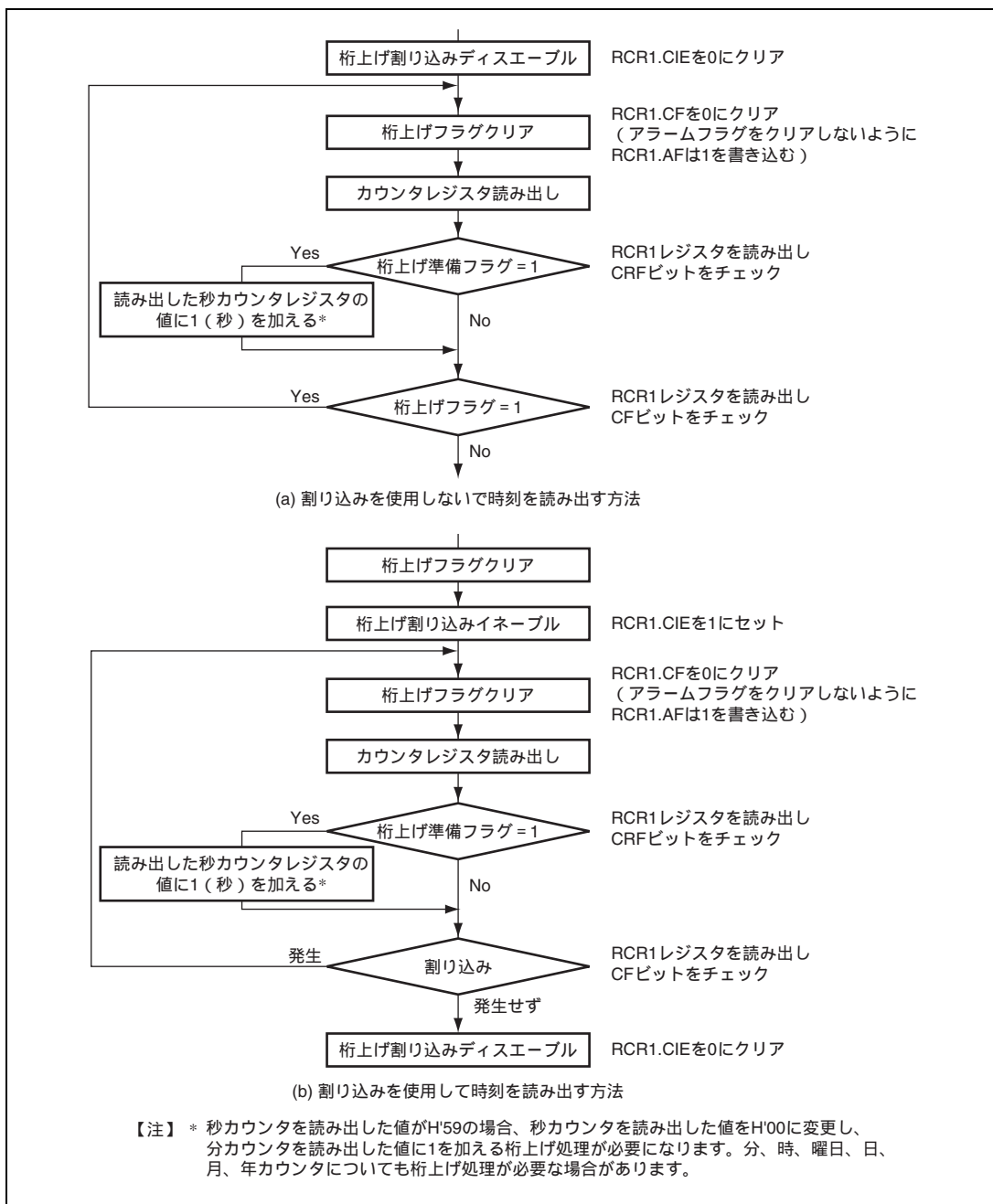


図 22.3 時刻読み出し手順例

時刻読み出し中に桁上げが起こると、正しい時刻が得られないため、再度読み出す必要があります。また、桁上げ準備期間中 (RCR1.CRF が 1 の時) に時刻を読み出した場合も正しい時刻が得られないため、読み出した時刻に 1 秒を加える処理が必要になります。割り込みを使用しない方法例を図 22.3 (a) に、桁上げ割り込みを使用する方法例を図 22.3 (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

22.3.3 アラーム機能

図 22.4 にアラーム機能の使用例を示します。

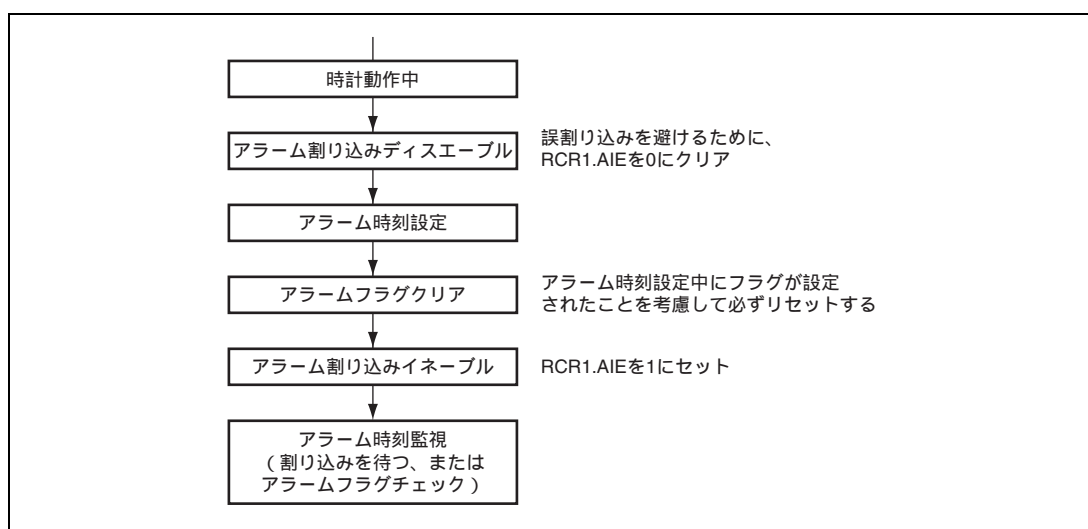


図 22.4 アラーム機能の使用例

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタはENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合、RCR1.AF に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIE に 1 が書き込まれている場合、アラーム時にアラーム割り込みが発生し、アラームを検出することができます。

22.4 割り込み

RTCの割り込み要因は、アラーム割り込み、周期割り込みおよび桁上げ割り込みです。

RCR1のアラームフラグビット(AF)が1にセットされ、アラーム割り込みイネーブルビット(AIE)が1にセットされているとき、アラーム割り込み要求(ATI)を発生します。

RCR2の周期割り込みイネーブルビット(PES2~PES0)が000以外にセットされ、かつ周期割り込みフラグ(PEF)が1にセットされた場合、周期割り込み要求(PRI)を発生します。

RCR1の桁上げフラグビット(CF)が1にセットされ、桁上げ割り込みイネーブルビット(CIE)が1にセットされているとき、桁上げ割り込み要求(CUI)を発生します。

22.5 使用上の注意

22.5.1 レジスタの初期設定について

電源投入後、RCR1レジスタ設定後、分周回路をリセット(RCR2.RESETに1をセット)し、全レジスタを初期設定してください。

22.5.2 水晶発振回路

水晶発振回路の各定数(推奨値)を表22.4に、RTC用水晶発振回路を図22.5に示します。

表 22.4 水晶発振回路の定数(推奨値)

f_{osc}	C_{in}	C_{out}
32.768kHz	10 ~ 22pF	10 ~ 22pF

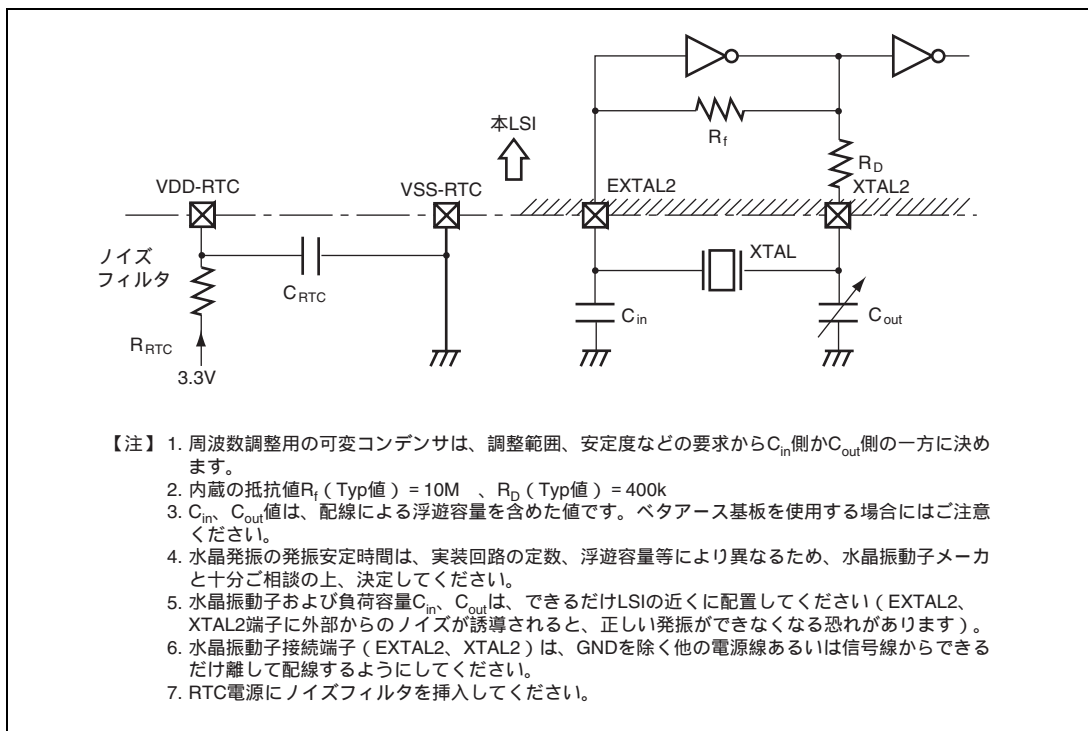


図 22.5 水晶発振回路接続例

22.5.3 割り込みの発生順について

アラーム割り込み、周期割り込み、桁上げ割り込みで、複数の割り込み発生条件が重なった時、RTC は図 22.6 に示すようなタイミングで割り込み要求信号を発生します。

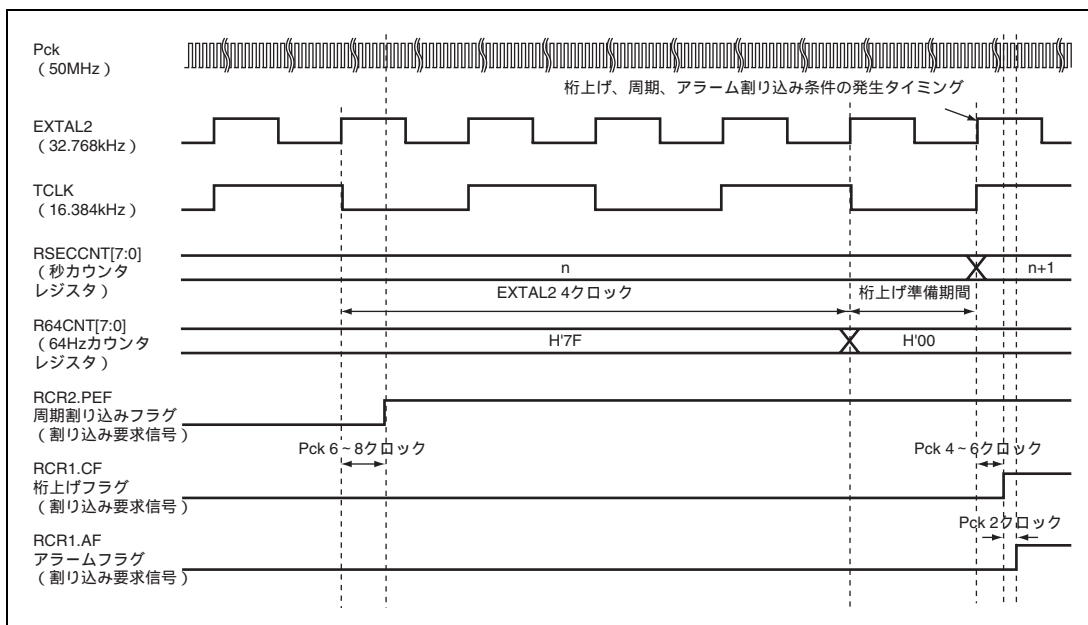


図 22.6 3種類 (周期、桁上げ、アラーム) の割り込み発生条件が重なった場合の各種割り込み要求信号の発生タイミング

23. ギガビットイーサネットコントローラ (GETHER)

本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格に準拠したギガビットイーサネットコントローラ (GETHER) を内蔵しています。GETHER は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット / IEEE802.3 フレームの送受信を行うことができます。本 LSI 内蔵のイーサネットコントローラは MAC 層インタフェースを 2 系統 (以後、0 系、1 系と表記します) 内蔵しており、それぞれ独立に送信および受信動作をさせることができます。

GETHER は、専用のダイレクトメモリアクセスコントローラ (E-DMAC) を内蔵しており、送受信するイーサネットフレームデータを、メモリ上の送受信バッファとの間で高速に転送することが可能です。

また、GETHER は、転送処理を制御する TSU (Transfer Switching Unit) を内蔵し、0 系および 1 系間の MAC 層コントローラ間で相互にデータを転送することができます。

23.1 特長

- MAC (Media Access Control) 機能

データフレームの組み立て / 分解 (IEEE802.3, 2000Edition準拠フレーム形式)

10Mbps、100Mbps、および1000Mbps転送に対応

全二重モードおよび半二重モード対応

2チャンネル内蔵 (GETHER0、GETHER1)

IEEE802.3x準拠のフロー制御が可能

3種のIEEE802.3準拠PHYインタフェースをサポート

GMI (Gigabit Media Independent Interface)

MII (Media Independent Interface)

RMII (Reduced Media Independent interface)

上位プロトコルサポート (サムチェック) 機能

- チャンネル間転送用スイッチングユニット搭載 (転送用FIFO: 6Kバイト)
- E-DMAC (イーサネットコントローラダイレクトメモリアクセスコントローラ) 機能

GETHERと外部 / 内部メモリ間転送可能

4チャンネル内蔵

32バイトバースト転送可能

1フレーム / 1ディスクリプタ、1フレーム / 複数ディスクリプタ方式 (マルチバッファ) 対応可能

転送データ幅: 32ビット

送受信FIFO搭載 (送信用: 2Kバイト、受信用: 8Kバイト)

図23.1にGETHERの構成を示します。

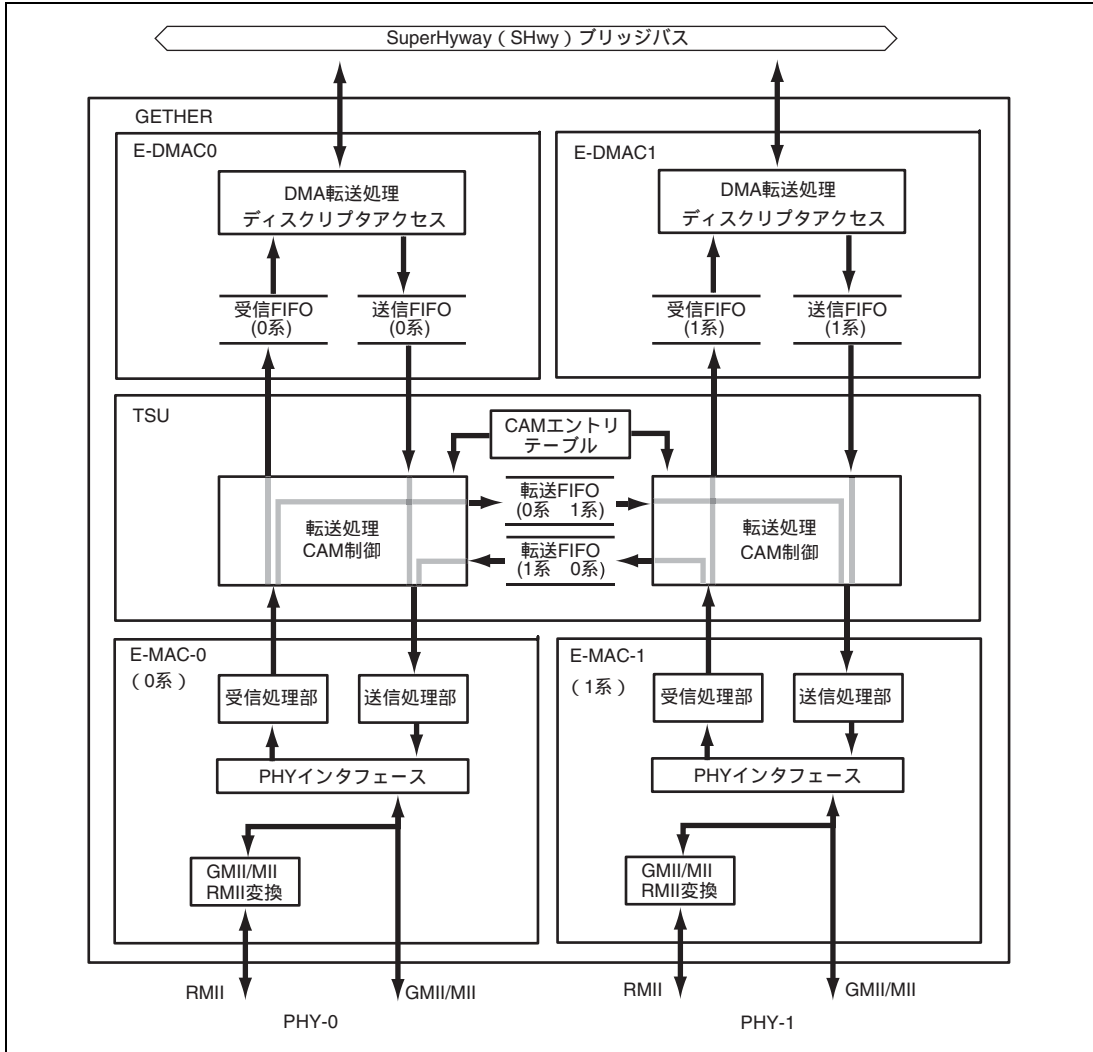


図 23.1 GETHER の構成

23.2 入出力端子

GETHER の端子構成を表 23.1 に示します。

表 23.1 端子構成

名 称	系	記号	入出力	機 能
送信クロック	0	ET0_TX-CLK	入力	ET0_TX-EN、ET0_ETXD3～ET0_ETXD0、ET0_TX-ERのタイミング参照信号
送信イネーブル		ET0_TX-EN	出力	ET0_ETXD3～ET0_ETXD0上に送信データが準備できたことを示す信号
MII/GMII 送信データ		ET0_ETXD3～ET0_ETXD0	出力	MIIの4ビットあるいはGMIIの下位4ビットの送信データ
GMII 送信データ		GET0_ETXD7～GET0_ETXD4	出力	GMIIの上位4ビットの送信データ
衝突検出		ET0_COL	入力	衝突検出信号
送信エラー		ET0_TX-ER	出力	送信中のエラーをPHY-LSIに通知
受信クロック		ET0_RX-CLK	入力	ET0_RX-DV、ET0_ERXD3～ET0_ERXD0、ET0_RX-ERのタイミング参照信号
受信データ有効		ET0_RX-DV	入力	有効な受信データがET0_ERXD3～ET0_ERXD0上にあることを示す信号
MII/GMII 受信データ		ET0_ERXD3～ET0_ERXD0	入力	MIIおよびGMIIの下位4ビットの受信データ(MIIおよびGMII)
GMII 受信データ		GET0_ERXD7～GET0_ERXD4	入力	GMIIの上位4ビットの受信データ
受信エラー		ET0_RX-ER	入力	データ受信中に発生したエラー状態を認識
キャリア検出		ET0_CRS	入力	キャリア検出信号
管理用データクロック		ET0_MDC	出力	ET0_MDIOによる情報転送用の参照クロック信号
管理用データ入出力		ET0_MDIO	入出力	STAとPHYとの間で管理情報を交換するための双方向信号
RMII 管理用データクロック		RMII0_MDC	出力	RMIIモード時、RMII0_MDIOによる情報転送用の参照クロック信号
RMII 管理用データ入出力		RMII0_MDIO	入出力	RMIIモード時、STAとPHYとの間で管理情報を交換するための双方向信号
RMII 管理用データクロック (ミラー0 端子)		RMII0M0_MDC	出力	RMIIモード時、RMII0M0_MDIOによる情報転送用の参照クロック信号(ミラー0 端子)
RMII 管理用データ入出力 (ミラー0 端子)		RMII0M0_MDIO	入出力	RMIIモード時、STAとPHYとの間で管理情報を交換するための双方向信号(ミラー0 端子)
RMII 管理用データクロック (ミラー1 端子)		RMII0M1_MDC	出力	RMIIモード時、RMII0M1_MDIOによる情報転送用の参照クロック信号(ミラー1 端子)
RMII 管理用データ入出力 (ミラー1 端子)		RMII0M1_MDIO	入出力	RMIIモード時、STAとPHYとの間で管理情報を交換するための双方向信号(ミラー1 端子)

名 称	系	記号	入出力	機 能	
リンクステータス	0	ET0_LINKSTA	入力	PHY-LSI からのリンク状態入力	
ウェイク・オン・ラン		ET0_WOL	出力	Magic Packet 受信を示す信号	
PHY 割り込み		ET0_PHY-INT	入力	PHY からの割り込み信号	
GMII 送信クロック		GET0_GTX-CLK	出力	GMII モード時、送信信号タイミング参照信号	
RMII キャリア検出		RMII0_CRS_DV	入力	RMII モード時、キャリア検出信号	
RMII 受信エラー		RMII0_RX_ER	入力	RMII モード時のデータ受信中に発生したエラー状態を認識	
RMII 受信データ		RMII0_RXD0	入力	RMII モード時、2 ビットの受信データ	
RMII 受信データ		RMII0_RXD1	入力	RMII モード時、2 ビットの受信データ	
RMII 送信イネーブル		RMII0_TXD_EN	出力	RMII モード時、RMII0_TXD0 ~ 1 に送信データが準備できたことを示す信号	
RMII 送信データ		RMII0_TXD0	出力	RMII モード時、2 ビットの送信データ	
RMII 送信データ		RMII0_TXD1	出力	RMII モード時、2 ビットの送信データ	
送信クロック		1	ET1_TX-CLK	入力	ET1_TX-EN、ET1_ETXD3 ~ ET1_ETXD0、ET1_TX-ER のタイミング参照信号
受信クロック			ET1_RX-CLK	入力	ET1_RX-DV、ET1_ERXD3 ~ ET1_ERXD0、ET1_RX-ER のタイミング参照信号
送信イネーブル	ET1_TX-EN		出力	ET1_ETXD3 ~ ET1_ETXD0 上に送信データが準備できたことを示す信号	
MII/GMII 送信データ	ET1_ETXD3 ~ ET1_ETXD0		出力	MII の 4 ビットあるいは GMII の下位 4 ビットの送信データ	
GMII 送信データ	GET1_ETXD7 ~ GET1_ETXD4		出力	GMII の上位 4 ビットの送信データ	
送信エラー	ET1_TX-ER		出力	送信中のエラーを PHY-LSI に通知	
受信データ有効	ET1_RX-DV		入力	有効な受信データが ET1_ERXD3 ~ ET1_ERXD0 上にあることを示す信号	
MII/GMII 受信データ	ET1_ERXD3 ~ ET1_ERXD0		入力	MII および GMII の下位 4 ビットの受信データ (MII および GMII)	
GMII 受信データ	GET1_ERXD7 ~ GET1_ERXD4		入力	GMII の上位 4 ビットの受信データ	
受信エラー	ET1_RX-ER		入力	データ受信中に発生したエラー状態を認識	
キャリア検出	ET1_CRS		入力	キャリア検出信号	
衝突検出	ET1_COL		入力	衝突検出信号	
管理用データクロック	ET1_MDC		出力	ET1_MDIO による情報転送用の参照クロック信号	
管理用データ入出力	ET1_MDIO		入出力	STA と PHY との間で管理情報を交換するための双方向信号	
RMII 管理用データクロック	RMII1_MDC		出力	RMII モード時、RMII1_MDIO による情報転送用の参照クロック信号	

名 称	系	記号	入出力	機 能
RMII 管理用データ入出力	1	RMII1_MDIO	入出力	RMII モード時、STA と PHY との間で管理情報を交換するための双方向信号
リンクステータス		ET1_LINKSTA	入力	PHY-LSI からのリンク状態入力
ウェイク・オン・ラン		ET1_WOL	出力	Magic Packet 受信を示す信号
PHY 割り込み		ET1_PHY-INT	入力	PHY からの割り込み信号
GMII 送信クロック		GET1_GTX-CLK	出力	GMII モード時、送信信号タイミング参照信号
RMII キャリア検出		RMII1_CRS_DV	入力	RMII モード時、キャリア検出信号
RMII 受信エラー		RMII1_RX_ER	入力	RMII モード時のデータ受信中に発生したエラー状態を認識
RMII 受信データ		RMII1_RXD0	入力	RMII モード時、2 ビットの受信データ
RMII 受信データ		RMII1_RXD1	入力	RMII モード時、2 ビットの受信データ
RMII 送信イネーブル		RMII1_TXD_EN	出力	RMII モード時、TXD0~1 に送信データが準備できたことを示す信号
RMII 送信データ		RMII1_TXD0	出力	RMII モード時、2 ビットの送信データ
RMII 送信データ		RMII1_TXD1	出力	RMII モード時、2 ビットの送信データ
RMII キャリア検出 (ミラー端子)		RMII1M_CRS_DV	入力	RMII モード時、キャリア検出信号 (ミラー端子)
RMII 受信エラー (ミラー端子)		RMII1M_RX_ER	入力	RMII モード時のデータ受信中に発生したエラー状態を認識 (ミラー端子)
RMII 受信データ (ミラー端子)		RMII1M_RXD0	入力	RMII モード時、2 ビットの受信データ (ミラー端子)
RMII 受信データ (ミラー端子)		RMII1M_RXD1	入力	RMII モード時、2 ビットの受信データ (ミラー端子)
RMII 送信イネーブル (ミラー端子)		RMII1M_TXD_EN	出力	RMII モード時、TXD0~1 に送信データが準備できたことを示す信号 (ミラー端子)
RMII 送信データ (ミラー端子)		RMII1M_TXD0	出力	RMII モード時、2 ビットの送信データ (ミラー端子)
RMII 送信データ (ミラー端子)		RMII1M_TXD1	出力	RMII モード時、2 ビットの送信データ (ミラー端子)
125MHz 基準クロック	共通	REF125CK	入力	GMII モード時送信クロック生成信号
50MHz 基準クロック		REF50CK	入力	RMII モード時の送受信信号タイミング参照信号

【注】 * EEE802.3u 準拠の MII 信号

23.3 レジスタの説明

GETHER のレジスタ構成を表 23.2 に示します。また各処理状態におけるレジスタの状態を表 23.3 に示します。CAN エントリテーブル関連のレジスタを除く各レジスタ略号の末尾の数字は、2 つのイーサネットインタフェースポートの番号 (0 系または 1 系の別) を表します。本文中では、レジスタ略号中の番号の記載を一部省略しています。

表 23.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
ソフトウェアリセットレジスタ	ARSTR	R/W	H'FEE0 1800	H'1EE0 1800	32
E-MAC モードレジスタ	ECMR0	R/W	H'FEE0 0500	H'1EE0 0500	32
E-MAC ステータスレジスタ	ECSR0	R/W	H'FEE0 0510	H'1EE0 0510	32
E-MAC 割り込み許可レジスタ	ECSIPR0	R/W	H'FEE0 0518	H'1EE0 0518	32
PHY 部インタフェースレジスタ	PIR0	R/W	H'FEE0 0520	H'1EE0 0520	32
PHY 部ステータスレジスタ	PSR0	R	H'FEE0 0528	H'1EE0 0528	32
PHY_INT 極性設定レジスタ	PIPR0	R/W	H'FEE0 052C	H'1EE0 052C	32
受信フレーム長上限レジスタ	RFLR0	R/W	H'FEE0 0508	H'1EE0 0508	32
自動 PAUSE フレーム設定レジスタ	APR0	R/W	H'FEE0 0554	H'1EE0 0554	32
手動 PAUSE フレーム設定レジスタ	MPR0	R/W	H'FEE0 0558	H'1EE0 0558	32
PAUSE フレーム送信カウンタ	PFTCR0	R	H'FEE0 055C	H'1EE0 055C	32
PAUSE フレーム受信カウンタ	PFRCR0	R	H'FEE0 0560	H'1EE0 0560	32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER0	R/W	H'FEE0 0564	H'1EE0 0564	32
GETHER モードレジスタ	GECMR0	R/W	H'FEE0 05B0	H'1EE0 05B0	32
バーストサイクル回数上限設定レジスタ	BCULR0	R/W	H'FEE0 05B4	H'1EE0 05B4	32
MAC アドレス上位設定レジスタ	MAHR0	R/W	H'FEE0 05C0	H'1EE0 05C0	32
MAC アドレス下位設定レジスタ	MALR0	R/W	H'FEE0 05C8	H'1EE0 05C8	32
送信リトライオーバーカウンタレジスタ	TROCR0	R/W	H'FEE0 0700	H'1EE0 0700	32
遅延衝突検出カウンタレジスタ	CDCR0	R/W	H'FEE0 0708	H'1EE0 0708	32
キャリア消失カウンタレジスタ	LCCR0	R/W	H'FEE0 0710	H'1EE0 0710	32
CRC エラーフレーム受信カウンタレジスタ	CEFCR0	R/W	H'FEE0 0740	H'1EE0 0740	32
フレーム受信エラーカウンタレジスタ	FRECR0	R/W	H'FEE0 0748	H'1EE0 0748	32
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR0	R/W	H'FEE0 0750	H'1EE0 0750	32
指定バイト超フレーム受信カウンタレジスタ	TLFRCR0	R/W	H'FEE0 0758	H'1EE0 0758	32
端数ビットフレーム受信カウンタレジスタ	RFRCR0	R/W	H'FEE0 0760	H'1EE0 0760	32
キャリア拡張消失カウンタレジスタ	CERCRO	R/W	H'FEE0 0768	H'1EE0 0768	32
キャリア拡張エラーカウンタレジスタ	CEECRO	R/W	H'FEE0 0770	H'1EE0 0770	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR0	R/W	H'FEE0 0778	H'1EE0 0778	32
E-MAC モードレジスタ	ECMR1	R/W	H'FEE0 0D00	H'1EE0 0D00	32
E-MAC ステータスレジスタ	ECSR1	R/W	H'FEE0 0D10	H'1EE0 0D10	32
E-MAC 割り込み許可レジスタ	ECSIPR1	R/W	H'FEE0 0D18	H'1EE0 0D18	32
PHY 部インタフェースレジスタ	PIR1	R/W	H'FEE0 0D20	H'1EE0 0D20	32
PHY 部ステータスレジスタ	PSR1	R	H'FEE0 0D28	H'1EE0 0D28	32
PHY_INT 極性設定レジスタ	PIPR1	R/W	H'FEE0 0D2C	H'1EE0 0D2C	32
受信フレーム長上限レジスタ	RFLR1	R/W	H'FEE0 0D08	H'1EE0 0D08	32
自動 PAUSE フレーム設定レジスタ	APR1	R/W	H'FEE0 0D54	H'1EE0 0D54	32
手動 PAUSE フレーム設定レジスタ	MPR1	R/W	H'FEE0 0D58	H'1EE0 0D58	32
PAUSE フレーム送信カウンタ	PFTCR1	R	H'FEE0 0D5C	H'1EE0 0D5C	32
PAUSE フレーム受信カウンタ	PFCR1	R	H'FEE0 0D60	H'1EE0 0D60	32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER1	R/W	H'FEE0 0D64	H'1EE0 0D64	32
GETHER モードレジスタ	GECMR1	R/W	H'FEE0 0DB0	H'1EE0 0DB0	32
バーストサイクル回数上限設定レジスタ	BCULR1	R/W	H'FEE0 0DB4	H'1EE0 0DB4	32
MAC アドレス上位設定レジスタ	MAHR1	R/W	H'FEE0 0DC0	H'1EE0 0DC0	32
MAC アドレス下位設定レジスタ	MALR1	R/W	H'FEE0 0DC8	H'1EE0 0DC8	32
送信リトライオーバカウンタレジスタ	TROCR1	R/W	H'FEE0 0F00	H'1EE0 0F00	32
遅延衝突検出カウンタレジスタ	CDCR1	R/W	H'FEE0 0F08	H'1EE0 0F08	32
キャリア消失カウンタレジスタ	LCCR1	R/W	H'FEE0 0F10	H'1EE0 0F10	32
CRC エラーフレーム受信カウンタレジスタ	CEFCR1	R/W	H'FEE0 0F40	H'1EE0 0F40	32
フレーム受信エラーカウンタレジスタ	FRECR1	R/W	H'FEE0 0F48	H'1EE0 0F48	32
64 バイト未満フレーム受信カウンタレジスタ	TSFCR1	R/W	H'FEE0 0F50	H'1EE0 0F50	32
指定バイト超フレーム受信カウンタレジスタ	TLFCR1	R/W	H'FEE0 0F58	H'1EE0 0F58	32
端数ビットフレーム受信カウンタレジスタ	RFRCR1	R/W	H'FEE0 0F60	H'1EE0 0F60	32
キャリア拡張消失カウンタ	CERCR1	R/W	H'FEE0 0F68	H'1EE0 0F68	32
キャリア拡張エラーカウンタ	CEECR1	R/W	H'FEE0 0F70	H'1EE0 0F70	32
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR1	R/W	H'FEE0 0F78	H'1EE0 0F78	32
TSU カウンタリセットレジスタ	TSU_CTRST	R/W	H'FEE0 1804	H'1EE0 1804	32
転送イネーブルレジスタ (0 1系)	TSU_FWEN0	R/W	H'FEE0 1810	H'1EE0 1810	32
転送イネーブルレジスタ (1 0系)	TSU_FWEN1	R/W	H'FEE0 1814	H'1EE0 1814	32
転送 FIFO 容量選択レジスタ	TSU_FCM	R/W	H'FEE0 1818	H'1EE0 1818	32
転送 FIFO オーバフロー予告設定レジスタ (0系)	TSU_BSYSL0	R/W	H'FEE0 1820	H'1EE0 1820	32
転送 FIFO オーバフロー予告設定レジスタ (1系)	TSU_BSYSL1	R/W	H'FEE0 1824	H'1EE0 1824	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
送信・転送優先制御モードレジスタ (0系)	TSU_PRISL0	R/W	H'FEE0 1828	H'1EE0 1828	32
送信・転送優先制御モードレジスタ (1系)	TSU_PRISL1	R/W	H'FEE0 182C	H'1EE0 182C	32
受信・転送機能設定レジスタ (0 1系)	TSU_FWSL0	R/W	H'FEE0 1830	H'1EE0 1830	32
受信・転送機能設定レジスタ (1 0系)	TSU_FWSL1	R/W	H'FEE0 1834	H'1EE0 1834	32
転送機能設定レジスタ (共通)	TSU_FWSLC	R/W	H'FEE0 1838	H'1EE0 1838	32
Qtag 追加・削除設定レジスタ (0 1系)	TSU_QTAG0	R/W	H'FEE0 1840	H'1EE0 1840	32
Qtag 追加・削除設定レジスタ (1 0系)	TSU_QTAG1	R/W	H'FEE0 1844	H'1EE0 1844	32
追加 Qtag 値設定レジスタ (0 1系)	TSU_ADQT0	R/W	H'FEE0 1848	H'1EE0 1848	32
追加 Qtag 値設定レジスタ (1 0系)	TSU_ADQT1	R/W	H'FEE0 184C	H'1EE0 184C	32
転送ステータスレジスタ	TSU_FWSR	R/W	H'FEE0 1850	H'1EE0 1850	32
転送ステータス割り込みマスクレジスタ	TSU_FWINMK	R/W	H'FEE0 1854	H'1EE0 1854	32
VLANtag 設定レジスタ (0系)	TSU_VTAG0	R/W	H'FEE0 1858	H'1EE0 1858	32
VLANtag 設定レジスタ (1系)	TSU_VTAG1	R/W	H'FEE0 185C	H'1EE0 185C	32
CAM エントリテーブル設定ピジーレジスタ	TSU_ADSBSY	R	H'FEE0 1860	H'1EE0 1860	32
CAM エントリテーブルイネーブル設定レジスタ	TSU_TEN	R/W	H'FEE0 1864	H'1EE0 1864	32
CAM エントリテーブル POST 設定 1 レジスタ	TSU_POST1	R/W	H'FEE0 1870	H'1EE0 1870	32
CAM エントリテーブル POST 設定 2 レジスタ	TSU_POST2	R/W	H'FEE0 1874	H'1EE0 1874	32
CAM エントリテーブル POST 設定 3 レジスタ	TSU_POST3	R/W	H'FEE0 1878	H'1EE0 1878	32
CAM エントリテーブル POST 設定 4 レジスタ	TSU_POST4	R/W	H'FEE0 187C	H'1EE0 187C	32
CAM エントリテーブル 0H レジスタ	TSU_ADRH0	R/W	H'FEE0 1900	H'1EE0 1900	32
CAM エントリテーブル 1H レジスタ	TSU_ADRH1	R/W	H'FEE0 1908	H'1EE0 1908	32
CAM エントリテーブル 2H レジスタ	TSU_ADRH2	R/W	H'FEE0 1910	H'1EE0 1910	32
CAM エントリテーブル 3H レジスタ	TSU_ADRH3	R/W	H'FEE0 1918	H'1EE0 1918	32
CAM エントリテーブル 4H レジスタ	TSU_ADRH4	R/W	H'FEE0 1920	H'1EE0 1920	32
CAM エントリテーブル 5H レジスタ	TSU_ADRH5	R/W	H'FEE0 1928	H'1EE0 1928	32
CAM エントリテーブル 6H レジスタ	TSU_ADRH6	R/W	H'FEE0 1930	H'1EE0 1930	32
CAM エントリテーブル 7H レジスタ	TSU_ADRH7	R/W	H'FEE0 1938	H'1EE0 1938	32
CAM エントリテーブル 8H レジスタ	TSU_ADRH8	R/W	H'FEE0 1940	H'1EE0 1940	32
CAM エントリテーブル 9H レジスタ	TSU_ADRH9	R/W	H'FEE0 1948	H'1EE0 1948	32
CAM エントリテーブル 10H レジスタ	TSU_ADRH10	R/W	H'FEE0 1950	H'1EE0 1950	32
CAM エントリテーブル 11H レジスタ	TSU_ADRH11	R/W	H'FEE0 1958	H'1EE0 1958	32
CAM エントリテーブル 12H レジスタ	TSU_ADRH12	R/W	H'FEE0 1960	H'1EE0 1960	32
CAM エントリテーブル 13H レジスタ	TSU_ADRH13	R/W	H'FEE0 1968	H'1EE0 1968	32
CAM エントリテーブル 14H レジスタ	TSU_ADRH14	R/W	H'FEE0 1970	H'1EE0 1970	32
CAM エントリテーブル 15H レジスタ	TSU_ADRH15	R/W	H'FEE0 1978	H'1EE0 1978	32
CAM エントリテーブル 16H レジスタ	TSU_ADRH16	R/W	H'FEE0 1980	H'1EE0 1980	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
CAM エントリテーブル 17H レジスタ	TSU_ADRH17	R/W	H'FEE0 1988	H'1EE0 1988	32
CAM エントリテーブル 18H レジスタ	TSU_ADRH18	R/W	H'FEE0 1990	H'1EE0 1990	32
CAM エントリテーブル 19H レジスタ	TSU_ADRH19	R/W	H'FEE0 1998	H'1EE0 1998	32
CAM エントリテーブル 20H レジスタ	TSU_ADRH20	R/W	H'FEE0 19A0	H'1EE0 19A0	32
CAM エントリテーブル 21H レジスタ	TSU_ADRH21	R/W	H'FEE0 19A8	H'1EE0 19A8	32
CAM エントリテーブル 22H レジスタ	TSU_ADRH22	R/W	H'FEE0 19B0	H'1EE0 19B0	32
CAM エントリテーブル 23H レジスタ	TSU_ADRH23	R/W	H'FEE0 19B8	H'1EE0 19B8	32
CAM エントリテーブル 24H レジスタ	TSU_ADRH24	R/W	H'FEE0 19C0	H'1EE0 19C0	32
CAM エントリテーブル 25H レジスタ	TSU_ADRH25	R/W	H'FEE0 19C8	H'1EE0 19C8	32
CAM エントリテーブル 26H レジスタ	TSU_ADRH26	R/W	H'FEE0 19D0	H'1EE0 19D0	32
CAM エントリテーブル 27H レジスタ	TSU_ADRH27	R/W	H'FEE0 19D8	H'1EE0 19D8	32
CAM エントリテーブル 28H レジスタ	TSU_ADRH28	R/W	H'FEE0 19E0	H'1EE0 19E0	32
CAM エントリテーブル 29H レジスタ	TSU_ADRH29	R/W	H'FEE0 19E8	H'1EE0 19E8	32
CAM エントリテーブル 30H レジスタ	TSU_ADRH30	R/W	H'FEE0 19F0	H'1EE0 19F0	32
CAM エントリテーブル 31H レジスタ	TSU_ADRH31	R/W	H'FEE0 19F8	H'1EE0 19F8	32
CAM エントリテーブル 0L レジスタ	TSU_ADRL0	R/W	H'FEE0 1904	H'1EE0 1904	32
CAM エントリテーブル 1L レジスタ	TSU_ADRL1	R/W	H'FEE0 190C	H'1EE0 190C	32
CAM エントリテーブル 2L レジスタ	TSU_ADRL2	R/W	H'FEE0 1914	H'1EE0 1914	32
CAM エントリテーブル 3L レジスタ	TSU_ADRL3	R/W	H'FEE0 191C	H'1EE0 191C	32
CAM エントリテーブル 4L レジスタ	TSU_ADRL4	R/W	H'FEE0 1924	H'1EE0 1924	32
CAM エントリテーブル 5L レジスタ	TSU_ADRL5	R/W	H'FEE0 192C	H'1EE0 192C	32
CAM エントリテーブル 6L レジスタ	TSU_ADRL6	R/W	H'FEE0 1934	H'1EE0 1934	32
CAM エントリテーブル 7L レジスタ	TSU_ADRL7	R/W	H'FEE0 193C	H'1EE0 193C	32
CAM エントリテーブル 8L レジスタ	TSU_ADRL8	R/W	H'FEE0 1944	H'1EE0 1944	32
CAM エントリテーブル 9L レジスタ	TSU_ADRL9	R/W	H'FEE0 194C	H'1EE0 194C	32
CAM エントリテーブル 10L レジスタ	TSU_ADRL10	R/W	H'FEE0 1954	H'1EE0 1954	32
CAM エントリテーブル 11L レジスタ	TSU_ADRL11	R/W	H'FEE0 195C	H'1EE0 195C	32
CAM エントリテーブル 12L レジスタ	TSU_ADRL12	R/W	H'FEE0 1964	H'1EE0 1964	32
CAM エントリテーブル 13L レジスタ	TSU_ADRL13	R/W	H'FEE0 196C	H'1EE0 196C	32
CAM エントリテーブル 14L レジスタ	TSU_ADRL14	R/W	H'FEE0 1974	H'1EE0 1974	32
CAM エントリテーブル 15L レジスタ	TSU_ADRL15	R/W	H'FEE0 197C	H'1EE0 197C	32
CAM エントリテーブル 16L レジスタ	TSU_ADRL16	R/W	H'FEE0 1984	H'1EE0 1984	32
CAM エントリテーブル 17L レジスタ	TSU_ADRL17	R/W	H'FEE0 198C	H'1EE0 198C	32
CAM エントリテーブル 18L レジスタ	TSU_ADRL18	R/W	H'FEE0 1994	H'1EE0 1994	32
CAM エントリテーブル 19L レジスタ	TSU_ADRL19	R/W	H'FEE0 199C	H'1EE0 199C	32
CAM エントリテーブル 20L レジスタ	TSU_ADRL20	R/W	H'FEE0 19A4	H'1EE0 19A4	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
CAM エントリテーブル 21L レジスタ	TSU_ADRL21	R/W	H'FEE0 19AC	H'1EE0 19AC	32
CAM エントリテーブル 22L レジスタ	TSU_ADRL22	R/W	H'FEE0 19B4	H'1EE0 19B4	32
CAM エントリテーブル 23L レジスタ	TSU_ADRL23	R/W	H'FEE0 19BC	H'1EE0 19BC	32
CAM エントリテーブル 24L レジスタ	TSU_ADRL24	R/W	H'FEE0 19C4	H'1EE0 19C4	32
CAM エントリテーブル 25L レジスタ	TSU_ADRL25	R/W	H'FEE0 19CC	H'1EE0 19CC	32
CAM エントリテーブル 26L レジスタ	TSU_ADRL26	R/W	H'FEE0 19D4	H'1EE0 19D4	32
CAM エントリテーブル 27L レジスタ	TSU_ADRL27	R/W	H'FEE0 19DC	H'1EE0 19DC	32
CAM エントリテーブル 28L レジスタ	TSU_ADRL28	R/W	H'FEE0 19E4	H'1EE0 19E4	32
CAM エントリテーブル 29L レジスタ	TSU_ADRL29	R/W	H'FEE0 19EC	H'1EE0 19EC	32
CAM エントリテーブル 30L レジスタ	TSU_ADRL30	R/W	H'FEE0 19F4	H'1EE0 19F4	32
CAM エントリテーブル 31L レジスタ	TSU_ADRL31	R/W	H'FEE0 19FC	H'1EE0 19FC	32
送信フレーム数カウンタレジスタ (0 系) (正常送信のみ)	TXNLCR0	R	H'FEE0 1880	H'1EE0 1880	32
送信フレーム数カウンタレジスタ (0 系) (正常および障害発生を含むすべて)	TXALCR0	R	H'FEE0 1884	H'1EE0 1884	32
受信フレーム数カウンタレジスタ (0 系) (正常受信のみ)	RXNLCR0	R	H'FEE0 1888	H'1EE0 1888	32
受信フレーム数カウンタレジスタ (0 系) (正常および障害発生を含むすべて)	RXALCR0	R	H'FEE0 188C	H'1EE0 188C	32
転送フレーム数カウンタレジスタ (1 0 系) (正常転送のみ)	FWNLCR0	R	H'FEE0 1890	H'1EE0 1890	32
転送フレーム数カウンタレジスタ (1 0 系) (正常および障害発生を含むすべて)	FWALCR0	R	H'FEE0 1894	H'1EE0 1894	32
送信フレーム数カウンタレジスタ (1 系) (正常送信のみ)	TXNLCR1	R	H'FEE0 18A0	H'1EE0 18A0	32
送信フレーム数カウンタレジスタ (1 系) (正常および障害発生を含むすべて)	TXALCR1	R	H'FEE0 18A4	H'1EE0 18A4	32
受信フレーム数カウンタレジスタ (1 系) (正常受信のみ)	RXNLCR1	R	H'FEE0 18A8	H'1EE0 18A8	32
受信フレーム数カウンタレジスタ (1 系) (正常および障害発生を含むすべて)	RXALCR1	R	H'FEE0 18AC	H'1EE0 18AC	32
転送フレーム数カウンタレジスタ (0 1 系) (正常転送のみ)	FWNLCR1	R	H'FEE0 18B0	H'1EE0 18B0	32
転送フレーム数カウンタレジスタ (0 1 系) (正常および障害発生を含むすべて)	FWALCR1	R	H'FEE0 18B4	H'1EE0 18B4	32
E-DMAC 起動レジスタ	EDSR0	W	H'FEE0 0000	H'1EE0 0000	32
E-DMAC モードレジスタ	EDMR0	R/W	H'FEE0 0400	H'1EE0 0400	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
E-DMAC 送信要求レジスタ	EDTRR0	R/W	H'FEE0 0408	H'1EE0 0408	32
E-DMAC 受信要求レジスタ	EDRRR0	R/W	H'FEE0 0410	H'1EE0 0410	32
E-MAC/E-DMAC ステータスレジスタ	EESR0	R/W	H'FEE0 0428	H'1EE0 0428	32
E-MAC/E-DMAC ステータス割り込み許可 レジスタ	EESIPR0	R/W	H'FEE0 0430	H'1EE0 0430	32
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR0	R/W	H'FEE0 0010	H'1EE0 0010	32
送信ディスクリプタフェッチアドレスレジスタ	TDFAR0	R/W	H'FEE0 0014	H'1EE0 0014	32
送信ディスクリプタ処理済アドレスレジスタ	TDFXR0	R/W	H'FEE0 0018	H'1EE0 0018	32
送信ディスクリプタ最終フラグレジスタ	TDFFR0	R/W	H'FEE0 001C	H'1EE0 001C	32
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR0	R/W	H'FEE0 0030	H'1EE0 0030	32
受信ディスクリプタフェッチアドレスレジスタ	RDFAR0	R/W	H'FEE0 0034	H'1EE0 0034	32
受信ディスクリプタ処理済アドレスレジスタ	RDFXR0	R/W	H'FEE0 0038	H'1EE0 0038	32
受信ディスクリプタ最終フラグレジスタ	RDFFR0	R/W	H'FEE0 003C	H'1EE0 003C	32
送受信ステータスコピー指示レジスタ	TRSCER0	R/W	H'FEE0 0438	H'1EE0 0438	32
ミスドフレームカウンタレジスタ	RMFCR0	R/W	H'FEE0 0440	H'1EE0 0440	32
送信 FIFO しきい値指定レジスタ	TFTR0	R/W	H'FEE0 0448	H'1EE0 0448	32
FIFO 容量指定レジスタ	FDR0	R/W	H'FEE0 0450	H'1EE0 0450	32
受信方式制御レジスタ	RMCR0	R/W	H'FEE0 0458	H'1EE0 0458	32
受信データバディング挿入設定レジスタ	RPADIR0	R/W	H'FEE0 0460	H'1EE0 0460	32
オーバフロー予告 FIFO しきい値設定レジスタ	FCFTR0	R/W	H'FEE0 0468	H'1EE0 0468	32
E-DMAC 起動レジスタ	EDSR1	W	H'FEE0 0800	H'1EE0 0800	32
E-DMAC モードレジスタ	EDMR1	R/W	H'FEE0 0C00	H'1EE0 0C00	32
E-DMAC 送信要求レジスタ	EDTRR1	R/W	H'FEE0 0C08	H'1EE0 0C08	32
E-DMAC 受信要求レジスタ	EDRRR1	R/W	H'FEE0 0C10	H'1EE0 0C10	32
E-MAC/E-DMAC ステータスレジスタ	EESR1	R/W	H'FEE0 0C28	H'1EE0 0C28	32
E-MAC/E-DMAC ステータス割り込み許可 レジスタ	EESIPR1	R/W	H'FEE0 0C30	H'1EE0 0C30	32
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR1	R/W	H'FEE0 0810	H'1EE0 0810	32
送信ディスクリプタフェッチアドレスレジスタ	TDFAR1	R/W	H'FEE0 0814	H'1EE0 0814	32
送信ディスクリプタ処理済アドレスレジスタ	TDFXR1	R/W	H'FEE0 0818	H'1EE0 0818	32
送信ディスクリプタ最終フラグレジスタ	TDFFR1	R/W	H'FEE0 081C	H'1EE0 081C	32
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR1	R/W	H'FEE0 0830	H'1EE0 0830	32
受信ディスクリプタフェッチアドレスレジスタ	RDFAR1	R/W	H'FEE0 0834	H'1EE0 0834	32
受信ディスクリプタ処理済アドレスレジスタ	RDFXR1	R/W	H'FEE0 0838	H'1EE0 0838	32
受信ディスクリプタ最終フラグレジスタ	RDFFR1	R/W	H'FEE0 083C	H'1EE0 083C	32
送受信ステータスコピー指示レジスタ	TRSCER1	R/W	H'FEE0 0C38	H'1EE0 0C38	32
ミスドフレームカウンタレジスタ	RMFCR1	R/W	H'FEE0 0C40	H'1EE0 0C40	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
送信 FIFO しきい値指定レジスタ	TFTR1	R/W	H'FEE0 0C48	H'1EE0 0C48	32
FIFO 容量指定レジスタ	FDR1	R/W	H'FEE0 0C50	H'1EE0 0C50	32
受信方式制御レジスタ	RMCR1	R/W	H'FEE0 0C58	H'1EE0 0C58	32
受信データパディング挿入設定レジスタ	RPADIR1	R/W	H'FEE0 0C60	H'1EE0 0C60	32
オーバフロー予告 FIFO しきい値設定レジスタ	FCFTR1	R/W	H'FEE0 0C68	H'1EE0 0C68	32

表 23.3 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
ソフトウェアリセットレジスタ	ARSTR	H'00000000	H'00000000	保持	保持
E-MAC モードレジスタ	ECMR0	H'00000000	H'00000000	保持	保持
E-MAC ステータスレジスタ	ECSR0	H'00000000	H'00000000	保持	保持
E-MAC 割り込み許可レジスタ	ECSIPR0	H'00000000	H'00000000	保持	保持
PHY 部インタフェースレジスタ	PIR0	H'0000000x	H'0000000x	保持	保持
PHY 部ステータスレジスタ	PSR0	H'00000000	H'00000000	保持	保持
PHY_INT 極性設定レジスタ	PIPR0	H'00000000	H'00000000	保持	保持
受信フレーム長上限レジスタ	RFLR0	H'00000000	H'00000000	保持	保持
自動 PAUSE フレーム設定レジスタ	APR0	H'00000000	H'00000000	保持	保持
手動 PAUSE フレーム設定レジスタ	MPR0	H'00000000	H'00000000	保持	保持
PAUSE フレーム送信カウンタ	PFTCR0	H'00000000	H'00000000	保持	保持
PAUSE フレーム受信カウンタ	PFRCR0	H'00000000	H'00000000	保持	保持
自動 PAUSE フレーム再送回数設定 レジスタ	TPAUSER0	H'00000000	H'00000000	保持	保持
GETHER モードレジスタ	GECMR0	H'00000000	H'00000000	保持	保持
バーストサイクル回数上限設定レジスタ	BCULR0	H'00000000	H'00000000	保持	保持
MAC アドレス上位設定レジスタ	MAHR0	H'00000000	H'00000000	保持	保持
MAC アドレス下位設定レジスタ	MALR0	H'00000000	H'00000000	保持	保持
送信リトライオーバーカウンタレジスタ	TROCR0	H'00000000	H'00000000	保持	保持
遅延衝突検出カウンタレジスタ	CDCR0	H'00000000	H'00000000	保持	保持
キャリア消失カウンタレジスタ	LCRCR0	H'00000000	H'00000000	保持	保持
CRC エラーフレーム受信カウンタ レジスタ	CEFCR0	H'00000000	H'00000000	保持	保持
フレーム受信エラーカウンタレジスタ	FRECR0	H'00000000	H'00000000	保持	保持
64 バイト未満フレーム受信カウンタ レジスタ	TSFRCR0	H'00000000	H'00000000	保持	保持
指定バイト超フレーム受信カウンタ レジスタ	TLFRCR0	H'00000000	H'00000000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
端数ビットフレーム受信カウンタ レジスタ	RFCR0	H'00000000	H'00000000	保持	保持
キャリア拡張消失カウンタレジスタ	CERCRO	H'00000000	H'00000000	保持	保持
キャリア拡張エラーカウンタレジスタ	CEECRO	H'00000000	H'00000000	保持	保持
マルチキャストアドレスフレーム受信 カウンタレジスタ	MAFCR0	H'00000000	H'00000000	保持	保持
E-MAC モードレジスタ	ECMR1	H'00000000	H'00000000	保持	保持
E-MAC ステータスレジスタ	ECSR1	H'00000000	H'00000000	保持	保持
E-MAC 割り込み許可レジスタ	ECSIPR1	H'00000000	H'00000000	保持	保持
PHY 部インタフェースレジスタ	PIR1	H'0000000x	H'0000000x	保持	保持
PHY 部ステータスレジスタ	PSR1	H'00000000	H'00000000	保持	保持
PHY_INT 極性設定レジスタ	PIPR1	H'00000000	H'00000000	保持	保持
受信フレーム長上限レジスタ	RFLR1	H'00000000	H'00000000	保持	保持
自動 PAUSE フレーム設定レジスタ	APR1	H'00000000	H'00000000	保持	保持
手動 PAUSE フレーム設定レジスタ	MPR1	H'00000000	H'00000000	保持	保持
PAUSE フレーム送信カウンタ	PFTCR1	H'00000000	H'00000000	保持	保持
PAUSE フレーム受信カウンタ	PFCR1	H'00000000	H'00000000	保持	保持
自動 PAUSE フレーム再送回数設定 レジスタ	TPAUSER1	H'00000000	H'00000000	保持	保持
GETHER モードレジスタ	GEEMR1	H'00000000	H'00000000	保持	保持
バーストサイクル回数上限設定レジスタ	BCULR1	H'00000000	H'00000000	保持	保持
MAC アドレス上位設定レジスタ	MAHR1	H'00000000	H'00000000	保持	保持
MAC アドレス下位設定レジスタ	MALR1	H'00000000	H'00000000	保持	保持
送信リトライオーバカウンタレジスタ	TROCR1	H'00000000	H'00000000	保持	保持
遅延衝突検出カウンタレジスタ	CDCR1	H'00000000	H'00000000	保持	保持
キャリア消失カウンタレジスタ	LCRR1	H'00000000	H'00000000	保持	保持
CRC エラーフレーム受信カウンタ レジスタ	CEFCR1	H'00000000	H'00000000	保持	保持
フレーム受信エラーカウンタレジスタ	FRECR1	H'00000000	H'00000000	保持	保持
64 バイト未満フレーム受信カウンタ レジスタ	TSFCR1	H'00000000	H'00000000	保持	保持
指定バイト超フレーム受信カウンタ レジスタ	TLFCR1	H'00000000	H'00000000	保持	保持
端数ビットフレーム受信カウンタ レジスタ	RFCR1	H'00000000	H'00000000	保持	保持
キャリア拡張消失カウンタ	CERC1	H'00000000	H'00000000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
キャリア拡張エラーカウンタ	CEECR1	H'00000000	H'00000000	保持	保持
マルチキャストアドレスフレーム受信 カウンタレジスタ	MAFCR1	H'00000000	H'00000000	保持	保持
TSU カウンタリセットレジスタ	TSU_CTRST	H'00000000	H'00000000	保持	保持
転送イネーブルレジスタ (0 1系)	TSU_FWEN0	H'00000000	H'00000000	保持	保持
転送イネーブルレジスタ (1 0系)	TSU_FWEN1	H'00000000	H'00000000	保持	保持
転送 FIFO 容量選択レジスタ	TSU_FCM	H'00000000	H'00000000	保持	保持
転送 FIFO オーバフロー予告設定 レジスタ (0系)	TSU_BSYSL0	H'0000003F	H'0000003F	保持	保持
転送 FIFO オーバフロー予告設定レジスタ (1系)	TSU_BSYSL1	H'0000003F	H'0000003F	保持	保持
送信・転送優先制御モードレジスタ(0系)	TSU_PRISL0	H'00000000	H'00000000	保持	保持
送信・転送優先制御モードレジスタ(1系)	TSU_PRISL1	H'00000000	H'00000000	保持	保持
受信・転送機能設定レジスタ (0 1系)	TSU_FWSL0	H'00000000	H'00000000	保持	保持
受信・転送機能設定レジスタ (1 0系)	TSU_FWSL1	H'00000000	H'00000000	保持	保持
転送機能設定レジスタ (共通)	TSU_FWSLC	H'00000000	H'00000000	保持	保持
Qtag 追加・削除設定レジスタ (0 1系)	TSU_QTAG0	H'00000000	H'00000000	保持	保持
Qtag 追加・削除設定レジスタ (1 0系)	TSU_QTAG1	H'00000000	H'00000000	保持	保持
転送ステータスレジスタ	TSU_FWSR	H'00000000	H'00000000	保持	保持
転送ステータス割り込みマスクレジスタ	TSU_FWINMK	H'00000000	H'00000000	保持	保持
追加 Qtag 値設定レジスタ (0 1系)	TSU_ADQT0	H'81000000	H'81000000	保持	保持
追加 Qtag 値設定レジスタ (1 0系)	TSU_ADQT1	H'81000000	H'81000000	保持	保持
VLANtag 設定レジスタ (0系)	TSU_VTAG0	H'00000000	H'00000000	保持	保持
VLANtag 設定レジスタ (1系)	TSU_VTAG1	H'00000000	H'00000000	保持	保持
CAM エントリテーブル設定ピジー レジスタ	TSU_ADSBSY	H'00000000	H'00000000	保持	保持
CAM エントリテーブルイネーブル設定 レジスタ	TSU_TEN	H'00000000	H'00000000	保持	保持
CAM エントリテーブル POST 設定 1 レジスタ	TSU_POST1	H'00000000	H'00000000	保持	保持
CAM エントリテーブル POST 設定 2 レジスタ	TSU_POST2	H'00000000	H'00000000	保持	保持
CAM エントリテーブル POST 設定 3 レジスタ	TSU_POST3	H'00000000	H'00000000	保持	保持
CAM エントリテーブル POST 設定 4 レジスタ	TSU_POST4	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 0H レジスタ	TSU_ADRH0	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 1H レジスタ	TSU_ADRH1	H'00000000	H'00000000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
CAM エントリテーブル 2H レジスタ	TSU_ADRH2	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 3H レジスタ	TSU_ADRH3	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 4H レジスタ	TSU_ADRH4	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 5H レジスタ	TSU_ADRH5	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 6H レジスタ	TSU_ADRH6	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 7H レジスタ	TSU_ADRH7	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 8H レジスタ	TSU_ADRH8	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 9H レジスタ	TSU_ADRH9	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 10H レジスタ	TSU_ADRH10	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 11H レジスタ	TSU_ADRH11	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 12H レジスタ	TSU_ADRH12	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 13H レジスタ	TSU_ADRH13	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 14H レジスタ	TSU_ADRH14	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 15H レジスタ	TSU_ADRH15	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 16H レジスタ	TSU_ADRH16	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 17H レジスタ	TSU_ADRH17	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 18H レジスタ	TSU_ADRH18	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 19H レジスタ	TSU_ADRH19	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 20H レジスタ	TSU_ADRH20	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 21H レジスタ	TSU_ADRH21	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 22H レジスタ	TSU_ADRH22	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 23H レジスタ	TSU_ADRH23	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 24H レジスタ	TSU_ADRH24	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 25H レジスタ	TSU_ADRH25	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 26H レジスタ	TSU_ADRH26	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 27H レジスタ	TSU_ADRH27	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 28H レジスタ	TSU_ADRH28	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 29H レジスタ	TSU_ADRH29	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 30H レジスタ	TSU_ADRH30	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 31H レジスタ	TSU_ADRH31	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 0L レジスタ	TSU_ADRL0	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 1L レジスタ	TSU_ADRL1	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 2L レジスタ	TSU_ADRL2	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 3L レジスタ	TSU_ADRL3	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 4L レジスタ	TSU_ADRL4	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 5L レジスタ	TSU_ADRL5	H'00000000	H'00000000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
CAM エントリテーブル 6L レジスタ	TSU_ADRL6	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 7L レジスタ	TSU_ADRL7	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 8L レジスタ	TSU_ADRL8	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 9L レジスタ	TSU_ADRL9	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 10L レジスタ	TSU_ADRL10	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 11L レジスタ	TSU_ADRL11	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 12L レジスタ	TSU_ADRL12	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 13L レジスタ	TSU_ADRL13	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 14L レジスタ	TSU_ADRL14	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 15L レジスタ	TSU_ADRL15	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 16L レジスタ	TSU_ADRL16	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 17L レジスタ	TSU_ADRL17	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 18L レジスタ	TSU_ADRL18	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 19L レジスタ	TSU_ADRL19	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 20L レジスタ	TSU_ADRL20	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 21L レジスタ	TSU_ADRL21	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 22L レジスタ	TSU_ADRL22	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 23L レジスタ	TSU_ADRL23	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 24L レジスタ	TSU_ADRL24	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 25L レジスタ	TSU_ADRL25	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 26L レジスタ	TSU_ADRL26	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 27L レジスタ	TSU_ADRL27	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 28L レジスタ	TSU_ADRL28	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 29L レジスタ	TSU_ADRL29	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 30L レジスタ	TSU_ADRL30	H'00000000	H'00000000	保持	保持
CAM エントリテーブル 31L レジスタ	TSU_ADRL31	H'00000000	H'00000000	保持	保持
送信フレーム数カウンタレジスタ (0 系) (正常送信のみ)	TXNLCR0	H'00000000	H'00000000	保持	保持
送信フレーム数カウンタレジスタ (0 系) (正常および障害発生を含むすべて)	TXALCR0	H'00000000	H'00000000	保持	保持
受信フレーム数カウンタレジスタ (0 系) (正常受信のみ)	RXNLCR0	H'00000000	H'00000000	保持	保持
受信フレーム数カウンタレジスタ (0 系) (正常および障害発生を含むすべて)	RXALCR0	H'00000000	H'00000000	保持	保持
転送フレーム数カウンタレジスタ (1 0 系) (正常転送のみ)	FWNLCR0	H'00000000	H'00000000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
転送フレーム数カウンタレジスタ (10系) (正常および障害発生を含むすべて)	FWALCR0	H'00000000	H'00000000	保持	保持
送信フレーム数カウンタレジスタ(1系) (正常送信のみ)	TXNLCR1	H'00000000	H'00000000	保持	保持
送信フレーム数カウンタレジスタ(1系) (正常および障害発生を含むすべて)	TXALCR1	H'00000000	H'00000000	保持	保持
受信フレーム数カウンタレジスタ(1系) (正常受信のみ)	RXNLCR1	H'00000000	H'00000000	保持	保持
受信フレーム数カウンタレジスタ(1系) (正常および障害発生を含むすべて)	RXALCR1	H'00000000	H'00000000	保持	保持
転送フレーム数カウンタレジスタ (01系)(正常転送のみ)	FWNLCR1	H'00000000	H'00000000	保持	保持
転送フレーム数カウンタレジスタ (01系) (正常および障害発生を含むすべて)	FWALCR1	H'00000000	H'00000000	保持	保持
E-DMAC 起動レジスタ	EDSR0	H'00000000	H'00000000	保持	保持
E-DMAC モードレジスタ	EDMR0	H'00000000	H'00000000	保持	保持
E-DMAC 送信要求レジスタ	EDTRR0	H'00000000	H'00000000	保持	保持
E-DMAC 受信要求レジスタ	EDRRR0	H'00000000	H'00000000	保持	保持
E-MAC/E-DMAC ステータスレジスタ	EESR0	H'00000000	H'00000000	保持	保持
E-MAC/E-DMAC ステータス割り込み 許可レジスタ	EESIPR0	H'00000000	H'00000000	保持	保持
送信ディスクリプタリスト先頭アドレス レジスタ	TDLAR0	H'00000000	H'00000000	保持	保持
送信ディスクリプタフェッチアドレス レジスタ	TDFAR0	H'00000000	H'00000000	保持	保持
送信ディスクリプタ処理済アドレス レジスタ	TDFXR0	H'00000000	H'00000000	保持	保持
送信ディスクリプタ最終フラグレジスタ	TDFFR0	H'00000000	H'00000000	保持	保持
受信ディスクリプタリスト先頭アドレス レジスタ	RDLAR0	H'00000000	H'00000000	保持	保持
受信ディスクリプタフェッチアドレス レジスタ	RDFAR0	H'00000000	H'00000000	保持	保持
受信ディスクリプタ処理済アドレス レジスタ	RDFXR0	H'00000000	H'00000000	保持	保持
受信ディスクリプタ最終フラグレジスタ	RDFFR0	H'00000000	H'00000000	保持	保持
送受信ステータスコピー指示レジスタ	TRSCER0	H'00000000	H'00000000	保持	保持
ミスドフレームカウンタレジスタ	RMFCR0	H'00000000	H'00000000	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
送信 FIFO しきい値指定レジスタ	TFTR0	H'00000000	H'00000000	保持	保持
FIFO 容量指定レジスタ	FDR0	H'00000000	H'00000000	保持	保持
受信方式制御レジスタ	RMCR0	H'00000000	H'00000000	保持	保持
受信データパディング挿入設定レジスタ	RPADIR0	H'00000000	H'00000000	保持	保持
オーバーフロー予告 FIFO しきい値設定 レジスタ	FCFTR0	H'001F00FF	H'001F00FF	保持	保持
E-DMAC 起動レジスタ	EDSR1	H'00000000	H'00000000	保持	保持
E-DMAC モードレジスタ	EDMR1	H'00000000	H'00000000	保持	保持
E-DMAC 送信要求レジスタ	EDTRR1	H'00000000	H'00000000	保持	保持
E-DMAC 受信要求レジスタ	EDRRR1	H'00000000	H'00000000	保持	保持
E-MAC/E-DMAC ステータスレジスタ	EESR1	H'00000000	H'00000000	保持	保持
E-MAC/E-DMAC ステータス割り込み 許可レジスタ	EESIPR1	H'00000000	H'00000000	保持	保持
送信ディスクリプタリスト先頭アドレス レジスタ	TDLAR1	H'00000000	H'00000000	保持	保持
送信ディスクリプタフェッチアドレス レジスタ	TDFAR1	H'00000000	H'00000000	保持	保持
送信ディスクリプタ処理済アドレス レジスタ	TDFXR1	H'00000000	H'00000000	保持	保持
送信ディスクリプタ最終フラグレジスタ	TDFFR1	H'00000000	H'00000000	保持	保持
受信ディスクリプタリスト先頭アドレス レジスタ	RDLAR1	H'00000000	H'00000000	保持	保持
受信ディスクリプタフェッチアドレス レジスタ	RDFAR1	H'00000000	H'00000000	保持	保持
受信ディスクリプタ処理済アドレス レジスタ	RDFXR1	H'00000000	H'00000000	保持	保持
受信ディスクリプタ最終フラグレジスタ	RDFFR1	H'00000000	H'00000000	保持	保持
送受信ステータスコピー指示レジスタ	TRSCER1	H'00000000	H'00000000	保持	保持
ミスフレームカウンタレジスタ	RMFCR1	H'00000000	H'00000000	保持	保持
送信 FIFO しきい値指定レジスタ	TFTR1	H'00000000	H'00000000	保持	保持
FIFO 容量指定レジスタ	FDR1	H'00000000	H'00000000	保持	保持
受信方式制御レジスタ	RMCR1	H'00000000	H'00000000	保持	保持
受信データパディング挿入設定レジスタ	RPADIR1	H'00000000	H'00000000	保持	保持
オーバーフロー予告 FIFO しきい値設定 レジスタ	FCFTR1	H'001F00FF	H'001F00FF	保持	保持

23.3.1 ソフトウェアリセットレジスタ (ARSTR)

ARSTR は、GETHER すべてのブロック (E-MAC、TSU および E-DMAC) をリセットします。本レジスタの ARST ビットに 1 を書き込むことにより、GETHER のすべてのブロックに対しソフトウェアリセットが発行されます (外部バスクロック Bck で 256 サイクル間)。ARST ビットにリード動作をすると常に 0 が読み出されます。ソフトウェアリセットの発行期間中は、GETHER のすべてのブロックに対するレジスタアクセスを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ARST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	ARST	0	R/W	ソフトウェアリセット 本ビットに 1 を書き込むと、GETHER のすべてのブロックに対しソフトウェアリセットが発行されます (外部バスクロック Bck で 256 サイクル間)。0 を書き込んでも何も行われません。読み出し時は常に 0 が読み出されます。ソフトウェアリセットの発行期間中は、GETHER のすべてのブロックに対するレジスタアクセスを禁止します。また、以下のレジスタは、ソフトウェアリセットでは初期化されません。 TSU_ADRH0 ~ TSU_ADRH31、TSU_ADRL0 ~ TSU_ADRL31、TXNLCR0/1、TXALCR0/1、RXNLCR0/1、RXALCR0/1、FWNLCR0/1、FWALCR0/1 E-MAC-1 E-MAC-0、E-MAC-0 E-MAC-1 転送機能を用いる場合は、必ず、ARST を使用してリセットをしてください。EDMR レジスタの SWRT および SWRR ビットによるソフトウェアリセットでは、E-MAC-1 と E-MAC-0 間の転送機能部 (TSU) はリセットされません。

23.3.2 E-MAC モードレジスタ (ECMR)

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、GETHER の動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合には、EDMR 内にある SWRT および SWRR ビットにより、E-MAC および E-DMAC を初期状態に戻してから再設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TRCCM	-	-	RCSC	-	DPAD	RZPF	ZPF	PFR	RXF	TXF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	MCT	-	-	-	MPDE	-	-	RE	TE	-	ILB	-	DM	PRM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
26	TRCCM	0	R/W	カウンタクリアモード カウンタレジスタのクリア方法を設定します。各レジスタの説明を参照してください。 0: 当該レジスタに、H'11111111 を書き込むことで 0 クリアされます。 1: 当該レジスタの読み出し時に 0 クリアされます。
25, 24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	RCSC	0	R/W	サムチェック計算 受信フレームデータ部のサムチェックの自動計算 (ハードウェア計算) を行うかどうかを指定します。 0: サムチェック自動計算を行いません。 1: サムチェック自動計算を行います。 ただし、VLANtag を含むフレームに対するサムチェック自動計算はサポートしていません。詳しくは「23.6.1 イーサネットフレームのサムチェック計算」を参照してください。
22	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
21	DPAD	0	R/W	データパディング 0: 60 バイト未満のデータにパディングを行い、60 バイトのデータとして送信します 1: 60 バイト未満のデータにパディングを行わず、そのまま送信します

ビット	ビット名	初期値	R/W	説明
20	RZPF	0	R/W	0TIMEPAUSE フレーム受信 0 : TIME パラメータ値が 0 の PAUSE フレームの受信が無効です 1 : TIME パラメータ値が 1 の PAUSE フレームの受信が有効です
19	ZPF	0	R/W	0TIMEPAUSE フレーム使用許可 / キャリア消失エラー検出許可 <ul style="list-style-type: none"> 0TIMEPAUSE フレーム使用許可 (全二重モード時) 0 : TIME パラメータ値が 0 の PAUSE フレーム制御を無効にする Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。 Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。 1 : TIME パラメータ値が 0 の PAUSE フレーム制御を有効にする Timer 値の示す時間が経過していない状態で、受信 FIFO のデータ量が FCFTR レジスタ設定値未満になると Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。 キャリア消失エラー検出許可 (半二重モード時) 0 : フレーム送信時、キャリア消失エラーのチェックを行います 1 : フレーム送信時、キャリア消失エラーのチェックを行いません EX_TX_EN がハイアクティブになってから ET_CRS = 1 検出までの時間が、63BT*以下の場合にのみキャリア消失エラー検出を有効に設定することが可能です。 EX_TX_EN がハイアクティブになってから ET_CRS = 1 検出までの時間が、63BT*を超える場合か、ET_CRS 信号のタイミングが不明な場合は本ビットを 0 にしないでください。 【注】 1BT = 1nS (1000Mbps)、1BT = 10nS (100Mbps)、1BT = 100nS (10Mbps)
18	PFR	0	R/W	PAUSE フレーム受信モード 0 : PAUSE フレームを E-DMAC に転送しません 1 : PAUSE フレームを E-DMAC に転送します
17	RXF	0	R/W	受信系フロー制御動作モード 0 : PAUSE フレームの検出機能が無効になります 1 : 受信時系のフロー制御機能が有効になります
16	TXF	0	R/W	送信系フロー制御動作モード 0 : 送信系のフロー制御機能が無効になります (自動 PAUSE フレームは送信されません。) 1 : 送信系のフロー制御機能が有効になります (必要に応じて自動 PAUSE フレームが送信されます。)
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13	MCT	0	R/W	マルチキャストアドレスフレーム受信モード 0: CAM エントリテーブル 0~31 (H/L) レジスタで設定したマルチキャストアドレス以外のフレームのみ受信します。ただし、内蔵 CAM エントリテーブル参照が無効になっているときは、マルチキャストアドレスフレームをすべて受信します。 1: CAM エントリテーブル 0~31 (H/L) レジスタで設定したマルチキャストアドレスのみ受信します。
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	MPDE	0	R/W	Magic Packet 検出許可 イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet の検出機能を許可するかしないかの選択を行います。 0: Magic Packet の検出を許可しません 1: Magic Packet の検出を許可する
8, 7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	RE	0	R/W	受信許可 本ビットを受信機能有効 (RE = 1) から無効 (RE = 0) としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0: 受信機能を無効にする 1: 受信機能を有効にする
5	TE	0	R/W	送信許可 本ビットを送信機能有効 (TE = 1) から無効 (TE = 0) としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0: 送信機能を無効にする 1: 送信機能を有効にする
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	ILB	0	R/W	内部ループバックモード GETHER 内部でのループバックモードを指定します。 0: 通常データ送受信を行う 1: DM = 1 のとき、GETHER 内の E-MAC 内部でのデータの折り返しを行う
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	DM	0	R/W	デュプレックスモード GETHER の転送方式を指示します。 0: 半二重転送方式を指定する 1: 全二重転送方式を指定する

ビット	ビット名	初期値	R/W	説明
0	PRM	0	R/W	<p>プロミスキャストモード</p> <p>本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。</p> <p>0 : GETHER は、通常動作を行う 1 : GETHER は、プロミスキャストモード動作を行う</p>

【注】 TE および RE ビットを除くすべてのビットは、送信機能が無効 (TE=0) かつ受信機能が無効 (RE=0) の状態で書き換えてください。

23.3.3 E-MAC ステータスレジスタ (ECSR)

ECSR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PFRTO、LCHNG、MPD、ICD に 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR の対応するビットによって割り込みを許可または禁止することができます。PHYI への 1 あるいは 0 の書き込みは無効です。

本ステータスレジスタが要因で発生する割り込みは、0 系では E-DMAC0、1 系では E-DMAC1 の EESR レジスタ ECI ビットに反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PFRTO	PHYI	LCHNG	MPD	ICD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
4	PFRTO	0	R/W	<p>PAUSE フレーム再送リトライオーバー</p> <p>フロー制御を用いる際の PAUSE フレームの再送において、再送回数が PAUSE フレーム再送回数設定レジスタ (TPAUSER) に設定した再送上限値を超えたことを表します。</p> <p>0 : PAUSE フレーム再送信回数が上限値を超えていない 1 : PAUSE フレーム再送信回数が上限値を超えた</p>

ビット	ビット名	初期値	R/W	説明
3	PHYI	0	R	<p>ET_PHY-INT 割り込み</p> <p>PHY-LSI から入力される ET_PHY-INT 端子の状態を示します。</p> <p>0 : ET_PHY-INT 端子はアサートされていません。</p> <p>1 : ET_PHY-INT 端子はアサートされています。</p> <p>ET_PHY-INT 端子の信号極性は、PIPR レジスタで設定することができます。</p>
2	LCHNG	0	R/W	<p>リンク信号変化</p> <p>PHY-LSI から入力される ET_LNKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。ただし、GPIO の PACR で ET_LNKSTA の機能を選択されたタイミングで、信号の変化を検出する場合があります。</p> <p>現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。</p> <p>0 : ET_LNKSTA 信号の変化を検出していない</p> <p>1 : ET_LNKSTA 信号の変化 (ハイレベル ローレベルあるいはローレベル ハイレベル) を検出した</p>
1	MPD	0	R/W	<p>Magic Packet 検出</p> <p>回線上から Magic Packet を検出したことを表します。</p> <p>0 : Magic Packet を検出していない</p> <p>1 : Magic Packet を検出した</p>
0	ICD	0	R/W	<p>不正キャリア検出</p> <p>回線上で PHY-LSI が不正なキャリアを検出したことを表します。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。</p> <p>0 : PHY-LSI は、回線上で不正キャリアを検出していない</p> <p>1 : PHY-LSI は、回線上で不正キャリアを検出した</p>

23.3.4 E-MAC 割り込み許可レジスタ (ECSIPR)

ECSIPR は、読み出したり書き込み可能な 32 ビットのレジスタで、ECSR によって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	PFRO IP	PHYIP	LCHN GIP	MPDIP	ICDIP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	PFROI	0	R/W	PAUSE フレーム再送割り込み許可ビット 0 : PFROI の割り込み通知を禁止 1 : PFROI の割り込み通知を許可
3	PHYIP	0	R/W	ET_PHY-INT 端子割り込み許可ビット 0 : PHYI の割り込み通知を禁止 1 : PHYI の割り込み通知を許可
2	LCHNGIP	0	R/W	リンク信号変化割り込み許可ビット 0 : LCHNG の割り込み通知を禁止 1 : LCHNG の割り込み通知を許可
1	MPDIP	0	R/W	Magic Packet 検出割り込み許可ビット 0 : MPD の割り込み通知を禁止 1 : MPD の割り込み通知を許可
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0 : ICD の割り込み通知を禁止 1 : ICD の割り込み通知を許可

23.3.5 PHY 部インタフェースレジスタ (PIR)

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、GMII/MII/RMII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	MDI	MDO	MMD	MDC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	-	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	MDI	不定	R	GMII/MII/RMII マネジメントデータイン ET_MDIO 端子のレベルを表します。
2	MDO	0	R/W	GMII/MII/RMII マネジメントデータアウト MMD ビットが 1 のとき、本ビットに設定された値を ET_MDIO 端子より出力します。
1	MMD	0	R/W	GMII/MII/RMII マネジメントモード GMII/MII/RMII とのデータのリード/ライト方向を規定します。 0 : リード方向を規定 1 : ライト方向を規定
0	MDC	0	R/W	GMII/MII/RMII マネジメントデータクロック 本ビットに設定された値を ET_MDC 端子より出力し、GMII/MII/RMII へのマネジメントデータクロックを供給します。GMII/MII/RMII レジスタへのアクセス方法については、「23.5.4 MII レジスタのアクセス方法」を参照してください。

23.3.6 MAC アドレス上位設定レジスタ (MAHR)

MAHR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWRT および SWRR ビットにより E-MAC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MA [47:16]	すべて 0	R/W	MAC アドレスビット 47 ~ 16 MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

23.3.7 MAC アドレス下位設定レジスタ (MALR)

MALR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWRT および SWRR ビットにより E-MAC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MA[15:0]	すべて 0	R/W	MAC アドレスビット 15~0 MAC アドレスの下位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。

23.3.8 受信フレーム長上限レジスタ (RFLR)

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RFL[17:16]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFL[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17 ~ 0	RFL[17:0]	すべて 0	R/W	受信フレームデータ長 ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されません。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは破棄されます。 H'00000 ~ H'005EE : 1,518 バイト H'005EF : 1,519 バイト H'005F0 : 1,520 バイト : : H'007FF : 2,047 バイト H'00800 : 2,048 バイト : : H'01000 : 4,096 バイト : : H'10000 : 65,536 バイト : : H'20000 ~ H'3FFFF : 131,072 バイト

23.3.9 PHY 部ステータスレジスタ (PSR)

PSR は、読み出し専用のレジスタで、PHY-LSI からのインタフェース信号を読み込むことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LMON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	LMON	0	R	ET_LNKSTA 端子状態 ET_LNKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

23.3.10 PHY_INT 極性設定レジスタ (PIPR)

PIPR は、ET_PHY-INT 端子の極性を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PHYIP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	PHYIP	0	R/W	ET_PHY-INT 入力端子極性 0: ET_PHY-INT 端子はローアクティブとする (ローで割り込み状態) 1: ET_PHY-INT 端子はハイアクティブとする (ハイで割り込み状態) 極性については、接続する PHY-LSI の仕様を参照してください。

23.3.11 送信リトライオーバーカウンタレジスタ (TROCR)

TROCR は、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示す 16 ビットのカウンタです。送信を 16 回失敗すると、本レジスタは 1 カウントアップします。本レジスタの値が、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROCR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TROC [15:0]	すべて 0	R/W	送信リトライオーバーカウント 送信時に、再送を合わせて 16 回の試行で送信できなかったフレームのカウンタ数を表します。

23.3.12 遅延衝突検出カウンタレジスタ (CDCR)

CDCR は、送信開始以降すべての回線上の衝突回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウンタアップを停止します。本レジスタは、ECMR.TRCCM = 1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM = 0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	COSDC [15:0]	すべて 0	R/W	衝突検出カウンタ 送信開始からのすべての衝突の回数を表します。

23.3.13 キャリア消失カウンタレジスタ (LCCR)

LCCR は、データの送信中にキャリアが消失した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウンタアップを停止します。本レジスタは、ECMR.TRCCM = 1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM = 0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	LCC[15:0]	すべて 0	R/W	キャリア消失カウンタ データ送信中にキャリアが消失した回数を表します。

23.3.14 CRC エラーフレーム受信カウンタレジスタ (CEFCR)

CEFCR は、CRC エラーとなったフレームの受信回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM = 1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM = 0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	CEFC [15:0]	すべて 0	R/W	CRC エラーフレームカウンタ CRC エラーとなったフレームを受信した回数を表します。

23.3.15 フレーム受信エラーカウンタレジスタ (FRECR)

FRECR は、PHY-LSI から入力される ET_RX-ER 端子により受信エラーとなったフレームの個数を示す 16 ビットのカウンタです。ET_RX-ER 端子がアクティブになるごとに 1 カウントアップします。本レジスタの値が H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM = 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM = 0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRECR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	FRECR [15:0]	すべて 0	R/W	フレーム受信エラーカウンタ フレームを受信中にエラーとなった回数を表します。

23.3.16 64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)

TSFRCR は、64 バイト未満のフレームを受信した回数を示す 16 ビットのカウンタです。本レジスタの値が H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TSFC [15:0]	すべて 0	R/W	64 バイト未満フレーム受信カウンタ 64 バイト未満のフレームを受信した回数を表します。

23.3.17 指定バイト超フレーム受信カウンタレジスタ (TLFRCR)

TLFRCR は、受信フレーム長上限レジスタ (RFLR) で指定した値を超えるフレームを受信した回数を示す 16 ビットのカウンタです。本レジスタの値が H'0000FFFF になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) に反映されます。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TLFC [15:0]	すべて 0	R/W	指定バイト超フレーム受信カウンタ RFLR の値を超えるフレームを受信した回数を表します。

23.3.18 端数ビットフレーム受信カウンタレジスタ (RFCR)

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウンタアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	RFC[15:0]	すべて 0	R/W	端数ビットフレーム受信カウンタ 端数ビットデータを含むフレームを受信した回数を表します。

23.3.19 キャリア拡張消失カウンタレジスタ (CERC)

CERC は、キャリア拡張を消失したフレームを受信した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウンタアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CERC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	CERC [15:0]	すべて 0	R/W	キャリア拡張消失フレーム受信カウンタ キャリア拡張を消失したフレームを受信した回数を表します。

23.3.20 キャリア拡張エラーカウンタレジスタ (CEEER)

CEEER は、キャリア拡張が不正なフレームを受信した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM = 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM = 0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEEER[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	CEEER [15:0]	すべて 0	R/W	キャリア拡張エラーカウンタ キャリア拡張が不正なフレームを受信した回数を表します。

23.3.21 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

MAFCR は、マルチキャストアドレスを指定するフレームを受信した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタの 0 クリア方法は、本レジスタは、ECMR.TRCCM = 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM = 0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFCR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MAFCR [15:0]	すべて 0	R/W	マルチキャストアドレスフレームカウンタ マルチキャストフレームを受信した回数を表します。

23.3.22 自動 PAUSE フレーム設定レジスタ (APR)

APR は、自動 PAUSE フレームの TIME パラメータ値を設定します。自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AP[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	AP[15:0]	すべて 0	R/W	自動 PAUSE 自動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。 送信時のフロー制御機能 (PAUSE フレーム送信) を有効とした場合 (ECMR.TXF=1)、本ビットには H'0000 以外の値を設定してください。 H'0000 : - H'0001 : 512 × 1 ビット時間 H'0002 : 512 × 2 ビット時間 : : H'FFFF : 512 × 65535 ビット時間 【注】 ビット時間は、転送速度に応じて以下ようになります。 1000Mbps 時 : 1 ビット時間 = 1ns 100Mbps 時 : 1 ビット時間 = 10ns 10Mbps 時 : 1 ビット時間 = 100ns

23.3.23 手動 PAUSE フレーム設定レジスタ (MPR)

MPR は、手動 PAUSE フレームの TIME パラメータ値を設定します。手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15 ~ 0	MP[15:0]	すべて 0	R/W	手動 PAUSE 手動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。 H'0000 : - H'0001 : 512 × 1 ビット時間 H'0002 : 512 × 2 ビット時間 : : H'FFFF : 512 × 65535 ビット時間 【注】ビット時間は、転送速度に応じて以下ようになります。 1000Mbps 時 : 1 ビット時間 = 1ns 100Mbps 時 : 1 ビット時間 = 10ns 10Mbps 時 : 1 ビット時間 = 100ns

23.3.24 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)

TPAUSER は、自動 PAUSE フレームの再送回数の上限値を設定します。本レジスタは、送信機能が有効な状態での書き換えを禁止します。本レジスタは、送信機能が有効な状態で書き換えることを禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPAUSE[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TPAUSE [15:0]	すべて 0	R/W	自動 PAUSE フレーム再送回数上限値 H'0000 : 再送回数無制限 H'0001 : 再送回数は、1 回 : : H'FFFF : 再送回数は、65535 回

23.3.25 PAUSE フレーム送信カウンタレジスタ (PFTCR)

PFTCR は、PAUSE フレームを送信した回数を示す 16 ビットのカウンタです。本レジスタは、読み出し時に 0 クリアされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFTXC[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	PFTXC [15:0]	すべて 0	R	PAUSE フレーム送信カウンタ 自動 PAUSE フレームと手動 PAUSE フレームの送信回数をあわせて表します。

23.3.26 PAUSE フレーム受信カウンタレジスタ (PFRCR)

PFCTR は、PAUSE フレームを受信した回数を示す 16 ビットのカウンタです。本レジスタは、読み出し時に 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFRXC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	PFRXC [15:0]	すべて 0	R	PAUSE フレーム受信カウンタ 受信時のフロー制御機能有効 (ECMR.RXF = 1) 時、PAUSE フレームを受信した回数を表します。

23.3.27 GETHER モードレジスタ (GECMR)

GECMR は、GETHER の動作モードを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	SPEED [1]	BSE	SPEED [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	SPEED[1]	0	R/W	転送速度 SPEED[0]ビットとの組み合わせで、転送速度を設定します。SPEED[0]ビットを参照してください。

ビット	ビット名	初期値	R/W	説明
1	BSE	0	R/W	バースト転送許可 0 : バースト転送を行いません。 1 : 転送速度が1Gbpsで、半二重転送モード (ECMR.DM=0) 時、バースト転送を行います。
0	SPEED[0]	0	R/W	転送速度 転送速度を、SPEED[1]とSPEED[0]ビットとの組み合わせで指定します。 SPEED[1:0] 00 : 10Mbps 転送 01 : 1Gbps 転送 10 : 100Mbps 転送 11 : 設定禁止

23.3.28 バーストサイクル回数上限設定レジスタ (BCULR)

BCULR は、バーストサイクル回数の上限値を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BSTLMT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11~0	BSTLMT [11:0]	すべて0	R/W	バーストサイクル上限値 バーストサイクルの上限値を設定します。バーストタイマが本レジスタの設定値を超えるとバースト転送を終了します。フレームの転送中に、バーストタイマが本レジスタの設定値を超えたとき、転送中のフレームの転送終了を待ってバースト転送を終了します。 H'000 ~ H'100 : バーストサイクル数は、256 サイクル H'101 : バーストサイクル数は、257 サイクル : : H'FFE : バーストサイクル数は、4094 サイクル H'FFF : バーストサイクル数は、4095 サイクル 【注】 1 サイクル = 32ns です。

23.3.29 TSU カウンタリセットレジスタ (TSU_CTRST)

TSU_CTRST は、送信、受信、および転送フレーム数カウンタを 0 にクリアします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CTRST	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	CTRST	0	R/W	TSU カウンタリセット 本ビットに 1 を書き込むと、TXNLCR0/1、TXALCR0/1、RXNLCR0/1、RXALCR0/1、FWNLCR0/1、FWALCR0/1 の各レジスタの値が 0 にクリアされます。0 書き込みしても何も行われません。読み出すと常に 0 が読み出されません。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

23.3.30 転送イネーブルレジスタ (0 1系) (TSU_FWEN0)

TSU_FWEN0 は、E-MAC-0 から E-MAC-1 への転送動作 (転送 FIFO への書き込み) を許可または禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FWEN0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	FWEN0	0	R/W	0 1系転送動作イネーブル 0: 0 1系転送動作を禁止 1: 0 1系転送動作を許可 転送 FIFO 容量選択レジスタ TSU_FCM の FCM[2:0]の値を H'4 に設定した場合は、本ビットを 1 にセットすることを禁止します。
30~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

23.3.31 転送イネーブルレジスタ (10系) (TSU_FWEN1)

TSU_FWEN1 は、E-MAC-1 から E-MAC-0 への転送動作 (転送 FIFO への書き込み) を許可または禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FWEN1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	FWEN1	0	R/W	10系転送動作イネーブル 0: 10系転送動作を禁止 1: 10系転送動作を許可 転送 FIFO 容量選択レジスタ TSU_FCM の FCM[2:0]の値を H'3 に設定した場合は、本ビットを 1 にセットすることを禁止します。
30~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

23.3.32 転送 FIFO 容量選択レジスタ (TSU_FCM)

TSU_FCM は、E-MAC-0、E-MAC-1 相互間の転送動作時に用いる、TSU 内の転送 FIFO の容量を選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	FCM[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	FCM[2:0]	すべて 0	R/W	転送 FIFO 容量 H'0 : 0 1系 : 3K バイト、 1 0系 : 3K バイト H'1 : 0 1系 : 4K バイト、 1 0系 : 2K バイト H'2 : 0 1系 : 5K バイト、 1 0系 : 1K バイト H'3 : 0 1系 : 6K バイト、 1 0系 : 使用しない H'4 : 0 1系 : 使用しない、 1 0系 : 6KB H'5 : 0 1系 : 1K バイト、 1 0系 : 5K バイト H'6 : 0 1系 : 2K バイト、 1 0系 : 4K バイト H'7 : 設定禁止 いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは無効です。 転送 FIFO に「設定した容量 - 64 バイト」以上のデータが格納されると、オーバフローを検出し転送途中のフレームは破棄されます。

23.3.33 転送 FIFO オーバフロー予告設定レジスタ (0 系) (TSU_BSYSL0)

TSU は、転送動作時に転送 FIFO 内に書き込まれたデータ量があるしきい値を超えると、E-MAC-0/1 に対し転送 FIFO への書き込みができなくなることを予告通知する機能を有しています。TSU_BSYSL0 は、転送動作時 TSU から E-MAC-0 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの転送 FIFO のしきい値を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	BSYSL0[5:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	BSYSL0 [5:0]	すべて 1	R/W	<p>転送動作時、TSU から E-MAC-0 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの 0 1 系転送 FIFO 容量のしきい値を、256 バイト単位で設定します。</p> <p>H'00 : 0 バイト H'01 : 256 バイト H'02 : 512 バイト : : H'29 : 12,032 バイト H'30 : 12,288 バイト</p> <p>H'31 ~ H'3F は、設定無効です (予告通知は常に行いません)。</p> <p>転送 FIFO の書き込み容量が、本ビットで設定したしきい値を超えると、TSU から E-MAC-0 に対し転送 FIFO への書き込みができなくなることを予告通知します。その後、転送 FIFO の書き込み容量が本しきい値を 16 バイト下回ると予告通知を停止します。</p> <p>H'00 を設定したときは、常に TSU から E-MAC-0 に対し転送 FIFO への書き込みができなくなることを予告通知します。設定値が TSU_FCM の FCM[2:0] で設定した 0 1 系転送 FIFO 容量以上 (同じ値を含む) のときは、TSU は E-MAC-0 に対し転送 FIFO への書き込みができなくなることを予告通知しません。</p> <p>いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込み動作を禁止します。</p> <p>また、転送動作のイネーブルビット (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1) を 0 にクリアしたときは、TSU から E-MAC-0 に対する転送 FIFO への書き込み不可の予告通知は停止します。</p>

23.3.34 転送 FIFO オーバフロー予告制御設定レジスタ (1 系) (TSU_BSYSL1)

TSU は、転送動作時に転送 FIFO 内に書き込まれたデータ量があるしきい値を超えると、E-MAC-0/1 に対し、転送 FIFO への書き込みができなくなることを予告通知する機能を有しています。TSU_BSYSL1 は、転送動作時 TSU から E-MAC-1 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの転送 FIFO のしきい値を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	BSYSL1[5:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	BSYSL1 [5:0]	すべて 1	R/W	<p>転送動作時、TSU から E-MAC-1 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの 1 0 系転送 FIFO 容量のしきい値を 256 バイト単位で設定します。</p> <p>H'00 : 0 バイト H'01 : 256 バイト H'02 : 512 バイト : : H'16 : 5632 バイト H'17 : 5888 バイト</p> <p>H'18 ~ H'3F は、設定無効です (予告通知は常に行いません)。</p> <p>転送 FIFO の書き込み容量が、本ビットで設定したしきい値を超えると、TSU から E-MAC-1 に対し転送 FIFO への書き込みができなくなることを予告通知します。その後、転送 FIFO の書き込み容量が本しきい値を 16 バイト下回ると予告通知を停止します。</p> <p>H'00 を設定したときは、常に TSU から E-MAC-1 に対し転送 FIFO への書き込みができなくなることを予告通知します。設定値が TSU_FCM の FCM2 ~ FCM0 で設定した 1 0 系転送 FIFO 容量以上 (同じ値を含む) のときは、TSU は E-MAC-1 に対し転送 FIFO への書き込みができなくなることを予告通知しません。</p> <p>いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込み動作を禁止します。</p> <p>また、転送動作のイネーブルビット (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1) を 0 にクリアしたときは、TSU から E-MAC-1 に対する転送 FIFO への書き込み不可の予告通知は停止します。</p>

23.3.35 送信・転送優先制御モードレジスタ (0系) (TSU_PRISL0)

TSU_PRISL0 は、E-MAC-0 への E-DMAC からの送信要求と 1 0 系転送動作が競合したときの、優先制御モードを設定します。いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PRIMD0[2:0]			-	-	-	-	PRISL0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14~12	PRIMD0 [2:0]	すべて 0	R/W	E-MAC-0 の送信と 1 0 系転送動作の優先制御モードを設定します。 H'0 : ラウンドロビン H'1 : 送信優先 H'2 : 転送優先 H'4 : ラウンドロビン、ただし転送 FIFO 使用量が PRISL0[7:0] の設定値を超えると転送優先に切り替え H'5 : 送信優先、ただし転送 FIFO 使用量が PRISL0[7:0] の設定値を超えると転送優先に切り替え その他 : 設定禁止
11~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	PRISL0[7:0]	すべて 0	R/W	PRIMD0[2:0] を H'4 または H'5 に設定したとき、転送優先への切り替えが生じる際の 1 0 系転送 FIFO 容量のしきい値を 64 バイト単位で設定します。 H'00 : 0 バイト H'01 : 64 バイト H'02 : 128 バイト : : H'5E : 6016 バイト H'5F : 6080 バイト H'60 ~ H'FF は、設定禁止です。 H'00 を設定したときは、常に転送優先となります。設定値が TSU_FCM の FCM[2:0] で設定した 1 0 系転送 FIFO 容量以上のときは、PRIMD0[2:0] が H'4 の場合は常にラウンドロビンに、PRIMD0[2:0] が H'5 の場合は常に送信優先になります。

23.3.36 送信・転送優先制御モードレジスタ (1系) (TSU_PRISL1)

TSU_PRISL1 は、E-MAC-1 への E-DMAC からの送信要求と 0 1 系転送動作が競合したときの、優先制御モードを設定します。いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PRIMD1[2:0]			-	-	-	-	PRISL1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14~12	PRIMD1 [2:0]	すべて 0	R/W	E-MAC-1 の送信と 0 1 系転送動作の優先制御モードを設定します。 H'0 : ラウンドロビン H'1 : 送信優先 H'2 : 転送優先 H'4 : ラウンドロビン、ただし転送 FIFO 使用量が PRISL1[7:1] の設定値を超えると転送優先に切り替え H'5 : 送信優先、ただし転送 FIFO 使用量が PRISL1[7:0] の設定値を超えると転送優先に切り替え その他 : 設定禁止
11~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	PRISL1[7:0]	すべて 0	R/W	PRIMD1[2:0] を H'4 または H'5 に設定したとき、転送優先への切り替えが生じる際の 0 1 系転送 FIFO 容量のしきい値を 64 バイト単位で設定します。 H'00 : 0 バイト H'01 : 64 バイト H'02 : 128 バイト : : H'5E : 6016 バイト H'5F : 6080 バイト H'60 ~ H'FF は、は設定禁止です。 H'00 を設定したときは、常に転送優先となります。設定値が TSU_FCM の FCM[2:0] で設定した 0 1 系転送 FIFO 容量以上のときは、PRIMD[2:0] が H'4 の場合は常にラウンドロビンに、PRIMD[2:0] が H'5 の場合は常に送信優先になります。

23.3.37 受信・転送機能設定レジスタ (0 1 系) (TSU_FWSL0)

TSU_FWSL0 は、0 系受信および 0 1 系転送動作に際し、フレーム種別ごとの処理方法 (転送または転送禁止) を設定します。転送処理に際し、マルチキャストフレームと宛先が本 LSI 以外のフレームについては CAM の判定を参照して処理方法を決定することができます (詳細は、「23.4.5 CAM 機能」を参照してください)。いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FW50	FW40	FW30	FW20	FW10	-	-	-	RMSA0	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	FW50	0	R/W	0 系からのフレームが MAC コントロールフレームのときの処理方法を設定します。 0: フレームを転送しない 1: フレームを 1 系に転送
11	FW40	0	R/W	0 系からのフレームが本 LSI 宛のときの処理方法を設定します。 0: フレームを転送しない 1: フレームを 1 系に転送
10	FW30	0	R/W	0 系からのフレームが Broadcast のときの処理方法を設定します。 0: フレームを転送しない 1: フレームを 1 系に転送
9	FW20	0	R/W	0 系からのフレームがマルチキャストのときの処理方法を設定します。 0: CAM ヒット: フレームを 1 系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを 1 系に転送
8	FW10	0	R/W	0 系からのフレームの宛先が本 LSI 以外のときの処理方法を設定します。 0: CAM ヒット: フレームを 1 系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを 1 系に転送

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RMSA0	0	R/W	0 系からの受信フレームの SA (ソースアドレス) がエントリテーブルに登録されていない場合の処理方法を設定します。 0 : フレームを受信しない 1 : フレームを受信する。 ただし、VLANtag 判定により破棄となったフレームは受信しません。 ソースアドレスがエントリテーブルに未登録のフレームを受信した場合は、フレームを受信するしないにかかわらずキャリア拡張エラーを発行します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

23.3.38 受信・転送機能設定レジスタ (10系) (TSU_FWSL1)

TSU_FWSL1 は、1系受信および10系転送動作に際し、フレーム種別ごとの処理方法（転送または転送禁止）を設定します。転送処理に際し、マルチキャストフレームと宛先が本 LSI 以外のフレームについては CAM の判定を参照して処理方法を決定することができます（詳細は、「23.4.5 CAM 機能」を参照してください）。いったん転送動作を許可した後（TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後）の本レジスタへの書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FW51	FW41	FW31	FW21	FW11	-	-	-	RMSA1	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	FW51	0	R/W	1系からのフレームがMACコントロールフレームのときの処理方法を設定します。 0: フレームを転送しない 1: フレームを0系に転送
11	FW41	0	R/W	1系からのフレームが本 LSI 宛のときの処理方法を設定します。 0: フレームを転送しない 1: フレームを0系に転送
10	FW31	0	R/W	1系からのフレームが Broadcast のときの処理方法を設定します。 0: フレームを転送しない 1: フレームを0系に転送
9	FW21	0	R/W	1系からのフレームがマルチキャストのときの処理方法を設定します。 0: CAM ヒット: フレームを0系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを0に転送
8	FW11	0	R/W	1系からのフレームの宛先が本 LSI 以外のときの処理方法を設定します。 0: CAM ヒット: フレームを0系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを0に転送

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RMSA1	0	R/W	1 系からの受信フレームの SA (ソースアドレス) がエントリテーブルに登録されていない場合の処理方法を設定します。 0 : フレームを受信しない 1 : フレームを受信する ただし、VLANtag 判定により破棄となったフレームは受信しません。 ソースアドレスがエントリテーブルに未登録のフレームを受信した場合は、フレームを受信するしないにかかわらずキャリア拡張エラーを発行します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

23.3.39 転送機能設定レジスタ (共通) (TSU_FWSLC)

CAMを使用する場合は、TSU_POST1～TSU_POST4レジスタにより、CAMエントリテーブル中の参照する部分 (一部または全部) を指定することができます。TSU_FWSLCは、TSU_POST1～TSU_POST4レジスタによる設定のイネーブルを設定します。いったん転送動作を許可した後 (TSU_FWEN0のFWEN0またはTSU_FWEN1のFWEN1を1にセットした後) の本レジスタへの書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	POST ENU	POST ENL	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
13	POSTENU	0	R/W	CAMエントリテーブル0～15のPOSTフィールド設定 (TSU_POST1およびTSU_POST2レジスタによる設定) を有効にします。 0: POSTフィールド設定無効 (CAMエントリテーブルは、0系受信時のみ参照) 1: POSTフィールド設定有効 (CAMエントリテーブル参照条件は、POSTフィールド設定に従う)
12	POSTENL	0	R/W	CAMエントリテーブル16～31のPOSTフィールド設定 (TSU_POST3およびTSU_POST4レジスタによる設定) を有効にします。 0: POSTフィールド設定無効 (CAMエントリテーブルは、1系受信時のみ参照) 1: POSTフィールド設定有効 (CAMエントリテーブル参照条件は、POSTフィールド設定に従う)
11～0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

23.3.40 Qtag 追加・削除設定レジスタ (0 1 系) (TSU_QTAG0)

TSU_QTAGM0 は、0 1 系転送動作の際の通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への Qtag 追加機能、および IEEE802.1Q 対応フレーム (Qtag 付き) から通常のイーサネットフレーム (Qtag なし) への Qtag 削除機能を設定します。いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	QTAG0[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	QTAG0 [2:0]	すべて 0	R/W	0 1 系転送動作時の Qtag 追加および削除機能を設定します。 H'0 : Qtag 追加および削除機能なし H'1 : Qtag 追加および削除機能なし H'2 : Qtag 付きフレームから Qtag を削除 H'3 : Qtag なしフレームに Qtag を追加 (MAC コントロールフレームに追加なし) H'4 : Qtag 追加および削除機能なし H'5 : 設定禁止 H'6 : 設定禁止 H'7 : Qtag なしフレームに Qtag を追加 (MAC コントロールフレームに追加あり) いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

23.3.41 Qtag 追加・削除設定レジスタ (1 0 系) (TSU_QTAG1)

TSU_QTAG1 は、1 0 系転送動作の際の通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への Qtag 追加機能、および IEEE802.1Q 対応フレーム (Qtag 付き) から通常のイーサネットフレーム (Qtag なし) への Qtag 削除機能を設定します。いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	QTAG1[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	QTAG1[2:0]	すべて 0	R/W	1 0 系転送動作時の Qtag 追加および削除機能を設定します。 H'0 : Qtag 追加および削除機能なし H'1 : Qtag 追加および削除機能なし H'2 : Qtag 付きフレームから Qtag を削除 H'3 : Qtag なしフレームに Qtag を追加 (MAC コントロールフレームに追加なし) H'4 : Qtag 追加および削除機能なし H'5 : 設定禁止 H'6 : 設定禁止 H'7 : Qtag なしフレームに Qtag を追加 (MAC コントロールフレームに追加あり) いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

23.3.42 転送ステータスレジスタ (TSU_FWSR)

TSU_FWSR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、転送動作中のステータスを表示します。本ステータスは、転送ステータス割り込みマスクレジスタ (TSU_FWINMK) を設定することにより、割り込み要因として CPU に通知することが可能です。1 にセットされたステータスビットは、該当ビットに 1 を書き込むことにより、0 にクリアされます (ステータスビットは、0 クリアされるまで値を保持します)。

本ステータスレジスタが要因で発生する割り込みは、EINT2 となります。割り込みの優先順位については、「9.4.6 割り込み例外処理と優先順位」を参照ください。

また、転送動作中に、RBSY1、RBSY0 以外のエラーが発生した場合、転送フレームは削除されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	OVF0	RBSY 0	RINT 60	RINT 50	RINT 40	RINT 30	RINT 20	RINT 10	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	OVF1	RBSY 1	RINT 61	RINT 51	RINT 41	RINT 31	RINT 21	RINT 11
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	OVF0	0	R/W	0 1 系転送 FIFO オーバフロー検出 0 1 系転送 FIFO にオーバフローが発生したときは、1 にセットされます。
22	RBSY0	0	R/W	E-MAC-0 オーバフロー予告信号出力 TSU_BSYSL0 のしきい値が有効で、そのしきい値を超えたときに、1 にセットされます。
21	RINT60	0	R/W	E-MAC-0 キャリア拡張消失エラー検出 E-MAC-0 にて、キャリア拡張を消失したフレームを受信したときは、1 にセットされます。
20	RINT50	0	R/W	E-MAC-0 端数ビットフレーム受信 E-MAC-0 にて、8 ビットに満たない端数ビットデータを含むフレームを受信したときは、1 にセットされます。
19	RINT40	0	R/W	E-MAC-0 指定バイト超フレーム受信 E-MAC-0 にて、RFLR0 の設定値を超えるフレームを受信したときは、1 にセットされます。
18	RINT30	0	R/W	E-MAC-0 64 バイト未満フレーム受信 E-MAC-0 にて、64 バイト未満のフレームを受信したときは、1 にセットされま す。

ビット	ビット名	初期値	R/W	説 明
17	RINT20	0	R/W	E-MAC-0 フレーム受信エラー E-MAC-0 にて、PHY-LSI から入力される RX-ER 端子による受信エラーが検出されたときは、1 にセットされます。
16	RINT10	0	R/W	E-MAC-0 CRC エラーフレーム受信 E-MAC-0 にて、受信フレームが CRC エラーとなったときは、1 にセットされます。
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	OVF1	0	R/W	1 0 系転送 FIFO オーバフロー検出 1 0 系転送 FIFO にオーバフローが発生したときは、1 にセットされます。
6	RBSY1	0	R/W	E-MAC-1 オーバフロー予告信号出力 TSU_BSYSL1 のしきい値が有効で、そのしきい値を超えたときに、1 にセットされます。
5	RINT61	0	R/W	E-MAC-1 キャリア拡張消失エラー検出 E-MAC-1 にて、キャリア拡張を消失したフレームを受信したときは、1 にセットされます。
4	RINT51	0	R/W	E-MAC-1 端数ビットフレーム受信 E-MAC-1 にて、8 ビットに満たない端数ビットデータを含むフレームを受信したときは、1 にセットされます。
3	RINT41	0	R/W	E-MAC-1 指定バイト超フレーム受信 E-MAC-1 にて、RFLR1 の設定値を超えるフレームを受信したときは、1 にセットされます。
2	RINT31	0	R/W	E-MAC-1 64 バイト未満フレーム受信 E-MAC-1 にて、64 バイト未満のフレームを受信したときは、1 にセットされます。
1	RINT21	0	R/W	E-MAC-1 フレーム受信エラー E-MAC-1 にて、PHY-LSI から入力される RX-ER 端子による受信エラーが検出されたときは、1 にセットされます。
0	RINT11	0	R/W	E-MAC-1 CRC エラーフレーム受信 E-MAC-1 にて、受信フレームが CRC エラーとなったときは、1 にセットされます。

23.3.43 転送ステータス割り込みマスクレジスタ (TSU_FWINMK)

TSU_FWINMK は、読み出しましたは書き込み可能な 32 ビットのレジスタで、TSU_FWSR の各ステータスビットに対する割り込みマスクを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	OVFM	RBSYM	RINTM	RINTM	RINTM	RINTM	RINTM	RINTM
	0	0	0	0	0	0	0	0	0	0	60	50	40	30	20	10
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	OVFM	RBSYM	RINTM	RINTM	RINTM	RINTM	RINTM	RINTM
	0	0	0	0	0	0	0	0	1	1	61	51	41	31	21	11
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	OVFM0	0	R/W	0 1 系転送 FIFO オーバフロー検出割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
22	RBSYM0	0	R/W	E-MAC-0 オーバフロー予告信号出力割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
21	RINTM60	0	R/W	E-MAC-0 キャリア拡張消失割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
20	RINTM50	0	R/W	E-MAC-0 端数ビットフレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
19	RINTM40	0	R/W	E-MAC-0 指定バイト超フレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
18	RINTM30	0	R/W	E-MAC-0 64 バイト未満フレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
17	RINTM20	0	R/W	E-MAC-0 フレーム受信エラー割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可

ビット	ビット名	初期値	R/W	説 明
16	RINTM10	0	R/W	E-MAC-0 CRC エラーフレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	OVFM1	0	R/W	1 0 系転送 FIFO オーバフロー検出割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
6	RBSYM1	0	R/W	E-MAC-1 オーバフロー予告信号出力割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
5	RINTM61	0	R/W	E-MAC-1 キャリア拡張消失割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
4	RINTM51	0	R/W	E-MAC-1 端数ビットフレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
3	RINTM41	0	R/W	E-MAC-1 指定バイト超フレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
2	RINTM31	0	R/W	E-MAC-1 64 バイト未満フレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
1	RINTM21	0	R/W	E-MAC-1 フレーム受信エラー割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
0	RINTM11	0	R/W	E-MAC-1 CRC エラーフレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可

23.3.44 追加 Qtag 値設定レジスタ (0 1 系) (TSU_ADQT0)

TSU_ADQT0 は、0 1 系転送動作で通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への変換操作の際 (Qtag 追加機能を用いる場合で、TSU_QTAG0 の QTAG0[2:0] ビットを H'3 あるいは H'7 に設定した際)、追加する Qtag のデータを設定します。いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	QTAG0[31:16]															
初期値 :	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QTAG0[15:13]			-	QTAG0[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	QTAG0 [31:16]	H'8100	R/W	上位 16 ビット (QTAG0[31:16]) の書き込む値は、必ず H'8100 としてください (Qtag の拡張フレームフォーマットであることを表します)。リード時に読み出される値は、H'8100 となります。
15~13	QTAG0 [15:13]	H'0	R/W	優先順位設定 (PRT) Qtag 付きフレームの処理優先順位を設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。
12	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	QTAG0 [11:0]	H'000	R/W	V-LAN ID 設定 (VID) Qtag 付きフレームを、V-LAN をサポートするシステムで扱う場合に設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。

23.3.45 追加 Qtag 値設定レジスタ (10系) (TSU_ADQT1)

TSU_ADQT1 は、10系転送動作で通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への変換操作の際 (Qtag 追加機能を用いる場合で、TSU_QTAG1 の QTAG1[2:0] ビットを H'3 または H'7 に設定した際) 追加する Qtag のデータを設定します。いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	QTAG1[31:16]															
初期値 :	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QTAG1[15:13]			-	QTAG1[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	QTAG1 [31:16]	H'8100	R/W	上位 16 ビット (QTAG1[31:16]) の書き込む値は必ず H'8100 としてください (Qtag の拡張フレームフォーマットであることを表します)。読み出し時に読み出される値は、H'8100 となります。
15~13	QTAG1 [15:13]	H'0	R/W	優先順位設定 (PRT) Qtag 付きフレームの処理優先順位を設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。
12	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	QTAG1 [11:0]	H'000	R/W	V-LAN ID 設定 (VID) Qtag 付きフレームを、V-LAN をサポートするシステムで扱う場合に設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。

23.3.46 VLANtag 設定レジスタ (0系) (TSU_VTAG0)

TSU_VTAG0は、0系受信動作で、VLAN 番号によるフレームの受信 / 破棄判定機能を有効にするか、また、そのときの VLAN 番号を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VTAG 0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	VID0[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	VTAG0	0	R/W	0系 VLANtag 判定機能 0 : VLAN 番号によるフレームの受信 / 破棄判定機能を無効にします 1 : VLAN 番号によるフレームの受信 / 破棄判定機能を有効にします
30~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11~0	VID0	すべて0	R/W	V-LAN ID 設定 (VID) 0系受信フレームの受信する VLAN 番号を設定します。

23.3.47 VLANtag 設定レジスタ (1系) (TSU_VTAG1)

TSU_VTAG1 は、1系受信動作で、VLAN 番号によるフレームの受信 / 破棄判定機能を有効にするか、また、そのときの VLAN 番号を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VTAG 1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	VID1[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	VTAG1	0	R/W	1系 VLANtag 判定機能 0 : VLAN 番号によるフレームの受信 / 破棄判定機能を無効にします。 1 : VLAN 番号によるフレームの受信 / 破棄判定機能を有効にします。
30~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11~0	VID1	すべて0	R/W	V-LAN ID 設定 (VID) 1系受信フレームの受信する VLAN 番号を設定します。

23.3.48 CAM エントリテーブル設定ビジーレジスタ (TSU_ADSBSY)

CAM エントリテーブルレジスタ (TSU_ADRH0 ~ TSU_ADRH31、TSU_ADRL0 ~ TSU_ADRL31) をレジスタ書き込みで設定すると、本レジスタの ADSBSY ビットが 1 にセットされます (TSU 内部で CAM エントリテーブルレジスタの内容を CAM 制御部へ反映させる作業が完了すると、ADSBSY ビットは自動的に 0 に復帰します)。本レジスタの ADSBSY ビットが 1 にセットされている期間は、TSU_ADRH0 ~ TSU_ADRH31 および TSU_ADRL0 ~ TSU_ADRL31 へのアクセスを禁止します。本レジスタは、読み出し専用のステータスレジスタです。書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ADSBSY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み動作は禁止します。
0	ADSBSY	0	R	CAM エントリテーブル設定ビジー TSU_ADRH0 ~ TSU_ADRH31 および TSU_ADRL0 ~ TSU_ADRL31 をレジスタライトで設定すると、1 にセットされます。TSU 内部で CAM エントリテーブルレジスタの内容を CAM 制御部へ反映させる作業が完了すると、ADSBSY ビットは自動的に 0 に復帰します。本ビットが 1 にセットされている期間は、TSU_ADRH0 ~ TSU_ADRH31 および TSU_ADRL0 ~ TSU_ADRL31 へのアクセスを禁止します。本レジスタへの書き込み動作は、禁止します。

23.3.49 CAM エントリテーブルイネーブル設定レジスタ (TSU_TEN)

TSU_TEN は、TSU_ADRH0 ~ TSU_ADRH31 および TSU_ADRL0 ~ TSU_ADRL31 の有効または無効を設定するレジスタです。

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

TEN0	TEN1	TEN2	TEN3	TEN4	TEN5	TEN6	TEN7	TEN8	TEN9	TEN10	TEN11	TEN12	TEN13	TEN14	TEN15
------	------	------	------	------	------	------	------	------	------	-------	-------	-------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TEN16	TEN17	TEN18	TEN19	TEN20	TEN21	TEN22	TEN23	TEN24	TEN25	TEN26	TEN27	TEN28	TEN29	TEN30	TEN31
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31	TEN0	0	R/W	CAM エントリテーブル 0 (TSU_ADRH0、TSU_ADRL0) 設定 0 : 無効 1 : 有効
30	TEN1	0	R/W	CAM エントリテーブル 1 (TSU_ADRH1、TSU_ADRL1) 設定 0 : 無効 1 : 有効
29	TEN2	0	R/W	CAM エントリテーブル 2 (TSU_ADRH2、TSU_ADRL2) 設定 0 : 無効 1 : 有効
28	TEN3	0	R/W	CAM エントリテーブル 3 (TSU_ADRH3、TSU_ADRL3) 設定 0 : 無効 1 : 有効
27	TEN4	0	R/W	CAM エントリテーブル 4 (TSU_ADRH4、TSU_ADRL4) 設定 0 : 無効 1 : 有効
26	TEN5	0	R/W	CAM エントリテーブル 5 (TSU_ADRH5、TSU_ADRL5) 設定 0 : 無効 1 : 有効
25	TEN6	0	R/W	CAM エントリテーブル 6 (TSU_ADRH6、TSU_ADRL6) 設定 0 : 無効 1 : 有効
24	TEN7	0	R/W	CAM エントリテーブル 7 (TSU_ADRH7、TSU_ADRL7) 設定 0 : 無効 1 : 有効

ビット	ビット名	初期値	R/W	説 明
23	TEN8	0	R/W	CAM エントリテーブル 8 (TSU_ADRH8、TSU_ADRL8) 設定 0: 無効 1: 有効
22	TEN9	0	R/W	CAM エントリテーブル 9 (TSU_ADRH9、TSU_ADRL9) 設定 0: 無効 1: 有効
21	TEN10	0	R/W	CAM エントリテーブル 10 (TSU_ADRH10、TSU_ADRL10) 設定 0: 無効 1: 有効
20	TEN11	0	R/W	CAM エントリテーブル 11 (TSU_ADRH11、TSU_ADRL11) 設定 0: 無効 1: 有効
19	TEN12	0	R/W	CAM エントリテーブル 12 (TSU_ADRH12、TSU_ADRL12) 設定 0: 無効 1: 有効
18	TEN13	0	R/W	CAM エントリテーブル 13 (TSU_ADRH13、TSU_ADRL13) 設定 0: 無効 1: 有効
17	TEN14	0	R/W	CAM エントリテーブル 14 (TSU_ADRH14、TSU_ADRL14) 設定 0: 無効 1: 有効
16	TEN15	0	R/W	CAM エントリテーブル 15 (TSU_ADRH15、TSU_ADRL15) 設定 0: 無効 1: 有効
15	TEN16	0	R/W	CAM エントリテーブル 16 (TSU_ADRH16、TSU_ADRL16) 設定 0: 無効 1: 有効
14	TEN17	0	R/W	CAM エントリテーブル 17 (TSU_ADRH17、TSU_ADRL17) 設定 0: 無効 1: 有効
13	TEN18	0	R/W	CAM エントリテーブル 18 (TSU_ADRH18、TSU_ADRL18) 設定 0: 無効 1: 有効
12	TEN19	0	R/W	CAM エントリテーブル 19 (TSU_ADRH19、TSU_ADRL19) 設定 0: 無効 1: 有効

ビット	ビット名	初期値	R/W	説明
11	TEN20	0	R/W	CAM エントリテーブル 20 (TSU_ADRH20、TSU_ADRL20) 設定 0: 無効 1: 有効
10	TEN21	0	R/W	CAM エントリテーブル 21 (TSU_ADRH21、TSU_ADRL21) 設定 0: 無効 1: 有効
9	TEN22	0	R/W	CAM エントリテーブル 22 (TSU_ADRH22、TSU_ADRL22) 設定 0: 無効 1: 有効
8	TEN23	0	R/W	CAM エントリテーブル 23 (TSU_ADRH23、TSU_ADRL23) 設定 0: 無効 1: 有効
7	TEN24	0	R/W	CAM エントリテーブル 24 (TSU_ADRH24、TSU_ADRL24) 設定 0: 無効 1: 有効
6	TEN25	0	R/W	CAM エントリテーブル 25 (TSU_ADRH25、TSU_ADRL25) 設定 0: 無効 1: 有効
5	TEN26	0	R/W	CAM エントリテーブル 26 (TSU_ADRH26、TSU_ADRL26) 設定 0: 無効 1: 有効
4	TEN27	0	R/W	CAM エントリテーブル 27 (TSU_ADRH27、TSU_ADRL27) 設定 0: 無効 1: 有効
3	TEN28	0	R/W	CAM エントリテーブル 28 (TSU_ADRH28、TSU_ADRL28) 設定 0: 無効 1: 有効
2	TEN29	0	R/W	CAM エントリテーブル 29 (TSU_ADRH29、TSU_ADRL29) 設定 0: 無効 1: 有効
1	TEN30	0	R/W	CAM エントリテーブル 30 (TSU_ADRH30、TSU_ADRL30) 設定 0: 無効 1: 有効
0	TEN31	0	R/W	CAM エントリテーブル 31 (TSU_ADRH31、TSU_ADRL31) 設定 0: 無効 1: 有効

23.3.50 CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1)

CAM を使用する場合は、TSU_POST1 ~ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST1 は、TSU_ADRH0 ~ TSU_ADRH7 および TSU_ADRL0 ~ TSU_ADRL7 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST0[3:0]				POST1[3:0]				POST2[3:0]				POST3[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST4[3:0]				POST5[3:0]				POST6[3:0]				POST7[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	POST0 [3:0]	すべて 0	R/W	CAM エントリテーブル 0 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST0[3]: 0 系の受信時に CAM エントリテーブル 0 を参照 POST0[2]: 0 1 系の転送時に CAM エントリテーブル 0 を参照 POST0[1]: 1 系の受信時に CAM エントリテーブル 0 を参照 POST0[0]: 1 0 系の転送時に CAM エントリテーブル 0 を参照
27 ~ 24	POST1 [3:0]	すべて 0	R/W	CAM エントリテーブル 1 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST1[3]: 0 系の受信時に CAM エントリテーブル 1 を参照 POST1[2]: 0 1 系の転送時に CAM エントリテーブル 1 を参照 POST1[1]: 1 系の受信時に CAM エントリテーブル 1 を参照 POST1[0]: 1 0 系の転送時に CAM エントリテーブル 1 を参照
23 ~ 20	POST2 [3:0]	すべて 0	R/W	CAM エントリテーブル 2 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST2[3]: 0 系の受信時に CAM エントリテーブル 2 を参照 POST2[2]: 0 1 系の転送時に CAM エントリテーブル 2 を参照 POST2[1]: 1 系の受信時に CAM エントリテーブル 2 を参照 POST2[0]: 1 0 系の転送時に CAM エントリテーブル 2 を参照
19 ~ 16	POST3 [3:0]	すべて 0	R/W	CAM エントリテーブル 3 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST3[3]: 0 系の受信時に CAM エントリテーブル 3 を参照 POST3[2]: 0 1 系の転送時に CAM エントリテーブル 3 を参照 POST3[1]: 1 系の受信時に CAM エントリテーブル 3 を参照 POST3[0]: 1 0 系の転送時に CAM エントリテーブル 3 を参照

ビット	ビット名	初期値	R/W	説明
15~12	POST4 [3:0]	すべて 0	R/W	<p>CAM エントリテーブル 4 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。</p> <p>POST4[3] : 0 系の受信時に CAM エントリテーブル 4 を参照 POST4[2] : 0 1 系の転送時に CAM エントリテーブル 4 を参照 POST4[1] : 1 系の受信時に CAM エントリテーブル 4 を参照 POST4[0] : 1 0 系の転送時に CAM エントリテーブル 4 を参照</p>
11~8	POST5 [3:0]	すべて 0	R/W	<p>CAM エントリテーブル 5 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。</p> <p>POST5[3] : 0 系の受信時に CAM エントリテーブル 5 を参照 POST5[2] : 0 1 系の転送時に CAM エントリテーブル 5 を参照 POST5[1] : 1 系の受信時に CAM エントリテーブル 5 を参照 POST5[0] : 1 0 系の転送時に CAM エントリテーブル 5 を参照</p>
7~4	POST6 [3:0]	すべて 0	R/W	<p>CAM エントリテーブル 6 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。</p> <p>POST6[3] : 0 系の受信時に CAM エントリテーブル 6 を参照 POST6[2] : 0 1 系の転送時に CAM エントリテーブル 6 を参照 POST6[1] : 1 系の受信時に CAM エントリテーブル 6 を参照 POST6[0] : 1 0 系の転送時に CAM エントリテーブル 6 を参照</p>
3~0	POST7 [3:0]	すべて 0	R/W	<p>CAM エントリテーブル 7 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。</p> <p>POST7[3] : 0 系の受信時に CAM エントリテーブル 7 を参照 POST7[2] : 0 1 系の転送時に CAM エントリテーブル 7 を参照 POST7[1] : 1 系の受信時に CAM エントリテーブル 7 を参照 POST7[0] : 1 0 系の転送時に CAM エントリテーブル 7 を参照</p>

23.3.51 CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2)

CAM を使用する場合は、TSU_POST1 ~ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST2 は、TSU_ADRH8 ~ TSU_ADRH15 および TSU_ADRL8 ~ TSU_ADRL15 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST8[3:0]				POST9[3:0]				POST10[3:0]				POST11[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST12[3:0]				POST13[3:0]				POST14[3:0]				POST15[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	POST8 [3:0]	すべて 0	R/W	CAM エントリテーブル 8 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST8[3] : 0 系の受信時に CAM エントリテーブル 8 を参照 POST8[2] : 0 1 系の転送時に CAM エントリテーブル 8 を参照 POST8[1] : 1 系の受信時に CAM エントリテーブル 8 を参照 POST8[0] : 1 0 系の転送時に CAM エントリテーブル 8 を参照
27 ~ 24	POST9 [3:0]	すべて 0	R/W	CAM エントリテーブル 9 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST9[3] : 0 系の受信時に CAM エントリテーブル 9 を参照 POST9[2] : 0 1 系の転送時に CAM エントリテーブル 9 を参照 POST9[1] : 1 系の受信時に CAM エントリテーブル 9 を参照 POST9[0] : 1 0 系の転送時に CAM エントリテーブル 9 を参照
23 ~ 20	POST10 [3:0]	すべて 0	R/W	CAM エントリテーブル 10 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST10[3] : 0 系の受信時に CAM エントリテーブル 10 を参照 POST10[2] : 0 1 系の転送時に CAM エントリテーブル 10 を参照 POST10[1] : 1 系の受信時に CAM エントリテーブル 10 を参照 POST10[0] : 1 0 系の転送時に CAM エントリテーブル 10 を参照
19 ~ 16	POST11 [3:0]	すべて 0	R/W	CAM エントリテーブル 11 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST11[3] : 0 系の受信時に CAM エントリテーブル 11 を参照 POST11[2] : 0 1 系の転送時に CAM エントリテーブル 11 を参照 POST11[1] : 1 系の受信時に CAM エントリテーブル 11 を参照 POST11[0] : 1 0 系の転送時に CAM エントリテーブル 11 を参照

ビット	ビット名	初期値	R/W	説明
15~12	POST12 [3:0]	すべて0	R/W	CAM エントリテーブル 12 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST12[3] : 0 系の受信時に CAM エントリテーブル 12 を参照 POST12[2] : 0 1 系の転送時に CAM エントリテーブル 12 を参照 POST12[1] : 1 系の受信時に CAM エントリテーブル 12 を参照 POST12[0] : 1 0 系の転送時に CAM エントリテーブル 12 を参照
11~8	POST13 [3:0]	すべて0	R/W	CAM エントリテーブル 13 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST13[3] : 0 系の受信時に CAM エントリテーブル 13 を参照 POST13[2] : 0 1 系の転送時に CAM エントリテーブル 13 を参照 POST13[1] : 1 系の受信時に CAM エントリテーブル 13 を参照 POST13[0] : 1 0 系の転送時に CAM エントリテーブル 13 を参照
7~4	POST14 [3:0]	すべて0	R/W	CAM エントリテーブル 14 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST14[3] : 0 系の受信時に CAM エントリテーブル 14 を参照 POST14[2] : 0 1 系の転送時に CAM エントリテーブル 14 を参照 POST14[1] : 1 系の受信時に CAM エントリテーブル 14 を参照 POST14[0] : 1 0 系の転送時に CAM エントリテーブル 14 を参照
3~0	POST15 [3:0]	すべて0	R/W	CAM エントリテーブル 15 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST15[3] : 0 系の受信時に CAM エントリテーブル 15 を参照 POST15[2] : 0 1 系の転送時に CAM エントリテーブル 15 を参照 POST15[1] : 1 系の受信時に CAM エントリテーブル 15 を参照 POST15[0] : 1 0 系の転送時に CAM エントリテーブル 15 を参照

23.3.52 CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3)

CAM を使用する場合は、TSU_POST1 ~ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST3 は、TSU_ADRH16 ~ TSU_ADRH23 および TSU_ADRL16 ~ TSU_ADRL23 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENL ビットが 1 のとき有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST16[3:0]				POST17[3:0]				POST18[3:0]				POST19[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST20[3:0]				POST21[3:0]				POST22[3:0]				POST23[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	POST16 [3:0]	すべて 0	R/W	CAM エントリテーブル 16 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST16[3] : 0 系の受信時に CAM エントリテーブル 16 を参照 POST16[2] : 0 1 系の転送時に CAM エントリテーブル 16 を参照 POST16[1] : 1 系の受信時に CAM エントリテーブル 16 を参照 POST16[0] : 1 0 系の転送時に CAM エントリテーブル 16 を参照
27 ~ 24	POST17 [3:0]	すべて 0	R/W	CAM エントリテーブル 17 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST17[3] : 0 系の受信時に CAM エントリテーブル 17 を参照 POST17[2] : 0 1 系の転送時に CAM エントリテーブル 17 を参照 POST17[1] : 1 系の受信時に CAM エントリテーブル 17 を参照 POST17[0] : 1 0 系の転送時に CAM エントリテーブル 17 を参照
23 ~ 20	POST18 [3:0]	すべて 0	R/W	CAM エントリテーブル 18 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST18[3] : 0 系の受信時に CAM エントリテーブル 18 を参照 POST18[2] : 0 1 系の転送時に CAM エントリテーブル 18 を参照 POST18[1] : 1 系の受信時に CAM エントリテーブル 18 を参照 POST18[0] : 1 0 系の転送時に CAM エントリテーブル 18 を参照
19 ~ 16	POST19 [3:0]	すべて 0	R/W	CAM エントリテーブル 19 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST19[3] : 0 系の受信時に CAM エントリテーブル 19 を参照 POST19[2] : 0 1 系の転送時に CAM エントリテーブル 19 を参照 POST19[1] : 1 系の受信時に CAM エントリテーブル 19 を参照 POST19[0] : 1 0 系の転送時に CAM エントリテーブル 19 を参照

ビット	ビット名	初期値	R/W	説明
15~12	POST20 [3:0]	すべて0	R/W	CAM エントリテーブル 20 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST20[3] : 0 系の受信時に CAM エントリテーブル 20 を参照 POST20[2] : 0 1 系の転送時に CAM エントリテーブル 20 を参照 POST20[1] : 1 系の受信時に CAM エントリテーブル 20 を参照 POST20[0] : 1 0 系の転送時に CAM エントリテーブル 20 を参照
11~8	POST21 [3:0]	すべて0	R/W	CAM エントリテーブル 21 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST21[3] : 0 系の受信時に CAM エントリテーブル 21 を参照 POST21[2] : 0 1 系の転送時に CAM エントリテーブル 21 を参照 POST21[1] : 1 系の受信時に CAM エントリテーブル 21 を参照 POST21[0] : 1 0 系の転送時に CAM エントリテーブル 21 を参照
7~4	POST22 [3:0]	すべて0	R/W	CAM エントリテーブル 22 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST22[3] : 0 系の受信時に CAM エントリテーブル 22 を参照 POST22[2] : 0 1 系の転送時に CAM エントリテーブル 22 を参照 POST22[1] : 1 系の受信時に CAM エントリテーブル 22 を参照 POST22[0] : 1 0 系の転送時に CAM エントリテーブル 22 を参照
3~0	POST23 [3:0]	すべて0	R/W	CAM エントリテーブル 23 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST23[3] : 0 系の受信時に CAM エントリテーブル 23 を参照 POST23[2] : 0 1 系の転送時に CAM エントリテーブル 23 を参照 POST23[1] : 1 系の受信時に CAM エントリテーブル 23 を参照 POST23[0] : 1 0 系の転送時に CAM エントリテーブル 23 を参照

23.3.53 CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4)

CAM を使用する場合は、TSU_POST1 ~ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST4 は、TSU_ADRH24 ~ TSU_ADRH31 および TSU_ADRL24 ~ TSU_ADRL31 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENL ビットが 1 のとき有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST24[3:0]				POST25[3:0]				POST26[3:0]				POST27[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST28[3:0]				POST29[3:0]				POST30[3:0]				POST31[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	POST24 [3:0]	すべて 0	R/W	CAM エントリテーブル 24 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST24[3] : 0 系の受信時に CAM エントリテーブル 24 を参照 POST24[2] : 0 1 系の転送時に CAM エントリテーブル 24 を参照 POST24[1] : 1 系の受信時に CAM エントリテーブル 24 を参照 POST24[0] : 1 0 系の転送時に CAM エントリテーブル 24 を参照
27 ~ 24	POST25 [3:0]	すべて 0	R/W	CAM エントリテーブル 25 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST25[3] : 0 系の受信時に CAM エントリテーブル 25 を参照 POST25[2] : 0 1 系の転送時に CAM エントリテーブル 25 を参照 POST25[1] : 1 系の受信時に CAM エントリテーブル 25 を参照 POST25[0] : 1 0 系の転送時に CAM エントリテーブル 25 を参照
23 ~ 20	POST26 [3:0]	すべて 0	R/W	CAM エントリテーブル 26 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST26[3] : 0 系の受信時に CAM エントリテーブル 26 を参照 POST26[2] : 0 1 系の転送時に CAM エントリテーブル 26 を参照 POST26[1] : 1 系の受信時に CAM エントリテーブル 26 を参照 POST26[0] : 1 0 系の転送時に CAM エントリテーブル 26 を参照
19 ~ 16	POST27 [3:0]	すべて 0	R/W	CAM エントリテーブル 27 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST27[3] : 0 系の受信時に CAM エントリテーブル 27 を参照 POST27[2] : 0 1 系の転送時に CAM エントリテーブル 27 を参照 POST27[1] : 1 系の受信時に CAM エントリテーブル 27 を参照 POST27[0] : 1 0 系の転送時に CAM エントリテーブル 27 を参照

ビット	ビット名	初期値	R/W	説明
15~12	POST28 [3:0]	すべて0	R/W	CAM エントリテーブル 28 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST28[3] : 0 系の受信時に CAM エントリテーブル 28 を参照 POST28[2] : 0 1 系の転送時に CAM エントリテーブル 28 を参照 POST28[1] : 1 系の受信時に CAM エントリテーブル 28 を参照 POST28[0] : 1 0 系の転送時に CAM エントリテーブル 28 を参照
11~8	POST29 [3:0]	すべて0	R/W	CAM エントリテーブル 29 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST29[3] : 0 系の受信時に CAM エントリテーブル 29 を参照 POST29[2] : 0 1 系の転送時に CAM エントリテーブル 29 を参照 POST29[1] : 1 系の受信時に CAM エントリテーブル 29 を参照 POST29[0] : 1 0 系の転送時に CAM エントリテーブル 29 を参照
7~4	POST30 [3:0]	すべて0	R/W	CAM エントリテーブル 30 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST30[3] : 0 系の受信時に CAM エントリテーブル 30 を参照 POST30[2] : 0 1 系の転送時に CAM エントリテーブル 30 を参照 POST30[1] : 1 系の受信時に CAM エントリテーブル 30 を参照 POST30[0] : 1 0 系の転送時に CAM エントリテーブル 30 を参照
3~0	POST31 [3:0]	すべて0	R/W	CAM エントリテーブル 31 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST31[3] : 0 系の受信時に CAM エントリテーブル 31 を参照 POST31[2] : 0 1 系の転送時に CAM エントリテーブル 31 を参照 POST31[1] : 1 系の受信時に CAM エントリテーブル 31 を参照 POST31[0] : 1 0 系の転送時に CAM エントリテーブル 31 を参照

23.3.54 CAM エントリテーブル 0 ~ 31H レジスタ (TSU_ADRH0 ~ TSU_ADRH31)

TSU_ADRH0 ~ TSU_ADRH31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの上位 32 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRHn[31:16] (n:0 ~ 31)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRHn[15:0] (n:0 ~ 31)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 0	ADRHn [31:0] (n: 0 ~ 31)	すべて 0	R/W	MAC アドレスビット MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

【注】 CAM エントリテーブルは下記の手順に従って設定してください。

1. TSU_ADSBSY の ADSBSY ビットが 0 であることを確認します。
2. TSU_ADRH0 ~ TSU_ADRH31 により、MAC アドレスの上位 32 ビットを設定します。
3. TSU_ADRL0 ~ TSU_ADRL31 により、MAC アドレスの下部 16 ビットを設定します。

23.3.55 CAM エントリテーブル 0 ~ 31L レジスタ (TSU_ADRL0 ~ TSU_ADRL31)

TSU_ADRL0 ~ TSU_ADRL31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの低位 16 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRLn[15:0] (n:0~31)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15 ~ 0	ADRLn15 ~ ADRLn0 (n: 0 ~ 31)	すべて 0	R/W	MAC アドレスビット MAC アドレスの低位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。

【注】 CAM エントリテーブルは下記の手順に従って設定してください。

1. TSU_ADSBSY の ADSBSY ビットが 0 であることを確認します。
2. TSU_ADRH0 ~ TSU_ADRH31 により、MAC アドレスの上位 32 ビットを設定します。
3. TSU_ADRL0 ~ TSU_ADRL31 により、MAC アドレスの低位 16 ビットを設定します。

23.3.56 送信フレーム数カウンタレジスタ (0系) (正常送信のみ) (TXNLCR0)

TXNLCR0 は、E-MAC-0 にて正常に送信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NCT0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCT0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NCT0[31:0]	すべて0	R	0系送信フレームカウンタビット 正常に送信が完了したフレームのカウンタ数を表します。

23.3.57 送信フレーム数カウンタレジスタ (0系) (正常および障害発生を含むすべて) (TXALCR0)

TXALCR0 は、E-MAC-0 にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TC0[31:0]	すべて0	R	0系送信フレームカウンタビット 正常に送信された送信フレームおよび障害が発生した送信フレームのカウンタ数を表します。

23.3.58 受信フレーム数カウンタレジスタ (0系) (正常受信のみ) (RXNLCR0)

RXNLCR0 は、E-MAC-0 にて正常に受信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウンタアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NRC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NRC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NRC0[31:0]	すべて 0	R	0 系受信フレームカウンタビット 正常に受信が完了したフレームのカウンタ数を表します。

23.3.59 受信フレーム数カウンタレジスタ (0系) (正常および障害発生を含むすべて) (RXALCR0)

RXALCR0 は、E-MAC-0 にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウンタアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RC0[31:0]	すべて 0	R	0 系受信フレームカウンタビット 正常に受信された受信フレームおよび障害が発生した受信フレームのカウンタ数を表します。

23.3.60 転送フレーム数カウンタレジスタ (1 0 系) (正常転送のみ) (FWNLCR0)

FWNLCR0 は、1 0 系の転送動作での正常に転送が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NFC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NFC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NFC0 [31:0]	すべて 0	R	1 0 系転送フレームカウンタビット 正常に転送が完了したフレームのカウンタ数を表します。

23.3.61 転送フレーム数カウンタレジスタ (1 0 系) (正常および障害発生を含むすべて) (FWALCR0)

FWALCR0 は、1 0 系の転送動作での障害が発生した転送フレーム数を含んだ転送フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は 0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	FC0[31:0]	すべて 0	R	1 0 系転送フレームカウンタビット 正常に転送された転送フレームおよび障害が発生した転送フレームのカウンタ数を表します。

23.3.62 送信フレーム数カウンタレジスタ (1系) (正常送信のみ) (TXNLCR1)

TXNLCR1 は、E-MAC-1 にて正常に送信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへの読み出し動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NTC1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NTC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NTC1 [31:0]	すべて 0	R	1 系送信フレームカウンタビット 正常に送信が完了したフレームのカウンタ数を表します。

23.3.63 送信フレーム数カウンタレジスタ (1系) (正常および障害発生を含むすべて) (TXALCR1)

TXALCR1 は、E-MAC-1 にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TC1[31:0]	すべて 0	R	1 系送信フレームカウンタビット 正常に送信された送信フレームおよび障害が発生した送信フレームのカウンタ数を表します。

23.3.64 受信フレーム数カウンタレジスタ (1系) (正常受信のみ) (RXNLCR1)

RXNLCR1 は、E-MAC-1 にて正常に受信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへの読み出し動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NRC1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NRC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NRC1 [31:0]	すべて 0	R	1系受信フレームカウンタビット 正常に受信が完了したフレームのカウンタ数を表します。

23.3.65 受信フレーム数カウンタレジスタ (1系) (正常および障害発生を含むすべて) (RXALCR1)

RXALCR1 は、E-MAC-1 にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RC1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RC1[31:0]	すべて 0	R	1系受信フレームカウンタビット 正常に受信された受信フレームおよび障害が発生した受信フレームのカウンタ数を表します。

23.3.66 転送フレーム数カウンタレジスタ (0 1 系) (正常転送のみ) (FWNLCR1)

FWNLCR1 は、0 1 系の転送動作での正常に転送が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの読み出し動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NFC1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NFC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NFC1 [31:0]	すべて 0	R	0 1 系転送フレームカウンタビット 正常に転送が完了したフレームのカウンタ数を表します。

23.3.67 転送フレーム数カウンタレジスタ (0 1 系) (正常および障害発生を含むすべて) (FWALCR1)

FWALCR1 は、0 1 系の転送動作での障害が発生した転送フレーム数を含んだ転送フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FC1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	FC1[31:0]	すべて 0	R	0 1 系転送フレームカウンタビット 正常に転送された転送フレームおよび障害が発生した転送フレームのカウンタ数を表します。

23.3.68 E-DMAC 起動レジスタ (EDSR)

EDSR は、E-DMAC の送信部、受信部の起動を指定します。本レジスタは書き込みのみ可能で読み出しは無効です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ENT	ENR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	ENT	0	W	E-DMAC 送信部起動 0 : E-DMAC 送信部を停止します。 1 : E-DMAC 送信部を起動します。
0	ENR	0	W	E-DMAC 受信部起動 0 : E-DMAC 受信部を停止します。 1 : E-DMAC 受信部を起動します。

23.3.69 E-DMAC モードレジスタ (EDMR)

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC のリセット指示および送受信ディスクリプタ長を指定します。本レジスタの設定は、送信機能、受信機能が有効になる前 (EDTRR の TR ビットまたは、EDRRR の RR ビットを 1 とする以前) に行います。ただし、SWRR と SWRT ビットは、送信機能、受信機能が有効になった後でも書き込むことが可能です。データ送信中に本レジスタによってソフトウェアリセットを実行すると、回線に異常データを送出する可能性があります。本レジスタによる送受信ディスクリプタ長の指定、TDLAR、RDLAR 等の設定値、ECMR (E-MAC モードレジスタ) の設定値、他 E-DMAC、E-MAC の動作に関わるレジスタ設定値を変更するには、本レジスタのソフトウェアリセットを実行後設定します。

本レジスタのソフトウェアリセットを実行する場合は、必ず、SWRT ビットと SWRR ビットに同時に 1 を書き込んでください。SWRT ビットと SWRR ビットに 1 をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、E-MAC の各レジスタを初期化することができます。TSU のレジスタ (レジスタ名が TSU_ で始まるレジスタ) は初期化されません。EDMR0 の SWRT および SWRR ビットでは E-DMAC0 と E-MAC-0 関係の各レジスタが、EDMR1 の SWRT および SWRR ビットでは E-DMAC1 と E-MAC-1 関係の各レジスタが初期化されます。転送イネーブルレジスタ (0 1 系) (TSU_FWEN0)、転送イネーブルレジスタ (1 0 系) (TSU_FWEN1) により、TSU で転送動作を許可している場合は、本ビットによるソフトウェアリセットは行わないでください。なお、ソフトウェアリセットの発行期間中 (内部バスクロック Bck で 64 サイクル間) は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	DE	DL[1:0]	-	-	SWRT	SWRR	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	DE	0	R/W	送受信フレームエンディアン 送受信 FIFO・送受信バッファ間のフレームデータ DMA 転送時のエンディアンを設定します。 0: ビッグエンディアンモード (ロングワードアクセス) 1: リトルエンディアンモード (ロングワードアクセス)

ビット	ビット名	初期値	R/W	説 明
5、4	DL[1:0]	00	R/W	送受信ディスクリプタ長 ディスクリプタ長を指定します（「23.4.1 ディスクリプタとディスクリプタリスト」参照）。 00：16 バイト 01：32 バイト 10：64 バイト 11：リザーブ（設定不可）
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	SWRT	0	R/W	送信 FIFO 制御部ソフトウェアリセット [書き込み時] 0：無効 1：ソフトウェアリセット起動 [読み出し時] 0：ソフトウェアリセット未実行（あるいは完了） 1：ソフトウェアリセット実行中
0	SWRR	0	R/W	受信 FIFO 制御部ソフトウェアリセット [書き込み時] 0：無効 1：ソフトウェアリセット起動 [読み出し時] 0：ソフトウェアリセット未実行（あるいは完了） 1：ソフトウェアリセット実行中

23.3.70 E-DMAC 送信要求レジスタ (EDTRR)

EDTRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。本レジスタの TR ビットに 11 を書き込んだ後、E-DMAC は TDLAR に指示されているアドレスの送信ディスクリプタを読み込みます。この送信ディスクリプタの TACT ビットが 1 (有効) であれば、E-DMAC による送信 DMA 転送が開始します。以降、最初の送信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の送信ディスクリプタを読み込み TACT ビットが有効であれば、送信 DMA 動作を継続します。また、送信ディスクリプタの TACT ビットが 0 (無効) の場合は、TR ビットをクリアして送信 DMA の動作を停止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TR[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1, 0	TR	00	R/W	送信要求 00、01、10 : 送信停止状態 00、01、あるいは 10 を書き込んだ場合、E-DMAC は、現在処理中の送信ディスクリプタの DMA 転送を終了し、その次の送信ディスクリプタを読み込んだ後に、TR ビットをクリアします (それまでに検出した有効な送信ディスクリプタに対してはライトバックまで完了させます)。 また、E-DMAC は、送信ディスクリプタの枯渇あるいは送信完了を検出した場合、TR ビットをクリアします (それまでに検出した有効な送信ディスクリプタに対してはライトバックまで完了させます)。 11 : E-DMAC による送信 DMA 動作中 11 を書き込んだ後は、E-DMAC は送信ディスクリプタの読み込みを開始します。

23.3.71 E-DMAC 受信要求レジスタ (EDRRR)

EDRRR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。本レジスタの RR ビットに 1 を書き込んだ後、E-DMAC は RDLAR に指示されているアドレスの受信ディスクリプタを読み込みます。この受信ディスクリプタの RACT ビットが 1 (有効) で受信 FIFO に受信したフレームがあれば、E-DMAC による受信 DMA 転送が開始します。以降、最初の受信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の受信ディスクリプタを読み込み RACT ビットが有効であれば、受信 DMA 動作を継続します。ただし、受信 FIFO に受信データがない場合には、E-DMAC は受信 DMA 動作を待機状態にします。また、受信ディスクリプタの RACT ビットが 0 (無効) の場合は、RR ビットをクリアして受信 DMA の動作を停止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RR	0	R/W	受信要求 0: 受信機能を無効にする* 0 を書き込んだ場合、E-DMAC は、1 フレームの DMA 転送を終了した時点で受信機能を停止し、RR ビットをクリアします。 また、受信ディスクリプタの枯渇を検出した場合、E-DMAC は、RR ビットをクリアします。 1: 受信ディスクリプタを読み込み、E-DMAC 受信可能状態となる

【注】 * フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度 E-DMAC を受信可能状態とするためには、EDMR0 (EDMR1) の SWRT および SWRR ビットによりソフトウェアリセットを実行してください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、ECMR0 (ECMR1) の RE ビットにより受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。

23.3.72 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)

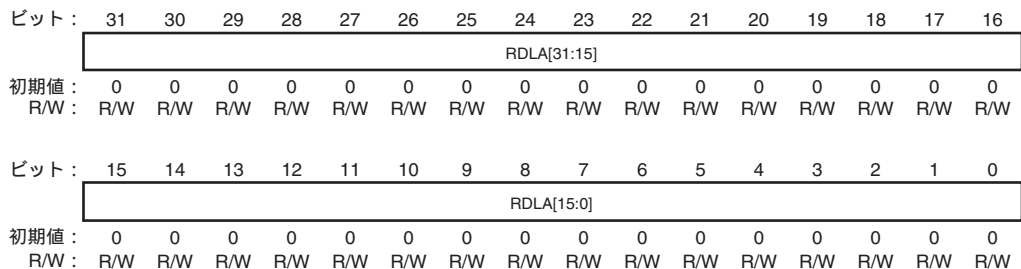
TDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ (EDTRR) の TR ビット (=00) による送信停止状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDLA[31:15]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLA[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDLA[31:0]	すべて 0	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : TDLA[3:0] = 0000 32 バイトバウンダリ : TDLA[4:0] = 00000 64 バイトバウンダリ : TDLA[5:0] = 000000

23.3.73 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)

RDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ (EDRRR) の RR ビット (= 0) による受信停止状態で行ってください。



ビット	ビット名	初期値	R/W	説明
31~0	RDLA [31:0]	すべて 0	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : RDLA[3:0] = 0000 32 バイトバウンダリ : RDLA[4:0] = 00000 64 バイトバウンダリ : RDLA[5:0] = 000000

23.3.74 E-MAC/E-DMAC ステータスレジスタ (EESR)

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC と E-DMAC を合わせた通信ステータスを表示します。本レジスタは、割り込み要因として報告されます。各ビットは、1 を書き込むことでクリアされます (ただし、ビット 22 (ECI) はリード専用で、1 を書き込んででもクリアされません)。0 を書き込んで、各ビットの状態には影響しません。各割り込み要因は E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の当該ビットによってマスクすることが可能です。

本ステータスレジスタが要因で発生する割り込みは、0 系では EINT0、1 系では EINT1 となります。割り込みの優先順位については、「9.4.6 割り込み例外処理と優先順位」を参照ください。EINT2 は、TSU にある TSU_FNSR が要因の割り込みです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB[1:0]	TC[1]	TUC	ROC	TABT	RABT	RFCOF	-	ECI	TC[0]	TDE	TFUF	FR	RDE	RFE	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DLC	CD	TRO	RMAF	CEEF	CELF	RRF	RTLF	RTSF	PRE	CERF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	TWB[1:0]	00	R/W	ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、送信フレームの最後を含む送信ディスクリプタの TWBI ビットが 1 にセットされているときのみ有効です。 00 : ライトバック未完了または送信未指示 11 : ライトバック完了 その他 : 無効
29	TC[1]	0	R/W	フレーム送信完了 TC[0] ビットとの組み合わせで、送信ディスクリプタによって指定されたデータをすべて E-MAC 部から送信したことを示します。1 フレーム / 1 ディスクリプタでは、1 フレームの送信が完了し次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合、また 1 フレーム / 複数ディスクリプタであるマルチパッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は送信状態を当該ディスクリプタにライトバックします。 TC[1:0] 00 : 送信未完了または送信未指示 11 : 送信完了 その他 : 無効

ビット	ビット名	初期値	R/W	説明
28	TUC	0	R/W	送信アンダフローフレームライトバック完了 0: 送信アンダフローを起こしたフレームのライトバックが完了していない 1: 送信アンダフローを起こしたフレームのライトバックが完了した
27	ROC	0	R/W	受信オーバフローフレームライトバック完了 0: 受信アンダフローを起こしたフレームのライトバックが完了していない 1: 受信アンダフローを起こしたフレームのライトバックが完了した
26	TABT	0	R/W	送信中断検出 フレーム送信時、障害等により E-MAC がフレーム送信を中断したことを示します。 0: フレーム送信中断未発生または送信未指示 1: フレーム送信中断発生
25	RABT	0	R/W	受信中断検出 フレーム受信時、障害等により E-MAC がフレーム受信を中断したことを示します。 0: フレーム受信中断未発生または受信未指示 1: フレーム受信中断発生
24	RFCOF	0	R/W	受信フレームカウンタオーバフロー 受信 FIFO 内のフレームカウンタがオーバフローしたことを示します。 0: 受信フレームカウンタがオーバフローしていない 1: 受信フレームカウンタがオーバフローした
23	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
22	ECI	0	R	E-MAC ステータスレジスタ要因 本ビットは、リード専用です。ECSR の要因がクリアされると、本ビットもクリアされます。 0: E-MAC ステータス割り込み要因未検出 1: E-MAC ステータス割り込み要因検出
21	TC[0]	0	R/W	フレーム送信完了 TC[1]ビットとの組み合わせで、送信ディスクリプタによって指定されたデータをすべて E-MAC 部から送信したことを示します。詳しくは、TC[1]ビットの説明を参照してください。

ビット	ビット名	初期値	R/W	説明
20	TDE	0	R/W	<p>送信ディスクリプタ枯渇</p> <p>1 フレーム / 複数ディスクリプタであるマルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMAC が送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかったことを示します。結果として不完全なフレームを送出する場合があります。</p> <p>0 : 送信ディスクリプタ有効ビット TACT = 1 を検出 1 : 送信ディスクリプタ有効ビット TACT = 0 を検出</p> <p>送信ディスクリプタ枯渇 (TDE = 1) が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) に格納されているアドレスからの開始となります。</p>
19	TFUF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線には、不完全なデータが送出されます。</p> <p>0 : アンダフロー未発生 1 : アンダフロー発生</p>
18	FR	0	R/W	<p>フレーム受信</p> <p>フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1 フレームを受信するたびに 1 にセットされます。</p> <p>0 : フレーム未受信 1 : フレーム受信済み</p>
17	RDE	0	R/W	<p>受信ディスクリプタ枯渇</p> <p>E-DMAC が受信 DMA のため読み込んだ受信ディスクリプタの RACT ビットが 0 (無効) であったことを示します。</p> <p>受信ディスクリプタ枯渇 (RDE = 1) が発生した場合は、RACT ビット = 0 となっていた受信ディスクリプタを RACT = 1 に設定し EDRRR の RR ビットに 1 を書き込むことで、受信を再開することができます。</p> <p>0 : 受信ディスクリプタ有効ビット RACT = 1 を検出 1 : 受信ディスクリプタ有効ビット RACT = 0 を検出</p>
16	RFOF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>フレームを受信中に受信 FIFO がオーバフローしたことを示します。</p> <p>0 : オーバフロー未発生 1 : オーバフロー発生</p>
15 ~ 11	-	すべて 0	R	<p>リザーブビット</p> <p>書き込み時は常に 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
10	DLC	0	R/W	キャリア消失検出 フレームを送信中にキャリア消失を検出したことを示します。 0: キャリア消失未検出 1: キャリア消失検出
9	CD	0	R/W	遅延衝突検出 フレームを送信中に遅延衝突を検出したことを示します。 0: 遅延衝突未検出 1: 遅延衝突検出
8	TRO	0	R/W	送信リトライオーバ フレームを送信中にリトライオーバが発生したことを示します。これは、E-MAC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送をあわせ全部で 16 回の送信試行に失敗したことを示します。 0: 送信リトライオーバ未検出 1: 送信リトライオーバ検出
7	RMAF	0	R/W	マルチキャストアドレスフレーム受信 0: マルチキャストアドレスフレーム未受信 1: マルチキャストアドレスフレーム受信
6	CEEF	0	R/W	キャリア拡張エラー 1 ギガビット / 半二重転送モード時、フレームを受信中にキャリア拡張エラーが発生したことを示します。 0: キャリア拡張エラー未発生 1: キャリア拡張エラー発生
5	CELF	0	R/W	キャリア拡張消失 1 ギガビット / 半二重転送モード時、キャリア拡張が消失したことを示します。フレームとキャリア拡張の長さの合計が SLOT_TIME (4096bit) 未満であることを示します。 0: キャリア拡張消失未発生 1: キャリア拡張消失発生
4	RRF	0	R/W	端数ビットフレーム受信 0: 端数ビットフレーム未受信 1: 端数ビットフレーム受信
3	RTLFL	0	R/W	ロングフレーム受信エラー RFLR で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0: ロングフレーム未受信 1: ロングフレーム受信

ビット	ビット名	初期値	R/W	説 明
2	RTSF	0	R/W	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0 : ショートフレーム未受信 1 : ショートフレーム受信
1	PRE	0	R/W	PHY-LSI 受信エラー 0 : PHY-LSI 受信エラー未検出 1 : PHY-LSI 受信エラー検出
0	CERF	0	R/W	受信フレーム CRC エラー 0 : CRC エラー未検出 1 : CRC エラー検出

23.3.75 E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)

EESIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC/E-DMAC ステータスレジスタ (EESR) の各ビットに対応する割り込み許可レジスタです。各ビットは、1 をライトすることで割り込みが許可されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB1 IP	TWB0 IP	TC1 IP	TUC IP	ROC IP	TABT IP	RABT IP	RFCOF IP	-	ECI IP	TC0 IP	TDE IP	TFUF IP	FR IP	RDE IP	RFE IP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DLC IP	CD IP	TRO IP	RMAF IP	CEEF IP	CELF IP	RRF IP	RTLFL IP	RTSFL IP	PRE IP	CERFL IP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TWB1IP	0	R/W	ライトバック完了割り込み許可 0: ライトバック完了割り込み禁止 1: ライトバック完了割り込み許可
30	TWB0IP	0	R/W	ライトバック完了割り込み許可 0: ライトバック完了割り込み禁止 1: ライトバック完了割り込み許可
29	TC1IP	0	R/W	フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可
28	TUCIP	0	R/W	送信アンダフローフレームライトバック完了 0: 送信アンダフローフレームライトバック完了割り込み禁止 1: 送信アンダフローフレームライトバック完了割り込み許可
27	ROCIP	0	R/W	受信オーバフローフレームライトバック完了 0: 受信オーバフローフレームライトバック完了割り込み禁止 1: 受信オーバフローフレームライトバック完了割り込み許可
26	TABTIP	0	R/W	送信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバフロー割り込み許可 0: 受信フレームカウンタオーバフロー割り込み禁止 1: 受信フレームカウンタオーバフロー割り込み許可

ビット	ビット名	初期値	R/W	説明
23	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
22	ECIIP	0	R/W	E-MAC ステータスレジスタ要因割り込み許可 0: E-MAC ステータス割り込み禁止 1: E-MAC ステータス割り込み許可
21	TCOIP	0	R/W	フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可
20	TDEIP	0	R/W	送信ディスクリプタ枯渇割り込み許可 0: 送信ディスクリプタ枯渇割り込み禁止 1: 送信ディスクリプタ枯渇割り込み許可
19	TFUFIP	0	R/W	送信 FIFO アンダフロー割り込み許可 0: アンダフロー割り込み禁止 1: アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0: フレーム受信割り込み禁止 1: フレーム受信割り込み許可
17	RDEIP	0	R/W	受信ディスクリプタ枯渇割り込み許可 0: 受信ディスクリプタ枯渇割り込み禁止 1: 受信ディスクリプタ枯渇割り込み許可
16	RFOFIP	0	R/W	受信 FIFO オーバフロー割り込み許可 0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 0: キャリア消失検出割り込み禁止 1: キャリア消失検出割り込み許可
9	CDIP	0	R/W	遅延衝突検出割り込み許可 0: 遅延衝突割り込み禁止 1: 遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバ割り込み許可 0: 送信リトライオーバ割り込み禁止 1: 送信リトライオーバ割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0: マルチキャストアドレスフレーム受信割り込み禁止 1: マルチキャストアドレスフレーム受信割り込み許可

ビット	ビット名	初期値	R/W	説 明
6	CEEFIP	0	R/W	キャリア拡張エラー割り込み許可 0 : キャリア拡張エラー割り込み禁止 1 : キャリア拡張エラー割り込み許可
5	CELFIP	0	R/W	キャリア拡張消失割り込み許可 0 : キャリア拡張消失割り込み禁止 1 : キャリア拡張消失割り込み許可。
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0 : 端数ビットフレーム受信割り込み禁止 1 : 端数ビットフレーム受信割り込み許可
3	RTLFIPI	0	R/W	ロングフレーム受信エラー割り込み許可 0 : ロングフレーム受信エラー割り込み禁止 1 : ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0 : ショートフレーム受信エラー割り込み禁止 1 : ショートフレーム受信エラー割り込み許可
1	PREIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0 : PHY-LSI 受信エラー割り込み禁止 1 : PHY-LSI 受信エラー割り込み許可
0	CERFIP	0	R/W	受信フレーム CRC エラー割り込み許可 0 : CRC エラー割り込み禁止 1 : CRC エラー割り込み許可

23.3.76 送受信ステータスコピー指示レジスタ (TRSCER)

TRSCER は、E-MAC/E-DMAC ステータスレジスタ (EESR) のビット 26、25、およびビット 10 からビット 0 で報告される、送信および受信ステータス情報を当該ディスクリプタの TFE または RFE ビットに反映するか否かを指示します。本レジスタの各ビットは、EESR のビット 26、25、およびビット 10 からビット 0 に対応します。各ビットに 0 を設定すると、送信ステータス (EESR のビット 26 およびビット 10 からビット 8) は送信ディスクリプタの TFE ビットに、また受信ステータス (EESR のビット 25 およびビット 7 からビット 0) は受信ディスクリプタの RFE ビットに、各ステータスビットのいずれかの 1 状態を TFE または RFE の 1 状態として反映します。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TABT CE	RABT CE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DLC CE	CD CE	TRO CE	RMAF CE	CEEF CE	CELF CE	RRF CE	RTLF CE	RTSF CE	PRE CE	CERF CE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	TABTCE	0	R/W	TABT ビットコピー指示 0: TABT ビットのステータスを送信ディスクリプタの TFE ビットに反映します 1: 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映しません
16	RABTCE	0	R/W	RABT ビットコピー指示 0: RABT ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10	DLCCE	0	R/W	DLC ビットコピー指示 0: DLC ビットのステータスを送信ディスクリプタの TFE ビットに反映します 1: 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映しません

ビット	ビット名	初期値	R/W	説 明
9	CDCE	0	R/W	CD ビットコピー指示 0: CD ビットのステータスを送信ディスクリプタの TFE ビットに反映し ます 1: 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映し ません
8	TROCE	0	R/W	TRO ビットコピー指示 0: TRO ビットのステータスを送信ディスクリプタの TFE ビットに反映し ます 1: 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映し ません
7	RMAFCE	0	R/W	RMAF ビットコピー指示 0: RMAF ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません
6	CEEFCE	0	R/W	CEEF ビットコピー指示 0: CEEF ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません
5	CELFCE	0	R/W	CELF ビットコピー指示 0: CELF ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません
4	RRFCE	0	R/W	RRF ビットコピー指示 0: RRF ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません
3	RTLFCCE	0	R/W	RTLFC ビットコピー指示 0: RTLFC ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません
2	RTSFCE	0	R/W	RTSF ビットコピー指示 0: RTSF ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません

ビット	ビット名	初期値	R/W	説 明
1	PRECE	0	R/W	PRE ビットコピー指示 0: PRF ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません
0	CERFCE	0	R/W	CERF ビットコピー指示 0: CERF ビットのステータスを受信ディスクリプタの RFE ビットに反映し ます 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映し ません

23.3.77 ミスドフレームカウンタレジスタ (RMFCR)

RMFCR は、受信時に受信バッファに収容しきれずに破棄されたフレーム数を示す 16 ビットのカウンタです。受信 FIFO がオーバフローすると、この FIFO 内にある受信フレームは破棄されます。このときに破棄するフレームの数をカウントアップします。本レジスタの値が H'FFFF になるとカウントアップを停止します。カウンタの値をクリアする際は、本レジスタに H'0000 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MFC [15:0]	すべて 0	R/W	ミスドフレームカウンタ 受信時に、受信バッファに転送しきれずに破棄されたフレーム数を示します。

23.3.78 送信 FIFO しきい値指定レジスタ (TFTR)

TFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。実際のしきい値は、設定した数値の 4 倍の値に相当します。E-MAC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお送信動作中 (EDTRR.TR[1:0]=11) の本レジスタへの書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TFT[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~0	TFT[10:0]	すべて 0	R/W	送信 FIFO しきい値 送信 FIFO のしきい値は、必ず FDR で指定した FIFO 容量値より小さい 32 バイト単位の値で設定してください。 H'000 : ストア&フォワードモード H'008 : 32 バイト H'010 : 64 バイト H'018 : 128 バイト : : H'07F : 508 バイト H'080 : 512 バイト : : H'0FF : 1020 バイト H'100 : 1024 バイト : : H'1FF : 2044 バイト H'200 : 2048 バイト

【注】 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。

23.3.79 FIFO 容量指定レジスタ (FDR)

FDR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TFD[2:0]			-	-	-	RFD[4:0]				
初期値:	0	0	0	0	0	1	1	1	0	0	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~8	TFD[2:0]	すべて 1	R/W	送信 FIFO 容量 最大 2K バイトある送信 FIFO の容量を 256 バイトから 2K バイトまで、256 バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト H'01 : 512 バイト : : H'07 : 2048 バイト
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4~0	RFD[4:0]	すべて 1	R/W	受信 FIFO 容量 最大 8K バイトある受信 FIFO の容量を 256 バイトから 8K バイトまで、256 バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト H'01 : 512 バイト : : H'1F : 8192 バイト

23.3.80 受信方式制御レジスタ (RMCR)

RMCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、フレームを受信時の ECMR 内にある RE ビットの制御の方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RNC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RNC	0	R/W	受信許可制御 フレーム受信を継続する / しないを設定します。 0: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタに書き込んで EDRRR の RR ビットを 0 とします。 1: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタに書き込み (ライトバック) します。さらに E-DMAC は次のディスクリプタを読み込み、次のフレームの受信に備えます。

23.3.81 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。初期設定の際は、処理を開始する受信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDFAR [31:0]	すべて0	R/W	受信ディスクリプタフェッチアドレス 受信中に本レジスタへの書き込みは禁止です。

23.3.82 受信ディスクリプタ処理済アドレスレジスタ (RDFXR)

RDFXR は、E-DMAC が、直前にライトバック処理を完了した受信ディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタまで処理を実行したか認識できます。初期設定の際は、RDFAR レジスタ設定値の1つ前の受信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFXR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFXR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDFXR [31:0]	すべて0	R/W	受信ディスクリプタ処理済アドレス 受信中に本レジスタへの書き込みは禁止です。

23.3.83 受信ディスクリプタ最終フラグレジスタ (RDFFR)

RDFFR は、RDFXR でアドレスされる、直前にライトバック処理を完了した受信ディスクリプタが受信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RDLF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	RDLF	0	R/W	受信ディスクリプタ列最終フラグ RDFXR でアドレスされる、直前にライトバック処理を完了した受信ディスクリプタが受信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。 0 : 受信ディスクリプタ列の最終でない 1 : 受信ディスクリプタ列の最終である

23.3.84 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)

E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの送信ディスクリプタ情報をもとに処理を実行しているか認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。初期設定の際は、処理を開始する送信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDFAR [31:0]	すべて0	R/W	送信ディスクリプタフェッチアドレス 送信中に本レジスタへの書き込みは禁止です。

23.3.85 送信ディスクリプタ処理済アドレスレジスタ (TDFXR)

TDFXR は、E-DMAC が、直前にライトバック処理を完了した送信ディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの送信ディスクリプタまで処理を実行したか認識できます。初期設定の際は、TDFAR レジスタレジスタ設定値の1つ前の送信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFXR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFXR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDFXR [31:0]	すべて0	R/W	送信ディスクリプタ処理済アドレス 送信中に本レジスタへの書き込みは禁止です。

23.3.86 送信ディスクリプタ最終フラグレジスタ (TDFFR)

TDFFR は、TDFXR でアドレスされる、直前にライトバック処理を完了した送信ディスクリプタが送信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TDLF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	TDLF	0	R/W	送信ディスクリプタ列最終フラグ TDFXR でアドレスされる、直前にライトバック処理を完了した送信ディスクリプタが送信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。 0 : 送信ディスクリプタ列の最終でない 1 : 送信ディスクリプタ列の最終である

23.3.87 オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR)

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC のフロー制御の設定を行います。受信 FIFO データ容量 (RFD[7:0])、受信フレーム数 (RFF[4:0]) によるしきい値を設定できます。

RFD の設定条件によりフロー制御をオンにすると、FIFO 容量設定レジスタ (FDR) で設定した受信 FIFO 容量値と同じ設定である場合は、(FIFO データ容量 - 64) バイトでフロー制御をオンにします。たとえば FDR の RFD = 7、FCFTR の RFD = 7 の場合は、受信 FIFO 内に (2,048 - 64) バイトのデータを格納されたとき、フロー制御がオンになります。なお本レジスタの RFD の設定値は、FDR の RFD の設定値と同じ小さい値を設定してください。

フロー制御のオンは、RFF[4:0]または RFD[7:0]のいずれかの設定条件を満たしたときになります。フロー制御のオフは、いずれの設定条件も満たしていない (解除) ときになります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	RFF[4:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RFD[7:0]							
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20~16	RFF[4:0]	H'17	R/W	受信 FIFO オーバフロー予告信号送出しきい値 H'00 : 受信フレームを受信 FIFO 内に 1 フレーム格納完了時 H'01 : 受信フレームを受信 FIFO 内に 2 フレーム格納完了時 : : H'16 : 受信フレームを受信 FIFO 内に 23 フレーム格納完了時 H'17 : 受信フレームを受信 FIFO 内に 24 フレーム格納完了時
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	RFD[7:0]	H'FF	R/W	受信 FIFO オーバフロー予告信号送出しきい値 H'00 : 受信 FIFO 内に 256 - 32 バイトのデータ容量を格納時 H'01 : 受信 FIFO 内に 512 - 32 バイトのデータ容量を格納時 : : H'06 : 受信 FIFO 内に 1,792 - 32 バイトのデータ容量を格納時 H'07 : 受信 FIFO 内に 2,048 - 64 バイトのデータ容量を格納時

23.3.88 受信データパディング挿入設定レジスタ (RPADIR)

RPADIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信データのパディングの挿入を行うレジスタです。本レジスタを再設定するときは、E-DMAC モードレジスタ (EDMR) の SWRT および SWRR ビットでソフトウェアリセットしてから行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	PADS[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20~16	PADS [4:0]	H'00	R/W	パディングサイズ H'00 : パディング挿入なし H'01 : 1 バイト挿入 : : H'1F : 31 バイト挿入
15~0	PADR [15:0]	H'0000	R/W	パディング範囲 H'0000 : 1 バイト目にパディングサイズ分挿入 H'0001 : 2 バイト目にパディングサイズ分挿入 : : H'FFFF : 64K バイト目にパディングサイズ分挿入

23.4 動作説明

GETHER は、以下の 3 つの機能から構成されています。

- DMA転送制御部 (E-DMAC) : メモリ上の送受信バッファと送受信FIFO間のDMA転送
- MAC制御部 (E-MAC) : 送信 / 受信FIFOとGMII/MII/RMII間の送信 / 受信処理
- 転送制御部 (TSU) : 1系と0系間の転送処理およびCAM処理

E-DMAC は、E-DMAC に内蔵されているダイレクトメモリアクセス (DMA) 機能を使用し、ユーザが指定するイーサネットフレームデータの格納先 (アクセス可能なメモリ空間: 送信バッファ / 受信バッファ) と送信 / 受信 FIFO との間でフレームデータの転送を行います。ユーザが CPU を介して直接送信 / 受信 FIFO のデータを読み書きすることはできません。

E-DMAC が DMA 転送を行うためには、ディスクリプタと呼ぶ送信 / 受信データの格納アドレス等が書かれた情報 (データ) が必要になります。E-DMAC は、ディスクリプタに書かれた情報に従って送信データを送信バッファから読み出す、あるいは受信データを受信バッファへ書き込みます。このディスクリプタは、読み書き可能なメモリ空間に配置されます。ディスクリプタを複数個並べ、ディスクリプタ列 (リスト) 化することによって、複数のイーサネットフレームデータの送信 / 受信を連続的に行うことができます。

E-DMAC は、0 系と 1 系の 2 系統あります。送信、受信とも、0 系と 1 系それぞれ独立して動作します。

E-MAC は、送信 FIFO に書き込まれたデータからイーサネットフレームを構成し、GMII/MII/RMII へ送信します。また、GMII/MII/RMII から受信したイーサネットフレームの CRC チェックを行った後、分解し受信 FIFO に書き込みます。本 LSI の外部に接続する PHI-LSI とのインタフェースフォーマットとして、MII、GMII、RMII の 3 種類をサポートしています。

E-MAC は、0 系と 1 系の 2 系統あります。それぞれ E-DMAC の 0 系と 1 系と対応しています。

TSU は、0 系の E-MAC と 1 系の E-MAC 間でイーサネットフレームデータの転送を行います。TSU は、E-DMAC と E-MAC の間に位置し、CAM エントリテーブルを参照しながら、E-MAC に入力されたイーサネットフレームの DA (宛先アドレス) を元に、以下のいずれかの処理を選択します。

1. 受信し受信FIFOに書き込む
2. 転送のみ実行し転送FIFOに書き込む
3. 受信し受信FIFOに書き込むとともに転送FIFOにも書き込む
4. 破棄する

TSU は、0 系から 1 系、1 系から 0 系への転送をそれぞれ別々に処理をします。

図 23.2 にフレームデータ経路と各種設定の概要を示します。

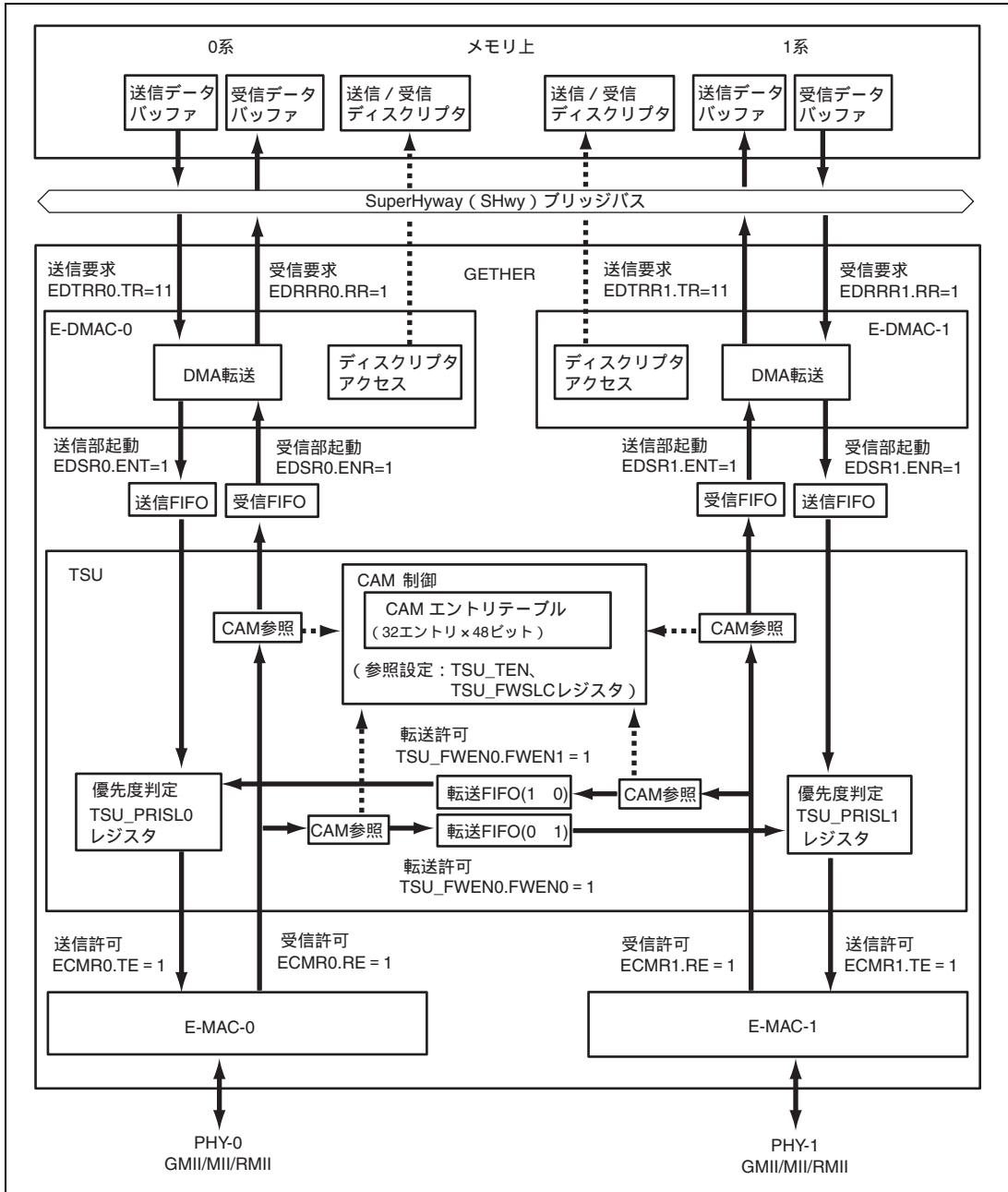


図 23.2 GETHER のデータ経路と各種設定

23.4.1 ディスクリプタとディスクリプタリスト

E-DMAC は、メモリ空間上に書き込まれたディスクリプタと呼ぶ情報 (データ) に従って DMA 転送を行います。ディスクリプタには、送信ディスクリプタと受信ディスクリプタの 2 種類があります。DMA 転送を起動する前に、ソフトウェアで、送信 / 受信フレームデータの格納アドレス等の DMA 転送に関する情報を設定しておく必要があります。

E-DMAC は、EDTRR の TR ビットが 11 / EDRRR の RR ビットが 1 になると、送信 / 受信ディスクリプタを自律的に読み込み、ディスクリプタに記述された情報に従って、送信 / 受信バッファと送信 / 受信 FIFO の間で、フレームデータの DMA 伝送を行います。フレームデータの送信 / 受信が完了した後は、E-DMAC がディスクリプタの有効 / 無効ビットを無効とし、送信 / 受信の結果をディスクリプタ上のステータスビットに反映します。

ディスクリプタは、読み書き可能なメモリ空間に配置し、先頭ディスクリプタ (E-DMAC が最初に読み込むディスクリプタ) のアドレスを TDLAR/RDLAR に設定します。複数のディスクリプタをディスクリプタ列 (ディスクリプタリスト) として用意する場合には、EDMR の DL[0:1] ビットに設定したディスクリプタ長に従って連続したアドレス (メモリ番地) に配置します。

E-DMAC には、0 系と 1 系の 2 系統あります。0 系と 1 系および送信と受信それぞれの DMAC は独立して動作します。0 系と 1 系および送信と受信用のディスクリプタを、各ディスクリプタのアドレス空間が重ならないように配置してください。アドレスが重なると E-DMAC は正常に動作をしません。

(1) 送信ディスクリプタ

図 23.3 に送信ディスクリプタの構成と送信バッファの関係を示します。

送信ディスクリプタは、データの先頭から 32 ビット単位に TD0、TD1、TD2 およびパディングで構成されます。最後のパディングは EDMR の DL[1:0] ビットで指定するディスクリプタ長に従い長さが決まります。

TD0 は、送信ディスクリプタの有効 / 無効、ディスクリプタの構成情報およびステータス情報を示します。TD1 は、そのディスクリプタで指示する転送すべき送信バッファのデータ長 (TDL) を示します。TD2 は、転送する送信バッファの先頭アドレス (TBA) を示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの送信データを全部指定すること (1 フレーム / 1 バッファ) あるいはディスクリプタ複数個で 1 フレームの送信データを指定すること (1 フレーム / マルチバッファ) が可能です。1 フレーム / マルチバッファの具体例としては、イーサネットフレーム中毎回の送信で固定的に使われるデータ部分を複数のディスクリプタで参照するという方法があります。たとえば、イーサネットフレーム中の宛先アドレス、送信元アドレスのデータを複数のディスクリプタで共有して、残りのデータを各々別のバッファに格納するという方法が考えられます。

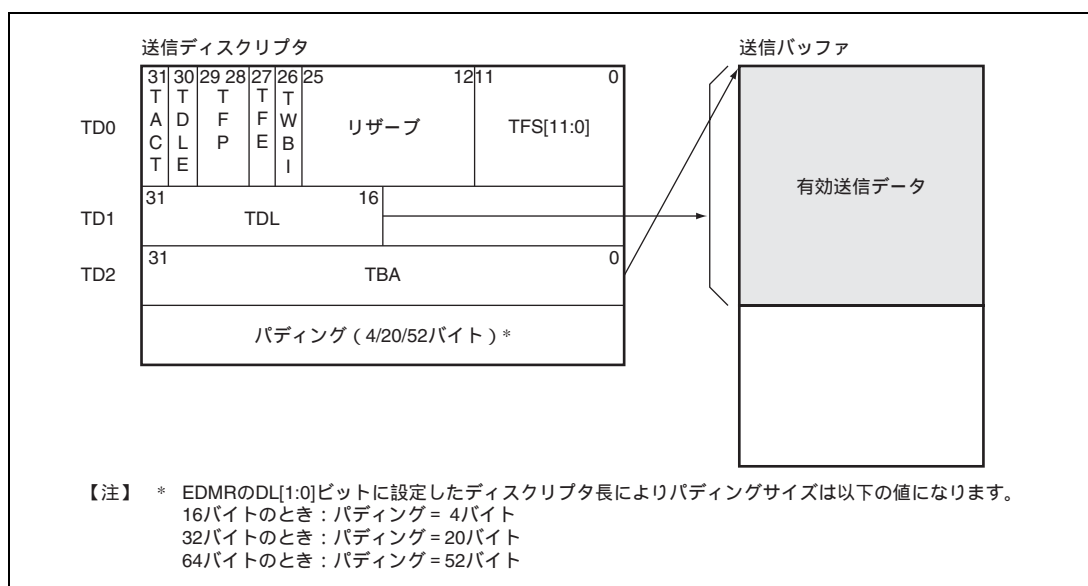


図 23.3 送信ディスクリプタと送信バッファの関係

(a) 送信ディスクリプタ 0 (TD0)

TD0 は、EDTRR の TR ビット = 11 とする以前に、ユーザがあらかじめディスクリプタの有効 / 無効ビットの設定やディスクリプタの構成を設定します。イーサネットフレームの送信が完了した後に、E-DMAC がディスクリプタの有効 / 無効ビットを無効にし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31 ~ 28、26 にディスクリプタの構成に従った値を書き込んでください。またビット 27、25 ~ 0 には 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	TACT	0	R/W	<p>送信ディスクリプタ有効 / 無効</p> <p>当該ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ送信データを送信バッファ (ユーザの指定する送信データ格納先) に格納した後、本ビットに 1 を書き込みます。また、E-DMAC はデータの転送を完了すると本ビットを 0 クリアします。</p> <p>0 : 本送信ディスクリプタが無効</p> <p>初期値の状態か 0 を書き込んだ後の状態、またはユーザが 1 を書き込んだ後の場合には E-DMAC のデータ転送処理終了により本ビットが 0 クリアされたことを示します。</p> <p>E-DMAC のディスクリプタ読み込みの際に、本状態が認識されると E-DMAC は EDTRR の TR ビットを 0 クリアし、E-DMAC の送信に関わる転送動作は停止します。</p> <p>1 : 本送信ディスクリプタが有効</p> <p>ユーザが 1 を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。</p> <p>E-DMAC は連続する複数個のディスクリプタ列 (ディスクリプタリスト) が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。</p>
30	TDLE	0	R/W	<p>送信ディスクリプタリスト最終</p> <p>本ディスクリプタがディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。</p> <p>0 : 最終のディスクリプタリストではない</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。</p> <p>1 : 最終のディスクリプタリストである</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、TDLAR が示すアドレスにあるディスクリプタを読み込みます。</p>

ビット	ビット名	初期値	R/W	説明
29、28	TFP[1:0]	00	R/W	<p>送信フレーム内位置</p> <p>本ディスクリプタの情報が送信フレームの先頭かその途中または最終かを示します。</p> <p>00：本ディスクリプタの情報はフレームの中間である 01：本ディスクリプタの情報はフレームの最後である 10：本ディスクリプタの情報はフレームの先頭である 11：本ディスクリプタの情報はフレームの先頭と最後を含む (1フレーム/1ディスクリプタ(1バッファ)である)</p> <p>【参考】</p> <p>1フレームを分割して使用する際の分割数に応じたディスクリプタ列における本ビットの指定要領を示します。</p> <ul style="list-style-type: none"> • 1フレーム/1ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ：TFP[1:0] = 11 • 1フレーム/2ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ：TFP[1:0] = 10 2番目のディスクリプタ：TFP[1:0] = 01 • 1フレーム/3ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ：TFP[1:0] = 10 2番目のディスクリプタ：TFP[1:0] = 00 3番目のディスクリプタ：TFP[1:0] = 01 <p>以降、分割数が多い場合には、中間の TFP[1:0] = 00 であるディスクリプタを追加していくことでディスクリプタ列を構成します。</p>
27	TFE	0	R/W	<p>送信フレームエラー発生</p> <p>送信フレームに何らかのエラーが発生したことを示します。</p> <p>0：TFS[11:0]のすべてのビットの値が0 1：TFS[11:0]のいずれかのビットの値が1</p> <p>TRSCER レジスタで、TFS[8:0]の要因単位にマスクすることができます。ただし、TFS[11:9]はマスクすることができません。</p> <p>本ビットはE-DMACによってライトバックされます。</p>
26	TWBI	0	R/W	<p>ライトバック完了割り込み通知</p> <p>0：ライトバック完了割り込みを通知しません。 1：本ディスクリプタへのライトバック完了後、EESR レジスタの TWB[1:0] ビットに 11 をセットし、CPU にライトバック完了割り込みを通知します。</p> <p>本ビットは、送信フレームの最後を含むディスクリプタ(TFP = 01 あるいは 11)でのみ有効です。本ビットはライトバックによって 0 に書き換わります。</p>
25～12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
11~0	TFS[11:0]	すべて 0	R/W	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMACによりライトバックされ、1で当該の事象が発生したことを示します。 <ul style="list-style-type: none"> • TFS[11:10]: リザーブ (書き込み値は 0 としてください) • TFS[9]: 送信 FIFO アンダフロー (EESR の TUC ビットに相当) • TFS[8]: 送信中断検出 (EESR の TABT ビットに相当) • TFS[7:3]: リザーブ (書き込み値は 0 としてください) • TFS[2]: キャリア消失 (EESR の DLC ビットに相当) • TFS[1]: 遅延衝突 (EESR の CD ビットに相当) • TFS[0]: 送信タイムアウト (EESR の TRO ビットに相当)

(b) 送信ディスクリプタ 1 (TD1)

TD1 は、当該ディスクリプタが使用する送信バッファのデータ長を示します。

ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説 明
31~16	TDL [15:0]	すべて 0	R/W	送信バッファデータ長 (単位: バイト) 当該送信バッファのデータ長をバイト単位で設定します。最大長は 64K - 32 (H'FFE0) バイトです。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

(c) 送信ディスクリプタ 2 (TD2)

TD2 は、32 ビット幅の当該送信バッファの先頭アドレスを示します。アドレス値はロングワード境界としてください。

ビット	ビット名	初期値	R/W	説明
31~0	TBA [31:0]	すべて 0	R/W	送信バッファ先頭アドレス 当該送信バッファの先頭アドレスを 16 バイト境界で設定します。

ディスクリプタの設定で以下のような設定を行った場合、E-DMAC はシステムリセットを行うまで、正常動作に復帰しませんので注意してください。

- TFP (送信フレーム内位置) が論理的に間違った設定

例：あるディスクリプタAでTFP=11と設定し、次のディスクリプタBでTFP=01と設定した。

ディスクリプタBが示す送信フレームの先頭部を示すディスクリプタが存在しないことになります。

- TBL (送信バッファ長) を0とした設定

送信フレームを 3 つ以上の送信ディスクリプタに分割した場合、E-DMAC は以下のようにライトバックします。

- 送信フレームの先頭を含む送信ディスクリプタ (TFP=10あるいはTFP=11) と送信フレームの最後を含む送信ディスクリプタ (TFP=01あるいはTFP=11) に対してのみライトバックをします。
- 送信フレームの中間に対応する送信ディスクリプタ (TFP=00) に対してはライトバックしません。

ただし、TFE (送信フレームエラー発生) や TFS (送信フレームステータス) は、送信フレームの最後を含む送信ディスクリプタ (TFP=01 あるいは TFP=11) にのみライトバックされます。

また、ソフトウェアで送信ディスクリプタを再設定する場合は、未処理の送信ディスクリプタの上書き (再設定) を防ぐために、送信フレームの最後を含む送信ディスクリプタ (TFP=01 あるいは TFP=11) がライトバックされている (TACT=0 になっている) ことを再設定の前にはあらかじめ確認する必要があります。

(2) 受信ディスクリプタ

図 23.4 に受信ディスクリプタと受信バッファの関係を示します。

受信ディスクリプタは、データの先頭から 32 ビット単位に RD0、RD1、RD2、およびパディングで構成されます。最後のパディングは EDMR の DL[0:1] ビットで指定するディスクリプタ長に従い長さが決まります。

RD0 は、受信ディスクリプタの有効 / 無効、ディスクリプタの構成情報、およびステータス情報を示します。

RD1 は、そのディスクリプタで指示する受信可能な受信バッファのデータ長 (RBL) と受信したフレームのデータ長 (RDL) を示します。RD2 は、受信データを格納する受信バッファの先頭アドレス (RBA) を示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの受信データ全部を受信バッファに格納すること (1 フレーム / 1 バッファ) あるいはディスクリプタ複数個で 1 フレームの受信データを受信バッファに格納すること (1 フレーム / マルチバッファ) が可能です。1 フレーム / マルチバッファのケースとしては、あらかじめ複数のディスクリプタ列 (ディスクリプタリスト) を用意しておき、各ディスクリプタの RBL を 500 バイトとしたときに 1514 バイトのイーサネットフレームを受信したとします。この場合、受信したイーサネットフレームは最初のディスクリプタから順に 500 バイトずつバッファに転送され、最後の 14 バイトだけが 4 つ目のバッファに転送されます。このように E-DMAC は、受信したフレームがディスクリプタの RBL を超える長さのフレームを受信した場合には、連続する次のディスクリプタを使用していくことによって受信バッファに転送していきます。また、1 フレーム / マルチバッファの効率的な具体例としては、イーサネットフレーム中の処理レイヤの異なる情報をバッファによって分離するという方法があります。たとえば、イーサネットフレーム中の宛先アドレス、送信元アドレス、およびタイプフィールドのデータをバッファ 1 (RBL を 14 バイトに指定) に格納し、残りのデータをバッファ 2 (RBL を 1500 バイトに指定) に格納するという方法があります。もちろん、複数のディスクリプタを用意してすべてのディスクリプタの RBL を 1514 バイト (イーサネットフレームの最大長) 以上にすれば、すべての受信フレームを 1 バッファに収めることができます。

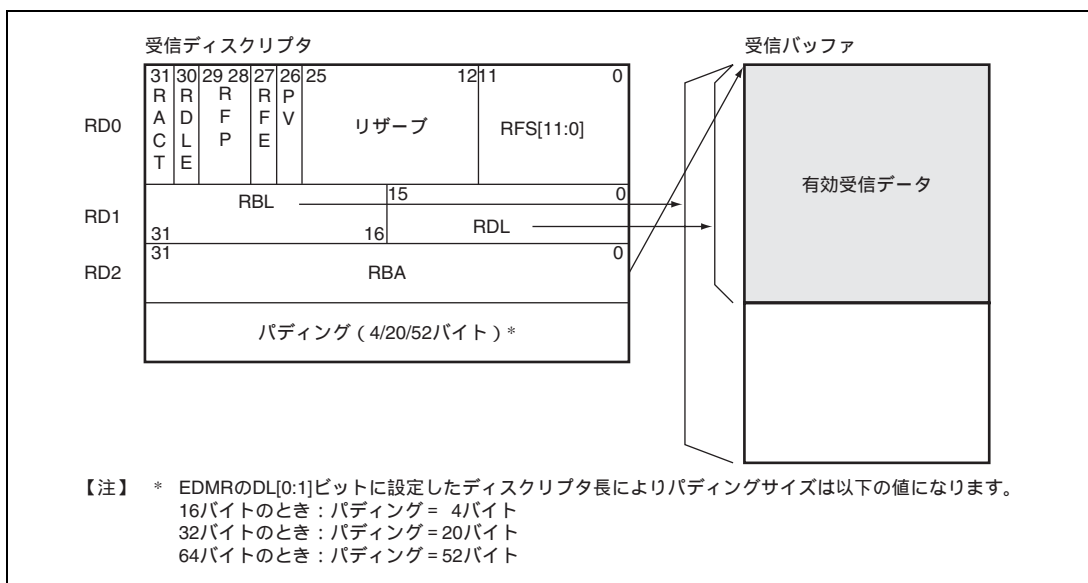


図 23.4 受信ディスクリプタと受信バッファの関係

(a) 受信ディスクリプタ 0 (RD0)

RD0 は、EDRRR の RR ビット = 1 後の E-DMAC がディスクリプタ情報の読み込みを開始する以前に、ユーザがあらかじめディスクリプタの有効 / 無効ビットの設定、およびディスクリプタリストが最終か否かを設定します。イーサネットフレームの受信バッファへの DMA 転送が完了した後、E-DMAC がディスクリプタの有効 / 無効ビットを無効とし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31、30 にディスクリプタの構成に従った値を書き込んでください。また、ビット 29~0 には 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	RACT	0	R/W	<p>受信ディスクリプタ有効 / 無効</p> <p>本ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ受信バッファ（ユーザの指定する受信データ格納先）を用意した後、本ビットに 1 を書き込みます。また、E-DMAC はデータの転送を完了すると本ビットを 0 クリアします。</p> <p>0 : 本受信ディスクリプタが無効</p> <p>初期値の状態か 0 を書き込んだ後の状態、またはユーザが 1 を書き込んだ後の場合には E-DMAC のデータ転送処理終了により本ビットが 0 クリアされたことを示します。</p> <p>E-DMAC のディスクリプタ読み込みの際に、本状態が認識されると E-DMAC は EDRRR の RR ビットを 0 クリアし、E-DMAC の受信にかかわる転送動作は停止します。</p> <p>1 : 本受信ディスクリプタが有効</p> <p>ユーザが 1 を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。</p> <p>E-DMAC は連続する複数個のディスクリプタ列（ディスクリプタリスト）が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。</p>
30	RDLE	0	R/W	<p>受信ディスクリプタリスト最終</p> <p>本ディスクリプタがディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。</p> <p>0 : 最終のディスクリプタリストではない</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。</p> <p>1 : 最終のディスクリプタリストである</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、RDLAR が示すアドレスにあるディスクリプタを読み込みます。</p>

ビット	ビット名	初期値	R/W	説明
29、28	RFP[1:0]	00	R/W	<p>受信フレーム内位置</p> <p>本ディスクリプタの情報が受信フレームの先頭かその途中または最終かを E-DMAC がライトバックによって示します。</p> <p>00 : 本ディスクリプタの情報はフレームの中間である</p> <p>01 : 本ディスクリプタの情報はフレームの最後である</p> <p>10 : 本ディスクリプタの情報はフレームの先頭である</p> <p>11 : 本ディスクリプタの情報はフレームの先頭と最後を含む (1フレーム/1ディスクリプタ(1バッファ)である)</p> <p>【参考】</p> <p>1フレームを受信した後のフレームとディスクリプタの関係を示します。</p> <ul style="list-style-type: none"> • 1フレーム/1ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ : RFP[1:0] = 11 • 1フレーム/2ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ : RFP[1:0] = 10 2番目のディスクリプタ : RFP[1:0] = 01 • 1フレーム/3ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ : RFP[1:0] = 10 2番目のディスクリプタ : RFP[1:0] = 00 3番目のディスクリプタ : RFP[1:0] = 01 <p>以降、分割数が多い場合には、中間の RFP[1:0] = 00 であるディスクリプタが増えることになります。</p>
27	RFE	0	R/W	<p>受信フレームエラー発生</p> <p>受信フレームに何らかのエラーが発生したことを示します。</p> <p>0 : RFS[11:0]のすべてのビットの値が0</p> <p>1 : RFS[11:0]のいずれかのビットの値が0</p> <p>TRSCER レジスタで、RFS[8:0]の要因単位にマスクすることができます。ただし、RFS[11:9]はマスクすることができません。</p> <p>本ビットは E-DMAC によってライトバックされます。</p>
26	PV	0	R/W	<p>パディング挿入</p> <p>本ディスクリプタで処理した受信フレームが、RPADIR レジスタで指定されたパディングが挿入されている受信フレームかどうかを示します。</p> <p>0 : パディングの挿入なし</p> <p>1 : パディングの挿入あり</p> <p>本ビットは、ライトバック処理で書き換えられます。</p>
25~12	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11~0	RFS [11:0]	すべて 0	R/W	<p>受信フレームステータス</p> <p>当該フレームのステータスを示します。以下のビットは 1 で当該の事象が発生したことを示します。また、RFS[9]~RFS[0]の事象が発生した場合にはフレームの受信は不完全です。</p> <ul style="list-style-type: none"> • RFS[11:10]: リザーブ • RFS[9]: 受信 FIFO オーバフロー (EESR の RFOF ビットに相当) • RFS[8]: 受信中断検出 (EESR の RABT ビットに相当) • RFS[7]: マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当) • RFS[6]: キャリア拡張エラー (EESR の CEEF ビットに相当) • RFS[5]: キャリア拡張消失 (EESR の CELF ビットに相当) • RFS[4]: 端数ビットフレーム受信 (EESR の RRF ビットに相当) • RFS[3]: ロングフレーム受信エラー (EESR の RTLF ビットに相当) • RFS[2]: ショートフレーム受信エラー (EESR の RTSF ビットに相当) • RFS[1]: PHY-LSI 受信エラー (EESR の PRE ビットに相当) • RFS[0]: 受信フレーム CRC エラー (EESR の CERF ビットに相当)

(b) 受信ディスクリプタ 1 (RD1)

RD1 は、当該ディスクリプタが使用できる受信バッファのデータ長をユーザが指定し、フレーム受信後には E-DMAC が受信したフレーム長を示します。

ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説明
31 ~ 16	RBL [15:0]	すべて 0	R/W	受信バッファデータ長 (単位: バイト、32 バイト境界で指定) 当該受信バッファの受信可能なデータ長を 32 バイトの整数倍で設定します。 最大長は 64K - 32 (H'FFE0) バイトです。
15 ~ 0	RDL [15:0]	すべて 0	R	受信データ長 受信バッファに格納された受信フレームのデータ長を示します。 受信バッファに転送される受信データには、フレームの最後である CRC データ (4 バイト) が含まれていません。また、受信フレーム長は、この CRC データを含めない (有効データバイト) 語数が報告されます。 1 フレーム / 複数バッファ (ディスクリプタ) となった場合には、最終ディスクリプタの本受信データ長のみが有効です。途中のディスクリプタの受信データ長は意味を持ちません。 受信可能な最大受信データ長は以下のようになります。 パディング機能無効時: 64K - 1 (H'FFFF) バイト パディング機能有効時: 64K - 32 (H'FFE0) バイト

(c) 受信ディスクリプタ 2 (RD2)

RD2 は、当該受信バッファの先頭アドレスを示します。受信バッファの開始アドレスの設定は、32 バイトを境界として設定してください。

ビット	ビット名	初期値	R/W	説明
31~0	RBA [31:0]	すべて 0	R/W	受信バッファ先頭アドレス 当該受信バッファの先頭アドレスを 32 バイト境界で設定します。

E-DMAC は、RBA (受信バッファアドレス) に設定されたアドレスから 32 バイト単位で受信フレームを受信バッファへ DMA 転送します。したがって、RBL (受信バッファ長) へは 32 バイトの整数倍を設定してください。

以下のようにデータが 32 バイトに満たない場合は、無効なデータが書き込まれます。

【転送例】

受信フレーム長 = 170 バイト、必要な受信バッファ容量 = 192 バイト (32 バイト × 6) の場合、6 回目の DMA において、無効なデータも受信バッファに DMA 転送されます (DMA データ 32 バイト中、前半の 10 バイトは有効データで後半の 22 バイトは無効データ)。

受信データパディング挿入設定レジスタ (RPADIR) を設定することで、受信フレームの任意の位置に 1 か所だけ値 0 をパディングすることが可能です。パディングサイズは 1 バイト単位で任意であり、最小 1 バイト、最大 31 バイトです。受信フレームにパディングを行う場合は、「受信フレーム長 + パディングサイズ」分の受信バッファ領域が必要です。なお、RPADIR の設定はすべての受信フレームに対して有効です。

RFE (受信フレームエラー発生)、PV (パディング挿入)、RFS (受信フレームステータス)、および RFL (受信フレーム長) は、受信フレームの最後を含む受信ディスクリプタ (RFP = 01 あるいは 11) にのみライトバックされます。

ソフトウェアで受信ディスクリプタを再設定する場合は、未処理の受信ディスクリプタの上書き (再設定) を防ぐために、受信ディスクリプタがライトバックされている (RACT = 0 になっている) ことを再設定の前にあらかじめ確認する必要があります。

(3) ディスクリプタと送受信バッファ

(a) 送信

送信ディスクリプタごとに1つの送信バッファを保持します。E-DMACは、送信ディスクリプタで示された送信バッファに格納されている送信フレームを送信FIFOへ転送します。また、複数の送信ディスクリプタで示された各送信バッファに格納されている送信フレームをそれぞれ連結して1つの送信フレームとして送信FIFOへ転送することも可能です。

図 23.5 に送信ディスクリプタと送信バッファとの関係を示します。

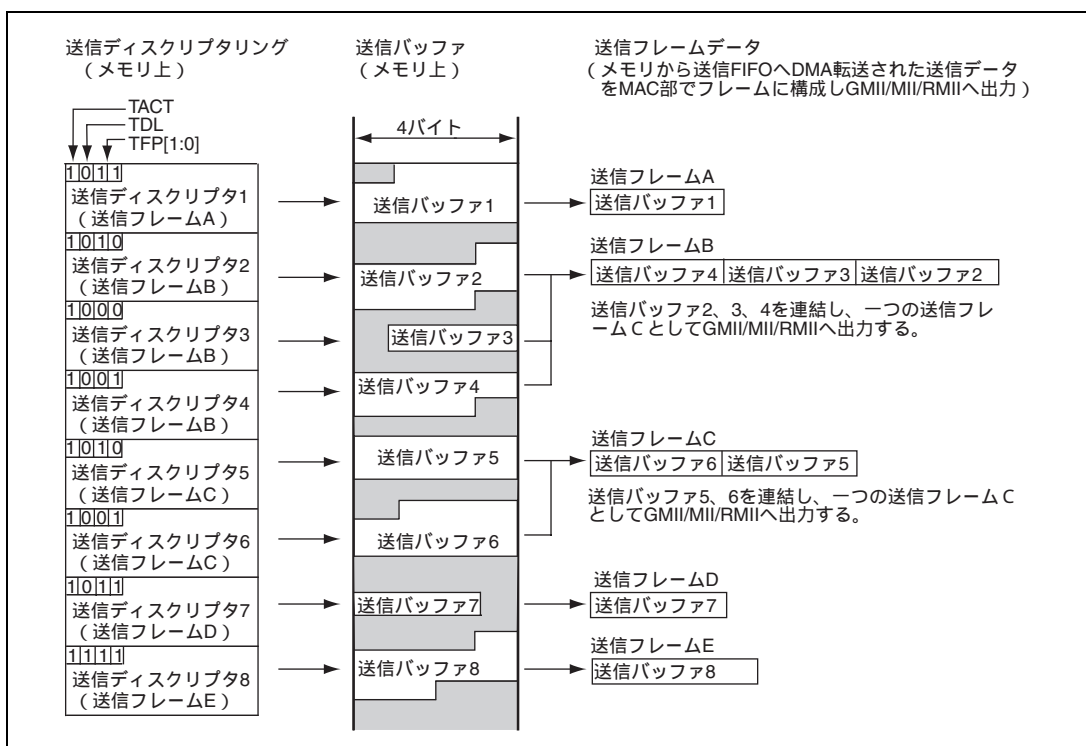


図 23.5 送信ディスクリプタと送信バッファとの関係

(b) 受信

受信ディスクリプタごとに1つの受信バッファを保持します。E-DMACは、受信ディスクリプタで示された受信バッファへ受信FIFOから受信したフレームを格納します。ここで、受信フレームのサイズが受信バッファのサイズをオーバーする場合は、別の受信ディスクリプタで示された受信バッファへ当該受信フレームのオーバーした部分を格納します。このように、1つの受信フレームを複数の受信バッファに分けて格納することも可能です。

図 23.6 に受信ディスクリプタと受信バッファとの関係を示します。

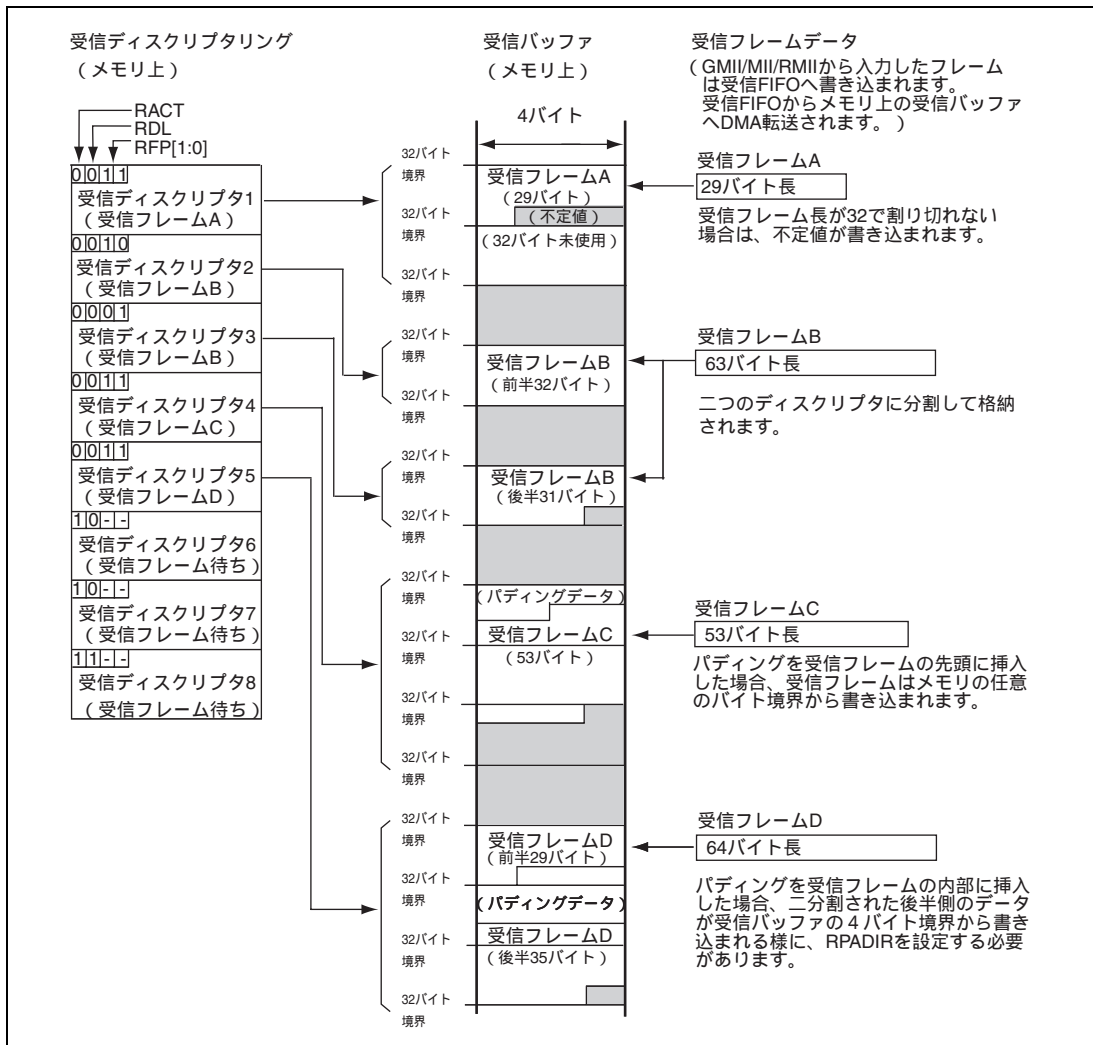


図 23.6 受信ディスクリプタと受信バッファとの関係

(4) ディスクリプタポインタ

E-DMAC は、送信ディスクリプタおよび受信ディスクリプタのメモリ上のアドレスや処理順序を以下に示すレジスタを用いて制御します。

1. 送信ディスクリプタ関連

- TDLARレジスタ：送信ディスクリプタリストの先頭ディスクリプタのアドレス
- TDFARレジスタ：処理すべき送信ディスクリプタのアドレス
- TDFXRレジスタ：処理を最後に完了した（ライトバックした）送信ディスクリプタのアドレス
- TDFFRレジスタ（DLビット）：TDFXRで示された送信ディスクリプタのTDLE値が1かどうかを指示

2. 受信ディスクリプタ関連

- RDLARレジスタ：受信ディスクリプタリストの先頭ディスクリプタのアドレス
- RDFARレジスタ：処理すべき受信ディスクリプタのアドレス
- RDFXRレジスタ：処理を最後に完了した（ライトバックした）受信ディスクリプタのアドレス
- RDFFRレジスタ（DLビット）：RDFXRで示された受信ディスクリプタのRDLE値が1かどうかを指示

送信ディスクリプタおよび受信ディスクリプタはそれぞれリング構成をとっています。処理した送信ディスクリプタ（受信ディスクリプタ）の TDLE（RDLE）値が 0 であった場合、当該ディスクリプタの次に位置するディスクリプタを処理します。次に位置するディスクリプタとは、処理した送信ディスクリプタ（受信ディスクリプタ）のアドレスに、E-DMAC モードレジスタ（EDMR）のディスクリプタ長ビット（DL）で指定されたディスクリプタ長を加算して得られたアドレスに存在する送信ディスクリプタ（受信ディスクリプタ）です。一方、処理した送信ディスクリプタ（受信ディスクリプタ）の TDLE（RDLE）値が 1 であった場合、次に処理するディスクリプタは TDLAR（RDLAR）で示された送信ディスクリプタ（受信ディスクリプタ）です。図 23.7 に送信 / 受信ディスクリプタリングとリードポインタの関係の例を示します。

送信ディスクリプタに関しては、必ず送信フレームを 5 つ以上ポイントすることができる大きさのリスト構成にしてください。送信フレームを 4 つ以下しかポイントできないリスト構成の場合、E-DMAC の動作保証はいたしません（すなわち、4 つ以下の送信フレームでリング内のすべての送信ディスクリプタを使用するという設定は行わないでください）。一方、受信ディスクリプタリストについては、このような制約はありません。たとえば、1 つの受信フレームでリスト内のすべての受信ディスクリプタを使用しても問題ありません。

初期設定では、ソフトウェアでディスクリプタリストの先頭アドレスを、TDLAR (RDLAR) レジスタと TDFAR (RDFAR) に、ディスクリプタリストの最終ディスクリプタのアドレスを TDFXR (RDFXR) に設定してください。

E-DMAC は、ディスクリプタを処理するごとに、TDFAR (RDFAR)、TDFXR (RDFXR)、TDFFR.DL ビット (RDFFR.DL ビット) をそれぞれ更新します。

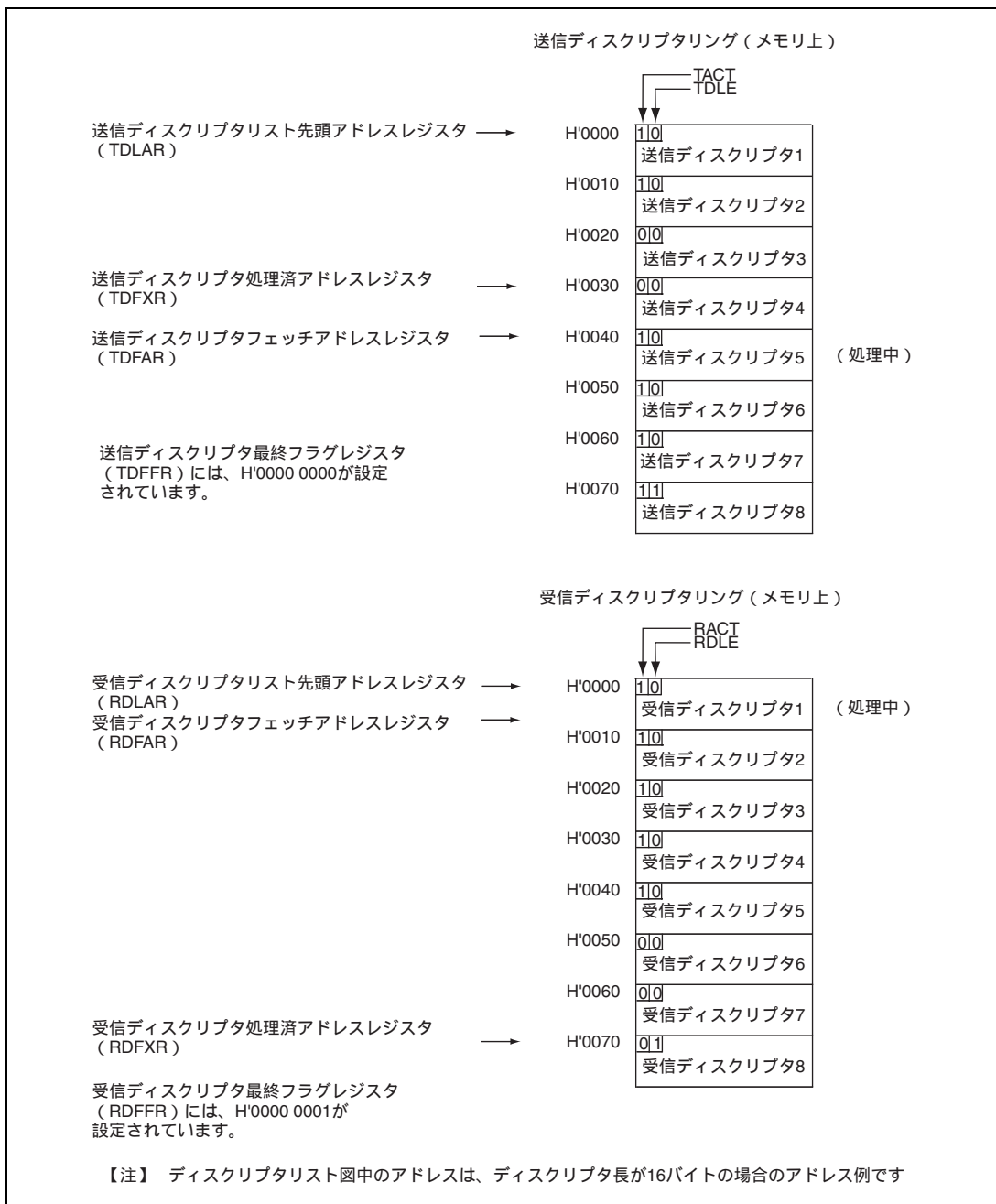


図 23.7 送受信ディスクリプタとディスクリプタポイントレジスタとの関連

23.4.2 送信動作

(1) 送信手順とフロー

E-DMAC モードレジスタ (ECMR) の TE ビットが 1 の状態で E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) に 11 が書き込まれたときに、送信 FIFO に 32 バイト以上の空きがあれば、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初回起動時は送信ディスクリプタ先頭アドレスレジスタ (TDLAR) で示すディスクリプタ) を読み込みます。

読み込んだディスクリプタの TACT ビットが 1 (有効) の場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して送信 FIFO に転送します。E-MAC は送信フレームを作成し GMII/MII/RMII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP = 10 (フレーム開始)

DMA 転送後、ディスクリプタのライトバック (TACT ビットの 0 書き込み) を行います。

- TFP = 01 or 11 (フレーム終了)

フレームの送信完了後、ディスクリプタのライトバック (TACT ビットの 0 およびステータスの書き込み) を行います。

- TFP = 00 (フレーム継続)

ディスクリプタのライトバックは行いません。TACT ビットは 1 のままですので注意してください。

読み込んだディスクリプタの TACT ビットが 1 (有効) の間は、E-DMAC はディスクリプタの読み込みとフレームの送信を継続します。

読み込んだディスクリプタの TACT ビットが 0 (無効) の場合は、E-DMAC は以下の処理を行った後、送信処理を終了します。

- E-DMAC 送信要求レジスタ (EDTRR) の TR ビットに 00 を書き込みます。
- E-DAC/E-DMAC ステータスレジスタ (EESR) の TC ビットに 11 を書き込み、CPU に対して割り込みを発生させます。

なお、E-DMAC は、送信 FIFO に最大で 4 フレーム分のデータを格納することが可能です。

E-MAC 送信処理部は、以下の条件が成立すると、送信 FIFO から送信データを読み出しフレームに組み立てて GMII/MII/RMII へ送信します。

- 送信 FIFO に送信 FIFO しきい値指定レジスタ (TFTR) で設定したバイト数以上のデータが格納された。
- 送信 FIFO に 1 フレーム以上のデータが格納された。
- 送信 FIFO に空き領域がなくなった。(GMII/MII/RMII への送信待ちデータでフルになっている)

図 23.8 に、送信フローの例を示します。

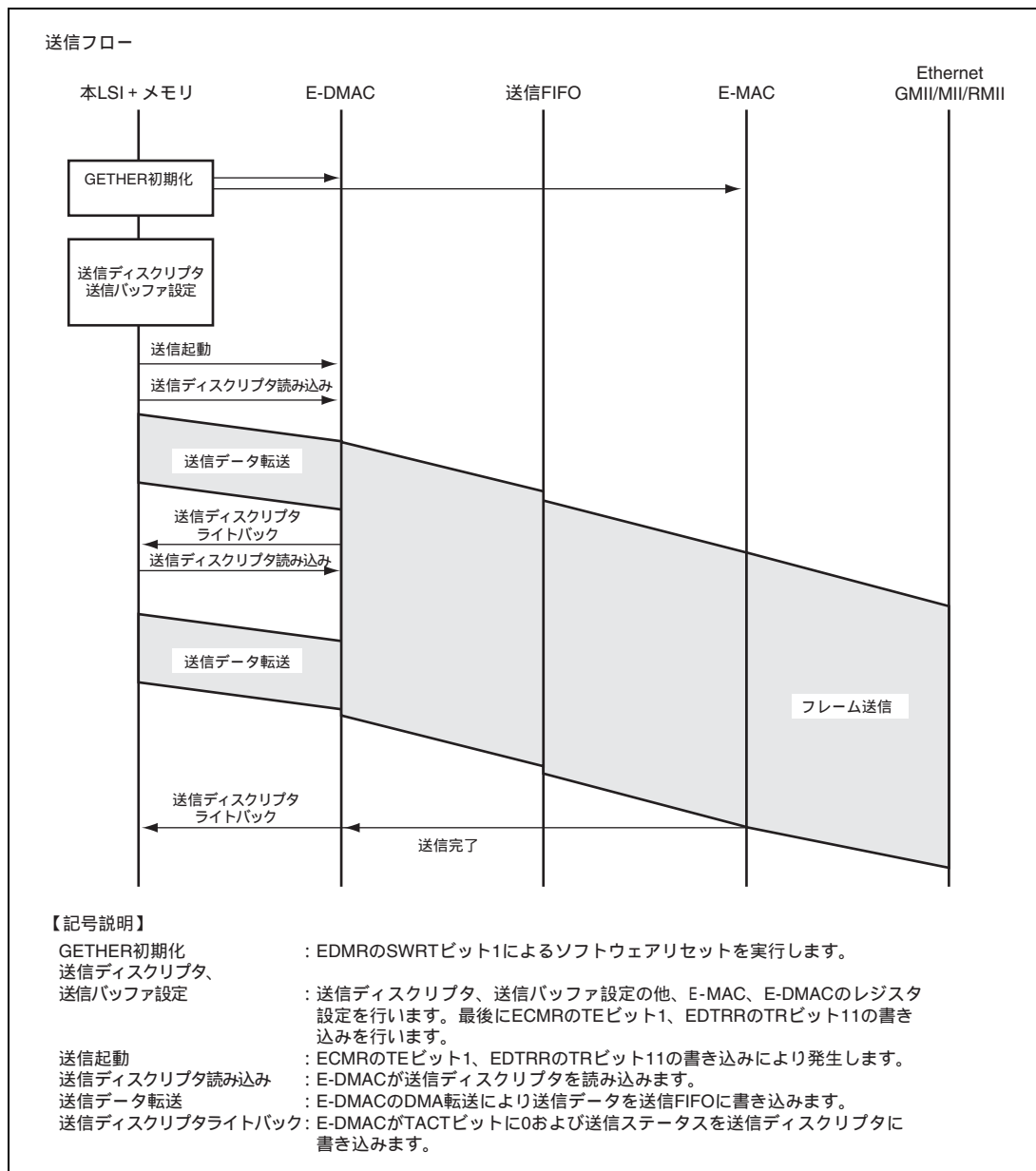


図 23.8 送信フローの例 (1 フレーム / 2 ディスクリプタ)

E-MAC 送信部の状態遷移図を図 23.9 に示します。この動作は、0 系および 1 系共に共通です。

1. E-MACモードレジスタ (ECMR) の送信許可ビット (TE) がセットされると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があると、E-MACはキャリア検出、フレーム間隔時間の送信延期を経てプリアンブルをGMII/MII/RMIIに送信します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACが送信終了割り込み (TC) を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を続けます。

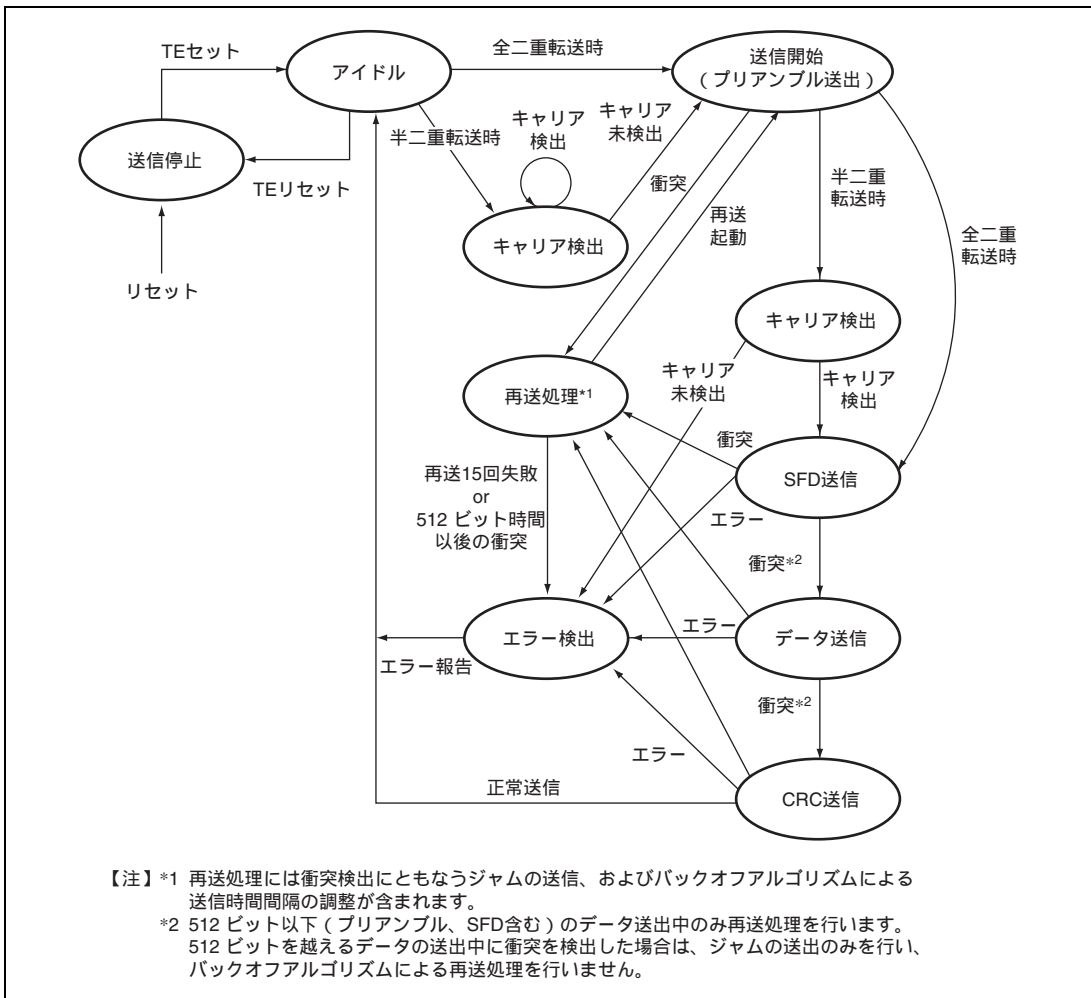


図 23.9 E-MAC 送信部状態遷移図

(2) 送信エラー処理

(a) 送信アバート

送信 FIFO から GMII/MII/RMII へのフレーム送信中に送信エラーを検出すると、送信 FIFO から GMII/MII/RMII への該当フレームのデータ送出を中断します。また、送信バッファから送信 FIFO への当該フレームの DMA 転送がまだ終了していない場合は、本 DMA 転送も同様に中断します。

送信エラー終了した送信フレームに関連する送信ディスクリプタのライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ (EESR) の送信中断検出ビット (TABT) に 1 を書き込み、CPU へ割り込みを発生します。以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

(b) 送信 FIFO のアンダフロー

送信 FIFO から GMII/MII/RMII へのフレーム送信中に送信 FIFO が空 (送信 FIFO のアンダフロー) になると、E-MAC は、当該送信フレームの GMII/MII/RMII への送信を強制的に中断します。このとき、E-MAC が E-DMAC から受信した当該フレームは途中で切断されたフレームとなります。そして E-MAC は以下の動作を行います。

- E-MAC/E-DMAC ステータスレジスタ (EESR) の送信 FIFO アンダフロービット (TFUF) に 1 を書き込み、CPU へ割り込みを発生します。
- 該当送信フレームに対する送信ディスクリプタにライトバック
- 上記ライトバックの終了後、E-DAC/E-DMAC ステータスレジスタ (EESR) の送信 FIFO アンダフローライトバック完了ビット (TUC) に 1 を書き込み、CPU へ割り込みを発生します。

以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

E-MAC は、送信 FIFO に送信 FIFO しきい値指定レジスタ (TFTR) で設定したバイト数以上のデータが格納されるまで送信 FIFO から GMII/MII/RMII へのフレーム送信を開始しません。本 TFTR を有効利用することにより、送信 FIFO のアンダフローの発生頻度を制御することが可能です。

(c) 送信ディスクリプタの枯渇

読み込んだ送信ディスクリプタの TACT ビットが 0 (無効) の場合で、前回処理したディスクリプタの TFP ビットが 00 あるいは 10 の場合、送信ディスクリプタが枯渇したと判断し、E-MAC/E-DMAC ステータスレジスタ (EESR) の送信ディスクリプタ枯渇 (TDE) に 1 を書き込み、CPU へ割り込みを発生します。

送信ディスクリプタ枯渇が発生したときは、ソフトウェアリセットを実行した後に送信処理を起動してください。

23.4.3 受信動作

(1) 受信手順とフロー

E-MAC 受信部は、GMII/MII/RMII から入力したフレームを、プリアンプル、SFD、データおよび CRC データに分解し、DA (宛先アドレス) からデータまでを受信 FIFO に書き込みます。受信 FIFO には最大 24 フレームまで書き込むことが可能です。E-MAC 受信部の状態遷移図を図 23.10 に示します。この動作は、0 系および 1 系共に共通です。

1. E-MAC モードレジスタ (ECMR) の受信許可ビット (RE) が 1 にセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンプルに続く SFD (スタートフレームデリミタ) を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームの DA (宛先アドレス) が本 LSI 宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. GMII/MII/RMII からのデータ受信後、フレームデータ部の CRC チェックを行います。結果は受信 FIFO へフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。

フレームを受信後、ECMR 内の RE ビットが 1 に設定されていると、次のフレーム受信に備えます。

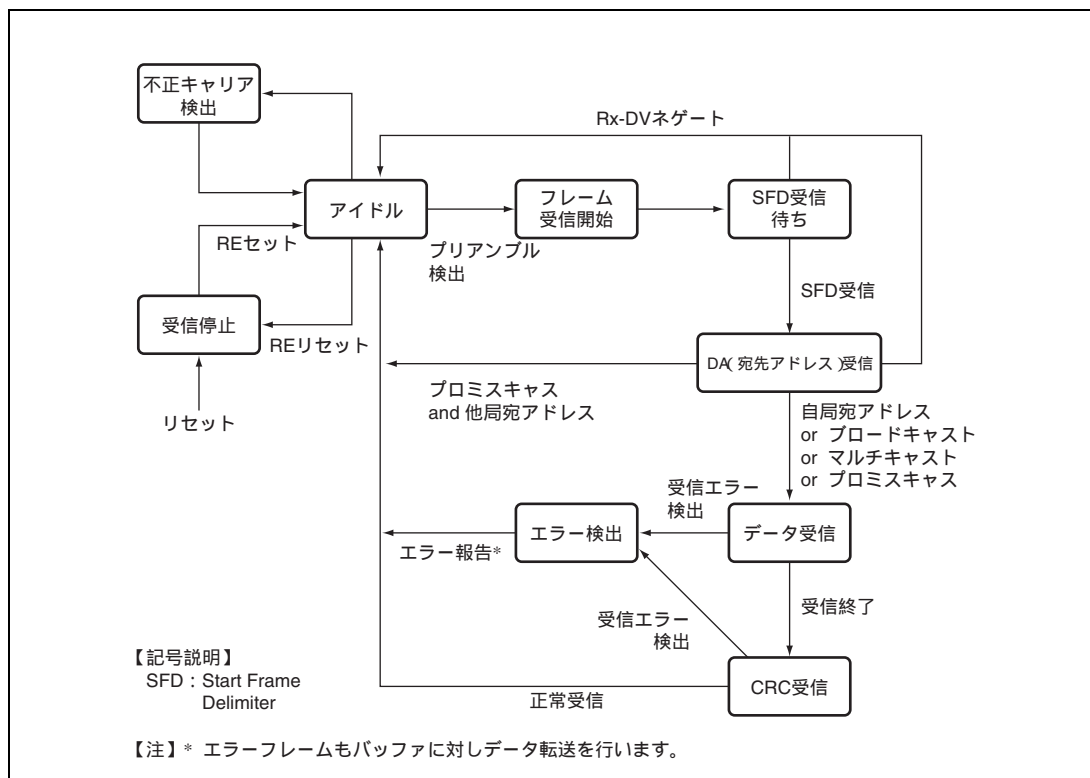


図 23.10 E-MAC 受信部状態遷移図

また、受信時のフレーム処理では CAM の判定を参照することができます (CAM 機能を使用する場合については、「23.4.5 CAM 機能」を参照してください)。

ECMR の RE ビットが 1 の状態で E-DMAC 受信要求レジスタ (EDRRR) の受信要求ビット (RR) に 1 を書き込むと、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初回起動時は受信ディスクリプタ先頭アドレスレジスタ (RDLAR) で示すディスクリプタ) を読み込んだ後に受信待機状態となります。E-DMAC は、受信 FIFO に 32 バイト以上のデータ格納されているか、受信フレームの最終バイトが格納されている場合、受信ディスクリプタの RACT ビットが 1 (有効) の受信ディスクリプタに従い受信 FIFO のデータを RD2 で指定される受信バッファに転送します。

受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック (RFP = 10 or 00) を行った後、次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。

以下の条件が成立すると、当該ディスクリプタにライトバック (RFP = 11 or 01) を行った後に、E-MAC/E-DMAC ステータスレジスタ (EESR) のフレーム受信完了ビット (FR) に 11 を書き込み、CPU に割り込みを発生します。

- 受信バッファが DMA 転送でフルになった。
- 受信フレームの最終バイトの受信バッファへの DMA 転送が終了した。

当該フレームの受信処理が終了した後、次のディスクリプタを読み込み受信待機状態となります。このとき、受信 FIFO に 32 バイト以上のデータが格納されているか、受信フレームの最終バイトが格納されている場合、続けて次の受信ディスクリプタの処理を行います。

読み込んだ受信ディスクリプタの RACT ビットが 0 (無効) の場合は、受信ディスクリプタが枯渇したと判断し、E-MAC/E-DMAC ステータスレジスタ (EESR) の受信ディスクリプタ枯渇 (PDE) に 1 を書き込み、CPU へ割り込みを発生します。

なお、連続してフレームを受信するには、受信方式制御レジスタ (RMCR) 内の受信コントロールビット (RNC) を 1 に設定してください。初期値は 0 です。

図 23.11 に、受信フローの例を示します。

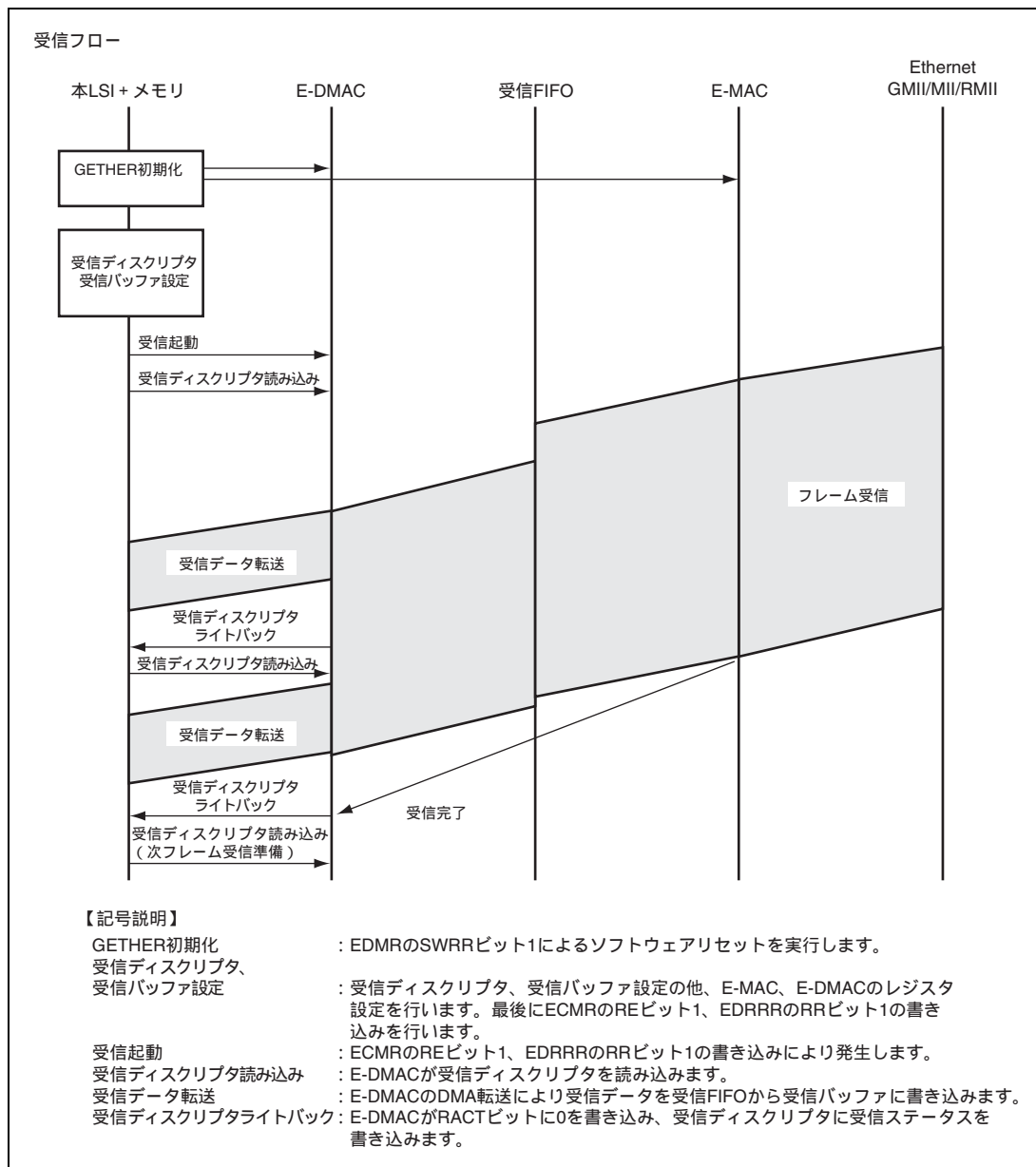


図 23.11 受信フローの例 (1 フレーム / 2 ディスクリプタ)

(2) 受信エラー処理

(a) 受信エラー

受信エラーが発生した場合、受信エラーフレームに関連する受信ディスクリプタのライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ (EESR) のフレーム受信完了ビット (FR) および受信中断検出ビット (RABT) に 1 を設定し、CPU へ割り込みを発生します。

なお、GMII/MII/RMII から受信したフレームのバイト長が 32 バイト未満のときに受信エラーが発生した場合は、当該フレームの受信バッファへの DMA 転送は行いません。この場合、E-DMAC 内部で当該受信フレームを破棄します (フラッシュ機能)。ただし、受信データパディング挿入設定レジスタ (RPADIR) により受信フレームにパディング挿入した場合は、パディングバイト数を含めた長さが 32 バイト未満であるときに本フラッシュ機能が働きます。

(b) 受信 FIFO のオーバーフロー

下記どちらかの状態のときは、E-MAC は GMII/MII/RMII からの受信フレームを格納する領域がないため GMII/MII/RMII からフレームを受信することができません。この状態では E-MAC へ新たに転送してきた受信フレームは、すべて E-MAC 内部で破棄されます (受信 FIFO のオーバーフロー)。

- 受信 FIFO が DMA 転送待ちデータでフルになった (受信 FIFO に空き領域がない)
- DMA 転送待ち受信フレーム数が計 24 になった (受信フレーム情報管理領域に空きがない: 最大管理フレーム数は 24)

前者によりオーバーフローした場合、EESR レジスタの受信 FIFO オーバーフロービット (RFE) に 1 をセットし、CPU へ割り込みを発生します。一方、後者によりオーバーフローした場合、EESR レジスタの受信フレームカウンタオーバーフロービット (RFCOF) に 1 をセットし、CPU へ割り込みを発生します。また、オーバーフローで受信フレームを 1 つ破棄するごとに、ミスドフレームカウンタレジスタ (RMFCR) をカウントアップします。ただし、受信 FIFO 空き容量不足により途中で切断された受信フレームについては、RMFCR のカウントアップの対象外です。なお、受信 FIFO 空き容量不足により受信フレームを途中で切断した (途中までは受信 FIFO に格納した) 場合、E-DMAC は以下の動作を行います。

- 受信 FIFO に格納済みの切断フレームを受信バッファへ DMA 転送
- 上記 DMA 転送の終了後、該当受信ディスクリプタをライトバック
- 上記ライトバックの終了後、EESR の受信 FIFO オーバーフローフレームライトバック完了ビット (ROC) に 1 をセットし、CPU へ割り込みを発生

受信 FIFO が DMA 転送待ちデータでフルの場合、受信 FIFO から受信バッファへの DMA 転送が行われ、受信 FIFO に 32 バイト以上の空き領域が生じると、GMII/MII/RMII からのフレーム受信が再び可能になります。一方、DMA 転送待ち受信フレーム数が計 24 の場合、受信 FIFO から受信バッファへの 1 フレーム以上の DMA 転送が完了すると、GMII/MII/RMII からのフレーム受信が再び可能になります。なお、GMII/MII/RMII からのフレーム受信を再開する際、E-DMAC はフレームの先頭からのみ受信を再開します。

(c) フロー制御

E-DMAC は、受信 FIFO の受信データ量あるいは受信フレーム数が以下の状態になった場合、E-MAC へ通知し、E-MAC から受信 FIFO への書き込みを制御することができます

- 受信FIFOの使用容量が、オーバーフロー予告FIFOしきい値設定レジスタ (FCFTR) で設定したデータ容量を超えた場合

- 受信FIFOの受信フレーム数が、FCFTRで設定したフレーム数を超えた場合

受信データ量のしきい値は、256 ~ 65536 バイト (256 バイト刻み) が設定可能です。

受信フレームのしきい値は、1 ~ 24 フレーム (1 フレーム刻み) が設定可能です。

(d) 受信ディスクリプタの枯渇

読み込んだディスクリプタの RACT ビットが 0 (無効) の場合は、受信ディスクリプタが枯渇したと判断し、DMA 転送処理を停止し、以下の動作を行います。

- EDRRRのRRビットに0を書き込む

- EESRの受信ディスクリプタ枯渇ビット (RDE) に1をセットし、CPUへ割り込みを発生

再度、受信バッファへの DMA 転送を行うためには、ソフトウェアが割り込み要因をクリアし、受信ディスクリプタを再設定し、EDRRR の RR ビットに 1 を書き込む必要があります。

なお、受信ディスクリプタが枯渇した場合においても、受信 FIFO 容量や受信フレーム情報管理領域に空きがあれば、GMII/MII/RMII 受信 FIFO へのフレーム受信は続きます。したがって、受信ディスクリプタが枯渇した場合でも、オーバーフローする前に受信バッファへの DMA 転送を再開させることができれば、GMII/MII/RMII からの受信フレームを破棄することなく受信バッファへ DMA 転送することが可能です。

23.4.4 転送動作

(1) 転送手順とフロー

GETHER は、E-MAC-0 または E-MAC-1 のいずれかが受信したフレームをもう一方の E-MAC に転送する機能を有しています。転送動作が有効になっている場合は、E-MAC から入力されたフレームは TSU 部で転送 FIFO と受信 FIFO の双方に送られ、受信系では受信するか否か、転送系では転送するか否かをそれぞれ独立に判定します。なお、転送動作をさせるため両 E-MAC はプロミスキャスモードに設定し、両 E-MAC 内の MAC アドレスは、同じ MAC アドレスを設定してください (以後この MAC アドレスを本 LSI の MAC アドレスと呼びます)。

転送フレームの処理方法 (転送 / 破棄) の設定は、TSU_FWSL0 および TSU_FWSL1 で行います。転送処理に際し転送 FIFO を通過したフレームは、E-MAC-0 から E-MAC-1 への転送のときは E-MAC-1 から、E-MAC-1 から E-MAC-0 への転送のときは E-MAC-0 から GMII/MII/RMII に送られます。その際に E-DMAC からの送信フレームとの競合が発生することがあります。競合が発生した場合の処理の優先順位は、TSU_PRISL0/1 で設定することができます。また、転送 FIFO の利用率がレジスタ (TSU_PRISL0/1) で設定された値よりも上回ったときに優先的に転送 FIFO のフレームを送信する機能があり、これにより転送 FIFO の溢れによるフレーム欠損を未然に防ぐことができます。

マルチキャストフレームと宛先が本 LSI 以外のフレームについては、転送時のフレーム処理に CAM の判定を参照することができます (CAM 機能についての詳細は、「23.4.5 CAM 機能」を参照してください)。表 23.4 に転送フレーム処理の設定 (CAM 未使用時) を示します。

表 23.4 転送フレーム処理 (CAM 未使用時)

フレーム種類	転送機能設定レジスタビット	フレーム処理
本 LSI 宛フレーム	FW40/1 = 0	破棄
	FW40/1 = 1	転送
ブロードキャストフレーム	FW30/1 = 0	破棄
	FW30/1 = 1	転送
マルチキャストフレーム	FW20/1 = 0	破棄
	FW20/1 = 1	転送
本 LSI 以外を宛先とするフレーム	FW10/1 = 0	破棄
	FW10/1 = 1	転送

23.4.5 CAM 機能

E-MAC 部分に入力されたフレームは、次の 4 種類に分類されます。(1) 本 LSI 宛ユニキャスト、(2) ブロードキャスト、(3) マルチキャスト、および(4) 他宛ユニキャスト。このうち、(1) および(2) の MAC アドレスは固定であり、レジスタ設定のみで判定を行います。したがって、CAM を用いて受信および転送するかどうかの判定を行うのは、(3) マルチキャスト、(4) 他宛ユニキャストのみです(ユニキャストフレームのうち、当該フレーム内の宛先 MAC アドレスが本 LSI と一致するフレームを本 LSI 宛ユニキャストフレーム、一致しないフレームを他宛ユニキャストフレームと称しています)。

さらに、TSU では CAM を利用する他宛ユニキャストおよびマルチキャストフレームの受信と転送の判定を TSU 内蔵の CAM エントリテーブルを参照して行います。本機能を使用することにより、受信不要なフレームデータの蓄積による受信 FIFO のオーバフローを未然に防ぎ、受信判定要否のための CPU 処理を低減できます。

また、POST テーブルは、4 ビットから構成され、それぞれ 0 系受信、1 系受信、0 1 転送、および 1 0 転送に対応し、当該ビットが 1 のとき CAM 判定結果を受信と転送の判定に使用します。つまり、POST テーブルの該当ビットが 0 の場合は、受信と転送判定は表 23.4 に示す CAM 未使用時の判定と同じとなります。

内蔵 CAM は 32 エントリの MAC アドレスを登録できるエントリテーブルを有しており、その内容は TSU_ADRH0 ~ TSU_ADRH31 および TSU_ADRL0 ~ TSU_ADRL31 で設定することができます。内蔵 CAM エントリテーブル参照の有効/無効の設定は、CAM 判定を行うかどうかを設定する CAM エントリテーブルイネーブル設定レジスタと CAM 判定結果を受信および転送判定に使用するかを設定する CAM エントリテーブル POST 設定レジスタにより行います。受信時の内蔵 CAM エントリテーブル参照が有効になっている場合は、フレームの中の宛先アドレスと CAM エントリテーブルに登録された MAC アドレスを比較することにより、E-MAC に入力されたフレームを E-DMAC に引き渡す (E-DMAC にフレームを受信させる) が破棄するかが判定されます。また、転送動作が有効でかつ転送時の内蔵 CAM エントリテーブル参照が有効になっているとき、マルチキャストフレームと宛先が本 LSI 以外のフレームについては、フレームの中の宛先アドレスと CAM エントリテーブルに登録された MAC アドレスを比較することにより該当フレームを転送するか破棄するかを判定することができます。表 23.5 に E-MAC-0 E-DMAC0 または E-MAC-1 E-DMAC1 受信動作時のフレームの種類に対する処理方法 (受信または破棄) の対応を、表 23.6 に E-MAC-0 E-MAC-1 または E-MAC-1 E-MAC-0 転送動作時のフレームの種類に対する処理方法 (転送または破棄) の対応を示します。

表 23.5 受信フレーム処理

CAM エントリ テーブル参照結果	フレーム種類	通常モード		プロミスキャスモード	
		MCT = 0	MCT = 1	MCT = 0	MCT = 1
CAM ヒット (アドレス一致)	本 LSI 宛フレーム	破棄		破棄	
	ブロードキャストフレーム	破棄		破棄	
	マルチキャストフレーム	破棄	受信	破棄	受信
	本 LSI 以外を宛先とするフレーム	受信		破棄	
CAM ミスヒット (アドレス不一致)	本 LSI 宛フレーム	受信		受信	
	ブロードキャストフレーム	受信		受信	
	マルチキャストフレーム	受信	破棄	受信	破棄
	本 LSI 以外を宛先とするフレーム	破棄		受信	

【記号説明】

MCT (ECMR レジスタのビット 13) : マルチキャスト受信モード (0 : CAM ミスヒット時受信、1 : CAM ヒット時受信)

表 23.6 転送フレーム処理 (CAM 使用時)

フレーム種類	転送機能設定 レジスタビット	CAM ヒット	CAM ミスヒット
マルチキャストフレーム	FW40/1 = 0	転送	破棄
	FW40/1 = 1	破棄	転送
本 LSI 以外を宛先とするフレーム	FW40/1 = 0	転送	破棄
	FW40/1 = 1	破棄	転送

【注】 マルチキャストフレームと本 LSI 以外を宛先とするフレームのみ CAM の参照が可能です。本 LSI 宛フレーム、およびブロードキャストフレームの処理は、CAM 参照の有無にかかわらず転送機能設定レジスタの値に従います。

23.4.6 マルチバッファフレーム (1 フレーム / 複数ディスクリプタ) の送受信処理について

(1) マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 23.12 に示す処理を行います。

図中で送信ディスクリプタが無効 (TACT ビットが 0) である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効 (TACT ビットが 1) である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効 (TACT ビットが 1) である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます (継続[B'00]または終了[B'01])。継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE および TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

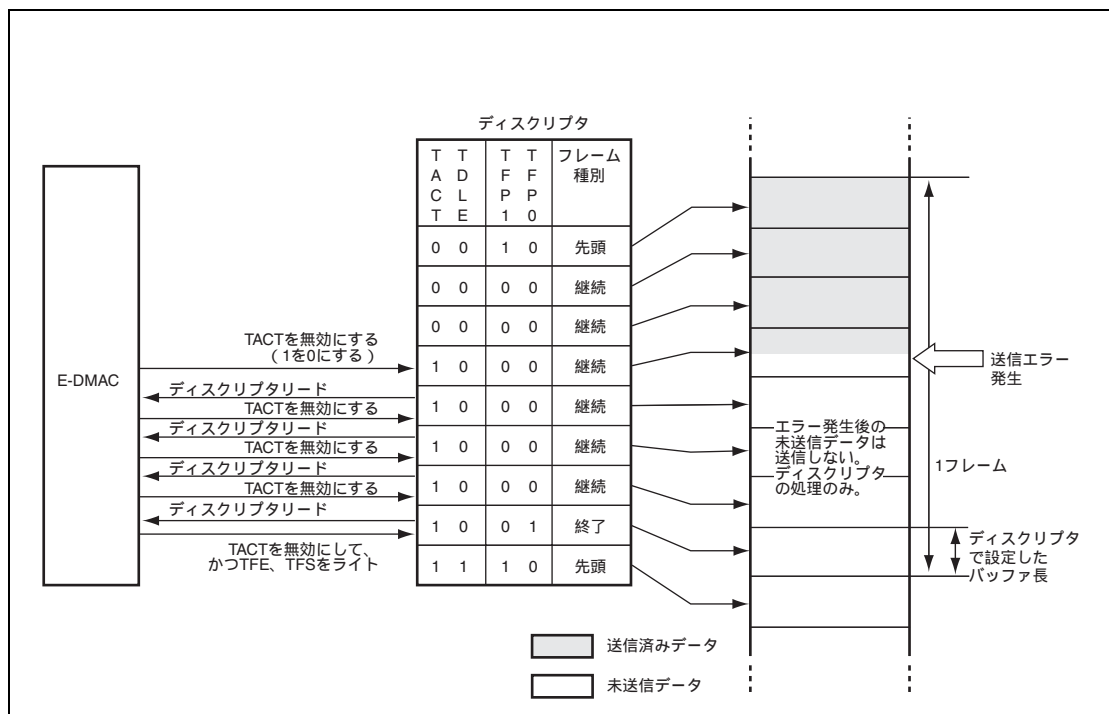


図 23.12 送信エラー発生後の E-DMAC 動作

(2) マルチバッファフレームとなるケースの受信処理

受信フレームが複数のバッファに分割されマルチバッファフレームとなるケースでの受信中にエラーが発生した場合は、E-DMAC は図 23.13 に示す処理を行います。

図中で受信ディスクリプタが無効 (RACT ビットが 0) である部分はすでにバッファに格納されるデータを正常に受信した部分を、受信ディスクリプタが有効 (RACT ビットが 1) である部分は未受信バッファであることを示します。図中のディスクリプタ部分でフレーム受信エラーが発生した場合は、該当するディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

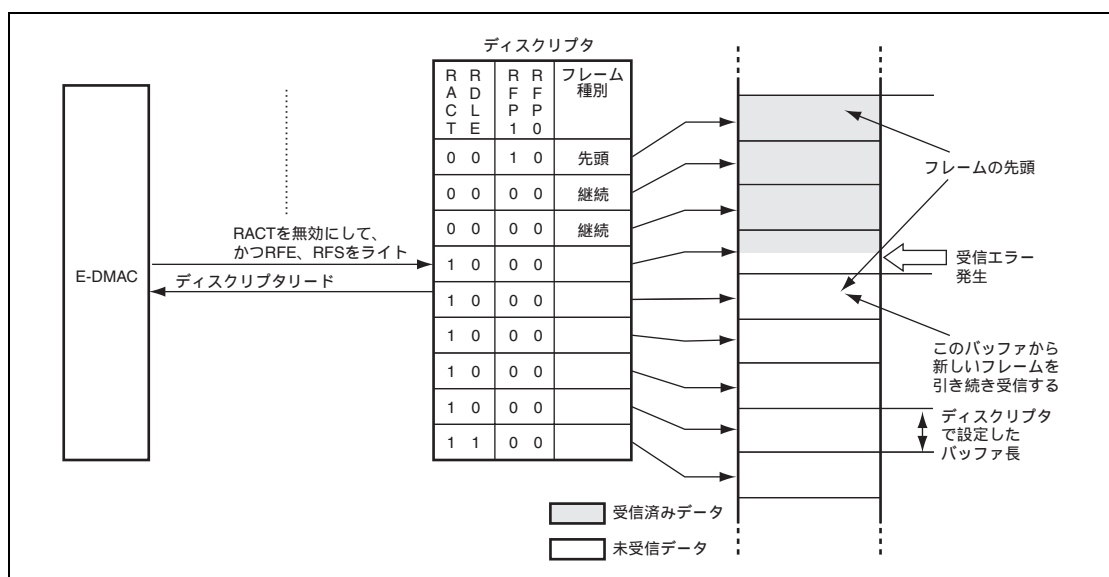


図 23.13 受信エラー発生後の E-DMAC 動作

23.4.7 受信データへのパディング挿入について

E-DMAC は、受信データ処理能力の向上のため、受信データの任意のバイト位置に1~3バイトのパディングを挿入できます。この機能を使用することで、たとえば、イーサネットフレームのMACヘッダ(14バイト)の後に2バイトのパディングを挿入することによって以降のデータを4バイト境界の先頭に置くことができます。

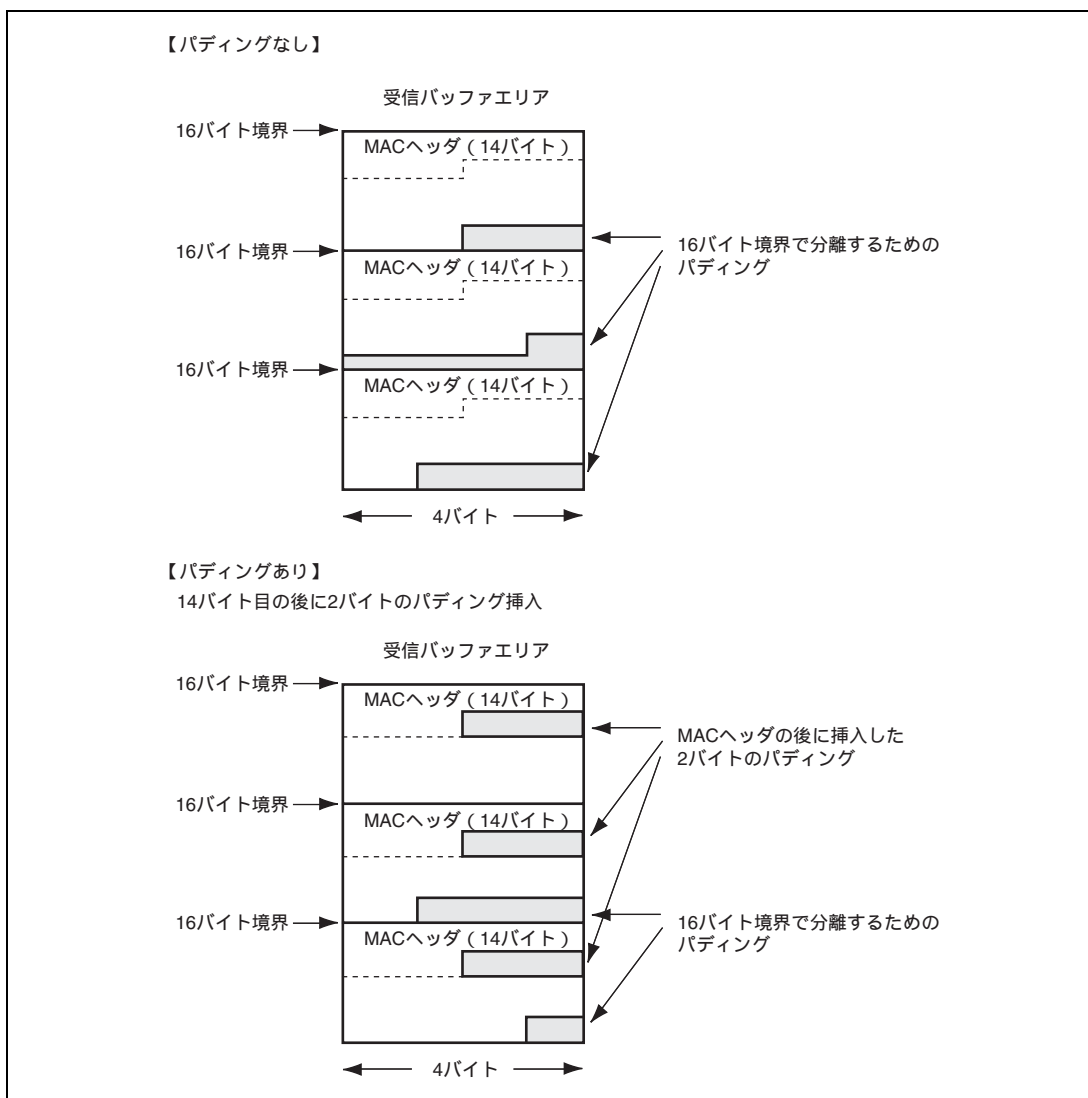


図 23.14 受信データへのパディング挿入

23.4.8 割り込み動作

(1) 割り込み要因

GETHER から CPU に対して発行する割り込みには、0 系送受信割り込み (GEINT0)、1 系送受信割り込み (GEINT1)、1 系・0 系間転送割り込み (GEINT2) の 3 種類があります。

GEINT0 と GEINT1 は、0 系あるいは 1 系の送受信動作に関連して発生する割り込みです。割り込み要因が発生すると EESR0 レジスタあるいは EESR1 にセットされるとともに CPU に対して割り込みを発行します。ただし、割り込み要因によっては、レジスタへのセット / 割り込みの発行が、割り込み要因を検出した直後ではなく、ディスクリプタへのライトバックが完了した時点のものもあります。E-MAC ステータスレジスタ要因 (ECI ビット) を除く各割り込みの要因は、対応する要因ビットに 1 を書き込むことによりクリアされます。E-MAC ステータスレジスタ要因 (ECI ビット) の割り込み要因は、ECSR レジスタの対応するビットに 1 を書き込むことによりクリアされます。これらの割り込み要因は、クリアされるまではその値を保持します。GEINT0 と GEINT1 の各割り込み要因は、EESIPR0 あるいは EESIPR1 レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。また、E-MAC ステータスレジスタ要因 (ECI ビット) に含まれる個々の割り込み要因は、ECSIPR レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。許可ビットの初期値は割り込み禁止の状態になっています。

GEINT2 は、1 系から 0 系あるいは 0 系から 1 系への転送動作に関連して発生する割り込みです。各割り込み要因が発生すると、TSU_FWSR レジスタの対応するビットがセットされるとともに、CPU に対し割り込みを発行します。GEINT2 の各割り込み要因は、対応するビットに 1 を書き込むことによりクリアされます。クリアされるまでその割り込みを保持します。GEINT2 の各割り込み要因は、TSU_FWINMK レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。初期値は、割り込み禁止の状態になっています。

表 23.7 に、3 種類の割り込みとそれぞれの割り込みの要因、割り込み要因が発生したときに設定される割り込みステータスレジスタ / ビット、および割り込み発生タイミングを示します。

表 23.7 GETHERC 割り込み一覧

割り込み種類	割り込み要因	レジスタ、ビット名	割り込み発生 タイミング
0 系送受信 割り込み (GEINT0)	ライトバック完了	EESR0.TWB	ライトバック後
	送信アンダフローフレームライトバック完了	EESR0.TUC	ライトバック後
	受信オーバフローフレームライトバック完了	EESR0.ROC	ライトバック後
	送信中断検出	EESR0.TABT	ライトバック後
	受信中断検出	EESR0.RABT	ライトバック後
	受信フレームカウンタオーバフロー	EESR0.RFCOF	割り込み要因検出時
	E-MAC ステータスレジスタ要因	EESR0.ECI	割り込み要因検出時
	フレーム送信完了	EESR0.TUC	ライトバック後
	送信ディスクリプタ枯渇	EESR0.TDE	割り込み要因検出時

割り込み種類	割り込み要因	レジスタ、ビット名	割り込み発生 タイミング
0系送受信 割り込み	送信 FIFO アンダフロー	EESR0.TFUF	割り込み要因検出時
	フレーム受信	EESR0.FR	ライトバック後
	受信ディスクリプタ枯渇	EESR0.RDE	割り込み要因検出時
	受信 FIFO オーバフロー	EESR0.RFOF	割り込み要因検出時
	キャリア消失検出	EESR0.DLC	割り込み要因検出時
	遅延衝突検出	EESR0.CD	割り込み要因検出時
	送信リトライオーバ	EESR0.TRO	割り込み要因検出時
	マルチキャストアドレスフレーム受信	EESR0.RMAF	ライトバック後
	キャリア拡張エラー	EESR0.CEEF	ライトバック後
	キャリア拡張消失	EESR0.CELF	ライトバック後
	端数ビットフレーム受信	EESR0.RRF	ライトバック後
	ロングフレーム受信エラー	EESR0.RTLF	ライトバック後
	ショートフレーム受信エラー	EESR0.RTSF	ライトバック後
	PHY-LSI 受信エラー	EESR0.PRE	ライトバック後
	受信フレーム CRC エラー	EESR0.CERF	ライトバック後
1系送受信 割り込み (GEINT1)	ライトバック完了	EESR1.TWB	ライトバック後
	送信アンダフローフレームライトバック完了	EESR1.TUC	ライトバック後
	受信オーバフローフレームライトバック完了	EESR1.ROC	ライトバック後
	送信中断検出	EESR1.TABT	ライトバック後
	受信中断検出	EESR1.RABT	ライトバック後
	受信フレームカウンタオーバフロー	EESR1.RFCOF	割り込み要因検出時
	E-MAC ステータスレジスタ要因	EESR1.ECI	割り込み要因検出時
	フレーム送信完了	EESR1.TUC	ライトバック後
	送信ディスクリプタ枯渇	EESR1.TDE	割り込み要因検出時
	送信 FIFO アンダフロー	EESR1.TFUF	割り込み要因検出時
	フレーム受信	EESR1.FR	ライトバック後
	受信ディスクリプタ枯渇	EESR1.RDE	割り込み要因検出時
	受信 FIFO オーバフロー	EESR1.RFOF	割り込み要因検出時
	キャリア消失検出	EESR1.DLC	割り込み要因検出時
	遅延衝突検出	EESR1.CD	割り込み要因検出時
	送信リトライオーバ	EESR1.TRO	割り込み要因検出時
	マルチキャストアドレスフレーム受信	EESR1.RMAF	ライトバック後
	キャリア拡張エラー	EESR1.CEEF	ライトバック後
	キャリア拡張消失	EESR1.CELF	ライトバック後
	端数ビットフレーム受信	EESR1.RRF	ライトバック後
	ロングフレーム受信エラー	EESR1.RTLF	ライトバック後

割り込み種類	割り込み要因	レジスタ、ビット名	割り込み発生 タイミング
1系送受信 割り込み (GEINT1)	ショートフレーム受信エラー	EESR1.RTSF	ライトバック後
	PHY-LSI 受信エラー	EESR1.PRE	ライトバック後
	受信フレーム CRC エラー	EESR1.CERF	ライトバック後
1系・0系間 転送割り込み (GEINT2)	0 1系転送 FIFO オーバフロー検出	TSU_FWSR.OVF0	割り込み要因検出時
	E-MAC-0 オーバフロー予告信号出力	TSU_FWSR.RBSY0	割り込み要因検出時
	E-MAC-0 キャリア拡張消失エラー検出	TSU_FWSR.RINT60	割り込み要因検出時
	E-MAC-0 端数ビットフレーム受信	TSU_FWSR.RINT50	割り込み要因検出時
	E-MAC-0 指定バイト超フレーム受信	TSU_FWSR.RINT40	割り込み要因検出時
	E-MAC-0 64 バイト未満フレーム受信	TSU_FWSR.RINT30	割り込み要因検出時
	E-MAC-0 フレーム受信エラー	TSU_FWSR.RINT20	割り込み要因検出時
	E-MAC-0 CRC エラーフレーム受信	TSU_FWSR.RINT10	割り込み要因検出時
	0 1系転送 FIFO オーバフロー検出	TSU_FWSR.OVF1	割り込み要因検出時
	E-MAC-1 オーバフロー予告信号出力	TSU_FWSR.RBSY1	割り込み要因検出時
	E-MAC-1 キャリア拡張消失エラー検出	TSU_FWSR.RINT61	割り込み要因検出時
	E-MAC-1 端数ビットフレーム受信	TSU_FWSR.RINT51	割り込み要因検出時
	E-MAC-1 指定バイト超フレーム受信	TSU_FWSR.RINT41	割り込み要因検出時
	E-MAC-1 64 バイト未満フレーム受信	TSU_FWSR.RINT31	割り込み要因検出時
	E-MAC-1 フレーム受信エラー	TSU_FWSR.RINT21	割り込み要因検出時
	E-MAC-1 CRC エラーフレーム受信	TSU_FWSR.RINT11	割り込み要因検出時

23.4.9 起動手順

以下の手順で GETHER を起動してください。

(1) リセット

1. パワーオンリセットまたはソフトウェアリセットレジスタ (ARST) によるリセット
2. E-DMAC送信部 / 受信部の起動 (ディスクリプタエンジン起動)
 - E-DMAC起動レジスタ (EDSR) の設定 : ENT=1、ENR=1
3. ソフトウェアリセット
 - E-DMACモードレジスタ (EDMR) の設定 : SWRR=1、SWRT=1 (同時に設定のこと)
4. ディスクリプタエントリテーブルの初期化
5. ソフトウェアリセットの解除確認
 - E-DMACモードレジスタ (EDMR) の確認 : SWRR=0、SWRT=0に戻っていること

(2) ディスクリプタリング登録

メモリに構成されたディスクリプタリングのアドレスをディスクリプタエントリテーブルに登録します。

1. 送信ディスクリプタの設定
 - 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) の設定
 - 送信ディスクリプタフェッチアドレスレジスタ (TDFAR) の設定
 - 送信ディスクリプタ処理済アドレスレジスタ (TDFXR) の設定
 - 送信ディスクリプタ最終フラグレジスタ (TDFFR) の設定 : TDFXRが示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001を設定
2. 受信ディスクリプタの設定
 - 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR) の設定
 - 受信ディスクリプタフェッチアドレスレジスタ (RDFAR) の設定
 - 受信ディスクリプタ処理済アドレスレジスタ (RDFXR) の設定
 - 受信ディスクリプタ最終フラグレジスタ (RDFFR) の設定 : RDFXRが示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001を設定

(3) レジスタ設定

必要に応じて以下のレジスタを設定してください。

1. E-DMAC関連レジスタの設定

- E-DMACモードレジスタ (EDMR) の設定：動作モード他
- E-DAC/E-DMACステータス割り込み許可レジスタ (EESIPR) の設定：割り込みマスク
- 送受信ステータスコピー指示レジスタ (TRSCER) の設定：エラーマスク
- 送信FIFOしきい値指定レジスタ (TFTR) の設定：送信FIFOしきい値
- FIFO容量指定レジスタ (FDR) の設定：外部FIFO容量値
- 受信方式制御レジスタ (RMCR) の設定：受信起動リセット方法
- 受信データパディング挿入設定レジスタ (RPADIR) の設定：受信データへのパディング挿入
- オーバフロー予告FIFOしきい値設定レジスタ (FCFTR) の設定：受信BSY送だしきい値

2. E-MAC関連レジスタの設定

- E-MACモードレジスタ (ECMR) の設定：送信、受信仕様
- E-MAC割り込み許可レジスタ (ECSIPR) の設定：割り込みマスク
- MACアドレス上位設定レジスタ (MAHR) の設定：MACアドレス
- MACアドレス下位設定レジスタ (MALR) の設定：MACアドレス
- 受信フレーム長上限レジスタ (RFLR) の設定：受信フレーム長上限
- PHY-INT極性設定レジスタ (PIPR) の設定：ET_PHY-INT端子の極性
- 自動PAUSEフレーム設定レジスタ (APR) の設定：自動PAUSEフレームTIMEパラメータ値
- 手動PAUSEフレーム設定レジスタ (MPR) の設定：手動PAUSEフレームTIMEパラメータ値
- 自動PAUSEフレーム再送回数設定レジスタ (TPAUSER) の設定：PAUSEフレーム再送回数上限値
- GETHERモードレジスタ (GECMR) の設定：転送速度等
- バーストサイクル回数上限設定レジスタ (BCULR) の設定：バーストサイクル上限値

(4) 起動

1. E-DMAC送受信機能の起動
 - E-DMAC送信要求レジスタ (EDTRR) の設定 : TR = 11
 - E-DMAC受信要求レジスタ (EDRRR) の設定 : RR = 1
2. E-MAC送受信機能の起動
 - E-MACモードレジスタ (ECMR) の設定 : TE = 1、RE=1

23.4.10 フロー制御

GETHER は、全二重動作時に、IEEE802.3x 準拠のフロー制御をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の(1)、(2)の方法があります。

(1) 自動 PAUSE フレーム送信

受信フレームに対しては、受信 FIFO に書き込まれたデータ量が、オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR) に設定された値に達すると PAUSE フレームを自動的に送信します。このときの PAUSE フレームに含まれる TIME パラメータ値は、自動 PAUSE フレーム設定レジスタ (APR) で設定します。PAUSE フレームの再送回数上限を規定しない場合、自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR 設定値未満になるまで繰り返されます。また、PAUSE フレーム再送回数設定レジスタ (TPAUSER) により PAUSE フレームの再送信回数の上限値を 1 ~ 65535 回の範囲で設定することができます。この場合は、自動 PAUSE フレームの送信は、受信 FIFO 内のデータ量が FCFTR 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで繰り返されます。送信回数カウンタは、いったん受信 FIFO 内のデータ量が FCFTR 設定値未満になった後、次の PAUSE フレームが送信される時点で 0 クリアされます。

自動 PAUSE フレームの送信は、E-MAC モードレジスタ (ECMR) の TXF ビットが 1 の場合に有効になります。

(2) 手動 PAUSE フレーム送信

ソフトウェアからの指示により、PAUSE フレームを送信することができます。手動 PAUSE フレーム設定レジスタ (MPR) へ Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は 1 回 (1 フレーム) のみです。

(3) PAUSE フレーム受信

PAUSE フレームを受信した場合、TIME パラメータ値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。PAUSE フレームの受信は E-MAC モードレジスタ (ECMR) の RXF ビットが 1 の場合に有効となります。PAUSE フレーム受信回数をカウントします。

(4) 0 TIME PAUSE フレーム制御

TIME パラメータ値が 0 の PAUSE フレームによるフロー制御を行うことができます。TIME パラメータ値が 0 の PAUSE フレーム制御を有効 / 無効するかを、E-MAC モードレジスタ (ECMR) の ZPF ビットで指定することができます。

- TIMEパラメータ値が0のPAUSEフレーム制御有効時

TIMEパラメータ値の示す時間が経過していない状態で、受信FIFOの容量がオーバフロー予告FIFOしきい値設定レジスタ (FCFTR) の設定値未満になると、TIMEパラメータ値が0のPAUSEフレームを送信します。

TIMEパラメータ値が0のPAUSEフレームを受信した場合、フレーム送信待ち状態を解除します。

- TIMEパラメータ値が0のPAUSEフレーム制御無効時

TIMEパラメータ値が0のPAUSEフレームを送信しません。また、TIMEパラメータ値が0のPAUSEフレームを受信した場合は、そのPAUSEフレームを破棄します。

23.4.11 Magic Packet の検出

GETHER は、Magic Packet の検出機能を有しています。本機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能 (WOL : Wake-On-LAN) を提供します。これによって、ホスト装置などから送出される Magic Packet を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、E-MAC には受信ステータスなどが報告されています。本割り込み処理から通常の動作に復帰するためには、ソフトウェアリセットレジスタ (ARSTR) の ARST ビットにより E-MAC、TSU、および E-DMAC の初期化を実行してください。

Magic Packet においては、宛先アドレスにかかわらず受信を行います。結果として、Magic Packet 内のフォーマットで指定される宛先に合致する場合のみ有効となり ET_WOL 端子が有効となります。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。

本 LSI を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可 / マスクレジスタによって割り込み要因の出力を禁止します。
2. E-MACモードレジスタ (ECMR) のMagic Packet検出許可ビット (MPDE) を設定します。
3. E-MAC割り込み許可レジスタ (ECSIPR) のMagic Packet検出割り込み許可ビット (MPDIP) をイネーブルに設定します。
4. E-MAC/E-DMACステータス割り込み許可レジスタ (EESIPR) のE-MACステータスレジスタ要因割り込み許可ビット (ECIIP) を設定します。
5. 必要ならCPUの動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。
6. Magic Packetを検出すると、CPUには割り込みが通知されます。また、周辺LSIに対しては、ET_WOL端子によりMagic Packetを検出したことを通知します。

23.4.12 IEEE802.1Q Qtag 使用方法

GETHER は、IEEE802.1Q 対応フレームの処理をサポートしており、転送動作に際して処理するフレームに対し Qtag の付加および削除を行うことができます。本機能により、QoS 対応フレームを送信および受信することができます。転送時、一方の E-MAC に接続されているイーサネット装置が QoS 対応フレームを送受信できない場合は、本 LSI では通常の IEEE802.3 フレームに変換して転送することができます。Qtag 追加または削除処理を行うかどうかは、Qtag 追加・削除設定レジスタ (TSU_QTAGM0/1) で決定します。Qtag 追加処理を行う場合は、追加する Qtag の内容を Qtag 値設定レジスタ (TSU_ADQT0/1) で設定することができます。図 23.15 に Qtag 付加機能の概略を、図 23.16 に通常のイーサネットフレームと IEEE802.1Q 準拠 (Qtag 付き) フレームとの比較を示します。Qtag の設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。

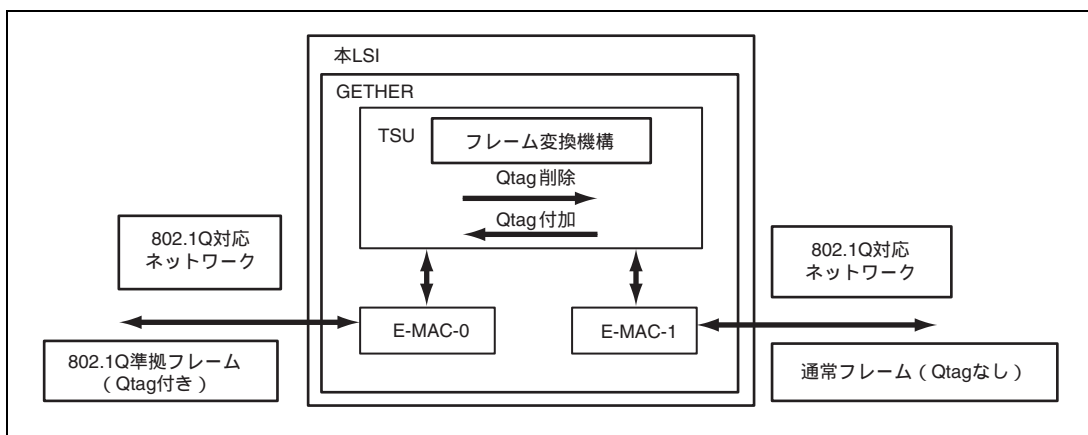


図 23.15 Qtag 付加機能の概略

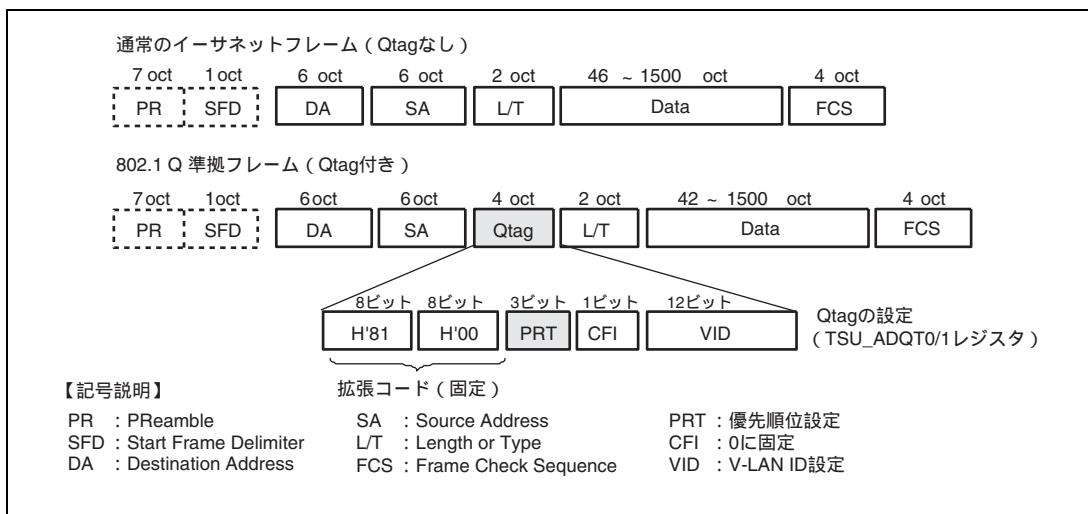


図 23.16 通常のイーサネットフレームと IEEE802.1Q 準拠 (Qtag 付き) フレームとの比較

23.5 PHY-LSI との接続

23.5.1 MII フレームタイミング

各種 MII フレームのタイミングを図 23.17 ~ 図 23.22 に示します。

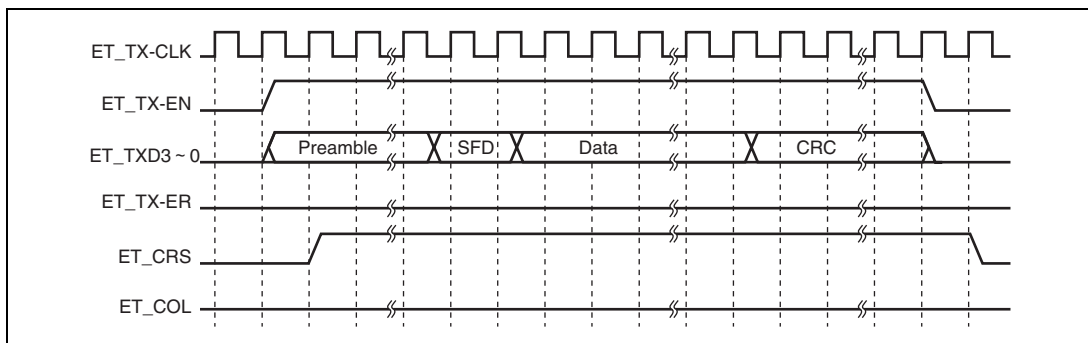


図 23.17 MII フレーム送信タイミング (正常時)

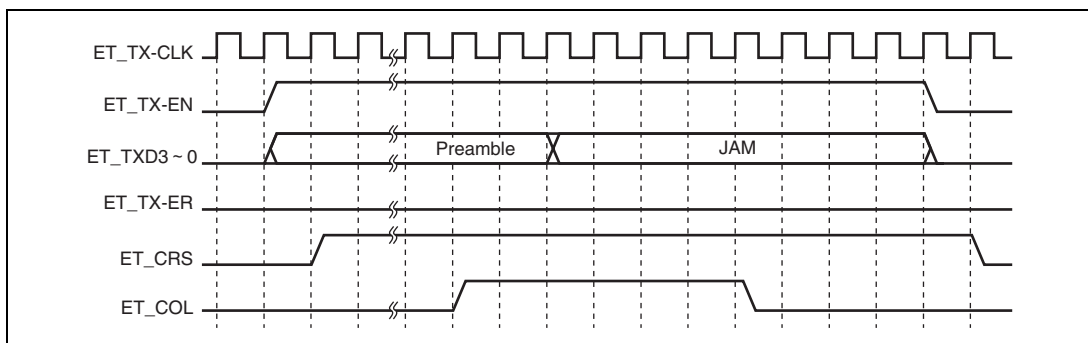


図 23.18 MII フレーム送信タイミング (衝突発生)

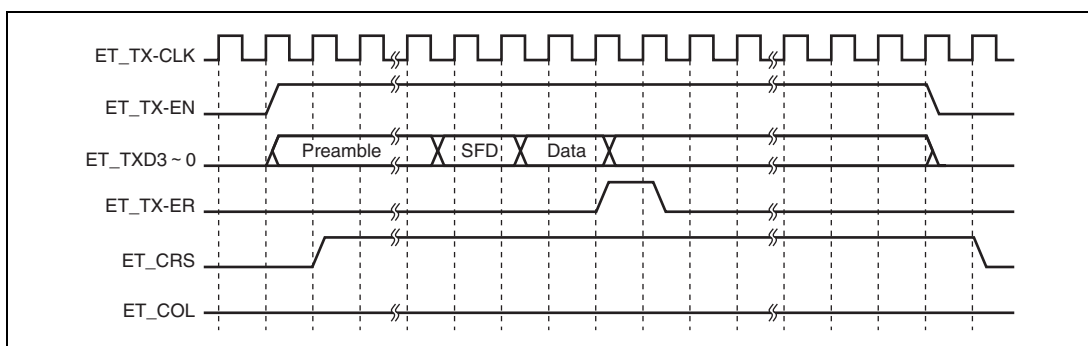


図 23.19 MII フレーム送信タイミング (送信エラー発生)

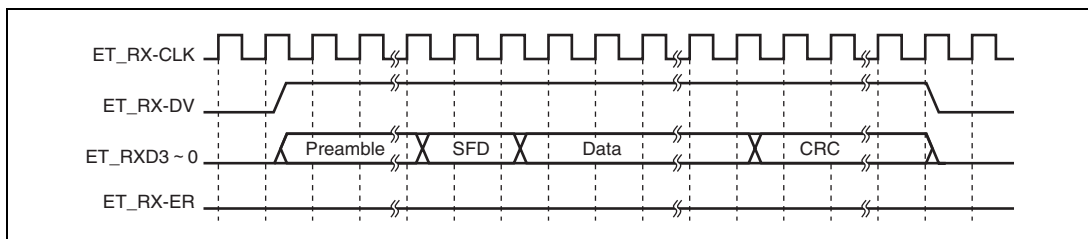


図 23.20 MII フレーム受信タイミング (正常受信)

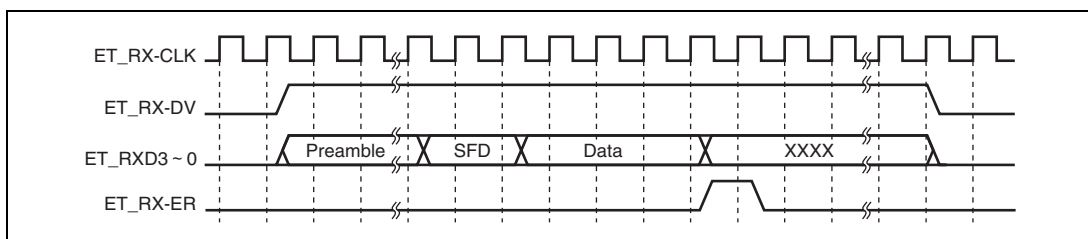


図 23.21 MII フレーム受信タイミング (受信エラー (1))

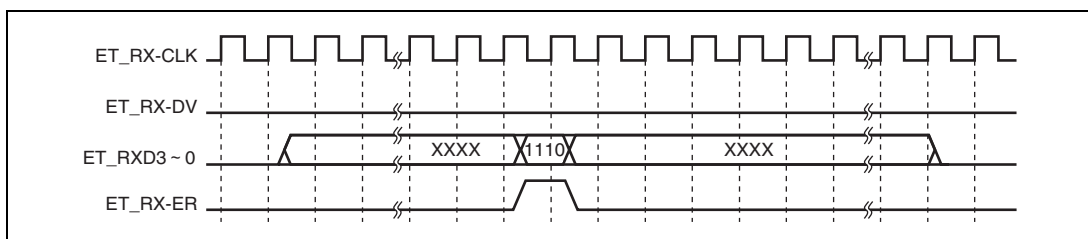


図 23.22 MII フレーム受信タイミング (受信エラー (2))

23.5.2 GMII/MII フレームタイミング

各種 GMII/MII フレームのタイミングを図 23.23 ~ 図 23.28 に示します。

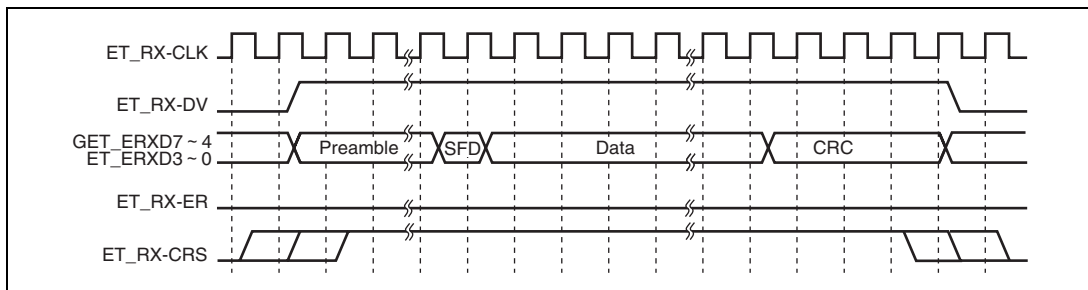


図 23.23 GMII/MII フレーム受信タイミング (正常時)

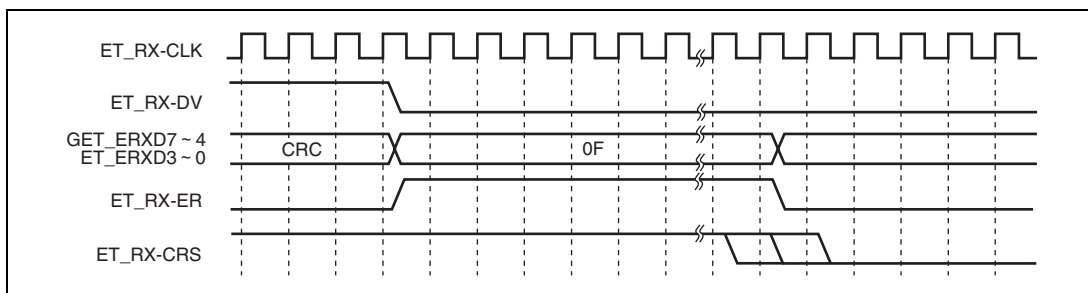


図 23.24 GMII/MII フレーム受信タイミング (キャリア拡張あり時)

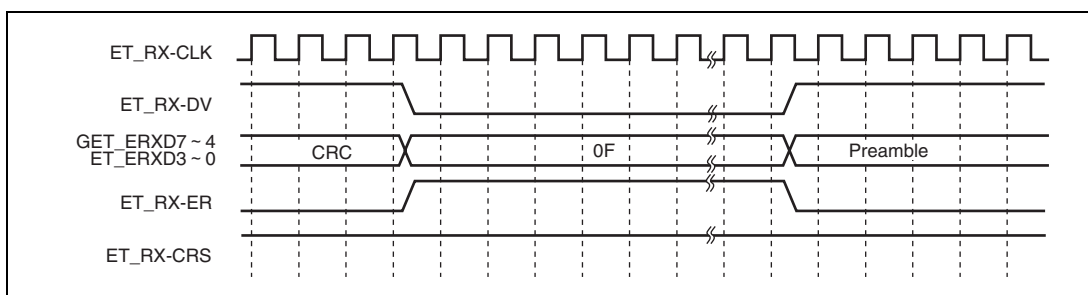


図 23.25 GMII/MII フレーム受信タイミング (バースト受信時)

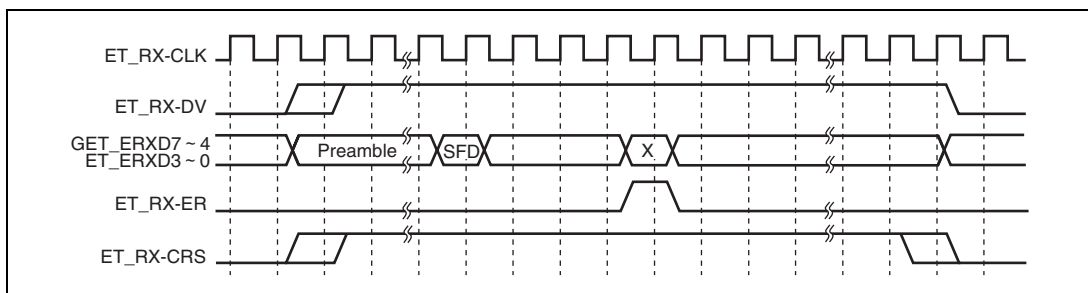


図 23.26 GMII/MII フレーム受信タイミング (受信エラー時)

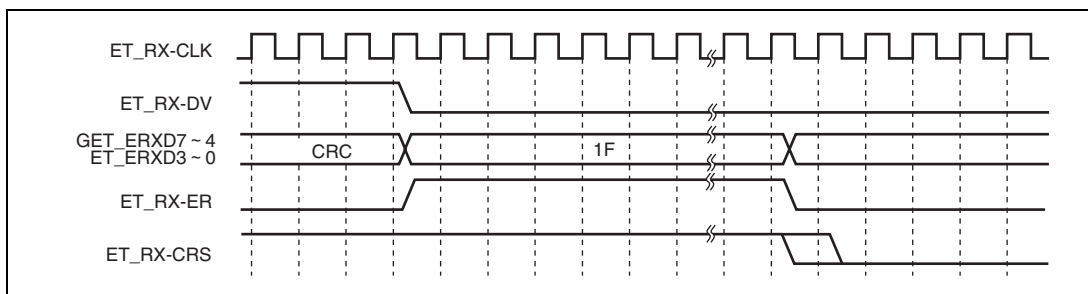


図 23.27 GMII/MII フレーム受信タイミング (キャリア拡張中のエラー時)

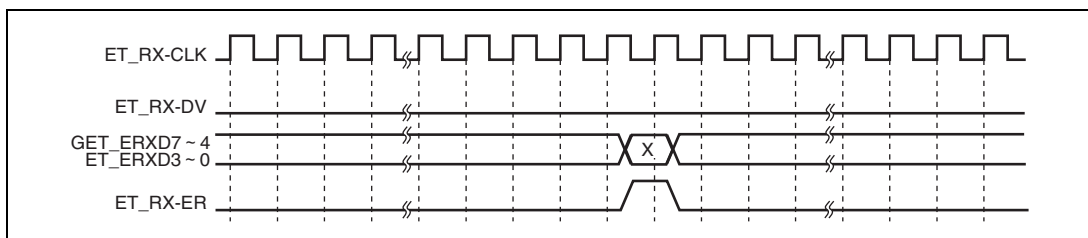


図 23.28 GMII/MII フレーム受信タイミング (False Carrier Indication)

23.5.3 RMII フレームタイミング

各種 RMII フレームのタイミングを図 23.29 ~ 図 23.31 に示します。

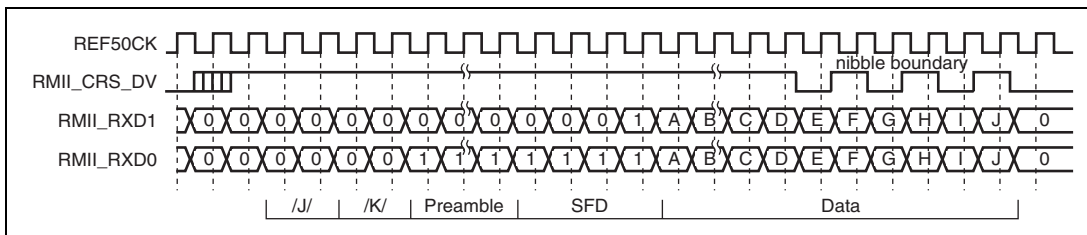


図 23.29 RMII フレーム受信タイミング (100Mbps 正常受信時)

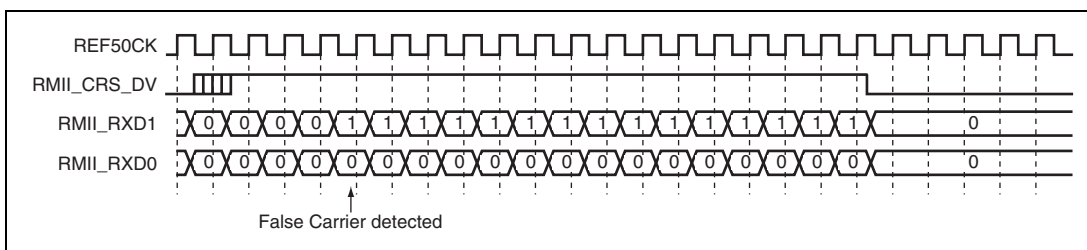


図 23.30 RMII フレーム受信タイミング (False Carrier を伴う 100Mbps 受信時)

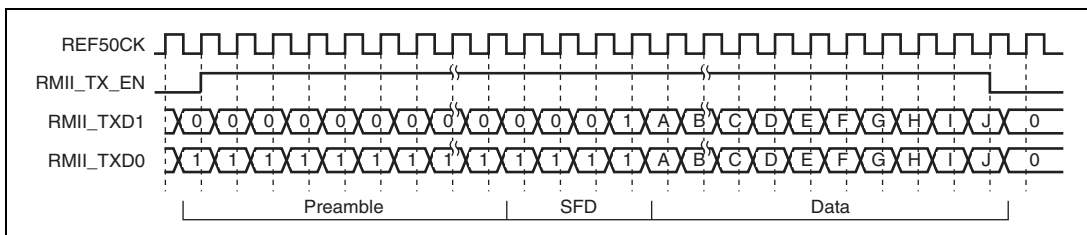


図 23.31 RMII フレーム送信タイミング (100Mbps 正常送信時)

23.5.4 MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ (PIR) を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

(1) MII 管理フレームのフォーマット

MIII 管理フレームのフォーマットを図 23.32 に示します。MIII レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MIII 管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】

- PRE : 32個の連続した1
- ST : フレームの先頭を示す01のライト
- OP : アクセス種別を示すコードのライト
- PHYAD : PHY-LSIのアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIアドレスによって可変となる。
- REGAD : レジスタアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
- TA : MIIインタフェース上でデータの送信元を切り換える時間
 - (a) ライト時は10をライト
 - (b) リード時は、「バス解放」(Z0と表記)を行う
- DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
 - (a) ライト時は、16ビットデータのライト
 - (b) リード時は、16ビットデータのリード
- IDLE : 次のMIII管理フォーマット入力までの待機時間
 - (a) ライト時は、「単独バス解放」(Xと表記)を行う
 - (b) リード時は、すでにTA時にバス解放済みであり制御不要

図 23.32 MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ (PIR) を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 23.33 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

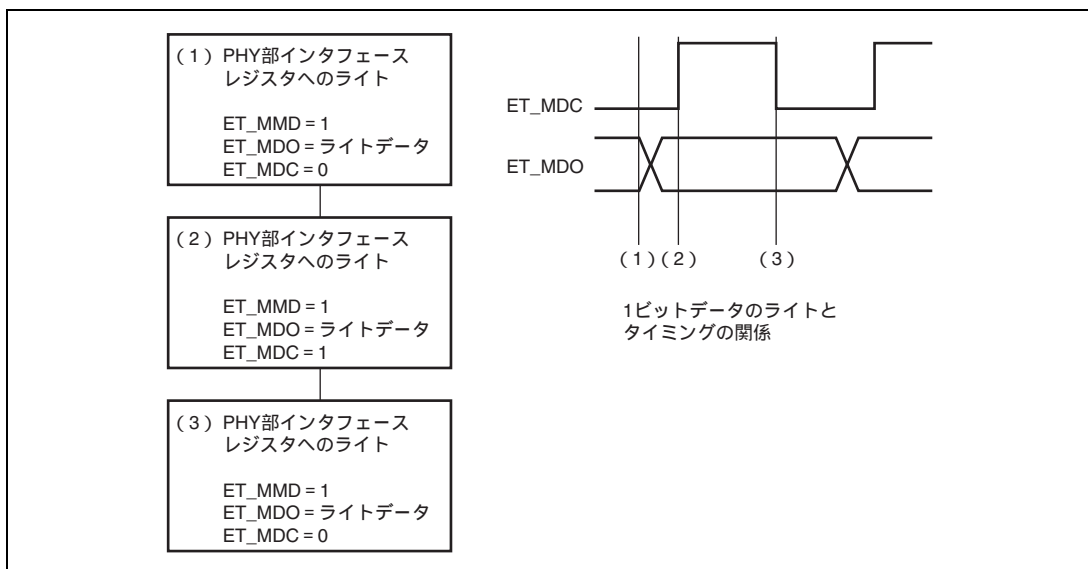


図 23.33 (1) 1 ビットデータのライトフロー

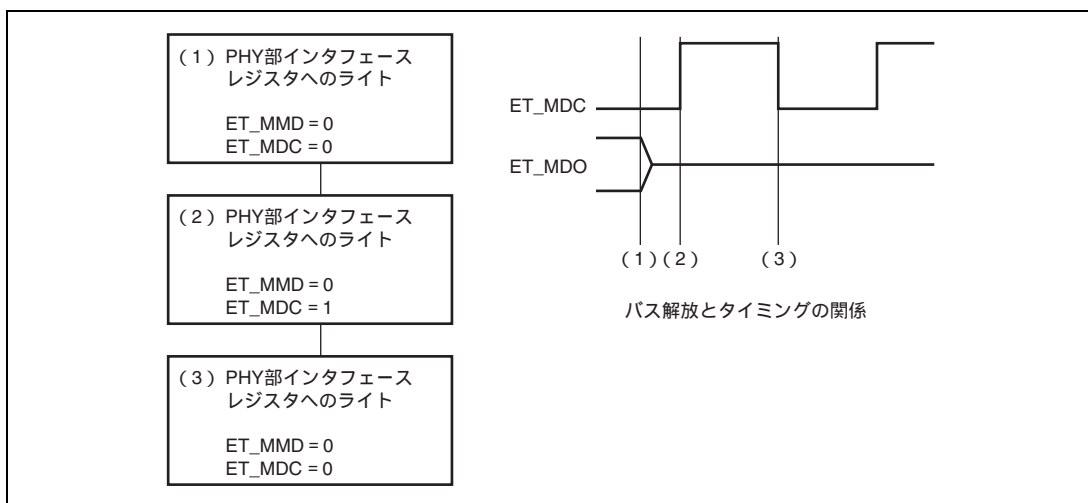


図 23.33 (2) バス解放フロー (図 23.32 中のリード時の TA)

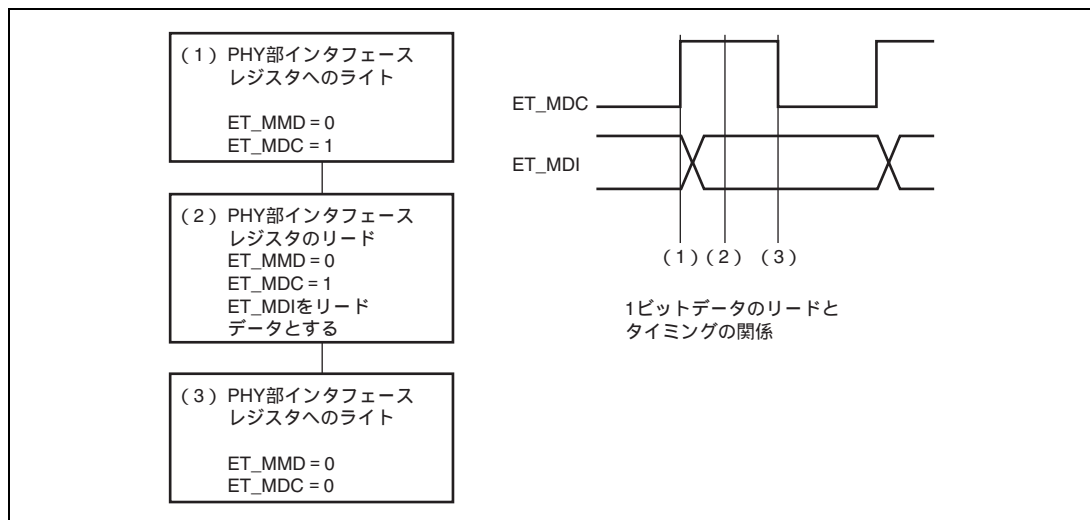


図 23.33 (3) 1ビットデータのリードフロー

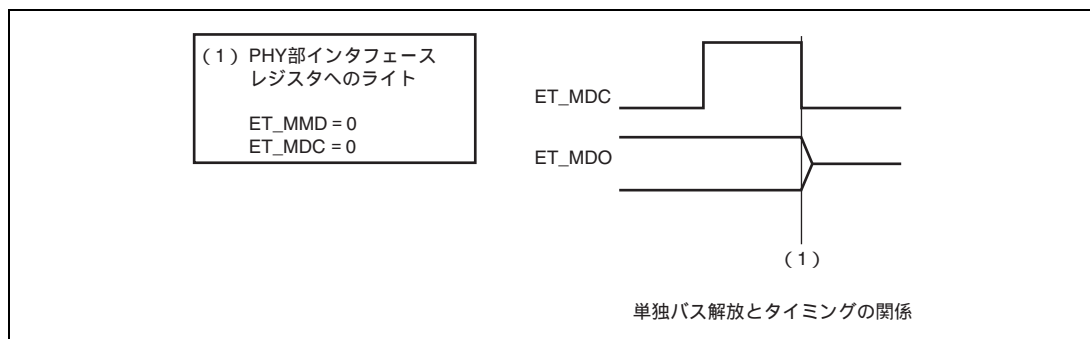


図 23.33 (4) 単独バス解放フロー (図 23.32 のライト時の IDLE)

23.5.5 MII-RMII インタフェース変換

本 LSI は、RMII インタフェースをサポートしています。RMII インタフェースは、MII-RMII 変換回路で、MII インタフェースを変換して作成されます。

(1) クロック

RMII インタフェースからの REF50CK (50MHz) を分周し、ET_TX-CLK/ET_RX-CLK (25MHz、2.5MHz) を出力します。

(2) 受信

RMII インタフェースからの受信波形を MII インタフェースに変換して出力します (10Mbps、100Mbps)。

RMII インタフェースからのフォルスキャリア検知を MII インタフェースに変換して出力します。

RMII インタフェースからの RMII_RX-ER 信号を MII インタフェースに出力します。

【注】 フォルスキャリア検知は、プリアンブル検出から受信が終了する (ET_RX-DV ネゲート) まで発生しません。

(3) 送信

MI I インタフェースからの送信波形を RMII インタフェースに変換して出力します (10Mbps、100Mbps)。

コリジョン信号 (ET_COL) を CRS と ET_TX-EN の AND で生成します。

(4) 全二重 / 半二重の選択

全二重転送モード時は、COL アサートを抑止します。

図 23.34 に、変換回路の概略図を示します。

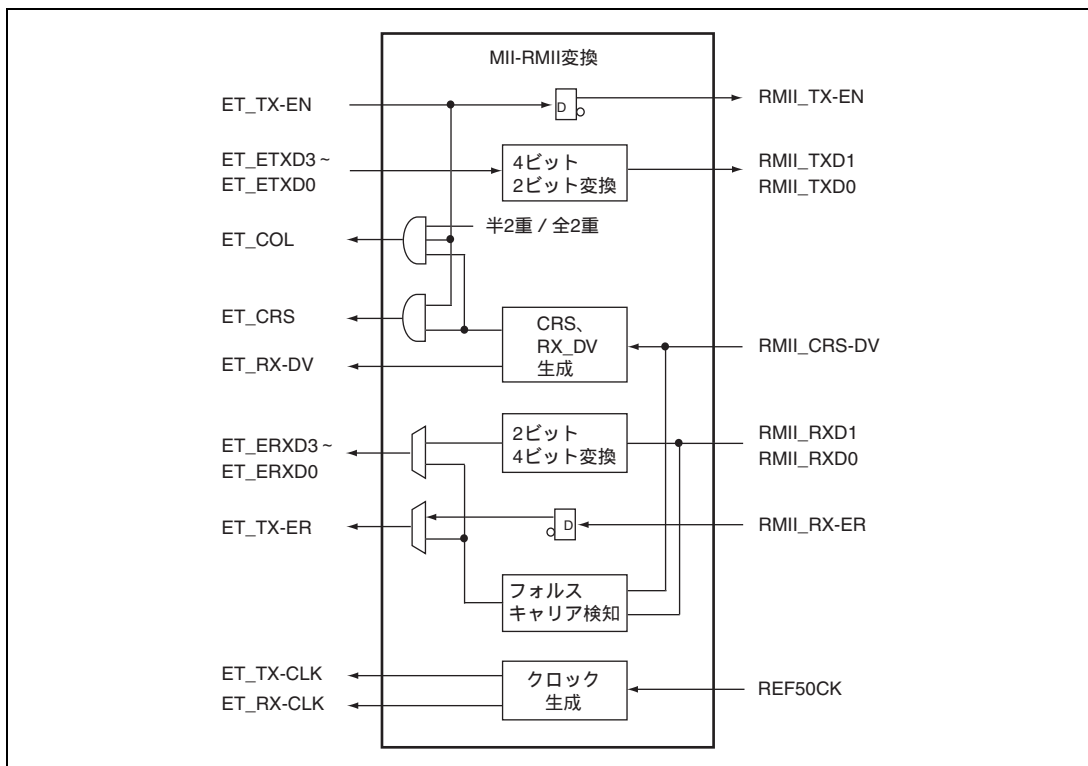


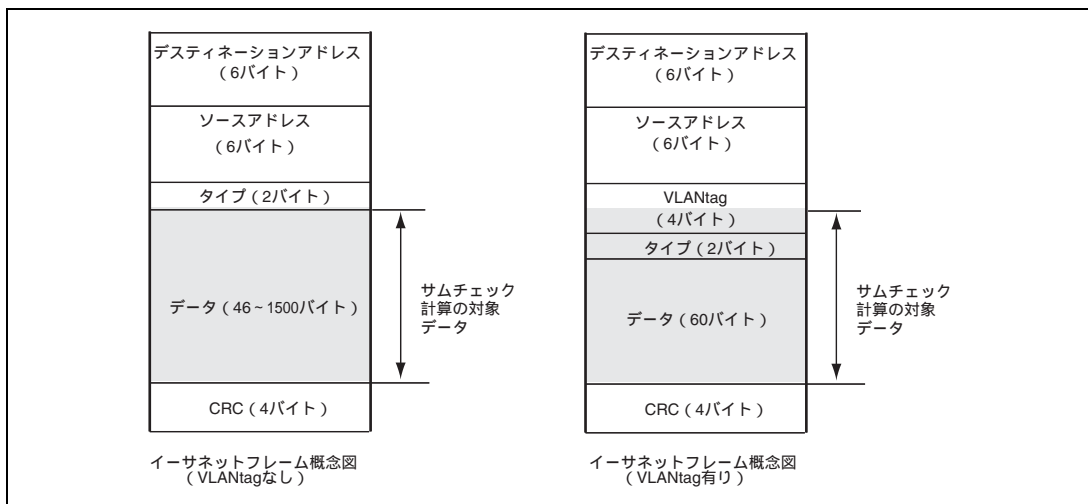
図 23.34 MII-RMII 変換回路

23.6 使用上の注意事項

23.6.1 イーサネットフレームのサムチェック計算

本 LSI では、受信フレームのサムチェックデータを計算することができます。サムチェックの計算対象は、イーサネットフレームのデータ部分 (長さ / タイプフィールドの直後から、CRC データの直前まで) です。図 23.35 にイーサネットフレームの計算対象の箇所を示す概念図を示します。計算方法は、16 ビットごとの加算のみで、ビットの反転は行っていません。なお、サムチェックデータ有効時は CRC データ (4 バイト) は受信フレームとしては転送されず、サムチェックデータ (Sum Data) が自動的に付きます。図 23.36 にサムチェックデータが付加された後のイーサネットフレームの概念図を示します。

【注】 VLANtag が挿入されたフレームに対しても、先頭 15 バイト目以降、CRC データの直前までを計算対象としますのでご注意ください。



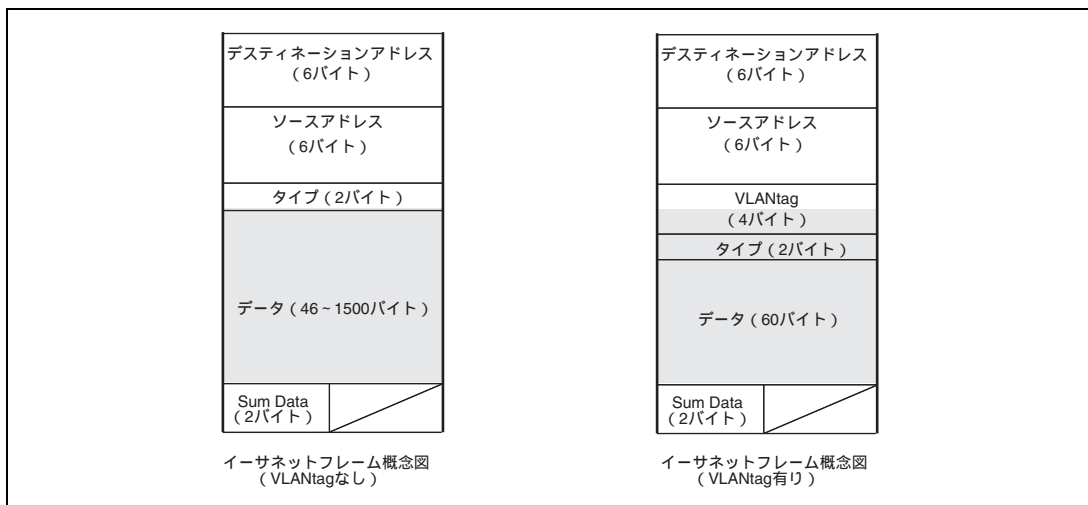


図 23.36 サムチェックデータ付加後のデータ

23.6.2 TSU 使用時の注意

本 LSI の TSU は、100BASE-T のデータ転送まで対応した仕様となっております。1000BASE-T で TSU を使用した場合もデータ転送に関しては、転送性能は 100BASE-T 相当となりますのでご注意ください。

23.6.3 RMII 選択時の RMII_n_RX_ER、RMII1M_RX_ER 端子入力について

RMII 選択時、PHY から受け取る受信エラー信号の幅が RMII のリファレンスクロック 50MHz の 1 サイクル分しか出ない場合、エラー信号として認識しません。

24. セキュリティアクセラレータ (SECURITY)

本章は、守秘契約を結んでいただいたうえで公開いたします。詳細は担当営業にご確認ください。

25. ストリームインタフェース (STIF)

ストリームインタフェース (STIF) は、汎用 DMAC 周辺モジュールリクエスト (転送サイズは 16 バイト固定) を使用し、8 ビットパラレルバスと外部メモリとの間でストリームデータの転送を行います。

25.1 特長

- パラレルストリームデータ転送チャンネル数：2チャンネル
- ストリームデータ転送インタフェース
 - クロックバリッド受信
 - ストロブ受信
 - クロックバリッド送信
 - ストロブ送信
- 入出力パケット長：188 / 192バイトから選択可能
 - ストリームデータ転送クロックソースとして外部端子入力と周辺クロック0 (Pck0) からの選択が可能
- 送受信FIFO容量：768バイト
- タイムスタンプ付加機能
 - タイムスタンプ用フリーランタイム内蔵
 - (フリーランタイム入力クロックは、周辺クロック0の1/2、1/4、1/8から選択可能)
 - 受信時：フリーランタイム値をタイムスタンプ値として受信パケットに付加しメモリに格納
 - 送信時：タイムスタンプ値 = フリーランタイム値でパケットを送信
- DMA転送
 - DMA転送を用いた外部メモリとの間のデータ転送に対応

図 25.1 に STIF のブロック図を示します。

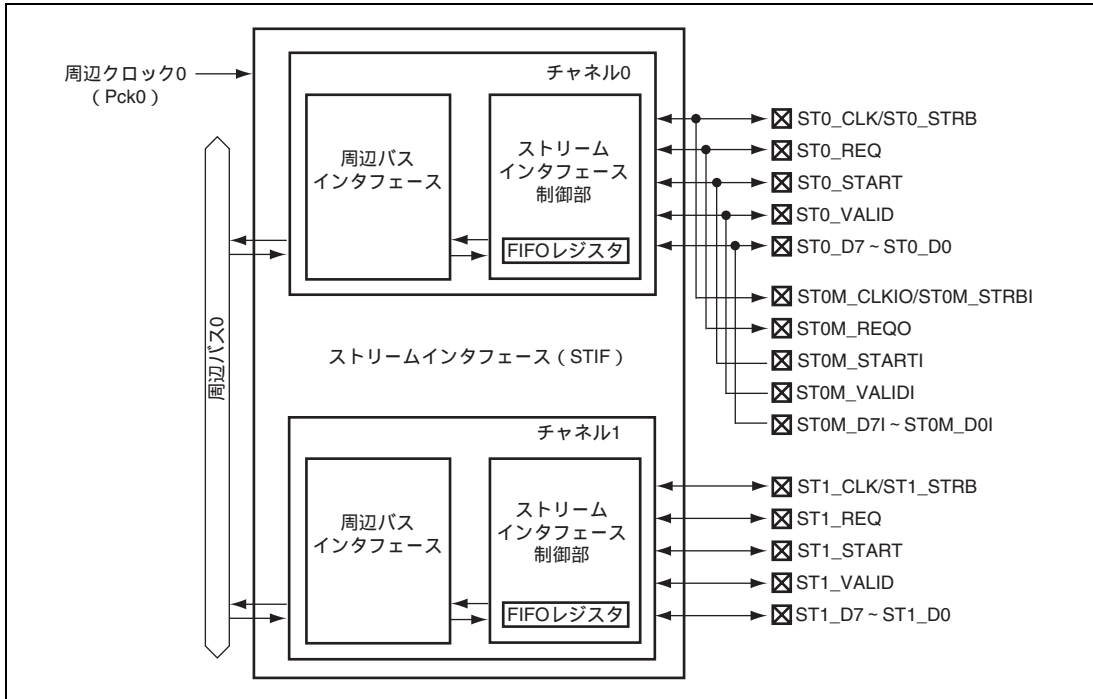


図 25.1 STIF のブロック図

25.2 入出力端子

本モジュールの端子構成を表 25.1 に示します。チャンネル 0 には、通常入出力端子とミラー入力端子の 2 つの端子グループがあります。ただし、ミラー入力端子グループは入力のみですのでご注意ください。通常入出力端子とミラー入力端子の選択は、PFC のピンセレクトレジスタで行います。通常入出力端子とミラー入力端子を同時にあるいは混在して使用することはできません。

表 25.1 端子構成

チャンネル	端子名	入出力	機能	
0	通常入出力端子	ST0_CLK/ST0_STRB	入出力	ストリームデータクロック / ストローブ
		ST0_REQ	入出力	ストリームデータ受信準備要求
		ST0_START	入出力	ストリームデータ同期
		ST0_VALID	入出力	ストリームデータバリッド
		ST0_D7 ~ ST0_D0	入出力	ストリームデータ入出力
	ミラー端子*	ST0M_CLKIO/ ST0M_STRBI	入出力	ストリームデータクロック / ストローブ
		ST0M_REQO	出力	ストリームデータ受信準備要求
		ST0M_STARTI	入力	ストリームデータ同期入力
		ST0M_VALIDI	入力	ストリームデータバリッド入力
		ST0M_D7I ~ T0M_D0I	入力	ストリームデータ入力
1	ST1_CLK/ST1_STRB	入出力	ストリームデータクロック / ストローブ	
	ST1_REQ	入出力	ストリームデータ受信準備要求	
	ST1_START	入出力	ストリームデータ同期	
	ST1_VALID	入出力	ストリームデータバリッド	
	ST1_D7 ~ ST1_D0	入出力	ストリームデータ入力	

【注】 * ミラー端子は、入力専用です。

25.3 レジスタの説明

STIF のレジスタ構成を表 25.2 に示します。また、各処理モードにおけるレジスタの状態を表 25.3 に示します。

表 25.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
モードレジスタ 0	STIMDR0	R/W	H'FFEE 0000	H'1FEE 0000	32
コントロールレジスタ 0	STICR0	R/W	H'FFEE 0004	H'1FEE 0004	32
割り込みステータスレジスタ 0	STIISR0	R/W	H'FFEE 0008	H'1FEE 0008	32
割り込み許可レジスタ 0	STIIER0	R/W	H'FFEE 000C	H'1FEE 000C	32
タイムスタンプカウンタレジスタ 0	STITSC0	R/W	H'FFEE 0010	H'1FEE 0010	32
送受信パケット数レジスタ 0	STIPNR0	R/W	H'FFEE 0018	H'1FEE 0018	32
送受信パケット数カウンタレジスタ 0	STIPCR0	R/W	H'FFEE 0014	H'1FEE 0014	32
送受信 FIFO データレジスタ 0	STIFIFO0	R/W	H'FFEE 0400	H'1FEE 0400	32
モードレジスタ 1	STIMDR1	R/W	H'FFEE 8000	H'1FEE 8000	32
コントロールレジスタ 1	STICR1	R/W	H'FFEE 8004	H'1FEE 8004	32
割り込みステータスレジスタ 1	STIISR1	R/W	H'FFEE 8008	H'1FEE 8008	32
割り込み許可レジスタ 1	STIIER1	R/W	H'FFEE 800C	H'1FEE 800C	32
タイムスタンプカウンタレジスタ 1	STITSC1	R/W	H'FFEE 8010	H'1FEE 8010	32
送受信パケット数レジスタ 1	STIPNR1	R/W	H'FFEE 8018	H'1FEE 8018	32
送受信パケット数カウンタレジスタ 1	STIPCR1	R/W	H'FFEE 8014	H'1FEE 8014	32
送受信 FIFO データレジスタ 1	STIFIFO1	R/W	H'FFEE 8400	H'1FEE 8400	32

表 25.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
モードレジスタ 0	STIMDR0	H'0000 0000	H'0000 0000	保持	保持
コントロールレジスタ 0	STICR0	H'0000 0000	H'0000 0000	保持	保持
割り込みステータスレジスタ 0	STIISR0	H'0000 0000	H'0000 0000	保持	保持
割り込み許可レジスタ 0	STIIER0	H'0000 0000	H'0000 0000	保持	保持
タイムスタンプカウンタレジスタ 0	STITSC0	H'0000 0000	H'0000 0000	保持	保持
送受信パケット数レジスタ 0	STIPNR0	H'0000 0000	H'0000 0000	保持	保持
送受信パケット数カウンタレジスタ 0	STIPCR0	H'0000 0000	H'0000 0000	保持	保持
送受信 FIFO データレジスタ 0	STIFIFO0	H'0000 0000	H'0000 0000	保持	保持
モードレジスタ 1	STIMDR1	H'0000 0000	H'0000 0000	保持	保持
コントロールレジスタ 1	STICR1	H'0000 0000	H'0000 0000	保持	保持
割り込みステータスレジスタ 1	STIISR1	H'0000 0000	H'0000 0000	保持	保持
割り込み許可レジスタ 1	STIIER1	H'0000 0000	H'0000 0000	保持	保持
タイムスタンプカウンタレジスタ 1	STITSC1	H'0000 0000	H'0000 0000	保持	保持
送受信パケット数レジスタ 1	STIPNR1	H'0000 0000	H'0000 0000	保持	保持
送受信パケット数カウンタレジスタ 1	STIPCR1	H'0000 0000	H'0000 0000	保持	保持
送受信 FIFO データレジスタ 1	STIFIFO1	H'0000 0000	H'0000 0000	保持	保持

25.3.1 モードレジスタ 0、1 (STIMDR0、STIMDR1)

STIMDR は、STIF の動作モードやストリームデータ送受信のクロック定義を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	MD[2:0]			-	-	-	PLEN	-	-	STMP[1:0]		-	-	WORK[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CKSL	-	CKDV[1:0]		-	-	-	REQ EN	-	-	FRC[1:0]		STRB	REQ	VLD	STAT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~28	MD[2:0]	000	R/W	ストリームデータ転送インタフェース選択 000: クロックバリッド受信 010: ストロープ受信 100: クロックバリッド送信 101: ストロープ送信 上記以外: 設定禁止
27~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	PLEN	0	R/W	送受信パケット長選択 送受信するストリームデータのパケット長を設定します。 0: パケット長は188バイト 1: パケット長は192バイト
23, 22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
21、20	STMP[1:0]	00	R/W	<p>タイムスタンプ選択</p> <p>受信時：受信パケットを外部メモリに転送する際、固定値を付加するか、タイムスタンプを付加するか、あるいはそのまま転送するかを選択します。</p> <p>00：受信パケットに固定値を付加し外部メモリに転送</p> <p>01：受信パケットにタイムスタンプを付加し外部メモリに転送</p> <p>10：受信パケットをそのまま外部メモリに転送 (パケット長 192 バイト時のみ)</p> <p>11：設定禁止</p> <p>送信時：送信パケットを送信する際のパケット間隔を選択します。</p> <p>00：パケット間隔は STICR レジスタの ICYC ビットの設定値に従う</p> <p>01：パケット間隔はタイムスタンプに従う</p> <p>10、11：設定禁止</p>
19、18	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
17、16	WORK[1:0]	00	R/W	<p>ワーク領域長</p> <p>外部メモリ上でパケットの先頭に確保するワーク領域の大きさを指定します</p> <p>00：ワーク領域は 0 バイト</p> <p>01：ワーク領域は 16 バイト</p> <p>10：ワーク領域は 32 バイト</p> <p>11：ワーク領域は 48 バイト</p>
15	CKSL	0	R/W	<p>動作クロック選択</p> <p>ストリームデータ送受信クロックのソースクロックを選択します。</p> <p>0：ストリームデータ送受信クロックとして周辺クロック 0 を使用 (ST_CLK 端子からストリームデータ送受信クロックが出力されます。)</p> <p>1：ストリームデータ送受信クロックとして外部入力クロックを使用 (ST_CLK 端子からストリームデータ送受信クロックを入力します。)</p>
14	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
13、12	CKDV[1:0]	00	R/W	<p>動作クロック分周比</p> <p>ストリームデータ送受信クロックとして周辺クロック 0 を選択した場合の分周比を指定します。</p> <p>00：ストリームデータ送受信クロックは周辺クロック 0 の 1/2</p> <p>01：ストリームデータ送受信クロックは周辺クロック 0 の 1/4</p> <p>10：ストリームデータ送受信クロックは周辺クロック 0 の 1/8</p> <p>11：設定禁止</p>
11~9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
8	REQEN	0	R/W	ST_REQ 端子イネーブル ST_REQ 端子を使用するか使用しないかを選択します。 0 : ST_REQ 端子を使用しない 1 : ST_REQ 端子を使用する (1) 受信時 : FIFO の空きが 8 バイト以下で ST_REQ を出力します。 (2) 送信時 : ST_REQ が入力されると送信を停止します。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	FRC[1:0]	00	R/W	フリーランタイムの入カクロック選択 00 : タイマ入カクロックは周辺クロック 0 の 1/2 01 : タイマ入カクロックは周辺クロック 0 の 1/4 10 : タイマ入カクロックは周辺クロック 0 の 1/8 11 : 設定禁止
3	STRB	0	R/W	ST_STRB 端子の極性選択 0 : ST_STRB の立ち上がりエッジでデータを送受信 1 : ST_STRB の立ち下がりエッジでデータを送受信
2	REQ	0	R/W	ST_REQ 端子の極性選択 0 : ST_REQ はハイアクティブ 1 : ST_REQ はローアクティブ
1	VLD	0	R/W	ST_VALID 端子の極性選択 0 : ST_VALID はハイアクティブ 1 : ST_VALID はローアクティブ
0	STAT	0	R/W	ST_START 端子の極性選択 0 : ST_START はハイアクティブ 1 : ST_START はローアクティブ

25.3.2 コントロールレジスタ 0、1 (STICR0、STICR1)

STICR は、STIF 機能のイネーブルかディスエーブル、ストリームデータ送信時のパケット間隔を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	ICYC[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27~16	ICYC[11:0]	すべて0	R/W	送信パケット間サイクル数 送信時、パケット間サイクルに固定値を使用する場合の固定値を設定します。パケット間に周辺クロック0で1~4096サイクルのアイドルサイクルを挿入することが可能です。
15	RST	0	R/W	STIF モジュールリセット 本ビットに1を書き込むことで、STIF モジュールをリセットすることができます。読み込みの値は常に0です。
14~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	EN	0	R/W	STIF モジュールイネーブル 0 : STIF モジュールはディスエーブル 1 : STIF モジュールはイネーブル

25.3.3 割り込みステータスレジスタ 0、1 (STIISR0、STIISR1)

STIISR は、STIF の割り込み発生状態を示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	TPN	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	RPN	-	-	LONG	SHORT	-	-	-	ROVF	-	-	-	TSTO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	TPN	0	R/W*	送信パケット数割り込み 0 : 送信パケット数レジスタ値 > 送信パケット数カウンタ値 1 : 送信パケット数レジスタ値 = 送信パケット数カウンタ値 割り込み発行後、送信パケット数カウンタ値は 0 にクリアされ、カウントを継続します。
27~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	RPN	0	R/W*	受信パケット数割り込み 0 : 受信パケット数レジスタ値 > 受信パケット数カウンタ値 1 : 受信パケット数レジスタ値 = 受信パケット数カウンタ値 割り込み発行後、受信パケット数カウンタ値は 0 にクリアされ、カウントを継続します。
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	LONG	0	R/W*	ロングパケット受信割り込み 0 : 188/192 バイトを超えるパケットを受信していない 1 : 188/192 バイトを超えるパケットを受信した 188/192 バイトを超えるパケットを受信した場合、ロングパケット数カウンタ、パケット数カウンタをそれぞれ +1 カウントアップします。 188/192 バイト分のデータはメモリへ転送、過分のデータは破棄します。
8	SHORT	0	R/W*	ショートパケット受信割り込み 0 : 188/192 バイト未満のパケットを受信していない 1 : 188/192 バイト未満のパケットを受信した 188/192 バイト未満のパケットを受信した場合、ショートパケット数カウンタを +1 カウントアップし、パケットは破棄します。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	ROVF	0	R/W*	受信 FIFO オーバフロー割り込み 0: 受信 FIFO はオーバフローしていない 1: 受信 FIFO はオーバフローした 受信済みのパケットは保持されますが、オーバフローを起こしたパケットは破棄されます。
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TSTO	0	R/W*	タイムスタンプカウンタオーバフロー割り込み 0: 最終パケット受信から、タイムスタンプカウンタが1周していない 1: 最終パケット受信から、タイムスタンプカウンタが1周した

【注】 * ビットをクリアする場合は、1を書き込んでください。

25.3.4 割り込み許可レジスタ 0、1 (STIER0、STIER1)

STIER は、STIF が発生する割り込みを許可するかどうかを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	TPNE	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	RPNE	-	-	LONGE	SHORTE	-	-	-	ROVFE	-	-	-	TSTOE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	TPNE	0	R/W	送信パケット数割り込みイネーブル 0: 送信パケット数割り込み発行を許可しない 1: 送信パケット数割り込み発行を許可する
27~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	RPNE	0	R/W	受信パケット数割り込みイネーブル 0: 受信パケット数割り込み発行を許可しない 1: 受信パケット数割り込み発行を許可する
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	LONGE	0	R/W	ロングパケット受信割り込みイネーブル 0: ロングパケット受信割り込みを許可しない 1: ロングパケット受信割り込みを許可する
8	SHORTE	0	R/W	ショートパケット受信割り込みイネーブル 0: ショートパケット受信割り込みを許可しない 1: ショートパケット受信割り込みを許可する
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ROVFE	0	R/W	受信 FIFO オーバフロー割り込みイネーブル 0: 受信 FIFO オーバフロー割り込みを許可しない 1: 受信 FIFO オーバフロー割り込みを許可する
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	TSTOE	0	R/W	タイムスタンプカウンタオーバーフロー割り込みイネーブル 0 : タイムスタンプカウンタオーバーフロー割り込みを許可しない 1 : タイムスタンプカウンタオーバーフロー割り込みを許可する

25.3.5 タイムスタンプカウンタレジスタ 0、1 (STITSC0、STITSC1)

STITSC は、タイムスタンプのカウンタに使用されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TS[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TS[31:0]	すべて 0	R/W	タイムスタンプカウンタ <ul style="list-style-type: none"> タイムスタンプ使用時 受信時 : 先頭パケット受信からカウントを開始します。受信前に値を設定することで任意の値からのカウントアップが可能です。ただし、パケット受信中の書き込みはできません。 送信時 : 先頭パケット送信からカウントを開始します。送信前に値を設定することで任意の値からのカウントアップが可能です。ただし、パケット送信中の書き込みはできません。 固定値使用時 受信時 : 本レジスタの値を固定値としてパケットの先頭に付加します。

25.3.6 送受信パケット数レジスタ 0、1 (STIPNR0、STIPNR1)

STIPNR は、送信あるいは受信するストリームデータのパケット数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	PN[20:16]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PN[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~0	PN[20:0]	すべて 0	R/W	送受信パケット数 送受信のパケット数を設定します。本設定値 = 実際の送受信パケット数となった時点で割り込みが発生します。本設定値が 0 の場合割り込みは発生しません。

25.3.7 送受信パケット数カウンタレジスタ 0、1 (STIPCR0、STIPCR1)

STIPCR は、送信したあるいは受信したストリームデータのパケット数がカウントアップされ設定されます。パケット数は、受信時はパケットの最終バイトをメモリに転送した後、送信時はパケットの最終データを ST_D7～ST_D0 端子から送出したあとにカウントアップし書き込まれます。また、受信ショートパケットや受信ロングパケット数もカウントアップされ設定されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC[3:0]			LC[3:0]			-	-	-	PC[20:16]						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～28	SC[3:0]	すべて 0	R	受信ショートパケット数 リセット時に 0 クリアされます。
27～24	LC[3:0]	すべて 0	R	受信ロングパケット数 リセット時に 0 クリアされます。
23～21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20～0	PC[20:0]	すべて 0	R	送受信済みパケット数 送信パケット数割り込み、受信パケット数割り込み発生時およびリセット時に 0 クリアされます。

25.3.8 送受信 FIFO データレジスタ 0、1 (STIFIFO0、STIFIFO1)

STIFIFO は、ストリームデータの送受信データが中継される FIFO レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STD[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	STD[31:0]	すべて 0	R/W	送受信ストリームデータ 送信時、送信データを書き込んでください。受信時は、受信データが読み出されます。

25.4 動作説明

25.4.1 ストリームデータ送受信外部メモリ構成

ストリームデータ送受信時の外部メモリ上のデータ構成 (ワーク領域: 16 バイトの場合) を、図 25.2 に示します。ワーク領域の大きさは、STIMDR レジスタの WORK ビットで、0、16、32、48 バイトのうちから選択可能です。データ長が 192 バイトで、タイムスタンプあるいは固定値付加ありを選択した場合、受信データの先頭 4 バイトは、上書きされます。

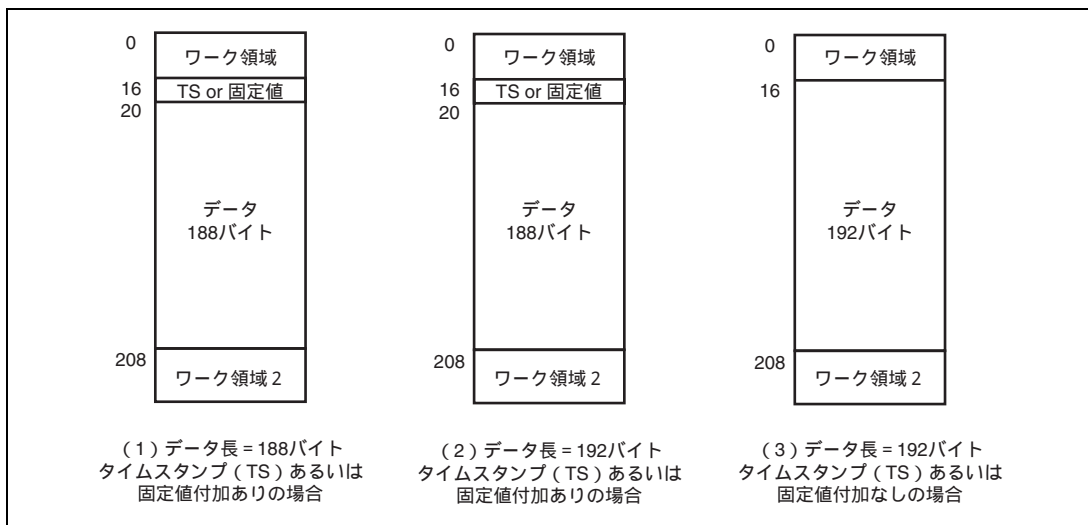


図 25.2 外部メモリ上の送受信データ構造 (ワーク領域 16 バイトの場合)

25.4.2 ストリームデータ受信動作

(1) DMAC レジスタの設定

ストリームデータ受信処理を開始する場合、下記の DMAC レジスタを設定してください。

- SARレジスタには、STIFの送受信FIFOデータレジスタのP4領域アドレスを設定してください。
- DARレジスタには、外部メモリアドレスを設定してください。
- TCRレジスタには、DMA転送回数を以下の計算式に従って設定してください。以下の数以外は設定禁止です。

$$\text{転送回数} = (192\text{バイト} + \text{ワーク領域バイト数}) / 16\text{バイト} \times \text{送受信パケット数}$$
- TCRBレジスタには、H'00010001を設定してください。上位はリロードするまでの転送回数、下位は転送回数カウンタを示します。
- CHCRレジスタには、H'0E205819を設定してください。*
- DMARSレジスタには、転送要求元のモジュールID、レジスタID (STIFのチャンネル0を使用する場合：H'D3、STIFのチャンネル1を使用する場合：H'D7) を、DMAC使用チャンネルに対応するビットに設定してください。

【注】 * STIF を使用しない場合は、CHCR.DVMD ビットを 1 に設定しないでください。

(2) クロックバリッド受信 (入力データレート：最大 30Mbps)

(a) クロックバリッド受信インタフェース

- タイミング図

クロックバリッド受信インタフェースのタイミングを、図25.3に示します。

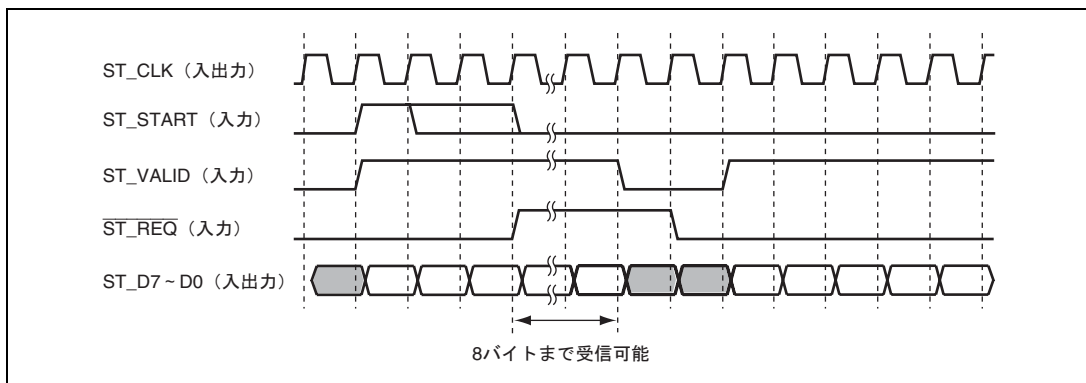


図 25.3 クロックバリッド受信タイミング

- ST_CLK端子の入出力選択

ST_CLK端子は、STIMDRレジスタのCKSLビットにより、外部クロックを入力するか / 内部生成クロックを出力するかの選択が可能です。(最大33MHz)

- ST_START端子、ST_VALID端子、ST_REQ端子のアクティブレベル設定
ST_START端子、ST_VALID端子、ST_REQ端子は、STIMDRレジスタのSTATビット、VLDビット、REQビットにより、アクティブレベルの設定が可能です。
- ST_REQ端子の使用選択
ST_REQ端子は、STIMDRレジスタのREQENビットにより、使用する / 使用しないの選択が可能です。
使用するを選択した場合、ST_REQ端子は、ストリームデータ送受信FIFOの空き容量が8バイト以下となった時にアサートされます。アサート後は8バイトまでデータの受信が可能です。FIFOの空き容量が、192バイト以上となったときにネゲートされます。
使用しないを選択した場合、REQビットの値により、ST_REQ端子の出力はローまたはハイに固定されます。

(b) 受信パケット長

受信パケット長は、188 バイト、192 バイトから選択可能です。

(c) ワーク領域

外部メモリ上のワーク領域は、0、16、32、48 バイトから選択可能です。

(d) 受信時のタイムスタンプ設定

受信時のタイムスタンプ設定は、STIMDR レジスタの STMP[1:0]ビットの設定により、固定値付加受信、タイムスタンプ付加受信、そのまま受信から選択可能です。

- 固定値付加受信
タイムスタンプカウンタに設定した値を固定値として使用します (カウンタ動作は行わない)。
パケット長が188バイトの場合、パケットの先頭に固定値を4バイト付加します。
パケット長が192バイトの場合、パケットの先頭4バイトを固定値で書き込みます。
- タイムスタンプ付加受信
パケット長が188バイトの場合、パケットの先頭にタイムスタンプカウンタ値を付加します。
パケット長が192バイトの場合、タイムスタンプカウンタ値をパケットの先頭に書き込みます。
タイムスタンプカウンタは、先頭パケット受信からカウントを開始します。
受信前に値を設定することで、任意の値からのカウントアップが可能です。
パケット受信中の書き込みは禁止です。
- そのまま受信
パケット長が192バイトの場合のみ選択可能で、受信パケットをそのままメモリへ転送します。

(e) 受信時の割り込み要因

クロックバリッド受信時、以下の割り込み要因があります。

- 受信パケット数割り込み
- ショートパケット割り込み
- ロングパケット割り込み
- 受信FIFOオーバーフロー割り込み
- タイムスタンプタイムアウト割り込み (タイムスタンプ付加受信時のみ)

(3) ストローブ受信

(a) ストローブ受信インタフェース

ストローブ受信インタフェースのタイミングを、図 25.4 に示します。

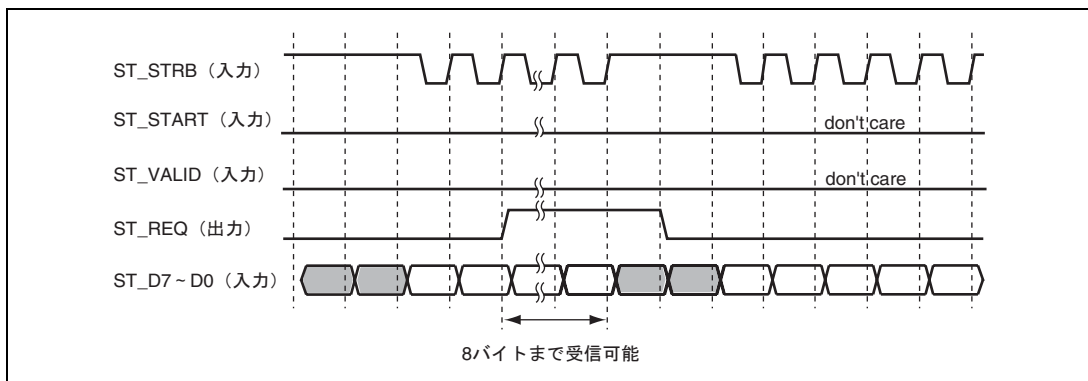


図 25.4 ストローブ受信タイミング

- ST_STRB端子、ST_START端子、ST_VALID端子、ST_REQ端子のアクティブレベル設定

ST_STRB端子、ST_START端子、ST_VALID端子、ST_REQ端子は、STIMDRレジスタのSTRBビット、STATビット、VLDビット、REQビットにより、アクティブレベルの設定が可能です。

- ST_REQ端子の使用選択

ST_REQ端子は、STIMDRレジスタのREQENビットにより、使用する / 使用しないの選択が可能です。

使用するを選択した場合、ST_REQ端子は、ストリームデータ送受信FIFOの空き容量が8バイト以下となった時にアサートされます。アサート後は8バイトまでデータの受信が可能です。FIFOの空き容量が、192バイト以上となった場合にネゲートされます。

使用しないを選択したとき、REQビットの値により、ST_REQ端子の出力はローまたはハイに固定されます。

(b) 受信パケット長

受信パケット長は、188 バイト、192 バイトから選択可能です

(c) ワーク領域

外部メモリ上のワーク領域は、0、16、32、48 バイトから選択可能です

(d) 受信時のタイムスタンプ設定

ストローブ受信時のタイムスタンプ設定は、固定値付加受信のみ選択可能です。STIMDR レジスタの STMP[1:0] ビットの設定は 00 に設定してください。

- 固定値付加受信

タイムスタンプカウンタに設定した値を固定値として使用します。カウント動作は行いません。

パケット長が188バイトの場合、パケットの先頭に固定値を4バイト付加します。

パケット長が192バイトの場合、パケットの先頭の4バイトを固定値で上書きします。

(e) 受信時の割り込み要因

ストローブ受信時、以下の割り込み要因があります。

- 受信パケット数割り込み
- 受信FIFOオーバーフロー割り込み

25.4.3 ストリームデータ送信動作

(1) DMAC レジスタの設定

ストリームデータ送信処理を開始する場合、以下の DMAC のレジスタを設定してください。

- SARレジスタには、外部メモリアドレスを設定してください。
- DARレジスタには、STIFのストリームデータ送受信FIFOデータレジスタのP4領域アドレスを設定してください。
- TCRレジスタには、DMA転送回数を以下の計算式に従って設定してください。以下の数以外設定禁止です。

$$\text{転送回数} = (192 \text{ バイト} + \text{ワーク領域バイト数}) / 16 \text{ バイト} \times \text{送受信パケット数}$$
- TCRBレジスタには、H'00010001を設定してください。上位はリロードするまでの転送回数、下位は転送回数カウンタを示します。
- CHCRレジスタには、H'0E205819を設定してください。*
- DMARSレジスタには、転送要求元のモジュールID、レジスタID (STIFのチャンネル0を使用する場合：H'D3、STIFのチャンネル1を使用する場合：H'D7) を、DMAC使用チャンネルに対応するビットに設定してください。

【注】 * STIFを使用しない場合は、CHCR.DVMD ビットを1に設定しないでください。

(2) クロックバリッド送信

(a) クロックバリッド送信インタフェース

クロックバリッド送信インタフェースのタイミングを、図 25.5 に示します。

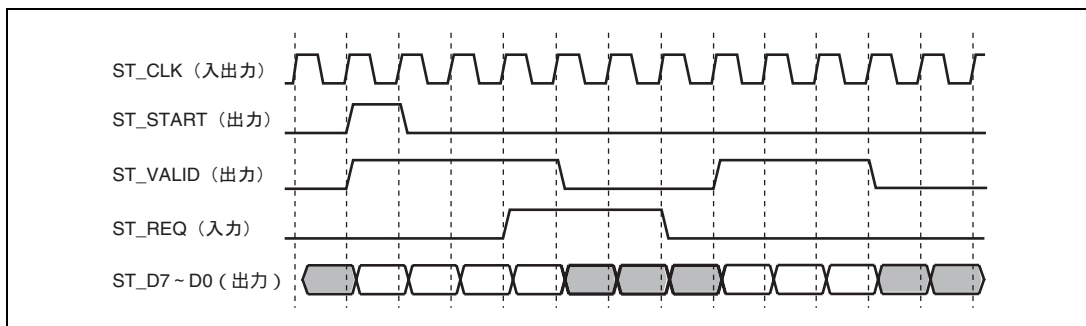


図 25.5 クロックバリッド送信タイミング

- ST_CLK端子の入出力選択

ST_CLK端子は、STIMDRレジスタのCKSLビットにより、外部クロックを入力/内部生成クロックを出力の選択が可能です。(最大33MHz)

- ST_START端子、ST_VALID端子、ST_REQ端子のアクティブレベル設定

ST_START端子、ST_VALID端子、ST_REQ端子は、STIMDRレジスタのSTATビット、VLDビット、REQビットにより、アクティブレベルの設定が可能です。

- ST_REQ端子の使用選択

ST_REQ端子は、STIMDRレジスタのREQENビットにより、使用する / 使用しないを選択可能です。

使用するを選択した場合、ST_REQ端子がアサートされたのを入力してから4バイト以内に、ST_VALID端子がネゲートされます。

使用しないを選択した場合、188あるいは192バイト転送終了まで、ST_VALID端子はネゲートされません。

(b) 送信パケット長

送信パケット長は、188 バイト、192 バイトから選択可能です。

外部メモリ上では、パケット長を 192 バイトとして扱うため、送信パケット長として 188 バイトを選択した場合はパケットの先頭 4 バイトを削除し送信します。送信パケット長として 192 バイトを選択した場合は外部メモリ上のデータをそのまま送信します。

(c) ワーク領域

外部メモリ上のワーク領域は、0、16、32、48 バイトから選択可能です。

(d) 送信時の送信パケット間隔設定

送信時の送信パケット間隔設定は、STIMDR レジスタの STMP[1:0]ビットの設定により、固定間隔送信、タイムスタンプ送信から選択可能です。

- 固定間隔送信

パケット間隔を、STICRのICYC[11:0]ビットの設定値にして送信を行います。

周辺クロック0で、1~4096 サイクルを設定可能です。

- タイムスタンプ送信

パケット間隔を、タイムスタンプ値に従った間隔として送信を行います。先頭パケット送信から、タイムスタンプカウンタのカウントを開始します。送信前に値を設定することで、任意の値からのカウントアップが可能です。

ただし、パケット送信中の書き込みは禁止です。

(e) 送信時の割り込み要因

クロックバリッド送信時、以下の割り込み要因があります。

- 送信パケット数割り込み

(3) ストローブ送信

(a) ストローブ送信インタフェース

ストローブ送信インタフェースのタイミングを、図 25.6 に示します。データ更新は ST_STRB の立下りと同時に行われます。

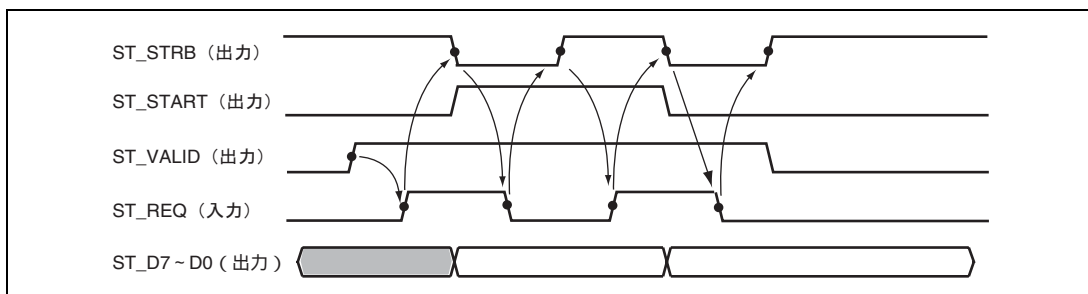


図 25.6 ストローブ送信タイミング

- ST_STRB端子、ST_START端子、ST_VALID端子、ST_REQ端子のアクティブレベル設定
ST_STRB端子、ST_START端子、ST_VALID端子、ST_REQ端子は、STIMDRレジスタのSTRBビット、STATビット、VLDビット、REQビットにより、アクティブレベルの設定が可能です。
- ST_REQ端子の使用選択
ストローブ送信選択時は、STIMDRレジスタのREQENビットの設定値に関わらず、ST_REQは常に入力状態になります。

(b) 送信パケット長

送信パケット長は、188 バイト、192 バイトから選択可能です。

外部メモリ上では、パケット長を 192 バイトとして扱うため、送信パケット長として 188 バイトを選択した場合はパケットの先頭 4 バイトを削除し送信します。送信パケット長として 192 バイトを選択した場合は外部メモリ上のデータをそのまま送信します。

(c) ワーク領域

外部メモリ上のワーク領域は、0、16、32、48 バイトから選択可能です。

(d) 送信時の送信パケット間隔設定

送信時の送信パケット間隔設定は、固定間隔送信のみ選択可能です。STIMDR レジスタの STMP[1:0]ビットは 00 に設定してください。

- 固定間隔送信

パケット間隔を、STICRのICYC[11:0]ビットの設定値にして送信を行います。

周辺クロック0の1/2の周波数でカウントし、1~4096 サイクルを設定可能です。

(e) 送信時の割り込み要因

ストローブ送信時、以下の割り込み要因があります。

- 送信パケット数割り込み

26. I²C バスインタフェース (IIC)

26.1 特長

I²C バスインタフェースには次のような特長があります。

- I²Cバスインタフェース方式に対応
- マルチマスタ対応
- 7ビット/10ビットアドレス互換マスタ
- 7ビットのスレーブアドレス
- ファースト・モード対応
- クロック周波数可変

図 26.1 に I²C バスインタフェースのブロック図を示します。

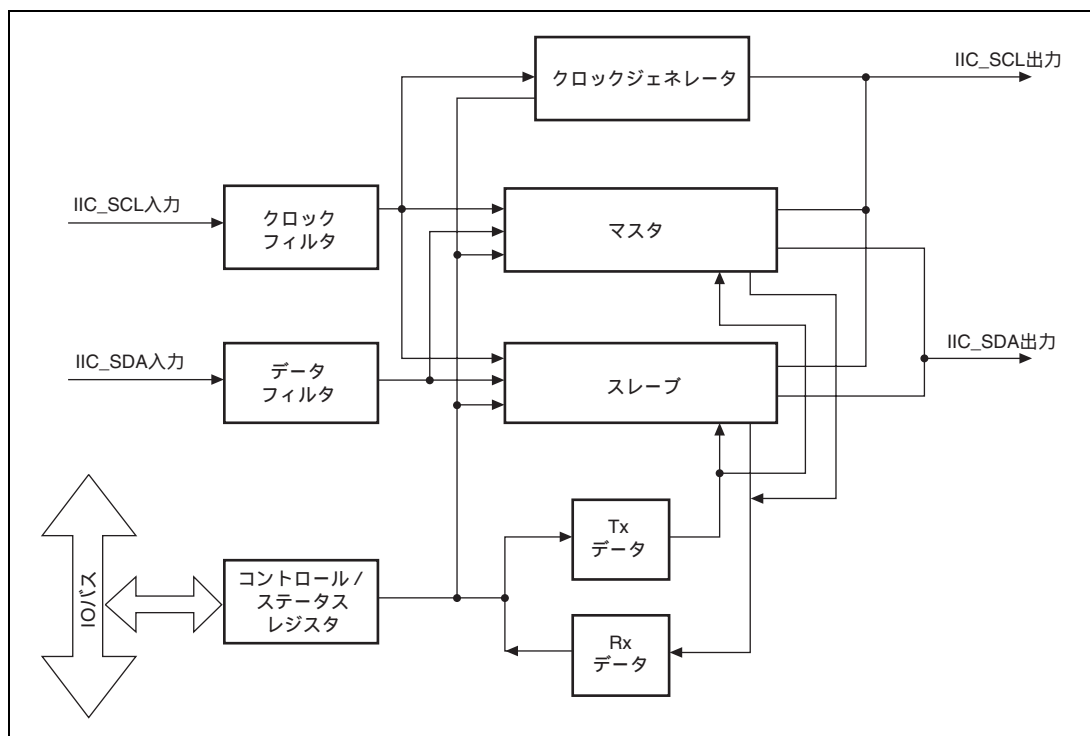


図 26.1 I²C バスインタフェースのブロック図

26.2 入出力端子

表 26.1 に I²C バスインタフェースで使用する端子を示します。

表 26.1 I²C バスインタフェースの端子構成

チャンネル	名称	入出力	機能
0	IIC0_SCL	入出力	I ² C シリアルクロック入出力端子*
	IIC0_SDA	入出力	I ² C シリアルデータ入出力端子*
1	IIC1_SCL	入出力	I ² C シリアルクロック入出力端子*
	IIC1_SDA	入出力	I ² C シリアルデータ入出力端子*

【注】 * I²C バス上の SCL/SDA 入出力端子はオープンドレインで、3.3V I/O です。

26.3 レジスタの説明

I²C バスインタフェースのレジスタ構成を表 26.2 に示します。また、各処理モードにおけるレジスタの状態を表 26.3 に示します。

表 26.2 レジスタ構成

チャンネル	名 称	略称	R/W	P2 領域 アドレス	エリア 7 アドレス	アクセス サイズ
0	スレーブコントロールレジスタ 0	ICSCR0	R/W	H'FFE7 0000	H'1FF7 0000	8
	マスタコントロールレジスタ 0	ICMCR0	R/W	H'FFE7 0004	H'1FF7 0004	8
	スレーブステータスレジスタ 0	ICSSR0	R/(W)* ¹	H'FFE7 0008	H'1FF7 0008	8
	マスタステータスレジスタ 0	ICMSR0	R/(W)* ²	H'FFE7 000C	H'1FF7 000C	8
	スレーブ割り込みイネーブルレジスタ 0	ICSIER0	R/W	H'FFE7 0010	H'1FF7 0010	8
	マスタ割り込みイネーブルレジスタ 0	ICMIER0	R/W	H'FFE7 0014	H'1FF7 0014	8
	クロックコントロールレジスタ 0	ICCCR0	R/W	H'FFE7 0018	H'1FF7 0018	8
	スレーブアドレスレジスタ 0	ICSAR0	R/W	H'FFE7 001C	H'1FF7 001C	8
	マスタアドレスレジスタ 0	ICMAR0	R/W	H'FFE7 0020	H'1FF7 0020	8
	受信データレジスタ 0	ICRXD0	R/W	H'FFE7 0024	H'1FF7 0024	8
	送信データレジスタ 0	ICTXD0	R/W	H'FFE7 0024	H'1FF7 0024	8
1	スレーブコントロールレジスタ 1	ICSCR1	R/W	H'FFE7 8000	H'1FF7 8000	8
	マスタコントロールレジスタ 1	ICMCR1	R/W	H'FFE7 8004	H'1FF7 8004	8
	スレーブステータスレジスタ 1	ICSSR1	R/(W)* ¹	H'FFE7 8008	H'1FF7 8008	8
	マスタステータスレジスタ 1	ICMSR1	R/(W)* ²	H'FFE7 800C	H'1FF7 800C	8
	スレーブ割り込みイネーブルレジスタ 1	ICSIER1	R/W	H'FFE7 8010	H'1FF7 8010	8
	マスタ割り込みイネーブルレジスタ 1	ICMIER1	R/W	H'FFE7 8014	H'1FF7 8014	8
	クロックコントロールレジスタ 1	ICCCR1	R/W	H'FFE7 8018	H'1FF7 8018	8
	スレーブアドレスレジスタ 1	ICSAR1	R/W	H'FFE7 801C	H'1FF7 801C	8
	マスタアドレスレジスタ 1	ICMAR1	R/W	H'FFE7 8020	H'1FF7 8020	8
	受信データレジスタ 1	ICRXD1	R/W	H'FFE7 8024	H'1FF7 8024	8
	送信データレジスタ 1	ICTXD1	R/W	H'FFE7 8024	H'1FF7 8024	8

【注】 *1 ビット 4~0 はフラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 6~0 はフラグをクリアするための 0 書き込みのみ可能です。

表 26.3 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
0	スレーブコントロールレジスタ 0	ICSCR0	H'00	H'00	保持	保持
	マスタコントロールレジスタ 0	ICMCR0	H'x0	H'x0	保持	保持
	スレーブステータスレジスタ 0	ICSSR0	H'00	H'00	保持	保持
	マスタステータスレジスタ 0	ICMSR0	H'00	H'00	保持	保持
	スレーブ割り込みイネーブルレジスタ 0	ICSIER0	H'00	H'00	保持	保持
	マスタ割り込みイネーブルレジスタ 0	ICMIER0	H'00	H'00	保持	保持
	クロックコントロールレジスタ 0	ICCCR0	H'00	H'00	保持	保持
	スレーブアドレスレジスタ 0	ICSAR0	H'00	H'00	保持	保持
	マスタアドレスレジスタ 0	ICMAR0	H'00	H'00	保持	保持
	受信データレジスタ 0	ICRXD0	H'00	H'00	保持	保持
	送信データレジスタ 0	ICTXD0	H'00	H'00	保持	保持
1	スレーブコントロールレジスタ 1	ICSCR1	H'00	H'00	保持	保持
	マスタコントロールレジスタ 1	ICMCR1	H'x0	H'x0	保持	保持
	スレーブステータスレジスタ 1	ICSSR1	H'00	H'00	保持	保持
	マスタステータスレジスタ 1	ICMSR1	H'00	H'00	保持	保持
	スレーブ割り込みイネーブルレジスタ 1	ICSIER1	H'00	H'00	保持	保持
	マスタ割り込みイネーブルレジスタ 1	ICMIER1	H'00	H'00	保持	保持
	クロックコントロールレジスタ 1	ICCCR1	H'00	H'00	保持	保持
	スレーブアドレスレジスタ 1	ICSAR1	H'00	H'00	保持	保持
	マスタアドレスレジスタ 1	ICMAR1	H'00	H'00	保持	保持
	受信データレジスタ 1	ICRXD1	H'00	H'00	保持	保持
	送信データレジスタ 1	ICTXD1	H'00	H'00	保持	保持

26.3.1 スレーブコントロールレジスタ (ICSCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDBS	SIE	GCAE	FNA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 書き込む値も常に 0 にしてください。
3	SDBS	0	R/W	スレーブデータバッファセレクト データバッファを選択します。データバッファには、ダブルバッファモードとシングルバッファモードの 2 つのモードがあります。 このビットをクリアするとダブルバッファが選択されます。受信モード時に、両方のバッファがフルで SDR がクリアされていない間は SCL がローレベルに保持され、SDR がクリアされると SCL のローレベルが解除されます。 このビットをセットするとシングルバッファが選択されます。 受信データレジスタがデータパケットを受信してから SDR がクリアされるまで SCL がローレベルに保持されます。 0 : ダブルバッファモード 1 : シングルバッファモード
2	SIE	0	R/W	スレーブインタフェースイネーブル スレーブが動作するときはこのビットをセットする必要があります。このビットがローレベルのときスレーブインタフェースはリセットされます。 また、MIE をセットするとこのビットがクリアされます。
1	GCAE	0	R/W	ジェネラルコールアクノリッジイネーブル スレーブがマスタからのジェネラルコールアドレスの送信に対しアクノリッジを求められた場合、このビットを 1 にセットする必要があります。
0	FNA	0	R/W	強制非アクノリッジ スレーブ受信モードでこのビットのレベルがアクノリッジ信号として送信デバイスに送られます。このビットはデータパケットが受信されている間はクリアされ、データ受信が終了するとセットされます。 強制非アクノリッジはスレーブ受信中にマスタに送信されます。 スレーブがデータパケットの最後のバイトデータを受信し終わるとアクノリッジをドライブしないこと (nack) でマスタと通信を行います。nack を受け取ったあとマスタはバス上にストップを発行します。このビットを設定してもスレーブアドレスのアクノリッジには影響を与えません。

26.3.2 スレーブステータスレジスタ (ICSSR)

スレーブステータスレジスタのステータスビット (ビット 0~4) は、0 を書き込むとクリアされます。各ビットは GCAR ビットと STM ビットを除き、0 を書き込むことによるリセットまで 1 に保持されます。

ビット:	7	6	5	4	3	2	1	0
	-	GCAR	STM	SSR	SDE	SDT	SDR	SAR
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 書き込む値も常に 0 にしてください。
6	GCAR	0	R	ジェネラルコールアドレス受信 バスから受信したアドレスがジェネラルコールアドレス (00H) であることを示します。このステータスビットは割り込みを発生させません。 SIE ビットが 0 または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に 0 にクリアされます。SIE ビットはスレーブコントロールレジスタのビット 2、SSR ビットは本レジスタのビット 4 です。
5	STM	0	R	スレーブ送信モード 現在のスレーブ送信モードが読み出ししか書き込みかを示します。1 のとき書き込みで 0 のとき読み出しです。このステータスビットは割り込みを発生させません。 SIE ビットが 0 または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に 0 にクリアされます。SIE ビットはスレーブコントロールレジスタのビット 2、SSR ビットは本レジスタのビット 4 です。
4	SSR	0	R/W*	スレーブストップ受信 ストップがバス上に出力されました。ストップビットの期間中で SDA の立ち上がりエッジのあとこのステータスビットがアクティブになります。
3	SDE	0	R/W*	スレーブデータエンプティ 送信データがシフトレジスタにロードされました。データバイト送信の開始時、ICTXD レジスタの内容は、バスへデータ送信可能状態のシフトレジスタにロードされます。本ステータスビットは、このロードが行われ ICTXD レジスタが再びレディ状態になったことを示します。また、このステータスビットは最初のデータビットの前に SCL の立ち下がりエッジでアクティブになります。シングルバッファモード時には、このビットは ICTXD レジスタに新しいデータを書き込むことにリセットする必要があります。スレーブ送信サイクルのスタートになってもこのビットがセットされたままの場合スレーブはバスを停止するために SCL をローレベルに保持するからです。
2	SDT	0	R/W*	スレーブデータ送信 バイトデータがバス上に送信されました。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。

ビット	ビット名	初期値	R/W	説明
1	SDR	0	R/W*	<p>スレーブデータ受信</p> <p>バイトデータをバスから受信しました。データは受信データレジスタ内にありレディ状態です。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。シングルバッファモード時には、データが ICRXD レジスタから読み出された後、このビットをリセットする必要があります。</p> <p>SDBS がセットされると、受信データレジスタがデータパケットを受信開始してから SDR がクリアされるまで SCL はローレベルに保持されます。</p>
0	SAR	0	R/W*	<p>スレーブアドレス受信</p> <p>スレーブがバス上に自分のアドレスを認識したことを示します (このアドレスはスレーブアドレスレジスタで定義されます)。スレーブコントロールレジスタのジェネラルコールアクノリッジイネーブルビットが有効な場合、本ステータスビットはバス上のアドレスがジェネラルコールアドレスの場合もセットされます。この場合、このレジスタの GCAR ビットでゼネラルコールアドレスが区別できます。STM ビットはアクセスが読み出し (ハイレベル) が書き込み (ローレベル) を示します。このステータスビットは、最後のアドレスビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。ソフトウェアがこのステータスビットをリセットするまで、ACK の開始時にスレーブは SCL をローレベルに保持します。</p>

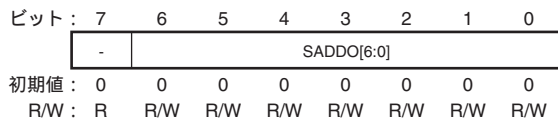
【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

26.3.3 スレーブ割り込みイネーブルレジスタ (ICSIER)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	SSRE	SDEE	SDTE	SDRE	SARE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 書き込む値も常に 0 にしてください。
4	SSRE	0	R/W	スレーブストップ受信割り込みイネーブル 0: SSR 割り込みの発生を禁止 1: SSR 割り込みの発生を許可
3	SDEE	0	R/W	スレーブデータエンプティ割り込みイネーブル 0: SDE 割り込みの発生を禁止 1: SDE 割り込みの発生を許可
2	SDTE	0	R/W	スレーブデータ送信割り込みイネーブル 0: SDT 割り込みの発生を禁止 1: SDT 割り込みの発生を許可
1	SDRE	0	R/W	スレーブデータ受信割り込みイネーブル 0: SDR 割り込みの発生を禁止 1: SDR 割り込みの発生を許可
0	SARE	0	R/W	スレーブアドレス受信割り込みイネーブル 0: SAR 割り込みの発生を禁止 1: SAR 割り込みの発生を許可

26.3.4 スレーブアドレスレジスタ (ICSAR)



ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 書き込む値も常に0にしてください。
6~0	SADD0[6:0]	すべて0	R/W	スレーブアドレス I ² C バス上でスレーブに割り付けられた固有の7ビットアドレスです。スレーブインタフェースは、データパケット送信の始めにスレーブアドレスとして送信される最初の7ビットと、このアドレスが一致するかどうかを確認します。

26.3.5 マスタコントロールレジスタ (ICMCR)

ビット :	7	6	5	4	3	2	1	0
	MDBS	FSCS	FSDA	OBPC	MIE	TSBE	FSB	ESG
初期値 :	0	-	-	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MDBS	0	R/W	<p>マスタデータバッファセレクト</p> <p>データバッファを選択します。データバッファには、ダブルバッファモードとシングルバッファモードの2つのモードがあります。</p> <p>このビットをクリアするとダブルバッファが選択されます。受信モード時に、両方のバッファがフルでMDRがクリアされていない間はSCLがローレベルに保持され、MDRがクリアされるとSCLのローレベルが解除されます。</p> <p>このビットをセットするとシングルバッファが選択されます。</p> <p>受信データレジスタがデータパケットを受信してからMDRがクリアされるまでSCLがローレベルに保持されます。</p> <p>0 : ダブルバッファモード 1 : シングルバッファモード</p>
6	FSCS	-	R/W	<p>強制 SCL</p> <p>強制 SCL は IIC_SCL 端子の状態を制御します (読み出しは IIC_SCL 端子の状態を反映します)。OBPC がセットされるとこのビットが直接バス上の SCL を制御します。</p> <p>IIC_SCL 端子の値をそのまま反映しているので、読み出しサイクル中のこのビットのレベル (リセットレベルも含む) も IIC_SCL のレベルによって変化します。</p>
5	FSDA	-	R/W	<p>強制 SDA</p> <p>強制 SDA は IIC_SDA 端子の状態を制御します (読み出しは I²C バスのビジー状態を反映します)。OBPC がセットされるとこのビットが直接バス上の SDA を制御します。</p> <p>読み出しサイクル中のこのビットのレベル (リセットレベルも含む) は、I²C バスのビジー状態を示します。1 は I²C バスがビジーであることを、0 はビジーでないことを示します。</p>

ビット	ビット名	初期値	R/W	説明
4	OBPC	0	R/W	オーバライドバス端子コントロール このビットをセットするとこのレジスタの FSDA と FSCL が直接 SDA と SCL を制御します。テスト用です。
3	MIE	0	R/W	マスタインタフェースイネーブル このビットをセットするとマスタインタフェースが有効になります。
2	TSBE	0	R/W	スタートバイト送信イネーブル このビットをセットすると各スタート、リスタート発行後、バス上にスタートバイト (H'01) をマスタが送信します。スタートバイトは I ² C バスインタフェース対応の動作周波数の低いマイコンとインタフェースをとるために使用されます。
1	FSB	0	R/W	バス上への強制ストップ このビットをセットすると現在の転送の終了時にマスタがバス上にストップを発行します。ESG もセットされた場合、マスタは直ちにスタートを発行し新しいデータパケットの送信を開始します。ESG がセットされない場合、マスタはアイドル状態になります。
0	ESG	0	R/W	イネーブルスタート生成 このビットをセットすると、マスタはデータパケットの送信を開始します。ESG がセットされたときにバスがアイドル状態だった場合、マスタはスタートをバス上に発行し、その後スレーブアドレスを発行します。マスタが転送中に ESG がセットされた場合、マスタは転送中のデータバイトの終了時にスレーブアドレスを発行する前にリスタートを発行します。データパケットを送信する場合、ソフトウェアはスレーブアドレスが送信されてからこのビットをリセットする必要があります。リセットしない場合、各送信終了後にリスタートが発行されます。

26.3.6 マスタステータスレジスタ (ICMSR)

マスタステータスレジスタのステータスビット (ビット0~6) は、0を書き込むことでクリアされます。各ビットは0を書き込んでリセットされるまで1に保持されます。

ビット:	7	6	5	4	3	2	1	0
	-	MNR	MAL	MST	MDE	MDT	MDR	MAT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 書き込む値も常に0にしてください。
6	MNR	0	R/W*	マスタ Nack 受信 このビットがセットされると、マスタがアドレスまたはデータ送信に対する nack を受信したことを示します (nack はアクノリッジサイクル中にバス上の SDA がハイレベルであることです)。
5	MAL	0	R/W*	マスタアービトレーションロスト マルチマスタシステムではこのビットがセットされるとマスタはバス上の他のマスタに対するアービトレーションを失ったことを示します。 このとき MIE はリセットされマスタインタフェースは無効になります。
4	MST	0	R/W*	マスタストップ送信 このビットがセットされるとマスタがバス上にストップを送信したことを示します。ストップはコントロールレジスタの強制ストップビットを設定した結果またはスレーブ受信データパケット期間中のスレーブから受信している nack で送信することができます。
3	MDE	0	R/W*	マスタデータエンプティ データバイト送信開始時、送信データレジスタの内容はバスに送信可能状態のシフトレジスタにロードされます。 このビットがセットされるとこのロードが行われ送信データレジスタが再びレディ状態になったことを示します。 マスタ送信モードでは、MDE ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき ICMSR の ESG ビットがクリアされた後で MDE と MAT ビットをクリアしてください。クリアするとデータ送信が再開されます。
2	MDT	0	R/W*	マスタデータ送信 バイトデータがバス上のスレーブに送信されました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後アクティブになります。

ビット	ビット名	初期値	R/W	説明
1	MDR	0	R/W*	<p>マスタデータ受信</p> <p>バイトデータがバスから受信され受信データレジスタがレディ状態になりました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後アクティブになります。シングルバッファモード時には、受信データレジスタからデータが読み出されたあと、このステータスビットをリセットする必要があります。</p> <p>MDBS がセットされると、受信データレジスタがデータパケットを受信開始してから MDR がクリアされるまで SCL はローレベルに保持されます。</p> <p>マスタ受信モードでは、MDR ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき、ICMCR の ESG ビットがクリアされた後で、MDR と MAT ビットをクリアしてください。クリアすると、データ受信がスタートされます。</p>
0	MAT	0	R/W*	<p>マスタアドレス送信</p> <p>スレーブアドレスのバイトデータパケットがマスタによって送信されました。このビットはアドレスの ack ビット期間中で SCL 立ち下がりエッジ後にアクティブになります。</p>

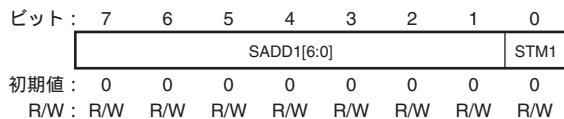
【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

26.3.7 マスタ割り込みイネーブルレジスタ (ICMIER)

ビット:	7	6	5	4	3	2	1	0
	-	MNRE	MALE	MSTE	MDEE	MDTE	MDRE	MATE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

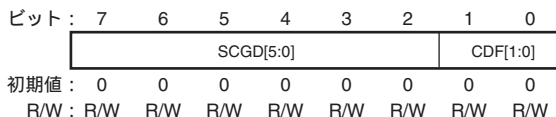
ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 書き込む値も常に0にしてください。
6	MNRE	0	R/W	マスタ Nack 受信割り込みイネーブル 0: MNR 割り込みの発生を禁止 1: MNR 割り込みの発生を許可
5	MALE	0	R/W	マスタアービトラクションロスト割り込みイネーブル 0: MAL 割り込みの発生を禁止 1: MAL 割り込みの発生を許可
4	MSTE	0	R/W	マスタストップ送信割り込みイネーブル 0: MST 割り込みの発生を禁止 1: MST 割り込みの発生を許可
3	MDEE	0	R/W	マスタデータエンプティ割り込みイネーブル 0: MDE 割り込みの発生を禁止 1: MDE 割り込みの発生を許可
2	MDTE	0	R/W	マスタデータ送信割り込みイネーブル 0: MDT 割り込みの発生を禁止 1: MDT 割り込みの発生を許可
1	MDRE	0	R/W	マスタデータ受信割り込みイネーブル 0: MDR 割り込みの発生を禁止 1: MDR 割り込みの発生を許可
0	MATE	0	R/W	マスタアドレス送信割り込みイネーブル 0: MAT 割り込みの発生を禁止 1: MAT 割り込みの発生を許可

26.3.8 マスタアドレスレジスタ (ICMAR)



ビット	ビット名	初期値	R/W	説明
7~1	SADD1[6:0]	すべて 0	R/W	スレーブアドレス このビットはマスタが通信しようとするスレーブのアドレスです。
0	STM1	0	R/W	スレーブ転送モード このビットはスレーブが動作しようとしているモードを示します。 このビットはスレーブの動作モード (送信または受信) を、マスタから送信されたスレーブアドレス (SADD1) と一致する外部スレーブデバイスに設定します。スレーブデバイスは受信した STM1 の値によってハードウェアが自動的に送信 / 受信を設定します。 このビットがセットされると読み出し、クリアされると書き込みになります。

26.3.9 クロックコントロールレジスタ (ICCCR)



ビット	ビット名	初期値	R/W	説明
7~2	SCGD[5:0]	すべて 0	R/W	<p>SCL クロック生成分周</p> <p>マスタモードで動作しているときは、SCGD を分周比として内部クロック周波数から SCL クロックが生成されます。スレープモードにおいても、データオーバーフローでバスを停止させるため SCL をローレベルに保持しているときは内部クロックからのクロック生成により動作します。このため SCGD はマスタとスレープのいずれのモードにおいてもプログラムする必要があります。周波数の関係を以下に示します。</p> <p>式 2 SCL レート計算</p> $\text{SCL freq} = \text{IICck} / (20 + \text{SCGD} * 8) \quad \text{IICck} : \text{IIC 内部クロック周波数}$ <p>CPU のレートと 2 種類の I²C バスのスピードに対して推奨する CDF と SCGD の値を表 26.4 に示します。</p>
1, 0	CDF[1:0]	すべて 0	R/W	<p>クロック分周要素</p> <p>I²C バスインタフェースモジュール内のほとんどのブロックで使用される内部クロックは周辺のクロックを分周したものです。IIC の内部クロックは CDF を分周比として周辺クロックから生成されます。</p> <p>式 1 IIC 内部クロック周波数計算</p> $\text{IICck} = \text{Pck0} / (1 + \text{CDF}) \quad \text{Pck0} : \text{周辺クロック}$ <p>バス上の SCL に対する SDA のセットアップとホールドタイムの最小値を満たすようにしてください。</p> <p>クロック周波数は、グリッチフィルタが I²C ファーストモード仕様に述べられているとおり 50ns までのグリッチに対して動作するようにしてください。</p> <p>【注】 CDF はクロック周波数 (IICck) が 20MHz 未満になるような値にしてください。</p>

表 26.4 CDF と SCGD の推奨値*

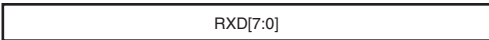
SCL freq 周辺クロック周波数 (Pck0)	100KHz		400KHz	
	CDF	SCGD	CDF	SCGD
66.7 MHz	3	19	3	3
誤差	-3.05%		-5.26%	

【注】 * SCL レートにおける推奨値です。

26.3.10 受信 / 送信データレジスタ (ICRXD/ICTXD)

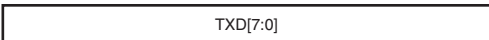
本レジスタを読み出したときと書き込みしたときは、物理的には別のレジスタにアクセスしています。データが送信されるときはTXDを使用して、シフトレジスタのデータがロードされます。I²C バスからシフトレジスタにデータを受信したときは、データはRXDにロードされます。

- 受信データレジスタ (ICRXD)

ビット: 7 6 5 4 3 2 1 0

 初期値: 0 0 0 0 0 0 0 0
 R/W: R R R R R R R R

ビット	ビット名	初期値	R/W	説明
7~0	RXD[7:0]	すべて0	R	読み出し受信データ マスタまたはスレーブによって受信されるデータ

- 送信データレジスタ (ICTXD)

ビット: 7 6 5 4 3 2 1 0

 初期値: 0 0 0 0 0 0 0 0
 R/W: W W W W W W W W

ビット	ビット名	初期値	R/W	説明
7~0	TXD[7:0]	すべて0	W	書き込み送信データ マスタまたはスレーブによって送信されるデータ

26.4 動作説明

26.4.1 データとクロックフィルタ

これらのブロックは I²C バスから入力される信号のグリッチを取り除きます。取り除くグリッチの幅は 1 クロックまでです (内部クロック周波数の詳細はクロックコントロールレジスタを参照してください)。これはファーストモード I²C バスレート (400KHz) の仕様ですが低速モードの仕様に違反するものではありません。

また、これらのブロックは内部クロックに対してバス信号の再同期も行います。

26.4.2 クロックジェネレータ

クロックジェネレータは 2 つの機能を持ちます。1 つめは、マスタまたはスレーブインタフェースのコマンドに従って SCL I²C バスクロックを生成することです。2 つめは、フィルタやマスタ、スレーブインタフェースで使用される内部クロックを制御することです。このクロックはフィルタやマスタ、スレーブインタフェースのレジスタのクロックイネーブル信号として動作します。

26.4.3 マスタ / スレーブインタフェース

これらのインタフェースは独立で並行に動作します。マスタインタフェースは I²C バス上のアドレスとデータの転送を制御します。スレーブインタフェースは I²C バスを監視し、設定されたアドレスがバス上に出力されると転送に参加します。どちらのインタフェースも独立にコントロール / ステータスレジスタと通信します。割り込みは 1 本のみで、I²C バスインタフェースモジュールから出力されます。発生源はマスタかスレーブのどちらかになります。

26.4.4 ソフトウェアステータスインターロック

I²C バスインタフェースモジュールへのソフトウェアインタフェースをできるだけ強固でシンプルにするため、いくつかの連動させたステータスをマスタインタフェースとスレーブインタフェースの動作に組み込んでいます。このステータスビットを以下に示します。

(1) MDR と SDR

データを受信すると MDR と SDR はセットされます。受信データレジスタを読み出したあとはステータスをクリアしてください。MDR と SDR がセットされているときにデータを受信すると、ハードウェアは受信データレジスタにまだ読み出されていないデータがあることを認識して自動的に SCL をローレベルに保持し、データ転送を一時停止します。この場合、受信データを読み出した後にステータスをクリアすることで転送は再開されます。

データを連続して受信するときは、受信データレジスタを読み出したあと必ず MDR と SDR のステータスをクリアしてください。

(2) MDE と SDE

スレーブまたはマスタが、データ(送信データレジスタのデータ)を I²C バス上に送信する段階になっても MDE と SDE ステータスビットがセットされている場合、MDE と SDE がリセットされるまで SCL はローレベルに保持される必要があります。MDE と SDE がセットされることで、現在送信データレジスタに保持されているデータはすでに I²C バスに送信されたことを示します。

次のデータバイトの送信が可能な状態になった送信データレジスタに書き込むとき、ソフトウェアはこのステータスビットをクリアする必要があります。ただし、この操作はバス上に送信される最初のバイトデータには必要ありません。

(3) MAL

マスタがアービトレーションを失ったとき、マスタステータスレジスタの MAL ビットがセットされマスタコントロールレジスタの MIE ビットがリセットされます。このときマスタモードは無効になり I²C バスインタフェースはスレーブモードになります。マスタの動作を再開する場合、マスタからのデータ転送は MAL ビットがクリアされてから開始されます。

(4) SAR

SAR ステータスビットは、スレーブが、自分のアドレスが I²C バス上に出力されたことを認識したときにセットされます。このときスレーブインタフェースは、SAR ステータスビットがリセットされるまで SCL をローレベルに保持します。

これはスレーブの送信がバスに対して行われようとしているときは特に重要です。スレーブは送信データレジスタからデータを送信します。ソフトウェアは SAR ステータスに対して、送信データレジスタに要求されるデータを書き込み、その後 SAR ビットをリセットするという応答を行います。これによりスレーブインタフェースはアクセスを続けることができます。

スレーブがデータを受信しようとしている場合、ソフトウェアが受信データレジスタから前のアクセスでロードされたデータをまだ読み出しているということがあります。新しいアクセスがまだ受信データレジスタにある有効なデータを上書きしてしまう可能性があります。しかし、SAR ステータスビットを使うことでこれを回避することができます。ソフトウェアが受信データレジスタのすべてのデータの読み出しを終了してから SAR ビットをリセット (SAR がセットされていた場合) すると、受信データレジスタの上書きを避けられます。

26.4.5 I²C バスデータフォーマット

図 26.2 に I²C バスインタフェースのバスタイミングを示します。また、表 26.5 に図 26.2 の記号の意味を示します。

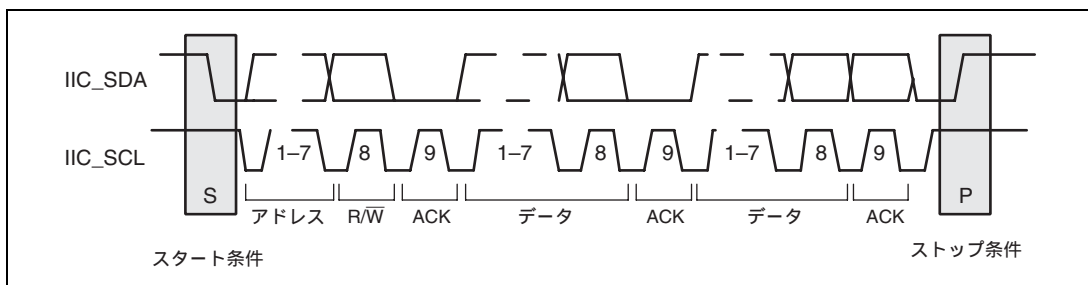


図 26.2 I²C バスタイミング

表 26.5 I²C バスデータフォーマットの記号説明

記号	説明
S	開始条件を示します。マスタデバイスは、SCL がハイレベルの状態です。SDA をハイレベルからローレベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを転送します。
A	データアックノリッジを示します。受信デバイスが SDA をローレベルにします。スレーブデバイスはマスタ送信モードではデータアックノリッジを返します。
DATA	送受信データを示します。データ長は 8 ビットで MSB から転送されます。
P	停止状態を示します。マスタデバイスは、SCL がハイレベルの状態です。SDA をローレベルからハイレベルに変化させます。

26.4.6 7ビットアドレスフォーマット

図 26.3 にマスタからスレーブデバイスへのデータ転送フォーマット (マスタデータ送信フォーマット) を示します。図 26.4 にマスタデバイスがスレーブデバイスからの 2 番目とそれ以降のバイトデータを読み出すデータ転送フォーマット (マスタデータ受信フォーマット) を示します。

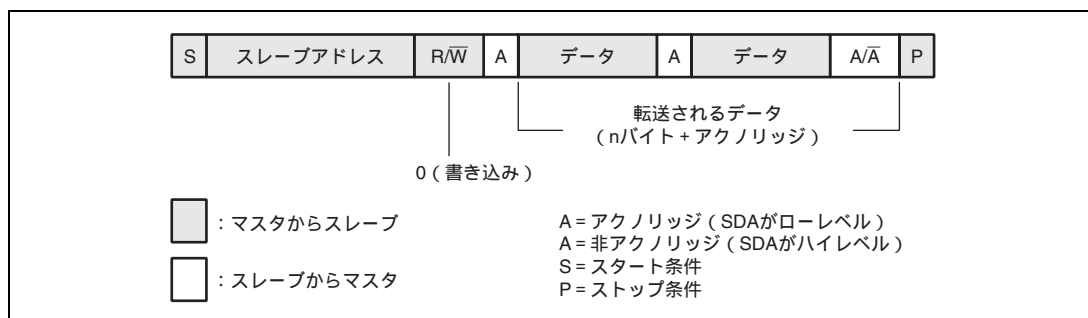


図 26.3 マスタデータ送信フォーマット

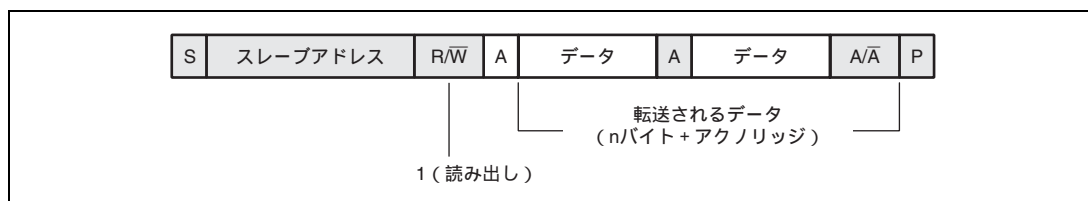


図 26.4 マスタデータ受信フォーマット

図 26.5 に、1 回の転送中にデータ転送の方向が変わる複合転送フォーマットを示します。1 回目の転送で方向が変わるときは再送コマンド (Sr)、スレーブアドレス、R/W が送信されます。この場合 R/W は 1 回目の転送方向と逆の方向が設定されています。再送コマンドは、マスタコントロールレジスタのイネーブルスタート生成ビットがセットされているときに送信または受信の最後でマスタが発行します。

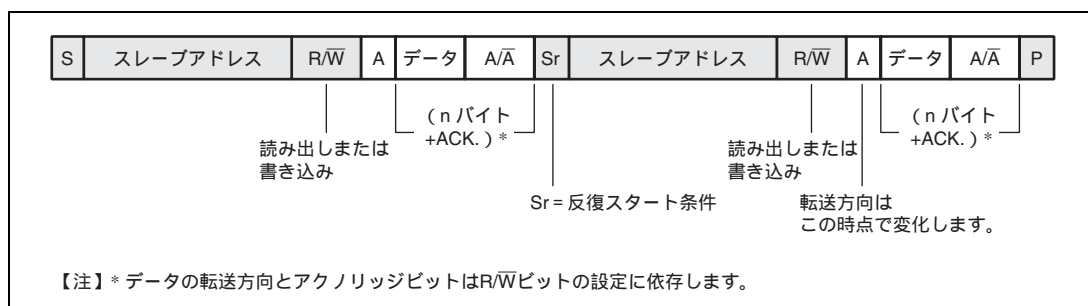


図 26.5 マスタ転送の複合転送フォーマット

【注】 * 反復スタート条件: IIC_SCL が High で、IIC_SDA を Low にしたときにスタートします。

26.4.7 10 ビットアドレスフォーマット

マスタモードでサポートする 10 ビットアドレス転送フォーマットについて説明します。

このフォーマットは 7 ビットアドレス転送フォーマット同様に 3 種類の転送方法があります。

図 26.6 にデータ転送フォーマットを示します。マスタアドレスレジスタに設定された値は 1 回目の転送条件 (S) の後に 1 バイトで出力されます。送信データレジスタ (TXD) に設定された値は 2 番目のバイトでスレーブアドレスとして転送されます。3 バイト目とそれ以降のデータ転送は 7 ビットアドレスデータ送信と同じ方法で行われます。

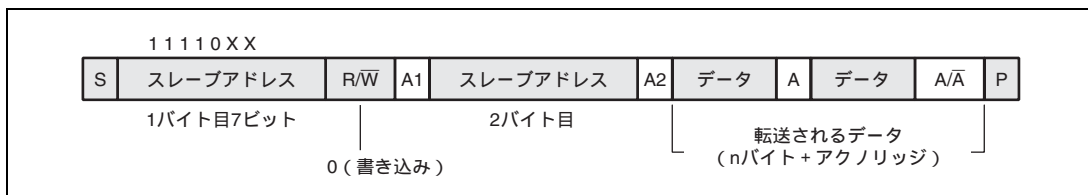


図 26.6 10 ビットアドレスデータ送信フォーマット

図 26.7 にデータ受信フォーマットを示します。

データ受信フォーマットで 2 バイトのアドレスの送信は前述のデータ送信と同様に行われます。その後、再送条件 (Sr) が送信され、アドレスレジスタに設定された値が送信されます。このとき、STMI は 1 (受信モード) である必要があります。データ転送は 7 ビットアドレス受信フォーマットと同様に行われます。

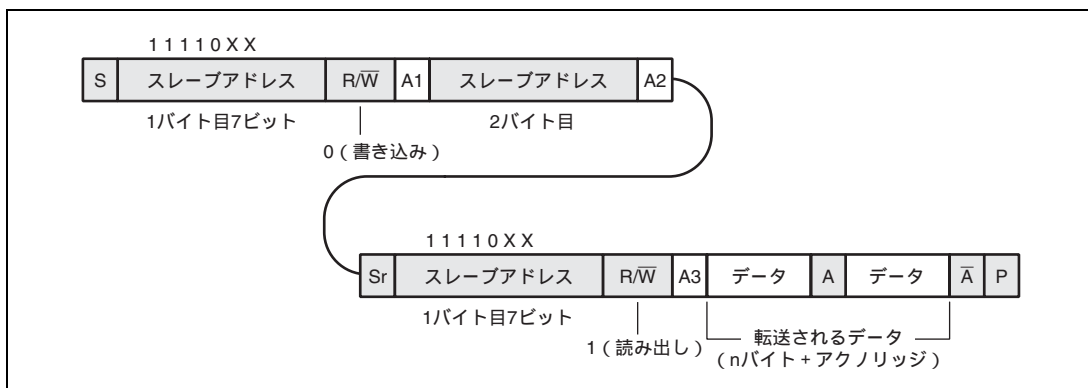


図 26.7 10 ビットアドレスデータ受信フォーマット

図 26.8 にデータ送信 / 受信複合フォーマットを示します。

データ送信 / 受信複合フォーマットでは、データは最初の 2 バイトでアドレスが送信された後データが送信されます。その後、再送条件 (Sr) がストップ条件 (P) の代わりに送信されます。Sr 送信後の手順は通常のデータ受信フォーマットと同様に行われます。

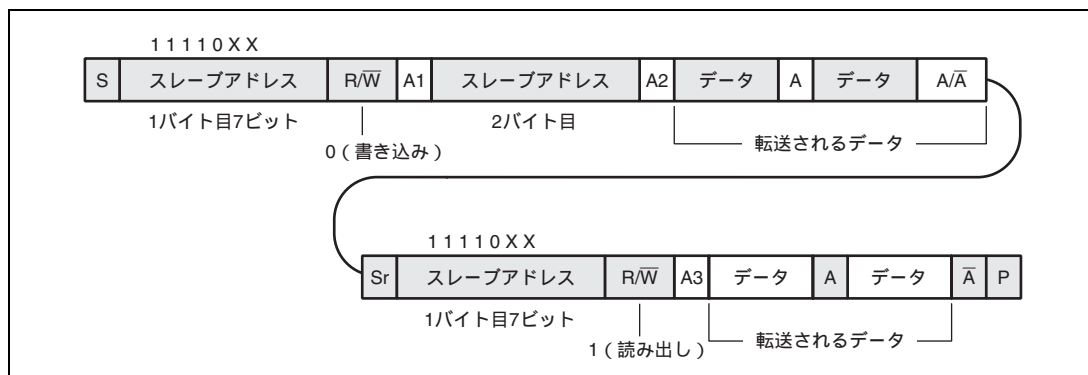


図 26.8 10 ビットアドレスデータ送信 / 受信複合フォーマット

26.4.8 マスタ送信動作

マスタ送信モードでの送信手順と動作を以下に示します。図 26.9 にマスタ送信モードのタイミングチャートを示します。マスタコントロールレジスタのMDBS ビットをセットすることにより、IIC はシングルバッファモードで動作します。

- 初期状態では、スレーブアドレス、送信データ、送信スピードに従ってクロックコントロールレジスタとマスタ割り込みイネーブルレジスタを設定してください。マスタモードが使用されているときでもスレーブモードは要求されるので、スレーブアドレスレジスタにデバイスのアドレスを設定してください。
また、マスタコントロールレジスタのMDBS とスレーブコントロールレジスタのSDBS は動作途中では変更しないでください。動作途中でこれらのビットを変更すると誤動作することがあります。
- マスタコントロールレジスタのFSDA ビットを監視してください。このビットがローレベルであることを確認してください。これは他の I²C デバイスがバスを使用していないことを意味します。確認後、マスタコントロールレジスタのMIE ビットとESG ビットをセットしてマスタ送信を開始します。
- 送信開始条件、スレーブアドレス、データ送信方向を示す信号が送信された後、マスタステータスレジスタのMAT ビットとMDE ビットによる割り込みが図 26.9 の (1) に示されるタイミングで生成されます。このとき ESG をクリアしてください。マスタデバイスは、データ送信を一時停止するために、MDE ビットがクリアされるまで SCL をローレベルにします。
- SAR による割り込みが図 26.9 の (3) に示されるタイミングで生成されます。スレーブデバイスの IRQ 処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するために SCL の期間を延ばします (図 26.9 の (7) に示されるタイミング)。スレーブデバイスは 9 番目のクロックで SDA をローレベルにして ACK を返します。
- データ転送は 8 ビットに ACK の 1 ビットを加えたもの、つまり 9 ビットを単位として行います。MDE (ビット 3) による割り込みは、データ転送前の 9 番目のクロック (図 26.9 の (2) に示されるタイミング) のときに生成されます。MDT (ビット 2) による割り込みは、1 バイトのデータ転送後の 8 番目のクロック (図 26.9 の (4) に示されるタイミング) のときに生成されます。転送データを設定したあと MDE をクリアしてください。スレーブデバイスの SDR (スレーブデータ受信) による割り込みは、8 番目のクロック (図 26.9 の (6) に示さ

れるタイミング)のときに生成されます。スレーブデバイスが受信データをリードしたあとIIC_SDRをクリアしてください。この処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するためにIIC_SCLの期間を延ばします(図26.9の(8)に示されるタイミング)。

6. データ転送を終了させるために、マスタステータレジスタのMNR(ビット6)による割り込みが、スレーブデバイスからのACKが1(Nack)のとき9番目のクロックで生成されます(図26.9の(5)に示されるタイミング)。マスタデバイスはこのNackを受信し、データ転送終了条件を出力します。マスタデバイスでデータ送信が終了したとき、マスタコントロールレジスタのFSB(ビット1)をセットして一時停止条件を出力してください。IICモジュールはバイトデータの最終ビットの送信または受信が完了するとFSBの値を取り込み、ストップ状態になります。そのため、あらかじめ決まったバイト数のデータ転送のあと通信を終了させるには、最終バイトデータの転送開始前にFSBが設定されている必要があります。
7. FSBは最終バイトデータが転送される前に設定される必要があります。そこでマスタ送信モード時には、最終バイトデータが設定されたあとMST(マスタストップ送信)を割り込みまたはポーリングでチェックします。また同時にMNR(マスタNACK受信)をチェックし、NACKが返された場合は最終バイトデータを再送信するためにエラールーチンに進みます。

図 26.9 のタイミング (1) ~ (6) は、クロックの立ち下がりエッジ後に生成されます。

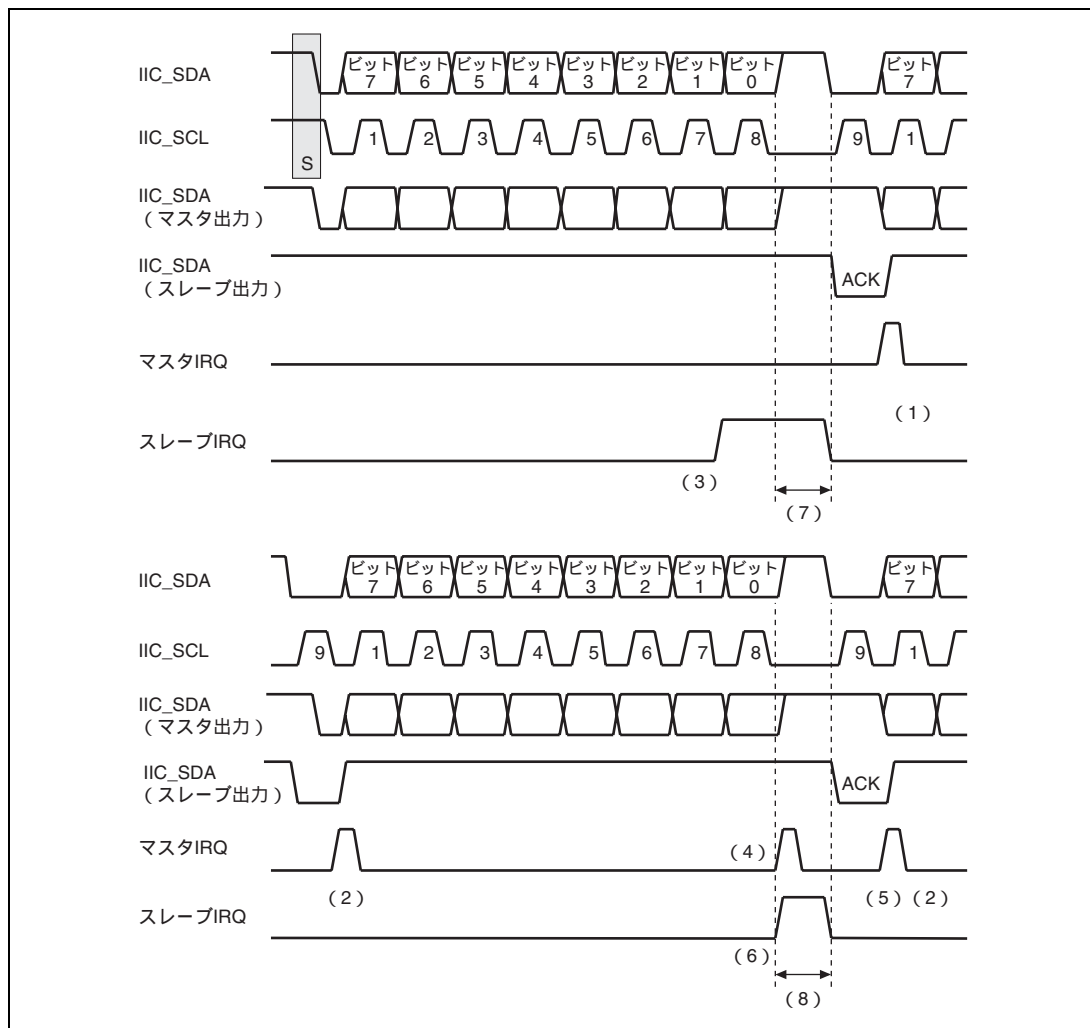


図 26.9 データ転送モード動作タイミング

26.4.9 マスタ受信動作

マスタ受信モードでのデータ受信手順と動作を以下に示します。図 26.10 にマスタデータ受信モードのタイミングチャートを示します。マスタコントロールレジスタの MDBS ビットをセットすることにより、IIC はシングルバッファモードで動作します。

1. マスタデータ受信モードでは、スレーブアドレスとデータ転送方向を示す1バイトの信号については、動作はマスタデータ転送モードと同様です。しかし、このときデータ転送方向は1 (受信) を選択してください。

- スレーブデバイスは、データ転送方向を示す信号によって自動的にデータ転送モードになり、マスタデバイスからのIIC_SCLクロックに同期して、1バイトデータの送信を行います。マスタデバイスは8番目のクロック (図26.10の (2) に示されるタイミング) でMDR (ビット1) の割り込みを生成します。マスタデバイスが受信データを読み出した後、MDRビットをクリアしてください。この割り込み処理が遅れた場合、マスタデバイスはデータ送信を一時停止するためにSCLの期間を伸ばします (図26.10の (3) に示されるタイミング)。
- スレーブデバイスは、8番目のクロック (図26.10の (2) に示されるタイミング) で1バイトのデータ転送の最後を示すSDT (ビット2) による割り込みを生成します。また、9番目のクロック (図26.10の (1) に示されるタイミング) でデータエンプティを示すSDE (ビット3) による割り込みを生成します。スレーブ送信データをTXDに書き込んだ後、SDEをクリアしてください。
- 転送を終了するために、マスタデバイスのマスタコントロールレジスタのFSB (ビット1) をセットして出力一時停止を出力してください。IICモジュールはバイトデータの最終ビットの送信または受信が完了すると、FSBの値を取り込んでストップ状態になります。そのため、あらかじめ決まったバイト数のデータ転送のあと通信を終了させるには、最終バイトデータの転送開始前にFSBが設定されている必要があります。最終バイトの受信後、マスタレシーバは受信トランザクションを完了しますが、もし最終バイトデータが正しくないとき、プロトコルレイヤはスレーブ送信側に再送信が必要なことを通知します。

図 26.10 のタイミング (1) ~ (3) は、クロックの立ち下がりエッジ後に生成されます。

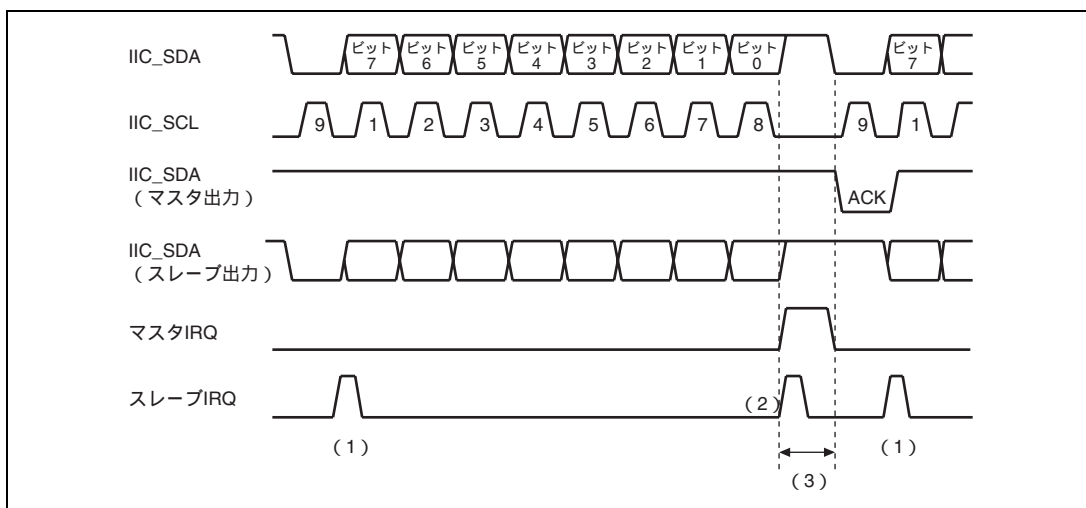


図 26.10 データ受信モード動作タイミング

26.5 プログラム例

26.5.1 マスタ送信

I²C バスにデータパケットを送信するマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定
(SCL周波数が400KHz)
2. クロック分周比にH'3を設定
(周辺クロックが66.7MHz、I²C内部クロックIICckが16.7MHz)

(2) マスタコントロールレジスタ、1番目のデータバイトとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (書き込みモードは0) を設定
2. 送信データレジスタに送信される1番目のデータバイトを設定
3. マスタコントロールレジスタにH'89を設定
(MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDEビットによる割り込み) 待ち。
2. マスタコントロールレジスタにH'88を設定 (マスタデバイスは、データ送信を一時停止するために、MDEビットがクリアされるまでIIC_SCLをローレベルにします。)
1バイトのみ送信する場合はマスタコントロールレジスタにH'8Aを設定 (ストップの生成が有効)
これにより1バイト送信したらすぐにストップを生成
3. MATビットをリセット

(4) データバイトの送信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDEビット) 待ち
2. 送信データレジスタに次のデータバイトを設定
3. MDEビットをリセット

最終送信バイトの設定後MDEをクリアします。最終送信バイト送信開始後、MDEが発生します。そのMDEをクリアする前に、マスタコントロールレジスタにH'8Aを設定してください。

(強制ストップビットをセット)

(5) 送信終了待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMSTビット) 待ち
2. MNR (Master NACK received) を確認後、MSTをリセット

26.5.2 マスタ受信

I²C バスのデータパケットを受信するマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定
(SCL周波数が400KHz)
2. クロック分周比 (CDF) にH'3を設定
(周辺クロックが66.7MHz、IIC内部クロックIICckが16.7MHz)

(2) マスタコントロールレジスタとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTMIビット (読み出しモードは1) を設定
2. マスタコントロールレジスタにH'89を設定
(MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDRビットによる割り込み) 待ち。
2. マスタコントロールレジスタにH'88を設定 (マスタデバイスは、データ受信を一時停止するために、MDRビットがクリアされるまでSCLをローレベルにします。)
1バイトのみ送信する場合はマスタコントロールレジスタにH'8Aを設定 (ストップの生成が有効)
これにより1バイト受信したらすぐにストップを生成する。
3. MATビットをリセット

(4) データバイトの受信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDRビット) 待ち
2. 受信データレジスタからデータ読み出し

次のデータバイトがスレーブデバイスによって送信される (最終-1) バイトのデータバイトの場合、その最終-1バイトの受信割り込みすなわちMDR割り込みに対して

3. マスタコントロールレジスタに8Ahを設定
(強制ストップビットを設定)
 4. MDRビットをリセット
- (5) 受信終了待ち
1. 最終バイトの受信割り込み (MDR) の処理、すなわちデータを引き抜きMDRをクリア
 2. マスタデバイスのイベント (マスタステータスレジスタのMST) 待ち
 3. MSTをリセット

26.5.3 マスタ送信 - リスタート - マスタ受信

I²C バスにデータパケットを送信し、リスタートを発行し、スレーブからデータを読み出すマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定
(SCL周波数が400KHz)
2. クロック分周比 (CDF) にH'3を設定
(周辺クロックが66.7MHz、IIC内部クロックIICckが16.7MHz)

(2) マスタコントロールレジスタとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (書き込みモードは0) を設定
2. マスタコントロールレジスタにH'89を設定
(MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDEビットによる割り込み) 待ち。
2. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (読み出しモードは1) を設定

マスタコントロールレジスタのイネーブルスタート生成ビットがまだセットされているときは送信の最後でマスタはリスタートを発行します。新しいアドレスが上述のとおりロードされているので、バスの方向が変更されます。

3. MATビットをリセット

(4) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDRビットによる割り込み) 待ち。
2. マスタコントロールレジスタにH'88を設定
(マスタデバイスはデータ受信を一時停止するために、MDRビットがクリアされるまでIIC_SCLをローレベルにします。)
3. MATビットをリセット

(5) データバイトの受信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDRビット) 待ち
受信データレジスタからデータ読み出し
次のデータバイトがスレーブデバイスによって送信される (最終-1) バイトのデータバイトの場合、その最終-1バイトの受信割り込みすなわちMDR割り込みに対して
2. マスタコントロールレジスタにH'8Aを設定
(強制ストップビットを設定)
3. MDRビットをリセット

(6) 受信終了待ち

1. 最終バイトの受信割り込み (MDR) の処理、すなわちデータを引き抜きMDRをクリアする
2. マスタデバイスのイベント (マスタステータスレジスタのMSTビット) 待ち
3. MSTビットをリセット

27. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、2 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信に FIFO バッファをおのおの 64 段内蔵しており、効率の良い高速連続通信を行うことができます。チャンネル 0、1 は、モデムコントロール機能 ($\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$) を内蔵しています。

27.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレイクの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレイクを検出します。また、フレーミングエラー発生時に SCIF0_RXD、SCIF1_RXD 端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによってもブレイクを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに64段のFIFOバッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。
- データの送受信はLSBが先頭 (LSB First)
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- クロックソース：ボーレートジェネレータからの内部クロック、またはSCIF0_SCK、SCIF1_SCK端子からの外部クロックから選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能 ($\overline{\text{SCIF0_RTS}}$ 、 $\overline{\text{SCIF1_RTS}}$ 、 $\overline{\text{SCIF0_CTS}}$ 、 $\overline{\text{SCIF1_CTS}}$) を内蔵しています。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

図 27.1 に SCIF のブロック図を、図 27.2～図 27.6 に I/O ポートのブロック図を示します。本 LSI は 2 チャンネルあります。図 27.1、図 27.4～図 27.6 では、チャンネルを省略して説明しています。

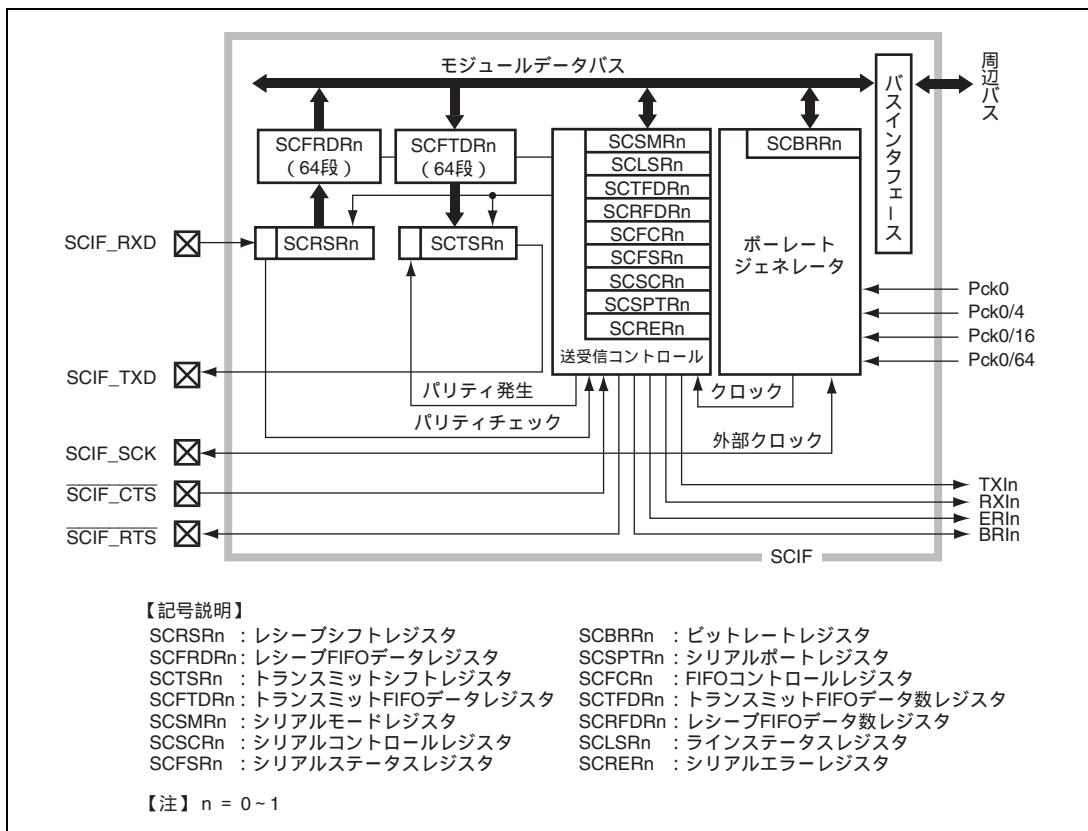


図 27.1 SCIF のブロック図

SCIF の I/O ポートのブロック図を図 27.2 ~ 図 27.6 に示します。

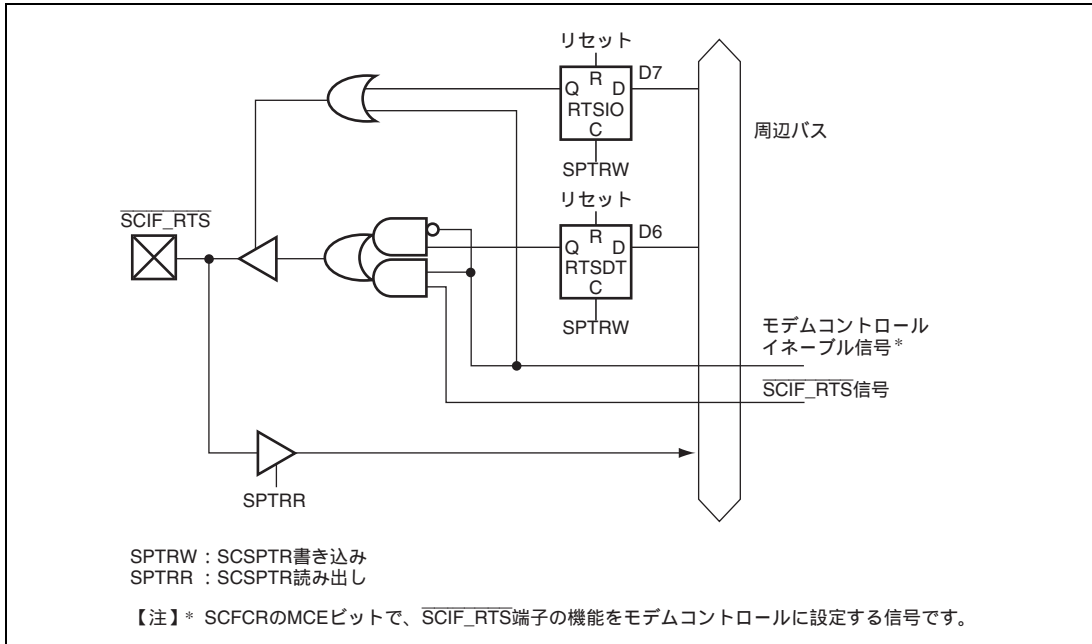


図 27.2 SCIF_RTS 端子

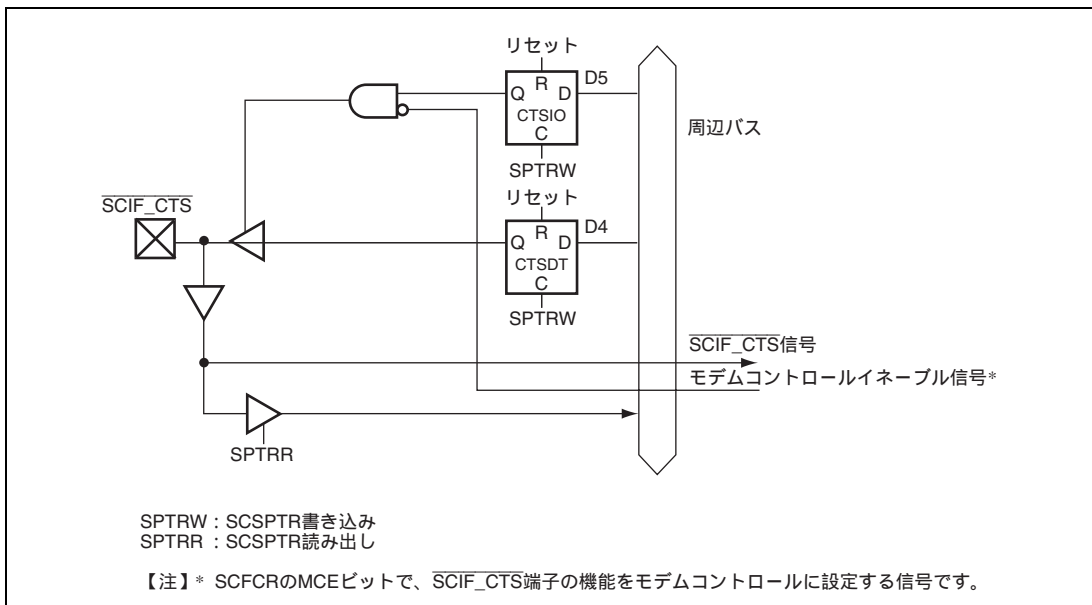


図 27.3 SCIF_CTS 端子

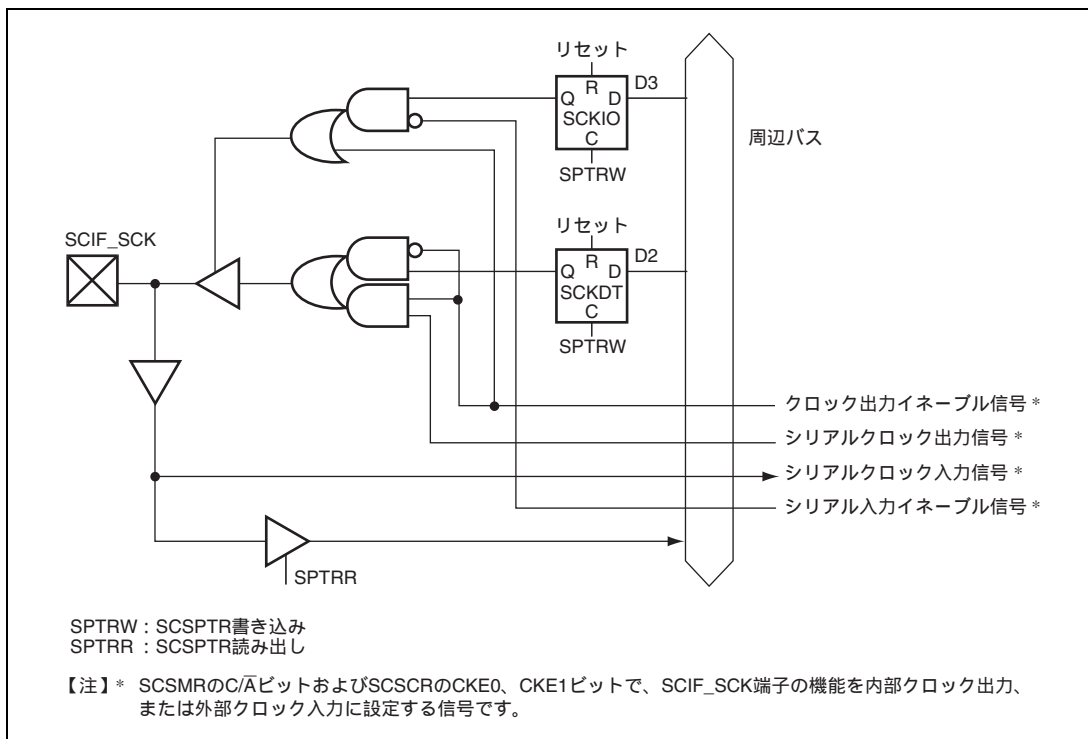


図 27.4 SCIF_SCK 端子

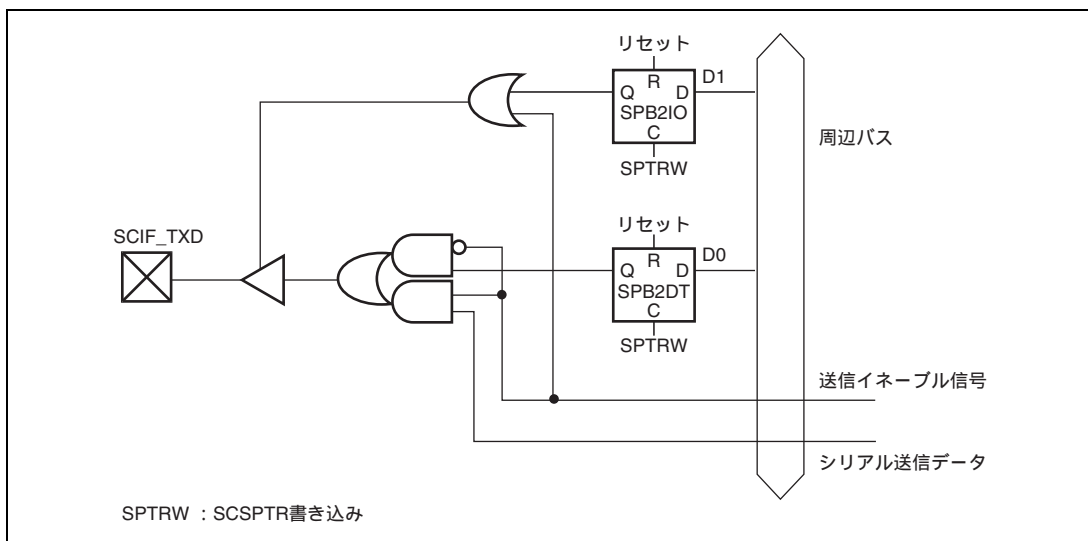


図 27.5 SCIF_TXD 端子

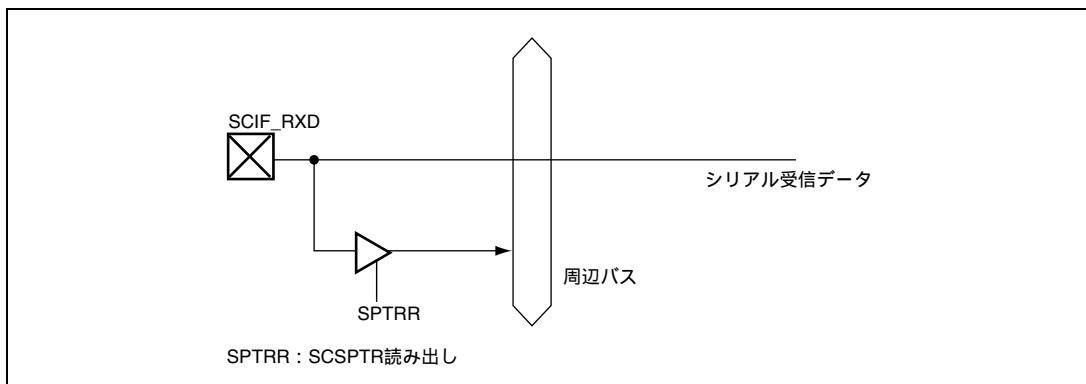


図 27.6 SCIF_RXD 端子

27.2 入出力端子

SCIF の端子構成を表 27.1 に示します。各チャンネルとも端子の機能は同じですので、本文中ではチャンネルを省略して説明しています。

表 27.1 SCIF の端子構成

チャンネル	端子名	機能	入出力	説明
0	SCIF0_SCK	シリアルクロック端子	入出力	クロック入出力
	SCIF0_RXD	受信データ端子	入力	受信データ入力
	SCIF0_TXD	送信データ端子	出力	送信データ出力
	SCIF0_CTS	モデムコントロール端子	入出力	送信可
	SCIF0_RTS	モデムコントロール端子	入出力	送信要求
1	SCIF1_SCK	シリアルクロック端子	入出力	クロック入出力
	SCIF1_RXD	受信データ端子	入力	受信データ入力
	SCIF1_TXD	送信データ端子	出力	送信データ出力
	SCIF1_CTS	モデムコントロール端子	入出力	送信可
	SCIF1_RTS	モデムコントロール端子	入出力	送信要求

【注】 SCIF の動作設定を SCSMR の C/\bar{A} ビット、SCSCR の TE、RE、CKE1、CKE0 ビットおよび SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIF の SCSPTR によって行うことができます。

27.3 レジスタの説明

SCIF のレジスタ構成を表 27.2 に示します。また、各処理モードにおけるレジスタの状態を表 27.3 に示します。各チャンネルともレジスタの構成は同じですので、本文中ではチャンネルを省略して説明しています。

表 27.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
0	シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE0 0000	H'1FE0 0000	16
	ビットレートレジスタ 0	SCBRR0	R/W	H'FFE0 0004	H'1FE0 0004	8
	シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE0 0008	H'1FE0 0008	16
	トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE0 000C	H'1FE0 000C	8
	シリアルステータスレジスタ 0	SCFSR0	R/W* ¹	H'FFE0 0010	H'1FE0 0010	16
	レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FFE0 0014	H'1FE0 0014	8
	FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE0 0018	H'1FE0 0018	16
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	R	H'FFE0 001C	H'1FE0 001C	16
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	R	H'FFE0 0020	H'1FE0 0020	16
	シリアルポートレジスタ 0	SCSPTR0	R/W	H'FFE0 0024	H'1FE0 0024	16
	ラインステータスレジスタ 0	SCLSR0	R/W* ²	H'FFE0 0028	H'1FE0 0028	16
	シリアルエラーレジスタ 0	SCRER0	R	H'FFE0 002C	H'1FE0 002C	16
1	シリアルモードレジスタ 1	SCSMR1	R/W	H'FFE0 8000	H'1FE0 8000	16
	ビットレートレジスタ 1	SCBRR1	R/W	H'FFE0 8004	H'1FE0 8004	8
	シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFE0 8008	H'1FE0 8008	16
	トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFE0 800C	H'1FE0 800C	8
	シリアルステータスレジスタ 1	SCFSR1	R/W* ¹	H'FFE0 8010	H'1FE0 8010	16
	レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FFE0 8014	H'1FE0 8014	8
	FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFE0 8018	H'1FE0 8018	16
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	R	H'FFE0 801C	H'1FE0 801C	16
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	R	H'FFE0 8020	H'1FE0 8020	16
	シリアルポートレジスタ 1	SCSPTR1	R/W	H'FFE0 8024	H'1FE0 8024	16
	ラインステータスレジスタ 1	SCLSR1	R/W* ²	H'FFE0 8028	H'1FE0 8028	16
	シリアルエラーレジスタ 1	SCRER1	R	H'FFE0 802C	H'1FE0 802C	16

【注】 *1 ビット 7~4、1、0 はフラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 0 はフラグをクリアするための 0 書き込みのみ可能です。

表 27.3 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
0	シリアルモードレジスタ 0	SCSMR0	H'0000	H'0000	保持	保持
	ビットレートレジスタ 0	SCBRR0	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 0	SCSCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 0	SCFTDR0	不定	不定	保持	保持
	シリアルステータスレジスタ 0	SCFSR0	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 0	SCFRDR0	不定	不定	保持	保持
	FIFO コントロールレジスタ 0	SCFCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 0	SCSPTR0	H'0000*1	H'0000*1	保持	保持
	ラインステータスレジスタ 0	SCLSR0	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 0	SCRER0	H'0000	H'0000	保持	保持
1	シリアルモードレジスタ 1	SCSMR1	H'0000	H'0000	保持	保持
	ビットレートレジスタ 1	SCBRR1	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 1	SCSCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 1	SCFTDR1	不定	不定	保持	保持
	シリアルステータスレジスタ 1	SCFSR1	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 1	SCFRDR1	不定	不定	保持	保持
	FIFO コントロールレジスタ 1	SCFCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 1	SCSPTR1	H'0000*2	H'0000*2	保持	保持
	ラインステータスレジスタ 1	SCLSR1	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 1	SCRER1	H'0000	H'0000	保持	保持

【注】 *1 ビット 2、0 は不定です。

*2 ビット 6、4、2、0 は不定です。

27.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

27.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

27.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR への送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

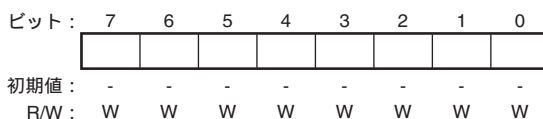
ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

27.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

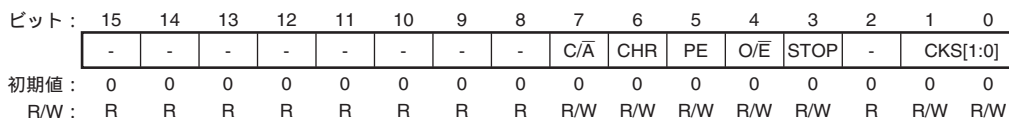
SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。SCFTDR 内の送信データが 64 バイトでいっぱいの際は次のデータを書き込むことはできません。書き込んだデータは無視されます。



27.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。



ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。 0 : 8 ビットデータ 1 : 7 ビットデータ

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0：偶数パリティ 1：奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0：1 ストップビット*¹ 1：2 ストップビット*²</p> <p>なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 *² 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>

ビット	ビット名	初期値	R/W	説明
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	CKS[1:0]	すべて0	R/W	クロックセレクト 内蔵ポーレートジェネレータへの入力クロックを選択します。CKS1、CKS0 ビットの設定で Pck0、Pck0/4、Pck0/16、Pck0/64 の4種類から選択できます。 選択したクロックと、ビットレートレジスタの設定値、およびポーレートの関係については、「27.3.8 ビットレートレジスタ (SCBRR)」を参照してください。 00 : Pck0 01 : Pck0/4 10 : Pck0/16 11 : Pck0/64 【注】 Pck0 : 周辺クロック 0

27.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR ヘシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが1にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI の解除は、SCFSR の TDFE フラグの1を読み出した後、SCFTDR に送信トリガ設定数より多い送信データを書き込み、SCFSR の TDFE フラグを0にクリアするか、または TIE を0にクリアすることで行うことができます。 0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。</p> <p>0: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p> <p>【注】 RXI 割り込み要求の解除は、SCFSR の RDF フラグまたは DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0: 送信動作を禁止</p> <p>1: 送信動作を許可*</p> <p>【注】* なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期式モードの場合はスタートビットを、クロック同期式モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても SCFSR の ER、BRK、FER、PER、RDF、DR、SCLSR の ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>この状態でスタートビットを検出すると、シリアル受信を開始します。</p> <p>0: 受信動作を禁止</p> <p>1: 受信動作を許可*</p> <p>【注】* なお、RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>

ビット	ビット名	初期値	R/W	説明
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMA 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	CKE[1:0]	すべて 0	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCIF_SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCIF_SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし CKE0 ビットの設定は、内部クロック動作 (CKE1 = 0) のときのみ有効です。外部クロック動作 (CKE1 = 1) の場合は、CKE0 ビットの設定は無効です。また、SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。</p> <ul style="list-style-type: none"> 調歩同期式 <ul style="list-style-type: none"> 00 : 内部クロック / SCIF_SCK 端子は SCSPTR の設定によりポートとして使用可能 01 : 内部クロック / SCIF_SCK 端子はクロック出力*1 1x : 外部クロック / SCIF_SCK 端子はクロック入力*2 クロック同期式 <ul style="list-style-type: none"> 0x : 内部クロック / SCIF_SCK 端子は同期クロック出力 1x : 外部クロック / SCIF_SCK 端子は同期クロック入力 <p>【記号説明】 x : Don't care</p> <p>【注】 *1 出力クロックの周波数はビットレートの 16 倍 *2 入力クロックの周波数はビットレートの 16 倍</p>

27.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビット長のレジスタで、SCIF の動作状態を示すステータスフラグです。

SCFSR は常に CPU から読み出し / 書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。なお、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R	R	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCFSR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき <p>【注】2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ストップビット目のストップビットはチェックしません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W*	<p>トランスミットエンド*</p> <p>送信キャラクタの最後尾ビットの送信後に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0：送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR に送信データを書き込み、TEND フラグが 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき DMAC で SCFTDR へデータを書き込んだとき <p>1：送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信後に SCFTDR に送信データがないとき
5	TD FE	1	R/W*	<p>トランスミット FIFO データエンpty</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0：SCFTDR 内の送信データ数が送信トリガ設定数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TD FE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1：SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき* <p>【注】 SCFTDR は 64 バイトの FIFO レジスタですので TD FE = 1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCTFDR に示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/W*	<p>ブレーク検出</p> <p>受信データのブレーク信号を検出して示します。</p> <p>0: ブレーク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> •パワーオンリセット、マニュアルリセット時 •BRK=1の状態を読み出した後、0を書き込んだとき <p>1: ブレーク信号を受信したことを表示*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> •フレーミングエラーを伴うデータを受信したとき、引き続き1フレーム長以上スペース0(ローレベル)の場合 <p>【注】ブレーク検出すると受信データ(H'00)のFIFOへの転送は停止します。ブレークが終了し、受信信号がマーク1に戻ると受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> •パワーオンリセット、マニュアルリセット時 •次に SCFRDR から読み出す受信データにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> •次に SCFRDR から読み出す受信データにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> •パワーオンリセット、マニュアルリセット時 •次に SCFRDR から読み出す受信データにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> •次に SCFRDR から読み出すデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき* <p>【注】 SCFRDR は 64 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFRDR に示されます。</p>
0	DR	0	R/W*	<p>レシーブデータレディ</p> <p>調歩同期式モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき* <p>【注】 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

27.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるポーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期モード〕

$$N = \frac{Pck0}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期モード〕

$$N = \frac{Pck0}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの SCBRR の設定値 (0 N 255)

Pck0 : 周辺モジュール用動作周波数 (MHz)

n : 0、1、2、3

(n とポーレートジェネレータ入力クロックの関係は、表 27.4 を参照してください)

表 27.4 SCSMR の設定値

n	ポーレートジェネレータ 入力クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pck0	0	0
1	Pck0/4	0	1
2	Pck0/16	1	0
3	Pck0/64	1	1

【注】調歩同期モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck0 \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

27.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信 / 受信の各 FIFO レジスタのリセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]*		RTRG[1:0]		TTRG[1:0]		MCE*	TFCL	RFCL	LOOP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	RSTRG[2:0]*	すべて0	R/W	SCIF0_RTS 出力アクティブトリガ SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき、SCIF0_RTS 信号はハイレベルになります。 000 : 63 001 : 1 010 : 8 011 : 16 100 : 32 101 : 48 110 : 54 111 : 60
7, 6	RTRG[1:0]	すべて0	R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。 SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき RDF フラグをセットします。 00 : 1 01 : 16 10 : 32 11 : 48

ビット	ビット名	初期値	R/W	説明
5、4	TTRG[1:0]	すべて 0	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCFSR の TDFE フラグをセットする未送信のデータ数を設定するビットです。</p> <p>送信動作により SCFTDR 内の送信データ数が、下に示すトリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 32 (32)</p> <p>01 : 16 (48)</p> <p>10 : 2 (62)</p> <p>11 : 0 (64)</p> <p>【注】 () 内の値はフラグ発生時の SCFTDR の空き数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 <u>SCIF_CTS</u>、<u>SCIF_RTS</u> を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。</p> <p>0 : モデム信号を無効*</p> <p>1 : モデム信号を有効</p> <p>【注】 <u>SCIF_CTS</u> は入力値にかかわらず 0 アクティブに、<u>SCIF_RTS</u> 出力も 0 に固定します。</p>
2	TFCL	0	R/W	<p>トランスミット FIFO データ数レジスタクリア</p> <p>トランスミット FIFO データ数レジスタ内の送信データ数を 0 にクリアします。</p> <p>0 : クリアしない*</p> <p>1 : FIFO データ数を 0 にクリアする</p> <p>【注】 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。</p>
1	RFCL	0	R/W	<p>レシーブ FIFO データ数レジスタクリア</p> <p>レシーブ FIFO データ数レジスタ内の受信データ数を 0 にクリアします。</p> <p>0 : クリアしない*</p> <p>1 : FIFO データ数を 0 にクリアする</p> <p>【注】 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (<u>SCIF_TXD</u>) と受信入力端子 (<u>SCIF_RXD</u>)、<u>SCIF_RTS</u> 端子と <u>SCIF_CTS</u> 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

27.3.10 トランスミット FIFO データ数レジスタ (SCTFDR)

SCTFDR は、SCFTDR 内に格納されている送信データ数を示す 16 ビット長のレジスタです。

SCTFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	T[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	T[6:0]	すべて 0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCFTDR に最大数 (64 バイト) の送信データが格納されていることを示します。

27.3.11 レシーブ FIFO データ数レジスタ (SCRFDR)

SCRFDR は、SCFRDR 内に格納されている受信データ数を示す 16 ビット長のレジスタです。SCRFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	R[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	R[6:0]	すべて 0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCFRDR に最大数 (64 バイト) の受信データが格納されていることを示します。

27.3.12 シリアルポートレジスタ (SCSPTR)

SCSPTR は、常に CPU による読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、2、0 は不定です。モジュールスタンバイ時には初期化されません。シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RT SIO*	RT SDT*	CT SIO*	CT SDT*	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値 :	0	0	0	0	0	0	0	0	0	-	0	-	0	-	0	-
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	シリアルポート SCIF_RTS ポート入出力 シリアルポートの $\overline{\text{SCIF_RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{SCIF_RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{SCIF_RTS}}$ 端子に RTSDT ビットの値を出力しないことを示します 1 : $\overline{\text{SCIF_RTS}}$ 端子に RTSDT ビットの値を出力することを示します
6	RTSDT	-	R/W	シリアルポート SCIF_RTS ポートデータ シリアルポートの $\overline{\text{SCIF_RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{SCIF_RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{SCIF_RTS}}$ 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0 : 入出力データがローレベルであることを示します 1 : 入出力データがハイレベルであることを示します
5	CTSIO	0	R/W	シリアルポート SCIF_CTS ポート入出力 シリアルポートの $\overline{\text{SCIF_CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{SCIF_CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しないことを示します 1 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力することを示します

ビット	ビット名	初期値	R/W	説明
4	CTS DT	-	R/W	シリアルポート SCIF_CTS ポートデータ シリアルポートの SCIF_CTS 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS DT ビットの値が SCIF_CTS 端子に出力されます。CTSIO ビットの値にかかわらず、CTS DT ビットからは SCIF_CTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCIF_SCK 端子の入出力を指定します。実際に SCIF_SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0: SCIF_SCK 端子に SCKDT ビットの値を出力しないことを示します 1: SCIF_SCK 端子に SCKDT ビットの値を出力することを示します
2	SCKDT	-	R/W	シリアルポートクロックポートデータ シリアルポートの SCIF_SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCIF_SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCIF_SCK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
1	SPB2IO	0	R/W	シリアルポートブ레이크入出力 シリアルポートの SCIF_TXD 端子の出力条件を指定します。実際に SCIF_TXD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0: SCIF_TXD 端子に SPB2DT ビットの値を出力しないことを示します 1: SCIF_TXD 端子に SPB2DT ビットの値を出力することを示します
0	SPB2DT	-	R/W	シリアルポートブ레이크データ シリアルポートの SCIF_RXD 端子の入力データおよび SCIF_TXD 端子の出力データを指定します。SCIF_TXD 端子の出力条件は SPB2IO ビットで指定します。SCIF_TXD 端子を出力に設定した場合、SPB2DT ビットの値が SCIF_TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは SCIF_RXD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します

27.3.13 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*1

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/W*1	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを示します。 0: 受信中、または正常に受信を完了したことを表示*2 [クリア条件] <ul style="list-style-type: none"> ・ パワーオンリセット、マニュアルリセット時 ・ ORER = 1 の状態を読み出した後、0を書き込んだとき 1: 受信時にオーバーランエラーが発生したことを表示*3 [セット条件] <ul style="list-style-type: none"> ・ SCFRDR が最大数 (64 バイト) のデータを受信した状態で次のシリアル受信を完了したとき

【注】 *1 フラグをクリアするために0を書き込むことのみ可能です。

*2 SCSCR の RE ビットを0にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*3 SCFRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

27.3.14 シリアルエラーレジスタ (SCRER)

SCRER は 16 ビットのレジスタで、SCFRDR 内のデータの受信エラー数を示します。SCRER は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PER[5:0]					-	-	FER[5:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~8	PER[5:0]	すべて 0	R	パリティエラー数 SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PER5 ~ PER0 に示される値がパリティエラー発生データ数を表示します。SCFRDR の 64 バイトの受信データすべてがパリティエラーをとまなう場合、PER5 ~ PER0 は 0 を表示します。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	FER[5:0]	すべて 0	R	フレーミングエラー数 SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、FER5 ~ FER0 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 64 バイトの受信データすべてがフレーミングエラーをとまなう場合、FER5 ~ FER0 は 0 を表示します。

27.4 動作説明

27.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。調歩同期式モードの動作については、「27.4.2 調歩同期式モードの動作」を参照してください。

送受信おののに 64 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として $\overline{\text{SCIF_RTS}}$ 、 $\overline{\text{SCIF_CTS}}$ 信号を内蔵しています。

送受信フォーマットの選択は、SCSMR で行います。これを表 27.5 に示します。また、SCIF のクロックソースは、SCSMR の C/\bar{A} ビットおよび SCSCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 27.6 に示します。

(1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- データの送受信はLSBが先頭 (LSB First)
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタのおののの格納データ数を表示
- SCIFのクロックソース：周辺クロック0 (Pck0) / SCIF_SCK端子入力から選択可能
周辺クロック0 (Pck0) を選択した場合：SCIFはポーレートジェネレータのクロックで動作
(SCIF_SCK端子からビットレートの16倍の周波数でクロックを出力可能)
SCIF_SCK端子入力を選択した場合：ビットレートの16倍の周波数でクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- データ長：8ビットに固定
- データの送受信はLSBが先頭 (LSB First)
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：周辺クロック0 (Pck0) / SCIF_SCK端子入力から選択可能
周辺クロック0 (Pck0) を選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
SCIF_SCK端子入力を選択した場合：入力同期クロックで動作 (内蔵ポーレートジェネレータを使用しない)

表 27.5 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF の送信 / 受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	*	*	*	クロック同期式モード	8 ビットデータ	なし	なし

【注】 * Don't care

表 27.6 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR	SCSCR の設定		モード	クロック ソース	SCIF_SCK 端子の機能	
	ビット7	ビット1				ビット0
	C/ \bar{A}	CKE1				CKE0
0	0	0	調歩同期式モード	内部	SCIF は SCIF_SCK 端子を使用しません	
		1			ビットレートの 16 倍の周波数でクロックを出力	
	1	0		外部	ビットレートの 16 倍の周波数でクロックを入力	
		1				
1	0	0	クロック同期式モード	内部	同期クロックを出力	
		1				
	1	0		外部	同期クロックを入力	
		1				

27.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 27.7 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数で入出力するクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

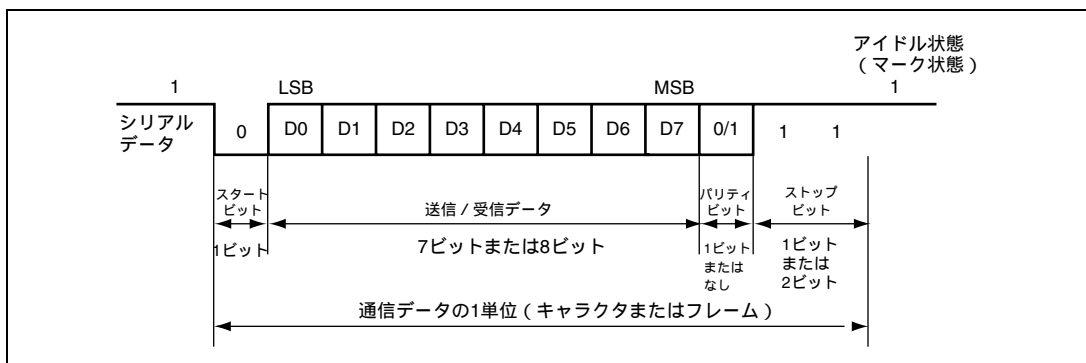


図 27.7 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 27.7 に示します。

送信 / 受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

表 27.7 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S : スタートビット
 STOP: ストップビット
 P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/A ビットおよび SCSCR の CKE1、CKE0 ビットの設定により、内蔵オーレータジェネレータの生成した内部クロックまたは SCIF_SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 27.6 を参照してください。

外部クロックを SCIF_SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数でクロックを入力してください。

内部クロックで動作させるとき、SCIF_SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

(3) SCIF の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。

1. TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCFSR、SCFTDR および、SCFRDR の内容は保持されますので注意してください。

- TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFCLビットをいったん1にセットしてSCFTDRをリセットしてください。
- 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 27.8 に SCIF の初期化フローチャートの例を示します。

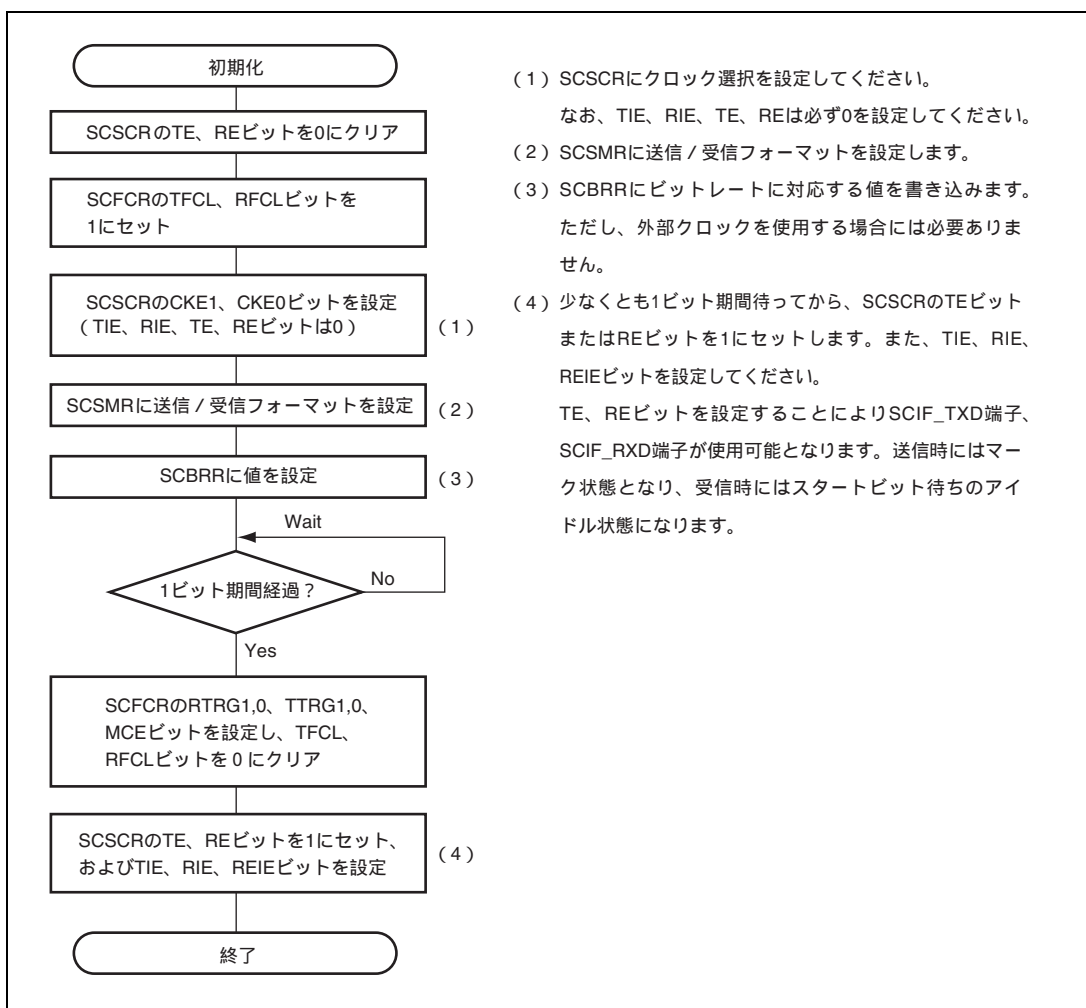


図 27.8 SCIF の初期化フローチャートの例

(4) シリアルデータ送信 (調歩同期式)

図 27.9 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

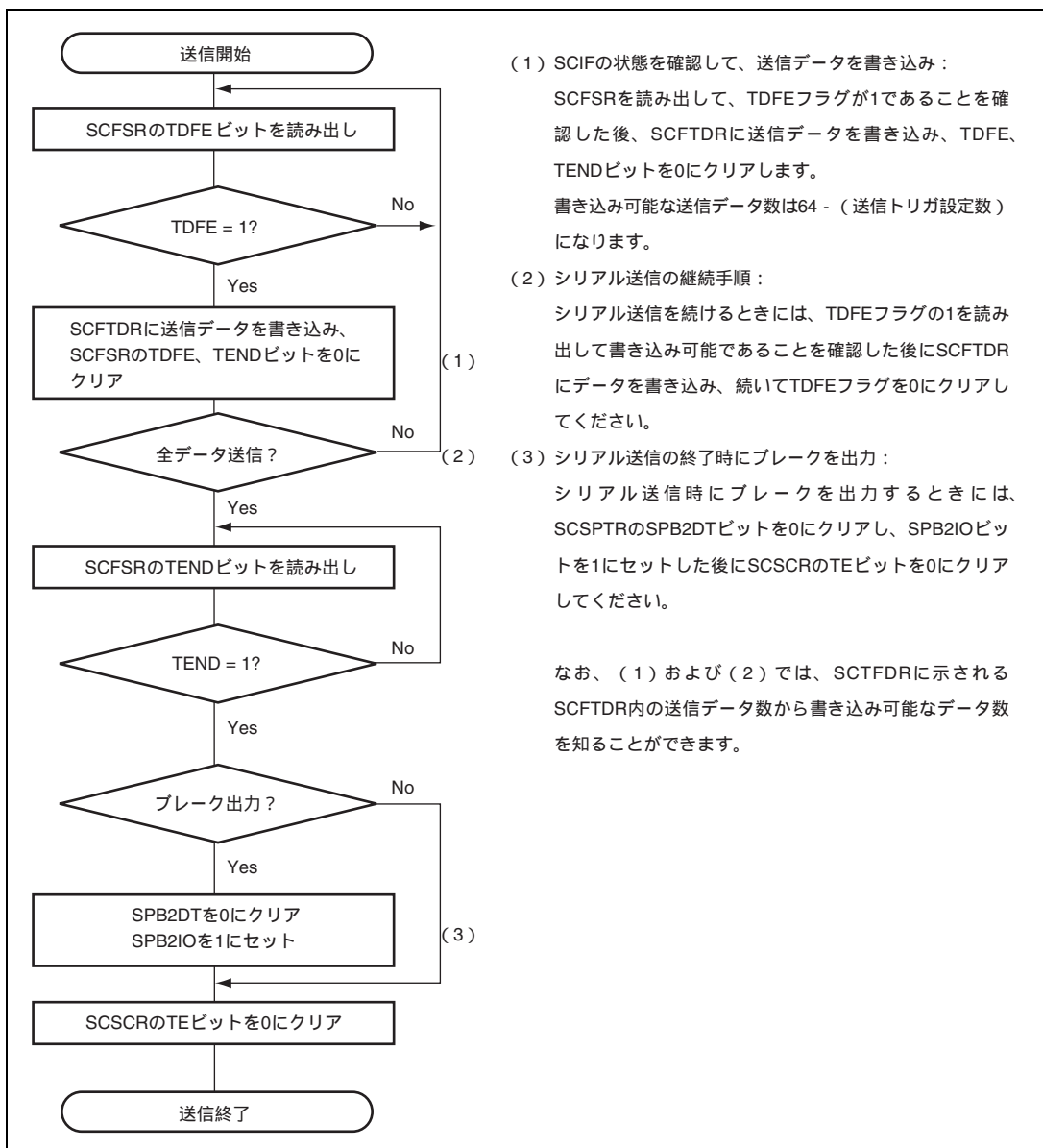


図 27.9 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に SCIF_TXD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、SCIF_TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 27.10 に示します。

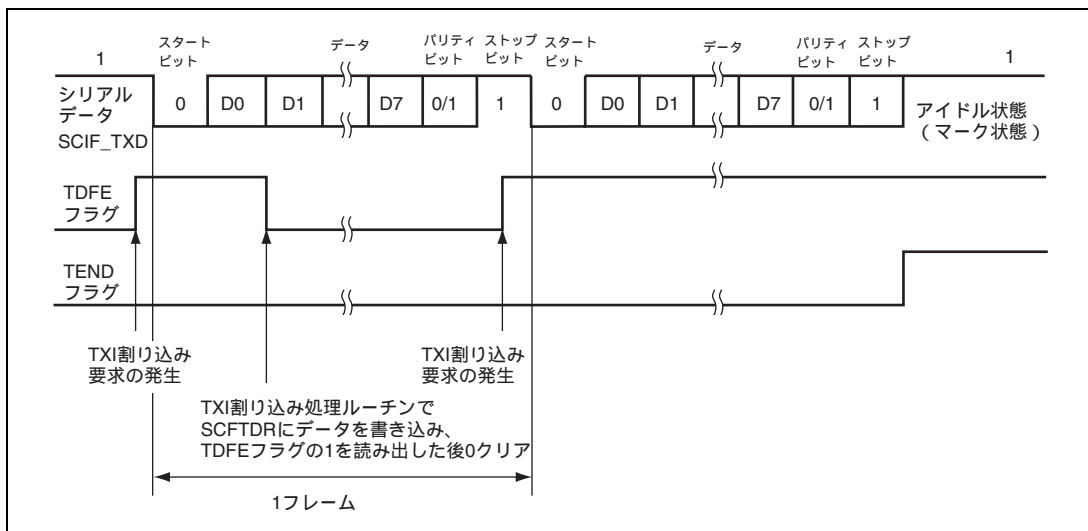


図 27.10 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

4. モデムコントロールラインネーブル時は $\overline{\text{SCIF_CTS}}$ 入力値によって送信動作を停止 / 再開することができます。 $\overline{\text{SCIF_CTS}}$ が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{SCIF_CTS}}$ を 0 にすると再びスタートビットから次の送信データを出力します。

モデムコントロール時の動作例を図 27.11 に示します。

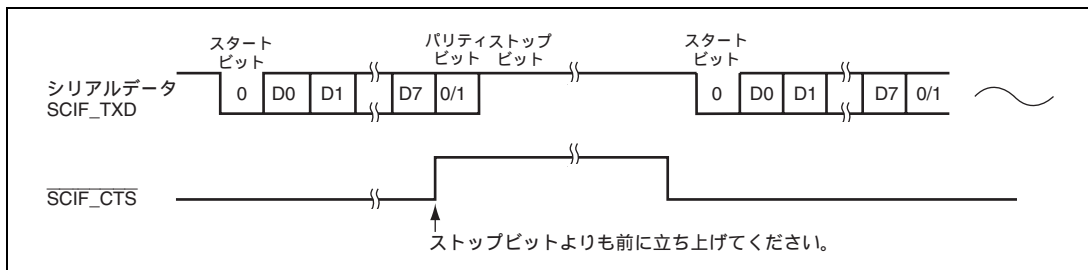


図 27.11 モデムコントロール ($\overline{\text{CTS}}$) 時の動作例

(5) シリアルデータ受信 (調歩同期式)

図27.12にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、図27.12の手順で行ってください。

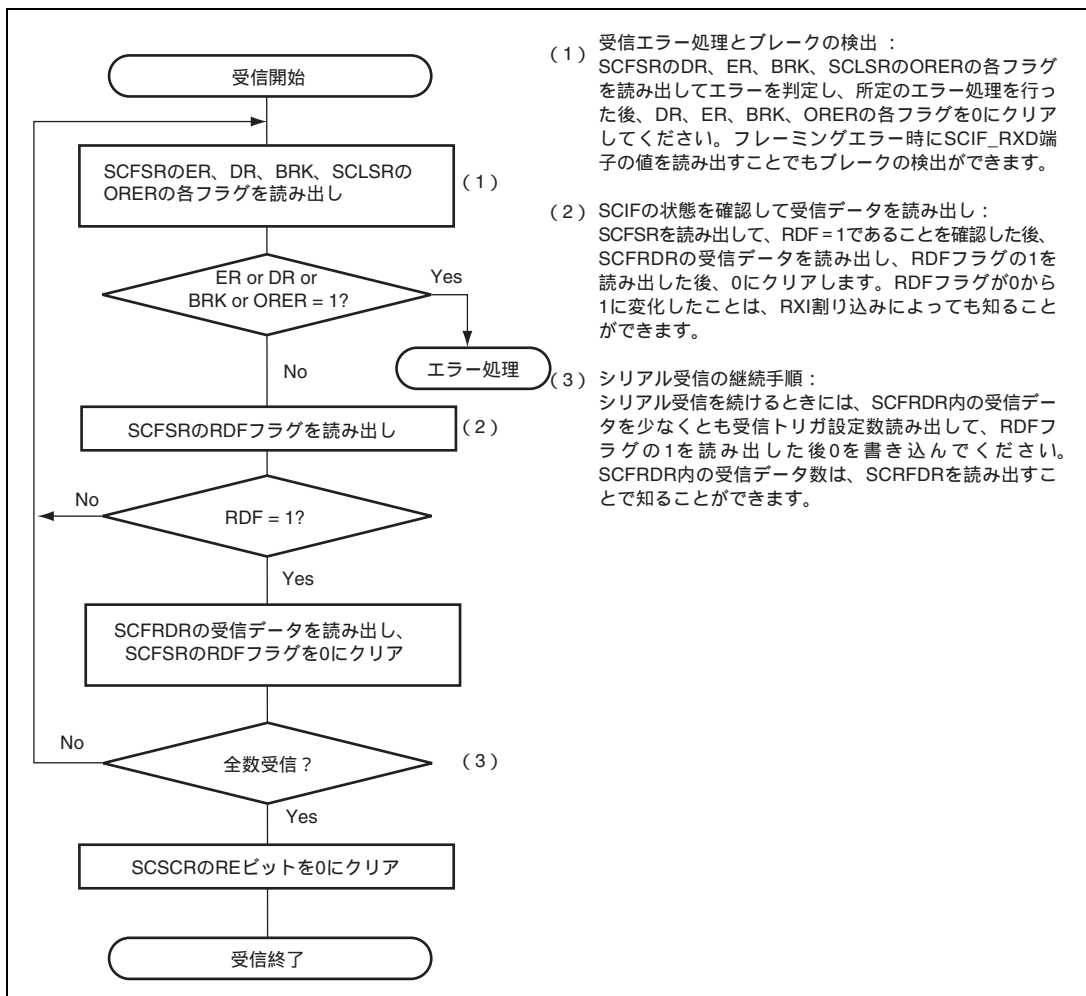


図 27.12 シリアル受信のフローチャートの例 (1)

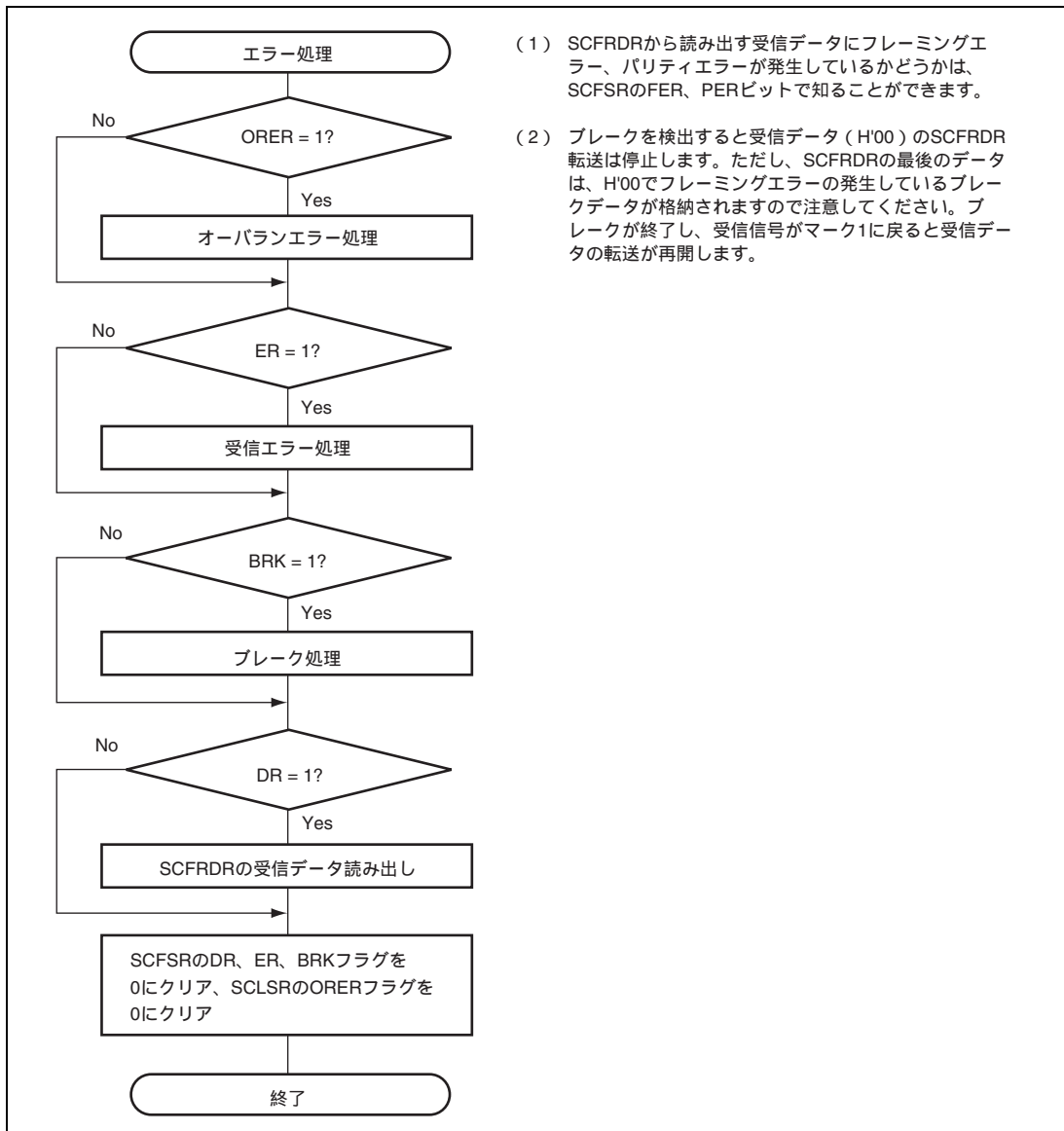


図 27.12 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - (b) 受信データを SCRSR から SCFRDR に転送できる状態であるかをチェックします。*
 - (c) オーバランエラーチェック：ORER フラグが0であり、オーバランエラーが発生していないことをチェックします。*
 - (d) ブレークチェック：BRK フラグが0であり、ブレーク状態でないことをチェックします。*
- (b) (c) (d) のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 * パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求を発生します。

調歩同期式モード受信時の動作例を図 27.13 に示します。

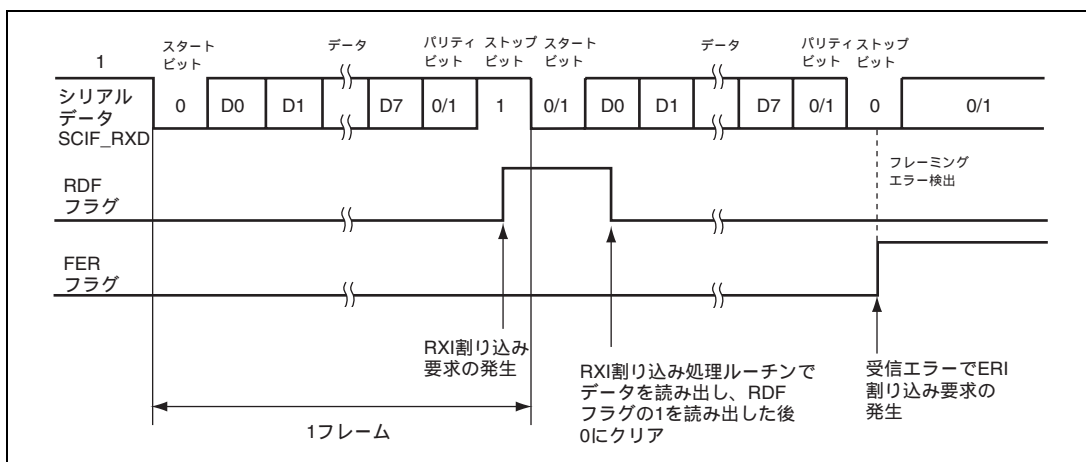


図 27.13 SCIF の受信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によって $\overline{\text{SCIF_RTS}}$ 信号を出力します。 $\overline{\text{SCIF_RTS}}$ が0のときは受信可能状態です。 $\overline{\text{SCIF_RTS}}$ が1のときはSCFRDR内のデータ数が、 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ設定数以上であることを示します。 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ値は、「27.3.9 FIFOコントローラレジスタ (SCFCR)」のビット10~8で指定します。また、SCSCRのREビットが0のときも、 $\overline{\text{SCIF_RTS}}$ が1になります。モデムコントロール時の動作例を図27.14に示します。

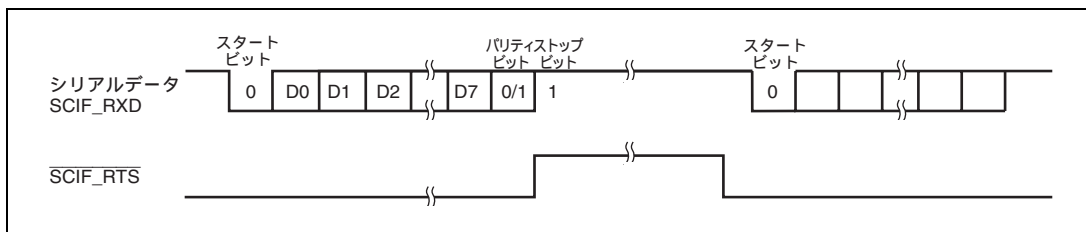


図 27.14 モデムコントロール ($\overline{\text{SCIF_RTS}}$) 時の動作例

27.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信/受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていますので送信/受信中にデータの読み出し/書き込みができ連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 27.15 に示します。

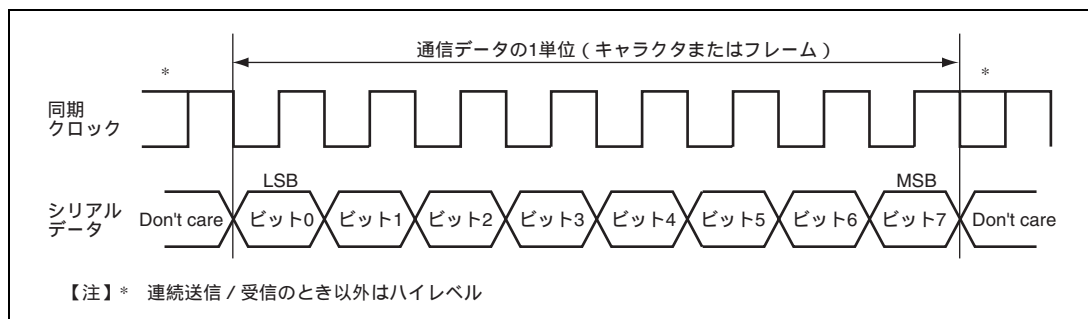


図 27.15 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信/受信フォーマット

8ビット固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCIF_SCK 端子から入力された外部同期クロックの2種類から選択できます。SCIF のクロックソース選択については、表 27.6 を参照してください。

内部クロックで動作させるとき、SCIF_SCK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが1の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 27.16 に SCIF の初期化フローチャート例を示します。

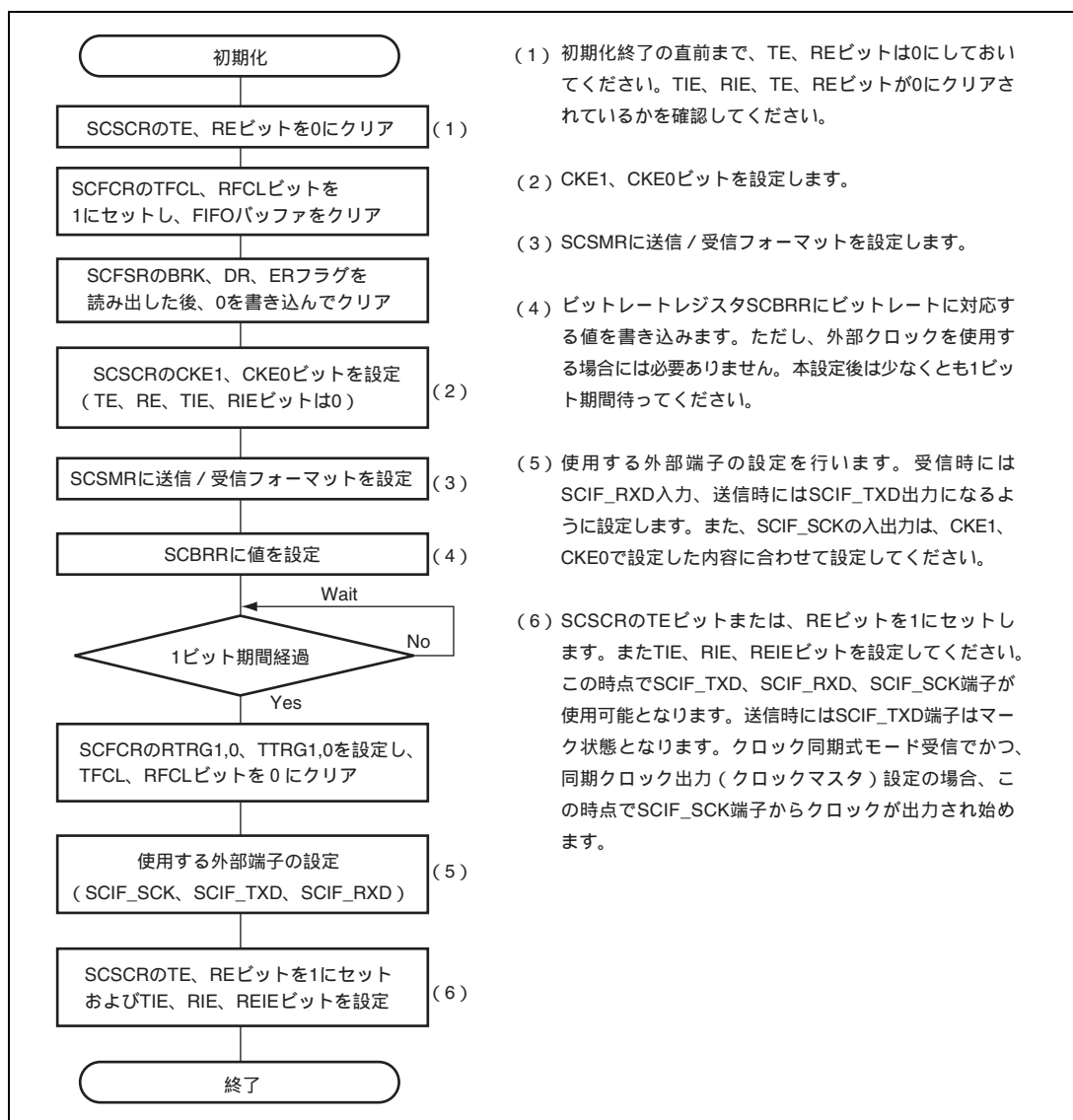


図 27.16 SCIF 初期化フローチャートの例

(4) シリアルデータ送信 (クロック同期式)

図 27.17 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

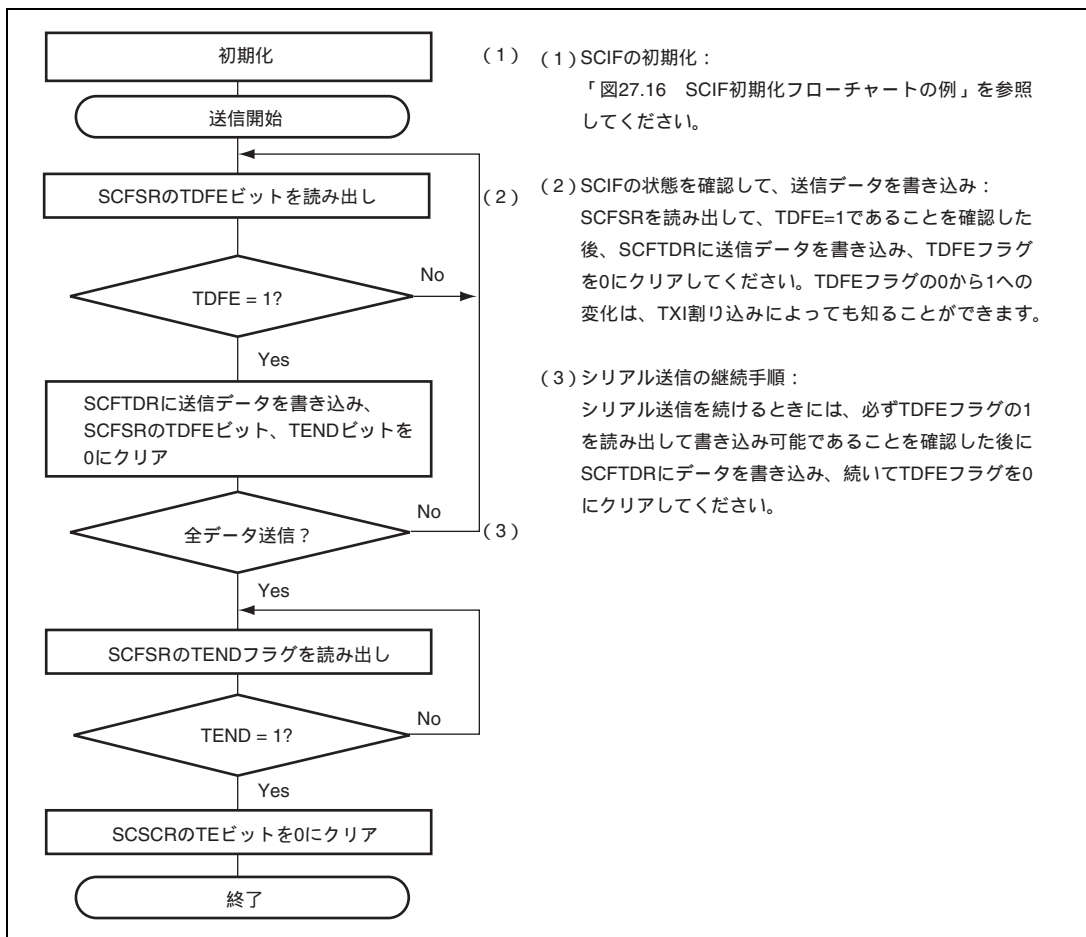


図 27.17 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。
 クロック出力モードに設定したときには、SCIFは1データに対し同期クロック8パルス出力します。
 外部クロックに設定したときには、入力クロックに同期してデータを出力します。
 シリアル送信データは、LSBから順にSCIF_TXD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (SCIF_TXD 端子) は状態を保持します。
4. シリアル送信終了後、SCSCRのCKE1ビットが0のとき、SCIF_SCK端子から出力する同期クロックはハイレベル固定になります。

図 27.18 に SCIF の送信時の動作例を示します。

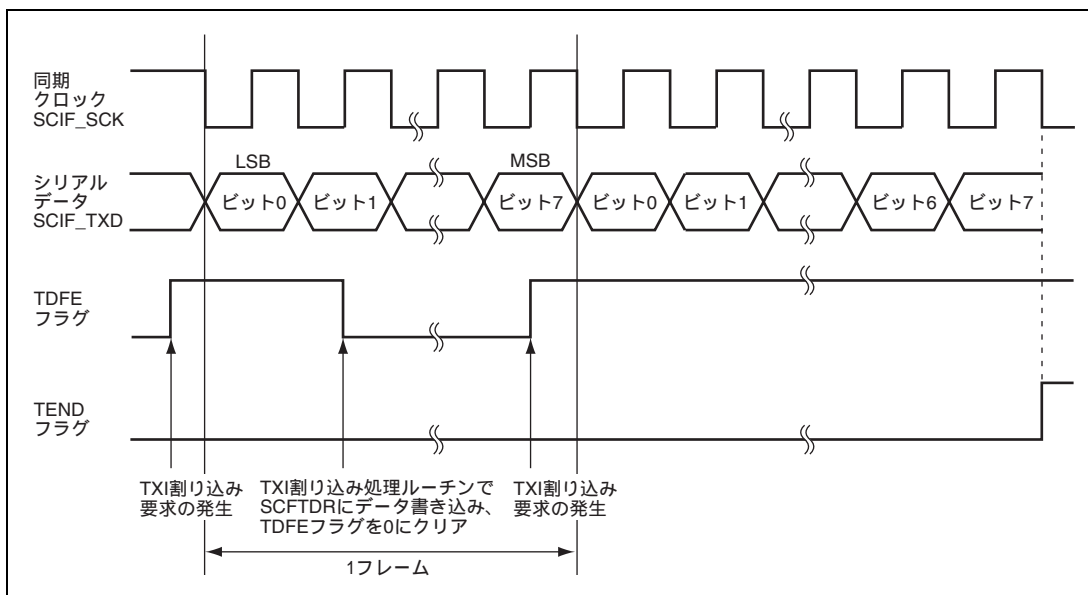


図 27.18 SCIF 送信時の動作例

(5) シリアルデータ受信 (クロック同期式)

図 27.19 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER7～PER0、FER7～FER0 の各フラグが 0 にクリアされていることを確認してください。

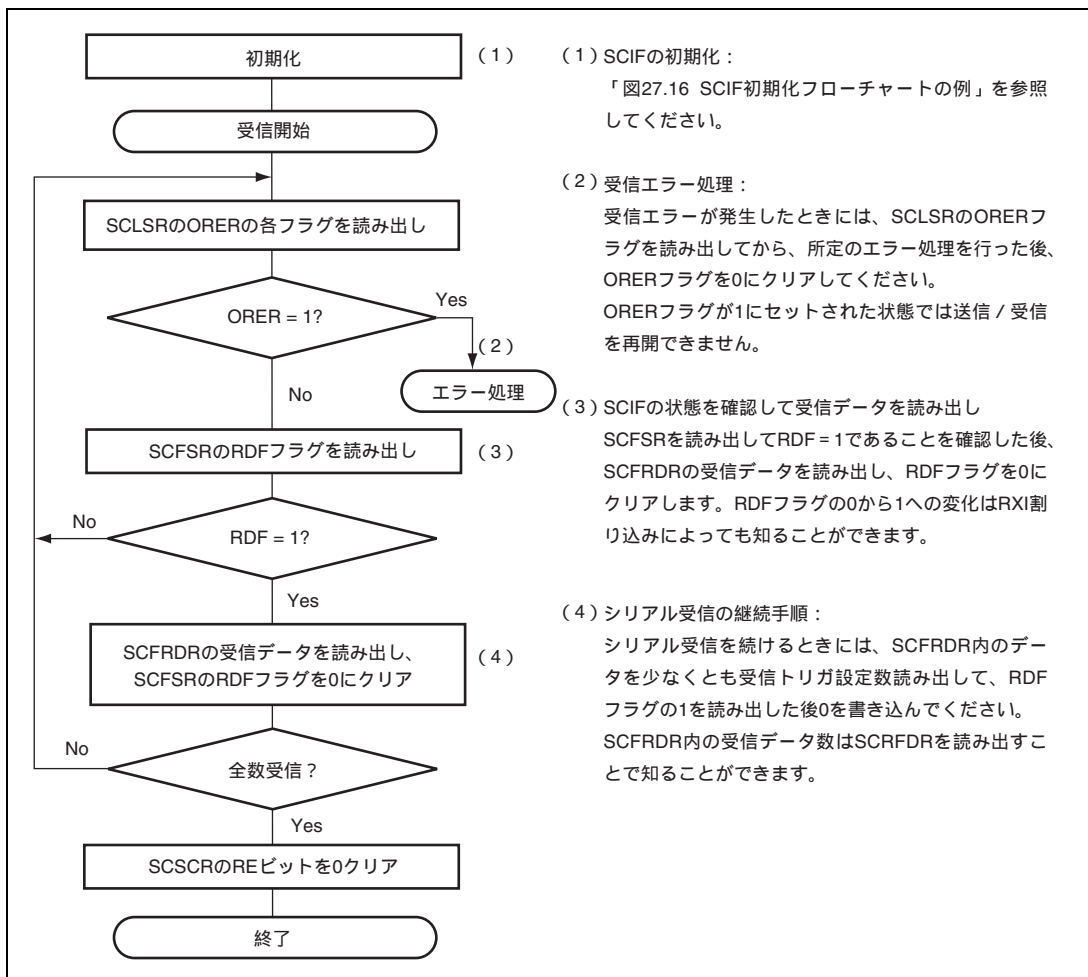


図 27.19 シリアル受信のフローチャートの例 (1)

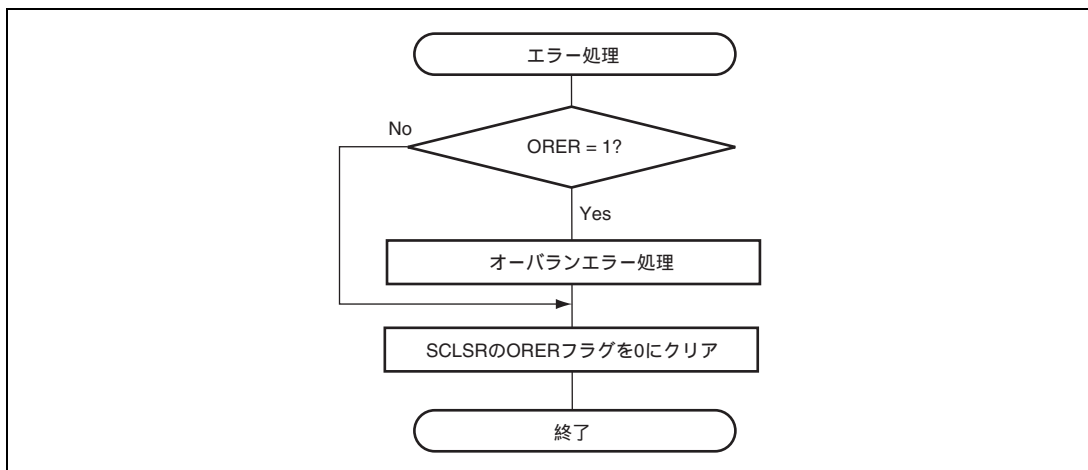


図 27.19 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して内部を初期化します。

2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

図 27.20 に SCIF の受信時の動作例を示します。

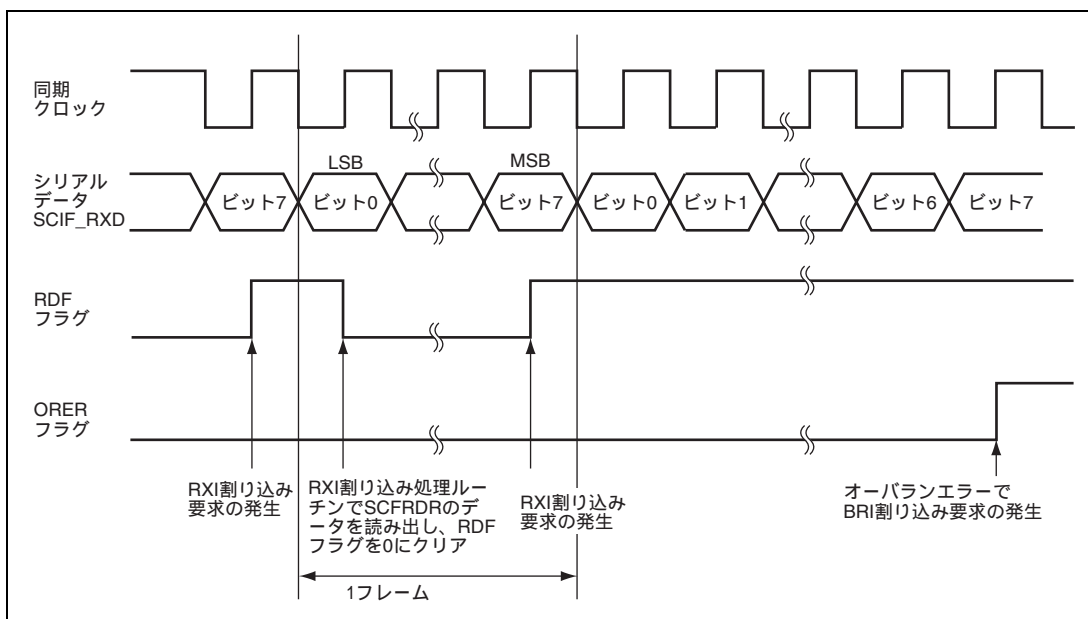


図 27.20 SCIF の受信時の動作例

(6) シリアルデータ送受信同時動作 (クロック同期式)

図 27.21 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

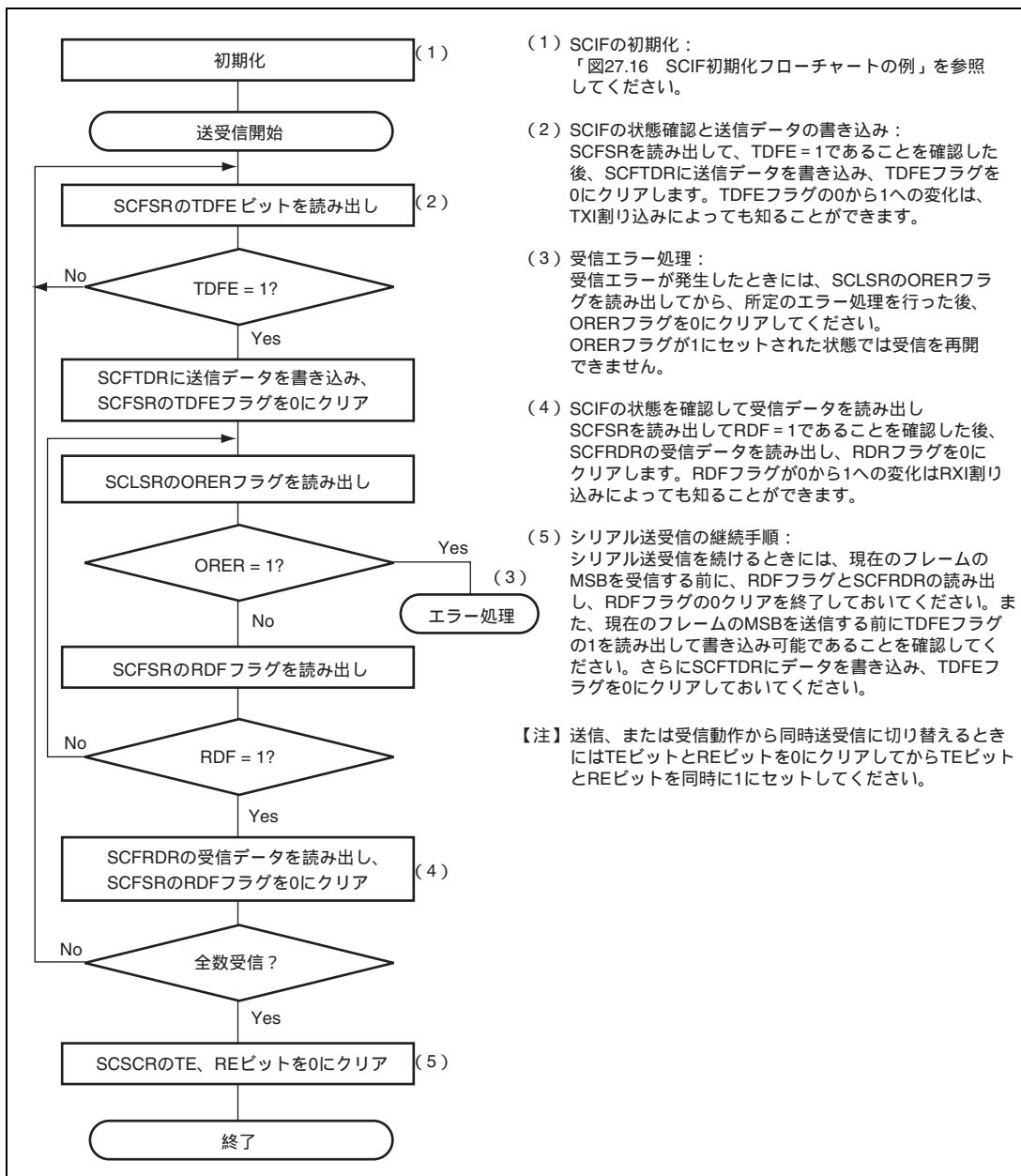


図 27.21 シリアル送受信のフローチャートの例

27.5 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 27.8 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

表 27.8 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) または受信データレディ (DR)*による割り込み	可	
BRI	ブレーク (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

【注】* DR による RXI 割り込みは、調歩同期モード時のみ可能です。

27.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCTFDR で知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCRFDR で知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に SCIF_RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、SCIF_RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) ブレークの送り出し

SCIF_TXD 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、SCIF_TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、SCIF_TXD 端子からは 0 が出力されます。

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍を周波数とする基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 27.22 に示します。

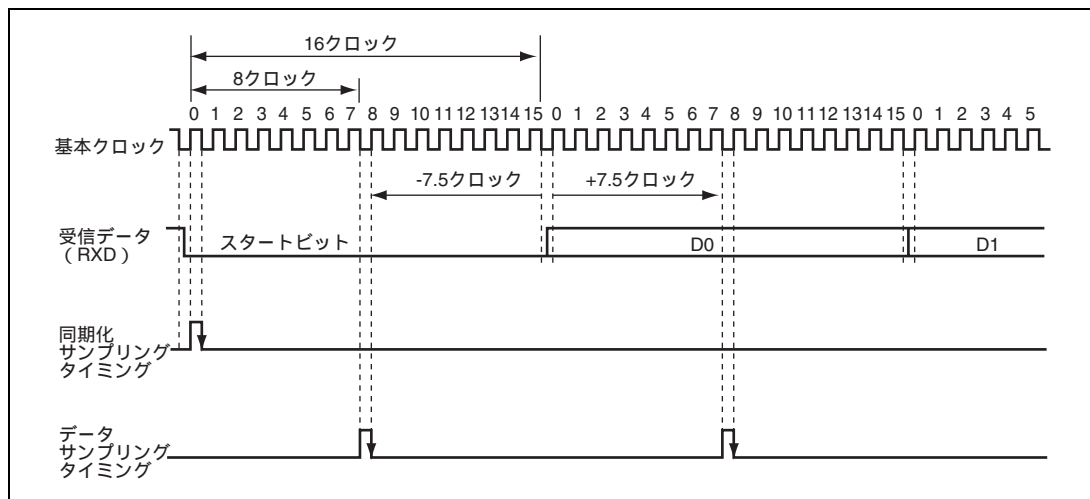


図 27.22 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} \right| (1 + F) \times 100\% \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\%$$

$$= 46.875\% \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(6) クロック同期式モードで DMAC により SCFTDR を更新する場合の注意事項

クロック同期式モードにおいて SCIF_SCK 端子入力を使用する場合、DMAC による SCFTDR の更新後、周辺クロック (Pck) で 5 サイクル以上経過した後に SCIF_SCK 端子にクロックを入力してください。SCFTDR の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 27.23)。

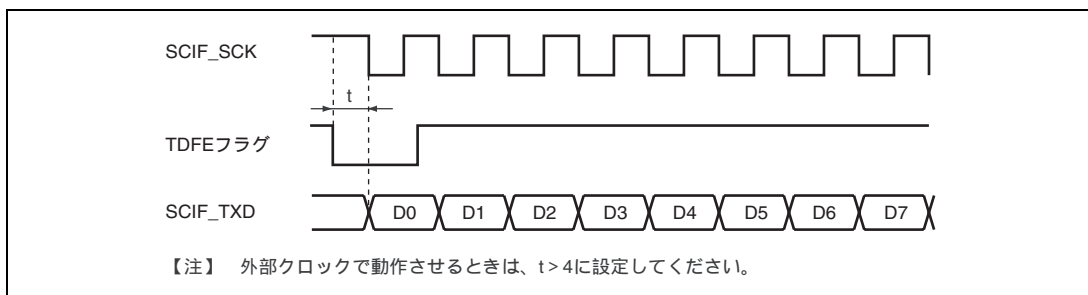


図 27.23 DMAC による同期クロック転送例

28. FIFO 内蔵シリアルコミュニケーション / IrDA インタフェース (SCIF/IrDA)

本 LSI は、赤外線データ通信機能を持つ FIFO 内蔵シリアルコミュニケーション / IrDA インタフェース (SCIF/IrDA) を内蔵しています。SCIF/IrDA は、FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF) 部と赤外線通信データ変復調部から構成されています。IrDA 入出力オプションを指定することにより、調歩同期式のシリアルデータ通信と同じ手順で、赤外線受発光素子との間で赤外線データ通信を行うことができます。

SCIF/IrDA では、シリアルコミュニケーションのチャネルとしてチャネル 2 (SCIF2) を使用します。FIFO 内蔵シリアルコミュニケーション (SCIF) のチャネル 0、1 (SCIF0、SCIF1) とは動作仕様が一部異なりますので注意してください。

28.1 特長

SCIF/IrDA には次のような特長があります。

- 赤外線データ通信機能

IrDA 標準規格 1.0 に準拠した赤外線データ通信を行います。

シリアルデータ通信フォーマットを、赤外線データ通信のデータフォーマットに変復調します。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長：7 ビット、または 8 ビット

ストップビット長：1 ビット、または 2 ビット

パリティ：偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出：パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出：フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に SCIF2_RXD 端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによってもブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信ができます。シリアルデータ通信フォーマットは1種類です。

データ長：8ビット

受信エラーの検出：オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに16段のFIFOバッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

- データの送受信はLSBが先頭 (LSB First)

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- クロックソース：周辺クロック0 (Pck0) を基準にしたボーレートジェネレータからの内部クロック、または SCIF2_SCK端子からの外部クロックから選択可能

- 4種類の割り込み要因

送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。

- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。

- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

図 28.1 に SCIF のブロック図を、図 28.2 ~ 図 28.4 に I/O ポートのブロック図を示します。

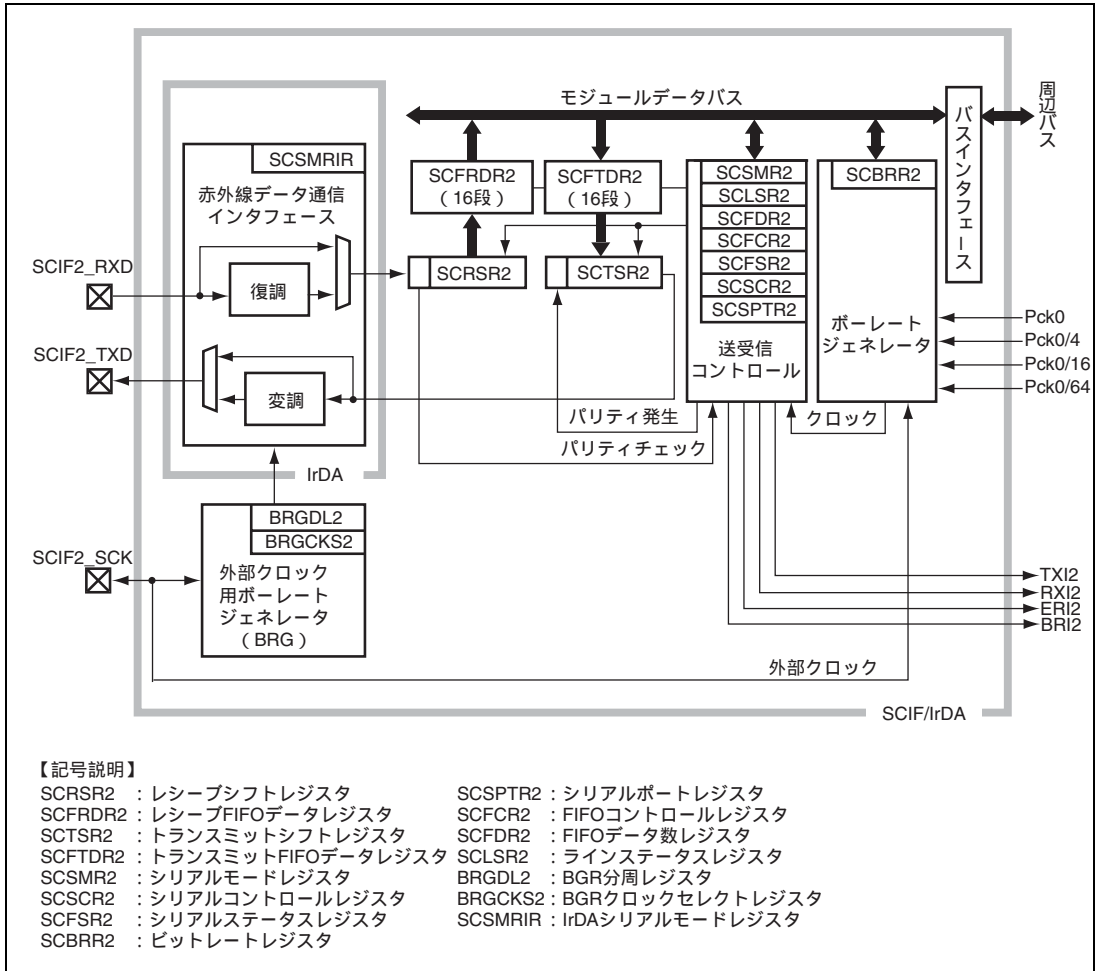


図 28.1 SCIF/IrDA のブロック図

SCIF の I/O ポートのブロック図を図 28.2 ~ 図 28.4 に示します。

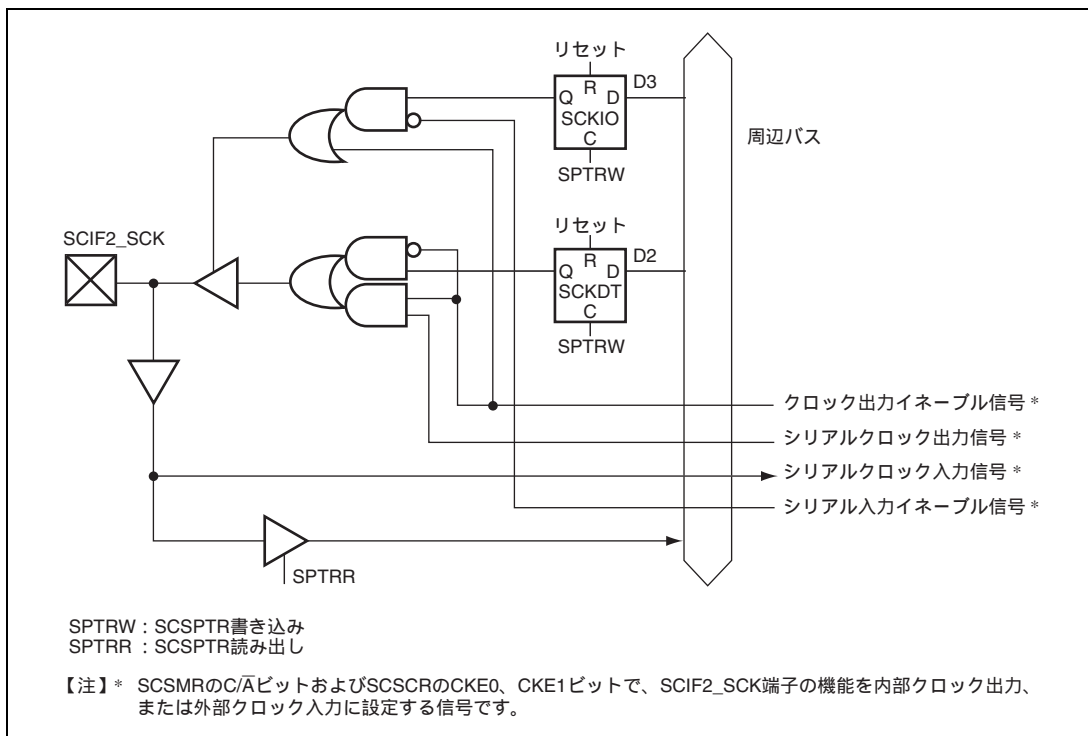


図 28.2 SCIF2_SCK 端子

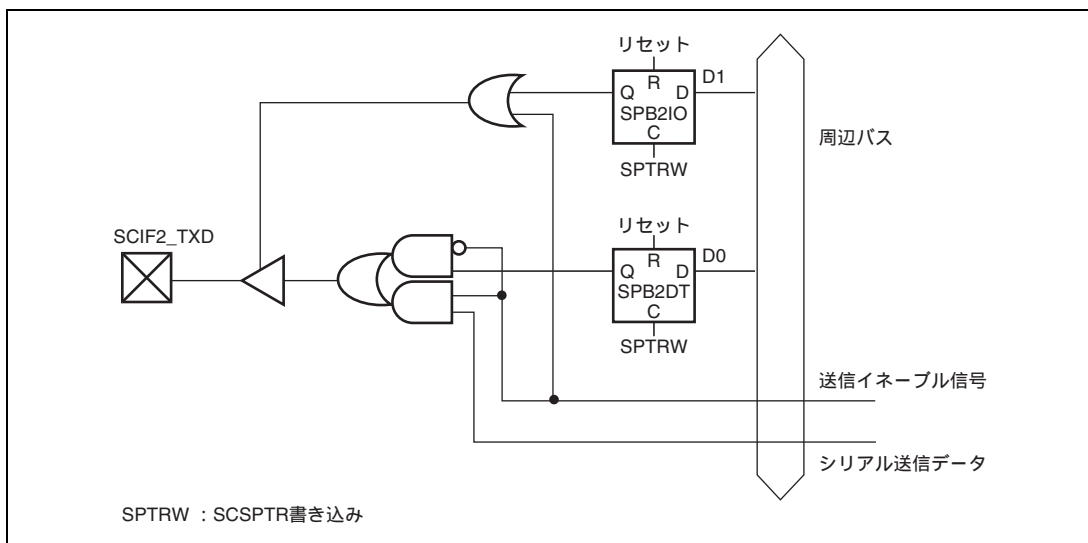


図 28.3 SCIF2_TXD 端子

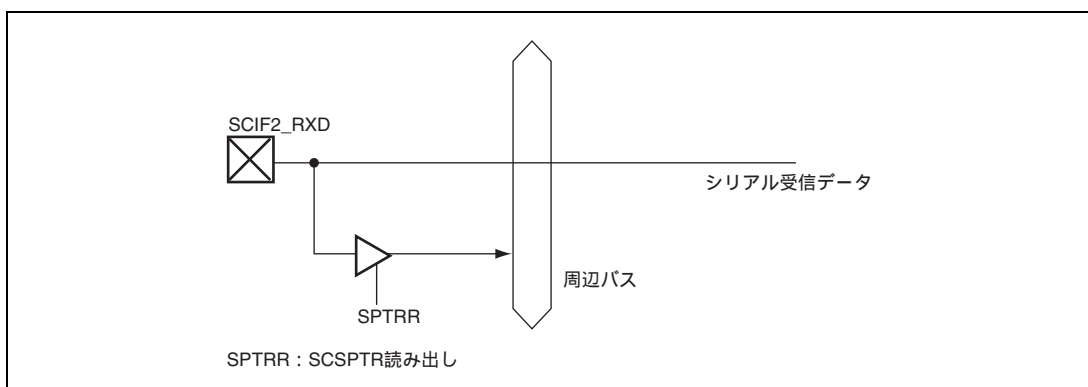


図 28.4 SCIF2_RXD 端子

28.2 入出力端子

SCIF/IrDA の端子構成を表 28.1 に示します。本文中では端子名のチャンネル番号を省略して説明しています。

表 28.1 SCIF/IrDA の端子構成

端子名	機能	入出力	説明
SCIF2_SCK	シリアルクロック端子	入出力*	クロック入出力
SCIF2_RXD	レシーブデータ端子	入力	受信データ入力
SCIF2_TXD	トランスミットデータ端子	出力	送信データ出力

【注】 SCIF の動作設定を SCSMR の C/ \bar{A} ビット、SCSCR の TE、RE、CKE1、CKE0 ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送出、検出は、SCIF の SCSPTR によって行うことができます。

* IrDA で使用する場合は、SCIF2_SCK よりクロックを入力してください。

28.3 レジスタの説明

SCIF/IrDA のレジスタ構成を表 28.2 に示します。また、各処理モードにおけるレジスタの状態を表 28.3 に示します。

表 28.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
2	シリアルモードレジスタ 2	SCSMR2	R/W	H'FFE1 0000	H'1FE1 0000	16
	ビットレートレジスタ 2	SCBRR2	R/W	H'FFE1 0004	H'1FE1 0004	8
	シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFE1 0008	H'1FE1 0008	16
	トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFE1 000C	H'1FE1 000C	8
	シリアルステータスレジスタ 2	SCFSR2	R/W*1	H'FFE1 0010	H'1FE1 0010	16
	レシーブ FIFO データレジスタ 2	SCFRDR2	R	H'FFE1 0014	H'1FE1 0014	8
	FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFE1 0018	H'1FE1 0018	16
	FIFO データ数レジスタ 2	SCFDR2	R	H'FFE1 001C	H'1FE1 001C	16
	シリアルポートレジスタ 2	SCSPTR2	R/W	H'FFE1 0020	H'1FE1 0020	16
	ラインステータスレジスタ 2	SCLSR2	R/W*2	H'FFE1 0024	H'1FE1 0024	16
	BRG 分周レジスタ	BRGDL2	R/W	H'FFE1 0030	H'1FE1 0030	16
	BRG クロックセレクトレジスタ	BRGCKS2	R/W	H'FFE1 0034	H'1FE1 0034	16
	IrDA シリアルモードレジスタ	SCSMRIR	R/W	H'FFE1 0040	H'1FE1 0040	16

【注】 *1 ビット 7~4、1、0 はフラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 0 はフラグをクリアするための 0 書き込みのみ可能です。

表 28.3 各処理状態におけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
2	シリアルモードレジスタ 2	SCSMR2	H'0000	H'0000	保持	保持
	ビットレートレジスタ 2	SCBRR2	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 2	SCSCR2	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 2	SCFTDR2	不定	不定	保持	保持
	シリアルステータスレジスタ 2	SCFSR2	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 2	SCFRDR2	不定	不定	保持	保持
	FIFO コントロールレジスタ 2	SCFCR2	H'0000	H'0000	保持	保持
	FIFO データ数レジスタ 2	SCFDR2	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 2	SCSPTR2	H'0000	H'0000	保持	保持
	ラインステータスレジスタ 2	SCLSR2	H'0000	H'0000	保持	保持
	BRG 分周レジスタ	BRGDL2	H'0000	H'0000	保持	保持
	BRG クロックセレクトレジスタ	BRGCKS2	H'0000	H'0000	保持	保持
	IrDA シリアルモードレジスタ	SCSMRIR	H'0000	H'0000	保持	保持

28.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—

28.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 16 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。

SCFRDR は、パワーオンリセットおよびマニュアルリセット時に不定になります。

ビット :	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R

28.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—

28.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。SCFTDR 内の送信データが 16 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

SCFTDR は、パワーオンリセットおよびマニュアルリセット時に不定になります。

ビット :	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	W	W	W	W	W	W	W	W

28.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	C/Ā	CHR	PE	O/Ē	STOP	—	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/Ā	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクターングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。 0 : 8 ビットデータ 1 : 7 ビットデータ
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると送信時には、O/Ē ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/Ē ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ 1 : 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*1 1 : 2 ストップビット*2</p> <p>なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 *2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ポーレートジェネレータへの入力クロックを選択します。CKS1、CKS0 ビットの設定で Pck0、Pck0/4、Pck0/16、Pck0/64 の 4 種類から選択できます。 選択したクロックと、ビットレートレジスタの設定値、およびポーレートの関係については、「28.3.8 ビットレートレジスタ (SCBRR)」を参照してください。 00 : Pck0 01 : Pck0/4 10 : Pck0/16 11 : Pck0/64 【注】 Pck0 : 周辺クロック 0

28.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR へシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI の解除は、SCFSR の TDFE フラグの 1 を読み出した後、SCFTDR に送信トリガ設定数より多い送信データを書き込み、SCFSR の TDFE フラグを 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。</p> <p>0: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p> <p>【注】 RXI 割り込み要求の解除は、SCFSR の RDF フラグまたは DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0: 送信動作を禁止</p> <p>1: 送信動作を許可*</p> <p>【注】* なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期式モードの場合はスタートビットを、クロック同期式モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても SCFSR の ER、BRK、FER、PER、RDF、DR、SCLSR の ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>この状態でスタートビットを検出すると、シリアル受信を開始します。</p> <p>0: 受信動作を禁止</p> <p>1: 受信動作を許可*</p> <p>【注】* なお、RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>

ビット	ビット名	初期値	R/W	説明
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMA 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>SCIF のクロックソースの選択、および SCIF_SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCIF_SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし CKE0 ビットの設定は、内部クロック動作 (CKE1 = 0) のときのみ有効です。外部クロック動作 (CKE1 = 1) の場合は、CKE0 ビットの設定は無効です。クロック同期モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE1、CKE0 ビットを設定してください。</p> <ul style="list-style-type: none"> • 調歩同期式 <ul style="list-style-type: none"> 00 : SCIF_SCK 端子を使用しません。SCIF_SCK 端子は入力端子 (入力信号は無視) 01 : SCIF_SCK 端子はクロック出力*1 10 : 外部クロック / SCIF_SCK 端子はクロック入力*2 11 : 設定禁止 • クロック同期式 <ul style="list-style-type: none"> 00、01 : SCIF_SCK 端子は同期クロック出力 10 : SCIF_SCK 端子は同期クロック入力 11 : 設定禁止 <p>【記号説明】 x : Don't care</p> <p>【注】 *1 出力クロックの周波数はビットレートの 16 倍 *2 入力クロックの周波数はビットレートの 16 倍</p>

28.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビット長のレジスタで、下位 8 ビットは SCIF の動作状態を示すステータスフラグを、上位 8 ビットはレシーブ FIFO レジスタ内のデータの受信エラー数を示します。

SCFSR は常に CPU から読み出し / 書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。なお、FER フラグおよび PER フラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PERN[3:0]				FERN[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R	R	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説明
15~12	PERN[3:0]	0000	R	<p>パリティエラー数</p> <p>SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、PERN で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイトの受信データすべてがパリティエラーを伴う場合、PERN0 は 0 を表示します。</p>
11~8	FERN[3:0]	0000	R	<p>フレーミングエラー数 (FER3~0)</p> <p>SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、FERN で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイトの受信データすべてがフレーミングエラーを伴う場合、FERN は 0 を表示します。</p>

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき <p>【注】2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ストップビット目のストップビットはチェックしません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W*	<p>トランスミットエンド*</p> <p>送信キャラクタの最後尾ビットの送信後に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0：送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR に送信データを書き込み、TEND フラグが 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき • DMAC で SCFTDR ヘデータを書き込んだとき <p>1：送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • SCSCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビットの送信後に SCFTDR に送信データがないとき <p>【注】クロック同期モードにおいて DMAC を使用し SCFTDR ヘデータを書き込んだ場合、TEND フラグがクリアされないときがあります。そのため、クロック同期モードにおいて DMAC 使用時は下記手順で TEND フラグのリードを行ってください。</p> <ol style="list-style-type: none"> (1) DMAC にてデータ転送終了を確認 (2) TEND フラグをリード (3) TEND フラグが 1 の場合、0 クリア (4) 再度 TEND フラグをリード (5) 2 度目にリードした TEND フラグを使用

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/W*	<p>トランスミット FIFO データエンブティ</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0 : SCFTDR 内の送信データ数が送信トリガ設定数より多いことを表示 [クリア条件]</p> <ul style="list-style-type: none"> • TDFE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき • DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1 : SCFTDR の送信データ数が送信トリガ設定数以下であることを表示 [セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき* <p>【注】SCFTDR は 16 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFDR に示されます。</p>
4	BRK	0	R/W*	<p>ブ레이크検出</p> <p>受信データのブ레이크信号を検出して示します。</p> <p>0 : ブ레이크信号を受信していないことを表示 [クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : ブ레이크信号を受信したことを表示* [セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】ブ레이크検出すると受信データ (H'00) の FIFO への転送は停止します。ブ레이크が終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p>

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次に SCFRDR から読み出す受信データにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出す受信データにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次に SCFRDR から読み出す受信データにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出すデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき* <p>【注】 SCFRDR は 16 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFCR に示されます。</p>
0	DR	0	R/W*	<p>レシーブデータレディ</p> <p>調歩同期式モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき* <p>【注】 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

28.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

本ボーレートジェネレータは Pck0、Pck0/4、Pck0/16、Pck0/64 用であり、外部クロック用ボーレートジェネレータは「28.6 外部クロック用ボーレートジェネレータ (BRG)」を参照してください。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck0}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck0}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

Pck0 : 周辺モジュール用動作周波数 (MHz)

n : 0、1、2、3

(n とボーレートジェネレータ入力クロックの関係は、表 28.4 を参照してください)

表 28.4 SCSMR の設定値

n	ボーレートジェネレータ 入力クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pck0	0	0
1	Pck0/4	0	1
2	Pck0/16	1	0
3	Pck0/64	1	1

【注】調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck0 \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

28.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信 / 受信の各 FIFO レジスタのリセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RTRG[1:0]	TTRG[1:0]	—	TFCL	RFCL	LOOP		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明															
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。 SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき RDF フラグをセットします。 <table border="0" style="margin-left: 40px;"> <tr> <td style="text-align: right;">調歩同期モード</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: right;">00 :</td> <td style="text-align: center;">4</td> <td style="text-align: center;">2</td> </tr> <tr> <td style="text-align: right;">01 :</td> <td style="text-align: center;">8</td> <td style="text-align: center;">8</td> </tr> <tr> <td style="text-align: right;">10 :</td> <td style="text-align: center;">14</td> <td style="text-align: center;">14</td> </tr> <tr> <td style="text-align: right;">11 :</td> <td></td> <td></td> </tr> </table>	調歩同期モード	1	1	00 :	4	2	01 :	8	8	10 :	14	14	11 :		
調歩同期モード	1	1																	
00 :	4	2																	
01 :	8	8																	
10 :	14	14																	
11 :																			
5, 4	TTRG[1:0]	00	R/W	トランスミット FIFO データ数トリガ SCFSR の TDFE フラグをセットする未送信のデータ数を設定するビットです。 送信動作により SCFTDR 内の送信データ数が、下に示すトリガ設定数以下になったとき TDFE フラグをセットします。 <table border="0" style="margin-left: 40px;"> <tr> <td style="text-align: right;">00 :</td> <td style="text-align: center;">8 (8)</td> </tr> <tr> <td style="text-align: right;">01 :</td> <td style="text-align: center;">4 (12)</td> </tr> <tr> <td style="text-align: right;">10 :</td> <td style="text-align: center;">2 (14)</td> </tr> <tr> <td style="text-align: right;">11 :</td> <td style="text-align: center;">0 (16)</td> </tr> </table> 【注】 () 内の値はフラグ発生時の SCFTDR の空き数を示します。	00 :	8 (8)	01 :	4 (12)	10 :	2 (14)	11 :	0 (16)							
00 :	8 (8)																		
01 :	4 (12)																		
10 :	2 (14)																		
11 :	0 (16)																		
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
2	TFCL	0	R/W	トランスミット FIFO データ数レジスタクリア トランスミット FIFO データ数レジスタ内の送信データ数を 0 にクリアします。 <table border="0" style="margin-left: 40px;"> <tr> <td style="text-align: right;">0 :</td> <td>クリアしない</td> </tr> <tr> <td style="text-align: right;">1 :</td> <td>FIFO データ数を 0 にクリアする</td> </tr> </table> 【注】 パワーオンリセット、マニュアルリセット時にはリセット動作が行われず。	0 :	クリアしない	1 :	FIFO データ数を 0 にクリアする											
0 :	クリアしない																		
1 :	FIFO データ数を 0 にクリアする																		

ビット	ビット名	初期値	R/W	説明
1	RFCL	0	R/W	レシーブ FIFO データ数レジスタクリア レシーブ FIFO データ数レジスタ内の受信データ数を 0 にクリアします。 0 : クリアしない 1 : FIFO データ数を 0 にクリアする 【注】パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (SCIF_TXD) と受信入力端子 (SCIF_RXD) を内部で接続し、ループバックテストを可能にします。 0 : ループバックテストを禁止 1 : ループバックテストを許可

28.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、上位 8 ビットで SCFTDR 内の送信データ数を、下位 8 ビットで SCFRDR 内の受信データ数を示します。

SCFDR は常に CPU から読み出すことができます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TDN[4:0]				—	—	—	RDN[4:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	TDN[4:0]	すべて 0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'10 は SCFTDR に最大数 (16 バイト) の送信データが格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	RDN[4:0]	すべて 0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'10 は SCFRDR に最大数 (16 バイト) の受信データが格納されていることを示します。

28.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、常に CPU による読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

パワーオンリセット、マニュアルリセット時にビット 2、0 を除いたすべてのビットが 0 に初期化されます。ビット 2、0 は不定です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCIF_SCK 端子の入出力を指定します。実際に SCIF_SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CK1、CK0 ビットを 0 に設定してください。 0 : SCIF_SCK 端子に SCKDT ビットの値を出力しないことを示します 1 : SCIF_SCK 端子に SCKDT ビットの値を出力することを示します
2	SCKDT	不定	R/W	シリアルポートクロックポートデータ シリアルポートの SCIF_SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCIF_SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCIF_SCK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0 : 入出力データがローレベルであることを示します 1 : 入出力データがハイレベルであることを示します
1	SPB2IO	0	R/W	シリアルポートブ레이크入出力 シリアルポートの SCIF_TXD 端子の出力条件を指定します。実際に SCIF_TXD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0 : SCIF_TXD 端子に SPB2DT ビットの値を出力しないことを示します 1 : SCIF_TXD 端子に SPB2DT ビットの値を出力することを示します

ビット	ビット名	初期値	R/W	説明
0	SPB2DT	不定	R/W	シリアルポートブ레이크データ シリアルポートの SCIF_RXD 端子の入力データおよび SCIF_TXD 端子の出力データを指定します。SCIF_TXD 端子の出力条件は SPB2IO ビットで指定します。SCIF_TXD 端子を出力に設定した場合、SPB2DT ビットの値が SCIF_TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは SCIF_RXD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します

28.3.12 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*1

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/W*1	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0: 受信中、または正常に受信を完了したことを表示*2 [クリア条件] • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0を書き込んだとき 1: 受信時にオーバランエラーが発生したことを表示*3 [セット条件] • SCFRDR が最大数 (16 バイト) のデータを受信した状態で次のシリアル受信を完了したとき

【注】 *1 フラグをクリアするために0を書き込むことのみ可能です。

*2 SCSCR の RE ビットを0にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*3 SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

ORER フラグをクリアして受信を再開する場合、受信 FIFO からのデータ読み出し (または受信 FIFO クリア) と受信エラー処理を行った後で ORER フラグをクリアしてください。

28.3.13 BRG 分周レジスタ (BRGDL2)

BRGDR2 は、BRG で生成する分周クロックの分周値を指定します。

本レジスタに設定するクロック分周値は、以下の計算式により求められます。

$$\text{クロック分周値} = \text{クロック入力周波数} / (\text{要求するボーレート} \times 16)$$

表 28.5 に、3.686MHz の水晶発振子を使用した場合のクロック分周設定値を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRGDL[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	BRGDL [15:0]	すべて 0	R/W	BRG 生成クロック分周値 BRG で生成する分周クロックの分周値を設定します。 1 ~ 65535 の範囲で設定可能です。

表 28.5 ボーレート (3.6864MHz クロック)

ボーレート	分周値	エラー率*
50	4608	-
75	3072	-
110	2095	- 0.022
134.5	1713	0.001
150	1536	-
300	768	-
600	384	-
1200	192	-
1800	128	-
2000	115	0.174
2400	96	-
3600	64	-
4800	48	-
7200	32	-
9600	24	-
14400	16	-
19200	12	-
38400	6	-
76800	3	-

ボーレート	分周値	エラー率*
115200	2	-

【注】 * - : エラー率 = 0 を示します。

28.3.14 BRG クロックセレクトレジスタ (BRGCKS2)

BRGCKS2 は、BRG で生成する分周クロックと外部クロック (SCIF2_SCK) との出力の切り替えを指定します。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

BRGCKS	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BRGCKS	0	R/W	分周クロックと外部クロック (SCIF2_SCK) との出力を切り替えます。 0 : 分周クロックを選択します。 1 : 外部クロックを選択します。
14~0	-	すべて0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

28.3.15 IrDA シリアルモードレジスタ (SCSMRIR)

SCSMRIR は、SCIF/IrDA のチャンネル 2 (SCIF2) を、IrDA 赤外線通信ポートとして使用する場合の制御を行います。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9	EDGEN	0	R/W	SCIF2_RXD 端子サンプリングモード 0 : SCIF2_RXD 端子をエッジでサンプリング 1 : SCIF2_RXD 端子をエッジとレベルの2回でサンプリング
8	LOOP	0	R/W	IrDA ループバックテスト 0 : 通常動作 1 : SCIF2_TXD 端子から SCIF2_RXD 端子へのループバック動作
7	IRMOD	0	R/W	IrDA モード 0 : SCIF/IrDA の SCIF2 を SCIF シリアル通信ポートとして使用 1 : SCIF/IrDA の SCIF2 を IrDA 赤外線通信ポートとして使用

ビット	ビット名	初期値	R/W	説明
6~0	-	すべて0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

28.4 動作説明

28.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。調歩同期式モードの動作については、「28.4.2 調歩同期式モードの動作」を参照してください。

送受信用に16段のFIFOバッファを内蔵しており、CPUのオーバーヘッドを減らし、高速連続通信が可能です。

送受信フォーマットの選択は、SCSMRで行います。これを表28.6に示します。また、SCIFのクロックソースは、SCSMRのC/AビットおよびSCSCRのCKE1、CKE0ビットの組み合わせで決まります。これを表28.7に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- データの送受信はLSBが先頭 (LSB First)
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバーランエラー、レシーブデータレディ、およびブ레이크の検出が可能
- 送受信FIFOレジスタのおおのの格納データ数を表示
- SCIFのクロックソース：周辺クロック0 (Pck0) / SCIF_SCK端子入力から選択可能

周辺クロック0 (Pck0) を選択した場合：SCIFはポーレートジェネレータのクロックで動作

(SCIF_SCK端子からビットレートの16倍の周波数でクロックを出力可能)

SCIF_SCK端子入力を選択した場合：ビットレートの16倍の周波数でクロックを入力することが必要

(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- データ長：8ビットに固定
- データの送受信はLSBが先頭 (LSB First)
- 受信時にオーバーランエラーの検出が可能
- SCIFのクロックソース：周辺クロック (Pck) / SCIF_SCK端子入力から選択可能

周辺クロック0 (Pck0) を選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

SCIF_SCK端子入力を選択した場合：入力同期クロックで動作 (内蔵ポーレートジェネレータを使用しない)

表 28.6 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF の送信 / 受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	*	*	*	クロック同期式モード	8ビットデータ	なし	なし

【注】 * Don't care

表 28.7 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR ビット7 C/A	SCSCR の設定		モード	クロックソース	SCK 端子の機能
	ビット1 CKE1	ビット0 CKE0			
0	0	0	調歩同期式	内部クロック Pck0、Pck0/4、Pck0/16、Pck0/64	SCK 端子を使用しません SCK 端子は入力端子 (入力信号は無視) (初期値)
		1			SCK 端子はクロック出力 (ビットレートの 16 倍のクロックを出力)
	1	0	外部クロック用ポーレートジェネレータの入力 SC_CLK (SCIF_CLK、Pck0) もしくは、SCK (ポーレートジェネレータの CKS レジスタで切り替え)	SCK 端子はクロック入力 (ビットレートの 16 倍のクロックを入力)	
				SC_CLK を選択した場合も SCK は入力 (入力信号は無視) BRGCLK がビットレートの 16 倍の周波数になるように、SCK 入力または SC_CLK を設定します。 SC_CLK を選択した場合は SC_CLK の周波数と DL の設定、SCK を選択した場合は SCK 入力の周波数を調整して、BRGCLK を 16 倍にします。	
1	1	禁止	-	-	
1	0	0	クロック同期式	内部クロック Pck0、Pck0/4、Pck0/16、Pck0/64	SCK 端子は同期クロック出力
		1			SCK 端子は同期クロック出力
	1	0	SCK 入力 (ポーレートジェネレータの CKS レジスタで切り替え) 外部クロック用ポーレートジェネレータの入力 SC_CLK (SCIF_CLK、Pck0)	SCK 端子は同期クロック入力	
				SC_CLK を入力クロックとした同期通信はできません。	
1	1	禁止	—	—	

28.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 28.5 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数で入出力するクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

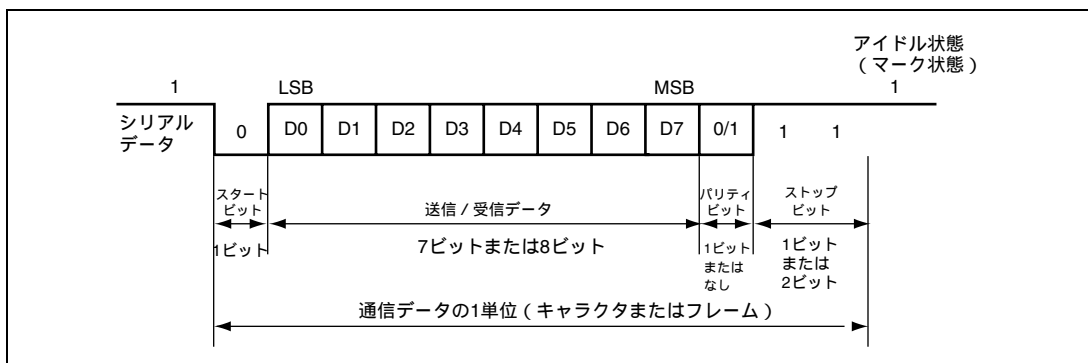


図 28.5 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを表 28.8 に示します。

送信 / 受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

表 28.8 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S : スタートビット
 STOP: ストップビット
 P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/A ビットおよび SCSCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは外部クロック用ポーレートジェネレータの生成した外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 28.7 を参照してください。

外部クロックを使用する場合には、BRGCLK が使用するビットレートの 16 倍の周波数になるように設定してください。

内部クロックで動作させるとき、SCIF_SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

(3) SCIF の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。

1. TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCFSR、SCFTDR および、SCFRDR の内容は保持されますので注意してください。

2. TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFCLビットをいったん1にセットしてSCFTDRをリセットしてください。
3. 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 28.6 に SCIF の初期化フローチャートの例を示します。

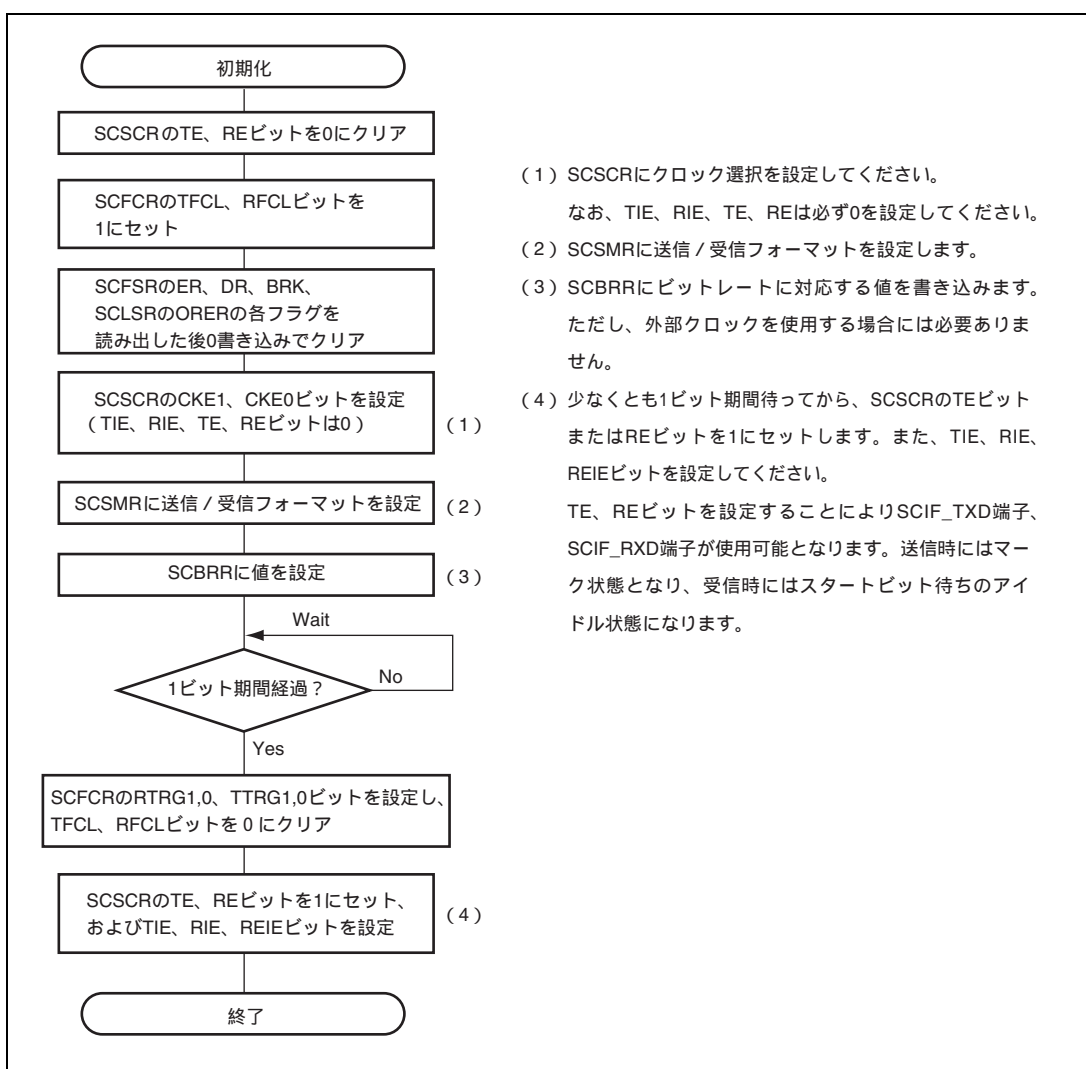


図 28.6 SCIF の初期化フローチャートの例

(4) シリアルデータ送信 (調歩同期式)

図 28.7 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

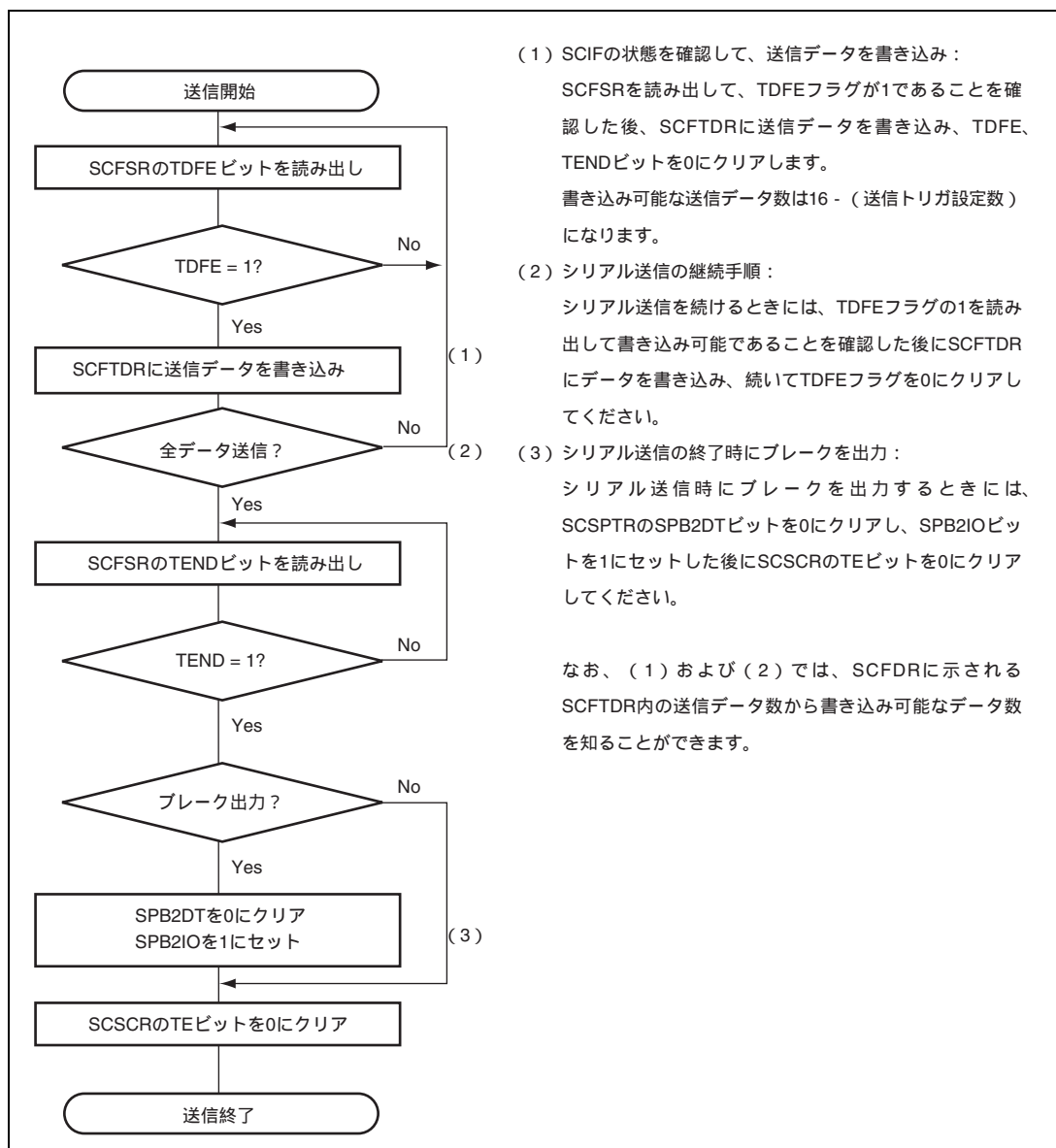


図 28.7 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に SCIF_TXD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、SCIF_TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 28.8 に示します。

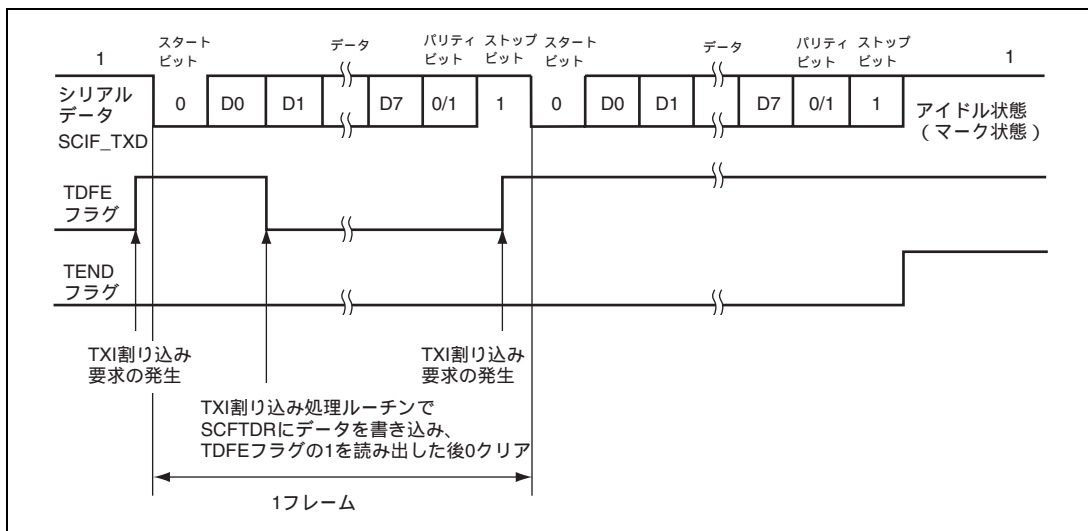


図 28.8 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

(5) シリアルデータ受信 (調歩同期式)

図28.9および図28.10にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、図28.9の手順で行ってください。

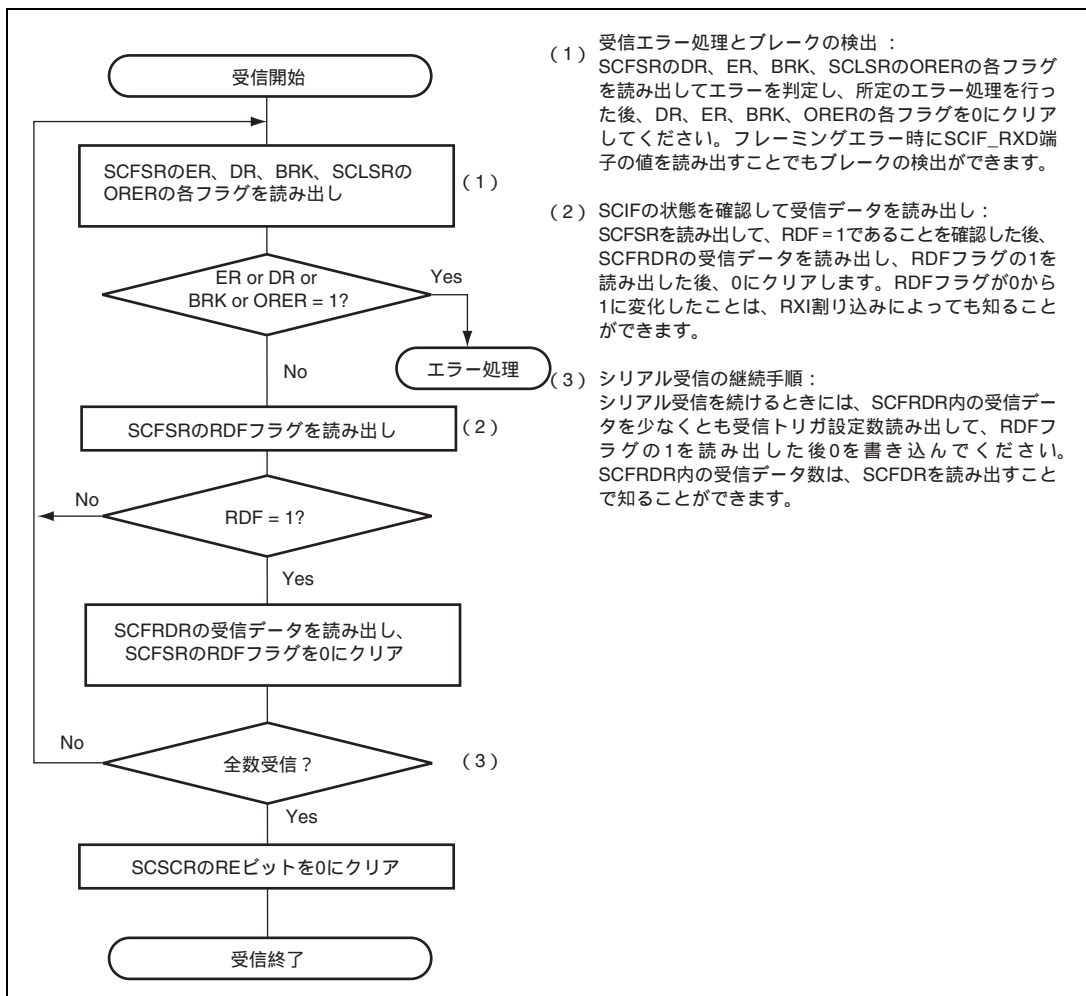


図 28.9 シリアル受信のフローチャートの例 (1)

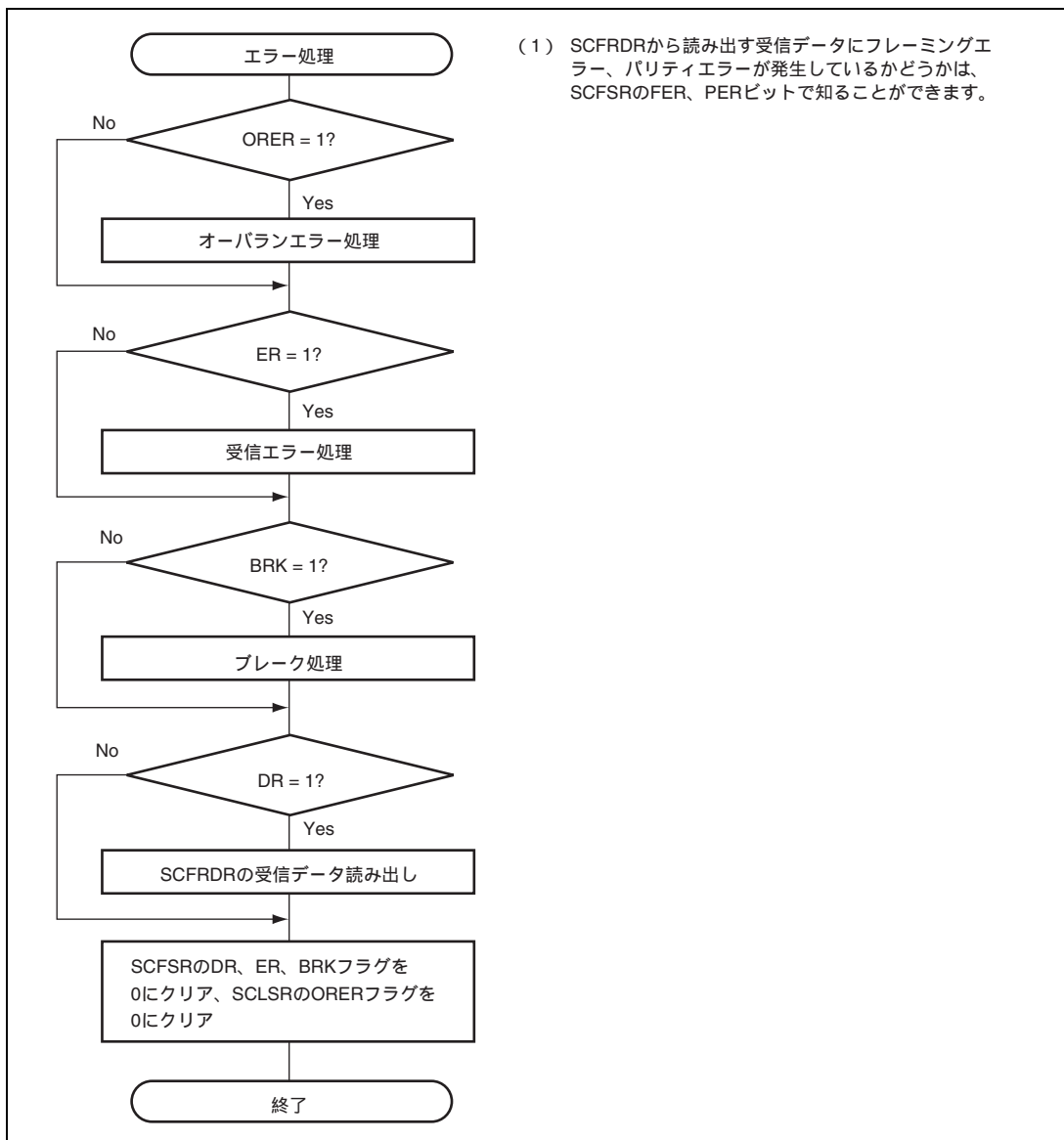


図 28.10 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - (b) 受信データを SCRSR から SCFRDR に転送できる状態であるかをチェックします。*
 - (c) オーバランエラーチェック：ORER フラグが0であり、オーバランエラーが発生していないことをチェックします。*
 - (d) ブレークチェック：BRK フラグが0であり、ブレーク状態でないことをチェックします。*
- (b) (c) (d) のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 * パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求を発生します。

調歩同期式モード受信時の動作例を図 28.11 に示します。

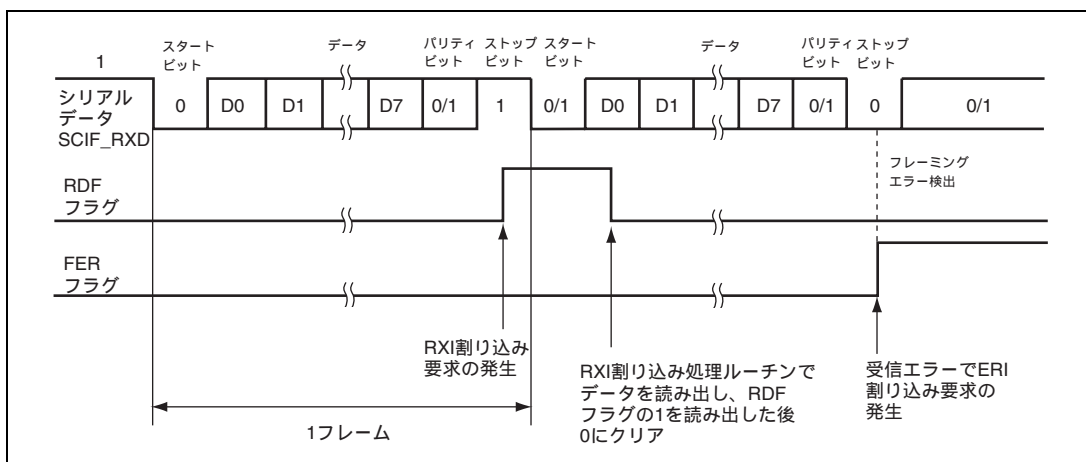


図 28.11 SCIF の受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

28.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 28.12 に示します。

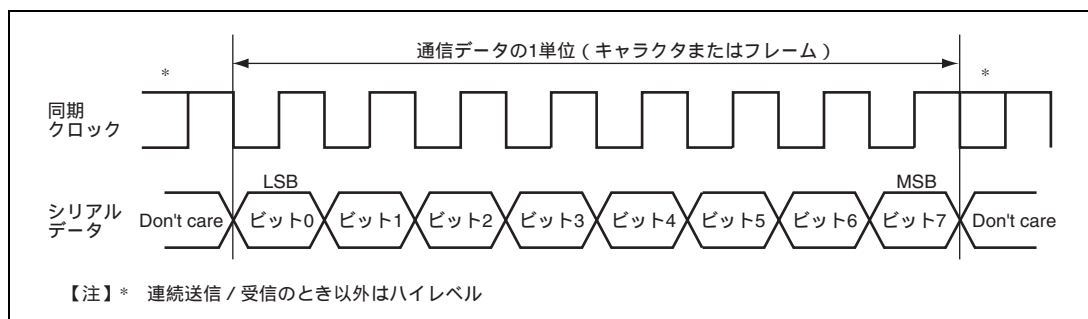


図 28.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビット固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCIF_SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCIF のクロックソース選択については、表 28.7 を参照してください。

内部クロックで動作させるとき、SCIF_SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 28.13 に SCIF の初期化フローチャート例を示します。

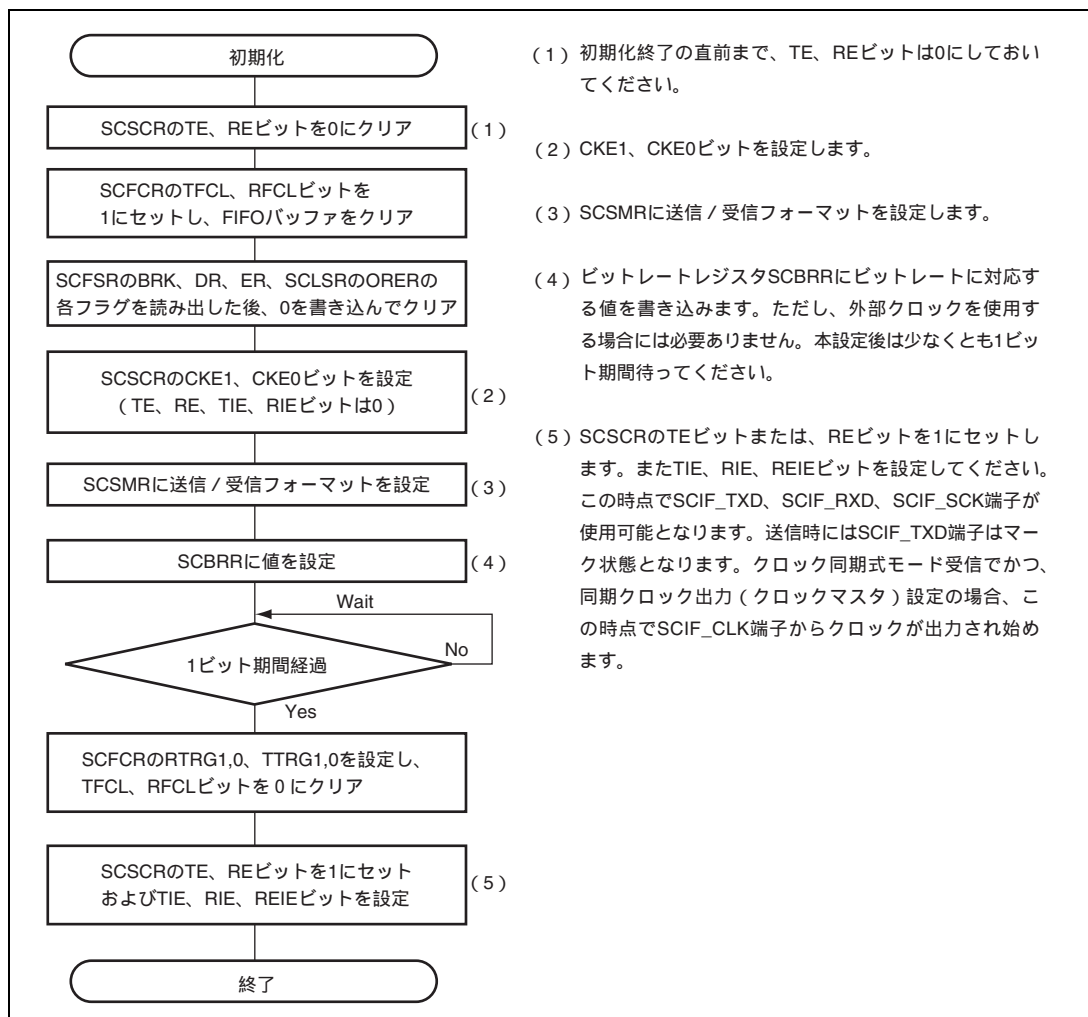


図 28.13 SCIF 初期化フローチャートの例

(4) シリアルデータ送信 (クロック同期式)

図 28.14 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

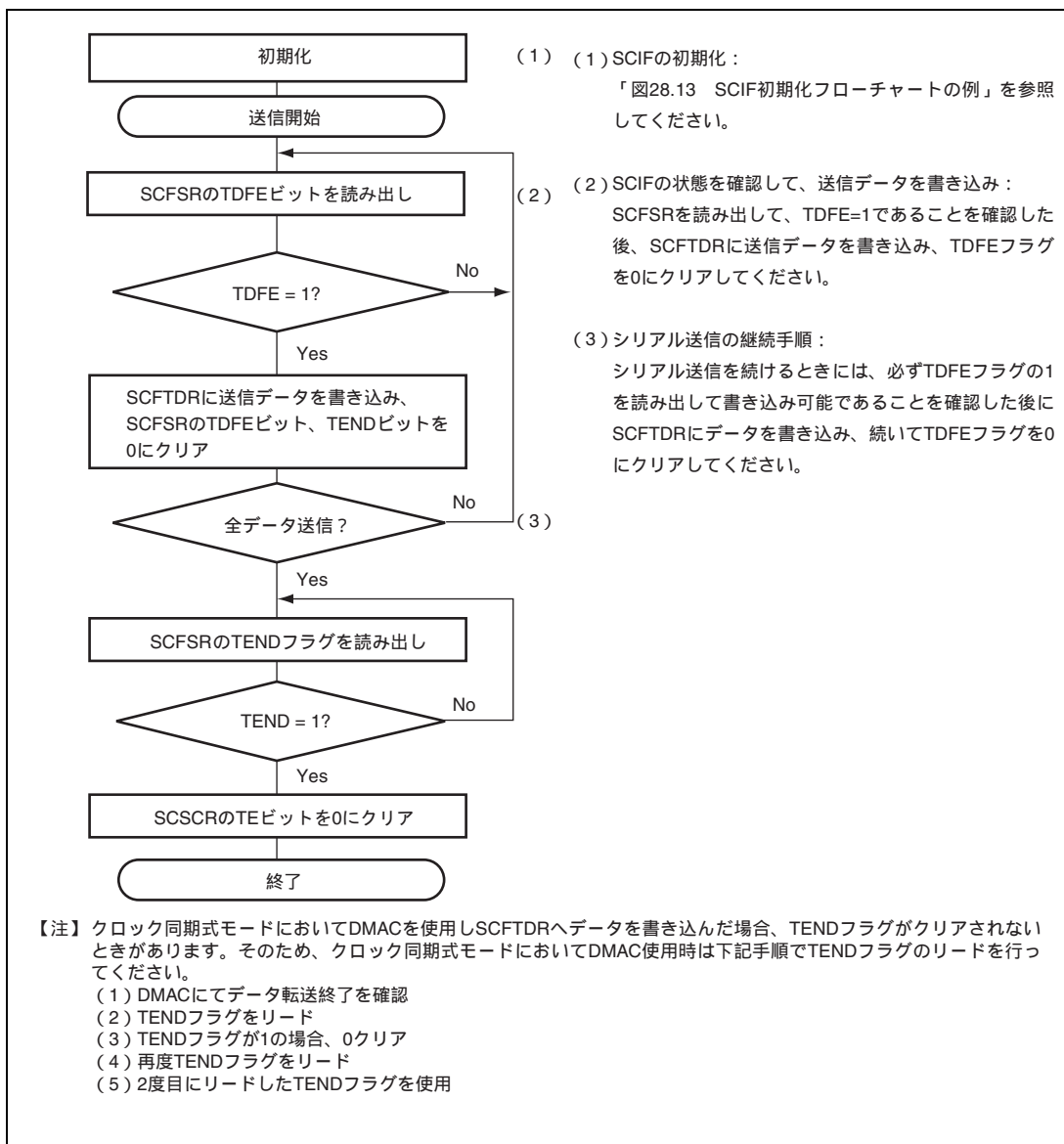


図 28.14 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSBから順にSCIF_TXD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (SCIF_TXD 端子) は状態を保持します。
4. シリアル送信終了後、SCSCRのCKE1ビットが0のとき、SCIF_SCK端子から出力する同期クロックはハイレベル固定になります。

図 28.15 に SCIF の送信時の動作例を示します。

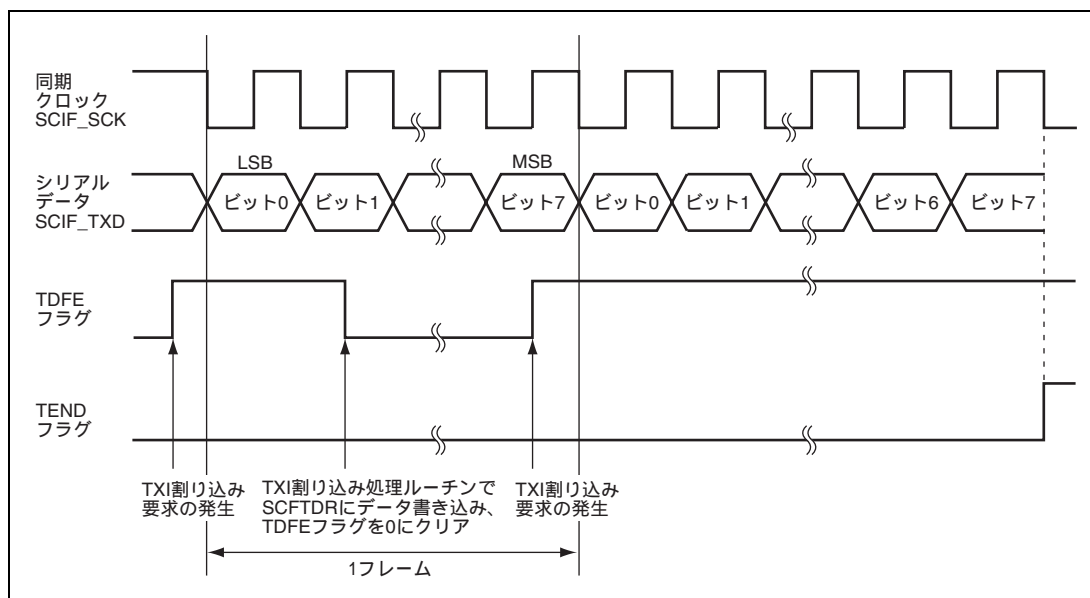


図 28.15 SCIF 送信時の動作例

(5) シリアルデータ受信 (クロック同期式)

図 28.16 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER の各フラグが 0 にクリアされていることを確認してください。

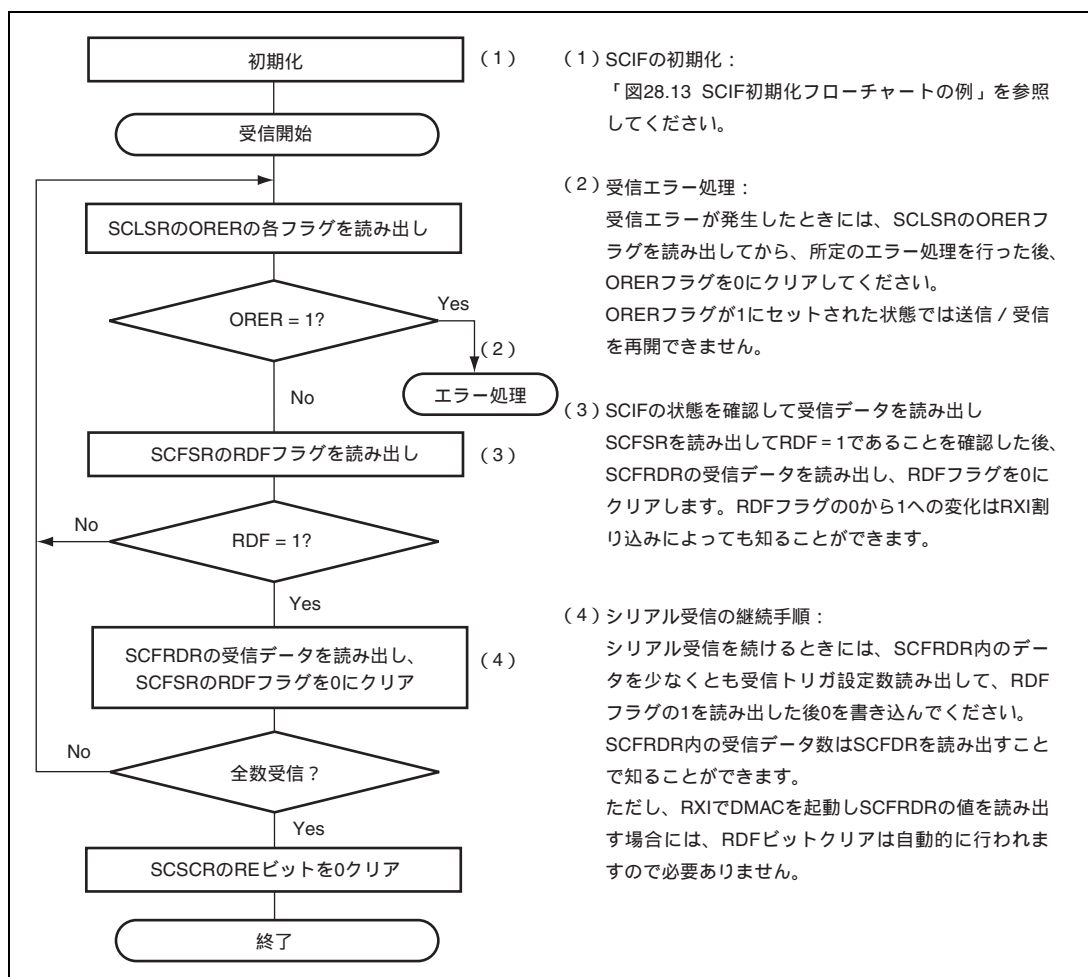


図 28.16 シリアル受信のフローチャートの例 (1)

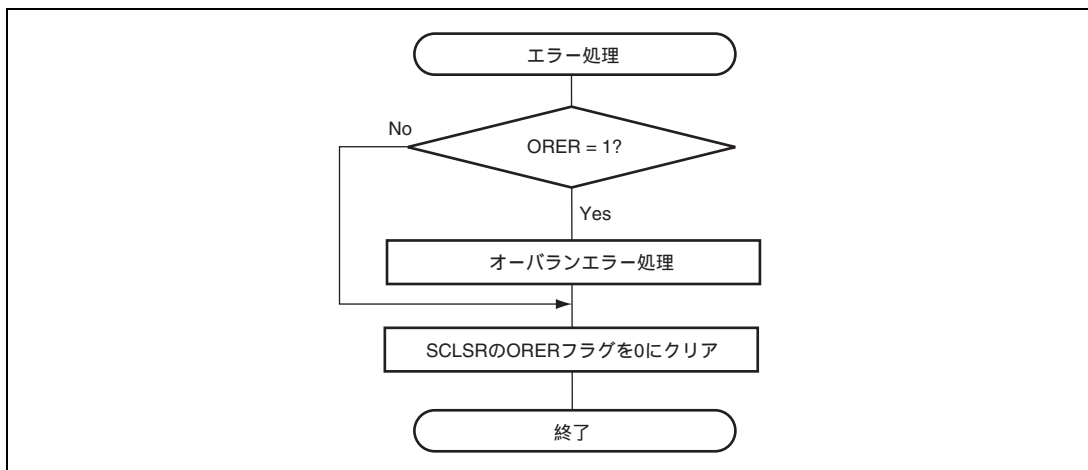


図 28.17 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図 28.18 に SCIF の受信時の動作例を示します。

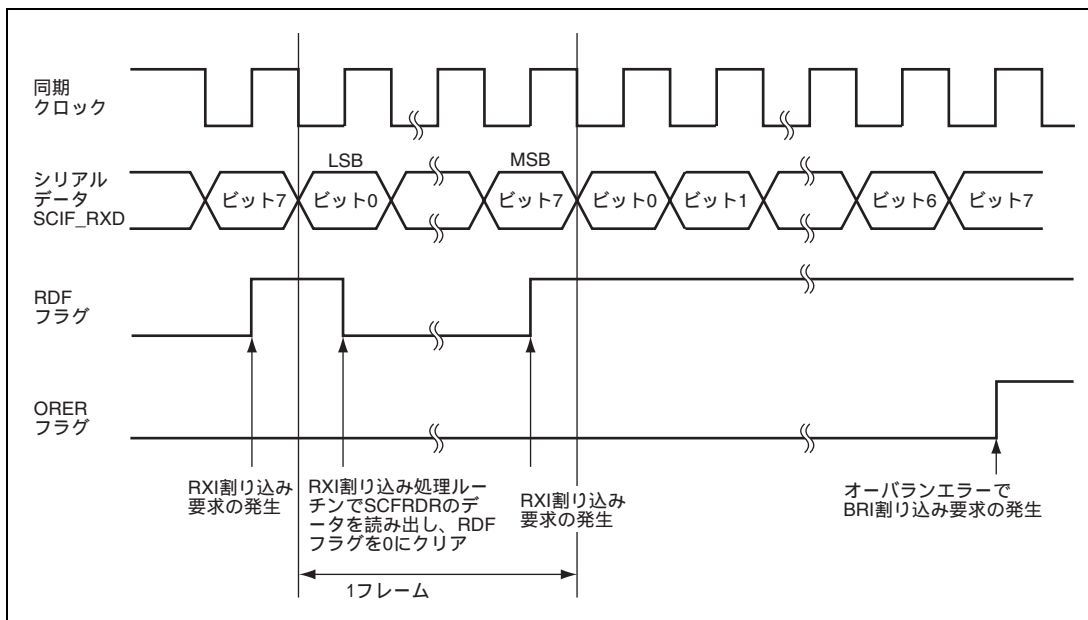


図 28.18 SCIF の受信時の動作例

(6) シリアルデータ送受信同時動作 (クロック同期式)

図 28.19 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

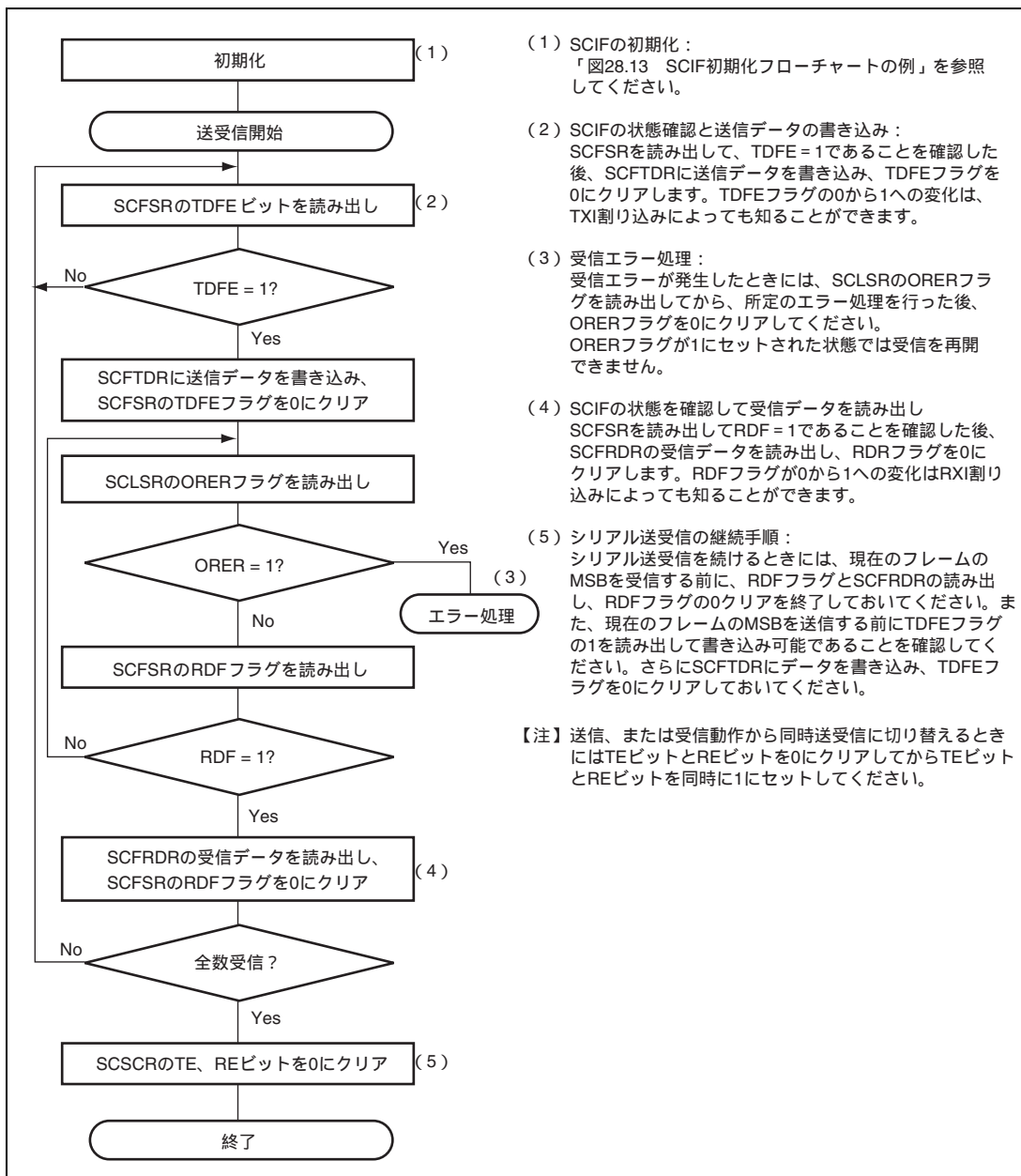


図 28.19 シリアル送受信のフローチャートの例

28.4.4 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 28.9 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは受信データが SCFRDR にあることを示しています。

表 28.9 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の 優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) または受信データレディ (DR) * による割り込み	可	
BRI	ブレーク (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

【注】 * DR による RXI 割り込みは、調歩同期モード時のみ可能です。

28.4.5 SCIF 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG[1:0]ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCFDR で知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG[1:0]ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCFDR で知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に SCIF_RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、SCIF_RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) ブレークの送り出し

SCIF_TXD 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、SCIF_TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、SCIF_TXD 端子からは 0 が出力されます。

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍を周波数とする基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 28.20 に示します。

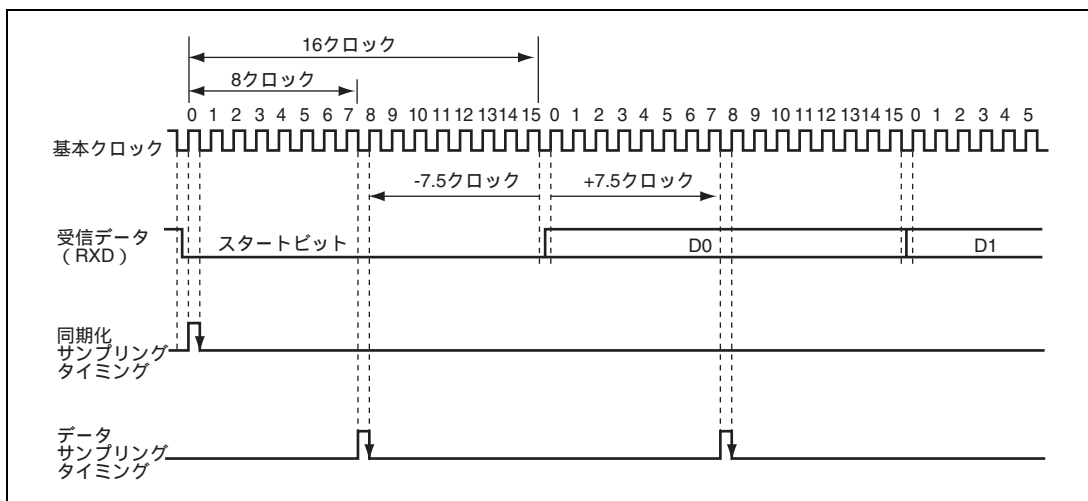


図 28.20 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} \right| (1 + F) \times 100\% \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1/(2 \times 16)) \times 100\%$$

$$= 46.875\% \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(6) 受信マージンとボーレート誤差

式(2)の46.875%は、ボーレート誤差が0($F=0$)のときの受信マージンです。つまり、受信と送信のボーレートに誤差がなければ、約1/2ビット分のずれがあっても受信可能です。送信と受信のボーレートに誤差があると、ストップビット受信までの誤差が蓄積されることになり受信マージンが低下します。

ボーレートの許容誤差を求めるために、式(1)をFについて変形します。

$D=0.5$ とすると、式(3)になります。

$$F = \{ (15/32 - M) / (L - 0.5) \} \times 100 (\%) \quad \dots\dots \text{式(3)}$$

式(3)から、フレーム長 $L=12$ の場合の許容誤差 - 受信マージンは以下のようにになります。

許容誤差 (%)	4.07	3.64	3.20	2.33	1.46
受信マージン (%)	0	5	10	20	30

28.5 赤外線データ通信インタフェース

IrDA 赤外線データ通信インタフェースは、SCIF2 チャンネルから受け取ったシリアル通信データを、赤外線データ通信用フォーマットに変換 (変調) し SCIF2_TXD 端子から赤外線受発光素子に送信します。また、赤外線受発光素子から SCIF2_RXD 端子に受信した赤外線通信データを、シリアルデータ通信用フォーマットに変換 (復調) し SCIF2 チャンネルに送ります。

28.5.1 赤外線データ通信用フォーマット

赤外線データ通信用フォーマットを図 28.21 に示します。

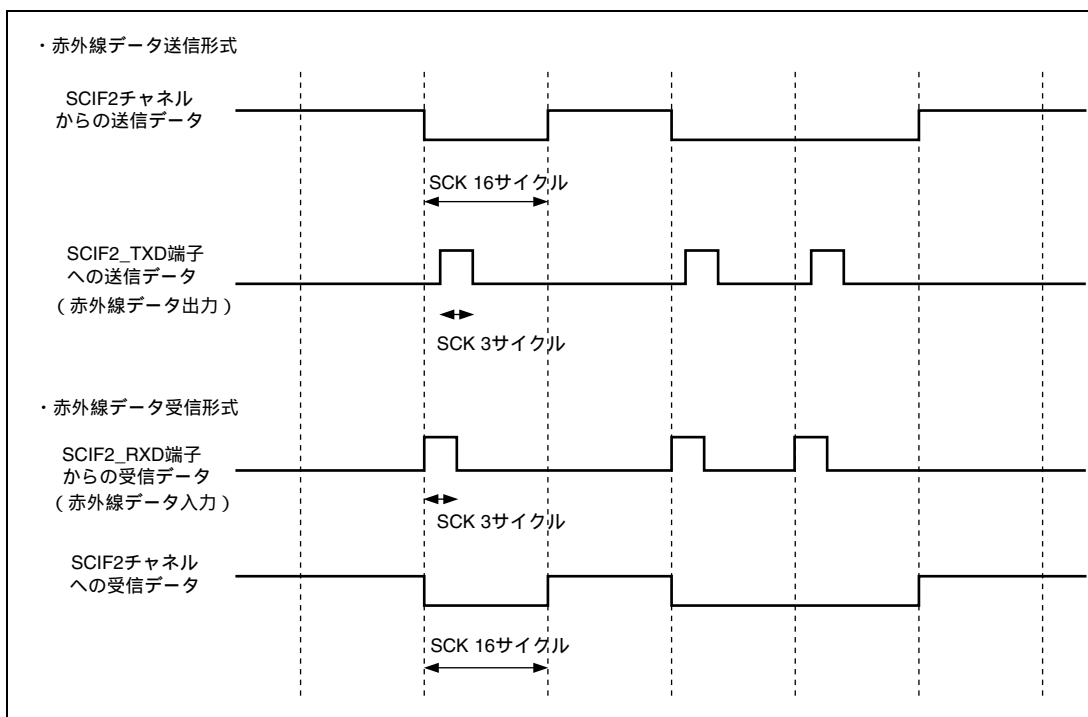


図 28.21 赤外線通信データ形式

28.5.2 赤外線データ通信インタフェース動作

赤外線データ通信インタフェースのブロック図を図 28.22 に示します。

赤外線データ通信インタフェース部は、SCIF チャンネル 2 のシリアル通信データを、赤外線データ変調 / 復調し送受信するかどうかの選択を行います。

SCSMRIR の IRMOD ビットが 1 のときは、IrDA の変調 / 復調後のデータを SCIF2_TXD / SCIF2_RXD 端子から入力 / 出力します。SCSMRIR の IRMOD ビットが 0 のときは、SCIF チャンネル 2 のデータを SCIF2_TXD / SCIF2_RXD 端子にバイパスします。

SCSMRIR の LOOP ビットがアクティブのときは、赤外線データ変調部の出力がそのまま復調部の入力になります (ループバックテスト用)。

これらのセレクト論理にはクロックは使用されていません。このため、リセット後やスタンバイ中などのセレクト状態は、SCSMRIR レジスタの値のみに依存します。

【注】 本モジュールは、受信時においてチャタリングのような短いパルスについても検出してしまいますので、IrDA 規格で示されている最短パルス幅を確保するようにしてください

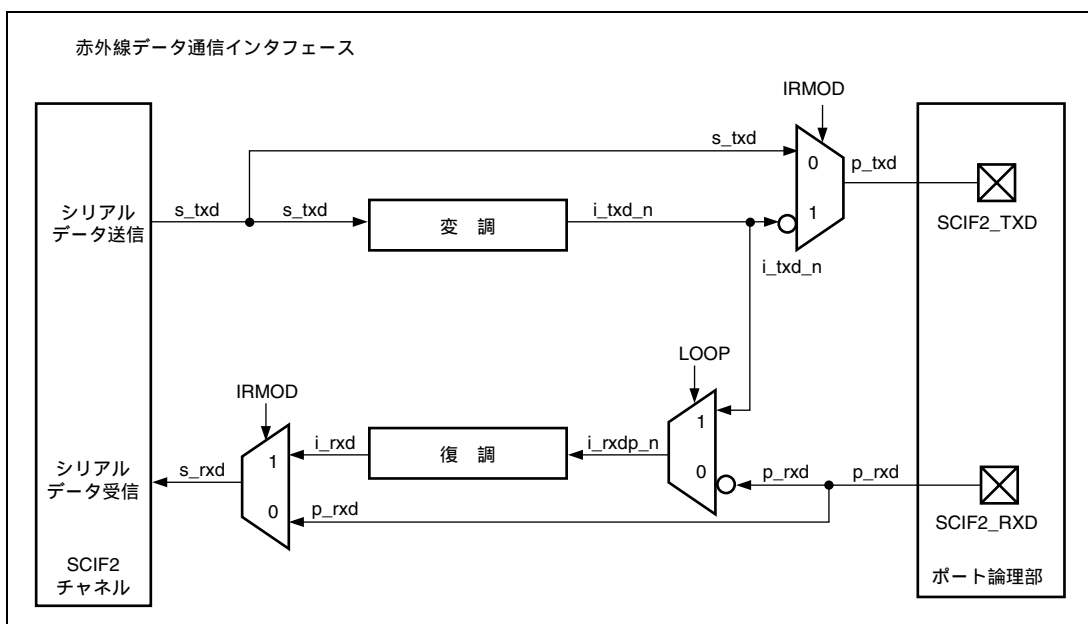


図 28.22 赤外線データ通信インタフェースブロック図

28.6 外部クロック用ポーレートジェネレータ (BRG)

外部クロック用ポーレートジェネレータ(以下、BRG と略)は、SCIF/IrDA に内蔵され、外部クロック(SCIF_CLK)あるいは内部クロック(Pck0)に対し、1 から 2 の 16 乗 - 1 の範囲で分周することにより、IrDA ブロックへサンプリングクロック (BRGCLK) を供給します。

28.6.1 BRG ブロック構成

図 28.23 に、BRG のブロック図を示します。

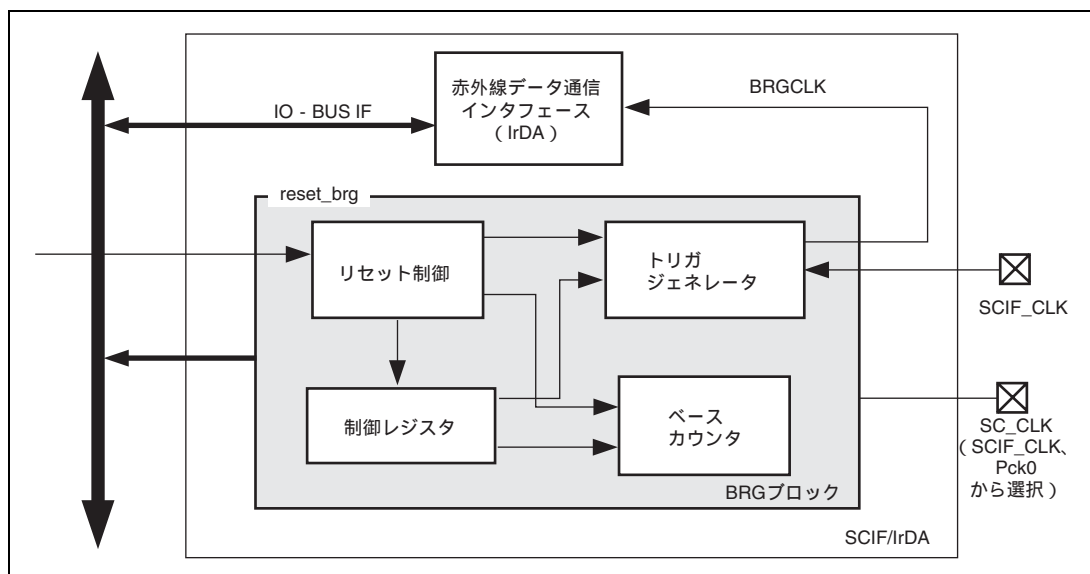


図 28.23 BRG ブロック図

(1) リセット制御

制御レジスタ、ベースカウンタ、トリガジェネレータのリセットを制御します。

(2) 制御レジスタ

分周レジスタ、クロックセレクトレジスタを保持します。

詳細は、「28.3 レジスタの説明」を参照してください。

(3) ベースカウンタ

16 ビットの CLK (外部クロック BRG 入力) 同期カウンタ。

分周クロック生成の際のタイミングを決めるのに基準となるカウンタ。

(4) トリガジェネレータ

分周レジスタ値およびベースカウンタの値でタイミングを取り、分周クロックの立ち上がり / 立ち下がりエッジのトリガを生成します。これにより、分周クロックを生成します。

また、SCIF2_CLK (外部クロック入力) と分周クロックとの出力の切り替えも行います。

28.6.2 BRG における制約事項

(1) 分周レジスタ設定時の注意事項

- リセット後、BSGDL2への最初の設定の際には、クロック安定時間を保証するため、1ビット期間以上、待ち時間が必要です。

(例) BSGDL2 = 2の1ビット期間

$$3.68 \text{ (MHz)} \times 1/2 \times 1/16 = 0.115 \text{ (MHz)} \quad 8695 \text{ (ns)}$$

- 上記での設定以降、BSGDL2の値を再度書き換える場合は、最大ビットレート (BSGDL2 = 65535) の1ビット期間以上、待ち時間が必要です。

SCIF レジスタと BSG レジスタは、以下のように設定してください。

- 調歩同期式モード (SC_CLK外部入力)

SCIF	レジスタ/ビット名	設定値	BRG	レジスタ名	設定値
	SCSMR.C/A	0		BSGCKS2	0000
	SCSCR.CKE1	1		BSGDL2	1 ~ FFFF

- 調歩同期式モード (SCK外部入力)

SCIF	レジスタ/ビット名	設定値	BRG	レジスタ名	設定値
	SCSMR.C/A	0		BSGCKS2	8000
	SCSCR.CKE1	1		BSGDL2	Don't care

- クロック同期式モード (外部入力)

SCIF	レジスタ/ビット名	設定値	BRG	レジスタ名	設定値
	SCSMR.C/A	1		BSGCKS2	8000
	SCSCR.CKE1	1		BSGDL2	Don't care

29. シリアル I/O FIFO 付き (SIOF)

本 LSI は、3 チャンネルの FIFO 付きクロック同期シリアル I/O モジュール (SIOF) を内蔵しています。

29.1 特長

- シリアルI/Oを3チャンネル内蔵
- シリアル転送
 - FIFO容量32ビット×16段 (送受信独立)
 - 8ビット / 16ビット / 16ビットステレオ音声入出力に対応
 - データの送受信はMSBが先頭 (MSB First)
 - サンプリングレート最大48kHzに対応
 - 同期方法はフレーム同期パルス / 左右チャンネル切り替えに対応
 - CODEC制御データインタフェースに対応
 - リニア / オーディオ / A-Law、 μ -Law CODECチップに接続可能
 - マスタ / スレーブ両モードに対応
- シリアルクロック
 - クロックソースとして外部端子入力と周辺クロック0 (Pck0) からの選択が可能
- 割り込み : 1種類
- DMA転送
 - 送信の転送要求による、DMA転送を用いた送受信動作に対応

図 29.1 に SIOF のブロック図を示します。

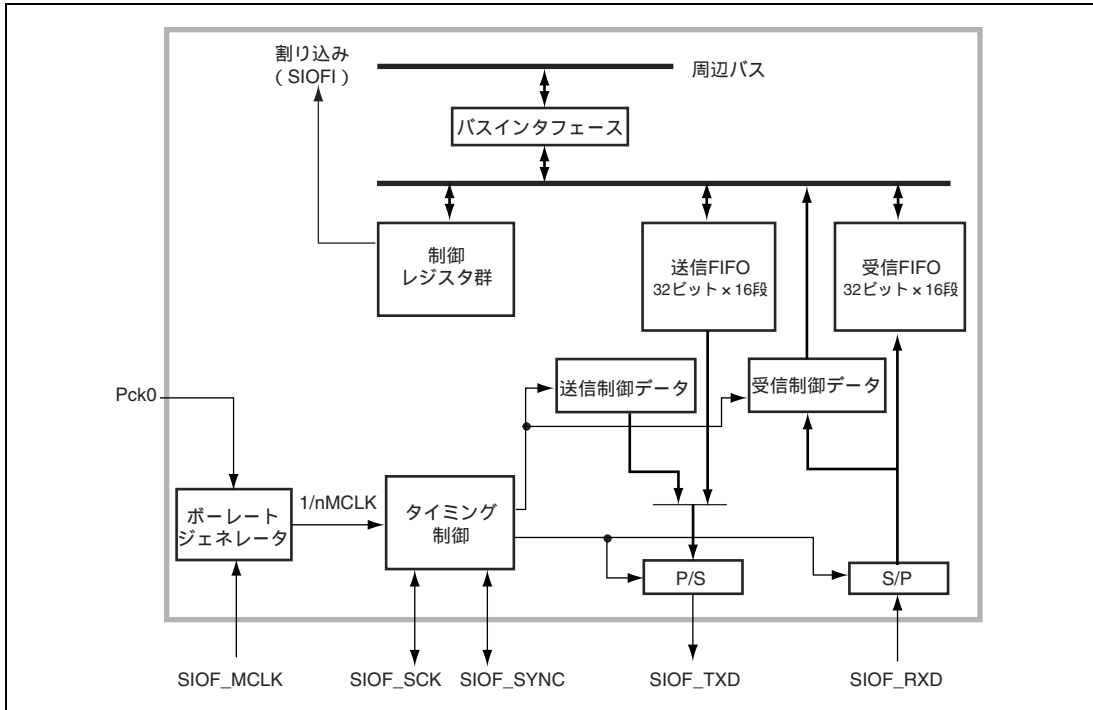


図 29.1 SIOF のブロック図

29.2 入出力端子

本モジュールの端子構成を表 29.1 に示します。

表 29.1 端子構成

チャンネル	端子名	機能	入出力	説明
0	SIOF0_MCLK	マスタクロック	入力	マスタクロック入力端子です。
	SIOF0_SCK	シリアルクロック	入出力	シリアルクロック (送受信共通) 端子です。
	SIOF0_SYNC	フレーム同期信号	入出力	フレーム同期信号 (送受信共通) です。
	SIOF0_TXD	送信データ	出力	送信データ端子です。
	SIOF0_RXD	受信データ	入力	受信データ端子です。
1	SIOF1_MCLK	マスタクロック	入力	マスタクロック入力端子です。
	SIOF1_SCK	シリアルクロック	入出力	シリアルクロック (送受信共通) 端子です。
	SIOF1_SYNC	フレーム同期信号	入出力	フレーム同期信号 (送受信共通) です。
	SIOF1_TXD	送信データ	出力	送信データ端子です。
	SIOF1_RXD	受信データ	入力	受信データ端子です。
2	SIOF2_MCLK	マスタクロック	入力	マスタクロック入力端子です。
	SIOF2_SCK	シリアルクロック	入出力	シリアルクロック (送受信共通) 端子です。
	SIOF2_SYNC	フレーム同期信号	入出力	フレーム同期信号 (送受信共通) です。
	SIOF2_TXD	送信データ	出力	送信データ端子です。
	SIOF2_RXD	受信データ	入力	受信データ端子です。

29.3 レジスタの説明

SIOF のレジスタ構成を表 29.2 に示します。また、各処理モードにおけるレジスタの状態を表 29.3 に示します。

表 29.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
0	モードレジスタ 0	SIMDR0	R/W	H'FFE3 0000	H'1FE3 0000	16
	クロックセレクトレジスタ 0	SISCR0	R/W	H'FFE3 0002	H'1FE3 0002	16
	送信データアサインレジスタ 0	SITDAR0	R/W	H'FFE3 0004	H'1FE3 0004	16
	受信データアサインレジスタ 0	SIRDAR0	R/W	H'FFE3 0006	H'1FE3 0006	16
	制御データアサインレジスタ 0	SICDAR0	R/W	H'FFE3 0008	H'1FE3 0008	16
	コントロールレジスタ 0	SICTR0	R/W	H'FFE3 000C	H'1FE3 000C	16
	FIFO コントロールレジスタ 0	SIFCTR0	R/W	H'FFE3 0010	H'1FE3 0010	16
	ステータスレジスタ 0	SISTR0	R/W	H'FFE3 0014	H'1FE3 0014	16
	割り込み許可レジスタ 0	SIIER0	R/W	H'FFE3 0016	H'1FE3 0016	16
	送信データレジスタ 0	SITDR0	W	H'FFE3 0020	H'1FE3 0020	32
	受信データレジスタ 0	SIRDR0	R	H'FFE3 0024	H'1FE3 0024	32
	送信制御データレジスタ 0	SITCR0	R/W	H'FFE3 0028	H'1FE3 0028	32
	受信制御データレジスタ 0	SIRCR0	R/W	H'FFE3 002C	H'1FE3 002C	32
1	モードレジスタ 1	SIMDR1	R/W	H'FFE3 8000	H'1FE3 8000	16
	クロックセレクトレジスタ 1	SISCR1	R/W	H'FFE3 8002	H'1FE3 8002	16
	送信データアサインレジスタ 1	SITDAR1	R/W	H'FFE3 8004	H'1FE3 8004	16
	受信データアサインレジスタ 1	SIRDAR1	R/W	H'FFE3 8006	H'1FE3 8006	16
	制御データアサインレジスタ 1	SICDAR1	R/W	H'FFE3 8008	H'1FE3 8008	16
	コントロールレジスタ 1	SICTR1	R/W	H'FFE3 800C	H'1FE3 800C	16
	FIFO コントロールレジスタ 1	SIFCTR1	R/W	H'FFE3 8010	H'1FE3 8010	16
	ステータスレジスタ 1	SISTR1	R/W	H'FFE3 8014	H'1FE3 8014	16
	割り込み許可レジスタ 1	SIIER1	R/W	H'FFE3 8016	H'1FE3 8016	16
	送信データレジスタ 1	SITDR1	W	H'FFE3 8020	H'1FE3 8020	32
	受信データレジスタ 1	SIRDR1	R	H'FFE3 8024	H'1FE3 8024	32
	送信制御データレジスタ 1	SITCR1	R/W	H'FFE3 8028	H'1FE3 8028	32
	受信制御データレジスタ 1	SIRCR1	R/W	H'FFE3 802C	H'1FE3 802C	32

チャンネル	名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
2	モードレジスタ 2	SIMDR2	R/W	H'FFE4 0000	H'1FE4 0000	16
	クロックセレクトレジスタ 2	SISCR2	R/W	H'FFE4 0002	H'1FE4 0002	16
	送信データアサインレジスタ 2	SITDAR2	R/W	H'FFE4 0004	H'1FE4 0004	16
	受信データアサインレジスタ 2	SIRDAR2	R/W	H'FFE4 0006	H'1FE4 0006	16
	制御データアサインレジスタ 2	SICDAR2	R/W	H'FFE4 0008	H'1FE4 0008	16
	コントロールレジスタ 2	SICTR2	R/W	H'FFE4 000C	H'1FE4 000C	16
	FIFO コントロールレジスタ 2	SIFCTR2	R/W	H'FFE4 0010	H'1FE4 0010	16
	ステータスレジスタ 2	SISTR2	R/W	H'FFE4 0014	H'1FE4 0014	16
	割り込み許可レジスタ 2	SIIR2	R/W	H'FFE4 0016	H'1FE4 0016	16
	送信データレジスタ 2	SITDR2	W	H'FFE4 0020	H'1FE4 0020	32
	受信データレジスタ 2	SIRDR2	R	H'FFE4 0024	H'1FE4 0024	32
	送信制御データレジスタ 2	SITCR2	R/W	H'FFE4 0028	H'1FE4 0028	32
	受信制御データレジスタ 2	SIRCR2	R/W	H'FFE4 002C	H'1FE4 002C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 29.3 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
0	モードレジスタ 0	SIMDR0	H'8000	H'8000	保持	保持
	クロックセレクトレジスタ 0	SISCR0	H'C000	H'C000	保持	保持
	送信データアサインレジスタ 0	SITDAR0	H'0000	H'0000	保持	保持
	受信データアサインレジスタ 0	SIRDAR0	H'0000	H'0000	保持	保持
	制御データアサインレジスタ 0	SICDAR0	H'0000	H'0000	保持	保持
	コントロールレジスタ 0	SICTR0	H'0000	H'0000	保持	保持
	FIFO コントロールレジスタ 0	SIFCTR0	H'1000	H'1000	保持	保持
	ステータスレジスタ 0	SISTR0	H'0000	H'0000	保持	保持
	割り込み許可レジスタ 0	SIER0	H'0000	H'0000	保持	保持
	送信データレジスタ 0	SITDR0	H'xxxx xxxx	H'xxxx xxxx	保持	保持
	受信データレジスタ 0	SIRDR0	H'xxxx xxxx	H'xxxx xxxx	保持	保持
	送信制御データレジスタ 0	SITCR0	H'0000 0000	H'0000 0000	保持	保持
	受信制御データレジスタ 0	SIRCR0	H'xxxx xxxx	H'xxxx xxxx	保持	保持
1	モードレジスタ 1	SIMDR1	H'8000	H'8000	保持	保持
	クロックセレクトレジスタ 1	SISCR1	H'C000	H'C000	保持	保持
	送信データアサインレジスタ 1	SITDAR1	H'0000	H'0000	保持	保持
	受信データアサインレジスタ 1	SIRDAR1	H'0000	H'0000	保持	保持
	制御データアサインレジスタ 1	SICDAR1	H'0000	H'0000	保持	保持
	コントロールレジスタ 1	SICTR1	H'0000	H'0000	保持	保持
	FIFO コントロールレジスタ 1	SIFCTR1	H'1000	H'1000	保持	保持
	ステータスレジスタ 1	SISTR1	H'0000	H'0000	保持	保持
	割り込み許可レジスタ 1	SIER1	H'0000	H'0000	保持	保持
	送信データレジスタ 1	SITDR1	H'xxxx xxxx	H'xxxx xxxx	保持	保持
	受信データレジスタ 1	SIRDR1	H'xxxx xxxx	H'xxxx xxxx	保持	保持
	送信制御データレジスタ 1	SITCR1	H'0000 0000	H'0000 0000	保持	保持
	受信制御データレジスタ 1	SIRCR1	H'xxxx xxxx	H'xxxx xxxx	保持	保持

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
2	モードレジスタ 2	SIMDR2	H'8000	H'8000	保持	保持
	クロックセレクトレジスタ 2	SISCR2	H'C000	H'C000	保持	保持
	送信データアサインレジスタ 2	SITDAR2	H'0000	H'0000	保持	保持
	受信データアサインレジスタ 2	SIRDAR2	H'0000	H'0000	保持	保持
	制御データアサインレジスタ 2	SICDAR2	H'0000	H'0000	保持	保持
	コントロールレジスタ 2	SICTR2	H'0000	H'0000	保持	保持
	FIFO コントロールレジスタ 2	SIFCTR2	H'1000	H'1000	保持	保持
	ステータスレジスタ 2	SISTR2	H'0000	H'0000	保持	保持
	割り込み許可レジスタ 2	SIIR2	H'0000	H'0000	保持	保持
	送信データレジスタ 2	SITDR2	H'xxxx xxxx	H'xxxx xxxx	保持	保持
	受信データレジスタ 2	SIRDR2	H'xxxx xxxx	H'xxxx xxxx	保持	保持
	送信制御データレジスタ 2	SITCR2	H'0000 0000	H'0000 0000	保持	保持
	受信制御データレジスタ 2	SIRCR2	H'xxxx xxxx	H'xxxx xxxx	保持	保持

29.3.1 モードレジスタ (SIMDR)

SIMDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD[1:0]	SYN CAT	REDG	FL[3:0]				TXDIZ	RCIM	SYN CAC	SYN CDL	-	-	-	-	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	TRMD[1:0]	10	R/W	転送モード 1、0 表 29.4 に示す転送モードを選択します。 00: スレーブモード 1 01: スレーブモード 2 10: マスタモード 1 11: マスタモード 2
13	SYNCAT	0	R/W	SIOF_SYNC 端子有効タイミング SIOF_SYNC 信号を同期パルスで出力する場合の出力位置を示します。 0: フレームの先頭ビットデータ 1: スロットの最終ビットデータ
12	REDG	0	R/W	受信データサンプリングエッジ 0: SIOF_RXD を SIOF_SCK の立ち下がりエッジでサンプリングする 1: SIOF_RXD を SIOF_SCK の立ち上がりエッジでサンプリングする 【注】 SIOF_TXD の送出タイミングは、SIOF_RXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。
11~8	FL[3:0]	0000	R/W	フレーム長 3~0 転送データフォーマットのフレーム長を設定します。 00xx: データ長は 8 ビット、フレーム長は 8 ビット 0100: データ長は 8 ビット、フレーム長は 16 ビット 0101: データ長は 8 ビット、フレーム長は 32 ビット 0110: データ長は 8 ビット、フレーム長は 64 ビット 0111: データ長は 8 ビット、フレーム長は 128 ビット 10xx: データ長は 16 ビット、フレーム長は 16 ビット 1100: データ長は 16 ビット、フレーム長は 32 ビット 1101: データ長は 16 ビット、フレーム長は 64 ビット 1110: データ長は 16 ビット、フレーム長は 128 ビット 1111: データ長は 16 ビット、フレーム長は 256 ビット 【注】 データ長 8 ビットを選択した場合、制御データの送受信は行えません。 x: Don't care

ビット	ビット名	初期値	R/W	説明
7	TXDIZ	0	R/W	送信無効時* SIOF_TXD 端子の出力 0: 無効時 1 出力 1: 無効時ハイインピーダンス状態 【注】* 無効時とは、ディスエーブル時および送信データ、制御データとして割り当てていないスロットを送出する場合です。
6	RCIM	0	R/W	受信制御データ割り込みモード 0: SIRCR の内容が変化したときに SISTR の RCRDY ビットをセットする 1: SIRCR への制御データ受信タイミングごとに SISTR の RCRDY ビットをセットする
5	SYNCAC	0	R/W	SIOF_SYNC 端子極性 SIOF_SYNC 信号を同期パルスで出力する場合に有効となります。 0: ハイアクティブ 1: ローアクティブ
4	SYNCDL	0	R/W	SIOF_SYNC 端子に対しデータ端子ビットの遅延 SIOF_SYNC 信号が同期パルスの場合に有効となります。 また、スレープモード時での送信時は 1 ビット遅延のみ有効です。必ず 1 に設定してください。 0: ビット遅延なし* 1: 1 ビット遅延 【注】* スレープモード時にビット遅延なしを選択した場合、受信タイミングは SCK の立ち上がりサンプリングとなります。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 29.4 に、転送モードごとの動作を示します。

表 29.4 転送モードごとの動作

転送モード	マスタ/スレープ	SIOF_SYNC	ビット遅延	制御データ方式*
スレープモード 1	スレープ	同期パルス	SYNCDL ビット	スロット位置
スレープモード 2	スレープ	同期パルス		セカンダリ FS
マスタモード 1	マスタ	同期パルス	なし	スロット位置
マスタモード 2	マスタ	L/R		非対応

【注】 * 制御データ方式については、FL[3:0]に B'1xxx を設定した場合に有効となります。(x: Don't care)

29.3.2 クロックセレクトレジスタ (SISCR)

SISCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD[1:0] ビットに B'10 もしくは B'11 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL	MSIMM	-	BRPS[4:0]				-	-	-	-	-	BRDV[2:0]			
初期値:	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MSSEL	1	R/W	マスタクロックソース選択 マスタクロックとは、ポーレートジェネレータ(プリスケアラ)に入力するクロックソースを指します。 0: マスタクロックとして SIOF_MCLK 端子入力クロックを使用 1: マスタクロックとして周辺クロック 0 (Pck0) を使用
14	MSIMM	1	R/W	マスタクロック直接選択 0: シリアルクロックとしてポーレートジェネレータ出力クロックを使用 1: シリアルクロックとしてマスタクロックをそのまま使用
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ポーレートジェネレータに内蔵されたプリスケアラの分周比を設定します。設定の範囲は 00000 (×1/1) ~ 11111 (×1/32) となります。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ポーレートジェネレータ分周比 マスタクロックを BRPS[4:0] で分周したプリスケアラ出力の分周比を設定します。 000: プリスケアラ出力 × 1/2 001: プリスケアラ出力 × 1/4 010: プリスケアラ出力 × 1/8 011: プリスケアラ出力 × 1/16 100: プリスケアラ出力 × 1/32 101: 設定禁止 110: 設定禁止 111: プリスケアラ出力 × 1/1 • 111 は BRPS[4:0] ビットが 00001 の場合のみ設定可能です。ポーレートジェネレータの最終分周比は、BRPS × BRDV で決定します(最大 1/1024)。

29.3.3 コントロールレジスタ (SICTR)

SICTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作状態を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	-	-	-	-	TXE	RXE	-	-	-	-	-	-	TXRST	RXRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOF_SCK の出力を禁止 (ローレベルを出力する) 1 : SIOF_SCK の出力を許可 • 本ビットに 1 を設定すると、SIOF はボーレートジェネレータを初期化し、動作を開始すると同時に SIOF_SCK にボーレートジェネレータで生成したクロックを出力します。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOF_SYNC の出力を禁止 (ローレベルを出力する) 1 : SIOF_SYNC の出力を許可 • 本ビットに 1 を設定すると、SIOF はフレームカウンタを初期化し、動作を開始します。
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0 : SIOF_TXD からのデータ送出を禁止 1 : SIOF_TXD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットへの 1 設定が有効になると、SIOF は SIFCTR の TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納されると、SIOF_TXD から送信データの送出を開始します。 • 送信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
8	RXE	0	R/W	受信イネーブル 0 : SIOF_RXD からのデータ受信を禁止 1 : SIOF_RXD からのデータ受信を許可 <ul style="list-style-type: none"> 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 本ビットへの1設定が有効になると、SIOF は SIOF_RXD からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR の RFWM ビットの設定に従い、受信転送要求を発行します。 受信リセット時に初期化されます。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TXRST	0	R/W	送信リセット 0 : 送信動作をリセットしない 1 : 送信動作をリセットする <ul style="list-style-type: none"> 本ビットへの設定は、直ちに有効となります。初期化の対象は「29.4.7(5)送受信リセット」を参照してください。 本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に0です。
0	RXRST	0	R/W	受信リセット 0 : 受信動作をリセットしない 1 : 受信動作をリセットする <ul style="list-style-type: none"> 本ビットへの設定は、直ちに有効となります。初期化の対象は「29.4.7(5)送受信リセット」を参照してください。 本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に0です。

29.3.4 送信データレジスタ (SITDR)

SITDR は、書き込み専用の 32 ビットのレジスタで、SIOF の送信データを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~16	SITDL[15:0]	不定	W	左チャンネル送信データ 左チャンネルデータとして SIOF_TXD から送出するデータを設定します。送信フレームにおける左チャンネルデータの位置は、SITDAR の TDLA ビットへの設定値に従います。 • 本ビットは SITDAR の TDLE ビットに 1 を設定した場合に有効となります。
15~0	SITDR[15:0]	不定	W	右チャンネル送信データ 右チャンネルデータとして SIOF_TXD から送出するデータを設定します。送信フレームにおける右チャンネルデータの位置は、SITDAR の TDRA ビットへの設定値に従います。 • 本ビットは SITDAR の TDRE ビットに 1 で、かつ SITDAR の TLREP ビットに 0 を設定した場合に有効となります。

29.3.5 受信データレジスタ (SIRDR)

SIRDR は、読み出し専用の 32 ビットのレジスタで、SIOF の受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRD[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDR[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	SIRD[15:0]	不定	R	左チャンネル受信データ 左チャンネルデータとして SIOF_RXD から受信したデータを格納します。受信フレームにおける左チャンネルデータの位置は、SIRDAR の RDLA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 を設定した場合に有効となります。
15~0	SIRDR[15:0]	不定	R	右チャンネル受信データ 右チャンネルデータとして SIOF_RXD から受信したデータを格納します。受信フレームにおける右チャンネルデータの位置は、SIRDAR の RDRA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 を設定した場合に有効となります。

29.3.6 送信制御データレジスタ (SITCR)

SITCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の送信制御データを設定します。本レジスタへの設定は、SIMDR の FL3 ~ 0 ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

本レジスタは、表 29.3 に示す初期化条件のほか、SICTR の TXRST ビットにより送信リセットされた場合も、初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITC0[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITC1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 16	SITC0[15:0]	H'0000	R/W	制御 0 チャンネル送信データ 制御 0 チャンネル送信データとして SIOF_TXD から送出するデータを設定します。送受信フレームにおける制御 0 チャンネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15 ~ 0	SITC1[15:0]	H'0000	R/W	制御 1 チャンネル送信データ 制御 1 チャンネル送信データとして SIOF_TXD から送出するデータを設定します。送受信フレームにおける制御 1 チャンネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

29.3.7 受信制御データレジスタ (SIRCR)

SIRCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR の FL3 ~ 0 ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRC0[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRC1[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	SIRC0[15:0]	不定	R/W	制御 0 チャネル受信データ 制御 0 チャネル受信データとして SIOF_RXD から受信したデータを格納します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15 ~ 0	SIRC1[15:0]	不定	R/W	制御 1 チャネル受信データ 制御 1 チャネル受信データとして SIOF_RXD から受信したデータを格納します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

29.3.8 ステータスレジスタ (SISTR)

SISTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の状態を表示します。本レジスタの各ビットは、SIER の対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TCRDY	TFEMP	TDREQ	-	RCRDY	RFFUL	RDREQ	-	-	SAERR	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14	TCRDY	0	R	<p>送信制御データレディ</p> <p>0 : SITCR への書き込みが可能でない 1 : SITCR への書き込みが可能である</p> <ul style="list-style-type: none"> • 本ビットが 0 時に SITCR への書き込みを行うと SITCR は上書きされ、以前の内容は SIOF_TXD から送出されません。 • 本ビットは SITCR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITCR への書き込みを行うと SIOF が 0 にクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
13	TFEMP	0	R	<p>送信 FIFO エンプティ</p> <p>0 : 送信 FIFO が空でない 1 : 送信 FIFO が空である</p> <ul style="list-style-type: none"> • 本ビットは SITCR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITDR への書き込みが行われると SIOF が 0 にクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
12	TDREQ	0	R	<p>送信データ転送リクエスト</p> <p>0 : 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値より少ない 1 : 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上になった</p> <p>送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上になったときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> • 本ビットは SITCR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	RCRDY	0	R	<p>受信制御データレディ</p> <p>0 : SIRCR に有効データが格納されていない 1 : SIRCR に有効データが格納されている</p> <ul style="list-style-type: none"> • 本ビットが 1 のときに再び SIRCR への有効データの書き込みが発生した場合、SIRCR には最新のデータが上書きされます。 • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SIRCR の読み出しを行うと SIOF が 0 にクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>0 : 受信 FIFO が満杯でない 1 : 受信 FIFO が満杯である</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SIRDR の読み出しを行うと SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>0 : 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値より少ない 1 : 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値以上になった</p> <p>受信データ転送リクエストは、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による受信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5	SAERR	0	R/W	<p>スロットアサインエラー</p> <p>0 : スロットアサインエラー未発生 1 : スロットアサインエラー発生</p> <p>スロットアサインエラーとは、SITDAR、SIRDAR、SICDAR の設定に重複があったことを表します。</p> <p>スロットアサインエラー発生時、SIOF は SIOF_TXD への送信および SIOF_RXD からの受信を行いません。ただし、SICTR の TXE ビット、RXE ビットのクリアは行いません。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生</p> <p>フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。</p> <p>フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
3	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生</p> <p>送信 FIFO オーバフローとは、送信 FIFO が満杯時に SITDR への書き込みが発生したことを表します。</p> <p>送信 FIFO オーバフロー時、SIOF はオーバフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。

ビット	ビット名	初期値	R/W	説明
2	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>0: 送信 FIFO アンダフロー未発生 1: 送信 FIFO アンダフロー発生</p> <p>送信 FIFO アンダフローとは、送信 FIFO が空時に送信動作による読み出しが発生したことを表します。</p> <p>送信 FIFO アンダフロー時、SIOF は前回送出データを繰り返して送出します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
1	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>0: 受信 FIFO アンダフロー未発生 1: 受信 FIFO アンダフロー発生</p> <p>受信 FIFO アンダフローとは、受信 FIFO が空時に SIRDR の読み出しが発生したことを表します。</p> <p>受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
0	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>0: 受信 FIFO オーバフロー未発生 1: 受信 FIFO オーバフロー発生</p> <p>受信 FIFO オーバフローとは、受信 FIFO が満杯時に受信動作による書き込みが発生したことを表します。</p> <p>受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。

29.3.9 割り込み許可レジスタ (SIER)

SIER は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR の対応するビットに 1 がセットされると、SIOF は割り込みを発行します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TD MAE	TCR DYE	TFE MPE	TDR EQE	RD MAE	RC RDYE	RF FULE	RD REQE	-	-	SA ERRE	FS ERRE	TF OVFE	TF UDFE	RF UDFE	RF OVFE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDMAE	0	R/W	送信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、TDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
14	TCRDYE	0	R/W	送信制御データレディイネーブル 0 : 送信制御データレディによる割り込みを禁止 1 : 送信制御データレディによる割り込みを許可
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0 : 送信エンプティによる割り込みを禁止 1 : 送信エンプティによる割り込みを許可
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0 : 送信データ転送リクエストによる割り込みを禁止 1 : 送信データ転送リクエストによる割り込みを許可
11	RDMAE	0	R/W	受信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、RDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
10	RCRDYE	0	R/W	受信制御データレディイネーブル 0 : 受信制御データレディによる割り込みを禁止 1 : 受信制御データレディによる割り込みを許可
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0 : 受信 FIFO フルによる割り込みを禁止 1 : 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0 : 受信データ転送リクエストによる割り込みを禁止 1 : 受信データ転送リクエストによる割り込みを許可

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	SAERRE	0	R/W	スロットアサインエラーイネーブル 0 : スロットアサインエラーによる割り込みを禁止 1 : スロットアサインエラーによる割り込みを許可
4	FSEERRE	0	R/W	フレーム同期エラーイネーブル 0 : フレーム同期エラーによる割り込みを禁止 1 : フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0 : 送信 FIFO オーバフローによる割り込みを禁止 1 : 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0 : 送信 FIFO アンダフローによる割り込みを禁止 1 : 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0 : 受信 FIFO アンダフローによる割り込みを禁止 1 : 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0 : 受信 FIFO オーバフローによる割り込みを禁止 1 : 受信 FIFO オーバフローによる割り込みを許可

29.3.10 FIFO コントロールレジスタ (SIFCTR)

SIFCTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送受信 FIFO の転送が可能なエリアを表示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM[2:0]			TFUA[4:0]				RFBM[2:0]			RFUA[4:0]					
初期値 :	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~13	TFWM[2:0]	000	R/W	<p>送信 FIFO ウォータマーク</p> <p>000: 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001: 設定禁止 010: 設定禁止 011: 設定禁止</p> <p>100: 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101: 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110: 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111: 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する</p> <ul style="list-style-type: none"> 送信 FIFO の転送要求は、SISTR の TDREQE ビットで行います。 本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。 <p>【注】 * SIIR.TDMAE = 1 に設定し、送信データを DMA 転送する場合、TFWM[2:0] = B'111 に設定しないでください。TFWM[2:0] = B'111 に設定した場合、送信 FIFO オーバフローが発生する可能性があります。</p>
12~8	TFUA[4:0]	10000	R	<p>送信 FIFO 使用可能エリア</p> <p>CPU または DMAC が転送可能な段数を 00000 (満杯) ~ 10000 (空) で表示します。</p>
7~5	RFWM[2:0]	000	R/W	<p>受信 FIFO ウォータマーク</p> <p>000: 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する 001: 設定禁止 010: 設定禁止 011: 設定禁止</p> <p>100: 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する 101: 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する 110: 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する 111: 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する</p> <ul style="list-style-type: none"> 受信 FIFO の転送要求は、SISTR の RDREQE ビットで行います。 本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。
4~0	RFUA[4:0]	00000	R	<p>受信 FIFO 使用可能エリア</p> <p>CPU または DMAC が転送可能な段数を 00000 (空) ~ 10000 (満杯) で表示します。</p>

29.3.11 送信データアサインレジスタ (SITDAR)

SITDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の送信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDLE	-	-	-	TDLA[3:0]				TDRE	TLREP	-	-	TDRA[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左チャンネルデータイネーブル 0: 左チャンネルデータの送信を許可しない 1: 左チャンネルデータの送信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	TDLA[3:0]	0000	R/W	送信左チャンネルデータアサイン 3~0 送信フレームにおける左チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111: 設定禁止 • 左チャンネルデータの送信データは SITDR の SITDL ビットに設定します。
7	TDRE	0	R/W	送信右チャンネルデータイネーブル 0: 右チャンネルデータの送信を許可しない 1: 右チャンネルデータの送信を許可する
6	TLREP	0	R/W	送信左チャンネルリピート 0: 右チャンネルデータとして SITDR の SITDR ビット設定値を送出する 1: 右チャンネルデータとして SITDR の SITDL ビット設定値を繰り返して送出的 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • ビットに 1 を設定した場合、SITDR への設定は無視されます。
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TDRA[3:0]	0000	R/W	送信右チャンネルデータアサイン 3~0 送信フレームにおける右チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111: 設定禁止 • 右チャンネルデータの送信データは SITDR の SITDR ビットに設定します。

29.3.12 受信データアサインレジスタ (SIRDAR)

SIRDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の受信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	-	-	-	RDLA[3:0]	RDRE	-	-	-	RDRA[3:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RDLE	0	R/W	受信左チャンネルデータイネーブル 0 : 左チャンネルデータの受信を許可しない 1 : 左チャンネルデータの受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	RDLA[3:0]	0000	R/W	受信左チャンネルデータアサイン 3~0 受信フレームにおける左チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111 : 設定禁止 • 左チャンネルデータの受信データは SIRDLR の SIRDLR ビットに格納されます。
7	RDRE	0	R/W	受信右チャンネルデータイネーブル 0 : 右チャンネルデータの受信を許可しない 1 : 右チャンネルデータの受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	RDRA[3:0]	0000	R/W	受信右チャンネルデータアサイン 3~0 受信フレームにおける右チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111 : 設定禁止 • 右チャンネルデータの受信データは SIRDR の SIRDR ビットに格納されます。

29.3.13 制御データアサインレジスタ (SICDAR)

SICDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の制御データ位置を設定します。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD0E	-	-	-	CD0A[3:0]				CD1E	-	-	-	CD1A[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CD0E	0	R/W	制御 0 チャンネルデータイネーブル 0 : 制御 0 チャンネルデータの送受信を許可しない 1 : 制御 0 チャンネルデータの送受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	CD0A[3:0]	0000	R/W	制御 0 チャンネルデータアサイン 3~0 送受信フレームにおける制御 0 チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111 : 設定禁止 • 制御 0 チャンネルデータの送信データは SITCR の SITD0 ビットに設定します。 • 制御 0 チャンネルデータの受信データは SIRCR の SIRDO ビットに格納されます。
7	CD1E	0	R/W	制御 1 チャンネルデータイネーブル 0 : 制御 1 チャンネルデータの送受信を許可しない 1 : 制御 1 チャンネルデータの送受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CD1A[3:0]	0000	R/W	制御 1 チャンネルデータアサイン 3~0 送受信フレームにおける制御 1 チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111 : 設定禁止 • 制御 1 チャンネルデータの送信データは SITCR の SITD1 ビットに設定します。 • 制御 1 チャンネルデータの受信データは SIRCR の SIRDO1 ビットに格納されます。

29.4 動作説明

29.4.1 シリアルクロック

(1) マスタ/スレーブ

SIOF のクロックモードとして下記の 2 モードがあります。

- スレーブモード : SIOF_SCK、SIOF_SYNC は入力
- マスタモード : SIOF_SCK、SIOF_SYNC は出力

(2) ポーレートジェネレータ

SIOF マスタ時には、ポーレートジェネレータを用いてシリアルクロックを生成します。ポーレートジェネレータは、SISCR の BRPS[4:0] ビットで 1 ~ 1/32 の 32 通りの分周比を選択可能なプリスケラと、SISCR の BRDV[2:0] ビットで 1、1/2、1/4、1/8、1/16、1/32 の 6 通りの分周比を選択可能な分周器で構成しています。ポーレートジェネレータの分周比は、プリスケラの分周比と分周器の分周比を乗じた 1/1 ~ 1/1024 になります。

ただし、ポーレートジェネレータでマスタクロックを分周しない (分周比が 1/1) 場合、SISCR の MSIMM ビットに 1 をセットしてマスタクロックをそのままシリアルクロックとして使用してください。

図 29.2 にシリアルクロック供給系統図を示します。

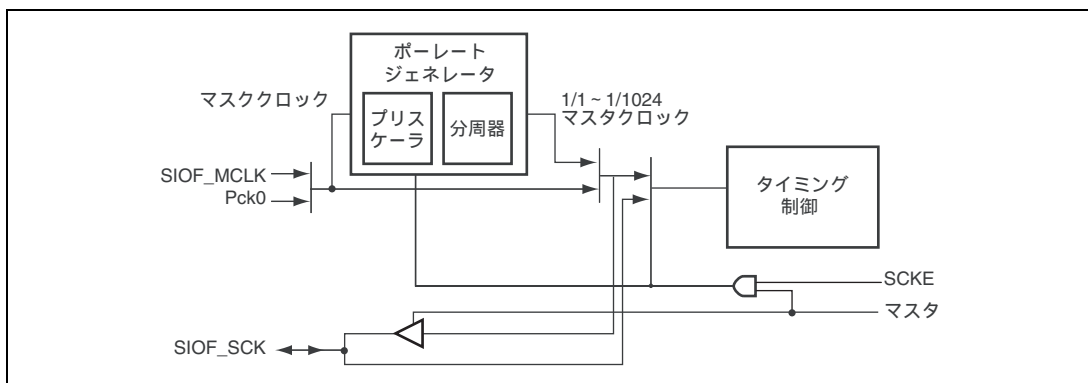


図 29.2 シリアルクロック供給

また、表 29.5 にシリアルクロック周波数の例を示します。

表 29.5 SIOF シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.2896MHz	12.288MHz

29.4.2 シリアルタイミング

(1) SIOF_SYNC

SIOF_SYNC はフレーム同期信号です。転送モードによって下記の 2 通りの機能を持ちます。

- 同期パルス：フレーム先頭を表す1ビット幅のパルス
- L/R : ステレオデータの左チャンネル (L) をハイレベル、右チャンネル (R) をローレベルで表す1/2フレーム幅のパルス

図 29.3 に SIOF_SYNC による同期タイミングを示します。

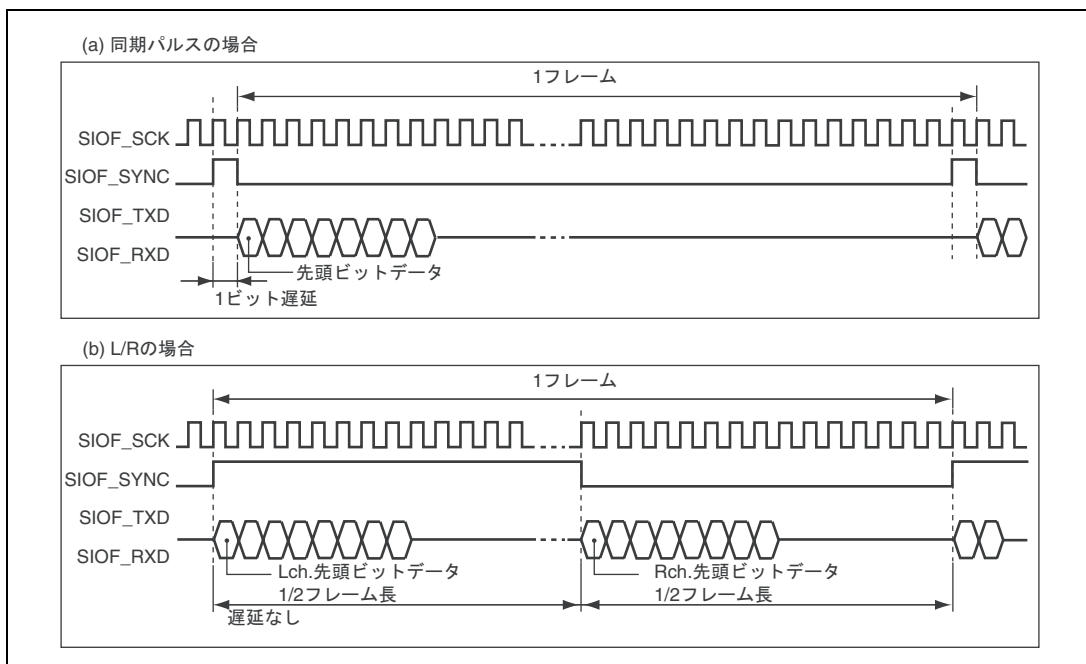


図 29.3 シリアルデータ同期タイミング

(2) 送受信タイミング

SIOF_SCK に対する SIOF_TXD の送信タイミングおよび SIOF_RXD の受信タイミングは、サンプリングタイミングとして下記の 2 通りの設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットで行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 29.4 に送受信タイミングを示します。

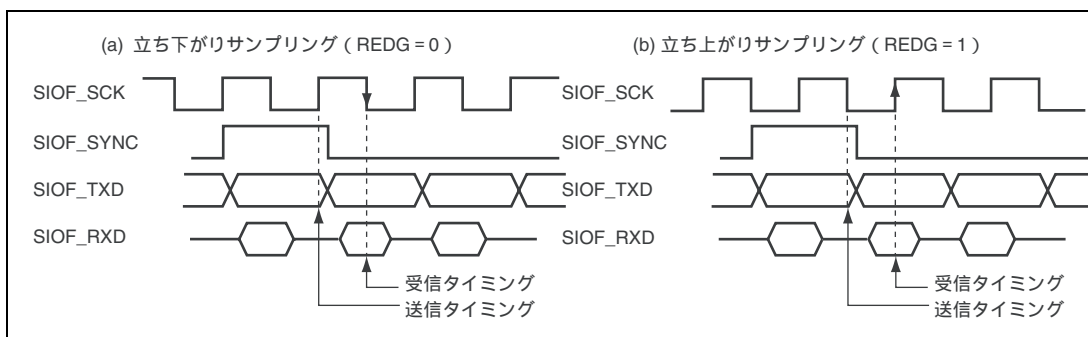


図 29.4 SIOF 送受信タイミング

29.4.3 転送データフォーマット

SIOF は、下記の転送を行います。

- 送受信データ 8ビット / 16ビット / 16ビットステレオの転送データ
- 制御データ 16ビット長 (専用レジスタを用いてインタフェースを行います)

(1) 転送モード

SIOF は、転送モードとして表 29.6 に示すように 4 通りのモードを持っています。転送モードの設定は SIMDR の TRMD[1:0] ビットで行います。

表 29.6 シリアル転送モード

TRMD[1:0]	転送モード	SIOF_SYNC	ビット遅延	制御データ方式*
00	スレープモード 1	同期パルス	SYNCDL ビット	スロット位置
01	スレープモード 2	同期パルス		セカンダリ FS
10	マスタモード 1	同期パルス		スロット位置
11	マスタモード 2	L/R	なし	非対応

【注】 * 制御データ方式については、FL[3:0]に B'1xxx を設定した場合に有効となります。(x : Don't care)

(2) フレーム長

SIOF が転送を行うフレームの長さは SIMDR の FL[3:0]ビットに対して設定を行います。表 29.7 に設定値とフレーム長の関係を示します。

表 29.7 フレーム長

FL3 - FL0	スロット長	1 フレーム当たりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラル / ステレオ
1101	16	64	16 ビットモノラル / ステレオ
1110	16	128	16 ビットモノラル / ステレオ
1111	16	256	16 ビットモノラル / ステレオ

【注】 x : Don't care

(3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、制御データ (送受信共通) の位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記のレジスタに対して行います。

- 送信データ : SITDAR
- 受信データ : SIRDAR
- 制御データ : SICDAR

制御データは、データ長 16 ビットのときのみ有効となります。また、制御データは送信と受信で必ず同じスロットに割り当てられます。

29.4.4 転送データのレジスタ割り付け

(1) 送受信データ

送受信データの書き込み / 読み出しは下記のレジスタに対して行います。

- 送信データ書き込み : SITDR (32ビットアクセス)
- 受信データ読み出し : SIRDR (32ビットアクセス)

図 29.5 に送受信データと SITDR、SIRDR のビットアライメントを示します。

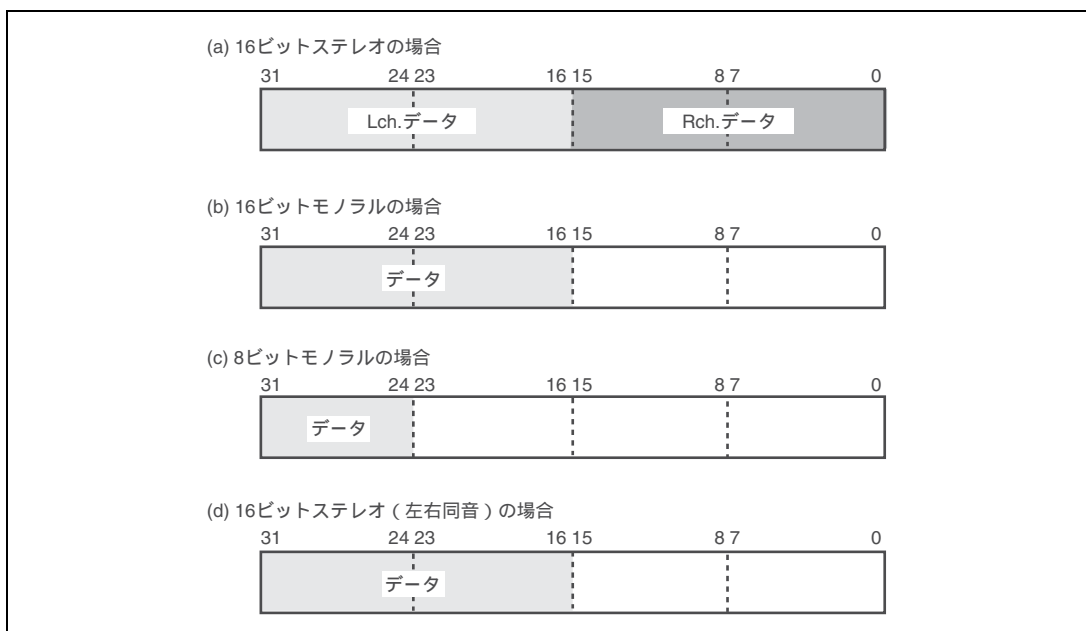


図 29.5 送受信データビットアライメント

【注】 ハッチングの部分だけが有効なデータとして送受信されます。このため、8ビットデータ時にはバイト転送、16ビットデータ時にはワード転送でアクセスを行う必要があります。ハッチングが掛かっていない領域のデータは送受信の対象となりません。

送信データのモノラル / ステレオの設定は、SITDAR の TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル / ステレオの設定は、SIRDAR の RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR の TLREP ビットに設定を行います。表 29.8 に送信データにおける音声モードの設定を、表 29.9 に受信データにおける音声モードの設定を示します。

表 29.8 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 29.9 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

8ビットモノラルで送受信を行う場合には、左チャンネル側を使用してください。

(2) 制御データ

制御データの書き込み / 読み出しは下記のレジスタに対して行います。

- 送信制御データ書き込み : SITCR (32ビットアクセス)
- 受信制御データ読み出し : SIRCR (32ビットアクセス)

図 29.6 に送受信制御データと SITCR、SIRCR のビットアライメントを示します。

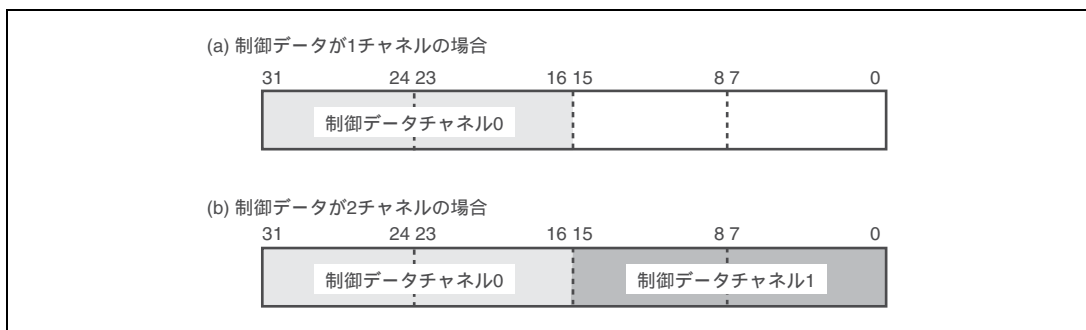


図 29.6 制御データビットアライメント

制御データのチャンネル数の設定は、SICDAR の CD0E ビットおよび CD1E ビットに対して行います。

表 29.10 に制御データにおけるチャンネル数の設定を示します。

表 29.10 制御データのチャンネル数設定

チャンネル数 \ ビット	CD0E	CD1E
1	1	0
2	1	1

【注】 制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

29.4.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記 2 方式に対応します。

- スロット位置による制御
- セカンダリFSによる制御

制御データは、データ長として 16 ビットを選択した場合に有効となります。

(1) スロット位置による制御 (マスタモード 1、スレープモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。SIOF マスタ、スレープのどちらでも使用可能です。図 29.7 にスロット位置による制御データインタフェースのタイミング例を示します。

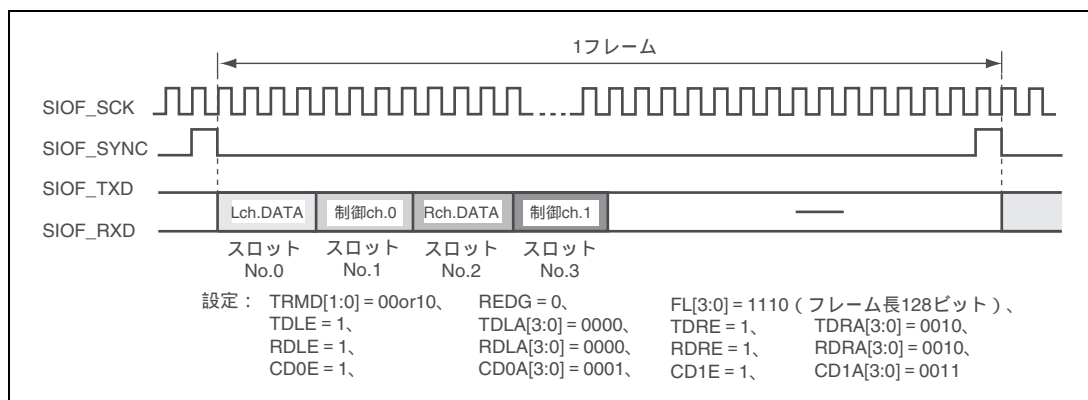


図 29.7 制御データインタフェース (スロット位置)

(2) セカンダリ FS による制御 (スレーブモード 2)

SIOF_SYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレーブのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に示します。

- 通常の送信データは LSB = 0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には LSB = 1 の送信データ送出 (SITCR への書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCR 設定データ) の送信および受信 (SIRCR へ格納) を行う

図 29.8 にセカンダリ FS による制御データインタフェースのタイミング例を示します。

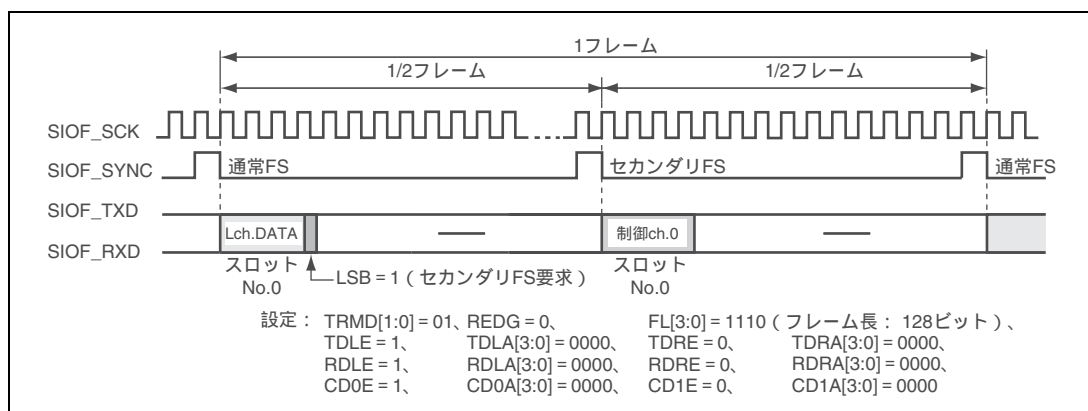


図 29.8 制御データインタフェース (セカンダリ FS)

29.4.6 FIFO

(1) 概要

SIOF 送受信 FIFO の特長を以下に示します。

- 送受信それぞれ 32 ビット × 16 段の容量
- CPU、DMAC のアクセスサイズにかかわらず、1 回の読み出し / 書き込みサイクルでポインタは更新されます。
(1 段のアクセスを複数回に分割することは不可能です。)

(2) 転送要求

FIFO の送信要求は、以下に記す割り込み要因として CPU および DMAC に出力することが可能です。

- 送信要求：TDREQ (送信用割り込み要因)
- 受信要求：RDREQ (受信用割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ個別に設定が可能です。送信要求の条件は SIFCTR の TFWM[2:0]ビットに、受信 FIFO の転送要求は RFWM[2:0]ビットに設定します。表 29.11 に送信要求発行条件を、表 29.12 に受信要求発行条件を示します。

表 29.11 送信要求発行条件

TFWM[2:0]	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 29.12 受信要求発行条件

RFWM[2:0]	リクエスト段数	受信要求発行	使用領域
000	1	有効データが 1 段以上	小 ↑ ↓ 大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

データ領域もしくは空き領域が上記の段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがって、オーバフローもしくはアンダフローエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されます。

また、転送要求は FIFO が空もしくは満杯にならなくても、上記の条件を満たさなくなった時点で解除します。

(3) 段数表示

送受信 FIFO の使用状況を、下記の内容でレジスタに表示します。

- 送信FIFO：SIFCTRのTFUA[4:0]ビットに空き領域の段数を表示
- 受信FIFO：SIFCTRのRFUA[4:0]ビットに有効データの段数を表示

上記の内容は、CPU もしくは DMAC が転送可能なデータ数を表します。

29.4.7 送受信手順

(1) マスタモード送信

図 29.9 にマスタモード時の送信の設定例および動作を示します。

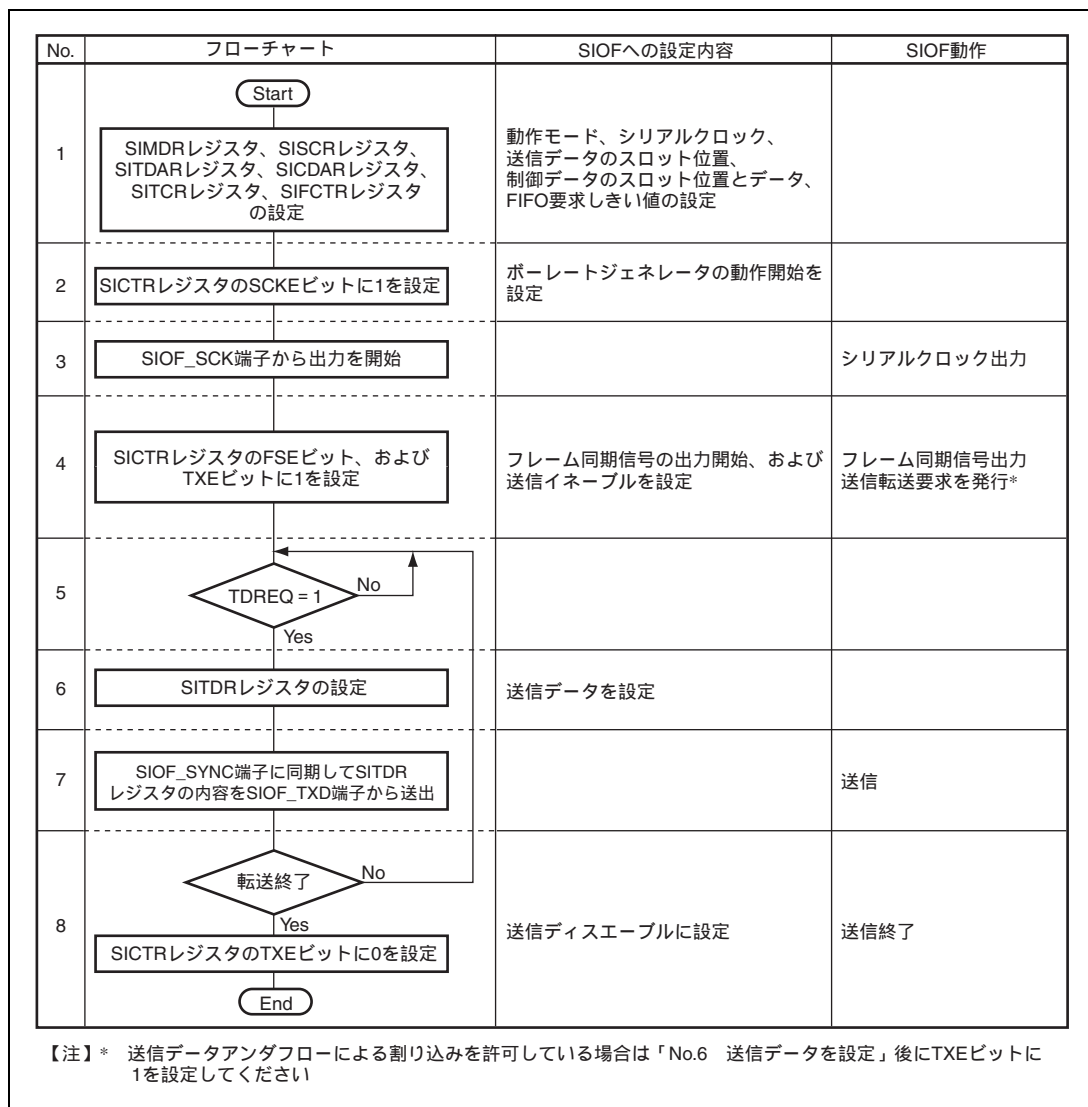


図 29.9 マスタモードの送信動作例

(2) マスタモード受信

図 29.10 にマスタモードの受信の設定例および動作を示します。

No.	フローチャート	SIOFへの設定内容	SIOF動作
1		動作モード、シリアルクロック、受信データのスロット位置、制御データのスロット位置とデータ、FIFO要求しきい値の設定	
2		ポーレートジェネレータの動作開始を設定	
3			シリアルクロック出力
4		フレーム同期信号の出力開始、および受信イネーブルを設定	フレーム同期信号出力
5			受信FIFOしきい値に従い受信転送要求を発行
6			受信
7		受信データの読み出し	
8		受信ディセーブルに設定	受信終了

図 29.10 マスタモードの受信動作例

(3) スレーブモード送信

図 29.11 にスレーブモードの送信の設定例および動作を示します。

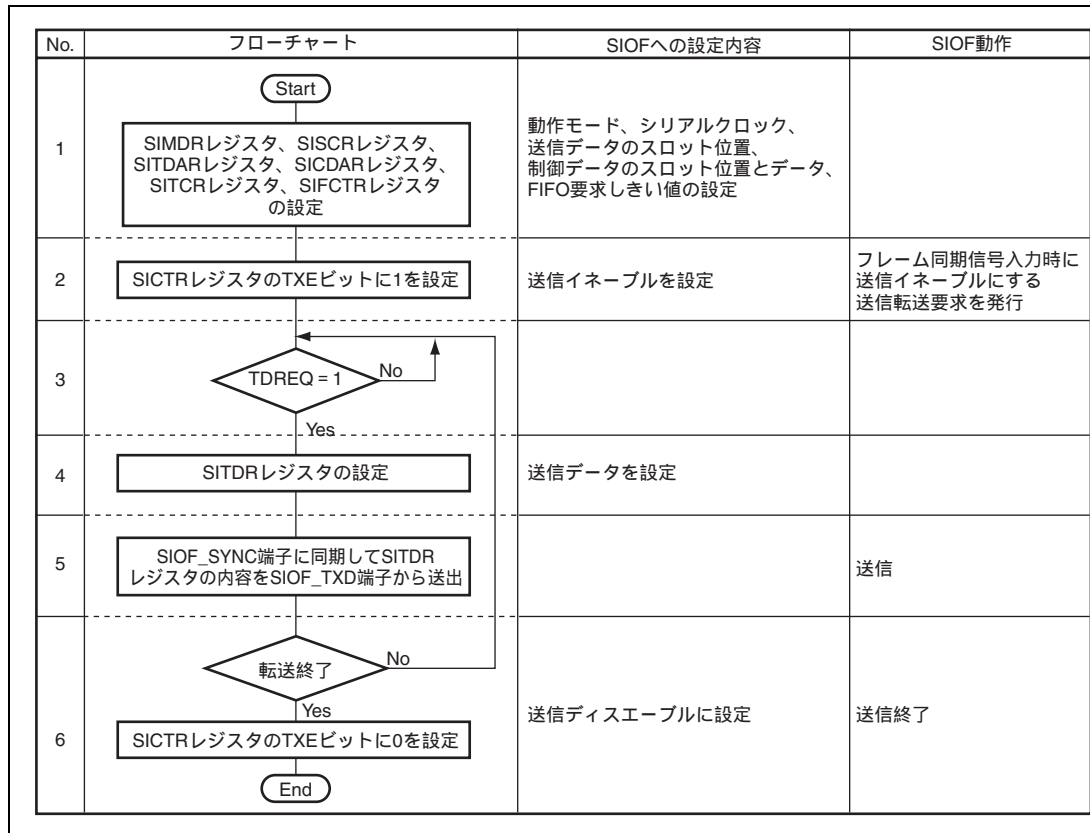


図 29.11 スレーブモードの送信動作例

(4) スレーブモード受信

図 29.12 にスレーブモードの受信の設定例および動作を示します。

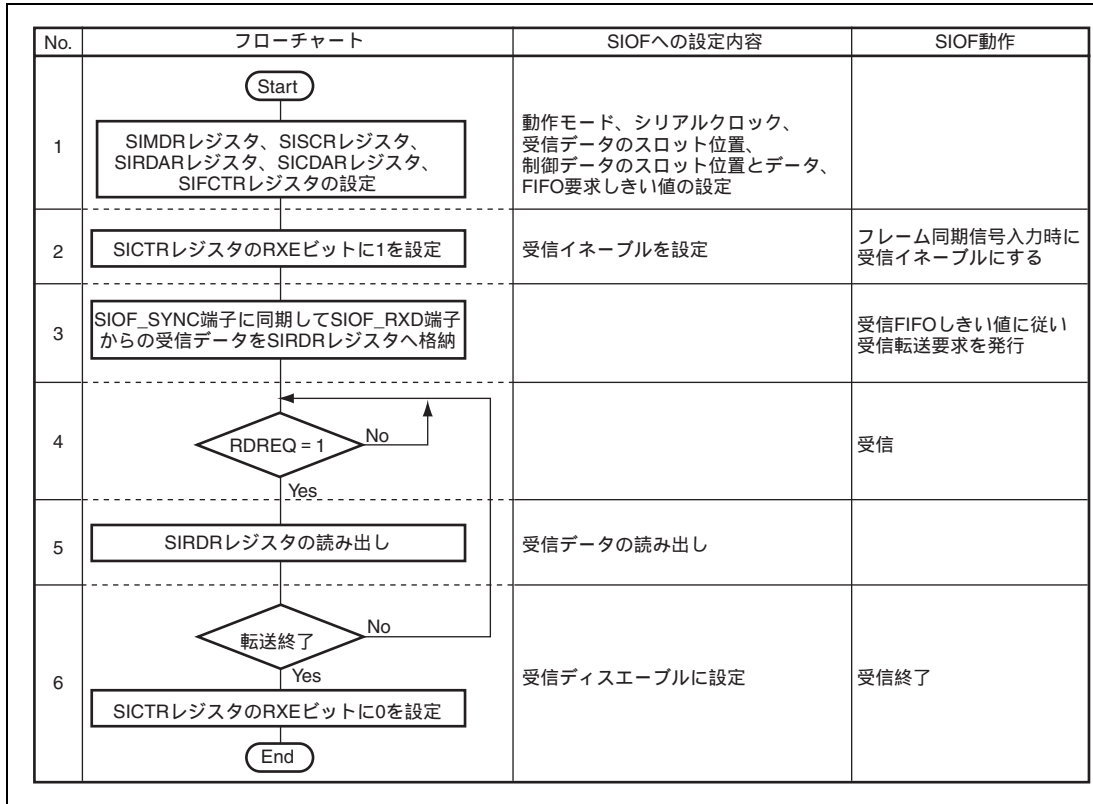


図 29.12 スレーブモードの受信動作例

(5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SICTRのTXRSTビット)
- 受信リセット：(SICTRのRXRSTビット)

表 29.13 に送受信リセットで初期化される内容を示します。

表 29.13 送受信リセット

種類	初期化対象
送信リセット	SIOF_TXD 端子からの送信を停止 (ハイレベルを出力) 送信 FIFO ライトポインタ SISTR の TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	SIOF_RXD 端子からの受信を停止 受信 FIFO ライトポインタ SISTR の RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR の RXE ビット

29.4.8 割り込み

SIOF は、1 種類の割り込みを持っています。

(1) 割り込み要因

割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR に SIOF ステータスとして表示します。表 29.14 に SIOF 割り込み要因一覧を示します。

表 29.14 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送要求	送信 FIFO の空き領域が設定値以上になった
2		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
3	受信	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
5	制御	TCRDY	送信制御データレディ	送信制御レジスタに書き込みが可能である
6		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
7	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空時にシリアルデータ送出タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空時に受信 FIFO 読み出しを行った
11		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレーブ時)
12		SAERR	アサインエラー	シリアルデータ、制御データのスロット設定が重複している

割り込み要因によって割り込みを発行するか否かは、SIER への設定によって決定します。SIER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF 割り込みを発行します。

(2) 送受信区分について

送信区分の要因、受信区分の要因は状態を表すビットであり、いったんセットされてもその後状態が変化すると SIOF が自動的にクリアします。

ただし、DMA 転送を用いた場合には、DMA 転送による FIFO アクセスを実行した時点で、FIFO 転送要求は必ず 1 サイクル期間 0 にクリアします。

(3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、SIOF は下記の動作を行います。

- 送信FIFOアンダフロー (TFUDF)

直前の送信データを再び送出します。

- 送信FIFOオーバーフロー (TFOVF)

送信FIFOの内容は保護され、オーバーフローとなった書き込みは無視します。

- 受信FIFOオーバーフロー (RFOVF)

オーバーフローとなったデータが廃棄され、消失します。

- 受信FIFOアンダフロー (RFUDF)

不定値がバス上に出力されます。

- FSエラー (FSERR)

エラーとなった同期信号に従って、内部カウンタはリセットされます。

- アサインエラー (SAERR)

送受信データと制御データが重複した場合には、送受信データが優先されます。

制御データ同士が重複した場合には、送受信データは保証されません。

29.4.9 送受信タイミング

SIOF のシリアル送受信の例を図 29.13 ~ 図 29.19 に示します。

(1) 8 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

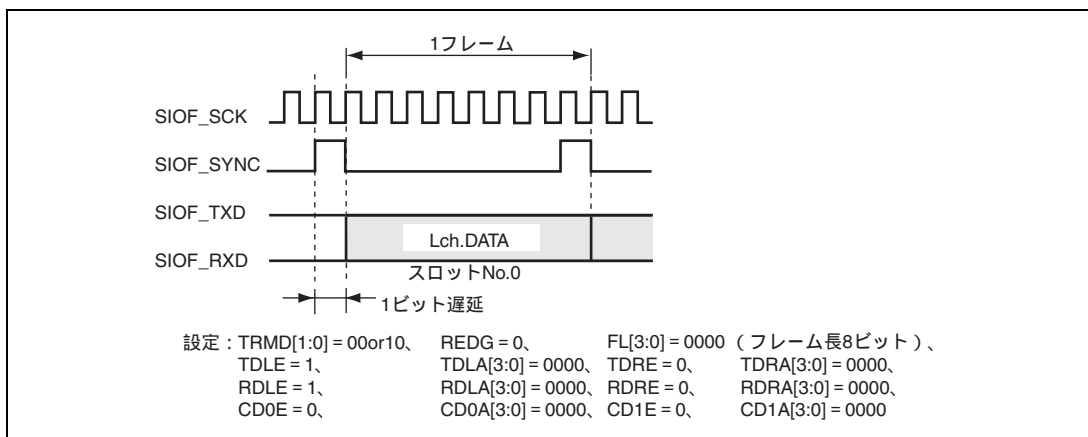


図 29.13 送受信タイミング (8 ビットモノラル - 1)

(2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

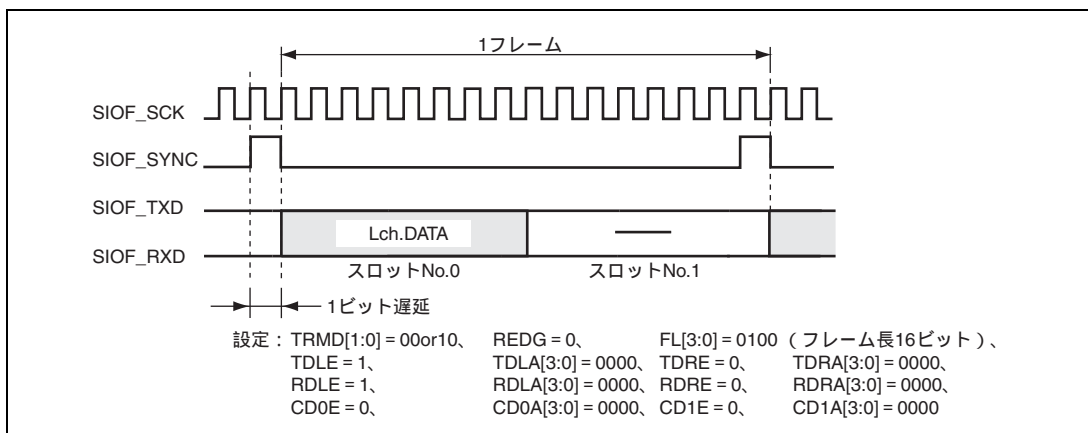


図 29.14 送受信タイミング (8 ビットモノラル - 2)

(3) 16ビットモノラルの場合

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

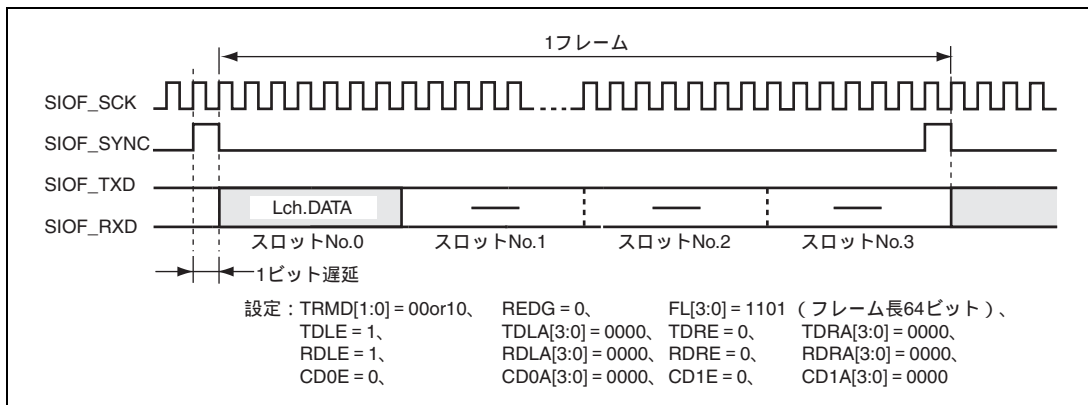


図 29.15 送受信タイミング (16 ビットモノラル)

(4) 16ビットステレオの場合 (その1)

L/R 方式、立ち上がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、フレーム長は 32 ビット

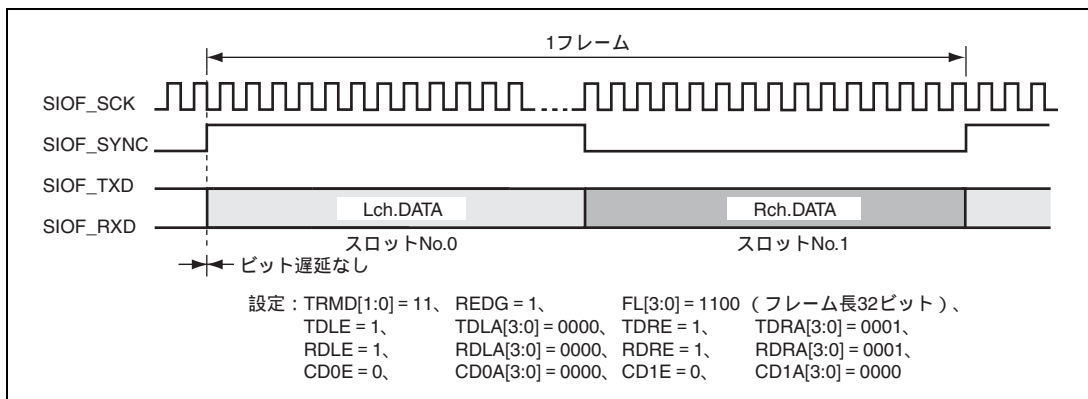


図 29.16 送受信タイミング (16 ビットステレオ - 1)

(5) 16ビットステレオの場合 (その2)

L/R方式、立ち上がりサンプリング、Lチャンネル送信データはスロット No.0、Lチャンネル受信データはスロット No.1、Rチャンネル送信データはスロット No.2、Rチャンネル受信データはスロット No.3、フレーム長は64ビット

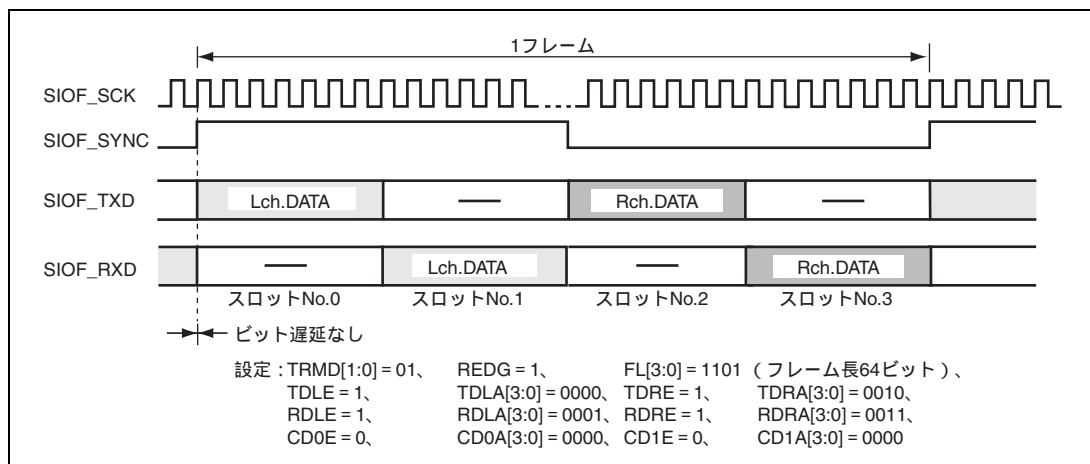


図 29.17 送受信タイミング (16ビットステレオ - 2)

(6) 16ビットステレオの場合 (その3)

同期パルス方式、立ち下がりサンプリング、Lチャンネルデータはスロット No.0、Rチャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は128ビット

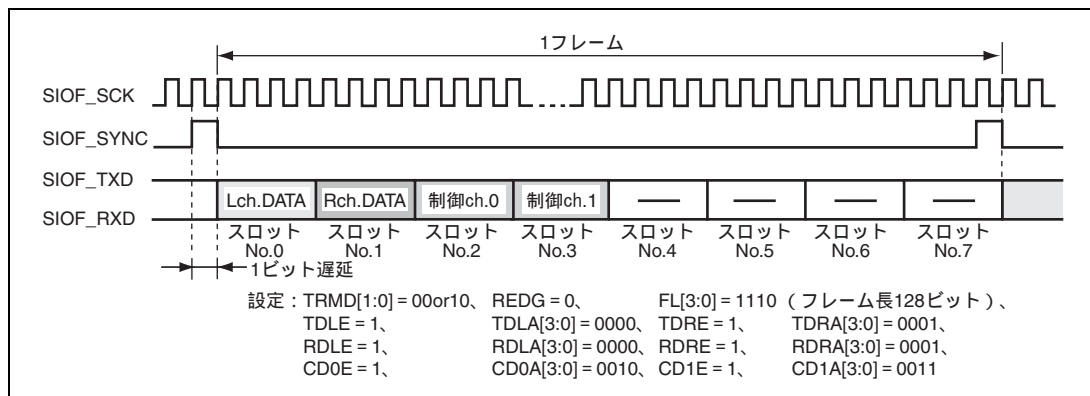


図 29.18 送受信タイミング (16ビットステレオ - 3)

(7) 16 ビットステレオの場合 (その 4)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.2、制御チャンネルデータ 0 はスロット No.1、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

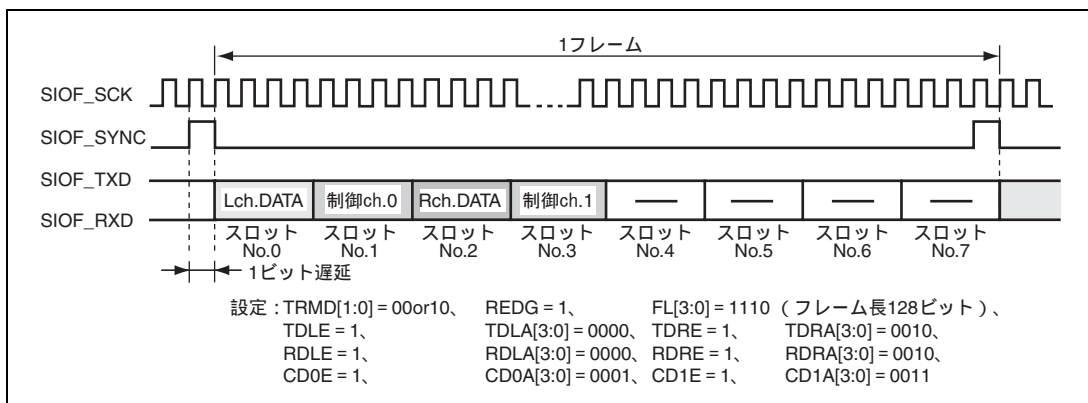


図 29.19 送受信タイミング (16 ビットステレオ - 4)

(8) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCCAT ビットが 1 のとき)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

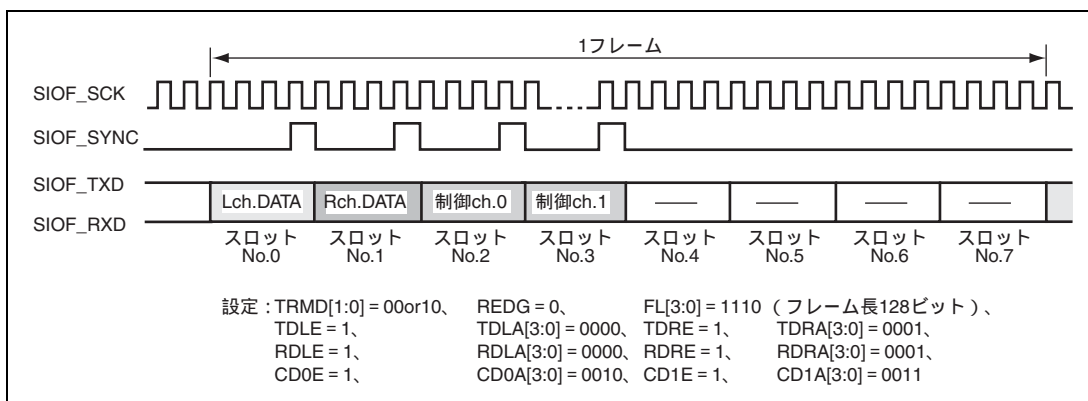


図 29.20 送受信タイミング (16 ビットステレオ)

29.5 使用上の注意事項

29.5.1 SIOF スレーブ受信時の注意事項

SIOF スレーブモード受信時、ビット遅延無し (SIMDR.SYNCDL = 0) に設定した場合、受信データのサンプリングが、SIOF_SCK の立ち上がりエッジで行われるため、受信データのホールド時間が確保できなくなる場合があります。

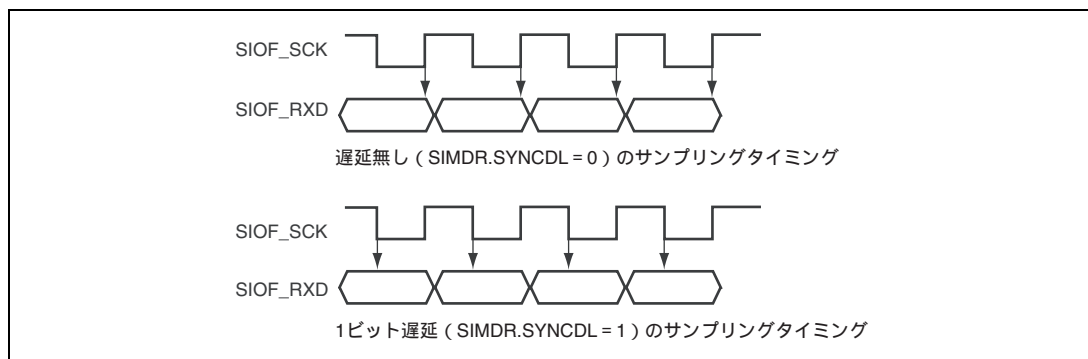


図 29.21 SIOF スレーブモード受信データサンプリングタイミング

【回避策】

スレーブモード受信時も送信時同様、1ビット遅延 (SIMDR.SYNCDL = 1) に設定してください。この場合、受信データは、SIOF_SCK の立ち下がりエッジでサンプリングされます。

29.5.2 SIOF マスタモード 2 使用上の注意事項

SIOF をマスタモード 2 で使用する場合、リセット後 SICTR.FSE=1 として転送を開始すると初回 L/R 信号 (SIOF_SYNC) のアサートが常に 1 クロック早く開始されます (図 29.22)。また、転送中に SICTR.FSE=0 として転送を中断し、再び SICTR.FSE=1 として転送を再開した場合、初回 L/R 信号 (SIOF_SYNC) のアサートが 1 クロック遅れて開始される場合があります (図 29.23)。いずれの場合も、初回の受信フレームの 1 スロットで不正なデータを受信する可能性があります。

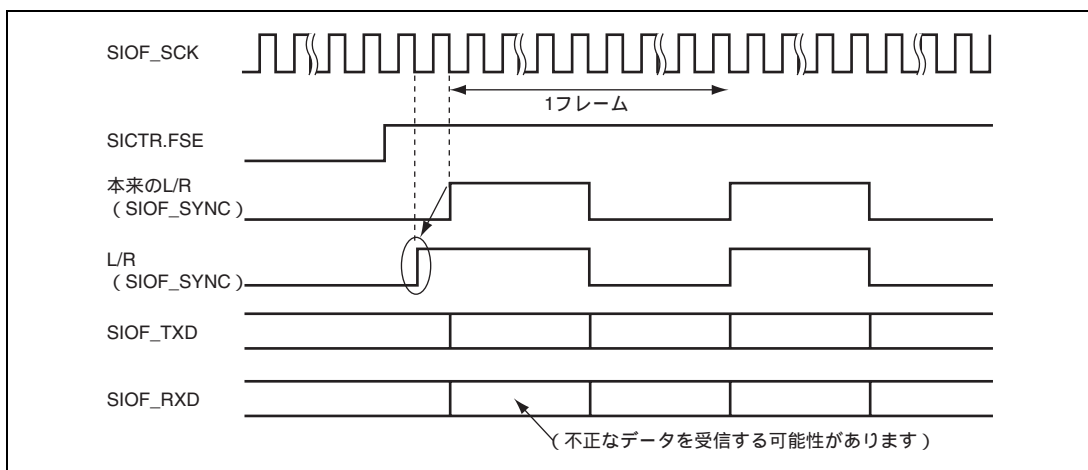


図 29.22 マスタモード 2 SIOF_SYNC 出力タイミング (転送開始後)

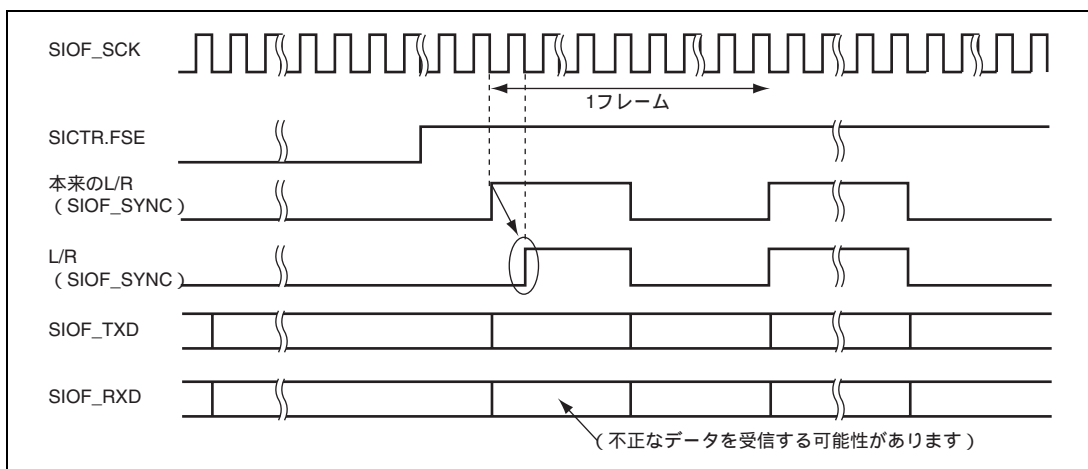


図 29.23 マスタモード 2 SIOF_SYNC 出力タイミング (転送再開後)

【回避方法】

1. L/R信号のアサートが1クロック早くなる場合

SIOFでの回避方法はありません。本現象がシステム上問題となる場合は、初回データを無効にする等、ユーザシステムでの対策をお願いします。

ユーザシステムでの対策が不可能な場合、SIOFの代わりにSSIをご使用ください。

2. L/R信号のアサートが1クロック遅れる場合

転送中はSICTR.FSE = 0により中断させないでください。転送を中断させる場合は、SICTR.TXE、SICTR.RXEを0にクリアしてください。

30. SIM カードモジュール (SIM)

スマートカードインタフェースは、ISO/IEC7816-3 (Identification Card) に対応した IC カード (スマートカード) インタフェースをサポートしています。

30.1 特長

- 通信機能
 - 調歩式半二重伝送
 - プロトコル形式T=0モードとT=1モードの選択可能
 - データ長：8ビット
 - パリティビットの生成およびチェック
 - キャラクタ保護追加時間を選択可能
 - 1etu当たりの出力クロック数を選択可能
 - T=0モードで受信モードにおけるエラーシグナル (パリティエラー) の送出
 - T=0モードで送信モードにおけるエラーシグナルの検出とキャラクタの自動再送信
 - T=1モードで最小キャラクタ間隔11etu (N=255) 選択可能 (etu: Elementary Time Unit)
 - ダイレクトコンベンション/インバースコンベンションの選択可能
 - 出力クロックをハイまたはローの状態に固定可能
- 内蔵ボーレートジェネレータによる任意のビットレートの選択可能
- 4種類の割り込み要因
 - 送信データエンプティ、受信データフル、送受信エラー、送信完了
- DMA転送
 - 送信データエンプティDMA転送要求と受信データフルDMA転送要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- T=0モードで作業待ち時間、T=1モードでキャラクタ待ち時間を観測可能

スマートカードインタフェースのブロック図を図 30.1 に示します。

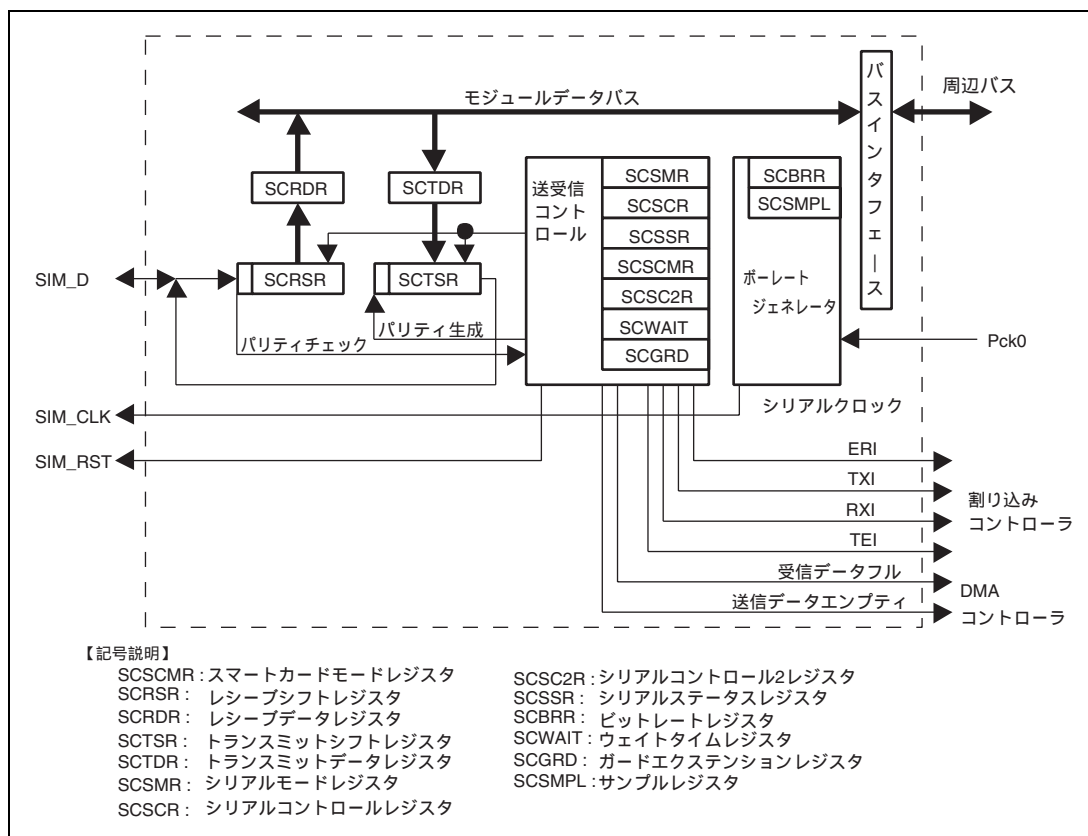


図 30.1 スマートカードインタフェース

30.2 入出力端子

スマートカードインタフェースの端子構成を表 30.1 に示します。

表 30.1 端子構成

名 称	略称	入出力	機 能
トランスミット/レシーブデータ	SIM_D*	入出力	送受信データ入出力
クロック出力	SIM_CLK	出力	クロック出力
スマートカードリセット	SIM_RST	出力	スマートカードリセット出力

【注】 * 送信および受信動作を説明するために、送信データ側を TXD と、受信データ側を RXD と記載します。

30.3 レジスタの説明

SIM カードモジュールのレジスタ構成を表 30.2 に示します。また、各処理モードにおけるレジスタの状態を表 30.3 に示します。

表 30.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR	R/W	H'FFE9 0000	H'1FE9 0000	8
ビットレートレジスタ	SCBRR	R/W	H'FFE9 0002	H'1FE9 0002	8
シリアルコントロールレジスタ	SCSCR	R/W	H'FFE9 0004	H'1FE9 0004	8
トランスミットシフトレジスタ	SCTSR	-	-	-	-
トランスミットデータレジスタ	SCTDR	R/W	H'FFE9 0006	H'1FE9 0006	8
シリアルステータスレジスタ	SCSSR	R/W	H'FFE9 0008	H'1FE9 0008	8
レシーブシフトレジスタ	SCRSR	-	-	-	-
レシーブデータレジスタ	SCRDR	R	H'FFE9 000A	H'1FE9 000A	8
スマートカードモードレジスタ	SCSCMR	R/W	H'FFE9 000C	H'1FE9 000C	8
シリアルコントロール 2 レジスタ	SCSC2R	R/W	H'FFE9 000E	H'1FE9 000E	8
ウェイトタイムレジスタ	SCWAIT	R/W	H'FFE9 0010	H'1FE9 0010	16
ガードエクステンションレジスタ	SCGRD	R	H'FFE9 0012	H'1FE9 0012	8
サンプルレジスタ	SCSMPL	R/W	H'FFE9 0014	H'1FE9 0014	16

表 30.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
シリアルモードレジスタ	SCSMR	H'20	H'20	保持	保持
ビットレートレジスタ	SCBRR	H'07	H'07	保持	保持
シリアルコントロールレジスタ	SCSCR	H'00	H'00	保持	保持
トランスミットシフトレジスタ	SCTSR	-	-	-	-
トランスミットデータレジスタ	SCTDR	H'FF	H'FF	保持	保持
シリアルステータスレジスタ	SCSSR	H'84	H'84	保持	保持
レシーブシフトレジスタ	SCRSR	-	-	-	-
レシーブデータレジスタ	SCRDR	H'00	H'00	保持	保持
スマートカードモードレジスタ	SCSCMR	H'01	H'01	保持	保持
シリアルコントロール 2 レジスタ	SCSC2R	H'00	H'00	保持	保持
ウェイトタイムレジスタ	SCWAIT	H'0000	H'0000	保持	保持
ガードエクステンションレジスタ	SCGRD	H'00	H'00	保持	保持
サンプルレジスタ	SCSMPL	H'0173	H'0173	保持	保持

30.3.1 シリアルモードレジスタ (SCSMR)

SCSMR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの通信フォーマットの設定を選択します。

ビット:	7	6	5	4	3	2	1	0
	-	-	PE	O/Ē	-	-	-	-
初期値:	0	0	1	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PE	1	R	パリティイネーブル 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	O/Ē	0	R/W	パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。 0 : 偶数パリティ* ¹ 1 : 奇数パリティ* ² 【注】* ¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 * ² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.3.2 ビットレートレジスタ (SCBRR)

SCBRR は、読み出し / 書き込み可能な 8 ビットのレジスタで、送信 / 受信のビットレートを設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	BRR[2:0]		
初期値:	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRR[2:0]	すべて 1	R/W	送信 / 受信のビットレート 2~0 を設定します。

SCBRR の設定値は以下の計算式で求められます。

$$\text{sck_frequency} = \frac{\text{Pck0}}{2(\text{BRR} + 1)}$$

Pck0 = 周辺クロック 0 周波数と sck_frequency の単位は MHz です。

30.3.3 シリアルコントロールレジスタ (SCSCR)

SCSCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	WAIT- IE	TEIE	CKE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>0 : 送信データエンプティ割り込み (TXI) 要求を禁止*</p> <p>1 : 送信データエンプティ割り込み (TXI) 要求を許可</p> <p>【注】* TXI の解除は、TDRE フラグをクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、およびパリティエラー、オーバランエラー、エラーシグナルステータスによる送受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>0 : 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を禁止*^{1,2}</p> <p>1 : 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を許可*²</p> <p>【注】*1 RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または PER、ORER、ERS フラグをクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>*2 ウェイトエラーによる割り込み (ERI) 要求の許可 / 禁止は、SCSCR の WAIT_IE ビットで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作を許可 / 禁止します。</p> <p>0 : 送信動作を禁止*¹</p> <p>1 : 送信動作を許可*^{2,3}</p> <p>【注】*1 SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*2 この状態で、SCTDR に送信データを書き込むと、送信動作が開始します。なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、スマートカードモードレジスタ (SCSCMR) の設定を行い、送信フォーマットを決定してください。</p> <p>*3 TE ビットを 0 にクリアしても ERS フラグは影響を受けず、状態を保持しますので注意してください。</p>

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	レシーブイネーブル シリアル受信動作を許可 / 禁止します。 0 : 受信動作を禁止* ¹ 1 : 受信動作を許可* ² 【注】*1 RE ビットを 0 にクリアしても RDRF、PER、ERS、ORER、WAIT_ER の各フラグは影響を受けず、状態を保持しますので注意してください。 *2 この状態でスタートビットを検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCSSMR、SCSCMR の設定を行い、受信フォーマットを決定してください。
3	WAIT_IE	0	R/W	ウェイトイネーブル ウェイトエラーによる割り込み要求を許可 / 禁止します。 0 : ウェイトエラーによる割り込み (ERI) 要求を禁止 1 : ウェイトエラーによる割り込み (ERI) 要求を許可
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 送信が終了して TEND フラグが 1 にセットされたときの、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。 0 : 送信終了割り込み (TEI) 要求を禁止* 1 : 送信終了割り込み (TEI) 要求を許可* 【注】* TEI の解除は、SCSSR の TDRE フラグの 1 を読み出した後、SCTDR に送信データを書き込んで TEND ビットをクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1、0	CKE[1:0]	すべて 0	R/W	クロックイネーブル 1、0 スマートカードインタフェースのクロックソースの選択、および SIM_CLK 端子からのクロック出力の許可 / 禁止を設定します。 00 : 出力端子としてローレベル出力固定 01 : 出力端子としてクロック出力 10 : 出力端子としてハイレベル出力固定 11 : 出力端子としてクロック出力

30.3.4 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのシフトレジスタです。

スマートカードインタフェースは、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、LSB または MSB から順に SIM_TXD 端子に送り出すことでシリアルデータ送信を行います。

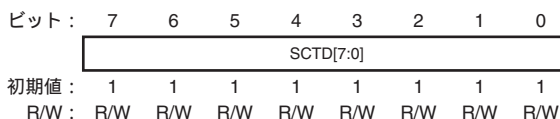
1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送を行いません。

CPU や DMAC から、直接 SCTSR の読み出し / 書き込みをすることはできません。

30.3.5 トランスミットデータレジスタ (SCTDR)

SCTDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアル送信するデータを格納します。

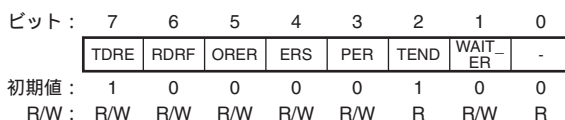
スマートカードインタフェースは、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。



ビット	ビット名	初期値	R/W	説明
7~0	SCTD[7:0]	すべて 1	R/W	トランスミットデータ シリアル送信するデータを格納

30.3.6 シリアルステータスレジスタ (SCSSR)

SCSSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの動作状態を示します。



ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/W	トランスミットデータレジスタエンブティ トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0: SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) CCSCR の TE ビットが 1 のときに SCTDR へデータを書き込んだとき (2) TDRE に 0 を書き込んだとき 1: SCTDR に有効な送信データがないことを表示 [セット条件] (1) リセット時 (2) SCSCR の TE ビットが 0 のとき (3) SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。</p> <p>0 : SCRDR に有効な受信データが格納されていないことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) SCRDR のデータを読み出したとき</p> <p>(3) RDRF に 0 を書き込んだとき</p> <p>1 : SCRDR に有効な受信データが格納されていることを表示</p> <p>[セット条件]</p> <p>シリアル受信が正常終了し、SCRSR から SCRDR へ受信データが転送されたとき</p> <p>【注】 T=0 モードでは、受信時パリティエラーを検出したとき、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。</p> <p>一方、T=1 モードでは、受信時パリティエラーを検出したとき受信データが SCRDR に転送され RDRF フラグは 1 にセットされます。</p> <p>なお、T=0 と T1 の両モードともに、シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしても、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。</p>
5	ORER	0	R/W	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0 : 受信中、または正常に受信を完了したことを表示^{*1}</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) ORER に 0 を書き込んだとき</p> <p>1 : 受信時にオーバランエラーが発生したことを表示^{*2}</p> <p>[セット条件]</p> <p>RDRF = 1 の状態で次のシリアル受信を完了したとき</p> <p>【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCRDR ではオーバランエラーが発生する前の受信データが失われ、オーバランエラー発生時に受信したデータを保持します。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/W	<p>エラーシグナルステータス</p> <p>このフラグは送信時に受信側から送り返されるエラーシグナルのステータスを示します。T=1 モードのときはセットされません。</p> <p>0: 受信側からパリティエラーの検出を示すエラーシグナルが送出されなかったことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) ERS に 0 を書き込んだとき</p> <p>1: 受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示</p> <p>[セット条件]</p> <p>エラーシグナルをサンプリングしたとき</p> <p>【注】 SCSCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/W	<p>パリティエラー</p> <p>受信時にパリティエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) PER に 0 を書き込んだとき</p> <p>1: 受信時にパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <p>受信時の受信データとパリティビットを合わせた論理 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき</p> <p>【注】*¹ SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*² T=0 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送されず、RDRF フラグはセットされません。一方、T=1 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送され、RDRF フラグはセットされます。パリティエラーが発生したときは、次のパリティビットのサンプリングタイミングまでに、PER フラグを 0 にクリアしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド 送信を終了したことを表示します。 TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0 : 送信中であることを表示</p> <p>[クリア条件]</p> <p>SCTDR から SCTSR に送信データが転送され、シリアル送信が開始したとき</p> <p>1 : 送信を終了したことを表示</p> <p>[セット条件]</p> <p>(1) リセット時</p> <p>(2) 1 バイトのシリアルキャラクタおよびパリティビット送信後に ERS = 0 (正常送信) のとき</p> <p>【注】 TEND フラグはキャラクタ保護時間が終了する 1etu 前にセットされます。</p>
1	WAIT_ER	0	R/W	<p>ウェイトエラー このフラグはウェイトタイムのエラーステータスを示します。</p> <p>0 : 2 つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していないことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) WAIT_ER に 0 を書き込んだとき</p> <p>1 : 2 つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していることを表示</p> <p>[セット条件]</p> <p>(1) T=0 モードの場合、受信するキャラクタとその直前に送信または受信したキャラクタの先端間隔が(60 × SCWAIT の値 : 作業待ち時間) etu を超過したとき</p> <p>(2) T=1 モードの場合、2 つの連続する受信キャラクタの先端間隔が (SCWAIT の値 : キャラクタ保護時間) etu を超過したとき</p> <p>【注】 *1 SCSCR の RE ビットを 0 にクリアしても、WAIT_ER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 T=0 の場合は、RE ビットを 0 から 1 にセットしたときに WAIT_ER フラグのセット条件が満たされても WAIT_ER フラグはセットされない場合がありますのでご注意ください。このとき、RE ビットを 1 にセットした後、最後の送信または受信から 60 × (SCWAIT + n) etu (n は 0 以上の整数 : RE ビットを 1 にセットするタイミングに依存) 後に WAIT_ER フラグがセットされます。</p> <p>*3 T=0 の場合は、最後の送信または受信から 60 × (SCWAIT + n) etu 後に WAIT_ER フラグをセットしたくない場合は、スマートカードモードレジスタ (SCSCMR) のプロトコルビット (PB) にて、T=0 から T=1 に設定し、再び T=0 に戻してください。また、T=1 の場合は、最後の受信から、(SCWAIT) etu 後に WAIT_ER フラグをセットしたくない場合は、スマートカードモードレジスタ (SCSCMR) のプロトコルビット (PB) にて、T=1 から T=0 に設定し、再び T=1 に戻してください。</p>

ビット	ビット名	初期値	R/W	説明
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

30.3.7 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

スマートカードインタフェースは、SCRSR に SIM_RXD 端子から入力されたシリアルデータを LSB または MSB から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。CPU や DMAC から直接 SCRSR の読み出し / 書き込みをすることはできません。

30.3.8 レシーブデータレジスタ (SCRDR)

SCRDR は、読み出し専用の 8 ビットのレジスタで、受信したシリアルデータを格納します。

スマートカードインタフェースは、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。SCRDR は CPU や DMAC から書き込むことはできません。

ビット:	7	6	5	4	3	2	1	0
	SCRDR[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SCRDR[7:0]	すべて 0	R	レシーブデータ 受信したシリアルデータを格納

30.3.9 スマートカードモードレジスタ (SCSCMR)

SCSCMR は、スマートカードインタフェースの機能の選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	LCB	PB	-	SDIR	SINV	RST	SMIF
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	LCB	0	R/W	ラストキャラクタ このビットが1に設定されるとキャラクタ保護時間は2etuになり、ガードエクステンションレジスタの設定は無効になります。 0: キャラクタ保護時間はガードレジスタの値によって決まります 1: キャラクタ保護時間は2etuになります
5	PB	0	R/W	プロトコル プロトコル形式 T=0 または T=1 を選択します。 0: スマートカードインタフェースは T=0 プロトコルで動作 1: スマートカードインタフェースは T=1 プロトコルで動作
4	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換のフォーマットを選択します。 0: SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納 1: SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納
2	SINV	0	R/W	スマートカードデータインバート データのロジックレベルの反転を指定します。ビット3の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINVは、パリティビットの値には影響しません。 0: SCTDR の内容をそのまま送信 受信データをそのまま SCRDR に格納 1: SCTDR の内容を反転してデータを送信 受信データを反転して SCRDR に格納
1	RST	0	R/W	スマートカードリセット スマートカードインタフェースの SIM_RST 端子の出力を制御します。 0: スマートカードインタフェースの SIM_RST 端子はローレベルを出力 1: スマートカードインタフェースの SIM_RST 端子はハイレベルを出力
0	SMIF	1	R/W	スマートカードインタフェースモードセレクト このビットは常に1が読み出されます。書き込む値も常に1にしてください。

30.3.10 シリアルコントロール 2 レジスタ (SCSC2R)

SCSC2R は、読み出し/書き込み可能な 8 ビットのレジスタで、受信データフル割り込み (RXI) 要求の許可/禁止の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	EIO	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ受信データフル割り込み (RXI) を要求しません。この設定で DMAC を使用した場合、CPU は ERI 要求のみを処理します。 受信データフル割り込み (RXI) 要求は RIE ビットの設定によって決まります。
6~0	-	すべて 0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.3.11 ガードエクステンションレジスタ (SCGRD)

SCGRD は 8 ビットの読み出し/書き込み可能なレジスタです。キャラクタ保護追加時間を設定します。

ビット:	7	6	5	4	3	2	1	0
	SCGRD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	SCGRD[7:0]	すべて 0	R/W	ガードエクステンション スマートカードへ送信されたキャラクタのうち、キャラクタ保護追加時間を示します。2 つの連続したキャラクタ先端間の間隔は、このレジスタの値が H'00 のとき 12 etu (追加なし) を示し H'01 のとき 13 etu、...、H'FE のとき 266 etu になります。また、このレジスタの値が H'FF の場合 2 つの連続したキャラクタ先端間の間隔は、T = 1 モードで 11etu、T = 0 モードでは 12etu になります。

30.3.12 ウェイトタイムレジスタ (SCWAIT)

SCWAIT は 16 ビットの読み出し / 書き込みが可能なレジスタです。2 つの連続したキャラクタの先端間隔が、設定した値 (単位 : etu) を超過するとウェイトタイムエラーを発生します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCWAIT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	SCWAIT[15:0]	すべて 0	R/W	<p>ウェイトタイムレジスタ</p> <p>T=0 モードでは、このレジスタは作業待ち時間を設定できます。受信するキャラクタと、その直前に送信または受信したキャラクタの先端間隔が (60×このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。但し、SCWAIT = H'0000 を設定した場合 60etu 後に WAIT_ER フラグがセットされます。</p> <p>T=1 モードでは、このレジスタはキャラクタ待ち時間を設定できます。受信する 2 つの連続したキャラクタの先端間隔が、(このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SCWAIT = H'0000 を設定した場合 1etu 後に WAIT_ER フラグがセットされます。</p>

30.3.13 サンプルレジスタ (SCSMPL)

SCSMPL は 16 ビットで読み出し / 書き込み可能なレジスタです。1etu あたりのシリアルクロックサイクル数を設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCSMPL[10:0]										
初期値 :	0	0	0	0	0	0	0	1	0	1	1	1	0	0	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~0	SCSMPL[10:0]	H'173	R/W	<p>1etu あたりのシリアルクロックサイクル数設定値</p> <p>1etu あたりのシリアルクロックサイクル数は (SCSMPL の値 + 1) です。SCSMPL に書き込む値は、必ず H'0007 以上にしてください。</p>

30.4 動作説明

30.4.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- 1 フレームは、8ビットデータとパリティビットで構成されます。
- 2 送信時は、パリティビットの終了から次のフレーム開始まで、SCGRD、およびSCSCMRのLCBビット、PBビットで設定したキャラクタ保護時間をおきます。
- 3 T=0モードの受信時にパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルとしてローレベルを1etu期間出力します。
- 4 T=0モードの送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- 5 調歩同期式通信機能のみサポートし、クロック同期式通信機能はありません。

30.4.2 データフォーマット

図 30.2 にスマートカードインタフェースのデータフォーマットを示します。スマートカードインタフェースは受信時に1フレームごとにパリティチェックを行います。

T=0モードで受信時にパリティエラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

T=1モードで受信時にパリティエラーが検出された場合、エラーシグナルを送り返しません。送信時はエラーシグナルのサンプリングとデータの再送信を行いません。

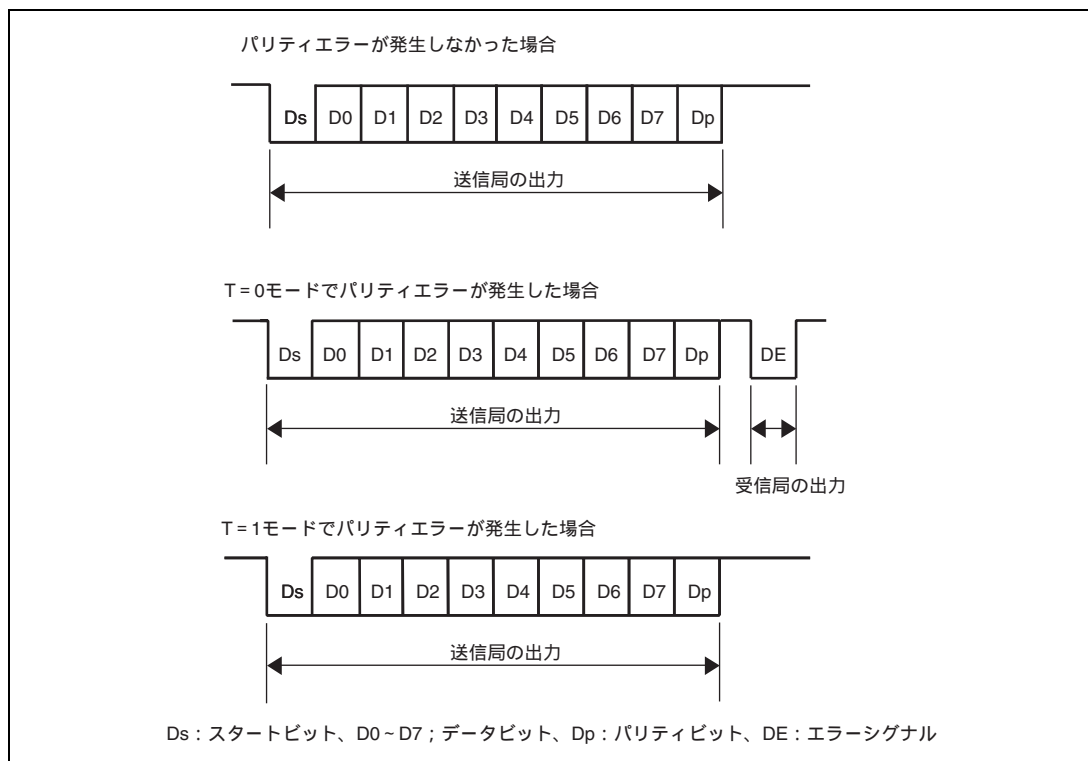


図 30.2 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds : ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
4. 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、T=0モードのとき、エラーシグナル (DE : ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。T=1モードのときは、パリティエラーが発生してもエラーシグナルを出力しません。
5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、T=0モードでエラーシグナルを受信した場合は、エラーとなったデータを (2) に戻り再送信します。T=1モードではエラーシグナルの受信、および再送信をしません。

30.4.3 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 30.4 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 30.4 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR	0	0	PE	O/E	0	0	0	0
SCBRR	0	0	0	0	0	BRR2	BRR1	BRR0
SCSCR	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE1	CKE0
SCTDR	SCTD7	SCTD6	SCTD5	SCTD4	SCTD3	SCTD2	SCTD1	SCTD0
SCSSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	0
SCRDR	SCRD7	SCRD6	SCRD5	SCRD4	SCRD3	SCRD2	SCRD1	SCRD0
SCSCMR	0	LCB	PB	0	SDIR	SINV	RST	1
SCSC2R	EIO	0	0	0	0	0	0	0
SCWAIT	SCWAIT15 ~ SCWAIT0							
SCGRD	SCGRD7 ~ SCGRD0							
SCSMPL	SCSMPL10 ~ SCSMPL0、ビット 15 ~ 11 は 0							

- シリアルモードレジスタ (SCSMR) の設定

O/EビットはICカードがダイレクトコンベンション時は0を設定し、インパースコンベンション時は1を設定します。

- ビットレートレジスタ (SCBRR) の設定

ビットレートを設定します。設定値の算出方法は「30.4.4 クロック」を参照してください。

- シリアルコントロールレジスタ (SCSCR) の設定

TIE、RIE、TEIE、WAIT_IEビットで各種割り込みの許可 / 禁止を選択します。

TE、REビットのどちらかを1にセットすることで、送信 / 受信を選択します。

CKE1、CKE0ビットはクロック出力状態を選択します。詳細は「30.4.4 クロック」を参照してください。

- スマートカードモードレジスタ (SCSCMR) の設定

SDIRビットおよびSINVビットは、ICカードがダイレクトコンベンション時はどちらも0を設定し、インパースコンベンション時はどちらも1を設定します。

SMIFビットは必ず1を書き込みます。

以下に2種類のICカード(ダイレクトコンベンションタイプとインパースコンベンションタイプ)に対するレジスタ設定値と開始キャラクタでの波形例を図30.3に示します。

ダイレクトコンベンションタイプでは、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信する方式です。上記の開始キャラクタのデータはH'3Bとなります。パリティビットは、スマ

ートカードの規程により偶数パリティで1となります。

インバースコンベンションタイプでは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信する方式です。図30.3の開始キャラクタのデータはH'3Fとなります。パリティビットは、スマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。

なお、SINVビットによる反転はデータビットD7～D0のみとなっています。パリティビットの反転のためにSCSMRのO/Eビットを奇数パリティモードに設定します。送信、受信とも同様です。

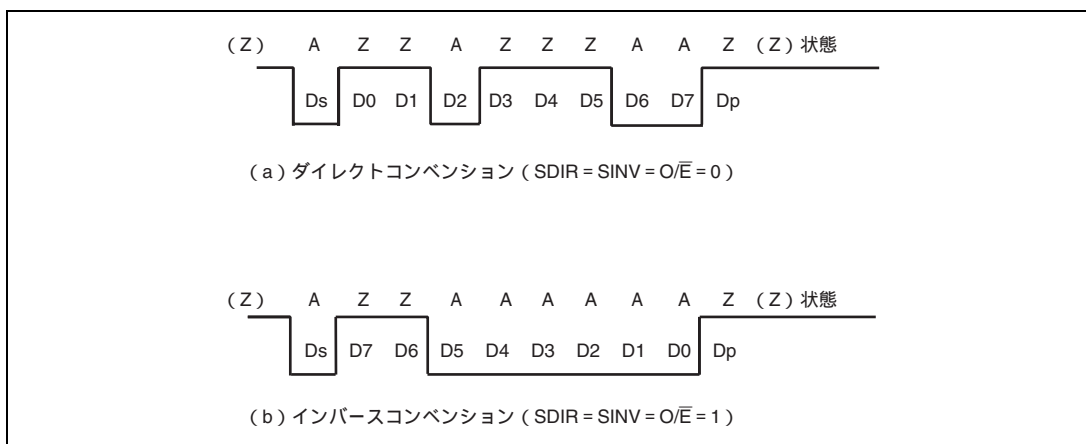


図 30.3 開始キャラクタの波形例

30.4.4 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR) とサンプルレジスタ (SCSMPL) で設定され、以下に示す計算式になります。ビットレートの例を表 30.5 に示します。

このとき CKE0 = 1 でクロック出力を選択すると SIM_CLK 端子からはビットレートを (SCSMPL + 1) 倍した周波数のクロックが出力されます。

$$B = Pck0 \times 10^6 / \{ (S+1) \times 2 (N+1) \}$$

B = ビットレート (bits/秒)

Pck0 = 周辺モジュール用動作周波数

S = SCSMPL 設定値 (0 S 2047)

N = SCBRR 設定値 (0 N 7)

表 30.5 SCBRR の設定に対するビットレート (bits/秒) の例 (Pck0 = 66.6[MHz]、SCSMPL = 371)

SCBRR 設定値	SCK 周波数 (MHz)	ビットレート (bits/秒)
7	4.16	11190
6	4.76	12788
5	5.55	14919
4	6.66	17903

【注】 ビットレートは小数点以下を四捨五入した数値です。

30.4.5 データの送信 / 受信動作

(1) 初期化

データの送受信の前に、以下の手順でスマートカードインタフェースを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 30.4 に示します。図 30.4 の (1) ~ (7) は以下の操作に対応します。

1. シリアルコントロールレジスタ (SCSCR) のTE、REビットを0にクリアします。
2. シリアルステータスレジスタ (SCSSR) のエラーフラグPER、ORER、ERS、WAIT_ERを0にクリアしてください。
3. シリアルモードレジスタ (SCSMR) のパリティビット (O \bar{E} ビット) を設定してください。
4. スマートカードモードレジスタ (SCSCMR) のLCB、PB、SMIF、SDIR、SINVビットを設定してください。
5. ビットレートに対応する値をビットレートレジスタ (SCBRR) に設定します。
6. シリアルコントロールレジスタ (SCSCR) のクロックソースの選択ビット (CKE1、CKE0ビット) を設定してください。このとき、TIE、RIE、TE、RE、TEIE、WAIT_IEビットは、0に設定してください。CKE0ビットを1にセットした場合は、SIM_CLK端子からクロック出力されます。
7. 少なくとも、1 μ s期間待ってから、SCSCRのTIE、RIE、TE、RE、TEIE、WAIT_IEビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

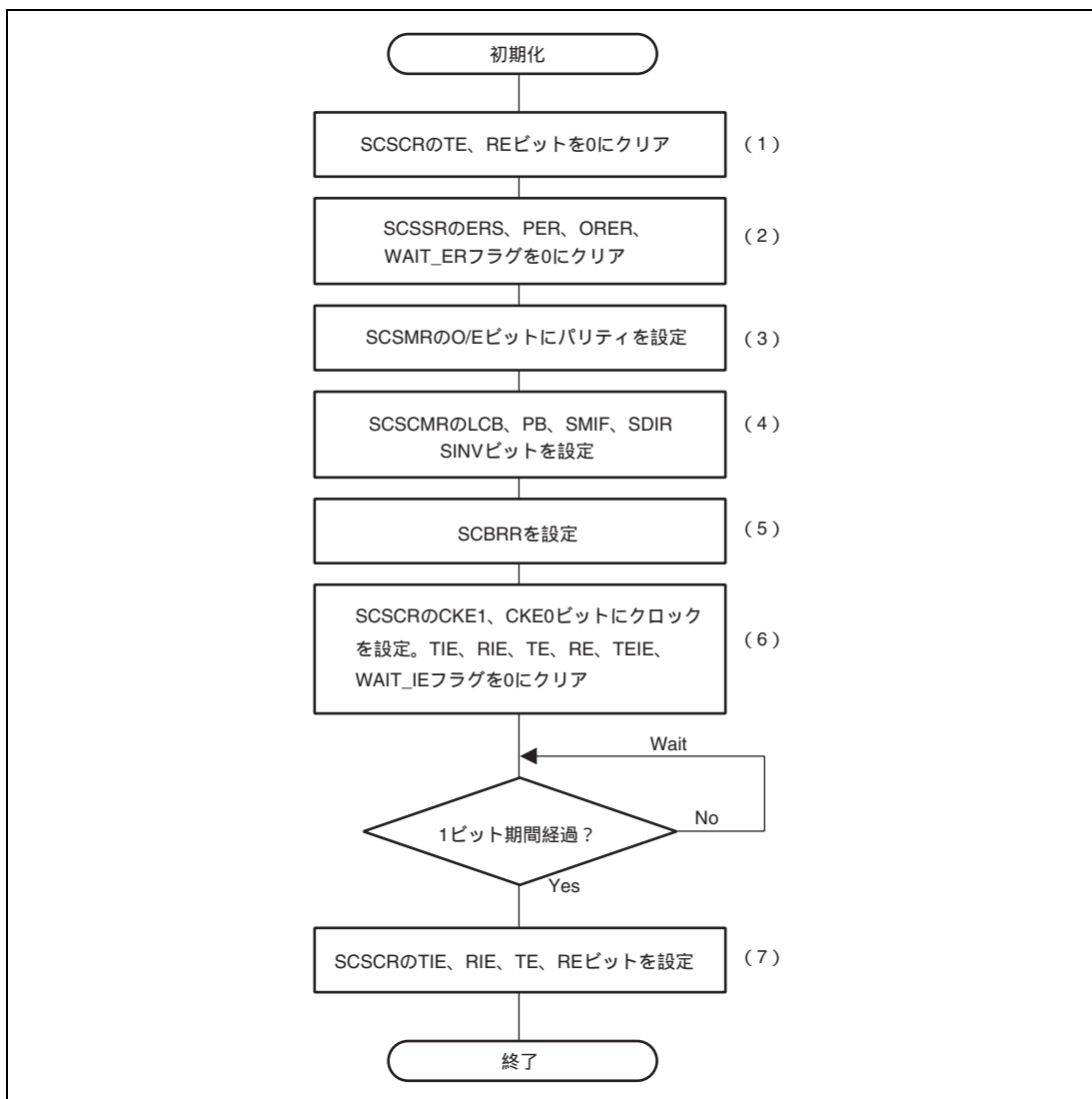


図 30.4 初期化のフロー例

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があります。送信処理フローの例を図 30.5 に示します。図 30.5 の (1) ~ (6) は以下の操作に対応します。

1. 「30.4.5 (1) 初期化」の手順に従いスマートカードインタフェースモードに初期化します。
2. SCSSRのエラーフラグERSビットが0にクリアされていることを確認してください。
3. SCSSRのTDREフラグが1にセットされていることが確認できるまで、(2) ~ (3) を繰り返してください。
4. SCTDRに送信データを書き込んで、送信動作を行います。このとき、TDREフラグは自動的に0にクリアされます。スタートビットの送信が開始されるとTENDフラグは自動的に0にクリアされ、TDREフラグは自動的に1にセットされます。
5. 連続してデータを送信する場合は、(2)に戻ってください。
6. 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が開始し TDRE フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「30.4.5 (5) 割り込み動作」を参照してください。

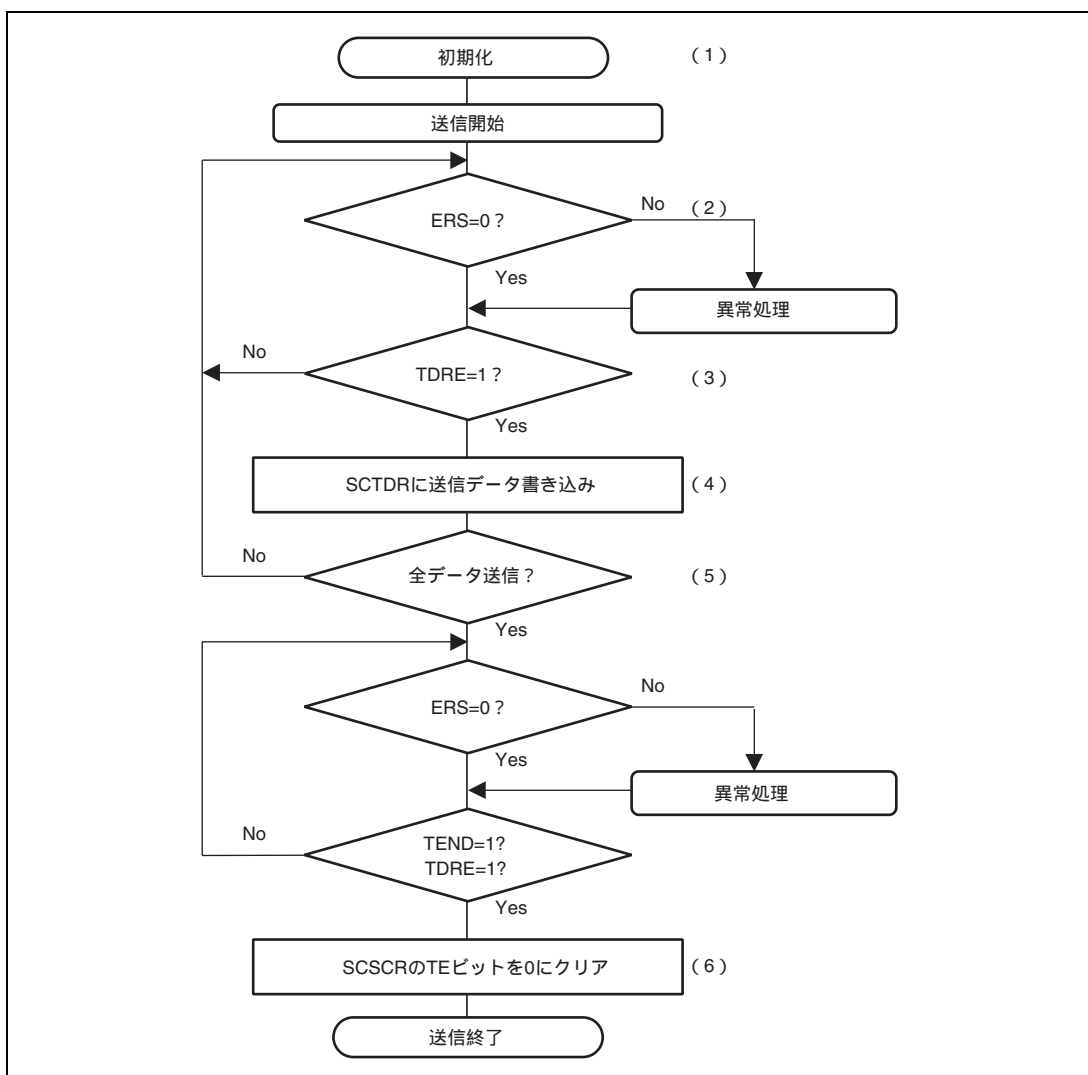


図 30.5 送信処理フローの例

(3) シリアルデータ受信

スマートカードモードのデータ受信処理フローの例を図 30.6 に示します。図 30.6 の (1) ~ (6) は以下の操作に対応します。

1. スマートカードインタフェースを「30.4.5 (1) 初期化」に従い初期化します。
2. SCSSRのPER、ORER、WAIT_ERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、PER、ORER、WAIT_ERフラグを0にクリアしてください。
3. RDRFフラグが1であることを確認できるまで(2)、(3)を繰り返してください。
4. SCRDRから受信データを読み出してください。
5. 継続してデータを受信する場合は、(2)に戻ってください。
6. 受信を終了する場合は、REビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1、EIO ビットを 0 にセットしておいたとき RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、RIE ビットを 1 にセットし受信時にエラーが発生し、ORER、PER、WAIT_ER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「30.4.5 (5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合、T=0 では受信したデータは SCRDR に転送されませんのでこのデータを読み出すことはできません。T=1 では受信したデータは SCRDR に転送されますので、このデータを読み出すことができます。

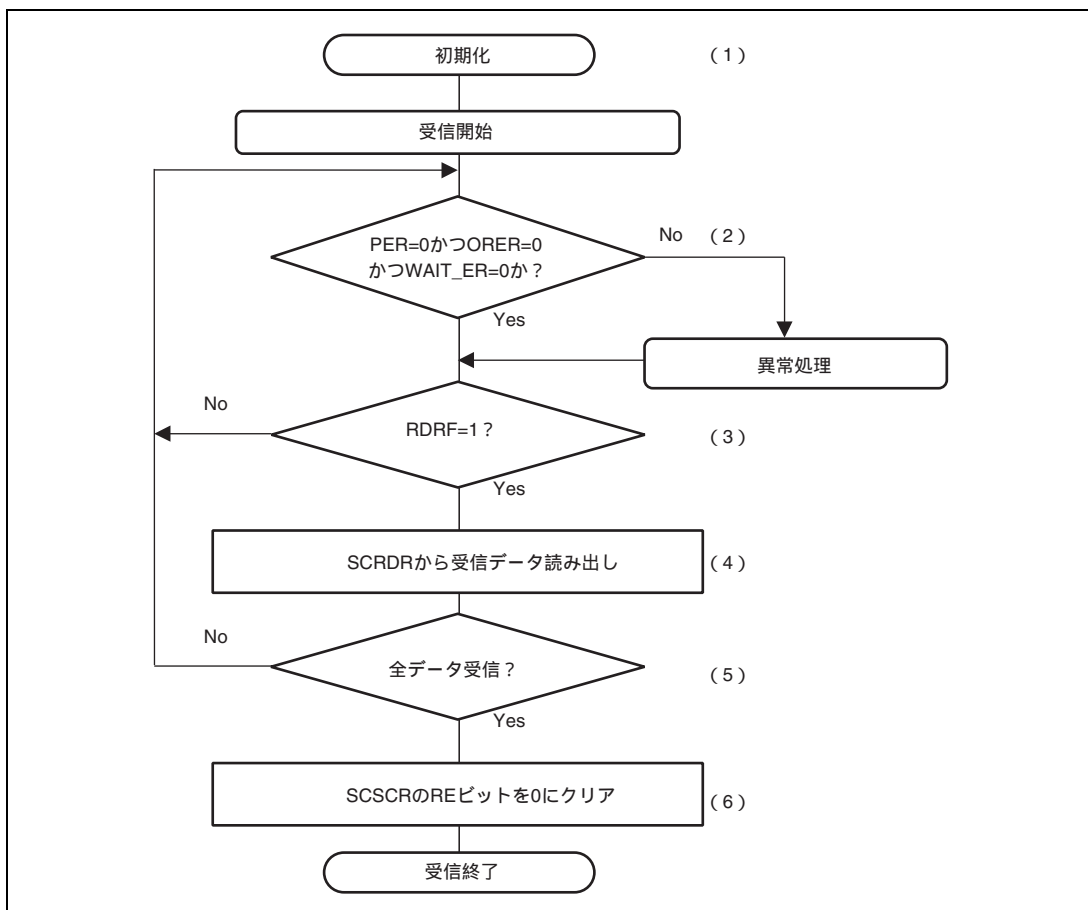


図 30.6 受信処理フローの例

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は RDRF フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TDRE、TEND フラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信終了割り込み (TEI) 要求の 4 種類の割り込み要因があります。

SCSSR の TDRE フラグが 1 にセットされると、TXI 要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 要求が発生します。

SCSSR の ERS、ORER、PER、WAIT_ER フラグが 1 にセットされると、ERI 要求が発生します。

SCSSR の TEND フラグがセットされると、TEI 要求が発生します。

表 30.6 にスマートカードインタフェースの割り込み要因を示します。各割り込み要求は SCSSR の TIE、RIE、TEIE、WAIT_IE および SCSC2R の EIO ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

表 30.6 スマートカードインタフェース割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TDRE	TIE	TXI
		TEND	TEIE	TEI
	エラー	ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE、EIO	RXI
	エラー	ORER、PER	RIE	ERI
		WAIT_ER	WAIT_IE	ERI

(6) DMAC によるデータ転送動作

スマートカードインタフェースは、DMAC を使って送受信を行うことができます。

送信動作では、SCSSR の TDRE フラグが 1 にセットされると、送信データエンプティーマ転送要求が発生します。あらかじめ DMAC の起動要因に送信データエンプティーマ転送要求を設定しておけば、送信データエンプティーマ転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、送信時にエラーシグナルを受信した場合、自動的に同じデータを再送信します。この再送信のとき DMA 転送要求は発生しませんので DMAC に指定したバイト数の送信ができます。

DMAC で送信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、TIE ビットを 0 にセットし TXI 要求が発生しないようにして、RIE ビットを 1 にセットして ERI 要求が発生するようにしてください。エラーシグナルを受信したときにセットされる ERS フラグは、自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

受信動作では、SCSSR の RDRF フラグが 1 にセットされると受信データフル DMA 転送要求が発生します。あらかじめ DMAC の起動要因に受信データフル DMA 転送要求を設定しておけば、受信データフル DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、受信時にパリティエラーが発生した場合データの再送信要求をします。このとき RDRF フラグはセットされず DMA 転送要求は発生しませんので DMAC に指定したバイト数の受信ができます。

DMAC で受信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、RIE ビットを 1、EIO ビットを 1 にセットして、RXI 要求が発生せず ERI 要求のみ発生するように設定してください。

受信エラーによりセットされる PER、ORER、WAIT_ER フラグは自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてからスマートカードインタフェースの設定を行ってください。

30.5 使用上の注意事項

スマートカードインタフェースを使用する際は、以下のことに注意してください。

(1) 受信データタイミングと受信マージン

SCSMPL レジスタが初期値の場合、スマートカードインタフェースは転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時にスマートカードインタフェースは、スタートビットの立ち下がりエッジをシリアルクロックでサンプリングして、内部を同期化します。また、受信データをシリアルクロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 30.7 に示します。

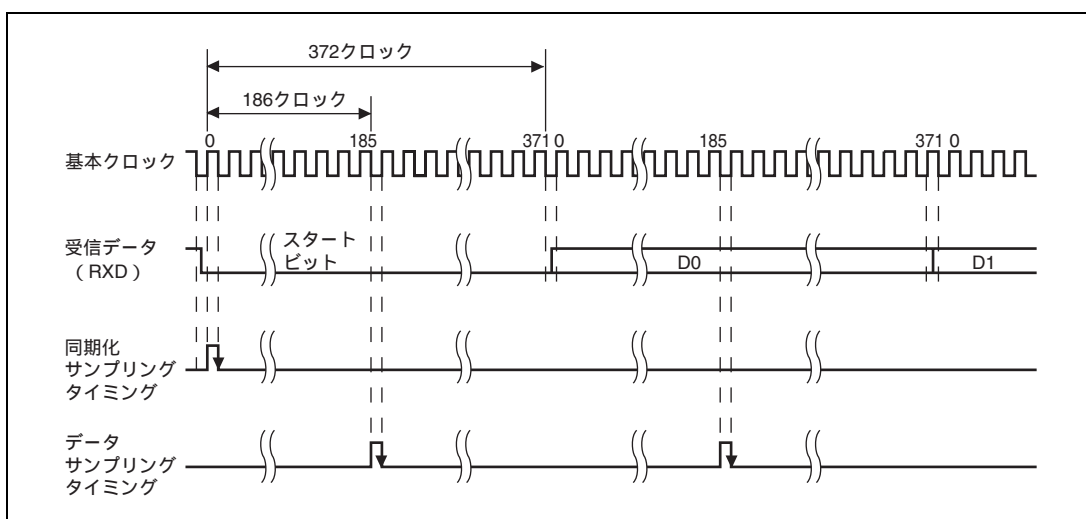


図 30.7 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(L + F) \right| \times 100\%$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=372)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=10)

F: クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$\begin{aligned} M &= \left(0.5 - \frac{1}{2 \times 372} \right) \times 100\% \\ &= 49.866\% \end{aligned}$$

(2) 再転送動作

スマートカードインタフェースがそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) スマートカードインタフェースが受信モードの場合の再転送動作 (T=0)

スマートカードインタフェースが受信モードの場合の再転送動作を図 30.8 に示します。図 30.8 の (1) ~ (5) は、以下の動作に対応します。

1. 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSRのPERビットが自動的に1にセットされます。このとき、SCSCRのRIEビットがイネーブルになっていれば、ERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのPERビットを0にクリアしてください。
2. パリティエラーが発生したフレームでは、SCSSRのRDRFビットはセットされません。
3. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSRのPERビットはセットされません。
4. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSRのRDRFビットが自動的に1にセットされます。このときSCSCRのRIEビットが1、EIOビットが0になっていれば、RXI要求が発生します。
5. 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

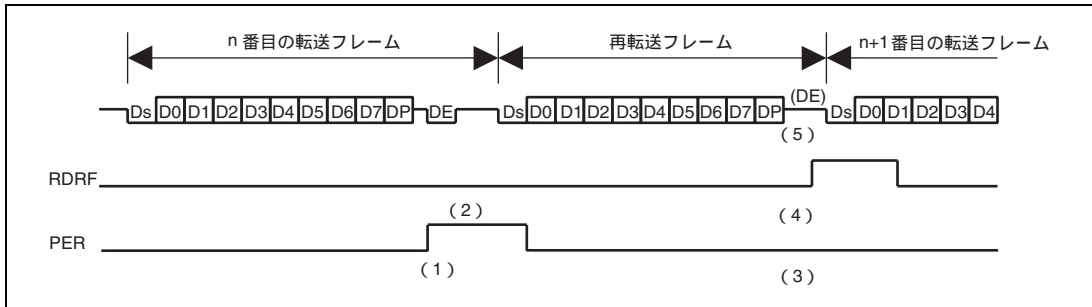


図 30.8 スマートカードインタフェース受信モードの場合の再転送動作

(b) スマートカードインタフェースが送信モードの場合の再転送動作 (T=0)

スマートカードインタフェースが送信モードの場合の再転送動作を図 30.9 に示します。図 30.9 の (1) ~ (4) は、以下の動作に対応します。

- 1 フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SCSSRのERSビットが1にセットされます。このとき、SCSCRのRIEビットが許可になっていれば、ERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのERSビットを0にクリアしてください。
- 2 T=0モードのとき異常を示すエラーシグナルを受信したフレームでは、SCSSRのTENDビットはセットされません。
- 3 受信側からエラーシグナルが返ってこない場合は、SCSSRのERSビットはセットされません。
- 4 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SCSSRのTENDビットが1にセットされます。このときSCSCRのTIEビットがイネーブルになっていれば、TEI割り込み要求が発生します。

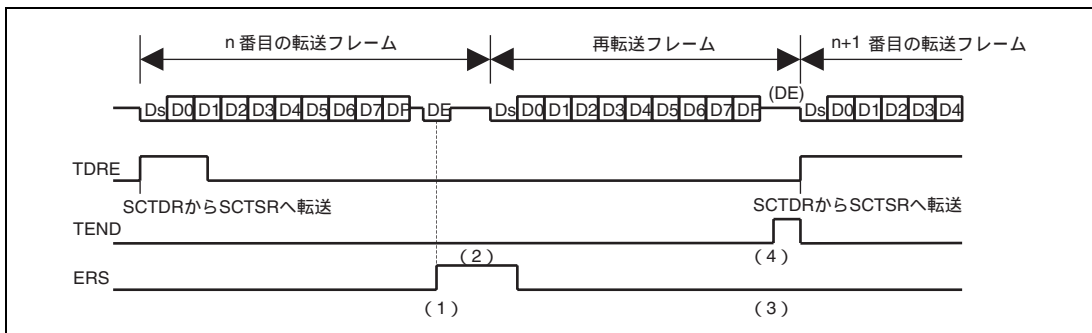


図 30.9 スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ)

(3) スタンバイモードの切り替え

スマートカードインタフェースモードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。切り替え手順を図 30.10 に示します。図 30.10 の(1)～(7)は、以下の操作に対応します。

- スマートカードインタフェースモードからスタンバイモードに移行するとき
 1. シリアルコントロールレジスタ (SCSCR) のTEビットとREビットに0を書き込み、送信 / 受信動作を停止させます。同時に、CKE1ビットをスタンバイモード時の出力固定状態の値に設定します。
 2. SCSCRのCKE0ビットに0を書き込み、クロックを停止させます。
 3. シリアルクロックの1クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
 4. スタンバイ状態に移行させます。
- スタンバイモードからスマートカードインタフェースモードに戻るとき
 5. スタンバイ状態を解除します。
 6. シリアルコントロールレジスタ (SCSCR) のCKE1ビットをスタンバイ開始時の出力固定状態 (現在のSIM_CLK端子の状態) の値に設定します。
 7. SCSCRのCKE0ビットに1を書き込みクロックを出力させます。正常なデューティにてクロック信号発生を開始します。

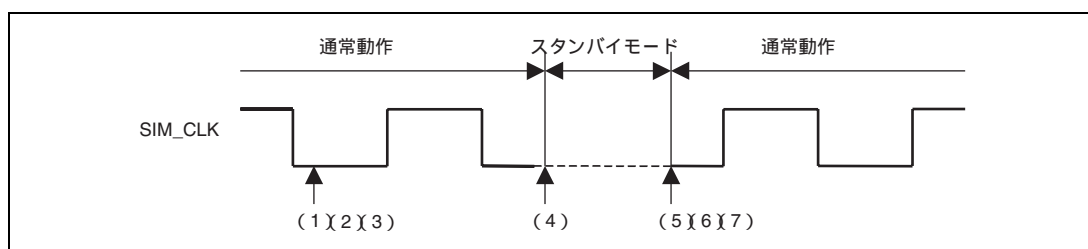


図 30.10 クロック停止、再起動手順

(4) 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用します。
2. シリアルコントロールレジスタ (SCSCR) のCKE1ビットで指定の出力に固定します。
3. SCSCRのCKE0ビットを1に設定して、クロック出力を開始します。

(5) 端子接続

スマートカードインタフェースに関する端子接続例を図 30.11 に示します。

スマートカードとの通信においては、1本のデータ伝送線で送信と受信が行われます。また、データ伝送線は、抵抗で電源 V_{cc} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SIM_CLK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

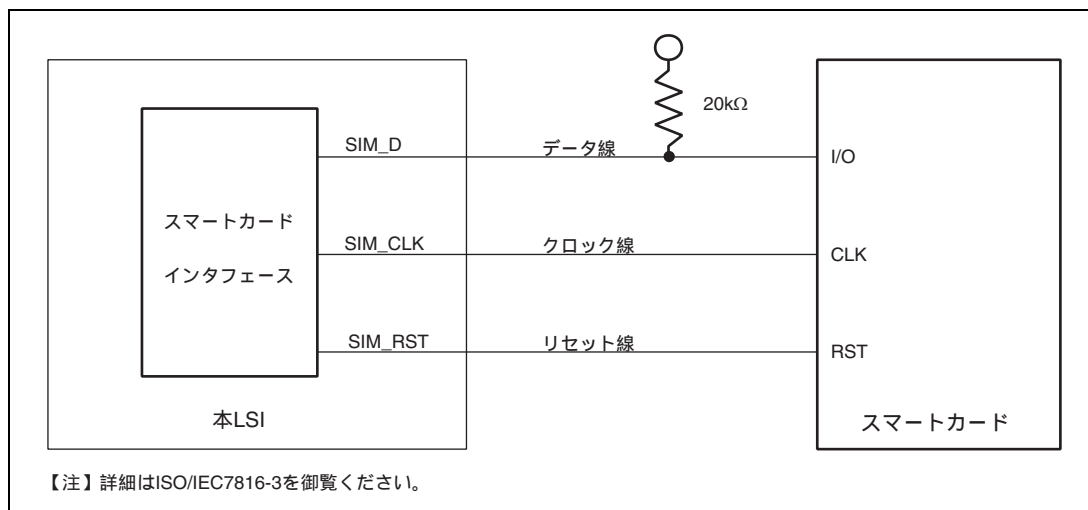


図 30.11 スマートカードインタフェース端子接続例

【注】 IC カードを接続しないで RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

(6) 送信終了割り込みについて

連続送信時、TEIE が常に 1 にセットされていると TEND ビットは送信終了時に毎回 1 にセットされるため、必要のない送信終了割り込み (TEI) 要求が発生します。

最後の送信データをトランスミットデータレジスタ (SCTDR) に書き込んでトランスミットシフトレジスタ (SCTSR) が送信を開始してから、シリアルコントロールレジスタ (SCSCR) のビット 2 (TEIE) を 1 にセットすることで、不要な TEI 割り込み要求の発生を回避することができます。

図 30.12 に TEIE を 1 にセットするタイミングの波形を示します。

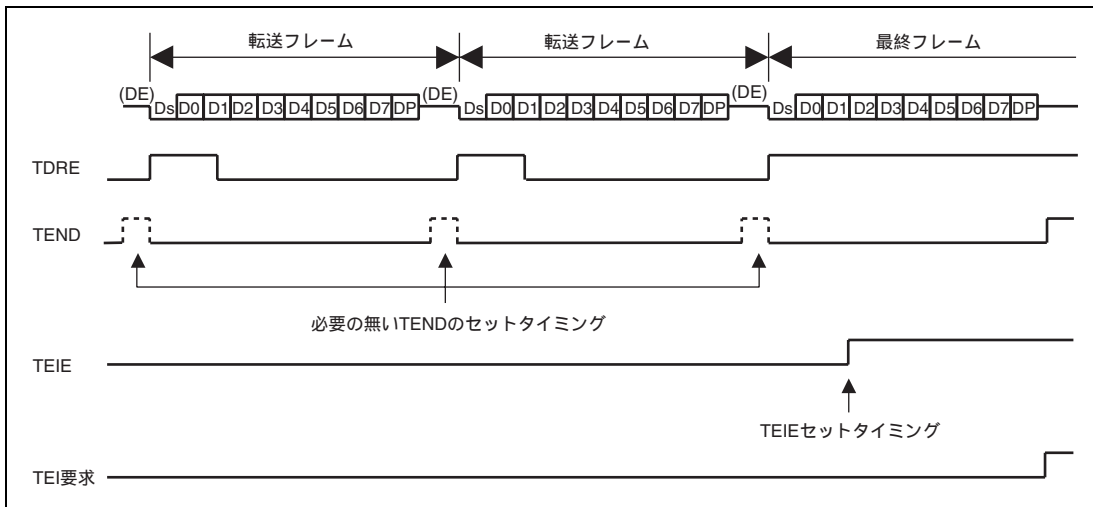


図 30.12 TEIE セットタイミング

31. マルチメディアカードインタフェース (MMCIF)

本 LSI は、マルチメディアカードインタフェース (MMCIF) を内蔵しており、カードインタフェースとして、MMC モードを使用します。MMCIF は、クロック同期のシリアルインタフェースで、コマンド/レスポンスとデータを区別して通信します。マルチメディアカードでは、いくつかのコマンド/レスポンスのタイプが定義されています。MMCIF は、コマンド発行時に、コマンドコードとコマンドタイプ/レスポンスタイプを設定する構成になっているため、現在定義されているコマンドタイプ/レスポンスタイプの組み合わせの範囲内なら、セキュアマルチメディアカード (Secure-MMC) で拡張されたコマンドや将来のコマンドの追加にも対応が可能です。

31.1 特長

- The MultiMediaCard System Specification Version3.1に対応したインタフェース

- MMCモードに対応

CLK出力 (転送クロック出力) 端子、CMD入出力 (コマンド出力/レスポンス入力) 端子、DAT入出力 (データ入出力) 端子によるインタフェース

- カードインタフェースは最大16.7Mbpsのビットレート (周辺クロック1 33.3MHz時)

- データ転送用FIFOを16ビット64段搭載

- DMA転送要求発行可能

ただし、The MultiMediaCard System Specification version 2.2 以下に準拠するカード接続時には、DMA転送不可

- 割り込み要因：4種類

FIFOエンプティ/フル、コマンド/レスポンス/データ転送完了、転送エラー、FIFO準備完了/カード検出の割り込み要因

- カード検出機能

- Stream 転送は未サポート

MMCIFのブロック図を図 31.1 に示します。

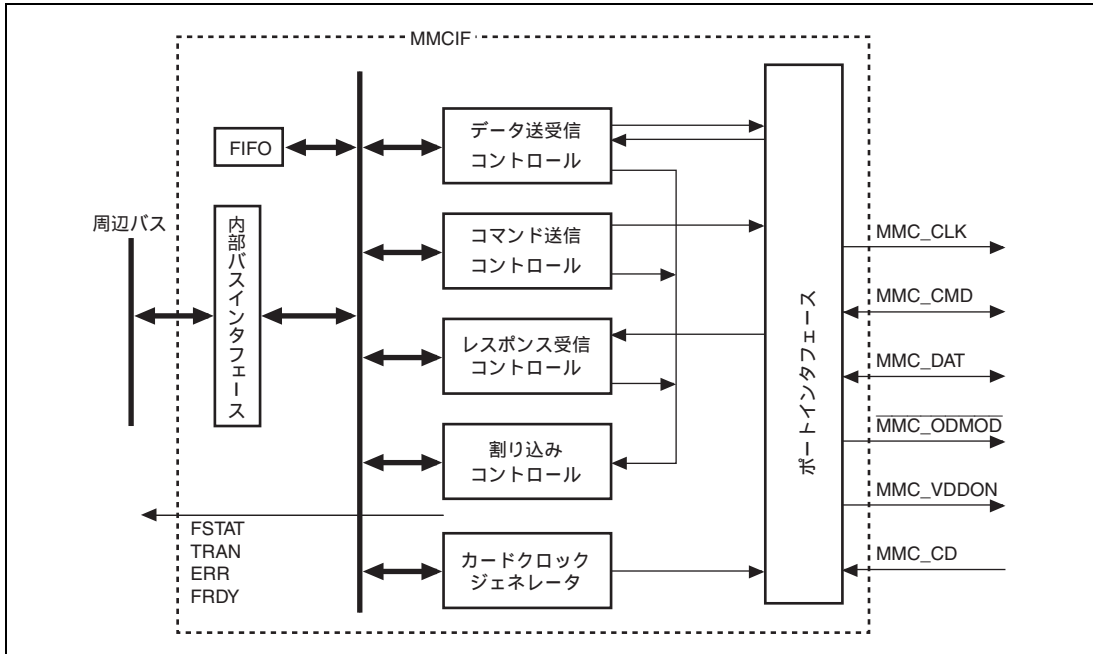


図 31.1 MMCIF のブロック図

31.2 入出力端子

MMCIF の端子構成を表 31.1 に示します。

表 31.1 端子構成

端子名	略称	入出力	機能
MMC_CLK	CLK	出力	クロック出力端子
MMC_CMD	CMD	入出力	コマンド出力 / レスポンス入力端子
MMC_DAT	DAT	入出力	データ入出力端子
MMC_ODMOD	MMC_ODMOD	出力	オープンドレインモード制御
MMC_VDDON	MMC_VDDON	出力	カード電源制御
MMC_CD	MMC_CD	入力	カード検出信号

【注】 送信および受信動作を説明するために、送信データ側を MCTXD と、受信データ側を MCRXD と記載します。

31.3 レジスタの説明

MMCIFのレジスタ構成を表 31.2 に示します。また、各処理モードにおけるレジスタの状態を表 31.3 に示します。

表 31.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
コマンドタイプレジスタ	CMDTYR	R/W	H'FFF9 0018	H'1FF9 0018	8
レスポンスタイプレジスタ	RSPTYR	R/W	H'FFF9 0019	H'1FF9 0019	8
転送バイト数カウントレジスタ	TBCR	R/W	H'FFF9 0014	H'1FF9 0014	8
転送ブロック数カウンタ	TBNCR	R/W	H'FFF9 001A	H'1FF9 001A	16
コマンドレジスタ 0	CMDR0	R/W	H'FFF9 0000	H'1FF9 0000	8
コマンドレジスタ 1	CMDR1	R/W	H'FFF9 0001	H'1FF9 0001	8
コマンドレジスタ 2	CMDR2	R/W	H'FFF9 0002	H'1FF9 0002	8
コマンドレジスタ 3	CMDR3	R/W	H'FFF9 0003	H'1FF9 0003	8
コマンドレジスタ 4	CMDR4	R/W	H'FFF9 0004	H'1FF9 0004	8
コマンドレジスタ 5	CMDR5	R	H'FFF9 0005	H'1FF9 0005	8
レスポンスレジスタ 0	RSPR0	R/W	H'FFF9 0020	H'1FF9 0020	8
レスポンスレジスタ 1	RSPR1	R/W	H'FFF9 0021	H'1FF9 0021	8
レスポンスレジスタ 2	RSPR2	R/W	H'FFF9 0022	H'1FF9 0022	8
レスポンスレジスタ 3	RSPR3	R/W	H'FFF9 0023	H'1FF9 0023	8
レスポンスレジスタ 4	RSPR4	R/W	H'FFF9 0024	H'1FF9 0024	8
レスポンスレジスタ 5	RSPR5	R/W	H'FFF9 0025	H'1FF9 0025	8
レスポンスレジスタ 6	RSPR6	R/W	H'FFF9 0026	H'1FF9 0026	8
レスポンスレジスタ 7	RSPR7	R/W	H'FFF9 0027	H'1FF9 0027	8
レスポンスレジスタ 8	RSPR8	R/W	H'FFF9 0028	H'1FF9 0028	8
レスポンスレジスタ 9	RSPR9	R/W	H'FFF9 0029	H'1FF9 0029	8
レスポンスレジスタ 10	RSPR10	R/W	H'FFF9 002A	H'1FF9 002A	8
レスポンスレジスタ 11	RSPR11	R/W	H'FFF9 002B	H'1FF9 002B	8
レスポンスレジスタ 12	RSPR12	R/W	H'FFF9 002C	H'1FF9 002C	8
レスポンスレジスタ 13	RSPR13	R/W	H'FFF9 002D	H'1FF9 002D	8
レスポンスレジスタ 14	RSPR14	R/W	H'FFF9 002E	H'1FF9 002E	8
レスポンスレジスタ 15	RSPR15	R/W	H'FFF9 002F	H'1FF9 002F	8
レスポンスレジスタ 16	RSPR16	R/W	H'FFF9 0030	H'1FF9 0030	8
レスポンスレジスタ D	RSPRD	R/W	H'FFF9 0031	H'1FF9 0031	8
コマンドスタートレジスタ	CMDSTRT	R/W	H'FFF9 0006	H'1FF9 0006	8

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
オペレーションコントロールレジスタ	OPCR	R/W	H'FFF9 000A	H'1FF9 000A	8
コマンドタイムアウトコントロールレジスタ	CTOCR	R/W	H'FFF9 0011	H'1FF9 0011	8
データタイムアウトレジスタ	DTOUTR	R/W	H'FFF9 0032	H'1FF9 0032	16
カードステータスレジスタ	CSTR	R	H'FFF9 000B	H'1FF9 000B	8
割り込みコントロールレジスタ 0	INTCR0	R/W	H'FFF9 000C	H'1FF9 000C	8
割り込みコントロールレジスタ 1	INTCR1	R/W	H'FFF9 000D	H'1FF9 000D	8
割り込みステータスレジスタ 0	INTSTR0	R/W	H'FFF9 000E	H'1FF9 000E	8
割り込みステータスレジスタ 1	INTSTR1	R/W	H'FFF9 000F	H'1FF9 000F	8
転送クロックコントロールレジスタ	CLKON	R/W	H'FFF9 0010	H'1FF9 0010	8
VDD / オープンドレイン制御レジスタ	VDCNT	R/W	H'FFF9 0012	H'1FF9 0012	8
データレジスタ	DR	R/W	H'FFF9 0040	H'1FF9 0040	16
FIFO ポインタクリアレジスタ	FIFOCLR	W	H'FFF9 0042	H'1FF9 0042	8
DMA コントロールレジスタ	DMACR	R/W	H'FFF9 0044	H'1FF9 0044	8
割り込みコントロールレジスタ 2	INTCR2	R/W	H'FFF9 0046	H'1FF9 0046	8
割り込みステータスレジスタ 2	INTSTR2	R/W	H'FFF9 0048	H'1FF9 0048	8
カードスイッチレジスタ	CSWR	R	H'FFF9 004A	H'1FF9 004A	8
スイッチステータスレジスタ	SWSR	R/W	H'FFF9 004C	H'1FF9 004C	8
チャタリング除去パルス設定レジスタ	CHATR	R/W	H'FFF9 004E	H'1FF9 004E	8

表 31.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
コマンドタイプレジスタ	CMDTYR	H'00	H'00	保持	保持
レスポンスタイプレジスタ	RSPTYR	H'00	H'00	保持	保持
転送バイト数カウントレジスタ	TBCR	H'00	H'00	保持	保持
転送ブロック数カウンタ	TBNCR	H'0000	H'0000	保持	保持
コマンドレジスタ 0	CMDR0	H'00	H'00	保持	保持
コマンドレジスタ 1	CMDR1	H'00	H'00	保持	保持
コマンドレジスタ 2	CMDR2	H'00	H'00	保持	保持
コマンドレジスタ 3	CMDR3	H'00	H'00	保持	保持
コマンドレジスタ 4	CMDR4	H'00	H'00	保持	保持
コマンドレジスタ 5	CMDR5	H'00	H'00	保持	保持
レスポンスレジスタ 0	RSPR0	H'00	H'00	保持	保持
レスポンスレジスタ 1	RSPR1	H'00	H'00	保持	保持
レスポンスレジスタ 2	RSPR2	H'00	H'00	保持	保持
レスポンスレジスタ 3	RSPR3	H'00	H'00	保持	保持
レスポンスレジスタ 4	RSPR4	H'00	H'00	保持	保持
レスポンスレジスタ 5	RSPR5	H'00	H'00	保持	保持
レスポンスレジスタ 6	RSPR6	H'00	H'00	保持	保持
レスポンスレジスタ 7	RSPR7	H'00	H'00	保持	保持
レスポンスレジスタ 8	RSPR8	H'00	H'00	保持	保持
レスポンスレジスタ 9	RSPR9	H'00	H'00	保持	保持
レスポンスレジスタ 10	RSPR10	H'00	H'00	保持	保持
レスポンスレジスタ 11	RSPR11	H'00	H'00	保持	保持
レスポンスレジスタ 12	RSPR12	H'00	H'00	保持	保持
レスポンスレジスタ 13	RSPR13	H'00	H'00	保持	保持
レスポンスレジスタ 14	RSPR14	H'00	H'00	保持	保持
レスポンスレジスタ 15	RSPR15	H'00	H'00	保持	保持
レスポンスレジスタ 16	RSPR16	H'00	H'00	保持	保持
レスポンスレジスタ D	RSPRD	H'00	H'00	保持	保持
コマンドスタートレジスタ	CMDSTRT	H'00	H'00	保持	保持
オペレーションコントロールレジスタ	OPCR	H'00	H'00	保持	保持
コマンドタイムアウトコントロールレジスタ	CTOCR	H'00	H'00	保持	保持
データタイムアウトレジスタ	DTOUTR	H'FFFF	H'FFFF	保持	保持
カードステータスレジスタ	CSTR	H'0x	H'0x	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
割り込みコントロールレジスタ 0	INTCR0	H'00	H'00	保持	保持
割り込みコントロールレジスタ 1	INTCR1	H'00	H'00	保持	保持
割り込みステータスレジスタ 0	INTSTR0	H'00	H'00	保持	保持
割り込みステータスレジスタ 1	INTSTR1	H'00	H'00	保持	保持
転送クロックコントロールレジスタ	CLKON	H'00	H'00	保持	保持
VDD / オープンドレイン制御レジスタ	VDCNT	H'00	H'00	保持	保持
データレジスタ	DR	H'xxxx	H'xxxx	保持	保持
FIFO ポインタクリアレジスタ	FIFOCLR	H'00	H'00	保持	保持
DMA コントロールレジスタ	DMACR	H'00	H'00	保持	保持
割り込みコントロールレジスタ 2	INTCR2	H'00	H'00	保持	保持
割り込みステータスレジスタ 2	INTSTR2	H'0x	H'0x	保持	保持
カードスイッチレジスタ	CSWR	H'02	H'02	保持	保持
スイッチステータスレジスタ	SWSR	H'00	H'00	保持	保持
チャタリング除去パルス設定レジスタ	CHATR	H'13	H'13	保持	保持

31.3.1 コマンドタイプレジスタ (CMDTYR)

CMDTYR は、RSPTYR とともにコマンドの形式を設定します。TY1～TY0 で転送データの有無および方向を設定し、TY6～TY4、TY2 で付加的な設定をします。TY6～TY4、TY2 は、すべて 0 にクリアするか、いずれかひとつだけを 1 にセットしてください。TY6～TY4、TY2 ビットを 1 にセットする場合は、TY1～TY0 を TY6～TY4、TY2 のビットの意味に対応した設定にする必要があります。正しい設定が行われなかった場合、動作の保証はされません。シングルブロック転送の際は、TY1～TY0 を 01 または 10 に設定し、TY6～TY4、TY2 ビットを 0 にセットします。

ビット :	7	6	5	4	3	2	1	0
	-	TY6	TY5	TY4	-	TY2	TY[1:0]	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TY6	0	R/W	pre-defined マルチブロック転送を設定します。TY1～TY0 は 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
5	TY5	0	R/W	セキュア MMC 使用時のマルチブロック転送を設定します。TY1～TY0 は 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
4	TY4	0	R/W	CMD12 を発行する際、1 にセットし、TY1～TY0 を 00 に設定します Stop Tran(SPI マルチブロックライト終了データトークン)を発行する際、1 にセットし、TY1～TY0 を 11 に設定します。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TY2	0	R/W	open-ended マルチブロック転送を設定します。TY1～TY0 は 01 または 10 に設定する必要があります。 本ビットで設定されたマルチブロック転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
1, 0	TY[1:0]	00	R/W	転送データの有無および方向を設定します。 00 : データ転送を伴わないコマンドです。 01 : リードデータの受信を伴うコマンドです。 10 : ライトデータの送信を伴うコマンドです。 11 : Stop Tran 送信時に設定してください。

表 31.4 に、「The MultiMediaCard System Specification Version3.1」記載のコマンドと、CMDTYR、RSPTYR レジスタの設定の対応を示します。

31.3.2 レスポンスタイプレジスタ (RSPTYR)

RSPTYR は、CMDTYR とともにコマンドの形式を設定します。RTY[2:0]でレスポンスバイト数を設定し、RTY5 ~ RTY4 で追加的な設定をします。

ビット:	7	6	5	4	3	2	1	0
	-	-	RTY5	RTY4	-	RTY[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	RTY5	0	R/W	R1b レスポンスを伴うコマンド時に設定します。
4	RTY4	0	R/W	コマンドレスポンス (R2 レスポンス以外) の CRC を CRC7 でチェックする設定にします。RTY2 ~ RTY0 は、100 を設定する必要があります。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 ~ 0	RTY[2:0]	000	R/W	コマンドレスポンスバイト数を設定します。 000 : コマンドレスポンスを要しないコマンドです。 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : コマンドレスポンス 6 バイトを要するコマンドです。 MMC モードの R1、R1b、R3、R4、R5 レスポンスで設定します。 101 : コマンドレスポンス 17 バイトを要するコマンドです。 MMC モードの R2 レスポンスで設定します。 110 : 設定禁止 111 : 設定禁止

【注】 RTY4 による CRC チェックは、コマンドレスポンスの CRC エラーのビットをチェックするものではなく、コマンドレスポンスに付属する CRC をチェックするものです。また MMC モードの R2 のコマンドレスポンスの CRC チェックはできません。

表 31.4 に、「The MultiMediaCard System Specification Version3.1」記載のコマンドと、CMDTYR、RSPTYR レジスタの設定の対応を示します。

表 31.4 コマンドと CMDTYR、RSPTYR 設定

• MMCモード

CMD INDEX	略 称	resp	CMDTYR					RSPTYR				
			6	5	4	3	2	1~0	6	5	4	2~0
CMD0	GO_IDLE_STATE	-						00				000
CMD1	SEND_OP_COND	R3						00				100
CMD2	ALL_SEND_CID	R2						00				101
CMD3	SET_RELATIVE_ADDR	R1						00			*4	100
CMD4	SET_DSR	-						00				000
CMD7	SELECT/DESELECT_CARD	R1b						00		1	*4	100
CMD9	SEND_CSD	R2						00				101
CMD10	SEND_CID	R2						00				101
CMD11	READ_DAT_UNTIL_STOP	R1						01			*4	100
CMD12	STOP_TRANSMISSION	R1b			1			00		1	*4	100
CMD13	SEND_STATUS	R1						00			*4	100
CMD15	GO_INACTIVE_STATE	-						00				000
CMD16	SET_BLOCKLEN	R1						00			*4	100
CMD17	READ_SINGLE_BLOCK	R1		*3				01			*4	100
CMD18	READ_MULTIPLE_BLOCK	R1	*2				*2	01			*4	100
CMD20	WRITE_DAT_UNTIL_STOP	R1						10			*4	100
CMD23	SET_BLOCK_COUNT	R1						00			*4	100
CMD24	WRITE_BLOCK	R1		*3				10			*4	100
CMD25	WRITE_MULTIPLE_BLOCK	R1	*2				*2	10			*4	100
CMD26	PROGRAM_CID	R1						10			*4	100
CMD27	PROGRAM_CSD	R1						10			*4	100
CMD28	SET_WRITE_PROT	R1b						00		1	*4	100
CMD29	CLR_WRITE_PROT	R1b						00		1	*4	100
CMD30	SEND_WRITE_PROT	R1						01			*4	100
CMD32*1	TAG_SECTOR_START	R1						00			*4	100
CMD33*1	TAG_SECTOR_END	R1						00			*4	100
CMD34*1	UNTAG_SECTOR	R1						00			*4	100
CMD35	TAG_ERASE_GROUP_START	R1						00			*4	100
CMD36	TAG_ERASE_GROUP_END	R1						00			*4	100
CMD37*1	UNTAG_ERASE_GROUP	R1						00			*4	100
CMD38	ERASE	R1b						00		1	*4	100
CMD39	FAST_IO	R4						00			*4	100
CMD40	GO_IRQ_STATE	R5						00			*4	100
CMD42	LOCK_UNLOCK	R1b						10		1	*4	100
CMD55	APP_CMD	R1						00			*4	100
CMD56	GEN_CMD	R1b						*5		1	*4	100

- 【注】 *1 MMCA Ver3.1以降のカードではこれらのコマンドはサポートしていません。
- *2 あらかじめブロック数を設定する転送時はTY6、設定しない転送時はTY2を設定します。
- *3 セキュア MMC 使用時のマルチブロック転送時設定します。
- *4 R2以外のコマンドレスポンスのCRCのチェック時1を設定します (R2のコマンドレスポンスのCRCチェックはできません)。
- *5 リード時は01、ライト時は10を設定します。
- 空白 0を設定してください。

31.3.3 転送バイト数カウントレジスタ (TBCR)

TBCRは、1ブロックあたりの転送バイト数(ブロックサイズ)を設定します。スタート、エンドビットやCRCを含まない、正味のデータブロックバイト数を設定します。

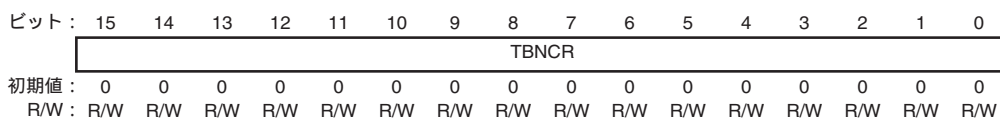
マルチブロック転送コマンドでは、各データブロックのバイト数に対応します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	C[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	C[3:0]	0000	R/W	転送データブロックサイズ 0000 : 1 バイト 0001 : 2 バイト 0010 : 4 バイト 0011 : 8 バイト 0100 : 16 バイト 0101 : 32 バイト 0110 : 64 バイト 0111 : 128 バイト 1000 : 256 バイト 1001 : 512 バイト 1010 : 1024 バイト 1011 : 2048 バイト 1100 ~ 1111 : 設定禁止

31.3.4 転送ブロック数カウンタ (TBNCR)

TBNCR は、CMDTYR の TY5、TY6 ビットでマルチブロック転送を設定した場合、必ず TBNCR に 0 以外の値をライトする必要があります。TBNCR には、転送するブロック数を設定してください。TBNCR の内容は、1 ブロックの転送が完了するたびにデクリメントされ、0 になるとコマンドシーケンスを終了します。



ビット	ビット名	初期値	R/W	説明
15~0	TBNCR	すべて 0	R/W	転送ブロック数カウンタ [クリア条件] 指定ブロック数転送時および 0 ライト時

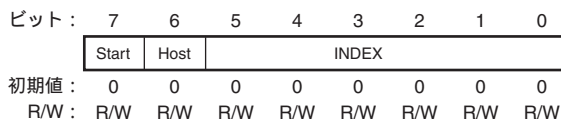
31.3.5 コマンドレジスタ 0~5 (CMDR0~CMDR5)

CMDR は、それぞれ 8 ビットのレジスタで構成されています。CMDR には表 31.5 のようにコマンドをライトし、CMDSTRT の START ビットを 1 にセットすることによりコマンドを送出します。

表 31.5 CMDR の構成

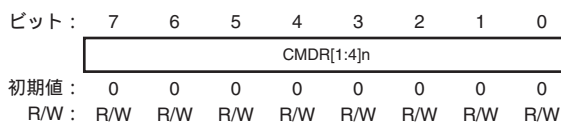
レジスタ	内容	操 作
CMDR0	Start ビット、Host ビット、 コマンドインデックス	コマンドインデックス書き込み Start ビットは 0、Host ビットは 1 にセットする
CMDR[1:4]	コマンド指数	コマンド指数書き込み
CMDR5	CRC、End ビット	CRC は自動計算のため設定不要 End ビットは設定不要

- CMDR0



ビット	ビット名	初期値	R/W	説明
7	Start	0	R/W	スタートビット (0 をセットする)
6	Host	0	R/W	トランSMIッションビット (1 をセットする)
5~0	INDEX	すべて 0	R/W	コマンドインデックス

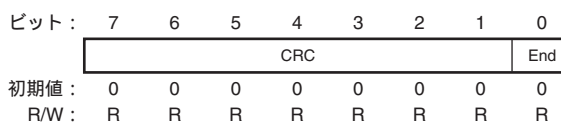
- CMDR1 ~ CMDR4



ビット	ビット名	初期値	R/W	説明
7~0	CMDR[1:4]n	すべて0	R/W	コマンド引数

(n=0~7)

- CMDR5



ビット	ビット名	初期値	R/W	説明
7~1	CRC	すべて0	R	設定不要。リード値は0です。
0	End	0	R	設定不要。リード値は0です。

31.3.6 レスポンスレジスタ 0 ~ 16、D (RSPR0 ~ RSPR16、RSPRD)

RSPR0 ~ RSPR16 はコマンドレスポンスレジスタで、それぞれが 8 ビットのレジスタで構成されています。RSPRD は 5 ビットのデータレスポンスレジスタです。

コマンドレスポンスバイト数は、コマンドにより異なります。MMCIF では、コマンドレスポンスバイト数を、レスポンスタイプレジスタ (RSPTYR) で指定することができます。コマンドレスポンスは、RSPR16 のビット 0 からシフトインされ、コマンドレスポンスバイト数×8 ビットまでシフトされます。表 31.6 にコマンドレスポンスバイト数と有効な RSPR レジスタの対応を示します。

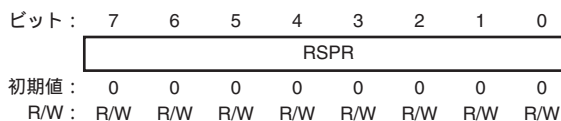
表 31.6 コマンドレスポンスバイト数と RSPR レジスタの対応

RSPR レジスタ	MMC モードレスポンス	
	6 バイト (R1、R1b、R3、R4、R5)	17 バイト (R2)
RSPR0	-	1 バイト目
RSPR1	-	2 バイト目
RSPR2	-	3 バイト目
RSPR3	-	4 バイト目
RSPR4	-	5 バイト目
RSPR5	-	6 バイト目

RSPR レジスタ	MMC モードレスポンス	
	6 バイト (R1、R1b、R3、R4、R5)	17 バイト (R2)
RSPR6	-	7 バイト目
RSPR7	-	8 バイト目
RSPR8	-	9 バイト目
RSPR9	-	10 バイト目
RSPR10	-	11 バイト目
RSPR11	1 バイト目	12 バイト目
RSPR12	2 バイト目	13 バイト目
RSPR13	3 バイト目	14 バイト目
RSPR14	4 バイト目	15 バイト目
RSPR15	5 バイト目	16 バイト目
RSPR16	6 バイト目	17 バイト目

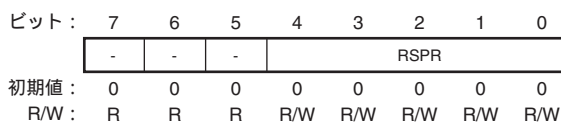
RSPR レジスタの初期値は H'00 です。RSPR0 ~ 16 は、単純なシフトレジスタであり、一度シフトインされたコマンドレスポンスは自動的にクリアされず、RSPR0 のビット 7 からシフトアウトされるまでシフトされ続けます。不要なバイトを H'00 にクリアするためには、各 RSPR に任意の値をライトしてください。

- RSPR0 ~ RSPR16



ビット	ビット名	初期値	R/W	説明
7~0	RSPR	すべて 0	R/W	任意の値のライトで H'00 にクリアされます。 RSPR0 ~ RSPR16 は連結された 17 バイトのシフトレジスタです。 コマンドレスポンスが格納されます。

- RSPRD



ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4~0	RSPR	すべて0	R/W	任意の値のライトですべて00にクリアされます。 データレスポンスが格納されます。

31.3.7 コマンドスタートレジスタ (CMDSTRT)

CMDSTRT は、コマンド送出または Stop Tran 送出の開始をトリガします。送出開始は、同時にコマンドシーケンスの開始となります。コマンドシーケンスの開始に先立って、次の操作を完了しておく必要があります。

コマンド送出：

- 前コマンドのレスポンスの解析、必要ならばコマンドレスポンスレジスタのライトクリア
- 必要ならば前コマンドの受信データの解析 / 転送
- 必要ならば次コマンドの送信データの準備
- CMDTYR、RSPTYR、TBCR、TBNCRの設定

CMDR0~CMDR4、CMDTYR、RSPTYR、TBCR、TBNCRは、コマンド送出が終了するまで (CSTRのCWREフラグが1にセット中) 変更しないでください。

- CMDR0~CMDR4の設定

Stop Tran 送出：

- CMDTYR、RSPTYRの設定

CMDTYR、RSPTYRは、コマンド送出が終了するまで (CSTRのCWREフラグが1にセット中) 変更しないでください。

コマンドシーケンスは、MMCIF 側とカード側それぞれのシーケンサで管理されています。これらは、通常は同期して動作していますが、エラーの発生やコマンドの中止などが発生すると一時的に同期できない場合があります。MMC モードでの、OPCR の CMDOFF ビットのセット、CMD12 コマンドの発行や、エラー処理の場合は注意が必要です。MMCIF 側、カード側両方のコマンドシーケンスが終了していることを確認して、新しいコマンドシーケンスを開始してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	START
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	START	0	R/W	1 ライトでコマンドまたは Stop Tran 送出を開始します。このビットはハードクリアされます。

31.3.8 オペレーションコントロールレジスタ (OPCR)

OPCR はコマンドの動作中止、データ転送の中断/継続を制御するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	CMD OFF	-	RD CONTI	DATAEN	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	CMDOFF	0	R/W	コマンドオフ コマンド送出後の1ライトで、そのコマンドに関する動作(MMCIFのコマンドシーケンス)をすべて中止します。その後ハードクリアされます。 ライト有効期間: コマンド送出完了からコマンドシーケンス終了まで 0ライト: 動作に影響ありません。 1ライト: コマンドシーケンスを強制的に中止します。
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	RD_CONTI	0	R/W	リードコンティニュー 1ライト後、MMCIFがデータリードを再開した時にハードクリアされます。FIFOフルやマルチブロックリードのブロックリード終了によるシーケンス中断状態で、リードデータの受信を再開します。 ライト有効期間: データ受信シーケンス中断中 0ライト: 動作に影響ありません。 1ライト: リードデータ受信を再開します。
4	DATAEN	0	R/W	データイネーブル ライトデータを伴うコマンドで、ライトデータの送信を開始します。FIFOエンプティやマルチブロックライトのブロックライト終了によるシーケンス中断状態で、ライトデータの送信を再開します。 ライト有効期間: (1)ライトデータを伴うコマンドレスポンス受信後、(2)FIFOエンプティによるシーケンス停止状態、(3)マルチブロックライトのブロックライト終了時 0ライト: 動作に影響ありません 1ライト: ライトデータ送信を開始または再開します。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ライトデータの送信は、コマンドレスポンスやデータレスポンスの内容を解析後、送信のトリガを行なう必要があります。また、データ転送は、FIFOのフル/エンプティにより一時的に停止し、準備が整ったところでデータ転送を再開する必要があります。

マルチブロック転送の場合は、ブロックの区切りごとに一時的に停止し、次のブロックに進むか、CMD12または Stop Tran を発行してマルチブロック転送コマンドを中止するかを選択が可能です。次のブロックに進むときは、RD_CONTI ビットや DATAEN ビットを 1 にセットします。CMD12 または Stop Tran を発行する場合は、CMDOFF ビットを 1 にセットして MMCIF 側のコマンドシーケンスを中止します。また、pre-define マルチブロック転送でオートモードを使用する場合は、ブロック間での RD_CONTI ビットや DATAEN ビットの設定を省略することが可能です。

31.3.9 コマンドタイムアウトコントロールレジスタ (CTOCR)

CTOCR は、コマンドレスポンスのタイムアウトを発生する周期を設定します。

コマンドレスポンスを受信する際は、常に転送クロックのカウントを行い、CTOCR に設定した転送クロック数に達するとコマンドタイムアウトエラーの状態になります。ここで INTCR1 の CTERIE ビットが 1 にセットされていると、INTSTR1 の CTERI フラグがセットされます。コマンドタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから CTERI フラグをクリアしてください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CTSELO
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CTSELO	1	R/W	0: コマンド送信完了からレスポンス受信完了まで 128 転送クロック 1: コマンド送信完了からレスポンス受信完了まで 256 転送クロック

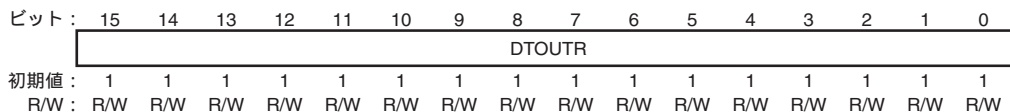
【注】 MMC モードの R2 レスポンス (17 バイトのコマンドレスポンス) を要求する時には、CTSELO を 0 にセットすると、レスポンス受信中に、タイムアウトを発生する為、CTSELO を 1 に設定してください。

31.3.10 データタイムアウトレジスタ (DTOUTR)

DTOUTR は、データタイムアウトを発生する周期を設定します。データタイムアウトを監視するために、16 ビットカウンタ (DTOUTC) とプリスケラがあり、周辺クロック 1 をカウントします。プリスケラは、常に周辺クロック 1 をカウントしており、10000 周辺クロック 1 ごとにカウントパルスを出力します。DTOUTC は、初期値が 0 で、コマンドシーケンスの開始からプリスケラ出力のカウントを開始します。DTOUTC は、コマンドシーケンスが終了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することにより、クリアされプリスケラ出力のカウントを停止します。

コマンドシーケンスが終了しない場合は、DTOUTC はプリスケラ出力のカウントを続け、DTOUTR に設定した値に達するとデータタイムアウトエラーの状態になります。ここで INTCR1 の DTERIE ビットが 1 にセットされていると、INTSTR1 の DTERI フラグがセットされます。データタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから DTERI フラグをクリアしてください。

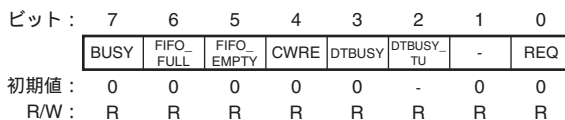
データビジー状態があるコマンドの場合、コマンドシーケンスはデータビジー状態の前に終了するため、データタイムアウトでタイムアウトの監視をすることができません。データビジー状態のタイムアウト監視はファームウェアで実現する必要があります。DTOUTR に 0 を設定した場合、コマンドシーケンスの開始直後にタイムアウトになります。



ビット	ビット名	初期値	R/W	説明
15~0	DTOUTR	すべて 1	R/W	データタイムアウト時間 / 10000 データタイムアウト時間は、周辺クロック 1 周期 × DTOUTR 設定値 × 10000 となります。

31.3.11 カードステータスレジスタ (CSTR)

CSTR は、コマンドシーケンス実行中の MMCIF のステータスを示します。



ビット	ビット名	初期値	R/W	説明
7	BUSY	0	R	コマンドビジー コマンドの実行状態を示します。OPCR の CMDOFF ビットを 1 にセットすると、MMCIF のコマンドシーケンスが中止されるため、0 にクリアされます。 0: コマンド待ちのアイドル状態、または、データビジー状態です。 1: コマンドシーケンス実行中です。
6	FIFO_FULL	0	R	FIFO フル 読み出しデータ受信の際、FIFO がフルになったときに 1 にセットされます。RD_CONTI に 1 をセットするか、コマンドシーケンスの終了により 0 にクリアされます。 0: FIFO に空きがあります。 1: FIFO がフル状態です。
5	FIFO_EMPTY	0	R	FIFO エンプティ 書き込みデータ送信の際、FIFO がエンプティになったときに 1 にセットされます。DATAEN に 1 をセットするか、コマンドシーケンスの終了により 0 にクリアされます。 0: FIFO にデータがあります。 1: FIFO がエンプティ状態です。

ビット	ビット名	初期値	R/W	説明
4	CWRE	0	R	<p>コマンドレジスタライトイネーブル</p> <p>CMDR のコマンドが送信中か送信済みかを示します。</p> <p>0 : CMDR のコマンドが送信済み、または、CMDSTRT の START ビットのセット前で、新しいコマンドを書き込み可能です。</p> <p>1 : CMDR のコマンドを送信待ちまたは送信中で、新しいコマンドを書き込むと誤動作する状態です。</p>
3	DTBUSY	0	R	<p>データビジー</p> <p>コマンドの実行状態を示します。データの転送を伴わないコマンドでレスポンスにビジー状態のあるコマンド、または、ライトデータを伴うコマンドのデータレスポンス終了後、カードがビジーである状態を表示します。</p> <p>0 : コマンド待ちのアイドル状態、または、コマンドシーケンス実行中です。</p> <p>1 : コマンドシーケンスの終了後、カード側がデータビジー表示をしています。</p>
2	DTBUSY_TU	不定	R	<p>データビジー端子状態</p> <p>DAT 端子のレベルをモニタします。</p> <p>ビジー状態にあるカードを DESELECT し、再度 SELECT したときカードがビジー状態にあるかを検知するために本ビットをモニタします。</p> <p>0 : カード側がデータビジーの表示をしています。</p> <p>1 : カード側がデータビジーでないことを表示しています。</p>
1	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	REQ	0	R	<p>割り込み要求</p> <p>割り込み処理要求の有無を示します。割り込み要求は、INTSTR0、INTSTR1、INTSTR2 のフラグの論理和です。INTSTR0、INTSTR1、INTSTR2 のフラグのセットは、INTCR0、INTCR1、INTCR2 のイネーブルビットによって制御されます。</p> <p>0 : 割り込み要求がない。</p> <p>1 : 割り込み要求がある。</p>

31.3.12 割り込みコントロールレジスタ 0、1 (INTCR0、INTCR1)

INTCR は、INTSTR0,1 の各フラグセットの許可 / 禁止および割り込み出力の制御を行います。

- INTCR0

ビット:	7	6	5	4	3	2	1	0
	FEIE	FFIE	DRPIE	DTIE	CRPIE	CMDIE	DBSYIE	BTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	FEIE	0	R/W	FIFO エンプティフラグイネーブル 0: FIFO エンプティフラグのセットを禁止 1: FIFO エンプティフラグのセットを許可
6	FFIE	0	R/W	FIFO フルフラグイネーブル 0: FIFO フルフラグのセットを禁止 1: FIFO フルフラグのセットを許可
5	DRPIE	0	R/W	データレスポンス終了フラグイネーブル 0: データレスポンス終了フラグのセットを禁止 1: データレスポンス終了フラグのセットを許可
4	DTIE	0	R/W	データ転送終了フラグイネーブル 0: データ転送終了フラグのセットを禁止 1: データ転送終了フラグのセットを許可
3	CRPIE	0	R/W	コマンドレスポンス終了フラグイネーブル 0: コマンドレスポンス終了フラグのセットを禁止 1: コマンドレスポンス終了フラグのセットを許可
2	CMDIE	0	R/W	コマンド出力終了フラグイネーブル 0: コマンド出力終了フラグのセットを禁止 1: コマンド出力終了フラグのセットを許可
1	DBSYIE	0	R/W	データビジー終了フラグイネーブル 0: データビジー終了フラグのセットを禁止 1: データビジー終了フラグのセットを許可
0	BTIE	0	R/W	マルチブロック転送終了フラグイネーブル 0: マルチブロック転送終了フラグのセットを禁止 1: マルチブロック転送終了フラグのセットを許可

• INTCR1

ビット:	7	6	5	4	3	2	1	0
	INTRQ2E	INTRQ1E	INTRQ0E	-	WRERIE	CRCERIE	DTERIE	CTERIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	INTRQ2E	0	R/W	ERR 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
6	INTRQ1E	0	R/W	TRAN 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
5	INTRQ0E	0	R/W	FSTAT 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
4	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	WRERIE	0	R/W	ライトエラーフラグイネーブル 0: ライトエラーフラグのセットを禁止 1: ライトエラーフラグのセットを許可
2	CRCERIE	0	R/W	CRC エラーフラグイネーブル 0: CRC エラーフラグのセットを禁止 1: CRC エラーフラグのセットを許可
1	DTERIE	0	R/W	データタイムアウトエラーフラグイネーブル 0: データタイムアウトエラーフラグのセットを禁止 1: データタイムアウトエラーフラグのセットを許可
0	CTERIE	0	R/W	コマンドタイムアウトエラーフラグイネーブル 0: コマンドタイムアウトエラーフラグのセットを禁止 1: コマンドタイムアウトエラーフラグのセットを許可

31.3.13 割り込みステータスレジスタ 0、1 (INTSTR0、INTSTR1)

INTSTR は、MMCIF の割り込み出力を制御します。

- INTSTR0

ビット：	7	6	5	4	3	2	1	0
	FEI	FFI	DRPI	DTI	CRPI	CMDI	DBSYI	BTI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明	割り込み出力
7	FEI	0	R/(W)*	FIFO エンプティフラグ [1 セット条件] FEIE=1 の状態で、ライトデータ送信中に FIFO がエンプティとなったとき (CSTR の FIFO_EMPTY ビットがセットされたとき) [0 クリア条件] FEI=1 リード後の 0 ライト	FSTAT
6	FFI	0	R/(W)*	FIFO フルフラグ [1 セット条件] FFIE=1 の状態で、リードデータ受信中に FIFO がフルとなったとき (CSTR の FIFO_FULL ビットがセットされたとき) [0 クリア条件] FFI=1 リード後の 0 ライト	FSTAT
5	DRPI	0	R/(W)*	データレスポンスフラグ [1 セット条件] DRPIE=1 の状態で CRC ステータスを受信したとき [0 クリア条件] DRPI=1 リード後の 0 ライト	TRAN
4	DTI	0	R/(W)*	データ転送終了フラグ [1 セット条件] DTIE=1 の状態で、TBCR に設定したバイト数のデータ転送が終了したとき [0 クリア条件] DTI=1 リード後の 0 ライト	TRAN

ビット	ビット名	初期値	R/W	説明	割り込み出力
3	CRPI	0	R/(W)*	コマンドレスポンス受信終了フラグ [1セット条件] CRPIE=1の状態、コマンドレスポンスの受信が終了したとき [0クリア条件] CRPI=1リード後の0ライト	TRAN
2	CMDI	0	R/(W)*	コマンド送信終了フラグ [1セット条件] CMDIE=1の状態、コマンドの送信が終了したとき [0クリア条件] CMDI=1リード後の0ライト	TRAN
1	DBSYI	0	R/(W)*	データビジー終了フラグ [1セット条件] DBSYIE=1の状態、データビジーの状態が解消したとき [0クリア条件] DBSYI=1リード後の0ライト	TRAN
0	BTI	0	R/(W)*	マルチブロック転送終了フラグ [1セット条件] BTIE=1の状態、TBNCRが0までデクリメントされた後の TBCRで設定したバイト数のデータ転送が終了したとき [0クリア条件] BTI=1リード後の0ライト	TRAN

【注】 * 1リード後0ライトによりクリア

- INTSTR1

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	WRERI	CRCERI	DTERI	CTERI
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	

ビット	ビット名	初期値	R/W	説明	割り込み出力
3	WRERI	0	R/(W)*	ライトエラーフラグ [1セット条件] WREIE=1の状態、送信データレスポンスのステータスエラー(ライトエラー)を検出したとき [0クリア条件] WREI=1リード後の0ライト 【注】 ライトエラー発生時は、CMDOFFビットを1にセットしてコマンドシーケンスを中止してください。	ERR
2	CRCERI	0	R/(W)*	CRCエラーフラグ [1セット条件] CRCERIE=1の状態、コマンドレスポンスまたは受信データのCRCエラーおよび、送信データレスポンスでのCRCステータスエラーを検出したとき R2以外のコマンドレスポンスに対してはRSPTYRのRTY4をイネーブル時CRCをチェックします。 R2のコマンドレスポンスに対してはCRCチェックが行われないため本フラグはセットされません。 [0クリア条件] CRCERI=1リード後の0ライト 【注】 CRCエラー発生時は、CMDOFFビットを1にセットしてコマンドシーケンスを中止してください。	ERR
1	DTERI	0	R/(W)*	データタイムアウトエラーフラグ [1セット条件] DTERIE=1の状態、DTOUTRに設定したデータタイムアウトエラーが発生したとき [0クリア条件] DTERI=1リード後の0ライト 【注】 データタイムアウトエラー発生時は、CMDOFFビットを1にセットしてコマンドシーケンスを中止してからDTERIフラグをクリアしてください。	ERR
0	CTERI	0	R/(W)*	コマンドタイムアウトエラーフラグ [1セット条件] CTERIE=1の状態、TOCRに設定したコマンドタイムアウトエラーが発生したとき [0クリア条件] CTERI=1リード後の0ライト 【注】 コマンドタイムアウトエラー発生時は、CMDOFFビットを1にセットしてコマンドシーケンスを中止してからCTERIフラグをクリアしてください。	ERR

【注】 * 1リード後0ライトによりクリア

31.3.14 転送クロックコントロールレジスタ (CLKON)

CLKON は、転送クロックの周波数および ON/OFF を制御します。

MMCIF おいて、16.7Mbps の転送クロックを実現するためには、周辺クロック 1 を 33.3MHz とし CSEL[3:0] を 0001 に設定する必要があります。このとき、MMC モードのオープンドレイン形式出力状態では、十分に遅い転送クロックで転送を行ってください。

コマンドシーケンス中は、クロックの ON/OFF、周波数の変更は行わないでください。

ビット:	7	6	5	4	3	2	1	0
	CLKON	-	-	-	CSEL[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CLKON	0	R/W	クロックオン 0: MMC_CLK 端子からの転送クロック出力を Low レベルに固定します。 1: MMC_CLK 端子から転送クロックを出力します。
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CSEL[3:0]	0000	R/W	転送クロック周波数セレクト 0000: 設定禁止 0001: 周辺クロック 1 を 2 分周して転送クロックとします。 0010: 周辺クロック 1 を 4 分周して転送クロックとします。 0011: 周辺クロック 1 を 8 分周して転送クロックとします。 0100: 周辺クロック 1 を 16 分周して転送クロックとします。 0101: 周辺クロック 1 を 32 分周して転送クロックとします。 0110: 周辺クロック 1 を 64 分周して転送クロックとします。 0111: 周辺クロック 1 を 128 分周して転送クロックとします。 1000: 周辺クロック 1 を 256 分周して転送クロックとします。 1001~1111: 設定禁止

31.3.15 VDD / オープンドレイン制御レジスタ (VDCNT)

VDCNT は、MMC モード時のオープンドレイン制御に $\overline{\text{MMC_ODMOD}}$ を利用可能です。

カード電源 (VDD) の ON/OFF 制御には、 $\overline{\text{MMC_VDDON}}$ 出力を利用可能です。

ビット:	7	6	5	4	3	2	1	0
	VDDON	ODMOD	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	VDDON	0	R/W	カード電源 (VDD) 制御信号として利用可能です。 0: $\overline{\text{MMC_VDDON}}$ にローレベル信号出力 1: $\overline{\text{MMC_VDDON}}$ にハイレベル信号出力
6	ODMOD	0	R/W	MMC モード時の CMD 出力のオープンドレイン制御に利用可能です。 0: $\overline{\text{MMC_ODMOD}}$ にローレベル信号出力 1: $\overline{\text{MMC_ODMOD}}$ にハイレベル信号出力
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

31.3.16 データレジスタ (DR)

DR は、FIFO のデータをリード/ライトするためのレジスタです。

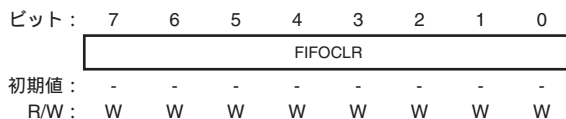
ワード、バイトアクセス可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0 (7~0)	DR	不定	R/W	FIFO のデータをリード/ライトするためのレジスタです。 ワード、バイトアクセス可能です。 ただし、2n+1 番地へのバイトアクセスはできません。

31.3.17 FIFO ポインタクリアレジスタ (FIFOCLR)

FIFOCLR に任意の値をライトすることによって、FIFO のライトポインタ、リードポインタがクリアされます。



ビット	ビット名	初期値	R/W	説明
7~0	FIFOCLR	不定	W	任意の値をライトすることで、FIFO ポインタがクリアされます。

31.3.18 DMA コントロールレジスタ (DMACR)

DMACR は、DMA 要求信号出力を制御します。DMAEN で DMA 要求信号の許可、禁止を設定し、SET[2:0] で設定した値により DMA 要求信号を出力します。マルチブロック転送のコマンド (CMD18、CMD25) を実行する前に本レジスタを設定してください。オートモードは open-ended マルチブロック転送には使用できません。



ビット	ビット名	初期値	R/W	説明
7	DMAEN	0	R/W	0: DMA 要求信号の出力禁止 1: DMA 要求信号の出力許可
6	AUTO	0	R/W	DMA 転送を使用する pre-define マルチブロック転送で、オートモードを使用する際設定します。オートモードの動作については「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。 0: オートモードを使用しない。 1: オートモードを使用。
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	SET[2:0]	000	R/W	DMA 要求信号アサート条件を設定します。 000: DMA 要求を出力しません。 001: FIFO 残データが FIFO 容量の 1/4 以下。 010: FIFO 残データが FIFO 容量の 1/2 以下。 011: FIFO 残データが FIFO 容量の 3/4 以下。 100: FIFO 残データが 1Byte 以上。 101: FIFO 残データが FIFO 容量の 1/4 以上。 110: FIFO 残データが FIFO 容量の 1/2 以上。 111: FIFO 残データが FIFO 容量の 3/4 以上。

31.3.19 割り込みコントロールレジスタ 2 (INTCR2)

INTCR2 は、割り込みの許可 / 禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	INTRQ3E	-	-	-	-	-	CDIE	FRDYIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	INTRQ3E	0	R/W	FRDY 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CDIE	0	R/W	カード検出フラグイネーブル 0: カード検出フラグのセットを禁止 1: カード検出フラグのセットを許可
0	FRDYIE	0	R/W	FIFO 準備完了フラグイネーブル 0: FIFO 準備完了フラグのセットを禁止 1: FIFO 準備完了フラグのセットを許可

31.3.20 割り込みステータスレジスタ 2 (INTSTR2)

INTSTR2 は、MMCIF の割り込み出力を制御します。

FRDYI は、クリア後もセット条件であればセットされます。クリアするときは、INTCR2 の FRDYIE によりフラグのセットを禁止にしてクリアしてください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CDI	FRDY. TU	FRDYI
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R/(W)*	R	R/(W)*

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
2	CDI	0	R/(W)*	カード検出フラグ カードの挿抜 (カード検出信号の H/L 変化) を検出。 [1 セット条件] CDIE=1 の状態で、カードの挿抜を検出したとき [0 クリア条件] CDI=1 リード後の 0 ライト	FRDY

ビット	ビット名	初期値	R/W	説明	割り込み出力
1	FRDY_TU	1	R	FRDYI のセット条件を満たしているとき。 リード値 0 : FIFO の残データが DMACR で設定したアサート条件以内のとき 1 : FIFO の残データが DMACR で設定したアサート条件以外のとき	
0	FRDYI	0	R/(W)*	FIFO 準備完了フラグ [1 セット条件] FRDYIE=1 の状態で、DMAEN ビットがセットされ、FIFO の残データが DMACR で設定したアサート条件以外のとき [0 クリア条件] FRDYI=1 リード後の 0 ライト	FRDY

【注】 * 1 リード後 0 ライトによりクリア

31.3.21 カードスイッチレジスタ (CSWR)

CSWR は、カード検出信号の状態を表示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CDB*
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	CDB*	0	R	カード検出状態表示 カードの挿入 / 未挿入状態を表示。 0 : カード未挿入状態。(mmc_cd = 1) 1 : カード挿入状態。(mmc_cd = 0)

【注】 * mmc_cd = 0 でカード挿入状態の場合を示します。コネクタの種類により、カード検出状態表示の極性は変化します。

31.3.22 スイッチステータスレジスタ (SWSR)

SWSR は、カード検出時の周辺クロック 1 および内部分周クロックの制御を行います。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	GATE_CDB	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	GATE_CDB	0	R/W	カード検出時クロック制御 カード検出時に不要な FF へのクロック供給を停止する。 0 : 周辺クロック 1 および内部分周クロック動作 1 : 周辺クロック 1 および内部分周クロック停止
1, 0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

31.3.23 チャタリング除去パルス設定レジスタ (CHATR)

CHATR は、カード検出信号に発生するチャタリングを除去するためのチャタリング除去パルスの周期を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	CHAT				
初期値:	0	0	0	1	0	0	1	1
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	000	R	リード値は0です。0をライトしてください。
4~0	CHAT	10011	R/W	チャタリング除去パルス周期の周波数 00000 ~ 01000 および 11000 ~ 11111 : 設定禁止

チャタリング除去パルス周期 Term[sec] = $2^{\text{chat}} / \text{Pck1}$ 周波数[MHz]

Pck1 : 周辺クロック1

チャタリング : カード検出スイッチの切り替わり直後に信号がON/OFFを繰り返す不安定な状態

表 31.7 チャタリング除去パルス周期一覧

chat	10 進	2^{chat}	チャタリング除去パルス周期
			Pck1=33MHz
01001	(9)	512	0.015[ms]
01010	(10)	1024	0.031[ms]
01011	(11)	2048	0.061[ms]
01100	(12)	4096	0.123[ms]
01101	(13)	8192	0.246[ms]
01110	(14)	16384	0.492[ms]
01111	(15)	32768	0.983[ms]
10000	(16)	65536	1.966[ms]
10001	(17)	131072	3.932[ms]
10010	(18)	262144	7.864[ms]
10011	(19)	524288	15.729[ms]
10100	(20)	1048576	31.457[ms]
10101	(21)	2097152	62.915[ms]
10110	(22)	4194304	125.829[ms]
10111	(23)	8388608	251.658[ms]

31.4 動作説明

マルチメディアカードは、着脱可能な外部記憶メディアです。MMCIF はマルチメディアカードとのデータ転送を制御し、MMC モードでの動作が可能です。

MMCIF は、カードが接続されカードの電源が ON されている状態で、適切な転送クロックの周波数を設定後、転送クロックを印可し動作開始してください。その際、カードの電源制御に MMC_VDDON、オープンドレインモード制御に MMC_ODMOD を利用することができます。

コマンド送出から、コマンドレスポンス受信、データ送信 / 受信、データレスポンス受信などの一連の動作をコマンドシーケンスと呼びます。コマンドシーケンスは、CMDSTRT の START ビットを 1 にセットすることによってコマンドが送出されることから始まり、必要なデータ送信 / 受信やレスポンス受信がすべて完了したときに終了します。コマンドシーケンス実行中および終了後に、マルチメディアカードには、カード内のフラッシュメモリの書き込み / 消去のためにある特定のコマンドしか受け付けられないデータビジー状態があります。データビジー状態は、DAT 端子にカード側からの 0 出力で表示されます。

【注】 コマンドシーケンス中、データビジー中のカードの挿抜は行わないでください。

31.4.1 MMC モードの動作

MMC モードは、転送クロックを出力する MMC_CLK 端子、コマンドを送信しレスポンスを受信する MMC_CMD 端子と、データを送受信する MMC_DAT 端子からなる動作モードです。この端子構成により、データ送受信中でも次のコマンドを発行できることが特長になっています。この特長は、マルチブロック転送に活かされています。例えば、現在のコマンドシーケンスを中止させる CMD12 が挙げられます。

また、MMC モードは、複数のカードに同時にコマンドを発行するブロードキャスト型のコマンドをサポートしています。ブロードキャスト型のコマンドを用いて挿入されているカードの情報を認識した後、個々のカードに相対アドレスを与えます。相対アドレスによって 1 枚のカードを選択し、他のカードを非選択にした後、選択したカードに対して種々のコマンドを発行します。

MMC モードのコマンドは、大別するとブロードキャスト型、相対アドレス型、フラッシュメモリ操作型の 3 種類に分けることができます。これらのコマンドをカードの状態に合わせ、適切に与えることによってカードを操作することができます。

(1) ブロードキャスト型コマンドの動作

CMD0、CMD1、CMD2、CMD4はブロードキャスト型のコマンドです。これにCMD3を加えて、個々のカードに相対アドレスを与えるシーケンスを構成します。本シーケンスの間は、CMD出力形式はオープンドレインに設定され、コマンドレスポンスはワイヤード-オアされます。このとき、CLKONレジスタの転送クロックを28分周に設定し、転送クロックの周波数を充分遅くしておく必要があります。

- CMD0で、すべてのカードをアイドル状態に初期化します。
- CMD1で、すべてのカードのオペレーションコンディションレジスタ(OCR)をワイヤード-オアで読み出し、動作できないカードを不活性化します。
不活性化されなかったカードはレディ状態になります。
- CMD2で、すべてのレディ状態のカードのカードアイデンティフィケーション(CID)をワイヤード-オアで読み出します。
個々のカードは、自身のCIDとCMD上のデータを比較し、異なっていればただちにCID出力を中止します。
CIDを最後まで出力できた1枚のカードは認識状態になります。
R2レスポンスを必要とするときはCTOCRレジスタをH'01に設定してください。
- CMD3で、認識状態のカードに相対アドレス(RCA)を与えます。
RCAを得たカードはスタンバイ状態になります。
- CMD2、CMD3を繰り返し、すべてのレディ状態のカードにRCAを与え、スタンバイ状態にします。

【注】 MMCモードのR2レスポンス(17バイトのコマンドレスポンス)を要求するときには、CTSEL0を0にセットすると、レスポンス受信中にタイムアウトを発生するため、CTSEL0を1に設定してください。

(2) 相対アドレス型コマンドの動作

CMD7、CMD9、CMD10、CMD13、CMD15、CMD39、CMD55は、RCAでカードをアドレスする相対アドレス型コマンドです。相対アドレス型コマンドは、カードの管理情報や固有情報を読み取るほか、特定のカードの状態を変更するために用います。

CMD7は、アドレスした1枚のカードを転送状態に設定し、それ以外のカードをスタンバイ状態にします。転送状態のカードのみが、ブロードキャスト型、相対アドレス型以外の、フラッシュメモリ操作型コマンドを実行することができます。

(3) コマンドレスポンスを要しないコマンドの動作

ブロードキャスト型コマンドの中には、コマンドレスポンスを要しないコマンドがあります。

図 31.2 に、コマンドレスポンスを要さないコマンドのコマンドシーケンスの例を示します。

図 31.3 に、コマンドレスポンスを要さないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングかコマンド出力終了割り込み(CMDI)で検出します。

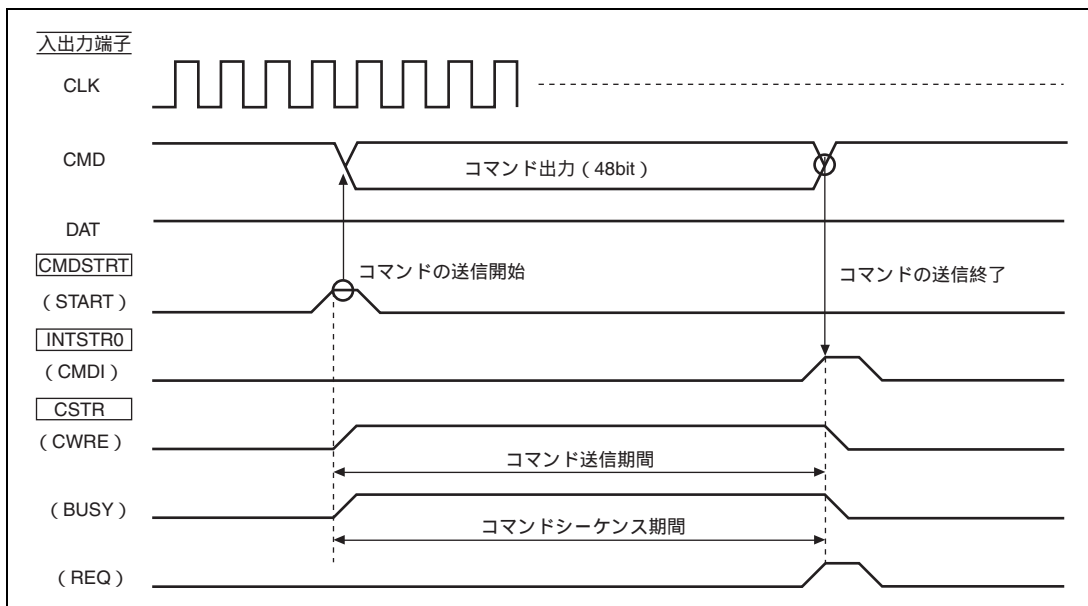


図 31.2 コマンドレスポンスを要さないコマンドシーケンスの例

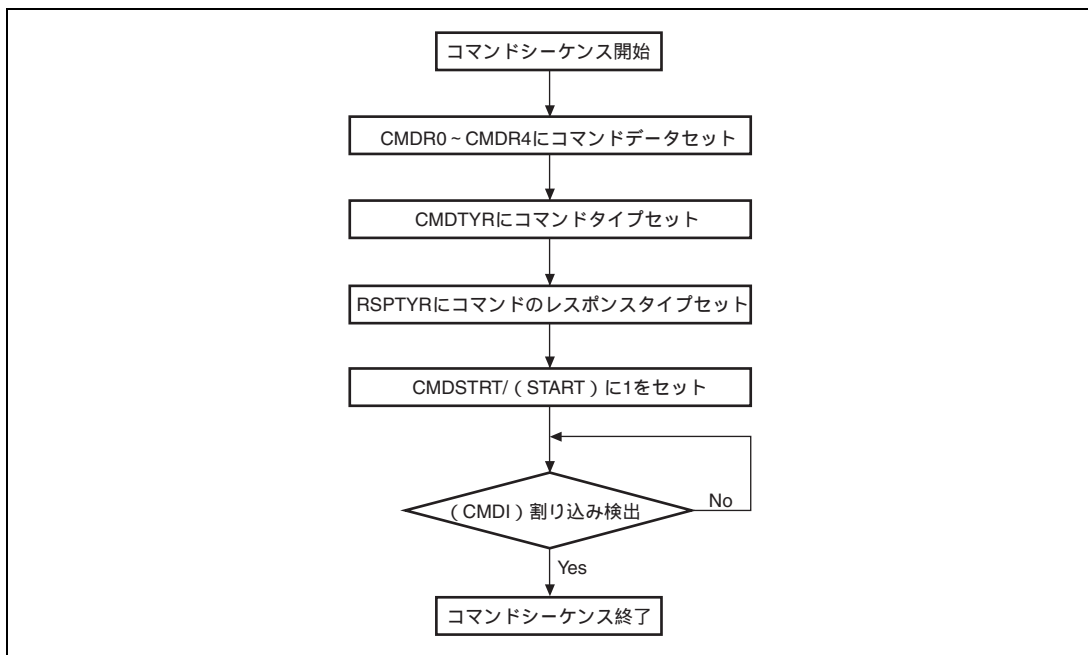


図 31.3 コマンドレスポンスを要さないコマンドの動作フローチャートの例

(4) データ転送を伴わないコマンドの動作

ブロードキャスト型、相対アドレス型、フラッシュメモリ操作型のすべてにデータ転送を伴わないコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスで、所望のデータ転送を実行します。フラッシュメモリの書き込み / 消去など時間を要する処理に関するコマンドでは、カードは DAT にデータビジー状態を表示します。

図 31.4 と図 31.5 に、データ転送を伴わないコマンドのコマンドシーケンスの例を示します。

図 31.6 に、データ転送を伴わないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。
- コマンド送出完了は、コマンド出力終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングか、コマンドレスポンス終了割り込み (CRPI) で検出します。
- CSTRのDTBUSYによりデータビジーであるか否かの判断を行います。データビジーであれば、データビジー状態の終了を、データビジー終了割り込み (DBSYI) で検出します。
- CRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。

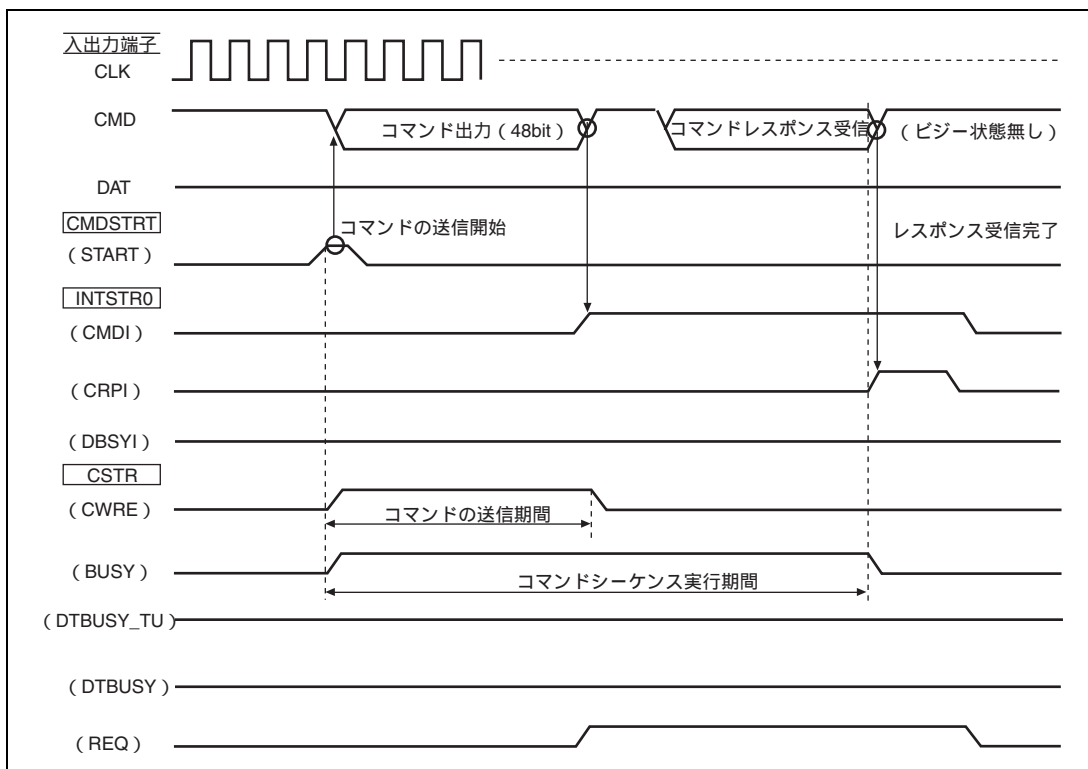


図 31.4 データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし)

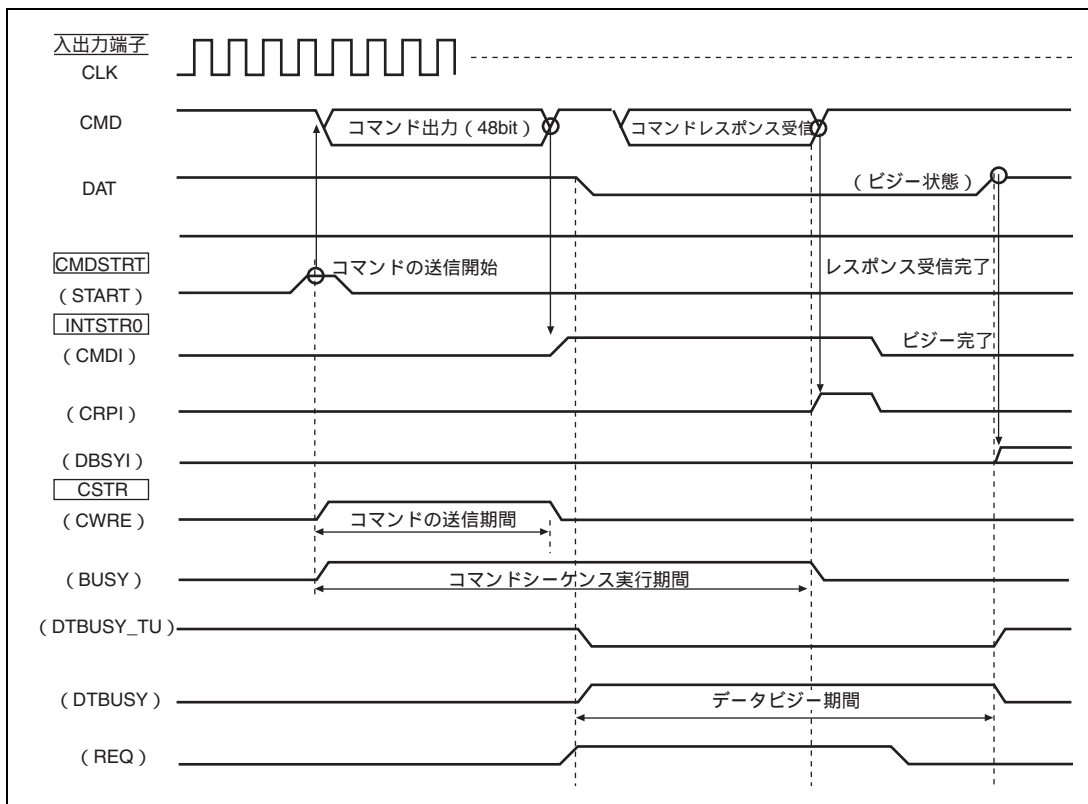


図 31.5 データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)

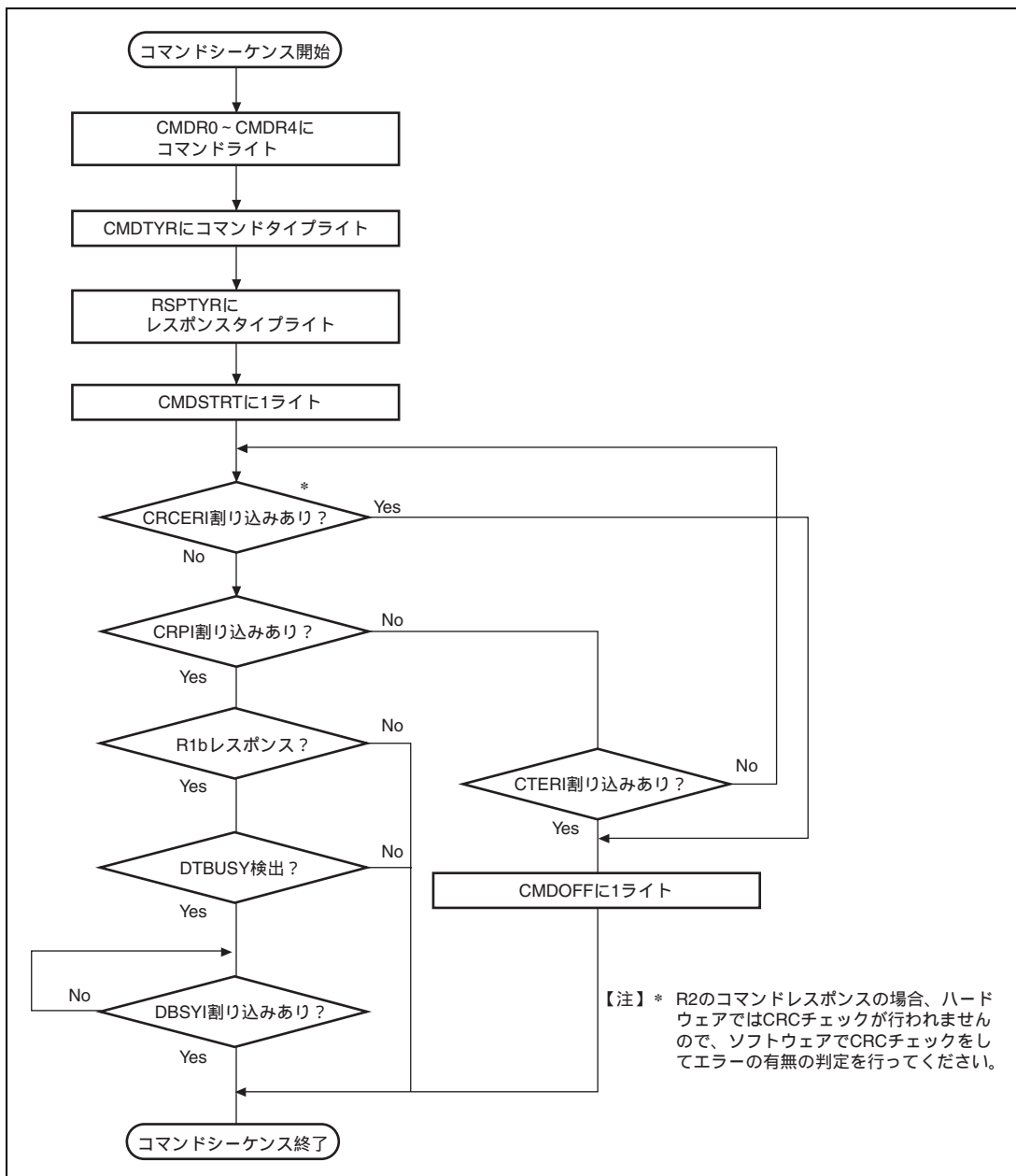


図 31.6 データ転送を伴わないコマンドの動作フローチャートの例

(5) リードデータを伴うコマンド

フラッシュメモリ操作型の中に、リードデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを MMC_DAT から受信します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の 2 つの方式があります。

また、マルチブロック転送のブロック間、FIFO がフルになったときにコマンドシーケンスは中断します。中断した場合は、必要であれば FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

図 31.7 ~ 図 31.9 に、リードデータを伴うコマンドのコマンドシーケンスの例を示します。

図 31.10 ~ 図 31.12 に、リードデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFO をクリアします。
- CMDSTRT の START ビットを 1 にセットして、コマンド送出手を開始します。
- コマンド送出手完了は、コマンド出力終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- カードからリードデータを受信します。
- マルチブロック転送でのブロック間中断および FIFO フルによる中断を、それぞれデータ転送終了割り込み (DTI) および FIFO フル割り込み (FFI) で検出します。

コマンドシーケンスを継続する場合は、OPCR の RD_CONTI ビットを 1 にセットします。終了する場合は、OPCR の CMDOFF ビットを 1 にセットして、CMD12 を発行します。ただし、pre-defined マルチブロック転送の場合は、途中でシーケンスを中止するとき以外は CMD12 を必要としません。

- コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データ転送終了割り込み (DTI) で検出します。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。
- リードデータ受信時の CRC エラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFF ビットに 1 をライトし、FIFO をクリアしてください。

【注】 マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD_CONTI ビットを 1 にセット) してください。

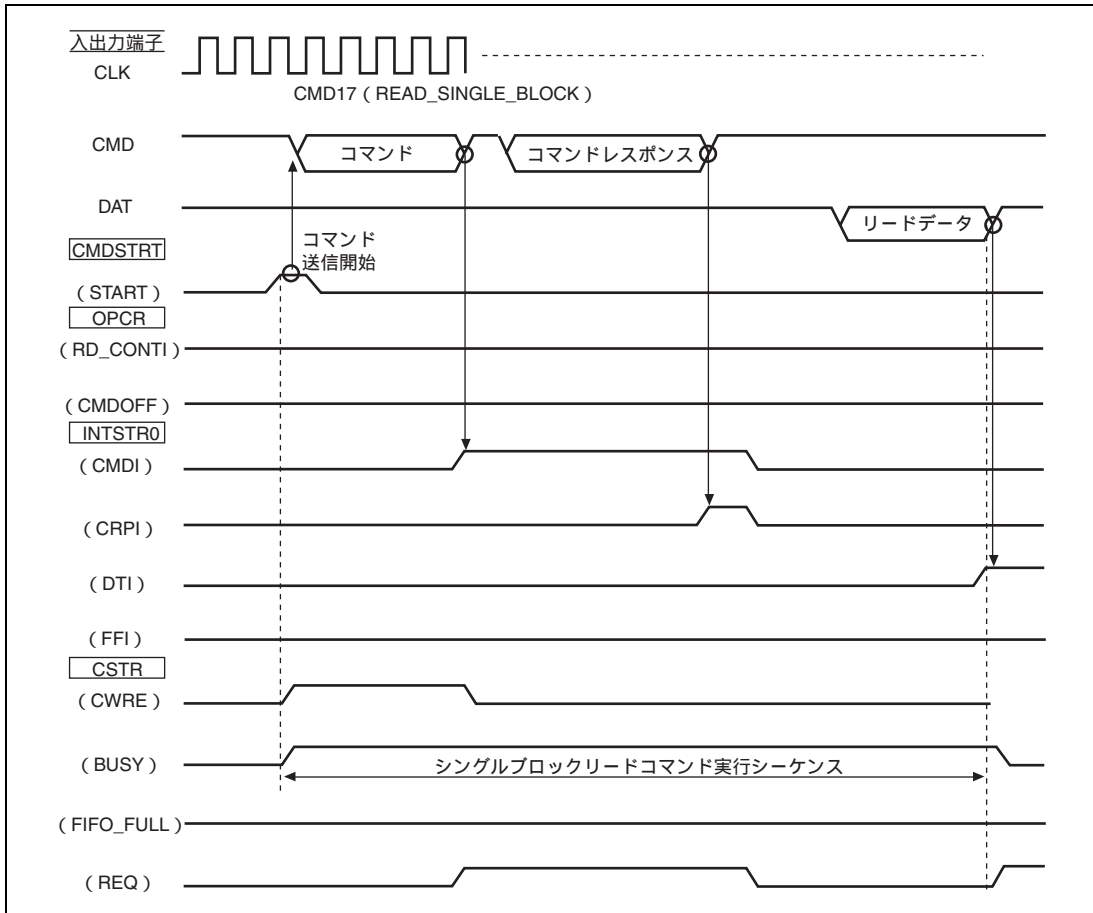


図 31.7 リードデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)

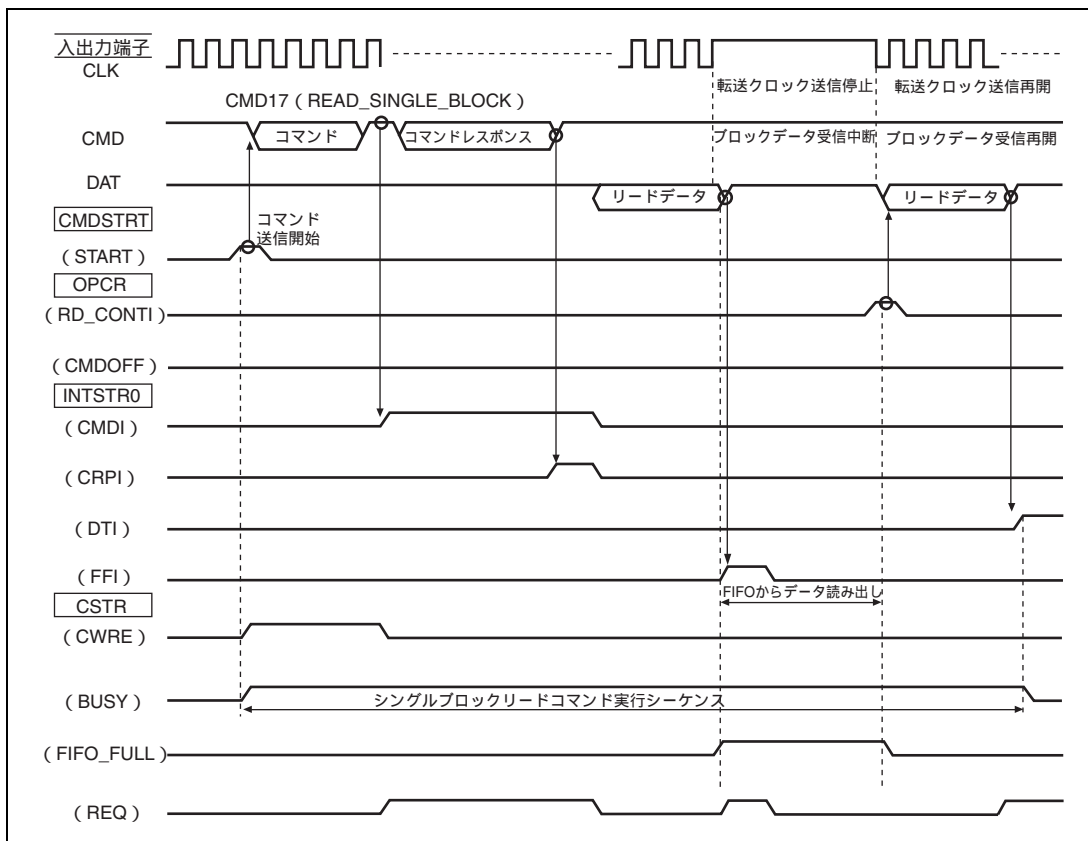


図 31.8 リードデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)

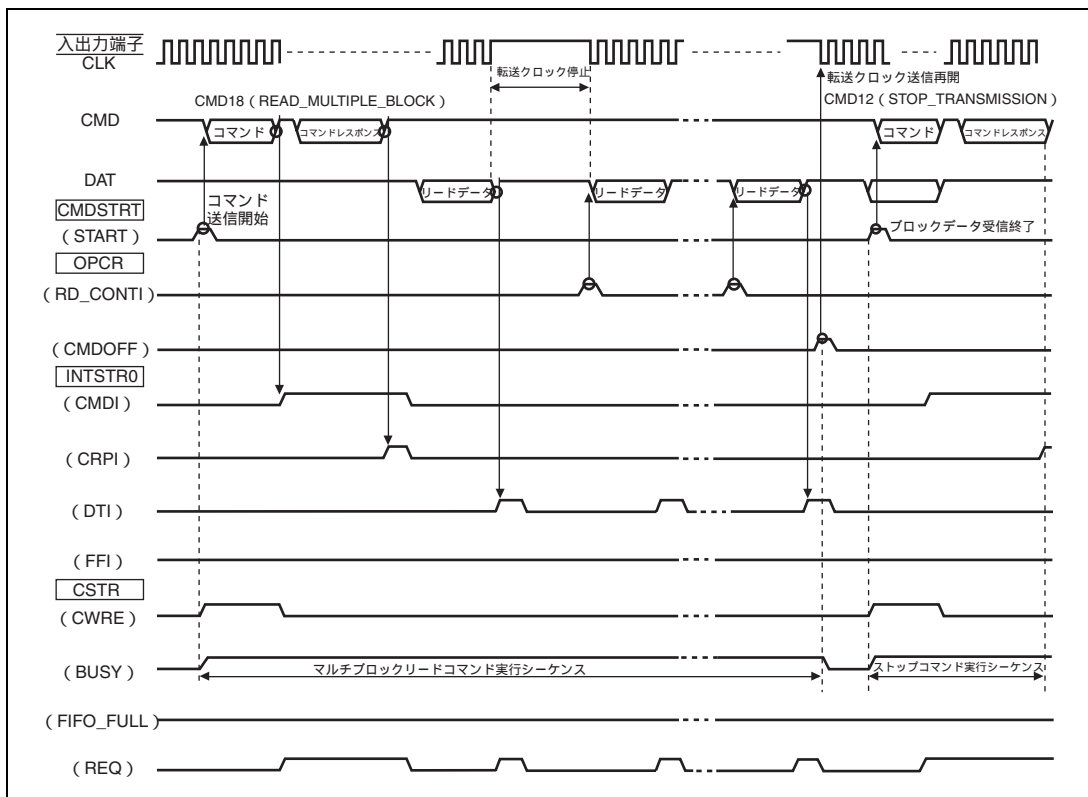


図 31.9 リードデータを伴うコマンドシーケンスの例 (マルチブロック転送)

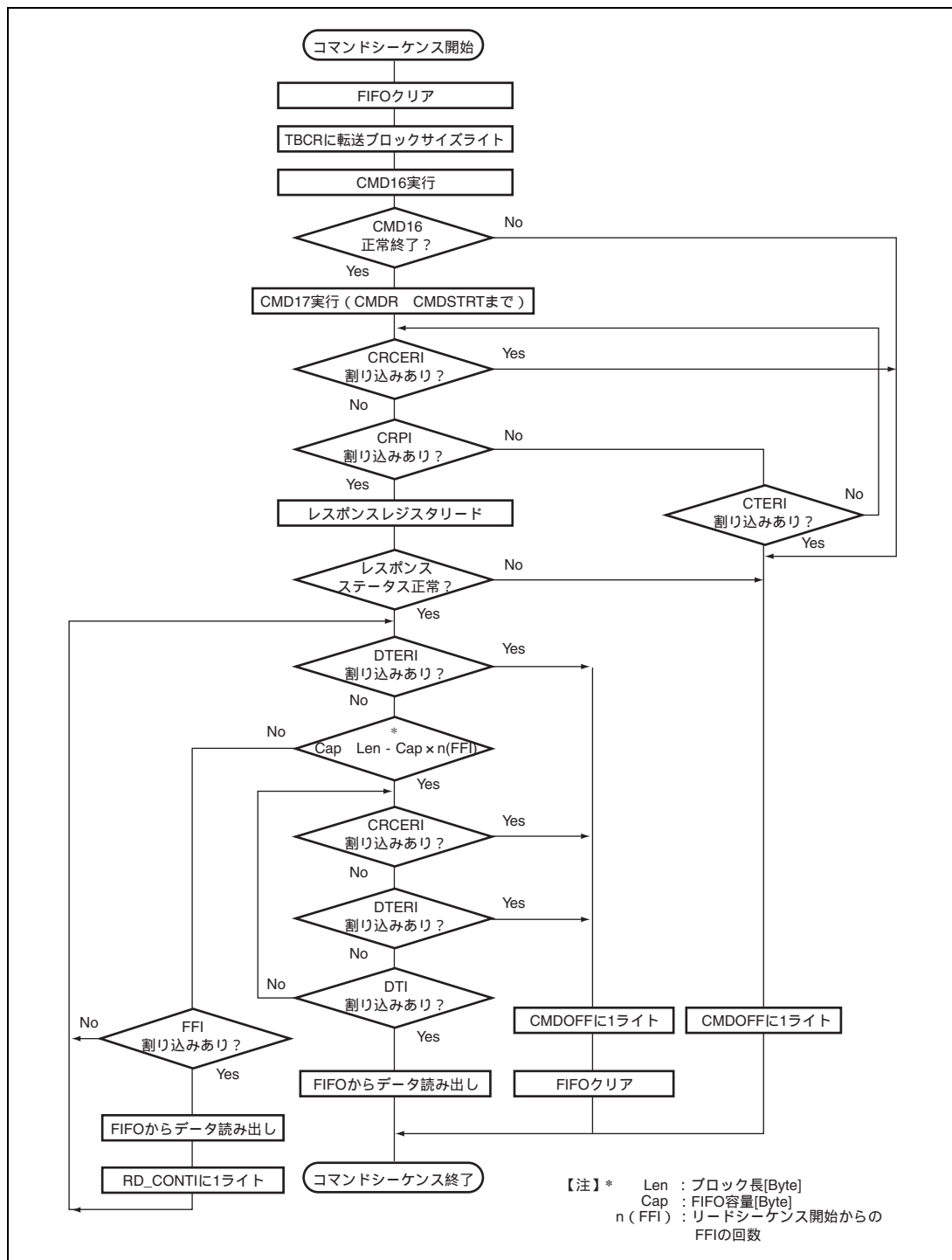


図 31.10 リードデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)

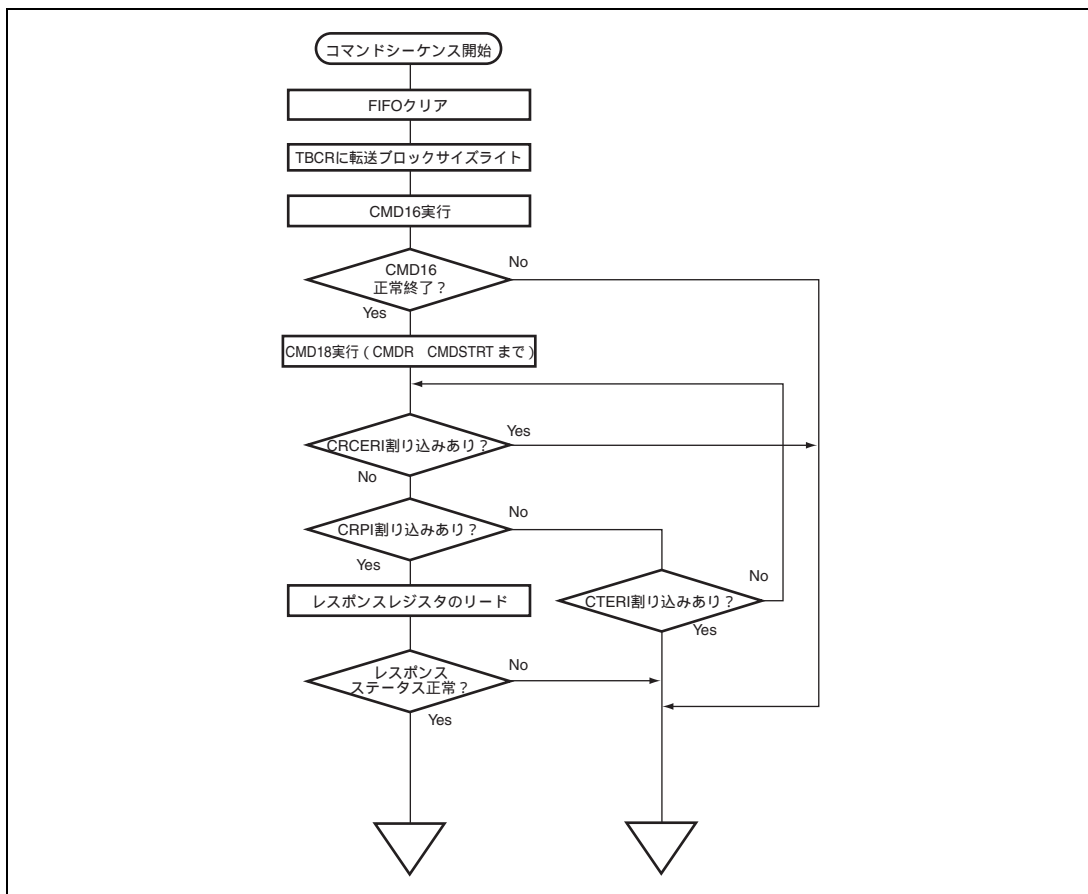


図 31.11 (1) リードデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

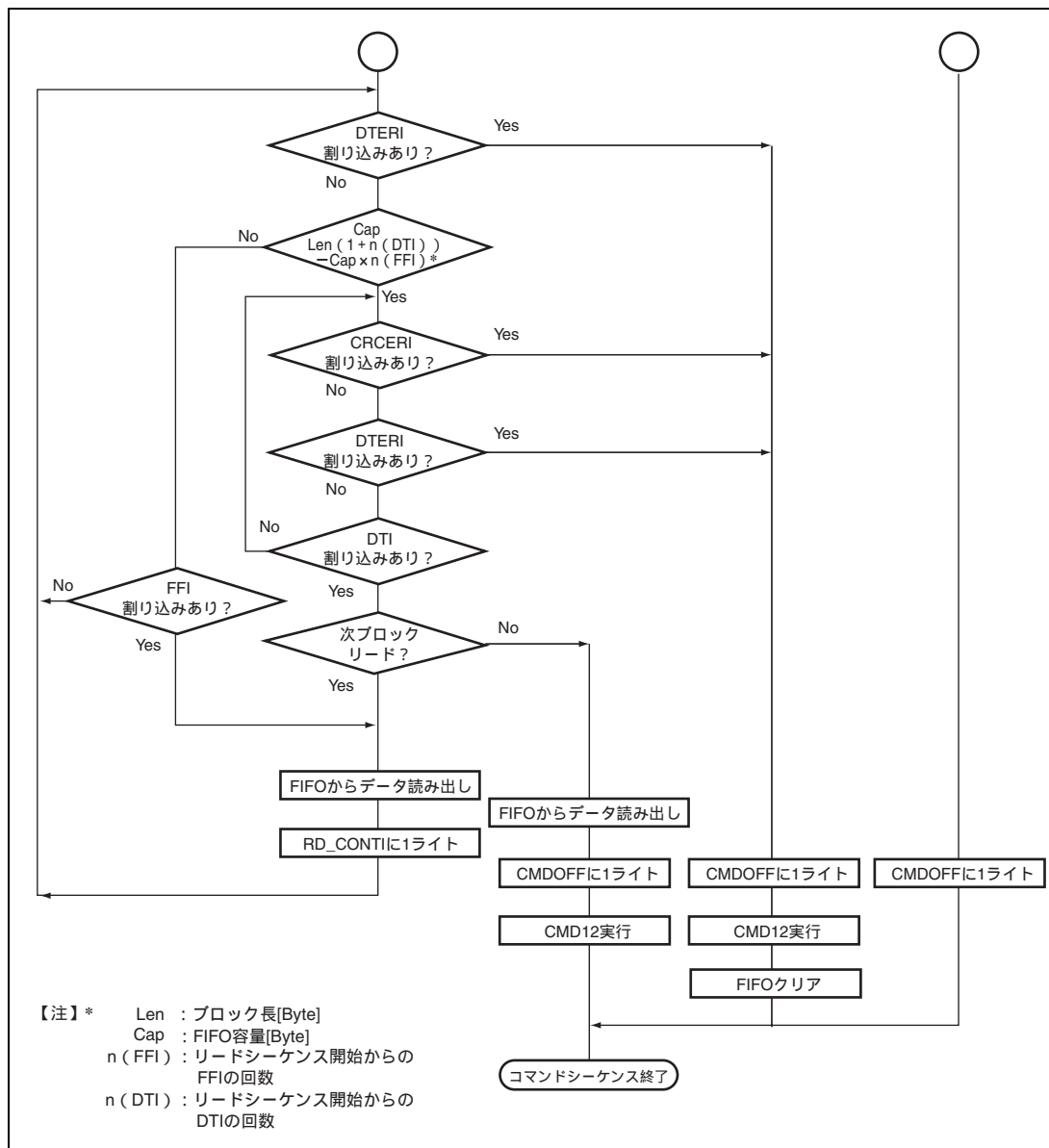


図 31.11 (2) リードデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

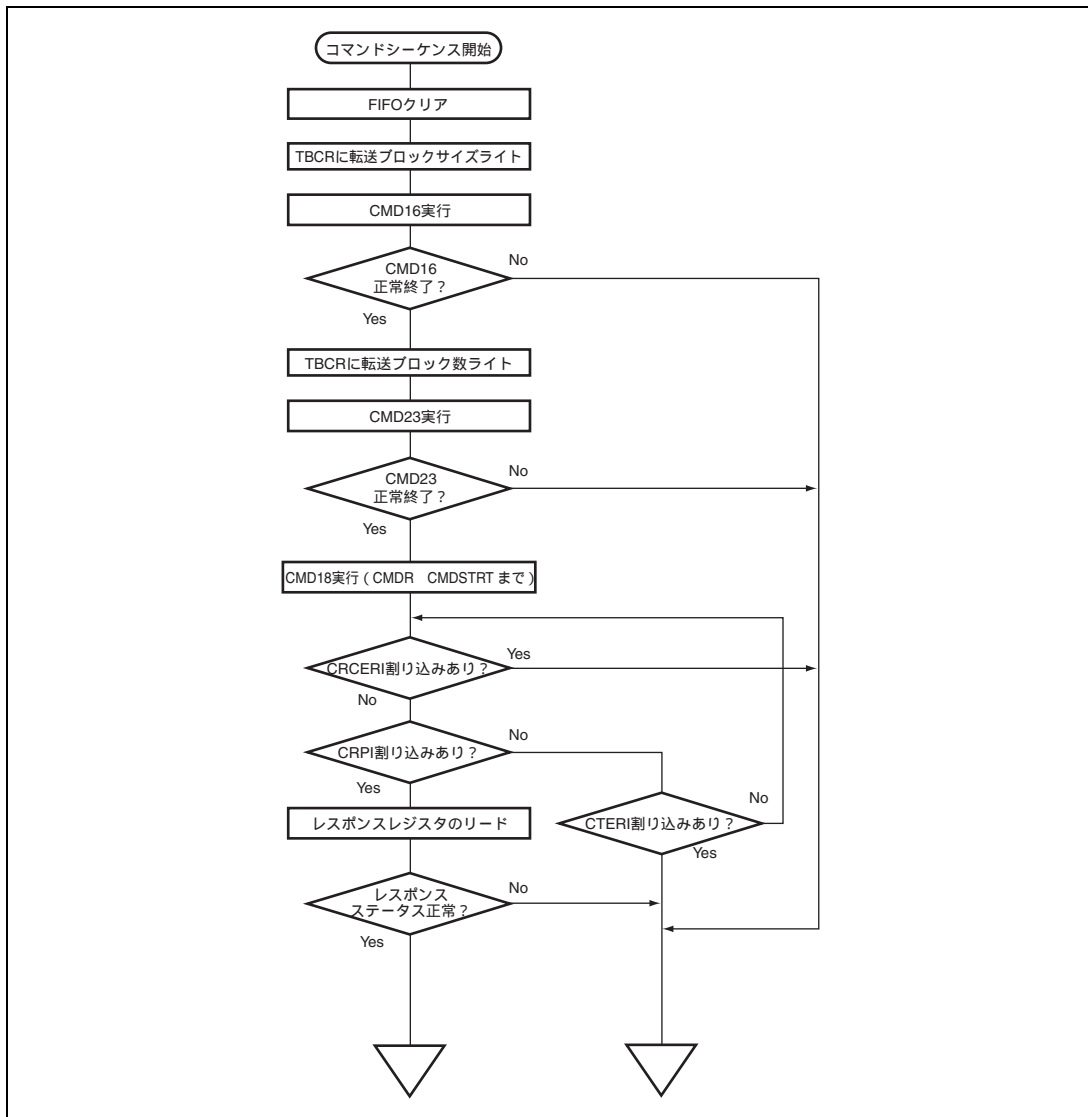


図 31.12 (1) リードデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

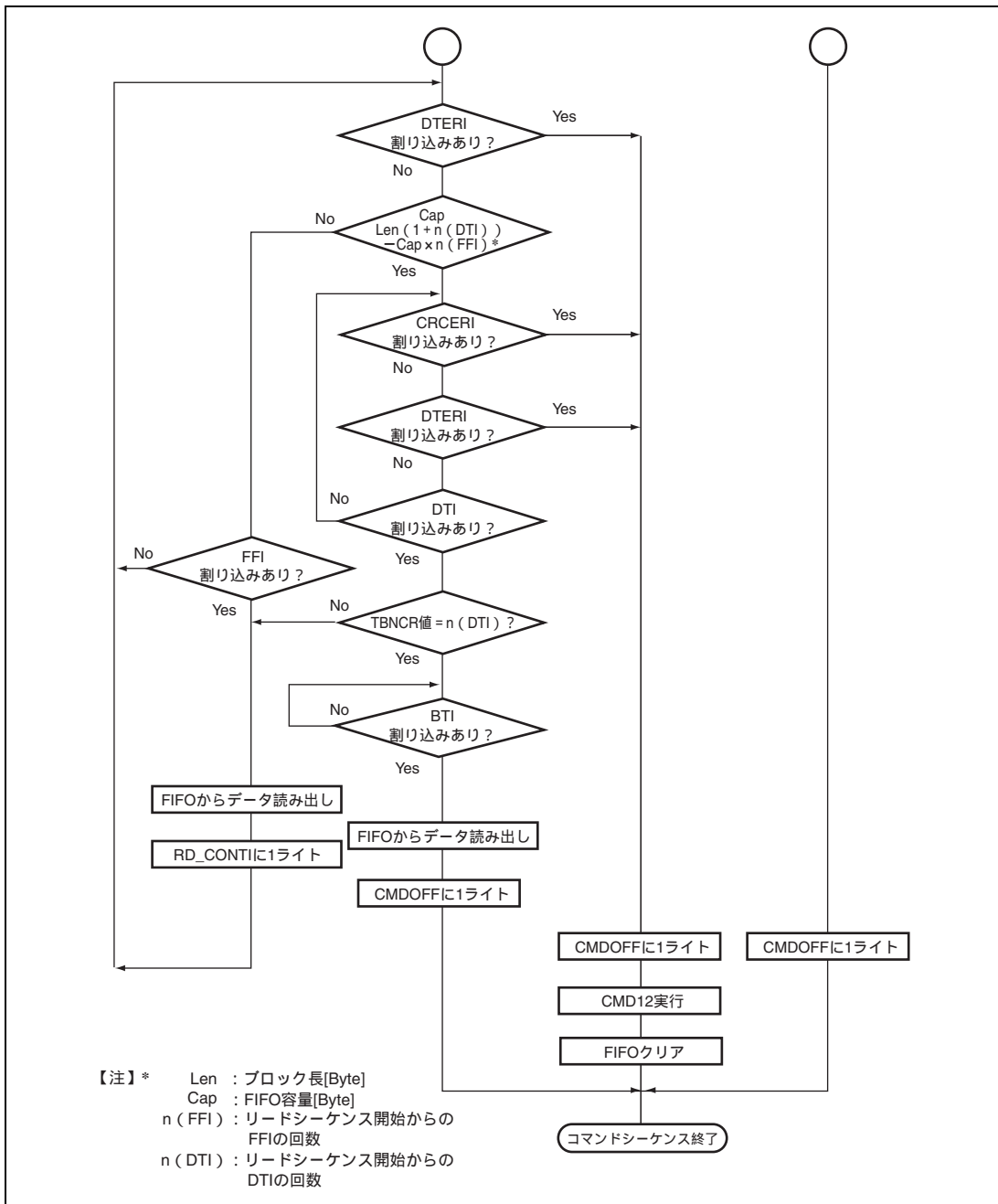


図 31.12 (2) リードデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

(6) ライトデータを伴うコマンド

フラッシュメモリ操作型の中に、ライトデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを DAT から送信します。フラッシュメモリの書き込みなど時間を要する処理に関するコマンドでは、カードは DAT にデータビジー状態を表示します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の 2 つの方式があります。

また、マルチブロック転送のブロック間、FIFO がエンプティになった時にコマンドシーケンスは中断します。中断した場合は、必要であれば FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

図 31.13 ~ 図 31.15 に、ライトデータを伴うコマンドのコマンドシーケンスの例を示します。

図 31.16 ~ 図 31.18 に、ライトデータを伴うコマンドの動作フローチャートの例を示します。

- コマンド発行に必要な設定をします。FIFO をクリアします。
- CMDSTRT の START ビットを 1 にセットして、コマンド送出を開始します。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- FIFO へライトデータをセットします。
- OPCR の DATAEN ビットを 1 にセットして、ライトデータの送信を開始します。
- マルチブロック転送でのブロック間中断および FIFO エンプティによる中断を、それぞれデータレスポンス完了フラグ (DRPI) および FIFO エンプティフラグ (FEI) で検出します。コマンドシーケンスを継続する場合は、FIFO にライトデータを補充し、OPCR の DATAEN ビットを 1 にセットします。終了する場合は、OPCR の CMDOFF ビットを 1 にセットして、CMD12 を発行します。ただし、pre-defined マルチブロック転送で、途中でシーケンスを中止するとき以外は CMD12 を必要としません。
- コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データレスポンス完了フラグ (DRPI)、またはマルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- さらに、データ転送終了後 (DRPI 検出後)、CSTR の DTBUSY により、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態の解除をデータビジー終了フラグ (DBSYI) で検出します。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。
- ライトデータ送信時の CRC エラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。

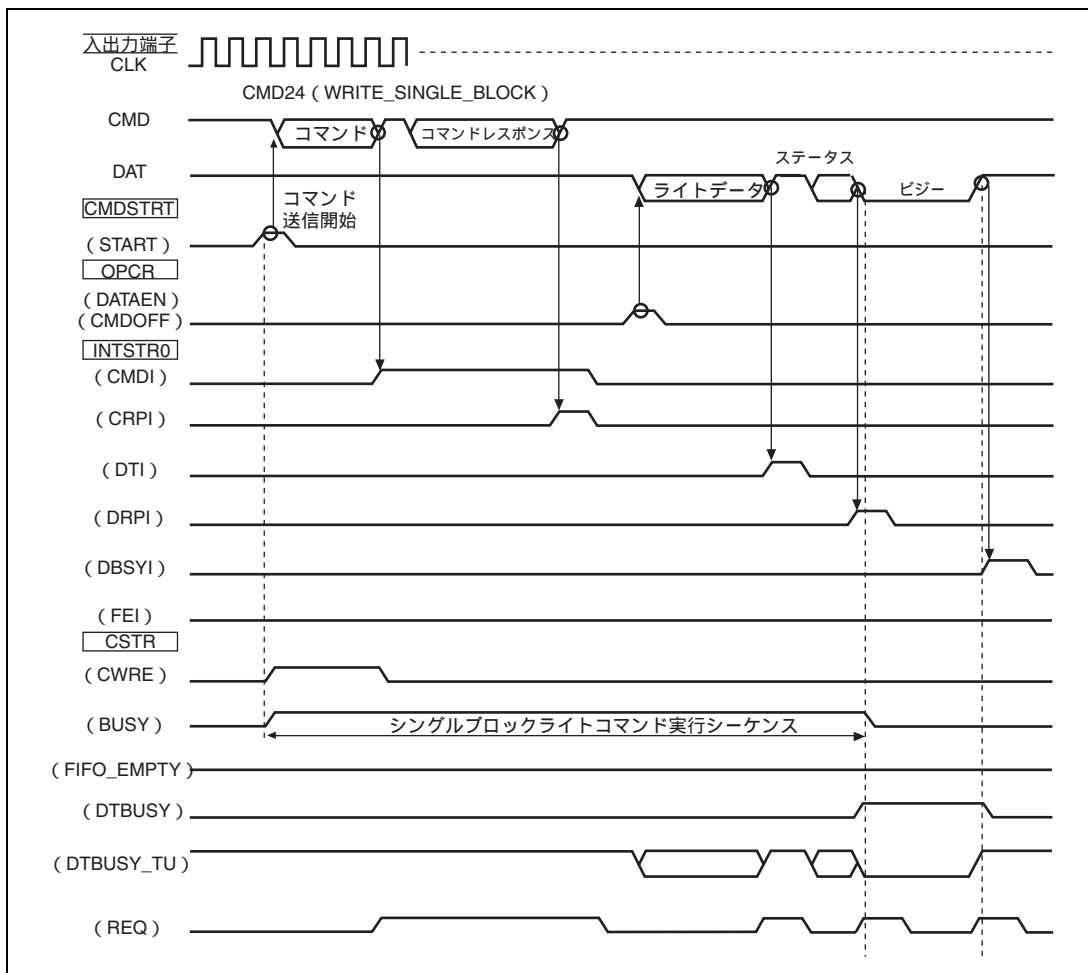


図 31.13 ライトデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)

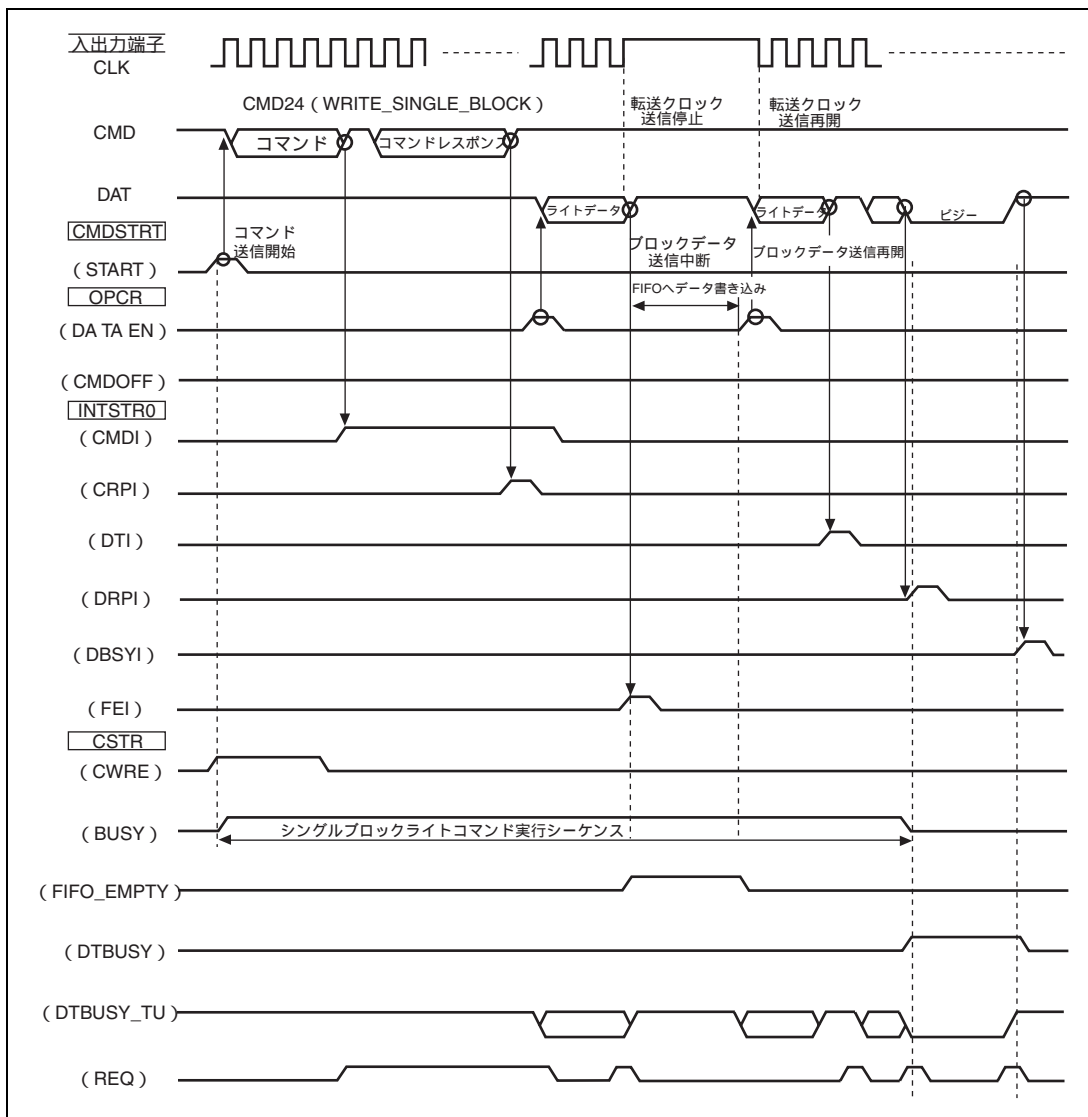


図 31.14 ライトデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)

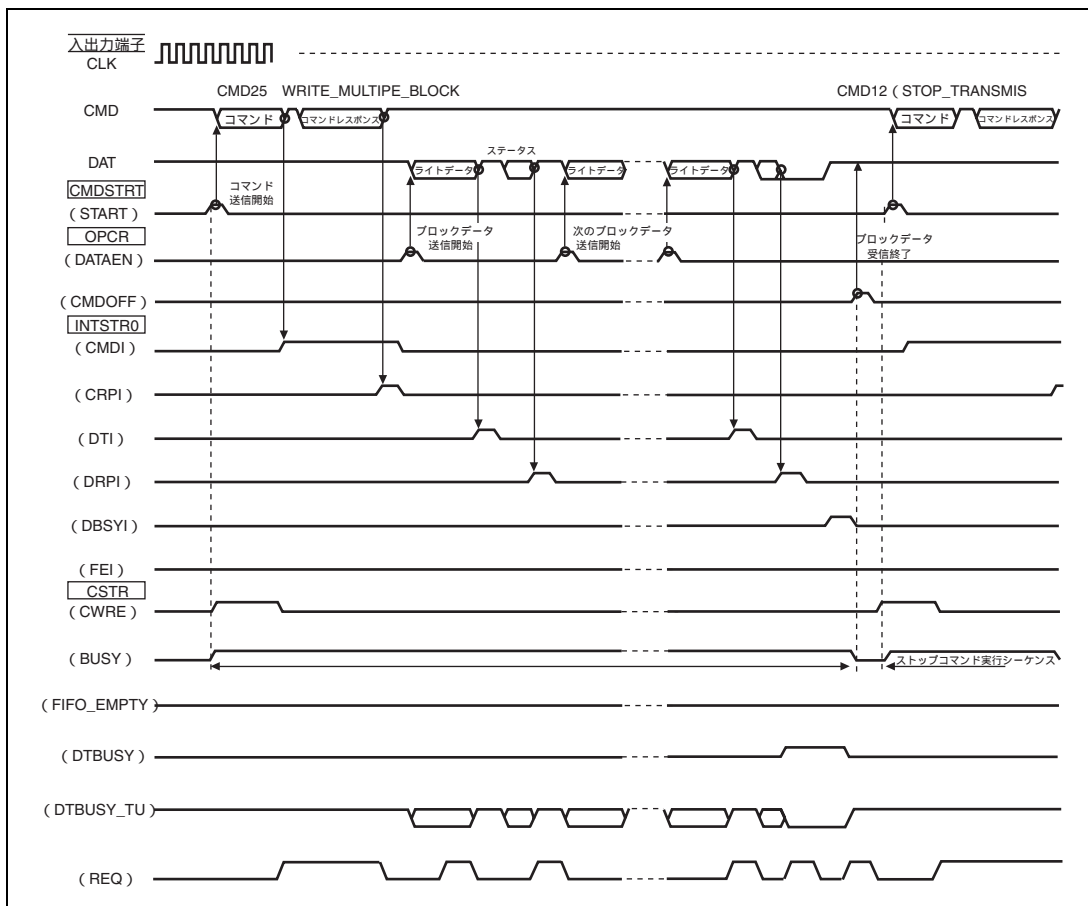


図 31.15 ライトデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)

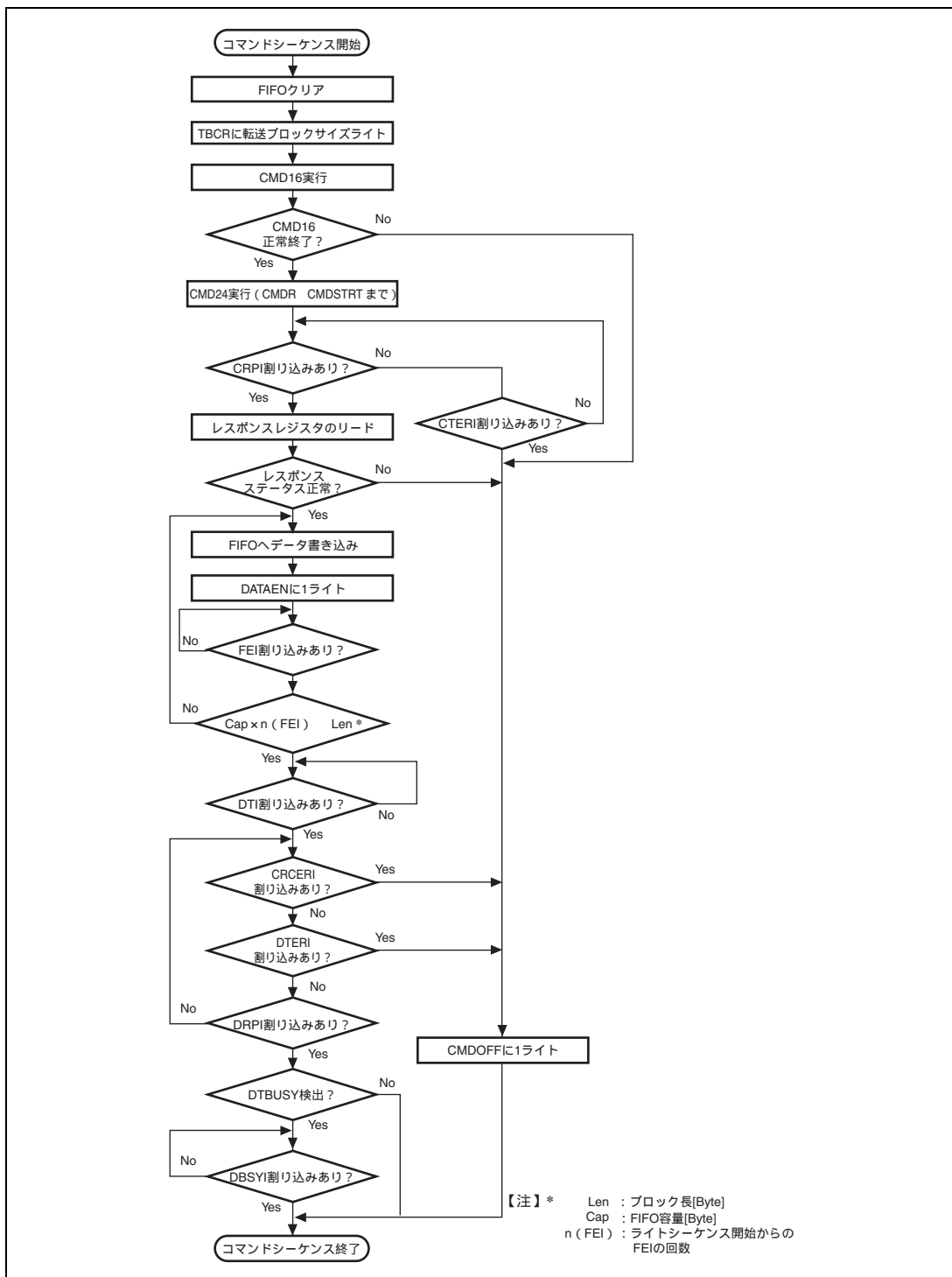


図 31.16 ライトデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)

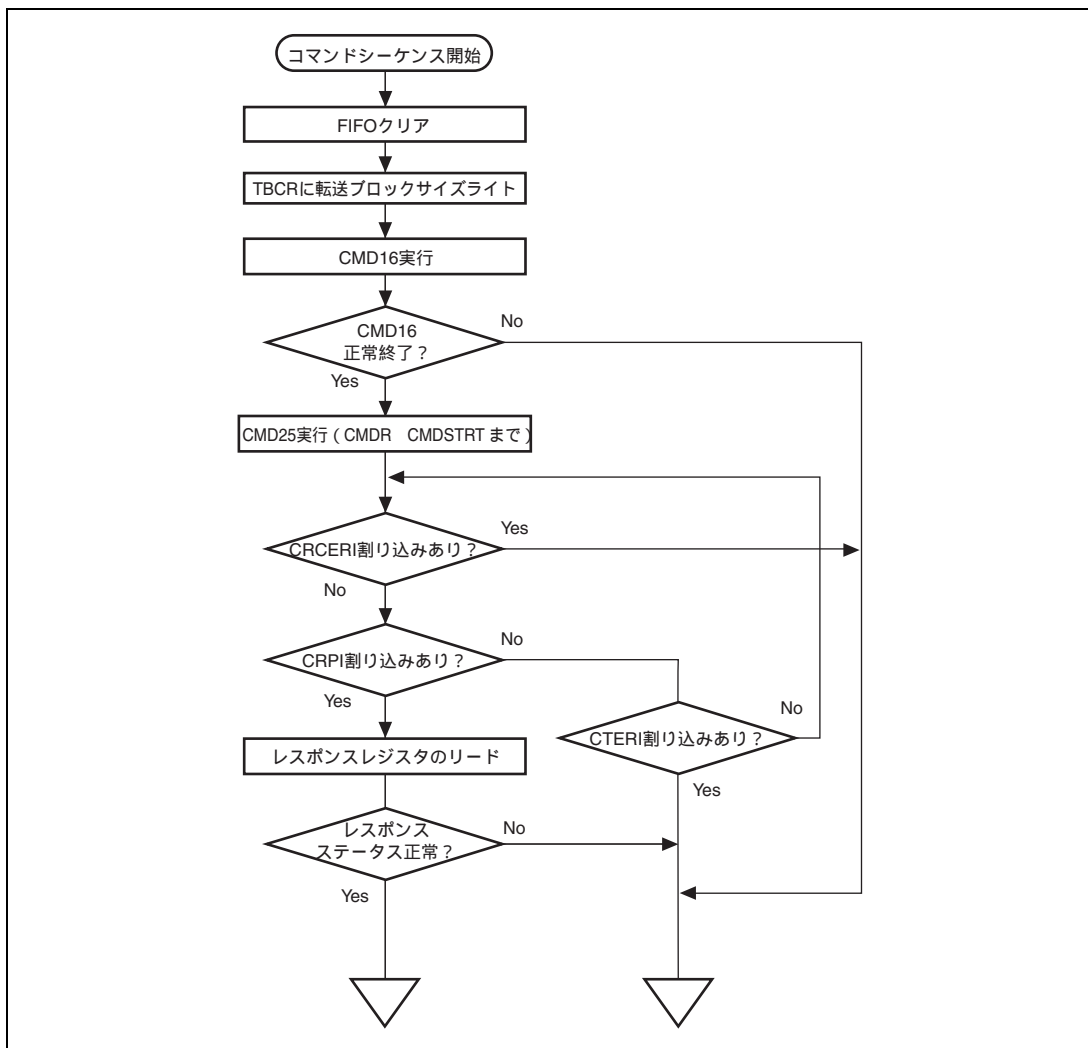


図 31.17 (1) ライトデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

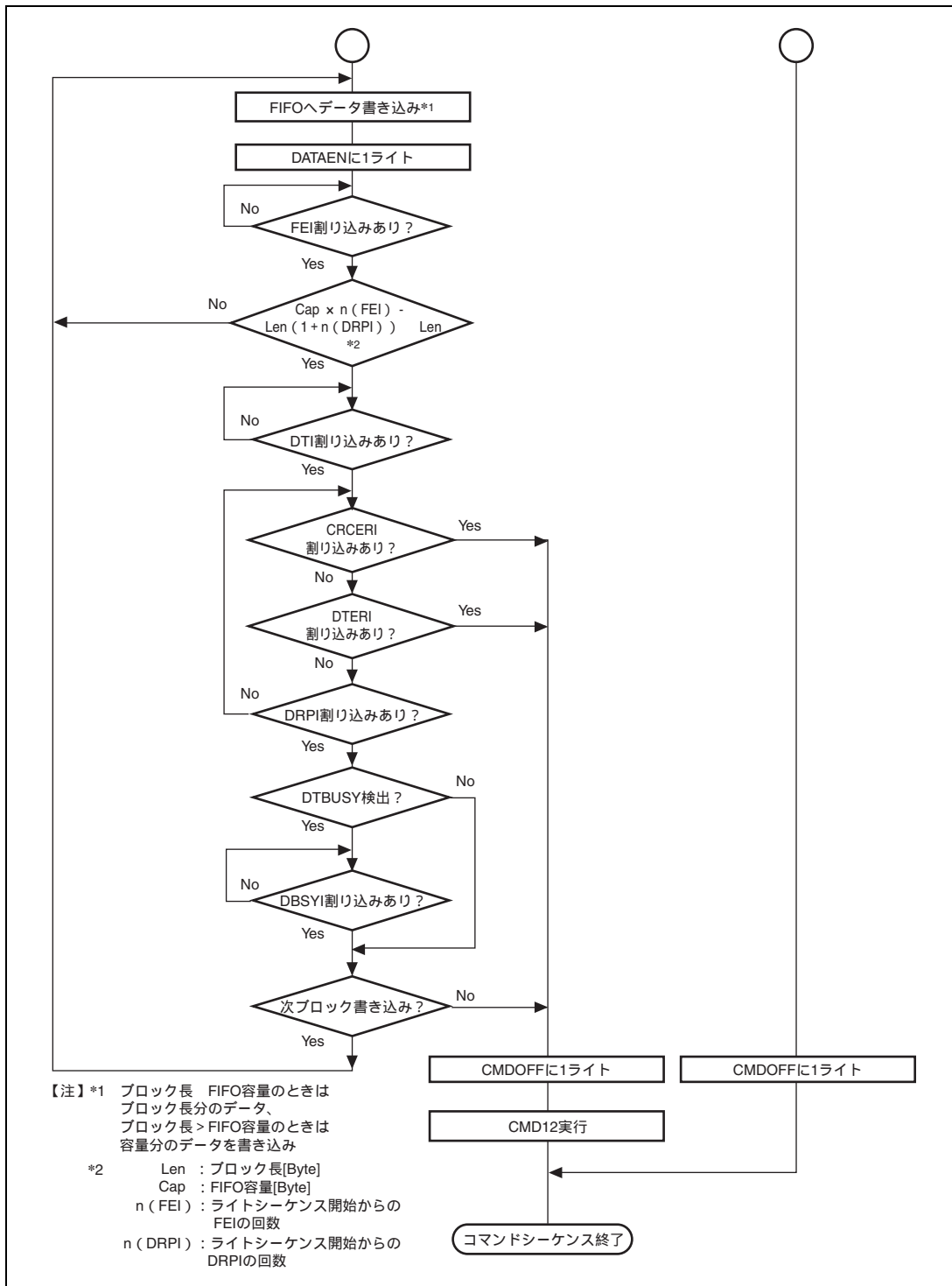


図 31.17 (2) ライトデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

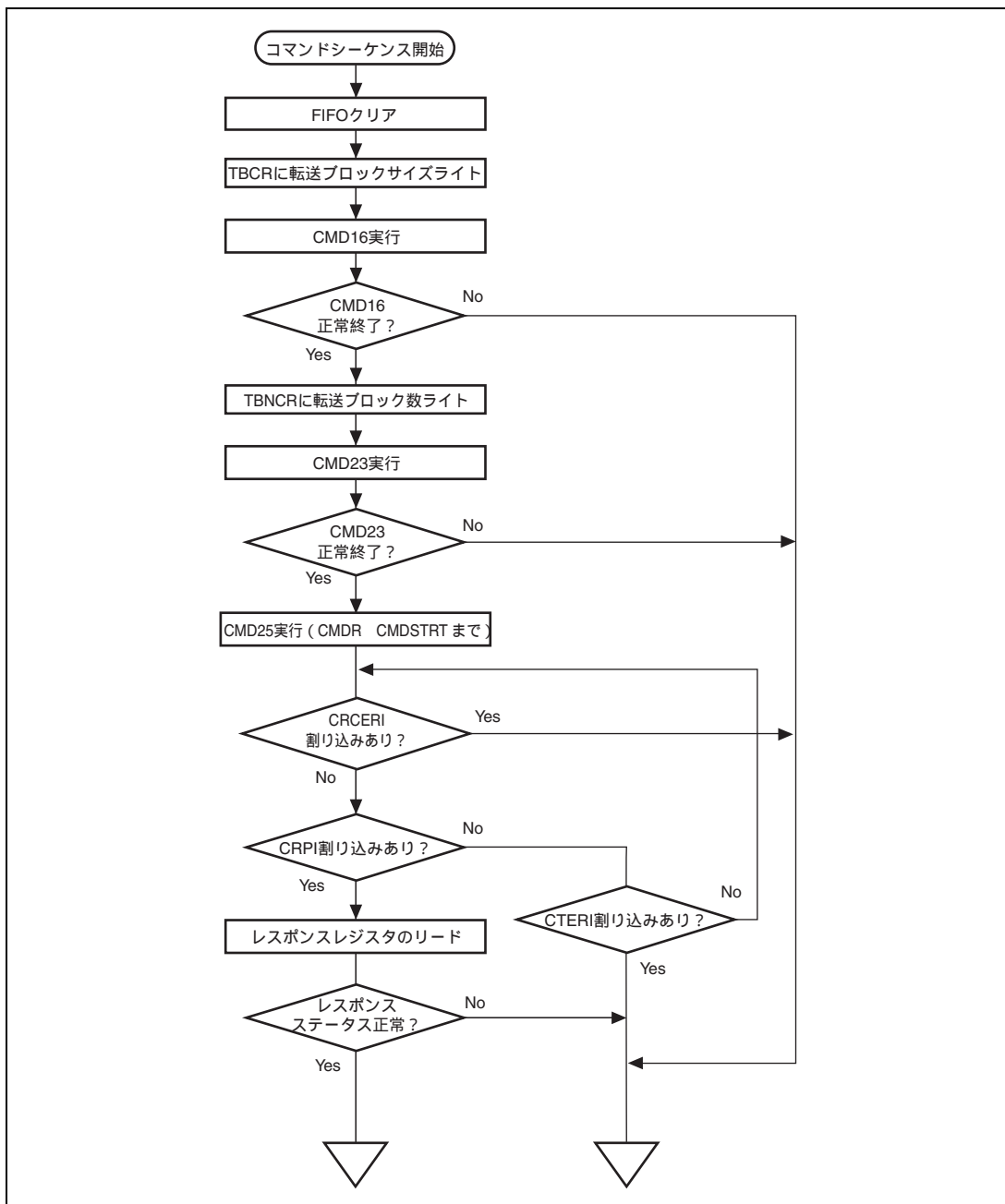


図 31.18 (1) ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

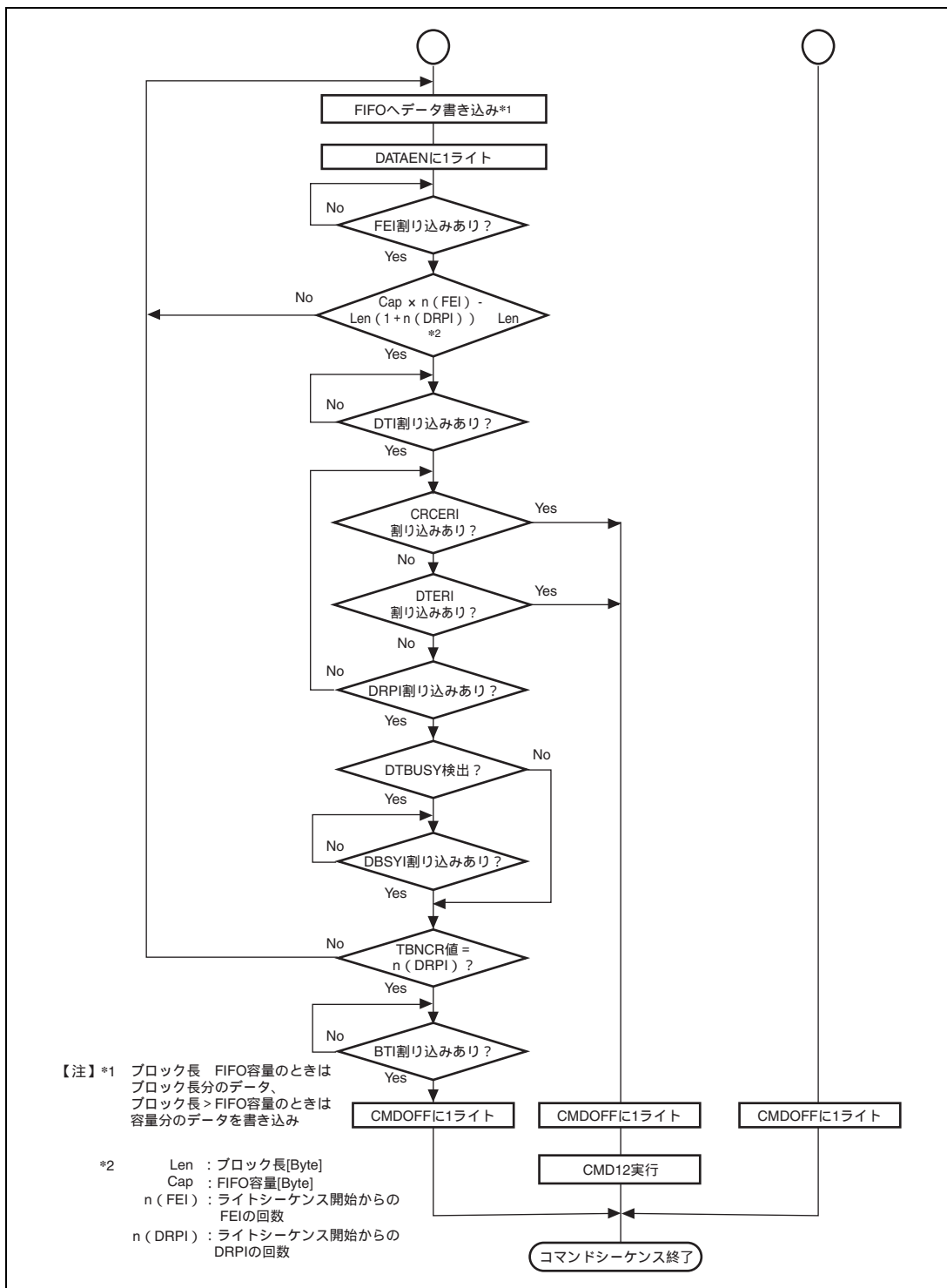


図 31.18 (2) ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

31.5 DMAC 使用時の動作説明

31.5.1 リードシーケンス時の動作

DMAC を用いてデータ転送を行うときは、DMAC の各設定後、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、リードコマンドを送信してください。

DMA 使用時は、DMACR の AUTO ビットに 1 を設定することにより、pre-defined マルチブロック転送のブロック終了後に正常にリードできたことを検出できたら、次のブロックのリードを自動で再開します。図 31.19 にオートモードを用いるときの pre-defined マルチリードシーケンスフローチャートを MMC モードを例に示します。

- FIFOをクリアします。
- (TBNCR) にブロック数を設定します。
- DMACRを設定します。
- リードコマンド送出を開始します。
- カードからコマンドレスポンス、リードデータを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) フラグで検出します。
- コマンドシーケンス中 (データ受信中) のエラーはCRCエラーフラグ、データタイムアウトフラグにより、検出します。これらのフラグを検出したときはOPCRのCMDOFFビットを1にセットして、CMD12を発行しコマンドシーケンスを中止します。
- リードシーケンス終了後、FIFOにはデータが残っています。必要であれば、FIFO内のデータすべてをリードできるようにDMACRのSET[2:0]に100をライトします。
- DMACの転送が完了したことを確認し、DMACRのDMAENビットに0をセットします。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに 1 をライトし、DMACRにH'00を設定してください。
- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに 1 をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

【注】 マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD_CONTI ビットを 1 にセット) してください。

DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

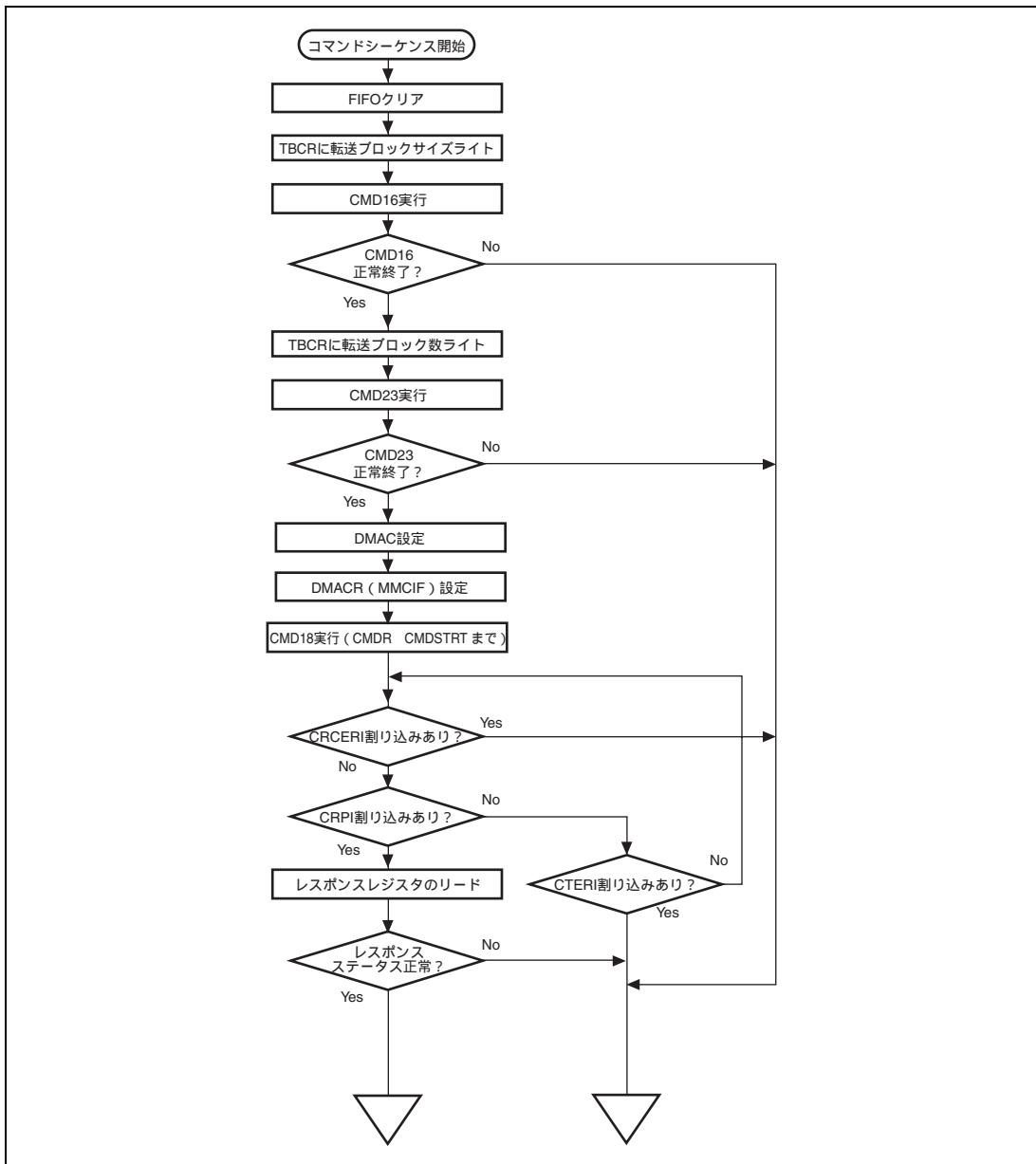


図 31.19 (1) オートモード pre-defined マルチブロックリード転送の動作フローの例

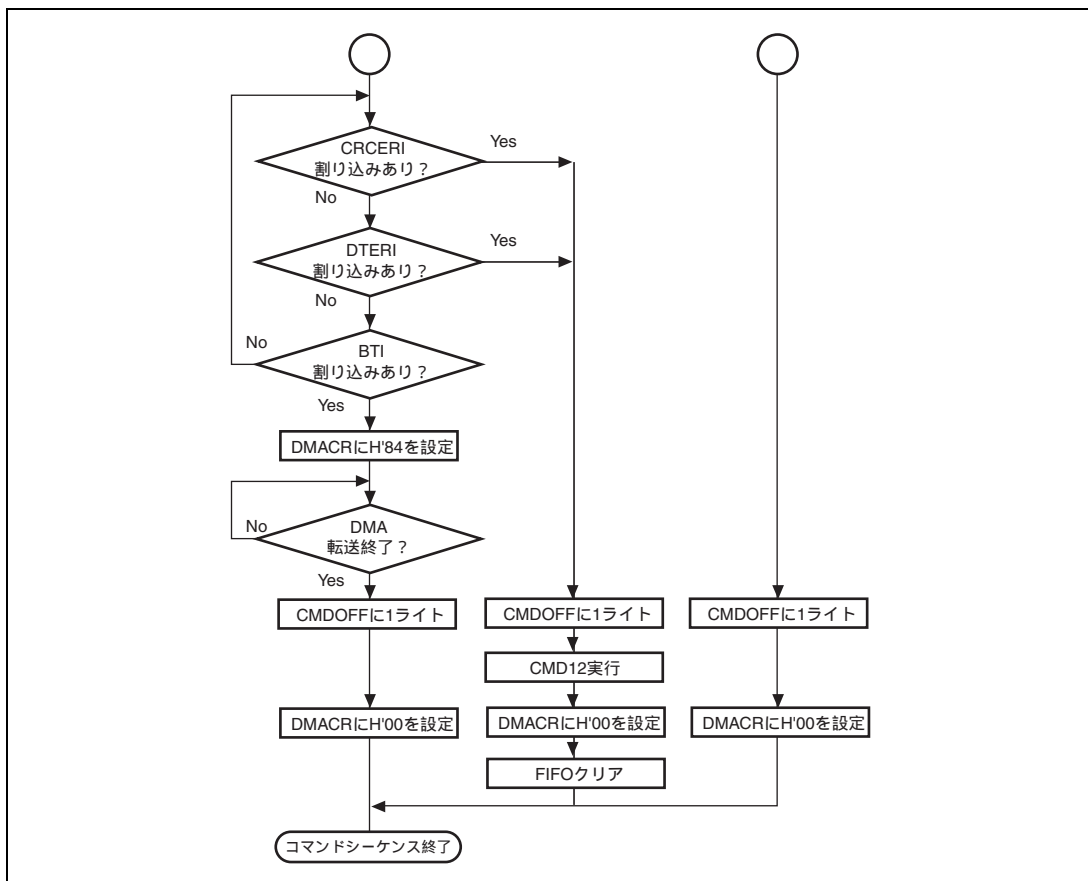


図 31.19 (2) オートモード pre-defined マルチブロックリード転送の動作フローの例

31.5.2 ライトシーケンス時の動作

DMAC を用いてデータ転送を行うときは、DMAC の各設定後、MMCIF (DMACR) の設定を行ってください。DMA 使用時は、DMACR の AUTO ビットに 1 を設定することにより、pre-defined マルチブロック転送のブロック間割り込み処理の部分をハードで行うことが可能です。図 31.20 にオートモードを用いるときの pre-defined マルチライトシーケンスフローチャートを MMC モードを例に示します。

- FIFOをクリアします。
- (TBNCR) にブロック数を設定します。
- CMDSTRTのSTARTビットを1にセットして、コマンド送付を開始します。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- DMACRの設定を行い、FIFOにライトデータをセットします。
- DMACによるすべての転送完了を確認し、DMACRのDMAENビットに0をセットしてください。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- コマンドシーケンス中 (データ送信中) のエラーはCRCエラーフラグ (CRCERI)、データタイムアウトエラーフラグにより検出します。これらの割り込みを検出したときはOPCRのCMDOFFビットを1にセットして、CMDI2を発行しコマンドシーケンスを中止します。
- データビジーでないことを確認します。データビジーのときは、データビジー終了フラグ (DBSYI) でデータビジー状態の終了を検出します。
- さらにデータ転送終了後 (DRPI検出後) CSTRのDTBUSYにより、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態の終了を、データビジー終了フラグ (DBSYI) で検出します。
- CMDOFFビットに1をセットし、コマンドシーケンスを終了します。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

【注】 DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

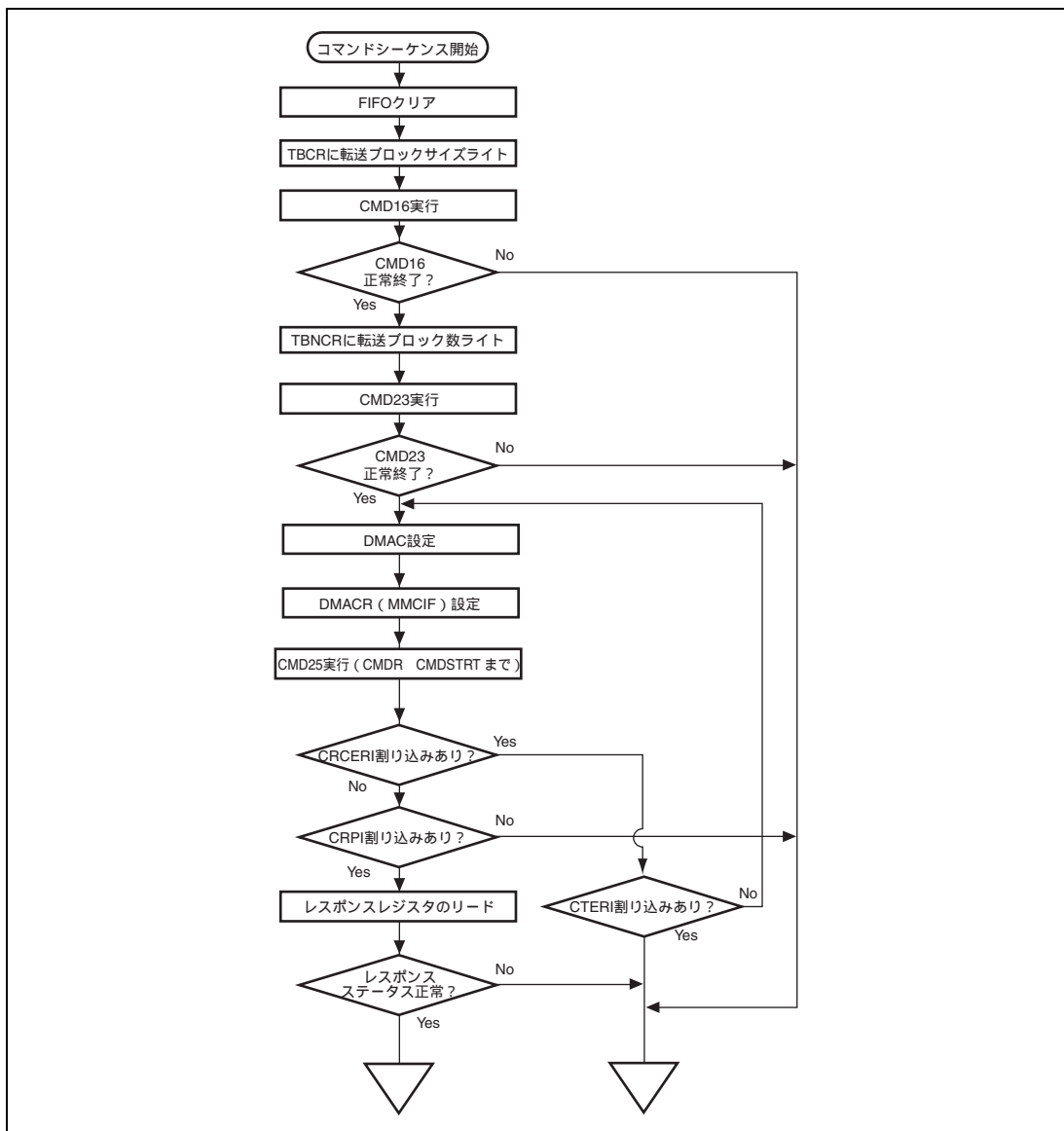


図 31.20 (1) オートモード pre-defined マルチブロックライト転送動作フローチャートの例

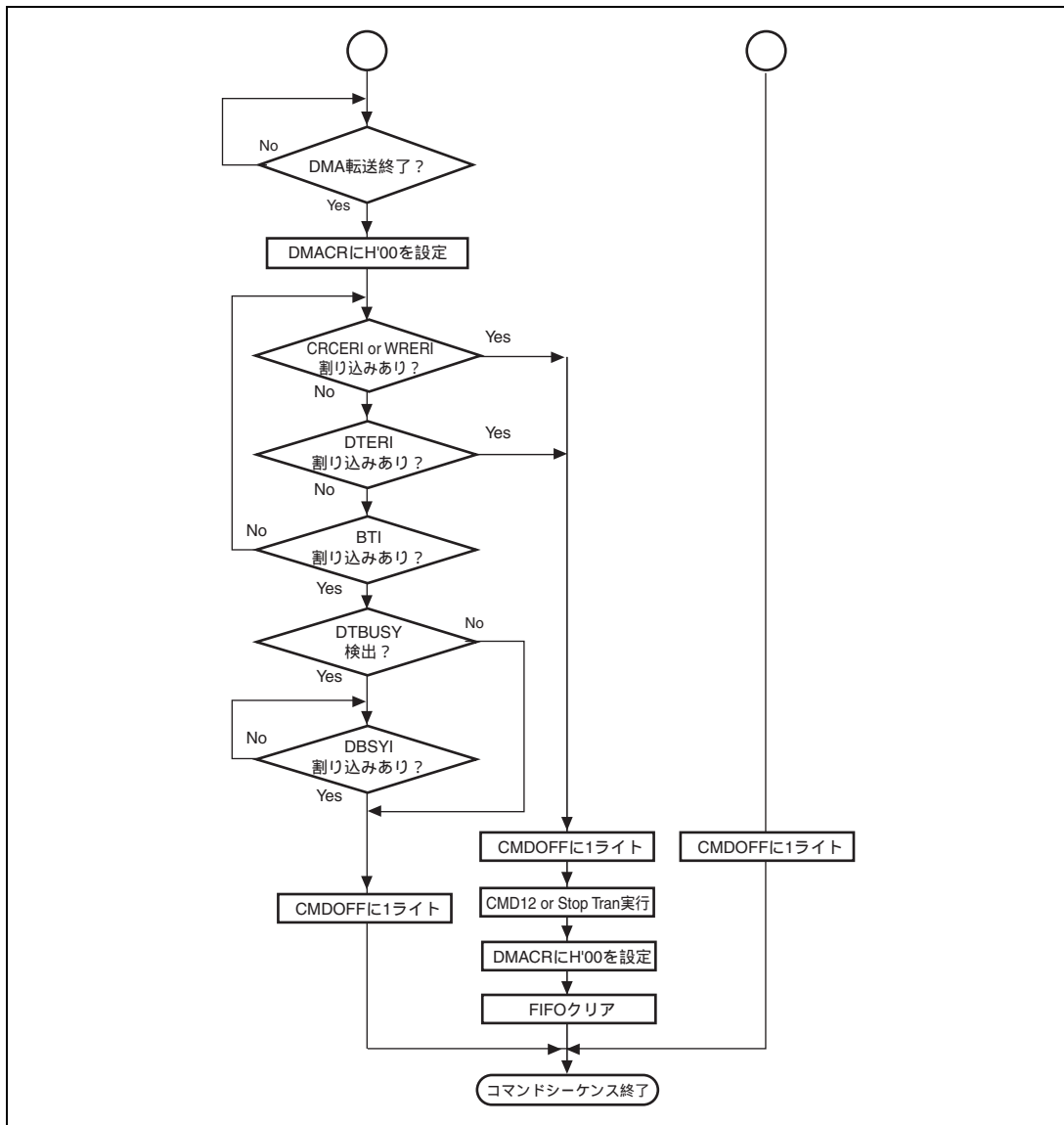


図 31.20 (2) オートモード pre-defined マルチブロックライト転送動作フローチャートの例

31.6 MMCIF 割り込み要因

表 31.8 に MMCIF の割り込み要因を示します。割り込み要因は 4 グループに分類されており、4 つの割り込みベクタが割り当てられています。各割り込み要因は、INTCR0、1、2 のイネーブルビットにより独立にイネーブルにすることができます。ディスエーブルにされた割り込み要因は、フラグをセットしません。

表 31.8 MMCIF 割り込み要因

名 称	割り込み要因	割り込みフラグ
ERR	ライトエラー	WRERI
	CRC エラー*	CRCEI
	データタイムアウトエラー	DTERI
	コマンドタイムアウトエラー	CTERI
FSTAT	FIFO エンプティ	FEI
	FIFO フル	FFI
TRAN	データレスポンス	DPRI
	データ転送終了	DTI
	コマンドレスポンス終了	CRPI
	コマンド出力終了	CMDI
	データビジー終了	DBSYI
	ブロック転送終了	BTI
FRDY	FIFO 準備完了	FRDYI
	カード検出	CDI

【注】 * R2 のコマンドレスポンスの CRC エラーは除く

31.7 カード検出機能適用時の使用手順

図 31.21 にカード検出機能適用時の動作フローを示します。

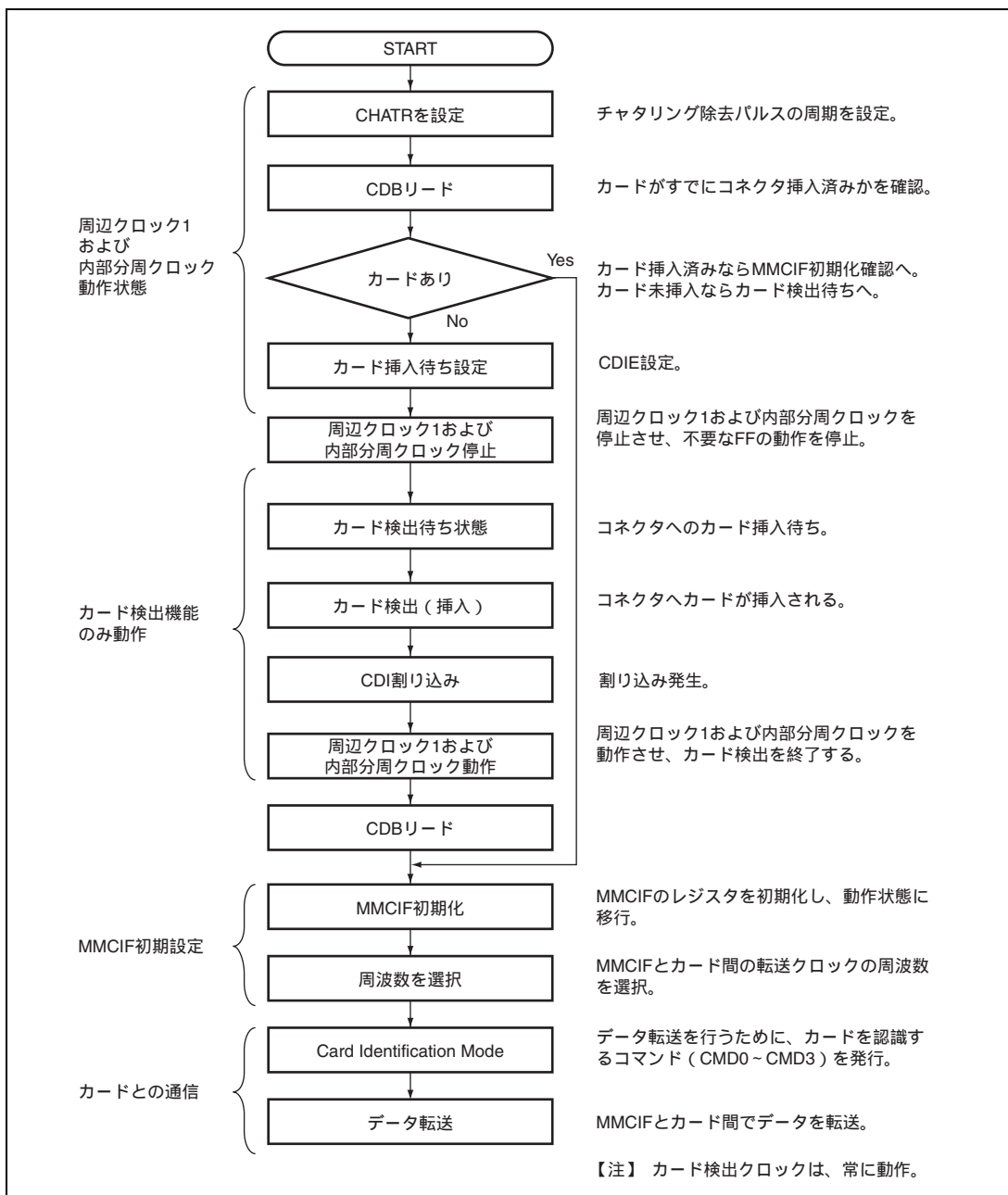


図 31.21 カード検出機能適用時の動作フロー

32. PC カードコントローラ (PCC)

PC カードコントローラ (PCC) は、外部バッファ、割り込み、本 LSI に接続する PC カードインタフェースの専用ポートを制御します。PCC を使用することによって、PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格に準拠した PC カードのスロットを本 LSI に容易に接続することができます。

32.1 特長

- 物理エリア6に接続するPCカードインタフェースとして、ICメモリカードインタフェースとI/Oカードインタフェースをサポートしています。
- 外部バッファに対する制御信号 ($\overline{\text{PCC_DRV}}$) を出力します。
- アドレスを用いて属性メモリ、共通メモリ、I/O空間を切り替えることによってプリエンティブ方式の動作システムに対応します。
- 共通メモリにセグメントビット (PCカード用アドレスビット) を提供するので全PCMCIA仕様の64MB空間にアクセスできます。
- 本コントローラの動作を無効にし、PCカードインタフェースのバスインタフェースのみをサポートすることも可能です (PCC0GCRのP0USEを使用)。

図 32.1 に PC カードコントローラのブロック図を示します。

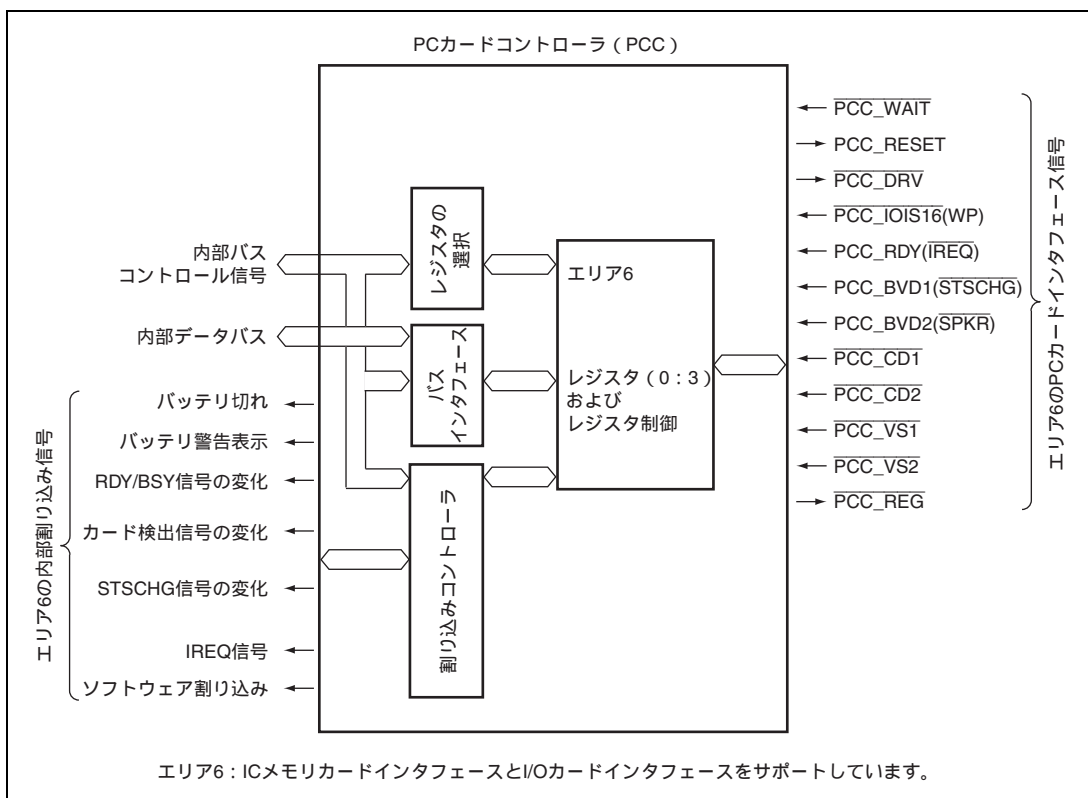


図 32.1 PC カードコントローラのブロック図

32.1.1 PCMCIA のサポート

本 LSI は、物理エリア 6 に対して PCMCIA 仕様に基づくインタフェースをサポートしています。サポートするインタフェースは、PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格で定義された IC メモリカードインタフェースと I/O カードインタフェースです。エリア 6 では IC メモリカードインタフェースと I/O カードインタフェースのいずれもサポートします。

本 LSI はリトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。

表 32.1 PCMCIA インタフェースの特長

項目	特 長
アクセス	ランダムアクセス
データバス	8/16 ビット
メモリタイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
共通メモリ容量	最大 64MB(セグメントビット(PC カード用アドレスビット)を使用することによって全 PCMCIA 仕様をサポート)
属性メモリ容量	最大 32MB
I/O 空間容量	最大 32MB
その他	I/O バス幅の動的バスサイジング* PCMCIA インタフェースは、アドレス変換エリアと非アドレス変換エリアからアクセスできます。

本 LSI は PC カードの 64MB メモリ空間および I/O 空間の 32MB および 64MB 物理エリアに直接アクセスできます (連続 32 / 16MB エリアモード)。本 LSI は、全 PCMCIA 仕様 (64MB) の共通メモリ空間をサポートするためにエリア 6 に対してジェネラルコントロールレジスタのセグメントビット (PC カード用アドレスビット) を提供します。

(1) 連続 32MB エリアモード

ジェネラルコントロールレジスタのビット 3 (P0MMOD) に 0 (初期値) を設定すると連続 32MB エリアモードが有効になります。このモードでは、属性メモリ空間と I/O メモリ空間は 32MB、共通メモリ空間は 64MB です。共通メモリ空間で、32MB より大きいアドレスにアクセスするためにはジェネラルコントロールレジスタのビット 2 (P0PA25) に 1 を設定します。この動作により、A25 端子に 1 が出力され、32MB を超えるアドレス空間をアクセスすることができます。32MB 以下のアドレスにアクセスする場合、設定は不要です (初期値は 0)。このビットは属性メモリ空間や I/O メモリ空間のアクセスには影響しません。

図 32.2 に本 LSI のメモリ空間と連続 32MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。

エリア 6 において、PC カードの共通メモリ空間にアクセスするためにジェネラルコントロールレジスタのビット 0 (P0REG) に 0 を設定し、属性メモリ空間にアクセスするためにビット 0 に 1 を設定します (初期値 : 0)。この動作により、設定値は $\overline{\text{PCC_REG}}$ 端子に出力され、任意の空間にアクセスできるようになります。エリア 6 で I/O 空間をアクセスすると、 $\overline{\text{PCC_REG}}$ 端子の出力はビット 0 (P0REG) の値に関係なく常に 1 です。

レジスタ設定の詳細については「32.3 レジスタの説明」を参照してください。

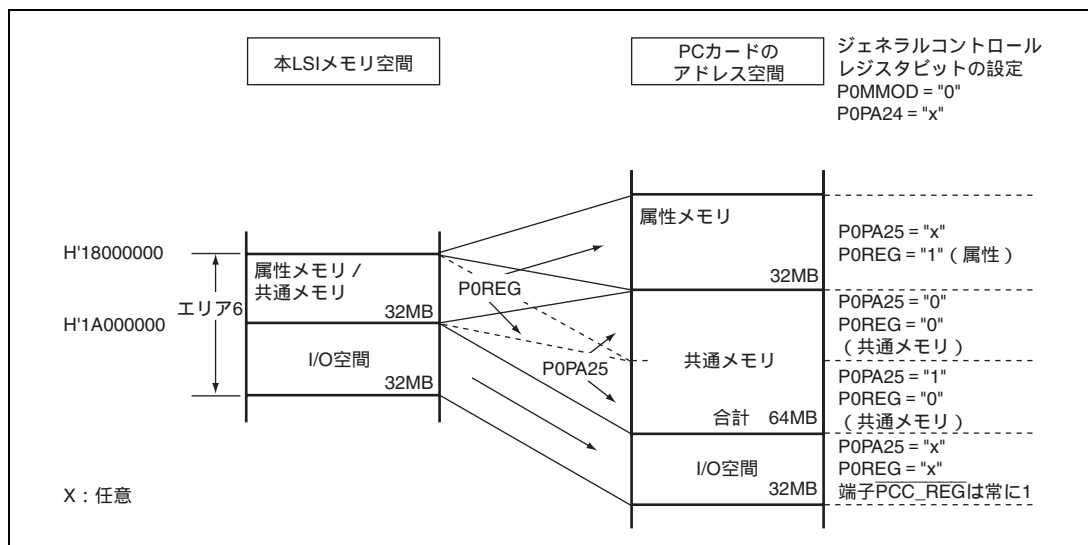


図 32.2 連続 32MB エリアモード

(2) 連続 16MB エリアモード

ジェネラルコントロールレジスタのビット 3 (P0MMOD) を 1 にセットすると連続 16MB エリアモードを有効にすることができます。このモードでは、属性メモリ空間と I/O メモリ空間は 16MB、共通メモリ空間は 64MB です。共通メモリ空間で 16MB より大きいアドレス空間にアクセスできるためには、PC カードアドレスをジェネラルコントロールレジスタのビット 2 (P0PA25) とビット 1 (P0PA24) に設定します。この動作により、端子 A25 と A24 に値が出力され、16MB を超えるアドレス空間にアクセスすることができます (P0PA25 と P0PA24 と初期値: 0)。16MB 以下のアドレスにアクセスする場合、設定は不要です。このビットは属性メモリ空間や I/O メモリ空間のアクセスには影響しません。

図 32.3 および図 32.4 に本 LSI のメモリ空間と連続 16MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。

PC カードの属性メモリ空間、共通メモリ空間、I/O 空間は、このモードでは 16MB の物理空間として提供されます。したがって、本 LSI は $\overline{\text{PCC_REG}}$ 端子を自動的に制御します (ジェネラルコントロールレジスタのビット 0 (P0REG) の値は無視されます)。エリア 6 において、属性メモリ空間または I/O 空間のアクセス時、 $\overline{\text{PCC_REG}}$ 端子の出力は 1 であり、共通メモリ空間のアクセス時、 $\overline{\text{PCC_REG}}$ 端子の出力は 0 です。

レジスタ設定の詳細については「32.3 レジスタの説明」を参照してください。

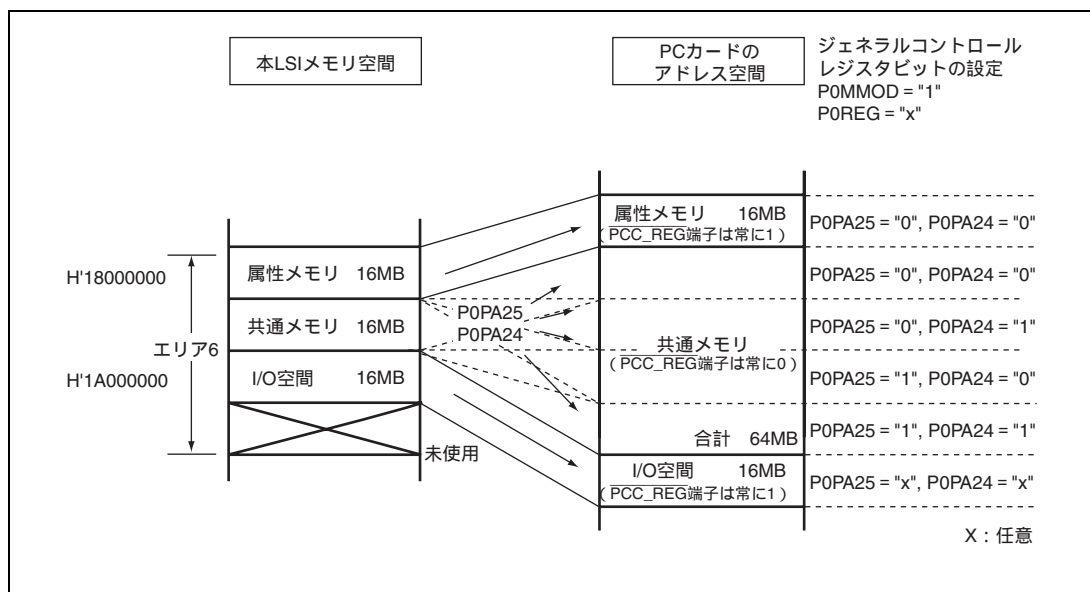


図 32.3 連続 16MB エリアモード (エリア 6)

32.2 入出力端子

PCC 関係の外部端子を以下に示します。

表 32.2 PCC の端子構成

名称	略称	入出力	機能
ハードウェアウェイト要求	PCC_WAIT	入力	ハードウェアウェイト要求信号
PCMCIA 16 ビット入出力	PCC_IOIS16	入力	IC メモリインタフェース時、PC カードからのライトプロテクト信号
PCMCIA レディ	PCC_RDY	入力	IC メモリインタフェース時、PC カードからのレディ / ビジー信号 I/O カードインタフェース時、PC カードからの割り込み要求信号
PCMCIA BVD1	PCC_BVD1	入力	IC メモリインタフェース時、PC カードからのバッテリー電圧検出 1 信号 I/O カードインタフェース時、PC カードからのカードステータス変更信号
PCMCIA BVD2	PCC_BVD2	入力	IC メモリインタフェース時、PC カードからのバッテリー電圧検出 2 信号 I/O カードインタフェース時、PC カードからのデジタル音声信号
PCMCIA CD1	PCC_CD1	入力	PC カードからのカード検出 1 信号
PCMCIA CD2	PCC_CD2	入力	PC カードからのカード検出 2 信号
PCMCIA VS1	PCC_VS1	入力	PC カードからの電圧センス 1 信号
PCMCIA VS2	PCC_VS2	入力	PC カードからの電圧センス 2 信号
PCMCIA REG	PCC_REG	出力	PC カードへの空間指示信号
PCMCIA バッファ制御	PCC_DRV	出力	バッファ制御信号
PCMCIA リセット	PCC_RESET	出力	PC カードへのリセット信号

32.3 レジスタの説明

PCCのレジスタ構成を表 32.3 に示します。また、各処理モードにおけるレジスタの状態を表 32.4 に示します。

表 32.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
エリア6 インタフェースステータスレジスタ	PCC0ISR	R	H'FFE9 8000	H'1FE9 8000	8
エリア6 ジェネラルコントロールレジスタ	PCC0GCR	R/W	H'FFE9 8002	H'1FE9 8002	8
エリア6 カードステータスチェンジレジスタ	PCC0CSCR	R/W	H'FFE9 8004	H'1FE9 8004	8
エリア6 カードステータスチェンジ割り込み 許可レジスタ	PCC0CSCIER	R/W	H'FFE9 8006	H'1FE9 8006	8

表 32.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
エリア6 インタフェースステータスレジスタ	PCC0ISR	不定	不定	保持	保持
エリア6 ジェネラルコントロールレジスタ	PCC0GCR	H'00	H'00	保持	保持
エリア6 カードステータスチェンジレジスタ	PCC0CSCR	H'00	H'00	保持	保持
エリア6 カードステータスチェンジ割り込み 許可レジスタ	PCC0CSCIER	H'00	H'00	保持	保持

32.3.1 エリア 6 インタフェースステータスレジスタ (PCC0ISR)

PCC0ISR は、エリア 6 に接続された PC カードのステータスを読み出すことができる 8 ビットの読み出し専用レジスタです。PCC0ISR は PC カードのステータスによって異なります。

ビット:	7	6	5	4	3	2	1	0
	P0RDY/ IREQ	P0MWP	P0VS2	P0VS1	P0CD2	P0CD1	P0BVD2/ P0SPKR	P0BVD1/ P0STSCHG
初期値:	不定*	不定*	不定*	不定*	不定*	不定*	不定*	不定*
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	P0RDY/IREQ	不定*	R	<p>PCC0 レディ</p> <p>エリア 6 に接続された PC カードの RDY/$\overline{\text{BSC}}$ 端子の値は、IC メモリカードインタフェース接続時に読み出されます。エリア 6 に接続された PC カードの $\overline{\text{IREQ}}$ 端子の値は、I/O カードインタフェース接続時に読み出されます。書き込みは無効です。</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、RDY/$\overline{\text{BSC}}$ 端子の値は 0 であることを示します。エリア 6 に接続された PC カードが I/O カードインタフェースの場合、$\overline{\text{IREQ}}$ 端子の値は 0 になります。</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、RDY/$\overline{\text{BSC}}$ 端子の値は 1 であることを示します。エリア 6 に接続された PC カードが I/O カードインタフェースの場合、$\overline{\text{IREQ}}$ 端子の値は 1 になります。</p>
6	P0MWP	不定*	R	<p>PCC0 ライトプロテクト</p> <p>エリア 6 に接続された PC カードの WP 端子の値は、IC メモリカードインタフェース接続時に読み出されます。I/O カードインタフェース接続時には 0 が読み出されます。書き込みは無効です。</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、WP 端子の値は 0 であることを示します。エリア 6 に接続された PC カードが I/O カードインタフェースの場合、ビット 6 の値は常に 0 になります。</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、WP 端子の値は 1 であることを示します。</p>
5	P0VS2	不定*	R	<p>PCC0 電圧センス 2</p> <p>エリア 6 に接続された PC カードの $\overline{\text{VS2}}$ 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの $\overline{\text{VS2}}$ 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの $\overline{\text{VS2}}$ 端子の値が 1 であることを示します。</p>

ビット	ビット名	初期値	R/W	説明
4	P0VS1	不定*	R	<p>PCC0 電圧センス 1</p> <p>エリア 6 に接続された PC カードの $\overline{VS1}$ 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの $\overline{VS1}$ 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの $\overline{VS1}$ 端子の値が 1 であることを示します。</p>
3	P0CD2	不定*	R	<p>PCC0 カード検出 2</p> <p>エリア 6 に接続された PC カードの $\overline{CD2}$ 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの $\overline{CD2}$ 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの $\overline{CD2}$ 端子の値が 1 であることを示します。</p>
2	P0CD1	不定*	R	<p>PCC0 カード検出 1</p> <p>エリア 6 に接続された PC カードの $\overline{CD1}$ 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの $\overline{CD1}$ 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの $\overline{CD1}$ 端子の値が 1 であることを示します。</p>
1	P0BVD2/ P0SPKR	不定*	R	<p>PCC0 バッテリ電圧検出 2、1</p> <p>IC メモリカードインタフェースの接続時、エリア 6 に接続された PC カードの BVD2 端子、BVD1 端子の値が読み出されます。I/O カードインタフェースの接続時、エリア 6 に接続された PC カードの SPKR 端子、STSCHG 端子の値が読み出されます。書き込みは無効です。</p> <ul style="list-style-type: none"> • IC メモリインタフェース <p>11: エリア 6 に接続された PC カードのバッテリー電圧が正常であることを示します。(バッテリー正常表示)</p> <p>01: エリア 6 に接続された PC カードのデータは保証されますが、バッテリーの交換が必要であることを示します。(バッテリー警告表示)</p> <p>x0: バッテリ電圧が異常で、エリア 6 に接続された PC カードのデータが保証できないことを示します。(バッテリー切れ表示)</p> • I/O カードインタフェース <p>0: エリア 6 に接続された PC カードの \overline{SPKR} 端子または \overline{STSCHG} 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの \overline{SPKR} 端子または \overline{STSCHG} 端子の値が 1 であることを示します。</p>
0	P0BVD1/ P0STSCHG	不定*	R	

【注】 * PC カードのステータスによって異なります。

32.3.2 エリア6 ジェネラルコントロールレジスタ (PCC0GCR)

PCC0GCR は、外部バッファ、リセット、アドレス端子 A25、A24、および $\overline{\text{REG}}$ 端子を制御し、エリア6に接続された PC カードに対して PC カードタイプを設定する読み出し / 書き込み可能な 8 ビットのレジスタです。

PCC0GCR はパワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモードでその値を保持します。

ビット:	7	6	5	4	3	2	1	0
	PODRVE	POPCCR	POPCCT	POUSE	POMMOD	POPA25	POPA24	POREG
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PODRVE	0	R/W	PCC0 バッファコントロール エリア6に接続された PC カード用外部バッファのイネーブル / ディスエーブルを制御します。 0: エリア6に接続された PC カードに対して外部バッファの $\overline{\text{PCC_DRV}}$ 端子をコントロールするためローレベルを設定します。 1: エリア6に接続された PC カードに対して外部バッファの $\overline{\text{PCC_DRV}}$ 端子をコントロールするためハイレベルを設定します。
6	POPCCR	0	R/W	PCC0 カードリセット エリア6に接続された PC カードに対するリセットを制御します。 0: エリア6に接続された PC カードに対してリセット端子 PCC_RESET にローレベルを設定します。 1: エリア6に接続された PC カードに対してリセット端子 PCC_RESET にハイレベルを設定します。
5	POPCCT	0	R/W	PCC0 カードタイプ エリア6に接続された PC カードのタイプを指定します。PC カードが IC メモリカードインタフェースの場合、0 を設定し、PC カードが I/O カードインタフェースの場合、1 を設定します。 0: エリア6に接続された PC カードを IC メモリカードインタフェースとして扱います。 1: エリア6に接続された PC カードを I/O カードインタフェースとして扱います。

ビット	ビット名	初期値	R/W	説 明
4	P0USE	0	R/W	<p>PCC0 使用 / 未使用</p> <p>PC カードコントローラの使用 / 未使用を選択します。</p> <p>0 : PC カードコントローラを使用しない</p> <p>1 : PC カードコントローラを使用する</p> <p>【注】 P0USE = 1 のとき</p> <ul style="list-style-type: none"> ・ CS6PCR レジスタのビット 30~28 は、7、6、5、4 (メモ리카ード) のいずれかに設定してください。 ・ CS6PCR レジスタのビット 26~24 は、3、2 (I/O カード) のいずれかに設定してください。ダイナミックバスサイジングを有効にする場合は 1 に設定してください。 ・ エリア 5 に PCMCIA を接続しないでください。 ・ 回路は図 32.4 を参照してください。 ・ P0USE に 1 を設定する前に、必ず BSC の CS6BBCCR レジスタのビット 2~0 (TYPE2~0) に 100 を設定してください。
3	P0MMOD	0	R/W	<p>PCC0 モード</p> <p>エリア 6 に接続された PC カードに対して $\overline{PCC_REG}$ 端子と A24 端子を制御します。アクセスするアドレスの A24 か、$\overline{PCC_REG}$ 端子に出力するための P0REG ビットのいずれかを指定します。共通メモリ空間へのアクセス時、アクセスするアドレスの A24 か A24 端子に出力するための P0PA24 ビットのいずれかを指定します。この動作により、PC カードの共通メモリ空間のアドレスエリアに対して連続 32MB または 16MB を選択することができます。</p> <p>0 : P0REG ビットを $\overline{PCC_REG}$ 端子に出力し、アクセスするアドレスの A24 を端子 A24 に出力します (連続 32MB エリアモード)。</p> <p>1 : アクセスするアドレスの A24 を反転したものを $\overline{PCC_REG}$ 端子に出力します。共通メモリ空間のアクセス時、P0PA24 を A24 端子に出力します (連続 16MB エリアモード)。</p>
2	P0PA25	0	R/W	<p>PC カードアドレス</p> <p>エリア 6 に接続された PC カードに対して A25 端子を制御します。エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、このビットは A25 端子に出力されます。属性メモリ空間または I/O 空間をアクセスする場合、このビットは無意味です。</p> <p>0 : エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A25 端子に 0 が出力されます。</p> <p>1 : エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A25 端子に 1 が出力されます。</p>

ビット	ビット名	初期値	R/W	説 明
1	P0PA24	0	R/W	<p>PCカードアドレス</p> <p>エリア6に接続されたPCカードに対してA24端子を制御します。P0MMODビットが1で、エリア6に接続されたPCカードに対して共通メモリ空間をアクセスすると、このビットはA24端子に出力されます。P0MMODビットが0か属性メモリ空間またはI/O空間をアクセスする場合、このビットは無意味です。</p> <p>0: P0MMODビットが1で、エリア6に接続されたPCカードに対して共通メモリ空間をアクセスすると、A24端子に0が出力されます。</p> <p>1: P0MMODビットが1で、エリア6に接続されたPCカードに対して共通メモリ空間をアクセスすると、A24端子に1が出力されます。</p>
0	P0REG	0	R/W	<p>PCC0REG空間指示 (P0REG)</p> <p>エリア6に接続されたPCカードに対して$\overline{\text{PCC_REG}}$端子を制御します。</p> <p>P0MMODビットが0のとき、エリア6に接続されたPCカードに対してこのビットは$\overline{\text{PCC_REG}}$端子に出力されます。P0MMODビットが1、またはI/Oカードインタフェースをアクセスする場合、このビットは無意味です。</p> <p>0: P0MMODビットが0で、エリア6に接続されたPCカードにアクセスすると、$\overline{\text{PCC_REG}}$端子に1が出力されます。</p> <p>1: P0MMODビットが0で、エリア6に接続されたPCカードにアクセスすると、$\overline{\text{PCC_REG}}$端子に0が出力されます。</p>

【記号説明】 x : Don't care

32.3.3 エリア 6 カードステータスチェンジレジスタ (PCC0CSCR)

PCC0CSCR は、読み出し / 書き込み可能な 8 ビットのレジスタです。PCC0CSCR はエリア 6 に接続された PC カードの各割り込み要因によって 1 にセットされます (必要に応じてビット 7 のみ 1 にセットすることができません)。PCC0CSCR は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモードでその値を保持します。

ビット:	7	6	5	4	3	2	1	0
	P0SCDI	-	P0IREQ	P0SC	P0CDC	P0RC	P0BW	P0BD
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	P0SCDI	0	R/W	<p>PCC0 ソフトウェアカードデテクトチェンジ割り込み</p> <p>PCC0 ソフトウェアカードデテクトチェンジ割り込みは、このビットに 1 を書き込むことによって発生させることができます。このビットが 1 にセットされていると、エリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) のビット 3 (PCC0 カードデテクトチェンジイネーブル) を 1 に設定した場合、PCC0 カードデテクトチェンジ割り込み (ビット 3 セットステータス) と同じ割り込みが発生します。ビット 3 を 0 にリセットすると、割り込みは発生しません。</p> <p>0: エリア 6 に接続された PC カードに対してソフトウェアカードデテクトチェンジ割り込みは発生しません。</p> <p>1: エリア 6 に接続された PC カードに対してソフトウェアカードデテクトチェンジ割り込みが発生します。</p>
6	-	0	-	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	P0IREQ	0	R/W	<p>PCC0IREQ 要求</p> <p>エリア 6 に接続された PC カードが I/O カードインタフェースの場合、PC カードの $\overline{\text{IREQ}}$ 端子に対する割り込み要求を示します。パルスモードまたはレベルモードの割り込み要求信号を $\overline{\text{IREQ}}$ 端子に入力すると、P0IREQ は 1 にセットされます。モードはエリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) のビット 5 および 6 (PCC0IREQ 要求イネーブルビット) で選択します。このビットはパルスモードでのみ 0 にリセットすることができます。このビットを 0 にリセットするためにはビット 5 に 0 を書き込みます。1 を書き込んでもこのビットは変化しません。レベルモードではビット 5 は読み出し専用ビットで、$\overline{\text{IREQ}}$ 端子状態を反映します ($\overline{\text{IREQ}}$ 端子がローレベルの場合、1 を読み出します)。IC メモリカードインタフェースでは、このビットからは常に 0 が読み出されます。</p> <p>0: PC カードが I/O カードインタフェースの場合、PC カードの $\overline{\text{IREQ}}$ 端子に対する割り込み要求がないことを示します</p> <p>1: PC カードが I/O カードインタフェースの場合、PC カードの $\overline{\text{IREQ}}$ 端子に対する割り込み要求が発生したことを示します。</p>

ビット	ビット名	初期値	R/W	説明
4	P0SC	0	R/W	<p>PCC0 ステータス変化</p> <p>エリア 6 に接続された PC カードが I/O カードインタフェースの場合、PC カードの $\overline{\text{STSCHG}}$ 端子に対する値の変化を示します。$\overline{\text{STSCHG}}$ 端子が 1 から 0 に変化すると、SC ビットは 1 にセットされます。$\overline{\text{STSCHG}}$ 端子が変化しない場合、P0SC ビットは 0 のままです。このビットを 0 にリセットするためにビット 4 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。IC メモリカードインタフェースでこのビットを読み出すと、常に 0 が読み出されます。</p> <p>0 : PC カードが I/O カードインタフェースの場合、PC カードの $\overline{\text{STSCHG}}$ 端子が変化しないことを示します。</p> <p>1 : PC カードが I/O カードインタフェースの場合、PC カードの $\overline{\text{STSCHG}}$ 端子が 1 から 0 に変化することを示します。</p>
3	POCDC	0	R/W	<p>PCC0 カードデテクトチェンジ</p> <p>エリア 6 に接続された PC カードの $\overline{\text{CD1}}$ 端子と $\overline{\text{CD2}}$ 端子の値の変化を示します。$\overline{\text{CD1}}$ 端子と $\overline{\text{CD2}}$ 端子の値が変化すると、POCDC ビットは 1 にセットされます。値が変化しない場合、POCDC ビットは 0 のままです。このビットを 0 にリセットするにはビット 3 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。</p> <p>0 : PC カードの $\overline{\text{CD1}}$ 端子と $\overline{\text{CD2}}$ 端子が変化していないことを示します。</p> <p>1 : PC カードの $\overline{\text{CD1}}$ 端子と $\overline{\text{CD2}}$ 端子が変化したことを示します。</p>
2	P0RC	0	R/W	<p>PCC0 レディチェンジ</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、PC カードの RDY/$\overline{\text{BSY}}$ 端子の値の変化を示します。RDY/$\overline{\text{BSY}}$ 端子が 0 から 1 に変化すると、P0RC ビットは 1 にセットされます。RDY/$\overline{\text{BSY}}$ 端子が変化しないと P0RC ビットは 0 のままです。このビットを 0 にリセットするにはビット 2 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。I/O カードインタフェースでこのビットを読み出すと常に 0 が読み出されます。</p> <p>0 : PC カードが IC メモリカードインタフェースの場合、PC カードの RDY/$\overline{\text{BSY}}$ 端子が変化していないことを示します。</p> <p>1 : PC カードが IC メモリカードインタフェースの場合、PC カードの RDY/$\overline{\text{BSY}}$ 端子が 0 から 1 に変化したことを示します。</p>

ビット	ビット名	初期値	R/W	説明
1	P0BW	0	R/W	<p>PCC0 バッテリ警告</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が「データは保証されてもバッテリーを交換しなければならない状態である」かどうかを示します。BVD2 端子と BVD1 端子がそれぞれ 0 と 1 の場合、P0BW ビットは 1 にセットされます。その他の場合、P0BW ビットは 0 のままです。BVD2 端子と BVD1 端子が変化するとこのビットは更新されます。このビットを 0 にリセットするには、ビット 1 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。I/O カードインタフェースでこのビットを読み出すと常に 0 が読み出されます。</p> <p>0 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子は、バッテリー警告状態にないことを示します。</p> <p>1 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子は、バッテリー警告状態にあり、「データは保証されてもバッテリーの交換が必要である」ことを示します。</p>
0	P0BD	0	R/W	<p>PCC0 バッテリ切れ</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が「データが保証されないためバッテリーの交換が必要である」状態にあるかどうかを示します。BVD2 端子と BVD1 端子がそれぞれ 1、0 または 0、0 の場合、P0BD ビットは 1 にセットされます。その他の場合、P0BD ビットは 0 のままです。BVD2 端子と BVD1 端子が変化するとこのビットは更新されます。このビットを 0 にリセットする場合、ビット 0 に 0 を書き込みます。1 を書き込んでこのビットは変更されません。I/O カードインタフェースでこのビットを読み出すと常に 0 が読み出されます。</p> <p>0 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が、「データが保証されないためバッテリーを交換しなければならない状態」にないことを示します。</p> <p>1 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が、「データが保証されないためバッテリーを交換しなければならない状態」にあることを示します。</p>

32.3.4 エリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER)

PCC0CSCIER は、読み出し/書き込み可能な 8 ビットレジスタです。PCC0CSCIER は、エリア 6 に接続された PC カードの割り込みの各要因に対して割り込み要求の有効または無効を設定することができます。PCC0CSCIER を 1 にセットすると、割り込みは有効で、0 にセットすると割り込みは無効です。PCC0CSCIER は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモードでその値を保持します。

ビット:	7	6	5	4	3	2	1	0
	POCRE	IREQE[1:0]	POSCCE	POCDE	PORE	POBWE	POBDE	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	POCRE	0	R/W	<p>PCC0 カードリセットイネーブル</p> <p>このビットを 1 に設定し、$\overline{CD1}$、$\overline{CD2}$ 端子が PC カードがエリア 6 に接続していることを検出すると、エリア 6 ジェネラルコントロールレジスタ (PCC0GCR) は初期化されます。</p> <p>0: PC カードがエリア 6 で検出されてもエリア 6 ジェネラルコントロールレジスタ (PCC0GCR) は初期化されません。</p> <p>1: PC カードの接続がエリア 6 で検出されるとエリア 6 ジェネラルコントロールレジスタ (PCC0GCR) は初期化されます。</p>
6, 5	IREQE[1:0]	すべて 0	R/W	<p>PCC0IREQ 要求イネーブル</p> <p>これらのビットは \overline{IREQ} 端子に対して有効または無効な要求を設定し、エリア 6 に接続された PC カードが I/O カードインタフェースの場合、割り込みモードを選択することができます。このレジスタのビット 6 とビット 5 の値が変化すると、エリア 6 カードステータスチェンジレジスタ (PCC0CSCR) のビット 5 (POIREQ) はリセットされることに注意してください。これらのビットは IC メモリカードインタフェースでは意味がありません。</p> <p>00: エリア 6 に接続された PC カードは、IREQ 要求を受け付けません。ステータスチェンジレジスタ (PCC0CSCR) のビット 5 は、読み出し専用ビットとして機能し、\overline{IREQ} 端子の反転信号ステータスを示します。</p> <p>01: レベルモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。レベルモードでは \overline{IREQ} 端子から入力した信号の 0 レベルが検出されると割り込みが発生します。</p> <p>10: パルスモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。パルスモードでは、\overline{IREQ} 端子から入力した信号の 1 から 0 への立ち下がりエッジが検出されると割り込みが発生します。</p> <p>11: パルスモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。パルスモードでは、\overline{IREQ} 端子から入力した信号の 0 から 1 への立ち上がりエッジが検出されると割り込みが発生します。</p>

ビット	ビット名	初期値	R/W	説明
4	POECE	0	R/W	<p>PCC0 ステータスチェンジイネーブル</p> <p>エリア 6 に接続された PC カードが I/O カードインタフェースの場合、BVD1 端子 ($\overline{\text{STSCHG}}$ 端子) の値が変化したとき、ビット 4 は割り込み要求の有効または無効を設定することができます。IC メモリカードインタフェースでこのビットは意味がありません。</p> <p>0: BVD1 端子 ($\overline{\text{STSCHG}}$ 端子) の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。</p> <p>1: BVD1 端子 ($\overline{\text{STSCHG}}$ 端子) の値が 1 から 0 に変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。</p>
3	POCDE	0	R/W	<p>PCC0 カードデテクトチェンジイネーブル</p> <p>$\overline{\text{CD1}}$ 端子と $\overline{\text{CD2}}$ 端子の値が変化したとき、ビット 3 は割り込み要求の有効または無効を設定することができます。</p> <p>0: $\overline{\text{CD1}}$ 端子と $\overline{\text{CD2}}$ 端子の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。</p> <p>1: $\overline{\text{CD1}}$ 端子と $\overline{\text{CD2}}$ 端子の値が変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。</p>
2	PORE	0	R/W	<p>PCC0 レディチェンジイネーブル</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、RDY/BSY 端子の値が変化したとき、ビット 2 は割り込み要求の有効または無効を設定することができます。</p> <p>I/O カードインタフェースではこのビットは意味がありません。</p> <p>0: RDY/$\overline{\text{BSY}}$ 端子の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。</p> <p>1: RDY/$\overline{\text{BSY}}$ 端子の値が 0 から 1 に変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。</p>
1	POBWE	0	R/W	<p>PCC0 バッテリ警告イネーブル</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースで、BVD2 端子または BVD1 端子の値が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、ビット 1 は割り込み要求の有効または無効を設定することができます。I/O カードインタフェースではこのビットは意味がありません。</p> <p>0: BVD2 および BVD1 端子が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、割り込みは発生しません。</p> <p>1: BVD2 および BVD1 端子が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、割り込みが発生します。</p>

ビット	ビット名	初期値	R/W	説 明
0	P0BDE	0	R/W	<p>PCC0 バッテリ切れイネーブル</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースで、BVD2 および BVD1 端子の値が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、ビット 0 は割り込み要求の有効または無効を設定することができます。I/O カードインタフェースではこのビットは意味がありません。</p> <p>0 : BVD2 および BVD1 端子が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、割り込みは発生しません。</p> <p>1 : BVD2 および BVD1 端子が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、割り込みが発生します。</p>

32.4 動作の説明

32.4.1 PCカード接続仕様 (インタフェース図、該当端子)

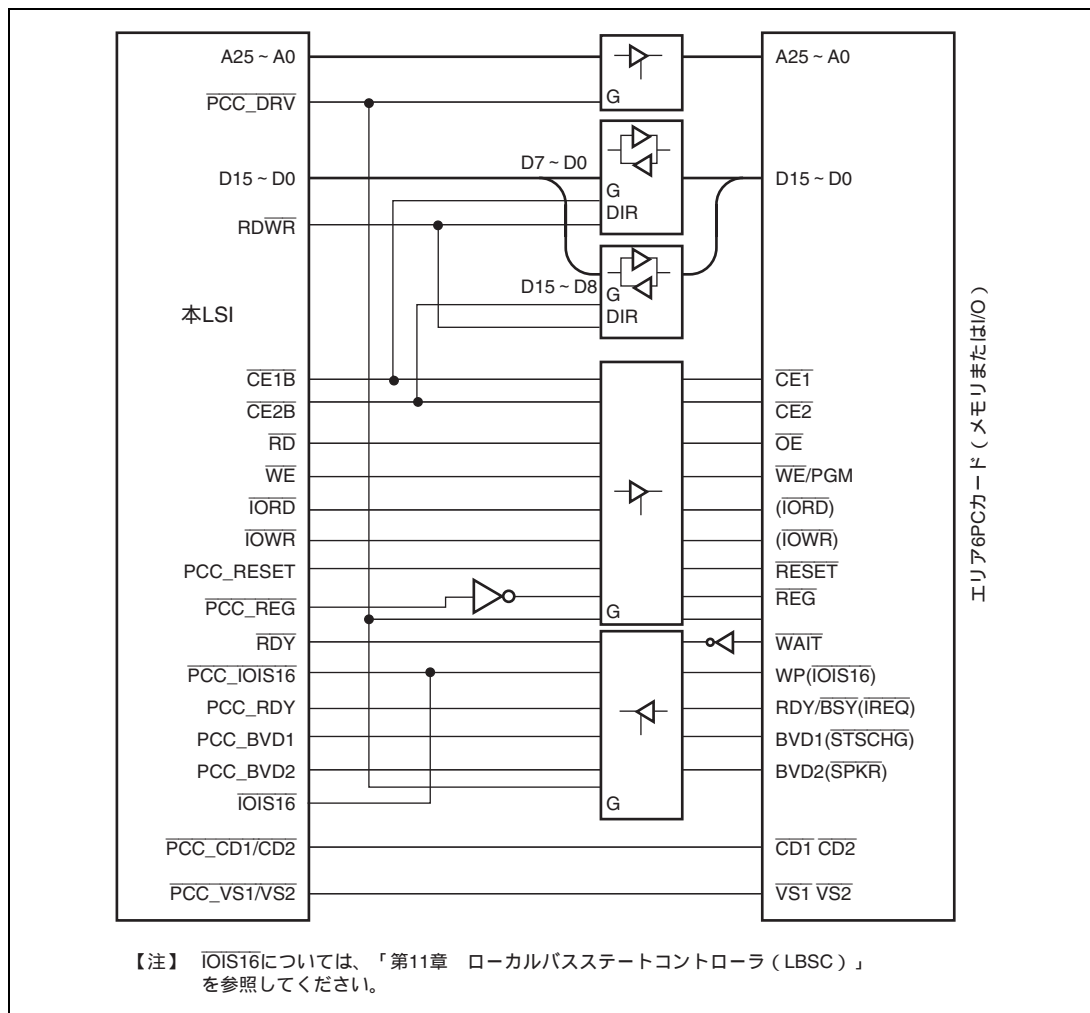


図 32.4 SH7763 インタフェース

表 32.5 PCMCIA サポートインタフェース

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			SH7763 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	入出力	データ	D3	入出力	データ	D3
3	D4	入出力	データ	D4	入出力	データ	D4
4	D5	入出力	データ	D5	入出力	データ	D5
5	D6	入出力	データ	D6	入出力	データ	D6
6	D7	入出力	データ	D7	入出力	データ	D7
7	$\overline{CE1}$	入力	カードイネーブル	$\overline{CE1}$	入力	カードイネーブル	CE1B
8	A10	入力	アドレス	A10	入力	アドレス	A10
9	\overline{OE}	入力	出力イネーブル	\overline{OE}	入力	出力イネーブル	RD
10	A11	入力	アドレス	A11	入力	アドレス	A11
11	A9	入力	アドレス	A9	入力	アドレス	A9
12	A8	入力	アドレス	A8	入力	アドレス	A8
13	A13	入力	アドレス	A13	入力	アドレス	A13
14	A14	入力	アドレス	A14	入力	アドレス	A14
15	\overline{WE}/PGM	入力	ライトイネーブル	\overline{WE}/PGM	入力	ライトイネーブル	\overline{WE}
16	\overline{RDY}/BSY	出力	レディ/ビジー	\overline{IREQ}	出力	割り込み要求	PCC_RDY
17	VCC		電源	VCC		電源	-
18	VPP1		プログラミング 電源	VPP1		プログラミング および周辺電源	-
19	A16	入力	アドレス	A16	入力	アドレス	A16
20	A15	入力	アドレス	A15	入力	アドレス	A15
21	A12	入力	アドレス	A12	入力	アドレス	A12
22	A7	入力	アドレス	A7	入力	アドレス	A7
23	A6	入力	アドレス	A6	入力	アドレス	A6
24	A5	入力	アドレス	A5	入力	アドレス	A5
25	A4	入力	アドレス	A4	入力	アドレス	A4
26	A3	入力	アドレス	A3	入力	アドレス	A3
27	A2	入力	アドレス	A2	入力	アドレス	A2
28	A1	入力	アドレス	A1	入力	アドレス	A1
29	A0	入力	アドレス	A0	入力	アドレス	A0
30	D0	入出力	データ	D0	入出力	データ	D0
31	D1	入出力	データ	D1	入出力	データ	D1
32	D2	入出力	データ	D2	入出力	データ	D2

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			SH7763 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
33	WP	出力	ライトプロテクト	$\overline{\text{IOIS16}}$	出力	16 ビット I/O ポート	PCC_ $\overline{\text{IOIS16}}$
34	GND		グラウンド	GND		グラウンド	-
35	GND		グラウンド	GND		グラウンド	-
36	$\overline{\text{CD1}}$	出力	カード検出	$\overline{\text{CD1}}$	出力	カード検出	PCC_ $\overline{\text{CD1}}$
37	D11	入出力	データ	D11	入出力	データ	D11
38	D12	入出力	データ	D12	入出力	データ	D12
39	D13	入出力	データ	D13	入出力	データ	D13
40	D14	入出力	データ	D14	入出力	データ	D14
41	D15	入出力	データ	D15	入出力	データ	D15
42	$\overline{\text{CE2}}$	入力	カードイネーブル	$\overline{\text{CE2}}$	入力	カードイネーブル	$\overline{\text{CE2B}}$
43	VS1	出力	電圧センス	VS1	出力	電圧センス	PCC_VS1
44	RFU		リザーブ	$\overline{\text{IORD}}$	入力	I/O リード	$\overline{\text{IORD}}$
45	RFU		リザーブ	$\overline{\text{IOWR}}$	入力	I/O ライト	$\overline{\text{IOWR}}$
46	A17	入力	アドレス	A17	入力	アドレス	A17
47	A18	入力	アドレス	A18	入力	アドレス	A18
48	A19	入力	アドレス	A19	入力	アドレス	A19
49	A20	入力	アドレス	A20	入力	アドレス	A20
50	A21	入力	アドレス	A21	入力	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2		プログラミング 電源	VPP2		プログラミング および周辺電源	-
53	A22	入力	アドレス	A22	入力	アドレス	A22
54	A23	入力	アドレス	A23	入力	アドレス	A23
55	A24	入力	アドレス	A24	入力	アドレス	A24
56	A25	入力	アドレス	A25	入力	アドレス	A25
57	VS2	出力	電圧センス	VS2	出力	電圧センス	PCC_VS2
58	RESET	入力	リセット	RESET	入力	リセット	PCC_RESET
59	$\overline{\text{WAIT}}$	出力	ウェイト要求	$\overline{\text{WAIT}}$	出力	ウェイト要求	RDY
60	RFU		Reserved	$\overline{\text{INPACK}}$	出力	入力受け付け属性	-
61	$\overline{\text{REG}}$	入力	メモリ空間選択 属性	$\overline{\text{REG}}$	入力	メモリ空間選択 属性	PCC_ $\overline{\text{REG}}$
62	BVD2	出力	バッテリー電圧検出	SPKR	出力	デジタル音声信号	PCC_BVD2
63	BVD1	出力	バッテリー電圧検出	$\overline{\text{STSCHG}}$	出力	カードステータス 変更	PCC_BVD1
64	D8	入出力	データ	D8	入出力	データ	D8

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			SH7763 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
65	D9	入出力	データ	D9	入出力	データ	D9
66	D10	入出力	データ	D10	入出力	データ	D10
67	$\overline{\text{CD2}}$	出力	カード検出	$\overline{\text{CD2}}$	出力	カード検出	$\overline{\text{PCC_CD2}}$
68	GND		グラウンド	GND		グラウンド	-

32.4.2 PC カードインタフェースタイミング

(1) メモリカードインタフェースタイミング

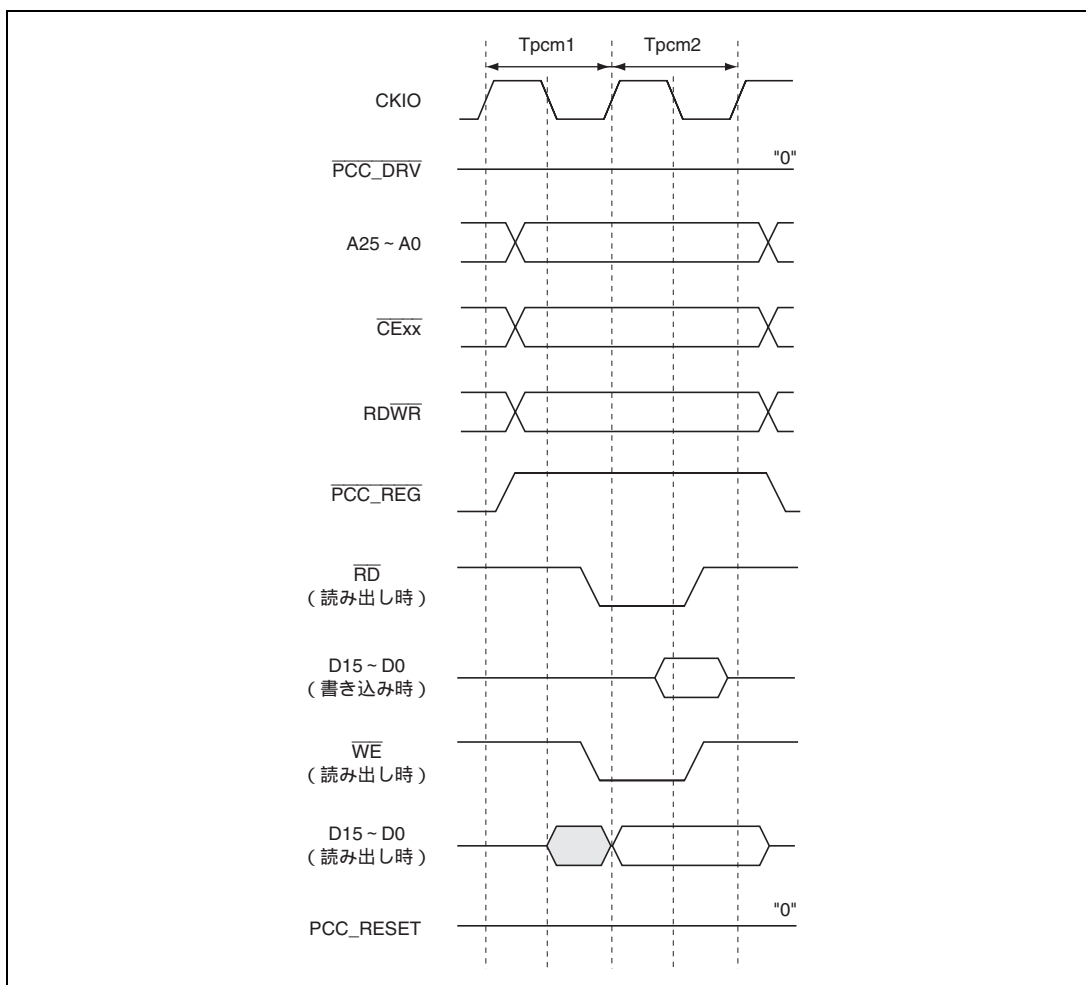


図 32.5 PCMCIA メモリカードインタフェース基本タイミング

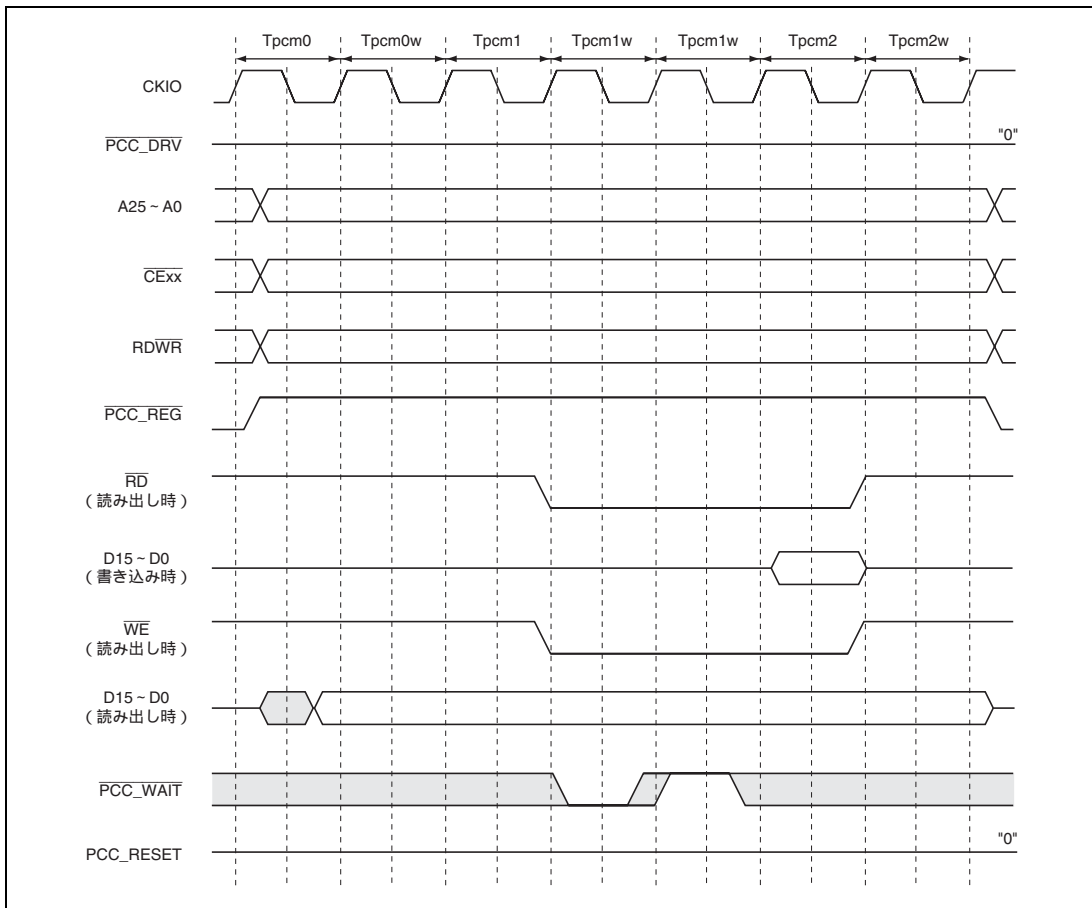


図 32.6 PCMCIA メモリカードインタフェースウェイトタイミング

(2) I/O カードインタフェースタイミング

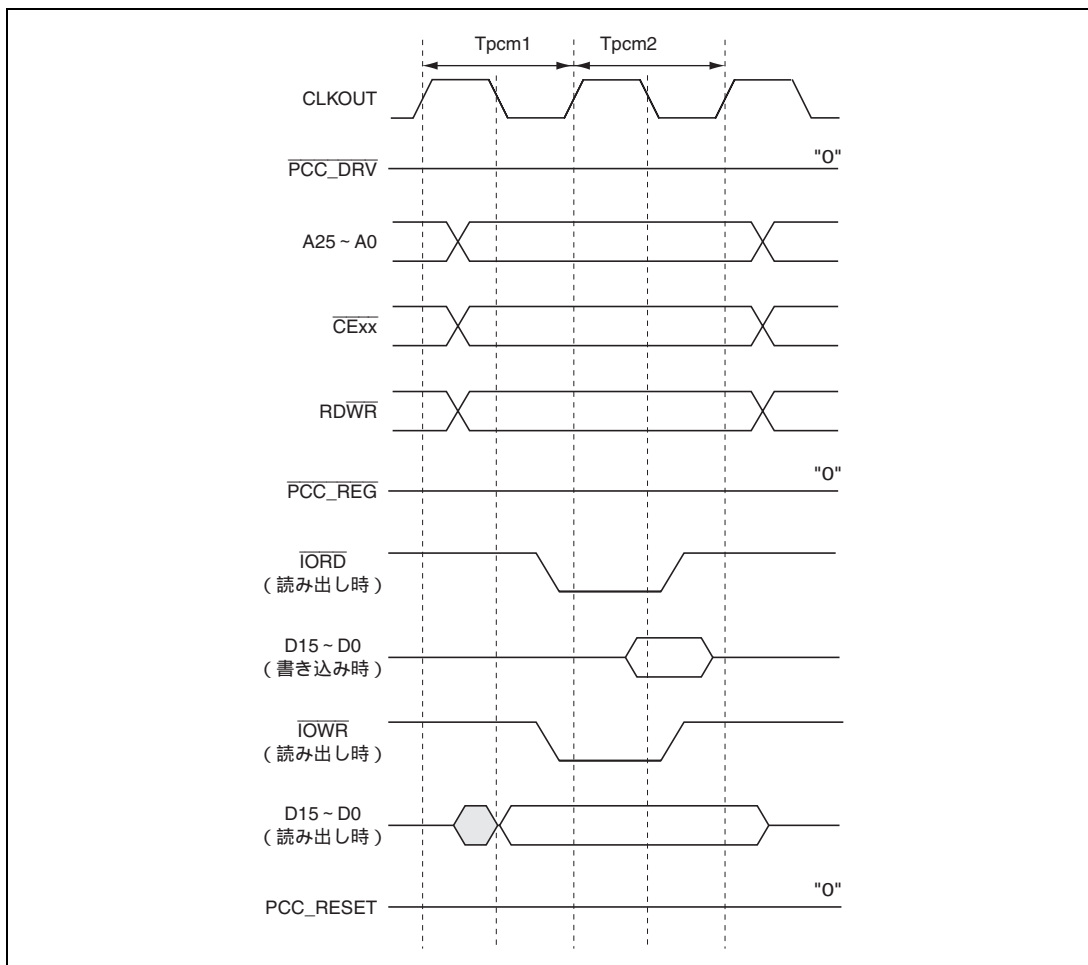


図 32.7 PCMCIA I/O カードインタフェース基本タイミング

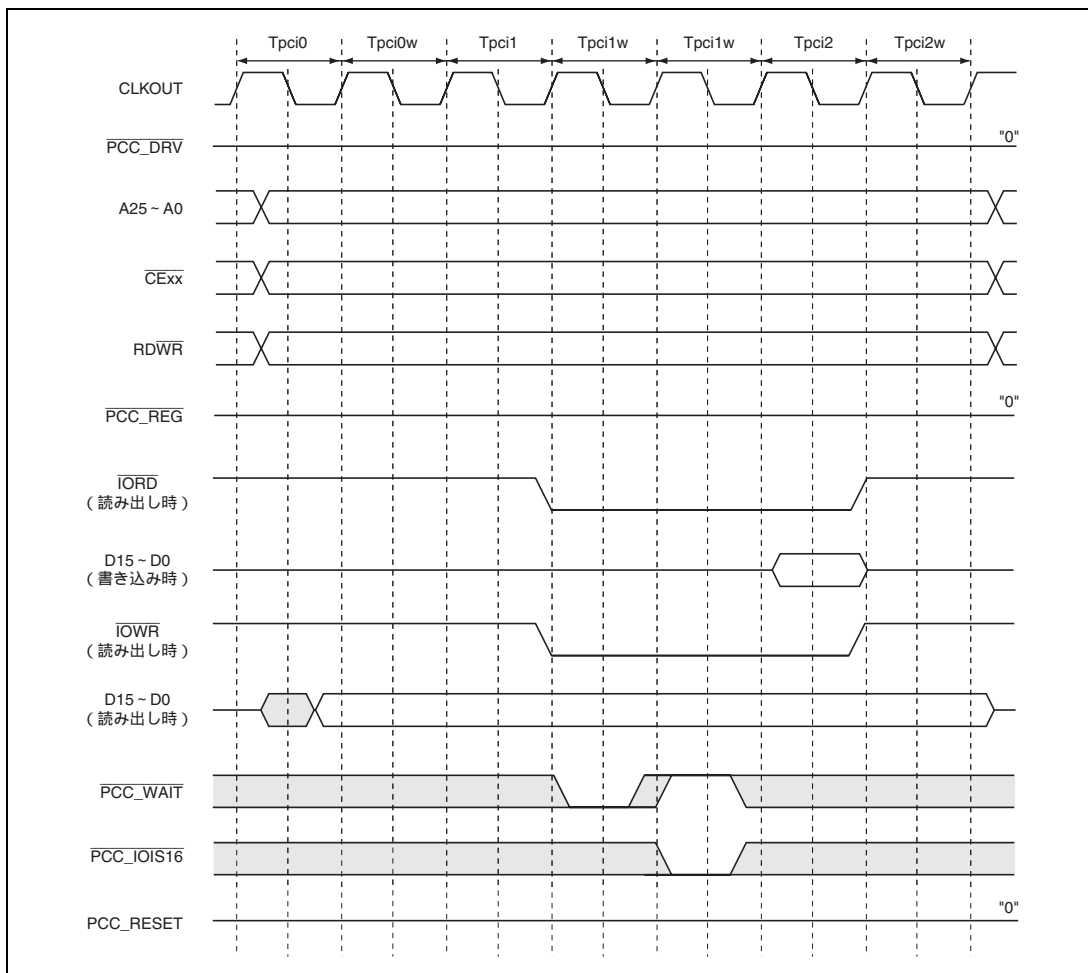


図 32.8 PCMCIA I/O カードインタフェースウェイトタイミング

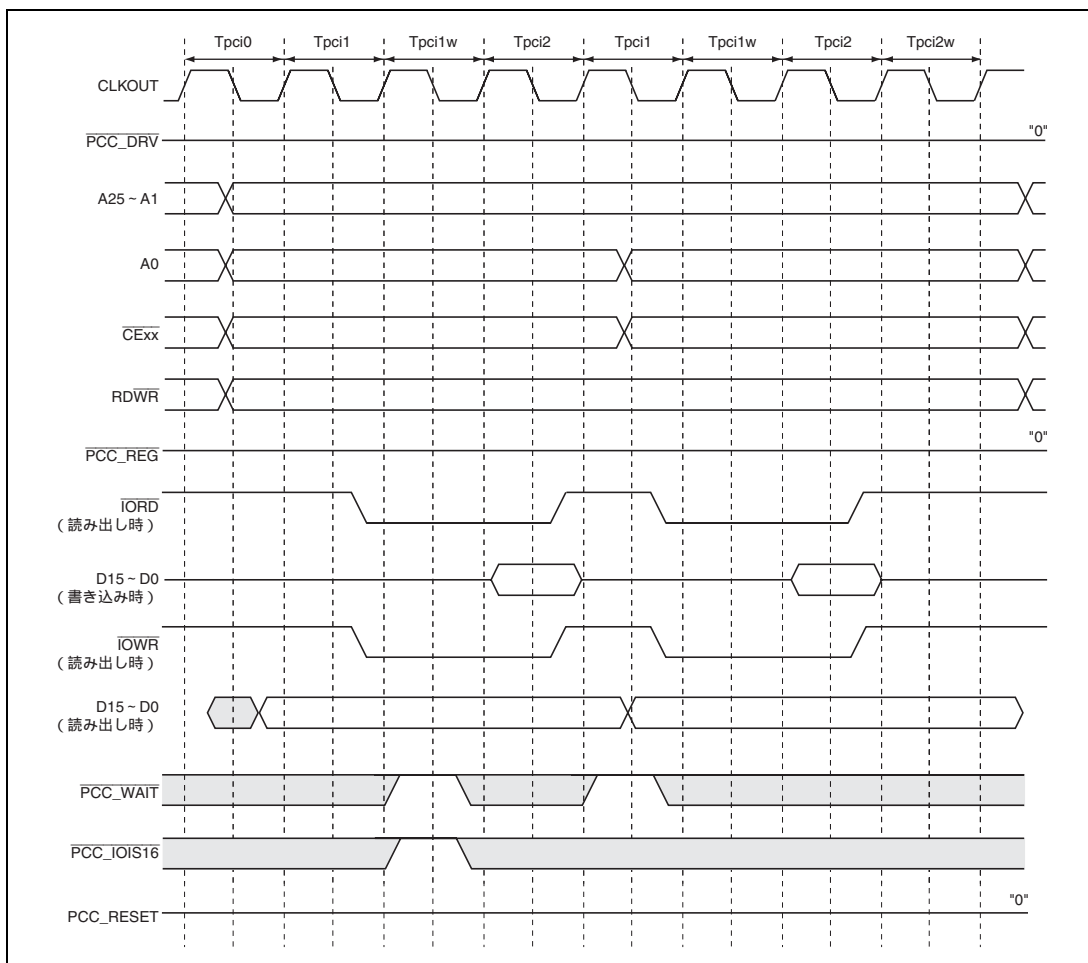


図 32.9 PCMCIA I/O カードインタフェースに対する動的バスサイジングタイミング

詳細については、「第 11 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

32.5 使用上の注意事項

(1) PC カード使用時の外部バス周波数の制限

PC カード規格によると、属性メモリアクセス時間は 600 ns (3.3 V) / 300 ns (5 V) と指定されています。したがって、本 LSI が属性メモリアクセスする場合、バスサイクルは PC カードインタフェースタイミングと調整する必要があります。本 LSI では、タイミングは CS6BWCR レジスタの TED、TEH および PCW 値を設定することによって調整し、PC カードを上記の周波数範囲で使用することができます。(-IORD および -IOWR 信号を基にした) 共通メモリアクセス時間と I/O アクセス時間も同様に指定し (下表を参照)、PC カードはこれらすべての仕様を満足するように上記の範囲内で使用しなければなりません。

PC カード空間	アクセス時間 (5 V 動作)	アクセス時間 (3.3 V 動作)
属性メモリ	300 ns	600 ns
共通メモリ	250 ns	600 ns
I/O 空間 (-IORD、-IOWR パルス幅)	165 ns	165 ns

(2) 端子機能コントロールとカードタイプの切り替え

ピンファンクションコントローラの端子機能を専用 PC カード用 (「その他の機能」) に設定する場合、まずカードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) に禁止状態を設定しなければなりません。また、カードステータスチェンジレジスタ (PCC0CSCR) は設定終了後クリアしなければなりません。ただし、この制限はカード検出端子 ($\overline{CD1}$ 、 $\overline{CD2}$) には適用されません。

エリア 6 ジェネラルコントロールレジスタ (PCC0GCR) のカードタイプビット (P0PCCT) を変更する場合、まずカードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) に禁止状態を設定しなければなりません。また、カードステータスチェンジレジスタ (PCC0CSCR) は設定終了後クリアしなければなりません。

- 理由

PC カードコントローラの設定を変更すると、種々の割り込みを発生する PC カード端子の機能は変化し、その結果不必要な割り込みが発生する場合があります。

(3) PC カードコントローラ使用時の設定順序

PC カードコントローラを使用する場合、下記順序に従ってください。

1. バスステートコントローラの CS6B 空間バスコントロールレジスタ (CS6BBCR) のビット 15 ~ 12 (TYPE3 ~ 0) を B'0101 に設定してください。
2. PC カードコントローラのエリア 6 ジェネラルコントロールレジスタのビット 4 (P0USE) を 1 に設定してください。
3. ピンファンクションコントローラの端子機能を専用 PC カード用 (「その他の機能」) に設定してください。

33. オーディオコーデックインタフェース (HAC)

オーディオコーデックデジタルコントローラインタフェースは Audio Codec 97 (AC'97) Version 2.1 の双方向データ転送をサポートしています。データは、シリアルで AC97 コーデックに対して送受信されます。ただし、2つ以上のオーディオコーデックを接続することはできません。

HAC は、オーディオフレームに対してデータを抽出 / 挿入します。受信フレーム、送信フレームともにフレーム内のデータスロットは CPU による PIO 転送または DMAC による DMA 転送が可能です。

33.1 特長

HAC には次のような特長があります。

- シングル Audio Codec 97 (AC'97) Version 2.1 デジタルインタフェースサポート
- Rx フレームでステータススロット 1 と 2 の PIO 転送
- Tx フレームでコマンドスロット 1 と 2 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の PIO 転送
- Tx フレームでデータスロット 3 と 4 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- Tx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- タグビットによってスロットを選択すること、また Rx フレームの Tx フレーム要求ビットを監視することにより、様々なサンプリングレートをサポート
- データレディ、データリクエスト、オーバフロー、アンダフローの割り込みを生成
- コールドリセット、ウォームリセット、低消費電力モードをサポート

図 33.1 に HAC のブロック図を示します。

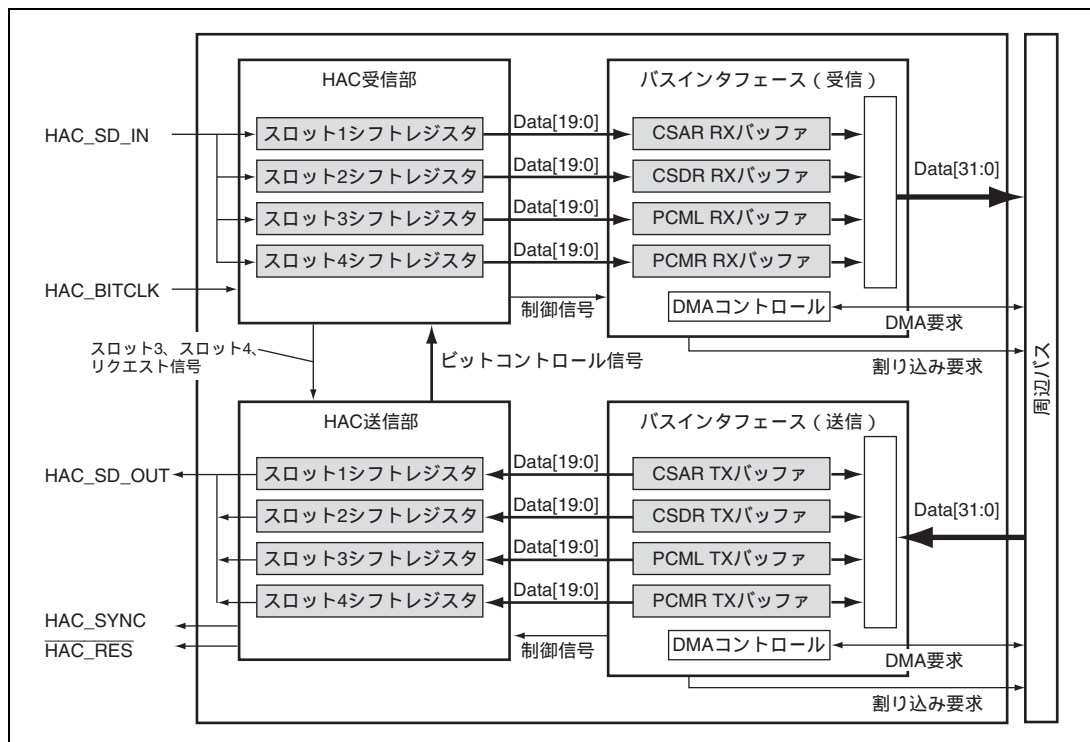


図 33.1 ブロック図

33.2 入出力端子

HAC の端子構成を表 33.1 に示します。

表 33.1 HAC の端子構成

端子名	入出力	機能
HAC_BITCLK	入力	シリアルデータクロック
HAC_SD_IN	入力	Rx フレームシリアル入力データ
HAC_SD_OUT	出力	Tx フレームシリアル出力データ
HAC_SYNC	出力	フレーム同期
HAC_RES	出力	リセット

33.3 レジスタの説明

HAC のレジスタ構成を表 33.2 に示します。また、各処理モードにおけるレジスタの状態を表 33.3 に示します。

表 33.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
コントロールステータスレジスタ	HACCR	R/W	H'FFEB 0008	H'1FEB 0008	32
コマンド/ステータスアドレス レジスタ	HACCSAR	R/W	H'FFEB 0020	H'1FEB 0020	32
コマンド/ステータスデータ レジスタ	HACCSDR	R/W	H'FFEB 0024	H'1FEB 0024	32
PCM レフトチャンネルレジスタ	HACPCML	R/W	H'FFEB 0028	H'1FEB 0028	32
PCM ライトチャンネルレジスタ	HACPCMR	R/W	H'FFEB 002C	H'1FEB 002C	32
TX 割り込みイネーブルレジスタ	HACTIER	R/W	H'FFEB 0050	H'1FEB 0050	32
TX ステータスレジスタ	HACTSR	R/W	H'FFEB 0054	H'1FEB 0054	32
RX 割り込みイネーブルレジスタ	HACRIER	R/W	H'FFEB 0058	H'1FEB 0058	32
RX ステータスレジスタ	HACRSR	R/W	H'FFEB 005C	H'1FEB 005C	32
HAC コントロールレジスタ	HACACR	R/W	H'FFEB 0060	H'1FEB 0060	32

表 33.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
コントロールステータスレジスタ	HACCR	H'0000 0200	H'0000 0200	保持	保持
コマンド/ステータスアドレス レジスタ	HACCSAR	H'0000 0000	H'0000 0000	保持	保持
コマンド/ステータスデータ レジスタ	HACCSDR	H'0000 0000	H'0000 0000	保持	保持
PCM レフトチャンネルレジスタ	HACPCML	H'0000 0000	H'0000 0000	保持	保持
PCM ライトチャンネルレジスタ	HACPCMR	H'0000 0000	H'0000 0000	保持	保持
TX 割り込みイネーブルレジスタ	HACTIER	H'0000 0000	H'0000 0000	保持	保持
TX ステータスレジスタ	HACTSR	H'F000 0000	H'F000 0000	保持	保持
RX 割り込みイネーブルレジスタ	HACRIER	H'0000 0000	H'0000 0000	保持	保持
RX ステータスレジスタ	HACRSR	H'0000 0000	H'0000 0000	保持	保持
HAC コントロールレジスタ	HACACR	H'8400 0000	H'8400 0000	保持	保持

33.3.1 コントロールステータスレジスタ (HACCR)

HACCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、入出力の制御と状態のモニタを行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CR	-	-	-	CDRT	WMRT	-	-	-	-	ST	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	W	W	R	R	R	R	W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	CR	0	R	コーデックレディ 0: HAC に接続されたコーデックがレディ状態ではありません。 1: HAC に接続されたコーデックがレディ状態です。
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みできません。
11	CDRT	0	W	HAC コールドリセット コールドリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0: 再び 1 を書き込むときには、0 を書き込んだ後に行います。 1: HAC に接続されたコーデックはコールドリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
10	WMRT	0	W	HAC ウォームリセット ウォームリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0: 再び 1 を書き込むときには、0 を書き込んだ後に行います。 1: HAC に接続されたコーデックはウォームリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
9	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
8~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5	ST	0	W	転送開始 [書き込み時] 1: データの送受信を開始します。 0: フレームの終わりで送受信を終了します。通常動作で送受信を終了させるためには、この方法を使用しないでください。 [読み出し時] 読み出すと常に0が読み出されます。
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

HAC は、外部コーデックデバイスのレジスタインデックス 26 のビット 12 に 1 を書き込むことで低消費電力モードにすることができます。外部コーデックデバイスは低消費電力モードになると HAC_BITCLK を停止し、通常動作を一時停止します。これはパワーオンのときも同じです。動作を再開するためには、外部コーデックデバイスに対してコールドリセットかウォームリセットを行わなければなりません。

33.3.2 コマンド/ステータスアドレスレジスタ (HACCSAR)

HACCSAR は、読み出し/書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のアドレスを指定します。コーデックのレジスタに書き込みまたは読み出しを要求する場合、レジスタアドレスを HACCSAR に書き込むとコマンドアドレスとしてスロット 1 で送信されます。

コーデックが読み出し要求に応答した後 (HACRSR.STARY = 1) HACCSAR を読み出すことで、スロット 1 で受信したステータスアドレスを得ることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RW	CA/SA[6:4]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA/SA[3:0]				SLREQ[3:12]										-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
19	RW	0	R/W	<p>コーデック読み出し / 書き込みコマンド</p> <p>0 : アドレスフィールド (CA6/SA6 ~ CA0/SA0) で示されるレジスタを書き込むことを外部コーデックデバイスに通知します。HACCSDR にあらかじめデータを書き込んでおいてください。 HACACR.TX12_ATOMIC が 1 のとき、HACCSAR と HACCSDR は同じ Tx フレームで送信されます。 HACACR.TX12_ATOMIC が 0 のとき、HACCSAR と HACCSDR が同じ Tx フレームで送信されることは保証できません。</p> <p>1 : アドレスフィールド (CA6/SA6 ~ CA0/SA0) で示されるレジスタを読み出すことを外部コーデックデバイスに通知します。</p>
18 ~ 12	CA/SA[6:0]	すべて 0	R/W	<p>コーデックコントロールレジスタアドレス / コーデックステータスレジスタアドレス</p> <p>[書き込み時] 書き込んだ値はアクセスするコーデックレジスタのアドレスを示します。</p> <p>[読み出し時] 読み出した値はスロット 1 で受信したステータスアドレスを示します。HACCSDR で受信される外部コーデックのレジスタに対応しています。</p>
11 ~ 2	SLREQ[3:12]	すべて 0	R	<p>スロットリクエスト</p> <p>Rx フレーム内でのみ有効です。スロットデータが次の Tx フレームでコーデックから要求されるかどうかを示します。 これらのビットはハードウェアによって自動的に扱われます。Rx フレームのスロット 1 のビット 11 ~ 2 と同じです。</p> <p>0 : スロットデータが要求されています。 1 : スロットデータが要求されていません。</p>
1、0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

33.3.3 コマンド/ステータスデータレジスタ (HACCSDR)

HACCSDR は、読み出し/書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のデータレジスタです。コーデックのレジスタに書き込む場合に HACCSDR へ書き込みを行うと、コマンドデータとしてスロット 2 で送信されます。

コーデックが読み出し要求に応答した後 (HACRSR.STDRY = 1) HACCSDR を読み出すことで、スロット 2 で受信したステータスデータを得ることができます。どちらの場合も対応するコーデックレジスタのアドレスは HACC SAR に格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	CD/SD[15:12]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD/SD[11:0]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~4	CD/SD[15:0]	すべて 0	R/W	コマンドデータ/ステータスデータ これらのビットに値を設定した後、コーデックレジスタのアドレスを HACC SAR に書き込むと、データがコーデックに送信されます。 これらのビットを読み出すと、HACC SAR で示されるアドレスのコーデックレジスタの内容を示します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

33.3.4 PCM レフトチャンネルレジスタ (HACPCML)

HACPCML は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のレフトチャンネルにアクセスします。HACPCML に書き込むと PCM 再生レフトチャンネルデータをコーデックに送信します。HACPCML を読み出すとコーデックからの PCM 録音レフトチャンネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載するためにデータは左詰めで格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	D[19:16]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	D[19:0]	すべて 0	R/W	データ これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。

16 ビットパケット DMA モードでは以下ようになります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	LD[15:0]	すべて 0	R/W	レフトデータ これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。

ビット	ビット名	初期値	R/W	説明
15~0	RD[15:0]	すべて0	R/W	ライトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャネルデータを受信します。

33.3.5 PCM ライトチャネルレジスタ (HACPCMR)

HACPCMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のライトチャネルにアクセスします。HACPCMR に書き込むと PCM 再生ライトチャネルデータをコーデックに送信します。HACPCMR を読み出すとコーデックからの PCM 録音ライトチャネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載するためにデータは左詰めで格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	D[19:16]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19~0	D[19:0]	すべて0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャネルデータを受信します。

33.3.6 TX 割り込みイネーブルレジスタ (HACTIER)

HACTIER は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の TX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	PLTF RQIE	PRTF RQIE	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PLT FUNIE	PRT FUNIE	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	PLTFRQIE	0	R/W	PCML TX リクエスト割り込みイネーブル 0 : PCML TX リクエスト割り込みを禁止します。 1 : PCML TX リクエスト割り込みを許可します。
28	PRTFRQIE	0	R/W	PCMR TX リクエスト割り込みイネーブル 0 : PCMR TX リクエスト割り込みを禁止します。 1 : PCMR TX リクエスト割り込みを許可します。
27~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUNIE	0	R/W	PCML TX アンダフロー割り込みイネーブル 0 : PCML TX アンダフロー割り込みを禁止します。 1 : PCML TX アンダフロー割り込みを許可します。
8	PRTFUNIE	0	R/W	PCMR TX アンダフロー割り込みイネーブル 0 : PCMR TX アンダフロー割り込みを禁止します。 1 : PCMR TX アンダフロー割り込みを許可します。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

33.3.7 TX ステータスレジスタ (HACTSR)

HACTSR は、読み出し/書き込み可能な 32 ビットのレジスタで、HAC の TX コントローラの状態を示します。各ビットは 0 を書き込むと初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD AMT	CMD DMT	PLT FRQ	PRT FRQ	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PLT FUN	PRT FUN	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CMDAMT	1	R/W	コマンドアドレスエンブティ 0: CSAR Tx バッファに未送信のデータがあります。 1: CSAR Tx バッファが空で、データを格納することができます*1。
30	CMDDMT	1	R/W	コマンドデータエンブティ 0: CSDR Tx バッファに未送信のデータがあります。 1: CSDR Tx バッファが空で、データを格納することができます*1。
29	PLTFRQ	1	R/W	PCML TX リクエスト 0: PCML TX バッファに未送信のデータがあります。 1: PCML TX バッファが空で、データを格納する必要があります。このビットは DMA モードでは HACPCML が書き込まれると自動的に 0 にクリアされます。
28	PRTFRQ	1	R/W	PCMR TX リクエスト 0: PCMR TX バッファに未送信のデータがあります。 1: PCMR TX バッファが空でデータを格納する必要があります。このビットは DMA モードでは HACPCMR が書き込まれると自動的に 0 にクリアされます。
27~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUN	0	R/W	PCML TX アンダフロー 0: PCML TX のアンダフローが発生していません。 1: PCML TX のアンダフローが発生したことを示します。コーデックがスロット 3 のデータを要求したのに HACPCML に新しいデータが書かれなかったときに発生します。
8	PRTFUN	0	R/W	PCMR TX アンダフロー 0: PCMR TX のアンダフローが発生していません。 1: PCMR TX のアンダフローが発生したことを示します。コーデックがスロット 4 のデータを要求したのに HACPCMR に新しいデータが書かれなかったときに発生します。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 *1 CMDAMT と CMDDMT には、対応する割り込みがありません。新しいコマンドを HACCSAR または HACCCSDR に書き込む前に、これらのビットをポーリングして1を読み出してください。HACCSAR のビット 19 (RW) が0で TX12_ATOMIC が1のときは以下の手順に従ってください。

1. 初期化後、最初に外部コーデックデバイスのレジスタをアクセスする前に CMDDMT と CMDAMT を初期化してください。
2. HACCCSDR と HACCSAR の設定後、CMDAMT と CMDDMT が1になるまでポーリングし、1になったら初期化してください。
3. 次のレジスタの書き込みが行えます。

*2 読み出し / 書き込み可。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。

33.3.8 RX 割り込みイネーブルレジスタ (HACRIER)

HACRIER は読み出し / 書き込み可能な 32 ビットのレジスタで、HAC RX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	STAR YIE	STDR YIE	PLRF RQIE	PRRF RQIE	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PLRF OVIE	PRRF OVIE	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22	STARYIE	0	R/W	ステータスアドレスレディ割り込みイネーブル 0 : ステータスアドレスレディ割り込みを禁止します。 1 : ステータスアドレスレディ割り込みを許可します。
21	STDRYIE	0	R/W	ステータスデータレディ割り込みイネーブル 0 : ステータスデータレディ割り込みを禁止します。 1 : ステータスデータレディ割り込みを許可します。
20	PLRF RQIE	0	R/W	PCML RX リクエスト割り込みイネーブル 0 : PCML RX リクエスト割り込みを禁止します。 1 : PCML RX リクエスト割り込みを許可します。
19	PRRF RQIE	0	R/W	PCMR RX リクエスト割り込みイネーブル 0 : PCMR RX リクエスト割り込みを禁止します。 1 : PCMR RX リクエスト割り込みを許可します。

ビット	ビット名	初期値	R/W	説明
18~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	PLRFOVIE	0	R/W	PCML RX オーバフロー割り込みイネーブル 0 : PCML RX オーバフロー割り込みを禁止します。 1 : PCML RX オーバフロー割り込みを許可します。
12	PRRFOVIE	0	R/W	PCMR RX オーバフロー割り込みイネーブル 0 : PCMR RX オーバフロー割り込みを禁止します。 1 : PCMR RX オーバフロー割り込みを許可します。
11~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

33.3.9 RX ステータスレジスタ (HACRSR)

HACRSR は、読み出し/書き込み可能な 32 ビットのレジスタで、HAC の RX コントローラの状態を示します。各ビットは 0 を書き込むと初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	STA RY	STD RY	PLR FRQ	PRR FRQ	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PLR FOV	PRR FOV	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22	STARY	0	R/W	ステータスアドレスレディ 0 : HACCSAR (ステータスアドレス) がレディ状態ではありません。 1 : HACCSAR (ステータスアドレス) がレディ状態です。
21	STDRY	0	R/W	ステータスデータレディ 0 : HACCSDR (ステータスデータ) がレディ状態ではありません。 1 : HACCSDR (ステータスデータ) がレディ状態です。
20	PLRFRQ	0	R/W	PCML RX リクエスト 0 : PCML RX データがレディ状態ではありません。 1 : PCML RX データがレディ状態で読み出される必要があります。このビットは DMA モードでは HACPCML が読み出されると自動的に 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
19	PRRFRQ	0	R/W	PCMR RX リクエスト 0: PCMR RX データがレディ状態ではありません。 1: PCMR RX データがレディ状態で読み出される必要があります。このビットは DMA モードでは HACPCMR が読み出されると自動的に 0 にクリアされます。
18~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PLRFOV	0	R/W	PCML RX オーバフロー 0: PCML RX データのオーバーフローが発生していません。 1: PCML RX データのオーバーフローが発生したことを示します。 HACPCML のデータが読み出される前に新しいデータをスロット 3 から受信したときに発生します。
12	PRRFOV	0	R/W	PCMR RX オーバフロー 0: PCMR RX データのオーバーフローが発生していません。 1: PCMR RX データのオーバーフローが発生したことを示します。 HACPCMR のデータが読み出される前に新しいデータをスロット 4 から受信したときに発生します。
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 読み出し / 書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

33.3.10 HAC コントロールレジスタ (HACACR)

HACACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC のインタフェースを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	DMA RX16	DMA TX16	-	-	TX12_ ATOMIC	-	RXD MAL_ EN	TXD MAL_ EN	RXD MAR_ EN	TXD MAR_ EN	-	-	-	-	-
初期値:	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
30	DMARX16	0	R/W	16 ビット RX DMA イネーブル 0: 16 ビットパケット RXDMA モードを無効にします。 このビットを 0 に設定すると RXDMAL_EN、RXDMAR_EN 設定を許可します。 1: 16 ビットパケット RX DMA モードを有効にします。 このビットを 1 に設定すると RXDMAL_EN、RXDMAR_EN 設定は無視されます。
29	DMATX16	0	R/W	16 ビット TX DMA イネーブル 0: 16 ビットパケット TXDMA モードを無効にします。 このビットを 0 に設定すると TXDMAL_EN、TXDMAR_EN 設定を許可します。 1: 16 ビットパケット TXDMA モードを有効にします。 このビットを 1 に設定すると TXDMAL_EN、TXDMAR_EN 設定は無視されます。
28、27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	TX12_ATOMIC	1	R/W	TX スロット 1、2 アトミックコントロール 0: HACCSAR と HACCSDR の TX データが独立して送信されます (設定禁止)。 1: HACCSAR のビット 19 が書き込みに設定されているとき HACCSAR と HACCSDR の TX データが同じフレームで送信されます。 (HACCSAR は最後に書き込む必要があります。)
25	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	RXDMAL_EN	0	R/W	RX DMA レフトイネーブル 0: 20 ビット RX DMA が HACPCML で無効です。 1: 20 ビット RX DMA が HACPCML で有効です。

ビット	ビット名	初期値	R/W	説明
23	TXDMAL_EN	0	R/W	TX DMA レフトイネーブル 0 : 20 ビット TX DMA が HACPCML で無効です。 1 : 20 ビット TX DMA が HACPCML で有効です。
22	RXDMAEN_EN	0	R/W	RX DMA ライトイネーブル 0 : 20 ビット RX DMA が HACPCMR で無効です。 1 : 20 ビット RX DMA が HACPCMR で有効です。
21	TXDMAEN_EN	0	R/W	TX DMA ライトイネーブル 0 : 20 ビット TX DMA が HACPCMR で無効です。 1 : 20 ビット TX DMA が HACPCMR で有効です。
20~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

33.4 AC フレームのロット構成

図 33.2 に AC97 フレームのロット構成を示します。本 LSI は、ロット 0~4 をサポートし、ロット 5~12 はサポートしません。

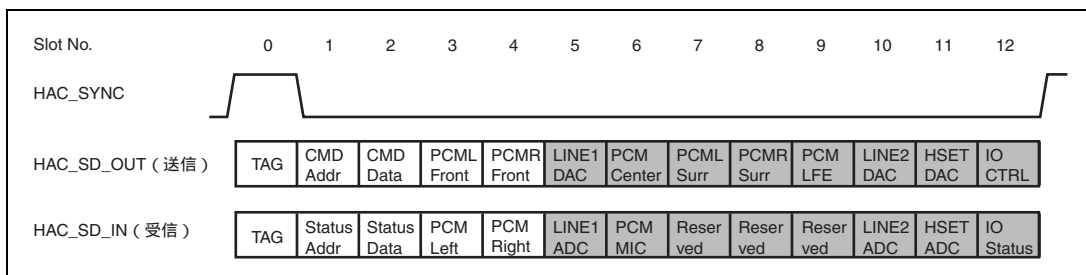


図 33.2 AC97 フレームのロット構成

表 33.4 AC97 送信フレームの説明

スロット	名 称	説 明
0	SDATA_OUT TAG	有効データを示す TAG および Code ID
1	Control CMD Addr write port	Read/Write コマンドおよびレジスタアドレス
2	Control DATA write port	レジスタライト時のデータ
3	PCM L DAC playback	左チャンネル PCM 出力データ
4	PCM R DAC playback	右チャンネル PCM 出力データ
5	Modem Line 1 DAC	モデム 1 出力データ (未サポート)*
6	PCM Center	中央チャンネル PCM データ (未サポート)*
7	PCM Surround L	サラウンド左チャンネル PCM データ (未サポート)*
8	PCM Surround R	サラウンド右チャンネル PCM データ (未サポート)*
9	PCM LFE	LFE チャンネル PCM データ (未サポート)*
10	Modem Line 2 DAC	モデム 2 出力データ (未サポート)*
11	Modem handset DAC	モデム handset 出力データ (未サポート)*
12	Modem IO control	モデム制御用 IO 出力 (未サポート)*

【注】 * 未サポート部はレジスタとして存在しません。

表 33.5 AC97 受信フレームの説明

スロット	名 称	説 明
0	SDATA_IN TAG	有効データを示す TAG
1	Status ADDR read port	レジスタアドレスおよびスロットリクエスト
2	Status DATA read port	レジスタリードデータ
3	PCM L ADC record	左チャンネル PCM 入力データ
4	PCM R ADC record	右チャンネル PCM 入力データ
5	Modem Line 1 ADC	モデム 1 入力データ (未サポート)*
6	Dedicated Microphone ADC	オプション PCM 入力データ (未サポート)*
7、8、9	Reserved	予約
10	Modem Line 2 ADC	モデム 2 入力データ (未サポート)*
11	Modem handset input DAC	モデム handset 入力データ (未サポート)*
12	Modem IO status	モデム制御用 IO 入力 (未サポート)*

【注】 * 未サポート部はレジスタとして存在しません。

33.5 動作説明

33.5.1 レシーバ

シリアルオーディオデータは、HAC_BITCLK を基準とする HAC_SD_IN 信号でモジュールに入力されます。タグビットはスロット 0 から抽出され、対応する他のスロットの有効・無効を示します。タグビットによって有効なスロットを受信しないかぎり、受信データは更新されません。

サポートするのはスロット 1~4 のデータで、他のスロットに対応するタグビットやデータは無視されます。有効なスロットデータはシフトレジスタにロードされ、PIO 転送または DMA 転送のために保持されます。対応するステータスビットも生成されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で読み出し可能です。

RX オーバフローが起きたときは、HAC の現在の RX バッファデータが新しいデータで上書きされます。

33.5.2 トランスミッタ

シリアルオーディオデータは、HAC_BITCLK を基準とする HAC_SD_OUT 信号でモジュールから出力されます。タグビットはスロット 0 に設定され、現在のフレーム内のどのスロットにあるデータが有効であるかを示します。データスロットは前の RX フレームのスロット要求の該当するビットに対応して現在の TX フレームにロードされます。

サポートするのはスロット 1~4 のデータです。PIO 転送または DMA 転送により転送されたデータは、Tx バッファに保持されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で書き込み可能です。対応するステータスビットも生成されます。

TX アンダフローが起きたときは、次のデータが埋まるまで HAC の現在の TX バッファデータが送信されます。

33.5.3 DMA

DMA 転送は、RX フレームと TX フレームの両方のスロット 3 とスロット 4 でサポートされます。HACACR の DMARX16、DMATX16 ビットで DMA 転送のスロットデータサイズが 16 ビットか 20 ビットかを決定します。

データサイズが 20 ビットの場合、スロット 3 と 4 の両方のデータスロットを転送するのに 2 回のローカルバスアクセスが必要です。また、レシーバとトランスミッタのそれぞれに 1 つの DMA リクエストがあるので、ステレオモードで DMA リクエストはスロット 3 と 4 それぞれ別に発生します。モノラルモードでは DMA は 1 つのスロットに対してのみ発生します。

データサイズが 16 ビットの場合、スロット 3 と 4 からのデータはシングル 32 ビットのバケット形式 (レフトデータとライトデータが PCML に入れられる) になります。このとき必要なローカルバスアクセスは 1 サイクルのみです。

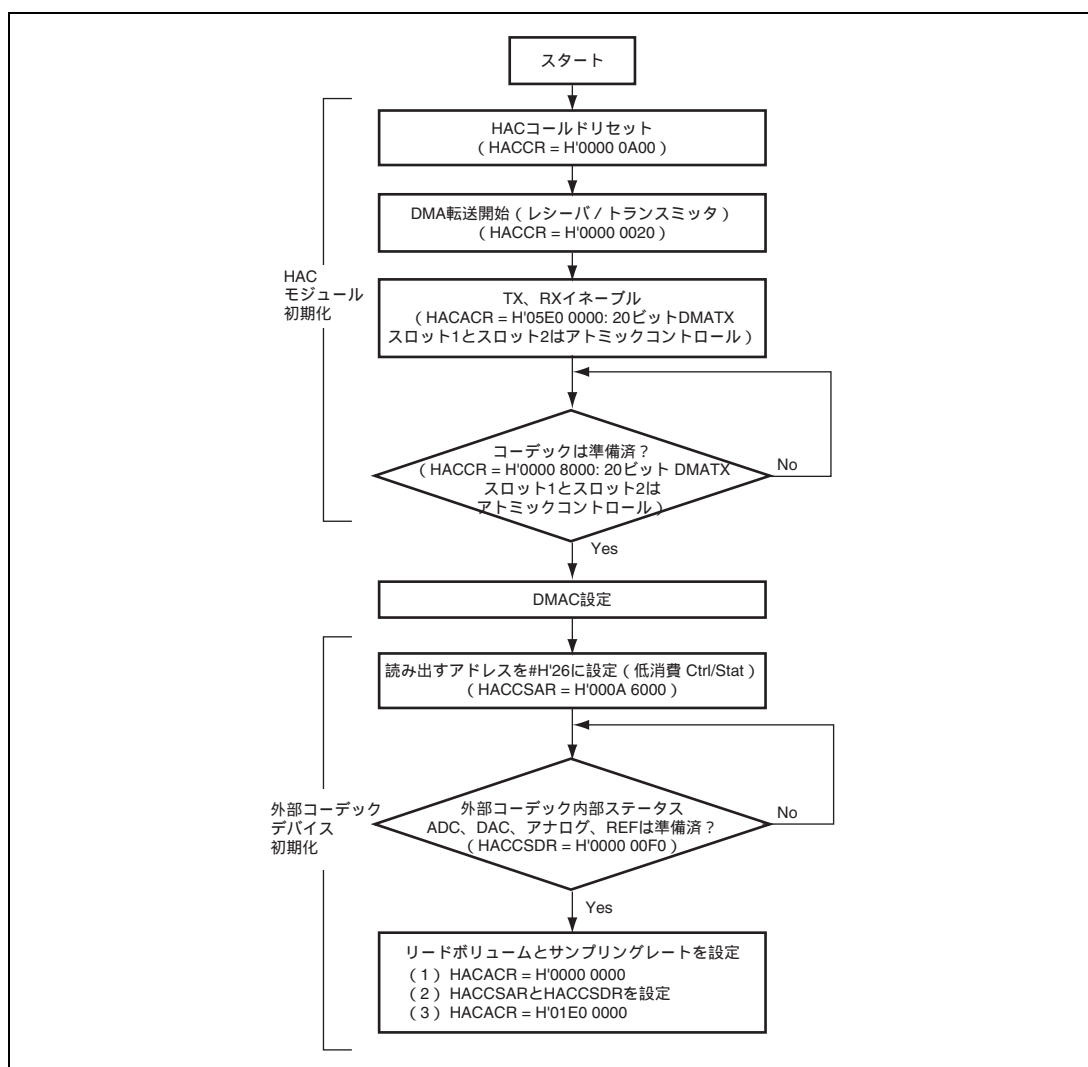
システムによっては終了カウントに達する前に DMA を停止させる必要があります。これは HACACR の該当する DMA ビットを無効にすることで行います。DMAC をプログラムし直したあと、再度該当する DMA ビットを有効にすると次の転送を行うことができます。

33.5.4 割り込み

レシーバとトランスミッタからのフラグイベントに対して割り込みが使用できます。各割り込みは割り込みイネーブルレジスタで設定されます。割り込みにはスロットデータの読み出し / 書き込みの CPU への要求やオーバーフローやアンダフローなどがあります。割り込み要因はステータスレジスタを読み出すことで把握できます。対応するビットに 0 を書き込むことで割り込みをクリアできます。

33.5.5 初期化シーケンス

図 33.3 に初期化シーケンスの例を示します。



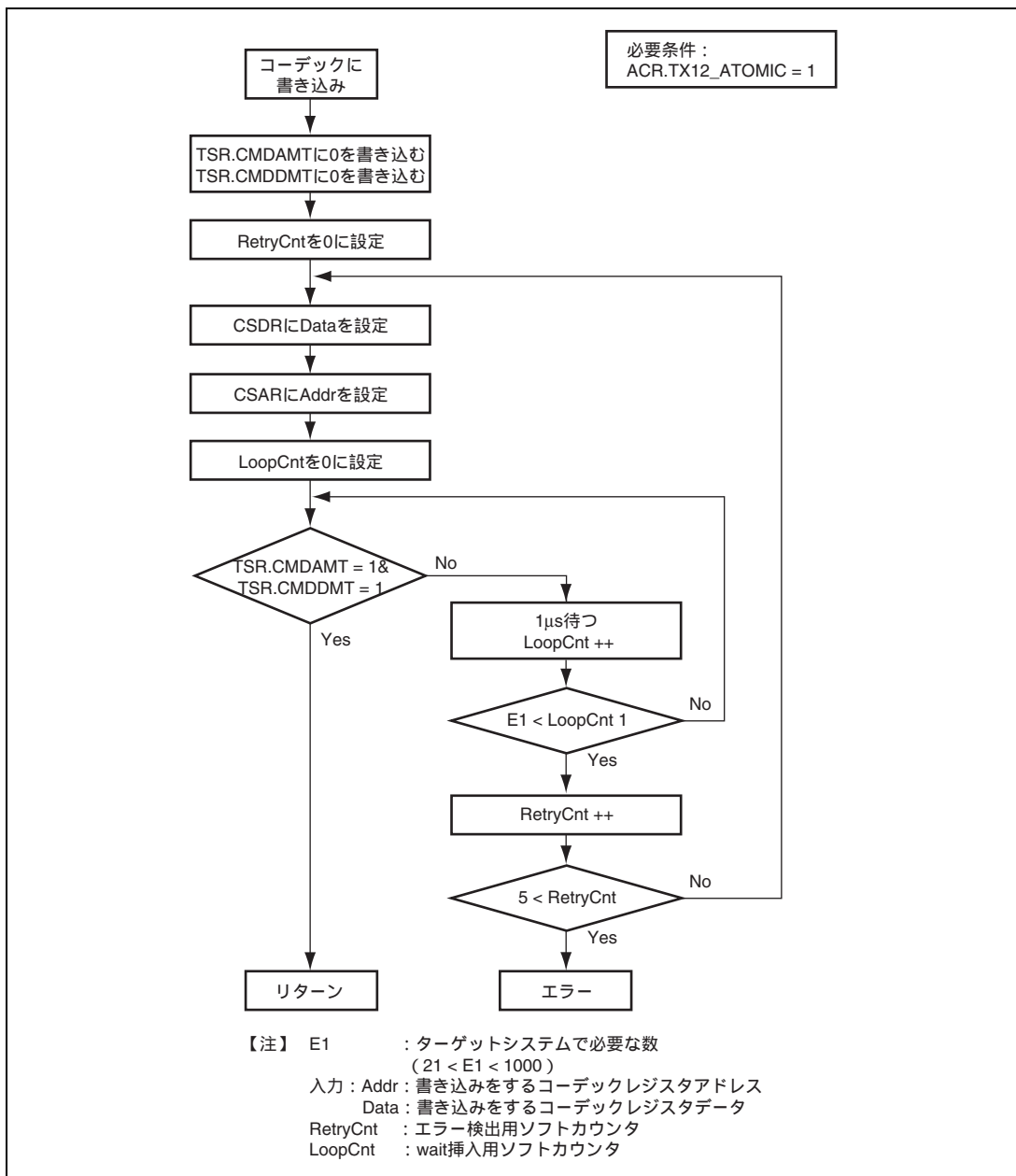


図 33.4 外部コーデックレジスタ書き込みフローチャート例

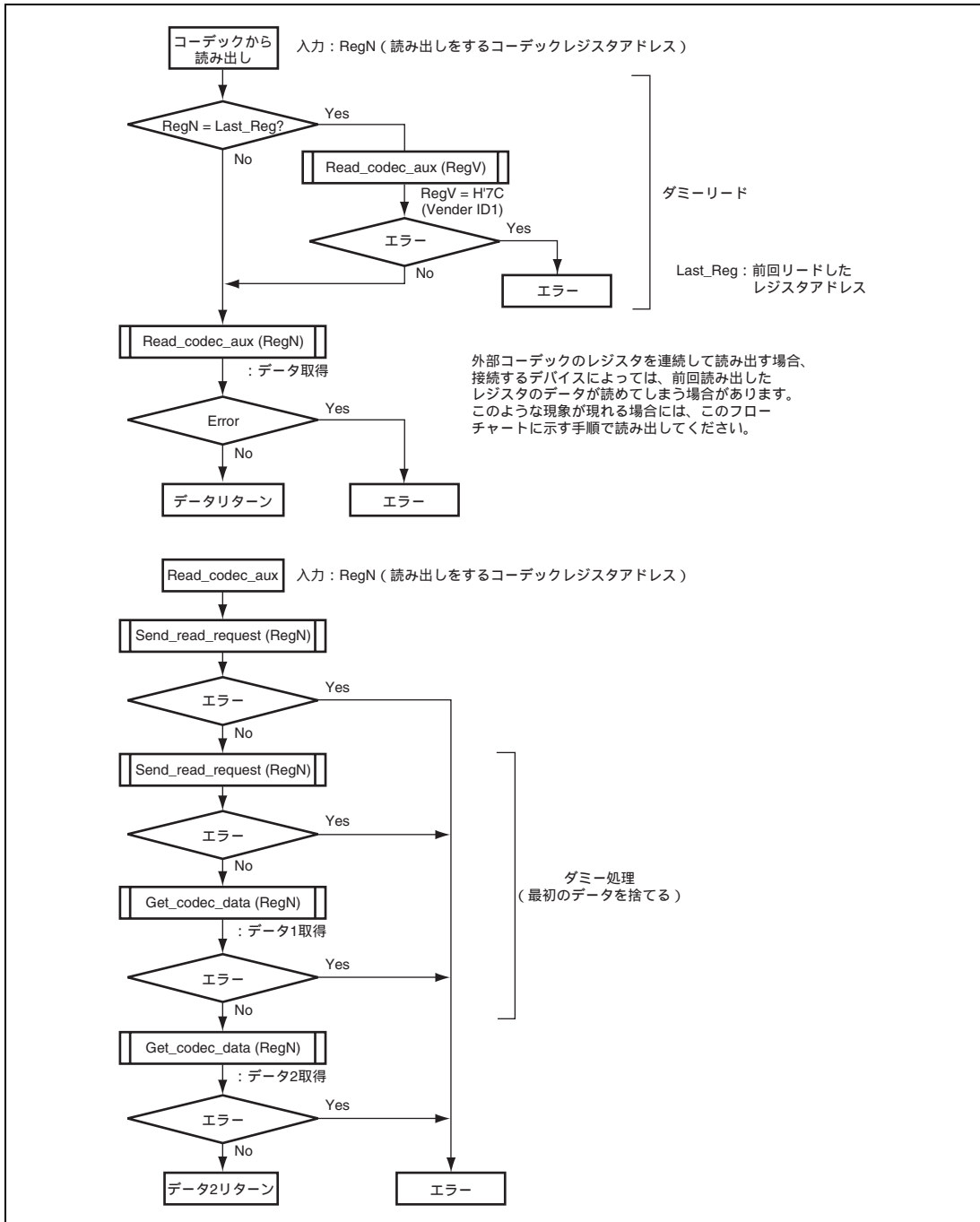


図 33.5 外部コーデックレジスタ読み出しフローチャート例(1)

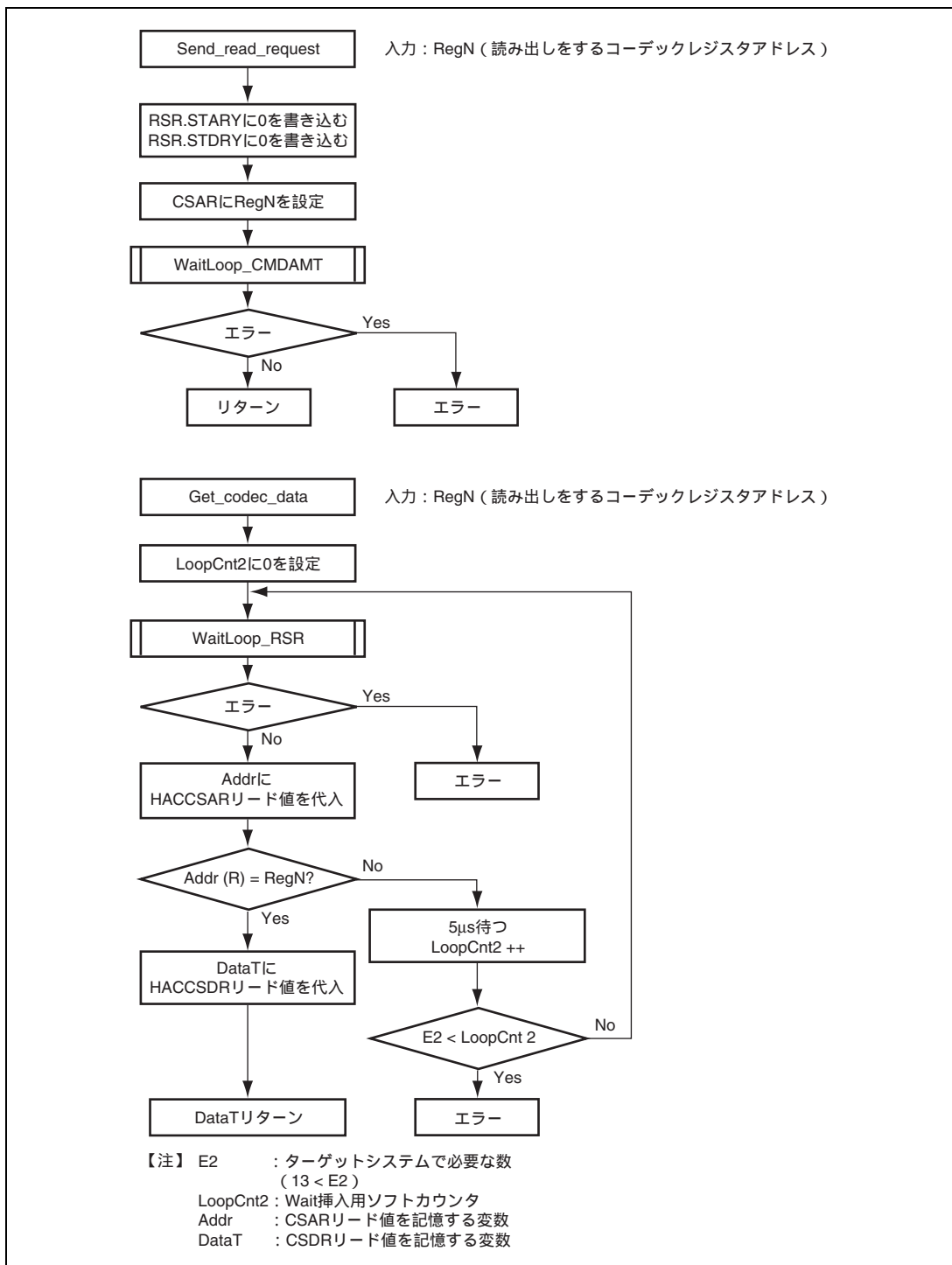


図 33.5 外部コーデックレジスタ読み出しフローチャート例 (2)

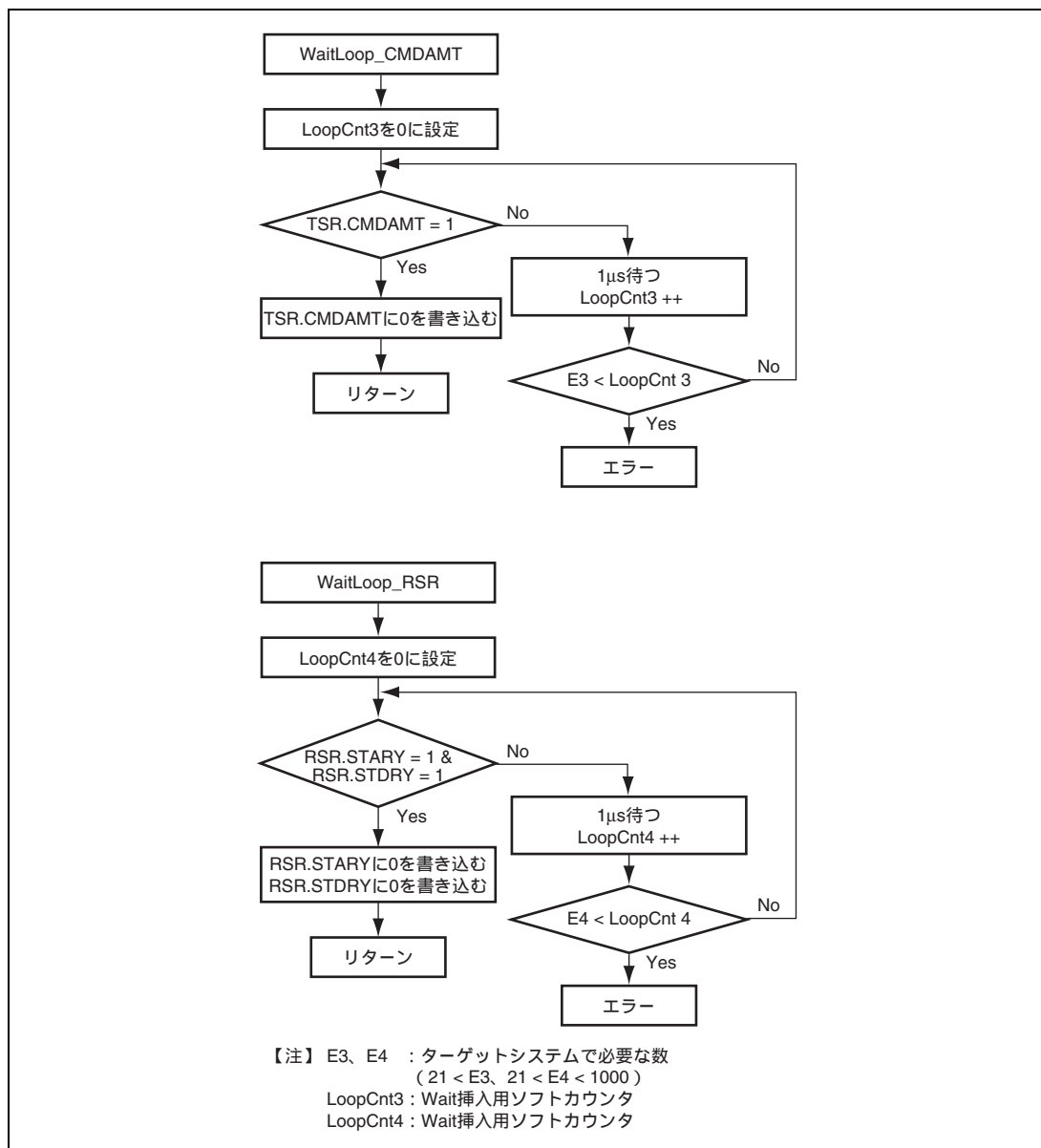


図 33.5 外部コーデックレジスタ読み出しフローチャート例 (3)

モジュールスタンバイモード (低消費電力モード) への遷移は、スタンバイコントロールレジスタ (MSTPCR) の MSTP0 ビットで制御します。MSTPCR については、「第 18 章 低消費電力モード」を参照してください。

モジュールスタンバイ機能を解除してクロックを供給するには MSTPCR の MSTP0 ビットに 0 を書き込みます。その後、HAC へのすべてのアクセスが可能になります。

モジュールを低消費電力モードにするには以下の手順に従ってください。

1. すべてのデータ転送が終了していることを確認します。送信バッファが空で受信バッファが空になるまで読み出されていることを確認します。
2. すべてのDMAリクエストと割り込み要求を無効にします。
3. コーデックを低消費電力モードにします。
4. MSTPCRのMSTP0ビットに1を書き込みます。

33.5.6 注意事項

モジュールが生成する HAC_SYNC 信号は、フレーム内のスロット 0 の位置を示すために使用されます。

33.5.7 参考

AC'97 Component Specification, Revision 2.1

34. シリアルサウンドインタフェース (SSI)

シリアルサウンドインタフェース (SSI) モジュールは、 Philips 方式と互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャンネルモードにも対応しています。

34.1 特長

SSI には次のような特長があります。

- チャンネル数：4チャンネル。
- 動作モード：非圧縮モード
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- SSIモジュールは、トランスミッタまたはレシーバのいずれとしても動作できます。また、シリアルバスフォーマットを使用できます。
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能です。
- DMACまたは割り込みで、データ送受信を制御できます。

図 34.1 に SSI モジュールのブロック図を示します。

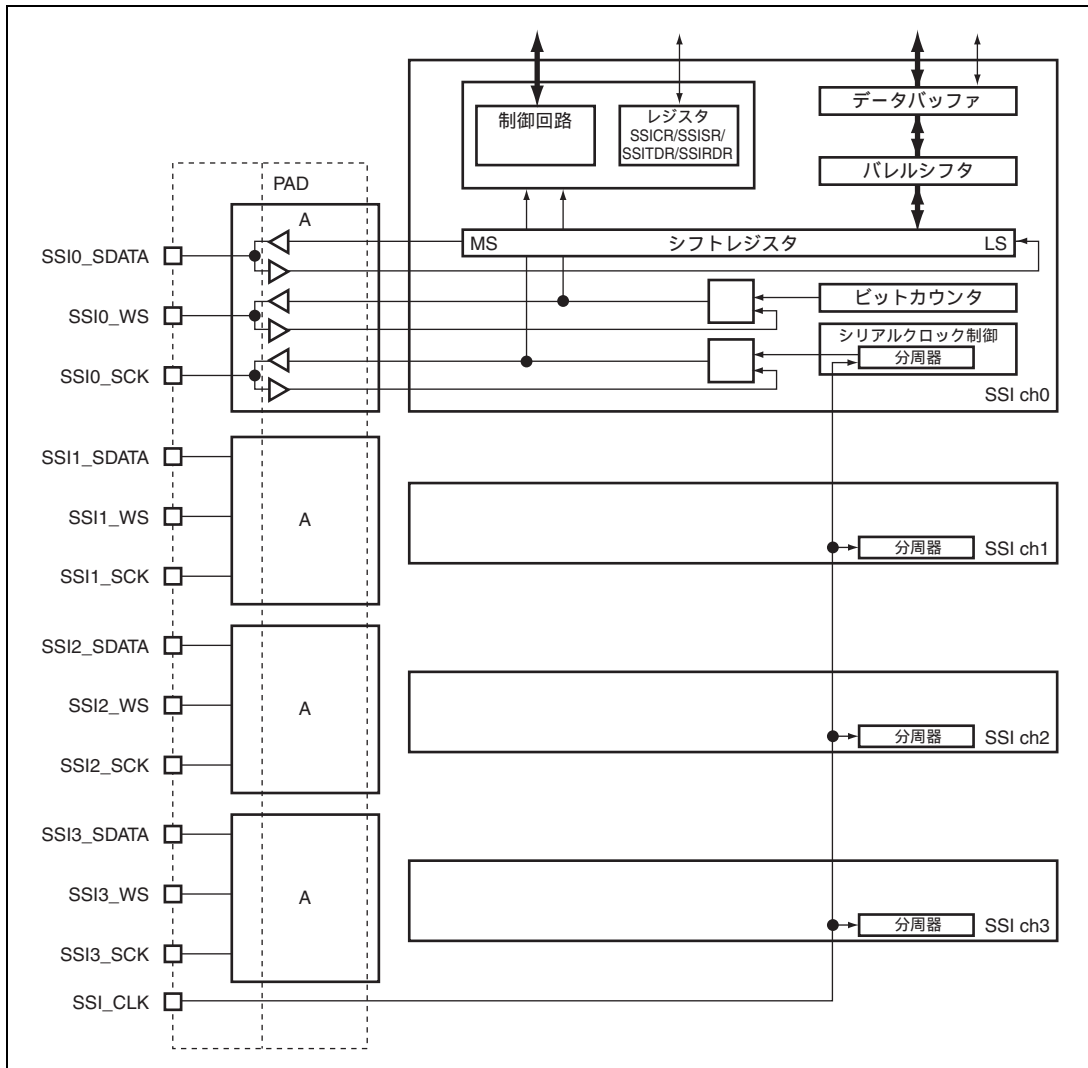


図 34.1 SSI のブロック図

34.2 入出力端子

SSI モジュールに関する端子構成を表 34.1 に示します。

表 34.1 端子構成

チャンネル	名称	本数	入出力	機能
共通	SSI_CLK	1	入力	分周器入力クロック (オーバーサンプルクロック 256/384/512fs 入力)
0	SSI0_WS	1	入出力	ワード選択
	SSI0_SDATA	1	入出力	シリアルデータ入出力
	SSI0_SCK	1	入出力	シリアルビットクロック
1	SSI1_WS	1	入出力	ワード選択
	SSI1_SDATA	1	入出力	シリアルデータ入出力
	SSI1_SCK	1	入出力	シリアルビットクロック
2	SSI2_WS	1	入出力	ワード選択
	SSI2_SDATA	1	入出力	シリアルデータ入出力
	SSI2_SCK	1	入出力	シリアルビットクロック
3	SSI3_WS	1	入出力	ワード選択
	SSI3_SDATA	1	入出力	シリアルデータ入出力
	SSI3_SCK	1	入出力	シリアルビットクロック

34.3 レジスタの説明

SSIのレジスタ構成を表 34.2 に示します。また、各処理モードにおけるレジスタの状態を表 34.3 に示します。

表 34.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	サイズ
0	コントロールレジスタ 0	SSICR0	R/W	H'FFE5 0000	H'1FE5 0000	32
	ステータスレジスタ 0	SSISR0	R/W*	H'FFE5 0004	H'1FE5 0004	32
	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FFE5 0008	H'1FE5 0008	32
	レシーブデータレジスタ 0	SSIRDR0	R	H'FFE5 000C	H'1FE5 000C	32
1	コントロールレジスタ 1	SSICR1	R/W	H'FFE5 8000	H'1FE5 8000	32
	ステータスレジスタ 1	SSISR1	R/W*	H'FFE5 8004	H'1FE5 8004	32
	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FFE5 8008	H'1FE5 8008	32
	レシーブデータレジスタ 1	SSIRDR1	R	H'FFE5 800C	H'1FE5 800C	32
2	コントロールレジスタ 2	SSICR2	R/W	H'FFE6 0000	H'1FE6 0000	32
	ステータスレジスタ 2	SSISR2	R/W*	H'FFE6 0004	H'1FE6 0004	32
	トランスミットデータレジスタ 2	SSITDR2	R/W	H'FFE6 0008	H'1FE6 0008	32
	レシーブデータレジスタ 2	SSIRDR2	R	H'FFE6 000C	H'1FE6 000C	32
3	コントロールレジスタ 3	SSICR3	R/W	H'FFE6 8000	H'1FE6 8000	32
	ステータスレジスタ 3	SSISR3	R/W*	H'FFE6 8004	H'1FE6 8004	32
	トランスミットデータレジスタ 3	SSITDR3	R/W	H'FFE6 8008	H'1FE6 8008	32
	レシーブデータレジスタ 3	SSIRDR3	R	H'FFE6 800C	H'1FE6 800C	32

【注】 * 本レジスタの 26,27 ビットは読み出し / 書き込み可能で、それ以外は読み出し専用です。詳細は、「34.3.2 ステータスレジスタ (SSISR)」を参照してください。

表 34.3 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
0	コントロールレジスタ 0	SSICR0	H'0000 0000	H'0000 0000	保持	保持
	ステータスレジスタ 0	SSISR0	H'0010 A003	H'0X10 A00X	保持	保持
	トランスミットデータレジスタ 0	SSITDR0	H'0000 0000	H'0000 0000	保持	保持
	レシーブデータレジスタ 0	SSIRDR0	H'0000 0000	H'0000 0000	保持	保持
1	コントロールレジスタ 1	SSICR1	H'0000 0000	H'0000 0000	保持	保持
	ステータスレジスタ 1	SSISR1	H'0010 A003	H'0X10 A00X	保持	保持
	トランスミットデータレジスタ 1	SSITDR1	H'0000 0000	H'0000 0000	保持	保持
	レシーブデータレジスタ 1	SSIRDR1	H'0000 0000	H'0000 0000	保持	保持
2	コントロールレジスタ 2	SSICR2	H'0000 0000	H'0000 0000	保持	保持
	ステータスレジスタ 2	SSISR2	H'0010 A003	H'0X10 A00X	保持	保持
	トランスミットデータレジスタ 2	SSITDR2	H'0000 0000	H'0000 0000	保持	保持
	レシーブデータレジスタ 2	SSIRDR2	H'0000 0000	H'0000 0000	保持	保持
3	コントロールレジスタ 3	SSICR3	H'0000 0000	H'0000 0000	保持	保持
	ステータスレジスタ 3	SSISR3	H'0010 A003	H'0X10 A00X	保持	保持
	トランスミットデータレジスタ 3	SSITDR3	H'0000 0000	H'0000 0000	保持	保持
	レシーブデータレジスタ 3	SSIRDR3	H'0000 0000	H'0000 0000	保持	保持

34.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	CHNL[1:0]	DWL[2:0]			SWL[2:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	-	CKDV[2:0]			MUEN	-	TRMD	EN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可 / 禁止します。 0 : DMA 要求を禁止 1 : DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0 : アンダフロー割り込みを禁止 1 : アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0 : オーバフロー割り込みを禁止 1 : オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0 : アイドルモード割り込みを禁止 1 : アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0 : データ割り込みを禁止 1 : データ割り込みを許可
23, 22	CHNL[1:0]	すべて 0	R/W	チャンネル 各システムワードのチャンネル数を示します。 00 : 各システムワードは 1 チャンネルで構成されています。 01 : 各システムワードは 2 チャンネルで構成されています。 10 : 各システムワードは 3 チャンネルで構成されています。 11 : 各システムワードは 4 チャンネルで構成されています。

ビット	ビット名	初期値	R/W	説明
21 ~ 19	DWL[2:0]	すべて 0	R/W	データワード長 データワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
18 ~ 16	SWL[2:0]	すべて 0	R/W	システムワード長 システムワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロック入力、スレーブモード 1 : シリアルビットクロック出力、マスタモード 【注】 (SCKD, SWSD) = (0, 0)と(1, 1)の設定のみ可能です。それ以外の設定は禁止です。
14	SWSD	0	R/W	シリアル WS 方向 0 : シリアルワード選択入力、スレーブモード 1 : シリアルワード選択出力、マスタモード 【注】 (SCKD, SWSD) = (0, 0)と(1, 1)の設定のみ可能です。それ以外の設定は禁止です。

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	<p>シリアルビットクロック極性</p> <p>0 : SSI_WS と SSI_SDATA は SSI_SCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング)</p> <p>1 : SSI_WS と SSI_SDATA は SSI_SCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング)</p> <table border="1"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> <tr> <td>スレーブモード時 (SWSD = 0) SSI_WS 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ	スレーブモード時 (SWSD = 0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
スレーブモード時 (SWSD = 0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
12	SWSP	0	R/W	<p>シリアル WS 極性</p> <p>0 : SSI_WS は第 1 チャンネルではローレベル、第 2 チャンネルではハイレベル</p> <p>1 : SSI_WS は第 1 チャンネルではハイレベル、第 2 チャンネルではローレベル</p>															
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>0 : パディングビットはローレベル</p> <p>1 : パディングビットはハイレベル</p> <p>MUEN = 1 のとき、パディングビットはローレベルになります (MUTE 機能が優先されます)。</p>															
10	SDTA	0	R/W	<p>シリアルデータアラインメント</p> <p>0 : シリアルデータ、パディングビットの順に送受信</p> <p>1 : パディングビット、シリアルデータの順に送受信</p>															

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアラインメント</p> <p>データワード長が 32、16、8 ビットのとき、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0 : パラレルデータ (SSITDR、SSIRDR) を左詰め 1 : パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> • DWL[2:0] = 000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR が SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL[2:0] = 001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR が SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL[2:0] = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 0 (左詰め) SSIRDR が SSITDR のデータビットで使用されるのは以下のビットです。 ビット 31~ビット (32 - DWL[2:0]) によって設定されたデータワード長のビット数) つまり、DWL[2:0] = 011 のとき、データワード長は 20 ビットになり、SSIRDR が SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるカリザープビットになります。 • DWL[2:0] = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 1 (右詰め) SSIRDR が SSITDR のデータビットで使用されるのは以下のビットです。 ビット (DWL[2:0] によって設定されたデータワード長のビット数 - 1) ~ ビット 0 つまり、DWL[2:0] = 011 のとき、データワード長は 20 ビットになり、SSIRDR が SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるカリザープビットになります。 • DWL[2:0] = 110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR が SSITDR の全データビットがシリアルオーディオバス上で使用されます。
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0 : SSI_WS と SSI_SDATA 間で 1 クロックサイクルの遅延 1 : SSI_WS と SSI_SDATA 間の遅延なし</p>

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	CKDV[2:0]	すべて0	R/W	シリアルオーバーサンプルクロック分周比 オーバーサンプルクロック SSI_CLK とシリアルビットクロックの分周比を設定します。SCKD = 0 のとき、このビットは無視されます。 シリアルビットクロックはシフトレジスタで使われ、SSI_SCK 端子から供給されます。 000 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 1 001 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 2 010 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 4 011 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 8 100 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 16 101 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 6 110 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 12 111 : 設定禁止
3	MUEN	0	R/W	ミュートイネーブル 0 : SSI モジュールはミュート状態でない 1 : SSI モジュールはミュート状態
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TRMD	0	R/W	送信 / 受信モード選択 0 : SSI モジュールは受信モード 1 : SSI モジュールは送信モード
0	EN	0	R/W	SSI モジュールイネーブル 0 : SSI モジュール動作を禁止 1 : SSI モジュール動作を許可

34.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W :	R	R	R	R	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNO[1:0]	SWNO	IDST	
初期値 :	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 TRMD = 0 (受信モード) のとき : <ul style="list-style-type: none"> • DMRQ = 1 のとき、SSIRDR に未読データがあります。 • SSIRDR が読み出された場合、次の未読データがくるまで DMRQ = 0 になります。 TRMD = 1 (送信モード) のとき : <ul style="list-style-type: none"> • DMRQ = 1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようにデータの書き込みを要求します。 • SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ = 0 になります。

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W ^{*1}	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。</p> <p>TRMD = 0 (受信モード) のとき :</p> <p>UIRQ = 1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>TRMD = 1 (送信モード) のとき :</p> <p>UIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W ^{*1}	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <p>TRMD = 0 (受信モード) のとき :</p> <p>OIRQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】 オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされません。</p> <p>TRMD = 1 (送信モード) のとき :</p> <p>OIRQ = 1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>

ビット	ビット名	初期値	R/W	説明
25	IIRQ	0 ^{*2}	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、IEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>IIRQ = 1 かつ IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しか書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、DIEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、DIEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>DIRQ = 1 かつ DIEN = 1 のとき、割り込みが発生します。</p> <p>TRMD = 0 (受信モード) のとき :</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>TRMD = 1 (送信モード) のとき :</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDR へのデータ書き込みを要求しています</p>
23~4	-	H'10A00	R	<p>リザーブビット</p> <p>読み出し値は H'10A00 です。書き込む値は常に 0 にしてください。</p>
3, 2	CHNO[1:0]	すべて 0	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>TRMD = 0 (受信モード) のとき :</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものを表わします。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>TRMD = 1 (送信モード) のとき :</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表わします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかに関わらず、この値は変化します。</p>

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号</p> <p>現在のワード番号を示します。</p> <p>TRMD = 0 (受信モード) のとき :</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表わします。SSIRDR が読み出されたかどうかに関わらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>TRMD = 1 (送信モード) のとき :</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表わします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかに関わらず、この値は変化します。</p>
0	IDST	1* ²	R	<p>アイドルモードステータスフラグ</p> <p>本ステータスフラグはシリアルバスが停止した状態であることを示します。EN = 1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>SSI がマスタトランスミッタ (SWSD = 1 かつ TRMD = 1) のとき :</p> <p>EN ビットがクリアされ、SSITDR に書き込まれているデータがシリアルデータ入出力端子 (SSL_SDATA) から出力を完了すると、このビットは 1 にセットされます。</p> <p>SSI がマスタレシーバ (SWSD = 1 かつ TRMD = 0) のとき :</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>SSI がスレーブトランスミッタ/レシーバ (SWSD = 0) のとき :</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 *1 読み出し/書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

*2 マニュアルリセットの場合、不定となります。

34.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

34.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

34.4 動作説明

34.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 34.4 に示す 4 つの主要なモードから選択できます。

表 34.4 SSI モジュールのバスフォーマット

バスフォーマット	TRMD	SCKD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	0	0	コントロールビット						コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0															
非圧縮マスタレシーバ	0	1	1															
非圧縮マスタトランスミッタ	1	1	1															

34.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号は SSI_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号は SSI_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定キーワード長関連

非圧縮モードは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは Philips、Sony、松下のフォーマットについて説明します。

(a) Philips フォーマット

図 34.2 と図 34.3 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

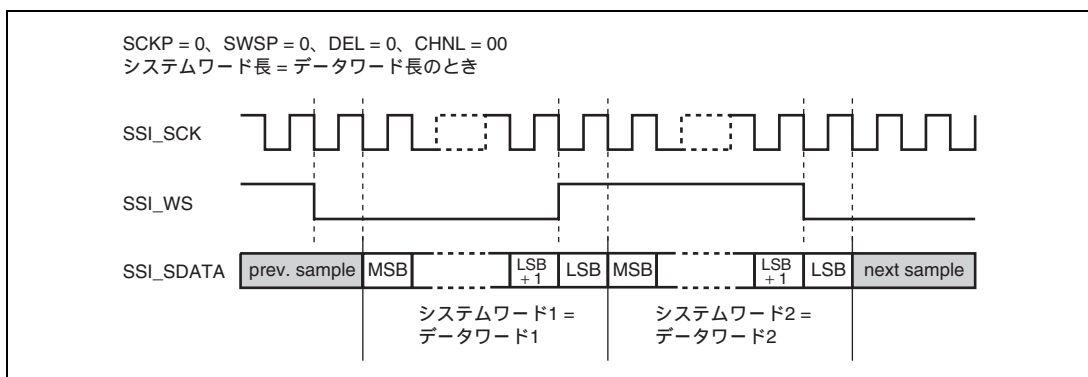


図 34.2 Philips フォーマット (パディングなし)

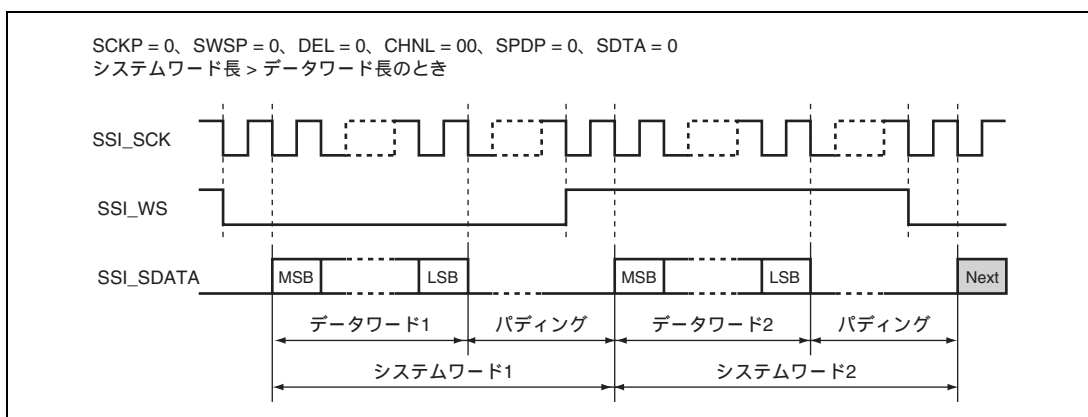


図 34.3 Philips フォーマット (パディングあり)

図 34.4 に Sony フォーマットを、図 34.5 に松下のフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

(b) Sony フォーマット

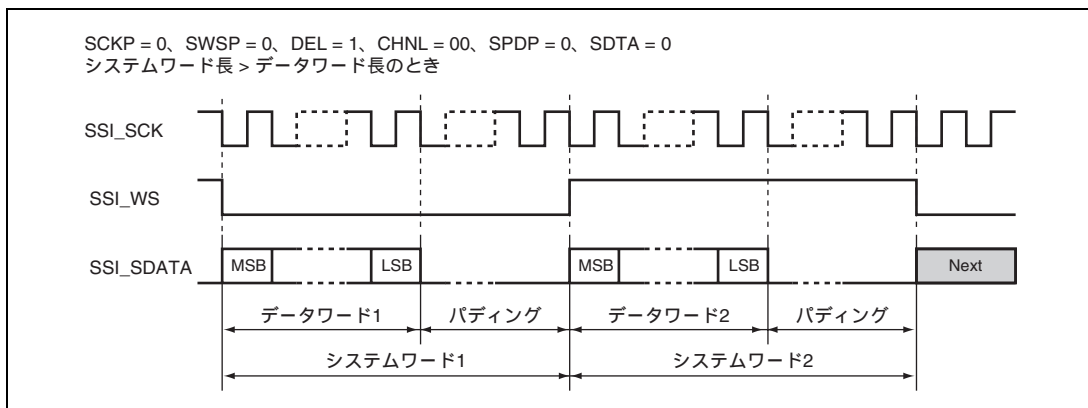


図 34.4 Sony フォーマット (シリアルデータ、パディングビットの順に送受信)

(c) 松下フォーマット

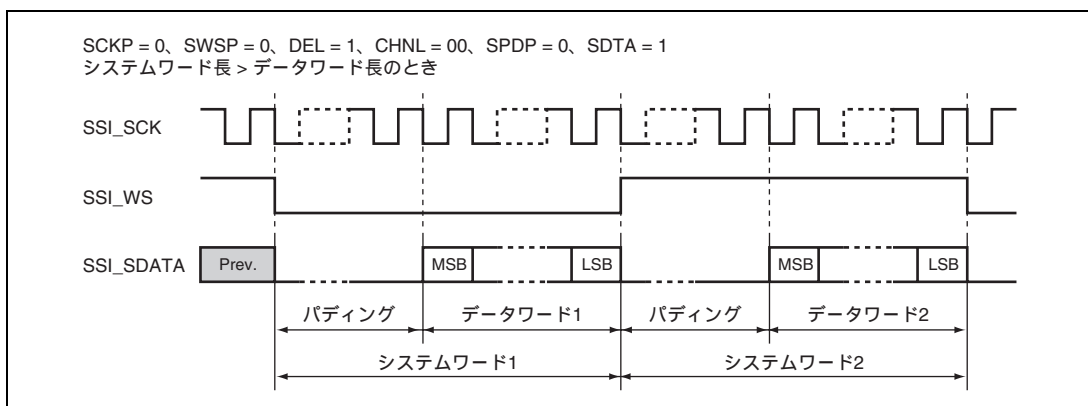


図 34.5 松下フォーマット (パディングビット、シリアルデータの順に送受信)

(6) マルチチャンネルフォーマット

Philips 仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。SSI モジュールは、CHNL、SWL および DWL ビットを使って、2、3、および 4 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 34.5 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 34.5 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 34.6 ~ 図 34.8 に、2、3 および 4 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 34.6 にはパディングビットがない場合、図 34.7 は左詰めの場合、そして図 34.8 は右詰めの場合を示します。これらの例は、すべて任意の例です。

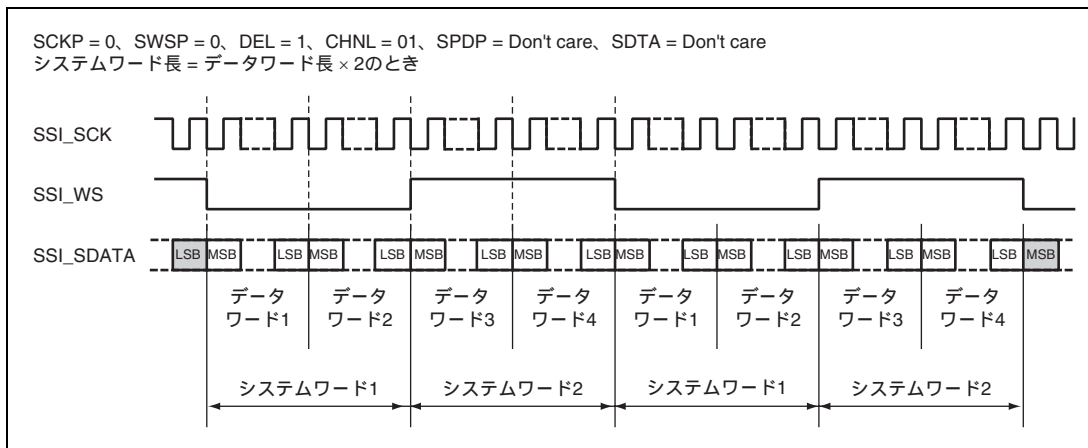


図 34.6 マルチチャンネルフォーマット (2 チャンネル、パディングなし)

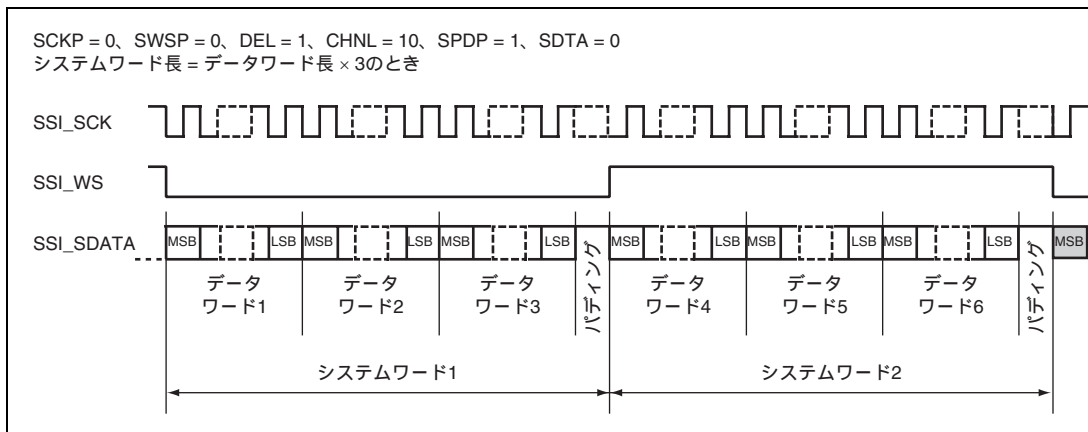


図 34.7 マルチチャンネルフォーマット (3 チャンネル、High パディング)

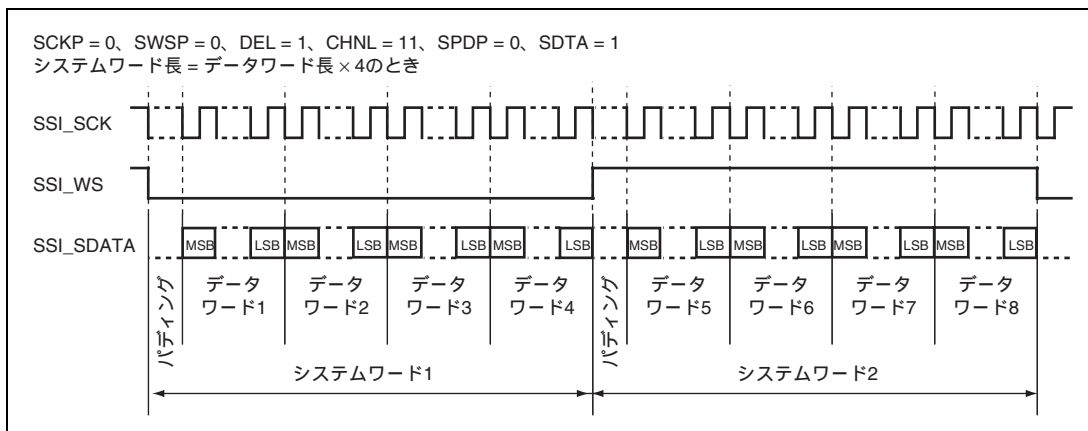


図 34.8 マルチチャンネルフォーマット
(4チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 34.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

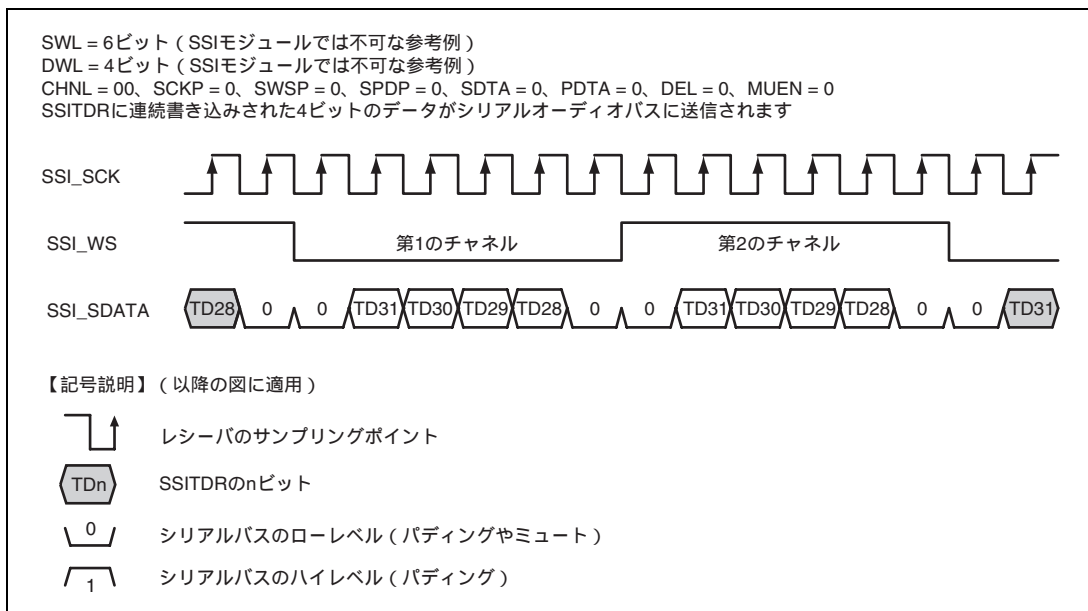


図 34.9 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 34.9 の例では、6ビットのシステムワードと4ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

(a) 反転クロック

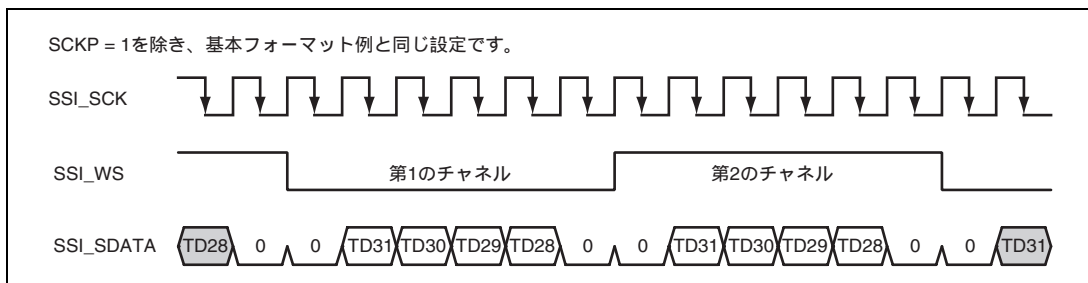


図 34.10 反転クロック

(b) 反転ワード選択信号

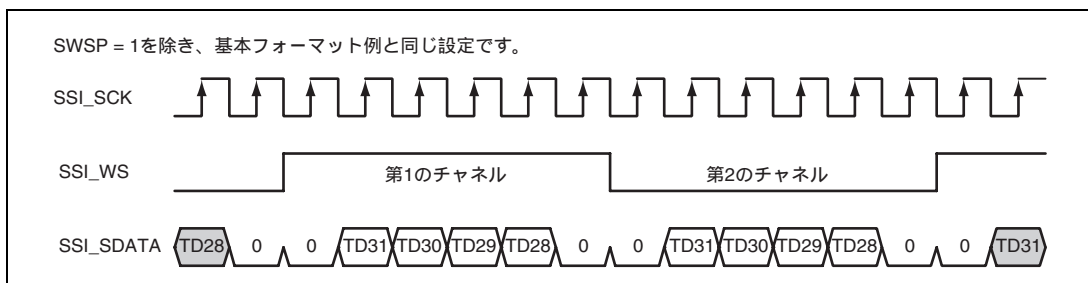


図 34.11 反転ワード選択信号

(c) 反転パディング極性

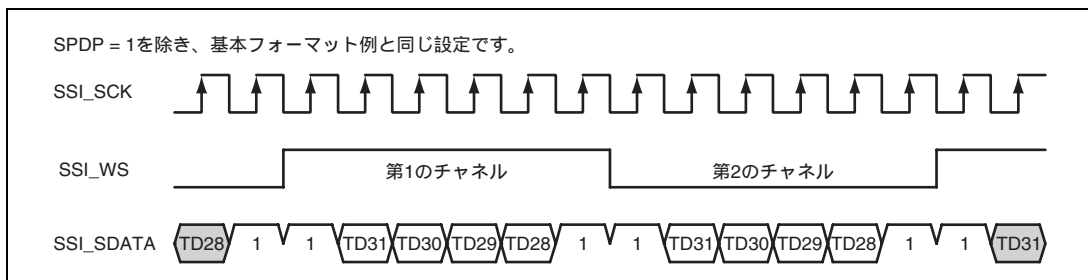


図 34.12 反転パディング極性

(d) パディングビット、シリアルデータの順に送受信、遅延あり

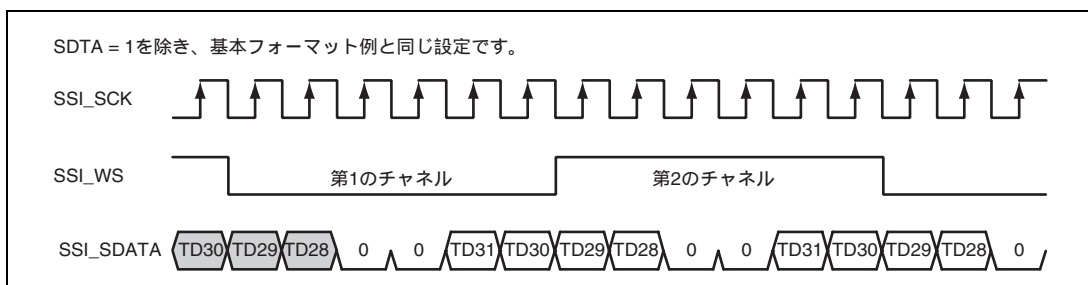


図 34.13 パディングビット、シリアルデータの順に送受信、遅延あり

(e) パディングビット、シリアルデータの順に送受信、遅延なし

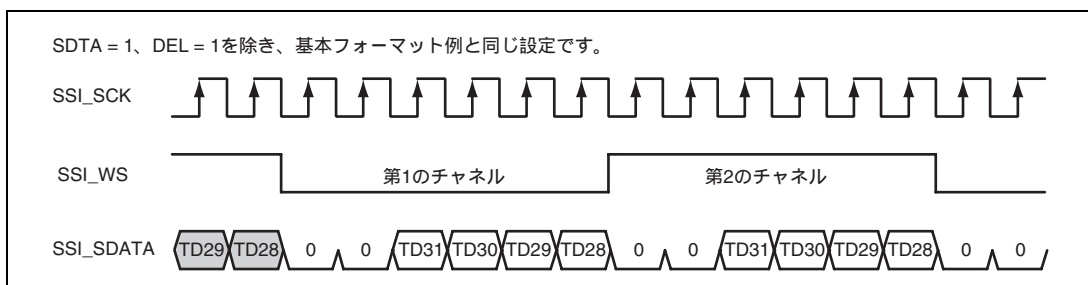


図 34.14 パディングビット、シリアルデータの順に送受信、遅延なし

(f) シリアルデータ、パディングビットの順に送受信、遅延なし

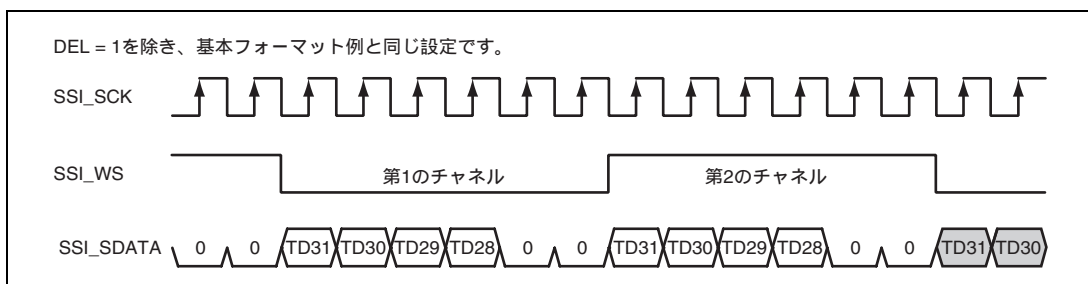


図 34.15 シリアルデータ、パディングビットの順に送受信、遅延なし

(g) パラレルデータの右詰め、遅延あり

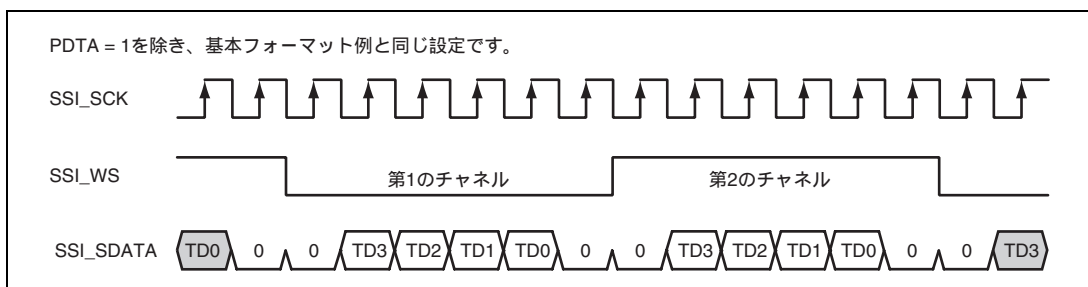


図 34.16 パラレルデータの右詰め、遅延あり

(h) ミュート有効

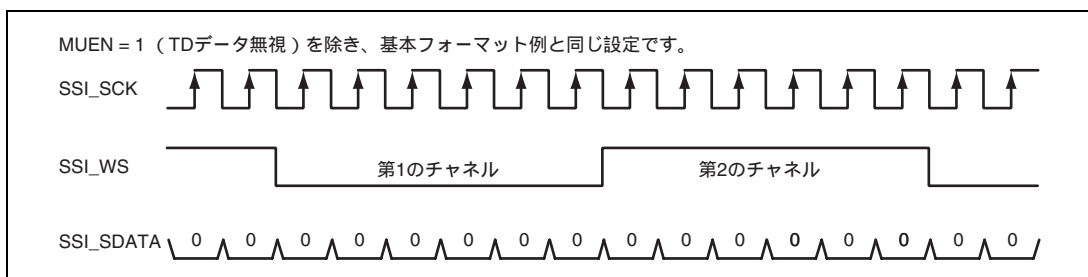


図 34.17 ミュート有効

34.4.3 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 34.18 に動作モードの遷移図を示します。

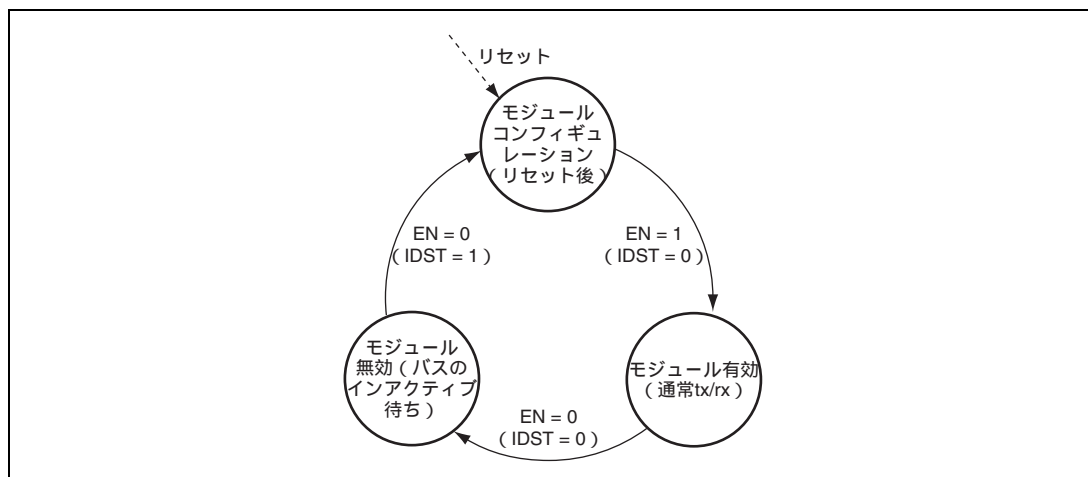


図 34.18 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「34.4.4 送信動作」と「34.4.5 受信動作」を参照してください。

34.4.4 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、SSISR の IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 34.19 に DMA 制御モードの送信動作を、図 34.20 に割り込み制御モードの送信動作を示します。

- 【注】 * SCKD = 0 のとき SSI_SCK 端子からの入力クロック
SCKD = 1 のとき SSI_CLK 端子からの入力クロック

(1) DMA コントローラを使用した送信

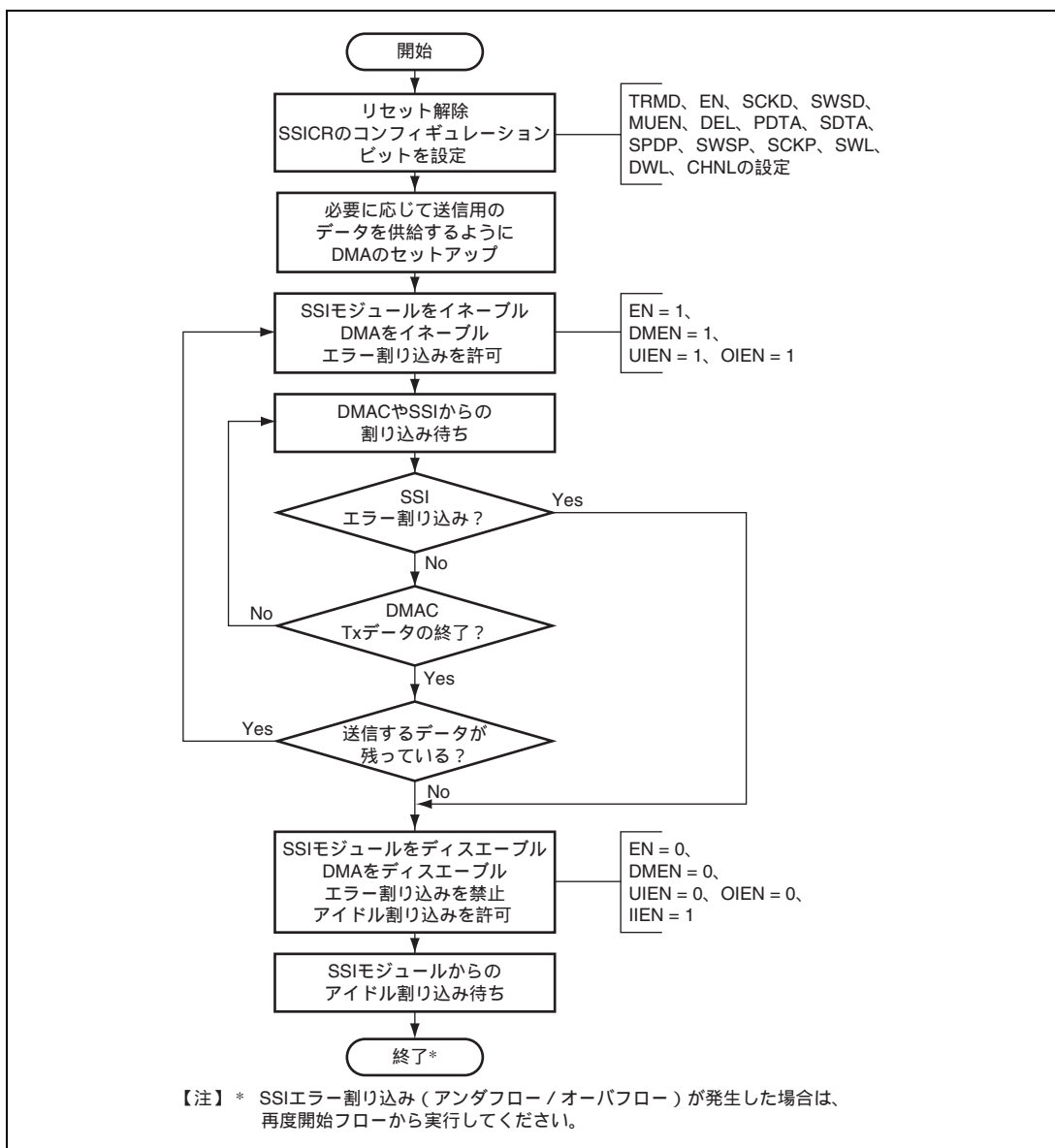


図 34.19 DMA コントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

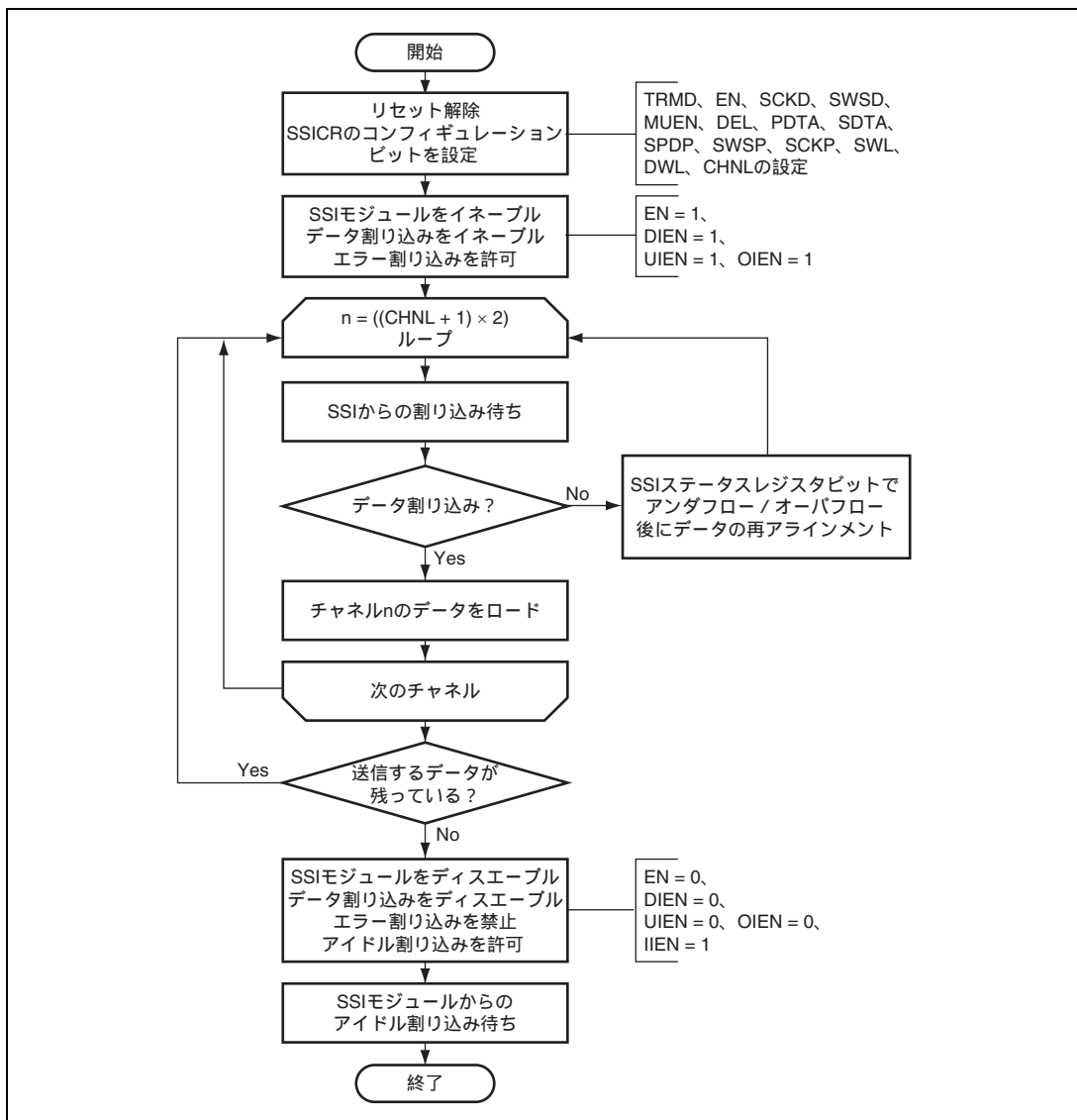


図 34.20 割り込みデータフロー制御を使用した送信

34.4.5 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 34.21 と図 34.22 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、SSISR の IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

【注】 * SCKD = 0 のとき SSI_SCK 端子からの入力クロック
SCKD = 1 のとき SSI_CLK 端子からの入力クロック

(1) DMA コントローラを使用した受信

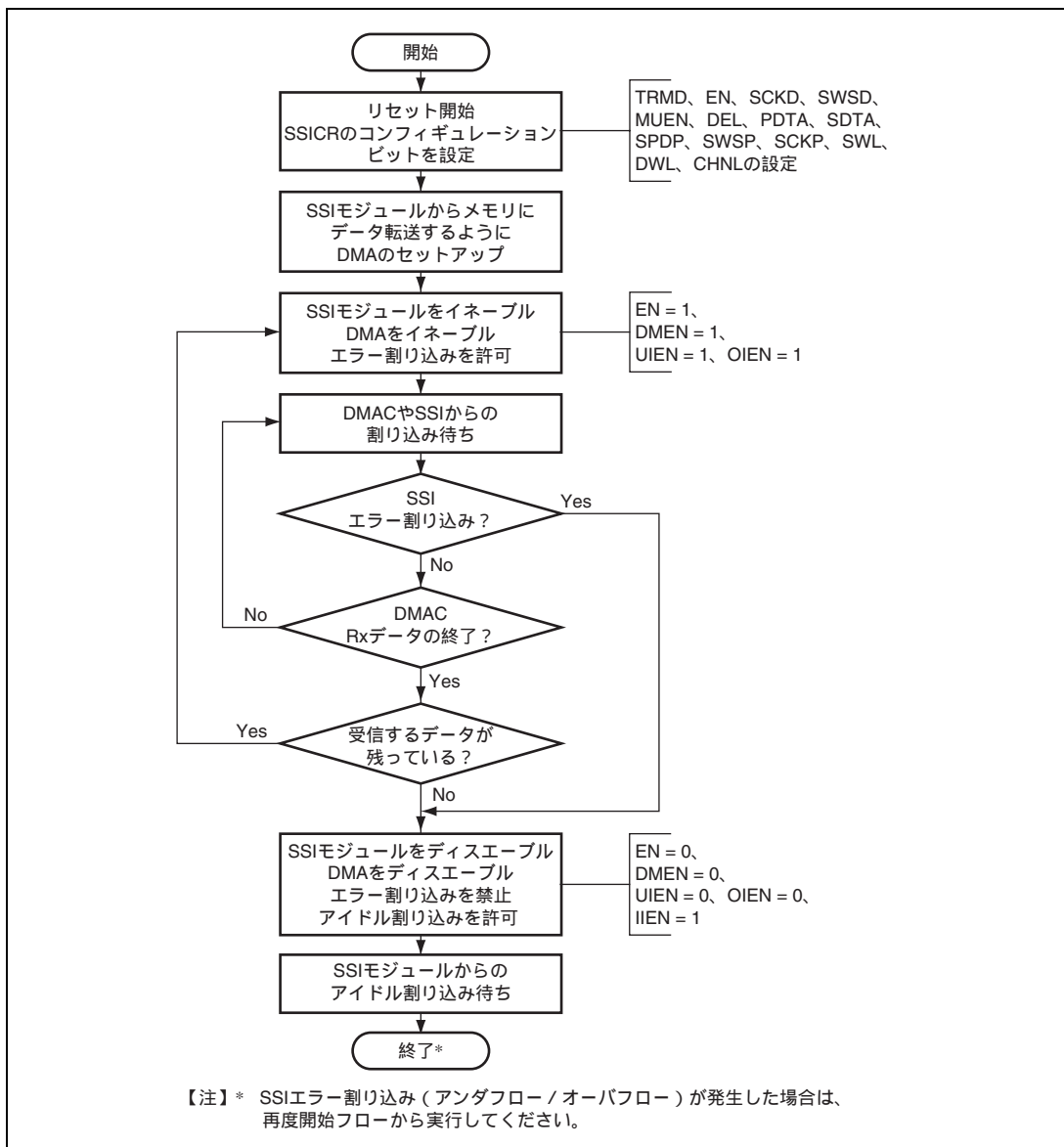


図 34.21 DMA コントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

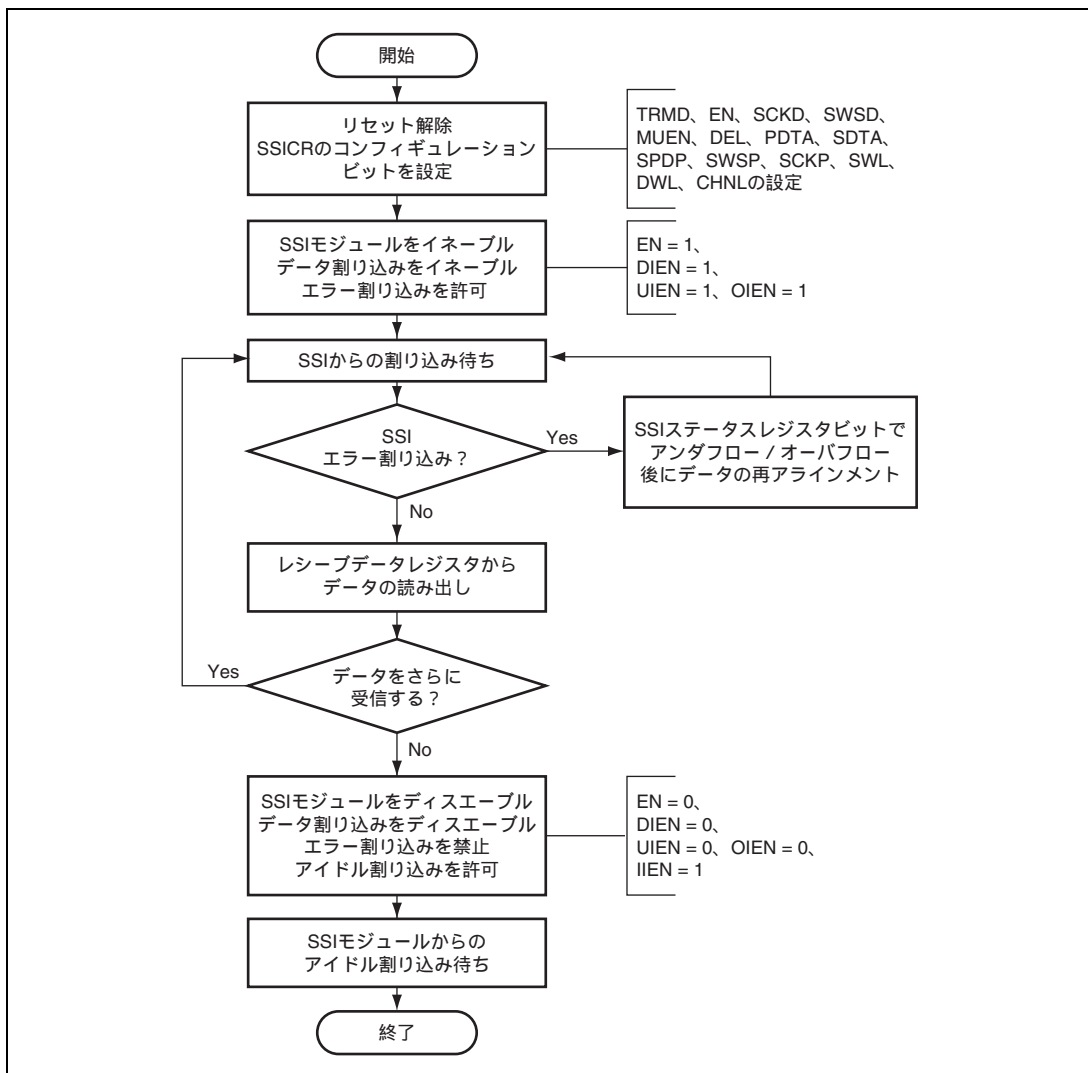


図 34.22 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、SSISRのCHNO[1:0]ビットとSWNOビットを使ってSSIモジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホストCPUはチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSIモジュールが次に送信する予定のデータに到達するまでホストCPUは送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSIモジュールが次に受信すると示しているデータを格納できるようになるまでホストCPUはヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

34.4.6 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SSICR.SCKD=0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSI_SCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SSICR.SCKD=1)、SSI モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックは SSI_CLK 入力端子から入力されたクロックまたはそれを分周したクロックです。SSI_CLK 端子から入力されたクロックは、SSICR のシリアルオーバサンプルクロック分周比 (SSICR.CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSI_SCK 端子の出力はビットクロックと同じになります。

34.5 使用上の注意事項

34.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、モジュールの再起動が必要です。SSI 内の受信バッファは L チャネルと R チャネルが共用の 32 ビットのレジスタで構成しています。そのため、例えばコントロールレジスタ (SSICR) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~SWL0) が 32 ビットの設定の場合、オーバーフローが一度発生すると、L チャネルで受信すべきデータが、R チャネルで受信してしまうことがあります。

そこで、オーバーフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISR の OIRQ ビット) によりオーバーフローを確認した場合、SSICR の EN ビットおよび DMEN ビットに 0 を書き込むことにより、SSI モジュールの DMA を禁止して動作を停止させてください (この時 DMA コントローラの設定も停止させてください)。その後、OIRQ ビットに 0 を書き込み、オーバーフローステータスをクリアし、再度 DMA の設定を行い、転送を再開してください。

34.5.2 スレーブモードで動作させる場合の制限事項

本 LSI をスレーブモードで使用する場合において、データ転送を終了する際には、入力するワード選択信号 (SSI_WS) が停止する前に本 LSI のデータ転送を終了 (SSICR の EN ビット=0) してください。

スレーブモードの場合、EN ビットがクリア (転送停止の設定) され、ワード選択信号 (SSI_WS) の立ち下がりがエッジを検出することでデータ転送を終了する構成になっています。入力するワード選択信号が停止すると、ワード選択信号立ち下がりがエッジを検出できなくなり、データ転送が正常に終了できなくなります。

35. USB ホストコントローラ (USBH)

本 LSI は、USB ホストコントローラ (USBH) を内蔵しており、ルートハブと 1 ポートの USB トランシーバを備え、FullSpeed/LowSpeed で動作します。また、OpenHCI インタフェースとレジスタも内蔵しています。

ソフトウェア開発に際しては、OpenHCI 仕様も参照してください。

USB トランシーバは USB ファンクションコントローラ (USBF) と共用であり、どちらかを選択して使用します。

35.1 特長

- OpenHCI インタフェースをサポート
- USB ホストインタフェースをサポート
- ルートハブ機能 (ただし、サポートは 1 ポートのみ)
- FullSpeed (12Mbps) モード、LowSpeed (1.5Mbps) モードで動作
- 過電流検出機能および電源イネーブル管理機能を内蔵

USBH のブロック図を図 35.1 に示します。

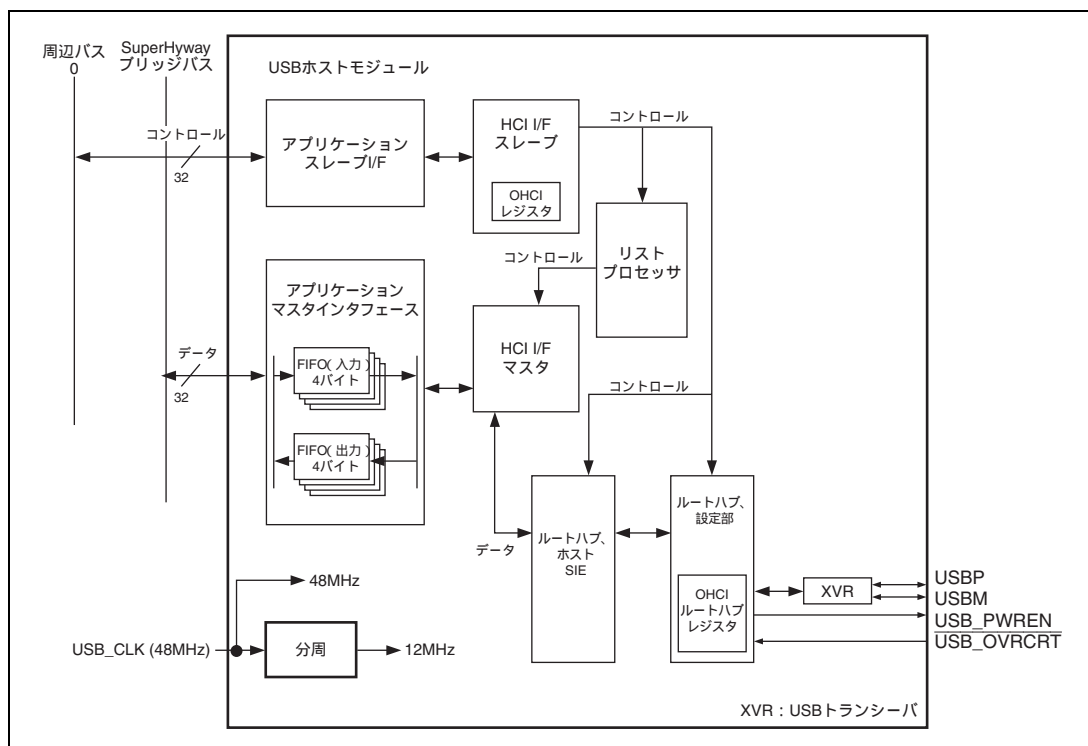


図 35.1 USB ホストのブロック図

35.2 入出力端子

USBH の端子構成を表 35.1 に示します。

表 35.1 端子構成

名称	機能	入出力	説明
USBP	D+	入出力	USB ポート D+
USBM	D-	入出力	USB ポート D-
USB_OVRCRT	USB ポート過電流検出	入出力	ローで過電流検出、ハイで正常動作を検出するために使用します。
USB_PWREN	USB ポート電源イネーブル	出力	USB ポート電源イネーブル管理
クロック端子	USB_CLK	入力	USB 用クロック入力端子 (48MHz 入力)*

【注】 * Pck0 > USB_CLK の条件で使用してください。

35.3 レジスタの説明

USBH のレジスタ構成を表 35.2 に示します。また、各処理モードにおけるレジスタの状態を表 35.3 に示します。設定コントロールレジスタ以外のレジスタは、OpenHCI 仕様に適合しています。詳細は OpenHCI Rev.1.0 を参照してください。

設定コントロールレジスタは、本 LSI 専用のレジスタです。

表 35.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
HcRevision レジスタ	USBHR	R	H'FFEC 8000	H'1FEC 8000	32
HcControl レジスタ	USBHC	R/W	H'FFEC 8004	H'1FEC 8004	32
HcCommandStatus レジスタ	USBHCS	R/W	H'FFEC 8008	H'1FEC 8008	32
HcInterruptStatus レジスタ	USBHIS	R/W	H'FFEC 800C	H'1FEC 800C	32
HcInterruptEnable レジスタ	USBHIE	R/W	H'FFEC 8010	H'1FEC 8010	32
HcInterruptDisable レジスタ	USBHID	R/W	H'FFEC 8014	H'1FEC 8014	32
HcHCCA レジスタ	USBHCCA	R/W	H'FFEC 8018	H'1FEC 8018	32
HcPeriodCurrentED レジスタ	USBHPCED	R/W	H'FFEC 801C	H'1FEC 801C	32
HcControlHeadED レジスタ	USBHCHED	R/W	H'FFEC 8020	H'1FEC 8020	32
HcControlCurrentED レジスタ	USBHCCED	R/W	H'FFEC 8024	H'1FEC 8024	32
HcBulkHeadED レジスタ	USBHBHED	R/W	H'FFEC 8028	H'1FEC 8028	32
HcBulkCurrentED レジスタ	USBHBCED	R/W	H'FFEC 802C	H'1FEC 802C	32
HcDoneHead レジスタ	USBHDHED	R/W	H'FFEC 8030	H'1FEC 8030	32
HcFmInterval レジスタ	USBHFI	R/W	H'FFEC 8034	H'1FEC 8034	32
HcFmRemaining レジスタ	USBHFR	R	H'FFEC 8038	H'1FEC 8038	32
HcFmNumber レジスタ	USBHFN	R	H'FFEC 803C	H'1FEC 803C	32
HcPeriodicStart レジスタ	USBHPS	R/W	H'FFEC 8040	H'1FEC 8040	32
HcLSThreshold レジスタ	USBHLST	R/W	H'FFEC 8044	H'1FEC 8044	32
HcRhDescriptorA レジスタ	USBHRDA	R/W	H'FFEC 8048	H'1FEC 8048	32
HcRhDescriptorB レジスタ	USBHRDB	R/W	H'FFEC 804C	H'1FEC 804C	32
HcRhStatus レジスタ	USBHRS	R/W	H'FFEC 8050	H'1FEC 8050	32
HcRhPortStatus2 レジスタ	USBHRPS2	R/W	H'FFEC 8058	H'1FEC 8058	32
設定コントロールレジスタ	USBHSC	R/W	H'FFEC 80F0	H'1FEC 80F0	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 35.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
HcRevision レジスタ	USBHR	00000010	00000010	保持	保持
HcControl レジスタ	USBHC	00000000	00000000	保持	保持
HcCommandStatus レジスタ	USBHCS	00000000	00000000	保持	保持
HcInterruptStatus レジスタ	USBHIS	00000000	00000000	保持	保持
HcInterruptEnable レジスタ	USBHIE	00000000	00000000	保持	保持
HcInterruptDisable レジスタ	USBHID	00000000	00000000	保持	保持
HcHCCA レジスタ	USBHCCA	00000000	00000000	保持	保持
HcPeriodCurrentED レジスタ	USBHPCED	00000000	00000000	保持	保持
HcControlHeadED レジスタ	USBHCHED	00000000	00000000	保持	保持
HcControlCurrentED レジスタ	USBHCCED	00000000	00000000	保持	保持
HcBulkHeadED レジスタ	USBHBHED	00000000	00000000	保持	保持
HcBulkCurrentED レジスタ	USBHBCED	00000000	00000000	保持	保持
HcDoneHead レジスタ	USBHDHED	00000000	00000000	保持	保持
HcFmInterval レジスタ	USBHFI	00002EDF	00002EDF	保持	保持
HcFmRemaining レジスタ	USBHFR	00000000	00000000	保持	保持
HcFmNumber レジスタ	USBHFN	00000000	00000000	保持	保持
HcPeriodicStart レジスタ	USBHPS	00000000	00000000	保持	保持
HcLSThreshold レジスタ	USBHLST	00000628	00000628	保持	保持
HcRhDescriptorA レジスタ	USBHRDA	02001002	02001002	保持	保持
HcRhDescriptorB レジスタ	USBHRDB	00000000	00000000	保持	保持
HcRhStatus レジスタ	USBHRS	00000000	00000000	保持	保持
HcRhPortStatus2 レジスタ	USBHRPS2	00000100	00000100	保持	保持
設定コントロールレジスタ	USBHSC	00000001	00000001	保持	保持

35.3.1 HcRevision レジスタ (USBHR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	REV[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	-	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
7~0	REV[7:0]	H'10	R	Revision ハードウェアがサポートする OpenHCI 仕様のリビジョン番号を示します。 (X.Y = H'XY) 本 USB ホストコントローラ (HC) は、OpenHCI 1.0 仕様をサポートしています。

35.3.2 HcControl レジスタ (USBHC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RWE	RWC	IR	HCFS[1:0]	BLE	CLE	IE	PLE	CBSR[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
10	RWE	0	R/W	RemoteWakeupConnectedEnable リモートウェイクアップ信号をサポートしている場合、このビットでリモートウェイクアップ機能を有効にします。USB ホストモジュールではリモートウェイクアップ信号をサポートしていないので、このビットは無視されません。
9	RWC	0	R/W	RemoteWakeupConnected ホストコントローラ (HC) がリモートウェイクアップ信号をサポートするかどうかを示します。
8	IR	0	R/W	InterruptRouting 割り込みの通知先を指定します。 0 : 割り込みを通常の割り込み処理部 (INT) に通知します。 1 : 割り込みを SMI に通知します。
7、6	HCFS[1:0]	すべて 0	R/W	HostControllerFunctionalState ホストコントローラの状態を設定します。以下の 4 種類の状態があります。 00 : UsbReset 01 : UsbResume 10 : UsbOperational 11 : UsbSuspend ホストコントローラは、ダウストリームポートから送信された再開信号を検出すると、強制的に USB_SUSPEND 状態を USB_RESUME 状態に切り替えます。
5	BLE	0	R/W	BulkListEnable このビットをセットすると、バルクリストの処理を有効にします。
4	CLE	0	R/W	ControlListEnable このビットをセットすると、コントロールリストの処理を有効にします。

ビット	ビット名	初期値	R/W	説明
3	IE	0	R/W	IsochronousEnable 周期リストが有効なとき、このビットをクリアすると、アイソクロナスリストを無効にします（したがって、インタラプト ED の処理が可能です）。周期リスト処理中に、HC はアイソクロナス ED を見つけると、このビットの状態をチェックします。
2	PLE	0	R/W	PeriodicListEnable このビットをセットすると、周期リスト（インタラプトリストとアイソクロナスリスト）の処理を有効にします。フレーム内の周期転送を行う前に、HC はこのビットの状態をチェックします。
1、0	CBSR[1:0]	すべて 0	R/W	ControlBulkServiceRatio バルクエンドポイント 1 個に対し、いくつのコントロールエンドポイントを処理するかを指定します。処理するコントロールエンドポイント数 - 1 の値を指定してください（例：00：コントロールエンドポイント 1 個、11：コントロールエンドポイント 4 個）。

35.3.3 HcCommandStatus レジスタ (USBHCS)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SOC[1:0]
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	BLF	CLF	HCR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
17、16	SOC[1:0]	すべて 0	R	ScheduleOverrunCount HcInterruptStatus レジスタの SchedulingOverrun ビットがセットされるたびに、このビットの値がインクリメントされます。カウント値 11 の後にインクリメントが起こると、値は 00 に戻ります。
15~3	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
2	BLF	0	R/W	BulkListFilled このビットがセットされているとき、バルクリストにアクティブ ED があることを示します。このビットは、ソフトウェアとホストコントローラのどちらからもセットできます。ホストコントローラは、バルクリストの先頭から処理を開始するたびに、このビットをクリアします。

ビット	ビット名	初期値	R/W	説明
1	CLF	0	R/W	ControlListFilled このビットがセットされているとき、コントロールリストにアクティブ ED があることを示します。このビットは、ソフトウェアとホストコントローラのどちらからもセットできます。ホストコントローラは、コントロールリストの先頭から処理を開始するたびに、このビットをクリアします。
0	HCR	0	R/W	HostControllerReset このビットをセットすると、ソフトウェアリセットを開始します。リセット動作が完了すると、ホストコントローラがこのビットをクリアします。

35.3.4 HcInterruptStatus レジスタ (USBHIS)

このレジスタのすべてのビットは、セットはハードウェアが行い、クリアはソフトウェアが行います。ビットをクリアするときは、対応するビットに 1 を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	RHSC	FNO	UE	RD	SF	WDH	SO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-7	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
6	RHSC	0	R/W	RootHubStatusChange HcRhStatus レジスタまたは HcRhPortStatus レジスタの値が変化すると、このビットがセットされます。
5	FNO	0	R/W	FrameNumberOverflow FrameNumber のビット 15 の値が 0 から 1 へ、または 1 から 0 へ変化すると、このビットがセットされます。
4	UE	0	R/W	UnrecoverableError HC が USB に関わらないシステムエラーを検出すると、このビットがセットされます。
3	RD	0	R/W	ResumeDetected HC がダウンストリームポートからの開始信号を検出すると、このビットがセットされます。
2	SF	0	R/W	StartofFrame フレームマネージャが StartofFrame (フレーム開始) のイベントを通知すると、このビットがセットされます。

ビット	ビット名	初期値	R/W	説明
1	WDH	0	R/W	WritebackDoneHead HC が HcDoneHead レジスタの値を HccaDoneHead に書き込むと、このビットがセットされます。
0	SO	0	R/W	SchedulingOverrun リストプロセッサが、スケジュールオーバーランが発生したと判断すると、このビットがセットされます。

35.3.5 HcInterruptEnable レジスタ (USBHIE)

このレジスタのビットに 1 を書き込むと、対応するビットがセットされます。ただし、0 を書き込んでもビットの値は変化しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	RHSC	FNO	UE	RD	SF	WDH	SO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MIE	0	R/W	MasterInterruptEnable 割り込み全体を有効にするビットです。1 を書き込むと、以下のビットで有効にした割り込みの発生を許可します。
30	OC	0	R/W	OwnershipChangeEnable 0 : 無視されます。 1 : 所有権の変更 (OwnershipChange) による割り込みを有効にします。
29-7	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
6	RHSC	0	R/W	RootHubStatusChangeEnable 0 : 無視されます。 1 : ルートハブ状態の変更 (RootHubStatusChange) による割り込みを有効にします。
5	FNO	0	R/W	FrameNumberOverflowEnable 0 : 無視されます。 1 : フレーム番号のオーバーフロー (FrameNumberOverflow) による割り込みを有効にします。
4	UE	0	R/W	UnrecoverableErrorEnable この機能はサポートしていません。値を書き込んでも無視されます。

ビット	ビット名	初期値	R/W	説 明
3	RD	0	R/W	ResumeDetectedEnable 0: 無視されます。 1: 開始信号の検出 (ResumeDetected) による割り込みを有効にします。
2	SF	0	R/W	StartOfFrameEnable 0: 無視されます。 1: フレームの開始 (StartOfFrame) による割り込みを有効にします。
1	WDH	0	R/W	WritebackDoneHeadEnable 0: 無視されます。 1: WritebackDoneHead による割り込みを有効にします。
0	SO	0	R/W	SchedulingOverrunEnable 0: 無視されます。 1: スケジュールオーバーラン (SchedulingOverrun) による割り込みを有効にします。

35.3.6 HcInterruptDisable レジスタ (USBHID)

このレジスタのビットに 1 を書き込むと、HcInterruptEnable レジスタの対応するビットがクリアされます。ただし、0 を書き込んででもビットの値は変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	RHSC	FNO	UE	RD	SF	WDH	SO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MIE	0	R/W	MasterInterruptDisable 割り込み全体を無効にするビットです。1 を書き込むと、すべての割り込みの発生を禁止します。
30	OC	0	R/W	OwnershipChangeDisable 0: 無視されます。 1: ホストコントローラ所有権の変更 (OwnershipChange) による割り込みを禁止します。
29~7	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
6	RHSC	0	R/W	RootHubStatusChangeDisable 0: 無視されます。 1: ルートハブ状態の変更 (RootHubStatusChange) による割り込みを禁止します。
5	FNO	0	R/W	FrameNumberOverflowDisable 0: 無視されます。 1: フレーム番号のオーバーフロー (FrameNumberOverflow) による割り込みを禁止します。
4	UE	0	R/W	UnrecoverableErrorDisable この機能はサポートしていません。値を書き込んででも無視されます。
3	RD	0	R/W	ResumeDetectedDisable 0: 無視されます。 1: 開始信号の検出 (ResumeDetected) による割り込みを禁止します。
2	SF	0	R/W	StartOfFrameDisable 0: 無視されます。 1: フレームの開始 (StartOfFrame) による割り込みを禁止します。

ビット	ビット名	初期値	R/W	説 明
1	WDH	0	R/W	WritebackDoneHeadDisable 0 : 無視されます。 1 : WritebackDoneHead による割り込みを禁止します。
0	SO	0	R/W	SchedulingOverrunDisable 0 : 無視されます。 1 : スケジュールオーバーラン (SchedulingOverrun) による割り込みを禁止します。

35.3.7 HcHCCA レジスタ (USBHHCCA)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCCA[23:8]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HCCA[7:0]								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~8	HCCA[23:0]	すべて0	R/W	HCCA HCCA 基底アドレスへのポインタ
7~0	-	すべて0	R	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。

35.3.8 HcPeriodCurrentED レジスタ (USBHPCED)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PCED[27:12]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCED[11:0]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	PCED[27:0]	すべて 0	R	PeriodCurrentED 現在の周期リスト ED へのポインタ
3~0	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

35.3.9 HcControlHeadED レジスタ (USBHCHED)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHED[27:12]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHED[11:0]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	CHED[27:0]	すべて 0	R/W	ControlHeadED コントロールリストの先頭 ED へのポインタ
3~0	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

35.3.10 HcControlCurrentED レジスタ (USBHCCED)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCED[27:12]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCED[11:0]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	CCED[27:0]	すべて 0	R/W	ControlCurrentED 現在のコントロールリスト ED へのポインタ
3~0	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

35.3.11 HcBulkHeadED レジスタ (USBHBHED)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BHED[27:12]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BHED[11:0]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	BHED[27:0]	すべて 0	R/W	BulkHeadED バルクリストの先頭 ED へのポインタ
3~0	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

35.3.12 HcBulkCurrentED レジスタ (USBHBCED)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BCED[27:12]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCED[11:0]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	BCED[27:0]	すべて 0	R/W	BulkCurrentED 現在のバルクリスト ED へのポインタ
3~0	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

35.3.13 HcDoneHead レジスタ (USBHDHED)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DH[27:12]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DH[11:0]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	DH[27:0]	すべて 0	R	DoneHead 現在の完了リストの先頭 ED へのポインタ
3~0	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

35.3.14 HcFmInterval レジスタ (USBHFI)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIT		FSMPS[14:0]													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	FI[13:0]													
初期値:	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIT	0	R/W	FrameIntervalToggle 新しい値を FrameInterval ビットにロードするたびに、ホストコントローラドライバ (HCD) がこのビットの値を反転します。
30~16	FSMPS [14:0]	すべて 0	R/W	FSLargestDataPacket 各フレームの最初で最大データパケットカウンタ (Largest Data Packet Counter) にロードする値を指定します。
15、14	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
13~0	FI[13:0]	H ² EDF	R/W	FrameInterval フレーム長を (ビット時間 - 1) の形で指定します。1 フレーム当たり 12,000 ビット時間の場合、11,999 を指定します。

35.3.15 HcFmRemaining レジスタ (USBHFR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRT	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	FR[13:0]													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	FRT	0	R	FrameRemainingToggle FrameRemaining ビットに値がロードされると、このビットに FrameIntervalToggle ビットの値がロードされます。
30~14	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13~0	FR[13:0]	すべて 0	R	<p>FrameRemaining</p> <p>このビットは 14 ビットのダウンカウンタで、フレームのタイミングを決めるために用います。ホストコントローラが USBOPERATIONAL 状態にあるとき、このカウンタは、12MHz のクロックごとにデクリメントします。カウンタ値が 0 になったときが、フレームの終わりです。このとき、カウンタには FrameInterval ビットの値がリロードされます。また、ホストコントローラの状態が USBOPERATIONAL に遷移するタイミングでも、このカウンタはリロードされます。</p>

35.3.16 HcFmNumber レジスタ (USBHFN)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FN[16:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	<p>リザーブビット</p> <p>読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>
15~0	FN[16:0]	すべて 0	R	<p>FrameNumber</p> <p>このビットは、16 ビットのアップカウンタです。FrameRemaining ビットへのロードと同時に、値をインクリメントします。カウンタ値は、H'FFFF を超えると H'0000 に戻ります。</p>

35.3.17 HcPeriodicStart レジスタ (USBHPS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PS[13:0]													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
13~0	PS[13:0]	すべて0	R/W	PeriodicStart リストプロセッサが、フレーム中のどこから周期リスト処理を開始するのかを判断するために必要な値を設定します。

35.3.18 HcLSThreshold レジスタ (USBHLST)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	LST[11:0]											
初期値:	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
11~0	LST[11:0]	H'628	R/W	LSThreshold フレームマネージャが、現在のフレームで低速トランザクションを行えるかどうかを判断するために必要な値を設定します。

35.3.19 HcRhDescriptorA レジスタ (USBHRDA) (本 LSI のサポートは 1 ポートのみ)

このレジスタは、パワーオンリセットでのみリセットされます。システムの初期化時に、ルートハブを設定するために、このレジスタに書き込みます。通常の動作中には、このレジスタに書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POTPGT[7:0]								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	NOCP	OCPM	DT	NPS	PSM	NDP[7:0]							
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 24	POTPGT [7:0]	H'02	R/W	PowerOnToPowerGoodTime USB ホストコントローラの電源切り替えは、2ms で有効になります。このビットの値は、2ms 単位で指定します。 ビット 25、24 のみ、リードおよびライト可能です。他のビットはリードのみ可能で、読み出し値は 0 です。これらのビットに 1h 以外の値を書き込むことは想定されていません。限られた範囲で、インプリメンテーション特有の機能用のみ、書き込むことが可能です。これらのビットには、常に 0 以外の値を書き込んでください。
23 ~ 13	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
12	NOCP	1	R/W	NoOverCurrentProtection USB ホストコントローラが全体の過電流通知を行うかどうかを指定します。 0: 過電流状態を通知します。 1: 過電流状態を通知しません。 このビットは、外部システムポートの過電流検出のインプリメンテーションにあわせて、値を設定してください。
11	OCPM	0	R/W	OverCurrentProtectionMode USB ホスト全体の過電流通知を行うかどうかを指定します。 0: 全体の過電流を通知します。 1: 個別の過電流を通知します。 このビットの設定は、NoOverCurrentProtection ビットがクリアされているときにのみ有効です。このビットには 0 を書き込んでください。
10	DT	0	R	DeviceType USB ホストコントローラが複合デバイスでないことを示します。

ビット	ビット名	初期値	R/W	説 明
9	NPS	0	R/W	<p>NoPowerSwitching</p> <p>USB ホストコントローラが全体の電源切り替えをサポートしているかどうかを指定します。</p> <p>0 : ポートの電源切り替えは可能です。</p> <p>1 : ポートは常に電源オン状態です。</p> <p>このビットは、外部システムポートの電源切り替えのインプリメンテーションにあわせて、値を設定してください。</p>
8	PSM	0	R/W	<p>PowerSwitchingMode</p> <p>USB ホストコントローラが全体の電源切り替えをサポートしているかどうかを指定します。</p> <p>0 : 全体の電源を切り替えます。</p> <p>1 : 個別に電源を切り替えます。</p> <p>このビットの設定は、NoPowerSwitching ビットがクリアされているときのみ有効です。このビットには0を書き込んでください。</p>
7~0	NDP[7:0]	H'02	R	<p>NumberDownstreamPorts</p> <p>USB ホストコントローラが1つのダウンストリームポートをサポートしていることを示します。(2ポートを指示しているが1ポートしかサポートしていない)</p>

35.3.20 HcRhDescriptorB レジスタ (USBHRDB) (本 LSI のサポートは 1 ポートのみ)

このレジスタは、パワーオンリセットでのみリセットされます。システムの初期化時に、ルートハブを設定するために、このレジスタに書き込みます。通常の動作中には、このレジスタに書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPCM[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	PPCM[15:0]	すべて 0	R/W	<p>PortPowerControlMask</p> <p>USB ホストコントローラが全体の電源切り替えをサポートするかどうかを指定します。このビットは、NoPowerSwitching ビットがクリアされ、PowerSwitchingMode ビットがセットされているとき (個別のポート切り替え時) のみ、有効です。このビットをセットすると、ポートは個別ポート電源切り替えコマンド (Set/ClearPortPower) でのみ切り替えられます。このビットをクリアすると、ポートは全体 (グローバル) ポート電源切り替えコマンド (Set/ClearGlobalPower) でのみ切り替えられます。</p> <p>0: デバイスは取り外し不可です。</p> <p>1: グローバル電源切り替えをマスクします。</p> <p>ビットとポートの対応</p> <p>0: リザーブ</p> <p>1: ポート 1</p> <p>2: ポート 2</p> <p>...</p> <p>15: ポート 15</p> <p>システムで使用しないポートに対応するビットはリザーブビットとなり、読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
15~0	DR[15:0]	すべて 0	R/W	DeviceRemovable USB ホストコントローラのポートは、デフォルトでは取り外し可能です。 0 : デバイスは取り外し可能です。 1 : デバイスは取り外し不可です。 ビットとポートの対応 0 : リザーブ 1 : ポート 1 2 : ポート 2 ... 15 : ポート 15 システムで使用しないポートに対応するビットはリザーブビットとなり、読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

35.3.21 HcRhStatus レジスタ (USBHRS)

このレジスタは UsbReset 状態でリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRWE	-	-	-	-	-	-	-	-	-	-	-	-	-	OCIC	LPSC
初期値 :	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRWE	-	-	-	-	-	-	-	-	-	-	-	-	-	OCI	LPS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31	CRWE	-	W	(ライト時) ClearRemoteWakeupEnable 1 を書き込むと、DeviceRemoteWakeupEnable ビットをクリアします。0 を書き込んででも変化しません。
30~18	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
17	OCIC	0	R/W	OverCurrentIndicatorChange OverCurrentIndicator ビットが変化すると、このビットがセットされます。1 を書き込むとビットをクリアします。0 を書き込んででも変化しません。
16	LPSC	0	R/W	(リード時) LocalPowerStatusChange 本 LSI ではサポートしません。読み出し値は常に 0 です。 (ライト時) SetGlobalPower 1 を書き込むと、ポートに SetGlobalPower コマンドを発行します。0 を書き込んででも変化しません。

ビット	ビット名	初期値	R/W	説明
15	DRWE	0	R/W	(リード時) DeviceRemoteWakeupEnable ポートの ConnectStatusChange をリモートウェイクアップイベントとして有効にします。 0: 無効 1: 有効 (ライト時) SetRemoteWakeupEnable 1 を書き込むと DeviceRemoteWakeupEnable ビットをセットします。0 を書き込んででも変化しません。
14~2	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
1	OCI	0	R	OverCurrentIndicator OVRCUR 端子の状態を示します。NoOverCurrentProtection と OverCurrentProtectionMode ビットがクリアされているときのみ有効です。 0: 過電流状態は検出されていません。 1: 過電流状態です。
0	LPS	0	R/W	(リード時) LocalPowerStatus 本 LSI ではサポートしません。読み出し値は常に 0 です。 (ライト時) ClearGlobalPower 1 を書き込むと、ポートに ClearGlobalPower コマンドを発行します。0 を書き込んででも変化しません。

35.3.22 HcRhPortStatus2 レジスタ (USBHRPS2)

このレジスタは UsbReset 状態でリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	PRSC	OCIC	PSSC	PESC	CSC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	LSDA	PPS	-	-	-	PRS	POCI	PSS	PES	CCS
初期値:	0	0	0	0	0	0	-	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
20	PRSC	0	R/W	PortResetStatusChange ポートリセットが完了したことを示します。 0: ポートリセットは未完了です。 1: ポートリセットは完了しています。

ビット	ビット名	初期値	R/W	説明
19	OCIC	0	R/W	PortOverCurrentIndicatorChange OverCurrentIndicator ビットが変化すると、このビットがセットされます。1を書き込むとビットをクリアします。0を書き込んでも変化しません。
18	PSSC	0	R/W	PortSuspendStatusChange ポートの選択的再開シーケンスが完了したことを示します。 0: ポートは再開されていません。 1: ポートの再開が完了しています。
17	PESC	0	R/W	PortEnableStatusChange ハードウェアのイベントにより、ポートが無効になっている (PortEnableStatus ビットがクリアされている) ことを示します。 0: ポートは無効になっていません。 1: PortEnableStatus ビットがクリアされています。
16	CSC	0	R/W	ConnectStatusChange 接続あるいは切断イベントが検出されたことを示します。1を書き込むとビットをクリアします。0を書き込んでも変化しません。 0: 接続/切断イベントは発生していません。 1: 接続/切断イベントをハードウェアで検出しました。 【注】 DeviceRemoveable ビットがセットされると、このビットは1にリセットされます。
15~10	-	すべて0	R	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
9	LSDA	不定*	R/W	(リード時) LowSpeedDeviceAttached 接続されているデバイスのスピード (およびバスアイドル) を示します。CurrentConnectStatus ビットがセットされているときのみに有効です。 0: 高速デバイス 1: 低速デバイス (ライト時) ClearPortPower 1を書き込むと、PortPowerStatus ビットをクリアします。0を書き込んでも変化しません。
8	PPS	0	R/W	(リード時) PortPowerStatus 電源切り替えモードにかかわらず、ポートの電源状態を示します。 0: ポートの電源はオフ 1: ポートの電源はオン 【注】 NoPowerSwitching ビットがセットされていると、このビットの読み出し値は常に1です。 (ライト時) SetPortPower 1を書き込むと、PortPowerStatus ビットをセットします。0を書き込んでも変化しません。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
4	PRS	0	R/W	(リード時) PortResetStatus 0: ポートリセット信号はアクティブではありません。 1: ポートリセット信号はアクティブです。 (ライト時) SetPortReset 1 を書き込むと、PortResetStatus ビットをセットします。0 を書き込んで も変化しません。
3	POCI	0	R/W	(リード時) PortOverCurrentIndicator USB ホストコントローラは全体の過電流通知機能をサポートしています。こ のビットは、対応するポートの OVRCUR 端子の状態を示します。 NoOverCurrentProtection ビットがクリアされ OverCurrentProtectionMode ビットがセットされているときのみ有効です。 0: 過電流状態は検出されていません。 1: 過電流状態が検出されています。 (ライト時) ClearSuspendStatus 1 を書き込むと、対応するポートの選択的再開シーケンスを開始します。0 を書き込んででも変化しません。
2	PSS	0	R/W	(リード時) PortSuspendStatus 0: ポートは中断されていません。 1: ポートは選択的に中断されています。 (ライト時) SetPortSuspend 1 を書き込むと、PortSuspendStatus ビットをセットします。0 を書き込ん でも変化しません。
1	PES	0	R/W	(リード時) PortEnableStatus 0: ポートは無効です。 1: ポートは有効です。 (ライト時) SetPortEnable 1 を書き込むと、PortEnableStatus ビットをセットします。0 を書き込んで も変化しません。
0	CCS	0	R/W	(リード時) CurrentConnectStatus 0: デバイスが接続されていません。 1: デバイスが接続されています。 【注】 DeviceRemoveable ビットがセットされていると (取り外し不可)、 このビットの読み出し値は常に 1 です。 (ライト時) ClearPortEnable 1 を書き込むと、PortEnableStatus ビットをクリアします。0 を書き込んで も変化しません。

【注】 * トランシーバの状態に影響します。

35.3.23 設定コントロールレジスタ (USBHSC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31-1	-	すべて0	R	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
0	PS	1	R/W	PortSwitch 0: ホスト 1: ファンクション

【注】 PortSwitch ビットでファンクションモジュールとホストモジュールを切り替えるとき、USB_PWREN 端子を使用している場合は以下に注意してください。

状況	手順
ファンクションモジュールへの切り替え (パワーオンシーケンス後は、デフォルトでUSBファンクションが選択されています)	次のステータス確認を行ってください。 <ul style="list-style-type: none"> • USB ファンクションモジュールの PULLUPE ビットと USB ホストモジュールの PortPowerStatus ビットの極性をあわせてから PortSwitch ビットを 1 にセットする。 • USB ファンクションモジュールを起動してすでに PULLUPE が ON の場合には極性をあわせる必要はありません。

35.4 機能の説明

35.4.1 機能概要

(1) USB ホストモジュール

USB ホストモジュールは、1つの外部ポートを備えたルートハブを内蔵しています。また、リストプロセッサ (LP)、シリアルインタフェースエンジン (SIE)、USB クロック分周回路も内蔵しています。このインタフェースは、HC が要求するバストランザクションを実行すると同時に、USB 仕様で規定されているハブとポートの管理も行います。アプリケーションインタフェースでは、HCI インタフェースを周辺バス 0 インタフェースと SuperHyway ブリッジバスインタフェースに変換します。USB ホストモジュールは、OpenHCI レジスタをサポートしています。データ転送は、外部メモリと USB ホストモジュール間の SuperHyway ブリッジバスインタフェース経由で行います。USB ホストモジュールのレジスタは、周辺バス 0 インタフェース経由で制御します。エンドポイントデスク립タ (ED) とトランスファデスク립タ (TD) は、データトランザクションの開始前に、外部メモリに格納してください。

1. リストプロセッサ

リストプロセッサは、リストコントロール部、ED部、TD部、リクエスト部の4つの部分からなります。リストコントロール部、ED部、TD部はロックステップ方式で動作し、リストコントロール部がED部を起動し、次にED部がTD部を起動します。この3つの部分からのバス権要求はリクエスト部に送られ、リクエスト部がホストコントローラバスマスタへのインタフェースを行います。

2. シリアルインタフェースエンジン (SIE)

SIEはUSBへのトランザクションをすべて管理します。バスプロトコル、パケット生成、抽出、パラレルからシリアルへのデータ変換、CRCコーディング、ビットスタッフ、NRZIエンコードを制御します。

USBのトランザクションは、すべてリストプロセッサとフレームマネージャが要求します。リストプロセッサは、USBデバイスとの通信を開始するのに必要な情報をすべて取得すると、正しいプロトコルとパケットフォーマットを生成するために必要なエンドポイント特有の制御情報をそえて、SIEに対し、通信パイプを確立するよう要求を発行します。データバッファは、データパケットのデータバスを用意し、転送するバイト数を制御します。

フレームマネージャは1msごとにSOFイベントを発生し、それに対しSIEがSOFトークンを生成します。優先順位が最高でディレイが許されないSOFを処理するためには、リストプロセッサの要求は無視されます。

3. ルートハブ (本LSIのサポートは1ポートのみ)

ルートハブは、個別に制御されるポートを集めたもので、全ポートに共通する機能にかかわる制御、状態を保持するハブです。ハブに対する一般的なコマンド要求のインタフェースはホストコントローラドライバ (HCD) でエミュレートされ、HCDが直接システムバス (PCI) を通して、ハブおよびポートの制御を行います。以下の項目では、ハブとポートを分けて、必要な役割を説明します。

ルートハブデスク립タレジスタであるHcRhDescriptorAとHcRhDescriptorBは、現在のインプリメンテーションに対して最小の変更で多様な構成を可能とするために用意した、リード/ライト可能なレジスタです。

ハブとポートは、HcRhStatusレジスタとHcRhPortStatusレジスタでその制御と状態の表示を行います。各ポートは、それぞれ専用のHcRhPortStatusレジスタを持っています。コマンド構成はこれらのレジスタで定義され、ソフトウェアはこれを用いてハブとポートを制御します。「35.3 レジスタの説明」で説明されたレジスタのビット位置に1を書き込むことによって、以下に示したコマンドが使用できます。コマンドの機能を以下に説明します。

- ハブ制御

HCの状態は、ハブの状態も反映します。たとえば、HCが中断状態 (USB_SUSPEND) であると、ルートハブも中断状態です。HCがUSB_RESUME状態であると、ハブは必要なバス信号を発生します。USB_RESET状態では、ルートハブをリセットします。以下に、ハブとバスに関する制御と状態について説明します。

- ポート制御

ポートは、バス状態の駆動、監視にかかわるすべての動作を行います。HCDは、レジスタコマンドインタフェースを通して、ポートの動作を制御します。

- クロック生成

USBインタフェースには48MHzのクロックが入力され、受信側の位相を同期させるために、4倍のデータ転送速度を可能にしています。このクロックは、USBにかかわるすべてのクロック (12MHz) に対する入力にもなっています。

- スタティックSOFクロック

USBシステムのホストとして、システムのフレームカウンタのカウンタ間隔は1msに保たれています。このため、静的な12MHzのクロックが必要です。これは、48MHzの内部クロックを分周して生成しています。このクロックは、HCがUSB_SUSPEND状態でないときに有効となります。

- データ速度制御クロック

SIEでは、送信クロックと受信クロックが12MHzで動くことが必要です。FSの送信中は、データ速度制御クロックは12MHzのスタティックSOFクロックと同じです。

データを受信する場合は、データ速度制御クロックは、送信側のクロックと一致する必要があります。位相同期回路と連携することで、データビットとデータクロックが1対1になるようにデータ速度制御クロックを調整します。これにより、データ送信側と同期を保つように、48MHzの内部クロック期間を定期的に調整することになります。パケット転送が完了すると、データ速度制御クロックは、上記の12MHzのスタティッククロックに戻ります。

35.5 外部回路との接続例

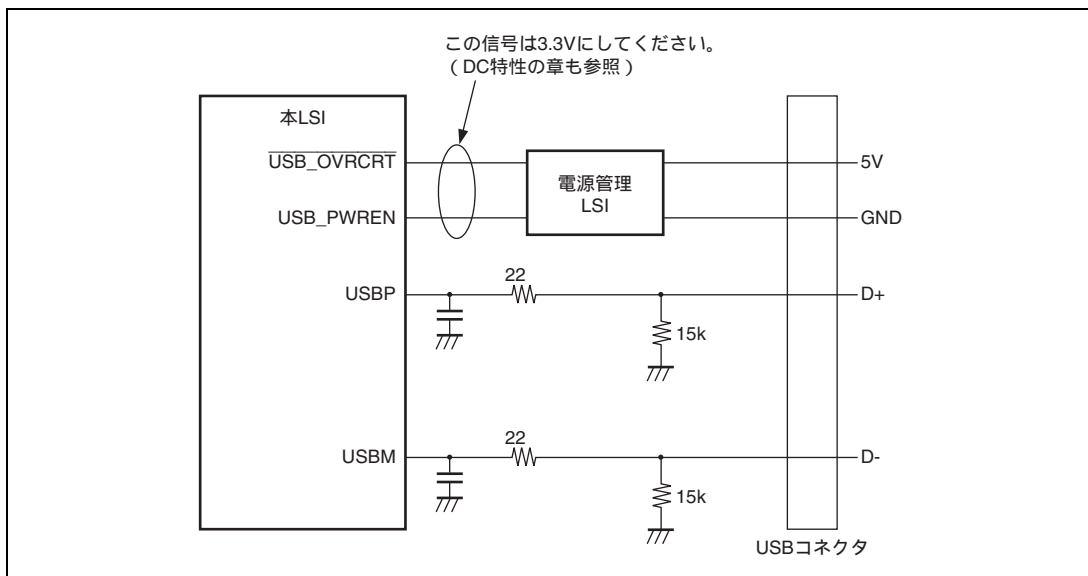


図 35.2 外部回路との接続例

35.6 使用上の注意事項

35.6.1 USB ホスト共有メモリエリアについて

USBH から LBSC へのデータアクセスサイズにおいて、LBSC でサポートしていない組み合わせがあります。そのため、共有メモリを SRAM エリア等のローカルバスエリアに設定した場合、USBH のメモリアクセスが停止する場合があります。

USBH の共有メモリエリアは DDR_SDRAM エリアに設定してください。

35.6.2 USB Bus Reset 発行について

USB デバイス接続認識時、HcControl レジスタの HCFS[1:0]ビットを使用して USB Reset を発行しないでください。USB Reset は、HcRhPortStatus レジスタの PRS ビット (Port Reset) を使用して発行してください。

36. USB ファンクションコントローラ (USBF)

本 LSI は、USB ファンクションコントローラ (USBF) を内蔵しています。

USB トランシーバは USB ホストコントローラ (USBH) と共用であり、どちらかを選択して使用します。

36.1 特長

- USB1.1サポートのUDC (USB Device Controller) を内蔵、USBプロトコルを自動処理。エンドポイント0に対するUSB標準コマンドを自動処理 (一部のコマンドとクラス/ベンダコマンドはファームウェアでデコードし、処理する必要があります)
- 転送スピード：フルスピード
- エンドポイントの構成：任意のエンドポイント構成が設定可能です。

エンドポイント (USB ホストが使用するエンドポイント番号) と本 USB ファンクションコントローラが提供する EP FIFO 番号 (転送方式、転送方向は固定) の対応を設定することで任意のエンドポイント構成が可能です。

EP FIFO 番号	名称	転送タイプ	最大パケットサイズ	FIFO バッファ容量 (バイト)	DMA 転送
エンドポイント 0	EP0s	セットアップ	8	8	-
	EP0i	コントロールイン	8	8	-
	EP0o	コントロールアウト	8	8	-
エンドポイント 1	EP1	バルクアウト	64	128	可能
エンドポイント 2	EP2	バルクイン	64	128	可能
エンドポイント 3	EP3	インタラプト	8	8	-
エンドポイント 4	EP4	アイソクロナスアウト	64	128	-
エンドポイント 5	EP5	アイソクロナスイン	64	128	-

- 割り込み要求：USB送受信に必要な各種割り込み信号を生成
- クロック：外部入力 (48MHz) を使用
- 低消費電力モード
USBケーブル切断時、UDC内部クロック停止による低消費電力化が可能
サスペンド状態へ自動遷移 / 自動復帰
- セルフパワーモードに対応

図 36.1 に USBF のブロック図を示します。

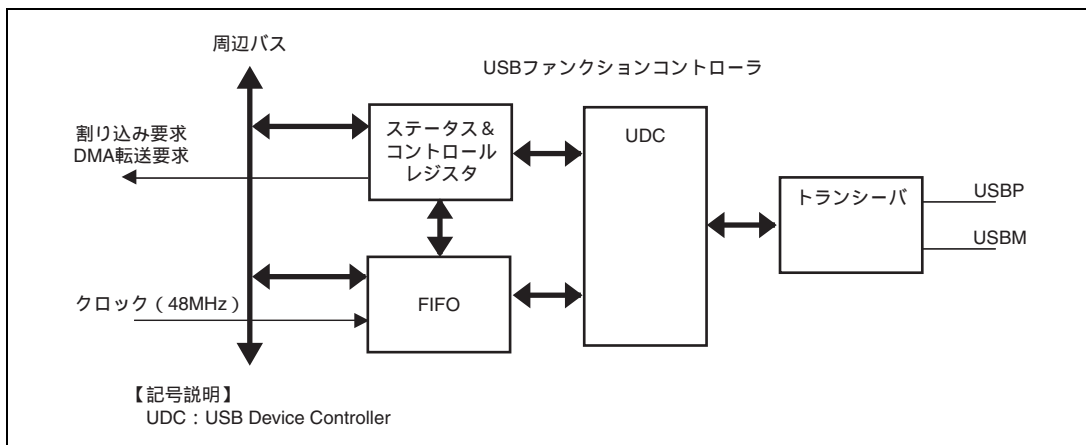


図 36.1 USBF のブロック図

36.2 入出力端子

USBF の端子構成を表 36.1 に示します。

表 36.1 端子構成

名称	端子名	入出力	機能
オーバカレント端子 / VBUS 端子	USB_OVRCRT / USBF_VBUS	入力	USB ポートオーバカレント検出 / USB ケーブル接続モニタ端子
クロック端子	USB_CLK	入力	USB 用クロック入力端子 (48MHz 入力) *
パワーイネーブル端子 / ブルアップ制御出力端子	USB_PWREN / USBF_UPLUP	出力	USB ポート電源投入許可制御 / ブルアップ制御出力端子
1P 端子	USBP	入出力	D +
1M 端子	USBM	入出力	D -

【注】 * Pck0 > USB_CLK の条件で使用してください。

36.3 レジスタの説明

USBF のレジスタ構成を、8 ビットアクセスの場合と 32 ビットアクセスの場合に分け表 36.2 に示します。また、各処理モードにおけるレジスタの状態を表 36.3 に示します。

表 36.2 (1) レジスタ構成 (アクセスサイズ=8 ビットの場合)

名 称	略称	P4 領域アドレス	エリア7アドレス	アクセスサイズ
割り込みフラグレジスタ 0	IFR0	H'FFEC 0001	H'1FEC 0001	8
割り込みフラグレジスタ 1	IFR1	H'FFEC 0005	H'1FEC 0005	8
割り込みフラグレジスタ 2	IFR2	H'FFEC 0009	H'1FEC 0009	8
割り込みフラグレジスタ 3	IFR3	H'FFEC 000D	H'1FEC 000D	8
割り込みイネーブルレジスタ 0	IER0	H'FFEC 0011	H'1FEC 0011	8
割り込みイネーブルレジスタ 1	IER1	H'FFEC 0015	H'1FEC 0015	8
割り込みイネーブルレジスタ 2	IER2	H'FFEC 0019	H'1FEC 0019	8
割り込みイネーブルレジスタ 3	IER3	H'FFEC 001D	H'1FEC 001D	8
割り込み選択レジスタ 0	ISR0	H'FFEC 0021	H'1FEC 0021	8
割り込み選択レジスタ 1	ISR1	H'FFEC 0025	H'1FEC 0025	8
割り込み選択レジスタ 2	ISR2	H'FFEC 0029	H'1FEC 0029	8
割り込み選択レジスタ 3	ISR3	H'FFEC 002D	H'1FEC 002D	8
EP0i データレジスタ	EPDR0i	H'FFEC 0031	H'1FEC 0031	8
EP0o データレジスタ	EPDR0o	H'FFEC 0035	H'1FEC 0035	8
EP0s データレジスタ	EPDR0s	H'FFEC 0039	H'1FEC 0039	8
EP1 データレジスタ	EPDR1	H'FFEC 0041	H'1FEC 0041	8
EP2 データレジスタ	EPDR2	H'FFEC 0051	H'1FEC 0051	8
EP3 データレジスタ	EPDR3	H'FFEC 0061	H'1FEC 0061	8
EP4 データレジスタ	EPDR4	H'FFEC 0071	H'1FEC 0071	8
EP5 データレジスタ	EPDR5	H'FFEC 0081	H'1FEC 0081	8
EP0o 受信データサイズレジスタ	EPSZ0o	H'FFEC 0091	H'1FEC 0091	8
EP1 受信データサイズレジスタ	EPSZ1	H'FFEC 0095	H'1FEC 0095	8
EP4 受信データサイズレジスタ	EPSZ4	H'FFEC 0099	H'1FEC 0099	8
データステータスレジスタ	DASTS	H'FFEC 009D	H'1FEC 009D	8
FIFO クリアレジスタ 0	FCLR0	H'FFEC 00A1	H'1FEC 00A1	8
FIFO クリアレジスタ 1	FCLR1	H'FFEC 00A5	H'1FEC 00A5	8
エンドポイントストールレジスタ 0	EPSTL0	H'FFEC 00A9	H'1FEC 00A9	8
エンドポイントストールレジスタ 1	EPSTL1	H'FFEC 00AD	H'1FEC 00AD	8
トリガレジスタ	TRG	H'FFEC 00B1	H'1FEC 00B1	8
DMA 転送設定レジスタ	DMA	H'FFEC 00B5	H'1FEC 00B5	8
コンフィグレーションバリュールレジスタ	CVR	H'FFEC 00B9	H'1FEC 00B9	8

名 称	略称	P4 領域アドレス	エリア7アドレス	アクセスサイズ
コントロールレジスタ 0	CTRL0	H'FFEC 00BD	H'1FEC 00BD	8
タイムスタンプレジスタ H	TSRH	H'FFEC 00C1	H'1FEC 00C1	8
タイムスタンプレジスタ L	TSRL	H'FFEC 00C5	H'1FEC 00C5	8
エンドポイント情報レジスタ	EPIR	H'FFEC 00C9	H'1FEC 00C9	8
割り込みフラグレジスタ 4	IFR4	H'FFEC 00D1	H'1FEC 00D1	8
割り込みイネーブルレジスタ 4	IER4	H'FFEC 00D5	H'1FEC 00D5	8
割り込み選択レジスタ 4	ISR4	H'FFEC 00D9	H'1FEC 00D9	8
コントロールレジスタ 1	CTRL1	H'FFEC 00DD	H'1FEC 00DD	8
タイマレジスタ H	TMRH	H'FFEC 00E1	H'1FEC 00E1	8
タイマレジスタ L	TMRL	H'FFEC 00E5	H'1FEC 00E5	8
セットタイムアウトレジスタ H	STOH	H'FFEC 00E9	H'1FEC 00E9	8
セットタイムアウトレジスタ L	STOL	H'FFEC 00ED	H'1FEC 00ED	8

表 36.2 (2) レジスタ構成 (アクセスサイズ=32 ビットの場合)

名 称	略称	P4 領域アドレス	エリア7アドレス	アクセスサイズ
割り込みフラグレジスタ 0	IFR0	H'FFEC 0000	H'1FEC 0000	32
割り込みフラグレジスタ 1	IFR1	H'FFEC 0004	H'1FEC 0004	32
割り込みフラグレジスタ 2	IFR2	H'FFEC 0008	H'1FEC 0008	32
割り込みフラグレジスタ 3	IFR3	H'FFEC 000C	H'1FEC 000C	32
割り込みイネーブルレジスタ 0	IER0	H'FFEC 0010	H'1FEC 0010	32
割り込みイネーブルレジスタ 1	IER1	H'FFEC 0014	H'1FEC 0014	32
割り込みイネーブルレジスタ 2	IER2	H'FFEC 0018	H'1FEC 0018	32
割り込みイネーブルレジスタ 3	IER3	H'FFEC 001C	H'1FEC 001C	32
割り込み選択レジスタ 0	ISR0	H'FFEC 0020	H'1FEC 0020	32
割り込み選択レジスタ 1	ISR1	H'FFEC 0024	H'1FEC 0024	32
割り込み選択レジスタ 2	ISR2	H'FFEC 0028	H'1FEC 0028	32
割り込み選択レジスタ 3	ISR3	H'FFEC 002C	H'1FEC 002C	32
EP0i データレジスタ	EPDR0i	H'FFEC 0030	H'1FEC 0030	32
EP0o データレジスタ	EPDR0o	H'FFEC 0034	H'1FEC 0034	32
EP0s データレジスタ	EPDR0s	H'FFEC 0038	H'1FEC 0038	32
EP1 データレジスタ	EPDR1	H'FFEC 0040	H'1FEC 0040	32
EP2 データレジスタ	EPDR2	H'FFEC 0050	H'1FEC 0050	32
EP3 データレジスタ	EPDR3	H'FFEC 0060	H'1FEC 0060	32
EP4 データレジスタ	EPDR4	H'FFEC 0070	H'1FEC 0070	32
EP5 データレジスタ	EPDR5	H'FFEC 0080	H'1FEC 0080	32
EP0o 受信データサイズレジスタ	EPSZ0o	H'FFEC 0090	H'1FEC 0090	32
EP1 受信データサイズレジスタ	EPSZ1	H'FFEC 0094	H'1FEC 0094	32

名 称	略称	P4 領域アドレス	エリア7アドレス	アクセスサイズ
EP4 受信データサイズレジスタ	EPSZ4	H'FFEC 0098	H'1FEC 0098	32
データステータスレジスタ	DASTS	H'FFEC 009C	H'1FEC 009C	32
FIFO クリアレジスタ 0	FCLR0	H'FFEC 00A0	H'1FEC 00A0	32
FIFO クリアレジスタ 1	FCLR1	H'FFEC 00A4	H'1FEC 00A4	32
エンドポイントストールレジスタ 0	EPSTL0	H'FFEC 00A8	H'1FEC 00A8	32
エンドポイントストールレジスタ 1	EPSTL1	H'FFEC 00AC	H'1FEC 00AC	32
トリガレジスタ	TRG	H'FFEC 00B0	H'1FEC 00B0	32
DMA 転送設定レジスタ	DMA	H'FFEC 00B4	H'1FEC 00B4	32
コンフィグレーションバリュージェジスタ	CVR	H'FFEC 00B8	H'1FEC 00B8	32
コントロールレジスタ 0	CTLR0	H'FFEC 00BC	H'1FEC 00BC	32
タイムスタンプレジスタ H	TSRH	H'FFEC 00C0	H'1FEC 00C0	32
タイムスタンプレジスタ L	TSRL	H'FFEC 00C4	H'1FEC 00C4	32
エンドポイント情報レジスタ	EPIR	H'FFEC 00C8	H'1FEC 00C8	32
割り込みフラグレジスタ 4	IFR4	H'FFEC 00D0	H'1FEC 00D0	32
割り込みイネーブルレジスタ 4	IER4	H'FFEC 00D4	H'1FEC 00D4	32
割り込み選択レジスタ 4	ISR4	H'FFEC 00D8	H'1FEC 00D8	32
コントロールレジスタ 1	CTLR1	H'FFEC 00DC	H'1FEC 00DC	32
タイマレジスタ H	TMRH	H'FFEC 00E0	H'1FEC 00E0	32
タイマレジスタ L	TMRL	H'FFEC 00E4	H'1FEC 00E4	32
セットタイムアウトレジスタ H	STOH	H'FFEC 00E8	H'1FEC 00E8	32
セットタイムアウトレジスタ L	STOL	H'FFEC 00EC	H'1FEC 00EC	32

表 36.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
割り込みフラグレジスタ 0	IFR0	H'xxxx xx10	H'xxxx xx10	保持	保持
割り込みフラグレジスタ 1	IFR1	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みフラグレジスタ 2	IFR2	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みフラグレジスタ 3	IFR3	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みイネーブルレジスタ 0	IER0	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みイネーブルレジスタ 1	IER1	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みイネーブルレジスタ 2	IER2	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みイネーブルレジスタ 3	IER3	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込み選択レジスタ 0	ISR0	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込み選択レジスタ 1	ISR1	H'xxxx xx03	H'xxxx xx03	保持	保持
割り込み選択レジスタ 2	ISR2	H'xxxx xx1F	H'xxxx xx1F	保持	保持
割り込み選択レジスタ 3	ISR3	H'xxxx xx00	H'xxxx xx00	保持	保持

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
EP0i データレジスタ	EPDR0i	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP0o データレジスタ	EPDR0o	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP0s データレジスタ	EPDR0s	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP1 データレジスタ	EPDR1	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP2 データレジスタ	EPDR2	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP3 データレジスタ	EPDR3	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP4 データレジスタ	EPDR4	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP5 データレジスタ	EPDR5	H'xxxx xxxx	H'xxxx xxxx	保持	保持
EP0o 受信データサイズレジスタ	EPSZ0o	H'xxxx xx00	H'xxxx xx00	保持	保持
EP1 受信データサイズレジスタ	EPSZ1	H'xxxx xx00	H'xxxx xx00	保持	保持
EP4 受信データサイズレジスタ	EPSZ4	H'xxxx xx00	H'xxxx xx00	保持	保持
データステータスレジスタ	DASTS	H'xxxx xx00	H'xxxx xx00	保持	保持
FIFO クリアレジスタ 0	FCLR0	H'xxxx xx00	H'xxxx xx00	保持	保持
FIFO クリアレジスタ 1	FCLR1	H'xxxx xx00	H'xxxx xx00	保持	保持
エンドポイントストールレジスタ 0	EPSTL0	H'xxxx xx00	H'xxxx xx00	保持	保持
エンドポイントストールレジスタ 1	EPSTL1	H'xxxx xx00	H'xxxx xx00	保持	保持
トリガレジスタ	TRG	H'xxxx xx00	H'xxxx xx00	保持	保持
DMA 転送設定レジスタ	DMA	H'xxxx xx00	H'xxxx xx00	保持	保持
コンフィグレーションバリュ レジスタ	CVR	H'xxxx xx00	H'xxxx xx00	保持	保持
コントロールレジスタ 0	CTLR0	H'xxxx xx00	H'xxxx xx00	保持	保持
タイムスタンプレジスタ H	TSRH	H'xxxx xx00	H'xxxx xx00	保持	保持
タイムスタンプレジスタ L	TSRL	H'xxxx xx00	H'xxxx xx00	保持	保持
エンドポイント情報レジスタ	EPIR	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みフラグレジスタ 4	IFR4	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込みイネーブルレジスタ 4	IER4	H'xxxx xx00	H'xxxx xx00	保持	保持
割り込み選択レジスタ 4	ISR4	H'xxxx xx00	H'xxxx xx00	保持	保持
コントロールレジスタ 1	CTLR1	H'xxxx xx00	H'xxxx xx00	保持	保持
タイマレジスタ H	TMRH	H'xxxx xx00	H'xxxx xx00	保持	保持
タイマレジスタ L	TMRL	H'xxxx xx00	H'xxxx xx00	保持	保持
セットタイムアウトレジスタ H	STOH	H'xxxx xx00	H'xxxx xx00	保持	保持
セットタイムアウトレジスタ L	STOL	H'xxxx xx00	H'xxxx xx00	保持	保持

36.3.1 割り込みフラグレジスタ 0 (IFR0)

EP0i、EP0o、EP1、EP2、バスリセット、セットアップコマンド受信の割り込みフラグレジスタです。各フラグが 1 セットされ、IER0 の対応するビットで割り込みが許可されていれば、ISR0 の対応ビットにより割り当てられた割り込み要求 (USBFI0、USBFI1) が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。そのため、割り込み要因をクリアするビットのみを 0 とし、その他のビットを 1 として書き込みを行ってください。また C 言語ビットフィールド宣言によるクリアは行わないでください。

ただし、EP2 EMPTY ステータスと EP1 FULL ステータスは EP1、EP2 の FIFO 状態を示すステータスビットです。したがってクリアはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BRST	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP00 TS	EP0I TR	EP0I TS
初期値:	—	—	—	—	—	—	—	—	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7	BRST	0	R/W	バスリセット [セット条件] USB バス上でバスリセット信号を検出したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
6	EP1 FULL	0	R	EP1 (バルクアウト) FIFO フル [セット条件] EP1 の FIFO は 2 面構成になっており、1 面以上の FIFO が一杯のとき [クリア条件] (1) リセット時 (2) 2 面とも空になったとき 【注】ステータスビットのためクリアはできません。
5	EP2 TR	0	R/W	EP2 (バルクイン) 転送リクエスト [セット条件] EP2 にホストから IN トークンが発行され、2 面とも FIFO が空のとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
4	EP2 EMPTY	1	R	EP2 (バルクイン) FIFO エンプティ [セット条件] (1) リセット時 (2) EP2 の FIFO は 2 面構成になっており、1 面以上の FIFO が空のとき [クリア条件] EP2 の FIFO が 2 面とも一杯のとき 【注】ステータスビットのためクリアはできません。
3	SETUP TS	0	R/W	セットアップコマンド受信完了 [セット条件] ファンクションでコマンドデコードを行う 8 バイトのデータが、ホストから EP0s に正常に受信され、ファンクションからホストに ACK ハンドシェイクを返したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
2	EP0o TS	0	R/W	EP0o 受信完了 [セット条件] ホストから EP0o に正常にデータが受信され、ファンクションからホストに ACK ハンドシェイクを返したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
1	EP0i TR	0	R/W	EP0i 転送リクエスト [セット条件] EP0i にホストから IN トークンが発行され、FIFO が空のとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
0	EP0i TS	0	R/W	EP0i 送信完了 [セット条件] EP0i にホストに送信するデータをライトした後、ファンクションからホストに正常にデータが送信され、ACK ハンドシェイクが返ってきたとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

36.3.2 割り込みフラグレジスタ 1 (IFR1)

VBUS、EP3 割り込みフラグレジスタです。各フラグが 1 セットされ、IER1 の対応するビットで割り込みが許可されていれば ISR1 の対応ビットにより割り当てられた割り込み要求 (USBFI0、USBFI1) が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。そのため、割り込み要因をクリアするビットのみを 0 とし、その他のビットを 1 として書き込みを行ってください。また、C 言語ビットフィールド宣言によるクリアは行わないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	VBUS MN	EP3 TR	EP3 TS	VBUSF
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	VBUS MN	0	R	USB 接続ステータス USBF_VBUS 端子の状態をモニタするステータスビットです。 USBF_VBUS 端子状態を反映します。 0: 切断状態 1: 接続状態
2	EP3 TR	0	R/W	EP3 (インタラプト) 転送リクエスト [セット条件] EP3 にホストから IN トークンが発行され、FIFO が空のとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
1	EP3 TS	0	R/W	EP3 (インタラプト) 送信完了 [セット条件] EP3 にホストに送信するデータをライトした後、ファンクションからホストに正常にデータが送信され、ACK ハンドシェイクが返ってきたとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
0	VBUSF	0	R/W	USB 切断検出 接続 / 切断の検出には、本モジュールの USBF_VBUS 端子を使用します。 [セット条件] ファンクションが USB バスに接続されたとき、および切断されたとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

36.3.3 割り込みフラグレジスタ 2 (IFR2)

SURSS、SURSF、CFDN、SOF、SETC、SETI 割り込みフラグレジスタです。各フラグが 1 セットされ、IER2 の対応するビットで割り込みが許可されていれば ISR2 の対応ビットにより割り当てられた割り込み要求 (USBFI0、USBFI1) が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。そのため、割り込み要因をクリアするビットのみを 0 とし、その他のビットを 1 として書き込みを行ってください。また、C 言語ビットフィールド宣言によるクリアは行わないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	SURSS	SURSF	CFDN	SOF	SETC	SETI
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SURSS	0	R	Suspend/Resume ステータス バスの状態を示すステータスビットです。 0 : 通常状態 1 : サスペンド状態
4	SURSF	0	R/W	Suspend/Resume 検出 [セット条件] バスが通常状態からサスペンド状態、またはサスペンド状態から通常状態に遷移したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
3	CFDN	0	R/W	<p>エンドポイント情報ロード終了</p> <p>[セット条件]</p> <p>EPIR レジスタにライトしたエンドポイント情報レジスタのデータが本モジュール内で設定完了 (ロード終了) されたとき</p> <p>【注】本モジュールは、エンドポイント情報が設定完了した後、USB として正常に動作可能となります。</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
2	SOF	0	R/W	<p>SOF パケット</p> <p>[セット条件]</p> <p>SOF パケットを検出したとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
1	SETC	0	R/W	<p>Set Configuration コマンド検出</p> <p>[セット条件]</p> <p>有効な Set Configuration コマンドを検出したとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
0	SETI	0	R/W	<p>Set Interface コマンド検出</p> <p>[セット条件]</p> <p>有効な Set Interface コマンド検出をしたとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>

36.3.4 割り込みフラグレジスタ 3 (IFR3)

EP4 TS、EP4 TF、EP5 TS、EP5 TR 割り込みフラグレジスタです。各フラグが 1 セットされ、IER3 の対応するビットで割り込みが許可されていれば ISR3 の対応ビットにより割り当てられた割り込み要求 (USBFI0、USBFI1) が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。そのため、割り込み要因をクリアするビットのみを 0 とし、その他のビットを 1 として書き込みを行ってください。また、C 言語ビットフィールド宣言によるクリアは行わないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	EP5 TR	EP5 TS	EP4 TF	EP4 TS
初期値:	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP5 TR	0	R/W	EP5 (アイソクロナスイン) 送信リクエスト EP5 の FIFO 状態を示すフラグです。SOF パケット受信後、自動的に FIFO の面が切り替わります。この時点でマイコンがライト可能な FIFO 面は、1 つ前のフレームでホストにデータ送信を行った面です。本ビットでは、この 1 つ前の送信状態を示します。 [セット条件] EP5 にホストから IN トークンが発行されたとき、送信される FIFO が空であったとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
2	EP5 TS	0	R/W	EP5 (アイソクロナスイン) 正常送信 EP5 の FIFO 状態を示すフラグです。SOF パケット受信後、自動的に FIFO の面が切り替わります。この時点でマイコンがライト可能な FIFO 面は、1 つ前のフレームでホストにデータ送信を行った面です。本ビットでは、この 1 つ前の送信状態を示します。 [セット条件] 1 つ前の送信が正常に行われたとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

ビット	ビット名	初期値	R/W	説 明
1	EP4 TF	0	R/W	<p>EP4 (アイソクロナスアウト) 異常受信</p> <p>EP4 の FIFO 状態を示すフラグです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。</p> <p>[セット条件]</p> <p>ホストからの転送データが EP4 で異常受信 (パケットエラー) したとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
0	EP4 TS	0	R/W	<p>EP4 (アイソクロナスアウト) 正常受信</p> <p>EP4 の FIFO 状態を示すフラグです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。</p> <p>[セット条件]</p> <p>ホストからの転送データが EP4 で正常受信したとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>

36.3.5 割り込みフラグレジスタ 4 (IFR4)

TMOUT 割り込みフラグレジスタです。フラグが 1 セットされ、IER4 の対応するビットで割り込みが許可されていれば ISR4 の対応ビットにより割り当てられた割り込み要求 (USBFI0、USBFI1) が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。そのため、割り込み要因をクリアするビットのみを 0 とし、その他のビットを 1 として書き込みを行ってください。また、C 言語ビットフィールド宣言によるクリアは行わないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMOUT
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TMOUT	0	R/W	タイムアウト [セット条件] TMR (タイマレジスタ) 値が STO (セットタイムアウトレジスタ) 値に到達したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

36.3.6 割り込み選択レジスタ 0 (ISR0)

割り込みフラグレジスタ 0 の各割り込み要求の INTC への出力を設定します。対応するビットに 0 をセットすると USBFI0 割り込み要求が出力され、1 をセットすると USBFI1 割り込み要求が出力されます。

初期値では、割り込みフラグレジスタ 0 の各割り込み要因は USBFI0 割り込み要求として出力されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BRST IS	EP1 FULL IS	EP2 TR IS	EP2 EMPTY IS	SETUP TS IS	EP0o TS IS	EP0i TR IS	EP0i TS IS
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7	BRST IS	0	R/W	BRST 割り込み選択
6	EP1 FULL IS	0	R/W	EP1 FULL 割り込み選択
5	EP2 TR IS	0	R/W	EP2 TR 割り込み選択
4	EP2 EMPTY IS	0	R/W	EP2 EMPTY 割り込み選択
3	SETUP TS IS	0	R/W	SETUP 割り込み選択
2	EP0o TS IS	0	R/W	EP0o TS 割り込み選択
1	EP0i TR IS	0	R/W	EP0i TR 割り込み選択
0	EP0i TS IS	0	R/W	EP0i TS 割り込み選択

36.3.7 割り込み選択レジスタ 1 (ISR1)

割り込みフラグレジスタ 1 の各割り込み要求の INTC への出力を設定します。対応するビットに 0 をセットすると USBFI0 割り込み要求が出力され、1 をセットすると USBFI1 割り込み要求が出力されます。

初期値では、割り込みフラグレジスタ 1 の各割り込み要因は USBFI1 割り込み要求として出力されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
														EP3 TR IS	EP3 TS IS	VBUSF IS	
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	EP3 TR IS	1	R/W	EP3 TR 割り込み選択
1	EP3 TS IS	1	R/W	EP3 TS 割り込み選択
0	VBUSF IS	1	R/W	VBUSF 割り込み選択

36.3.8 割り込み選択レジスタ 2 (ISR2)

割り込みフラグレジスタ 2 の各割り込み要求の INTC への出力を設定します。対応するビットに 0 をセットすると USBFI0 割り込み要求が出力され、1 をセットすると USBFI1 割り込み要求が出力されます。

初期値では、割り込みフラグレジスタ 2 の各割り込み要因は USBFI1 割り込み要求として出力されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SURSE IS	CFDN IS	SOFE IS	SETC IS	SETIE IS
初期値:	—	—	—	—	—	—	—	—	0	0	0	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SURSE IS	1	R/W	SURSE 割り込み選択
3	CFDN IS	1	R/W	CFDN 割り込み選択
2	SOFE IS	1	R/W	SOFE 割り込み選択
1	SETC IS	1	R/W	SETCE 割り込み選択
0	SETIE IS	1	R/W	SETIE 割り込み選択

36.3.9 割り込み選択レジスタ 3 (ISR3)

割り込みフラグレジスタ 3 の各割り込み要求の INTC への出力を設定します。対応するビットに 0 をセットすると USBFI0 割り込み要求が出力され、1 をセットすると USBFI1 割り込み要求が出力されます。

初期値では、割り込みフラグレジスタ 3 の各割り込み要因は USBFI0 割り込み要求として出力されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	EP5 TR IS	EP5 TS IS	EP4 TF IS	EP4 TS IS
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP5 TR IS	0	R/W	EP5 TR 割り込み選択
2	EP5 TS IS	0	R/W	EP5 TS 割り込み選択
1	EP4 TF IS	0	R/W	EP4 TF 割り込み選択
0	EP4 TS IS	0	R/W	EP4 TS 割り込み選択

36.3.10 割り込み選択レジスタ 4 (ISR4)

割り込みフラグレジスタ 4 の各割り込み要求の INTC への出力を設定します。対応するビットに 0 をセットすると USBFI0 割り込み要求が出力され、1 をセットすると USBFI1 割り込み要求が出力されます。

初期値では、割り込みフラグレジスタ 4 の各割り込み要因は USBFI0 割り込み要求として出力されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMOUT IS
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TMOUT IS	0	R/W	TMOUT 割り込み選択

36.3.11 割り込みイネーブルレジスタ 0 (IER0)

割り込みフラグレジスタ 0 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 0 で設定された USBFI_n 割り込み要求が発行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BRST IE	EP1 FULL IE	EP2 TR IE	EP2 EMPTY IE	SETUP TS IE	EP0 _o TS IE	EP0 _i TR IE	EP0 _i TS IE
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7	BRST IE	0	R/W	BRST 割り込みイネーブル
6	EP1 FULL IE	0	R/W	EP1 FULL 割り込みイネーブル

ビット	ビット名	初期値	R/W	説 明
5	EP2 TR IE	0	R/W	EP2 TR 割り込みイネーブル
4	EP2 EMPTY IE	0	R/W	EP2 EMPTY 割り込みイネーブル
3	SETUP TS IE	0	R/W	SETUP TS 割り込みイネーブル
2	EP0o TS IE	0	R/W	EP0o TS 割り込みイネーブル
1	EP0i TR IE	0	R/W	EP0i TR 割り込みイネーブル
0	EP0i TS IE	0	R/W	EP0i TS 割り込みイネーブル

36.3.12 割り込みイネーブルレジスタ 1 (IER1)

割り込みフラグレジスタ 1 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 1 で設定された USBFin 割り込み要求が発行されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
														EP3 TR IE	EP3 TS IE	VBUSF IE
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	EP3 TR IE	0	R/W	EP3 TR 割り込みイネーブル
1	EP3 TS IE	0	R/W	EP3 TS 割り込みイネーブル
0	VBUSF IE	0	R/W	VBUSF 割り込みイネーブル

36.3.13 割り込みイネーブルレジスタ 2 (IER2)

割り込みフラグレジスタ 2 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 2 で設定された USBFIn 割り込み要求が発行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SURSE	CFDN	SOFE	SETCE	SETIE
												IE	IE	IE	IE	IE
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SURSE IE	0	R/W	SURSE 割り込みイネーブル
3	CFDN IE	0	R/W	CFDN 割り込みイネーブル
2	SOFE IE	0	R/W	SOFE 割り込みイネーブル
1	SETCE IE	0	R/W	SETCE 割り込みイネーブル
0	SETIE IE	0	R/W	SETIE 割り込みイネーブル

36.3.14 割り込みイネーブルレジスタ 3 (IER3)

割り込みフラグレジスタ 3 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 3 で設定された USBF_{In} 割り込み要求が発行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	EP5 TR IE	EP5 TS IE	EP4 TF IE	EP4 TS IE
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP5 TR IE	0	R/W	EP5 TR 割り込みイネーブル
2	EP5 TS IE	0	R/W	EP5 TS 割り込みイネーブル
1	EP4 TF IE	0	R/W	EP4 TF 割り込みイネーブル
0	EP4 TS IE	0	R/W	EP4 TS 割り込みイネーブル

36.3.15 割り込みイネーブルレジスタ 4 (IER4)

割り込みフラグレジスタ 4 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 4 で設定された USBF_n 要求が発行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMOUT IE
初期値:	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TMOUT IE	0	R/W	TMOUT 割り込みイネーブル

36.3.16 EP0i データレジスタ (EPDR0i)

エンドポイント 0 の送信用 8 バイト FIFO バッファです。コントロールインに対するパケット分の送信データを保存します。1 パケット分のデータを書き込み、トリガレジスタの EP0iPKTE をセットすることで送信データが確定します。データを送信した後、ホストから ACK ハンドシェイクが返ってくると、割り込みフラグレジスタ 0 の EP0iTS がセットされます。この FIFO バッファは FCLR0 レジスタの EP0iCLR により初期化することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
7~0	D[7:0]	不定	W	コントロールイン転送用のデータレジスタ

36.3.17 EP0o データレジスタ (EPDR0o)

エンドポイント 0 の受信用 8 バイト FIFO バッファです。セットアップコマンドを除くエンドポイント 0 の受信データが格納されます。データを正常に受信すると、割り込みフラグレジスタ 0 の EP0oTS がセットされ、受信バイト数が EP0o 受信データサイズレジスタに表示されます。データを読み出した後、トリガレジスタの EP0oRDFN をセットすることで、次のパケットを受信可能となります。この FIFO バッファは FCLR0 レジスタの EP0oCLR により初期化することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~0	D[7:0]	不定	R	コントロールアウト転送用のデータレジスタ

36.3.18 EP0s データレジスタ (EPDR0s)

エンドポイント0のセットアップコマンド専用のデータレジスタです。セットアップステージで送られた8バイトのコマンドデータが格納されます。ただし、マイコン(ファームウェア)で処理するコマンドのみ受信します。本モジュールが自動処理するコマンドを受信した場合は格納されません。

セットアップコマンドは必ず受信する必要があるため、バッファ内にデータが残っている場合でも新しいデータによって上書きされます。つまり、コマンドを読み出している間に次のコマンドの受信が開始された場合、受信が優先となり読み出したデータは無効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7~0	D[7:0]	不定	R	コントロールアウト転送時のセットアップコマンドが格納されるレジスタ

【注】 EPDR0s レジスタは必ずロングワードまたはバイトで連続8回リードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

36.3.19 EP1 データレジスタ (EPDR1)

エンドポイント 1 の受信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。受信バイト数は EP1 受信データサイズレジスタに表示されます。データを読み出した後、トリガレジスタの EP1RDFN に 1 を書き込むことで、読み出した面のバッファが再受信可能になります。この FIFO バッファの受信データは DMA 転送が可能です。この FIFO バッファは FCLR0 レジスタの EP1CLR により初期化することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—							
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~0	D[7:0]	不定	R	エンドポイント 1 転送用のデータレジスタ

36.3.20 EP2 データレジスタ (EPDR2)

エンドポイント 2 の送信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、トリガレジスタの EP2PKTE をセットすることで 1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送が可能です。この FIFO バッファは FCLR0 レジスタの EP2CLR により初期化することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~0	D[7:0]	不定	W	エンドポイント 2 転送用のデータレジスタ

36.3.21 EP3 データレジスタ (EPDR3)

エンドポイント3の送信用8バイトFIFOバッファです。エンドポイント3のインタラプト転送における1パケット分の送信データを保持します。1パケット分のデータを書き込み、トリガレジスタのEP3PKTEをセットすることで送信データが確定します。1パケット分のデータを正常に送信し、ホストからACKハンドシェイクを受信すると割り込みフラグレジスタ1のEP3TSがセットされます。このFIFOバッファはFCLR0レジスタのEP3CLRにより初期化することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値:	—	—	—	—	—	—	—	—	—							
R/W:	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7~0	D[7:0]	不定	W	エンドポイント3転送用のデータレジスタ

36.3.22 EP4 データレジスタ (EPDR4)

エンドポイント4の受信用128バイトFIFOバッファです。最大パケットサイズの2倍の容量を持っていて、2面構成になっています。受信バイト数はEP4受信データサイズレジスタに表示されます。SOFパケットを受信したときに受信データが確定されます。したがって、受信データは次のSOFパケット受信までに必ずすべてリードしてください。次のSOFパケットを受信すると、自動的にFIFOの面が切り替わり、1つ前のデータはリードできなくなります。このFIFOバッファはFCLR1レジスタのEP4CLRにより初期化することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値:	—	—	—	—	—	—	—	—	—							
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。
7~0	D[7:0]	不定	R	エンドポイント4転送用のデータレジスタ

36.3.23 EP5 データレジスタ (EPDR5)

エンドポイント 5 の送信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データをんだあと、SOF パケットを受信することで、1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファは FCLR1 レジスタの EP5CLR、EP5CCLR により初期化することができます。(EP5CLR は 2 面とも初期化、EP5CCLR は CPU 側に接続されている面のみ初期化を行います。)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 書き込む値は常に 0 にしてください。
7~0	D[7:0]	不定	W	エンドポイント 5 転送用のデータレジスタ

36.3.24 EP0o 受信データサイズレジスタ (EPSZ0o)

エンドポイント 0o の受信データサイズレジスタです。ホストから受信したバイト数を示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EP0oC[7:0]							
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。
7~0	EP0oC [7:0]	すべて 0	R	エンドポイント 0 の受信バイト数

36.3.25 EP1 受信データサイズレジスタ (EPSZ1)

エンドポイント1の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント1のFIFOは2面構成になっています。本レジスタに示される受信データサイズは、現在選択されている(CPUで読み出せる)面のサイズです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EP1C[7:0]							
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。
7~0	EP1C [7:0]	すべて0	R	エンドポイント1の受信バイト数

36.3.26 EP4 受信データサイズレジスタ (EPSZ4)

エンドポイント4の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント4のFIFOは2面構成になっています。本レジスタに示される受信データサイズは、現在選択されている(CPUで読み出せる)面のサイズです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EP4C[7:0]							
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。
7~0	EP4C [7:0]	すべて0	R	エンドポイント4の受信バイト数

36.3.27 トリガレジスタ (TRG)

EP0s、EP0i、EP0o、EP1、EP2、EP3 の各エンドポイントの FIFO に対するトリガを与えるワンショットレジスタです。与えるトリガは IN FIFO レジスタに対するパケットイネーブルと OUT FIFO レジスタに対する読み出し完了トリガです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	EP3 PKTE	EP1 RDFN	EP2 PKTE	—	EP0s RDFN	EP0o RDFN	EP0i PKTE
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 書き込む値は常に0にしてください。
7	-	0	W	リザーブビット 書き込む値は常に0にしてください。
6	EP3 PKTE	0	W	EP3 パケットイネーブル
5	EP1 RDFN	0	W	EP1 読み出し完了
4	EP2 PKTE	0	W	EP2 パケットイネーブル
3	-	0	W	リザーブビット 書き込む値は常に0にしてください。
2	EP0s RDFN	0	W	EP0s 読み出し完了
1	EP0o RDFN	0	W	EP0o 読み出し完了
0	EP0i PKTE	0	W	EP0i パケットイネーブル

36.3.28 データステータスレジスタ (DASTS)

送信用 FIFO データレジスタ内にデータがあるかどうかを示すレジスタです。送信用 FIFO に書き込んだデータが、TRG の PKTE へ 1 を書き込み有効になったとき 1 にセットされます。また、有効にしたデータがすべてホストに送信されたとき、0 にクリアされます。エンドポイント 2 の 2 面構成 FIFO の場合、2 面ともデータがなくなったとき 0 にクリアされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	EP3 DE	EP2 DE	—	—	—	EP0i DE
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
5	EP3 DE	0	R	EP3 データイネーブル
4	EP2 DE	0	R	EP2 データイネーブル
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	EP0i DE	0	R	EP0i データイネーブル

36.3.29 FIFO クリアレジスタ 0 (FCLR0)

エンドポイント 0~3 の FIFO をクリアするワンショットレジスタです。各ビットに 1 書き込みをすることで、対応する FIFO 内のデータをクリアすることができます。

送信用 FIFO の場合、FIFO にデータを書き込み TRG の PKTE に 1 書き込みしていないデータ、および 1 書き込みによって有効になったデータをクリアすることができます。受信用 FIFO の場合、受信が完了したデータをクリアすることができます。

EP1、EP2 の 2 面構成 FIFO は 2 面ともクリアされます。

また、このクリア指示によって、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	EP3 CLR	EP1 CLR	EP2 CLR	—	—	EP0o CLR	EP0i CLR
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~7	-	不定	R	リザーブビット 書き込む値は常に 0 にしてください。
6	EP3 CLR	不定	W	EP3 クリア
5	EP1 CLR	不定	W	EP1 クリア
4	EP2 CLR	不定	W	EP2 クリア
3、2	-	不定	W	リザーブビット 書き込む値は常に 0 にしてください。
1	EP0o CLR	不定	W	EP0o クリア
0	EP0i CLR	不定	W	EP0i クリア

36.3.30 FIFO クリアレジスタ 1 (FCLR1)

エンドポイント 4~5 の FIFO をクリアするワンショットレジスタです。各ビットに 1 書き込みをすることで、対応する FIFO 内のデータをクリアすることができます。

また、このクリア指示によって、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	EP5 CCLR	—	—	EP5 CLR	EP4 CLR
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~5	-	不定	W	リザーブビット 書き込む値は常に 0 にしてください。
4	EP5 CCLR	不定	W	EP5 CPU 面クリア
3、2	-	不定	W	リザーブビット 書き込む値は常に 0 にしてください。
1	EP5 CLR	不定	W	EP5 両面クリア
0	EP4 CLR	不定	W	EP4 両面クリア

36.3.31 DMA 転送設定レジスタ (DMA)

DMA 転送可能なエンドポイント 1、2 のデータレジスタに対して内蔵 DMAC のデュアルアドレス転送を使用する場合に設定します。また、ビット 2 により USB_pwr_en/USBF_UPLUP 端子のレベルを制御することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PULLUP E	EP2 DMAE	EP1 DMAE
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
2	PULLUP E	0	R/W	プルアップイネーブル USB ホスト / ハブへの接続通知の制御用ビットです。 0 : USB_pwr_en/USBF_UPLUP 端子はローレベル 1 : USB_pwr_en/USBF_UPLUP 端子はハイレベル
1	EP2 DMAE	0	R/W	EP2DMA 許可 EP2 に対する DMA 転送を許可します。
0	EP1 DMAE	0	R/W	EP1DMA 許可 EP1 に対する DMA 転送を許可します。

36.3.32 エンドポイントストールレジスタ 0 (EPSTL0)

各エンドポイントをストールさせるレジスタです。ストールビットに 1 がセットされたエンドポイントは 1 を書き込んだ次の転送からホストに対してストールハンドシェイクを返します。

エンドポイント 0 に対するストールビットは、ファンクションでコマンドデコードを行う 8 バイトのデータ受信時に自動的に解除され、EP0 STL ビットはクリアされます。また、IFR0 レジスタの SETUP TS フラグビットが 1 セットされている場合、EP0 STL ビットへの 1 書き込みは無視されます。詳細動作は「36.8 ストール動作」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	EP3 STL	EP2 STL	EP1 STL	EP0 STL
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP3 STL	0	R/W	EP3 ストール EP3 ストールを設定します。
2	EP2 STL	0	R/W	EP2 ストール EP2 ストールを設定します。
1	EP1 STL	0	R/W	EP1 ストール EP1 ストールを設定します。
0	EP0 STL	0	R/W	EP0 ストール EP0 ストールを設定します。

36.3.33 エンドポイントストールレジスタ 1 (EPSTL1)

各エンドポイントをストールさせるレジスタです。ストールビットに 1 がセットされたエンドポイントは 1 を書き込んだ次の転送からホストに対してストールハンドシェイクを返します。

詳細動作は「36.8 ストール動作」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EP5 STL	EP4 STL
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	EP5 STL	0	R/W	EP5 ストール EP5 ストールを設定します。
0	EP4 STL	0	R/W	EP4 ストール EP4 ストールを設定します。

36.3.34 コンフィグレーションバリュレジスタ (CVR)

ホストから「Set Configuration/Set Interface」コマンドを正常に受信したとき、セットされる

「Configuration/Interface/Alternate」値が格納されるレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CNFV[1:0]		INTV[1:0]		—	ALTV[2:0]		
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7、6	CNFV[1:0]	すべて0	R	コンフィグレーション値 Set Configuration コマンドを受け取ったときのコンフィグレーション設定値が格納されます。 CNFV の更新は割り込みフラグレジスタの SETC = 1 セット時です。
5、4	INTV[1:0]	すべて0	R	インタフェース値 Set Interface コマンドを受け取ったときのインタフェース設定値が格納されます。 INTV の更新は割り込みフラグレジスタの SETI = 1 セット時です。
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。
2~0	ALTV[2:0]	すべて0	R	オルタネート値 Set Interface コマンドを受け取ったときのオルタネート設定値が格納されます。 ALTV の更新は割り込みフラグレジスタの SETI = 1 セット時です。

36.3.35 タイムスタンプレジスタ (TSRH/TSRL)

現在のタイムスタンプ値が格納されるレジスタです。タイムスタンプの更新は IFR0 レジスタの SOF ビットに 1 がセットされたときです。

SOF マーカ機能を有効にしたとき、および SOF パケットが破損した場合のタイムスタンプは前回と同じ値になります。

タイムスタンプレジスタは、TSRH の TSR[10:8] ビットと、TSRL の TSR[7:0] が、TSR[10:0] として USBF 内部で 11 ビットレジスタとして扱われています。そのため、TSRH は直接リードできますが、TSRL は 8 ビットのテンポラリレジスタを介してリードされます。したがって必ず TSRH、TSRL の順番にバイトサイズでリードしてください。TSRL のみのリードはできません。

- TSRH

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
																TSR[10:8]
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
2~0	TSR[10:8]	すべて 0	R	タイムスタンプデータの上位 3 ビット

- TSRL

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TSR[7:0]							
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。
7~0	TSR[7:0]	すべて0	R	タイムスタンプデータの低位8ビット

36.3.36 コントロールレジスタ 0 (CTRL0)

ASCE、PWMD、RSME、RWUP の各機能設定を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RWUPS	RSME	PWMD	ASCE	—
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RWUPS	0	R	リモートウェイクアップステータス ホストからのリモートウェイクアップの禁止/許可を示すステータスビットです。Set Feature/Clear Feature リクエストによる Device Remote Wakeup でホストからのリモートウェイクアップが禁止されている場合0を示し、許可されると1を示します。
3	RSME	0	R/W	レジュームイネーブル サスペンド状態を解除(リモートウェイクアップを実行)するビットです。1を書き込むとレジューム要求が発行されます。使用する場合は、最低12MHzで1クロック以上1を保持し再び0にクリアしてください。
2	PWMD	0	R/W	パワーモード USBFのパワーモードを設定します。 0: セルフパワーモードで使用 1: バスパワーモードで使用
1	ASCE	0	R/W	自動ストールクリアイネーブル 本ビットに1を設定すると、ストールハンドシェイクをホストに返信した後、返信したエンドポイントのストール設定ビット (EPSTLR/EPxSTL) を自動的にクリアします。全エンドポイント共通なのでエンドポイントごとの制御はできません。0を設定した場合、各エンドポイントのストール設定ビットのクリアはソフトで行ってください。 1に設定する場合はEPSTL レジスタの各ストールビットに1をセットする前に行ってください。
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

36.3.37 コントロールレジスタ 1 (CTRL1)

アイソクロナス転送で使用する内蔵タイマの設定を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMR ACLR	TMR EN
初期値:	—	—	—	—	—	—	—	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TMR ACLR	1	R/W	タイマオートクリア TMR (タイマレジスタ) のクリア方法を選択します。 0: クリアは行いません。クリアしたい場合はCPUでTMRに0をライトしてください。 1: SOFを受信するごとに自動でTMRのクリアを行います。
0	TMR EN	0	R/W	タイマイネーブル TMR (タイマレジスタ) のイネーブルビットです。 0: タイマ動作禁止 1: タイマ動作開始

36.3.38 エンドポイント情報レジスタ (EPIR)

各エンドポイントの構成情報を設定するレジスタです。これらの情報は1エンドポイントに対して5バイト必要で表 36.3、表 36.4 に示すフォーマットになっています。データライトはエンドポイント0から順に行ってください。また、5 (バイト) × 10 (エンドポイント) = 50 バイト以上書き込まないでください。本情報は、パワーオンリセット時に1回書き込んでください。それ以降は書き込まないでください。

以下に1エンドポイント分のライトデータを説明します。本レジスタは同一アドレスに順番に書き込むため、レジスタは1つですが説明上登録番号 N (N は 0~9) 用のライトデータを EPIR_{N0} ~ EPIR_{N4} (EPIR[登録番号][ライト順序]) と表記します。ライトは EPIR₀₀ から順番に行ってください。

- EPIR_{N0}

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:4]			D[3:2]		D[1:0]		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	W	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7~4	D[7:4]	不定	W	エンドポイント番号 【設定可能範囲】0~5
3、2	D[3:2]	不定	W	エンドポイントが属する Configuration 番号 【設定可能範囲】0 or 1
1、0	D[1:0]	不定	W	エンドポイントが属する Interface 番号 【設定可能範囲】0~3

• EPIRN1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:6]		D[5:4]		D3	D[2:0]		
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	W	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7、6	D[7:6]	不定	W	エンドポイントが属する Alternate 番号 【設定可能範囲】 0 or 1
5、4	D[5:4]	不定	W	エンドポイントの転送方式 【設定可能範囲】 0 : コントロール 1 : アイソクロナス 2 : バルク 3 : インタラプト
3	D3	不定	W	エンドポイントの転送方式 【設定可能範囲】 0 : OUT 1 : IN
2~0	D[2:0]	不定	W	リザーブビット 書き込む値は常に0にしてください。

• EPIRN2

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:1]							D0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 書き込む値は常に0にしてください。
7~1	D[7:1]	不定	W	エンドポイントの最大パケットサイズ 【設定可能範囲】0~64
0	D0	不定	W	リザーブビット 書き込む値は常に0にしてください。

• EPIRN3

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7~0	D[7:0]	不定	W	リザーブビット 書き込む値は常に0にしてください。

- EPIRN4

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	D[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
7~0	D[7:0]	不定	W	エンドポイント FIFO 番号 【設定可能範囲】0~5

エンドポイント番号とは、USB ホストが使用するエンドポイント番号です。また、エンドポイント FIFO 番号とは、本マニュアル中に記載のあるエンドポイント番号に対応しています。したがって、本情報でエンドポイント番号とエンドポイント FIFO 番号を1対1に対応させることでUSB ホストとエンドポイント FIFO 間で転送が行えます。ただし、設定値には以下の制約があるので注意してください。

- 各エンドポイントFIFOは、各転送方式・方向・最大パケットサイズに対応した専用ハードウェアで最適化しているため、必ず下表に示す転送方式・方向・最大パケットサイズに設定してください。
(例) エンドポイントFIFO番号1は「バルク転送」「OUT」「最大パケットサイズ64byte」以外の設定はできない。エンドポイントFIFO番号4は「アイソクロナス転送」「OUT」以外の設定はできないが「最大パケットサイズ」は0~64byteの間で任意設定可能。
- エンドポイント0とエンドポイントFIFO番号0は必ず1対1に対応させる。
- エンドポイントFIFO番号0の最大パケットサイズは8のみ設定可能。
- エンドポイントFIFO番号0は最大パケットサイズのみ設定可能で残りのデータはすべて0。
- エンドポイントFIFO番号1および2の最大パケットサイズは64のみ設定可能。
- エンドポイントFIFO番号3の最大パケットサイズは8のみ設定可能。
- エンドポイントFIFO番号4および5の最大パケットサイズは0~64の範囲で設定可能。
- アイソクロナス転送設定時、同一のエンドポイントに対して0~1の範囲でAlternateを使用できるが、必ず同じエンドポイントFIFO番号に割り当てる。
- エンドポイント情報の設定は最大10個まで可能。

10. エンドポイント情報は必ず10個分ライトしなければならない。

11. 使用しないエンドポイントの情報はすべて0をライトする。

表 36.4 に設定可能な転送方式・転送方向・最大パケットサイズの制約一覧を示します。

表 36.4 設定可能値の制約一覧

エンドポイント FIFO 番号	最大パケットサイズ	転送方式	転送方向
0	8byte	コントロール	-
1	64byte	バルク	OUT
2	64byte	バルク	IN
3	8byte	インタラプト	IN
4	0~64byte	アイソクロナス	OUT
5	0~64byte	アイソクロナス	IN

以下に具体的な設定例を示します。

- 設定例

Isochronous 転送を行うエンドポイント 4/5 に 2 つの異なる Alternate 設定が存在する例です。

表 36.5 エンドポイント構成例

EP 番号	Conf.	Int.	Alt.	転送方式	転送方向	最大パケットサイズ	EP FIFO 番号
0	-	-	-	Control	IN/OUT	8byte	0
1	1	0	0	Bulk	OUT	64byte	1
2	1	0	0	Bulk	IN	64byte	2
3	1	0	0	Interrupt	IN	8byte	3
-	1	1	0	-	-	-	-
-	1	1	1	-	-	-	-
4	1	2	0	Isochronous	OUT	0byte	4
4	1	2	1	Isochronous	OUT	64byte	4
5	1	3	0	Isochronous	IN	0byte	5
5	1	3	1	Isochronous	IN	64byte	5

表 36.6 エンドポイント構成情報設定例

N	EPIR[N]0	EPIR[N]1	EPIR[N]2	EPIR[N]3	EPIR[N]4
0	00	00	10	00	00
1	14	20	80	00	01
2	24	28	80	00	02
3	34	38	10	00	03
4	00	00	00	00	00
5	00	00	00	00	00
6	46	10	00	00	04
7	46	50	80	00	04
8	57	18	00	00	05
9	57	58	80	00	05

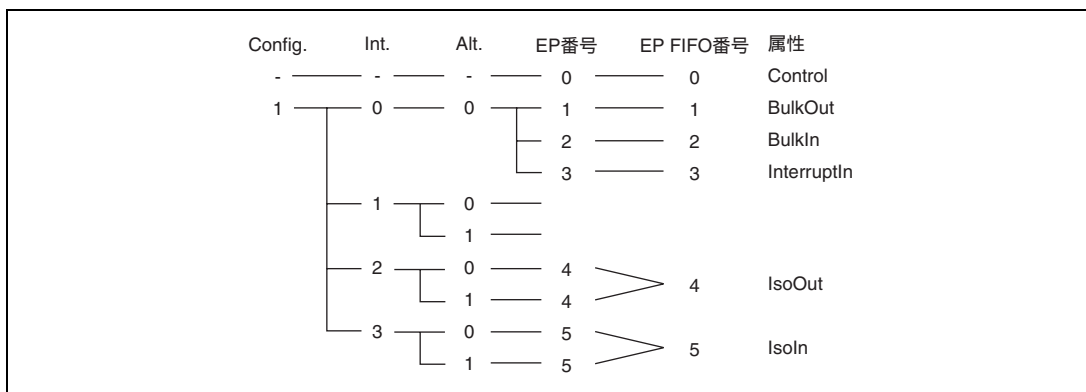


図 36.2 エンドポイント構成例

36.3.39 タイマレジスタ (TMRH/TMRL)

周辺クロック P で動作する 16 ビットのタイマです。本タイマで SOF 間隔を測定することにより、SOF 破損を検出することができます。

タイマ動作の開始、停止、クリア方法の設定はコントロールレジスタ 1 (CTRL1) にて行います。

タイマレジスタは、TMRH の TMR[15:8] ビットと TMRL の TMR[7:0] ビットが、TMR[15:0] として USBF 内部で 16 ビットレジスタとして扱われています。そのため TMRH は直接リードできますが、TMRL は 8 ビットのテンポラリレジスタを介してリードされます。したがって必ず TMRH、TMRL の順番にバイトサイズでリードしてください。TMRL のみのリードはできません。

• TMRH

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMR[15:8]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~0	TMR[15:8]	0	R/W	カウント値上位 8 ビット

• TMRL

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMR[7:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に 0 にしてください。
7~0	TMR[7:0]	0	R/W	カウント値下位 8 ビット

36.3.40 セットタイムアウトレジスタ (STOH/STOL)

タイムレジスタのタイムアウト値を設定するレジスタです。設定したタイムアウト値をタイムレジスタのカウント値が一致すると割り込みフラグレジスタ4のタイムアウト割り込みフラグがセットされます。

タイムレジスタは、STOHのSTO[15:8]ビットとSTOLのSTO[7:0]が、STO[15:0]としてUSBF内部で16ビットレジスタとして扱われています。そのためSTOHは直接リードできませんが、STOLは8ビットのテンポラリレジスタを介してリードされます。したがって必ずSTOH、STOLの順番にバイトサイズでリードしてください。STOLのみのリードはできません。

• STOH

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STO[15:8]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
15~0	STO[15:8]	0	R/W	タイムアウト設定値上位8ビット

• STOL

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STO[7:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	R	リザーブビット 読み出した時の値は不定です。書き込む値は常に0にしてください。
15~0	STO[7:0]	0	R/W	タイムアウト設定値下位8ビット

36.4 動作説明

36.4.1 ケーブル接続時

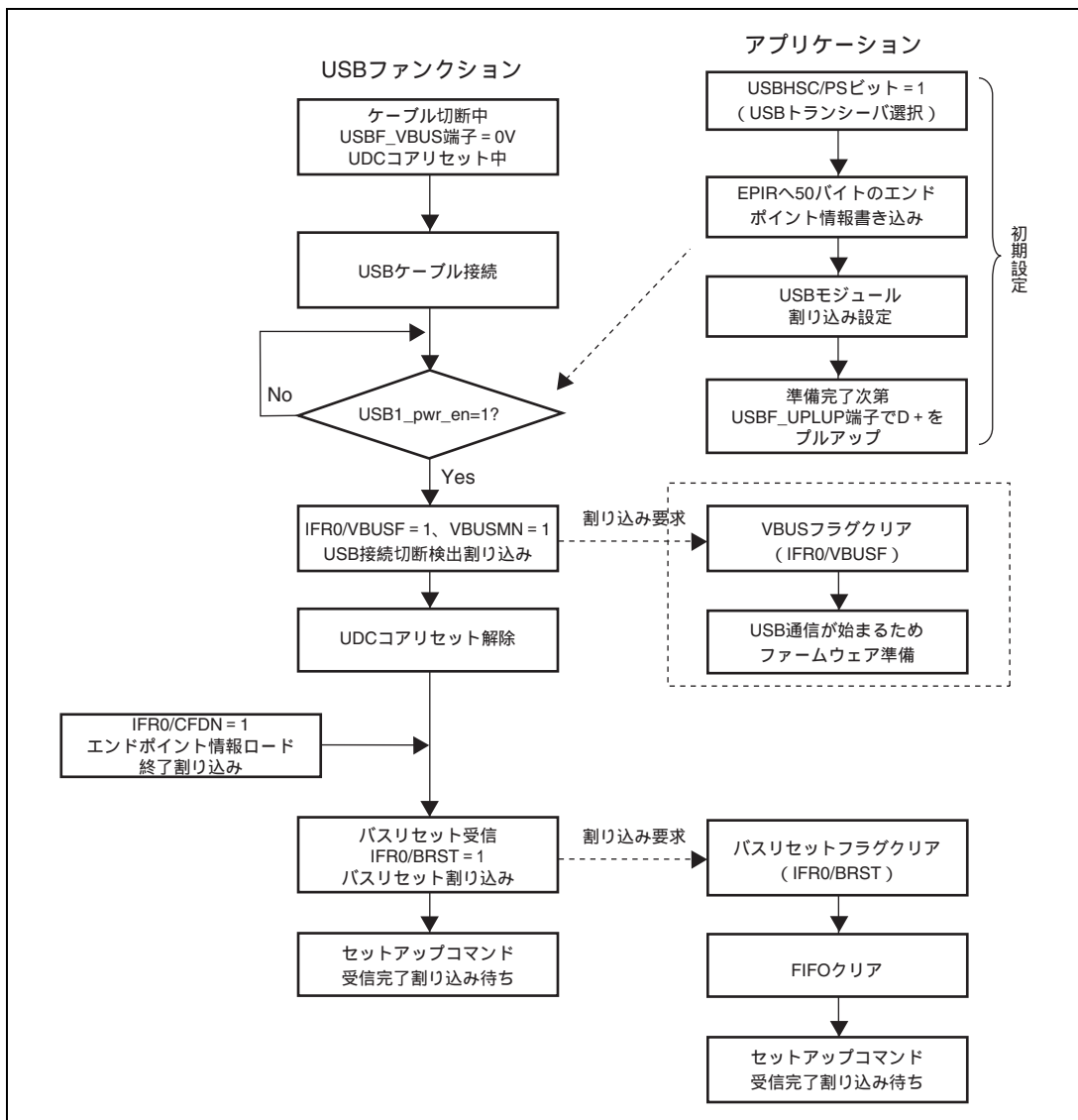


図 36.3 ケーブル接続時の動作

USB ケーブル接続を検出する必要がないアプリケーションでは、USB 接続切断検出割り込みによる処理は不要です。バスリセット割り込みにて準備してください。

また、D+プルアップ制御にかかわらず接続の検出が必要なアプリケーションでは、IRQ または汎用入力ポートを用いて検出してください。

36.4.2 ケーブル切断時

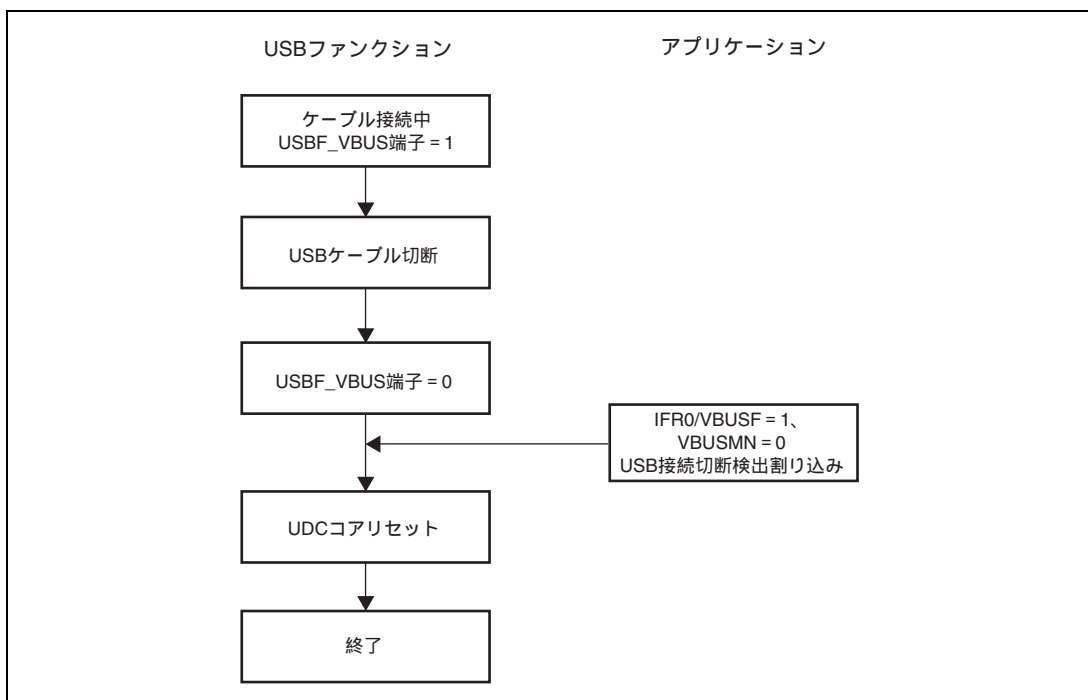


図 36.4 ケーブル切断時の動作

D+プルアップ制御にかかわらず接続 / 切断の検出が必要なアプリケーションではIRQ または汎用入力ポートを用いて検出してください。

(1) セットアップステージ

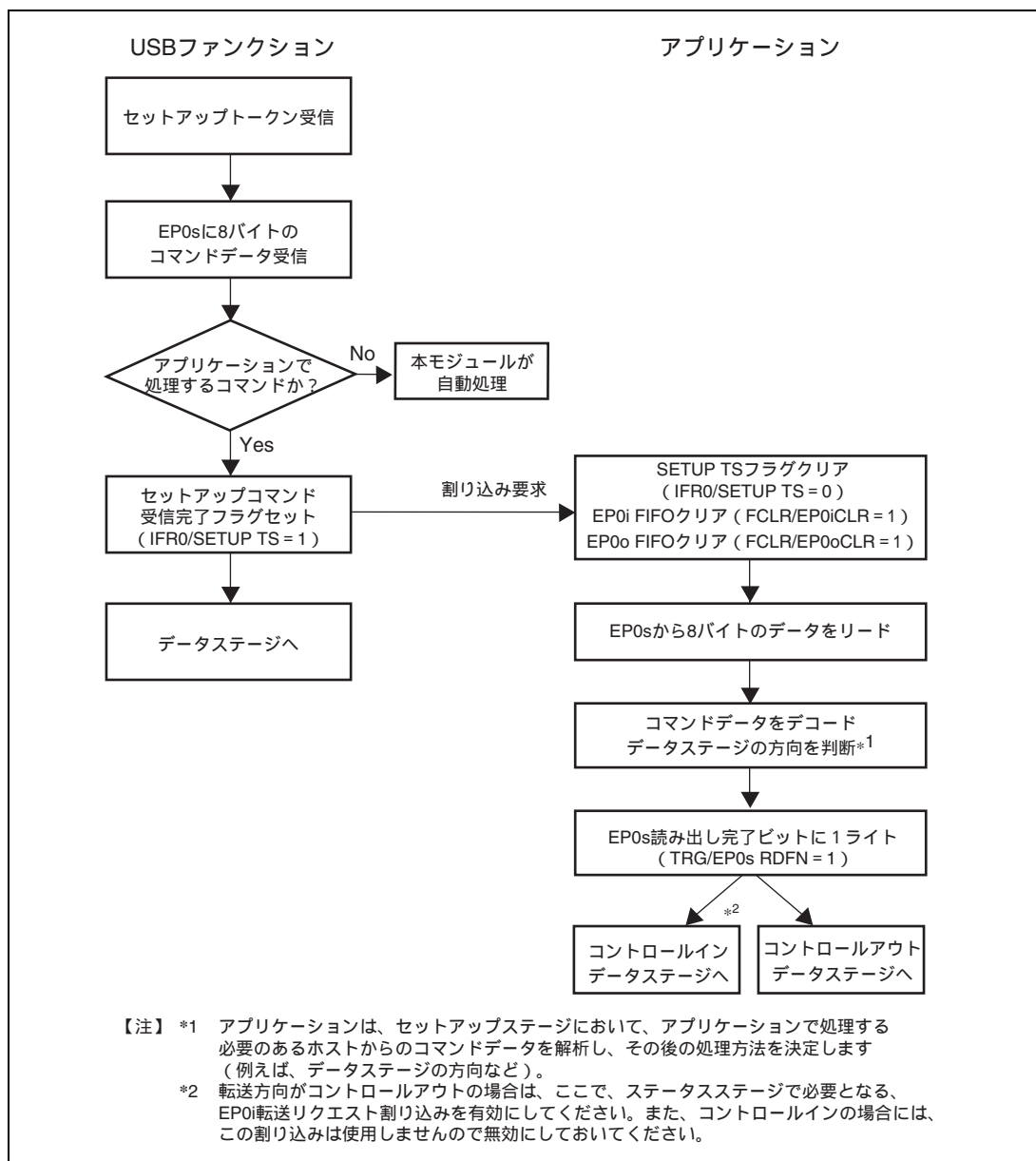


図 36.5 セットアップステージの動作

(2) データステージ (コントロールイン時)

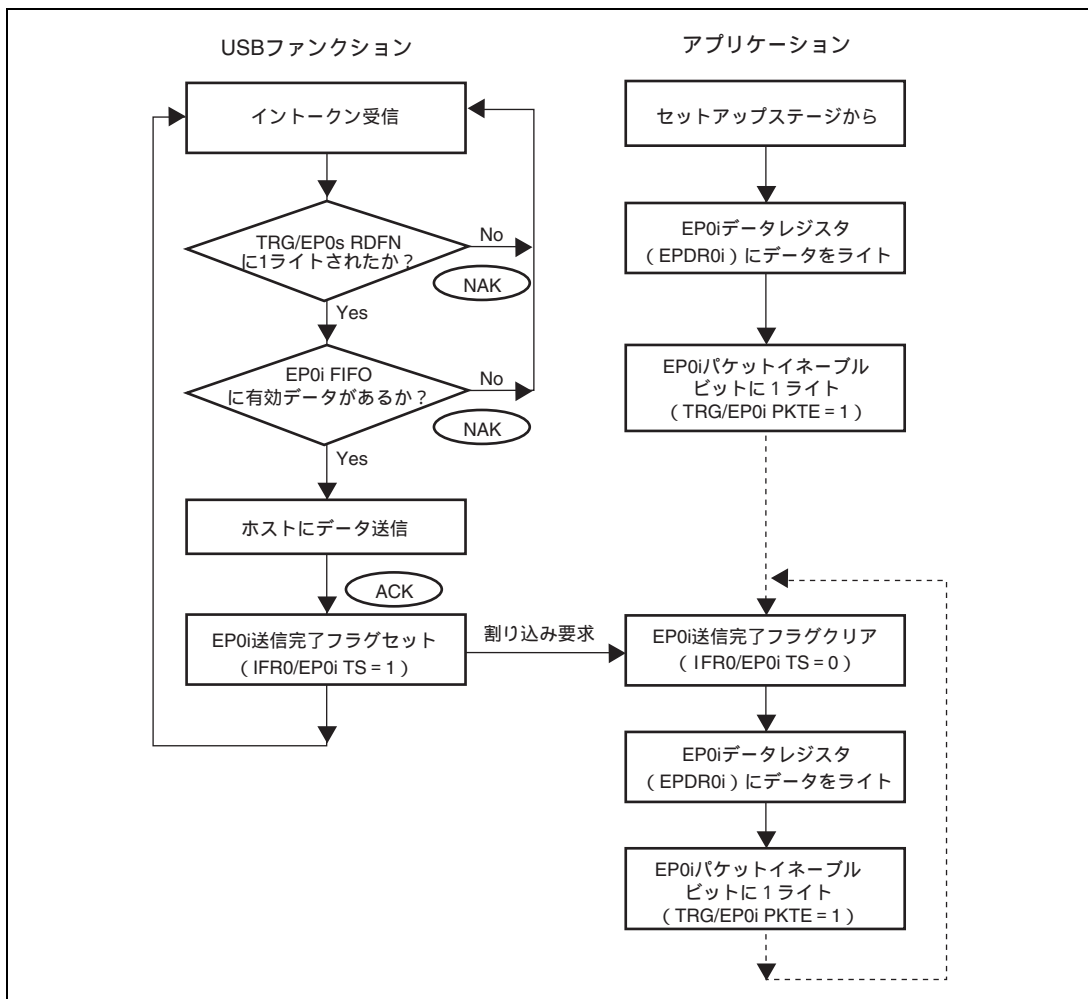


図 36.6 データステージ (コントロールイン時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初に書きこんだデータがホストに送られた後 (IFR0/EP0i TS = 1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0レングスパケットを送信して、データステージの最後を示します。

(3) データステージ (コントロールアウト時)

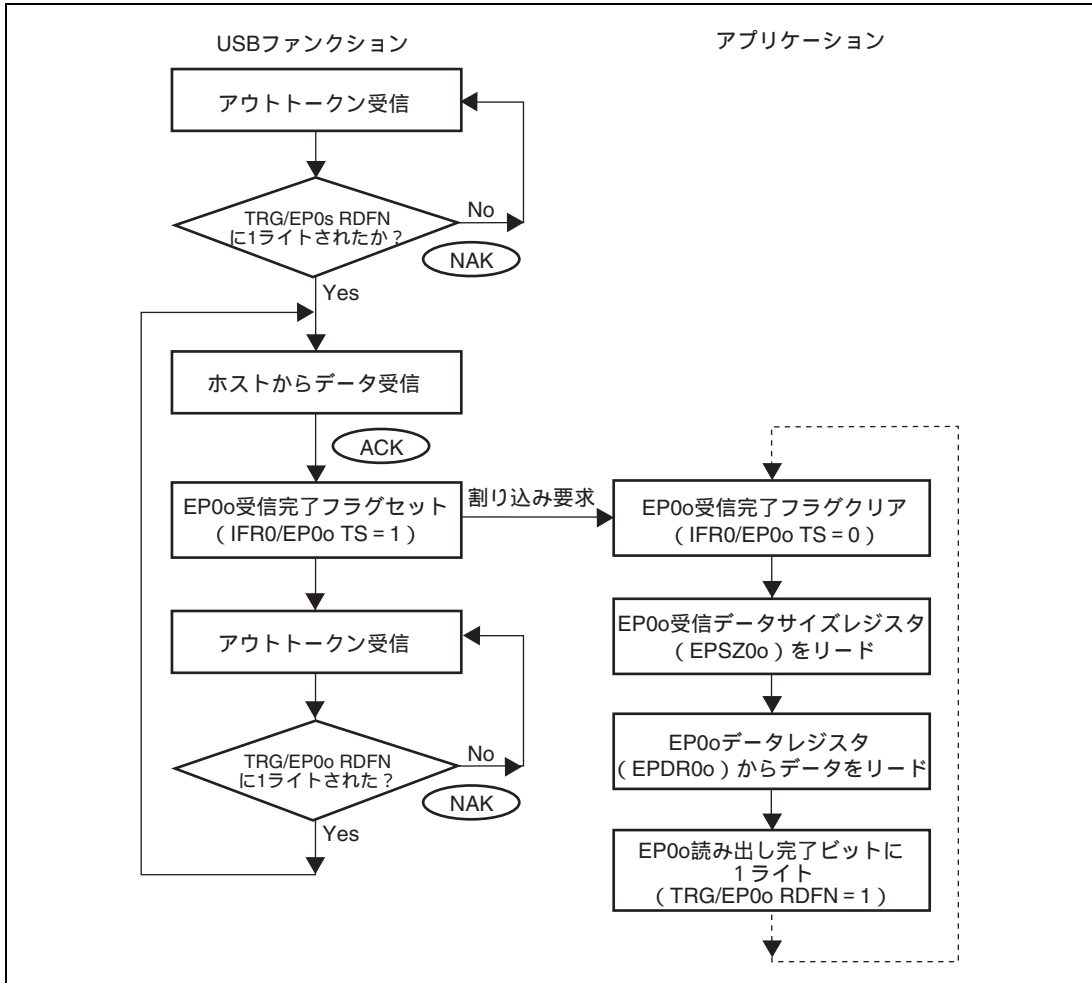


図 36.7 データステージ (コントロールアウト時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (IFR0/EP0o TS = 1)、FIFO からデータを読み出します。次にアプリケーションは、EP0o 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

(4) ステータスステージ (コントロールイン時)

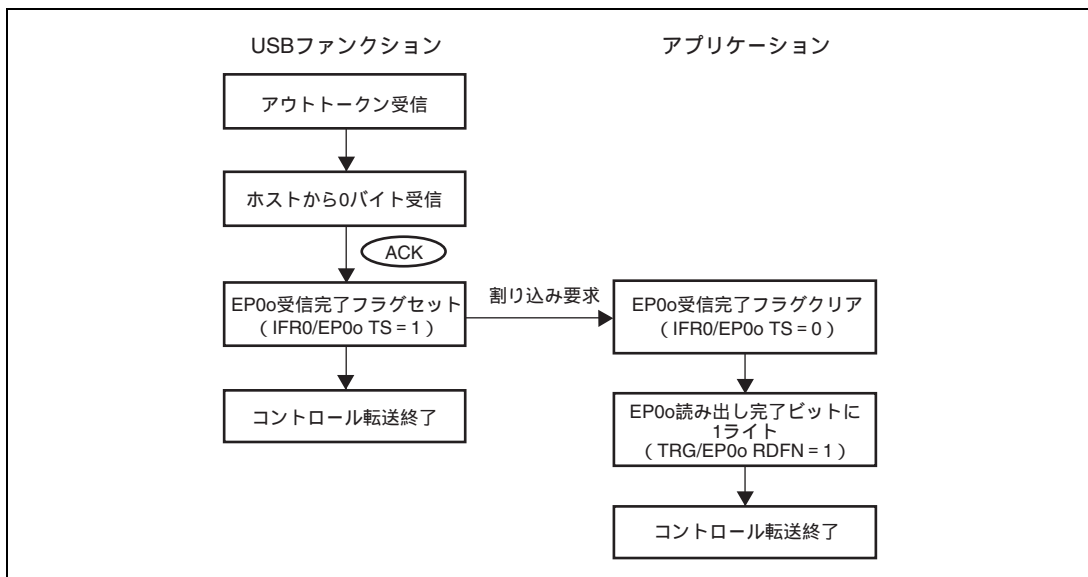


図 36.8 ステータスステージ (コントロールイン時) の動作

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの0バイトデータを受信して、コントロール転送を終了します。

(5) ステータスステージ (コントロールアウト時)

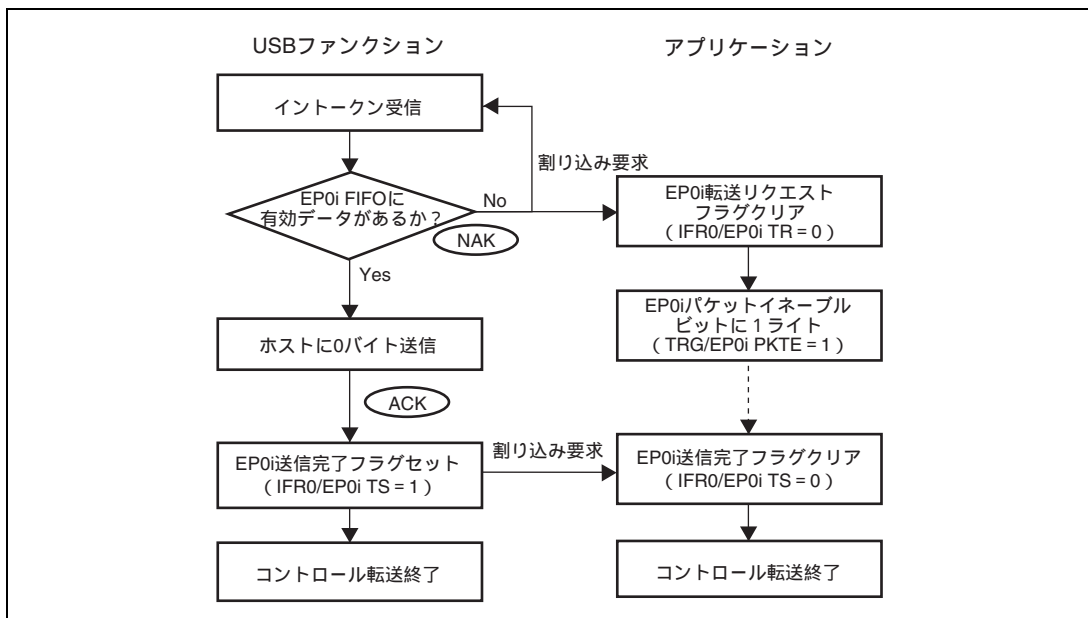


図 36.9 ステータスステージ (コントロールアウト時) の動作

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージに関わる処理をすべて終了した後、EP0i パケットイネーブルビットに 1 ライトしてください。

36.4.3 EP1 バルクアウト転送 (2面 FIFO)

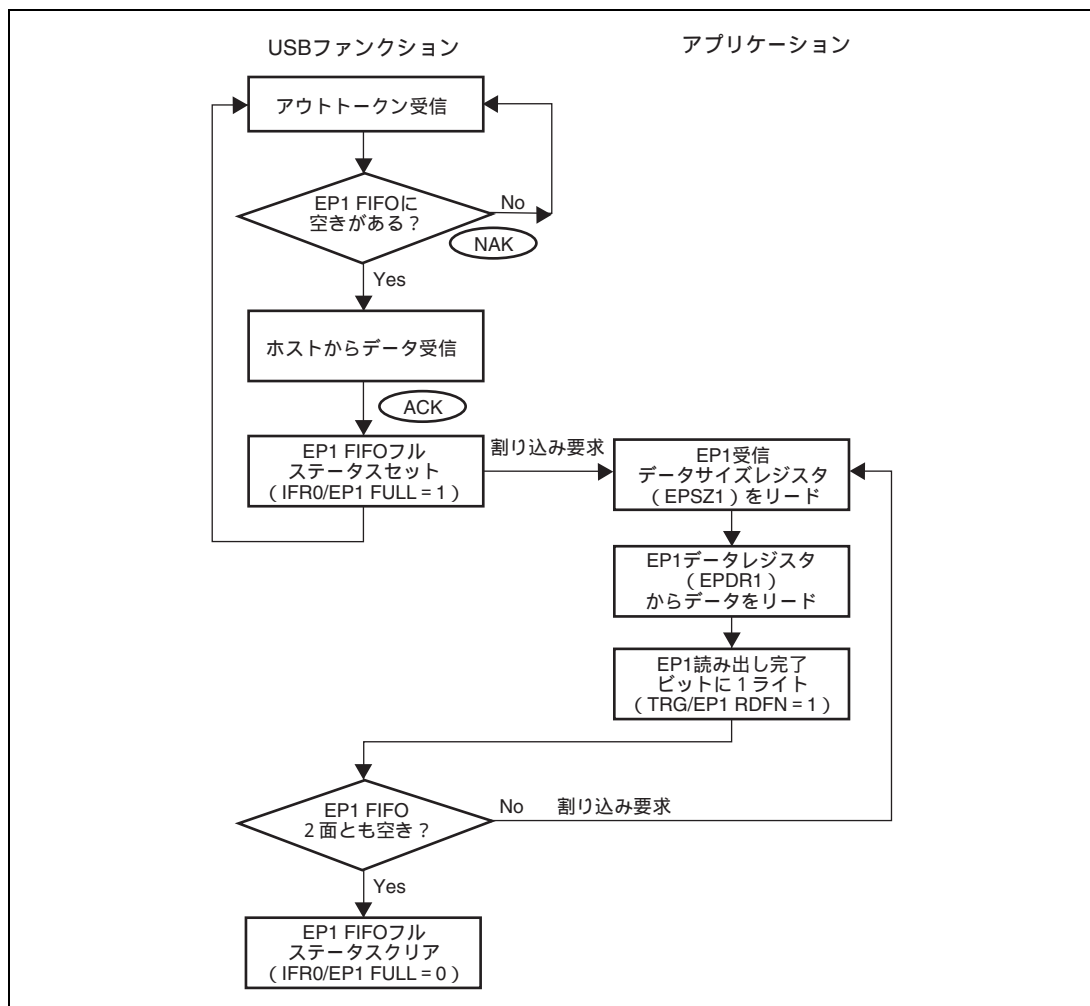


図 36.10 EP1 バルクアウト転送の動作

EP1 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、IFR0/EP1 FULL がセットされます。FIFO が 2 面ともエンプティの状態でも最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面ともフルになった場合、ホストには自動的に NACK が返信されます。データ受信後、受信データのリードが終了したら、TRG/EP1 RDFN に 1 をライトします。この操作によって、今リードし終えた FIFO がエンプティになり、次のパケットを受信可能な状態になります。

36.4.4 EP2 バルクイン転送 (2面 FIFO)

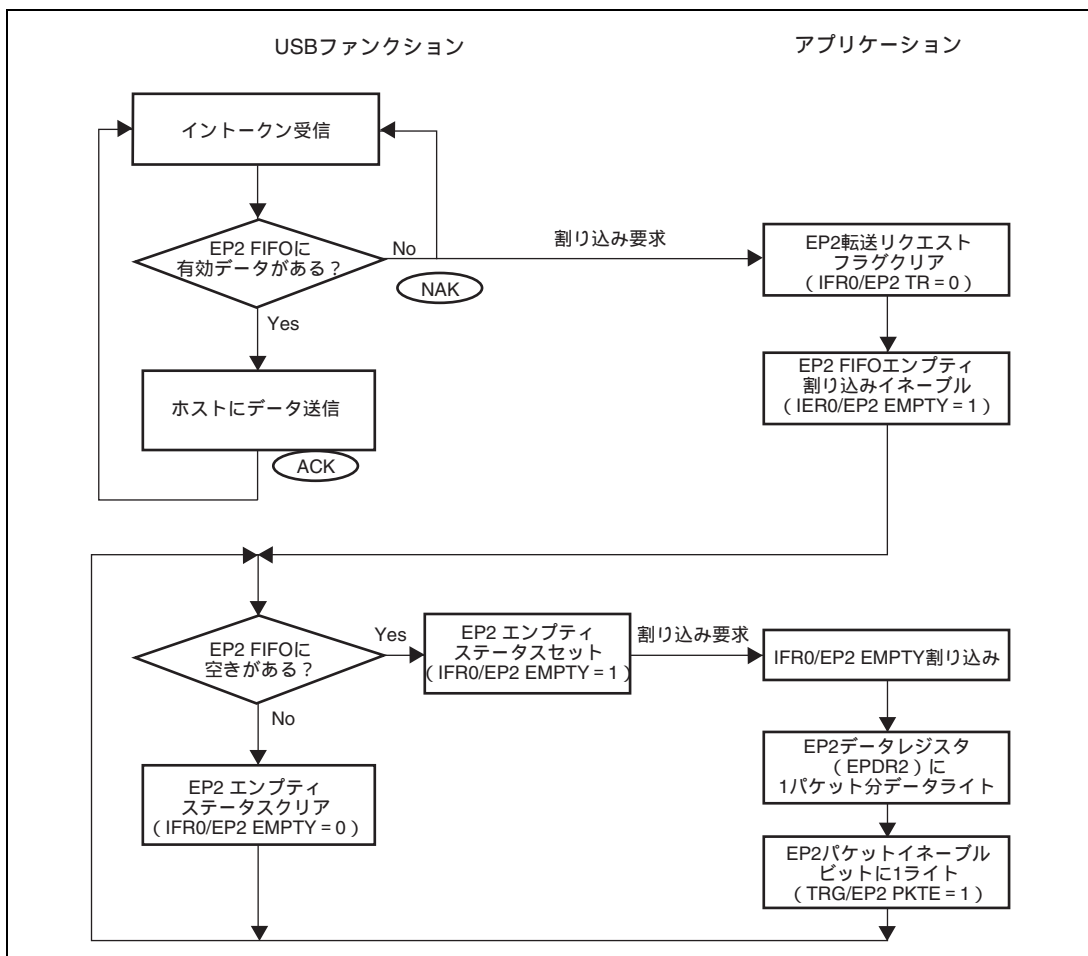


図 36.11 EP2 バルクイン転送の動作

EP2 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。ただし、1 回のデータライトは 1 面ごとに行ってください。例えば、2 面とも FIFO がエンプティの場合でも、連続して 128 バイトデータをライト後、まとめて EP2/PKTE を行うことはできません。必ず 64 バイトのライトごとに EP2/PKTE を行ってください。

バルクイン転送を行いたい場合、まず最初のイントークンで FIFO 内に有効データが存在しないので、IFR0/EP2 TR 割り込みが要求されます。その割り込みで、IER0/EP2 EMPTY に 1 ライトし、EP2 FIFO エンプティ割り込みを許可します。最初は、EP2 の 2 面の FIFO はともにエンプティになっているので、EP2 FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタにライトします。最初 1 面分の送信データライト後は、他方の FIFO が空いているので、すぐ他方の面に送信データをライトすることができます。2 面ともフルになった場合、EP2 EMPTY が 0 になります。1 面でもエンプティであれば IFR0/EP2 EMPTY が 1 セットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO がエンプティになります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、IER0/EP2 EMPTY に 0 ライトを行い、割り込み要求を禁止にしてください。

36.4.5 EP3 インタラプトイン転送

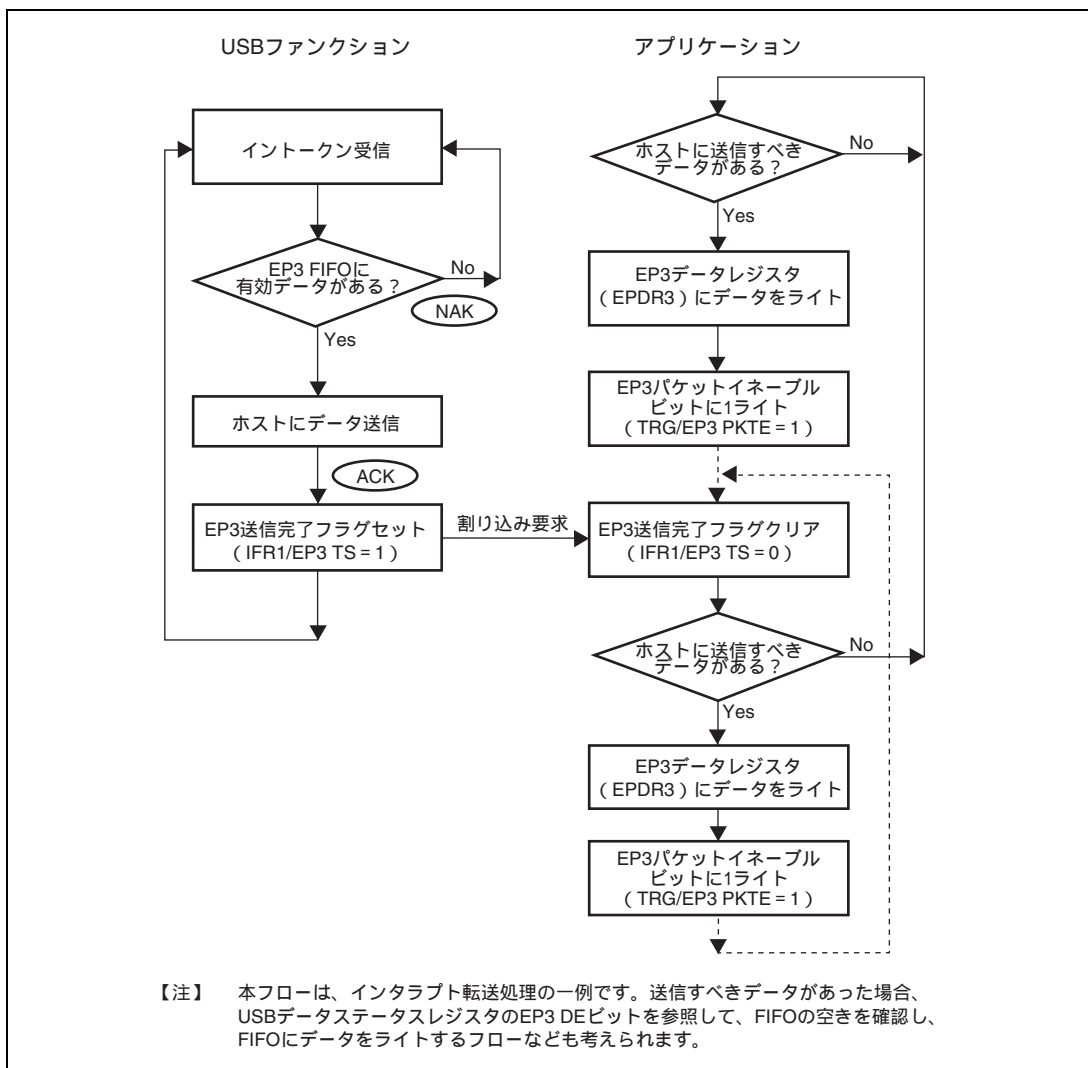


図 36.12 EP3 インタラプトイン転送の動作

36.5 EP4 アイソクロナスアウト転送

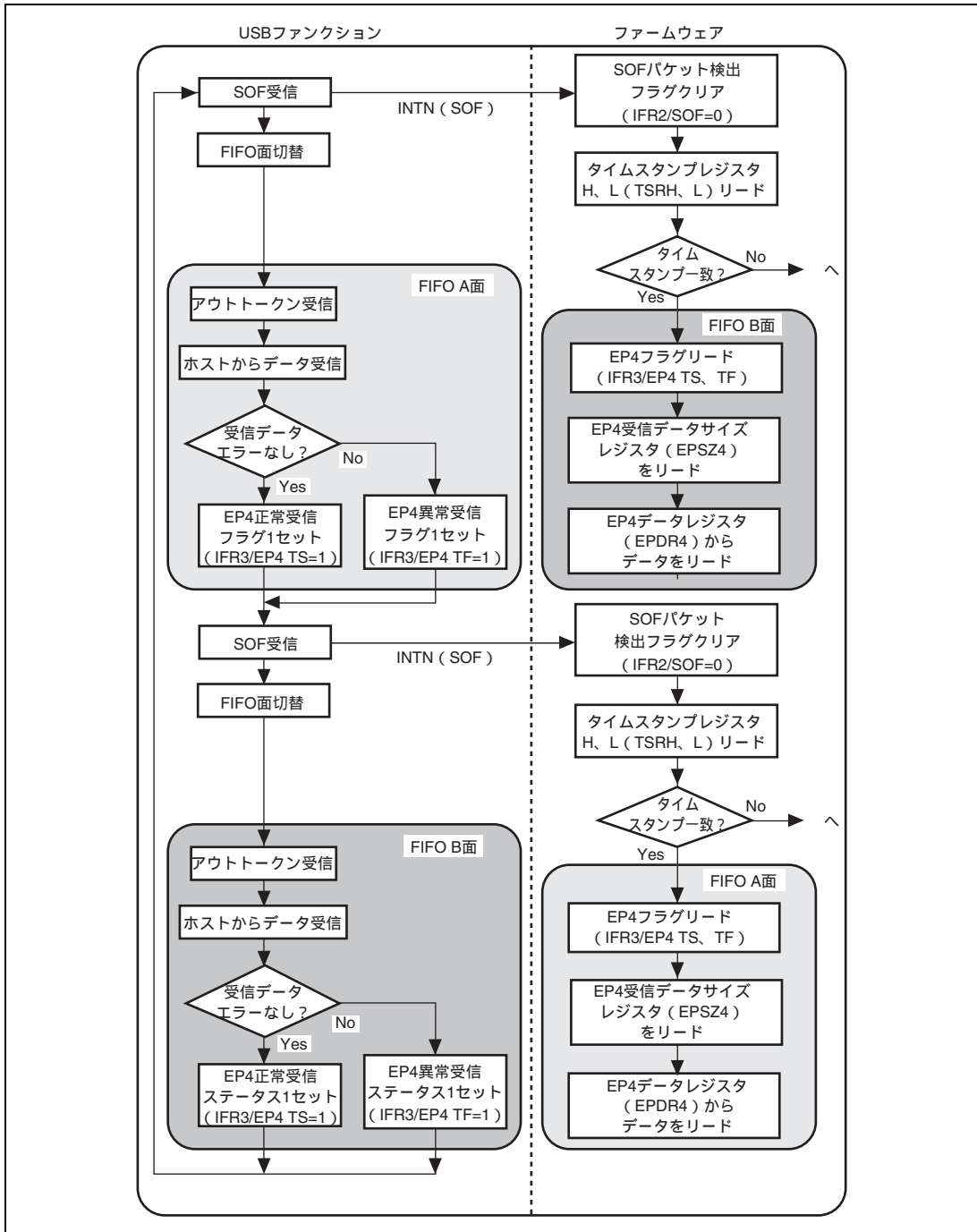


図 36.13 EP4 アイソクロナスアウト転送の動作 (SOF 正常時)

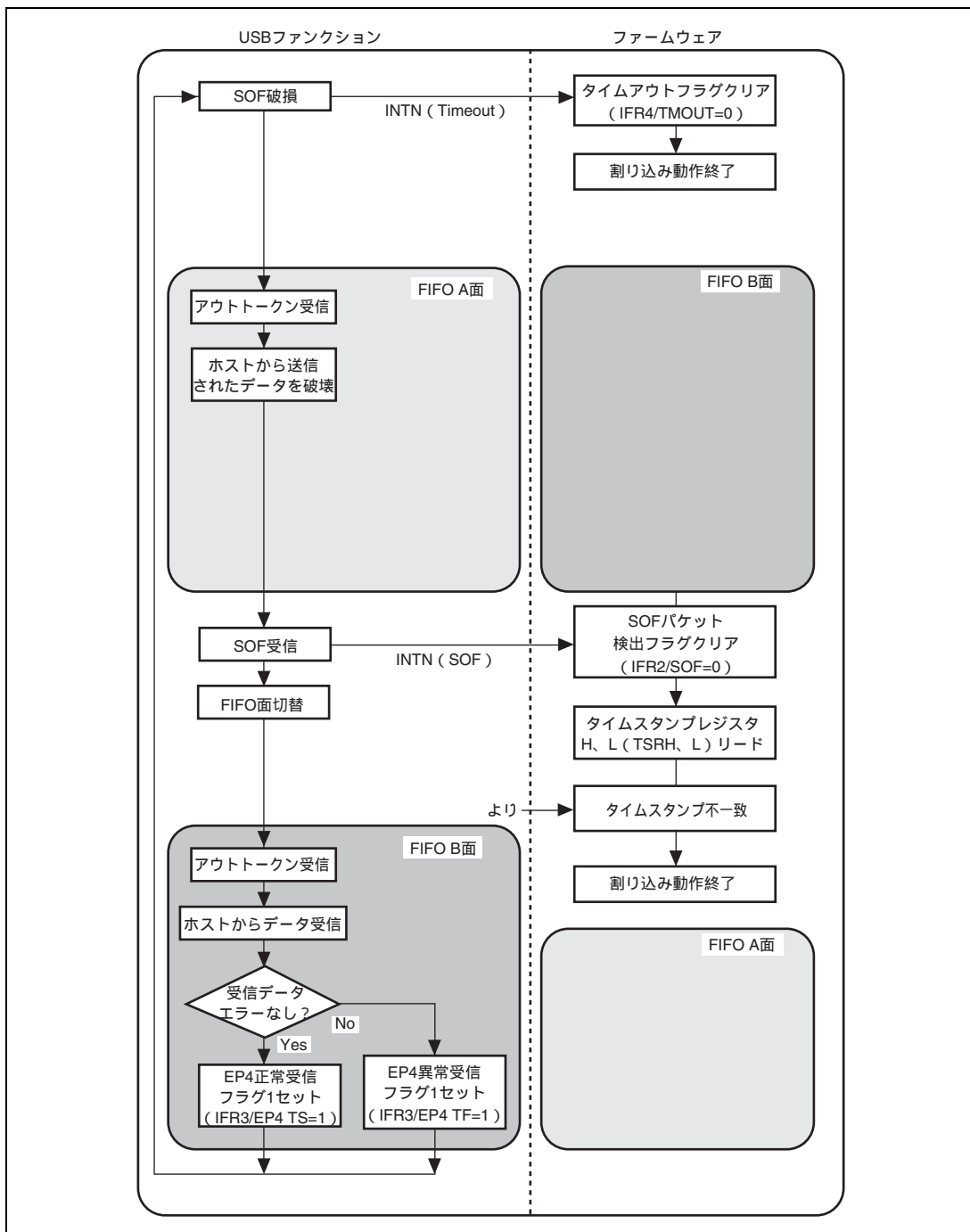


図 36.14 EP4 アイソクロナスアウト転送の動作 (SOF 破損時)

アイソクロナスアウト転送時の USB ファンクションとファームウェアの通常動作を図 36.13 に示します。

EP4 は、最大 64 バイトの FIFO を 2 面もっています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

アイソクロナス転送は 1 フレーム (1ms) に 1 回だけ、転送が発生するため、SOF を受信すると、ハードウェアが自動で、FIFO の面を切り替えます。

SOF 受信で、FIFO の面を切り替えるため、USB ファンクションがホストからのデータを受信する FIFO と、ファームウェアが受信データをリードする FIFO は、同フレーム内では面が異なり、FIFO のリードとライトが競合することはありません。したがって、ファームウェアがリードするデータは、1 つ前のフレームで受信したデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータのリードはフレーム内に完了してください。

USB ファンクションは、アウトトークン受信後ホストからデータを受信しますが、このときデータにエラーがあった場合、TF フラグを 1 にセットします。データにエラーがなければ TS フラグを 1 にセットします。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。その後、データを FIFO からリードします。また、そのデータにエラーがあるかどうかは、フラグ情報 (TS、TF) をリードして判断します。このときのフラグ情報は、現在リードしているか FIFO の面のステータスを表しています。

SOF は、ホストから送られてくる間に何らかの外因の影響を受け破損することがあります。この場合の動作フローは図 36.13 と異なります。例として SOF が 1 回破損した場合、破損フレームとその次のフレームの動作を図 36.14 に示します。SOF が破損した場合、そのフレームでは FIFO の面が切り替わらず、ユーザが設定した期間が過ぎるとタイムアウト割り込みが発生します。USB ファンクションは、FIFO の面が切り替わらないため、そのフレームにホストから送信されされたデータを破棄します。

ファームウェアでは、タイムアウト割り込みにより、SOF が破損したことを検知します。この場合、CPU 側に接続された FIFO の面はデータリード済みの面のため、データのリードを行いません。次のフレームで SOF 割り込みが発生すると、アイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。しかし、前のフレームで起こった SOF 破損のため、タイムスタンプは不一致となります。この場合、FIFO にあるデータは時間的にずれたデータであるため、データのリードを行いません。

36.6 EP5 アイソクロナスイン転送

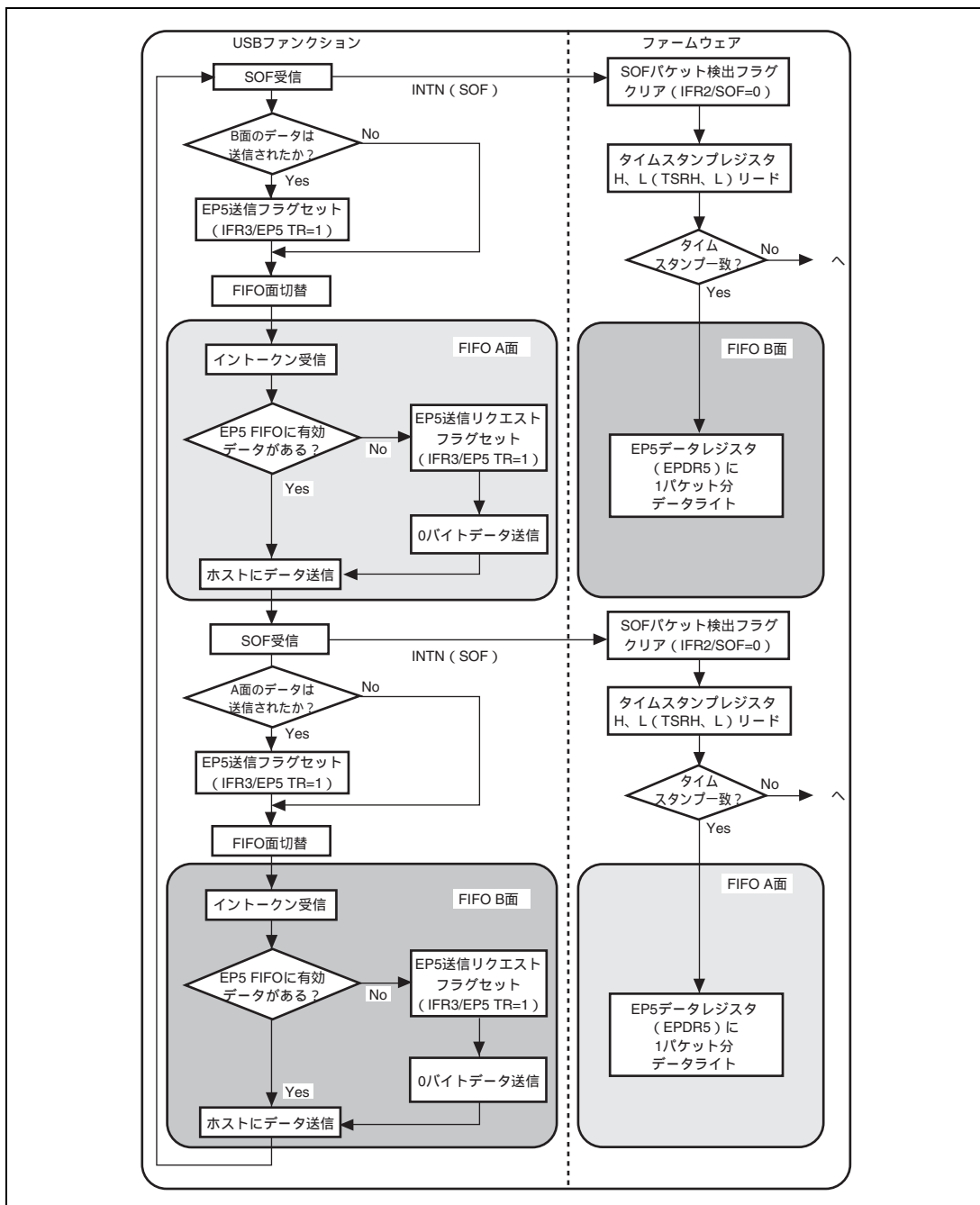


図 36.15 EP5 アイソクロナスイン転送の動作 (SOF 正常時)

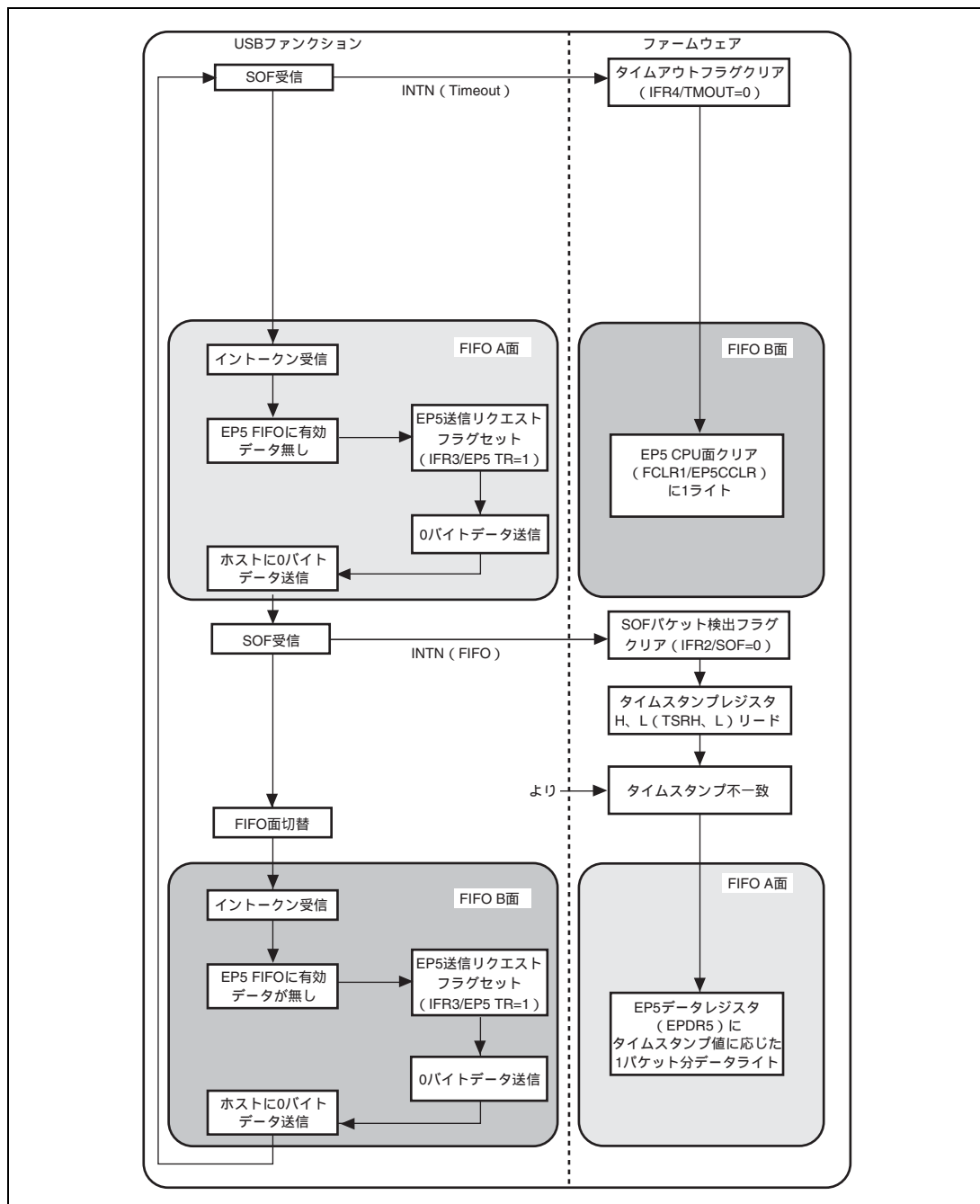


図 36.16 EP5 アイソクロナサイン転送の動作 (SOF 破損時)

アイソクロナス転送時の USB ファンクションとファームウェアの通常動作を図 36.15 に示します。

EP5 は、最大 64 バイトの FIFO を 2 面もっています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。

アイソクロナス転送は、1 フレーム (1ms) に 1 回だけ、転送が発生するため、SOF を受信すると、ハードウェアが自動で、FIFO の面を切り替えます。

SOF 受信で、FIFO の面を切り替えるため、USB ファンクションがホストにデータを送信する FIFO とファームウェアが送信データをライトする FIFO は、同フレーム内では面が異なり、FIFO のリードとライトが競合することはありません。したがって、ファームウェアがライトするデータは、1 つ後のフレームで送信するデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータのライトは、フレーム内に完了してください。

USB ファンクションは、イントークン受信後、FIFO 内にホストへ送信データがある場合、データをホストに送信します。FIFO にデータがなければ TR フラグを 1 にセットし、ホストに 0 バイトデータを送信します。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチンを呼び出し、タイムスタンプのチェックを行います。その後、1 パケット分のデータを FIFO にライトします。このライトしたデータは、次のフレームでホストに送信されます。

SOF は、ホストから送られてくる間に何らかの外因の影響を受け破損することがあります。この場合の動作フローは図 36.15 と異なります。例として SOF が、1 回破損した場合の、破損フレームとその次のフレームの動作を図 36.16 に示します。SOF が破損した場合、そのフレームでは FIFO の面が切り替わらず、ユーザが設定した期間が過ぎるとタイムアウト割り込みが発生します。

ファームウェアでは、タイムアウト割り込みにより、SOF が破損したことを検知します。このとき、CPU 側に接続された FIFO にはこのフレームで送信するはずだったデータが残っています。このデータが次のフレームで送信されると、時間的にずれたデータを送信することになってしまうため、ファームウェアは EP5 CPU 面クリア (FCLR1/EP5 CCLR) に 1 をライトしデータクリアを行います。次のフレームで SOF 割り込みが発生すると、アイソクロナス転送の処理ルーチンを呼び出し、タイムスタンプのチェックを行います。しかし、前のフレームで起こった SOF 破損のため、タイムスタンプは不一致となります。この場合、ファームウェアは送信されたタイムスタンプに応じたデータを 1 パケット分ライトします。

USB ファンクションは、SOF が破損したフレームでは FIFO の面が切り替わらないため、ホストに送信すべきデータが無く、0 バイトデータを送信します。次のフレームでも、送信すべきデータがファームウェアによりクリアされるため、ホスト 0 バイトデータを送信します。

36.7 USB 標準コマンドとクラス / ベンダコマンドの処理

36.7.1 コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、アプリケーション側でデコードを行い、コマンドの処理を行う必要があります。以下の表 36.7 にアプリケーション側でのコマンドデコードについて示します。

表 36.7 アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要無し	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Class/Vendor コマンド
Get Interface	Synch Frame
Get Status	Set Descriptor
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、IFR0/SETUP TS フラグがセットされ、割り込み要求を発生します。この割り込みルーチンの中で EP0s のデータレジスタ (EPDR0S) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

36.8 ストール動作

36.8.1 概要

本モジュールでのストール動作について説明します。本モジュールのストール機能には、次の2つの場合があります。

アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合

USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態(ストールか否か)を保持した内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照してホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合はホストから Clear Feature コマンドを使ってクリアしてください。ただし、EPO に対する内部状態ビットはセットアップコマンド受信時のみ自動的にクリアされます。

36.8.2 アプリケーションが強制的にストールさせたい場合

アプリケーションが本モジュールに対してストール要求するレジスタ EPSTL を使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、EPSTL の該当ビットをセットします(図 36.17 の 1-1)。このとき、内部状態ビットは変化しません。次に、ホストから EPSTL の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていないければ EPSTL の該当ビットを参照します(図 36.17 の 1-2)。ここで、EPSTL の該当ビットがセットされているれば、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェークを返します(図 36.17 の 1-3)。このとき、CTRL/ASCE が 1 にセットされていれば EPSTL の該当ビットを自動で 0 クリアし、ホストに対してストールハンドシェークを返します(図 36.17 の 1-4)。EPSTL の該当ビットがセットされていないければ、内部状態ビットは変化せず、トランザクションが受け付けられます。

一度、内部状態ビットがセットされた後は、EPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても(図 36.17 の 3-1)、EPSTL のビットがセットされている間は、該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、本モジュールはストールハンドシェークを返します(図 36.17 の 1-2)。したがって、ストールを解除するためには、CTRL/ASCE を 1 にセットしておき本モジュールがストールを返したときに EPSTL の該当ビットを自動でクリアさせるか、または、EPSTL の該当ビットをアプリケーションでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 36.17 の 2-1、2-2、2-3)。

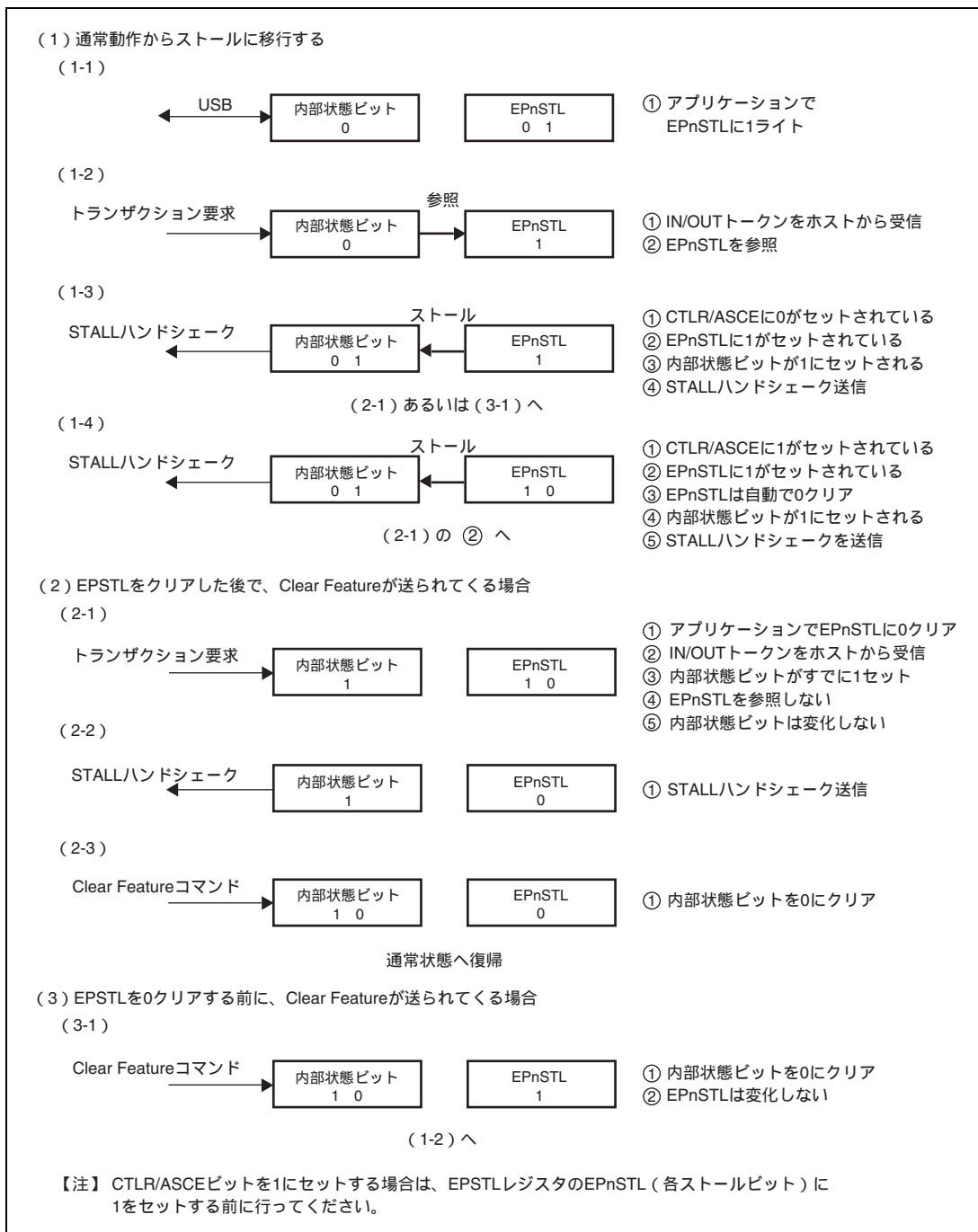


図 36.17 アプリケーションで強制的にストールさせたい場合

36.8.3 USB ファンクションモジュールが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合、あるいは USB の規格違反が起きた場合は、EPnSTL の該当ビットに関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットし、ストールハンドシェークを返します (図 36.18 の 1-1)。

一度、内部状態ビットがセットされた後は、EPnSTL の該当ビットに関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされた後は、EPnSTL の該当ビットを参照するようになります (図 36.18 の 3-1)。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても、内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します (図 36.18 の 2-1、2-2)。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります (図 36.18 の 3-1)。このとき、アプリケーションによって EPnSTL をセットしている場合は、EPnSTL の該当ビットもクリアしておいてください (図 36.18 の 2-1)。

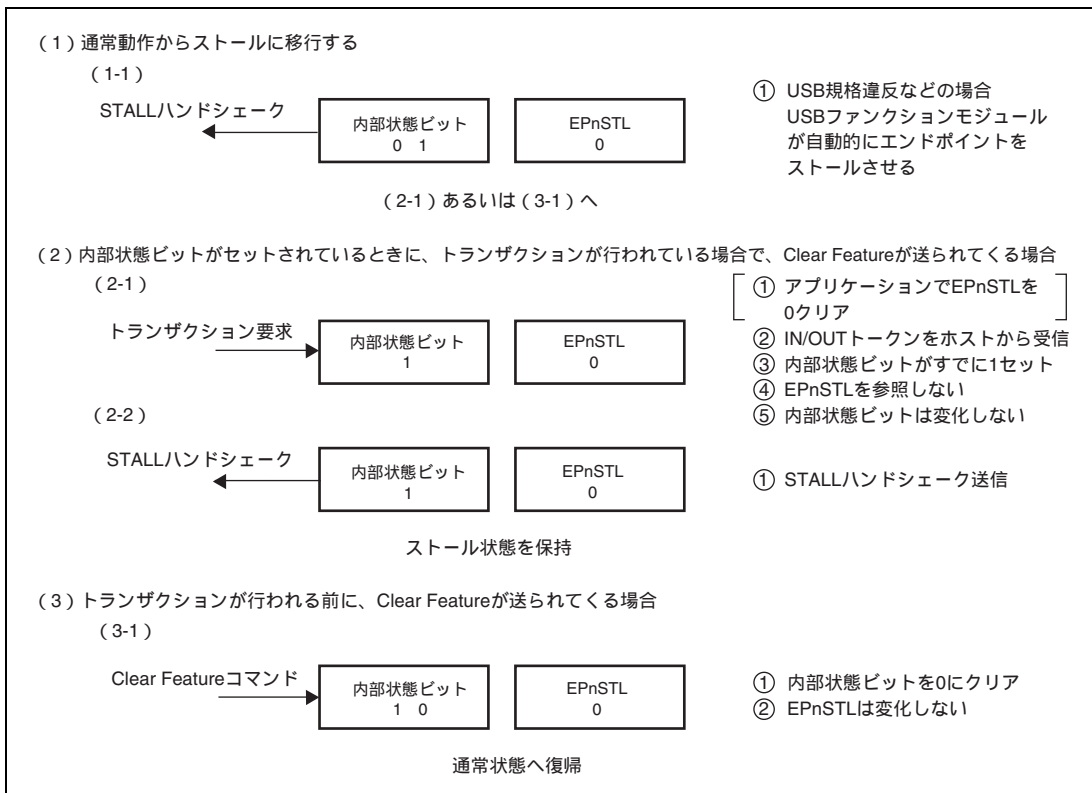


図 36.18 USB ファンクションモジュールが自動的にストールさせた場合

36.9 外部回路例

36.9.1 USB ファンクションコントローラの接続例

図 36.19 に USB ファンクションコントローラの接続例を示します。USB ファンクションコントローラの使用に際しては、ケーブル接続モニタ端子 USBF_VBUS に信号を入力する必要があります。USBF_VBUS 端子は USB_PWREN 端子とピンマルチプレクスされています。USBF_VBUS 端子の状態により、USB ファンクションコントローラはケーブルの接続 / 切断を認識します。また、USB ホスト / ハブに対して接続されたことを通知するために、D+端子のプルアップを行う必要があります。図 36.19 の回路例では、プルアップの制御に USBF_UPLUP 端子を使用しています。

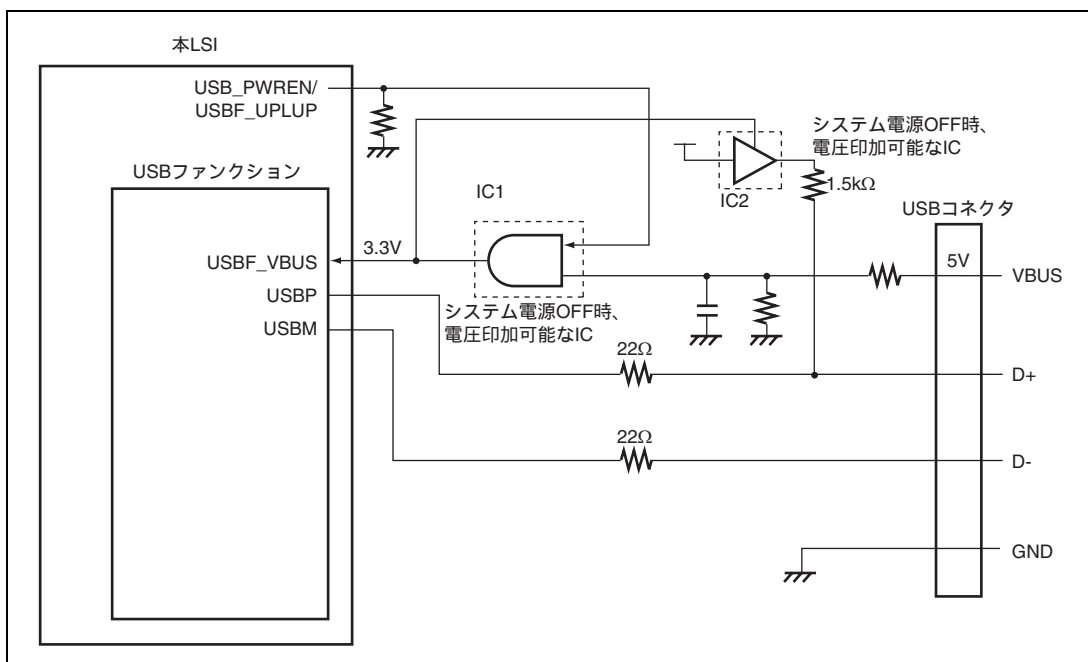


図 36.19 USB ファンクションコントローラの接続例

36.10 使用上の注意事項

36.10.1 セットアップデータ受信について

8 バイトのセットアップデータ受信を行う EP0s データレジスタ (EPDR0s) は以下の点に注意してください。

1. USBではセットアップコマンドを必ず受信することになっているため、CPU側からのリードよりも、USBバス側からのライトが優先になっています。受信完了後にCPUでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためCPU側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。
2. EP0sデータレジスタ (EPDR0s) は必ず8バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

36.10.2 FIFO のクリアについて

USB ケーブル接続後、通信途中でケーブルが抜かれた場合、受信中あるいは送信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル再接続後は、速やかに FIFO のクリアを行ってください。

なお、ホストからデータ受信中あるいはホストに対してデータ送信中の FIFO クリアは行わないでください。

36.10.3 データレジスタのオーバリード/ライトについて

本USBファンクションモジュールのデータレジスタをリード/ライトする際は、以下の点に注意してください。

(1) 受信データレジスタ

受信データレジスタは、有効な受信データ数以上リードしないでください。すなわち、受信データサイズレジスタに示されるバイト数以上リードしないでください。2面 FIFO を持つ受信データレジスタの場合も1回にリードできる最大データ数は最大パケットサイズです。現在有効になっている面のデータをリード終了したら、必ず TRG に1ライトを行ってください。この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データサイズに反映され、次のデータがリード可能になります。

(2) 送信データレジスタ

送信データレジスタは、最大パケットサイズ以上ライトしないでください。2面 FIFO を持つ送信データレジスタの場合も、1回のライトは必ず最大パケットサイズ以内にしてください。データライト後、TRG/PKTE に1ライトを行うと本モジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって、2面分連続でデータライトは行わないでください。

36.10.4 EP0 に関する割り込み要因の割り当てについて

本モジュールの IFR0 レジスタに割り当てられた EP0 に関する割り込み要因 (ビット 0、1、2) は、必ず ISR0 レジスタで同じ割り込み端子に割り当ててください。その他の割り込み要因には特に制約はありません。

36.10.5 DMA 転送設定時の FIFO クリアについて

エンドポイント1において、DMA 転送をイネブルにしているときは、データレジスタのクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

36.10.6 TR 割り込み使用時の注意事項

バルクイン転送には転送要求割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当 EP の FIFO にデータがないときにセットされます。しかし、図 36.20 に示すようなタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないように注意してください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NAK 判定を行います。TR 割り込みフラグは NAK ハンドシェイク送信後にセットされます。したがって TRG/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

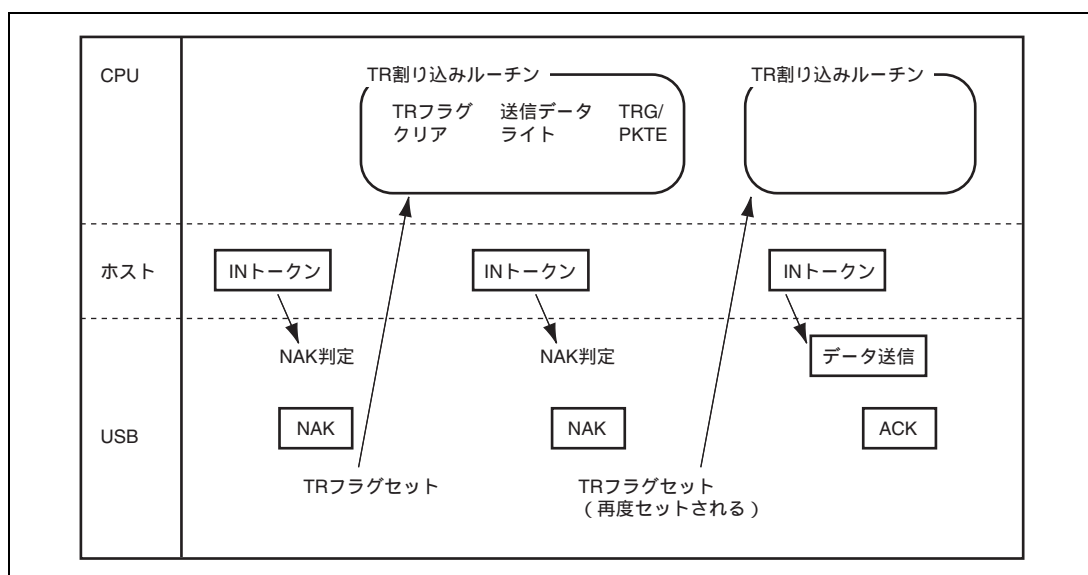


図 36.20 TR 割り込みフラグのセットタイミング

37. LCD コントローラ (LCDC)

LCDC コントローラ (LCDC) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定した後、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール*以外の液晶モジュールを接続することが可能です。

【注】 * LVDS 変換 LSI を接続することで、LVDS インタフェースに接続可能です。

37.1 特長

LCDC は次のような特長があります。

- パネルインタフェース
シリアルインタフェース方式
STN/Dual STN/TFT パネル (4/8/12/16/18 ビットバス幅) のデータフォーマットをサポート*¹
- 4/8/15/16 bpp (ビットパーピクセル) カラーモードをサポート
- 1/2/4/6bpp グレイスケールモードをサポート
- 16 × 1 ~ 1024 × 1024 までの液晶パネルサイズをサポート*²
- 24 ビットカラーパレットメモリ (24 ビット中、16 ビットが有効 R:5 / G:6 / B:5)
- RGB 各 8 ビットの、24 ビットの空間変調 FRC により、ちらつき、シャドーイングが起こりやすい STN/DSTN パネルでのちらつきの少ない 65536 の色制御を実現
- CPU に接続された DDR_SDRAM (エリア 3) の一部を LCDC の表示データ格納用 VRAM として使用することで、専用の表示用メモリが不要
- 2.4k バイトの大きなサイズのラインバッファにより、安定した表示を実現
- 液晶パネルの信号極性に合わせる、出力信号、出力信号のレベル反転機能をサポート
- 各種のデータフォーマット (バイト内のエンディアン設定、バックドピクセル方式) をレジスタにより選択的にサポート可能
- ユーザ指定位置で割り込みを発生可能 (VRAM の更新開始タイミングを制御することによりティアリング (ちらつき) を回避)
- 横長液晶パネルで縦長の液晶パネルをサポートするハードウェアローテーションモードをサポート (回転前の横幅は 320 ピクセル以下に限定されます。表 37.5 を参照してください)

【注】 *¹ 18 ビットバス幅の TFT パネル接続時は、未結線となる下位ビットの信号を GND、またはデータが出力される最下位ビットに接続してください。

*² 詳細は「37.4.1 LCDC で表示可能な液晶モジュールのサイズについて」を参照してください。

図 37.1 に LCDC のブロック図を示します。

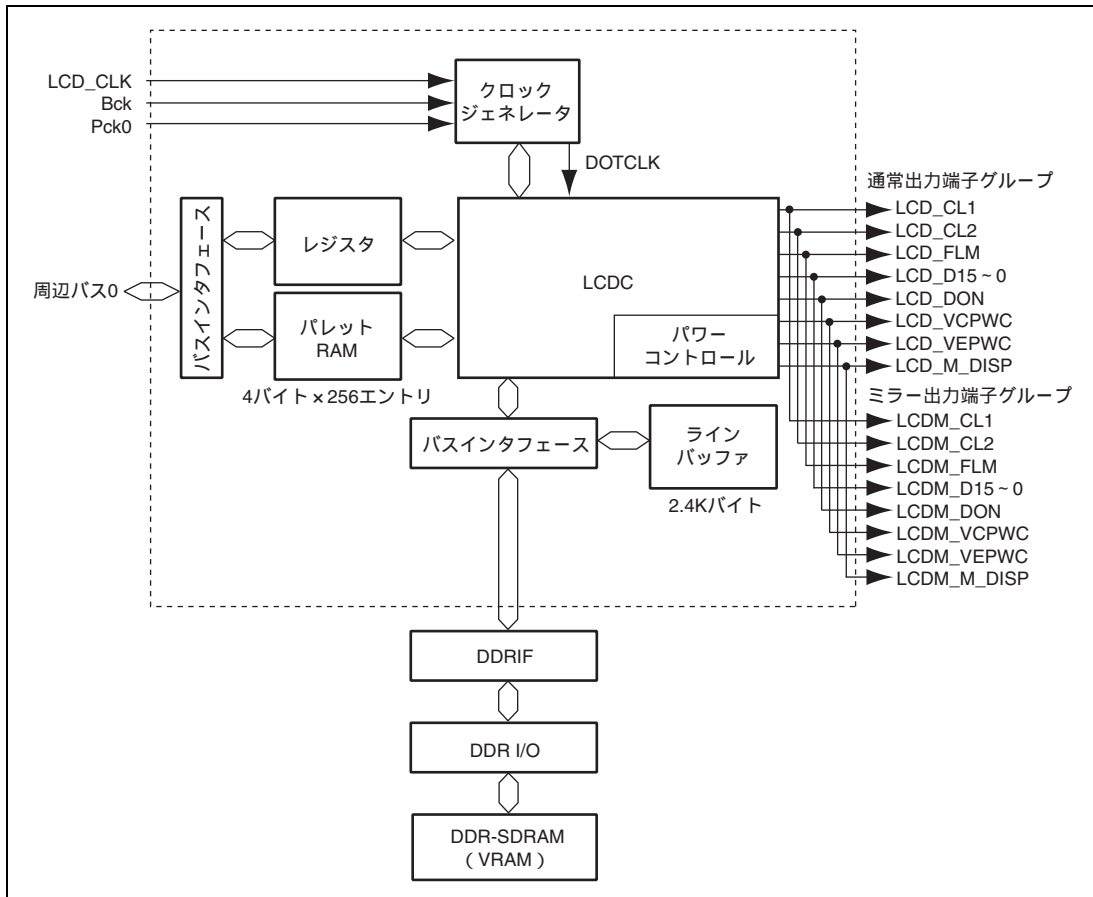


図 37.1 LCDC のブロック図

37.2 入出力端子

表 37.1 に LCDC の端子構成を示します。

LCDC 出力端子には、通常出力グループとミラー出力グループの 2 つの端子グループがあります。どちらの端子グループも常に同じ入出力動作をします。LCDC 端子の選択は、GPIO のピンセレクトレジスタで行います。2 つのグループ間で端子の入出力タイミングが異なりますので、2 つのグループの端子を混在して使用することはできません。

表 37.1 端子構成

端子名		入出力	機能
通常出力	ミラー出力		
LCD_D15~0	LCDM_D15~0	出力	LCD パネル用データ
LCD_DON	LCDM_DON	出力	表示開始信号 (DON)
LCD_CL1	LCDM_CL1	出力	シフトクロック 1 (STN/DSTN) / 水平同期信号 (HSYNC)
LCD_CL2	LCDM_CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK)
LCD_M_DISP	LCDM_M_DISP	出力	液晶交流化信号 / DISP 信号
LCD_FLM	LCDM_FLM	出力	ファーストラインマーカ / 垂直同期信号 (VSYNC) (TFT)
LCD_VCPWC	LCDM_VCPWC	出力	液晶モジュール電源制御 (VCC)
LCD_VEPWC	LCDM_VEPWC	出力	液晶モジュール電源制御 (VEE)
LCD_CLK*		入力	LCD クロックソース入力

【注】 液晶モジュールとの結線仕様に関しては、「37.5 クロックと LCD データ信号例」と、液晶モジュール側の仕様をよく確認の上、決定してください。

* LCD_CLK 端子は、LCDC モジュールとして 1 本のみです。

37.3 レジスタの説明

LCDC のレジスタ構成を表 37.2 に示します。また、各処理モードにおけるレジスタの状態を表 37.3 に示します。

表 37.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
パレットデータレジスタ 00~FF	LDPR00 ~ LDPRFF	R/W	H'FFE8 0000 ~ H'FFE8 03FC	H'1FE8 0000 ~ H'1FE8 03FC	32
LCDC インプットクロックレジスタ	LDICKR	R/W	H'FFE8 0400	H'1FE8 0400	16
LCDC モジュールタイプレジスタ	LDMTR	R/W	H'FFE8 0402	H'1FE8 0402	16
LCDC データフォーマットレジスタ	LDDFR	R/W	H'FFE8 0404	H'1FE8 0404	16
LCDC スキャンモードレジスタ	LDSMR	R/W	H'FFE8 0406	H'1FE8 0406	16
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	R/W	H'FFE8 0408	H'1FE8 0408	32
LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	R/W	H'FFE8 040C	H'1FE8 040C	32
LCDC 表示パネル用取り込みデータ ラインアドレスオフセットレジスタ	LDLAOR	R/W	H'FFE8 0410	H'1FE8 0410	16
LCDC パレットコントロールレジスタ	LDPALCR	R/W	H'FFE8 0412	H'1FE8 0412	16
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	R/W	H'FFE8 0414	H'1FE8 0414	16
LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'FFE8 0416	H'1FE8 0416	16
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	R/W	H'FFE8 0418	H'1FE8 0418	16
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	R/W	H'FFE8 041A	H'1FE8 041A	16
LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'FFE8 041C	H'1FE8 041C	16
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	R/W	H'FFE8 041E	H'1FE8 041E	16
LCDC 割り込みコントロールレジスタ	LDINTR	R/W	H'FFE8 0420	H'1FE8 0420	16
LCDC パワーマネジメントモードレジスタ	LDPMMR	R/W	H'FFE8 0424	H'1FE8 0424	16
LCDC 電源シーケンス期間レジスタ	LDPSPR	R/W	H'FFE8 0426	H'1FE8 0426	16
LCDC コントロールレジスタ	LDCNTR	R/W	H'FFE8 0428	H'1FE8 0428	16
LCDC ユーザ指定割り込みコントロール レジスタ	LDUINTR	R/W	H'FFE8 0434	H'1FE8 0434	16
LCDC ユーザ指定割り込みラインナンバー レジスタ	LDUINTLNR	R/W	H'FFE8 0436	H'1FE8 0436	16
LCDC メモリアクセスインターバル ナンバーレジスタ	LDLIRNR	R/W	H'FFE8 0440	H'1FE8 0440	16

表 37.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
パレットデータレジスタ 00~FF	LDPR00 ~ LDPRFF	不定	不定	保持	保持
LCDC インพุットクロックレジスタ	LDICKR	H'1101	H'1101	保持	保持
LCDC モジュールタイプレジスタ	LDMTR	H'0109	H'0109	保持	保持
LCDC データフォーマットレジスタ	LDDFR	H'000C	H'000C	保持	保持
LCDC スキャンモードレジスタ	LDSMR	H'0000	H'0000	保持	保持
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	H'0C000000	H'0C000000	保持	保持
LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	H'0C000000	H'0C000000	保持	保持
LCDC 表示パネル用取り込みデータ ラインアドレスオフセットレジスタ	LDLAOR	H'0280	H'0280	保持	保持
LCDC パレットコントロールレジスタ	LDPALCR	H'0000	H'0000	保持	保持
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	H'4F52	H'4F52	保持	保持
LCDC 水平同期信号レジスタ	LDHSYNR	H'0050	H'0050	保持	保持
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	H'01DF	H'01DF	保持	保持
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	H'01DF	H'01DF	保持	保持
LCDC 垂直同期信号レジスタ	LDVSYNR	H'01DF	H'01DF	保持	保持
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	H'000C	H'000C	保持	保持
LCDC 割り込みコントロールレジスタ	LDINTR	H'0000	H'0000	保持	保持
LCDC パワーマネジメントモードレジスタ	LDPMMR	H'0010	H'0010	保持	保持
LCDC 電源シーケンス期間レジスタ	LDPSPR	H'F60F	H'F60F	保持	保持
LCDC コントロールレジスタ	LDCNTR	H'0000	H'0000	保持	保持
LCDC ユーザ指定割り込みコントロール レジスタ	LDUINTR	H'0000	H'0000	保持	保持
LCDC ユーザ指定割り込みラインナンバー レジスタ	LDUINTLNR	H'004F	H'004F	保持	保持
LCDC メモリアクセスインターバル ナンバーレジスタ	LDLIRNR	H'0000	H'0000	保持	保持

37.3.1 LCDC インพุットクロックレジスタ (LDICKR)

LCDC は、LCDC の動作クロック供給源として、周辺クロック 0 または外部クロックを選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (LCD_CL2) を生成します。TFT パネルの場合は LCD_CL2 = DOTCLK となり、STN、DSTN パネルの場合は LCD_CL2 = (DOTCLK / 液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。LCD_CL2 にかかわらず、LCDC への入力クロックが 66MHz 以下となるように、LDICKR を設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ICKSEL[1:0]	-	-	-	-	-	-	-	DCDR[5:0]					
初期値:	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	ICKSEL[1:0]	01	R/W	入力クロック選択 DOTCLK の供給源を設定します。 00: 設定禁止 01: 周辺クロック 0 を選択 (Pck0) 10: 外部クロックを選択 (LCD_CLK) 11: 設定禁止
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	DCDR[5:0]	000001	R/W	クロック分周比 入力クロック分周比を設定します。 設定の詳細については表 37.4 を参照してください。

表 37.4 入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)		
		50.000	60.000	66.000
000001	1/1	50.000	60.000	66.000
000010	1/2	25.000	30.000	33.000
000011	1/3	16.667	20.000	22.000
000100	1/4	12.500	15.000	16.500
000110	1/6	8.333	10.000	11.000
001000	1/8	6.250	7.500	8.250
001100	1/12	4.167	5.000	5.500
010000	1/16	3.125	3.750	4.125
011000	1/24	2.083	2.500	2.750
100000	1/32	1.563	1.875	2.063

【注】 上記以外の設定の場合はクロック分周比 1/1 (初期値) となります。

37.3.2 LCDC モジュールタイプレジスタ (LDMTR)

LDMTR は、接続される液晶モジュールの信号極性に合わせ、LCDC より出力される制御信号、およびデータ信号の極性を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FLM POL	CL1 POL	DISP POL	DPOL	-	MCNT	CL1CNT	CL2CNT	-	-	MIFTYP[5:0]					
初期値	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	FLMPOL	0	R/W	FLM (垂直同期) 極性選択 液晶モジュールの LCD_FLM (垂直同期信号、ファーストラインマーカ) の極性を選択します。 0 : LCD_FLM パルスはハイアクティブ 1 : LCD_FLM パルスはローアクティブ
14	CL1POL	0	R/W	CL1 (水平同期) 極性選択 液晶モジュールの LCD_CL1 (水平同期信号) の極性を選択します。 0 : LCD_CL1 パルスはハイアクティブ 1 : LCD_CL1 パルスはローアクティブ
13	DISPPOL	0	R/W	DISP (表示許可) 極性選択 液晶モジュールの LCD_M_DISP (表示許可) の極性を選択します。 0 : LCD_M_DISP はハイアクティブ 1 : LCD_M_DISP はローアクティブ

ビット	ビット名	初期値	R/W	説明
12	DPOL	0	R/W	表示データ極性選択 液晶モジュールのLCD_D15~0(表示データ)の極性を選択します。液晶モジュールの反映をサポートしています。 0: LCD_D15~0はハイアクティブ。透過型液晶パネル 1: LCD_D15~0はローアクティブ。反射型液晶パネル
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	MCNT	0	R/W	M信号制御 液晶モジュールの液晶交流化信号の出力を設定します。 0: M(ACラインモジュレーション)信号を出力する 1: M信号は出力しない
9	CL1CNT	0	R/W	CL1(水平同期)制御 垂直帰線期間中のLCD_CL1出力を設定します。 0: 垂直帰線期間中、LCD_CL1は出力する 1: 垂直帰線期間中、LCD_CL1は出力しない
8	CL2CNT	1	R/W	CL2(液晶モジュールのドットクロック)制御 垂直水平帰線期間中のLCD_CL2出力を設定します。 0: 垂直水平帰線期間中、LCD_CL2は出力する 1: 垂直水平帰線期間中、LCD_CL2は出力しない
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
5~0	MIFTYP[5:0]	001001	R/W	<p>モジュールインタフェースタイプ選択</p> <p>液晶パネルのタイプと、液晶パネルへの出力データバス幅を設定します。液晶パネルのタイプは STN、DSTN、TFT の 3 種類から選択します。液晶パネルへの出力データバス幅は 4 ビット、8 ビット、12 ビット、16 ビットから選択します。TFT の液晶パネルの要求データバス幅が 16 ビット以上のときは、パネル側に存在するデータバスに合わせて接続してください。TFT と異なり、STN、DSTN の液晶パネルにおいては表示色数、表示解像度と出力データバス幅の設定は一対一で対応しないため、16bpp の表示色数であっても 8 ビットのデータバス幅であったり、4bpp の表示色数であっても 12 ビットのデータバス幅であることがあります。これは、STN、DSTN の表示色数はデータバスのビット数ではなく、データバスへのデータの載せ方により決まるためです。STN、DSTN の場合のデータ仕様については、使用する液晶パネルの仕様書を参照してください。また、出力データバス幅は液晶パネルの機械的なインタフェース仕様に従って設定してください。</p> <p>STN、または DSTN タイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらず LCDC に内蔵された RGB 各 8 ビットの 24 ビット空調変調 FRC により表示制御が行われます。そのため、STN、または DSTN の表示においては 1600 万色から DSPCOLOR 指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。</p> <p>000000 : STN モノクロ 4 ビットデータバスモジュール 000001 : STN モノクロ 8 ビットデータバスモジュール 001000 : STN カラー 4 ビットデータバスモジュール 001001 : STN カラー 8 ビットデータバスモジュール 001010 : STN カラー 12 ビットデータバスモジュール 001011 : STN カラー 16 ビットデータバスモジュール 010001 : DSTN モノクロ 8 ビットデータバスモジュール 010011 : DSTN モノクロ 16 ビットデータバスモジュール 011001 : DSTN カラー 8 ビットデータバスモジュール 011010 : DSTN カラー 12 ビットデータバスモジュール 011011 : DSTN カラー 16 ビットデータバスモジュール 101011 : TFT カラー 16 ビットデータバスモジュール 上記以外の設定 : 設定禁止</p>

37.3.3 LCDC データフォーマットレジスタ (LDDFR)

LDDFR は、表示用のドライバソフトウェアの仕様に合わせるために、1 バイト内のデータのビットアラインメント、および表示に使用するデータの型と色数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PABD	-	DSPCOLOR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PABD	0	R/W	バイトデータピクセルアライメント 1 バイトデータ内のピクセルデータのアライメント種類を設定します。アライメントされた 1 ピクセル当たりのデータそれぞれの内容は、このビットの内容にかかわらず同一になります。たとえば、H'05 というデータは 2 進数の B'0101 か B'1010 かを選ぶのではなく、CPU が MOV 命令で通常扱う形の H'05 (B'0101) としてください。 0: バイトデータ内をビッグエンディアンに設定 1: バイトデータ内をリトルエンディアンに設定
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	DSPCOLOR [6:0]	0001100	R/W	表示カラー選択 ディスプレイの表示色数を設定します (アンパレット 4、5、6bpp 上位ビットを 0 で埋めることで対応)。 (パレット経由)との記述のある表示カラーについては、実際にはカラーパレットに設定した色が、表示データにより選択されて表示されます。回転表示時にサポート可能な色数は、表示解像度によって制限されます。詳細については表 37.5 を参照してください。 0000000: モノクロ、2 グレyscale、1bpp (パレット経由) 0000001: モノクロ、4 グレyscale、2bpp (パレット経由) 0000010: モノクロ、16 グレyscale、4bpp (パレット経由) 0000100: モノクロ、64 グレyscale、6bpp (パレット経由) 0001010: カラー、16 色、4bpp (パレット経由) 0001100: カラー、256 色、8bpp (パレット経由) 0011101: カラー、32k 色 (RGB: 5-5-5)、15bpp 0101101: カラー、64k 色 (RGB: 5-6-5)、16bpp 上記以外の設定: 設定禁止

37.3.4 LCDC スキャンモードレジスタ (LDSMR)

LDSMR は、液晶パネルを回転して使用するためのハードウェアローテーション機能のオン/オフ、および表示用に確保した VRAM (エリア 3 の DDR-SDRAM) に対するバースト長を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ROT	-	-	-	AU[1:0]	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	ROT	0	R/W	ローテーションモジュール選択 ハードウェアによる表示の回転動作を選択します。ただし、回転する場合、以下の制限があります。 <ul style="list-style-type: none"> モジュールタイプは STN または TFT。DSTN は不可 液晶パネルの横方向(液晶パネル内部でのスキャン方向)の幅は最大 320 LDLAOR に表示サイズを超える、2 のべき乗の値を設定する (320×240 を回転させて 240×320 で使用する場合で、表示イメージの横幅が 240 バイトである場合、256 を選択してください) 0: 回転しない 1: 右 90 度回転する (表示イメージの左側が液晶モジュールの上側に表示される)
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	AU[1:0]	すべて 0	R/W	アクセスユニット選択 VRAM のアクセス単位を選択します。本ビットは ROT = 1 (回転する場合) のみ機能します。ROT = 0 では、AU 設定いかんにかかわらず 16 バースト動作を行います。 <ul style="list-style-type: none"> 00: 4 バースト 01: 8 バースト 10: 16 バースト 11: 32 バースト 【注】 回転表示する際のバースト長には、接続する DDR-SDRAM のコラムアドレスビット数とバス幅によって使用制限があります。詳細は、表 37.5 を参照してください。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

37.3.5 LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)

LDSARU は、液晶パネルに表示するデータを LCDC に取り込み開始するアドレスを指定します。DSTN 型の液晶パネルを使用する場合、本レジスタは上部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	-	-	-	-	-	-	SAU[25:16]												
初期値:	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	SAU[15:4]												-	-	-	-			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R			

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27、26	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
25~4	SAU[25:4]	すべて0	R/W	上部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア3のDDR-SDRAM領域内に設定します。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- 【注】
- ハードウェアローテーション機能を使用しない場合、LDSARU の最小のアラインメント単位は 512 バイトです。下位 9 ビットには 0 を設定してください。ハードウェアローテーション機能を使用する場合の LDSARU の値は、イメージの左上のアドレスが 512 バイト境界にくるように設定してください。
 - ハードウェアローテーション機能を使用する (ROT = 1) の場合、本レジスタには表示するイメージのサイズから計算したイメージの左下のアドレスを設定してください。イメージが 240 × 340、LDLAOR = 256 の表示設定のとき、下記のように計算できます。パネルのサイズではなく、表示するイメージのメモリサイズから計算します。このとき、LDLAOR がイメージの横方向のサイズ以上の 2 のべき乗になることに注意してください。またイメージの左上のアドレスは、このときの LDSARU を使って逆算すると、 $LDSARU - 256 (LDLAOR \text{ の値}) \times (320 - 1)$ となるので、512 バイト境界にあることを確認して設定してください。
 $LDSARU = \text{イメージ左上のアドレス} + 256 (LDLAOR \text{ の値}) \times 319 \text{ (行)}$

37.3.6 LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)

LDSARL は、DSTN 型の液晶パネルを使用する場合、下部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SAL[25:16]									
初期値:	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAL[15:4]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27、26	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
25~4	SAL[25:4]	すべて0	R/W	下部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア3のDDR-SDRAM領域内に設定します。 STN、TFT：使用しません DSTN：下部パネルに対応する表示データの取り込み開始アドレス
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

37.3.7 LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)

LDLAOR は、グラフィックスドライバにより認識されている画像イメージを LCDC が読み出すための Y 座標インクリメントのアドレス幅を指定します。Y 座標方向に 1 増えた際に何バイト分アドレスを移動してメモリからデータを読むかを指定するレジスタであり、液晶パネルの横幅と同一である必要はありません。2 次元の画像イメージ上の点 (X、Y) のメモリアドレスが $A_x + B_y + C$ で計算される場合、本レジスタはこの式の B と等しくなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAO[15:0]															
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~0	LAO[15:0]	H'0280	R/W	ラインアドレスオフセット 最小のアライメント単位は 16 バイトです。16byte 単位の処理となるので、各レジスタ書き込み値の下位 4 ビットは 0 としてください。また、レジスタ値を読み出すと下位 4 ビットは 0 が読み出されます。初期値は、VGA (640×480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値 (×解像度 = 640) となっています。 LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅 (たとえば、320×240 のパネルの 320) ではなく、画像イメージの横幅 (回転後、240×320 になる場合の 240) 以上の 2 のべき乗の値 (この例では 256) にする必要があります。

37.3.8 LCDC パレットコントロールレジスタ (LDPALCR)

LDPALCR は、パレットメモリの CPU からのアクセス、または LCDC からのアクセスを選択します。パレットメモリを使用して表示動作中は、通常表示モードに、パレットメモリの内容を書き換える際はカラーパレット設定モードに設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PALS	-	-	-	PALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PALS	0	R	パレット状態 パレットのアクセス権の状態を示します。 0: LCDC がパレットを使用。通常表示モード 1: ホスト (CPU) がパレットを使用。カラーパレット設定モード
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PALEN	0	R/W	パレット読み出し / 書き込みイネーブル パレットアクセス権を要求します。 0: 通常表示モードへの遷移要求 1: カラーパレット設定モードへの遷移要求

37.3.9 パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)

LDPR は、メモリ空間上に直接配置 (4 バイト × 256 アドレス) されたパレットデータをアクセスするためのレジスタです。パレットメモリへのアクセスは、本レジスタ (LDPR00 ~ LDPRFF) の中の該当するレジスタに対してアクセスしてください。一つ一つのパレットレジスタは RGB それぞれ 8 ビットずつの領域を有する 32 ビットのレジスタです。本カラーパレットの詳細仕様に関しては、「37.4.3 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	PALDnn[23:16]							
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PALDnn[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	-	-	R	リザーブビット
23 ~ 0	PALDnn[23:0]	-	R/W	パレットデータ ビット 18 ~ 16、9、8、2 ~ 0 は、RGB 各パレット内のリザーブビットです。設定できませんが、上位ビットに従って拡張して使用できます。

【注】 nn = H'00 ~ H'FF

37.3.10 LCDC 水平キャラクタナンバーレジスタ (LDHCNR)

LDHCNR は、液晶モジュールの横方向 (スキャン方向) のサイズ、および水平帰線期間を含めた全体のスキャン幅を指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HDCN[7:0]								HTCN[7:0]							
初期値:	0	1	0	0	1	1	1	1	0	1	0	1	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	HDCN[7:0]	01001111	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します (キャラクタ=8ドット単位)。 (表示キャラクタ数) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HDCN = (640/8) - 1 = 79 = H'4F$
7~0	HTCN[7:0]	01010010	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します (キャラクタ=8ドット単位)。 (総キャラクタ数) - 1 の値を設定してください。 ただし、最小の水平帰線期間は3キャラクタ (24ドット) です。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HTCN = [(640/8) - 1] + 3 = 82 = H'52$ この場合、水平総ドット数は664ドット、水平帰線期間は24ドットになります。

- 【注】
- HDCN、HTCN の設定値は、 $HTCN > = HDCN$ の関係を必ず満足してください。また、HTCN は総キャラクタ数を偶数としてください (設定値は -1 値設定のため奇数となります)。
 - HDCN の設定は、使用するディスプレイの解像度によって下記としてください。
 - 1bpp の場合: (16 の倍数) - 1 [1 ラインが 128pixel の倍数]
 - 2bpp の場合: (8 の倍数) - 1 [1 ラインが 64pixel の倍数]
 - 4bpp の場合: (4 の倍数) - 1 [1 ラインが 32pixel の倍数]
 - 6bpp/8bpp の場合: (2 の倍数) - 1 [1 ラインが 16pixel の倍数]

37.3.11 LCDC 水平同期信号レジスタ (LDHSYNR)

LDHSYNR は、液晶パネルモジュールの横方向 (スキャン方向) の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HSYNW[3:0]				-	-	-	-	HSYNP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	HSYNW[3:0]	すべて0	R/W	水平同期信号幅 水平画面方向の同期信号 (CL1、Hsync) 幅を設定します (キャラクタ=8ドット単位)。 (水平同期信号幅) - 1 の値を設定してください。 (例) 水平同期信号幅を8ドットとする場合 $HSYNW = (8 \text{ドット} / 8 \text{ドット} / \text{キャラクタ}) - 1 = 0 = H'0$
11~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	HSYNP[7:0]	01010000	R/W	水平同期信号出力位置 水平画面方向の同期信号の出力位置を設定します (キャラクタ=8ドット単位)。 (水平同期信号出力位置) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HSYNP = [(640/8) + 1] - 1 = 80 = H'50$ この場合、648ドット目から655ドット目まで水平同期信号がアクティブになります。

【注】 $HTCN > = HSYNP + HSYNW + 1$

$HSYNP > = HDCN + 1$ の関係を満足してください。

37.3.12 LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)

LDVDLNR は、液晶パネルモジュールの縦方向(スキャン方向と垂直方向)のサイズを指定するレジスタです。DSTN の場合は上下のパネルの大きさにかかわらず、パネルモジュールとしての縦方向サイズ以上の偶数を指定してください(例: 640×480 のパネルの場合は 480)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VDLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	VDLN[10:0]	0011101111	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します(ライン単位)。 (表示ライン数) - 1 の値を設定してください。 (例) 480 ラインの液晶モジュールを使用する場合 VDLN = 480 - 1 = 479 = H'1DF

37.3.13 LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)

LDVTLNR は、液晶パネルモジュールの垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	VTLN[10:0]	0011101111	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します(ライン単位)。 (総ライン数) - 1 の値を設定してください。 最小の垂直総ライン数は2ラインです。 VTLN >= VDLN、VTLN >= 1 を満足してください。 (例) 480 ラインの液晶モジュールを使用し、垂直帰線期間が0ラインの場合 VTLN = (480 + 0) - 1 = 479 = H'1DF

37.3.14 LCDC 垂直同期信号レジスタ (LDVSYNR)

LDVSYNR は、液晶モジュールの縦方向 (スキャン方向と垂直方向) の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSYNW[3:0]				-	VSYNP[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	VSYNW[3:0]	すべて 0	R/W	垂直同期信号幅 垂直画面方向の同期信号 (FLM、Vsync) 幅を設定します (ライン単位)。 (垂直同期信号幅) - 1 の値を設定してください。 (例) 垂直同期信号幅を 1 ラインとする場合 $VSYNW = (1 - 1) = 0 = H'0$
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	VSYNP[10:0]	0011101111	R/W	垂直同期信号出力位置 垂直画面方向の同期信号 (FLM、Vsync) の出力位置を設定します (ライン単位)。 (垂直同期信号出力位置) - 2 の値を設定してください。 DSTN の場合は奇数値を設定してください。(設定値 + 1)/2 として扱われます。 (例) 480 ラインの液晶モジュールを使用し、帰線期間が 0 ライン、つまり VTLN = 479 のときに 1 ライン目に垂直同期信号をアクティブにする場合 <ul style="list-style-type: none"> シングルディスプレイの場合 $VSYNP = [(1 - 1) + VTLN] \bmod (VTLN + 1) = [(1 - 1) + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$ デュアルディスプレイの場合 $VSYNP = [(1 - 1) \times 2 + VTLN] \bmod (VTLN + 1) = [(1 - 1) \times 2 + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$

37.3.15 LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)

LDACLNR は、液晶モジュールの AC モジュレーション信号 (液晶交流化信号) をトグルするタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	ACLN[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	ACLN[4:0]	01100	R/W	AC ラインナンバー 液晶モジュール交流化信号をトグルする行数を設定します(ライン単位)。 (トグルする行数) - 1 の値を設定してください。 (例) 13 ラインごとにトグルさせる場合 ACLN = 13 - 1 = 12 = H'0C

【注】 パネルの総ライン数が偶数の場合、必ず奇数行でトグルするように偶数を設定してください。

37.3.16 LCDC 割り込みコントロールレジスタ (LDINTR)

LDINTR は、Vsync 割り込みの開始点を指定するレジスタです。割り込みについては、「37.3.20 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)」および「37.3.21 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)」も参照してください。なお、本レジスタの設定による作用と、LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR) の設定による作用は独立です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MINT EN	FINT EN	VSINT EN	VEINT EN	MINTS	FINTS	VSINTS	VEINTS	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	MINTEN	0	R/W	メモリアクセス割り込みイネーブル LCDC による VRAM アクセスの垂直帰線期間の開始点で割り込みを発生するか否かを設定します。 0: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生しません。 1: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生します。
14	FINTEN	0	R/W	フレーム終了割り込みイネーブル 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生するか否かを設定します。 0: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生しません。 1: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生します。
13	VSINTEN	0	R/W	Vsync 開始割り込みイネーブル LCDC Vsync の開始時に割り込みを発生するか否かを設定します。 0: LCDC Vsync の開始時に割り込みを発生しません。 1: LCDC Vsync の開始時に割り込みを発生します。
12	VEINTEN	0	R/W	Vsync 終了割り込みイネーブル LCDC Vsync の終了時に割り込みを発生するか否かを設定します。 0: LCDC Vsync の終了時に割り込みを発生しません。 1: LCDC Vsync の終了時に割り込みを発生します。

ビット	ビット名	初期値	R/W	説明
11	MINTS	0	R/W	<p>メモリアクセス割り込み状態</p> <p>メモリアクセス割り込みの処理状態を表します。</p> <p>このビットは、LCDC メモリアクセス割り込みが発生した時点で 1 を示します (セット状態)。メモリアクセス割り込みに対する処理ルーチンの中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がメモリアクセス割り込みを発生していないか、またはメモリアクセス割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がメモリアクセス割り込みを発生し処理済の通知を受けていない状態を表します。</p>
10	FINTS	0	R/W	<p>フレーム終了割り込み状態</p> <p>フレーム終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC フレーム終了割り込みが発生した時点で 1 を示します (セット状態)。フレーム終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がフレーム終了割り込みを発生していないか、またはフレーム終了割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がフレーム終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
9	VSINTS	0	R/W	<p>Vsync 開始割り込み状態</p> <p>LCDC Vsync 開始割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 開始割り込みが発生した時点で 1 を示します (セット状態)。Vsync 開始割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC が Vsync 開始割り込みを発生していないか、または Vsync 開始割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC が Vsync 開始割り込みを発生し処理済の通知を受けていない状態を表します。</p>
8	VEINTS	0	R/W	<p>Vsync 終了割り込み状態</p> <p>LCDC Vsync 終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 終了割り込みが発生した時点で 1 を示します (セット状態)。Vsync 終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC が Vsync 終了割り込みを発生していないか、または Vsync 終了割り込み発生に対して処理済の通知を受けた状態を示します。</p> <p>1 : LCDC が Vsync 終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

37.3.17 LCDC パーマネジメントモードレジスタ (LDPMMR)

LDPMMR は、液晶パネルモジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。LCD_VCPWC と LCD_VEPWC の 2 種類の電源制御端子を使用するかしないか、電源投入機能オン/オフを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONC[3:0]				OFFD[3:0]				-	VCPE	VEPE	DONE	-	-	LPS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	ONC[3:0]	すべて0	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VEPWC 端子のアサートから LCD_DON 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 37.5 ~ 図 37.8 の「電源制御シーケンスと液晶モジュールの動作状態」の(c)期間に当たります。詳細な方法は、表 37.7 を参照してください(設定方法は ONA、ONB、OFFD、OFFE、OFFF の各レジスタに共通です)。
11~8	OFFD[3:0]	すべて0	R/W	LCDC 電源遮断シーケンス期間 LCD モジュールの電源遮断シーケンスにおいて LCD_DON 端子のネゲートから LCD_VEPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 37.5 ~ 図 37.8 の「電源制御シーケンスと液晶モジュールの動作状態」の(d)期間に当たります。
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	VCPE	0	R/W	LCD_VCPWC 端子イネーブル LCD_VCPWC 端子を用いた電源制御シーケンス処理の有無を設定します 0: (処理無) LCD_VCPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VCPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする
5	VEPE	0	R/W	LCD_VEPWC 端子イネーブル LCD_VEPWC 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) LCD_VEPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VEPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする

ビット	ビット名	初期値	R/W	説明
4	DONE	1	R/W	LCD_DON 端子イネーブル LCD_DON 端子を用いた電源制御シーケンス処理の有無を設定します。 0 : (処理無) LCD_DON 端子出力はマスクされロー固定 1 : (処理有) LCD_DON 端子出力は所定のシーケンスに従いアサート、ネゲートする
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	LPS[1:0]	すべて0	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00 : 液晶モジュール電源遮断 11 : 液晶モジュール電源投入

37.3.18 LCDC 電源シーケンス期間レジスタ (LDPSPR)

LDPSPR は、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。
LCD_VEPWC、LCD_VCPWC 端子とそれに伴うタイミング信号の出力開始タイミングを指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONA[3:0]				ONB[3:0]				OFFE[3:0]				OFFF[3:0]			
初期値:	1	1	1	1	0	1	1	0	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	ONA[3:0]	1111	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VCPWC 端子のアサートから表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 37.5 ~ 図 37.8 「電源制御シーケンスと液晶モジュールの動作状態」の (a) 期間に当たります。
11~8	ONB[3:0]	0110	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始から LCD_VEPWC 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 37.5 ~ 図 37.8 「電源制御シーケンスと液晶モジュールの動作状態」の (b) 期間に当たります。
7~4	OFFE[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて LCD_VEPWC 端子ネゲートから表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 37.5 ~ 図 37.8 「電源制御シーケンスと液晶モジュールの動作状態」の (e) 期間に当たります。
3~0	OFFF[3:0]	1111	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止から LCD_VCPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 37.5 ~ 図 37.8 「電源制御シーケンスと液晶モジュールの動作状態」の (f) 期間に当たります。

37.3.19 LCDC コントロールレジスタ (LDCNTR)

LDCNTR は、LCDC による表示動作の開始 / 終了を指定します。

DON2 ビットと DON ビットにそれぞれ 1 を書き込んだとき、LCDC は表示動作を開始します。次に、LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を投入します。LPS1、LPS0 ビットが B'00 から B'11 になれば所定のシーケンスは終了です。なお、所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

LCDC の表示動作を終了するときは、DON ビットを 0 に設定します。LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を遮断します。LCDC の動作を停止します。LPS[1:0]が B'11 から B'00 になれば所定のシーケンスは終了です。なお所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	DON2	-	-	-	DON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DON2	0	R/W	ディスプレイオン 2 LCDC による表示動作開始を指示します。 0 : LCDC 動作 / 終了中 1 : 動作開始 このビットを読み出すと常に 0 が読み出されます。表示動作開始時のみ 1 を書き込んでください。表示動作開始時以外で 1 を書いた場合の動作は保証されません。書き込んだ 1 は 0 に自動的に復帰するので、1 をクリアするために 0 を書き込む必要はありません。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DON	0	R/W	ディスプレイオン LCDC による表示動作の開始 / 終了を指示します。 制御シーケンスの状態は LDPMMR の LPS[1:0]値を参照することで確認できます。 0 : LCDC 非動作。表示オフモード 1 : LCDC 動作。表示オンモード

- 【注】
- 表示開始時は H'0011 を LDCNTR に、表示終了時は H'0000 を LDCNTR に書き込んでください。これ以外の値は書き込まないでください。
 - DON2 ビットに 1 を書き込むとパレット RAM データが不定になるので、DON2 ビットに 1 を書き込んでからパレット RAM にデータを設定してください。

37.3.20 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)

LDUINTR は、ユーザ指定割り込みの発生有無を設定し、その状態を表示するレジスタです。本割り込みは、LCDC が LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR) で設定したラインの画像データを VRAM から読み終えた時点で発生します。

本 LCDC が発行する割り込み (LCDCI) は、本レジスタによるユーザ指定割り込みと LCDC 割り込みコントロールレジスタ (LDINTR) によるメモリアクセス、Vsync 割り込みとの OR 出力となります。なお、本レジスタと LCDC 割り込みコントロールレジスタ (LDINTR) の設定は、割り込み動作に対して独立に作用します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UINTEN	-	-	-	-	-	-	-	UINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	UINTEN	0	R/W	ユーザ指定割り込みイネーブル LCDC ユーザ指定割り込みを発生するかどうかを設定します。 0: LCDC ユーザ指定割り込みを発生しません。 1: LCDC ユーザ指定割り込みを発生します。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	UINTS	0	R/W	ユーザ指定割り込み状態 このビットは、LCDC ユーザ指定割り込みが発生した時点で1を示します (セット状態)。ユーザ指定割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。 0: LCDC がユーザ指定割り込みを発生していないか、またはユーザ指定割り込み発生に対して処理済の通知を受けた状態を表します。 1: LCDC がユーザ指定割り込みを発生し処理済の通知を受けていない状態を表します。

【注】 割り込み処理の流れ

1. 割り込み信号入力
2. LDINTR のリード
3. もし MINTS または FINITS または VSINTS または VEINTS = 1 ならば、その割り込みはメモリアクセスあるいはフレーム終了割り込みあるいは Vsync 立ち上がり割り込みあるいは Vsync 立ち下がり割り込み。それぞれの割り込みに対する処理を行う。
4. もし MINTS = FINITS = VSINTS = VEINTS = 0 ならば、その割り込みはメモリアクセス、フレーム終了、Vsync 立ち上がり割り込み、および Vsync 立ち下がり割り込みではない。
5. UINTS のリード
6. もし UINTS = 1 ならば、その割り込みはユーザ指定割り込み。ユーザ指定割り込みに対する処理を行う。
7. もし UINTS = 0 ならば、その割り込みはユーザ指定割り込みではない。他の処理を行う。

37.3.21 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)

LDUINTLNR は、ユーザ指定割り込みを発生する位置を設定するレジスタです。設定は水平ライン単位で行うことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	UINTLN[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	UINTLN[10:0]	0000100 1111	R/W	ユーザ指定割り込み発生ラインナンバー ユーザ指定割り込みを発生するラインを設定します (ライン単位)。 (割り込み発生ライン数) - 1 の値を設定してください。 (例) 80 ライン目にユーザ指定割り込みを発生する場合: $HINTLN = 160/2 - 1 = 79 = H'04F$

- 【注】
1. STN/TFT の液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) 以下にしてください。
 2. DSTN 液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) の 1/2 以下に設定してください。このとき、ユーザ指定割り込みは LCDC が下部画面の画像データを本レジスタに設定したライン数分 VRAM から読み終えた時点で発生します。

37.3.22 LCDC メモリアクセスインターバルナンバレジスタ (LDLIRNR)

LDLIRNR は、LCDC が VRAM を読み出す際のバスサイクルの間隔を制御します。LDLIRNR に H'00 以外の値を設定した場合には、DDR-SDRAM のクロック数をカウントし LDLIRNR の設定値と一致するまで、LCDC は VRAM をアクセスしません。LDLIRNR に H'00 を設定した場合 (初期値) には、LCDC の VRAM アクセスの 1 クロック後に、LCDC が VRAM アクセスを行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	LIRN[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	LIRN[7:0]	すべて 0	R/W	LCDC の VRAM 読み出しクロックサイクル間隔 LCDC が VRAM を読み出すバーストバスサイクルの間の DDR-SDRAM のクロックサイクル数を指定します。 H'00 : 1 クロックサイクル H'01 : 1 クロックサイクル : H'FF : 255 クロックサイクル

37.4 動作説明

37.4.1 LCDC で表示可能な液晶モジュールのサイズについて

LCDC は、機能としては 1024 × 1024 ドット、16bpp (ビットパ-ピクセル) の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有である VRAM に格納されており、本 LCDC は表示に間に合うように VRAM からデータの読み出しを行う必要があります。

本 LSI では、最大 32 バーストのメモリリードと 2.4k バイトのラインバッファ内蔵により、表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。フレームレート 60Hz とした場合の推奨するサイズとしては、16bpp 時 320 × 240 ドット、もしくは 8bpp 時 640 × 480 ドットです。

目安としては、下記に示されたバス占有率が 40% を超えないようにしてください。

$$\text{バス占有率 (\%)} = \frac{\text{オーバーヘッド係数} \times \text{表示総ピクセル数} (\text{HDCN} + 1) \times 8 \times (\text{VDLN} + 1)}{\text{フレームレート (Hz)} \times \text{色数 (bpp)}} \times 100$$

$$\text{バス占有率 (\%)} = \frac{\text{CLKOUT (Hz)} \times \text{バス幅* (bit)}}{\text{フレームレート (Hz)} \times \text{色数 (bpp)}} \times 100$$

【注】* バス幅：32ビット

オーバーヘッド係数は、CL (CAS レイテンシ) = 2.5 の DDR-SDRAM が 32 ビットバスのときに 1.375 となります。

図 37.2 に有効な表示と帰線期間について示します。

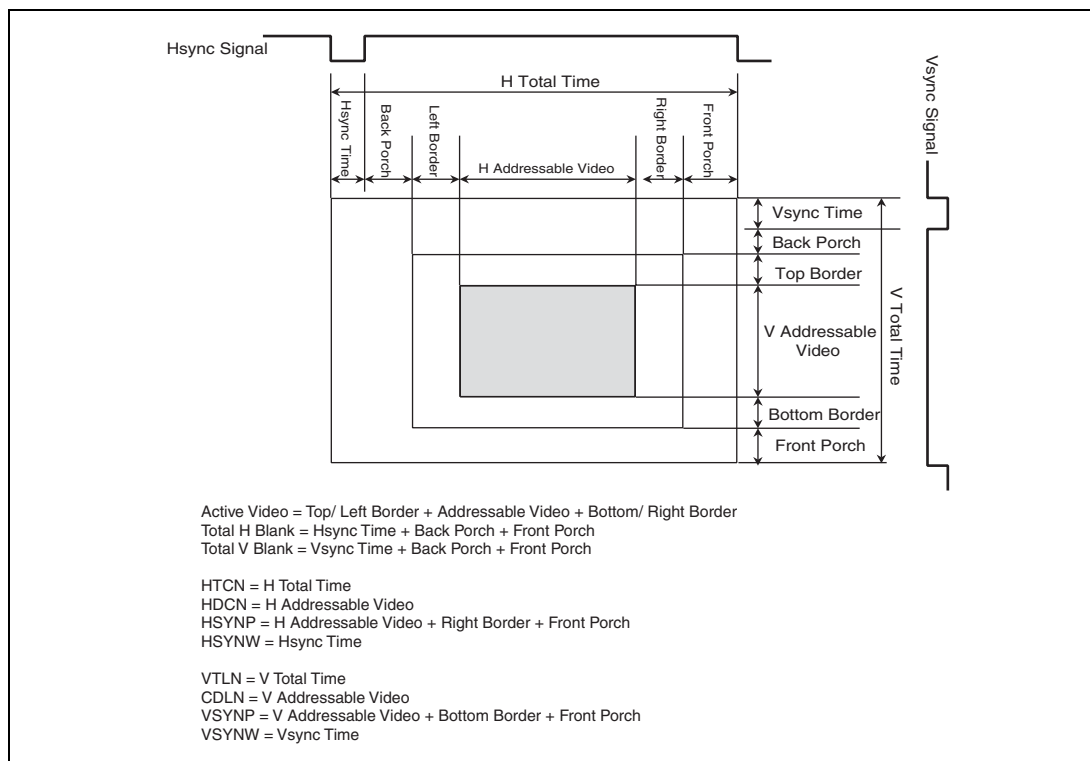


図 37.2 有効な表示と帰線期間

37.4.2 回転表示の解像度 / バースト長および接続メモリ (DDR-SDRAM) の制限

本 LCDC は、縦長の表示イメージを 90 度回転して、対応する横長の液晶モジュールに表示可能です。それぞれの解像度について以下に示す色数の表示のみ可能です。また、DDR-SDRAM を連続して読み出すために DDR-SDRAM のサイズ (カラムアドレス bit 数) および LCDC のバースト長に制限があります。

表示色数、DDR-SDRAM カラムアドレス数および LCDC のバースト長の制限を表 37.5 に示します。

なお、モノクロの表示イメージを表示するにはモノクロの液晶モジュールを、カラーの表示イメージを表示するにはカラーの液晶モジュールを必要とします。

表 37.5 回転表示の解像度 / バースト長および接続メモリの制限

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する DDR-SDRAM カラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
240 × 320	320 × 240	モノクロ	4bpp (packed)	9bit 品	16 バースト以下
				10bit 品	-
			4bpp (unpacked)	9bit 品	8 バースト以下
				10bit 品	16 バースト以下
		6bpp	9bit 品	8 バースト以下	
			10bit 品	16 バースト以下	
		カラー	8bpp	9bit 品	8 バースト以下
				10bit 品	16 バースト以下
16bpp	9bit 品	4 バースト			
	10bit 品	8 バースト以下			
234 × 320	320 × 234	モノクロ	6bpp	9bit 品	8 バースト以下
				10bit 品	16 バースト以下
		カラー	16bpp	9bit 品	4 バースト
				10bit 品	8 バースト以下

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する DDR-SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
80 × 160	160 × 80	モノクロ	2bpp	9bit 品	-
				10bit 品	-
			4bpp (packed)	9bit 品	-
				10bit 品	-
			4bpp (unpacked)	9bit 品	16 バースト以下
				10bit 品	-
			6bpp	9bit 品	16 バースト以下
				10bit 品	-
		カラー	4bpp (packed)	9bit 品	-
				10bit 品	-
			4bpp (unpacked)	9bit 品	16 バースト以下
				10bit 品	-
			8bpp	9bit 品	16 バースト以下
				10bit 品	-
16bpp	9bit 品	8 バースト以下			
	10bit 品	16 バースト以下			
64 × 128	128 × 64	モノクロ	1bpp	9bit 品	-
				10bit 品	-
			2bpp	9bit 品	-
				10bit 品	-
			4bpp (packed)	9bit 品	-
				10bit 品	-
			4bpp (unpacked)	9bit 品	-
				10bit 品	-
		6bpp	9bit 品	-	
			10bit 品	-	
		カラー	4bpp (packed)	9bit 品	-
				10bit 品	-
			4bpp (unpacked)	9bit 品	-
				10bit 品	-
8bpp	9bit 品		-		
	10bit 品		-		

【注】 * バースト長に設定したライン数分のデータが DDR-SDRAM の同一 ROM アドレス内に入るように、データを設定してください。

37.4.3 カラーパレット仕様について

(1) カラーパレットレジスタ

本LCDCは1エンタリにつき24ビットデータ出力で256エンタリ同時使用可能なカラーパレットを有しており、本カラーパレットを利用することで16M色中256色同時発色が可能です。

また、本カラーパレットは以下の手順によって、ユーザにより随時設定可能です。

1. LDPALCRのPALENビット=0(初期値)：通常表示動作
2. LDPALCRにアクセスしPALEN=1を設定：カラーパレット設定モードに移行は周辺クロック0の3サイクル後
3. LDPALCRにアクセスしPALS=1を確認
4. LDPR00~FFにアクセスしPALD00~FFに必要な値を書き込む
5. LDPALCRにアクセスしPALEN=0を設定：通常表示モードに移行は周辺クロック0の1サイクル後

なお、LDPALCRのPALS=1の間、LCDC表示データ出力(LCD_D15~0)は0値出力となります。

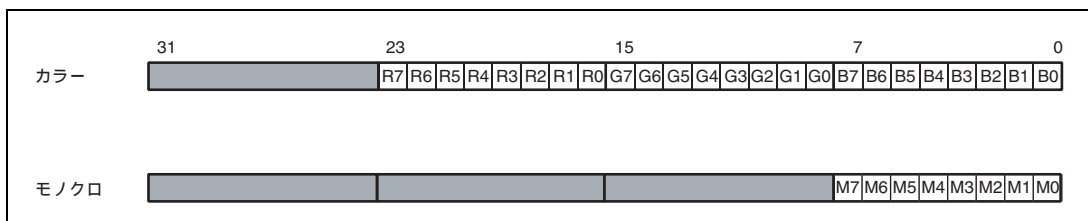


図 37.3 カラーパレットデータフォーマット

PALDnnの色/階調データは上記のように設定してください。

カラー表示の場合、PALDnn[23:16]にはRデータを、PALDnn[15:8]にはGデータを、PALDnn[7:0]にはBデータを設定します。ただし、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]にはレジスタのビットは存在しますが、それに対応するメモリが存在しません。そのため、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]はパレットのデータを保存することができないため、R:5ビット、G:6ビット、B:5ビットが有効となります。実際に使用する際は、24ビット(R:8ビット、G:8ビット、B:8ビット)のデータを書き込んでください。PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0でないときは、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0または1で埋め、PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0のときはPALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0で埋めることで24ビットに拡張します。

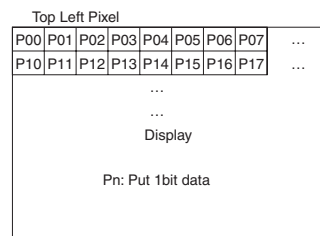
モノクロ表示の場合、PALDnn[7:3]に階調データを設定します。PALDnn[23:8]はdon't careです。PALDnn[7:3]の値が0でないときはPALDnn[2:0]を1で埋め、PALDnn[7:3]の値が0のときはPALDnn[2:0]を0で埋めることで8ビットに拡張します。


【記号説明】nn : H'00 ~ H'FF

37.4.4 データフォーマット

1. Packed 1bpp (Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format]

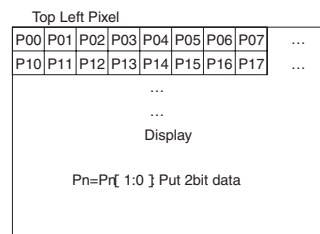
Address	MSB							LSB	Bit]
	7	6	5	4	3	2	1	0	
+00	P00	P01	P02	P03	P04	P05	P06	P07	(Byte0)
+01	P08								(Byte1)
+02	...								
+03	...								
...	...								
+LAO+00	P10	P11	P12	P13	P14	P15	P16	P17	
+LAO+01	P18								
+LAO+02	...								
+LAO+03	...								
...	Display Memory								




LAO: Line Address Offset
 -Unused bits should be 0

2. Packed 2bpp (Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format]

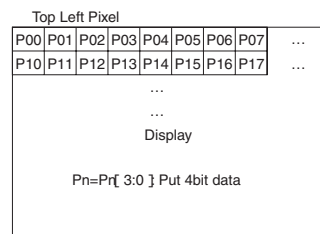
Address	MSB							LSB	Bit]
	7	6	5	4	3	2	1	0	
+00	P00	P01	P02	P03					(Byte0)
+01	P04	P05	P06	P07					(Byte1)
+02	...								
+03	...								
...	...								
+LAO+00	P10	P11	P12	P13					
+LAO+01	P14	P15	P16	P17					
+LAO+02	...								
+LAO+03	...								
...	Display Memory								




LAO: Line Address Offset
 -Unused bits should be 0

3. Packed 4bpp (Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format]

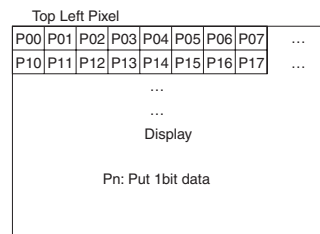
Address	MSB							LSB	Bit]	
	7	6	5	4	3	2	1	0		
+00	P00			P01						(Byte0)
+01	P02			P03						(Byte1)
+02	P04			P05						(Byte2)
+03	...									
...	...									
+LAO+00	P10			P11						
+LAO+01	P12			P13						
+LAO+02	P14			P15						
+LAO+03	...									
...	Display Memory									




LAO: Line Address Offset
 -Unused bits should be 0

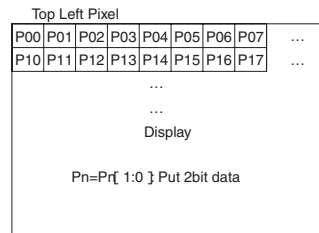
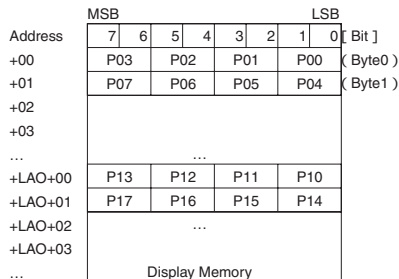
4. Packed 1bpp (Pixel Alignment in Byte is Little Endian)


Address	MSB							LSB	Bit]
	7	6	5	4	3	2	1	0	
+00	P07	P06	P05	P04	P03	P02	P01	P00	(Byte0)
+01								P08	(Byte1)
+02	...								
+03	...								
...	...								
+LAO+00	P17	P16	P15	P14	P13	P12	P11	P10	
+LAO+01								P18	
+LAO+02	...								
+LAO+03	...								
...	Display Memory								



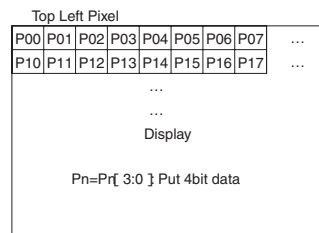
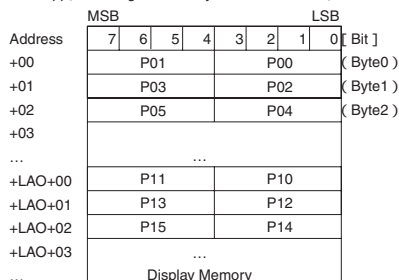
LAO: Line Address Offset
 -Unused bits should be 0


5. Packed 2bpp (Pixel Alignment in Byte is Little Endian)



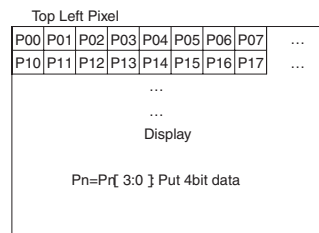
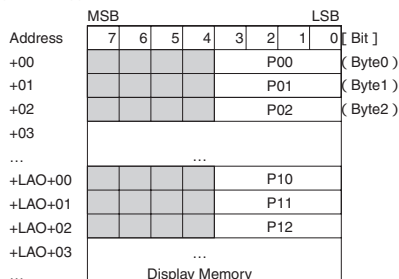
LAO: Line Address Offset
 -Unused bits should be 0


6. Packed 4bpp (Pixel Alignment in Byte is Little Endian)



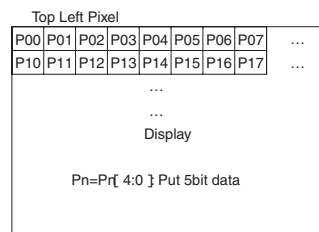
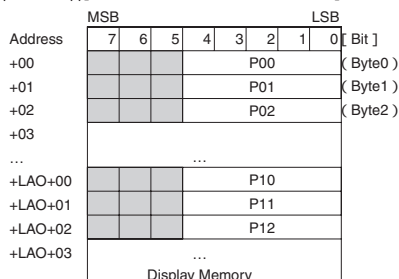
LAO: Line Address Offset
 -Unused bits should be 0


7. Unpacked 4bpp (Windows CE Recommended Format)



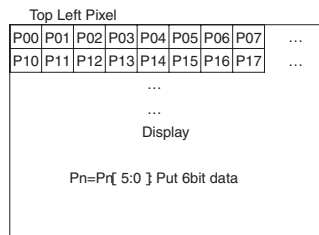
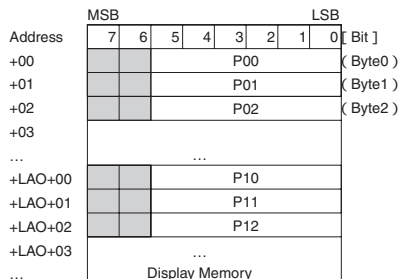
LAO: Line Address Offset
 -Unused bits should be 0

8. Unpacked 5bpp (Windows CE Recommended Format)



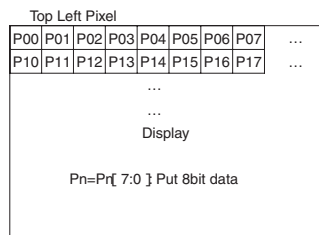
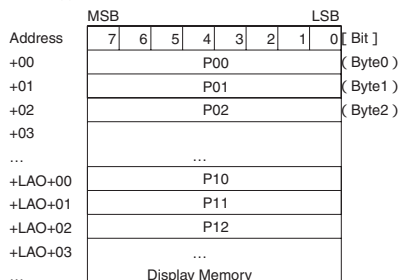
LAO: Line Address Offset
 -Unused bits should be 0

9.Unpacked 6bpp [Windows CE Recommended Format]



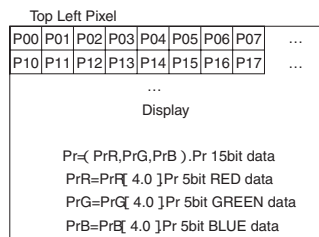
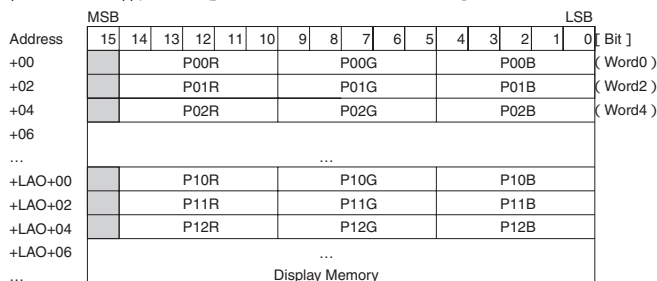
LAO: Line Address Offset
 [] -Unused bits should be 0

10.Packed 8bpp [Windows CE Recommended Format]



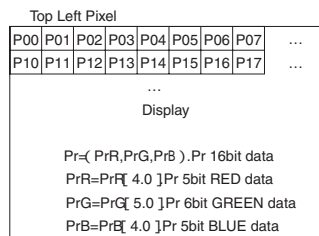
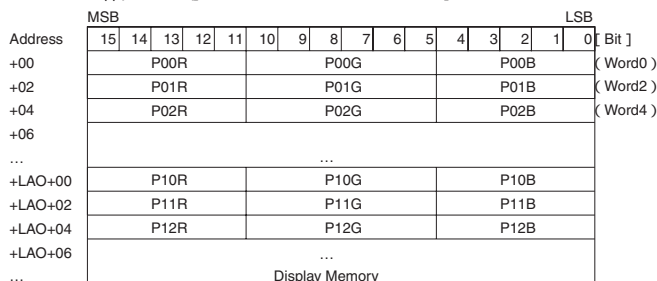
LAO: Line Address Offset
 [] -Unused bits should be 0

11.Unpacked color 15bpp [RGB 555] Windows CE Recommended Format]



LAO: Line Address Offset
 [] -Unused bits should be 0

12.Packed color 16bpp [RGB 565] Windows CE Recommended Format]



LAO: Line Address Offset
 [] -Unused bits should be 0

37.4.5 表示解像度の設定

表示解像度は LDHCNR、LDHSYNR、LDVDLNR、LDVTLNR、LDVSYNR で設定します。LDACLNR で STN または DSTN 表示時の液晶交流化周期を設定します。これらのレジスタの初期値は VGA (640 × 480 ドット)、STN または DSTN 表示に典型的な解像度設定値となっています。

LDICKR で使用するクロックを設定します。液晶モジュールのフレームレートは、サイズに関するレジスタで設定された 1 画面分の表示画面 + 帰線期間 (非表示期間) と使用するクロックの周波数により決定されます。また本 LCDC は、垂直帰線期間の開始点 (正確には最終表示ラインの次のライン開始点) ごとに割り込みを発生する Vsync 割り込み機能を有しています。LDINTR を用いて、その機能を設定します。

37.4.6 電源制御シーケンス処理

通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (LCD_VCPWC、LCD_VEPWC、LCD_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。

電源制御シーケンスのフローチャートを図 37.4 に、概略タイミングチャートを図 37.5 ~ 図 37.8 に、設定可能な電源制御シーケンス期間の説明を表 37.6 に示します。図 37.4 ~ 図 37.7 は、通常出力端子 (LCD_**) 側の動作を示しています。ミラー端子 (LCDM_**) 側も同様のタイミングとなります。

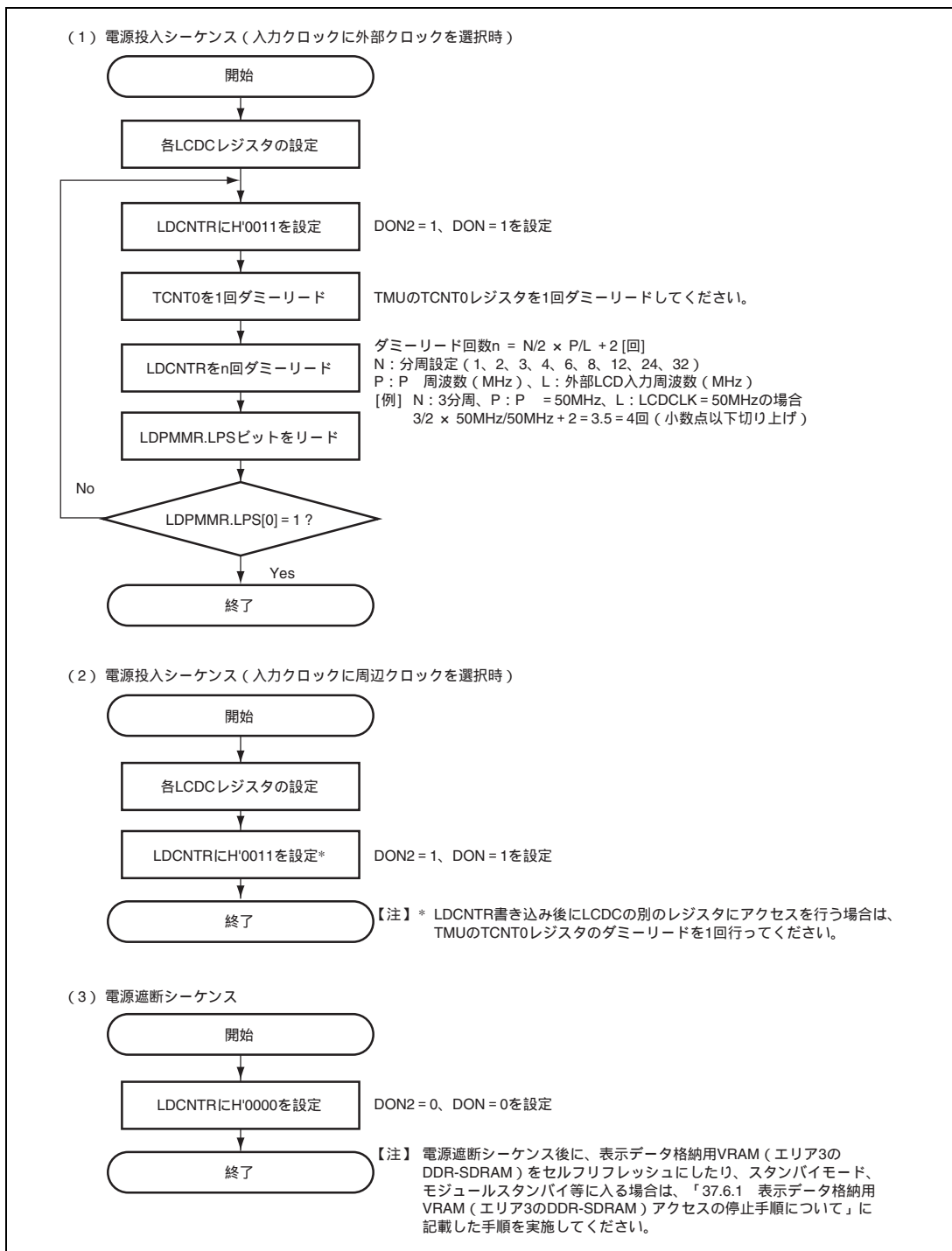


図 37.4 電源制御シーケンスのフローチャート

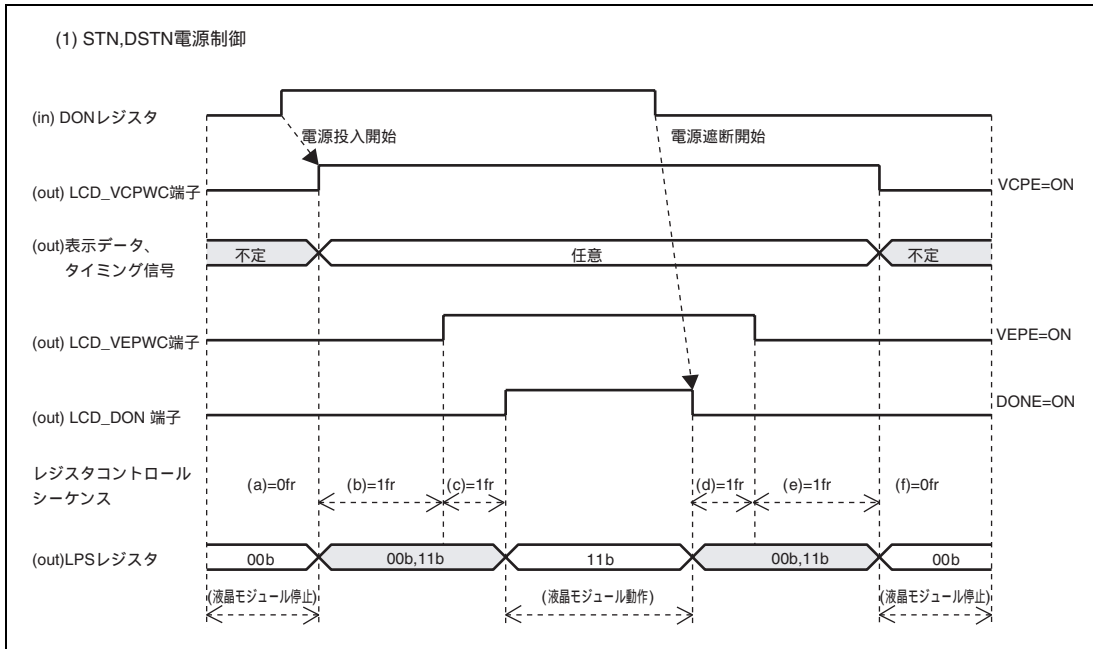


図 37.5 電源制御シーケンスと液晶モジュールの動作状態

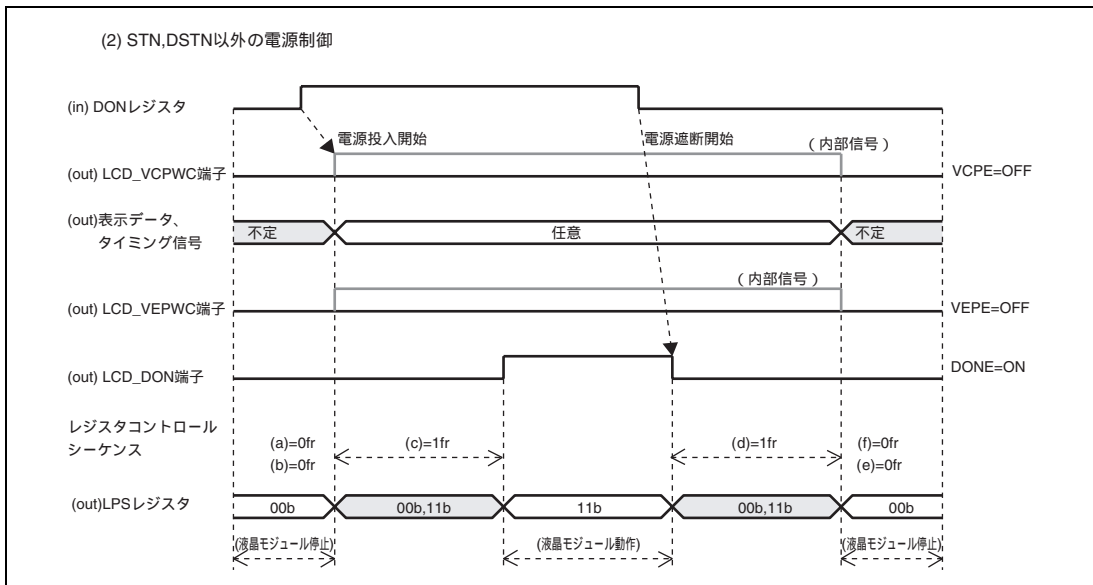


図 37.6 電源制御シーケンスと液晶モジュールの動作状態

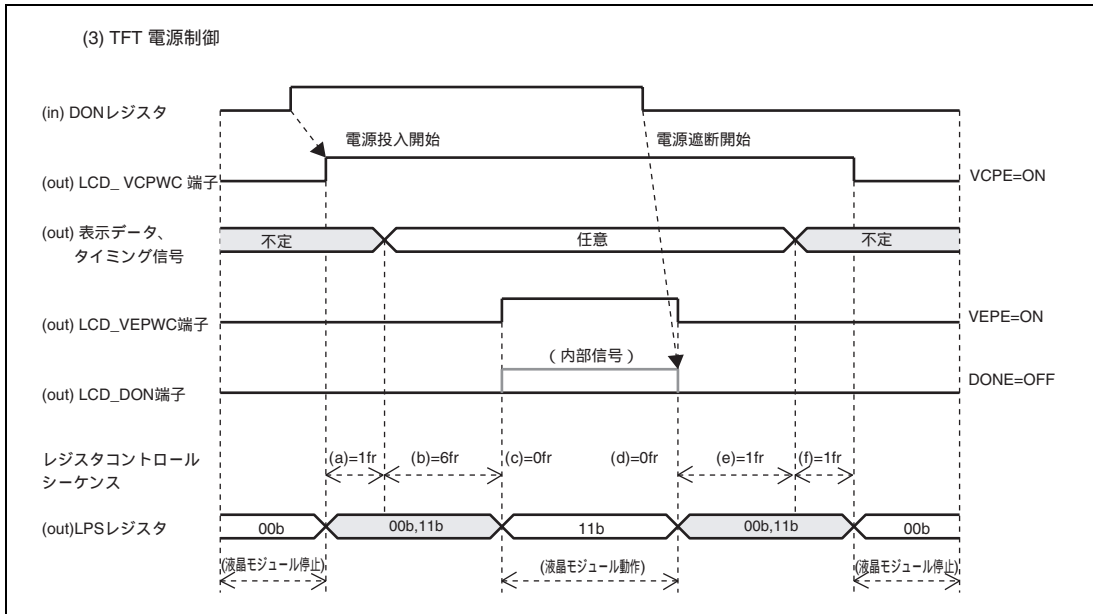


図 37.7 電源制御シーケンスと液晶モジュールの動作状態

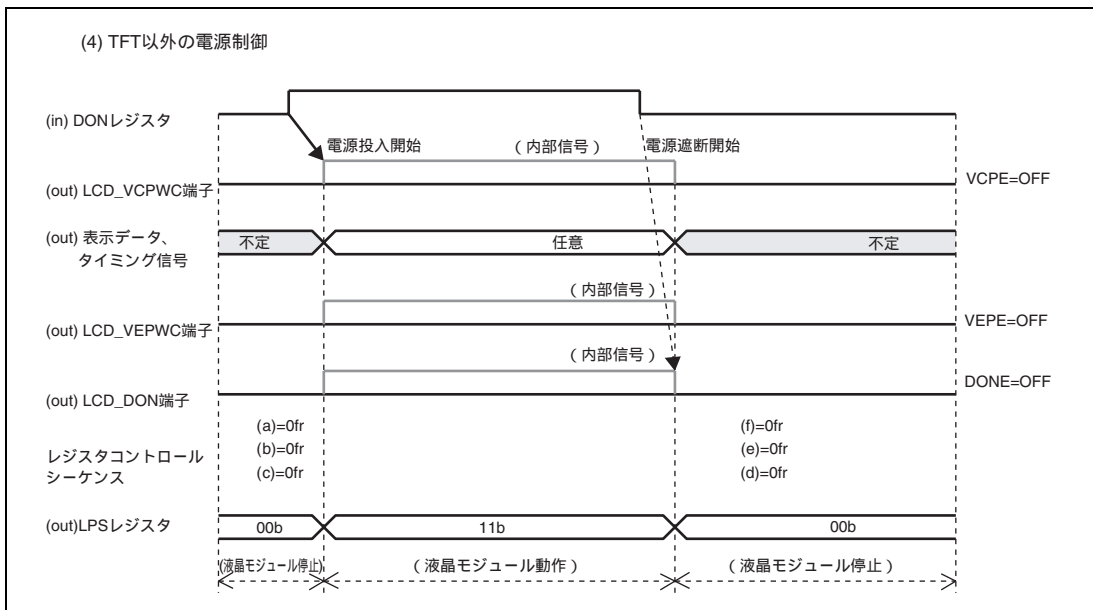


図 37.8 電源制御シーケンスと液晶モジュールの動作状態

表 37.6 代表的なフレームレートにおいて設定可能な電源制御シーケンス期間

ONX、OFFX レジスタ設定値	フレームレート	
	120Hz	60Hz
H'F	$(-1+1)/120 = 0.00(\text{ms})$	$(-1+1)/60 = 0.00(\text{ms})$
H'0	$(0+1)/120 = 8.33(\text{ms})$	$(0+1)/60 = 16.67(\text{ms})$
H'1	$(1+1)/120 = 16.67(\text{ms})$	$(1+1)/60 = 33.33(\text{ms})$
H'2	$(2+1)/120 = 25.00(\text{ms})$	$(2+1)/60 = 50.00(\text{ms})$
H'3	$(3+1)/120 = 33.33(\text{ms})$	$(3+1)/60 = 66.67(\text{ms})$
H'4	$(4+1)/120 = 41.67(\text{ms})$	$(4+1)/60 = 83.33(\text{ms})$
H'5	$(5+1)/120 = 50.00(\text{ms})$	$(5+1)/60 = 100.00(\text{ms})$
H'6	$(6+1)/120 = 58.33(\text{ms})$	$(6+1)/60 = 116.67(\text{ms})$
H'7	$(7+1)/120 = 66.67(\text{ms})$	$(7+1)/60 = 133.33(\text{ms})$
H'8	$(8+1)/120 = 75.00(\text{ms})$	$(8+1)/60 = 150.00(\text{ms})$
H'9	$(9+1)/120 = 83.33(\text{ms})$	$(9+1)/60 = 166.67(\text{ms})$
H'A	$(10+1)/120 = 91.67(\text{ms})$	$(10+1)/60 = 183.33(\text{ms})$
H'B	$(11+1)/120 = 100.00(\text{ms})$	$(11+1)/60 = 200.00(\text{ms})$
H'C	$(12+1)/120 = 108.33(\text{ms})$	$(12+1)/60 = 216.67(\text{ms})$
H'D	$(13+1)/120 = 116.67(\text{ms})$	$(13+1)/60 = 233.33(\text{ms})$
H'E	$(14+1)/120 = 125.00(\text{ms})$	$(14+1)/60 = 250.00(\text{ms})$

ONA、ONB、ONC、OFFD、OFFE、OFFF の各レジスタはフレーム周期単位で 0~15 フレームまでの電源制御シーケンス期間を設定可能です。レジスタ設定は (-1 値) 設定であり、H'0~H'E 設定でおのおの 1~15 フレーム、HF 設定で 0 フレームを意味します。

実際のシーケンス時間はレジスタ設定値と表示フレーム周波数に依存します。下表は代表的な液晶モジュールの表示フレーム周波数での電源制御シーケンス期間です。

- 表示フレーム周波数120HzにおいてONBレジスタにH'6を設定した場合

表示フレーム周波数が 120Hz なので、1 フレームの時間は $8.33 \text{ (ms)} = 1/120 \text{ (sec)}$

ONB レジスタは (-1 値) 設定なので電源投入シーケンス期間は 7 フレーム。

したがって、この場合のシーケンス時間は $58.33 \text{ (ms)} = 8.33 \text{ (ms)} \times 7$ となります。

表 37.7 LCDC 動作モード

モード		機能
表示 ON (LCDC 動作)	レジスタ設定: DON = 1	所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力
表示 OFF (LCDC 停止)	レジスタ設定: DON = 0	レジスタアクセスは可能。 所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力しない

表 37.8 液晶モジュール電源状態

(STN、DSTN モジュールの場合)

状態	ロジック系電源	表示データ タイミング信号	高圧系電源	DON 信号
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、LCD_FLM、 LCD_M_DISP、LCD_D15~0	LCD_VEPWC	LCD_DON
動作状態	供給	供給	供給	供給
(過渡状態)	供給	供給	供給	
	供給	供給		
	供給			
停止状態				

(TFT モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、 LCD_FLM、LCD_M_DISP、 LCD_D15~0	LCD_VEPWC
動作状態	供給	供給	供給
(過渡状態)	供給	供給	
	供給		
停止状態			

上記は、一般的と思われる液晶モジュールの動作状態、停止状態での電源および表示データ、タイミング信号の供給状態です。ただし、モジュールによっては高圧系電源をロジック系電源電圧からモジュール内部で生成するものもあり必ずしも示した電源の供給を必要としているとは限りません。

表示 OFF モード (LCDC 停止) の注意事項

本 LCDC による液晶モジュール電源制御シーケンス処理を使用している場合、表示 ON モードのまま電源の遮断を行った場合の LCDC の正常動作は保証できません。また、最悪の場合、接続している液晶モジュールが破損する恐れがあります。

37.4.7 ハードウェアローテーション動作説明

以下にハードウェアローテーション動作の説明を示します。ハードウェアローテーションモードは、「横長の画面をもつ液晶パネルを縦置きすることで縦長の液晶パネルの代わりに使う」ような使い方を想定しています。パネルの形は横長でも縦長でも問題ありませんが、横幅が 320 以下である必要があります。

ハードウェアローテーションを行う場合、ハードウェアローテーション無しの設定から以下の 5 項目を変更しなければなりません (以下の例は 8bpp 時。16bpp 時は 1 ドット当たりのメモリサイズが 2 倍になるため、イメージのサイズ、回転時のレジスタ設定値が異なります)。

1. 画像イメージは、回転したパネルで表示する形で用意する (回転後に 240×320 であれば、回転されていない 240×320 のサイズのデータを用意する)
2. 画像イメージのアドレスに関するレジスタの設定を変更する (LDSARU、LDLAOR)。
3. LDLAOR を 2 のべき乗にする (回転した後の横幅が 240 の場合、256 にする)。
4. グラフィックソフトウェアも 3. の設定に合わせる。
5. LDSARU を画像イメージの左上のアドレスから、左下のアドレスに変更する。

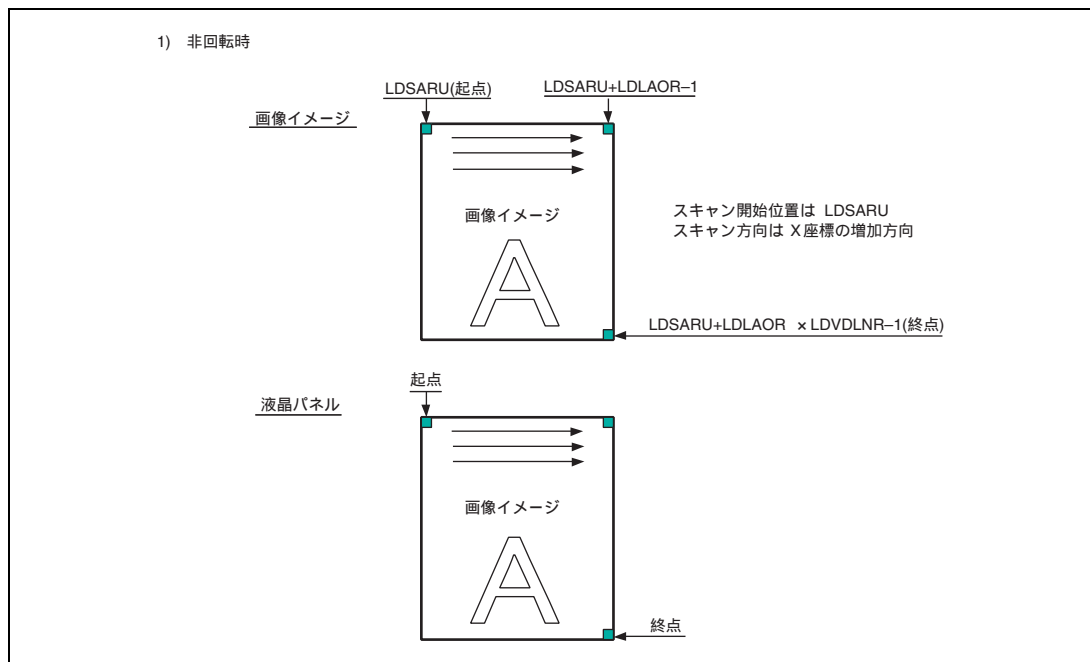


図 37.9 ハードウェアローテーション動作 (非回転時)

たとえば、サイズ 320×240 の液晶パネルに対して $LDSARU = 0x0c001000$ から始まる横長の画像イメージ (320×240) を表示するレジスタ設定、およびグラフィックドライバソフトウェアが完成しているものとします。この状態でハードウェアローテーションを使い 240×320 で表示するように変更してみます。このとき、 $LDLAOR = 512$ であったとすると、グラフィックドライバソフトウェアも画像イメージの Y 座標のアドレス計算用オフセットを 2 のべき乗としているはずですが、この状態で $ROT = 1$ とする前に、画像イメージ自体が 240×320 用に描きなおす必要があります。また、サイズが異なるので、 $LDLAOR = 256$ となり、同時にグラフィックドライバソフトウェアも変更します。 $LDSARU$ は左上から左下になりますので、 $LDSARU = 0x0c001000 + 256 * 319$ に変更します。

【注】 ハードウェアローテーション機能は、液晶パネルを 90 度傾けて使えるようにする機能であり、液晶パネル自体に関わる設定に関しては、回転前の液晶パネルに合わせる必要があります。また、グラフィックドライバソフトウェアの描画処理にはかかわらずに回転可能ですが、グラフィックドライバソフトウェアの管理している画像イメージのサイズ、およびアドレスオフセットの値を実際の画像イメージに合わせる必要があります。

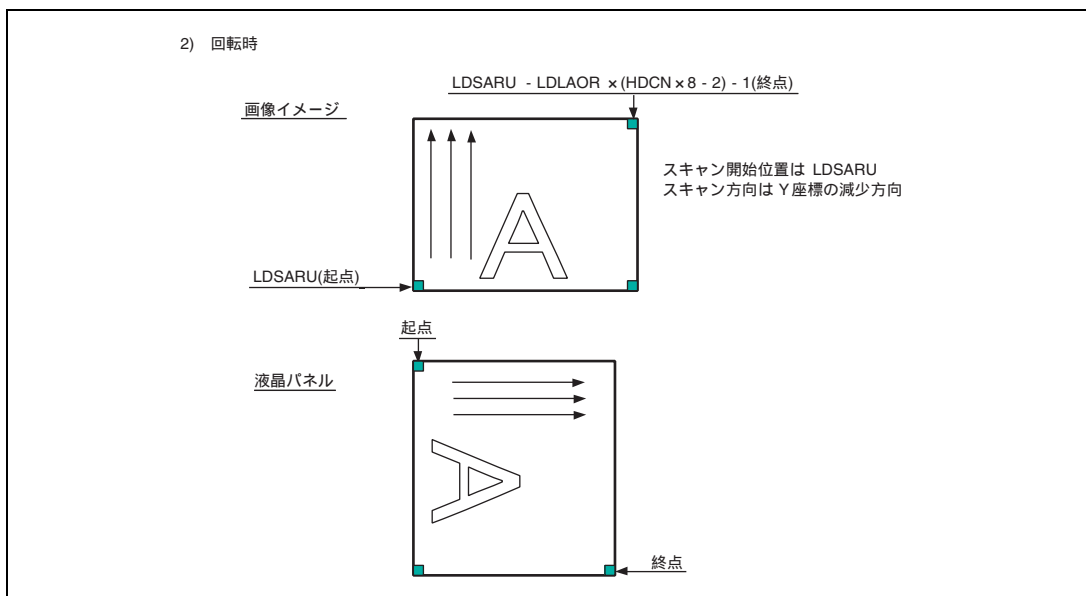


図 37.10 ハードウェアローテーション動作 (回転時)

37.5 クロックと LCD データ信号例

以下のタイミング図は、通常の実出力端子 (LCD_*) 側のタイミングを示しています。ミラー端子 (LCDM_*) 側も同様のタイミングとなります。

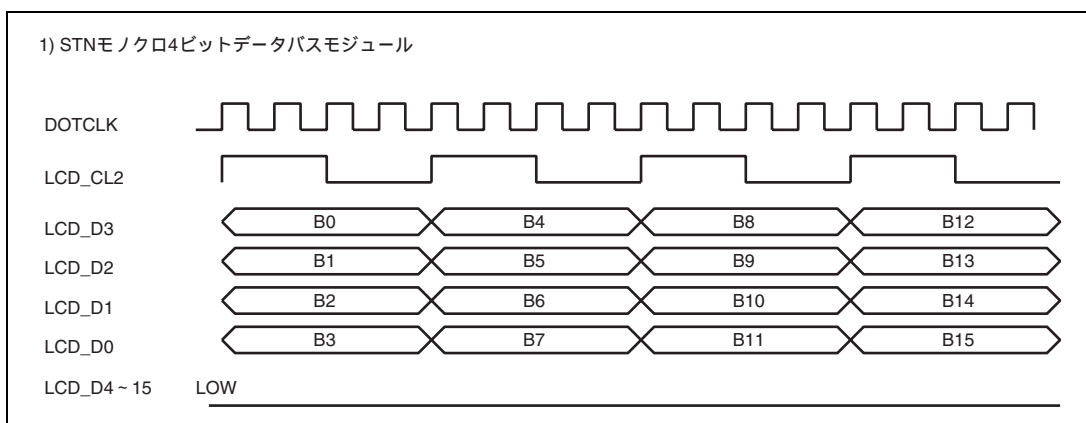


図 37.11 クロックと LCD データ信号例 (STN モノクロ 4 ビットデータバスモジュール)

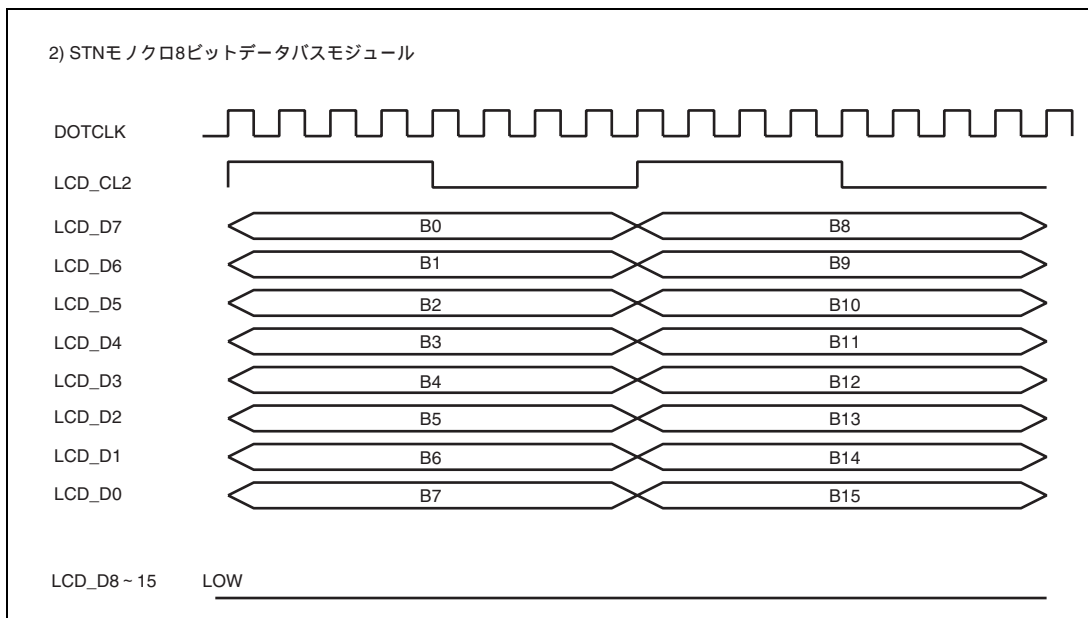


図 37.12 クロックと LCD データ信号例 (STN モノクロ 8 ビットデータバスモジュール)

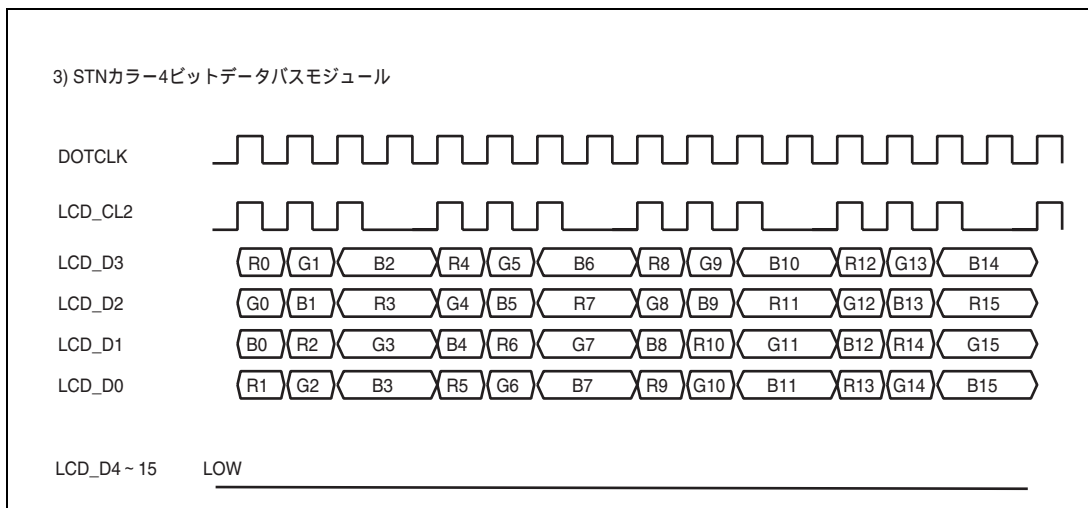


図 37.13 クロックと LCD データ信号例 (STN カラー 4 ビットデータバスモジュール)

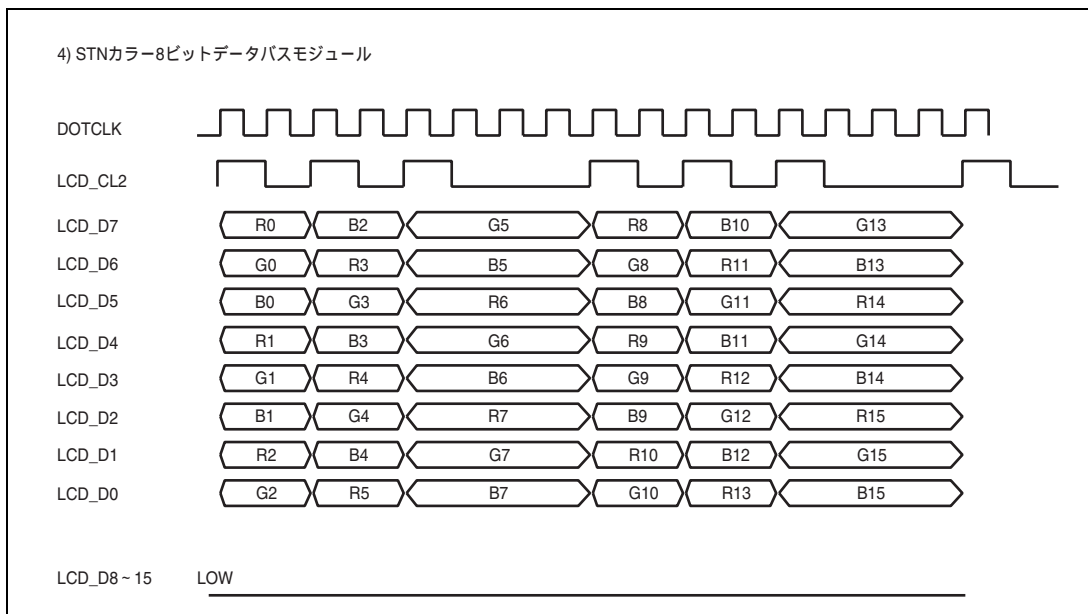


図 37.14 クロックと LCD データ信号例 (STN カラー8 ビットデータバスモジュール)

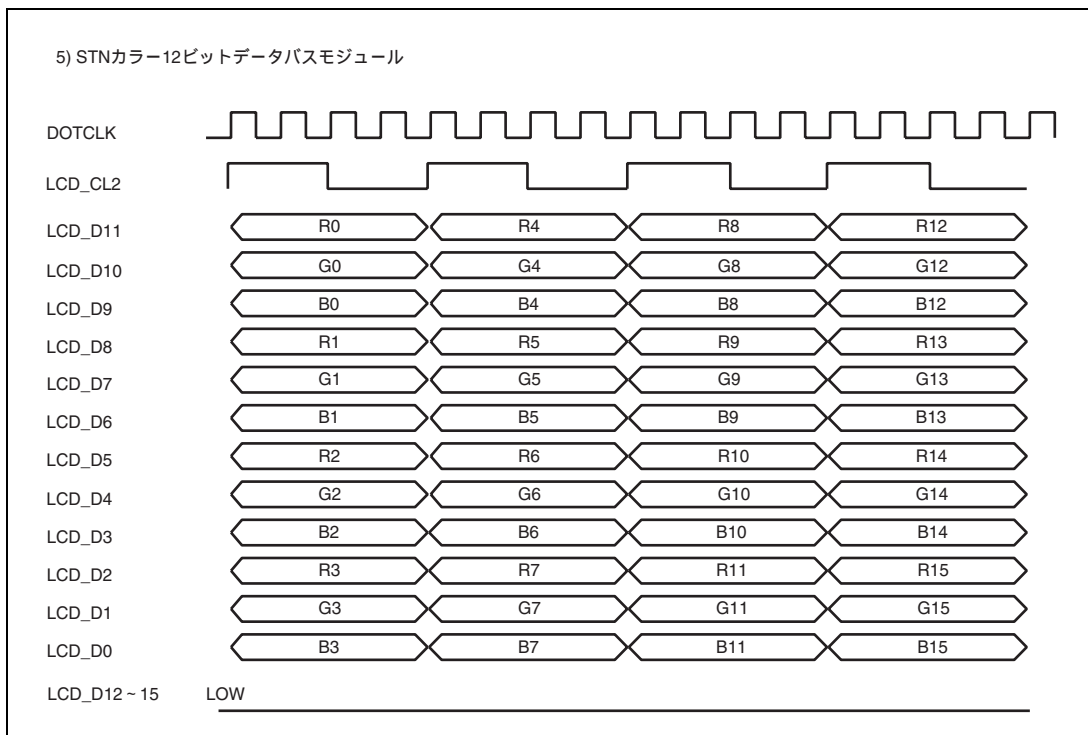


図 37.15 クロックと LCD データ信号例 (STN カラー12 ビットデータバスモジュール)

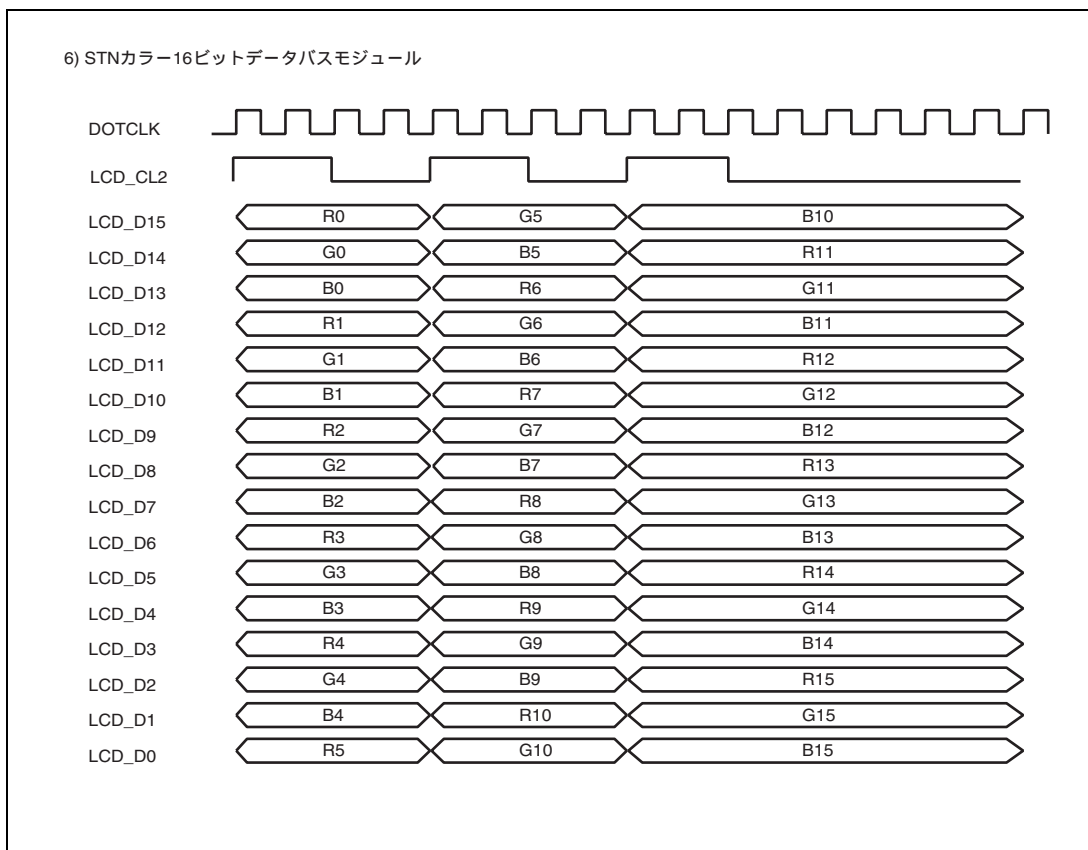


図 37.16 クロックと LCD データ信号例 (STN カラー-16 ビットデータバスモジュール)

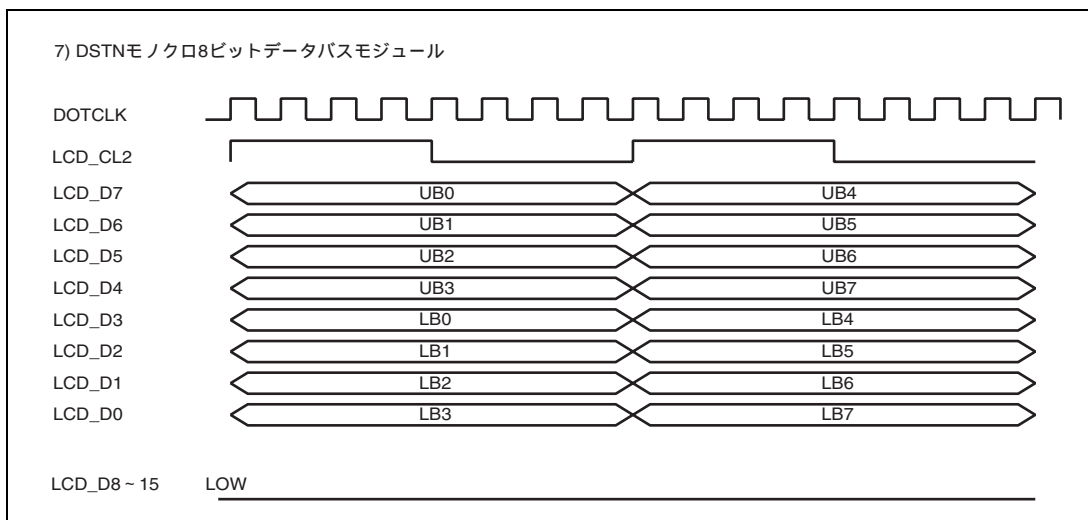


図 37.17 クロックと LCD データ信号例 (DSTN モノクロ 8 ビットデータバスモジュール)

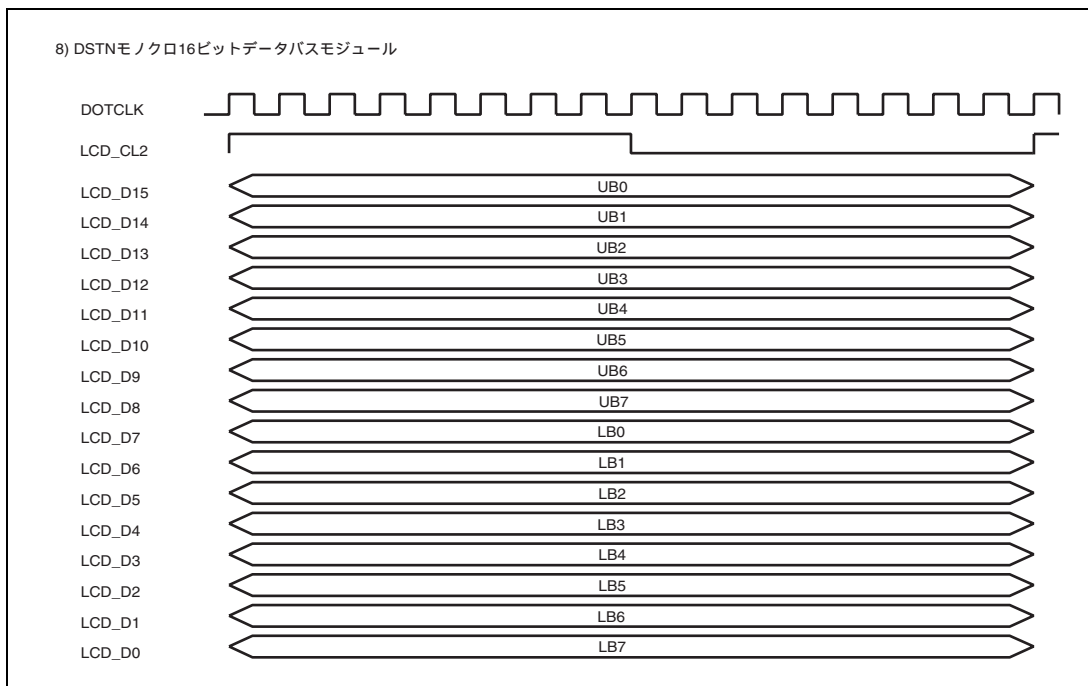


図 37.18 クロックと LCD データ信号例 (DSTN モノクロ 16 ビットデータバスモジュール)

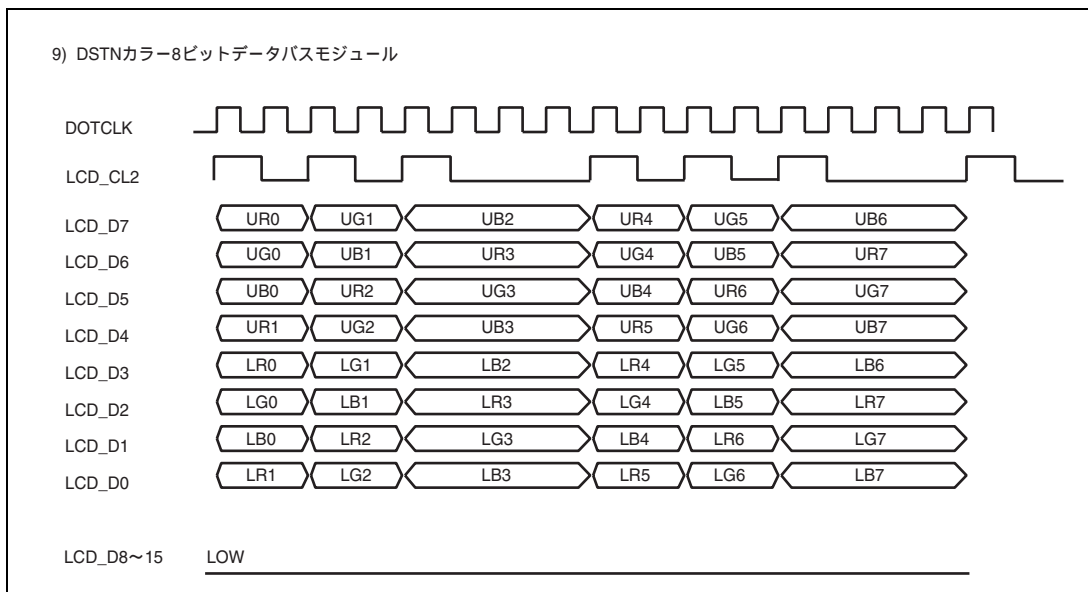


図 37.19 クロックと LCD データ信号例 (DSTN カラー 8 ビットデータバスモジュール)

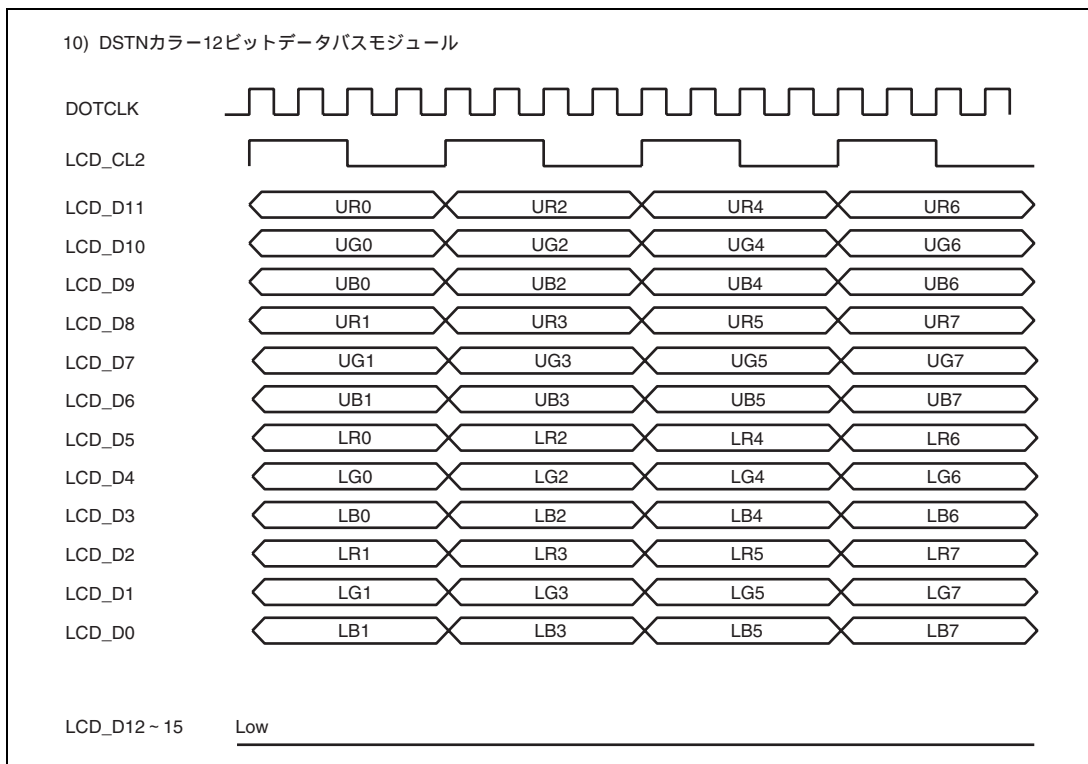


図 37.20 クロックとLCDデータ信号例 (DSTNカラー12ビットデータバスモジュール)

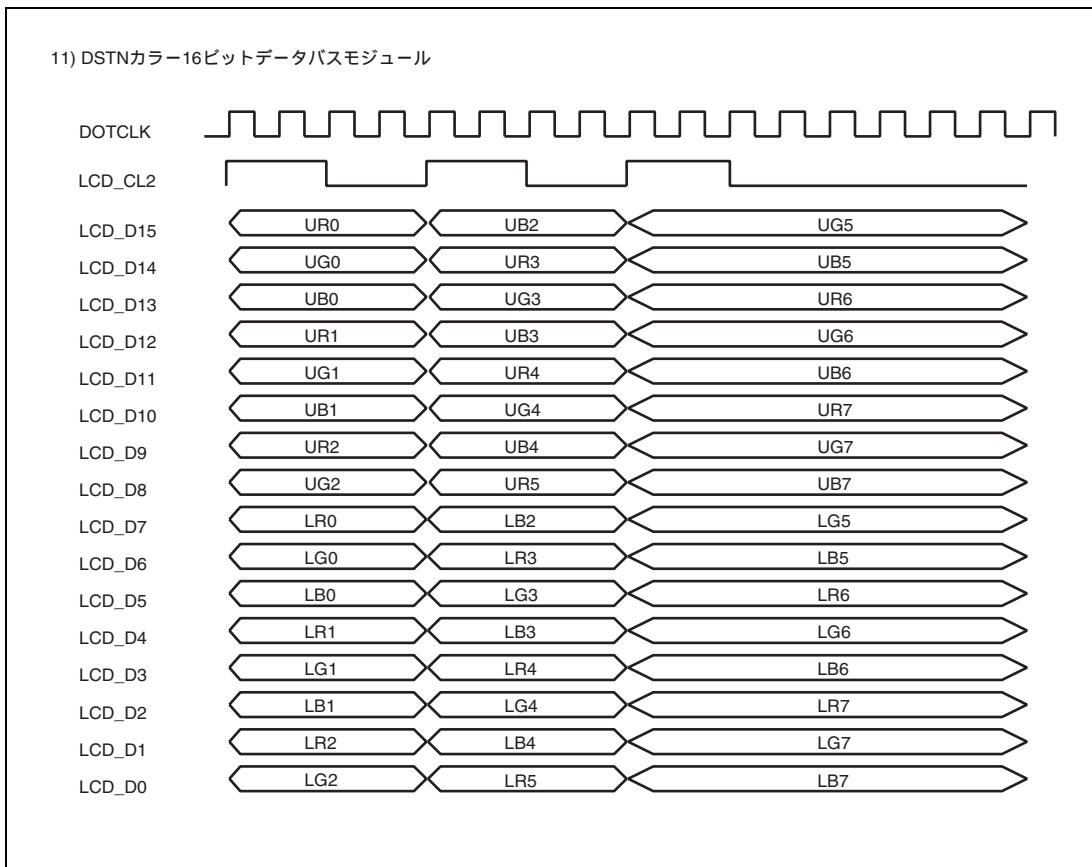


図 37.21 クロックと LCD データ信号例 (DSTN カラー16ビットデータバスモジュール)

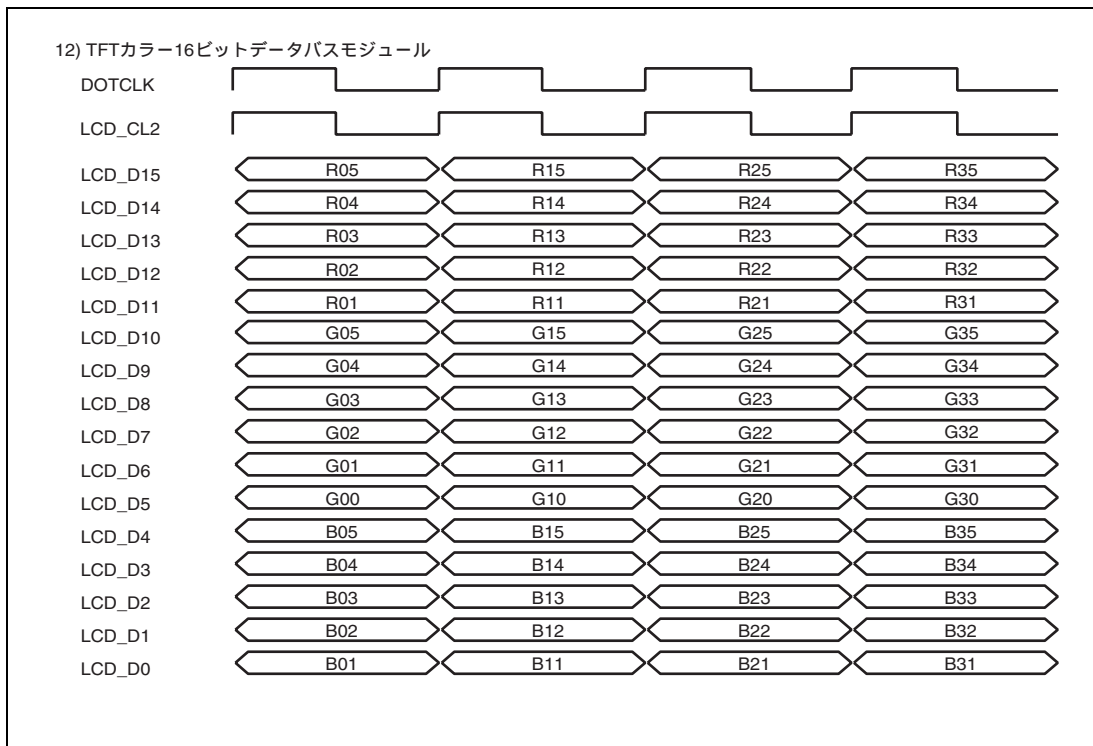


図 37.22 クロックと LCD データ信号例 (TFT カラー16 ビットデータバスモジュール)

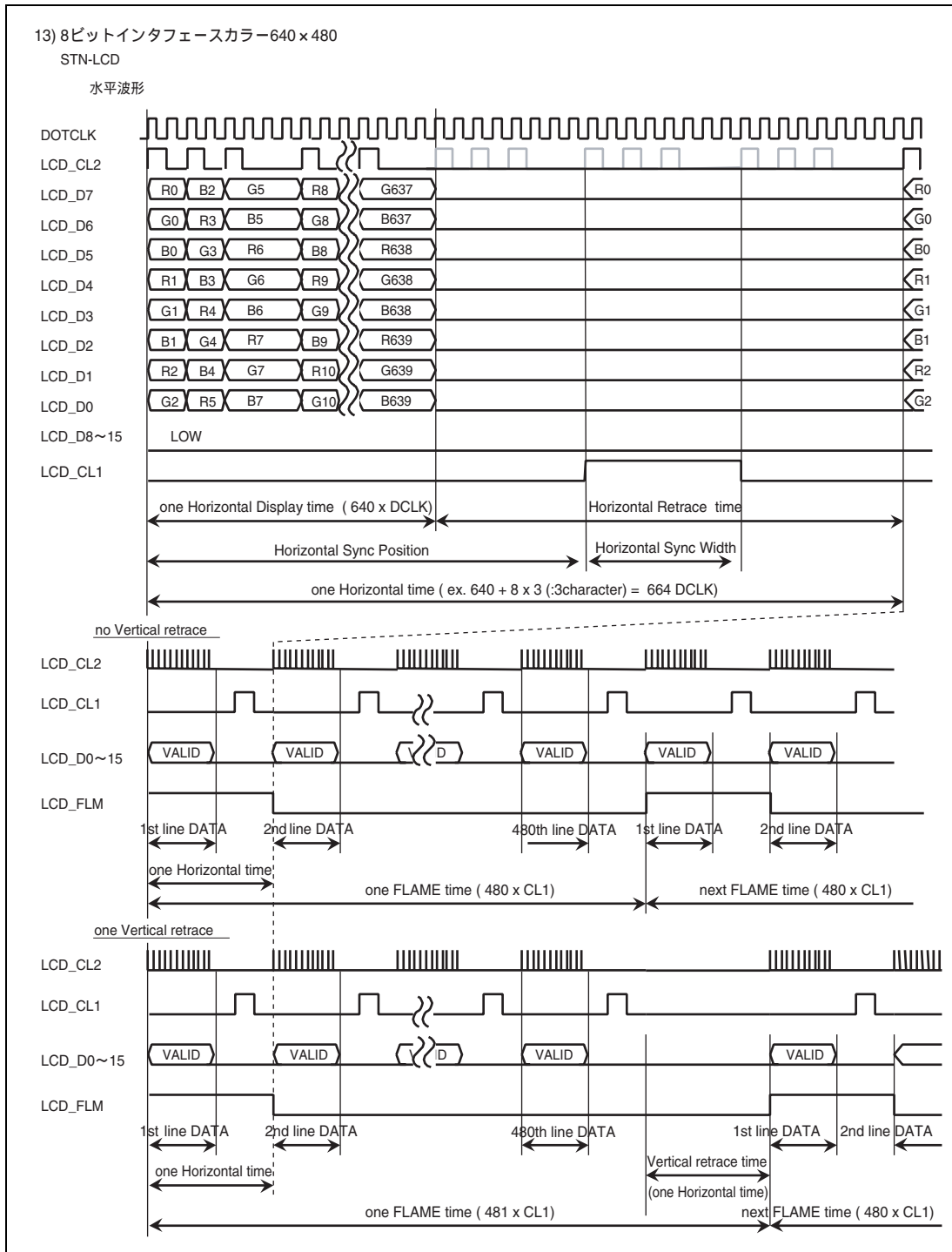


図 37.23 クロックと LCD データ信号例 (8 ビットインタフェースカラー640×480)

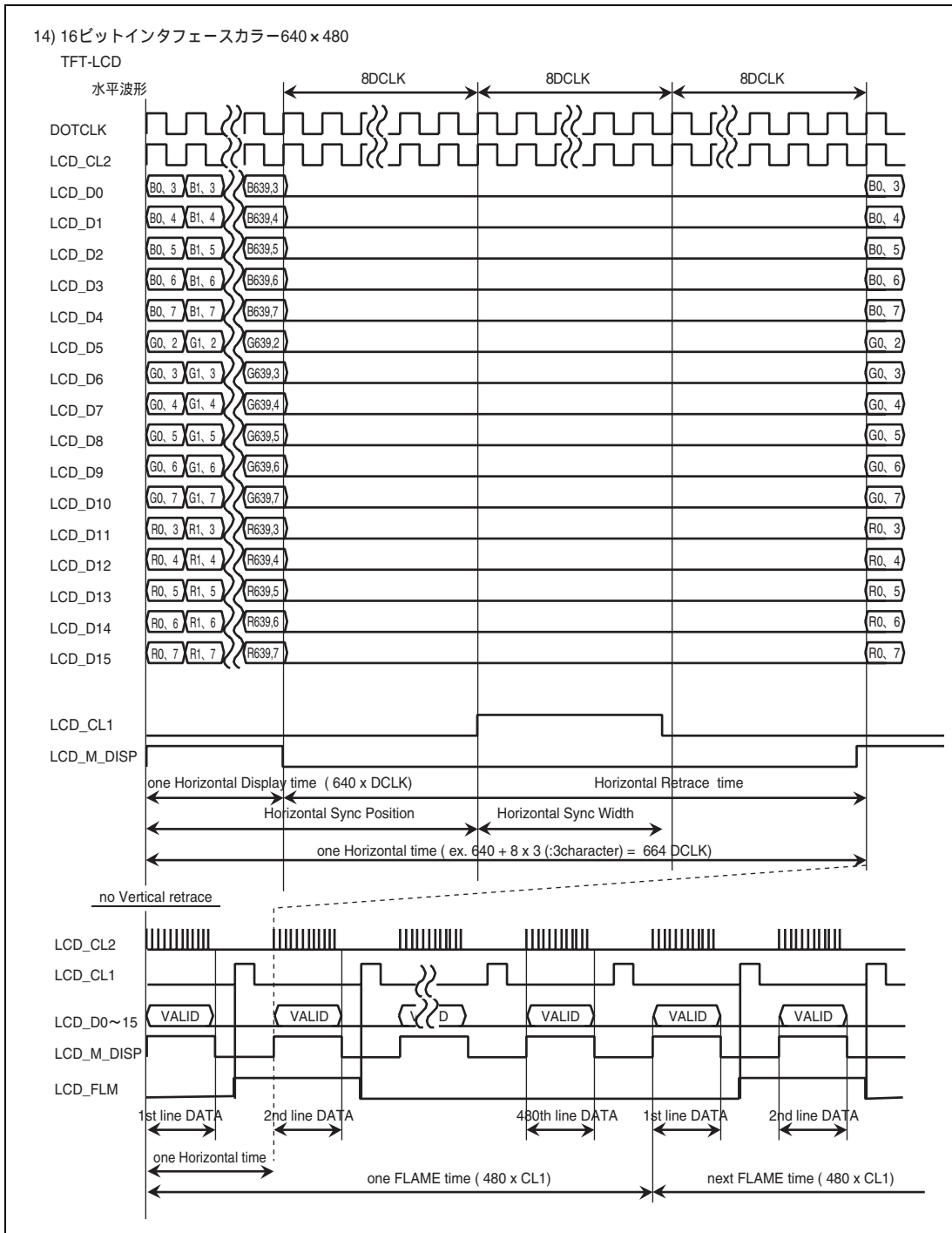


図 37.24 クロックとLCD データ信号例 (16 ビットインタフェースカラー-640×480)

37.6 使用上の注意事項

37.6.1 表示データ格納用 VRAM (エリア 3 の DDR-SDRAM) アクセスの停止手順について

表示データ格納用 VRAM (エリア 3 の DDR-SDRAM) アクセスの停止手順は、以下のフローに従ってください。

- 表示データ格納用 VRAM アクセスの停止手順
 1. 現在の状態が LDPMMR の LPS1 と LPS0 ビットが 1 であることを確認します。
 2. LDCNTR の DON ビットを 0 (表示オフモード) に設定します。
 3. LDPMMR の LPS1 と LPS0 ビットが 0 になることを確認します。
 4. 1 フレームの表示時間を待ちます。

表示データ格納用 VRAM (エリア 3 の DDR-SDRAM) をセルフリフレッシュにする前、スタンバイモード、モジュールスタンバイ等に入る前には、この停止手順が必要です。

37.6.2 NMI 割り込み使用時の注意事項について

LCDC 使用時に NMI 割り込みにより NMIFCR の NMIFL ビットが 1 にセットされると、LCDC から表示データ格納用 VRAM (エリア 3 の DDR-SDRAM) アクセスができなくなります。

LCDC はラインバッファに格納したデータを LCD パネル用データ端子への出力を継続するため、ラインバッファが空になると LCD 表示が停止する場合があります。したがって、ラインバッファが空になる前に NMI 割り込みをインアクティブにし、NMIFL ビットを 0 にクリアしてください。

38. A/D 変換器 (ADC)

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 4 チャンネルのアナログ入力を選択することができます。

38.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：4チャンネル
- 最小変換時間：1チャンネル当たり8.5 μ s
- 3種類の変換モード
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1～4チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換

- 4本のデータレジスタ
- サンプル&ホールド機能
- A/D変換終了割り込み発生

A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能

A/D 変換器のブロック図を図 38.1 に示します。

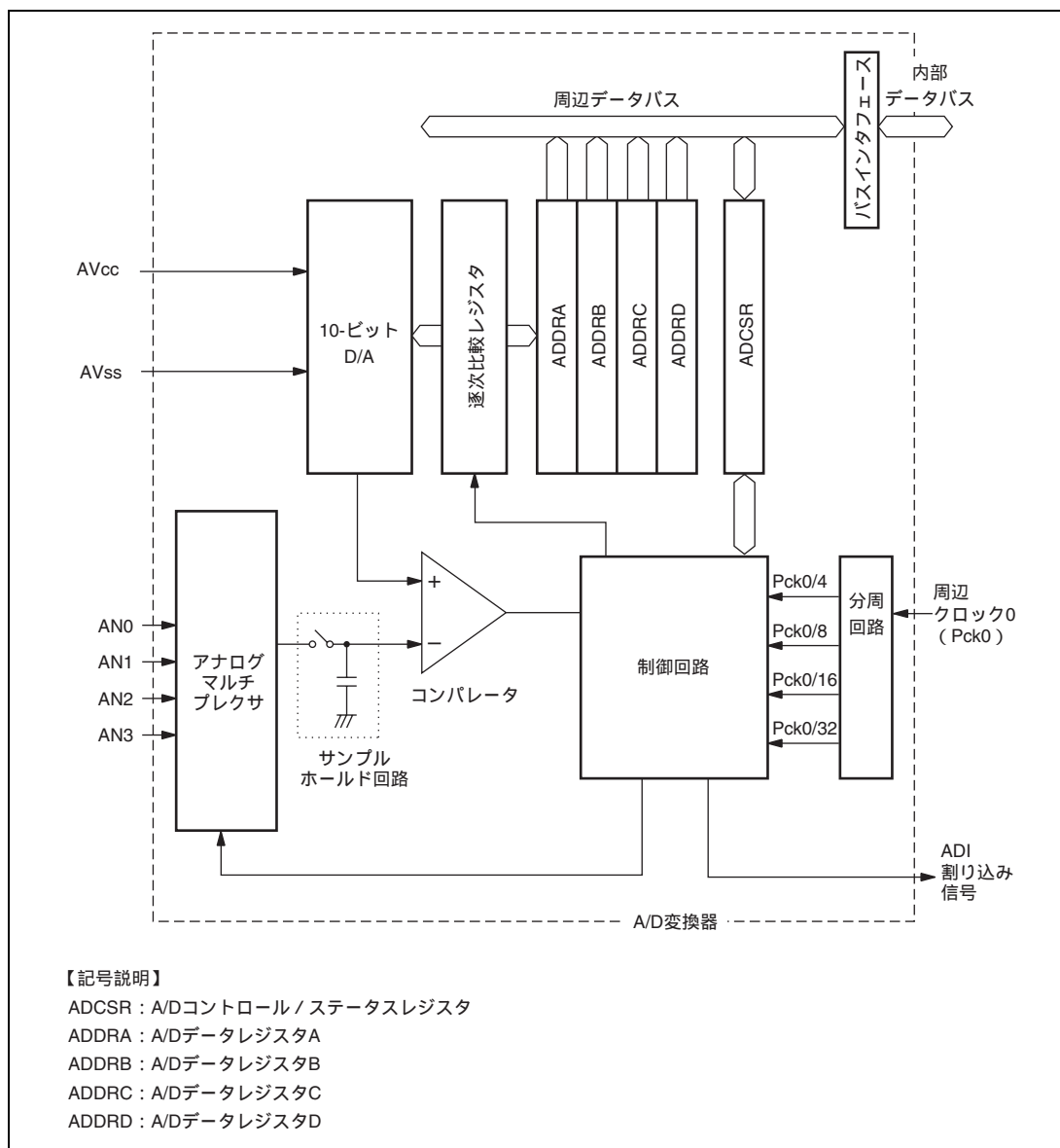


図 38.1 A/D 変換器のブロック図

38.2 入出力端子

A/D変換器で使用する入力端子を表 38.1 に示します。

AV_{cc} 、 AV_{ss} 端子は、A/D変換器内部のアナログ部の電源です。 AV_{cc} 端子は、A/D変換基準電圧です。

表 38.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AV_{cc}	入力	アナログ部の電源
アナロググランド	AV_{ss}	入力	アナログ部のグランドおよび A/D 変換の基準電圧
アナログ入力 0	AN0	入力	アナログ入力 0~3
アナログ入力 1	AN1	入力	
アナログ入力 2	AN2	入力	
アナログ入力 3	AN3	入力	

38.3 レジスタの説明

ADC のレジスタ構成を表 38.2 に示します。また、各処理モードにおけるレジスタの状態を表 38.3 に示します。

表 38.2 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
A/D データレジスタ A	ADDRA	R	H'FFEA 0000	H'1FEA 0000	16
A/D データレジスタ B	ADDRB	R	H'FFEA 0002	H'1FEA 0002	16
A/D データレジスタ C	ADDRC	R	H'FFEA 0004	H'1FEA 0004	16
A/D データレジスタ D	ADDRD	R	H'FFEA 0006	H'1FEA 0006	16
A/D コントロール / ステータスレジスタ	ADCSR	R/W	H'FFEA 0010	H'1FEA 0010	16

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 38.3 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
A/D データレジスタ A	ADDRA	H'0000	H'0000	保持	保持
A/D データレジスタ B	ADDRB	H'0000	H'0000	保持	保持
A/D データレジスタ C	ADDRC	H'0000	H'0000	保持	保持
A/D データレジスタ D	ADDRD	H'0000	H'0000	保持	保持
A/D コントロール / ステータスレジスタ	ADCSR	H'0000	H'0000	保持	保持

38.3.1 A/D データレジスタ A~D (ADDRA~ADDRD)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 38.4 に示します。

ADDR は、リセットおよびスタンバイモードで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[9:0]										—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	AD[9:0]	0	R	ビットデータ (10 ビット)
5~0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 38.4 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

38.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し/書き込み可能なレジスタで、A/D 変換の動作制御およびステータスの表示を行います。

ADCSR は、リセットおよびスタンバイモードで H'0080 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	—	—	—	—	—	CKS[1:0]		MDS[1:0]		—	CH[2:0]		
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すフラグです。</p> <p>[クリア条件]</p> <p>ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき</p> <p>[セット条件]</p> <p>シングルモード: A/D 変換が終了したとき</p> <p>マルチモード: 指定したすべてのチャンネルを一巡して変換したとき (A/D 変換は設定したチャンネルを一巡します)</p> <p>スキャンモード: 設定したチャンネル分の変換が終了したとき (A/D 変換は設定したチャンネルを常に繰り返します)</p> <p>【注】A/D 変換器をスキャンモードで使用時、またはマルチモードで A/D 変換中 (ADF=0) に、ADST=0 で A/D 変換を止める場合、ADST=0 とした後、ADCSR の ADST ビットをリードして、0 であることを確認後、1 チャンネル分の A/D 変換時間以上経過して、再度 ADST=1 としてください。A/D 変換時間は、A/D 変換クロック分周比によって異なります。</p>
14	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。</p> <p>0: A/D 変換の終了による割り込み (ADI) 要求を禁止</p> <p>1: A/D 変換の終了による割り込み (ADI) 要求を許可</p>

ビット	ビット名	初期値	R/W	説明
13	ADST	0	R/W	<p>A/D スタート</p> <p>A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。</p> <p>0 : A/D 変換を停止</p> <p>1 : シングルモード : A/D 変換を開始 指定したチャンネルの変換が終了すると自動的に 0 にクリア*¹</p> <p>マルチモード : A/D 変換を開始 指定したすべてのチャンネルを一巡して変換が終了すると自動的に 0 にクリア*²</p> <p>スキャンモード : A/D 変換を開始 ソフトウェア、リセットまたはスタンバイモードへの遷移により 0 にクリアされるまで連続変換</p> <p>【注】*1 ADST=0 (ソフトウェア設定) での停止はできません (A/D 変換中で 0 は書き込めません)。</p> <p>*2 ADST=0 (ソフトウェア設定) で次のチャンネル以降の変換を停止できます。</p>
12~8	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
7、6	CKS[1:0]	10	R/W	<p>クロックセレクト</p> <p>A/D 変換クロック分周比を選択します。</p> <p>00 : Pck0/4</p> <p>01 : Pck0/8</p> <p>10 : Pck0/16</p> <p>11 : Pck0/32</p>
5、4	MDS[1:0]	00	R/W	<p>変換モード選択</p> <p>シングルモード、マルチモード、またはスキャンモードを選択します。</p> <p>00 : シングルモード</p> <p>01 : 予約 (設定不可)</p> <p>10 : マルチモード</p> <p>11 : スキャンモード</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	CH[2:0]	000	R/W	チャンネルセレクト MDS ビットとともにアナログ入力チャンネル選択します。 入力チャンネルの設定は、ADST ビットを 0 にクリアした後に行ってください。 シングルモード マルチモードおよびスキャンモード 000 : AN0 AN0 001 : AN1 AN0、AN1 010 : AN2 AN0 ~ AN2 011 : AN3 AN0 ~ AN3 100 : 予約 (設定不可) 101 : 予約 (設定不可) 110 : 予約 (設定不可) 111 : 予約 (設定不可)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

38.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモード、マルチモード、およびスキャンモードの各モードの動作についての説明をします。

38.4.1 シングルモード (MDS[1:0] = 00)

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアによって A/D コントロール/ステータスレジスタ (ADCSR) のビット 13 (ADST) が 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、A/D 変換が終了すると自動的に 0 にクリアされます。

また、A/D 変換が終了すると、ADCSR のビット 15 (ADF) が 1 にセットされます。このとき、ADCSR のビット 14 (ADIE) が 1 にセットされていると、A/D 変換終了割り込み要求 (ADI) が発生します。

ADF ビットは、ADF = 1 を読み出した後、ADF ビットに 0 を書き込むと 0 にクリアされます。

A/D 変換中に、コントロール/ステータスレジスタ (ADCSR) の設定やアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 38.2 に示します。

1. 動作モードをシングルモードに (MDS[1:0] = 00)、入力チャンネルを AN1 に (CH[2:0] = 001)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
2. A/D 変換が終了すると、A/D 変換結果が ADDR1B に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
3. ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. 割り込みルーチン開始後、A/D 変換結果 (ADDR1B) を読み出して、処理します。
6. ADF = 1 を読み出した後、ADF に 0 を書き込みます。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され 2 ~ 7 を行います。

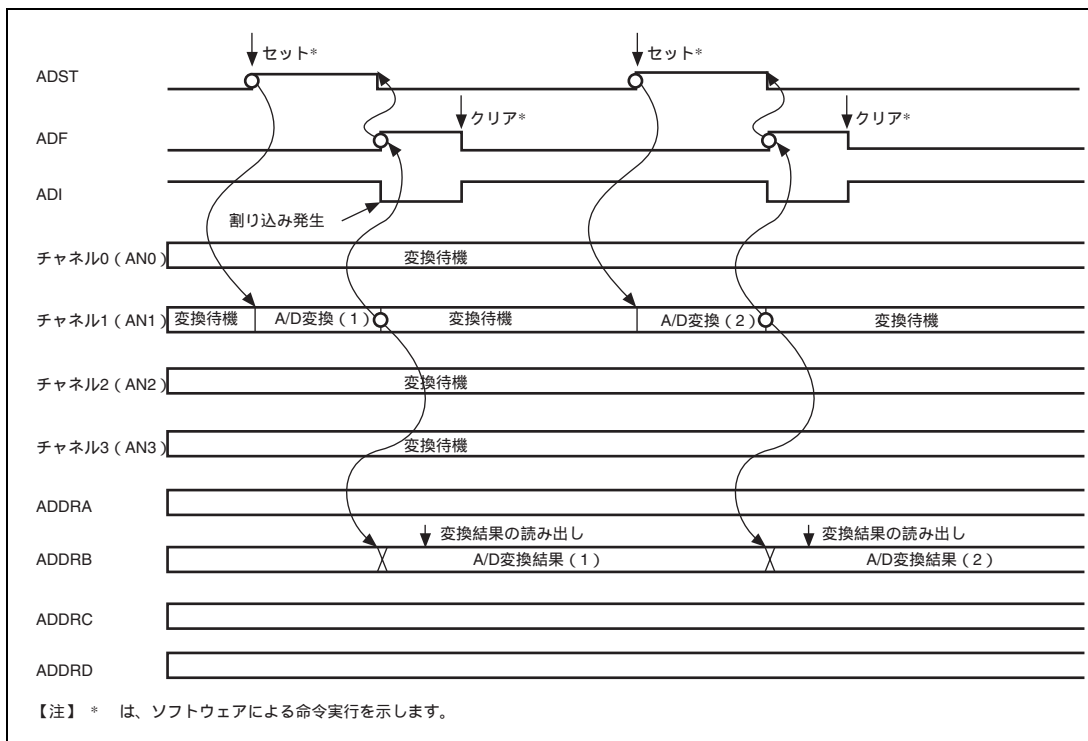


図 38.2 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

38.4.2 マルチモード (MDS[1:0] = 10)

マルチモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を各々1回のみ順次変換します。A/D 変換はソフトウェアによって A/D コントロール/ステータスレジスタ (ADCSR) のビット 13 (ADST) が 1 にセットされると、第 1 チャンネル (AN0) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、A/D コントロール/ステータスレジスタ (ADCSR) の設定やアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると、第 1 チャンネルが選択され、再び A/D 変換を開始します。

マルチモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 38.3 に示します。

1. 動作モードをマルチモードに (MDS[1:0] = 10)、アナログ入力チャンネルを AN0 ~ AN2 (CH[2:0] = 010) に設定して A/D 変換を開始 (ADST = 1) します。
2. 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
3. 同様に第 3 チャンネル (AN2) の変換を行います。
4. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、ADST ビットを 0 にして変換を終了します。

このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。

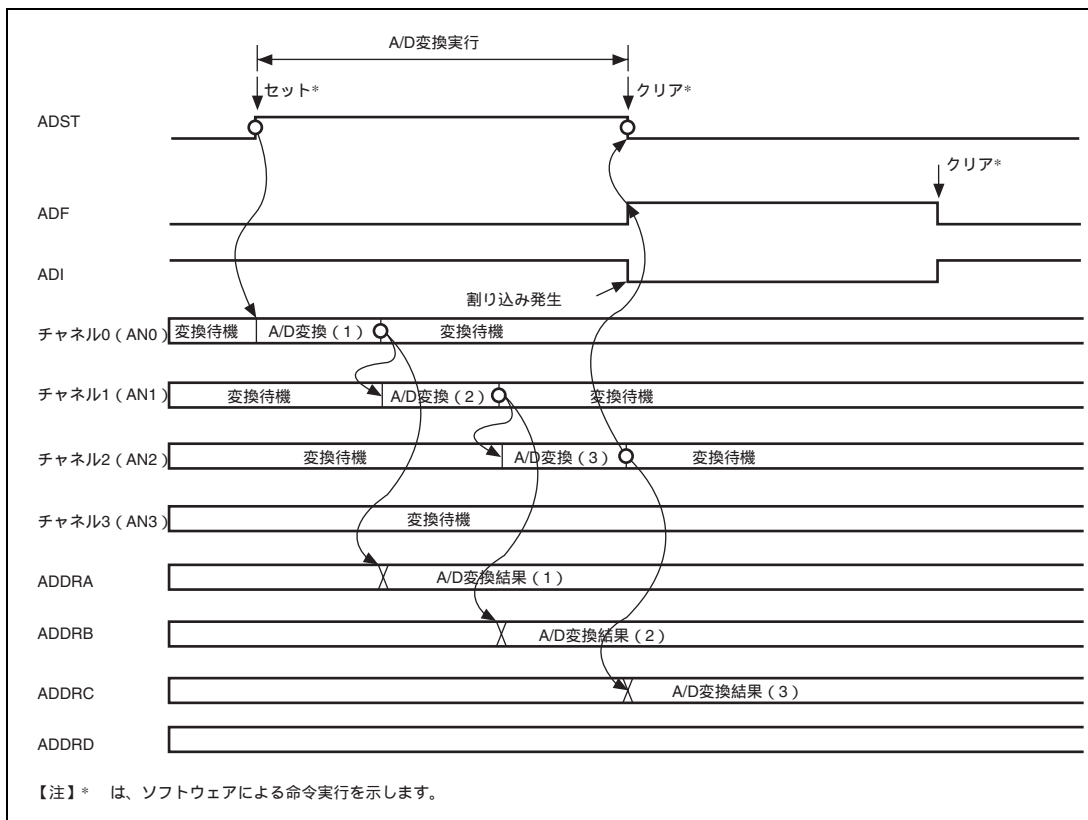


図 38.3 A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャンネル選択時)

38.4.3 スキャンモード (MDS[1:0]=11)

スキャンモードでの A/D 変換は、ビット 13 (ADST) が 0 にクリアされるまで設定したチャンネル内を連続して繰り返し行います。A/D 変換された結果は各チャンネルに対応した ADDR に転送され保持されます。このモードは複数チャンネル (1 チャンネルを含む) のアナログ入力を常にモニタするようなシステムに適します。A/D 変換はソフトウェアによって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から開始されます。

複数のチャンネルが選択されている場合は、第 n チャンネルの変換が終了した後、直ちに第 n+1 チャンネルの A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、A/D コントロール/ステータスレジスタ (ADCSR) の設定やアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 38.4 に示します。

1. 動作モードをスキャンモードに (MDS[1:0]=11)、アナログ入力チャンネルを AN0 ~ AN2 (CH[2:0]=010) に設定して A/D 変換を開始 (ADST=1) します。
2. 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。
3. 次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
4. 同様に第 3 チャンネル (AN2) の変換を行います。
5. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF=1 となり、再び、第 1 チャンネル (AN0) を選択し、連続して変換が行われます (マルチモードの場合は設定したチャンネルが一巡すると終了しますがスキャンモードは設定したチャンネルが一巡した後、第 1 チャンネルに戻り A/D 変換を連続して繰り返します)。
6. このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
7. ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。
8. ADST ビットを 0 にクリアすると、A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

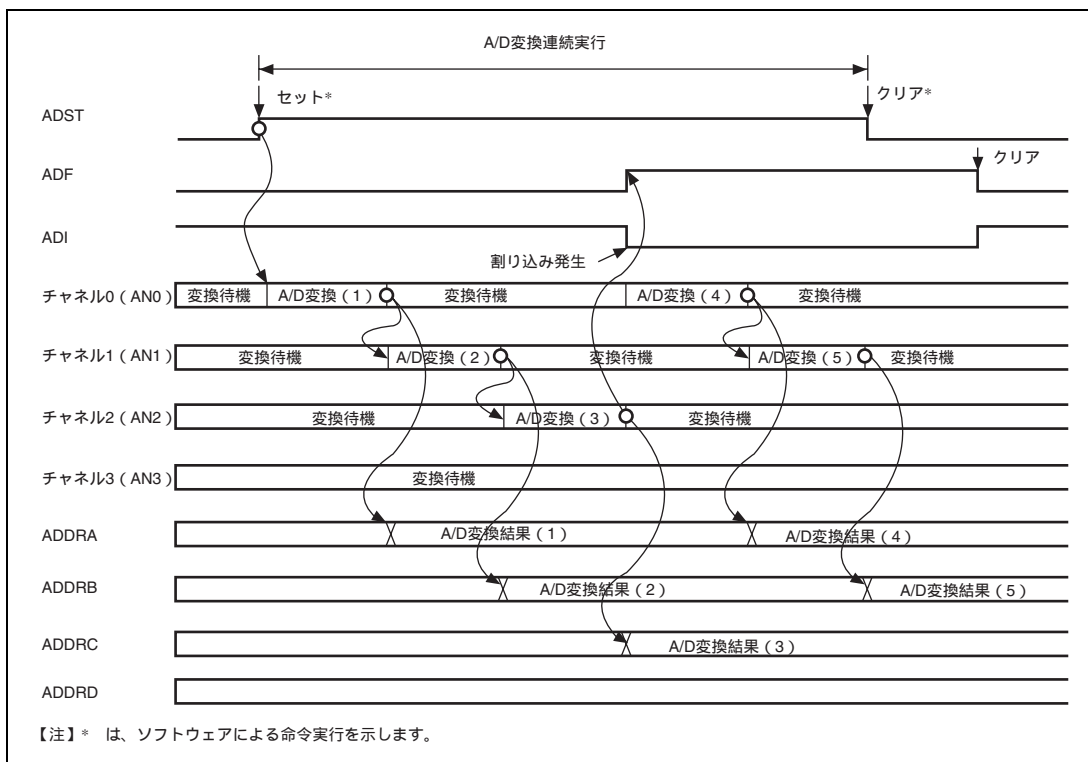


図 38.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の3チャンネル選択時)

38.4.4 A/D 変換時間

A/D 変換時間を表 38.5 に示します。

表 38.5 A/D 変換時間

記号	Pck0/4		Pck0/8		Pck0/16		Pck0/32	
	min	max	min	max	min	max	Min	max
第 1 回目の A/D 変換時間 (シングルモード)*	136	139	268	275	532	547	1060	1091
第 2 回目以降の A/D 変換時間 (マルチ/スキャンモード)	-	128	-	256	-	512	-	1024

【注】 表中の数値の単位はステート (周辺クロック 0 (Pck0) 周波数 1 個分) です。

* ADST = 1 にセットしてから、データがレジスタに格納されるまで。

最小変換時間を満たすように設定してください。

38.5 割り込み要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み要求 (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。

38.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

(1) オフセット誤差

デジタル出力値が最小値 (ゼロ電圧) 000000000 (図では 000) から 000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差です (図 38.5 (1))。

(2) フルスケール誤差

デジタル出力値が 111111110 (図では 110) から最大値 111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差です (図 38.5 (2))。

(3) 量子化誤差

A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます (図 38.5 (3))。

(4) 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません (図 38.5 (4))。

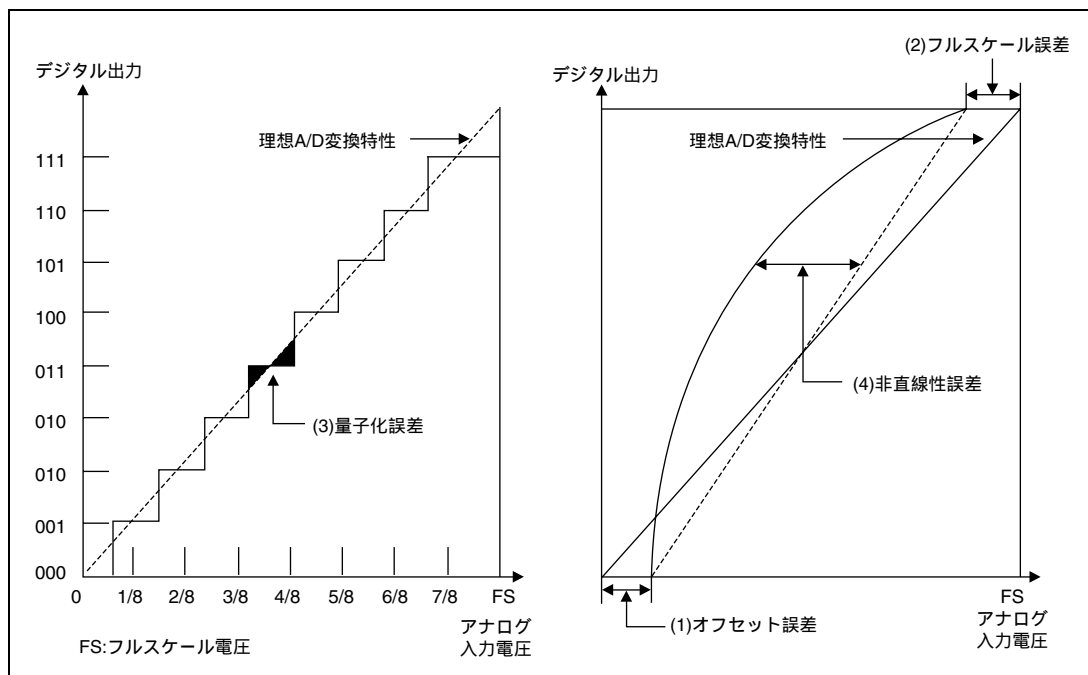


図 38.5 A/D 変換精度の定義

38.7 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

38.7.1 アナログ電圧の設定

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS}、AN_n、AV_{CC} の範囲としてください。(n=0~3)

(2) AV_{CC}、AV_{SS} 入力電圧

AV_{CC}、AV_{SS} 入力電圧は、AV_{CC} = 3.3 ± 0.3V、AV_{SS} = V_{SS} としてください。

(AV_{CC}/AV_{SS} = アナログ電源 / アナロググランド、V_{SS} = 内部デジタル電源)

38.7.2 アナログ入力端子の取り扱い

アナログ入力端子(AN0~AN3)には、過大サージなどの異常電圧による破壊を防ぐために、図 38.6 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

38.7.3 Pck0 クロックとクロック分周比の設定

分周クロックは A/D 変換を行うために使用されるクロックで、4 種の設定が可能です。

また、内部回路構成上、アナログ部とデジタル部インタフェースに限界値がありますので Pck0 クロックとクロック分周比の設定は表 38.6 を確認してください。

表 38.6 クロック分周比と使用可能 Pck0 クロック周波数関係

クロック分周比	Pck0 クロック
Pck0/4	18MHz 以下
Pck0/8	34MHz 以下
Pck0/16	67MHz 以下
Pck0/32	67MHz 以下

38.7.4 A/D 変換の停止

マルチ/スキャンモードでは、A/D 変換途中に停止を行った場合、A/D 変換はすぐに停止せずに該当チャネルのデータが終了した時点で停止します。

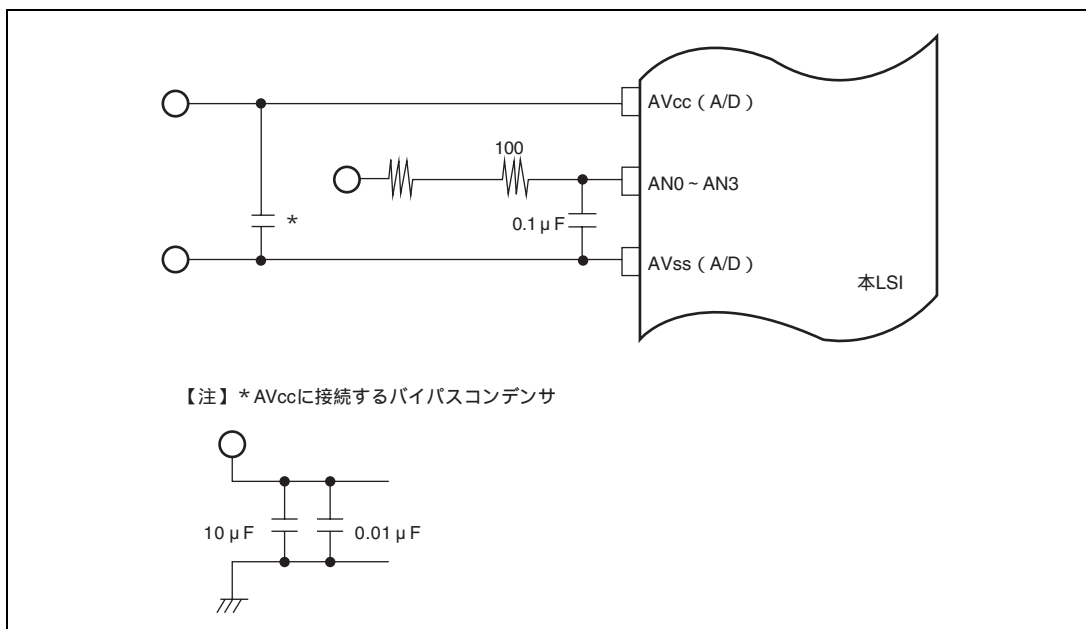


図 38.6 アナログ入力端子の保護回路例

39. D/A 変換器 (DAC)

本 LSI には 2 チャンネルの D/A 変換器 (DAC) を搭載しています。D/A 変換器には次の特長があります。

39.1 特長

- 8ビットの解像度
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s (容量性負荷：20pF)
- 出力電圧：0V ~ AVcc (アナログ部電源)

D/A 変換器のブロック図を図 39.1 に示します。

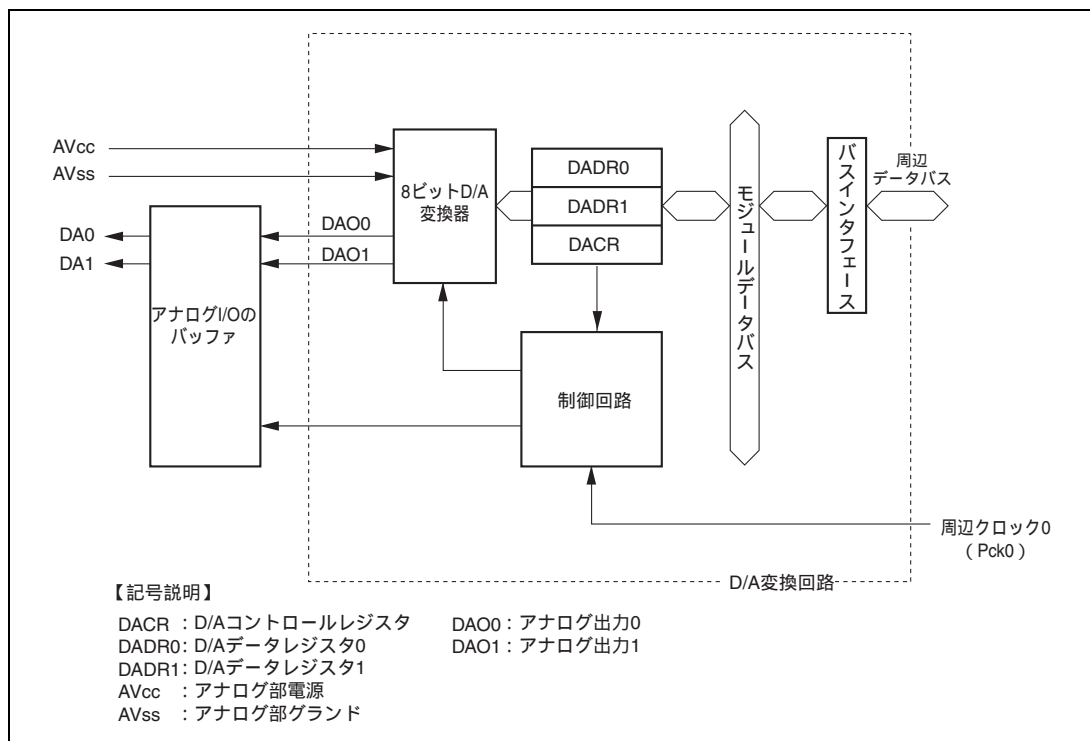


図 39.1 D/A 変換器のブロック図

39.2 入出力端子

D/A 変換器の端子構成を表 39.1 に示します。

表 39.1 端子構成

名称	入出力	機能
AVcc	-	アナログ部の電源および D/A 変換基準電圧
AVss	-	アナログ部のグラウンド
DA0	出力	チャンネル 0 のアナログ出力
DA1	出力	チャンネル 1 のアナログ出力

39.3 レジスタの説明

D/A 変換器のレジスタ構成を表 39.2 に示します。また、各処理モードにおけるレジスタの状態を表 39.3 に示します。

表 39.2 レジスタ構成

名称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
D/A データレジスタ 0	DADR0	R/W	H'FFEA 8000	H'1FEA 8000	8
D/A データレジスタ 1	DADR1	R/W	H'FFEA 8002	H'1FEA 8002	8
D/A コントロールレジスタ	DACR	R/W	H'FFEA 8004	H'1FEA 8004	8

表 39.3 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
D/A データレジスタ 0	DADR0	H'00	H'00	保持	保持
D/A データレジスタ 1	DADR1	H'00	H'00	保持	保持
D/A コントロールレジスタ	DACR	H'3F	H'3F	保持	保持

39.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタ (DADR0、DADR1) は、変換データを格納する 8 ビットの読み出し / 書き込み可能なレジスタです。D/A コントロールレジスタ (DACR) の D/A 出力イネーブル (DAOE1、DAOE0) が 1 のとき、D/A データレジスタに設定された値を常に D/A 変換して、アナログ出力端子 (DA0、DA1) へ出力します。D/A データレジスタは、リセット時 H'00 に初期化されます。ソフトウェアスタンバイ、モジュールスタンバイ、およびハードウェアスタンバイでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	-	H'00	R/W	変換データを格納する 8 ビットのレジスタです。

39.3.2 D/A コントロールレジスタ (DACR)

D/A コントロールレジスタ (DACR) は、D/A 変換器の動作を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。DACR は、リセット時 H'3F に初期化されます。ソフトウェアスタンバイ、およびモジュールスタンバイ、およびハードウェアスタンバイでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	-	-	-	-	-	-
初期値:	0	0	1	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	チャンネル 1 の D/A 変換とアナログ出力を制御します。 0: チャンネル 1 の D/A 変換とアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換とアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	チャンネル 0 の D/A 変換とアナログ出力を制御します。 0: チャンネル 0 の D/A 変換とアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換とアナログ出力 (DA0) を許可
5~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 を書き込んだ場合の動作の保証はできません。

39.4 動作説明

D/A 変換器には、独立して変換を実行できる 2 つの D/A 変換回路を内蔵しています。

D/A 変換器は D/A コントロールレジスタ (DACR) でアナログ出力を許可状態のとき、常に D/A 変換が実行されます。D/A データレジスタ (DADR0、DADR1) の値を変更すると、新しいデータの変換をただちに開始します。D/A コントロールレジスタ (DACR) のビット 7 (DAOE1)、ビット 6 (DAOE0) を 1 にセットすると変換結果が出力されます。チャンネル 0 の D/A 変換の例を次に示します。タイミングは図 39.2 に示します。

1. 変換するデータを D/A データレジスタ (DADR0) に書き込みます。
2. D/A コントロールレジスタ (DACR) の DAOE0 ビットを 1 にセットします。D/A 変換を開始し、DA0 は出力許可になります。変換結果は変換時間後に出力されます。出力値は $(\text{DADR0 内容} / 256) \times AV_{CC}$ です。この変換結果の出力は、D/A データレジスタ (DADR0) の値を変更するか D/A コントロールレジスタ (DACR) の DAOE0 ビットを 0 にクリアするまで続きます。
3. D/A データレジスタ (DADR0) 値を変更すると、変換を再び開始し、結果は変換時間の後で出力されます。
4. D/A コントロールレジスタ (DACR) の DAOE0 ビットを 0 にクリアすると、アナログ出力 (DA0) は 0 になります。

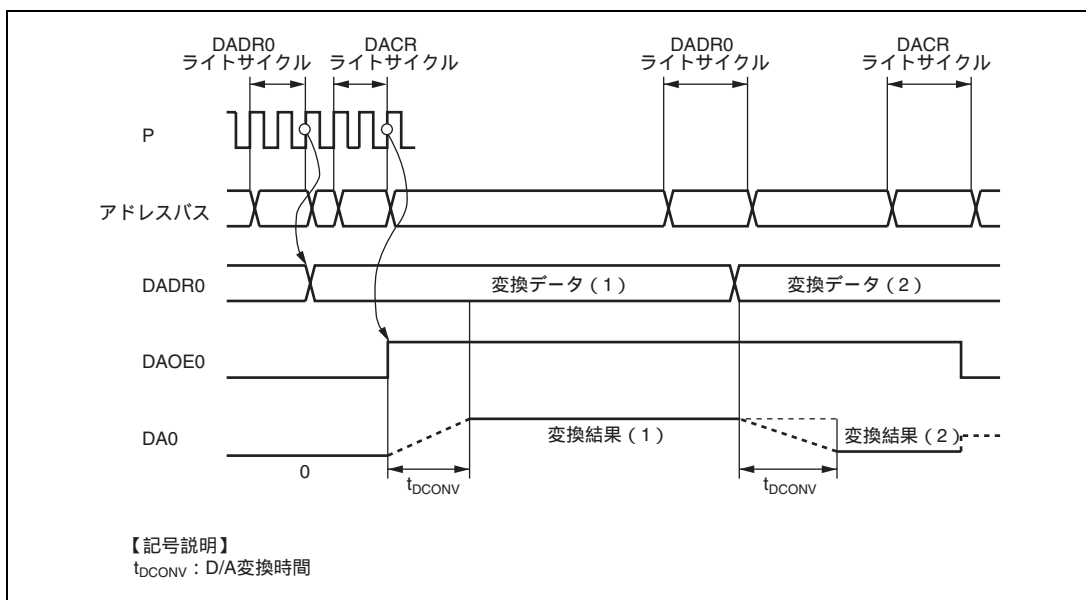


図 39.2 D/A 変換動作の例

39.5 使用上の注意

アナログ電源について、 AV_{CC} 、 AV_{SS} 入力電圧は $AV_{CC} = 3.3 \pm 0.3V$ 、 $AV_{SS} = V_{SS}$ としてください。

40. 汎用入出力ポート (GPIO)

40.1 特長

本 LSI は 16 組 (入出力 : 106 本、入力のみ : 4 本、出力のみ : 1 本の合計 111 本) の汎用ポート (ポート A ~ O) があります。

汎用入出力ポート (GPIO) の各ポートは周辺モジュールの端子とマルチプレクスされており、GPIO、周辺モジュールの選択を行います。

GPIO には次のような特長があります。

- それぞれのポート端子は、ポートコントロールレジスタで端子機能とプルアップMOS制御を端子ごとに行えるマルチプレクス端子です。
- ポートはそれぞれ端子のデータを格納するためのデータレジスタを1本ずつ持っています。
- GPIO割り込みあり

表 40.1 に汎用入出力ポート (GPIO) のレジスタで制御されるマルチプレクス端子を示します。

また、プルアップ制御レジスタの初期値は、プルアップありの状態です。周辺モジュールを使用するときは、使用する端子のプルアップを解除してください。

表 40.1 ポートコントロールレジスタで制御されるマルチプレクス一覧表

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
A	PTA6 入出力 (ポート)	AD1 TRI (PCIC)	MMC_VDDON 出力 (MMC)	-	-	-	-
	PTA5 入出力 (ポート)	AD12 TRI (PCIC)	-	-	-	-	-
	PTA4 入出力 (ポート)	AD13 TRI (PCIC)	-	SCIF1_RTS 入出力 (SCIF1)	-	-	-
	PTA3 入出力 (ポート)	AD15 TRI (PCIC)	-	$\overline{\text{SCIF1_CTS}}$ 入出力 (SCIF1)	-	-	-
	PTA2 入出力 (ポート)	$\overline{\text{LOCK}}$ STRI (PCIC)	-	SCIF1_TXD 出力 (SCIF1)	-	-	-
	PTA1 入出力 (ポート)	$\overline{\text{DEVSEL}}$ STRI (PCIC)	-	SCIF1_RXD 入力 (SCIF1)	-	-	-
	PTA0 入出力 (ポート)	PAR TRI (PCIC)	-	SCIF1_SCK 入出力 (SCIF1)	-	-	-
B	PTB7 入出力 (ポート)	AD6 TRI (PCIC)	-	-	-	LCDM_D2 出力 (LCDCM)	PINT15 入力 (INT)
	PTB6 入出力 (ポート)	CBE0 TRI (PCIC)	-	-	-	LCDM_D3 出力 (LCDCM)	PINT14 入力 (INT)
	PTB5 入出力 (ポート)	AD14 TRI (PCIC)	-	-	-	LCDM_M_DISP 出力 (LCDCM)	PINT13 入力 (INT)
	PTB4 入出力 (ポート)	CBE1 TRI (PCIC)	-	-	-	LCDM_D8 出力 (LCDCM)	PINT12 入力 (INT)
	PTB3 入出力 (ポート)	AD9 TRI (PCIC)	-	-	-	LCDM_D6 出力 (LCDCM)	PINT11 入力 (INT)
	PTB2 入出力 (ポート)	AD11 TRI (PCIC)	-	-	-	LCDM_D7 出力 (LCDCM)	PINT10 入力 (INT)
	PTB1 入出力 (ポート)	$\overline{\text{SERR}}$ O/D (PCIC)	-	-	-	LCDM_D9 出力 (LCDCM)	PINT9 入力 (INT)
	PTB0 入出力 (ポート)	$\overline{\text{PERR}}$ STRI (PCIC)	-	-	-	LCDM_D10 出力 (LCDCM)	PINT8 入力 (INT)

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
C	PTC7 入出力 (ポート)	AD3 TRI (PCIC)	MMC_CLK 出力 (MMC)	-	-	-	-
	PTC6 入出力 (ポート)	AD5 TRI (PCIC)	-	-	-	LCDM_CL1 出力 (LCDCM)	-
	PTC5 入出力 (ポート)	AD0 TRI (PCIC)	MMC_CD 入力 (MMC)	-	-	LCDM_FLM 出力 (LCDCM)	-
	PTC4 入出力 (ポート)	AD7 TRI (PCIC)	MMC_CMD 入出力 (MMC)	-	-	LCDM_CL2 出力 (LCDCM)	-
	PTC3 入出力 (ポート)	AD8 TRI (PCIC)	MMC_ODMOD 出力 (MMC)	-	-	LCDM_D4 出力 (LCDCM)	-
	PTC2 入出力 (ポート)	AD2 TRI (PCIC)	-	-	-	LCDM_D0 出力 (LCDCM)	-
	PTC1 入出力 (ポート)	AD4 TRI (PCIC)	-	-	-	LCDM_D1 出力 (LCDCM)	-
	PTC0 入出力 (ポート)	AD10 TRI (PCIC)	MMC_DAT 入出力 (MMC)	-	-	LCDM_D5 出力 (LCDCM)	-
D	PTD7 出力 (ポート)	PCIRESET 出力 (PCIC)	PCC_RESET 出力 (PCC)	GET1_ETXD7 出力 (GMII1)	-	LCDM_VEPWC 出力 (LCDCM)	-
	PTD6 入出力 (ポート)	REQ2 入力 (PCIC)	PCC_BVD1 入力 (PCC)	GET1_ETXD5 出力 (GMII1)	SSI1_SCK 入出力 (SSI1)	LCDM_VCPWC 出力 (LCDCM)	-
	PTD5 入出力 (ポート)	AD18 TRI (PCIC)	PCC_CD2 入力 (PCC)	GET1_ERXD6 入力 (GMII1)	SSI1_SDATA 入出力 (SSI1)	LCDM_D14 出力 (LCDCM)	-
	PTD4 入出力 (ポート)	STOP STRI (PCIC)	PCC_CD1 入力 (PCC)	SIOF0_MCLK 入力 (SIOF0)	SSI1_WS 入出力 (SSI1)	LCDM_DON 出力 (LCDCM)	-
	PTD3 入出力 (ポート)	PCIFRAME STRI (PCIC)	PCC_BVD2 入力 (PCC)	SIOF0_SCK 入出力 (SIOF0)	HAC_RES 出力 (HAC)	LCDM_D12 出力 (LCDCM)	-
	PTD2 入出力 (ポート)	TRDY STRI (PCIC)	PCC_RDY 入力 (PCC)	SIOF0_RXD 入力 (SIOF0)	HAC_SYNC 出力 (HAC)	LCDM_D11 出力 (LCDCM)	-
	PTD1 入出力 (ポート)	CBE2 TRI (PCIC)	PCC_VS2 入力 (PCC)	SIOF0_TXD 出力 (SIOF0)	HAC_SD_OUT 出力 (HAC)	LCDM_D15 出力 (LCDCM)	-
	PTD0 入出力 (ポート)	IRDY STRI (PCIC)	PCC_VS1 入力 (PCC)	SIOF0_SYNC 入出力 (SIOF0)	HAC_SD_IN 入力 (HAC)	LCDM_D13 出力 (LCDCM)	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
E	PTE5 入出力 (ポート)	AD29 TRI (PCIC)	SCIF2_TXD 出力 (SCIF2)	GET1_GTX-CLK 出力 (GMII1)	SSI0_SCK 入出力 (SSI0)	-	-
	PTE4 入出力 (ポート)	AD22 TRI (PCIC)	SCIF2_RXD 入力 (SCIF2)	GET1_ERXD4 入力 (GMII1)	SSI0_SDATA 入出力 (SSI0)	-	-
	PTE3 入出力 (ポート)	AD20 TRI (PCIC)	SCIF2_SCK 入出力 (SCIF2)	GET1_ERXD5 入力 (GMII1)	SSI0_WS 入出力 (SSI0)	-	-
	PTE2 入出力 (ポート)	AD16 TRI (PCIC)	PCC_IOIS16 入力 (PCC)	GET1_ERXD7 入力 (GMII1)	TEND2 出力 (DMAC2)	-	-
	PTE1 入出力 (ポート)	PCICLK 入力 (PCIC)	-	GET1_ETXD4 出力 (GMII1)	DACK2 出力 (DMAC2)	-	-
	PTE0 入出力 (ポート)	INTA O/D (PCIC)	PCC_DRV 出力 (PCC)	GET1_ETXD6 出力 (GMII1)	DREQ2 入力 (DMAC2)	-	-
F	PTF3 入出力 (ポート)	CBE3 TRI (PCIC)	-	ET1_TX-CLK 入力 (MII1)	-	-	-
	PTF2 入出力 (ポート)	AD31 TRI (PCIC)	SIM_RST 出力 (SIM)	ET1_MDIO 入出力 (MII1)	TEND3 出力 (DMAC3)	-	-
	PTF1 入出力 (ポート)	REQ0/REQOUT TRI (PCIC)	SIM_CLK 出力 (SIM)	ET1_MDC 出力 (MII1)	DACK3 出力 (DMAC3)	-	-
	PTF0 入出力 (ポート)	GNT0/GNTIN TRI (PCIC)	SIM_D 入出力 (SIM)	ET1_ETXD3 出力 (MII1)	DREQ3 入力 (DMAC3)	-	-
G	PTG7 入出力 (ポート)	AD28 TRI (PCIC)	-	ET1_TX-EN 出力 (MII1)	-	-	-
	PTG6 入出力 (ポート)	AD26 TRI (PCIC)	-	ET1_TX-ER 出力 (MII1)	-	-	-
	PTG5 入出力 (ポート)	GNT3 TRI (PCIC)	-	ET1_RX-CLK 入力 (MII1)	-	-	-
	PTG4 入出力 (ポート)	AD30 TRI (PCIC)	-	ET1_LINKSTA 入力 (MII1)	-	-	-
	PTG3 入出力 (ポート)	REQ3 入力 (PCIC)	-	ET1_ETXD2 出力 (MII1)	-	-	-
	PTG2 入出力 (ポート)	REQ1 入力 (PCIC)	-	ET1_ETXD1 出力 (MII1)	-	-	-
	PTG1 入出力 (ポート)	GNT2 TRI (PCIC)	-	ET1_ETXD0 出力 (MII1)	-	-	-
	PTG0 入出力 (ポート)	GNT1 TRI (PCIC)	-	ET1_WOL 出力 (MII1)	-	-	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
H	PTH7 入出力 (ポート)	AD17 TRI (PCIC)	TPU_TO3 出力 (TPU)	ET1_RX-DV 入力 (MII1)	-	-	-
	PTH6 入出力 (ポート)	AD27 TRI (PCIC)	TPU_TO2 出力 (TPU)	ET1_CRS 入力 (MII1)	RMII1M_TXD_EN 出力 (RMII1M)	-	-
	PTH5 入出力 (ポート)	AD23 TRI (PCIC)	TPU_TO1 出力 (TPU)	ET1_ERXD1 入力 (MII1)	RMII1M_TXD0 出力 (RMII1M)	-	-
	PTH4 入出力 (ポート)	AD19 TRI (PCIC)	TPU_TO0 出力 (TPU)	ET1_ERXD3 入力 (MII1)	RMII1M_RXD0 入力 (RMII1M)	-	-
	PTH3 入出力 (ポート)	AD21 TRI (PCIC)	TPU_TI2B 入力 (TPU)	ET1_ERXD2 入力 (MII1)	RMII1M_RXD1 入力 (RMII1M)	-	-
	PTH2 入出力 (ポート)	AD24 TRI (PCIC)	TPU_TI2A 入力 (TPU)	ET1_ERXD0 入力 (MII1)	RMII1M_TXD1 出力 (RMII1M)	-	-
	PTH1 入出力 (ポート)	IDSEL 入力 (PCIC)	TPU_TI3B 入力 (TPU)	ET1_RX-ER 入力 (MII1)	RMII1M_CRS_DV 入力 (RMII1M)	-	-
	PTH0 入出力 (ポート)	AD25 TRI (PCIC)	TPU_TI3A 入力 (TPU)	ET1_COL 入力 (MII1)	RMII1M_RX_ER 入力 (RMII1M)	-	-
I	PTI7 入力 (ポート)	IRQ3/IRL3 入力 (INT)	ST0M_D7I 入力 (STIF0M)	IIC1_SDA 入出力 (IIC1)	-	-	-
	PTI6 入力 (ポート)	IRQ2/IRL2 入力 (INT)	ST0M_D6I 入力 (STIF0M)	IIC1_SCL 入出力 (IIC1)	-	-	-
	PTI5 入出力 (ポート)	MD10*1 入力 (EXCPU)	ST1_VALID 入出力 (STIF1)	-	-	LCD_D1 出力 (LCDC)	-
	PTI4 入出力 (ポート)	MD8*1 入力 (CPG)	ST1_START 入出力 (STIF1)	ET1_PHY-INT 入力 (ETC1)	RMII0M0_MDC 出力 (RMII0M0)	USB_PWREN/ USBF_UPLUP 出力 (USBH/F)	-
	PTI3 入力 (ポート)	-	ST0M_VALIDI 入力 (STIF0M)	IIC0_SDA 入出力 (IIC0)	SIOF1_MCLK 入力 (SIOF1)	USB_CLK 入力 (USBH/F)	-
	PTI2 入力 (ポート)	-	ST0M_STARTI 入力 (STIF0M)	IIC0_SCL 入出力 (IIC0)	SIOF1_RXD 入力 (SIOF1)	USB_OVERCRT/ USBF_VBUS 入力 (USBH/F)	-
	PTI1 入出力 (ポート)	STATUS1 出力 (-)	ST1_REQ 入出力 (STIF1)	RMII0_MDIO 入出力 (RMII0)	-	-	-
	PTI0 入出力 (ポート)	STATUS0 出力 (-)	ST1_CLK/ ST1_STRB 入出力 (STIF1)	RMII0_MDC 出力 (RMII0)	-	-	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
J	PTJ7 入出力 (ポート)	iINTB 入力 (PCIC)	ST0M_D5I 入力 (STIF0M)	iRQOUT 出力 (INT)	RMII1_TXD0 出力 (RMII1)	LCD_D0 出力 (LCDC)	-
	PTJ6 入出力 (ポート)	-	ST0M_D4I 入力 (STIF0M)	ET0_CRS 入力 (MII0)	RMII1_TXD_EN 出力 (RMII1)	LCD_FLM 出力 (LCDC)	-
	PTJ5 入出力 (ポート)	-	ST0M_D3I 入力 (STIF0M)	ET0_ERXD3 入力 (MII0)	RMII1_RXD0 入力 (RMII1)	LCD_DON 出力 (LCDC)	-
	PTJ4 入出力 (ポート)	-	ST0M_D2I 入力 (STIF0M)	ET0_ERXD2 入力 (MII0)	RMII1_RXD1 入力 (RMII1)	LCD_CL2 出力 (LCDC)	-
	PTJ3 入出力 (ポート)	-	ST0M_D1I 入力 (STIF0M)	ET0_ERXD1 入力 (MII0)	RMII1_CRS_DV 入力 (RMII1)	LCD_CL1 出力 (LCDC)	-
	PTJ2 入出力 (ポート)	-	ST0M_D0I 入力 (STIF0M)	ET0_ERXD0 入力 (MII0)	RMII1_TXD1 出力 (RMII1)	LCD_M_DISP 出力 (LCDC)	-
	PTJ1 入出力 (ポート)	-	ST0M_CLKIO/ ST0M_STRBI 入出力 (STIF0M)	-	RMII1_RX_ER 入力 (RMII1)	LCD_CLK 入力 (LCDC)	-
	PTJ0 入出力 (ポート)	-	ST0M_REQO 出力 (STIF0M)	GET0_GTX_CLK 出力 (GMII0)	REF50CK 入力 (RMII0/1)	-	-
K	PTK7 入出力 (ポート)	-	ST1_D7 入出力 (STIF1)	GET0_ERXD7 入力 (GMII0)	SIOF2_MCLK 入力 (SIOF2)	LCD_VCPWC 出力 (LCDC)	-
	PTK6 入出力 (ポート)	-	ST1_D6 入出力 (STIF1)	GET0_ERXD6 入力 (GMII0)	SIOF2_SCK 入出力 (SIOF2)	LCD_VEPWC 出力 (LCDC)	-
	PTK5 入出力 (ポート)	-	ST1_D5 入出力 (STIF1)	GET0_ERXD5 入力 (GMII0)	SIOF2_RXD 入力 (SIOF2)	LCD_D7 出力 (LCDC)	-
	PTK4 入出力 (ポート)	-	ST1_D4 入出力 (STIF1)	GET0_ERXD4 入力 (GMII0)	SIOF2_TXD 出力 (SIOF2)	LCD_D6 出力 (LCDC)	-
	PTK3 入出力 (ポート)	-	ST1_D3 入出力 (STIF1)	GET0_ETXD7 出力 (GMII0)	SIOF2_SYNC 入出力 (SIOF2)	LCD_D5 出力 (LCDC)	-
	PTK2 入出力 (ポート)	-	ST1_D2 入出力 (STIF1)	GET0_ETXD6 出力 (GMII0)	SIOF1_SCK 入出力 (SIOF1)	LCD_D4 出力 (LCDC)	-
	PTK1 入出力 (ポート)	-	ST1_D1 入出力 (STIF1)	GET0_ETXD5 出力 (GMII0)	SIOF1_TXD 出力 (SIOF1)	LCD_D3 出力 (LCDC)	-
	PTK0 入出力 (ポート)	-	ST1_D0 入出力 (STIF1)	GET0_ETXD4 出力 (GMII0)	SIOF1_SYNC 入出力 (SIOF1)	LCD_D2 出力 (LCDC)	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
L	PTL7 入出力 (ポート)	D23/EX_AD23 入出力 (LBSC ^{※2} / EXCPU)	ST0_VALID 入出力 (STIF0)	ET0_TX-EN 出力 (MII0)	$\overline{TEND1}$ 出力 (DMAC1)	LCD_D15 出力 (LCDC)	-
	PTL6 入出力 (ポート)	D22/EX_AD22 入出力 (LBSC ^{※2} / EXCPU)	ST0_START 入出力 (STIF0)	ET0_ETXD2 出力 (MII0)	$\overline{DACK1}$ 出力 (DMAC1)	LCD_D14 出力 (LCDC)	-
	PTL5 入出力 (ポート)	D21/EX_AD21 入出力 (LBSC ^{※2} / EXCPU)	ST0_CLK/ ST0_STRB 入出力 (STIF0)	ET0_ETXD1 出力 (MII0)	$\overline{DREQ1}$ 入力 (DMAC1)	LCD_D13 出力 (LCDC)	-
	PTL4 入出力 (ポート)	D20/EX_AD20 入出力 (LBSC ^{※2} / EXCPU)	ST0_REQ 入出力 (STIF0)	ET0_ETXD0 出力 (MII0)	\overline{INTD} 入力 (PCIC)	LCD_D12 出力 (LCDC)	-
	PTL3 入出力 (ポート)	D19/EX_AD19 入出力 (LBSC ^{※2} / EXCPU)	IRQ7/ $\overline{IRL7}$ 入力 (INT)	ET0_MDIO 入出力 (MII0)	\overline{INTC} 入力 (PCIC)	LCD_D11 出力 (LCDC)	-
	PTL2 入出力 (ポート)	D18/EX_AD18 入出力 (LBSC ^{※2} / EXCPU)	IRQ6/ $\overline{IRL6}$ 入力 (INT)	ET0_ETXD3 出力 (MII0)	$\overline{TEND0}$ 出力 (DMAC0)	LCD_D10 出力 (LCDC)	-
	PTL1 入出力 (ポート)	D17/EX_AD17 入出力 (LBSC ^{※2} / EXCPU)	IRQ5/ $\overline{IRL5}$ 入力 (INT)	ET0_MDC 出力 (MII0)	$\overline{DACK0}$ 出力 (DMAC0)	LCD_D9 出力 (LCDC)	-
	PTL0 入出力 (ポート)	D16/EX_AD16 入出力 (LBSC ^{※2} / EXCPU)	IRQ4/ $\overline{IRL4}$ 入力 (INT)	ET0_COL 入力 (MII0)	$\overline{DREQ0}$ 入力 (DMAC0)	LCD_D8 出力 (LCDC)	-
M	PTM7 入出力 (ポート)	D31/EX_AD31 入出力 (LBSC ^{※2} / EXCPU)	ST0_D7 入出力 (STIF0)	ET0_RX-DV 入力 (MII0)	RMII0_TXD0 出力 (RMII0)	-	PINT7 入力 (INT)
	PTM6 入出力 (ポート)	D30/EX_AD30 入出力 (LBSC ^{※2} / EXCPU)	ST0_D6 入出力 (STIF0)	ET0_RX-CLK 入力 (MII0)	RMII0_TXD1 出力 (RMII0)	-	PINT6 入力 (INT)
	PTM5 入出力 (ポート)	D29/EX_AD29 入出力 (LBSC ^{※2} / EXCPU)	ST0_D5 入出力 (STIF0)	ET0_RX-ER 入力 (MII0)	RMII0_TXD_EN 出力 (RMII0)	-	PINT5 入力 (INT)
	PTM4 入出力 (ポート)	D28/EX_AD28 入出力 (LBSC ^{※2} / EXCPU)	ST0_D4 入出力 (STIF0)	ET0_PHY-INT 入力 (ETC0)	RMII0_RXD0 入力 (RMII0)	-	PINT4 入力 (INT)
	PTM3 入出力 (ポート)	D27/EX_AD27 入出力 (LBSC ^{※2} / EXCPU)	ST0_D3 入出力 (STIF0)	ET0_LINKSTA 入力 (MII0)	RMII0_RXD1 入力 (RMII0)	-	PINT3 入力 (INT)

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
M	PTM2 入出力 (ポート)	D26/EX_AD26 入出力 (LBSC ^{*2} / EXCPU)	ST0_D2 入出力 (STIF0)	ET0_WOL 出力 (MII0)	RMII0_CRCS_DV 入力 (RMII0)	-	PINT2 入力 (INT)
	PTM1 入出力 (ポート)	D25/EX_AD25 入出力 (LBSC ^{*2} / EXCPU)	ST0_D1 入出力 (STIF0)	ET0_TX-CLK 入力 (MII0)	RMII0_RX_ER 入力 (RMII0)	-	PINT1 入力 (INT)
	PTM0 入出力 (ポート)	D24/EX_AD24 入出力 (LBSC ^{*2} / EXCPU)	ST0_D0 入出力 (STIF0)	ET0_TX-ER 出力 (MII0)	-	RMII0M0_MDIO 入出力 (RMII0M0)	PINT0 入力 (INT)
N	PTN5 入出力 (ポート)	NMI 入力 (INT)	-	-	-	-	-
	PTN4 入出力 (ポート)	SCIF0_RTS 入出力 (SCIF0)	MD2 ^{*1} 入力 (CPG)	-	-	-	-
	PTN3 入出力 (ポート)	SCIF0_CTS 入出力 (SCIF0)	MD4 ^{*1} 入力 (LBSC)	-	-	-	-
	PTN2 入出力 (ポート)	SCIF0_TXD 出力 (SCIF0)	MD1 ^{*1} 入力 (CPG)	-	-	-	-
	PTN1 入出力 (ポート)	SCIF0_RXD 入力 (SCIF0)	MD3 ^{*1} 入力 (LBSC)	-	-	-	-
	PTN0 入出力 (ポート)	SCIF0_SCK 入出力 (SCIF0)	MD0 ^{*1} 入力 (CPG)	-	-	-	-
O	PTO7 入出力 (ポート)	IRQ1/IRL1 入力 (INT)	TEND1M 出力 (DMAC1M)	SSI3_SCK 入出力 (SSI3)	MD6 ^{*1} 入力 (PCIC)	-	-
	PTO6 入出力 (ポート)	IRQ0/IRL0 入力 (INT)	DACK1M 出力 (DMAC1M)	-	MD5 ^{*1} 入力 (LBSC)	-	-
	PTO5 入出力 (ポート)	AUDCK 出力 (AUD)	DREQ1M 入力 (DMAC1M)	SSI3_SDATA 入出力 (SSI3)	-	-	-
	PTO4 入出力 (ポート)	AUDATA3 出力 (AUD)	EX_INT 出力 (EXCPU)	SSI3_WS 入出力 (SSI3)	-	-	-
	PTO3 入出力 (ポート)	AUDATA2 出力 (AUD)	RMII0M1_MDIO 入出力 (RMII0M1)	SSI2_SCK 入出力 (SSI2)	-	-	-
	PTO2 入出力 (ポート)	AUDATA1 出力 (AUD)	RMII0M1_MDC 出力 (RMII0M1)	-	-	-	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	その他の機能 5 (関連 モジュール)	GPIO 割り込み
O	PTO1 入出力 (ポート)	AUDATA0 出力 (AUD)	RMII1_MDIO 入出力 (RMII1)	SSI2_SDATA 入出力 (SSI2)	-	-	-
	PTO0 入出力 (ポート)	AUDSYNC 出力 (AUD)	RMII1_MDC 入出力 (RMII1)	SSI2_WS 入出力 (SSI2)	-	-	-

【記号説明】 TRI : トライステート

STRI : サステインドトライステート

O/D : オープンドレイン

- 【注】 1. 表において、ハッチングの端子がリセット直後から使用できる端子機能です。
2. 内蔵モジュールを使用する場合は、関連する端子の機能選択を行ってから、各モジュールの初期設定を行ってください。

*1 MD0~MD6、MD8、MD10 は、パワーオンリセット期間中のみ有効となります。

*2 LBSC で 32 ビットバス幅を選択した時、本ピンファンクションを選択してください。

40.2 レジスタの説明

INTC のレジスタ構成を表 40.2 に示します。また、各処理モードにおけるレジスタの状態を表 40.3 に示します。

表 40.2 レジスタ構成

名称	略称	R/W	P4 領域 アドレス* ¹	エリア 7 アドレス* ¹	アクセス サイズ* ²
ポート A コントロールレジスタ	PACR	R/W	H'FFEF 0000	H'1FEF 0000	16
ポート B コントロールレジスタ	PBCR	R/W	H'FFEF 0002	H'1FEF 0002	16
ポート C コントロールレジスタ	PCCR	R/W	H'FFEF 0004	H'1FEF 0004	16
ポート D コントロールレジスタ	PDCR	R/W	H'FFEF 0006	H'1FEF 0006	16
ポート E コントロールレジスタ	PECR	R/W	H'FFEF 0008	H'1FEF 0008	16
ポート F コントロールレジスタ	PFCR	R/W	H'FFEF 000A	H'1FEF 000A	16
ポート G コントロールレジスタ	PGCR	R/W	H'FFEF 000C	H'1FEF 000C	16
ポート H コントロールレジスタ	PHCR	R/W	H'FFEF 000E	H'1FEF 000E	16
ポート I コントロールレジスタ	PICR	R/W	H'FFEF 0010	H'1FEF 0010	16
ポート J コントロールレジスタ	PJCR	R/W	H'FFEF 0012	H'1FEF 0012	16
ポート K コントロールレジスタ	PKCR	R/W	H'FFEF 0014	H'1FEF 0014	16
ポート L コントロールレジスタ	PLCR	R/W	H'FFEF 0016	H'1FEF 0016	16
ポート M コントロールレジスタ	PMCR	R/W	H'FFEF 0018	H'1FEF 0018	16
ポート N コントロールレジスタ	PNCR	R/W	H'FFEF 001A	H'1FEF 001A	16
ポート O コントロールレジスタ	POCR	R/W	H'FFEF 001C	H'1FEF 001C	16
ポート A データレジスタ	PADR	R/W	H'FFEF 0020	H'1FEF 0020	8
ポート B データレジスタ	PBDR	R/W	H'FFEF 0022	H'1FEF 0022	8
ポート C データレジスタ	PCDR	R/W	H'FFEF 0024	H'1FEF 0024	8
ポート D データレジスタ	PDDR	R/W	H'FFEF 0026	H'1FEF 0026	8
ポート E データレジスタ	PEDR	R/W	H'FFEF 0028	H'1FEF 0028	8
ポート F データレジスタ	PFDR	R/W	H'FFEF 002A	H'1FEF 002A	8
ポート G データレジスタ	PGDR	R/W	H'FFEF 002C	H'1FEF 002C	8
ポート H データレジスタ	PHDR	R/W	H'FFEF 002E	H'1FEF 002E	8
ポート I データレジスタ	PIDR	R/W	H'FFEF 0030	H'1FEF 0030	8
ポート J データレジスタ	PJDR	R/W	H'FFEF 0032	H'1FEF 0032	8
ポート K データレジスタ	PKDR	R/W	H'FFEF 0034	H'1FEF 0034	8
ポート L データレジスタ	PLDR	R/W	H'FFEF 0036	H'1FEF 0036	8
ポート M データレジスタ	PMDR	R/W	H'FFEF 0038	H'1FEF 0038	8
ポート N データレジスタ	PNDR	R/W	H'FFEF 003A	H'1FEF 003A	8
ポート O データレジスタ	PODR	R/W	H'FFEF 003C	H'1FEF 003C	8
ポート I プルアップ制御レジスタ	PIUPR	R/W	H'FFEF 0050	H'1FEF 0050	8

名称	略称	R/W	P4 領域 アドレス* ¹	エリア7 アドレス* ¹	アクセス サイズ* ²
ポート J ブルアップ制御レジスタ	PJPUPR	R/W	H'FFEF 0052	H'1FEF 0052	8
ポート K ブルアップ制御レジスタ	PKPUPR	R/W	H'FFEF 0054	H'1FEF 0054	8
ポート L ブルアップ制御レジスタ	PLPUPR	R/W	H'FFEF 0056	H'1FEF 0056	8
ポート M ブルアップ制御レジスタ	PMPUPR	R/W	H'FFEF 0058	H'1FEF 0058	8
ポート N ブルアップ制御レジスタ	PNPUPR	R/W	H'FFEF 005A	H'1FEF 005A	8
ポート O ブルアップ制御レジスタ	POPUPR	R/W	H'FFEF 005C	H'1FEF 005C	8
入力端子ブルアップ制御レジスタ	PPUPR	R/W	H'FFEF 0060	H'1FEF 0060	8
ピンセレクトレジスタ 0	PSEL0	R/W	H'FFEF 0070	H'1FEF 0070	16
ピンセレクトレジスタ 1	PSEL1	R/W	H'FFEF 0072	H'1FEF 0072	16
ピンセレクトレジスタ 2	PSEL2	R/W	H'FFEF 0074	H'1FEF 0074	16
ピンセレクトレジスタ 3	PSEL3	R/W	H'FFEF 0076	H'1FEF 0076	16
ピンセレクトレジスタ 4	PSEL4	R/W	H'FFEF 0078	H'1FEF 0078	16

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

*2 レジスタには 16 ビットアクセスのレジスタと 8 ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。

表 40.3 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
ポート A コントロールレジスタ	PACR	H'0000	保持	保持	保持
ポート B コントロールレジスタ	PBCR	H'0000	保持	保持	保持
ポート C コントロールレジスタ	PCCR	H'0000	保持	保持	保持
ポート D コントロールレジスタ	PDCR	H'0000	保持	保持	保持
ポート E コントロールレジスタ	PECR	H'0000	保持	保持	保持
ポート F コントロールレジスタ	PFDR	H'0000	保持	保持	保持
ポート G コントロールレジスタ	PGCR	H'0000	保持	保持	保持
ポート H コントロールレジスタ	PHCR	H'0000	保持	保持	保持
ポート I コントロールレジスタ	PICR	H'0AA0	保持	保持	保持
ポート J コントロールレジスタ	PJCR	H'FFFF	保持	保持	保持
ポート K コントロールレジスタ	PKCR	H'FFFF	保持	保持	保持
ポート L コントロールレジスタ	PLCR	H'0000	保持	保持	保持
ポート M コントロールレジスタ	PMCR	H'0000	保持	保持	保持
ポート N コントロールレジスタ	PNCR	H'02AA	保持	保持	保持
ポート O コントロールレジスタ	POCR	H'0FFF	保持	保持	保持
ポート A データレジスタ	PADR	H'00	保持	保持	保持
ポート B データレジスタ	PBDR	H'00	保持	保持	保持
ポート C データレジスタ	PCDR	H'00	保持	保持	保持
ポート D データレジスタ	PDDR	H'00	保持	保持	保持
ポート E データレジスタ	PEDR	H'00	保持	保持	保持
ポート F データレジスタ	PFDR	H'00	保持	保持	保持
ポート G データレジスタ	PGDR	H'00	保持	保持	保持
ポート H データレジスタ	PHDR	H'00	保持	保持	保持
ポート I データレジスタ	PIDR	H'xx	保持	保持	保持
ポート J データレジスタ	PJDR	H'xx	保持	保持	保持
ポート K データレジスタ	PKDR	H'xx	保持	保持	保持
ポート L データレジスタ	PLDR	H'00	保持	保持	保持
ポート M データレジスタ	PMDR	H'00	保持	保持	保持
ポート N データレジスタ	PNDR	H'xx	保持	保持	保持
ポート O データレジスタ	PODR	H'xx	保持	保持	保持
ポート I ブルアップ制御レジスタ	PIPUPR	H'FF	保持	保持	保持
ポート J ブルアップ制御レジスタ	PJPUPR	H'FF	保持	保持	保持
ポート K ブルアップ制御レジスタ	PKPUPR	H'FF	保持	保持	保持
ポート L ブルアップ制御レジスタ	PLPUPR	H'FF	保持	保持	保持
ポート M ブルアップ制御レジスタ	PMPUPR	H'FF	保持	保持	保持

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
ポートNプルアップ制御レジスタ	PNUPR	H'FF	保持	保持	保持
ポートOプルアップ制御レジスタ	POPUPR	H'FF	保持	保持	保持
入力端子プルアップ制御レジスタ	PPUPR	H'FF	保持	保持	保持
ピンセレクトレジスタ0	PSEL0	H'0008	保持	保持	保持
ピンセレクトレジスタ1	PSEL1	H'4888	保持	保持	保持
ピンセレクトレジスタ2	PSEL2	H'0000	保持	保持	保持
ピンセレクトレジスタ3	PSEL3	H'4444	保持	保持	保持
ピンセレクトレジスタ4	PSEL4	H'0000	保持	保持	保持

40.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PA6MD[1:0]	PA5MD[1:0]	PA4MD[1:0]	PA3MD[1:0]	PA2MD[1:0]	PA1MD[1:0]	PA0MD[1:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PA6MD[1:0]	すべて 0	R/W	PTA6 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
11、10	PA5MD[1:0]	すべて 0	R/W	PTA5 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
9、8	PA4MD[1:0]	すべて 0	R/W	PTA4 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
7、6	PA3MD[1:0]	すべて 0	R/W	PTA3 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
5、4	PA2MD[1:0]	すべて 0	R/W	PTA2 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3、2	PA1MD[1:0]	すべて 0	R/W	PTA1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
1、0	PA0MD[1:0]	すべて 0	R/W	PTA0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

40.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7MD[1:0]		PB6MD[1:0]		PB5MD[1:0]		PB4MD[1:0]		PB3MD[1:0]		PB2MD[1:0]		PB1MD[1:0]		PB0MD[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PB7MD[1:0]	すべて 0	R/W	PTB7 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
13、12	PB6MD[1:0]	すべて 0	R/W	PTB6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
11、10	PB5MD[1:0]	すべて 0	R/W	PTB5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
9、8	PB4MD[1:0]	すべて0	R/W	PTB4 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
7、6	PB3MD[1:0]	すべて0	R/W	PTB3 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
5、4	PB2MD[1:0]	すべて0	R/W	PTB2 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
3、2	PB1MD[1:0]	すべて0	R/W	PTB1 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
1、0	PB0MD[1:0]	すべて0	R/W	PTB0 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止

40.2.3 ポートCコントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7MD[1:0]	PC6MD[1:0]	PC5MD[1:0]	PC4MD[1:0]	PC3MD[1:0]	PC2MD[1:0]	PC1MD[1:0]	PC0MD[1:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PC7MD[1:0]	すべて0	R/W	PTC7 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
13、12	PC6MD[1:0]	すべて0	R/W	PTC6 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
11、10	PC5MD[1:0]	すべて0	R/W	PTC5 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
9、8	PC4MD[1:0]	すべて0	R/W	PTC4 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
7、6	PC3MD[1:0]	すべて0	R/W	PTC3 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
5、4	PC2MD[1:0]	すべて0	R/W	PTC2 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3, 2	PC1MD[1:0]	すべて 0	R/W	PTC1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
1, 0	PC0MD[1:0]	すべて 0	R/W	PTC0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

40.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7MD[1:0]	PD6MD[1:0]	PD5MD[1:0]	PD4MD[1:0]	PD3MD[1:0]	PD2MD[1:0]	PD1MD[1:0]	PD0MD[1:0]								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PD7MD[1:0]	すべて 0	R/W	PTD7 モード 00 : その他の機能 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
13, 12	PD6MD[1:0]	すべて 0	R/W	PTD6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
11, 10	PD5MD[1:0]	すべて 0	R/W	PTD5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
9、8	PD4MD[1:0]	すべて0	R/W	PTD4 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
7、6	PD3MD[1:0]	すべて0	R/W	PTD3 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
5、4	PD2MD[1:0]	すべて0	R/W	PTD2 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
3、2	PD1MD[1:0]	すべて0	R/W	PTD1 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止
1、0	PD0MD[1:0]	すべて0	R/W	PTD0 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：設定禁止

40.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PE5MD[1:0]	PE4MD[1:0]	PE3MD[1:0]	PE2MD[1:0]	PE1MD[1:0]	PE0MD[1:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11, 10	PE5MD[1:0]	すべて 0	R/W	PTE5 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
9, 8	PE4MD[1:0]	すべて 0	R/W	PTE4 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
7, 6	PE3MD[1:0]	すべて 0	R/W	PTE3 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
5, 4	PE2MD[1:0]	すべて 0	R/W	PTE2 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
3, 2	PE1MD[1:0]	すべて 0	R/W	PTE1 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
1、0	PE0MD[1:0]	すべて0	R/W	PTE0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

40.2.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF3MD[1:0]	PF2MD[1:0]	PF1MD[1:0]	PF0MD[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7、6	PF3MD[1:0]	すべて0	R/W	PTF3 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
5、4	PF2MD[1:0]	すべて0	R/W	PTF2 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
3、2	PF1MD[1:0]	すべて0	R/W	PTF1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
1、0	PF0MD[1:0]	すべて0	R/W	PTF0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

40.2.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG7MD[1:0]	PG6MD[1:0]	PG5MD[1:0]	PG4MD[1:0]	PG3MD[1:0]	PG2MD[1:0]	PG1MD[1:0]	PG0MD[1:0]								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PG7MD[1:0]	すべて0	R/W	PTG7 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
13、12	PG6MD[1:0]	すべて0	R/W	PTG6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
11、10	PG5MD[1:0]	すべて0	R/W	PTG5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
9、8	PG4MD[1:0]	すべて0	R/W	PTG4 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7、6	PG3MD[1:0]	すべて0	R/W	PTG3 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
5、4	PG2MD[1:0]	すべて0	R/W	PTG2 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
3、2	PG1MD[1:0]	すべて0	R/W	PTG1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
1、0	PG0MD[1:0]	すべて0	R/W	PTG0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

40.2.8 ポートHコントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7MD[1:0]		PH6MD[1:0]		PH5MD[1:0]		PH4MD[1:0]		PH3MD[1:0]		PH2MD[1:0]		PH1MD[1:0]		PH0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PH7MD[1:0]	すべて0	R/W	PTH7 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
13、12	PH6MD[1:0]	すべて0	R/W	PTH6 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
11、10	PH5MD[1:0]	すべて0	R/W	PTH5 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
9、8	PH4MD[1:0]	すべて0	R/W	PTH4 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
7、6	PH3MD[1:0]	すべて0	R/W	PTH3 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
5、4	PH2MD[1:0]	すべて0	R/W	PTH2 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3, 2	PH1MD[1:0]	すべて 0	R/W	PTH1 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
1, 0	PH0MD[1:0]	すべて 0	R/W	PTH0 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止

40.2.9 ポート I コントロールレジスタ (PICR)

PICR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PI7MD[1:0]	PI6MD[1:0]	PI5MD[1:0]	PI4MD[1:0]	PI3MD[1:0]	PI2MD[1:0]	PI1MD[1:0]	PI0MD[1:0]								
初期値:	0	0	0	0	1	0	1	0	1	0	1	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PI7MD[1:0]	すべて 0	R/W	PTI7 モード 00: その他の機能 01: 設定禁止 10: ポート入力 11: 設定禁止
13, 12	PI6MD[1:0]	すべて 0	R/W	PTI6 モード 00: その他の機能 01: 設定禁止 10: ポート入力 11: 設定禁止
11, 10	PI5MD[1:0]	10	R/W	PTI5 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
9、8	PI4MD[1:0]	10	R/W	PTI4 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: 設定禁止
7、6	PI3MD[1:0]	10	R/W	PTI3 モード 00: その他の機能 01: 設定禁止 10: ポート入力 11: 設定禁止
5、4	PI2MD[1:0]	10	R/W	PTI2 モード 00: その他の機能 01: 設定禁止 10: ポート入力 11: 設定禁止
3、2	PI1MD[1:0]	すべて 0	R/W	PTI1 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
1、0	PI0MD[1:0]	すべて 0	R/W	PTI0 モード 00: その他の機能 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

40.2.10 ポートJコントロールレジスタ (PJCR)

PJCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ7MD[1:0]		PJ6MD[1:0]		PJ5MD[1:0]		PJ4MD[1:0]		PJ3MD[1:0]		PJ2MD[1:0]		PJ1MD[1:0]		PJ0MD[1:0]	
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PJ7MD[1:0]	すべて 1	R/W	PTJ7 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13、12	PJ6MD[1:0]	すべて 1	R/W	PTJ6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11、10	PJ5MD[1:0]	すべて 1	R/W	PTJ5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9、8	PJ4MD[1:0]	すべて 1	R/W	PTJ4 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7、6	PJ3MD[1:0]	すべて 1	R/W	PTJ3 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5、4	PJ2MD[1:0]	すべて 1	R/W	PTJ2 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
3, 2	PJ1MD[1:0]	すべて 1	R/W	PTJ1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1, 0	PJ0MD[1:0]	すべて 1	R/W	PTJ0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

40.2.11 ポート K コントロールレジスタ (PKCR)

PKCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK7MD[1:0]	PK6MD[1:0]	PK5MD[1:0]	PK4MD[1:0]	PK3MD[1:0]	PK2MD[1:0]	PK1MD[1:0]	PK0MD[1:0]								
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PK7MD[1:0]	すべて 1	R/W	PTK7 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13, 12	PK6MD[1:0]	すべて 1	R/W	PTK6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11, 10	PK5MD[1:0]	すべて 1	R/W	PTK5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
9、8	PK4MD[1:0]	すべて 1	R/W	PTK4 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7、6	PK3MD[1:0]	すべて 1	R/W	PTK3 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5、4	PK2MD[1:0]	すべて 1	R/W	PTK2 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3、2	PK1MD[1:0]	すべて 1	R/W	PTK1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1、0	PK0MD[1:0]	すべて 1	R/W	PTK0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

40.2.12 ポートLコントロールレジスタ (PLCR)

PLCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PL7MD[1:0]		PL6MD[1:0]		PL5MD[1:0]		PL4MD[1:0]		PL3MD[1:0]		PL2MD[1:0]		PL1MD[1:0]		PL0MD[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PL7MD[1:0]	すべて 0	R/W	PTL7 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13、12	PL6MD[1:0]	すべて 0	R/W	PTL6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11、10	PL5MD[1:0]	すべて 0	R/W	PTL5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9、8	PL4MD[1:0]	すべて 0	R/W	PTL4 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7、6	PL3MD[1:0]	すべて 0	R/W	PTL3 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5、4	PL2MD[1:0]	すべて 0	R/W	PTL2 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
3, 2	PL1MD[1:0]	すべて 0	R/W	PTL1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1, 0	PL0MD[1:0]	すべて 0	R/W	PTL0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

40.2.13 ポート M コントローレジスタ (PMCR)

PMCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PM7MD[1:0]	PM6MD[1:0]	PM5MD[1:0]	PM4MD[1:0]	PM3MD[1:0]	PM2MD[1:0]	PM1MD[1:0]	PM0MD[1:0]								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PM7MD[1:0]	すべて 0	R/W	PTM7 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13, 12	PM6MD[1:0]	すべて 0	R/W	PTM6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11, 10	PM5M[1:0]	すべて 0	R/W	PTM5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
9、8	PM4MD[1:0]	すべて0	R/W	PTM4 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：ポート入力 (プルアップ MOS：オン)
7、6	PM3MD[1:0]	すべて0	R/W	PTM3 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：ポート入力 (プルアップ MOS：オン)
5、4	PM2MD[1:0]	すべて0	R/W	PTM2 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：ポート入力 (プルアップ MOS：オン)
3、2	PM1MD[1:0]	すべて0	R/W	PTM1 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：ポート入力 (プルアップ MOS：オン)
1、0	PM0MD[1:0]	すべて0	R/W	PTM0 モード 00：その他の機能 01：ポート出力 10：ポート入力 (プルアップ MOS：オフ) 11：ポート入力 (プルアップ MOS：オン)

40.2.14 ポートNコントロールレジスタ (PNCR)

PNCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PN5MD[1:0]	PN4MD[1:0]	PN3MD[1:0]	PN2MD[1:0]	PN1MD[1:0]	PN0MD[1:0]						
初期値 :	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11、10	PN5MD[1:0]	すべて0	R/W	PTN5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9、8	PN4MD[1:0]	10	R/W	PTN4 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
7、6	PN3MD[1:0]	10	R/W	PTN3 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
5、4	PN2MD[1:0]	10	R/W	PTN2 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
3、2	PN1MD[1:0]	10	R/W	PTN1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
1, 0	PN0MD[1:0]	10	R/W	PTN0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止

40.2.15 ポート O コントロールレジスタ (POCR)

POCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PO7MD[1:0]	PO6MD[1:0]	PO5MD[1:0]	PO4MD[1:0]	PO3MD[1:0]	PO2MD[1:0]	PO1MD[1:0]	PO0MD[1:0]
初期値 : 0 0	0 0	1 1	1 1	1 1	1 1	1 1	1 1
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PO7MD[1:0]	すべて 0	R/W	PTO7 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
13, 12	PO6MD[1:0]	すべて 0	R/W	PTO6 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
11, 10	PO5MD[1:0]	すべて 1	R/W	PTO5 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9, 8	PO4MD[1:0]	すべて 1	R/W	PTO4 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
7、6	PO3MD[1:0]	すべて1	R/W	PTO3 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5、4	PO2MD[1:0]	すべて1	R/W	PTO2 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3、2	PO1MD[1:0]	すべて1	R/W	PTO1 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1、0	PO0MD[1:0]	すべて1	R/W	PTO0 モード 00 : その他の機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

40.2.16 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート A のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	-	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PA6DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

40.2.17 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート B のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PB7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

40.2.18 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート C のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PC7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

40.2.19 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート D のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PD7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

40.2.20 ポート E データレジスタ (PEDR)

PEDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート E のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	-	-	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PE5DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

40.2.21 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート F のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	PF3DT	PF2DT	PF1DT	PF0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
3	PF3DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

40.2.22 ポート G データレジスタ (PGDR)

PGDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート G のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PG7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PG6DT	0	R/W	
5	PG5DT	0	R/W	
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

40.2.23 ポート H データレジスタ (PHDR)

PHDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート H のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PH7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PH6DT	0	R/W	
5	PH5DT	0	R/W	
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

40.2.24 ポートIデータレジスタ (PIDR)

PIDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート I のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PI7DT	PI6DT	PI5DT	PI4DT	PI3DT	PI2DT	PI1DT	PI0DT
初期値:	0	0	端子状態	端子状態	端子状態	端子状態	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PI7DT	0	R	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PI6DT	0	R	
5	PI5DT	端子状態	R/W	
4	PI4DT	端子状態	R/W	
3	PI3DT	端子状態	R	
2	PI2DT	端子状態	R	
1	PI1DT	0	R/W	
0	PI0DT	0	R/W	

40.2.25 ポートJデータレジスタ (PJDR)

PJDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート J のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT
初期値:	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PJ7DT	端子状態	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PJ6DT	端子状態	R/W	
5	PJ5DT	端子状態	R/W	
4	PJ4DT	端子状態	R/W	
3	PJ3DT	端子状態	R/W	
2	PJ2DT	端子状態	R/W	
1	PJ1DT	端子状態	R/W	
0	PJ0DT	端子状態	R/W	

40.2.26 ポートKデータレジスタ (PKDR)

PKDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート K のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT
初期値:	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PK7DT	端子状態	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PK6DT	端子状態	R/W	
5	PK5DT	端子状態	R/W	
4	PK4DT	端子状態	R/W	
3	PK3DT	端子状態	R/W	
2	PK2DT	端子状態	R/W	
1	PK1DT	端子状態	R/W	
0	PK0DT	端子状態	R/W	

40.2.27 ポートLデータレジスタ (PLDR)

PLDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート L のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	PL1DT	PL0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PL7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PL6DT	0	R/W	
5	PL5DT	0	R/W	
4	PL4DT	0	R/W	
3	PL3DT	0	R/W	
2	PL2DT	0	R/W	
1	PL1DT	0	R/W	
0	PL0DT	0	R/W	

40.2.28 ポート M データレジスタ (PMDR)

PMDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート M のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PM7DT	PM6DT	PM5DT	PM4DT	PM3DT	PM2DT	PM1DT	PM0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PM7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PM6DT	0	R/W	
5	PM5DT	0	R/W	
4	PM4DT	0	R/W	
3	PM3DT	0	R/W	
2	PM2DT	0	R/W	
1	PM1DT	0	R/W	
0	PM0DT	0	R/W	

40.2.29 ポート N データレジスタ (PNDR)

PNDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート N のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	-	-	PN5DT	PN4DT	PN3DT	PN2DT	PN1DT	PN0DT
初期値:	0	0	0	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
5	PN5DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
4	PN4DT	端子状態	R/W	
3	PN3DT	端子状態	R/W	
2	PN2DT	端子状態	R/W	
1	PN1DT	端子状態	R/W	
0	PN0DT	端子状態	R/W	

40.2.30 ポートO データレジスタ (PODR)

PODR は、読み出し / 書き込み可能な 8 ビットのレジスタでポートO のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PO7DT	PO6DT	PO5DT	PO4DT	PO3DT	PO2DT	PO1DT	PO0DT
初期値:	0	0	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PO7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PO6DT	0	R/W	
5	PO5DT	端子状態	R/W	
4	PO4DT	端子状態	R/W	
3	PO3DT	端子状態	R/W	
2	PO2DT	端子状態	R/W	
1	PO1DT	端子状態	R/W	
0	PO0DT	端子状態	R/W	

40.2.31 ポートIプルアップ制御レジスタ (PIPUPR)

PIPUPRは、読み出し/書き込み可能な8ビットのレジスタです。本レジスタの各ビットはPTI7~PTI0に相当し、ポートIの端子を「その他の機能」が使用している場合に各端子のプルアップ制御を個別に行います。ただし、PICRでポートに設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PI1PUPR	PI0PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
6	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
2	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	PI1PUPR	1	R/W	ポート PTI1 端子のプルアップ制御を設定できます。 0: PTI1 端子プルアップオフ 1: PTI1 端子プルアップオン
0	PI0PUPR	1	R/W	ポート PTI0 端子のプルアップ制御を設定できます。 0: PTI0 端子プルアップオフ 1: PTI0 端子プルアップオン

40.2.32 ポートJプルアップ制御レジスタ (PJPUPR)

PJPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTJ7 ~ PTJ0 に相当し、ポート J の端子を「その他の機能」が使用している場合に各端子のプルアップ制御を個別に行います。ただし、PJCR でポートに設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PJ7PUPR	PJ6PUPR	PJ5PUPR	PJ4PUPR	PJ3PUPR	PJ2PUPR	PJ1PUPR	PJ0PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PJ7PUPR	1	R/W	ポート PTJ7 端子のプルアップ制御を設定できます。 0: PTJ7 端子プルアップオフ 1: PTJ7 端子プルアップオン
6	PJ6PUPR	1	R/W	ポート PTJ6 端子のプルアップ制御を設定できます。 0: PTJ6 端子プルアップオフ 1: PTJ6 端子プルアップオン
5	PJ5PUPR	1	R/W	ポート PTJ5 端子のプルアップ制御を設定できます。 0: PTJ5 端子プルアップオフ 1: PTJ5 端子プルアップオン
4	PJ4PUPR	1	R/W	ポート PTJ4 端子のプルアップ制御を設定できます。 0: PTJ4 端子プルアップオフ 1: PTJ4 端子プルアップオン
3	PJ3PUPR	1	R/W	ポート PTJ3 端子のプルアップ制御を設定できます。 0: PTJ3 端子プルアップオフ 1: PTJ3 端子プルアップオン
2	PJ2PUPR	1	R/W	ポート PTJ2 端子のプルアップ制御を設定できます。 0: PTJ2 端子プルアップオフ 1: PTJ2 端子プルアップオン
1	PJ1PUPR	1	R/W	ポート PTJ1 端子のプルアップ制御を設定できます。 0: PTJ1 端子プルアップオフ 1: PTJ1 端子プルアップオン
0	PJ0PUPR	1	R/W	ポート PTJ0 端子のプルアップ制御を設定できます。 0: PTJ0 端子プルアップオフ 1: PTJ0 端子プルアップオン

40.2.33 ポート K プルアップ制御レジスタ (PKPUPR)

PKPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTK7 ~ PTK0 に相当し、ポート K の端子を「その他の機能」が使用している場合に各端子のプルアップ制御を個別に行います。ただし、PKCR でポートに設定されている端子には、本レジスタの設定は無効になります。

ビット: 7 6 5 4 3 2 1 0

PK7PUPR	PK6PUPR	PK5PUPR	PK4PUPR	PK3PUPR	PK2PUPR	PK1PUPR	PK0PUPR
---------	---------	---------	---------	---------	---------	---------	---------

初期値: 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7	PK7PUPR	1	R/W	ポート PTK7 端子のプルアップ制御を設定できます。 0: PTK7 端子プルアップオフ 1: PTK7 端子プルアップオン
6	PK6PUPR	1	R/W	ポート PTK6 端子のプルアップ制御を設定できます。 0: PTK6 端子プルアップオフ 1: PTK6 端子プルアップオン
5	PK5PUPR	1	R/W	ポート PTK5 端子のプルアップ制御を設定できます。 0: PTK5 端子プルアップオフ 1: PTK5 端子プルアップオン
4	PK4PUPR	1	R/W	ポート PTK4 端子のプルアップ制御を設定できます。 0: PTK4 端子プルアップオフ 1: PTK4 端子プルアップオン
3	PK3PUPR	1	R/W	ポート PTK3 端子のプルアップ制御を設定できます。 0: PTK3 端子プルアップオフ 1: PTK3 端子プルアップオン
2	PK2PUPR	1	R/W	ポート PTK2 端子のプルアップ制御を設定できます。 0: PTK2 端子プルアップオフ 1: PTK2 端子プルアップオン
1	PK1PUPR	1	R/W	ポート PTK1 端子のプルアップ制御を設定できます。 0: PTK1 端子プルアップオフ 1: PTK1 端子プルアップオン
0	PK0PUPR	1	R/W	ポート PTK0 端子のプルアップ制御を設定できます。 0: PTK0 端子プルアップオフ 1: PTK0 端子プルアップオン

40.2.34 ポートLプルアップ制御レジスタ (PLPUPR)

PLPUPR は、読み出し/書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTL7~PTL0 に相当し、ポート L の端子を「その他の機能」が使用している場合に各端子のプルアップ制御を個別に行います。ただし、PLCR でポートに設定されている端子には、本レジスタの設定は無効になります。

ビット: 7 6 5 4 3 2 1 0

PL7PUPR	PL6PUPR	PL5PUPR	PL4PUPR	PL3PUPR	PL2PUPR	PL1PUPR	PL0PUPR
1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PL7PUPR	1	R/W	ポート PTL7 端子のプルアップ制御を設定できます。 0: PTL7 端子プルアップオフ 1: PTL7 端子プルアップオン
6	PL6PUPR	1	R/W	ポート PTL6 端子のプルアップ制御を設定できます。 0: PTL6 端子プルアップオフ 1: PTL6 端子プルアップオン
5	PL5PUPR	1	R/W	ポート PTL5 端子のプルアップ制御を設定できます。 0: PTL5 端子プルアップオフ 1: PTL5 端子プルアップオン
4	PL4PUPR	1	R/W	ポート PTL4 端子のプルアップ制御を設定できます。 0: PTL4 端子プルアップオフ 1: PTL4 端子プルアップオン
3	PL3PUPR	1	R/W	ポート PTL3 端子のプルアップ制御を設定できます。 0: PTL3 端子プルアップオフ 1: PTL3 端子プルアップオン
2	PL2PUPR	1	R/W	ポート PTL2 端子のプルアップ制御を設定できます。 0: PTL2 端子プルアップオフ 1: PTL2 端子プルアップオン
1	PL1PUPR	1	R/W	ポート PTL1 端子のプルアップ制御を設定できます。 0: PTL1 端子プルアップオフ 1: PTL1 端子プルアップオン
0	PL0PUPR	1	R/W	ポート PTL0 端子のプルアップ制御を設定できます。 0: PTL0 端子プルアップオフ 1: PTL0 端子プルアップオン

40.2.35 ポート M ブルアップ制御レジスタ (PMPUPR)

PMPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTM7 ~ PTM0 に相当し、ポート M の端子を「その他の機能」が使用している場合に各端子のブルアップ制御を個別に行います。ただし、PMCR でポートに設定されている端子には、本レジスタの設定は無効になります。

ビット: 7 6 5 4 3 2 1 0

PM7PUPR	PM6PUPR	PM5PUPR	PM4PUPR	PM3PUPR	PM2PUPR	PM1PUPR	PM0PUPR
---------	---------	---------	---------	---------	---------	---------	---------

初期値: 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7	PM7PUPR	1	R/W	ポート PTM7 端子のブルアップ制御を設定できます。 0: PTM7 端子ブルアップオフ 1: PTM7 端子ブルアップオン
6	PM6PUPR	1	R/W	ポート PTM6 端子のブルアップ制御を設定できます。 0: PTM6 端子ブルアップオフ 1: PTM6 端子ブルアップオン
5	PM5PUPR	1	R/W	ポート PTM5 端子のブルアップ制御を設定できます。 0: PTM5 端子ブルアップオフ 1: PTM5 端子ブルアップオン
4	PM4PUPR	1	R/W	ポート PTM4 端子のブルアップ制御を設定できます。 0: PTM4 端子ブルアップオフ 1: PTM4 端子ブルアップオン
3	PM3PUPR	1	R/W	ポート PTM3 端子のブルアップ制御を設定できます。 0: PTM3 端子ブルアップオフ 1: PTM3 端子ブルアップオン
2	PM2PUPR	1	R/W	ポート PTM2 端子のブルアップ制御を設定できます。 0: PTM2 端子ブルアップオフ 1: PTM2 端子ブルアップオン
1	PM1PUPR	1	R/W	ポート PTM1 端子のブルアップ制御を設定できます。 0: PTM1 端子ブルアップオフ 1: PTM1 端子ブルアップオン
0	PM0PUPR	1	R/W	ポート PTM0 端子のブルアップ制御を設定できます。 0: PTM0 端子ブルアップオフ 1: PTM0 端子ブルアップオン

40.2.36 ポート N プルアップ制御レジスタ (PNPUPR)

PNPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTN5 ~ PTN0 に相当し、ポート N の端子を「その他の機能」が使用している場合に各端子のプルアップ制御を個別に行います。ただし、PNCR でポートに設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	-	-	PN5PUPR	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
6	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5	PN5PUPR	1	R/W	ポート PTN5 端子のプルアップ制御を設定できます。 0 : PTN5 端子プルアップオフ 1 : PTN5 端子プルアップオン
4	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
2	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
0	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

40.2.37 ポート O プルアップ制御レジスタ (POPUPR)

POPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTO7 ~ PTO0 に相当し、ポート O の端子を「その他の機能」が使用している場合に各端子のプルアップ制御を個別に行います。ただし、POCR でポートに設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	-	-	PO5PUPR	PO4PUPR	PO3PUPR	PO2PUPR	PO1PUPR	PO0PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	PO5PUPR	1	R/W	ポート PTO5 端子のプルアップ制御を設定できます。 0: PTO5 端子プルアップオフ 1: PTO5 端子プルアップオン
4	PO4PUPR	1	R/W	ポート PTO4 端子のプルアップ制御を設定できます。 0: PTO4 端子プルアップオフ 1: PTO4 端子プルアップオン
3	PO3PUPR	1	R/W	ポート PTO3 端子のプルアップ制御を設定できます。 0: PTO3 端子プルアップオフ 1: PTO3 端子プルアップオン
2	PO2PUPR	1	R/W	ポート PTO2 端子のプルアップ制御を設定できます。 0: PTO2 端子プルアップオフ 1: PTO2 端子プルアップオン
1	PO1PUPR	1	R/W	ポート PTO1 端子のプルアップ制御を設定できます。 0: PTO1 端子プルアップオフ 1: PTO1 端子プルアップオン
0	PO0PUPR	1	R/W	ポート PTO0 端子のプルアップ制御を設定できます。 0: PTO0 端子プルアップオフ 1: PTO0 端子プルアップオン

40.2.38 入力端子プルアップ制御レジスタ (PPUPR)

PPUPR は、読み出し/書き込み可能な 8 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	IOIS16UP	BREQPUP	RDYPUP
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
6	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
2	IOIS16UP	1	R/W	IOIS16 端子のプルアップ制御を設定できます。 0 : IOIS16 端子プルアップオフ 1 : IOIS16 端子プルアップオン
1	BREQPUP	1	R/W	BREQ 端子のプルアップ制御を設定できます。 0 : BREQ 端子プルアップオフ 1 : BREQ 端子プルアップオン
0	RDYPUP	1	R/W	RDY/PCC_WAIT 端子のプルアップ制御を設定できます。 0 : RDY/PCC_WAIT 端子プルアップオフ 1 : RDY/PCC_WAIT 端子プルアップオン

40.2.39 ピンセレクトレジスタ 0 (PSEL0)

PSEL0 は、読み出し/書き込み可能な 16 ビットのレジスタでポート A (PTA)、ポート B (PTB)、ポート C (PTC) の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL0 を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PTSEL0[4:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																														
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																														
4~0	PTSEL0[4:0]	01000	R/W	ポート A (PTA)、ポート B (PTB)、ポート C (PTC) の機能を選択します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ビット設定</th> <th colspan="4">選択される機能</th> </tr> <tr> <th>PTSEL0[4:0]</th> <th>PTA</th> <th>PTB</th> <th colspan="2">PTC</th> </tr> </thead> <tbody> <tr> <td>01xxx</td> <td colspan="2">PCIC*</td> <td>PCIC*</td> <td>PCIC*</td> </tr> <tr> <td>00001</td> <td>SCIF1</td> <td>MMC</td> <td>-</td> <td>MMC</td> </tr> <tr> <td>10xxx</td> <td>SCIF1</td> <td>-</td> <td>LCDCM</td> <td>LCDCM</td> </tr> <tr> <td>上記以外</td> <td colspan="4">設定禁止</td> </tr> </tbody> </table> <p>【注】* : PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x : Don't Care</p>	ビット設定	選択される機能				PTSEL0[4:0]	PTA	PTB	PTC		01xxx	PCIC*		PCIC*	PCIC*	00001	SCIF1	MMC	-	MMC	10xxx	SCIF1	-	LCDCM	LCDCM	上記以外	設定禁止			
ビット設定	選択される機能																																	
PTSEL0[4:0]	PTA	PTB	PTC																															
01xxx	PCIC*		PCIC*	PCIC*																														
00001	SCIF1	MMC	-	MMC																														
10xxx	SCIF1	-	LCDCM	LCDCM																														
上記以外	設定禁止																																	

40.2.40 ピンセレクトレジスタ 1 (PSEL1)

PSEL1 は、読み出し/書き込み可能な 16 ビットのレジスタでポート D (PTD)、ポート E (PTE)、ポート F (PTF)、ポート G (PTG)、ポート H (PTH) の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL1 を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PTSEL1[14:12]				PTSEL1[11:8]			PTSEL1[7:4]				PTSEL1[3:0]			
初期値:	0	1	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																					
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																					
14~12	PTSEL1 [14:12]	100	R/W	ポート H (PTH) の機能を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL1[14:12]</td> <td>PTH</td> </tr> <tr> <td>1xx</td> <td>PCIC*</td> </tr> <tr> <td>01x</td> <td>MII1</td> </tr> <tr> <td>001</td> <td>RMII1M</td> </tr> <tr> <td>000</td> <td>TPU</td> </tr> </tbody> </table> <p>【注】*: PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x: Don't Care</p>	ビット設定	選択される機能	PTSEL1[14:12]	PTH	1xx	PCIC*	01x	MII1	001	RMII1M	000	TPU									
ビット設定	選択される機能																								
PTSEL1[14:12]	PTH																								
1xx	PCIC*																								
01x	MII1																								
001	RMII1M																								
000	TPU																								
11~8	PTSEL1 [11:8]	1000	R/W	ポート F (PTF)、ポート G (PTG) の機能を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット設定</th> <th colspan="2">選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL1[11:8]</td> <td>PTF</td> <td>PTG</td> </tr> <tr> <td>1xxx</td> <td>PCIC*</td> <td>PCIC*</td> </tr> <tr> <td>01xx</td> <td>MII1</td> <td>MII1</td> </tr> <tr> <td>0011</td> <td>SIM</td> <td>-</td> </tr> <tr> <td>0010</td> <td>DMAC3</td> <td>-</td> </tr> <tr> <td>上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table> <p>【注】*: PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x: Don't Care</p>	ビット設定	選択される機能		PTSEL1[11:8]	PTF	PTG	1xxx	PCIC*	PCIC*	01xx	MII1	MII1	0011	SIM	-	0010	DMAC3	-	上記以外	設定禁止	
ビット設定	選択される機能																								
PTSEL1[11:8]	PTF	PTG																							
1xxx	PCIC*	PCIC*																							
01xx	MII1	MII1																							
0011	SIM	-																							
0010	DMAC3	-																							
上記以外	設定禁止																								

ビット	ビット名	初期値	R/W	説明																											
7~4	PTSEL1 [7:4]	1000	R/W	<p>ポート E (PTE) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th colspan="2">PTE 選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL1[7:4]</td> <td colspan="2">PTE</td> </tr> <tr> <td>1xxx</td> <td colspan="2">PCIC*</td> </tr> <tr> <td>0000</td> <td colspan="2">GMII1</td> </tr> <tr> <td>0010</td> <td>DMAC2</td> <td>SCIF2</td> </tr> <tr> <td>0011</td> <td>DMAC2</td> <td>SSI0</td> </tr> <tr> <td>0100</td> <td>PCC</td> <td>SCIF2</td> </tr> <tr> <td>0101</td> <td>PCC</td> <td>SSI0</td> </tr> <tr> <td>上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table> <p>【注】* : PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x : Don't Care</p>	ビット設定	PTE 選択される機能		PTSEL1[7:4]	PTE		1xxx	PCIC*		0000	GMII1		0010	DMAC2	SCIF2	0011	DMAC2	SSI0	0100	PCC	SCIF2	0101	PCC	SSI0	上記以外	設定禁止	
ビット設定	PTE 選択される機能																														
PTSEL1[7:4]	PTE																														
1xxx	PCIC*																														
0000	GMII1																														
0010	DMAC2	SCIF2																													
0011	DMAC2	SSI0																													
0100	PCC	SCIF2																													
0101	PCC	SSI0																													
上記以外	設定禁止																														
3~0	PTSEL1 [3:0]	1000	R/W	<p>ポート D (PTD) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th colspan="2">選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL1[3:0]</td> <td colspan="2">PTD</td> </tr> <tr> <td>1xxx</td> <td colspan="2">PCIC*</td> </tr> <tr> <td>0000</td> <td>GMII1</td> <td>SIOF0</td> </tr> <tr> <td>0001</td> <td colspan="2">LCDCM</td> </tr> <tr> <td>0010</td> <td colspan="2">PCC</td> </tr> <tr> <td>0100</td> <td>HAC</td> <td>SSI1</td> </tr> <tr> <td>0101</td> <td>HAC</td> <td>GMII1</td> </tr> <tr> <td>上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table> <p>【注】* : PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x : Don't Care</p>	ビット設定	選択される機能		PTSEL1[3:0]	PTD		1xxx	PCIC*		0000	GMII1	SIOF0	0001	LCDCM		0010	PCC		0100	HAC	SSI1	0101	HAC	GMII1	上記以外	設定禁止	
ビット設定	選択される機能																														
PTSEL1[3:0]	PTD																														
1xxx	PCIC*																														
0000	GMII1	SIOF0																													
0001	LCDCM																														
0010	PCC																														
0100	HAC	SSI1																													
0101	HAC	GMII1																													
上記以外	設定禁止																														

40.2.41 ピンセレクトレジスタ 2 (PSEL2)

PSEL2 は、読み出し / 書き込み可能な 16 ビットのレジスタでポート I (PTI) ポート J (PTJ)、ポート K (PTK) の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL2 を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PTSEL2[14:12]				PTSEL2[11:8]			PTSEL2[7:6]		PTSEL2[5:4]		PTSEL2[3:2]		PTSEL2[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明																																
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																																
14~12	PTSEL2 [14:12]	すべて0	R/W	ポート K (PTK) の機能を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット設定</th> <th colspan="2">選択される機能</th> </tr> <tr> <th>PTSEL2[14:12]</th> <th colspan="2">PTK</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>LCDC</td> <td>-</td> </tr> <tr> <td>001</td> <td>GMII0</td> <td>-</td> </tr> <tr> <td>010</td> <td>SIOF1</td> <td>SIOF2</td> </tr> <tr> <td>100</td> <td>STIF1</td> <td>-</td> </tr> <tr> <td>上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table>	ビット設定	選択される機能		PTSEL2[14:12]	PTK		000	LCDC	-	001	GMII0	-	010	SIOF1	SIOF2	100	STIF1	-	上記以外	設定禁止												
ビット設定	選択される機能																																			
PTSEL2[14:12]	PTK																																			
000	LCDC	-																																		
001	GMII0	-																																		
010	SIOF1	SIOF2																																		
100	STIF1	-																																		
上記以外	設定禁止																																			
11~8	PTSEL2 [11:8]	すべて0	R/W	ポート J (PTJ7~PTJ1) の機能を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット設定</th> <th colspan="3">選択される機能</th> </tr> <tr> <th>PTSEL2 [11:8]</th> <th>PTJ1</th> <th colspan="2">PTJ7~PTJ2</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>LCDC</td> <td>LCDC</td> <td>-</td> </tr> <tr> <td>0010</td> <td>LCDC</td> <td>MII0</td> <td>PCIC*</td> </tr> <tr> <td>0011</td> <td>LCDC</td> <td>MII0</td> <td>INT</td> </tr> <tr> <td>0110</td> <td>RMI1</td> <td>RMI1</td> <td>-</td> </tr> <tr> <td>1000</td> <td>STIF0M</td> <td>STIF0M</td> <td>-</td> </tr> <tr> <td>上記以外</td> <td colspan="3">設定禁止</td> </tr> </tbody> </table> <p>【注】* : PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x : Don't Care</p>	ビット設定	選択される機能			PTSEL2 [11:8]	PTJ1	PTJ7~PTJ2		0000	LCDC	LCDC	-	0010	LCDC	MII0	PCIC*	0011	LCDC	MII0	INT	0110	RMI1	RMI1	-	1000	STIF0M	STIF0M	-	上記以外	設定禁止		
ビット設定	選択される機能																																			
PTSEL2 [11:8]	PTJ1	PTJ7~PTJ2																																		
0000	LCDC	LCDC	-																																	
0010	LCDC	MII0	PCIC*																																	
0011	LCDC	MII0	INT																																	
0110	RMI1	RMI1	-																																	
1000	STIF0M	STIF0M	-																																	
上記以外	設定禁止																																			

ビット	ビット名	初期値	R/W	説明												
7、6	PTSEL2 [7:6]	すべて0	R/W	<p>ポート J (PTJ0) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL2[7:6]</td> <td>PTJ0</td> </tr> <tr> <td>00</td> <td>REF50CK</td> </tr> <tr> <td>01</td> <td>GMIIO</td> </tr> <tr> <td>10</td> <td>STIF0M</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	ビット設定	選択される機能	PTSEL2[7:6]	PTJ0	00	REF50CK	01	GMIIO	10	STIF0M	上記以外	設定禁止
ビット設定	選択される機能															
PTSEL2[7:6]	PTJ0															
00	REF50CK															
01	GMIIO															
10	STIF0M															
上記以外	設定禁止															
5、4	PTSEL2 [5:4]	すべて0	R/W	<p>ポート I (PTI5、PTI4) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL2[5:4]</td> <td>PTI5、PTI4</td> </tr> <tr> <td>00</td> <td>LCDC USBH/F</td> </tr> <tr> <td>01</td> <td>LCDC ETC1</td> </tr> <tr> <td>10</td> <td>LCDC RMIIO0</td> </tr> <tr> <td>11</td> <td>STIF1 -</td> </tr> </tbody> </table>	ビット設定	選択される機能	PTSEL2[5:4]	PTI5、PTI4	00	LCDC USBH/F	01	LCDC ETC1	10	LCDC RMIIO0	11	STIF1 -
ビット設定	選択される機能															
PTSEL2[5:4]	PTI5、PTI4															
00	LCDC USBH/F															
01	LCDC ETC1															
10	LCDC RMIIO0															
11	STIF1 -															
3、2	PTSEL2 [3:2]	すべて0	R/W	<p>ポート I (PTI3、PTI2) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL2[3:2]</td> <td>PTI3、PTI2</td> </tr> <tr> <td>00</td> <td>USB</td> </tr> <tr> <td>01</td> <td>STIF0M</td> </tr> <tr> <td>10</td> <td>SIOF1</td> </tr> <tr> <td>11</td> <td>IIC0</td> </tr> </tbody> </table>	ビット設定	選択される機能	PTSEL2[3:2]	PTI3、PTI2	00	USB	01	STIF0M	10	SIOF1	11	IIC0
ビット設定	選択される機能															
PTSEL2[3:2]	PTI3、PTI2															
00	USB															
01	STIF0M															
10	SIOF1															
11	IIC0															
1、0	PTSEL2 [1:0]	すべて0	R/W	<p>ポート I (PTI1、PTI0) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL2[1:0]</td> <td>PTI1、PTI0</td> </tr> <tr> <td>00</td> <td>SYS</td> </tr> <tr> <td>01</td> <td>STIF1</td> </tr> <tr> <td>1x</td> <td>RMIIO</td> </tr> </tbody> </table> <p>x : Don't Care</p>	ビット設定	選択される機能	PTSEL2[1:0]	PTI1、PTI0	00	SYS	01	STIF1	1x	RMIIO		
ビット設定	選択される機能															
PTSEL2[1:0]	PTI1、PTI0															
00	SYS															
01	STIF1															
1x	RMIIO															

40.2.42 ピンセレクトレジスタ 3 (PSEL3)

PSEL3 は、読み出し/書き込み可能な 16 ビットのレジスタでポート L (PTL)、ポート M (PTM) の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL3 を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PTSEL3[14:12]			-	PTSEL3[10:8]			-	PTSEL3[6:4]			-	PTSEL3[2:0]		
初期値:	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																												
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																												
14~12	PTSEL3 [14:12]	100	R/W	<p>ポート L (PTL7~PTL4)、ポート M (PTM7~PTM1) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th colspan="3">選択される機能</th> </tr> <tr> <th>PTSEL3[14:12]</th> <th colspan="2">PTL7~PTL4</th> <th>PTM7~PTM1</th> </tr> </thead> <tbody> <tr> <td>1xx</td> <td>LBSC^{*1/} EXCPU</td> <td>-</td> <td>LBSC^{*1/} EXCPU</td> </tr> <tr> <td>000</td> <td>LCDC</td> <td>-</td> <td>RMII0</td> </tr> <tr> <td>001</td> <td>MII0</td> <td>-</td> <td>MII0</td> </tr> <tr> <td>010</td> <td>DMAC1</td> <td>PCIC^{*2}</td> <td>RMII0</td> </tr> <tr> <td>011</td> <td>STIF0</td> <td>-</td> <td>STIF0</td> </tr> </tbody> </table> <p>【注】*1 データバス幅とした 32 ビットを選択した場合、本機能を選択してください。</p> <p>*2 PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x : Don't Care</p>	ビット設定	選択される機能			PTSEL3[14:12]	PTL7~PTL4		PTM7~PTM1	1xx	LBSC ^{*1/} EXCPU	-	LBSC ^{*1/} EXCPU	000	LCDC	-	RMII0	001	MII0	-	MII0	010	DMAC1	PCIC ^{*2}	RMII0	011	STIF0	-	STIF0
ビット設定	選択される機能																															
PTSEL3[14:12]	PTL7~PTL4		PTM7~PTM1																													
1xx	LBSC ^{*1/} EXCPU	-	LBSC ^{*1/} EXCPU																													
000	LCDC	-	RMII0																													
001	MII0	-	MII0																													
010	DMAC1	PCIC ^{*2}	RMII0																													
011	STIF0	-	STIF0																													
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																												

ビット	ビット名	初期値	R/W	説明														
10~8	PTSEL3 [10:8]	100	R/W	<p>ポート M (PTM0) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL3 [10:8]</td> <td>PTM0</td> </tr> <tr> <td>1xx</td> <td>LBSC*/ EXCPU</td> </tr> <tr> <td>000</td> <td>STIF0</td> </tr> <tr> <td>001</td> <td>RMII0M0</td> </tr> <tr> <td>011</td> <td>MII0</td> </tr> </tbody> </table> <p>【注】* データバス幅とした 32 ビットを選択した場合、本機能を選択してください。</p> <p>x : Don't Care</p>	ビット設定	選択される機能	PTSEL3 [10:8]	PTM0	1xx	LBSC*/ EXCPU	000	STIF0	001	RMII0M0	011	MII0		
ビット設定	選択される機能																	
PTSEL3 [10:8]	PTM0																	
1xx	LBSC*/ EXCPU																	
000	STIF0																	
001	RMII0M0																	
011	MII0																	
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>														
6~4	PTSEL3 [6:4]	100	R/W	<p>ポート L (PTL3) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL3[6:4]</td> <td>PTL3</td> </tr> <tr> <td>1xx</td> <td>LBSC*¹/ EXCPU</td> </tr> <tr> <td>000</td> <td>LCDC</td> </tr> <tr> <td>001</td> <td>PCIC*²</td> </tr> <tr> <td>010</td> <td>INT</td> </tr> <tr> <td>011</td> <td>MII0</td> </tr> </tbody> </table> <p>【注】*¹ データバス幅として 32 ビットを選択した場合、本機能を選択してください。</p> <p>*² PCIC 選択時に割り込みコントローラ (INTC) の割り込みマスク解除を行う場合には、必ずその前に本レジスタにて PCIC 機能の選択設定をしてください。</p> <p>x : Don't Care</p>	ビット設定	選択される機能	PTSEL3[6:4]	PTL3	1xx	LBSC* ¹ / EXCPU	000	LCDC	001	PCIC* ²	010	INT	011	MII0
ビット設定	選択される機能																	
PTSEL3[6:4]	PTL3																	
1xx	LBSC* ¹ / EXCPU																	
000	LCDC																	
001	PCIC* ²																	
010	INT																	
011	MII0																	
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>														

ビット	ビット名	初期値	R/W	説明														
2~0	PTSEL3 [2:0]	100	R/W	<p>ポート L (PTL2 ~ PTL0) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL3[2:0]</td> <td>PTL2 ~ PTL0</td> </tr> <tr> <td>1xx</td> <td>LBSC*/ EXCPU</td> </tr> <tr> <td>000</td> <td>LCDC</td> </tr> <tr> <td>001</td> <td>DMAC0</td> </tr> <tr> <td>010</td> <td>INT</td> </tr> <tr> <td>011</td> <td>MII0</td> </tr> </tbody> </table> <p>【注】* データバス幅として 32 ビットを選択した場合、本機能を選択してください。</p> <p>x : Don't Care</p>	ビット設定	選択される機能	PTSEL3[2:0]	PTL2 ~ PTL0	1xx	LBSC*/ EXCPU	000	LCDC	001	DMAC0	010	INT	011	MII0
ビット設定	選択される機能																	
PTSEL3[2:0]	PTL2 ~ PTL0																	
1xx	LBSC*/ EXCPU																	
000	LCDC																	
001	DMAC0																	
010	INT																	
011	MII0																	

40.2.43 ピンセレクトレジスタ 4 (PSEL4)

PSEL4 は、読み出し/書き込み可能な 16 ビットのレジスタでポート I (PTI)、ポート O (PTO) の「その他の機能」とマルチプレクスしている端子の機能と $\overline{\text{IOIS16}}$ /TCLK 端子の機能および REF125CK/HAC_BITCLK 端子の機能を選択します。

「その他の機能」を使用する場合、PSEL4 を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL4F	PTSEL4E	PTSEL4D	-	PTSEL4B	PTSEL4[10:9]	PTSEL48	-	PTSEL46	PTSEL4[5:4]	PTSEL4[3:2]	PTSEL4[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PTSEL4F	0	R/W	<p>$\overline{\text{IOIS16}}$/TCLK 端子の機能を選択します。</p> <p>0 : $\overline{\text{IOIS16}}$ 機能選択 1 : TCLK 機能選択</p> <p>【注】$\overline{\text{IOIS16}}$ 機能を選択する場合には、本ビットは初期状態で使用してください。いったん TCLK 機能を選択した後は、$\overline{\text{IOIS16}}$ 機能を選択しないでください。</p>
14	PTSEL4E	0	R/W	<p>REF125CK/HAC_BITCLK 端子の機能を選択します。</p> <p>0 : REF125CK 機能選択 1 : HAC_BITCLK 機能選択</p>
13	PTSEL4D	0	R/W	<p>DREQ1 端子を選択します。</p> <p>0 : PTL5 からの入力を $\overline{\text{DREQ1}}$ として使用 1 : PTO5 からの入力を $\overline{\text{DREQ1}}$ として使用</p>

ビット	ビット名	初期値	R/W	説明												
12	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。												
11	PTSEL4B	0	R/W	ST0_D0~7、ST0_START、ST0_VALID、ST0_CLK 端子を選択します。 0 : PTL5~7、PTM0~7からの入力を ST0_D0~7、ST0_START、ST0_VALID、ST0_CLK として使用 1 : PTJ1~7、PTI2、3、6、7からの入力を ST0_D0~7、ST0_START、ST0_VALID、ST0_CLK として使用												
10、9	PTSEL4[10:9]	すべて0	R/W	MDIO0 端子を選択します。 00 : PTL3 からの入力を ET0_MDIO として使用 (GMII0、MII0 使用時は PTL3 のみ使用可) 01 : PTI1 からの入力を RMII0_MDIO として使用 10 : PTM0 からの入力を RMII0_MDIO として使用 11 : PTO3 からの入力を RMII0_MDIO として使用												
8	PTSEL48	0	R/W	MDIO1 端子を選択します。 0 : PTF2 からの入力を ET1_MDIO として使用 (GMII1、MII1 使用時は PTF2 のみ使用可) 1 : PTO1 からの入力を RMII1_MDIO として使用												
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。												
6	PTSEL46	0	R/W	RMII1_RX_ER、RMII1_CRD_DV、RMII1_RXD1、RMII1_RXD0 端子を選択します。 0 : PTJ1、3~5からの入力を使用 RMII1_RX_ER、RMII1_CRD_DV、RMII1_RXD1、RMII1_RXD0 として使用 1 : PTH0、1、3、4からの入力を使用 RMII1_RX_ER、RMII1_CRD_DV、RMII1_RXD1、RMII1_RXD0 として使用												
5、4	PTSEL4 [5:4]	すべて0	R/W	ポート I (PTI7、PTI6) の機能を選択します。 <table border="1" data-bbox="707 1304 1098 1541"> <thead> <tr> <th>ビット設定</th> <th>選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL4[5:4]</td> <td>PTI7、PTI6</td> </tr> <tr> <td>00</td> <td>INT</td> </tr> <tr> <td>01</td> <td>IIC1</td> </tr> <tr> <td>11</td> <td>STIFOM</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	ビット設定	選択される機能	PTSEL4[5:4]	PTI7、PTI6	00	INT	01	IIC1	11	STIFOM	上記以外	設定禁止
ビット設定	選択される機能															
PTSEL4[5:4]	PTI7、PTI6															
00	INT															
01	IIC1															
11	STIFOM															
上記以外	設定禁止															

ビット	ビット名	初期値	R/W	説明															
3、2	PTSEL4 [3:2]	00	R/W	<p>ポート O (PTO3~PTO0) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th colspan="2">選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL4[3:2]</td> <td colspan="2">PTO3 ~ PTO0</td> </tr> <tr> <td>00</td> <td>AUD</td> <td>-</td> </tr> <tr> <td>01</td> <td>SSI2</td> <td>-</td> </tr> <tr> <td>1x</td> <td>RMII0M1</td> <td>RMII1M</td> </tr> </tbody> </table> <p>x : Don't Care</p>	ビット設定	選択される機能		PTSEL4[3:2]	PTO3 ~ PTO0		00	AUD	-	01	SSI2	-	1x	RMII0M1	RMII1M
ビット設定	選択される機能																		
PTSEL4[3:2]	PTO3 ~ PTO0																		
00	AUD	-																	
01	SSI2	-																	
1x	RMII0M1	RMII1M																	
1、0	PTSEL4 [1:0]	00	R/W	<p>ポート O (PTO7~PTO4) の機能を選択します。</p> <table border="1"> <thead> <tr> <th>ビット設定</th> <th colspan="2">選択される機能</th> </tr> </thead> <tbody> <tr> <td>PTSEL4[1:0]</td> <td colspan="2">PTO7 ~ PTO4</td> </tr> <tr> <td>00</td> <td>AUD</td> <td>INT</td> </tr> <tr> <td>01</td> <td>DMAC1M</td> <td>EXCPU</td> </tr> <tr> <td>1x</td> <td>SSI3</td> <td>-</td> </tr> </tbody> </table> <p>x : Don't Care</p>	ビット設定	選択される機能		PTSEL4[1:0]	PTO7 ~ PTO4		00	AUD	INT	01	DMAC1M	EXCPU	1x	SSI3	-
ビット設定	選択される機能																		
PTSEL4[1:0]	PTO7 ~ PTO4																		
00	AUD	INT																	
01	DMAC1M	EXCPU																	
1x	SSI3	-																	

40.3 使用例

汎用入出力ポート (GPIO) の設定手順の例を示します。

40.3.1 ポート出力機能

ポート出力機能の設定は、ポートコントロールレジスタ (PACR ~ PPCR) の該当する 2 ビットに B'01 を書き込んでください。ポートデータレジスタ (PADR ~ PPDR) の該当するビットの値を端子に出力します。

このとき、ポート出力機能に設定した端子に対するプルアップ制御レジスタ (PIPUPR ~ POPUPR)、ピンセレクトレジスタ (PSEL0 ~ PSEL4) の設定は無効になります。

40.3.2 ポート入力機能

ポート入力機能の設定は、ポートコントロールレジスタ (PACR ~ PPCR) の該当する 2 ビットにプルアップ MOS を使用しない場合は B'10 を、使用する場合は B'11 (ただし、プルアップ MOS 付きの端子に限る) を書き込んでください。ポートデータレジスタ (PADR ~ PPDR) の該当するビットから端子に入力している値が読み出せます。

このとき、ポート入力機能に設定した端子に対するプルアップ制御レジスタ (PIPUPR ~ POPUPR)、ピンセレクトレジスタ (PSEL0 ~ PSEL4) の設定は無効になります。

40.3.3 周辺モジュール機能

周辺モジュール機能の設定は、まずピンセレクトレジスタ (PSEL0 ~ PSEL4) で使用するモジュールを選択してください。

次に使用する端子が入力または入出力の場合は、プルアップ制御レジスタ (PIPUPR ~ POPUPR) でプルアップ MOS の設定をしてください。該当するビットにプルアップ MOS を使用しない場合は B'0 を、使用する場合は B'1 を書き込んでください。端子が出力の場合は、設定した値に関係なくプルアップ MOS はオフになります。

最後に、ポートコントロールレジスタ (PACR ~ PPCR) の該当する 2 ビットに B'00 を書き込んでください。

41. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

41.1 特長

1. 次のようなブ레이크比較条件を設定できます。

ブ레이크チャンネル数：2 チャンネル (チャンネル 0 と 1)

ユーザブ레이크は、チャンネル 0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネル 0 のブ레이크条件が一致した後チャンネル 1 のブ레이크条件の一致が発生、またはチャンネル 1 のブ레이크条件が一致した後チャンネル 0 のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル 1 のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件 (チャンネル 1 に対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

図 41.1 に UBC のブロック図を示します。

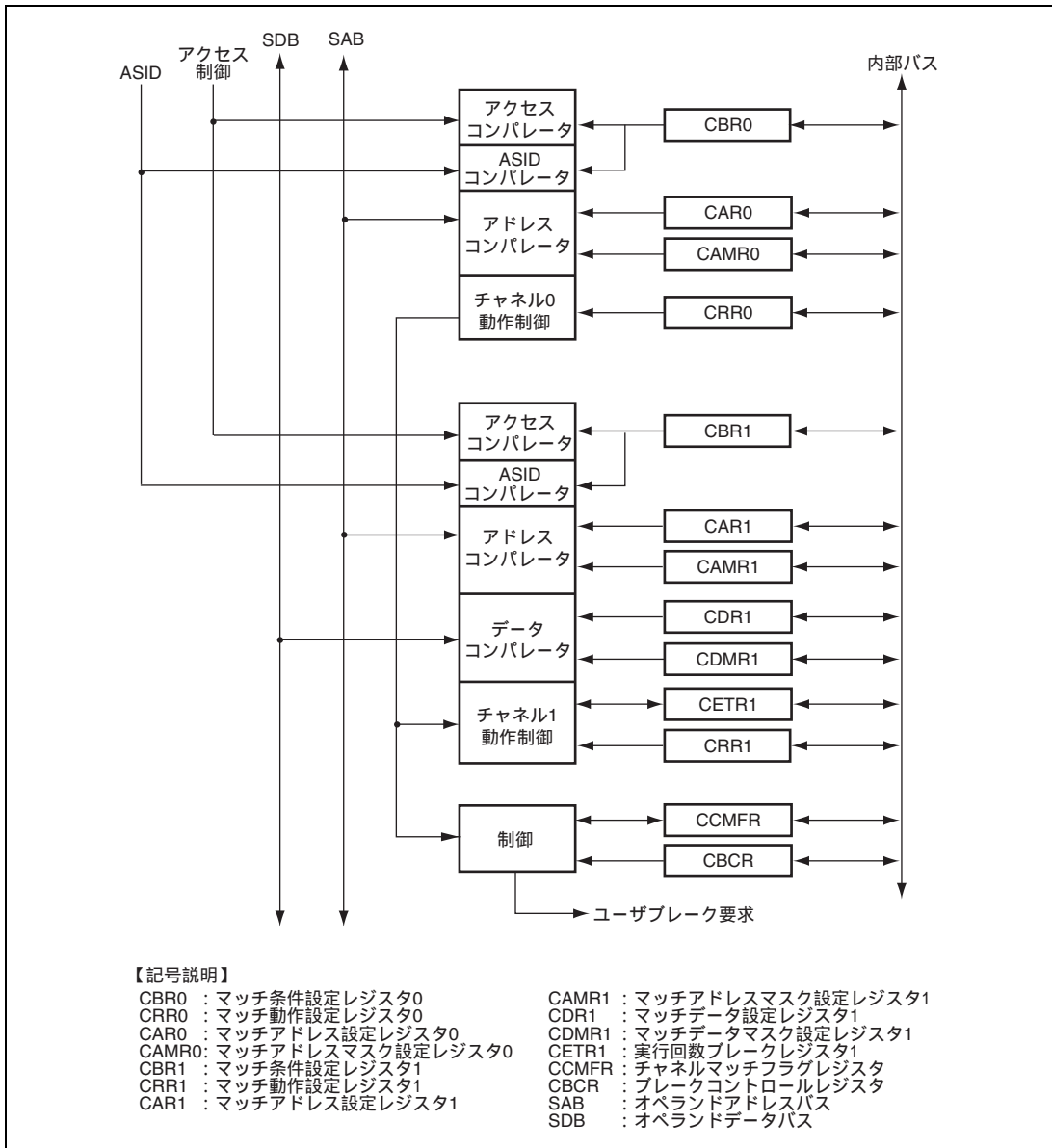


図 41.1 UBC のブロック図

41.2 レジスタの説明

UBC のレジスタ構成を表 41.1 に示します。また、各処理モードにおけるレジスタの状態を表 41.2 に示します。

表 41.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブ레이크レジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブ레이크コントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 41.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持
マッチデータ設定レジスタ 1	CDR1	不定	保持	保持
マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持
実行回数ブ레이크レジスタ 1	CETR1	不定	保持	保持
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持
ブ레이크コントロールレジスタ	CBCR	H'0000 0000	保持	保持

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

41.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

- CBR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	MFE	AIE	MFI						AIV								
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	SZ			-	-	-	-	CD		ID		-	RW		CE	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。</p> <p>0 : マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0 : ASID はマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件に ASID を含める</p>
29 ~ 24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>上記以外 : リザーブ (設定禁止)</p> <p>【注】初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャネル 0 でヒットしなくなりますので注意してください。</p>
23 ~ 16	AIV	すべて 0	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
14 ~ 12	SZ	すべて 0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *¹</p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする *³</p> <p>上記以外 : リザーブ (設定禁止)</p>
11 ~ 8	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
7、6	CD	すべて0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする 上記以外：リザーブ（設定禁止）
5、4	ID	すべて0	R/W	命令フェッチ / オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2、1	RW	すべて0	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

• CBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	-	-	-	CD	ID		-	RW	CE		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタのMFIビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が1のとき、条件一致となります。 0: マッチフラグはマッチ条件に含まれず、チェックされない 1: マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタのAIVビットで指定したASIDを含めるかどうかを指定します。 0: ASIDはマッチ条件に含まれず、チェックされない 1: マッチ条件にASIDを含める
29~24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000: CCMFR レジスタのMF0ビット 000001: CCMFR レジスタのMF1ビット 上記以外: リザーブ(設定禁止) 【注】 初期値はリザーブ(設定禁止)の状態になりますが、CBR1[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCRMFレジスタのMF1ビットが0の状態、本レジスタのMFEビットを1に、MFIビットを000001に設定するとチャネル1でヒットしなくなりますので注意してください。
23~16	AIV	すべて0	R/W	ASID 指定 マッチ条件とするASID値を指定します。
15	DBE	0	R/W	データ値イネーブル*2 マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0: データ値はマッチ条件に含まれず、チェックされない 1: マッチ条件にデータ値を含める

ビット	ビット名	初期値	R/W	説明
14~12	SZ	すべて0	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる)* ¹ 001: バイトアクセスを対象とする 010: ワードアクセスを対象とする 011: ロングワードアクセスを対象とする 100: クワッドワードアクセスを対象とする* ³ 上記以外: リザーブ(設定禁止)
11	ETBE	0	R/W	実行回数値イネーブル マッチ条件に実行回数値を含めるかどうかを指定します。このビットが1の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0: 実行回数値はマッチ条件に含まれず、チェックされない 1: マッチ条件に実行回数値を含める
10~8	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7、6	CD	すべて0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: オペランドアクセスにおいてオペランドバスを対象とする 上記以外: リザーブ(設定禁止)
5、4	ID	すべて0	R/W	命令フェッチ/オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01: 命令フェッチサイクルを対象とする 10: オペランドアクセスサイクルを対象とする 11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説明
2, 1	RW	すべて 0	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00 : 読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01 : 読み出しサイクルを対象とする</p> <p>10 : 書き込みサイクルを対象とする</p> <p>11 : 読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに 0 を設定した場合、他のビットの設定はすべて無効です。</p> <p>0 : 本チャンネルは無効</p> <p>1 : 本チャンネルは有効</p>

- 【注】 *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

41.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブレイクタイミング、(2) ブレイク要求の有無です。

- CRR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2		すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	PCB	0	R/W	PC ブレイクセレクト 命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレイクに対して、本ビットは無効です。 0: PC ブレイクを命令実行前に設定する 1: PC ブレイクを命令実行後に設定する
0	BIE	0	R/W	ブレイクイネーブル チャンネルのマッチ条件が成立したときに、ブレイクを要求するかどうかを指定します。 0: ブレイク要求しない 1: ブレイクを要求する

• CRR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PCB	BIE
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2		すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0 : PC ブレークを命令実行前に設定する 1 : PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0 : ブレーク要求しない 1 : ブレークを要求する

41.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブ레이크条件とする仮想アドレスを指定します。

- CAR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブ레이크条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

- CAR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブ레이크条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

41.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

- CAMR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

- CAMR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

41.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブ레이크条件とするデータ値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CD															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CD	不定	R/W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 41.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

41.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データマスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : データ値ビット CD[n]は、ブ레이크条件に含まれる 1 : データ値ビット CD[n]はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

41.2.7 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャンネルヒット回数を指定します。指定できる最大値は $2^{12} - 1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットするごとに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブ레이크が発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CET											
初期値 :	0	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

41.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

41.2.9 ブレイクコントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。ユーザブレイクデバッグサポート機能の詳細については、「41.4 ユーザブレイクデバッグサポート機能」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	UBDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
0	UBDE	0	R/W	ユーザブレイクデバッグサポート機能イネーブル ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。 0 : デバッグサポート機能を使用しない 1 : デバッグサポート機能を使用する

41.3 動作説明

41.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス ($PC + \text{disp} \times 2 + 4$) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令：読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令：書き込みアクセスとして扱います。
- TAS.B 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

41.3.2 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ/オペランドアクセス、読み出し/書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブレイクアドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、AIVビットによりASIDを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブレイクデータをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブレイクレジスタ (CETR1) により指定します。シーケンシャルブレイクを設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。

2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブレイクが発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブレイク要求が発生します。SR レジスタの BL ビットにより、ブレイク要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブレイク要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブレイクがほぼ同時に発生する場合があります。CPU に対するブレイク要求は 1 つだけであっても、これらのブレイクに対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブレイク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

41.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタ CBR1 のDBEビットは無効となり、マッチデータ設定レジスタ CDR1 およびマッチデータマスク設定レジスタ CDMR1 の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

41.3.4 オペランドアクセスサイクルブレイク

1. オペランドアクセスサイクルブレイクの場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 41.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブ레이크が発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブ레이크が発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブ레이크が発生した場合は、分岐先の最初の命令までブ레이크は発生しません。RTE命令の遅延スロットには、オペランドブ레이크を設定しないでください。また、データ値を条件に含める場合は、RTE命令の1~6.命令前でブ레이크を発生させないでください。

41.3.5 シーケンシャルブ레이크

1. マッチ条件設定レジスタ (CBR0、CBR1) のMFEビットおよびMFI ビットを設定することで、シーケンシャル条件 (チャンネル0マッチ条件が成立した後チャンネル1マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタのMFE、およびマッチ動作設定レジスタのBIEビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIで指定します。シーケンシャル条件成立時のブ레이크要求の有無は、シーケンス先マッチ動作設定レジスタのBIEビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャンネル1については実行回数ブ레이크条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

41.3.6 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

- 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

- 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス (アドレス + データ) をマッチ条件と指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に退避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが退避されます。

41.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 41.2 に示します。

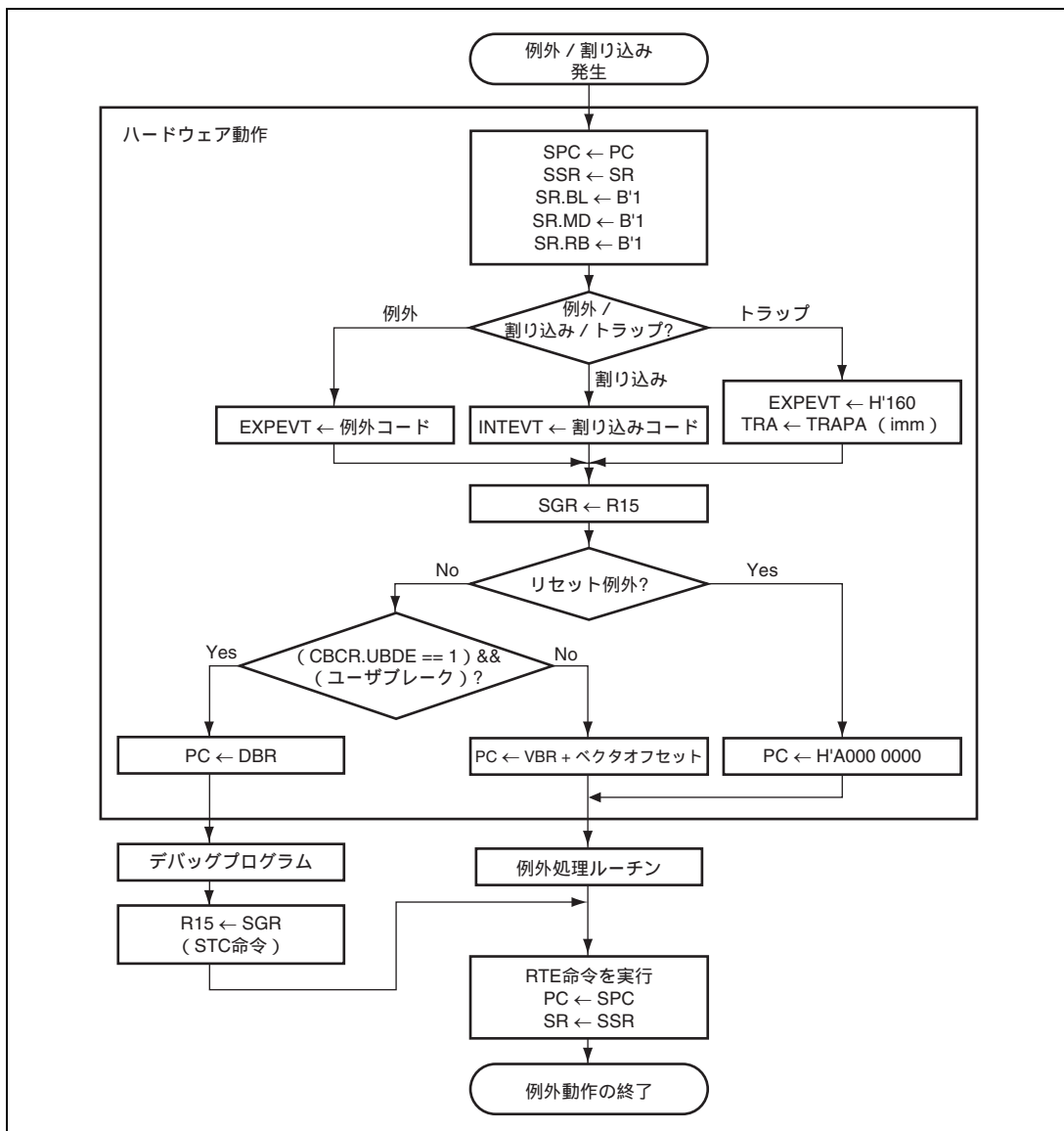


図 41.2 ユーザブレイクデバッグサポート機能のフローチャート

41.5 ユーザブレイク使用例

(1) 命令フェッチサイクルに指定したマッチ条件

• 例1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

• 例1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス : H'0003722E、アドレスマスク : H'00000000、ASID : H'70

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件 : チャンネル 0 / チャンネル 1 独立条件

【チャンネル0】

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID は条件に含まれない

【チャンネル1】

アドレス : H'00031415、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID、データ値、実行回数は条件に含まれない

チャンネル 0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル 1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件 : チャンネル 0 チャンネル 1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID = H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID = H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にブレークが発生します。

• 例1-5

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /

CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000005

バスサイクル：命令フェッチ（命令実行前）

実行回数：5回

ASID、データ値は条件に含まれない

チャンネル0では、ユーザブレークはアドレス H'00000500 の命令の実行前に生じます。チャンネル1では、ユーザブレークは、アドレス H'00001000 の命令を4回実行した後、5回目の命令実行前に生じます。

• 例1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /
CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /
CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'80 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'70 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /
CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /
CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し（オペランドサイズは条件に含まれない）

【チャンネル1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル0では、ユーザブレイクは、ASID=H'80でアドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはASID=H'70でH'000ABC00~H'000ABCFEにワードH'A512を書き込むときに生じます。

41.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)~(3)のいずれかを実行してください。

(1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

(2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

(3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト レジスタリード(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0およびCRR1のPCBビットは、命令フェッチをマッチ条件にしたときのみに有効です。
3. シーケンシャル条件設定時、シーケンス元チャンネルのマッチ条件成立後シーケンス先チャンネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャンネル0およびチャンネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP命令の1~5命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。

- 命令実行後ブレークやオペランドアクセスブレークが、より優先度の高い完了型の例外 (TRAPA) と同時に発生した場合は、ブレークは発生しませんが、条件一致を示すフラグはセットされます。
6. チャンネル 0、チャンネル 1 において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
アドレス 110 の命令 (チャンネル 0 で命令フェッチに対する実行後ブレーク) SPC = 112、CCMFR.MF0 = 1
アドレス 112 の命令 (チャンネル 1 で命令フェッチに対する実行前ブレーク) SPC = 112、CCMFR.MF1 = 1
 7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
 8. 実行ステートが 2 以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが 1 にセットされる場合と、セットされない場合があります。

42. ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) に準拠したシリアル入出力インタフェースであり、エミュレータの接続に使用します。

42.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" に準拠したシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK}}/\text{BRKACK}$) からなります。 $\overline{\text{ASEBRK}}/\text{BRKACK}$ を除く端子機能やシリアル転送プロトコルは、JTAG の規格に準拠します。さらにエミュレータ用端子として 6 本の信号 (AUDSYNC、ADUCK、AUDATA3 ~ AUDATA0)、チップモード指定端子として 1 本の信号 (MPMD) があります。

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ のアサートによりバウンダリスキャン用 TAP コントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることはできません。

図 42.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDBSR、SDIR、SDINT の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDBSR は JTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

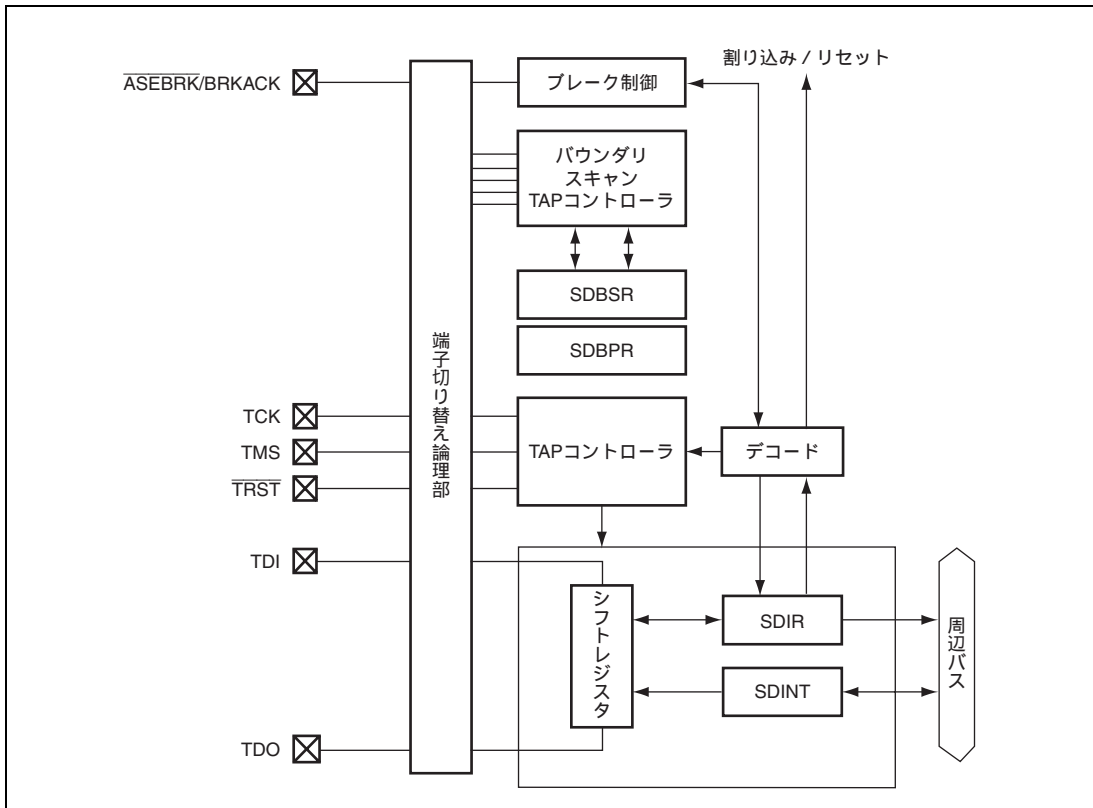


図 42.1 H-UDI のブロック図

42.2 入出力端子

H-UDI の端子構成を表 42.1 に示します。

表 42.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* ¹
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格に準拠します。	オープン* ¹
TRST* ²	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グランド固定 または PRESET 接続 * ³
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン* ¹
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK/ BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン* ¹
AUDSYNC AUDCK AUDATA3 ~ AUDATA0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	チップモード指定端子	入力	エミュレーションサポートモードとして動作させる (MPMD = ローレベル) か、本体チップモードとして動作させる (MPMD = ハイレベル) かを指定します。	オープン* ¹

- 【注】 *¹ チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
- *² エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み / リセットを利用する場合は、電源投入時に PRESET と重複する期間 TRST をローレベルにし、かつ TRST 単独でも制御可能となるようにしてください。
- *³ グランド固定または PRESET と同じ (あるいは同じ挙動の) 信号と接続する。ただし、グランド固定の場合には下記の問題があります。TRST はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

42.3 バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが有効になり、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 LSI の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL、EXTAL2、XTAL2) はバウンダリスキャンの対象から外れます。
- リセット関連信号 ($\overline{\text{PRESET}}$ 、 $\overline{\text{MRESET}}$) はバウンダリスキャンの対象から外れます。
- H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、MPMD) はバウンダリスキャンの対象から外れます。
- DDR IF 関連端子はバウンダリスキャンの対象から外れます。
- $\overline{\text{XRTCSTBI}}$ 、USBP、USBM、DA0、DA1、AN0 ~ AN3 端子はバウンダリスキャンの対象から外れます。
- バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、H-UDI 切り替えコマンド) 実行時、TCK の最大周波数は 2MHz です。
- H-UDI 側 (外部コントローラ) からバウンダリスキャン TAP コントローラへのアクセスサイズは 8 ビットです。

以下に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

【注】 バウンダリスキャン時、 $\overline{\text{PRESET}}$ 端子をハイレベル固定にしてください。また、バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンスを図 42.2 に示します。

表 42.2 バウンダリスキャン TAP コントローラのサポートコマンド

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説明
0	1	0	1	0	1	0	1	IDCODE
1	1	1	1	1	1	1	1	BYPASS
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	0	0	0	1	0	0	0	H-UDI 切り替えコマンド
上記以外								設定禁止

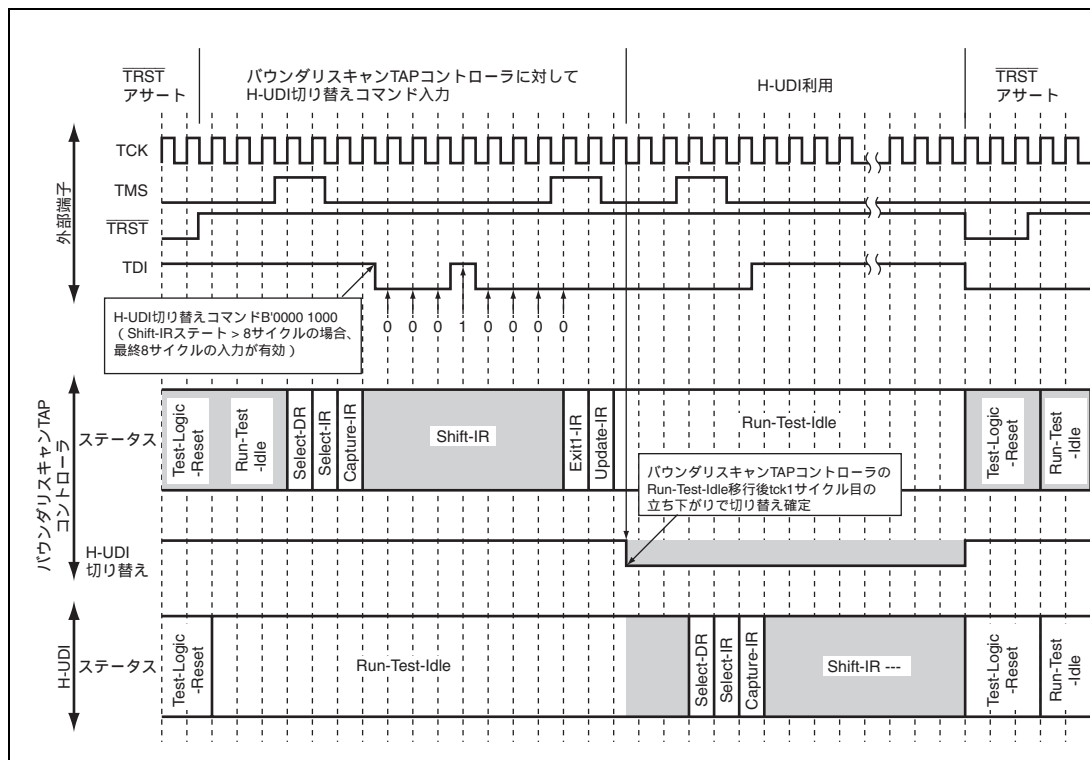


図 42.2 バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス

42.4 レジスタの説明

H-UDI のレジスタ構成を表 42.3、表 42.4 に示します。また、各処理モードにおけるレジスタの状態を表 42.5 に示します。

表 42.3 レジスタ構成 (1)

名 称	略称	CPU 側				
		R/W	P4 領域 アドレス*1	エリア 7 アドレス*1	アクセス サイズ	初期値*2
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	H'0EFF
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	H'0000
バウンダリスキャンレジスタ	SDBSR	-	-	-	-	-
バイパスレジスタ	SDBPR	-	-	-	-	不定

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 $\overline{\text{TRST}}$ 子がローレベル、または TAP が Test-Logic-Reset の状態で初期化されます。

表 42.4 レジスタ構成 (2)

名 称	略称	H-UDI 端子側		
		R/W	アクセスサイズ	初期値*1
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD (固定値*2)
割り込み要因レジスタ	SDINT	W*3	32	H'0000 0000
バウンダリスキャンレジスタ	SDBSR	-	-	-
バイパスレジスタ	SDBPR	R/W	1	不定

【注】 *1 $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

*2 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

*3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

表 42.5 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
インストラクションレジスタ	SDIR	H'0EFF	保持	保持	保持
割り込み要因レジスタ	SDINT	H'0000	保持	保持	保持

42.4.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 0110xxxx : H-UDI、リセット、ネゲート 0111xxxx : H-UDI、リセット、アサート 101xxxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

【注】 H-UDI リセットを行っても CPG および、WDT/RST モジュール、RTC の一部は初期化されません。

42.4.2 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアするようにしてください。このレジスタ値は $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできません。このビットに 1 を書き込んだ場合は、直前の値を保持します。

42.4.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は JTAG のバイパスモードをサポートするための 1 ビットのレジスタです。パウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI と TDO の間に SDBPR が接続されます。CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。ただし、Capture-DR ステートでは 0 に初期化されます。

42.4.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は JTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタで、SAMPLE/ PRELOAD、EXTEST コマンドを用いて JTAG (IEEE Std1149.1) 規格に準拠したバウンダリスキャンテストを行うことができます。チップのモードにかかわらず CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

表 42.6 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ
From TDI		
517	$\overline{\text{BACK}}$	OUTPUT
516	$\overline{\text{BACK}}$	CONTROL
515	$\overline{\text{BACK}}$	INPUT
514	$\overline{\text{BREQ}}$	OUTPUT
513	$\overline{\text{BREQ}}$	CONTROL
512	$\overline{\text{BREQ}}$	INPUT
511	$\overline{\text{IOIS16/TMU_TCLK}}$	OUTPUT
510	$\overline{\text{IOIS16/TMU_TCLK}}$	CONTROL
509	$\overline{\text{IOIS16/TMU_TCLK}}$	INPUT
508	$\overline{\text{CE2A}}$	OUTPUT
507	$\overline{\text{CE2A}}$	CONTROL
506	$\overline{\text{CE2A}}$	INPUT
505	$\overline{\text{CE2B}}$	OUTPUT
504	$\overline{\text{CE2B}}$	CONTROL
503	$\overline{\text{CE2B}}$	INPUT
502	A25/EX_SIZE2	OUTPUT
501	A25/EX_SIZE2	CONTROL
500	A25/EX_SIZE2	INPUT
499	A24/EX_SIZE1	OUTPUT
498	A24/EX_SIZE1	CONTROL
497	A24/EX_SIZE1	INPUT
496	A23/EX_SIZE0	OUTPUT
495	A23/EX_SIZE0	CONTROL
494	A23/EX_SIZE0	INPUT
493	A22	OUTPUT
492	A22	CONTROL
491	A22	INPUT

番号	ピン名称	タイプ
490	A21	OUTPUT
489	A21	CONTROL
488	A21	INPUT
487	A20	OUTPUT
486	A20	CONTROL
485	A20	INPUT
484	A15	OUTPUT
483	A15	CONTROL
482	A15	INPUT
481	A14	OUTPUT
480	A14	CONTROL
479	A14	INPUT
478	A19	OUTPUT
477	A19	CONTROL
476	A19	INPUT
475	A18	OUTPUT
474	A18	CONTROL
473	A18	INPUT
472	A13	OUTPUT
471	A13	CONTROL
470	A13	INPUT
469	A12	OUTPUT
468	A12	CONTROL
467	A12	INPUT
466	A17	OUTPUT
465	A17	CONTROL
464	A17	INPUT
463	A16	OUTPUT
462	A16	CONTROL
461	A16	INPUT
460	A7	OUTPUT
459	A7	CONTROL
458	A7	INPUT
457	A6	OUTPUT
456	A6	CONTROL
455	A6	INPUT

番号	ピン名称	タイプ
454	A11	OUTPUT
453	A11	CONTROL
452	A11	INPUT
451	A10	OUTPUT
450	A10	CONTROL
449	A10	INPUT
448	A5	OUTPUT
447	A5	CONTROL
446	A5	INPUT
445	A4	OUTPUT
444	A4	CONTROL
443	A4	INPUT
442	A9	OUTPUT
441	A9	CONTROL
440	A9	INPUT
439	A8	OUTPUT
438	A8	CONTROL
437	A8	INPUT
436	A3	OUTPUT
435	A3	CONTROL
434	A3	INPUT
433	A2	OUTPUT
432	A2	CONTROL
431	A2	INPUT
430	A1	OUTPUT
429	A1	CONTROL
428	A1	INPUT
427	A0	OUTPUT
426	A0	CONTROL
425	A0	INPUT
424	$\overline{\text{RD}}/\text{FRAME}/\text{EX_FRAME}$	OUTPUT
423	$\overline{\text{RD}}/\text{FRAME}/\text{EX_FRAME}$	CONTROL
422	$\overline{\text{RD}}/\text{FRAME}/\text{EX_FRAME}$	INPUT
421	$\overline{\text{WE}}/\text{PCC_REG}$	OUTPUT
420	$\overline{\text{WE}}/\text{PCC_REG}$	CONTROL
419	$\overline{\text{WE}}/\text{PCC_REG}$	INPUT

番号	ピン名称	タイプ
418	D1/EX_AD1	OUTPUT
417	D1/EX_AD1	CONTROL
416	D1/EX_AD1	INPUT
415	D0/EX_AD0	OUTPUT
414	D0/EX_AD0	CONTROL
413	D0/EX_AD0	INPUT
412	$\overline{WE1/WE}$	OUTPUT
411	$\overline{WE1/WE}$	CONTROL
410	$\overline{WE1/WE}$	INPUT
409	CLKOUT	CONTROL
408	CLKOUT	OUTPUT
407	D3/EX_AD3	OUTPUT
406	D3/EX_AD3	CONTROL
405	D3/EX_AD3	INPUT
404	D2/EX_AD2	OUTPUT
403	D2/EX_AD2	CONTROL
402	D2/EX_AD2	INPUT
401	D9/EX_AD9	OUTPUT
400	D9/EX_AD9	CONTROL
399	D9/EX_AD9	INPUT
398	D8/EX_AD8	OUTPUT
397	D8/EX_AD8	CONTROL
396	D8/EX_AD8	INPUT
395	D5/EX_AD5	OUTPUT
394	D5/EX_AD5	CONTROL
393	D5/EX_AD5	INPUT
392	D4/EX_AD4	OUTPUT
391	D4/EX_AD4	CONTROL
390	D4/EX_AD4	INPUT
389	D11/EX_AD11	OUTPUT
388	D11/EX_AD11	CONTROL
387	D11/EX_AD11	INPUT
386	D10/EX_AD10	OUTPUT
385	D10/EX_AD10	CONTROL
384	D10/EX_AD10	INPUT
383	D7/EX_AD7	OUTPUT

番号	ピン名称	タイプ
382	D7/EX_AD7	CONTROL
381	D7/EX_AD7	INPUT
380	D6/EX_AD6	OUTPUT
379	D6/EX_AD6	CONTROL
378	D6/EX_AD6	INPUT
377	D13/EX_AD13	OUTPUT
376	D13/EX_AD13	CONTROL
375	D13/EX_AD13	INPUT
374	D12/EX_AD12	OUTPUT
373	D12/EX_AD12	CONTROL
372	D12/EX_AD12	INPUT
371	PTL0/D16/EX_AD16/IRQ4/IRL4/ET0_COL/DREQ0/LCD_D8	OUTPUT
370	PTL0/D16/EX_AD16/IRQ4/IRL4/ET0_COL/DREQ0/LCD_D8	CONTROL
369	PTL0/D16/EX_AD16/IRQ4/IRL4/ET0_COL/DREQ0/LCD_D8	INPUT
368	PTL1/D17/EX_AD17/IRQ5/IRL5/ET0_MDC/DACK0/LCD_D9	OUTPUT
367	PTL1/D17/EX_AD17/IRQ5/IRL5/ET0_MDC/DACK0/LCD_D9	CONTROL
366	PTL1/D17/EX_AD17/IRQ5/IRL5/ET0_MDC/DACK0/LCD_D9	INPUT
365	D15/EX_AD15	OUTPUT
364	D15/EX_AD15	CONTROL
363	D15/EX_AD15	INPUT
362	D14/EX_AD14	OUTPUT
361	D14/EX_AD14	CONTROL
360	D14/EX_AD14	INPUT
359	PTL3/D19/EX_AD19/IRQ7/IRL7/ET0_MDIO/INTC/LCD_D11	OUTPUT
358	PTL3/D19/EX_AD19/IRQ7/IRL7/ET0_MDIO/INTC/LCD_D11	CONTROL
357	PTL3/D19/EX_AD19/IRQ7/IRL7/ET0_MDIO/INTC/LCD_D11	INPUT
356	PTL2/D18/EX_AD18/IRQ6/IRL6/ET0_ETXD3/TEND0/LCD_D10	OUTPUT
355	PTL2/D18/EX_AD18/IRQ6/IRL6/ET0_ETXD3/TEND0/LCD_D10	CONTROL
354	PTL2/D18/EX_AD18/IRQ6/IRL6/ET0_ETXD3/TEND0/LCD_D10	INPUT
353	$\overline{WE3}/\overline{IOWR}$	OUTPUT
352	$\overline{WE3}/\overline{IOWR}$	CONTROL
351	$\overline{WE3}/\overline{IOWR}$	INPUT
350	$\overline{WE2}/\overline{IORD}$	OUTPUT
349	$\overline{WE2}/\overline{IORD}$	CONTROL
348	$\overline{WE2}/\overline{IORD}$	INPUT
347	PTK1/ST1_D1/GET0_ETXD5/SIOF1_TXD/LCD_D3	OUTPUT

番号	ピン名称	タイプ
346	PTK1/ST1_D1/GET0_ETXD5/SIOF1_TXD/LCD_D3	CONTROL
345	PTK1/ST1_D1/GET0_ETXD5/SIOF1_TXD/LCD_D3	INPUT
344	PTK0/ST1_D0/GET0_ETXD4/SIOF1_SYNC/LCD_D2	OUTPUT
343	PTK0/ST1_D0/GET0_ETXD4/SIOF1_SYNC/LCD_D2	CONTROL
342	PTK0/ST1_D0/GET0_ETXD4/SIOF1_SYNC/LCD_D2	INPUT
341	PTL4/D20/EX_AD20/ST0_REQ/ET0_ETXD0/INTD/LCD_D12	OUTPUT
340	PTL4/D20/EX_AD20/ST0_REQ/ET0_ETXD0/INTD/LCD_D12	CONTROL
339	PTL4/D20/EX_AD20/ST0_REQ/ET0_ETXD0/INTD/LCD_D12	INPUT
338	PTJ0/ST0M_REQO/GET0_GTX-CLK/REF50CK	OUTPUT
337	PTJ0/ST0M_REQO/GET0_GTX-CLK/REF50CK	CONTROL
336	PTJ0/ST0M_REQO/GET0_GTX-CLK/REF50CK	INPUT
335	PTK3/ST1_D3/GET0_ETXD7/SIOF2_SYNC/LCD_D5	OUTPUT
334	PTK3/ST1_D3/GET0_ETXD7/SIOF2_SYNC/LCD_D5	CONTROL
333	PTK3/ST1_D3/GET0_ETXD7/SIOF2_SYNC/LCD_D5	INPUT
332	PTK2/ST1_D2/GET0_ETXD6/SIOF1_SCK/LCD_D4	OUTPUT
331	PTK2/ST1_D2/GET0_ETXD6/SIOF1_SCK/LCD_D4	CONTROL
330	PTK2/ST1_D2/GET0_ETXD6/SIOF1_SCK/LCD_D4	INPUT
329	PTL6/D22/EX_AD22/ST0_START/ET0_ETXD2/DACK1/LCD_D14	OUTPUT
328	PTL6/D22/EX_AD22/ST0_START/ET0_ETXD2/DACK1/LCD_D14	CONTROL
327	PTL6/D22/EX_AD22/ST0_START/ET0_ETXD2/DACK1/LCD_D14	INPUT
326	PTL5/D21/EX_AD21/ST0_CLK/ST0_STRB/ET0_ETXD1/DREQ1/LCD_D13	OUTPUT
325	PTL5/D21/EX_AD21/ST0_CLK/ST0_STRB /ET0_ETXD1/DREQ1/LCD_D13	CONTROL
324	PTL5/D21/EX_AD21/ST0_CLK/ST0_STRB /ET0_ETXD1/DREQ1/LCD_D13	INPUT
323	RDWR/EX_RDWR	OUTPUT
322	RDWR/EX_RDWR	CONTROL
321	RDWR/EX_RDWR	INPUT
320	PTM0/D24/EX_AD24/ST0_D0/ET0_TX-ER/PINT0/RMII0M0_MDIO	OUTPUT
319	PTM0/D24/EX_AD24/ST0_D0/ET0_TX-ER/PINT0/RMII0M0_MDIO	CONTROL
318	PTM0/D24/EX_AD24/ST0_D0/ET0_TX-ER/PINT0/RMII0M0_MDIO	INPUT
317	PTL7/D23/EX_AD23/ST0_VALID/ET0_TX-EN/TEND1/LCD_D15	OUTPUT
316	PTL7/D23/EX_AD23/ST0_VALID/ET0_TX-EN/TEND1/LCD_D15	CONTROL
315	PTL7/D23/EX_AD23/ST0_VALID/ET0_TX-EN/TEND1/LCD_D15	INPUT
314	BS/EX_BS	OUTPUT
313	BS/EX_BS	CONTROL
312	BS/EX_BS	INPUT
311	PTM2/D26/EX_AD26/ST0_D2/ET0_WOL/RMII0_CRS_DV/PINT2	OUTPUT

番号	ピン名称	タイプ
310	PTM2/D26/EX_AD26/ST0_D2/ET0_WOL/RMII0_CRS_DV/PINT2	CONTROL
309	PTM2/D26/EX_AD26/ST0_D2/ET0_WOL/RMII0_CRS_DV/PINT2	INPUT
308	PTM1/D25/EX_AD25/ST0_D1/ET0_TX-CLK/RMII0_RX_ER/PINT1	OUTPUT
307	PTM1/D25/EX_AD25/ST0_D1/ET0_TX-CLK/RMII0_RX_ER/PINT1	CONTROL
306	PTM1/D25/EX_AD25/ST0_D1/ET0_TX-CLK/RMII0_RX_ER/PINT1	INPUT
305	REF125CK/SSI_CLK/HAC_BITCLK	OUTPUT
304	REF125CK/SSI_CLK/HAC_BITCLK	CONTROL
303	REF125CK/SSI_CLK/HAC_BITCLK	INPUT
302	PTM3/D27/EX_AD27/ST0_D3/ET0_LINKSTA/RMII0_RXD1/PINT3	OUTPUT
301	PTM3/D27/EX_AD27/ST0_D3/ET0_LINKSTA/RMII0_RXD1/PINT3	CONTROL
300	PTM3/D27/EX_AD27/ST0_D3/ET0_LINKSTA/RMII0_RXD1/PINT3	INPUT
299	$\overline{CS0}$	OUTPUT
298	$\overline{CS0}$	CONTROL
297	$\overline{CS0}$	INPUT
296	PTM5/D29/EX_AD29/ST0_D5/ET0_RX-ER/RMII0_TXD_EN/PINT5	OUTPUT
295	PTM5/D29/EX_AD29/ST0_D5/ET0_RX-ER/RMII0_TXD_EN/PINT5	CONTROL
294	PTM5/D29/EX_AD29/ST0_D5/ET0_RX-ER/RMII0_TXD_EN/PINT5	INPUT
293	PTM4/D28/EX_AD28/ST0_D4/ET0_PHY-INT/RMII0_RXD0/PINT4	OUTPUT
292	PTM4/D28/EX_AD28/ST0_D4/ET0_PHY-INT/RMII0_RXD0/PINT4	CONTROL
291	PTM4/D28/EX_AD28/ST0_D4/ET0_PHY-INT/RMII0_RXD0/PINT4	INPUT
290	PTM7/D31/EX_AD31/ST0_D7/ET0_RX-DV/RMII0_TXD0/PINT7	OUTPUT
289	PTM7/D31/EX_AD31/ST0_D7/ET0_RX-DV/RMII0_TXD0/PINT7	CONTROL
288	PTM7/D31/EX_AD31/ST0_D7/ET0_RX-DV/RMII0_TXD0/PINT7	INPUT
287	PTM6/D30/EX_AD30/ST0_D6/ET0_RX-CLK/RMII0_TXD1/PINT6	OUTPUT
286	PTM6/D30/EX_AD30/ST0_D6/ET0_RX-CLK/RMII0_TXD1/PINT6	CONTROL
285	PTM6/D30/EX_AD30/ST0_D6/ET0_RX-CLK/RMII0_TXD1/PINT6	INPUT
284	$\overline{CS1}/EX_CS0$	OUTPUT
283	$\overline{CS1}/EX_CS0$	CONTROL
282	$\overline{CS1}/EX_CS0$	INPUT
281	$\overline{CS2}/EX_CS1$	OUTPUT
280	$\overline{CS2}/EX_CS1$	CONTROL
279	$\overline{CS2}/EX_CS1$	INPUT
278	$\overline{CS5}/CE1A$	OUTPUT
277	$\overline{CS5}/CE1A$	CONTROL
276	$\overline{CS5}/CE1A$	INPUT
275	$\overline{CS4}$	OUTPUT

番号	ピン名称	タイプ
274	$\overline{CS4}$	CONTROL
273	$\overline{CS4}$	INPUT
272	$\overline{CS6/CE1B}$	OUTPUT
271	$\overline{CS6/CE1B}$	CONTROL
270	$\overline{CS6/CE1B}$	INPUT
269	$\overline{RDY/EX_RDY/PCC_WAIT}$	OUTPUT
268	$\overline{RDY/EX_RDY/PCC_WAIT}$	CONTROL
267	$\overline{RDY/EX_RDY/PCC_WAIT}$	INPUT
266	PTJ1/ST0M_CLKIO/ST0M_STRBI/RMII1_RX_ER/LCD_CLK	OUTPUT
265	PTJ1/ST0M_CLKIO/ST0M_STRBI/RMII1_RX_ER/LCD_CLK	CONTROL
264	PTJ1/ST0M_CLKIO/ST0M_STRBI/RMII1_RX_ER/LCD_CLK	INPUT
263	PTJ2/ST0M_D0/ET0_ERXD0/RMII1_TXD1/LCD_M_DISP	OUTPUT
262	PTJ2/ST0M_D0/ET0_ERXD0/RMII1_TXD1/LCD_M_DISP	CONTROL
261	PTJ2/ST0M_D0/ET0_ERXD0/RMII1_TXD1/LCD_M_DISP	INPUT
260	PTJ3/ST0M_D1/ET0_ERXD1/RMII1_CRS_DV/LCD_CL1	OUTPUT
259	PTJ3/ST0M_D1/ET0_ERXD1/RMII1_CRS_DV/LCD_CL1	CONTROL
258	PTJ3/ST0M_D1/ET0_ERXD1/RMII1_CRS_DV/LCD_CL1	INPUT
257	PTJ4/ST0M_D2/ET0_ERXD2/RMII1_RXD1/LCD_CL2	OUTPUT
256	PTJ4/ST0M_D2/ET0_ERXD2/RMII1_RXD1/LCD_CL2	CONTROL
255	PTJ4/ST0M_D2/ET0_ERXD2/RMII1_RXD1/LCD_CL2	INPUT
254	PTJ5/ST0M_D3/ET0_ERXD3/RMII1_RXD0/LCD_DON	OUTPUT
253	PTJ5/ST0M_D3/ET0_ERXD3/RMII1_RXD0/LCD_DON	CONTROL
252	PTJ5/ST0M_D3/ET0_ERXD3/RMII1_RXD0/LCD_DON	INPUT
251	PTJ6/ST0M_D4/ET0_CRS/RMII1_TXD_EN/LCD_FLM	OUTPUT
250	PTJ6/ST0M_D4/ET0_CRS/RMII1_TXD_EN/LCD_FLM	CONTROL
249	PTJ6/ST0M_D4/ET0_CRS/RMII1_TXD_EN/LCD_FLM	INPUT
248	PTJ7/ \overline{INTB} /ST0M_D5/ \overline{IRQOUT} /RMII1_TXD0/LCD_D0	OUTPUT
247	PTJ7/ \overline{INTB} /ST0M_D5/ \overline{IRQOUT} /RMII1_TXD0/LCD_D0	CONTROL
246	PTJ7/ \overline{INTB} /ST0M_D5/ \overline{IRQOUT} /RMII1_TXD0/LCD_D0	INPUT
245	PTI6/ $\overline{IRQ2/IRL2}$ /ST0M_D6/IIC1_SCL	OUTPUT
244	PTI6/ $\overline{IRQ2/IRL2}$ /ST0M_D6/IIC1_SCL	INPUT
243	PTI7/ $\overline{IRQ3/IRL3}$ /ST0M_D7/IIC1_SDA	OUTPUT
242	PTI7/ $\overline{IRQ3/IRL3}$ /ST0M_D7/IIC1_SDA	INPUT
241	PTI4/MD8/ST1_START/ET1_PHY-INT/RMII0M0_MDC/USB_PWREN/USBF_UPLUP	OUTPUT
240	PTI4/MD8/ST1_START/ET1_PHY-INT/RMII0M0_MDC/USB_PWREN/USBF_UPLUP	CONTROL
239	PTI4/MD8/ST1_START/ET1_PHY-INT/RMII0M0_MDC/USB_PWREN/USBF_UPLUP	INPUT

番号	ピン名称	タイプ
238	PTI5/MD10/ST1_VALID/LCD_D1	OUTPUT
237	PTI5/MD10/ST1_VALID/LCD_D1	CONTROL
236	PTI5/MD10/ST1_VALID/LCD_D1	INPUT
235	PTK4/ST1_D4/GET0_ERXD4/SIOF2_TXD/LCD_D6	OUTPUT
234	PTK4/ST1_D4/GET0_ERXD4/SIOF2_TXD/LCD_D6	CONTROL
233	PTK4/ST1_D4/GET0_ERXD4/SIOF2_TXD/LCD_D6	INPUT
232	PTK5/ST1_D5/GET0_ERXD5/SIOF2_RXD/LCD_D7	OUTPUT
231	PTK5/ST1_D5/GET0_ERXD5/SIOF2_RXD/LCD_D7	CONTROL
230	PTK5/ST1_D5/GET0_ERXD5/SIOF2_RXD/LCD_D7	INPUT
229	PTK6/ST1_D6/GET0_ERXD6/SIOF2_SCK/LCD_VEPWC	OUTPUT
228	PTK6/ST1_D6/GET0_ERXD6/SIOF2_SCK/LCD_VEPWC	CONTROL
227	PTK6/ST1_D6/GET0_ERXD6/SIOF2_SCK/LCD_VEPWC	INPUT
226	PTK7/ST1_D7/GET0_ERXD7/SIOF2_MCLK/LCD_VCPWC	OUTPUT
225	PTK7/ST1_D7/GET0_ERXD7/SIOF2_MCLK/LCD_VCPWC	CONTROL
224	PTK7/ST1_D7/GET0_ERXD7/SIOF2_MCLK/LCD_VCPWC	INPUT
223	PTI0/STATUS0/ST1_CLK/ST1_STRB/RMII0_MDC	OUTPUT
222	PTI0/STATUS0/ST1_CLK/ST1_STRB/RMII0_MDC	CONTROL
221	PTI0/STATUS0/ST1_CLK/ST1_STRB/RMII0_MDC	INPUT
220	PTI1/STATUS1/ST1_REQ/RMII0_MDIO	OUTPUT
219	PTI1/STATUS1/ST1_REQ/RMII0_MDIO	CONTROL
218	PTI1/STATUS1/ST1_REQ/RMII0_MDIO	INPUT
217	PTI2/ST0M_START/IIC0_SCL/SIOF1_RXD/USB_OVRCRT/USBF_VBUS	OUTPUT
216	PTI2/ST0M_START/IIC0_SCL/SIOF1_RXD/USB_OVRCRT/USBF_VBUS	INPUT
215	PTI3/ST0M_VALID/IIC0_SDA/SIOF1_MCLK/USB_CLK	OUTPUT
214	PTI3/ST0M_VALID/IIC0_SDA/SIOF1_MCLK/USB_CLK	INPUT
213	PTF0/GNT0/GNTIN/SIM_D/ET1_ETXD3/DREQ3	OUTPUT
212	PTF0/GNT0/GNTIN/SIM_D/ET1_ETXD3/DREQ3	CONTROL
211	PTF0/GNT0/GNTIN/SIM_D/ET1_ETXD3/DREQ3	INPUT
210	PTG3/REQ3/ET1_ETXD2	OUTPUT
209	PTG3/REQ3/ET1_ETXD2	CONTROL
208	PTG3/REQ3/ET1_ETXD2	INPUT
207	PTG2/REQ1/ET1_ETXD1	OUTPUT
206	PTG2/REQ1/ET1_ETXD1	CONTROL
205	PTG2/REQ1/ET1_ETXD1	INPUT
204	PTG1/GNT2/ET1_ETXD0	OUTPUT
203	PTG1/GNT2/ET1_ETXD0	CONTROL

番号	ピン名称	タイプ
202	PTG1/ $\overline{\text{GNT2}}$ /ET1_ETXD0	INPUT
201	PTD7/ $\overline{\text{PCIRESET}}$ / $\overline{\text{PCC_RESET}}$ /GET1_ETXD7/LCDM_VEPWC	OUTPUT
200	PTE0/ $\overline{\text{INTA}}$ / $\overline{\text{PCC_DRV}}$ /GET1_ETXD6/ $\overline{\text{DREQ2}}$	OUTPUT
199	PTE0/ $\overline{\text{INTA}}$ / $\overline{\text{PCC_DRV}}$ /GET1_ETXD6/ $\overline{\text{DREQ2}}$	CONTROL
198	PTE0/ $\overline{\text{INTA}}$ / $\overline{\text{PCC_DRV}}$ /GET1_ETXD6/ $\overline{\text{DREQ2}}$	INPUT
197	PTD6/ $\overline{\text{REQ2}}$ / $\overline{\text{PCC_BVD1}}$ /GET1_ETXD5/SS11_SCK/LCDM_VCPWC	OUTPUT
196	PTD6/ $\overline{\text{REQ2}}$ / $\overline{\text{PCC_BVD1}}$ /GET1_ETXD5/SS11_SCK/LCDM_VCPWC	CONTROL
195	PTD6/ $\overline{\text{REQ2}}$ / $\overline{\text{PCC_BVD1}}$ /GET1_ETXD5/SS11_SCK/LCDM_VCPWC	INPUT
194	PTE1/ $\overline{\text{PCICLK}}$ /GET1_ETXD4/ $\overline{\text{DACK2}}$	OUTPUT
193	PTE1/ $\overline{\text{PCICLK}}$ /GET1_ETXD4/ $\overline{\text{DACK2}}$	CONTROL
192	PTE1/ $\overline{\text{PCICLK}}$ /GET1_ETXD4/ $\overline{\text{DACK2}}$	INPUT
191	PTG4/AD30/ET1_LINKSTA	OUTPUT
190	PTG4/AD30/ET1_LINKSTA	CONTROL
189	PTG4/AD30/ET1_LINKSTA	INPUT
188	PTG0/ $\overline{\text{GNT1}}$ /ET1_WOL	OUTPUT
187	PTG0/ $\overline{\text{GNT1}}$ /ET1_WOL	CONTROL
186	PTG0/ $\overline{\text{GNT1}}$ /ET1_WOL	INPUT
185	PTF2/AD31/ $\overline{\text{SIM_RST}}$ /ET1_MDIO/ $\overline{\text{TEND3}}$	OUTPUT
184	PTF2/AD31/ $\overline{\text{SIM_RST}}$ /ET1_MDIO/ $\overline{\text{TEND3}}$	CONTROL
183	PTF2/AD31/ $\overline{\text{SIM_RST}}$ /ET1_MDIO/ $\overline{\text{TEND3}}$	INPUT
182	PTF1/ $\overline{\text{REQ0}}$ / $\overline{\text{REQOUT}}$ / $\overline{\text{SIM_CLK}}$ /ET1_MDC/ $\overline{\text{DACK3}}$	OUTPUT
181	PTF1/ $\overline{\text{REQ0}}$ / $\overline{\text{REQOUT}}$ / $\overline{\text{SIM_CLK}}$ /ET1_MDC/ $\overline{\text{DACK3}}$	CONTROL
180	PTF1/ $\overline{\text{REQ0}}$ / $\overline{\text{REQOUT}}$ / $\overline{\text{SIM_CLK}}$ /ET1_MDC/ $\overline{\text{DACK3}}$	INPUT
179	PTG6/AD26/ET1_TX-ER	OUTPUT
178	PTG6/AD26/ET1_TX-ER	CONTROL
177	PTG6/AD26/ET1_TX-ER	INPUT
176	PTG7/AD28/ET1_TX-EN	OUTPUT
175	PTG7/AD28/ET1_TX-EN	CONTROL
174	PTG7/AD28/ET1_TX-EN	INPUT
173	PTE5/AD29/ $\overline{\text{SCIF2_TXD}}$ /GET1_GTX-CLK/SS10_SCK	OUTPUT
172	PTE5/AD29/ $\overline{\text{SCIF2_TXD}}$ /GET1_GTX-CLK/SS10_SCK	CONTROL
171	PTE5/AD29/ $\overline{\text{SCIF2_TXD}}$ /GET1_GTX-CLK/SS10_SCK	INPUT
170	PTH0/AD25/TPU_TI3A/ET1_COL/RMII1M_RX_ER	OUTPUT
169	PTH0/AD25/TPU_TI3A/ET1_COL/RMII1M_RX_ER	CONTROL
168	PTH0/AD25/TPU_TI3A/ET1_COL/RMII1M_RX_ER	INPUT
167	PTH6/AD27/TPU_TO2/ET1_CRS/RMII1M_TXD_EN	OUTPUT

番号	ピン名称	タイプ
166	PTH6/AD27/TPU_TO2/ET1_CRS/RMII1M_TXD_EN	CONTROL
165	PTH6/AD27/TPU_TO2/ET1_CRS/RMII1M_TXD_EN	INPUT
164	PTF3/CBE3/ET1_TX-CLK	OUTPUT
163	PTF3/CBE3/ET1_TX-CLK	CONTROL
162	PTF3/CBE3/ET1_TX-CLK	INPUT
161	PTG5/GNT3/ET1_RX-CLK	OUTPUT
160	PTG5/GNT3/ET1_RX-CLK	CONTROL
159	PTG5/GNT3/ET1_RX-CLK	INPUT
158	PTH2/AD24/TPU_TI2A/ET1_ERXD0/RMII1M_TXD1	OUTPUT
157	PTH2/AD24/TPU_TI2A/ET1_ERXD0/RMII1M_TXD1	CONTROL
156	PTH2/AD24/TPU_TI2A/ET1_ERXD0/RMII1M_TXD1	INPUT
155	PTH5/AD23/TPU_TO1/ET1_ERXD1/RMII1M_TXD0	OUTPUT
154	PTH5/AD23/TPU_TO1/ET1_ERXD1/RMII1M_TXD0	CONTROL
153	PTH5/AD23/TPU_TO1/ET1_ERXD1/RMII1M_TXD0	INPUT
152	PTH1/IDSEL/TPU_TI3B/ET1_RX-ER/RMII1M_CRS_DV	OUTPUT
151	PTH1/IDSEL/TPU_TI3B/ET1_RX-ER/RMII1M_CRS_DV	CONTROL
150	PTH1/IDSEL/TPU_TI3B/ET1_RX-ER/RMII1M_CRS_DV	INPUT
149	PTH3/AD21/TPU_TI2B/ET1_ERXD2/RMII1M_RXD1	OUTPUT
148	PTH3/AD21/TPU_TI2B/ET1_ERXD2/RMII1M_RXD1	CONTROL
147	PTH3/AD21/TPU_TI2B/ET1_ERXD2/RMII1M_RXD1	INPUT
146	PTH4/AD19/TPU_TO0/ET1_ERXD3/RMII1M_RXD0	OUTPUT
145	PTH4/AD19/TPU_TO0/ET1_ERXD3/RMII1M_RXD0	CONTROL
144	PTH4/AD19/TPU_TO0/ET1_ERXD3/RMII1M_RXD0	INPUT
143	PTE4/AD22/SCIF2_RXD/GET1_ERXD4/SSI0_SDATA	OUTPUT
142	PTE4/AD22/SCIF2_RXD/GET1_ERXD4/SSI0_SDATA	CONTROL
141	PTE4/AD22/SCIF2_RXD/GET1_ERXD4/SSI0_SDATA	INPUT
140	PTE3/AD20/SCIF2_SCK/GET1_ERXD5/SSI0_WS	OUTPUT
139	PTE3/AD20/SCIF2_SCK/GET1_ERXD5/SSI0_WS	CONTROL
138	PTE3/AD20/SCIF2_SCK/GET1_ERXD5/SSI0_WS	INPUT
137	PTH7/AD17/TPU_TO3/ET1_RX-DV	OUTPUT
136	PTH7/AD17/TPU_TO3/ET1_RX-DV	CONTROL
135	PTH7/AD17/TPU_TO3/ET1_RX-DV	INPUT
134	PTD1/CBE2/PCC_VS2/SIOF0_TXD/HAC_SD_OUT/LCDM_D15	OUTPUT
133	PTD1/CBE2/PCC_VS2/SIOF0_TXD/HAC_SD_OUT/LCDM_D15	CONTROL
132	PTD1/CBE2/PCC_VS2/SIOF0_TXD/HAC_SD_OUT/LCDM_D15	INPUT
131	PTD5/AD18/PCC_CD2/GET1_ERXD6/SSI1_SDATA/LCDM_D14	OUTPUT

番号	ピン名称	タイプ
130	PTD5/AD18/ $\overline{\text{PCC_CD2}}$ /GET1_ERXD6/SSI1_SDATA/LCDM_D14	CONTROL
129	PTD5/AD18/ $\overline{\text{PCC_CD2}}$ /GET1_ERXD6/SSI1_SDATA/LCDM_D14	INPUT
128	PTE2/AD16/ $\overline{\text{PCC_IOIS16}}$ /GET1_ERXD7/ $\overline{\text{TEND2}}$	OUTPUT
127	PTE2/AD16/ $\overline{\text{PCC_IOIS16}}$ /GET1_ERXD7/ $\overline{\text{TEND2}}$	CONTROL
126	PTE2/AD16/ $\overline{\text{PCC_IOIS16}}$ /GET1_ERXD7/ $\overline{\text{TEND2}}$	INPUT
125	PTD0/ $\overline{\text{IRDY}}$ / $\overline{\text{PCC_VS1}}$ /SIOF0_SYNC/HAC_SD_IN/LCDM_D13	OUTPUT
124	PTD0/ $\overline{\text{IRDY}}$ / $\overline{\text{PCC_VS1}}$ /SIOF0_SYNC/HAC_SD_IN/LCDM_D13	CONTROL
123	PTD0/ $\overline{\text{IRDY}}$ / $\overline{\text{PCC_VS1}}$ /SIOF0_SYNC/HAC_SD_IN/LCDM_D13	INPUT
122	PTA1/ $\overline{\text{DEVSEL}}$ /SCIF1_RXD	OUTPUT
121	PTA1/ $\overline{\text{DEVSEL}}$ /SCIF1_RXD	CONTROL
120	PTA1/ $\overline{\text{DEVSEL}}$ /SCIF1_RXD	INPUT
119	PTD3/ $\overline{\text{PCIFRAME}}$ / $\overline{\text{PCC_BVD2}}$ /SIOF0_SCK/HAC_RES/LCDM_D12	OUTPUT
118	PTD3/ $\overline{\text{PCIFRAME}}$ / $\overline{\text{PCC_BVD2}}$ /SIOF0_SCK/HAC_RES/LCDM_D12	CONTROL
117	PTD3/ $\overline{\text{PCIFRAME}}$ / $\overline{\text{PCC_BVD2}}$ /SIOF0_SCK/HAC_RES/LCDM_D12	INPUT
116	PTD2/ $\overline{\text{TRDY}}$ / $\overline{\text{PCC_RDY}}$ /SIOF0_RXD/HAC_SYNC/LCDM_D11	OUTPUT
115	PTD2/ $\overline{\text{TRDY}}$ / $\overline{\text{PCC_RDY}}$ /SIOF0_RXD/HAC_SYNC/LCDM_D11	CONTROL
114	PTD2/ $\overline{\text{TRDY}}$ / $\overline{\text{PCC_RDY}}$ /SIOF0_RXD/HAC_SYNC/LCDM_D11	INPUT
113	PTA2/ $\overline{\text{LOCK}}$ /SCIF1_TXD	OUTPUT
112	PTA2/ $\overline{\text{LOCK}}$ /SCIF1_TXD	CONTROL
111	PTA2/ $\overline{\text{LOCK}}$ /SCIF1_TXD	INPUT
110	PTB0/ $\overline{\text{PERR}}$ /PINT8/LCDM_D10	OUTPUT
109	PTB0/ $\overline{\text{PERR}}$ /PINT8/LCDM_D10	CONTROL
108	PTB0/ $\overline{\text{PERR}}$ /PINT8/LCDM_D10	INPUT
107	PTD4/ $\overline{\text{STOP}}$ / $\overline{\text{PCC_CD1}}$ /SIOF0_MCLK/SSI1_WS/LCDM_DON	OUTPUT
106	PTD4/ $\overline{\text{STOP}}$ / $\overline{\text{PCC_CD1}}$ /SIOF0_MCLK/SSI1_WS/LCDM_DON	CONTROL
105	PTD4/ $\overline{\text{STOP}}$ / $\overline{\text{PCC_CD1}}$ /SIOF0_MCLK/SSI1_WS/LCDM_DON	INPUT
104	PTA0/ $\overline{\text{PAR}}$ /SCIF1_SCK	OUTPUT
103	PTA0/ $\overline{\text{PAR}}$ /SCIF1_SCK	CONTROL
102	PTA0/ $\overline{\text{PAR}}$ /SCIF1_SCK	INPUT
101	PTB1/ $\overline{\text{SERR}}$ /PINT9/LCDM_D9	OUTPUT
100	PTB1/ $\overline{\text{SERR}}$ /PINT9/LCDM_D9	CONTROL
99	PTB1/ $\overline{\text{SERR}}$ /PINT9/LCDM_D9	INPUT
98	PTB4/ $\overline{\text{CBE1}}$ /PINT12/LCDM_D8	OUTPUT
97	PTB4/ $\overline{\text{CBE1}}$ /PINT12/LCDM_D8	CONTROL
96	PTB4/ $\overline{\text{CBE1}}$ /PINT12/LCDM_D8	INPUT
95	PTA3/AD15/SCIF1_CTS	OUTPUT

番号	ピン名称	タイプ
94	PTA3/AD15/SCIF1_CTS	CONTROL
93	PTA3/AD15/SCIF1_CTS	INPUT
92	PTA4/AD13/SCIF1_RTS	OUTPUT
91	PTA4/AD13/SCIF1_RTS	CONTROL
90	PTA4/AD13/SCIF1_RTS	INPUT
89	PTB5/AD14/PINT13/LCDM_M_DISP	OUTPUT
88	PTB5/AD14/PINT13/LCDM_M_DISP	CONTROL
87	PTB5/AD14/PINT13/LCDM_M_DISP	INPUT
86	PTA5/AD12	OUTPUT
85	PTA5/AD12	CONTROL
84	PTA5/AD12	INPUT
83	PTB2/AD11/PINT10/LCDM_D7	OUTPUT
82	PTB2/AD11/PINT10/LCDM_D7	CONTROL
81	PTB2/AD11/PINT10/LCDM_D7	INPUT
80	PTB3/AD9/PINT11/LCDM_D6	OUTPUT
79	PTB3/AD9/PINT11/LCDM_D6	CONTROL
78	PTB3/AD9/PINT11/LCDM_D6	INPUT
77	PTC0/AD10/MMC_DAT/LCDM_D5	OUTPUT
76	PTC0/AD10/MMC_DAT/LCDM_D5	CONTROL
75	PTC0/AD10/MMC_DAT/LCDM_D5	INPUT
74	PTC3/AD8/MMC_ODMOD/LCDM_D4	OUTPUT
73	PTC3/AD8/MMC_ODMOD/LCDM_D4	CONTROL
72	PTC3/AD8/MMC_ODMOD/LCDM_D4	INPUT
71	PTB6/CBE0/PINT14/LCDM_D3	OUTPUT
70	PTB6/CBE0/PINT14/LCDM_D3	CONTROL
69	PTB6/CBE0/PINT14/LCDM_D3	INPUT
68	PTB7/AD6/PINT15/LCDM_D2	OUTPUT
67	PTB7/AD6/PINT15/LCDM_D2	CONTROL
66	PTB7/AD6/PINT15/LCDM_D2	INPUT
65	PTC4/AD7/MMC_CMD/LCDM_CL2	OUTPUT
64	PTC4/AD7/MMC_CMD/LCDM_CL2	CONTROL
63	PTC4/AD7/MMC_CMD/LCDM_CL2	INPUT
62	PTC6/AD5/LCDM_CL1	OUTPUT
61	PTC6/AD5/LCDM_CL1	CONTROL
60	PTC6/AD5/LCDM_CL1	INPUT
59	PTC1/AD4/LCDM_D1	OUTPUT

番号	ピン名称	タイプ
58	PTC1/AD4/LCDM_D1	CONTROL
57	PTC1/AD4/LCDM_D1	INPUT
56	PTC2/AD2/LCDM_D0	OUTPUT
55	PTC2/AD2/LCDM_D0	CONTROL
54	PTC2/AD2/LCDM_D0	INPUT
53	PTC7/AD3/MMC_CLK	OUTPUT
52	PTC7/AD3/MMC_CLK	CONTROL
51	PTC7/AD3/MMC_CLK	INPUT
50	PTA6/AD1/MMC_VDDON	OUTPUT
49	PTA6/AD1/MMC_VDDON	CONTROL
48	PTA6/AD1/MMC_VDDON	INPUT
47	PTC5/AD0/MMC_CD/LCDM_FLM	OUTPUT
46	PTC5/AD0/MMC_CD/LCDM_FLM	CONTROL
45	PTC5/AD0/MMC_CD/LCDM_FLM	INPUT
44	PTN0/SCIF0_SCK/MD0	OUTPUT
43	PTN0/SCIF0_SCK/MD0	CONTROL
42	PTN0/SCIF0_SCK/MD0	INPUT
41	PTN1/SCIF0_RXD/MD3	OUTPUT
40	PTN1/SCIF0_RXD/MD3	CONTROL
39	PTN1/SCIF0_RXD/MD3	INPUT
38	PTN2/SCIF0_TXD/MD1	OUTPUT
37	PTN2/SCIF0_TXD/MD1	CONTROL
36	PTN2/SCIF0_TXD/MD1	INPUT
35	PTN3/SCIF0_CTS/MD4	OUTPUT
34	PTN3/SCIF0_CTS/MD4	CONTROL
33	PTN3/SCIF0_CTS/MD4	INPUT
32	PTN4/SCIF0_RTS/MD2	OUTPUT
31	PTN4/SCIF0_RTS/MD2	CONTROL
30	PTN4/SCIF0_RTS/MD2	INPUT
29	PTN5/NMI	OUTPUT
28	PTN5/NMI	CONTROL
27	PTN5/NMI	INPUT
26	PTO6/IRQ0/IRL0/DACK1M/MD5	OUTPUT
25	PTO6/IRQ0/IRL0/DACK1M/MD5	CONTROL
24	PTO6/IRQ0/IRL0/DACK1M/MD5	INPUT
23	PTO7/IRQ1/IRL1/TEND1M/SSI3_SCK/MD6	OUTPUT

番号	ピン名称	タイプ
22	PTO7/IRQ1/IRL1/TEND1M/SSI3_SCK/MD6	CONTROL
21	PTO7/IRQ1/IRL1/TEND1M/SSI3_SCK/MD6	INPUT
20	PTO0/AUDSYNCS/RMII1_MDC/SSI2_WS	OUTPUT
19	PTO0/AUDSYNCS/RMII1_MDC/SSI2_WS	CONTROL
18	PTO0/AUDSYNCS/RMII1_MDC/SSI2_WS	INPUT
17	PTO1/AUDATA0/RMII1_MDIO/SSI2_SDATA	OUTPUT
16	PTO1/AUDATA0/RMII1_MDIO/SSI2_SDATA	CONTROL
15	PTO1/AUDATA0/RMII1_MDIO/SSI2_SDATA	INPUT
14	PTO2/AUDATA1/RMII0M1_MDC	OUTPUT
13	PTO2/AUDATA1/RMII0M1_MDC	CONTROL
12	PTO2/AUDATA1/RMII0M1_MDC	INPUT
11	PTO3/AUDATA2/RMII0M1_MDIO/SSI2_SCK	OUTPUT
10	PTO3/AUDATA2/RMII0M1_MDIO/SSI2_SCK	CONTROL
9	PTO3/AUDATA2/RMII0M1_MDIO/SSI2_SCK	INPUT
8	PTO4/AUDATA3/EX_INT/SSI3_WS	OUTPUT
7	PTO4/AUDATA3/EX_INT/SSI3_WS	CONTROL
6	PTO4/AUDATA3/EX_INT/SSI3_WS	INPUT
5	PTO5/AUDCK/DREQ1M/SSI3_SDATA	OUTPUT
4	PTO5/AUDCK/DREQ1M/SSI3_SDATA	CONTROL
3	PTO5/AUDCK/DREQ1M/SSI3_SDATA	INPUT
2	ASEBRK/BRKACK	OUTPUT
1	ASEBRK/BRKACK	CONTROL
0	ASEBRK/BRKACK	INPUT
To TDO		

【注】 CONTROL はローアクティブの信号。CONTROL を LOW にすることで、該当ピンを OUT 値でドライブする。

42.5 動作説明

42.5.1 TAP 制御

図 42.3 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}} = 0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

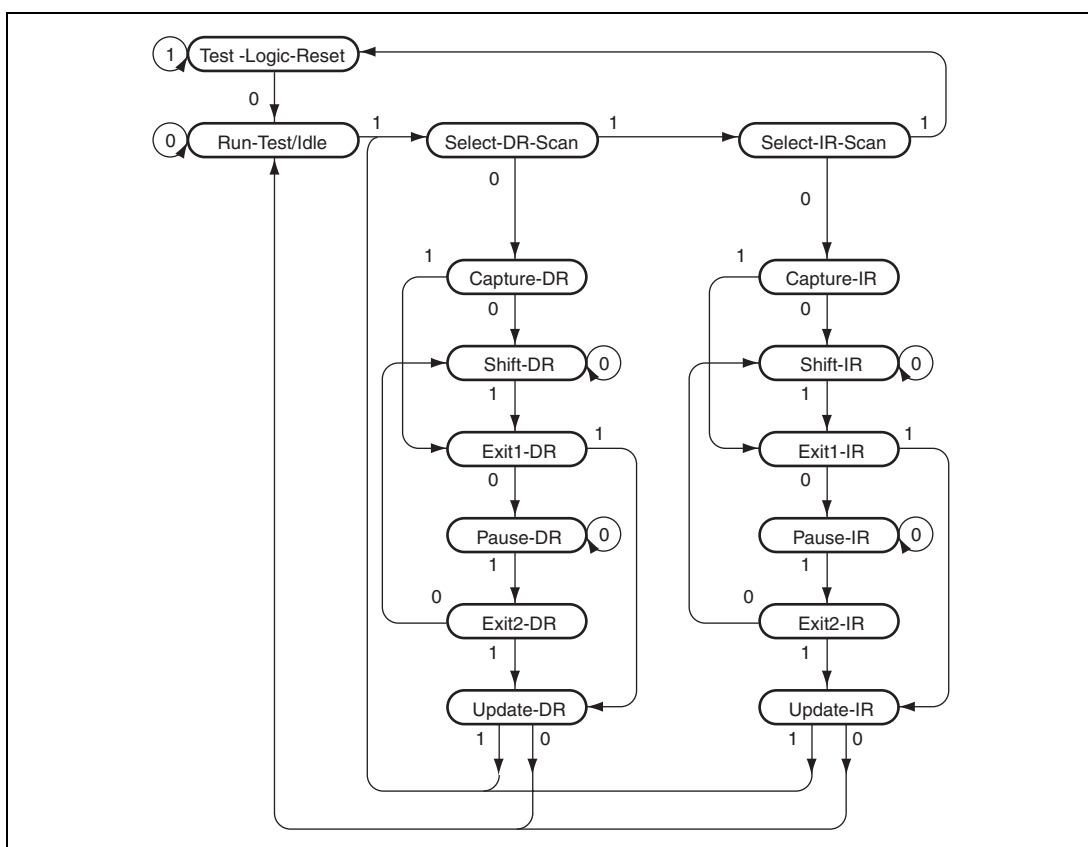


図 42.3 TAP 制御状態遷移図

42.5.2 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます(図 42.4 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

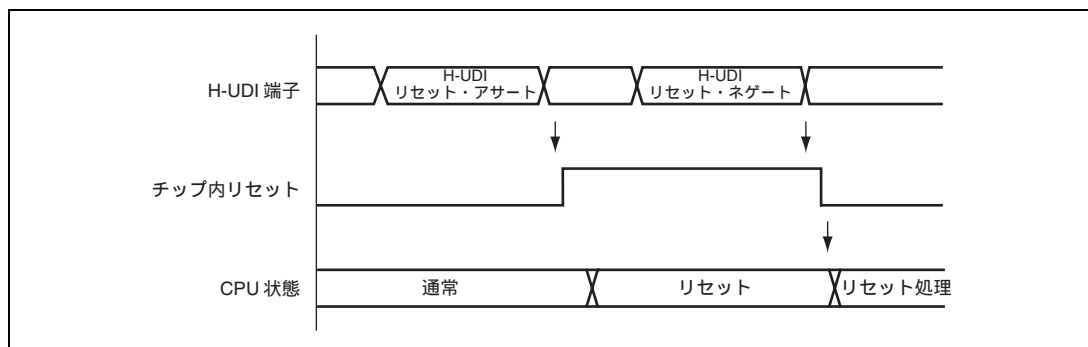


図 42.4 H-UDI リセット

42.5.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。

42.6 注意事項

一度設定した SDIR コマンドは $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。

H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

43. 電気的特性

43.1 絶対最大定格^{*1*2}

表 43.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (IO)	V_{CCQ} , V_{DD-RTC}	-0.3 ~ 4.6	V
	$V_{CCQ-DDR}$	-0.3 ~ 2.8	V
電源電圧 (内部)	V_{DD} , $V_{DD-PLL1}$, $V_{DD-PLL2}$, $V_{DD-PLL3}$, $V_{DD-DLL1}$, $V_{DD-DLL2}$	-0.3 ~ 1.8	V
アナログ電源電圧	AV_{CC}	-0.3 ~ 4.6	V
入力電圧	V_{in}	-0.3 ~ $V_{CCQ}+0.3^{*3}$ -0.3 ~ $V_{DD-RTC}+0.3^{*3}$	V
	V_{in-DDR}	-0.3 ~ $V_{CCQ-DDR}+0.3^{*3}$	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC}+0.3$	V
動作温度	T_{opr}	-20 ~ 75	
保存温度	T_{stg}	-55 ~ 125	

- 【注】 *1 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
 *2 すべての VSS を GND に接続しない場合、LSI の永久破壊となることがあります。
 *3 上限は電源電圧を超えないこと。

43.2 電源投入および切断順序

43.2.1 電源の投入順序について

電源投入順序の制約はありません。1つの電源が立ち上がった後、10ms以内にすべての電源を立ち上げてください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。

すべての電源に電圧が印加され、 $\overline{\text{RESETP}}$ 端子にローレベルが入力されるまでの間、内部回路は不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を引き起こさないようシステム設計を行ってください。

43.2.2 電源の切断順序について

電源切断順序の制約はありません。1つの電源が立ち下がった後、10ms以内にすべての電源を立ち下げてください。この間隔をできるだけ短くすることを推奨します。

端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。

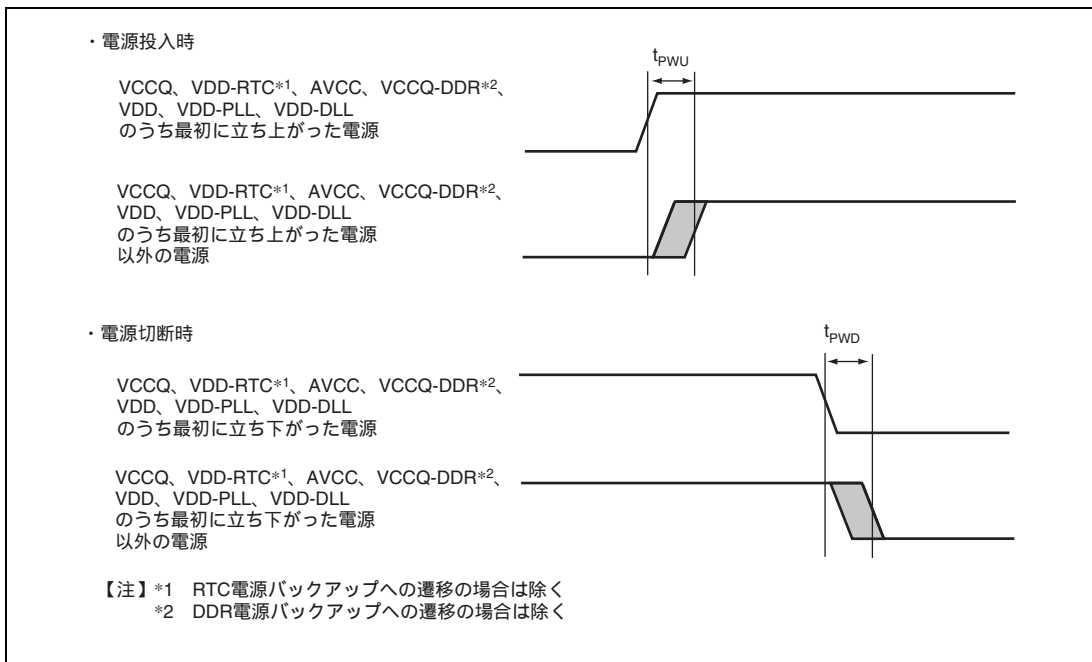


図 43.1 電源投入 / 切断タイミング

表 43.2 電源投入 / 切断タイミング

項 目	記号	最大時間	単位
(VCCQ、VDD-RTC、AVCC) ~ (VCCQ-DDR) ~ (VDD、VDD-PLL1 ~ 3、VDD-DLL1 ~ 3)電源投入時間差	t_{PWU}	10	ms
(VCCQ、VDD-RTC、AVCC) ~ (VCCQ-DDR) ~ (VDD、VDD-PLL1 ~ 3、VDD-DLL1 ~ 3)電源切断時間差	t_{PWD}	10	ms

43.2.3 RTC 電源バックアップモード (ハードウェアスタンバイ) 時の電源切断 / 投入順序について

RTC バックアップモードを使用するためには、RTC クロックが動作している必要があります。

$\overline{XRTCSTBI}$ 端子をローレベルにしてから、STATUS0 端子がハイレベル、STATUS1 端子がローレベルになったのを確認してください。VCCQ、AVCC、VCCQ-DDR、および VDD、VDD-PLL1 ~ 3、VDD-DLL1 ~ 3 はその後に切断することが可能です。一方、VDD-RTC 電源は投入した状態にしておき、 $\overline{XRTCSTBI}$ 端子はローレベルに設定しておいてください。 $\overline{XRTCSTBI}$ 端子をローレベルにした状態で、VCCQ、AVCC、VCCQ-DDR および VDD、VDD-PLL1 ~ 3、VDD-DLL1 ~ 3 を投入してください。電源が安定した段階で、パワーオン発振安定時間 (「43.4.1 クロック・制御信号タイミング」参照) が経過してから、 $\overline{XRTCSTBI}$ 端子をハイレベルにして、 \overline{PRESET} をハイレベルに解除してください。

43.2.4 DDR-SDRAM 電源バックアップ時の電源切断 / 投入順序について

DDR-SDRAM 電源バックアップを使用するためには DDR-SDRAM をセルフリフレッシュ状態にしておく必要があります。セルフリフレッシュ遷移後、M-CKE 端子がローレベルになります。MIM レジスタの SELFS ビットが 1 になるのを確認し、 $\overline{M_BKPRST}$ 端子をローレベルに設定してください。VCCQ、AVCC、VDD-RTC および VDD、VDD-PLL1 ~ 3、VDD-DLL1 ~ 3 はその後に切断することが可能です。一方 VCCQ-DDR 電源は投入した状態にしておき、 $\overline{M_BKPRST}$ 端子はローレベルに設定しておいてください。 $\overline{M_BKPRST}$ 端子をローレベルにした状態で、VCCQ、AVCC、VDD-RTC および VDD、VDD-PLL1 ~ 3、VDD-DLL1 ~ 3 を投入してください。電源が安定した段階で、パワーオン発振安定時間 (「43.4.1 クロック・制御信号タイミング」参照) が経過してから、 $\overline{M_BKPRST}$ 端子および \overline{PRESET} 端子をハイレベルに解除してください。

43.2.5 DDR-SDRAM 電源投入時の注意事項について

パワーオン時に VCCQ-DDR 電源を切断状態から投入する際は、DDR-SDRAM 電源バックアップシーケンス (「図 18.1 システム電源遮断・投入時の DDR-SDRAM インタフェース動作」参照) と同様、 $\overline{M_BKPRST}$ 端子にローレベルを入力することで、M_CKE 端子出力をローレベルに固定することを推奨します。

これは、電源投入時の DDR-SDRAM の CKE 入力をローレベルに保持することで、本 LSI と DDR-SDRAM 双方のデータバスが衝突するのを予防するためです。

43.3 DC 特性

表 43.3 DC 特性 (1) [共通項目]

Ta = - 20 ~ 75

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		V_{CCQ}	3.0	3.3	3.6	V	
		V_{DD-RTC}	3.0	3.3	3.6	V	
		$V_{CCQ-DDR}$	2.3	2.5	2.7	V	
		V_{DD}	1.15	1.25	1.35	V	
		$V_{DD-PLL1}$ 、 $V_{DD-PLL2}$ 、 $V_{DD-PLL3}$					
		$V_{DD-DLL1}$ 、 $V_{DD-DLL2}$					
アナログ電源電圧		AV_{CC}	3.0	3.3	3.6	V	未使用時は V_{CCQ} と同電位可
リファレンス電圧		$DDR-V_{REF}$	1.15	1.25	1.35	V	
消費電力	通常動作時	I_{DD}		950	1200	mA	lck = 266MHz
		I_{DD-PLL}		-	10	mA	
		I_{DD-DLL}		-	12	mA	
		I_{CCQ}		200	300	mA	
		I_{DD-RTC}		-	0.9	mA	$V_{DD-RTC} = 3.3V$
		$I_{CCQ-DDR}$		-	250	mA	DDRck = 133MHz
	スリープモード時	I_{DD}		-	800	mA	lck = 266MHz
		I_{CCQ}		-	25	mA	
	RTC バックアップモード時	I_{DD-RTC}		-	50	μA	
DDR バックアップモード時	$I_{CCQ-DDR}$		-	155	μA		
アナログ電源電流	A/D 変換期間	AI_{CC}		-	30	mA	
	A/D および D/A 変換期間			-	30	mA	
	アイドル			-	20	mA	

【注】 本 LSI は、Ta (周囲温度) が 60 を超える場合、ヒートシンク等の放熱対策が必要になりますので、ご注意ください。

表 43.4 DC 特性 (2-a) [USB トランシーバ、I²C 関連端子を除く]

Ta = -20 ~ 75

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力電圧 EXTAL、EXTAL2、PRESET、 XRTCSTBI、MRESET、TRST、 MD0 ~ MD6、MD8、MD10、MPMD、 PTN0 ~ PTN5、PTO6、PTO7、 PTI2 ~ PTI7、 NMI、IRQ0 ~ IRQ7、 $\overline{IRL0}$ ~ $\overline{IRL7}$ 、 PINT0 ~ PINT15 DACK1M、SSI3_SCK、SSI_CLK、 SIOF1_MCLK、SIOF1_RXD SCIF0_SCK、SCIF0_RTS、 SCIF0_RXD、SCIF0_CTS、 ET1_PHY-INT、ST1_START、 ST1_VALID、ST0M_VALIDI、 ST0M_D7I、ST0M_D6I、 REF125CK、HAC_BITCLK USB_CLK、 USB_OVRCRT/USBF_VBUS	V _{IH}	V _{CCQ} × 0.9	-	V _{CCQ} + 0.3	V	V _{CCQ} = 3.0 ~ 3.6V
DDR 端子		DDR-V _{REF} + 0.15	-	V _{CCQ-DDR} + 0.3		V _{CCQ-DDR} = 2.3 ~ 2.7V DDR-V _{REF} = 1.15 ~ 1.35V
PCICLK		V _{CCQ} × 0.6	-	V _{CCQ} + 0.3		V _{CCQ} = 3.0 ~ 3.6V
その他の PCI 端子		V _{CCQ} × 0.5	-	V _{CCQ} + 0.3		
その他の入力端子		2	-	V _{CCQ} + 0.3		
EXTAL、EXTAL2、PRESET、 MRESET、TRST、XRTCSTBI、 MD0 ~ MD6、MD8、MD10、MPMD、 PTN0 ~ PTN5、PTO6、PTO7、 PTI2 ~ PTI7、 NMI、IRQ0 ~ IRQ7、 $\overline{IRL0}$ ~ $\overline{IRL7}$ 、 PINT0 ~ PINT15、DACK1M、 SSI3_SCK、SSI_CLK、 SIOF1_MCLK、SIOF1_RXD SCIF0_SCK、SCIF0_RTS、 SCIF0_RXD、SCIF0_CTS、 ET1_PHY-INT、ST1_START、 ST1_VALID、ST0M_VALIDI、 ST0M_D7I、ST0M_D6I、 REF125CK、HAC_BITCLK USB_CLK、 USB_OVRCRT/USBF_VBUS	V _{IL}	- 0.3	-	V _{CCQ} × 0.1		V _{CCQ} = 3.0 ~ 3.6V

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力電圧	DDR 端子 (M_BKPRST 除く)	V_{IL}	- 0.3	-	DDR- V_{REF} - 0.18	V	$V_{CCQ-DDR} = 2.3 \sim 2.7V$ DDR- $V_{REF} = 1.15 \sim 1.35V$
	M_BKPRST		- 0.3	-	$V_{CCQ-DDR}$ $\times 0.2$		
	PCICLK		- 0.3	-	$V_{CCQ} \times 0.2$		$V_{CCQ} = 3.0 \sim 3.6V$
	その他の PCI 端子		- 0.3	-	$V_{CCQ} \times 0.3$		
	その他の入力端子		- 0.3	-	$V_{CCQ} \times 0.2$		
入力リーク電流	DDR 端子	I_{LI}	-	-	2	μA	$V_{IN} = 0.5 \sim V_{CCQ-DDR}$ - 0.5V
	全入力端子	I_{lin}	-	-	1		$V_{IN} = 0.5 \sim V_{CCQ} - 0.5V$
出力電圧	PCI 端子	V_{OH}	2.4	-	-	V	$V_{CCQ} = 3.0V \sim 3.6V$ $I_{OH} = - 4mA$
	DDR 端子		1.84	-	-		$V_{CCQ-DDR} = 2.3 \sim 2.7V$ $I_{OH} = - 7.6mA$
	その他の端子		2.4	-	-		$V_{CCQ} = 3.0V \sim 3.6V$ $I_{OH} = - 2mA$
	PCI 端子	V_{OL}	-	-	0.55		$V_{CCQ} = 3.0V \sim 3.6V$ $I_{OL} = 4mA$
	DDR 端子		-	-	0.54		$V_{CCQ-DDR} = 2.3 \sim 2.7V$ $I_{OL} = 7.6mA$
	その他の端子		-	-	0.55		$V_{DDQ} = 3.0V \sim 3.6V$ $I_{OL} = 2mA$
ブルアップ抵抗	全端子	R_{pull}	20	60	180	k	
端子容量	DDR 端子	C_L	-	-	5	pF	
	その他		-	-	10		

【注】 消費電流値は、 $V_{IH} (Min.) = V_{CCQ} - 0.5V$ および $V_{IL} (Max.) = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 43.5 DC 特性 (2-b) [I^2C 関連端子]

条件: $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{CCQ-DDR} = 2.3 \sim 2.7V$, $V_{DD} = 1.15 \sim 1.35V$, $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	測定条件
電源電圧	V_{CCQ}	3.0	3.3	3.6	V	
入力ハイレベル電圧	V_{IH}	$V_{CCQ} \times 0.7$	-	$V_{CCQ} + 0.3$	V	
入力ローレベル電圧	V_{IL}	-0.3	-	$V_{CCQ} \times 0.3$	V	
出力ローレベル電圧	V_{OL}	-	-	0.4	V	$I_{OL} = 3mA$ 時
出力ローレベル許容電流	I_{OL}	-	-	10	mA	

【注】 I^2C 関連端子: IIC0_SCL、IIC1_SCL、IIC0_SDA、IIC1_SDA (オープンドレイン端子)

表 43.6 DC 特性 (2-c) [USB トランシーバ関連端子]

Ta = -20 ~ 75

項目	記号	Min.	Typ.	Max.	単位	測定条件
電源電圧	V_{CCQ}	3.0	3.3	3.6	V	
差動入力感度	V_{DI}	0.2	-	-	V	(DP) - (DM)
差動コモンモード範囲	V_{CM}	0.8	-	2.5	V	
シングルエンディッドレシーバスレッシュホールド電圧	V_{SE}	0.8	-	2.0	V	
出力 High レベル電圧	V_{OH}	2.5	-	V_{CCQ}	V	
出力 Low レベル電圧	V_{OL}	-	-	0.3	V	
トライステートリーク電流	I_{LO}	-10	-	10	μA	$0V < V_{IN} < 3.3V$

【注】 USB トランシーバ関連端子 : USBP、USBM

表 43.7 出力許容電流値

条件 : $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (DDR1 端子あたり)	I_{OL}	-	-	16	mA
出力ローレベル許容電流 (PCI1 端子あたり)		-	-	4	
出力ローレベル許容電流 (DDR と PCI 以外の 1 端子あたり)		-	-	2	
出力ローレベル許容電流 (総和)	I_{OL}	-	-	120	
出力ハイレベル許容電流 (DDR1 端子あたり)	$-I_{OL}$	-	-	16	mA
出力ハイレベル許容電流 (PCI1 端子あたり)		-	-	4	
出力ハイレベル許容電流 (DDR と PCI 以外の 1 端子あたり)		-	-	2	
出力ハイレベル許容電流 (総和)	$ -I_{OH} $	-	-	40	

【注】 LSI の信頼性を確保するため、出力電流値は表 43.7 の値を超えないようにしてください。

43.4 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 43.8 最大動作周波数

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項 目		記号	Min.	Typ.	Max.	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	200	-	267	MHz
	DDR-SDRAM バス		100	-	134	
	外部バス		50	-	67	
	PCI バス		32	-	67	
	周辺モジュール 0		50	-	67	
	周辺モジュール 1		25	-	34	
	RTC 発振器		32	-	33	kHz

43.4.1 クロック・制御信号タイミング

表 43.9 クロック・制御信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項 目		記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数*1	PLL1/PLL2 動作時	f _{EX}	25	33.4	MHz	
EXTAL クロック入力サイクル時間		t _{EXCYC}	30	40	ns	43.2
EXTAL クロック入力ローレベルパルス幅		t _{EXL}	3.5	-	ns	43.2
EXTAL クロック入力ハイレベルパルス幅		t _{EXH}	3.5	-	ns	43.2
EXTAL クロック入力立ち上がり時間		t _{EXr}	-	4	ns	43.2
EXTAL クロック入力立ち下がり時間		t _{EXf}	-	4	ns	43.2
CLKOUT クロック出力*2	PLL1/PLL2 動作時	t _{OP}	50	67	MHz	
CLKOUT クロック出力サイクル時間		t _{CLKOUTCYC}	15	20	ns	43.3
CLKOUT クロック出力ローレベルパルス幅		t _{CLKOUTL1}	3	-	ns	43.3
CLKOUT クロック出力ハイレベルパルス幅		t _{CLKOUTH1}	3	-	ns	43.3
CLKOUT クロック出力立ち上がり時間		t _{CLKOUTr}	-	3	ns	43.3
CLKOUT クロック出力立ち下がり時間		t _{CLKOUTf}	-	3	ns	43.3
CLKOUT クロック出力ローレベルパルス幅		t _{CLKOUTL2}	3	-	ns	43.4
CLKOUT クロック出力ハイレベルパルス幅		t _{CLKOUTH2}	3	-	ns	43.4
パワーオン発振安定時間		t _{OSC1}	30	-	ms	43.5
パワーオン発振安定時間/モード安定時間		t _{OSCMD}	30	-	ms	43.5
MDn リセットホールド時間		t _{MDRH}	0	-	ns	43.5
CLKOUT クロック出力安定遅延時間		t _{CKOD}	-	4.1	μs	43.5

項目	記号	Min.	Max.	単位	参照図
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	43.5
リセット保持時間	t_{RESH}	0	-	ms	43.5
PRESET パルス幅	t_{RESPW}	20	-	t_{cyc}^{*3}	43.5
パワーオン RTC 発振安定時間	$t_{RTC-OSC}$	-	3	s	
PLL 同期安定時間	t_{PLL}	200	-	μs	43.6
スタンバイ復帰発振安定時間 2	t_{SOC2}	10	-	ms	43.7
MRESET パルス幅	t_{RESMW}	20	-	t_{cyc}^{*3}	43.8
MRESET セットアップ時間	t_{RESMS}	23	-	ns	43.8
MRESET ホールド時間	t_{RESMH}	2	-	ns	43.8

【注】 *1 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路としてタンク回路が必要になります。

*2 CLKOUT 端子への接続負荷容量は最大 50pF としてください。

*3 t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。

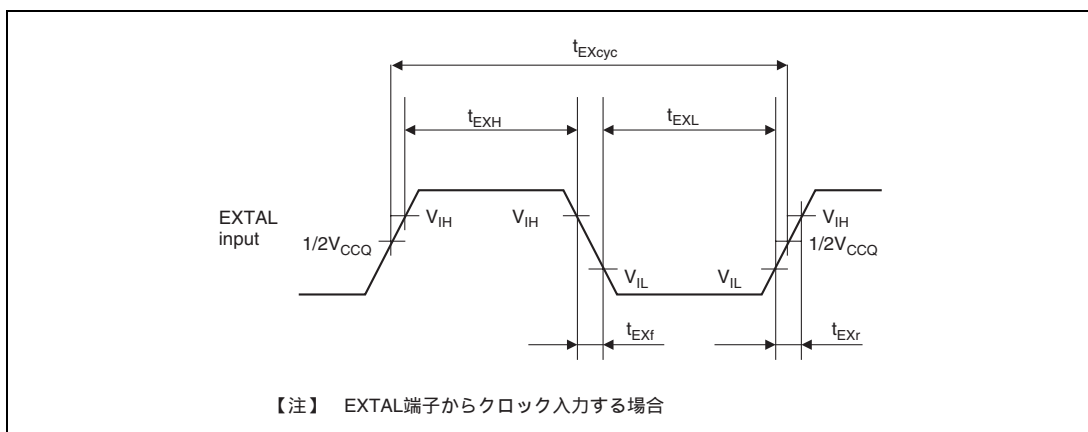


図 43.2 EXTAL クロック入力タイミング

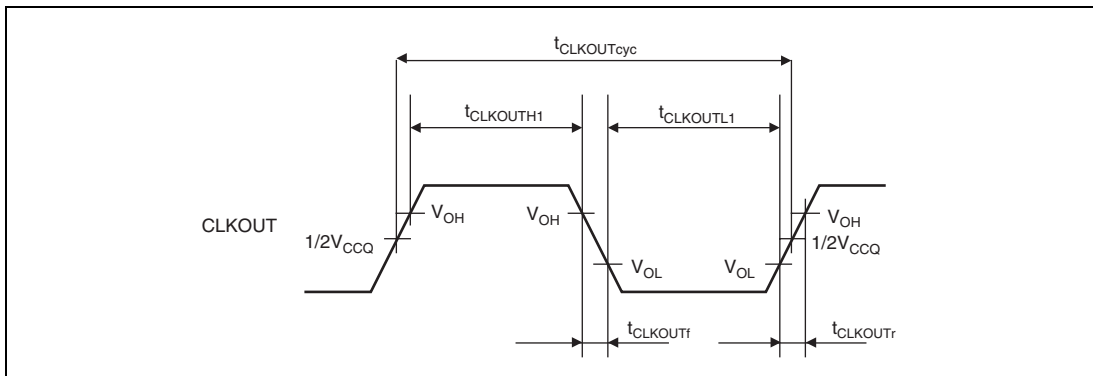


図 43.3 CLKOUT クロック出力タイミング (1)

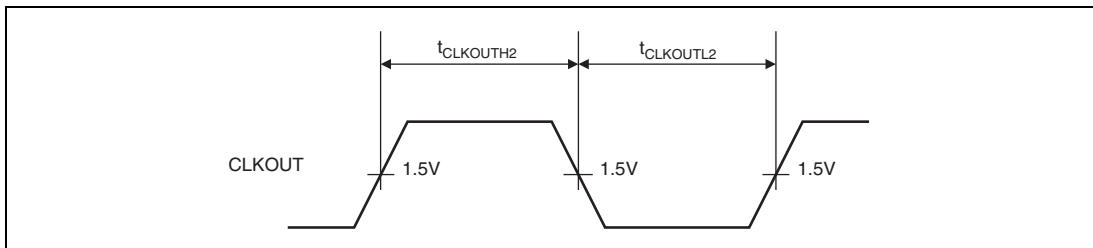


図 43.4 CLKOUT クロック出力タイミング (2)

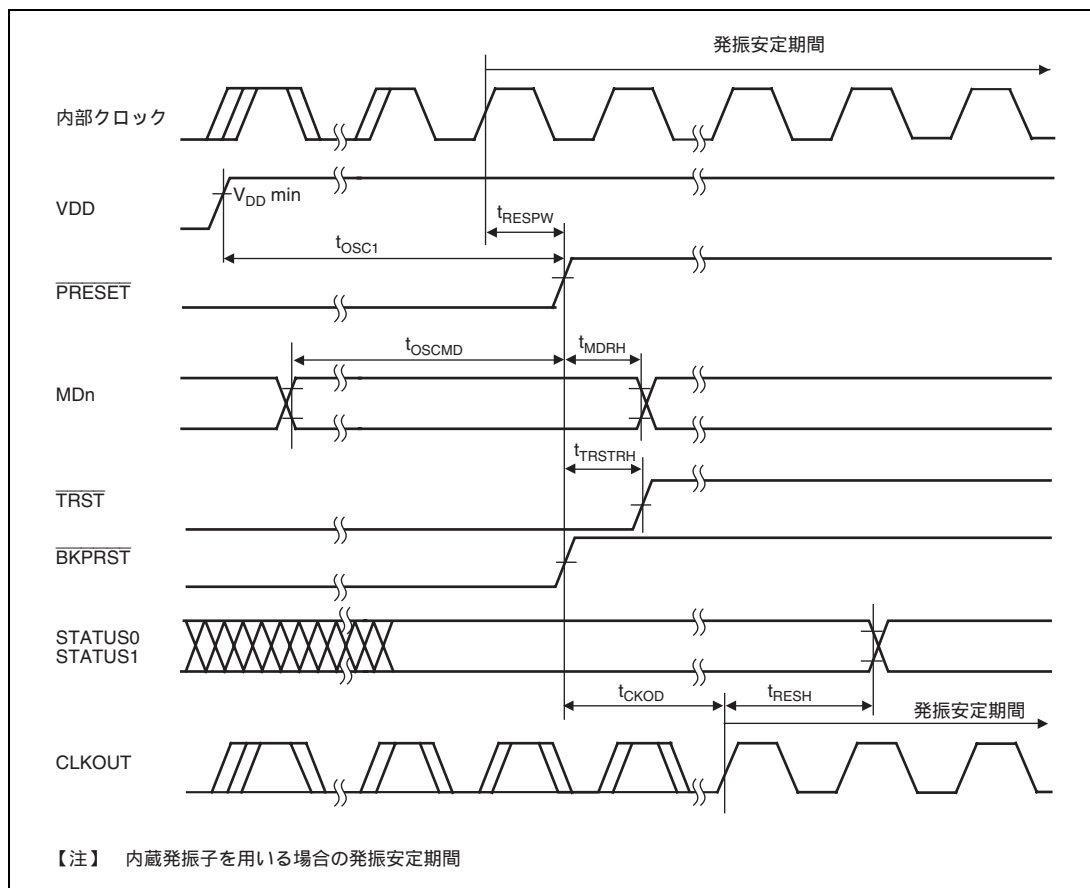


図 43.5 パワーオン時発振安定時間

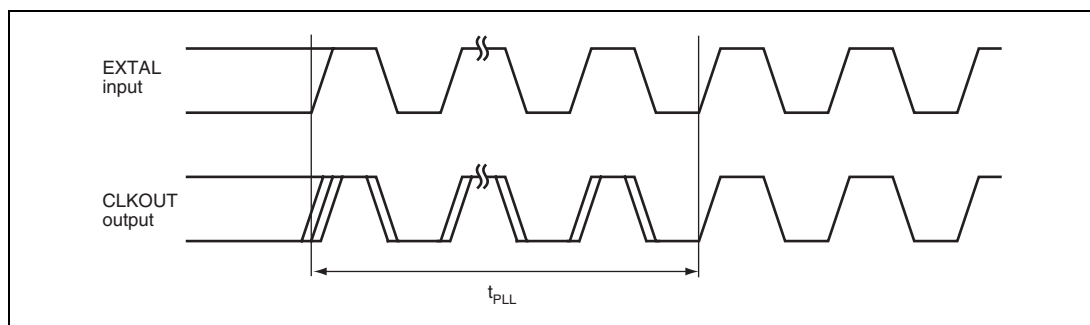


図 43.6 PLL 同期安定時間

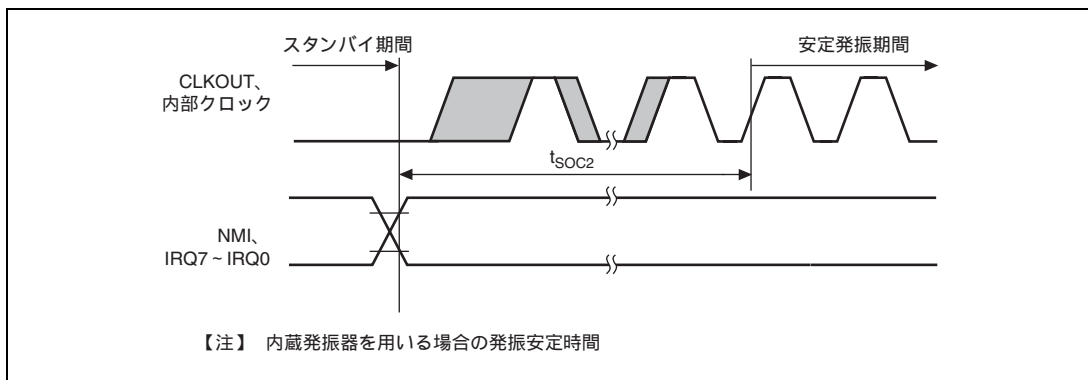


図 43.7 スタンバイ復帰発振安定時間 (NMI, IRQ による復帰)

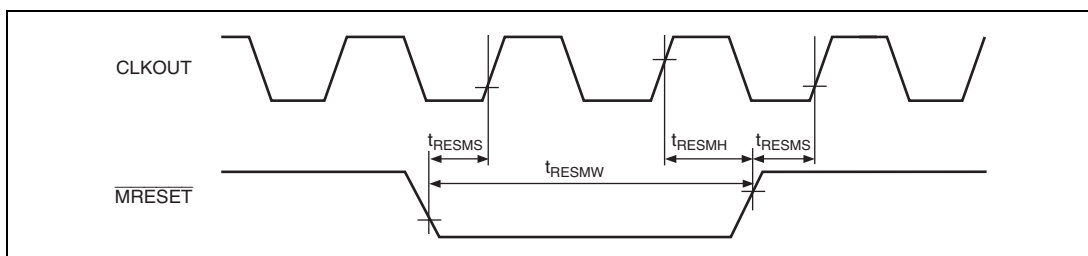


図 43.8 リセット入力タイミング

43.4.2 制御信号タイミング

表 43.10 制御信号タイミング

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項目	記号	Min.	Max.	単位	参照図
BREQ セットアップ時間	t_{BREQS}	6	-	ns	43.9
BREQ ホールド時間	t_{BREQH}	3	-	ns	43.9
BACK 遅延時間	t_{BACKD}	1	13	ns	43.9
バストライステート遅延時間	t_{BOFF1}	-	13	ns	43.9
バスパツファオントタイム	t_{BON1}	-	13	ns	43.9
STATUS0、STATUS1 遅延時間	t_{STD}	-	20	ns	43.10

【注】 t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。

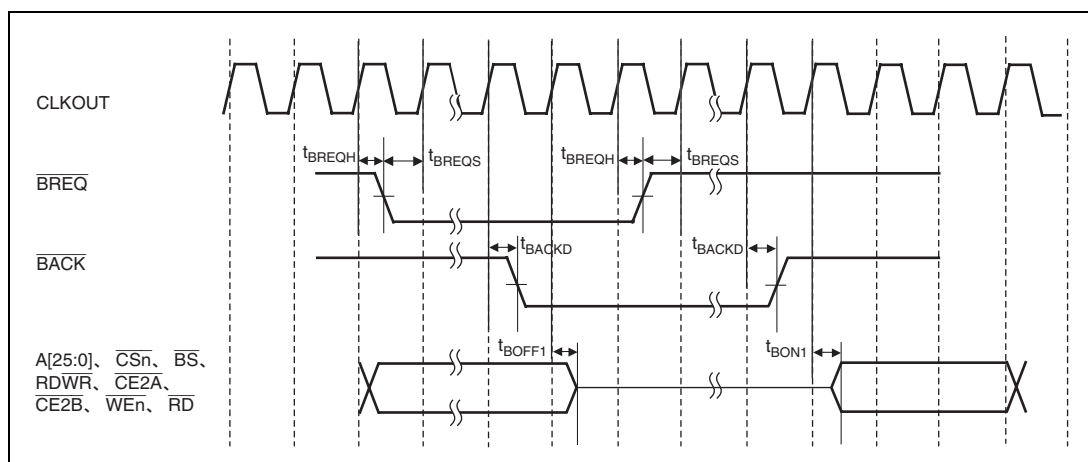


図 43.9 制御信号タイミング

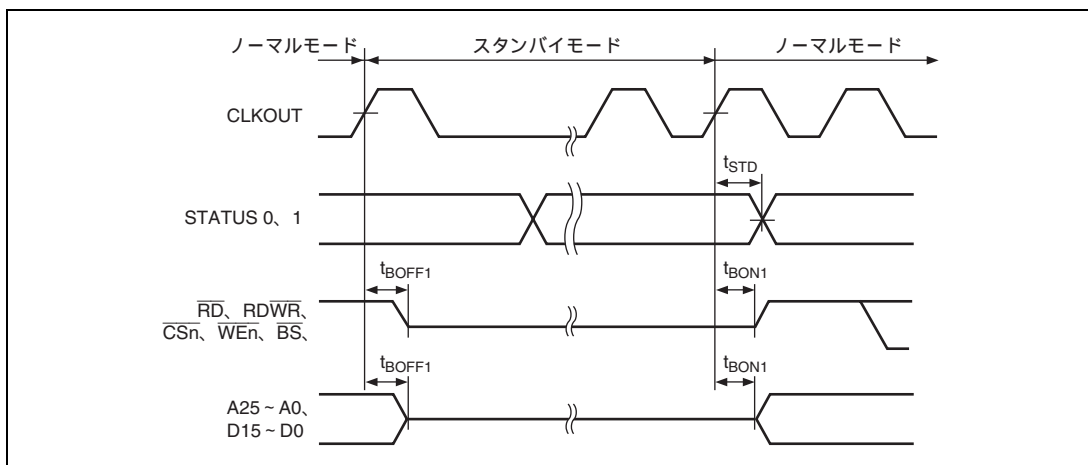


図 43.10 スタンバイ時の端子ドライバタイミング

43.4.3 バスタイミング

表 43.11 バスタイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, T_a = -20 \sim 75$$

項目	記号	Min.	Max.	単位	備考	参照図
アドレス遅延時間	t_{AD}	1	13	ns		43.11 ~ 43.21, 43.26, 43.27
BS 遅延時間	t_{BSD}	1	13	ns		43.11 ~ 43.27
CSn 遅延時間	t_{CSD}	1	13	ns		43.11 ~ 43.27
RDWR 遅延時間	t_{RWD}	1	13	ns		43.11 ~ 43.27
RD 遅延時間	t_{RSD}	1	13	ns		43.11 ~ 43.19, 43.26, 43.27
読み出しデータセットアップ時間	t_{RDS}	6	-	ns		43.11 ~ 43.22, 43.24, 43.26, 43.27
読み出しデータホールド時間	t_{RDH}	2	-	ns		43.11 ~ 43.22, 43.24, 43.26, 43.27
WEn 遅延時間 (立ち下がりエッジ時)	t_{WEDF}	-	13	ns		43.11 ~ 43.14, 43.19, 43.26, 43.27
WEn 遅延時間	t_{WED1}	1	13	ns		43.11 ~ 43.14, 43.19, 43.22, 43.23, 43.26, 43.27
書き込みデータ遅延時間	t_{WDD}	1	13	ns		43.11 ~ 43.14, 43.19 ~ 43.25
RDY セットアップ時間	t_{RDYS}	6	-	ns		43.12, 43.13, 43.16, 43.18 ~ 43.27
RDY ホールド時間	t_{RDYH}	2.5	-	ns		43.12, 43.13, 43.16, 43.18 ~ 43.27
FRAME 遅延時間	t_{FMD}	1	13	ns	MPX	43.22 ~ 43.25
IOIS16 セットアップ時間	t_{IO16S}	6	-	ns	PCMCIA	43.20, 43.21
IOIS16 ホールド時間	t_{IO16H}	2.5	-	ns	PCMCIA	43.20, 43.21
IOWR 遅延時間 (立ち下がりエッジ時)	t_{IOWSDF}	1	13	ns	PCMCIA	43.20, 43.21
IOR 遅延時間	t_{IORSO}	1	13	ns	PCMCIA	43.20, 43.21

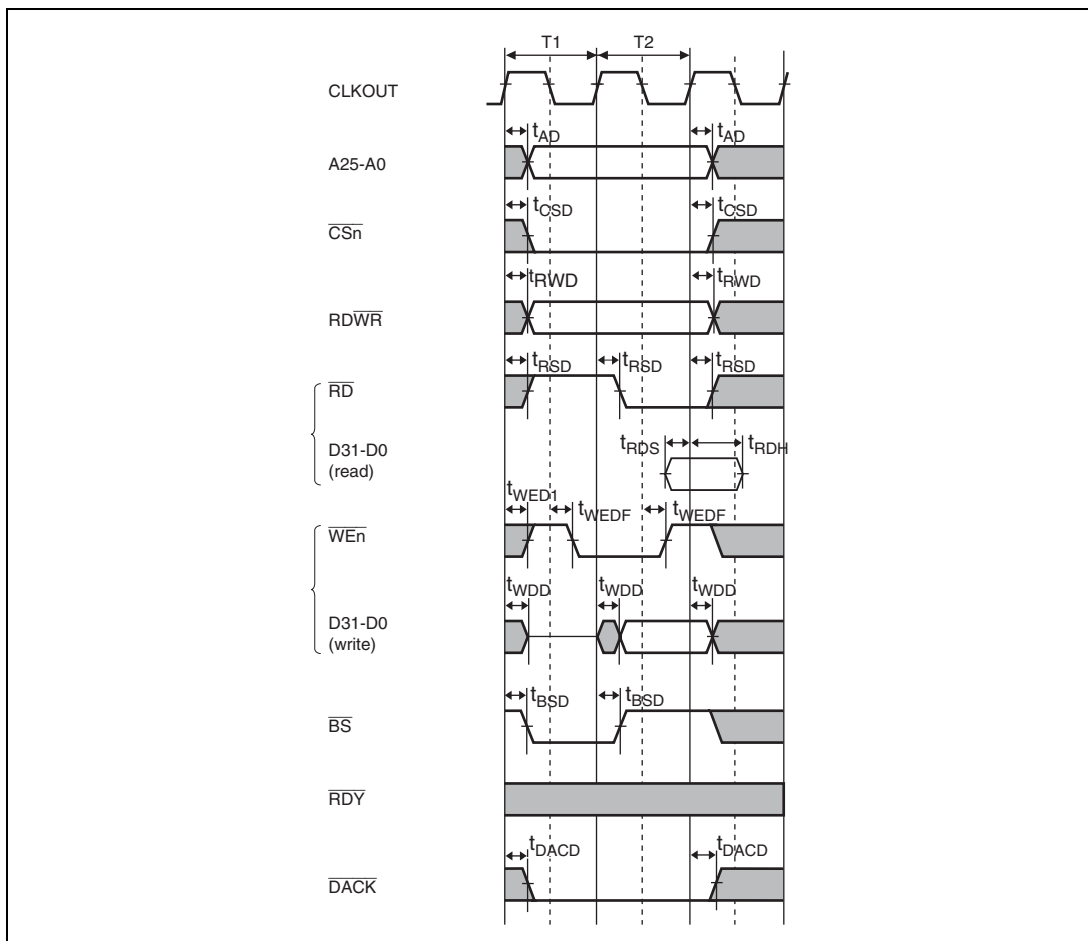


図 43.11 SRAM バスサイクル 基本バスサイクル(ノーウェイト)

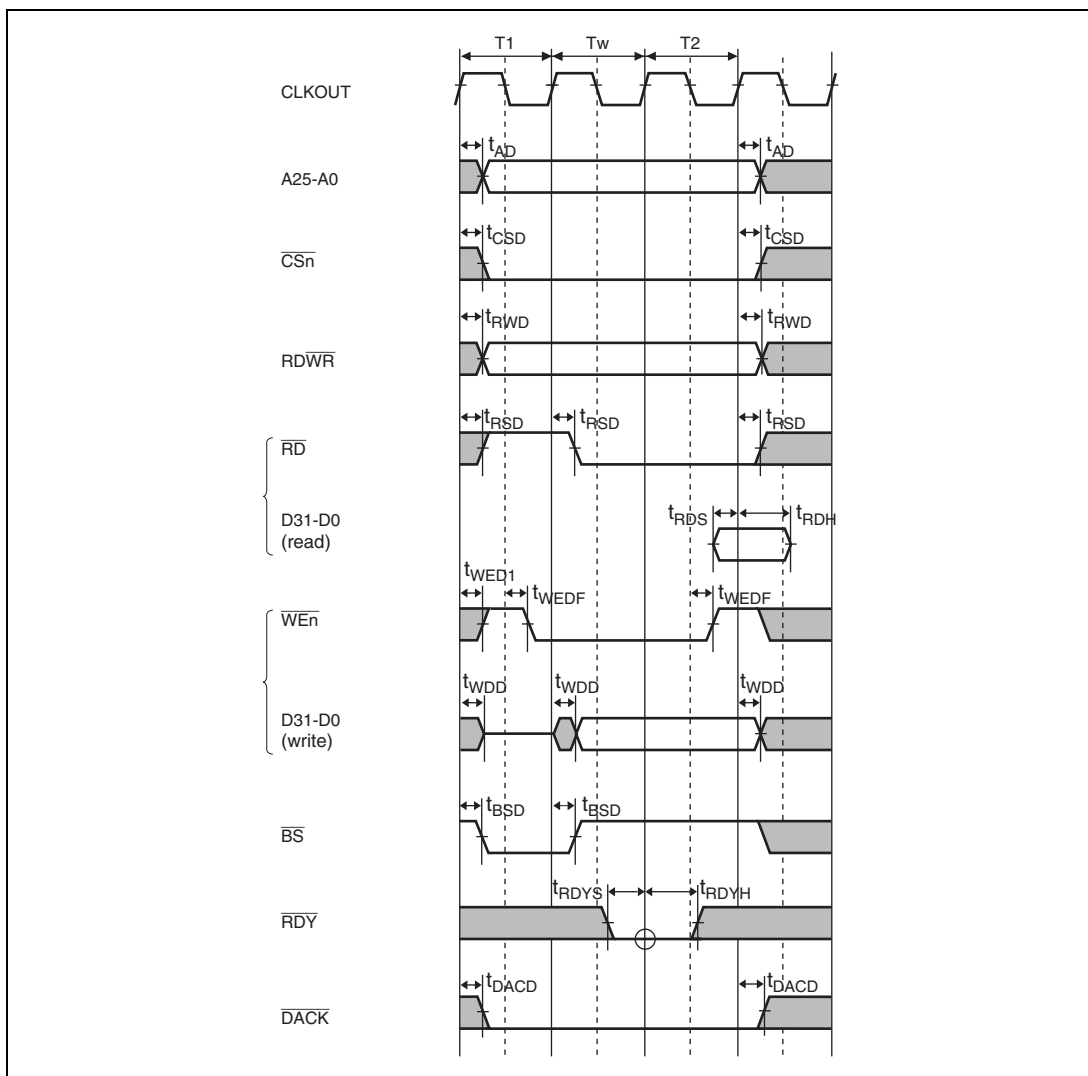


図 43.12 SRAM バスサイクル 基本バスサイクル (ソフトウェアウエイトのみ)

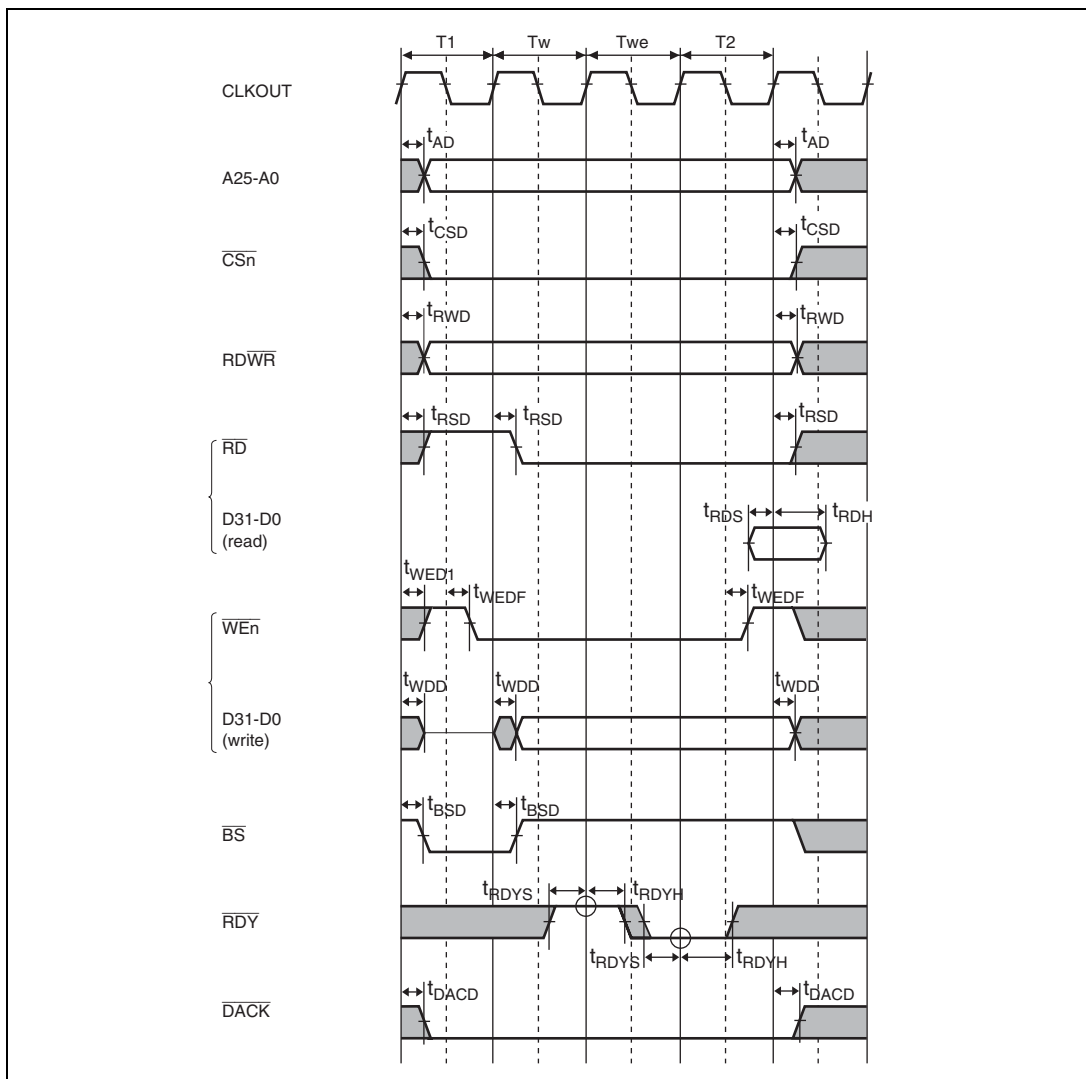


図 43.13 SRAM バスサイクル 基本バスサイクル
(ソフトウェアウェイト+ \overline{RDY} によるウェイト、 \overline{RDY} は同期入力)

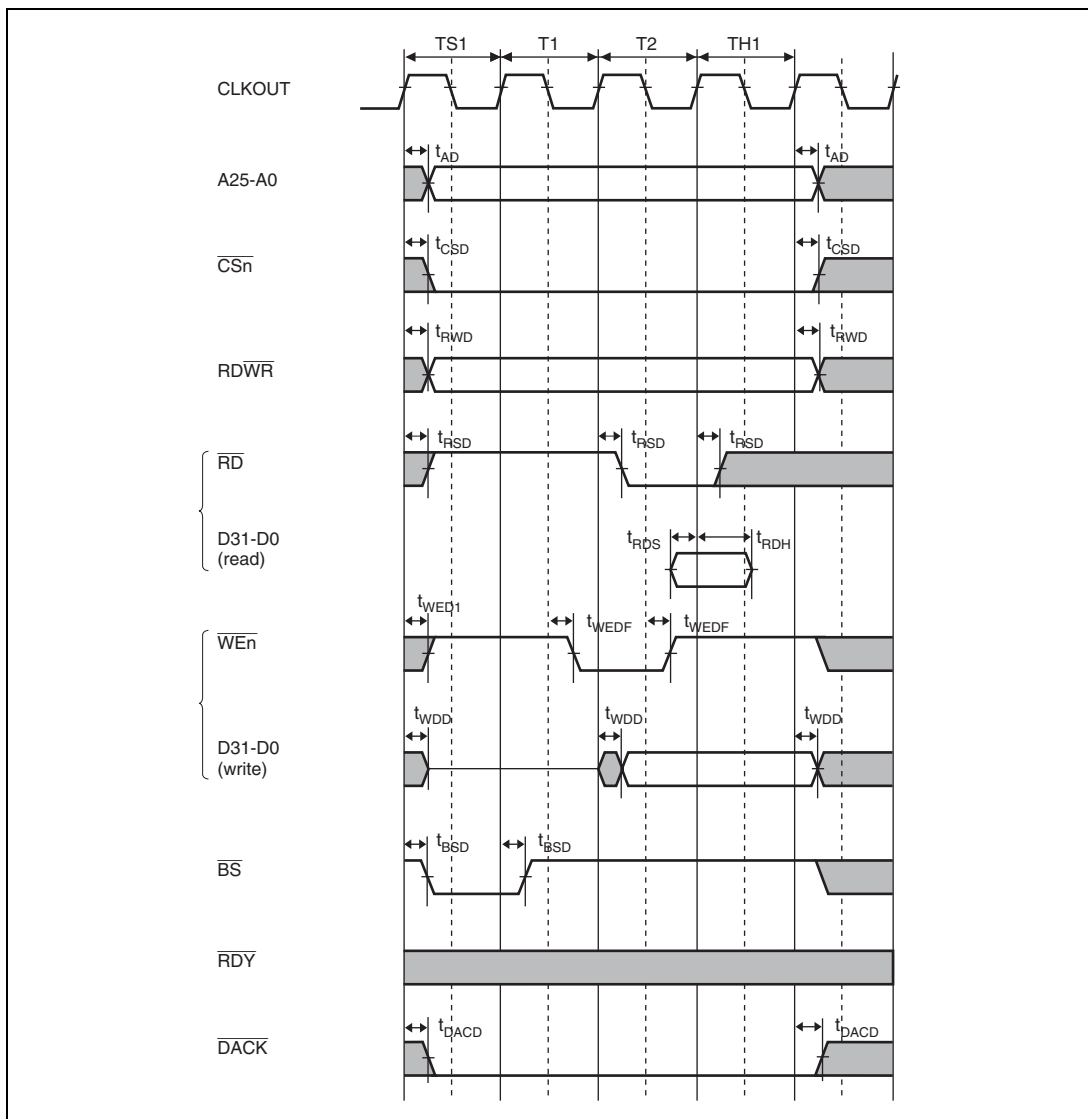


図 43.14 SRAM バスサイクル 基本バスサイクル

(ノーウェイト、アドレスセットアップ/ホールド挿入なし、RDS=1、RDH=0、WTS=1、WTH=1)

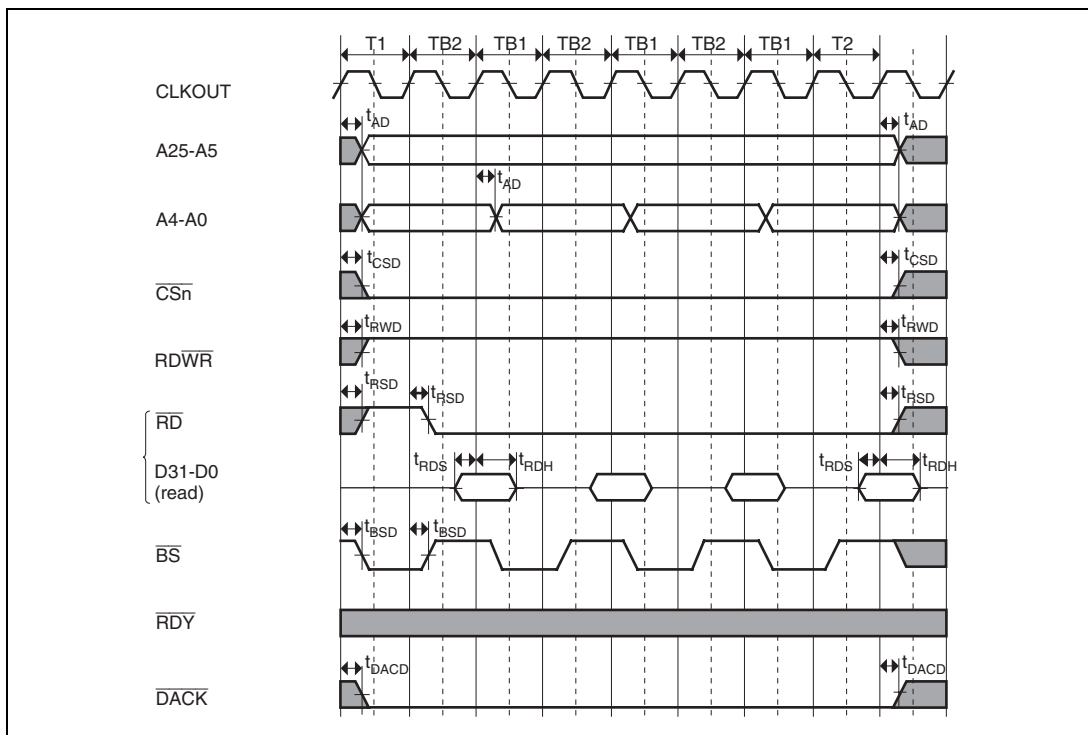


図 43.15 バースト ROM バスサイクル (ノーウェイト)

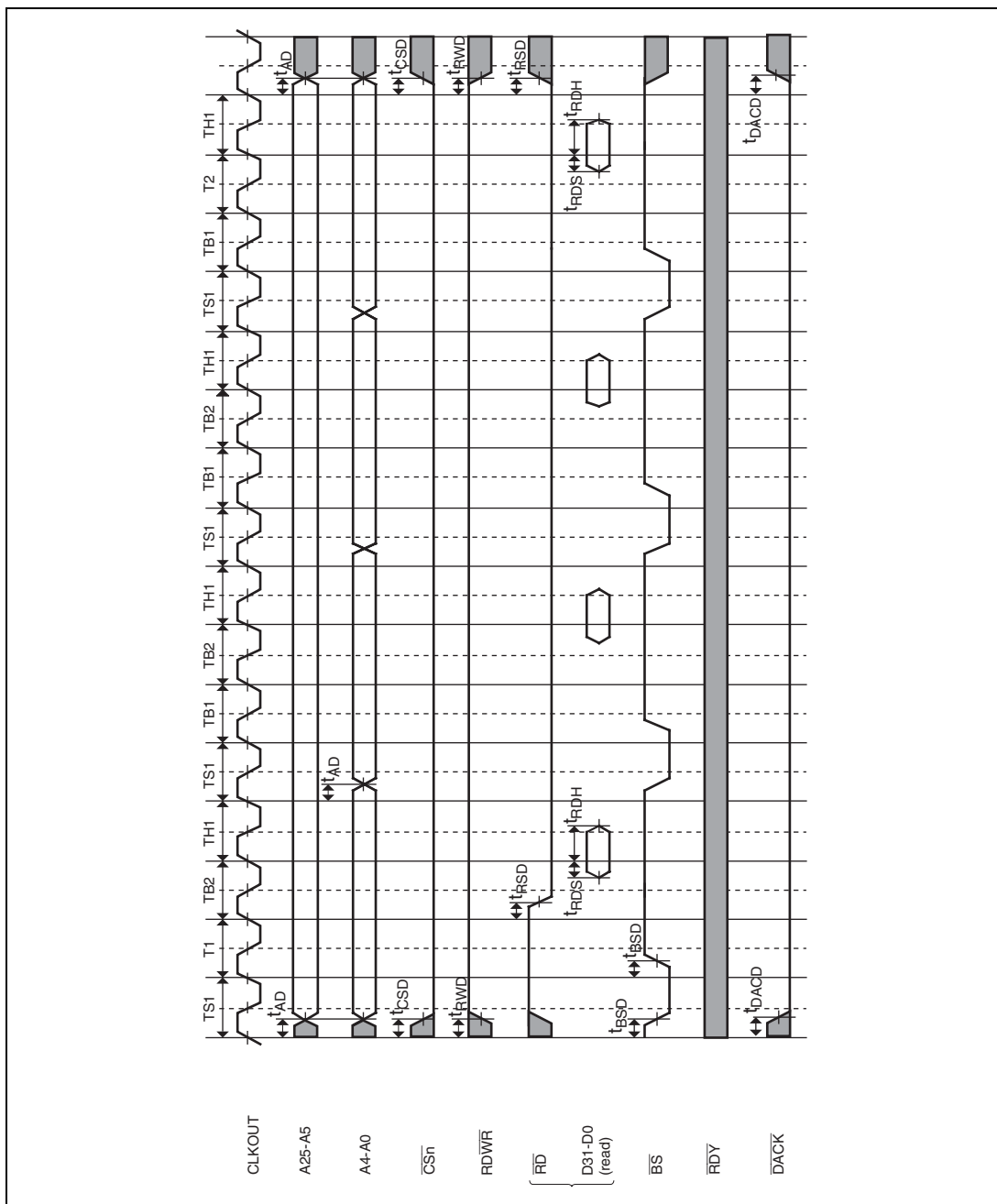


図 43.17 バーストROM バスサイクル
 (ノーウェイト、アドレスセットアップ/ホールド挿入無し、RDS = 1、RDH = 0)

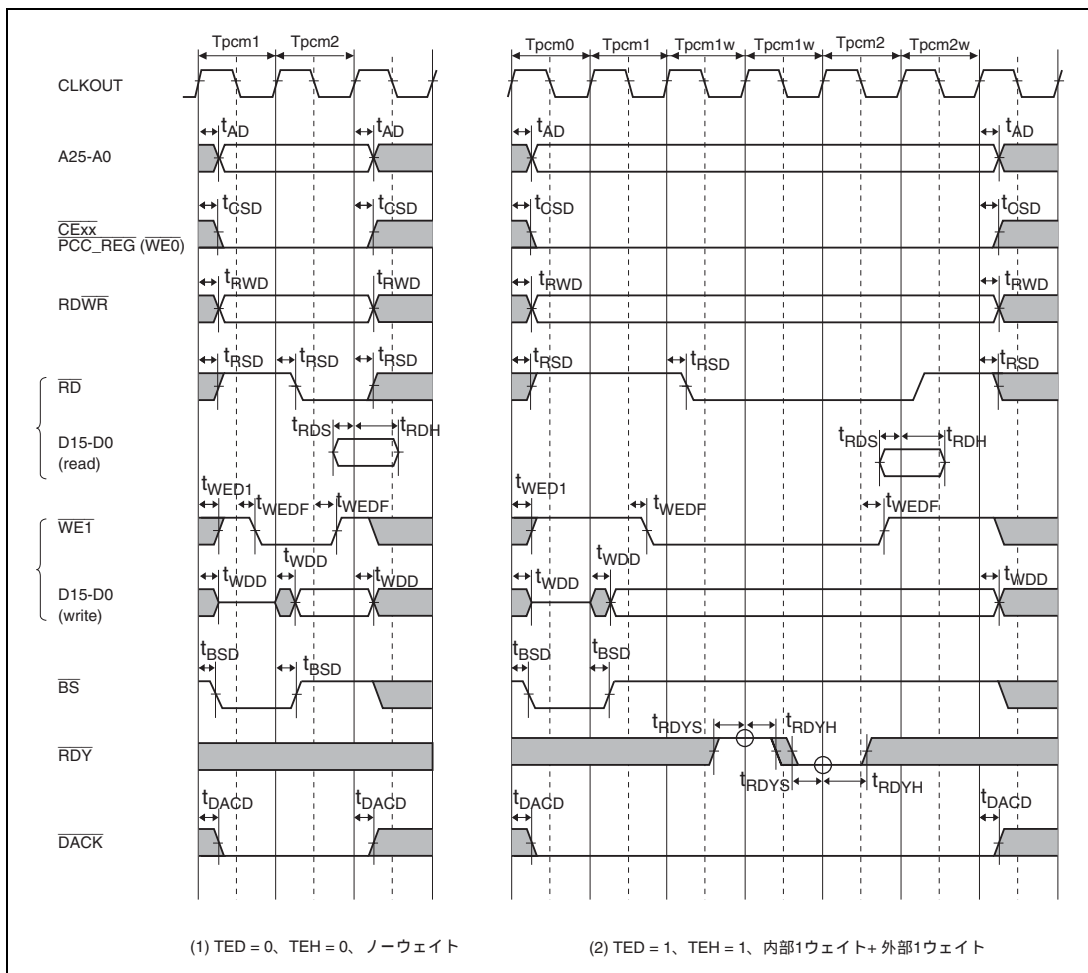


図 43.19 PCMCIA メモリバスサイクル

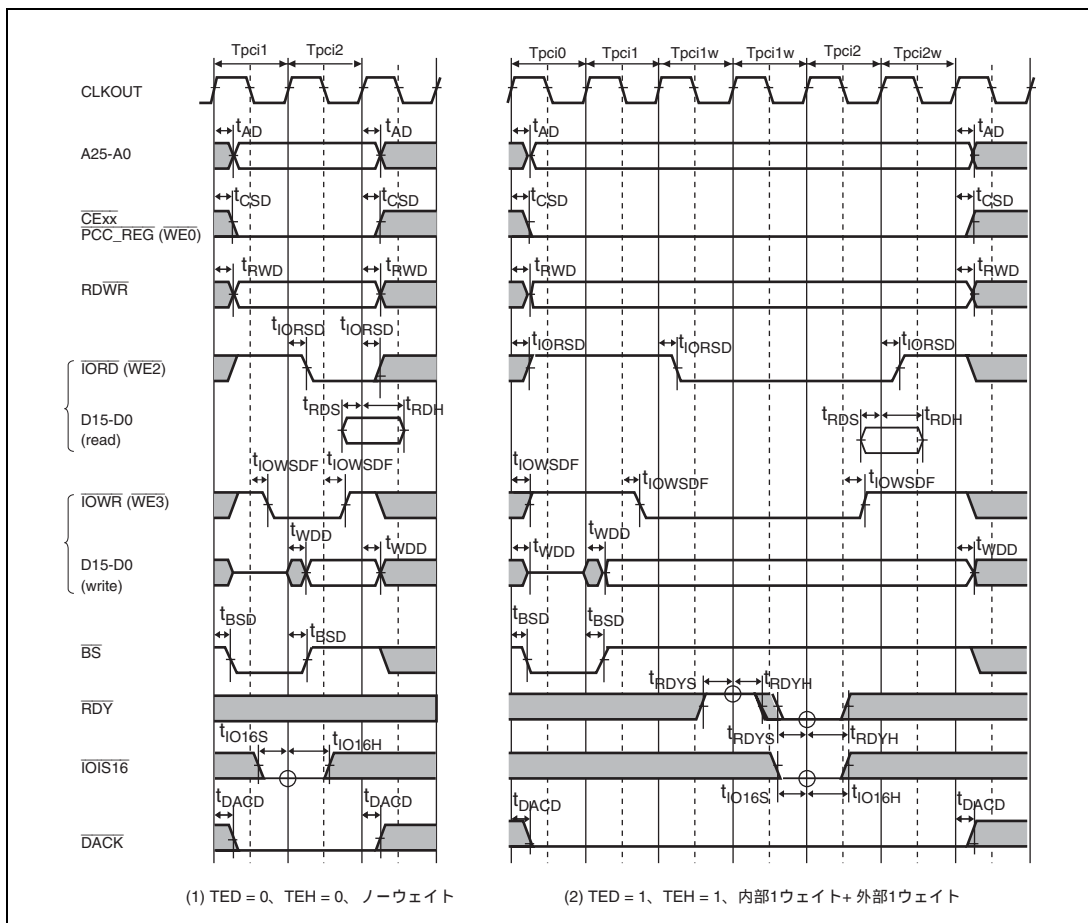


図 43.20 PCMCIA I/O バスサイクル

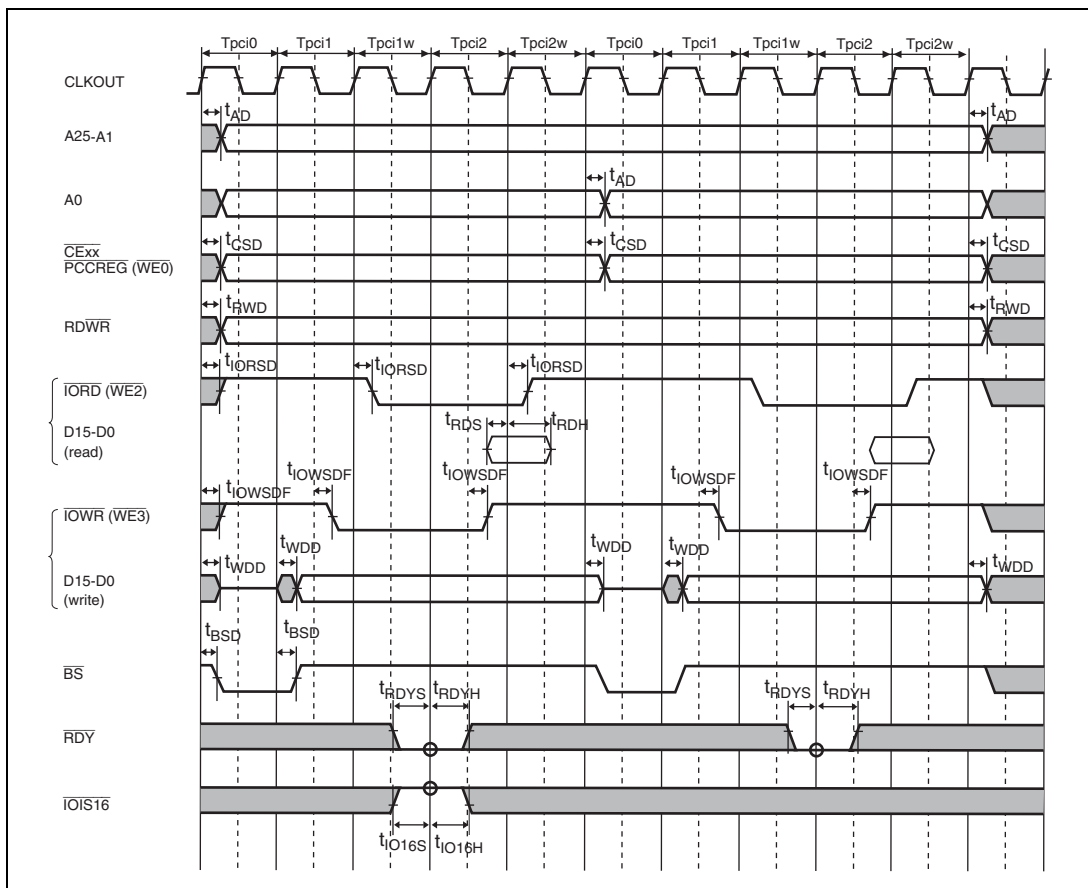


図 43.21 PCMCIA I/O バスサイクル
 (TEDA/TEDB = 1、TEHA/TEHB = 1、IW/PCIW = 1、ダイナミックバスサイジング)

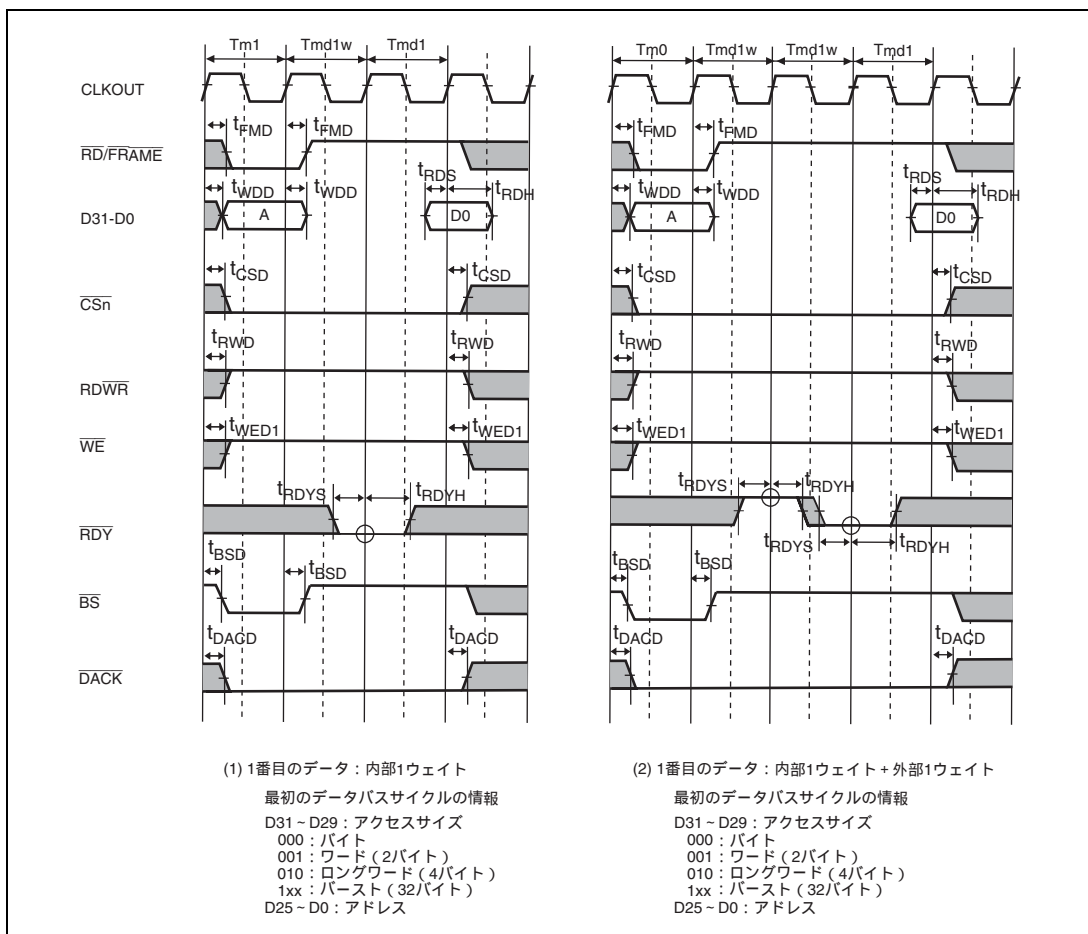


図 43.22 MPX 基本バスサイクル、リード

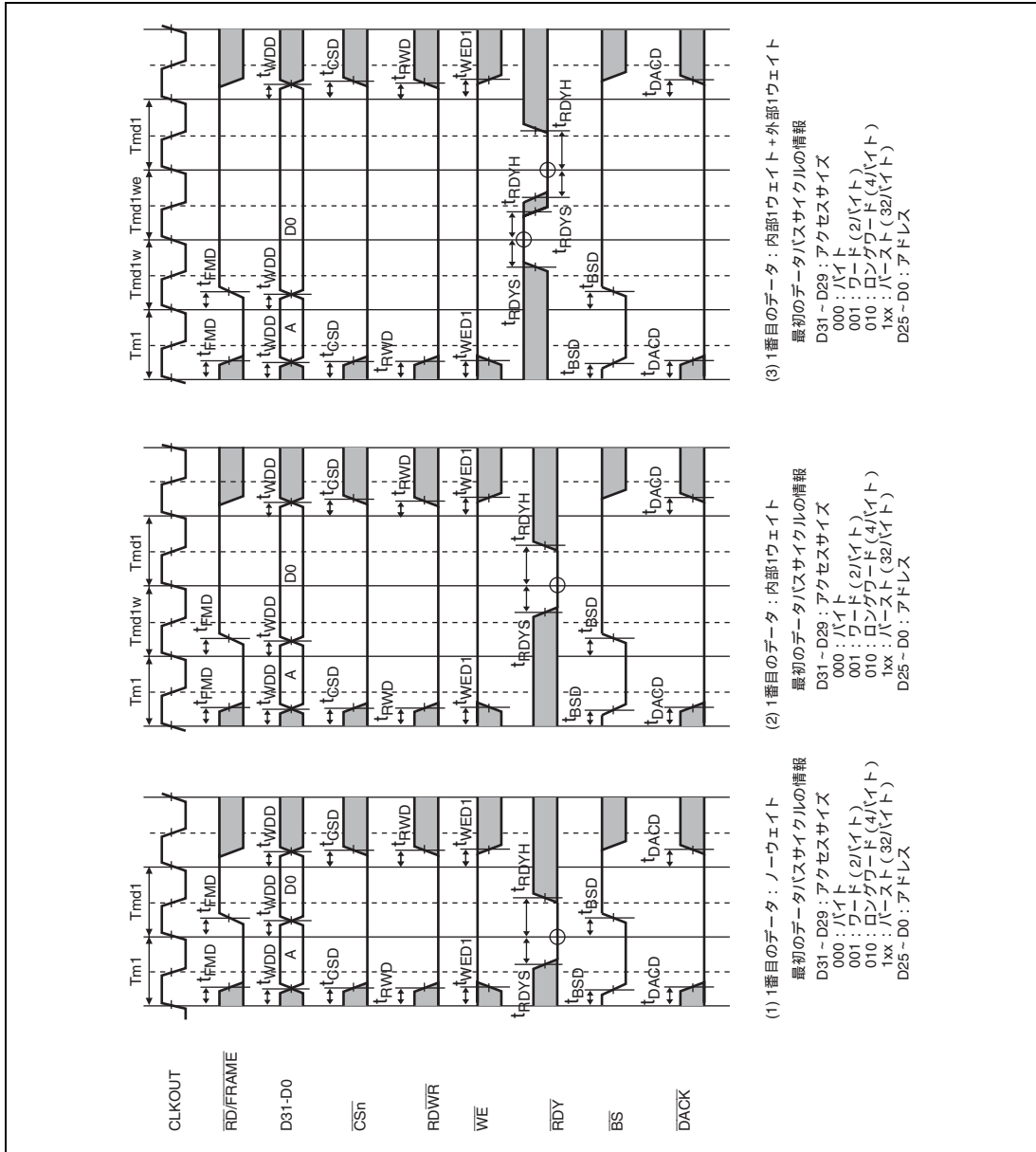


図 43.23 MPX 基本バスサイクル、ライト

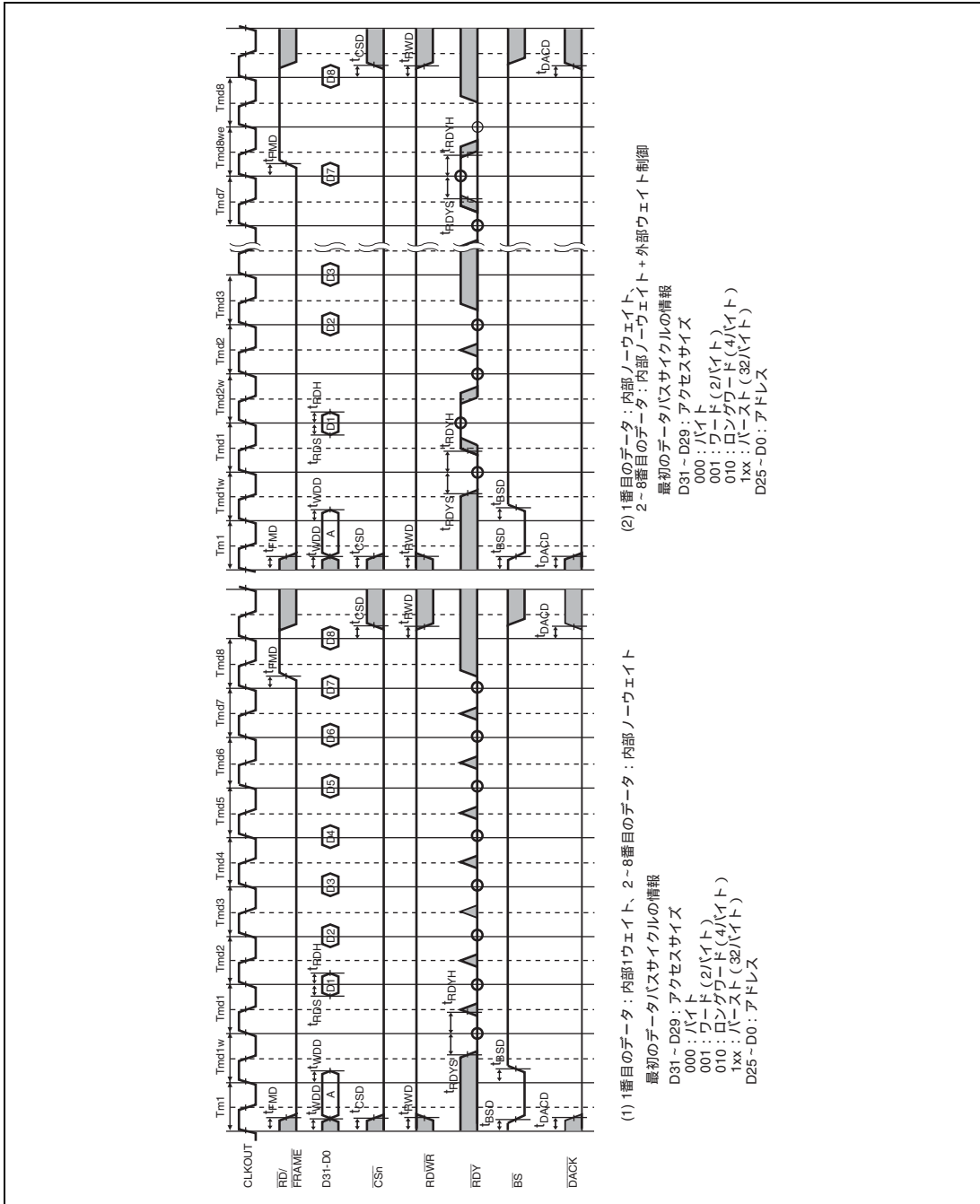


図 43.24 MPX バスサイクル、バーストリード

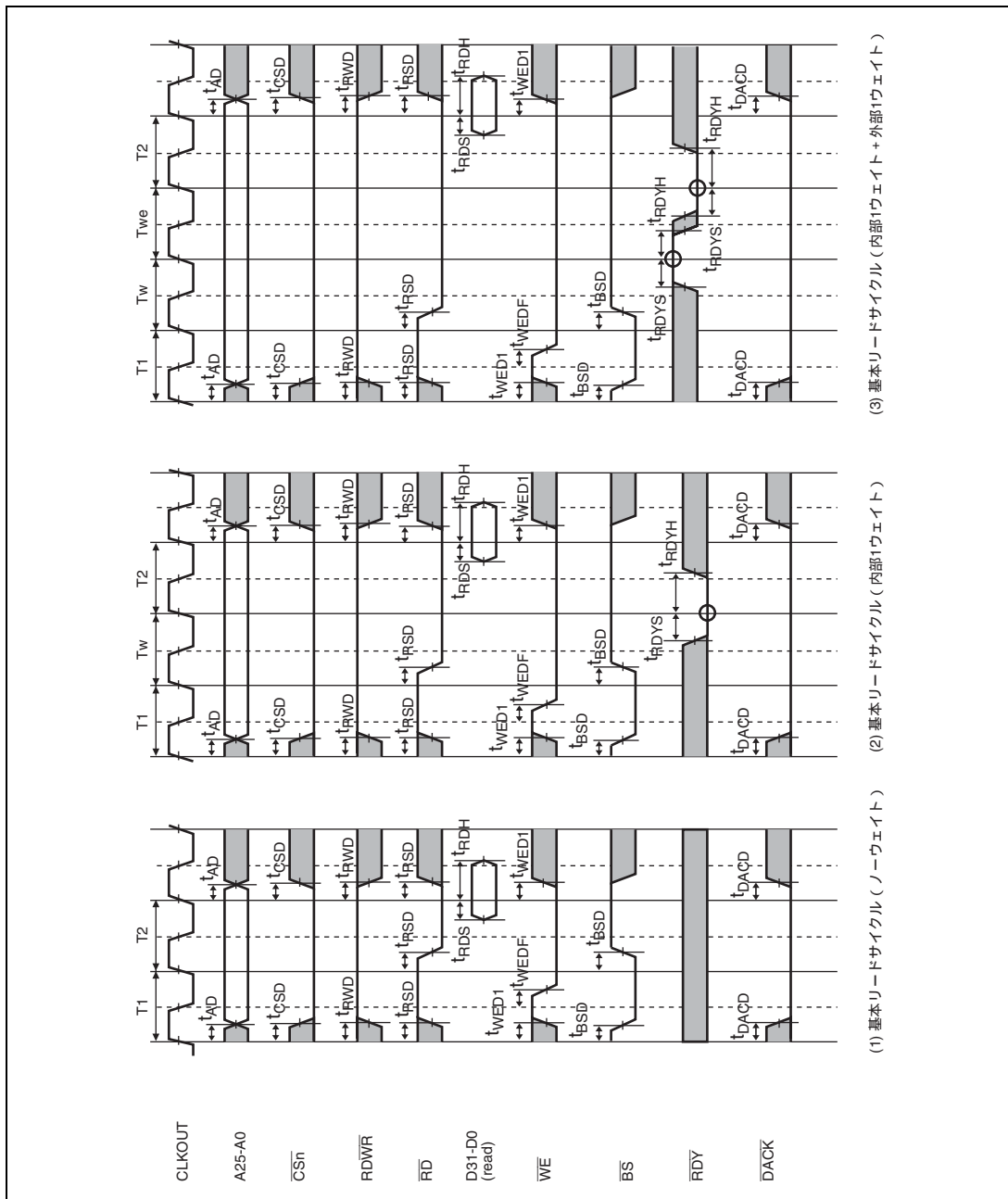


図 43.26 バイト制御 SRAM バスサイクル

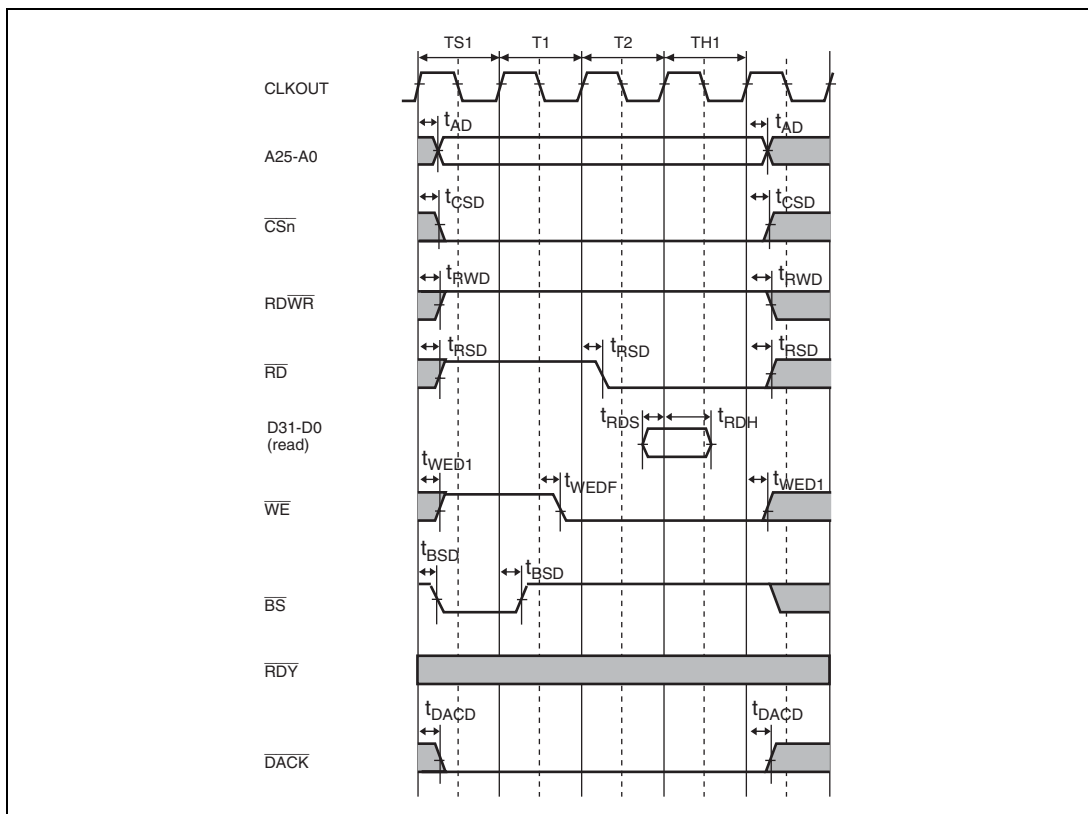


図 43.27 バイト制御 SRAM バスサイクル 基本リードサイクル
 (ノーウェイト、アドレスセットアップ/ホールド時間挿入無し、RDS = 1、RDH = 0)

43.4.4 DDRIF 信号タイミング

表 43.12 DDRIF 信号タイミング

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項 目	記号	Min.	Max.	単位	参照図	備考
M_CLK 出力サイクル	t_{MCLK}	10	12	ns	43.28	DDR200
		7.5	12			DDR266
M_CLK 出力 High レベルパルス幅	t_{MCLKH}	0.45	0.55	t_{MCLK}	43.28	—
M_CLK 出力 Low レベルパルス幅	t_{MCLKL}	0.45	0.55	t_{MCLK}	43.28	
M_CLK 立ち上がりからのアドレスとコマンド信号のセットアップ時間	t_{ADCTLS}	1.5	-	ns	43.29, 43.30	DDR200
		1.2	-			DDR266
M_CLK 立ち上がり時間からのアドレスとコマンド信号のホールド時間	t_{ADCTLH}	1.5	-	ns	43.29, 43.30	DDR200
		1.2	-			DDR266
M_CLK と M_DQSn とのスキュー時間 (read)	$t_{RMDQS-MCLK}$	-0.75	1.82	ns	43.29	DDR200
		-0.35	1.23			DDR266
M_DQSn と M_Dn とのスキュー時間 (read)	t_{RMDQSQ}	-	0.7	ns	43.29	DDR200
		-	0.6			DDR266
Write コマンドと初回の M_DQSn の遅れ時間 (立ち上がり)	t_{WMDQSS}	0.75	1.2	t_{MCLK}	43.30	
M_CLK 立ち上がりから M_DQSn 立ち下がりセットアップ時間 (write)	t_{WDSS}	0.25	-	t_{MCLK}	43.30	
M_CLK 立ち上がりから M_DQSn 立ち下がりホールド時間 (write)	t_{WDSH}	0.25	-	t_{MCLK}	43.30	
M_DQSn High レベルパルス幅 (write)	t_{WMDQSH}	0.35	-	t_{MCLK}	43.30	
M_DQSn Low レベルパルス幅 (write)	t_{WMDQSL}	0.35	-	t_{MCLK}	43.30	
M_Dn/M_DQMn セットアップ時間と M_DQSn 立ち上がり (write)	t_{WDS}	1.0	-	ns	43.30	DDR200
		0.75	-			DDR266
M_DQSn 立ち上がりから M_Dn/M_DQMn のホールド時間 (write)	t_{WDH}	1.0	-	ns	43.30	DDR200
		0.75	-			DDR266

【注】 t_{MCLK} は MCLK(クロック)サイクルの 1 周期時間を示します。

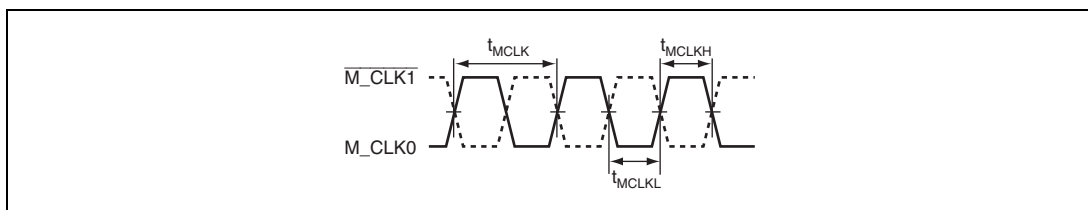


図 43.28 DDRIF MCLK 出力タイミング

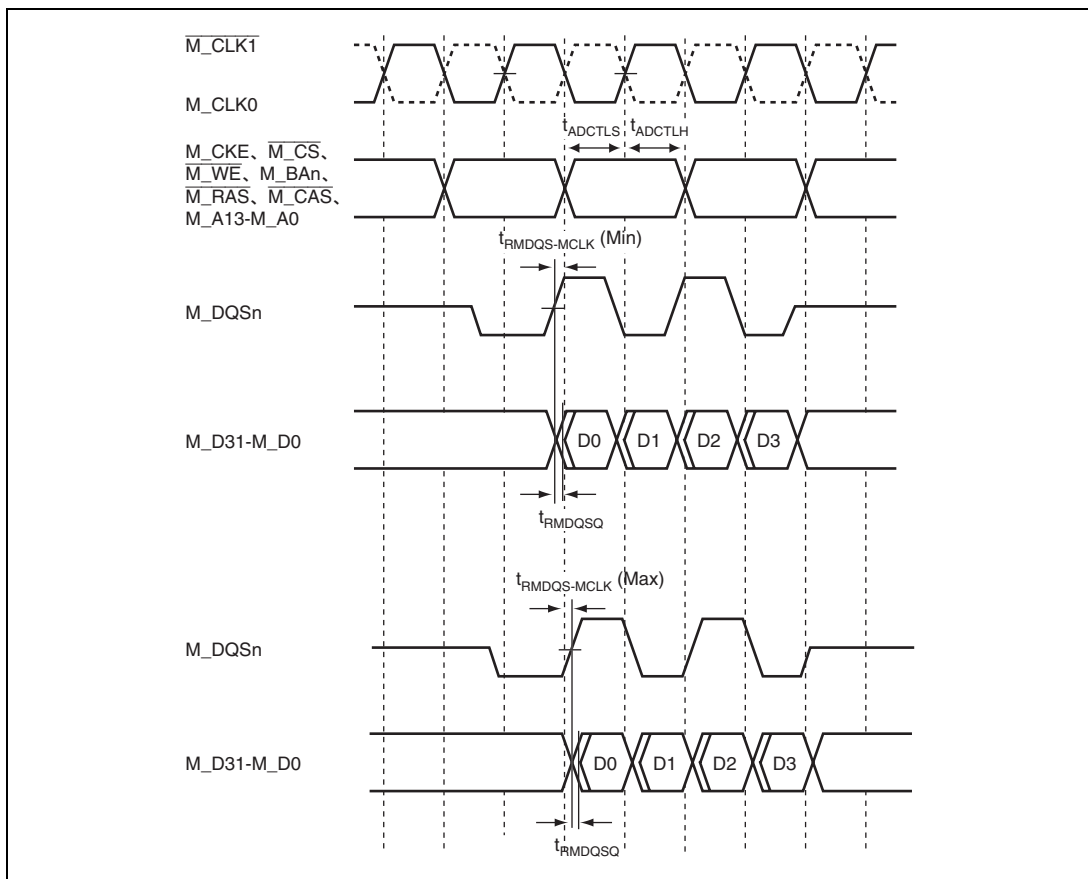


図 43.29 DDR-SDRAM のリードタイミング (2 パーストリード)

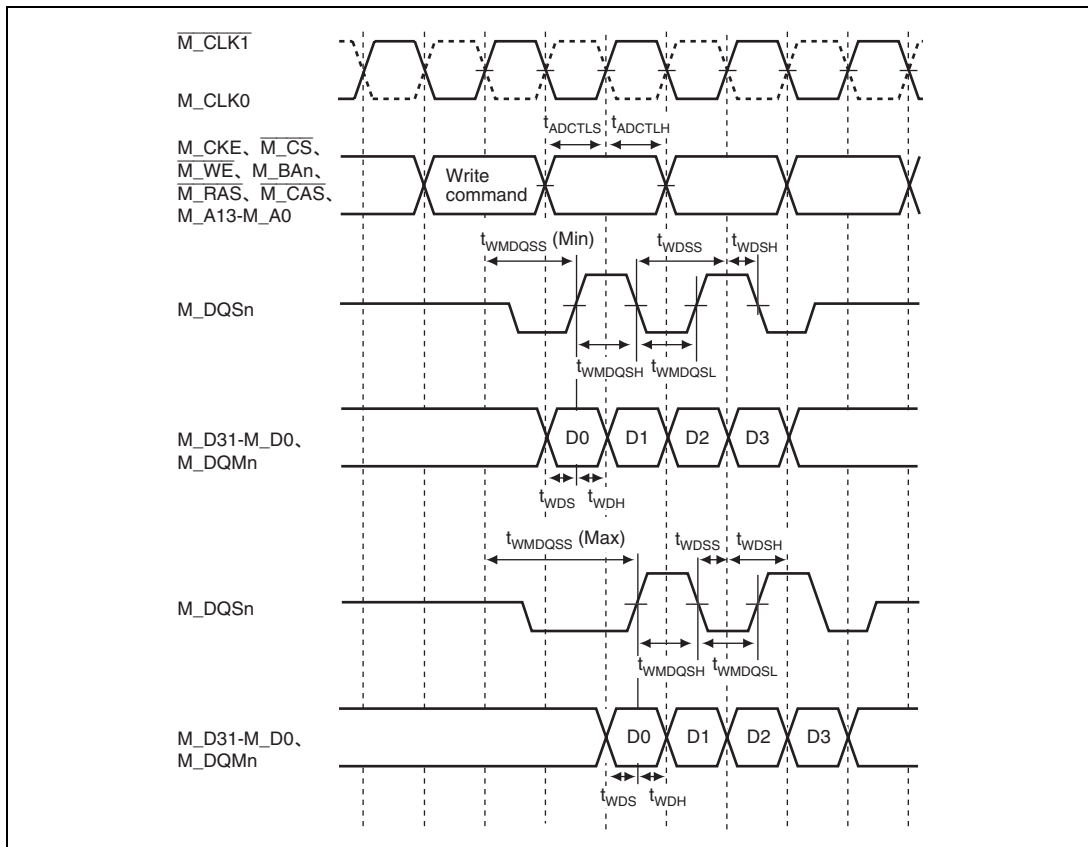


図 43.30 DDR-SDRAM 書き込みタイミング (2 バーストライト)

43.4.5 INTC モジュール信号タイミング

表 43.13 INTC モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
INTC	NMI パルス幅 (High 時)	t_{NMIH}	5	-	t_{cyc}	43.31	通常時 スリープ時
	NMI パルス幅 (Low 時)	t_{NMIL}	5	-	t_{cyc}	43.31	通常時 スリープ時
	IRQ7/IRL7 ~ IRQ0/IRL0 セットアップ時間	t_{IROS}	8	-	ns	43.32	IRQ 入力
	IRQ7/IRL7 ~ IRQ0/IRL0 ホールド時間	t_{IROH}	3	-	ns	43.32	IRQ 入力
	IRQ7/IRL7 ~ IRQ0/IRL0 セットアップ時間	t_{IRLS}	8	-	ns	43.32	IRL 入力
	IRQ7/IRL7 ~ IRQ0/IRL0 ホールド時間	t_{IRLH}	3	-	ns	43.32	IRL 入力
	PINTn 割り込みセットアップ時間	t_{GPIOS}	15	-	ns	43.32	GPIO 割り込み入力
	PINTn 割り込みセットアップ時間	t_{GPIOH}	8	-	ns	43.32	GPIO 割り込み入力
IRQOUT 出力遅延時間	t_{IRQOD}	-	13	ns	43.32	IRQOUT 出力	

【注】 t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。

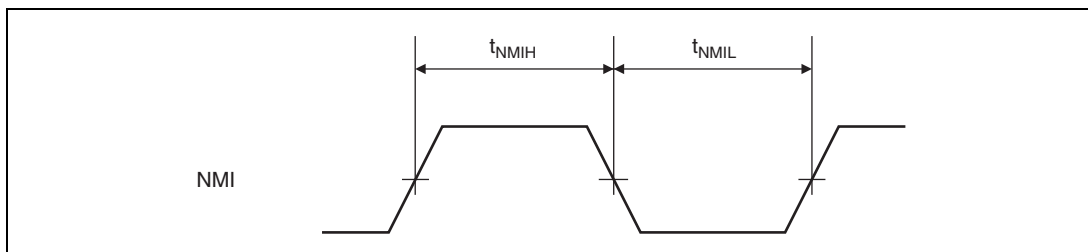


図 43.31 NMI 入力タイミング

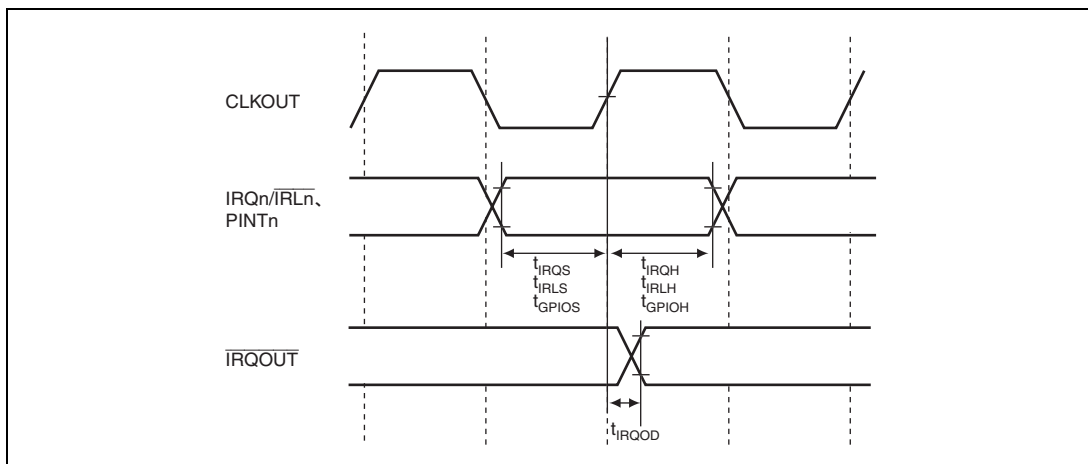


図 43.32 IRQ/IRL、PINT 入力、IRQOUT 出力タイミング

43.4.6 外部 CPU リード/ライト アクセスタイミング

表 43.14 外部 CPU アクセスタイミング

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項目	記号	min	typ	max	単位	参考図
外部 CPU バス使用要求信号(BREQ) セットアップ時間	t_{SEBRQ}	6	-	-	ns	図 43.33
外部 CPU バス使用要求信号(BREQ) ホールド時間	t_{HEBRQ}	3	-	-	ns	
外部 CPU バス使用許可信号(BACK) 出力遅延時間	t_{DEBAK}	1	-	13	ns	
アドレス/ライトデータセットアップ時間	t_{SEDA}	6	-	-	ns	
アドレス/ライトデータホールド時間	t_{HEDA}	3	-	-	ns	
リードデータ出力遅延時間	t_{DED}	1	-	13	ns	
EX_CS \bar{n} 信号セットアップ時間	t_{SECS}	6	-	-	ns	
EX_CS \bar{n} 信号ホールド時間	t_{HECS}	3	-	-	ns	
EX_BS 信号セットアップ時間	t_{SEBS}	6	-	-	ns	
EX_BS 信号ホールド時間	t_{HEBS}	3	-	-	ns	
EX_FRAME 信号セットアップ時間	t_{SEFR}	6	-	-	ns	
EX_FRAME 信号ホールド時間	t_{HEFR}	3	-	-	ns	
EX_RD \bar{W} R 信号セットアップ時間	t_{SERW}	6	-	-	ns	
EX_RD \bar{W} R 信号ホールド時間	t_{HERW}	3	-	-	ns	
EX_RD \bar{Y} 信号出力遅延時間	t_{DERY}	1	-	13	ns	

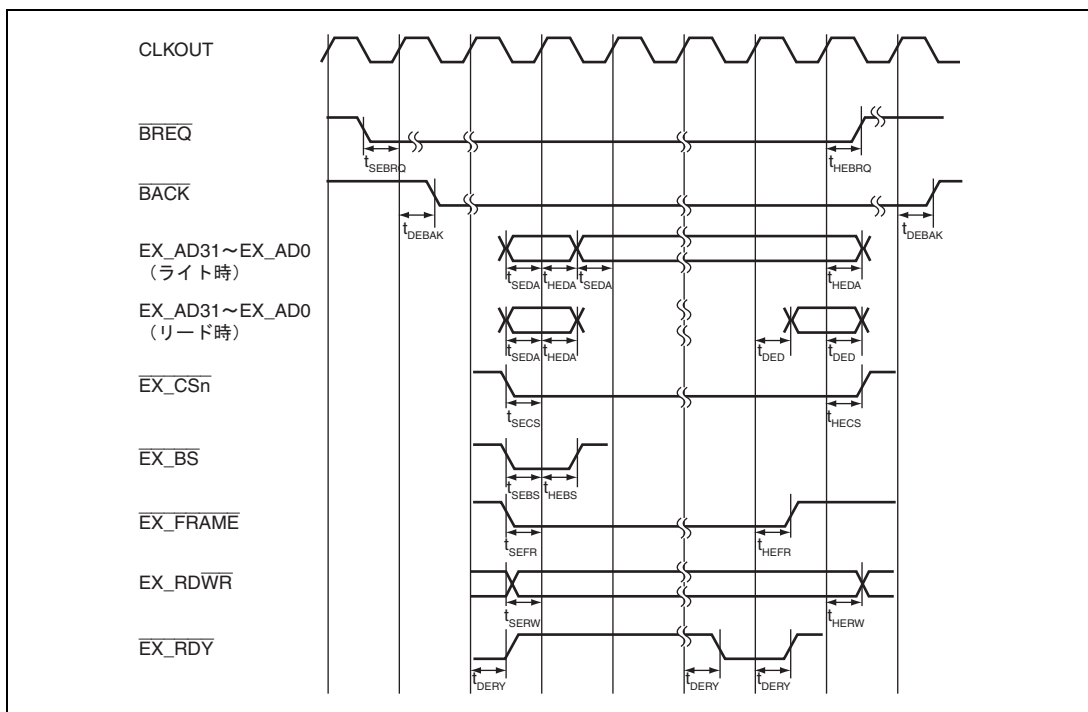


図 43.33 外部 CPU リード/ライトアクセスタイミング

43.4.7 PCIC モジュール信号タイミング

表 43.15 PCIC 信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

端子	項目	記号	33MHz		66MHz		単位	参照図
			Min.	Max.	Min.	Max.		
PCICLK	クロックサイクル	t_{PCICYC}	30	-	15	30	ns	43.34
	クロックパルス幅 (high)	$t_{PCIHIGH}$	11	-	6	-	ns	43.34
	クロックパルス幅 (low)	t_{PCILOW}	11	-	6	-	ns	43.34
	クロック立ち上がり時間	t_{PCIr}	-	4	-	1.5	ns	43.34
	クロック立ち下がり時間	t_{PCIF}	-	4	-	1.5	ns	43.34
PCIRESET	出力遅延時間	t_{PCIRES}	-	14	-	14	ns	-
IDSEL	入力セットアップ時間	t_{PCISU}	4	-	4	-	ns	43.36
	入力ホールド時間	t_{PCIH}	0	-	0	-	ns	43.36
AD31 ~ AD0 CBE3 ~ CBE0 PAR PCIFRAME IRDY TRDY STOP LOCK DEVSEL PERR	出力データ遅延時間	t_{PCIVAL}	-	10	-	10	ns	43.35
	トライステート駆動遅延時間	t_{PCION}	-	10	-	10	ns	43.35
	トライステートハイインピーダンス遅延時間	t_{PCIOFF}	-	12	-	12	ns	43.35
	入力セットアップ時間	t_{PCISU}	4	-	4	-	ns	43.36
	入力ホールド時間	t_{PCIH}	0	-	0	-	ns	43.36
REQ0/ REQOUT REQ3 ~ REQ1 GNT0/ GNTIN GNT3 ~ GNT1	出力データ遅延時間	t_{PCIVAL}	-	10	-	10	ns	43.35
	トライステート駆動遅延時間	t_{PCION}	-	10	-	10	ns	43.35
	トライステートハイインピーダンス遅延時間	t_{PCIOFF}	-	12	-	12	ns	43.35
	入力セットアップ時間	t_{PCISU}	4	-	4	-	ns	43.36
	入力ホールド時間	t_{PCIH}	0	-	0	-	ns	43.36
SERR INTA ~ INTD	トライステート駆動遅延時間	t_{PCION}	-	10	-	10	ns	43.35
	トライステートハイインピーダンス遅延時間	t_{PCIOFF}	-	12	-	12	ns	43.35
	入力セットアップ時間	t_{PCISU}	4	-	4	-	ns	43.36
	入力ホールド時間	t_{PCIH}	0	-	0	-	ns	43.36

【注】 SHwy クロック : PCICLK クロック = 2.1:1 ~ 3.3:1 になる範囲は使用できません。

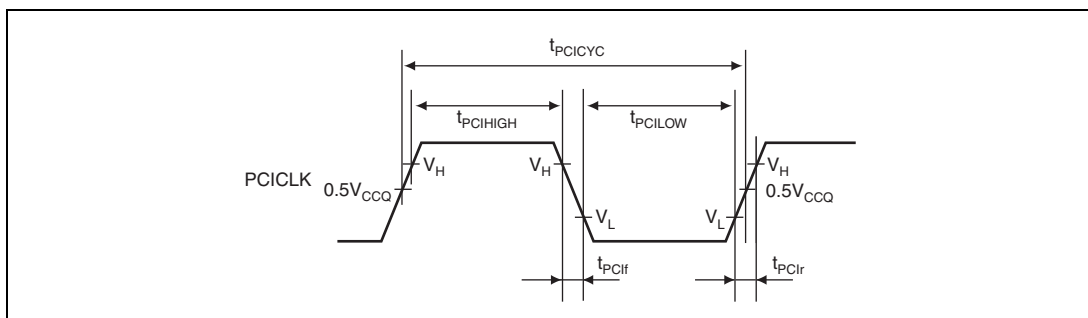


図 43.34 PCI クロック入力タイミング

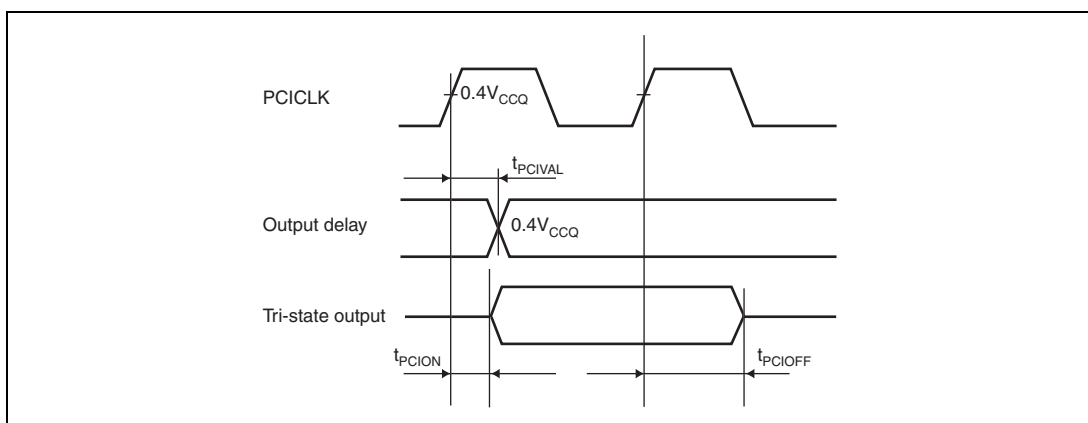


図 43.35 出力信号タイミング

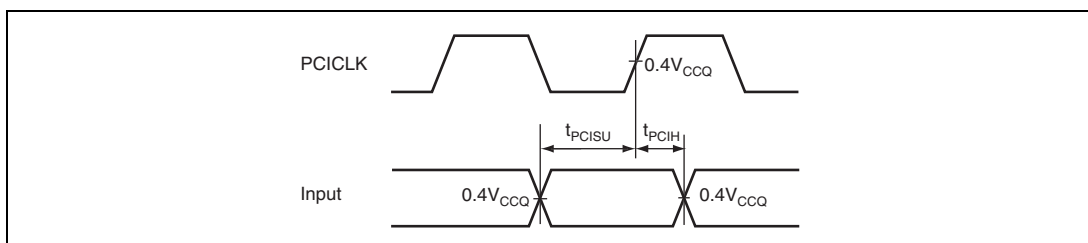


図 43.36 入力信号タイミング

43.4.8 DMAC モジュール信号タイミング

表 43.16 DMAC モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
DMAC	DREQn セットアップ時間	t_{DRQS}	6	-	ns	43.37	
	DREQn ホールド時間	t_{DRQH}	5	-	ns	43.37	
	TENDn 遅延時間	t_{TENDD}	-	13	ns	43.37	
	DACKn 遅延時間	t_{DACKD}	-	13	ns	43.37	

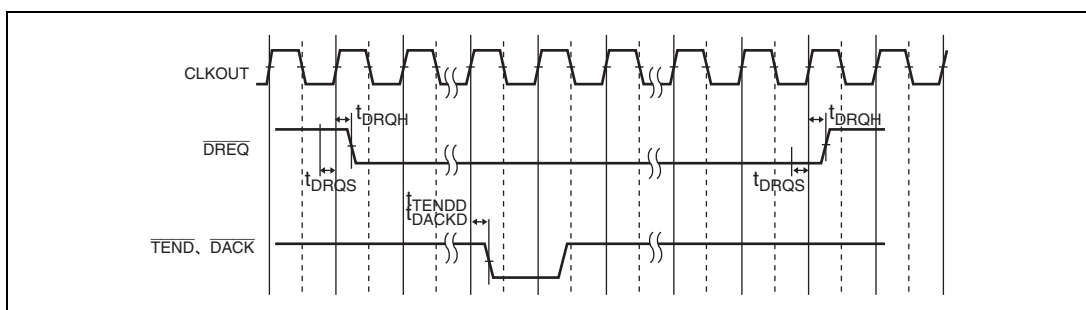


図 43.37 DREQ/TEND/DACK タイミング

43.4.9 TMU モジュール信号タイミング

表 43.17 TMU モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
TMU	タイマクロックパルス幅 (High 時)	t_{TCLKWH}	4	-	t_{Pcy0}	43.38	
	タイマクロックパルス幅 (Low 時)	t_{TCLKWL}	4	-	t_{Pcy0}	43.38	
	タイマクロック立ち上がり時間	t_{TCLKr}	-	0.8	t_{Pcy0}	43.38	
	タイマクロック立ち下がり時間	t_{TCLKf}	-	0.8	t_{Pcy0}	43.38	

【注】 t_{Pcy0} は周辺クロック 0 (Pck0) の 1 サイクル時間を示します。

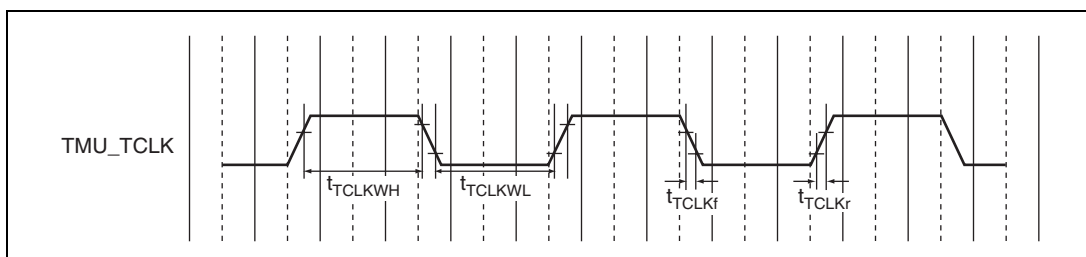


図 43.38 TCLK 入力タイミング

43.4.10 16ビットタイマパルスユニット (TPU)

表 43.18 16ビットタイマパルスユニット

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{CCQ-DDR} = 2.3 \sim 2.7V$, $V_{DD} = 1.15 \sim 1.35V$, $T_a = -20 \sim 75$

項目	記号	Min	Max	単位	参照図	
タイマ出力遅延時間	t_{TOD}	-	15	ns	43.39	
タイマクロック入力セットアップ時間	t_{TCKS}	15	-	ns	43.40	
タイマクロックパルス幅	単エッジ指定	t_{TCKWH}^* t_{TCKWL}	2	-	t_{Pcyco}^*	43.40
	両エッジ指定	t_{TCKWH}^* t_{TCKWL}	3	-		

【注】 t_{Pcyco} は周辺クロック 0 (Pck0) の 1 サイクル時間を示します。

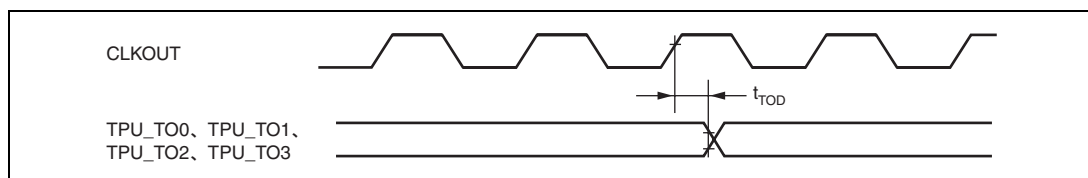


図 43.39 TPU 出力タイミング

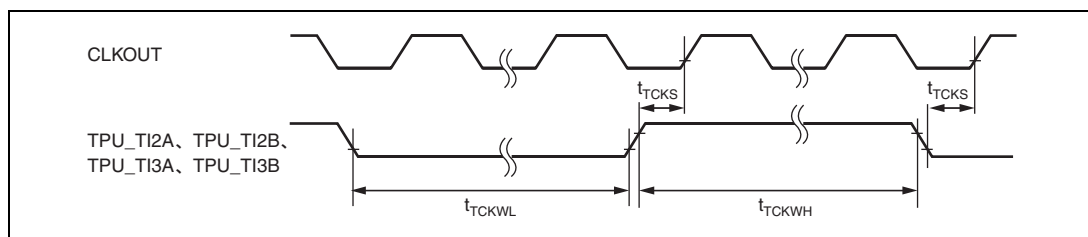


図 43.40 TPU クロック入力タイミング

43.4.11 GETHER モジュール信号タイミング

(1) イーサネットコントローラタイミング (MII)

表 43.19 イーサネットコントローラタイミング (MII)

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	参照図
ETn_TX-CLK サイクル時間	t_{Teyc}	40	-	-	ns	43.41
ETn_TX-EN 出力遅延時間	t_{TEND}	3	-	20		
ETn_ETXD[3:0]出力遅延時間	t_{ETDD}	3	-	20		
ETn_RX-CLK サイクル時間	t_{Reyc}	40	-	-		43.42
ETn_RX-DV セットアップ時間	t_{RDVS}	10	-	-		
ETn_RX-DV ホールド時間	t_{RDVH}	3	-	-		
ETn_ERXD[3:0]セットアップ時間	t_{ERDS}	10	-	-		
ETn_ERXD[3:0]ホールド時間	t_{ERDH}	3	-	-	43.43	
ETn_RX-ER セットアップ時間	t_{RERS}	10	-	-		
ETn_RX-ER ホールド時間	t_{RERH}	3	-	-	43.44	
ETn_WOL 出力遅延時間	t_{WOLD}	1	-	18		

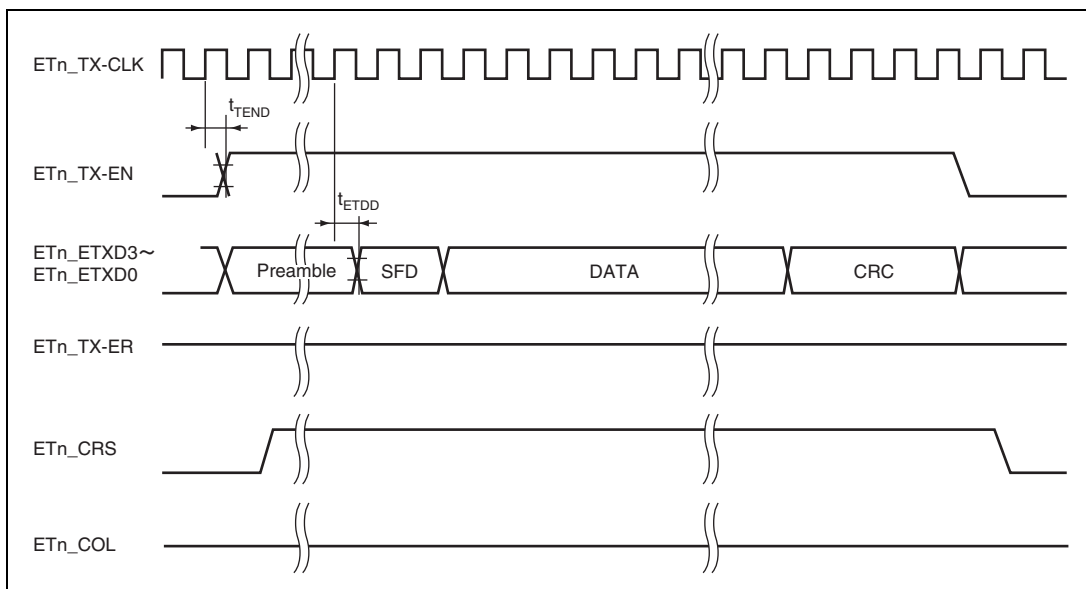


図 43.41 MII 送信タイミング (正常動作時)

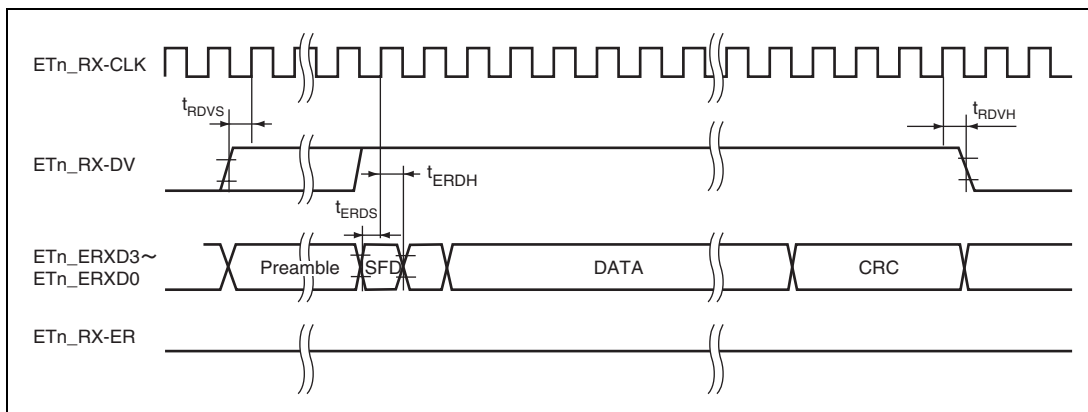


図 43.42 MII 受信タイミング (正常動作時)

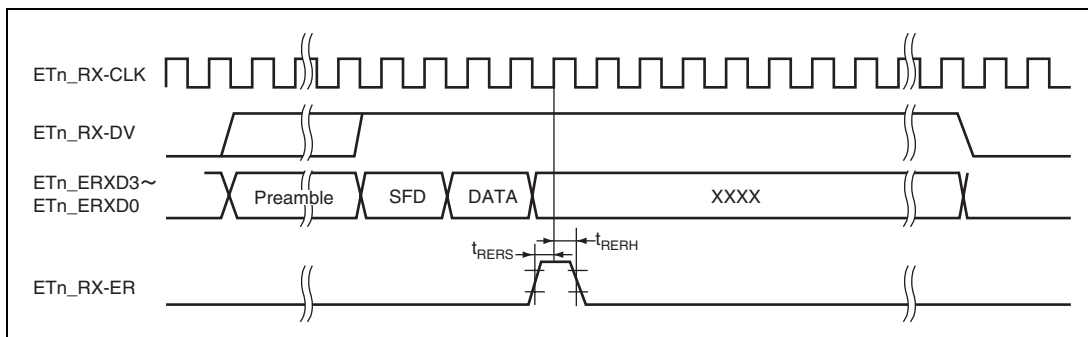


図 43.43 MII 受信タイミング (エラー発生ケース)

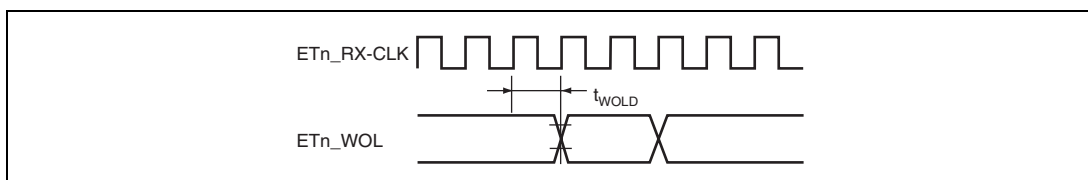


図 43.44 WOL 出力タイミング

(2) イーサネットコントローラタイミング (GMII)

表 43.20 イーサネットコントローラタイミング (GMII)

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項目	記号	Min.	Typ.	Max.	単位	参照図
REF125CK クロック入力周波数	$f_{REF125CK}$	125 - 100ppm		125 + 100ppm	MHz	
GETn_GTX_CLK サイクル時間	t_{GTcyc}	8			ns	43.45
ETn_TX-EN 出力遅延時間	t_{GTEND}	0.5		5.5		
GETn_ETXD7 ~ GETn_ETXD4、 ETn_ETXD3 ~ ETn_ETXD0 出力遅延時間	t_{GETDD}	0.5		5.5		
ETn_RX-CLK サイクル時間	t_{GRcyc}	8				43.46
ETn_RX-DV セットアップ時間	t_{GRDVS}	2.5				
ETn_RX-DV ホールド時間	t_{GRDVH}	0.5				
GETn_ERXD7 ~ GETn_ERXD4、 ETn_ERXD3 ~ ETn_ERXD0 セットアップ時間	t_{GERDS}	2.5				
GETn_ERXD7 ~ GETn_ERXD4、 ETn_ERXD3 ~ ETn_ERXD0 ホールド時間	t_{GERDH}	0.5				
ETn_RX-ER セットアップ時間	t_{GRERS}	2.5				43.47
ETn_RX-ER ホールド時間	t_{GRERH}	0.5				
ETn_WOL 出力遅延時間	t_{GWOLD}	0		18		43.48

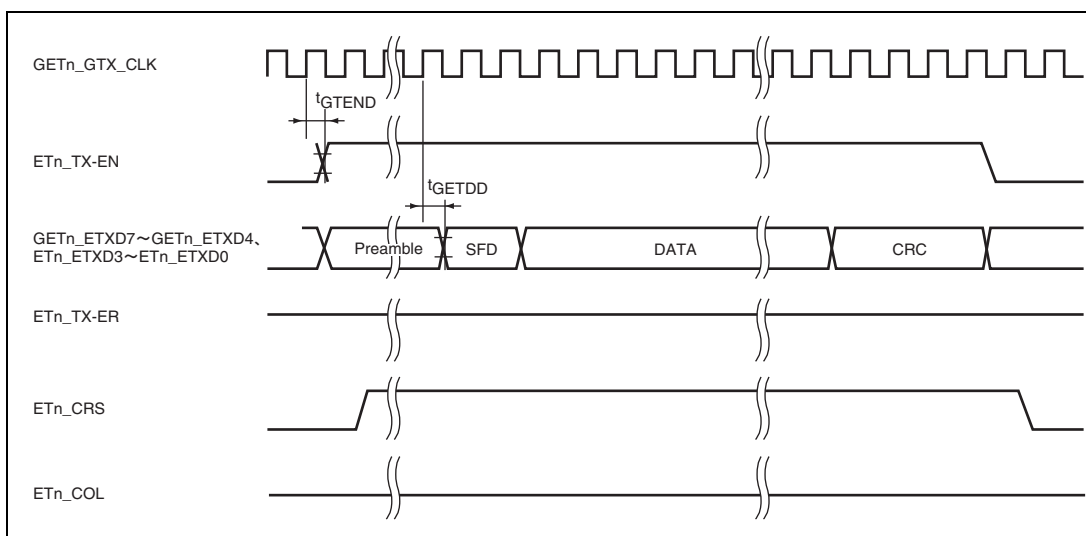


図 43.45 GMII 送信タイミング (正常動作時)

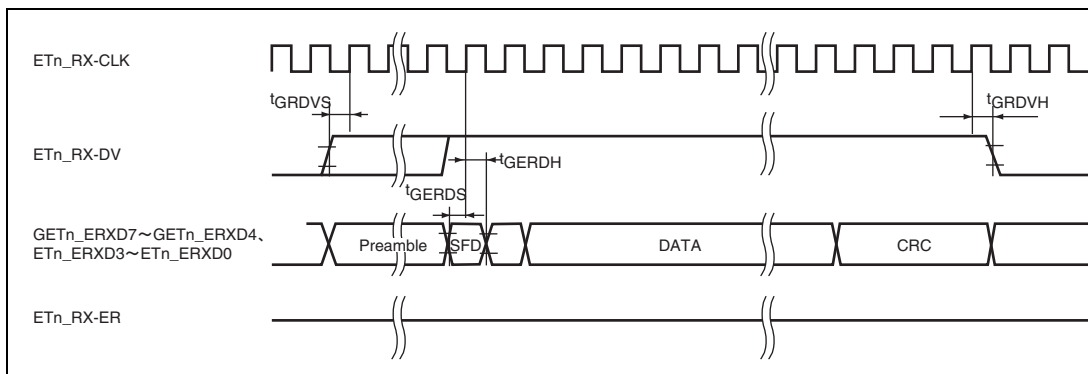


図 43.46 GMII 受信タイミング (正常動作時)

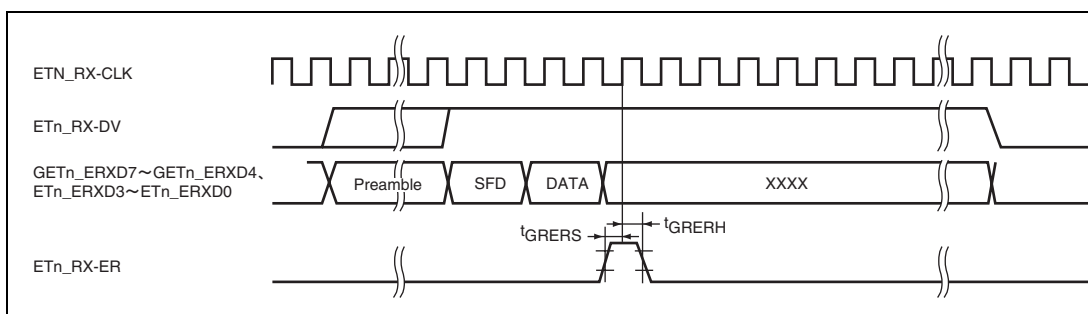


図 43.47 GMII 受信タイミング (エラー発生ケース)

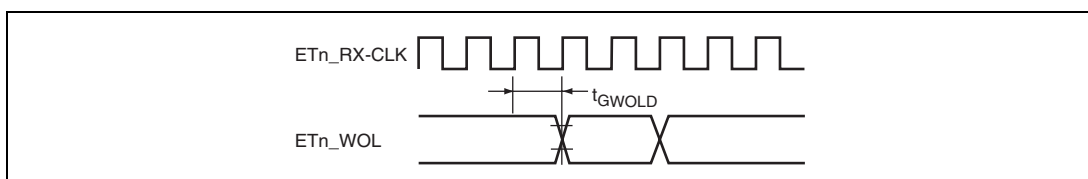


図 43.48 WOL 出力タイミング

(3) イーサネットコントローラタイミング (RMII)

表 43.21 イーサネットコントローラタイミング (RMII)

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	参照図
REF50CK クロック入力周波数	f_{RT0yc}	50 – 50ppm		50 + 50ppm	MHz	43.49
RMII _n _TXD_EN、RMII1M_TXD_EN 出力遅延時間	t_{RTEND}	2.5		10	ns	
RMII _n _TXD1、RMII _n _TXD0、RMII1M_TXD1、 RMII1M_TXD0 出力遅延時間	t_{RETDD}	2.5		10		43.50
RMII _n _CRS_DV、RMII1M_CRS_DV セットアップ 時間	t_{RRDVS}	4				
RMII _n _CRS_DV、RMII1M_CRS_DV ホールド時間	t_{RRDVH}	2.5				
RMII _n _RXD1、RMII _n _RXD0、RMII1M_RXD1、 RMII1M_RXD0 セットアップ時間	t_{RERDS}	4				
RMII _n _RXD1、RMII _n _RXD0、RMII1M_RXD1、 RMII1M_RXD0 ホールド時間	t_{RERDH}	2.5				
RMII _n _RX_ER セットアップ時間	t_{RERS}	4				43.51
RMII _n _RX_ER ホールド時間	t_{RERH}	2.5				

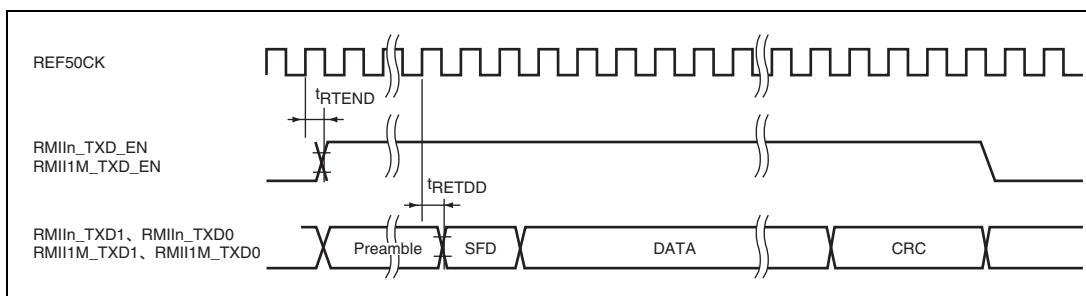


図 43.49 RMII 送信タイミング

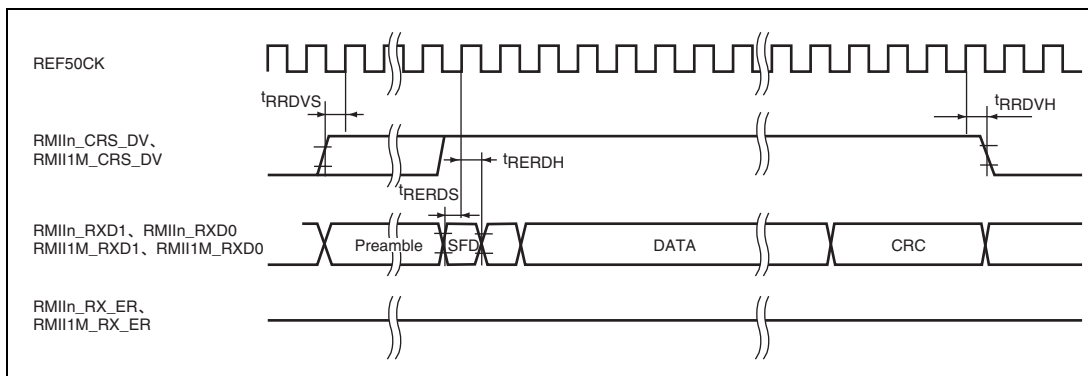


図 43.50 RMI2 受信タイミング (正常動作時)

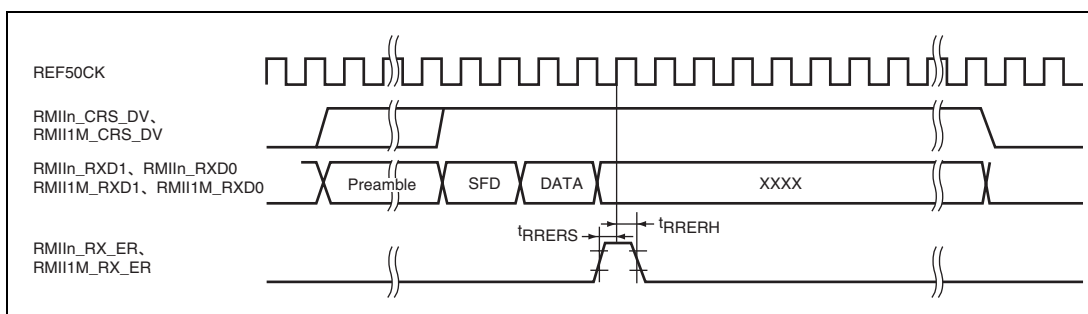


図 43.51 RMI2 受信タイミング (エラー発生ケース)

43.4.12 ストリームインタフェースモジュールタイミング

(1) クロックバリッド受信

表 43.22 STIF クロックバリッド受信タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, T_a = -20 \sim 75$$

名称	略称	Min	Max	単位	参照図
ST_CLK サイクル	t_{STCYC}	30	-	ns	43.52
ST_REQ 出力遅延	t_{STRQD}	4	21	ns	
ST_START セットアップ	t_{STSTS}	7	-	ns	
ST_START ホールド	t_{STSTH}	4	-	ns	
ST_VALID セットアップ	t_{STVLS}	7	-	ns	
ST_VALID ホールド	t_{STVLH}	4	-	ns	
ST_DATA セットアップ	t_{STDS}	7	-	ns	
ST_DATA ホールド	t_{STDH}	4	-	ns	

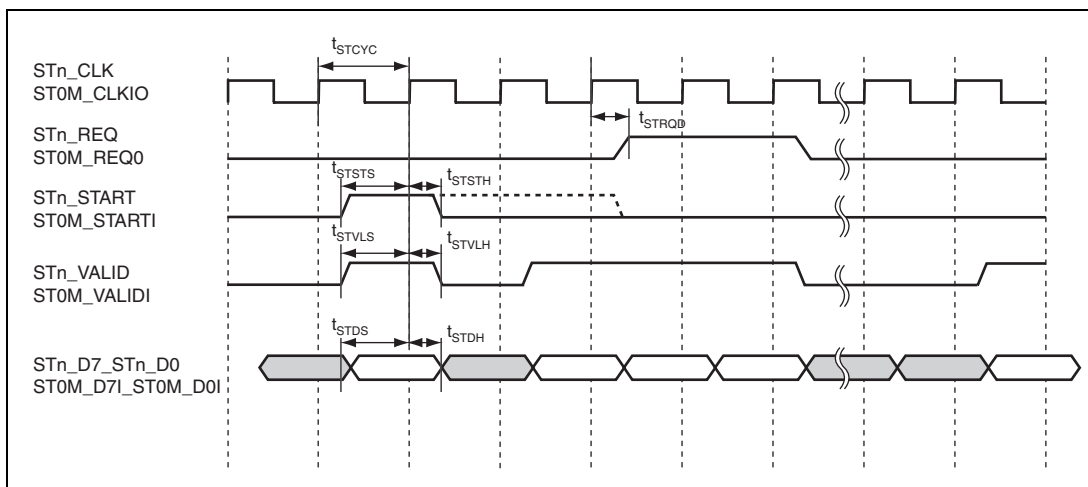


図 43.52 STIF クロックパリティ受信タイミング

(2) クロックパリティ送信

表 43.23 STIF クロックパリティ送信タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

名 称	略称	Min	Max	単位	参照図
ST_CLK サイクル	t_{STCYC}	30	-	ns	43.53
ST_REQ セットアップ	t_{STROD}	7	-	ns	
ST_REQ ホールド	t_{STRQH}	5	-	ns	
ST_START 出力遅延	t_{STSTD}	3	21	ns	
ST_VALID 出力遅延	t_{STVLD}	3	21	ns	
ST_DATA 出力遅延	t_{STDD}	3	21	ns	

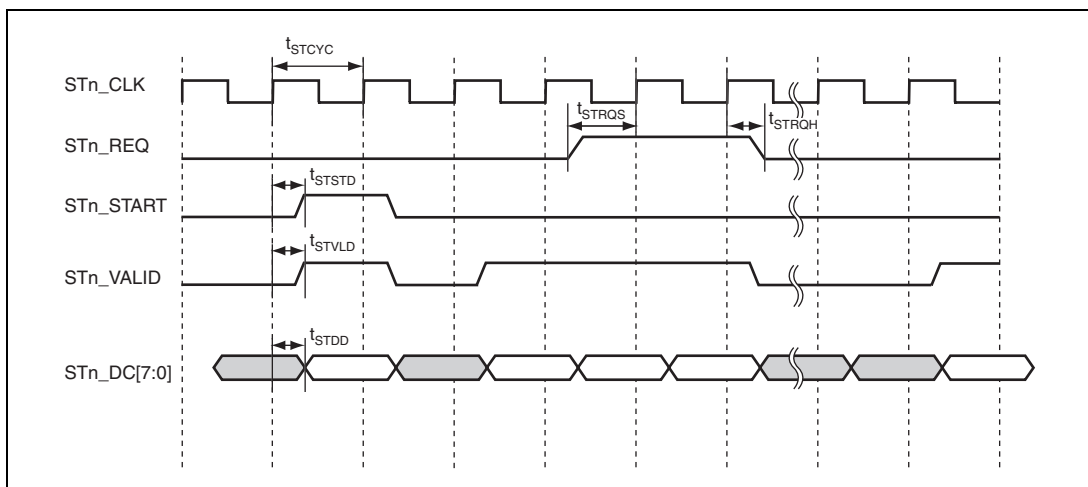


図 43.53 STIF クロックパリティ送信タイミング

(3) ストローブ受信

表 43.24 STIF ストローブ受信タイミング

 $V_{CC0} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{CC0-DDR} = 2.3 \sim 2.7V$, $V_{DD} = 1.15 \sim 1.35V$, $T_a = -20 \sim 75$

名称	略称	Min	Max	単位	参照図
ST_STRB ローレベル幅	t_{STSLW}	30	-	ns	43.54
ST_STRB ハイレベル幅	t_{STSHW}	30	-	ns	
ST_REQ 出力遅延	t_{STRQD}	0	-	ns	
ST_DATA セットアップ	t_{STDS}	7	-	ns	
ST_DATA ホールド	t_{STDH}	4	-	ns	

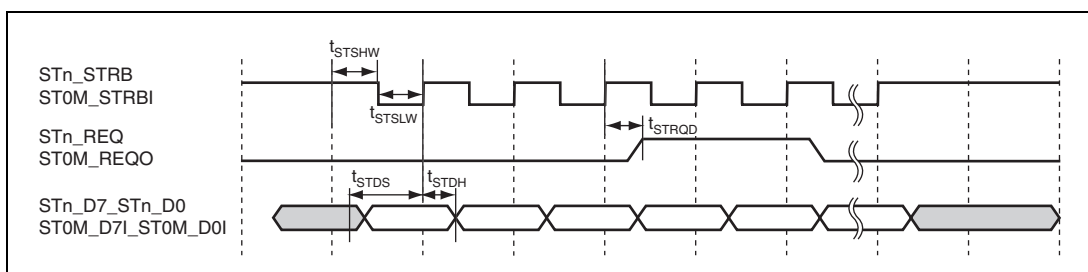


図 43.54 STIF ストローブ受信タイミング

(4) ストローブ送信

表 43.25 STIF ストローブ送信タイミング

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

名称	略称	Min	Max	単位	参照図
対ホールド時間	$t_{STRQRDH}$	0	-	ns	43.55
対 ST_REQ 遅延時間	t_{STSRQD}	2	3	t_{STCYC}	
対 ST_STRB ホールド時間	$t_{STRQSRH}$	0	-	ns	
対 ST_STRB 遅延時間	$t_{STSTSRD}$	-2	-	ns	
対 ST_DATA 遅延時間	t_{STDSRD}	-1	-	ns	

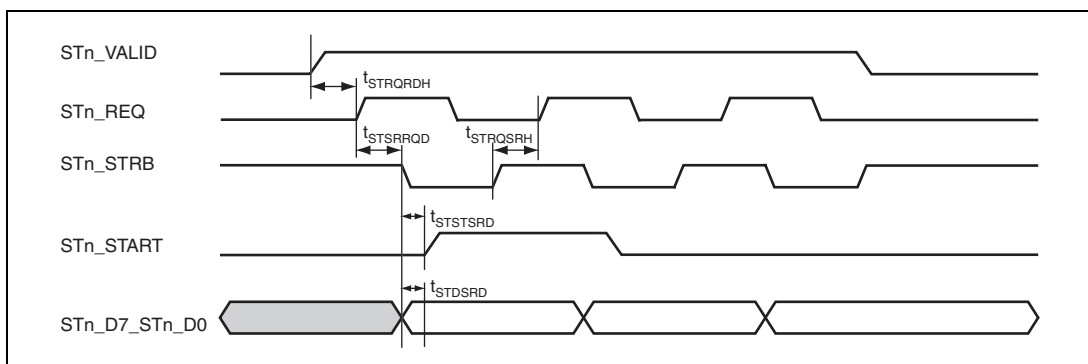
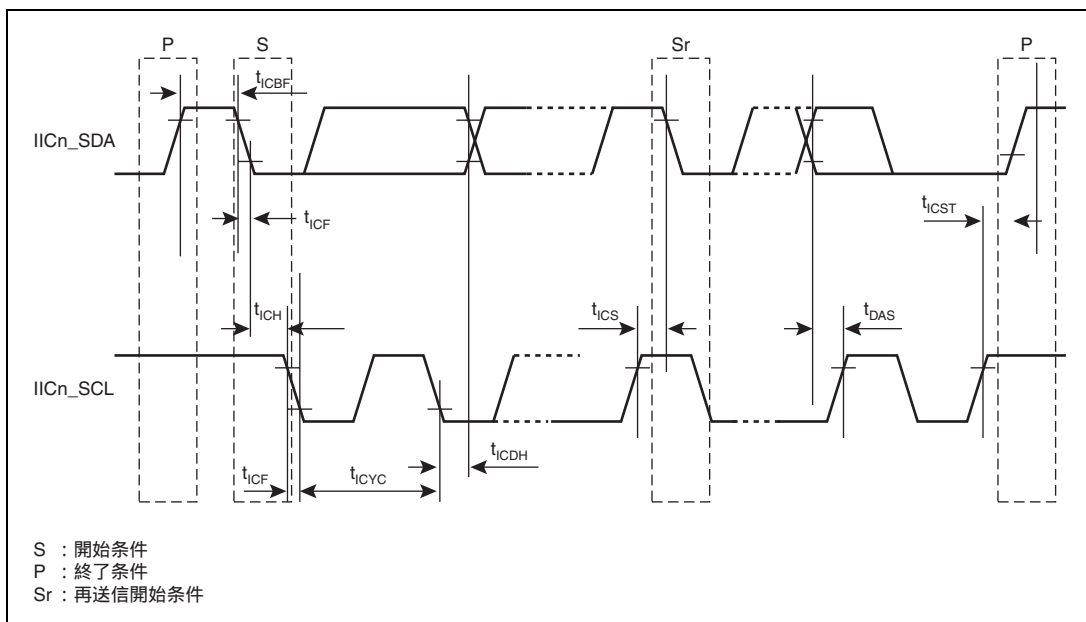


図 43.55 STIF ストローブ送信タイミング

43.4.13 I²C モジュール信号タイミング表 43.26 I²C モジュール信号タイミング
 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項目	記号	min	typ	max	単位	参考図
IICn_SCL 周波数	t_{ICYC}	0	-	400	kHz	図 43.56、43.57 $RP \cdot CB = 257 \times 10^{-9} \sim 275 \times 10^{-9}$ $[\Omega \cdot pF]$ $V_{PU} = 3.3V$
IICn_SCL/IICn_SDA 立ち下がり時間	t_{ICF}	-	-	300	ns	
IICn_SDA バスフリー時間	t_{ICBF}	1.3	-	-	us	
IICn_SCL 開始条件ホールド時間	t_{ICH}	0.6	-	-	us	
IICn_SCL 再伝送開始条件 セットアップ時間	t_{ICS}	0.6	-	-	us	
IICn_SDA 停止条件セットアップ時間	t_{ICST}	0.6	-	-	us	
IICn_SDA セットアップ時間	t_{DAS}	100	-	-	ns	
IICn_SDA ホールド時間	t_{ICDH}	0	-	0.9	us	

図 43.56 I²C タイミング

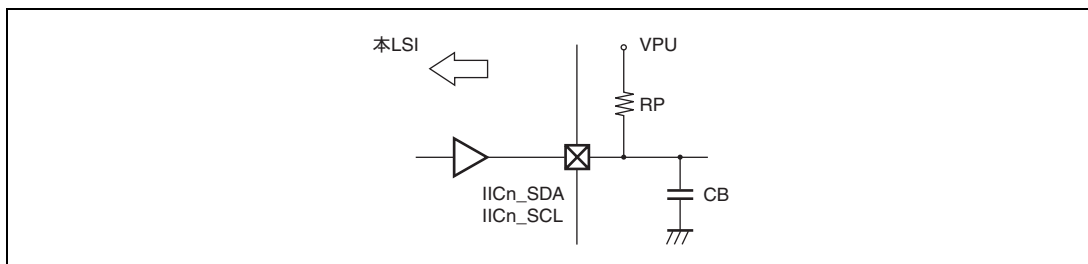


図 43.57 AC 特性負荷条件

43.4.14 SCIF モジュール信号タイミング

表 43.27 SCIF モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, T_a = -20 \sim 75$$

モジュール	項目	記号	Min.	Max.	単位	参照図
SCIFn	入力クロックサイクル (調歩同期)	t_{Scyc}	8	-	t_{Pck0}	43.58
	入力クロックサイクル (クロック同期)		24	-	t_{Pck0}	43.58
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	43.58
	入力クロック立ち上がり時間	t_{SCKr}	-	0.8	t_{Pck0}	43.58
	入力クロック立ち下がり時間	t_{SCKf}	-	0.8	t_{Pck0}	43.58
	転送データ遅延時間	t_{TXD}	-	$6 \times t_{Pck0} + 50$	ns	43.59
	受信データセットアップ時間 (クロック同期)	t_{RXS}	$4 \times t_{Pck0}$	-	ns	43.59
	受信データホールド時間 (クロック同期)	t_{RXH}	$4 \times t_{Pck0}$	-	ns	43.59

【注】 t_{Pck0} は周辺クロック 0 (Pck0) の 1 サイクル時間を示します。

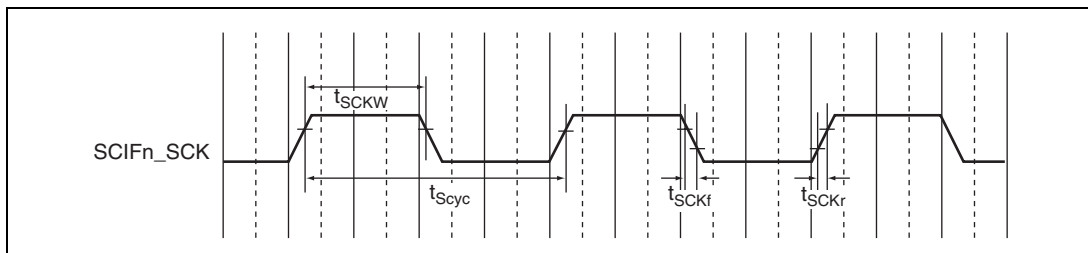


図 43.58 SCIFn_CLK 入力クロックタイミング

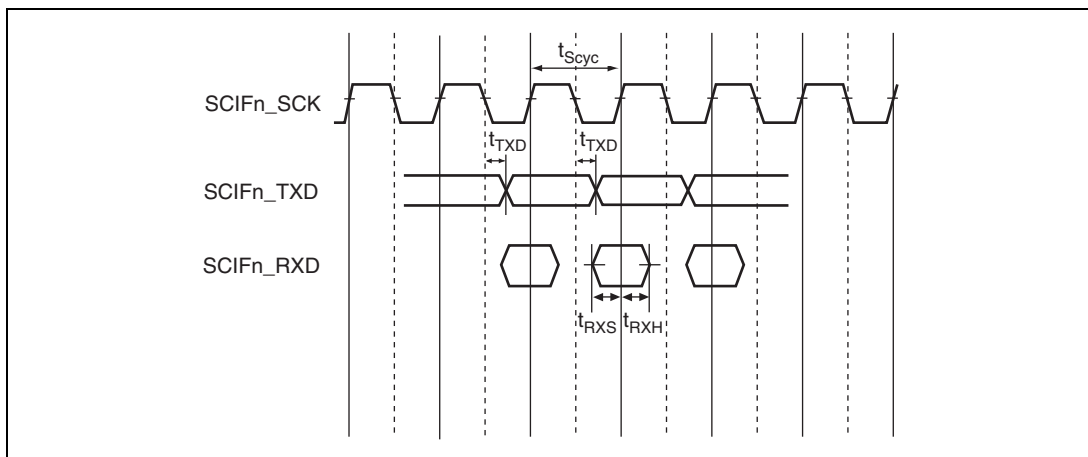


図 43.59 SCIFn I/O 同期モードクロックタイミング

43.4.15 SIOF モジュール信号タイミング

表 43.28 SIOF モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, T_a = -20 \sim 75$$

項目	記号	Min.	Max.	単位	参照図
SIOFn_MCK クロック入力サイクル時間	t_{MCYC}	$2 \times t_{Pcy0}^*$	-	ns	43.60
SIOFn_MCK 入力 High レベル幅	t_{MWH}	$0.4 \times t_{MCYC}$	-	ns	43.60
SIOFn_MCK 入力 Low レベル幅	t_{MWL}	$0.4 \times t_{MCYC}$	-	ns	43.60
SIOFn_SCK クロックサイクル時間	t_{SICYC}	$2 \times t_{Pcy0}^*$	-	ns	43.61 ~ 43.65
SIOFn_SCK 出力 High レベル幅	t_{SWHO}	$0.4 \times t_{MCYC}$	-	ns	43.61 ~ 43.64
SIOFn_SCK 出力 Low レベル幅	t_{SWLO}	$0.4 \times t_{MCYC}$	-	ns	43.61 ~ 43.64
SIOFn_SYNC 出力遅延時間	t_{FSD}	-	20	ns	43.61 ~ 43.64
SIOFn_SCK 入力 High レベル幅	t_{SWHI}	$0.4 \times t_{SICYC}$	-	ns	43.65
SIOFn_SCK 入力 Low レベル幅	t_{SWLI}	$0.4 \times t_{SICYC}$	-	ns	43.65
SIOFn_SYNC 入力セットアップ時間	t_{FSS}	20	-	ns	43.65
SIOFn_SYNC 入力ホールド時間	t_{FSH}	20	-	ns	43.65
SIOFn_TXD 出力遅延時間	t_{STDD}	-	20	ns	43.61 ~ 43.65
SIOFn_RXD 入力セットアップ時間	t_{SRDS}	20	-	ns	43.61 ~ 43.65
SIOFn_RXD 入力ホールド時間	t_{SRDH}	20	-	ns	43.61 ~ 43.65

【注】 * t_{Pcy0} は周辺クロック 0 (Pck0) の 1 サイクル時間を示します。

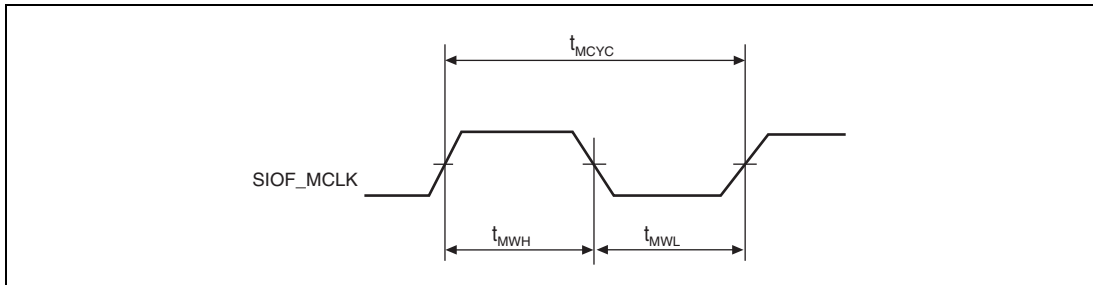


図 43.60 SIOF_MCLK 入力タイミング

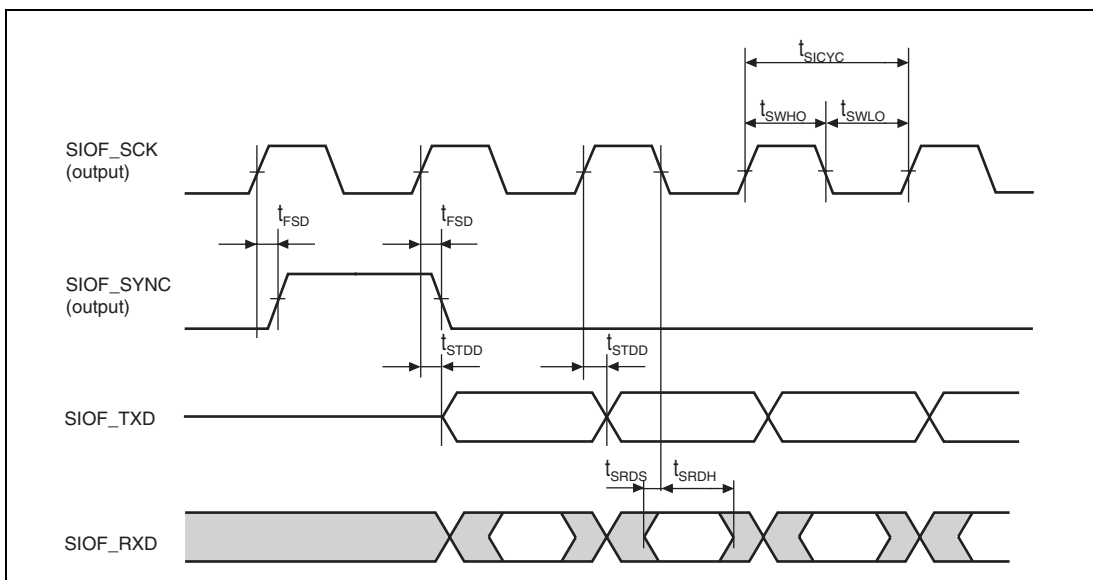


図 43.61 SIOF 送受信タイミング (マスターモード 1、立ち下がりサンプリング)

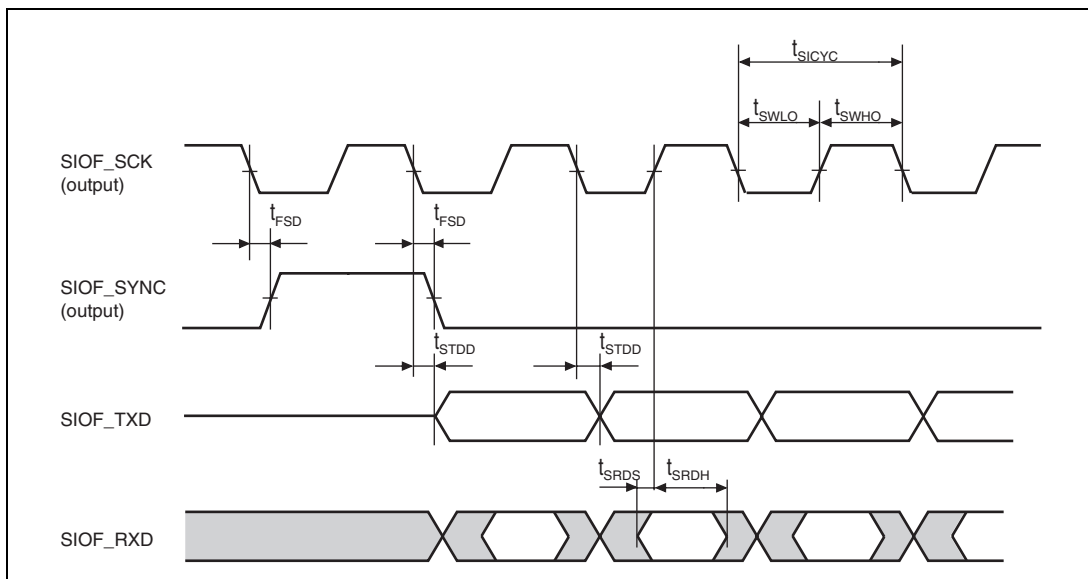


図 43.62 SIOF 送受信タイミング (マスタモード 1、立ち上がりサンプリング)

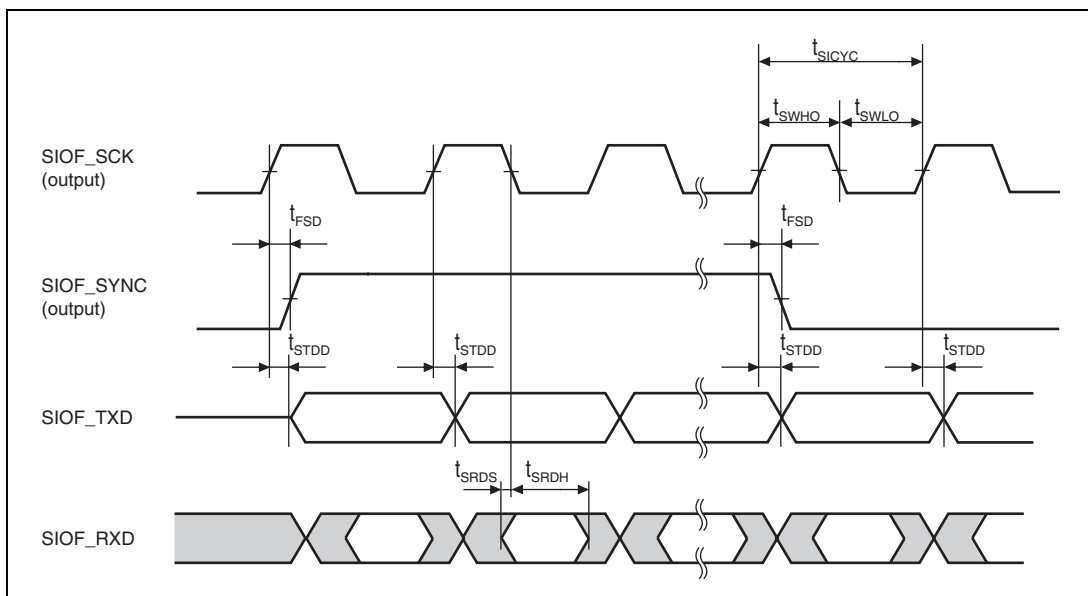


図 43.63 SIOF 送受信タイミング (マスタモード 2、立ち下がりサンプリング)

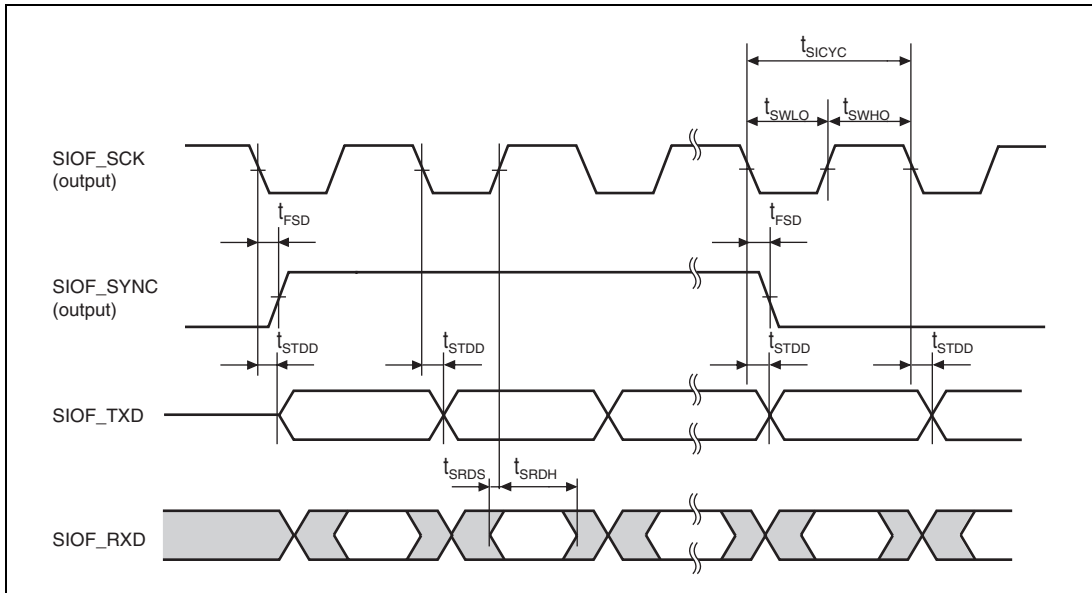


図 43.64 SIOF 送受信タイミング (マスターモード 2、立ち上がりサンプリング)

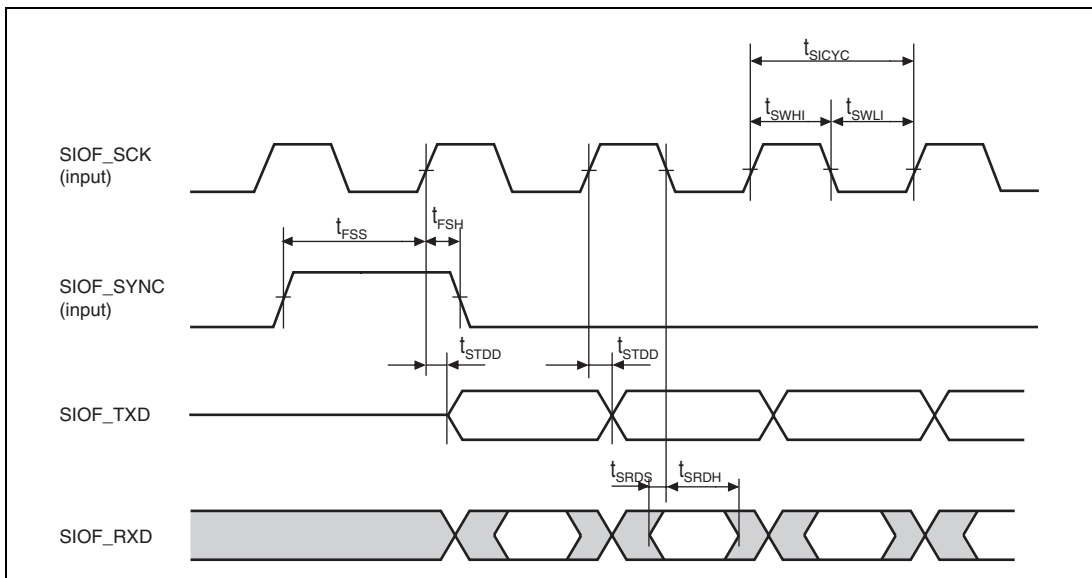


図 43.65 SIOF 送受信タイミング (スレーブモード 1、スレーブモード 2)

43.4.16 SIM モジュール信号タイミング

表 43.29 SIM モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項目	記号	Min.	Max.	単位	参照図
SIM_CLK クロックサイクル	t_{SMCYC}	$2/t_{Pcy0}$	$16/t_{Pcy0}$	ns	43.66
SIM_CLK クロックハイレベル幅	t_{SMCWH}	$0.4 \times t_{SMCYC}$	-	ns	
SIM_CLK クロックローレベル幅	t_{SMCWL}	$0.4 \times t_{SMCYC}$	-	ns	
SIM_RST リセット出力遅延	t_{SMRD}	-	20	ns	

【注】 t_{Pcy0} は周辺クロック 0 (Pck0) の 1 サイクル時間を示します。

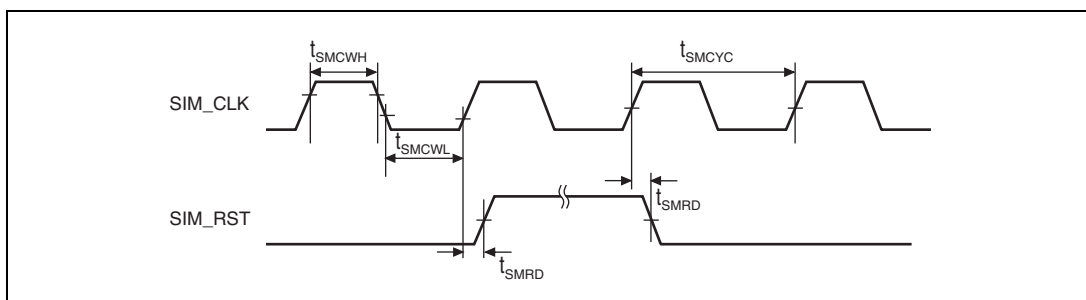


図 43.66 SIM モジュール信号タイミング

43.4.17 MMCIF モジュール信号タイミング

表 43.30 MMCIF モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項目	記号	Min	Max	単位	参照図
MMC_CLK クロックサイクル	t_{MMCYC}	60	-	ns	43.67
MMC_CLK クロックハイレベル幅	t_{MMWH}	$0.4 \times t_{MMCYC}$	-	ns	
MMC_CLK クロックローレベル幅	t_{MMWL}	$0.4 \times t_{MMCYC}$	-	ns	
MMC_CMD 出力データ遅延	t_{MMCD}	-	10	ns	43.68
MMC_CMD 入力データホールド	t_{MMRCS}	10	-	ns	
MMC_CMD 入力データセットアップ	t_{MMRCH}	10	-	ns	
MMC_DAT 出力データ遅延	t_{MMTDD}	-	10	ns	43.67
MMC_DAT 入力データセットアップ	t_{MMRDS}	10	-	ns	43.68
MMC_DAT 入力データホールド	t_{MMRDH}	10	-	ns	

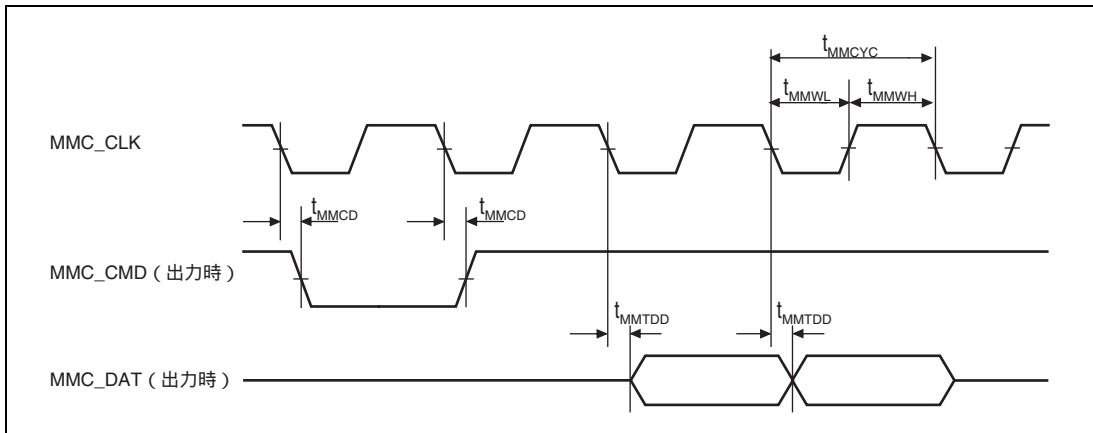


図 43.67 MMCIF 送信タイミング

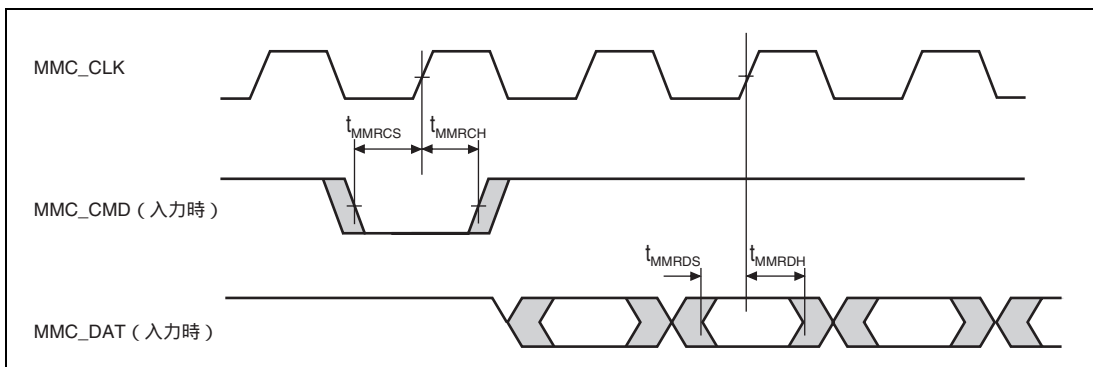


図 43.68 MMCIF 受信タイミング (立ち上がりサンプリング)

43.4.18 HAC インタフェースモジュール信号タイミング

表 43.31 HAC インタフェースモジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項目	記号	Min.	Max.	単位	参照図
HAC_RES アクティブ Low パルス幅	t_{RST_LOW}	1000	-	ns	43.69
HAC_SYNC アクティブ High パルス幅	t_{SYN_HIGH}	1000	-	ns	43.70
HAC_SYNC 遅延時間 1	t_{SYNCD1}	0	15	ns	43.72
HAC_SYNC 遅延時間 2	t_{SYNCD2}	0	15	ns	43.72
HAC_SD_OUT 遅延時間	t_{SDOUTD}	0	15	ns	43.72
HAC_SD_IN セットアップ時間	t_{SDINS}	10	-	ns	43.72
HAC_SD_IN ホールド時間	t_{SDINH}	10	-	ns	43.72
HAC_BITCLK 入力 High レベル幅	t_{ICL_HIGH}	t_{Pck0}	-	ns	43.71
HAC_BITCLK 入力 Low レベル幅	t_{ICL_LOW}	t_{Pck0}	-	ns	43.71

【注】 t_{Pck0} は周辺クロック 0 (Pck0) の 1 サイクル時間を示します。

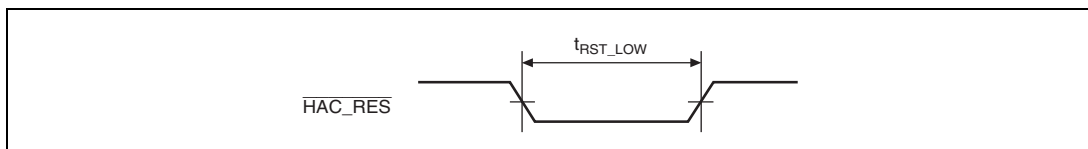


図 43.69 HAC コールドリセットタイミング

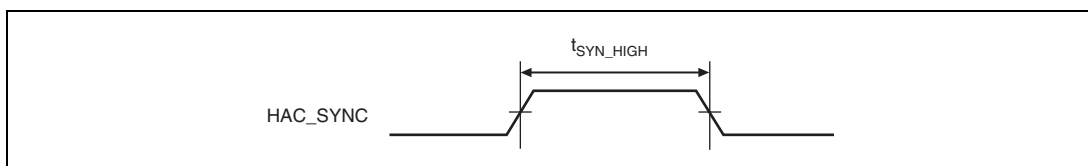


図 43.70 HAC_SYNC 出力タイミング

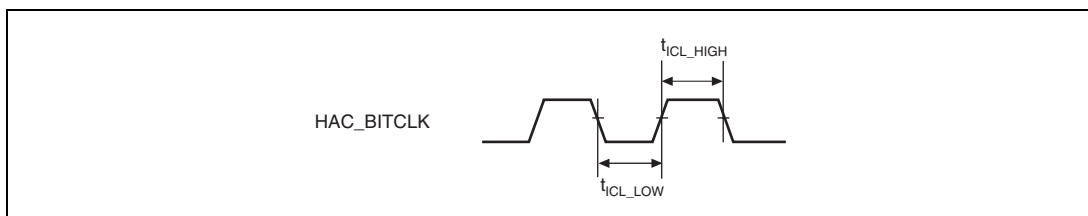


図 43.71 HAC クロック入力タイミング

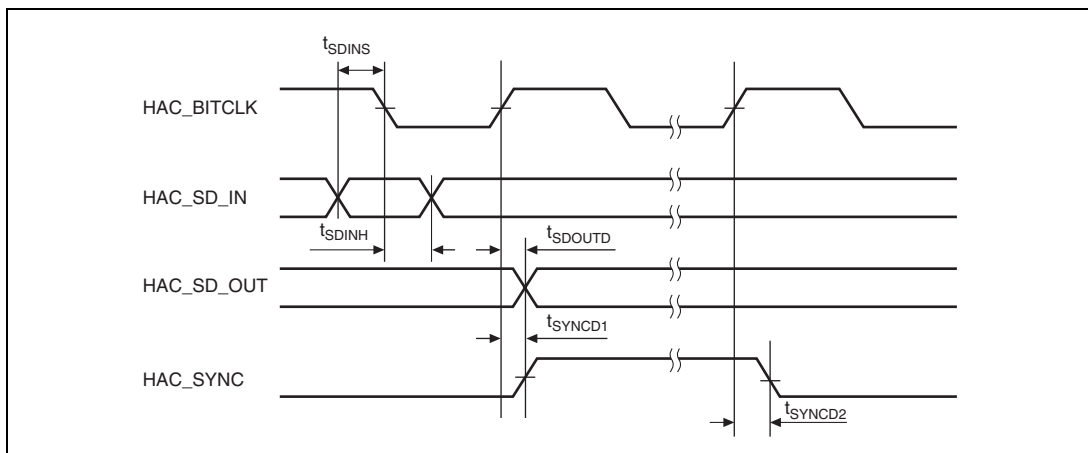


図 43.72 HAC インタフェースモジュール信号タイミング

43.4.19 SSI インタフェースモジュール信号タイミング

表 43.32 SSI インタフェースモジュール信号タイミング

$$V_{CC0} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CC0-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, T_a = -20 \sim 75$$

項目	記号	Min.	Max.	単位	備考	参照図
出力サイクル時間	t_{OSCK}	60	960	ns	出力	43.73
入力サイクル時間	t_{ISCK}	60	3300	ns	入力	43.73
入力 High レベル幅 / 出力 High レベル幅	t_{IHC}/t_{OHC}	15	-	ns	入力、出力	43.73
入力 Low レベル幅 / 出力 Low レベル幅	t_{ILC}/t_{OLC}	15	-	ns	入力、出力	43.73
SSI_SCK 出力立ち上がり時間	t_{RC}	-	10	ns	出力	43.73
SSI_SDATA/WS 出力遅延時間	t_{DTR}	-	25	ns	送信	43.74、43.75
SSI_SDATA/WS 入力セットアップ時間	t_{SR}	10	-	ns	受信	43.76、43.77
SSI_SDATA/WS 入力ホールド時間	t_{HTR}	10	-	ns	受信	43.76、43.77

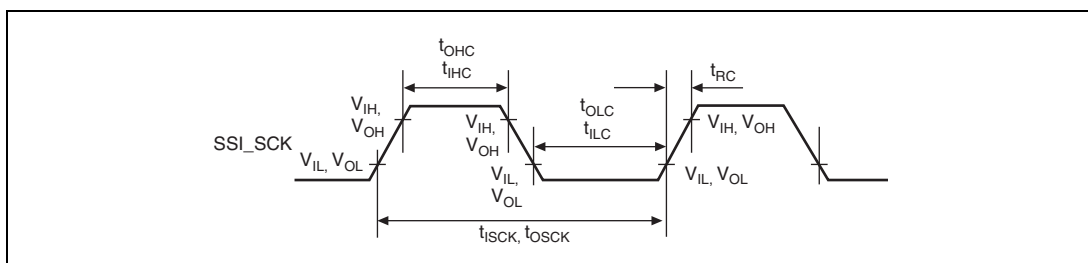


図 43.73 SSI クロック入力 / 出力タイミング

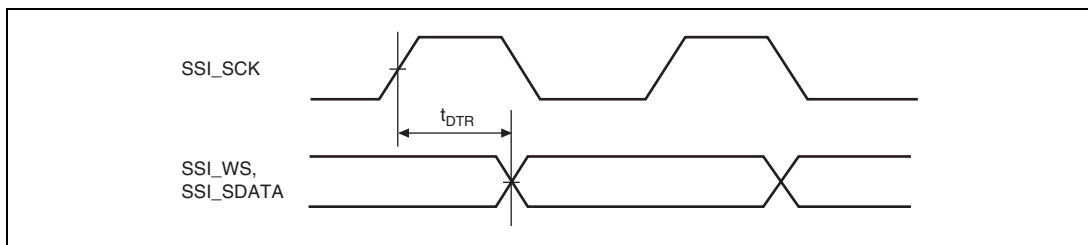


図 43.74 SSI 送信タイミング (1)

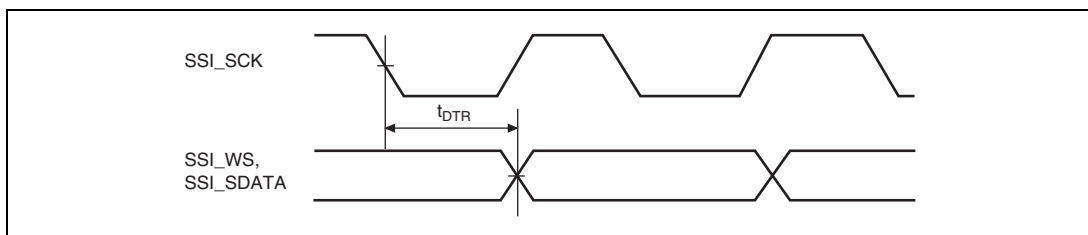


図 43.75 SSI 送信タイミング (2)

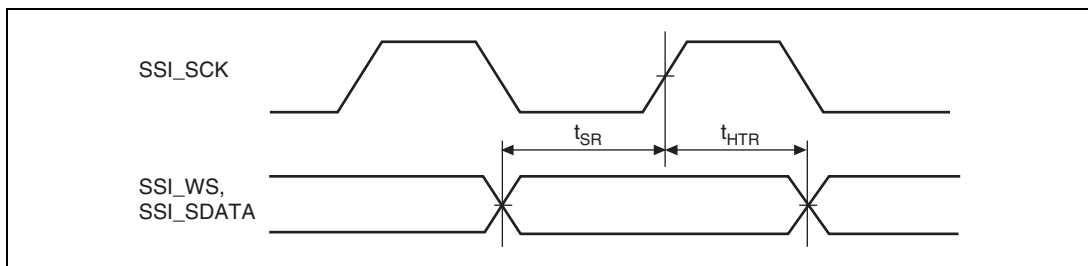


図 43.76 SSI 受信タイミング (1)

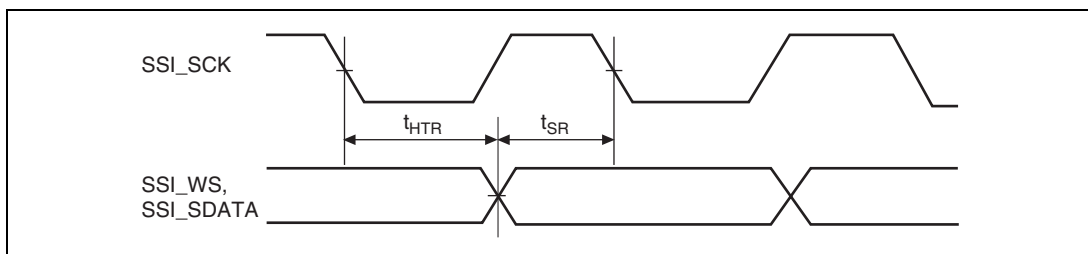


図 43.77 SSI 受信タイミング (2)

43.4.20 USB モジュール信号タイミング

表 43.33 USB モジュールクロックタイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項目	記号	Min	Max	単位	参照図
USB_CLK 外部入力クロック周波数 (48MHz)	t_{FREQ}	47.9	48.1	MHz	43.78
クロック立ち上がり時間	t_{R48}		4	ns	
クロック立ち下がり時間	t_{F48}		4	ns	
デューティー (t_{HIGH} / t_{LOW})	t_{DUTY}	90	110	%	

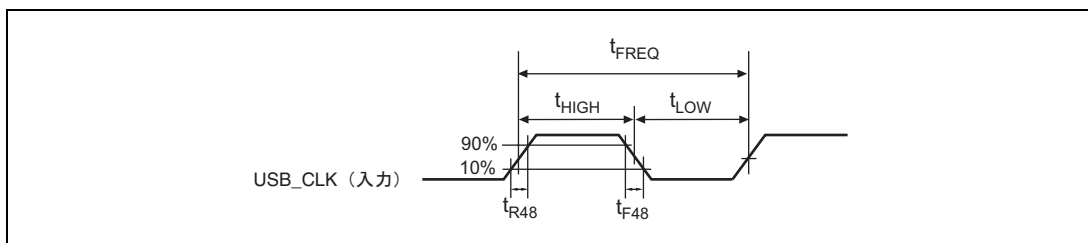


図 43.78 USB クロックタイミング

表 43.34 USB 電気的特性 (フルスピード)

項目	記号	Min	Max	単位	状態* ¹
遷移時間 (立ち上がり)* ²	t_r	4	20	ns	CL=50pF
遷移時間 (立ち下がり)* ²	t_f	4	20	ns	CL=50pF
立ち上がり / 立ち下がり時間マッチング	t_{RFM}	90	111	%	(TR/TF)
出力信号クロスオーバー電圧	V_{CRS}	1.3	2.0	V	-

【注】 エッジ制御用の $C_{EDGE}=47pF$ 、直接抵抗 $Rs=22$ が接続された状態で測定されています。

*¹ 規定されていない限り、CL=50pF の条件での値です。

*² 信号電圧の 10%~90%内での値です。

表 43.35 USB 電気的特性 (ロースピード)

項目	記号	Min	Max	単位	状態
遷移時間 (立ち上がり)*	t_r	75	-	ns	CL=200pF
		-	300	ns	CL=600pF
遷移時間 (立ち下がり)*	t_f	75	-	ns	CL=200pF
		-	300	ns	CL=600pF
立ち上がり / 立ち下がり時間マッチング	t_{RFM}	80	125	%	(TR/TF)
出力信号クロスオーバー電圧	V_{CRS}	1.3	2.0	V	-

【注】 エッジ制御用の $C_{EDGE}=47pF$ 、直列抵抗 $Rs=22$ が接続された状態で測定されています。

* 信号電圧の 10%~90%内での値です。

43.4.21 LCDC モジュール信号タイミング

表 43.36 LCDC モジュール信号タイミング

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-BDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項目	記号	Min.	Max.	単位	参照図
LCD_CLK 入力クロック周波数	t_{FREQ}	-	66	MHz	43.79
LCD_CLK 入力クロック立ち上がり時間	t_r	-	3	ns	
LCD_CLK 入力クロック立ち下がり時間	t_f	-	3	ns	
LCD_CLK 入力クロックデューティ	t_{DUTY}	90	110	%	
クロック (LCD_CL2) サイクル時間	t_{CC}	25	-	ns	
クロック (LCD_CL2) High レベルパルス幅	t_{CHW}	7	-	ns	
クロック (LCD_CL2) Low レベルパルス幅	t_{CLW}	7	-	ns	
クロック (LCD_CL2) 遷移時間 (立ち上がり / 立ち下がり)	t_{CT}	-	3	ns	
データ (LCD_DATA) 遅延時間	t_{DDdo}	-3.5	3	ns	
表示許可 (LCD_M_DISP) 遅延時間	t_{IDdo}	-3.5	3	ns	
水平同期信号 (LCD_CL1) 遅延時間	t_{HDdo}	-3.5	3	ns	
垂直同期信号 (LCD_FLM) 遅延時間	t_{VDdo}	-3.5	3	ns	

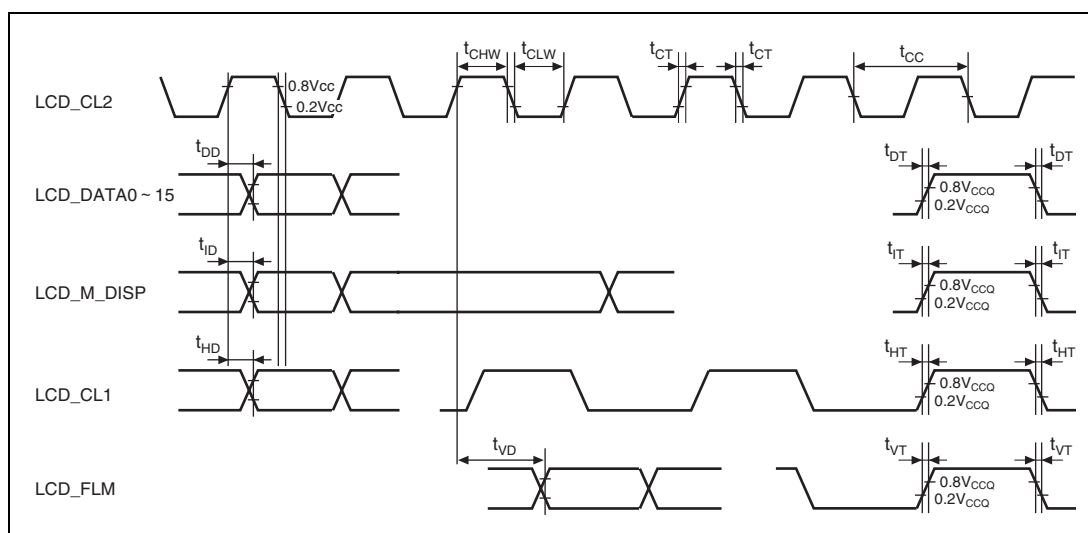


図 43.79 LCDC モジュール信号タイミング

43.4.22 GPIO 信号タイミング

表 43.37 GPIO 信号タイミング

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

項目	記号	Min.	Max.	単位	参照図
GPIO 出力遅延時間	t_{IOPD}	0	15	ns	43.80
GPIO 入力セットアップ時間	t_{IOPS}	15	-	ns	43.80
GPIO 入力ホールド時間	t_{IOPH}	5	-	ns	43.80

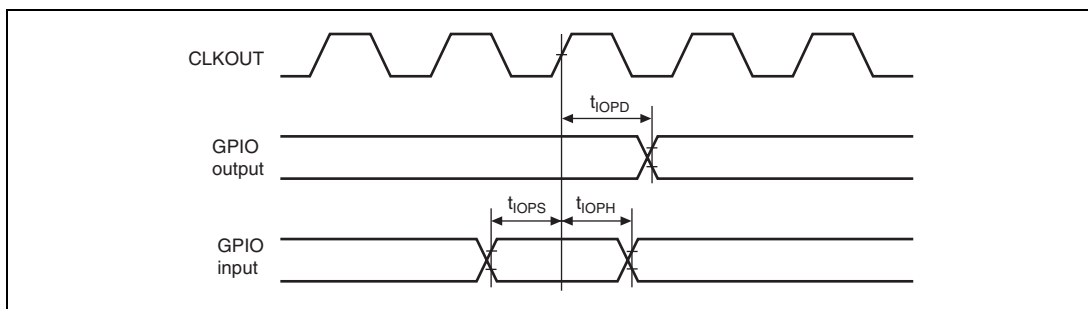


図 43.80 GPIO タイミング

43.4.23 H-UDI モジュール信号タイミング

表 43.38 H-UDI モジュール信号タイミング

 $V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CCQ-DDR} = 2.3 \sim 2.7V$ 、 $V_{DD} = 1.15 \sim 1.35V$ 、 $T_a = -20 \sim 75$

モジュール	項目	記号	Min.	Max.	単位	参照図
H-UDI	入カクロックサイクル	t_{TCKcyc}	50	-	ns	43.81、 43.83
	入カクロックパルス幅 (High 時)	t_{TCKH}	15	-	ns	43.81
	入カクロックパルス幅 (Low 時)	t_{TCKL}	15	-	ns	43.81
	入カクロック立ち上がり時間	t_{TCKr}	-	10	ns	43.81
	入カクロック立ち下がり時間	t_{TCKf}	-	10	ns	43.81
	ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	-	t_{cyc}	43.82
	ASEBRK ホールド時間	$t_{ASEBRKH}$	10	-	t_{cyc}	43.82
	TDI/TMS セットアップ時間	t_{TDIS}	15	-	ns	43.83
	TDI/TMS ホールド時間	t_{TDIH}	15	-	ns	43.83
	TDO データ遅延時間	t_{TDO}	0	10	ns	43.83
	ASE-PINBRK パルス幅	t_{PINBRK}	2	-	t_{Pcyc0}	43.84

- 【注】 1. t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。
 2. t_{Pcyc0} は周辺クロック 0 (Pck0) の 1 サイクル時間を示します。

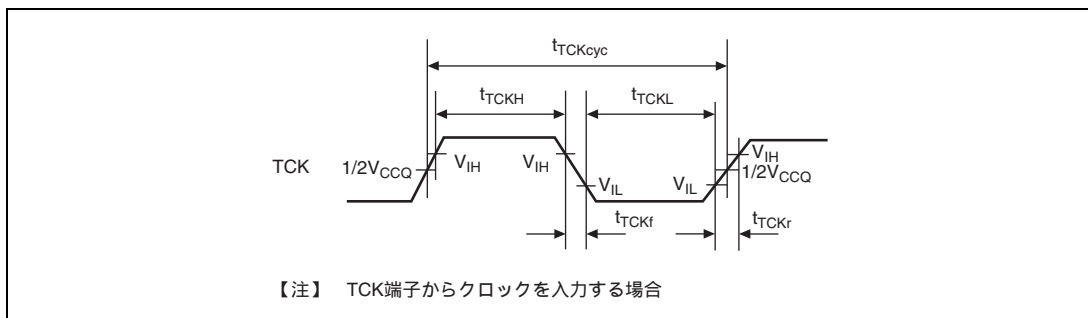


図 43.81 TCK 入力タイミング

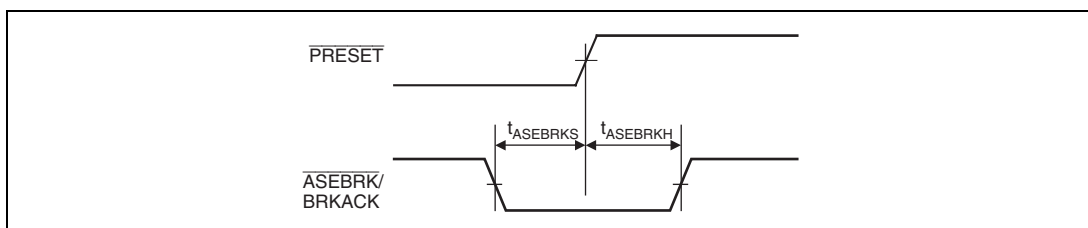


図 43.82 PRESET ホールドタイミング

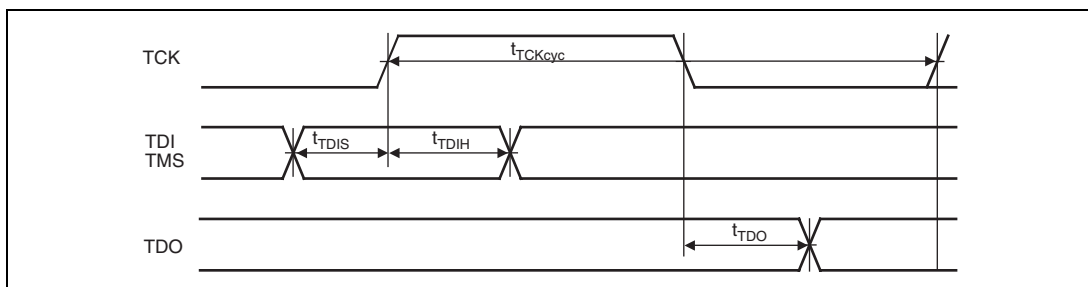


図 43.83 H-UDI データ転送タイミング

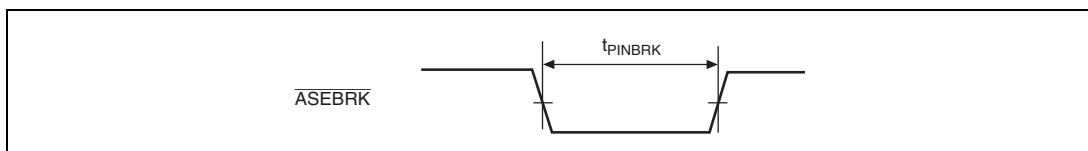


図 43.84 ASEBRK 端子ブレイクタイミング

43.5 A/D、D/A 変換器特性

43.5.1 A/D 変換特性

表 43.39 A/D 変換特性

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項 目	min	typ	max	単位
分解能	10	10	10	bit
変換時間	8.5	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源 (単一ソース) インピーダンス	-	-	3.5	k
絶対精度	-	-	± 4.0	LSB

43.5.2 D/A 変換特性

表 43.40 D/A 変換特性

$$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V, V_{DD} = 1.15 \sim 1.35V, Ta = -20 \sim 75$$

項 目	Min	Typ	Max	単位	テスト条件
分解能	8	8	8	bits	
変換時間	-	-	10.0	μs	20pF 容量負荷
絶対精度	-	-	± 4.0	LSB	2M 抵抗負荷

43.6 AC 特性測定条件

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル： $V^*/2$
- 入力パルスレベル： $V_{SSQ} \sim V^*$
- 入力立ち上がり、立ち下がり時間：1ns

【注】 $V^* : V_{DDQ}, V_{CCQ-DDR} (V_{DDQ} = 3.0 \sim 3.6V, V_{CCQ-DDR} = 2.3 \sim 2.7V)$

出力付加回路を図 43.85 に示します。

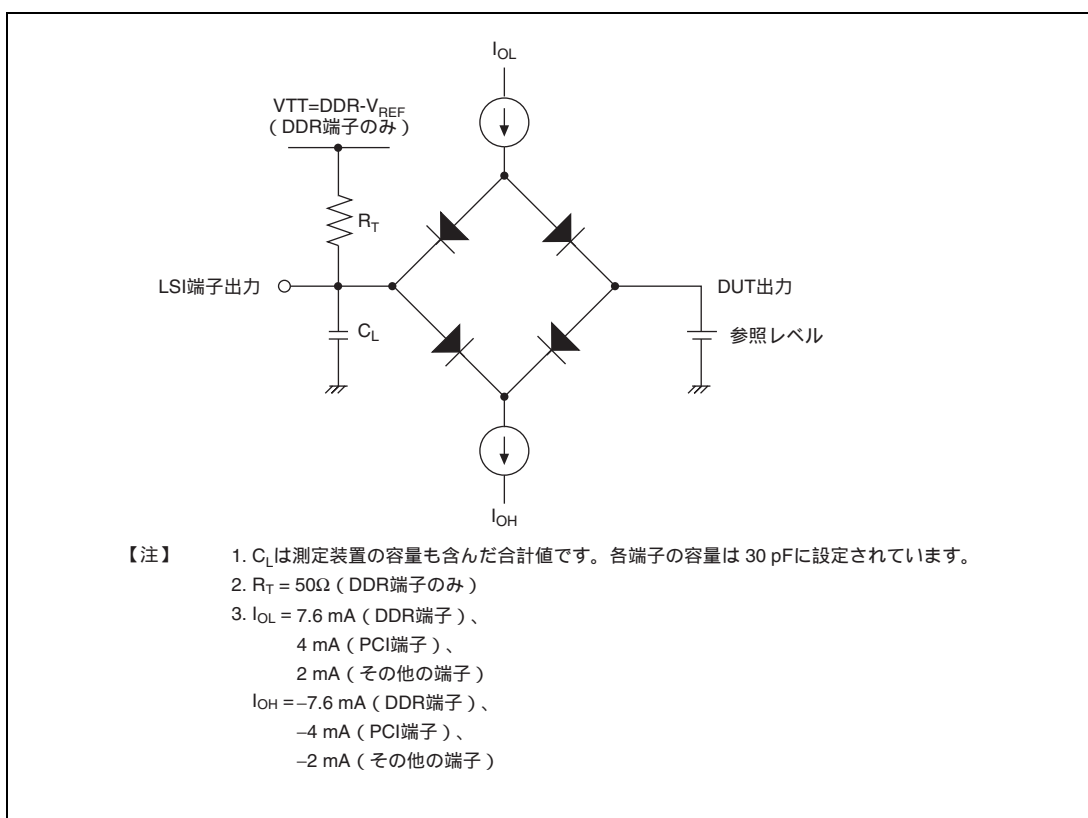


図 43.85 出力付加回路

43.7 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、図 43.86 のグラフを参考に設計してください。

なお、接続される負荷容量が図 43.86 の範囲を超える場合は、グラフは直線にはなりません。

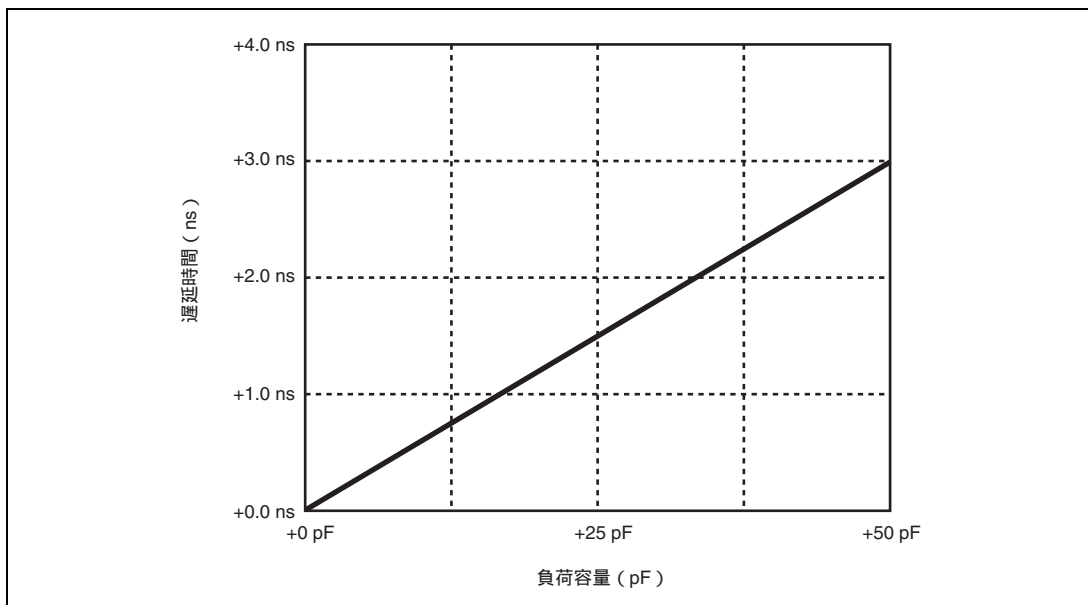


図 43.86 負荷容量 - 遅延時間

付録

A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいはエリア 7 アドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1.または 2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
 2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
- 1.または 2.の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	RABD	—	INTMU	—	—	—
初期値 :	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6		H'000000F	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	1	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
4		0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0 : 割り込みを受理しても SR.IMASK の値は変化しません。 1 : 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0		000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

B. モード端子一覧および外付け回路概念図

本 LSI のモード制御端子の一覧を表 B.1 に示します。

表 B.1 モード制御端子

端子名	機能	入出力	説明
MD0、MD1 MD2	モード制御端子 0、1、2	入力	パワーオンリセット時、クロック動作モードを選択
MD3、MD4	モード制御端子 3、4	入力	パワーオンリセット時、エリア 0 のバス幅、MPX インタフェースを選択
MD5	モード制御端子 5	入力	パワーオンリセット時、エンディアンを選択
MD6	モード制御端子 6	入力	パワーオンリセット時、PCI 動作モードを選択
MD8	モード制御端子 8	入力	パワーオンリセット時、水晶発振子の使用 / 不使用を選択
MD10	モード制御端子 10	入力	パワーオンリセット時、外部 CPU を選択
MPMD	チップモード制御端子	入力	パワーオンリセット時、エミュレーションサポート / 本体チップモードを選択

本 LSI のモード制御端子は、パワーオンリセット時にサンプリングします。パワーオンリセット時以外は、その他の機能として使用することができます。

モード制御端子とその他の機能との切り替えは、図 B.1 を参考に検討してください。その他の機能の端子が入力、出力、入出力のいずれに該当するかは、GPIO または各モジュールの章を参照してください。

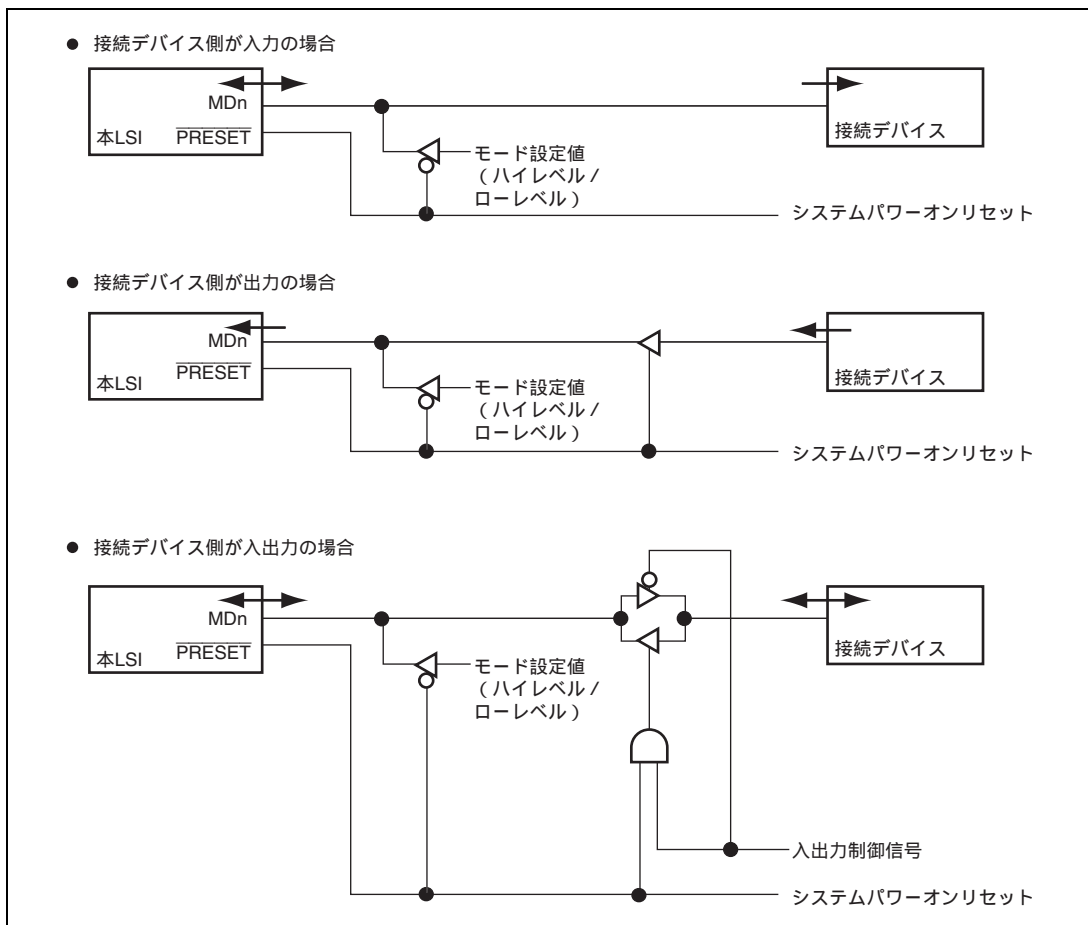


図 B.1 モード端子外付け回路概念図

C. ボード設計上の注意事項

V_{SS} あるいは V_{DD} 電源端子と V_{CC} 電源端子のペア毎に積層セラミックコンデンサをバイパスコンデンサとして実装してください。

ペアになる V_{SS} あるいは V_{DD} 電源端子と V_{CC} 電源端子の端子番号を以下に示します。

電源端子ペア	V _{SS} /V _{DD} 端子番号	V _{CC} 端子番号
内部用 : 1.2V (V _{DD} - V _{CC})	V1	K10
	V2	L10
	V3	M10
	V4	N10
	V5	P10
	W5	Y5
	AA9	R10
	AA10	T10
	AA11	T11
	W21	V21
	U21	T21
	N21	M21
	K21	J21
	G21	F21
	D20	E20
	E16	E17
E8	E9	
DDR-SDRAM I/O 用 : 2.5V (V _{CCQ-DDR} - V _{SSQ-DDR})	B1	B2
	C2	C3
	E4	F4
	E5	F5
	G4	H4
	G5	H5
	K4	J4
	K5	J5
	N4	P4
	N5	P5
	R4	T3
	R5	U3
	T4	U4
T5	U5	

電源端子ペア	Vss/Vdd 端子番号	Vcc 端子番号
DDR-SDRAM I/O 用 : 2.5V (VccQ-DDR - VssQ_DDR)	D11	D10
	E11	E10
	D8	D9
	D7	D6
	E7	E6
	C4	D5
	D3	D4
	A2	A1
I/O 用 : 3.3V (VccQ - VssQ)	AE2	AE1
	AD3	AD2
	AC4	AC3
	AB5	AB4
	AA6	AA5
	AA8	AA7
	AA12	AA14
	AA13	AB14
	AA15	AA16
	AB15	AA17
	AA18	AA19
	AA20	AA21
	Y21	AB22
	AB23	AA22
	R21	P21
	L21	B23
	H21	A24
	E21	A25
	C21	C22
	D22	D21
	E18	E19
D16	E15	
E14	D14	
AD23	AE25	
C13	D13	
アナログ用 : 3.3V (AVcc - Avss)	AD25/AA25/AA24*	AC23/T16*
DLL 用 : 1.2V (Vcc-DLL - Vss-DLL)	M4	L4
	M5	L5

電源端子ペア	Vss/Vdd 端子番号	Vcc 端子番号
PLL 用 : 1.2V (Vcc-PLL - Vss-PLL)	AE24	AD24
	AE21	AD21
	AE20	AD20
RTC 用 : 3.3V (Vdd-RTC - Vss-RTC)	D12	E12

【注】 * アナログ用電源に対するバイパスコンデンサの接続概念図を以下に示します。

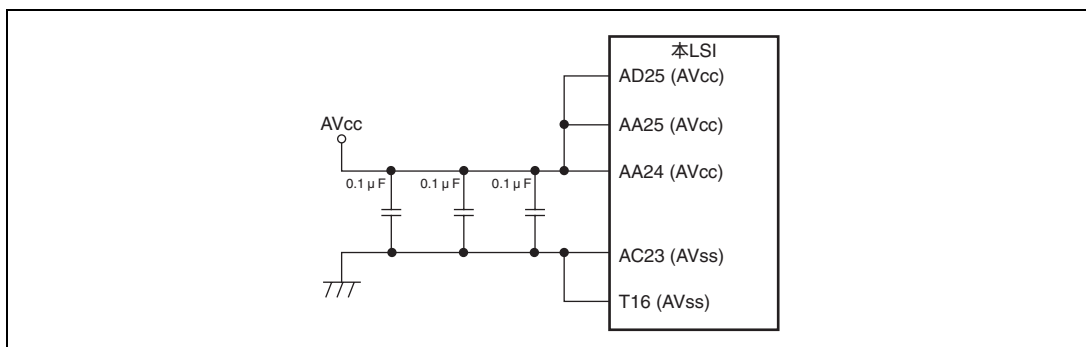


図 C.1 アナログ用電源のバイパスコンデンサ接続回路例

D. 外形寸法図

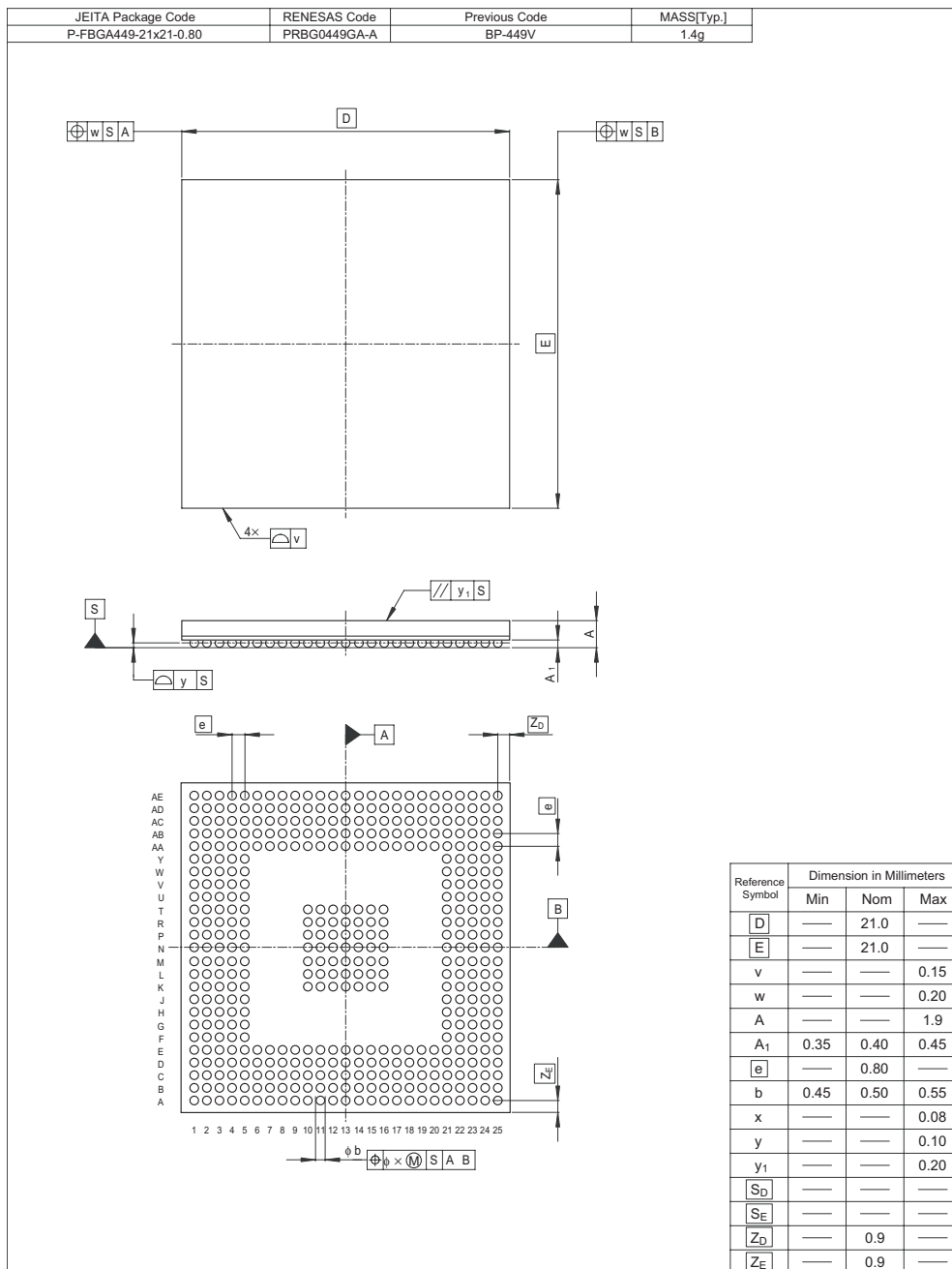


図 D.1 外形寸法図 (449 ピン BGA)

E. 端子状態

表 E.1 端子状態表

端子番号	端子名	入出力	パワーオンリセット		マニュアルリセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
A4	M_CLK0	O	O	O	O	O	O
A5	M_CLK1	O	O	O	O	O	O
A6	M_WE	O	H	H	H	O	O
A7	M_RAS	O	H	H	H	O	O
A8	M_BA0	O	L	L	L	O	O
A9	M_A10	O	L	L	L	O	O
A10	M_A1	O	L	L	L	O	O
A11	M_A3	O	L	L	L	O	O
A12	XTAL2	O	O	O	O	O	O
A13	USBM	IO	I	I	I	I	I
A14	PTI2/ST0M_STARTI/ IIC0_SCL/SIOF1_RXD/ USB_OVRCRT/ USBF_VBUS	I/I/O/I/I	I	I	I/I/O/I/I	I	I/I/O/I/I
A15	PTI0/STATUS0/ ST1_CLK/RMII0_MDC	IO/O/O/O	H	H	P/O/O/O	Z/O/Z/O	P/O/O/O
A16	PTK4/ST1_D4/ GET0_ERXD4/ SIOF2_TXD/LCD_D6	IO/O/I/O/O	M	M	P/IV/I/O/O	Z/Z/Z/Z/O	P/O/I/O/O
A17	PTI6/IRQ2/I $\overline{R}L2$ / ST0M_D6/IIC1_SCL	I/I/I/O	I	I	I/I/I/O	I	I/I/I/O
A18	PTJ5/ST0M_D3I/ ET0_ERXD3/ RMII1_RXD0/ LCD_DON	IO/I/I/O	M	M	P/IV/I/O	Z/Z/Z/Z/O	P/I/I/O
A19	PTJ1/ST0M_CLKIO/ RMII1_RX_ER/ LCD_CLK	IO/O/I	M	M	P/O/I	Z/Z/Z/I	P/O/I
A20	CS5/CE1A	O/O	H	H	H	Z	ZV
A21	PTM6/D30/EX_AD30/ ST0_D6/ET0_RX-CLK/ RMII0_TXD1/PINT6	IO/O/O/O/O/O/I	Z	Z	P/Z/Z/IV/I/O/IV	Z	P/Z/Z/O/O/O/I
A22	PTM4/D28/EX_AD28/ ST0_D4/ET0_PHY-INT/ RMII0_RXD0/PINT4	IO/O/O/O/O/I/I	Z	Z	P/Z/Z/IV/I/I/IV	Z	P/Z/Z/O/I/I/I

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
A23	$\overline{CS0}$	O	H	H	H	Z	ZV
B3	$\overline{M_BKPRST}$	I	M	M	M	M	I
B4	M_CKE	O	O	O	O	O	O
B5	M_A13	O	L	L	L	O	O
B6	$\overline{M_CAS}$	O	H	H	H	O	O
B7	$\overline{M_CS}$	O	H	H	H	O	O
B8	M_BA1	O	L	L	L	O	O
B9	M_A0	O	L	L	L	O	O
B10	M_A2	O	L	L	L	O	O
B11	M_A4	O	L	L	L	O	O
B12	EXTAL2	I	I	I	I	I	I
B13	USBP	IO	I	I	I	I	I
B14	PTI3/ST0M_VALID/ IIC0_SDA/ SIOF1_MCLK/ USB_CLK	I/I/O/I/I	I	I	I/I/O/I/I	I	I/I/O/I/I
B15	PTK7/ST1_D7/GET0_ ERXD7/SIOF2_MCLK/ LCD_VCPWC	IO/O/I/I/O	M	M	P/IV/I/O	Z/Z/Z/O	P/O/I/O
B16	PTI5/MD10/ST1_VALID /LCD_D1	IO/I /O/O	I	I	P-/I/O	Z-/Z/O	P-/O/O
B17	PTI7/IRQ3/IRL3/ ST0M_D7/IIC1_SDA	I/I/I/I/O	I	I	I/I/I/I/O	I	I/I/I/I/O
B18	PTJ4/ST0M_D2/ ET0_ERXD2/ RMI1_RXD1/LCD_CL2	IO/I/I/O	M	M	P/IV/I/O	Z/Z/Z/O	P/I/I/O
B19	RDY/EX_RDY/ PCC_WAIT	I/O/I	ZM	ZM	IV/O/IV	IV/O/IV	IV/O/IV
B20	$\overline{CS2/EX_CS1}$	O/I	H	H	H/I	Z	ZV
B21	PTM7/D31/EX_AD31/ ST0_D7/ET0_RX-DV/ RMI0_TXD0/PINT7	IO/O/O/O/I/O/I	Z	Z	P/Z/Z/IV/I/O/IV	Z	P/Z/Z/O/I/O/I
B22	PTM5/D29/EX_AD29/ ST0_D5/ET0_RX-ER/ RMI0_TXD_EN/PINT5	IO/O/O/O/I/O/I	Z	Z	P/Z/Z/IV/I/O/IV	Z	P/Z/Z/O/I/O/I
B24	PTM3/D27/EX_AD27/ ST0_D3/ET0_LINKSTA/ RMI0_RXD1/PINT3	IO/O/O/O/I/I/I	Z	Z	P/Z/Z/IV/I/I/IV	Z	P/Z/Z/O/I/I/I

端子番号	端子名	入出力	パワーオンリセット		マニュアルリセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
B25	REF125CK/SSI_CLK/ HAC_BITCLK	I/I	I	I	I/I	I	I/I
C1	M_D0	IO	Z	Z	Z	Z	IO
C5	M_A12	O	L	L	L	O	O
C6	M_A11	O	L	L	L	O	O
C7	M_A9	O	L	L	L	O	O
C8	M_A8	O	L	L	L	O	O
C9	M_A7	O	L	L	L	O	O
C10	M_A6	O	L	L	L	O	O
C11	M_A5	O	L	L	L	O	O
C12	XRTCSTBI	I	I	I	I	I	I
C14	PTI1/STATUS1/ ST1_REQ/RMII0_MDIO	IO/O/IO/IO	H	H	P/O/O/I	Z/O/Z	P/O/IO/IO
C15	PTK6/ST1_D6/ GET0_ERXD6/ SIOF2_SCK/ LCD_VEPWC	IO/IO/IO/O	M	M	P/IV/IO/O	Z/Z/Z/O	P/IO/IO/O
C16	PTI4/MD8/ST1_START/ ET1_PHY-INT/ RMII0M0_MDC/ USB_PWREN/ USBF_UPLUP	IO/IO/IO/O/ O	I	I	P-/I/IO/O/O	Z-/Z/Z/O/O/O	P-/IO/IO/O/O
C17	PTJ7/INTB/ST0M_D5/ IRQOUT/RMII1_TXD0/ LCD_D0	IO/I/IO/O/O	M	M	IO/IV/IV/O/O/O	Z/Z/Z/O/O	P/I/IO/O/O
C18	PTJ3/ST0M_D1/ ET0_ERXD1/ RMII1_CRS_DV/ LCD_CL1	IO/I/I/O	M	M	P/IV/I/O	Z/Z/Z/O	P/I/I/O
C19	CS6/CE1B	O/O	H	H	H	Z	ZV
C20	CS1/EX_CS0	O/I	H	H	H/I	Z	ZV
C23	BS/EX_BS	O/I	H	H	H/I	Z	ZV
C24	PTM2/D26/EX_AD26/ ST0_D2/ET0_WOL/ RMII0_CRS_DV/PINT2	IO/IO/IO/IO/O/ I/I	Z	Z	P/Z/Z/IV/O/I/IV	Z	P/Z/Z/IO/O/I/I
C25	PTM1/D25/EX_AD25/ ST0_D1/ET0_TX-CLK/ RMII0_RX_ER/PINT1	IO/IO/IO/IO/I/ I	Z	Z	P/Z/Z/IV/I/I/IV	Z	P/Z/Z/IO/I/I/I

端子番号	端子名	入出力	パワーオンリセット		マニュアルリセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
D1	M_D1	IO	Z	Z	Z	Z	IO
D2	M_D16	IO	Z	Z	Z	Z	IO
D15	PTK5/ST1_D5/ GET0_ERXD5/ SIOF2_RXD/LCD_D7	IO/IO/I/O	M	M	P/IV/I/O	Z/Z/Z/O	P/IO/I/O
D17	PTJ6/ST0M_D4/ ET0_CRS/ RMII1_TXD_EN/ LCD_FLM	IO/I/O/O	M	M	P/IV/O/O	Z/Z/O/O	P/I/O/O
D18	PTJ2/ST0M_D0/ ET0_ERXD0/ RMII1_TXD1/ LCD_M_DISP	IO/I/O/O	M	M	P/IV/O/O	Z/Z/O/O	P/I/O/O
D19	$\overline{CS4}$	O	H	H	H	Z	ZV
D23	RDWR/EX_RDWR	O/I	H	H	H/I	Z	ZV
D24	PTM0/D24/EX_AD24/ ST0_D0/ET0_TX-ER/ PINT0/RMII0M0_MDIO	IO/IO/IO/IO/ O/I/O	Z	Z	P/Z/IV/O/IV/IV	Z/Z/Z/O/Z/Z	P/Z/Z/IO/O/I/O
D25	PTL7/D23/EX_AD23/ ST0_VALID/ ET0_TX-EN/ $\overline{TEND1}$ / LCD_D15	IO/IO/IO/IO/ O/O/O	Z	Z	P/Z/IV/O/O/O	Z/Z/Z/O/O/O	P/Z/Z/IO/O/O/O
E1	M_D2	IO	Z	Z	Z	Z	IO
E2	M_D17	IO	Z	Z	Z	Z	IO
E3	M_D18	IO	Z	Z	Z	Z	IO
E22	PTK3/ST1_D3/ GET0_ETXD7/ SIOF2_SYNC/LCD_D5	IO/IO/O/IO/O	M	M	P/IV/O/O/O	Z/Z/O/Z/O	P/IO/O/IO/O
E23	PTK2/ST1_D2/ GET0_ETXD6/ SIOF1_SCK/LCD_D4	IO/IO/O/IO/O	M	M	P/IV/O/O/O	Z/Z/O/Z/O	P/IO/O/IO/O
E24	PTL6/D22/EX_AD22/ ST0_START/ ET0_ETXD2/ $\overline{DACK1}$ / LCD_D14	IO/IO/IO/IO/ O/O/O	Z	Z	P/Z/IV/O/O/O	Z/Z/Z/O/O/O	P/Z/Z/IO/O/O/O
E25	PTL5/D21/EX_AD21/ ST0_CLK/ET0_ETXD1/ $\overline{DREQ1}$ /LCD_D13	IO/IO/IO/IO/ O/I/O	Z	Z	P/Z/O/O/IV/O	Z/Z/Z/O/Z/O	P/Z/Z/IO/O/I/O
F1	M_D3	IO	Z	Z	Z	Z	IO

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
F2	M_D19	IO	Z	Z	Z	Z	IO
F3	M_D20	IO	Z	Z	Z	Z	IO
F22	PTK1/ST1_D1/ GET0_ETXD5/ SIOF1_TXD/LCD_D3	IO/IO/O/ O/O	M	M	P/IV/O/O/O	Z/Z/O/Z/O	P/IO/O/O/O
F23	PTK0/ST1_D0/ GET0_ETXD4/ SIOF1_SYNC/LCD_D2	IO/IO/O/I O/O	M	M	P/IV/O/O/O	Z/Z/O/Z/O	P/IO/O/IO/O
F24	PTL4/D20/EX_AD20/ ST0_REQ/ET0_ETXD0/ INTD/LCD_D12	IO/IO/IO/ IO/ O/I/O	Z	Z	P/Z/Z/O/O/IV/O	Z/Z/Z/O/IV/O	P/Z/Z/IO/O/IO
F25	PTJ0/ST0M_REQO/ GET0_GTX-CLK/ REF50CK	IO/O/O/I	M	M	P/O/O/I	Z/Z/O/Z	P/O/O/I
G1	M_D4	IO	Z	Z	Z	Z	IO
G2	M_D21	IO	Z	Z	Z	Z	IO
G3	M_D22	IO	Z	Z	Z	Z	IO
G22	PTL3/D19/EX_AD19/ IRQ7/IRL7/ET0_MDIO/ INTC/LCD_D11	IO/IO/IO/ I/I/ IO/I/O	Z	Z	P/Z/Z/IV/IV/I/O	Z/Z/Z/IV/IV/Z/IV/O	P/Z/Z/I/IO/IO
G23	PTL2/D18/EX_AD18/ IRQ6/IRL6/ET0_ETXD3/ TEND0/LCD_D10	IO/IO/IO/ I/I/O/O/O	Z	Z	P/Z/Z/IV/IV/O/O/O	Z/Z/Z/IV/IV/O/O/O	P/Z/Z/I/IO/O/ O
G24	WE3/IOWR	O/O	H	H	H	Z	ZV
G25	WE2/IORD	O/O	H	H	H	Z	ZV
H1	M_D5	IO	Z	Z	Z	Z	IO
H2	M_D23	IO	Z	Z	Z	Z	IO
H3	M_DQS2	IO	Z	Z	Z	Z	IO
H22	PTL0/D16/EX_AD16/ IRQ4/IRL4/ET0_COL/ DREQ0/LCD_D8	IO/IO/IO/ I/I/I/O	Z	Z	P/Z/Z/IV/IV/I/O	Z/Z/Z/IV/IV/Z/O	P/Z/Z/I/I/I/O
H23	PTL1/D17/EX_AD17/ IRQ5/IRL5/ET0_MDC/ DACK0/LCD_D9	IO/IO/IO/ I/I/O/O/O	Z	Z	P/Z/Z/IV/IV/O/O/O	Z/Z/Z/IV/IV/O/O/O	P/Z/Z/I/IO/O/ O
H24	D15/EX_AD15	IO/IO	Z	Z	Z	ZV	Z
H25	D14/EX_AD14	IO/IO	Z	Z	Z	ZV	Z
J1	M_D7	IO	Z	Z	Z	Z	IO
J2	M_D6	IO	Z	Z	Z	Z	IO

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
J3	M_DQM2	O	H	H	H	O	O
J22	D7/EX_AD7	IO/IO	Z	Z	Z	ZV	Z
J23	D6/EX_AD6	IO/IO	Z	Z	Z	ZV	Z
J24	D13/EX_AD13	IO/IO	Z	Z	Z	ZV	Z
J25	D12/EX_AD12	IO/IO	Z	Z	Z	ZV	Z
K1	M_DQM0	O	H	H	H	O	O
K2	M_DQS0	IO	Z	Z	Z	Z	IO
K3	M_DQS3	IO	Z	Z	Z	Z	IO
K22	D5/EX_AD5	IO/IO	Z	Z	Z	ZV	Z
K23	D4/EX_AD4	IO/IO	Z	Z	Z	ZV	Z
K24	D11/EX_AD11	IO/IO	Z	Z	Z	ZV	Z
K25	D10/EX_AD10	IO/IO	Z	Z	Z	ZV	Z
L1	M_DQS1	IO	Z	Z	Z	Z	IO
L2	M_DQM1	O	H	H	H	O	O
L3	M_DQM3	O	H	H	H	O	O
L22	D3/EX_AD3	IO/IO	Z	Z	Z	ZV	Z
L23	D2/EX_AD2	IO/IO	Z	Z	Z	ZV	Z
L24	D9/EX_AD9	IO/IO	Z	Z	Z	ZV	Z
L25	D8/EX_AD8	IO/IO	Z	Z	Z	ZV	Z
M1	M_D8	IO	Z	Z	Z	Z	IO
M2	M_D24	IO	Z	Z	Z	Z	IO
M3	M_D25	IO	Z	Z	Z	Z	IO
M22	D1/EX_AD1	IO/IO	Z	Z	Z	ZV	Z
M23	D0/EX_AD0	IO/IO	Z	Z	Z	ZV	Z
M24	$\overline{WE1}/\overline{WE}$	O/O	H	H	H	Z	ZV
M25	CLKOUT	O	O	O	O	O	O
N1	M_D9	IO	Z	Z	Z	Z	IO
N2	M_D26	IO	Z	Z	Z	Z	IO
N3	M_D27	IO	Z	Z	Z	Z	IO
N22	$\overline{RD}/\overline{FRAME}/$ $\overline{EX_FRAME}$	O/O/I	H	H	H/H/I	Z	ZV
N23	$\overline{WE0}/\overline{PCC_REG}$	O/O	H	H	H/O	Z	ZV
N24	A1	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
N25	A0	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
P1	M_D10	IO	Z	Z	Z	Z	IO

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
P2	M_D28	IO	Z	Z	Z	Z	IO
P3	M_D29	IO	Z	Z	Z	Z	IO
P22	A9	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
P23	A8	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
P24	A3	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
P25	A2	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
R1	M_D11	IO	Z	Z	Z	Z	IO
R2	M_D30	IO	Z	Z	Z	Z	IO
R3	M_D31	IO	Z	Z	Z	Z	IO
R22	A11	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
R23	A10	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
R24	A5	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
R25	A4	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
T1	M_D13	IO	Z	Z	Z	Z	IO
T2	M_D12	IO	Z	Z	Z	Z	IO
T22	A17	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
T23	A16	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
T24	A7	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
T25	A6	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
U1	M_D15	IO	Z	Z	Z	Z	IO
U2	M_D14	IO	Z	Z	Z	Z	IO
U22	A19	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
U23	A18	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
U24	A13	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
U25	A12	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
V22	A21	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
V23	A20	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
V24	A15	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
V25	A14	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
W1	PTG1/GNT2/ ET1_ETXD0	IO/O/O	Z	Z	IO/Z/O	Z/Z/O	IO/O/O
W2	PTG2/REQ1/ ET1_ETXD1	IO/I/O	I	I	IO/I/O	Z/Z/O	IO/I/O
W3	PTG3/REQ3/ ET1_ETXD2	IO/I/O	I	I	IO/I/O	Z/Z/O	IO/I/O

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
W4	PTF0/GNT0/GNTIN/ SIM_D/ET1_ETXD3/ DREQ3	IO/IO/I/O/O /I	I	I	IO/I(10 ^{*2})/I/I/O/I	Z/Z/Z/O/Z	IO/IO/I/O/O/I
W22	A25/EX_SIZE2	O/I	O(M ^{*1})	O(M ^{*1})	O/I	Z	ZV
W23	A24/EX_SIZE1	O/I	O(M ^{*1})	O(M ^{*1})	O/I	Z	ZV
W24	A23/EX_SIZE0	O/I	O(M ^{*1})	O(M ^{*1})	O/I	Z	ZV
W25	A22	O	O(V ^{*1})	O(V ^{*1})	O	Z	ZV
Y1	PTE1/PCICLK/ GET1_ETXD4/DACK2	IO/I/O/O	I	I	IO/I/O/O	I/I/O/O	IO/I/O/O
Y2	PTD6/REQ2/ PCC_BVD1/ GET1_ETXD5/ SSI1_SCK/ LCDM_VCPWC	IO/I/I/O/I/O O	I	I	IO/I/I/O/I/O	Z/Z/Z/O/Z/O	IO/I/I/O/I/O/O
Y3	PTE0/INTA/PCC_DRV/ GET1_ETXD6/DREQ2	IO/IO/O/O/I	I	I	IO/I/O/O/I	Z/Z/O/O/Z	IO/IO/O/O/I
Y4	PTD7/PCIRESET/ PCC_RESET/ GET1_ETXD7/ LCDM_VEPWC	O/O/O/O/O	O	O	O/O/O/O/O	O	O/O/O/O/O
Y22	CE2A	O	V	V	O	ZV	ZV
Y23	CE2B	O	V	V	O	ZV	ZV
Y24	DA1	O	O	O	O	O	O
Y25	DA0	O	O	O	O	O	O
AA1	PTF1/REQ0/REQOUT/ SIM_CLK/ET1_MDC/ DACK3	IO/IO/O/O/ O/O	I	I	IO/IO(1 ^{*1})/O/O/O/O	Z/Z/Z/Z/O/O	IO/IO/O/O/O/O
AA2	PTF2/AD31/SIM_RST/ ET1_MDIO/TEND3	IO/IO/O/IO/ O	I	O	IO/I(10 ^{*2})/O/I/O	Z/Z/Z/Z/O	IO/IO/O/IO/O
AA3	PTG0/GNT1/ET1_WOL	IO/O/O	Z	Z	IO/Z/O	Z/Z/O	IO/O/O
AA4	PTG4/AD30/ ET1_LINKSTA	IO/IO/I	I	O	IO/I(10 ^{*2})/I	Z	IO/IO/I
AA23	IOIS16/TMU_TCLK	I/I	M(V ^{*1})	M(V ^{*1})	IV	ZV	IV/I
AB1	PTE5/AD29/ SCIF2_TXD/ GET1_GTX-CLK/ SSIO_SCK	IO/IO/O/O/I O	I	O	IO/I(10 ^{*2})/O/O/I	Z/Z/Z/O/Z	IO/IO/O/O/O
AB2	PTG7/AD28/ ET1_TX-EN	IO/IO/O	I	O	IO/I(10 ^{*2})/O	Z/Z/O	IO/IO/O

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
AB3	PTG6/AD26/ET1_TX-ER	IO/IO/O	I	O	IO/I(IO*)/O	Z/Z/O	IO/IO/O
AB6	PTE4/AD22/SCIF2_RXD/ GET1_ERXD4/ SSI0_SDATA	IO/IO/I/I/O	I	O	IO/I(IO*)/I/I/I	Z	IO/IO/I/I/O
AB7	PTD5/AD18/PCC_CD2/ GET1_ERXD6/ SSI1_SDATA/LCDM_D14	IO/IO/I/I/O/O	I	O	IO/I(IO*)/I/I/I/O	Z/Z/Z/Z/O	IO/IO/I/I/O/O
AB8	PTD3/PCIFRAME/ PCC_BVD2/SIOF0_SCK/ HAC_RES/LCDM_D12	IO/IO/IO/O/ O	I	I	IO/I/O/O/O	Z/Z/Z/O/O	IO/IO/IO/O/O
AB9	PTD4/STOP/PCC_CD1/ SIOF0_MCLK/SSI1_WS/ LCDM_DON	IO/IO/I/I/O/O	I	I	IO/I/I/I/O	Z/Z/Z/Z/O	IO/IO/I/I/O/O
AB10	PTA3/AD15/ SCIF1_CTS	IO/IO/O	I	O	IO/I(IO*)/I	Z	IO/IO/O
AB11	PTB2/AD11/PINT10/ LCDM_D7	IO/IO/O	I	O	IO/I(IO*)/O	Z/Z/Z/O	IO/IO/O
AB12	PTB6/CBE0/PINT14/ LCDM_D3	IO/IO/O	I	O	IO/I(IO*)/O	Z/Z/Z/O	IO/IO/O
AB13	PTC1/AD4/LCDM_D1	IO/IO/O	I	O	IO/I(IO*)/O	Z/Z/O	IO/IO/O
AB16	MPMD	I	M	M	M	M	M
AB17	PTO6/IRQ0/IRL0/ DACK1M/MD5	IO/I/O/I	I	I	P/I/O/-	Z/I/O/-	P/I/O/-
AB18	PTO2/AUDATA1/ RMII0M1_MDC	IO/O/O	M	M	P/O/O	Z/O/O	P/O/O
AB20	TDO	O	Z	Z	O	Z	O
AB24	AN3	I	Z	Z	I	I	I
AB25	AN2	I	Z	Z	I	I	I
AC1	PTH6/AD27/TPU_TO2/ ET1_CRS/ RMII1M_TXD_EN	IO/IO/O/O	I	O	IO/I(IO*)/O/O	Z/Z/O/Z/O	IO/IO/O/O
AC2	PTH0/AD25/TPU_TI3A/ ET1_COL/ RMII1M_RX_ER	IO/IO/I/I	I	O	IO/I(IO*)/I/I/I	Z	IO/IO/I/I
AC5	PTH1/IDSEL/TPU_TI3B/ ET1_RX-ER/ RMII1M_CRS_DV	IO/I/I/I	I	I	IO/I/I/I	Z	IO/I/I/I

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
AC6	PTE3/AD20/SCIF2_ SCK/GET1_ERXD5/ SSI0_WS	IO/IO/IO/IO	I	O	IO/(IO [※])/I/I	Z	IO/IO/IO/IO
AC7	PTE2/AD16/PCC_IOIS16 /GET1_ERXD7/TEND2	IO/IO/I/O	I	O	IO/(IO [※])/I/O	Z/Z/Z/O	IO/IO/I/O
AC8	PTD2/TRDY/PCC_RDY/ SIOF0_RXD/HAC_ SYNC/LCDM_D11	IO/IO/I/O/O	I	I	IO/I/I/O/O	Z/Z/Z/O/O	IO/IO/I/O/O
AC9	PTA0/PAR/SCIF1_SCK	IO/IO/IO	I	O	IO/(IO [※])/I	Z	IO/IO/IO
AC10	PTA4/AD13/ SCIF1_RTS	IO/IO/IO	I	O	IO/(IO [※])/O	Z	IO/IO/IO
AC11	PTB3/AD9/PINT11/ LCDM_D6	IO/IO/I/O	I	O	IO/(IO [※])/I/O	Z/Z/Z/O	IO/IO/I/O
AC12	PTB7/AD6/PINT15/ LCDM_D2	IO/IO/I/O	I	O	IO/(IO [※])/I/O	Z/Z/Z/O	IO/IO/I/O
AC13	PTC2/AD2/LCDM_D0	IO/IO/O	I	O	IO/(IO [※])/O	Z/Z/O	IO/IO/O
AC14	PTC5/AD0/MMC_CD/ LCDM_FLM	IO/IO/I/O	I	O	IO/(IO [※])/I/O	Z/Z/Z/O	IO/IO/I/O
AC15	PTN2/SCIF0_TXD/ MD1	IO/O/I	I	I	IO/O/-	Z/Z/-	IO/O/-
AC16	MRESET	I	I	I	I	I	I
AC17	PTO7/IRQ1/IRL1/TEND1 M/SSI3_SCK/MD6	IO/I/O/IO/I	I	I	P/I/O/I/-	Z/I/O/Z/-	P/I/O/IO/-
AC18	PTO3/AUDATA2/RMII0M 1_MDIO/SSI2_SCK	IO/O/IO/IO	M	M	P/O/I/I/V	Z/O/Z/Z	P/O/IO/IO
AC19	TRST	I	M	M	M	M	M
AC20	TDI	I	M	M	M	M	M
AC21	TMS	I	M	M	M	M	M
AC22	BACK	O	O	O	O	O	O
AC24	AN1	I	Z	Z	I	I	I
AC25	AN0	I	Z	Z	I	I	I
AD1	PTF3/CBE3/ ET1_TX-CLK	IO/IO/I	I	O	IO/(IO [※])/I	Z	IO/IO/I
AD4	PTH2/AD24/TPU_T12A/E T1_ERXD0/ RMII1M_TXD1	IO/IO/I/O	I	O	IO/(IO [※])/I/O	Z/Z/Z/Z/O	IO/IO/I/O

端子 番号	端子名	入出力	パワーオン リセット		マニュアル リセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
AD5	PTH3/AD21/TPU_TI2B/ ET1_ERXD2/ RMII1M_RXD1	IO/IO/I/I	I	O	IO/1(10 ^{*2})/I/I	Z	IO/IO/I/I
AD6	PTH7/AD17/TPU_TO3/ ET1_RX-DV	IO/IO/O/I	I	O	IO/1(10 ^{*2})/O/I	Z/Z/O/Z	IO/IO/O/I
AD7	PTD0/IRDY/PCC_VS1/ SIOF0_SYNC/ HAC_SD_IN/LCDM_D13	IO/IO/I/IO/O	I	I	IO/I/IO/O	Z/Z/Z/Z/O	IO/IO/I/IO/O
AD8	PTA2/LOCK/ SCIF1_TXD	IO/IO/O	I	I	IO/I/O	Z	IO/IO/O
AD9	PTB1/SERR/PINT9/ LCDM_D9	IO/IO/O	I	I	IO/I/O	Z/Z/Z/O	IO/IO/O
AD10	PTB5/AD14/PINT13/ LCDM_M_DISP	IO/IO/O	I	O	IO/1(10 ^{*2})/O	Z/Z/Z/O	IO/IO/O
AD11	PTC0/AD10/MMC_DAT/ LCDM_D5	IO/IO/O/O	I	O	IO/1(10 ^{*2})/O/O	Z/Z/Z/O	IO/IO/O/O
AD12	PTC4/AD7/MMC_CMD/ LCDM_CL2	IO/IO/O/O	I	O	IO/1(10 ^{*2})/O/O	Z/Z/Z/O	IO/IO/O/O
AD13	PTC7/AD3/MMC_CLK	IO/IO/O	I	O	IO/1(10 ^{*2})/O	Z	IO/IO/O
AD14	PTN0/SCIF0_SCK/MD0	IO/IO/I	I	I	IO/I/-	Z/Z/-	IO/IO/-
AD15	PTN3/SCIF0_CTS/MD4	IO/IO/I	I	I	IO/I/-	Z/Z/-	IO/IO/-
AD16	PTN5/NMI	IO/I	M	M	P/IV	Z/IV	P/I
AD17	PTO0/AUDSYNC/ RMII1_MDC/SSI2_WS	IO/O/O/O	M	M	P/O/O/IV	Z/O/O/Z	P/O/O/O
AD18	PTO4/AUDATA3/ EX_INT/SSI3_WS	IO/O/O/O	M	M	P/O/O/IV	Z/O/O/Z	P/O/O/O
AD19	ASEBRK/BRKACK	IO	M	M	M/O	M	M/O
AD22	BREQ	I	M	M	IV	IV	IV
AE3	PTG5/GNT3/ ET1_RX-CLK	IO/O/I	Z	Z	IO/Z/I	Z	IO/O/I
AE4	PTH5/AD23/TPU_TO1/ ET1_ERXD1/ RMII1M_TXD0	IO/IO/O/O	I	O	IO/1(10 ^{*2})/O/O	Z/Z/O/Z/O	IO/IO/O/O
AE5	PTH4/AD19/TPU_TO0/ ET1_ERXD3/ RMII1M_RXD0	IO/IO/O/I	I	O	IO/1(10 ^{*2})/O/I	Z/Z/O/Z/Z	IO/IO/O/I

端子番号	端子名	入出力	パワーオンリセット		マニュアルリセット	スタンバイ	バス解放時
			MD6=0	MD6=1			
AE6	PTD1/CBE2/PCC_VS2/ SIOF0_TXD/ HAC_SD_OUT/ LCDM_D15	IO/IO/I/O/O/O	I	O	IO/I(10 ^{*2})/I/O/O/O	Z/Z/Z/O/O	IO/IO/I/O/O/O
AE7	PTA1/DEVSEL/ SCIF1_RXD	IO/IO/I	I	I	IO/I/I	Z	IO/IO/I
AE8	PTB0/PERR/PINT8/ LCDM_D10	IO/IO/I/O	I	I	IO/I/I/O	Z/Z/Z/O	IO/IO/I/O
AE9	PTB4/CBE1/PINT12/ LCDM_D8	IO/IO/I/O	I	O	IO/I(10 ^{*2})/I/O	Z/Z/Z/O	IO/IO/I/O
AE10	PTA5/AD12	IO/IO	I	O	IO/I(10 ^{*2})	Z	IO/IO
AE11	PTC3/AD8/ MMC_ODMOD/ LCDM_D4	IO/IO/O/O	I	O	IO/I(10 ^{*2})/O/O	Z/Z/Z/O	IO/IO/O/O
AE12	PTC6/AD5/LCDM_CL1	IO/IO/O	I	O	IO/I(10 ^{*2})/O	Z/Z/Z/O	IO/IO/O
AE13	PTA6/AD1/ MMC_VDDON	IO/IO/O	I	O	IO/I(10 ^{*2})/O	Z	IO/IO/O
AE14	PTN1/SCIF0_RXD/MD3	IO/I/I	I	I	IO/Z/-	Z/Z/-	IO/I/-
AE15	PTN4/SCIF0_RTS/MD2	IO/IO/I	I	I	IO/O/-	Z/Z/-	IO/IO/-
AE16	PRESET	I	I	I	I	I	I
AE17	PTO1/AUDATA0/ RMII1_MDIO/ SSI2_SDATA	IO/O/IO/IO	M	M	P/O/I/IV	Z/O/Z/Z	P/O/IO/IO
AE18	PTO5/AUDCK/ DREQ1M/ SSI3_SDATA	IO/O/I/IO	M	M	P/O/IV/IV	Z/O/Z/Z	P/O/I/IO
AE19	TCK	I	M	M	M	M	M
AE22	EXTAL	I	I	I	I	I	I
AE23	XTAL	O	O	O	O	O	O

【注】 *1: 内部が確定するまでの状態

*2: MD6=1の場合

【記号説明】

- I: 入力状態
- O: 出力状態
- IO: 入力あるいは出力状態
- H: High 出力状態 (入力バッファ OFF、出力バッファ ON)
- V: 入力バッファ OFF、出力バッファ OFF、プルアップ ON
- M: 入力バッファ ON、出力バッファ OFF、プルアップ ON

-
- IV: 入力バッファ ON、出力バッファ OFF、プルアップの ON / OFF は GPIO のレジスタ設定による
- Z: HiZ 状態 (入力バッファ OFF、出力バッファ OFF)
- ZV: HiZ 状態かプルアップ ON かは LBSC、GPIO レジスタ設定による
- P: 入力バッファの ON / OFF、出力バッファの ON / OFF、プルアップの ON / OFF はレジスタ設定による
- : 無効
- ZM: パワーオンリセット中は HiZ 状態 (入力バッファ OFF、出力バッファ OFF)、パワーオンリセット直後は入力バッファ ON、出力バッファ OFF、プルアップ ON

F. 未使用時の端子処理

表 F.1 未使用時の端子処理

端子番号	端子名	入出力	未使用端子の処理
A4	M_CLK0	O	オープン
A5	$\overline{M_CLK1}$	O	オープン
A6	$\overline{M_WE}$	O	オープン
A7	$\overline{M_RAS}$	O	オープン
A8	M_BA0	O	オープン
A9	M_A10	O	オープン
A10	M_A1	O	オープン
A11	M_A3	O	オープン
A12	XTAL2	O	オープン
A13	USBM	IO	プルダウン
A14	PTI2/ST0M_START1/IIC0_SCL/SIOF1_RXD/USB_OVRCRT/USBF_VBUS	I/I/O/I/I/I	プルアップ
A15	PTI0/STATUS0/ST1_CLK/RMII0_MDC	IO/O/IO/O	オープン
A16	PTK4/ST1_D4/SIOF2_TXD/LCD_D6	IO/IO/O/O	オープン
	GET0_ERXD4	I	プルアップ
A17	PTI6/IRQ2/IRL2/ST0M_D6/IIC1_SCL	I/I/I/IO	プルアップ
A18	PTJ5/LCD_DON	IO/O	オープン
	ST0M_D3I/ET0_ERXD3/RMII1_RXD0	I/I/I	プルアップ
A19	PTJ1/ST0M_CLKIO	IO/IO	オープン
	RMII1_RX_ER/LCD_CLK	I/I	プルアップ
A20	$\overline{CS5/CE1A}$	O/O	オープン
A21	PTM6/D30/EX_AD30/ST0_D6/ RMII0_TXD1	IO/IO/IO/IO/O	オープン
	ET0_RX-CLK/PINT6	I/I	プルアップ
A22	PTM4/D28/EX_AD28/ST0_D4	IO/IO/IO/IO	オープン
	ET0_PHY-INT/RMII0_RXD0/PINT4	I/I/I	プルアップ
A23	$\overline{CS0}$	O	オープン
B3	$\overline{M_BKPRST}$	I	プルアップ
B4	M_CKE	O	オープン
B5	M_A13	O	オープン
B6	$\overline{M_CAS}$	O	オープン
B7	$\overline{M_CS}$	O	オープン
B8	M_BA1	O	オープン
B9	M_A0	O	オープン

端子番号	端子名	入出力	未使用端子の処理
B10	M_A2	O	オープン
B11	M_A4	O	オープン
B12	EXTAL2	I	VDD-RTC にプルアップ
B13	USBP	IO	プルアップ
B14	PTI3/ST0M_VALID/IIC0_SDA/SIOF1_MCLK/USB_CLK	I/I/O/I	プルアップ
B15	PTK7/ST1_D7/LCD_VCPWC	IO/IO/O	オープン
	GET0_ERXD7/SIOF2_MCLK	I/I	プルアップ
B16	PTI5/MD10/ST1_VALID/LCD_D1	IO/I/IO/O	必ず使用する
B17	PTI7/IRQ3/IRL3/ST0M_D7/IIC1_SDA	I/I/I/IO	プルアップ
B18	PTJ4/LCD_CL2	IO/O	オープン
	ST0M_D2/ET0_ERXD2/RMII1_RXD1	I/I	プルアップ
B19	$\overline{\text{RDY}}$	I	ブルダウン
	EX_RDY	O	オープン
	PCC_WAIT	I	プルアップ
B20	$\overline{\text{CS2}}$	O	オープン
	EX_CS1	I	プルアップ
B21	PTM7/D31/EX_AD31/ST0_D7/RMII0_TXD0	IO/IO/IO/IO/O	オープン
	ET0_RX-DV/PINT7	I/I	プルアップ
B22	PTM5/D29/EX_AD29/ST0_D5/RMII0_TXD_EN	IO/IO/IO/IO/O	オープン
	ET0_RX-ER/PINT5	I/I	プルアップ
B24	PTM3/D27/EX_AD27/ST0_D3	IO/IO/IO/IO	オープン
	ET0_LINKSTA/RMII0_RXD1/PINT3	I/I/I	プルアップ
B25	REF125CK/SSI_CLK/HAC_BITCLK	I/I/I	プルアップ
C1	M_D0	IO	オープン
C5	M_A12	O	オープン
C6	M_A11	O	オープン
C7	M_A9	O	オープン
C8	M_A8	O	オープン
C9	M_A7	O	オープン
C10	M_A6	O	オープン
C11	M_A5	O	オープン
C12	$\overline{\text{XRTCSTBI}}$	I	VDD-RTC にプルアップ
C14	PTI1/STATUS1/ST1_REQ/RMII0_MDIO	IO/O/IO/IO	オープン
C15	PTK6/ST1_D6/SIOF2_SCK/LCD_VEPWC	IO/IO/IO/O	オープン
	GET0_ERXD6	I	プルアップ

端子番号	端子名	入出力	未使用端子の処理
C16	PTI4/MD8/ST1_START/ET1_PHY-INT/RMII0M0_MDC/USB_PWREN/USBF_UPLUP	IO/I/O/I/O/O/O	必ず使用する
C17	PTJ7/IRQOUT/RMII1_TXD0/LCD_D0	IO/O/O/O	オープン
	I $\overline{\text{NTB}}$ /ST0M_D5I	I/I	プルアップ
C18	PTJ3/LCD_CL1	IO/O	オープン
	ST0M_D1I/ET0_ERXD1/RMII1_CRS_DV	I/I/I	プルアップ
C19	C $\overline{\text{S6}}$ /CE1 $\overline{\text{B}}$	O/O	オープン
C20	C $\overline{\text{S1}}$	O	オープン
	EX_CS $\overline{\text{0}}$	I	プルアップ
C23	B $\overline{\text{S}}$	O	オープン
	EX_BS	I	プルアップ
C24	PTM2/D26/EX_AD26/ST0_D2/ET0_WOL	IO/IO/IO/IO/O	オープン
	RMII0_CRS_DV/PINT2	I/I	プルアップ
C25	PTM1/D25/EX_AD25/ST0_D1	IO/IO/IO/IO	オープン
	ET0_TX-CLK/RMII0_RX_ER/PINT1	I/I/I	プルアップ
D1	M_D1	IO	オープン
D2	M_D16	IO	オープン
D15	PTK5/ST1_D5/LCD_D7	IO/IO/O	オープン
	GET0_ERXD5/SIOF2_RXD	I/I	プルアップ
D17	PTJ6/RMII1_TXD_EN/LCD_FLM	IO/O/O	オープン
	ST0M_D4I/ET0_CRS	I/I	プルアップ
D18	PTJ2/RMII1_TXD1/LCD_M_DISP	IO/O/O	オープン
	ST0M_D0I/ET0_ERXD0	I/I	プルアップ
D19	C $\overline{\text{S4}}$	O	オープン
D23	RDW $\overline{\text{R}}$	O	オープン
	EX_RDW $\overline{\text{R}}$	I	プルアップ
D24	PTM0/D24/EX_AD24/ST0_D0/ET0_TX-ER/RMII0M0_MDIO	IO/IO/IO/IO/O/IO	オープン
	PINT0	I	プルアップ
D25	PTL7/D23/EX_AD23/ST0_VALID/ET0_TX-EN/TEND1/LCD_D15	IO/IO/IO/IO/O/O/O	オープン
E1	M_D2	IO	オープン
E2	M_D17	IO	オープン
E3	M_D18	IO	オープン
E22	PTK3/ST1_D3/GET0_ETXD7/SIOF2_SYNC/LCD_D5	IO/IO/O/IO/O	オープン
E23	PTK2/ST1_D2/GET0_ETXD6/SIOF1_SCK/LCD_D4	IO/IO/O/IO/O	オープン
E24	PTL6/D22/EX_AD22/ST0_START/ET0_ETXD2/DACK1/LCD_D14	IO/IO/IO/IO/O/O/O	オープン

端子番号	端子名	入出力	未使用端子の処理
E25	PTL5/D21/EX_AD21/ST0_CLK/ET0_ETXD1/LCD_D13	IO/IO/IO/IO/O/O	オープン
	$\overline{\text{DREQ1}}$	I	プルアップ
F1	M_D3	IO	オープン
F2	M_D19	IO	オープン
F3	M_D20	IO	オープン
F22	PTK1/ST1_D1/GET0_ETXD5/SIOF1_TXD/LCD_D3	IO/IO/O/O/O	オープン
F23	PTK0/ST1_D0/GET0_ETXD4/SIOF1_SYNC/LCD_D2	IO/IO/O/IO/O	オープン
F24	PTL4/D20/EX_AD20/ST0_REQ/ET0_ETXD0/LCD_D12	IO/IO/IO/IO/O/O	オープン
	$\overline{\text{INTD}}$	I	プルアップ
F25	PTJ0/ST0M_REQO/GET0_GTX-CLK	IO/O/O	オープン
	REF50CK	I	プルアップ
G1	M_D4	IO	オープン
G2	M_D21	IO	オープン
G3	M_D22	IO	オープン
G22	PTL3/D19/EX_AD19/ET0_MDIO/LCD_D11	IO/IO/IO/IO/O	オープン
	$\overline{\text{IRQ7/IRL7/INTC}}$	I/I	プルアップ
G23	PTL2/D18/EX_AD18/ET0_ETXD3/ $\overline{\text{TEND0}}$ /LCD_D10	IO/IO/IO/O/O/O	オープン
	$\overline{\text{IRQ6/IRL6}}$	I/I	プルアップ
G24	$\overline{\text{WE3/IOWR}}$	O/O	オープン
G25	$\overline{\text{WE2/IORD}}$	O/O	オープン
H1	M_D5	IO	オープン
H2	M_D23	IO	オープン
H3	M_DQS2	IO	オープン
H22	PTL0/D16/EX_AD16/LCD_D8	IO/IO/IO/O	オープン
	$\overline{\text{IRQ4/IRL4/ET0_COL/DREQ0}}$	I/I/I	プルアップ
H23	PTL1/D17/EX_AD17/ET0_MDC/ $\overline{\text{DACK0}}$ /LCD_D9	IO/IO/IO/O/O/O	オープン
	$\overline{\text{IRQ5/IRL5}}$	I/I	プルアップ
H24	D15/EX_AD15	IO/IO	オープン
H25	D14/EX_AD14	IO/IO	オープン
J1	M_D7	IO	オープン
J2	M_D6	IO	オープン
J3	M_DQM2	O	オープン
J22	D7/EX_AD7	IO/IO	オープン
J23	D6/EX_AD6	IO/IO	オープン
J24	D13/EX_AD13	IO/IO	オープン
J25	D12/EX_AD12	IO/IO	オープン
K1	M_DQM0	O	オープン
K2	M_DQS0	IO	オープン

端子番号	端子名	入出力	未使用端子の処理
K3	M_DQS3	IO	オープン
K22	D5/EX_AD5	IO/IO	オープン
K23	D4/EX_AD4	IO/IO	オープン
K24	D11/EX_AD11	IO/IO	オープン
K25	D10/EX_AD10	IO/IO	オープン
L1	M_DQS1	IO	オープン
L2	M_DQM1	O	オープン
L3	M_DQM3	O	オープン
L22	D3/EX_AD3	IO/IO	オープン
L23	D2/EX_AD2	IO/IO	オープン
L24	D9/EX_AD9	IO/IO	オープン
L25	D8/EX_AD8	IO/IO	オープン
M1	M_D8	IO	オープン
M2	M_D24	IO	オープン
M3	M_D25	IO	オープン
M22	D1/EX_AD1	IO/IO	オープン
M23	D0/EX_AD0	IO/IO	オープン
M24	WE1/WE	O/O	オープン
M25	CLKOUT	O	オープン
N1	M_D9	IO	オープン
N2	M_D26	IO	オープン
N3	M_D27	IO	オープン
N22	RD/FRAME	O/O	オープン
	EX_FRAME	I	プルアップ
N23	WE0/PCC_REG	O/O	オープン
N24	A1	O	オープン
N25	A0	O	オープン
P1	M_D10	IO	オープン
P2	M_D28	IO	オープン
P3	M_D29	IO	オープン
P22	A9	O	オープン
P23	A8	O	オープン
P24	A3	O	オープン
P25	A2	O	オープン
R1	M_D11	IO	オープン
R2	M_D30	IO	オープン
R3	M_D31	IO	オープン
R22	A11	O	オープン

端子番号	端子名	入出力	未使用端子の処理
R23	A10	O	オープン
R24	A5	O	オープン
R25	A4	O	オープン
T1	M_D13	IO	オープン
T2	M_D12	IO	オープン
T22	A17	O	オープン
T23	A16	O	オープン
T24	A7	O	オープン
T25	A6	O	オープン
U1	M_D15	IO	オープン
U2	M_D14	IO	オープン
U22	A19	O	オープン
U23	A18	O	オープン
U24	A13	O	オープン
U25	A12	O	オープン
V22	A21	O	オープン
V23	A20	O	オープン
V24	A15	O	オープン
V25	A14	O	オープン
W1	PTG1/ $\overline{\text{GNT2}}$ /ET1_ETXD0	IO/O/O	オープン
W2	PTG2/ET1_ETXD1	IO/O	オープン
	REQ1	I	プルアップ
W3	PTG3/ET1_ETXD2	IO/O	オープン
	$\overline{\text{REQ3}}$	I	プルアップ
W4	PTF0/SIM_D/ET1_ETXD3	IO/IO/O	オープン
	$\overline{\text{GNT0}}$ / $\overline{\text{GNTIN}}$ /DREQ3	IO/I/I	プルアップ
W22	A25	O	オープン
	EX_SIZE2	I	プルアップ
W23	A24	O	オープン
	EX_SIZE1	I	プルアップ
W24	A23	O	オープン
	EX_SIZE0	I	プルアップ
W25	A22	O	オープン
Y1	PTE1/GET1_ETXD4/ $\overline{\text{DACK2}}$	IO/O/O	オープン
	PCICKL	I	プルアップ
Y2	PTD6/GET1_ETXD5/SSI1_SCK/LCDM_VCPWC	IO/O/IO/O	オープン
	REQ2/PCC_BVD1	I/I	プルアップ

端子番号	端子名	入出力	未使用端子の処理
Y3	PTE0/PCC_DRV/GET1_ETXD6	IO/O/O	オープン
	INTA/DREQ2	IO/I	プルアップ
Y4	PTD7/PCIRESET/PCC_RESET/GET1_ETXD7/LCDM_VEPWC	O/O/O/O/O	オープン
Y22	OE2A	O	オープン
Y23	OE2B	O	オープン
Y24	DA1	O	オープン
Y25	DA0	O	オープン
AA1	PTF1/REQOUT/SIM_CLK/ET1_MDC/DACK3	IO/O/O/O/O	オープン
	REQ0	IO	プルアップ
AA2	PTF2/AD31/SIM_RST/ET1_MDIO/TEND3	IO/IO/O/IO/O	オープン
AA3	PTG0/GNT1/ET1_WOL	IO/O/O	オープン
AA4	PTG4/AD30	IO/IO	オープン
	ET1_LINKSTA	I	プルアップ
AA23	IOIS16/TMU_TCLK	I/I	プルアップ
AB1	PTE5/AD29/SCIF2_TXD/GET1_GTX-CLK/SSI0_SCK	IO/IO/O/O/IO	オープン
AB2	PTG7/AD28/ET1_TX-EN	IO/IO/O	オープン
AB3	PTG6/AD26/ET1_TX-ER	IO/IO/O	オープン
AB6	PTE4/AD22/SSI0_SDATA	IO/IO/IO	オープン
	SCIF2_RXD/GET1_ERXD4	I/I	プルアップ
AB7	PTD5/AD18/GET1_ERXD6/SSI1_SDATA/LCDM_D14	IO/IO/I/IO/O	オープン
	PCC_CD2	I	プルアップ
AB8	PTD3/SIOF0_SCK/HAC_RES/LCDM_D12	IO/IO/O/O	オープン
	PCIFRAME/PCC_BVD2	IO/I	プルアップ
AB9	PTD4/SSI1_WS/LCDM_DON	IO/IO/O	オープン
	STOP/PCC_CD1/SIOF0_MCLK	IO/I/I	プルアップ
AB10	PTA3/AD15/SCIF1_CTS	IO/IO/IO	オープン
AB11	PTB2/AD11/LCDM_D7	IO/IO/O	オープン
	PINT10	I	プルアップ
AB12	PTB6/CBE0/LCDM_D3	IO/IO/O	オープン
	PINT14	I	プルアップ
AB13	PTC1/AD4/LCDM_D1	IO/IO/O	オープン
AB16	MPMD	I	プルアップ*1
AB17	PTO6/IRQ0/IRLO/DACK1M/MD5	IO/I/I/O/I	必ず使用する
AB18	PTO2/AUDATA1/RMII0M1_MDC	IO/O/O	オープン
AB20	TDO	O	オープン
AB24	AN3	I	オープン
AB25	AN2	I	オープン

端子番号	端子名	入出力	未使用端子の処理
AC1	PTH6/AD27/TPU_TO2/RMII1M_TXD_EN	IO/IO/O/O	オープン
	ET1_CRCS	I	プルアップ
AC2	PTH0/AD25	IO/IO	オープン
	TPU_TI3A/ET1_COL/RMII1M_RX_ER	I/I/I	プルアップ
AC5	PTH1	IO	オープン
	IDSEL	I	プルダウン
	TPU_TI3B/ET1_RX-ER/RMII1M_CRCS_DV	I/I/I	プルアップ
AC6	PTE3/AD20/SCIF2_SCK/SSIO_WS	IO/IO/IO/IO	オープン
	GET1_ERXD5	I	プルアップ
AC7	PTE2/AD16/TEND2	IO/IO/O	オープン
	PCC_IOIS16/GET1_ERXD7	I/I	プルアップ
AC8	PTD2/HAC_SYNC/LCDM_D11	IO/O/O	オープン
	TRDY/PCC_RDY/SIOF0_RXD	IO/I/I	プルアップ
AC9	PTA0/PAR/SCIF1_SCK	IO/IO/IO	オープン
AC10	PTA4/AD13/SCIF1_RTS	IO/IO/IO	オープン
AC11	PTB3/AD9/LCDM_D6	IO/IO/O	オープン
	PINT11	I	プルアップ
AC12	PTB7/AD6/LCDM_D2	IO/IO/O	オープン
	PINT15	I	プルアップ
AC13	PTC2/AD2/LCDM_D0	IO/IO/O	オープン
AC14	PTC5/AD0/LCDM_FLM	IO/IO/O	オープン
	MMC_CD	I	プルアップ
AC15	PTN2/SCIF0_TXD/MD1	IO/O/I	必ず使用する
AC16	MRESET	I	プルアップ
AC17	PTO7/IRQ1/IRL1/TEND1M/SSI3_SCK/MD6	IO/I/I/O/IO/I	必ず使用する
AC18	PTO3/AUDATA2/RMII0M1_MDIO/SSI2_SCK	IO/O/IO/IO	オープン
AC19	TRST	I	グランド固定または PRESET 接続*1*2
AC20	TDI	I	オープン*1
AC21	TMS	I	オープン*1
AC22	BACK	O	オープン
AC24	AN1	I	オープン
AC25	AN0	I	オープン
AD1	PTF3/CBE3	IO/IO	オープン
	ET1_TX-CLK	I	プルアップ
AD4	PTH2/AD24/RMII1M_TXD1	IO/IO/O	オープン
	TPU_TI2A/ET1_ERXD0	I/I	プルアップ

端子番号	端子名	入出力	未使用端子の処理
AD5	PTH3/AD21	IO/IO	オープン
	TPU_T12B/ET1_ERXD2/RMII1M_RXD1	I/I	プルアップ
AD6	PTH7/AD17/TPU_TO3	IO/IO/O	オープン
	ET1_RX-DV	I	プルアップ
AD7	PTD0/SIOF0_SYNC/LCDM_D13	IO/IO/O	オープン
	$\overline{\text{IRDY}}$ /PCC_VS1/HAC_SD_IN	IO/I	プルアップ
AD8	PTA2/SCIF1_TXD	IO/O	オープン
	$\overline{\text{LOCK}}$	IO	プルアップ
AD9	PTB1/LCDM_D9	IO/O	オープン
	$\overline{\text{SERR}}$ /PINT9	IO/I	プルアップ
AD10	PTB5/AD14/LCDM_M_DISP	IO/IO/O	オープン
	PINT13	I	プルアップ
AD11	PTC0/AD10/MMC_DAT/LCDM_D5	IO/IO/IO/O	オープン
AD12	PTC4/AD7/MMC_CMD/LCDM_CL2	IO/IO/IO/O	オープン
AD13	PTC7/AD3/MMC_CLK	IO/IO/O	オープン
AD14	PTN0/SCIF0_SCK/MD0	IO/IO/I	必ず使用する
AD15	PTN3/SCIF0_CTS/MD4	IO/IO/I	必ず使用する
AD16	PTN5	IO	オープン
	NMI	I	プルアップ
AD17	PTO0/AUDSYNC/RMII1_MDC/SSI2_WS	IO/O/O/IO	オープン
AD18	PTO4/AUDATA3/EX_INT/SSI3_WS	IO/O/O/IO	オープン
AD19	$\overline{\text{ASEBRK}}$ /BRKACK	IO	オープン*
AD22	$\overline{\text{BREQ}}$	I	プルアップ
AE3	PTG5/GNT3	IO/O	オープン
	ET1_RX-CLK	I	プルアップ
AE4	PTH5/AD23/TPU_TO1/RMII1M_TXD0	IO/IO/O/O	オープン
	ET1_ERXD1	I	プルアップ
AE5	PTH4/AD19/TPU_TO0	IO/IO/O	オープン
	ET1_ERXD3/RMII1M_RXD0	I/I	プルアップ
AE6	PTD1/CBE2/SIOF0_TXD/HAC_SD_OUT/LCDM_D15	IO/IO/O/O/O	オープン
	PCC_VS2	I	プルアップ
AE7	PTA1	IO	オープン
	$\overline{\text{DEVSEL}}$ /SCIF1_RXD	IO/I	プルアップ
AE8	PTB0/LCDM_D10	IO/O	オープン
	$\overline{\text{PERR}}$ /PINT8	IO/I	プルアップ
AE9	PTB4/CBE1/LCDM_D8	IO/IO/O	オープン
	PINT12	I	プルアップ

端子番号	端子名	入出力	未使用端子の処理
AE10	PTA5/AD12	IO/IO	プルアップ
AE11	PTC3/AD8/MMC_ODMOD/LCDM_D4	IO/IO/O/O	プルアップ
AE12	PTC6/AD5/LCDM_CL1	IO/IO/O	オープン
AE13	PTA6/AD1/MMC_VDDON	IO/IO/O	オープン
AE14	PTN1/SCIF0_RXD/MD3	IO/I/I	必ず使用する
AE15	PTN4/SCIF0_RTS/MD2	IO/IO/I	必ず使用する
AE16	$\overline{\text{PRESET}}$	I	必ず使用する
AE17	PTO1/AUDATA0/RMII1_MDIO/SSI2_SDATA	IO/O/IO/IO	オープン
AE18	PTO5/AUDCK/SSI3_SDATA	IO/O/IO	オープン
	DREQ1M	I	プルアップ
AE19	TCK	I	オープン* ¹
AE22	EXTAL	I	必ず使用する
AE23	XTAL	O	オープン

【注】 各電源端子は、端子機能未使用時も必ず供給してください。

端子を使用しない場合は、該当する端子のレジスタ設定などは行わないでください。

- *1 エミュレータが使用可能なポートを設計する場合にはエミュレータの指示に従ってください。
- *2 エミュレータを使用しないボードを設計する場合には、グランド固定または $\overline{\text{RESETP}}$ と同じ信号を接続してください。ただし、グランドを固定とする場合は、 $\overline{\text{TRST}}$ は LSI 内部でプルアップされているため、微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

G. バージョンレジスタ

製品バージョンレジスタに関するレジスタ構成を以下に示します。

表 G.1 バージョンレジスタの構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'1020 0Axx	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'0000 xxxx*	H'FF00 0044	H'1F00 0044	32

【注】 * R5S77630A のとき : H'00000A2x

R5S77631A のとき : H'0000121x

【記号説明】 x : 不定

(1) プロセッサバージョンレジスタ (PVR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値 :	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値 :	0	0	0	0	1	0	1	0	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-

(2) プロダクトレジスタ (PRR) (R5S77630A のとき)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値 :	0	0	0	0	1	0	1	0	0	0	1	0	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-

(3) プロダクトレジスタ (PRR) (R5S77631A のとき)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報												-	-	-	-
初期値:	0	0	0	1	0	0	1	0	0	0	0	1	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-

H. 放熱ガイド

本 LSI は、 T_j (ジャンクション温度) 125 での使用を前提としております。従って、 $T_j > 125$ となる可能性がある場合は、放熱対策が必要になります。放熱ガイドとして、本 LSI の熱抵抗シミュレーション結果を示します。本ガイドは、シミュレーション結果であり、保証値 / 保証熱対策ではありませんが、これを参考に T_j 125 となるようシステム上の放熱処置を実施してください。

H.1 熱抵抗シミュレーション条件

(1) 実装基板モデル : JEDEC 標準基板 (PCB)

- 構造 : 101.5 mm × 114.5 mm × 1.6 mm の 4 層基板 (2S2P)
- 配線率 : 20% - 100% - 100% - 20%

(2) 熱抵抗シミュレーション環境

- 熱抵抗シミュレーション環境 : JEDEC 標準環境 (300mm 立方筐体)。 T_a (周囲温度) = 75、60。無風。
- 筐体 : アクリル材質 (サイズ : 300mm × 300mm × 300mm)

図 H.1 に、シミュレーションモデルの全体図を示します。

(3) 消費電力

- 消費電力 : 2.4W (本 LSI 通常動作時の最大動作電力)

(4) ヒートシンクモデル

- ヒートシンク : アルミ材質
- 熱伝導率 : 215.9W / mK

図 H.2 に、ヒートシンクモデル図を示します。

H.2 熱抵抗シミュレーション解析結果

熱抵抗シミュレーション解析結果を表 H.1 に示します。

$T_a=75$ 条件で、ヒートシンクが無い場合、 T_j が 125 を超えます。 T_a が 60 を超える場合は放熱処置が必須となります。

表 H.1 熱抵抗シミュレーション結果

No.	消費電力[W]	ヒートシンク	T_a []	T_j []	ja [/W]
1	2.4	無し	75	136.9	25.8
2	2.4	有り	75	116.9	17.4
3	2.4	無し	60	122.9	26.2

【注】 PCB や筐体、他熱源など環境が変わると T_j 、 ja は変化しますのでご注意ください。

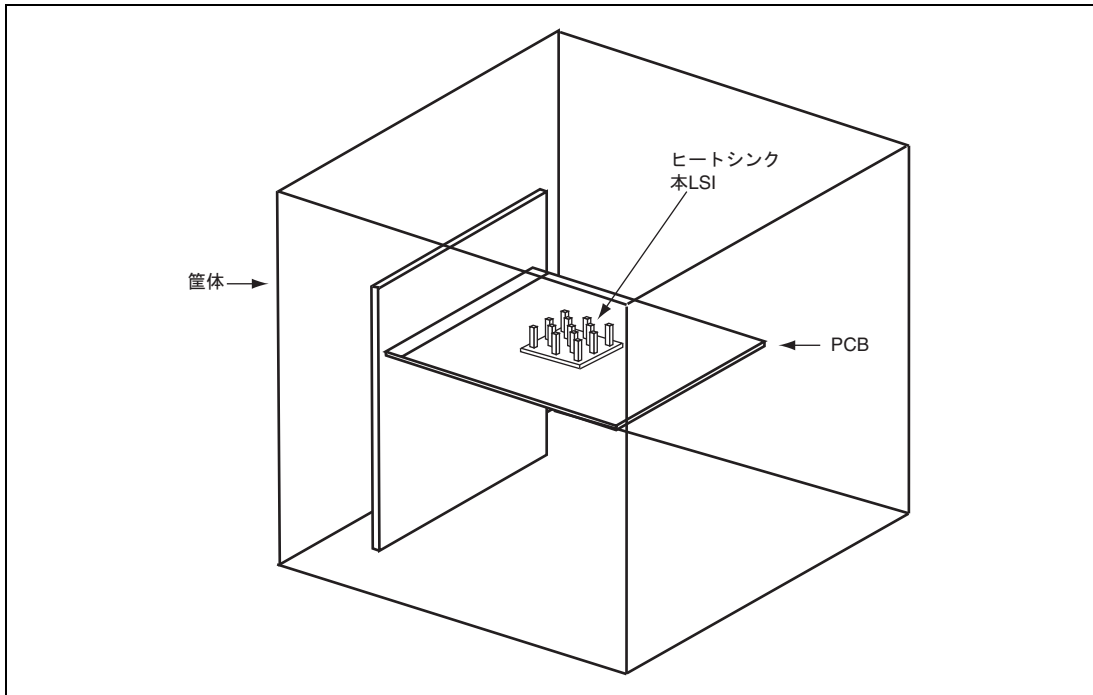


図 H.1 全体モデル (ヒートシンク有りの場合)

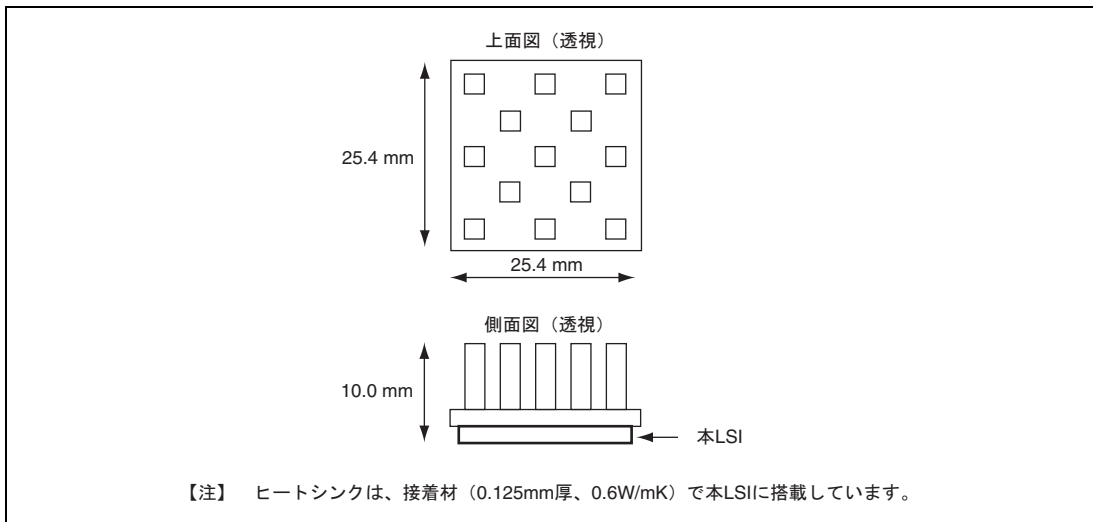


図 H.2 ヒートシンクモデル

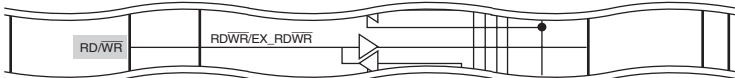
本版で修正または追加された箇所

SH7763 ユーザーズマニュアル ハードウェア編第3版(RJJ09B0260-0200 R01UH0349JJ0300)におきまして、修正および追加した箇所がありますのでご連絡させていただきます。

■は、修正または追加部分を示します。ABCは、削除部分を示します。

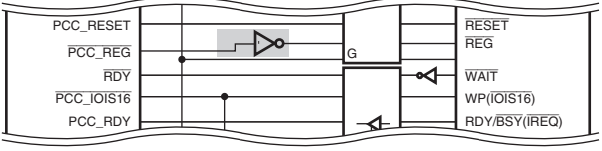
項目	ページ	修正箇所																																																	
マニュアル全体	-	用語を修正 \overline{RDWR} \overline{RDWR} $\overline{EX_RDWR}$ $\overline{EX_RDWR}$ $\overline{WT/IT}$ $\overline{WT/IT}$																																																	
表 1.2 ピン配置表	1-28、 1-29	修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>端子番号</th> <th>端子名</th> <th>入出力</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>AD9</td> <td>PTB1/\overline{SERR}/$\overline{PINT9}$/ LCDM_D9</td> <td>IO/IO//O</td> <td>ポート/\overline{PCI}システムエラー / ポート割り込み入力 / LCD データ (ミラー端子)</td> </tr> <tr> <td>AE8</td> <td>PTB0/\overline{PERR}/$\overline{PINT8}$/ LCDM_D10</td> <td>IO/IO//O</td> <td>ポート/\overline{PCI}パリティエラー / ポート割り込み入力 / LCD データ (ミラー端子)</td> </tr> </tbody> </table>	端子番号	端子名	入出力	説明	AD9	PTB1/ \overline{SERR} / $\overline{PINT9}$ / LCDM_D9	IO/IO//O	ポート/ \overline{PCI} システムエラー / ポート割り込み入力 / LCD データ (ミラー端子)	AE8	PTB0/ \overline{PERR} / $\overline{PINT8}$ / LCDM_D10	IO/IO//O	ポート/ \overline{PCI} パリティエラー / ポート割り込み入力 / LCD データ (ミラー端子)																																					
端子番号	端子名	入出力	説明																																																
AD9	PTB1/ \overline{SERR} / $\overline{PINT9}$ / LCDM_D9	IO/IO//O	ポート/ \overline{PCI} システムエラー / ポート割り込み入力 / LCD データ (ミラー端子)																																																
AE8	PTB0/ \overline{PERR} / $\overline{PINT8}$ / LCDM_D10	IO/IO//O	ポート/ \overline{PCI} パリティエラー / ポート割り込み入力 / LCD データ (ミラー端子)																																																
表 11.6 PCMCIA サポートインタフェース	11-10、 11-11	追加、修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">端子</th> <th colspan="3">IC メモリカードインタフェース</th> <th colspan="3">I/O カードインタフェース</th> <th rowspan="2">本 LSI 対応端子</th> </tr> <tr> <th>信号名*1</th> <th>I/O*1</th> <th>機能</th> <th>信号名*1</th> <th>I/O*1</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>59</td> <td>WAIT</td> <td>O</td> <td>ウェイト要求</td> <td>WAIT</td> <td>O</td> <td>ウェイト要求</td> <td>RDY*2</td> </tr> </tbody> </table> <p>【注】*1 「I/O」は PCMCIA カードにおける入出力。 極性は、PCMCIA カードインタフェースはカード側、本 LSI 対応端子は本 LSI 側での極性を示します。 *2 極性に注意してください。</p>	端子	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応端子	信号名*1	I/O*1	機能	信号名*1	I/O*1	機能	59	WAIT	O	ウェイト要求	WAIT	O	ウェイト要求	RDY*2																											
端子	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応端子																																												
	信号名*1	I/O*1	機能	信号名*1	I/O*1	機能																																													
59	WAIT	O	ウェイト要求	WAIT	O	ウェイト要求	RDY*2																																												
表 11.15 PCMCIA インタフェース使用時のアドレスと CE の関係	11-50	修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>バス (ビット)</th> <th>リード / ライト</th> <th>アクセス サイズ*1 (ビット)</th> <th>奇数 / 偶数</th> <th>$\overline{IOIS16}$</th> <th>アクセス</th> <th>$\overline{CE2}$</th> <th>$\overline{CE1}$</th> <th>A0</th> </tr> </thead> <tbody> <tr> <td rowspan="6">ダイナミックバスサイジング*2</td> <td rowspan="6">リード</td> <td rowspan="3">8</td> <td>偶数</td> <td>H</td> <td>-</td> <td>H</td> <td>L</td> <td>L</td> </tr> <tr> <td>奇数</td> <td>H</td> <td>1 回目</td> <td>L</td> <td>H</td> <td>H</td> </tr> <tr> <td>奇数</td> <td>H</td> <td>2 回目</td> <td>H</td> <td>L</td> <td>H</td> </tr> <tr> <td rowspan="3">16</td> <td>偶数</td> <td>H</td> <td>1 回目</td> <td>L</td> <td>L</td> <td>L</td> </tr> <tr> <td>偶数</td> <td>H</td> <td>2 回目</td> <td>H</td> <td>L</td> <td>H</td> </tr> <tr> <td>奇数</td> <td>H</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	バス (ビット)	リード / ライト	アクセス サイズ*1 (ビット)	奇数 / 偶数	$\overline{IOIS16}$	アクセス	$\overline{CE2}$	$\overline{CE1}$	A0	ダイナミックバスサイジング*2	リード	8	偶数	H	-	H	L	L	奇数	H	1 回目	L	H	H	奇数	H	2 回目	H	L	H	16	偶数	H	1 回目	L	L	L	偶数	H	2 回目	H	L	H	奇数	H	-	-	-	-
バス (ビット)	リード / ライト	アクセス サイズ*1 (ビット)	奇数 / 偶数	$\overline{IOIS16}$	アクセス	$\overline{CE2}$	$\overline{CE1}$	A0																																											
ダイナミックバスサイジング*2	リード	8	偶数	H	-	H	L	L																																											
			奇数	H	1 回目	L	H	H																																											
			奇数	H	2 回目	H	L	H																																											
		16	偶数	H	1 回目	L	L	L																																											
			偶数	H	2 回目	H	L	H																																											
			奇数	H	-	-	-	-																																											

項目	ページ	修正箇所															
12.5.2 DDR-SDRAM 初期化 シーケンス	12-18	修正 4. MIM レジスタの設定を行い、DDR-SDRAM コントローラのイネーブル、内蔵 DLL のイネーブル (MIM.DLLEN = 1 に設定してください) やエンディアンなどを設定してください。															
表 13.1 端子構成	13-4、 13-5	削除 <table border="1" style="border-style: dashed;"> <thead> <tr> <th>端子名</th> <th>PCI 規格信号</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>AD31 ~ AD0[≠]</td> <td>AD[31:0]</td> <td>入出力 (TRI)</td> </tr> <tr> <td>$\overline{\text{INTD}}^{\neq}$、 $\overline{\text{INTC}}^{\neq}$、 $\overline{\text{INTB}}^{\neq}$</td> <td>INT[D:B]</td> <td>入力</td> </tr> <tr> <td>REQ3 ~ REQ1[≠]</td> <td>REQ[3:1]</td> <td>入力</td> </tr> <tr> <td>GNT3 ~ GNT1[≠]</td> <td>GNT[3:1]</td> <td>出力 (TRI)</td> </tr> </tbody> </table>	端子名	PCI 規格信号	入出力	AD31 ~ AD0 [≠]	AD[31:0]	入出力 (TRI)	$\overline{\text{INTD}}^{\neq}$ 、 $\overline{\text{INTC}}^{\neq}$ 、 $\overline{\text{INTB}}^{\neq}$	INT[D:B]	入力	REQ3 ~ REQ1 [≠]	REQ[3:1]	入力	GNT3 ~ GNT1 [≠]	GNT[3:1]	出力 (TRI)
端子名	PCI 規格信号	入出力															
AD31 ~ AD0 [≠]	AD[31:0]	入出力 (TRI)															
$\overline{\text{INTD}}^{\neq}$ 、 $\overline{\text{INTC}}^{\neq}$ 、 $\overline{\text{INTB}}^{\neq}$	INT[D:B]	入力															
REQ3 ~ REQ1 [≠]	REQ[3:1]	入力															
GNT3 ~ GNT1 [≠]	GNT[3:1]	出力 (TRI)															
13.3.2 PCI コンフィグレーションレジスタ (26) PCI パワーマネジメントコントロール/ステータスレジスタ (PCIPMCSR)	13-28	追加 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1, 0</td> <td>PS</td> <td>パワーステート パワーステートを指定します。 未サポートステートを指定しても、ステート遷移はしませんが、レジスタへの書き込みは正常終了し、エラー表示も行いません。 00 : D0 ステート 01 : D1 ステート 10 : D2 ステート 11 : D3 hot ステート (電源オフ状態)</td> </tr> </tbody> </table>	ビット	ビット名	説明	1, 0	PS	パワーステート パワーステートを指定します。 未サポートステートを指定しても、ステート遷移はしませんが、レジスタへの書き込みは正常終了し、エラー表示も行いません。 00 : D0 ステート 01 : D1 ステート 10 : D2 ステート 11 : D3 hot ステート (電源オフ状態)									
ビット	ビット名	説明															
1, 0	PS	パワーステート パワーステートを指定します。 未サポートステートを指定しても、ステート遷移はしませんが、レジスタへの書き込みは正常終了し、エラー表示も行いません。 00 : D0 ステート 01 : D1 ステート 10 : D2 ステート 11 : D3 hot ステート (電源オフ状態)															
13.4.4 ターゲットアクセス (4) 本 LSI へのアクセス	13-73	修正、追加 <ul style="list-style-type: none"> メモリ空間 「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照ください。アクセス可能な空間は本 LSI メモリマップ上でエリア 0~2、4~6、DDR-SDRAM 空間および SuperHyway メモリ空間です。 ただし、エリア 0~2、4~6 に対しては以下の(a)~(c)のいずれかの方法で回避が可能です。 (a) シングルアクセス転送を行う場合には、C/BE[3:0](データ転送中のバイトイネーブル)の組み合わせが、以下の組み合わせとする。 C/BE[3:0] = LLLL / LLHH / HHLL / LHHH / HLHH / HHLH / HHHL (H : ハイレベル、L : ローレベル) (b) バーストアクセス転送を行う場合には、開始アドレスと終了アドレスを 16 バイト境界に設定し、かつ C/BE (データ転送中のバイトイネーブル) の組み合わせは以下とする。 C/BE[3:0] = LLLL (H : ハイレベル、L : ローレベル) (c) バーストリードアクセス転送を行う場合には、PCI コントロールレジスタの PFE ビットもしくは PFCS ビットを 0 に設定する。 															

項 目	ページ	修正箇所																																							
表 13.6 割り込み優先順位	13-79	修正、追加 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>名 称</th> <th>割り込み要因</th> </tr> </thead> <tbody> <tr> <td>PCIERR</td> <td>PCICがエラー時、PCIIR (SDIを除く)とPCIAINTによる(マスク可能)</td> </tr> </tbody> </table> <p>【注】 SERRの割り込み処理は、PCISERRにより処理してください。</p>	名 称	割り込み要因	PCIERR	PCICがエラー時、PCIIR (SDIを除く)とPCIAINTによる(マスク可能)																																			
名 称	割り込み要因																																								
PCIERR	PCICがエラー時、PCIIR (SDIを除く)とPCIAINTによる(マスク可能)																																								
13.5.3 PCIC マスタアクセス時のパリティエラー検出について	13-92	項目を追加																																							
13.5.4 PCIC ターゲットアクセス時のアクセス制限について	13-93、 13-94	項目を追加																																							
14.5.9 DMAC バーストモード使用上の注意事項	14-45	項目を追加																																							
図 15.4 外部CPUとの接続構成	15-13	修正 																																							
表 16.2 クロック動作モード	16-4	修正 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th rowspan="2">クロック動作モード</th> <th colspan="3">外部端子組み合わせ*</th> <th colspan="6">CPG生成クロック</th> </tr> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>lck</th> <th>SHck</th> <th>Bck</th> <th>Pck0</th> <th>Pck1</th> <th>DDRck</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>8</td> <td>4</td> <td>2</td> <td>2</td> <td>1</td> <td>4</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td>266.6</td> <td>133.3</td> <td>66.6</td> <td>66.6</td> <td>33.3</td> <td>133.3</td> </tr> </tbody> </table>	クロック動作モード	外部端子組み合わせ*			CPG生成クロック						MD2	MD1	MD0	lck	SHck	Bck	Pck0	Pck1	DDRck	0	0	0	0	8	4	2	2	1	4					266.6	133.3	66.6	66.6	33.3	133.3
クロック動作モード	外部端子組み合わせ*			CPG生成クロック																																					
	MD2	MD1	MD0	lck	SHck	Bck	Pck0	Pck1	DDRck																																
0	0	0	0	8	4	2	2	1	4																																
				266.6	133.3	66.6	66.6	33.3	133.3																																
21.2.2 コンペアマッチタイムコントロール/ステータスレジスタ (CMCSR)	21-5、 21-6	削除 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>CMF</td> <td> コンペアマッチフラグ 0 : CMCNT と CMCOR の値は不一致 [クリア条件] CMF=1を読み出し後、CMFに0を書き込んだとき 1 : CMCNT と CMCOR の値が一致 </td> </tr> <tr> <td>14</td> <td>OVF</td> <td> オーバフローフラグ [クリア条件] OVF=1を読み出し後、OVFに0を書き込んだとき 1 : CMCNT はオーバフロー発生 </td> </tr> </tbody> </table>	ビット	ビット名	説 明	15	CMF	コンペアマッチフラグ 0 : CMCNT と CMCOR の値は不一致 [クリア条件] CMF=1を読み出し後、CMFに0を書き込んだとき 1 : CMCNT と CMCOR の値が一致	14	OVF	オーバフローフラグ [クリア条件] OVF=1を読み出し後、OVFに0を書き込んだとき 1 : CMCNT はオーバフロー発生																														
ビット	ビット名	説 明																																							
15	CMF	コンペアマッチフラグ 0 : CMCNT と CMCOR の値は不一致 [クリア条件] CMF=1を読み出し後、CMFに0を書き込んだとき 1 : CMCNT と CMCOR の値が一致																																							
14	OVF	オーバフローフラグ [クリア条件] OVF=1を読み出し後、OVFに0を書き込んだとき 1 : CMCNT はオーバフロー発生																																							

項 目	ページ	修正箇所						
23.3.76 送受信ステータスコピー指示レジスタ (TRSCER)	23-100	修正 TRSCERは、E-MAC/E-DMAC ステータスレジスタ (EESR) のビット 26、25、およびビット 10 からビット 0 で報告される、送信および受信ステータス情報を当該ディスクリプタの TFE または RFE ビットに反映するかどうかを指示します。本レジスタの各ビットは、EESR のビット 26、25、およびビット 10 からビット 0 に対応します。各ビットに 0 を設定すると、送信ステータス (EESR のビット 26 およびビット 10 からビット 8) は送信ディスクリプタの TFE ビットに、また受信ステータス (EESR のビット 25 およびビット 7 からビット 0) は受信ディスクリプタの RFE ビットに、各ステータスビットのいずれかの 1 状態を TFE または RFE の 1 状態として反映します。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。						
23.4 動作説明	23-112	削除 本 LSI の外部に接続する PHI-LSI とのインタフェースフォーマットとして、MII、GMII、RMII の 3 種類をのサポートしています。						
23.4.1 ディスクリプタとディスクリプタリスト (1) 送信ディスクリプタ (a) 送信ディスクリプタ 0 (TD0)	23-118	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>11~0</td> <td>TFS[11:0]</td> <td>送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMAC によりライトバックされ、1 で当該の事象が発生したことを示します。 <ul style="list-style-type: none"> • TFS[11:10]: リザーブ (書き込み値は 0 としてください) • TFS[9]: 送信 FIFO アンダフロー (EESR の TUC ビットに相当) • TFS[8]: 送信中断検出 (EESR の TABT ビットに相当) • TFS[7:3]: リザーブ (書き込み値は 0 としてください) • TFS[2]: キャリア消失 (EESR の DLC ビットに相当) • TFS[1]: 遅延衝突 (EESR の CD ビットに相当) • TFS[0]: 送信タイムアウト (EESR の TRO ビットに相当) </td> </tr> </tbody> </table>	ビット	ビット名	説 明	11~0	TFS[11:0]	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMAC によりライトバックされ、1 で当該の事象が発生したことを示します。 <ul style="list-style-type: none"> • TFS[11:10]: リザーブ (書き込み値は 0 としてください) • TFS[9]: 送信 FIFO アンダフロー (EESR の TUC ビットに相当) • TFS[8]: 送信中断検出 (EESR の TABT ビットに相当) • TFS[7:3]: リザーブ (書き込み値は 0 としてください) • TFS[2]: キャリア消失 (EESR の DLC ビットに相当) • TFS[1]: 遅延衝突 (EESR の CD ビットに相当) • TFS[0]: 送信タイムアウト (EESR の TRO ビットに相当)
ビット	ビット名	説 明						
11~0	TFS[11:0]	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMAC によりライトバックされ、1 で当該の事象が発生したことを示します。 <ul style="list-style-type: none"> • TFS[11:10]: リザーブ (書き込み値は 0 としてください) • TFS[9]: 送信 FIFO アンダフロー (EESR の TUC ビットに相当) • TFS[8]: 送信中断検出 (EESR の TABT ビットに相当) • TFS[7:3]: リザーブ (書き込み値は 0 としてください) • TFS[2]: キャリア消失 (EESR の DLC ビットに相当) • TFS[1]: 遅延衝突 (EESR の CD ビットに相当) • TFS[0]: 送信タイムアウト (EESR の TRO ビットに相当) 						
23.4.3 受信動作 (1) 受信手順とフロー	23-136	修正 読み込んだ受信ディスクリプタの RACT ビットが 0 (無効) の場合は、受信ディスクリプタが枯渇したと判断し、E-MAC/E-DMAC ステータスレジスタ (EESR) の受信ディスクリプタ枯渇 (PDE) に 1 を書き込み、CPU へ割り込みを発生します。						
23.4.5 CAM 機能	23-141	修正 また、POST テーブルは、4 ビットから構成され、それぞれ 0 系受信、1 系受信、0 1 転送、および 1 0 転送に対応し、当該ビットが 1 のとき CAM 判定結果を受信と転送の判定に使用します。つまり、POST テーブルの該当ビットが 0 の場合は、受信と転送判定は表 23.4 に示す CAM 未使用時の判定と同じとなります。						
23.4.8 割り込み動作 (1) 割り込み要因	23-146	削除 GETHER から CPU に対して発行する割り込みには、0 系送受信割り込み (GEINT0)、1 系送受信割り込み (GEINT1)、1 系・0 系間転送割り込み (GEINT2) の 3 種類があります。表 23.7 に、3 種類の割り込みとそれぞれの割り込みの要因、割り込み要因が発生したときに設定される割り込みステータスレジスタ/ビット、および割り込み発生タイミングを示します。						

項目	ページ	修正箇所																																				
23.4.9 起動手順 (1)リセット	23-149	修正 1. パワーオンリセットまたはソフトウェアリセットレジスタ (ARST) によるリセット 2. E-DMAC 送信部 / 受信部の起動 (ディスクリプタエンジン起動)																																				
23.4.11 Magic Packet の検出	23-152	追加 4. E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の E-MAC ステータスレジスタ要因割り込み許可ビット (ECIIP) を設定します。																																				
23.6.1 イーサネットフレームのサムチェック計算	23-164	追加 本 LSI では、受信フレームのサムチェックデータを計算することができます。サムチェックの計算対象は、イーサネットフレームのデータ部分 (長さ / タイプフィールドの直後から、CRC データの直前まで) です。図 23.35 にイーサネットフレームの計算対象の箇所を示す概念図を示します。計算方法は、16 ビットごとの加算のみで、ビットの反転は行っていません。なお、サムチェックデータ有効時は CRC データ (4 バイト) は受信フレームとしては転送されず、サムチェックデータ (Sum Data) が自動的につきます。図 23.36 にサムチェックデータが付加された後のイーサネットフレームの概念図を示します。																																				
図 23.36 サムチェックデータ付加後のデータ	23-165	図を追加																																				
23.6.3 RMII 選択時の RMII _n _RX_ER、RMII1M_RX_ER 端子入力について	23-165	項目を追加																																				
26.3.5 マスタコントロールレジスタ (ICMCR)	26-10	修正 <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 0 5px;">ビット :</td> <td style="padding: 0 5px;">7</td> <td style="padding: 0 5px;">6</td> <td style="padding: 0 5px;">5</td> <td style="padding: 0 5px;">4</td> <td style="padding: 0 5px;">3</td> <td style="padding: 0 5px;">2</td> <td style="padding: 0 5px;">1</td> <td style="padding: 0 5px;">0</td> </tr> <tr> <td style="padding: 0 5px;"></td> <td style="border: 1px solid black; padding: 2px;">MDBS</td> <td style="border: 1px solid black; padding: 2px;">FSCL</td> <td style="border: 1px solid black; padding: 2px;">FSDA</td> <td style="border: 1px solid black; padding: 2px;">OBPC</td> <td style="border: 1px solid black; padding: 2px;">MIE</td> <td style="border: 1px solid black; padding: 2px;">TSBE</td> <td style="border: 1px solid black; padding: 2px;">FSB</td> <td style="border: 1px solid black; padding: 2px;">ESG</td> </tr> <tr> <td style="padding: 0 5px;">初期値 :</td> <td style="padding: 0 5px;">0</td> <td style="padding: 0 5px;">-</td> <td style="padding: 0 5px;">-</td> <td style="padding: 0 5px;">0</td> <td style="padding: 0 5px;">0</td> <td style="padding: 0 5px;">0</td> <td style="padding: 0 5px;">0</td> <td style="padding: 0 5px;">0</td> </tr> <tr> <td style="padding: 0 5px;">R/W :</td> <td style="padding: 0 5px;">R/W</td> <td style="padding: 0 5px;">R/W</td> <td style="padding: 0 5px;">R/W</td> <td style="padding: 0 5px;">R/W</td> <td style="padding: 0 5px;">R/W</td> <td style="padding: 0 5px;">R/W</td> <td style="padding: 0 5px;">R/W</td> <td style="padding: 0 5px;">R/W</td> </tr> </table>	ビット :	7	6	5	4	3	2	1	0		MDBS	FSCL	FSDA	OBPC	MIE	TSBE	FSB	ESG	初期値 :	0	-	-	0	0	0	0	0	R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0																														
	MDBS	FSCL	FSDA	OBPC	MIE	TSBE	FSB	ESG																														
初期値 :	0	-	-	0	0	0	0	0																														
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																														
26.4.6 7ビットアドレスフォーマット	26-21	修正 【注】* 反復スタート条件 : IIC_SCL が High で、IIC_SDA を Low にしたときにスタートします。																																				
28.3.2 レシーブ FIFO データレジスタ (SCFRDR)	28-8	修正 この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 16 バイトデータまで連続した受信動作が可能です。																																				
図 28.6 SCIF の初期化フローチャートの例	28-32	削除 <div style="text-align: center;"> <pre> graph TD Start([Yes]) --> Box1[SCFCRのRTRG1,0, TTRG1,0=0をビットを設定し、TFCL、RFCLビットを0にクリア] Box1 --> Box2[SCSCRのTE、REビットを1にセット、およびTIE、RIE、REIEビットを設定] Box2 --> End([終了]) </pre> </div>																																				

項目	ページ	修正箇所
29.5 使用上の注意事項	29-45 ~ 29-47	項目を追加
32.1.1 PCMCIA のサポート	32-3	追加 本 LSI はリトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。
表 32.1 PCMCIA インタフェースの特長	32-3	削除 【注】* I/O バス幅の動的バスサイジングは、リトルエンディアンモードでのみサポートされています。
図 32.4 SH7763 インタフェース	32-19	修正 
図 32.5 PCMCIA メモリカードインタフェース基本タイミング 図 32.6 PCMCIA メモリカードインタフェースウェイトタイミング	32-22、 32-23	用語を修正 RD/WR RDWR
32.5 使用上の注意事項 (3) PC カードコントローラ使用時の設定順序	32-27	削除 1. バスステートコントローラの共通コントロールレジスタ(CMNCR)のビット12(MAP)を1に設定してください。 1. バスステートコントローラの CS6B 空間バスコントロールレジスタ(CS6BBCR)のビット15~12(TYPE3~0)をB'0101に設定してください。 2. PC カードコントローラのエリア6 ジェネラルコントロールレジスタのビット4(POUSE)を1に設定してください。 3. ピンファンクションコントローラの端子機能を専用 PC カード用(「その他の機能」)に設定してください。
35. USB ホストコントローラ(USBH)	35-1	追加 USB トランシーバは USB ファンクションコントローラ(USBF)と共用であり、どちらかを選択して使用します。
36. USB ファンクションコントローラ(USBF)	36-1	追加 USB トランシーバは USB ホストコントローラ(USBH)と共用であり、どちらかを選択して使用します。
37.1 特長	37-1	修正 • パネルインタフェース シリアルインタフェース方式 STN/Dual STN/TFT パネル(4/8/12/16/18 ビットバス幅)のデータフォーマットをサポート*1

項目	ページ	修正箇所						
37.2 入出力端子	37-3	修正 LCDC 端子の選択は、GPIO のピンセレクトレジスタで行います。						
37.3.7 LCDC 表示 パネル用取り込みデ ータラインアドレス オフセットレジスタ (LDLAOR)	37-14	削除 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15~0</td> <td>LAO [15:0]</td> <td>ラインアドレスオフセット 最小のアライメント単位は 16 バイトです。16byte 単位の処理となるので、各レジスタ書き込み値の下位 4 ビットは 0 としてください。また、レジスタ値を読み出すと下位 4 ビットは 0 が読み出されます。初期値は、VGA (640 × 480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値(× 解像度 = 640)となっています。詳しくは表 37.6 を参照してください。 LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅(たとえば、320 × 240 のパネルの 320)ではなく、画像イメージの横幅(回転後、240 × 320 になる場合の 240)以上の 2 のべき乗の値(この例では 256)にする必要があります。</td> </tr> </tbody> </table>	ビット	ビット名	説明	15~0	LAO [15:0]	ラインアドレスオフセット 最小のアライメント単位は 16 バイトです。16byte 単位の処理となるので、各レジスタ書き込み値の下位 4 ビットは 0 としてください。また、レジスタ値を読み出すと下位 4 ビットは 0 が読み出されます。初期値は、VGA (640 × 480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値(× 解像度 = 640)となっています。詳しくは表 37.6 を参照してください。 LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅(たとえば、320 × 240 のパネルの 320)ではなく、画像イメージの横幅(回転後、240 × 320 になる場合の 240)以上の 2 のべき乗の値(この例では 256)にする必要があります。
ビット	ビット名	説明						
15~0	LAO [15:0]	ラインアドレスオフセット 最小のアライメント単位は 16 バイトです。16byte 単位の処理となるので、各レジスタ書き込み値の下位 4 ビットは 0 としてください。また、レジスタ値を読み出すと下位 4 ビットは 0 が読み出されます。初期値は、VGA (640 × 480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値(× 解像度 = 640)となっています。詳しくは表 37.6 を参照してください。 LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅(たとえば、320 × 240 のパネルの 320)ではなく、画像イメージの横幅(回転後、240 × 320 になる場合の 240)以上の 2 のべき乗の値(この例では 256)にする必要があります。						
37.4.6 電源制御シ ーケンス処理	37-38	修正 通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (LCD_VCPWC、LCD_VEPWC、LCD_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。 電源制御シーケンスのフローチャートを図 37.4 に、概略タイミングチャートを図 37.5 ~ 図 37.8 に、設定可能な電源制御シーケンス期間の説明を表 37.6 に示します。図 37.4 ~ 図 37.7 は、通常の入出力端子 (LCD_**) 側の動作を示しています。ミラー端子 (LCDM_**) 側も同様のタイミングとなります。						
図 37.4 電源制御シ ーケンスのフローチ ャート	37-39	図を追加						
37.6.1 表示データ 格納用 VRAM (エリ ア 3 の DDR-SDRAM) アクセスの停止手順 について	37-56	削除 3. LDPMMR の LPS1 と LPS0 ビットが 0 になることを確認します。						
38.1 特長	38-1	削除 • 最小変換時間 : 1 チャンネル当たり 8.5 μs (周辺クロック = 33MHz 動作時)						
表 38.5 A/D 変換時 間	38-14	追加 【注】表中の数値の単位はステート (周辺クロック 0 (Pck0) 周波数 1 個分) です。 * ADST = 1 にセットしてから、データがレジスタに格納されるまで。 最小変換時間を満たすように設定してください。						

項目	ページ	修正箇所												
表 43.4 DC 特性 (2-a) USB トランシーバ、I ² C 関連端子を除く]	43-6	追加、修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">項目</th> </tr> </thead> <tbody> <tr> <td>入力電圧</td> <td>DDR 端子 (M_BKPRST 除く)</td> </tr> <tr> <td></td> <td>M_BKPRST</td> </tr> </tbody> </table>	項目		入力電圧	DDR 端子 (M_BKPRST 除く)		M_BKPRST						
項目														
入力電圧	DDR 端子 (M_BKPRST 除く)													
	M_BKPRST													
表 43.9 クロック・制御信号タイミング	43-9	修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>PRESET パルス幅</td> <td>t_{RESPW}</td> <td>20</td> <td>-</td> <td>t_{ns}^{※3}</td> <td>43.5</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	PRESET パルス幅	t _{RESPW}	20	-	t _{ns} ^{※3}	43.5
項目	記号	Min.	Max.	単位	参照図									
PRESET パルス幅	t _{RESPW}	20	-	t _{ns} ^{※3}	43.5									
図 43.22 MPX 基本バスサイクル、リード	43-26	修正 												
表 43.12 DDRIF 信号タイミング	43-32	修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>M_CLK と M_DQSn とのスキュー時間 (read)</td> <td>t_{RMDS-MCLK}</td> <td>-0.75</td> <td>1.82</td> </tr> <tr> <td></td> <td></td> <td>-0.35</td> <td>1.23</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	M_CLK と M_DQSn とのスキュー時間 (read)	t _{RMDS-MCLK}	-0.75	1.82			-0.35	1.23
項目	記号	Min.	Max.											
M_CLK と M_DQSn とのスキュー時間 (read)	t _{RMDS-MCLK}	-0.75	1.82											
		-0.35	1.23											
図 43.29 DDR-SDRAM のリードタイミング(2バーストリード)	43-33	修正 												

項 目	ページ	修正箇所																												
表 43.20 イーサネットコントローラタイミング (GMII)	43-44	追加 <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>REF125CK クロック入力周波数</td> <td>$f_{REF125CK}$</td> <td>125 – 100ppm</td> <td></td> <td>125 + 100ppm</td> <td>MHz</td> <td></td> </tr> <tr> <td>GETn_GTX_CLK サイクル時間</td> <td>t_{GTTyp}</td> <td>8</td> <td></td> <td></td> <td>ns</td> <td>43.45</td> </tr> </tbody> </table>	項 目	記号	Min.	Typ.	Max.	単位	参照図	REF125CK クロック入力周波数	$f_{REF125CK}$	125 – 100ppm		125 + 100ppm	MHz		GETn_GTX_CLK サイクル時間	t_{GTTyp}	8			ns	43.45							
項 目	記号	Min.	Typ.	Max.	単位	参照図																								
REF125CK クロック入力周波数	$f_{REF125CK}$	125 – 100ppm		125 + 100ppm	MHz																									
GETn_GTX_CLK サイクル時間	t_{GTTyp}	8			ns	43.45																								
表 43.21 イーサネットコントローラタイミング (RMII)	43-46	修正 <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>REF50CK クロック入力周波数</td> <td>f_{RTTyp}</td> <td>50 – 50ppm</td> <td></td> <td>50 + 50ppm</td> <td>MHz</td> <td>43.49</td> </tr> <tr> <td>RMII_n_TXD_EN, RMII1M_TXD_EN 出力遅延時間</td> <td>t_{RTEND}</td> <td>2.5</td> <td></td> <td>10</td> <td>ns</td> <td></td> </tr> <tr> <td>RMII_n_TXD1, RMII_n_TXD0, RMII1M_TXD1, RMII1M_TXD0 出力遅延時間</td> <td>t_{RETD0}</td> <td>2.5</td> <td></td> <td>10</td> <td></td> <td></td> </tr> </tbody> </table>	項 目	記号	Min.	Typ.	Max.	単位	参照図	REF50CK クロック入力周波数	f_{RTTyp}	50 – 50ppm		50 + 50ppm	MHz	43.49	RMII _n _TXD_EN, RMII1M_TXD_EN 出力遅延時間	t_{RTEND}	2.5		10	ns		RMII _n _TXD1, RMII _n _TXD0, RMII1M_TXD1, RMII1M_TXD0 出力遅延時間	t_{RETD0}	2.5		10		
項 目	記号	Min.	Typ.	Max.	単位	参照図																								
REF50CK クロック入力周波数	f_{RTTyp}	50 – 50ppm		50 + 50ppm	MHz	43.49																								
RMII _n _TXD_EN, RMII1M_TXD_EN 出力遅延時間	t_{RTEND}	2.5		10	ns																									
RMII _n _TXD1, RMII _n _TXD0, RMII1M_TXD1, RMII1M_TXD0 出力遅延時間	t_{RETD0}	2.5		10																										
A. CPU 動作モードレジスタ (CPUOPM)	付録-1	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>31~6</td> <td></td> <td>H'000000F</td> <td>R</td> <td>リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。</td> </tr> <tr> <td>5</td> <td>RABD</td> <td>1</td> <td>R</td> <td>リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	31~6		H'000000F	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。	5	RABD	1	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。													
ビット	ビット名	初期値	R/W	説 明																										
31~6		H'000000F	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。																										
5	RABD	1	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。																										
B. 命令プリフェッチとその副作用について	付録-2	項目を削除																												
C. サブルーチン復帰投機実行	付録-3	項目を削除																												
図 D.1 外形寸法図 (449 ピン BGA)	付録-7	図を差し替え																												
表 E.1 端子状態表	付録-8 ~ 付録-19	修正 <table border="1"> <thead> <tr> <th rowspan="2">端子番号</th> <th rowspan="2">端子名</th> <th rowspan="2">入出力</th> <th colspan="2">パワーオンリセット</th> <th rowspan="2">マニュアルリセット</th> <th rowspan="2">スタンバイ</th> <th rowspan="2">バス解放時</th> </tr> <tr> <th>MD6=0</th> <th>MD6=1</th> </tr> </thead> <tbody> <tr> <td>B19</td> <td>RDY/EX_RDY/ PCC_WAIT</td> <td>I/O/I</td> <td>ZM</td> <td>ZM</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	端子番号	端子名	入出力	パワーオンリセット		マニュアルリセット	スタンバイ	バス解放時	MD6=0	MD6=1	B19	RDY/EX_RDY/ PCC_WAIT	I/O/I	ZM	ZM													
端子番号	端子名	入出力				パワーオンリセット					マニュアルリセット	スタンバイ	バス解放時																	
			MD6=0	MD6=1																										
B19	RDY/EX_RDY/ PCC_WAIT	I/O/I	ZM	ZM																										
	付録-9	修正 <table border="1"> <thead> <tr> <th rowspan="2">端子番号</th> <th rowspan="2">端子名</th> <th rowspan="2">入出力</th> <th colspan="2">パワーオンリセット</th> </tr> <tr> <th>MD6=0</th> <th>MD6=1</th> </tr> </thead> <tbody> <tr> <td>B19</td> <td>RDY/EX_RDY/ PCC_WAIT</td> <td>I/O/I</td> <td>ZM</td> <td>ZM</td> </tr> </tbody> </table>	端子番号	端子名	入出力	パワーオンリセット		MD6=0	MD6=1	B19	RDY/EX_RDY/ PCC_WAIT	I/O/I	ZM	ZM																
端子番号	端子名	入出力				パワーオンリセット																								
			MD6=0	MD6=1																										
B19	RDY/EX_RDY/ PCC_WAIT	I/O/I	ZM	ZM																										

項 目	ページ	修正箇所								
表 E.1 端子状態表	付録-20	記号説明に追加 ZM: パワーオンリセット中は HiZ 状態 (入力バッファ OFF、出力バッファ OFF)、パワーオンリセット直後は入力バッファ ON、出力バッファ OFF、プルアップ ON								
表 F.1 未使用時の端子処理	付録-22	修正 <table border="1" data-bbox="450 452 1012 529"> <thead> <tr> <th>端子番号</th> <th>端子名</th> <th>入出力</th> <th>未使用端子の処理</th> </tr> </thead> <tbody> <tr> <td>C12</td> <td>XRTCSTBI</td> <td>I</td> <td>VDD-RTC にプルアップ</td> </tr> </tbody> </table>	端子番号	端子名	入出力	未使用端子の処理	C12	XRTCSTBI	I	VDD-RTC にプルアップ
端子番号	端子名	入出力	未使用端子の処理							
C12	XRTCSTBI	I	VDD-RTC にプルアップ							

索引

【数字 / 記号】	
0 TIME PAUSE フレーム制御	23-152
10 ビットアドレスフォーマット	26-22
16 ビットタイムパルスユニット (TPU)	20-1
32 ビットアドレス拡張	6-35
7 ビットアドレスフォーマット	26-21
【A】	
A/D 変換器 (ADC)	38-1
ASID	6-7
ATI	22-20
【C】	
CAM 機能	23-141
CUI	22-20
【D】	
D/A 変換器 (DAC)	39-1
DDR-SDRAM インタフェース (DDRIF)	12-1
【F】	
FIFO 内蔵シリアルコミュニケーション / IrDA インタフェース (SCIF/IrDA)	28-1
FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	27-1
FPU に関するシステムレジスタ	2-3
FPU 例外	5-19
【G】	
GEINT0	23-146
GEINT1	23-146
GEINT2	23-146
GMII/MII フレーム	23-156
【H】	
H-UDI リセット	5-9
【I】	
I/O カードインタフェース	11-9, 11-48
I ² C バスインタフェース (IIC)	26-1
I ² C バスデータフォーマット	26-20
IC 2 ウェイモード	7-14
IC メモリカードインタフェース	11-9, 11-48
IrDA 赤外線データ通信インタフェース	28-51
IRL 割り込み	9-51
IRQ 割り込み	9-50
ITLB	6-19
【L】	
LCDC モジュール信号タイミング	43-63
LCD コントローラ (LCD)	37-1
LDTLB	6-22
L メモリ	8-1
【M】	
Magic Packet	23-152
MII-RMII 変換回路	23-162
MII フレーム	23-154
MII レジスタ	23-159
MMC モード	31-32
MMU の機能	6-22
MMU 例外	6-25
MPX インタフェース	11-58
【N】	
NMI (ノンマスクابل割り込み)	5-20
NMI 割り込み	9-50
【O】	
OC 2 ウェイモード	7-12
【P】	
PAUSE フレーム受信	23-151
PCI コマンド	13-61
PCI コントローラ (PCIC)	13-1
PCI コンフィグレーションレジスタ	13-11
PCI バスアービタ	13-78
PCI 規格信号	13-4, 13-5
PCMCIA インタフェース	11-48
PCMCIA サポート	11-9
PC カードコントローラ (PCC)	32-1

PRI..... 22-20
PWM モード..... 20-25

【 Q 】

Qtag..... 23-153

【 R 】

RMII フレーム..... 23-158
RTC 電源バックアップモード..... 18-16

【 S 】

SCIF 割り込み要因..... 27-47, 28-47
SIM カードモジュール (SIM) 30-1
SRAM インタフェース..... 11-40
SuperHyway バスブリッジ (SBR) 10-1

【 T 】

TAP 制御..... 42-24
TCNT のカウントタイミング..... 19-12
TLB..... 6-1, 6-16
T ビット..... 3-2

【 U 】

USB ファンクションコントローラ (USBF) 36-1
USB ホストコントローラ (USBH) 35-1
UTLB..... 6-16
U ビット..... 7-3

【 V 】

V ビット..... 7-3

【 あ 】

アクセスサイクル間ウェイト..... 11-73
アドレス / データステッピング..... 13-89
アドレスアレイ..... 6-31, 6-33, 7-16, 7-18
アドレス空間識別子..... 6-7
アドレス変換..... 6-7
アドレス変換方式..... 6-20
アドレッシングモード..... 3-3
アラーム機能..... 22-19
イーサネット受信動作..... 23-134
イーサネット送信動作..... 23-130
イーサネット転送動作..... 23-140
位相計数モード..... 20-27
一般 FPU 抑止例外..... 5-17
一般不当命令例外..... 5-16
一般割り込み要求..... 5-20

インタミットモード..... 14-31
液晶モジュール電源状態..... 37-43
エリア..... 11-6, 11-36
エンディアン..... 11-32
オーディオコーデックインタフェース (HAC) 33-1
オートリクエストモード..... 14-21
オートリロードカウンタ動作..... 19-12
オペランドアクセスサイクルブレイク..... 41-21
オペランドキャッシュ..... 7-1

【 か 】

外部 CPU アクセス許可空間..... 15-8
外部 CPU インタフェース (EXCPU) 15-1
外部 CPU 接続..... 15-13
外部クロック用ポーレートジェネレータ..... 28-53
外部メモリ空間マップ..... 11-7
外部リクエストモード..... 14-21
仮想アドレス空間..... 6-2, 6-3, 6-4
仮想記憶方式..... 6-1
ギガビットイーサネットコントローラ
(GETHER) 23-1
擬似ラウンドロビン..... 13-78
キャッシュ..... 7-1
キャッシュコヒーレンシ..... 13-76
キャッシュフィル..... 7-15
クロック同期式モード..... 27-1, 28-2, 28-39
クロック発振器 (CPG) 16-1
クロックバリッド受信..... 25-18
クロックバリッド送信..... 25-22
固定小数点転送命令..... 3-8
固定モード..... 14-25
コントロールレジスタ..... 2-2
コンフィグレーションアクセス..... 13-77
コンペアマッチタイマ (CMT) 21-1

【 さ 】

サイクルスチール..... 14-30
算術演算命令..... 3-9
時刻設定..... 22-17
システム制御命令..... 3-14
システムレジスタ..... 2-3
実効アドレスの計算..... 3-3
実行ステート..... 4-15
自動 PAUSE フレーム送信..... 23-151
シノニム問題..... 6-24
シフト命令..... 3-12
受信 FIFO データフル割り込み (RXI) 27-47, 28-47

受信エラー割り込み (ERI)	27-47, 28-47
受信ディスクリプタ	23-120
手動 PAUSE フレーム送信	23-151
初期ページ書き込み例外	5-11
処理モード	2-2
シリアル I/O FIFO 付き (SIOF)	29-1
シリアルインタフェースエンジン (SIE)	35-27
シリアルサウンドインタフェース (SSI)	34-1
水晶発振回路	22-20
ストアキュー	7-21
ストール動作	36-68
ストリームインタフェース (STIF)	25-1
ストローブ受信	25-20
ストローブ送信	25-23
スマートカードインタフェース	30-16
スリープモード	18-11
スレープモード 1	29-32
スレープモード 2	29-33
スレープモード受信	29-38
スレープモード送信	29-37
スロット FPU 抑止例外	5-18
スロット不当命令例外	5-17
セルフリフレッシュ	18-13
送受信リセット	29-39
送信 FIFO データエンブティ割り込み (TXI)	27-47, 28-47
送信ディスクリプタ	23-115
ソフトウェアスタンバイモード	18-11

【た】

タイムユニット (TMU)	19-1
タイムシェアリングシステム	6-1
ダイレクトメモリアクセスコントローラ (DMAC)	14-1
タグ	7-3
多重割り込み	9-63
遅延スロット	3-1
遅延分岐	3-1
調歩同期式モード	27-1, 28-1, 28-30
低消費電力モード	18-1
ディスクリプタと送受信バッファ	23-126
ディスクリプタポインタ	23-128
データ TLB 多重ヒット例外	5-10
データ TLB 保護違反例外	5-12
データ TLB ミス例外	5-10
データアドレスエラー	5-14
データアレイ	6-32, 6-34, 7-17, 7-20

データスワップ	13-68, 13-73
データ非スワップ	13-68, 13-73
デュアルアドレスモード	14-28
電源制御シーケンス処理	37-38
特権空間マッピングバッファ (PMB) 構成	6-37
特権モード	2-2

【な】

内蔵周辺モジュールリクエストモード	14-22
内蔵周辺モジュール割り込み	9-53
ノーマルモード	13-80

【は】

バースト ROM インタフェース	11-46
バーストモード	14-31
排他的アクセス	13-73
バイト制御 SRAM	11-70
パイプライン動作	4-1
バウンダリスキャン TAP コントローラ	42-4
バスアービトラーション	11-74
発行レート	4-15
バッファ動作	20-22
パディング挿入	23-145
パワーオンリセット	5-9
パワーステート D0 (通常状態)	13-80
パワーステート D1 (バスアイドル)	13-80
パワーステート D2 (クロック停止)	13-80
パワーステート D3 (パワーダウンモード)	13-80
パワーマネジメント	13-80
汎用入出力ポート (GPIO)	40-1
汎用レジスタ	2-2
ビッグエンディアン	2-15
表示 OFF モード (LCDC 停止) の注意事項	37-44
表示解像度の設定	37-38
符号拡張	2-14
物理アドレス空間	6-2, 6-6
浮動小数点グラフィック強化命令	3-18
浮動小数点制御命令	3-17
浮動小数点単精度命令	3-16
浮動小数点倍精度命令	3-17
浮動小数点レジスタ	2-3
フリーラン動作	21-9
プリフェッチ	7-22, 8-8
プリフェッチ動作	7-15
ブレイク割り込み (BRI)	27-47, 28-47
プログラミングモデル	2-1
分岐命令	3-13

ベクタアドレス	5-5
ポーレートジェネレータ	29-26
ホストモード	13-77

【ま】

マスタモード	11-76
マスタモード 1	29-32
マスタモード受信	29-36
マスタモード送信	29-35
マニュアルリセット	5-9
マルチバッファフレーム	23-143
マルチブレイク一覧表	40-2
マルチメディアカードインタフェース (MMCIF)	31-1
無条件トラップ	5-15
命令 TLB 多重ヒット例外	5-9
命令 TLB 保護違反例外	5-13
命令 TLB ミス例外	5-11
命令アドレスエラー	5-15
命令キャッシュ	7-1
命令実行後ユーザブレイク	5-19
命令実行前ユーザブレイク	5-19
命令セット	3-1
命令フェッチサイクルブレイク	41-20
メモリマネジメントユニット	6-1
メモリ割り付け PMB の構成	6-39
メモリ割り付けレジスタ	2-14
モジュールスタンバイ	18-12

【や】

ユーザデバッグインタフェース (H-UDI)	42-1
ユーザブレイクコントローラ (UBC)	41-1
ユーザブレイク動作の流れ	41-18
ユーザモード	2-2

【ら】

ライトスルーバッファ	7-12
ライトバック	8-8
ライトバックバッファ	7-12
ラウンドロビンモード	14-25
リアルタイムクロック (RTC)	22-1
リストプロセッサ	35-27
リセット、ウォッチドッグタイマ (WDT)	17-1
リトルエンディアン	2-15
ルートハブ	35-27
例外 / 割り込みコード	5-5
例外処理	5-1, 5-4
例外フロー	5-6

レジスタ

ADCSR	38-5
ADDR	38-4
APR	23-37
ARSTR	23-19
BCR	11-16
BCULR	23-41
BRGCKS2	28-26
BRGDL2	28-25
CAMR	41-13
CAR	41-12
CBCR	41-17
CBR0	41-4
CBR1	41-4
CCMFR	41-16
CCR	7-5
CDCR	23-32
CDMR1	41-15
CDR1	41-14
CEECR	23-36
CEFCR	23-33
CERCRC	23-35
CETR1	41-15
CHATR	31-30
CHCR	14-10
CLKON	31-25
CMCNT	21-7
CMCOR	21-7
CMCSR	21-5
CMDR	31-12
CMDSTRT	31-15
CMDTYR	31-8
CMSTR	21-5
CPUOPM	付録-1
CRR	41-10
CSnBCR	11-18
CSnPCR	11-28
CSnWCR	11-23
CSTR	31-18
CSWR	31-29
CTLR0	36-40
CTLR1	36-41
CTOCR	31-17
CVR	36-37
DACR	39-3
DADR	39-3
DAR	14-8

DARB	14-8	FWNLCR0	23-81
DASTS	36-31	FWNLCR1	23-84
DBK	12-17	GBR	2-10
DBR	2-11	GECMR	23-40
DMA	36-34	HACACR	33-15
DMACR	31-27	HACCCR	33-4
DMAOR	14-16	HACCSAR	33-5
DMARS	14-18	HACCSDR	33-7
DR	31-26	HACPCML	33-8
DTOUTR	31-17	HACPCMR	33-9
ECMR	23-20	HACRIER	33-12
ECSIPR	23-25	HACRSR	33-13
ECSR	23-23	HACTIER	33-10
EDMR	23-86	HACTSR	33-11
EDRRR	23-89	ICCCR	26-16
EDSR	23-85	ICMAR	26-15
EDTRR	23-88	ICMCR	26-10
EESIPR	23-97	ICMIER	26-14
EESR	23-92	ICMSR	26-12
EPDR0i	36-24	ICR	9-13
EPDR0o	36-24	ICRXD	26-17
EPDR0s	36-25	ICSAR	26-9
EPDR1	36-26	ICSCR	26-5
EPDR2	36-26	ICSIER	26-8
EPDR3	36-27	ICSSR	26-6
EPDR4	36-27	ICTXD	26-17
EPDR5	36-28	IER0	36-19
EPIR	36-42	IFR0	36-7
EPSTL0	36-35	INT2A	9-30
EPSTL1	36-36	INT2A01	9-31
EPSZ0o	36-28	INT2B	9-42
EPSZ1	36-29	INT2GPIC	9-48
EPSZ4	36-29	INT2MSKCR	9-39
EXCCTRL	15-5	INT2MSKR	9-36
EXCINOR	15-7	INT2PRI	9-29
EXCMSETR	15-6	INTCR	31-20, 31-28
EXPEVT	5-2	INTEVT	5-3
FCFTR	23-110	INTMSK	9-18
FCLR0	36-32	INTMSKCLR	9-22
FCLR1	36-33	INTPRI	9-16
FDR	23-104	INTREQ	9-17
FIFOCLR	31-27	INTSTR	31-22, 31-28
FPSCR	2-11	IRMCR	6-15
FRECR	23-33	ISR0	36-15
FRQCR	16-6	LCCR	23-32
FWALCR0	23-81	LDA0	8-6
FWALCR1	23-84	LDA1	8-7

LDACLNR	37-21	PCCR	40-17
LDCNTR	37-27	PCDR	40-37
LDDFR	37-10	PCIAINT	13-42
LDHCNR	37-17	PCIAINTM	13-44
LDHSYNR	37-18	PCIAIR	13-41
LDICKR	37-6	PCIBCC	13-17
LDINTR	37-22	PCIBIST	13-19
LDLAOR	37-14	PCIBMIR	13-45
LDLIRNR	37-30	PCICID	13-26
LDMTR	37-7	PCICIR	13-41
LDPALCR	37-15	PCICLS	13-17
LDPMMR	37-24	PCICMD	13-12
LDPR	37-16	PCICP	13-24
LDPSPR	37-26	PCICR	13-30
LDSARL	37-13	PCICSAR	13-59
LDSARU	37-12	PCICSCR	13-57
LDSMR	37-11	PCIDID	13-11
LDUINTLNR	37-29	PCIECR	13-10
LDUINTR	37-28	PCIHDR	13-18
LDVDLNR	37-19	PCIIBAR	13-19
LDVSYNR	37-20	PCIIMR	13-39
LDVTLNR	37-19	PCIINTLINE	13-24
LSAO	8-4	PCIINTPIN	13-25
LSA1	8-5	PCIIOBMR	13-56
MACH	2-11	PCIIOBR	13-55
MACL	2-11	PCIIR	13-36
MAFCR	23-36	PCILAR	13-34
MAHR	23-27	PCILSR	13-32
MALR	23-28	PCILTM	13-18
MIM	12-8	PCIMAXLAT	13-26
MMSCLR	11-14	PCIMBAR	13-20
MMUCR	6-11	PCIMBMR	13-50
MPR	23-38	PCIMBR	13-50
MSTPCR0	18-6	PCIMINGNT	13-25
MSTPCR1	18-7	PCINIP	13-26
NMIFCR	9-26	PCIPAR	13-46
OPCR	31-16	PCIPCD	13-29
PACR	40-14	PCIPDR	13-60
PADR	40-36	PCIPIF	13-16
PASCR	6-14	PCIPINT	13-48
PBCR	40-15	PCIPINTM	13-49
PBDR	40-36	PCIPMC	13-27
PC	2-11	PCIPMCSR	13-28
PCC0CSCIER	32-16	PCIPMCSRSE	13-29
PCC0CSCR	32-13	PCIRID	13-15
PCC0GCR	32-10	PCISID	13-23
PCC0ISR	32-8	PCISTATUS	13-13

PCISUB.....	13-17	PSEL4.....	40-59
PCISVID.....	13-23	PSR.....	23-30
PCIVID.....	13-11	PTEH.....	6-9
PDCR.....	40-18	PTEL.....	6-10
PDDR.....	40-37	PVR.....	付録-31
PECR.....	40-20	QACR0.....	7-6
PEDR.....	40-38	QACR1.....	7-7
PFCR.....	40-21	R64CNT.....	22-5
PFDR.....	40-38	RAMCR.....	7-7, 8-3
PFRCR.....	23-40	RCR.....	22-13
PFTCR.....	23-39	RDAYAR.....	22-11
PGCR.....	40-22	RDAYCNT.....	22-7
PGDR.....	40-39	RDFAR.....	23-106
PHCR.....	40-24	RDFFR.....	23-107
PHDR.....	40-39	RDFXR.....	23-106
PICR.....	40-25	RDLAR.....	23-91
PIDR.....	40-40	RFCR.....	23-35
PIPR.....	23-30	RFLR.....	23-29
PIPUPR.....	40-44	RHRAR.....	22-10
PIR.....	23-26	RHRCNT.....	22-6
PJCR.....	40-27	RMCR.....	23-105
PJDR.....	40-40	RMFCR.....	23-102
PJPUPR.....	40-45	RMINAR.....	22-9
PKCR.....	40-28	RMINCNT.....	22-6
PKDR.....	40-41	RMONAR.....	22-11
PKPUPR.....	40-46	RMONCNT.....	22-8
PLCR.....	40-30	RPADIR.....	23-111
PLDR.....	40-41	RSECAR.....	22-9
PLLCR.....	16-7	RSECCNT.....	22-5
PLPUPR.....	40-47	RSPR.....	31-13
PMCR.....	40-31	RSPTYR.....	31-9
PMDR.....	40-42	RWKAR.....	22-10
PMPUPR.....	40-48	RWKCNT.....	22-7
PNCR.....	40-33	RXALCR0.....	23-80
PNDR.....	40-42	RXALCR1.....	23-83
PNPUPR.....	40-49	RXNLCR0.....	23-80
POCR.....	40-34	RXNLCR1.....	23-83
PODR.....	40-43	RYRAR.....	22-12
POPUPR.....	40-50	RYRCNT.....	22-8
PPUPR.....	40-51	SAR.....	14-7
PR.....	2-11	SARB.....	14-7
PRPRICR.....	10-4	SBRIVCLV.....	10-3
PRR.....	付録-31, 付録-32	SCBRR.....	27-19, 28-20, 30-5
PSEL0.....	40-52	SCFCR.....	27-20, 28-21
PSEL1.....	40-53	SCFDR.....	28-22
PSEL2.....	40-55	SCFRDR.....	27-9, 28-8
PSEL3.....	40-57	SCFSR.....	27-15, 28-14

SCFTDR.....	27-10, 28-8	STBCR.....	18-5
SCGRD.....	30-14	STICR.....	25-9
SCLSR.....	27-25, 28-24	STIFIFO.....	25-16
SCR.....	12-11	STIIER.....	25-12
SCRDR.....	30-12	STIISR.....	25-10
SCRER.....	27-26	STIMDR.....	25-6
SCRFRD.....	27-22	STIPCR.....	25-15
SCRSR.....	27-9, 28-7, 30-12	STIPNR.....	25-14
SCSC2R.....	30-14	STITSC.....	25-13
SCSCMR.....	30-12	STR.....	12-12
SCSCSR.....	27-12, 28-11, 30-5	SWSR.....	31-30
SCSMPL.....	30-15	TBCR.....	31-11
SCSMR.....	27-10, 28-9, 30-4	TBNCR.....	31-12
SCSMRIR.....	28-26	TCNT.....	20-16
SCSPTR.....	27-23, 28-23	TCNTn.....	19-8
SCSSR.....	30-8	TCORn.....	19-8
SCTDR.....	30-8	TCPR2.....	19-10
SCTFDR.....	27-22	TCR.....	14-9, 20-8
SCTSR.....	27-9, 28-8, 30-7	TCRB.....	14-9
SCWAIT.....	30-15	TCRn.....	19-8
SDBPR.....	42-8	TDFAR.....	23-108
SDBSR.....	42-9	TDFFR.....	23-109
SDINT.....	42-8	TDFXR.....	23-108
SDIR.....	42-7	TDLAR.....	23-90
SDMR.....	12-16	TEA.....	6-11
SDR.....	12-15	TFTR.....	23-103
SGR.....	2-10	TGR.....	20-16
SICDAR.....	29-25	TIER.....	20-13
SICTR.....	29-11	TIOR.....	20-12
SIFCTR.....	29-21	TLFRCR.....	23-34
SIIER.....	29-20	TMDR.....	20-10
SIMDR.....	29-8	TOCR.....	19-6
SIRCR.....	29-15	TPAUSER.....	23-39
SIRDAR.....	29-24	TRA.....	5-2
SIRDR.....	29-13	TRG.....	36-30
SISCR.....	29-10	TROCR.....	23-31
SISTR.....	29-15	TRSCER.....	23-100
SITCR.....	29-14	TSFRCR.....	23-34
SITDAR.....	29-23	TSR.....	20-14
SITDR.....	29-12	TSTR.....	20-16
SPC.....	2-10	TSTRn.....	19-6
SR.....	2-9	TSU_ADQT0.....	23-61
SSICR.....	34-6	TSU_ADQT1.....	23-62
SSIRDR.....	34-15	TSU_ADRH.....	23-77
SSISR.....	34-11	TSU_ADRL.....	23-78
SSITDR.....	34-15	TSU_ADSBSY.....	23-65
SSR.....	2-10	TSU_BSYSLO.....	23-46

TSU_BSYSL1	23-47	USBHFI	35-16
TSU_CTRST	23-42	USBHFN.....	35-17
TSU_FCM	23-45	USBHFR.....	35-16
TSU_FWEN0	23-43	USBHCCA	35-12
TSU_FWEN1	23-44	USBHID.....	35-11
TSU_FWINMK	23-59	USBHIE	35-9
TSU_FWSL0	23-50	USBHIS	35-8
TSU_FWSL1	23-52	USBHLST	35-18
TSU_FWSLC	23-54	USBHPCED	35-13
TSU_FWSR	23-57	USBHPS.....	35-18
TSU_POST1	23-69	USBHR	35-5
TSU_POST2	23-71	USBHRDA.....	35-19
TSU_POST3	23-73	USBHRDB.....	35-21
TSU_POST4	23-75	USBHRPS2	35-23
TSU_PRISL0.....	23-48	USBHRS	35-22
TSU_PRISL1.....	23-49	USBHSC	35-26
TSU_QTAG0.....	23-55	USERIMASK	9-27
TSU_QTAG1	23-56	VBR	2-10
TSU_TEN.....	23-66	VDCNT	31-26
TSU_VTAG0	23-63	WDTBCNT	17-7
TSU_VTAG1	23-64	WDTBST	17-6
TTB	6-11	WDTCNT.....	17-7
TXALCR0.....	23-79	WDTCSR.....	17-5
TXALCR1	23-82	WDTST.....	17-4
TXNLCR0.....	23-79	ローカルバスステートコントローラ (LBSC)	11-1
TXNLCR1.....	23-82	ロード / ストアアーキテクチャ	3-1
USBHBCED	35-15	論理演算命令	3-11
USBHBHED	35-14		
USBHC	35-6	【わ】	
USBHCCED	35-14	割り込み応答時間	9-64
USBHCHED	35-13	割り込みコントローラ (INTC)	9-1
USBHCS	35-7	ワンショット動作	21-8
USBHDHED	35-15		

SH7763 ユーザーズマニュアル
ハードウェア編

発行年月日 2007年5月22日 Rev.1.00
2012年3月14日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7763