

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7705 グループ

ハードウェアマニュアル

ルネサス32ビットRISC マイクロコンピュータ

SuperH™ RISC engineファミリ / SH7700シリーズ

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPUおよびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項、等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 索引

はじめに

SH7705 は、ルネサステクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイクロプロセッサです。

対象者 このマニュアルは、SH7705 を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7705 のハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。
なお、実行命令の詳細については、「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 対象製品と製品略称の表記について。
→ 本書では、下記の製品について説明をします。

製品分類と製品略称	基本製品型名
基本分類	
SH7705	HD6417705

- 機能全体を理解しようとするとき
→ 目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき
→ 別冊の「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」を参照してください。

凡例 レジスタ表記 : シリアルコミュニケーションインタフェースモジュールなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://www.renesas.com/jpn/>)

- SH7705に関するユーザーズマニュアル

資料名	資料番号
SH7705 ハードウェアマニュアル	本マニュアル
SH-3/SH-3E/SH3-DSP プログラミングマニュアル	ADJ-602-120

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンケージエディタユーザーズマニュアル	ADJ-702-304
シミュレータ・デバッガ（Windows 版）ユーザーズマニュアル	ADJ-702-266
シミュレータ・デバッガ（UNIX 版）ユーザーズマニュアル	ADJ-702-277
High-Performance Embedded Workshop ユーザーズマニュアル	ADJ-702-275
SuperH RISC engine High-Performance Embedded Workshop. High-Performance Debugging Interface チュートリアル	ADJ-702-306

- アプリケーションノート

資料名	資料番号
C/C++コンパイラ編	ADJ-502-046

略語の説明

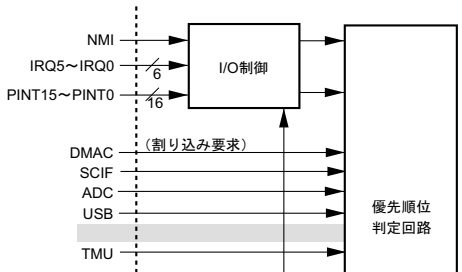
ADC	Analog to Digital Converter アナログ - デジタル
ALU	Arithmetic Logic Unit 演算論理回路
ASE	Adaptive System Evaluator 適応システム評価
ASID	Address Space Identifier アドレス空間識別子
AUD	Advanced User Debugger アドバンスドユーザデバッガ
BCD	Binary Coded Decimal 2 進化 10 進数
bps	bit per second ビット数/秒
BSC	Bus State Controller バスステートコントローラ
CCN	Cache memory Controller キャッシュメモリコントローラ
CMT	Compare Match Timer コンペアマッチタイマ
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
etu	Elementary Time Unit ビット時間
FIFO	First-In First-Out 先入れ先出しレジスタ
Hi-Z	High Impedance ハイインピーダンス
H-UDI	User Debug Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込み制御コントローラ

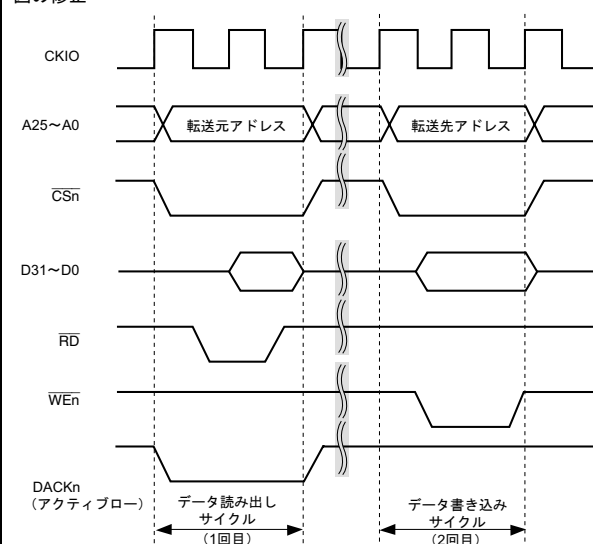
IrDA	Infrared Data Association 赤外線データアソシエーション
JTAG	Joint Test Action Group バウンダリスキャンの規格化 Gr 名
LQFP	Low Profile QFP 薄型 QFP
LRU	Least Recently Used 仮想記憶ページ置き換えアルゴリズムの一種
LSB	Least Significant Bit 最下位ビット
MMU	Memory Management Unit メモリマネージメントユニット
MPX	Multiplex 多重通信式
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PFC	Pin Function Controller ピンファンクションコントローラ
PLL	Phase Locked Loop 位相ロックループ
PWM	Pulse Width Modulation パルス幅変調方式
RAM	Random Access Memory ランダムアクセスメモリ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
ROM	Read Only Memory リードオンリーメモリ
RTC	Real Time Clock リアルタイムクロック
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
SDRAM	Synchronous DRAM クロック同期式高速 DRAM
TAP	Test Access Port テスト端子

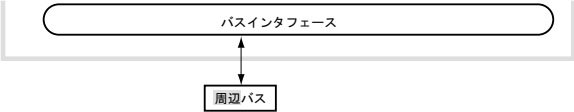
T.B.D	To Be Determined 未定
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
TPU	Timer Pulse Unit 16 ビットタイマパルスユニット
UART	Universal Asynchronous Receiver/Transmitter 非同期シリアルインタフェース
UBC	User Break Controller ユーザブレイクコントローラ
USB	Universal Serial Bus ユニバーサルシリアルバス
WDT	Watch Dog Timer ウォッチドックタイマ

本版で修正または追加された箇所

修正箇所	ページ	修正箇所																																													
1.1 SH7705 の特長 表 1.1 SH7705 の特長	1-3	USB ファンクションモジュール (USB) の特長を修正 • USB2.0 フルスピード準拠																																													
1.3 ピン配置図 表 1.2 ピン配置表	1-12、 1-14	<p>【注】*7、*8 の追加</p> <table border="1"> <thead> <tr> <th>端子番号 (FP-209C)</th> <th>端子番号 (TBP-208A)</th> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>139</td> <td>G15</td> <td>TDI^{※7}/PTG0</td> <td>入力/入出力</td> <td>テストデータ入力 (H-UDI) / 入出力ポート G</td> </tr> <tr> <td>140</td> <td>G14</td> <td>TCK^{※7}/PTG1</td> <td>入力/入出力</td> <td>テストクロック (H-UDI) / 入出力ポート G</td> </tr> <tr> <td>141</td> <td>F17</td> <td>TMS^{※7}/PTG2</td> <td>入力/入出力</td> <td>テストモードセレクト (H-UDI) / 入出力ポート G</td> </tr> <tr> <td>142</td> <td>F16</td> <td>TRST^{※7}/PTG3</td> <td>入力/入出力</td> <td>テストリセット (H-UDI) / 入出力ポート G</td> </tr> <tr> <td>143</td> <td>F15</td> <td>TDO/PTF5</td> <td>出力/入出力</td> <td>テストデータ出力 (H-UDI) / 入出力ポート F</td> </tr> <tr> <td>144</td> <td>F14</td> <td>ASEBRKAK/PTF6</td> <td>出力/入出力</td> <td>ASE ブレークアクトリッジ (H-UDI) / 入出力ポート F</td> </tr> <tr> <td>145</td> <td>E17</td> <td>ASEMDO^{※7}/PTF7</td> <td>入力/入出力</td> <td>ASE モード (H-UDI) / 入出力ポート F</td> </tr> <tr> <td>195</td> <td>C6</td> <td>RESETP^{※8}</td> <td>入力</td> <td>パワーオンリセット要求</td> </tr> </tbody> </table> <p>【注】*7 ブルアップ MOS が接続されています。</p> <p>*8 ピンファンクションコントローラ (PFC) でその他の機能 (H-UDI) を選択した場合は、ブルアップ MOS がオンになります。</p>	端子番号 (FP-209C)	端子番号 (TBP-208A)	端子名	入出力	機能	139	G15	TDI ^{※7} /PTG0	入力/入出力	テストデータ入力 (H-UDI) / 入出力ポート G	140	G14	TCK ^{※7} /PTG1	入力/入出力	テストクロック (H-UDI) / 入出力ポート G	141	F17	TMS ^{※7} /PTG2	入力/入出力	テストモードセレクト (H-UDI) / 入出力ポート G	142	F16	TRST ^{※7} /PTG3	入力/入出力	テストリセット (H-UDI) / 入出力ポート G	143	F15	TDO/PTF5	出力/入出力	テストデータ出力 (H-UDI) / 入出力ポート F	144	F14	ASEBRKAK/PTF6	出力/入出力	ASE ブレークアクトリッジ (H-UDI) / 入出力ポート F	145	E17	ASEMDO ^{※7} /PTF7	入力/入出力	ASE モード (H-UDI) / 入出力ポート F	195	C6	RESETP ^{※8}	入力	パワーオンリセット要求
端子番号 (FP-209C)	端子番号 (TBP-208A)	端子名	入出力	機能																																											
139	G15	TDI ^{※7} /PTG0	入力/入出力	テストデータ入力 (H-UDI) / 入出力ポート G																																											
140	G14	TCK ^{※7} /PTG1	入力/入出力	テストクロック (H-UDI) / 入出力ポート G																																											
141	F17	TMS ^{※7} /PTG2	入力/入出力	テストモードセレクト (H-UDI) / 入出力ポート G																																											
142	F16	TRST ^{※7} /PTG3	入力/入出力	テストリセット (H-UDI) / 入出力ポート G																																											
143	F15	TDO/PTF5	出力/入出力	テストデータ出力 (H-UDI) / 入出力ポート F																																											
144	F14	ASEBRKAK/PTF6	出力/入出力	ASE ブレークアクトリッジ (H-UDI) / 入出力ポート F																																											
145	E17	ASEMDO ^{※7} /PTF7	入力/入出力	ASE モード (H-UDI) / 入出力ポート F																																											
195	C6	RESETP ^{※8}	入力	パワーオンリセット要求																																											
4.4.1 アドレスアレイ (3) アドレスアレイライト (連想あり)	4-10	説明修正 …本動作は、アドレスを指定したキャッシュの無効化に用いられません。																																													
4.4.3 使用例 (1) 特定エントリの無効化 (2) 特定アドレスの無効化	4-13、 4-14	説明の大幅修正 説明追加																																													
5.2.5 例外要因の受け付けタイミングと優先順位 表 5.1 例外事象一覧	5-7	【注】*3 の説明修正 【注】*3 割り込みを受理しても例外事象レジスタ (EXPEVT) の値は変化せず、割り込み要因レジスタ (INTEVT, INTEVT2) に割り込み要求元を示すコートが設定されます。「第 6 章 割り込みコントローラ (INTC)」を参照してください。																																													

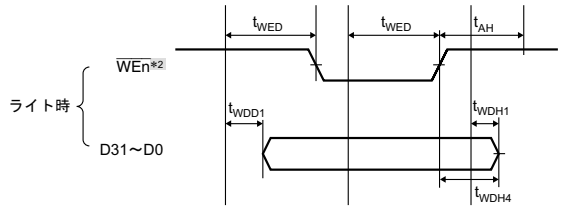
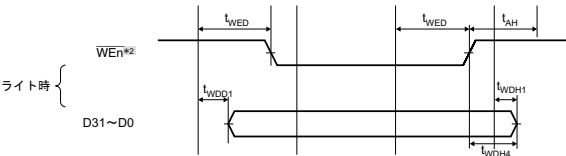
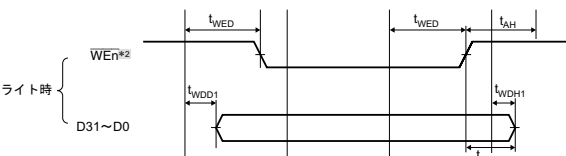
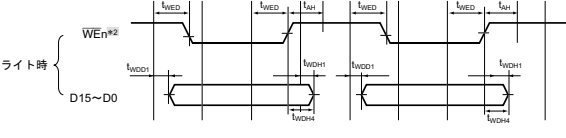
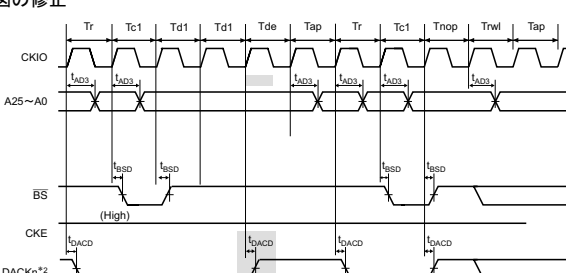
修正箇所	ページ	修正箇所
<p>6.1 特長</p> <p>図 6.1 割り込みコントローラのブロック図</p>	6-2	<p>CMT の削除</p>  <p>【記号説明】 DMAC : DMAコントローラ SCIF : シリアルコミュニケーションインタフェース (FIFO付) ADC : A/Dコンバータ USB : USBインタフェース TMU : タイマユニット</p>
<p>6.4.6 割り込み例外処理および優先順位表 6.4 割り込み例外処理要因と優先順位 (IRQ モード時)</p>	6-16	<p>割り込み要因 TMU2 の IPR (ビット番号) を修正 IPRA (7-4)</p>
<p>7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、2、3、4、5A、5B、6A、6B)</p>	7-11	<p>ビット 14~12 説明追加</p> <p>SDRAM はエリア 2 とエリア 3 でのみ設定可能です。1 エリアのみ SDRAM で接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は通常空間設定としてください。</p> <p>【注】 5. の追加</p> <p>【注】 5. SDRAM バンクアクティブモードは CS3 のみで使用できません (SDRAM コントロールレジスタ BACTV ビット参照)。</p>
<p>7.4.5 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)</p>	7-24	<p>ビット 31~8 の説明修正</p> <p>リザーブビット</p>
<p>7.4.6 リフレッシュタイムカウンタ (RTCNT)</p>	7-25	<p>ビット 31~8 の説明修正</p> <p>リザーブビット</p>
<p>7.9 パースト ROM インタフェース</p> <p>図 7.30 パースト ROM アクセス (バス幅 8 ビット、アクセスサイズ 32 ビット (パースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)</p>	7-67	<p>図タイトル修正</p>

修正箇所	ページ	修正箇所
7.13 その他 (1) リセット	7-72	説明修正 …マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。ただし、マニュアルリセット信号のアサート中は、BREQ によるアービトレーション要求を受け付けません。
8.3.4 DMA チャンネルコントロールレジスタ (CHCR)	8-6	ビット 15、14 の説明修正 00 : デスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止)
		ビット 13、12 の説明修正 00 : ソースアドレスは固定 (16 バイト単位転送時は設定禁止)
8.4.3 チャンネルの優先順位 (2) ラウンドロビンモード	8-17	説明修正 …なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3 です。 ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。
8.4.4 DMA 転送の種類 (1) アドレスモード 図 8.6 デュアルモードの DMA 転送タイミング例 (転送元 : 通常メモリ、転送先 : 通常メモリ)	8-22	図の修正 
	8-27	説明の大幅修正
(4) バスモードとチャンネルの優先順位	8-27	説明の大幅修正
8.5 使用上の注意事項	8-30	新規追加

修正箇所	ページ	修正箇所																		
9.1 特長 図 9.1 CPG のブロック図	9-2	図の修正 																		
10.2.2 ウォッチドッグタイマコントローラ/ステータスレジスタ (WTCSR)	10-4	【注】の追加 【注】 RSTS ビットでマニュアルリセットを選択し、CKS2~0 で 1/16、1/32、1/64、1/256、1/1024、1/4096 の分周比を選択した状態でウォッチドッグタイマのカウンタオーパフローによりマニュアルリセットが発生した場合は、本 LSI 内部で 2 回連続してマニュアルリセットが発生します。動作には影響ありませんが、STATUS 端子が変化しますので注意してください。																		
11.6.1 モジュールスタンバイ機能への遷移	11-8	説明修正 …この機能を使用することで、ノーマル、スリープモード時の消費電力を低減させることができます。																		
16.4.3 調歩同期式モードのシリアル動作 表 16.3 シリアル送信/受信フォーマット	16-22	【記号説明】を追加 【記号説明】 START : スタートビット STOP : ストップビット P : パリティビット																		
16.5 割り込み要因と DMAC 表 16.4 SCIF 割り込み要因	16-43	表の修正 <table border="1" data-bbox="637 1058 1204 1145"> <thead> <tr> <th>割り込み要因</th> <th>内容</th> <th>DMAC の起動</th> </tr> </thead> <tbody> <tr> <td>ERI</td> <td>受信エラー (ER) またはブレーク (BRK) による割り込み</td> <td>不可</td> </tr> <tr> <td>RDI</td> <td>受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み</td> <td>可¹⁾</td> </tr> <tr> <td>TDI</td> <td>送信 FIFO データエンプティ (TDFE) または送信データストップ (TSF) による割り込み</td> <td>可²⁾</td> </tr> </tbody> </table>	割り込み要因	内容	DMAC の起動	ERI	受信エラー (ER) またはブレーク (BRK) による割り込み	不可	RDI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可 ¹⁾	TDI	送信 FIFO データエンプティ (TDFE) または送信データストップ (TSF) による割り込み	可 ²⁾						
割り込み要因	内容	DMAC の起動																		
ERI	受信エラー (ER) またはブレーク (BRK) による割り込み	不可																		
RDI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可 ¹⁾																		
TDI	送信 FIFO データエンプティ (TDFE) または送信データストップ (TSF) による割り込み	可 ²⁾																		
18.1 特長	18.1	説明修正 • USB2.0 に対応した UDC (USB Device Controller) およびトランシーバを内蔵し、…																		
19.1 概要 表 19.1 マルチプレクスー一覧表	19-4	【注】*1 に説明の追加 【注】*1 NF (No Function) 端子は、リセット後の初期機能が設定されていません。ピンファンクションコントローラ (PFC) で機能設定をしてください。 PTD5、PTM4 はプルアップしてください。 PTJ [7 : 0] はポート出力にする以外はオープンにしてください。 PTJ6、PTJ1、PTJ0 は、パワーオンリセット中とパワーオンリセット解除後で、端子の値が異なります。ピンファンクションコントローラ (PFC) でポートに切り替えた後は、ポート J データレジスタの値に従います。 <table border="1" data-bbox="655 1638 1190 1734"> <thead> <tr> <th rowspan="2"></th> <th rowspan="2">パワーオンリセット中</th> <th colspan="2">パワーオンリセット解除後</th> </tr> <tr> <th>PTD5/NF=1</th> <th>PTD5/NF=0</th> </tr> </thead> <tbody> <tr> <td>PTJ6/NF</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>PTJ1/NF</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>PTJ0/NF</td> <td>1</td> <td>0</td> <td>1</td> </tr> </tbody> </table>		パワーオンリセット中	パワーオンリセット解除後		PTD5/NF=1	PTD5/NF=0	PTJ6/NF	1	0	1	PTJ1/NF	1	1	0	PTJ0/NF	1	0	1
	パワーオンリセット中	パワーオンリセット解除後																		
		PTD5/NF=1	PTD5/NF=0																	
PTJ6/NF	1	0	1																	
PTJ1/NF	1	1	0																	
PTJ0/NF	1	0	1																	

修正箇所	ページ	修正箇所																																																																																		
19.2.7 ポート F コントロールレジスタ (PFCR)	19-12、 19-13	ビット 15、14 に【注】*2 の追加 【注】*2 プルアップ MOS オンです。																																																																																		
19.2.9 ポート G コントロールレジスタ (PGCR)	19-14、 19-15	ビット 7~0 に【注】*2 の追加 【注】*2 プルアップ MOS オンです。																																																																																		
22.2.10 実行回数ブレークレジスタ (BETR)	22-10、 22-11	<p>【注】の追加</p> <p>【注】 チャンネル B のブレーク条件を命令フェッチサイクルでのブレークに設定し、ブレークする命令が下記の命令に該当する場合、1 回のブレークで BETR は 1 ずつデクリメントされません。デクリメントされる値は次のようになります。</p> <table border="1"> <thead> <tr> <th>命令</th> <th>カウントダウン値</th> </tr> </thead> <tbody> <tr><td>RTE</td><td>4</td></tr> <tr><td>DMULS.L Rm, Rn</td><td>2</td></tr> <tr><td>DMULU.L Rm, Rn</td><td>2</td></tr> <tr><td>MAC.L @Rm+, @Rn+</td><td>2</td></tr> <tr><td>MAC.W @Rm+, @Rn+</td><td>2</td></tr> <tr><td>MUL.L Rm, Rn</td><td>3</td></tr> <tr><td>AND.B #imm, @(R0, GBR)</td><td>3</td></tr> <tr><td>OR.B #imm, @(R0, GBR)</td><td>3</td></tr> <tr><td>TAS.B @Rn</td><td>3</td></tr> <tr><td>TST.B #imm, @(R0, GBR)</td><td>3</td></tr> <tr><td>XOR.B #imm, @(R0, GBR)</td><td>3</td></tr> <tr><td>LDC Rm, SR</td><td>4</td></tr> <tr><td>LDC Rm, GBR</td><td>4</td></tr> <tr><td>LDC Rm, VBR</td><td>4</td></tr> <tr><td>LDC Rm, SSR</td><td>4</td></tr> <tr><td>LDC Rm, SPC</td><td>4</td></tr> <tr><td>LDC Rm, R0_BANK</td><td>4</td></tr> <tr><td>LDC Rm, R1_BANK</td><td>4</td></tr> <tr><td>LDC Rm, R2_BANK</td><td>4</td></tr> <tr><td>LDC Rm, R3_BANK</td><td>4</td></tr> <tr><td>LDC Rm, R4_BANK</td><td>4</td></tr> <tr><td>LDC Rm, R5_BANK</td><td>4</td></tr> <tr><td>LDC Rm, R6_BANK</td><td>4</td></tr> <tr><td>LDC Rm, R7_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, SR</td><td>6</td></tr> <tr><td>LDC.L @Rm+, GBR</td><td>4</td></tr> <tr><td>LDC.L @Rm+, VBR</td><td>4</td></tr> <tr><td>LDC.L @Rm+, SSR</td><td>4</td></tr> <tr><td>LDC.L @Rm+, SPC</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R0_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R1_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R2_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R3_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R4_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R5_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R6_BANK</td><td>4</td></tr> <tr><td>LDC.L @Rm+, R7_BANK</td><td>4</td></tr> <tr><td>BSRF label</td><td>2</td></tr> <tr><td>BSRF Rm</td><td>2</td></tr> <tr><td>JSR @Rm</td><td>2</td></tr> </tbody> </table>	命令	カウントダウン値	RTE	4	DMULS.L Rm, Rn	2	DMULU.L Rm, Rn	2	MAC.L @Rm+, @Rn+	2	MAC.W @Rm+, @Rn+	2	MUL.L Rm, Rn	3	AND.B #imm, @(R0, GBR)	3	OR.B #imm, @(R0, GBR)	3	TAS.B @Rn	3	TST.B #imm, @(R0, GBR)	3	XOR.B #imm, @(R0, GBR)	3	LDC Rm, SR	4	LDC Rm, GBR	4	LDC Rm, VBR	4	LDC Rm, SSR	4	LDC Rm, SPC	4	LDC Rm, R0_BANK	4	LDC Rm, R1_BANK	4	LDC Rm, R2_BANK	4	LDC Rm, R3_BANK	4	LDC Rm, R4_BANK	4	LDC Rm, R5_BANK	4	LDC Rm, R6_BANK	4	LDC Rm, R7_BANK	4	LDC.L @Rm+, SR	6	LDC.L @Rm+, GBR	4	LDC.L @Rm+, VBR	4	LDC.L @Rm+, SSR	4	LDC.L @Rm+, SPC	4	LDC.L @Rm+, R0_BANK	4	LDC.L @Rm+, R1_BANK	4	LDC.L @Rm+, R2_BANK	4	LDC.L @Rm+, R3_BANK	4	LDC.L @Rm+, R4_BANK	4	LDC.L @Rm+, R5_BANK	4	LDC.L @Rm+, R6_BANK	4	LDC.L @Rm+, R7_BANK	4	BSRF label	2	BSRF Rm	2	JSR @Rm	2
命令	カウントダウン値																																																																																			
RTE	4																																																																																			
DMULS.L Rm, Rn	2																																																																																			
DMULU.L Rm, Rn	2																																																																																			
MAC.L @Rm+, @Rn+	2																																																																																			
MAC.W @Rm+, @Rn+	2																																																																																			
MUL.L Rm, Rn	3																																																																																			
AND.B #imm, @(R0, GBR)	3																																																																																			
OR.B #imm, @(R0, GBR)	3																																																																																			
TAS.B @Rn	3																																																																																			
TST.B #imm, @(R0, GBR)	3																																																																																			
XOR.B #imm, @(R0, GBR)	3																																																																																			
LDC Rm, SR	4																																																																																			
LDC Rm, GBR	4																																																																																			
LDC Rm, VBR	4																																																																																			
LDC Rm, SSR	4																																																																																			
LDC Rm, SPC	4																																																																																			
LDC Rm, R0_BANK	4																																																																																			
LDC Rm, R1_BANK	4																																																																																			
LDC Rm, R2_BANK	4																																																																																			
LDC Rm, R3_BANK	4																																																																																			
LDC Rm, R4_BANK	4																																																																																			
LDC Rm, R5_BANK	4																																																																																			
LDC Rm, R6_BANK	4																																																																																			
LDC Rm, R7_BANK	4																																																																																			
LDC.L @Rm+, SR	6																																																																																			
LDC.L @Rm+, GBR	4																																																																																			
LDC.L @Rm+, VBR	4																																																																																			
LDC.L @Rm+, SSR	4																																																																																			
LDC.L @Rm+, SPC	4																																																																																			
LDC.L @Rm+, R0_BANK	4																																																																																			
LDC.L @Rm+, R1_BANK	4																																																																																			
LDC.L @Rm+, R2_BANK	4																																																																																			
LDC.L @Rm+, R3_BANK	4																																																																																			
LDC.L @Rm+, R4_BANK	4																																																																																			
LDC.L @Rm+, R5_BANK	4																																																																																			
LDC.L @Rm+, R6_BANK	4																																																																																			
LDC.L @Rm+, R7_BANK	4																																																																																			
BSRF label	2																																																																																			
BSRF Rm	2																																																																																			
JSR @Rm	2																																																																																			

修正箇所	ページ	修正箇所
23.2 入出力端子 表 23.1 端子構成	23-2	【注】*の追加 【注】* ピンファンクションコントローラ（PFC）でその他の機能（H-UDI）を選択した場合はプルアップ MOS がオンになります。
23.3.3 バウンダリスキャンレジスタ（SDBSR）	23-4	説明修正 SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置された 385 ビットのシフトレジスタです。
23.5.2 注意事項	23.15	注意事項 7. の追加 7. バウンダリスキャン中は、CKIO クロックが動作している状態にしてください。MD[2 : 0]端子は、通常動作時に使用するクロックモードに設定し、EXTAL および CKIO は「第 9 章 クロック発振器（CPG）」で規定された周波数範囲に設定してください。通常動作時と同様に、水晶、PLL1、PLL2 の安定化時間を確保した後、バウンダリスキャンテストを行ってください。
24.1 レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）	24-7	EP1 データレジスタ、EP2 データレジスタのアクセスサイズを 8/32 に修正
25.3.1 クロックタイミング 図 25.5 パワーオン発振安定時間	25-8	図の修正
25.3.2 制御信号タイミング 表 25.6 制御信号タイミング	25-12	条件の修正 条件 : $V_{CCQ} = V_{CC} - RTC = V_{CC} - USB = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC} - PLL1 = V_{CC} - PLL2 = 1.4 \sim 1.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SSQ} = V_{SS} = V_{SS} - RTC = V_{SS} - USB = V_{SS} - PLL1 = V_{SS} - PLL2 = AV_{SS} = 0V$ 、 $T_a = -20 \sim 75^\circ C$ 、クロックモード 0/1/2/4/5/6/7 【注】*1 の修正 【注】*1 RESETP、RESTEM、NMI および IRQ5~IRQ0 は非同期信号です。...
図 25.15 スタンバイ時の端子ドライブタイミング	25-14	図の修正

修正箇所	ページ	修正箇所
25.3.4 基本タイミング 図 25.16 基本バスサイクル（ノーウェイト）	25-16	<p>【注】*2の追加</p>  <p>【注】*1 DACKnはアクティフローを指定したときの波形 *2 バイト選択付きSRAM時は、リード時でもこのタイミングで出力されます。</p>
図 25.17 基本バスサイクル（ソフトウェアウェイト1）	25-17	<p>【注】*2の追加</p>  <p>【注】*1 DACKnはアクティフローを指定したときの波形 *2 バイト選択付きSRAM時は、リード時でもこのタイミングで出力されます。</p>
図 25.18 基本バスサイクル（外部ウェイト1挿入）	25-18	<p>【注】*2の追加</p>  <p>【注】*1 DACKnはアクティフローを指定したときの波形 *2 バイト選択付きSRAM時は、リード時でもこのタイミングで出力されます。</p>
図 25.19 基本バスサイクル（ソフトウェアウェイト1、外部ウェイト有効（WMビット=0）、アイドルサイクルなし設定）	25-19	<p>【注】*2の追加</p>  <p>【注】*1 DACKnは、アクティフローを指定した時の波形 *2 バイト選択付きSRAM時は、リード時でもこのタイミングで出力されます。</p>
25.3.6 シンクロナス DRAM タイミング 図 25.39 低周波数モードでのアクセスタイミング（オートプリチャージ）	25-40	<p>図の修正</p> 

修正箇所	ページ	修正箇所																																																																
25.3.11 SCIF モジュール信号タイミング 表 25.13 SCIF モジュール信号タイミング	25-47	項目の修正 送信データ遅延時間 (クロック同期) RTS 遅延時間 (クロック同期)																																																																
A. 端子状態と未使用端子の状態 表 A.1 端子状態と未使用端子の状態	付録-1	<p>【注】*11の追加</p> <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">端子名</th> <th colspan="2">リセット</th> <th colspan="2">低消費電力</th> <th rowspan="2">バス権解放</th> <th rowspan="2">I/O</th> <th rowspan="2">未使用端子の処理</th> </tr> <tr> <th>パワーオンリセット</th> <th>マニュアルリセット</th> <th>ソフトウェアスタンバイ</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td>システム</td> <td>RESETP</td> <td>1*</td> <td>1*</td> <td>1*</td> <td>1*</td> <td>1*</td> <td>1</td> <td>必ず使用する</td> </tr> <tr> <td>制御</td> <td>RESEYM</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>プルアップ</td> </tr> </tbody> </table>	分類	端子名	リセット		低消費電力		バス権解放	I/O	未使用端子の処理	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	スリープ	システム	RESETP	1*	1*	1*	1*	1*	1	必ず使用する	制御	RESEYM	1	1	1	1	1	1	プルアップ																																	
分類	端子名	リセット			低消費電力		バス権解放	I/O				未使用端子の処理																																																						
		パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	スリープ																																																													
システム	RESETP	1*	1*	1*	1*	1*	1	必ず使用する																																																										
制御	RESEYM	1	1	1	1	1	1	プルアップ																																																										
	付録-4、 付録-5	<p>【注】*13の追加</p> <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">端子名</th> <th colspan="2">リセット</th> <th colspan="2">低消費電力</th> <th rowspan="2">バス権解放</th> <th rowspan="2">I/O</th> <th rowspan="2">未使用端子の処理</th> </tr> <tr> <th>パワーオンリセット</th> <th>マニュアルリセット</th> <th>ソフトウェアスタンバイ</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td rowspan="4">ポート</td> <td>NF/PTJ(S)</td> <td>1</td> <td>1</td> <td>Z</td> <td>1</td> <td>1</td> <td>I/I</td> <td>プルアップ</td> </tr> <tr> <td>PTJ(T)</td> <td>V</td> <td>P</td> <td>K</td> <td>P</td> <td>P</td> <td>IO</td> <td>オープン</td> </tr> <tr> <td>NF/PTJ(T)</td> <td>L</td> <td>O</td> <td>O</td> <td>O</td> <td>O</td> <td>O/O</td> <td>オープン</td> </tr> <tr> <td>NF/PTJ(B, O)</td> <td>H*</td> <td>O</td> <td>O</td> <td>O</td> <td>O</td> <td>O/O</td> <td>オープン</td> </tr> </tbody> </table> <p>【注】*13 PTJ6、PTJ1、PTJ0 は、パワーオンリセット中とパワーオンリセット解除後で、端子の値が異なります。ピンファンクションコントローラ (PFC) でポートに切り替えた後は、ポート J データレジスタの値に従います。</p> <table border="1"> <thead> <tr> <th rowspan="2"></th> <th rowspan="2">パワーオンリセット中</th> <th colspan="2">パワーオンリセット解除後</th> </tr> <tr> <th>PTDS/NF=1</th> <th>PTDS/NF=0</th> </tr> </thead> <tbody> <tr> <td>PTJ6/NF</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>PTJ1/NF</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>PTJ0/NF</td> <td>1</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	分類	端子名	リセット		低消費電力		バス権解放	I/O	未使用端子の処理	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	スリープ	ポート	NF/PTJ(S)	1	1	Z	1	1	I/I	プルアップ	PTJ(T)	V	P	K	P	P	IO	オープン	NF/PTJ(T)	L	O	O	O	O	O/O	オープン	NF/PTJ(B, O)	H*	O	O	O	O	O/O	オープン		パワーオンリセット中	パワーオンリセット解除後		PTDS/NF=1	PTDS/NF=0	PTJ6/NF	1	0	1	PTJ1/NF	1	1	0	PTJ0/NF	1	0	1
分類	端子名	リセット			低消費電力		バス権解放	I/O				未使用端子の処理																																																						
		パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	スリープ																																																													
ポート	NF/PTJ(S)	1	1	Z	1	1	I/I	プルアップ																																																										
	PTJ(T)	V	P	K	P	P	IO	オープン																																																										
	NF/PTJ(T)	L	O	O	O	O	O/O	オープン																																																										
	NF/PTJ(B, O)	H*	O	O	O	O	O/O	オープン																																																										
	パワーオンリセット中	パワーオンリセット解除後																																																																
		PTDS/NF=1	PTDS/NF=0																																																															
PTJ6/NF	1	0	1																																																															
PTJ1/NF	1	1	0																																																															
PTJ0/NF	1	0	1																																																															

目次

1. 概要	1-1
1.1 SH7705の特長	1-1
1.2 ブロック図	1-5
1.3 ピン配置図	1-6
1.4 端子の機能	1-15
2. CPU	2-1
2.1 処理状態と処理モード	2-1
2.1.1 処理状態	2-1
2.1.2 処理モード	2-2
2.2 メモリマップ	2-2
2.2.1 論理アドレス空間	2-2
2.2.2 外部メモリ空間	2-4
2.3 レジスタの説明	2-5
2.3.1 汎用レジスタ	2-7
2.3.2 システムレジスタ	2-8
2.3.3 プログラムカウンタ	2-8
2.3.4 コントロールレジスタ	2-8
2.4 データ形式	2-11
2.4.1 レジスタのデータ形式	2-11
2.4.2 メモリ上でのデータ形式	2-11
2.5 命令の特長	2-13
2.5.1 命令の実行方法	2-13
2.5.2 アドレッシングモード	2-15
2.5.3 命令形式	2-18
2.6 命令セット	2-20
2.6.1 機能別命令セット	2-20
2.6.2 オペレーションコードマップ	2-30
3. メモリマネジメントユニット (MMU)	3-1
3.1 MMUの役割	3-1
3.1.1 本 LSI の MMU	3-3
3.2 レジスタの説明	3-8
3.2.1 ページテーブルエントリ上位レジスタ (PTEH)	3-8

3.2.2	ページテーブルエントリ下位レジスタ (PTEL)	3-9
3.2.3	変換テーブルベースレジスタ (TTB)	3-9
3.2.4	MMU 制御レジスタ (MMUCR)	3-10
3.3	TLBの機能.....	3-11
3.3.1	TLB の構成.....	3-11
3.3.2	TLB のインデックス番号作成方法	3-13
3.3.3	TLB のアドレス比較.....	3-14
3.3.4	ページ管理情報	3-15
3.4	MMUの機能.....	3-17
3.4.1	MMU のハードウェア管理.....	3-17
3.4.2	MMU のソフトウェア管理.....	3-17
3.4.3	MMU の命令 (LDTLB)	3-18
3.4.4	シノニム問題の回避	3-19
3.5	MMU例外.....	3-20
3.5.1	TLB ミス例外.....	3-20
3.5.2	TLB 保護違反例外.....	3-22
3.5.3	TLB 無効例外.....	3-23
3.5.4	初期ページ書き込み例外.....	3-24
3.6	メモリ割り付けTLBの構成.....	3-26
3.6.1	アドレスアレイ	3-26
3.6.2	データアレイ	3-26
3.6.3	使用例.....	3-28
3.7	使用上の注意事項	3-28
4.	キャッシュ	4-1
4.1	特長.....	4-1
4.1.1	キャッシュの構成	4-1
4.2	レジスタの説明	4-3
4.2.1	キャッシュ制御レジスタ 1 (CCR1)	4-3
4.2.2	キャッシュ制御レジスタ 2 (CCR2)	4-4
4.2.3	キャッシュ制御レジスタ 3 (CCR3)	4-6
4.3	動作説明.....	4-7
4.3.1	キャッシュの検索	4-7
4.3.2	リード動作.....	4-8
4.3.3	プリフェッチ動作	4-8
4.3.4	ライト動作	4-8
4.3.5	ライトバックバッファ	4-9
4.3.6	キャッシュと外部メモリとのコヒーレンシ	4-9
4.4	メモリ割り付けキャッシュの構成.....	4-9
4.4.1	アドレスアレイ	4-9

4.4.2	データアレイ	4-10
4.4.3	使用例	4-13
4.5	使用上の注意事項	4-14
5.	例外処理	5-1
5.1	レジスタの説明	5-1
5.1.1	TRAPA 例外レジスタ (TRA)	5-2
5.1.2	例外事象レジスタ (EXPEVT)	5-2
5.1.3	割り込み事象レジスタ (INTEVT)	5-3
5.1.4	割り込み事象レジスタ 2 (INTEVT2)	5-3
5.1.5	例外アドレスレジスタ (TEA)	5-3
5.2	例外処理の機能	5-3
5.2.1	例外処理の流れ	5-3
5.2.2	例外処理ベクタアドレス	5-4
5.2.3	例外コード	5-4
5.2.4	例外要求と BL ビットの関係 (多重例外防止)	5-5
5.2.5	例外要因の受け付けタイミングと優先順位	5-5
5.3	個別例外の動作説明	5-8
5.3.1	リセット	5-8
5.3.2	一般例外	5-8
5.3.3	一般例外 (MMU 例外)	5-11
5.4	使用上の注意事項	5-13
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-3
6.3.1	割り込み優先レベル設定レジスタ A~H (IPRA~IPRH)	6-4
6.3.2	割り込みコントロールレジスタ 0 (ICR0)	6-5
6.3.3	割り込みコントロールレジスタ 1 (ICR1)	6-6
6.3.4	割り込みコントロールレジスタ 2 (ICR2)	6-7
6.3.5	PINT 割り込みイネーブルレジスタ (PINTER)	6-8
6.3.6	割り込み要求レジスタ 0 (IRR0)	6-8
6.3.7	割り込み要求レジスタ 1 (IRR1)	6-9
6.3.8	割り込み要求レジスタ 2 (IRR2)	6-10
6.4	割り込み要因	6-11
6.4.1	NMI 割り込み	6-11
6.4.2	IRQ 割り込み	6-11
6.4.3	IRL 割り込み	6-11
6.4.4	PINT 割り込み	6-13

6.4.5	内蔵周辺モジュール割り込み.....	6-13
6.4.6	割り込み例外処理および優先順位.....	6-14
6.5	動作説明.....	6-19
6.5.1	割り込み動作の流れ.....	6-19
6.5.2	多重割り込み.....	6-21
6.6	使用上の注意事項.....	6-21
7.	バスステートコントローラ (BSC)	7-1
7.1	特長.....	7-1
7.2	入出力端子.....	7-3
7.3	エリアの概要.....	7-4
7.3.1	アドレスマップ.....	7-4
7.3.2	メモリバス幅.....	7-6
7.3.3	シャドウ空間.....	7-6
7.4	レジスタの説明.....	7-7
7.4.1	共通コントロールレジスタ (CMNCR)	7-8
7.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、2、3、4、5A、5B、6A、6B)	7-9
7.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、2、3、4、5A、5B、6A、6B)	7-12
7.4.4	SDRAM コントロールレジスタ (SDCR)	7-22
7.4.5	リフレッシュタイムコントロール/ステータスレジスタ (RTCSCR)	7-24
7.4.6	リフレッシュタイムカウンタ (RTCNT)	7-25
7.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR)	7-26
7.4.8	リセットウェイトカウンタ (RWCNT)	7-26
7.5	エンディアン/アクセスサイズとデータアライメント.....	7-26
7.6	通常空間インタフェース.....	7-30
7.6.1	基本タイミング.....	7-30
7.6.2	アクセスウェイト制御.....	7-35
7.6.3	\overline{CSn} アサート期間拡張.....	7-37
7.7	アドレス/データマルチプレクスI/Oインタフェース.....	7-38
7.8	SDRAMインタフェース.....	7-41
7.8.1	SDRAM 直結インタフェース.....	7-41
7.8.2	アドレスマルチプレクス.....	7-43
7.8.3	バーストリード.....	7-49
7.8.4	シングルリード.....	7-51
7.8.5	バーストライト.....	7-51
7.8.6	シングルライト.....	7-53
7.8.7	バンクアクティブ.....	7-54
7.8.8	リフレッシュ.....	7-60
7.8.9	低周波数モード.....	7-63
7.8.10	パワーオンシーケンス.....	7-64

7.9	バーストROMインタフェース.....	7-66
7.10	バイト選択付きSRAMインタフェース.....	7-68
7.11	アクセスサイクル間ウェイト.....	7-70
7.12	バスアービトレーション.....	7-70
7.13	その他.....	7-72
8.	ダイレクトメモリアクセスコントローラ (DMAC)	8-1
8.1	特長.....	8-1
8.2	入出力端子.....	8-3
8.3	レジスタの説明.....	8-3
8.3.1	DMA ソースアドレスレジスタ (SAR)	8-4
8.3.2	DMA デスティネーションアドレスレジスタ (DAR)	8-4
8.3.3	DMA トランスファカウンタレジスタ (DMATCR)	8-4
8.3.4	DMA チャネルコントロールレジスタ (CHCR)	8-5
8.3.5	DMA オペレーションレジスタ (DMAOR)	8-9
8.3.6	DMA 拡張リソースセクタ 0、1 (DMARS0、1)	8-11
8.4	動作説明.....	8-13
8.4.1	転送フロー.....	8-13
8.4.2	DMA 転送要求.....	8-15
8.4.3	チャネルの優先順位.....	8-17
8.4.4	DMA 転送の種類.....	8-20
8.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング.....	8-27
8.5	使用上の注意事項.....	8-30
8.5.1	複数チャネルでバーストモードとサイクルスチールモードが混在する場合の注意事項.....	8-30
9.	クロック発振器 (CPG)	9-1
9.1	特長.....	9-1
9.2	入出力端子.....	9-4
9.3	クロック動作モード.....	9-4
9.4	レジスタの説明.....	9-7
9.4.1	周波数制御レジスタ (FRQCR)	9-7
9.4.2	USB クロック周波数制御レジスタ (UCLKCR)	9-9
9.4.3	使用上の注意事項.....	9-9
9.5	周波数変更方法.....	9-10
9.5.1	通倍率の変更.....	9-10
9.5.2	分周率の変更.....	9-10
9.5.3	クロック動作モードの変更.....	9-10
9.6	使用上の注意事項.....	9-11

10. ウォッチドッグタイマ (WDT)	10-1
10.1 特長.....	10-1
10.2 レジスタの説明.....	10-2
10.2.1 ウォッチドッグタイマカウンタ (WTCNT)	10-2
10.2.2 ウォッチドックタイマコントロール/ステータスレジスタ (WTCSR)	10-3
10.2.3 レジスタアクセス時の注意.....	10-4
10.3 WDTの動作説明.....	10-5
10.3.1 ソフトウェアスタンバイ解除の手順.....	10-5
10.3.2 周波数変更の手順.....	10-5
10.3.3 ウォッチドッグタイマモードの使用法.....	10-6
10.3.4 インターバルタイマモードの使用法.....	10-6
11. 低消費電力モード.....	11-1
11.1 特長.....	11-1
11.2 入出力端子.....	11-2
11.3 レジスタの説明.....	11-3
11.3.1 スタンバイコントロールレジスタ (STBCR)	11-3
11.3.2 スタンバイコントロールレジスタ 2 (STBCR2)	11-4
11.3.3 スタンバイコントロールレジスタ 3 (STBCR3)	11-5
11.4 スリープモード.....	11-6
11.4.1 スリープモードへの遷移.....	11-6
11.4.2 スリープモードの解除.....	11-6
11.5 ソフトウェアスタンバイモード.....	11-7
11.5.1 ソフトウェアスタンバイモードへの遷移.....	11-7
11.5.2 ソフトウェアスタンバイモードの解除.....	11-7
11.6 モジュールスタンバイ機能.....	11-8
11.6.1 モジュールスタンバイ機能への遷移.....	11-8
11.6.2 モジュールスタンバイ機能の解除.....	11-8
11.7 ハードウェアスタンバイモード.....	11-9
11.7.1 ハードウェアスタンバイモードへの遷移.....	11-9
11.7.2 ハードウェアスタンバイモードの解除.....	11-9
11.8 STATUS端子の変化タイミング.....	11-10
12. タイムユニット (TMU)	12-1
12.1 特長.....	12-1
12.2 入出力端子.....	12-3
12.3 レジスタの説明.....	12-3
12.3.1 タイマスタートレジスタ (TSTR)	12-4
12.3.2 タイマコントロールレジスタ (TCR)	12-5
12.3.3 タイマコンスタントレジスタ (TCOR)	12-8

12.3.4	タイマカウンタ (TCNT)	12-8
12.3.5	インプットキャプチャレジスタ_2 (TCPR_2)	12-8
12.4	動作説明	12-8
12.4.1	カウンタの動作	12-8
12.4.2	インプットキャプチャ機能	12-11
12.5	割り込み	12-12
12.5.1	ステータスフラグのセットタイミング	12-12
12.5.2	ステータスフラグのクリアタイミング	12-12
12.5.3	割り込み要因と優先順位	12-13
12.6	使用上の注意事項	12-13
12.6.1	レジスタの書き込みについて	12-13
12.6.2	レジスタの読み出しについて	12-13
13.	コンペアマッチタイマ (CMT)	13-1
13.1	特長	13-1
13.2	レジスタ説明	13-2
13.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	13-2
13.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	13-2
13.2.3	コンペアマッチカウンタ (CMCNT)	13-3
13.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	13-3
13.3	動作説明	13-4
13.3.1	期間カウント動作	13-4
13.3.2	CMCNT カウントタイミング	13-4
13.3.3	コンペアマッチフラグのセットタイミング	13-4
14.	16 ビットタイマパルスユニット (TPU)	14-1
14.1	特長	14-1
14.2	入出力端子	14-4
14.3	レジスタ構成	14-4
14.3.1	タイマコントロールレジスタ (TCR)	14-6
14.3.2	タイマモードレジスタ (TMDR)	14-8
14.3.3	タイマ I/O コントロールレジスタ (TIOR)	14-9
14.3.4	タイマインタラプトイネーブルレジスタ (TIER)	14-10
14.3.5	タイマステータスレジスタ (TSR)	14-11
14.3.6	タイマカウンタ (TCNT)	14-12
14.3.7	タイマジェネラルレジスタ (TGR)	14-12
14.3.8	タイマスタートレジスタ (TSTR)	14-12
14.4	動作説明	14-12
14.4.1	概要	14-12
14.4.2	基本機能	14-13

14.4.3	バッファ動作	14-16
14.4.4	PWM モード	14-18
15.	リアルタイムクロック (RTC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	64Hz カウンタ (R64CNT)	15-4
15.3.2	秒カウンタ (RSECCNT)	15-4
15.3.3	分カウンタ (RMINCNT)	15-5
15.3.4	時カウンタ (RHRCNT)	15-5
15.3.5	曜日カウンタ (RWKCNT)	15-6
15.3.6	日カウンタ (RDAYCNT)	15-6
15.3.7	月カウンタ (RMONCNT)	15-7
15.3.8	年カウンタ (RYRCNT)	15-7
15.3.9	秒アラームレジスタ (RSECAR)	15-8
15.3.10	分アラームレジスタ (RMINAR)	15-8
15.3.11	時アラームレジスタ (RHRAR)	15-9
15.3.12	曜日アラームレジスタ (RWKAR)	15-10
15.3.13	日アラームレジスタ (RDAYAR)	15-10
15.3.14	月アラームレジスタ (RMONAR)	15-11
15.3.15	年アラームレジスタ (RYRAR)	15-12
15.3.16	RTC コントロールレジスタ 1 (RCR1)	15-12
15.3.17	RTC コントロールレジスタ 2 (RCR2)	15-13
15.3.18	RTC コントロールレジスタ 3 (RCR3)	15-15
15.4	動作説明	15-15
15.4.1	電源投入後のレジスタの初期設定	15-15
15.4.2	時刻設定手順	15-15
15.4.3	時刻読み出し手順	15-16
15.4.4	アラーム機能	15-17
15.4.5	水晶発振回路	15-18
15.5	使用上の注意事項	15-19
15.5.1	RTC カウント動作時のレジスタ書き込みについて	15-19
15.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について	15-19
15.5.3	レジスタ設定後のスタンバイ遷移について	15-19
16.	FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-4

16.3.1	レシーブシフトレジスタ (SCRSR)	16-5
16.3.2	レシーブ FIFO データレジスタ (SCFRDR)	16-5
16.3.3	トランスミットシフトレジスタ (SCTSR)	16-5
16.3.4	トランスミット FIFO データレジスタ (SCFTDR)	16-5
16.3.5	シリアルモードレジスタ (SCSMR)	16-6
16.3.6	シリアルコントロールレジスタ (SCSCR)	16-8
16.3.7	FIFO エラー数レジスタ (SCFER)	16-11
16.3.8	シリアルステータスレジスタ (SCSSR)	16-12
16.3.9	ビットレートレジスタ (SCBRR)	16-16
16.3.10	FIFO コントロールレジスタ (SCFCR)	16-18
16.3.11	FIFO データ数レジスタ (SCFDR)	16-20
16.3.12	トランスミットデータストップレジスタ (SCTDSR)	16-21
16.4	動作説明	16-21
16.4.1	概要	16-21
16.4.2	調歩同期式モード	16-21
16.4.3	調歩同期式モードのシリアル動作	16-22
16.4.4	クロック同期式モード	16-31
16.4.5	クロック同期式モードのシリアル動作	16-32
16.5	割り込み要因とDMAC	16-42
16.6	使用上の注意事項	16-43
17.	赤外線通信モジュール (IrDA)	17-1
17.1	特長	17-1
17.2	入出力端子	17-2
17.3	レジスタの説明	17-2
17.3.1	IrDA モードレジスタ (SCSMR_Ir)	17-2
17.4	動作説明	17-3
17.4.1	概要	17-3
17.4.2	送信	17-3
17.4.3	受信	17-3
17.4.4	データフォーマットの指定	17-4
18.	USB ファンクションモジュール (USB)	18-1
18.1	特長	18-1
18.2	入出力端子	18-2
18.3	レジスタの説明	18-3
18.3.1	割り込みフラグレジスタ 0 (IFR0)	18-4
18.3.2	割り込みフラグレジスタ 1 (IFR1)	18-5
18.3.3	割り込み選択レジスタ 0 (ISR0)	18-6
18.3.4	割り込み選択レジスタ 1 (ISR1)	18-6

18.3.5	割り込みイネーブルレジスタ 0 (IER0)	18-7
18.3.6	割り込みイネーブルレジスタ 1 (IER1)	18-7
18.3.7	EP0i データレジスタ (EPDR0i)	18-8
18.3.8	EP0o データレジスタ (EPDR0o)	18-8
18.3.9	EP0s データレジスタ (EPDR0s)	18-8
18.3.10	EP1 データレジスタ (EPDR1)	18-9
18.3.11	EP2 データレジスタ (EPDR2)	18-9
18.3.12	EP3 データレジスタ (EPDR3)	18-9
18.3.13	EP0o 受信データサイズレジスタ (EPSZ0o)	18-9
18.3.14	EP1 受信データサイズレジスタ (EPSZ1)	18-10
18.3.15	トリガレジスタ (TRG)	18-10
18.3.16	データステータスレジスタ (DASTS)	18-11
18.3.17	FIFO クリアレジスタ (FCLR)	18-12
18.3.18	DMA 転送設定レジスタ (DMAR)	18-13
18.3.19	エンドポイントストールレジスタ (EPSTL)	18-15
18.3.20	トランシーバコントロールレジスタ (XVERCR)	18-15
18.4	動作説明	18-16
18.4.1	ケーブル接続時	18-16
18.4.2	ケーブル切断時	18-17
18.4.3	コントロール転送	18-18
18.4.4	EP1 バルクアウト転送 (2 面 FIFO)	18-25
18.4.5	EP2 バルクイン転送 (2 面 FIFO)	18-26
18.4.6	EP3 インタラプトイン転送	18-28
18.5	USB標準コマンドとクラス/ベンダーコマンドの処理	18-29
18.5.1	コントロール転送で送信されるコマンドの処理	18-29
18.6	ストール動作	18-30
18.6.1	概要	18-30
18.6.2	アプリケーションが強制的にストールさせたい場合	18-30
18.6.3	USB ファンクションモジュールが自動的にストールさせる場合	18-32
18.7	DMA転送動作	18-33
18.7.1	概要	18-33
18.7.2	エンドポイント 1 に対する DMA 転送	18-33
18.7.3	エンドポイント 2 に対する DMA 転送	18-34
18.8	USB外部回路例	18-35
18.9	使用上の注意事項	18-37
18.9.1	セットアップデータ受信について	18-37
18.9.2	FIFO のクリアについて	18-37
18.9.3	データレジスタのオーバーリード/ライトについて	18-37
18.9.4	EP0 に関する割り込み要因の割り当てについて	18-37
18.9.5	DMA 転送設定時の FIFO クリアについて	18-38
18.9.6	TR 割り込み使用時の注意事項	18-38

19.	ピンファンクションコントローラ (PFC)	19-1
19.1	概要	19-1
19.2	レジスタの説明	19-4
19.2.1	ポート A コントロールレジスタ (PACR)	19-5
19.2.2	ポート B コントロールレジスタ (PBCR)	19-6
19.2.3	ポート C コントロールレジスタ (PCCR)	19-7
19.2.4	ポート D コントロールレジスタ (PDCR)	19-9
19.2.5	ポート E コントロールレジスタ (PECR)	19-10
19.2.6	ポート E コントロールレジスタ 2 (PECR2)	19-11
19.2.7	ポート F コントロールレジスタ (PFCR)	19-12
19.2.8	ポート F コントロールレジスタ 2 (PFCR2)	19-13
19.2.9	ポート G コントロールレジスタ (PGCR)	19-14
19.2.10	ポート H コントロールレジスタ (PHCR)	19-15
19.2.11	ポート J コントロールレジスタ (PJCR)	19-17
19.2.12	ポート K コントロールレジスタ (PKCR)	19-18
19.2.13	ポート L コントロールレジスタ (PLCR)	19-19
19.2.14	ポート M コントロールレジスタ (PMCR)	19-20
19.2.15	ポート N コントロールレジスタ (PNCR)	19-21
19.2.16	ポート N コントロールレジスタ 2 (PNCR2)	19-23
19.2.17	ポート SC コントロールレジスタ (SCPCR)	19-24
20.	I/O ポート	20-1
20.1	ポート A	20-1
20.1.1	レジスタの説明	20-1
20.1.2	ポート A データレジスタ (PADR)	20-1
20.2	ポート B	20-2
20.2.1	レジスタの説明	20-2
20.2.2	ポート B データレジスタ (PBDR)	20-3
20.3	ポート C	20-3
20.3.1	レジスタの説明	20-4
20.3.2	ポート C データレジスタ (PCDR)	20-4
20.4	ポート D	20-5
20.4.1	レジスタの説明	20-5
20.4.2	ポート D データレジスタ (PDDR)	20-5
20.5	ポート E	20-6
20.5.1	レジスタの説明	20-6
20.5.2	ポート E データレジスタ (PEDR)	20-7
20.6	ポート F	20-7
20.6.1	レジスタの説明	20-8
20.6.2	ポート F データレジスタ (PFDR)	20-8

20.7	ポートG.....	20-9
20.7.1	レジスタの説明	20-9
20.7.2	ポート G データレジスタ (PGDR)	20-9
20.8	ポートH.....	20-10
20.8.1	レジスタの説明	20-10
20.8.2	ポート H データレジスタ (PHDR)	20-10
20.9	ポートJ.....	20-11
20.9.1	レジスタの説明	20-11
20.9.2	ポート J データレジスタ (PJDR)	20-12
20.10	ポートK.....	20-12
20.10.1	レジスタの説明	20-13
20.10.2	ポート K データレジスタ (PKDR)	20-13
20.11	ポートL.....	20-14
20.11.1	レジスタの説明	20-14
20.11.2	ポート L データレジスタ (PLDR)	20-14
20.12	ポートM.....	20-15
20.12.1	レジスタの説明	20-15
20.12.2	ポート M データレジスタ (PMDR)	20-15
20.13	ポートN.....	20-17
20.13.1	レジスタの説明	20-17
20.13.2	ポート N データレジスタ (PNDR)	20-17
20.14	SCポート.....	20-18
20.14.1	レジスタの説明	20-18
20.14.2	ポート SC データレジスタ (SCPDR)	20-19
21.	A/D 変換器	21-1
21.1	特長.....	21-1
21.2	入出力端子.....	21-3
21.3	レジスタの説明	21-3
21.3.1	A/D データレジスタ A~D (ADDRA~ADDRD)	21-3
21.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	21-4
21.4	動作説明.....	21-5
21.4.1	シングルモード	21-5
21.4.2	マルチモード	21-6
21.4.3	スキャンモード	21-6
21.4.4	入力サンプリングと A/D 変換時間	21-7
21.5	割り込み要因とDMAC転送要求.....	21-8
21.6	A/D変換精度の定義	21-8
21.7	使用上の注意事項	21-10
21.7.1	許容信号源インピーダンスについて	21-10

21.7.2	絶対精度への影響	21-10
21.7.3	アナログ電源端子他の設定範囲	21-11
21.7.4	ボード設計上の注意事項	21-11
21.7.5	ノイズ対策上の注意事項	21-11
22.	ユーザブ레이크コントローラ (UBC)	22-1
22.1	特長	22-1
22.2	レジスタの説明	22-3
22.2.1	ブ레이크アドレスレジスタ A (BARA)	22-3
22.2.2	ブ레이크アドレスマスクレジスタ A (BAMRA)	22-3
22.2.3	ブ레이크バスサイクルレジスタ A (BBRA)	22-4
22.2.4	ブ레이크アドレスレジスタ B (BARB)	22-5
22.2.5	ブ레이크アドレスマスクレジスタ B (BAMRB)	22-5
22.2.6	ブ레이크データレジスタ B (BDRB)	22-5
22.2.7	ブ레이크データマスクレジスタ B (BDMRB)	22-6
22.2.8	ブ레이크バスサイクルレジスタ B (BBRB)	22-6
22.2.9	ブ레이크コントロールレジスタ (BRCR)	22-7
22.2.10	実行回数ブ레이크レジスタ (BETR)	22-10
22.2.11	ブランチソースレジスタ (BRSR)	22-11
22.2.12	ブランチデスティネーションレジスタ (BRDR)	22-12
22.2.13	ブ레이크 ASID レジスタ A (BASRA)	22-12
22.2.14	ブ레이크 ASID レジスタ B (BASRB)	22-12
22.3	動作説明	22-13
22.3.1	ユーザブ레이크動作の流れ	22-13
22.3.2	命令フェッチサイクルでのブ레이크	22-14
22.3.3	データアクセスサイクルでのブ레이크	22-15
22.3.4	シーケンシャルブ레이크	22-16
22.3.5	退避したプログラムカウンタの値	22-16
22.3.6	PC トレース	22-17
22.3.7	使用例	22-17
22.3.8	注意事項	22-21
23.	ユーザデバッグインタフェース (H-UDI)	23-1
23.1	特長	23-1
23.2	入出力端子	23-2
23.3	レジスタの説明	23-3
23.3.1	バイパスレジスタ (SDBPR)	23-3
23.3.2	インストラクションレジスタ (SDIR)	23-3
23.3.3	バウンダリスキャンレジスタ (SDBSR)	23-4
23.3.4	ID レジスタ (SDID)	23-10

23.4	動作説明	23-11
23.4.1	TAP コントローラ	23-11
23.4.2	リセット構成	23-12
23.4.3	TDO 出力タイミング	23-12
23.4.4	H-UDI リセット	23-13
23.4.5	H-UDI 割り込み	23-13
23.5	バウンダリスキャン	23-14
23.5.1	サポートする命令	23-14
23.5.2	注意事項	23-15
23.6	使用上の注意事項	23-15
23.7	アドバンスユーザデバッグ (AUD)	23-16
24.	レジスタ一覧	24-1
24.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	24-2
24.2	レジスタビット一覧	24-10
24.3	各動作モードにおけるレジスタの状態	24-27
25.	電気的特性	25-1
25.1	絶対最大定格	25-1
25.2	DC特性	25-3
25.3	AC特性	25-6
25.3.1	クロックタイミング	25-7
25.3.2	制御信号タイミング	25-12
25.3.3	AC バスタイミング仕様	25-15
25.3.4	基本タイミング	25-16
25.3.5	バースト ROM タイミング	25-21
25.3.6	シンクロナス DRAM タイミング	25-22
25.3.7	DMAC 信号タイミング	25-44
25.3.8	TMU 信号タイミング	25-45
25.3.9	RTC 信号タイミング	25-46
25.3.10	16 ビットタイマパルスユニット (TPU) 信号タイミング	25-46
25.3.11	SCIF モジュール信号タイミング	25-47
25.3.12	USB モジュール信号タイミング	25-48
25.3.13	USB トランシーバタイミング	25-49
25.3.14	ポート入出力タイミング	25-50
25.3.15	H-UDI 関連端子のタイミング	25-50
25.3.16	AC 特性測定条件	25-52
25.4	A/D変換器特性	25-53

付録	付録-1
A. 端子状態と未使用端子の状態.....	1
B. パッケージ外形寸法図	6
索引	索引-1

図目次

1. 概要	
図1.1 SH7705の構成	1-5
図1.2 ピン配置図 (FP-208C)	1-6
図1.3 ピン配置図 (TBP-208A)	1-7
2. CPU	
図2.1 処理の状態遷移図	2-2
図2.2 論理アドレス空間と外部メモリ空間とのマッピング	2-4
図2.3 処理モード別のレジスタ構成	2-6
図2.4 汎用レジスタの構成	2-7
図2.5 システムレジスタおよびプログラムカウンタの構成	2-8
図2.6 コントロールレジスタの構成	2-11
図2.7 メモリ上のデータ形式 (ビクエンディアン)	2-12
図2.8 メモリ上のデータ形式 (リトルエンディアン)	2-13
3. メモリマネジメントユニット (MMU)	
図3.1 MMUの役割	3-2
図3.2 論理アドレス空間 (MMUCR.AT=1の場合)	3-4
図3.3 論理アドレス空間 (MMUCR.AT=0の場合)	3-5
図3.4 P4領域	3-5
図3.5 物理アドレス空間	3-6
図3.6 TLB全体の構成	3-11
図3.7 論理アドレスとTLBエントリの構成	3-11
図3.8 TLBインデックス番号作成の方法 (IX=1)	3-13
図3.9 TLBインデックス番号作成の方法 (IX=0)	3-14
図3.10 アドレス比較対象	3-15
図3.11 LDTLB命令の動作	3-18
図3.12 シノニム問題 (32kバイトキャッシュの場合)	3-20
図3.13 MMU例外の流れ	3-25
図3.14 メモリ割り付けされたTLBアクセスのアドレス部、データ部指定方法	3-27
4. キャッシュ	
図4.1 キャッシュの構成 (32kバイトモード時)	4-2
図4.2 キャッシュの検索方法	4-7
図4.3 ライトバックバッファの構成	4-9
図4.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法 (32kバイトモード時)	4-12
5. 例外処理	
図5.1 レジスタのビット構成	5-2
6. 割り込みコントローラ (INTC)	
図6.1 割り込みコントローラのブロック図	6-2
図6.2 IRL割り込みの接続例	6-12
図6.3 割り込み動作フローチャート	6-20

7.	バスステートコントローラ (BSC)	
図7.1	バスステートコントローラのブロック図	7-2
図7.2	アドレス空間	7-5
図7.3	通常空間連続アクセス (ノーウェイト、CSnWCR.WMビット=1、バス幅16ビット、 ロングワードアクセス、サイクル間ウェイト時)	7-31
図7.4	通常空間連続アクセス (ノーウェイト、サイクル間ウェイト1)	7-32
図7.5	32ビットデータ幅SRAM接続例	7-33
図7.6	16ビットデータ幅SRAM接続例	7-34
図7.7	8ビットデータ幅SRAM接続例	7-34
図7.8	通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)	7-35
図7.9	通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)	7-36
図7.10	CSnアサート期間拡張	7-37
図7.11	MPX空間アクセスタイミング (アドレスサイクルノーウェイト、データサイクルノーウェイト)	7-39
図7.12	MPX空間アクセスタイミング (アドレスサイクルウェイト1、データサイクルノーウェイト)	7-40
図7.13	MPX空間アクセスタイミング (アドレスサイクルアクセスウェイト1、 データサイクルウェイト1、外部ウェイト1)	7-41
図7.14	64MビットシンクロナスDRAM接続例 (バス幅32ビット)	7-42
図7.15	64MビットシンクロナスDRAM接続例 (バス幅16ビット)	7-43
図7.16	バーストリードウェイト指定タイミング (オートプリチャージ)	7-50
図7.17	シングルリードの基本タイミング (オートプリチャージ)	7-51
図7.18	バーストライト基本タイミング (オートプリチャージ)	7-52
図7.19	シングルライト基本タイミング (オートプリチャージ)	7-53
図7.20	バーストリードタイミング (オートプリチャージなし)	7-55
図7.21	バーストリードタイミング (バンクアクティブ、同一ロウアドレス)	7-56
図7.22	バーストリードタイミング (バンクアクティブ、異なるロウアドレス)	7-57
図7.23	シングルライトタイミング (オートプリチャージなし)	7-58
図7.24	シングルライトタイミング (バンクアクティブ、同一ロウアドレス)	7-59
図7.25	シングルライトタイミング (バンクアクティブ、異なるロウアドレス)	7-60
図7.26	オートリフレッシュタイミング	7-61
図7.27	セルフリフレッシュタイミング	7-62
図7.28	低周波数モードでのアクセスタイミング	7-64
図7.29	SDRAMモードレジスタ書き込みタイミング (JEDEC準拠)	7-66
図7.30	バーストROMアクセス (バス幅8ビット、アクセスサイズ32ビット (バースト数4)、 初回アクセスウェイト2、2回目以降アクセスウェイト1)	7-67
図7.31	バイト選択付きSRAM基本アクセスタイミング	7-68
図7.32	32ビットデータ幅バイト選択付きSRAM接続例	7-69
図7.33	16ビットデータ幅バイト選択付きSRAM接続例	7-69
図7.34	バスアービトレーション	7-71
8.	ダイレクトメモリアccessコントローラ (DMAC)	
図8.1	DMACブロック図	8-2
図8.2	DMAC転送フローチャート	8-14
図8.3	ラウンドロビンモード	8-18
図8.4	ラウンドロビンモードでのチャンネル優先順位	8-19
図8.5	デュアルアドレスモードのデータフロー	8-21

図8.6	デュアルモードのDMA転送タイミング例 (転送元：通常メモリ、転送先：通常メモリ)	8-22
図8.7	シングルアドレスモードのデータフロー	8-23
図8.8	シングルアドレスモードのDMA転送タイミング例	8-24
図8.9	サイクルスチール通常モードのDMA転送例 (デュアルアドレス、DREQローレベル検出)	8-25
図8.10	サイクルスチールインターミッテントモードのDMA転送例 (デュアルアドレス、DREQローレベル検出)	8-25
図8.11	バーストモードでのDMA転送例 (デュアルアドレス、DREQローレベル検出)	8-26
図8.12	複数チャネルが動作する場合のバス状態	8-27
図8.13	サイクルスチールモード/エッジ検出時のDREQ入力検出タイミング例	8-28
図8.14	サイクルスチールモード/レベル検出時のDREQ入力検出タイミング例	8-28
図8.15	バーストモード/エッジ検出時のDREQ入力検出タイミング例	8-28
図8.16	バーストモード/レベル検出時のDREQ入力検出タイミング例	8-29
図8.17	DMA転送終了信号タイミング例 (サイクルスチール/レベル検出例)	8-29
図8.18	BSC通常メモリアクセス (ノーウェイト、アイドルサイクル1、 16bitデバイスへのロングワードアクセス例)	8-30
9.	クロック発振器 (CPG)	
図9.1	CPGのブロック図	9-2
図9.2	水晶発振子使用時の注意	9-11
図9.3	PLL発振回路使用時の注意	9-12
10.	ウォッチドッグタイマ (WDT)	
図10.1	WDTのブロック図	10-2
図10.2	WTCNT、WTCRへの書き込み	10-5
11.	低消費電力モード	
図11.1	STBCRのSTBYビットとスタンバイモードの解除	11-8
図11.2	パワーオンリセットのSTATUS出力	11-10
図11.3	マニュアルリセットのSTATUS出力	11-10
図11.4	ソフトウェアスタンバイ→割り込みのSTATUS出力	11-11
図11.5	ソフトウェアスタンバイ→パワーオンリセットのSTATUS出力	11-11
図11.6	ソフトウェアスタンバイ→マニュアルリセットのSTATUS出力	11-12
図11.7	スリープ→割り込みのSTATUS出力	11-12
図11.8	スリープ→パワーオンリセットのSTATUS出力	11-13
図11.9	スリープ→マニュアルリセットのSTATUS出力	11-13
図11.10	ハードウェアスタンバイモードのタイミング (通常動作時にCA=ローレベルとなる場合)	11-14
図11.11	ハードウェアスタンバイモードのタイミング (スタンバイモード解除でのWDT動作中にCA=ローレベルとなる場合)	11-15
12.	タイマユニット (TMU)	
図12.1	TMUのブロック図	12-2
図12.2	カウント動作設定手順例	12-9
図12.3	オートリロードカウンタの動作	12-10
図12.4	内部クロック動作時のカウントタイミング	12-10
図12.5	外部クロック動作時のカウントタイミング (両エッジ検出の場合)	12-11
図12.6	インプットキャプチャ機能使用時の動作タイミング (TCLKの立ち上がりエッジ使用)	12-11
図12.7	UNFのセットタイミング	12-12

	図12.8 ステータスフラグのクリアタイミング	12-12
13.	コンペアマッチタイマ (CMT)	
	図13.1 コンペアマッチタイマのブロック図	13-1
	図13.2 カウンタ動作.....	13-4
	図13.3 カウントタイミング	13-4
	図13.4 CMFセットタイミング.....	13-5
14.	16ビットタイマパルスユニット (TPU)	
	図14.1 TPUのブロック図	14-3
	図14.2 カウンタ動作設定手順例	14-13
	図14.3 フリーランニングカウンタの動作	14-14
	図14.4 周期カウンタの動作	14-14
	図14.5 コンペアマッチによる波形出力動作例	14-15
	図14.6 0出力/1出力の動作例	14-15
	図14.7 トグル出力の動作例	14-16
	図14.8 コンペアマッチバッファ動作	14-16
	図14.9 バッファ動作の設定手順例	14-17
	図14.10 バッファ動作例	14-18
	図14.11 PWMモードの設定手順例.....	14-19
	図14.12 PWMモードの動作例 (1)	14-20
	図14.13 PWMモードの動作例 (2)	14-20
15.	リアルタイムクロック (RTC)	
	図15.1 RTCのブロック図	15-2
	図15.2 時刻設定手順.....	15-15
	図15.3 時刻読み出し手順.....	15-16
	図15.4 アラーム機能の使用手法	15-17
	図15.5 水晶発振回路接続例	15-18
	図15.6 周期割り込み機能の使用手法	15-19
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	
	図16.1 SCIFのブロック図	16-3
	図16.2 SCIFの初期化フローチャートの例	16-24
	図16.3 シリアル送信のフローチャートの例	16-25
	図16.4 送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	16-26
	図16.5 送信データストップ機能の動作例	16-27
	図16.6 送信データストップ機能のフローチャート.....	16-27
	図16.7 シリアル受信のフローチャートの例 (1)	16-28
	図16.8 シリアル受信のフローチャートの例 (2)	16-29
	図16.9 SCIFの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	16-30
	図16.10 $\overline{\text{CTS}}$ 制御の動作例.....	16-31
	図16.11 $\overline{\text{RTS}}$ 制御の動作例.....	16-31
	図16.12 クロック同期式通信のデータフォーマット.....	16-32
	図16.13 送信動作時の初期化フローチャートの例 (1)	16-33
	図16.13 受信動作時の初期化フローチャートの例 (2)	16-34
	図16.13 同時送受信時の初期化フローチャートの例 (3)	16-35
	図16.14 送信動作時のフローチャートの例 (初期化後1回目の送信動作) (1)	16-36
	図16.14 送信動作時のフローチャートの例 (2回目以降の送信動作) (2)	16-37
	図16.15 受信動作時のフローチャートの例 (初期化後1回目の受信動作) (1)	16-38
	図16.15 受信動作時のフローチャートの例 (2回目以降の受信動作) (2)	16-39

図16.16	同時送受信動作時のフローチャートの例（初期化後1回目の送受信動作）（1）	16-40
図16.16	同時送受信動作時のフローチャートの例（2回目以降の送受信動作）（2）	16-41
17.	赤外線通信モジュール（IrDA）	
図17.1	IrDAのブロック図	17-1
図17.2	送受信動作	17-4
18.	USB ファンクションモジュール（USB）	
図18.1	USBのブロック図	18-2
図18.2	ケーブル接続時の動作	18-16
図18.3	ケーブル切断時の動作	18-17
図18.4	コントロール転送における各転送ステージ	18-18
図18.5	セットアップステージの動作	18-19
図18.6	データステージ（コントロールイン時）の動作	18-20
図18.7	データステージ（コントロールアウト時）の動作	18-22
図18.8	ステータスステージ（コントロールイン時）の動作	18-23
図18.9	ステータスステージ（コントロールアウト時）の動作	18-24
図18.10	EP1バルクアウト転送の動作	18-25
図18.11	EP2バルクイン転送の動作	18-26
図18.12	EP3インタラプトイン転送の動作	18-28
図18.13	アプリケーションで強制的にストールさせたい場合	18-31
図18.14	USBファンクションモジュールが自動的にストールさせた場合	18-32
図18.15	EP1のRDFN操作	18-33
図18.16	EP2のPKTEビット操作	18-34
図18.17	USBファンクションモジュール外部回路例（内蔵トランシーバ）	18-36
図18.18	USBファンクションモジュール外部回路例（外部トランシーバ）	18-36
図18.19	TR割り込みフラグのセットタイミング	18-38
20.	I/O ポート	
図20.1	ポートA	20-1
図20.2	ポートB	20-2
図20.3	ポートC	20-3
図20.4	ポートD	20-5
図20.5	ポートE	20-6
図20.6	ポートF	20-7
図20.7	ポートG	20-9
図20.8	ポートH	20-10
図20.9	ポートJ	20-11
図20.10	ポートK	20-12
図20.11	ポートL	20-14
図20.12	ポートM	20-15
図20.13	ポートN	20-17
図20.14	SCポート	20-18
21.	A/D 変換器	
図21.1	A/D変換器のブロック図	21-2
図21.2	A/D変換タイミング	21-7
図21.3	A/D変換精度の定義	21-9
図21.4	A/D変換精度の定義	21-10
図21.5	アナログ入力回路の例	21-11
図21.6	アナログ入力保護回路の例	21-12

図21.7	アナログ入力端子等価回路	21-12
22.	ユーザブ레이크コントローラ (UBC)	
図22.1	UBCのブロック図	22-2
23.	ユーザデバッグインタフェース (H-UDI)	
図23.1	H-UDIブロック図	23-1
図23.2	TAPコントローラ状態遷移図	23-11
図23.3	H-UDIデータ転送タイミング	23-13
図23.4	H-UDIリセット	23-13
25.	電気的特性	
図25.1	電源シーケンス	25-2
図25.2	EXTALクロック入力タイミング	25-8
図25.3	CKIOクロック入力タイミング	25-8
図25.4	CKIOクロック出力タイミング	25-8
図25.5	パワーオン発振安定時間	25-8
図25.6	スタンバイ復帰時発振安定時間 (リセットによる復帰)	25-9
図25.7	スタンバイ復帰時発振安定時間 (NMIによる復帰)	25-9
図25.8	スタンバイ復帰時発振安定時間 (IRQ5~IRQ0、PINT15~PINT0、 $\overline{IRL3}$ ~ $\overline{IRL0}$ による復帰)	25-9
図25.9	リセットまたはNMI割り込みによるPLL同期安定化時間	25-10
図25.10	IRQ/IRL、PINT割り込みによるPLL同期安定化時間	25-10
図25.11	周波数通倍率変更時のPLL同期安定化時間	25-11
図25.12	リセット入力タイミング	25-13
図25.13	割り込み信号入力タイミング	25-13
図25.14	バス権解放タイミング	25-13
図25.15	スタンバイ時の端子ドライブタイミング	25-14
図25.16	基本バスサイクル (ノーウェイト)	25-16
図25.17	基本バスサイクル (ソフトウェアウェイト1)	25-17
図25.18	基本バスサイクル (外部ウェイト1挿入)	25-18
図25.19	基本バスサイクル (ソフトウェアウェイト1、外部ウェイト有効 (WMビット=0)、 アイドルサイクルなし設定)	25-19
図25.20	アドレス/データマルチプレクスI/Oバスサイクル (アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)	25-20
図25.21	バーストROM読み出しサイクル (1アクセスウェイト、1外部ウェイト、1バーストウェイト、2バースト)	25-21
図25.22	シンクロナスDRAMシングルリードバスサイクル (オートプリチャージあり、 CASレイテンシ2、TRCD=1サイクル、TRP=1サイクル)	25-22
図25.23	シンクロナスDRAMシングルリードバスサイクル (オートプリチャージあり、 CASレイテンシ2、TRCD=2サイクル、TRP=2サイクル)	25-23
図25.24	シンクロナスDRAMバーストリードバスサイクル (シングルリード×4) (オートプリチャージあり、CASレイテンシ2、TRCD=1サイクル、 TRP=2サイクル)	25-24
図25.25	シンクロナスDRAMバーストリードバスサイクル (シングルリード×4) (オートプリチャージあり、CASレイテンシ2、TRCD=2サイクル、 TRP=1サイクル)	25-25
図25.26	シンクロナスDRAMシングルライトバスサイクル (オートプリチャージあり、TRWL=2サイクル)	25-26

図25.27	シンクロナスDRAMシングルライトバスサイクル (オートプリチャージあり、TRCD=3サイクル、TRWL=2サイクル)	25-27
図25.28	シンクロナスDRAMバーストライトバスサイクル (シングルライト×4) (オートプリチャージあり、TRCD=1サイクル、TRWL=2サイクル)	25-28
図25.29	シンクロナスDRAMバーストライトバスサイクル (シングルライト×4) (オートプリチャージあり、TRCD=2サイクル、TRWL=2サイクル)	25-29
図25.30	シンクロナスDRAMバーストリードバスサイクル (シングルリード×4) (バンクアクティブモード：ACTV+READコマンド、CASレイテンシ2、 TRCD=1サイクル)	25-30
図25.31	シンクロナスDRAMバーストリードバスサイクル (シングルリード×4) (バンクアクティブモード：READコマンド、同一ロウアドレス、CASレイテンシ2、 TRCD=1サイクル)	25-31
図25.32	シンクロナスDRAMバーストリードバスサイクル (シングルリード×4) (バンクアクティブモード：PRE+ACTV+READコマンド、異なるロウアドレス、 CASレイテンシ2、TRCD=1サイクル)	25-32
図25.33	シンクロナスDRAMバーストライトバスサイクル (シングルライト×4) (バンクアクティブモード：ACTV+WRITEコマンド、TRCD=1サイクル、 TRWL=1サイクル)	25-33
図25.34	シンクロナスDRAMバーストライトバスサイクル (シングルライト×4) (バンクアクティブモード：WRITEコマンド、同一ロウアドレス、TRCD=1サイクル、 TRWL=1サイクル)	25-34
図25.35	シンクロナスDRAMバーストライトバスサイクル (シングルライト×4) (バンクアクティブモード：PRE+ACTV+WRITEコマンド、異なるロウアドレス、 TRCD=1サイクル、TRWL=1サイクル)	25-35
図25.36	シンクロナスDRAMオートリフレッシュタイミング (TRP=2サイクル)	25-36
図25.37	シンクロナスDRAMセルフリフレッシュタイミング (TRP=2サイクル)	25-37
図25.38	シンクロナスDRAMモードレジスタ書き込みタイミング (TRP=2サイクル)	25-38
図25.39	低周波数モードでのアクセスタイミング (オートプリチャージ)	25-40
図25.40	シンクロナスDRAMオートリフレッシュタイミング (TRP=2サイクル、低周波数モード)	25-41
図25.41	シンクロナスDRAMセルフリフレッシュタイミング (TRP=2サイクル、低周波数モード)	25-42
図25.42	シンクロナスDRAMモードレジスタ書き込みタイミング (TRP=2サイクル、低周波数モード)	25-43
図25.43	DREQ入力タイミング	25-44
図25.44	DACK、TEND出力タイミング	25-44
図25.45	TCLK入力タイミング	25-45
図25.46	TCLKクロック入力タイミング	25-45
図25.47	RTC用水晶発振器パワーオン時発振安定時間	25-46
図25.48	TPU出力タイミング	25-46
図25.49	SCK入力クロックタイミング	25-47
図25.50	クロック同期式モード時のSCIF入出力タイミング	25-47
図25.51	USBクロックタイミング	25-48
図25.52	USB用水晶発振器パワーオン時発振安定時間	25-48
図25.53	I/Oポートタイミング	25-50
図25.54	TCK入力タイミング	25-51
図25.55	$\overline{\text{TRST}}$ 入力タイミング (リセットホールド時)	25-51
図25.56	H-UDIデータ転送タイミング	25-51

図25.57	ASEMD0入力タイミング	25-51
図25.58	出力負荷回路	25-52

付録.

図B.1	パッケージ外形寸法図 (FP-208C)	付録-6
図B.2	パッケージ外形寸法図 (TBP-208A)	付録-7

表目次

1. 概要	
表1.1 SH7705の特長.....	1-1
表1.2 ピン配置表.....	1-8
表1.3 SH7705端子機能.....	1-15
2. CPU	
表2.1 論理アドレス空間.....	2-3
表2.2 レジスタの初期値.....	2-5
表2.3 アドレッシングモードと実効アドレス.....	2-15
表2.4 命令形式.....	2-18
表2.5 機能別命令.....	2-20
表2.6 データ転送命令.....	2-23
表2.7 算術演算命令.....	2-24
表2.8 論理演算命令.....	2-25
表2.9 シフト命令.....	2-26
表2.10 分岐命令.....	2-26
表2.11 システム制御命令.....	2-27
表2.12 オペレーションコードマップ.....	2-30
3. メモリマネジメントユニット (MMU)	
表3.1 D、C、PRビットによるアクセス状態.....	3-16
4. キャッシュ	
表4.1 キャッシュ容量ごとのエントリ数と1ウェイあたりの容量.....	4-1
表4.2 LRUビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合).....	4-3
表4.3 PREF命令がキャッシュミスした場合に置き換えられるウェイ.....	4-5
表4.4 PREF命令以外がキャッシュミスした場合に置換されるウェイ.....	4-5
表4.5 LRUビットと置き換えられるウェイ (W2LOCK=1かつW3LOCK=0の場合).....	4-6
表4.6 LRUビットと置き換えられるウェイ (W2LOCK=0かつW3LOCK=1の場合).....	4-6
表4.7 LRUビットと置き換えられるウェイ (W2LOCK=1かつW3LOCK=1の場合).....	4-6
表4.8 メモリ割り付けキャッシュ容量別アドレスフォーマット.....	4-12
5. 例外処理	
表5.1 例外事象一覧.....	5-7
6. 割り込みコントローラ (INTC)	
表6.1 端子構成.....	6-3
表6.2 割り込み要求要因とIPRA~IPRH.....	6-4
表6.3 IRL3~IRL0端子および割り込みレベル.....	6-12
表6.4 割り込み例外処理要因と優先順位 (IRQモード時).....	6-15
表6.5 割り込み例外処理要因と優先順位 (IRLモード時).....	6-17
表6.6 割り込みレベルとINTEVTコード.....	6-18
7. バスステートコントローラ (BSC)	
表7.1 端子構成.....	7-3
表7.2 物理アドレス空間マップ.....	7-4

表7.3	外部端子 (MD3、MD4) とメモリサイズの対応.....	7-6
表7.4	32ビット外部デバイス/ビッグエンディアンへのアクセスとデータアライメント	7-27
表7.5	16ビット外部デバイス/ビッグエンディアンへのアクセスとデータアライメント	7-27
表7.6	8ビット外部デバイス/ビッグエンディアンへのアクセスとデータアライメント	7-28
表7.7	32ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント	7-29
表7.8	16ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント	7-29
表7.9	8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント	7-30
表7.10	A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0とアドレスマルチプレクスの関係 (1)	7-44
表7.11	A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0とアドレスマルチプレクスの関係 (2)	7-45
表7.12	A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0とアドレスマルチプレクスの関係 (3)	7-46
表7.13	A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0とアドレスマルチプレクスの関係 (4)	7-47
表7.14	A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0とアドレスマルチプレクスの関係 (5)	7-48
表7.15	A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0とアドレスマルチプレクスの関係 (6)	7-49
表7.16	アクセスサイズとバースト数の関係	7-50
表7.17	SDRAMモードレジスタライト時のアクセスアドレス.....	7-65
表7.18	バス幅およびアクセスサイズとバースト数の関係.....	7-67
8.	ダイレクトメモリアccessコントローラ (DMAC)	
表8.1	外部バスに対する端子構成	8-3
表8.2	転送要求元一覧.....	8-12
表8.3	RSビットによる外部リクエストモードの選択.....	8-15
表8.4	DL、DSビットによる外部リクエスト検出の選択	8-15
表8.5	DOビットによる外部リクエスト検出の選択.....	8-16
表8.6	RS3~0ビットによる内蔵周辺モジュールリクエストモードの選択	8-16
表8.7	RS3~0ビットによる内蔵周辺モジュールリクエストモードの選択	8-17
表8.8	サポートできるDMA転送.....	8-20
表8.9	DMA転送区間とリクエストモード、バスモードとの関連一覧.....	8-26
9.	クロック発振器 (CPG)	
表9.1	発振回路の端子構成と機能	9-4
表9.2	クロック動作モード.....	9-4
表9.3	クロックモードとFRQCR値の可能な組み合わせ	9-5
11.	低消費電力モード	
表11.1	低消費電力モードの状態	11-1
表11.2	端子構成.....	11-2
12.	タイマユニット (TMU)	
表12.1	端子構成.....	12-3
表12.2	TMUの割り込み要因	12-13
14.	16ビットタイマパルスユニット (TPU)	
表14.1	TPU機能一覧	14-2
表14.2	TPUの端子構成	14-4
表14.3	TPUのクロックソース一覧.....	14-6
表14.4	TPSC2~TPSC0 (1)	14-7
表14.4	TPSC2~TPSC0 (2)	14-7
表14.4	TPSC2~TPSC0 (3)	14-7
表14.4	TPSC2~TPSC0 (4)	14-7
表14.5	IOA2~IOA0.....	14-9
表14.6	レジスタの組み合わせ	14-16

15.	リアルタイムクロック (RTC)	
	表15.1 端子構成.....	15-3
	表15.2 推奨発振回路の定数 (推奨値)	15-18
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	
	表16.1 端子構成.....	16-3
	表16.2 SCSMRの設定値とシリアル送信/受信フォーマット	16-22
	表16.3 シリアル送信/受信フォーマット	16-22
	表16.4 SCIF割り込み要因	16-43
17.	赤外線通信モジュール (IrDA)	
	表17.1 端子構成.....	17-2
18.	USB ファンクションモジュール (USB)	
	表18.1 端子構成.....	18-2
	表18.2 アプリケーション側でのコマンドデコード.....	18-29
19.	ピンファンクションコントローラ (PFC)	
	表19.1 マルチプレクス一覧表	19-1
20.	I/O ポート	
	表20.1 ポートAデータレジスタ (PADR) の読み出し/書き込み動作	20-2
	表20.2 ポートBデータレジスタ (PBDR) の読み出し/書き込み動作.....	20-3
	表20.3 ポートCデータレジスタ (PCDR) の読み出し/書き込み動作.....	20-4
	表20.4 ポートDデータレジスタ (PDDR) の読み出し/書き込み動作	20-6
	表20.5 ポートEデータレジスタ (PEDR) の読み出し/書き込み動作	20-7
	表20.6 ポートFデータレジスタ (PFDR) の読み出し/書き込み動作.....	20-8
	表20.7 ポートGデータレジスタ (PGDR) の読み出し/書き込み動作	20-10
	表20.8 ポートHデータレジスタ (PHDR) の読み出し/書き込み動作	20-11
	表20.9 ポートJデータレジスタ (PJDR) の読み出し/書き込み動作	20-12
	表20.10 ポートKデータレジスタ (PKDR) の読み出し/書き込み動作	20-13
	表20.11 ポートLデータレジスタ (PLDR) の読み出し/書き込み動作	20-15
	表20.12 ポートMデータレジスタ (PMDR) の読み出し/書き込み動作.....	20-16
	表20.13 ポートNデータレジスタ (PNDR) の読み出し/書き込み動作.....	20-18
	表20.14 SCポートデータレジスタ (SCPDR) の読み出し/書き込み動作	20-19
21.	A/D 変換器	
	表21.1 端子構成.....	21-3
	表21.2 アナログ入力チャンネルとADDRの対応	21-3
	表21.3 A/D変換時間 (シングルモード)	21-7
	表21.4 A/D変換時間 (マルチモードおよびスキャンモード)	21-8
	表21.5 A/D変換器の割り込み要因	21-8
	表21.6 アナログ端子の規格	21-12
22.	ユーザブレイクコントローラ (UBC)	
	表22.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件	22-15
23.	ユーザデバッグインタフェース (H-UDI)	
	表23.1 端子構成.....	23-2
	表23.2 H-UDIコマンド.....	23-4
	表23.3 SH7705の端子とバウンダリスキャンレジスタの対応.....	23-5
	表23.4 リセット構成.....	23-12

25. 電気的特性

表25.1	絶対最大定格	25-1
表25.2	DC特性 (1) 【共通項目】	25-3
表25.2	DC特性 (2-a) 【USB関連端子を除く】	25-4
表25.2	DC特性 (2-b) 【USB関連端子*】	25-5
表25.2	DC特性 (2-c) 【USBトランシーバ関連端子*1】	25-5
表25.3	出力許容電流値	25-6
表25.4	最大動作周波数	25-6
表25.5	クロックタイミング	25-7
表25.6	制御信号タイミング	25-12
表25.7	バスタイミング (1)	25-15
表25.8	バスタイミング (2)	25-39
表25.9	DMAC信号タイミング	25-44
表25.10	TMU信号タイミング	25-45
表25.11	RTC信号タイミング	25-46
表25.12	16ビットタイマパルスユニット (TPU) 信号タイミング	25-46
表25.13	SCIFモジュール信号タイミング	25-47
表25.14	USBモジュールクロックタイミング	25-48
表25.15	USBトランシーバタイミング	25-49
表25.16	ポート入出力タイミング	25-50
表25.17	H-UDI関連端子のタイミング	25-50
表25.18	A/D変換器特性	25-53

付録.

表A.1	端子状態と未使用端子の状態	付録-1
------	---------------	------

1. 概要

1.1 SH7705 の特長

本 LSI は、32 ビット RISC タイプ SuperH アーキテクチャの CPU をコアとして、32k バイトキャッシュメモリ、およびシステム構成に必要な割り込みコントローラなどを集積したマイクロプロセッサです。

内蔵 DMAC (Direct Memory Access Controller) による高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの直結が可能です。さらに、USB (ファンクション) や大容量 FIFO を内蔵するシリアルインタフェースなどのシステムコンフィギュレーションに最適な強力な周辺機能を内蔵しています。

強力な内蔵パワー管理機能によって高速動作時にも電力消費を低く抑えることができます。本 LSI は、高速、低消費電力を同時に必要とするアプリケーションなどの電子機器に最適です。

本 LSI の特長を表 1.1 に示します。

表 1.1 SH7705 の特長

項目	特長
CPU	<ul style="list-style-type: none">• ルネサステクノロジ独自の SuperH アーキテクチャ• SH-1、SH-2、SH-3 と互換性のあるオブジェクトコードレベル• 32 ビット内部データバス• 汎用レジスタファイル<ul style="list-style-type: none">16 本の 32 ビット汎用レジスタ (8 本の 32 ビットシャドウレジスタ)5 本の 32 ビットコントロールレジスタ4 本の 32 ビットシステムレジスタ• RISC タイプ命令セット<ul style="list-style-type: none">命令長：16 ビット固定長、優れたコード効率ロードストアアーキテクチャ遅延分岐命令C 言語指向命令セット• 命令実行時間：基本命令について 1 命令/サイクル• 論理アドレス空間：4G バイト• 5 段パイプライン

1. 概要

項目	特長
メモリマネージメント ユニット (MMU)	<ul style="list-style-type: none"> • 4GB のアドレス空間、256 のアドレス空間 (アドレス空間識別子 ASID 8 ビット) • ページユニット共有 • 複数のページサイズをサポート: 1k バイトまたは 4k バイト • 128 エントリ、4 ウェイセットアソシアティブ TLB • ソフトウェアによるリプレースウェイ指定、およびランダムリプレースアルゴリズムをサポート • アドレス割り付けにより、TLB の内容を直接アクセス可能
キャッシュメモリ	<ul style="list-style-type: none"> • 32k バイトキャッシュ、命令/データ混在 • 512 エントリ、4 ウェイセットアソシアティブ、16 バイトブロック長 • ライトバック、ライトスルー、LRU 置換アルゴリズム • 1 段階ライトバックバッファ
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> • 7 本の外部割り込み端子 (NMI、IRQ5~IRQ0) • 内蔵周辺割り込み: モジュールごとに優先順位を設定
バステートコントローラ (BSC)	<ul style="list-style-type: none"> • 物理アドレス空間は、それぞれ最大 64M バイトの 4 つの領域エリア 0、エリア 2~4、および最大 32M バイトの 4 つの領域エリア 5A/B、6A/B の合計 8 エリアのアドレス空間をサポート • 各エリアには独立に次の機能を設定可能: バスサイズ (8、16、32 ビット)。ただし各エリアごとにサポートサイズ異なる アクセスウェイトサイクル数 (リード/ライトで独立ウェイト設定可のエリアあり) アイドルウェイトサイクル設定 (同一エリア/別エリア) エリアごとに接続するメモリを指定することによって SRAM、バイト選択付き SRAM、SDRAM、バースト ROM との直結が可能。また、アドレス/データマルチプレクス I/O (MPX) モードをサポートするエリアあり。 該当する領域にチップセレクト信号 ($\overline{CS0}$、$\overline{CS2}\sim\overline{CS4}$、$\overline{CS5A/B}$、$\overline{CS6A/B}$) を出力 (CS アサート/ネゲートタイミングをプログラミングで選択可) • SDRAM リフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート • SDRAM バーストアクセス機能 エリア 2/3 で異なる SDRAM の接続可能 (サイズ/レイテンシ) • ビッグエンディアン、またはリトルエンディアンを設定可能
ダイレクトメモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • 4 チャンネル。内 2 チャンネルは外部リクエスト可能 • バーストモードおよびサイクルスチールモード • DREQ 付きチャンネルの転送終了信号出力 (1 チャンネル) • インタミットモードをサポート (16/64 サイクルサポート)

項目	特長
クロック発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード：入力クロックを外部入力（EXTAL または CKIO）または水晶発振子から選択可能 • 3種類のクロックを生成 CPU クロック：最大 133.34MHz/100MHz バスクロック：最大 66.67MHz 周辺クロック：最大 33.34MHz • 7種類のクロックモード (PLL1 と PLL2 の選倍率の選択およびクロック/水晶発振子選択可能)
ウォッチドッグタイマ(WDT)	<ul style="list-style-type: none"> • 1チャンネルのウォッチドッグタイマ
低消費電力モード	<ul style="list-style-type: none"> • パワーダウンモードのサポート スリープモード ソフトウェアスタンバイモード、ハードウェアスタンバイモード モジュールスタンバイモード
タイマユニット (TMU)	<ul style="list-style-type: none"> • 3チャンネルオートリロードタイプ 32ビットタイマ • 入力キャプチャ機能（チャンネル2のみ） • 5種類のカウンタ入力クロックを選択可能（Pφ/4、Pφ/8、Pφ/16、Pφ/64、Pφ/256、TCLK 入力）
コンペアマッチタイマ(CMT)	<ul style="list-style-type: none"> • 16ビットカウンタ • 4種類のクロック選択可能（Pφ/4、Pφ/8、Pφ/16、Pφ/64）
16ビットタイマパルス ユニット (TPU)	<ul style="list-style-type: none"> • 4種類の PWM 出力（TO0、TO1、TO2、TO3） • PWM 機能サポート
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> • 時計/カレンダー機能（BCD 表示） • 30秒調整機能 • アラーム/周期/桁上げ割り込み • うるう年自動補正機能
シリアルコミュニケーション インタフェース (SCIF_0、2)	<ul style="list-style-type: none"> • クロック同期/調歩同期モード • 送受信用 FIFO 各々 64 バイト内蔵 • 高速な UART • UART は FIFO ストップ/FIFO トリガサポート • RTS/CTS サポート • IrDA1.0 サポート（チャンネル0のみ）
USB ファンクション モジュール (USB)	<ul style="list-style-type: none"> • USB2.0 フルスピード準拠 • USB トランシーバ内蔵/外付け両モード対応 • コントロール転送（エンドポイント0）、バルク転送（エンドポイント1、2）、インタラプト転送（エンドポイント3）をサポート • USB 標準コマンドをサポートし、クラスおよびベンダコマンドはファームウェアで処理 • エンドポイント用の FIFO バッファを内蔵（128 バイト/エンドポイント1、2） • モジュール入力クロック：48MHz

1. 概要

項目	特長																					
I/O ポート	<ul style="list-style-type: none"> • 入出力ポートはビットごとに入出力切り替え可能 																					
A/D 変換器	<ul style="list-style-type: none"> • 10 ビット±4LSB、4 チャンネル • 入力範囲：0V～AV_{CC}（最大 3.6V） 																					
ユーザブ레이크コントローラ (UBC)	<ul style="list-style-type: none"> • アドレス、データ値、アクセスタイプ、データサイズはすべてブ레이크条件として設定可能 • シーケンシャルブ레이크機能をサポート • 2本のブ레이크チャンネル 																					
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート • JTAG 標準端子配置 • リアルタイム分岐トレース (AUD) 																					
電源電圧	<ul style="list-style-type: none"> • I/O：3.3±0.3V、内部：1.5±0.1V 																					
製品ラインアップ	<table border="1"> <thead> <tr> <th rowspan="2">略称</th> <th colspan="2">電源電圧</th> <th rowspan="2">動作 周波数</th> <th rowspan="2">型名</th> <th rowspan="2">パッケージ</th> </tr> <tr> <th>I/O</th> <th>内部</th> </tr> </thead> <tbody> <tr> <td rowspan="4">SH7705</td> <td rowspan="4">3.3±0.3V</td> <td rowspan="4">1.5±0.1V</td> <td>133MHz</td> <td>HD6417705F133</td> <td rowspan="2">208ピン プラスチック LQFP (FP-208C)</td> </tr> <tr> <td>100MHz</td> <td>HD6417705F100</td> </tr> <tr> <td>133MHz</td> <td>HD6417705BP133</td> <td rowspan="2">208ピン TFBGA (TBP-208A)</td> </tr> <tr> <td>100MHz</td> <td>HD6417705BP100</td> </tr> </tbody> </table>	略称	電源電圧		動作 周波数	型名	パッケージ	I/O	内部	SH7705	3.3±0.3V	1.5±0.1V	133MHz	HD6417705F133	208ピン プラスチック LQFP (FP-208C)	100MHz	HD6417705F100	133MHz	HD6417705BP133	208ピン TFBGA (TBP-208A)	100MHz	HD6417705BP100
略称	電源電圧		動作 周波数	型名				パッケージ														
	I/O	内部																				
SH7705	3.3±0.3V	1.5±0.1V	133MHz	HD6417705F133	208ピン プラスチック LQFP (FP-208C)																	
			100MHz	HD6417705F100																		
			133MHz	HD6417705BP133	208ピン TFBGA (TBP-208A)																	
			100MHz	HD6417705BP100																		

1.2 ブロック図

図 1.1 に SH7705 の構成を示します。

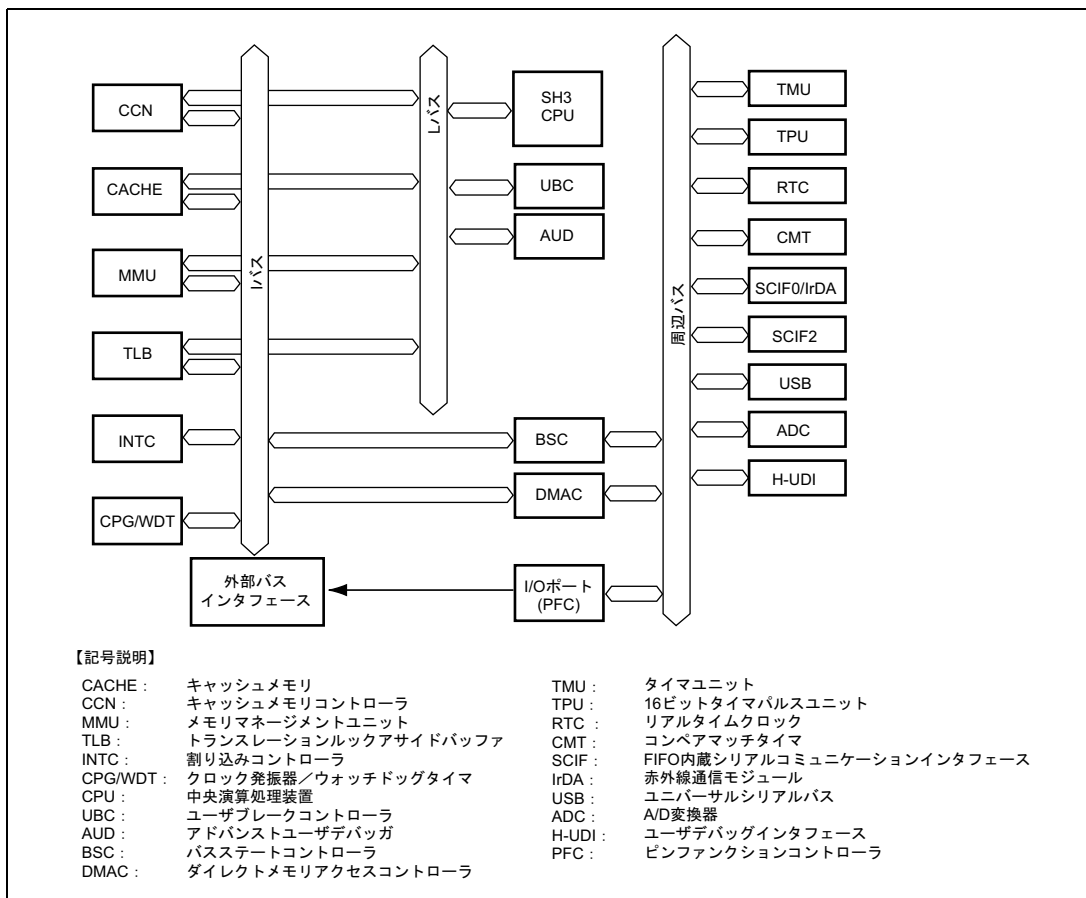


図 1.1 SH7705 の構成

1. 概要

1.3 ピン配置図

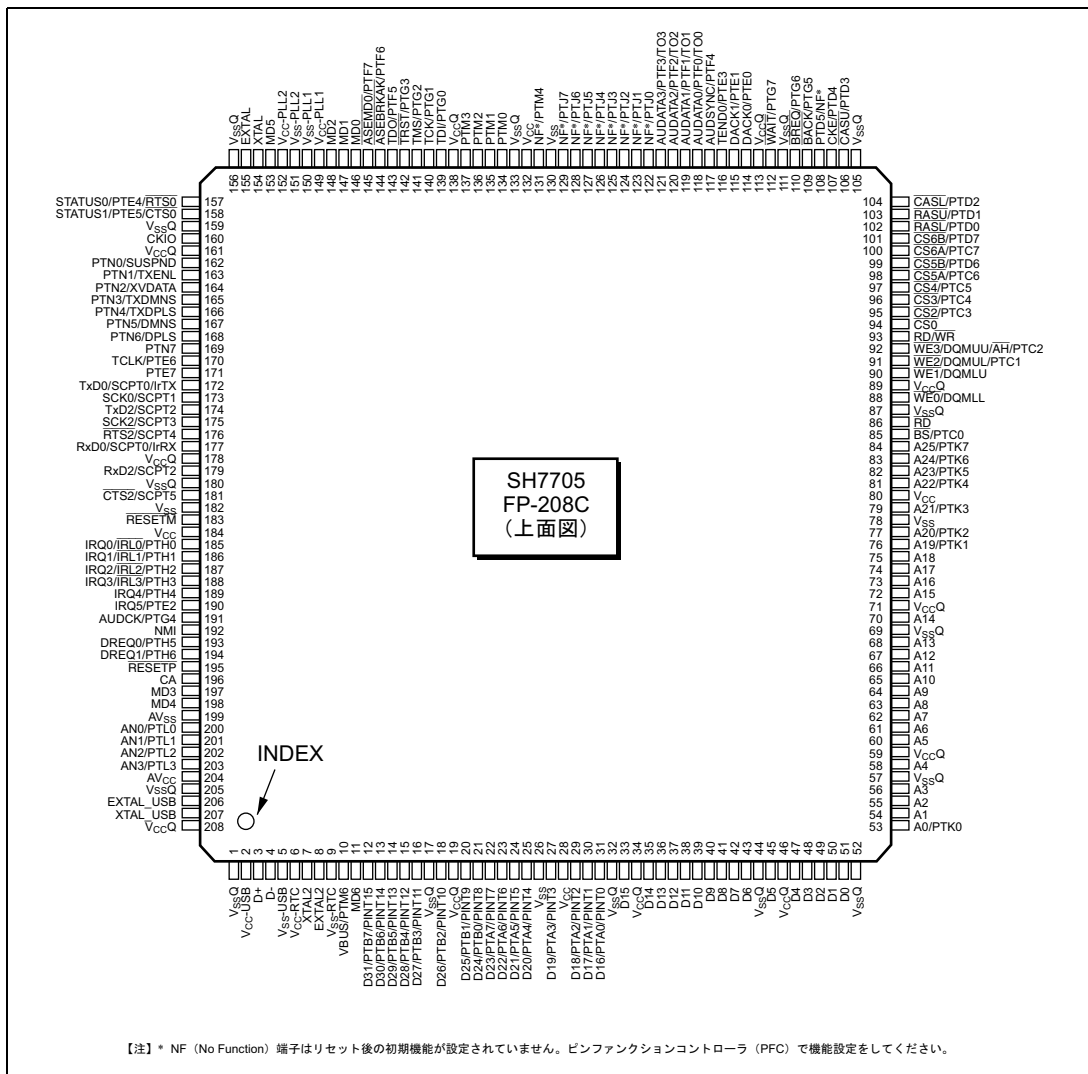


図 1.2 ピン配置図 (FP-208C)

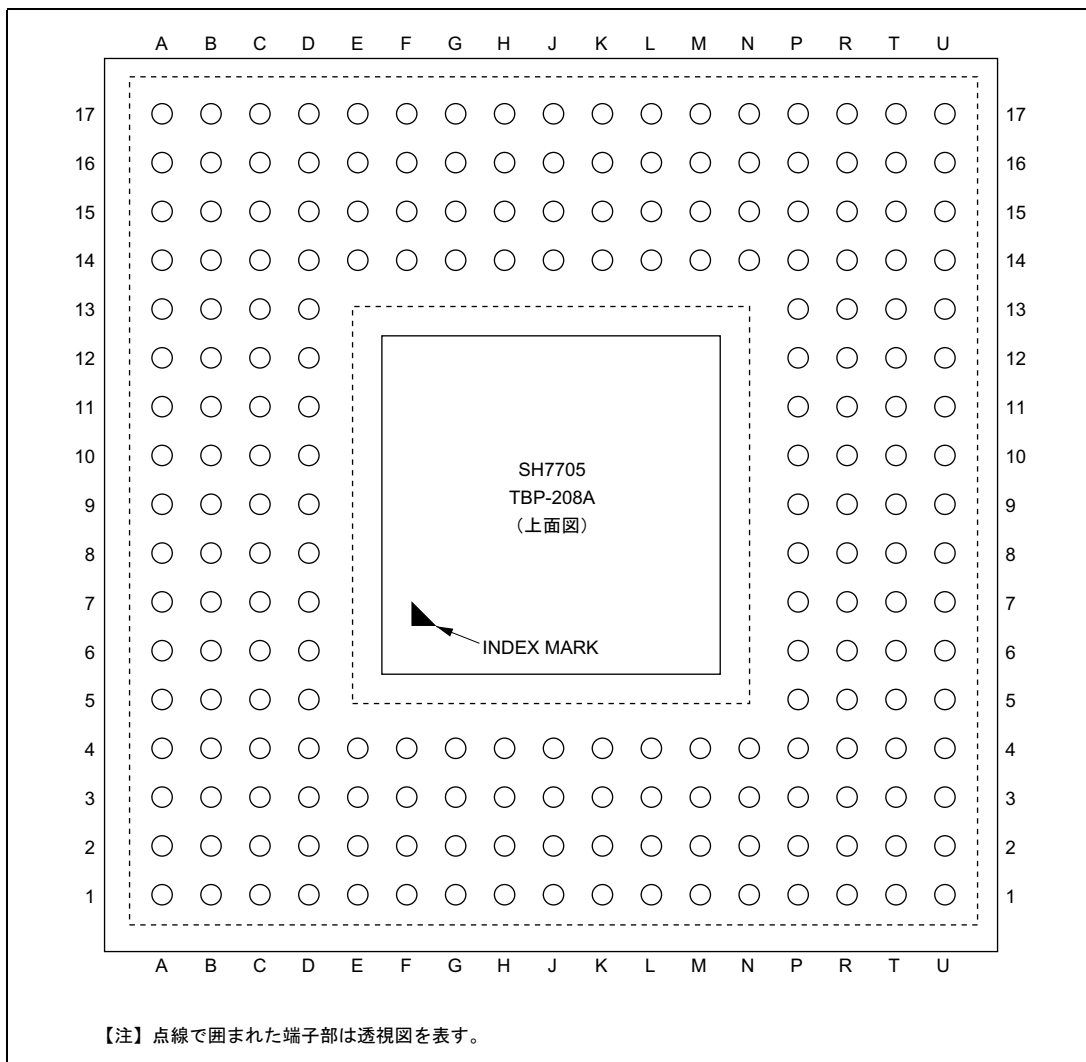


図 1.3 ピン配置図 (TBP-208A)

1. 概要

表 1.2 ピン配置表

端子番号 (FP-208C)	端子番号 (TBP-208A)	端子名	入出力	機能
1	A1	V _{SS} Q	—	I/O 電源 (0V)
2	B1	V _{CC} -USB	—	USB 用電源 (3.3V)
3	C3	D+	入出力	USB データ線
4	C2	D-	入出力	USB データ線
5	C1	V _{SS} -USB	—	USB 用電源 (0V)
6	D3	V _{CC} -RTC* ⁵	—	RTC 用電源 (3.3V) * ⁵
7	D2	XTAL2	出力	内蔵 RTC 用水晶発振器端子
8	D1	EXTAL2	入力	内蔵 RTC 用水晶発振器端子
9	E4	V _{SS} -RTC* ⁵	—	RTC 用電源 (0V) * ⁵
10	E3	VBUS/PTM6	入力/入出力	USB 電源検出/入出力ポート M
11	E2	MD6	入力	I/O 電源 (0V) に接続
12	E1	D31/PTB7/PINT15	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
13	F4	D30/PTB6/PINT14	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
14	F3	D29/PTB5/PINT13	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
15	F2	D28/PTB4/PINT12	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
16	F1	D27/PTB3/PINT11	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
17	G4	V _{SS} Q	—	I/O 電源 (0V)
18	G3	D26/PTB2/PINT10	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
19	G2	V _{CC} Q	—	I/O 電源 (3.3V)
20	G1	D25/PTB1/PINT9	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
21	H4	D24/PTB0/PINT8	入出力/入出力/ 入力	データバス/入出力ポート B/PINT 割り込み
22	H3	D23/PTA7/PINT7	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
23	H2	D22/PTA6/PINT6	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
24	H1	D21/PTA5/PINT5	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
25	J4	D20/PTA4/PINT4	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
26	J2	V _{SS}	—	内部電源 (0V)

端子番号 (FP-208C)	端子番号 (TBP-208A)	端子名	入出力	機能
27	J1	D19/PTA3/PINT3	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
28	J3	V _{CC}	—	内部電源 (1.5V)
29	K1	D18/PTA2/PINT2	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
30	K2	D17/PTA1/PINT1	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
31	K3	D16/PTA0/PINT0	入出力/入出力/ 入力	データバス/入出力ポート A/PINT 割り込み
32	K4	V _{SSQ}	—	I/O 電源 (0V)
33	L1	D15	入出力	データバス
34	L2	V _{CCQ}	—	I/O 電源 (3.3V)
35	L3	D14	入出力	データバス
36	L4	D13	入出力	データバス
37	M1	D12	入出力	データバス
38	M2	D11	入出力	データバス
39	M3	D10	入出力	データバス
40	M4	D9	入出力	データバス
41	N1	D8	入出力	データバス
42	N2	D7	入出力	データバス
43	N3	D6	入出力	データバス
44	N4	V _{SSQ}	—	I/O 電源 (0V)
45	P1	D5	入出力	データバス
46	P2	V _{CCQ}	—	I/O 電源 (3.3V)
47	P3	D4	入出力	データバス
48	R1	D3	入出力	データバス
49	R2	D2	入出力	データバス
50	P4	D1	入出力	データバス
51	T1	D0	入出力	データバス
52	T2	V _{SSQ}	—	I/O 電源 (0V)
53	U1	A0/PTK0	出力/入出力	アドレスバス/入出力ポート K
54	U2	A1	出力	アドレスバス
55	R3	A2	出力	アドレスバス
56	T3	A3	出力	アドレスバス
57	U3	V _{SSQ}	—	I/O 電源 (0V)
58	R4	A4	出力	アドレスバス
59	T4	V _{CCQ}	—	I/O 電源 (3.3V)
60	U4	A5	出力	アドレスバス

1. 概要

端子番号 (FP-208C)	端子番号 (TBP-208A)	端子名	入出力	機能
61	P5	A6	出力	アドレスバス
62	R5	A7	出力	アドレスバス
63	T5	A8	出力	アドレスバス
64	U5	A9	出力	アドレスバス
65	P6	A10	出力	アドレスバス
66	R6	A11	出力	アドレスバス
67	T6	A12	出力	アドレスバス
68	U6	A13	出力	アドレスバス
69	P7	V _{ss} Q	—	I/O 電源 (0V)
70	R7	A14	出力	アドレスバス
71	T7	V _{cc} Q	—	I/O 電源 (3.3V)
72	U7	A15	出力	アドレスバス
73	P8	A16	出力	アドレスバス
74	R8	A17	出力	アドレスバス
75	T8	A18	出力	アドレスバス
76	U8	A19/PTK1	出力/入出力	アドレスバス/入出力ポート K
77	P9	A20/PTK2	出力/入出力	アドレスバス/入出力ポート K
78	T9	V _{ss}	—	内部電源 (0V)
79	U9	A21/PTK3	出力/入出力	アドレスバス/入出力ポート K
80	R9	V _{cc}	—	内部電源 (1.5V)
81	U10	A22/PTK4	出力/入出力	アドレスバス/入出力ポート K
82	T10	A23/PTK5	出力/入出力	アドレスバス/入出力ポート K
83	R10	A24/PTK6	出力/入出力	アドレスバス/入出力ポート K
84	P10	A25/PTK7	出力/入出力	アドレスバス/入出力ポート K
85	U11	\overline{BS} /PTC0	出力/入出力	バスサイクル開始信号/入出力ポート C
86	T11	\overline{RD}	出力	リードストロープ
87	R11	V _{ss} Q	—	I/O 電源 (0V)
88	P11	$\overline{WE0}$ /DQMLL	出力/出力	D7-D0 セレクト信号/DQM (SDRAM)
89	U12	V _{cc} Q	—	I/O 電源 (3.3V)
90	T12	$\overline{WE1}$ /DQMLU	出力/出力	D15-D8 セレクト信号/DQM (SDRAM)
91	R12	$\overline{WE2}$ /DQMUL/PTC1	出力/出力/ 入出力	D23-D16 セレクト信号/DQM (SDRAM) / 入出力ポート C
92	P12	$\overline{WE3}$ /DQMUU/AH/ PTC2	出力/出力/ 出力/入出力	D31-D24 セレクト信号/DQM (SDRAM) / アドレスホールド/入出力ポート C
93	U13	RD/ \overline{WR}	出力	リードライト
94	T13	$\overline{CS0}$	出力	チップセレクト 0
95	R13	$\overline{CS2}$ /PTC3	出力/入出力	チップセレクト 2/入出力ポート C

端子番号 (FP-208C)	端子番号 (TBP-208A)	端子名	入出力	機能
96	P13	$\overline{CS3}/PTC4$	出力/入出力	チップセレクト 3/入出力ポート C
97	U14	$\overline{CS4}/PTC5$	出力/入出力	チップセレクト 4/入出力ポート C
98	T14	$\overline{CS5A}^{*3}/PTC6$	出力/入出力	チップセレクト 5A/入出力ポート C
99	R14	$\overline{CS5B}^{*3}/PTD6$	出力/入出力	チップセレクト 5B/入出力ポート D
100	U15	$\overline{CS6A}^{*3}/PTC7$	出力/入出力	チップセレクト 6A/入出力ポート C
101	T15	$\overline{CS6B}^{*3}/PTD7$	出力/入出力	チップセレクト 6B/入出力ポート D
102	P14	$\overline{RASL}/PTD0$	出力/入出力	下位 32M バイトアドレス用 RAS (SDRAM) / 入出力ポート D
103	U16	$\overline{RASU}^{*3}/PTD1$	出力/入出力	上位 32M バイトアドレス用 RAS (SDRAM) / 入出力ポート D
104	T16	$\overline{CASL}/PTD2$	出力/入出力	下位 32M バイトアドレス用 CAS (SDRAM) / 入出力ポート D
105	U17	V_{ssQ}	—	I/O 電源 (0V)
106	T17	$\overline{CASU}^{*3}/PTD3$	出力/入出力	上位 32M バイトアドレス用 CAS (SDRAM) / 入出力ポート D
107	R15	$\overline{CKE}/PTD4$	出力/入出力	CK イネーブル (SDRAM) /入出力ポート D
108	R16	$\overline{PTD5}/NF^{*4}$	入力	入力ポート D/NF ^{*4}
109	R17	$\overline{BACK}/PTG5$	出力/入出力	バスアクノリッジ/入出力ポート G
110	P15	$\overline{BREQ}/PTG6$	入力/入出力	バス権要求/入出力ポート G
111	P16	V_{ssQ}	—	I/O 電源 (0V)
112	P17	$\overline{WAIT}/PTG7$	入力/入出力	ハードウェアウェイト要求/入出力ポート G
113	N14	V_{ccQ}	—	I/O 電源 (3.3V)
114	N15	$\overline{DACK0}/PTE0$	出力/入出力	DMA アクノリッジ 0/入出力ポート E
115	N16	$\overline{DACK1}/PTE1$	出力/入出力	DMA アクノリッジ 1/入出力ポート E
116	N17	$\overline{TEND0}/PTE3$	出力/入出力	DMA 転送終了通知/入出力ポート E
117	M14	$\overline{AUDSYNC}/PTF4$	出力/入出力	AUD 同期/入出力ポート F
118	M15	$\overline{AUDATA0}/PTF0/TO0$	出力/入出力/ 出力	AUDATA 出力/入出力ポート F/タイマ出力
119	M16	$\overline{AUDATA1}/PTF1/TO1$	出力/入出力/ 出力	AUDATA 出力/入出力ポート F/タイマ出力
120	M17	$\overline{AUDATA2}/PTF2/TO2$	出力/入出力/ 出力	AUDATA 出力/入出力ポート F/タイマ出力
121	L14	$\overline{AUDATA3}/PTF3/TO3$	出力/入出力/ 出力	AUDATA 出力/入出力ポート F/タイマ出力
122	L15	$\overline{NF}^{*4}/PTJ0$	出力	NF ^{*4} /出力ポート J
123	L16	$\overline{NF}^{*4}/PTJ1$	出力	NF ^{*4} /出力ポート J
124	L17	$\overline{NF}^{*4}/PTJ2$	出力	NF ^{*4} /出力ポート J
125	K14	$\overline{NF}^{*4}/PTJ3$	出力	NF ^{*4} /出力ポート J

1. 概要

端子番号 (FP-208C)	端子番号 (TBP-208A)	端子名	入出力	機能
126	K15	NF ^{*4} /PTJ4	出力	NF ^{*4} /出力ポート J
127	K16	NF ^{*4} /PTJ5	出力	NF ^{*4} /出力ポート J
128	K17	NF ^{*4} /PTJ6	出力	NF ^{*4} /出力ポート J
129	J14	NF ^{*4} /PTJ7	出力	NF ^{*4} /出力ポート J
130	J16	V _{SS}	—	内部電源 (0V)
131	J17	NF ^{*4} /PTM4	入力	NF ^{*4} /入力ポート M
132	J15	V _{CC}	—	内部電源 (1.5V)
133	H17	V _{SSQ}	—	I/O 電源 (0V)
134	H16	PTM0	入出力	入出力ポート M
135	H15	PTM1	入出力	入出力ポート M
136	H14	PTM2	入出力	入出力ポート M
137	G17	PTM3	入出力	入出力ポート M
138	G16	V _{CCQ}	—	I/O 電源 (3.3V)
139	G15	TDI ^{*7} /PTG0	入力/入出力	テストデータ入力 (H-UDI) / 入出力ポート G
140	G14	TCK ^{*7} /PTG1	入力/入出力	テストクロック (H-UDI) / 入出力ポート G
141	F17	TMS ^{*7} /PTG2	入力/入出力	テストモードセレクト (H-UDI) / 入出力ポート G
142	F16	$\overline{\text{TRST}}^{\text{*1*7}}$ /PTG3	入力/入出力	テストリセット (H-UDI) / 入出力ポート G
143	F15	TDO/PTF5	出力/入出力	テストデータ出力 (H-UDI) / 入出力ポート F
144	F14	$\overline{\text{ASEBRKAK}}$ /PTF6	出力/入出力	ASE ブレークアクトリッジ (H-UDI) / 入出力ポート F
145	E17	$\overline{\text{ASEMD0}}^{\text{*2*7}}$ /PTF7	入力/入出力	ASE モード (H-UDI) / 入出力ポート F
146	E16	MD0	入力	クロックモード設定
147	E15	MD1	入力	クロックモード設定
148	E14	MD2	入力	クロックモード設定
149	D17	V _{CC} -PLL1	—	PLL1 用電源 (1.5V)
150	D16	V _{SS} -PLL1	—	PLL1 用電源 (0V)
151	D15	V _{SS} -PLL2	—	PLL2 用電源 (0V)
152	C17	V _{CC} -PLL2	—	PLL2 用電源 (1.5V)
153	C16	MD5	入力	エンディアン設定
154	D14	XTAL	出力	水晶発振器端子
155	B17	EXTAL	入力	外部クロック/水晶発振器端子
156	B16	V _{SSQ}	—	I/O 電源 (0V)
157	A17	STATUS0/PTE4/ $\overline{\text{RTS0}}$	出力/入出力/ 出力	プロセッサステータス/入出力ポート E/ SCIF0 送信要求
158	A16	STATUS1/PTE5/ $\overline{\text{CTS0}}$	出力/入出力/ 入力	プロセッサステータス/入出力ポート E/ SCIF0 送信クリア
159	C15	V _{SSQ}	—	I/O 電源 (0V)
160	B15	CKIO	入出力	システムクロック入出力

端子番号 (FP-208C)	端子番号 (TBP-208A)	端子名	入出力	機能
161	A15	V _{ccQ}	—	I/O 電源 (3.3V)
162	C14	PTN0/SUSPND	入出力/出力	入出力ポート N/USB サスペンド
163	B14	PTN1/TXENL	入出力/出力	入出力ポート N/USB アウトプットイネーブル
164	A14	PTN2/XVDATA	入出力/入力	入出力ポート N/USB 差動受信入力
165	D13	PTN3/TXDMNS	入出力/出力	入出力ポート N/USB D-送信出力
166	C13	PTN4/TXDPLS	入出力/出力	入出力ポート N/USB D+送信出力
167	B13	PTN5/DMNS	入出力/入力	入出力ポート N/USB レシーバからの D-入力
168	A13	PTN6/DPLS	入出力/入力	入出力ポート N/USB レシーバからの D+入力
169	D12	PTN7	入出力	入出力ポート N
170	C12	TCCLK/PTE6	入力/入出力	TMU 用クロック入力/入出力ポート E
171	B12	PTE7	入出力	入出力ポート E
172	A12	TxD0/SCPT0/IrTX	出力/出力/ 出力	SCIF0 送信データ/SC ポート/IrDA TX ポート
173	D11	SCK0/SCPT1	入出力/入出力	SCIF0 クロック/SC ポート
174	C11	TxD2/SCPT2	出力/出力	SCIF2 送信データ/SC ポート
175	B11	SCK2/SCPT3	入出力/入出力	SCIF2 クロック/SC ポート
176	A11	$\overline{\text{RTS2}}$ /SCPT4	出力/入出力	SCIF2 送信要求/SC ポート
177	D10	RxD0/SCPT0/IrRX	入力/入力/ 入力	SCIF0 受信データ/SC ポート/IrDA RX ポート
178	C10	V _{ccQ}	—	I/O 電源 (3.3V)
179	B10	RxD2/SCPT2	入力/入力	SCIF2 受信データ/SC ポート
180	A10	V _{ssQ}	—	I/O 電源 (0V)
181	D9	$\overline{\text{CTS2}}$ /SCPT5	入力/入出力	SCIF2 送信クリア/SC ポート
182	B9	V _{ss}	—	内部電源 (0V)
183	A9	$\overline{\text{RESETM}}$	入力	マニュアルリセット要求
184	C9	V _{cc}	—	内部電源 (1.5V)
185	A8	IRQ0/IRL0/PTH0	入力/入力/ 入出力	外部割り込み要求/入出力ポート H
186	B8	IRQ1/IRL1/PTH1	入力/入力/ 入出力	外部割り込み要求/入出力ポート H
187	C8	IRQ2/IRL2/PTH2	入力/入力/ 入出力	外部割り込み要求/入出力ポート H
188	D8	IRQ3/IRL3/PTH3	入力/入力/ 入出力	外部割り込み要求/入出力ポート H
189	A7	IRQ4/PTH4	入力/入出力	外部割り込み要求/入出力ポート H
190	B7	IRQ5/PTE2	入力/入出力	外部割り込み要求/入出力ポート E
191	C7	AUDCK/PTG4	出力/入出力	AUD クロック/入出力ポート G
192	D7	NMI	入力	ノンマスクابل割り込み要求
193	A6	DREQ0/PTH5	入力/入出力	DMA 要求/入出力ポート H

1. 概要

端子番号 (FP-208C)	端子番号 (TBP-208A)	端子名	入出力	機能
194	B6	DREQ1/PTH6	入力/入出力	DMA 要求/入出力ポート H
195	C6	$\overline{\text{RESETP}}^{*6}$	入力	パワーオンリセット要求
196	D6	CA	入力	ハードウェアスタンバイ要求
197	A5	MD3	入力	エリア 0 用バス幅設定
198	B5	MD4	入力	エリア 0 用バス幅設定
199	C5	AV _{SS}	—	アナログ用電源 (0V)
200	D5	AN0/PTL0	入力/入力	AD 変換器入力/入力ポート L
201	A4	AN1/PTL1	入力/入力	AD 変換器入力/入力ポート L
202	B4	AN2/PTL2	入力/入力	AD 変換器入力/入力ポート L
203	C4	AN3/PTL3	入力/入力	AD 変換器入力/入力ポート L
204	A3	AV _{CC}	—	アナログ用電源 (3.3V)
205	B3	V _{SSQ}	—	I/O 電源 (0V)
206	D4	EXTAL_USB	入力	USB クロック
207	A2	XTAL_USB	出力	USB クロック
208	B2	V _{CCQ}	—	I/O 電源 (3.3V)

- 【注】 *1 H-UDI 機能の利用の有無にかかわらず、電源投入時には TRST 端子を一定期間ローレベルにしなければなりません。TRST 端子は、 $\overline{\text{RESETP}}$ 端子と同様に、パワーオンリセット中はローレベルに、パワーオンリセット解除後はハイレベルに制御してください。
- *2 E10A エミュレータを接続しない場合は、 $\overline{\text{ASEMD0}}$ にハイレベルを入力してご使用ください。詳細については「23.4.2 リセット構成」を参照してください。
- *3 パワーオンリセット時、これらの端子は、プルアップ MOS オフの汎用入力ポートの設定に初期化されます。これらの端子をメモリなどに接続する場合、外部でレベルを固定する必要があります。
- *4 NF (No Function) 端子は、リセット後の初期機能が設定されていません。ピンファンクションコントローラ (PFC) で機能設定をしてください。
- *5 ハードウェアスタンバイモード時、RTC 用電源を含め、すべての電源端子へ給電を行ってください。
- *6 プルアップ MOS が接続されています。
- *7 ピンファンクションコントローラ (PFC) でその他の機能 (H-UDI) を選択した場合は、プルアップ MOS がオンになります。
- *8 未使用端子の処理については、付録の「A. 端子状態と未使用端子の状態」を参照してください。

1.4 端子の機能

各端子の機能を表 1.3 に示します。

表 1.3 SH7705 端子機能

分類	記号	入出力	名称	機能
電源	V _{CC}	—	電源	LSI 内部およびシステム系ポート用の電源です。すべての V _{CC} 端子をシステムの電源に接続してください。開放端子があると動作しません。
	V _{SS}	—	グランド	グランド端子です。すべての V _{SS} 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	V _{CCQ}	—	電源	入出力端子用電源です。すべての V _{CCQ} 端子をシステムの電源に接続してください。開放端子があると動作しません。
	V _{SSQ}	—	グランド	グランド端子です。すべての V _{SSQ} 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
クロック	V _{CC} -PLL1	—	PLL1 用電源	内蔵 PLL1 発振器用の電源端子です。
	V _{SS} -PLL1	—	PLL1 用グランド	内蔵 PLL1 発振器用のグランド端子です。
	V _{CC} -PLL2	—	PLL2 用電源	内蔵 PLL2 発振器用の電源端子です。
	V _{SS} -PLL2	—	PLL2 用グランド	内蔵 PLL2 発振器用のグランド端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	入出力	システムクロック	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD6~MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。 MD2~MD0 はクロックモード設定用 MD3、MD4 はエリア 0 のバス幅モード設定用 MD5 はエンディアン設定用 MD6 は V _{SSQ} に接続してください。
システム 制御	RESETP	入力	パワーオン リセット	この端子がローレベルになると、パワーオンリセット状態になります。
	RESETM	入力	マニュアル リセット	この端子がローレベルになると、マニュアルリセット状態になります。
	STATUS1、 STATUS0	出力	ステータス出力	動作状態を示します。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。

1. 概要

分類	記号	入出力	名称	機能
システム制御	CA	入力	チップアクティブ	通常動作時はハイレベルを、ハードウェアスタンバイ時はローレベルを入力してください。
割り込み	NMI	入力	ノンマスカブル割り込み	ノンマスカブル割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ5~IRQ0	入力	割り込み要求 5~0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がりの選択が可能です。レベル入力の場合、ローレベル、ハイレベルの選択が可能です。
	$\overline{\text{IRL3}}\sim\overline{\text{IRL0}}$	入力	割り込み要求 3~0	マスク可能な割り込み要求端子です。 コード化された割り込みレベルを入力します。
	PINT15~PINT0	入力	割り込み要求 15~0	PINT 割り込み要求端子です。
アドレスバス	A25~A0	出力	アドレスバス	アドレスを出力します。
データバス	D31~D0	入出力	データバス	32ビットの双方向バスです。
バス制御	CS0、CS2~4、CS5A、CS5B、CS6A、CS6B	出力	チップセレクト 0、2~4、5A、5B、6A、6B	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	$\overline{\text{RD}}/\overline{\text{WR}}$	出力	リード/ライト	リード/ライト信号
	$\overline{\text{BS}}$	出力	バス開始	バスサイクル開始
	$\overline{\text{WE3}}$	出力	最上位側書き込み	外部のデータのビット 31~24 に書き込みすることを示します。
	$\overline{\text{WE2}}$	出力	上位側書き込み	外部のデータのビット 23~16 に書き込みすることを示します。
	$\overline{\text{WE1}}$	出力	下位側書き込み	外部のデータのビット 15~8 に書き込みすることを示します。
	$\overline{\text{WE0}}$	出力	最下位側書き込み	外部のデータのビット 7~0 に書き込みすることを示します。
	CKE	出力	CK イネーブル	クロックイネーブル (SDRAM)
	DQMUU	出力	DQ マスク UU	D31~D24 を選択 (SDRAM)
	DQMUL	出力	DQ マスク UL	D23~D16 を選択 (SDRAM)
	DQMLU	出力	DQ マスク LU	D15~D8 を選択 (SDRAM)
	DQMLL	出力	DQ マスク LL	D7~D0 を選択 (SDRAM)
	$\overline{\text{RASU}}$	出力	ローアドレス U	ローアドレスを指定 (SDRAM)
	$\overline{\text{RASL}}$	出力	ローアドレス L	ローアドレスを指定 (SDRAM)
	$\overline{\text{CASU}}$	出力	カラムアドレス U	カラムアドレスを指定 (SDRAM)
	$\overline{\text{CASL}}$	出力	カラムアドレス L	カラムアドレスを指定 (SDRAM)
$\overline{\text{AH}}$	出力	アドレスホールド	アドレスをホールドするための信号です。	

分類	記号	入出力	名称	機能
バス制御	WAIT	入力	ウエイト	外部空間をアクセスするときのバスサイクルにウエイトサイクルを挿入させる入力です。
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DREQ1	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0	出力	DMA 転送 ストローブ	外部からの DMA 転送要求に対し、外部 I/O へのストローブを出力します。
	DACK1	出力	DMA 転送 ストローブ	外部からの DMA 転送要求に対し、外部 I/O へのストローブを出力します。
	TEND0	出力	DMA 転送終了	DMAC チャンネル 0 の転送終了出力
タイマユニット (TMU)	TCLK	入力	クロック入力	外部クロック入力端子/インプットキャプチャ制御入力端子
16 ビット タイマパルス ユニット (TPU)	TO3~TO0	出力	タイマ出力	アウトプットコンペア/PWM 出力端子
FIFO 内蔵 シリアル コミュニケーション インタフェース (SCIF0、2)	TxD0、TxD2	出力	送信データ	送信データ用の端子です。
	RxD0、RxD2	入力	受信データ	受信データ用の端子です。
	SCK0、SCK2	入出力	シリアルクロック	クロック入出力端子です。
	RTS0、RTS2	出力	送信要求	モデムコントロール端子です。
	CTS0、CTS2	入力	送信可	モデムコントロール端子です。
IrDA	IrTX	出力	IrDA TX ポート	IrDA 送信データ出力
	IrRX	入力	IrDA RX ポート	IrDA 受信データ入力
リアルタイム クロック (RTC)	EXTAL2	入力	RTC クロック	RTC 用水晶発振器端子 (32.768kHz) です。
	XTAL2	出力	RTC クロック	RTC 用水晶発振器端子 (32.768kHz) です。
	V _{cc} -RTC	—	RTC 用電源	RTC 用の電源端子です。
	V _{ss} -RTC	—	RTC 用グラウンド	RTC 用のグラウンド端子です。
A/D 変換器 (ADC)	AN3~AN0	入力	アナログ入力端子	アナログ入力端子です。
	AV _{cc}	—	A/D 用アナログ 電源	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はポート用電源 (V _{ccQ}) に接続してください。
	AV _{ss}	—	A/D 用アナログ グラウンド	A/D 変換器のグラウンド端子です。システムの電源 (V _{ss}) に接続してください。
USB	EXTAL_USB	入力	USB クロック	USB 用クロック入力端子 (48MHz 入力)
	XTAL_USB	出力	USB クロック	USB 用クロック端子
	XVDATA	入力	データ入力	差動レシーバからの受信データ入力端子です。
	VBUS	入力	USB 電源検知	USB ケーブル接続モニタ端子です。
	TXDPLS	出力	D+出力	ドライバに対する D+送信出力端子です。
	TXDMNS	出力	D-出力	ドライバに対する D-送信出力端子です。
	DPLS	入力	D+入力	レシーバからのドライバに対する D+信号入力端子です。
	DMNS	入力	D-入力	レシーバからのドライバに対する D-信号入力端子です。
TXENL	出力	出カインエーブル	ドライバに対するアウトプットインエーブル端子です。	

1. 概要

分類	記号	入出力	名称	機能
USB	SUSPND	出力	サスペンド	トランシーバに対するサスペンド状態出力端子です。
	V _{CC} -USB	—	USB 用アナログ電源	USB 用の電源端子です。USB を使用しない場合はポート用電源 (V _{CCQ}) に接続してください。
	V _{SS} -USB	—	USB 用アナロググラウンド	USB 用のグラウンド端子です。システムの電源 (V _{SS}) に接続してください。
	D-	入出力	D-入出力	USB 内蔵トランシーバD-
	D+	入出力	D+入出力	USB 内蔵トランシーバD+
I/O ポート	PTA7~PTA0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTB7~PTB0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTC7~PTC0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTD7~PTD0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTE7~PTE0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTF7~PTF0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTG7~PTG0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTH6~PTH0	入出力	汎用ポート	7 ビットの汎用ポート端子です。
	PTJ7~PTJ0	出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTK7~PTK0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTL3~PTL0	入力	汎用ポート	4 ビットの汎用ポート端子です。
	PTM6、PTM4~PTM0	入出力	汎用ポート	6 ビットの汎用ポート端子です。
	PTN7~PTN0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
SCPT5~SCPT0	入出力	シリアルポート	6 ビットのシリアルポート端子です。	
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。
アドバンスト ユーザデバッグ (AUD)	AUDATA3~AUDATA0	出力	AUD データ	ブランチトレースモード時の分岐先アドレス出力端子
	AUDCK	出力	AUD クロック	ブランチトレースモード時は同期クロック出力端子
	AUDSYNC	出力	AUD 同期信号	ブランチトレースモード時のデータ先頭位置認識信号出力端子
E10A インタフェース	ASEBRKAK	出力	ブレイクモード アクノリッジ	E10A エミュレータがブレイクモードに入ったことを示します。 E10A との接続については、「SH7705 用 E10A エミュレータユーザズマニュアル (仮称)」を参照してください。
	ASEMD0	入力	ASE モード	ASE モードを設定します。

2. CPU

2.1 処理状態と処理モード

2.1.1 処理状態

CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、および低消費電力状態の 4 種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセットの種類には、パワーオンリセットとマニュアルリセットの 2 種類があります。リセットの詳細については、「第 5 章 例外処理」を参照してください。

パワーオンリセットでは、LSI 内部の全モジュールのレジスタや内部状態が初期化されます。マニュアルリセットでは、バーステートコントローラ (BSC) などの一部のモジュールでレジスタの値が保持されます。詳細は、「第 24 章 レジスタ一覧」を参照してください。

CPU の内部状態やレジスタは、パワーオンリセットでもマニュアルリセットでも初期化されます。初期化完了後は、H'A000 0000 に分岐してユーザが作成したリセット処理プログラムに制御が渡され、実行を開始します。

(2) 例外処理状態

一般例外や割り込みの例外処理要因によって、CPU が処理状態の流れを変える過渡的な状態です。プログラムカウンタ (PC) を待避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を待避ステータスレジスタ (SSR) に待避します。ベクタベースレジスタ (VBR) の内容にベクタオフセットを加算したアドレスへ分岐し、ユーザが作成した例外処理プログラムに制御が渡され、実行を開始します。

例外処理状態の詳細については、「第 5 章 例外処理」を参照してください。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し、消費電力が抑えられている状態です。SLEEP 命令で低消費電力状態になります。低消費電力状態の詳細は、「第 11 章 低消費電力モード」を参照してください。

状態間の遷移を図 2.1 に示します。

2. CPU

2.1.2 処理モード

CPUの処理モードには、ユーザモードと特権モードの2つがあります。ステータスレジスタ（SR）の処理モードビット（MD）で処理モードが決定されます。MDビットが0のときユーザモードになり、1のとき特権モードになります。リセット状態や例外処理状態に移移することによりCPUは、特権モードに移移します。CPUが特権モードにあるときは、レジスタやアドレス空間のすべてのリソースをアクセスすることができます。

SRのMDビットに0を書くことで、CPUの処理モードは、ユーザモードになります。CPUがユーザモードにあるときは、SRを含む一部のレジスタやアドレス空間の一部がユーザプログラムからアクセスできなくなり、またシステムを制御する命令が実行できなくなります。この機構により、ユーザプログラムからシステムのリソースを保護することができます。処理モードをユーザモードから特権モードに変更するには、例外処理状態に移移する必要があります。*

【注】 * ユーザモードから特権モードのサービスルーチン呼び出すために、無条件トラップ命令（TRAPA）がサポートされています。ユーザモードから特権モードへ移移する際は、SRおよびプログラムカウンタ（PC）が待避されます。待避されたものを復帰することにより、ユーザモードのプログラムを再開することができます。この例外処理プログラムからの復帰のためにRTE命令がサポートされています。

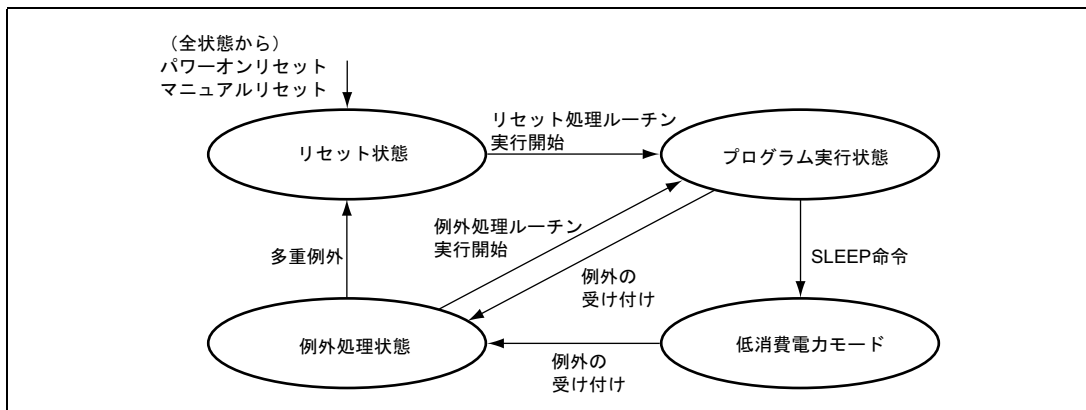


図 2.1 処理の状態遷移図

2.2 メモリマップ

2.2.1 論理アドレス空間

本LSIのCPUは、32ビットの論理アドレスをサポートしており、4Gバイトの論理アドレス空間を用いてシステムのリソースをアクセスします。ユーザのプログラムやデータは、この論理アドレス空間上でアクセスされます。論理アドレス空間は、表 2.1 に示すとおり、いくつかの領域に分けて管理されています。

(1) P0/U0 領域

CPUが特権モードにあるときはP0領域、ユーザモードにあるときはU0領域と呼びます。P0およびU0領域は、キャッシュを用いたアクセスが可能で、アドレス変換が可能な領域として扱われます。

キャッシュが使用可能な場合は、P0 または U0 空間に対するアクセスはキャッシングの対象になります。また、アドレス変換機構が使用可能な場合は、P0 または U0 空間のアドレスを指定するとアドレス変換の対象になり、ユーザの定義した変換情報に従って物理アドレスに変換されます。

CPU の処理モードがユーザモードにある場合は、U0 領域のみがアクセスでき、P1、P2、P3、および P4 領域をアクセスするとアドレスエラーと呼ばれる例外処理状態に遷移します。

(2) P1 領域

P1 領域は、キャッシングの対象になり、アドレス変換の対象とならない特権領域として定義されています。通常、この領域にはオペレーティングシステム (OS) のカーネル、および例外処理のハンドラなど、特権モードで高速に動作するプログラムを配置します。

(3) P2 領域

P2 領域は、キャッシングの対象にならず、アドレス変換の対象とならない特権領域として定義されています。リセット状態から呼び出されるリセット処理プログラムは、P2 領域の先頭 (H'A0000000) から記述します。通常、この領域にはシステムの初期設定ルーチンなど、OS の起動に必要なプログラムを配置します。また、本 LSI の一部の内蔵モジュール制御レジスタをアクセスする場合には、P2 領域にプログラムを配置しておく必要があります。

(4) P3 領域

P3 領域は、キャッシングの対象になり、アドレス変換の対象となる特権領域として定義されています。特権プログラムでアドレス変換が必要な場合は、この領域を利用します。

(5) P4 領域

P4 領域は、制御空間で、キャッシングやアドレス変換の対象にならず、特権モードのみでアクセス可能です。本 LSI の内蔵モジュール制御レジスタの一部は、この空間に配置されています。

表 2.1 論理アドレス空間

アドレス範囲	名称	モード	説明
H'00000000 – H'7FFFFFFF	P0/U0	特権/ユーザ	2G バイト物理空間、キャッシング可能、アドレス変換可能 ユーザモードではこのアドレス空間のみアクセスできます。
H'80000000 – H'9FFFFFFF	P1	特権	0.5G バイト物理空間、キャッシング可能
H'A0000000 – H'BFFFFFFF	P2	特権	0.5G バイト物理空間、キャッシング不可
H'C0000000 – H'DFFFFFFF	P3	特権	0.5G バイト物理空間、キャッシング可能、アドレス変換可能
H'E0000000 – H'FFFFFFF	P4	特権	0.5G バイト制御空間、キャッシング不可

2.2.2 外部メモリ空間

本 LSI では、論理アドレス 32 ビットのうち 29 ビットが外部メモリアccessに使用され、0.5G バイトの外部メモリ空間をアクセスできます。外部メモリ空間は、エリアと呼ばれる領域に分かれて管理されており、各エリアごとに異なった種類のメモリを接続することができます（図 2.2 に論理アドレス空間と外部メモリ空間とのマッピングを示します）。詳細は、「第 7 章 バスステートコントローラ（BSC）」を参照してください。また、外部メモリ空間のエリア 1 は内蔵 I/O 空間として使用され、本 LSI の内蔵モジュール制御レジスタの多くはこの領域にマッピングされています。*1

通常は、論理アドレスの上位 3 ビットがマスクされて外部メモリアドレスになります*2。たとえば、論理アドレスの P0 領域の H'00000100 番地、P1 領域の H'80000100 番地、P2 領域の H'A0000100 番地、および P3 領域の H'C0000100 番地は、すべて同一の外部メモリアドレスであるエリア 0 の H'00000100 番地にマッピングされます。ただし、P4 領域はマッピングの対象にならず、P4 領域をアクセスしても外部メモリ空間へのアクセスとはなりません。

- 【注】 *1 外部メモリ空間のエリア 1 にマッピングされている内蔵モジュール制御レジスタをアクセスする場合には、キャッシングの対象でない論理アドレス（P2 領域）からアクセスしてください。
- *2 アドレス変換機構が使用可能な場合は、ページと呼ばれる単位で任意のマッピングが設定できます。詳細は、「第 3 章 メモリマネジメントユニット（MMU）」を参照してください。

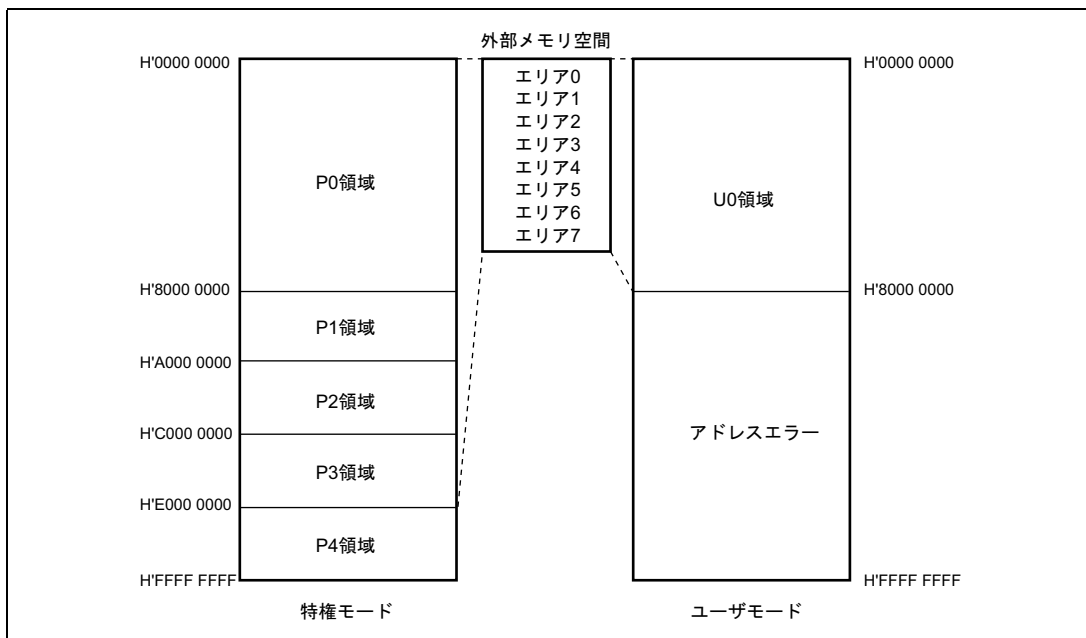


図 2.2 論理アドレス空間と外部メモリ空間とのマッピング

2.3 レジスタの説明

本 LSI の CPU は、32 ビットのレジスタを 33 本保有しています。これは、汎用レジスタ（24 本）、コントロールレジスタ（5 本）、システムレジスタ（3 本）、およびプログラムカウンタ（1 本）に分類されます。

(1) 汎用レジスタ

汎用レジスタには、R0_BANK0~R7_BANK0、R0_BANK1~R7_BANK1、および R8~R15 の 24 本のレジスタがあります。R0 から R7 はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは、処理モードおよびステータスレジスタ（SR）のレジスタバンクビット（RB）により決定されます。

(2) システムレジスタ

システムレジスタには、積和レジスタ（MACH/MACL）、およびプロシージャレジスタ（PR）があり、処理モードによらずアクセスできます。

(3) プログラムカウンタ

プログラムカウンタ（PC）は、現在実行中の命令アドレス+4 の値を保持します。

(4) コントロールレジスタ

コントロールレジスタには、ステータスレジスタ（SR）、グローバルベースレジスタ（GBR）、退避ステータスレジスタ（SSR）、退避プログラムカウンタ（SPC）、およびベクタベースレジスタ（VBR）があります。このうち、GBR だけはユーザモードからでもアクセスできますが、他のコントロールレジスタは特権モードでのみアクセスできます。

リセット後のレジスタの値を表 2.2 に示します。また、処理モード別のレジスタ構成を図 2.3 に示します。

表 2.2 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0~R7_BANK0 R0_BANK1~R7_BANK1 R8~R15	不定
システムレジスタ	MACH、MACL、PR	不定
プログラムカウンタ	PC	H'A0000000
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、I3~I0 は 1111 (H'F)、予約ビットは 0、その他は不定
	GBR、SSR、SPC	不定
	VBR	H'00000000

【注】 * パワーオンリセットおよびマニュアルリセットで初期化されます。

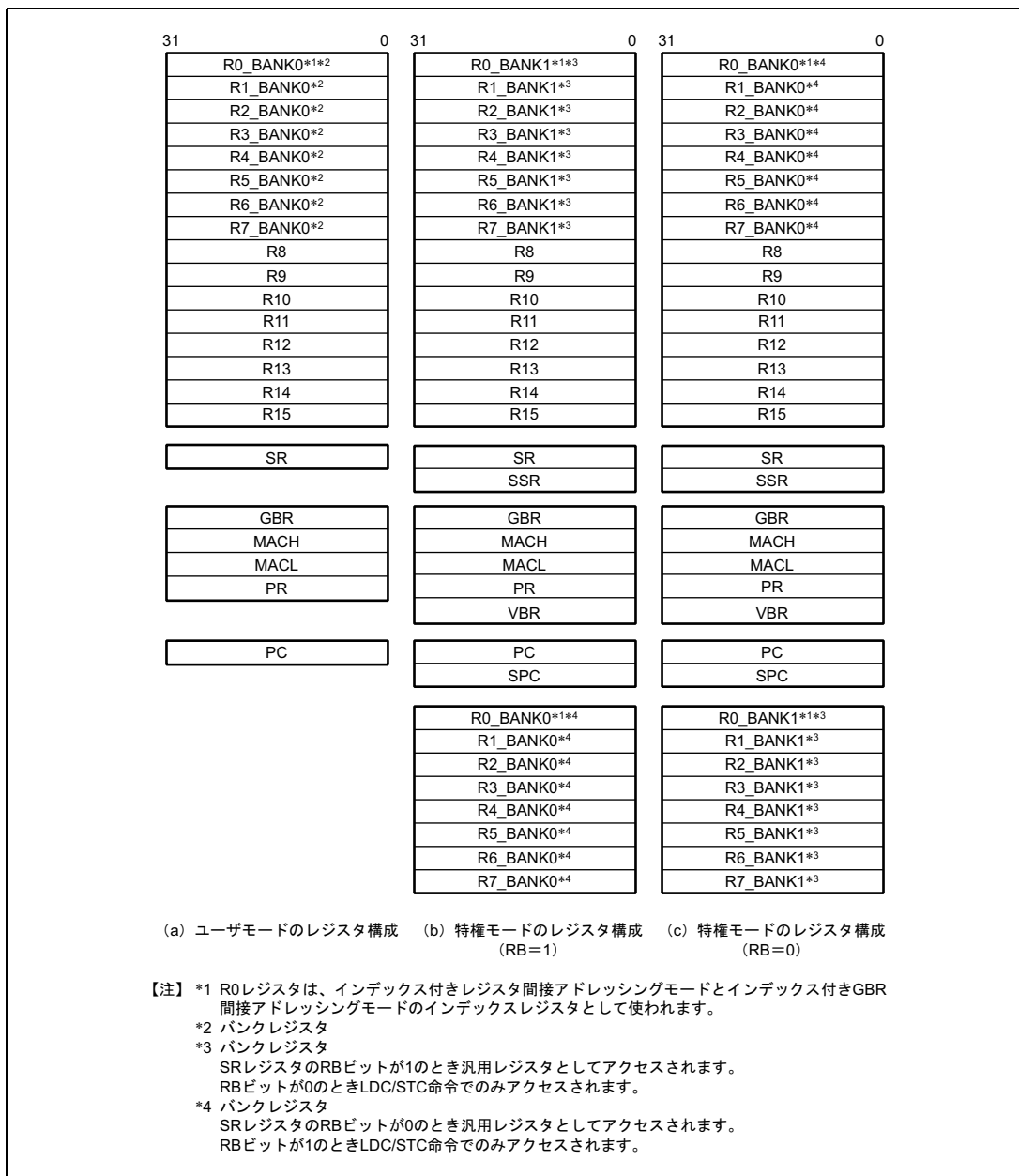


図 2.3 処理モード別のレジスタ構成

2.3.1 汎用レジスタ

汎用レジスタには、R0_BANK0～R7_BANK0、R0_BANK1～R7_BANK1、およびR8～R15の24本のレジスタがあります。R0からR7はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは処理モードおよびステータスレジスタ（SR）のレジスタバンクビット（RB）により決定されます。汎用レジスタとして選択されているバンクはR0～R7という名前でアクセスされ、選択されていないバンクのレジスタはR0_BANK～R7_BANKという名前で、コントロールレジスタのロード命令（LDC）とストア命令（STC）を用いてアクセスします。

ユーザモードの場合は、RBビットの値によらずバンク0が選択されます。R0_BANK0～R7_BANK0とR8～R15の合計16本のレジスタが汎用レジスタR0～R15としてアクセスされます。バンク1のレジスタR0_BANK1～R7_BANK1は、アクセスできません。

例外処理状態に遷移し特権モードになると同時にRBビットに1がセットされ、バンク1が選択されます。この場合は、バンク1のR0_BANK1～R7_BANK1とR8～R15の合計16本のレジスタを汎用レジスタR0からR15としてアクセスすることができます。例外処理状態に遷移することで自動的にバンクが切り替わるため、例外処理ルーチンでR0～R7の値を退避する必要はありません。バンク0のR0_BANK0～R7_BANK0は、LDCまたはSTC命令により、R0_BANK～R7_BANKとしてアクセスします。

特権モードでは、RBビットに0を書くことで、バンク0を汎用レジスタとして使用するよう選択することも可能です。この場合、バンク0のR0_BANK0～R7_BANK0とR8～R15の合計16本のレジスタを汎用レジスタR0からR15としてアクセスすることができます。バンク1のR0_BANK1～R7_BANK1は、LDCまたはSTC命令により、R0_BANK～R7_BANKとしてアクセスします。

汎用レジスタR0～R15はほぼすべての命令で等価な機能のレジスタとして使用されますが、一部の命令では、R0レジスタを暗黙的に使用したり、R0のみがソースレジスタやデスティネーションレジスタになる場合があります。

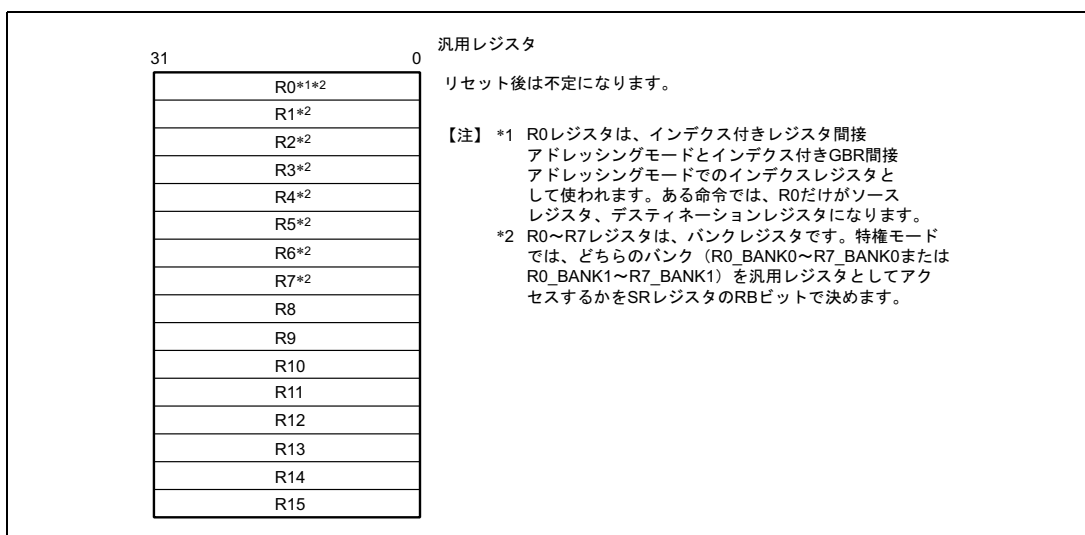


図 2.4 汎用レジスタの構成

2.3.2 システムレジスタ

システムレジスタは、LDS または STS 命令でアクセスできます。システムレジスタには、下記に示す 2 つのレジスタがあります。

(1) 積和レジスタ

積和レジスタには、積和演算命令、および乗算命令の結果を格納します。また、積和演算命令では加算値を格納する場所としても使用されます。リセット状態では不定になります。

積和レジスタは、上位 32 ビットを格納する積和上位レジスタ (MACH) と下位 32 ビットを格納する積和下位レジスタ (MACL) からなっています。

(2) プロシジャーレジスタ

プロシジャーレジスタ (PR) には、BSR、BSRF、および JSR 命令を用いたサブルーチンコールのときの戻りアドレスが格納されます。PR の中の戻りアドレスは、サブルーチンからの復帰命令 (RTS) によってプログラムカウンタ (PC) に復元されます。リセット状態では、不定になります。

2.3.3 プログラムカウンタ

プログラムカウンタ (PC) には、実行中の命令アドレス+4 の値が格納されます。PC の値を直接読み出す命令はありませんが、例外処理状態では待避プログラムカウンタ (SPC) に、サブルーチンコール時にはプロシジャーレジスタ (PR) にその値が待避されます。また、アドレッシングモードとして PC 相対アドレッシングが提供されています。

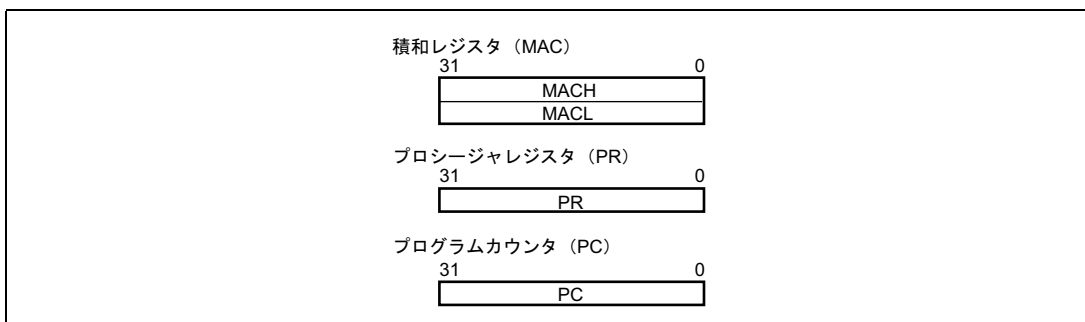


図 2.5 システムレジスタおよびプログラムカウンタの構成

2.3.4 コントロールレジスタ

コントロールレジスタは、特権モードのとき LDC または STC 命令を使ってアクセスできます。ただし、グローバルベースレジスタ (GBR) は、ユーザモードでもアクセスすることができます。コントロールレジスタには、下記に示す 5 つのレジスタがあります。

(1) ステータスレジスタ (SR)

ステータスレジスタには、システムの状態を表す各種情報を格納します。ステータスレジスタは、特権モードでのみアクセスできます。

ビット	ビット名	初期値	R/W	説 明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
30	MD	1	R/W	処理モードビット CPUの処理モードを表します。 0: ユーザモード 1: 特権モード リセット状態および例外処理状態になると1がセットされます。
29	RB	1	R/W	レジスタバンクビット 汎用レジスタ R0~R7 は、バンクレジスタです。 特権モードで使用する汎用レジスタのバンクを指定します。 0: R0_BANK0~R7_BANK0 と R8~R15 が汎用レジスタになり、 R0_BANK1~R7_BANK1 は LDC または STC 命令でアクセスできません。 1: R0_BANK1~R7_BANK1 と R8~R15 が汎用レジスタになり、 R0_BANK0~R7_BANK0 は LDC または STC 命令でアクセスできません。 リセット状態および例外処理状態になると1がセットされます。
28	BL	1	R/W	ブロックビット 0: 例外、割り込みやユーザブ레이크を受け付けます。 1: 例外、割り込みやユーザブ레이크の受け付けを抑制します。 リセット状態および例外処理状態になると1がセットされます。
27~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
9	M	—	R/W	M ビット
8	Q	—	R/W	Q ビット DIV0S、DIV0U、および DIV1 命令で使用します。これらの命令を実行することで、ユーザモードでも値を変更できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
7	I3	1	R/W	割り込みマスクビット
6	I2	1	R/W	割り込み要求マスクレベルを表す4ビットデータです。
5	I1	1	R/W	割り込みが発生しても、割り込み受け付けレベルに変化しません。
4	I0	1	R/W	リセット状態で B'1111 に初期化されますが、例外処理状態になっても値は変化しません。
3	—	0	R	リザーブビット
2	—	0	R	読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

2. CPU

ビット	ビット名	初期値	R/W	説明
1	S	—	R/W	飽和モード 乗算命令および積和命令での飽和モードを指定します。ユーザモードからは、SETS および CLRS 命令を用いることで値を設定できます。 リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
0	T	—	R/W	T ビット 比較演算命令での真または偽条件やキャリまたはポロー付き演算命令でのキャリまたはポローの有無を表します。ユーザモードからは、SETT および CLRT 命令を用いることで値を設定できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。

【注】 M、Q、S、T ビットはユーザモードで専用命令によってセット/クリアが可能です。他のビットは、特権モードで読み出しまたは書き込みが可能です。

(2) 退避ステータスレジスタ (SSR)

このレジスタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、ステータスレジスタ (SR) の値が待避されます。リセット状態での初期値は、不定です。

(3) 退避プログラムカウンタ (SPC)

このカウンタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、プログラムカウンタ (PC) の値が待避されます。リセット状態の初期値は、不定です。

(4) グローバルベースレジスタ (GBR)

GBR 間接アドレッシングのベースレジスタとして参照されます。リセット状態の初期値は、不定です。

(5) ベクタベースレジスタ (VBR)

このレジスタは、特権モードでのみアクセスできます。リセット状態以外から例外処理状態に遷移した場合は、分岐先のベースアドレスとして参照されます。詳細は、「第 5 章 例外処理」を参照してください。リセット状態に遷移することで、H'00000000 に初期化されます。

コントロールレジスタの構成を図 2.6 に示します。

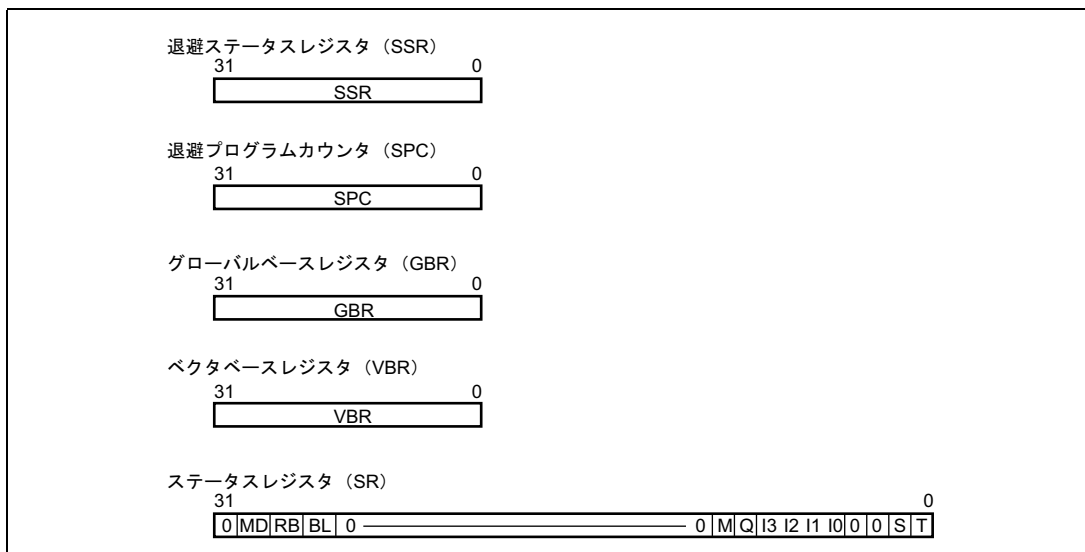
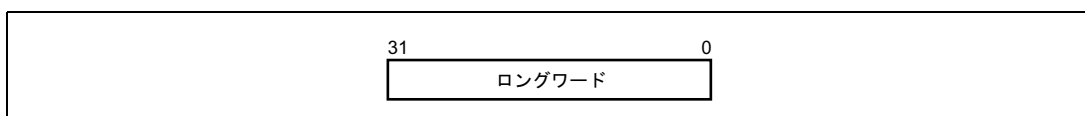


図 2.6 コントロールレジスタの構成

2.4 データ形式

2.4.1 レジスタのデータ形式

レジスタオペランドのデータのサイズは、常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張して、レジスタに格納します。



2.4.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーとなり、例外処理状態に遷移します。バイトオペランドは、どの番地からでもアクセスできます。

ワードオペランドやロングワードオペランドをアクセスする場合、レジスタ上でワード、ロングワードを構成する各バイト位置がメモリ上でどのアドレスに対応するかは、エンディアン方式 (ビッグエンディアン/リトルエンディアンの別) により異なります。

2. CPU

図 2.7 に、ビッグエンディアンの場合の対応を示します。ビッグエンディアンでは、レジスタの最上位バイト側がアドレスの小さい番地に、最下位バイト側がアドレスの大きい番地に对应します。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合は、R0 の最上位バイトが R1 で示されるアドレスにストアされ、R0 の最下位バイトが (R1+3) で示されるアドレスにストアされます。

本 LSI の内蔵デバイスが持つメモリ割り付けレジスタは、ビッグエンディアンとしてアクセスされます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。ビッグエンディアンの場合は、命令コードはメモリ上にワード境界から上位バイト、下位バイトの順番に格納してください。

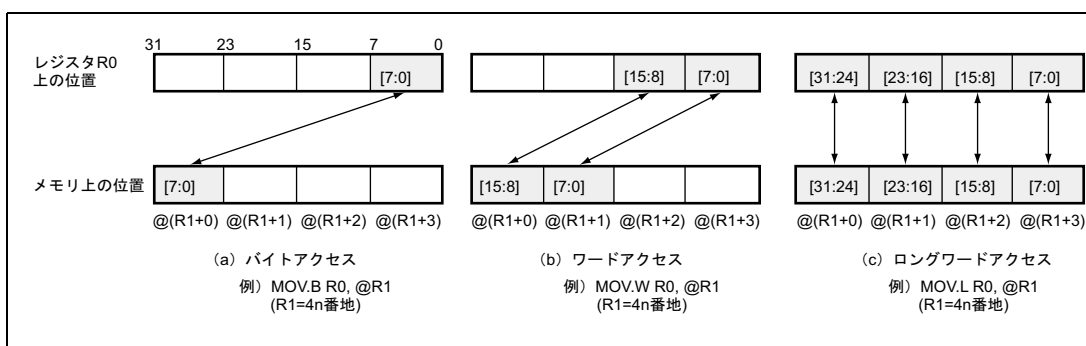


図 2.7 メモリ上のデータ形式（ビッグエンディアン）

データフォーマットとしてリトルエンディアンを選択することも可能です。エンディアン方式は、パワーオンリセット時に外部ピン (MD5 ピン) で設定してください。MD5 ピンがローレベルの場合はビッグエンディアンに、MD5 ピンがハイレベルの場合はリトルエンディアンに設定されます。エンディアン方式は、動的には変更できません。

リトルエンディアンでは、レジスタの最上位バイト側がアドレスの大きい番地に、最下位バイト側がアドレスの小さい番地に对应します (図 2.8)。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合、リトルエンディアンでは R0 の最上位バイトが (R1+3) で示されるアドレスにストアされ、R0 の最下位バイトが R1 で示されるアドレスにストアされます。

エンディアンをリトルエンディアンに設定した場合、メモリ空間に割り付けられたレジスタへのアクセスはビッグエンディアンで行なわれます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。リトルエンディアンの場合は、命令コードはメモリ上にワード境界から下位バイト、上位バイトの順に格納してください。

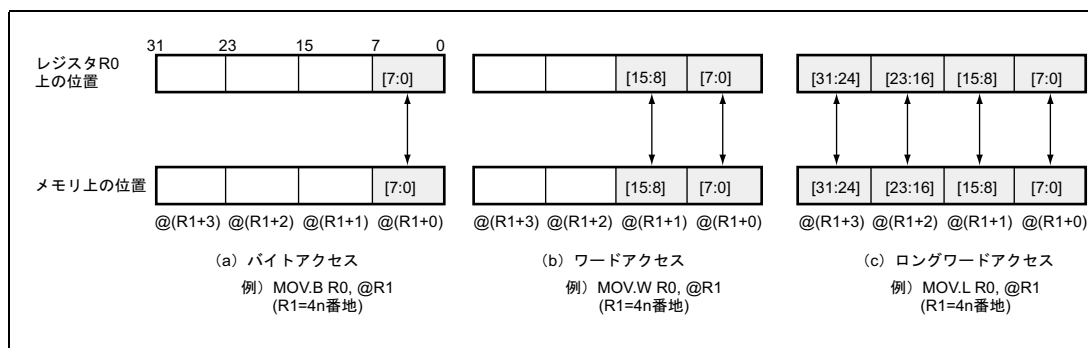


図 2.8 メモリ上のデータ形式 (リトルエンディアン)

2.5 命令の特長

2.5.1 命令の実行方法

(1) 命令長

命令セットは、16ビット固定長命令で逐次パイプラインで実行されます。逐次パイプラインによりほとんどの命令が1サイクルの時間で実行されます。すべてのデータは32ビットのロングワード単位で処理されます。メモリは、8ビットのバイト、16ビットのワード、および32ビットのロングワード単位にアクセスされます。このとき、バイトとワードは、符号拡張されて32ビットのロングワードで処理されます。リテラル定数は、算術演算(MOV、ADDおよびCMP/EQ命令)では符号が拡張され、論理演算(TST、AND、ORおよびXOR命令)ではゼロ拡張されて処理されます。

(2) ロードストアアーキテクチャ

ロードストアアーキテクチャを採用しているため、基本演算はレジスタ間で処理されます。メモリ上のデータを扱うときは、転送命令でレジスタにロードしてから演算命令で実行してください。ただし、論理演算のANDのようなビット操作命令は、実際にメモリ上で処理されます。

(3) 遅延分岐

無条件分岐は、遅延分岐として処理されます。分岐によるパイプラインの乱れを最小にするため遅延分岐命令の次の命令を先に実行してから分岐します。条件付き分岐命令には、遅延分岐命令と通常分岐命令の2通りがあります。

```

BRA          TRGET
ADD          R1, R0          ;TRGET へ分岐する前に ADD 命令が実行されます

```

2. CPU

(4) Tビット

ステータスレジスタ (SR) の T ビットは、比較命令の結果を表すのに使用され、条件分岐が発生するかどうかを決定する真偽状態 (TRUE または FALSE) として読み出されます。処理速度を向上させるため、T ビットは特定の命令でのみ変更されます。T ビットの使い方の例を以下に示します。

ADD	#1,R0	;T ビットは ADD 命令では変更されません
CMP/EQ	#0,R0	;T ビットは R0 が 0 のとき 1 にセットされます
BT	TRGET	;T ビットが 1 (R0=0) のとき TRGET に分岐します

(5) リテラル定数

バイト長のリテラル定数は、イミディエイトデータとして命令コードの中に直接挿入されます。16 ビット固定長の命令コードなので、ワードまたはロングワードのリテラル定数は命令コードの中に直接挿入されず、メインメモリにテーブルの形で格納されます。メモリテーブルは、ディスプレースメント付きの PC 相対アドレッシングを使った MOV 命令でアクセスします。

```
MOV.W      @ (disp,PC) ,R0
```

(6) 絶対アドレス

ワードおよびロングワードリテラル定数と同じように、絶対アドレスもメインメモリにテーブルの形で格納してください。絶対アドレスの値はレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスは、ワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

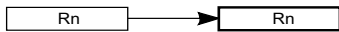
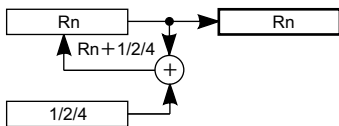
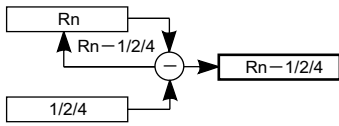
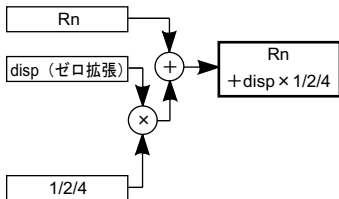
(7) 16 ビットと 32 ビットディスプレースメント

16 ビットおよび 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに格納してください。絶対アドレスと全く同じようにディスプレースメントの値がレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスはワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

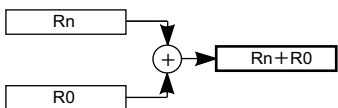
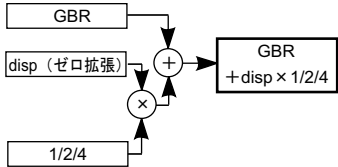
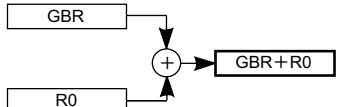
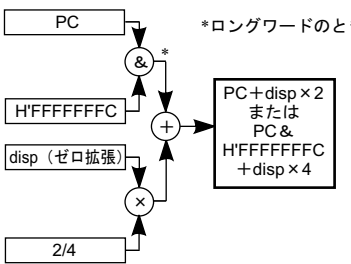
2.5.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.3 に示します。

表 2.3 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn+1→Rn ワード : Rn+2→Rn ロングワード : Rn+4→Rn
プリデクリメントレジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn-1→Rn ワード : Rn-2→Rn ロングワード : Rn-4→Rn (計算後の Rn で命令実行)
ディスプレイースメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn+disp ワード : Rn+disp×2 ロングワード : Rn+disp×4

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 	Rn+R0
ディスプレースメント付き GBR 間接	@ (disp:8, GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : GBR+disp ワード : GBR+disp×2 ロングワード : GBR+disp×4
インデックス付き GBR 間接	@ (R0, GBR)	実効アドレスはレジスタ GBR に R0 を加算した内容です。 	GBR+R0
ディスプレースメント付き PC 相対	@ (disp:8, PC)	実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。 	ワード : PC+disp×2 ロングワード : PC & H'FFFFFFFC+disp×4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を表記しています。これは、LSI の動作を明確にするためです。実際のアセンブラの記述は、各アセンブラの表記ルールをご参考ください。

@ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接

@ (disp:8, Rn) ;ディスプレイメント付き GBR 間接

@ (disp:8, PC) ;ディスプレイメント付き PC 相対

disp : 8, disp :12;PC 相対

2.5.3 命令形式

表 2.4 に命令形式、ソースオペランド、およびデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx :	命令コード
mmmm :	ソースレジスタ
nnnn :	デスティネーションレジスタ
iiii :	イミディエイトデータ
dddd :	ディスプレースメント

表 2.4 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		—	—	NOP
n 形式		—	nnnn: レジスタ直接	MOVT Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメントレ ジスタ間接	STC.L SR,@-Rn
m 形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm: ポストインクリメ ントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm: レジスタ間接	—	JMP @Rm
		mmmm: Rm を用いた PC 相 対	—	BRAF Rm
nm 形式		mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm,Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm,@Rn
		mmmm: ポストインクリメ ントレジスタ間接 (積和演算) nnnn: *ポストインクリメン トレジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメ ントレジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+,Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式		m m m m: レジスタ 直接	n n n n: プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		m m m m: レジスタ 直接	n n n n: インデックス 付きレジスタ間接	MOV.L Rm,@ (R0,Rn)
md 形式		m m m m d d d d: ディスプレイースメン ト付きレジスタ間接	R0 (レジスタ直接)	MOV.B @ (disp,Rm) ,R0
nd4 形式		R0 (レジスタ直接)	n n n n d d d d: ディスプレイースメント付き レジスタ間接	MOV.B R0,@ (disp,Rn)
nmd 形式		m m m m: レジスタ 直接	n n n n d d d d: ディスプレイースメント付き レジスタ間接	MOV.L Rm,@ (disp,Rn)
		m m m m d d d d: ディスプレイースメン ト付きレジスタ間接	n n n n: レジスタ直接	MOV.L @ (disp,Rm) ,Rn
d 形式		d d d d d d d d: ディスプレイースメン ト付き GBR 間接	R0 (レジスタ直接)	MOV.L @ (disp,GBR) ,R0
		R0 (レジスタ直接)	d d d d d d d d: ディスプレイースメント付き GBR 間接	MOV.L R0,@ (disp,GBR)
		d d d d d d d d: ディスプレイースメン ト付き PC 相対	R0 (レジスタ直接)	MOVA @ (disp,PC) ,R0
		d d d d d d d d: PC 相対	—	BF label
d12 形式		d d d d d d d d d d: PC 相対	—	BRA label (label=disp+PC)
nd8 形式		d d d d d d d d: ディスプレイースメン ト付き PC 相対	n n n n: レジスタ直接	MOV.L @ (disp,PC) ,Rn
i 形式		i i i i i i: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@ (R0,GBR)
		i i i i i i: イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		i i i i i i: イミディエイト	—	TRAPA #imm
ni 形式		i i i i i i: イミディエイト	n n n n: レジスタ直接	ADD #imm,Rn

【注】 * 積和命令では、nnnn はソースレジスタです。

2.6 命令セット

2.6.1 機能別命令セット

機能別の命令を表 2.5 に示します。

表 2.5 機能別命令

機能	命令の種類	オペコード	詳細機能	命令数
データ転送命令	5	MOV	データ転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32×32 ビット)	
		MULS	符号付き乗算 (16×16 ビット)	
		MULU	符号なし乗算 (16×16 ビット)	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	

機能	命令の種類	オペコード	詳細機能	命令数
シフト命令	12	ROTCL	Tビット付き1ビット左回転	16
		ROTCR	Tビット付き1ビット右回転	
		ROTL	1ビット左回転	
		ROTR	1ビット右回転	
		SHAD	ダイナミック算術シフト	
		SHAL	1ビット左算術シフト	
		SHAR	1ビット右算術シフト	
		SHLD	ダイナミック論理シフト	
		SHLL	1ビット左論理シフト	
		SHLLn	nビット左論理シフト	
		SHLR	1ビット右論理シフト	
		SHLRn	nビット右論理シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
RTS	サブルーチンプロシージャからの復帰			
システム制御命令	15	CLRMAC	MACレジスタのクリア	75
		CLRS	Sビットのクリア	
		CLRT	Tビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		LDTLB	TLBへのロード	
		NOP	無操作	
		PREF	データキャッシュへのプリフェッチ	
		RTE	例外処理からの復帰	
		SETS	Sビットのセット	
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
TRAPA	トラップ例外処理			
計 68				188

2. CPU

CPU 命令の命令コード、動作、および実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作の概略	特権	実行ステート	T ビット
ニーモニックで表示していません。	MSB←→LSB の順で表示しています。	動作の概略を表示しています。	特権命令を示しています。	ノーウェイトのときの値です。 ^{*1}	命令実行後の、T ビットの値を表示しています。
記号の説明 OP.Sz SRC,DEST OP: オペコード Sz: サイズ SRC: ソース DEST: デスティネーション Rm: ソースレジスタ Rn: デスティネーションレジスタ imm: イミディエイトデータ disp: ディスプレースメント	記号の説明 mmmm: ソースレジスタ nnnn: デスティネーションレジスタ 0000: R0 0001: R1 1111: R15 iiii: イミディエイトデータ dddd: ディスプレースメント ^{*2}	記号の説明 ←,→: 転送方向 (xx): メモリオペランド M/Q/T: SR 内のフラグビット &: ビットごとの論理積 : ビットごとの論理和 ^: ビットごとの排他的論理和 ~: ビットごとの論理否定 <<n: 左 n ビットシフト >>n: 右 n ビットシフト			記号の説明 —変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは、最少値です。実際は、下記の条件により、命令実行ステート数が増加します。

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリーレジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタとが同一の場合

*2 命令のオペランドサイズなどに応じてスケールリング（×1、×2、×4）されます。

表 2.6 データ転送命令

命令	命令コード	動作	特権	実行 ステート	Tビット
MOV #imm,Rn	1110nnnniiiiiiii	imm→符号拡張→Rn	—	1	—
MOV.W @(disp,PC),Rn	1001nnnnddddddd	(disp×2+PC)→符号拡張→Rn	—	1	—
MOV.L @(disp,PC),Rn	1101nnnnddddddd	(disp×4+PC)→Rn	—	1	—
MOV Rm,Rn	0110nnnnmmmm0011	Rm→Rn	—	1	—
MOV.B Rm,@Rn	0010nnnnmmmm0000	Rm→(Rn)	—	1	—
MOV.W Rm,@Rn	0010nnnnmmmm0001	Rm→(Rn)	—	1	—
MOV.L Rm,@Rn	0010nnnnmmmm0010	Rm→(Rn)	—	1	—
MOV.B @Rm,Rn	0110nnnnmmmm0000	(Rm)→符号拡張→Rn	—	1	—
MOV.W @Rm,Rn	0110nnnnmmmm0001	(Rm)→符号拡張→Rn	—	1	—
MOV.L @Rm,Rn	0110nnnnmmmm0010	(Rm)→Rn	—	1	—
MOV.B Rm,@-Rn	0010nnnnmmmm0100	Rn-1→Rn, Rm→(Rn)	—	1	—
MOV.W Rm,@-Rn	0010nnnnmmmm0101	Rn-2→Rn, Rm→(Rn)	—	1	—
MOV.L Rm,@-Rn	0010nnnnmmmm0110	Rn-4→Rn, Rm→(Rn)	—	1	—
MOV.B @Rm+,Rn	0110nnnnmmmm0100	(Rm)→符号拡張→Rn, Rm+1→Rm	—	1	—
MOV.W @Rm+,Rn	0110nnnnmmmm0101	(Rm)→符号拡張→Rn, Rm+2→Rm	—	1	—
MOV.L @Rm+,Rn	0110nnnnmmmm0110	(Rm)→Rn, Rm+4→Rm	—	1	—
MOV.B R0,@(disp,Rn)	10000001nnnnddd	R0→(disp+Rn)	—	1	—
MOV.W R0,@(disp,Rn)	10000001nnnnddd	R0→(disp×2+Rn)	—	1	—
MOV.L Rm,@(disp,Rn)	0001nnnnmmmmddd	Rm→(disp×4+Rn)	—	1	—
MOV.B @(disp,Rm),R0	10000100nnmmddd	(disp+Rm)→符号拡張→R0	—	1	—
MOV.W @(disp,Rm),R0	10000101nnmmddd	(disp×2+Rm)→符号拡張→R0	—	1	—
MOV.L @(disp,Rm),Rn	0101nnnnmmmmddd	(disp×4+Rm)→Rn	—	1	—
MOV.B Rm,@(R0,Rn)	0000nnnnmmmm0100	Rm→(R0+Rn)	—	1	—
MOV.W Rm,@(R0,Rn)	0000nnnnmmmm0101	Rm→(R0+Rn)	—	1	—
MOV.L Rm,@(R0,Rn)	0000nnnnmmmm0110	Rm→(R0+Rn)	—	1	—
MOV.B @(R0,Rm),Rn	0000nnnnmmmm1100	(R0+Rm)→符号拡張→Rn	—	1	—
MOV.W @(R0,Rm),Rn	0000nnnnmmmm1101	(R0+Rm)→符号拡張→Rn	—	1	—
MOV.L @(R0,Rm),Rn	0000nnnnmmmm1110	(R0+Rm)→Rn	—	1	—
MOV.B R0,@(disp,GBR)	11000000ddddddd	R0→(disp+GBR)	—	1	—
MOV.W R0,@(disp,GBR)	11000001ddddddd	R0→(disp×2+GBR)	—	1	—
MOV.L R0,@(disp,GBR)	11000010ddddddd	R0→(disp×4+GBR)	—	1	—
MOV.B @(disp,GBR),R0	11000100ddddddd	(disp+GBR)→符号拡張→R0	—	1	—
MOV.W @(disp,GBR),R0	11000101ddddddd	(disp×2+GBR)→符号拡張→R0	—	1	—
MOV.L @(disp,GBR),R0	11000110ddddddd	(disp×4+GBR)→R0	—	1	—
MOVA @(disp,PC),R0	11000111ddddddd	disp×4+PC→R0	—	1	—

2. CPU

命令	命令コード	動作	特権	実行 ステート	Tビット
MOVT Rn	0000nnnn00101001	T→Rn	—	1	—
SWAP.B Rm,Rn	0110nnnnmmmm1000	Rm→下位2バイトの上下バイト交換→Rn	—	1	—
SWAP.W Rm,Rn	0110nnnnmmmm1001	Rm→上下ワード交換→Rn	—	1	—
XTRCT Rm,Rn	0010nnnnmmmm1101	RmとRnの中央32ビット→Rn	—	1	—

表 2.7 算術演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ADD Rm,Rn	0011nnnnmmmm1100	Rn+Rm→Rn	—	1	—
ADD #imm,Rn	0111nnnniiiiiiii	Rn+imm→Rn	—	1	—
ADDC Rm,Rn	0011nnnnmmmm1110	Rn+Rm+T→Rn, キャリ→T	—	1	キャリ
ADDV Rm,Rn	0011nnnnmmmm1111	Rn+Rm→Rn, オーバフロー→T	—	1	オーバフロー
CMP/EQ #imm,R0	10001000iiiiiiii	R0=immのとき 1→T	—	1	比較結果
CMP/EQ Rm,Rn	0011nnnnmmmm0000	Rn=Rmのとき 1→T	—	1	比較結果
CMP/HS Rm,Rn	0011nnnnmmmm0010	無符号で Rn≥Rmのとき 1→T	—	1	比較結果
CMP/GE Rm,Rn	0011nnnnmmmm0011	有符号で Rn≥Rmのとき 1→T	—	1	比較結果
CMP/HI Rm,Rn	0011nnnnmmmm0110	無符号で Rn>Rmのとき 1→T	—	1	比較結果
CMP/GT Rm,Rn	0011nnnnmmmm0111	有符号で Rn>Rmのとき 1→T	—	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn>0のとき 1→T	—	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn≥0のとき 1→T	—	1	比較結果
CMP/STR Rm,Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1→T	—	1	比較結果
DIV1 Rm,Rn	0011nnnnmmmm0100	1ステップ除算 (Rn÷Rm)	—	1	計算結果
DIV0S Rm,Rn	0010nnnnmmmm0111	RnのMSB→Q, RmのMSB→M, M^Q→T	—	1	計算結果
DIV0U	0000000000011001	0→M/Q/T	—	1	0
DMULS.L Rm,Rn	0011nnnnmmmm1101	符号付きで Rn×Rm→MACH, MACL 32×32→64ビット	—	2 (~5) *	—
DMULU.L Rm,Rn	0011nnnnmmmm0101	符号なしで Rn×Rm→MACH, MACL 32×32→64ビット	—	2 (~5) *	—
DT Rn	0100nnnn00010000	Rn-1→Rn, Rnが0のとき 1→T Rnが 0以外のとき 0→T	—	1	比較結果
EXTS.B Rm,Rn	0110nnnnmmmm1110	Rmをバイトから符号拡張→Rn	—	1	—
EXTS.W Rm,Rn	0110nnnnmmmm1111	Rmをワードから符号拡張→Rn	—	1	—
EXTU.B Rm,Rn	0110nnnnmmmm1100	Rmをバイトからゼロ拡張→Rn	—	1	—
EXTU.W Rm,Rn	0110nnnnmmmm1101	Rmをワードからゼロ拡張→Rn	—	1	—
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) +MAC→MAC, Rn+4→Rn, Rm+4→Rm32×32+64→ 64ビット	—	2 (~5) *	—

命令	命令コード	動作	特権	実行 ステート	Tビット	
MAC.W	@Rm+, @Rn+	0100nnnnmmmm1111	符号付きで $(Rn) \times (Rm) + MAC \rightarrow MAC$, $Rn+2 \rightarrow Rn, Rm+2 \rightarrow Rm, 16 \times 16+64 \rightarrow$ 64 ビット	—	2 (~5) *	—
MUL.L	Rm,Rn	0000nnnnmmmm0111	$Rn \times Rm \rightarrow MACL, 32 \times 32 \rightarrow 32$ ビット	—	2 (~5) *	—
MULS.W	Rm,Rn	0010nnnnmmmm1111	符号付きで $Rn \times Rm \rightarrow MACL, 16 \times 16 \rightarrow$ 32 ビット	—	1 (~3) *	—
MULU.W	Rm,Rn	0010nnnnmmmm1110	符号なしで $Rn \times Rm \rightarrow MACL, 16 \times 16 \rightarrow$ 32 ビット	—	1 (~3) *	—
NEG	Rm,Rn	0110nnnnmmmm1011	$0-Rm \rightarrow Rn$	—	1	—
NEGC	Rm,Rn	0110nnnnmmmm1010	$0-Rm-T \rightarrow Rn, \text{ポロー} \rightarrow T$	—	1	ポロー
SUB	Rm,Rn	0011nnnnmmmm1000	$Rn-Rm \rightarrow Rn$	—	1	—
SUBC	Rm,Rn	0011nnnnmmmm1010	$Rn-Rm-T \rightarrow Rn, \text{ポロー} \rightarrow T$	—	1	ポロー
SUBV	Rm,Rn	0011nnnnmmmm1011	$Rn-Rm \rightarrow Rn, \text{アンドフロー} \rightarrow T$	—	1	アンドフロー

【注】 * 命令の直後に MACH/MACL レジスタから演算結果を読み出すときは、() 内に示されたステート数が必要です。

表 2.8 論理演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット	
AND	Rm,Rn	0010nnnnmmmm1001	$Rn \& Rm \rightarrow Rn$	—	1	—
AND	#imm,R0	11001001iiiiiiii	$R0 \& imm \rightarrow R0$	—	1	—
AND.B	#imm,@ (R0,GBR)	11001101iiiiiiii	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	—	3	—
NOT	Rm,Rn	0110nnnnmmmm0111	$\sim Rm \rightarrow Rn$	—	1	—
OR	Rm,Rn	0010nnnnmmmm1011	$Rn Rm \rightarrow Rn$	—	1	—
OR	#imm,R0	11001011iiiiiiii	$R0 imm \rightarrow R0$	—	1	—
OR.B	#imm,@ (R0,GBR)	11001111iiiiiiii	$(R0+GBR) imm \rightarrow (R0+GBR)$	—	3	—
TAS.B	@Rn	0100nnnn00011011	(Rn) が 0 のとき $1 \rightarrow T, 1 \rightarrow \text{MSB of } (Rn)$	—	4	テスト結果
TST	Rm,Rn	0010nnnnmmmm1000	$Rn \& Rm$, 結果が 0 のとき $1 \rightarrow T$	—	1	テスト結果
TST	#imm,R0	11001000iiiiiiii	$R0 \& imm$, 結果が 0 のとき $1 \rightarrow T$	—	1	テスト結果
TST.B	#imm,@ (R0,GBR)	11001100iiiiiiii	$(R0+GBR) \& imm$, 結果が 0 のとき $1 \rightarrow T$	—	3	テスト結果
XOR	Rm,Rn	0010nnnnmmmm1010	$Rn \wedge Rm \rightarrow Rn$	—	1	—
XOR	#imm,R0	11001010iiiiiiii	$R0 \wedge imm \rightarrow R0$	—	1	—
XOR.B	#imm,@ (R0,GBR)	11001110iiiiiiii	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	—	3	—

2. CPU

表 2.9 シフト命令

命令	命令コード	動作	特権	実行 ステート	Tビット	
ROTL	Rn	0100nnnn00000100	T←Rn←MSB	—	1	MSB
ROTR	Rn	0100nnnn00000101	LSB→Rn→T	—	1	LSB
ROTCL	Rn	0100nnnn00100100	T←Rn←T	—	1	MSB
ROTCR	Rn	0100nnnn00100101	T→Rn→T	—	1	LSB
SHAD	Rm, Rn	0100nnnnmmmm1100	Rm≥0のとき、Rn<<Rm→Rn Rm<0のとき、Rn>>Rm→ [MSB←Rn]	—	1	—
SHAL	Rn	0100nnnn00100000	T←Rn←0	—	1	MSB
SHAR	Rn	0100nnnn00100001	MSB→Rn→T	—	1	LSB
SHLD	Rm, Rn	0100nnnnmmmm1101	Rm≥0のとき、Rn<<Rm→Rn Rm<0のとき、Rn>>Rm→ [0→Rn]	—	1	—
SHLL	Rn	0100nnnn00000000	T←Rn←0	—	1	MSB
SHLR	Rn	0100nnnn00000001	0→Rn→T	—	1	LSB
SHLL2	Rn	0100nnnn00001000	Rn<<2 → Rn	—	1	—
SHLR2	Rn	0100nnnn00001001	Rn>>2 → Rn	—	1	—
SHLL8	Rn	0100nnnn00011000	Rn<<8 → Rn	—	1	—
SHLR8	Rn	0100nnnn00011001	Rn>>8 → Rn	—	1	—
SHLL16	Rn	0100nnnn00101000	Rn<<16 → Rn	—	1	—
SHLR16	Rn	0100nnnn00101001	Rn>>16 → Rn	—	1	—

表 2.10 分岐命令

命令	命令コード	動作	特権	実行 ステート	Tビット	
BF	disp	10001011dddddddd	T=0のとき disp×2+PC へ分岐 T=1のとき nop	—	3/1*	—
BF/S	disp	10001111dddddddd	遅延分岐、T=0のとき disp×2+PC へ分岐 T=1のとき nop	—	2/1*	—
BT	disp	10001001dddddddd	T=1のとき disp×2+PC へ分岐 T=0のとき nop	—	3/1*	—
BT/S	disp	10001101dddddddd	遅延分岐、T=1のとき disp×2+PC へ分岐 T=0のとき nop	—	2/1*	—
BRA	disp	1010dddddddddddd	遅延分岐、disp×2+PC へ分岐	—	2	—
BRAF	Rm	0000mmmm00100011	遅延分岐、Rm+PC へ分岐	—	2	—
BSR	disp	1011dddddddddddd	遅延分岐、遅延スロット命令の次命令のアドレス→PR, disp×2+PC へ分岐	—	2	—
BSRF	Rm	0000mmmm00000011	遅延分岐、遅延スロット命令の次命令のアドレス→PR, Rm+PC へ分岐	—	2	—
JMP	@Rm	0100mmmm00101011	遅延分岐、Rm へ分岐	—	2	—

命令	命令コード	動作	特権	実行 ステート	Tビット
JSR @Rm	0100mmmm00001011	遅延分岐、遅延スロット命令の次命令のアドレス→PR, Rmへ分岐	—	2	—
RTS	0000000000001011	遅延分岐、PRへ分岐	—	2	—

【注】 * 分岐しないときは、1ステートになります。

表 2.11 システム制御命令

命令	命令コード	動作	特権	実行 ステート	Tビット
CLRMAC	0000000000101000	0→MACH,MACL	—	1	—
CLRS	0000000001001000	0→S	—	1	—
CLRT	0000000000001000	0→T	—	1	0
LDC Rm,SR	0100mmmm00001110	Rm→SR	特権	6	LSB
LDC Rm,GBR	0100mmmm00011110	Rm→GBR	—	4	—
LDC Rm,VBR	0100mmmm00101110	Rm→VBR	特権	4	—
LDC Rm,SSR	0100mmmm00111110	Rm→SSR	特権	4	—
LDC Rm,SPC	0100mmmm01001110	Rm→SPC	特権	4	—
LDC Rm,R0_BANK	0100mmmm10001110	Rm→R0_BANK	特権	4	—
LDC Rm,R1_BANK	0100mmmm10011110	Rm→R1_BANK	特権	4	—
LDC Rm,R2_BANK	0100mmmm10101110	Rm→R2_BANK	特権	4	—
LDC Rm,R3_BANK	0100mmmm10111110	Rm→R3_BANK	特権	4	—
LDC Rm,R4_BANK	0100mmmm11001110	Rm→R4_BANK	特権	4	—
LDC Rm,R5_BANK	0100mmmm11011110	Rm→R5_BANK	特権	4	—
LDC Rm,R6_BANK	0100mmmm11101110	Rm→R6_BANK	特権	4	—
LDC Rm,R7_BANK	0100mmmm11111110	Rm→R7_BANK	特権	4	—
LDC.L @Rm+,SR	0100mmmm00000111	(Rm) →SR, Rm+4→Rm	特権	8	LSB
LDC.L @Rm+,GBR	0100mmmm00010111	(Rm) →GBR, Rm+4→Rm	—	4	—
LDC.L @Rm+,VBR	0100mmmm00100111	(Rm) →VBR, Rm+4→Rm	特権	4	—
LDC.L @Rm+,SSR	0100mmmm00110111	(Rm) →SSR, Rm+4→Rm	特権	4	—
LDC.L @Rm+,SPC	0100mmmm01000111	(Rm) →SPC, Rm+4→Rm	特権	4	—
LDC.L @Rm+,R0_BANK	0100mmmm10000111	(Rm) →R0_BANK, Rm+4→Rm	特権	4	—
LDC.L @Rm+,R1_BANK	0100mmmm10010111	(Rm) →R1_BANK, Rm+4→Rm	特権	4	—
LDC.L @Rm+,R2_BANK	0100mmmm10100111	(Rm) →R2_BANK, Rm+4→Rm	特権	4	—
LDC.L @Rm+,R3_BANK	0100mmmm10110111	(Rm) →R3_BANK, Rm+4→Rm	特権	4	—

2. CPU

命令	命令コード	動作	特権	実行 ステート	Tビット	
LDC.L	@Rm+,R4_BANK	0100mmmm11000111	(Rm) →R4_BANK, Rm+4→Rm	特権	4	—
LDC.L	@Rm+,R5_BANK	0100mmmm11010111	(Rm) →R5_BANK, Rm+4→Rm	特権	4	—
LDC.L	@Rm+,R6_BANK	0100mmmm11100111	(Rm) →R6_BANK, Rm+4→Rm	特権	4	—
LDC.L	@Rm+,R7_BANK	0100mmmm11110111	(Rm) →R7_BANK, Rm+4→Rm	特権	4	—
LDS	Rm,MACH	0100mmmm00001010	Rm→MACH	—	1	—
LDS	Rm,MACL	0100mmmm00011010	Rm→MACL	—	1	—
LDS	Rm,PR	0100mmmm00101010	Rm→PR	—	1	—
LDS.L	@Rm+,MACH	0100mmmm00000110	(Rm) →MACH, Rm+4→Rm	—	1	—
LDS.L	@Rm+,MACL	0100mmmm00010110	(Rm) →MACL, Rm+4→Rm	—	1	—
LDS.L	@Rm+,PR	0100mmmm00100110	(Rm) →PR, Rm+4→Rm	—	1	—
LDTLB		0000000000111000	PTEH/PTEL→TLB	特権	1	—
NOP		000000000001001	無操作	—	1	—
PREF	@Rm	0000mmmm10000011	(Rm) →キャッシュ	—	1	—
RTE		000000000101011	遅延分岐、SSR→SR、SPCへ分岐	特権	5	—
SETS		0000000001011000	1→S	—	1	—
SETT		0000000000011000	1→T	—	1	1
SLEEP		0000000000011011	スリープ	特権	4*1	—
STC	SR,Rn	0000nnnn00000010	SR→Rn	特権	1	—
STC	GBR,Rn	0000nnnn00010010	GBR→Rn	—	1	—
STC	VBR,Rn	0000nnnn00100010	VBR→Rn	特権	1	—
STC	SSR, Rn	0000nnnn00110010	SSR→Rn	特権	1	—
STC	SPC,Rn	0000nnnn01000010	SPC→Rn	特権	1	—
STC	R0_BANK,Rn	0000nnnn10000010	R0_BANK→Rn	特権	1	—
STC	R1_BANK,Rn	0000nnnn10010010	R1_BANK→Rn	特権	1	—
STC	R2_BANK,Rn	0000nnnn10100010	R2_BANK→Rn	特権	1	—
STC	R3_BANK,Rn	0000nnnn10110010	R3_BANK→Rn	特権	1	—
STC	R4_BANK,Rn	0000nnnn11000010	R4_BANK→Rn	特権	1	—
STC	R5_BANK,Rn	0000nnnn11010010	R5_BANK→Rn	特権	1	—
STC	R6_BANK,Rn	0000nnnn11100010	R6_BANK→Rn	特権	1	—
STC	R7_BANK,Rn	0000nnnn11110010	R7_BANK→Rn	特権	1	—
STC.L	SR,@-Rn	0100nnnn00000011	Rn-4→Rn, SR→(Rn)	特権	1	—
STC.L	GBR,@-Rn	0100nnnn00010011	Rn-4→Rn, GBR→(Rn)	—	1	—
STC.L	VBR,@-Rn	0100nnnn00100011	Rn-4→Rn, VBR→(Rn)	特権	1	—

命令	命令コード	動作	特権	実行 ステート	Tビット
STC.L	SSR,@-Rn	Rn-4→Rn, SSR→(Rn)	特権	1	—
STC.L	SPC,@-Rn	Rn-4→Rn, SPC→(Rn)	特権	1	—
STC.L	R0_BANK,@-Rn	Rn-4→Rn, R0_BANK→(Rn)	特権	1	—
STC.L	R1_BANK,@-Rn	Rn-4→Rn, R1_BANK→(Rn)	特権	1	—
STC.L	R2_BANK,@-Rn	Rn-4→Rn, R2_BANK→(Rn)	特権	1	—
STC.L	R3_BANK,@-Rn	Rn-4→Rn, R3_BANK→(Rn)	特権	1	—
STC.L	R4_BANK,@-Rn	Rn-4→Rn, R4_BANK→(Rn)	特権	1	—
STC.L	R5_BANK,@-Rn	Rn-4→Rn, R5_BANK→(Rn)	特権	1	—
STC.L	R6_BANK,@-Rn	Rn-4→Rn, R6_BANK→(Rn)	特権	1	—
STC.L	R7_BANK,@-Rn	Rn-4→Rn, R7_BANK→(Rn)	特権	1	—
STS	MACH,Rn	MACH→Rn	—	1	—
STS	MACL,Rn	MACL→Rn	—	1	—
STS	PR,Rn	PR→Rn	—	1	—
STS.L	MACH,@-Rn	Rn-4→Rn, MACH→(Rn)	—	1	—
STS.L	MACL,@-Rn	Rn-4→Rn, MACL→(Rn)	—	1	—
STS.L	PR,@-Rn	Rn-4→Rn, PR→(Rn)	—	1	—
TRAPA	#imm	11000011iiiiiiii	無条件トラップ例外発生*2	8	—

【注】 *1 スリープ状態に移移するまでの最小ステート数です。

*2 「第5章 例外処理」を参照してください。

【表全体の注意事項】

1. 命令の実行ステートについて

表に示した実行ステートは、最少値です。実際は、下記の条件により、命令実行ステート数が増加します。

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタとが同一の場合

2. 下記のディスプレイメント（disp）を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケールリング（×1、×2、×4）を行う前の値を表記しています。これは、LSIの動作を明確にするためです。実際のアセンブラの記述は、各アセンブラの表記ルールをご参考ください。

@（disp:4, Rn）；ディスプレイメント付きレジスタ間接

@（disp:8, Rn）；ディスプレイメント付きGBR間接

@（disp:8, PC）；ディスプレイメント付きPC相対

disp : 8, disp : 12 ; PC相対

2. CPU

2.6.2 オペレーションコードマップ

オペレーションコードマップを表 2.12 に示します。

表 2.12 オペレーションコードマップ

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011~1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	00MD	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	STC SSR, Rn
0000	Rn	01MD	0010	STC SPC, Rn			
0000	Rn	10MD	0010	STC R0_BANK, Rn	STC R1_BANK, Rn	STC R2_BANK, Rn	STC R3_BANK, Rn
0000	Rn	11MD	0010	STC R4_BANK, Rn	STC R5_BANK, Rn	STC R6_BANK, Rn	STC R7_BANK, Rn
0000	Rm	00MD	0011	BSRF Rm		BRAF Rm	
0000	Rm	10MD	0011	PREF @Rm			
0000	Rn	Rm	01MD	MOV.B Rm, @ (R0, Rn)	MOV.W Rm, @ (R0, Rn)	MOV.L Rm, @ (R0, Rn)	MUL.L Rm, Rn
0000	0000	00MD	1000	CLRT	SETT	CLRMAC	LDTLB
0000	0000	01MD	1000	CLRS	SETS		
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	Fx	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV.B @ (R0, Rm) , Rn	MOV.W @ (R0, Rm) , Rn	MOV.L @ (R0, Rm) , Rn	MAC.L @Rm+, @Rn+
0001	Rn	Rm	disp	MOV.L Rm, @ (disp:4, Rn)			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @—Rn	MOV.W Rm, @—Rn	MOV.L Rm, @—Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRCT Rm, Rn	MULU.W Rm, Rn	MULSW Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn	DMULU.L Rm, Rn	CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn
0011	Rn	Rm	11MD	ADD Rm, Rn	DMULS.L Rm, Rn	ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn	DT Rn	SHAL Rn	
0100	Rn	Fx	0001	SHLR Rn	CMP/PZ Rn	SHAR Rn	
0100	Rn	Fx	0010	STS.L MACH, @—Rn	STS.L MACL, @—Rn	STS.L PR, @—Rn	

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011~1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0100	Rn	00MD	0011	STC.L SR, @—Rn	STC.L GBR, @—Rn	STC.L VBR, @—Rn	STC.L SSR, @—Rn
0100	Rn	01MD	0011	STC.L SPC, @—Rn			
0100	Rn	10MD	0011	STC.L R0_BANK, @—Rn	STC.L R1_BANK, @—Rn	STC.L R2_BANK, @—Rn	STC.L R3_BANK, @—Rn
0100	Rn	11MD	0011	STC.L R4_BANK, @—Rn	STC.L R5_BANK, @—Rn	STC.L R6_BANK, @—Rn	STC.L R7_BANK, @—Rn
0100	Rn	Fx	0100	ROTL Rn		ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PL Rn	ROTCR Rn	
0100	Rm	Fx	0110	LDS.L @Rm+, MACH	LDS.L @Rm+, MACL	LDS.L @Rm+, PR	
0100	Rm	00MD	0111	LDC.L @Rm+, SR	LDC.L @Rm+, GBR	LDC.L @Rm+, VBR	LDC.L @Rm+, SSR
0100	Rm	01MD	0111	LDC.L @Rm+, SPC			
0100	Rm	10MD	0111	LDC.L @Rm+, R0_BANK	LDC.L @Rm+, R1_BANK	LDC.L @Rm+, R2_BANK	LDC.L @Rm+, R3_BANK
0100	Rm	11MD	0111	LDC.L @Rm+, R4_BANK	LDC.L @Rm+, R5_BANK	LDC.L @Rm+, R6_BANK	LDC.L @Rm+, R7_BANK
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	Fx	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm/ Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rn	Rm	1100	SHAD Rm, Rn			
0100	Rn	Rm	1101	SHLD Rm, Rn			
0100	Rm	00MD	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	LDC Rm, SSR
0100	Rm	01MD	1110	LDC Rm, SPC			
0100	Rm	10MD	1110	LDC Rm, R0_BANK	LDC Rm, R1_BANK	LDC Rm, R2_BANK	LDC Rm, R3_BANK
0100	Rm	11MD	1110	LDC Rm, R4_BANK	LDC Rm, R5_BANK	LDC Rm, R6_BANK	LDC Rm, R7_BANK
0100	Rn	Rm	1111	MAC.W @Rm+, @Rn+			
0101	Rn	Rm	disp	MOV.L @ (disp:4, Rm) , Rn			
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm+, Rn	MOV.W @Rm+, Rn	MOV.L @Rm+, Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, Rn
0111	Rn	imm		ADD #imm : 8, Rn			

2. CPU

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011~1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
1000	00MD	Rn	disp	MOV.B R0, @ (disp: 4, Rn)	MOV.W R0, @ (disp: 4, Rn)		
1000	01MD	Rm	disp	MOV.B @ (disp:4, Rm) , R0	MOV.W @ (disp: 4, Rm) , R0		
1000	10MD	imm/disp		CMP/EQ #imm:8, R0	BT disp: 8		BF disp: 8
1000	11MD	imm/disp			BT/S disp: 8		BF/S disp: 8
1001	Rn	disp		MOV.W @ (disp : 8, PC) , Rn			
1010			disp	BRA disp: 12			
1011			disp	BSR disp: 12			
1100	00MD	imm/disp		MOV.B R0, @ (disp: 8, GBR)	MOV.W R0, @ (disp: 8, GBR)	MOV.L R0, @ (disp: 8, GBR)	TRAPA #imm: 8
1100	01MD	disp		MOV.B @ (disp: 8, GBR) , R0	MOV.W @ (disp: 8, GBR) , R0	MOV.L @ (disp: 8, GBR) , R0	MOVA @ (disp: 8, PC) , R0
1100	10MD	imm		TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm		TST.B #imm: 8, @ (R0, GBR)	AND.B #imm: 8, @ (R0, GBR)	XOR.B #imm: 8, @ (R0, GBR)	OR.B #imm: 8, @ (R0, GBR)
1101	Rn	disp		MOV.L @ (disp: 8, PC) , Rn			
1110	Rn	imm		MOV #imm:8, Rn			
1111	*****						

【注】 なお、詳細は「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」を参照してください。

3. メモリマネジメントユニット (MMU)

本 LSI は、メモリマネジメントユニット (MMU) を内蔵しており、仮想記憶方式をサポートしています。内蔵しているアドレス変換バッファ (TLB) は、外部メモリに配置されたユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、論理アドレスから物理アドレスへの変換を高速で実行します。アドレス変換は、ページング方式により 2 種類 (1k または 4k バイト) のページサイズをサポートしています。また、特権モードおよびユーザモードのそれぞれにおいて、論理アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

3.1 MMU の役割

MMU とは、物理メモリを有効に利用するために考え出された機能です。図 3.1 に示すように、プロセスのサイズが物理メモリより少ない場合は、プロセスのすべてを物理メモリへマッピングすることが可能です。しかし、プロセスのサイズが増大し物理メモリに収まらない場合は、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 3.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために、物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 3.1 (2))。仮想記憶方式では、物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスは、この仮想メモリにマッピングされます。このため、プロセスは仮想メモリ上での動作だけを考えていれば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ替えを行います。物理メモリの入れ替えは、2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 3.1 (3))。TSS 上で走行する複数のプロセスが各々物理メモリへのマッピングを意識しながら動作していたのでは、効率が上がりません。この効率を上げ各プロセスの負担を減らすために、仮想記憶方式は使われます (図 3.1 (4))。この仮想記憶方式では、プロセスごとに仮想メモリが割り当てられます。MMU は、複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

3. メモリマネジメントユニット (MMU)

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき、MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能は、ソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのため、ハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB は、アドレス変換情報のためのキャッシュと言えます。しかし、キャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ替えは、通常ソフトウェアで行います。このため、ソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では、固定サイズのページと呼ばれるアドレス空間 (通常 1k~64k バイト) が変換の単位となります。

以下、本 LSI では、仮想メモリ上のアドレス空間のことを論理アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

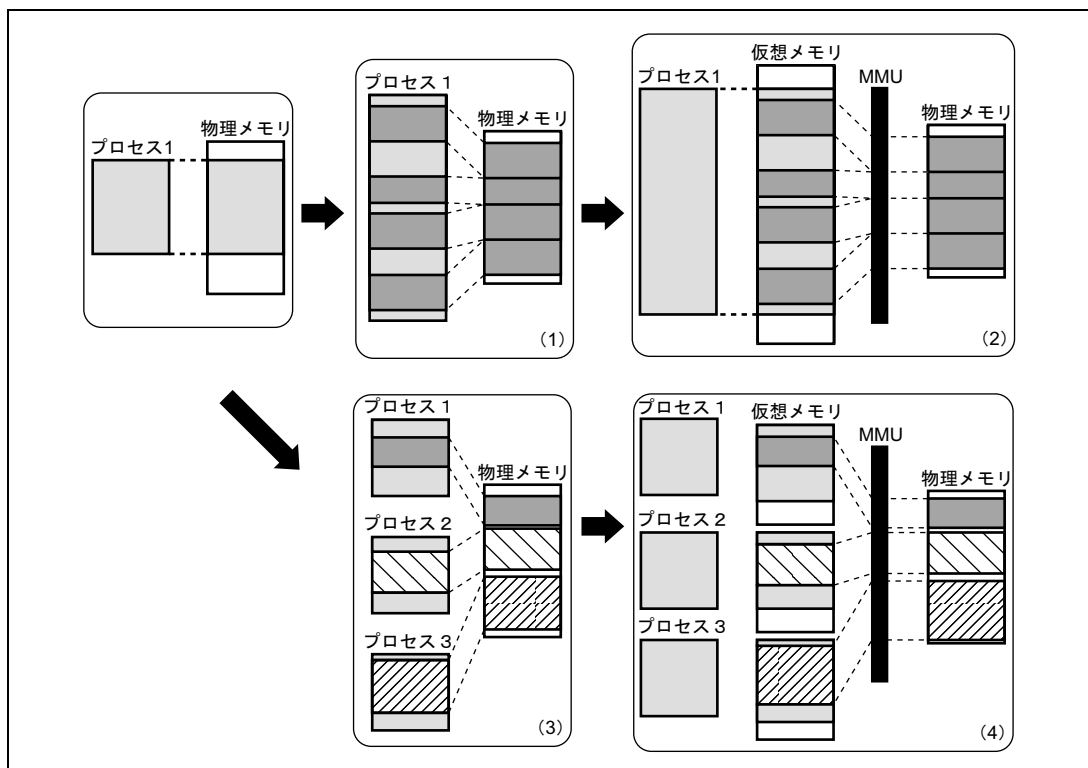


図 3.1 MMU の役割

3.1.1 本 LSI の MMU

(1) 論理アドレス空間

本 LSI は、32 ビットの論理アドレス空間をサポートしており、4G バイトのアドレス空間をアクセスできます。論理アドレス空間は、図 3.2 および図 3.3 に示すとおり、いくつかの領域に分かれています。特権モードでは、P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは、U0 領域の 2G バイトの空間をアクセス可能です。ユーザモードで U0 領域以外をアクセスした場合は、アドレスエラーとなります。

MMUCR の AT ビットを 1 にして、MMU をイネーブルにしたとき、これらの領域の内の P0、P3、および U0 領域は、任意の物理アドレス空間へ 1k または 4k バイトページ単位でマッピングすることができます。また、8 ビットのアドレス空間識別子を用いることにより、P0、P3、および U0 領域を 256 個まで増やすことが可能です。論理アドレス空間から 29 ビットの物理アドレス空間へのマッピングには、TLB を用います。

(a) P0、P3、U0 領域

P0、P3、および U0 領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がイネーブルの場合は、これらの領域は TLB を用いて 1k または 4k バイトページ単位に任意の物理アドレス空間へマッピングできます。キャッシュコントロールレジスタ (CCR1) の CE ビットが 1 であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のときは、キャッシュを用いたアクセスが行えます。

MMU がディスエーブルの場合は、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。CCR1 の CE ビットが 1 のときは、キャッシュを用いたアクセスが行えます。

キャッシュを用いた場合は、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは CCR1 の WT ビットに従います。

これらの領域を TLB により物理アドレス空間のエリア 1 に存在する内蔵モジュール制御レジスタ領域にマッピングする場合は、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は、TLB を用いたアドレス変換が行われない、キャッシュを用いたアクセスが可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは、キャッシュコントロールレジスタ (CCR1) の CE ビットに従います。キャッシュを用いた場合は、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは CCR1 の CB ビットに従います。

(c) P2 領域

P2 領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

3. メモリマネジメントユニット (MMU)

(d) P4 領域

P4 領域は、本 LSI の内蔵モジュール制御レジスタにマッピングされる領域です。この領域は、TLB を用いたアドレス変換やキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 3.4 に示します。

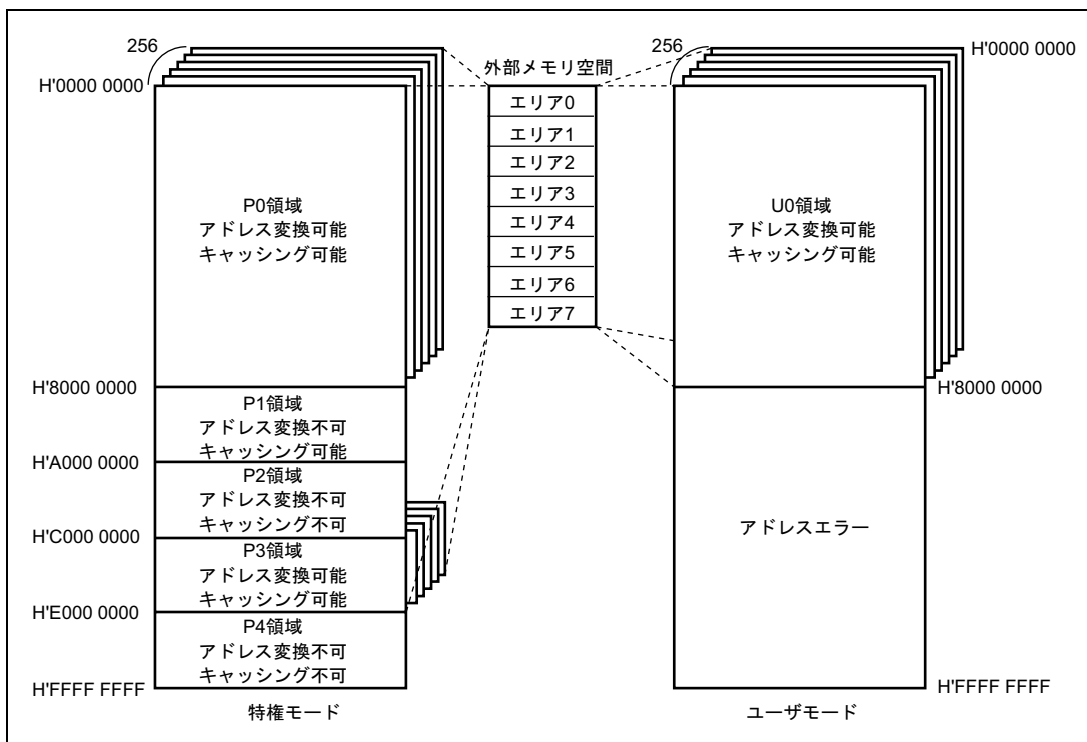


図 3.2 論理アドレス空間 (MMUCR.AT=1 の場合)

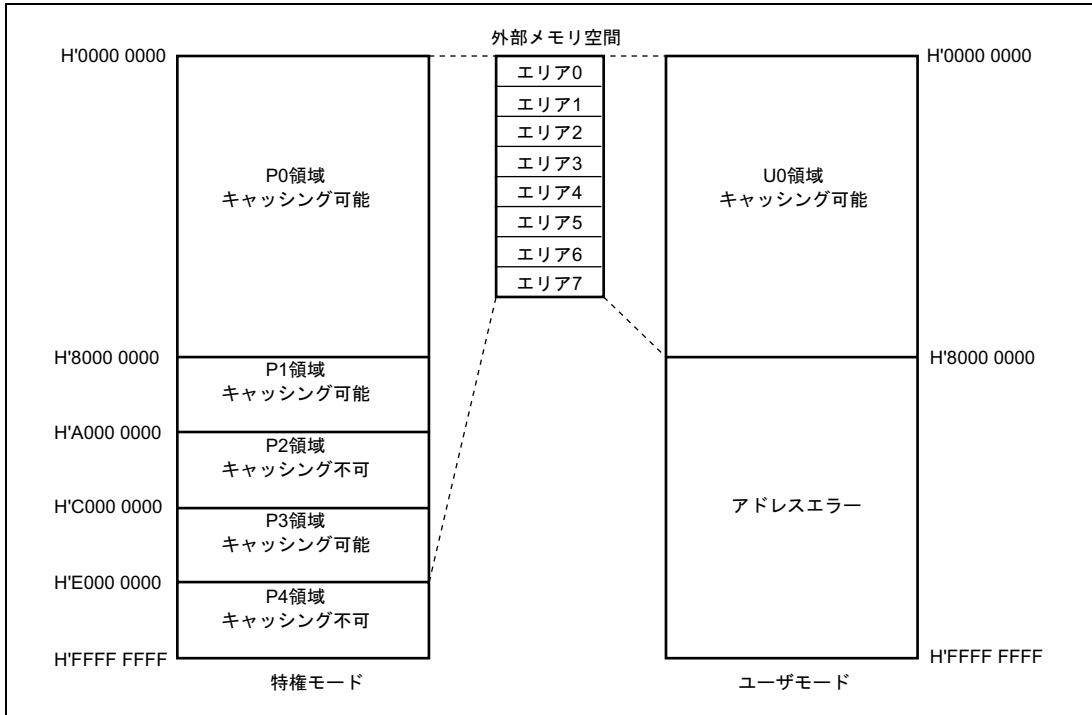


図 3.3 論理アドレス空間 (MMUCR.AT=0 の場合)

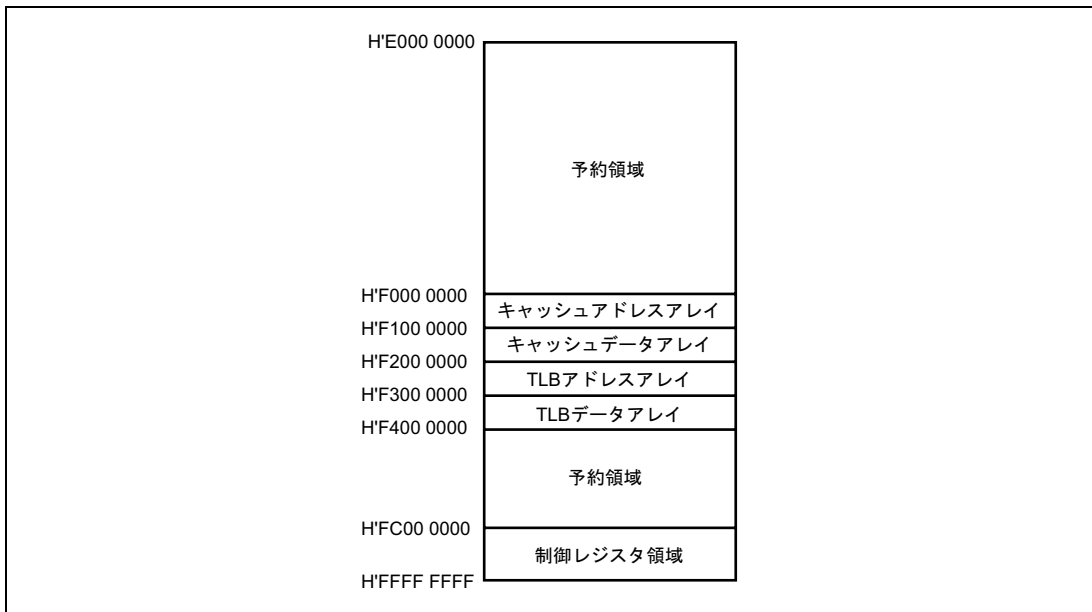


図 3.4 P4 領域

3. メモリマネジメントユニット (MMU)

H'F000 0000～H'F0FF FFFF は、キャッシュのアドレスレイを直接アクセスするための領域です。詳細は、「4.4 メモリ割り付けキャッシュの構成」を参照してください。

H'F100 0000～H'F1FF FFFF は、キャッシュのデータレイを直接アクセスするための領域です。詳細は、「4.4 メモリ割り付けキャッシュの構成」を参照してください。

H'F200 0000～H'F2FF FFFF は、TLB のアドレスレイを直接アクセスするための領域です。詳細は、「3.6 メモリ割り付け TLB の構成」を参照してください。

H'F300 0000～H'F3FF FFFF は、TLB のデータレイを直接アクセスするための領域です。詳細は、「3.6 メモリ割り付け TLB の構成」を参照してください。

H'FC00 0000～H'FFFF FFFF は、内蔵モジュール制御レジスタの領域です。詳細は、「第 24 章 レジスター一覧」を参照してください。

(2) 物理アドレス空間

本 LSI は、29 ビットの物理アドレス空間をサポートします。物理アドレス空間は、図 3.5 に示すとおり、8 つの領域に分かれています。このうち、エリア 1 は、内蔵モジュール制御レジスタ領域が割り当てられています。また、エリア 7 は、予約領域です。

物理アドレス空間の詳細は、「第 7 章 バスステートコントローラ (BSC)」を参照してください。

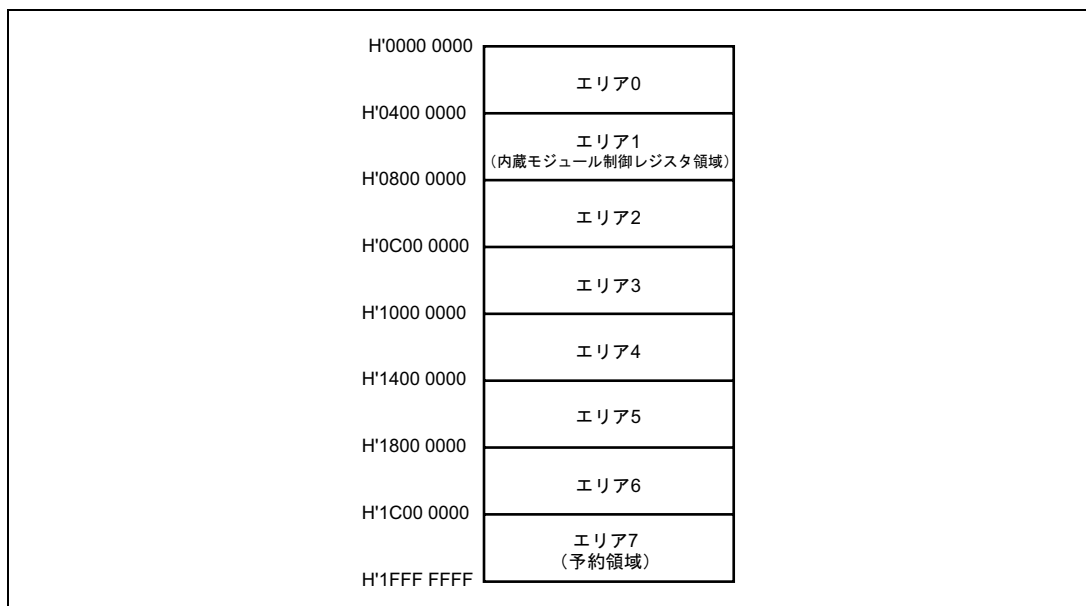


図 3.5 物理アドレス空間

(3) アドレス変換

MMU がイネーブルされているときは、論理アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、論理アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納されています。TLB は、アドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容をキャッシングします。P4 領域以外へのアクセスが発生し、そのアクセスされた論理アドレスが P1 または P2 領域に属する場合は、TLB をアクセスせずに物理アドレスが一意に決定されます。その論理アドレスが P0、P3、および U0 領域に属する場合には論理アドレスで TLB が検索され、その論理アドレスが TLB に登録されている場合には TLB ヒットとなり TLB から対応する物理アドレスページ管理情報が読み出され、物理アドレスが決定されます。また、アクセスされた論理アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンに移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレスとページ管理情報を TLB に登録します。例外処理ルーチンから復帰後は、TLB ミス例外を発生させた命令を再実行します。ただし、MMU がイネーブルの状態、物理アドレスが H'2000 0000～H'FFFF FFFF となるようなアドレス変換情報は、TLB へ登録しないでください。

MMU がディスエーブルされているときは、論理アドレスの上位 3 ビットを 0 にマスクしたものが物理アドレスとなります。本 LSI では、物理アドレス空間として 29 ビットアドレス空間をサポートしているため、論理アドレスの上位 3 ビットが無視されシャドウ空間となります（「第 7 章 パスステートコントローラ (BSC)」参照）。たとえば P0 領域の H'0000 1000 番地と P1 領域の H'8000 1000 番地と P2 領域の H'A000 1000 番地と P3 領域の H'C000 1000 番地は、すべて同一の物理メモリにマッピングされます。これらのアドレスへのアクセスをキャッシュイネーブルの状態で行った場合は、キャッシュのアドレスアレイに格納されるアドレスはデータの一致性を保証するために、上位 3 ビットが常に 0 になります。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMU 制御レジスタ (MMUCR) で選択が可能です。単一仮想記憶方式では、複数のプロセスが論理アドレス空間を排他的に使用しながら同時に走行して、ある論理アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが論理アドレス空間を共有して使用しながら走行するため、ある論理アドレスはプロセスにより異なった物理アドレスに変換されます。これらの方式は、単一仮想記憶モードと多重仮想記憶モードとしてサポートされており、MMU 制御レジスタ (MMUCR) の設定で切り替えることが可能です。単一仮想記憶モードと多重仮想記憶モードとの動作上の違いは、TLB のアドレス比較の方式（「3.3.3 TLB のアドレス比較」参照）のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合は、アドレス空間識別子 (ASID) は論理アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は、8 ビットで、ソフトウェアが MMU 内のページテーブルエントリ上位レジスタ (PTEH) に現在走行中のプロセスの ASID をセットすることで設定できます。この ASID によりプロセス切り替えの際に TLB をバージしないで済みます。

単一仮想記憶モードの場合は、ASID は論理アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。（「3.3.3 TLB のアドレス比較」参照）

3. メモリマネジメントユニット (MMU)

3.2 レジスタの説明

MMU 処理に関連するレジスタは、4 つあります。これらのレジスタは、内蔵モジュール制御レジスタなので、P4 領域に配置され特権モードのときのみアドレスを指定してアクセスすることができます。

MMU には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- ページテーブルエントリ上位レジスタ (PTEH)
- ページテーブルエントリ下位レジスタ (PTEL)
- 変換テーブルベースレジスタ (TTB)
- MMU制御レジスタ (MMUCR)

3.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は、H'FFFF FFF0 番地に配置されていて、論理ページ番号 (VPN) と ASID から構成されています。VPN は、MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた論理アドレスの VPN が設定されます。ページサイズが 4k バイトページるとき、VPN は論理アドレスの上位 20 ビットとなりますが、この場合は論理アドレスの上位 22 ビットが設定されます。VPN は、ソフトウェアからも変更が可能です。ASID には、現在実行中のプロセスの番号をソフトウェアにより設定します。この VPN と ASID が LDTLB 命令により TLB に登録されます。

PTEH の ASID を書き換えるプログラムは、P1 または P2 領域に配置してください。

ビット	ビット名	初期値	R/W	説明
31~10	VPN	—	R/W	論理ページ番号
9	—	0	R	リザーブビット
8	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	ASID	—	R/W	アドレス空間識別子

3.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は、H'FFFF FFF4 番地に配置されていて、LDTLB 命令により TLB に登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタは、ソフトウェアの指示がない限り内容が変更されることはありません。

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
28~10	PPN	—	R/W	物理ページ番号
9	—	0	R	ページ管理情報 詳細は「3.3 TLB の機能」を参照してください。
8	V	—	R/W	
7	—	0	R	
6、5	PR	—	R/W	
4	SZ	—	R/W	
3	C	—	R/W	
2	D	—	R/W	
1	SH	—	R/W	
0	—	0	R	

3.2.3 変換テーブルベースレジスタ (TTB)

TTB は、32 ビットのレジスタで、H'FFFF FFF8 番地に配置されています。TTB には、現在使っているページテーブルのベースアドレスなどが格納されます。TTB は、ソフトウェアの指示がない限り内容が変更されることはありません。初期値は、不定です。このレジスタは、ソフトウェアで自由に使用可能です。

3. メモリマネジメントユニット (MMU)

3.2.4 MMU 制御レジスタ (MMUCR)

MMUCR は、MMU を制御するためのレジスタで、H'FFFF FFE0 番地に配置されています。MMUCR を書き換えるプログラムは、P1 または P2 領域に配置してください。

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	SV	—	R/W	単一仮想記憶モード 0: 多重仮想記憶モード 1: 単一仮想記憶モード
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~4	RC	すべて 0	R/W	ランダムカウンタ 2 ビットのカウンタで MMU 例外発生時にハードウェアが次の規則で自動的に更新します。 TLB ミス例外が発生した場合には、例外を発生させた論理アドレスに対応する TLB エントリの全ウェイを調べ、全ウェイが有効なら RC には 1 が加えられ、1 つ以上の無効なウェイが存在するならウェイ 0、ウェイ 1、ウェイ 2、およびウェイ 3 の順にウェイ 0 から優先的に RC へ設定されます。TLB ミス例外以外の MMU 例外が発生した場合には、例外を発生させたウェイが RC に設定されます。
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	TF	0	R/W	TLB フラッシュ 1 を書き込むと TLB の有効ビットをすべて 0 にクリア (フラッシュ) します。読み出し時は 0 が読み出されます。
1	IX	0	R/W	インデックスモード 0 のとき VPN (16-12) を TLB のインデックス番号に使用します。1 のとき PTEH 中の ASID (4-0) と VPN (16-12) の EX-OR した値をインデックス番号に使用します。
0	AT	0	R/W	アドレス変換 MMU のイネーブル (有効) またはディスエーブル (無効) を指定します。 0: ディスエーブル 1: イネーブル

3.3 TLB の機能

3.3.1 TLB の構成

TLB は、外部メモリ上に置かれるアドレス変換テーブル情報をキャッシングします。アドレス変換テーブルには、論理ページ番号とそれに対応する物理ページ番号、アドレス空間識別子、およびページ管理情報が格納されています。図 3.6 に TLB 全体の構成を示します。TLB は、4 ウェイセットアソシアティブ方式で 1 ウェイあたり 32 エントリの計 128 エントリで構成されています。図 3.7 に論理アドレスと TLB エントリの構成を示します。

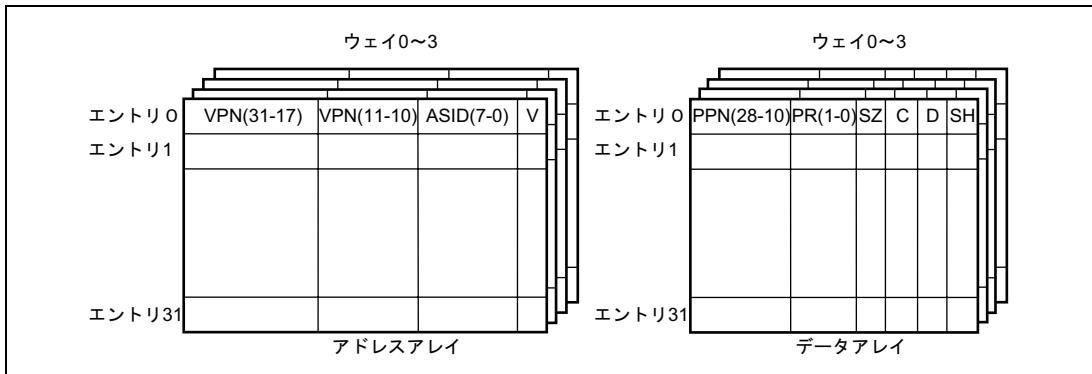


図 3.6 TLB 全体の構成

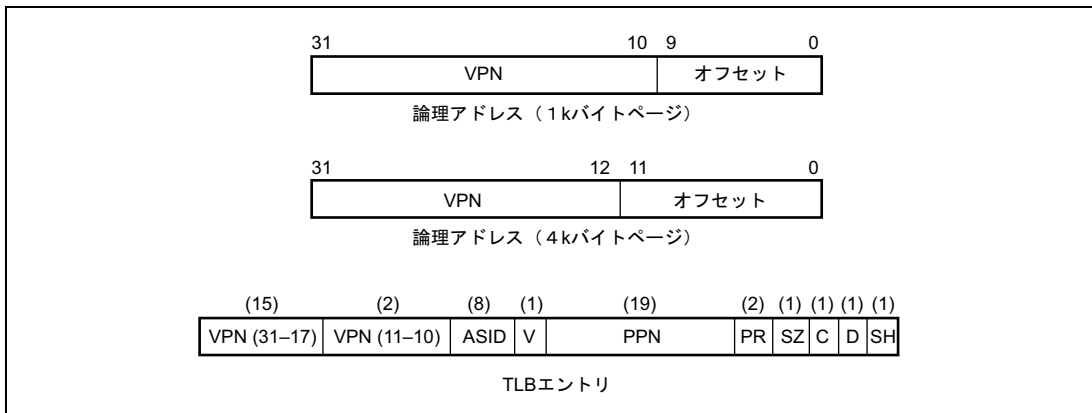


図 3.7 論理アドレスと TLB エントリの構成

3. メモリマネジメントユニット (MMU)

<TLB エントリの記号説明>

VPN:	論理ページ番号	1k バイトページの場合は論理アドレスの上位 22 ビットを、 4k バイトページの場合は論理アドレスの上位 20 ビットを表します。 ただし、VPN (16-12) はインデックス番号に使用されるため、TLB エントリには格納されません。また、シノニム問題に注意してください。(「3.4.4 シノニム問題の回避」を参照)
ASID:	アドレス空間識別子	論理ページをアクセスできるプロセスを表します。 単一仮想記憶モードでかつユーザモードのとき、または多重仮想記憶モードのときに、SH ビットが 0 なら PTEH 中の ASID と比較されます。
SH:	共有状態ビット	0 のときは、複数のプロセスでページを共有しません。 1 のときは、複数のプロセスでページを共有します。
SZ:	ページサイズビット	0 のときは 1k バイトページを、 1 のときは 4k バイトページを表します。
V:	有効ビット	エントリが有効か無効かを表します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN:	物理ページ番号	物理アドレスの上位 22 ビットを表します。 4k バイトページの場合は、PPN (11-10) は使用されません。
PR:	保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータです。 00 : 特権モードで、読み出しのみ可能。 01 : 特権モードで、読み出しまたは書き込みが可能。 10 : 特権またはユーザモードで、読み出しのみ可能。 11 : 特権またはユーザモードで、読み出しまたは書き込みが可能。
C:	キャッシング可能ビット	ページがキャッシング可能かどうかを表します。 0 : キャッシング不可能 1 : キャッシング可能
D:	ダーティビット	ページに書き込みが行われたか否かを表します。 0 : 書き込みが行われていない。 1 : 書き込みが行われている。

3.3.2 TLBのインデックス番号作成方法

TLBは、4ウェイセットアソシアティブ方式のため、エントリーをインデックス番号により選択する必要があります。インデックス番号としては、VPN (16-12) と PTEH 中の ASID (4-0) を使用します。MMU 制御レジスタ (MMUCR) の IX ビットによってインデックス番号の生成方法が異なります。

1. IX=1のとき

VPN (16-12) と ASID (4-0) とのEX-ORをインデックス番号として使用します。

2. IX=0のとき

VPN (16-12) をインデックス番号として使用します。

1の方法は、同時に多数のプロセスが同一の論理アドレス空間を走行するとき (多重仮想記憶モード)、特定のエントリーが複数のプロセスによって選択されて TLB のヒット率が低下するのを防ぎます。単一仮想記憶モード (MMUCR.SV=1) の場合は、IX ビットを 0 に設定してください。図 3.8 および図 3.9 に TLB のインデックス番号作成の方法を示します。

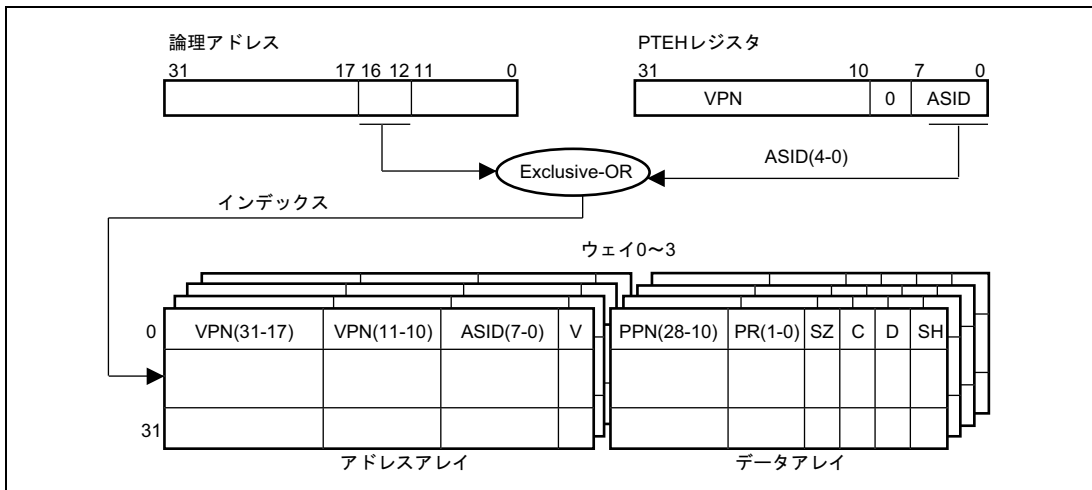


図 3.8 TLB インデックス番号作成の方法 (IX=1)

3. メモリマネジメントユニット (MMU)

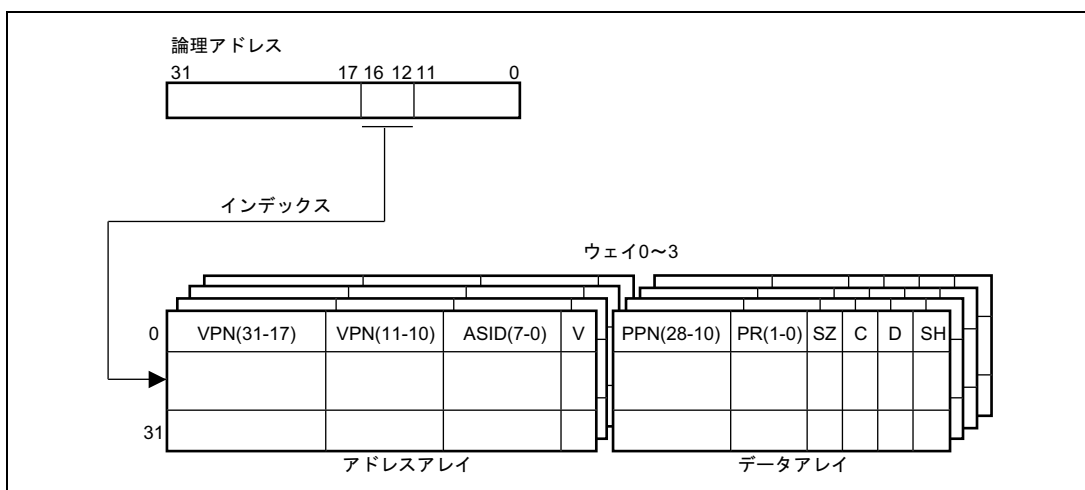


図 3.9 TLB インデックス番号作成の方法 (IX=0)

3.3.3 TLB のアドレス比較

TLB のアドレス比較は、外部メモリ上のプログラムからの命令フェッチや外部メモリ上のデータの参照の際に実行されます。アドレス比較で用いられる比較対象は、VPN と ASID です。外部メモリをアクセスする論理アドレスの VPN とインデックス番号で選択された TLB エントリの VPN とが比較されます。また、PTEH 中の ASID とインデックス番号で選択された TLB エントリの ASID とが比較されます。比較は、4 つのウェイトとも同時に行われます。比較の結果が一致し、かつインデックス番号で選択された TLB エントリが有効 (V=1) であった場合は、TLB ヒットとなります。このとき、複数のウェイトが同時に TLB ヒットしないことをソフトウェアで保証してください。複数のウェイトが同時に TLB ヒットした場合のハードウェアの動作は、保証しません。以下に複数のウェイトが同時に TLB ヒットしてしまう場合の設定の例を示します。このような設定は、ソフトウェアで行わないようにしてください。

1. VPN が同一の 2 つの TLB エントリにおいて、1 つは共有状態 (SH=1)、もう 1 つは非共有状態 (SH=0) で ASID=HFF のプロセスでのみ TLB ヒットするような設定がなされていた場合は、PTEH 中の ASID を HFF にすると、これら 2 つのウェイトが同時に TLB ヒットする可能性があります。
2. 単一仮想記憶モードの設定で VPN が同一で ASID が異なるエントリを複数登録した場合は、特権モードで当該ページをアクセスすると、複数のウェイトに同時に TLB ヒットする可能性があります。単一仮想記憶モードでは、VPN が同一のエントリを複数登録しないでください。
3. インデックスモード (MMUCR.IX=1) の設定で、SH=1 のページを登録した場合は、PTEH 中の ASID の値によっては予期せず複数のウェイトに同時に TLB ヒットする可能性があります。そのため、インデックスモードでは、SH=1 のページは登録しないでください。複数プロセスでメモリを共有する場合は、ASID ごとに別々のページを登録するようしてください。

TLB エントリ中のページ管理情報 (SZ, SH) によって比較対象が変化します。また、システムが多重仮想記憶モードと単一仮想記憶モードのどちらをサポートするかで、比較対象が変化します。

この場合は、ページサイズビット (SZ) によって、VPN (11-10) を比較するか決まります。1k バイトページ (SZ=0) のときは VPN (11-10) を比較し、4k バイトページ (SZ=1) のときは比較しません。

共有状態ビット (SH) により、PTEH 中の ASID と TLB エントリ中の ASID とを比較するかが決まります。複数のプロセスで共有されている (SH=1) 場合は、ASID は比較されません。共有されていない (SH=0) 場合は、ASID を比較します。

単一仮想記憶モード (MMUCR.SV=1) かつ、特権モード (SR.MD=1) のときには、ASID を比較しないため、すべてのプロセスのリソースにアクセス可能となります。図 3.10 にアドレス比較対象をまとめます。

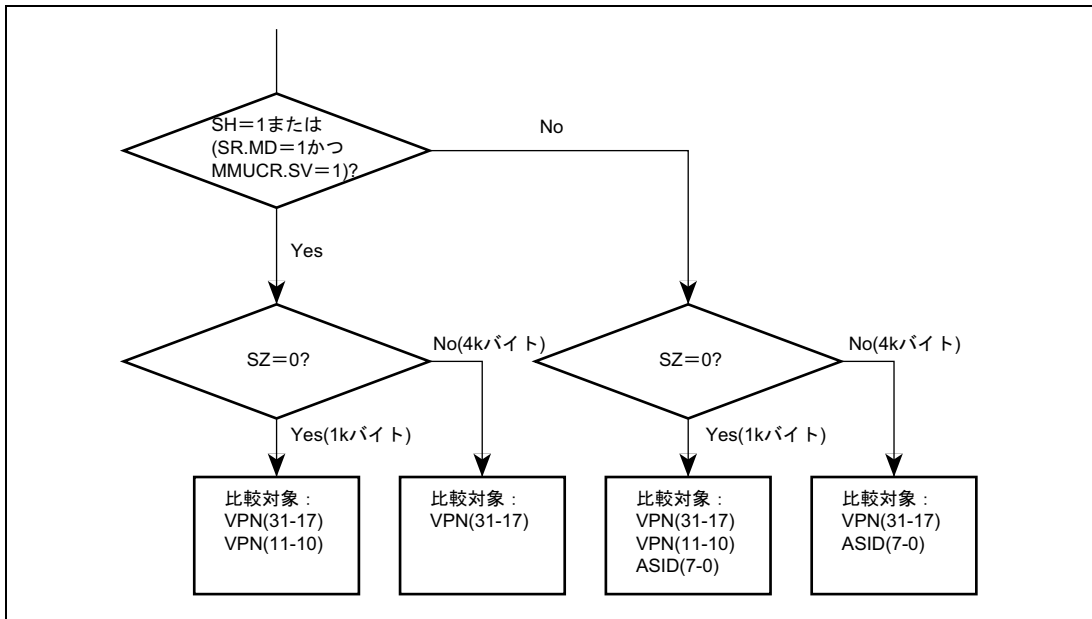


図 3.10 アドレス比較対象

3.3.4 ページ管理情報

TLB エントリ中のページ管理情報には、SH と SZ ビット以外に、D、C、および PR ビットがあります。

D ビットは、エントリに対応するページがダーティであるか否かを表します。ダーティとは、そのページに対して書き込みがあったことを意味します。D ビットが 0 の状態でそのページにライトすると、初期ページ書き込み例外が発生します。たとえば、2 次記憶と主記憶間で物理ページの入れ替えをする場合には、ダーティなページを 2 次記憶に書き戻してから、そのページを主記憶からページアウトするという制御を行います。メモリ上のアドレス変換テーブルに、あるページに対する書き込みがあったことを記憶するために、初期ページ書き込み例外が利用されます。

C ビットは、エントリに対応するアクセスページをキャッシングするか否か表します。エリア 1 の内蔵モジュール制御レジスタをマッピングする場合は、C ビットは 0 にしてください。

PR ビットは、特権モードおよびユーザーモードそれぞれにおける、そのページに対するアクセス権を示し、記憶保護に使用されます。アクセス権に違反するアクセスを行うと、TLB 保護違反例外が発生します。

3. メモリマネジメントユニット (MMU)

D、C、およびPR ビットによるアクセス状態を表 3.1 に示します。

表 3.1 D、C、PR ビットによるアクセス状態

		特権モード		ユーザモード	
		読み出し	書き込み	読み出し	書き込み
D ビット	0	可能	初期ページ 書き込み例外	可能	初期ページ 書き込み例外
	1	可能	可能	可能	可能
C ビット	0	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)
	1	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)
PR ビット	00	可能	TLB 保護違反例外	TLB 保護違反例外	TLB 保護違反例外
	01	可能	可能	TLB 保護違反例外	TLB 保護違反例外
	10	可能	TLB 保護違反例外	可能	TLB 保護違反例外
	11	可能	可能	可能	可能

3.4 MMU の機能

3.4.1 MMU のハードウェア管理

MMU のハードウェア管理には、次の 2 つがあります。

1. プロセスからアクセスされた論理アドレスをデコードし、MMUCR の設定に従い TLB を制御してアドレス変換を行います。
2. アドレス変換時に TLB からページ管理情報とヒット情報を受けて、MMU 例外の判定とキャッシュをアクセスするかどうかの判定 (C ビット) を行います。この判定方法とハードウェアの処理については、「3.5 MMU 例外」を参照してください。

3.4.2 MMU のソフトウェア管理

MMU のソフトウェア管理には、次の 3 つがあります。

1. MMU レジスタの設定。

特に MMUCR の設定は、アドレス変換を行わない P1 または P2 領域で行うようにしてください。さらに SV および IX ビットの変更はアドレス変換方式の変更になるので、この場合は TF ビットにも同時に 1 を書き込んで TLB のフラッシュを行うようにしてください。AT ビットを 0 にした MMU ディスエーブルの状態では MMU 例外が発生しなくなるので、MMU を使用しないソフトウェアでは必ずディスエーブルの状態で使用してください。

2. TLB エントリの登録、削除、読み出し。

TLB エントリへの登録には、LDTLB 命令を用いる方法とメモリ割り付け TLB に直接書き込む方法があります。TLB エントリの削除と読み出しは、メモリ割り付け TLB をアクセスすることで可能です。LDTLB 命令については「3.4.3 MMU の命令」を、またメモリ割り付け TLB については「3.6 メモリ割り付け TLB の構成」を参照してください。

3. MMU 例外処理。

MMU 例外が発生したときにハードウェア側から設定された情報を元に処理を行います。詳細は、「3.5 MMU 例外」を参照してください。

また、単一仮想記憶モードを使用するときは、共有状態ビット (SH) を 0 にしてすべての TLB エントリの登録をすることで、特権モードのときだけ全物理メモリへのアクセスを許可する状態を作り出すことができます。これによりプロセス間の記憶保護を強化し、特権モードにだけ特別なアクセスレベルを作り出すことが可能になります。

1k または 4k バイトページの TLB エントリを登録することにより、シノニム問題が発生する可能性があります。「3.4.4 シノニム問題の回避」を参照してください。

3. メモリマネジメントユニット (MMU)

3.4.3 MMU の命令 (LDTLB)

TLB エントリを登録する命令としては、TLB ロード命令 (LDTLB) があります。LDTLB 命令は、MMUCR の IX ビットが 0 のとき、PTEH 内で指定された VPN (16-12) をインデックス番号として、MMUCR の RC ビットで指定されたウェイトの TLB エントリを PTEH と PTEL で指定した値に変更します。MMUCR の IX ビットが 1 のときは、PTEH 内で指定された VPN (16-12) と PTEH 内の ASID (4-0) の EX-OR がインデックス番号として用いられます。

図 3.11 に MMUCR の IX ビットが 0 の場合を示します。

PTEH には、MMU 例外が発生したときに、例外が発生させた論理アドレスの論理ページ番号がハードウェアにより設定されます。また、MMUCR の RC ビットには、MMU 例外ごとに規則（「3.2.4 MMU 制御レジスタ」参照）に従ってウェイトが設定されます。このため、MMU 例外処理ルーチンの中では、PTEL だけを設定して LDTLB 命令を発行すれば、TLB エントリの登録が行えることになります。また、ソフトウェアにより PTEH と MMUCR の RC ビットを書き換えることで、任意の TLB エントリを書き換えることも可能です。

LDTLB 命令はアドレス変換情報を変更するため、この命令を P0、U0、および P3 領域で発行するとアドレス変換情報を壊す危険があります。必ず P1 または P2 領域で発行するようにしてください。また、P0、U0、および P3 領域のアクセスを伴う命令 (RTE 命令等) は、LDTLB 命令の 2 命令後以降に発行してください。

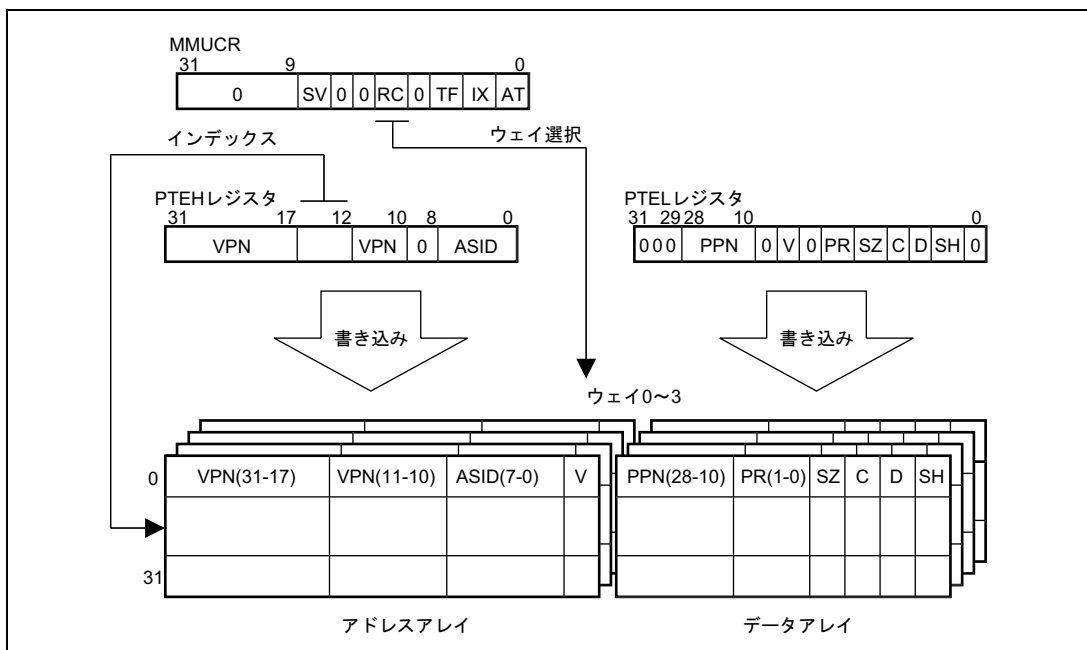


図 3.11 LDTLB 命令の動作

3.4.4 シノニム問題の回避

TLB エントリに 1k または 4k バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の論理アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数エントリに同一の物理アドレスが登録されてしまい、データの一致性が保証されなくなるという問題です。この問題が発生する理由を図 3.12 を用いて説明します。ここで論理アドレスのビット n とキャッシュ容量の関係は、以下のようになります。また、キャッシュ容量が 16k バイトの場合に限り、4k バイトページではシノニム問題が発生しないことにご注意ください。

キャッシュ容量	論理アドレスのビット n
16k バイト	11
32k バイト	12

本 LSI のキャッシュは、高速に動作するために論理アドレス $[n:4]$ を用いてインデックス番号の生成を行います。しかし、1k バイトページでは論理アドレスの $[n:10]$ が、4k バイトページでは論理アドレスの $[n:12]$ がアドレス変換の対象になります。このため変換後の物理アドレスの $[n:10]$ と論理アドレスの $[n:10]$ とが異なる可能性があります。

たとえば、1k バイトページの TLB エントリで

論理アドレス 1 H'0000 0000 → 物理アドレス H'0000 0C00

論理アドレス 2 H'0000 0C00 → 物理アドレス H'0000 0C00

のような変換をする 2 つの TLB エントリが登録されていたとします。論理アドレス 1 はキャッシュのエントリ H'0000 へ登録され、論理アドレス 2 はキャッシュのエントリ H'0C00 へ登録されることとなります。物理アドレスが等しいにもかかわらず、別のキャッシュエントリへ登録されるため、片方の論理アドレスへ一度でも書き込みが発生すると一致性が保たれなくなります。

このため、TLB エントリへのアドレス変換情報の登録には、以下の制限が生じます。

1. 複数の 1k バイトページの TLB エントリが同一の物理アドレスに変換されるアドレス変換情報を TLB に登録するときは、VPN $[n:10]$ は必ず等しくなるようにしてください。
2. 複数の 4k バイトページの TLB エントリが同一の物理アドレスに変換されるアドレス変換情報を TLB に登録するときは、VPN $[n:12]$ は必ず等しくなるようにしてください。
3. 異なるページサイズ of アドレス変換情報で同一の物理アドレスを使用しないでください。

上記の制限は、キャッシュを用いたアクセスを行う場合に限定されます。

【注】 将来の SuperH RISC engine ファミリー拡張に備えて、複数のアドレス変換情報が同一の物理アドレスを使用する場合は、VPN $[20:10]$ が互いに等しくなるようにすることを推奨します。

3. メモリマネジメントユニット (MMU)

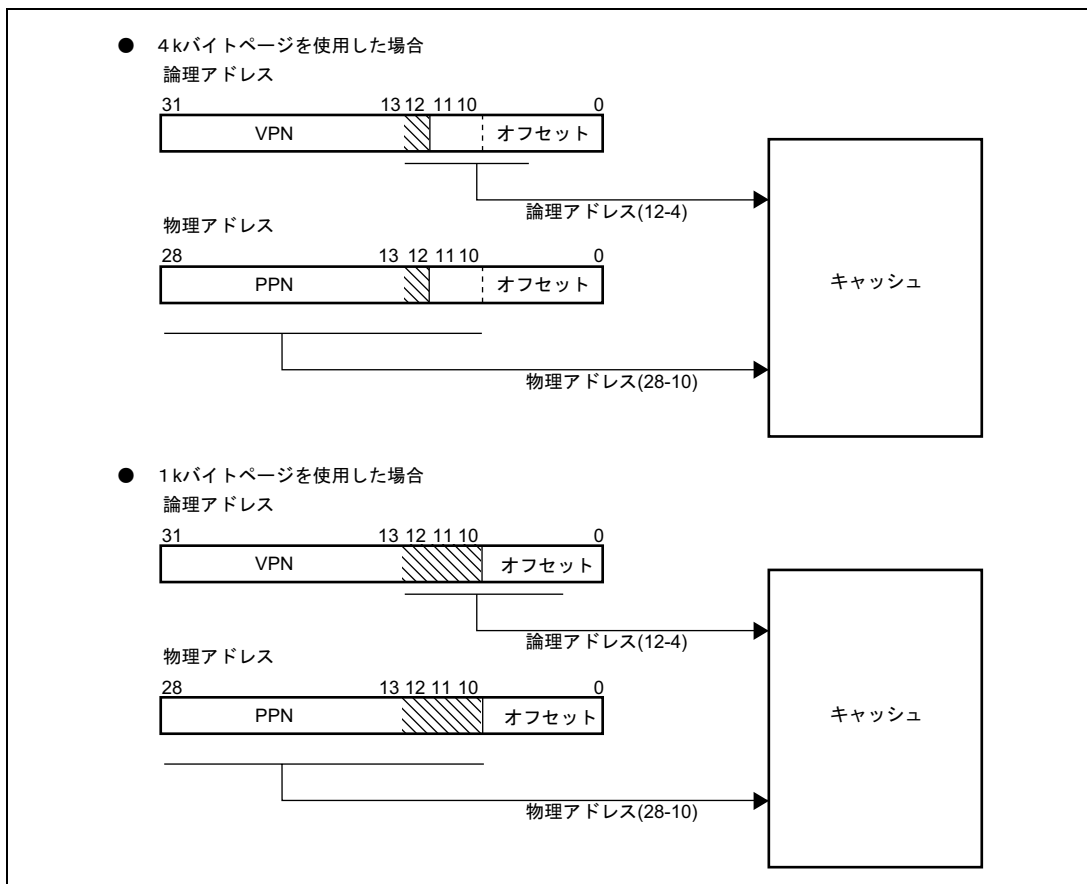


図 3.12 シノニム問題 (32k バイトキャッシュの場合)

3.5 MMU 例外

MMU のアドレス変換機構が有効な場合は、CPU アドレスエラーの判定に続いて MMU 例外の判定が行われます。MMU 例外は 4 種類定義されており、TLB ミス例外、TLB 無効例外、TLB 保護違反例外、および初期ページ書き込み例外の順番で判定が行われます。

3.5.1 TLB ミス例外

TLB ミス例外は、論理アドレスと選ばれたエントリのアドレスアレイとを比較して、一致するものが見つからなかった場合に発生します。TLB ミス例外のハードウェアで行われる処理とソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

TLB ミス例外のときは、ハードウェアは次の処理を行います。

1. 例外が発生した論理アドレスの論理ページ番号 (VPN) がページテーブルエントリ上位レジスタ (PTEH) に書き込まれます。

2. 例外の発生した論理アドレスが例外アドレスレジスタ (TEA) に書き込まれます。
3. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060が例外事象レジスタ (EXPEVT) に書き込まれます。
4. 例外が発生した命令のアドレスを指すプログラムカウンタ (PC) の値が退避プログラムカウンタ (SPC) に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのステータスレジスタ (SR) の内容が退避ステータスレジスタ (SSR) に書き込まれます。
6. SRのモードビット (MD) が1にセットされ、特権モードに切り替わります。
7. SRのブロックビット (BL) が1にセットされ、これ以降の例外要求がマスクされます。
8. SRのレジスタバンクビット (RB) が1にセットされます。
9. 例外を発生させた論理アドレスに対応するTLBエントリの全ウェイを調べ、全ウェイが有効ならMMU制御レジスタ (MMUCR) のランダムカウンタ (RC) には1が加えられ、1つ以上の無効なウェイが存在するならウェイ0、ウェイ1、ウェイ2、およびウェイ3の順にウェイ0から優先的にRCへそのウェイが設定されます。
10. ベクタベースレジスタ (VBR) の内容にオフセットH'0000 0400を加えたアドレスに分岐し、TLBミス例外処理ルーチンが開始されます。

- **ソフトウェア処理 (TLBミス例外処理ルーチン)**

外部メモリのページテーブルを検索し必要なページテーブルエントリを割り当てるのは、ソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの物理ページ番号 (PPN)、保護キーデータ (PR)、ページサイズビット (SZ)、キャッシング可能ビット (C)、ダーティビット (D)、共有状態ビット (SH)、および有効ビット (V) の各ビットの値を、ページテーブルエントリ下位レジスタ (PTEL) に書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令を発行してください。

3.5.2 TLB 保護違反例外

TLB 保護違反例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果、アドレスが一致してエントリが有効であったにもかかわらず、実際のアクセスタイプが PR キーで指定されたアクセス権で許可されていない場合に発生します。TLB 保護違反例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- **ハードウェアの処理**

TLB 保護違反例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'0A0が、書き込みのときは例外コードH'0C0がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- **ソフトウェアの処理 (TLB保護違反例外処理ルーチン)**

TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令後以降に RTE 命令を発行してください。

3.5.3 TLB 無効例外

TLB 無効例外は、論理アドレスが選ばれた TLB エントリのアドレスレイと比較され、その結果アドレスが一致してもエントリが有効でなかった (V ビットが 0) 場合に発生します。TLB 無効例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- **ハードウェアの処理**

TLB 無効例外のときは、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイ番号がMMUCRのRCに書き込まれます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- **ソフトウェアの処理 (TLB無効例外処理ルーチン)**

外部メモリのページテーブルを検索し必要なページテーブルエントリを割り当てるのは、ソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、Vの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後にRTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令に発行してください。

3.5.4 初期ページ書き込み例外

初期ページ書き込み例外は、論理アドレスと TLB エントリのアドレスレイの内容を比較して一致し、エントリが有効で、書き込みアクセスのアクセス権が許されているにもかかわらず、ダーティビット (D) が 0 (未書き込みページ) の場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- **ハードウェアの処理**

初期ページ書き込み例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 例外コードH'080がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、ユーザが作成した初期ページ書き込み例外処理ルーチンが開始されます。

- **ソフトウェアの処理 (初期ページ書き込み例外処理ルーチン)**

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、SH、およびVのビットの値を、PTELに書き込みます。
4. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRのRCに書き込みます。
5. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
6. 最後に、RTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令を発行してください。

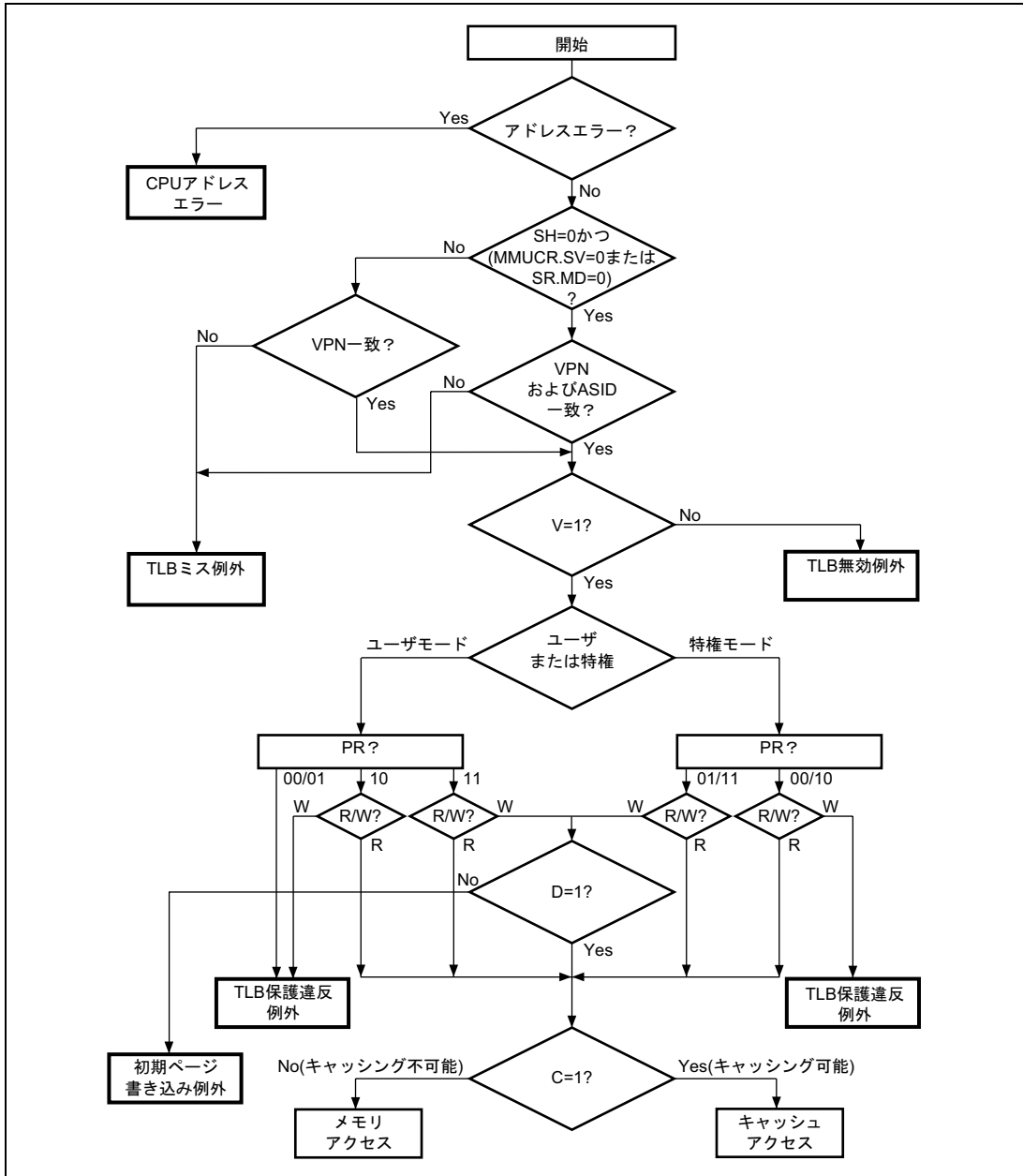


図 3.13 MMU 例外の流れ

3.6 メモリ割り付け TLB の構成

TLB をソフトウェアで管理するために、特権モードのときは、MOV 命令によって TLB の内容の読み出しおよび書き込みが可能です。TLB は、論理アドレス空間の P4 領域に割り付けられています。TLB のアドレスアレイ (VPN、V ビット、ASID) は H'F200 0000~H'F2FF FFFF に、データアレイ (PPN、PR、SZ、C、D、SH ビット) は H'F300 0000~H'F3FF FFFF に割り付けられています。ただし、アドレスアレイの V ビットは、データアレイからもアクセス可能です。アクセスサイズは、アドレスアレイおよびデータアレイともロングワードのみ可能であり、命令フェッチは行えません。

3.6.1 アドレスアレイ

アドレスアレイは、H'F200 0000~H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出しまたは書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V ビット、および ASID を指定します (図 3.14 (1) 参照)。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、アドレスアレイアクセスを示す HF2 をアドレス部 (31-24) に指定します。インデックスアドレスとして VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

アドレスアレイに対しては、次の 2 種類の操作が可能です。

1. アドレスアレイリード

アドレス部に指定されたエントリアドレスおよびウェイに対応するエントリから VPN、V、および ASID ビットを読み出します。

2. アドレスアレイライト

アドレス部に指定されたエントリアドレスおよびウェイに対応するエントリに、データ部で指定したデータを書き込みます。

3.6.2 データアレイ

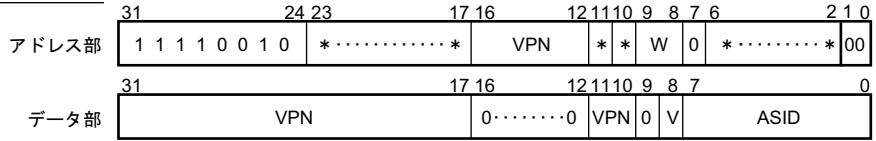
TLB のデータアレイは、H'F300 0000~H'F3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出しまたは書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込むロングワードデータを指定します (図 3.14 (2) 参照)。ロングワードデータは、PTEL と同じビット構成です。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、データアレイアクセスを示す HF3 をアドレス部 (31-24) に指定します。インデックスアドレスとして、VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

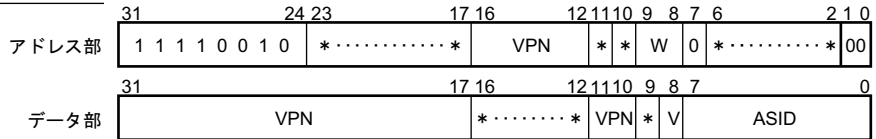
読み出しおよび書き込みのいずれの場合も、インデックスアドレスとウェイで選択されたデータアレイのロングワードデータが読み出され書き込まれます。

(1) TLBアドレスアレイアクセス

●読み出しのとき



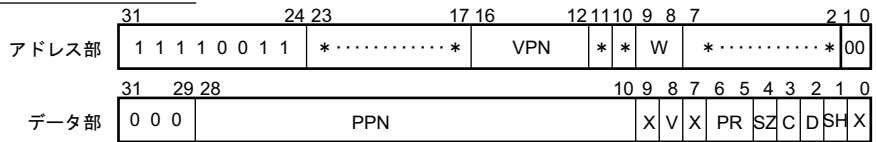
●書き込みのとき



VPN : 論理ページ番号 ASID : アドレス空間識別子
 V : 有効ビット * : Don't care
 W : ウェイ (00:ウェイ0、01:ウェイ1、10:ウェイ2、11:ウェイ3)

(2) TLBデータアレイアクセス

●読み出し/書き込みのとき



PPN : 物理ページ番号 V : 有効ビット
 PR : 保護キーデータ SZ : ページサイズビット
 C : キャッシング可能ビット D : ダーティビット
 SH : 共有状態ビット * : Don't care
 VPN : 論理ページ番号
 X : 読み出しのときは0、書き込みのときはDon't care bit
 W : ウェイ (00:ウェイ0、01:ウェイ1、10:ウェイ2、11:ウェイ3)

図 3.14 メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法

3. メモリマネジメントユニット (MMU)

3.6.3 使用例

(1) 特定エントリの無効化

TLB の特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。以下の例では、R0 に書き込みデータを、R1 にアドレスを指定しています。

```
;R0=H'1547 381C  R1=HF201 3000  
  
;MMUCR.IX=0  
  
; VPN (16-12) =B'1 0011のインデックスで選択されるエントリの、  
;ウェイ0のVビットを0にして、無効化を実現する。  
  
MOV.L  R0, @R1
```

(2) データアレイの読み出し

TLB の特定エントリのデータアレイを読み出す場合は、図 3.17 (2) のデータ部で示されるビット順にレジスタに読み出されます。以下の例では、R0 にアドレスを指定して、R1 に読み出しています。

```
;R0=HF300 4300  VPN (16-12) =B'0 0100  ウェイ3  
  
MOV.L  @R0, R1
```

3.7 使用上の注意事項

以下にあげる動作は、TLB ディスエーブル状態の場合に行うか、P1 あるいは P2 領域に配置したプログラムで行って下さい。また、続いて P0、P3、および U0 領域へのアクセス (命令フェッチを含む) を行う場合は、これらの命令の 2 命令後以降で P0、P3、および U0 領域へのアクセスを行って下さい。

1. SR.MDもしくはSR.BLの変更
2. LDTLB命令の実行
3. メモリ割り付けTLB書き込み
4. MMUCRの変更
5. PTEH.ASIDの変更

4. キャッシュ

4.1 特長

- 容量：16kまたは32kバイトキャッシュのいずれかをレジスタにより選択可能。
- 構成：命令とデータ混在、4ウェイセットアソシアティブ
- ロック機能：ウェイ2およびウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：16kバイトモード（256エントリ／ウェイ）または32kバイトモード（512エントリ／ウェイ）容量により可変
- ライト方式：領域グループごとにライトバック方式とライトスルー方式から選択可能
グループ1（P0、P3、U0領域）
グループ2（P1領域）
- 置換方式：LRU置換アルゴリズムを採用

【注】 パワーオンリセットまたはマニュアルリセット後の初期状態は、16kバイトモード（256エントリ／ウェイ）になります。

4.1.1 キャッシュの構成

キャッシュは、命令とデータ混在型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、各々のウェイは、アドレスとデータに分かれています。以下32kバイトモード時を例に説明します。他のキャッシュ容量のモードの場合は、表4.1のように読み替えてください。

アドレスとデータは、各々512のエントリで構成されます。エントリのデータをラインと呼びます。1ラインは、16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、8kバイト（16バイト×512エントリ）で、キャッシュ全体（4ウェイ）では32kバイトの容量となります。

表 4.1 キャッシュ容量ごとのエントリ数と1ウェイあたりの容量

キャッシュ容量	エントリ数	容量/ウェイ
16kバイト	256	4kバイト
32kバイト	512	8kバイト

4. キャッシュ

キャッシュの構成を図 4.1 に示します。

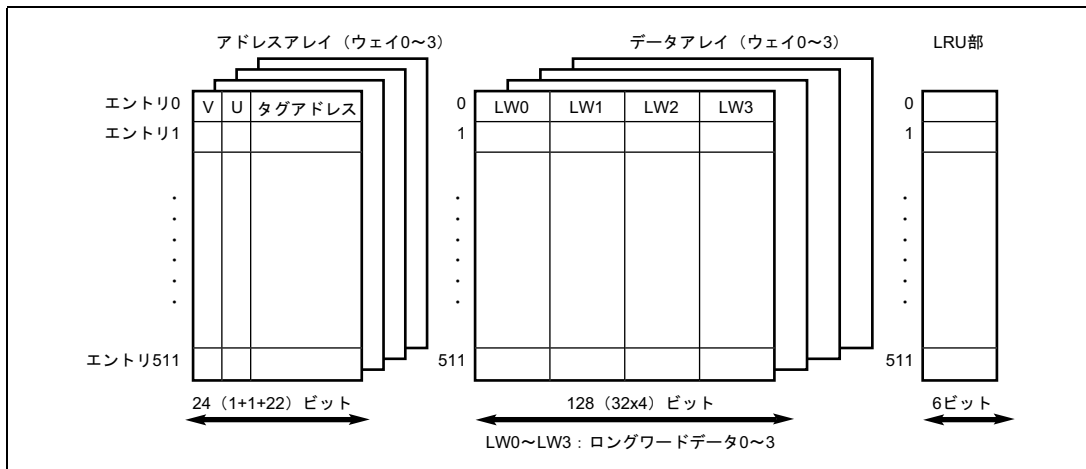


図 4.1 キャッシュの構成 (32k バイトモード時)

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを表します。V ビットが 1 で有効で、0 で無効を表します。

U ビットは、ライトバックモードでそのエントリに書き込みがあったことを表します。U ビットが 1 で書き込みありを、0 で書き込みなしを表します。

タグアドレスは、外部メモリのアクセスに使用される物理アドレスを保持します。キャッシュ検索時の比較に使用される 22 ビット (アドレス 31~10) からなります。

本 LSI では、物理アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため、タグアドレスの上位 3 ビットに 0 が入ります (「第 7 章 バスステートコントローラ (BSC)」参照)。

V および U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは初期化されません。タグアドレスは、パワーオンリセットおよびマニュアルリセットでは初期化されません。

(2) データアレイ

データアレイは、16 バイトの命令またはデータを保持します。キャッシュへのエントリの登録は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセットおよびマニュアルリセットで初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令とデータを 4 つまでキャッシュに登録できます。エントリを登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットで表します。LRU ビットは、6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能を使用しない場合のLRUビットとリプレースされるウェイの関係を表4.2に示します（キャッシュロック機能を使用する場合に関しては、「4.2.2 キャッシュ制御レジスタ2」の項を参照してください）。表4.2に示した以外のLRUビットをソフトウェアで指定した場合は、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表4.2に示すパターンを設定してください。

LRUビットは、パワーオンリセットで000000に初期化されますが、マニュアルリセットでは初期化されません。

表 4.2 LRUビットと置き換えられるウェイ（キャッシュロック機能を使用しない場合）

LRU（ビット5～0）	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

4.2 レジスタの説明

キャッシュには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第24章 レジスタ一覧」を参照ください。

- キャッシュ制御レジスタ1（CCR1）
- キャッシュ制御レジスタ2（CCR2）
- キャッシュ制御レジスタ3（CCR3）

4.2.1 キャッシュ制御レジスタ1（CCR1）

キャッシュは、CCR1のCEビットでイネーブルまたはディスエーブルを指定します。また、CCR1には、キャッシュの全エントリの無効化を制御するCFビット、ライトスルーモードとライトバックモードを切り替えるWTビット、およびCBビットがあります。CCR1の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	CF	0	R/W	キャッシュフラッシュ 1を書き込むと、キャッシュの全エントリのV、U、およびLRUビットを0にクリア（フラッシュ）します。読み出すと0が読み出されます。フラッシュの際は、外部メモリへの書き戻しは行いません。
2	CB	0	R/W	ライトバック P1領域のライトバックまたはライトスルーの切り替え 0：ライトスルーモード 1：ライトバックモード

4. キャッシュ

ビット	ビット名	初期値	R/W	説明
1	WT	0	R/W	ライトスルー P0、U0、および P3 領域のライトバックまたはライトスルーの切り替え 0：ライトバックモード 1：ライトスルーモード
0	CE	0	R/W	キャッシュ有効 キャッシュ機能を使用するかどうかを表します。 0：使用しない 1：使用する

4.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、キャッシュロック機能を制御するレジスタです。キャッシュロック機能は、キャッシュロックモード時のみ有効です。キャッシュロックモードとは、CCR2 のロックイネーブルビット (ビット 16) =1 の状態を言います。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合は、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は、表 4.3 に示すとおりです。一方、プリフェッチ命令を実行しキャッシュヒットした場合は、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば、Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態において、キャッシュロックモードで、W3LOAD=1 かつ W3LOCK=1 と設定し、プリフェッチ命令を実行した場合は、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時の、プリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、および W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は、表 4.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
16	LE	0	R/W	ロックイネーブル (LE) キャッシュロックモードの制御をします。 0：キャッシュロックモードになりません。 1：キャッシュロックモードになります。
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	W3LOAD	0	R/W	ウェイ 3 ロード (W3LOAD)
8	W3LOCK	0	R/W	ウェイ 3 ロック (W3LOCK) W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 3 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	W2LOAD	0	R/W	ウェイ 2 ロード (W2LOAD)
0	W2LOCK	0	R/W	ウェイ 2 ロック (W2LOCK) W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 2 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。

【注】 W2LOAD および W3LOAD は、同時に 1 にセットしないでください。

表 4.3 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 4.2)
1	*	0	*	0	LRU に従う (表 4.2)
1	*	0	0	1	LRU に従う (表 4.5)
1	0	1	*	0	LRU に従う (表 4.6)
1	0	1	0	1	LRU に従う (表 4.7)
1	0	*	1	1	ウェイ 2
1	1	1	0	*	ウェイ 3

【注】 * : Don't care

W3LOAD=1 かつ W2LOAD=1 には、設定しないでください

表 4.4 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 4.2)
1	*	0	*	0	LRU に従う (表 4.2)
1	*	0	*	1	LRU に従う (表 4.5)
1	*	1	*	0	LRU に従う (表 4.6)
1	*	1	*	1	LRU に従う (表 4.7)

【注】 * : Don't care

W3LOAD=1 かつ W2LOAD=1 には、設定しないでください

4. キャッシュ

表 4.5 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=0 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 4.6 LRU ビットと置き換えられるウェイ (W2LOCK=0 かつ W3LOCK=1 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 4.7 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

4.2.3 キャッシュ制御レジスタ 3 (CCR3)

CCR3 は、使用されるキャッシュの容量を制御するレジスタです。LSI に搭載されるキャッシュ容量以下の値を設定してください。それを超える値を設定した場合の動作は、保証されません。CCR3 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。また、CCR3 の内容を変更後に、キャッシュにアクセスする前に CCR1 の CF ビットに 1 を書き込み、全エントリの無効化を行ってください。

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23~16	CSIZE7~ CSIZE0	H'01	R/W	キャッシュ容量 0000 0001 : 16k バイトキャッシュ 0000 0010 : 32k バイトキャッシュ 上記以外は、設定禁止です。
15~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

4.3 動作説明

4.3.1 キャッシュの検索

キャッシュがイネーブルのとき（CCR1 レジスタの CE ビット=1）、P0、P1、P3、および U0 領域の命令またはデータにアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べられます。キャッシュの検索方法の概念図を図 4.2 に示します。キャッシュは物理キャッシュで、タグアドレスには、物理アドレスを保持します。以下 32k バイトモード時を例に説明します。

メモリへのアクセスアドレス（論理）のビット 12~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。タグアドレスの読み出しと平行して、MMU で論理アドレスを物理アドレスに変換します。変換後の物理アドレスと、アドレスから読み出した物理アドレス（タグアドレス）を比較します。アドレスの比較は、4 ウェイとも行います。比較の結果一致しており、かつ、比較されたエントリが有効である（V=1）場合には、キャッシュヒットとなります。それ以外の場合は、キャッシュミスとなります。ウェイ 1 がヒットした場合を図 4.2 に示します。

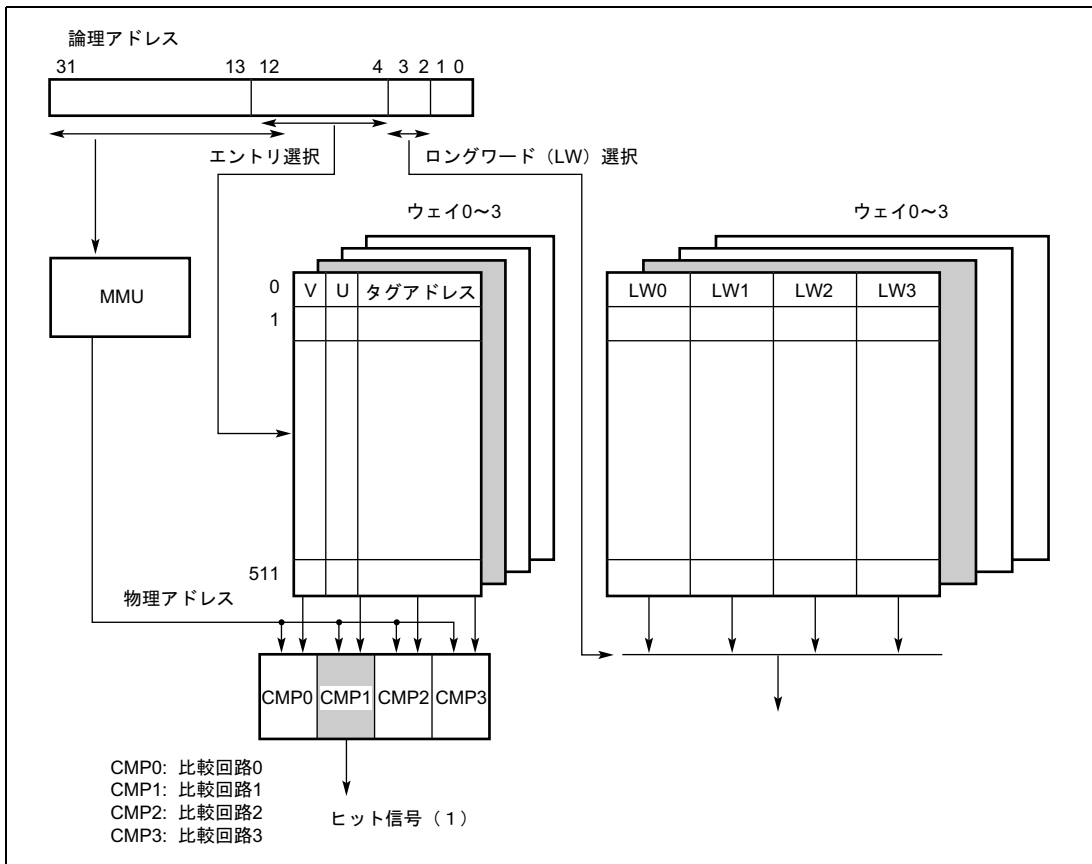


図 4.2 キャッシュの検索方法

4. キャッシュ

4.3.2 リード動作

(1) リードヒット

キャッシュから CPU に命令またはデータが転送されます。ヒットしたウエイが最新となるように、LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウエイは、表 4.4 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録されるときに、U ビットが 0 に、V ビットが 1 にセットされ、置換されたウエイが最新となるように LRU が更新されます。ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

4.3.3 プリフェッチ動作

(1) プリフェッチヒット

ヒットしたウエイが最新となるように LRU が更新されます。その他のキャッシュの内容は、変更されません。CPU への命令またはデータの転送は、行われません。

(2) プリフェッチミス

CPU への命令またはデータの転送が行われず、置換するウエイは表 4.3 に従います。その他の動作はリードミスの場合と同じです。

4.3.4 ライト動作

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウエイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウエイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウエイは、表 4.4 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、かつ V ビットも 1 にセットされます。置換したウエイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後は、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

4.3.5 ライトバックバッファ

ライトバックモードで置き換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後は、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファは、キャッシュの 1 ライン分のデータ (16 バイト) とその物理アドレスを保持可能です。ライトバックバッファの構成を図 4.3 に示します。

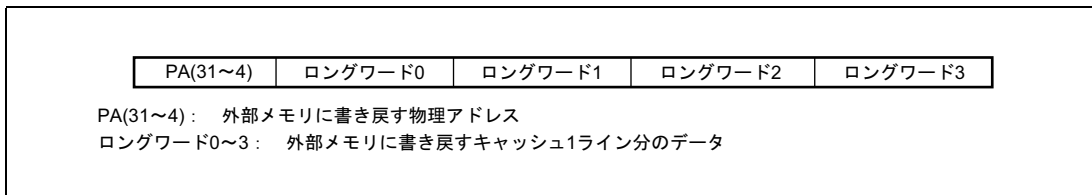


図 4.3 ライトバックバッファの構成

4.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシは、ソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様にしてください。

4.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、特権モードにおいて、MOV 命令により、キャッシュの内容の読み出し、および書き込みが可能です。キャッシュは、論理アドレス空間の P4 領域に割り付けられています。アドレスアレイは H'F000 0000~H'F0FF FFFF に、データアレイは H'F100 0000~H'F1FF FFFF に割り付けられています。アドレスアレイおよびデータアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

4.4.1 アドレスアレイ

アドレスアレイは、H'F0000000~H'F0FFF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレスの指定 (読み出しまたは書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します。

4. キャッシュ

アドレスには、エントリを選択するためのエントリアドレス、ウェイを選択するための W、連想動作の有無を指定する A、およびアドレスアレイアクセスを示す HF0 を指定します。W は、00 がウェイ 0 を、01 がウェイ 1 を、10 がウェイ 2 を、11 がウェイ 3 を表します。

データには、タグアドレス、LRU ビット、U ビット、および V ビットを指定します。

32k バイトモード時のアドレスおよびデータのフォーマットについては、図 4.4 を参照してください。他のキャッシュ容量のモードについては、エントリアドレスと W を表 4.8 のように読み替えてください。

アドレスアレイに対しては、次の 3 種類の操作が可能です。

(1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット、および V ビットを読み出します。リードの場合は、アドレスに指定される連想ビット (A ビット) は 1 でも 0 でも連想動作は行いません。

(2) アドレスアレイライト (連想なし)

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。アドレスの連想ビット (A ビット) は、0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合は、そのキャッシュラインの書き戻しを行った後に、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。タグアドレスの上位 3 ビット (ビット 31~29) には、常に 0 を指定してください。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

(3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合は、アドレスで指定されたエントリの 4 ウェイ全てに対して、データで指定されたタグアドレスとの間で一致判定が行われます。このとき、MMU がイネーブルならデータで指定された論理アドレスを TLB を用い物理アドレスに変換してから一致判定を行います。一致判定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただし、タグアドレスと LRU ビットは、変更されません。アドレス変換の際に TLB にミスした場合や、どのウェイにもヒットしなかった場合は、書き込みを行わずノーオペレーションとなります。本動作は、アドレスを指定したキャッシュの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合は、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

4.4.2 データアレイ

データアレイは、H'F100 0000~H'F1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定 (読み出しまたは書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1ライン（16バイト）中のロングワード位置を示すL、ウェイを指定するためのW、およびデータアレイアクセスを示すHF1を指定します。Lは、00がロングワード0を、01がロングワード1を、10がロングワード2を、11がロングワード3を表します。Wは、00がウェイ0を、01がウェイ1を、10がウェイ2を、11がウェイ3を表します。アクセスはロングワードサイズ固定なので、アドレスのビット1~0には00を指定してください。

32kバイトモード時のアドレスおよびデータのフォーマットについては、[図 4.4](#)を参照してください。他のキャッシュ容量のモードについては、エントリアドレスとWを[表 4.8](#)のように読み替えてください。

データアレイに対しては、次の2種類の操作が可能です。なお、この操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスのLで指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスのLで指定された位置に、データで指定されたロングワードデータを書き込みます。

4. キャッシュ

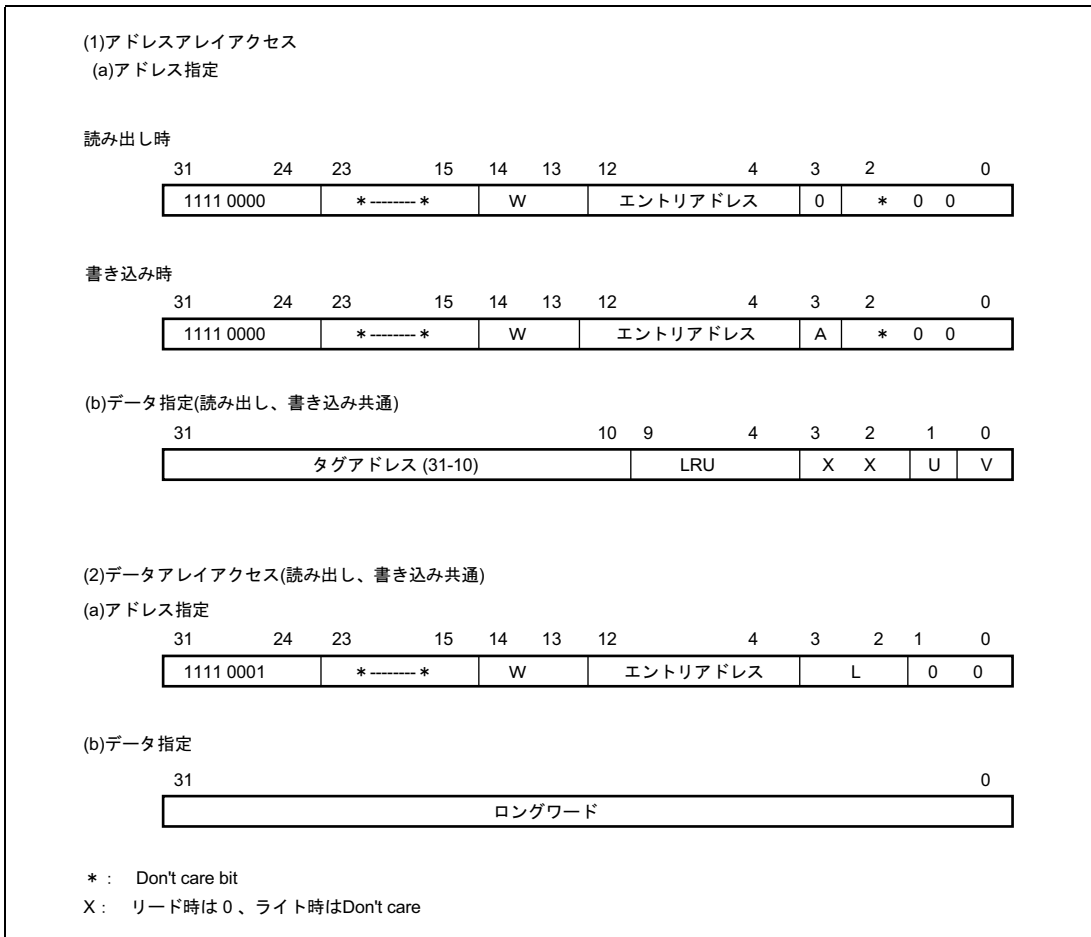


図 4.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法 (32k バイトモード時)

表 4.8 メモリ割り付けキャッシュ容量別アドレスフォーマット

容量	エントリアドレスビット	Wビット
16k バイト	11~4	13~12
32k バイト	12~4	14~13

4.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリの U、V ビットに 0 を書き込むことで実現できます。A ビットを 0 とし、エントリアドレスとウエイをアドレスで指定します。対象のエントリ、ウエイの U ビットが 1 だった場合はそのエントリがライトバックされ、書き込みデータで指定された V ビットおよび U ビットを書き込みます。

以下に、R0 に書き込みデータを、R1 にアドレスを指定した場合の例を示します（32k バイトモード時）。

```
; R0=H'0000 0000  LRU=H'000、U=0、V=0
; R1=HF000 2080; ウエイ=1、エントリ=B'000001000、A=0
;
MOV.L  R0,@R1
```

全エントリ、ウエイを無効化する場合は、下記アドレスに 0 を書き込んでください。

32k バイトモード時（計 2048 回の書き込み）

アドレス：

```
F000 0000
F000 0010
F000 0020
:
F000 7FF0
```

16k バイトモード時（計 1024 回の書き込み）

アドレス：

```
F000 0000
F000 0010
F000 0020
:
F000 3FF0
```

上記の処理を行う場合、ノンキャッシュ領域で行ってください。

(2) 特定アドレスの無効化

特定アドレスの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリの V ビットに 0 を書き込むことで実現できます。A ビットを 1 とし、書き込みデータで指定されるタグアドレスをエントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにそのエントリの U ビットが 1 だった場合はそのエントリがライトバックされ、書き込みデータで指定された V ビットおよび U ビットを書き込みます。一致しない場合は、ノーオペレーションです。

以下に、R0 に書き込みデータを、R1 にアドレスを指定した場合の例を示します（32k バイトモード時）。

4. キャッシュ

```
; R0=H'0110 0010; タグアドレス=B'0000 0001 0001 0000 0000 00, U=0, V=0
; R1=H'F000 0088; アドレスレイアクセス、エントリ=B'00001000、A=1
;
MOV.L   R0, @R1
```

以下に、R0=ページしたいアドレス (32bit) がある場合の例を示します。

```
MOV.L   #H'0001FF0, R1           ; 32k バイトモード時、16k バイトモード時は H'00000FF0
AND     R0, R1                   ; エントリアドレスを取り出す
MOV.L   #H'0000008, R2
OR      R1, R2                   ; 先頭を H'F0、A ビットを 1 にする
MOV.L   #H'1FFFFC00, R3
AND     R0, R3                   ; タグアドレスを取り出す。U=V=0
MOV.L   R3, @R2                 ; 連想ページ
```

上記の処理を行う場合、ノンキャッシュ領域で行ってください。

(3) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図 4.4 のデータレイのデータ部に示されるロングワードが、レジスタに読み出されます。

以下に、R0 にアドレスを指定し、R1 に読み出す例を示します (32k バイトモード時)。

```
; R0=H'F100 004C; データレイアクセス、エントリ=B'00000100、
; ウェイ=0、 ロングワードアドレス=3
;
MOV.L   @R0, R1   ; ロングワード 3 が読み出されます。
```

4.5 使用上の注意事項

キャッシュを用いたアクセスが行えない領域 (P2、P4 領域) に対して、PREF 命令を実行しないでください。

5. 例外処理

例外処理とは、通常のプログラムの処理から離れて、通常とは異なる処理をすることをいいます。たとえば、定義されていない命令コードを実行しようとしたり、CPU の処理モードによって保護されている命令を実行しようとした場合に、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するなどの制御が必要になります。また、LSI に内蔵されたモジュールや LSI 外部に接続されたモジュールから CPU に対して要求された処理の制御が必要になる場合もあります。

このような機能をサポートするために、ユーザが作成した例外処理ルーチンに制御を移し、その処置をすることを例外処理と呼びます。本 LSI では、例外処理の要求を一般例外および割り込みの 2 種類に分類して処理します。ユーザは、例外処理の要求に応じた例外処理ルーチンを配置することで、必要な処理を実行した後、元のプログラムの実行を再開することができます。

リセットの入力も、通常のプログラムの実行を中断して、レジスタの初期化を行った後にリセットベクタへ制御の流れを移します。この動作も例外処理の 1 つとみなすことができます。本章では、その動作を概説します。ただし、本章での「例外処理」とは、一般例外および割り込みに対する処理を表します。

また、本章では、割り込みに関しては割り込み要求に対する処理のみを記述しています。割り込み要求の発生方法に関しては、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

5.1 レジスタの説明

例外処理で使用するレジスタには、以下の 5 つがあります。初期値が不定のレジスタは、ソフトウェアにより初期化してください。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- TRAPA例外レジスタ (TRA)
- 例外事象レジスタ (EXPEVT)
- 割り込み事象レジスタ (INTEVT)
- 割り込み事象レジスタ2 (INTEVT2)
- 例外アドレスレジスタ (TEA)

各レジスタのビット構成を図 5.1 に示します。

5. 例外処理

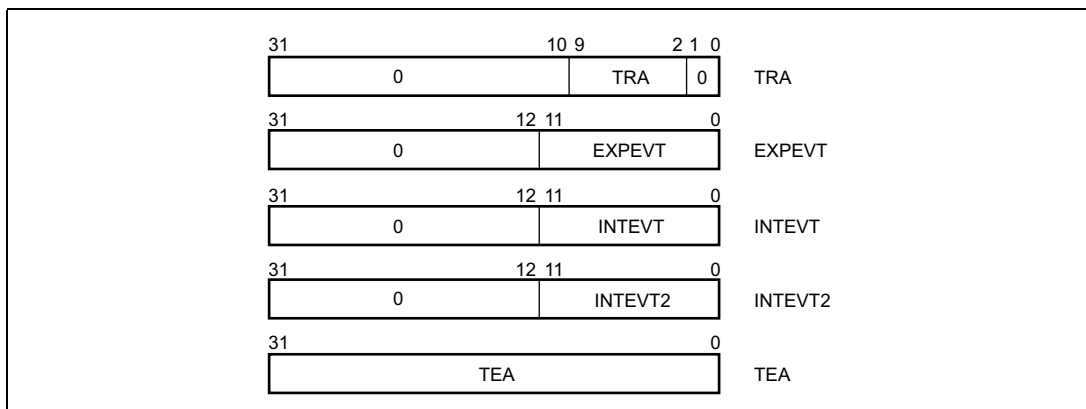


図 5.1 レジスタのビット構成

5.1.1 TRAPA 例外レジスタ (TRA)

TRA は、H'FFFF FFD0 番地に配置されていて、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は、TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA は、ソフトウェアからも変更が可能です、ビット 9～2 のみを書き換えられます。

ビット	ビット名	初期値	R/W	説 明
31～10	—	—	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9～2	TRA	—	R/W	8 ビットイミディエイトデータ
1	—	—	R	リザーブビット
0	—	—	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

5.1.2 例外事象レジスタ (EXPEVT)

EXPEVT は、H'FFFF FFD4 番地に配置されていて、例外コード 12 ビットから構成されています。EXPEVT に設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。EXPEVT は、ソフトウェアからも変更が可能です、ビット 11～ビット 0 のみを書き換えられます。

ビット	ビット名	初期値	R/W	説 明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	EXPEVT	*	R/W	12 ビットの例外コード

【注】 * パワーオンリセット時には H'000 が、マニュアルリセット時には H'020 が設定されます。

5.1.3 割り込み事象レジスタ (INTEVT)

INTEVT は、H'FFFFFFD8 番地に配置されていて、例外コード 12 ビットから構成されています。INTEVT に設定される例外コードは、割り込み要求による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT は、ソフトウェアからも変更が可能ですが、ビット 11～ビット 0 のみ書き換えできます。

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	INTEVT	—	R/W	12 ビットの割り込み要求による例外コード

5.1.4 割り込み事象レジスタ 2 (INTEVT2)

INTEVT2 は、H'A4000000 番地に配置されていて、例外コード 12 ビットから構成されています。INTEVT2 に設定される例外コードは、割り込み要求による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT2 は、ソフトウェアからは変更できません。

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	INTEVT2	—	R	12 ビットの割り込み要求による例外コード

5.1.5 例外アドレスレジスタ (TEA)

TEA は、H'FFFFFFFC 番地に配置されていて、メモリアクセスに関連した例外が発生した際に、例外を発生させた論理アドレスが格納されます。TEA は、ソフトウェアからも変更できます。

ビット	ビット名	初期値	R/W	説明
31～0	TEA	—	R/W	例外を発生させた論理アドレス

5.2 例外処理の機能

5.2.1 例外処理の流れ

例外処理では、例外処理の後に復帰すべきアドレスおよびステータスレジスタ (SR) の内容をそれぞれ退避プログラムカウンタ (SPC) および退避ステータスレジスタ (SSR) に退避し、ベクタアドレスに従って対応する例外処理ルーチンに制御を渡し、実行します。例外発生時の状態に復帰する場合は、例外処理ルーチンで復帰命令 (RTE) を実行します。これにより SSR の内容が SR に回復され、例外発生時の状態に戻り、その後 SPC に待避されたアドレスに制御を移します。基本的な例外処理の流れは、次のとおりです。

例外要求が発生し、CPU がそれを受け付けると、次の 1～8 が実行されます。

5. 例外処理

1. 例外処理の後に、復帰すべき命令のアドレスがSPCに退避されます。
2. SRの内容が、SSRに退避されます。
3. SRのブロックビット (BL) が1に設定され、後続の例外要求がマスクされます。
4. SRのモードビット (MD) が1に設定され、特権モードに切り替わります。
5. SRのレジスタバンクビット (RB) が1に設定されます。
6. 例外要因が一般例外の場合は、要因の例外コードがEXPEVTに、例外要因が割り込みの場合は要因の例外コードがINTEVTおよびINTEVT2に書き込まれます。
7. TRAPA命令を実行した場合は、TRAにTRAPA命令で指定した8ビットイミディエイト値が設定されます。また、メモリアクセスに関する例外の場合は、TEAに例外を発生した論理アドレスが書き込まれます*1。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

1～8は連続して行われ、後述の多重例外受け付けの場合を除き、この期間で別の例外を受け付けることはありません。

一般例外の例外処理ルーチンでは EXPEVT の値から、割り込み処理の例外処理ルーチンでは INTEVT または INTEVT2 の値から例外要因を判定し、必要な例外処理を行ってください。例外処理ルーチンの処理が終了すると、RTE 命令を実行することでプログラムの実行を再開できます。RTE 命令では、次の 1～3 が実行されます。

1. SSRに待避された内容をSRに回復し、例外処理前の処理状態に戻ります。
2. RTE命令の遅延スロットの命令を実行します。*2
3. SPCに待避されたアドレスへ制御を移します。

1～3は連続して行われ、この期間で別の例外を受け付けることはありません。また、RTE 命令の実行前に SPC や SSR を操作することで、例外処理前とは異なった状態に復帰することもできます。

【注】 *1 MMU 例外が生じた場合は、MMU 内のレジスタも更新されます。

*2 RTE 遅延スロット命令が実行される CPU 処理モードに関しては、「5.4 使用上の注意事項」を参照してください。

5.2.2 例外処理ベクタアドレス

一般例外の割り込みのベクタアドレスは、ベクタベースアドレスにベクタオフセットの値を加えた値で決めます。一般例外のベクタオフセットは、TLB ミス例外以外 H'0000 0100 です。割り込みのベクタアドレスのオフセットは、H'0000 0600 です。ベクタベースアドレスは、ベクタベースレジスタ (VBR) にソフトウェアで設定します。ベクタアドレスは、固定物理アドレスエリア (P1、P2) に設定してください。

5.2.3 例外コード

各例外事象を区別するために例外コードが決められており、リセットと一般例外のときには EXPEVT のビット 11～0 に、割り込み要求のときには INTEVT および INTEVT2 に書き込まれます。割り込みの例外コード (要因コード) の詳細は、「第 6 章 割り込みコントローラ (INTC)」を参照してください。リセットおよび一般例外に対する例外コードを表 5.1 に示します。

5.2.4 例外要求と BL ビットの関係（多重例外防止）

SR の BL ビットは、リセットや例外の受け付けで 1 に設定されます。BL ビットが 1 のときは、一般例外の割り込みの受け付けが次のように制限されて、多重に例外が受け付けられるのを防止します。

割り込みの要求は、BL ビットが 1 の間は保留されます。ユーザが BL ビットを 0 にした時点で割り込み要求が受け付けられます。ただし、CPU が低消費電力状態にある場合は、SR の BL ビットが 1 であっても、割り込みを受け付け、低消費電力状態から復帰します。

DMA アドレスエラーも同様に BL ビットが 1 の間は保留され、BL ビットが 0 になった時点で例外要求が受け付けられます。一方、BL ビットが 1 の期間中に生じたユーザブレイク要求は無視され、保留されません。したがって、BL ビットを 0 にしても、要求された例外は、受け付けられません。

BL ビットが 1 の期間に DMA アドレスエラーおよびユーザブレイク以外の一般例外要求が生じた場合には、CPU はリセット後の状態と同じになり、リセットベクタ（H'A0000000）へ処理を移行します（多重例外）。ただし、これは通常のリセットとは異なり、CPU 以外のモジュールは初期化されず、EXPEVT、SPC、および SSR の値は、不定となります。また、LSI 外部でこの状態を検出することもできません。

例外処理を多重に受け付け可能にするためには、例外受け付け後に BL ビットが 1 の間に SPC と SSR を退避させ、その後 SR の BL ビットを 0 でクリアします。SPC と SSR を回復する場合には、これらを回復する前に SR の BL ビットを 1 に設定してください。

5.2.5 例外要因の受け付けタイミングと優先順位

(1) 命令同期型・命令非同期型例外要求

リセットおよび割り込みは、プログラムの流れに関係なく非同期に入る例外要求です。一般例外の内、DMA アドレスエラーとある条件下でのユーザブレイクも非同期の例外要求となります。これらの例外要求は、その要求をどの命令で受け付けるかを予測することはできません。

その他の一般例外は、その例外要求に対応する命令が一意に決定します。

(2) 再実行型、完了型例外

すべての例外は、再実行型および完了型の 2 種類に分類されます。再実行型の例外を受け付けると、例外を受け付けた命令の実行を中断し、そのアドレスを SPC に待避します。例外処理から復帰すると、例外を生じた命令から実行を再開します。完了型例外では、例外を受け付けた命令の実行を完了し、次の命令のアドレスを待避して例外処理を実行します。

ただし、遅延分岐命令と遅延スロットの間では、次のように処理されます。遅延スロットで検出された再実行型例外は、遅延分岐命令実行前に受け付けられます。遅延分岐命令または遅延スロットで検出された完了型例外は、遅延分岐命令実行後、分岐先命令の実行前に受け付けられます。ここでいう遅延スロットとは、遅延無条件分岐命令の次の命令や、遅延条件分岐命令が成立するときの次の命令を示します。遅延条件分岐で分岐しなかった場合は、通常と同じように処理されます。

5. 例外処理

(3) 優先順位と判定順位

すべての例外要求は、2つ以上の例外が同時に発生したときに受け付ける優先順位が決められています。リセット、一般例外、および割り込みの例外要求は、ここで挙げられた順位で優先順位が高くなっています。リセットは、CPUがいかなる状態にあろうと受け付けられます。また、割り込みは、リセットや一般例外の要求がない場合に限り受け付けられます。

同一の命令で複数の一般例外要求が生じる場合は、次の順序で判定されます。

1. 直前の命令で生じた完了型例外*
2. 命令実行前ユーザブレイク 【再実行型】
3. 命令フェッチに関する例外 (CPUアドレスエラーおよびMMU関連例外) 【再実行型】
4. 命令デコードの結果生じる例外 (一般不当命令例外、スロット不当命令例外【再実行型】、および無条件トラップ【完了型】)
5. データアクセスに関する例外 (CPUアドレスエラーおよびMMU関連例外) 【再実行型】
6. 無条件トラップ【完了型】
7. 命令実行前以外のユーザブレイク【完了型】
8. DMAアドレスエラー【完了型】

【注】 * ある命令で完了型例外を受け付けた場合は、次の命令の実行前に例外処理に移行しますが、この処理は次の命令で生じる例外の判定を行う前に優先して処理されます。

一度に受け付けることのできる例外要求は1個ですが、順次、例外要求を受け付けていくことですべての例外要求を処理することができます。

表 5.1 例外事象一覧

例外種別	実行命令の終了状態	例外事象	優先順位 *1	判定順位	BL=1 ときの 処理	例外要因 コード	ベクタ オフセット
リセット (命令非同期)	中断	パワーオンリセット	1	1	リセット	H'000	—
		マニュアルリセット	1	2	リセット	H'020	—
一般例外 (命令同期)	再実行	ユーザブレーク (命令実行前)	2	0	無視	H'1E0	H'00000100
		CPU アドレスエラー (命令アクセス)	2	1	リセット	H'0E0	H'00000100
		*4 TLB ミス (命令アクセス)	2	1-1	リセット	H'040	H'00000400
		TLB 無効 (命令アクセス)	2	1-2	リセット	H'040	H'00000100
		TLB 保護違反 (命令アクセス)	2	1-3	リセット	H'0A0	H'00000100
		一般不当命令例外	2	2	リセット	H'180	H'00000100
		スロット不当命令例外	2	2	リセット	H'1A0	H'00000100
		CPU アドレスエラー (データ読み出し/書き込み)	2	3	リセット	H'0E0/H'100	H'00000100
		*4 TLB ミス (データ読み出し/書き込み)	2	3-1	リセット	H'040/H'060	H'00000400
		TLB 無効 (データ読み出し/書き込み)	2	3-2	リセット	H'040/H'060	H'00000100
	TLB 保護違反 (データ読み出し/書き込み)	2	3-3	リセット	H'0A0/H'0C0	H'00000100	
	初期ページ書き込み (データ書き込み)	2	3-4	リセット	H'080	H'00000100	
	完了	無条件トラップ (TRAPA 命令)	2	4	リセット	H'160	H'00000100
		ユーザブレーク (命令実行後、アドレス)	2	5	無視	H'1E0	H'00000100
	一般例外 (命令非同期)	完了	ユーザブレーク (データブレーク、I-BUS ブレーク)	2	5	無視	H'1E0
DMA アドレスエラー			2	6	保留	H'5C0	H'00000100
割り込み (命令非同期)	完了	各種割り込み要求	3	—*2	保留	—*3	H'00000600

【注】 *1 優先順位は、高い方から低い方に 1 から 3 で指定されます。リセットは、すべての要求に優先します。割り込みは、一般例外要求がない場合のみ受け付けることができます。

*2 複数の割り込み要因間の優先順位は、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

*3 割り込みを受理しても例外事象レジスタ (EXPEVT) の値は変化せず、割り込み要因レジスタ (INTEVT, INTEVT2) に割り込み要求元を示すコートが設定されます。「第 6 章 割り込みコントローラ (INTC)」を参照してください。

*4 これらの例外コードは、メモリマネージメントユニット (MMU) を使用する場合に有効です。

5.3 個別例外の動作説明

個別の例外処理動作について、発生条件および発生時のプロセッサの動作を説明します。本節では、リセットおよび一般例外について述べます。割り込みの動作に関しては、「第6章 割り込みコントローラ (INTC)」を参照してください。

5.3.1 リセット

(1) パワーオンリセット

条件：

パワーオンリセット要求

動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ (H'A0000000) に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

条件：

マニュアルリセット要求

動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行ったのちリセットベクタ (H'A0000000) に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

5.3.2 一般例外

(1) CPU アドレスエラー

条件：

- 奇数アドレス ($4n+1$ 、 $4n+3$) から命令フェッチ
- ワードデータをワード境界以外 ($4n+1$ 、 $4n+3$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$ 、 $4n+2$ 、 $4n+3$) からアクセス
- ユーザモードで論理空間のH'80000000~H'FFFFFFFの領域をアクセス

種別：

命令同期、再実行型

待避アドレス：

命令フェッチの場合： 本例外を発生させた命令フェッチ先のアドレス。

データアクセスの場合： 本例外を発生させた命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合：H'0E0

書き込みで発生した場合：H'100

特記：

本例外を発生させた論理アドレス（32ビット）をTEAに設定します。

(2) 一般不当命令例外

条件：

- 遅延分岐命令の遅延スロット以外で、命令の定義されていない命令コード（未定義コード）を実行した場合

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

【注】 未定義コードについては、表 2.12 を参照してください。ただし、命令コード H'F000~H'FFFF の未定義コードの例外処理動作のみを保証し、その他の未定義コードでは動作を保証しません。

- 遅延スロット以外にある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STCでGBRをアクセスする命令は特権命令ではありません。

種別：

命令同期、再実行型

待避アドレス：

本例外を発生させた命令のアドレス

例外コード：

H'180

特記：

なし

(3) スロット不当命令例外

条件：

- 遅延スロットにある未定義コードをデコードした場合

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

- 遅延スロットにある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STCでGBRにアクセスする命令は、特権命令ではありません。

- 遅延スロット内でPCを書き換える命令をデコードした場合

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、

LDC Rm,SR、LDC.L @Rm+,SR

5. 例外処理

種別：

命令同期、再実行型

待避アドレス：

遅延分岐命令が配置されたアドレス

例外コード：

H'1A0

特記：

なし

(4) 無条件トラップ

条件：

TRAPA命令の実行

種別：

命令同期、完了型

待避アドレス：

TRAPA命令の次命令のアドレス

例外コード：

H'160

特記：

完了型の例外のため、TRAPA命令の次命令のアドレスをSPCに退避します。TRAPA命令中の8ビットのイミディエイト値をTRA[9:2]に設定します。

(5) ユーザブレイクポイントトラップ

条件：

ユーザブレイクコントローラに設定したブレイク条件が成立した場合

種別：

命令実行前ブレイク (Lバス) の場合： 命令同期、再実行型。

オペランドブレイク (Lバス) の場合： 命令同期、完了型。

データブレイク (Lバス) の場合： 命令非同期、完了型。

Iバスでのブレイクの場合： 命令非同期、完了型。

待避アドレス：

再実行型の場合： ブレイク成立命令のアドレス。

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

完了型の場合： ブレイク要求を受け付けた命令の次命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレス。

例外コード：

H'1E0

特記：

ユーザブレイクコントローラの詳細は、「第22章 ユーザブレイクコントローラ (UBC)」を参照してください。

(6) DMA アドレスエラー

条件：

- ワードデータをワード境界以外 ($4n+1$ 、 $4n+3$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$ 、 $4n+2$ 、 $4n+3$) からアクセス

種別：

命令非同期、完了型

待避アドレス：

本例外を受け付けた命令の次命令のアドレスが退避されます。ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレスが退避されます。

例外コード：

H'5C0

特記：

ダイレクトメモリアクセスコントローラ (DMAC) に上記条件に該当する不正なアドレスが設定され、実際の転送動作が行われた際に例外要求が生じます。DMACの転送動作は、CPUの命令動作とは非同期に行われるため、例外要求も命令非同期になります。DMACの動作の詳細は、「第8章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

5.3.3 一般例外 (MMU 例外)

メモリマネージメントユニット (MMU) のアドレス変換機構が有効な場合は、CPU アドレスエラーの判定に続いて MMU 例外の判定が行われます。MMU 例外は、4 種類定義されており、TLB ミス例外、TLB 無効例外、TLB 保護例外、および初期ページ書き込み例外の順番で判定が行われます。

TLB ミス例外は、例外要因の判定を容易にするため、ベクタオフセットを H'00000400 とし、通常の一般例外とベクタオフセットを分けています。

MMU 例外の動作の詳細に関しては、「第3章 メモリマネージメントユニット (MMU)」を参照してください。

(1) TLB ミス例外

条件：

TLBのアドレス比較の結果、アドレスが不一致だった場合

種別：

命令同期、再実行型

5. 例外処理

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス

例外コード：

読み出しで例外が発生した場合： H'040

書き込みで発生した場合： H'060

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。TLBミス例外のベクタアドレスは、VBR+H'0400になります。TLBミス処理高速化のために、他の例外とオフセットを分けています。

(2) TLB 無効例外

条件：

TLBのアドレス比較の結果一致したが、V=0であった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス

例外コード：

読み出しで例外が発生した場合： H'040

書き込みで発生した場合： H'060

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

(3) TLB 保護例外

条件：

アクセスがTLBの保護情報（PRビット）に反する場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合： H'0A0

書き込みで発生した場合： H'0C0

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

(4) 初期ページ書き込み例外

条件：

データ書き込みアクセスでTLBにヒットしたが、D=0であった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

例外コード：

H'080

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

5.4 使用上の注意事項

1. RTE命令の遅延スロットに配置された命令は、SSRに待避されていた値がSRに復帰された後に実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後のSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。
3. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みおよびDMAアドレスエラーに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 特長

- 割り込み優先順位を16レベル設定可能
割り込み優先レベル設定レジスタにより、内蔵周辺モジュール、IRQ割り込みの優先順位を割り込み要求元別に16レベルまで設定することができます。
- NMIノイズキャンセル機能
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。
- IRQ割り込みを設定可能
ローレベル、ハイレベル、立ち上がり、立ち下がり

割り込みコントローラのブロック図を図 6.1 に示します。

6. 割り込みコントローラ (INTC)

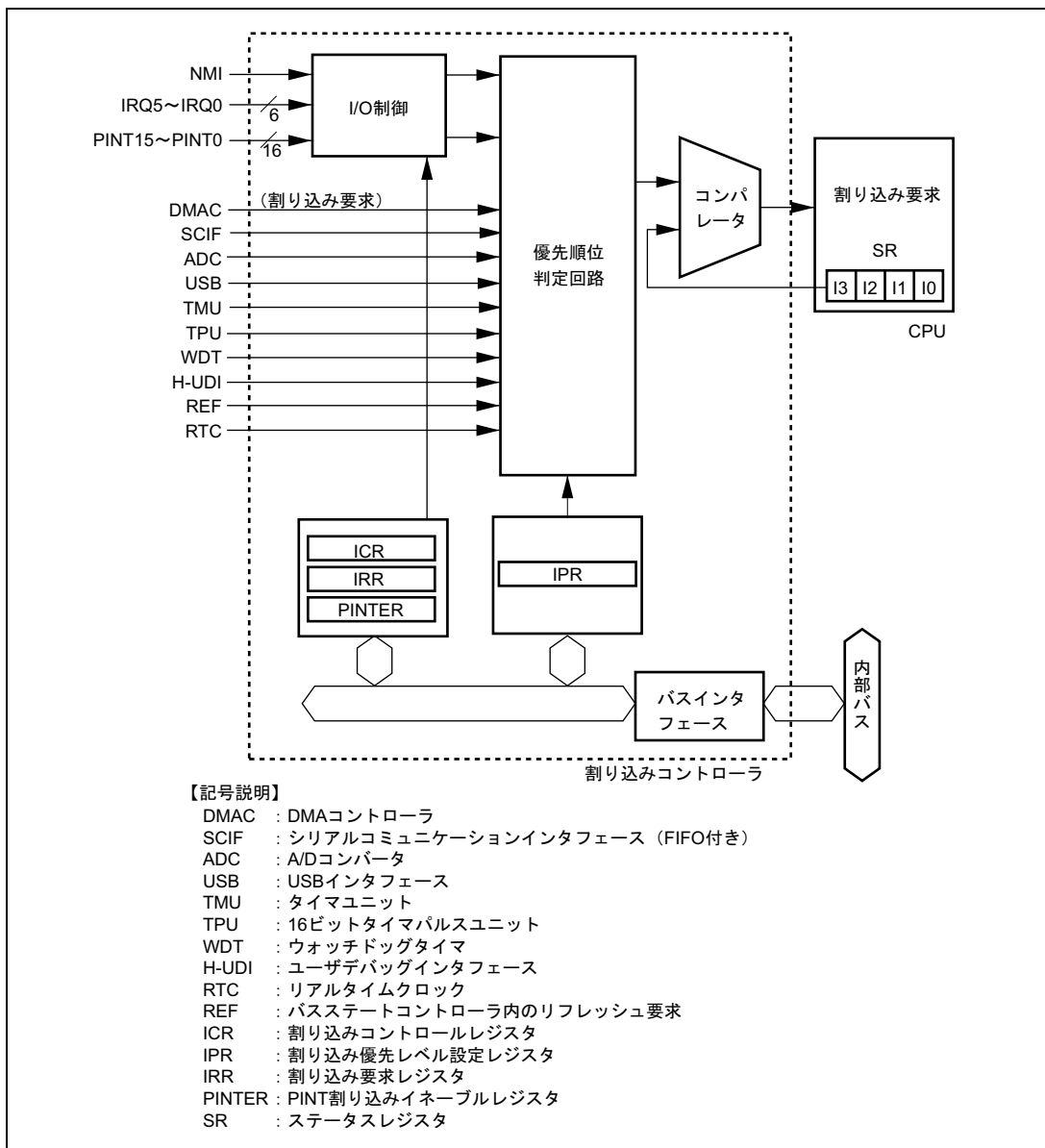


図 6.1 割り込みコントローラのブロック図

6.2 入出力端子

割り込みコントローラの端子構成を表 6.1 に示します。

表 6.1 端子構成

名称	略語	入出力	内 容
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号の入力
割り込み入力端子	IRQ5~IRQ0、 $\overline{IRL3}$ ~ $\overline{IRL0}$	入力	割り込み要求信号の入力
ポート割り込み入力端子	PINT15~PINT0	入力	ポート割り込み信号の入力

【注】 $\overline{IRL3}$ ~ $\overline{IRL0}$ は、IRQ3~IRQ0 と端子が兼用になっているため、同時には使用できません。

6.3 レジスタの説明

割り込みコントローラには、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については、「第 24 章 レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ 0 (ICR0)
- 割り込みコントロールレジスタ 1 (ICR1)
- 割り込みコントロールレジスタ 2 (ICR2)
- PINT割り込みイネーブルレジスタ (PINTER)
- 割り込み優先レベル設定レジスタ A (IPRA)
- 割り込み優先レベル設定レジスタ B (IPRB)
- 割り込み優先レベル設定レジスタ C (IPRC)
- 割り込み優先レベル設定レジスタ D (IPRD)
- 割り込み優先レベル設定レジスタ E (IPRE)
- 割り込み優先レベル設定レジスタ F (IPRF)
- 割り込み優先レベル設定レジスタ G (IPRG)
- 割り込み優先レベル設定レジスタ H (IPRH)
- 割り込み要求レジスタ 0 (IRR0)
- 割り込み要求レジスタ 1 (IRR1)
- 割り込み要求レジスタ 2 (IRR2)

6. 割り込みコントローラ (INTC)

6.3.1 割り込み優先レベル設定レジスタ A~H (IPRA~IPRH)

IPRA~IPRH は、内蔵周辺モジュール、IRQ、PINT 割り込みに対して 0~15 までの優先順位レベルをセットする 16 ビットの読み出し/書き込みレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IPR15	0	R/W	4 ビット単位で、各割り込み要因の割り込み優先レベルを設定します。詳細は表 6.2 を参照してください。
14	IPR14	0	R/W	
13	IPR13	0	R/W	
12	IPR12	0	R/W	
11	IPR11	0	R/W	
10	IPR10	0	R/W	
9	IPR9	0	R/W	
8	IPR8	0	R/W	
7	IPR7	0	R/W	
6	IPR6	0	R/W	
5	IPR5	0	R/W	
4	IPR4	0	R/W	
3	IPR3	0	R/W	
2	IPR2	0	R/W	
1	IPR1	0	R/W	
0	IPR0	0	R/W	

表 6.2 割り込み要求要因と IPRA~IPRH

レジスタ名	ビット 15~12	ビット 11~8	ビット 7~4	ビット 3~0
IPRA	TMU0	TMU1	TMU2	RTC
IPRB	WDT	REF	リザーブ*	リザーブ*
IPRC	IRQ3	IRQ2	IRQ1	IRQ0
IPRD	PINT0~PINT7	PINT8~PINT15	IRQ5	IRQ4
IPRE	DMAC	SCIF0	SCIF2	ADC
IPRF	リザーブ*	リザーブ*	USB	リザーブ*
IPRG	TPU0	TPU1	リザーブ*	リザーブ*
IPRH	TPU2	TPU3	リザーブ*	リザーブ*

【注】 * リザーブ：読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 6.2 に示すように、各レジスタには 4 組の内蔵周辺モジュール、または IRQ、PINT 割り込みが割り当てられます。4 ビットグループ (ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0) は、H'0 (0000) ~H'F (1111) の値に設定することができます。設定 H'0 は優先順位レベル 0 (要求マスク) を意味し、H'F は優先順位レベル 15 (最高レベル) です。

6.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は外部割り込み入力端子 NMI の入力検出モードを設定し、NMI 端子に対する入力信号レベルを示します。

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI 入力レベル NMI 端子に信号の入力レベルをセットします。このビットを読み出して NMI 端子レベルを判断することができます。このビットは、変更不可能です。 0 : NMI 入力レベルはロー 1 : NMI 入力レベルはハイ
14	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	—	0	R	
12	—	0	R	
11	—	0	R	
10	—	0	R	
9	—	0	R	
8	NMIE	0	R/W	NMI エッジ選択 NMI 入力の立ち下がりまたは立ち上がりエッジのどちらで割り込み要求信号を検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求信号を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求信号を検出
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	—	0	R	
1	—	0	R	
0	—	0	R	

【注】 * NMI 入力が高レベル時は 1、NMI 入力がローレベル時は 0 になります。

6. 割り込みコントローラ (INTC)

6.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ5～IRQ0 に対して立ち上がりエッジ、立ち下がりエッジ、ローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
15	MAI	0	R/W	<p>全割り込みマスク</p> <p>本ビットを 1 にセットすると、NMI 端子にローレベルを入力中、すべての割り込み要求をマスクします。また、スタンバイモード中、NMI 割り込みをマスクします。</p> <p>0 : NMI 端子がローレベルのとき、すべての割り込み要求をマスクしない。</p> <p>1 : NMI 端子がローレベルのとき、すべての割り込み要求をマスクする。</p>
14	IRQLVL	1	R/W	<p>割り込み要求レベル検出</p> <p>IRQ3～IRQ0 端子を 4 本の独立した割り込み端子として使用許可／禁止を選択します。IRQ4、IRQ5 には影響はありません。</p> <p>0 : 4 本の独立した割り込み端子 IRQ3～IRQ0 として使用許可</p> <p>1 : IRL3～IRL0 としてエンコードした 15 レベルの割り込み端子として使用。</p>
13	BLMSK	0	R/W	<p>BL ビットマスク</p> <p>SR レジスタの BL ビットが 1 のとき、NMI 割り込みをマスクするかどうかを指定します。</p> <p>0 : BL ビットが 1 のとき、NMI 割り込みをマスクする。</p> <p>1 : BL ビットの設定に関係なく、NMI 割り込みを受け付ける。</p>
12	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明																			
11	IRQ51S	0	R/W	IRQn センスセレクト IRQ5~IRQ0 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するかを選択します。																			
10	IRQ50S	0	R/W																				
9	IRQ41S	0	R/W																				
8	IRQ40S	0	R/W																				
7	IRQ31S	0	R/W																				
6	IRQ30S	0	R/W																				
5	IRQ21S	0	R/W																				
4	IRQ20S	0	R/W																				
3	IRQ11S	0	R/W																				
2	IRQ10S	0	R/W																				
1	IRQ01S	0	R/W																				
0	IRQ00S	0	R/W																				
					<table border="1"> <thead> <tr> <th>ビット 2n+1</th> <th>ビット 2n</th> <th></th> </tr> </thead> <tbody> <tr> <td>IRQn1S</td> <td>IRQn0S</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>割り込み要求を IRQn 入力の立ち下がりエッジで検出する</td> </tr> <tr> <td>0</td> <td>1</td> <td>割り込み要求を IRQn 入力の立ち上がりエッジで検出する</td> </tr> <tr> <td>1</td> <td>0</td> <td>割り込み要求を IRQn 入力のローレベルで検出する</td> </tr> <tr> <td>1</td> <td>1</td> <td>割り込み要求を IRQn 入力のハイレベルで検出する</td> </tr> </tbody> </table>	ビット 2n+1	ビット 2n		IRQn1S	IRQn0S		0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する	0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する	1	0	割り込み要求を IRQn 入力のローレベルで検出する	1	1	割り込み要求を IRQn 入力のハイレベルで検出する
ビット 2n+1	ビット 2n																						
IRQn1S	IRQn0S																						
0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する																					
0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する																					
1	0	割り込み要求を IRQn 入力のローレベルで検出する																					
1	1	割り込み要求を IRQn 入力のハイレベルで検出する																					
				【記号説明】 n=0~5																			

6.3.4 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 PINT15~PINT0 に対して検出モードを指定する 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
15	PINT15S	0	R/W	PINT15~PINT0 センス選択 PINT15~PINT0 に対する割り込み要求信号をローレベル、ハイレベルのいずれで検出するかを選択します。 PINTnS 0 : PINT 端子に対して割り込み要求をローレベルで検出 1 : PINT 端子に対して割り込み要求をハイレベルで検出 【記号説明】 n=0~15
14	PINT14S	0	R/W	
13	PINT13S	0	R/W	
12	PINT12S	0	R/W	
11	PINT11S	0	R/W	
10	PINT10S	0	R/W	
9	PINT9S	0	R/W	
8	PINT8S	0	R/W	
7	PINT7S	0	R/W	
6	PINT6S	0	R/W	
5	PINT5S	0	R/W	
4	PINT4S	0	R/W	
3	PINT3S	0	R/W	
2	PINT2S	0	R/W	
1	PINT1S	0	R/W	
0	PINT0S	0	R/W	

6. 割り込みコントローラ (INTC)

6.3.5 PINT 割り込みイネーブルレジスタ (PINTER)

PINTER は、外部割り込み入力端子 PINT15～PINT0 にする割り込み要求入力をイネーブルにする 16 ビットのレジスタです。

PINT15～PINT0 の端子をすべて、または一部を割り込み入力として使用しない場合、割り込み要求として使用しない端子に該当するビットは 0 にセットしてください。

ビット	ビット名	初期値	R/W	説明
15	PINT15E	0	R/W	PINT15～PINT0 割り込みイネーブル PINT15～PINT0 端子に対する割り込み要求入力をイネーブルにするかどうかを選択します。 PINTnE 0 : PINT 入力割り込み要求をディスエーブルにする 1 : PINT 入力割り込み要求をイネーブルにする 【記号説明】 n=0～15
14	PINT14E	0	R/W	
13	PINT13E	0	R/W	
12	PINT12E	0	R/W	
11	PINT11E	0	R/W	
10	PINT10E	0	R/W	
9	PINT9E	0	R/W	
8	PINT8E	0	R/W	
7	PINT7E	0	R/W	
6	PINT6E	0	R/W	
5	PINT5E	0	R/W	
4	PINT4E	0	R/W	
3	PINT3E	0	R/W	
2	PINT2E	0	R/W	
1	PINT1E	0	R/W	
0	PINT0E	0	R/W	

6.3.6 割り込み要求レジスタ 0 (IRR0)

IRR0 は、外部入力端子 IRQ5～IRQ0 および PINT15～PINT0 からの割り込み要求を示す 8 ビットレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PINT0R	0	R	PINT7～PINT0 割り込み要求 PINT7～PINT0 端子に割り込み要求が入力されているかどうかを示します。 0 : PINT7～PINT0 端子に割り込みなし 1 : PINT7～PINT0 端子に割り込みあり
6	PINT1R	0	R	PINT15～PINT8 割り込み要求 PINT15～PINT8 端子に割り込み要求が入力されているかどうかを示します。 0 : PINT15～PINT8 端子に割り込みなし 1 : PINT15～PINT8 端子に割り込みあり

ビット	ビット名	初期値	R/W	説明
5	IRQ5R	0	R/W	IRQn 割り込み要求 IRQn 端子に割り込み要求が入力されているかを示します。 IRQn 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQnR ビットの 1 を読み出した後に、0 を書き込むことでクリアされます。 IRQn 端子がレベル検出モードに設定されている場合、割り込み要求が入力 されているかどうかを示します。IRQn 端子の入力値でのみ、セット/クリ アすることができます。 IRQnR 0 : IRQn 端子に割り込み要求なし 1 : IRQn 端子に割り込み要求あり 【記号説明】 n=0~5
4	IRQ4R	0	R/W	
3	IRQ3R	0	R/W	
2	IRQ2R	0	R/W	
1	IRQ1R	0	R/W	
0	IRQ0R	0	R/W	

6.3.7 割り込み要求レジスタ 1 (IRR1)

IRR1 は、DMAC、SCIF0 割り込みからの割り込み要求発生の有無を示す 8 ビットレジスタです。

ビット	ビット名	初期値	R/W	説明
7	TXI0R	0	R	TXI0 割り込み要求 TXI0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : TXI0 割り込み要求は発生していない 1 : TXI0 割り込み要求は発生している
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
5	RXI0R	0	R	RXI0 割り込み要求 RXI0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : RXI0 割り込み要求は発生していない 1 : RXI0 割り込み要求は発生している
4	ERI0R	0	R	ERI0 割り込み要求 ERI0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : ERI0 割り込み要求は発生していない 1 : ERI0 割り込み要求は発生している
3	DEI3R	0	R	DEI3 割り込み要求 DEI3 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI3 割り込み要求は発生していない 1 : DEI3 割り込み要求は発生している

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
2	DEI2R	0	R	DEI2 割り込み要求 DEI2 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI2 割り込み要求は発生していない 1 : DEI2 割り込み要求は発生している
1	DEI1R	0	R	DEI1 割り込み要求 DEI1 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI1 割り込み要求は発生していない 1 : DEI1 割り込み要求は発生している
0	DEI0R	0	R	DEI0 割り込み要求 DEI0 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI0 割り込み要求は発生していない 1 : DEI0 割り込み要求は発生している

6.3.8 割り込み要求レジスタ 2 (IRR2)

IRR2 は、SCIF2、ADC 割り込みからの割り込み要求発生の有無を示す 8 ビットレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。
5	—	0	R	
4	ADIR	0	R	ADI 割り込み要求 ADI (ADC) 割り込み要求が発生したかどうかを示します。 0 : ADI 割り込み要求は発生していない 1 : ADI 割り込み要求は発生している
3	TXI2R	0	R	TXI2 割り込み要求 TXI2 (SCIF2) 割り込み要求が発生したかどうかを示します。 0 : TXI2 割り込み要求は発生していない 1 : TXI2 割り込み要求は発生している
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
1	RXI2R	0	R	RXI2 割り込み要求 RXI2 (SCIF2) 割り込み要求が発生したかどうかを示します。 0 : RXI2 割り込み要求は発生していない 1 : RXI2 割り込み要求は発生している
0	ERI2R	0	R	ERI2 割り込み要求 ERI2 (SCIF2) 割り込み要求が発生したかどうかを示します。 0 : ERI2 割り込み要求は発生していない 1 : ERI2 割り込み要求は発生している

6.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、PINT、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

6.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。割り込みコントロールレジスタ (ICR1) のBLMSKビットが1か、ステータスレジスタ (SR) のBLビットが0の場合、NMI 割り込みは受け付けられません。NMI 割り込みはエッジ検出です。ただし、スリープまたはスタンバイモード中は、BLビットにかかわらず割り込みが受け付けられません。割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) は、立ち上がりエッジ/立ち下がりエッジの選択を行います。

エッジ入力割り込み検出では、周辺クロック ($P\phi$) ベースで2サイクル以上のパルス幅が必要です。NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。ICR1のMAIビットが1の場合、NMI 割り込みは受け付けられません。

NMI 割り込みを使用して、スリープ、スタンバイ状態から復帰できます。

6.4.2 IRQ 割り込み

IRQ 割り込みは、IRQ5~IRQ0端子からレベルまたはエッジで入力されます。優先レベルは、割り込み優先レベル設定レジスタC、D (IPRC、D) にレベル0~15の範囲で設定できます。

IRQ 割り込みをエッジセンスで使用する場合は、IRR0の対応するビットをソフトウェアで1であることを読み出した後に0を書き込み、割り込み要因をクリアしてください。

ICR1に上書きする際、IRQ端子の状態によってはIRQ 割り込みが誤検出される可能性があります。これを避けるため、まず割り込みをマスク状態で上書きし、それから割り込み要求レジスタ0 (IRR0) を読み出した後に0を書き込んで不正な割り込みをクリアした後にマスクを解除してください。

エッジ入力割り込み検出では、周辺クロック ($P\phi$) ベースで2サイクル以上のパルス幅を必要とします。

IRQ 割り込みをレベルセンスで使用する場合は、CPUがサンプリングするまで端子レベルを保持する必要があります。したがって、割り込みハンドラ内で割り込み要因をクリアしてください。

IRQ 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。IRQ 割り込みは、該当する割り込みレベルがSRレジスタのI3-I0より高い場合に、スタンバイからの復帰に使用できます (ただし、RTC使用時のみRTC用クロックでスタンバイ復帰)。

6.4.3 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3}$ ~ $\overline{IRL0}$ 端子でレベルとして入力される割り込みです。優先順位レベルは、端子 $\overline{IRL3}$ ~ $\overline{IRL0}$ で示したより高い方のレベルです。 $\overline{IRL3}$ ~ $\overline{IRL0}$ の値が0 (0000) のときは最高レベルの割り込み要求 (割り込み優先順位レベル15) を示します。値が15 (1111) の場合、割り込み要求がない (割り込み優先順位レベル0) ことを示します。図6.2にIRL 割り込み接続の例を示します。表6.3は \overline{IRL} 端子と割り込みレベルを示します。

IRL 割り込みの検出は、ノイズキャンセラ機能が組み込まれ、周辺クロックごとにサンプリングされたレベル

6. 割り込みコントローラ (INTC)

が2サイクル続けて同一の値になったときに初めて行います。これにより、 \overline{IRL} 端子の変化時の誤ったレベルを取り込むことを防止できます。また、スタンバイモード時は周辺クロックが停止しているため、代わりに RTC 用クロックを使用して、ノイズキャンセラの処理を行います。このため RTC を使用しない場合は、スタンバイモード中に IRL 割り込みによるスタンバイ復帰は行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理が開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはできません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

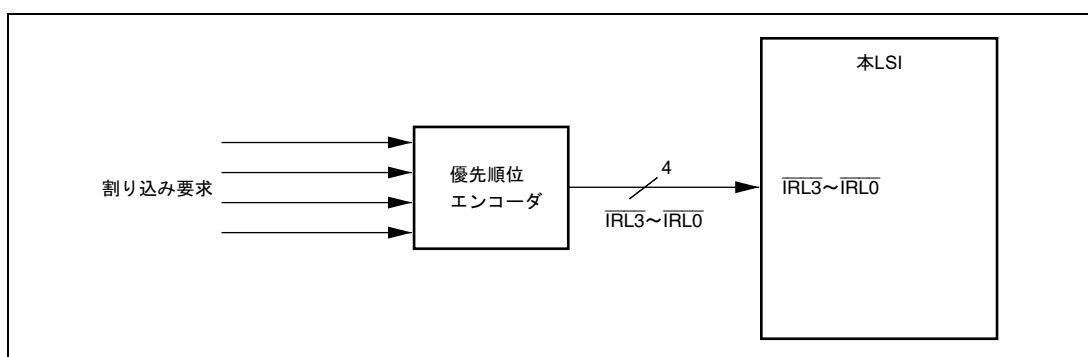


図 6.2 IRL 割り込みの接続例

表 6.3 $\overline{IRL3} \sim \overline{IRL0}$ 端子および割り込みレベル

IRL3	IRL2	IRL1	IRL0	割り込み優先レベル	割り込み要求
0	0	0	0	15	レベル 15 割り込み要求
0	0	0	1	14	レベル 14 割り込み要求
0	0	1	0	13	レベル 13 割り込み要求
0	0	1	1	12	レベル 12 割り込み要求
0	1	0	0	11	レベル 11 割り込み要求
0	1	0	1	10	レベル 10 割り込み要求
0	1	1	0	9	レベル 9 割り込み要求
0	1	1	1	8	レベル 8 割り込み要求
1	0	0	0	7	レベル 7 割り込み要求
1	0	0	1	6	レベル 6 割り込み要求
1	0	1	0	5	レベル 5 割り込み要求
1	0	1	1	4	レベル 4 割り込み要求
1	1	0	0	3	レベル 3 割り込み要求
1	1	0	1	2	レベル 2 割り込み要求
1	1	1	0	1	レベル 1 割り込み要求
1	1	1	1	0	割り込み要求なし

6.4.4 PINT 割り込み

PINT 割り込みは、PINT0～PINT15 端子からレベルで入力されます。優先レベルは、割り込み優先レベル設定レジスタ D (IPRD) により、PINT0～PINT7、PINT8～PINT15 を一括して、レベル 0～15 の範囲で設定できます。

PINT 割り込みは、割り込みを受け付けて割り込み処理を開始するまでそのレベルを保持してください。

PINT 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3～I0) が影響されることはありません。PINT 割り込みは、該当する割り込みレベルが SR レジスタの I3-I0 より高い場合に、スタンバイからの復帰に使用できます (ただし、RTC 使用時のみ RTC 用クロックでスタンバイ復帰)。

6.4.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、次のような 10 種類のモジュールで発生する割り込みです。

- DMAコントローラ (DMAC)
- シリアルコミュニケーションインタフェース (SCIF0、SCIF2)
- A/Dコンバータ (ADC)
- USBインタフェース (USB)
- タイムユニット (TMU)
- 16ビットタイマパルスユニット (TPU)
- ウォッチドッグタイマ (WDT)
- バスステートコントローラ (BSC)
- ユーザデバッグインタフェース (H-UDI)
- リアルタイムクロック (RTC)

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT および INTEVT2) に反映されますので、INTEVT または INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

H-UDI を除く各モジュールの優先順位レベル (0～15) は、割り込み優先レベル設定レジスタ A～H (IPRA～IPRH) に優先順位レベル値を書き込むことによってにセットすることができます。H-UDI の優先順位レベルは 15 (固定) です。

ステータスレジスタの割り込みマスクビット (I3-I0) は、内蔵周辺モジュール割り込み処理の影響を受けません。

6. 割り込みコントローラ (INTC)

6.4.6 割り込み例外処理および優先順位

割り込み要因は、NMI、IRQ、IRL、PINT、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は割り込み優先レベル値（16～0）で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

割り込み要因と割り込み事象レジスタ（INTEVT、INTEVT2）の要因コード、割り込み優先順位を表6.4、表6.5に示します。

各割り込み要因は、それぞれ異なる割り込み事象レジスタ（INTEVT、INTEVT2）に要因コードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVTまたはINTEVT2レジスタの値を使って分岐させます。たとえばINTEVT2レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュール、IRQ、PINT割り込みの優先順位は、割り込み優先レベル設定レジスタによって、優先レベル15～0の範囲で任意に設定できます。リセットによって、内蔵周辺モジュール、IRQ、PINT割り込みの優先順位は優先レベル0に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表6.4または表6.5に示す「デフォルト優先順位」に従って処理されます。

6. 割り込みコントローラ (INTC)

割り込み要因		例外コード*1	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
TMU0	TUNI0	H'400*2	0-15 (0)	IPRA (15-12)	—	高 ↑ ↓ 低
TMU1	TUNI1	H'420*2	0-15 (0)	IPRA (11-8)	—	
TMU2	TUNI2	H'440*2	0-15 (0)	IPRA (7-4)	高	
	TICPI2	H'460*2			低	
RTC	ATI	H'480*2	0-15 (0)	IPRA (3-0)	高	
	PRI	H'4A0*2			▲	
	CUI	H'4C0*2			▼	
WDT	ITI	H'560*2	0-15 (0)	IPRB (15-12)	—	
REF	RCMI	H'580*2	0-15 (0)	IPRB (11-8)	—	低

【注】 *1 INTEVT2 コード。

*2 INTEVT には INTEVT2 と同じコードがセットされます。

*3 INTEVT には表 6.6 に示す割り込みレベル (H'200~H'3C0) を示すコードがセットされます。

6. 割り込みコントローラ (INTC)

割り込み要因		例外コード*1	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
TPU 0	TPI0	H'C00*3	0-15 (0)	IPRG (15-12)	—	高 ↑ 低
TPU 1	TPI1	H'C20*3	0-15 (0)	IPRG (11-8)	—	
TPU 2	TPI2	H'C80*3	0-15 (0)	IPRH (15-12)	—	
TPU 3	TPI3	H'CA0*3	0-15 (0)	IPRH (11-8)	—	
TMU0	TUNI0	H'400*2	0-15 (0)	IPRA (15-12)	—	
TMU1	TUNI1	H'420*2	0-15 (0)	IPRA (11-8)	—	
TMU2	TUNI2	H'440*2	0-15 (0)	IPRA (7-4)	高	
	TICPI2	H'460*2			低	
RTC	ATI	H'480*2	0-15 (0)	IPRA (3-0)	高	
	PRI	H'4A0*2			▲	
	CUI	H'4C0*2			▼	
WDT	ITI	H'560*2	0-15 (0)	IPRB (15-12)	—	
REF	RCMI	H'580*2	0-15 (0)	IPRB (11-8)	—	

【注】 *1 INTEVT2 コード。

*2 INTEVT には INTEVT2 と同じコードがセットされます。

*3 INTEVT には表 6.6 に示す割り込みレベル (H'200~H'3C0) を示すコードがセットされます。

表 6.6 割り込みレベルと INTEVT コード

割り込みレベル	INTEVT コード
15	H'200
14	H'220
13	H'240
12	H'260
11	H'280
10	H'2A0
9	H'2C0
8	H'2E0
7	H'300
6	H'320
5	H'340
4	H'360
3	H'380
2	H'3A0
1	H'3C0

6.5 動作説明

6.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベルレジスタA~H (IPRA~IPRH) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表6.4、表6.5に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクビット (I3~I0) とが比較されます。I3~I0ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 検出タイミング: INTCは周辺クロック (P ϕ) に同期して動作し、CPUに割り込み要求を通知します。CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT、INTEVT2) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'00000600の和) にジャンプします。このジャンプは遅延分岐ではありません。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば、INTEVT、INTEVT2レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本LSIでは、割り込みを受け付けてもCPUのステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は変化しません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。
クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後要因フラグをリードし、その後RTE命令を実行します。

6. 割り込みコントローラ (INTC)

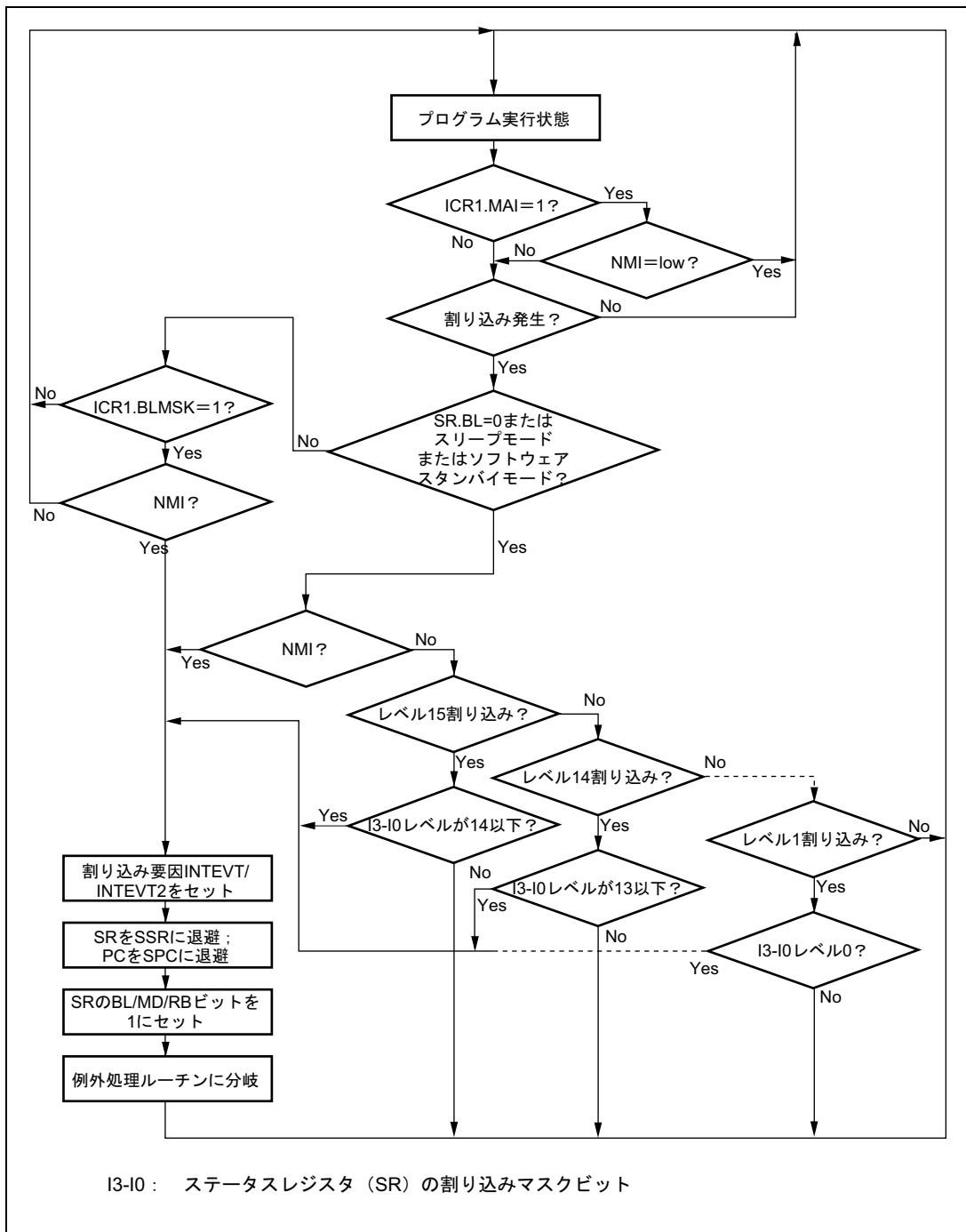


図 6.3 割り込み動作フローチャート

6.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVT、INTEVT2レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをメモリに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. このあと、実際に行いたい処理を書きます。
6. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。図 6.3 に割り込み動作フローチャートの例を示します。

6.6 使用上の注意事項

本 LSI 内部の割り込み受け付けタイミングは、外部で認識することはできません。システム設計時、以下の内容を十分ご検討ください。

(1) レベル割り込み

レベル割り込み要求は、CPU が受け付けるまで保持してください。レベル割り込み要求は、その割り込みハンドラ内でクリア（解除）してください。レベル割り込み要求が保持できない場合、INTEVT/2 の値が H'000 で割り込み処理ルーチンに分岐する可能性があります。

スタンバイ復帰時にレベル割り込み要求が保持できない場合は、WDT カウント途中で再度スタンバイ状態に戻ってしまいます。この状態から再度レベル割り込み要求アサートによりスタンバイ復帰を行うと、PLL や水晶発振の安定時間が確保できないため、正しくスタンバイ復帰が行えない可能性があります。

(2) 割り込みフラグの更新

割り込み受け付け可能かつ割り込み要求が発生可能な場合、割り込みフラグの更新（クリア）を行うと、INTEVT/2 の値が H'000 で割り込み処理ルーチンに分岐する可能性があります。

6. 割り込みコントローラ (INTC)

7. バスステートコントローラ (BSC)

バスステートコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

7.1 特長

- 外部アドレス空間を8個に分割して管理
 - CS0、CS2、CS3、CS4、CS5A、CS5B、CS6A、CS6Bの各空間はそれぞれ最大32Mバイトまたは64Mバイト、外部アドレス空間の合計は384Mバイト
 - 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM、アドレス/データマルチプレクスI/O (MPX) またはSDRAMのメモリ種類を指定可能
 - 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
 - 空間ごとに、ウェイトステートの挿入を制御
 - リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御
 - 連続するアクセスがリード/ライト (同一空間/別空間)、リード/リード (同一空間/別空間)、先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能
- 通常空間インタフェース
 - SRAMとの直結が可能なインタフェース
- バーストROMインタフェース
 - ページモード機能を有するフラッシュメモリなどを高速にアクセス
- アドレス/データマルチプレクスI/O (MPX) インタフェース
 - アドレス/データマルチプレクスが必要な周辺LSIを直結可能
- SDRAMインタフェース
 - 最大2つのエリアでSDRAMを設定可能
 - ローアドレス/カラムアドレスのマルチプレクス出力
 - シングル読み出し/シングル書き込みによる効率的なアクセス
 - バンクアクティブモードによる高速アクセス
 - オートリフレッシュとセルフリフレッシュのサポート
- バスアービトレーション
 - すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力

7. バスステートコントローラ (BSC)

BSCのブロック図を図7.1に示します。

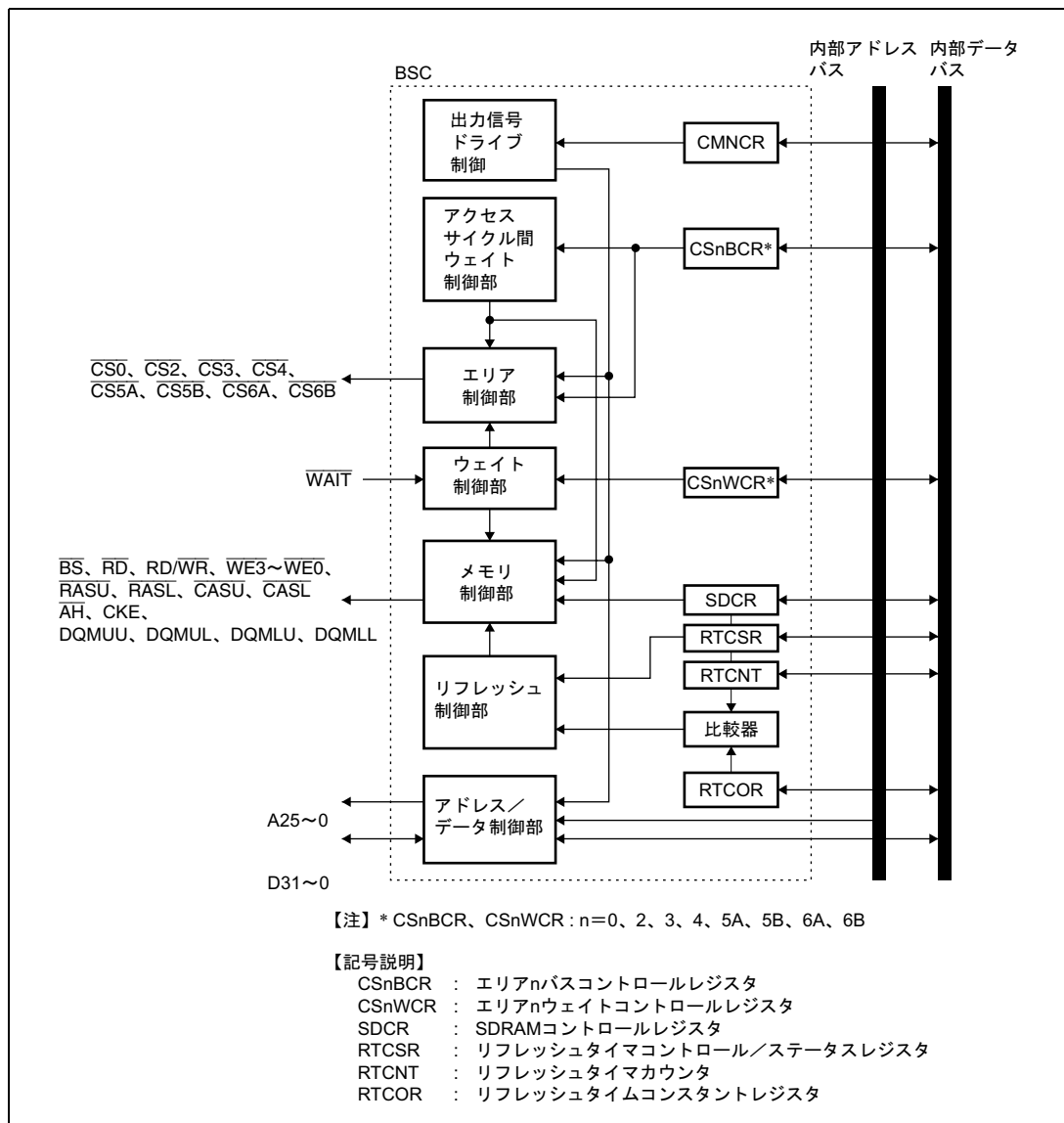


図7.1 バスステートコントローラのブロック図

7.2 入出力端子

表 7.1 端子構成

端子名	入出力	機 能
A25~A0	出力	アドレスバス
D31~D0	入出力	データバス
BS	出力	バスサイクルの開始を示す信号 通常空間、バイト選択付き SRAM、バースト ROM、アドレス/データマルチプレクス I/O アクセス時にアサートされます。 SDRAM アクセス時は、CAS と同タイミングでアサートされます。
CS0、CS2~4、CS5A、CS5B、CS6A、CS6B	出力	チップセレクト
RD/WR	出力	リード/ライト信号 SDRAM、バイト選択付き SRAM 接続時、WE 端子に接続
RD	出力	リード信号
WE3、DQMUU	出力	通常空間設定時、D31~D24 書き込み指示 バイト選択付き SRAM 空間設定時、D31~D24 を選択 SDRAM 空間設定時、D31~D24 を選択
WE2、DQMUL	出力	通常空間設定時、D23~D16 バイト書き込み指示 バイト選択付き SRAM 空間設定時、D23~D16 を選択 SDRAM 空間設定時、D23~D16 を選択
WE1、DQMLU	出力	通常空間およびアドレス/データマルチプレクス I/O 空間設定時、D15~D8 書き込み指示 バイト選択付き SRAM 空間設定時、D15~D8 を選択 SDRAM 空間設定時、D15~D8 を選択
WE0、DQMLL	出力	通常空間およびアドレス/データマルチプレクス I/O 空間設定時、D7~D0 書き込み指示 バイト選択付き SRAM 空間設定時、D7~D0 を選択 SDRAM 空間設定時、D7~D0 を選択
RASU、RASL	出力	SDRAM 接続時、RAS 端子に接続
CASU、CASL	出力	SDRAM 接続時、CAS 端子に接続
CKE	出力	SDRAM 接続時、CKE 端子に接続
AH	出力	アドレス/データマルチプレクス I/O 時のアドレスをホールドするための信号
WAIT	入力	外部ウェイト入力
BREQ	入力	バス権要求入力
BACK	出力	バス使用許可出力
MD3、MD4	入力	エリア 0 のバス幅 (8/16/32 ビット)
MD5	入力	エンディアン指定 0: ビッグエンディアン 1: リトルエンディアン

7. バスステートコントローラ (BSC)

7.3 エリアの概要

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。このうち上位 3 ビットでキャッシュアクセス方法を示します。詳細は「第 4 章 キャッシュ」を参照ください。残り 29 ビットは 8 空間に分割されています。BSC は本 29 ビットの空間に対し制御を行います。

本 LSI は、表 7.2 に示すように物理空間の 8 つのエリアにそれぞれ各種メモリを接続でき、各々に対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS2}\sim\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、 $\overline{CS6B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 5B のアクセス時に $\overline{CS5B}$ がアサートされます。エリア 2 や 3 に SDRAM を接続する場合、 \overline{RASU} 、 \overline{RASL} 、 \overline{CASU} 、 \overline{CASL} 、 \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} などの信号もアサートされます。

7.3.1 アドレスマップ

外部アドレス空間は合計 384M バイトあり、これを 8 個の部分空間に分割して使用します。接続されるメモリの種類、データバス幅は各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 7.2 物理アドレス空間マップ

エリア	接続可能なメモリ	物理アドレス	容量	アクセスサイズ
エリア 0	通常メモリ* ¹ 、 バースト ROM	H'00000000 ~H'03FFFFFF	64M バイト	8、16、32* ²
		H'00000000 ~H'03FFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)
エリア 1	内部 I/O レジスタ* ⁷	H'04000000 ~H'07FFFFFF		
		H'04000000 ~H'07FFFFFF +H'20000000×n +H'20000000×n		(n : 1~6)
エリア 2	通常メモリ* ¹ 、 シンクロナス DRAM	H'08000000 ~H'0BFFFFFF	64M バイト	8、16、32* ³ * ⁵
		H'08000000 ~H'0BFFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)
エリア 3	通常メモリ* ¹ 、 シンクロナス DRAM	H'0C000000 ~H'0FFFFFFF	64M バイト	8、16、32* ³ * ⁵
		H'0C000000 ~H'0FFFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)
エリア 4	通常メモリ* ¹ 、 バースト ROM バイト選択付き SRAM	H'10000000 ~H'13FFFFFF	64M バイト	8、16、32* ³
		H'10000000 ~H'13FFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)
エリア 5A	通常メモリ* ¹	H'14000000 ~H'15FFFFFF	32M バイト	8、16、32* ³
		H'14000000 ~H'15FFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)
エリア 5B	通常メモリ* ¹ 、 アドレス/データマルチ プレクス I/O (MPX) バイト選択付き SRAM	H'16000000 ~H'17FFFFFF	32M バイト	8、16* ³ 、* ⁴
		H'16000000 ~H'17FFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)

7. バスステートコントローラ (BSC)

エリア	接続可能なメモリ	物理アドレス	容量	アクセスサイズ
エリア 6A	通常メモリ* ¹	H'18000000 ~H'19FFFFFF	32M バイト	8、16* ³
		H'18000000 ~H'19FFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)
エリア 6B	通常メモリ* ¹	H'1A000000 ~H'1BFFFFFF	32M バイト	8、16* ³
		H'1A000000 ~H'1BFFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n : 1~6)
エリア 7* ⁶	予約エリア	H'1C000000 ~H'1FFFFFFF +H'20000000×n +H'20000000×n		(n : 0~7)

【注】 *¹ SRAM、ROMなどのインターフェースを持つメモリ

*² 外部ピンでメモリバス幅を指定

*³ レジスタでメモリバス幅を指定

*⁴ アドレス/データマルチプレクス I/O (MPX) インタフェース時は、バス幅は 16 ビットに設定ください。

*⁵ SDRAM 設定時は、バス幅は 16 ビットまたは 32 ビットに設定してください。

*⁶ 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません

*⁷ エリア 1 の内蔵モジュール制御レジスタ (内蔵 I/O) を MMU におけるアドレス変換の対象としない場合は、論理アドレスの先頭 3 ビットを 101 として P2 空間に配置してください

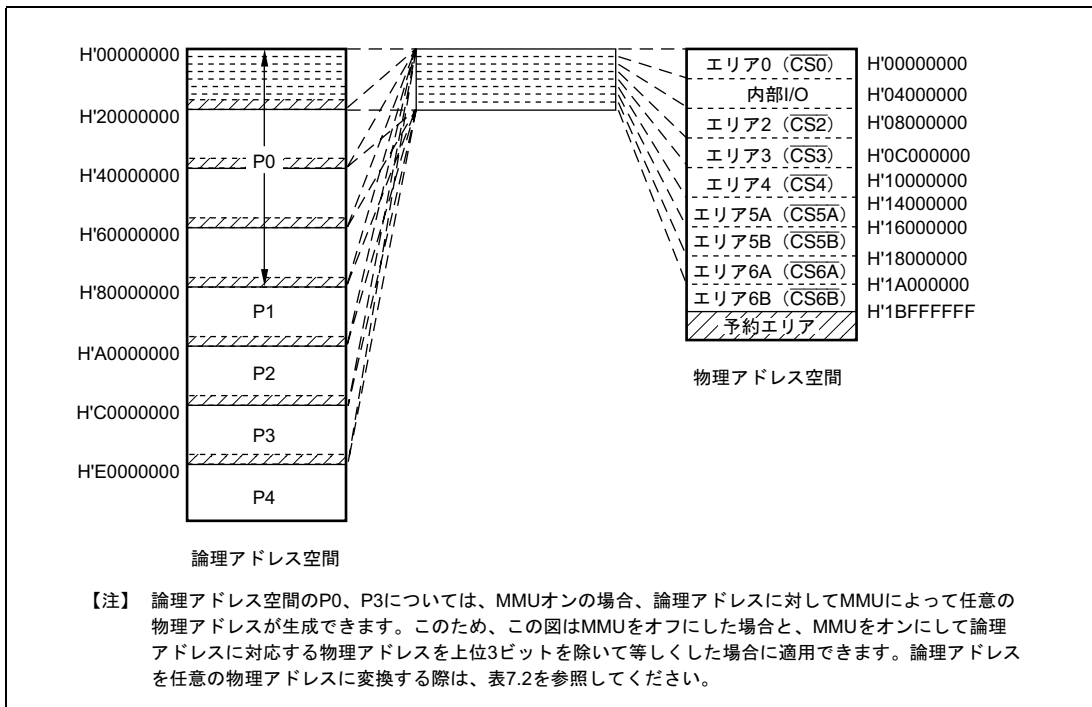


図 7.2 アドレス空間

7. バスステートコントローラ (BSC)

7.3.2 メモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部ピンを用いてバスサイズを 8 ビット、16 ビット、32 ビットから選べます。パワーオンリセット時に外部ピン (MD3、MD4) とバス幅の関係は次のようになります。

表 7.3 外部端子 (MD3、MD4) とメモリサイズの対応

MD4	MD3	メモリサイズ
0	0	設定禁止
	1	8 ビット
1	0	16 ビット
	1	32 ビット

エリア 0 以外での個別のエリア内に設定可能な CSnBCR にてバス幅を最大 8 ビット、16 ビット、32 ビットから選べます。なお、設定可能なバス幅は接続インタフェースの種類によって異なります。詳細は CSn バスコントロールレジスタを参照してください。

ポート A または B を使用する場合、全エリアのバス幅を 8 ビットまたは 16 ビットに設定してください。詳しくは「7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR)」を参照してください。

7.3.3 シャドウ空間

エリア 0、2~4、5A、5B、6A、6B は、物理アドレスの A28~A26 でデコードされ、000~110 のエリアに対応します。アドレスの A31~A29 は無視されます。このため、たとえばエリア 0 のアドレスの範囲は H'00000000~H'03FFFFFF なのに対し、H'20000000×n (n=1~6) を加えた P1~P3 領域のアドレス空間はシャドウ空間となります。

また、エリア 7 のアドレスの範囲は H'1C000000~H'1FFFFFFF です。エリア 7 のシャドウ空間に相当するアドレス空間を含めて H'1C000000+H'20000000×n~H'1FFFFFFF+H'20000000×n (n=0~7) は予約空間ですので、使用しないでください。

P4 領域 (H'E0000000~H'FFFFFFF) は、I/O 領域であり、内蔵レジスタなどのアドレスが割り付けてあります。シャドウ空間にはなりません。

7.4 レジスタの説明

BSC には以下のレジスタがあります。

これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

- 共通コントロールレジスタ (CMNCR)
- CS0空間バスコントロールレジスタ (CS0BCR)
- CS2空間バスコントロールレジスタ (CS2BCR)
- CS3空間バスコントロールレジスタ (CS3BCR)
- CS4空間バスコントロールレジスタ (CS4BCR)
- CS5A空間バスコントロールレジスタ (CS5ABCR)
- CS5B空間バスコントロールレジスタ (CS5BBCR)
- CS6A空間バスコントロールレジスタ (CS6ABCR)
- CS6B空間バスコントロールレジスタ (CS6BBCR)
- CS0空間ウェイトコントロールレジスタ (CS0WCR)
- CS2空間ウェイトコントロールレジスタ (CS2WCR)
- CS3空間ウェイトコントロールレジスタ (CS3WCR)
- CS4空間ウェイトコントロールレジスタ (CS4WCR)
- CS5A空間ウェイトコントロールレジスタ (CS5AWCR)
- CS5B空間ウェイトコントロールレジスタ (CS5BWCR)
- CS6A空間ウェイトコントロールレジスタ (CS6AWCR)
- CS6B空間ウェイトコントロールレジスタ (CS6BWCR)
- SDRAMコントロールレジスタ (SDCR)
- リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) *¹
- リフレッシュタイムカウンタ (RTCNT) *¹
- リフレッシュタイムコンスタントレジスタ (RTCOR) *¹
- CS2空間SDRAMモードレジスタ (SDMR2) *²
- CS3空間SDRAMモードレジスタ (SDMR3) *²

【注】 *¹ 本レジスタは誤書き込み防止のため、書き込みデータの上位 16 ビットを H'A55A とした 32 ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時、上位 16 ビットは H'0000 が読み出されません。

*² 本レジスタの実体は SDRAM 内にあります。本レジスタ空間をアクセスすることにより、SDRAM 内のレジスタに書き込まれます。詳しくは、「7.8.10 パワーオンシーケンス」を参照してください。

7. バスステートコントローラ (BSC)

7.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は各エリアに共通の制御を行う 32 ビットのレジスタです。

レジスタの初期設定が終了するまではエリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 6	DMAIW1 DMAIW0	0 0	R/W R/W	DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定 本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスをアクセスしたあとに挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
5	DMAIWA	0	R/W	DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定 本ビットは、DMAIW1、0 ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが 0 の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブする際に、アイドルサイクルを挿入します。本ビットが 1 の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1 回のアクセス終了後、必ずアイドルサイクルが挿入されます。
4	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	ENDIAN	0/1*	R	エンディアンフラグ 本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。本ビットは読み出し専用です。 0 : パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作 1 : パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	HIZMEM	0	R/W	High-Z メモリコントロール A25~0、 \overline{BS} 、 \overline{CS} 、 $\overline{RD}/\overline{WR}$ 、 \overline{WE} 、 \overline{RD} のソフトウェアスタンバイモード時の端子状態を指定します。 0 : ソフトウェアスタンバイモード時にハイインピーダンス 1 : ソフトウェアスタンバイモード時にドライブ

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
0	HIZCNT	0	R/W	High-Z コントロール $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ のソフトウェアスタンバイモード時およびバス解放時の状態を指定します。 0: $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ は、ソフトウェアスタンバイモード時およびバス解放時にハイインピーダンス 1: $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ は、ソフトウェアスタンバイモード時およびバス解放時にドライブ

【注】 * エンディアンを指定する外部端子 (MD5) の値を、パワーオンリセット時にサンプリングします。
 ビッグエンディアン時は 0、リトルエンディアン時は 1 です。

7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、2、3、4、5A、5B、6A、6B)

CSnBCR は、各エリアの機能、バス間のアイドルサイクル数、バス幅などを指定します。読み出し/書き込み可能な 32 ビットのレジスタです。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット
30	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	IWW1	1	R/W	ライトーリード/ライトーライトサイクル間アイドル指定
28	IWW0	1	R/W	空間に接続されたメモリをアクセスしたあとに挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライトーリードサイクルとライトーライトサイクルの場合です。 00: アイドルサイクルなし 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 4 アイドルサイクル挿入
27	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	IWRWD1	1	R/W	別空間リードーライトサイクル間アイドル指定
25	IWRWD0	1	R/W	空間に接続されたメモリをアクセスしたあとに挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリードーライトサイクルの場合です。 00: 設定禁止 01: 2 アイドルサイクル挿入 10: 3 アイドルサイクル挿入 11: 5 アイドルサイクル挿入

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
24	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23	IWRWS1	1	R/W	同一空間リード-ライトサイクル間アイドル指定 空間に接続されたメモリをアクセスしたあとに挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。 00: 設定禁止 01: 2アイドルサイクル挿入 10: 3アイドルサイクル挿入 11: 5アイドルサイクル挿入
22	IWRWS0	1	R/W	
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	IWRRD1	1	R/W	別空間リード-リードサイクル間アイドル指定 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-リードサイクルの場合です。 00: 1アイドルサイクル挿入 01: 2アイドルサイクル挿入 10: 3アイドルサイクル挿入 11: 5アイドルサイクル挿入
19	IWRRD0	1	R/W	
18	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	IWRRS1	1	R/W	同一空間リード-リードサイクル間アイドル指定 空間に接続されたメモリをアクセスしたあとに挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-リードサイクルの場合です。 00: アイドルサイクルなし 01: 1アイドルサイクル挿入 10: 2アイドルサイクル挿入 11: 4アイドルサイクル挿入
16	IWRRS0	1	R/W	
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
14	TYPE2	0	R/W	メモリ種類指定
13	TYPE1	0	R/W	空間に接続するメモリの種類を指定します。
12	TYPE0	0	R/W	000 : 通常空間 001 : パースト ROM 010 : アドレス/データマルチプレックス I/O (MPX) 011 : バイト選択付き SRAM 100 : SDRAM 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 SDRAM はエリア 2 とエリア 3 でのみ設定可能です。1 エリアのみ SDRAM で接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は通常空間設定としてください。 パースト ROM は、エリア 0 とエリア 4 でのみ設定可能です。 アドレス/データマルチプレックス I/O (MPX) は、エリア 5B でのみ設定可能です。 バイト選択付き SRAM は、エリア 4 とエリア 5B でのみ設定可能です。
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	BSZ1	1	R/W	データバス幅指定
9	BSZ0	1	R/W	空間のデータバス幅を指定します。 エリア 2、3、4、5A の設定は以下のとおりです。 00 : 設定禁止 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット エリア 5B、エリア 6A、エリア 6B の設定は以下のとおりです。 00 : 設定禁止 01 : 8 ビット 10 : 16 ビット 11 : 設定禁止
8~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】
- CS5B 空間をアドレス/データマルチプレックス I/O (MPX) に設定した場合、バス幅は 16 ビットに設定ください。
 - CS0 空間のデータバス幅は、外部入力端子で設定します。CS0BCR の BSZ[1:0]ビットの設定は無視されます。
 - CS2 と CS3 をともに SDRAM 空間に設定した場合は、CS2 と CS3 のバス幅は同一のバス幅設定としてください。
 - CS2 または CS3 を SDRAM 空間に設定した場合は、バス幅は 16 ビットまたは 32 ビットに設定してください。
 - SDRAM バンクアクティブモードは CS3 のみで使用できます (SDRAM コントロールレジスタ BACTV ビット参照)。
 - エリア 5B、6A、6B のバス幅は、リセット後の初期値は設定禁止のレジスタ値となりますので、本空間アクセス前に 8 ビットまたは 16 ビットに設定してください。
 - ポート A または B を使用する場合は全エリアのバス幅を 8 ビットまたは 16 ビットに設定してください。

7. バスステートコントローラ (BSC)

上記メモリ種類において、設定可能なエリア以外に設定した場合は動作を保証しません。

7.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、2、3、4、5A、5B、6A、6B)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE2、1、0) により、以下のように変わります。対象となるエリアをアクセスする前に、本レジスタの設定をしてください。また、CSnBCR レジスタを設定後、CSnWCR レジスタを設定してください。

(1) 通常空間、バイト選択付き SRAM、アドレスマルチプレクス I/O (MPX)

- CS0WCR、CS6AWCR、CS6BWCR

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	SW1	0	R/W	アドレス、CSn アサート→RD、WEn アサート遅延サイクル数
11	SW0	0	R/W	アドレス、CSn アサートから RD、WEn アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10	WR3	1	R/W	アクセスウェイトサイクル数
9	WR2	0	R/W	リード/ライトアクセスに必要なサイクル数を指定します。
8	WR1	1	R/W	0000 : 0 サイクル
7	WR0	0	R/W	0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト有効 1 : 外部ウェイト無視
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	HW1 HW0	0 0	R/W R/W	\overline{RD} 、 \overline{WEn} ネゲート→アドレス、 \overline{CSn} ネゲート遅延サイクル \overline{RD} 、 \overline{WEn} ネゲートからアドレス、 \overline{CSn} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS2WCR、CS3WCR

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 9 8 7	WR3 WR2 WR1 WR0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 リード/ライトアクセスに必要なサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

• CS4WCR、CS5AWCR

ビット	ビット名	初期値	R/W	説明
31~19	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000: WR3~0 設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	SW1	0	R/W	アドレス、 \overline{CSn} アサート→ \overline{RD} 、 \overline{WEn} アサート遅延サイクル数
11	SW0	0	R/W	アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10	WR3	1	R/W	アクセスウェイトサイクル数
9	WR2	0	R/W	リード/ライトアクセスに必要なサイクル数を指定します。
8	WR1	1	R/W	0000 : 0 サイクル
7	WR0	0	R/W	0001 : 1 サイクル
				0010 : 2 サイクル
				0011 : 3 サイクル
				0100 : 4 サイクル
				0101 : 5 サイクル
				0110 : 6 サイクル
				0111 : 8 サイクル
				1000 : 10 サイクル
				1001 : 12 サイクル
				1010 : 14 サイクル
				1011 : 18 サイクル
				1100 : 24 サイクル
				1101 : 設定禁止
				1110 : 設定禁止
				1111 : 設定禁止
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無効
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	HW1	0	R/W	RD、WE \bar{n} ネゲート→アドレス、CS \bar{n} ネゲート遅延サイクル
0	HW0	0	R/W	RD、WE \bar{n} ネゲートからアドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

7. バスステートコントローラ (BSC)

• CS5BWCR

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	MPXW	0	R/W	MPX インタフェースアドレスウェイト アドレス/データマルチプレクス I/O のアドレスサイクル挿入ウェイトを設定します。本設定は、エリア 5B をアドレス/データマルチプレクス I/O に設定した場合のみ有効です。 0 : ウェイトなし 1 : 1 サイクルウェイト挿入
19	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000 : WR3~0 設定 (リードアクセスウェイト) と同じサイクル 001 : 0 サイクル 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	SW1	0	R/W	アドレス、 \overline{CSn} アサート→ \overline{RD} 、 \overline{WEn} アサート遅延サイクル数
11	SW0	0	R/W	アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
10	WR3	1	R/W	アクセスウェイトサイクル数
9	WR2	0	R/W	リード/ライトアクセスに必要なサイクル数を指定します。
8	WR1	1	R/W	0000 : 0 サイクル
7	WR0	0	R/W	0001 : 1 サイクル
				0010 : 2 サイクル
				0011 : 3 サイクル
				0100 : 4 サイクル
				0101 : 5 サイクル
				0110 : 6 サイクル
				0111 : 8 サイクル
				1000 : 10 サイクル
				1001 : 12 サイクル
				1010 : 14 サイクル
				1011 : 18 サイクル
				1100 : 24 サイクル
				1101 : 設定禁止
				1110 : 設定禁止
				1111 : 設定禁止
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	HW1	0	R/W	RD、WE \bar{n} ネゲート→アドレス、CS \bar{n} ネゲート遅延サイクル
0	HW0	0	R/W	RD、WE \bar{n} ネゲートからアドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

7. バスステートコントローラ (BSC)

(2) パースト ROM

• CS0WCR

ビット	ビット名	初期値	R/W	説 明
31~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17 16	BW1 BW0	0 0	R/W R/W	パーストウェイトサイクル数 パーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
15~11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 ライトアクセスおよびリードアクセスの 1 回目に挿入するウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. バスステートコントローラ (BSC)

• CS4WCR

ビット	ビット名	初期値	R/W	説明
31~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	BW1	0	R/W	バーストウェイトサイクル数 バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
16	BW0	0	R/W	
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	SW1	0	R/W	アドレス、 \overline{CSn} アサート→ \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
11	SW0	0	R/W	
10	W3	1	R/W	アクセスウェイトサイクル数 ライトアクセスおよびリードアクセスの 1 回目に挿入するウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止
9	W2	0	R/W	
8	W1	1	R/W	
7	W0	0	R/W	

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	HW1	0	R/W	RD、WEn ネゲート→アドレス、CSn ネゲート遅延サイクル数 RD、WEn ネゲートから、アドレス、CSn ネゲートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル
0	HW0	0	R/W	

(3) SDRAM*

• CS2WCR

ビット	ビット名	初期値	R/W	説 明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	A2CL1	1	R/W	エリア2CAS レイテンシ エリア2のCAS レイテンシを指定します。 00: 設定禁止 01: 2 サイクル 10: 3 サイクル 11: 設定禁止
7	A2CL0	0	R/W	
6~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7. バスステートコントローラ (BSC)

• CS3WCR

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	TRP1	0	R/W	オートプリチャージ/PRE コマンド→ACTV コマンドサイクル数 オートプリチャージの起動または、PRE コマンド発行後から、同一バンクに対する ACTV コマンド発行までの最小サイクル数を指定します。エリア 2 とエリア 3 の設定は共通となります。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
13	TRP0	0	R/W	
12	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TRCD1	0	R/W	ACTV コマンド→READ (A) /WRIT (A) コマンドサイクル数 ACTV コマンド発行後、→READ (A) /WRIT (A) コマンド発行までの最小サイクル数を指定します。エリア 2 とエリア 3 の設定は共通となります。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
10	TRCD0	1	R/W	
9	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	A3CL1	1	R/W	エリア 3CAS レイテンシ エリア 3 の CAS レイテンシを指定します。 00 : 設定禁止 01 : 2 サイクル 10 : 3 サイクル 11 : 設定禁止
7	A3CL0	0	R/W	
6	—	0	R	リザーブビット
5	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	TRWL1	0	R/W	WRITA/WRIT コマンド→オートプリチャージ/PRE コマンドサイクル数 WRITA/WRIT コマンド発行後オートプリチャージが起動されるまでのサイクル数または、PRE コマンド発行までのサイクル数を指定します。エリア 2 とエリア 3 の設定は共通となります。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 設定禁止
3	TRWL0	0	R/W	

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TRC1	0	R/W	REF コマンド/セルフリフレッシュ解除→ACTV コマンドサイクル数 REF コマンド発行後または、セルフリフレッシュ解除後から ACTV コマンド発行までの最小サイクル数を指定します。エリア 2 とエリア 3 の設定は共通となります。 00 : 3 サイクル 01 : 4 サイクル 10 : 6 サイクル 11 : 9 サイクル
0	TRC0	0	R/W	

【注】 * 1 エリアのみ SDRAM で接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は通常空間設定としてください。

7.4.4 SDRAM コントロールレジスタ (SDCR)

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および、接続する SDRAM の種類を指定します。

RFSH、RMODE、以外の各ビットはパワーオンリセット後の初期化設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、他のビットは変化させずに同じ値を書き込んでください。シンクロナス DRAM 使用時に本レジスタの設定が終了するまでエリア 2、3 をアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	A2ROW1	0	R/W	エリア 2 ロウアドレスビット数 エリア 2 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 設定禁止
19	A2ROW0	0	R/W	
18	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	A2COL1	0	R/W	エリア 2 カラムアドレスビット数 エリア 2 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 設定禁止
16	A2COL0	0	R/W	
15~13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
12	SLOW	0	R/W	<p>低周波数モード</p> <p>SDRAM に対するコマンド、アドレス、ライトデータを出力するタイミングおよび、リードデータを取り込むタイミングを指定します。本ビットを 1 設定すると、コマンド、アドレス、ライトデータ、リードデータのホールド時間を延長することができます。このモードは SDRAM を低周波数で動作させるときに適したモードです。</p> <p>0: SDRAM に対するコマンド、アドレス、ライトデータを CKIO の立ち上がり同期して出力する。SDRAM からのリードデータを CKIO の立ち上がり同期して取り込む。</p> <p>1: SDRAM に対するコマンド、アドレス、ライトデータを CKIO の立ち下がり同期して出力する。SDRAM からのリードデータを CKIO の立ち下がり同期して取り込む。</p>
11	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>SDRAM に対してリフレッシュを行うかどうかを指定します。</p> <p>0: リフレッシュしない</p> <p>1: リフレッシュする</p>
10	RMODE	0	R/W	<p>リフレッシュ制御</p> <p>RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTC SR、RTC NT、RTC OR レジスタに設定した内容に従い、オートリフレッシュを行います。</p> <p>0: オートリフレッシュを行う</p> <p>1: セルフリフレッシュを行う</p>
9	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BACTV	0	R/W	<p>バンクアクティブモード</p> <p>オートプリチャージモード (READA、WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ、WRIT コマンドを使用) でアクセスするのかを指定します。</p> <p>0: オートプリチャージモード (READA、WRITA コマンドを使用)</p> <p>1: バンクアクティブモード (READ、WRIT コマンドを使用)</p> <p>バンクアクティブモードは CS3 空間の上位側または下位側のどちらか片方を使用時のみ使用可能です。また、CS2 空間、CS3 空間ともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。</p>
7~5	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
4	A3ROW1	0	R/W	エリア3ロウアドレスビット数
3	A3ROW0	0	R/W	エリア3のロウアドレスのビット数を指定します。 00: 11ビット 01: 12ビット 10: 13ビット 11: 設定禁止
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	A3COL1	0	R/W	エリア3カラムアドレスビット数
0	A3COL0	0	R/W	エリア3のカラムアドレスのビット数を指定します。 00: 8ビット 01: 9ビット 10: 10ビット 11: 設定禁止

7.4.5 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

RTCSRは、SDRAMのリフレッシュに関する各種設定を行います。

本レジスタは誤書き込み防止のため、書き込みデータの上位16ビットをH'A55Aとした32ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時、上位16ビットはH'0000が読み出されます。

• RTCSR

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて0	R	リザーブビット
7	CMF	0	R/W	コンペアマッチフラグ 0: クリア条件 CMF=1の状態ではRTCSRを読み出した後、CMFに0を書き込んだとき 1: セット条件 RTCNT=RTCORになったとき
6	CMIE	0	R/W	CMF割り込みイネーブル 0: CMFによる割り込み要求を禁止 1: CMFによる割り込み要求を許可

ビット	ビット名	初期値	R/W	説 明
5	CKS2	0	R/W	クロックセレクト リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックを選択します。 000 : カウントアップ停止 001 : B ϕ /4 010 : B ϕ /16 011 : B ϕ /64 100 : B ϕ /256 101 : B ϕ /1024 110 : B ϕ /2048 111 : B ϕ /4096
4	CKS1	0	R/W	
3	CKS0	0	R/W	
2	RRC2	0	R/W	リフレッシュ回数 リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000 : 1 回 001 : 2 回 010 : 4 回 011 : 6 回 100 : 8 回 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
1	RRC1	0	R/W	
0	RRC0	0	R/W	

7.4.6 リフレッシュタイムカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS2、1、0 ビットで選択したクロックによりカウントアップされます。本レジスタは誤書き込み防止のため、書き込みデータの上位 16 ビットを H'A55A とした 32 ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時、上位 16 ビットは H'0000 が読み出されます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。

ビット	ビット名	初期値	R/W	説 明
31~8	—	すべて 0	R	リザーブビット
7~0	—	すべて 0	R/W	8 ビットカウンタ

7. バスステートコントローラ (BSC)

7.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

本レジスタは誤書き込み防止のため、書き込みデータの上位 16 ビットを H'A55A とした 32 ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時、上位 16 ビットは H'0000 が読み出されます。

SDCR の RFSH ビットが 1 にセットされている場合、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSR の CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求が発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いつつリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインタパルタイム割り込みの同時設定を行うことも可能です。

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット
7~0	—	すべて 0	R/W	カウンタの上限値 (8 ビット)

7.4.8 リセットウェイトカウンタ (RWCNT)

RWCNT は、16 ビットのレジスタです。本レジスタは下位 7 ビット (ビット 6~0) が有効なカウンタで、上位 9 ビット (ビット 15~7) はリザーブビットです。パワーオンリセット解除後、CKIO に同期してカウントアップを開始し、レジスタの値が H'007F になるとカウントアップを停止します。本レジスタがカウントアップを行っている間は、外部バスへのアクセスが待たされます。フラッシュメモリなどのリセット解除から最初のアクセスまでの最小時間を確保するために、本レジスタが使用されます。本レジスタへの読み出し、書き込みは行えません。

7.5 エンディアン/アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 端子) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べ、SDRAM は 16 ビット、32 ビット幅の 2 種類から選べます。アドレス/データマルチプレクス I/O (MPX) では 16 ビット幅固定です。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには 4 回目の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 7.4~表 7.9 に示します。

表 7.4 32 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0 番地バイト アクセス	データ 7~0	—	—	—	アサート	—	—	—
1 番地バイト アクセス	—	データ 7~0	—	—	—	アサート	—	—
2 番地バイト アクセス	—	—	データ 7~0	—	—	—	アサート	—
3 番地バイト アクセス	—	—	—	データ 7~0	—	—	—	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	—	—	アサート	アサート	—	—
2 番地ワード アクセス	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 7.5 16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号				
	D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL	
0 番地バイトアクセス	—	—	データ 7~0	—	—	—	アサート	—	
1 番地バイトアクセス	—	—	—	データ 7~0	—	—	—	アサート	
2 番地バイトアクセス	—	—	データ 7~0	—	—	—	アサート	—	
3 番地バイトアクセス	—	—	—	データ 7~0	—	—	—	アサート	
0 番地ワードアクセス	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート	
2 番地ワードアクセス	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート	
0 番地 ロング ワード アクセス	1 回目 (0 番地)	—	—	データ 31~24	データ 23~16	—	—	アサート	アサート
	2 回目 (2 番地)	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート

7. バスステートコントローラ (BSC)

表 7.6 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMML
0番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
1番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
2番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
3番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
0番地 ワード アクセス	1回目 (0番地)	—	—	—	データ 15~8	—	—	—	アサート
	2回目 (1番地)	—	—	—	データ 7~0	—	—	—	アサート
2番地 ワード アクセス	1回目 (2番地)	—	—	—	データ 15~8	—	—	—	アサート
	2回目 (3番地)	—	—	—	データ 7~0	—	—	—	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	—	—	—	データ 31~24	—	—	—	アサート
	2回目 (1番地)	—	—	—	データ 23~16	—	—	—	アサート
	3回目 (2番地)	—	—	—	データ 15~8	—	—	—	アサート
	4回目 (3番地)	—	—	—	データ 7~0	—	—	—	アサート

表 7.7 32 ビット外部デバイス／リトルエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0番地バイトアクセス	—	—	—	データ 7~0	—	—	—	アサート
1番地バイトアクセス	—	—	データ 7~0	—	—	—	アサート	—
2番地バイトアクセス	—	データ 7~0	—	—	—	アサート	—	—
3番地バイトアクセス	データ 7~0	—	—	—	アサート	—	—	—
0番地ワードアクセス	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
2番地ワードアクセス	データ 15~8	データ 7~0	—	—	アサート	アサート	—	—
0番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 7.8 16 ビット外部デバイス／リトルエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
1番地バイトアクセス		—	—	データ 7~0	—	—	アサート	—	—
2番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
3番地バイトアクセス		—	—	データ 7~0	—	—	アサート	—	—
0番地ワードアクセス		—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
2番地ワードアクセス		—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
	2回目 (2番地)	—	—	データ 31~24	データ 23~16	—	—	アサート	アサート

7. バスステートコントローラ (BSC)

表 7.9 8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$, DQMUU	$\overline{WE2}$, DQMUL	$\overline{WE1}$, DQMLU	$\overline{WE0}$, DQMLL
0番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
1番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
2番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
3番地バイトアクセス		—	—	—	データ 7~0	—	—	—	アサート
0番地 ワード アクセス	1回目 (0番地)	—	—	—	データ 7~0	—	—	—	アサート
	2回目 (1番地)	—	—	—	データ 15~8	—	—	—	アサート
2番地 ワード アクセス	1回目 (2番地)	—	—	—	データ 7~0	—	—	—	アサート
	2回目 (3番地)	—	—	—	データ 15~8	—	—	—	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	—	—	—	データ 7~0	—	—	—	アサート
	2回目 (1番地)	—	—	—	データ 15~8	—	—	—	アサート
	3回目 (2番地)	—	—	—	データ 23~16	—	—	—	アサート
	4回目 (3番地)	—	—	—	データ 31~24	—	—	—	アサート

7.6 通常空間インタフェース

7.6.1 基本タイミング

通常空間アクセスは、おもに SRAM の直結を考慮してストローブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「7.10 バイト選択付き SRAM インタフェース」を参照してください。図 7.3、図 7.4 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を示し、1 サイクルアサートされます。

リード時は外部バスに対して、アクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には書き込みを行うバイトの $\overline{WE_n}$ 信号のみがアサートされます。

キャッシュフィル/コピーバックのための読み出し/書き込みは設定したバス幅に従い、合計 16 バイトを連続して行います。この途中ではバス権を解放しません。バイトまたはワードオペランドアクセス時および奇数ワード境界への分岐時のキャッシュミスに関しても、チップ外部インターフェース上は必ずロングワードアクセスでアクセスを行います。ライトスルー領域の書き込み、およびキャッシュ非対象領域の読み出し/書き込みに関しては、実際のアクセスサイズに従ってアクセスを行います。

データバスにバッファを設ける場合にはリードデータの出力を \overline{RD} を用いて行う必要があります。 RD/\overline{WR} 信号はアクセスを行っていないときはリード状態（ハイレベル出力）となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

CSnWCR.WM ビットを 0 に設定すると、外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます。CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルが挿入されません。

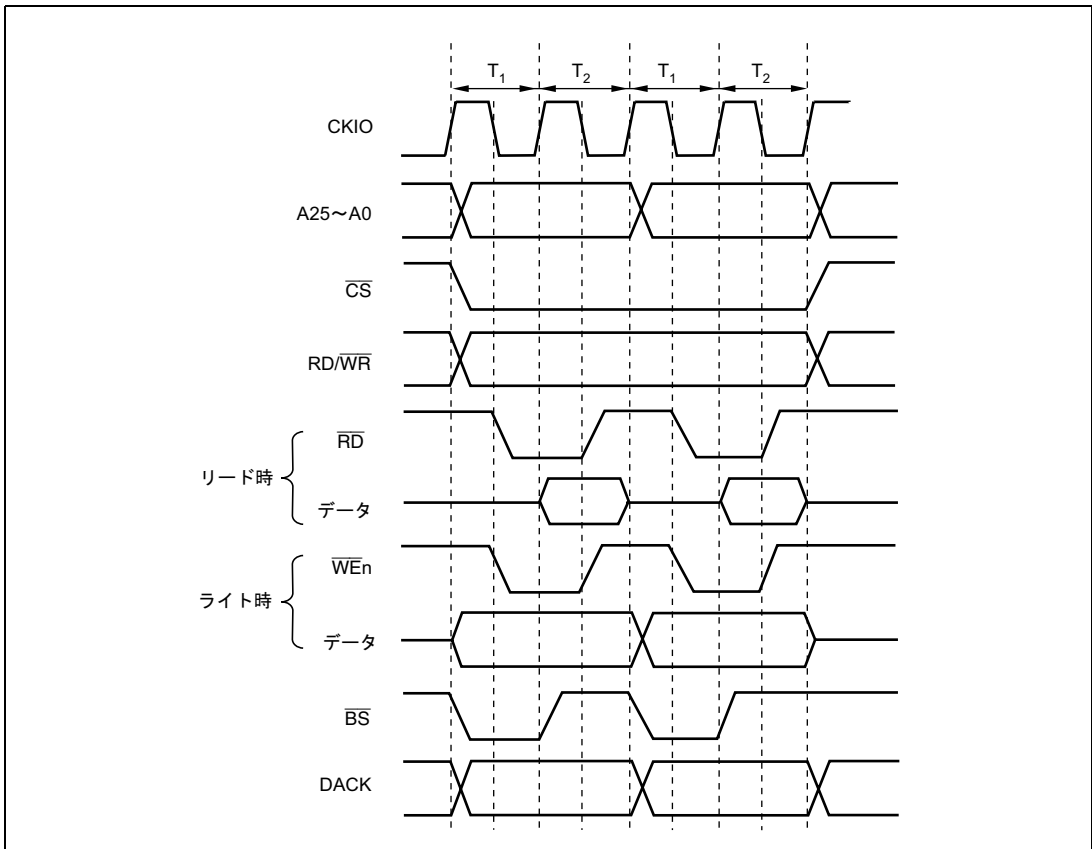


図 7.3 通常空間連続アクセス

(ノーウェイト、CSnWCR.WM ビット=1、バス幅 16 ビット、ロングワードアクセス、サイクル間ウェイト時)

7. バスステートコントローラ (BSC)

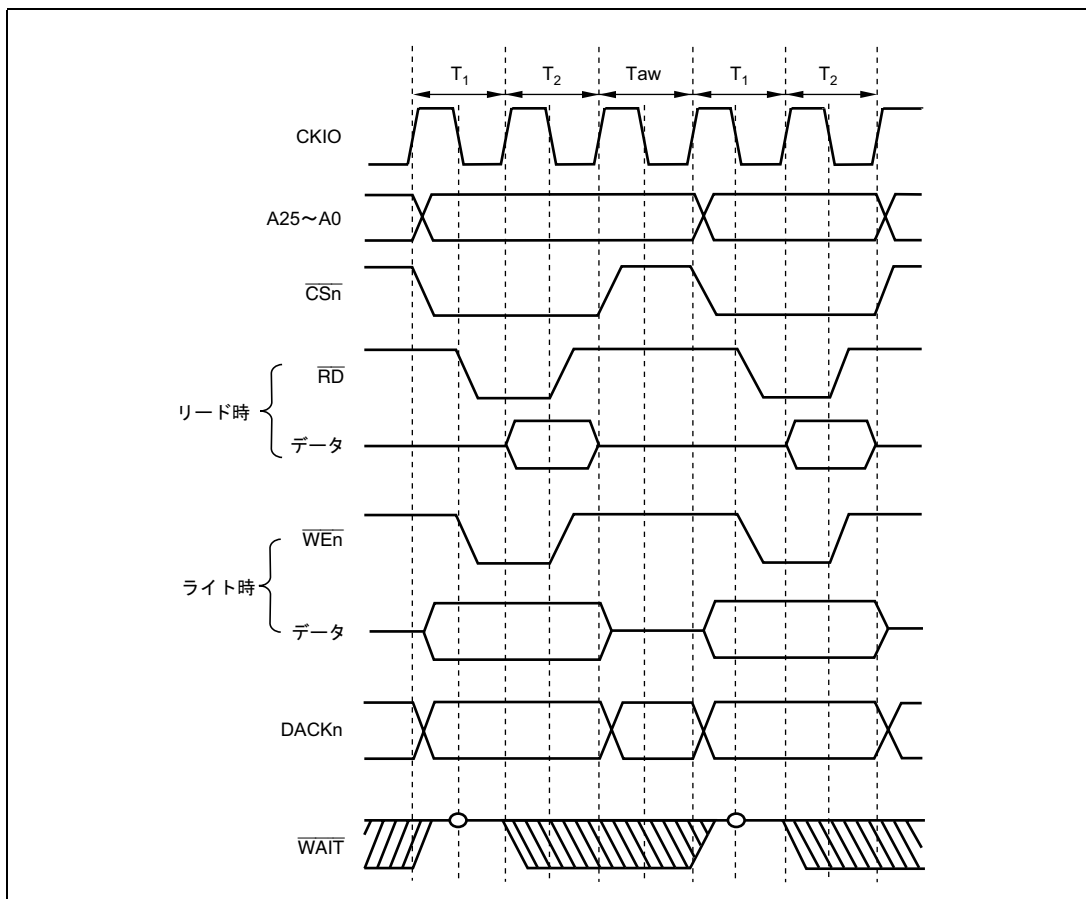


図 7.4 通常空間連続アクセス（ノーウェイト、サイクル間ウェイト1）

図 7.5 に 32 ビットデータ幅の SRAM との接続例を、図 7.6 に 16 ビットデータ幅の SRAM との接続例を、図 7.7 に 8 ビットデータ幅の SRAM との接続例を示します。

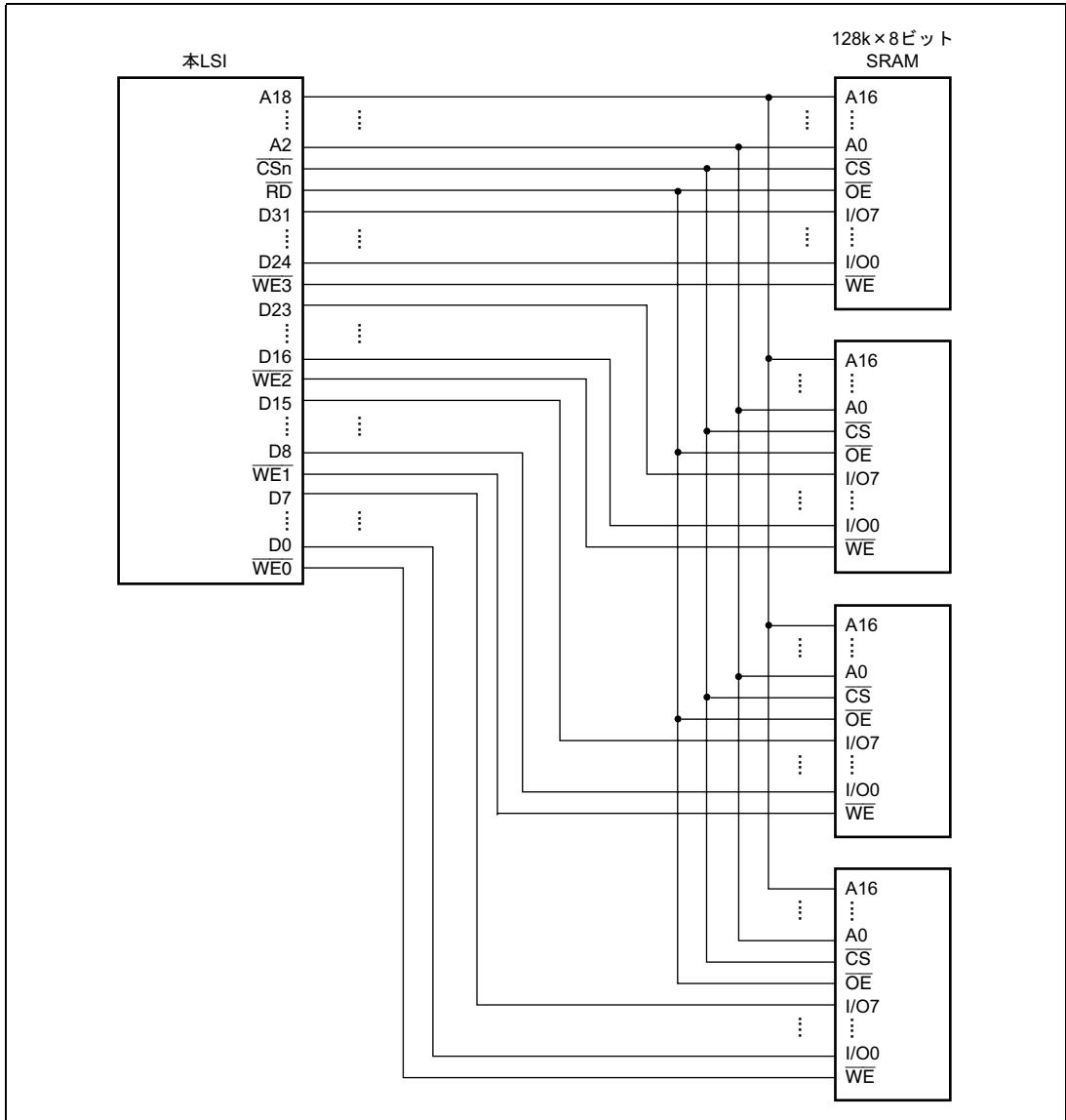


図 7.5 32 ビットデータ幅 SRAM 接続例

7. バスステートコントローラ (BSC)

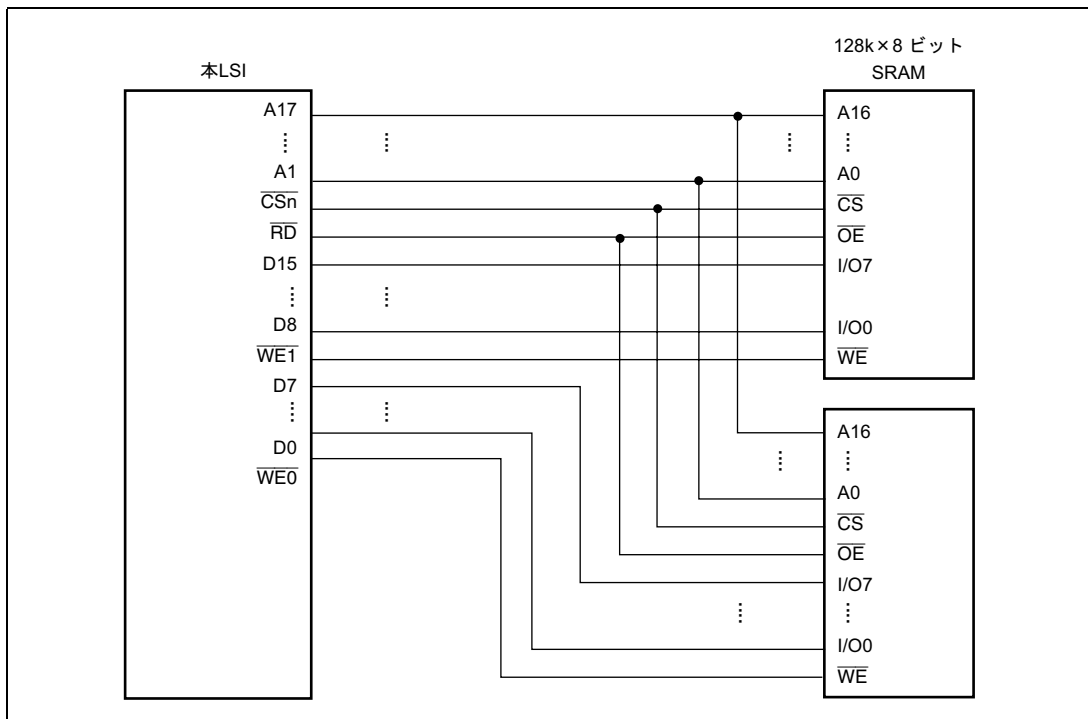


図 7.6 16 ビットデータ幅 SRAM 接続例

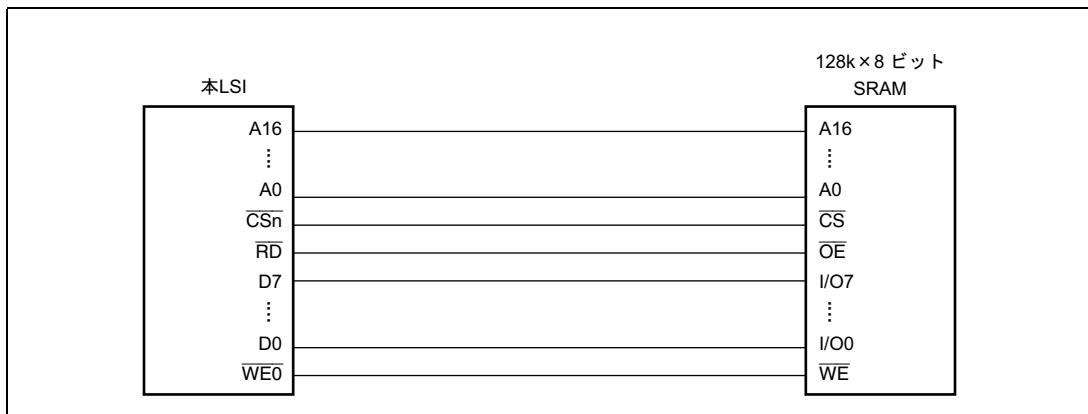


図 7.7 8 ビットデータ幅 SRAM 接続例

7.6.2 アクセスウェイト制御

CSnWCR の WR3、2、1、0 ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 4、エリア 5A、エリア 5B では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リード/ライトサイクルが共通となります。図 7.8 に示す通常空間のアクセスで、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

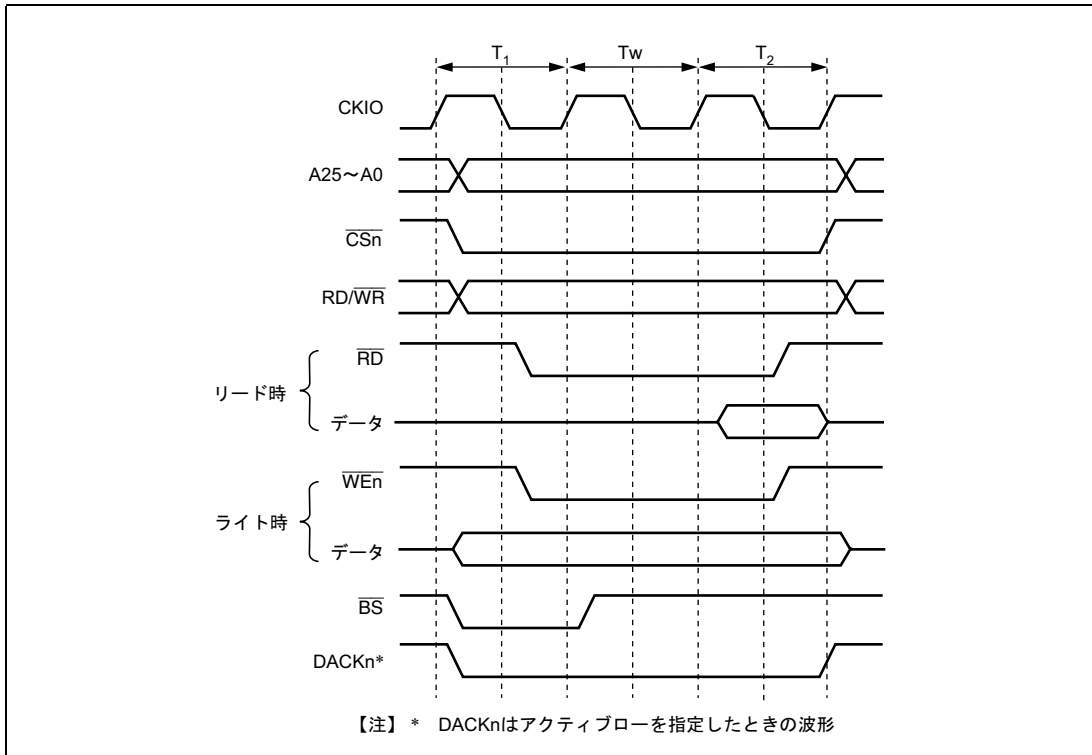


図 7.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

7. バスステートコントローラ (BSC)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 7.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、 T_1 または T_w サイクルから T_2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

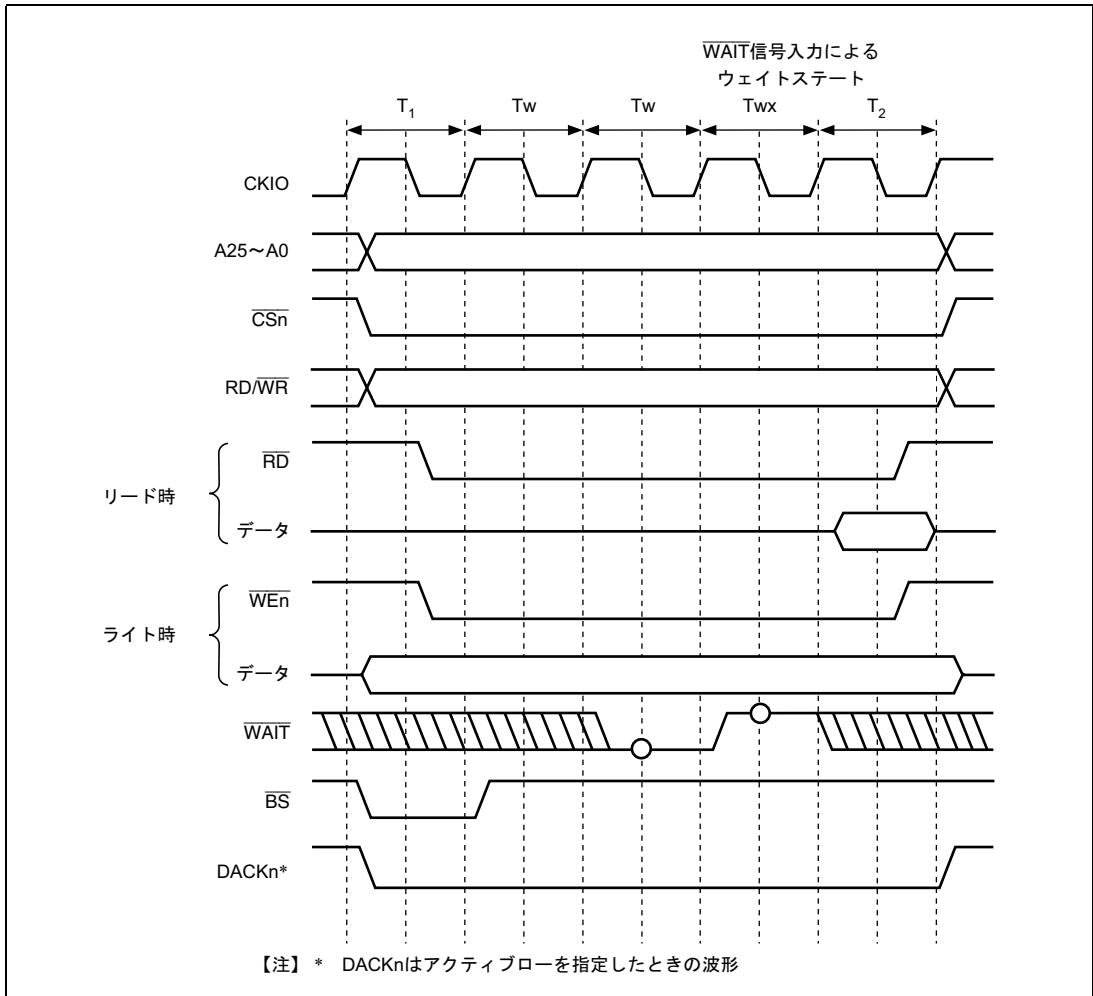


図 7.9 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

7.6.3 $\overline{\text{CSn}}$ アサート期間拡張

$\overline{\text{CSnWCR}}$ の SW1、0 ビットの設定により、 $\overline{\text{CSn}}$ アサートから $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ アサートまでのサイクル数を指定できます。また、HW1、0 ビットの設定により $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ ネゲートから $\overline{\text{CSn}}$ ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインターフェースがとれます。例を図 7.10 に示します。Th および Tf サイクルが通常サイクルの前と後にそれぞれ付加されています。これらのサイクルでは、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 以外はアサートされますが、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

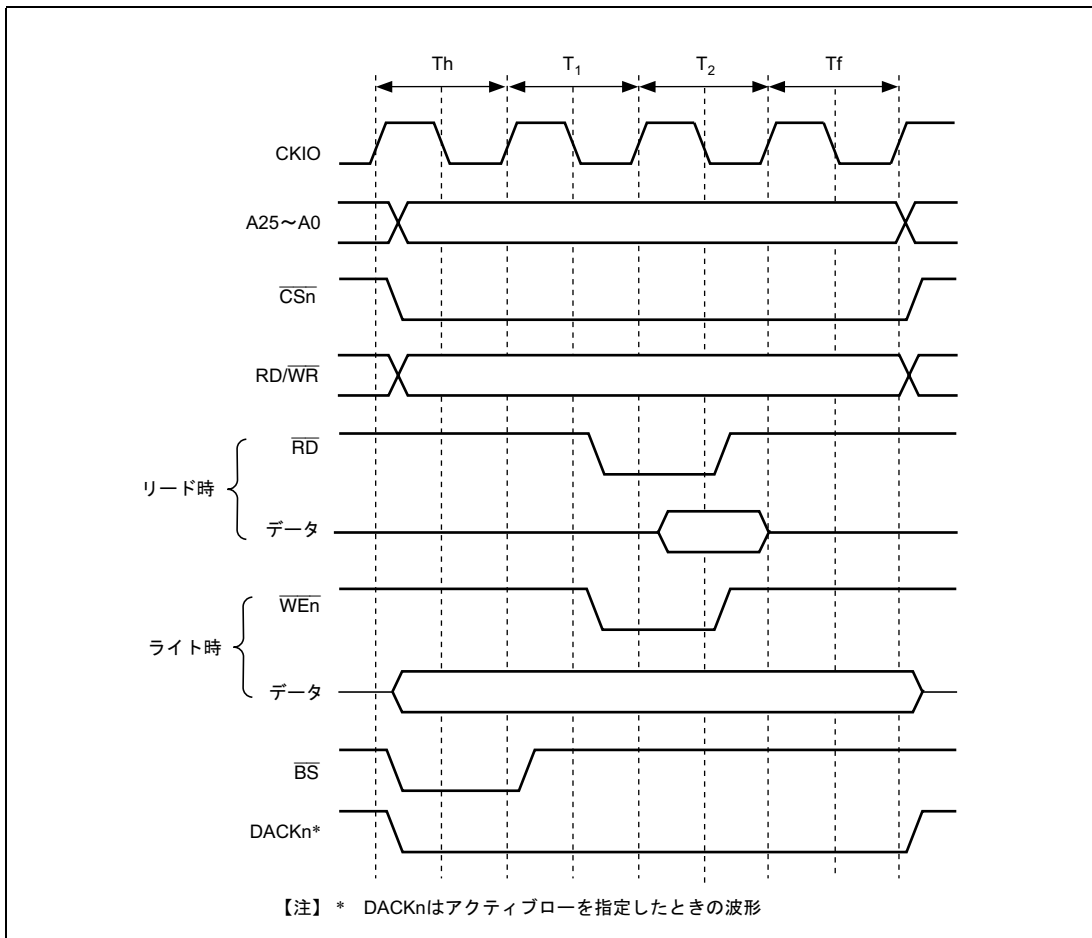


図 7.10 $\overline{\text{CSn}}$ アサート期間拡張

7.7 アドレス／データマルチプレクス I/O インタフェース

CS5BBCR の TYPE2~0 ビット : 010 に設定することにより、アドレス／データマルチプレクス (MPX) I/O インタフェースを選択できます。エリア 5B 以外の CSnBCR では本設定値にしないでください。設定した場合、動作の保証はできません。MPX 空間のアクセスタイミングを以下に示します。MPX 空間では $\overline{CS5B}$ 、 \overline{AH} 、 \overline{RD} 、 \overline{WE} 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われたあと、続けて通常空間のアクセスが行われます。

アドレスの出力は、Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5BWCR レジスタの MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。RD/ \overline{WR} 信号は、 \overline{CSn} 信号と同じタイミングで出力され、リードサイクルではハイレベル、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

タイミングチャートを図 7.11、図 7.12、図 7.13 に示します。

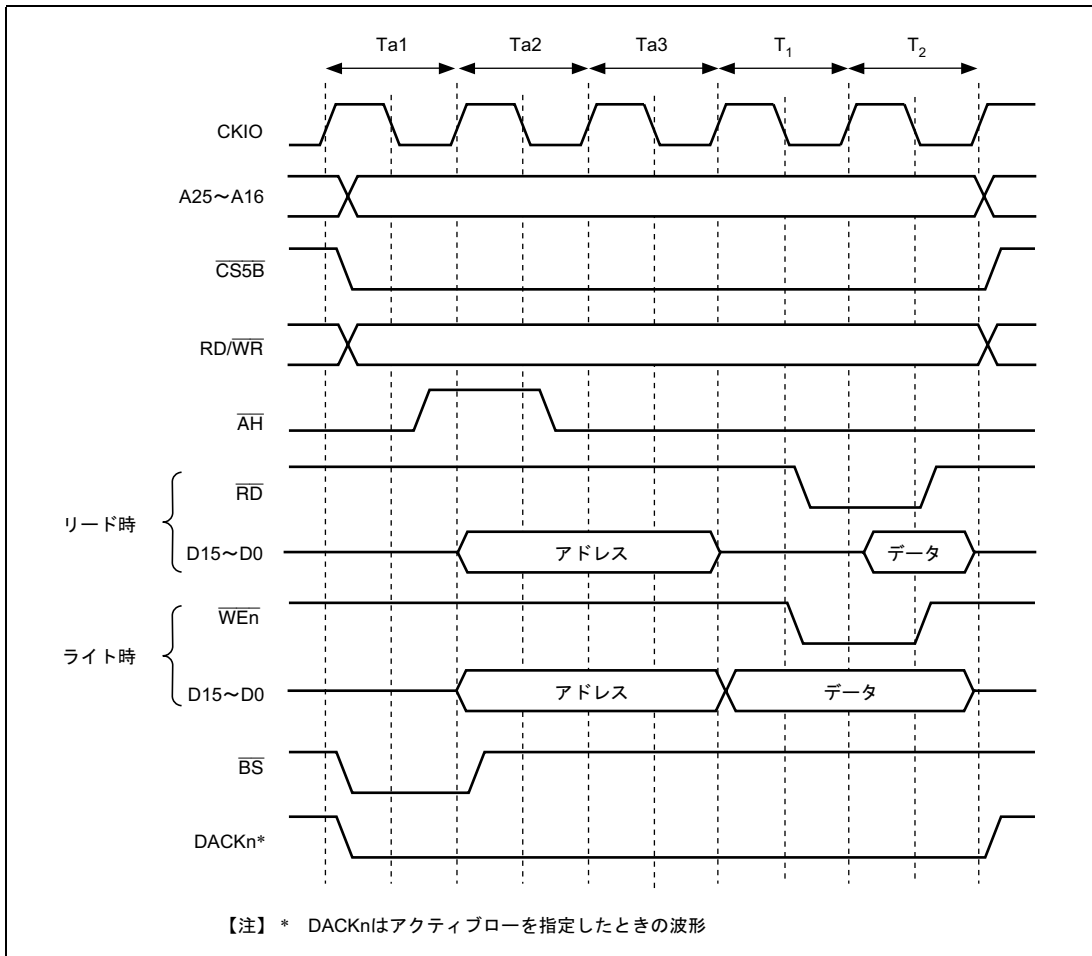


図 7.11 MPX 空間アクセスタイミング
(アドレスサイクルノーウェイト、データサイクルノーウェイト)

7. バスステートコントローラ (BSC)

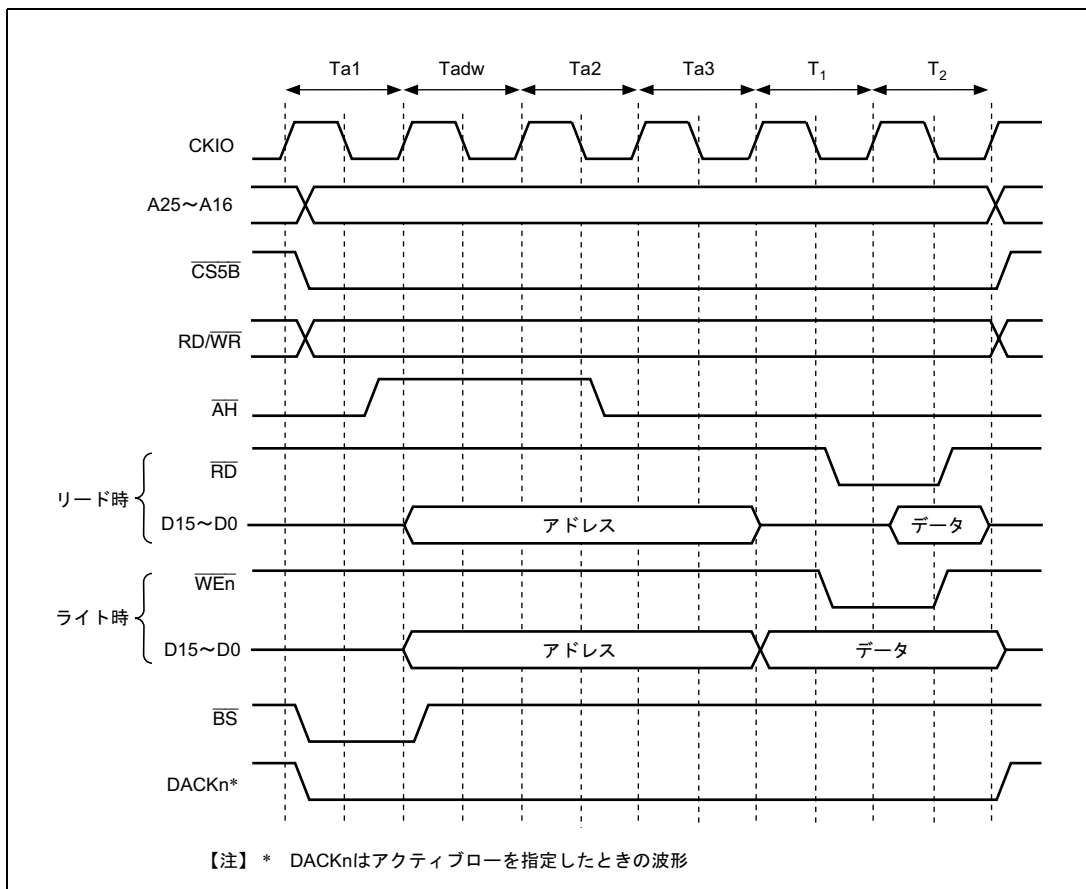


図 7.12 MPX 空間アクセスタイミング
(アドレスサイクルウェイト1、データサイクルノーウェイト)

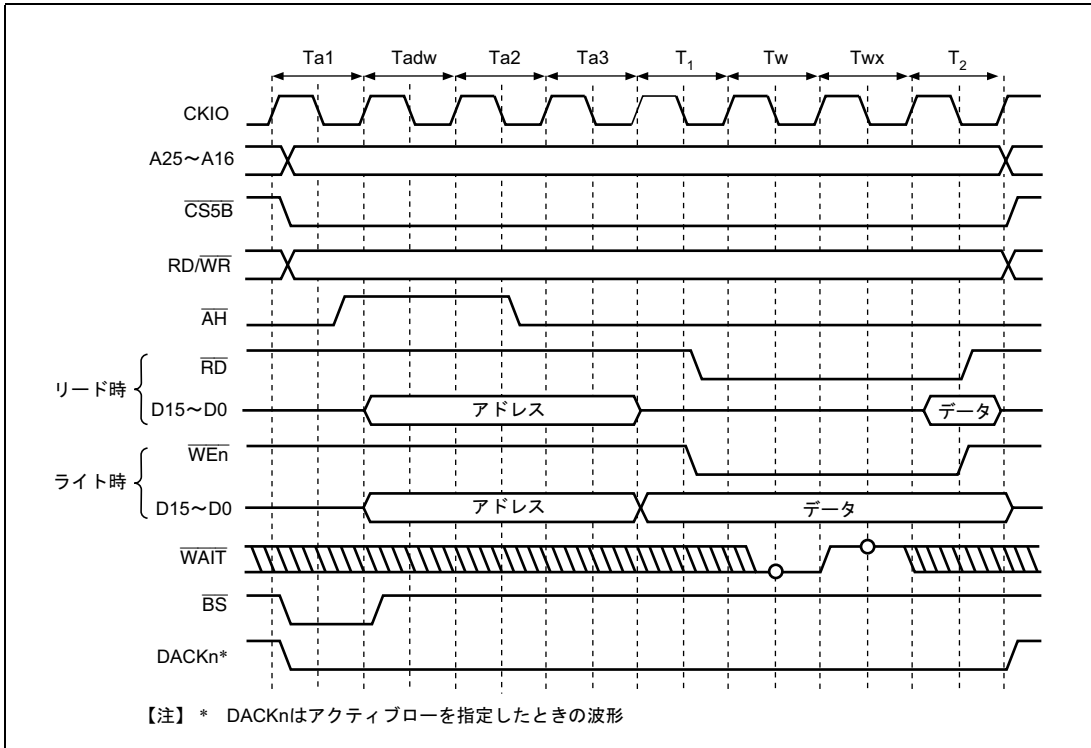


図 7.13 MPX 空間アクセスタイミング
(アドレスサイクルアクセスウェイト 1、データサイクルウェイト 1、外部ウェイト 1)

7.8 SDRAM インタフェース

7.8.1 SDRAM 直結インタフェース

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} などの制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。CSnBCR (n=2, 3) の TYPE[2:0] ビットを 100 に設定することによりシンクロナス DRAM インタフェースを選択できます。n=2, 3 以外の CSnBCR では本設定値にしないでください。設定した場合の動作は保証できません。

本 LSI に接続可能な SDRAM はローアドレスが 11/12/13 ビット、カラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード/ライトコマンドサイクルで A10 端子をブリチャージモードの設定に使用する製品です。SDRAM を直結するための制御信号は、 \overline{RASU} 、 \overline{RASL} 、 \overline{CASU} 、 \overline{CASL} 、 $\overline{RD/WR}$ 、DQM \overline{U} 、DQM \overline{L} 、DQML \overline{U} 、DQML \overline{L} 、CKE および、 $\overline{CS2}$ 、 $\overline{CS3}$ です。 $\overline{CS2}$ 、 $\overline{CS3}$ を除く信号は各空間に共通であり、CKE を除く信号は $\overline{CS2}$ 、 $\overline{CS3}$ がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は 32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

7. バスステートコントローラ (BSC)

$\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{RD/WR}}$ および、特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。アクセスするバイトの指定は DQM_{UU}、DQM_{UL}、DQML_U、DQML_L によって行われます。DQM_{xx} とアクセスするバイトの関係は「7.5 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 7.14、図 7.15 に本 LSI と SDRAM との接続例を示します。

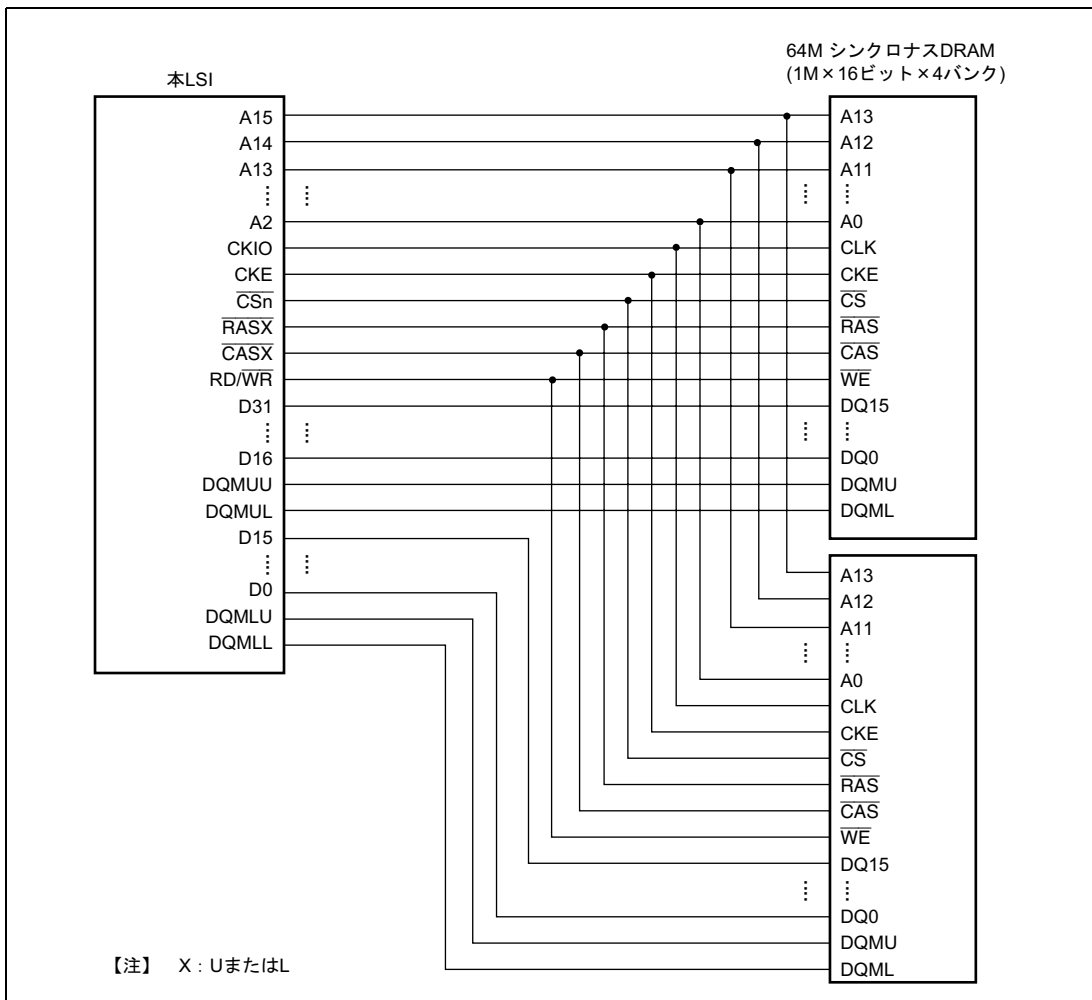


図 7.14 64M ビットシンクロナス DRAM 接続例 (バス幅 32 ビット)

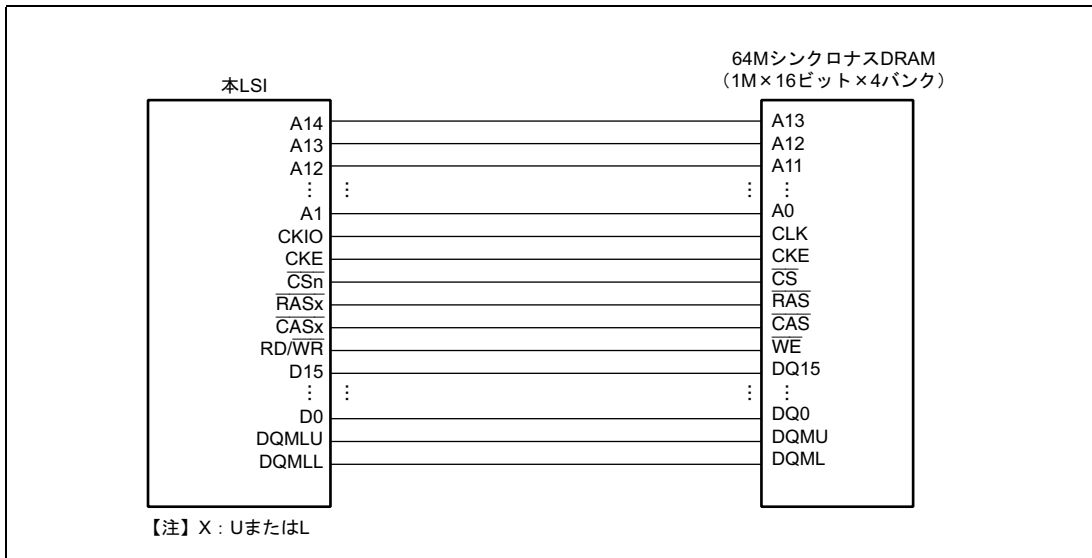


図 7.15 64M ビットシンクロナス DRAM 接続例 (バス幅 16 ビット)

7.8.2 アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の AxROW[1:0]ビット、AxCOL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるように、アドレスのマルチプレクスを行います。表 7.10 に BSZ[1:0]、AxROW[1:0]、AxCOL[1:0]の設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は行わないでください。この表以外の設定を行った場合の動作は保証しません。A25～A18 はマルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットするとき (BSZ[1:0]=10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットするとき (BSZ[1:0]=11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

7. バスステートコントローラ (BSC)

表 7.10 A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (1)

設定				
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32ビット)	00 (11ビット)	00 (8ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAMの端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2	A12(BA1)	バンク指定
A13	A21*2	A21*2	A11(BA0/BA)	
A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		
A0	A8	A0		
接続メモリ例				
64M ビット品 (512k ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個				
16M ビット品 (512k ワード×16 ビット×2 バンク、カラム 8 ビット品) 2 個				

設定				
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32ビット)	01 (12ビット)	00 (8ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAMの端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23*2	A23*2		
A14	A22*2	A22*2	A12(BA0)	
A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		
A0	A8	A0		
接続メモリ例				
128M ビット品 (1M ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個				
64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

7. バスステートコントローラ (BSC)

表 7.11 A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (2)

設定				機能
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32ビット)	01 (12ビット)	01 (9ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		未使用
A15	A24*2	A24*2	A13(BA1)	バンク指定
A14	A23*2	A23*2	A12(BA0)	バンク指定
A13	A22	A13	A11	アドレス
A12	A21	L/H*1	A10/AP	アドレス/ プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	アドレス
A9	A18	A9	A7	アドレス
A8	A17	A8	A6	アドレス
A7	A16	A7	A5	アドレス
A6	A15	A6	A4	アドレス
A5	A14	A5	A3	アドレス
A4	A13	A4	A2	アドレス
A3	A12	A3	A1	アドレス
A2	A11	A2	A0	アドレス
A1	A10	A1		未使用
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、カラム 9 ビット品) 1 個				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 2 個				

設定				機能
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32ビット)	01 (12ビット)	10 (10ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		未使用
A15	A25*2*3	A25*2*3	A13(BA1)	バンク指定
A14	A24*2	A24*2	A12(BA0)	バンク指定
A13	A23	A13	A11	アドレス
A12	A22	L/H*1	A10/AP	アドレス/ プリチャージ指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	アドレス
A9	A19	A9	A7	アドレス
A8	A18	A8	A6	アドレス
A7	A17	A7	A5	アドレス
A6	A16	A6	A4	アドレス
A5	A15	A5	A3	アドレス
A4	A14	A4	A2	アドレス
A3	A13	A3	A1	アドレス
A2	A12	A2	A0	アドレス
A1	A11	A1		未使用
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、カラム 10 ビット品) 1 個				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、 $\overline{\text{RASL}}$ のみアサートされます。 $\overline{\text{RASU}}$ は、アサートされません。

7. バスステートコントローラ (BSC)

表 7.12 A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (3)

設定				
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32 ビット)	10 (13 ビット)	01 (9 ビット)		
出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAMの端子	機能
A17	A26	A17		未使用
A16	A25 ^{*2*}	A25 ^{*2*}	A14(BA1)	バンク指定
A15	A24 ^{*2}	A24 ^{*2}	A13(BA0)	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H ^{*1}	A10/AP	アドレス/プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、コラム 9 ビット品) 1 個				
256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 9 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、 \overline{RASL} のみアサートされます。 \overline{RASU} は、アサートされません。

7. バスステートコントローラ (BSC)

表 7.13 A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (4)

設定				
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16ビット)	00 (11ビット)	00 (8ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21*2	A21*2	A12(BA1)	バンク指定
A12	A20*2	A20*2	A11(BA0)	
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
16M ビット品 (512k ワード×16 ビット×2バンク、カラム8ビット品) 1個				

設定				
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16ビット)	01 (12ビット)	00 (8ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2		
A13	A21*2	A21*2	A13(BA1)	バンク指定
A12	A20	A12	A11	アドレス
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
64M ビット品 (1M ワード×16 ビット×4バンク、カラム8ビット品) 1個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

7. バスステートコントローラ (BSC)

表 7.14 A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (5)

設定				
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16ビット)	01 (12ビット)	01 (9ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23*2	A23*2	A13(BA1)	バンク指定
A13	A22*2	A22*2	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設定				
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16ビット)	01 (12ビット)	10 (10ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24*2	A24*2	A13(BA1)	バンク指定
A13	A23*2	A23*2	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 7.15 A2/3BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (6)

設定				機能	設定				機能
A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0			A2/3 BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16ビット)	10 (13ビット)	01 (9ビット)			10 (16ビット)	10 (13ビット)	10 (10ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	シンクロナス DRAM の端子		本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	シンクロナス DRAM の端子	
A17	A26	A17		未使用	A17	A27	A17		未使用
A16	A25	A16			A16	A26	A16		
A15	A24*2	A24*2	A14(BA1)	バンク指定	A15	A25*2*3	A25*2*3	A14(BA1)	バンク指定
A14	A23*2	A23*2	A13(BA0)		A14	A24*2	A24*2	A13(BA0)	
A13	A22	A13	A12	アドレス	A13	A23	A13	A12	アドレス
A12	A21	A12	A11		A12	A22	A12	A11	
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ指定	A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ指定
A10	A19	A10	A9	アドレス	A10	A20	A10	A9	アドレス
A9	A18	A9	A8		A9	A19	A9	A8	
A8	A17	A8	A7		A8	A18	A8	A7	
A7	A16	A7	A6		A7	A17	A7	A6	
A6	A15	A6	A5		A6	A16	A6	A5	
A5	A14	A5	A4		A5	A15	A5	A4	
A4	A13	A4	A3		A4	A14	A4	A3	
A3	A12	A3	A2		A3	A13	A3	A2	
A2	A11	A2	A1		A2	A12	A2	A1	
A1	A10	A1	A0		A1	A11	A1	A0	
A0	A9	A0		未使用	A0	A10	A0		未使用
接続メモリ例					接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個					512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、 $\overline{\text{RASL}}$ のみアサートされます。 $\overline{\text{RASU}}$ はアサートされません。

7.8.3 バーストリード

本 LSI でバーストリードが発生する条件は以下のとおりです。

1. キャッシュミス時の16バイト転送時
2. DMACでの16バイト転送 (ノンキャッシュ領域アクセス) のとき
3. データバス幅よりもリードのアクセスサイズが大きいとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 4 回連続して行います。このときのアクセスをバースト数 4 と呼びます。表 7.16 にアクセスサイズとバースト数の関係を示します。

7. バスステートコントローラ (BSC)

表 7.16 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4

バーストリード時のタイミングチャートを図 7.16 に示します。バーストリードでは ACTV コマンド出力を行う T_r サイクルに続いて、READ コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、READA コマンドを T_{c4} サイクルに発行し、 T_{d1} から T_{d4} のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の TRP[1:0] ビットの指定によって Tap のサイクル数を決定します。

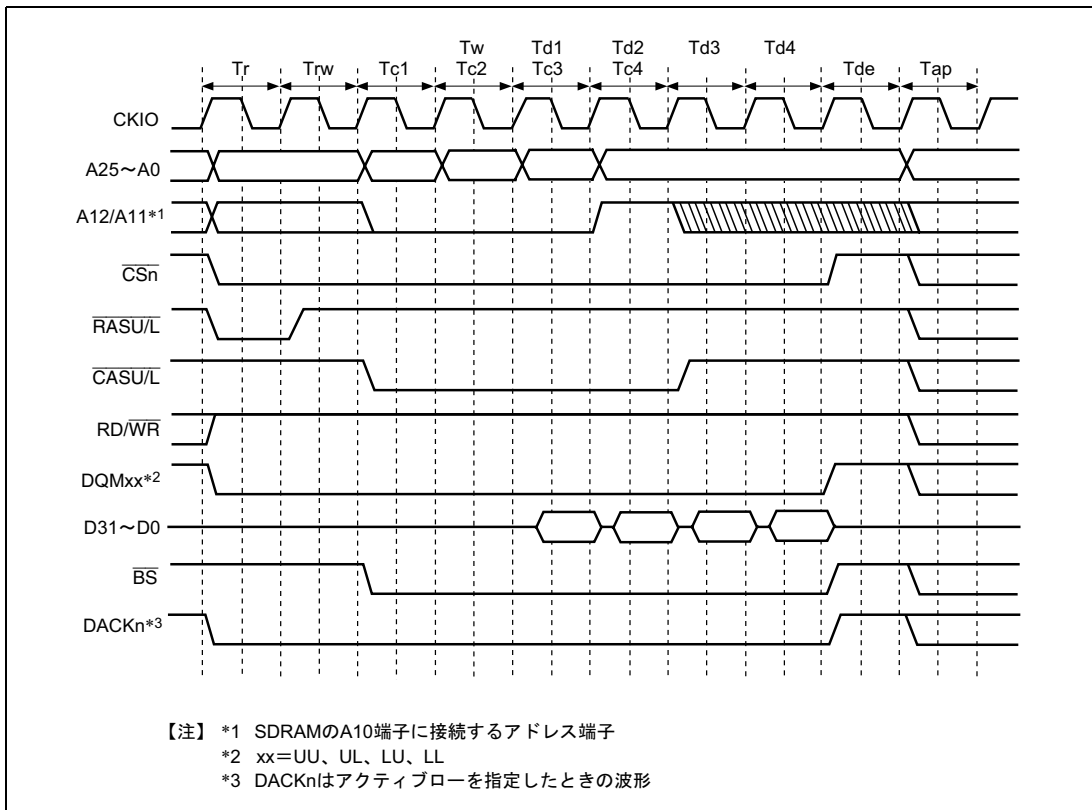


図 7.16 バーストリードウェイト指定タイミング (オートプリチャージ)

7.8.4 シングルリード

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。SDRAMは、バーストリード/シングルライトのモードでバースト長1に設定しているので必要なデータのみ出力します。このためキャッシュスルー領域をアクセスしても無駄なバスサイクルは発生しません。シングルリードの基本タイミングチャートを図7.17に示します。

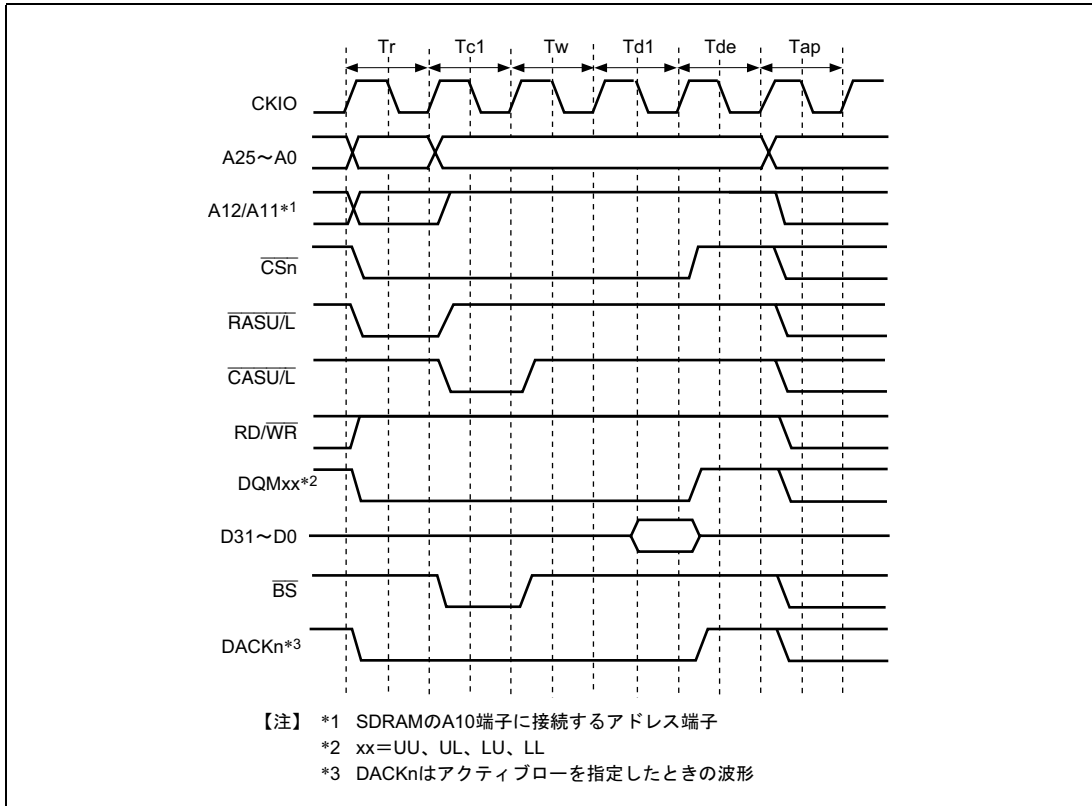


図 7.17 シングルリードの基本タイミング (オートプリチャージ)

7.8.5 バーストライト

本 LSI でバーストライトが発生する条件は以下のとおりです。

1. キャッシュのコピーバックが発生したとき
2. DMACでの16バイト転送 (ノンキャッシュ領域アクセス) のとき
3. データバス幅よりもライトのアクセスサイズが大きいとき

7. バスステートコントローラ (BSC)

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 4 回連続して行います。アクセスサイズとバースト数の関係は、表 7.16 に従います。図 7.18 にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う Tr サイクルに続いて WRIT コマンドを Tc1、Tc2、Tc3 サイクルに、オートプリチャージを行う WRITA コマンドを Tc4 サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは CS3WCR の TRWL[1:0] ビットおよび Tap サイクルは CS3WCR の TRP[1:0] ビットの指定で決定されます。

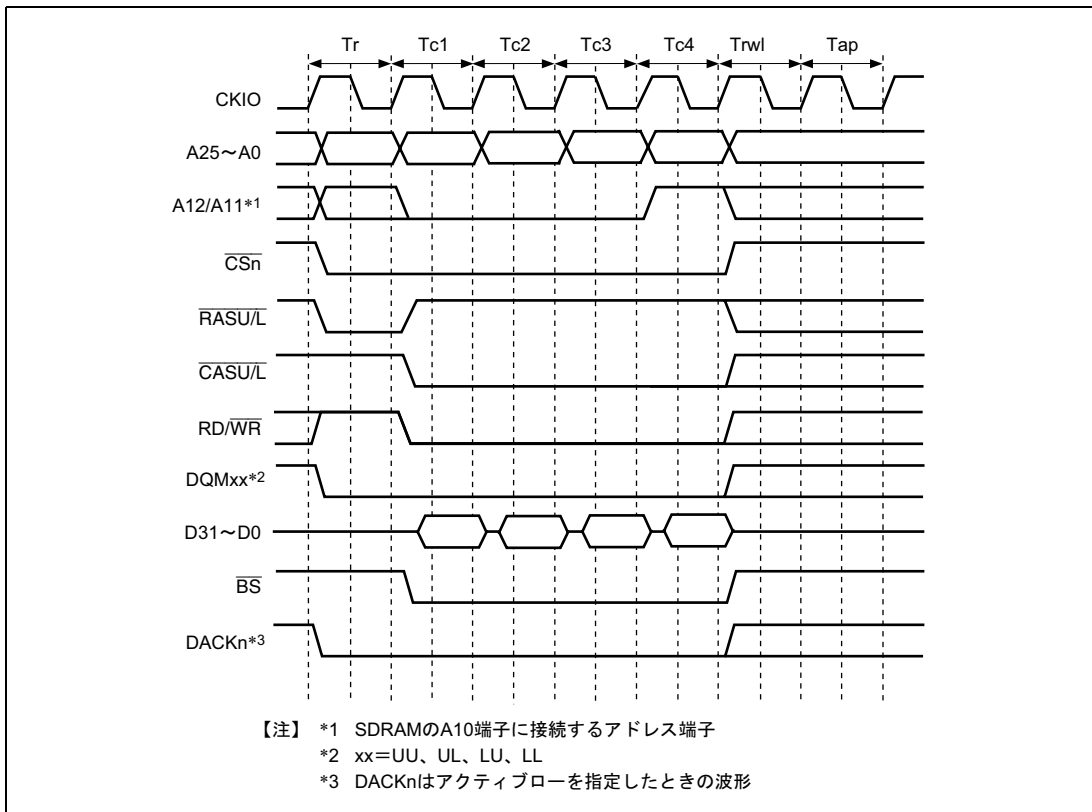


図 7.18 バーストライト基本タイミング (オートプリチャージ)

7.8.6 シングルライト

ノンキャッシュابل領域でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。これをシングルライトと呼びます。シングルライトの基本タイミングチャートを図7.19に示します。

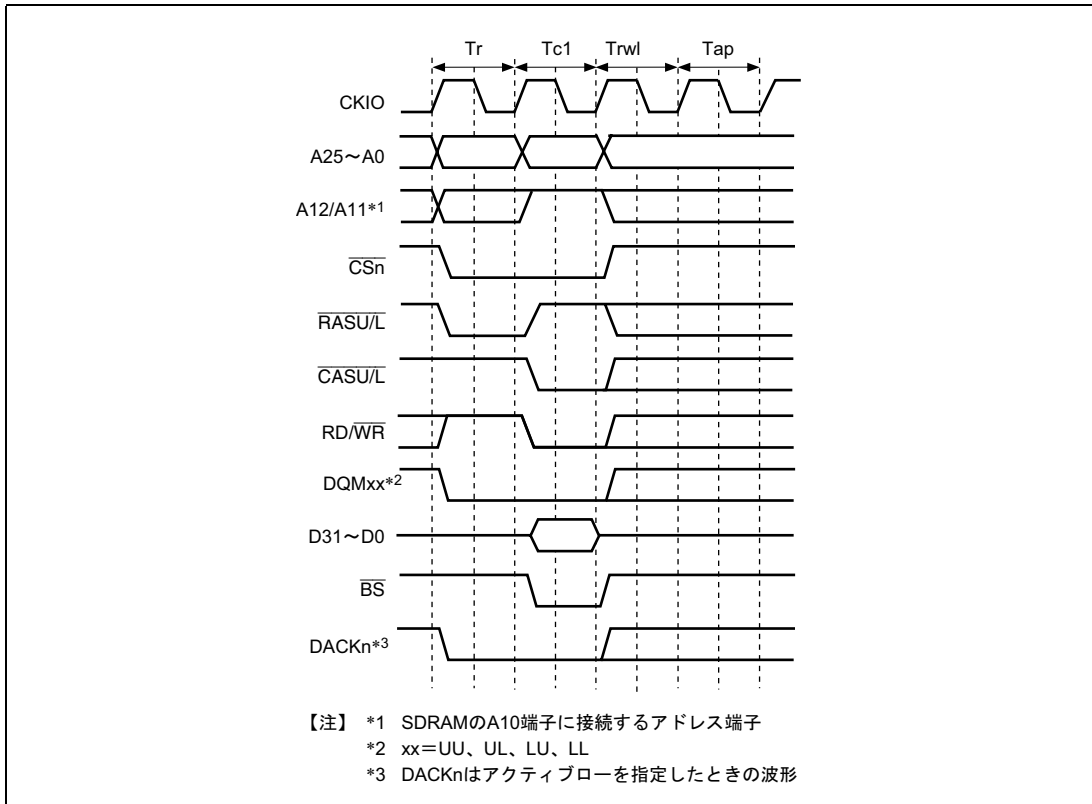


図 7.19 シングルライト基本タイミング (オートプリチャージ)

7.8.7 バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合、オートプリチャージなしのコマンド (READ/WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのはエリア 3 の上位側または下位側のどちらか片方に対してのみです。エリア 3 をバンクアクティブモードに設定している場合、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2、エリア 3 の両空間を SDRAM 設定とする場合およびエリア 3 の上位側、下位側ともに SDRAM を接続する場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれていますので、それぞれのバンクで 1 ずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CSnWCR の TRP1、0 ビットで指定します。書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後 Trwl+Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl+Tap サイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (t_{RAS}) には制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を t_{RAS} 以下に設定する必要があります。

図 7.20 にオートプリチャージのないバーストリードサイクルを、図 7.21 には同一のロウアドレスに対するバーストリードサイクルを、図 7.22 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 7.23 にオートプリチャージのないシングルライトサイクルを、図 7.24 に同一のロウアドレスに対するシングルライトサイクルを、図 7.25 には異なるロウアドレスに対するシングルライトサイクルを示します。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続くかぎり図 7.20 または図 7.23 で始まり、図 7.21 または図 7.24 を繰り返します。あいだに別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、図 7.21 または図 7.24 の代わりに図 7.22 または図 7.25 のバスサイクルを行います。バンクアクティブモードでもリフレッシュサイクルのあとまたはバスアービトレーションによるバス解放のあとは、すべてのバンクが非アクティブな状態になります。

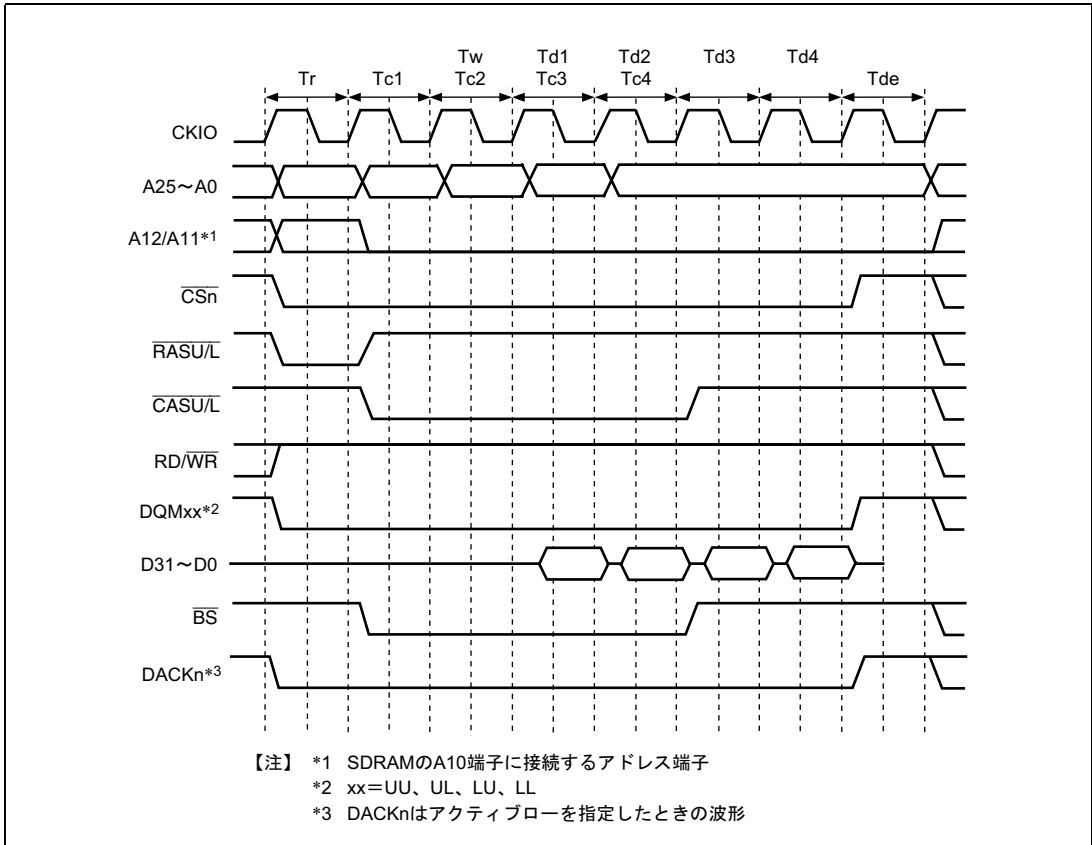


図 7.20 バーストリードタイミング (オートプリチャージなし)

7. バスステートコントローラ (BSC)

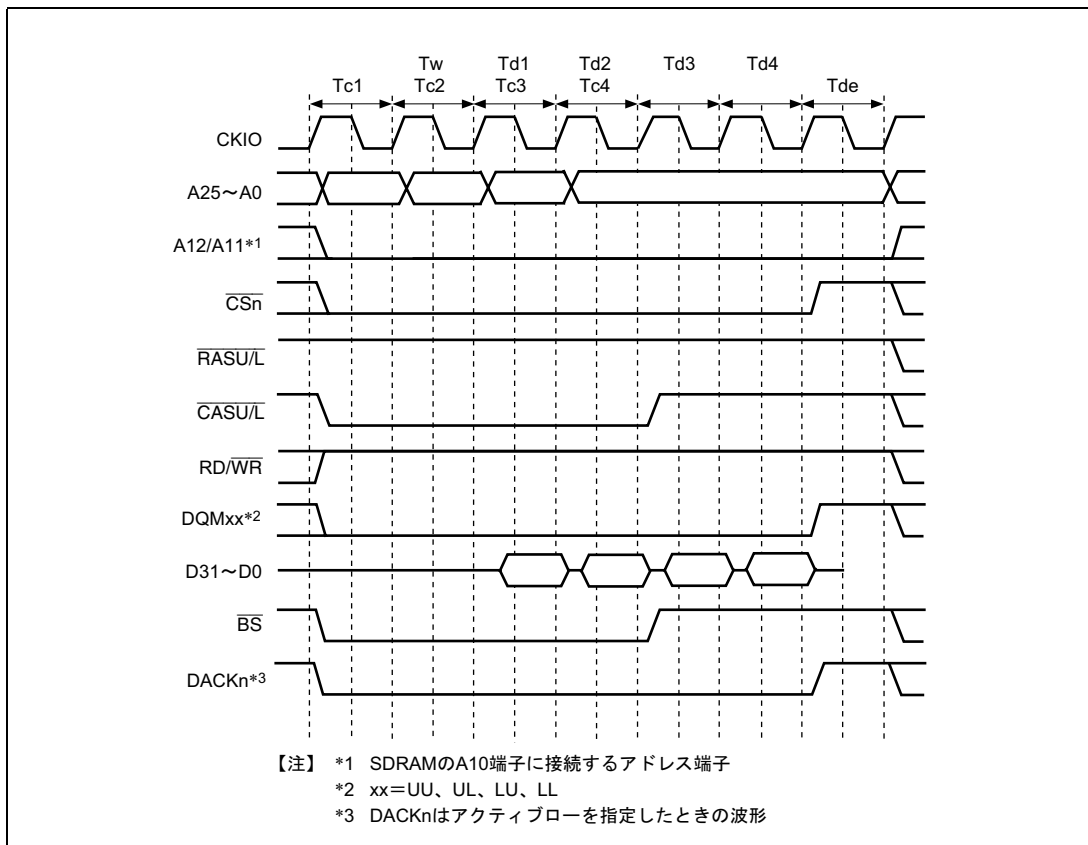


図 7.21 バーストリードタイミング (バンクアクティブ、同一ロウアドレス)

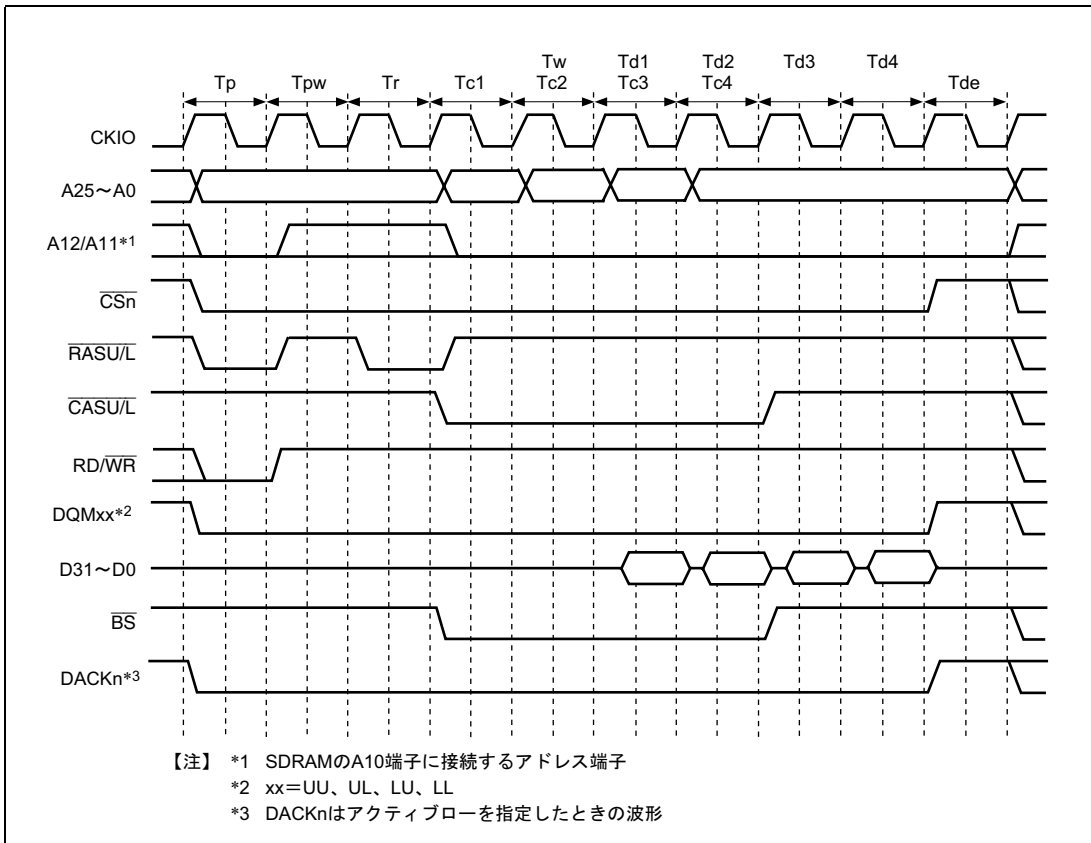


図 7.22 バーストリードタイミング (バンクアクティブ、異なるロウアドレス)

7. バスステートコントローラ (BSC)

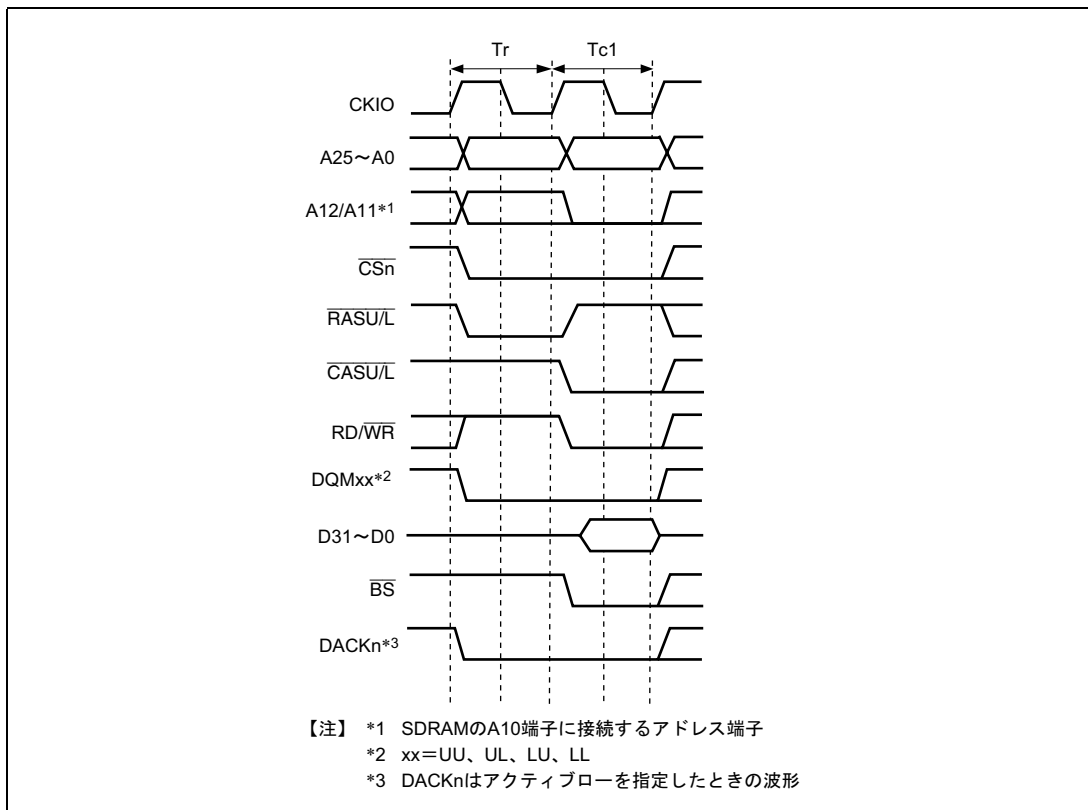


図 7.23 シングルライトタイミング (オートプリチャージなし)

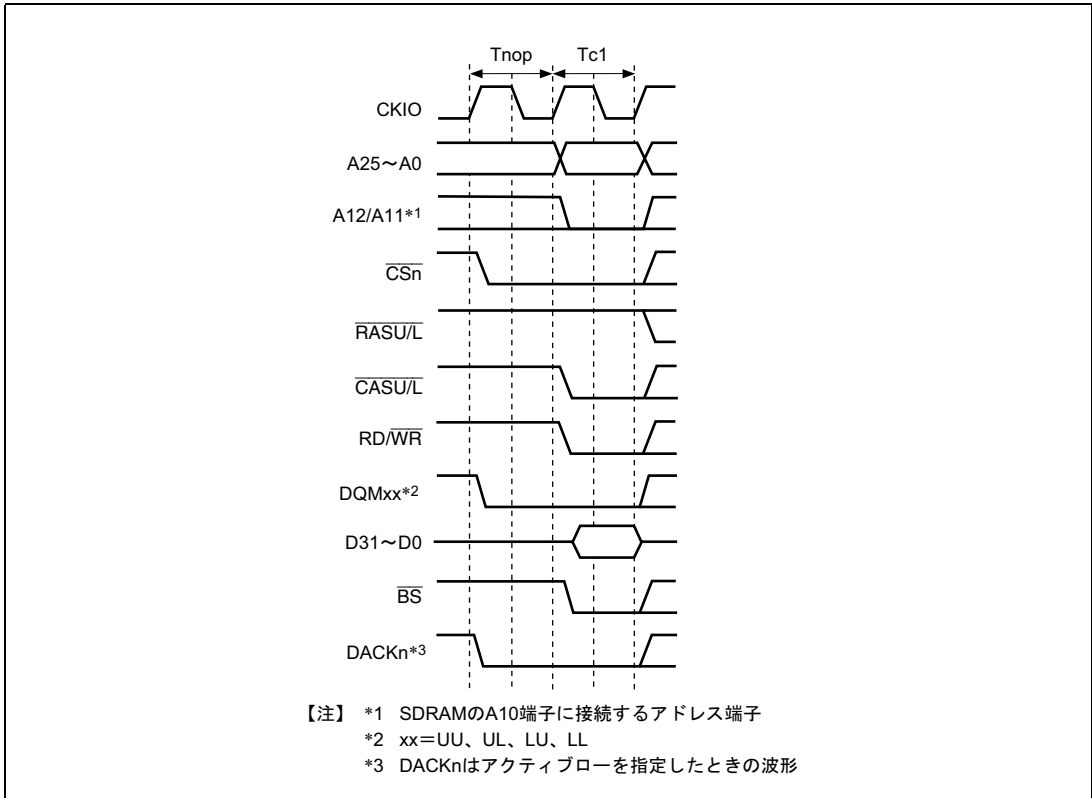


図 7.24 シングルライトタイミング (バンクアクティブ、同一ロウアドレス)

7. バスステートコントローラ (BSC)

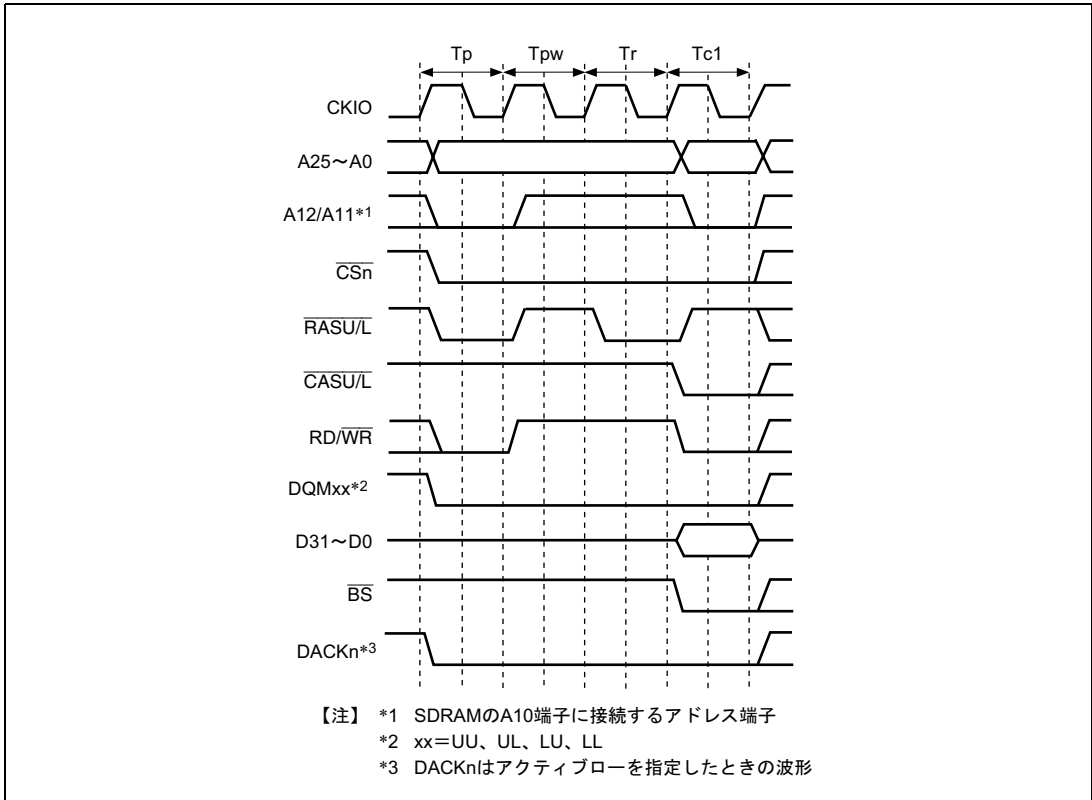


図 7.25 シングルライトタイミング (バンクアクティブ、異なるロウアドレス)

7.8.8 リフレッシュ

本 LSI は、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(1) オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビットおよび、RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビット、および RRC[2:0] ビットの設定を行ってください。CKS [2:0] ビットによって入力クロックを設定すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 7.26 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待ったあと、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、 $CSnWCR$ の $TRP[1:0]$ ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{rr} サイクルに発行します。 T_{rr} サイクル後、 $CSnWCR$ の $TRC[1:0]$ ビットで指定されるサイクル数の間、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように $TRC[1:0]$ ビットを設定する必要があります。 $CSnWCR$ の $TRP[1:0]$ ビットの設定値が 2 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間に NOP サイクルが挿入されます。

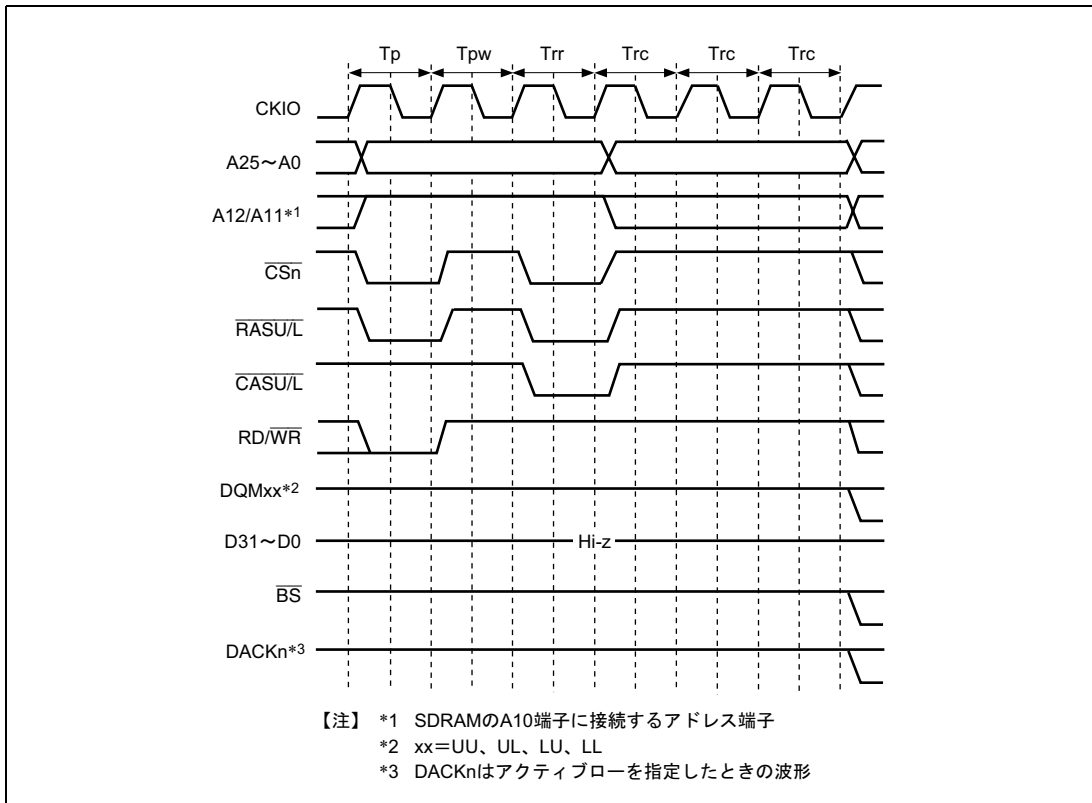


図 7.26 オートリフレッシュタイミング

(2) セルフリフレッシュ

セルフリフレッシュは SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成するモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合には、その完了を待ったあと、 T_p サイクルで PALL コマンドを発行します。次いで、 $CSnWCR$ の $TRP[1:0]$ ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、 $CSnWCR$ の $TRC[1:0]$ ビットで指定されるサイクル数の間はコマンドの発行は行いません。

7. バスステートコントローラ (BSC)

セルフリフレッシュのタイミングを図 7.27 に示します。セルフリフレッシュ解除後、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、セルフリフレッシュ解除中に $RFSH=1$ 、 $RMODE=0$ とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、($RTCOR$ の値-1) を $RTCNT$ に設定することにより、直ちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した場合、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されま

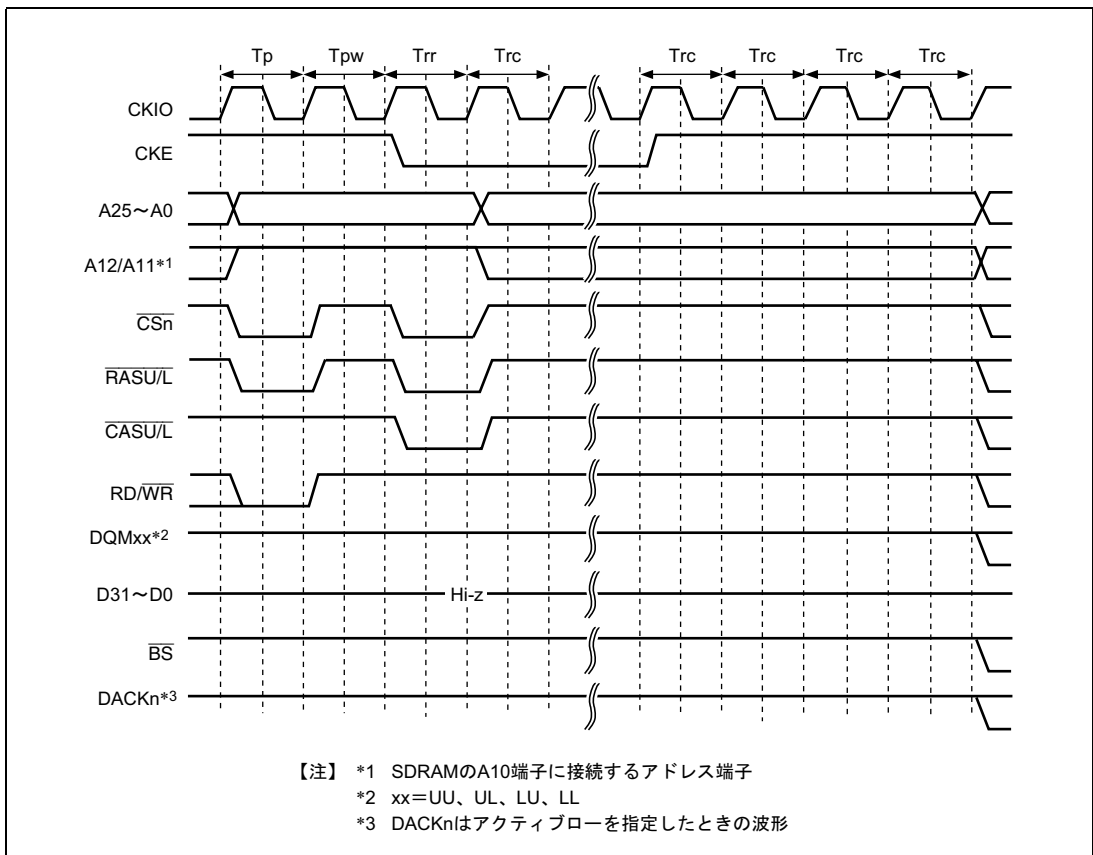


図 7.27 セルフリフレッシュタイミング

(3) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起これないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

7.8.9 低周波数モード

SDCR の SLOW ビットを 1 に設定すると、コマンド、アドレス、ライトデータの出力および、リードデータの取り込みを、SDRAM を低周波数で動作させるのに適したタイミングで行います。

図 7.28 に低周波数モードでのアクセスタイミングを示します。このモードでは、コマンド、アドレス、ライトデータを通常より半サイクル遅い CKIO の立ち下がりに同期して出力します。また、リードデータを通常より半サイクル早い CKIO の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、リードデータのホールド時間を延長することができます。

SLOW ビットを 1 に設定して高周波数で SDRAM を動作させると、コマンド、アドレス、ライトデータ、リードデータのセットアップ時間が確保できなくなる可能性があります。SLOW ビットの設定は、動作周波数やボードのタイミング設計を考慮して決定してください。

7. バスステートコントローラ (BSC)

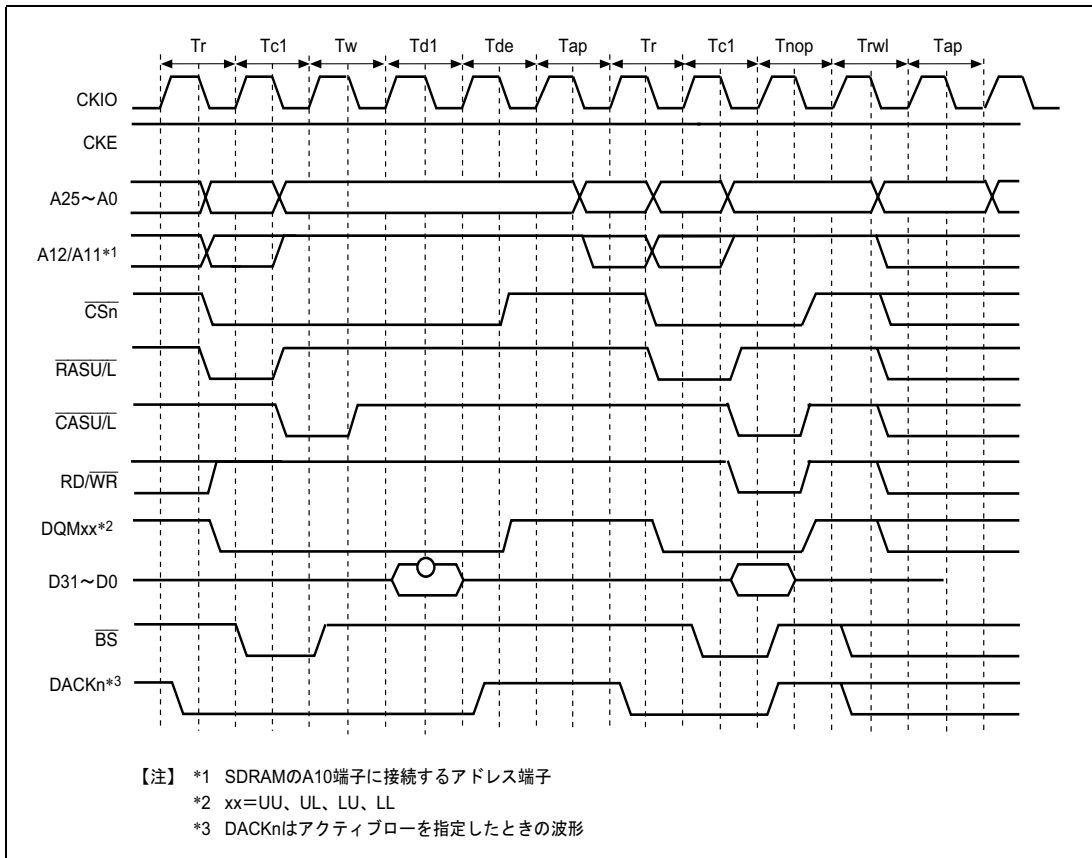


図 7.28 低周波数モードでのアクセスタイミング

7.8.10 パワーオンシーケンス

SDRAMを使用するためには、パワーオン後、SDRAMに対してモード設定を行う必要があります。SDRAMの初期化を正しく行うためには、まずBSCのレジスタを設定したあと、SDRAMのモードレジスタに対する書き込みを行う必要があります。SDRAMのモードレジスタの設定は \overline{CSn} 、 \overline{RAS} 、 \overline{CAS} 、 $\overline{RD/WR}$ の組み合わせで、その時点のアドレス信号の値が取り込まれます。設定したい値をXとするとエリア2の場合X+H'A4FD4000番地、エリア3の場合X+H'A4FD5000番地にワードライトを行うことによって、値XがSDRAMのモードレジスタに書き込まれます。このときライトデータは無視されます。本LSIでサポートしているバーストリード/シングルライト（バースト長1）またはバーストリード/バーストライト（バースト長1）、CASレイテンシ2~3、ラップタイプ=シーケンシャル、バースト長1を設定するには、表7.17に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子のA12以上のビットには0が出力されます。

表 7.17 SDRAM モードレジスタライト時のアクセスアドレス

(1) エリア 2 設定 (SDMR2)

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4440	H'0000440
	3	H'A4FD4460	H'0000460
32 ビット	2	H'A4FD4880	H'0000880
	3	H'A4FD48C0	H'00008C0

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4040	H'0000040
	3	H'A4FD4060	H'0000060
32 ビット	2	H'A4FD4080	H'0000080
	3	H'A4FD40C0	H'00000C0

(2) エリア 3 設定 (SDMR3)

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5440	H'0000440
	3	H'A4FD5460	H'0000460
32 ビット	2	H'A4FD5880	H'0000880
	3	H'A4FD58C0	H'00008C0

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5040	H'0000040
	3	H'A4FD5060	H'0000060
32 ビット	2	H'A4FD5080	H'0000080
	3	H'A4FD50C0	H'00000C0

7. バスステートコントローラ (BSC)

モードレジスタ設定タイミングを図 7.29 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CSnWCR の TRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CSnWCR の TRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドルサイクル時間は SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

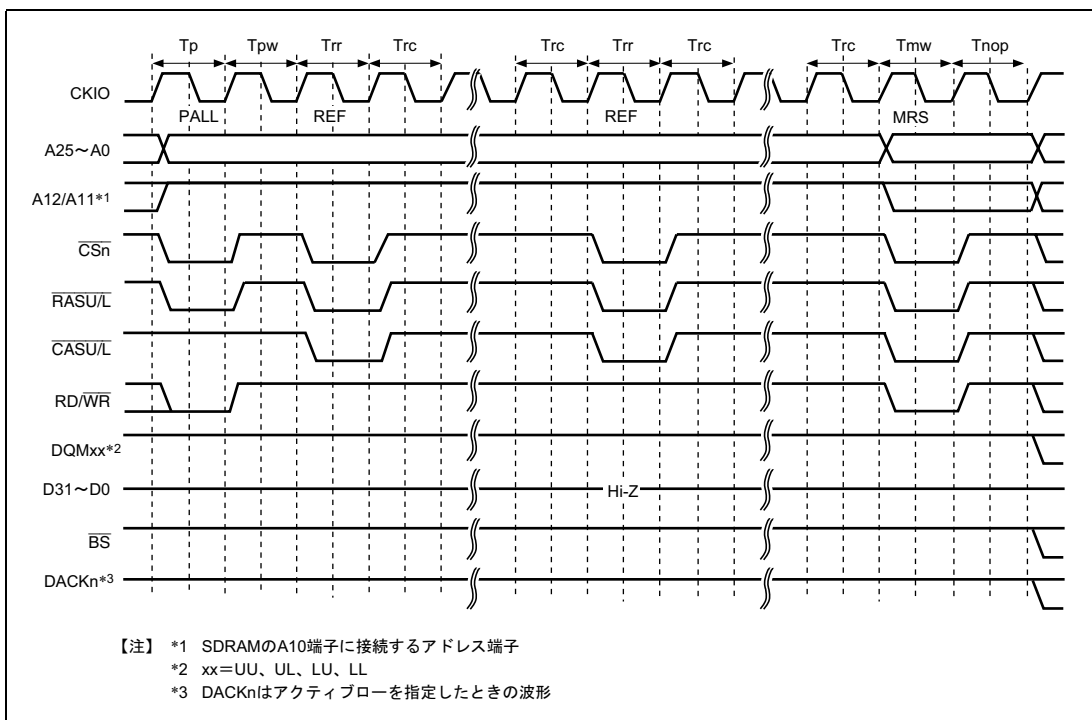


図 7.29 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

7.9 バースト ROM インタフェース

バースト ROM インタフェースは、ページモード機能を有するフラッシュメモリ等を高速にアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

7. バスステートコントローラ (BSC)

最初のアクセスサイクルに関しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM アクセス時、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。バースト ROM インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。表 7.18 にバス幅およびアクセスサイズとバースト数の関係、図 7.30 にタイムチャートを示します。

表 7.18 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
8 ビット	8 ビット	1
	16 ビット	2
	32 ビット	4
	16 バイト	16
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8

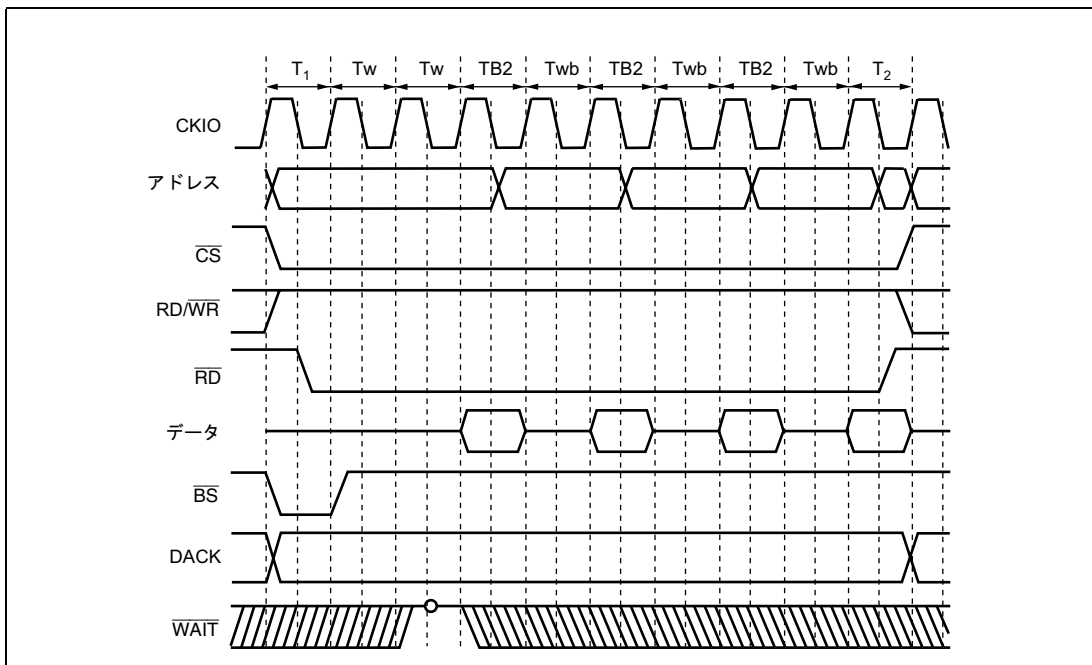


図 7.30 バースト ROM アクセス (バス幅 8 ビット、アクセスサイズ 32 ビット (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

7.10 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 (\overline{WEn}) を出力するメモリインタフェースです。このインタフェースは、16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 \overline{WEn} 端子のタイミングが通常空間インタフェースと異なり、 \overline{WEn} 端子からバイト選択信号を出力します。図 7.31 に基本アクセスタイミングを示します。

特に、ライトサイクルはバイト選択端子 (\overline{WEn}) のタイミングでデータを書き込みます。ご使用になるメモリのデータシートを確認してください。

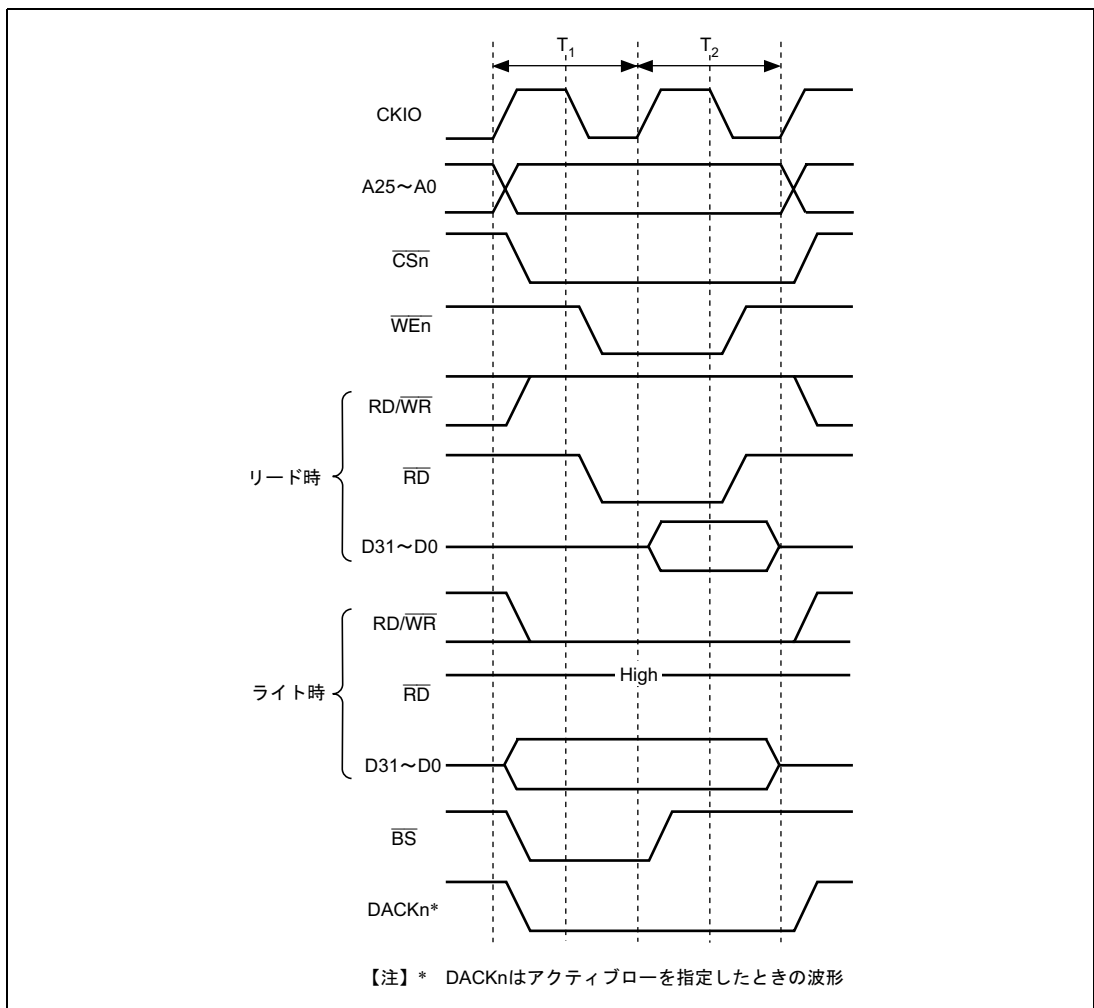


図 7.31 バイト選択付き SRAM 基本アクセスタイミング

7.11 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間のウェイトを挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間のウェイトのサイクル数は、CSnBCR の IWW[1:0]ビット、IWRWD[1:0]ビット、IWRWS[1:0]ビット、IWRRD[1:0]ビット、IWRRS[1:0]ビット、および CMNCR の DMAIW[1:0]ビット、DMAIWA ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は以下の条件のとき挿入が可能です。

1. 連続するアクセスがライトーリード、ライトーライトの場合
2. 連続するアクセスが別空間でかつリードーライトの場合
3. 連続するアクセスが同一空間でかつリードーライトの場合
4. 連続するアクセスが別空間でかつリードーリードの場合
5. 連続するアクセスが同一空間でかつリードーリードの場合
6. DMAシングル転送による外部デバイスデータ出力後の本LSIを含む別デバイスデータ出力の場合 (DMAIWA=0)
7. DMAシングル転送による外部デバイスデータ出力後、すべてのアクセスの場合 (DMAIWA=1)

7.12 バスアービトレーション

本 LSI は、バスアービトレーションができます。通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。

マスタとスレーブとの間でバス権を受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号をネゲート状態にします。バス権を受け取る場合にも、バス制御信号はネゲート状態からドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。バス制御信号のハイインピーダンス状態での外来ノイズによる誤動作を防ぐために、これらの制御信号にはプルアップ抵抗が必要となります。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、ただちにバス権の解放を行います。バスサイクル最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 $\overline{\text{CSn}}$ 信号その他のバス制御信号を見て、直ちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. キャッシュミスによる16バイト転送中
2. キャッシュのコピーバック中
3. TAS命令のリードサイクルとライトサイクル間
4. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットステータス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)

5. DMACでの16バイト転送時

SDRAM をセルフリフレッシュモードにした場合は、マスタはバスの解放を行うことができません。また、スタンバイモードへの遷移や、周波数変更のためにマスタのクロックが停止する場合やリセット中は、マスタはバスの解放を行うことができません。このとき、スレーブからのバス権要求が発生しないように、スレーブをスリープさせる等スレーブのアクセスサイクルが発生しないようにしてください。

DMA バースト転送中にリフレッシュ要求とバス権要求を受け付けます。

バス権要求を受けないかぎりバス権を保有しています。外部からのバス権要求 ($\overline{\text{BREQ}}$) のアサート (ローレベル) を受け、実行中のバスサイクルが終わりしだいバスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) をアサート (ローレベル) します。スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (ハイレベル) を受けてバスの使用を再開します。

SDRAM は、アクティブなバンクがある場合、全バンクプリチャージコマンド (PALL) を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは、次のとおりです。まず、CKIO の立ち上がり同期してアドレスバスおよびデータバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CKIO の立ち下がり同期してアサートします。これに続く CKIO の立ち上がりで、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{DQMxx}}$ 、 $\overline{\text{WE}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{RD/WR}}$) をハイインピーダンスにします。バス権要求信号のサンプリングは CKIO の立ち下がりで行います。スレーブからバス権を再獲得するときのシーケンスは次のとおりです。 $\overline{\text{BREQ}}$ のネゲートを CKIO の立ち下がり検出すると、これに続くクロックの立ち下がりで、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CKIO の立ち上がりです。バスアービトレーションタイミングを図 7.34 に示します。

ユーザが個別に設計したスレーブによっては、アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。このようなケースでは、SDRAM の確実なリフレッシュを行うため、スレーブのバス占有時間がリフレッシュ周期を超えることなく、バス権を解放するように設計を行う必要があります。

また、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ のハンドシェイクによる外部バス解放には、少なからずオーバーヘッドが存在します。スレーブモジュールのタスクが多い場合は一度のバス権獲得により、複数回のバスサイクルを実行するようにシステム設計を行ってください。バス権の受け渡しに必要なサイクルを減らすことによりシステム設計が容易になります。

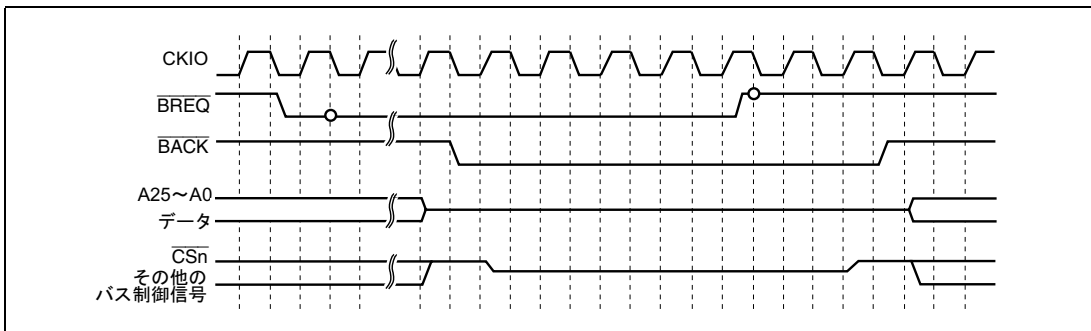


図 7.34 バスアービトレーション

7.13 その他

(1) リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらず直ちにすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。ただし、マニュアルリセット信号のアサート中は、 $\overline{\text{BREQ}}$ によるアービトレーション要求を受け付けません。

(2) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック ($P\phi$) で 2 サイクル以上かかります。システム設計の見積もり時には、ご注意ください。

8. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

8.1 特長

- チャンネル数：4チャンネル (うち2チャンネルは外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。

内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。

SCIF0、SCIF2、CMT、USB、A/D変換器

- バスモード：サイクルスチールモード (通常モードとインターミットモード16/64) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送終了時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー／ハイレベル検出、立ち上がり／立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号：DACKは独立にアクティブレベルを設定可能
- 転送終了信号：TENDはアクティブレベルを設定可能。最終DMA転送のDACKと同じタイミングで出力されます (チャンネル0のみ)。

8. ダイレクトメモリアクセスコントローラ (DMAC)

DMAC のブロック図を図 8.1 に示します。

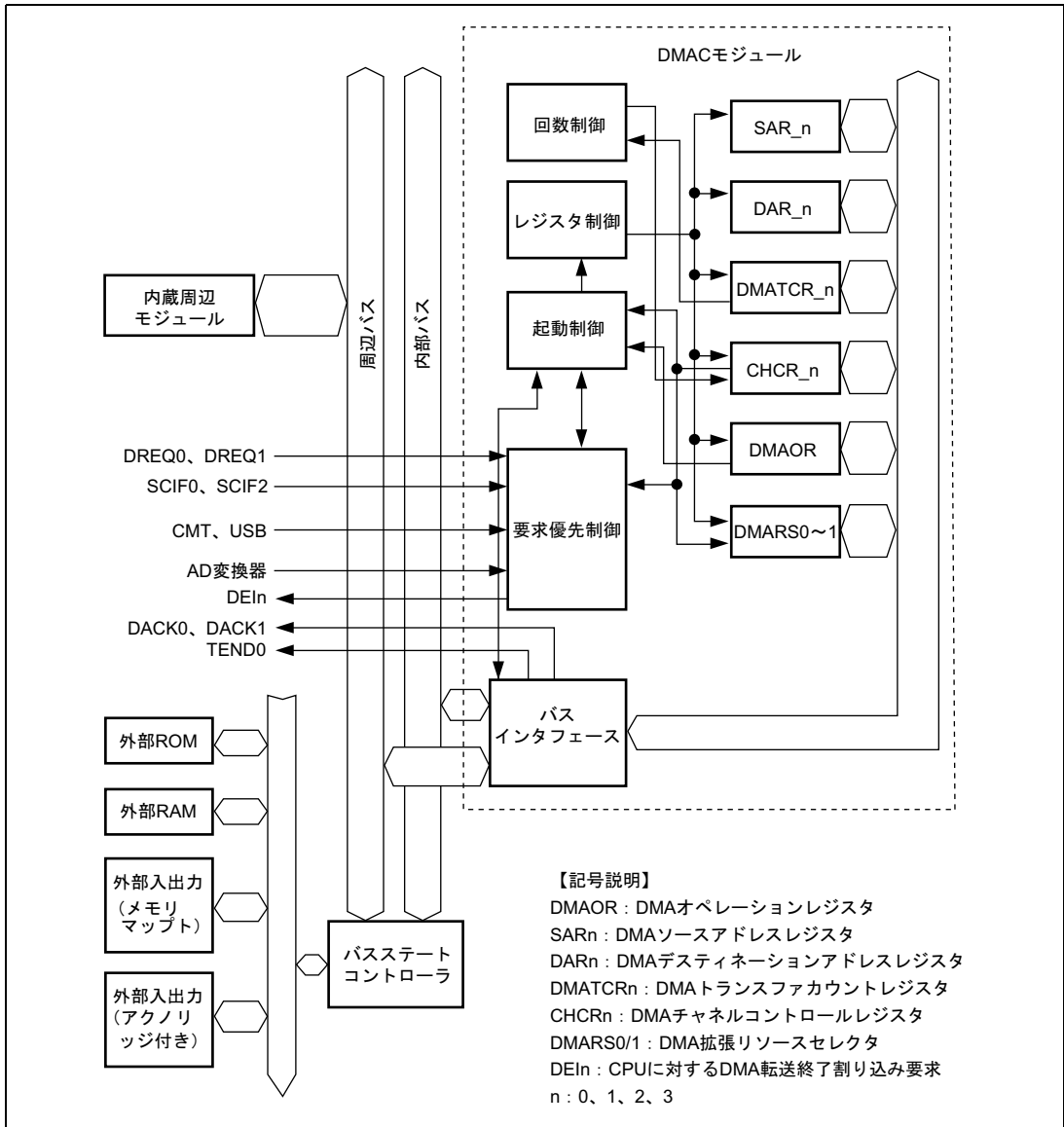


図 8.1 DMAC ブロック図

8.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 8.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (チャンネル 0、チャンネル 1) を持ちます。チャンネル 0 は、DMA 転送終了信号を持ちます。

表 8.1 外部バスに対する端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の転送終了出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力

8.3 レジスタの説明

DMAC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。

(1) チャンネル 0

- DMA ソースアドレスレジスタ_0 (SAR_0)
- DMA デスティネーションアドレスレジスタ_0 (DAR_0)
- DMA トランスファカウントレジスタ_0 (DMATCR_0)
- DMA チャンネルコントロールレジスタ_0 (CHCR_0)

(2) チャンネル 1

- DMA ソースアドレスレジスタ_1 (SAR_1)
- DMA デスティネーションアドレスレジスタ_1 (DAR_1)
- DMA トランスファカウントレジスタ_1 (DMATCR_1)
- DMA チャンネルコントロールレジスタ_1 (CHCR_1)

(3) チャンネル 2

- DMA ソースアドレスレジスタ_2 (SAR_2)
- DMA デスティネーションアドレスレジスタ_2 (DAR_2)
- DMA トランスファカウントレジスタ_2 (DMATCR_2)
- DMA チャンネルコントロールレジスタ_2 (CHCR_2)

8. ダイレクトメモリアクセスコントローラ (DMAC)

(4) チャンネル 3

- DMAソースアドレスレジスタ₃ (SAR₃)
- DMAデスティネーションアドレスレジスタ₃ (DAR₃)
- DMAトランスファカウントレジスタ₃ (DMATCR₃)
- DMA チャンネルコントロールレジスタ₃ (CHCR₃)

(5) 共通

- DMAオペレーションレジスタ (DMAOR)
- DMA拡張リソースセクタ0 (DMARS0)
- DMA拡張リソースセクタ1 (DMARS1)

8.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

SAR の初期値は不定です。ソフトウェアスタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

8.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

DAR の初期値は不定です。ソフトウェアスタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

8.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

DMATCR の初期値は不定です。ソフトウェアスタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

8.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23	DO	0	R/W	DMA オーバラン DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。 本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出
22	TL	0	R/W	トランスファエンドレベル TEND 信号をハイアクティブにするかローアクティブにするかを選択します。本ビットは、CHCR0 のみに有効です。CHCR1、2 および 3 は TEND 端子が存在しないので、本設定は無効です。読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力
21~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	AM	0	R/W	アクノリッジモード デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。 シングルアドレスモード時は、本ビットの指定に関係なく DACK は常に出力されます。 本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)
16	AL	0	R/W	アクノリッジレベル DACK 信号をハイアクティブにするかローアクティブにするかを指定します。 本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力

8. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
15 14	DM1 DM0	0 0	R/W R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します。(シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます。)</p> <p>00: デスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止)</p> <p>01: デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p> <p>10: デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止)</p> <p>11: 設定禁止</p>
13 12	SM1 SM0	0 0	R/W R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します。(シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます。)</p> <p>00: ソースアドレスは固定 (16 バイト単位転送時は設定禁止)</p> <p>01: ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト転送時は+16)</p> <p>10: ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止)</p> <p>11: 設定禁止</p>

8. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11 10 9 8	RS3 RS2 RS1 RS0	0 0 0 0	R/W R/W R/W R/W	<p>リソースセレクト</p> <p>転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード 0001 : 設定禁止 0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間→DACK 付き外部デバイス 0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス→外部アドレス空間 0100 : オートリクエスト 0101 : 設定禁止 0110 : 設定禁止 0111 : 設定禁止 1000 : DMA 拡張リソースセクタで選択 1001 : 設定禁止 1010 : 設定禁止 1011 : 設定禁止 1100 : 設定禁止 1101 : 設定禁止 1110 : 周辺モジュールリクエスト、A/D 変換器 1111 : 周辺モジュールリクエスト、CMT</p> <p>【注】 外部リクエストの指定は CHCR_0、1 のみ有効です。CHCR_2、3 では外部リクエスト指定は設定できません。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル、DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と、検出レベルを選択します。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p> <p>またチャンネル 0、1 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出 01 : 立ち下がリエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。</p> <p>0 : サイクルスチールモード 1 : バーストモード</p>

8. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
4 3	TS1 TS0	0 0	R/W R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00: バイト単位 01: ワード (2 バイト) 単位 10: ロングワード (4 バイト) 単位 11: 16 バイト単位転送 (ロングワード 4 回転送)</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0: 割り込み要求を禁止 1: 割り込み要求を許可</p>
1	TE	0	R(W)*	<p>トランスファエンドフラグ</p> <p>DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0: DMA 転送中または DMA 転送の転送中断</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> • TE ビットの 1 を読み出してから 0 を書き込んだとき • パワーオンリセット時 • マニュアルリセット時 <p>1: (DMATCR=0 により) DMA 転送終了</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットしたあとで、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>0: DMA 転送を禁止 1: DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し／書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	CMS1	0	R/W	サイクルスチールモードセレクト
12	CMS0	0	R/W	<p>サイクルスチールモード時に通常モードとインターミitttentモードを選択します。</p> <p>インターミitttentモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードである必要があります。</p> <p>00 : 通常モード</p> <p>01 : 設定禁止</p> <p>10 : インターミitttentモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行</p> <p>11 : インターミitttentモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行</p>
11	—	0	R	リザーブビット
10	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PR1	0	R/W	プライオリティーモード
8	PR0	0	R/W	<p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00 : CH0>CH1>CH2>CH3</p> <p>01 : CH0>CH2>CH3>CH1</p> <p>10 : 設定禁止</p> <p>11 : ラウンドロビンモード</p>
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	—	0	R	
4	—	0	R	
3	—	0	R	

8. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMACによるアドレスエラーが発生したことを示すフラグです。AEビットがセットされると、CHCRのDEビットとDMAORのDMEビットを1にセットしても、DMA転送は許可されません。AEビットをクリアするには、AEビットの1を読み出してから0を書き込みます。</p> <p>0: DMACによるアドレスエラーなし</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> • AEビットの1を読み出してから0を書き込んだとき • パワーオンリセット時 • マニュアルリセット時 <p>1: DMACによるアドレスエラーあり。DMA転送禁止状態。</p> <p>【セット条件】 DMACによるアドレスエラー発生</p>
1	NMIF	0	R/(W)*	<p>NMIフラグ</p> <p>NMI割り込みが発生したことを示すフラグです。NMIFビットがセットされると、CHCRのDEビットとDMAORのDMEビットを1にセットしても、DMA転送は許可されません。NMIFビットをクリアするには、NMIFビットの1を読み出してから0を書き込みます。</p> <p>NMIが入力されたとき、実行中のDMA転送の1転送単位までは行われます。DMACが動作していないときに、NMI割り込みが入力されても、NMIFビットは1にセットされます。</p> <p>0: NMI割り込みなし</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> • NMIFビットの1を読み出してから0を書き込んだとき • パワーオンリセット時 • マニュアルリセット時 <p>1: NMI入力あり。DMA転送禁止状態。</p> <p>【セット条件】 NMI割り込み発生</p>
0	DME	0	R/W	<p>DMAマスタイネーブル</p> <p>すべてのチャンネルのDMA転送を許可または禁止します。DMEビットおよびCHCRのDEビットを1にセットすると、DMA転送が許可されます。ただし転送を行うチャンネルのCHCRにあるTEビットとDMAORのNMIFビット、AEビットのすべてが0であることが必要です。DMEビットをクリアするとすべてのチャンネルのDMA転送が中断されます。</p> <p>0: 全チャンネルのDMA転送を禁止</p> <p>1: 全チャンネルのDMA転送を許可</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

8.3.6 DMA 拡張リソースセクタ 0、1 (DMARS0、1)

DMARS は、読み出し／書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF0、SCIF2、USB の転送要求を設定できます。

表 8.2 以外の MID/RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0 ~3 レジスタのリソースセレクトビット (RS3~0) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

• DMARS0 の設定

ビット	ビット名	初期値	R/W	説明
15	C1MID5	0	R/W	DMA チャンネル 1 転送要求元モジュール ID5~0 (MID) 表 8.2 参照
14	C1MID4	0	R/W	
13	C1MID3	0	R/W	
12	C1MID2	0	R/W	
11	C1MID1	0	R/W	
10	C1MID0	0	R/W	
9	C1RID1	0	R/W	DMA チャンネル 1 転送要求元レジスタ ID1~0 (RID) 表 8.2 参照
8	C1RID0	0	R/W	
7	C0MID5	0	R/W	DMA チャンネル 0 転送要求元モジュール ID5~0 (MID) 表 8.2 参照
6	C0MID4	0	R/W	
5	C0MID3	0	R/W	
4	C0MID2	0	R/W	
3	C0MID1	0	R/W	
2	C0MID0	0	R/W	
1	C0RID1	0	R/W	DMA チャンネル 0 転送要求元レジスタ ID1~0 (RID) 表 8.2 参照
0	C0RID0	0	R/W	

8. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS1 の設定

ビット	ビット名	初期値	R/W	説明
15	C3MID5	0	R/W	DMA チャンネル 3 転送要求元モジュール ID5~0 (MID) 表 8.2 参照
14	C3MID4	0	R/W	
13	C3MID3	0	R/W	
12	C3MID2	0	R/W	
11	C3MID1	0	R/W	
10	C3MID0	0	R/W	
9	C3RID1	0	R/W	DMA チャンネル 3 転送要求元レジスタ ID1~0 (RID) 表 8.2 参照
8	C3RID1	0	R/W	
7	C2MID5	0	R/W	DMA チャンネル 2 転送要求元モジュール ID5~0 (MID) 表 8.2 参照
6	C2MID4	0	R/W	
5	C2MID3	0	R/W	
4	C2MID2	0	R/W	
3	C2MID1	0	R/W	
2	C2MID0	0	R/W	
1	C2RID1	0	R/W	DMA チャンネル 2 転送要求元レジスタ ID1~0 (RID) 表 8.2 参照
0	C2RID0	0	R/W	

表 8.2 転送要求元一覧

周辺モジュール	1 チャンネル分の設定値 (MID+RID)	MID	RID	機能
SCIF0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
SCIF2	H'29	B'001010	B'01	送信
	H'2A		B'10	受信
USB	H'73	B'011100	B'11	送信
	H'70		B'00	受信

8.4 動作説明

DMACはDMA転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

8.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みが発生します。
4. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされても転送を中断します。

図 8.2 に上記のフローチャートを示します。

8. ダイレクトメモリアクセスコントローラ (DMAC)

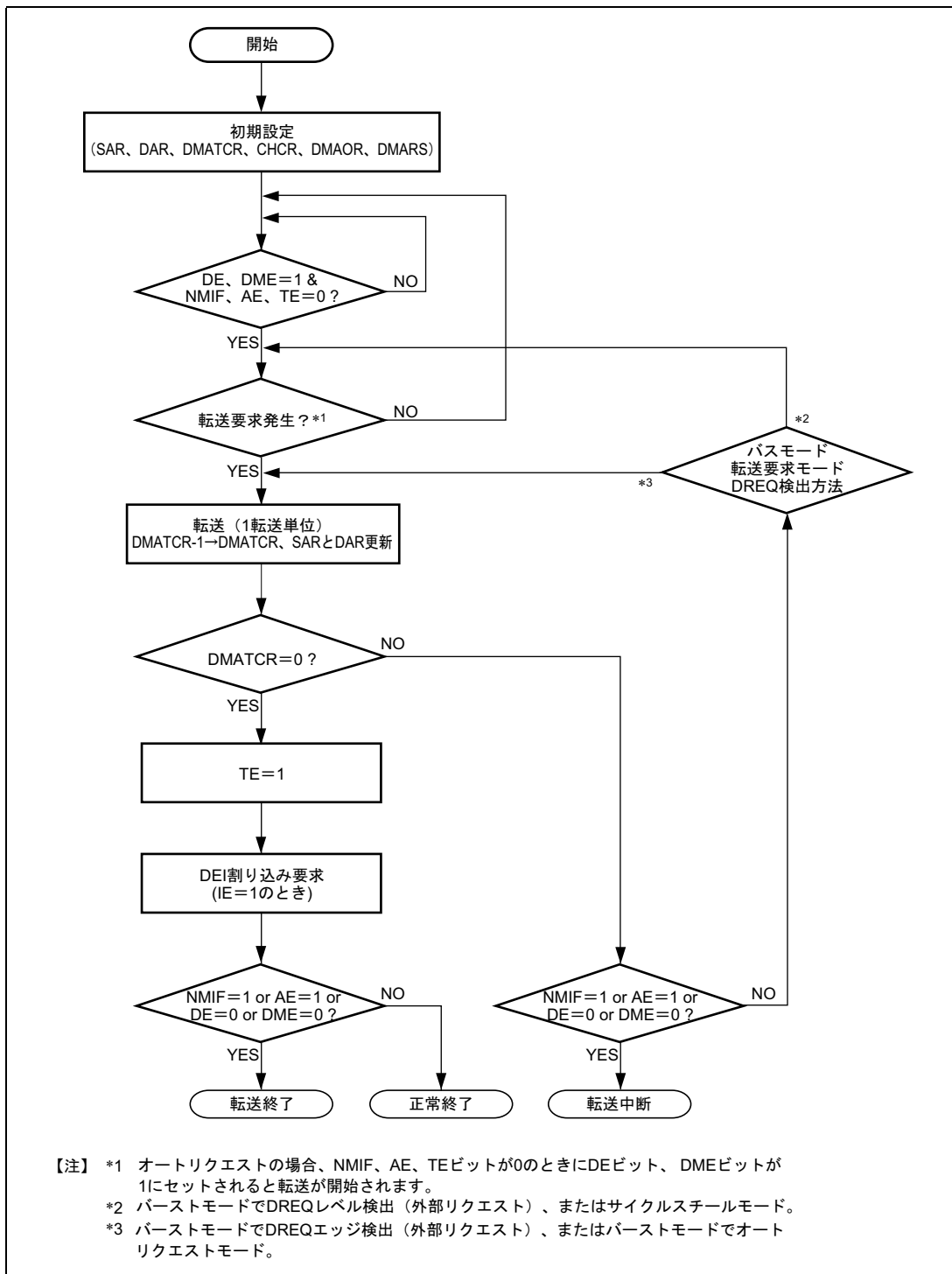


図 8.2 DMAC 転送フローチャート

8.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルごとに CHCR の RS3~RS0 ビットおよび DMARS0、DMARS1 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部からこない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。DMA チャンネルごとに CHCR の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0、DREQ1) によって転送を開始させるモードです。DMA チャンネル 0 および 1 のみ有効です。システムに応じて、表 8.3 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に DREQ が入力されると DMA 転送が開始されます。

表 8.3 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
		1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK 付き外部デバイス
		1	DACK 付き外部デバイス		外部メモリまたは メモリマップト外部デバイス	

DREQ をエッジで検出するかレベルで検出するかは、表 8.4 に示す CHCR_0~CHCR_1 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 8.4 DL、DS ビットによる外部リクエスト検出の選択

CHCR_0 または CHCR_1		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

8. ダイレクトメモリアクセスコントローラ (DMAC)

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力したあと、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合（オーバーラン 0）と、リクエストより 1 つ多い回数の転送を実行して中断する場合（オーバーラン 1）があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 8.5 DO ビットによる外部リクエスト検出の選択

CHCR_0 または CHCR_1	外部リクエスト
DO	
0	オーバーラン 0
1	オーバーラン 1

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、DMARS0/1 にて設定する SCIF0、SCIF2 からの送信データエンプティ転送要求と受信データフル転送要求、CMT からのコンペアマッチ転送要求、USB からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態（DE=1、DME=1、TE=0、AE=0、NMIF=0）であると、転送要求信号によって転送が実行されます。

転送要求を SCIF の送信データエンプティ転送要求に設定した場合、転送先を当該 SCIF のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCIF のレシーブデータレジスタとする必要があります。これらは USB も同様です。転送要求が CMT からの場合、データの転送元、転送先ともに任意のアドレス設定が可能です。

表 8.6 RS3~0 ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード
1	1	1	0	ADC	AD 変換終了要求	ADDR	任意	サイクルスチール
1	1	1	1	CMT	コンペアマッチ転送要求	任意	任意	バースト/ サイクルスチール

表 8.7 RS3~0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	RS[3:0]	MID					
1000	001000	01	SCIF0 送信部	TXI0 (送信 FIFO データエンプティ)	任意	SCFTDR_0	サイクル スチール
		10	SCIF0 受信部	RXI0 (受信 FIFO データフル)	SCFRDR_0	任意	サイクル スチール
	001010	01	SCIF2 送信部	TXI2 (送信 FIFO データエンプティ)	任意	SCFTDR_2	サイクル スチール
		10	SCIF2 受信部	RXI2 (受信 FIFO データフル)	SCFRDR_2	任意	サイクル スチール
	011100	11	USB 送信部	EP2FIFO エンプティ転送要求	任意	EPDR2	サイクル スチール
		00	USB 受信部	EP1FIFO フル転送要求	EPDR1	任意	サイクル スチール

8.4.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 2 種類があります。

- CH0>CH1>CH2>CH3
- CH0>CH2>CH3>CH1

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 8.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3 です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

8. ダイレクトメモリアクセスコントローラ (DMAC)

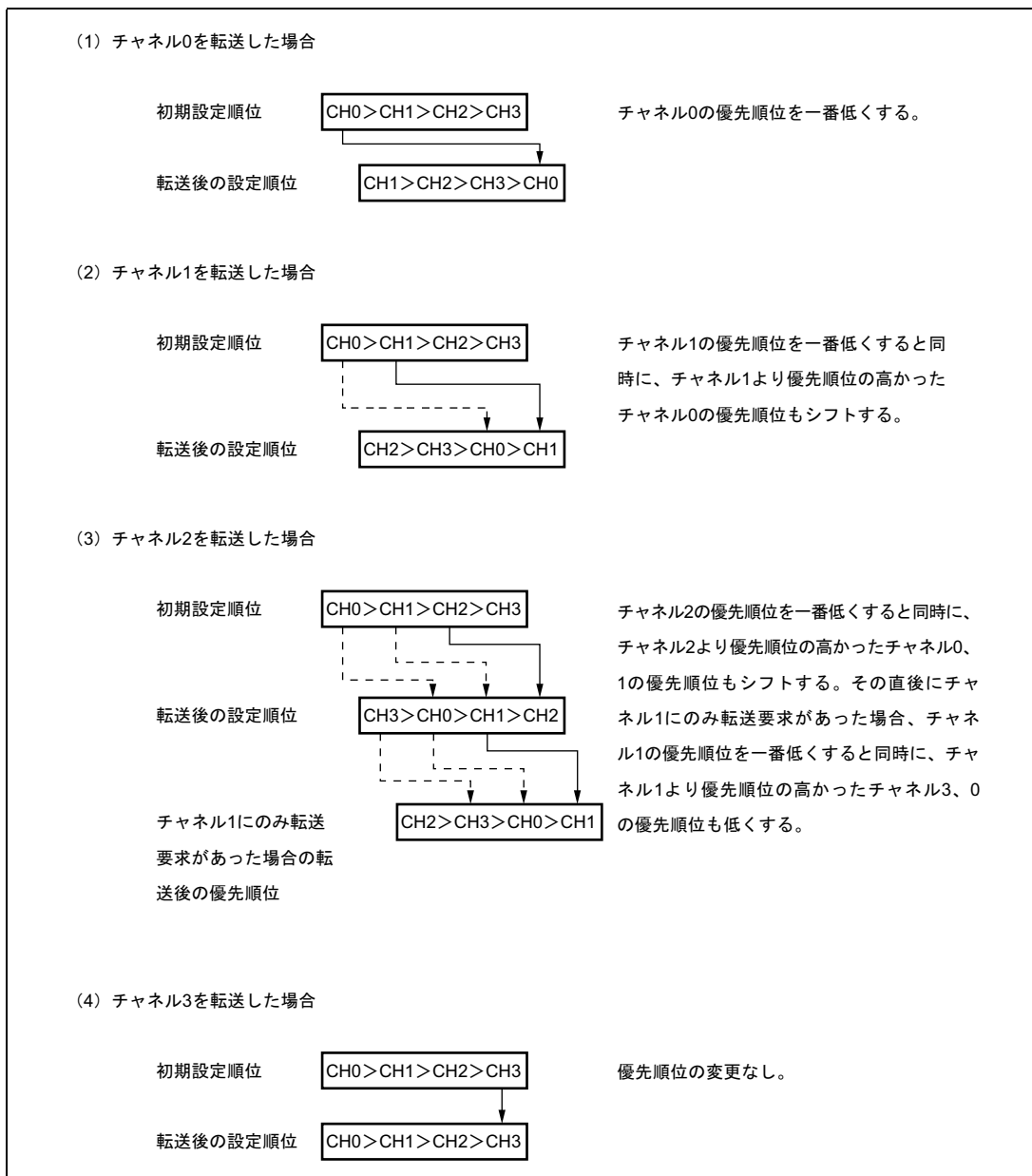


図 8.3 ラウンドロビンモード

8. ダイレクトメモリアクセスコントローラ (DMAC)

図 8.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル 0 とチャンネル 3 に同時に転送要求が発生します。
2. チャンネル 0 のほうがチャンネル 3 より優先順位が高いため、チャンネル 0 の転送を開始します (チャンネル 3 は転送待ち)。
3. チャンネル 0 の転送中にチャンネル 1 に転送要求が発生します (チャンネル 1 とチャンネル 3 は転送待ち)。
4. チャンネル 0 の転送を終了すると、チャンネル 0 の優先順位を一番低くします。
5. この時点でチャンネル 1 のほうがチャンネル 3 より優先順位が高いため、チャンネル 1 の転送を開始します (チャンネル 3 は転送待ち)。
6. チャンネル 1 の転送を終了すると、チャンネル 1 の優先順位を一番低くします。
7. チャンネル 3 の転送を開始します。
8. チャンネル 3 の転送を終了すると、チャンネル 3 の優先順位が一番低くなるように、チャンネル 3 と一緒にチャンネル 2 の優先順位を低くします。

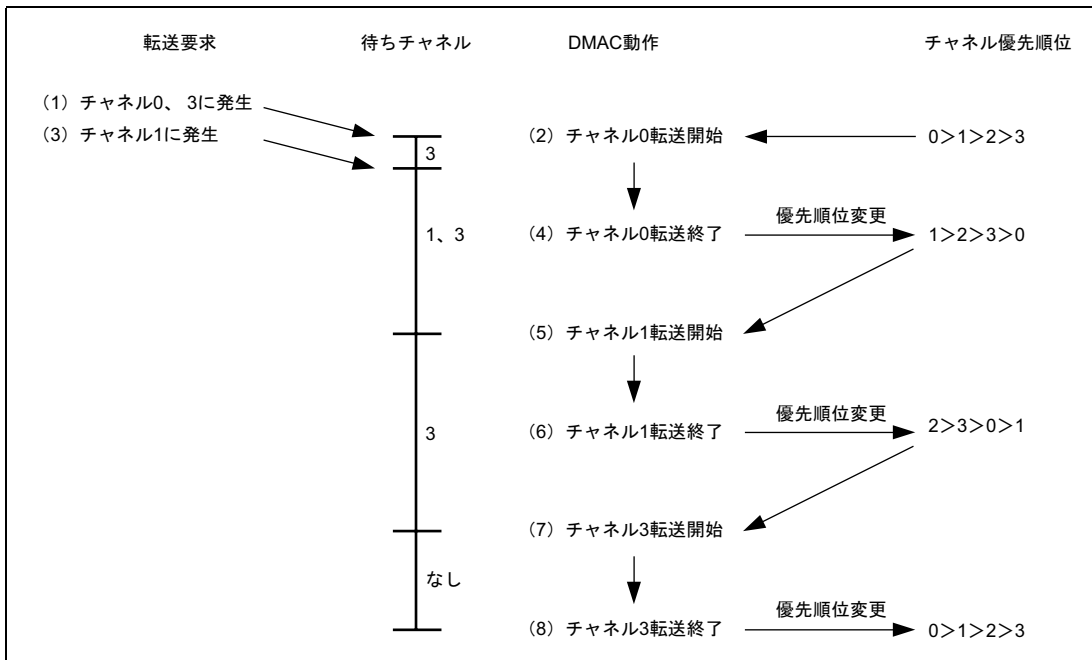


図 8.4 ラウンドロビンモードでのチャンネル優先順位

8. ダイレクトメモリアクセスコントローラ (DMAC)

8.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードは、サイクルスチールモードとバーストモードがあります。表 8.8 に DMAC がサポートできる転送を示します。

表 8.8 サポートできる DMA 転送

転送元	転送先			
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール
DACK 付き外部デバイス	不可	デュアル、シングル	デュアル、シングル	不可
外部メモリ	デュアル、シングル	デュアル	デュアル	デュアル
メモリマップト外部デバイス	デュアル、シングル	デュアル	デュアル	デュアル
内蔵周辺モジュール	不可	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタにかぎり 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMACは、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図8.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

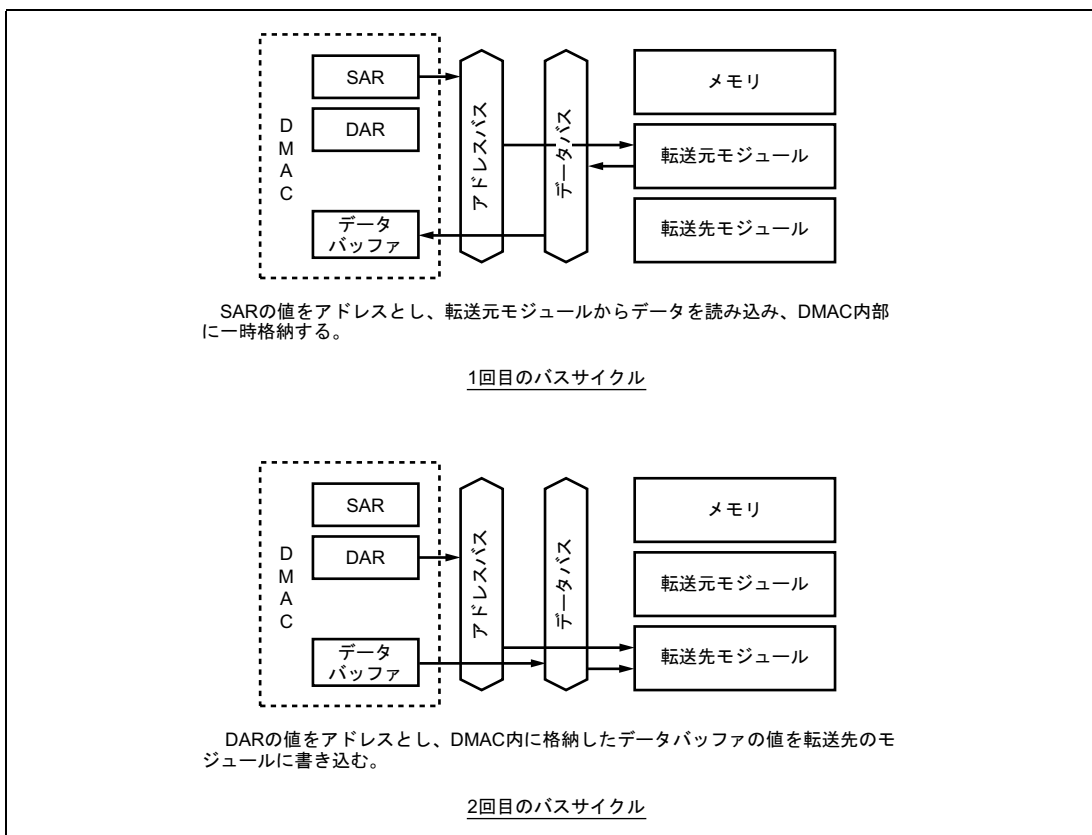


図 8.5 デュアルアドレスモードのデータフロー

8. ダイレクトメモリアクセスコントローラ (DMAC)

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはチャンネルコントロールレジスタ (CHCR) によって設定可能です。

図 8.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

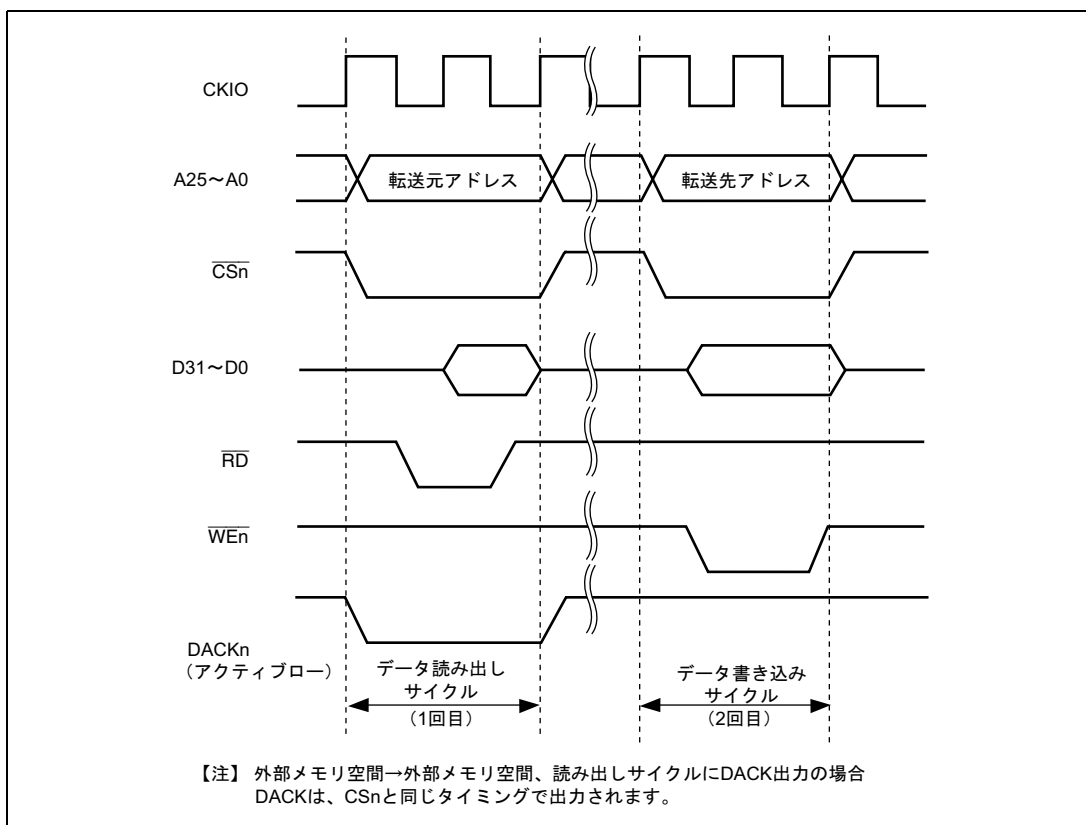


図 8.6 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス（選択）し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 8.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

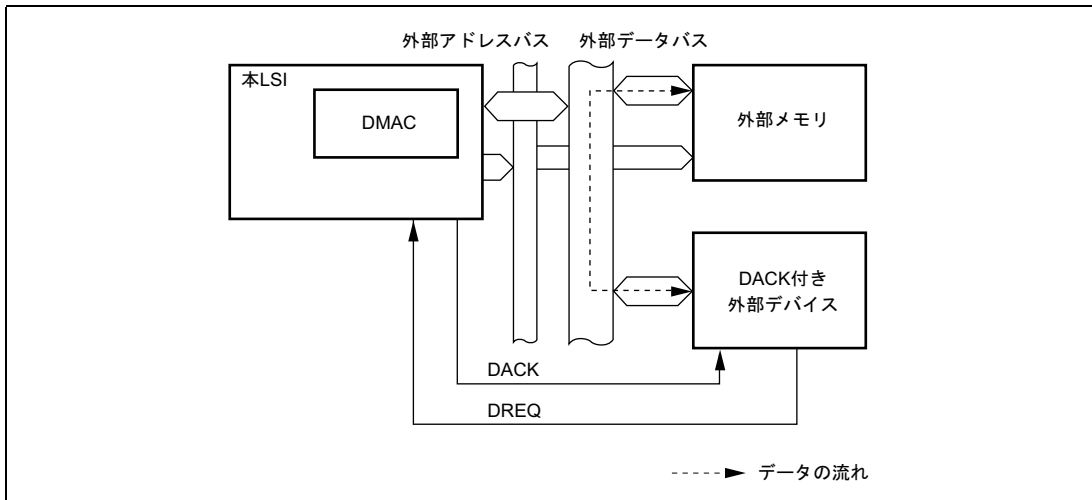


図 8.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 8.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

8. ダイレクトメモリアクセスコントローラ (DMAC)

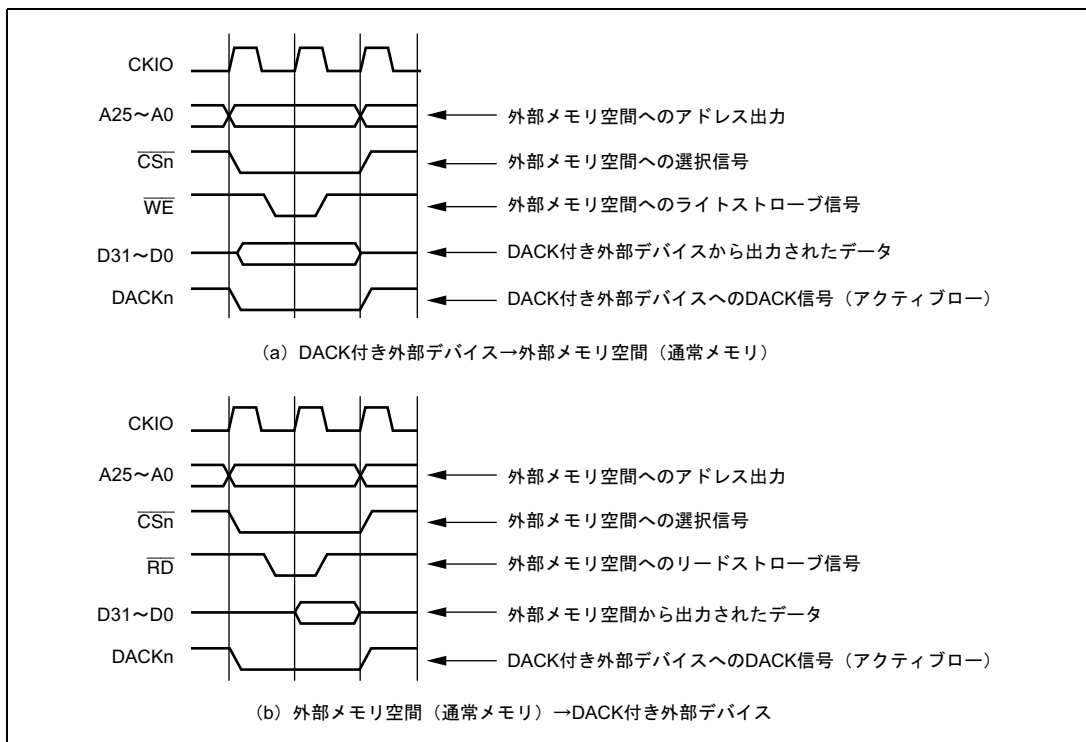


図 8.8 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントロールレジスタ (CHCR) の TB ビットによって行います。

(a) サイクルスチールモード

● 通常モード

サイクルスチールの通常モードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図 8.9 にサイクルスチール通常モードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

8. ダイレクトメモリアクセスコントローラ (DMAC)

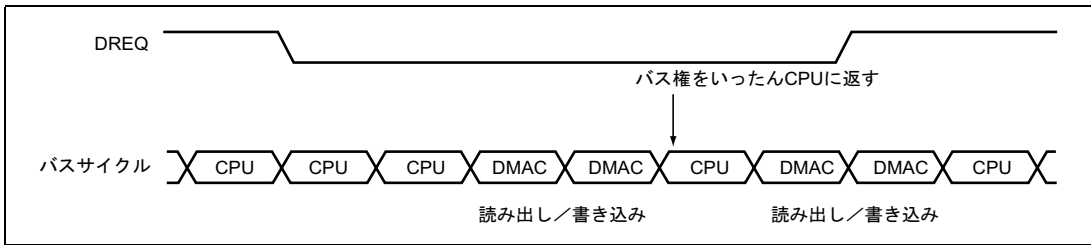


図 8.9 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

- インターミットモード 16、インターミットモード 64

サイクルスチールのインターミットモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、Bφ カウントで 16 クロックまたは 64 クロック待ったあとに、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため DMA 転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMAC が再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA 転送がさらに待たされる場合があります。

インターミットモードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図 8.10 にサイクルスチールインターミットモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQ ローレベル検出

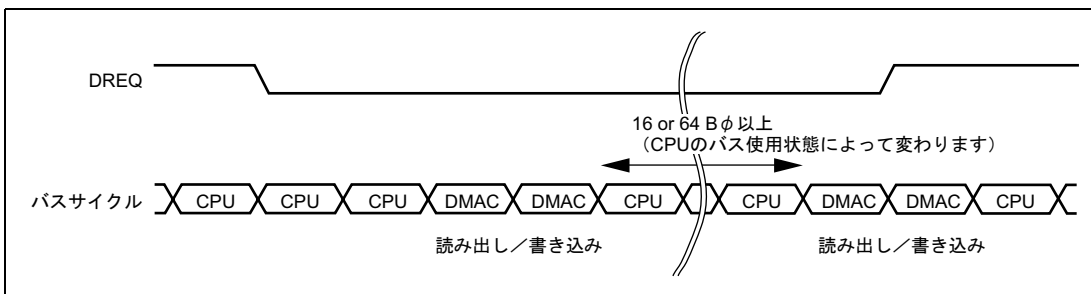


図 8.10 サイクルスチールインターミットモードの DMA 転送例
(デュアルアドレス、DREQ ローレベル検出)

8. ダイレクトメモリアクセスコントローラ (DMAC)

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合、CMT 以外には使用できません。

図 8.11 にバーストモードでの DMA 転送タイミングを示します。

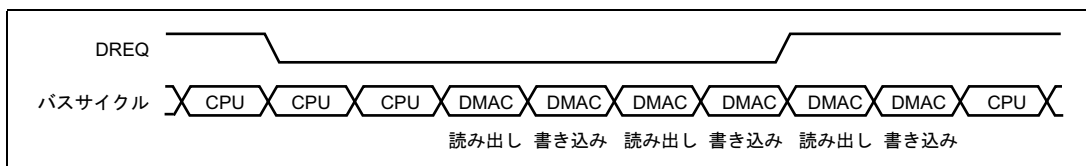


図 8.11 バーストモードでの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 8.9 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 8.9 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	すべて可*1	B/C	8/16/32/128	0~3*5
	外部メモリとメモリマップト外部デバイス	すべて可*1	B/C	8/16/32/128	0~3*5
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可*1	B/C	8/16/32/128	0~3*5
	外部メモリと内蔵周辺モジュール	すべて可*2	B/C*3	8/16/32/128*4	0~3*5
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可*2	B/C*3	8/16/32/128*4	0~3*5
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*2	B/C*3	8/16/32/128*4	0~3*5
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0、1

B: バースト

C: サイクルスチール

【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、CMT のみ。

*2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が CMT を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。

*3 転送要求元が CMT を除いてサイクルスチールのみ

*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ

*5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、直ちにチャンネル0の転送を開始します。

このとき、チャンネル0もバーストモードの場合は優先順位の高いチャンネル0の転送がすべて終了してから、チャンネル1が転送を継続します。

また、チャンネル0がサイクルスチールモードの場合、まず優先順位の高いチャンネル0が1転送単位の転送を行った後、内部バスのバス権を解放せずに連続してチャンネル1が転送されます。その後も、チャンネル0→チャンネル1→チャンネル0→チャンネル1というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後のCPUサイクルがバーストモード転送に置き換わった形になります。この例を図8.12に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA転送を複数チャンネルで行なう場合は、競合するすべてのバースト転送が終了するまでバス権は他のバスマスタに開放しません。

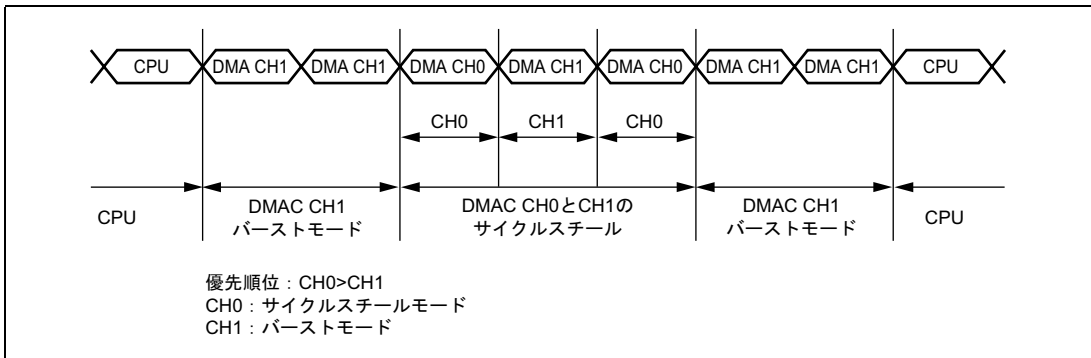


図 8.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、サイクルスチールモードのチャンネルとバーストモードのチャンネルを混在しないでください。この場合、各チャンネルの転送動作は正しく行われますが、優先順位が正しく変化しない場合があります。

8.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第7章 バスステートコントローラ」を参照してください。

8. ダイレクトメモリアクセスコントローラ (DMAC)

(2) DREQ 端子のサンプリングタイミング

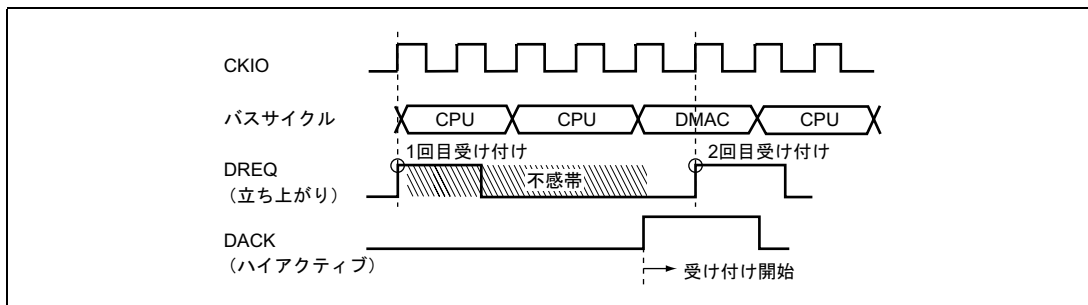


図 8.13 サイクルスチールモード/エッジ検出時の DREQ 入力検出タイミング例

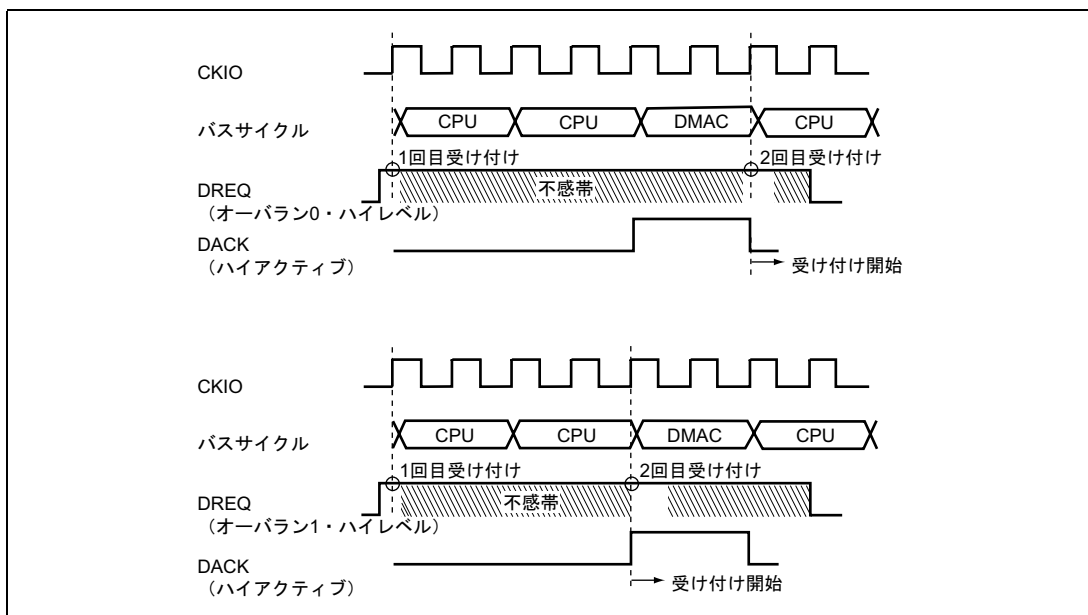


図 8.14 サイクルスチールモード/レベル検出時の DREQ 入力検出タイミング例

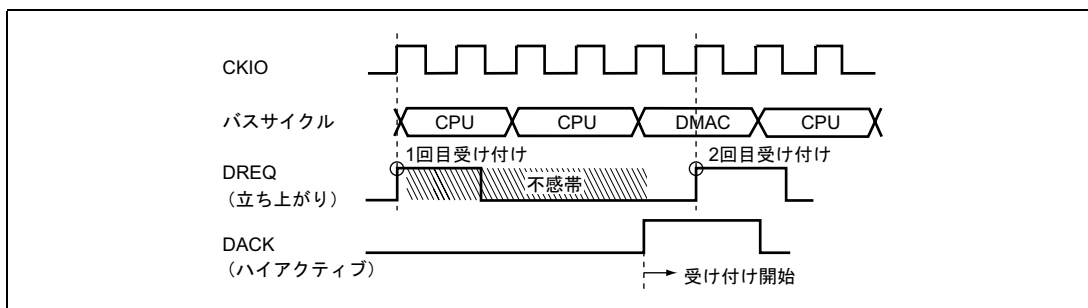


図 8.15 バーストモード/エッジ検出時の DREQ 入力検出タイミング例

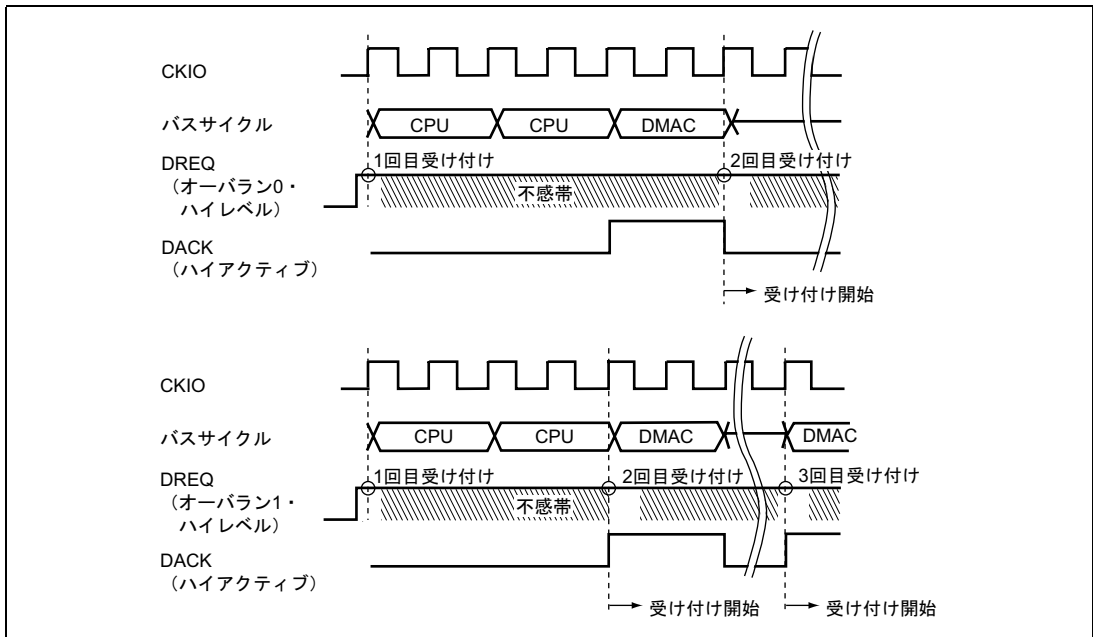


図 8.16 バーストモード／レベル検出時のDREQ入力検出タイミング例

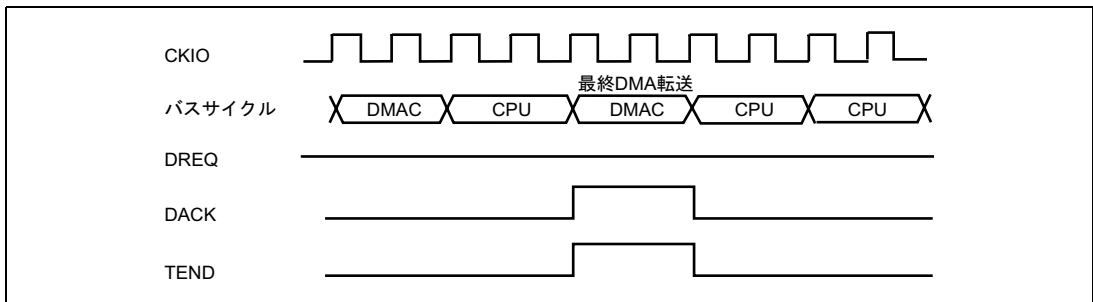


図 8.17 DMA 転送終了信号タイミング例 (サイクルスチール／レベル検出例)

8. ダイレクトメモリアクセスコントローラ (DMAC)

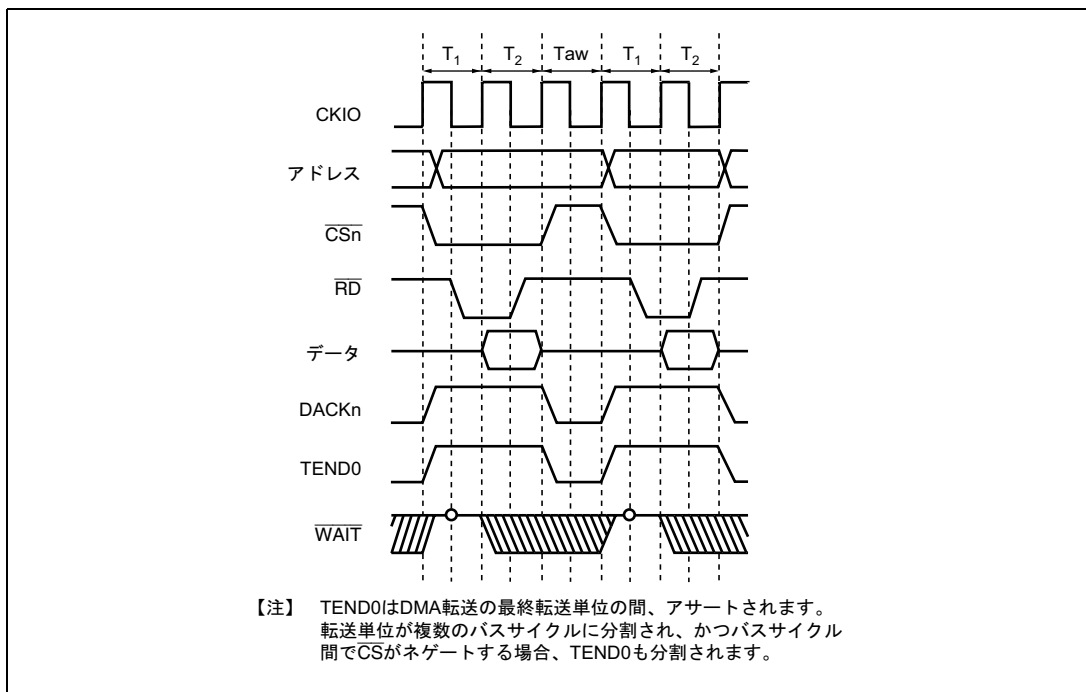


図 8.18 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル1、16bit デバイスへのロングワードアクセス例)

8.5 使用上の注意事項

8.5.1 複数チャンネルでバーストモードとサイクルスチールモードが混在する場合の注意事項

下記 (1)、(2) を同時に満足するような転送モードの設定を行わないでください。

- (1) バーストとサイクルスチールの両モードを含む複数チャンネルで同時に DMA 転送を実行
- (2) バーストモードで使用するチャンネルをデュアルアドレスモードに設定し、書き込みサイクルで DACK を出力

9. クロック発振器 (CPG)

本 LSI は、クロック発振器を内蔵しており、内部クロック (I ϕ)、周辺クロック (P ϕ)、バスクロック (B ϕ) を生成します。クロック発振器は、発振器、PLL 回路、分周回路で構成されます。

9.1 特長

- 7種類のクロックモード

使用する周波数範囲、水晶発振か外部クロック入力かによって、7種類のクロックモードから選択できます。

- 3種類のクロックを生成

CPU、キャッシュで使用する内部クロック (I ϕ) と、周辺モジュールで使用する周辺クロック (P ϕ)、さらに外部バスインターフェイスで使用するバスクロック (B ϕ =CKIO) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

CPG のブロック図を図 9.1 に示します。

9. クロック発振器 (CPG)

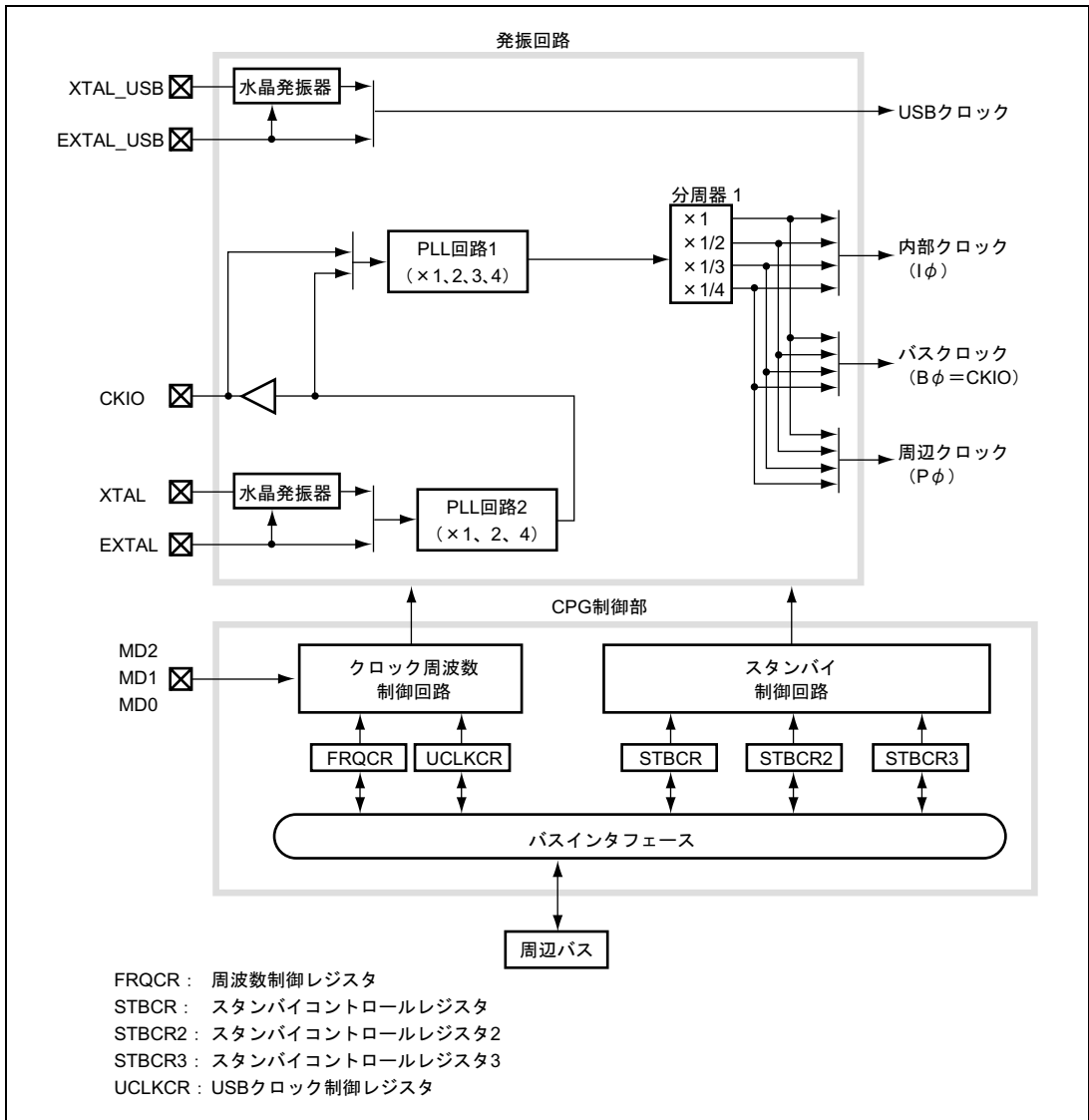


図 9.1 CPG のブロック図

CPGの各ブロックは次のように機能します。

(1) PLL 回路 1

PLL回路1は、CKIO端子またはPLL回路2からのクロック周波数を1倍、2倍、3倍または4倍に通倍する機能を持ちます。通倍率は周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相はCKIO端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL回路2は、水晶発振器、またはEXTAL端子からの入力クロック周波数を1倍、2倍、または4倍に通倍する機能を持ちます。通倍率はクロック動作モードにより固定されます。クロック動作モードはMD0、MD1、MD2端子で設定します。クロック動作モードについては、表9.2を参照してください。

(3) 水晶発振器

XTAL、EXTAL端子に水晶発振器を接続して使用する場合の発振回路です。水晶発振器はクロック動作モードの設定により使用可能となります。

(4) 分周器 1

分周器1は、内部クロックまたは周辺クロックで使用する動作周波数のクロックを生成する機能を持ちます。動作周波数は、PLL回路1の出力周波数に対して、CKIO端子のクロック周波数より低くならない範囲で、1倍、1/2倍、1/3倍、1/4倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD0、MD1、MD2端子、周波数制御レジスタによりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やソフトウェアスタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。

(7) 周波数制御レジスタ

周波数制御レジスタには、スタンバイ時のCKIO端子からのクロック出力の有無、PLL回路1の周波数通倍率、内部クロック、周辺クロックの周波数分周率の各制御ビットが割り当てられています。

(8) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第11章 低消費電力モード」を参照してください。

(9) USB クロック制御レジスタ

USBクロック制御レジスタには、USBクロックを生成する源クロックを設定します。

9. クロック発振器 (CPG)

9.2 入出力端子

CPG の端子構成と機能を表 9.1 に示します。

表 9.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します。
	MD1	入力	クロック動作モードを設定します。
	MD2	入力	クロック動作モードを設定します。
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
クロック入出力端子	CKIO	入出力	外部クロック入力、または外部クロック出力端子として使用します。
USB 用クリスタル 入出力端子 (クロック入力端子)	XTAL_USB	出力	USB 用水晶発振子を接続します。
	EXTAL_USB	入力	USB 用水晶発振子を接続します。 または外部クロック入力として使用します。

【注】 モード制御端子の値は、誤動作防止のために、パワーオンリセット時のみサンプリングされます。

9.3 クロック動作モード

モード制御端子 (MD2~MD0) の組み合わせとクロック動作モードの関係を表 9.2 に示します。また、クロック動作モードの使用可能周波数範囲と入力クロックの周波数範囲を表 9.3 に示します。

表 9.2 クロック動作モード

モード No.	端子組み合わせ			クロック入出力		PLL 回路 2	PLL 回路 1	CKIO の周波数
	MD2	MD1	MD0	供給源	出力			
0	0	0	0	EXTAL	CKIO	ON (×1)	ON (×1, 2, 3, 4)	(EXTAL)
1	0	0	1	EXTAL	CKIO	ON (×4)	ON (×1, 2, 3, 4)	(EXTAL) ×4
2	0	1	0	水晶発振子	CKIO	ON (×4)	ON (×1, 2, 3, 4)	(水晶) ×4
4	1	0	0	水晶発振子	CKIO	ON (×1)	ON (×1, 2, 3, 4)	(水晶)
5	1	0	1	EXTAL	CKIO	ON (×2)	ON (×1, 2, 3, 4)	(EXTAL) ×2
6	1	1	0	水晶発振子	CKIO	ON (×2)	ON (×1, 2, 3, 4)	(水晶) ×2
7	1	1	1	CKIO	—	OFF	ON (×1, 2, 3, 4)	(CKIO)

- モード 0 :

EXTAL端子から外部クロックを入力し、PLL回路2で波形成形して本LSIに供給します。

- モード 1 :

EXTAL端子から外部クロックを入力し、PLL回路2で周波数を4倍に通倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみません。

- モード 2 :

内蔵水晶発振器を動作させ、PLL回路2で周波数を4倍に通倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみません。

- モード 4 :

内蔵水晶発振器を動作させ、PLL回路2で波形形成して本LSI内部に供給します。

- モード 5 :

EXTAL端子から外部クロックを入力し、PLL回路2で周波数を2倍に通倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみません。

- モード 6 :

内蔵水晶発振器を動作させ、発振周波数をPLL回路2で2倍に通倍して本LSI内部に供給するので、使用する水晶の周波数が低くてすみません。

- モード 7 :

このモードではCKIO端子が入力になり、この端子に外部クロックを入力して、PLL回路1で波形形成および設定により周波数通倍を行い、本LSIに供給します。CKIO端子の負荷の変動に対してPLL回路1で補正しているため、シンクロナスDRAMを接続するのに適したモードです。

表 9.3 クロックモードと FRQCR 値の可能な組み合わせ

モード	FRQCR*1 レジスタ値	PLL 回路 1	PLL 回路 2	クロック比*2 (I : B : P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
0	H'1000	ON (×1)	ON (×1)	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1001	ON (×1)	ON (×1)	1 : 1 : 1/2	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1003	ON (×1)	ON (×1)	1 : 1 : 1/4	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1101	ON (×2)	ON (×1)	2 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1103	ON (×2)	ON (×1)	2 : 1 : 1/2	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1111	ON (×2)	ON (×1)	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1113	ON (×2)	ON (×1)	1 : 1 : 1/2	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1202	ON (×3)	ON (×1)	3 : 1 : 1	26.70MHz~33.34MHz	26.70MHz~33.34MHz
	H'1222	ON (×3)	ON (×1)	1 : 1 : 1	26.70MHz~33.34MHz	26.70MHz~33.34MHz
	H'1303	ON (×4)	ON (×1)	4 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
H'1313	ON (×4)	ON (×1)	2 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz	
H'1333	ON (×4)	ON (×1)	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz	
1, 2	H'1001	ON (×1)	ON (×4)	4 : 4 : 2	10.00MHz~16.67MHz	40.00MHz~66.67MHz
	H'1003	ON (×1)	ON (×4)	4 : 4 : 1	10.00MHz~16.67MHz	40.00MHz~66.67MHz
	H'1103	ON (×2)	ON (×4)	8 : 4 : 2	10.00MHz~16.67MHz	40.00MHz~66.67MHz
	H'1113	ON (×2)	ON (×4)	4 : 4 : 2	10.00MHz~16.67MHz	40.00MHz~66.67MHz

9. クロック発振器 (CPG)

モード	FRQCR*1 レジスタ値	PLL 回路 1	PLL 回路 2	クロック比*2 (I : B : P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
4	H'1000	ON (×1)	ON (×1)	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1001	ON (×1)	ON (×1)	1 : 1 : 1/2	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1003	ON (×1)	ON (×1)	1 : 1 : 1/4	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1101	ON (×2)	ON (×1)	2 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1103	ON (×2)	ON (×1)	2 : 1 : 1/2	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1111	ON (×2)	ON (×1)	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1113	ON (×2)	ON (×1)	1 : 1 : 1/2	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1202	ON (×3)	ON (×1)	3 : 1 : 1	26.70MHz~33.34MHz	26.70MHz~33.34MHz
	H'1222	ON (×3)	ON (×1)	1 : 1 : 1	26.70MHz~33.34MHz	26.70MHz~33.34MHz
	H'1303	ON (×4)	ON (×1)	4 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1313	ON (×4)	ON (×1)	2 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1333	ON (×4)	ON (×1)	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
5	H'1000	ON (×1)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1001	ON (×1)	ON (×2)	2 : 2 : 1	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1003	ON (×1)	ON (×2)	2 : 2 : 1/2	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1101	ON (×2)	ON (×2)	4 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1103	ON (×2)	ON (×2)	4 : 2 : 1	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1111	ON (×2)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1113	ON (×2)	ON (×2)	2 : 2 : 1	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1202	ON (×3)	ON (×2)	6 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1222	ON (×3)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1303	ON (×4)	ON (×2)	8 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1313	ON (×4)	ON (×2)	4 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1333	ON (×4)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
6	H'1000	ON (×1)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1001	ON (×1)	ON (×2)	2 : 2 : 1	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1003	ON (×1)	ON (×2)	2 : 2 : 1/2	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1101	ON (×2)	ON (×2)	4 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1103	ON (×2)	ON (×2)	4 : 2 : 1	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1111	ON (×2)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1113	ON (×2)	ON (×2)	2 : 2 : 1	10.00MHz~33.34MHz	20.00MHz~66.67MHz
	H'1202	ON (×3)	ON (×2)	6 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1222	ON (×3)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1303	ON (×4)	ON (×2)	8 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1313	ON (×4)	ON (×2)	4 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz
	H'1333	ON (×4)	ON (×2)	2 : 2 : 2	10.00MHz~16.67MHz	20.00MHz~33.34MHz

モード	FRQCR*1 レジスタ値	PLL 回路 1	PLL 回路 2	クロック比*2 (I : B : P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
7	H'1000	ON (×1)	OFF	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1001	ON (×1)	OFF	1 : 1 : 1/2	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1003	ON (×1)	OFF	1 : 1 : 1/4	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1101	ON (×2)	OFF	2 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1103	ON (×2)	OFF	2 : 1 : 1/2	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1111	ON (×2)	OFF	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1113	ON (×2)	OFF	1 : 1 : 1/2	20.00MHz~66.67MHz	20.00MHz~66.67MHz
	H'1202	ON (×3)	OFF	3 : 1 : 1	26.70MHz~33.34MHz	26.70MHz~33.34MHz
	H'1222	ON (×3)	OFF	1 : 1 : 1	26.70MHz~33.34MHz	26.70MHz~33.34MHz
	H'1303	ON (×4)	OFF	4 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1313	ON (×4)	OFF	2 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz
	H'1333	ON (×4)	OFF	1 : 1 : 1	20.00MHz~33.34MHz	20.00MHz~33.34MHz

【注】 *1 上記表以外は FRQCR レジスタに設定しないでください。

*2 入力クロックを 1 とする。

【注意事項】

1. 分周器 1 の入力、PLL 回路 1 の出力になります。
2. 内部クロックの周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。内部クロック周波数は CKIO 端子の周波数より低く設定しないでください。
3. 周辺クロックの周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。周辺クロック周波数は 33.34MHz 以下に設定してください。また、USB モジュールを使用している場合は 13MHz 以上に設定してください。また、CKIO 端子の周波数より高く設定しないでください。
4. PLL 回路 1 の通倍率には、×1、×2、×3、×4 が選択できます。分周器 1 の分周率には、×1、×1/2、×1/3、×1/4 があり、これらは、それぞれ周波数制御レジスタで設定します。
5. PLL 回路 1 の出力周波数は、CKIO 端子の周波数に PLL 回路 1 の通倍率を掛けた周波数になります。この周波数は 133.34MHz 以下で使用してください。

9.4 レジスタの説明

CPG には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

- 周波数制御レジスタ (FRQCR)
- USBクロック制御レジスタ (UCLKCR)

9.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し/書き込み可能な 16 ビットのレジスタでスタンバイ時の CKIO 端子からクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック、周辺クロックの周波数分周率の指定ができます。FRQCR はワードアクセスのみ可能です。クロックの組み合わせは表 9.3 を参照してください。表 9.3 以外の組み合わせを FRQCR に設定しないでください。

9. クロック発振器 (CPG)

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
13	—	0	R	
12	CKOEN	1	R/W	<p>クロック出カインーブル</p> <p>CKOEN はソフトウェアスタンバイ解除時 (割り込みから STATUS1=L、STATUS0=L になるまでの間) に CKIO 端子から、クロックを出力するか、CKIO 端子をレベル固定するかを指定します。0 を設定した場合、STATUS1=L、STATUS0=H の間、CKIO 端子がローレベルに固定されます。これにより、ソフトウェアスタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。</p> <p>クロック動作モード 7 のときは、このビットによらず CKIO 端子が入力になります。</p> <p>0 : ソフトウェアスタンバイ中に CKIO 端子をローレベルに固定する。 1 : CKIO 端子からクロックを出力する。</p>
11	—	0	R	リザーブビット
10	—	0	R	読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
9	STC1	0	R/W	<p>周波数通倍率</p> <p>00 : ×1 倍 01 : ×2 倍 10 : ×3 倍 11 : ×4 倍</p>
8	STC0	0	R/W	
7	—	0	R	リザーブビット
6	—	0	R	読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
5	IFC1	0	R/W	<p>内部クロック周波数の分周率</p> <p>PLL 回路 1 の出力周波数に対しての内部クロック周波数の分周率を指定します。</p> <p>00 : ×1 倍 01 : ×1/2 倍 10 : ×1/3 倍 11 : ×1/4 倍</p>
4	IFC0	0	R/W	
3	—	0	R	リザーブビット
2	—	0	R	読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PFC1	1	R/W	<p>周辺クロック周波数の分周率</p> <p>PLL 回路 1 の出力周波数に対しての周辺クロック周波数の分周率を指定します。</p> <p>00 : ×1 倍 01 : ×1/2 倍 10 : ×1/3 倍 11 : ×1/4 倍</p>
0	PFC0	1	R/W	

9.4.2 USB クロック周波数制御レジスタ (UCLKCR)

UCLKCR は、読み出し／書き込み可能な 8 ビットのレジスタです。

UCLKCR に書き込む場合には、上位バイトを H'A5、下位バイトをライトデータとして、ワードサイズで書き込んでください。

ビット	ビット名	初期値	R/W	説明
7	USSCS1	1	R/W	ソースクロックセレクトビット
6	USSCS0	1	R/W	源クロックの選択を行います。 00 : クロック停止 01 : 設定禁止 10 : 設定禁止 11 : 外部入力クロック
5	USBEN	1	R/W	USB 用内蔵発振器イネーブル USB 用内蔵発振器の動作を制御します。 0 : USB 用内蔵発振器を停止 1 : USB 用内蔵発振器を動作
4	—	0	R	リザーブビット
3	—	0	R	読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
2	—	0	R	
1	—	0	R	
0	—	0	R	

9.4.3 使用上の注意事項

USB を使用の際には、下記の注意事項があります。

誤った使い方をすると、正しいクロックが生成されずに、USB が誤動作する場合があります。

1. UCLKCR は USB 用クロックの生成にのみに適用されます。
USB を使用しない場合は、UCLKCR の設定を H'00 にしてクロックを停止することを推奨します。
2. UCLKCR のレジスタ値を変更する場合は、必ずその前に USB を停止してください。モジュールの停止は、STBCR3 の USB モジュールストップで、クロック供給を停止させることにより行います。
3. UCLKCR はパワーオンリセット時のみ初期化されます。マニュアルリセット時は設定値を保持します。
4. USB を使用時は、必ず $P\phi > 13\text{MHz}$ 以上でご使用ください。そうでない場合には動作を保証しません。

9.5 周波数変更方法

内部クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1 の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

9.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合、PLL 発振安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

1. 初期状態では、PLL回路の1の通倍率は1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。
WTCSR.TME=0 : WDTの停止
WTCSR.CKS[2:0] : WDTカウントクロックの分周率
WTCNT : カウンタの初期値
3. STC[1:0]ビットを目的とする値に設定します。同時にIFC[1:0]ビット、PFC[1:0]ビットに分周率を設定することも可能です。
4. 本LSI内部は一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。
5. WDTのカウントオーバーフローで設定されたクロックが供給されはじめ、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

9.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合、WDT によるカウントは行いません。

1. 初期状態では、IFC[1:0]ビット=00、PFC[1:0]ビット=11になっています。
2. IFC[1:0]ビット、PFC[1:0]ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. 直ちに設定されたクロックに切り替わります。

9.5.3 クロック動作モードの変更

クロック動作モードを決めるモード制御端子 (MD2~MD0) はパワーオンリセット時にその値が取り込まれません。

9.6 使用上の注意事項

(1) 外部水晶振動子使用時の注意

水晶振動子と容量 CL1、CL2 およびダンピング抵抗 R はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

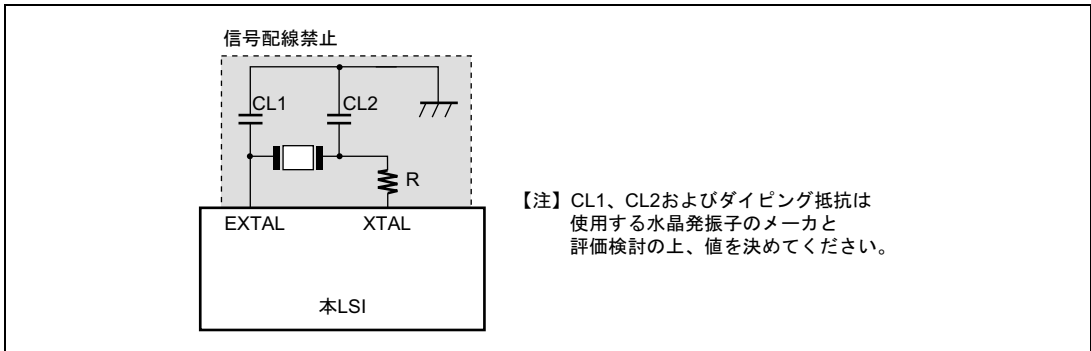


図 9.2 水晶発振器使用時の注意

(2) バイパスコンデンサについての注意

できるだけ Vss/VssQ と Vcc/VccQ のペアごとに 0.1~1 (μ F) の積層セラミックコンデンサをパスコンとして入れてください。

パスコンはできるだけ LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数にあった特性を持つものを使用してください。

デジタル系の Vss/VssQ と Vcc/VccQ ペア

2-5、17-19、26-28、32-34、44-46、57-59、69-71、78-80、87-89、111-113、130-132、
133-138、159-161、178-180、182-184、199-204

内蔵発振器系の Vss/VssQ と Vcc/VccQ ペア

6-9、149-150、151-152、205-208

(3) PLL 発振回路使用時の注意

PLL 用 Vcc と Vss の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分をできるだけ減らしてください。

クロックモード 7 のときは、EXTAL 端子を VccQ (3.3V 系) にプルアップし、XTAL 端子は解放にしてください。

9. クロック発振器 (CPG)

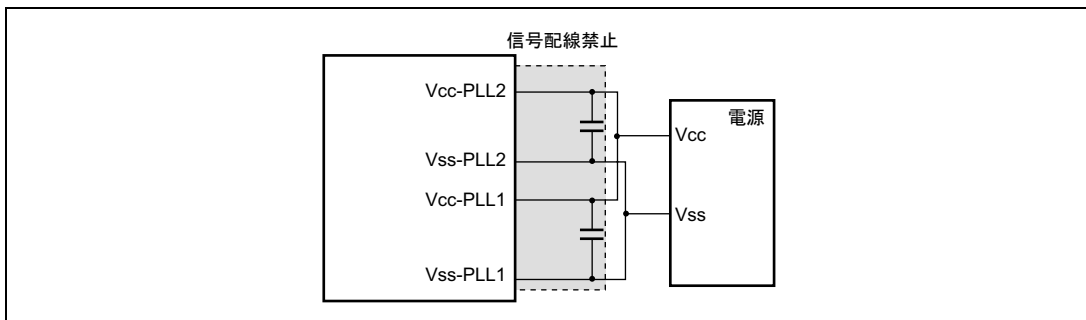


図 9.3 PLL 発振回路使用時の注意

(4) 電源端子配線時の注意

Vcc-PLL1、Vcc-PLL2 と Vss-PLL1、Vss-PLL2 は、互いの電源系の干渉を避けるため、他のデジタル系の Vcc、Vss とはボードの電源供給元から 3 系統の独立したパターンで配線してください。

10. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などにより、カウンタ値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

WDT は 1 チャンネルのタイマであり、周辺クロックを入力とし、ソフトウェアスタンバイモードや、周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウントに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

10.1 特長

- クロック安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。
リセットの種類として、パワーオンリセットとマニュアルリセットから選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能
周辺クロックを分周した8種類のクロック (×1~1/4096) から選択できます。

WDT のブロック図を図 10.1 に示します。

10. ウォッチドッグタイマ (WDT)

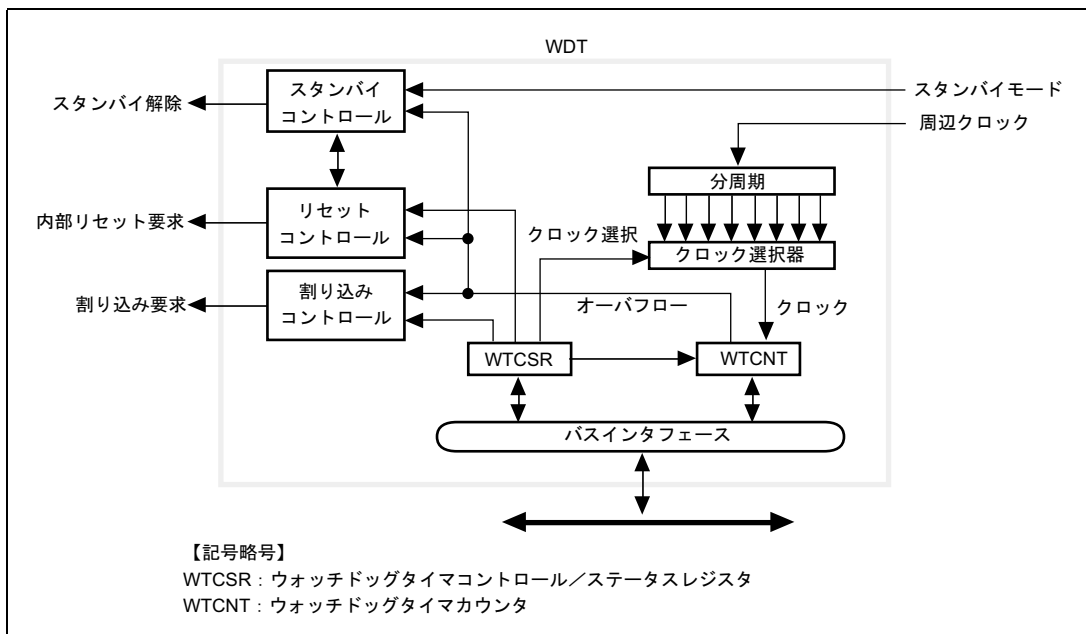


図 10.1 WDT のブロック図

10.2 レジスタの説明

WDT には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

- ウォッチドッグタイマカウンタ (WTCNT)
- ウォッチドッグタイマコントロール/ステータスレジスタ (WTCNT)

10.2.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバーフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT カウンタは WDT オーバフローによる内部リセットでは初期化されません。WTCNT は、 $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは「10.2.3 レジスタアクセス時の注意」を参照してください。

10.2.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットからなります。

WTCSR は WDT オーバフローによる内部リセット時には値は保持されます。 $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。ソフトウェアスタンバイ解除時のクロック安定時間のカウントに使用するときには、カウンタオーバフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは「10.2.3 レジスタアクセス時の注意」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0: タイマディスエーブル。カウントアップを停止、WTCNT の値は保持 1: タイマイネーブル</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p> <p>【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。</p>
5	RSTS	0	R/W	<p>リセットセレクト</p> <p>ウォッチドッグタイマモードで WTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。</p> <p>0: パワーオンリセット 1: マニュアルリセット</p>
4	WOVF	0	R/W	<p>ウォッチドッグタイマオーバフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバフローしたことを示します。インターバルタイマモードではセットされません。</p> <p>0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバフローした</p>
3	IOVF	0	R/W	<p>インターバルタイマオーバフロー</p> <p>インターバルタイマモードで WTCNT がオーバフローしたことを示します。ウォッチドッグタイマモードではセットされません。</p> <p>0: オーバフローなし 1: インターバルタイマモードで WTCNT がオーバフローした</p>

10. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明	
2	CKS2	0	R/W	クロックセレクト 2~0	
1	CKS1	0	R/W	周辺クロック (Pφ) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。() 内に示すオーバーフロー周期は、周辺クロック Pφ = 15MHz の場合の値です。 000 : Pφ (17 us) 001 : Pφ/4 (68 us) 010 : Pφ/16 (273 us) 011 : Pφ/32 (546 us) 100 : Pφ/64 (1.09 ms) 101 : Pφ/256 (4.36 ms) 110 : Pφ/1024 (17.48 ms) 111 : Pφ/4096 (69.91 ms)	
0	CKS0	0	R/W		
					【注】 WDT の動作中に CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2~CKS0 ビットを書き換える場合は必ず WDT を停止させてください。

【注】 RSTS ビットでマニュアルリセットを選択し、CKS2~0 で 1/16、1/32、1/64、1/256、1/1024、1/4096 の分周比を選択した状態でウォッチドッグタイマのカウントオーバーフローによりマニュアルリセットが発生した場合は、本 LSI 内部で 2 回連続してマニュアルリセットが発生します。動作には影響ありませんが、STATUS 端子が変化しますので注意してください。

10.2.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

- WTCNT、WTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送では、書き込みません。

図 10.2 に示すように、WTCNTへ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

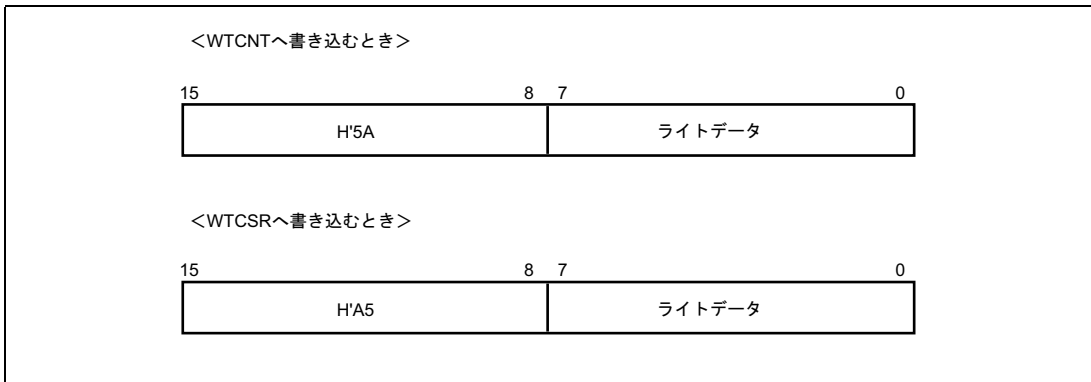


図 10.2 WTCNT、WTCSR への書き込み

10.3 WDT の動作説明

10.3.1 ソフトウェアスタンバイ解除の手順

WDT はソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を NMI を例として以下に示します。(リセットで解除する場合 WDT は動作しないため、クロックが安定するまで **RESETP** 端子または **RESETM** 端子をローレベルに保ってください。)

- ソフトウェアスタンバイモードへ遷移前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。
TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
- WTCSR レジスタの CKS2～CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
- SLEEP 命令実行によりソフトウェアスタンバイモードに遷移し、クロックは停止します。
- NMI 信号変化のエッジ検出により、WDT がカウントを開始します。
- WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、本 LSI が動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。
- WDT は H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR レジスタの STBY ビットを 0 にしてください。これにより、WDT が停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びソフトウェアスタンバイモードに入ります。このソフトウェアスタンバイモードはパワーオンリセットで解除してください。

10.3.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

10. ウォッチドッグタイマ (WDT)

1. 周波数変更前に、必ずWTCSRレジスタのTMEビットを0に設定してください。TMEビットが1に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRレジスタのCKS2～CKS0ビットに使用するカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。このとき、WTCSRのCKS2～CKS0ビットで設定される分周クロックは、周波数変更後のP ϕ ベースとなります。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止し、WDTはカウントを開始します。
4. WDTはカウントオーバーフローすると、CPGがクロック供給を再開し、本LSIが動作を再開します。このとき、WTCSRレジスタのWOVFフラグはセットされません。
5. カウンタはH'00の値で停止します。
6. 周波数変更命令の後、WTCNTを書き換える場合には、WTCNTを読み出してH'00になっていることを確認してから書き換えてください。

10.3.3 ウォッチドッグタイマモードの使用法

1. WTCSRレジスタのWT \overline{IT} ビットに1を設定し、RSTSビットにリセットのタイプ、CKS2～CKS0にカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWTCSRレジスタを1にセットし、RSTSビットで指定されたタイプのリセットが発生します。この後カウンタはカウントを続行します。

10.3.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRレジスタのWT \overline{IT} ビットに0をセットし、CKS2～CKS0ビットにカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRレジスタのIOVFフラグに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

11. 低消費電力モード

本 LSI は低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、モジュールスタンバイ、ハードウェアスタンバイ機能を内蔵しています。

11.1 特長

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能（キャッシュ、TLB、UBC、DMAC、H-UDI、および内蔵周辺モジュール）
4. ハードウェアスタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 11.1 に示します。

表 11.1 低消費電力モードの状態

低消費電力モード	遷移状態	状態						解除方法
		CPG	CPU	CPU レジスタ	内蔵周辺 モジュール	端子	外部 メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	*3	リフレッシュ	(1) 割り込み (2) リセット
ソフトウェアスタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	停止*1	*3	セルフリフレッシュ	(1) 割り込み (2) リセット
モジュールスタンバイ機能	STBCR、STBCR2、STBCR3 の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止	*2	リフレッシュ	(1) MSTP ビットを 0 にクリア (2) パワーオンリセット
ハードウェアスタンバイモード	CA 端子をローレベルにする	停止	停止	保持	停止*1	*4	—	パワーオンリセット

【注】 *1 RTC は、RCR2 の START ビットが 1 のとき動作します。（RTC の章を参照）

*2 内蔵周辺モジュールにより異なります。

*3 付録「A. 端子状態と未使用端子の状態」を参照

*4 EXTAL、XTAL、EXTAL2、XTAL2、EXTAL_USB、XTAL_USB、STATUS1、STATUS0 以外は HiZ。

11. 低消費電力モード

11.2 入出力端子

低消費電力モード関連の端子構成を表 11.2 に示します。

表 11.2 端子構成

端子名	略称	入出力	機能
処理状態	STATUS1、 STATUS0	出力	プロセッサの動作状態を表わします。 HH：リセット HL：スリープモード LH：スタンバイモード LL：通常動作 【注】H：ハイレベル、L：ローレベル
パワーオンリセット	RESETP	入力	リセット入力信号。ローレベルでパワーオンリセット。
マニュアルリセット	RESETM	入力	リセット入力信号。ローレベルでマニュアルリセット。
ハードウェアスタンバイ	CA	入力	ハイレベル時は通常動作、ローレベル時はハードウェアスタンバイモードになります。

11.3 レジスタの説明

消費電力モードに関連するレジスタには、以下のものがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ (STBCR)
- スタンバイコントロールレジスタ2 (STBCR2)
- スタンバイコントロールレジスタ3 (STBCR3)

11.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し/書き込み可能な 8 ビットレジスタで、低消費電力モードの状態を指定します。

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	スタンバイ ソフトウェアスタンバイモードへの実行を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6	—	0	R	リザーブビット
5	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STBXTL	0	R/W	スタンバイクリスタル スタンバイモード時の水晶発振器の停止/発振を指定します。 0: スタンバイ状態で水晶発振器の発生が停止します。 1: スタンバイ状態でも水晶発振器は発振継続します。
3	—	0	R	リザーブビット
				読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP2	0	R/W	モジュールストップ 2 MSTP2 ビットを 1 にセットすると、TMU へのクロックの供給の停止を指定します。 0: TMU は動作 1: TMU へのクロックの供給を停止
1	MSTP1	0	R/W	モジュールストップ 1 MSTP1 ビットを 1 にセットすると、RTC へのクロックの供給の停止を指定します。 0: RTC は動作 1: RTC へのクロックの供給を停止
0	—	0	R	リザーブビット
				読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11. 低消費電力モード

11.3.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し／書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップビット 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止
6	MSTP9	0	R/W	モジュールストップビット 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止
5	MSTP8	0	R/W	モジュールストップビット 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロック供給を停止
4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MSTP6	0	R/W	モジュールストップビット 6 MSTP6 ビットを 1 にセットすると TLB へのクロックの供給を停止します。 0 : TLB は動作 1 : TLB へのクロック供給を停止
2	MSTP5	0	R/W	モジュールストップビット 5 MSTP5 ビットを 1 にセットするとキャッシュメモリへのクロックの供給を停止します。 0 : キャッシュメモリは動作 1 : キャッシュメモリへのクロック供給を停止
1	—	0	R	リザーブビット
0	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.3.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し／書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	MSTP37	0	R/W	モジュールストップビット 37 MSTP37 ビットを 1 にセットすると USB へのクロックの供給を停止します。 0 : USB は動作 1 : USB へのクロック供給を停止
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MSTP35	0	R/W	モジュールストップビット 35 MSTP35 ビットを 1 にセットすると CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロック供給を停止
4	MSTP34	0	R/W	モジュールストップビット 34 MSTP34 ビットを 1 にセットすると TPU へのクロックの供給を停止します。 0 : TPU は動作 1 : TPU へのクロック供給を停止
3	MSTP33	0	R/W	モジュールストップビット 33 MSTP33 ビットを 1 にセットすると ADC へのクロックの供給を停止します。 0 : ADC は動作 1 : ADC へのクロック供給を停止
2	MSTP32	0	R/W	モジュールストップビット 32 MSTP32 ビットを 1 にセットすると IrDA へのクロックの供給を停止します。 0 : IrDA は動作 1 : IrDA へのクロック供給を停止

11. 低消費電力モード

ビット	ビット名	初期値	R/W	説明
1	MSTP31	0	R/W	モジュールストップビット 31 MSTP31 ビットを 1 にセットすると SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロック供給を停止
0	MSTP30	0	R/W	モジュールストップビット 30 MSTP30 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止

11.4 スリープモード

11.4.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

11.4.2 スリープモードの解除

スリープモードは、割り込み（NMI、IRQ、IRL、PINT、内蔵周辺）、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

(1) 割り込みによる解除

NMI、IRQ、IRL、PINT、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT および INTEVT2 レジスタには、割り込み要因に対応したコードがセットされます。

(2) リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

11.5 ソフトウェアスタンバイモード

11.5.1 ソフトウェアスタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタの状態は「24.3 各動作モードにおけるレジスタの状態」を参照してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) を0にセットし、WTCSRレジスタのCKS2~0ビットに、指定された発振安定時間になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1を設定したあと、SLEEP命令を実行させます。
4. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0端子からハイレベルが出力されます。

11.5.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ、IRL、PINT、RTC)、リセットにより、解除されません。

(1) 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ*¹、IRL*¹、PINT*¹、RTC*¹ の各割り込みが検出されると、WDTのタイマコントロール/ステータスレジスタに設定されている時間が経過したあと、LSI 全体にクロックが供給され、ソフトウェアスタンバイモードが解除されて、STATUS1 と STATUS0 端子がともにローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT2、INTEVT に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。WTCNT は自動的に停止します。STBY ビットをクリアしないと、WTCNT は動作を継続し、H'80 に達した時点でソフトウェアスタンバイモード*²に遷移してしまいます。この機能により、電源不安定時などの電圧上昇によるデータ破壊を防止できます。なお、STBY ビットをクリアするまではマニュアルリセットを受け付けません。

また、ソフトウェアスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、ソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

【注】 *¹ RTC 使用時のみ、IRQ、IRL、PINT、RTC でスタンバイモードを解除できます。

*² このソフトウェアスタンバイモードは、パワーオンリセットで解除してください。

11. 低消費電力モード

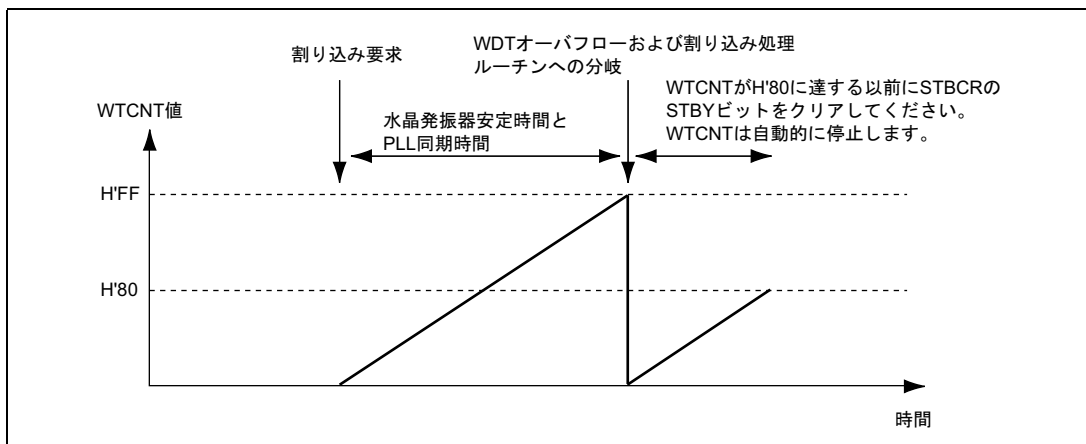


図 11.1 STBCR の STBY ビットとスタンバイモードの解除

(2) リセットによる解除

リセット（パワーオン、マニュアル）により、ソフトウェアスタンバイモードは解除されます。 $\overline{\text{RESETP}}$ 端子や $\overline{\text{RESETM}}$ 端子はクロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

11.6 モジュールスタンバイ機能

11.6.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマル、スリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にし、その後モジュールスタンバイ状態にしてください。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、内蔵周辺モジュールおよびポート設定により異なります。レジスタは一部を除いて停止前の状態を保持します。

11.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。

各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

11.7 ハードウェアスタンバイモード

11.7.1 ハードウェアスタンバイモードへの遷移

CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、SLEEP 命令によって遷移するソフトウェアスタンバイモードと同様に、RTC クロックで動作するモジュール以外のすべてのモジュールが停止します。

ハードウェアスタンバイモード時も、RTC 用電源を含め、すべての電源端子へ給電を行ってください。

ハードウェアスタンバイモードは、ソフトウェアスタンバイモードと以下の点で異なります。割り込みおよびマニュアルリセットを受け付けません。

CA 端子にローレベルが入力されたときの動作は、CPG の状態によって次のようになります。

(1) ソフトウェアスタンバイモード中

クロックは停止したまま、ハードウェアスタンバイ状態になります。

割り込みまたはマニュアルリセットの受け付けが禁止されます。

(2) ソフトウェアスタンバイモードを割り込みで解除する際の WDT 動作中

いったんソフトウェアスタンバイモードが解除されて CPU が動作を再開した後、ハードウェアスタンバイモードになります。

(3) スリープモード中

いったんスリープモードが解除されて CPU が動作を再開した後、ハードウェアスタンバイになります。

なお、ハードウェアスタンバイモード中は、CA 端子をローレベルに保ってください。

11.7.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、パワーオンリセットでのみ解除できます。

RESETP 端子をローレベルにした状態で、CA 端子をハイレベルにすると、クロックが発振を開始します。このとき、**RESETP** 端子はクロックの発振が安定するまでローレベルを保持してください。この後 **RESETP** 端子をハイレベルにすると、CPU がパワーオンリセット処理を開始します。

割り込みやマニュアルリセットを入力した場合の動作は、保証されません。

11.8 STATUS 端子の変化タイミング

STATUS1 および STATUS0 端子の変化タイミングを示します。

- (1) リセットの場合
- (a) パワーオンリセット

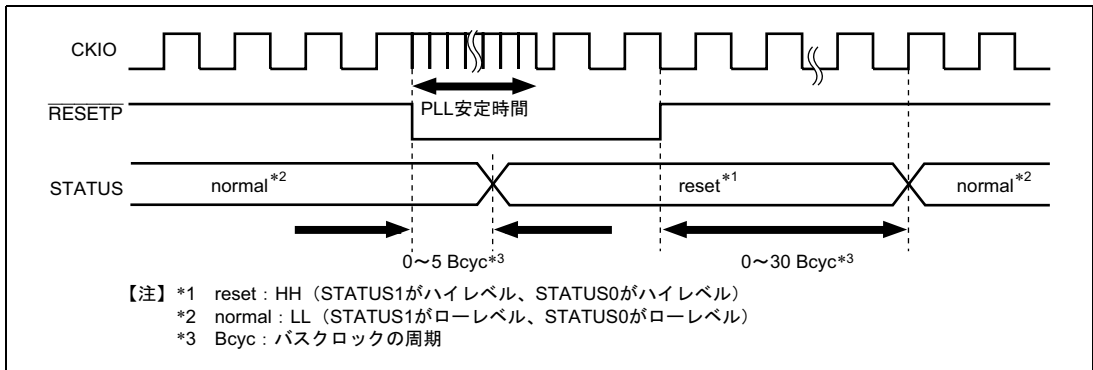


図 11.2 パワーオンリセットの STATUS 出力

- (b) マニュアルリセット

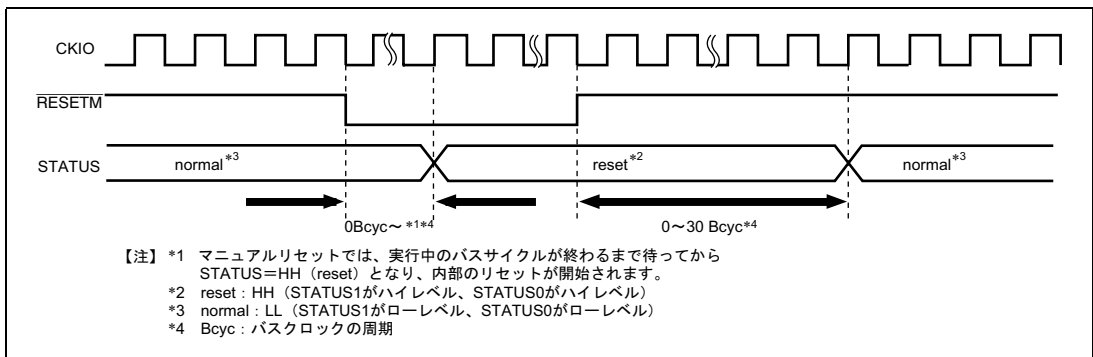


図 11.3 マニュアルリセットの STATUS 出力

(2) ソフトウェアスタンバイモードの場合

(a) ソフトウェアスタンバイ→割り込み

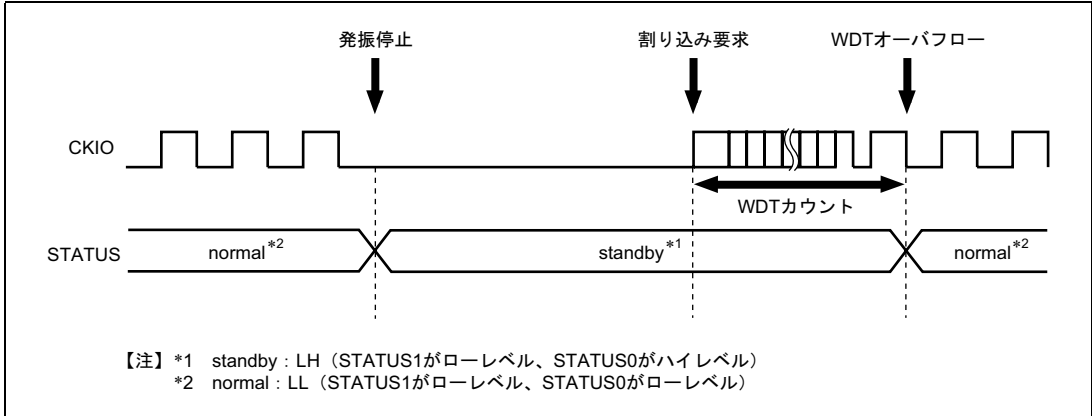


図 11.4 ソフトウェアスタンバイ→割り込みの STATUS 出力

(b) ソフトウェアスタンバイ→パワーオンリセット

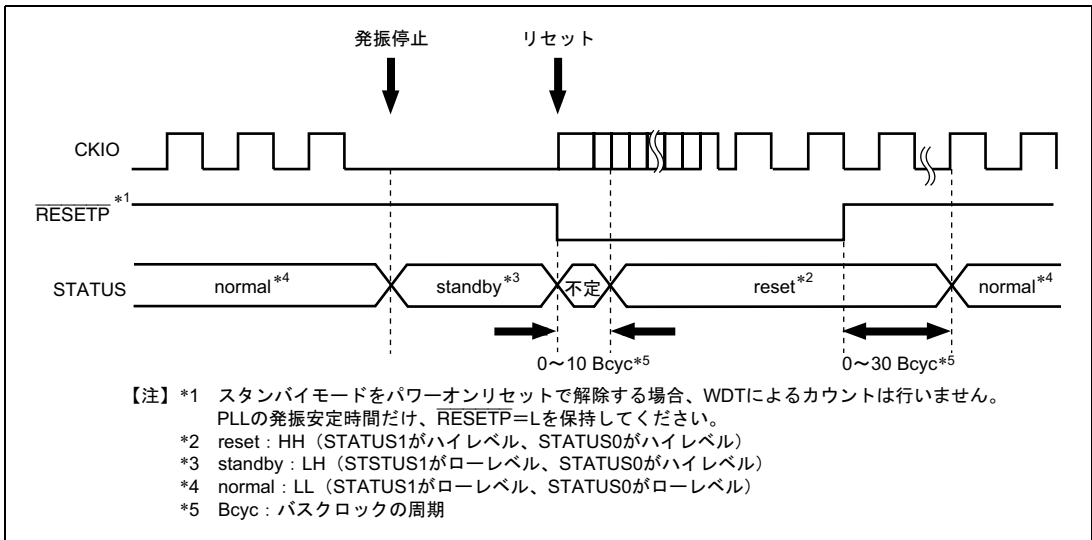


図 11.5 ソフトウェアスタンバイ→パワーオンリセットの STATUS 出力

11. 低消費電力モード

(c) ソフトウェアスタンバイ→マニュアルリセット

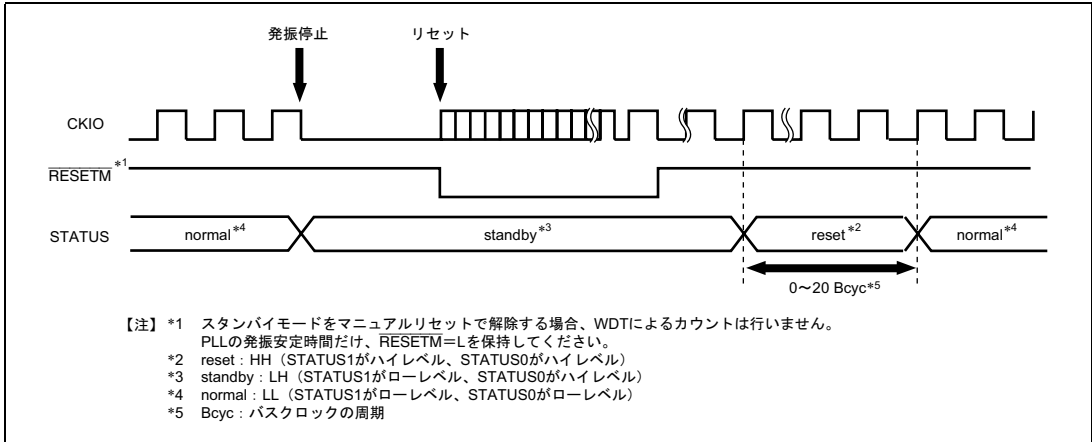


図 11.6 ソフトウェアスタンバイ→マニュアルリセットの STATUS 出力

(3) スリープモードの場合

(a) スリープ→割り込み

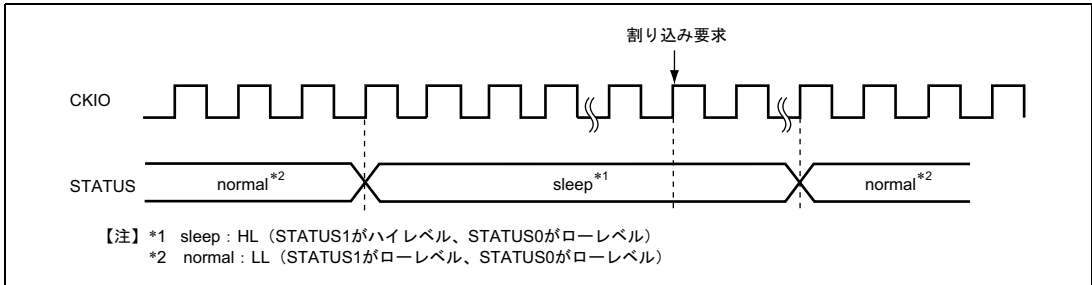


図 11.7 スリープ→割り込みの STATUS 出力

(b) スリープ→パワーオンリセット

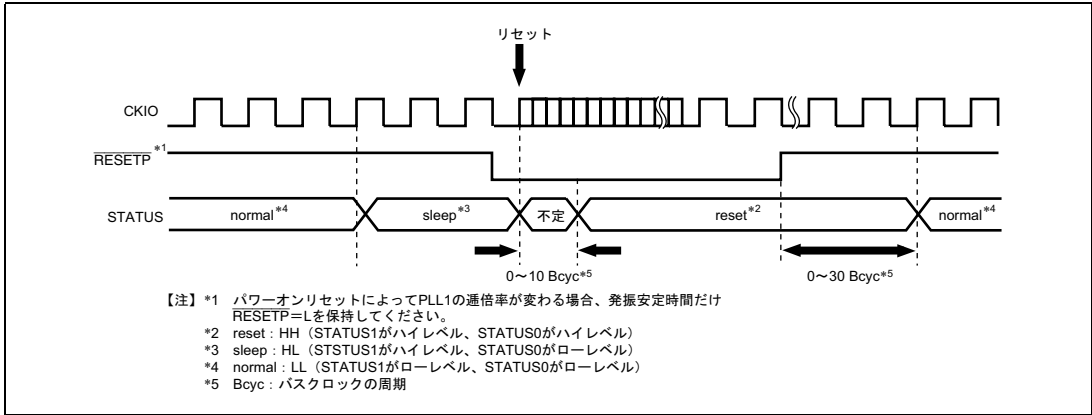


図 11.8 スリープ→パワーオンリセットの STATUS 出力

(c) スリープ→マニュアルリセット

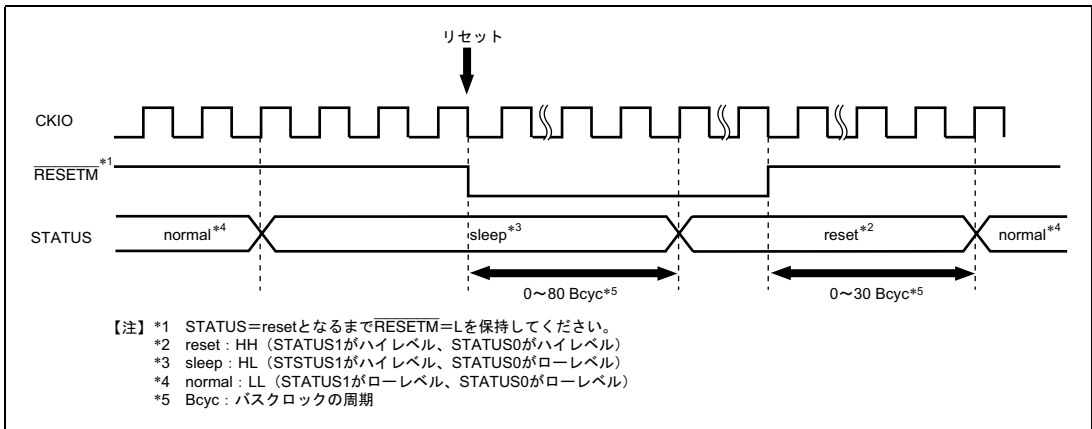


図 11.9 スリープ→マニュアルリセットの STATUS 出力

11. 低消費電力モード

(4) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 11.10、図 11.11 に示します。

CA 端子は EXTAL2 (32.768kHz) でサンプリングされており、このクロックで 2 サイクル間続けてローレベルになったとき初めてハードウェアスタンバイ要求が検出されます。

CA 端子のローレベルは、ハードウェアスタンバイモード中は必ず保持してください。

RESETP 端子をローレベルにしたあと、CA 端子をハイレベルにした時点でクロックが発振を開始します。

(a) 通常動作→ハードウェアスタンバイ

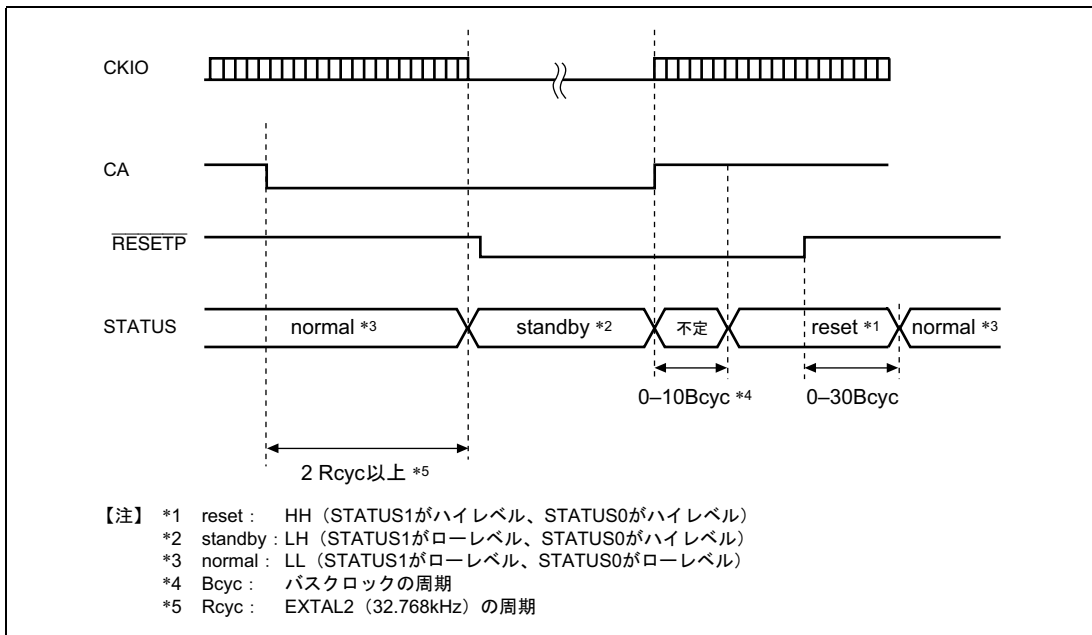


図 11.10 ハードウェアスタンバイモードのタイミング
(通常動作時に CA=ローレベルとなる場合)

(b) ソフトウェアスタンバイ解除 (WDT 動作中) →ハードウェアスタンバイ

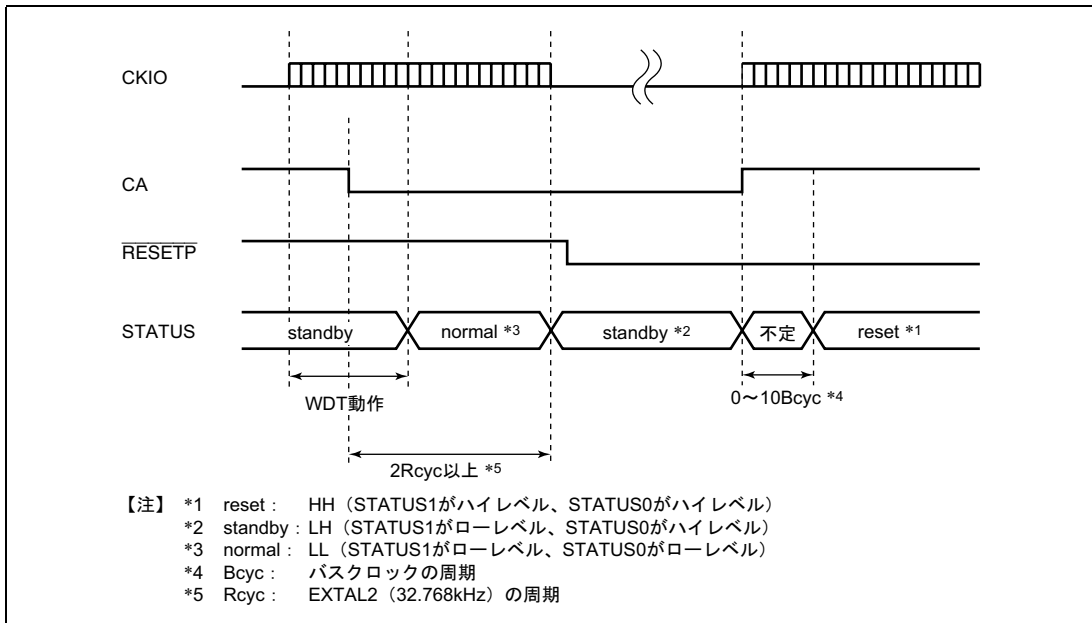


図 11.11 ハードウェアスタンバイモードのタイミング
(スタンバイモード解除での WDT 動作中に CA=ローレベルとなる場合)

12. タイマユニット (TMU)

本 LSI は、3 チャンネルの 32 ビットタイマにより構成されるタイマユニット (TMU) を内蔵しています。

12.1 特長

- オートリロード方式の32ビットダウンカウンタを搭載
- 任意の時点で読み出し／書き込み可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'00000000→H'FFFFFFF)
- チャンネル2のみインプットキャプチャ機能を搭載
- 各チャンネルとも、5種類のカウンタ入力クロックを選択可能
外部クロック (TCLK)、Pφ/4、Pφ/16、Pφ/64、Pφ/256

12. タイムユニット (TMU)

TMU のブロック図を図 12.1 に示します。

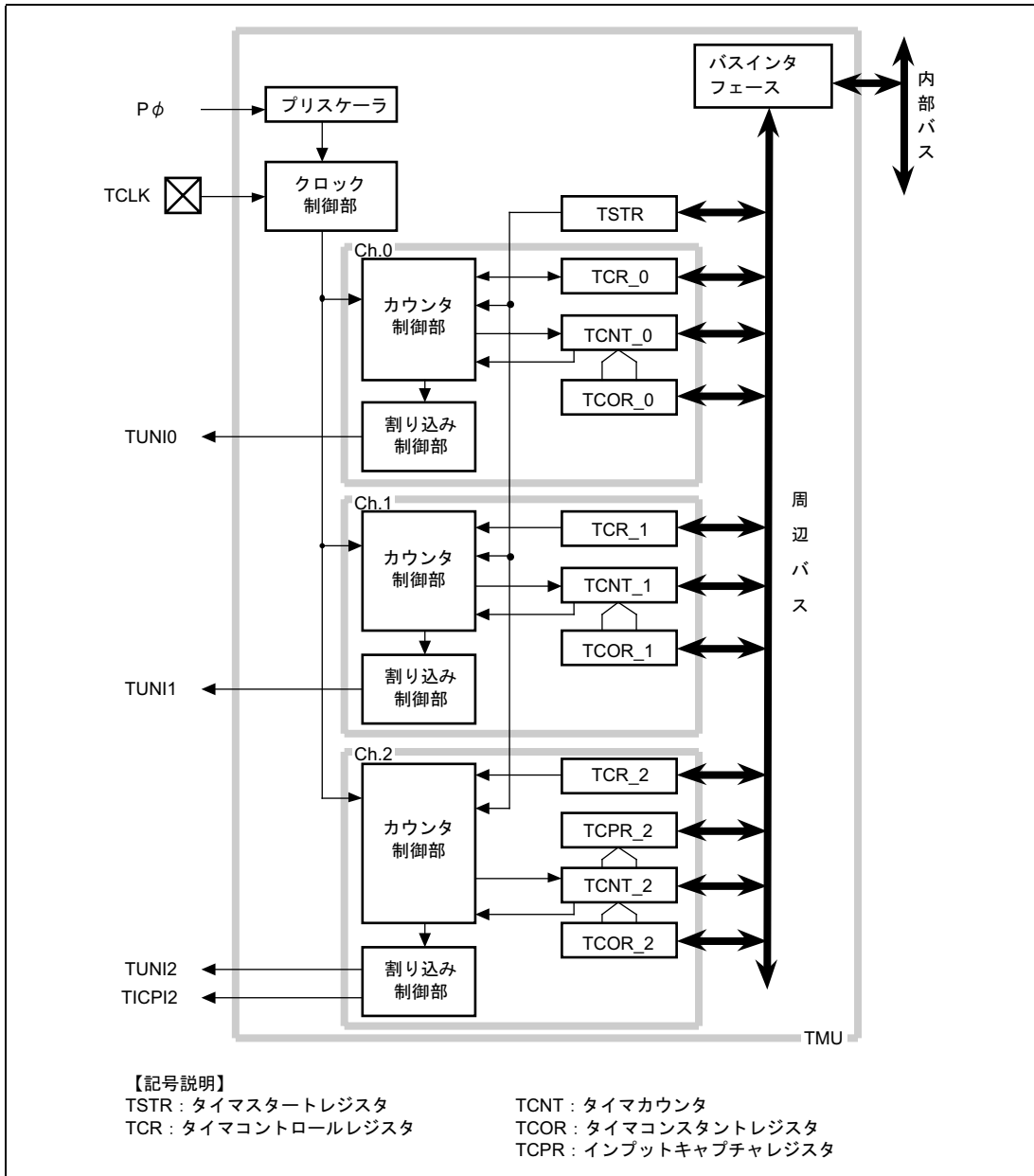


図 12.1 TMU のブロック図

12.2 入出力端子

TMUの端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
クロック入力	TCLK	入力	外部クロック入力端子/インプットキャプチャ制御入力端子

12.3 レジスタの説明

TMUには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名については、チャンネル 0 の TCOR は TCOR_0 のように表記しています。

(1) 共通

- タイマスタートレジスタ (TSTR)

(2) チャンネル 0

- タイマコンスタントレジスタ_0 (TCOR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマコントロールレジスタ_0 (TCR_0)

(3) チャンネル 1

- タイマコンスタントレジスタ_1 (TCOR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマコントロールレジスタ_1 (TCR_1)

(4) チャンネル 2

- タイマコンスタントレジスタ_2 (TCOR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマコントロールレジスタ_2 (TCR_2)
- インプットキャプチャレジスタ_2 (TCPR_2)

12. タイムユニット (TMU)

12.3.1 タイマスタートレジスタ (TSTR)

TSTR は、タイマカウンタ (TCNT) を動作させるか、停止させるかを選択する、読み出し／書き込み可能な 8 ビットのレジスタです。

本レジスタは、「第 24 章 レジスタ一覧」で示す初期化条件のほか PLL1 の通倍率を変更したとき、および STBCR の MSTP2 ビットを 1 に設定したときにも初期化されます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	STR2	0	R/W	カウンタスタート 2 タイマカウンタ 2 (TCNT_2) を動作させるか、停止させるかを選択します。 0 : TCNT_2 のカウント動作は停止 1 : TCNT_2 はカウント動作
1	STR1	0	R/W	カウンタスタート 1 タイマカウンタ 1 (TCNT_1) を動作させるか、停止させるかを選択します。 0 : TCNT_1 のカウント動作は停止 1 : TCNT_1 はカウント動作
0	STR0	0	R/W	カウンタスタート 0 タイマカウンタ 0 (TCNT_0) を動作させるか、停止させるかを選択します。 0 : TCNT_0 のカウント動作は停止 1 : TCNT_0 はカウント動作

12.3.2 タイマコントロールレジスタ (TCR)

TCR は TCNT カウンタの制御および割り込みの制御を行うレジスタで、読み出し／書き込み可能な 16 ビットレジスタです。

TCR は、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御、カウンタクロック選択、外部クロック選択時のエッジ選択を行います。

チャンネル 2 のみ、インプットキャプチャ機能の制御および、インプットキャプチャ時の割り込み発生も制御します。

• TCR_0、TCR_1の場合

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	—	0	R	
13	—	0	R	
12	—	0	R	
11	—	0	R	
10	—	0	R	
9	—	0	R	
8	UNF	0	R(W)*	アンダフローフラグ TCNT のアンダフローを示すフラグです。 0 : TCNT がアンダフローを起こしていない 【クリア条件】 UNF に 0 を書き込んだとき 1 : TCNT がアンダフローを起こした 【セット条件】 TCNT がアンダフローを起こしたとき
7	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	—	
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT のアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。 0 : UNF による割り込み (TUNI) を禁止 1 : UNF による割り込み (TUNI) を許可
4	CKEG1	0	R/W	クロックエッジ 外部クロック選択時に、外部クロックの入力エッジを選択します。 00 : 立ち上がりエッジでカウント 01 : 立ち下がりエッジでカウント 1x : 立ち上がり／立ち下りの両エッジでカウント 【注】 x : Don't care
3	CKEG0	0	R/W	

12. タイマユニット (TMU)

ビット	ビット名	初期値	R/W	説明
2	TPSC2	0	R/W	タイマプリスケーラ
1	TPSC1	0	R/W	TCNT のカウントクロックを選択します。
0	TPSC0	0	R/W	000 : Pφ/4 でカウント 001 : Pφ/16 でカウント 010 : Pφ/64 でカウント 011 : Pφ/256 でカウント 100 : 設定禁止 101 : TCLK 端子入力でカウント 110 : 設定禁止 111 : 設定禁止

【注】 * フラグをクリアするために0のみ書き込むことができます。1を書き込むもとの値が保持されます。

• TCR_2の場合

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	—	0	R	
12	—	0	R	
11	—	0	R	
10	—	0	R	
9	ICPF	0	R/(W)*	インプットキャプチャ割り込みフラグ チャンネル2のみの機能で、TCLK 端子によりインプットキャプチャが発生したときに、フラグがセットされます。 0 : インプットキャプチャ要求が発生していない 【クリア条件】 ICPF に0を書き込んだとき 1 : TCLK 端子によりインプットキャプチャ要求が発生した 【セット条件】 TCLK 端子によりインプットキャプチャが発生したとき
8	UNF	0	R/(W)*	アンダフローフラグ TCNT_2のアンダフローを示すフラグです。 0 : TCNT_2がアンダフローを起こしていない 【クリア条件】 UNF に0を書き込んだとき 1 : TCNT_2がアンダフローを起こした 【セット条件】 TCNT_2がアンダフローを起こしたとき

ビット	ビット名	初期値	R/W	説明
7 6	ICPE1 ICPE0	0 0	R/W R/W	<p>インプットキャプチャ制御</p> <p>チャンネル2のみの機能で、インプットキャプチャ機能の使用の許可および使用時の割り込み発生を許可するかどうかを制御します。</p> <p>TCLK 端子の立ち上がりエッジ/立ち下がりエッジのいずれを使ってインプットキャプチャレジスタ (TCPR_2) に TCNT_2 カウンタの値をセットするかは、CKEG1、CKEG0 ビットで設定します。</p> <p>00 : インプットキャプチャ機能を使用しない</p> <p>01 : 設定禁止</p> <p>10 : インプットキャプチャ機能を使用する ICPF による割り込み (TICPI2) を禁止</p> <p>11 : インプットキャプチャ機能を使用する ICPF による割り込み (TICPI2) を許可</p>
5	UNIE	0	R/W	<p>アンダフロー割り込み制御</p> <p>TCNT_2 のアンダフローの発生を示すステータスフラグ UNF がにセットされたときに割り込み発生を許可するかどうかを制御します。</p> <p>0 : UNF による割り込み (TUNI2) を禁止</p> <p>1 : UNF による割り込み (TUNI2) を許可</p>
4 3	CKEG1 CKEG0	0 0	R/W R/W	<p>クロックエッジ</p> <p>外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。</p> <p>00 : 立ち上がりエッジでカウント/キャプチャレジスタセット</p> <p>01 : 立ち下がりエッジでカウント/キャプチャレジスタセット</p> <p>1x : 立ち上がり/立ち下がり両エッジでカウント/キャプチャレジスタセット</p> <p>【注】 x : Don't care</p>
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	<p>タイマプリスケーラ</p> <p>TCNT_2 のカウントクロックを選択します。</p> <p>000 : Pφ/4 でカウント</p> <p>001 : Pφ/16 でカウント</p> <p>010 : Pφ/64 でカウント</p> <p>011 : Pφ/256 でカウント</p> <p>100 : 設定禁止</p> <p>101 : TCLK 端子入力でカウント</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>

【注】 * フラグをクリアするために0のみ書き込むことができます。1を書き込むもとの値が保持されます。

12. タイマユニット (TMU)

12.3.3 タイマコンスタントレジスタ (TCOR)

TCOR は、TCNT カウンタのアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

TCOR レジスタは、読み出し／書き込み可能な 32 ビットレジスタです。

初期値は、H'FFFFFFF です。

12.3.4 タイマカウンタ (TCNT)

TCNT は、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、タイマコントロールレジスタ (TCR) の TPSC2～TPSC0 ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'00000000→H'FFFFFFF) が発生すると、対応するチャンネルのタイマコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、タイマコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

初期値は、H'FFFFFFF です。

12.3.5 インプットキャプチャレジスタ_2 (TCPR_2)

TCPR_2 は、読み出しのみ可能な 32 ビットレジスタでタイマ 2 のみに内蔵されているインプットキャプチャ機能用のレジスタです。TCR_2 レジスタのインプットキャプチャ制御 (ICPE1、ICPE0 および CKEG1、CKEG0 ビット) によって、TCLK 端子による TCPR_2 レジスタのセット条件を制御します。TCLK 端子による TCPR_2 レジスタのセット指示が発生すると、TCNT_2 カウンタの値が TCPR_2 レジスタにコピーされます。

TCPR_2 の初期値は不定です。

12.4 動作説明

各チャンネルには、32 ビットのタイマカウンタ (TCNT) と 32 ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル 2 にはインプットキャプチャ機能があります。

12.4.1 カウンタの動作

タイマスタートレジスタ (TSTR) の STR0～STR2 ビットを 1 にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。TCNT カウンタがアンダフローすると対応するタイマコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR レジスタの UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT カウンタには TCOR レジスタから値がコピーされ、ダウンカウント動作を継続します。

(1) カウント動作の設定手順例

カウント動作の設定手順例を図 12.2 に示します。

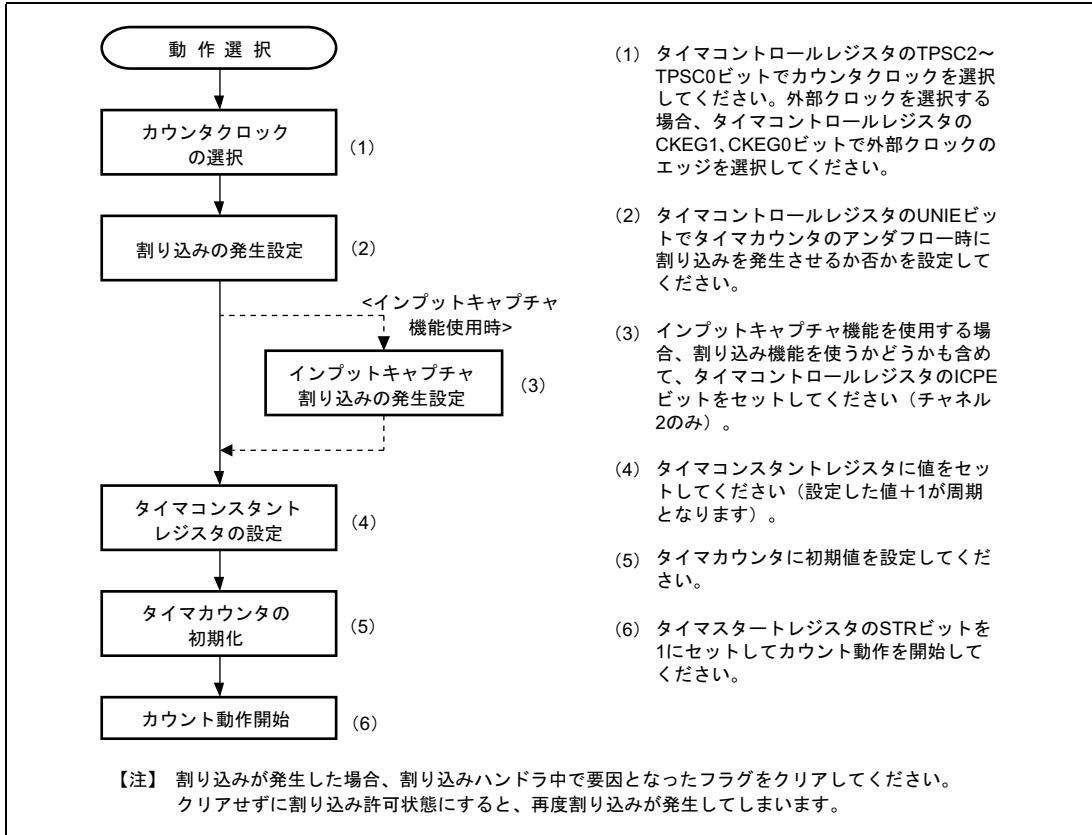


図 12.2 カウント動作設定手順例

12. タイマユニット (TMU)

(2) オートリロードカウンタ動作

TCNT のオートリロード動作を、図 12.3 に示します。

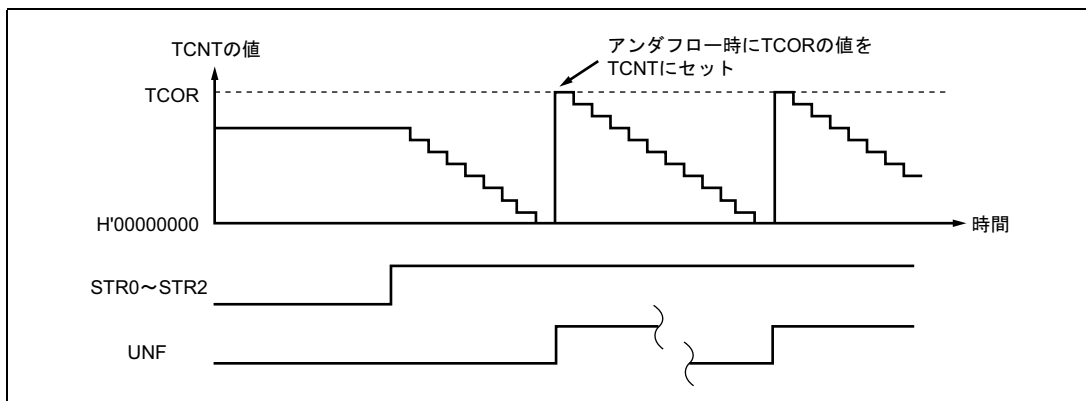


図 12.3 オートリロードカウンタの動作

(3) TCNT のカウントタイミング

(a) 内部クロック動作の場合

タイマコントロールレジスタの TPSC2~TPSC0 ビットにより、周辺モジュール用クロックを分周した 4 種類のクロック ($P\phi/4$ 、 $P\phi/16$ 、 $P\phi/64$ 、 $P\phi/256$) が選択できます。このときのタイミングを図 12.4 に示します。

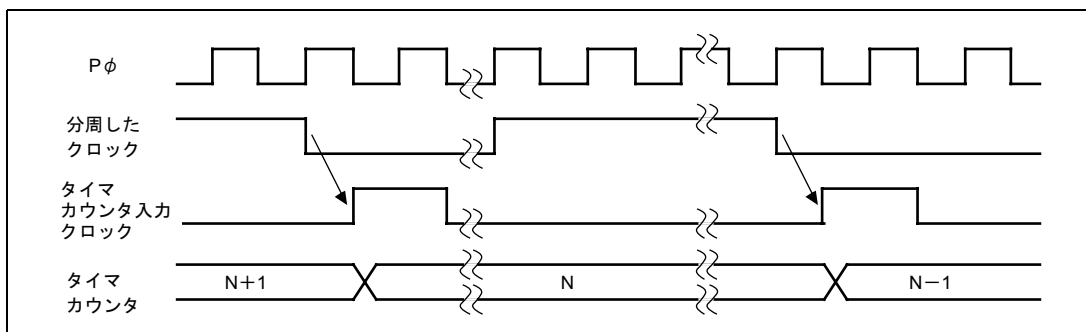


図 12.4 内部クロック動作時のカウントタイミング

(b) 外部クロック動作の場合

タイマコントロールレジスタの TPSC2~TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、タイマコントロールレジスタの CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり／立ち下がり／両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は 2 周辺クロック ($P\phi$) 以上、両エッジの場合は 3 周辺クロック ($P\phi$) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

両エッジ検出時のタイミングを図 12.5 に示します。

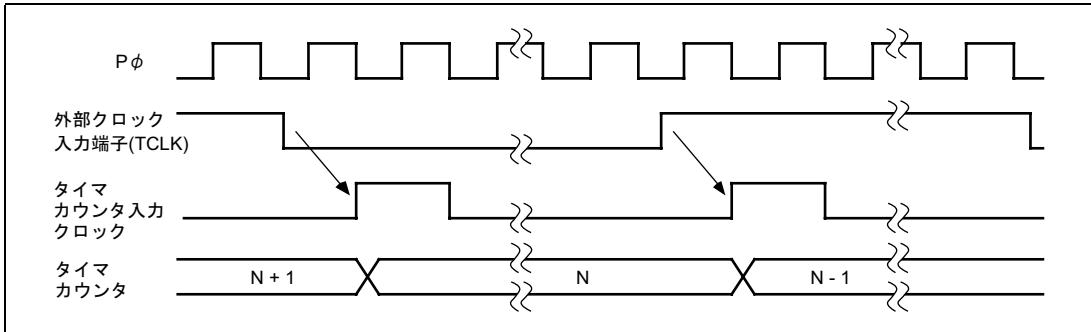


図 12.5 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

12.4.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、TCR_2 の TPSC2~TPSC0 ビットでのタイマの動作クロックを内部クロックに設定します。また、TCR_2 の ICPE1、ICPE 0 ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定し、TCR_2 の CKEG1、0 ビットで TCLK 端子の立ち上がり／立ち下がりのどのエッジを使用して TCPR_2 に TCNT_2 の値をセットするのかを指定します。

なお、この機能はスタンバイモード時には使用できません。

TCLK 端子入力の立ち上がりエッジ時のタイミングを図 12.6 に示します。

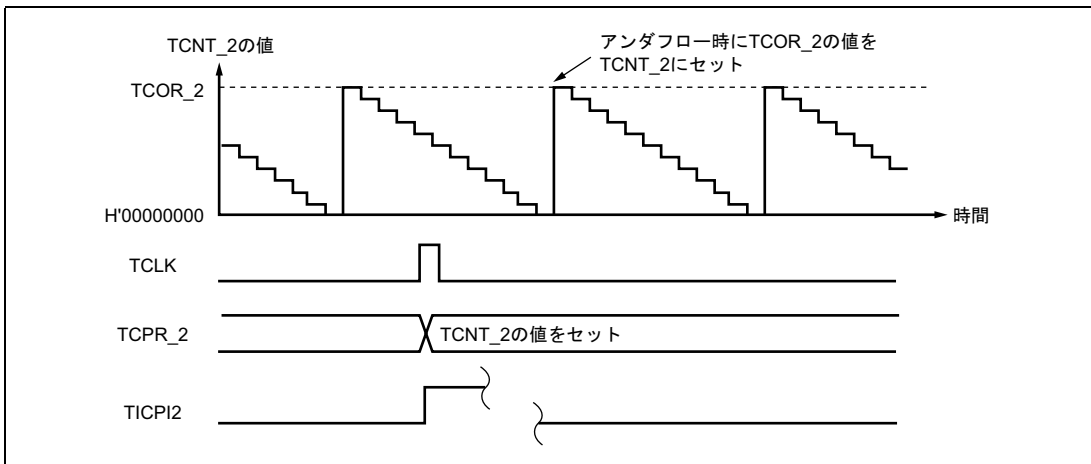


図 12.6 インพุットキャプチャ機能使用時の動作タイミング
(TCLK の立ち上がりエッジ使用)

12.5 割り込み

TMUの割り込み要因は、アンダフロー割り込み (TUNI) およびインプットキャプチャ割り込み (TICPI2) です。

12.5.1 ステータスフラグのセットタイミング

UNFビットは、TCNTカウンタがアンダフローしたときに1にセットされます。このときのタイミングを図12.7に示します。

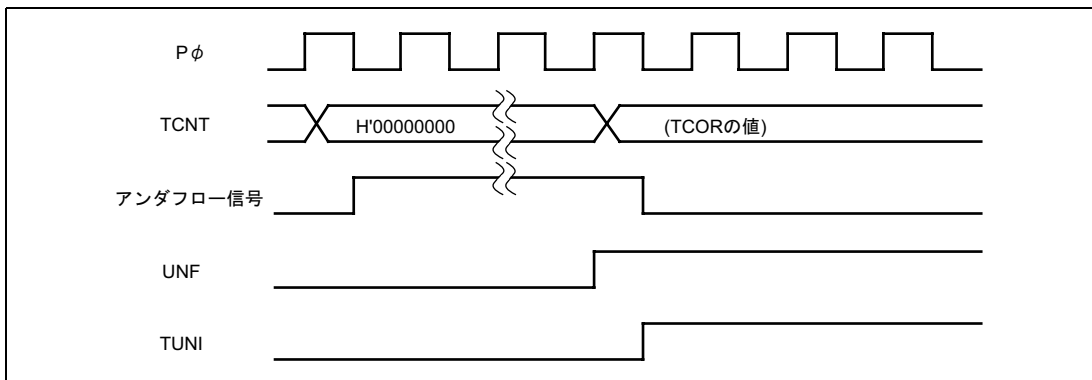


図 12.7 UNF のセットタイミング

12.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUから0を書き込むとクリアされます。このときのタイミングを図12.8に示します。

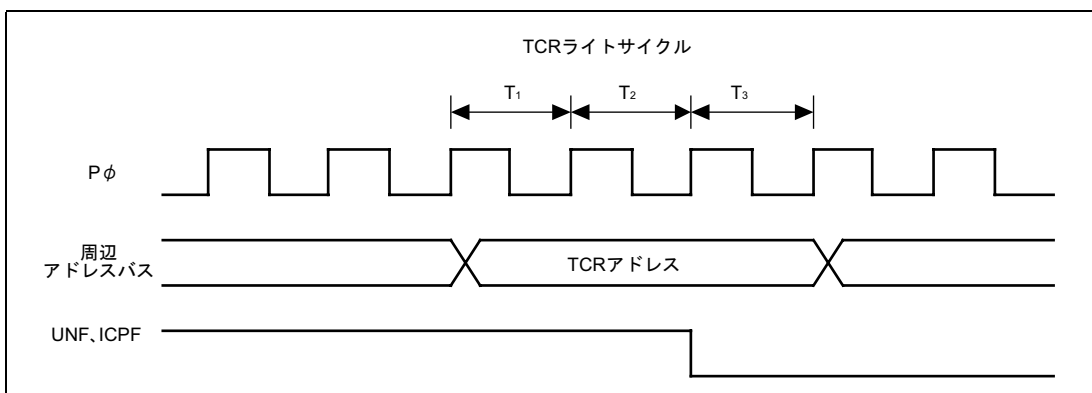


図 12.8 ステータスフラグのクリアタイミング

12.5.3 割り込み要因と優先順位

TMU は各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT2、INTEVT) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 5 章 例外処理」、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 12.2 に示します。

表 12.2 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	
	TICPI2	インプットキャプチャ割り込み 2	

12.6 使用上の注意事項

12.6.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウンタ動作の同期処理は行っておりません。レジスタの書き込みの際には、必ずタイマスタートレジスタ (TSTR) の該当チャンネルのスタートビット (STR2~STR0) をクリアして、タイマのカウンタ動作を停止させてください。

12.6.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

13. コンペアマッチタイマ (CMT)

DMACはDMA転送要求を発生するコンペアマッチタイマ(CMT)を内蔵しています。CMTは16ビットのカウンタです。

CMTのブロック図を図13.1に示します。

13.1 特長

- 4種類のカウンタ入力クロックを選択可能
- 4種類の内部クロック (Pφ/4、Pφ/8、Pφ/16、Pφ/64) を選択可能
- コンペアマッチ時、DMA転送要求を発生 (CPU割り込みには対応していません)
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

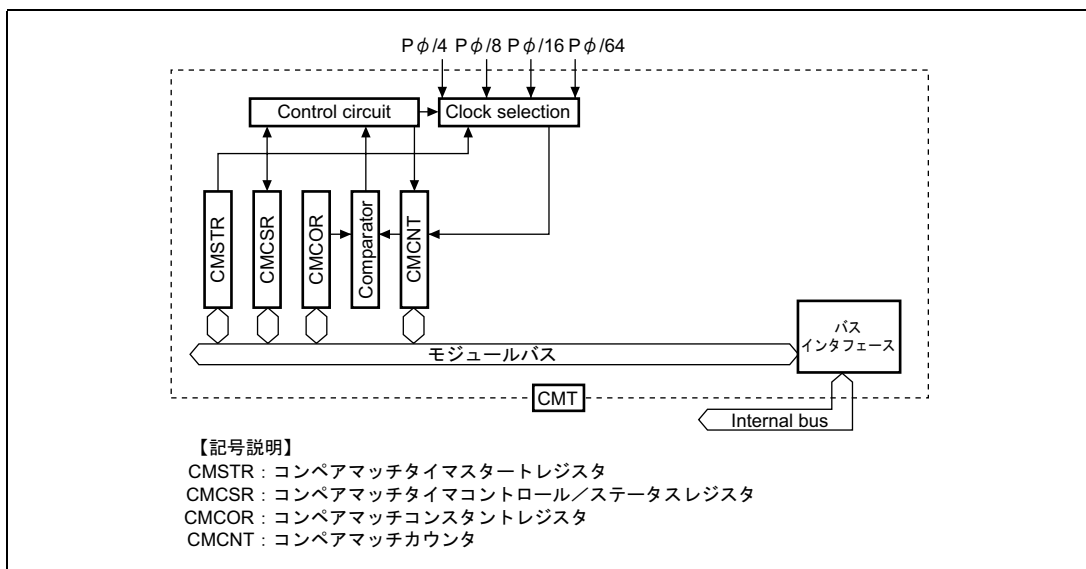


図 13.1 コンペアマッチタイマのブロック図

13. コンペアマッチタイマ (CMT)

13.2 レジスタ説明

CMTには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第24章 レジスタ一覧」を参照してください。

- コンペアマッチタイマスタートレジスタ (CMSTR)
- コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)
- コンペアマッチカウンタ (CMCNT)
- コンペアマッチコンスタントレジスタ (CMCOR)

13.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTRは16ビットのレジスタで、カウンタ (CMCNT) の動作/停止を選択します。

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	STR	0	R/W	カウンタスタート コンペアマッチカウンタの動作/停止を選択します。 0 : CMCNT はカウンタ動作を停止 1 : CMCNT はカウンタ動作

13.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSRは16ビットのレジスタで、コンペアマッチの発生の表示、DMA転送要求の許可/禁止の設定、およびインクリメント用クロックの設定を行います。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNTとCMCORの値が一致したか否かを示すフラグです。 0 : CMCNTとCMCORの値は不一致 【クリア条件】CMF=1を読み出し後、CMF=0を書き込む 1 : CMCNTとCMCORの値が一致
6~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CMR	0	R/W	コンペアマッチリクエスト 0 : DMA転送要求の禁止 1 : DMA転送要求の許可

ビット	ビット名	初期値	R/W	説明
3~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	CKS1	0	R/W	クロックセレクト 周辺クロック (Pφ) を分周した4種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが1にセットされると、CMCNT は CKS1、CKS0 ビットにより選択されたクロックでインクリメントを開始します。 00 : Pφ/4 01 : Pφ/8 10 : Pφ/16 11 : Pφ/64
0	CKS0	0	R/W	

【注】 * フラグクリアのための0書き込みのみ可能です。

13.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。内部クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT の初期値は H'0000 です。

13.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR の初期値は H'FFFF です。

13.3 動作説明

13.3.1 期間カウント動作

内部クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。CMCNT は H'0000 からカウントアップを再開します。

図 13.2 にコンペアマッチカウンタ動作を示します。

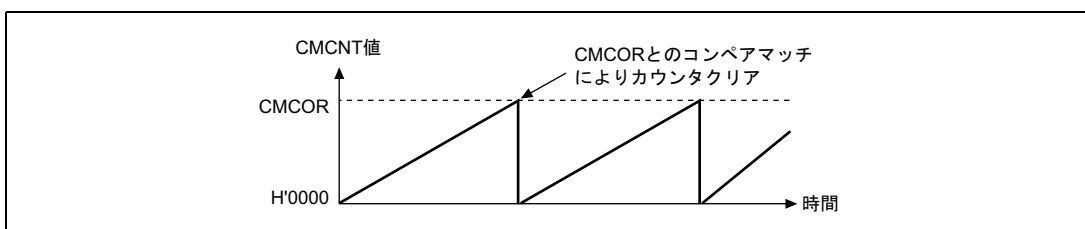


図 13.2 カウンタ動作

13.3.2 CMCNT カウントタイミング

周辺クロック ($P\phi$) を分周して得られた 4 種類のクロック ($P\phi/4$ 、 $P\phi/8$ 、 $P\phi/16$ 、 $P\phi/64$) のうち 1 つを CMCSR の CKS1、CKS0 ビットにより選択することができます。図 13.3 にそのタイミングを示します。

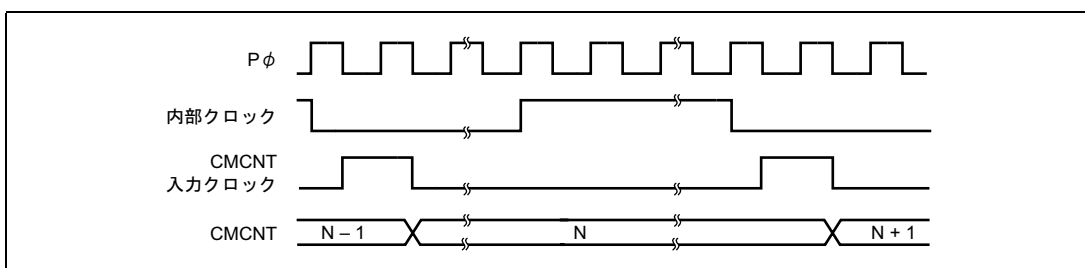


図 13.3 カウントタイミング

13.3.3 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終状態で発生します (CMCNT の値が H'0000 に更新されるタイミング)。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタクロックが入力されないとコンペアマッチ信号は発生しません。図 13.4 に CMF ビットのセットタイミングを示します。

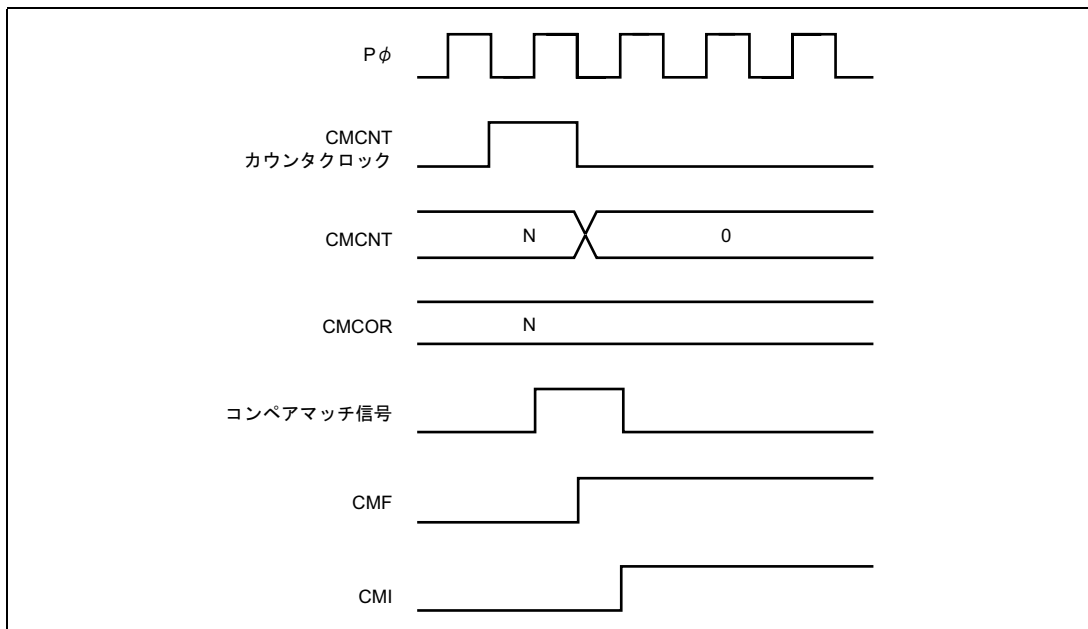


図 13.4 CMF セットタイミング

13. コンペアマッチタイム (CMT)

14. 16ビットタイマパルスユニット (TPU)

本 LSI は、4 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

14.1 特長

- 最大4本のパルス出力が可能

チャンネルごとに4本、合計16本のタイマジェネラルレジスタ (TGRA~TGRD×4ch) を持ち、TGRAはアウトプットコンペアの設定が可能

各チャンネルのTGRB、TGRC、TGRDは、タイマカウンタクリア用レジスタとして、またTGRC、TGRDは、バッファレジスタとして使用可能

- チャンネル0~3は4種類のカウンタ入力クロックを選択可能

- 各チャンネルごとに次の動作を設定可能

コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能

カウンタクリア動作：コンペアマッチによるカウンタクリアが可能

PWMモード：任意デューティのPWM出力が可能

最大4相のPWM出力が可能

- 各チャンネルはバッファ動作を設定可能

アウトプットコンペアレジスタの自動書き換えが可能

- 各チャンネル1本の割り込み要求

コンペアマッチ／オーバフロー割り込み要求の許可／禁止を要因ごとに独立に設定可能

14. 16ビットタイマパルスユニット (TPU)

表 14.1 に TPU の機能一覧を示します。

表 14.1 TPU 機能一覧

項 目		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3
カウントクロック		Pφ/1 Pφ/4 Pφ/16 Pφ/64	Pφ/1 Pφ/4 Pφ/16 Pφ/64	Pφ/1 Pφ/4 Pφ/16 Pφ/64	Pφ/1 Pφ/4 Pφ/16 Pφ/64
ジェネラルレジスタ		TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B	TGR3A TGR3B
ジェネラルレジスタ/ バッファレジスタ		TGR0C TGR0D	TGR1C TGR1D	TGR2C TGR2D	TGR3C TGR3D
出力端子		TO0	TO1	TO2	TO3
カウンタクリア機能		TGR の コンペアマッチ	TGR の コンペアマッチ	TGR の コンペアマッチ	TGR の コンペアマッチ
コンペア マッチ 出力	0 出力	○	○	○	○
	1 出力	○	○	○	○
	トグル出力	○	○	○	○
PWM モード		○	○	○	○
バッファ動作		○	○	○	○
割り込み要因		5 要因 コンペアマッチ ／オーバーフロー 兼用	5 要因 コンペアマッチ ／オーバーフロー 兼用	5 要因 コンペアマッチ ／オーバーフロー 兼用	5 要因 コンペアマッチ ／オーバーフロー 兼用

【注】 ○：可能、－：不可

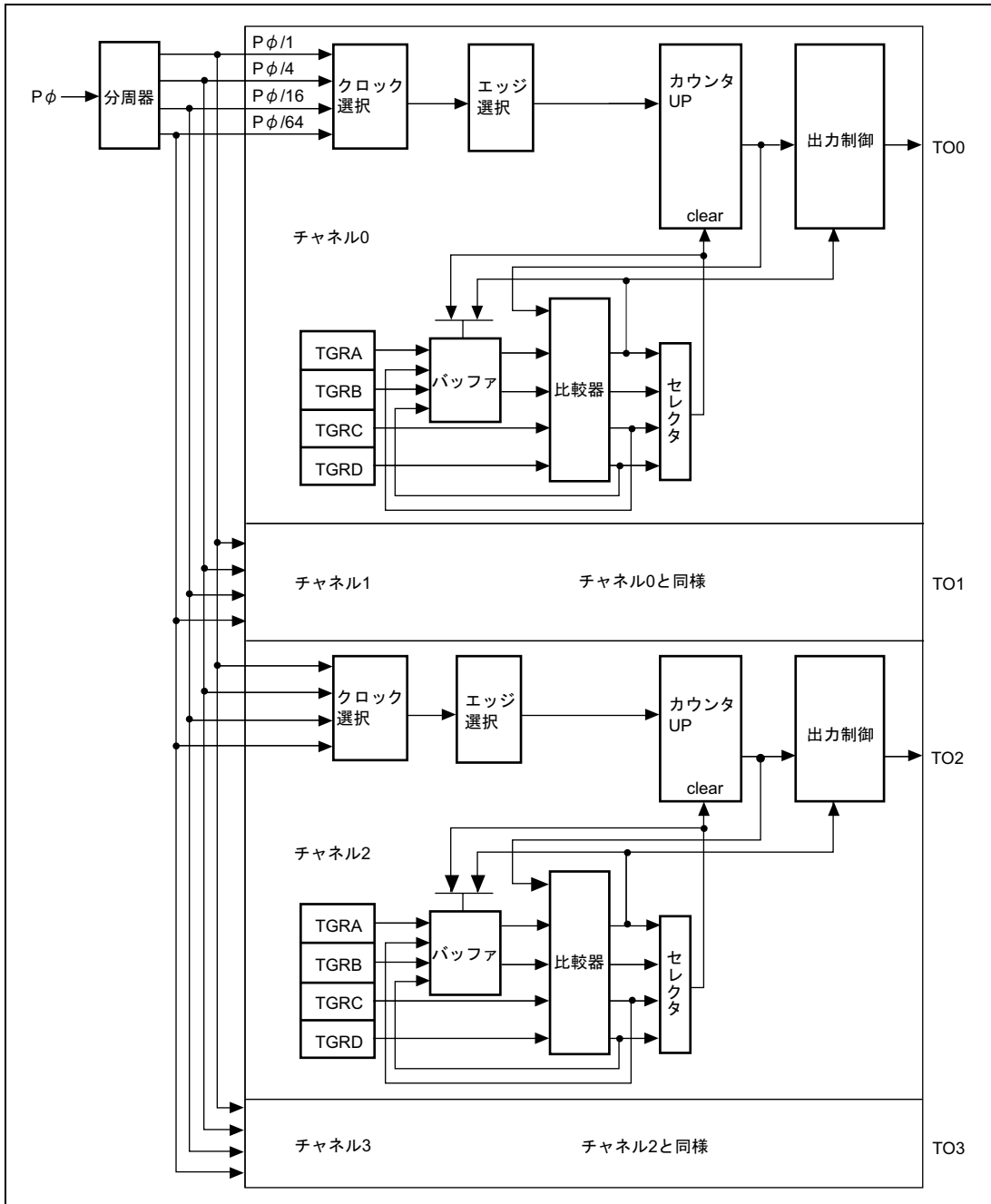


図 14.1 TPU のブロック図

14.2 入出力端子

TPUの端子構成を表14.2に示します。

表 14.2 TPUの端子構成

チャンネル	名 称	略称	入出力	機 能
0	アウトプットコンペアマッチ0	TO0	出力	TGR0Aのアウトプットコンペア出力/PWM出力端子
1	アウトプットコンペアマッチ1	TO1	出力	TGR1Aのアウトプットコンペア出力/PWM出力端子
2	アウトプットコンペアマッチ2	TO2	出力	TGR2Aのアウトプットコンペア出力/PWM出力端子
3	アウトプットコンペアマッチ3	TO3	出力	TGR3Aのアウトプットコンペア出力/PWM出力端子

14.3 レジスタ構成

TPUには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第24章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名については、チャンネル0のTCRはTCR_0のように表記しています。

(1) チャンネル0

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/Oコントロールレジスタ_0 (TIOR_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

(2) チャンネル1

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

- タイマジェネラルレジスタC_1 (TGRC_1)
- タイマジェネラルレジスタD_1 (TGRD_1)

(3) チャンネル2

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)
- タイマジェネラルレジスタC_2 (TGRC_2)
- タイマジェネラルレジスタD_2 (TGRD_2)

(4) チャンネル3

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/Oコントロールレジスタ_3 (TIOR_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

(5) 共通

- タイマスタートレジスタ (TSTR)

14. 16ビットタイマパルスユニット (TPU)

14.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャネルの TCNT を制御する 16 ビットのレジスタです。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
7 6 5	CCLR2 CCLR1 CCLR0	0 0 0	R/W R/W R/W	カウンタクリア TCNT のクリア要因を選択します。 000 : TCNT のクリア禁止 001 : TGRA のコンペアマッチで TCNT クリア 010 : TGRB のコンペアマッチで TCNT クリア 011 : 設定禁止 100 : TCNT のクリア禁止 101 : TGRC のコンペアマッチで TCNT クリア 110 : TGRD のコンペアマッチで TCNT クリア 111 : 設定禁止
4 3	CKEG1 CKEG0	0 0	R/W R/W	クロックエッジ 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります。(例 : Pφ/4 の両エッジ = Pφ/2 の立ち上がりエッジ)。 00 : 立ち上がりエッジでカウント 01 : 立ち下がりエッジでカウント 1x : 両エッジでカウント* 【記号説明】 x : Don't care 【注】 * クロックの両エッジでカウントする場合は、入力クロックが Pφ/4 もしくはそれより遅い場合に有効です。入力クロックに Pφ/1 を選択した場合、動作しません。
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	タイマプリスケラ TCNT のカウントクロックを選択します。各チャネル独立にクロックソースを選択することができます。表 14.3 に各チャネルごとに設定可能なクロックソース一覧を示します。またカウントクロック選択の詳細は表 14.4 TPSC2~TPSC0 (1) ~ (4) を参照してください。

表 14.3 TPU のクロックソース一覧

チャネル	内部クロック			
	Pφ/1	Pφ/4	Pφ/16	Pφ/64
0	○	○	○	○
1	○	○	○	○
2	○	○	○	○
3	○	○	○	○

【注】 ○ : 設定あり、空欄 : 設定なし

表 14.4 TPSC2~TPSC0 (1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : Pφ/1 でカウント
			1	内部クロック : Pφ/4 でカウント
		1	0	内部クロック : Pφ/16 でカウント
			1	内部クロック : Pφ/64 でカウント
	1	x	x	設定禁止

【注】 x : Don't care

表 14.4 TPSC2~TPSC0 (2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : Pφ/1 でカウント
			1	内部クロック : Pφ/4 でカウント
		1	0	内部クロック : Pφ/16 でカウント
			1	内部クロック : Pφ/64 でカウント
	1	x	x	設定禁止

【注】 x : Don't care

表 14.4 TPSC2~TPSC0 (3)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : Pφ/1 でカウント
			1	内部クロック : Pφ/4 でカウント
		1	0	内部クロック : Pφ/16 でカウント
			1	内部クロック : Pφ/64 でカウント
	1	x	x	設定禁止

【注】 x : Don't care

表 14.4 TPSC2~TPSC0 (4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : Pφ/1 でカウント
			1	内部クロック : Pφ/4 でカウント
		1	0	内部クロック : Pφ/16 でカウント
			1	内部クロック : Pφ/64 でカウント
	1	x	x	設定禁止

【注】 x : Don't care

14. 16ビットタイマパルスユニット (TPU)

14.3.2 タイマモードレジスタ (TMDR)

TMDR は 16 ビットの読み出し／書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
6	BFWT	0	R/W	バッファライトタイミング TGRC、TGRD をコンペアマッチバッファ動作させた場合、TGRA、TGRB の更新タイミングを設定します。TGRC、TGRD をコンペアマッチバッファレジスタとして使わない場合、本ビットは機能しません。 0 : TGRA、TGRB は、各レジスタのコンペアマッチ時に書き換え 1 : TGRA、TGRB はカウンタクリア時に書き換え
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。 0 : TGRB 通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2 1 0	MD2 MD1 MD0	0 0 0	R/W R/W R/W	タイマ動作モード MD2~MD0 はタイマの動作モードを設定します。 000 : 通常動作 001 : 設定禁止 010 : PWM モード 011 : 設定禁止 1xx : 設定禁止 【注】 x : Don't care

14.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TO 端子を制御する 16 ビットのレジスタです。

TIOR の設定は、TCNT の動作が停止した状態で行ってください。

TIOR は TMDR の設定により影響を受けますので注意してください。

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2	IOA2	0	R/W	I/O コントロール A
1	IOA1	0	R/W	IOA2~IOA0 は TO 端子と TGRA の機能を設定します。
0	IOA0	0	R/W	詳細は表 14.5 を参照してください。

表 14.5 IOA2~IOA0

チャンネル	ビット 2	ビット 1	ビット 0	説明	
	IOA2	IOA1	IOA0		
0~3	0	0	0	常に 0 出力	
			1	TO 端子の 初期出力は 0 出力	TGRA のコンペアマッチで 0 出力*
		1	0	TGRA のコンペアマッチで 1 出力	
			1	TGRA のコンペアマッチでトグル出力*	
	1	0	0	常に 1 出力	
			1	TO 端子の 初期出力は 1 出力	TGRA のコンペアマッチで 0 出力
		1	0	TGRA のコンペアマッチで 1 出力*	
			1	TGRA のコンペアマッチでトグル出力*	

【注】 * PWM モード時、本設定にしないでください。

14. 16ビットタイムパルスユニット (TPU)

14.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 16 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。

ビット	ビット名	初期値	R/W	説明
15~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき (TCNT のオーバフロー発生)、TCFV フラグによる割り込み要求を許可または禁止します。 0 : TCFV による割り込み要求を禁止 1 : TCFV による割り込み要求を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D TSR の TGFD ビットが 1 にセットされたとき (TCNT と TGRD のコンペアマッチ発生)、TGFD ビットによる割り込み要求を許可または禁止します。 0 : TGFD ビットによる割り込み要求を禁止 1 : TGFD ビットによる割り込み要求を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C TSR の TGFC ビットが 1 にセットされたとき (TCNT と TGRC のコンペアマッチ発生)、TGFC ビットによる割り込み要求を許可または禁止します。 0 : TGFC ビットによる割り込み要求を禁止 1 : TGFC ビットによる割り込み要求を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき (TCNT と TGRB のコンペアマッチ発生)、TGFB ビットによる割り込み要求を許可または禁止します。 0 : TGFB ビットによる割り込み要求を禁止 1 : TGFB ビットによる割り込み要求を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき (TCNT と TGRA のコンペアマッチ発生)、TGFA ビットによる割り込み要求を許可または禁止します。 0 : TGFA ビットによる割り込み要求を禁止 1 : TGFA ビットによる割り込み要求を許可

14.3.5 タイマステータスレジスタ (TSR)

TSR は 16 ビットのレジスタで、各チャンネルのステータスの表示を行います。

ビット	ビット名	初期値	R/W	説明
15~5	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	TCFV	0	R/(W)*	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。 【クリア条件】 TCFV=1 の状態で TCFV を読み出し後、TCFV に 0 を書き込んだとき 【セット条件】 TCNT の値がオーバフロー (H'FFFF→H'0000) したとき
3	TGFD	0	R/(W)*	アウトプットコンペアフラグ D TGRD のコンペアマッチの発生を示すステータスフラグです。 【クリア条件】 TGFD=1 の状態で TGFD を読み出し後、TGFD に 0 を書き込んだとき 【セット条件】 TCNT=TGRD になったとき
2	TGFC	0	R/(W)*	アウトプットコンペアフラグ C TGRC のコンペアマッチの発生を示すステータスフラグです。 【クリア条件】 TGFC=1 の状態で TGFC を読み出し後、TGFC に 0 を書き込んだとき 【セット条件】 TCNT=TGRC になったとき
1	TGFB	0	R/(W)*	アウトプットコンペアフラグ B TGRB のコンペアマッチの発生を示すステータスフラグです。 【クリア条件】 TGFB=1 の状態で TGFB を読み出し後、TGFB に 0 を書き込んだとき 【セット条件】 TCNT=TGRB になったとき
0	TGFA	0	R/(W)*	アウトプットコンペアフラグ A TGRA のコンペアマッチの発生を示すステータスフラグです。 【クリア条件】 TGFA=1 の状態で TGFA を読み出し後、TGFA に 0 を書き込んだとき 【セット条件】 TCNT=TGRA になったとき

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

14. 16ビットタイマパルスユニット (TPU)

14.3.6 タイマカウンタ (TCNT)

TCNTは16ビットのカウンタです。

TCNTの初期値はH'0000です。

14.3.7 タイマジェネラルレジスタ (TGR)

TGRは16ビットのレジスタです。

TGRCとTGRDは、バッファレジスタとして動作設定することができます*。TGRの初期値はH'FFFFです。

【注】 * TGRとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

14.3.8 タイマスタートレジスタ (TSTR)

TSTRは16ビットの読み出し/書き込み可能なレジスタで、チャンネル0~3のTCNTの動作/停止を選択します。

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
3	CST3	0	R/W	カウンタスタート TCNTの動作または停止を選択します。 0: TCNTnのカウンタ動作は停止 1: TCNTnはカウンタ動作 【記号説明】 n=3~0
2	CST2	0	R/W	
1	CST1	0	R/W	
0	CST0	0	R/W	

14.4 動作説明

14.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNTとTGRがあります。TCNTはアップカウント動作を行い、フリーランニング動作、周期カウント動作が可能です。

(2) バッファ動作

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値がTGRに転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

(3) PWMモード

PWM波形を出力するモードです。出力レベルはTIORにより設定できます。

TGRA、TGRBの設定により、デューティ0~100%のPWM波形が出力できます。

14.4.2 基本機能

(1) カウンタの動作

TSTR の CST0～CST3 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 14.2 に示します。

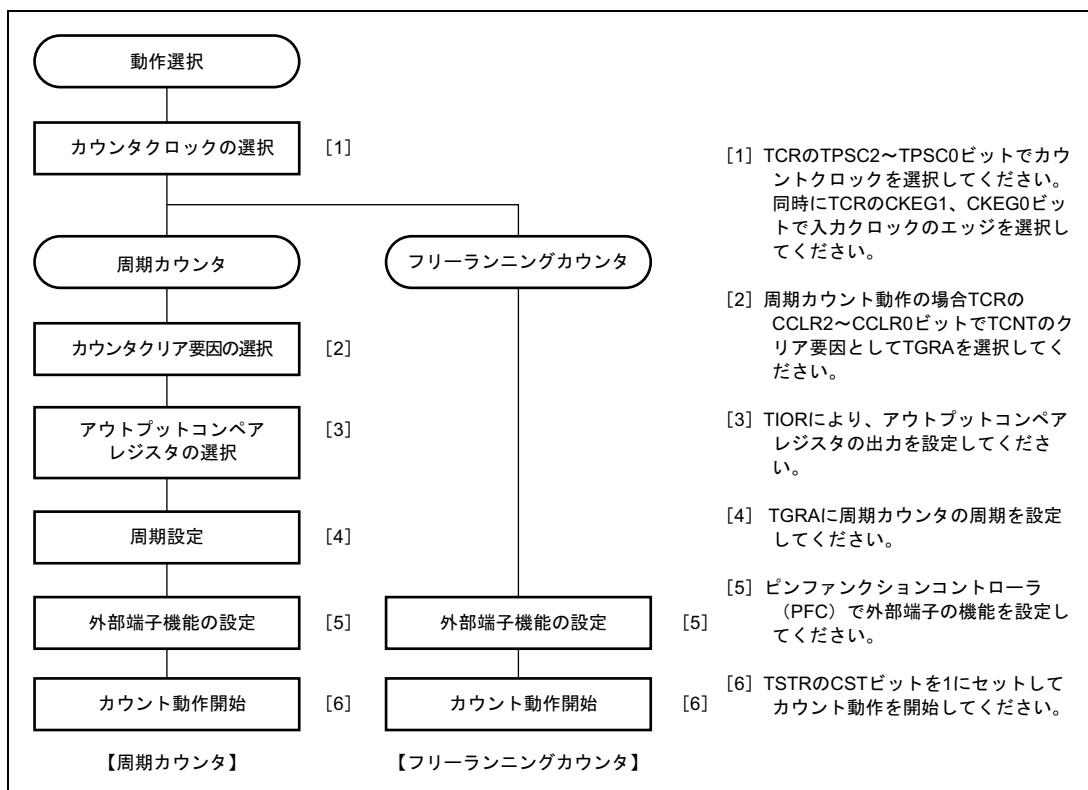


図 14.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 14.3 に示します。

14. 16ビットタイマパルスユニット (TPU)

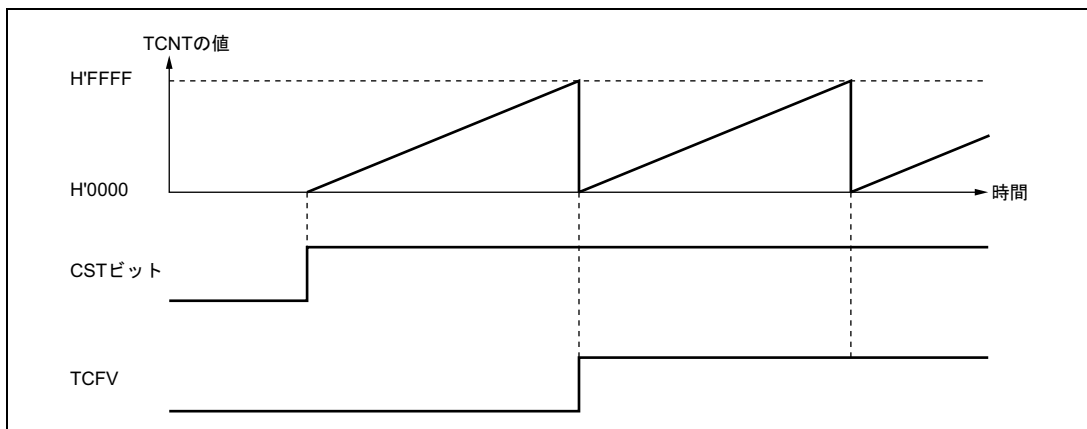


図 14.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 14.4 に示します。

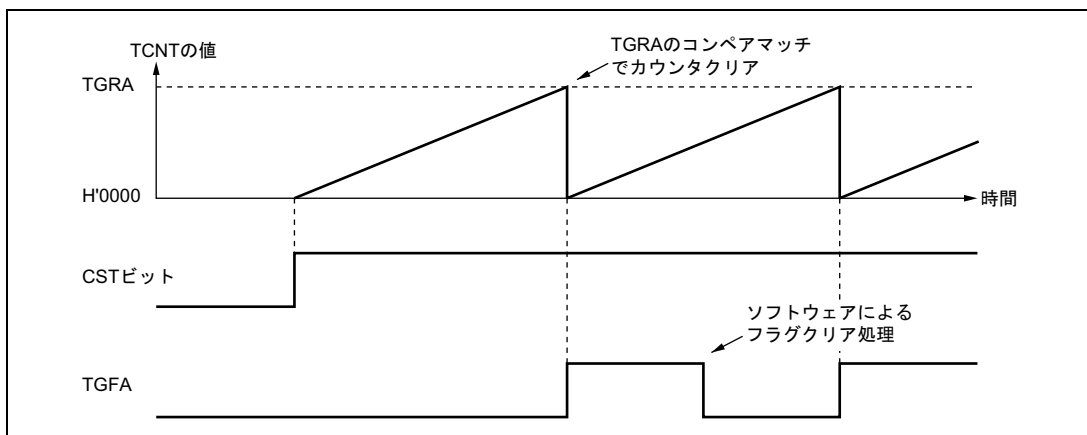


図 14.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、TGRA のコンペアマッチにより出力端子 (TO 端子) から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 14.5 に示します。

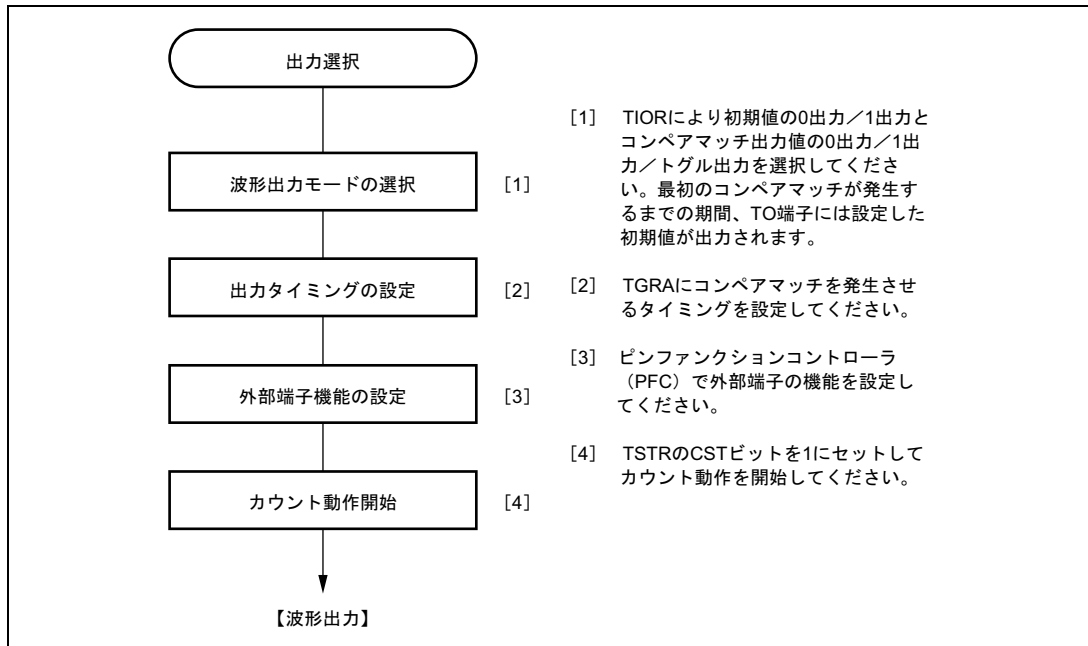


図 14.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力/1 出力を図 14.6 に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチ A により 1 出力となるように設定した場合と、0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

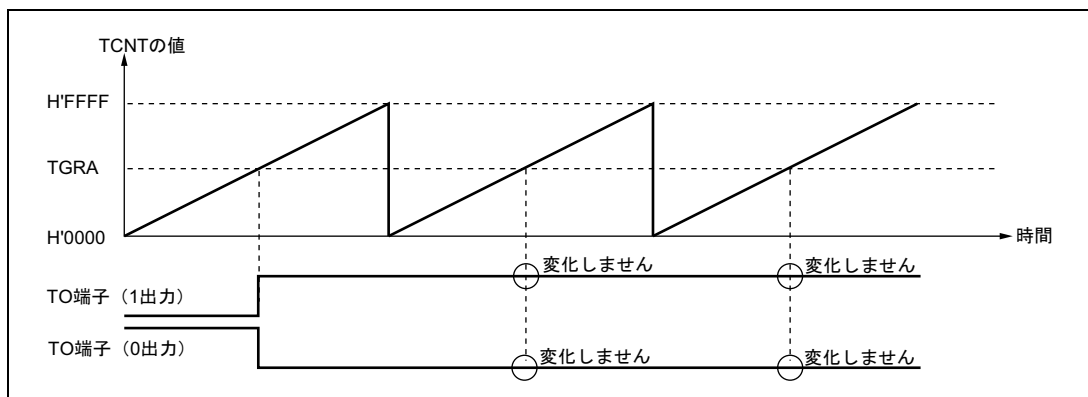


図 14.6 0 出力/1 出力の動作例

14. 16ビットタイマパルスユニット (TPU)

トグル出力の例を図 14.7 に示します。

TCNTを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A によりトグル出力となるように設定した場合の例です。

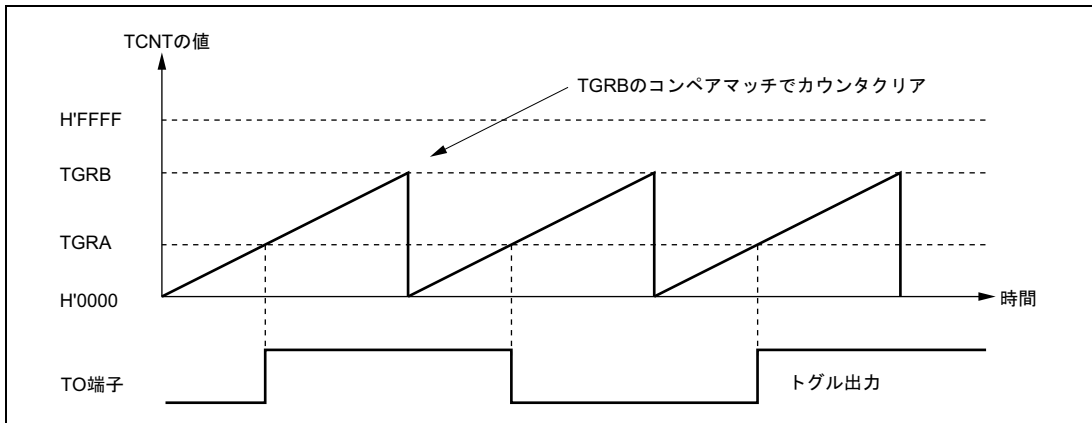


図 14.7 トグル出力の動作例

14.4.3 バッファ動作

バッファ動作は、TGRC と TGRD をバッファレジスタとして使用することができます。

表 14.6 にバッファ動作時のレジスタの組み合わせを示します。

表 14.6 レジスタの組み合わせ

タイマジェネラルレジスタ	バッファレジスタ
TGRA	TGRC
TGRB	TGRD

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

この動作を図 14.8 に示します。

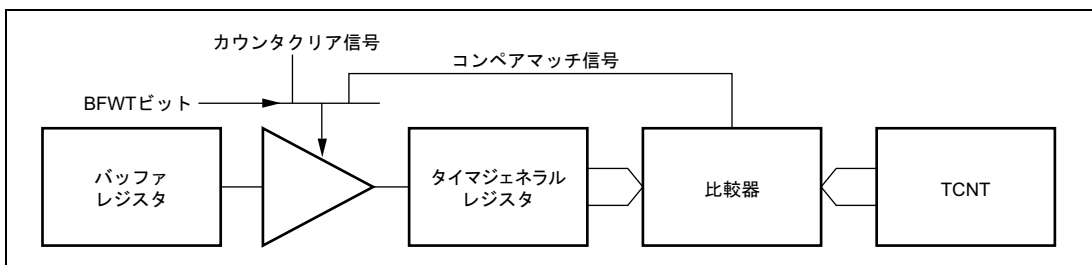


図 14.8 コンペアマッチバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 14.9 に示します。

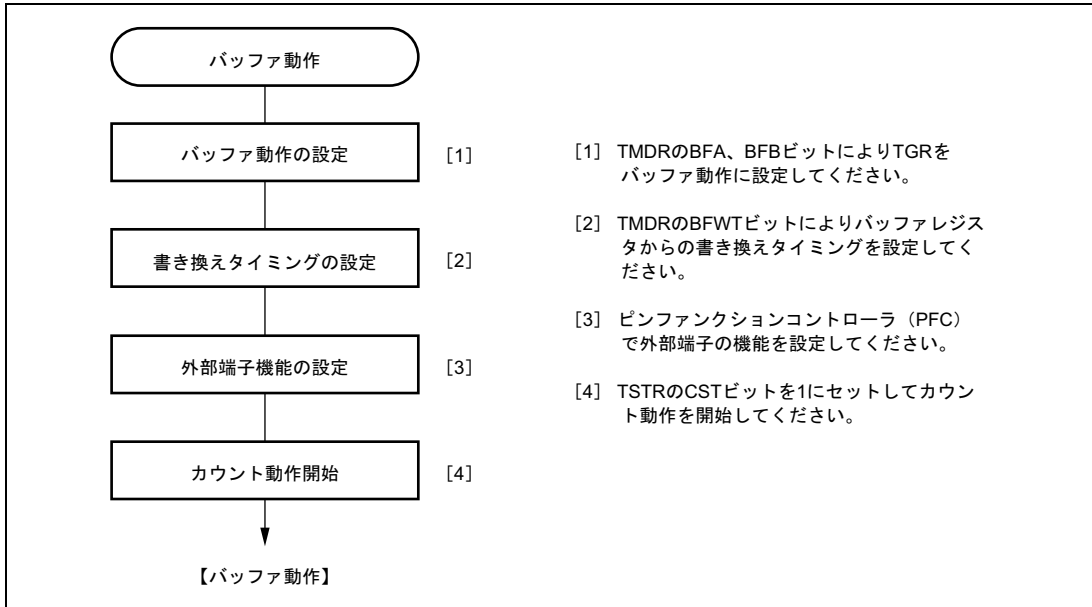


図 14.9 バッファ動作の設定手順例

(2) バッファ動作例

チャンネル0をPWMモードに設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図 14.10 に示します。TCNTはコンペアマッチBによりクリア、出力 (TO端子) はコンペアマッチAで1出力、カウンタクリアで初期値0出力、バッファレジスタからの書き換えタイミングはカウンタクリア時に設定した例です。

コンペアマッチAが発生すると出力を変化させます。TGRBによってカウンタクリアが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「14.4.4 PWMモード」を参照してください。

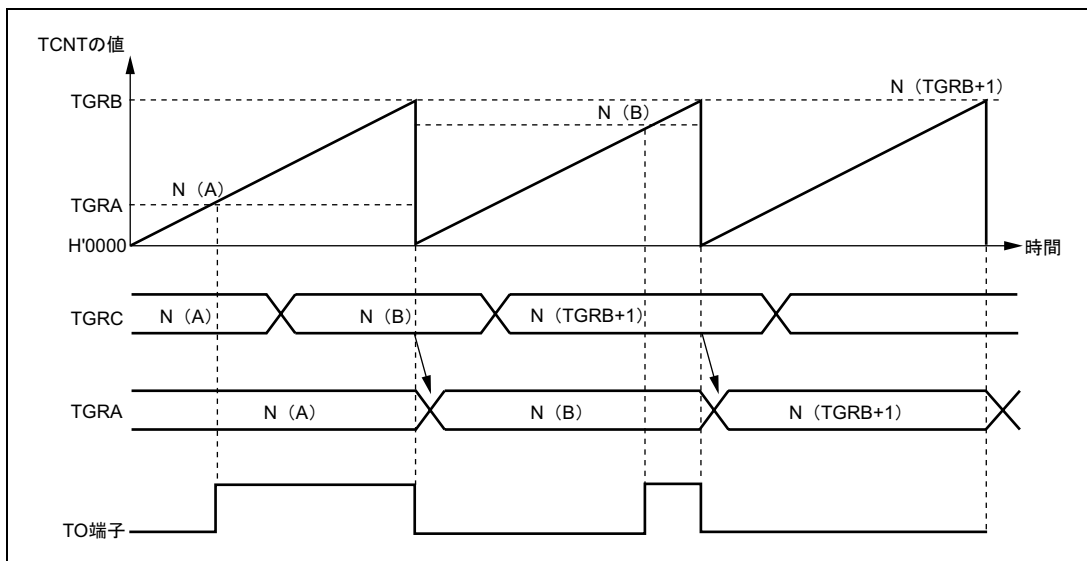


図 14.10 バッファ動作例

14.4.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。TGRA のコンペアマッチによる出力レベルは 0 出力/1 出力の中から選択可能です。

TGRB のコンペアマッチをカウンタクリア要因とすることにより、周期を設定することができます。全チャンネル独立に PWM モードに設定できます。

TGRA をデューティレジスタ、TGRB を周期レジスタに使用して、TO 端子から PWM 出力を生成します。周期レジスタのコンペアマッチによるカウンタクリアで、TO 端子の出力値は TIOR で設定した初期出力が出力されます。必ず TIOR の設定は、初期出力とコンペアマッチによる出力値が異なった出力となるように設定してください。同じレベルやトグル出力を選択した場合、動作しません。

デューティ 0%と 100%の条件を以下に示します。

- デューティ 0% : デューティレジスタ (TGRA) に対して周期レジスタ (TGRB) の設定値を TGRA+1 にした場合
- デューティ 100% : デューティレジスタ (TGRA) の設定値が 0 の場合

PWM モードでは、最大 4 相の PWM 出力が可能です。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図14.11に示します。

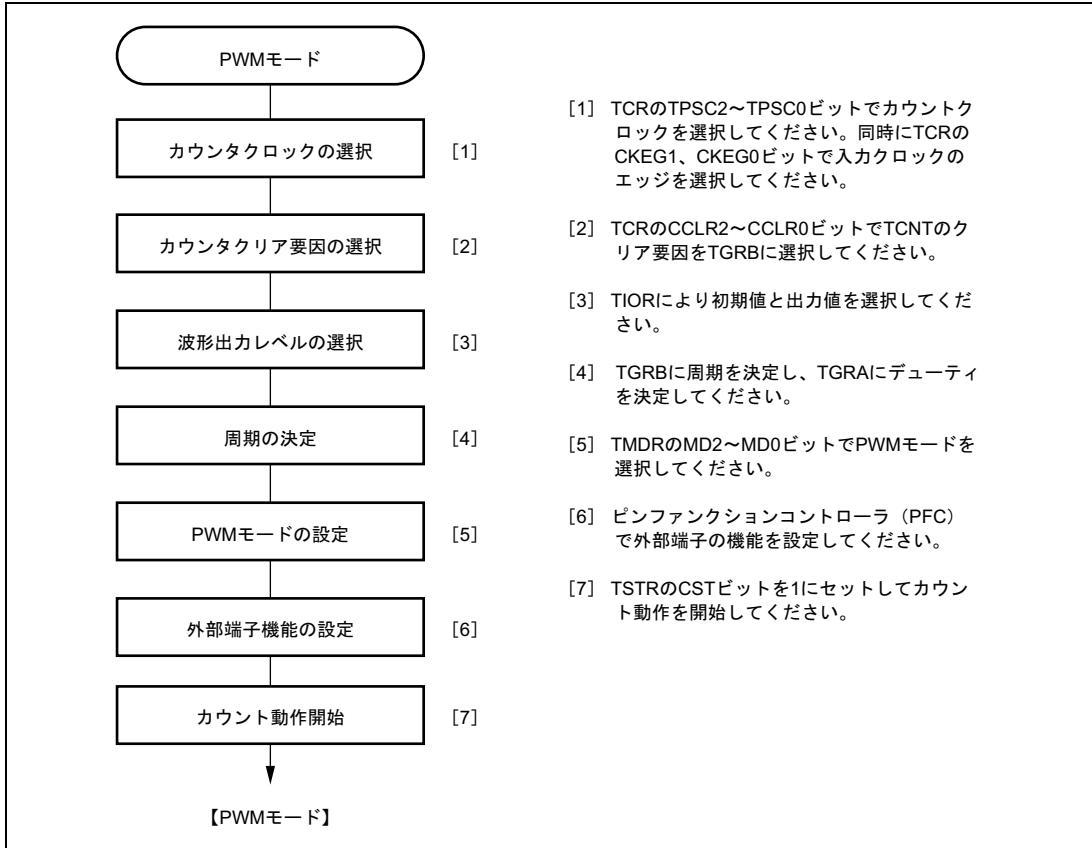


図 14.11 PWMモードの設定手順例

14. 16ビットタイマパルスユニット (TPU)

(2) PWM モードの動作例

PWM モードの動作例を図 14.12 に示します。

この図は、TCNT のクリア要因を TGRB のコンペアマッチとし、TGRA による TO 端子の初期出力値を 0、TGRA のコンペアマッチでの出力値を 1 に設定した場合の例です。

TGRB に設定した値が周期となり、TGRA に設定した値がデューティになります。

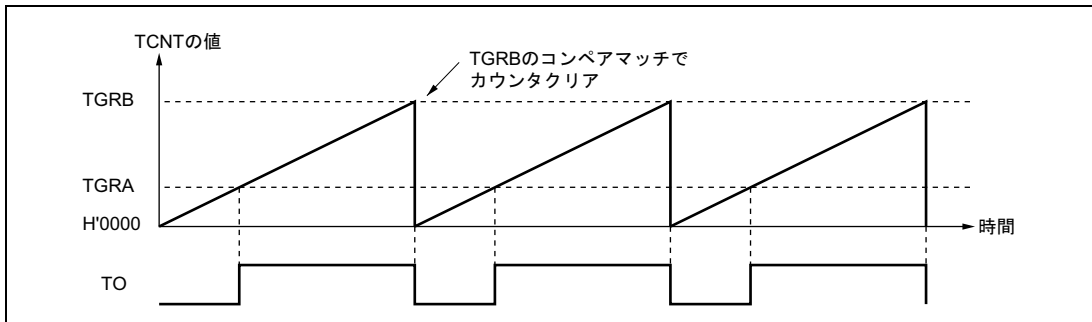


図 14.12 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 14.13 に示します。

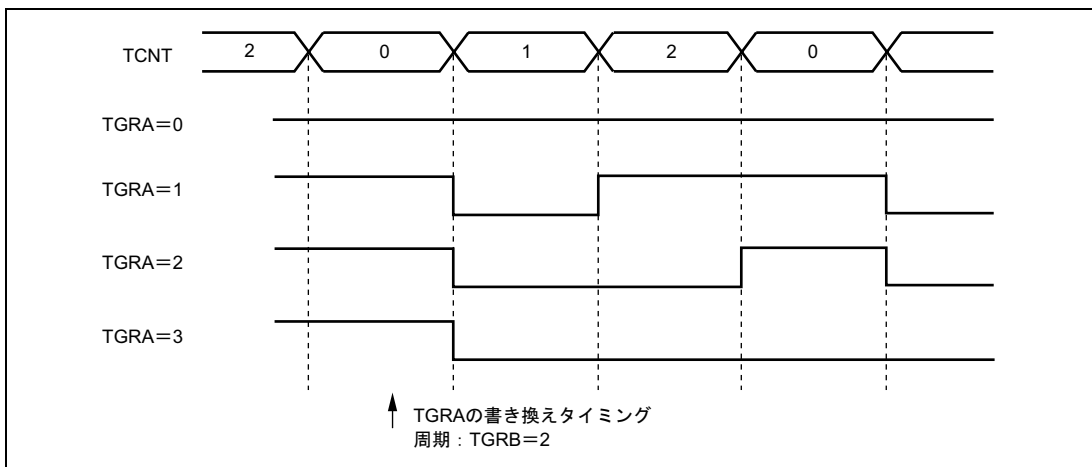


図 14.13 PWM モードの動作例 (2)

15. リアルタイムクロック (RTC)

本 LSI は、リアルタイムクロック (RTC) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。RTC のブロック図を図 15.1 に示します。

15.1 特長

- 時計／カレンダー機能 (BCD表示) を搭載
秒、分、時、日、曜日、月、年をカウント
- 1～64Hzタイマ (バイナリ表示) を搭載
- スタート／ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、日、曜日、月、年のおおのどのフレームを比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
カウンタの読み出し中に、桁上げ動作が発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

15. リアルタイムクロック (RTC)

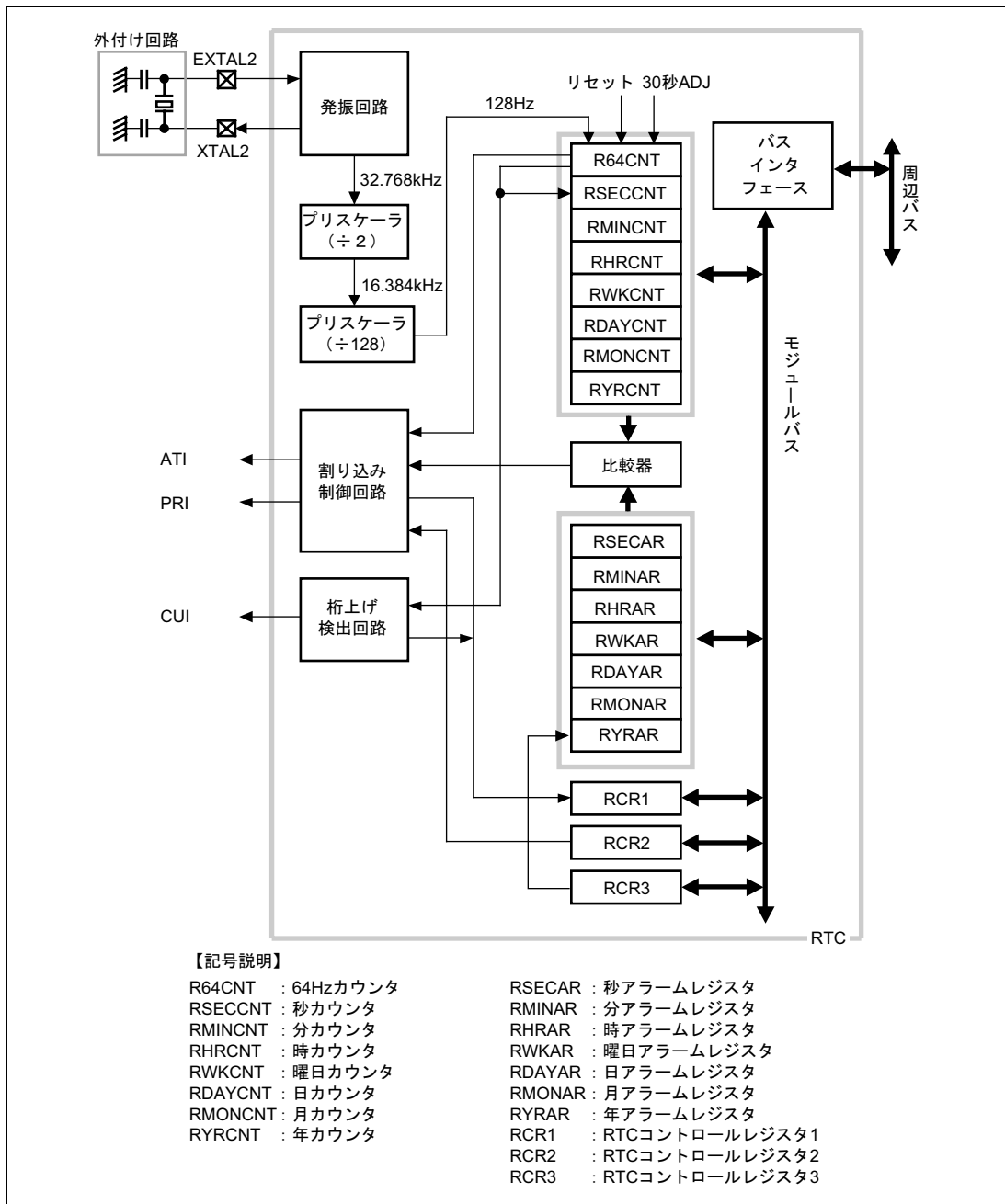


図 15.1 RTC のブロック図

15.2 入出力端子

RTC の端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	信号名	入出力	機能
RTC 用発振器水晶端子	EXTAL2	入力	RTC 用発振器に水晶を接続します。*
RTC 用発振器水晶端子	XTAL2	出力	RTC 用発振器に水晶を接続します。*
RTC 用電源端子	V _{CC} -RTC	—	RTC 発振器用電源端子
RTC 用 GND 端子	V _{SS} -RTC	—	RTC 発振器用 GND 端子

【注】 * RTC を使用しない場合、EXTAL2 はプルアップ (V_{CCQ} (3.3V 系))、XTAL2 はオープンとしてください。

15.3 レジスタの説明

RTC には以下のレジスタがあります。これらのレジスタおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照してください。

- 64Hzカウンタ (R64CNT)
- 秒カウンタ (RSECCNT)
- 分カウンタ (RMINCNT)
- 時カウンタ (RHRCNT)
- 曜日カウンタ (RWKCNT)
- 日カウンタ (RDAYCNT)
- 月カウンタ (RMONCNT)
- 年カウンタ (RYRCNT)
- 秒アラームレジスタ (RSECAR)
- 分アラームレジスタ (RMINAR)
- 時アラームレジスタ (RHRAR)
- 曜日アラームレジスタ (RWKAR)
- 日アラームレジスタ (RDAYAR)
- 月アラームレジスタ (RMONAR)
- 年アラームレジスタ (RYRAR)
- RTCコントロールレジスタ1 (RCR1)
- RTCコントロールレジスタ2 (RCR2)
- RTCコントロールレジスタ3 (RCR3)

15. リアルタイムクロック (RTC)

15.3.1 64Hz カウンタ (R64CNT)

R64CNT は、分周回路 (RTC プリスケアラおよび R64CNT) のうち、64Hz~1Hz の状態を示します。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットに 1 をセットするか、RCR2 の ADJ ビットに 1 をセットすると、R64CNT は H'00 に初期化されます。

R64CNT は、読み出しのみ可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~0	—	—	R	64Hz カウンタ 6~0 の各ビットは、分周回路の 64Hz~1Hz の状態を表します。 ビット 対応周波数 6 : 1Hz 5 : 2Hz 4 : 4Hz 3 : 8Hz 2 : 16Hz 1 : 32Hz 0 : 64Hz

15.3.2 秒カウンタ (RSECCNT)

RSECCNT は、BCD コード化された秒部分の設定/カウント用のカウンタです。64Hz カウンタの 1 秒ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RSECCNT は、読み出し/書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	—	—	R/W	BCD コード化された秒カウンタの 10 の桁 設定可能範囲は 10 進で 0~5 です。
3~0	—	—	R/W	BCD コード化された秒カウンタの 1 の桁 設定可能範囲は 10 進で 0~9 です。

15.3.3 分カウンタ (RMINCNT)

RMINCNT は、BCD コード化された分部分の設定/カウント用のカウンタです。秒カウンタの1分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で00～59です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行ってください。

RMINCNTは、読み出し/書き込み可能な8ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6～4	—	—	R/W	BCDコード化された分カウンタの10の桁 設定可能範囲は10進で0～5です。
3～0	—	—	R/W	BCDコード化された分カウンタの1の桁 設定可能範囲は10進で0～9です。

15.3.4 時カウンタ (RHRCNT)

RHRCNTは、BCDコード化された時部分の設定/カウント用のカウンタです。分カウンタの1時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で00～23です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行ってください。

RHRCNTは、読み出し/書き込み可能な8ビットのレジスタで、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7～6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5～4	—	—	R/W	BCDコード化された時カウンタの10の桁 設定可能範囲は10進で0～2です。
3～0	—	—	R/W	BCDコード化された時カウンタの1の桁 設定可能範囲は10進で0～9です。

15. リアルタイムクロック (RTC)

15.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、曜日部分の設定／カウント用のカウンタです。日カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で0～6です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行ってください。

RWKCNT は、読み出し／書き込み可能な8ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7～3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2～0	—	—	R/W	BCDコード化された曜日コードのカウンタ 設定範囲は10進で0～6です。 曜日コード 曜日 0: 日曜日 1: 月曜日 2: 火曜日 3: 水曜日 4: 木曜日 5: 金曜日 6: 土曜日

15.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、BCDコード化された日部分の設定／カウント用のカウンタです。時カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で01～31ですが、月ごとおよびうるう年によって変化します。確認の上、設定してください。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行ってください。

RDAYCNT は、読み出し／書き込み可能な8ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7～6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5～4	—	—	R/W	BCDコード化された日カウンタの10の桁 設定可能範囲は10進で0～3です。
3～0	—	—	R/W	BCDコード化された日カウンタの1の桁 設定可能範囲は10進で0～9です。

15.3.7 月カウンタ (RMONCNT)

RMONCNT は、BCD コード化された月部分の設定／カウント用のカウンタです。日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01～12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RMONCNT は、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説 明
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	—	—	R/W	BCD コード化された月カウンタの 10 の桁 設定可能範囲は 10 進で 0～1 です。
3～0	—	—	R/W	BCD コード化された月カウンタの 1 の桁 設定可能範囲は 10 進で 0～9 です。

15.3.8 年カウンタ (RYRCNT)

RYRCNT は、BCD コード化された年部分の設定／カウント用のカウンタです。西暦の 4 桁を表します。月カウンタの年ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0000～9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RYRCNT は、読み出し／書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

年カウンタ値を 4 で割って、端数が 0 の場合をうるう年として判定しています。なお、年カウンタ値 : 0000 をうるう年に含みます。

ビット	ビット名	初期値	R/W	説 明
15～12	—	—	R/W	BCD コード化された年カウンタの 1000 の桁 設定可能範囲は 10 進で 0～9 です。
11～8	—	—	R/W	BCD コード化された年カウンタの 100 の桁 設定可能範囲は 10 進で 0～9 です。
7～4	—	—	R/W	BCD コード化された年カウンタの 10 の桁 設定可能範囲は 10 進で 0～9 です。
3～0	—	—	R/W	BCD コード化された年カウンタの 1 の桁 設定可能範囲は 10 進で 0～9 です。

15.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、秒カウンタ RSECNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビット、および RCR3 の YAEN ビットの中から 1 にセットされているものと、それに対応したカウンタ値との比較を行い、対象となるすべてが一致したとき、RTC アラーム割り込みを発生します。

秒アラームの設定可能範囲は、10 進で 00~59 です。それ以外の値が設定されると、正常に動作しません。

RSECAR は、読み出し/書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は 0 に初期化されます。RSECAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	秒アラームイネーブル アラーム条件として、RSECNT と RSECAR の一致比較を行うかを指定します。 0: 比較を行わない 1: 比較を行う
6~4	—	—	R/W	BCD コード化された秒アラーム設定値の 10 の桁 設定可能範囲は 10 進で 0~5 です。
3~0	—	—	R/W	BCD コード化された秒アラーム設定値の 1 の桁 設定可能範囲は 10 進で 0~9 です。

15.3.10 分アラームレジスタ (RMINAR)

RMINAR は、分カウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビット、および RCR3 の YAEN ビットの中から 1 にセットされているものと、それに対応したカウンタ値との比較を行い、対象となるすべてが一致したとき、RTC アラーム割り込みを発生します。

分アラームの設定可能範囲は、10 進で 00~59 ビットです。それ以外の値が設定されると、正常に動作しません。

RMINAR は、読み出し/書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	分アラームイネーブル アラーム条件として、RMINCNT と RMINAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6~4	—	—	R/W	BCD コード化された分アラーム値の 10 の桁 設定可能範囲は 10 進で 0~5 です。
3~0	—	—	R/W	BCD コード化された分アラーム値の 1 の桁 設定可能範囲は 10 進で 0~9 です。

15.3.11 時アラームレジスタ (RHRAR)

RHRAR は、時カウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビット、および RCR3 の YAEN ビットの中から 1 にセットされているものと、それに対応したカウンタ値との比較を行い、対象となるすべてが一致したとき、RTC アラーム割り込みが発生します。

時アラームの設定可能範囲は、10 進で 00~23 です。それ以外の値が設定されると、正常に動作しません。

RHRAR は、読み出し/書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RHRAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	時アラームイネーブル アラーム条件として、RHCNT と RHRAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~4	—	—	R/W	BCD コード化された時アラーム値の 10 の桁 設定可能範囲は 10 進で 0~2 です。
3~0	—	—	R/W	BCD コード化された時アラーム値の 1 の桁 設定可能範囲は 10 進で 0~9 です。

15. リアルタイムクロック (RTC)

15.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、曜日カウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビット、および RCR3 の YAEN ビットの中から 1 にセットされているものと、それに対応したカウンタ値との比較を行い、対象となるすべてが一致したとき、RTC アラーム割り込みを発生します。

曜日の設定可能範囲は、10 進で 0~6 です。それ以外の値が設定されると、正常に動作しません。

RWKAR は、読み出し／書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RWKAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	曜日アラームイネーブル アラーム条件として、RWKCNT と RWKAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	—	—	R/W	曜日アラームコード 設定範囲は 10 進で 0~6 です。 曜日コード 曜日 0 : 日曜日 1 : 月曜日 2 : 火曜日 3 : 水曜日 4 : 木曜日 5 : 金曜日 6 : 土曜日

15.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、日カウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビット、および RCR3 の YAEN ビットの中から 1 にセットされているものと、それに対応したカウンタ値との比較を行い、対象となるすべてが一致したとき、RTC アラーム割り込みを発生します。

日の設定可能範囲は、10 進で 01~31 です。それ以外の値が設定されると、正常に動作しません。RDAYCNT の設定可能範囲は、月およびうるう年によって変化します。確認の上、設定してください。

RDAYAR は、読み出し／書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RDAYAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	日アラームイネーブル アラーム条件として、RDAYCNT と RDAYAR の一致比較を行うかを指定します。 0: 比較を行わない 1: 比較を行う
6	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~4	—	—	R/W	BCD コード化された日アラーム値の 10 の桁 設定可能範囲は 10 進で 0~3 です。
3~0	—	—	R/W	BCD コード化された日アラーム値の 1 の桁 設定可能範囲は 10 進で 0~9 です。

15.3.14 月アラームレジスタ (RMONAR)

RMONAR は、月カウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビット、および RCR3 の YAEN ビットの中から 1 にセットされているものと、それに対応したカウンタ値との比較を行い、対象となるすべてが一致したとき、RTC アラーム割り込みを発生します。

月の設定可能範囲は、10 進で 01~12 です。それ以外の値が設定されると、正常に動作しません。

RMONAR は、読み出し/書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RMONAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	月アラームイネーブル アラーム条件として、RMONCNT と RMONAR の一致比較を行うかを指定します。 0: 比較を行わない 1: 比較を行う
6~5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	—	—	R/W	BCD コード化された月アラーム値の 10 の桁 設定可能範囲は 10 進で 0~1 です。
3~0	—	—	R/W	BCD コード化された月アラーム値の 1 の桁 設定可能範囲は 10 進で 0~9 です。

15. リアルタイムクロック (RTC)

15.3.15 年アラームレジスタ (RYRAR)

RYRAR は、年カウンタ RYRCNT に対応するアラームレジスタです。RCR3 の YAEN ビットが 1 にセットされていると、RYRCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビット、および RCR3 の YAEN ビットの中から 1 にセットされているものと、それに対応したカウンタ値との比較を行い、対象となるすべてが一致したとき、RTC アラーム割り込みを発生します。

年アラームの設定可能範囲は、10 進で 0000~9999 です。それ以外の値が設定されると正常に動作しません。

RYRAR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
15~12	—	—	R/W	BCD コード化された年アラーム値の 1000 の桁 設定可能範囲は 10 進で 0~9 です。
11~8	—	—	R/W	BCD コード化された年アラーム値の 100 の桁 設定可能範囲は 10 進で 0~9 です。
7~4	—	—	R/W	BCD コード化された年アラーム値の 10 の桁 設定可能範囲は 10 進で 0~9 です。
3~0	—	—	R/W	BCD コード化された年アラーム値の 1 の桁 設定可能範囲は 10 進で 0~9 です。

15.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。読み出しモディファイ書き込み処理は、オペランド読み出し後フラグがセットされる場合があるので使用しないでください。

RCR1 は、読み出し/書き込み可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されます。ただし、CF フラグは、リセット時に不定になります。CF フラグを使用する場合は、使用前に必ず初期化してください。スタンバイモード時には初期化されません。

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ 桁上げが発生したことを示すフラグです。このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ桁上げ時の読み出しが発生したことを示します。この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げまたは 64Hz カウンタ桁上げなし 【クリア条件】 CF に 0 をライトしたとき 1: 【セット条件】 秒カウンタ桁上げ、64Hz カウンタ桁上げ時の読み出しあり、または CF に 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
6	—	0	R	リザーブビット
5	—	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が1にセットされているとき、割り込み発生を許可するビットです。 0: CF フラグが1にセットされたとき、桁上げ割り込みを発生させない 1: CF フラグが1にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が1にセットされているとき、割り込み発生を許可するビットです。 0: AF フラグが1にセットされたとき、アラーム割り込みを発生させない 1: AF フラグが1にセットされたとき、アラーム割り込みを発生させる
2	—	0	R	リザーブビット
1	—	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	AF	0	R/W	アラームフラグ アラームレジスタで設定したアラーム時刻 (各アラームレジスタの ENB ビットおよび RCR3 の YAEN ビットに1を設定したレジスタのみ) と時計/カレンダーが一致したとき1にセットされるフラグです。 このフラグは、0をライトすると0にクリアされますが、1をライトしてもそれまでの値を保持します。 0: アラームレジスタと時計/カレンダーは不一致 【クリア条件】 AF に0をライトしたとき 1: 【セット条件】 アラームレジスタと時計/カレンダーが一致 (ENB ビットおよび YAEN ビットを1に設定したレジスタのみ)

15.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2は、周期的割り込み制御、30秒調整用 ADJ、分周回路 RESET、RTC カウントスタート/ストップ制御に関するレジスタです。

RCR2は、読み出し/書き込み可能な8ビットのレジスタです。パワーオンリセット時はH'09に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

15. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	<p>周期割り込みフラグ</p> <p>PES2～PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが1にセットされた場合、周期割り込みを発生します。</p> <p>0 : PES ビットで設定された周期で割り込み発生なし</p> <p>【クリア条件】 PEF に 0 をライトしたとき</p> <p>1 :</p> <p>【セット条件】 PES0～PES2 ビットで設定された周期で割り込み発生あり、または、PEF に 1 をライトしたとき</p>
6	PES2	0	R/W	割り込み周期
5	PES1	0	R/W	周期割り込みの周期を設定します。
4	PES0	0	R/W	<p>000 : 周期割り込み発生なし</p> <p>001 : 周期割り込み発生の周期を 1/256 秒ごとにする</p> <p>010 : 周期割り込み発生の周期を 1/64 秒ごとにする</p> <p>011 : 周期割り込み発生の周期を 1/16 秒ごとにする</p> <p>100 : 周期割り込み発生の周期を 1/4 秒ごとにする</p> <p>101 : 周期割り込み発生の周期を 1/2 秒ごとにする</p> <p>110 : 周期割り込み発生の周期を 1 秒ごとにする</p> <p>111 : 周期割り込み発生の周期を 2 秒ごとにする</p>
3	RTCEN	1	R/W	<p>発振器有効</p> <p>RTC 用水晶発振器の動作を制御します。</p> <p>0 : RTC 用水晶発振器を停止させる</p> <p>1 : RTC 用水晶発振器を動作させる</p>
2	ADJ	0	R/W	<p>30 秒調整 ADJ</p> <p>30 秒調整用であり、1 をライトすることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットをリードすると常に 0 が読み出されます。</p> <p>0 : 通常の時計動作</p> <p>1 : 30 秒の調整を行う</p>
1	RESET	0	R/W	<p>リセット</p> <p>1 をライトすることによって、分周回路 (RTC プリスケアラおよび R64CNT) が初期化されます。なお、このビットをリードすると常に 0 が読み出されます。</p> <p>0 : 通常の時計動作</p> <p>1 : 分周回路をリセット</p>
0	START	1	R/W	<p>START ビット</p> <p>カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。</p> <p>0 : 秒、分、時、日、週、月、年カウンタは停止*</p> <p>1 : 秒、分、時、日、週、月、年カウンタは通常動作*</p> <p>【注】 * 64Hz カウンタは RTCEN ビットで停止させないかぎりは動作します</p>

15.3.18 RTC コントロールレジスタ 3 (RCR3)

RCR3 は、RTC の BCD コード化された年部分のカウンタ RYRCNT と年アラームレジスタ RYRAR との比較制御に関するレジスタです。

RCR3 レジスタは、読み出し／書き込み可能な 8 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	YAEN	0	R/W	年アラームイネーブル 本ビットが 1 に設定されると、年アラームレジスタ (RYRAR) と年カウンタ (RYRCNT) との比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の ENB ビットおよび本ビットの中から 1 にセットされているものとそれに対応したカウンタ値との比較を行い、対象となるすべて一致したとき、RTC アラーム割り込みを発生します。
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

15.4 動作説明

15.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

15.4.2 時刻設定手順

時計を停止させて時刻を設定する方法を図 15.2 に示します。

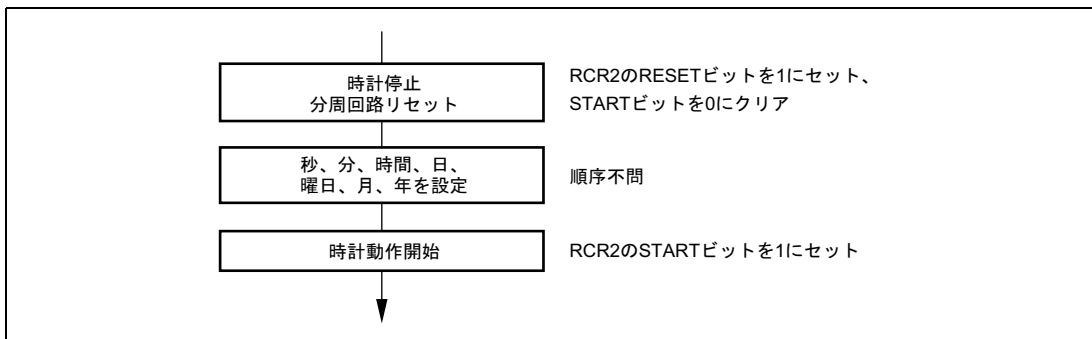


図 15.2 時刻設定手順

15.4.3 時刻読み出し手順

時刻読み出し手順を図 15.3 に示します。

時刻読み出し期間中に桁上げが起こると、正しい時刻が得られないため、再読み出しする必要があります。割り込みを使用しない方法を (a) に、割り込みを使用する方法を (b) に示します。通常、プログラムの簡素化のため割り込みを使用しない方法を使用します。

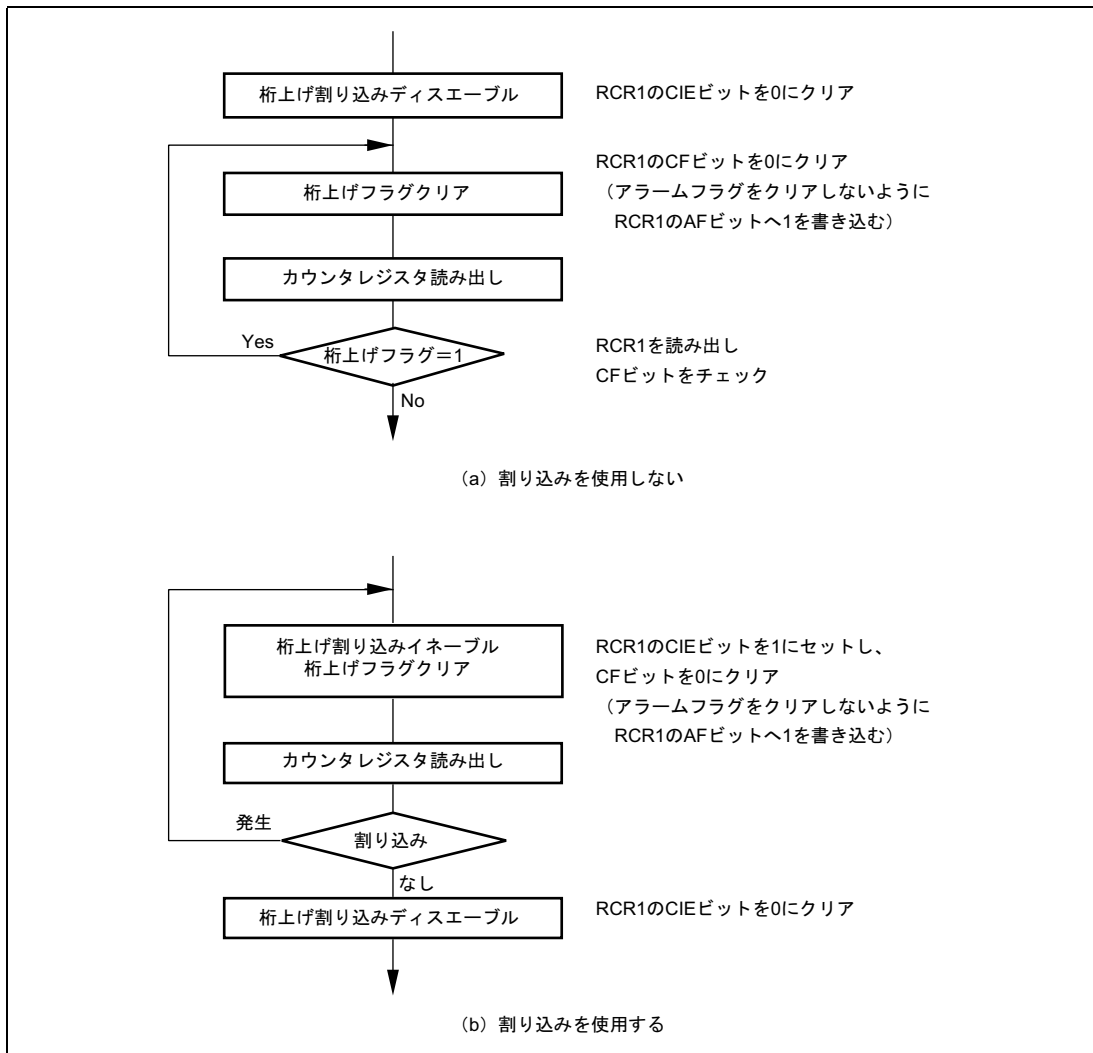


図 15.3 時刻読み出し手順

15.4.4 アラーム機能

アラーム機能の使用方法を図 15.4 に示します。

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするレジスタは、ENB ビットもしくは YAEN ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットもしくは YAEN ビットに 0 を書き込みます。

時計とアラーム時刻が一致した場合、RCR1 の AF ビットに 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込み機能を使用します。RCR1 の AIE ビットに 1 を書き込んでおけば、アラーム時にアラーム割り込みが発生し、検出することができます。

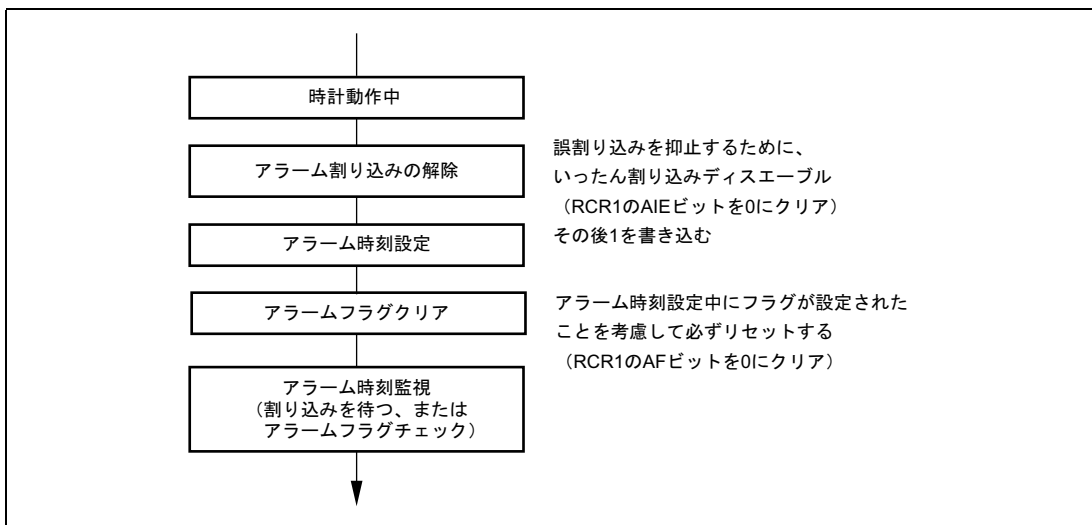


図 15.4 アラーム機能の使用方法

15. リアルタイムクロック (RTC)

15.4.5 水晶発振回路

水晶発振回路の各定数（推奨値）を表 15.2 RTC 用水晶発振回路を図 15.5 に示します。

表 15.2 推奨発振回路の定数（推奨値）

f_{osc}	C_{in}	C_{out}
32.768kHz	10~22pF	10~22pF

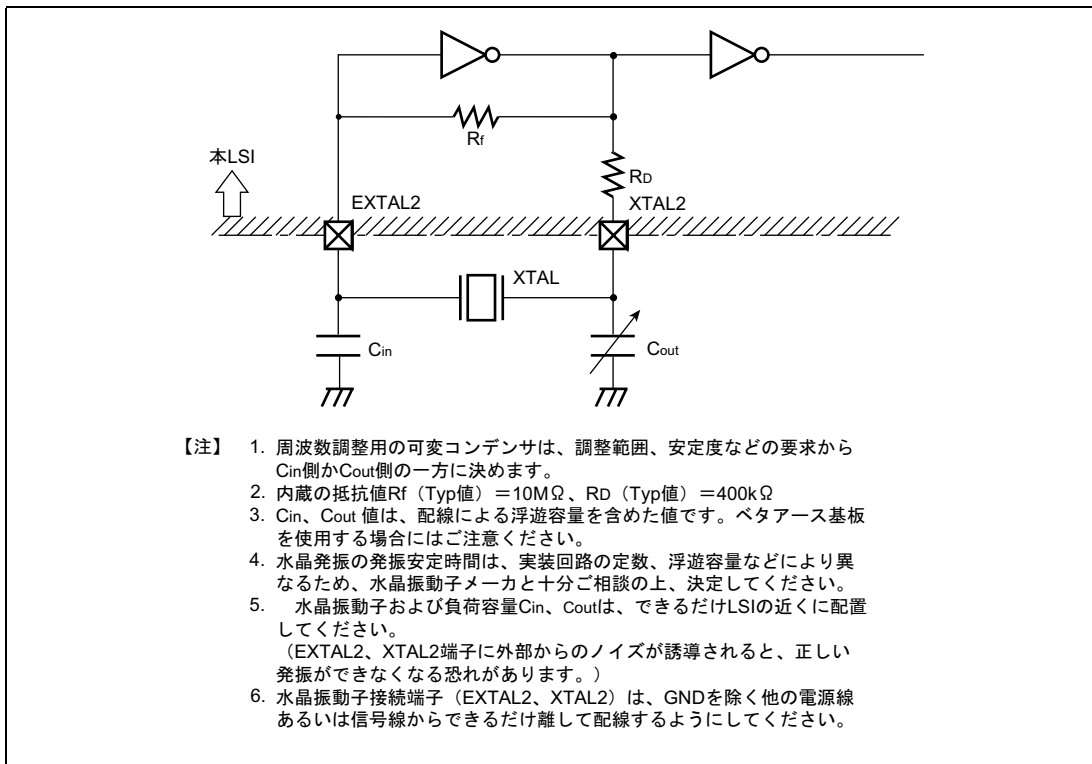


図 15.5 水晶発振回路接続例

15.5 使用上の注意事項

15.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2.START ビット=1)、以下の RTC のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

15.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込み機能の使用方法を図 15.6 に示します。

周期割り込みは、RCR2 の PES0～PES2 で設定した周期で定期的に割り込みを発生させることができます。PES0～PES2 で設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES0～PES2 設定時、周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

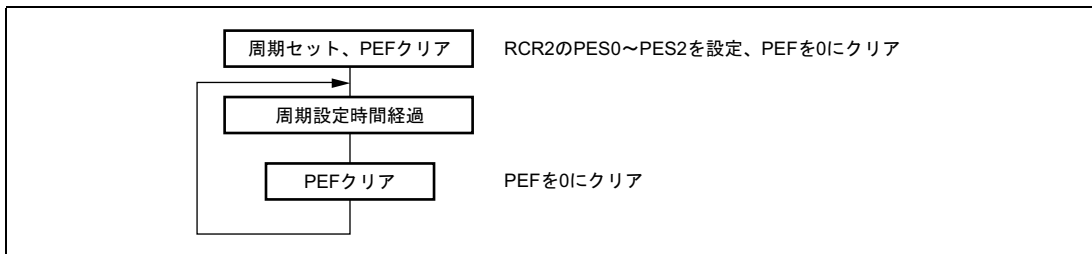


図 15.6 周期割り込み機能の使用方法

15.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は 2RTC クロック以上待ってからスタンバイ状態に遷移してください。

16. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、2 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。

SCIF は、調歩同期式とクロック同期式のシリアル通信ができます。

送受信に FIFO レジスタを各々 64 段内蔵しており、効率の良い高速連続通信を行うことができます。

16.1 特長

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7ビット、または8ビット

ストップビット長 : 1ビット、または2ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

LSBファースト

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 :

フレーミングエラーが発生し、引き続き1フレーム長以上スペース0 (ローレベル) の場合、ブレークを検出します。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能です。

データ長 : 8ビット

LSBファースト

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともに64段のFIFOバッファ構造になっていますのでシリアルデータの高速連続送信、連続受信ができます。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能。
- 調歩同期式モード時は6種類の割り込み要因
送信データストップ割り込み、送信FIFOデータエンプティ、受信FIFOデータフル、受信エラー（フレーミングエラー／パリティエラー）割り込み、ブレーク受信割り込み、レシーブデータレディ割り込みの6種類の割り込み要因があります。
- クロック同期式モード時は2種類の割り込み要因
送信FIFOデータエンプティと受信FIFOデータフルの2種類の割り込み要因があります。
- 送信FIFOデータエンプティ時と送信データストップ時、受信FIFOデータフル時にDMAコントローラ（DMAC）を起動させてデータの転送を行うことができます。ただし、送信FIFOデータエンプティと送信データストップのDMAC要求は共通です。
- モデムコントロール機能（ $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ ）を内蔵しています。
- 送信データストップ機能（調歩同期式モードのみ）を内蔵しています。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。

図 16.1 に SCIF のブロック図を示します。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

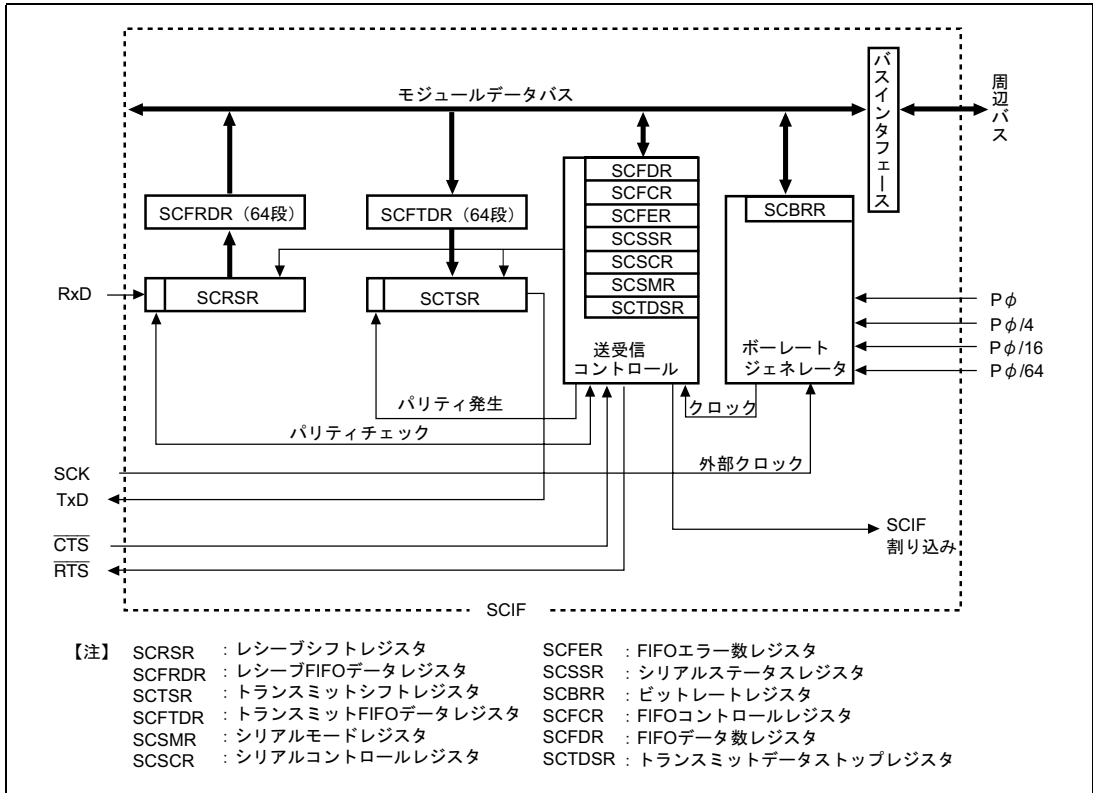


図 16.1 SCIF のブロック図

16.2 入出力端子

SCIF の端子構成を表 16.1 に示します。

表 16.1 端子構成

チャンネル	名 称		略称*1	入出力	機 能
0	シリアルクロック端子	SCK0	SCK	入出力	クロック入出力
	レシーブデータ端子	RxD0	RxD*2	入力	受信データ入力
	トランスミットデータ端子	TxD0	TxD*2	出力	送信データ出力
	モデムコントロール端子	$\overline{\text{CTS}}0$	$\overline{\text{CTS}}$	入力	送信可
	モデムコントロール端子	$\overline{\text{RTS}}0$	$\overline{\text{RTS}}$	出力	送信要求
2	シリアルクロック端子	SCK2	SCK	入出力	クロック入出力
	レシーブデータ端子	RxD2	RxD*2	入力	受信データ入力
	トランスミットデータ端子	TxD2	TxD*2	出力	送信データ出力
	モデムコントロール端子	$\overline{\text{CTS}}2$	$\overline{\text{CTS}}$	入力	送信可
	モデムコントロール端子	$\overline{\text{RTS}}2$	$\overline{\text{RTS}}$	出力	送信要求

【注】 *1 本文中では、チャンネルを省略し、総合の名称として SCK、RxD、TxD、 $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ を使用します。

*2 SCIF の動作設定を SCSCR の TE、RE ビットで行うことにより、シリアル端子として機能します。

16.3 レジスタの説明

本モジュールには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

(1) チャンネル 0

- シリアルモードレジスタ_0 (SCSMR_0)
- ビットレートレジスタ_0 (SCBRR_0)
- シリアルコントロールレジスタ_0 (SCSCR_0)
- トランスミットデータストップレジスタ_0 (SCTDSR_0)
- FIFOエラー数レジスタ_0 (SCFER_0)
- シリアルステータスレジスタ_0 (SCSSR_0)
- FIFOコントロールレジスタ_0 (SCFCR_0)
- FIFOデータ数レジスタ_0 (SCFDR_0)
- トランスミットFIFOデータレジスタ_0 (SCFTDR_0)
- レシーブFIFOデータレジスタ_0 (SCFRDR_0)

(2) チャンネル 2

- シリアルモードレジスタ_2 (SCSMR_2)
- ビットレートレジスタ_2 (SCBRR_2)
- シリアルコントロールレジスタ_2 (SCSCR_2)
- トランスミットデータストップレジスタ_2 (SCTDSR_2)
- FIFOエラー数レジスタ_2 (SCFER_2)
- シリアルステータスレジスタ_2 (SCSSR_2)
- FIFOコントロールレジスタ_2 (SCFCR_2)
- FIFOデータ数レジスタ_2 (SCFDR_2)
- トランスミットFIFOデータレジスタ_2 (SCFTDR_2)
- レシーブFIFOデータレジスタ_2 (SCFRDR_2)

16.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタである SCFRDR へ転送されます。

CPU から直接 SCRSR の読み出し/書き込みをすることはできません。

16.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。このあと、SCRSR は受信可能になり、レシーブ FIFO データレジスタがいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、レシーブ FIFO データレジスタに受信データがない状態で読み出した値は不定値になります。レシーブ FIFO データレジスタ内の受信データがいっぱいになると、以降のシリアルデータは失われます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFRD7~0	不定	R	シリアル受信データ用 FIFO

16.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。

16.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、トランスミットシフトレジスタ (SCTSR) が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。

SCFTDR 内の送信データが 64 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFTD7~0	不定	W	シリアル送信データ用 FIFO

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

16.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、読み出し/書き込み可能な 16 ビットのレジスタで、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソース、サンプリングレートを選択します。

ビット	ビット名	初期値	R/W	説明	
15	—	0	R	リザーブビット	
14	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
13	—	0	R		
12	—	0	R		
11	—	0	R		
10	SRC2	0	R/W		サンプリングコントロール
9	SRC1	0	R/W	サンプリングレートを選択します。本設定は、調歩同期式モード時のみ有効となります。 000 : サンプリングレート 1/16 001 : サンプリングレート 1/5 010 : サンプリングレート 1/11 011 : サンプリングレート 1/13 100 : サンプリングレート 1/29 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止	
8	SRC0	0	R/W		
7	C/A	0	R/W		コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W		キャラクタレングス データ長を 7 ビット/8 ビットデータのいずれかから選択します。 本ビットは調歩同期式モード時のみ有効です。クロック同期式モードでは、CHR ビットの設定にかかわらず、データ長は 8 ビットデータ固定です。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、トランスミット FIFO データレジスタ (SCFTDR) の MSB (ビット 7) は送信されません。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説 明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。本設定は、調歩同期式モード時のみ有効です。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*</p> <p>【注】 * PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可した時のみ有効になります。クロック同期式モードや、調歩同期式モードで、パリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹ 1 : 奇数パリティ*²</p> <p>【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを1ビット/2ビットのいずれかから選択します。</p> <p>なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>本設定は調歩同期式モード時のみ有効です。クロック同期式モードでは、ストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0: 1ストップビット*¹</p> <p>1: 2ストップビット*²</p> <p>【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00: Pφ</p> <p>01: Pφ/4</p> <p>10: Pφ/16</p> <p>11: Pφ/64</p>

【注】 クロック同期式モード(C/Aビット=1)に設定した場合、CKS1/0ビット以外のビットは0に固定されます。

16.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCRは、読み出し/書き込み可能な16ビットのレジスタで、SCIFの送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行います。

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
11	TSIE	0	R/W	<p>トランスミットデータストップインタラプトイネーブル</p> <p>SCFCRのTSEビットがイネーブルでかつSCSSRのTSFフラグが1にセットされたとき、トランスミットデータストップ要因による割り込みの発生を許可/禁止します。</p> <p>0: 送信データストップ割り込みを禁止*</p> <p>1: 送信データストップ割り込みを許可</p> <p>【注】 * 割り込み要求の解除は、TSFフラグの1を読み出したあと、0にクリアするかまたはTSIEを0にクリアすることで行うことができます。</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
10	ERIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>SCSSR の ER フラグが 1 にセットされたとき、受信エラー（フレーミングエラー／パリティエラー）要因による割り込みの発生を許可／禁止します。</p> <p>0：受信エラー割り込みを禁止*</p> <p>1：受信エラー割り込みを許可</p> <p>【注】* 割り込み要求の解除は、ER フラグの 1 を読み出したあと、0 にクリアするか、ERIE ビットを 0 にクリアすることで行えます。</p>
9	BRIE	0	R/W	<p>ブレークインタラプトイネーブル</p> <p>SCSSR の BRK フラグが 1 にセットされたとき、ブレーク受信要因による割り込みの発生を許可／禁止します。</p> <p>0：ブレーク受信割り込みを禁止*</p> <p>1：ブレーク受信割り込みを許可</p> <p>【注】* 割り込み要求の解除は、BRK フラグの 1 を読み出したあと、0 にクリアするか、BRIE ビットを 0 にクリアすることで行えます。</p>
8	DRIE	0	R/W	<p>レシーブデータレディインタラプトイネーブル</p> <p>SCSSR の DR フラグが 1 にセットされたとき、レシーブデータレディ要因による割り込みの発生を許可／禁止します。</p> <p>0：レシーブデータレディ割り込みを禁止*</p> <p>1：レシーブデータレディ割り込みを許可</p> <p>【注】* 割り込み要求の解除は、DR フラグの 1 を読み出したあと、0 にクリアするか、DRIE ビットを 0 にクリアすることで行えます。</p>
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCSSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ要因による割り込み要求の発生を許可／禁止します。</p> <p>0：送信 FIFO データエンプティ割り込み要求を禁止*</p> <p>1：送信 FIFO データエンプティ割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、SCFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE フラグの 1 を読み出したあと、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCSSR の RDF フラグが 1 にセットされたときの受信 FIFO データフル要因による割り込み要求の発生を許可／禁止します。</p> <p>0：受信 FIFO データフル割り込み要求を禁止*</p> <p>1：受信 FIFO データフル割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、RDF フラグの 1 を読み出したあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可/禁止します。</p> <p>0: 送信動作を禁止</p> <p>1: 送信動作を許可*</p> <p>【注】 * TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作の開始を許可/禁止します。</p> <p>0: 受信動作を禁止*¹</p> <p>1: 受信動作を許可*²</p> <p>【注】 *¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*² RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	—	0	R	リザーブビット
2	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CKE1	0	R/W	<p>クロックイネーブル</p> <p>クロックソースを設定します。SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。</p> <p>00: 内部クロック/SCK 端子は入力端子 (入力信号は無視)</p> <p>01: 内部クロック/SCK 端子は同期クロック出力*¹</p> <p>10: 外部クロック/SCK 端子はクロック入力*²</p> <p>11: 外部クロック/SCK 端子はクロック入力*²</p> <p>内蔵ポーレートジェネレータでデータをサンプリングする場合は、CKE1、0 ビットを B'00 (内部クロック/SCK0 端子は入力端子 (入力信号は無視)) と設定してください。</p> <p>また、SCK 端子をポートとして使用する場合、CKE1、0 ビットを B'00 に設定してください。</p> <p>【注】 *¹ クロック同期式モードの場合、ビットレートと同じ周波数のクロックを出力</p> <p>*² 調歩同期式モードの場合、サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが 1/16 の場合、ビットレートの 8 倍の周波数のクロックを入力してください。</p> <p>外部クロックを入力しない場合は、CKE1、CKE0 ビットを B'00 または B'01 に設定してください。</p>
0	CKE0	0	R/W	

16.3.7 FIFO エラー数レジスタ (SCFER)

SCFER は、読み出し専用の 16 ビットのレジスタで、データの受信エラー（フレーミングエラー／パリティエラー）数を示します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PER5	0	R	パリティエラー数
12	PER4	0	R	調歩同期モード時に、レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。
11	PER3	0	R	
10	PER2	0	R	
9	PER1	0	R	SCSSR の ER ビットがセットされたあと、ビット 13~8 で示される値がパリティエラー発生データ数を表示します。
8	PER0	0	R	SCFRDR の 64 バイトの受信データすべてがパリティエラーをとまなう場合、PER5~PER0 は 0 を表示します。
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	FER5	0	R	フレーミングエラー数
4	FER4	0	R	調歩同期モード時に、レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。
3	FER3	0	R	
2	FER2	0	R	
1	FER1	0	R	SCSSR の ER ビットがセットされたあと、ビット 5~0 で示される値がフレーミングエラーの発生しているデータ数を表示します。
0	FER0	0	R	SCFRDR の 64 バイトの受信データすべてがフレーミングエラーをとまなう場合、FER5~FER0 は 0 を表示します。

16.3.8 シリアルステータスレジスタ (SCSSR)

SCSSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ステータスを示します。

ただし、ORER、TSF、ER、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグ、FER フラグおよび PER フラグは読み出し専用であり、書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	—	0	R	
12	—	0	R	
11	—	0	R	
10	—	0	R	
9	ORER	0	R/(W)*	<p>オーバーランエラーフラグ</p> <p>受信時にオーバーランエラーが発生したことを示します。</p> <p>本ビットは調歩同期モード時のみ有効となります。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) ORER=1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: 受信時にオーバーランエラーが発生したことを表示*²</p> <p>【セット条件】</p> <p>受信 FIFO フルの状態で次のシリアル受信を完了したとき</p> <p>【注】 *¹ SCSSR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² SCFRDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER =1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>
8	TSF	0	R/(W)*	<p>トランスミットデータストップフラグ</p> <p>送信データ数が、SCTDSR の設定値と一致したことを示します。</p> <p>0: 送信データ数が SCTDSR の値と一致していない</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) TSF=1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: 送信データ数が SCTDSR の値と一致</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/(W)*	<p>レシーブエラー</p> <p>調歩同期式モードで、受信時にフレーミングエラー、パリティエラーが発生したことを示します。*1</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) ER=1の状態を読み出したあと、0を書き込んだとき</p> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>【セット条件】</p> <p>(1) 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*2</p> <p>(2) 受信時の受信データとパリティビットをあわせた1の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数/奇数パリティの設定と一致しなかったとき</p> <p>【注】 *1 SCSCR の RE ビットを0にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出したデータに受信エラーがあるかどうかは、SCSSR の FER、PER ビットで判定できます。</p> <p>*2 ストップレングスが2ビットのときは1ビット目のストップビットが1であるかどうかのみを判定し2ビット目のストップビットはチェックしません。</p>
6	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>【クリア条件】</p> <p>SCFTDR ヘデータを書き込んだとき</p> <p>1: 送信を終了したことを表示</p> <p>【セット条件】</p> <p>1バイトのシリアル送信キャラクタの送信時に SCFTDR に送信データがないとき</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>トランスミット FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ、SCFTDR 内のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>【クリア条件】</p> <p>SCFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE=1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>【セット条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*</p> <p>【注】 * SCFTDR は 64 バイトの FIFO レジスタですので TDFE=1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFCR に示されます。</p>
4	BRK	0	R/(W)*	<p>ブ레이크検出</p> <p>調歩同期式モードで、受信データのブ레이크信号の検出を示します。</p> <p>0: ブ레이크信号を受信していないことを表示</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) BRK=1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: ブ레이크信号を受信したことを表示*</p> <p>【セット条件】</p> <p>フレーミングエラーをとまなうデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合</p> <p>【注】 * ブ레이크検出すると検出後の受信データ (H'00) の SCFCR 転送は停止します。</p> <p>ブ레이크が終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのフレーミングエラーを表示します。</p> <p>0: SCFRDR から読み出した受信データにフレーミングエラーがないことを表示</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 読み出しデータにフレーミングエラーなし</p> <p>1: SCFRDR から読み出した受信データにフレーミングエラーが発生していることを表示</p> <p>【セット条件】</p> <p>SCFRDR 読み出しデータにフレーミングエラーあり</p>
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのパリティエラーを表示します。</p> <p>0: SCFRDR から読み出した受信データにパリティエラーがないことを表示</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 読み出しデータにパリティエラーなし</p> <p>1: SCFRDR から読み出した受信データにパリティエラーが発生していることを表示</p> <p>【セット条件】</p> <p>SCFRDR 読み出しデータにパリティエラーあり</p>
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信したデータがレシーブシフトレジスタ (SCRSR) からレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR 内の受信データ数が、FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0: SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、RDF=1 を読み出したあと、0 を書き込んだとき</p> <p>1: SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>【セット条件】</p> <p>SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*</p> <p>【注】*1 SCFRDR は 64 バイトの FIFO レジスタです。RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFDR の下位ビットに示されます。</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
0	DR	0	R/(W) *	<p>レシーブデータレディ</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) に受信トリガ設定数未満のデータがあり、かつ次のデータが来ないことを示します。</p> <p>0: 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示。</p> <p>【クリア条件】</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 内の受信データをすべて読み出し、DR=1 を読み出したあと、0 を書き込んだとき</p> <p>1: 次の受信データが来ないことを表示</p> <p>【セット条件】</p> <p>SCFRDR に受信トリガ設定数未満のデータがあり、かつ次のデータが来ないとき*1</p> <p>【注】 *1 DR ビットのセットタイミングは、SCSMR のサンプリングコントロールビットの設定に関わらず、サンプリングレート 1/16 での 15etu 後となります。</p> <p>【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間)</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

16.3.9 ビットレートレジスタ (SCBRR)

SCBRR は、読み出し/書き込み可能な 8 ビットのレジスタで、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定します。

ビット	ビット名	初期値	R/W	説明
7~0	SCBRD7~0	H'FF	R/W	ビットレート設定

SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モードのとき】

(サンプリングレート 1/16 の場合)

$$N = \frac{P \phi}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプリングレート 1/5 の場合)

$$N = \frac{P \phi}{10 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプリングレート 1/11 の場合)

$$N = \frac{P \phi}{22 \times 2^{2n-1} \times B} \times 10^6 - 1$$

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(サンプリングレート 1/13 の場合)

$$N = \frac{P\phi}{26 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプリングレート 1/29 の場合)

$$N = \frac{P\phi}{58 \times 2^{2n-1} \times B} \times 10^6 - 1$$

【クロック同期式モードのとき】

$$N = \frac{P\phi}{4 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの **SCBRR** の設定値

調歩同期式モード時 (0 ≤ N ≤ 255)

クロック同期式モード時 (1 ≤ N ≤ 255)

Pφ : 周辺モジュール動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、次表を参照してください)

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

(サンプリングレート 1/16 の場合)

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{(1+N) \times B \times 32 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプリングレート 1/5 の場合)

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{(1+N) \times B \times 10 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプリングレート 1/11 の場合)

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{(1+N) \times B \times 22 \times 2^{2n-1}} - 1 \right) \times 100$$

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(サンプリングレート 1/13 の場合)

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{(1+N) \times B \times 26 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプリングレート 1/29 の場合)

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{(1+N) \times B \times 58 \times 2^{2n-1}} - 1 \right) \times 100$$

16.3.10 FIFO コントロールレジスタ (SCFCR)

SCFCR は、読み出し/書き込み可能な 16 ビットのレジスタで、送信、受信おのおの FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行います。また、ループバックテストの許可ビットを含んでいます。

ビット	ビット名	初期値	R/W	説明
15	TSE	0	R/W	トランスミットデータストップイネーブル 送信データストップ機能を許可/禁止します。本機能は、調歩同期式でのみ設定可能です。クロック同期式では本機能はサポートしていないので、本ビットは 0 に設定してください。 0 : 送信データストップ機能を禁止 1 : 送信データストップ機能を許可
14	TCRST	0	R/W	トランスミットカウントリセット 送信カウン트를 0 にクリアします。本ビットは、送信データストップ機能使用時のみ有効となります。 0 : 送信カウントリセットを禁止* 1 : 送信カウントリセットを許可 (0 にクリア) 【注】* パワーオンリセット、マニュアルリセット時には送信カウントリセット (0 にクリア) が行われます。
13	—	0	R	リザーブビット
12	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	—	0	R	
10	RSTRG2	0	R/W	RTS 出力アクティブトリガ レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 000 : 63 001 : 1 010 : 8 011 : 16 100 : 32 101 : 48 110 : 54 111 : 60
9	RSTRG1	0	R/W	
8	RSTRG0	0	R/W	

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
7 6	RTRG1 RTRG0	0 0	R/W R/W	<p>レシーブ FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCSSR) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。</p> <p>レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示す受信トリガ設定数以上になったとき RDF フラグをセットします。</p> <p>00 : 1 01 : 16 10 : 32 11 : 48</p>
5 4	TTRG1 TTRG0	0 0	R/W R/W	<p>トランスミット FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCSSR) のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作によりトランスミット FIFO データレジスタ (SCFTDR) 内の送信データ数が、以下に示す送信トリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 32 (32) 01 : 16 (48) 10 : 2 (62) 11 : 0 (64)</p> <p>【注】 () 内の値はフラグ発生時の SCFTDR の空き数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 CTS、RTS を有効にします。</p> <p>本ビットは、調歩同期式モード時のみ有効です。</p> <p>0 : モデム信号を無効* 1 : モデム信号を有効</p> <p>【注】 * CTS は入力値にかかわらず 0 アクティブに、RTS は 0 に固定します。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止* 1 : リセット動作を許可</p> <p>【注】 * パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。</p>

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	RFRST	0	R/W	レシーブ FIFO データレジスタリセット レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (TxD) と受信入力端子 (RxD)、RTS 端子と CTS 端子を内部で接続し、ループバックテストを可能にします。 0: ループバックテストを禁止 1: ループバックテストを許可

16.3.11 FIFO データ数レジスタ (SCFDR)

SCFDR は、読み出し専用の 16 ビットのレジスタで、トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) 内に格納されているデータ数を示します。

ビット 14~8 で SCFTDR 内の送信データ数を、ビット 6~0 で SCFRDR 内の受信データ数を示します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	T6	0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCFTDR にいっぱい送信データが格納されていることを示します。
13	T5	0	R	
12	T4	0	R	
11	T3	0	R	
10	T2	0	R	
9	T1	0	R	
8	T0	0	R	
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	R6	0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCFRDR にいっぱい受信データが格納されていることを示します。
5	R5	0	R	
4	R4	0	R	
3	R3	0	R	
2	R2	0	R	
1	R1	0	R	
0	R0	0	R	

16.3.12 トランスミットデータストップレジスタ (SCTDSR)

SCTDSR は、読み出し/書き込み可能な 8 ビットレジスタで、送信データ数を設定します。本レジスタは FIFO コントロールレジスタ (SCFCR) の TSE ビットがイネーブル時のみ有効となります。送信動作は、本レジスタで設定したデータ数を送信すると停止します。設定可能な値は、H'00 (1 バイト) ~H'FF (256 バイト) です。本機能は調歩同期式モードでのみ有効です。

本レジスタの初期値は H'FF です。

16.4 動作説明

16.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期モードと、クロックに同期してシリアル通信を行うクロック同期式モードをサポートしています。

送受信各々に 64 段のパッファを内蔵しており、CPU のオーパヘッドを減らし、高速連続通信が可能です。

16.4.2 調歩同期式モード

以下に調歩同期式モードについて説明します。

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 16.2 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットで決まります。

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、レシーブFIFOデータフル、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタおののの格納データ数を表示
- クロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：

ボーレートジェネレータのクロックで動作

外部クロックを選択した場合：

サンプリングレートにあわせたクロックを入力することが必要。たとえば、サンプリングレートが1/16の場合、ビットレートの8倍の周波数のクロックを入力することが必要

(内蔵ボーレートジェネレータを使用しない)

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 16.2 SCSMR の設定値とシリアル送信／受信フォーマット

SCSMR の設定値			モード	SCIF の送信／受信フォーマット				
ビット 6	ビット 5	ビット 3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長	
CHR	PE	STOP						
0	0	0	調歩同期式 モード	8 ビット データ	なし	なし	1 ビット	
		1					2 ビット	
	1	0				あり	1 ビット	
		1					2 ビット	
1	0	0		7 ビット データ		なし	なし	1 ビット
		1						2 ビット
	1	0				あり	1 ビット	
		1					2 ビット	

16.4.3 調歩同期式モードのシリアル動作

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、表 16.3 に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 16.3 シリアル送信／受信フォーマット

SCSMR の設定			シリアル送信／受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIFの送受信クロックは、シリアルコントロールレジスタ (SCSCR) のCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、またはSCK端子から入力された外部クロックの2種類から選択できます。

外部クロックをSCK端子に入力する場合には、サンプリングレートにあわせたクロックを入力してください。たとえば、サンプリングレートが1/16の場合、ビットレートの8倍の周波数のクロックを入力してください。

(3) データの送信／受信動作

(a) SCIFの初期化

データの送信／受信前には、まずSCSCRのTEビット、およびREビットを0にクリアしたあと、以下の順でSCIFを初期化してください。

通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、トランスミットシフトレジスタ (SCTSR) が初期化されます。TE、REビットを0にクリアしても、シリアルステータスレジスタ (SCSSR)、トランスミットFIFOデータレジスタ (SCFTDR) および、レシーブFIFOデータレジスタ (SCFRDR) の内容は保持されますので注意してください。TEビットの0クリアは、送信データをすべて送信しSCSSRのTENDビットが1にセットされたあとに行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、ハイインピーダンス状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットをいったん1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 16.2 に SCIF の初期化フローチャートの例を示します。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

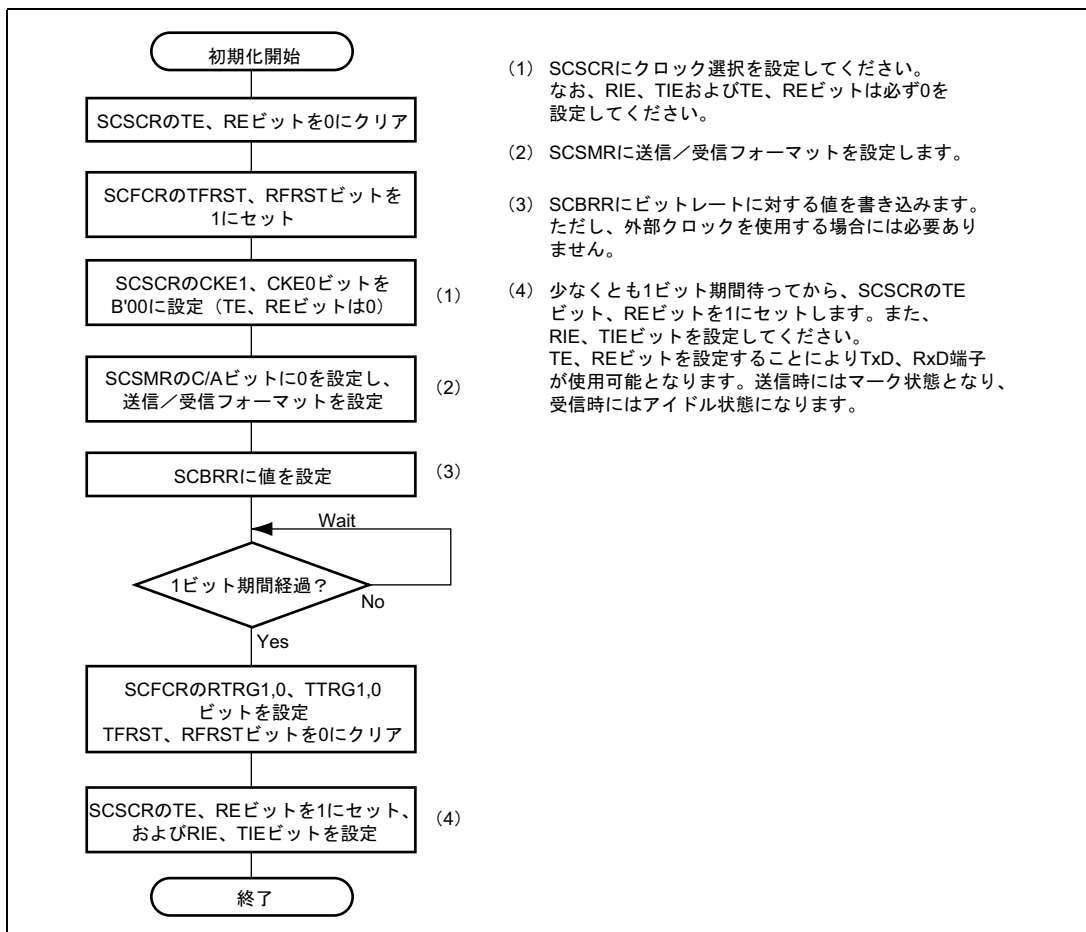


図 16.2 SCIF の初期化フローチャートの例

(b) シリアルデータ送信

図 16.3 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定したあと、以下の手順を参考に行ってください。

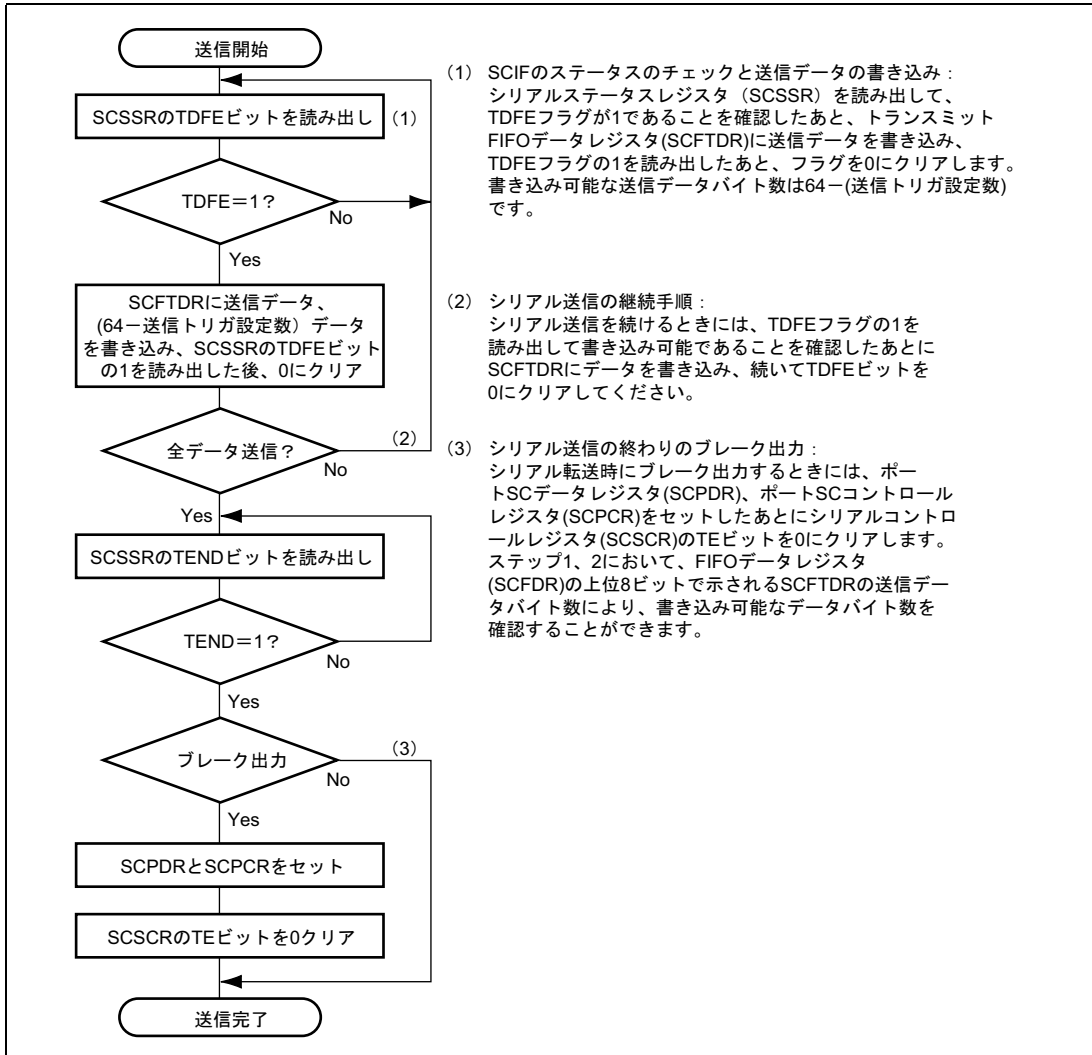


図 16.3 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

- SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送し、送信を開始します。SCFTDRにはシリアルステータスレジスタ (SCSSR) のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも (64-送信トリガ設定) 数です。
- SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になったとき、TDFEフラグをセットします。

このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータ

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

エンプティ要因による割り込み要求を発生します。

送信データストップ機能使用時、トランスミットデータストップレジスタ (SCTDSR) に設定したデータ数と一致すると、送信動作を停止し、シリアルステータスレジスタ (SCSSR) のTSFフラグをセットします。このとき、シリアルコントロールレジスタ (SCSCR) のTSIEビットが1にセットされていると送信データストップ要因による割り込み要求を発生します。ただし、送信FIFOデータエンプティ割り込みと送信データストップ割り込みのベクタは共通です。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
- 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- パリティビット（偶数パリティ、または奇数パリティ）が出力されます。
- なお、パリティビットを出力しないフォーマットも選択できます。
- ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
- マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。

データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出したあと、次フレームのシリアル送信を開始します。

送信データがないとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。

調歩同期式モードの送信時の動作例を図 16.4 に示します。

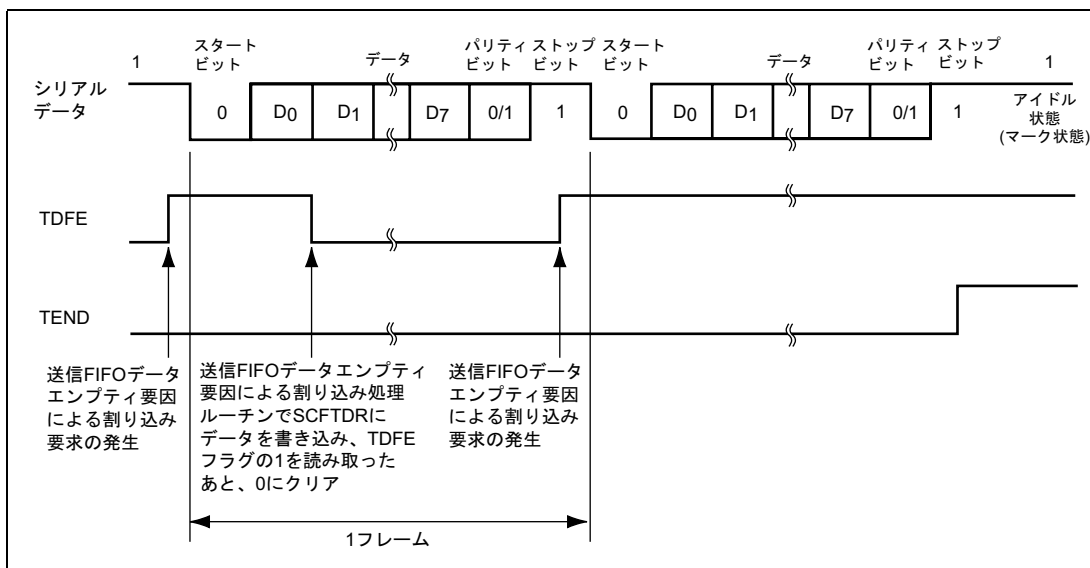


図 16.4 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

送信データストップ機能

送信データストップ機能とは、SCTDSRレジスタの値と送信データ数が一致すると、送信動作を停止する機能です。TSIEビット（割り込みイネーブルビット）をセットしておくことで、割り込みの発生およびDMACの起動を行うことができます。

送信データストップ機能の動作例を図 16.5 に示します。

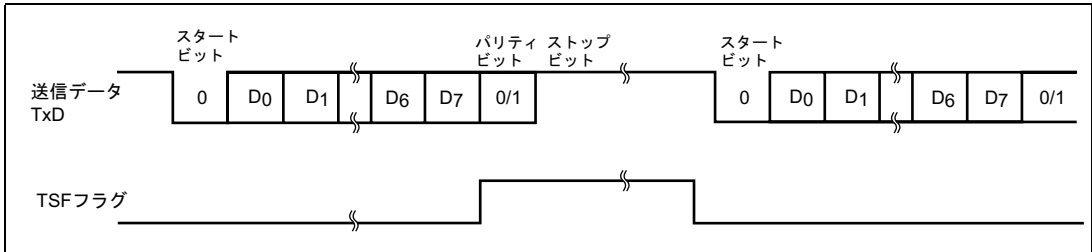


図 16.5 送信データストップ機能の動作例

次に、送信データストップ機能のフローチャートを図 16.6 に示します。

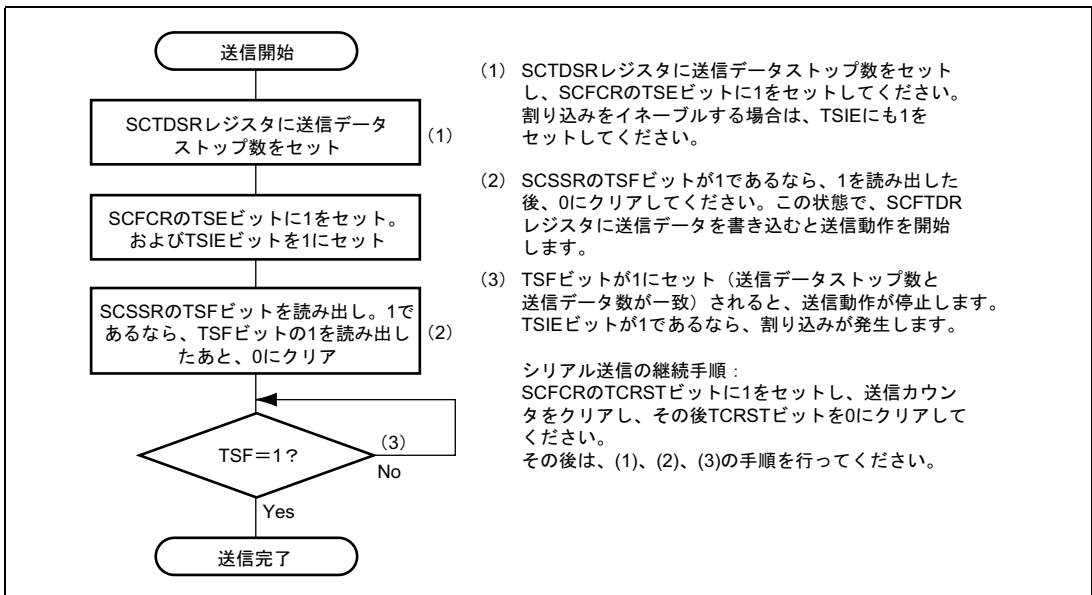


図 16.6 送信データストップ機能のフローチャート

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(c) シリアルデータ受信

図 16.7、図 16.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定したあと、以下の手順に従って行ってください。

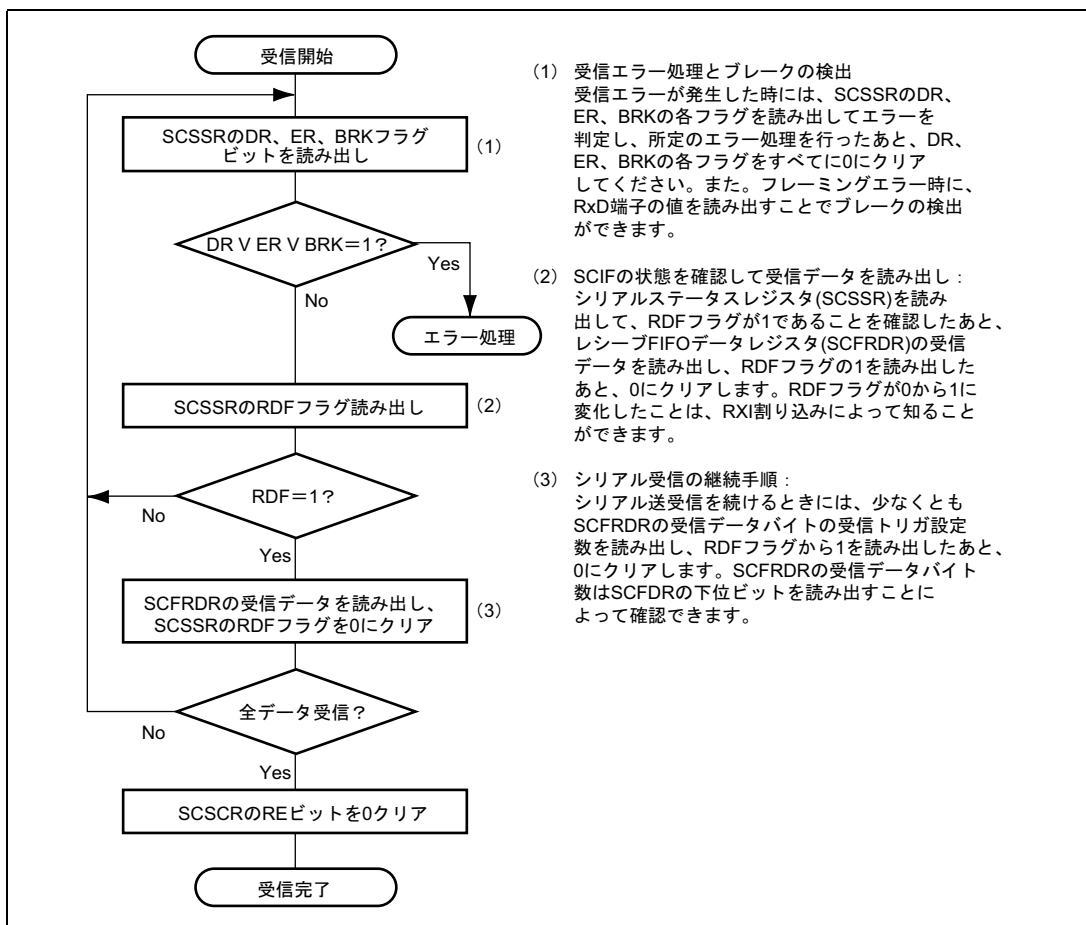


図 16.7 シリアル受信のフローチャートの例 (1)

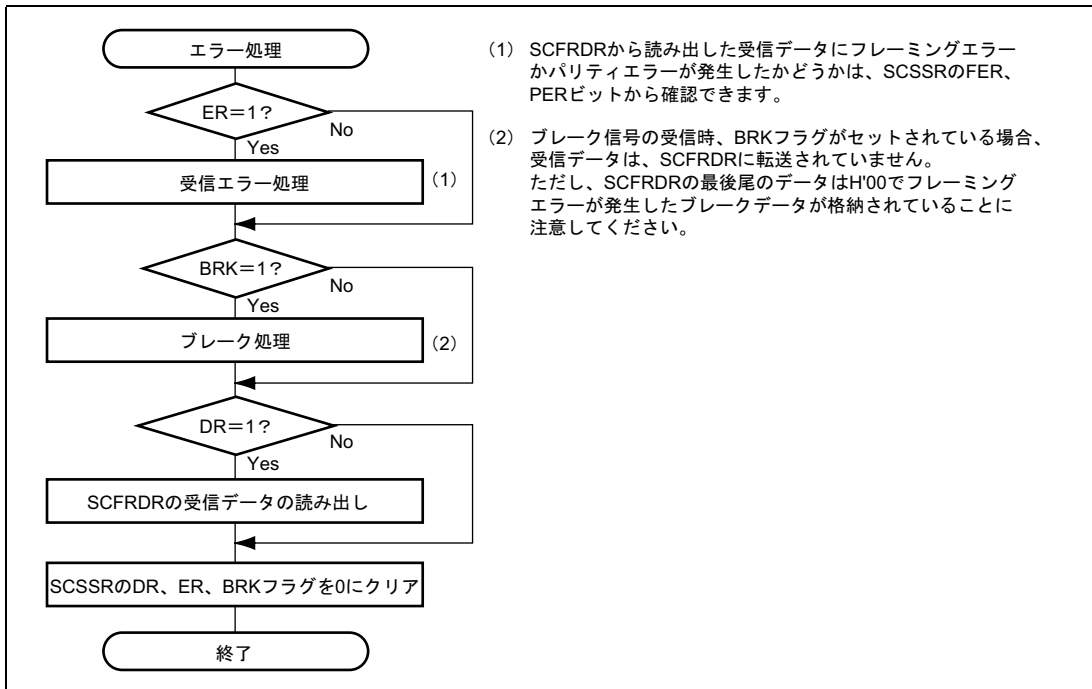


図 16.8 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- 受信データをレシフシフトレジスタ (SCSSR) からSCFRDRに転送できる状態であるかをチェックします。
- ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。

以上のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 受信エラー（フレーミングエラー／パリティエラー）が発生しても受信動作を続けます。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

4. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル要因による割り込み要求を発生します。

また、ERフラグが1になったとき、SCSCRのERIEビットが1にセットされていると受信エラー要因による割り込み要求を発生します。

BRKフラグが1になったとき、SCSCRのBRIEビットが1にセットされていると、ブ레이크受信要因による割り込み要求を発生します。

- DRフラグが1になったとき、SCSCRのDRIEビットが1にセットされていると、レシーブデータレディ要因による割り込み要求を発生します。
- ただし、受信FIFOデータフル割り込みとレシーブデータレディ割り込みのベクタは共通です。受信エラー割り込みとブ레이크受信割り込みのベクタは共通です。

調歩同期式モード受信時の動作例を図 16.9 に示します。

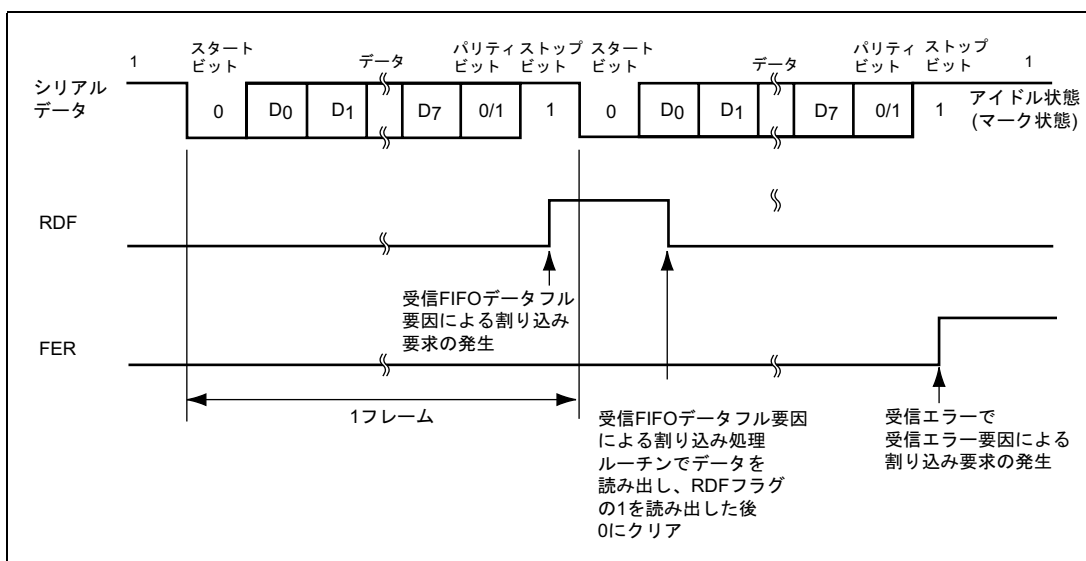


図 16.9 SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

モデム機能説明

モデム機能を使用した場合、 $\overline{\text{CTS}}$ 入力値におうじて送信を停止、再開することができます。 $\overline{\text{CTS}}$ が 1 にセットされると、送信中である場合 1 フレームの送信後マーク状態になります。 $\overline{\text{CTS}}$ が 0 にセットされると、次の送信データがスタートビットを先頭に出力されます。

$\overline{\text{CTS}}$ 制御の動作例を図 16.10 に示します。

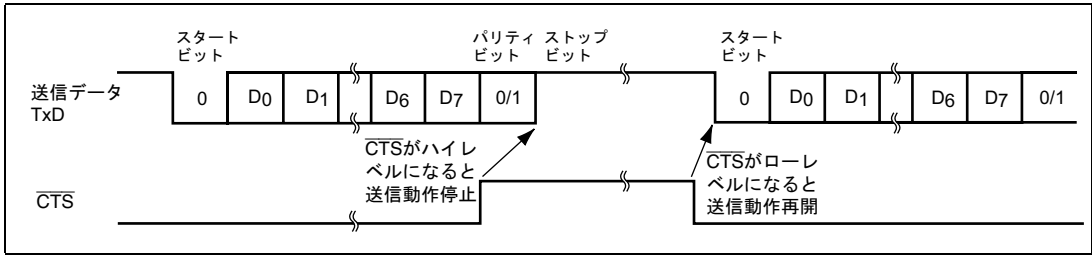


図 16.10 $\overline{\text{CTS}}$ 制御の動作例

また、モデム機能を使用した場合、受信 FIFO (SCFRDR) が $\overline{\text{RTS}}$ 出力トリガ数以上になったとき、 $\overline{\text{RTS}}$ 信号はハイレベルになります。

次に $\overline{\text{RTS}}$ 制御の動作例を図 16.11 に示します。

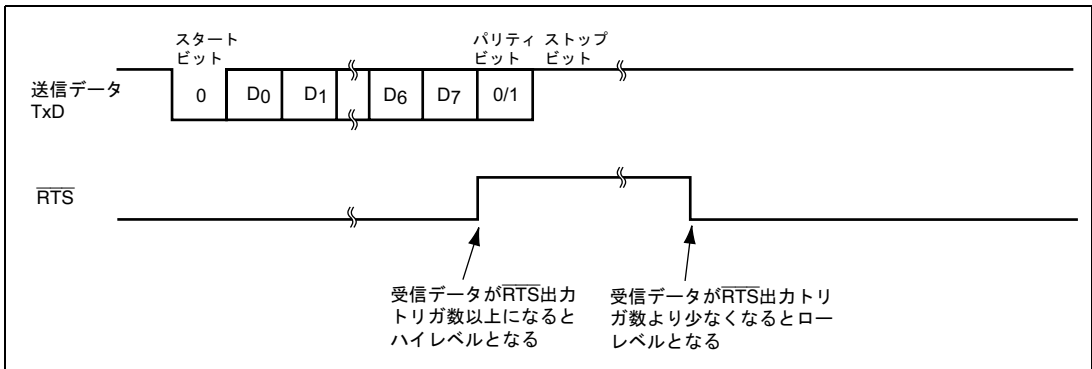


図 16.11 $\overline{\text{RTS}}$ 制御の動作例

16.4.4 クロック同期式モード

以下にクロック同期式モードについて説明します。

送受信おのおのに 64 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

動作クロックソースの選択は、シリアルモードレジスタ (SCSMR) で行います。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 で決まります。

- 送受信フォーマット：8ビットデータ固定
- 送受信FIFOレジスタ各々の格納データ数を表示
- SCIFのクロックソース：内部クロック／外部クロックから選択可能

内部クロックを使用した場合：

SCIF はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：

SCK 端子から入力された外部周期クロックで動作

16.4.5 クロック同期式モードのシリアル動作

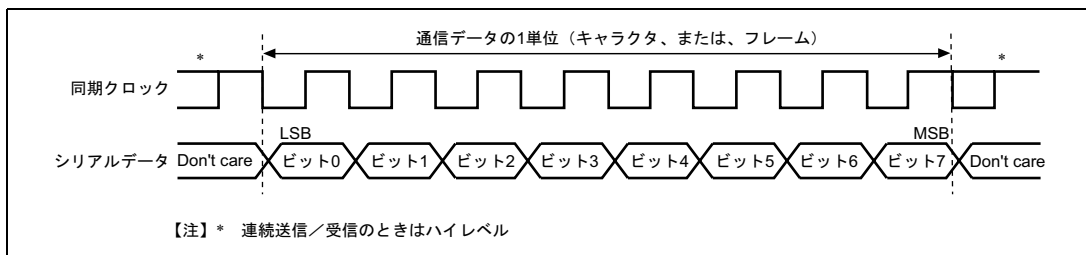


図 16.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIFは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SCSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部周期クロックの2種類から選択できます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、REビットが1にセットされている間、同期クロックは出力し続けます。

1キャラクタ単位で同期クロックをハイレベルに固定したいときは、受信するデータ数と同じ数のデータをトランスミットFIFOデータレジスタ(SCFTDR)へ書き込み、同時にTE、REビットを1にセットして送信データをダミーで送信してください。送信データ数が送信されると同期クロックはハイレベルに固定されます。

(3) データの送信／受信動作

(a) SCIF の初期化

データの送信／受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアしたあと、以下の順で SCIF を初期化してください。

クロックソースの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (SCTSR) が初期化されます。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCSSR)、トランスミット FIFO データレジスタ (SCFTDR) および、レシーブ FIFO データレジスタ (SCFRDR) の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCSSR の TEND ビットが 1 にセットされたあとに行ってください。送信途中には TE ビットを 0 にクリアしないでください。TE ビットを 0 にクリアすると、TxD 端子はハイインピーダンス状態となります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCFTDR をリセットしてください。

図 16.13 に SCIF の初期化フローチャートの例を示します。

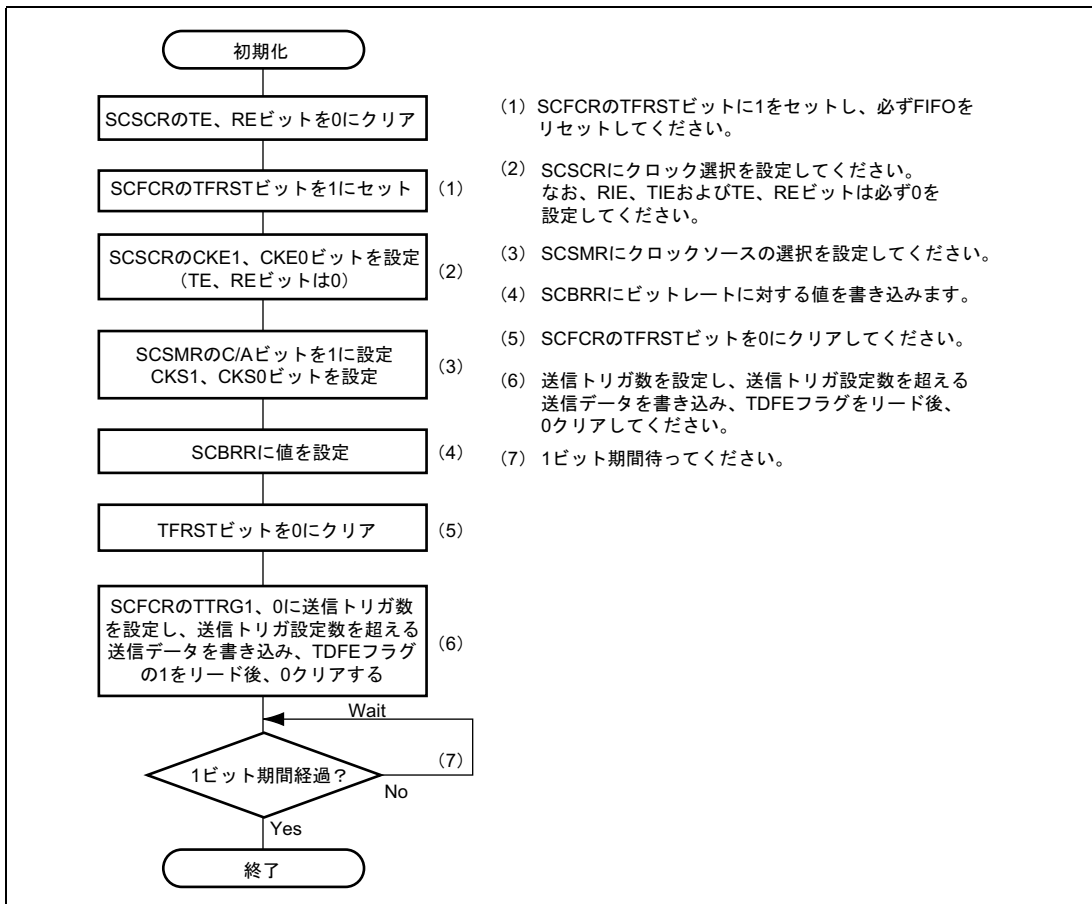


図 16.13 送信動作時の初期化フローチャートの例 (1)

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

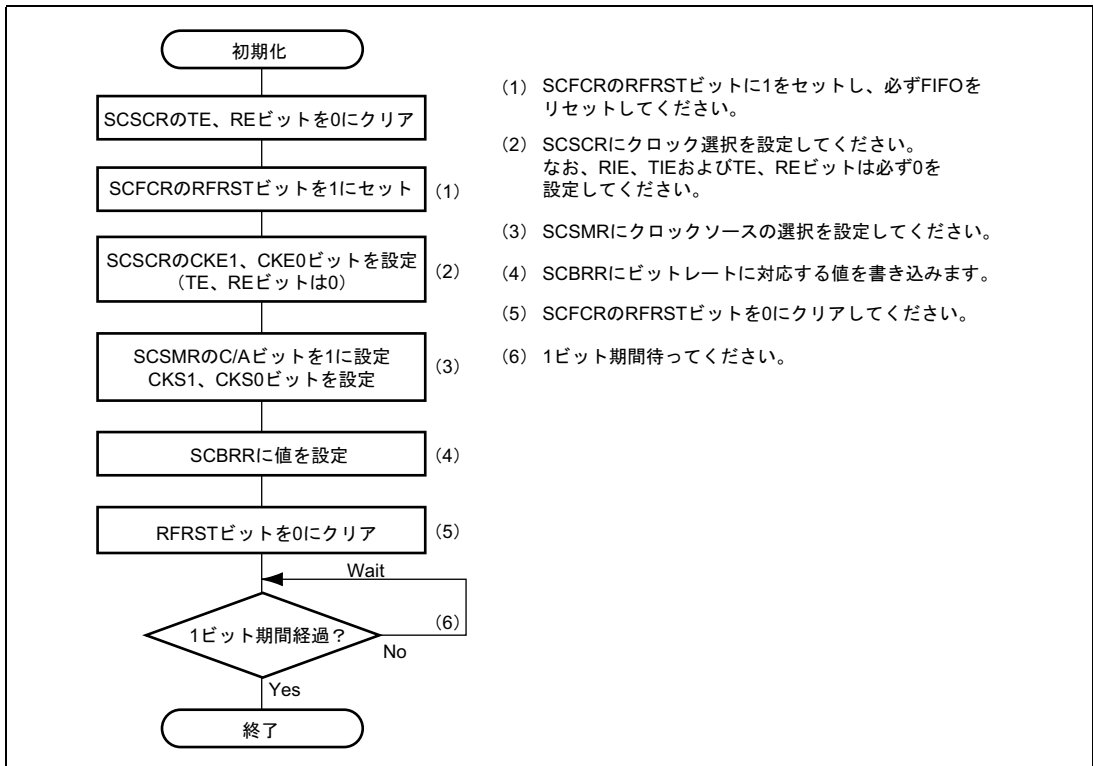


図 16.13 受信動作時の初期化フローチャートの例 (2)

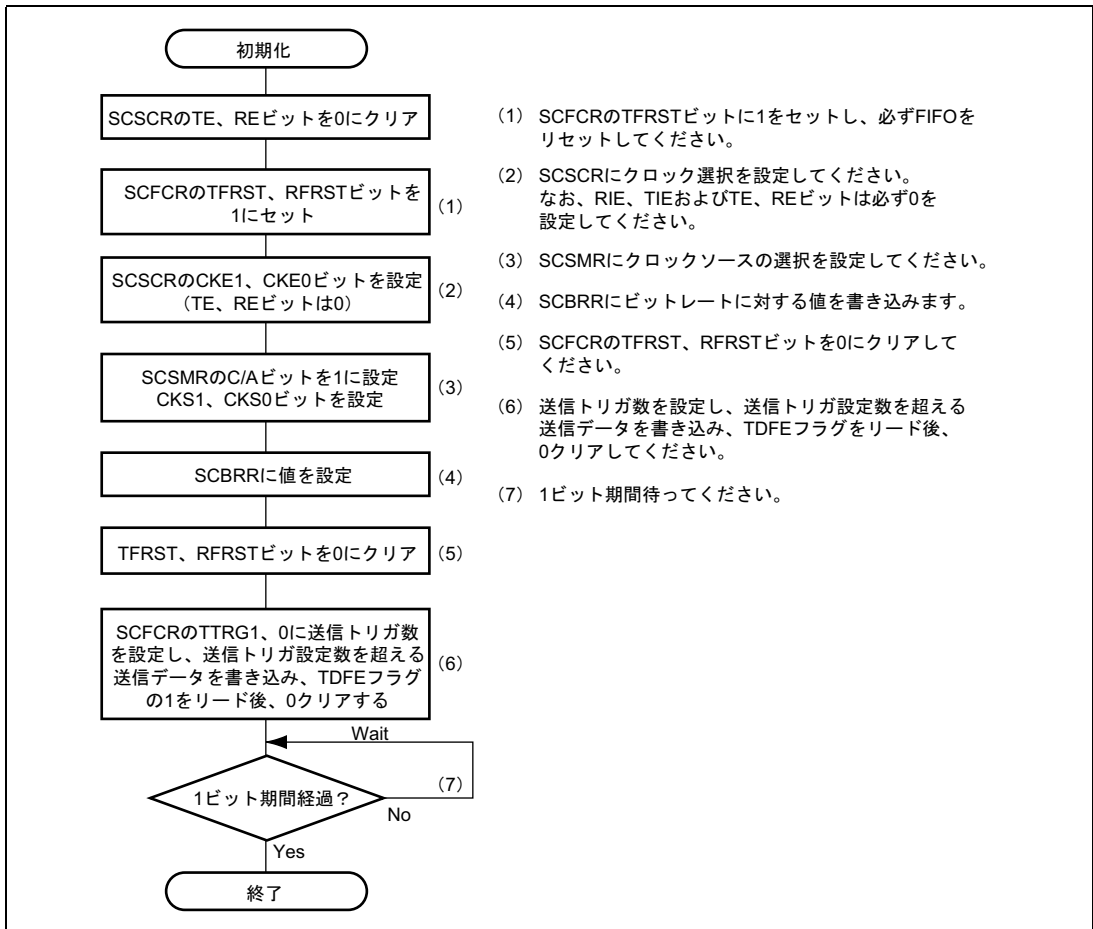


図 16.13 同時送受信時の初期化フローチャートの例 (3)

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(b) シリアルデータ送信

図 16.14 にシリアル送信のフローチャートの例を示します。

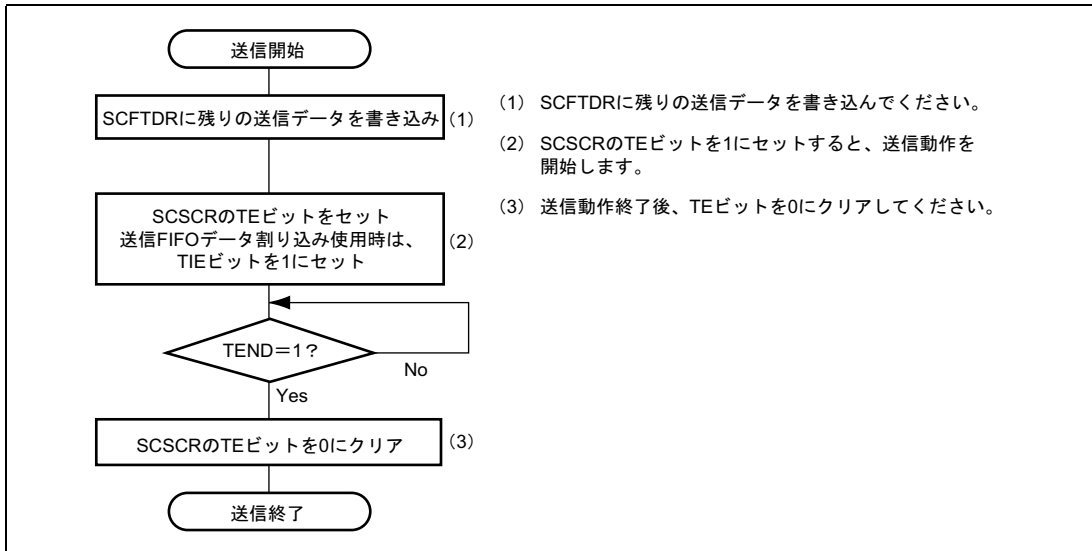


図 16.14 送信動作時のフローチャートの例 (初期化後 1 回目の送信動作) (1)

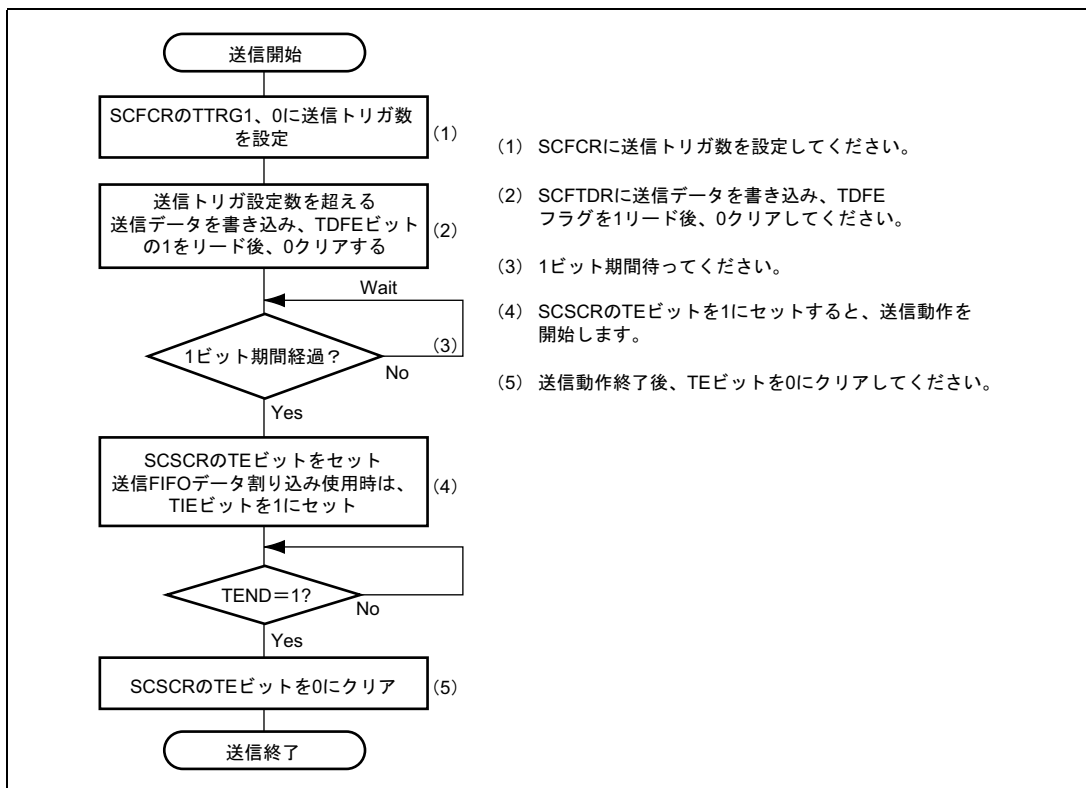


図 16.14 送信動作時のフローチャートの例 (2回目以降の送信動作) (2)

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(c) シリアルデータ受信

図 16.15 にシリアル受信フローチャートの例を示します。

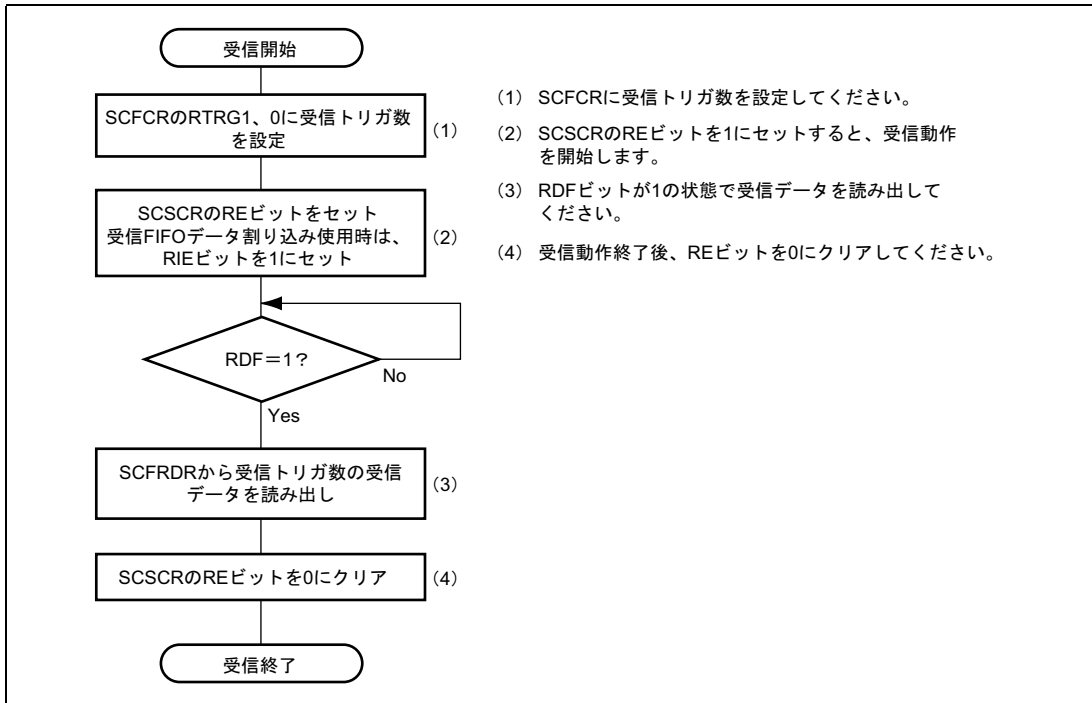


図 16.15 受信動作時のフローチャートの例 (初期化後 1 回目の受信動作) (1)

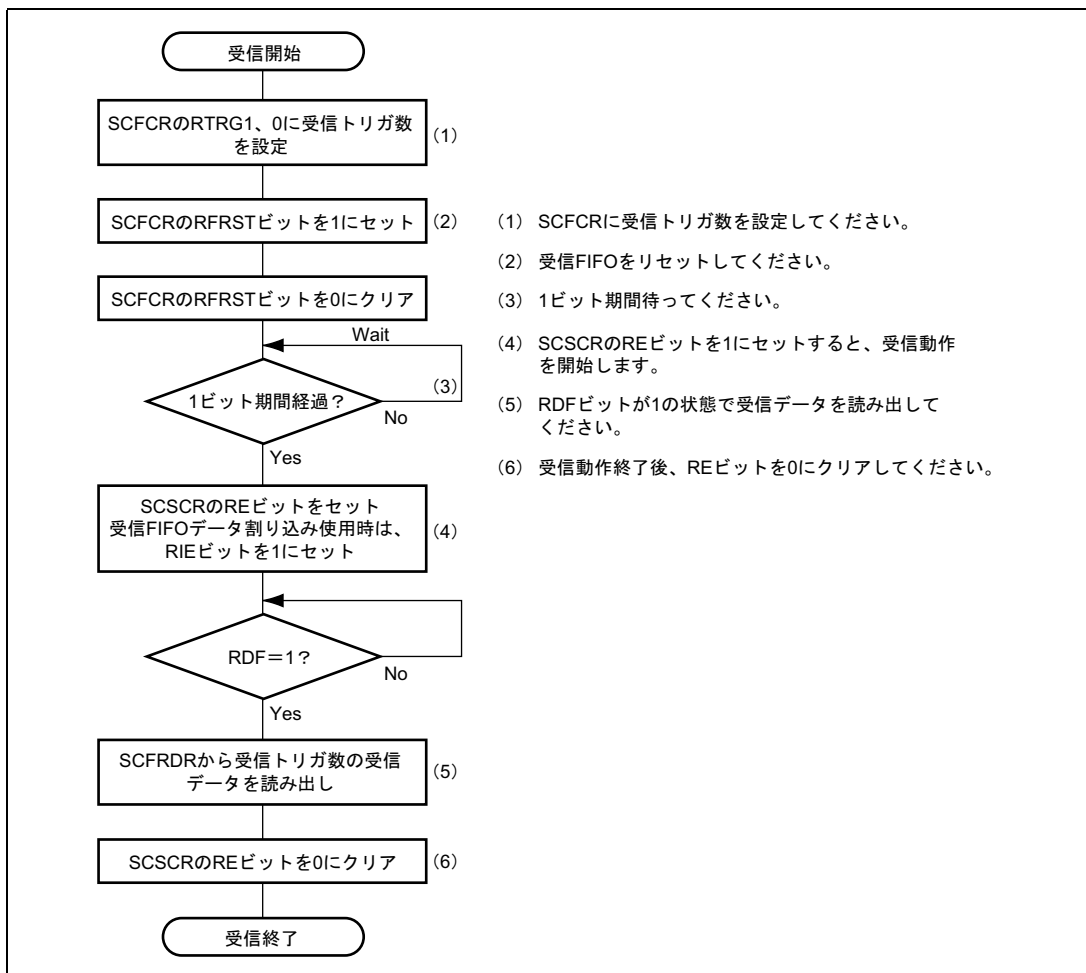


図 16.15 受信動作時のフローチャートの例 (2回目以降の受信動作) (2)

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(d) シリアルデータ送受信同時動作

図 16.16 にシリアル送受信同時動作のフローチャートの例を示します。

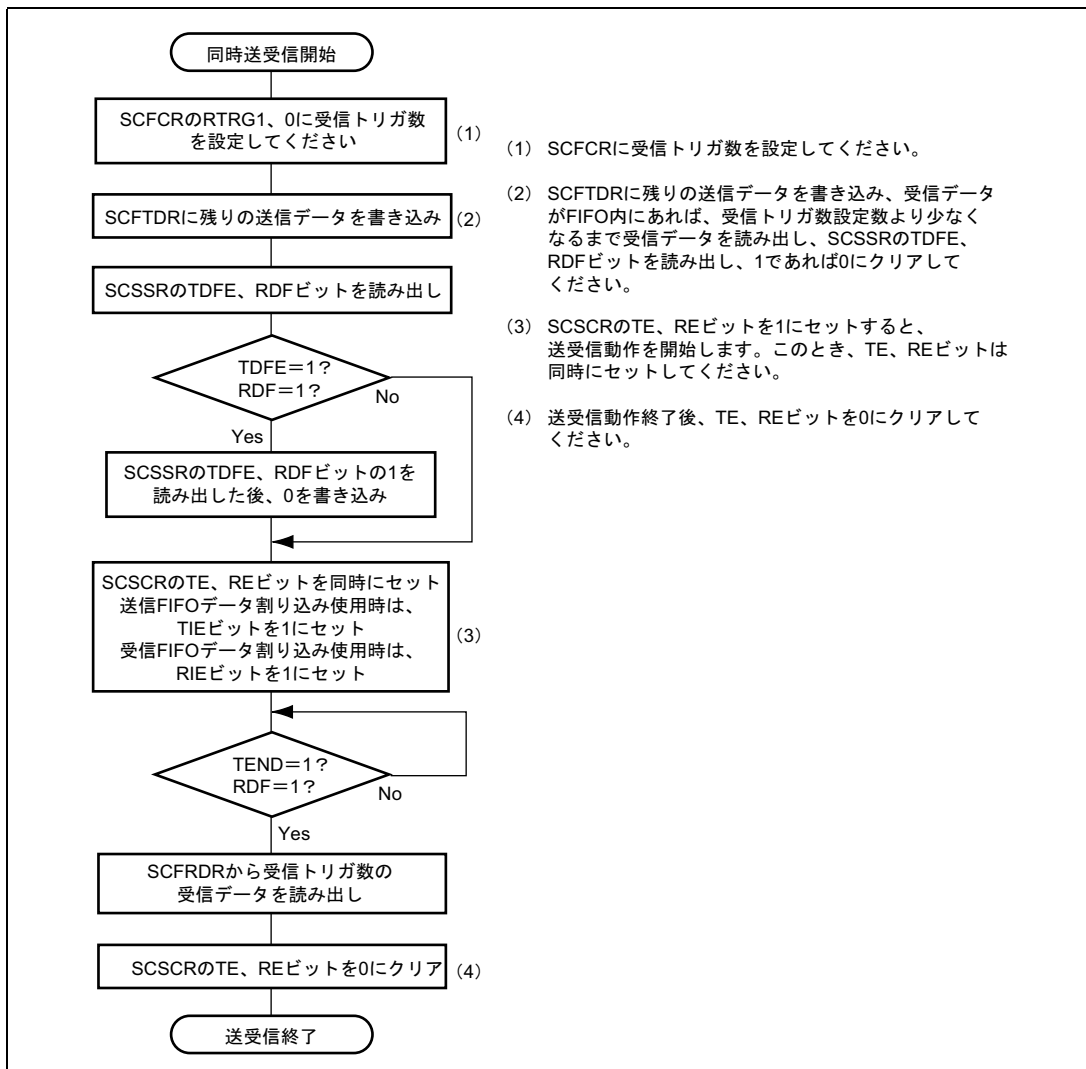


図 16.16 同時送受信動作時のフローチャートの例 (初期化後 1 回目の送受信動作) (1)

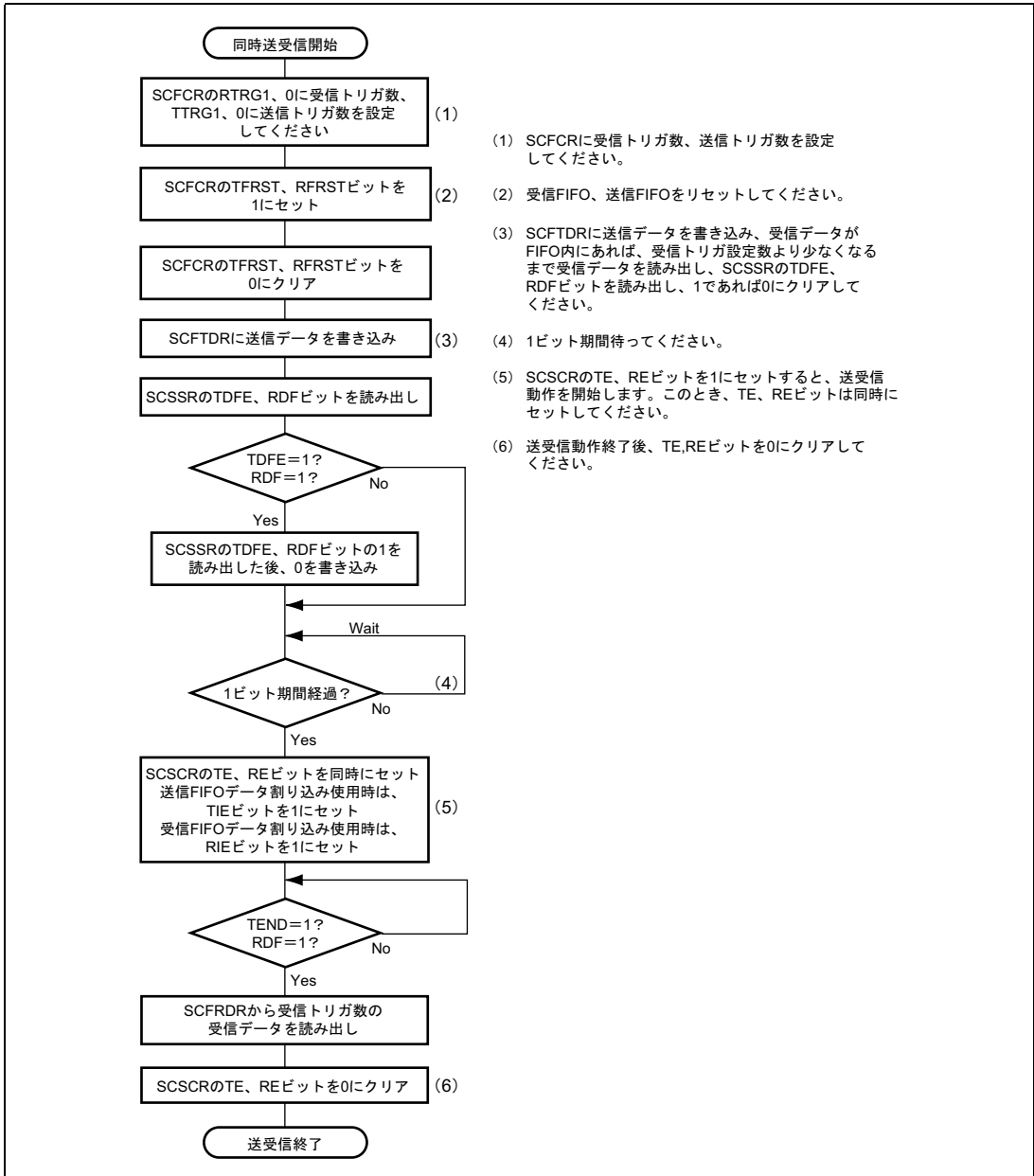


図 16.16 同時送受信動作時のフローチャートの例 (2回目以降の送受信動作) (2)

16.5 割り込み要因と DMAC

SCIF は、調歩同期式モード時には、送信 FIFO データエンプティ要因による割り込み要求、送信データストップ要因による割り込み要求、受信エラー要因による割り込み要求、受信 FIFO データフル要因による割り込み要求、ブレイク受信要因による割り込み要求、レシーブデータレディ要因による割り込み要求の 6 種類の割り込み要因をサポートしています。ただし、送信データストップ割り込みと送信 FIFO データエンプティ割り込みのベクタは共通です。受信エラー割り込みとブレイク受信割り込みのベクタは共通です。受信 FIFO データフルとレシーブデータレディ割り込みのベクタは共通です。クロック同期式モード時には、送信 FIFO データエンプティ割り込み要求、受信 FIFO データフル割り込み要求の 2 種類の割り込みをサポートしています。

表 16.4 に各割り込み要因を示します。各割り込み要因は、SCSSR の TIE、RIE、ERIE、BRIE、DRIE、TSIE ビットで、許可または禁止ができます。

SCSSR の TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ要因による割り込み要求が発生します。SCSSR の TSF フラグが 1 にセットされると、送信データストップ要因による割り込み要求が発生します。送信 FIFO データエンプティ要因による割り込み要求と送信データストップ要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。ただし、送信 FIFO データエンプティ要因と送信データストップ要因による DMAC 要求は共通です。

SCSSR の RDF フラグが 1 にセットされると、受信 FIFO データフル要因による割り込み要求が発生します。受信 FIFO データフル要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。DMAC の設定方法は「第 8 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

SCSSR の ER フラグが 1 にセットされた場合、または、
SCSSR の BRK フラグが 1 にセットされた場合、または、
SCSSR の DR フラグが 1 にセットされた場合、または、
SCSSR の TSF フラグが 1 にセットされた場合には、割り込み要求が発生します。

ただし、TXI 割り込みと TDI 割り込みのベクタは共通となります。ERI 割り込みと BRI 割り込みのベクタは共通となります。RXI 割り込みと DRI 割り込みのベクタは共通となります。また、同一要因により、DMAC 起動と割り込みを同時に発生させることはできません。DMAC 起動を使用する場合は、以下の手順をとってください。

1. 発生要因に対応する割り込みイネーブルビット (TIE、RIE) を 1 にセットしてください。
2. 割り込みコントローラで割り込みマスクすることにより、対応する割り込み要求をマスクしてください。

表 16.4 SCIF 割り込み要因

割り込み要因	内容	DMAC の起動
ERI	受信エラー (ER) またはブレーク (BRK) による割り込み	不可
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可 ^{*1}
TXI	送信 FIFO データエンプティ (TDFE) または送信データストップ (TSF) による割り込み	可 ^{*2}

【注】 *1 受信 FIFO データフル要因による割り込み要求でのみ DMAC の起動が行えます。

- *2 送信 FIFO データエンプティ (TDFE) または送信データストップ (TSF) による割り込み要求で DMAC の起動が行えます。送信データストップ (TSF) により DMAC を起動した場合のクリアは以下になります。
- (1) CPU で TSF フラグをリードしたとき。
 - (2) 送信 FIFO がいっぱいになったとき。

優先順位、SCIF 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。

16.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(a) SCFTDR への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCSSR) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR) 内に書き込んだ送信データ数が、FIFO コントロールレジスタ (SCFCR) の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされたあと、SCFTDR の空データ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は FIFO データ数レジスタ (SCFDR) の 14~8 で知ることができます。

(b) SCFRDR の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCSSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) 内の受信データ数が FIFO コントロールレジスタ (SCFCR) の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされたあと、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出したあと、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は FIFO データ数レジスタ (SCFDR) の 6~0 で知ることができます。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(c) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを受信したあとは、SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(d) 受信データサンプリングタイミングと受信マージン

サンプリングレートを 1/16 とした場合を例にあげて説明します。SCIF は転送レートの 8 倍の周波数の基本クロックで動作します。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 4 クロック目の立ち上がりエッジで内部に取り込みます。

したがって、受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1+F) \right| \times 100\% \dots \dots \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$\begin{aligned} M &= (0.5 - 1/(2 \times 16)) \times 100\% \\ &= 46.875\% \dots \dots \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

17. 赤外線通信モジュール (IrDA)

本 LSI は IrDA 1.0 システムに基づく赤外線データアソシエーション (IrDA) インタフェースを内蔵しており、赤外線通信を行うことができます。

IrDA インタフェースは SCIF の変復調を行うオプションモジュールであるため、常に SCIF モジュールとともに使用します。

17.1 特長

- IrDA 1.0 準拠
- 調歩同期式シリアル通信
データ長 : 8ビット
ストップビット長 : 1ビット
パリティビット : なし
- 送受信内蔵64段FIFOバッファ
- ビットレートを選択できる内蔵ボーレートジェネレータ
- 送信中、受信部に影響を与えないようにする保護機能
- IrDA を使用しない場合、消費電力を小さくするためにクロック供給を停止

IrDA のブロック図を図 17.1 に示します。

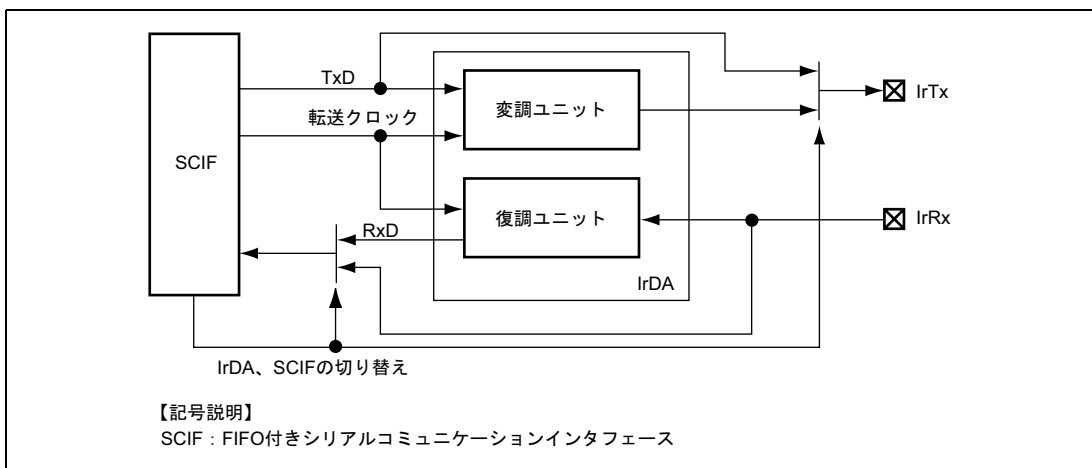


図 17.1 IrDA のブロック図

17. 赤外線通信モジュール (IrDA)

17.2 入出力端子

IrDA の端子構成を表 17.1 に示します。

表 17.1 端子構成

名称	略称	入出力	機能
受信データ端子	IrRx	入力	受信データ入力
送信データ端子	IrTx	出力	送信データ出力

【注】 IrDA モードでは、シリアルクロック端子からのクロック入力設定を禁止します。

17.3 レジスタの説明

IrDA には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

- IrDA モードレジスタ (SCSMR_Ir)

17.3.1 IrDA モードレジスタ (SCSMR_Ir)

SCSMR_Ir は、IrDA または SCIF モードの選択、および IrDA の出力パルス幅の選択を行うことができる 16 ビットのレジスタです。

このモジュールは IRMOD ビットを 1 にセットすることによって IrDA として動作します。また、IRMOD ビットを 0 にセットすることによって SCIF と同様に機能します。したがって、このモジュールは SCIF としても動作することができます。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRMOD	0	R/W	IrDA モード このモジュールが IrDA シリアルコミュニケーションインタフェースとして動作するか、SCIF として動作するかを選択します。 0 : SCIF として動作 1 : IrDA として動作
6	ICK3	0	R/W	出力パルス分周比 3~0 IrDA に使用するクロックパルス IRCLK を生成するための、周辺クロック (Pφ) の分周比を指定します。IRCLK は次の式で計算します。 $IRCLK = 1 / ((2N + 2) \times P\phi)$ ただし、N = ICK3 ~ ICK0 の設定値
5	ICK2	0	R/W	
4	ICK1	0	R/W	
3	ICK0	0	R/W	

ビット	ビット名	初期値	R/W	説明
2	PSEL	0	R/W	出力パルス幅セレクト 出力パルス幅セレクトビット (PSEL) は、115kbps に対してビット長の 3/16、または選択したボーレートに対してビット長の 3/16 である IrDA の出力パルス幅を選択します。 0 : パルス幅は ICK3~0 によらずビット長の 3/16 1 : パルス幅は ICK3~0 によって指定された 115kbps ビット長の 3/16
1、0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 例

Pφクロック : 14.7456MHz

IRCLK : 921.6kHz (固定)

N : ICK3-Ick0の設定値 (0 ≤ N ≤ 15)

$$N \geq \frac{P\phi}{2 \times IRCLK} - 1 \geq 7$$

したがって、Nは7です。

17.4 動作説明

IrDA モジュールは、赤外線送受信ユニットを接続することによって IrDA 1.0 に対応した赤外線通信を実行することができます。シリアル通信インタフェースユニットは送信部と受信部にバッファを内蔵していますので、CPU のオーバーヘッドを小さくするとともに連続高速通信が可能です。

17.4.1 概要

IrDA モジュールは、IrDA 1.0 赤外線通信仕様を満足するよう、IrTx/IrRx 送受信データの波形を変更します。

IrDA 1.0 仕様では、通信はまず 9600 bps の速度で実行され、通信速度は変更されます。ただし、通信速度は本モジュールでは自動的に変更されません。したがって、通信を実行する場合には通信速度を確認し、ソフトウェアで本モジュールに適当な速度を設定してください。

17.4.2 送信

SCIF からのシリアル出力信号 (UART フレーム) の場合、その波形は修正され、図 17.2 に示すように信号は IrDA モジュールによって IR フレームシリアル出力信号に変換されます。

シリアルデータが 0 の場合、IR フレームの 3/16 ビット幅のパルスが生成され出力されます。シリアルデータが 1 の場合、パルスは出力されません。

17.4.3 受信

受信した IR フレームの 3/16 ビット幅のパルスは、図 17.2 に示すように復調後 UART フレームに変換されます。

0 への復調はパルス出力に対して実行され、1 への復調はパルス出力に対しては実行されません。

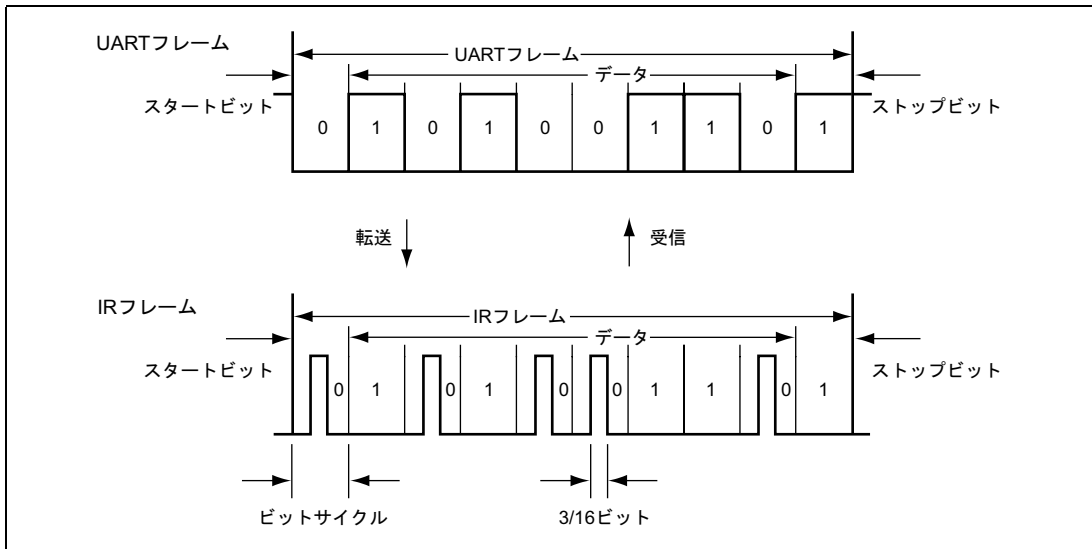


図 17.2 送受信動作

17.4.4 データフォーマットの指定

IrDA 通信で使用する UART フレームのデータフォーマットは、SCIF0 のレジスタ設定により指定してください。UART フレームは、データ 8 ビット、パリティビットなし、ストップビット 1 ビットの設定となります。

IrDA の通信は調歩同期式で行われますので、この設定も SCIF0 のレジスタにて設定をしてください。また、サンプリングレートは 1/16 に設定してください。

SCIF0 動作クロックは内部クロックとし SCK0 端子が同期クロック出力の設定になるようにしてください。

IrDA 通信のビットレートは、SCIF0 のビットレートになります。通信レートの設定は SCIF0 のレジスタにて設定を行ってください。

SCIF0 の各レジスタの設定については、「16 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」を参照してください。

18. USB ファンクションモジュール (USB)

本 LSI は、USB ファンクションモジュール (USB) を内蔵しています。

18.1 特長

- USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵し、USBプロトコルを自動処理
エンドポイント0に対するUSB標準コマンドを自動処理(一部のコマンドとクラス/ベンダコマンドはファームウェアでデコードし、処理する必要があります)
- 転送スピード：フルスピード
- エンドポイントの構成

エンドポイント名	名称	転送タイプ	最大パケット サイズ	FIFO バッファ 容量 (バイト)	DMA 転送
エンドポイント 0	EP0s	セットアップ	8	8	—
	EP0i	コントロールイン	8	8	—
	EP0o	コントロールアウト	8	8	—
エンドポイント 1	EP1	バルクアウト	64	128	可能
エンドポイント 2	EP2	バルクイン	64	128	可能
エンドポイント 3	EP3	インタラプト	8	8	—

Configuration1 - Interface0 - AlternateSetting0 {
 EndPoint1
 EndPoint2
 EndPoint3

- 割り込み要求：USB送受信に必要な各種割り込み信号を生成
- クロック：外部入力 (48MHz) (「9.4.1 周波数制御レジスタ (FRQCR)」 「9.4.2 USBクロック周波数制御レジスタ (UCLKCR)」を参照)
- 低消費電力モード
USBケーブル切断時、UDC内部クロック停止による低消費電力化が可能
サスペンド状態へ自動遷移/自動復帰
- 内蔵トランシーババイパスモード時 (XVERCRレジスタのXVEROFFビットが1のとき)、Philips社製 PDIUSBP11シリーズトランシーバおよび互換製品に接続可能 (ただし、互換製品については、トランシーバ供給メーカーと評価/検証の上、ご使用ください)
- パワーモード：セルフパワード

18. USB ファンクションモジュール (USB)

図 18.1 に USB のブロック図を示します。

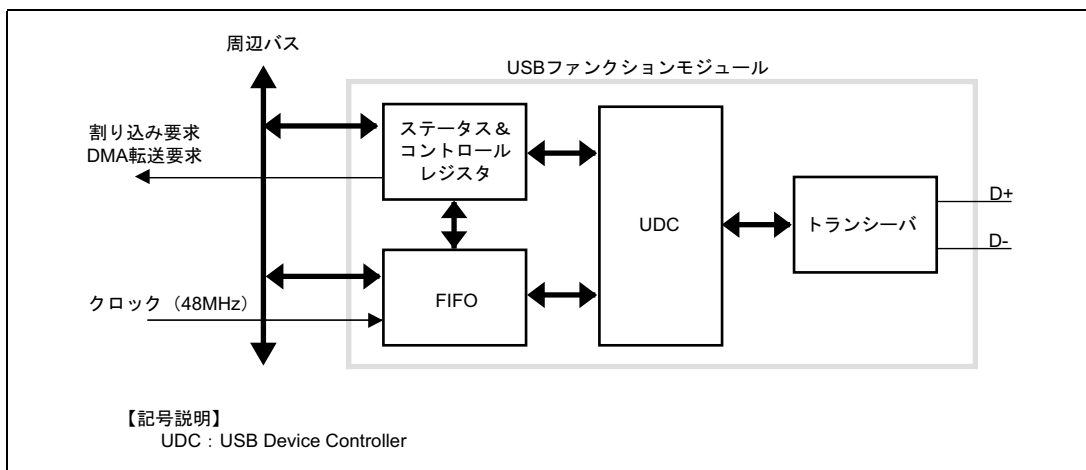


図 18.1 USB のブロック図

18.2 入出力端子

USB の端子構成を表 18.1 に示します。

表 18.1 端子構成

端子名	入出力	機能	XVEROFF 条件
XVDATA	入力	差動レシーバからの受信データ入力端子	1
DPLS	入力	レシーバからのドライバに対する D+ 信号入力端子	1
DMNS	入力	レシーバからのドライバに対する D- 信号入力端子	1
TXDPLS	出力	ドライバに対する D+ 送信出力端子	1
TXDMNS	出力	ドライバに対する D- 送信出力端子	1
TXENL	出力	ドライバに対するアウトプットイネーブル端子	1
VBUS	入力	USB ケーブル接続モニタ端子	1 または 0
SUSPND	出力	トランシーバに対するサスペンド状態出力端子	1
EXTAL_USB	入力	USB 用クロック入力端子 (外部クロック入力/水晶発振子接続)	
XTAL_USB	出力	USB 用クロック端子 (水晶発振子接続)	
D+	入出力	USB 内蔵トランシーバ D+	
D-	入出力	USB 内蔵トランシーバ D-	
Vcc-USB	入力	USB 用電源端子	
Vss-USB	入力	USB 用グランド端子	

【注】 内蔵トランシーババイパスモード時 (XVERCR レジスタの XVEROFF ビットが 1 のとき)、Philips 社製 PDIUSBP11 シリーズトランシーバおよび互換製品に接続が可能です。(ただし、互換製品については、トランシーバ供給メーカーと評価/検証の上、ご使用ください)

18.3 レジスタの説明

USB には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

- 割り込みフラグレジスタ0 (IFR0)
- 割り込みフラグレジスタ1 (IFR1)
- 割り込み選択レジスタ0 (ISR0)
- 割り込み選択レジスタ1 (ISR1)
- 割り込みイネーブルレジスタ0 (IER0)
- 割り込みイネーブルレジスタ1 (IER1)
- EP0iデータレジスタ (EPDR0i)
- EP0oデータレジスタ (EPDR0o)
- EP0sデータレジスタ (EPDR0s)
- EP1データレジスタ (EPDR1)
- EP2データレジスタ (EPDR2)
- EP3データレジスタ (EPDR3)
- EP0o受信データサイズレジスタ (EPSZ0o)
- EP1受信データサイズレジスタ (EPSZ1)
- トリガレジスタ (TRG)
- データステータスレジスタ (DASTS)
- FIFOクリアレジスタ (FCLR)
- DMA転送設定レジスタ (DMAR)
- エンドポイントストールレジスタ (EPSTL)
- トランシーバコントロールレジスタ (XVERCR)

18.3.1 割り込みフラグレジスタ 0 (IFR0)

IFR0 は、割り込みフラグレジスタ 1 (IFR1) と共にアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると対応するビットが 1 にセットされ、割り込みイネーブルレジスタ 0 (IER0) との組み合わせにより CPU に対して割り込み要求を発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。ただし、EP1 FULL と EP2 EMPTY はステータスレジスタでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット USB バス上でバスリセット信号を検出したとき、1 にセットされます。
6	EP1FULL	0	R	EP1FIFO フル エンドポイント 1 がホストから 1 パケット分のデータを正常に受信するとセットされ、FIFO バッファに有効データが存在する間 1 を保持します。このビットはステータスビットのため、クリアはできません。
5	EP2TR	0	R/W	EP2 転送リクエスト ホストからエンドポイント 2 に対するイントークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。
4	EP2EMPTY	1	R	EP2FIFO エンプティ エンドポイント 2 の 2 面構成の送信用 FIFO バッファのうち少なくとも 1 面が送信データを書き込める状態であるときセットされます。ステータスビットのため、クリアはできません。
3	SETUPTS	0	R/W	セットアップコマンド受信完了 エンドポイント 0 がアプリケーション側でデコードする必要のあるセットアップコマンドを正常に受信し、ホストに ACK ハンドシェイクを返したとき 1 にセットされます。
2	EP0oTS	0	R/W	EP0o 受信完了 エンドポイント 0 がホストからのデータを正常に受信して FIFO バッファに格納し、ホストに ACK ハンドシェイクを返したとき 1 にセットされます。
1	EP0iTR	0	R/W	EP0i 転送リクエスト ホストからエンドポイント 0 に対する IN トークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。
0	EP0iTS	0	R/W	EP0i 送信完了 エンドポイント 0 からホストにデータを送信し、ACK ハンドシェイクが返ってきたときセットされます。

18.3.2 割り込みフラグレジスタ 1 (IFR1)

IFR1 は、割り込みフラグレジスタ 0 (IFR0) とともにアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると、対応するビットが 1 にセットされ、割り込みイネーブルレジスタ 1 (IER1) との組み合わせにより、CPU に対して割り込み要求が発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	—	0	R	
4	—	0	R	
3	VBUSMN	0	R	
2	EP3TR	0	R/W	EP3 転送リクエスト ホストからエンドポイント 3 に対する IN トークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。
1	EP3TS	0	R/W	EP3 送信完了 エンドポイント 3 からホストにデータを送信し、ACK ハンドシェイクが返ってきたときセットされます。
0	VBUS	0	R/W	USB 切断検出 ファンクションが USB バスに接続されたとき、および切断されたときに 1 にセットされます。接続/切断の検出には、本モジュールの VBUS 端子を使用します。

18. USB ファンクションモジュール (USB)

18.3.3 割り込み選択レジスタ 0 (ISR0)

ISR0 は、割り込みフラグレジスタ 0 (IFR0) の各割り込み要求のベクタ番号を選択します。対応するビットに 0 をセットすると、USB が INTC に割り込み要求をするとき、その割り込みは USIO (USB 割り込み 0) となります。1 をセットすると USB が INTC に割り込み要求をするとき、その割り込みは USI1 (USB 割り込み 1) となります。同時に割り込みが発生した場合、デフォルトにおける優先順位は USIO が優先されます。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット
6	EP1FULL	0	R/W	EP1FIFO フル
5	EP2TR	0	R/W	EP2 転送リクエスト
4	EP2EMPTY	0	R/W	EP2FIFO エンプティ
3	SETUPTS	0	R/W	セットアップコマンド受信完了
2	EP0oTS	0	R/W	EP0o 受信完了
1	EP0iTR	0	R/W	EP0i 転送リクエスト
0	EP0iTS	0	R/W	EP0i 送信完了

18.3.4 割り込み選択レジスタ 1 (ISR1)

ISR1 は、割り込みフラグレジスタ 1 (IFR1) の各割り込み要求のベクタ番号を選択します。対応するビットに 0 をセットすると、USB が INTC に割り込み要求をするとき、その割り込みは USIO (USB 割り込み 0) となります。1 をセットすると USB が INTC に割り込み要求をするとき、その割り込みは USI1 (USB 割り込み 1) となります。同時に割り込みが発生した場合、デフォルトにおける優先順位は USIO が優先されます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	EP3TR	1	R/W	EP3 転送リクエスト
1	EP3TS	1	R/W	EP3 送信完了
0	VBUS	1	R/W	USB バス接続

18.3.5 割り込みイネーブルレジスタ 0 (IER0)

IER0 は、割り込みフラグレジスタ 0 (IFR0) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込みベクタ番号は割り込み選択レジスタ 0 (ISR0) の内容によって決まります。

ビット	ビット名	初期値	R/W	説 明
7	BRST	0	R/W	バスリセット
6	EP1FULL	0	R/W	EP1FIFO フル
5	EP2TR	0	R/W	EP2 転送リクエスト
4	EP2EMPTY	1	R/W	EP2FIFO エンプティ
3	SETUPTS	0	R/W	セットアップコマンド受信完了
2	EP0oTS	0	R/W	EP0o 受信完了
1	EP0iTR	0	R/W	EP0i 転送リクエスト
0	EP0ITS	0	R/W	EP0i 送信完了

18.3.6 割り込みイネーブルレジスタ 1 (IER1)

IER1 は、割り込みフラグレジスタ 1 (IFR1) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込みベクタ番号は割り込み選択レジスタ 1 (ISR1) の内容によって決まります。

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	EP3TR	0	R/W	EP3 転送リクエスト
1	EP3TS	0	R/W	EP3 送信完了
0	VBUS	0	R/W	USB バス接続

18.3.7 EP0i データレジスタ (EPDR0i)

エンドポイント0の送信用8バイトFIFOバッファです。コントロールインに対する1パケット分の送信データを保存します。1パケット分のデータを書き込み、トリガレジスタのEP0iPKTEをセットすることで送信データが確定します。データを送信したあと、ホストからACKハンドシェイクが返ってくると、割り込みフラグレジスタ0のEP0iTSがセットされます。このFIFOバッファはFCLRレジスタのEP0iCLRにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	コントロールイン転送用のデータレジスタ

18.3.8 EP0o データレジスタ (EPDR0o)

エンドポイント0の受信用8バイトFIFOバッファです。セットアップコマンドを除くエンドポイント0の受信データが格納されます。データを正常に受信すると、割り込みフラグレジスタ0のEP0oTSがセットされ、受信バイト数がEP0o受信データサイズレジスタに表示されます。データを読み出したあと、トリガレジスタのEP0oRDFNをセットすることで、次のパケットを受信可能となります。このFIFOバッファはFCLRレジスタのEP0oCLRにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	コントロールアウト転送用のデータレジスタ

18.3.9 EP0s データレジスタ (EPDR0s)

エンドポイント0に対するセットアップコマンド受信専用の8バイトFIFOバッファです。アプリケーション側で処理する必要のあるセットアップコマンドのみ受信し、正常にコマンドデータを格納すると、割り込みフラグレジスタ0のSETUP TS ビットがセットされます。

セットアップコマンドは必ず受信する必要があるため、バッファ内にデータが残っている場合でも新しいデータによって上書きされます。つまり、コマンドを読み出している間に次のコマンド受信が開始された場合、受信を優先してアプリケーション側の読み出しを強制的に禁止するため、この読み出しデータは無効になります。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	コントロールアウト転送時のセットアップコマンドが格納されるレジスタ

18.3.10 EP1 データレジスタ (EPDR1)

エンドポイント1の受信用128バイトFIFOバッファです。最大パケットサイズの2倍の容量を持っていて、2面構成になっています。ホストから1パケット分のデータを正常に受信すると、割り込みフラグレジスタ0のEP1FULLがセットされます。受信バイト数はEP1受信データサイズレジスタに表示されます。データを読み出したあと、トリガレジスタのEP1RDFNに1を書き込むことで、読み出した面のバッファが再受信可能になります。このFIFOバッファの受信データはDMA転送が可能です。このFIFOバッファはFCLRレジスタのEP1CLRにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	エンドポイント1転送用のデータレジスタ

18.3.11 EP2 データレジスタ (EPDR2)

エンドポイント2の送信用128バイトFIFOバッファです。最大パケットサイズの2倍の容量を持っていて、2面構成になっています。このFIFOバッファに送信データを書き込み、トリガレジスタのEP2PKTEをセットすることで1パケット分の送信データが確定し、2面構成のバッファが切り替わります。このFIFOバッファへの送信データはDMA転送が可能です。このFIFOバッファはFCLRレジスタのEP2CLRにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント2転送用のデータレジスタ

18.3.12 EP3 データレジスタ (EPDR3)

エンドポイント3の送信用8バイトFIFOバッファです。エンドポイント3のインタラプト転送における1パケット分の送信データを保持します。1パケット分のデータを書き込み、トリガレジスタのEP3PKTEをセットすることで送信データが確定します。1パケット分のデータを正常に送信し、ホストからACKハンドシェイクを受信すると割り込みフラグレジスタ0のEP3TSがセットされます。このFIFOバッファはFCLRレジスタのEP3CLRにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント3転送用のデータレジスタ

18.3.13 EP0o 受信データサイズレジスタ (EPSZ0o)

エンドポイント0がホストから受信したデータの大きさをバイト数で表示します。

ビット	ビット名	初期値	R/W	説明
7~0	—	すべて0	R	エンドポイント0の受信バイト数

18. USB ファンクションモジュール (USB)

18.3.14 EP1 受信データサイズレジスタ (EPSZ1)

エンドポイント1の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント1のFIFOは2面構成になっています。本レジスタに示される受信データサイズは、現在選択されている(CPUで読み出せる)面のサイズです。

ビット	ビット名	初期値	R/W	説明
7~0	—	すべて0	R	エンドポイント1の受信バイト数

18.3.15 トリガレジスタ (TRG)

TRGは、各エンドポイントの送受信のシーケンスを制御するためのワンショットトリガを生成します。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット 書き込む値は常に0にしてください。
6	EP3PKTE	不定	W	EP3パケットイネーブル エンドポイント3の送信用FIFOバッファに1パケット分のデータを書き込んだあと、このビットに1を書き込むことで送信データが確定します。
5	EP1RDFN	不定	W	EP1読み出し完了 エンドポイント1のFIFOバッファから1パケット分のデータを読み出したあと、このビットに1を書き込んでください。エンドポイント1の受信用FIFOは2面構成になっています。このビットに1を書き込むことで、読み出した面が初期化されて、次のパケットを受信できるようになります。
4	EP2PKTE	不定	W	EP2パケットイネーブル エンドポイント2のFIFOバッファに1パケット分のデータを書き込んだあと、このビットに1を書き込むことで送信データが確定します。
3	—	不定	—	リザーブビット 書き込む値は常に0にしてください。
2	EP0sRDFN	不定	W	EP0s読み出し完了 EP0sのコマンド用FIFOに対するデータを読み出したあと1を書き込んでください。1を書き込むことによって、続くデータステージのデータは送受信可能な状態になります。1を書き込むまではデータステージにおけるホストからの送受信要求に対してNACKハンドシェイクを返します。
1	EP0oRDFN	不定	W	EP0o読み出し完了 エンドポイント0の送信用FIFOバッファから1パケット分のデータを読み出したあと1を書き込むことでFIFOバッファが初期化されて次のパケットを受信できるようになります。
0	EP0iPKTE	不定	W	EP0iパケットイネーブル エンドポイント0の送信用FIFOバッファに1パケット分のデータを書き込んだあと、1を書き込むことで送信データが確定します。

18.3.16 データステータスレジスタ (DASTS)

DASTS は、送信用 FIFO バッファ内の有効データの有無を示します。FIFO バッファにデータを書き込み、パケットイネーブルをセットしたとき 1 にセット、データがすべてホストに送信されたときクリアされます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。
5	EP3DE	0	R	EP3 データあり エンドポイント 3 の FIFO バッファ内に有効データがあるときセットされます。
4	EP2DE	0	R	EP2 データあり エンドポイント 2 の FIFO バッファ内に有効データがあるときセットされます。
3	—	0	R	リザーブビット
2	—	0	R	読み出すと常に 0 が読み出されます。
1	—	0	R	
0	EP0IDE	0	R	EP0i データあり エンドポイント 0 の FIFO バッファ内に有効データがあるときセットされます。

18. USB ファンクションモジュール (USB)

18.3.17 FIFO クリアレジスタ (FCLR)

FCLR は、各エンドポイントの FIFO バッファを初期化するためのレジスタです。1 を書き込むとそのビットに対応する FIFO バッファのデータがすべてクリアされます。ただし、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット 書き込む値は常に 0 にしてください。
6	EP3CLR	不定	W	EP3 クリア このビットに 1 を書き込むとエンドポイント 3 の送信 FIFO バッファが初期化されます。
5	EP1CLR	不定	W	EP1 クリア このビットに 1 を書き込むとエンドポイント 1 の受信 FIFO バッファが 2 面とも初期化されます。
4	EP2CLR	不定	W	EP2 クリア このビットに 1 を書き込むとエンドポイント 2 の送信 FIFO バッファが 2 面とも初期化されます。
3	—	不定	—	リザーブビット
2	—	不定	—	書き込む値は常に 0 にしてください。
1	EP0oCLR	不定	W	EP0o クリア このビットに 1 を書き込むとエンドポイント 0 の受信 FIFO バッファが初期化されます。
0	EP0iCLR	不定	W	EP0i クリア このビットに 1 を書き込むとエンドポイント 0 の送信 FIFO バッファが初期化されます。

18.3.18 DMA 転送設定レジスタ (DMAR)

DMAR は、エンドポイント 1 およびエンドポイント 2 のデータレジスタとメモリとの間で内蔵ダイレクトメモリアクセスコントローラ (DMAC) による DMA 転送が可能です。バイト単位のデュアルアドレス転送となります。DMA 転送を起動するには、このレジスタの他に DMAC の設定が必要です。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	—	0	R	
1	EP2DMAE	0	R/W	<p>エンドポイント 2 DMA 転送イネーブル</p> <p>このビットをセットすると、メモリからエンドポイント 2 送信 FIFO バッファ方向への DMA 転送がイネーブルになります。FIFO バッファに 1 バイトでも空きがあれば DMAC に対し転送要求をアサートします。DMA 転送時は、FIFO バッファに 64 バイトを書き込むと自動的に EP2 パケットイネーブルがセットされ、64 バイトのデータが送信可能な状態になり、2 面ある FIFO のもう一方の FIFO にまだ空きがあれば、再度 DMAC に対し転送要求をアサートします。しかし、送信したいデータパケットサイズが 64 バイト未満の場合、EP2 パケットイネーブルは自動でセットされないため、DMA 転送終了割り込みで EP2 パケットイネーブルを CPU にてセットしてください。</p> <p>また、CPU に対する EP2 関連の割り込み要求は自動的にマスクされないため、割り込みイネーブルレジスタで必要に応じて割り込み要求をマスクしてください。</p> <p><動作手順></p> <ol style="list-style-type: none"> (1) DMAR の EP2 DMAE ビットに「1」書き込み (2) DMAC に転送回数設定 (3) DMAC 起動 (4) DMA 転送 (5) DMA 転送終了割り込み発生 <p>「18.7.3 エンドポイント 2 に対する DMA 転送」を参照してください。</p>

18. USB ファンクションモジュール (USB)

ビット	ビット名	初期値	R/W	説明
0	EP1DMAE	0	R/W	<p>エンドポイント 1 DMA 転送イネーブル</p> <p>このビットをセットすると、エンドポイント 1 受信 FIFO バッファからメモリ方向への DMA 転送が可能になります。FIFO バッファに 1 バイトでも受信データがあれば DMAC に対し転送要求をアサートします。DMA 転送時は、受信したデータをすべてリードすると、自動的に EP1 読み出し完了トリガが行われます。</p> <p>また、CPU に対する EP1 関連の割り込み要求は自動的にマスクされません。</p> <p><動作手順></p> <ol style="list-style-type: none"> (1) DMAR の EP1 DMAE ビットに「1」書き込み (2) DMAC に転送回数設定 (3) DMAC 起動 (4) DMA 転送 (5) DMA 転送終了割り込み発生 <p>「18.7.2 エンドポイント 1 に対する DMA 転送」を参照してください。</p>

18.3.19 エンドポイントストールレジスタ (EPSTL)

EPSTL の各ビットはエンドポイントをアプリケーション側で強制的にストールさせるためのビットです。1 にセットされている間、そのエンドポイントはホストに対してストールハンドシェイクを返します。エンドポイント 0 に対するストールビットは、ファンクションでデコードを行う 8 バイトのコマンドデータを受信すると自動的に解除され、EP0 STL ビットはクリアされます。また、IFR0 の SETUPTS フラグがセットされているときは、EP0 STL ビットへの 1 ライトは無視されます。詳細動作は「18.6 ストール動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	EP3STL	0	R/W	EP3 ストール このビットが 1 のとき、エンドポイント 3 はストール状態となります。
2	EP2STL	0	R/W	EP2 ストール このビットが 1 のとき、エンドポイント 2 はストール状態となります。
1	EP1STL	0	R/W	EP1 ストール このビットが 1 のとき、エンドポイント 1 はストール状態となります。
0	EP0STL	0	R/W	EP0 ストール このビットが 1 のとき、エンドポイント 0 はストール状態となります。

18.3.20 トランシーバコントロールレジスタ (XVERCR)

内蔵トランシーバと外部トランシーバのどちらを使用するか選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	—	0	R	
1	—	0	R	
0	XVEROFF	0	R/W	トランシーバコントロール 1 : 内蔵トランシーバ機能を停止して外部トランシーバ用デジタル信号が、ポートから出力されます。 0 : 内蔵トランシーバが動作します。

18.4 動作説明

18.4.1 ケーブル接続時

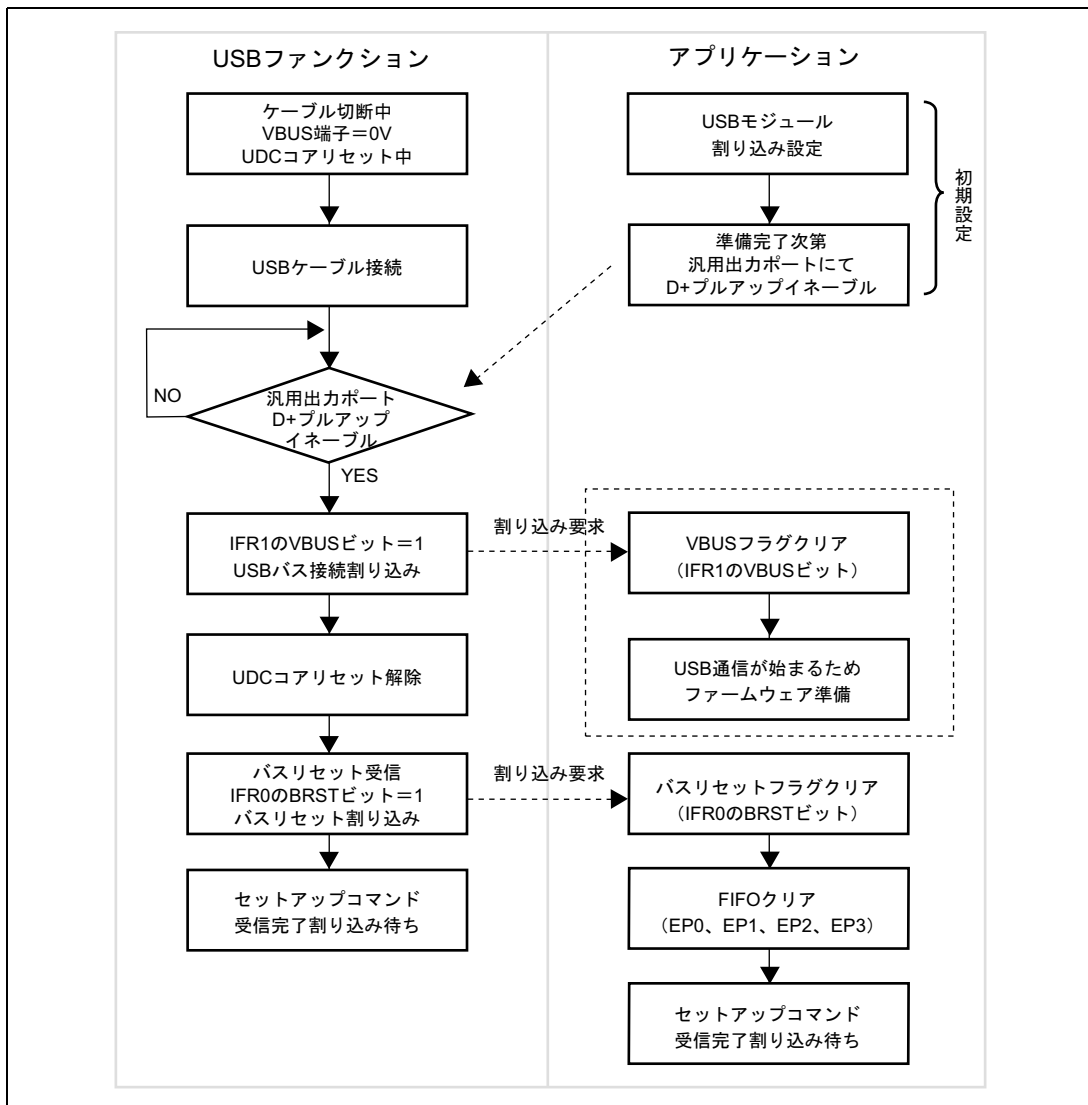


図 18.2 ケーブル接続時の動作

図 18.2 のフローは、「18.8 USB 外部回路例」時の動作を示しています。

USB ケーブル接続を検出する必要がないアプリケーションでは、USB バス接続割り込みによる処理は不要です。バスリセット割り込みにて準備してください。

18.4.2 ケーブル切断時

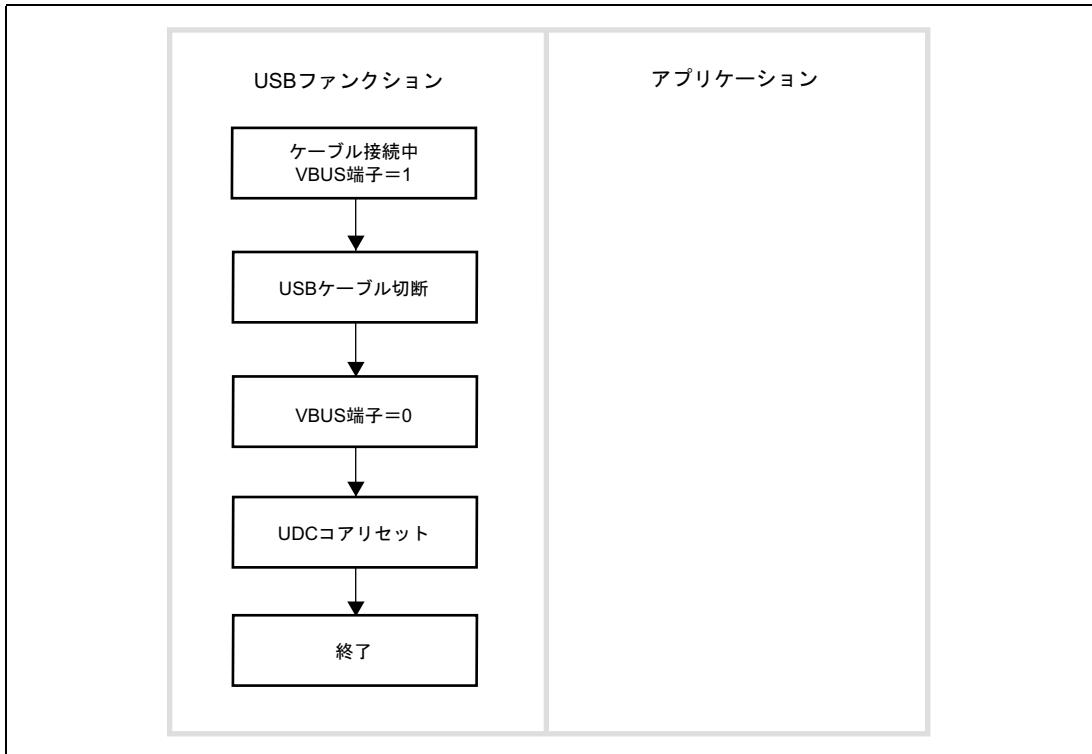


図 18.3 ケーブル切断時の動作

図 18.3 のフローは、「18.8 USB 外部回路例」時の動作を示しています。

18.4.3 コントロール転送

コントロール転送は、セットアップ、データ（ない場合もある）、ステータスの3つのステージで構成されます（図 18.4）。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを示します。

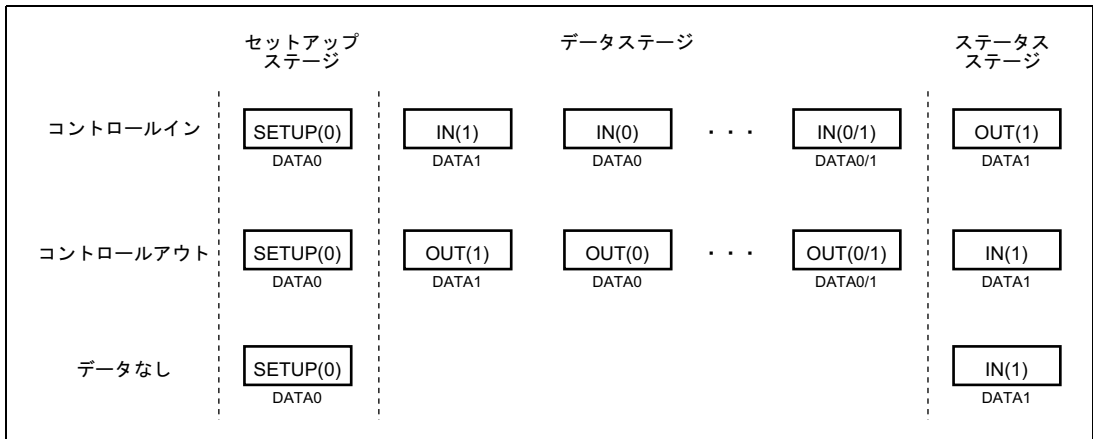


図 18.4 コントロール転送における各転送ステージ

(1) セットアップステージ

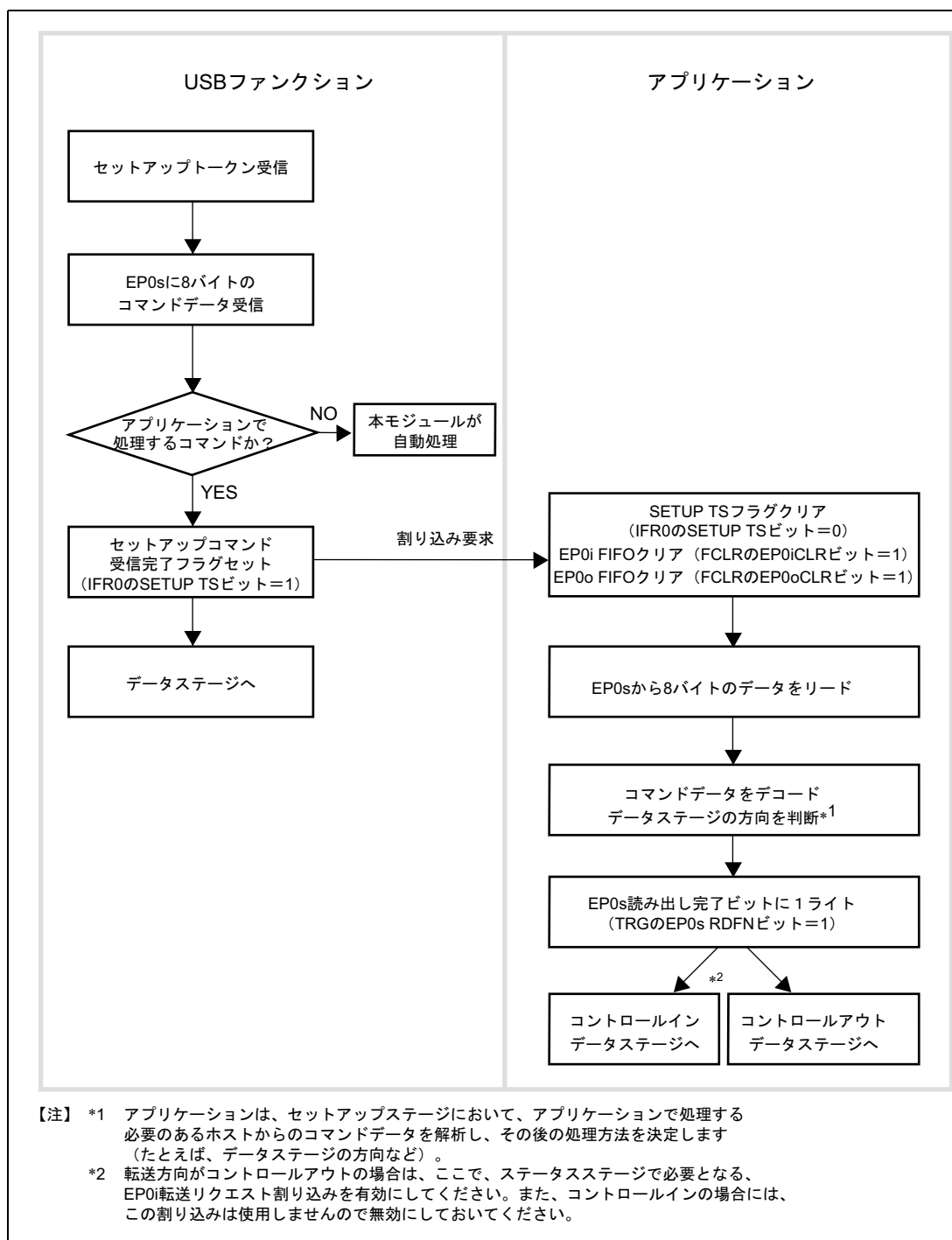


図 18.5 セットアップステージの動作

18. USB ファンクションモジュール (USB)

(2) データステージ (コントロールイン時)

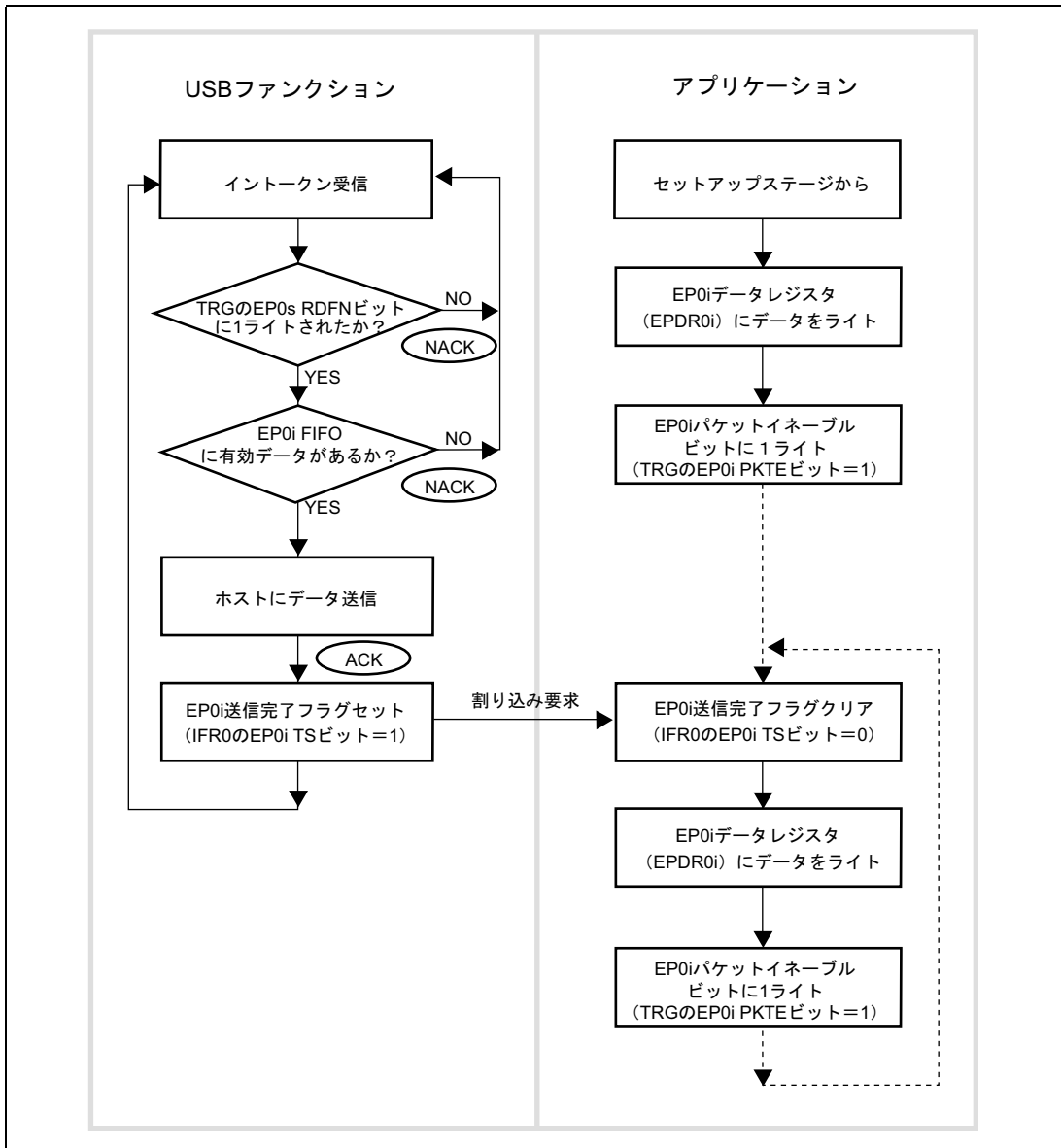


図 18.6 データステージ (コントロールイン時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初に書き込んだデータがホストに送られたあと (IFR0 の EPOi TS ビット=1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0 レングスパケットを送信して、データステージの最後を示します。

18. USB ファンクションモジュール (USB)

(3) データステージ (コントロールアウト時)

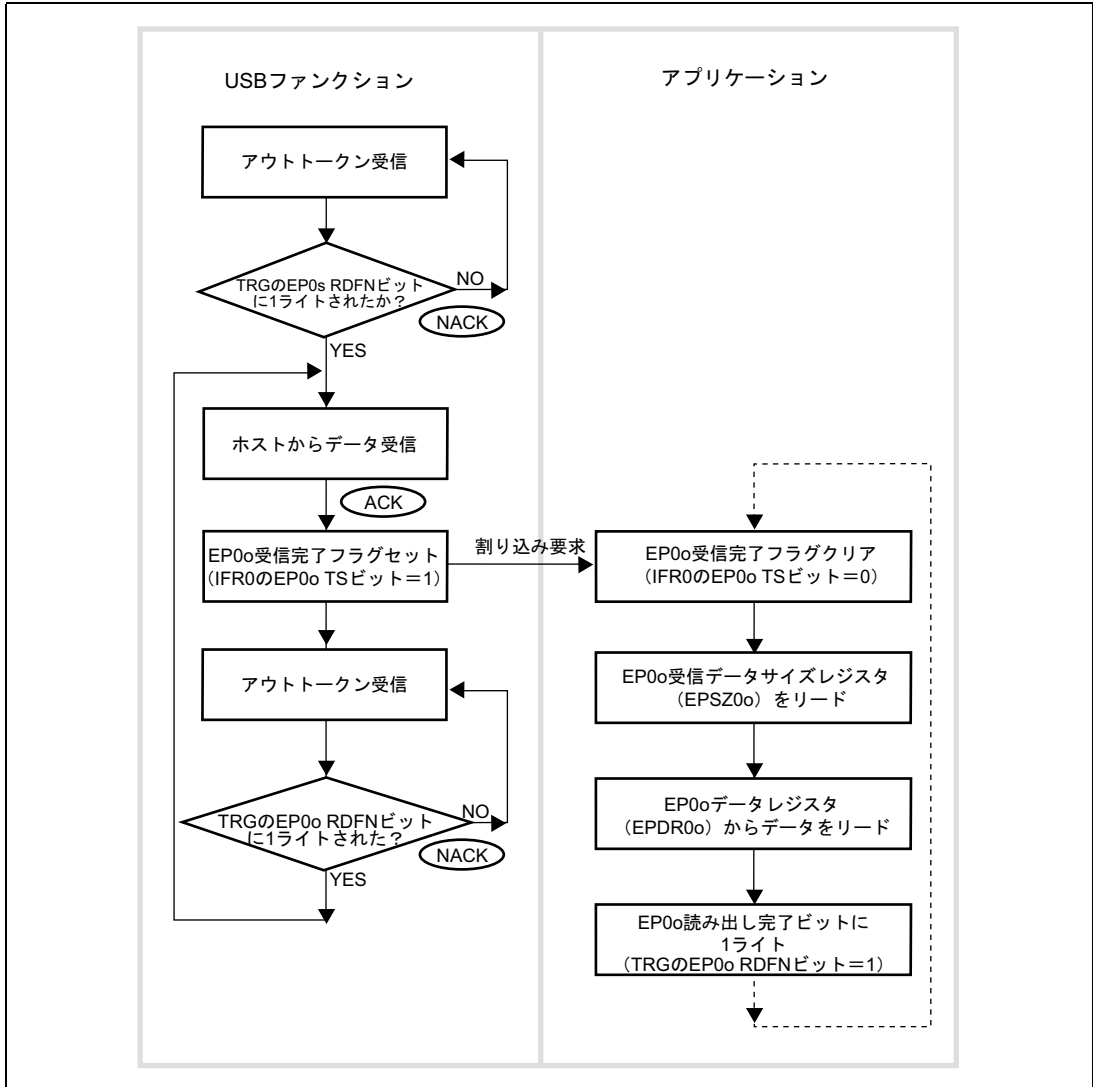


図 18.7 データステージ (コントロールアウト時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (IFR0 の EP0o TS ビット=1)、FIFO からデータを読み出します。次にアプリケーションは、EP0o 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

(4) ステータスステージ (コントロールイン時)

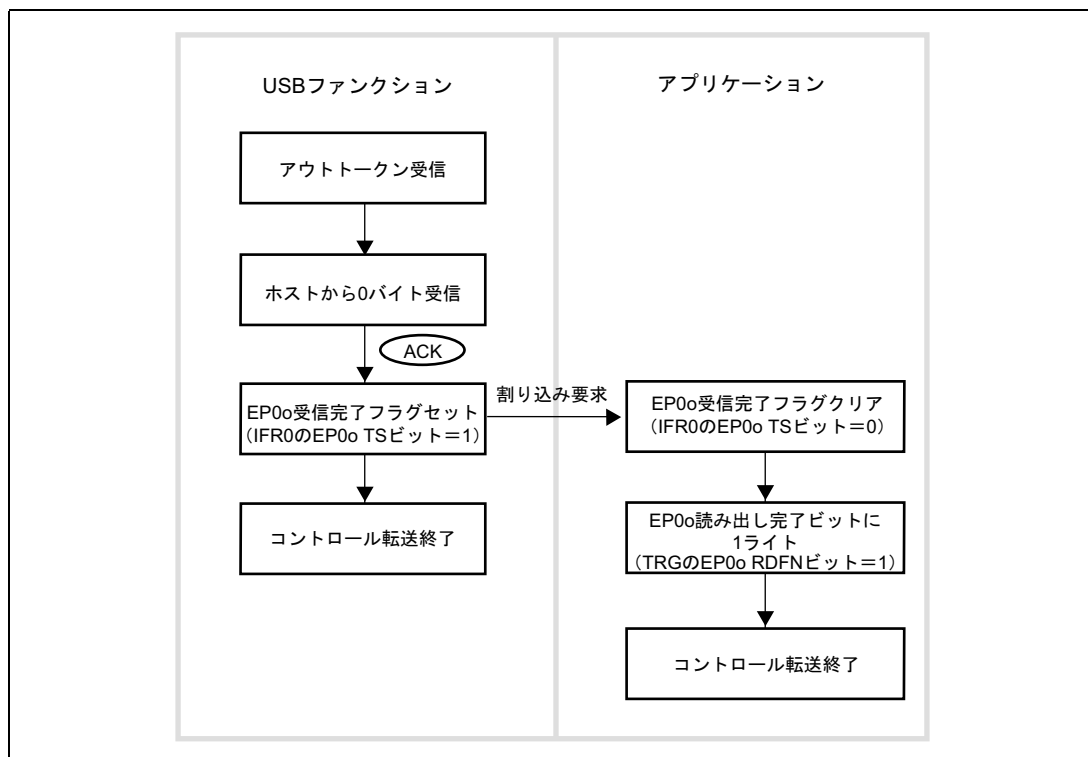


図 18.8 ステータスステージ (コントロールイン時) の動作

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの 0 バイトデータを受信して、コントロール転送を終了します。

(5) ステータスステージ (コントロールアウト時)

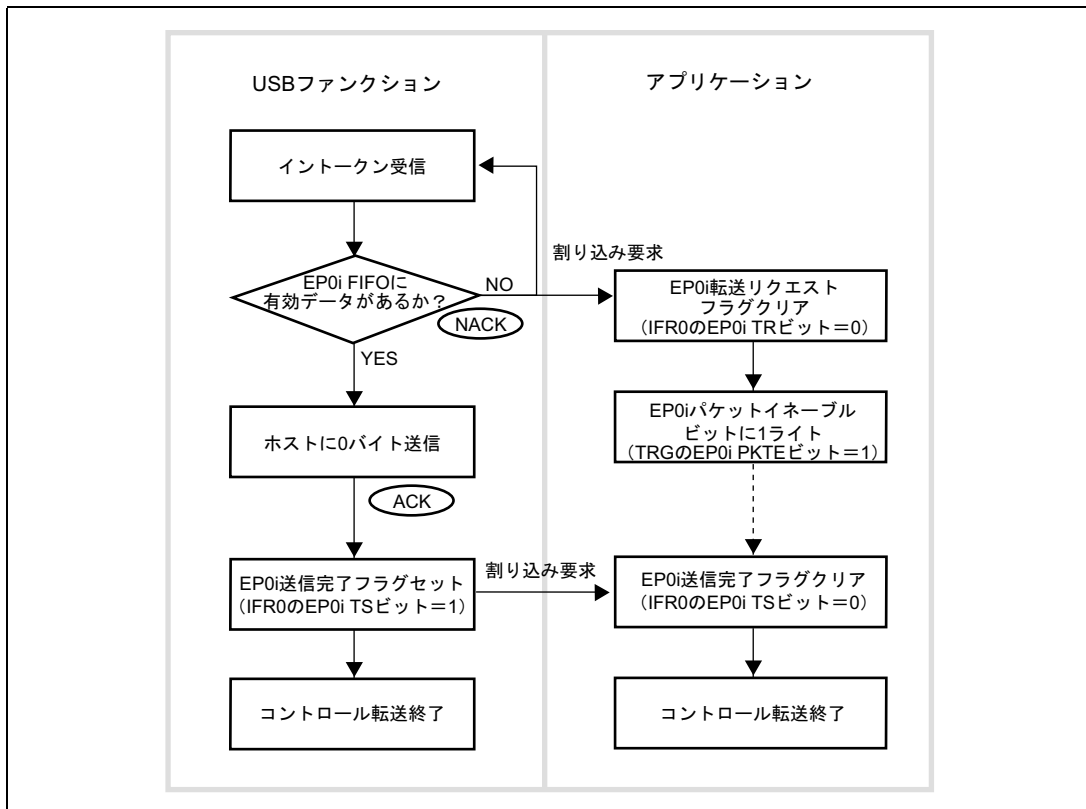


図 18.9 ステータスステージ (コントロールアウト時) の動作

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージにかかわる処理をすべて終了したあと、EP0i パケットイネーブルビットに 1 ライトしてください。

18.4.4 EP1 バルクアウト転送 (2面 FIFO)

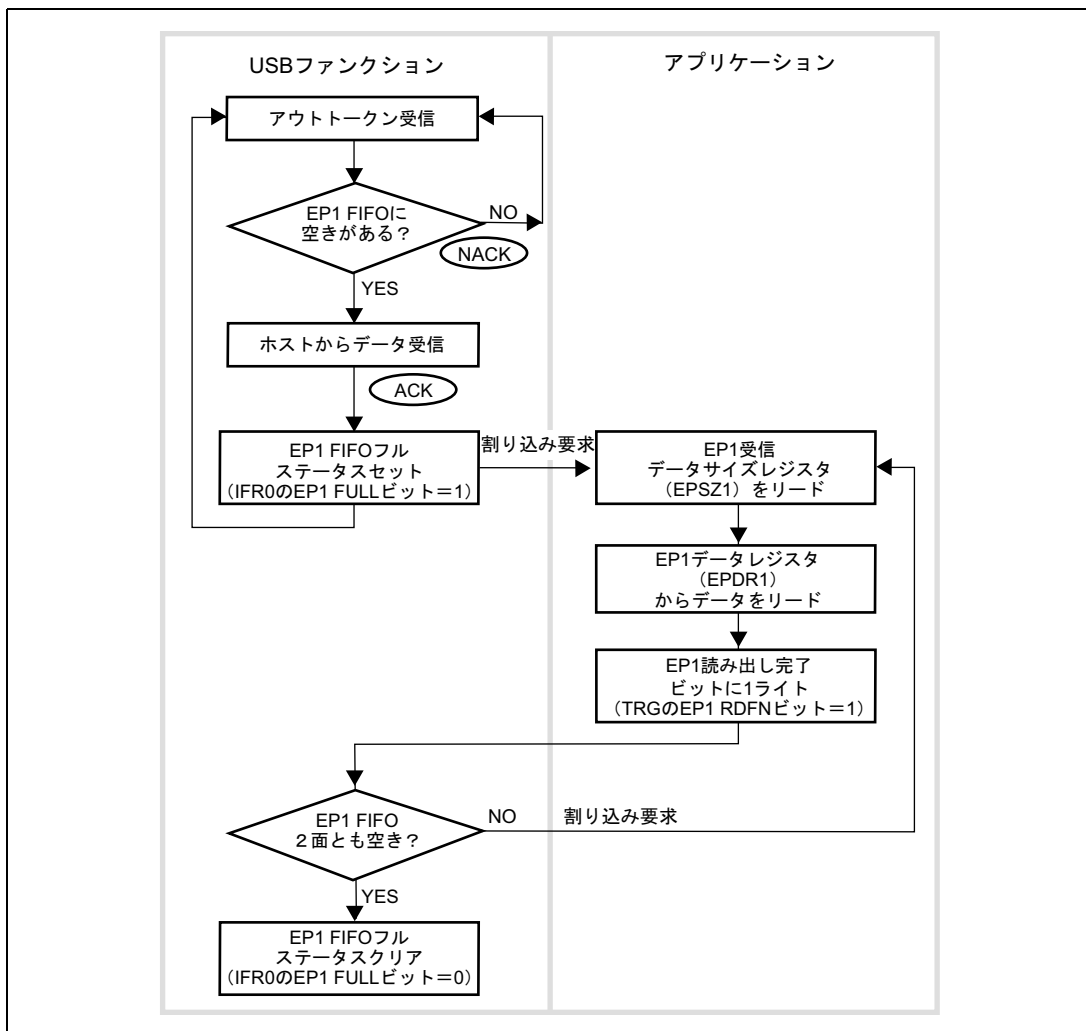


図 18.10 EP1 バルクアウト転送の動作

EP1 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、IFR0 の EP1 FULL ビットがセットされます。FIFO が 2 面とも EMPTY の状態で最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面とも FULL になった場合、ホストには自動的に NACK が返信されます。データ受信後、受信データのリードが終了したら、TRG の EP1 RDFN ビットに 1 をライトします。この操作によって、今リードし終えた FIFO が EMPTY になり、次のパケットを受信可能な状態になります。

18.4.5 EP2 バルクイン転送 (2面 FIFO)

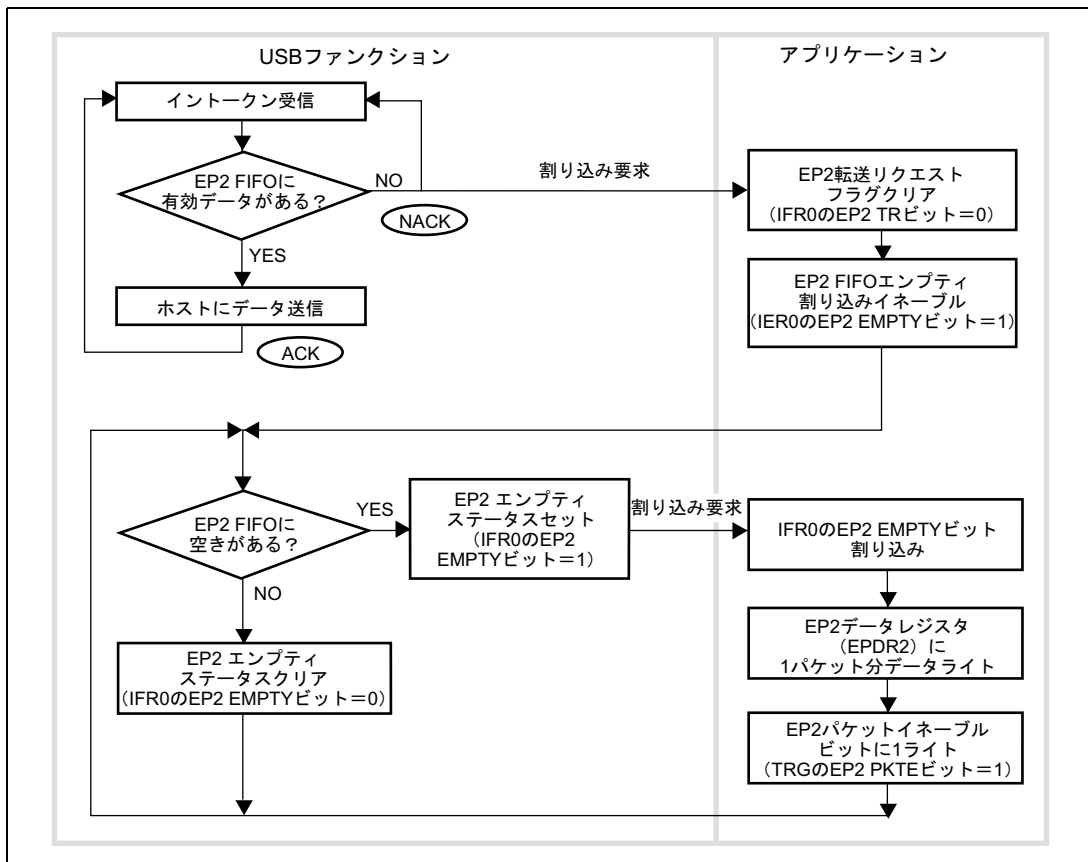


図 18.11 EP2 バルクイン転送の動作

EP2は64バイトのFIFOを2面持っています。しかし、ユーザは2面あることを意識することなく、データ送信および送信データのライトができます。ただし、1回のデータライトは1面ごとに行ってください。たとえば、2面ともFIFOがEMPTYの場合でも、連続して128バイトデータをライト後、まとめてEP2PKTEを行うことはできません。必ず64バイトのライトごとにEP2PKTEを行ってください。

バルクイン転送を行いたい場合、まず最初のイントークンでFIFO内に有効データが存在しないので、IFR0のEP2 TR ビット割り込みが要求されます。その割り込みで、IER0のEP2 EMPTY ビットに1ライトし、EP2 FIFO エンプティ割り込みを許可します。最初は、EP2の2面のFIFOは共にEMPTYになっているので、EP2 FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタにライトします。最初1面分の送信データライト後は、他方のFIFOが空いているので、すぐ他方の面に送信データをライトすることができます。2面ともFULLになった場合、EP2 EMPTYが0になります。1面でもEMPTYであればIFR0のEP2 EMPTY ビットが1セットされます。データ送信完了後、ホストからACKが返ってきたら、データ送信を行ったFIFOがEMPTYになります。このとき、他方のFIFOに有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、IER0のEP2 EMPTY ビットに0ライトを行い、割り込み要求を禁止にしてください。

18.4.6 EP3 インタラプトイン転送

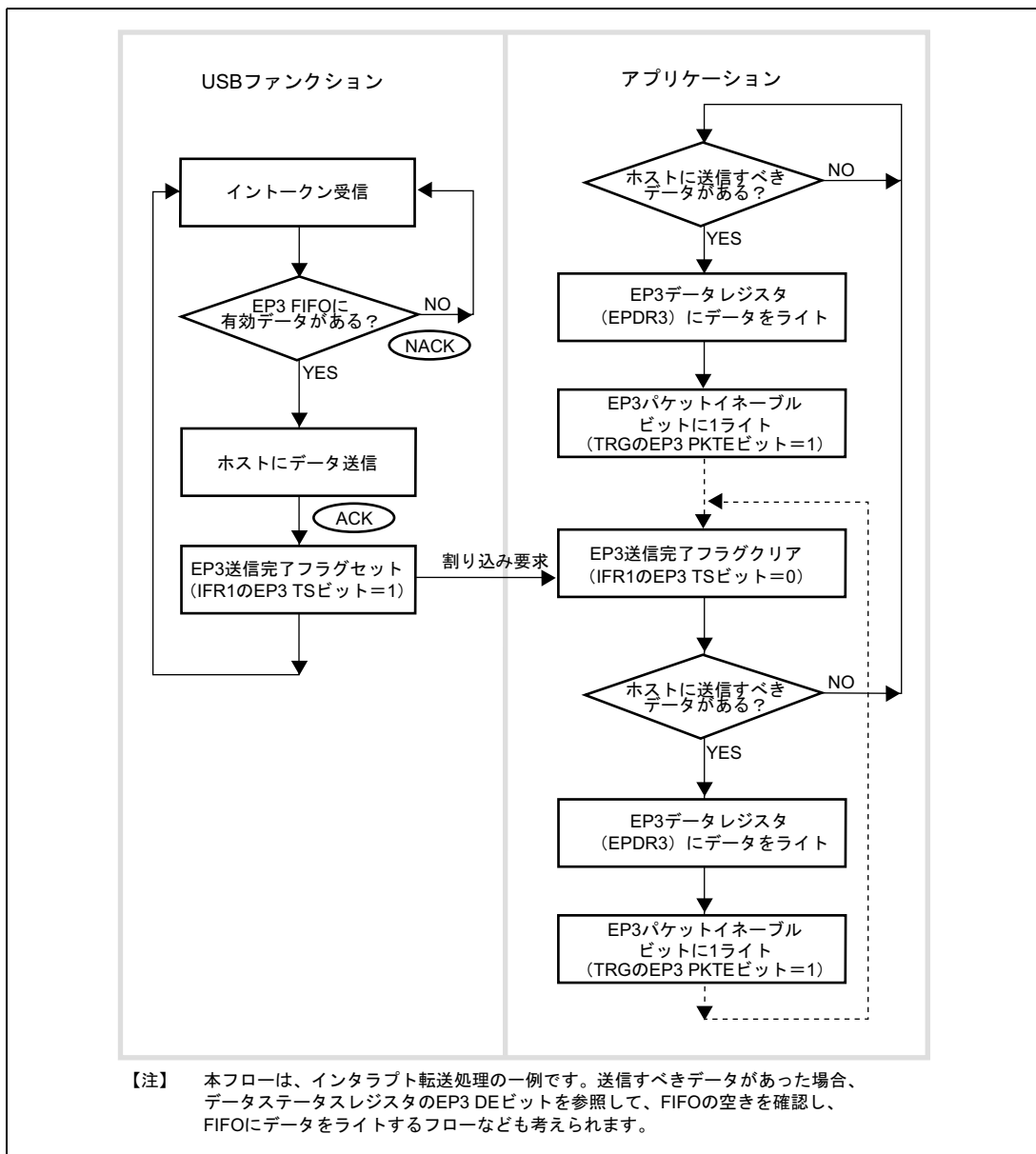


図 18.12 EP3 インタラプトイン転送の動作

18.5 USB 標準コマンドとクラス/ベンダーコマンドの処理

18.5.1 コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、アプリケーション側でデコードを行い、コマンドの処理を行う必要があります。以下の表 18.2 にアプリケーション側でのコマンドデコードについて示します。

表 18.2 アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要なし	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Class/Vendor コマンド
Get Interface	Set Descriptor
Get Status	Sync Frame
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、IFR0/SETUP TS フラグがセットされ、割り込み要求が発生します。この割り込みルーチンの中で EP0s のデータレジスタ (EPDR0s) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

18.6 ストール動作

18.6.1 概要

本モジュールでのストール動作について説明します。本モジュールのストール機能には、次の2つの場合があります。

- アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合
- USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態（ストールか否か）を保持した内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照してホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合はホストから **Clear Feature** コマンドを使ってクリアしてください。

18.6.2 アプリケーションが強制的にストールさせたい場合

アプリケーションが本モジュールに対してストール要求するレジスタ **EPSTL** を使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、**EPSTL** の該当ビットをセットします（**図 18.13 の 1-1**）。このとき、内部状態ビットは変化しません。次に、ホストから **EPSTL** の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていなければ **EPSTL** の該当ビットを参照します（**図 18.13 の 1-2**）。ここで、**EPSTL** の該当ビットがセットされていれば、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェイクを返します（**図 18.13 の 1-3**）。**EPSTL** の該当ビットがセットされていなければ、内部状態ビットは変化せず、トランザクションが受け付けられません。

一度、内部状態ビットがセットされたあとは、**EPSTL** に関係なく、ホストから **Clear Feature** コマンドでクリアされるまで内部状態ビットは保持されます。**Clear Feature** コマンドで該当ビットがクリアされても（**図 18.13 の 3-1**）、**EPSTL** のビットがセットされている間は、該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、本モジュールはストールハンドシェイクを返します（**図 18.13 の 1-2**）。したがって、ストールを解除するためには、**EPSTL** の該当ビットをアプリケーションでクリアし、さらに **Clear Feature** コマンドで内部状態ビットをクリアする必要があります（**図 18.13 の 2-1、2-2、2-3**）。

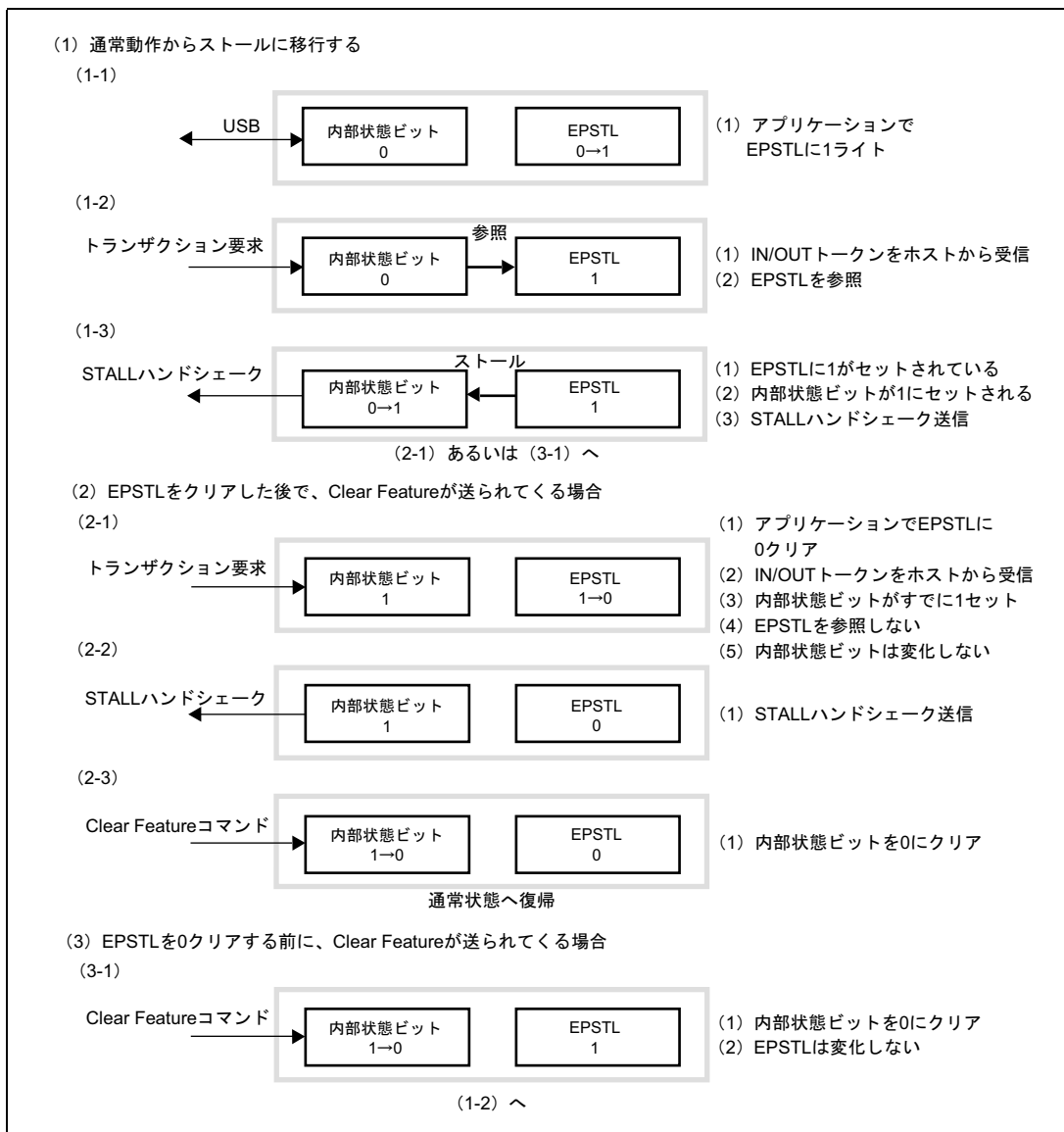


図 18.13 アプリケーションで強制的にストールさせたい場合

18.6.3 USB ファンクションモジュールが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合、あるいはUSBの規格違反があった場合は、EPSTLに関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットし、ストールハンドシェークを返します(図 18.14 の 1-1)。

一度、内部状態ビットがセットされたあとは、EPSTLに関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされたあとは、EPSTLを参照するようになります(図 18.14 の 3-1)。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても、内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します(図 18.14 の 2-1、2-2)。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 18.14 の 3-1)。もし、アプリケーションによってEPSTLをセットしている場合は、EPSTLもクリアしてください(図 18.14 の 2-1)。

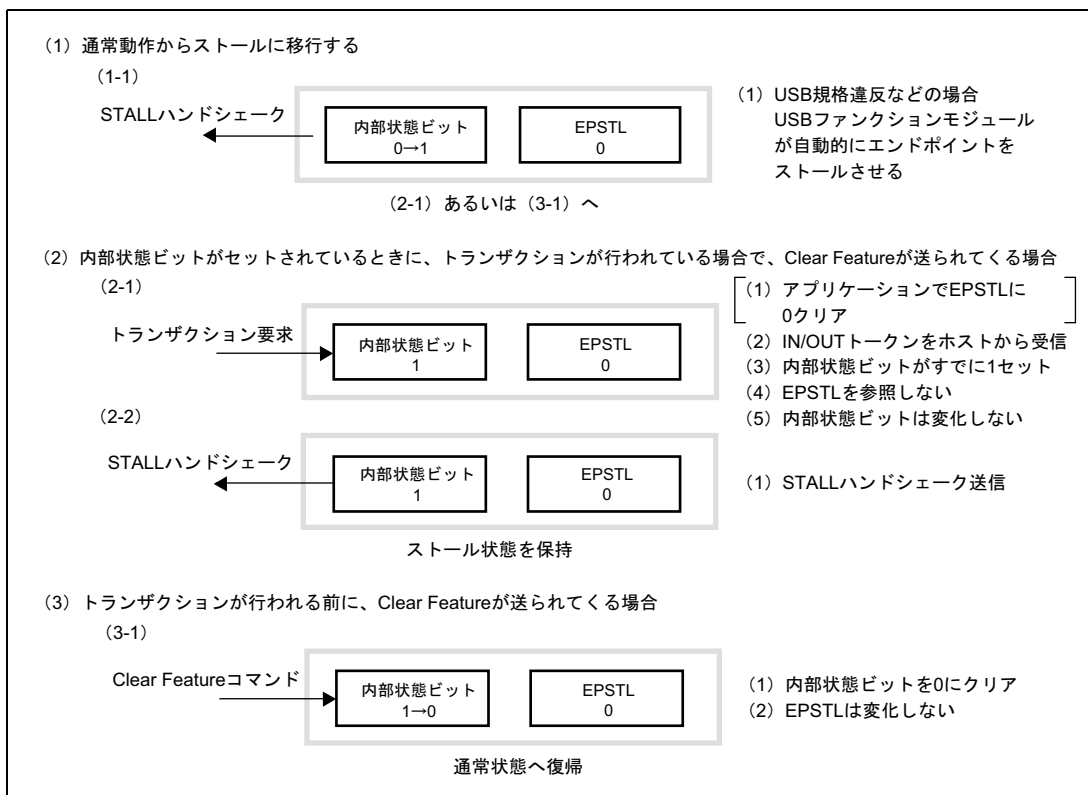


図 18.14 USB ファンクションモジュールが自動的にストールさせた場合

18.7 DMA 転送動作

18.7.1 概要

本モジュールは、エンドポイント1およびエンドポイント2に対しDMAC転送を行うことが可能です。ただしワードやロングワード転送はできません。エンドポイント1に有効な受信データが1バイトでもある場合、エンドポイント1に対するDMA転送要求が発生します。またエンドポイント2に有効なデータがない場合、エンドポイント2に対するDMA転送要求が発生します。

なお、DMA転送設定レジスタのEPI DMAEビットに1をセットしDMA転送を許可すると、エンドポイント1に対する0レングスデータの受信を無視します。また、DMA転送を設定した場合、EPIのTRGのRDFNビット、およびEP2のTRGのPKTEビットは1ライトする必要はありません（ただし、最大バイト数未満の時はTRGのPKTEビットを1ライトする必要があります）。EPIに関しては、受信したデータをすべてリードし終わると自動的にFIFOをEMPTYにします。EP2に関しては、FIFOにライトできる最大バイト数（64バイト）のライトが行われるとそのFIFOは自動的にFULLになり、FIFO内のデータは送信可能になります（図18.15、18.16を参照）。

18.7.2 エンドポイント1に対するDMA転送

EPIの受信データをDMA転送で転送する場合、現在選択されている面のデータFIFOがEMPTYになると自動的にTRGのRDFNビットに1ライトすることと同じ処理がモジュール内部で行われます。よって、1面分のデータをリードした後にEPIRDFNビットに1ライトしないでください。TRGのRDFNビットに1ライトを行った場合の動作保証はできません。

例として、150バイトのデータをホストから受信する場合を考えます。この場合、下図の3箇所ですべて自動的にTRGのRDFNビットへ1ライトすることと同じ処理が内部的に行われます。この処理は、現在選択されているデータFIFOのデータがEMPTYになったとき行われるため、64バイトのデータを転送したときでもそれ以下のデータを転送したときでも、同じように自動で処理されます。

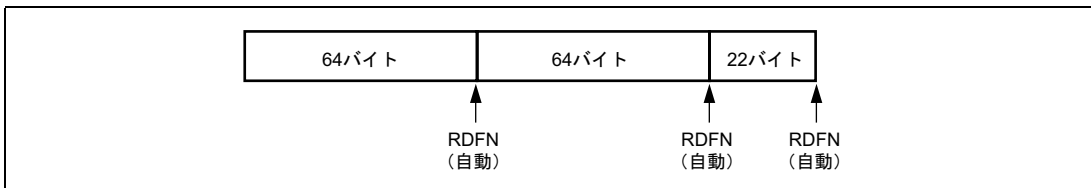


図 18.15 EP1 の RDNF 操作

18.7.3 エンドポイント 2 に対する DMA 転送

EP2 の送信データを DMA 転送で転送する場合、1 面分のデータ FIFO (64 バイト) が FULL になると、自動的に TRG の PKTE ビットに 1 ライトすることと同じ処理がモジュール内部で行われます。したがって、転送するデータが 64 バイトの倍数の場合は、TRG の PKTE ビットに 1 ライトする処理は必要ありません。

ただし、64 バイトに満たないデータの場合は、TRG の PKTE ビットに 1 ライトを行う必要があります。この処理は、DMAC の DMA 転送終了割り込みで行ってください。最大バイト数 (64 バイト) の転送で TRG の PKTE ビットに 1 ライトを行った場合は動作保証できません。

例として、150 バイトのデータをホストに送信する場合を考えます。この場合、下図の 2 箇所ですべて自動的に TRG の PKTE ビットに 1 ライトすることと同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが FULL になったとき行われるため、64 バイトのデータを転送したときのみ自動で処理されます。

次に最後の 22 バイトを転送完了したとき、自動的に TRG の PKTE ビットに 1 ライトすることは行われなため、ソフトで TRG の PKTE ビットに 1 ライトを行ってください。また、アプリケーション側にはすでに転送するデータはありませんが、本モジュールは FIFO に空きがある限り EP2 に対する DMA 転送要求を出力します。したがって、すべてのデータを DMA で転送完了した場合、DMA の EP2DMAE ビットに 0 ライトを行って、EP2 に対する DMA 転送要求を取りさげてください。

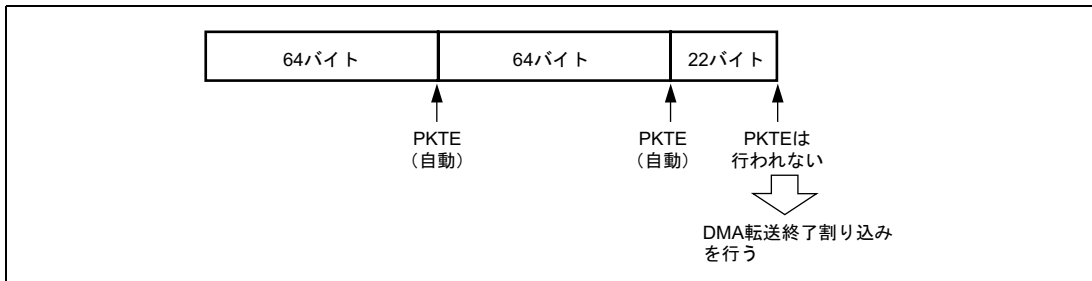


図 18.16 EP2 の PKTE ビット操作

18.8 USB 外部回路例

1. USBトランシーバに関して

内蔵トランシーバを使用しない場合は、USBトランシーバIC (PDIUSBP11など) を外部に搭載してください。USBトランシーバからUSBコネクタへの推奨回路などは、各USBトランシーバメーカーにお問い合わせください。

2. D+のプルアップ制御

USBホスト/ハブへの接続通知 (D+プルアップ) を遅延させたい (優先度の高い処理中、初期化処理中など) システムでは、D+のプルアップを汎用出力ポートを用いて制御してください。しかし、USBケーブルがすでにホスト/ハブに接続されD+のプルアップを禁止している場合、D+、D-がともにローレベル (ホスト/ハブ側はD+、D-をともにプルダウン) となり、USBモジュールはホストからUSBバスリセットを受信したものと誤って認識してしまいます。そのため、図18.17のようにD+のプルアップ制御信号およびVBUS端子入力信号は汎用出力ポートとUSBケーブルVBUSを用いて (AND回路) 制御してください (本LSIのUDCコアは、VBUS端子がローレベルのとき、D+、D-の状態にかかわらずパワードステートを保持します)。

3. USBケーブル接続/切断の検出

本モジュールはハードウェアにてUSBのステートなどを管理しているため、接続/切断を認識するVBUS信号が必要となります。VBUSはUSBケーブル内の電源信号 (VBUS) を用いますが、ファンクション (本LSI搭載システム) が電源OFF時、USBホスト/ハブにケーブルが接続されると、USBホスト/ハブから電圧 (5V) が印加されてしまいます。そのため、システム電源OFF時に電圧印加が可能なIC (HD74LV1G08A、2G08Aなど) を外部に搭載してください。

18. USB ファンクションモジュール (USB)

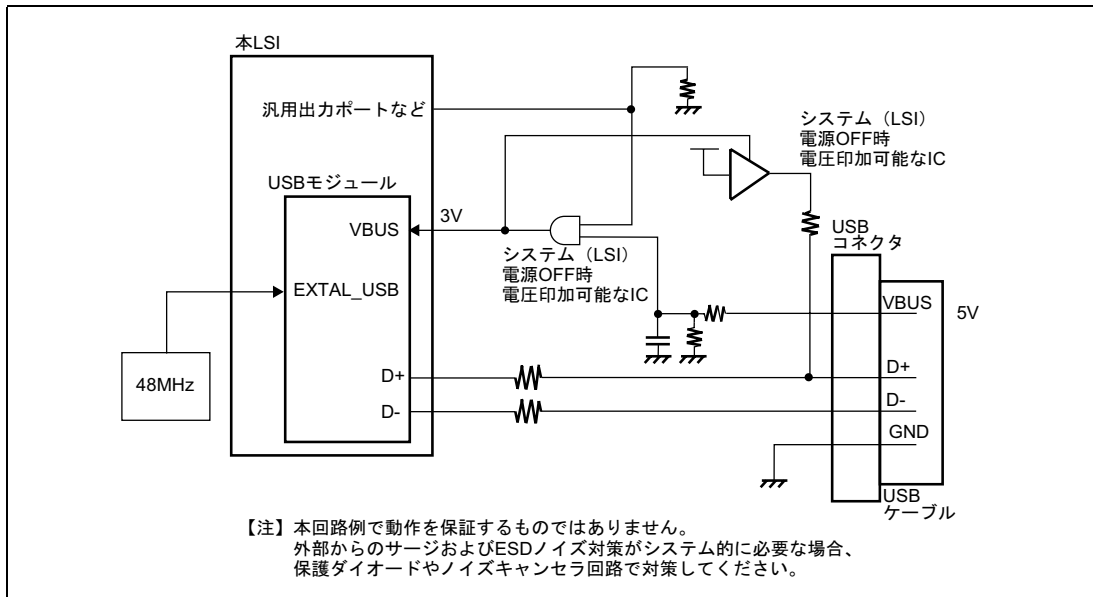


図 18.17 USB ファンクションモジュール外部回路例 (内蔵トランシーバ)

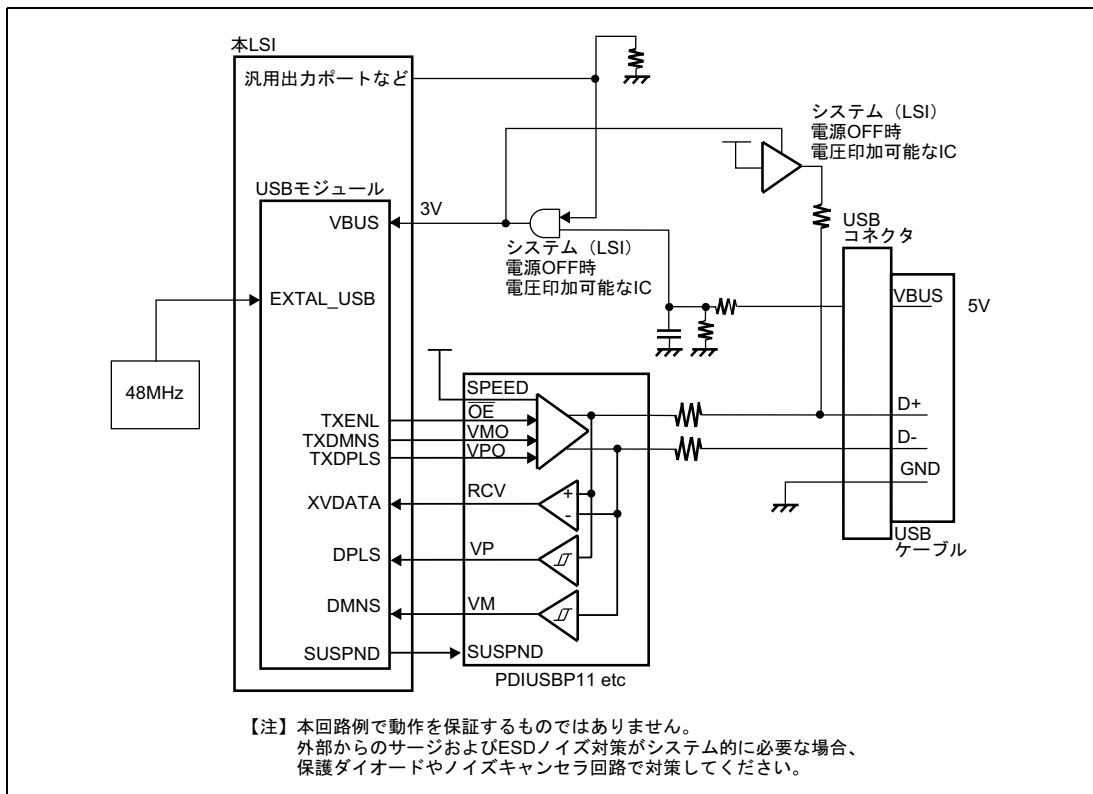


図 18.18 USB ファンクションモジュール外部回路例 (外部トランシーバ)

18.9 使用上の注意事項

18.9.1 セットアップデータ受信について

8 バイトのセットアップデータ受信を行なう EPDR0s は以下の点に注意してください。

1. USBではセットアップコマンドを必ず受信することになっているため、CPU側からのリードよりも、USBバス側からのライトが優先になっています。受信完了後にCPUでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためCPU側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。
2. EPDR0sは必ず8バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

18.9.2 FIFO のクリアについて

USB ケーブル接続後、通信途中で抜かれた場合、受信中あるいは送信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル接続後は、すみやかに FIFO のクリアを行ってください。

なお、ホストからデータ受信中あるいはホストに対してデータ送信中の FIFO クリアは行わないでください。

18.9.3 データレジスタのオーバーリード／ライトについて

本モジュールのデータレジスタをリード／ライトする際、以下の点に注意してください。

(1) 受信用データレジスタ

受信用データレジスタは、有効な受信データ数以上リードしないでください。すなわち、受信データサイズレジスタに示されるバイト数以上リードしないでください。2面 FIFO を持つ EPDR1 の場合も 1 回にリードできる最大データ数は 64 バイトです。現在有効になっている面のデータをリード終了したら、必ず TRG/EP1RDFN に 1 ライトを行ってください。この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データに反映され、次のデータがリード可能になります。

(2) 送信用データレジスタ

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2面 FIFO を持つ EPDR2 の場合も、1 回のライトは必ず最大パケットサイズ以内にしてください。データライト後、TRG/PKTE に 1 ライトを行うと本ジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって、2面分連続でデータライトは行わないでください。

18.9.4 EP0 に関する割り込み要因の割り当てについて

本モジュールの IFR0 に割り当てられた EP0 に関する割り込み要因 (ビット 0~3) は、必ず ISR0 で同じ割り込み端子に割り当ててください。その他の割り込み要因には特に制約はありません。

18.9.5 DMA 転送設定時の FIFO クリアについて

エンドポイント 1 において、DMA 転送をイネーブルにしているとき (DMAR/EP1 DMAE=1) は、エンドポイント 1 データレジスタ (EPDR1) のクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

18.9.6 TR 割り込み使用時の注意事項

EP0i/EP2/EP3 のイン転送には転送要求割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当エンドポイントの FIFO にデータがないときにセットされます。しかし、図 18.19 に示すタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないようにしてください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NAK 判定を行います。TR 割り込みフラグは NAK ハンドシェイク送信後にセットされます。したがって、TRG/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

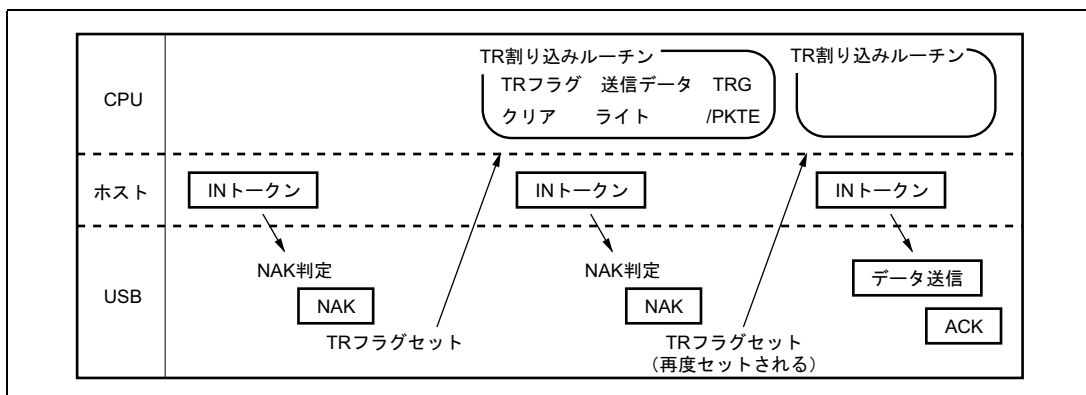


図 18.19 TR 割り込みフラグのセットタイミング

19. ピンファンクションコントローラ (PFC)

19.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSIの動作モードに関係なく端子ごとに個別に選択することができます。表 19.1 に、本 LSI のマルチプレクス端子を示します。

表 19.1 マルチプレクス一覧表

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
A	PTA7 入出力 (ポート) / PINT7 入力 (INTC)	D23 入出力 (BSC)
A	PTA6 入出力 (ポート) / PINT6 入力 (INTC)	D22 入出力 (BSC)
A	PTA5 入出力 (ポート) / PINT5 入力 (INTC)	D21 入出力 (BSC)
A	PTA4 入出力 (ポート) / PINT4 入力 (INTC)	D20 入出力 (BSC)
A	PTA3 入出力 (ポート) / PINT3 入力 (INTC)	D19 入出力 (BSC)
A	PTA2 入出力 (ポート) / PINT2 入力 (INTC)	D18 入出力 (BSC)
A	PTA1 入出力 (ポート) / PINT1 入力 (INTC)	D17 入出力 (BSC)
A	PTA0 入出力 (ポート) / PINT0 入力 (INTC)	D16 入出力 (BSC)
B	PTB7 入出力 (ポート) / PINT15 入力 (INTC)	D31 入出力 (BSC)
B	PTB6 入出力 (ポート) / PINT14 入力 (INTC)	D30 入出力 (BSC)
B	PTB5 入出力 (ポート) / PINT13 入力 (INTC)	D29 入出力 (BSC)
B	PTB4 入出力 (ポート) / PINT12 入力 (INTC)	D28 入出力 (BSC)
B	PTB3 入出力 (ポート) / PINT11 入力 (INTC)	D27 入出力 (BSC)
B	PTB2 入出力 (ポート) / PINT10 入力 (INTC)	D26 入出力 (BSC)
B	PTB1 入出力 (ポート) / PINT9 入力 (INTC)	D25 入出力 (BSC)
B	PTB0 入出力 (ポート) / PINT8 入力 (INTC)	D24 入出力 (BSC)
C	PTC7 入出力 (ポート)	CS6A 出力 (BSC)
C	PTC6 入出力 (ポート)	CS5A 出力 (BSC)
C	PTC5 入出力 (ポート)	CS4 出力 (BSC)
C	PTC4 入出力 (ポート)	CS3 出力 (BSC)
C	PTC3 入出力 (ポート)	CS2 出力 (BSC)
C	PTC2 入出力 (ポート)	WE3 出力 (BSC) / DQMUU 出力 (BSC) / AH 出力 (BSC)
C	PTC1 入出力 (ポート)	WE2 出力 (BSC) / DQMUL 出力 (BSC)
C	PTC0 入出力 (ポート)	BS 出力 (BSC)
D	PTD7 入出力 (ポート)	CS6B 出力 (BSC)

19. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
D	PTD6 入出力 (ポート)	CS5B 出力 (BSC)
D	PTD5 入力 (ポート)	NF*1
D	PTD4 入出力 (ポート)	CKE 出力 (BSC)
D	PTD3 入出力 (ポート)	CASU 出力 (BSC)
D	PTD2 入出力 (ポート)	CASL 出力 (BSC)
D	PTD1 入出力 (ポート)	RASU 出力 (BSC)
D	PTD0 入出力 (ポート)	RASL 出力 (BSC)
E	PTE7 入出力 (ポート)	—
E	PTE6 入出力 (ポート)	TCLK 入力 (TMU)
E	PTE5 入出力 (ポート)	STATUS1 出力 (CPG) /CTS0 入力 (SCIF0)
E	PTE4 入出力 (ポート)	STATUS0 出力 (CPG) /RTS0 出力 (SCIF0)
E	PTE3 入出力 (ポート)	TEND0 出力 (DMAC)
E	PTE2 入出力 (ポート)	IRQ5 入力 (INTC)
E	PTE1 入出力 (ポート)	DACK1 出力 (DMAC)
E	PTE0 入出力 (ポート)	DACK0 出力 (DMAC)
F	PTF7 入出力 (ポート)	ASEMD0 入力
F	PTF6 入出力 (ポート)	ASEBRKAK 出力
F	PTF5 入出力 (ポート)	TDO 出力 (H-UDI)
F	PTF4 入出力 (ポート)	AUDSYNC 出力 (AUD)
F	PTF3 入出力 (ポート)	AUDATA3 出力 (AUD) /TO3 出力 (TPU)
F	PTF2 入出力 (ポート)	AUDATA2 出力 (AUD) /TO2 出力 (TPU)
F	PTF1 入出力 (ポート)	AUDATA1 出力 (AUD) /TO1 出力 (TPU)
F	PTF0 入出力 (ポート)	AUDATA0 出力 (AUD) /TO0 出力 (TPU)
G	PTG7 入出力 (ポート)	WAIT 入力 (BSC)
G	PTG6 入出力 (ポート)	BREQ 入力 (BSC)
G	PTG5 入出力 (ポート)	BACK 出力 (BSC)
G	PTG4 入出力 (ポート)	AUDCK 出力 (AUD)
G	PTG3 入出力 (ポート)	TRST 入力 (H-UDI)
G	PTG2 入出力 (ポート)	TMS 入力 (H-UDI)
G	PTG1 入出力 (ポート)	TCK 入力 (H-UDI)
G	PTG0 入出力 (ポート)	TDI 入力 (H-UDI)
H	PTH6 入出力 (ポート)	DREQ1 入力 (DMAC)
H	PTH5 入出力 (ポート)	DREQ0 入力 (DMAC)
H	PTH4 入出力 (ポート)	IRQ4 入力 (INTC)
H	PTH3 入出力 (ポート)	IRQ3 入力 (INTC) /IRL3 入力 (INTC)
H	PTH2 入出力 (ポート)	IRQ2 入力 (INTC) /IRL2 入力 (INTC)

19. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
H	PTH1 入出力 (ポート)	IRQ1 入力 (INTC) / IRL1 入力 (INTC)
H	PTH0 入出力 (ポート)	IRQ0 入力 (INTC) / IRL0 入力 (INTC)
J	PTJ7 出力 (ポート)	NF* ¹
J	PTJ6 出力 (ポート)	NF* ¹
J	PTJ5 出力 (ポート)	NF* ¹
J	PTJ4 出力 (ポート)	NF* ¹
J	PTJ3 出力 (ポート)	NF* ¹
J	PTJ2 出力 (ポート)	NF* ¹
J	PTJ1 出力 (ポート)	NF* ¹
J	PTJ0 出力 (ポート)	NF* ¹
K	PTK7 入出力 (ポート)	A25 出力 (BSC)
K	PTK6 入出力 (ポート)	A24 出力 (BSC)
K	PTK5 入出力 (ポート)	A23 出力 (BSC)
K	PTK4 入出力 (ポート)	A22 出力 (BSC)
K	PTK3 入出力 (ポート)	A21 出力 (BSC)
K	PTK2 入出力 (ポート)	A20 出力 (BSC)
K	PTK1 入出力 (ポート)	A19 出力 (BSC)
K	PTK0 入出力 (ポート)	A0 出力 (BSC)
L	PTL3 入力 (ポート)	AN3 入力 (ADC)
L	PTL2 入力 (ポート)	AN2 入力 (ADC)
L	PTL1 入力 (ポート)	AN1 入力 (ADC)
L	PTL0 入力 (ポート)	AN0 入力 (ADC)
M	PTM6 入出力 (ポート)	VBUS 入力 (USB)
M	PTM4 入力 (ポート)	NF* ¹
M	PTM3 入出力 (ポート)	—
M	PTM2 入出力 (ポート)	—
M	PTM1 入出力 (ポート)	—
M	PTM0 入出力 (ポート)	—
N	PTN7 入出力 (ポート)	—
N	PTN6 入出力 (ポート)	DPLS 入力 (USB)
N	PTN5 入出力 (ポート)	DMNS 入力 (USB)
N	PTN4 入出力 (ポート)	TXDPLS 出力 (USB)
N	PTN3 入出力 (ポート)	TXDMNS 出力 (USB)
N	PTN2 入出力 (ポート)	XVDATA 入力 (USB)
N	PTN1 入出力 (ポート)	TXENL 出力 (USB)
N	PTN0 入出力 (ポート)	SUSPND 出力 (USB)
SCPT	SCPT5 入出力 (ポート)	CTS2 入力 (SCIF2)

19. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
SCPT	SCPT4 入出力 (ポート)	RTS2 出力 (SCIF2)
SCPT	SCPT3 入出力 (ポート)	SCK2 入出力 (SCIF2)
SCPT	SCPT2 入力 (ポート) *2	RxD2 入力 (SCIF2)
SCPT	SCPT2 出力 (ポート) *2	TxD2 出力 (SCIF2)
SCPT	SCPT1 入出力 (ポート)	SCK0 入出力 (SCIF0)
SCPT	SCPT0 入力 (ポート) *2	RxD0 入力 (SCIF0) / IrRX 入力 (IrDA)
SCPT	SCPT0 出力 (ポート) *2	TxD0 出力 (SCIF0) / IrTX 出力 (IrDA)

【注】 *1 NF (No Function) 端子は、リセット後の初期機能が設定されていません。ピンファンクションコントローラ (PFC) で機能設定をしてください。

PTD5、PTM4 はブルアップしてください。

PTJ [7 : 0] はポート出力にする以外はオープンにしてください。

PTJ6、PTJ1、PTJ0 は、パワーオンリセット中とパワーオンリセット解除後で、端子の値が異なります。ピンファンクションコントローラ (PFC) でポートに切り替えた後は、ポートJデータレジスタの値に従います。

	パワーオンリセット中	パワーオンリセット解除後	
		PTD5/NF=1	PTD5/NF=0
PTJ6/NF	1	0	1
PTJ1/NF	1	1	0
PTJ0/NF	1	0	1

*2 SCPT0、SCPT2 は、入力端子、出力端子を異にしますがアクセスするデータレジスタは同じです。

表 19.1 において、ハッチングの端子がパワーオンリセット直後から使用できる端子機能です。

19.2 レジスタの説明

PFC のレジスタを以下に示します。これらのレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照してください。

- ポートAコントロールレジスタ (PACR)
- ポートBコントロールレジスタ (PBCR)
- ポートCコントロールレジスタ (PCCR)
- ポートDコントロールレジスタ (PDCR)
- ポートEコントロールレジスタ (PECR)
- ポートEコントロールレジスタ2 (PECR2)
- ポートFコントロールレジスタ (PFCR)
- ポートFコントロールレジスタ2 (PFCR2)
- ポートGコントロールレジスタ (PGCR)
- ポートHコントロールレジスタ (PHCR)
- ポートJコントロールレジスタ (PJCR)

- ポートKコントロールレジスタ (PKCR)
- ポートLコントロールレジスタ (PLCR)
- ポートMコントロールレジスタ (PMCR)
- ポートNコントロールレジスタ (PNCR)
- ポートNコントロールレジスタ2 (PNCR2)
- ポートSCコントロールレジスタ (SCPCR)

19.2.1 ポートAコントロールレジスタ (PACR)

PACR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 14	PA7MD1 PA7MD0	0 0	R/W R/W	PTA7 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13 12	PA6MD1 PA6MD0	0 0	R/W R/W	PTA6 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11 10	PA5MD1 PA5MD0	0 0	R/W R/W	PTA5 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9 8	PA4MD1 PA4MD0	0 0	R/W R/W	PTA4 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7 6	PA3MD1 PA3MD0	0 0	R/W R/W	PTA3 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
5 4	PA2MD1 PA2MD0	0 0	R/W R/W	PTA2 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3 2	PA1MD1 PA1MD0	0 0	R/W R/W	PTA1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1 0	PA0MD1 PA0MD0	0 0	R/W R/W	PTA0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

19.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 14	PB7MD1 PB7MD0	0 0	R/W R/W	PTB7 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13 12	PB6MD1 PB6MD0	0 0	R/W R/W	PTB6 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11 10	PB5MD1 PB5MD0	0 0	R/W R/W	PTB5 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9	PB4MD1	0	R/W	PTB4 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PB4MD0	0	R/W	
7	PB3MD1	0	R/W	PTB3 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PB3MD0	0	R/W	
5	PB2MD1	0	R/W	PTB2 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PB2MD0	0	R/W	
3	PB1MD1	0	R/W	PTB1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PB1MD0	0	R/W	
1	PB0MD1	0	R/W	PTB0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PB0MD0	0	R/W	

19.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PC7MD1	1	R/W	PTC7 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
14	PC7MD0	1	R/W	

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13	PC6MD1	1	R/W	PTC6 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
12	PC6MD0	1	R/W	
11	PC5MD1	0	R/W	PTC5 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
10	PC5MD0	0	R/W	
9	PC4MD1	0	R/W	PTC4 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PC4MD0	0	R/W	
7	PC3MD1	0	R/W	PTC3 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PC3MD0	0	R/W	
5	PC2MD1	0	R/W	PTC2 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PC2MD0	0	R/W	
3	PC1MD1	0	R/W	PTC1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PC1MD0	0	R/W	
1	PC0MD1	0	R/W	PTC0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PC0MD0	0	R/W	

19.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	1	R/W	PTD7 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PD7MD0	1	R/W	
13	PD6MD1	1	R/W	PTD6 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PD6MD0	1	R/W	
11	PD5MD1	0	R/W	PTD5 モード 00 : NF 01 : 設定禁止 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PD5MD0	0	R/W	
9	PD4MD1	0	R/W	PTD4 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PD4MD0	0	R/W	
7	PD3MD1	1	R/W	PTD3 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PD3MD0	1	R/W	
5	PD2MD1	0	R/W	PTD2 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PD2MD0	0	R/W	

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3	PD1MD1	1	R/W	PTD1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PD1MD0	1	R/W	
1	PD0MD1	0	R/W	PTD0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PD0MD0	0	R/W	

19.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PE7MD1	1	R/W	PTE7 モード 00: 設定禁止 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
14	PE7MD0	0	R/W	
13	PE6MD1	1	R/W	PTE6 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
12	PE6MD0	0	R/W	
11	PE5MD1	0	R/W	PTE5 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
10	PE5MD0	0	R/W	
9	PE4MD1	0	R/W	PTE4 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PE4MD0	0	R/W	

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7 6	PE3MD1 PE3MD0	1 0	R/W R/W	PTE3 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
5 4	PE2MD1 PE2MD0	1 1	R/W R/W	PTE2 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
3 2	PE1MD1 PE1MD0	1 0	R/W R/W	PTE1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
1 0	PE0MD1 PE0MD0	1 0	R/W R/W	PTE0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)

19.2.6 ポート E コントロールレジスタ 2 (PECR2)

PECR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、端子機能を選択します。

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PE5MD2	0	R/W	PE5 モード 2 PECR.PE5MD[1:0]=B'00 (その他の機能) に設定されているとき、有効になるビットです。 0: STATUS1 (CPG) 1: $\overline{CTS0}$ (SCIF0)
4	PE4MD2	0	R/W	PE4 モード 2 PECR.PE4MD[1:0]=B'00 (その他の機能) に設定されているとき、有効になるビットです。 0: STATUS0 (CPG) 1: $\overline{RTS0}$ (SCIF0)
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

19.2.7 ポートFコントロールレジスタ (PFCR)

PFCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PF7MD1	0	R/W	PTF7 モード 00 : その他の機能*2 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PF7MD0	0	R/W	
13	PF6MD1	1*1	R/W	PTF6 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PF6MD0	0	R/W	
11	PF5MD1	0	R/W	PTF5 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PF5MD0	0	R/W	
9	PF4MD1	1*1	R/W	PTF4 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PF4MD0	0	R/W	
7	PF3MD1	1*1	R/W	PTF3 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PF3MD0	0	R/W	
5	PF2MD1	1*1	R/W	PTF2 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PF2MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	PF1MD1	1* ¹	R/W	PTF1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PF1MD0	0	R/W	
1	PF0MD1	1* ¹	R/W	PTF0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PF0MD0	0	R/W	

【注】 *1 ASEMD0=1 のときの初期値を示しています。

ASEMD0=0 のときは、該当ビットは 0 になり、その他の機能となります。

*2 プルアップ MOS オンです。

19.2.8 ポート F コントロールレジスタ 2 (PFCR2)

PFCR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、端子機能を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	PF3MD2	0	R/W	PTF3 モード 2 PFCR.PF3MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0: AUDA3 (AUD) 1: TO3 (TPU)
2	PF2MD2	0	R/W	PTF2 モード 2 PFCR.PF2MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0: AUDA2 (AUD) 1: TO2 (TPU)
1	PF1MD2	0	R/W	PTF1 モード 2 PFCR.PF1MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0: AUDA1 (AUD) 1: TO1 (TPU)

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
0	PF0MD2	0	R/W	PTF0 モード 2 PFCR.PF0MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0 : AUDA0 (AUD) 1 : TO0 (TPU)

19.2.9 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PG7MD1	0	R/W	PTG7 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PG7MD0	0	R/W	
13	PG6MD1	0	R/W	PTG6 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PG6MD0	0	R/W	
11	PG5MD1	0	R/W	PTG5 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PG5MD0	0	R/W	
9	PG4MD1	1* ¹	R/W	PTG4 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PG4MD0	0	R/W	
7	PG3MD1	0	R/W	PTG3 モード 00 : その他の機能* ² (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PG3MD0	0	R/W	

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
5 4	PG2MD1 PG2MD0	0 0	R/W R/W	PTG2 モード 00: その他の機能*2 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
3 2	PG1MD1 PG1MD0	0 0	R/W R/W	PTG1 モード 00: その他の機能*2 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
1 0	PG0MD1 PG0MD0	0 0	R/W R/W	PTG0 モード 00: その他の機能*2 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)

【注】 *1 $\overline{ASEMD0}=1$ のときの初期値を示しています。

$\overline{ASEMD0}=0$ のときは、該当ビットは 0 になり、その他の機能となります。

*2 プリアップ MOS オンです。

19.2.10 ポートHコントロールレジスタ (PHCR)

PHCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プリアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13 12	PH6MD1 PH6MD0	1 1	R/W R/W	PTH6 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
11 10	PH5MD1 PH5MD0	1 1	R/W R/W	PTH5 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9	PH4MD1	0	R/W	PTH4 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PH4MD0	0	R/W	
7	PH3MD1	0	R/W	PTH3 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PH3MD0	0	R/W	
5	PH2MD1	0	R/W	PTH2 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PH2MD0	0	R/W	
3	PH1MD1	0	R/W	PTH1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PH1MD0	0	R/W	
1	PH0MD1	0	R/W	PTH0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PH0MD0	0	R/W	

19.2.11 ポートJコントロールレジスタ (PJCR)

PJCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット	ビット名	初期値	R/W	説 明
15 14	PJ7MD1 PJ7MD0	0 0	R/W R/W	PTJ7 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
13 12	PJ6MD1 PJ6MD0	0 0	R/W R/W	PTJ6 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
11 10	PJ5MD1 PJ5MD0	0 0	R/W R/W	PTJ5 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
9 8	PJ4MD1 PJ4MD0	0 0	R/W R/W	PTJ4 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
7 6	PJ3MD1 PJ3MD0	0 0	R/W R/W	PTJ3 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
5 4	PJ2MD1 PJ2MD0	0 0	R/W R/W	PTJ2 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3	PJ1MD1	0	R/W	PTJ1 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
2	PJ1MD0	0	R/W	
1	PJ0MD1	0	R/W	PTJ0 モード 00 : NF 01 : ポート出力 10 : 設定禁止 11 : 設定禁止
0	PJ0MD0	0	R/W	

19.2.12 ポートKコントロールレジスタ (PKCR)

PKCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PK7MD1	0	R/W	PTK7 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PK7MD0	0	R/W	
13	PK6MD1	0	R/W	PTK6 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PK6MD0	0	R/W	
11	PK5MD1	0	R/W	PTK5 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PK5MD0	0	R/W	
9	PK4MD1	0	R/W	PTK4 モード 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PK4MD0	0	R/W	

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7	PK3MD1	0	R/W	PTK3 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PK3MD0	0	R/W	
5	PK2MD1	0	R/W	PTK2 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PK2MD0	0	R/W	
3	PK1MD1	0	R/W	PTK1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PK1MD0	0	R/W	
1	PK0MD1	0	R/W	PTK0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PK0MD0	0	R/W	

19.2.13 ポート L コントロールレジスタ (PLCR)

PLCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	—	0	R	
13	—	0	R	
12	—	0	R	
11	—	0	R	
10	—	0	R	
9	—	0	R	
8	—	0	R	

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7 6	PL3MD1 PL3MD0	0 0	R/W R/W	PTL3 モード 00: その他の機能 (表 19.1 参照) 01: 設定禁止 10: 設定禁止 11: ポート入力 (プルアップ MOS: オフ)
5 4	PL2MD1 PL2MD0	0 0	R/W R/W	PTL2 モード 00: その他の機能 (表 19.1 参照) 01: 設定禁止 10: 設定禁止 11: ポート入力 (プルアップ MOS: オフ)
3 2	PL1MD1 PL1MD0	0 0	R/W R/W	PTL1 モード 00: その他の機能 (表 19.1 参照) 01: 設定禁止 10: 設定禁止 11: ポート入力 (プルアップ MOS: オフ)
1 0	PL0MD1 PL0MD0	0 0	R/W R/W	PTL0 モード 00: その他の機能 (表 19.1 参照) 01: 設定禁止 10: 設定禁止 11: ポート入力 (プルアップ MOS: オフ)

19.2.14 ポート M コントロールレジスタ (PMCR)

PMCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13 12	PM6MD1 PM6MD0	1 0	R/W R/W	PTM6 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11	—	0	R	リザーブビット
10	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9	PM4MD1	0	R/W	PTM4 モード 00 : NF 01 : 設定禁止 10 : ポート入力 (プリアップ MOS : オン) 11 : ポート入力 (プリアップ MOS : オフ)
8	PM4MD0	0	R/W	
7	PM3MD1	1	R/W	PTM3 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プリアップ MOS : オン) 11 : ポート入力 (プリアップ MOS : オフ)
6	PM3MD0	0	R/W	
5	PM2MD1	1	R/W	PTM2 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プリアップ MOS : オン) 11 : ポート入力 (プリアップ MOS : オフ)
4	PM2MD0	0	R/W	
3	PM1MD1	1	R/W	PTM1 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プリアップ MOS : オン) 11 : ポート入力 (プリアップ MOS : オフ)
2	PM1MD0	0	R/W	
1	PM0MD1	1	R/W	PTM0 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プリアップ MOS : オン) 11 : ポート入力 (プリアップ MOS : オフ)
0	PM0MD0	0	R/W	

19.2.15 ポート N コントロールレジスタ (PNCR)

PNCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プリアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PN7MD1	1	R/W	PTN7 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プリアップ MOS : オン) 11 : ポート入力 (プリアップ MOS : オフ)
14	PN7MD0	0	R/W	

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13 12	PN6MD1 PN6MD0	1 0	R/W R/W	PTN6 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11 10	PN5MD1 PN5MD0	1 0	R/W R/W	PTN5 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9 8	PN4MD1 PN4MD0	1 0	R/W R/W	PTN4 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7 6	PN3MD1 PN3MD0	1 0	R/W R/W	PTN3 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5 4	PN2MD1 PN2MD0	1 0	R/W R/W	PTN2 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3 2	PN1MD1 PN1MD0	1 0	R/W R/W	PTN1 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1 0	PN0MD1 PN0MD0	1 0	R/W R/W	PTN0 モード 00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

19.2.16 ポートNコントロールレジスタ 2 (PNCR2)

PNCR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、端子機能を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PN6MD2	0	R/W	PTN6 モード 2 PNCR.PN6MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0 : 設定禁止 1 : DPLS (USB)
5	PN5MD2	0	R/W	PTN5 モード 2 PNCR.PN5MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0 : 設定禁止 1 : DMNS (USB)
4	PN4MD2	0	R/W	PTN4 モード 2 PNCR.PN4MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0 : 設定禁止 1 : TXDPLS (USB)
3	PN3MD2	0	R/W	PTN3 モード 2 PNCR.PN3MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0 : 設定禁止 1 : TXDMNS (USB)
2	PN2MD2	0	R/W	PTN2 モード 2 PNCR.PN2MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0 : 設定禁止 1 : XVDATA (USB)
1	PN1MD2	0	R/W	PTN1 モード 2 PNCR.PN1MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0 : 設定禁止 1 : TXENL (USB)

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
0	PN0MD2	0	R/W	PTN0 モード 2 PNCR.PN0MD[1:0]=B'00 (その他の機能) に設定されているとき有効になるビットです。 0: 設定禁止 1: SUSPND (USB)

19.2.17 ポート SC コントロールレジスタ (SCPCR)

SCPCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。SCPCR の設定は FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の SCSCR レジスタの設定で送受信動作を禁止した場合のみ有効になります。

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の SCSCR_0 または SCSCR_2 の TE ビットを 1 にセットすると、「他の機能: TxD0 または TxD2」の出力状態が SCPCR 設定に優先します。

同様に、SCSCR_0 または SCSCR_2 の RE ビットを 1 にセットすると、「他の機能: RxD0 または RxD2」の入力状態が SCPCR 設定に優先します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	—	0	R	
12	—	0	R	
11	SCP5MD1	0	R/W	
10	SCP5MD0	0	R/W	00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9	SCP4MD1	0	R/W	SCPT4 モード
8	SCP4MD0	0	R/W	00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7	SCP3MD1	0	R/W	SCPT3 モード
6	SCP3MD0	0	R/W	00: その他の機能 (表 19.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
5 4	SCP2MD1 SCP2MD0	0 0	R/W R/W	<p>SCPT2 モード</p> <p>これらのビットは端子機能と入力プルアップ MOS 制御を選択します。</p> <p>SCSCR_2 の TE=0 かつ RE=0 の場合、下記の動作です。</p> <ul style="list-style-type: none"> 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ) <p>SCSCR_2 の TE=1 の場合、SCPT2/TxD2 端子は TxD2 機能になります。</p> <p>SCSCR_2 の RE=1 の場合、SCPT2/RxD2 端子は RxD2 機能になります。</p> <p>【注】1 ビット (SCPT2) を TxD2、RxD2 の 2 つの端子を用いてアクセスするため、SCPT2 の同時入出力の組み合わせはありません。</p> <p>ポート入力をセット (ビット SCP2MD1 を 1 にセット) すると、SCSCR_2 の TE ビットを 1 にセットしたとき TxD2 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。</p>
3 2	SCP1MD1 SCP1MD0	0 0	R/W R/W	<p>SCPT1 モード</p> <p>これらのビットは端子機能と入力プルアップ MOS 制御を選択します。</p> <ul style="list-style-type: none"> 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
1 0	SCP0MD1 SCP0MD0	0 0	R/W R/W	<p>SCPT0 モード</p> <p>これらのビットは端子機能と入力プルアップ MOS 制御を選択します。</p> <p>SCSCR_0 の TE=0 かつ RE=0 の場合、下記の動作です。</p> <ul style="list-style-type: none"> 00 : その他の機能 (表 19.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ) <p>SCSCR_0 の TE=1 の場合、SCPT0/TxD0 端子は TxD0 機能になります。</p> <p>SCSCR_0 の RE=1 の場合、SCPT0/RxD0 端子は RxD0 機能になります。</p> <p>【注】1 ビット (SCPT0) を TxD0、RxD0 の 2 つの端子を用いてアクセスするため、SCPT0 の同時入出力の組み合わせはありません。</p> <p>ポート入力をセット (ビット SCP0MD1 を 1 にセット) すると、SCSCR_0 の TE ビットを 1 にセットしたとき TxD0 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。</p>

20. I/O ポート

本 LSI には 14 本の I/O ポート（ポート A～H、J～N および SC）があります。それぞれのポートの端子は、すべて、他の端子機能（ピンファンクションコントローラ（PFC）で端子機能とプルアップ MOS 制御の選択を行います）を兼ねているマルチプレクス端子です。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

20.1 ポート A

ポート A は図 20.1 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート A コントロールレジスタ（PACR）で制御します。

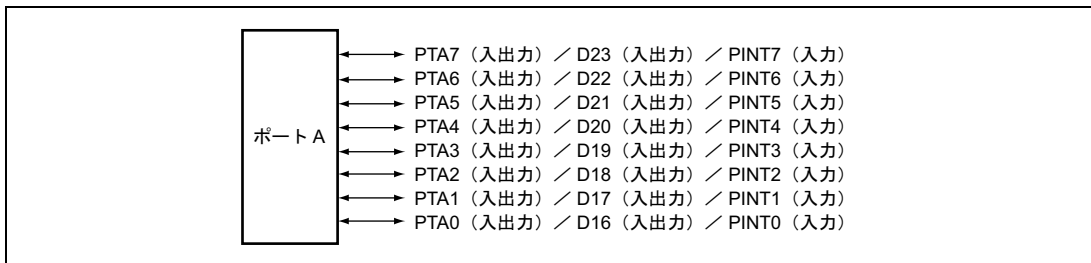


図 20.1 ポート A

20.1.1 レジスタの説明

ポート A には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート A データレジスタ（PADR）

20.1.2 ポート A データレジスタ（PADR）

PADR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTA7～PTA0 のデータを格納します。PA7DT～PA0DT ビットは PTA7～PTA0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

20. I/O ポート

ビット	ビット名	初期値	R/W	説明
7	PA7DT	0	R/W	表 20.1 に PADR の機能を示します。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

表 20.1 ポート A データレジスタ (PADR) の読み出し/書き込み動作

PACR の状態		端子状態	読み出しの場合	書き込みの場合
PAnMD1	PAnMD0			
0	0	その他の機能	PADR の値	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PADR に書き込めるが、端子の状態に影響しない

【注】 n=0~7

20.2 ポート B

ポート B は図 20.2 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート B コントロールレジスタ (PBCR) で制御します。

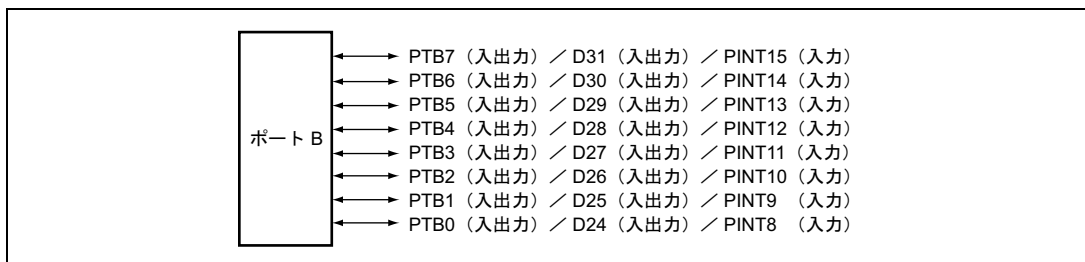


図 20.2 ポート B

20.2.1 レジスタの説明

ポート B には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート B データレジスタ (PBDR)

20.2.2 ポート B データレジスタ (PBDR)

PBDR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTB7～PTB0 のデータを格納します。PB7DT～PB0DT ビットは PTB7～PTB0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PBDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PB7DT	0	R/W	表 20.2 に PBDR の機能を示します。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

表 20.2 ポート B データレジスタ (PBDR) の読み出し／書き込み動作

PBCR の状態		端子状態	読み出しの場合	書き込みの場合
PBnMD1	PBnMD0			
0	0	その他の機能	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない

【注】 n=0～7

20.3 ポート C

ポート C は図 20.3 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート C コントロールレジスタ (PCCR) で制御します。

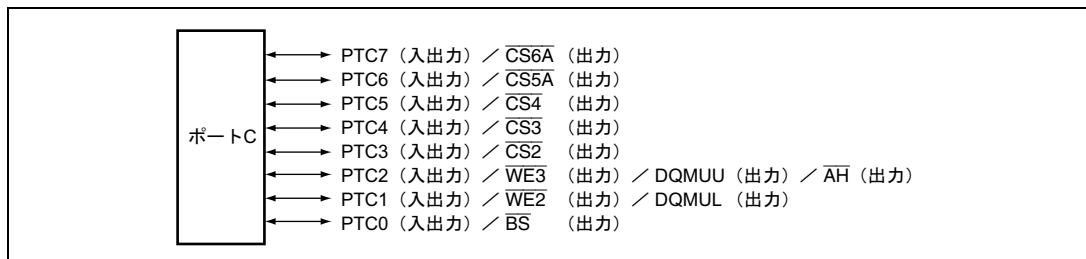


図 20.3 ポート C

20.3.1 レジスタの説明

ポートCには以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第24章 レジスタ一覧」を参照ください。

- ポートCデータレジスタ (PCDR)

20.3.2 ポートCデータレジスタ (PCDR)

PCDRは、読み出し/書き込み可能な8ビットのレジスタで、端子PTC7~PTC0のデータを格納します。PC7DT~PC0DTビットはPTC7~PTC0端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応するPCDRビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PC7DT	0	R/W	表 20.3 に PCDR の機能を示します。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

表 20.3 ポートCデータレジスタ (PCDR) の読み出し/書き込み動作

PCCR の状態		端子状態	読み出しの場合	書き込みの場合
PCnMD1	PCnMD0			
0	0	その他の機能	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

【注】 n=0~7

20.4 ポート D

ポート D は図 20.4 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート D コントロールレジスタ (PDCR) で制御します。

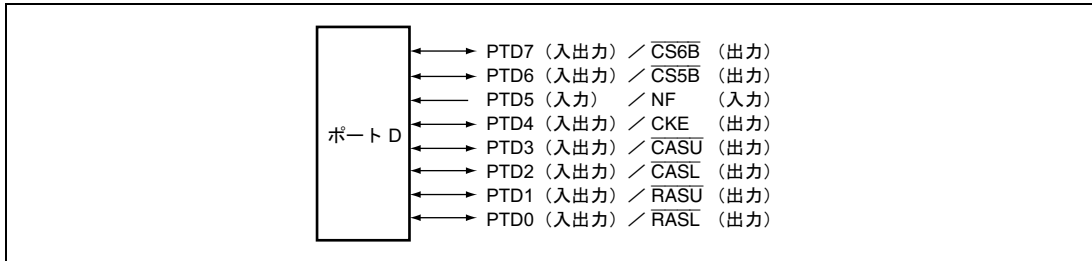


図 20.4 ポート D

20.4.1 レジスタの説明

ポート D には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート D データレジスタ (PDDR)

20.4.2 ポート D データレジスタ (PDDR)

PDDR は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 PTD7~PTD0 のデータを格納します。PD7DT ~PD0DT ビットは PTD7~PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PD7DT	0	R/W	表 20.4 に PDDR の機能を示します。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

20. I/O ポート

表 20.4 ポート D データレジスタ (PDDR) の読み出し／書き込み動作

PDCR の状態		端子状態	読み出しの場合	書き込みの場合
PDnMD1	PDnMD0			
0	0	その他の機能	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

【注】 n=0~4、6、7

PDCR の状態		端子状態	読み出しの場合	書き込みの場合
PD5MD1	PD5MD0			
0	0	NF	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	設定禁止	—	—
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

20.5 ポート E

ポート E は図 20.5 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート E コントロールレジスタ (PECR) で制御します。

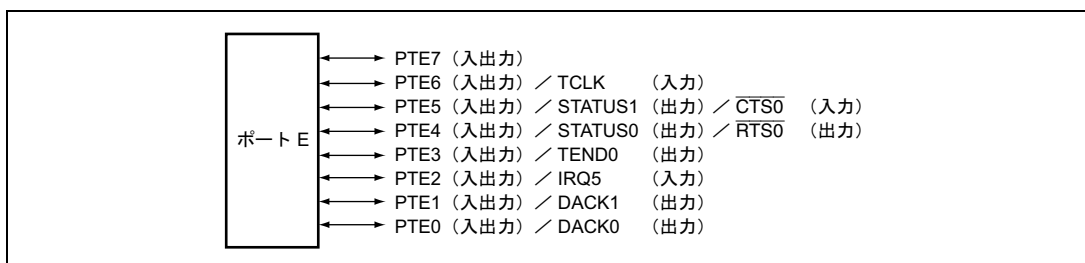


図 20.5 ポート E

20.5.1 レジスタの説明

ポート E には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート E データレジスタ (PEDR)

20.5.2 ポート E データレジスタ (PEDR)

PEDR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTE7～PTE0 のデータを格納します。PE7DT～PE0DT ビットは PTE7～PTE0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PEDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PE7DT	0	R/W	表 20.5 に PEDR の機能を示します。
6	PE6DT	0	R/W	
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

表 20.5 ポート E データレジスタ (PEDR) の読み出し／書き込み動作

PECR の状態		端子状態	読み出しの場合	書き込みの場合
PEnMD1	PEnMD0			
0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
	1	出力	PEDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】 n=0～7

20.6 ポート F

ポート F は図 20.6 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート F コントロールレジスタ (PFCR) で制御します。

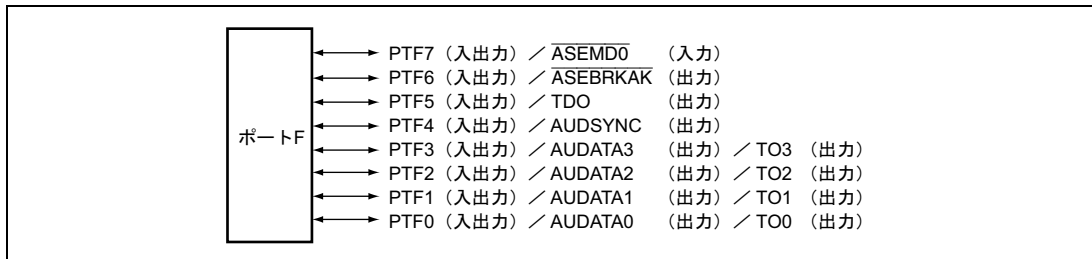


図 20.6 ポート F

20.6.1 レジスタの説明

ポートFには以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第24章 レジスタ一覧」を参照ください。

- ポートFデータレジスタ (PFDR)

20.6.2 ポートF データレジスタ (PFDR)

PFDR は、読み出し／書き込み可能な8ビットのレジスタで、端子 PTF7～PTF0 のデータを格納します。PF7DT～PF0DT ビットは PTF7～PTF0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PFDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PF7DT	0	R/W	表 20.6 に PFDR の機能を示します。
6	PF6DT	0	R/W	
5	PF5DT	0	R/W	
4	PF4DT	0	R/W	
3	PF3DT	0	R/W	
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

表 20.6 ポートF データレジスタ (PFDR) の読み出し／書き込み動作

PFCR の状態		端子状態	読み出しの場合	書き込みの場合
PFnMD1	PFnMD0			
0	0	その他の機能	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない
	1	出力	PFDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】 n=0～7

20.7 ポート G

ポート G は図 20.7 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート G コントロールレジスタ (PGCR) で制御します。

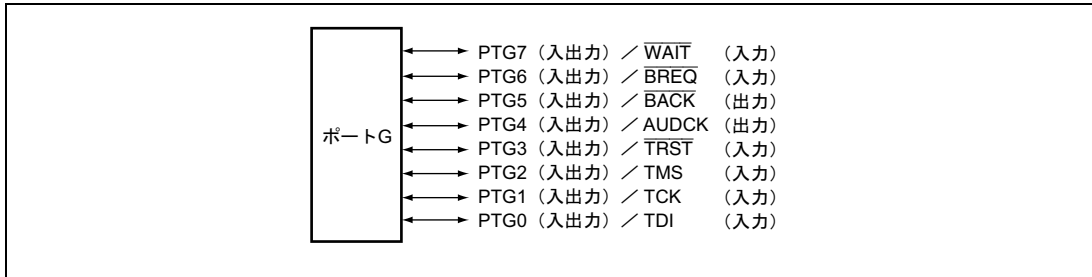


図 20.7 ポート G

20.7.1 レジスタの説明

ポート G には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート G データレジスタ (PGDR)

20.7.2 ポート G データレジスタ (PGDR)

PGDR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTG7～PTG0 のデータを格納します。PG7DT～PG0DT ビットは PTG7～PTG0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PGDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PG7DT	0	R/W	表 20.7 に PGDR の機能を示します。
6	PG6DT	0	R/W	
5	PG5DT	0	R/W	
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

20. I/O ポート

表 20.7 ポート G データレジスタ (PGDR) の読み出し/書き込み動作

PGCR の状態		端子状態	読み出しの場合	書き込みの場合
PGnMD1	PGnMD0			
0	0	その他の機能	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない
	1	出力	PGDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PGDR に書き込めるが、端子の状態に影響しない

【注】 n=0~7

20.8 ポート H

ポート H は図 20.8 に示すような端子構成を持つ 7 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート H コントロールレジスタ (PHCR) で制御します。

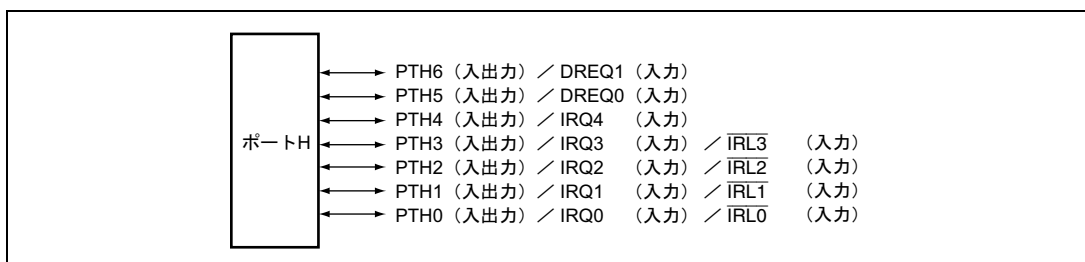


図 20.8 ポート H

20.8.1 レジスタの説明

ポート H には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート H データレジスタ (PHDR)

20.8.2 ポート H データレジスタ (PHDR)

PHDR は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 PTH6~PTH0 のデータを格納します。PH6DT~PH0DT ビットは PTH6~PTH0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PHDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください
6	PH6DT	0	R/W	表 20.8 に PHDR の機能を示します。
5	PH5DT	0	R/W	
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

表 20.8 ポートHデータレジスタ (PHDR) の読み出し/書き込み動作

PHCR の状態		端子状態	読み出しの場合	書き込みの場合
PHnMD1	PHnMD0			
0	0	その他の機能	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	出力	PHDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない

【注】 n=0~6

20.9 ポート J

ポート J は図 20.9 に示すような端子構成を持つ 8 ビットの出力ポートです。

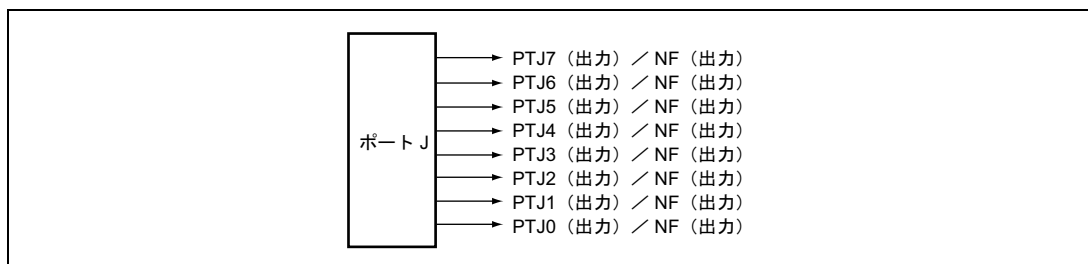


図 20.9 ポート J

20.9.1 レジスタの説明

ポート J には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート J データレジスタ (PJDR)

20. I/O ポート

20.9.2 ポート J データレジスタ (PJDR)

PJDR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTJ7～PTJ0 のデータを格納します。PJ7DT～PJ0DT ビットは PTJ7～PTJ0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PJDR ビットの値が直接読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PJ7DT	0	R/W	表 20.9 に PJDR の機能を示します。
6	PJ6DT	0	R/W	
5	PJ5DT	0	R/W	
4	PJ4DT	0	R/W	
3	PJ3DT	0	R/W	
2	PJ2DT	0	R/W	
1	PJ1DT	0	R/W	
0	PJ0DT	0	R/W	

表 20.9 ポート J データレジスタ (PJDR) の読み出し／書き込み動作

PJCR の状態		端子状態	読み出しの場合	書き込みの場合
PJnMD1	PJnMD0			
0	0	NF	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない
	1	出力	PJDR の値	書き込み値が端子から出力される
1	0	設定禁止	—	—
	1	設定禁止	—	—

【注】 n=0～7

20.10 ポート K

ポート K は図 20.10 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート K コントロールレジスタ (PKCR) で制御します。

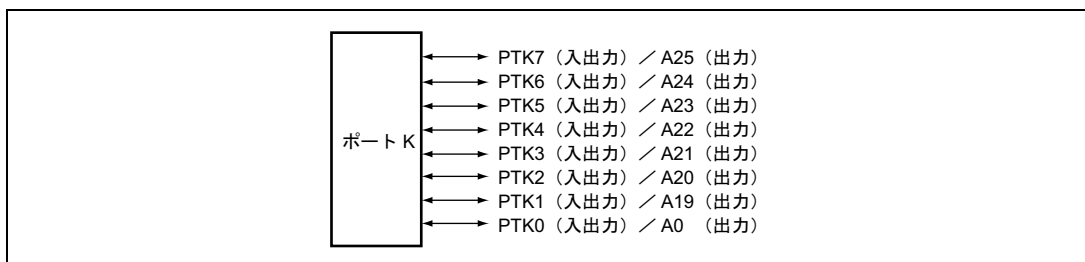


図 20.10 ポート K

20.10.1 レジスタの説明

ポート K には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート K データレジスタ (PKDR)

20.10.2 ポート K データレジスタ (PKDR)

PKDR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTK7～PTK0 のデータを格納します。PK7DT～PK0DT ビットは PTK7～PTK0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PKDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PK7DT	0	R/W	表 20.10 に PKDR の機能を示します。
6	PK6DT	0	R/W	
5	PK5DT	0	R/W	
4	PK4DT	0	R/W	
3	PK3DT	0	R/W	
2	PK2DT	0	R/W	
1	PK1DT	0	R/W	
0	PK0DT	0	R/W	

表 20.10 ポート K データレジスタ (PKDR) の読み出し／書き込み動作

PKCR の状態		端子状態	読み出しの場合	書き込みの場合
PKnMD1	PKnMD0			
0	0	その他の機能	PKDR の値	PKDR に書き込めるが、端子の状態に影響しない
	1	出力	PKDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない

【注】 n=0～7

20.11 ポート L

ポート L は図 20.11 に示すような端子構成を持つ 4 ビットの入力ポートです。

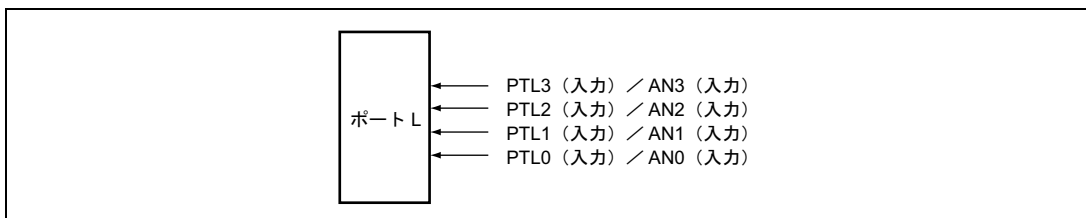


図 20.11 ポート L

20.11.1 レジスタの説明

ポート L には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート L データレジスタ (PLDR)

20.11.2 ポート L データレジスタ (PLDR)

PLDR は、読み出し専用の 8 ビットのレジスタで、端子 PTL3～PTL0 のデータを格納します。PL3DT～PL0DT ビットは PTL3～PTL0 端子に対応しています。ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	PL3DT	0	R	表 20.11 に PLDR の機能を示します。
2	PL2DT	0	R	
1	PL1DT	0	R	
0	PL0DT	0	R	

表 20.11 ポート L データレジスタ (PLDR) の読み出し／書き込み動作

PLCR の状態		端子状態	読み出しの場合	書き込みの場合
PLnMD1	PLnMD0			
0	0	その他の機能	0が読み出されます	無効（端子の状態に影響しない）
	1	設定禁止	—	—
1	0	設定禁止	—	—
	1	入力（ブルアップ MOS オフ）	端子の状態	無効（端子の状態に影響しない）

【注】 n=0~3

20.12 ポート M

ポート M は図 20.12 に示すような端子構成を持つ 6 ビットの入出力ポートです。各端子には入力ブルアップ MOS があり、PFC のポート M コントロールレジスタ (PMCR) で制御します。

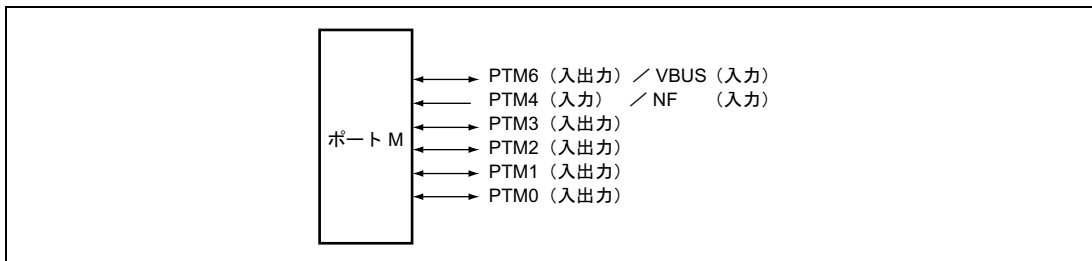


図 20.12 ポート M

20.12.1 レジスタの説明

ポート M には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート M データレジスタ (PMDR)

20.12.2 ポート M データレジスタ (PMDR)

PMDR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTM6、PTM4~PTM0 のデータを格納します。PM6DT、PM4DT~PM0DT ビットは PTM6、PTM4~PTM0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PMDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

20. I/O ポート

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください
6	PM6DT	0	R/W	表 20.12 に PMDR の機能を示します。
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください
4	PM4DT	0	R/W	表 20.12 に PMDR の機能を示します。
3	PM3DT	0	R/W	
2	PM2DT	0	R/W	
1	PM1DT	0	R/W	
0	PM0DT	0	R/W	

表 20.12 ポート M データレジスタ (PMDR) の読み出し／書き込み動作

PMCR の状態		端子状態	読み出しの場合	書き込みの場合
PMnMD1	PMnMD0			
0	0	その他の機能	PMDR の値	PMDR に書き込めるが、端子の状態に影響しない
	1	出力	PMDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない

【注】 M=0~3、6

PMCR の状態		端子状態	読み出しの場合	書き込みの場合
PM4MD1	PM4MD0			
0	0	NF	PMDR の値	PMDR に書き込めるが、端子の状態に影響しない
	1	設定禁止	PMDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない

20.13 ポート N

ポート N は図 20.13 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート N コントロールレジスタ (PNCR) で制御します。

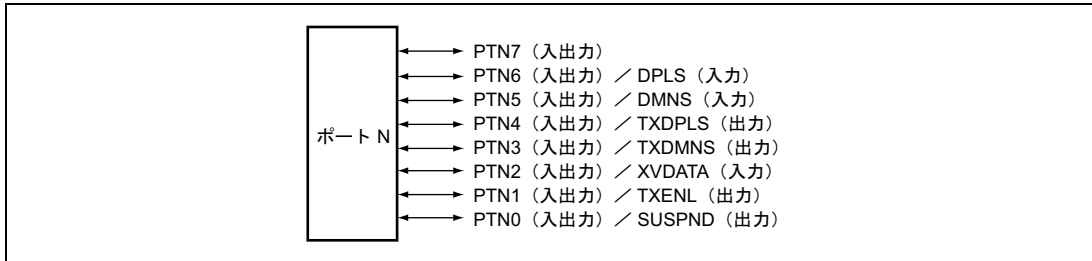


図 20.13 ポート N

20.13.1 レジスタの説明

ポート N には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート N データレジスタ (PNDR)

20.13.2 ポート N データレジスタ (PNDR)

PNDR は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTN7～PTN0 のデータを格納します。PN7DT～PN0DT ビットは PTN7～PTN0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PNDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PN7DT	0	R/W	表 20.13 に PNDR の機能を示します。
6	PN6DT	0	R/W	
5	PN5DT	0	R/W	
4	PN4DT	0	R/W	
3	PN3DT	0	R/W	
2	PN2DT	0	R/W	
1	PN1DT	0	R/W	
0	PN0DT	0	R/W	

20. I/O ポート

表 20.13 ポート N データレジスタ (PNDR) の読み出し／書き込み動作

PNCR の状態		端子状態	読み出しの場合	書き込みの場合
PNnMD1	PNnMD0			
0	0	その他の機能	PNDR の値	PNDR に書き込めるが、端子の状態に影響しない
	1	出力	PNDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない

【注】 n=0~7

20.14 SC ポート

SC ポートは図 20.14 に示すような端子構成を持つ 6 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC の SC ポートコントロールレジスタ (SCPCR) で制御します。

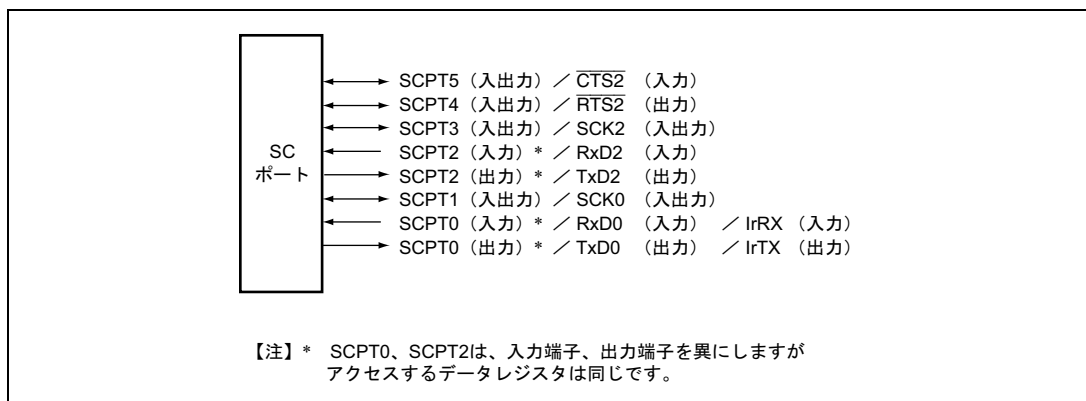


図 20.14 SC ポート

20.14.1 レジスタの説明

ポート SC には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照ください。

- ポート SC データレジスタ (SCPDR)

20.14.2 ポート SC データレジスタ (SCPDR)

SCPDR は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 SCPT5～SCPT0 のデータを格納します。SCP5DT～SCP0DT ビットは SCPT5～SCPT0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する SCPDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の SCSCR_2 または SCSCR_0 の RE ビットを 1 にセットすると、RxD2 と RxD0 端子は入力となり、SCPCR 設定に優先し、端子状態を読み出すことができます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください
5	SCP5DT	0	R/W	表 20.14 に SCPDR の機能を示します。
4	SCP4DT	0	R/W	
3	SCP3DT	0	R/W	
2	SCP2DT	0	R/W	
1	SCP1DT	0	R/W	
0	SCP0DT	0	R/W	

表 20.14 SC ポートデータレジスタ (SCPDR) の読み出し/書き込み動作

- SCP1DR、SCP3DR～SCP5DR の場合

SCPCR の状態		端子状態	読み出しの場合	書き込みの場合
SCPnMD1	SCPnMD0			
0	0	その他の機能	SCPDR の値	SCPDR に書き込めるが、端子の状態に影響しない
	1	出力	SCPDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない

【注】 n=1, 3～5

20. I/O ポート

• SCP0DR、SCP2DR の場合

SCPCR の状態		端子状態	読み出しの場合	書き込みの場合
SCPnMD1	SCPnMD0			
0	0	その他の機能	【読み出し動作禁止】	【書き込み動作禁止】
	1	TxD : 出力 RxD : 入力 (読み出し不可)	SCPDR の値	書き込み値が TxD 端子から出力される
1	0	TxD : 出力 ハイインピーダンス RxD : 入力 (プルアップ MOS オン)	RxD 端子の状態	SCPDR に書き込めるが、端子の状態に影響しない
	1	TxD : 出力 ハイインピーダンス RxD : 入力 (プルアップ MOS オフ)	RxD 端子の状態	SCPDR に書き込めるが、端子の状態に影響しない

【注】 n=0, 2

読み出し動作禁止および書き込み動作禁止部分での動作は保証しません。

21. A/D 変換器

本 LSI は 10 ビット精度の逐次比較方式 A/D コンバータを内蔵しています。最大 4 チャンネルのアナログ入力を選択することができます。

21.1 特長

- 分解能：10ビット
- 入力チャンネル：4チャンネル
- 最小変換時間：1チャンネルあたり8.5 μ s (P ϕ クロック33MHz動作時)
- 動作モード：3種類
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1~4チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換
- データレジスタ：4本
 - 変換結果を、各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- 割り込み要因
 - A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
- モジュールスタンバイモードの設定可能

21. A/D 変換器

A/D 変換器のブロック図を図 21.1 に示します。

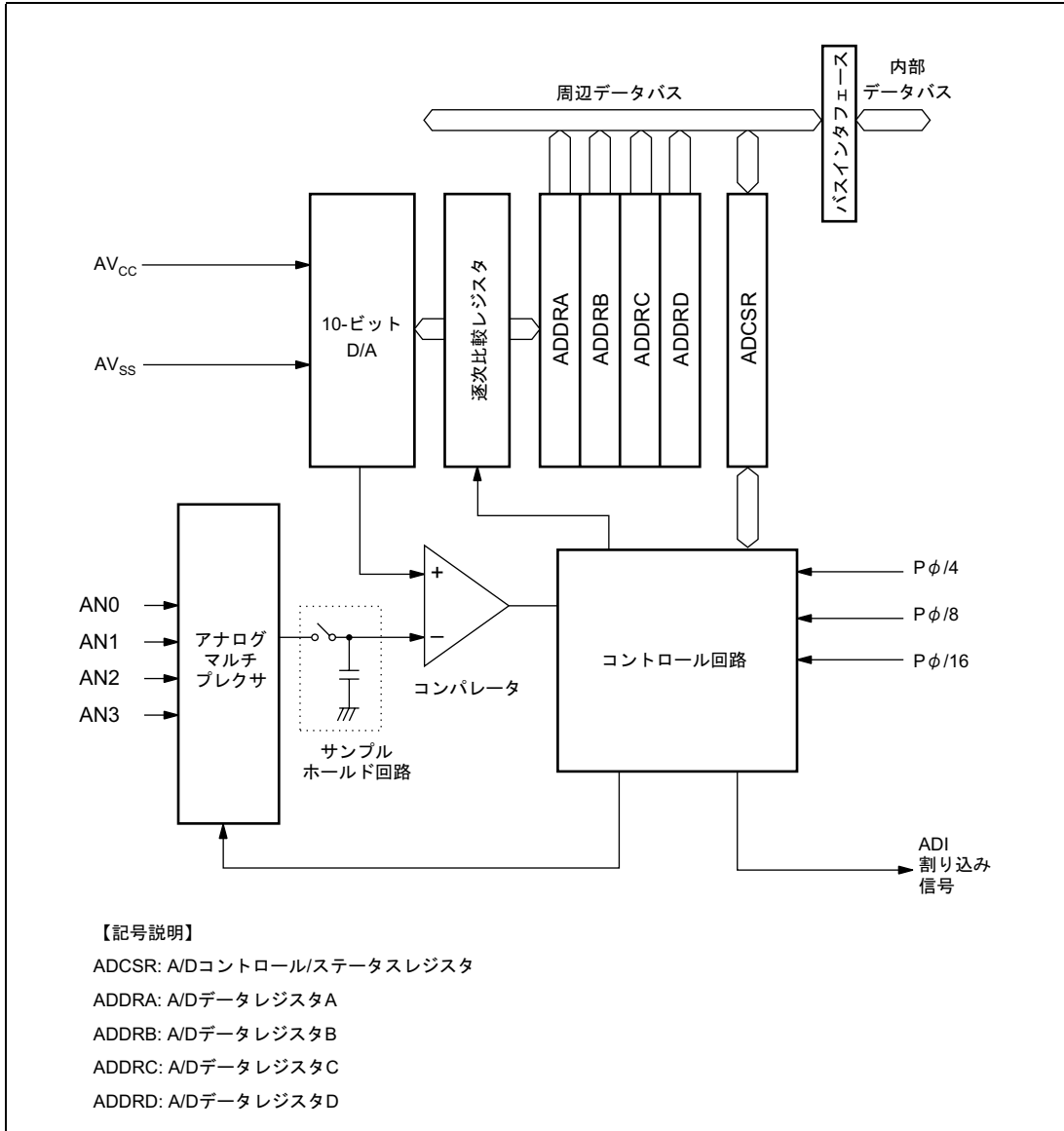


図 21.1 A/D 変換器のブロック図

21.2 入出力端子

A/D 変換器で使用する端子を表 21.1 に示します。

AV_{CC}、AV_{SS} 端子は、A/D 変換器内部のアナログ部の電源です。AV_{CC} 端子は、A/D 変換基準電圧にも使用されます。

表 21.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AV _{CC}	入力	アナログ部の電源および A/D 変換の基準電圧
アナロググランド	AV _{SS}	入力	アナログ部のグランドおよび A/D 変換の基準電圧
アナログ入力 0	AN0	入力	アナログ入力 0
アナログ入力 1	AN1	入力	アナログ入力 1
アナログ入力 2	AN2	入力	アナログ入力 2
アナログ入力 3	AN3	入力	アナログ入力 3

21.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

- A/D データレジスタ A (ADDRA)
- A/D データレジスタ B (ADDRB)
- A/D データレジスタ C (ADDRC)
- A/D データレジスタ D (ADDRD)
- A/D コントロール/ステータスレジスタ (ADCSR)

21.3.1 A/D データレジスタ A~D (ADDRA~ADDRD)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRD の 4 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 21.2 のとおりです。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に格納されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

ADDR の初期値は H'0000 です。

表 21.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

21. A/D 変換器

21.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し/書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 【セット条件】 シングルモード：A/D 変換が終了したとき マルチモード：指定したすべてのチャンネルを一巡して変換したとき スキャンモード：指定したすべてのチャンネルを一巡して変換したとき 【クリア条件】 (1) 1 の状態をリードしたあと、0 をライトしたとき (2) ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき
14	ADIE	0	R/W	A/D インタラプトイネーブル ADF による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は ADST ビットが 0 の状態で行ってください。 0：ADF による割り込み (ADI) 要求を禁止 1：ADF による割り込み (ADI) 要求を許可
13	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 0：A/D 変換を停止 1：シングルモード時：A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア マルチモード時：A/D 変換を開始。指定したすべてのチャンネルを一巡して変換が終了すると自動的に 0 にクリア スキャンモード時：A/D 変換を開始。ソフトウェア、リセットまたはソフトウェアスタンバイモードへの遷移により 0 にクリアされるまで連続変換
12	DMASL	0	R/W	DMAC 選択 ADF による割り込みまたは DMAC 起動のいずれかを選択します。DMASL ビットの設定は ADST ビットが 0 の状態で行ってください。 0：ADF による割り込みを選択 1：ADF による DMAC 起動を選択
11	—	0	R	リザーブビット
10	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	—	0	R	
8	—	0	R	

ビット	ビット名	初期値	R/W	説明										
7	CKS1	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 変換時間の切り換えは、ADST ビットが 0 の状態で行ってください。 00: 変換時間=151 ステート (最大値) Pφ/4 で動作 01: 変換時間=285 ステート (最大値) Pφ/8 で動作 10: 変換時間=545 ステート (最大値) Pφ/16 で動作 11: 設定禁止 【注】 最小変換時間を満たさない場合、精度不足や異常動作となります。										
6	CKS0	1	R/W											
5	MULT11	0	R/W	モードセレクト シングルモード、マルチモード、またはスキャンモードを選択します。 00: シングルモード 01: 設定禁止 10: マルチモード 11: スキャンモード										
4	MULT10	0	R/W											
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。										
2	—	0	R											
1	CH1	0	R/W	チャンネルセレクト MULTI ビットとともにアナログ入力チャンネル選択します。 入力チャンネルの設定は、ADST ビットが 0 の状態で行ってください。 <table style="width: 100%; border: none;"> <tr> <td style="text-align: center;">シングルモード</td> <td style="text-align: center;">マルチモードおよびスキャンモード</td> </tr> <tr> <td>00: AN0</td> <td>AN0</td> </tr> <tr> <td>01: AN1</td> <td>AN0、AN1</td> </tr> <tr> <td>10: AN2</td> <td>AN0~AN2</td> </tr> <tr> <td>11: AN3</td> <td>AN0~AN3</td> </tr> </table>	シングルモード	マルチモードおよびスキャンモード	00: AN0	AN0	01: AN1	AN0、AN1	10: AN2	AN0~AN2	11: AN3	AN0~AN3
シングルモード	マルチモードおよびスキャンモード													
00: AN0	AN0													
01: AN1	AN0、AN1													
10: AN2	AN0~AN2													
11: AN3	AN0~AN3													
0	CH0	0	R/W											

【注】 * フラグをクリアするための 0 ライトのみ可能です。

21.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとマルチモードおよびスキャンモードがあります。動作モードの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードおよびチャンネルの変更と ADST ビットのセットは同時に行うことができます。

21.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアによって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
- A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
- A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

21. A/D 変換器

- ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止してA/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

21.4.2 マルチモード

マルチモードは指定されたチャンネル (1 チャンネルまたは複数チャンネル) のアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアによってADCSRのADSTビットが1にセットされると、グループのアナログ入力チャンネル番号の小さい順 (たとえば、AN0、AN1…3) にA/D変換を実行します。
- それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
- 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求が発生します。
- ADSTビットは変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止してA/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

21.4.3 スキャンモード

スキャンモードは指定されたチャンネル (1 チャンネルまたは複数チャンネル) のアナログ入力を以下のように順次連続して A/D 変換します。アナログ入力を常にモニタするようなシステムに適します。

- ソフトウェアによってADCSRのADSTビットが1にセットされると、グループのアナログ入力チャンネル番号の小さい順 (たとえば、AN0、AN1…3) にA/D変換を実行します。
- それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
- 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求が発生します。A/D変換器はふたたびチャンネル番号の小さい順にA/D変換を開始します。
- ADSTビットは自動的にクリアされず、1にセットされている間は2～3を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

21.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 21.2 に示します。また、A/D 変換時間を表 21.3 に示します。

A/D 変換時間 (t_{CONV}) は、図 21.2 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 21.3 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 21.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 21.4 に示す値となります。

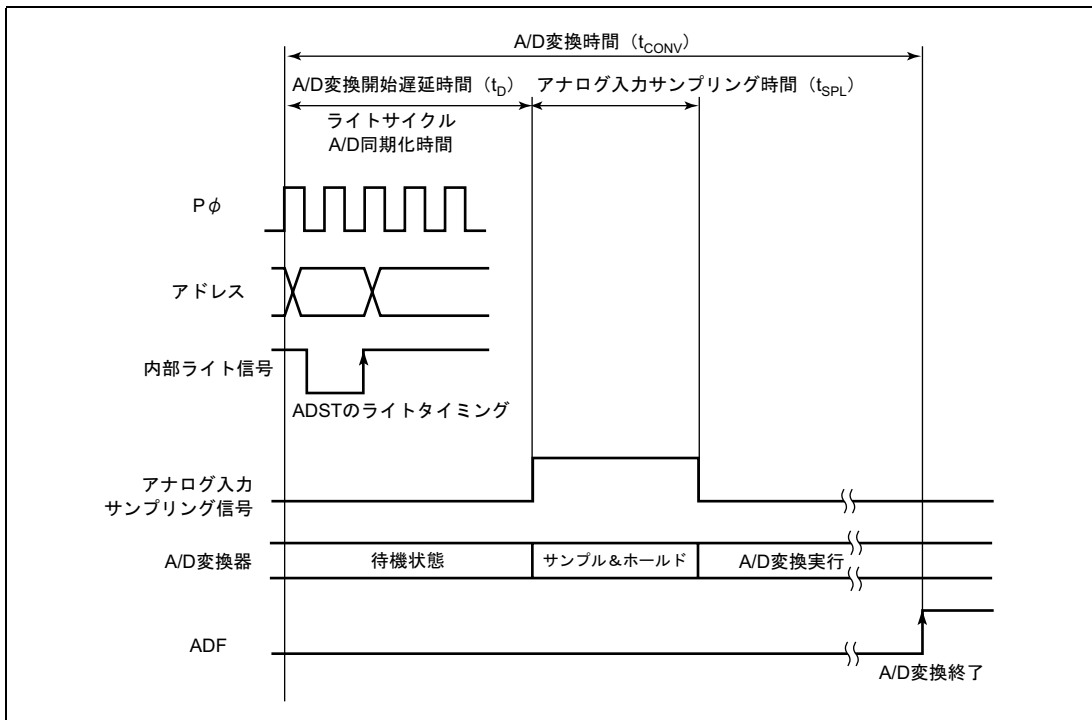


図 21.2 A/D 変換タイミング

表 21.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1=1			CKS1=0					
		CKS0=0			CKS0=1			CKS0=0		
		min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	18	—	21	10	—	13	6	—	9
入力サンプリング時間	t_{SPL}	—	129	—	—	65	—	—	33	—
A/D 変換時間	t_{CONV}	535	—	545	275	—	285	141	—	151

【注】 表中の数値の単位は Pφ に対するステートです。

21. A/D 変換器

表 21.4 A/D 変換時間（マルチモードおよびスキャンモード）

CKS1	CKS0	変換時間（ステート）
0	0	128（固定）
	1	256（固定）
1	0	512（固定）
	1	未使用

21.5 割り込み要因と DMAC 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み（ADI）を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みは、ADIE ビットと DMASL ビットをともに 1 にセットすると、ダイレクトメモリアクセスコントローラ（DMAC）の起動ができます。DMAC を使い ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされません。

表 21.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動
ADI	A/D 変換終了	ADF	可

21.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。ただし、図ではわかりやすいように、10 ビット A/D 変換器を 3 ビットの A/D 変換器に単純化しています。

- 分解能

A/D 変換器のデジタル出力コード数。

- 量子化誤差

A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる（図 21.3）。

- オフセット誤差

デジタル出力が最小電圧値 B'000000000 (H'00、図 21.3 では 000) から B'000000001 (H'01、図 21.3 では 001) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 21.4）。

- フルスケール誤差

デジタル出力が B'111111110 (H'3FE、図 21.3 では 110) から B'111111111 (H'3FF、図 21.3 では 111) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 21.4）。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図21.4）。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

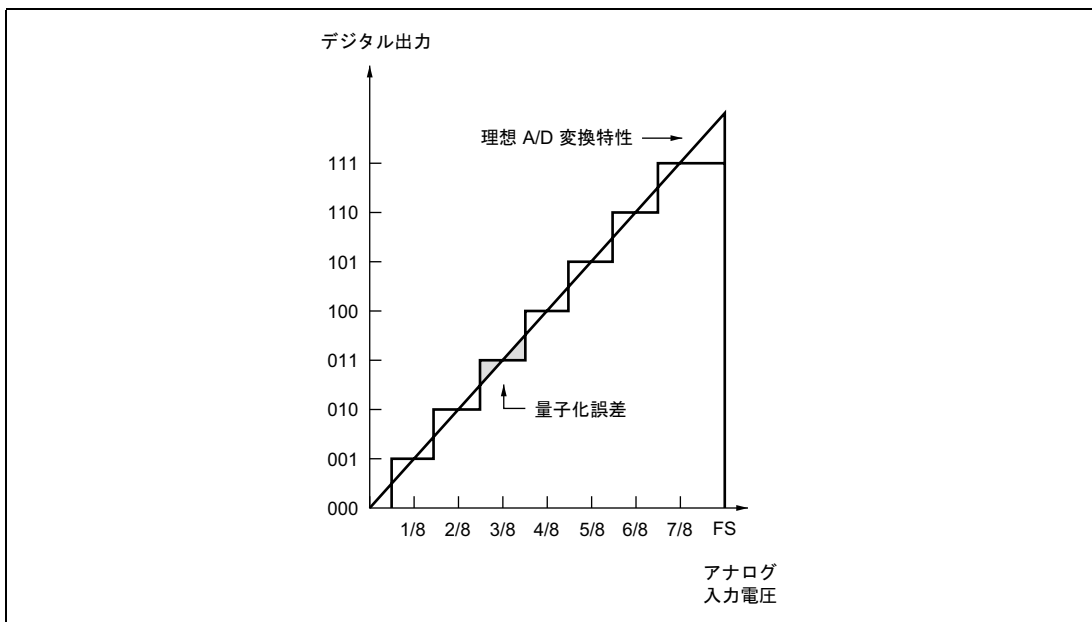


図 21.3 A/D 変換精度の定義

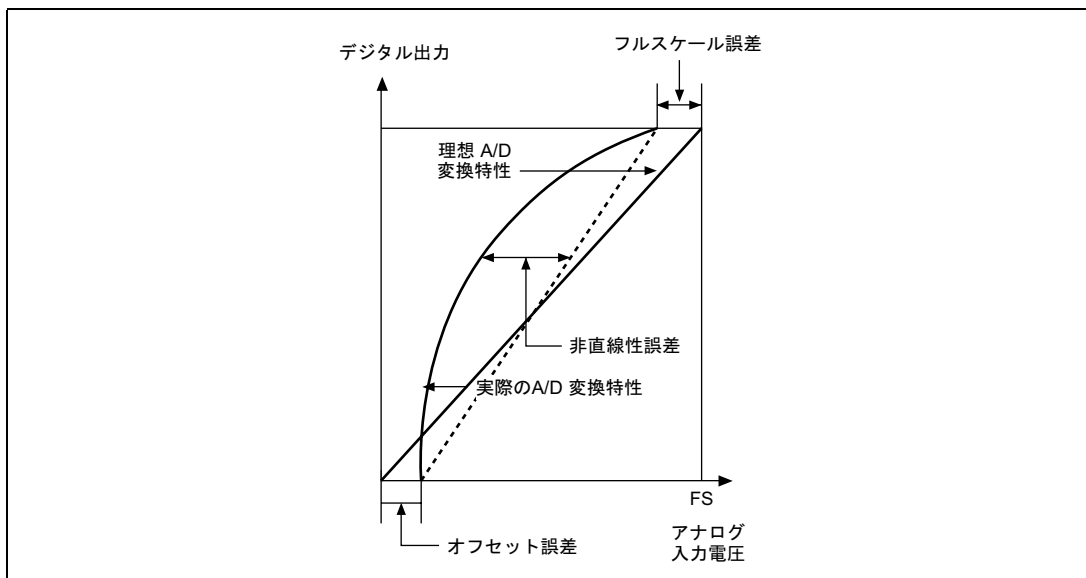


図 21.4 A/D 変換精度の定義

21.7 使用上の注意事項

21.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 21.5）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのパッファを入れてください。

21.7.2 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} (A/D) などの電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

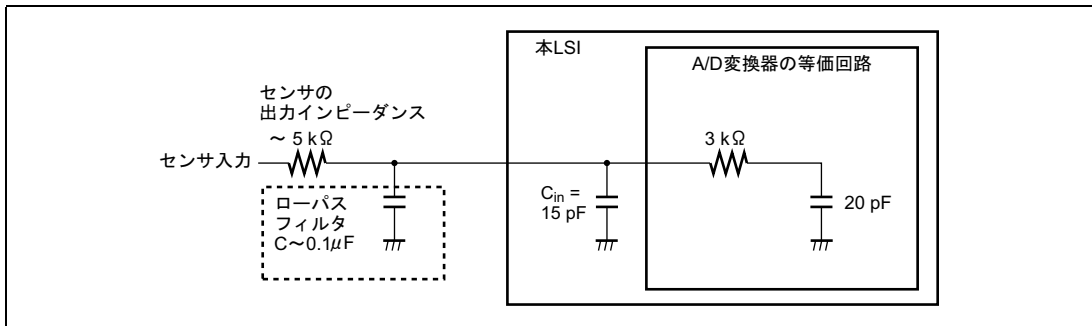


図 21.5 アナログ入力回路の例

21.7.3 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧（VANn）は $AV_{SS} \leq VANn \leq AV_{CC}$ の範囲としてください。
 (n=0~3)

- AV_{CC} 、 AV_{SS} と V_{CCQ} 、 V_{SSQ} の関係

AV_{CC} 、 AV_{SS} と V_{CCQ} 、 V_{SSQ} との関係は $AV_{CC} = V_{CCQ} \pm 0.2V$ 、 $AV_{SS} = V_{SSQ}$ とし、さらに、A/D変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子をオープンにしないでください。

21.7.4 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0~AN3）、アナログ電源電圧（ AV_{CC} （A/D））は、アナロググランド（ AV_{SS} （A/D））で、デジタル回路と分離してください。さらに、アナロググランド（ AV_{SS} （A/D））は、ボード上の安定したグランド（ V_{SS} ）に一点接続してください。

21.7.5 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子（AN0~AN3）の破壊を防ぐために、図 21.6 に示すように AV_{CC} ~ AV_{SS} 間に保護回路を接続してください。 AV_{CC} に接続するバイパスコンデンサ、AN0~AN3に接続するフィルタ用のコンデンサは、必ず AV_{SS} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN3の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどでA/D変換を頻繁に行う場合、A/D変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（ R_{in} ）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

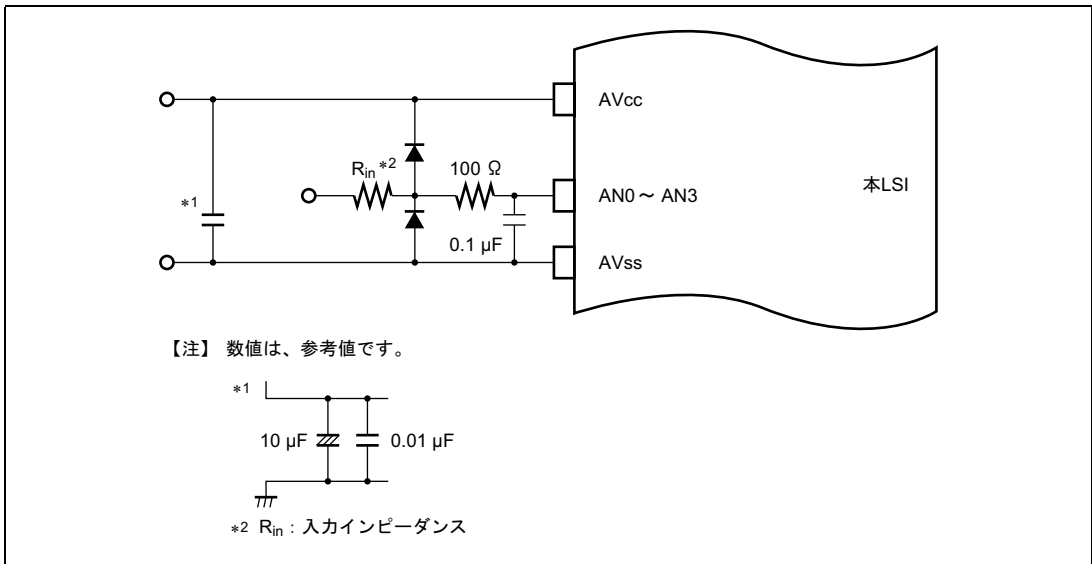


図 21.6 アナログ入力保護回路の例

表 21.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω

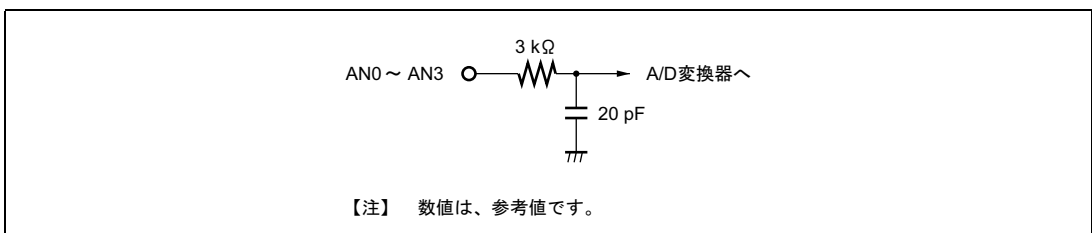


図 21.7 アナログ入力端子等価回路

22. ユーザブ레이크コントローラ（UBC）

ユーザブ레이크コントローラ（UBC）は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本LSI単体で手軽にプログラムをデバッグできます。UBCに設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、命令フェッチの時の停止タイミングがあります。

22.1 特長

次のようなブ레이크比較条件を設定できます

- ブ레이크チャンネル数：2チャンネル（チャンネルAとB）

ユーザブ레이크は、チャンネルA、B独立に、または連続した（シーケンシャル）1つの条件として設定することができます（シーケンシャルブ레이크設定：チャンネルAのブ레이크条件が一致した後チャンネルBのブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき）。

1. アドレス（ASIDとアドレス32ビットから構成された40ビットを比較：ASIDは全ビット比較または全ビットマスクのいずれかを選択できます。アドレス32ビットの比較はビットごとにマスク可能で、ユーザは下位12ビット（4kページ）、下位10ビット（1kページ）、あるいは任意の大きさのページなどでアドレスをマスクすることができます。）

2つのアドレスバスの1つ（Lバスアドレス（LAB）、Iバスアドレス（IAB））を選択できます。

2. データ（チャンネルBのみ、32ビットマスク可能）

2本のデータバス（Lバスデータ（LDB）、Iバスデータ（IDB））のどれか1つを選択できます。

3. バスサイクル：命令フェッチまたはデータアクセス

4. 読み出しまたは書き込み

5. オペランドサイズ：バイト、ワード、またはロングワード

- ブ레이크条件が成立するときユーザブ레이크が発生します。ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行できます。
- 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか後に設定するかを指定できます。
- ブ레이크条件（チャンネルBに対してのみ）として、最大 $2^{12}-1$ 回まで繰り返し回数を指定することができます。
- 8組の分岐元／分岐先バッファ

22. ユーザブレイクコントローラ (UBC)

UBC のブロック図を図 22.1 に示します。

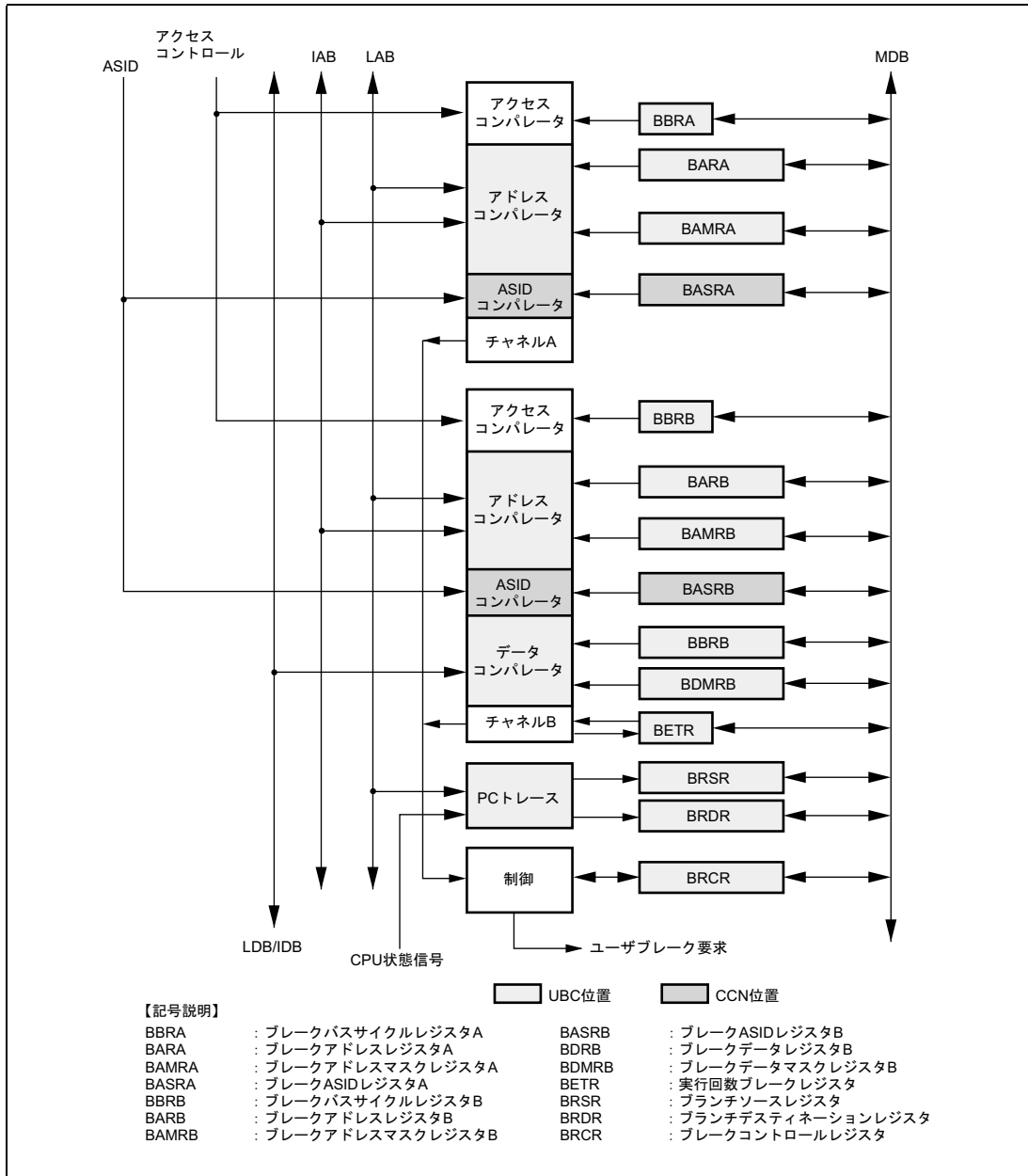


図 22.1 UBC のブロック図

22.2 レジスタの説明

UBCには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照してください。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスマスクレジスタA (BAMRA)
- ブレークバスサイクルレジスタA (BBRA)
- ブレークアドレスレジスタB (BARB)
- ブレークアドレスマスクレジスタB (BAMRB)
- ブレークバスサイクルレジスタB (BBRB)
- ブレークデータレジスタB (BDRB)
- ブレークデータマスクレジスタB (BDMRB)
- ブレークコントロールレジスタ (BRCR)
- 実行回数ブレークレジスタ (BETR)
- ブランチソースレジスタ (BRSR)
- ブランチデスティネーションレジスタ (BRDR)
- ブレークASIDレジスタA (BASRA)
- ブレークASIDレジスタB (BASRB)

22.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットの読み出し／書き込み可能なレジスタです。BARA はチャンネル A のブレーク条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAA31 ~ BAA0	すべて 0	R/W	ブレークアドレス A チャンネル A のブレーク条件を指定する LAB または IAB のアドレスを格納します。

22.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

BAMRA は 32 ビットの読み出し／書き込み可能なレジスタです。BAMRA は BARA によって指定されるブレークアドレスビットのうちマスクするビットを指定します。

22. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
31~0	BAMA31 ~ BAMA0	すべて 0	R/W	ブレイクアドレスマスク A BARA (BAA31~BAA0) によって指定されるチャンネル A のブレイクアドレスビットのうちマスクするビットを指定します。 0: ブレイクアドレスビット BAA _n は、ブレイク条件に含まれる 1: ブレイクアドレスビット BAA _n はマスクされ、ブレイク条件に含まれない 【注】 n=31~0

22.2.3 ブレイクバスサイクルレジスタ A (BBRA)

BBRA は、チャンネル A のブレイク条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、(4) オペランドサイズを指定する 16 ビットの読み出し／書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 6	CDA1 CDA0	0 0	R/W R/W	L バスサイクル／I バスサイクルセレクト A チャンネル A ブレイク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は L バスサイクル 10: ブレイク条件は I バスサイクル 11: ブレイク条件は L バスサイクル
5 4	IDA1 IDA0	0 0	R/W R/W	命令フェッチ／データアクセスセレクト A チャンネル A ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は命令フェッチサイクル 10: ブレイク条件はデータアクセスサイクル 11: ブレイク条件は命令フェッチサイクルまたはデータアクセスサイクル
3 2	RWA1 RWA0	0 0	R/W R/W	読み出し／書き込みセレクト A チャンネル A ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は読み出しサイクル 10: ブレイク条件は書き込みサイクル 11: ブレイク条件は読み出しサイクルまたは書き込みサイクル

ビット	ビット名	初期値	R/W	説明
1	SZA1	0	R/W	オペランドサイズセレクト A
0	SZA0	0	R/W	チャンネル A ブ레이크条件のバスサイクルのオペランドサイズを選択します。 00: ブ레이크条件にはオペランドサイズを含まない 01: ブ레이크条件はバイトアクセス 10: ブ레이크条件はワードアクセス 11: ブ레이크条件はロングワードアクセス

22.2.4 ブ레이크アドレスレジスタ B (BARB)

BARB は、32 ビットの読み出し／書き込み可能なレジスタです。チャンネル B のブ레이크条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAB31~ BAB0	すべて 0	R/W	ブ레이크アドレス B チャンネル B のブ레이크条件を指定するアドレスを格納します。 BARB は LAB または IAB 上でブ레이크アドレスを指定します。

22.2.5 ブ레이크アドレスマスクレジスタ B (BAMRB)

BAMRB は、32 ビットの読み出し／書き込み可能なレジスタです。BAMRB は、BARB で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMB31 ~ BAMB0	すべて 0	R/W	ブ레이크アドレスマスク B BARB (BAB31~BAB0) によって指定されるチャンネル B のブ레이크アドレスビットのうちマスクするビットを指定します。 0: ブ레이크アドレスビット BABn は、ブ레이크条件に含まれる 1: ブ레이크アドレスビット BABn はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

22.2.6 ブ레이크データレジスタ B (BDRB)

BDRB は、32 ビットの読み出し／書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31~0	BDB31~ BDB0	すべて 0	R/W	ブ레이크データビット B チャンネル B のブ레이크条件を指定するデータを格納します。 BDRB は LDB または IDB のブ레이크データを指定します。

- 【注】
- ブ레이크条件にデータバスの値を含める場合オペランドサイズを指定してください。
 - ブ레이크条件としてバイトサイズを指定する場合、BDRB におけるブ레이크データとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

22. ユーザブ레이크コントローラ (UBC)

22.2.7 ブ레이크データマスクレジスタ B (BDMRB)

BDMRB は、32 ビットの読み出し/書き込み可能なレジスタです。BDMRB は、BDRB で指定するブ레이크データビットのうちマスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31 ~ BDMB0	すべて 0	R/W	ブ레이크データマスク B BDRB (BDB31~BDB0) によって指定されるチャンネル B のブ레이크データビットのうちマスクするビットを指定します。 0: ブ레이크データビット BDBn は、ブ레이크条件に含まれる 1: ブ레이크データビット BDBn はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

- 【注】
1. ブ레이크条件にデータバスの値を含める場合オペランドサイズを指定してください。
 2. ブ레이크条件としてバイトサイズを指定する場合、BDMRB におけるブ레이크マスクデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

22.2.8 ブ레이크バスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブ레이크条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットの読み出し/書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 6	CDB1 CDB0	0 0	R/W R/W	L バスサイクル/I バスサイクルセレクト B チャンネル B ブ레이크条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブ레이크条件は L バスサイクル 10: ブ레이크条件は I バスサイクル 11: ブ레이크条件は L バスサイクル
5 4	IDB1 IDB0	0 0	R/W R/W	命令フェッチ/データアクセスセレクト B チャンネル B ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブ레이크条件は命令フェッチサイクル 10: ブ레이크条件はデータアクセスサイクル 11: ブ레이크条件は命令フェッチサイクルまたはデータアクセスサイクル

ビット	ビット名	初期値	R/W	説明
3 2	RWB1 RWB0	0 0	R/W R/W	読み出し/書き込みセレクト B チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は読み出しサイクル 10: ブレーク条件は書き込みサイクル 11: ブレーク条件は読み出しサイクルまたは書き込みサイクル
1 0	SZB1 SZB0	0 0	R/W R/W	オペランドサイズセレクト B チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。 00: ブレーク条件はオペランドサイズを含まない 01: ブレーク条件はバイトアクセス 10: ブレーク条件はワードアクセス 11: ブレーク条件はロングワードアクセス

22.2.9 ブレークコントロールレジスタ (BRCR)

BRCR は次の条件を設定します。

1. チャンネル A、B を 2 つの独立したチャンネル条件か、あるいは 1 つの連続した条件として使用するかを指定します。
2. ブレークを命令実行の前に設定するか後に設定するかを指定します。
3. チャンネル B 比較条件に実行回数を含めるかどうかを指定します。
4. チャンネル B 比較条件にデータバスの値を含めるかどうかを決定します。
5. PC トレースをイネーブルにします。
6. ASID チェックをイネーブルにします。

BRCR は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	BASMA	0	R/W	ブレーク ASID マスク A BASRA にセットされたチャンネル A ブレーク ASID7~ASID0 (BASA7~BASA0) のビットをマスクするかどうかを指定します。 0: すべての BASRA ビットはブレーク条件に含まれ、ASID がチェックされる 1: すべての BASRA ビットはブレーク条件に含まれず、ASID がチェックされない

22. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
20	BASMB	0	R/W	ブ레이크 ASID マスク B BASRB にセットされたチャンネル B ブ레이크 ASID7~ASID0 (BASB7~BASB0) のビットをマスクするかどうかを指定します。 0: すべての BASRB ビットはブ레이크条件に含まれ、ASID がチェックされる 1: すべての BASRB ビットはブ레이크条件に含まれず、ASID がチェックされない
19~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	SCMFCA	0	R/W	L バスサイクル条件一致フラグ A チャンネル A にセットしたブ레이크条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル A に対する L バスサイクル条件不一致 1: チャンネル A に対する L バスサイクル条件一致
14	SCMFCB	0	R/W	L バスサイクル条件一致フラグ B チャンネル B にセットしたブ레이크条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル B に対する L バスサイクル条件不一致 1: チャンネル B に対する L バスサイクル条件一致
13	SCMFDA	0	R/W	I バスサイクル条件一致フラグ A チャンネル A にセットしたブ레이크条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル A に対する I バスサイクル条件不一致 1: チャンネル A に対する I バスサイクル条件一致
12	SCMFDB	0	R/W	I バスサイクル条件一致フラグ B チャンネル B にセットしたブ레이크条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル B に対する I バスサイクル条件不一致 1: チャンネル B に対する I バスサイクル条件一致
11	PCTE	0	R/W	PC トレースイネーブル 0: PC トレースを禁止 1: PC トレースを許可

22. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
10	PCBA	0	R/W	PC ブレークセレクト A チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル A の PC ブレークを命令実行前に設定 1 : チャンネル A の PC ブレークを命令実行後に設定
9	—	0	R	リザーブビット
8	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	DBEB	0	R/W	データブレークイネーブル B データバス条件がチャンネル B のブレーク条件に含まれるかどうかを選択します。 0 : データバス条件がチャンネル B のブレーク条件に含まれない 1 : データバス条件がチャンネル B のブレーク条件に含まれる
6	PCBB	0	R/W	PC ブレークセレクト B チャンネル B に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル B の PC ブレークを命令実行前に設定 1 : チャンネル B の PC ブレークを命令実行後に設定
5	—	0	R	リザーブビット
4	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SEQ	0	R/W	シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0 : 独立した条件下でチャンネル A とチャンネル B を比較 1 : 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)
2	—	0	R	リザーブビット
1	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ETBE	0	R/W	実行回数ブレークイネーブル チャンネル B に対してのみ実行回数ブレーク条件を有効にします。このビットが 1 の場合、生じたブレーク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレーク割り込みが出されます。 0 : チャンネル B の実行回数ブレーク条件を無効にする 1 : チャンネル B の実行回数ブレーク条件を有効にする

22.2.10 実行回数ブ레이크レジスタ (BETR)

BETR は 16 ビットの読み出し／書き込み可能なレジスタです。チャンネル B の実行回数ブ레이크条件を有効にすると、このレジスタはブ레이크を行う回数を指定します。最大値は 2^2-1 回です。ブ레이크条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になったあと、ブ레이크条件を満たすとブ레이크が出されます。

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	BET11~ BET0	すべて 0	R/W	実行回数

【注】 チャンネル B のブ레이크条件を命令フェッチサイクルでのブ레이크に設定し、ブ레이크する命令が下記の命令に該当する場合、1 回のブ레이크で BETR は 1 ずつデクリメントされません。デクリメントされる値は次のようになります。

命令	カウントダウン値
RTE	4
DMULS.L Rm, Rn	2
DMULU.L Rm, Rn	2
MAC.L @Rm+, @Rn+	2
MAC.W @Rm+, @Rn+	2
MUL.L Rm, Rn	3
AND.B #imm, @(R0, GBR)	3
OR.B #imm, @(R0, GBR)	3
TAS.B @Rn	3
TST.B #imm, @(R0, GBR)	3
XOR.B #imm, @(R0, GBR)	3
LDC Rm, SR	4
LDC Rm, GBR	4
LDC Rm, VBR	4
LDC Rm, SSR	4
LDC Rm, SPC	4
LDC Rm, R0_BANK	4
LDC Rm, R1_BANK	4
LDC Rm, R2_BANK	4
LDC Rm, R3_BANK	4
LDC Rm, R4_BANK	4
LDC Rm, R5_BANK	4
LDC Rm, R6_BANK	4
LDC Rm, R7_BANK	4
LDC.L @Rm+, SR	6
LDC.L @Rm+, GBR	4

LDC.L @Rm+, VBR	4
LDC.L @Rm+, SSR	4
LDC.L @Rm+, SPC	4
LDC.L @Rm+, R0_BANK	4
LDC.L @Rm+, R1_BANK	4
LDC.L @Rm+, R2_BANK	4
LDC.L @Rm+, R3_BANK	4
LDC.L @Rm+, R4_BANK	4
LDC.L @Rm+, R5_BANK	4
LDC.L @Rm+, R6_BANK	4
LDC.L @Rm+, R7_BANK	4
BSR label	2
BSRF Rm	2
JSR @Rm	2

22.2.11 ブランチソースレジスタ (BRSR)

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐元命令のアドレスのビット 27~0 を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	SVF	0	R	BRSR 有効フラグ 分岐元のアドレスが格納されているかどうかを示します。分岐元アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは、BRSR を読み出すことによって 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効
30~28	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
27~0	BSA27~ BSA0	不定	R	分岐元アドレス これらのビットは分岐元アドレスのビット 27~0 を格納します。

22.2.12 ブランチデスティネーションレジスタ (BRDR)

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先命令のアドレスのビット 27~0 を格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRDR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	DVF	0	R	BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは BRDR を読み出すことによって 0 にクリアされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効
30~28	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
27~0	BDA27~ BDA0	不定	R	分岐元アドレス これらのビットは分岐先アドレスのビット 27~0 を格納します。

22.2.13 ブレーク ASID レジスタ A (BASRA)

BASRA は、チャンネル A に対するブレーク条件となる ASID を指定する 8 ビットの読み出し/書き込み可能なレジスタです。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7~0	BASA7~ BASA0	—	R/W	ブレーク ASID A これらのビットはチャンネル A のブレーク条件である ASID (ビット 7~0) を格納します。

22.2.14 ブレーク ASID レジスタ B (BASRB)

BASRB は、チャンネル B に対するブレーク条件となる ASID を指定する 8 ビットの読み出し/書き込み可能なレジスタです。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7~0	BASB7~ BASB0	—	R/W	ブレーク ASID B これらのビットはチャンネル B のブレーク条件である ASID (ビット 7~0) を格納します。

22.3 動作説明

22.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは次のとおりです。

1. ブレイクアドレスおよび該当するASIDは、ブレイクアドレスレジスタ (BARA、BARB) とブレイクASIDレジスタ (CCNのBASRA、BASRB) にセットします。マスクするアドレスはブレイクアドレスマスクレジスタ (BAMRA、BAMRB) にセットします。ブレイクデータはブレイクデータレジスタ (BDRB) にセットします。マスクするデータはブレイクデータマスクレジスタ (BDMRB) にセットします。バスブレイク条件は、ブレイクバスサイクルレジスタ (BBRA、BBRB) にセットします。BBRAとBBRBの3つの制御ビットペア、すなわちLバスサイクル/Iバスサイクルセレクト、命令フェッチ/データアクセスセレクト、読み出し/書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合、ユーザブレイクは発生しません。ブレイク制御はBRCRのビットにセットします。他のすべてのブレイク関連レジスタの設定後にBBRA、BBRBの設定を行ってください。
2. ブレイク条件を満足すると、UBCはユーザブレイク要求をCPUに通知するとともに、それぞれのチャンネルに対するLバス条件一致フラグ (SCMFCA、SCMFCB) およびIバス条件一致フラグ (SCMFDA、SCMFDB) をセットします。
3. 設定条件の一致、不一致をチェックするため該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFCB、SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためにはまず0を書き込まなければなりません。
4. データアクセスブレイクとそれに続く命令フェッチブレイクがほぼ同時に発生する場合があります。CPUに対するブレイク割り込み要求は1つだけであってもこれらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
5. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - Iバスには、CPUとDMACを含む複数のバスマスタが接続されています。UBCはすべてのバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
 - Iバスで使用されるアドレスは、物理アドレスです。ブレイクアドレスレジスタ (BARAおよびBARB) には物理アドレスを設定してください。CPUがLバス上で発行した論理アドレスのバスサイクルは、物理アドレスに変換されたのちにIバスに出力されます。(アドレス変換機構が有効な場合は、MMUによるアドレス変換も行われます。)
 - CPUがLバス上で発行したデータアクセスサイクルは、論理アドレスがキャッシング対象でない場合はLバスで指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。
 - CPUがLバス上で発行した命令フェッチサイクルは、論理アドレスがキャッシング対象でない場合もすべてロングワードサイズとなり、アドレスはロングワード境界に丸められます。

22. ユーザブ레이크コントローラ (UBC)

- CPUがLバス上で発行した論理アドレスが、キャッシング対象のアドレスであり、かつキャッシュミスした場合は、キャッシュフィルサイクルとしてIバスに発行されます。この場合はロングワードサイズで発行され、アドレスもロングワード境界に丸められた値が使用されます。ただし、ライトスルーモードにおけるライトミス時にはキャッシュフィルは行われず、Lバス上で指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。また、ライトバックモードの場合は、リードフィルサイクルに伴ってライトバックサイクルが発行されるときがあります。これもロングワードサイズのバスサイクルで、アドレスもロングワード境界に丸められています。
 - CPUのLバス上での命令フェッチに起因したIバスサイクル（リードフィルサイクルを含む）をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
 - DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
 - Iバスにブ레이크条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブ레이크を受け付けるかを一意に決定することは出来ません。
6. CPUのステータスレジスタ (SR) のブロックビット (BL) がIの期間は、すべてのブ레이크は受け付けられません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。

22.3.2 命令フェッチサイクルでのブ레이크

1. ブ레이크バスサイクルレジスタ (BBRAまたはBBRB) にLバス/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブ레이크条件はLバスの命令フェッチになります。命令実行の前にブ레이크するか後にブ레이크するかは、該当するチャンネルに対するブ레이크コントロールレジスタ (BRCR) のPCBAまたはPCBBビットで選択できます。ブ레이크条件として命令フェッチサイクルを設定する場合は、ブ레이크アドレスレジスタ (BARAまたはBARB) のLSBを0にクリアしてください。このビットが1にセットされているとブ레이크は発生しません。
2. 命令フェッチによるブ레이크がその命令を実行する前に行れるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブ레이크が生じます。したがって、この機能はオーバラン（分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令）によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブ레이크が設定されると、遅延分岐命令の実行前にブ레이크が発生します。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブ레이크条件でブ레이크が命令実行後に起こるように設定している場合は、ブ레이크条件と一致した命令が実行され、次の命令の実行前にブ레이크が発生します。実行前のブ레이크の場合と同様、これはオーバランフェッチ命令では使用できません。遅延分岐命令およびその遅延スロットに対してこの種のブ레이크が設定されると、分岐先の最初の命令までブ레이크は発生しません。
4. 命令フェッチサイクルがチャンネルBに設定されるとブ레이크データレジスタB (BDRB) は、無視されます。したがって、命令フェッチサイクルのブ레이크には、ブ레이크データを設定することはできません。
5. 命令フェッチサイクルでのブ레이크においてIバスを設定した場合は、Iバス上の命令フェッチサイクルに対

する条件判定が行われます。詳細は、「22.3.1 ユーザブ레이크動作の流れ」の5.の項を参照してください。

22.3.3 データアクセスサイクルでのブ레이크

1. データアクセスブ레이크において、ブ레이크条件としてLバスを指定した場合は、実行された命令によりアクセスされた論理アドレス (およびデータ) に対して条件比較を行いブ레이크が発生します。ブ레이크条件としてIバスを指定した場合は、Iバス上のCPUを含めたすべてのバスマスタが発行するデータアクセスサイクルの物理アドレス (およびデータ) に対して条件比較を行いブ레이크が発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「22.3.1 ユーザブ레이크動作の流れ」の5.の項を参照してください。
2. 表22.1にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 22.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブ레이크アドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブ레이크アドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブ레이크アドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、たとえばブ레이크アドレスレジスタ (BARAまたはBARB) にアドレスH'00001003を設定するとき、ブ레이크条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000でのロングワードアクセス

H'00001002でのワードアクセス

H'00001003でのバイトアクセス

3. チャンネルBのブ레이크条件にデータ値が含まれる場合
ブ레이크条件にデータ値が含まれる場合は、ブ레이크バスサイクルレジスタB (BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブ레이크条件に含まれる場合は、アドレス条件とデータ条件が一致するときブ레이크が発生します。この場合、バイトデータを指定するためには、ブ레이크データレジスタB (BDRB) とブ레이크データマスクレジスタB (BDMRB) のビット15~8、ビット7~0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31~16は、無視されます。
4. PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブ레이크条件にデータ値が含まれる場合は、ブ레이크は発生しません。
5. Lバスを選択している場合は、条件が一致した命令の実行を完了し、次の命令を実行する直前にブ레이크が発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令の次の命令の実行完了後になる場合もあります。Iバスを選択している場合は、ブ레이크の発生する命令を特定することは出来ません。また、遅延分岐命令やその遅延スロットでこの種のブ레이크が発生した場合は、分岐先の最初の命令までブ레이크は発生しません。

22.3.4 シーケンシャルブレイク

1. BR CRのSEQビットを1にセットすると、チャンネルAブレイク条件が一致した後チャンネルBブレイク条件が一致するときにシーケンシャルブレイクが発生します。チャンネルAブレイク条件が一致する前にチャンネルBブレイク条件が一致すると、ユーザブレイクは発生しません。また、チャンネルAとチャンネルBのブレイク条件が同時に一致したときも、シーケンシャルブレイクは発生しません。シーケンシャルブレイク指定時、チャンネルA条件が一致し、かつチャンネルB条件が一致していないときにチャンネルA一致をクリアしたい場合、BR CRレジスタのSEQビットに0を書き込みます。
2. シーケンシャルブレイク指定では、Lバス、Iバスを選択でき、実行回数ブレイク条件も指定することができます。たとえば、実行回数ブレイク条件を指定すると、チャンネルAブレイク条件一致後、チャンネルBブレイク条件がBETR=H0001のときに一致するとブレイク条件が満たされます。

22.3.5 退避したプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスをSPCに退避し、例外処理状態に移行します。ブレイク条件としてLバスを指定している場合は、ブレイクの発生する命令を一意に決定することができます（ブレイク条件にデータを含む場合を除く）。ブレイク条件としてIバスを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. 命令フェッチを（命令実行前）ブレイク条件として指定する場合

SPCには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスがSPCに退避されます。

2. 命令フェッチを（命令実行後）ブレイク条件として指定する場合

SPCには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがSPCに退避されます。

3. データアクセス（アドレスのみ）をブレイク条件として指定する場合

SPCには、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスがSPCに退避されます。

4. データアクセス（アドレス+データ）をブレイク条件として指定する場合

データ値がブレイク条件に追加されると、ブレイク条件に一致した命令の次の命令か、その次の命令のアドレスがSPCに退避されます。ブレイクが発生する場所は、正確に決定することはできません。

遅延スロット命令で条件が一致した場合は、分岐先アドレスがSPCに退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが生じる場合があります。この場合もSPCには、分岐先のアドレスが退避されます。

22.3.6 PC トレース

1. PCトレースは、BRCRのPCTEを1にセットすることによってイネーブルになります。分岐（分岐命令および割り込み例外）が発生すると、分岐元アドレスと分岐先アドレスがそれぞれBRSRとBRDRに格納されます。
2. BRSR, BRDRに格納される値は、分岐の種類によってそれぞれ次のようになります。
 - 分岐命令により分岐が生じる場合は、分岐命令のアドレスがBRSRに、分岐先命令のアドレスがBRDRに格納されます。
 - 割り込みや一般例外により分岐が生じる場合は、例外発生により保存されるSPCの値がBRSRに、例外処理ルーチンの先頭アドレスがBRDRに格納されます。
3. BRSRとBRDRは、8組のキュー構造からなっています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRは、リードポインタを共有します。BRSR、BRDRの順で読み出してください。キューは、BRDRの読み出し後のみシフトされます。BRCRのPCTEビットをオフからオンに切り替えると、キューの値は無効になります。

22.3.7 使用例

(1) Lバス命令フェッチサイクルに指定したブ레이크条件

(a) レジスタ指定

BARA=H'00000404、BAMRA=H'00000000、BBRA=H'0054、BARB=H'00008010、BAMRB=H'00000006、
BBRB=H'0054、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00300400

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ（命令実行後） / 読み出し（オペランドサイズは条件に含まれません）

ASID チェックは含まれません。

<チャンネル B>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ（命令実行前） / 読み出し（オペランドサイズは条件に含まれません）

ASID チェックは含まれません。

ユーザブ레이크は、アドレス H'00000404 の命令実行後、またはアドレス H'00008010～H'00008016 の命令の実行前に発生します。

22. ユーザブレイクコントローラ (UBC)

(b) レジスタ指定

BARA=H'00037226、BAMRA=H'00000000、BBRA=H'0056、BARB=H'0003722E、BAMRB=H'00000000、
BBRB=H'0056、BDRB=H'00000000、BDMRB=H'00000000、
BRCR=H'00000008、BASRA=H'80、BASRB=H'70

指定条件：チャンネル A / チャンネル B シーケンシャルモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：L バス / 命令フェッチ（命令実行前） / 読み出し / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID=H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：L バス / 命令フェッチ（命令実行前） / 読み出し / ワード

ASID=H'80 かつアドレス H'00037226 の命令が実行された後、ASID=H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

(c) レジスタ指定

BARA=H'00027128、BAMRA=H'00000000、BBRA=H'005A、BARB=H'00031415、BAMRB=H'00000000、
BBRB=H'0054、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00300000

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：L バス / 命令フェッチ（命令実行前） / 書き込み / ワード

ASID チェックは含まれません。

<チャンネル B>

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

ASID チェックは含まれません。

バスサイクル：L バス / 命令フェッチ（命令実行前） / 読み出し（オペランドサイズは条件に含まれません）

チャンネル A では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル B では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(d) レジスタ指定

BARA=H'00037226、BAMRA=H'00000000、BBRA=H'005A、BARB=H'0003722E、BAMRB=H'00000000、
BBRB=H'0056、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00000008、BASRA=H'80、
BASRB=H'70

指定条件：チャンネル A / チャンネル B シーケンシャルモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：L バス / 命令フェッチ（命令実行前） / 書き込み / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID=H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：L バス / 命令フェッチ（命令実行前） / 読み出し / ワード

チャンネル A で命令フェッチは書き込みサイクルではないので、シーケンシャル条件一致は生じません。
したがって、ユーザブレイクは発生しません。

(e) レジスタ指定

BARA=H'00000500、BAMRA=H'00000000、BBRA=H'0057、BARB=H'00001000、BAMRB=H'00000000、
BBRB=H'0057、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00300001、BETR=H'0005

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：L バス / 命令フェッチ（命令実行前） / 読み出し / ロングワード

ASID チェックは含まれません。

<チャンネル B>

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

ASID チェックは含まれません。

バスサイクル：L バス / 命令フェッチ（命令実行前） / 読み出し / ロングワード

実行回数ブレイクイネーブル（5 回）

チャンネル A では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル B では、
ユーザブレイクはアドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

22. ユーザブレイクコントローラ (UBC)

(f) レジスタ指定

BARA=H'00008404、BAMRA=H'00000FFF、BBRA=H'0054、BARB=H'00008010、BAMRB=H'00000006、
BBRB=H'0054、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00000400、BASRA=H'80、
BASRB=H'70

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID=H'80

バスサイクル：Lバス / 命令フェッチ（命令実行後） / 読み出し（オペランドサイズは条件には含まれません）

<チャンネル B>

アドレス：H'00008010、アドレスマスク：H'00000006、ASID=H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ（命令実行前） / 読み出し（オペランドサイズは条件には含まれません）

ユーザブレイクは、ASID=H'80 でアドレス H'00008000～H'00008FFE の命令の実行後、または、ASID=H'70 でアドレス H'00008010～H'00008016 の命令の実行前に生じます。

(2) Lバスデータアクセスサイクルに指定したブレイク条件

レジスタ指定：

BARA=H'00123456、BAMRA=H'00000000、BBRA=H'0064、BARB=H'000ABCDE、BAMRB=H'000000FF、
BBRB=H'006A、BDRB=H'0000A512、BDMRB=H'00000000、BRCR=H'00000080、BASRA=H'80、
BASRB=H'70

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00123456、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：Lバス / データアクセス / 読み出し（オペランドサイズは条件に含まれません）

<チャンネル B>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID=H'70

データ：H'0000A512、データマスク：H'00000000

バスサイクル：Lバス / データアクセス / 書き込み / ワード

チャンネル A では、ユーザブレイクは、ASID=H'80 でアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル B では、ユーザブレイクは ASID=H'70 で H'000ABC00～H'000ABCFE にワード H'A512 を書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

レジスタ指定：

BARA=H'00314156、BAMRA=H'00000000、BBRA=H'0094、BARB=H'00055555、BAMRB=H'00000000、
BBRB=H'00A9、BDRB=H'00007878、BDMRB=H'0000F0F、BRCR=H'00000080、BASRA=H'80、
BASRB=H'70

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00314156、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：Iバス / 命令フェッチ / 読み出し（オペランドサイズは条件に含まれません）

<チャンネル B>

アドレス：H'00055555、アドレスマスク：H'00000000、ASID=H'70

データ：H'00000078、データマスク；H'0000000F

バスサイクル：Iバス / データアクセス / 書き込み / バイト

チャンネル A では、ユーザブレイクは ASID=H'80 でメモリ空間のアドレス H'00314156 に対する命令フェッチで生じます。チャンネル B では、ユーザブレイクは ASID=H'70 で Iバス上でバイト H'7* をアドレス H'00055555 に書き込むときに生じます。

22.3.8 注意事項

1. UBCのレジスタの読み出しまたは書き込みは、Iバス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはLバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. シーケンシャルブレイクの指定における注意事項は、次のとおりです。
 - シーケンシャルブレイクの設定時、Aチャンネル一致が発生後Bチャンネル一致が発生するとき、条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されてもブレイクは、発生しません。
4. ユーザブレイクと他の例外が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前ブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外（命令実行前ブレイクを含む）と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません（ただし、5項に示す例外事項があります）。例外処理により再実行型の例外要因が解消され、同命令が再実行されて完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやデータアクセスブレイクが、より優先度の高い完了型の例外（TRAPA）と同時に発生

22. ユーザブレイクコントローラ (UBC)

した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

5. 4項の例外事項として、次の注意事項があります。
 - データアクセスによりCPUアドレスエラー（やTLB関連例外）が発生する命令において命令実行後ブレイクやデータアクセスブレイクが成立する場合は、ブレイクに優先してCPUアドレスエラー（やTLB関連例外）が発生します。この際、UBCの条件一致フラグもセットされます。
6. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。
 - RTE命令の遅延スロット命令に対して命令実行前ブレイクを設定した場合は、RTE命令の分岐先の実行前までブレイクは発生しません。
7. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。

23. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース (H-UDI)、およびアドバンストユーザデバッガ (AUD) を内蔵しています。

本章では、H-UDI について説明します。AUD はエミュレータ専用の機能であり、詳細については各エミュレータのユーザーズマニュアルを参照してください。

23.1 特長

ユーザデバッグインタフェース (H-UDI) は、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に対応したシリアル入出力インタフェースです。

本 LSI の H-UDI はバウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

H-UDI のブロック図を図 23.1 に示します。

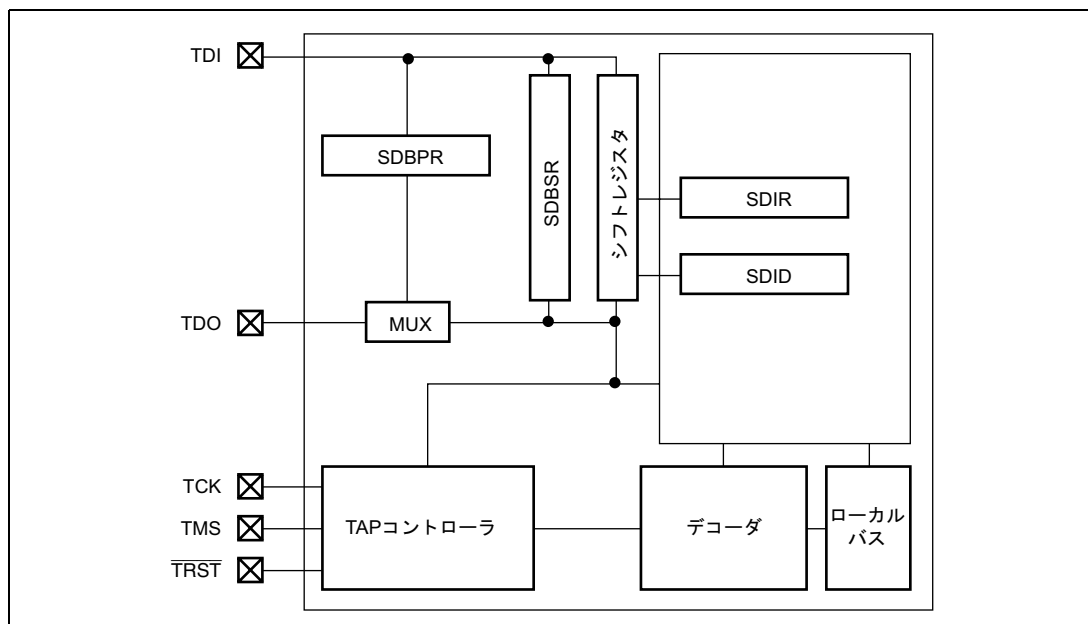


図 23.1 H-UDI ブロック図

23.2 入出力端子

表 23.1 に H-UDI の端子構成を示します。

表 23.1 端子構成

名称	入出力	説明
TCK*	入力	シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
TMS*	入力	モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは JTAG 規格 (IEEE Std.1149.1) に対応しています。
TRST*	入力	リセット入力端子 TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。TRST 端子は、RESETP 端子と同様に、パワーオンリセット中はローレベルに、パワーオンリセット解除後はハイレベルに制御してください。これは JTAG の規格と異なります。リセット構成の詳細については「23.4.2 リセット構成」を参照してください。
TDI*	入力	シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
TDO	出力	シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出カタイミングは SDIR に設定されているコマンドの種類により異なります。詳細については、「23.3.2 インストラクションレジスタ (SDIR)」を参照してください。
ASEMD0*	入力	ASE モードセレクト端子 RESETP 端子アサート期間中に、ASEMD0 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。ASEMD0 端子への入力レベルは、RESETP 端子ネゲート後、最低 1 サイクル保持してください。詳細については「23.4.2 リセット構成」を参照してください。
ASEBRKAK AUDSYNC AUDATA3~0 AUDCK	出力	エミュレータ専用の端子

【注】 * ピンファンクションコントローラ (PFC) でその他の機能 (H-UDI) を選択した場合はプルアップ MOS がオンになります。

23.3 レジスタの説明

H-UDI には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 24 章 レジスタ一覧」を参照してください。

- バイパスレジスタ (SDBPR)
- インストラクションレジスタ (SDIR)
- バウンダリスキャンレジスタ (SDBSR)
- IDレジスタ (SDID)

23.3.1 バイパスレジスタ (SDBPR)

SDBPR は CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定ですが、TAP が Capture-DR 状態のとき 0 に初期化されます。

23.3.2 インストラクションレジスタ (SDIR)

SDIR は、CPU からは読み出しのみ可能な 16 ビットのレジスタです。初期状態でこのレジスタは JTAG IDCODE になっています。TRST のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは CPU のモードに関係なく書き込みを行うことができます。このレジスタにリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説明
15~13	TI7~TI5	すべて 1	R	テストインストラクション 7~0
12	TI4	0	R	H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 23.2 を参照してください。
11~8	TI3~TI0	すべて 1	R	
7~2	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

23. ユーザデバッグインタフェース

表 23.2 H-UDI コマンド

ビット 15~8								説明
T17	T16	T15	T14	T13	T12	T11	T10	
0	0	0	0	—	—	—	—	JTAG EXTEST
0	0	1	0	—	—	—	—	JTAG CLAMP
0	0	1	1	—	—	—	—	JTAG HIGHZ
0	1	0	0	—	—	—	—	JTAG SAMPLE/PRELOAD
0	1	1	0	—	—	—	—	H-UDI リセット/ネゲート
0	1	1	1	—	—	—	—	H-UDI リセット/アサート
1	0	1	—	—	—	—	—	H-UDI 割り込み
1	1	1	0	—	—	—	—	JTAG IDCODE (初期値)
1	1	1	1	—	—	—	—	JTAG BYPASS
上記以外								予約

23.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置された 385 ビットのシフトレジスタです。初期値は不定です。CPU からはアクセスできません。

EXTEST、SAMPLE/PRELOAD、CLAMP および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 23.3 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 23.3 SH7705 の端子とバウンダリスキャンレジスタの対応

ビット名	端子名	入出力	ビット名	端子名	入出力
	from TDI		349	D31/PTB7/PINT15	OUT
384	VBUS/PTM6	IN	348	D30/PTB6/PINT14	OUT
383	MD6	IN	347	D29/PTB5/PINT13	OUT
382	D31/PTB7/PINT15	IN	346	D28/PTB4/PINT12	OUT
381	D30/PTB6/PINT14	IN	345	D27/PTB3/PINT11	OUT
380	D29/PTB5/PINT13	IN	344	D26/PTB2/PINT10	OUT
379	D28/PTB4/PINT12	IN	343	D25/PTB1/PINT9	OUT
378	D27/PTB3/PINT11	IN	342	D24/PTB0/PINT8	OUT
377	D26/PTB2/PINT10	IN	341	D23/PTA7/PINT7	OUT
376	D25/PTB1/PINT9	IN	340	D22/PTA6/PINT6	OUT
375	D24/PTB0/PINT8	IN	339	D21/PTA5/PINT5	OUT
374	D23/PTA7/PINT7	IN	338	D20/PTA4/PINT4	OUT
373	D22/PTA6/PINT6	IN	337	D19/PTA3/PINT3	OUT
372	D21/PTA5/PINT5	IN	336	D18/PTA2/PINT2	OUT
371	D20/PTA4/PINT4	IN	335	D17/PTA1/PINT1	OUT
370	D19/PTA3/PINT3	IN	334	D16/PTA0/PINT0	OUT
369	D18/PTA2/PINT2	IN	333	D15	OUT
368	D17/PTA1/PINT1	IN	332	D14	OUT
367	D16/PTA0/PINT0	IN	331	D13	OUT
366	D15	IN	330	D12	OUT
365	D14	IN	329	D11	OUT
364	D13	IN	328	D10	OUT
363	D12	IN	327	D9	OUT
362	D11	IN	326	D8	OUT
361	D10	IN	325	D7	OUT
360	D9	IN	324	D6	OUT
359	D8	IN	323	D5	OUT
358	D7	IN	322	D4	OUT
357	D6	IN	321	D3	OUT
356	D5	IN	320	D2	OUT
355	D4	IN	319	D1	OUT
354	D3	IN	318	D0	OUT
353	D2	IN	317	VBUS/PTM6	Control
352	D1	IN	316	D31/PTB7/PINT15	Control
351	D0	IN	315	D30/PTB6/PINT14	Control
350	VBUS/PTM6	OUT	314	D29/PTB5/PINT13	Control

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
313	D28/PTB4/PINT12	Control	276	$\overline{BS}/PTC0$	IN
312	D27/PTB3/PINT11	Control	275	$\overline{WE2}/DQMUL/PTC1$	IN
311	D26/PTB2/PINT10	Control	274	$\overline{WE3}/DQMUU/AH/PTC2$	IN
310	D25/PTB1/PINT9	Control	273	$\overline{CS2}/PTC3$	IN
309	D24/PTB0/PINT8	Control	272	$\overline{CS3}/PTC4$	IN
308	D23/PTA7/PINT7	Control	271	$\overline{CS4}/PTC5$	IN
307	D22/PTA6/PINT6	Control	270	$\overline{CS5A}/PTC6$	IN
306	D21/PTA5/PINT5	Control	269	$\overline{CS5B}/PTD6$	IN
305	D20/PTA4/PINT4	Control	268	$\overline{CS6A}/PTC7$	IN
304	D19/PTA3/PINT3	Control	267	$\overline{CS6B}/PTD7$	IN
303	D18/PTA2/PINT2	Control	266	$\overline{RASL}/PTD0$	IN
302	D17/PTA1/PINT1	Control	265	$\overline{RASU}/PTD1$	IN
301	D16/PTA0/PINT0	Control	264	$\overline{CASL}/PTD2$	IN
300	D15	Control	263	A0/PTK0	OUT
299	D14	Control	262	A1	OUT
298	D13	Control	261	A2	OUT
297	D12	Control	260	A3	OUT
296	D11	Control	259	A4	OUT
295	D10	Control	258	A5	OUT
294	D9	Control	257	A6	OUT
293	D8	Control	256	A7	OUT
292	D7	Control	255	A8	OUT
291	D6	Control	254	A9	OUT
290	D5	Control	253	A10	OUT
289	D4	Control	252	A11	OUT
288	D3	Control	251	A12	OUT
287	D2	Control	250	A13	OUT
286	D1	Control	249	A14	OUT
285	D0	Control	248	A15	OUT
284	A0/PTK0	IN	247	A16	OUT
283	A19/PTK1	IN	246	A17	OUT
282	A20/PTK2	IN	245	A18	OUT
281	A21/PTK3	IN	244	A19/PTK1	OUT
280	A22/PTK4	IN	243	A20/PTK2	OUT
279	A23/PTK5	IN	242	A21/PTK3	OUT
278	A24/PTK6	IN	241	A22/PTK4	OUT
277	A25/PTK7	IN	240	A23/PTK5	OUT

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
239	A24/PTK6	OUT	202	A17	Control
238	A25/PTK7	OUT	201	A18	Control
237	\overline{BS} /PTC0	OUT	200	A19/PTK1	Control
236	\overline{RD}	OUT	199	A20/PTK2	Control
235	$\overline{WE0}$ /DQMLL	OUT	198	A21/PTK3	Control
234	$\overline{WE1}$ /DQMLU	OUT	197	A22/PTK4	Control
233	$\overline{WE2}$ /DQMUL/PTC1	OUT	196	A23/PTK5	Control
232	$\overline{WE3}$ /DQMUU/AH/PTC2	OUT	195	A24/PTK6	Control
231	RD/\overline{WR}	OUT	194	A25/PTK7	Control
230	$\overline{CS0}$	OUT	193	\overline{BS} /PTC0	Control
229	$\overline{CS2}$ /PTC3	OUT	192	\overline{RD}	Control
228	$\overline{CS3}$ /PTC4	OUT	191	$\overline{WE0}$ /DQMLL	Control
227	$\overline{CS4}$ /PTC5	OUT	190	$\overline{WE1}$ /DQMLU	Control
226	$\overline{CS5A}$ /PTC6	OUT	189	$\overline{WE2}$ /DQMUL/PTC1	Control
225	$\overline{CS5B}$ /PTD6	OUT	188	$\overline{WE3}$ /DQMUU/AH/PTC2	Control
224	$\overline{CS6A}$ /PTC7	OUT	187	RD/\overline{WR}	Control
223	$\overline{CS6B}$ /PTD7	OUT	186	$\overline{CS0}$	Control
222	\overline{RASL} /PTD0	OUT	185	$\overline{CS2}$ /PTC3	Control
221	\overline{RASU} /PTD1	OUT	184	$\overline{CS3}$ /PTC4	Control
220	\overline{CASL} /PTD2	OUT	183	$\overline{CS4}$ /PTC5	Control
219	A0/PTK0	Control	182	$\overline{CS5A}$ /PTC6	Control
218	A1	Control	181	$\overline{CS5B}$ /PTD6	Control
217	A2	Control	180	$\overline{CS6A}$ /PTC7	Control
216	A3	Control	179	$\overline{CS6B}$ /PTD7	Control
215	A4	Control	178	\overline{RASL} /PTD0	Control
214	A5	Control	177	\overline{RASU} /PTD1	Control
213	A6	Control	176	\overline{CASL} /PTD2	Control
212	A7	Control	175	\overline{CASU} /PTD3	IN
211	A8	Control	174	CKE/PTD4	IN
210	A9	Control	173	PTD5/NF	IN
209	A10	Control	172	BACK/PTG5	IN
208	A11	Control	171	\overline{BREQ} /PTG6	IN
207	A12	Control	170	WAIT/PTG7	IN
206	A13	Control	169	DACK0/PTE0	IN
205	A14	Control	168	DACK1/PTE1	IN
204	A15	Control	167	TEND0/PTE3	IN
203	A16	Control	166	AUDSYNC/PTF4	IN

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
165	AUDATA0/PTF0/TO0	IN	128	NF/PTJ1	OUT
164	AUDATA1/PTF1/TO1	IN	127	NF/PTJ2	OUT
163	AUDATA2/PTF2/TO2	IN	126	NF/PTJ3	OUT
162	AUDATA3/PTF3/TO3	IN	125	NF/PTJ4	OUT
161	NF/PTJ0	IN	124	NF/PTJ5	OUT
160	NF/PTJ1	IN	123	NF/PTJ6	OUT
159	NF/PTJ2	IN	122	NF/PTJ7	OUT
158	NF/PTJ3	IN	121	NF/PTM4	OUT
157	NF/PTJ4	IN	120	PTM0	OUT
156	NF/PTJ5	IN	119	PTM1	OUT
155	NF/PTJ6	IN	118	PTM2	OUT
154	NF/PTJ7	IN	117	PTM3	OUT
153	NF/PTM4	IN	116	ASEBRKAK/PTF6	OUT
152	PTM0	IN	115	CASU/PTD3	Control
151	PTM1	IN	114	CKE/PTD4	Control
150	PTM2	IN	113	PTD5/NF	Control
149	PTM3	IN	112	BACK/PTG5	Control
148	ASEBRKAK/PTF6	IN	111	BREQ/PTG6	Control
147	MD0	IN	110	WAIT/PTG7	Control
146	MD1	IN	109	DACK0/PTE0	Control
145	MD2	IN	108	DACK1/PTE1	Control
144	MD5	IN	107	TEND0/PTE3	Control
143	CASU/PTD3	OUT	106	AUDSYNC/PTF4	Control
142	CKE/PTD4	OUT	105	AUDATA0/PTF0/TO0	Control
141	PTD5/NF	OUT	104	AUDATA1/PTF1/TO1	Control
140	BACK/PTG5	OUT	103	AUDATA2/PTF2/TO2	Control
139	BREQ/PTG6	OUT	102	AUDATA3/PTF3/TO3	Control
138	WAIT/PTG7	OUT	101	NF/PTJ0	Control
137	DACK0/PTE0	OUT	100	NF/PTJ1	Control
136	DACK1/PTE1	OUT	99	NF/PTJ2	Control
135	TEND0/PTE3	OUT	98	NF/PTJ3	Control
134	AUDSYNC/PTF4	OUT	97	NF/PTJ4	Control
133	AUDATA0/PTF0/TO0	OUT	96	NF/PTJ5	Control
132	AUDATA1/PTF1/TO1	OUT	95	NF/PTJ6	Control
131	AUDATA2/PTF2/TO2	OUT	94	NF/PTJ7	Control
130	AUDATA3/PTF3/TO3	OUT	93	NF/PTM4	Control
129	NF/PTJ0	OUT	92	PTM0	Control

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
91	PTM1	Control	54	AN3/PTL3	IN
90	PTM2	Control	53	STATUS0/PTE4/RTS0	OUT
89	PTM3	Control	52	STATUS1/PTE5/CTS0	OUT
88	ASEBRKAK/PTF6	Control	51	PTN0/SUSPND	OUT
87	STATUS0/PTE4/RTS0	IN	50	PTN1/TXENL	OUT
86	STATUS1/PTE5/CTS0	IN	49	PTN2/XVDATA	OUT
85	PTN0/SUSPND	IN	48	PTN3/TXDMNS	OUT
84	PTN1/TXENL	IN	47	PTN4/TXDPLS	OUT
83	PTN2/XVDATA	IN	46	PTN5/DMNS	OUT
82	PTN3/TXDMNS	IN	45	PTN6/DPLS	OUT
81	PTN4/TXDPLS	IN	44	PTN7	OUT
80	PTN5/DMNS	IN	43	TCLK/PTE6	OUT
79	PTN6/DPLS	IN	42	PTE7	OUT
78	PTN7	IN	41	TXD0/SCPT0/IrTX	OUT
77	TCLK/PTE6	IN	40	SCK0/SCPT1	OUT
76	PTE7	IN	39	TXD2/SCPT2	OUT
75	SCK0/SCPT1	IN	38	SCK2/SCPT3	OUT
74	SCK2/SCPT3	IN	37	RTS2/SCPT4	OUT
73	RTS2/SCPT4	IN	36	CTS2/SCPT5	OUT
72	RXD0/SCPT0/IrRX	IN	35	IRQ0/IRL0/PTH0	OUT
71	RXD2/SCPT2	IN	34	IRQ1/IRL1/PTH1	OUT
70	CTS2/SCPT5	IN	33	IRQ2/IRL2/PTH2	OUT
69	IRQ0/IRL0/PTH0	IN	32	IRQ3/IRL3/PTH3	OUT
68	IRQ1/IRL1/PTH1	IN	31	IRQ4/PTH4	OUT
67	IRQ2/IRL2/PTH2	IN	30	IRQ5/PTE2	OUT
66	IRQ3/IRL3/PTH3	IN	29	AUDCK/PTG4	OUT
65	IRQ4/PTH4	IN	28	DREQ0/PTH5	OUT
64	IRQ5/PTE2	IN	27	DREQ1/PTH6	OUT
63	AUDCK/PTG4	IN	26	STATUS0/PTE4/RTS0	Control
62	NMI	IN	25	STATUS1/PTE5/CTS0	Control
61	DREQ0/PTH5	IN	24	PTN0/SUSPND	Control
60	DREQ1/PTH6	IN	23	PTN1/TXENL	Control
59	MD3	IN	22	PTN2/XVDATA	Control
58	MD4	IN	21	PTN3/TXDMNS	Control
57	AN0/PTL0	IN	20	PTN4/TXDPLS	Control
56	AN1/PTL1	IN	19	PTN5/DMNS	Control
55	AN2/PTL2	IN	18	PTN6/DPLS	Control

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
17	PTN7	Control	7	IRQ1/IRL1/PTH1	Control
16	TCLK/PTE6	Control	6	IRQ2/IRL2/PTH2	Control
15	PTE7	Control	5	IRQ3/IRL3/PTH3	Control
14	TxD0/SCPT0/IrTX	Control	4	IRQ4/PTH4	Control
13	SCK0/SCPT1	Control	3	IRQ5/PTE2	Control
12	TxD2/SCPT2	Control	2	AUDCK/PTG4	Control
11	SCK2/SCPT3	Control	1	DREQ0/PTH5	Control
10	RTS2/SCPT4	Control	0	DREQ1/PTH6	Control
9	CTS2/SCPT5	Control	to TDO		
8	IRQ0/IRL0/PTH0	Control			

【注】 Control はローアクティブの信号。

Control をローにすることで、該当ピンを OUT の値でドライブする。

23.3.4 ID レジスタ (SDID)

SDID は、SDIDH と SDIDL を連結した 32 ビットレジスタで、各々 CPU から読み出し可能な 16 ビットのレジスタです。CPU からは、読み出しのみ可能です。

H-UDI 端子側からは、IDCODE のコマンドがセットされ、TAP のステートが Shift-DR のとき、TDO から読み出し可能です。書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	DID31~DID0	説明を参照	R	デバイス ID31~0 JTAG に規定されている ID レジスタです。本 LSI では、H'001A200F (初期値) です。ただし、上位 4 ビットはチップのバージョンにより変更されることがあります。 SDIDH はビット 31~16 に対応します。 SDIDL はビット 15~0 に対応します。

23.4 動作説明

23.4.1 TAP コントローラ

図 23.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

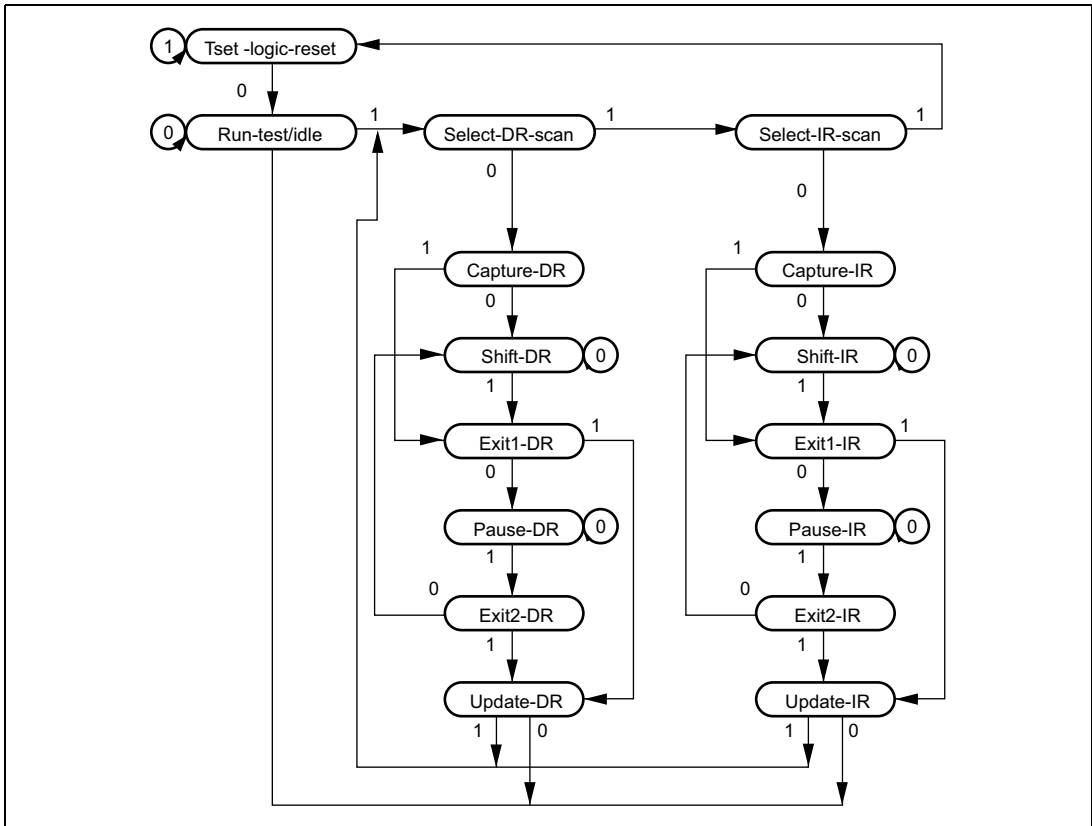


図 23.2 TAP コントローラ状態遷移図

【注】 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。TDO値の変化タイミングについては、「23.4.3 TDO出力タイミング」を参照してください。また、TDOはShift-DR、Shift-IR状態以外ではハイインピーダンス状態です。TRST=0でTCKとは非同期でTest-Logic-Reset状態へ遷移します。

23.4.2 リセット構成

表 23.4 リセット構成

ASEMD0*1	RESETP	TRST	チップ状態
H	L	L	通常リセットおよび H-UDI リセット*4
		H	通常リセット*4
	H	L	H-UDI リセットのみ
		H	通常動作
L	L	L	リセットホールド*2
		H	ASE ユーザモード中*3: 通常リセット ASE ブレークモード中*3: RESETP のアサートはマスクされています。
	H	L	H-UDI リセットのみ
		H	通常動作

【注】 *1 通常モードと ASE モードの設定を選択

ASEMD0=H、通常モード

ASEMD0=L、ASE モード

*2 ASE モード時、リセットホールドは一定サイクル期間、RESETP と TRST 端子をローレベルにセットすることによって有効になります。この状態で RESETP をハイレベルにセットしても CPU は起動しません。その後 TRST をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。

・別の RESETP アサート (パワーオンリセット)

・TRST の再アサート

*3 ASE モードは、エミュレータのファームプログラムを実行するためのモード (ASE ブレークモード) と、ユーザのプログラムを実行するモード (ASE ユーザモード) の 2 つに分けられます。

*4 電源投入時は、必ず TRST=L にしてください。

23.4.3 TDO 出力タイミング

TDO から出力するデータの切り替えタイミングは SDIR に設定されているコマンドの種類により切り替わりません。JTAG コマンド (EXTEST、CLAMP、HIGHZ、SAMPLE/PRELOAD、IDCODE および BYPASS) が設定されているときには、TCK の立ち下がりエッジに同期して変化します。これは JTAG 規格のタイミングです。H-UDI コマンド (H-UDI リセットネゲート、H-UDI リセットアサート、H-UDI 割り込み) が設定されているときには、JTAG 規格より半サイクル早い TCK の立ち上がりエッジに同期して出力されます。

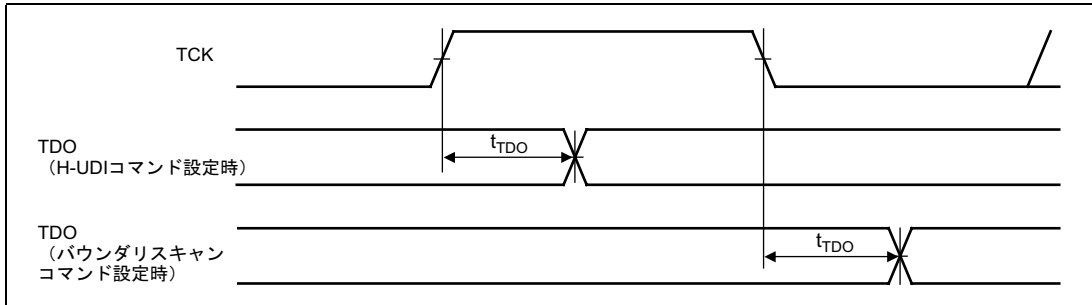


図 23.3 H-UDI データ転送タイミング

23.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために **RESETP** 端子をローレベルに保つ時間と同じです。

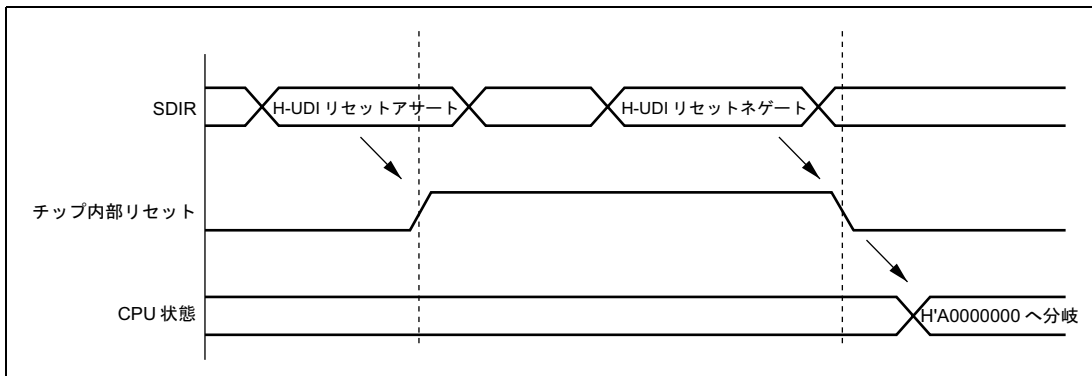


図 23.4 H-UDI リセット

23.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外／割り込み動作であり、**VBR** 値とオフセットの和に基づくアドレスに分岐が発生し、**RTE** 命令で復帰します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、スタンバイモードでは、H-UDI 割り込みは受け付けられません。

23.5 バウンダリスキャン

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

23.5.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD および EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP および HIGHZ) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令はシフトバスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードの上位 4 ビットは 1111 です。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。命令コードの上位 4 ビットは 0100 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出します。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間、出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する) ことになります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。(シフト動作で入れ替えます)。

命令コードの上位 4 ビットは 0000 です。

(4) IDCODE

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている IDCODE モードに設定できます。H-UDI を初期化した場合 ($\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする)、IDCODE モードになります。

(5) CLAMP、HIGHZ

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている CLAMP、HIGHZ モードに設定できます。

23.5.2 注意事項

1. クロック関連信号 (EXTAL、EXTAL2、XTAL、XTAL2、EXTAL_USB、XTAL_USB、CKIO) はバウンダリスキャンの対象外です。
2. リセット関連信号 ($\overline{\text{RESETP}}$ 、 $\overline{\text{RESETM}}$ 、CA) はバウンダリスキャンの対象外です。
3. H-UDI関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$) はバウンダリスキャンの対象外です。
4. バウンダリスキャン中は、 $\overline{\text{RESETP}}$ 端子をローレベル固定にしてください。
5. バウンダリスキャン中は、CA端子をハイレベル固定にしてください。
6. バウンダリスキャン中は、 $\overline{\text{ASEMD0}}$ 端子をハイレベル固定にしてください。
7. バウンダリスキャン中は、CKIOクロックが動作している状態にしてください。MD[2:0]端子は、通常動作時に使用するクロックモードに設定し、EXTALおよびCKIOは「第9章 クロック発振器 (CPG)」で規定された周波数範囲に設定してください。

通常動作時と同様に、水晶、PLL1、PLL2の安定化時間を確保した後、バウンダリスキャンテストを行ってください。

23.6 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド (BYPASSなど) をいったん設定してから再度コマンドを設定する必要があります。
2. スタンバイモードではチップ動作が中断されるためH-UDIコマンドは受け付けられません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. H-UDIはエミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。

23.7 アドバンスドユーザデバッガ (AUD)

AUD はエミュレータ専用の機能です。AUD の詳細については、各エミュレータのユーザーズマニュアルを参照してください。

24. レジスタ一覧

アドレス一覧では、内蔵 I/O レジスタの情報を示し、次の構成になっています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）
 - 機能モジュールごと、マニュアルの章番号の順に記載します。
機能モジュール間は、区分のために全データが「—」の行を置いています。
 - 本リストで記載されていないリザーブアドレスのアクセスはしないでください。
 - アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
2. レジスタのビット一覧
 - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、ビット構成を記載します。
 - リザーブビットは、ビット名称部に「—」で表記しています。
 - ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
 - 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。
バイトの記載順序はビッグエンディアンを前提としています。
3. 各動作モードにおけるレジスタの状態
 - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
 - 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
 - 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

24. レジスタ一覧

24.1 レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

アクセスサイズは、ビット数を示します。

【注】 未定義ノリザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
MMU 制御レジスタ	MMUCR	32	H'FFFF FFE0	MMU	32
ページテーブルエントリ上位レジスタ	PTEH	32	H'FFFF FFF0		32
ページテーブルエントリ下位レジスタ	PTEL	32	H'FFFF FFF4		32
変換テーブルベースレジスタ	TTB	32	H'FFFF FFF8		32
—	—	—	—	—	—
キャッシュ制御レジスタ 1	CCR1	32	H'FFFF FFEC	キャッシュ	32
キャッシュ制御レジスタ 2	CCR2	32	H'A400 00B0		32
キャッシュ制御レジスタ 3	CCR3	32	H'A400 00B4		32
—	—	—	—	—	—
割り込み事象レジスタ 2	INTEVT2	32	H'A400 0000	例外処理	32
TRAPA 例外レジスタ	TRA	32	H'FFFF FFD0		32
例外事象レジスタ	EXPEVT	32	H'FFFF FFD4		32
割り込み事象レジスタ	INTEVT	32	H'FFFF FFD8		32
TLB 例外アドレスレジスタ	TEA	32	H'FFFF FFFC		32
—	—	—	—	—	—
割り込み優先レベル設定レジスタ A	IPRA	16	H'FFFF FEE2	INTC	16
割り込み優先レベル設定レジスタ B	IPRB	16	H'FFFF FEE4		16
割り込み優先レベル設定レジスタ C	IPRC	16	H'A400 0016		16
割り込み優先レベル設定レジスタ D	IPRD	16	H'A400 0018		16
割り込み優先レベル設定レジスタ E	IPRE	16	H'A400 001A		16
割り込み優先レベル設定レジスタ F	IPRF	16	H'A408 0000		16
割り込み優先レベル設定レジスタ G	IPRG	16	H'A408 0002		16
割り込み優先レベル設定レジスタ H	IPRH	16	H'A408 0004		16
割り込みコントロールレジスタ 0	ICR0	16	H'FFFF FEE0		16
割り込みコントロールレジスタ 1	ICR1	16	H'A400 0010		16
割り込みコントロールレジスタ 2	ICR2	16	H'A400 0012		16
割り込み要求レジスタ 0	IRR0	8	H'A400 0004		8
割り込み要求レジスタ 1	IRR1	8	H'A400 0006		8
割り込み要求レジスタ 2	IRR2	8	H'A400 0008		8
PINT 割り込みイネーブルレジスタ	PINTER	16	H'A400 0014		16
—	—	—	—	—	—

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
共通コントロールレジスタ	CMNCR	32	H'A4FD 0000	BSC	32
CS0 空間バスコントロールレジスタ	CS0BCR	32	H'A4FD 0004		32
CS2 空間バスコントロールレジスタ	CS2BCR	32	H'A4FD 0008		32
CS3 空間バスコントロールレジスタ	CS3BCR	32	H'A4FD 000C		32
CS4 空間バスコントロールレジスタ	CS4BCR	32	H'A4FD 0010		32
CS5A 空間バスコントロールレジスタ	CS5ABCR	32	H'A4FD 0014		32
CS5B 空間バスコントロールレジスタ	CS5BBCR	32	H'A4FD 0018		32
CS6A 空間バスコントロールレジスタ	CS6ABCR	32	H'A4FD 001C		32
CS6B 空間バスコントロールレジスタ	CS6BBCR	32	H'A4FD 0020		32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'A4FD 0024		32
CS2 空間ウェイトコントロールレジスタ	CS2 WCR	32	H'A4FD 0028		32
CS3 空間ウェイトコントロールレジスタ	CS3 WCR	32	H'A4FD 002C		32
CS4 空間ウェイトコントロールレジスタ	CS4 WCR	32	H'A4FD 0030		32
CS5A 空間ウェイトコントロールレジスタ	CS5A WCR	32	H'A4FD 0034		32
CS5B 空間ウェイトコントロールレジスタ	CS5B WCR	32	H'A4FD 0038		32
CS6A 空間ウェイトコントロールレジスタ	CS6A WCR	32	H'A4FD 003C		32
CS6B 空間ウェイトコントロールレジスタ	CS6B WCR	32	H'A4FD 0040		32
SDRAM コントロールレジスタ	SDCR	32	H'A4FD 0044		32
リフレッシュタイムコントロール/ ステータスレジスタ	RTCSR	32	H'A4FD 0048		32
リフレッシュタイムカウンタ	RTCNT	32	H'A4FD 004C		32
リフレッシュタイムコンスタントレジスタ	RTCOR	32	H'A4FD 0050		32
CS2 空間 SDRAM モードレジスタ	SDMR2	—	H'A4FD 4xxx*2		16
CS3 空間 SDRAM モードレジスタ	SDMR3	—	H'A4FD 5xxx*2		16
—	—	—	—	—	—
DMA ソースアドレスレジスタ_0	SAR_0	32	H'A400 0020	DMAC	16/32
DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'A400 0024		16/32
DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'A400 0028		16/32
DMA チャネルコントロールレジスタ_0	CHCR_0	32	H'A400 002C		8/16/32
DMA ソースアドレスレジスタ_1	SAR_1	32	H'A400 0030		16/32
DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'A400 0034		16/32
DMA トランスファカウンタレジスタ_1	DMATCR_1	32	H'A400 0038		16/32
DMA チャネルコントロールレジスタ_1	CHCR_1	32	H'A400 003C		8/16/32
DMA ソースアドレスレジスタ_2	SAR_2	32	H'A400 0040		16/32
DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'A400 0044		16/32
DMA トランスファカウンタレジスタ_2	DMATCR_2	32	H'A400 0048		16/32

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
DMA チャネルコントロールレジスタ_2	CHCR_2	32	H'A400 004C	DMAC	8/16/32
DMA ソースアドレスレジスタ_3	SAR_3	32	H'A400 0050		16/32
DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'A400 0054		16/32
DMA トランスファカウンタレジスタ_3	DMATCR_3	32	H'A400 0058		16/32
DMA チャネルコントロールレジスタ_3	CHCR_3	32	H'A400 005C		8/16/32
DMA オペレーションレジスタ	DMAOR	16	H'A400 0060		8/16
DMA 拡張リソースセクタ 0	DMARS0	16	H'A409 0000		16
DMA 拡張リソースセクタ 1	DMARS1	16	H'A409 0004		16
—	—	—	—	—	—
USB クロック制御レジスタ	UCLKCR	8	H'A40A 0008	CPG	8/16 *1
周波数制御レジスタ	FRQCR	16	H'FFFF FF80		16
—	—	—	—	—	—
ウォッチドッグタイマカウンタ	WTCNT	8	H'FFFF FF84	WDT	8/16 *1
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	8	H'FFFF FF86		8/16 *1
—	—	—	—	—	—
スタンバイコントロールレジスタ	STBCR	8	H'FFFF FF82	低消費電力	8
スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFF FF88		8
スタンバイコントロールレジスタ 3	STBCR3	8	H'A40A 0000		8
—	—	—	—	—	—
タイマスタートレジスタ	TSTR	8	H'FFFF FE92	TMU	8
タイマコンスタントレジスタ_0	TCOR_0	32	H'FFFF FE94		32
タイマカウンタ_0	TCNT_0	32	H'FFFF FE98		32
タイマコントロールレジスタ_0	TCR_0	16	H'FFFF FE9C		16
タイマコンスタントレジスタ_1	TCOR_1	32	H'FFFF FEA0		32
タイマカウンタ_1	TCNT_1	32	H'FFFF FEA4		32
タイマコントロールレジスタ_1	TCR_1	16	H'FFFF FEA8		16
タイマコンスタントレジスタ_2	TCOR_2	32	H'FFFF FEAC		32
タイマカウンタ_2	TCNT_2	32	H'FFFF FEB0		32
タイマコントロールレジスタ_2	TCR_2	16	H'FFFF FEB4		16
インプットキャプチャレジスタ_2	TCPR_2	32	H'FFFF FEB8		32
—	—	—	—	—	—
コンペアマッチタイマスタートレジスタ	CMSTR	16	H'A400 0070	CMT	16
コンペアマッチタイマコントロール/ ステータスレジスタ	CMCSR	16	H'A400 0074		16
コンペアマッチタイマカウンタ	CMCNT	16	H'A400 0078		16
コンペアマッチタイマコンスタントレジスタ	CMCOR	16	H'A400 007C		16
—	—	—	—	—	—

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
タイマスタートレジスタ	TSTR	16	H'A449 0000	TPU	16
タイマコントロールレジスタ_0	TCR_0	16	H'A449 0010		16
タイマモードレジスタ_0	TMDR_0	16	H'A449 0014		16
タイマ I/O コントロールレジスタ_0	TIOR_0	16	H'A449 0018		16
タイマインタラプトイネーブルレジスタ_0	TIER_0	16	H'A449 001C		16
タイマステータスレジスタ_0	TSR_0	16	H'A449 0020		16
タイマカウンタ_0	TCNT_0	16	H'A449 0024		16
タイマジェネラルレジスタ A_0	TGRA_0	16	H'A449 0028		16
タイマジェネラルレジスタ B_0	TGRB_0	16	H'A449 002C		16
タイマジェネラルレジスタ C_0	TGRC_0	16	H'A449 0030		16
タイマジェネラルレジスタ D_0	TGRD_0	16	H'A449 0034		16
タイマコントロールレジスタ_1	TCR_1	16	H'A449 0050		16
タイマモードレジスタ_1	TMDR_1	16	H'A449 0054		16
タイマ I/O コントロールレジスタ_1	TIOR_1	16	H'A449 0058		16
タイマインタラプトイネーブルレジスタ_1	TIER_1	16	H'A449 005C		16
タイマステータスレジスタ_1	TSR_1	16	H'A449 0060		16
タイマカウンタ_1	TCNT_1	16	H'A449 0064		16
タイマジェネラルレジスタ A_1	TGRA_1	16	H'A449 0068		16
タイマジェネラルレジスタ B_1	TGRB_1	16	H'A449 006C		16
タイマジェネラルレジスタ C_1	TGRC_1	16	H'A449 0070		16
タイマジェネラルレジスタ D_1	TGRD_1	16	H'A449 0074		16
タイマコントロールレジスタ_2	TCR_2	16	H'A449 0090		16
タイマモードレジスタ_2	TMDR_2	16	H'A449 0094		16
タイマ I/O コントロールレジスタ_2	TIOR_2	16	H'A449 0098		16
タイマインタラプトイネーブルレジスタ_2	TIER_2	16	H'A449 009C		16
タイマステータスレジスタ_2	TSR_2	16	H'A449 00A0		16
タイマカウンタ_2	TCNT_2	16	H'A449 00A4		16
タイマジェネラルレジスタ A_2	TGRA_2	16	H'A449 00A8		16
タイマジェネラルレジスタ B_2	TGRB_2	16	H'A449 00AC		16
タイマジェネラルレジスタ C_2	TGRC_2	16	H'A449 00B0		16
タイマジェネラルレジスタ D_2	TGRD_2	16	H'A449 00B4		16
タイマコントロールレジスタ_3	TCR_3	16	H'A449 00D0		16
タイマモードレジスタ_3	TMDR_3	16	H'A449 00D4		16
タイマ I/O コントロールレジスタ_3	TIOR_3	16	H'A449 00D8		16
タイマインタラプトイネーブルレジスタ_3	TIER_3	16	H'A449 00DC		16
タイマステータスレジスタ_3	TSR_3	16	H'A449 00E0		16
タイマカウンタ_3	TCNT_3	16	H'A449 00E4		16
タイマジェネラルレジスタ A_3	TGRA_3	16	H'A449 00E8		16
タイマジェネラルレジスタ B_3	TGRB_3	16	H'A449 00EC		16
タイマジェネラルレジスタ C_3	TGRC_3	16	H'A449 00F0		16
タイマジェネラルレジスタ D_3	TGRD_3	16	H'A449 00F4		16

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
64Hz カウンタ	R64CNT	8	H'FFFF FEC0	RTC	8
秒カウンタ	RSECCNT	8	H'FFFF FEC2		8
分カウンタ	RMINCNT	8	H'FFFF FEC4		8
時カウンタ	RHRCNT	8	H'FFFF FEC6		8
曜日カウンタ	RWKCNT	8	H'FFFF FEC8		8
日カウンタ	RDAYCNT	8	H'FFFF FECA		8
月カウンタ	RMONCNT	8	H'FFFF FECC		8
年カウンタ	RYRCNT	16	H'FFFF FECE		16
秒アラームレジスタ	RSECAR	8	H'FFFF FED0		8
分アラームレジスタ	RMINAR	8	H'FFFF FED2		8
時アラームレジスタ	RHRAR	8	H'FFFF FED4		8
曜日アラームレジスタ	RWKAR	8	H'FFFF FED6		8
日アラームレジスタ	RDAYAR	8	H'FFFF FED8		8
月アラームレジスタ	RMONAR	8	H'FFFF FEDA		8
RTC コントロールレジスタ 1	RCR1	8	H'FFFF FEDC		8
RTC コントロールレジスタ 2	RCR2	8	H'FFFF FEDE		8
年アラームレジスタ	RYRAR	16	H'A413 FEE0		16
RTC コントロールレジスタ 3	RCR3	8	H'A413 FEE4		8
—	—	—	—	—	—
シリアルモードレジスタ_0	SCSMR_0	16	H'A440 0000	SCIF_0	16
ビットレートレジスタ_0	SCBRR_0	8	H'A440 0004	(チャネル 0)	8
シリアルコントロールレジスタ_0	SCSCR_0	16	H'A440 0008		16
トランスミッターデータストップレジスタ_0	SCTDSR_0	8	H'A440 000C		8
FIFO エラー数レジスタ_0	SCFER_0	16	H'A440 0010		16
シリアルステータスレジスタ_0	SCSSR_0	16	H'A440 0014		16
FIFO コントロールレジスタ_0	SCFCR_0	16	H'A440 0018		16
FIFO データ数レジスタ_0	SCFDR_0	16	H'A440 001C		16
トランスミット FIFO データレジスタ_0	SCFTDR_0	8	H'A440 0020		8
レシーブ FIFO データレジスタ_0	SCFRDR_0	8	H'A440 0024		8
—	—	—	—	—	—
シリアルモードレジスタ_2	SCSMR_2	16	H'A441 0000	SCIF_2	16
ビットレートレジスタ_2	SCBRR_2	8	H'A441 0004	(チャネル 2)	8
シリアルコントロールレジスタ_2	SCSCR_2	16	H'A441 0008		16
トランスミッターデータストップレジスタ_2	SCTDSR_2	8	H'A441 000C		8
FIFO エラー数レジスタ_2	SCFER_2	16	H'A441 0010		16
シリアルステータスレジスタ_2	SCSSR_2	16	H'A441 0014		16
FIFO コントロールレジスタ_2	SCFCR_2	16	H'A441 0018		16
FIFO データ数レジスタ_2	SCFDR_2	16	H'A441 001C		16

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
トランスミット FIFO データレジスタ_2	SCFTDR_2	8	H'A441 0020	SCIF_2	8
レシーブ FIFO データレジスタ_2	SCFRDR_2	8	H'A441 0024	(チャネル2)	8
—	—	—	—	—	—
IrDA モードレジスタ	SCSMR_Ir	16	H'A44A 0000	IrDA	16
—	—	—	—	—	—
EP0i データレジスタ	EPDR0i	8B	H'A448 0000	USB	8
EP0o データレジスタ	EPDR0o	8B	H'A448 0004		8
EP0s データレジスタ	EPDR0s	8B	H'A448 0008		8
EP1 データレジスタ	EPDR1	128B	H'A448 000C		8/32
EP2 データレジスタ	EPDR2	128B	H'A448 0010		8/32
EP3 データレジスタ	EPDR3	8B	H'A448 0014		8
割り込みフラグレジスタ 0	IFR0	8	H'A448 0018		8
割り込みフラグレジスタ 1	IFR1	8	H'A448 001C		8
トリガレジスタ	TRG	8	H'A448 0020		8
FIFO クリアレジスタ	FCLR	8	H'A448 0024		8
EP0o 受信データサイズレジスタ	EPSZ0o	8	H'A448 0028		8
データステータスレジスタ	DASTS	8	H'A448 002C		8
エンドポイントストールレジスタ	EPSTL	8	H'A448 0030		8
割り込みイネーブルレジスタ 0	IER0	8	H'A448 0034		8
割り込みイネーブルレジスタ 1	IER1	8	H'A448 0038		8
EP1 受信データサイズレジスタ	EPSZ1	8	H'A448 003C		8
DMA 転送設定レジスタ	DMAR	8	H'A448 0040		8
割り込み選択レジスタ 0	ISR0	8	H'A448 0044		8
割り込み選択レジスタ 1	ISR1	8	H'A448 0048		8
トランシーバコントロールレジスタ	XVERCR	8	H'A448 0060		8
—	—	—	—	—	—
ポート A コントロールレジスタ	PACR	16	H'A400 0100	PFC	16
ポート B コントロールレジスタ	PBCR	16	H'A400 0102		16
ポート C コントロールレジスタ	PCCR	16	H'A400 0104		16
ポート D コントロールレジスタ	PDCR	16	H'A400 0106		16
ポート E コントロールレジスタ	PECR	16	H'A400 0108		16
ポート E コントロールレジスタ 2	PECR2	8	H'A405 0148		8
ポート F コントロールレジスタ	PFCR	16	H'A400 010A		16
ポート F コントロールレジスタ 2	PFCR2	8	H'A405 014A		8
ポート G コントロールレジスタ	PGCR	16	H'A400 010C		16
ポート H コントロールレジスタ	PHCR	16	H'A400 010E		16
ポート J コントロールレジスタ	PJCR	16	H'A400 0110		16
ポート K コントロールレジスタ	PKCR	16	H'A400 0112		16
ポート L コントロールレジスタ	PLCR	16	H'A400 0114		16

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
ポート SC コントロールレジスタ	SCPCR	16	H'A400 0116	PFC	16
ポート M コントロールレジスタ	PMCR	16	H'A400 0118		16
ポート N コントロールレジスタ	PNCR	16	H'A400 011A		16
ポート N コントロールレジスタ 2	PNCR2	8	H'A405 015A		8
—	—	—	—	—	—
ポート A データレジスタ	PADR	8	H'A400 0120	ポート	8
ポート B データレジスタ	PBDR	8	H'A400 0122		8
ポート C データレジスタ	PCDR	8	H'A400 0124		8
ポート D データレジスタ	PDDR	8	H'A400 0126		8
ポート E データレジスタ	PEDR	8	H'A400 0128		8
ポート F データレジスタ	PFDR	8	H'A400 012A		8
ポート G データレジスタ	PGDR	8	H'A400 012C		8
ポート H データレジスタ	PHDR	8	H'A400 012E		8
ポート J データレジスタ	PJDR	8	H'A400 0130		8
ポート K データレジスタ	PKDR	8	H'A400 0132		8
ポート L データレジスタ	PLDR	8	H'A400 0134		8
SC ポートデータレジスタ	SCPDR	8	H'A400 0136		8
ポート M データレジスタ	PMDR	8	H'A400 0138		8
ポート N データレジスタ	PNDR	8	H'A400 013A		8
—	—	—	—	—	—
A/D データレジスタ A	ADDRA	16	H'A400 0080	ADC	16
A/D データレジスタ B	ADDRB	16	H'A400 0082		16
A/D データレジスタ C	ADDRC	16	H'A400 0084		16
A/D データレジスタ D	ADDRD	16	H'A400 0086		16
A/D コントロール/ステータスレジスタ	ADCSR	16	H'A400 0088		16
—	—	—	—	—	—
ブレイクデータレジスタ B	BDRB	32	H'FFFF FF90	UBC	32
ブレイクデータマスクレジスタ B	BDMRB	32	H'FFFF FF94		32
ブレイクコントロールレジスタ	BRCR	32	H'FFFF FF98		32
実行回数ブレイクレジスタ	BETR	16	H'FFFF FF9C		16
ブレイクアドレスレジスタ B	BARB	32	H'FFFF FFA0		32
ブレイクアドレスマスクレジスタ B	BAMRB	32	H'FFFF FFA4		32
ブレイクバスサイクルレジスタ B	BBRB	16	H'FFFF FFA8		16
ブランチソースレジスタ	BRSR	32	H'FFFF FFAC		32
ブレイクアドレスレジスタ A	BARA	32	H'FFFF FF80		32
ブレイクアドレスマスクレジスタ A	BAMRA	32	H'FFFF FF84		32
ブレイクバスサイクルレジスタ A	BBRA	16	H'FFFF FF88		16
ブランチデスティネーションレジスタ	BRDR	32	H'FFFF FF8C		32
ブレイク ASID レジスタ A	BASRA	8	H'FFFF FFE4		8

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
ブレーク ASID レジスタ B	BASRB	8	H'FFFF FFE8	UBC	8
—	—	—	—	—	—
インストラクションレジスタ	SDIR	16	H'A400 0200	H-UDI	16
ID レジスタ	SDID/SDIDH	16	H'A400 0214		16
ID レジスタ	SDIDL	16	H'A400 0216		16

【注】 *1 読み出しは 8 ビット、書き込みは 16 ビットです。

*2 SDRAM モードレジスタへのアクセス制御で、xxx は設定値に依存します。

24. レジスタ一覧

24.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
MMUCR	—	—	—	—	—	—	—	—	MMU
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	SV	
	—	—	RC1	RC0	—	TF	IX	AT	
PTEH	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	
	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	
	VPN	VPN	VPN	VPN	VPN	VPN	—	—	
	ASID7	ASID6	ASID5	ASID4	ASID3	ASID2	ASID1	ASID0	
PTEL	—	—	—	PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN	—	V	
	—	PR1	PR0	SZ	C	D	SH	—	
TTB									
CCR1	—	—	—	—	—	—	—	—	キャッシュ
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	CF	CB	WT	CE	
CCR2	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	LE	
	—	—	—	—	—	—	W3LOAD	W3LOCK	
	—	—	—	—	—	—	W2LOAD	W2LOCK	
CCR3	—	—	—	—	—	—	—	—	
	CSIZE7	CSIZE6	CSIZE5	CSIZE4	CSIZE3	CSIZE2	CSIZE1	CSIZE0	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
INTEVT2	—	—	—	—	—	—	—	—	例外処理
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
TRA	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	imm	imm	
	imm	imm	imm	imm	imm	imm	—	—	
EXPEVT	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
INTEVT	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
TEA	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
IPRA	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	INTC
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRB	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRC	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRD	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRE	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRF	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRG	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRH	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
ICR0	NMIL	—	—	—	—	—	—	NMIE	INTC
	—	—	—	—	—	—	—	—	
ICR1	MAI	IRQLVL	BLMSK	—	IRQ51S	IRQ50S	IRQ41S	IRQ40S	
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
ICR2	PINT15S	PINT14S	PINT13S	PINT12S	PINT11S	PINT10S	PINT9S	PINT8S	
	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S	
IRR0	PINT0R	PINT1R	IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R	
IRR1	TXI0R	—	RXI0R	ERI0R	DEI3R	DEI2R	DEI1R	DEI0R	
IRR2	—	—	—	ADIR	TXI2R	—	RXI2R	ERI2R	
PINTER	PINT15E	PINT14E	PINT13E	PINT12E	PINT11E	PINT10E	PINT9E	PINT8E	
	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E	
CMNCR	—	—	—	—	—	—	—	—	BSC
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	DMAIW1	DMAIW0	DMAIWA	—	ENDIAN	—	HIZMEM	HIZCNT	
CS0BCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	
CS2BCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	
CS3BCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	
CS4BCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	
CS5ABCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
CS5BBCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	BSC
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	
CS6ABCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	
CS6BBCR	—	—	IWW1	IWW0	—	IWRWD1	IWRWD0	—	
	IWRWS1	IWRWS0	—	IWRRD1	IWRRD0	—	IWRRS1	IWRRS0	
	—	TYPE2	TYPE1	TYPE0	—	BSZ1	BSZ0	—	
	—	—	—	—	—	—	—	—	
CS0WCR (パースト ROM 以外)	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	HW1	HW0	
CS0WCR (パースト ROM 使用時)	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	BW1	BW0	
	—	—	—	—	—	W3	W2	W1	
	W0	WM	—	—	—	—	—	—	
CS2 WCR (SDRAM 以外)	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	—	—	
CS2 WCR (SDRAM 使用時)	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	A2CL1	
	A2CL0	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
CS3 WCR (SDRAM 以外)	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	—	—	
CS3 WCR (SDRAM 使用時)	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	TRP1	TRP0	—	TRCD1	TRCD0	—	A3CL1	
	A3CL0	—	—	—	TRWL1	TRWL0	TRC1	TRC0	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
CS4 WCR	—	—	—	—	—	—	—	—	BSC
(バースト ROM 以外)	—	—	—	—	—	WW2	WW1	WW0	
	—	—	—	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	HW1	HW0	
CS4 WCR	—	—	—	—	—	—	—	—	
(バースト ROM 使用時)	—	—	—	—	—	—	BW1	BW0	
	—	—	—	SW1	SW0	W3	W2	W1	
	W0	WM	—	—	—	—	HW1	HW0	
CS5A WCR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	WW2	WW1	WW0	
	—	—	—	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	HW1	HW0	
CS5B WCR	—	—	—	—	—	—	—	—	
	—	—	—	MPXW	—	WW2	WW1	WW0	
	—	—	—	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	HW1	HW0	
CS6A WCR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	HW1	HW0	
CS6B WCR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	—	—	—	—	HW1	HW0	
SDCR	—	—	—	—	—	—	—	—	
	—	—	—	A2ROW1	A2ROW0	—	A2COL1	A2COL0	
	—	—	—	SLOW	RFSH	RMODE	—	BACTV	
	—	—	—	A3ROW1	A3ROW0	—	A3COL1	A3COL0	
RTCSR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	CMF	CMIE	CKS2	CKS1	CKS0	RRC2	RRC1	RRC0	
RTCNT	—	—	—	—	—	—	—	—	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
RTCOR	—	—	—	—	—	—	—	—	BSC
SDMR2									
SDMR3									
SAR_0									DMAC
DAR_0									
DMATCR_0	—	—	—	—	—	—	—	—	
CHCR_0	—	—	—	—	—	—	—	—	
	DO	TL	—	—	—	—	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	DL	DS	TB	TS1	TS0	IE	TE	DE	
SAR_1									
DAR_1									
DMATCR_1	—	—	—	—	—	—	—	—	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
CHCR_1	—	—	—	—	—	—	—	—	DMAC
	DO	—	—	—	—	—	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	DL	DS	TB	TS1	TS0	IE	TE	DE	
SAR_2									
DAR_2									
DMATCR_2	—	—	—	—	—	—	—	—	
CHCR_2	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	—	TB	TS1	TS0	IE	TE	DE	
SAR_3									
DAR_3									
DMATCR_3	—	—	—	—	—	—	—	—	
CHCR_3	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	—	TB	TS1	TS0	IE	TE	DE	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
DMAOR	—	—	CMS1	CMS0	—	—	PR1	PR0	DMAC
	—	—	—	—	—	AE	NMIF	DME	
DMARS0	C1MID5	C1MID4	C1MID3	C1MID2	C1MID1	C1MID0	C1RID1	C1RID0	
	C0MID5	C0MID4	C0MID3	C0MID2	C0MID1	C0MID0	C0RID1	C0RID0	
DMARS1	C3MID5	C3MID4	C3MID3	C3MID2	C3MID1	C3MID0	C3RID1	C3RID0	
	C2MID5	C2MID4	C2MID3	C2MID2	C2MID1	C2MID0	C2RID1	C2RID0	
UCLKCR	USSCS1	USSCS0	USBEN	—	—	—	—	—	CPG
FRQCR	—	—	—	CKOEN	—	—	STC1	STC0	
	—	—	IFC1	IFC0	—	—	PFC1	PFC0	
WTCNT									WDT
WTCSR	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	
STBCR	STBY	—	—	STBXTL	—	MSTP2	MSTP1	—	低消費電力
STBCR2	MSTP10	MSTP9	MSTP8	—	MSTP6	MSTP5	—	—	
STBCR3	MSTP37	—	MSTP35	MSTP34	MSTP33	MSTP32	MSTP31	MSTP30	
TSTR	—	—	—	—	—	STR2	STR1	STR0	TMU
TCOR_0									
TCOR_0									
TCOR_0									
TCOR_0									
TCOR_0									
TCR_0	—	—	—	—	—	—	—	UNF	
TCR_0	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCOR_1									
TCOR_1									
TCOR_1									
TCOR_1									
TCOR_1									
TCNT_1									
TCNT_1									
TCNT_1									
TCNT_1									
TCNT_1									

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
TCR_1	—	—	—	—	—	—	—	UNF	TMU
	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCOR_2									
TCNT_2									
TCR_2	—	—	—	—	—	—	ICPF	UNF	
	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCPR_2									
CMSTR	—	—	—	—	—	—	—	—	CMT
	—	—	—	—	—	—	—	STR	
CMCSR	—	—	—	—	—	—	—	—	
	CMF	—	—	CMR	—	—	CKS1	CKS0	
CMCNT									
CMCOR									
TSTR	—	—	—	—	—	—	—	—	TPU
	—	—	—	—	CST3	CST2	CST1	CST0	
TCR_0	—	—	—	—	—	—	—	—	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_0	—	—	—	—	—	—	—	—	
	—	BFWT	BFB	BFA	—	MD2	MD1	MD0	
TIOR_0	—	—	—	—	—	—	—	—	
	—	—	—	—	—	IOA2	IOA1	IOA0	
TIER_0	—	—	—	—	—	—	—	—	
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	—	—	—	—	—	—	—	—	
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
TCNT_0									TPU
TGRA_0									
TGRB_0									
TGRC_0									
TGRD_0									
TCR_1	—	—	—	—	—	—	—	—	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_1	—	—	—	—	—	—	—	—	
	—	BFWT	BFB	BFA	—	MD2	MD1	MD0	
TIOR_1	—	—	—	—	—	—	—	—	
	—	—	—	—	—	IOA2	IOA1	IOA0	
TIER_1	—	—	—	—	—	—	—	—	
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_1	—	—	—	—	—	—	—	—	
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									
TGRC_1									
TGRD_1									
TCR_2	—	—	—	—	—	—	—	—	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_2	—	—	—	—	—	—	—	—	
	—	BFWT	BFB	BFA	—	MD2	MD1	MD0	
TIOR_2	—	—	—	—	—	—	—	—	
	—	—	—	—	—	IOA2	IOA1	IOA0	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
TIER_2	—	—	—	—	—	—	—	—	TPU
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_2	—	—	—	—	—	—	—	—	
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_2	—								
TGRA_2	—								
TGRB_2	—								
TGRC_2	—								
TGRD_2	—								
TCR_3	—	—	—	—	—	—	—	—	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_3	—	—	—	—	—	—	—	—	
	—	BFWT	BFB	BFA	—	MD2	MD1	MD0	
TIOR_3	—	—	—	—	—	—	—	—	
	—	—	—	—	—	IOA2	IOA1	IOA0	
TIER_3	—	—	—	—	—	—	—	—	
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3	—	—	—	—	—	—	—	—	
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3	—								
TGRA_3	—								
TGRB_3	—								
TGRC_3	—								
TGRD_3	—								
R64CNT	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz	RTC
RSECCNT	—								

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
RMINCNT	—								RTC
RHRCNT	—	—							
RWKCNT	—	—	—	—	—				
RDAYCNT	—	—							
RMONCNT	—	—	—						
RYRCNT									
RSECAR	ENB								
RMINAR	ENB								
RHRAR	ENB	—							
RWKAR	ENB	—	—	—	—				
RDAYAR	ENB	—							
RMONAR	ENB	—	—						
RCR1	CF	—	—	CIE	AIE	—	—	AF	
RCR2	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START	
RYRAR									
RCR3	YAEN	—	—	—	—	—	—	—	
SCSMR_0	—	—	—	—	—	SRC2	SRC1	SRC0	SCIF_0
	C/A	CHR	PE	O/E	STOP	—	CKS1	CKS0	
SCBRR_0	SCBRD7	SCBRD6	SCBRD5	SCBRD4	SCBRD3	SCBRD2	SCBRD1	SCBRD0	
SCSCR_0	—	—	—	—	TSIE	ERIE	BRIE	DRIE	
	TIE	RIE	TE	RE	—	—	CKE1	CKE0	
SCTDSR_0									
SCFER_0	—	—	PER5	PER4	PER3	PER2	PER1	PER0	
	—	—	FER5	FER4	FER3	FER2	FER1	FER0	
SCSSR_0	—	—	—	—	—	—	ORER	TSF	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFCR_0	TSE	TCRST	—	—	—	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_0	—	T6	T5	T4	T3	T2	T1	T0	
	—	R6	R5	R4	R3	R2	R1	R0	
SCFTDR_0	SCFTD7	SCFTD6	SCFTD5	SCFTD4	SCFTD3	SCFTD2	SCFTD1	SCFTD0	
SCFRDR_0	SCFRD7	SCFRD6	SCFRD5	SCFRD4	SCFRD3	SCFRD2	SCFRD1	SCFRD0	
SCSMR_2	—	—	—	—	—	SRC2	SRC1	SRC0	SCIF_2
	C/A	CHR	PE	O/E	STOP	—	CKS1	CKS0	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
SCBRR_2	SCBRD7	SCBRD6	SCBRD5	SCBRD4	SCBRD3	SCBRD2	SCBRD1	SCBRD0	SCIF_2
SCSCR_2	—	—	—	—	TSIE	ERIE	BRIE	DRIE	
	TIE	RIE	TE	RE	—	—	CKE1	CKE0	
SCTDSR_2									
SCFER_2	—	—	PER5	PER4	PER3	PER2	PER1	PER0	
	—	—	FER5	FER4	FER3	FER2	FER1	FER0	
SCSSR_2	—	—	—	—	—	—	ORER	TSF	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFCR_2	TSE	TCRST	—	—	—	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_2	—	T6	T5	T4	T3	T2	T1	T0	
	—	R6	R5	R4	R3	R2	R1	R0	
SCFTDR_2	SCFTD7	SCFTD6	SCFTD5	SCFTD4	SCFTD3	SCFTD2	SCFTD1	SCFTD0	
SCFRDR_2	SCFRD7	SCFRD6	SCFRD5	SCFRD4	SCFRD3	SCFRD2	SCFRD1	SCFRD0	
SCSMR_Ir	—	—	—	—	—	—	—	—	IrDA
	IRMOD	ICK3	ICK2	ICK1	ICK0	PSEL	—	—	
EPDR0i	D7	D6	D5	D4	D3	D2	D1	D0	USB
EPDR0o	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0s	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR1	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR2	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR3	D7	D6	D5	D4	D3	D2	D1	D0	
IFR0	BRST	EP1FULL	EP2TR	EP2 EMPTY	SETUPTS	EP0oTS	EP0iTR	EP0iTS	
IFR1	—	—	—	—	VBUSMN	EP3TR	EP3TS	VBUS	
TRG	—	EP3PKTE	EP1 RDFN	EP2 PKTE	—	EP0sRDF N	EP0o RDFN	EP0iPKTE	
FCLR	—	EP3CLR	EP1CLR	EP2CLR	—	—	EP0o CLR	EP0i CLR	
EPSZ0o	D7	D6	D5	D4	D3	D2	D1	D0	
DASTS	—	—	EP3DE	EP2DE	—	—	—	EP0i DE	
EPSTL	—	—	—	—	EP3STL	EP2STL	EP1STL	EP0STL	
IER0	BRST	EP1FULL	EP2TR	EP2 EMPTY	SETUPTS	EP0oTS	EP0iTR	EP0iTS	
IER1	—	—	—	—	—	EP3TR	EP3TS	VBUS	
EPSZ1	D7	D6	D5	D4	D3	D2	D1	D0	
DMAR	—	—	—	—	—	—	EP2DMAE	EP1DMAE	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
ISR0	BRST	EP1FULL	EP2TR	EP2 EMPTY	SETUPTS	EP0oTS	EP0iTR	EP0iTS	USB
ISR1	—	—	—	—	—	EP3TR	EP3TS	VBUS	
XVERCR	—	—	—	—	—	—	—	XVEROFF	
PACR	PA7MD1 PA3MD1	PA7MD0 PA3MD0	PA6MD1 PA2MD1	PA6MD0 PA2MD0	PA5MD1 PA1MD1	PA5MD0 PA1MD0	PA4MD1 PA0MD1	PA4MD0 PA0MD0	PFC
PBCR	PB7MD1 PB3MD1	PB7MD0 PB3MD0	PB6MD1 PB2MD1	PB6MD0 PB2MD0	PB5MD1 PB1MD1	PB5MD0 PB1MD0	PB4MD1 PB0MD1	PB4MD0 PB0MD0	
PCCR	PC7MD1 PC3MD1	PC7MD0 PC3MD0	PC6MD1 PC2MD1	PC6MD0 PC2MD0	PC5MD1 PC1MD1	PC5MD0 PC1MD0	PC4MD1 PC0MD1	PC4MD0 PC0MD0	
PDCR	PD7MD1 PD3MD1	PD7MD0 PD3MD0	PD6MD1 PD2MD1	PD6MD0 PD2MD0	PD5MD1 PD1MD1	PD5MD0 PD1MD0	PD4MD1 PD0MD1	PD4MD0 PD0MD0	
PECR	PE7MD1 PE3MD1	PE7MD0 PE3MD0	PE6MD1 PE2MD1	PE6MD0 PE2MD0	PE5MD1 PE1MD1	PE5MD0 PE1MD0	PE4MD1 PE0MD1	PE4MD0 PE0MD0	
PECR2	—	PE6MD2	PE5MD2	PE4MD2	—	—	—	—	
PFCR	PF7MD1 PF3MD1	PF7MD0 PF3MD0	PF6MD1 PF2MD1	PF6MD0 PF2MD0	PF5MD1 PF1MD1	PF5MD0 PF1MD0	PF4MD1 PF0MD1	PF4MD0 PF0MD0	
PFCR2	—	—	—	—	PF3MD2	PF2MD2	PF1MD2	PF0MD2	
PGCR	PG7MD1 PG3MD1	PG7MD0 PG3MD0	PG6MD1 PG2MD1	PG6MD0 PG2MD0	PG5MD1 PG1MD1	PG5MD0 PG1MD0	PG4MD1 PG0MD1	PG4MD0 PG0MD0	
PHCR	—	—	PH6MD1 PH3MD1	PH6MD0 PH2MD1	PH5MD1 PH1MD1	PH5MD0 PH1MD0	PH4MD1 PH0MD1	PH4MD0 PH0MD0	
PJCR	PJ7MD1 PJ3MD1	PJ7MD0 PJ3MD0	PJ6MD1 PJ2MD1	PJ6MD0 PJ2MD0	PJ5MD1 PJ1MD1	PJ5MD0 PJ1MD0	PJ4MD1 PJ0MD1	PJ4MD0 PJ0MD0	
PKCR	PK7MD1 PK3MD1	PK7MD0 PK3MD0	PK6MD1 PK2MD1	PK6MD0 PK2MD0	PK5MD1 PK1MD1	PK5MD0 PK1MD0	PK4MD1 PK0MD1	PK4MD0 PK0MD0	
PLCR	—	—	—	—	—	—	—	—	
SCPCR	—	—	—	—	SCP5MD1 SCP3MD1	SCP5MD0 SCP1MD0	SCP4MD1 SCP0MD1	SCP4MD0 SCP0MD0	
PMCR	—	—	PM6MD1 PM3MD1	PM6MD0 PM2MD1	—	—	PM4MD1 PM0MD1	PM4MD0 PM0MD0	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール	
PNCR	PN7MD1	PN7MD0	PN6MD1	PN6MD0	PN5MD1	PN5MD0	PN4MD1	PN4MD0	PFC	
	PN3MD1	PN3MD0	PN2MD1	PN2MD0	PN1MD1	PN1MD0	PN0MD1	PN0MD0		
PNCR2	—	PN6MD2	PN5MD2	PN4MD2	PN3MD2	PN2MD2	PN1MD2	PN0MD2		
PADR	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT	ポート	
PBDR	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT		
PCDR	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT		
PDDR	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT		
PEDR	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT		
PFDR	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT		
PGDR	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT		
PHDR	—	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT		
PJDR	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT		
PKDR	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT		
PLDR	—	—	—	—	PL3DT	PL2DT	PL1DT	PL0DT		
SCPDR	—	—	SCP 5DT	SCP 4DT	SCP 3DT	SCP 2DT	SCP1DT	SCP 0DT		
PMDR	—	PM6DT	—	PM4DT	PM3DT	PM2DT	PM1DT	PM0DT		
PNDR	PN7DT	PN6DT	PN5DT	PN4DT	PN3DT	PN2DT	PN1DT	PN0DT		
ADDRA										ADC
	— — — — — — — —									
ADDRB										
	— — — — — — — —									
ADDRC										
	— — — — — — — —									
ADDRD										
	— — — — — — — —									
ADCSR	ADF	ADIE	ADST	DMASL	—	—	—	—		
	CKS1	CKS0	MULTI1	MULTI0	—	—	CH1	CH0		
BDRB	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	UBC	
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16		
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8		
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0		
BDMRB	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24		
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16		
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8		
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0		

24. レジスター一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
BRCR	—	—	—	—	—	—	—	—	UBC
	—	—	BASMA	BASMB	—	—	—	—	
	SCMFCA	SCMFCA	SCMFDA	SCMFDB	PCTE	PCBA	—	—	
	DBEB	PCBB	—	—	SEQ	—	—	ETBE	
BETR	—	—	—	—	BET11	BET10	BET9	BET8	
	BET7	BET6	BET5	BET4	BET3	BET2	BET1	BET0	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BAMRB	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	
	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16	
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	
	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0	
BBRB	—	—	—	—	—	—	—	—	
	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	
BRSR	SVF	—	—	—	BSA27	BSA26	BSA25	BSA24	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	
BBRA	—	—	—	—	—	—	—	—	
	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BRDR	DVF	—	—	—	BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
BASRA	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0	
BASRB	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0	

24. レジスタ一覧

レジスタ略称	ビット 31/ 23/15/ 7	ビット 30/ 22/14/ 6	ビット 29/ 21/13/ 5	ビット 28/ 20/12/ 4	ビット 27/ 19/11/ 3	ビット 26/ 18/10/ 2	ビット 25/ 17/ 9/ 1	ビット 24/ 16/ 8/ 0	モジュール
SDIR	T17	T16	T15	T14	T13	T12	T11	T10	H-UDI
	—	—	—	—	—	—	—	—	
SDID/SDIDH	DID31	DID30	DID29	DID28	DID27	DID26	DID25	DID24	
	DID23	DID22	DID21	DID20	DID19	DID18	DID17	DID16	
SDIDL	DID15	DID14	DID13	DID12	DID11	DID10	DID9	DID8	
	DID7	DID6	DID5	DID4	DID3	DID2	DID1	DID0	

24.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
MMUCR	初期化 ^{*6}	初期化 ^{*6}	保持	保持	保持	MMU
PTEH	不定	不定	保持	保持	保持	
PTEL	不定	不定	保持	保持	保持	
TTB	不定	不定	保持	保持	保持	
CCR1	初期化	初期化	保持	保持	保持	キャッシュ
CCR2	初期化	初期化	保持	保持	保持	
CCR3	初期化	初期化	保持	保持	保持	
INTEVT2	不定	不定	保持	保持	保持	例外処理
TRA	不定	不定	保持	保持	保持	
EXPEVT	初期化 ^{*7}	初期化 ^{*7}	保持	保持	保持	
INTEVT	不定	不定	保持	保持	保持	
TEA	不定	不定	保持	保持	保持	INTC
IPRA	初期化	初期化	保持	保持	保持	
IPRB	初期化	初期化	保持	保持	保持	
IPRC	初期化	初期化	保持	保持	保持	
IPRD	初期化	初期化	保持	保持	保持	
IPRE	初期化	初期化	保持	保持	保持	
IPRF	初期化	初期化	保持	保持	保持	
IPRG	初期化	初期化	保持	保持	保持	
IPRH	初期化	初期化	保持	保持	保持	
ICR0	初期化 ^{*8}	初期化 ^{*8}	保持	保持	保持	
ICR1	初期化	初期化	保持	保持	保持	
ICR2	初期化	初期化	保持	保持	保持	
IRR0	初期化	初期化	保持	保持	保持	
IRR1	初期化	初期化	保持	保持	保持	
IRR2	初期化	初期化	保持	保持	保持	
PINTER	初期化	初期化	保持	保持	保持	
CMNCR	初期化 ^{*9}	保持	保持	保持	保持	
CS0BCR	初期化	保持	保持	保持	保持	
CS2BCR	初期化	保持	保持	保持	保持	
CS3BCR	初期化	保持	保持	保持	保持	
CS4BCR	初期化	保持	保持	保持	保持	
CS5ABCR	初期化	保持	保持	保持	保持	
CS5BBCR	初期化	保持	保持	保持	保持	

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
CS6ABCR	初期化	保持	保持	保持	保持	BSC	
CS6BBCR	初期化	保持	保持	保持	保持		
CS0WCR	初期化	保持	保持	保持	保持		
CS2 WCR	初期化	保持	保持	保持	保持		
CS3 WCR	初期化	保持	保持	保持	保持		
CS4 WCR	初期化	保持	保持	保持	保持		
CS5A WCR	初期化	保持	保持	保持	保持		
CS5B WCR	初期化	保持	保持	保持	保持		
CS6A WCR	初期化	保持	保持	保持	保持		
CS6B WCR	初期化	保持	保持	保持	保持		
SDCR	初期化	保持	保持	保持	保持		
RTCSR	初期化	保持	保持	保持	保持		
RTCNT	初期化	保持	保持	保持	保持		
RTCOR	初期化	保持	保持	保持	保持		
SDMR2	—	—	—	—	—		
SDMR3	—	—	—	—	—		
SAR_0	不定	不定	保持	保持	保持		DMAC
DAR_0	不定	不定	保持	保持	保持		
DMATCR_0	不定	不定	保持	保持	保持		
CHCR_0	初期化	初期化	保持	保持	保持		
SAR_1	不定	不定	保持	保持	保持		
DAR_1	不定	不定	保持	保持	保持		
DMATCR_1	不定	不定	保持	保持	保持		
CHCR_1	初期化	初期化	保持	保持	保持		
SAR_2	不定	不定	保持	保持	保持		
DAR_2	不定	不定	保持	保持	保持		
DMATCR_2	不定	不定	保持	保持	保持		
CHCR_2	初期化	初期化	保持	保持	保持		
SAR_3	不定	不定	保持	保持	保持		
DAR_3	不定	不定	保持	保持	保持		
DMATCR_3	不定	不定	保持	保持	保持		
CHCR_3	初期化	初期化	保持	保持	保持		
DMAOR	初期化	初期化	保持	保持	保持		
DMARS0	初期化	初期化	保持	保持	保持		
DMARS1	初期化	初期化	保持	保持	保持		
UCLKCR	初期化	保持	保持	保持	保持	CPG	

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
FRQCR	初期化 ^{*5}	保持	保持	保持	保持	CPG	
WTCNT	初期化 ^{*5}	保持	保持	保持	保持	WDT	
WTCSR	初期化 ^{*5}	保持	保持	保持	保持		
STBCR	初期化	保持	保持	保持	保持		低消費電力
STBCR2	初期化	保持	保持	保持	保持		
STBCR3	初期化	保持	保持	保持	保持		
TSTR	初期化	初期化	初期化	初期化	保持	TMU	
TCOR_0	初期化	初期化	保持	保持	保持		
TCNT_0	初期化	初期化	保持	保持	保持		
TCR_0	初期化	初期化	保持	保持	保持		
TCOR_1	初期化	初期化	保持	保持	保持		
TCNT_1	初期化	初期化	保持	保持	保持		
TCR_1	初期化	初期化	保持	保持	保持		
TCOR_2	初期化	初期化	保持	保持	保持		
TCNT_2	初期化	初期化	保持	保持	保持		
TCR_2	初期化	初期化	保持	保持	保持		
TCPR_2	不定	不定	保持	保持	保持		
CMSTR	初期化	初期化	保持	保持	保持		CMT
CMCSR	初期化	初期化	保持	保持	保持		
CMCNT	初期化	初期化	保持	保持	保持		
CMCOR	初期化	初期化	保持	保持	保持		
TSTR	初期化	初期化	保持	保持	保持	TPU	
TCR_0	初期化	初期化	保持	保持	保持		
TMDR_0	初期化	初期化	保持	保持	保持		
TIOR_0	初期化	初期化	保持	保持	保持		
TIER_0	初期化	初期化	保持	保持	保持		
TSR_0	初期化	初期化	保持	保持	保持		
TCNT_0	初期化	初期化	保持	保持	保持		
TGRA_0	初期化	初期化	保持	保持	保持		
TGRB_0	初期化	初期化	保持	保持	保持		
TGRC_0	初期化	初期化	保持	保持	保持		
TGRD_0	初期化	初期化	保持	保持	保持		
TCR_1	初期化	初期化	保持	保持	保持		
TMDR_1	初期化	初期化	保持	保持	保持		

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
TIOR_1	初期化	初期化	保持	保持	保持	TPU	
TIER_1	初期化	初期化	保持	保持	保持		
TSR_1	初期化	初期化	保持	保持	保持		
TCNT_1	初期化	初期化	保持	保持	保持		
TGRA_1	初期化	初期化	保持	保持	保持		
TGRB_1	初期化	初期化	保持	保持	保持		
TGRC_1	初期化	初期化	保持	保持	保持		
TGRD_1	初期化	初期化	保持	保持	保持		
TCR_2	初期化	初期化	保持	保持	保持		
TMDR_2	初期化	初期化	保持	保持	保持		
TIOR_2	初期化	初期化	保持	保持	保持		
TIER_2	初期化	初期化	保持	保持	保持		
TSR_2	初期化	初期化	保持	保持	保持		
TCNT_2	初期化	初期化	保持	保持	保持		
TGRA_2	初期化	初期化	保持	保持	保持		
TGRB_2	初期化	初期化	保持	保持	保持		
TGRC_2	初期化	初期化	保持	保持	保持		
TGRD_2	初期化	初期化	保持	保持	保持		
TCR_3	初期化	初期化	保持	保持	保持		
TMDR_3	初期化	初期化	保持	保持	保持		
TIOR_3	初期化	初期化	保持	保持	保持		
TIER_3	初期化	初期化	保持	保持	保持		
TSR_3	初期化	初期化	保持	保持	保持		
TCNT_3	初期化	初期化	保持	保持	保持		
TGRA_3	初期化	初期化	保持	保持	保持		
TGRB_3	初期化	初期化	保持	保持	保持		
TGRC_3	初期化	初期化	保持	保持	保持		
TGRD_3	初期化	初期化	保持	保持	保持		
R64CNT	動作継続	動作継続	動作継続	保持	動作継続		RTC
RSECCNT	動作継続	動作継続	動作継続	保持	動作継続		
RMINCNT	動作継続	動作継続	動作継続	保持	動作継続		
RHRCNT	動作継続	動作継続	動作継続	保持	動作継続		
RWKCNT	動作継続	動作継続	動作継続	保持	動作継続		
RDAYCNT	動作継続	動作継続	動作継続	保持	動作継続		
RMONCNT	動作継続	動作継続	動作継続	保持	動作継続		
RYRCNT	動作継続	動作継続	動作継続	保持	動作継続		

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール		
RSECAR	保持*1	保持	保持	保持	保持	RTC		
RMINAR	保持*1	保持	保持	保持	保持			
RHRAR	保持*1	保持	保持	保持	保持			
RWKAR	保持*1	保持	保持	保持	保持			
RDAYAR	保持*1	保持	保持	保持	保持			
RMONAR	保持*1	保持	保持	保持	保持			
RCR1	初期化*2	初期化*2	保持	保持	保持			
RCR2	初期化*10	初期化*10	保持	保持	保持			
RYRAR	保持	保持	保持	保持	保持			
RCR3	初期化	保持	保持	保持	保持			
SCSMR_0	初期化	初期化	保持	保持	保持		SCIF_0	
SCBRR_0	初期化	初期化	保持	保持	保持			
SCSCR_0	初期化	初期化	保持	保持	保持			
SCTDSR_0	初期化	初期化	保持	保持	保持			
SCFER_0	初期化	初期化	保持	保持	保持			
SCSSR_0	初期化	初期化	保持	保持	保持			
SCFCR_0	初期化	初期化	保持	保持	保持			
SCFDR_0	初期化	初期化	保持	保持	保持			
SCFTDR_0	不定	不定	保持	保持	保持			
SCFRDR_0	不定	不定	保持	保持	保持			
SCSMR_2	初期化	初期化	保持	保持	保持	SCIF_2		
SCBRR_2	初期化	初期化	保持	保持	保持			
SCSCR_2	初期化	初期化	保持	保持	保持			
SCTDSR_2	初期化	初期化	保持	保持	保持			
SCFER_2	初期化	初期化	保持	保持	保持			
SCSSR_2	初期化	初期化	保持	保持	保持			
SCFCR_2	初期化	初期化	保持	保持	保持			
SCFDR_2	初期化	初期化	保持	保持	保持			
SCFTDR_2	不定	不定	保持	保持	保持			
SCFRDR_2	不定	不定	保持	保持	保持			
SCSMR_lr	初期化	初期化	保持	保持	保持		IrDA	
EPDR0i	不定	不定	保持	保持	保持			USB
EPDR0o	不定	不定	保持	保持	保持			
EPDR0s	不定	不定	保持	保持	保持			
EPDR1	不定	不定	保持	保持	保持			
EPDR2	不定	不定	保持	保持	保持			

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
EPDR3	不定	不定	保持	保持	保持	USB	
IFR0	初期化	初期化	保持	保持	保持		
IFR1	初期化	初期化	保持	保持	保持		
TRG	不定	不定	保持	保持	保持		
FCLR	不定	不定	保持	保持	保持		
EPSZ0o	初期化	初期化	保持	保持	保持		
DASTS	初期化	初期化	保持	保持	保持		
EPSTL	初期化	初期化	保持	保持	保持		
IER0	初期化	初期化	保持	保持	保持		
IER1	初期化	初期化	保持	保持	保持		
EPSZ1	初期化	初期化	保持	保持	保持		
DMAR	初期化	初期化	保持	保持	保持		
ISR0	初期化	初期化	保持	保持	保持		
ISR1	初期化	初期化	保持	保持	保持		
XVERCR	初期化	初期化	保持	保持	保持		
PACR	初期化	保持	保持	保持	保持		PFC
PBCR	初期化	保持	保持	保持	保持		
PCCR	初期化	保持	保持	保持	保持		
PDCR	初期化	保持	保持	保持	保持		
PECR	初期化	保持	保持	保持	保持		
PECR2	初期化	保持	保持	保持	保持		
PFCR	初期化	保持	保持	保持	保持		
PFCR2	初期化	保持	保持	保持	保持		
PGCR	初期化	保持	保持	保持	保持		
PHCR	初期化	保持	保持	保持	保持		
PJCR	初期化	保持	保持	保持	保持		
PKCR	初期化	保持	保持	保持	保持		
PLCR	初期化	保持	保持	保持	保持		
SCPCR	初期化	保持	保持	保持	保持		
PMCR	初期化	保持	保持	保持	保持		
PNCR	初期化	保持	保持	保持	保持		
PNCR2	初期化	保持	保持	保持	保持		
PADR	初期化	保持	保持	保持	保持	ポート	
PBDR	初期化	保持	保持	保持	保持		

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
PCDR	初期化	保持	保持	保持	保持	ポート	
PDDR	初期化	保持	保持	保持	保持		
PEDR	初期化	保持	保持	保持	保持		
PFDR	初期化	保持	保持	保持	保持		
PGDR	初期化	保持	保持	保持	保持		
PHDR	初期化	保持	保持	保持	保持		
PJDR	初期化	保持	保持	保持	保持		
PKDR	初期化	保持	保持	保持	保持		
PLDR	初期化	保持	保持	保持	保持		
SCPDR	初期化	保持	保持	保持	保持		
PMDR	初期化	保持	保持	保持	保持		
PNDR	初期化	保持	保持	保持	保持		
ADDRA	初期化	初期化	初期化	初期化	保持		ADC
ADDRB	初期化	初期化	初期化	初期化	保持		
ADDRC	初期化	初期化	初期化	初期化	保持		
ADDRD	初期化	初期化	初期化	初期化	保持		
ADCSR	初期化	初期化	初期化	初期化	保持		
BDRB	初期化	保持	保持	保持	保持	UBC	
BDMRB	初期化	保持	保持	保持	保持		
BRCR	初期化	保持	保持	保持	保持		
BETR	初期化	保持	保持	保持	保持		
BARB	初期化	保持	保持	保持	保持		
BAMRB	初期化	保持	保持	保持	保持		
BBRB	初期化	保持	保持	保持	保持		
BRSR	初期化 ^{*3}	保持	保持	保持	保持		
BARA	初期化	保持	保持	保持	保持		
BAMRA	初期化	保持	保持	保持	保持		
BBRA	初期化	保持	保持	保持	保持		
BRDR	初期化 ^{*3}	保持	保持	保持	保持		
BASRA	不定	保持	保持	保持	保持		
BASRB	不定	保持	保持	保持	保持		

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
SDIR	保持	保持	保持	保持	保持	H-UDI
SDID/SDIDH*4	—	—	—	—	—	
SDIDL*4	—	—	—	—	—	

- 【注】
- *1 ENB ビットは初期化されます。その他のビットは保持されます。
 - *2 CF ビットは不定です。
 - *3 フラグは初期化されますが、それ以外は初期化されません。（リザーブビットは除く）
 - *4 固定値です。
 - *5 WDT によるパワーオンリセットでは初期化されません。
 - *6 SV ビットは不定です。
 - *7 パワーオンリセット時には EXPEVT[11:0]=H'000 が、マニュアルリセット時には EXPEVT[11:0]=H'020 が設定されます。
 - *8 NMIL ビットは NMI 入力が高レベル時は 1、NMI 入力がローレベル時は 0 になります。
 - *9 ENDIAN ビットは、パワーオンリセット時にサンプリングした MD5 端子入力を示します。
 - *10 パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。

25. 電気的特性

25.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	V_{CCQ} V_{CC-RTC}	-0.3~4.2	V
電源電圧 (内部)	V_{CC} $V_{CC-PLL1}$ $V_{CC-PLL2}$	-0.3~2.1	V
入力電圧 (ポート L 以外)	V_{in}	-0.3~ $V_{CCQ}+0.3$	V
入力電圧 (ポート L)	V_{in}	-0.3~ $AV_{CC}+0.3$	V
アナログ電源電圧 (AD)	AV_{CC}	-0.3~4.2	V
アナログ入力電圧 (AD)	V_{AN}	-0.3~ $AV_{CC}+0.3$	V
アナログ電源電圧 (USB)	V_{CC-USB}	-0.3~4.2	V
アナログ入力電圧 (USB)	V_{IN}	-0.3~ (V_{CC-USB}) +0.3	V
動作温度	T_{opr}	-20~75	°C
保存温度	T_{stg}	-55~125	°C

【使用上の注意】

1. 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
2. 1.5V 系電源 (V_{CC} 、 $V_{CC-PLL1}$ 、 $V_{CC-PLL2}$) と 3.3V 系電源 (V_{CCQ} 、 V_{CC-RTC} 、 AV_{CC} 、 V_{CC-USB}) の投入順序について
 - (1) 電源投入順序は、3.3V 系電源と 1.5V 系電源が同時刻投入、または 3.3V 系電源を先に投入してください。3.3V 系電源を先に投入した後、1ms 以内に 1.5V 系電源を投入してください。この間隔をできるだけ短くすることを推奨します。
 - (2) すべての電源に電圧が印加され、 \overline{RESETP} 端子にローレベルが入力されるまでの間、内部回路の状態は不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。
 - (3) 電源投入時、1.5V 系電源の電圧が 3.3V 系電源より高くないようにしてください。

25. 電気的特性

3. 電源の切断順序について

- (1) 電源投入時と逆に 1.5V 系電源を先に切断してください。その後、1ms 以内に 3.3V 系電源を切ってください。この間隔をできるだけ短くすることを推奨します。
- (2) 1.5V 系電源だけを切断した状態では、端子状態は不定となります。この状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。
- (3) 電源切断時、1.5V 系電源の電圧が 3.3V 系電源より高くならないようにしてください。

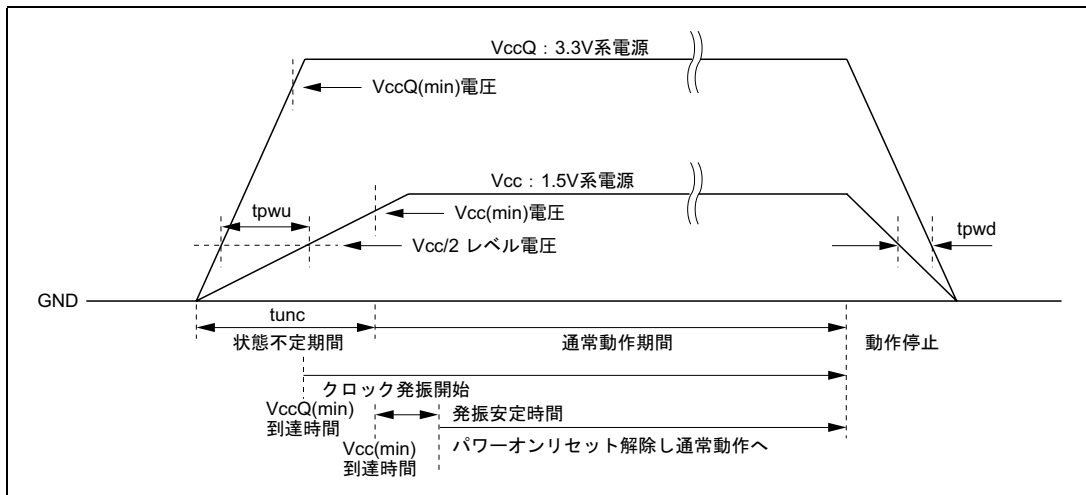


図 25.1 電源シーケンス

電源投入／切断時間推奨値

項目	記号	最大許容値	単位
$V_{CCQ}-V_{CC}$ 電源投入時間差	tpwu	1	ms
$V_{CCQ}-V_{CC}$ 電源切断時間差	tpwd	1	ms
状態不定期間	tunc	10	ms

上記は推奨値であり、厳密な設定を要求するものではありません。

状態不定期間は各々の電源立ち上がりが過渡状態にある時間を意味します。

端子状態は $V_{CCQ}(\min)$ 到達時間で確定しますが、パワーオンリセット(RESETP)が正常に受け付けられるのは $V_{CC}(\min)$ 到達時間以降でかつクロック発振安定時間以後となります。

状態不定期間は 10ms 以下となるようにしてください。

25.2 DC 特性

DC 特性を表 25.2、表 25.3 に示します。

表 25.2 DC 特性 (1) 【共通項目】

条件: $T_a = -20 \sim 75^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
電源電圧		V_{CCQ} 、 V_{CC-RTC}	3.0	3.3	3.6	V	
		V_{CC} 、 $V_{CC-PLL1}$ 、 $V_{CC-PLL2}$	1.4	1.5	1.6		
消費電流	通常動作時	I_{CC}	—	133	200	mA	$V_{CC} = 1.5\text{V}$ $I\phi = 133\text{MHz}$
			—	105	150		$V_{CC} = 1.5\text{V}$ $I\phi = 100\text{MHz}$
		I_{CCQ}	—	20	40		$V_{CCQ} = 3.3\text{V}$ $B\phi = 33\text{MHz}$
	スリープ モード時*1	I_{CC}	—	25	40	mA	*1: リフレッシュサ イクル以外の外 部バスサイクル がないとき $B\phi = 33\text{MHz}$
		I_{CCQ}	—	10	20		
	スタンバイ モード時	I_{CC}	—	150	500	μA	$T_a = 25^\circ\text{C}$ (RTC on) $V_{CCQ} = 3.3\text{V}$ $V_{CC} = 1.5\text{V}$
			I_{CCQ}	—	10		
		I_{CC}	—	150	500	μA	$T_a = 25^\circ\text{C}$ (RTC off) $V_{CCQ} = 3.3\text{V}$ $V_{CC} = 1.5\text{V}$
			I_{CCQ}	—	10		
	入力リーク電流	全入力端子	$ I_{in} $	—	—	1.0	μA
スリープステート リーク電流	入出力、 全出力端子 (オフ状態)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} =$ $0.5 \sim V_{CCQ} - 0.5\text{V}$
ブルアップ抵抗	ポート端子	R_{pull}	30	60	120	k Ω	
端子容量	USB トランシーバ 端子 (D+, D-)、 PTM3~0 以外	C	—	—	10	pF	
	USB トランシーバ 端子 (D+, D-)、 PTM3~0	C_{AN}	—	—	20	pF	
アナログ電源電圧 (AD)		AV_{CC}	3.0	3.3	3.6	V	
アナログ電源電圧 (USB)		V_{CC-USB}	3.0	3.3	3.6	V	
アナログ電源 電流 (AD)	A/D 変換期間	AI_{CC}	—	0.8	2	mA	
	アイドル		—	0.01	5.0		

25. 電気的特性

表 25.2 DC 特性 (2-a) 【USB 関連端子を除く】

条件 : Ta = -20~75°C

項目		記号	min	typ	max	単位	測定条件
入力 High レベル電圧	RESETP、 RESETM、NMI、 IRQ5~IRQ0、 PINT15~PINT0、 RXD0、 MD6~MD0、 ASEMD0、TRST EXTAL、CKIO、CA	V_{IH}	$V_{CCQ} \times 0.9$	—	$V_{CCQ} + 0.3$	V	
	EXTAL2		—	—	—		
	ポート L		2.0	—	$AV_{CC} + 0.3$		
	その他の入力端子		2.0	—	$V_{CCQ} + 0.3$		
入力 Low レベル電圧	RESETP、 RESETM、NMI、 IRQ5~IRQ0、 PINT15~PINT0、 RXD0、 MD6~MD0、 ASEMD0、TRST EXTAL、CKIO、CA	V_{IL}	-0.3	—	$V_{CCQ} \times 0.1$	V	
	EXTAL2		—	—	—		
	ポート L		-0.3	—	$AV_{CC} \times 0.2$		
	その他の入力端子		-0.3	—	$V_{CCQ} \times 0.2$		
出力 High レベル電圧	全出力端子	V_{OH}	2.4	—	—	V	$V_{CCQ} = 3.0V$ 、 $I_{OH} = -200 \mu A$
			2.0	—	—		$V_{CCQ} = 3.0V$ 、 $I_{OH} = -2mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.55	V	$V_{CCQ} = 3.6V$ 、 $I_{OL} = 1.6mA$

- 【注】
1. RTC を使用しない場合も必ず、 V_{CC-RTC} と V_{SS-RTC} 間に給電してください。
 2. AV_{CC} は、 $V_{CCQ} - 0.2V \leq AV_{CC} \leq V_{CCQ} + 0.2V$ の条件を満たさなければなりません。A/D 変換器を使用しない場合でも、 AV_{CC} 、 AV_{SS} 端子を開放しないで、 AV_{CC} は V_{CCQ} に AV_{SS} は V_{SSQ} に接続してください。
 3. 消費電流値は、 $V_{IHmin} = V_{CCQ} - 0.5V$ 、 $V_{ILmax} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 25.2 DC 特性 (2-b) 【USB 関連端子*】

条件 : Ta = -20~75°C

項目	記号	min	typ	max	単位	測定条件
電源電圧	V_{CCQ}	3.0	3.3	3.6	V	
入力 High レベル電圧	V_{IH}	2.0	—	$V_{CCQ}+0.3$	V	
入力 Low レベル電圧	V_{IL}	-0.3	—	$V_{CCQ}\times 0.2$	V	
入力 High レベル電圧 (EXTAL_USB)	V_{IH} (EXTAL_USB)	$V_{CCQ}-0.3$	—	$V_{CCQ}+0.3$	V	
入力 Low レベル電圧 (EXTAL_USB)	V_{IL} (EXTAL_USB)	-0.3	—	$V_{CCQ}\times 0.2$	V	
出力 High レベル電圧	V_{OH}	2.4	—	—	V	$V_{CCQ}=3.0V$ 、 $I_{OH}=-200\mu A$
		2.0	—	—		$V_{CCQ}=3.0V$ 、 $I_{OH}=-2mA$
出力 Low レベル電圧	V_{OL}	—	—	0.55	V	$V_{CCQ}=3.6V$ 、 $I_{OL}=1.6mA$

【注】 * XVDATA、DPLS、DMNS、TXDPLS、TXDMNS、TXENL、VBUS、SUSPND、EXTAL_USB の各端子

表 25.2 DC 特性 (2-c) 【USB トランシーバ関連端子*1】

条件 : Ta = -20~75°C

項目	記号	min	typ	max	単位	測定条件
電源電圧*2	V_{CC-USB}	3.0	3.3	3.6	V	
差動入力感度	V_{DI}	0.2	—	—	V	(DP) - (DM)
差動コモンモード範囲	V_{CM}	0.8	—	2.5	V	
シングルエンディッドレシーバ スレッショルド電圧	V_{SE}	0.8	—	2.0	V	
出力 High レベル電圧	V_{OH}	2.8	—	V_{CC-USB}	V	
出力 Low レベル電圧	V_{OL}	—	—	0.3	V	
トライステートリーク電流	I_{LO}	-10	—	10	μA	$0V < V_{IN} < 3.3V$

【注】 *1 D+、D- 端子

*2 V_{CC-USB} は、 $V_{CCQ} \leq V_{CC-USB}$ の条件を満足しなければなりません。USB を使用しない場合も必ず、 V_{CC-USB} と V_{SS-USB} 間に給電してください。

25. 電氣的特性

表 25.3 出力許容電流値

条件 : $V_{CCQ}=V_{CC}\text{-RTC}=V_{CC}\text{-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC}\text{-PLL1}=V_{CC}\text{-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS}\text{-RTC}=V_{SS}\text{-USB}=V_{SS}\text{-PLL1}=V_{SS}\text{-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	I_{OL}	—	—	2.0	mA
出力 Low レベル許容電流 (総和)	ΣI_{OL}	—	—	120	mA
出力 High レベル許容電流 (1 端子あたり)	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	$\Sigma (-I_{OH})$	—	—	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.3 の値を超えないようにしてください。

25.3 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 25.4 最大動作周波数

条件 : $V_{CCQ}=V_{CC}\text{-RTC}=V_{CC}\text{-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC}\text{-PLL1}=V_{CC}\text{-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS}\text{-RTC}=V_{SS}\text{-USB}=V_{SS}\text{-PLL1}=V_{SS}\text{-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	typ	max	単位	備考	
動作周波数	CPU、 キャッシュ (Iφ)	f	20	—	133.34	MHz	133MHz 品
					100		100MHz 品
	外部バス (Bφ)	20	—	66.67			
	周辺モジュール (Pφ)	5	—	33.34			

25.3.1 クロックタイミング

表 25.5 クロックタイミング

条件 : $V_{CCQ}=V_{CC}-RTC=V_{CC}-USB=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC}-PLL1=V_{CC}-PLL2=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{SSQ}=V_{SS}=V_{SS}-RTC=V_{SS}-USB=V_{SS}-PLL1=V_{SS}-PLL2=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$ 、外部バス最大動作周波数 : 66.67MHz

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数	f_{EX}	10	66.67	MHz	25.2
EXTAL クロック入力サイクル時間	t_{EXCYC}	15	100	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	1.5	—	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	1.5	—	ns	
EXTAL クロック入力立ち上がり時間	t_{EXr}	—	6	ns	
EXTAL クロック入力立ち下がり時間	t_{EXf}	—	6	ns	
CKIO クロック入力周波数	f_{CKI}	20	66.67	MHz	25.3
CKIO クロック入力サイクル時間	t_{CKICYC}	15	50	ns	
CKIO クロック入力 Low レベルパルス幅	t_{CKIL}	3	—	ns	
CKIO クロック入力 High レベルパルス幅	t_{CKIH}	3	—	ns	
CKIO クロック入力立ち上がり時間	t_{CKIR}	—	4	ns	
CKIO クロック入力立ち下がり時間	t_{CKIF}	—	4	ns	
CKIO クロック出力周波数	f_{OP}	20	66.67	MHz	25.4
CKIO クロック出力サイクル時間	t_{CYC}	15	50	ns	
CKIO クロック出力 Low レベルパルス幅	t_{CKOL}	3	—	ns	
CKIO クロック出力 High レベルパルス幅	t_{CKOH}	3	—	ns	
CKIO クロック出力立ち上がり時間	t_{CKOr}	—	5	ns	
CKIO クロック出力立ち下がり時間	t_{CKOf}	—	5	ns	
パワーオン発振安定時間	t_{OSC1}	10	—	ms	25.5
RESETP セットアップ時間	t_{RESPS}	20	—	ns	25.5
RESETP アサート時間	t_{RESPW}	20	—	t_{CYC}	25.5、25.6
RESETM アサート時間	t_{RESMW}	20	—	t_{CYC}	25.6
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	—	ms	25.6
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	—	ms	25.7
スタンバイ復帰発振安定時間 3	t_{OSC4}	11	—	ms	25.8
PLL 同期安定化時間 1	t_{PLL1}	100	—	μs	25.9、25.10
PLL 同期安定化時間 2	t_{PLL2}	100	—	μs	25.11
割り込み判定時間 (RTC 使用 & スタンバイモード時)	t_{IRLSTB}	100	—	μs	25.10

25. 電気的特性

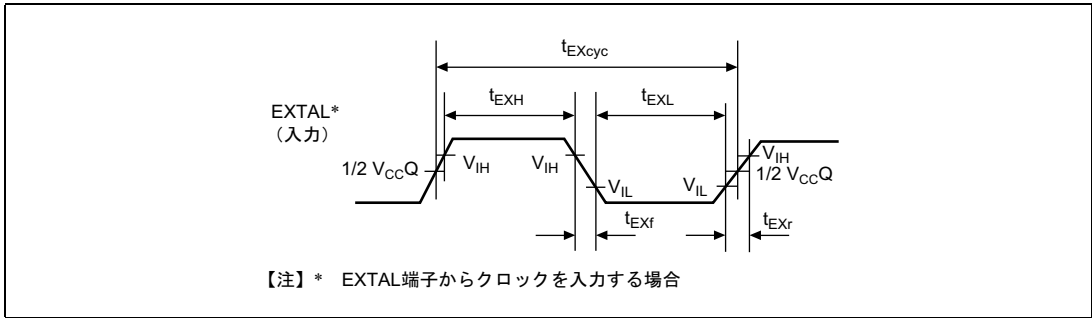


図 25.2 EXTAL クロック入力タイミング

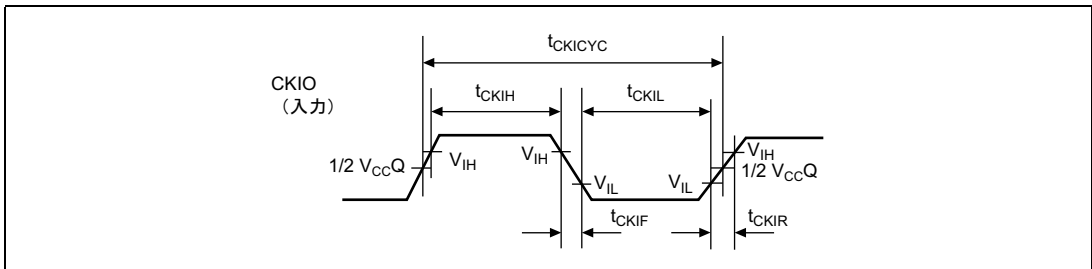


図 25.3 CKIO クロック入力タイミング

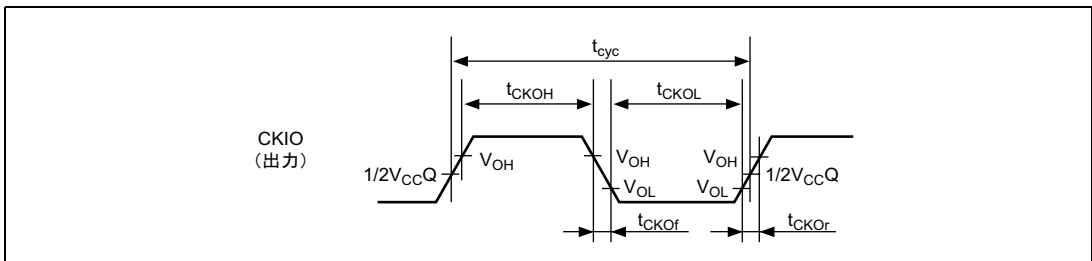


図 25.4 CKIO クロック出力タイミング

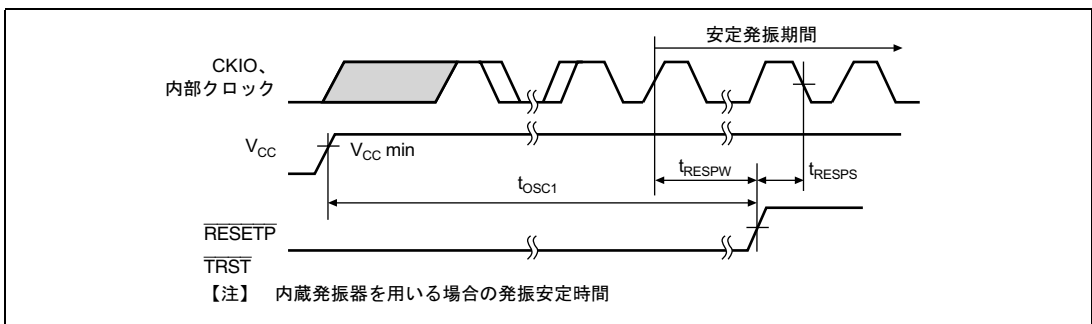


図 25.5 パワーオン発振安定時間

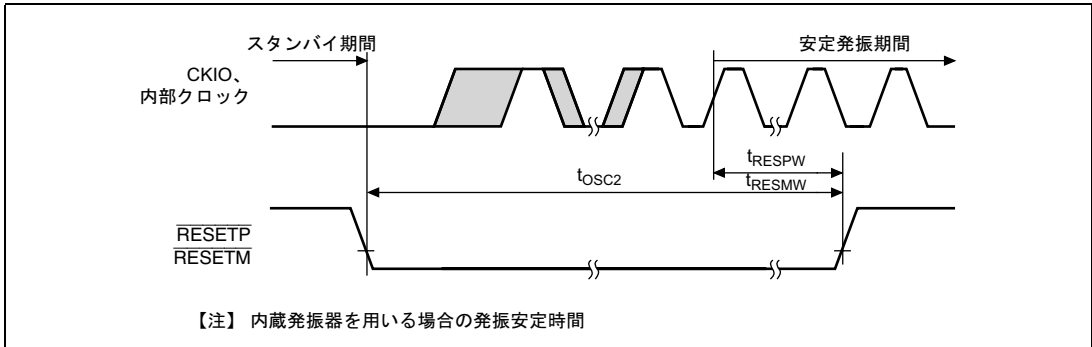


図 25.6 スタンバイ復帰時発振安定時間（リセットによる復帰）

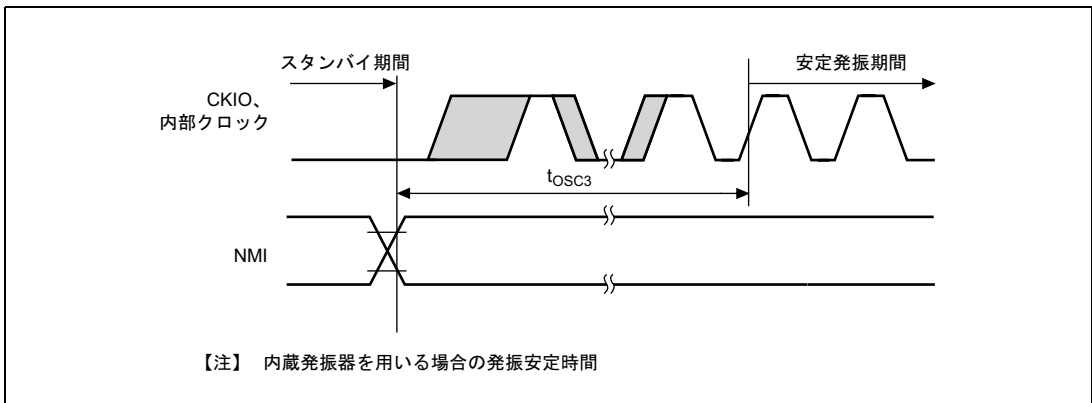


図 25.7 スタンバイ復帰時発振安定時間（NMIによる復帰）

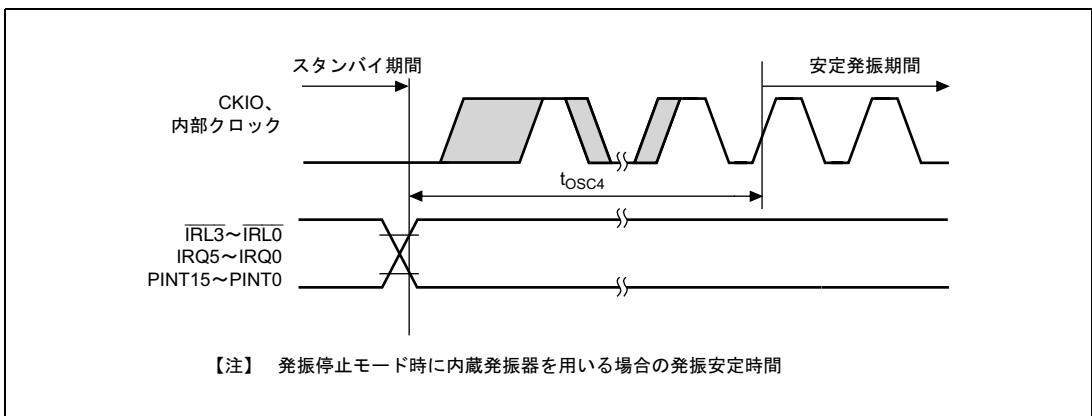


図 25.8 スタンバイ復帰時発振安定時間（IRQ5~IRQ0、PINT15~PINT0、 $\overline{IRL3} \sim \overline{IRL0}$ による復帰）

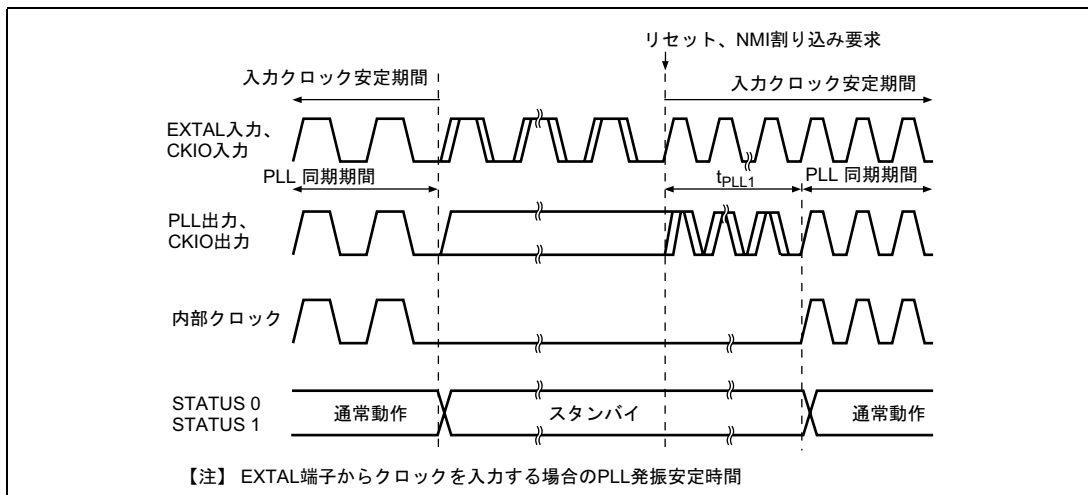


図 25.9 リセットまたはNMI 割り込みによる PLL 同期安定化時間

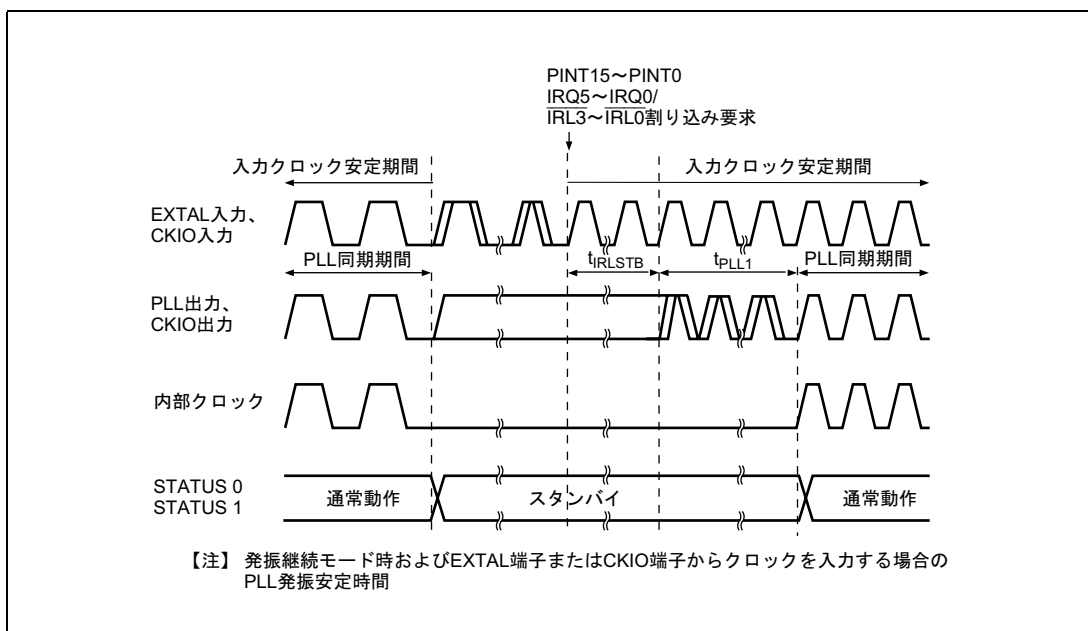


図 25.10 IRQ/IRL、PINT 割り込みによる PLL 同期安定化時間

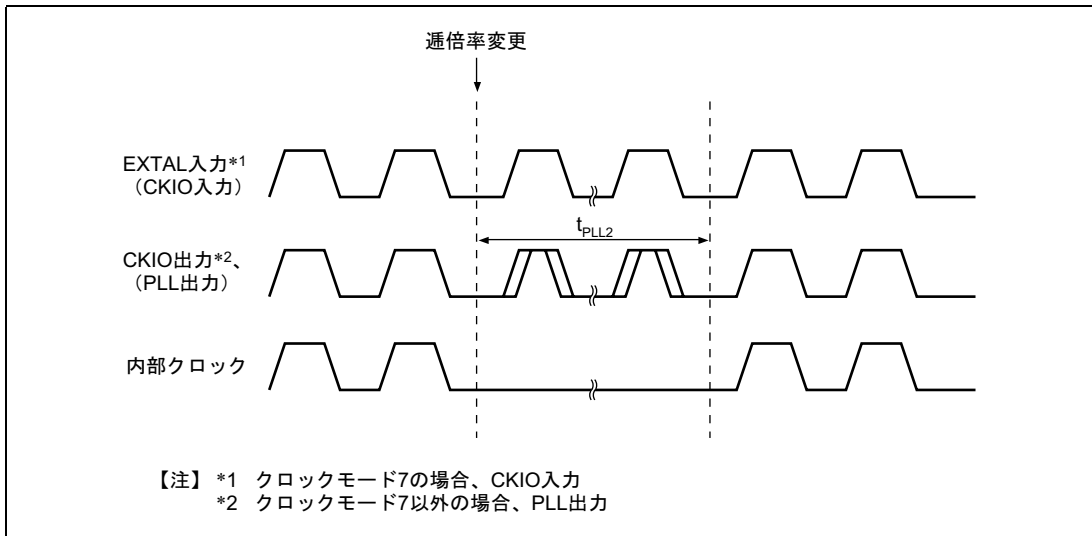


図 25.11 周波数通倍率変更時の PLL 同期安定化時間

25. 電氣的特性

25.3.2 制御信号タイミング

表 25.6 制御信号タイミング

条件： $V_{CCQ}=V_{CC}-RTC=V_{CC}-USB=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC}-PLL1=V_{CC}-PLL2=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{SSQ}=V_{SS}=V_{SS}-RTC=V_{SS}-USB=V_{SS}-PLL1=V_{SS}-PLL2=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$ 、クロックモード 0/1/2/4/5/6/7

項目	記号	66.67MHz*2		単位	参照図
		min	max		
RESETP パルス幅	t_{RESPW}	20*3	—	tcyc	25.12
RESETP セットアップ時間*1	t_{RESPS}	20	—	ns	
RESETM パルス幅	t_{RESMW}	20*4	—	tcyc	
RESETM セットアップ時間*1	t_{RESMS}	10	—	ns	
BREQ セットアップ時間	t_{BREQS}	$1/2t_{cyc} + 10$	—	ns	25.14
BREQ ホールド時間	t_{BREQH}	$1/2t_{cyc} + 3$	—	ns	
NMI セットアップ時間*1	t_{NMIS}	10	—	ns	25.13
NMI ホールド時間	t_{NMIH}	3	—	ns	
IRQ5~IRQ0 セットアップ時間*1	t_{IRQS}	10	—	ns	
IRQ5~IRQ0 ホールド時間	t_{IRQH}	3	—	ns	
BACK 遅延時間	t_{BACKD}	—	$1/2t_{cyc} + 13$	ns	25.14
STATUS1、STATUS0 遅延時間	t_{STD}	—	18	ns	25.15
バスタライステート遅延時間 1	t_{BOFF1}	0	30	ns	25.15
バスタライステート遅延時間 2	t_{BOFF2}	0	30	ns	
バスパツファオンタイム 1	t_{BON1}	0	30	ns	
バスパツファオンタイム 2	t_{BON2}	0	30	ns	

【注】 t_{cyc} は外部バスクロックサイクル（B クロックサイクル）を示します。

- *1 RESETP、RESETM、NMI および IRQ5~IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。
- *2 外部バスクロックの上限が 66.67MHz です。
- *3 スタンバイモード時は、 $t_{RESPW}=t_{OSC2}$ (10ms) となります。スタンバイモードの水晶発振継続時またはクロック通倍率が変わったときは、 $t_{RESPW}=t_{PLL1}$ (100 μ s) になります。
- *4 スタンバイモード時は、 $t_{RESMW}=t_{OSC2}$ (10ms) となります。スタンバイモードの水晶発振継続時またはクロック通倍率が変わったときは、STATUS0 と STATUS1 がリセット (HH) に変わるまで RESETM をローレベルに保ってください。

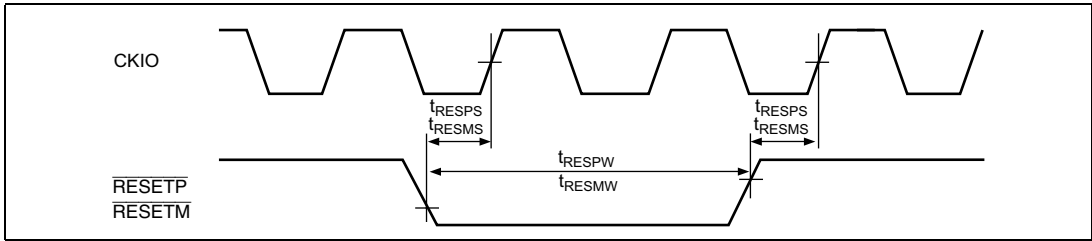


図 25.12 リセット入カタイミング

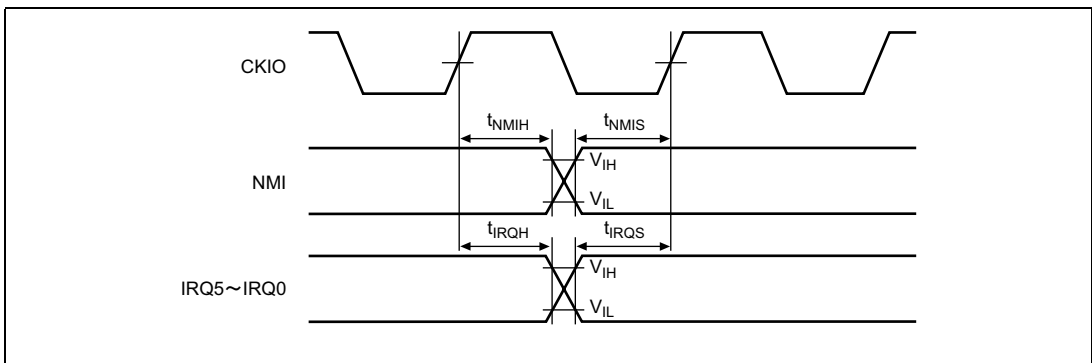


図 25.13 割り込み信号入カタイミング

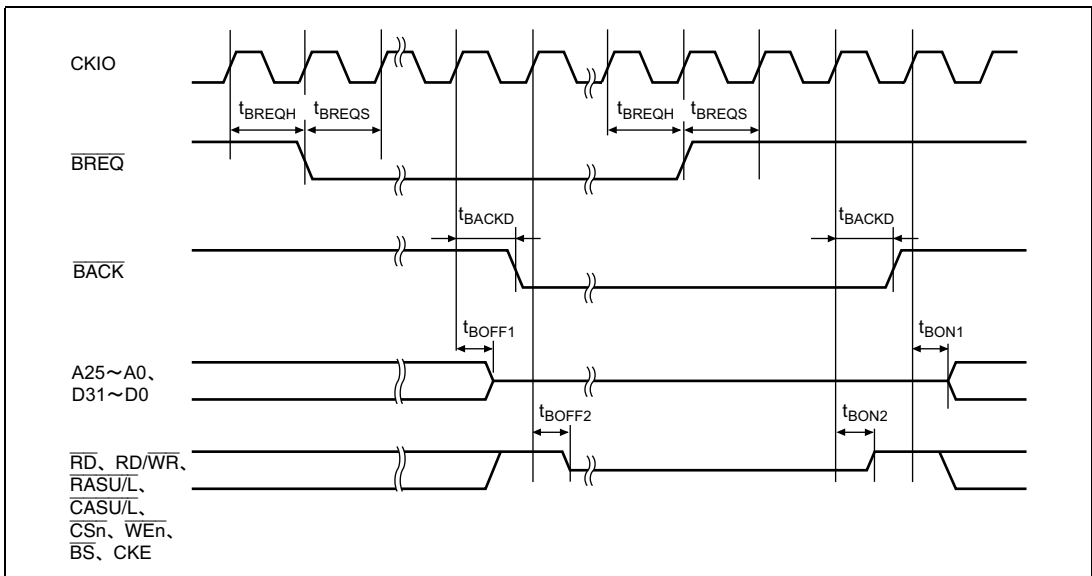


図 25.14 バス権解放タイミング

25. 電気的特性

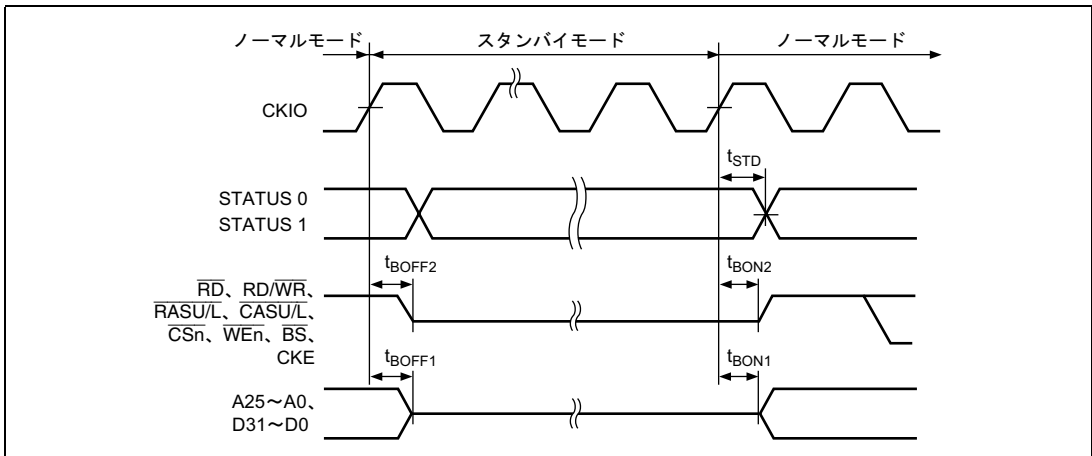


図 25.15 スタンバイ時の端子ドライブタイミング

25.3.3 AC バスタイミング仕様

表 25.7 バスタイミング (1)

条件 : $V_{CCQ}=V_{CC}-RTC=V_{CC}-USB=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC}-PLL1=V_{CC}-PLL2=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS}-RTC=V_{SS}-USB=V_{SS}-PLL1=V_{SS}-PLL2=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$ 、クロックモード 0/1/2/4/5/6/7

項目	記号	66.67MHz		単位	参照図
		min	max		
アドレス遅延時間 1	t_{AD1}	1	12	ns	25.16~25.38
アドレス遅延時間 2	t_{AD2}	—	$1/2t_{cyc}+12$	ns	25.21
アドレスセットアップ時間	t_{AS}	0	—	ns	25.16~25.19
アドレスホールド時間	t_{AH}	0	—	ns	25.16~25.19
BS 遅延時間	t_{BSD}	—	10	ns	25.16~25.35
CS 遅延時間 1	t_{CSD1}	1	10	ns	25.16~25.38
リードライト遅延時間 1	t_{RWD1}	1	10	ns	25.16~25.38
リードストロブ遅延時間	t_{RSD}	—	$1/2t_{cyc}+10$	ns	25.16~25.21
リードデータセットアップ時間 1	t_{RDS1}	$1/2t_{cyc}+6$	—	ns	25.16~25.20
リードデータセットアップ時間 2	t_{RDS2}	6	—	ns	25.22~25.25、25.30~25.32
リードデータセットアップ時間 3	t_{RDS3}	$1/2t_{cyc}+6$	—	ns	25.21
リードデータホールド時間 1	t_{RDH1}	0	—	ns	25.16~25.20
リードデータホールド時間 2	t_{RDH2}	2	—	ns	25.22~25.25、25.30~25.32
リードデータホールド時間 3	t_{RDH3}	0	—	ns	25.21
ライトイネーブル遅延時間 1	t_{WED}	—	$1/2t_{cyc}+10$	ns	25.16~25.21
ライトデータ遅延時間 1	t_{WDD1}	—	12	ns	25.16~25.20
ライトデータ遅延時間 2	t_{WDD2}	—	12	ns	25.26~25.29、25.33~25.35
ライトデータホールド時間 1	t_{WDH1}	1	—	ns	25.16~25.20
ライトデータホールド時間 2	t_{WDH2}	1	—	ns	25.26~25.29、25.33~25.35
ライトデータホールド時間 4	t_{WDH4}	0	—	ns	25.16~25.19
WAIT セットアップ時間	t_{WTS}	$1/2t_{cyc}+6$	—	ns	25.17~25.21
WAIT ホールド時間	t_{WTH}	$1/2t_{cyc}+2$	—	ns	25.17~25.21
RAS 遅延時間 1	t_{RASD1}	1	10	ns	25.22~25.38
CAS 遅延時間 1	t_{CASD1}	1	10	ns	25.22~25.38
DQM 遅延時間 1	t_{DQMD1}	1	10	ns	25.22~25.35
CKE 遅延時間 1	t_{CKED1}	1	10	ns	25.37
AH 遅延時間	t_{AHD}	$1/2t_{cyc}$	$1/2t_{cyc}+10$	ns	25.20
マルチプレクスアドレス遅延時間	t_{MAD}	—	12	ns	25.20
マルチプレクスアドレスホールド時間	t_{MAH}	0	—	ns	25.20
DACK 遅延時間	t_{DACD}	—	10	ns	25.16~25.35

25.3.4 基本タイミング

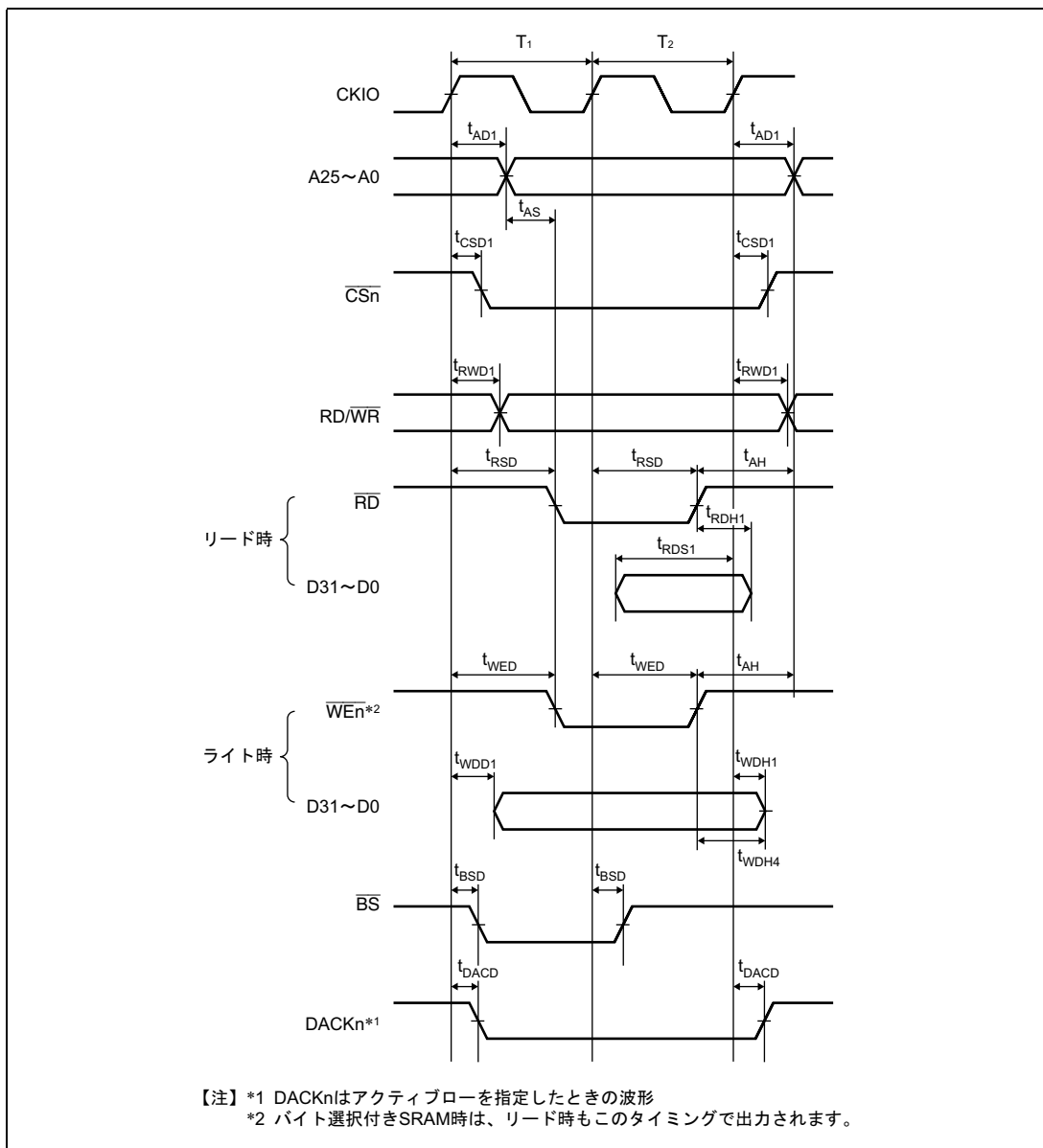


図 25.16 基本バスサイクル（ノーウェイト）

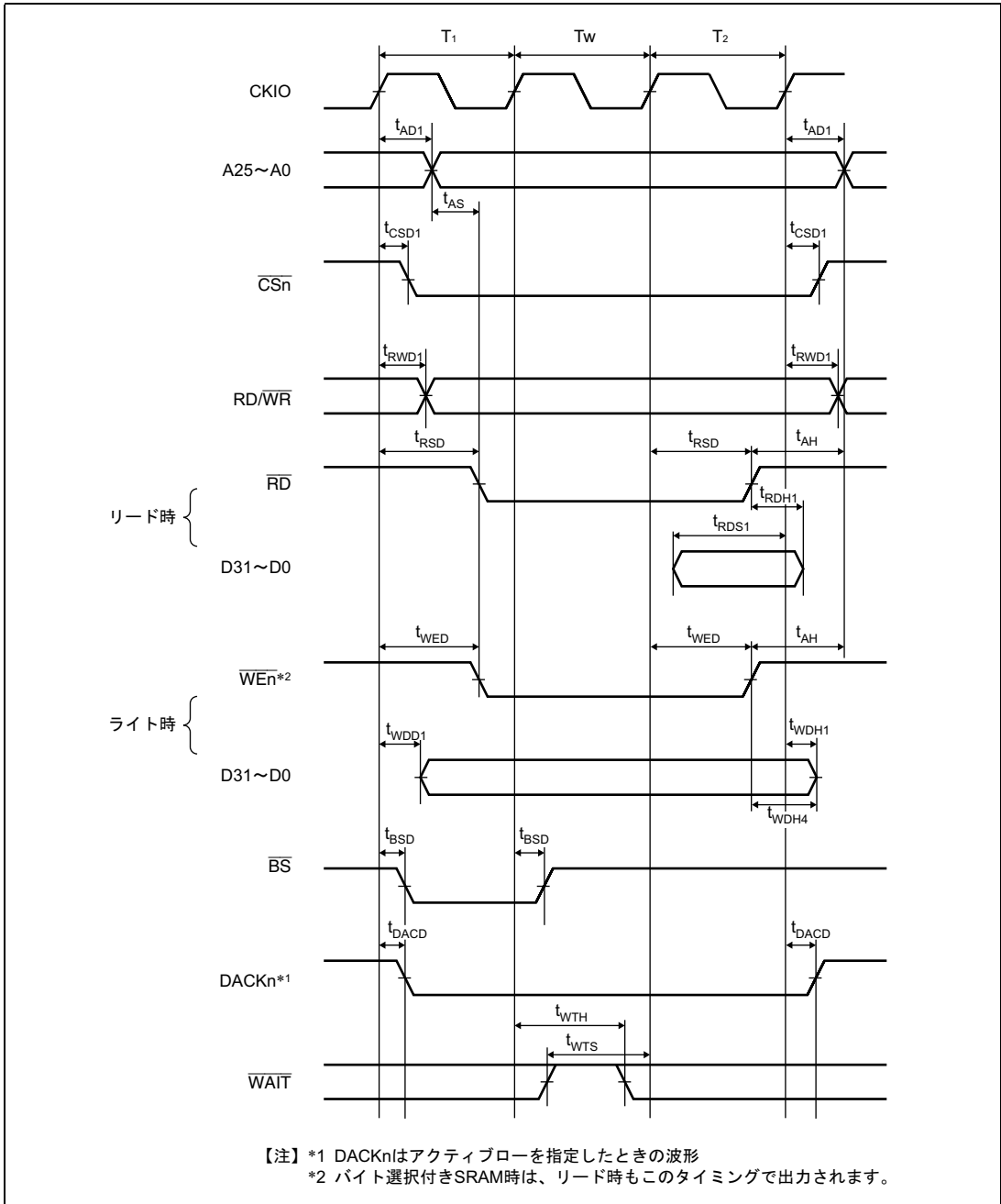


図 25.17 基本バスサイクル (ソフトウェアウェイト 1)

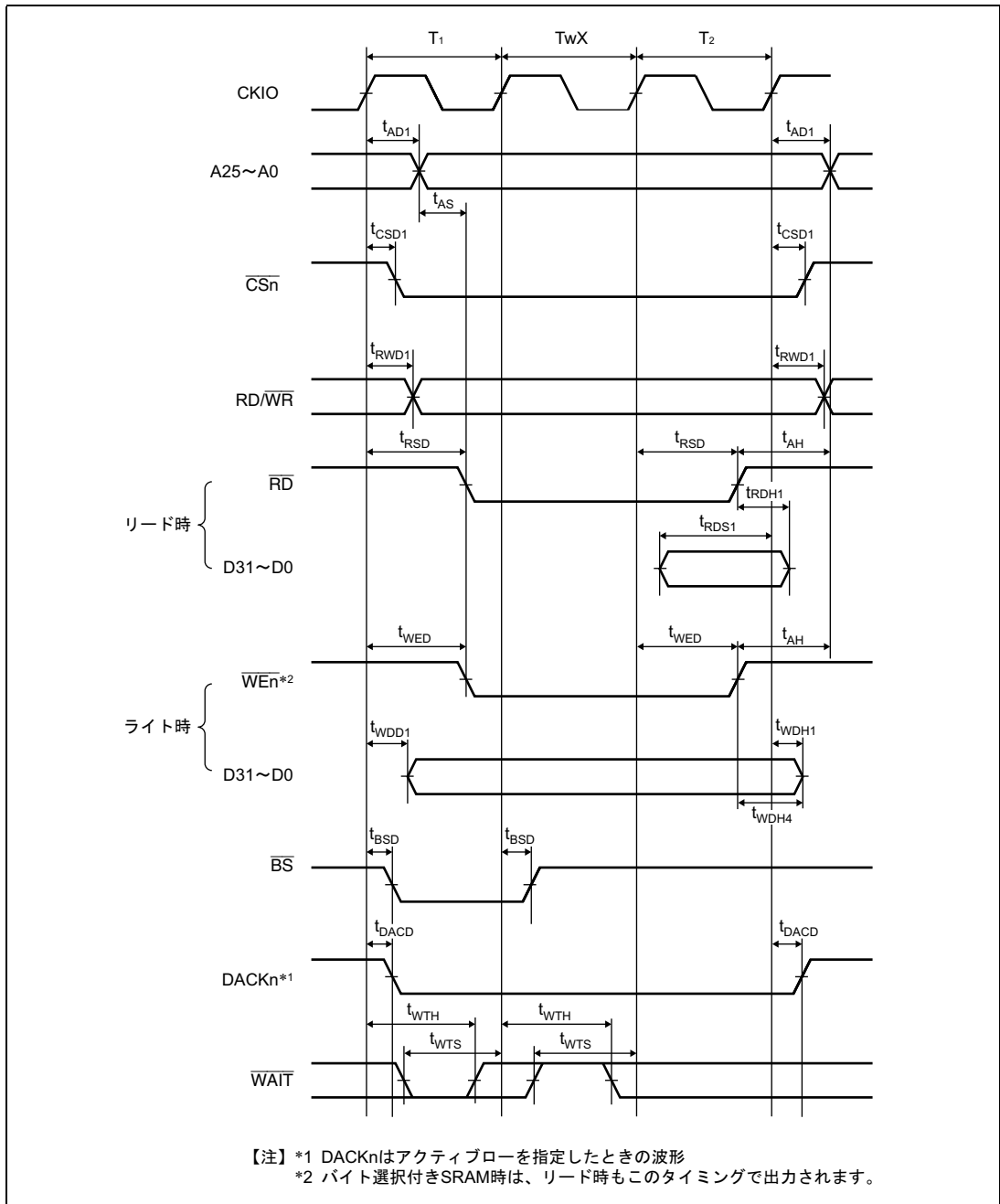


図 25.18 基本バスサイクル (外部ウェイト 1 挿入)

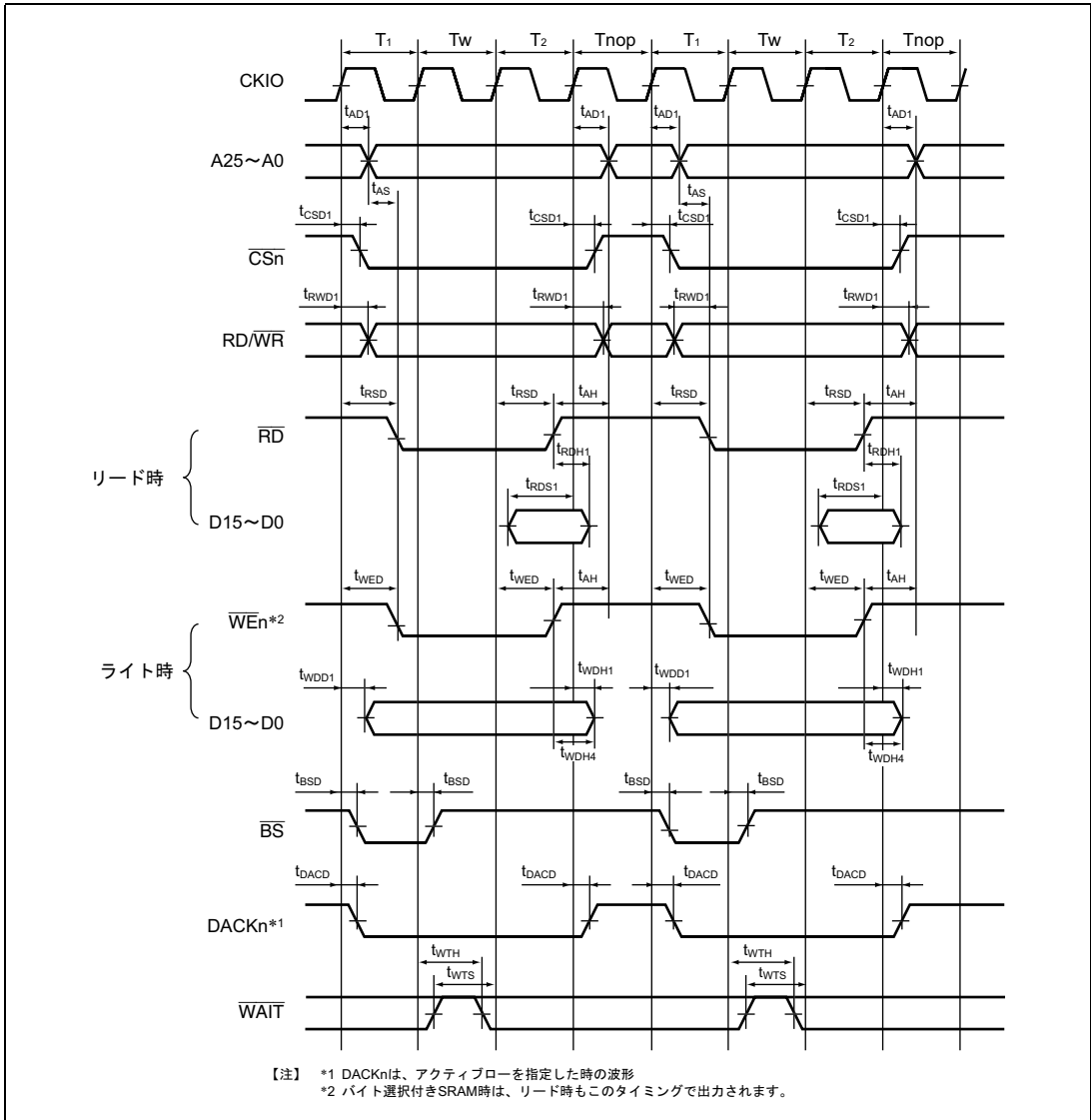


図 25.19 基本バスサイクル (ソフトウェアウェイト1、外部ウェイト有効 (WMビット=0)、アイドルサイクルなし設定)

25. 電氣的特性

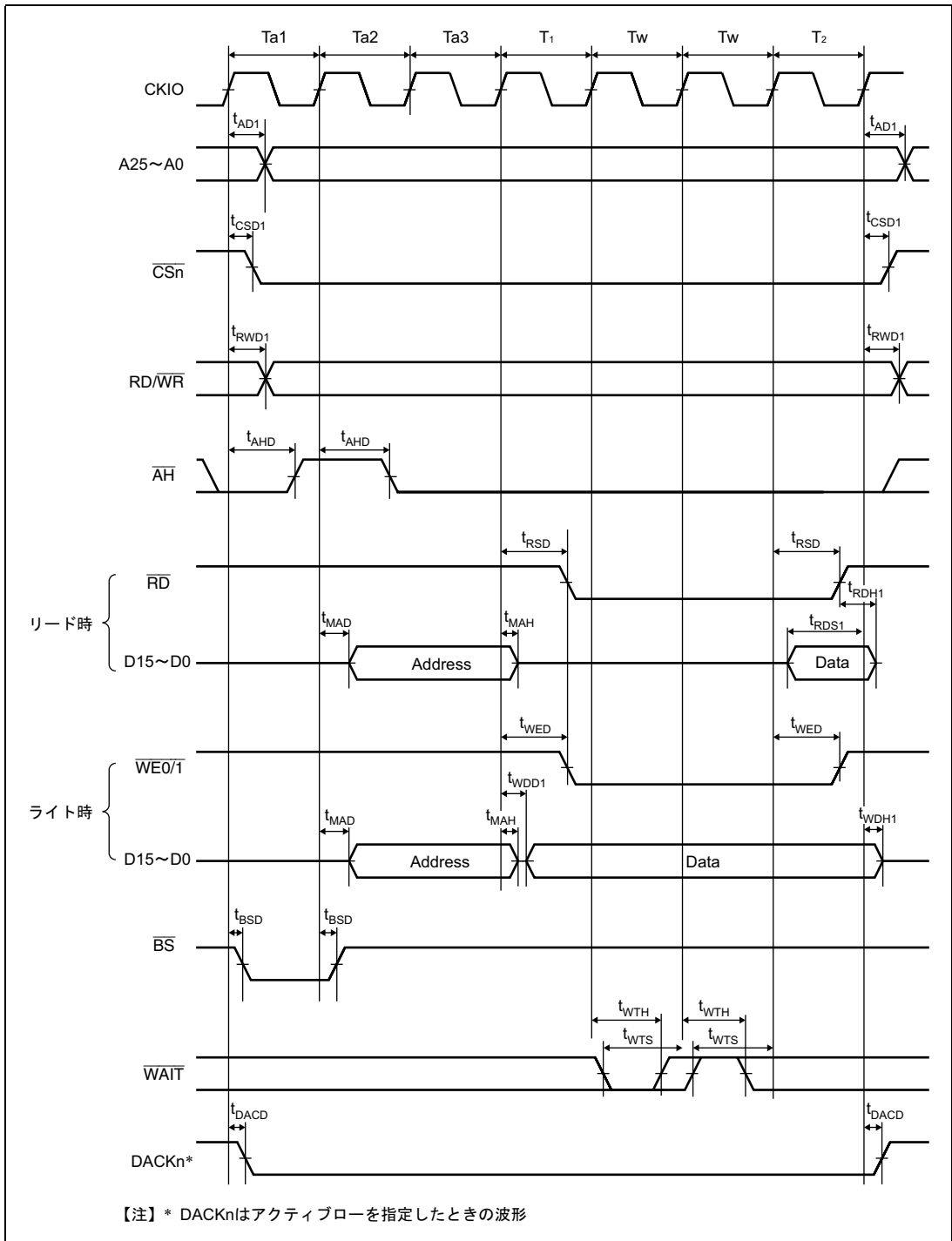


図 25.20 アドレス/データマルチプレクス I/O バスサイクル
(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)

25.3.5 バーストROM タイミング

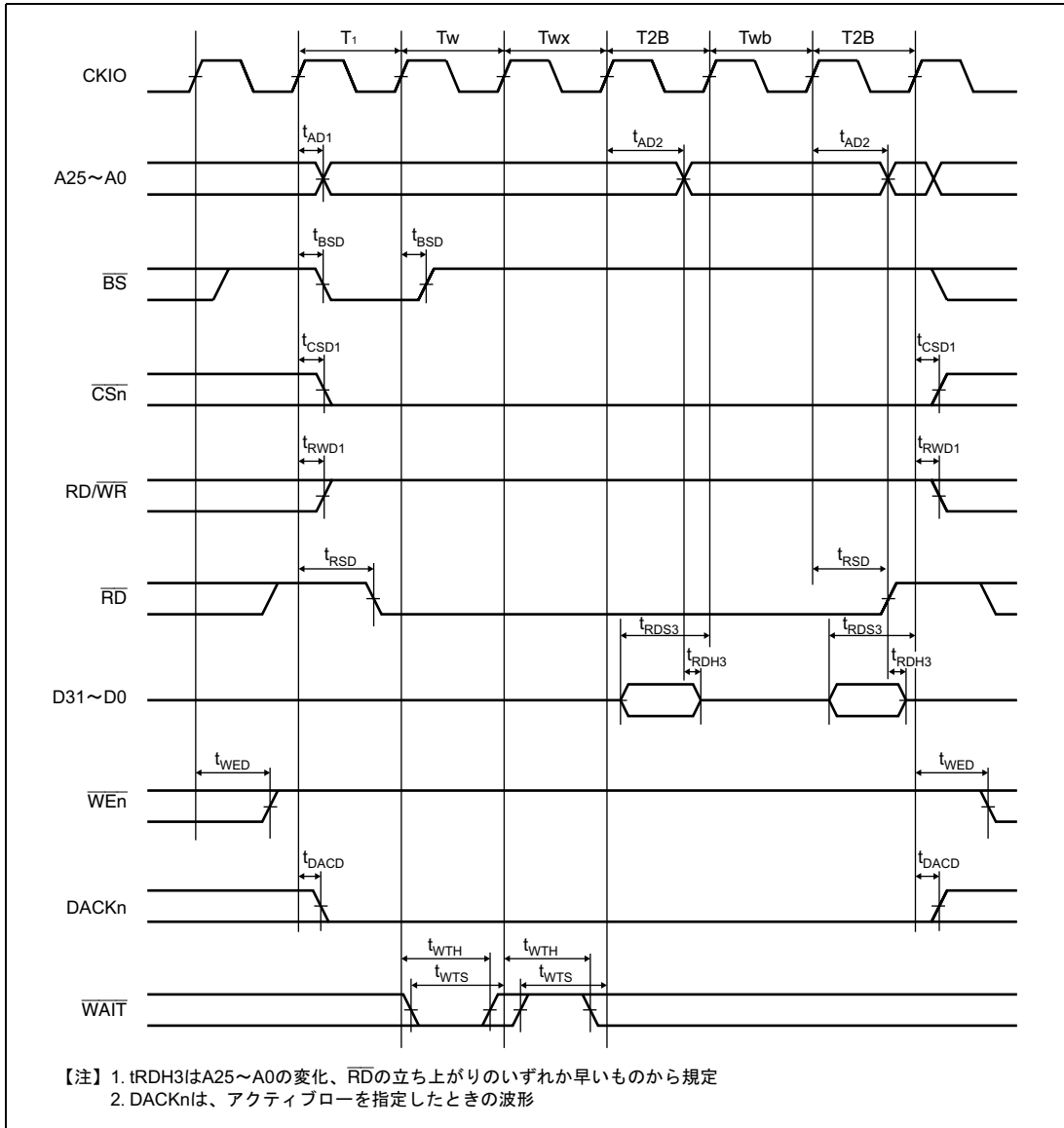


図 25.21 バーストROM 読み出しサイクル
(1 アクセスウェイト、1 外部ウェイト、1 バーストウェイト、2 バースト)

25.3.6 シンクロナス DRAM タイミング

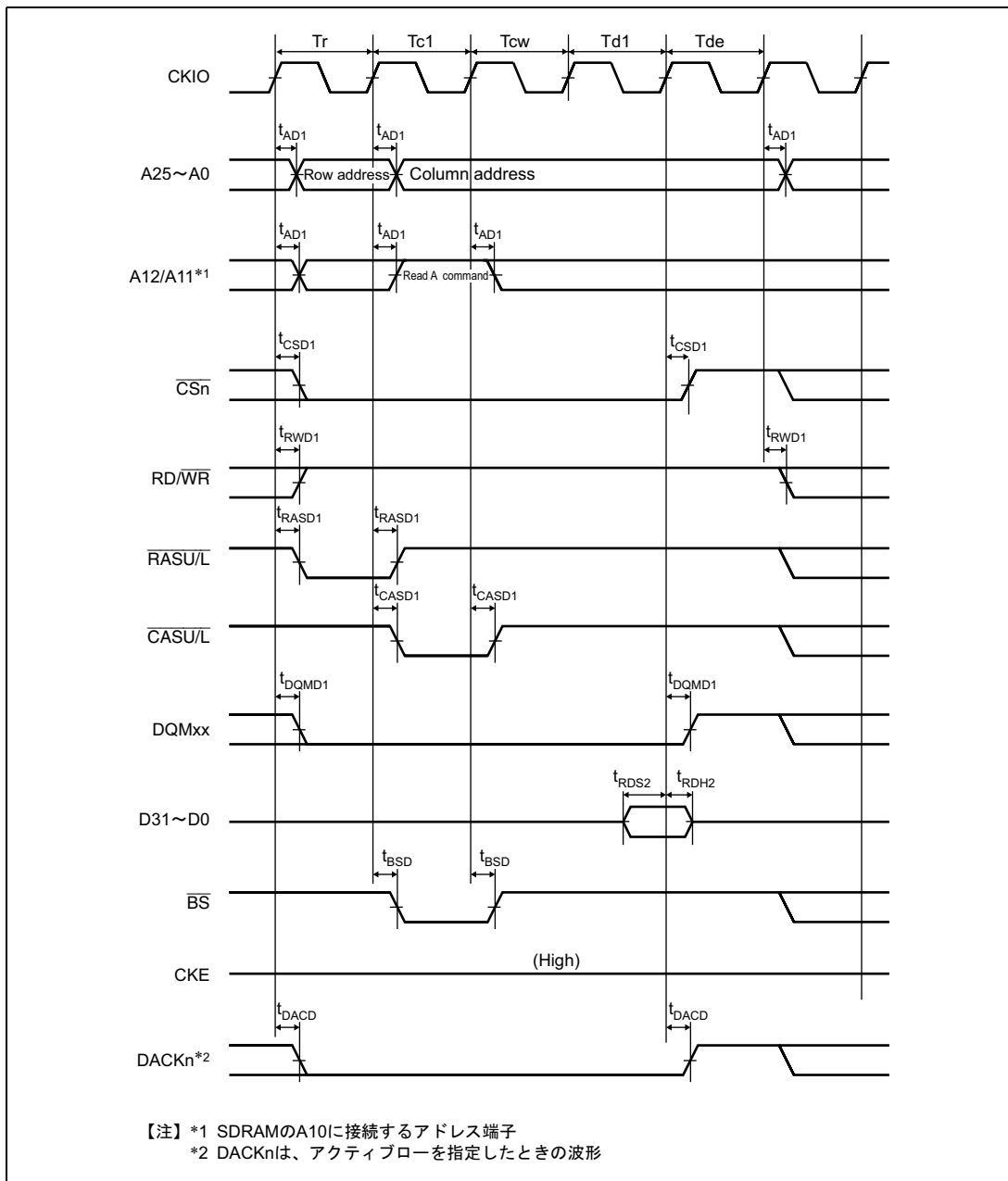


図 25.22 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、TRCD=1 サイクル、TRP=1 サイクル)

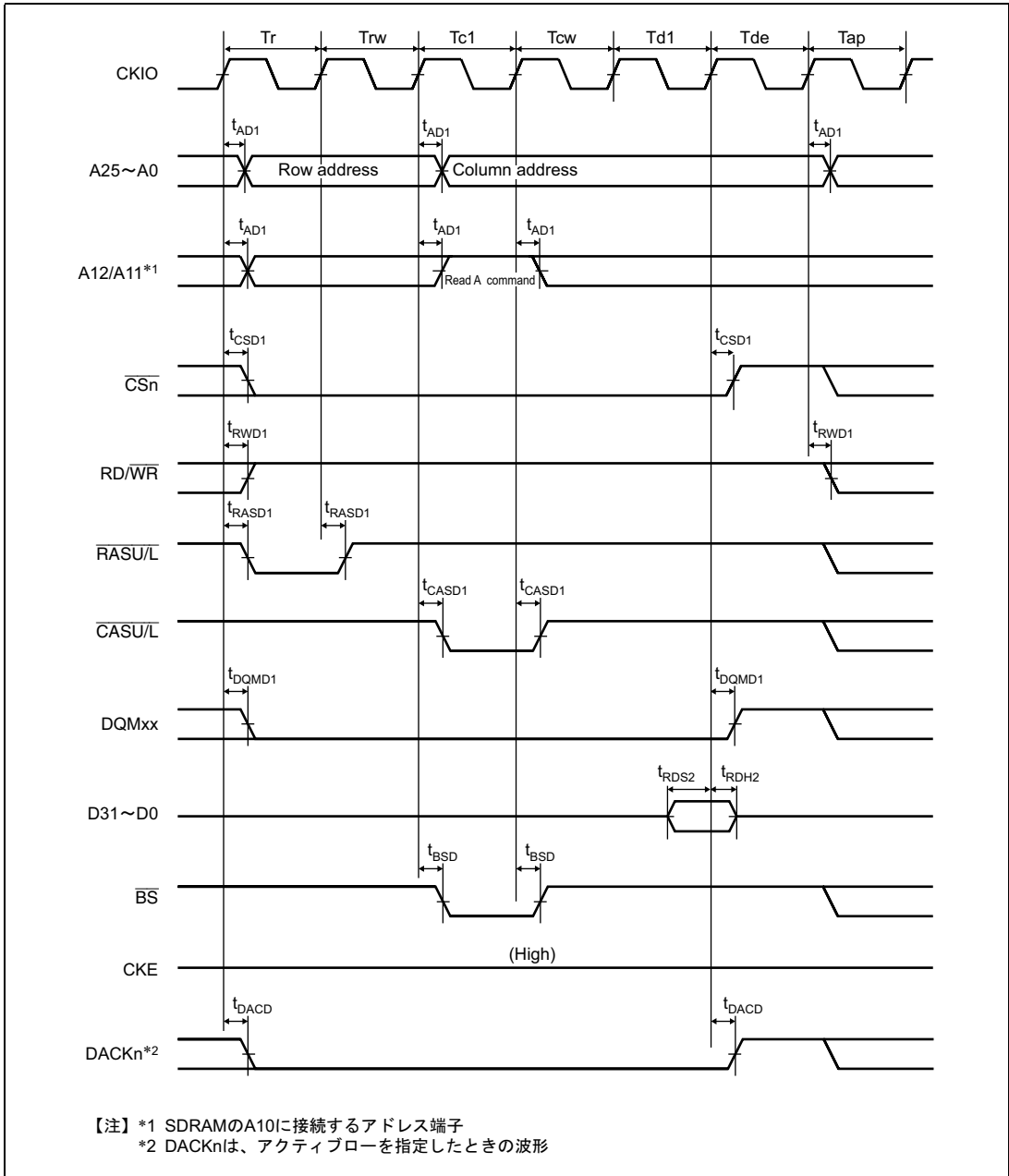


図 25.23 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、TRCD=2 サイクル、TRP=2 サイクル)

25. 電気的特性

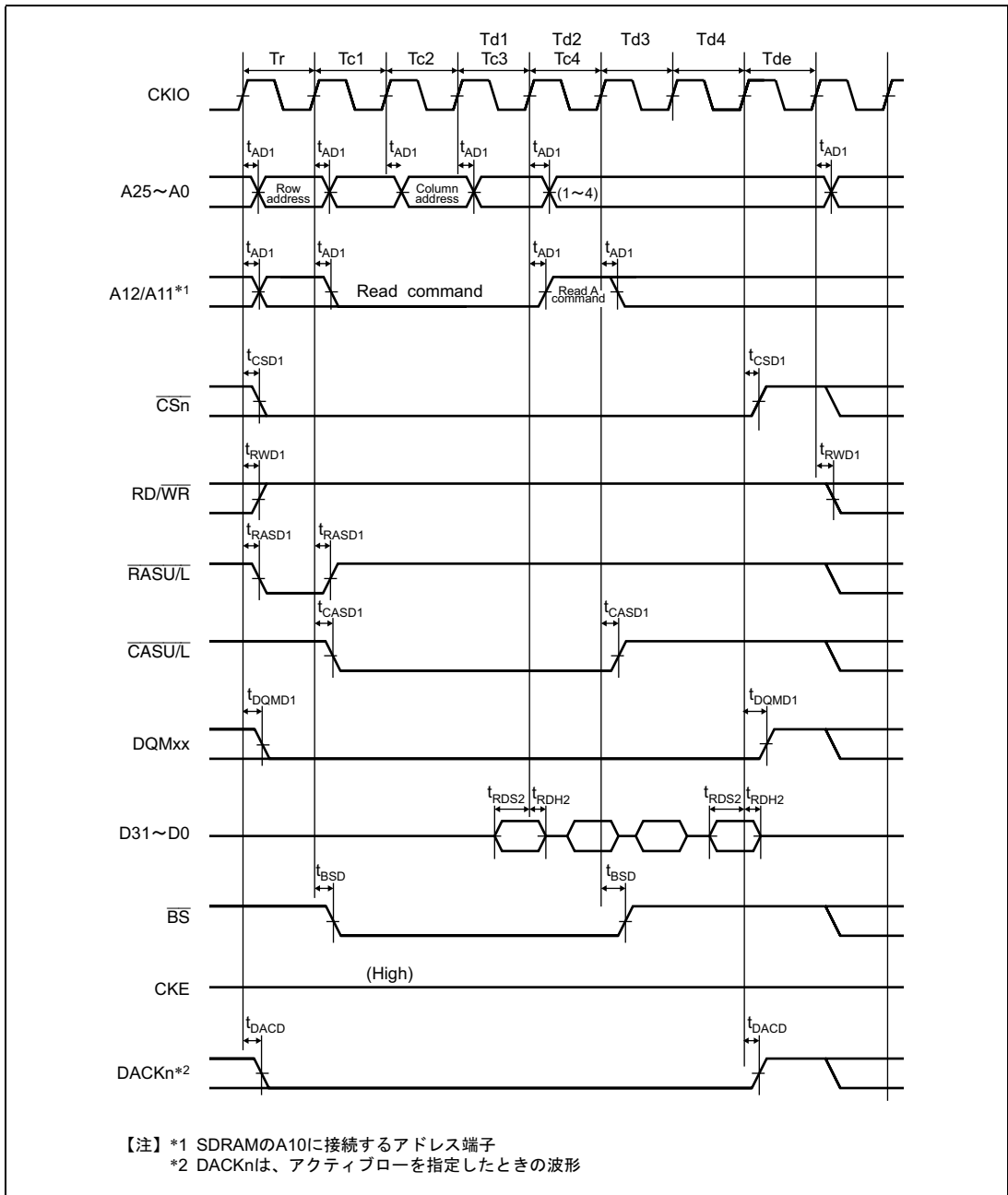


図 25.24 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
(オートプリチャージあり、CAS レイテンシ 2、TRCD=1 サイクル、TRP=2 サイクル)

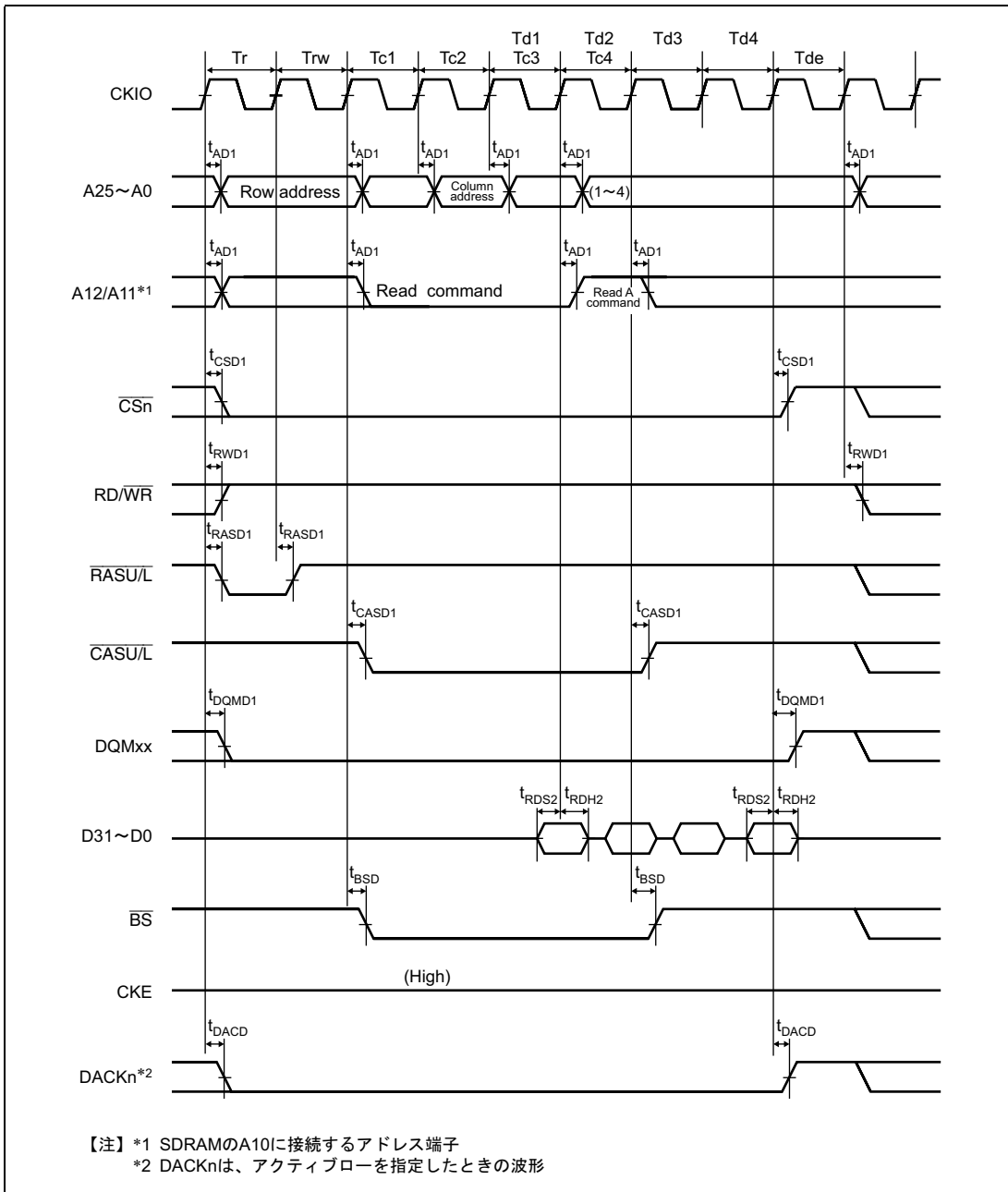


図 25.25 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
(オートプリチャージあり、CAS レイテンシ 2、TRCD=2 サイクル、TRP=1 サイクル)

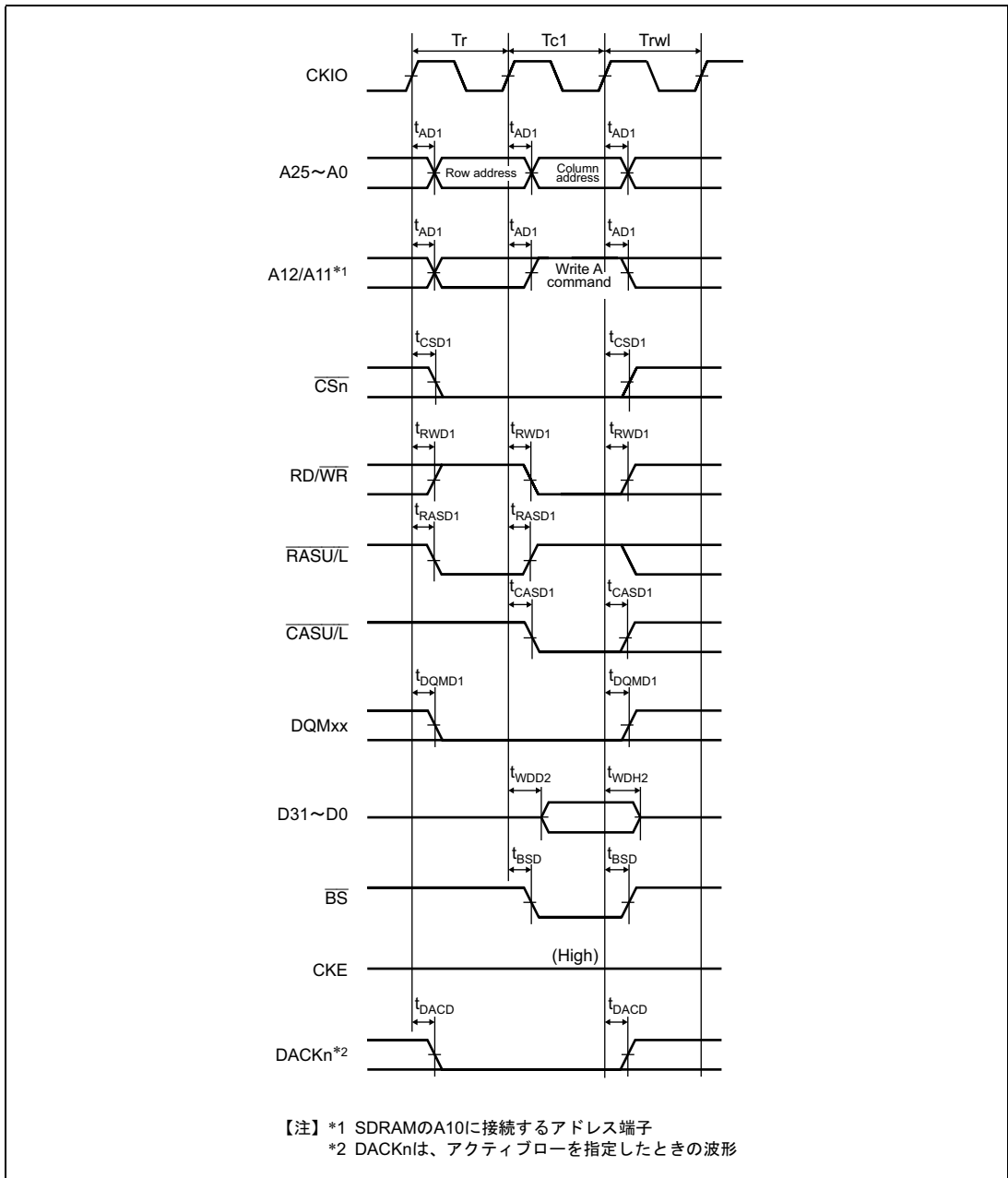


図 25.26 シンクロナス DRAM シングルライトバスサイクル
 (オートプリチャージあり、TRWL=2 サイクル)

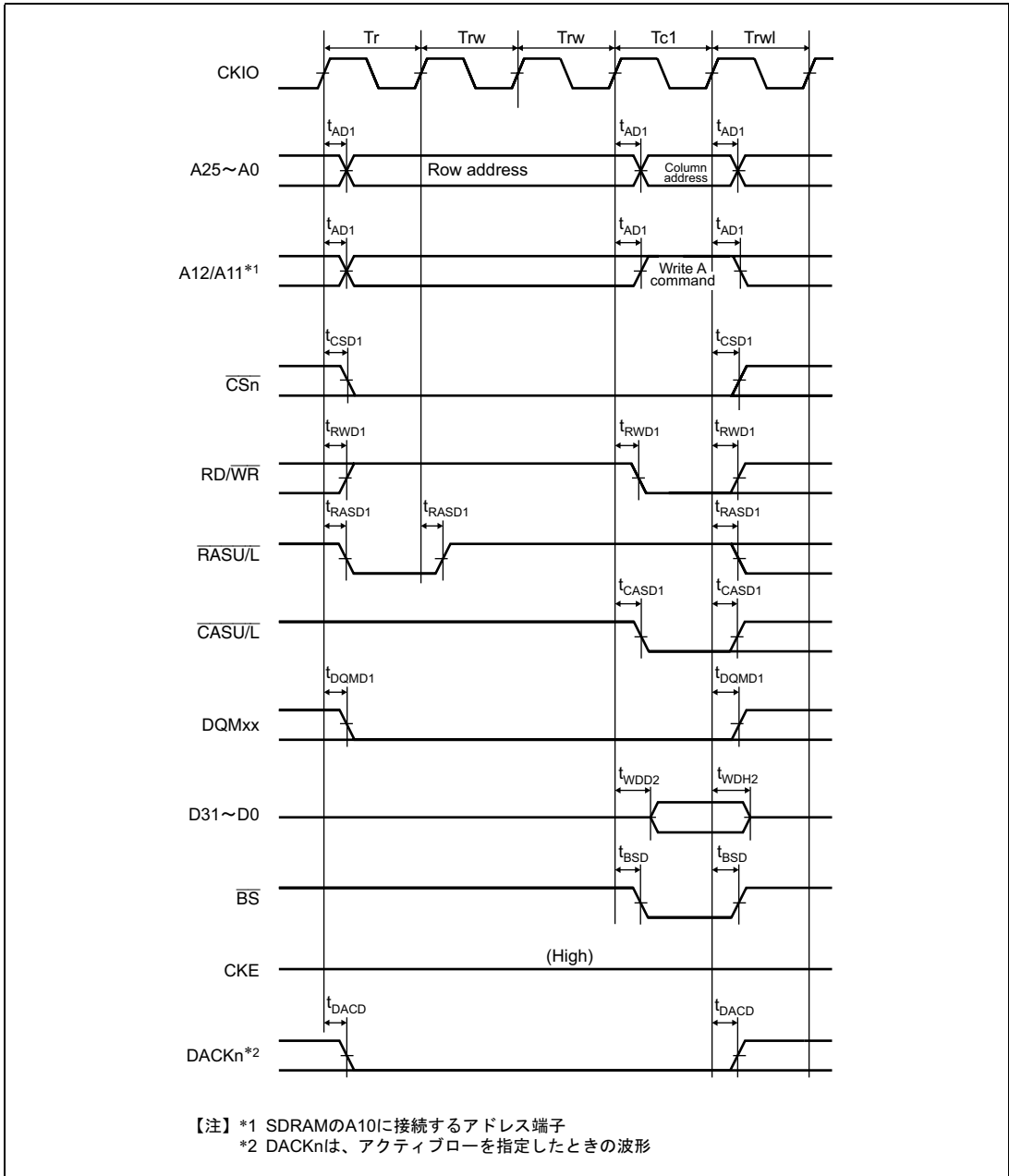


図 25.27 シンクロナス DRAM シングルライトバスサイクル
 (オートプリチャージあり、TRCD=3 サイクル、TRWL=2 サイクル)

25. 電気的特性

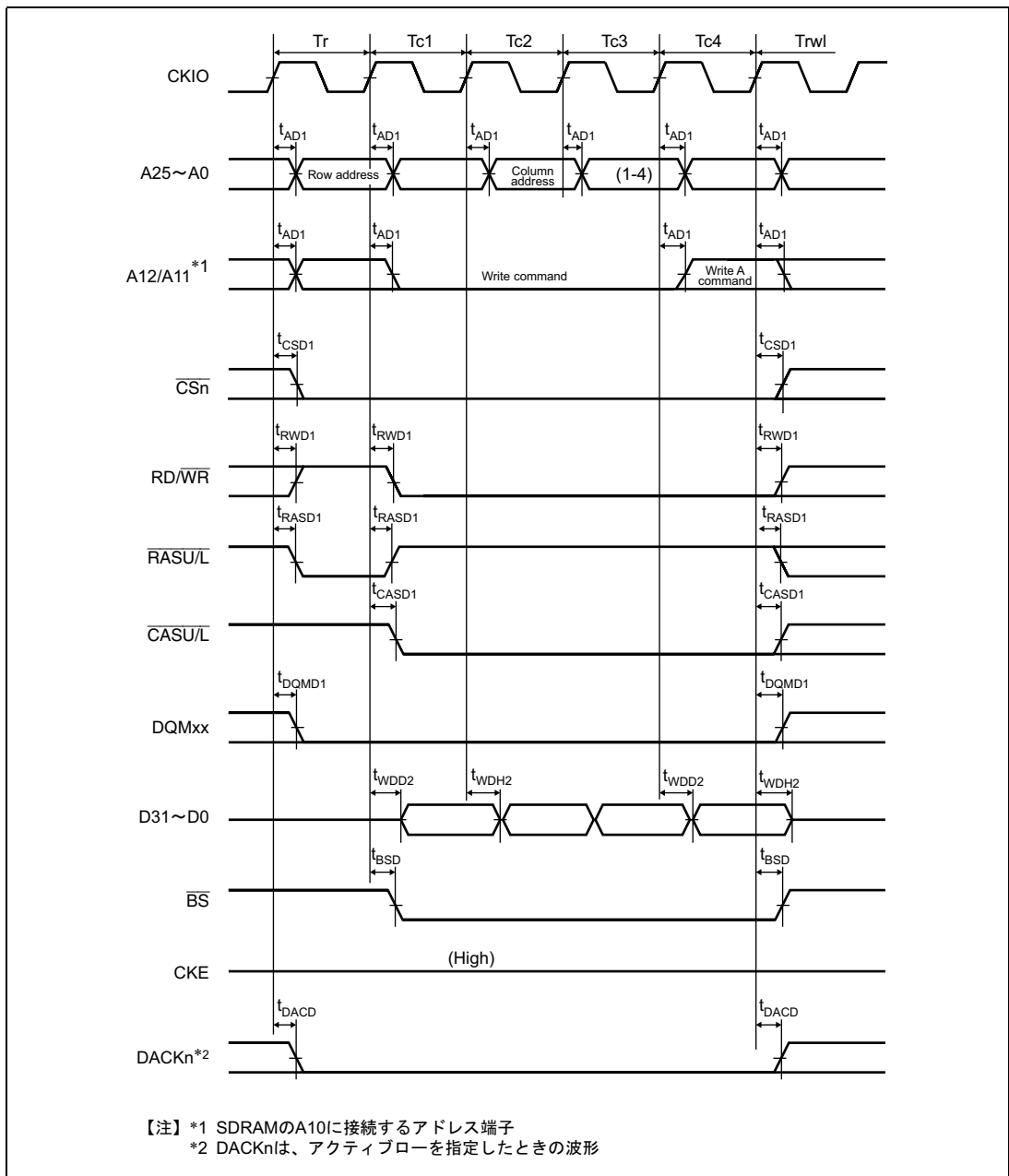


図 25.28 シンクロナス DRAM バーストライトパスサイクル (シングルライト×4)
 (オートプリチャージあり、TRCD=1 サイクル、TRWL=2 サイクル)

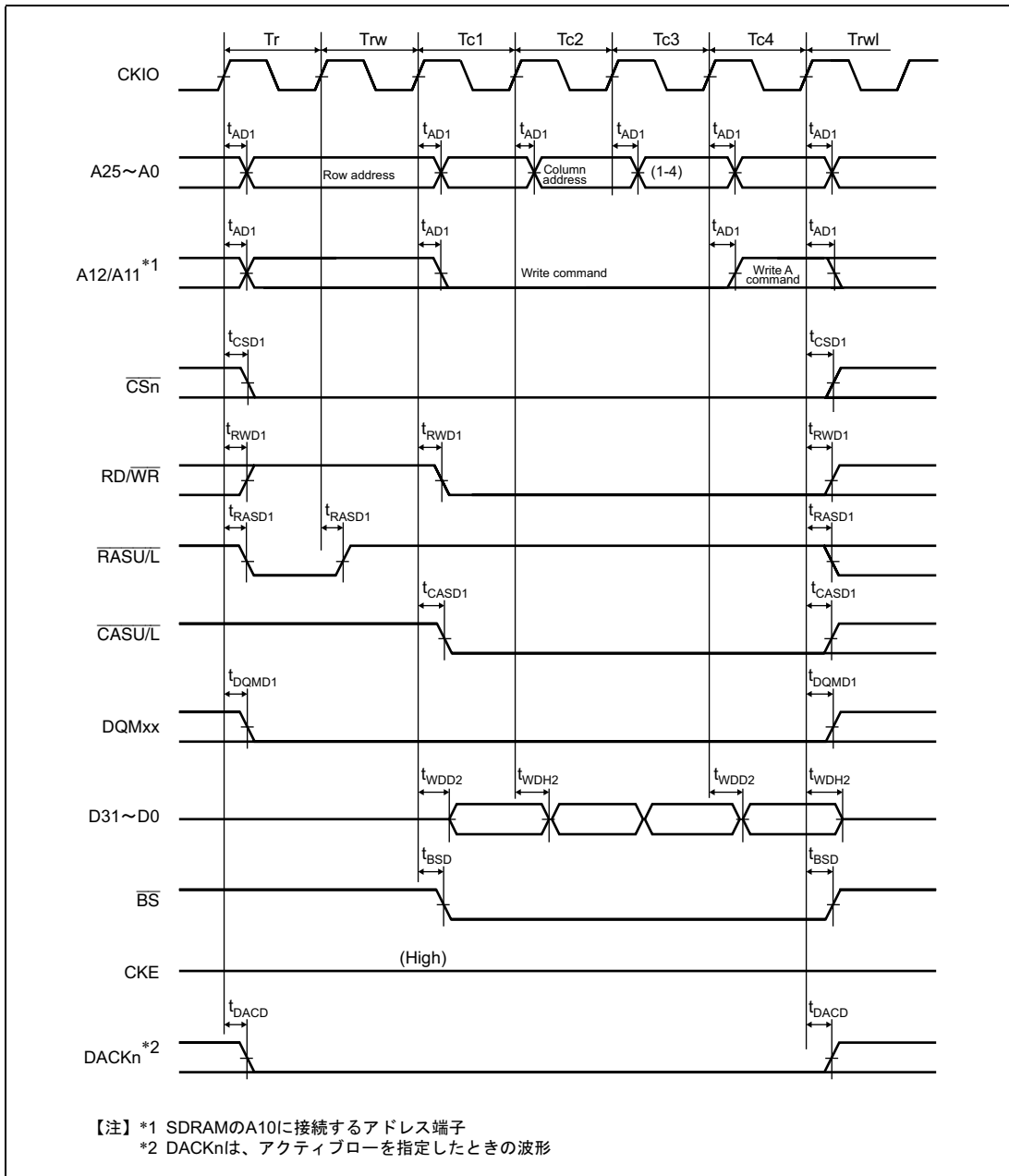


図 25.29 シンクロナス DRAM バーストライトパスサイクル (シングルライト×4)
(オートプリチャージあり、TRCD=2 サイクル、TRWL=2 サイクル)

25. 電気的特性

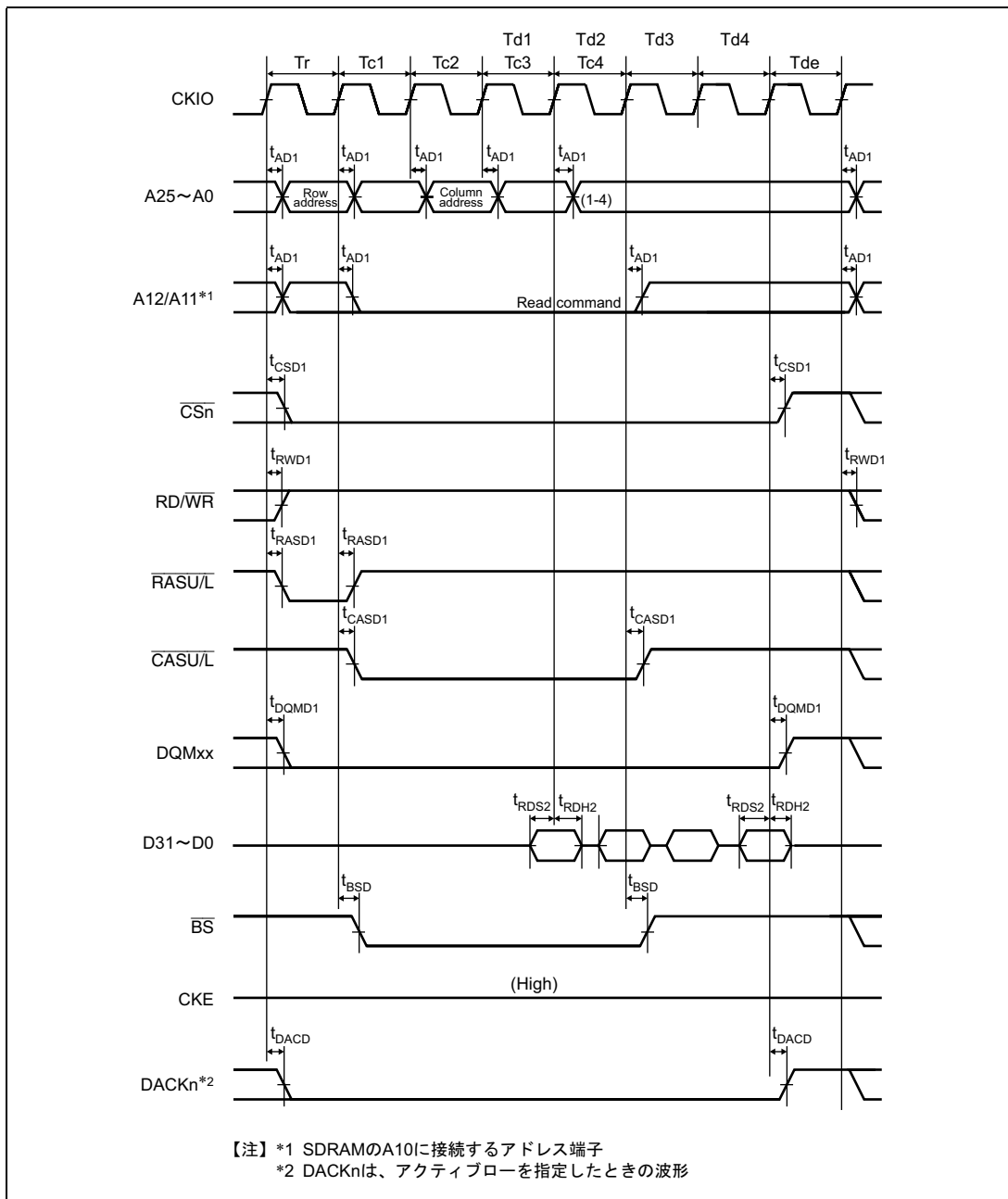


図 25.30 シンクロナス DRAM バーストリードパスサイクル (シングルリード×4)
(バンクアクティブモード : ACTV+READ コマンド、CAS レイテンシ 2、TRCD=1 サイクル)

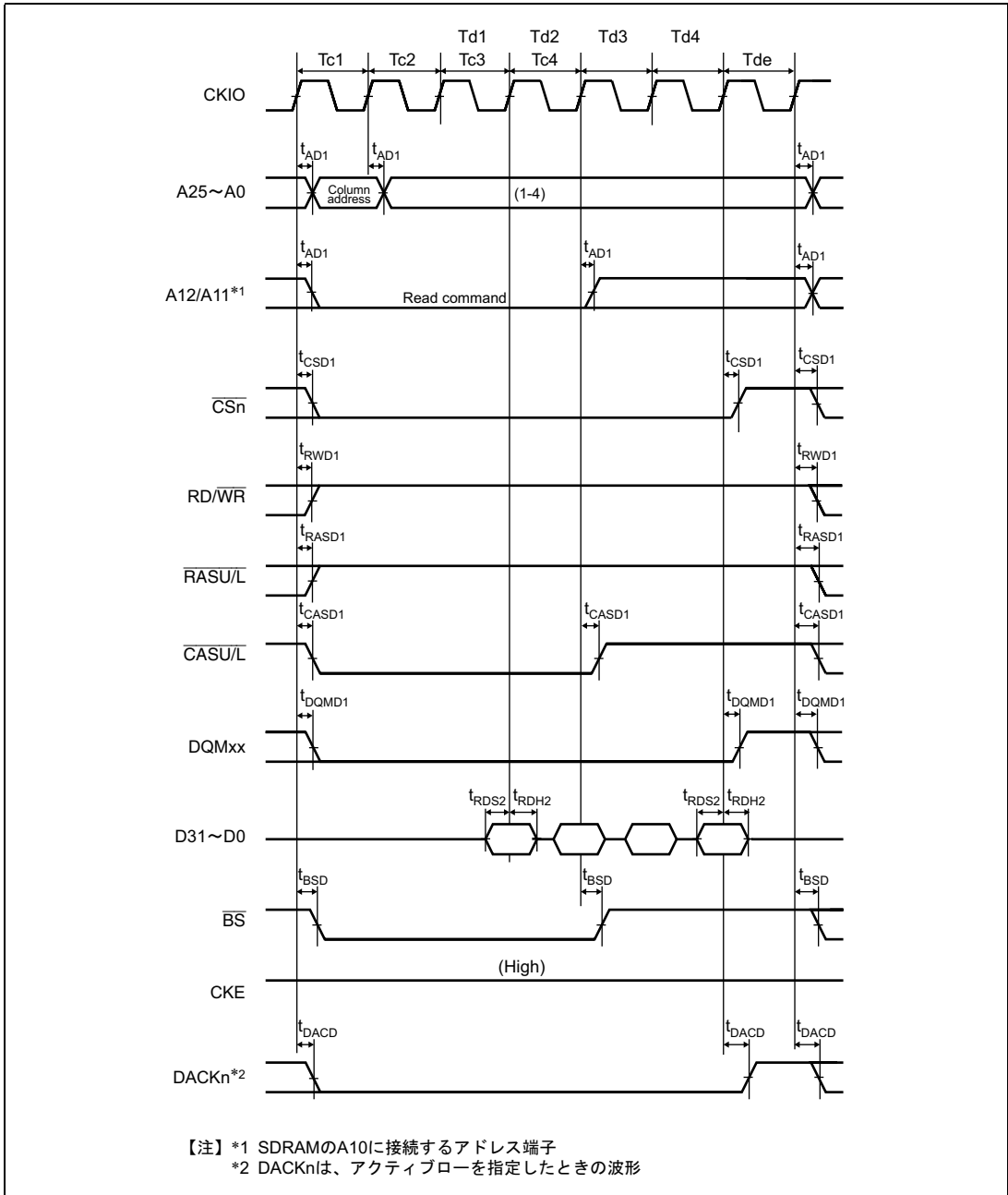


図 25.31 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
(バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、TRCD=1 サイクル)

25. 電気的特性

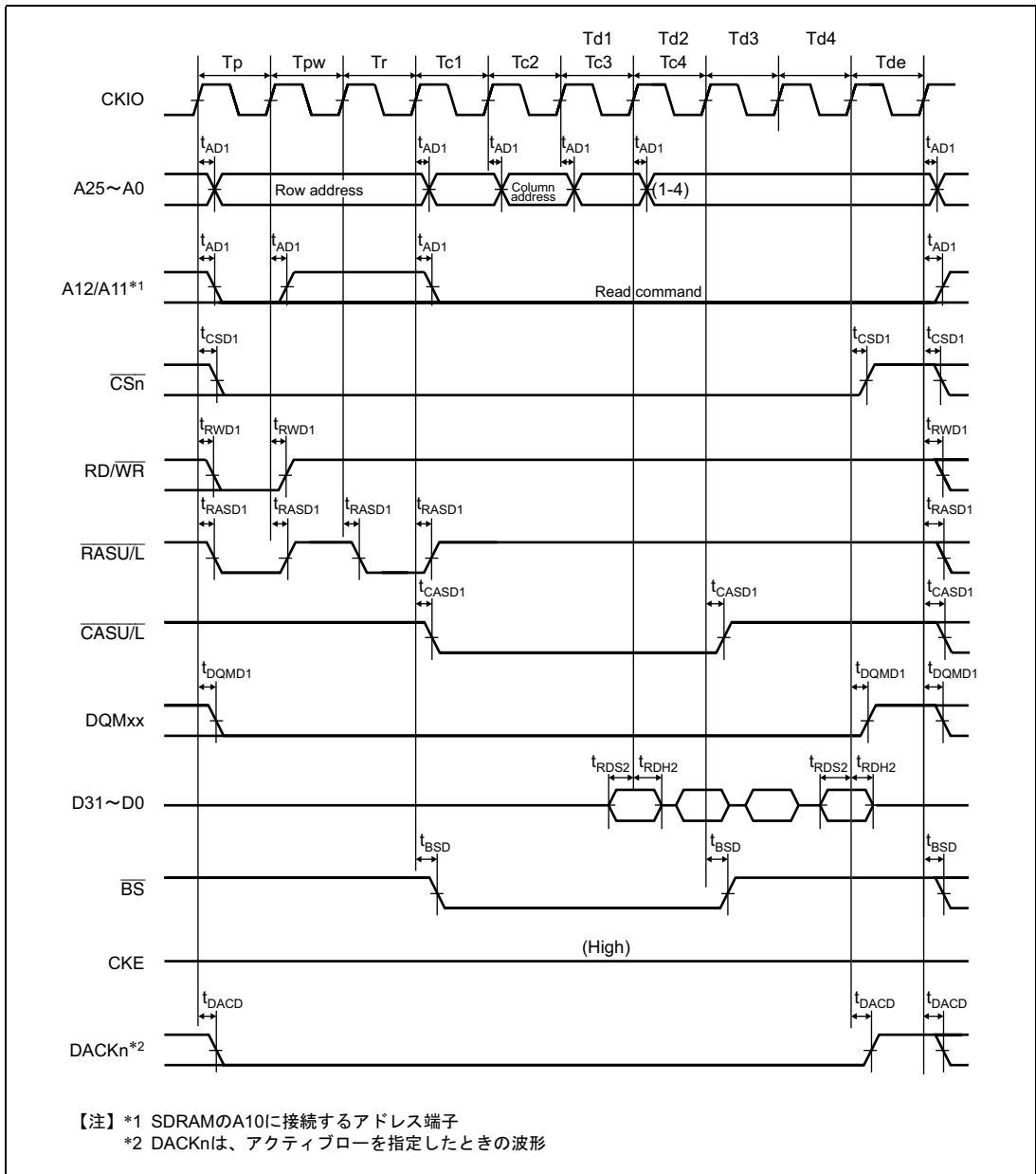


図 25.32 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
 (バンクアクティブモード : PRE+ACTV+READ コマンド、
 異なるロウアドレス、CAS レイテンシ 2、TRCD=1 サイクル)

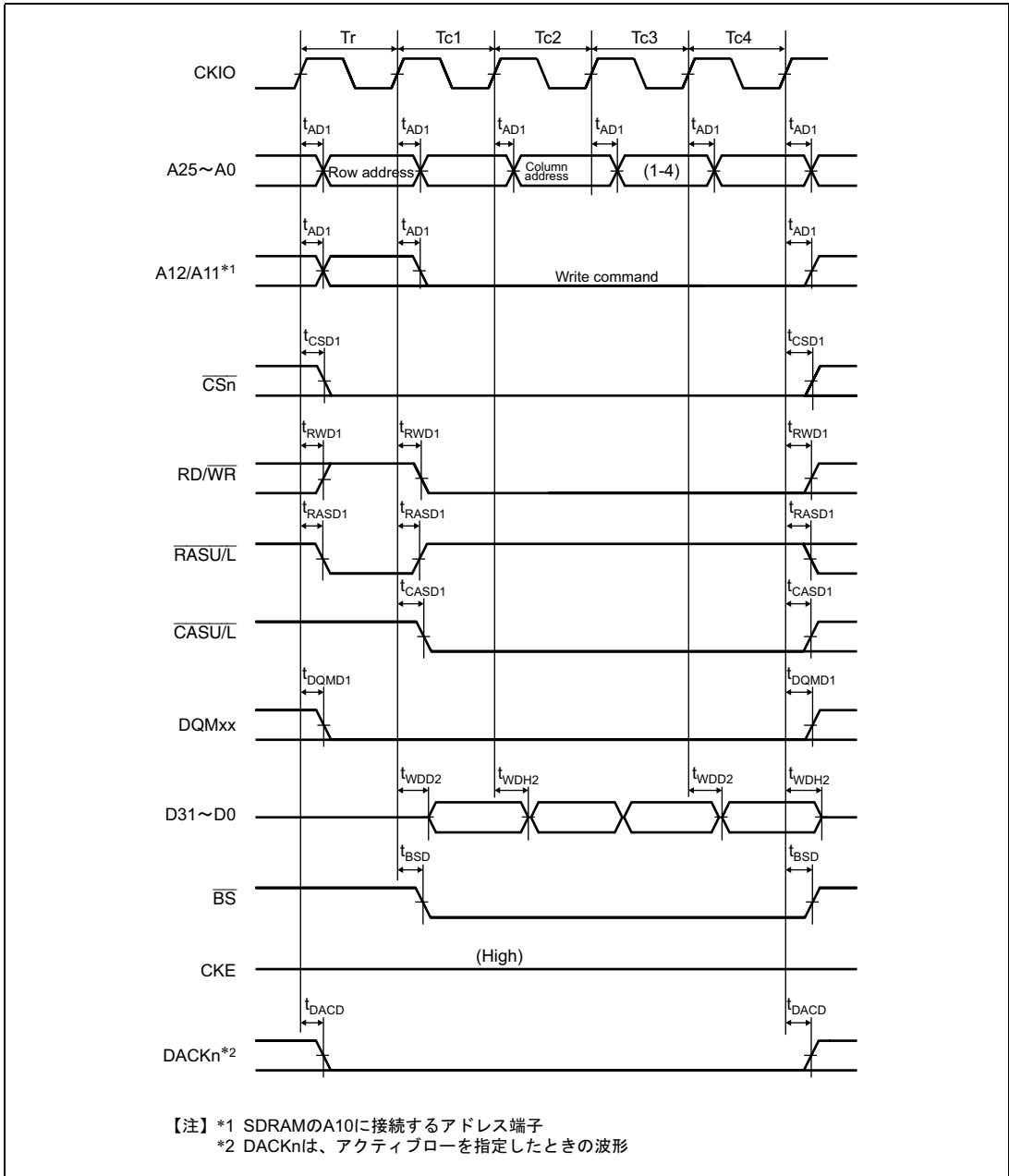


図 25.33 シンクロナス DRAM パーストライトバスサイクル (シングルライト×4)
 (バンクアクティブモード: ACTV+WRITE コマンド、TRCD=1 サイクル、TRWL=1 サイクル)

25. 電気的特性

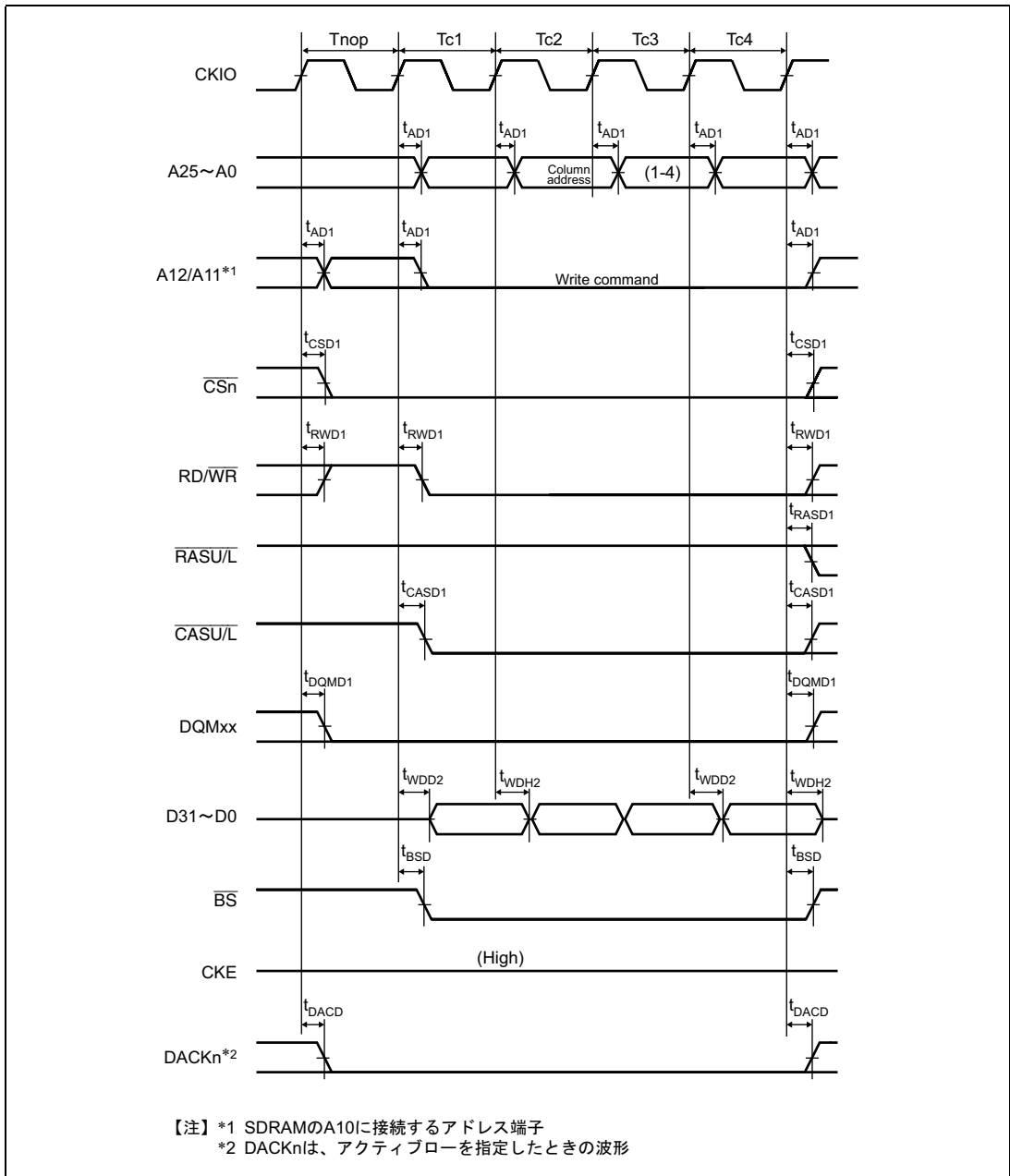


図 25.34 シンクロナス DRAM パーストライトパスサイクル (シングルライト×4)
(バンクアクティブモード: WRITE コマンド、同一ロウアドレス、TRCD=1 サイクル、TRWL=1 サイクル)

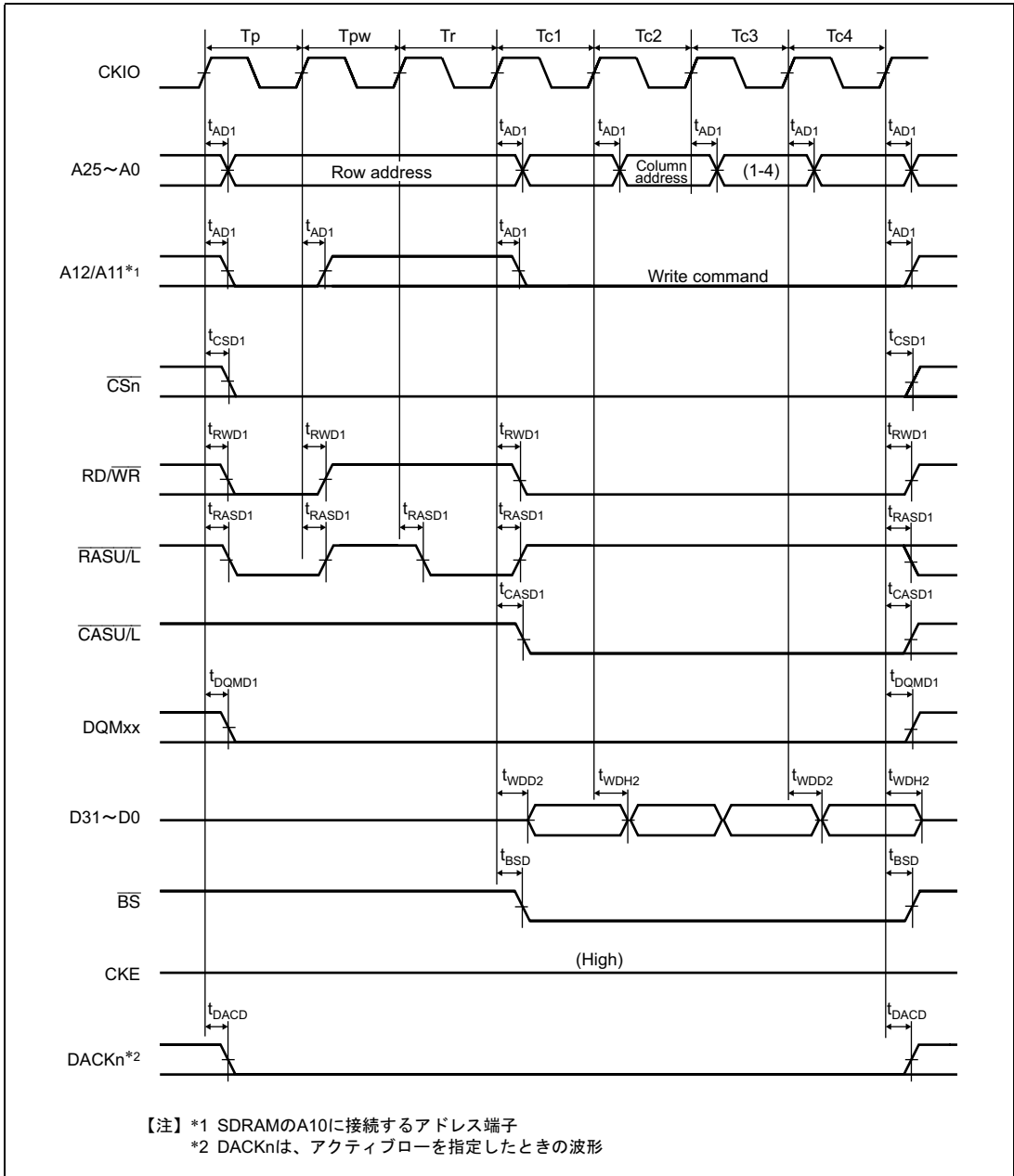


図 25.35 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)
 (バンクアクティブモード : PRE+ACTV+WRITE コマンド、
 異なるロウアドレス、TRCD=1 サイクル、TRWL=1 サイクル)

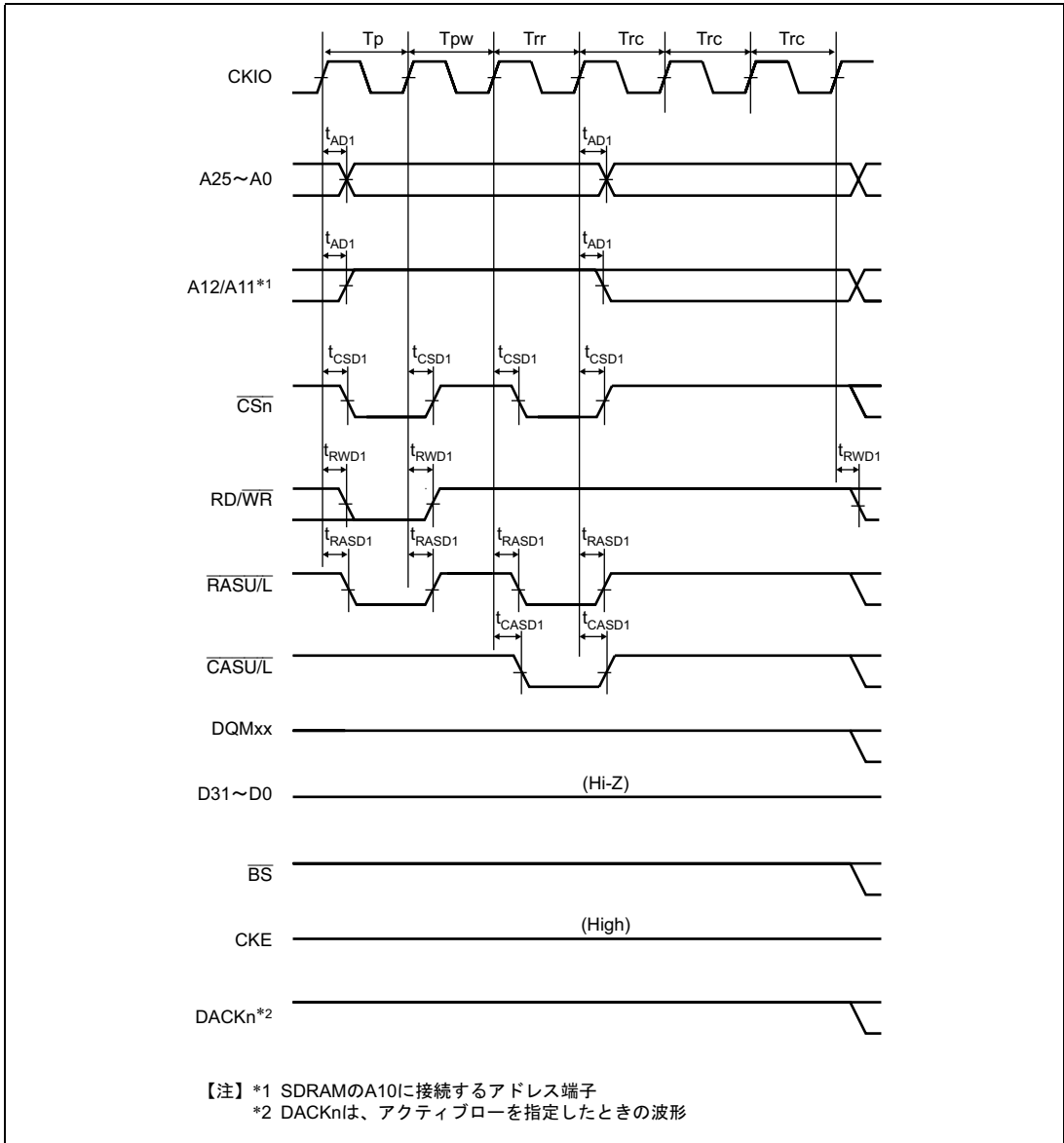


図 25.36 シンクロナス DRAM オートリフレッシュタイミング (TRP=2 サイクル)

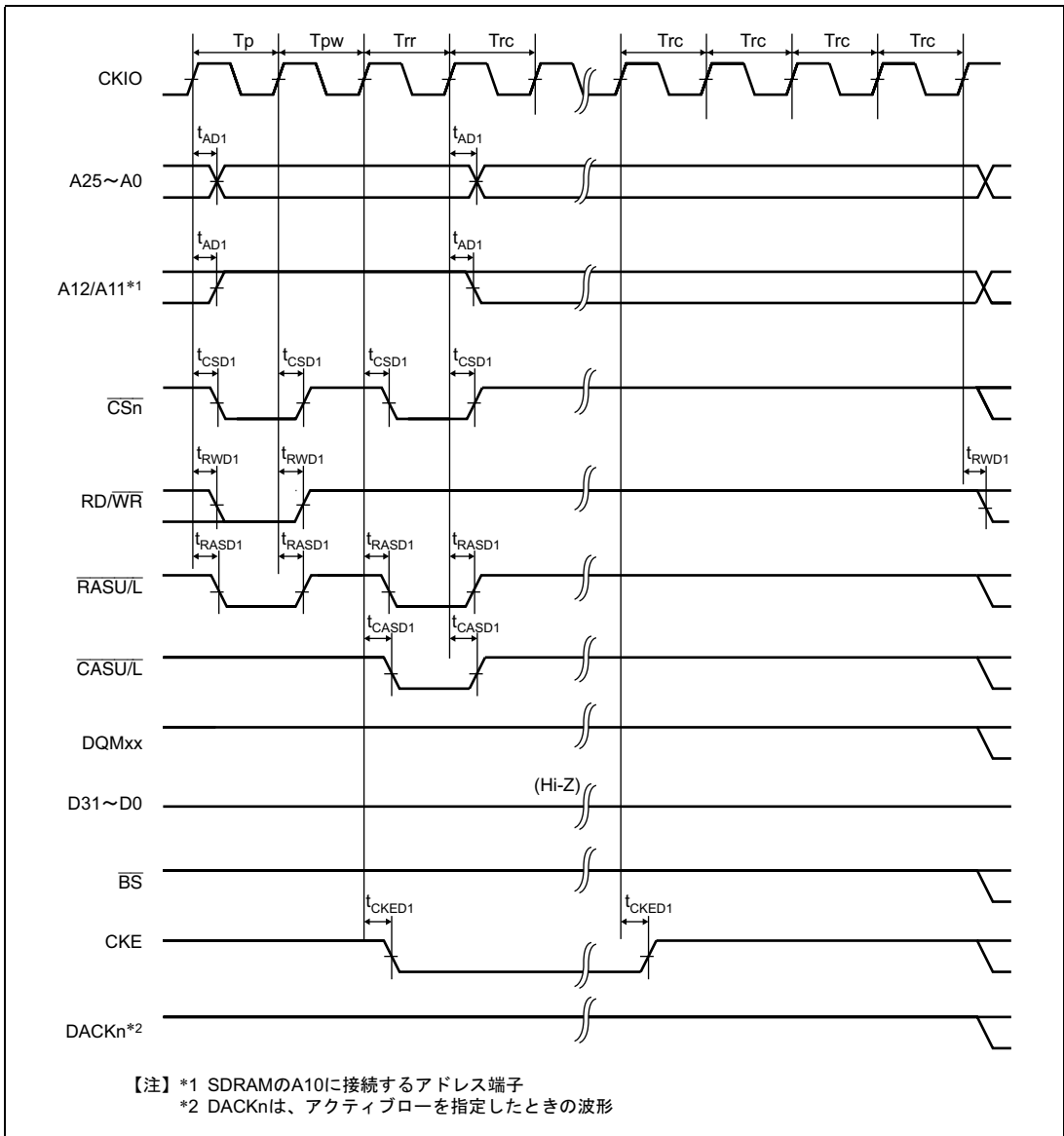


図 25.37 シンクロナス DRAM セルフリフレッシュタイミング (TRP=2 サイクル)

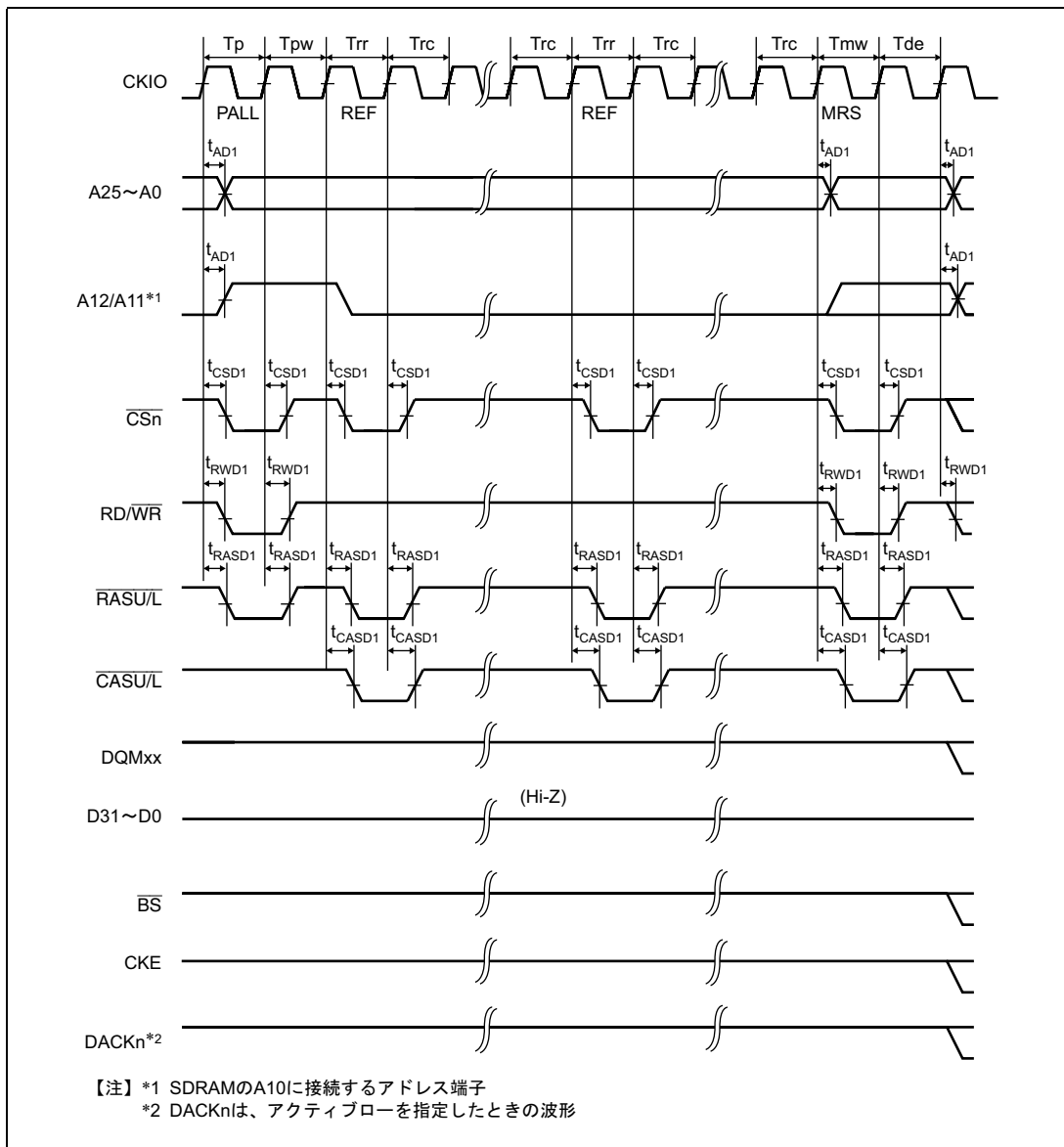


図 25.38 シンクロナス DRAM モードレジスタ書き込みタイミング (TRP=2 サイクル)

表 25.8 バスタイミング (2)

条件 : $V_{CCQ}=V_{CC}-RTC=V_{CC}-USB=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC}-PLL1=V_{CC}-PLL2=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS}-RTC=V_{SS}-USB=V_{SS}-PLL1=V_{SS}-PLL2=AV_{SS}=0V$ 、 $T_a=-20\sim 75^{\circ}C$ 、クロックモード 0/1/2/4/5/6/7

項目	記号	min	max	単位	参照図
アドレス遅延時間 3	t_{AD3}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.39~25.42
CS 遅延時間 2	t_{CSD2}	$1/2t_{cyc}$	$1/2t_{cyc}+10$	ns	25.39~25.42
リードライト遅延時間 2	t_{RWD2}	$1/2t_{cyc}$	$1/2t_{cyc}+10$	ns	25.39~25.42
リードデータセットアップ時間 4	t_{RDS4}	$1/2t_{cyc}+6$	—	ns	25.39
リードデータホールド時間 4	t_{RDH4}	0	—	ns	25.39
ライトデータ遅延時間 3	t_{WDD3}	—	$1/2t_{cyc}+12$	ns	25.39
ライトデータホールド時間 3	t_{WDH3}	$1/2t_{cyc}$	—	ns	25.39
RAS 遅延時間 2	t_{RASD2}	$1/2t_{cyc}$	$1/2t_{cyc}+10$	ns	25.39~25.42
CAS 遅延時間 2	t_{CASD2}	$1/2t_{cyc}$	$1/2t_{cyc}+10$	ns	25.39~25.42
DQM 遅延時間 2	t_{DQMD2}	$1/2t_{cyc}$	$1/2t_{cyc}+10$	ns	25.39
CKE 遅延時間 2	t_{CKED2}	$1/2t_{cyc}$	$1/2t_{cyc}+10$	ns	25.41

25. 電氣的特性

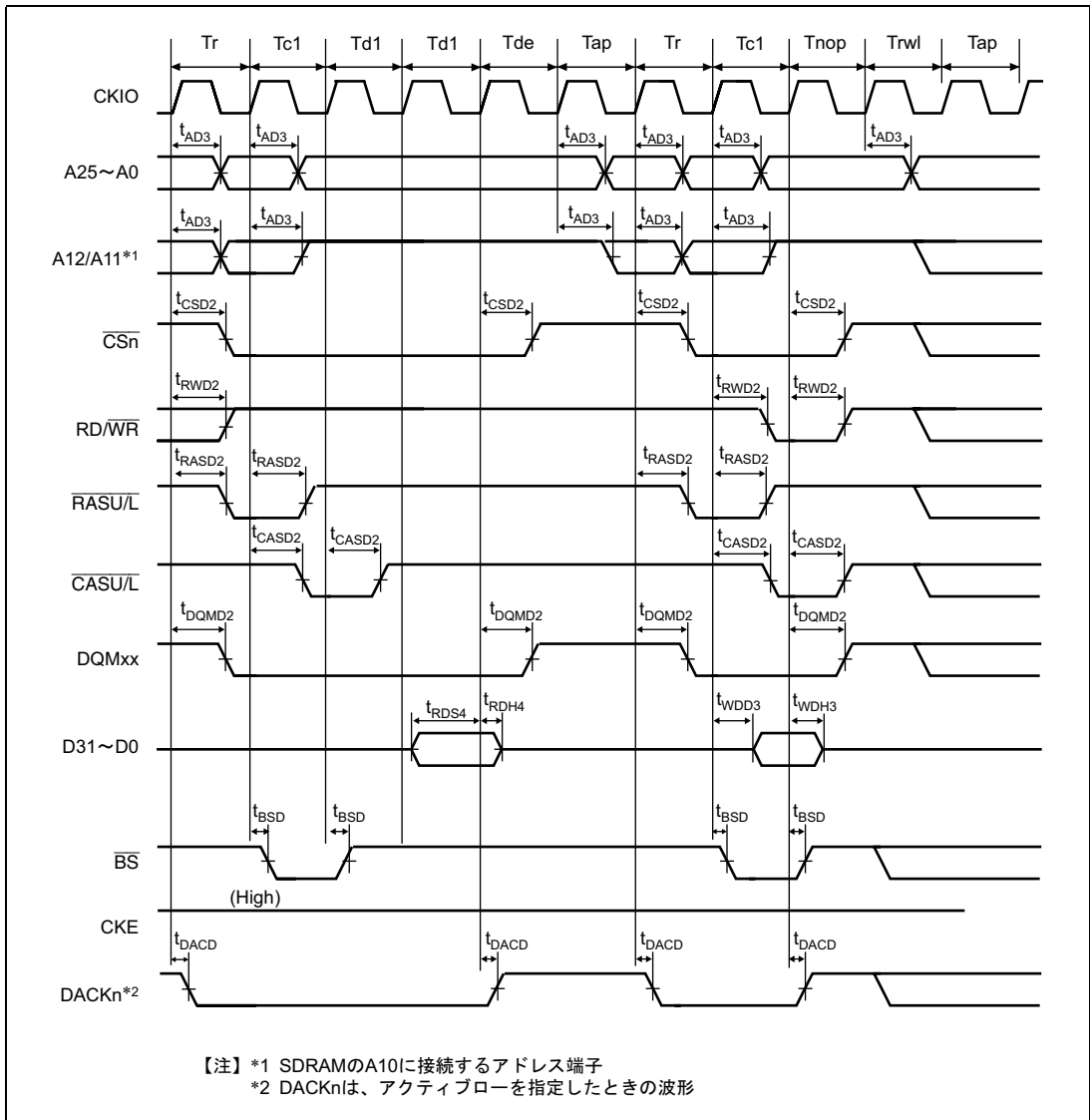


図 25.39 低周波数モードでのアクセスタイミング (オートプリチャージ)

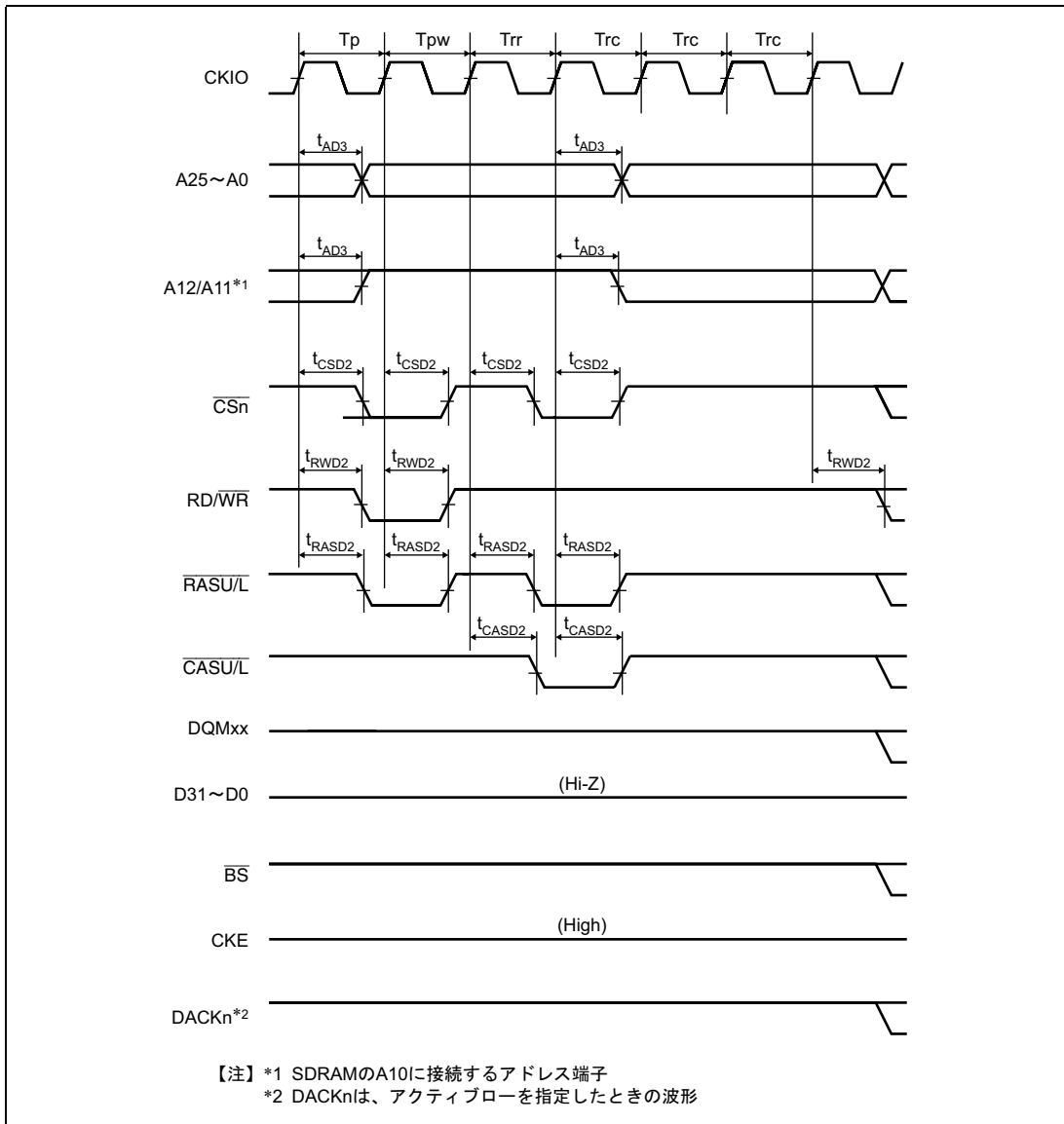


図 25.40 シンクロナス DRAM オートリフレッシュタイミング (TRP=2 サイクル、低周波数モード)

25. 電気的特性

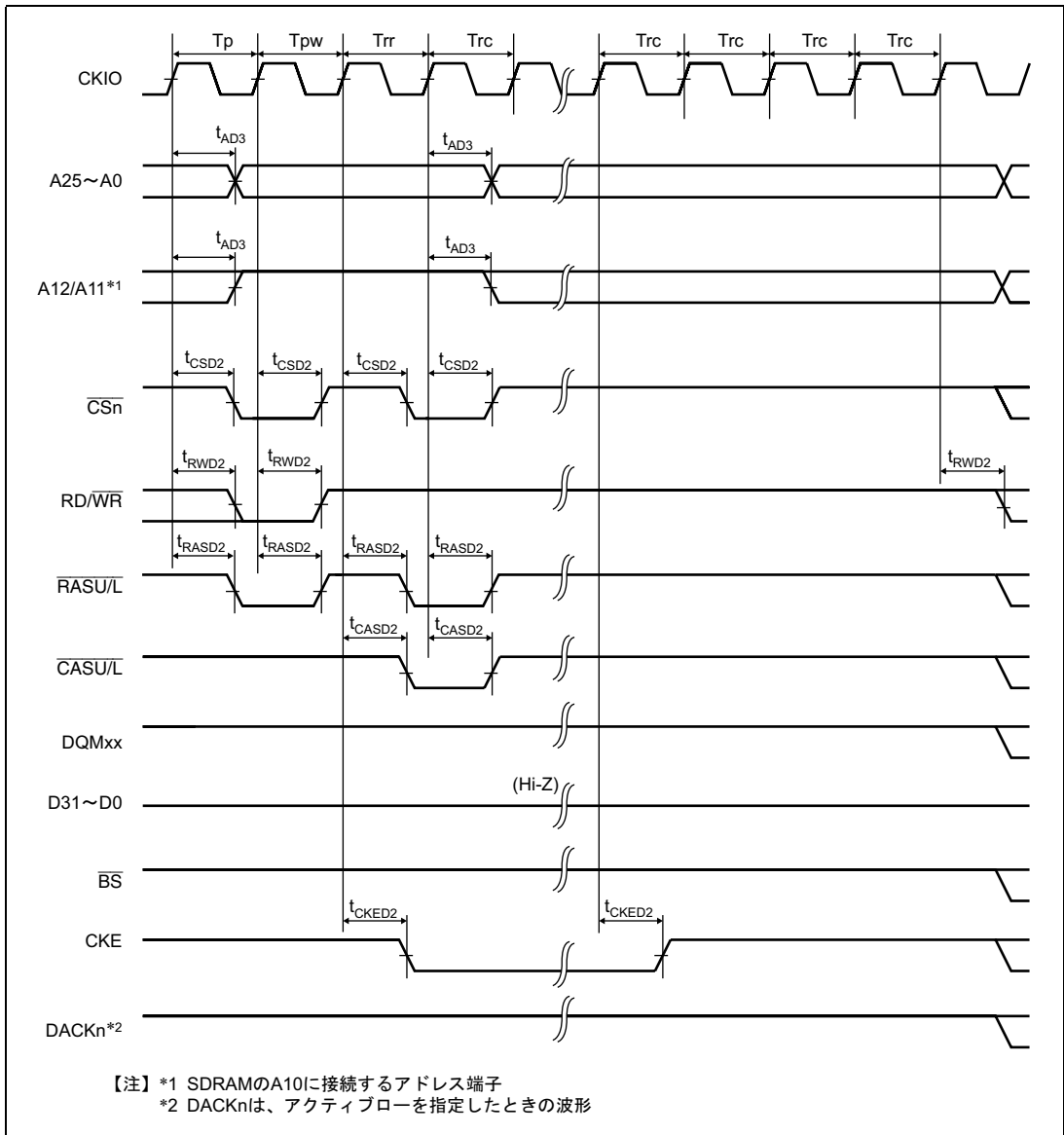


図 25.41 シンクロナス DRAM セルフリフレッシュタイミング (TRP=2 サイクル、低周波数モード)

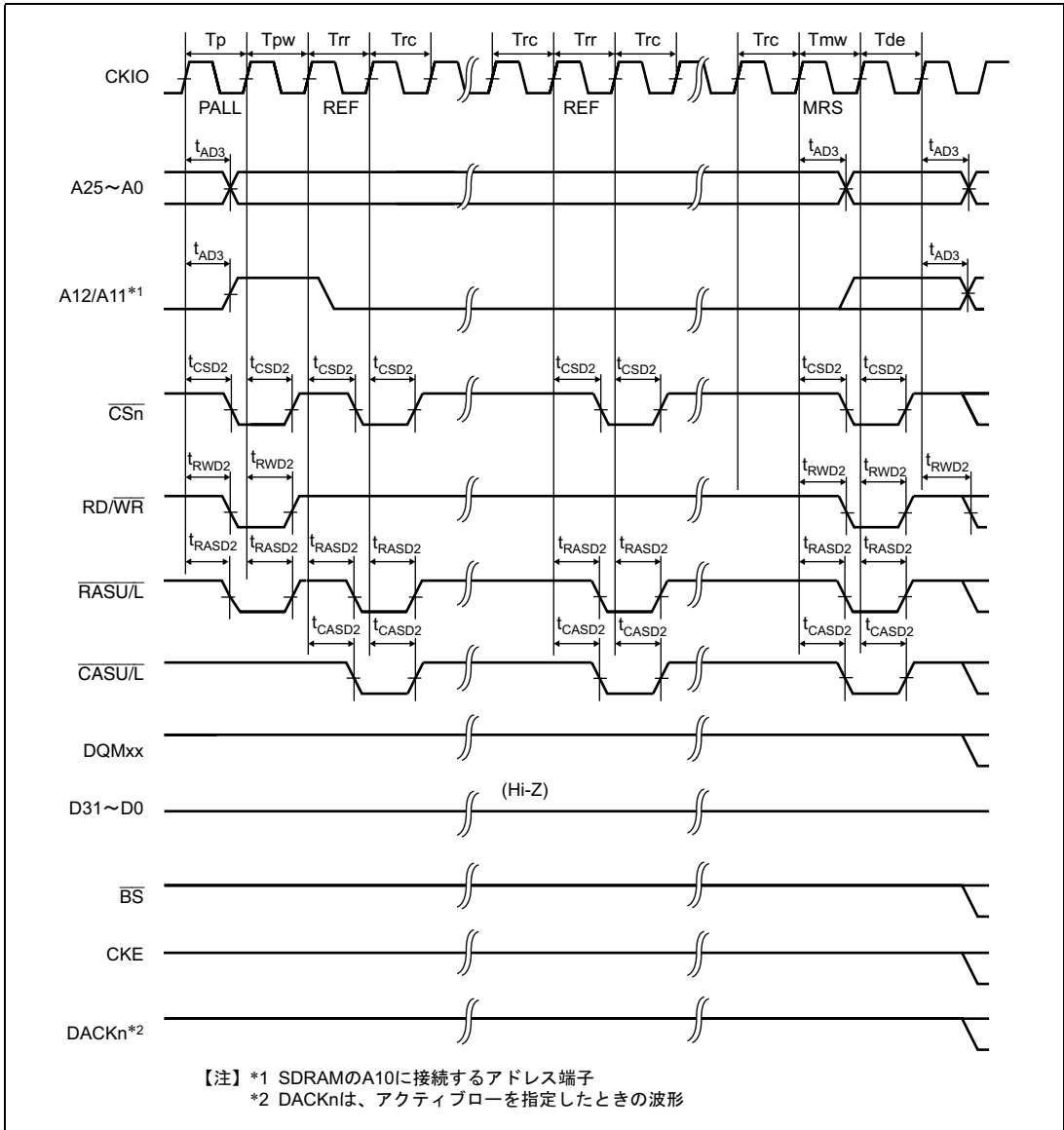


図 25.42 シンクロナス DRAM モードレジスタ書き込みタイミング (TRP=2 サイクル、低周波数モード)

25.3.7 DMAC 信号タイミング

表 25.9 DMAC 信号タイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

モジュール	項目	記号	min	max	単位	参照図
DMAC	DREQ セットアップ時間	t_{DRQS}	10	—	ns	25.43
	DREQ ホールド時間	t_{DRQH}	3	—		
	DACK、TEND 遅延時間	t_{DADC}	—	10		25.44

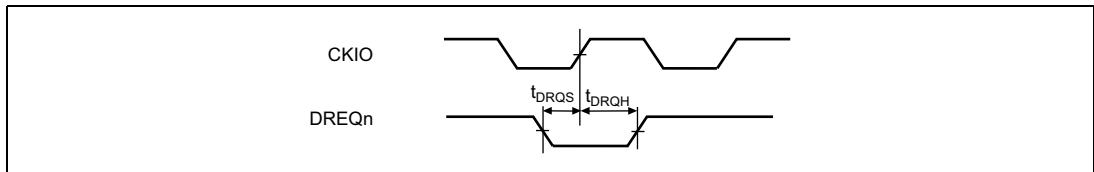


図 25.43 DREQ 入力タイミング

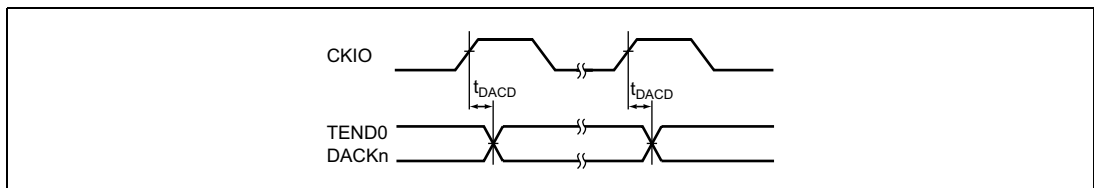


図 25.44 DACK、TEND 出カタイミング

25.3.8 TMU 信号タイミング

表 25.10 TMU 信号タイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

モジュール	項目	記号	min	max	単位	参照図	
TMU	タイマ入力 セットアップ時間	B : P クロック比=1 : 1	t_{TCLKS}	15	—	ns	25.45
		B : P クロック比=2 : 1		$t_{cyc} + 15$	—		
		B : P クロック比=4 : 1		$3 \times t_{cyc} + 15$	—		
	タイマクロック入力セットアップ時間	t_{TCKS}	15	—		25.46	
タイマクロック パルス幅	エッジ指定	t_{TCKWHL}	2.0	—	$t_{p\text{cyc}}^*$		
	両エッジ指定	t_{TCKWHL}	3.0	—			

【注】 * $t_{p\text{cyc}}$ は周辺クロック (Pφ) サイクルを示します。

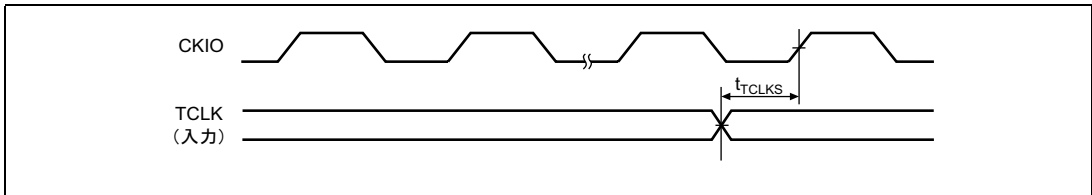


図 25.45 TCLK 入力タイミング

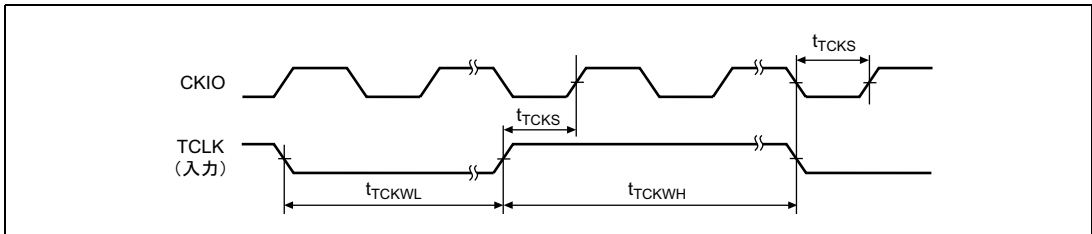


図 25.46 TCLK クロック入力タイミング

25.3.9 RTC 信号タイミング

表 25.11 RTC 信号タイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

モジュール	項目	記号	min	max	単位	参照図
RTC	発振安定時間	t_{ROSC}	3	—	s	25.47

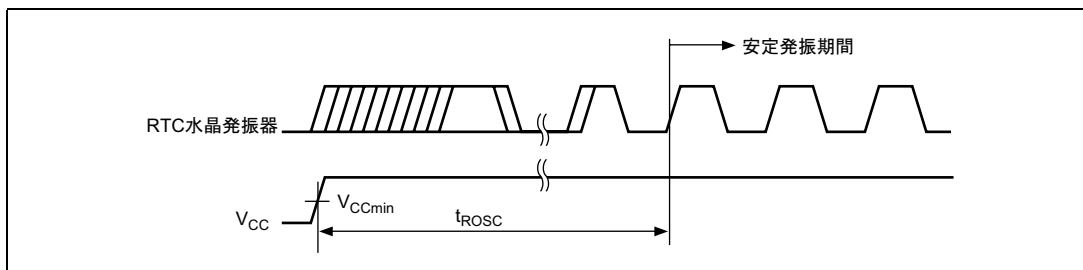


図 25.47 RTC 用水晶発振器パワーオン時発振安定時間

25.3.10 16 ビットタイマパルスユニット (TPU) 信号タイミング

表 25.12 16 ビットタイマパルスユニット (TPU) 信号タイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	max	単位	参照図
タイマ出力遅延時間	t_{TOD}	—	15	ns	25.48

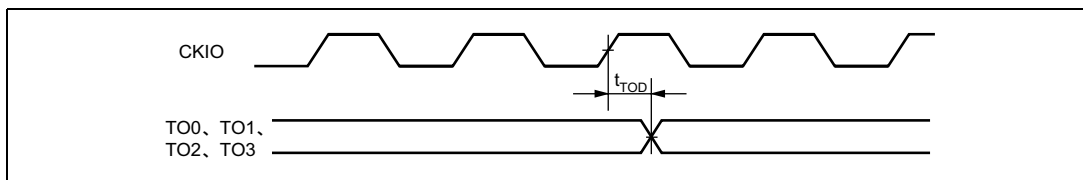


図 25.48 TPU 出力タイミング

25.3.11 SCIF モジュール信号タイミング

表 25.13 SCIF モジュール信号タイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

モジュール	項目	記号	min	max	単位	参照図	
SCIF0 SCIF2	入カクロックサイクル	クロック同期	t_{Scyc}	12	—	t_{pcyc}	25.49
		調歩同期		4	—		25.50
	入カクロック立ち上がり時間	t_{SCKr}	—	1.5		25.49	
	入カクロック立ち下がり時間	t_{SCKf}	—	1.5			
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	送信データ遅延時間 (クロック同期)	t_{TXD}	—	$3t_{pcyc}^*+50$	ns	25.50	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	$2t_{pcyc}^*$	—			
	受信データホールド時間 (クロック同期)	t_{RXH}	$2t_{pcyc}^*$	—			
	RTS 遅延時間 (クロック同期)	t_{RTSD}	—	100			
	CTS セットアップ時間 (クロック同期)	t_{CTSS}	100	—			
	CTS ホールド時間 (クロック同期)	t_{CTSH}	100	—			

【注】 * t_{pcyc} は周辺クロック (P ϕ) サイクルを示します。

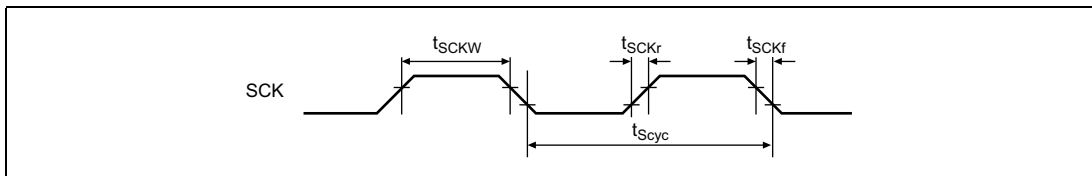


図 25.49 SCK 入カクロックタイミング

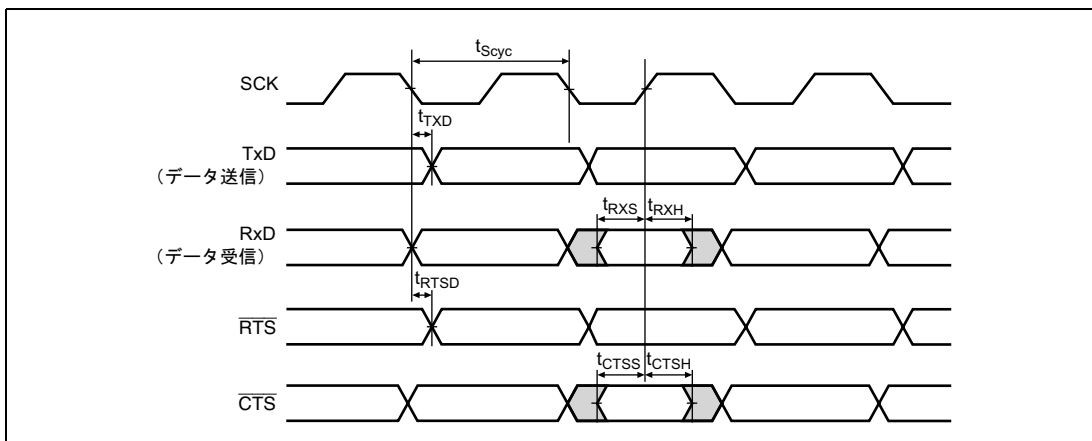


図 25.50 クロック同期式モード時の SCIF 入出力タイミング

25.3.12 USB モジュール信号タイミング

表 25.14 USB モジュールクロックタイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	max	単位	参照図
周波数 (48MHz) *	t_{FREQ}	47.9	48.1	MHz	25.51
クロック立ち上がり時間*	t_{R48}	—	4	ns	
クロック立ち下がり時間*	t_{F48}	—	4	ns	
デューティ (t_{HIGH} / t_{LOW}) *	t_{DUTY}	90	110	%	
発振安定時間	t_{UOSC}	10	—	ms	25.52

【注】 * USB は外部から EXTERNAL_USB 端子にクロック供給させて動作させる場合は、必ず上記クロック仕様を満たすクロックを供給してください。

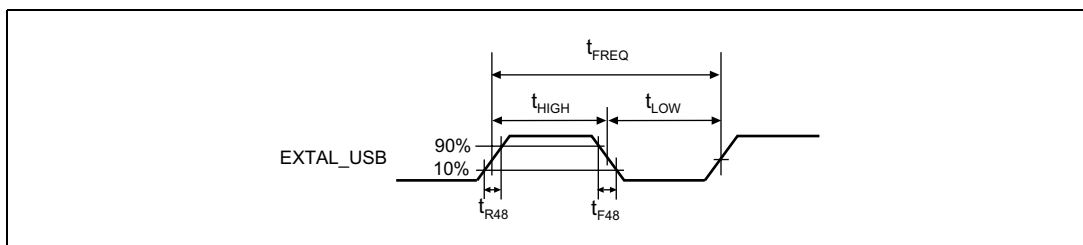


図 25.51 USB クロックタイミング

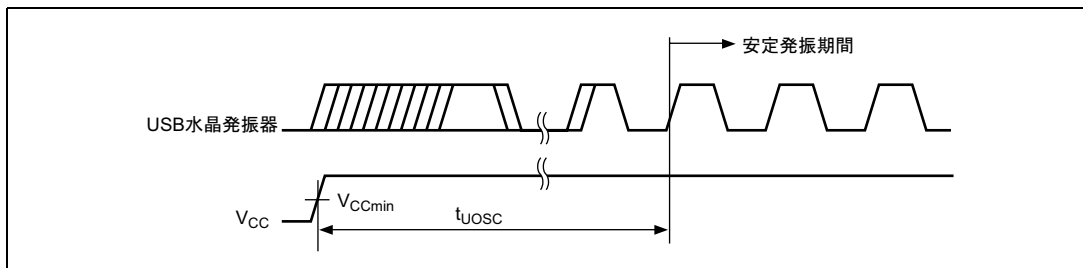


図 25.52 USB 用水晶発振器パワーオン時発振安定時間

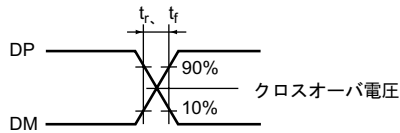
25.3.13 USB トランシーバタイミング

表 25.15 USB トランシーバタイミング

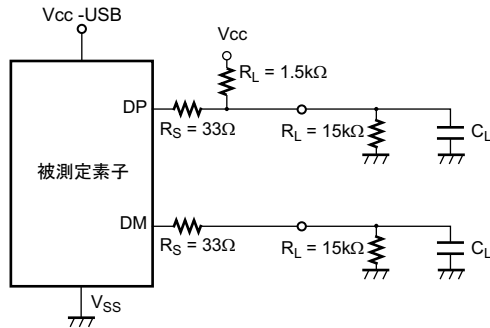
条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	typ	max	単位	測定条件
立ち上がり時間	t_r	4	—	20	ns	$C_L=50pF$
立ち下がり時間	t_f	4	—	20	ns	$C_L=50pF$
立ち上がり／立ち下がり時間比	t_r/t_f	90	—	110	%	
出力信号クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	$C_L=50pF$

【注】 本トランシーバはフルスピード仕様準拠します。



・測定回路



- (1) t_r 、 t_f は、振幅の10%点と90%点の遷移時間で判定。
- (2) 静電容量 C_L は、結線の浮遊容量およびプローブの入力容量を含みます。

25. 電気的特性

25.3.14 ポート入出力タイミング

表 25.16 ポート入出力タイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

モジュール	項目	記号	min	max	単位	参照図
ポート	出力データ遅延時間	t_{PORTD}	—	17	ns	25.53
	入力データセット アップ時間	B : P クロック比=1 : 1	t_{PORTS}	15		
		B : P クロック比=2 : 1		$t_{cyc} + 15$		
		B : P クロック比=4 : 1		$3 \times t_{cyc} + 15$		
入力データホールド時間	t_{PORTH}	8	—			

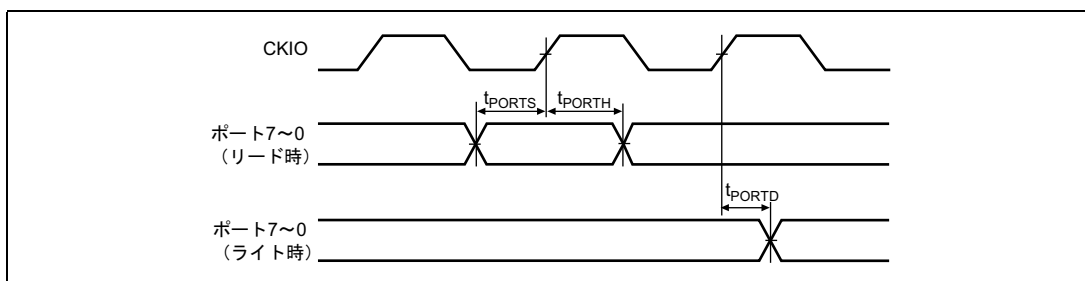


図 25.53 I/O ポートタイミング

25.3.15 H-UDI 関連端子のタイミング

表 25.17 H-UDI 関連端子のタイミング

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	max	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50	—	ns	25.54、25.56
TCK ハイレベルパルス幅	t_{TCKH}	12	—	ns	25.54
TCK ローレベルパルス幅	t_{TCKL}	12	—	ns	
TCK 立ち上がり/立ち下がり時間	t_{TCKf}	—	4	ns	
TRST セットアップ時間	t_{TRSTS}	12	—	ns	25.55
TRST ホールド時間	t_{TRSTH}	50	—	t_{cyc}	25.56
TDI セットアップ時間	t_{TDIS}	10	—	ns	
TDI ホールド時間	t_{TDIH}	10	—	ns	
TMS セットアップ時間	t_{TMSS}	10	—	ns	
TMS ホールド時間	t_{TMSh}	10	—	ns	
TDO 遅延時間	t_{TDOD}	—	15	ns	25.57
ASEMD0 セットアップ時間	$t_{ASEMDOS}$	12	—	ns	
ASEMD0 ホールド時間	$t_{ASEMDOH}$	12	—	ns	

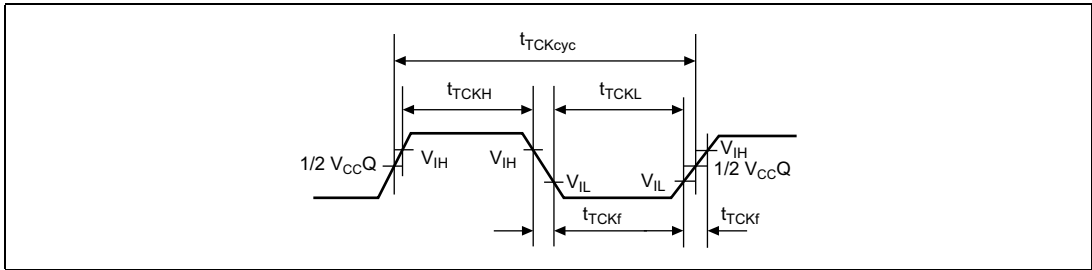


図 25.54 TCK 入力タイミング

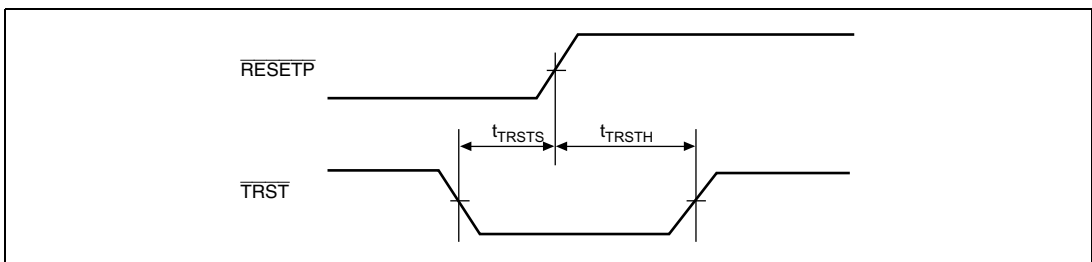


図 25.55 \overline{TRST} 入力タイミング (リセットホールド時)

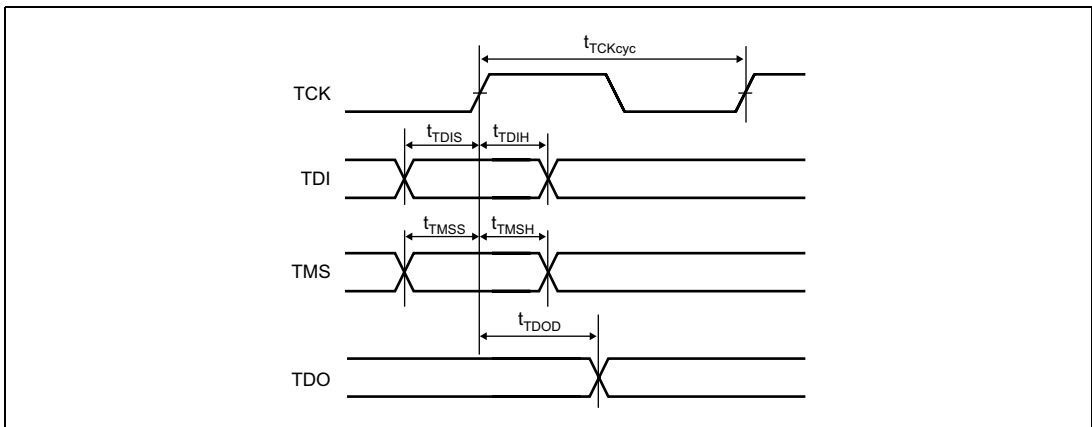


図 25.56 H-UDI データ転送タイミング

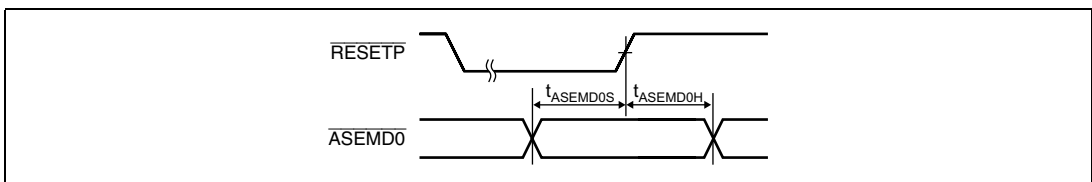


図 25.57 $\overline{ASEMD0}$ 入力タイミング

25.3.16 AC 特性測定条件

- 入出力信号参照レベル : $V_{CCQ}/2$ ($V_{CCQ}=3.0\sim 3.6V$ 、 $V_{CC}=1.4\sim 1.6V$)
- 入力パルスレベル : $V_{SSQ}\sim 3.0V$ (ただし、 \overline{RESETP} 、 \overline{RESETM} 、 $\overline{ASEMD0}$ 、 NMI 、 $IRQ5\sim IRQ0$ 、 $CKIO$ 、および $MD6\sim 0$ は $V_{SSQ}\sim V_{CCQ}$)
- 入力立ち上がり、立ち下がり時間 : 1ns

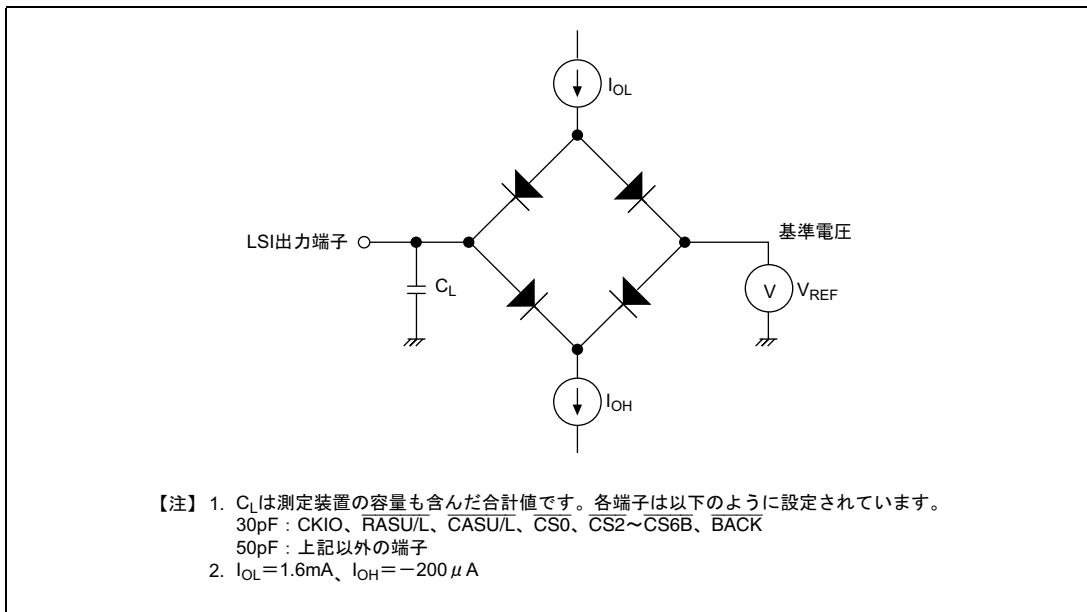


図 25.58 出力負荷回路

25.4 A/D 変換器特性

A/D 変換器特性を表 25.18 に示します。

表 25.18 A/D 変換器特性

条件 : $V_{CCQ}=V_{CC-RTC}=V_{CC-USB}=3.0\sim 3.6V$ 、 $V_{CC}=V_{CC-PLL1}=V_{CC-PLL2}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、
 $V_{SSQ}=V_{SS}=V_{SS-RTC}=V_{SS-USB}=V_{SS-PLL1}=V_{SS-PLL2}=AV_{SS}=0V$ 、 $T_a=-20\sim 75^\circ C$

項目	min	typ	max	単位
分解能	10	10	10	bits
変換時間	8.5	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源 (単一ソース)	—	—	5	k Ω
非線形誤差	—	—	± 3.0	LSB
オフセット誤差	—	—	± 2.0	LSB
フルスケール誤差	—	—	± 2.0	LSB
量子化誤差	—	—	± 0.5	LSB
絶対精度	—	—	± 4.0	LSB

付録

A. 端子状態と未使用端子の状態

表 A.1 端子状態と未使用端子の状態

分類	端子名	リセット		低消費電力		バス権解放	I/O	未使用端子 の処理
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
クロック	EXTAL	I	I	I	I	I	I	プルアップ
	XTAL	O	O	O	O	O	O	オープン
	EXTAL2	I	I	I	I	I	I	プルアップ
	XTAL2	O	O	O	O	O	O	オープン
	CKIO	IO*1	IO*1	IO*1	IO*1	IO*1	IO	オープン
システム 制御	RESETP	I*11	I*11	I*11	I*11	I*11	I	必ず使用する
	RESETM	I	I	I	I	I	I	プルアップ
	BREQ/PTG[6]	Z	IP*2	IK*3	IP*2	I	I/O	プルアップ
	BACK/PTG[5]	O	OP*2	OK*3	OP*2	LP*2	O/O	オープン
	MD6	I	i	Z	i	i	I	プルダウン
	MD[2:0]	I	i	i	i	i	I	必ず使用する
	MD[5:3]	I	i	Z	i	i	I	必ず使用する
	CA	I	I	I	I	I	I	プルアップ
	STATUS0/ PTE[4]/RTS0	H	HP*2 Z*6	HK*3 Z*6	LP*2 O	LP*2 O	O/O/O	オープン
STATUS1/ PTE[5]/CTS0	H	HP*2 Z*6	LK*3 Z*7	HP*2 I	LP*2 I	O/O/I	オープン	
割り込み	IRQ[3:0]/ IRL[3:0]/ PTH[3:0]	Z	IP*2	IK*3	IP*2	IP*2	I/O	プルアップ
	IRQ4/PTH[4]	Z	IP*2	IK*3	IP*2	IP*2	I/O	プルアップ
	IRQ5/PTE[2]	Z	IP*2	IK*3	IP*2	IP*2	I/O	プルアップ
	NMI	I	I	I	I	I	I	プルアップ
アドレス	A[25:19,0]/ PTK[7:0]	O	OP*2	ZO*8 K*3	OP*2	ZP*2	O/O	オープン
	A[18:1]	O	O	ZO*8	O	Z	O	オープン

分類	端子名	リセット		低消費電力		バス権解放	I/O	未使用端子 の処理
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
データ	D[15:0]	Z	Z	Z	IO	Z	IO	プルアップ
	D[23:16]/ PTA[7:0]/ PINT[7:0]	Z	Z P*2	Z P*2	IO P*2	Z P*2	IO/IO/I	プルアップ
	D[31:24]/ PTB[7:0]/ PINT[15:8]	Z	Z P*2	Z P*2	IO P*2	Z P*2	IO/IO/I	プルアップ
バス制御	CS0	H	O	ZH*6	O	Z	O	オープン
	CS2/PTC[3]	H	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	オープン
	CS3/PTC[4]	H	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	オープン
	CS4/PTC[5]	H	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	オープン
	CS5A/PTC[6]	Z	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	プルアップ
	CS5B/PTD[6]	Z	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	プルアップ
	CS6A/PTC[7]	Z	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	プルアップ
	CS6B/PTD[7]	Z	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	プルアップ
	BS/PTC[0]	H	O P*2	ZH*6 K*3	O P*2	Z P*2	O/IO	オープン
	RASL/PTD[0]	H	O P*2	ZH*6 K*3	O P*2	ZH*6 P*2	O/IO	オープン
	RASU/PTD[1]	Z	O P*2	ZH*6 K*3	O P*2	ZH*6 P*2	O/IO	プルアップ
	CASL/PTD[2]	H	O P*2	ZH*6 K*3	O P*2	ZH*6 P*2	O/IO	オープン
	CASU/PTD[3]	Z	O P*2	ZH*6 K*3	O P*2	ZH*6 P*2	O/IO	プルアップ
	WE0/DQMLL	H	O	ZH*6	O	Z	O/O	オープン
	WE1/DQMLU	H	O	ZH*6	O	Z	O/O	オープン
	WE2/DQMUL/ PTC[1]	H	O P*2	ZH*6 K*3	O P*2	Z P*2	O/O/IO	オープン
	WE3/DQMUU/ AH/PTC[2]	H	O P*2	ZH*6 K*3	O P*2	Z P*2	O/O/O/IO	オープン
	RD/W \bar{R}	H	O	ZH*6	O	Z	O	オープン
	$\bar{R}\bar{D}$	H	O	ZH*6	O	Z	O	オープン
	CKE/PTD[4]	H	O P*2	OK*3	O P*2	OP*2	O/IO	オープン
WAIT/PTG[7]	I	I P*2	I K*3	I P*2	I P*2	I/IO	プルアップ	
DMAC	DREQ0/ PTH[5]	Z	Z P*2	Z K*3	I P*2	I P*2	I/IO	プルアップ
	DACK0/ PTE[0]	V	O P*2	Z K*3	O P*2	O P*2	O/IO	オープン
	TEND0/ PTE[3]	V	O P*2	Z K*3	O P*2	O P*2	O/IO	オープン
	DREQ1/ PTH[6]	Z	Z P*2	Z K*3	I P*2	I P*2	I/IO	プルアップ
	DACK1/ PTE[1]	V	O P*2	Z K*3	O P*2	O P*2	O/IO	オープン

分類	端子名	リセット		低消費電力		バス権解放	I/O	未使用端子 の処理
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
タイマ	TCLK/PTE[6]	V	IP* ²	ZK* ³	IP* ²	IP* ²	I/O	オープン
SCIF	RxD0/ SCPT[0]/IrRX	Z	ZI* ⁴	Z	I	I	I/I	プルアップ
	TxD0/ SCPT[0]/IrTX	Z	ZO* ⁵	ZO* ⁵	O	O	O/O/O	オープン
	SCK0/ SCPT[1]	Z	ZP* ²	ZK* ³	IO P* ²	IO P* ²	IO/IO	プルアップ
	RxD2/ SCPT[2]	Z	ZI* ⁴	Z	I	I	I/I	プルアップ
	TxD2/ SCPT[2]	Z	ZO* ⁵	ZO* ⁵	O	O	O/O	オープン
	SCK2/ SCPT[3]	Z	ZP* ²	ZK* ³	IO P* ²	IO P* ²	IO/IO	プルアップ
	$\overline{\text{RTS}}2/SCPT[4]$	V	ZP* ²	ZK* ³	OP	OP	O/IO	オープン
	$\overline{\text{CTS}}2/SCPT[5]$	Z	ZP* ²	ZK* ³	IP* ²	IP* ²	I/O	プルアップ
アナログ	AN[3:0]/ PTL[3:0]	i	ZI* ⁴	i	I	I	I/I	オープン
USB	VBUS/ PTM[6]	V	IP* ²	ZK* ²	IP* ²	IP* ²	I/O	オープン
	SUSPND/ PTN[0]	V	OP* ²	OK* ³	OP* ²	OP* ²	O/IO	オープン
	TXENL/ PTN[1]	V	OP* ²	OK* ³	OP* ²	OP* ²	O/IO	オープン
	XVDATA/ PTN[2]	V	IP* ²	VK* ³	IP* ²	IP* ²	I/O	オープン
	TXDMNS/ PTN[3]	V	OP* ²	OK* ³	OP* ²	OP* ²	O/IO	オープン
	TXDPLS/ PTN[4]	V	OP* ²	OK* ³	OP* ²	OP* ²	O/IO	オープン
	DMNS/ PTN[5]	V	IP* ²	VK* ³	IP* ²	IP* ²	I/O	オープン
	DPLS/PTN[6]	V	IP* ²	VK* ³	IP* ²	IP* ²	I/O	オープン
	EXTAL_USB	I	I	i	I	I	I	プルアップ
	XTAL_USB	O	O	O	O	O	O	オープン
	D+	Z	IO* ⁹	Z	IO* ⁹	IO* ⁹	IO	オープン
	D-	Z	IO* ⁹	Z	IO* ⁹	IO* ⁹	IO	オープン

付録

分類	端子名	リセット		低消費電力		バス権解放	I/O	未使用端子 の処理
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
ポート	NF/PTD[5]	I	I	Z	I	I	I/I	プルアップ
	PTE[7]	V	P	K	P	P	IO	オープン
	NF/PTJ[7]	L	O	O	O	O	O/O	オープン
	NF/PTJ[6 : 0]	H*13	O	O	O	O	O/O	オープン
	NF/PTM[4]	I	I	Z	I	I	I/I	プルアップ
	PTM[3 : 0]	V	P	K	P	P	IO	オープン
	PTN[7]	V	P	K	P	P	IO	オープン
アドバンス ト ユーザ デバッグ	AUDSYNC/ PTF[4]	V/V*10	O P*2	O K*3	O P*2	O P*2	O/O	オープン
	AUDATA[3:0]/ PTF[3:0]/ TO[3:0]	V/V*10	O P*2 Z*8	O K*3 Z*8	O P*2	O P*2	O/O/O	オープン
	AUDCK/ PTG[4]	O/V*10	O P*2	O K*3	O P*2	O P*2	O/O	オープン
ユーザ デバッグ インタ フェース	TDI/PTG[0]	I*11	I*11 P*2	I*11 K*3	I*11 P*2	I*11 P*2	I/O	オープン
	TCK/PTG[1]	I*11	I*11 P*2	I*11 K*3	I*11 P*2	I*11 P*2	I/O	オープン
	TMS/PTG[2]	I*11	I*11 P*2	I*11 K*3	I*11 P*2	I*11 P*2	I/O	オープン
	TRST/PTG[3]	I*11	I*11 P*2	I*11 K*3	I*11 P*2	I*11 P*2	I/O	必ず使用する
	TDO/PTF[5]	OZ	O P*2	Z K*3	O P*2	O P*2	O/O	オープン
	A5EBRKAK/ PTF[6]	V/V*10	O P*2	O K*3	O P*2	O P*2	O/O	オープン
	A5EMD0/ PTF[7]	I*11	I*11 P*2	V K*3	I*11 P*2	I*11 P*2	I/O	必ず使用する
電源	Vcc_USB	-	-	-	-	-	-	VccQ
	Vss_USB	-	-	-	-	-	-	VssQ
	Vcc-RTC	-	-	-	-	-	-	VccQ
	Vss-RTC	-	-	-	-	-	-	VssQ
	AVcc	-	-	-	-	-	-	VccQ
	AVss	-	-	-	-	-	-	VssQ
	VccQ	-	-	-	-	-	-	VccQ
	VssQ	-	-	-	-	-	-	VssQ
	Vcc-PLL1	-	-	-	-	-	-	Vcc*12
	Vss-PLL1	-	-	-	-	-	-	Vss*12
	Vcc-PLL2	-	-	-	-	-	-	Vcc*12
	Vss-PLL2	-	-	-	-	-	-	Vss*12
	Vcc	-	-	-	-	-	-	Vcc
	Vss	-	-	-	-	-	-	Vss

【記号説明】

- I : 入力状態
- i : 入力状態（しかし、内部論理では入力を固定）
- O : 出力状態（レベルは HI or Low だが、不明）
- L : Low 出力状態
- H : HI 出力状態
- Z : HiZ（入力、又は出力バッファ OFF 状態）
- V : 入力、出力バッファ OFF、プルアップ ON
- K : レジスタにより、HI 出力 or Low 出力 or 入力端子はハイインピーダンス
- P : レジスタ設定により入力または出力

【注】

- *1 クロックモードに依存します。
- *2 ポート機能を使うときは P になります。
- *3 ポート機能を使うときは K になります。
- *4 ポート機能を使うときは I になります。
- *5 ポート機能を使うときは O になります。
- *6 レジスタ設定によって Z または H になります。
- *7 レジスタ設定によって Z または L になります。
- *8 レジスタ設定によって Z または O になります。
- *9 USB 未使用時は i になります。
- *10 $\overline{\text{ASEMD0}}$ 端子の入力レベルで初期値（パワーオンリセット）が変わる。 $\overline{\text{ASEMD0}}=0$ 時/ $\overline{\text{ASEMD0}}=1$ 時の順に記載してあります。
- *11 プルアップ MOS オン
- *12 $V_{cc}\text{-PLL1}$ 、 $V_{cc}\text{-PLL2}$ と $V_{ss}\text{-PLL1}$ 、 $V_{ss}\text{-PLL2}$ は、互いの電源干渉を避けるため、他のデジタル系の V_{cc} 、 V_{ss} とはボードの電源供給元から 3 系統の独立したパターンで配線してください。
- *13 PTJ6、PTJ1、PTJ0 は、パワーオンリセット中とパワーオンリセット解除後で、端子の値が異なります。ピンファンクションコントローラ（PFC）でポートに切り替えた後は、ポート J データレジスタの値に従います。

	パワーオンリセット中	パワーオンリセット解除後	
		PTD5/NF=1	PTD5/NF=0
PTJ6/NF	1	0	1
PTJ1/NF	1	1	0
PTJ0/NF	1	0	1

表 A.1 でのプルアップは V_{ccQ} (3.3V 系) に接続してください。

B. パッケージ外形寸法図

図 B.1、図 B.2 に SH7705 のパッケージ外形寸法図を示します。

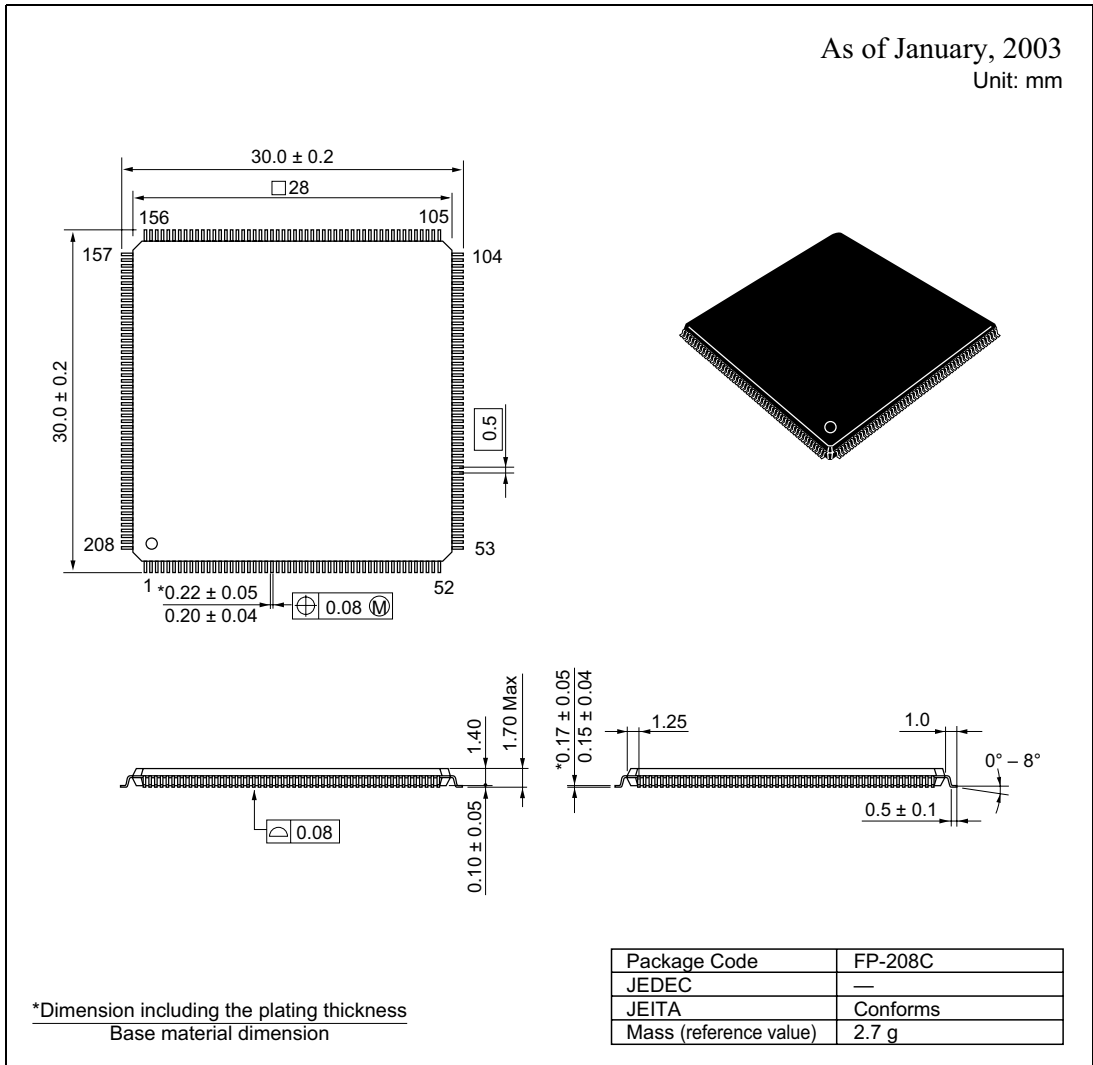


図 B.1 パッケージ外形寸法図 (FP-208C)

索引

16 ビットタイマパルスユニット.....	14-1	EPDR0i.....	18-8, 24-7, 24-22, 24-31
16 ビットと 32 ビット ディスプレースメント.....	2-14	EPDR0o.....	18-8, 24-7, 24-22, 24-31
A/D 変換時間.....	21-7	EPDR0s.....	18-8, 24-7, 24-22, 24-31
ADCSR.....	21-4, 24-8, 24-24, 24-33	EPDR1.....	18-9, 24-7, 24-22, 24-31
ADDR.....	21-3, 24-8, 24-24, 24-33	EPDR2.....	18-9, 24-7, 24-22, 24-31
BAMRA.....	22-3, 24-8, 24-25, 24-33	EPDR3.....	18-9, 24-7, 24-22, 24-32
BAMRB.....	22-5, 24-8, 24-25, 24-33	EPSTL.....	18-15, 24-7, 24-22, 24-32
BARA.....	22-3, 24-8, 24-25, 24-33	EPSZ0o.....	18-9, 24-7, 24-22, 24-32
BARB.....	22-5, 24-8, 24-25, 24-33	EPSZ1.....	18-10, 24-7, 24-22, 24-32
BASRA.....	22-12, 24-8, 24-25, 24-33	EXPEVT.....	24-2, 24-11, 24-27
BASRB.....	22-12, 24-9, 24-25, 24-33	FCLR.....	18-12, 24-7, 24-22, 24-32
BBRA.....	22-4, 24-8, 24-25, 24-33	FRQCR.....	9-7, 24-4, 24-17, 24-29
BBRB.....	22-6, 24-8, 24-25, 24-33	I/O ポート.....	20-1
BDMRB.....	22-6, 24-8, 24-24, 24-33	ICR0.....	6-5, 24-2, 24-12, 24-27
BDRB.....	22-5, 24-8, 24-24, 24-33	ICR1.....	6-6, 24-2, 24-12, 24-27
BETR.....	22-10, 24-8, 24-25, 24-33	ICR2.....	6-7, 24-2, 24-12, 24-27
BRCR.....	22-7, 24-8, 24-25, 24-33	IER0.....	18-7, 24-7, 24-22, 24-32
BRDR.....	22-12, 24-8, 24-25, 24-33	IER1.....	18-7, 24-7, 24-22, 24-32
BRSR.....	22-11, 24-8, 24-25, 24-33	IFR0.....	18-4, 24-7, 24-22, 24-32
CCR1.....	24-2, 24-10, 24-27	IFR1.....	18-5, 24-7, 24-22, 24-32
CCR2.....	24-2, 24-10, 24-27	INTEVT.....	24-2, 24-11, 24-27
CCR3.....	24-2, 24-10, 24-27	INTEVT2.....	24-2, 24-11, 24-27
CHCR.....	8-5, 24-3, 24-15, 24-28	IPR.....	6-4, 24-2, 24-11, 24-27
CMCNT.....	13-3, 24-4, 24-18, 24-29	IrDA インタフェース.....	17-1
CMCOR.....	13-3, 24-4, 24-18, 24-29	IRL 割り込み.....	6-11
CMCSR.....	13-2, 24-4, 24-18, 24-29	IRQ 割り込み.....	6-11
CMNCR.....	7-8, 24-3, 24-12, 24-27	IRR0.....	6-8, 24-2, 24-12, 24-27
CMSTR.....	13-2, 24-4, 24-18, 24-29	IRR1.....	6-9, 24-2, 24-12, 24-27
CS0BCR.....	24-3, 24-12, 24-27	IRR2.....	6-10, 24-2, 24-12, 24-27
CS0WCR.....	24-3, 24-13, 24-28	ISR0.....	18-6, 24-7, 24-23, 24-32
CSnBCR.....	7-9	ISR1.....	18-6, 24-7, 24-23, 24-32
CSnWCR.....	7-12	JTAG.....	23-1
DAR.....	8-4, 24-3, 24-15, 24-28	MMU.....	3-1
DASTS.....	18-11, 24-7, 24-22, 24-32	MMUCR.....	24-2, 24-10, 24-27
DMAOR.....	8-9, 24-4, 24-17, 24-28	NMI 割り込み.....	6-11
DMAR.....	18-13, 24-7, 24-22, 24-32	PO/U0 領域.....	2-2
DMARS.....	8-11, 24-4, 24-17, 24-28	P1 領域.....	2-3
DMATCR.....	8-4, 24-3, 24-15, 24-28	P2 領域.....	2-3

P3 領域	2-3	RMINAR	15-8, 24-6, 24-21, 24-31
P4 領域	2-3	RMINCNT	15-5, 24-6, 24-21, 24-30
PACR	19-5, 24-7, 24-23, 24-32	RMONAR	15-11, 24-6, 24-21, 24-31
PADR	20-1, 24-8, 24-24, 24-32	RMONCNT	15-7, 24-6, 24-21, 24-30
PBCR	19-6, 24-7, 24-23, 24-32	RSECAR	15-8, 24-6, 24-21, 24-31
PBDR	20-3, 24-8, 24-24, 24-32	RSECCNT	15-4, 24-6, 24-20, 24-30
PCCR	19-7, 24-7, 24-23, 24-32	RTCNT	7-25, 24-3, 24-14, 24-28
PCDR	20-4, 24-8, 24-24, 24-33	RTCOR	7-26, 24-3, 24-15, 24-28
PDCR	19-9, 24-7, 24-23, 24-32	RTCSR	7-24, 24-3, 24-14, 24-28
PDDR	20-5, 24-8, 24-24, 24-33	RTC 用水晶発振回路	15-18
PECR	19-10, 24-7, 24-23, 24-32	RWKAR	15-10, 24-6, 24-21, 24-31
PECR2	19-11, 24-7, 24-23, 24-32	RWKCNT	15-6, 24-6, 24-21, 24-30
PEDR	20-7, 24-8, 24-24, 24-33	RYRAR	15-12, 24-6, 24-21, 24-31
PFCR	19-12, 24-7, 24-23, 24-32	RYRCNT	15-7, 24-6, 24-21, 24-30
PFCR2	19-13, 24-7, 24-23, 24-32	SAR	8-4, 24-3, 24-15, 24-28
PFDR	20-8, 24-8, 24-24, 24-33	SCBRR	16-16, 24-6, 24-21, 24-31
PGCR	19-14, 24-7, 24-23, 24-32	SCFCR	16-18, 24-6, 24-21, 24-31
PGDR	20-9, 24-8, 24-24, 24-33	SCFDR	16-20, 24-6, 24-21, 24-31
PHCR	19-15, 24-7, 24-23, 24-32	SCFER	16-11, 24-6, 24-21, 24-31
PHDR	20-10, 24-8, 24-24, 24-33	SCFRDR	16-5, 24-6, 24-21, 24-31
PINTER	6-8, 24-2, 24-12, 24-27	SCFTDR	16-5, 24-6, 24-21, 24-31
PINT 割り込み	6-13	SCPCR	19-24, 24-8, 24-23, 24-32
PJCR	19-17, 24-7, 24-23, 24-32	SCPDR	20-19, 24-8, 24-24, 24-33
PJDR	20-12, 24-8, 24-24, 24-33	SCRSR	16-5
PKCR	19-18, 24-7, 24-23, 24-32	SCSCR	16-8, 24-6, 24-21, 24-31
PKDR	20-13, 24-8, 24-24, 24-33	SCSMR (IrDA)	17-2, 24-7, 24-22, 24-31
PLCR	19-19, 24-7, 24-23, 24-32	SCSMR (SCIF)	16-6, 24-6, 24-21, 24-31
PLDR	20-14, 24-8, 24-24, 24-33	SCSSR	16-12, 24-6, 24-21, 24-31
PMCR	19-20, 24-8, 24-23, 24-32	SCTDSR	16-21, 24-6, 24-21, 24-31
PMDR	20-15, 24-8, 24-24, 24-33	SCTSR	16-5
PNCR	19-21, 24-8, 24-24, 24-32	SDBPR	23-3
PNCR2	19-23, 24-8, 24-24, 24-32	SDBSR	23-4
PNDR	20-17, 24-8, 24-24, 24-33	SDCR	7-22, 24-3, 24-14, 24-28
PTEH	24-2, 24-10, 24-27	SDID	23-10
PTEL	24-2, 24-10, 24-27	SDID/SDIDH	24-9, 24-26, 24-34
PWM モード	14-18	SDIDL	24-9, 24-26, 24-34
R64CNT	15-4, 24-6, 24-20, 24-30	SDIR	23-3, 24-9, 24-26, 24-34
RCR1	15-12, 24-6, 24-21, 24-31	SDMR2	7-7, 24-3, 24-15, 24-28
RCR2	15-13, 24-6, 24-21, 24-31	SDMR3	7-7, 24-3, 24-15, 24-28
RCR3	15-15, 24-6, 24-21, 24-31	SDRAM インタフェース	7-41
RDAYAR	15-10, 24-6, 24-21, 24-31	STBCR	11-3, 24-4, 24-17, 24-29
RDAYCNT	15-6, 24-6, 24-21, 24-30	STBCR2	11-4, 24-4, 24-17, 24-29
RHRAR	15-9, 24-6, 24-21, 24-31	STBCR3	11-5, 24-4, 24-17, 24-29
RHRCNT	15-5, 24-6, 24-21, 24-30	TAP コントローラ	23-11

TCNT (TMU)	12-8, 24-4, 24-17, 24-29	コントロールレジスタ	2-5
TCNT (TPU)	14-12, 24-5, 24-19, 24-29	コントロール転送	18-18
TCOR	12-8, 24-4, 24-17, 24-29	コンペアマッチカウンタ動作	13-4
TCPR	12-8, 24-4, 24-18, 24-29	コンペアマッチタイマ	13-1
TCR (TMU)	12-5, 24-4, 24-17, 24-29	サイクルスチールモード	8-24
TCR (TPU)	14-6, 24-5, 24-18, 24-29	シーケンシャルブ레이크	22-16
TEA	24-2, 24-11, 24-27	システムレジスタ	2-5
TGR	14-12, 24-5, 24-19, 24-29	シノニム問題	3-19
TIER	14-10, 24-5, 24-18, 24-29	シャドウ空間	7-6
TIOR	14-9, 24-5, 24-18, 24-29	シリアルコミュニケーションインタフェース	16-1
TMDR	14-8, 24-5, 24-18, 24-29	シングルアドレスモード	8-23
TRA	24-2, 24-11, 24-27	シングルモード	21-5
TRG	18-10, 24-7, 24-22, 24-32	スキャンモード	21-6
TSR	14-11, 24-5, 24-18, 24-29	ステータスステージ	18-21
TSTR (TMU)	12-4, 24-4, 24-17, 24-29	ステータスレジスタ (SR)	2-9
TSTR (TPU)	14-12, 24-5, 24-18, 24-29	ストール動作	18-30
TTB	24-2, 24-10, 24-27	スリープモード	11-6
T ビット	2-14	セットアップステージ	18-21
UCLKCR	9-9, 24-4, 24-17, 24-28	ソフトウェアスタンバイモード	11-7
USB ファンクションモジュール	18-1	タイマユニット	12-1
USB 標準コマンド	18-29	ダイレクトメモリアクセスコントローラ	8-1
WTCNT	10-2, 24-4, 24-17, 24-29	データアレイライト	4-11
WTCSR	10-3, 24-4, 24-17, 24-29	データアレイリード	4-11
XVERCR	18-15, 24-7, 24-23, 24-32	データステージ	18-21
アクセスウェイト制御	7-35	デュアルアドレスモード	8-21
アドバンストユーザデバッグ	23-16	バースト ROM インタフェース	7-66
アドレスアレイライト (連想あり)	4-10	バーストモード	8-26
アドレスアレイライト (連想なし)	4-10	バーストリード	7-49
アドレスアレイリード	4-10	バイト選択付 SRAM インタフェース	7-68
アドレスマルチプレクス	7-43	バウンダリスキャン	23-1
アドレス空間識別子	3-7	バスアービトラクション	7-70
アドレス変換	3-7	バスクロック (Bφ)	9-1
アラーム機能	15-17	バスステートコントローラ	7-1
インターバルタイマモード	10-6	バッファ動作	14-16
インタラプトイン転送	18-28	バルクアウト転送	18-25
インプットキャプチャ機能	12-11	バルクイン転送	18-26
ウォッチドッグタイマ	10-1	ビッグエンディアン	2-12, 7-26
ウォッチドッグタイマモード	10-6	ピンファンクションコントローラ	19-1
エミュレータ	23-1	フリーランニングカウンタ	14-13
オートリクエストモード	8-15	プログラムカウンタ	2-5
オートリロードカウンタ動作	12-10	プロシジャーレジスタ	2-8
グローバルベースレジスタ (GBR)	2-10	ベクタベースレジスタ (VBR)	2-10
クロック同期式モード	16-31	マルチモード	21-6
クロック発振器	9-1	モジュールスタンバイ機能	11-8

ユーザブ레이크コントローラ.....	22-1	多重仮想記憶モード.....	3-7
ユーザブ레이크例外処理.....	22-13	多重割り込み.....	6-21
ラウンドロビンモード.....	8-17	退避ステータスレジスタ (SSR)	2-10
リアルタイムクロック.....	15-1	退避プログラムカウンタ (SPC)	2-10
リセット状態.....	2-1	単一仮想記憶モード.....	3-7
リテラル定数.....	2-14	遅延分岐.....	2-13
リトルエンディアン.....	2-12, 7-26	調歩同期式モード.....	16-21
リフレッシュ.....	7-60	低周波数モード.....	7-63
ロードストアアーキテクチャ.....	2-13	低消費電力モード.....	11-1
外部リクエストモード.....	8-15	低消費電力状態.....	2-1
割り込みコントローラ.....	6-1	内蔵周辺モジュールリクエストモード.....	8-16
割り込み要因.....	6-14	内蔵周辺モジュール割り込み.....	6-13
固定モード.....	8-17	内部クロック ($I\phi$)	9-1
受信マージン.....	16-44	汎用レジスタ.....	2-5
周辺クロック ($P\phi$)	9-1	物理アドレス空間.....	3-6
処理モード.....	2-2	命令長.....	2-13
信号源インピーダンス.....	21-10	ユーザデバッグインタフェース.....	23-1
水晶発振子.....	9-3	優先順位.....	6-14
積和レジスタ.....	2-8	例外処理.....	5-1
赤外線データアソシエーション (IrDA)	17-1	例外処理状態.....	2-1
絶対アドレス.....	2-14	論理アドレス空間.....	3-3

SH7705グループ ハードウェアマニュアル

発行年月 2002年9月 第1版

2003年9月11日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業企画統括部

〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部

©2002, 2003 Renesas Technology Corp. All rights reserved. Printed in Japan.



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東 京 支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌 支	店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北 支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ き 支	店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城 支	社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟 支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本 支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部 営 業 本	部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松 支	店	〒430-7710	浜松市板屋町111-2 (浜松アクトタワー10F)	(053) 451-2131
西	部 営 業 本	部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスター10F)	(06) 6233-9500
北	陸 支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	国 支	社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	山 支	店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	取 支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州 支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児 島 支	店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンター E-Mail: csc@renesas.com



SH7705 グループ
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0075-0200H