

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7231 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. N.C.端子の処理

【注意】N.C.端子には何も接続しないでください。

N.C. (Non-Connection) 端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。

このため、N.C.端子には何も接続しないようにしてください。接続した場合は保証できません。

2. 未使用の入力端子の処理

【注意】未使用の入力端子は、プルアップまたはプルダウンに固定してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

3. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

4. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

5. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

SH7231 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	SH7231 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編	R01US0031JJ
アプリケーションノート	応用例参考プログラムなど	ルネサス エレクトロニクスのホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名. レジスタ名. ビット名」または「レジスタ名. ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、

10進数はnnnnで表します。

(例) 2進数 : B'11または11

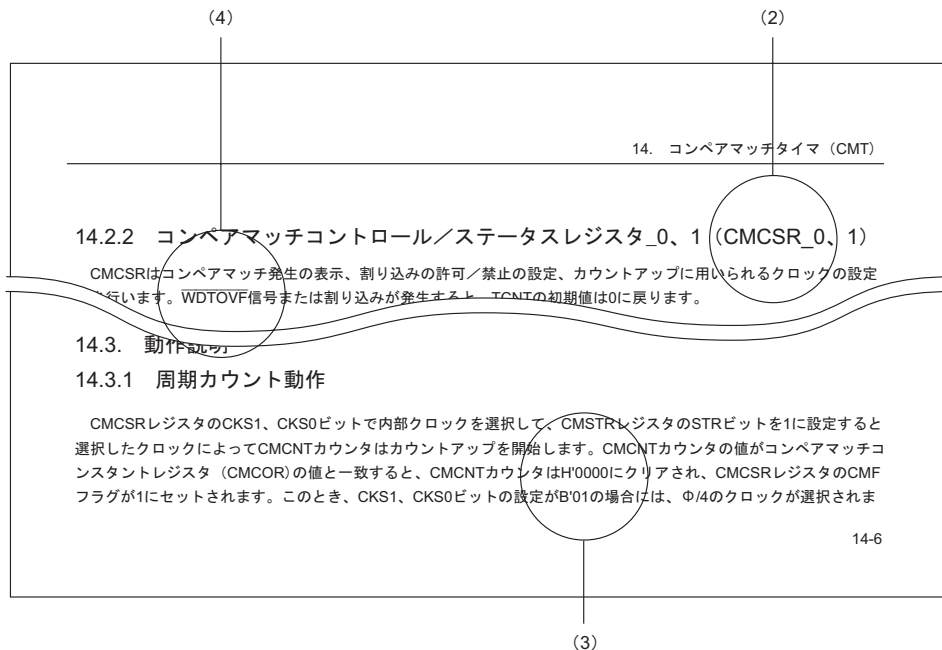
16進数 : H'EFA0または0xEFA0

10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF



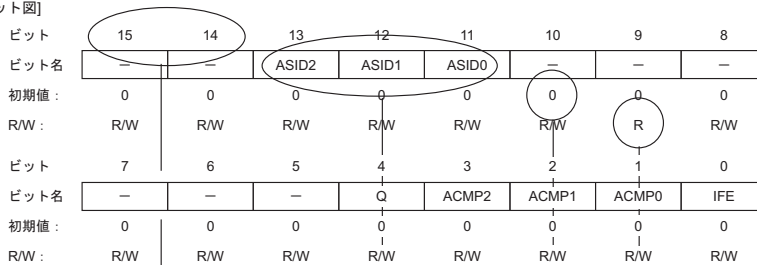
【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。

[ビット図]



[ビット表]

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
14	—	0	R	
13~11	ASID2~0	すべて0	R/W	アドレス識別子 端子機能の有効/無効を設定できます。
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	—	1	R	リザーブビット 読み出すと常に1が読み出されます。
—	—	0	—	—

【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

— : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R/(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。
ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、
ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略語または略称

略称	英語名	日本語名
BSC	Bus Controller	バスコントローラ
CPG	Clock Pulse Generator	クロック発振器
DTC	Data Transfer Controller	データトランスファコントローラ
INTC	Interrupt Controller	割り込みコントローラ
SCI	Serial Communication Interface	シリアルコミュニケーションインタフェース
WDT	Watchdog Timer	ウォッチドッグタイマ

- その他の略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7231の特長	1-1
1.2	ブロック図	1-8
1.3	ピン配置図	1-9
1.4	端子機能	1-26
2.	CPU	2-1
2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタバンク	2-4
2.1.5	レジスタの初期値	2-4
2.2	データ形式	2-5
2.2.1	レジスタのデータ形式	2-5
2.2.2	メモリのデータ形式	2-5
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-11
2.3.3	命令形式	2-15
2.4	命令セット	2-19
2.4.1	分類順命令セット	2-19
2.4.2	データ転送命令	2-24
2.4.3	算術演算命令	2-27
2.4.4	論理演算命令	2-29
2.4.5	シフト命令	2-30
2.4.6	分岐命令	2-31
2.4.7	システム制御命令	2-32
2.4.8	浮動小数点演算命令	2-34
2.4.9	FPUに関するCPU命令	2-36
2.4.10	ビット操作命令	2-37
2.5	処理状態	2-38

3.	浮動小数点ユニット (FPU)	3-1
3.1	特長	3-1
3.2	データフォーマット	3-2
3.2.1	浮動小数点フォーマット	3-2
3.2.2	非数 (NaN)	3-4
3.2.3	非正規化数	3-4
3.3	レジスタの説明	3-5
3.3.1	浮動小数点レジスタ	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-6
3.3.3	浮動小数点通信レジスタ (FPUL)	3-7
3.4	丸め	3-8
3.5	FPU例外	3-9
3.5.1	FPU 例外要因	3-9
3.5.2	FPU 例外処理	3-9
4.	MCU 動作モード	4-1
4.1	動作モードの選択	4-1
4.2	入出力端子	4-2
4.3	各動作モードの説明	4-2
4.3.1	モード 0 (MCU 拡張モード 0)	4-2
4.3.2	モード 1 (MCU 拡張モード 1)	4-2
4.3.3	モード 2 (MCU 拡張モード 2)	4-2
4.3.4	モード 3 (シングルチップモード)	4-2
4.4	アドレスマップ	4-3
4.5	本LSIの初期状態	4-5
4.6	使用上の注意事項	4-5
4.6.1	動作モード変更時の注意事項	4-5
4.6.2	電源投入時の注意事項	4-5
5.	クロックパルス発振器 (CPG)	5-1
5.1	特長	5-1
5.2	入出力端子	5-5
5.3	クロック動作モード	5-6
5.4	レジスタの説明	5-15
5.4.1	周波数制御レジスタ (FRQCR)	5-15
5.4.2	MTU2S クロック周波数制御レジスタ (MCLKCR)	5-17
5.4.3	AD クロック周波数制御レジスタ (ACLKCR)	5-18
5.4.4	発振停止検出制御レジスタ (OSCCR)	5-19
5.5	周波数変更方法	5-20
5.6	発振器	5-20

5.6.1	水晶発振子を接続する方法.....	5-20
5.6.2	外部クロックを入力する方法.....	5-21
5.7	発振停止検出機能.....	5-22
5.8	KEYC/TIM32C用クロック発振器.....	5-23
5.8.1	32.768kHz 水晶発振子を接続する方法.....	5-23
5.8.2	外部クロックを入力する方法.....	5-23
5.8.3	KEYC/TIM32C 用クロックを使用しない場合の端子処理.....	5-24
5.9	使用上の注意事項.....	5-25
5.9.1	発振子に関する注意事項.....	5-25
5.9.2	ボード設計上の注意事項.....	5-25
6.	例外処理.....	6-1
6.1	概要.....	6-1
6.1.1	例外処理の種類と優先順位.....	6-1
6.1.2	例外処理の動作.....	6-3
6.1.3	例外処理ベクタテーブル.....	6-5
6.2	リセット.....	6-7
6.2.1	入出力端子.....	6-7
6.2.2	リセットの種類.....	6-7
6.2.3	パワーオンリセット.....	6-8
6.2.4	マニュアルリセット.....	6-9
6.3	アドレスエラー.....	6-10
6.3.1	アドレスエラー発生要因.....	6-10
6.3.2	アドレスエラー例外処理.....	6-11
6.4	レジスタバンクエラー.....	6-12
6.4.1	レジスタバンクエラー発生要因.....	6-12
6.4.2	レジスタバンクエラー例外処理.....	6-12
6.5	割り込み.....	6-13
6.5.1	割り込み要因.....	6-13
6.5.2	割り込み優先順位.....	6-14
6.5.3	割り込み例外処理.....	6-15
6.6	命令による例外.....	6-16
6.6.1	命令による例外の種類.....	6-16
6.6.2	トラップ命令.....	6-16
6.6.3	スロット不当命令.....	6-17
6.6.4	一般不当命令.....	6-17
6.6.5	整数除算例外.....	6-17
6.6.6	FPU 例外.....	6-18
6.7	例外処理が受け付けられない場合.....	6-19
6.8	例外処理後のスタックの状態.....	6-20
6.9	使用上の注意事項.....	6-21

6.9.1	スタックポインタ (SP) の値	6-21
6.9.2	ベクタベースレジスタ (VBR) の値	6-21
6.9.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	6-21
6.9.4	CPU のステータスレジスタ (SR) の割り込みマスクレベル (IMASK) 変更時の 注意事項	6-21
7.	割り込みコントローラ (INTC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-4
7.3.1	割り込み優先レベル設定レジスタ 01 ~ 04、06、08 ~ 18 (IPR01 ~ IPR04、IPR06、IPR08 ~ IPR18)	7-5
7.3.2	割り込みコントロールレジスタ 0 (ICR0)	7-6
7.3.3	割り込みコントロールレジスタ 1 (ICR1)	7-7
7.3.4	割り込みコントロールレジスタ 2 (ICR2)	7-8
7.3.5	割り込みコントロールレジスタ 3 (ICR3)	7-9
7.3.6	IRQ 割り込み要求レジスタ 0 (IRQRR0)	7-10
7.3.7	IRQ 割り込み要求レジスタ 1 (IRQRR1)	7-11
7.3.8	バンクコントロールレジスタ (IBCR)	7-12
7.3.9	バンク番号レジスタ (IBNR)	7-13
7.4	割り込み要因	7-14
7.4.1	NMI 割り込み	7-14
7.4.2	ユーザブレイク割り込み	7-14
7.4.3	H-UDI 割り込み	7-14
7.4.4	IRQ 割り込み	7-14
7.4.5	内蔵周辺モジュール割り込み	7-15
7.5	割り込み例外処理ベクタテーブルと優先順位	7-16
7.6	動作説明	7-22
7.6.1	割り込み動作の流れ	7-22
7.6.2	割り込み例外処理終了後のスタックの状態	7-24
7.7	割り込み応答時間	7-25
7.8	レジスタバンク	7-30
7.8.1	バンクの対象レジスタと入出力方式	7-30
7.8.2	バンク退避、復帰の動作	7-31
7.8.3	すべてのバンクに退避が行われた状態での退避、復帰	7-33
7.8.4	レジスタバンクの例外	7-34
7.8.5	レジスタバンクエラー例外処理	7-34
7.9	割り込み要求信号によるデータ転送	7-35
7.9.1	割り込み要求信号を DTC の起動要因および CPU の割り込み要因とし、DMAC の 起動要因としない場合	7-36

7.9.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因および DTC の起動要因としない場合.....	7-37
7.9.3	割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因および DMAC の起動要因としない場合.....	7-37
7.9.4	割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因および DMAC 起動要因としない場合.....	7-37
7.10	使用上の注意事項.....	7-38
7.10.1	割り込み要因クリアのタイミング.....	7-38
7.10.2	IRQOUT のネゲートタイミング.....	7-38
7.10.3	IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項.....	7-38
8.	ユーザブレークコントローラ (UBC)	8-1
8.1	特長.....	8-1
8.2	入出力端子.....	8-3
8.3	レジスタの説明.....	8-3
8.3.1	ブレークアドレスレジスタ_0、1 (BAR_0、BAR_1)	8-4
8.3.2	ブレークアドレスマスクレジスタ_0、1 (BAMR_0、BAMR_1)	8-5
8.3.3	ブレークバスサイクルレジスタ_0、1 (BBR_0、BBR_1)	8-6
8.3.4	ブレークアドレスレジスタ_2~7 (BAR_2~BAR_7)	8-8
8.3.5	ブレークバスサイクルレジスタ_2~7 (BBR_2~BBR_7)	8-9
8.3.6	ブレークコントロールレジスタ (BRCCR)	8-10
8.4	動作説明.....	8-14
8.4.1	ユーザブレーク動作の流れ.....	8-14
8.4.2	命令フェッチサイクルでのブレーク.....	8-15
8.4.3	データアクセスサイクルでのブレーク.....	8-15
8.4.4	回避されるプログラムカウンタの値.....	8-16
8.4.5	使用例.....	8-16
8.5	割り込み要因.....	8-19
8.6	使用上の注意事項.....	8-20
9.	データトランスファコントローラ (DTC)	9-1
9.1	特長.....	9-1
9.2	レジスタの説明.....	9-3
9.2.1	DTC モードレジスタ A (MRA)	9-4
9.2.2	DTC モードレジスタ B (MRB)	9-5
9.2.3	DTC ソースアドレスレジスタ (SAR)	9-6
9.2.4	DTC デスティネーションアドレスレジスタ (DAR)	9-6
9.2.5	DTC 転送カウントレジスタ A (CRA)	9-7
9.2.6	DTC 転送カウントレジスタ B (CRB)	9-7
9.2.7	DTC イネーブルレジスタ A ~ G (DTCERA ~ DTCERG)	9-8
9.2.8	DTC コントロールレジスタ (DTCCR)	9-9

9.2.9	DTC ベクタベースレジスタ (DTCVBR)	9-10
9.2.10	バス機能拡張レジスタ (BSCEHR)	9-10
9.3	起動要因	9-11
9.4	転送情報の配置とDTCベクタテーブル.....	9-12
9.5	動作説明	9-17
9.5.1	転送情報リードスキップ機能.....	9-21
9.5.2	転送情報ライトバックスキップ機能	9-21
9.5.3	ノーマル転送モード.....	9-22
9.5.4	リピート転送モード.....	9-23
9.5.5	ブロック転送モード.....	9-24
9.5.6	チェーン転送	9-25
9.5.7	動作タイミング	9-26
9.5.8	DTC の実行ステート.....	9-29
9.5.9	DTC のバス権解放タイミング.....	9-29
9.5.10	DTC 起動の優先順位.....	9-31
9.6	割り込みによるDTCの起動.....	9-32
9.7	DTC使用例	9-33
9.7.1	ノーマル転送.....	9-33
9.7.2	カウンタ=0のときのチェーン転送	9-33
9.8	割り込み要因.....	9-35
9.9	使用上の注意事項	9-36
9.9.1	モジュールスタンバイモードの設定	9-36
9.9.2	内蔵 RAM.....	9-36
9.9.3	DTCE ビットの設定	9-36
9.9.4	チェーン転送.....	9-36
9.9.5	転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス.....	9-36
9.9.6	DTC による DTC レジスタのアクセス	9-36
9.9.7	IRQ 割り込みを DTC 転送要因にした場合の注意事項	9-36
9.9.8	SCI および SCIF を DTC 起動要因とする場合の注意事項	9-37
9.9.9	割り込み要因フラグのクリア.....	9-37
9.9.10	NMI 割り込みと DTC 起動の競合.....	9-37
9.9.11	DTC 起動要因が途中で取り下げられた場合の動作	9-37
10.	バスステートコントローラ (BSC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-4
10.3	エリアの概要	10-5
10.3.1	アドレスマップ	10-5
10.3.2	動作モードの設定.....	10-7
10.4	レジスタの説明.....	10-8
10.4.1	共通コントロールレジスタ (CMNCR)	10-9

10.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~7)	10-11
10.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~7)	10-15
10.4.4	SDRAM コントロールレジスタ (SDCR)	10-34
10.4.5	リフレッシュタイムコントロール/ステータスレジスタ (RTCSCR)	10-37
10.4.6	リフレッシュタイムカウンタ (RTCNT)	10-39
10.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR)	10-40
10.4.8	バス機能拡張レジスタ (BSCEHR)	10-41
10.5	動作説明	10-43
10.5.1	エンディアン/アクセスサイズとデータアライメント	10-43
10.5.2	通常空間インタフェース	10-46
10.5.3	アクセスウェイト制御	10-51
10.5.4	\overline{CSn} アサート期間拡張	10-53
10.5.5	MPX-I/O インタフェース	10-54
10.5.6	SDRAM インタフェース	10-57
10.5.7	パースト ROM (クロック非同期) インタフェース	10-89
10.5.8	バイト選択付き SRAM インタフェース	10-90
10.5.9	パースト ROM (クロック同期) インタフェース	10-95
10.5.10	アクセスサイクル間アイドル	10-96
10.5.11	バスアービトレーション	10-102
10.5.12	その他	10-104
10.6	割り込み要因	10-111
11.	ダイレクトメモリアクセスコントローラ (DMAC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-4
11.3.1	DMA ソースアドレスレジスタ (SAR)	11-6
11.3.2	DMA デスティネーションアドレスレジスタ (DAR)	11-6
11.3.3	DMA トランスファカウンタレジスタ (DMATCR)	11-7
11.3.4	DMA チャンネルコントロールレジスタ (CHCR)	11-7
11.3.5	DMA リロードソースアドレスレジスタ (RSAR)	11-13
11.3.6	DMA リロードデスティネーションアドレスレジスタ (RDAR)	11-13
11.3.7	DMA リロードトランスファカウンタレジスタ (RDMATCR)	11-14
11.3.8	DMA オペレーションレジスタ (DMAOR)	11-14
11.3.9	DMA 拡張リソースセクタ 0、1 (DMARS0、DMARS1)	11-17
11.4	動作説明	11-20
11.4.1	転送フロー	11-20
11.4.2	DMA 転送要求	11-22
11.4.3	チャンネルの優先順位	11-26
11.4.4	DMA 転送の種類	11-29
11.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング	11-38

11.5	割り込み要因	11-41
11.5.1	割り込み要因と優先順位	11-41
11.6	使用上の注意事項	11-42
11.6.1	ハーフエンドフラグのセットおよびハーフエンド割り込み	11-42
11.6.2	DACK 出力および TEND 出力タイミング	11-42
11.6.3	モジュールスタンバイモードの設定	11-42
11.6.4	DMAC による DMAC/DTC レジスタのアクセス	11-42
11.6.5	SCI および SCIF を DMAC 起動要因とする場合の注意事項	11-43
11.6.6	CHCR の設定	11-43
11.6.7	複数チャネルの起動時の注意事項	11-43
11.6.8	転送要求入力時の注意事項	11-43
11.6.9	NMI 割り込みと DMAC 起動の競合	11-43
11.6.10	外部リクエストモードを使用する場合の注意事項	11-44
11.6.11	内蔵周辺モジュールリクエストモードまたはオートリクエストモードを使用する場合の 注意事項	11-45
12.	マルチファンクションタイムパルスユニット 2 (MTU2)	12-1
12.1	特長	12-1
12.2	入出力端子	12-6
12.3	レジスタの説明	12-8
12.3.1	タイマコントロールレジスタ (TCR)	12-11
12.3.2	タイマモードレジスタ (TMDR)	12-15
12.3.3	タイマ I/O コントロールレジスタ (TIOR)	12-17
12.3.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	12-36
12.3.5	タイマインタラプトイネーブルレジスタ (TIER)	12-37
12.3.6	タイマステータスレジスタ (TSR)	12-41
12.3.7	タイマバッファ動作転送モードレジスタ (TBTM)	12-47
12.3.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	12-48
12.3.9	タイマシンクロクリアレジスタ (TSYCR)	12-49
12.3.10	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	12-50
12.3.11	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	12-52
12.3.12	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	12-52
12.3.13	タイマカウンタ (TCNT)	12-53
12.3.14	タイマジェネラルレジスタ (TGR)	12-53
12.3.15	タイマスタートレジスタ (TSTR)	12-54
12.3.16	タイマシンクロレジスタ (TSYR)	12-56
12.3.17	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	12-57
12.3.18	タイマリードライトイネーブルレジスタ (TRWER)	12-59
12.3.19	タイマアウトプットマスタイネーブルレジスタ (TOER)	12-60
12.3.20	タイマアウトプットコントロールレジスタ 1 (TOCR1)	12-61
12.3.21	タイマアウトプットコントロールレジスタ 2 (TOCR2)	12-63

12.3.22	タイマアウトプットレベルバッファレジスタ (TOLBR)	12-66
12.3.23	タイマゲートコントロールレジスタ (TGCR)	12-67
12.3.24	タイマサブカウンタ (TCNTS)	12-68
12.3.25	タイマデッドタイムデータレジスタ (TDDR)	12-68
12.3.26	タイマ周期データレジスタ (TCDR)	12-69
12.3.27	タイマ周期バッファレジスタ (TCBR)	12-69
12.3.28	タイマ割り込み間引き設定レジスタ (TITCR)	12-70
12.3.29	タイマ割り込み間引き回数カウンタ (TITCNT)	12-71
12.3.30	タイマバッファ転送設定レジスタ (TBTER)	12-72
12.3.31	タイマデッドタイムイネーブルレジスタ (TDER)	12-73
12.3.32	タイマ波形コントロールレジスタ (TWCR)	12-74
12.3.33	バスマスタとのインタフェース.....	12-75
12.4	動作説明	12-76
12.4.1	基本動作	12-76
12.4.2	同期動作	12-82
12.4.3	バッファ動作	12-84
12.4.4	カスケード接続動作	12-88
12.4.5	PWM モード	12-92
12.4.6	位相計数モード	12-97
12.4.7	リセット同期 PWM モード	12-103
12.4.8	相補 PWM モード	12-106
12.4.9	A/D 変換開始要求ディレイド機能	12-141
12.4.10	MTU2 - MTU2S の同期動作	12-145
12.4.11	外部パルス幅測定機能	12-150
12.4.12	デッドタイム補償用機能	12-151
12.4.13	相補 PWM の「山 / 谷」での TCNT キャプチャ動作	12-153
12.5	割り込み要因	12-154
12.5.1	割込要因と優先順位	12-154
12.5.2	DTC/DMAC の起動	12-156
12.5.3	A/D 変換器の起動	12-156
12.6	動作タイミング	12-158
12.6.1	入出力タイミング	12-158
12.6.2	割り込み信号タイミング	12-165
12.7	使用上の注意事項	12-171
12.7.1	モジュールスタンバイモードの設定	12-171
12.7.2	入力クロックの制限事項	12-171
12.7.3	周期設定上の注意事項	12-171
12.7.4	TCNT のライトとクリアの競合	12-172
12.7.5	TCNT のライトとカウントアップの競合	12-172
12.7.6	TGR のライトとコンペアマッチの競合	12-173
12.7.7	バッファレジスタのライトとコンペアマッチの競合	12-174

12.7.8	バッファレジスタのライトと TCNT クリアの競合	12-175
12.7.9	TGR のリードとインプットキャプチャの競合	12-176
12.7.10	TGR のライトとインプットキャプチャの競合	12-177
12.7.11	バッファレジスタのライトとインプットキャプチャの競合	12-178
12.7.12	カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合	12-178
12.7.13	相補 PWM モード停止時のカウンタ値	12-180
12.7.14	相補 PWM モードでのバッファ動作の設定	12-180
12.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	12-181
12.7.16	リセット同期 PWM モードのオーバフローフラグ	12-182
12.7.17	オーバフロー / アンダフローとカウンタクリアの競合	12-183
12.7.18	TCNT のライトとオーバフロー / アンダフローの競合	12-183
12.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の 注意事項	12-184
12.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	12-184
12.7.21	モジュールスタンバイ時の割り込み	12-184
12.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	12-184
12.7.23	相補 PWM モードでの同期カウンタクリア時の出力波形制御	12-185
12.8	MTU2出力端子の初期化方法	12-187
12.8.1	動作モード	12-187
12.8.2	リセットスタート時の動作	12-187
12.8.3	動作中の異常などによる再設定時の動作	12-188
12.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	12-188
13.	マルチファンクションタイムパルスユニット 2S (MTU2S)	13-1
13.1	入出力端子	13-3
13.2	レジスタの説明	13-4
14.	ポートアウトプットイネーブル 2 (POE2)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-4
14.3.1	入力レベルコントロール / ステータスレジスタ 1 (ICSR1)	14-4
14.3.2	出力レベルコントロール / ステータスレジスタ 1 (OCSR1)	14-7
14.3.3	入力レベルコントロール / ステータスレジスタ 2 (ICSR2)	14-8
14.3.4	出力レベルコントロール / ステータスレジスタ 2 (OCSR2)	14-10
14.3.5	入力レベルコントロール / ステータスレジスタ 3 (ICSR3)	14-11
14.3.6	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	14-12
14.3.7	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	14-14
14.3.8	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	14-15
14.4	動作説明	14-17
14.4.1	入力レベル検出動作	14-18

14.4.2	出力レベル比較動作.....	14-19
14.4.3	ハイインピーダンス状態からの解除.....	14-20
14.5	割り込み.....	14-20
14.6	使用上の注意事項.....	14-21
14.6.1	ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態.....	14-21
15.	コンペアマッチタイマ (CMT)	15-1
15.1	特長.....	15-1
15.2	レジスタの説明.....	15-2
15.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	15-2
15.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	15-3
15.2.3	コンペアマッチカウンタ (CMCNT)	15-4
15.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	15-4
15.3	動作説明.....	15-5
15.3.1	期間カウント動作.....	15-5
15.3.2	CMCNT カウントタイミング	15-5
15.4	割り込み.....	15-6
15.4.1	割り込み要因と DTC/DMA 転送要求.....	15-6
15.4.2	コンペアマッチフラグのセットタイミング	15-7
15.4.3	コンペアマッチフラグのクリアタイミング	15-7
15.5	使用上の注意事項.....	15-8
15.5.1	モジュールスタンバイモードの設定	15-8
15.5.2	CMCNT の書き込みとコンペアマッチの競合	15-8
15.5.3	CMCNT のワード書き込みとカウントアップの競合	15-8
15.5.4	CMCNT と CMCOR のコンペアマッチ.....	15-9
16.	コンペアマッチタイマ 2 (CMT2)	16-1
16.1	特長.....	16-1
16.2	入出力端子.....	16-3
16.3	レジスタの説明.....	16-4
16.3.1	タイマスタートレジスタ (CM2STR)	16-4
16.3.2	タイマコントロールレジスタ (CM2CR)	16-5
16.3.3	タイマ I/O コントロールレジスタ (CM2IOR)	16-7
16.3.4	タイマステータスレジスタ (CM2SR)	16-9
16.3.5	タイマカウンタ (CM2CNT)	16-11
16.3.6	コンペアマッチコンスタントレジスタ (CM2COR)	16-12
16.3.7	インプットキャプチャレジスタ 0、1 (CM2ICR0、CM2ICR1)	16-12
16.3.8	アウトプットコンペアレジスタ 0、1 (CM2OCR0、CM2OCR1)	16-13
16.4	動作説明.....	16-14
16.4.1	カウンタ動作.....	16-14
16.4.2	コンペアマッチ機能.....	16-14

16.4.3	アウトプットコンペア機能.....	16-16
16.4.4	インプットキャプチャ機能.....	16-17
16.4.5	カウンタサイズ.....	16-18
16.4.6	CM2CNT カウントタイミング.....	16-18
16.4.7	アウトプットコンペア出力タイミング.....	16-19
16.4.8	インプットキャプチャ信号タイミング.....	16-19
16.4.9	CM2CNT/CM2COR/CM2ICR/CM2OCR アクセスタイミング.....	16-20
16.5	割り込み.....	16-22
16.5.1	CMT2 の割り込み要因と DMAC/DTC.....	16-22
16.5.2	コンペアマッチフラグのセットタイミング.....	16-23
16.5.3	アウトプットコンペア時のフラグのセットタイミング.....	16-23
16.5.4	インプットキャプチャ時のフラグのセットタイミング.....	16-24
16.6	使用上の注意事項.....	16-25
16.6.1	モジュールスタンバイモードの設定.....	16-25
16.6.2	CM2CNT の書き込みとカウントアップ / カウンタクリアの競合.....	16-25
16.6.3	CM2COR の書き込みとコンペアマッチの競合.....	16-26
16.6.4	CM2OCR の書き込みとコンペアマッチの競合.....	16-26
16.6.5	CM2CNT 読み出しとカウントアップ / カウンタクリアの競合.....	16-27
16.6.6	CM2ICR 読み出しとインプットキャプチャの競合.....	16-28
16.6.7	CM2SR レジスタのフラグクリア時の注意事項.....	16-28
17.	ウォッチドッグタイマ (WDT).....	17-1
17.1	特長.....	17-1
17.2	入出力端子.....	17-3
17.3	レジスタの説明.....	17-4
17.3.1	ウォッチドッグタイマカウンタ (WTCNT).....	17-4
17.3.2	ウォッチドッグタイマコントロール / ステータスレジスタ (WTC SR).....	17-5
17.3.3	ウォッチドッグリセットコントロール / ステータスレジスタ (WRCSR).....	17-7
17.3.4	レジスタアクセス時の注意.....	17-8
17.4	WDT の使用方法.....	17-9
17.4.1	ソフトウェアスタンバイモード解除の手順.....	17-9
17.4.2	ウォッチドッグタイマモードの使用法.....	17-9
17.4.3	インターバルタイマモードの使用法.....	17-11
17.5	割り込み要因.....	17-12
17.6	使用上の注意事項.....	17-13
17.6.1	タイマ誤差.....	17-13
17.6.2	WTCNT の設定値として H'FF は設定禁止.....	17-13
17.6.3	インターバルタイマオーバフローフラグ.....	17-13
17.6.4	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット.....	17-13
17.6.5	ウォッチドッグタイマモードのマニュアルリセット.....	17-14
17.6.6	$\overline{\text{WDTOVF}}$ 端子の使用上の注意事項.....	17-14

18.	シリアルコミュニケーションインタフェース (SCI)	18-1
18.1	特長	18-1
18.2	入出力端子	18-4
18.3	レジスタの説明	18-5
18.3.1	レシーブシフトレジスタ (SCRSR)	18-7
18.3.2	レシーブデータレジスタ (SCRDR)	18-7
18.3.3	トランスミットシフトレジスタ (SCTSR)	18-7
18.3.4	トランスミットデータレジスタ (SCTDR)	18-8
18.3.5	シリアルモードレジスタ (SCSMR)	18-8
18.3.6	シリアルコントロールレジスタ (SCSCR)	18-10
18.3.7	シリアルステータスレジスタ (SCSSR)	18-13
18.3.8	シリアルポートレジスタ (SCSPTR)	18-17
18.3.9	シリアルディレクションコントロールレジスタ (SCSDCR)	18-18
18.3.10	ビットレートレジスタ (SCBRR)	18-19
18.3.11	シリアルモードレジスタ2 (SCSMR2)	18-30
18.3.12	送信用ビットレート調整カウンタ (SCTBACNT)	18-31
18.3.13	受信用ビットレート調整カウンタ (SCRBACNT)	18-31
18.3.14	ビットレート調整コンペアレジスタ (SCBACOR)	18-31
18.4	動作説明	18-32
18.4.1	概要	18-32
18.4.2	調歩同期式モード時の動作	18-34
18.4.3	クロック同期式モード時の動作	18-43
18.4.4	マルチプロセッサ通信機能	18-52
18.4.5	マルチプロセッサシリアルデータ送信	18-53
18.4.6	マルチプロセッサシリアルデータ受信	18-54
18.5	ビットレート調整機能	18-57
18.6	割り込み要因とDMAC/DTC	18-59
18.7	シリアルポートレジスタ (SCSPTR) とSCI端子との関係	18-61
18.8	使用上の注意事項	18-62
18.8.1	SCTDR への書き込みと TDRE フラグの関係について	18-62
18.8.2	複数の受信エラーが同時に発生した場合の動作について	18-62
18.8.3	ブレークの検出と処理について	18-63
18.8.4	ブレークの送り出し	18-63
18.8.5	調歩同期式モードの受信データサンプリングタイミングと受信マージン	18-63
18.8.6	DMAC/DTC 使用上の注意事項	18-64
18.8.7	クロック同期外部クロックモード時の注意事項	18-65
18.8.8	モジュールスタンバイモードの設定	18-65
19.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	19-1
19.1	特長	19-1

19.2	入出力端子	19-3
19.3	レジスタの説明	19-4
19.3.1	レシーブシフトレジスタ (SCRSR)	19-6
19.3.2	レシーブ FIFO データレジスタ (SCFRDR)	19-6
19.3.3	トランスミットシフトレジスタ (SCTSR)	19-6
19.3.4	トランスミット FIFO データレジスタ (SCFTDR)	19-7
19.3.5	シリアルモードレジスタ (SCSMR)	19-7
19.3.6	シリアルコントロールレジスタ (SCSCR)	19-10
19.3.7	シリアルステータスレジスタ (SCFSR)	19-13
19.3.8	ビットレートレジスタ (SCBRR)	19-18
19.3.9	FIFO コントロールレジスタ (SCFCR)	19-29
19.3.10	FIFO データ数レジスタ (SCFDR)	19-31
19.3.11	シリアルポートレジスタ (SCSPTR)	19-31
19.3.12	ラインステータスレジスタ (SCLSR)	19-33
19.3.13	シリアルディレクションコントロールレジスタ (SCSDCR)	19-34
19.3.14	FIFO トリガコントロールレジスタ (SCFTCR)	19-34
19.4	動作説明	19-36
19.4.1	概要	19-36
19.4.2	調歩同期式モード時の動作	19-38
19.4.3	クロック同期式モード時の動作	19-47
19.5	割り込み要因とDMAC/DTC	19-55
19.6	シリアルポートレジスタ (SCSPTR) とSCIF端子との関係	19-57
19.7	使用上の注意事項	19-58
19.7.1	SCFTDR への書き込みと TDFE フラグ	19-58
19.7.2	SCFRDR の読み出しと RDF フラグ	19-58
19.7.3	DMAC/DTC 使用上の制約事項	19-58
19.7.4	ブレークの検出と処理	19-58
19.7.5	ブレークの送り出し	19-59
19.7.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	19-59
19.7.7	シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグについて	19-60
19.7.8	クロック同期外部クロックモード時の注意事項	19-60
19.7.9	モジュールスタンバイモードの設定	19-60
20.	I ² C バスインタフェース 3 (IIC3)	20-1
20.1	特長	20-1
20.2	入出力端子	20-3
20.3	レジスタの説明	20-4
20.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	20-4
20.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	20-7
20.3.3	I ² C バスモードレジスタ (ICMR)	20-9
20.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	20-11

20.3.5	I ² C バスステータスレジスタ (ICSR)	20-13
20.3.6	スレーブアドレスレジスタ (SAR)	20-15
20.3.7	I ² C バス送信データレジスタ (ICDRT)	20-16
20.3.8	I ² C バス受信データレジスタ (ICDRR)	20-16
20.3.9	I ² C バスシフトレジスタ (ICDRS)	20-16
20.3.10	NF2CYC レジスタ (NF2CYC)	20-17
20.4	動作説明	20-18
20.4.1	I ² C バスフォーマット	20-18
20.4.2	マスタ送信動作	20-19
20.4.3	マスタ受信動作	20-21
20.4.4	スレーブ送信動作	20-23
20.4.5	スレーブ受信動作	20-25
20.4.6	クロック同期式シリアルフォーマット	20-27
20.4.7	ノイズ除去回路	20-30
20.4.8	使用例	20-31
20.4.9	IICRST ビットによる I ² C バスインタフェース 3 のリセット	20-33
20.5	割り込み要因とDMAC/DTC	20-36
20.6	DMAC/DTCによる動作	20-38
20.7	ビット同期回路	20-39
20.8	使用上の注意事項	20-42
20.8.1	モジュールスタンバイモードの設定	20-42
20.8.2	マルチマスタで使用時の注意	20-42
20.8.3	マスタ受信モード時の注意	20-42
20.8.4	マスタ受信モード、ACKBT 設定時の注意	20-42
20.8.5	マスタ送信モード、ACKE 設定時の注意	20-42
20.8.6	アービトラクションロスト時の MST と TRS ビットの状態についての注意	20-43
20.8.7	I ² C バス動作中における ICE ビットおよび IICRST ビットのアクセス	20-43
21.	A/D 変換器 (ADC)	21-1
21.1	特長	21-1
21.2	入出力端子	21-4
21.3	レジスタの説明	21-5
21.3.1	A/D データレジスタ 0 ~ 15 (ADDR0 ~ ADDR15)	21-6
21.3.2	A/D コントロール/ステータスレジスタ_0、1 (ADCSR_0、1)	21-6
21.3.3	A/D コントロールレジスタ_0、1 (ADCR_0、1)	21-10
21.3.4	A/D シャドーデータレジスタ (ADSDR)	21-10
21.3.5	A/D シャドーセレクトレジスタ (ADSSR)	21-11
21.3.6	A/D トリガセレクトレジスタ_0 (ADTSR_0)	21-13
21.4	動作説明	21-17
21.4.1	シングルモード	21-17
21.4.2	2チャンネルスキャンモード	21-18

21.4.3	4チャンネルスキャンモード.....	21-19
21.4.4	8チャンネルスキャンモード.....	21-20
21.4.5	2チャンネルスキャンモード時の A/D 変換起動要因.....	21-21
21.4.6	入力サンプリングと A/D 変換時間.....	21-22
21.4.7	MTU2、MTU2S による A/D 変換器の起動.....	21-25
21.4.8	外部トリガ入力タイミング.....	21-25
21.4.9	A/D シャドーレジスタ (ADSDR) のアクセス.....	21-26
21.5	割り込み要因とDMAC/DTC転送要求.....	21-27
21.6	A/D変換精度の定義.....	21-28
21.7	使用上の注意事項.....	21-30
21.7.1	モジュールスタンバイモードの設定.....	21-30
21.7.2	2チャンネルスキャンモードにおける A/D 変換要求.....	21-30
21.7.3	MTU2/MTU2S A/D 変換開始要求ディレイドによる A/D 変換要求.....	21-30
21.7.4	許容信号源インピーダンスについて.....	21-30
21.7.5	絶対精度への影響.....	21-31
21.7.6	アナログ電源端子などの設定範囲.....	21-31
21.7.7	ボード設計上の注意事項.....	21-31
21.7.8	ノイズ対策上の注意事項.....	21-32
22.	ピンファンクションコントローラ (PFC).....	22-1
22.1	レジスタの説明.....	22-20
22.1.1	ポート A・IO レジスタ L、H (PAIORL、PAIORH).....	22-22
22.1.2	ポート A コントロールレジスタ L1、L2、H1 (PACRL1、PACRL2、PACRH1).....	22-23
22.1.3	ポート A プルアップ MOS コントロールレジスタ L、H (PAPCRL、PAPCRH).....	22-28
22.1.4	ポート B・IO レジスタ L (PBIORL).....	22-30
22.1.5	ポート B コントロールレジスタ L1、L2 (PBCRL1、PBCRL2).....	22-30
22.1.6	ポート B プルアップ MOS コントロールレジスタ L (PBPCRL).....	22-34
22.1.7	ポート C・IO レジスタ L (PCIORL).....	22-35
22.1.8	ポート C コントロールレジスタ L1、L2 (PCCRL1、PCCRL2).....	22-36
22.1.9	ポート C プルアップ MOS コントロールレジスタ L (PCPCRL).....	22-40
22.1.10	ポート D・IO レジスタ L、H (PDIORL、PDIORH).....	22-41
22.1.11	ポート D コントロールレジスタ L1、L2、H1、H2 (PDCRL1、PDCRL2、PDCRH1、PDCRH2).....	22-42
22.1.12	ポート D プルアップ MOS コントロールレジスタ L、H (PDPCRL、PDPCRH).....	22-50
22.1.13	ポート E・IO レジスタ L、H (PEIORL、PEIORH).....	22-52
22.1.14	ポート E コントロールレジスタ L1、L2、H1 (PECRL1、PECRL2、PECRH1).....	22-53
22.1.15	ポート E プルアップ MOS コントロールレジスタ L、H (PEPCRL、PEPCRH).....	22-59
22.1.16	ポート G・IO レジスタ L (PGIORL).....	22-61
22.1.17	ポート G コントロールレジスタ L1 (PGCRL1).....	22-62
22.1.18	ポート G プルアップ MOS コントロールレジスタ L (PGPCRL).....	22-64
22.1.19	ポート H・IO レジスタ L (PHIORL).....	22-65

22.1.20	ポートHコントロールレジスタL1 (PHCRL1)	22-66
22.1.21	ポートHプルアップMOSコントロールレジスタL (PHPCRL)	22-68
22.1.22	ポートJ・IOレジスタL (PJIORL)	22-69
22.1.23	ポートJコントロールレジスタL1 (PJCRL1)	22-70
22.1.24	ポートJプルアップMOSコントロールレジスタL (PJPCRL)	22-72
22.1.25	ポートK・IOレジスタL (PKIORL)	22-73
22.1.26	ポートKコントロールレジスタL1 (PKCRL1)	22-73
22.1.27	ポートKプルアップMOSコントロールレジスタL (PKPCRL)	22-75
22.1.28	ポートLプルアップMOSコントロールレジスタL (PLPCRL)	22-76
22.1.29	大電流ポートコントロールレジスタ (HCPCR)	22-77
22.1.30	I/Oバッファドライブ制御レジスタ (DRVCR)	22-78
22.1.31	ポート機能拡張レジスタ (PFEXCR)	22-79
22.2	使用上の注意事項	22-80
22.2.1	ピンファンクションコントローラに関する注意事項	22-80
22.2.2	IRQ[23:0]が割り当てられているポートの端子機能変更時に関する注意事項	22-81
23.	I/Oポート	23-1
23.1	ポートA	23-1
23.1.1	レジスタの説明	23-2
23.1.2	ポートAデータレジスタH、L (PADRH、PADRL)	23-2
23.1.3	ポートAポートレジスタH、L (PAPRH、PAPRL)	23-3
23.2	ポートB	23-5
23.2.1	レジスタの説明	23-5
23.2.2	ポートBデータレジスタL (PBDRL)	23-6
23.2.3	ポートBポートレジスタL (PBPRL)	23-7
23.3	ポートC	23-8
23.3.1	レジスタの説明	23-8
23.3.2	ポートCデータレジスタL (PCDRL)	23-9
23.3.3	ポートCポートレジスタL (PCPRL)	23-10
23.4	ポートD	23-11
23.4.1	レジスタの説明	23-12
23.4.2	ポートDデータレジスタH、L (PDDRH、PDDRL)	23-13
23.4.3	ポートDポートレジスタH、L (PDPRH、PDPRL)	23-15
23.5	ポートE	23-17
23.5.1	レジスタの説明	23-18
23.5.2	ポートEデータレジスタH、L (PEDRH、PEDRL)	23-18
23.5.3	ポートEポートレジスタH、L (PEPRH、PEPRL)	23-20
23.6	ポートF	23-22
23.6.1	レジスタの説明	23-22
23.6.2	ポートFデータレジスタL (PFDRL)	23-23
23.7	ポートG	23-24

23.7.1	レジスタの説明.....	23-24
23.7.2	ポート G データレジスタ L (PGDRL)	23-25
23.7.3	ポート G ポートレジスタ L (PGPRL)	23-26
23.8	ポート H	23-27
23.8.1	レジスタの説明.....	23-27
23.8.2	ポート H データレジスタ L (PHDRL)	23-28
23.8.3	ポート H ポートレジスタ L (PHPRL)	23-29
23.9	ポート J	23-30
23.9.1	レジスタの説明.....	23-30
23.9.2	ポート J データレジスタ L (PJDRL)	23-31
23.9.3	ポート J ポートレジスタ L (PJPRL)	23-32
23.10	ポート K	23-33
23.10.1	レジスタの説明.....	23-33
23.10.2	ポート K データレジスタ L (PKDRL)	23-34
23.10.3	ポート K ポートレジスタ L (PKPRL)	23-35
23.11	ポート L	23-36
23.11.1	レジスタの説明.....	23-36
23.11.2	ポート L データレジスタ L (PLDRL)	23-37
24.	LVDS 受信インタフェース (LVDS) (SH72315A のみ)	24-1
24.1	特長	24-1
24.2	入出力端子	24-3
24.3	レジスタの説明	24-5
24.3.1	LVDS 受信 FIFO データレジスタ (LVFRDR)	24-6
24.3.2	LVDS コントロールレジスタ (LVCR)	24-7
24.3.3	LVDS ステータスレジスタ (LVSR)	24-9
24.3.4	FIFO コントロールレジスタ (LVFCR)	24-13
24.3.5	FIFO データ数レジスタ (LVFDR)	24-14
24.3.6	制御コードレジスタ 1 (LVCCR1)	24-14
24.3.7	制御コードレジスタ 2 (LVCCR2)	24-15
24.3.8	ライン数カウントレジスタ (LVLCNT)	24-15
24.3.9	フレーム数カウントレジスタ (LVDCNT)	24-16
24.4	動作説明	24-17
24.4.1	LVDS 受信フォーマット	24-17
24.4.2	同期コード	24-19
24.4.3	制御コード	24-20
24.4.4	LVDS 受信動作	24-21
24.4.5	受信動作強制終了後の再開処理	24-24
24.5	割り込み要因とDMAC/DTC	24-25
24.6	DMAC/DTCによるLVDS受信FIFOデータレジスタのアクセス	24-26
24.6.1	DMAC によるデータ転送	24-26

24.6.2	DTCによるデータ転送.....	24-29
24.6.3	データ転送レート.....	24-32
24.6.4	オーバランエラー発生タイミング.....	24-33
24.7	使用上の注意事項.....	24-35
24.7.1	モジュールスタンバイモードの設定.....	24-35
24.7.2	LVDSクロック入力と周辺クロック(P)の関係.....	24-35
24.7.3	1チャンネルのみ動作時の注意.....	24-35
24.7.4	LVDSクロック入力を止める場合の注意.....	24-35
24.7.5	内蔵差動入力インピーダンスおよび内蔵プルアップ抵抗について.....	24-35
24.7.6	ボード設計上の注意.....	24-36
25.	ルネサスシリアルペリフェラルインタフェース(RSPI).....	25-1
25.1	特長.....	25-1
25.1.1	内部ブロック図.....	25-3
25.2	入出力端子.....	25-4
25.3	レジスタの説明.....	25-5
25.3.1	RSPI制御レジスタ(SPCR).....	25-6
25.3.2	RSPIスレーブセレクト極性レジスタ(SSLP).....	25-8
25.3.3	RSPI端子制御レジスタ(SPPCR).....	25-9
25.3.4	RSPIステータスレジスタ(SPSR).....	25-10
25.3.5	RSPIデータレジスタ(SPDR).....	25-13
25.3.6	RSPIシーケンス制御レジスタ(SPSCR).....	25-14
25.3.7	RSPIシーケンスステータスレジスタ(SPSSR).....	25-15
25.3.8	RSPIビットレートレジスタ(SPBR).....	25-16
25.3.9	RSPIデータコントロールレジスタ(SPDCR).....	25-17
25.3.10	RSPCK遅延レジスタ(SPCKD).....	25-20
25.3.11	RSPIスレーブセレクトネゲート遅延レジスタ(SSLND).....	25-21
25.3.12	RSPI次アクセス遅延レジスタ(SPND).....	25-22
25.3.13	RSPIコマンドレジスタ(SPCMD).....	25-23
25.4	動作説明.....	25-26
25.4.1	RSPI動作の概要.....	25-26
25.4.2	RSPI端子の制御.....	25-27
25.4.3	RSPIシステム構成例.....	25-29
25.4.4	転送フォーマット.....	25-35
25.4.5	データフォーマット.....	25-37
25.4.6	送信バッファエンプティ/受信バッファフルフラグ.....	25-41
25.4.7	エラー検出.....	25-43
25.4.8	RSPIの初期化.....	25-46
25.4.9	SPI動作.....	25-47
25.4.10	クロック同期式動作.....	25-58
25.4.11	エラー処理.....	25-65

25.4.12	ループバックモード	25-67
25.4.13	割り込み要求	25-68
25.5	使用上の注意事項	25-69
25.5.1	モジュールスタンバイモードの設定	25-69
25.5.2	DTC ブロック転送	25-69
25.5.3	DMAC バースト転送	25-69
25.5.4	受信データ読み出し	25-69
25.5.5	DTC/DMAC とモードフォルトエラーについて	25-69
25.5.6	出力をオープンドレインとして使用する場合	25-69
25.5.7	PVcc1 を 1.8V で使用する場合	25-69
26.	コントローラエリアネットワーク (RCAN-ET)	26-1
26.1	特長	26-1
26.2	構成	26-2
26.2.1	ブロック図	26-2
26.2.2	各ブロックの機能	26-3
26.2.3	端子構成	26-4
26.2.4	メモリマップ	26-5
26.3	メールボックス	26-6
26.3.1	メールボックスの構成	26-6
26.3.2	メッセージコントロールフィールド	26-8
26.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	26-13
26.3.4	メッセージデータフィールド	26-14
26.4	RCAN-ETのコントロールレジスタ	26-14
26.4.1	マスタコントロールレジスタ (MCR)	26-14
26.4.2	ジェネラルステータスレジスタ (GSR)	26-20
26.4.3	ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	26-22
26.4.4	インタラプトリクエストレジスタ (IRR)	26-26
26.4.5	インタラプトマスクレジスタ (IMR)	26-31
26.4.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	26-31
26.5	RCAN-ETのメールボックスレジスタ	26-33
26.5.1	送信待ちレジスタ 1、0 (TXPR1、TXPR0)	26-34
26.5.2	送信キャンセルレジスタ 0 (TXCR0)	26-37
26.5.3	送信アクノリッジレジスタ 0 (TXACK0)	26-38
26.5.4	アボートアクノリッジレジスタ 0 (ABACK0)	26-39
26.5.5	データフレーム受信完了レジスタ 0 (RXPR0)	26-40
26.5.6	リモートフレーム受信完了レジスタ 0 (RFPR0)	26-41
26.5.7	メールボックスインタラプトマスクレジスタ 0 (MBIMR0)	26-42
26.5.8	未読メッセージステータスレジスタ 0 (UMSR0)	26-43
26.6	動作説明	26-44
26.6.1	RCAN-ET の設定	26-44

26.6.2	テストモードの設定.....	26-49
26.6.3	メッセージ送信シーケンス.....	26-51
26.6.4	メッセージ受信シーケンス.....	26-53
26.6.5	メールボックスの再設定.....	26-55
26.7	割り込み要因.....	26-57
26.8	DTCインタフェース.....	26-58
26.9	DMACインタフェース.....	26-59
26.10	CANバスインタフェース.....	26-60
26.11	使用上の注意事項.....	26-61
26.11.1	モジュールスタンバイモードの設定.....	26-61
26.11.2	リセット.....	26-61
26.11.3	CANスリープモード.....	26-61
26.11.4	レジスタアクセス.....	26-61
26.11.5	割り込み.....	26-61
27.	32kHz タイマ (TIM32C).....	27-1
27.1	特長.....	27-1
27.2	入出力端子.....	27-3
27.3	レジスタの説明.....	27-4
27.3.1	タイマ 32 コントロールレジスタ_0~2 (TI32CR_0~2).....	27-5
27.3.2	タイマ 32 ステータスレジスタ (TI32SR).....	27-7
27.3.3	タイマ 32 インタラプトイネーブルレジスタ (TI32IER).....	27-8
27.3.4	タイマ 32 カウンタ 8_0、1 (TI32CNT8_0、TI32CNT8_1).....	27-9
27.3.5	タイマ 32 カウンタ 16 (TI32CNT16).....	27-10
27.3.6	タイマ 32 スタートレジスタ (TI32STR).....	27-10
27.3.7	タイマ 32 コンスタントレジスタ_2 (TI32COR_2).....	27-11
27.3.8	タイマ 32 ステートモニタレジスタ (TI32SMR).....	27-11
27.4	動作説明.....	27-12
27.4.1	2相カウンタ動作.....	27-12
27.4.2	コンペアマッチ動作.....	27-15
27.5	割り込み要因.....	27-16
27.6	使用上の注意事項.....	27-17
27.6.1	モジュールスタンバイモードの設定.....	27-17
27.6.2	カウンタ動作再開時の注意事項.....	27-17
27.6.3	レジスタ書き込み時の注意事項.....	27-17
27.6.4	カウンタ書き込み時の注意事項.....	27-17
28.	キースキャンコントローラ (KEYC).....	28-1
28.1	特長.....	28-1
28.2	入出力端子.....	28-3
28.3	レジスタの説明.....	28-5

28.3.1	キースキャンコントロールレジスタ 1、2 (KSCR1、KSCR2)	28-6
28.3.2	キースキャンファンクションコントロールレジスタ (KSFCR)	28-9
28.3.3	キースキャンデータレジスタ ₀ ~8 (KSDR ₀ ~8)	28-11
28.3.4	キースキャンインタラプトイネーブルレジスタ (KSIER)	28-13
28.3.5	キースキャンステータスレジスタ (KSSR)	28-14
28.3.6	キースキャンカウンタコントロールレジスタ (KSCCR)	28-16
28.3.7	キースキャンカウンタ (KSCNT)	28-17
28.3.8	キースキャンカウンタスタートレジスタ (KSCSR)	28-18
28.4	動作説明	28-19
28.4.1	キー入力	28-19
28.4.2	キースキャン	28-21
28.5	キー入力およびキーマトリクス入力の間欠ブルアップ時間とキーマトリクス出力の ローレベル出力時間の設定	28-24
28.6	割り込み要因	28-26
28.7	使用上の注意事項	28-27
28.7.1	モジュールスタンバイモードの設定	28-27
28.7.2	キースキャン割り込み発生後の動作について	28-27
28.7.3	キー入力およびキーマトリクス入力以外の PFC 選択時について	28-27
28.7.4	キー入力およびキースキャン動作中の KSCR1 および KSCR2 の KSE ビット 書き換えについて	28-27
28.7.5	カウンタ動作中断後のカウンタ動作再開について	28-28
28.7.6	KEYC の同一レジスタに対する連続書き込みについて	28-28
28.7.7	DRRST ビットに 1 書き込み時の動作について	28-28
28.7.8	キーマトリクス使用時における COM 端子の出力レベルについて	28-28
29.	フラッシュメモリ (ROM)	29-1
29.1	特長	29-1
29.2	入出力端子	29-5
29.3	レジスタの説明	29-6
29.3.1	フラッシュ端子モニタレジスタ (FPMON)	29-7
29.3.2	フラッシュモードレジスタ (FMODR)	29-8
29.3.3	フラッシュアクセスステータスレジスタ (FASTAT)	29-9
29.3.4	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	29-11
29.3.5	ROM マット選択レジスタ (ROMMAT)	29-12
29.3.6	FCU RAM イネーブルレジスタ (FCURAME)	29-13
29.3.7	フラッシュステータスレジスタ 0 (FSTATR0)	29-14
29.3.8	フラッシュステータスレジスタ 1 (FSTATR1)	29-17
29.3.9	フラッシュ P/E モードエントリレジスタ (FENTRYR)	29-18
29.3.10	フラッシュプロテクトレジスタ (FPROTR)	29-20
29.3.11	フラッシュリセットレジスタ (FRESETR)	29-21
29.3.12	FCU コマンドレジスタ (FCMDR)	29-22

29.3.13	FCU 処理切り替えレジスタ (FCPSR)	29-23
29.3.14	フラッシュ P/E ステータスレジスタ (FPESTAT)	29-24
29.3.15	周辺クロック通知レジスタ (PCKAR)	29-25
29.3.16	消去ブロック通知レジスタ (FIEBAR)	29-26
29.4	ROM関連モード概要	29-27
29.5	ブートモード	29-29
29.5.1	システム構成	29-29
29.5.2	ブートモードの状態遷移	29-30
29.5.3	ビットレートの自動調整	29-32
29.5.4	問い合わせ設定ホストコマンド待ち状態	29-33
29.5.5	書き込み / 消去ホストコマンド待ち状態	29-45
29.6	ユーザプログラムモード	29-54
29.6.1	FCU コマンド一覧	29-54
29.6.2	FCU コマンド受け付け条件	29-56
29.6.3	FCU コマンド使用方法	29-60
29.6.4	サスペンド動作	29-78
29.7	ユーザブートモード	29-81
29.7.1	ユーザブートモードの起動シーケンス	29-81
29.7.2	ユーザマットのプログラミング方法	29-82
29.8	ライターモード	29-83
29.9	プロテクト	29-83
29.9.1	ハードウェアプロテクト	29-83
29.9.2	ソフトウェアプロテクト	29-84
29.9.3	エラープロテクト	29-84
29.10	割り込み要因	29-86
29.11	使用上の注意事項	29-87
29.11.1	ユーザマットとユーザブートマットの切り替え	29-87
29.11.2	割り込み無視状態	29-89
29.11.3	書き込み / 消去サスペンド対象領域	29-89
29.11.4	従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性	29-89
29.11.5	FWE 端子の状態	29-89
29.11.6	書き込み / 消去中のリセット	29-90
29.11.7	書き込み / 消去サスペンドによる中断	29-90
29.11.8	追加書き込み禁止	29-90
29.11.9	書き込み / 消去中の割り込みベクタの配置	29-90
29.11.10	書き込み / 消去中の禁止事項	29-91
29.11.11	フラッシュメモリ (ROM) のモジュールスタンバイ復帰後の禁止事項	29-91
29.11.12	書き込み / 消去中の異常終了	29-91
30.	データフラッシュ (FLD)	30-1
30.1	特長	30-1

30.2	入出力端子	30-5
30.3	レジスタの説明	30-6
30.3.1	フラッシュモードレジスタ (FMODR)	30-7
30.3.2	フラッシュアクセスステータスレジスタ (FASTAT)	30-8
30.3.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	30-11
30.3.4	FLD 読み出し許可レジスタ 0 (EEPWE0)	30-13
30.3.5	FLD 書き込み / 消去許可レジスタ 0 (EEPWE0)	30-14
30.3.6	フラッシュ P/E モードエントリレジスタ (FENTRYR)	30-15
30.3.7	FLD ブランクチェック制御レジスタ (EEPBCCNT)	30-16
30.3.8	FLD ブランクチェックステータスレジスタ (EEPBCSTAT)	30-17
30.4	FLD関連モード概要	30-18
30.5	ブートモード	30-20
30.5.1	問い合わせ設定ホストコマンド	30-20
30.5.2	書き込み / 消去ホストコマンド	30-22
30.6	ユーザモード / ユーザプログラムモード / ユーザブートモード	30-24
30.6.1	FCU コマンド一覧	30-24
30.6.2	FCU コマンド受け付け条件	30-26
30.6.3	FCU コマンド使用方法	30-30
30.7	プロテクト	30-34
30.7.1	ハードウェアプロテクト	30-34
30.7.2	ソフトウェアプロテクト	30-34
30.7.3	エラープロテクト	30-35
30.8	割り込み要因	30-36
30.9	使用上の注意事項	30-37
30.9.1	リセット解除後のデータマツプロテクト状態	30-37
30.9.2	割り込み無視状態	30-37
30.9.3	書き込み / 消去サスペンド対象領域	30-37
30.9.4	従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性	30-37
30.9.5	書き込み / 消去中のリセット	30-37
30.9.6	書き込み / 消去サスペンドによる中断	30-38
30.9.7	追加書き込み禁止	30-38
30.9.8	書き込み / 消去中の禁止事項	30-38
30.9.9	データフラッシュ (FLD) のモジュールスタンバイ復帰後の禁止事項	30-38
30.9.10	書き込み / 消去中の異常終了	30-38
31.	内蔵 RAM	31-1
31.1	特長	31-1
31.2	使用上の注意事項	31-2
31.2.1	ページ競合	31-2
31.2.2	RAME ビット、RAMWE ビットについて	31-2
31.2.3	命令配置禁止領域	31-2

32. 低消費電力モード	32-1
32.1 特長	32-1
32.1.1 低消費電力モードの種類	32-1
32.2 レジスタの説明	32-3
32.2.1 スタンバイコントロールレジスタ (STBCR)	32-4
32.2.2 スタンバイコントロールレジスタ 2 (STBCR2)	32-5
32.2.3 スタンバイコントロールレジスタ 3 (STBCR3)	32-6
32.2.4 スタンバイコントロールレジスタ 4 (STBCR4)	32-8
32.2.5 スタンバイコントロールレジスタ 5 (STBCR5)	32-9
32.2.6 スタンバイコントロールレジスタ 6 (STBCR6)	32-10
32.2.7 スタンバイコントロールレジスタ 7 (STBCR7)	32-11
32.2.8 システムコントロールレジスタ 1 (SYSCR1)	32-12
32.2.9 システムコントロールレジスタ 2 (SYSCR2)	32-13
32.2.10 ディープスタンバイコントロールレジスタ (DPSTBCR)	32-14
32.2.11 ディープスタンバイウェイトコントロールレジスタ (DPSWCR)	32-15
32.2.12 スタンバイインタラプトイネーブルレジスタ (SIER)	32-16
32.2.13 スタンバイインタラプトフラグレジスタ (SIFR)	32-19
32.2.14 ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)	32-22
32.2.15 リセットステータスレジスタ (RSTSR)	32-24
32.3 動作説明	32-25
32.3.1 スリープモード	32-25
32.3.2 ソフトウェアスタンバイモード	32-26
32.3.3 ソフトウェアスタンバイモードの応用例	32-30
32.3.4 ディープソフトウェアスタンバイモード	32-31
32.3.5 モジュールスタンバイ機能	32-37
32.4 使用上の注意事項	32-38
32.4.1 発振安定待機中の消費電流	32-38
32.4.2 レジスタ書き込み時の注意	32-38
32.4.3 IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項	32-38
32.4.4 TIM32C/KEYC の割り込みによるソフトウェアスタンバイ解除に関する注意事項	32-38
33. ユーザデバッグインタフェース (H-UDI)	33-1
33.1 特長	33-1
33.2 入出力端子	33-2
33.3 バウンダリスキャン用TAPコントローラレジスタの説明	33-3
33.3.1 バイパスレジスタ (BSBPR)	33-3
33.3.2 インストラクションレジスタ (BSIR)	33-3
33.3.3 バウンダリスキャンレジスタ (SDBSR)	33-4
33.3.4 ID レジスタ (BSID)	33-11
33.4 エミュレーション用TAPコントローラレジスタの説明	33-12

33.4.1	インストラクションレジスタ (SDIR)	33-12
33.4.2	ID レジスタ (SDID)	33-13
33.5	動作説明	33-14
33.5.1	TAP コントローラ	33-14
33.5.2	リセット構成	33-15
33.5.3	TAP コントローラの切り替え	33-16
33.5.4	TDO 出力タイミング	33-17
33.5.5	H-UDI リセット	33-18
33.5.6	H-UDI 割り込み	33-18
33.6	バウンダリスキャン	33-19
33.6.1	サポートする命令	33-19
33.6.2	注意事項	33-20
33.7	使用上の注意事項	33-21
34.	レジスタ一覧	34-1
34.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	34-2
34.2	レジスタビット一覧	34-25
34.3	各動作モードにおけるレジスタの状態の一覧	34-59
35.	電気的特性	35-1
35.1	絶対最大定格	35-1
35.2	電源投入・切断シーケンス	35-2
35.3	DC特性	35-2
35.4	AC特性	35-10
35.4.1	クロックタイミング	35-11
35.4.2	制御信号タイミング	35-15
35.4.3	パスタイミング	35-18
35.4.4	UBC タイミング	35-47
35.4.5	DMAC タイミング	35-48
35.4.6	MTU2 タイミング	35-49
35.4.7	MTU2S タイミング	35-50
35.4.8	POE2 タイミング	35-51
35.4.9	WDT タイミング	35-52
35.4.10	ADC タイミング	35-53
35.4.11	SCI/SCIF タイミング	35-54
35.4.12	I/O ポートタイミング	35-56
35.4.13	IIC3 タイミング	35-57
35.4.14	LVDS タイミング (SH72315A のみ)	35-59
35.4.15	コントローラエリアネットワーク (RCAN-ET) タイミング	35-60
35.4.16	RSPI タイミング	35-61
35.4.17	CMT2 タイミング	35-65

35.4.18	TIM32C タイミング	35-66
35.4.19	KEYC タイミング	35-67
35.4.20	H-UDI のタイミング	35-68
35.4.21	AC 特性測定条件	35-70
35.5	A/D変換器特性	35-71
35.6	フラッシュメモリ特性	35-72
35.7	FLD特性	35-74
35.8	使用上の注意事項	35-75
35.8.1	VCL コンデンサ接続方法	35-75
付録	付録-1
A.	端子状態	付録-1
B.	バス関連信号の端子状態	付録-11
C.	型名一覧	付録-23
D.	外形寸法図	付録-24
本版で修正または追加された箇所	改訂-1
索引	索引-1

1. 概要

1.1 SH7231 の特長

本 LSI は、ルネサスオリジナルの RISC (縮小命令セットコンピュータ) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU には、SH-1、SH-2 マイクロコンピュータとオブジェクトコードレベルでの上位互換性を特長とする SH-2A CPU を採用しています。RISC 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI は、浮動小数点ユニット (FPU) を内蔵しています。さらに本 LSI はシステム構成に必要な周辺機能として、大容量 ROM、32K バイトの高速内蔵 RAM と 12K バイトのデータ保持用 RAM、ダイレクトメモリアクセスコントローラ (DMAC)、データトランスファコントローラ (DTC)、マルチファンクションタイムパルスユニット 2 (MTU2/MTU2S)、ポートアウトプットイネーブル 2 (POE2)、コンペアマッチタイマ (CMT)、コンペアマッチタイマ 2 (CMT2)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器 (ADC)、割り込みコントローラ (INTC)、I/O ポート、I²C バスインタフェース 3 (IIC3)、LVDS 受信インタフェース (LVDS) (SH72315A のみ)、キースキャンコントローラ (KEYC)、32kHz タイマ (TIM32C)、ルネサスシリアルペリフェラルインタフェース (RSPI)、コントローラエリアネットワーク (RCAN-ET)、データフラッシュ (FLD) などを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。

本 LSI の特長を表 1.1 に示します。

表 1.1 SH7231 の特長

項目	特 長
CPU	<ul style="list-style-type: none"> • ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2 とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット (SH シリーズと上位互換性) <ul style="list-style-type: none"> 命令長: コードの効率改善のための 16 ビット基本命令と、性能/使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット • FPU を含む 2 命令同時実行スーパースカラ • 命令実行時間: 最大 2 命令 / サイクル • アドレス空間: 4G バイト • 乗算器内蔵 • 5 段パイプライン • ハーバードアーキテクチャ
浮動小数点ユニット (FPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て • 浮動小数点レジスタ <ul style="list-style-type: none"> 16 本の 32 ビット浮動小数点レジスタ (単精度 × 16 ワードまたは倍精度 × 8 ワード) 2 本の 32 ビット浮動小数点システムレジスタ • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> レイテンシ (FMAC/FADD/FSUB/FMUL): 3 サイクル (単精度)、8 サイクル (倍精度) ピッチ (FMAC/FADD/FSUB/FMUL): 1 サイクル (単精度)、6 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています。 • 5 段パイプライン

項目	特 長
動作モード	<ul style="list-style-type: none"> • 動作モード <ul style="list-style-type: none"> 拡張 ROM 無効モード 拡張 ROM 有効モード シングルチップモード • 処理状態 <ul style="list-style-type: none"> プログラム実行状態 例外処理状態 バス権解放状態 • 低消費電力状態 <ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード モジュールスタンバイモード
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> • 25本の外部割り込み端子 (NMI、IRQ23～IRQ0) • 内蔵周辺割り込み：モジュールごとに優先順位を設定 • 16レベルの優先順位設定が可能 • レジスタバンクにより割り込み処理に伴うレジスタの退避/復帰を高速に行うことが可能
バスステート コントローラ(BSC)	<ul style="list-style-type: none"> • アドレス空間はそれぞれ最大 64MB の 8 つの領域 (CS0 空間～CS7 空間) をサポート • 各 CS 空間には独立に次の機能を設定可能 <ul style="list-style-type: none"> バスサイズ (8、16、32 ビット)。ただし各 CS 空間ごとにサポートサイズは異なります。 アクセスウェイトサイクル数 (リード/ライトで独立ウェイト設定可能な CS 空間あり) アイドルウェイトサイクル設定 (同一 CS 空間 / 別 CS 空間) CS 空間ごとに接続するメモリを指定することによって SRAM、バイト選択付き SRAM、SDRAM、バースト ROM (クロック同期/クロック非同期) との直結が可能。また、アドレス/データマルチプレクス I/O (MPX) インタフェースをサポート 該当する領域にチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力 ($\overline{CS}$ アサート/ネゲートタイミングをプログラミングで選択可能) • SDRAM リフレッシュ機能 <ul style="list-style-type: none"> オートリフレッシュおよびセルフリフレッシュモードをサポート • SDRAM バーストアクセス機能
ダイレクトメモリア クセスコントローラ (DMAC)	<ul style="list-style-type: none"> • 4 チャンネル。うち 2 チャンネルは外部リクエスト可能 • 内蔵周辺モジュールから起動することが可能 • バーストモードおよびサイクルスチールモード • インタミットモードをサポート (16/64 サイクルサポート) • 転送情報を自動的にリロードすることが可能 • ワード転送時、転送先アドレスを +4 加算可能

項目	特 長
データ転送ファ コントローラ(DTC)	<ul style="list-style-type: none"> • 周辺 I/O の割り込みにより、CPU と独立したデータ転送が可能 • 割り込み要因ごとに転送モードを設定可能 (メモリ上に転送モードを設定) • 一つの起動要因に対して、複数のデータ転送が可能 • 豊富な転送モード ノーマルモード / リピートモード / ブロック転送モードの選択可能 • 転送単位をバイト / ワード / ロングワードに設定可能 • DTC を起動した割り込みを CPU に要求 1 回のデータ転送の終了後に、CPU に対する割り込みを発生可能 指定したデータ転送がすべて終了時に、CPU に割り込みを発生可能
クロックパルス 発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード : 入力クロックを外部入力 (EXTAL) または水晶発振子から選択可能 • 内蔵 PLL 回路により入力クロックを 8 通り倍 • 5 種類のクロックを生成 CPU クロック : 最大 100MHz バスクロック : 最大 50MHz 周辺クロック : 最大 50MHz MTU2S クロック : 最大 100MHz AD クロック : 最大 50MHz (バスクロック < AD クロックの設定が可能)
KEYC/TIM32C 用 クロック発振器 (CPG32)	<ul style="list-style-type: none"> • クロックモード : 入力クロックを外部入力 (EXTAL32) または 32kHz 水晶発振子から選択可能 • TIM32C/KEYC のクロック生成が可能 • ディープソフトウェアスタンバイモードでも動作可能 • 32kHz クロックを出力可能
ウォッチドッグ タイマ (WDT)	<ul style="list-style-type: none"> • 1 チャンネルのウォッチドッグタイマ • カウンタのオーバーフローにより本 LSI にリセットをかけることが可能
低消費電力モード	<ul style="list-style-type: none"> • 本 LSI の消費電力をさげるために 4 種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード モジュールスタンバイモード

項目	特 長
マルチファンクシ ンタイムパルスユニ ット 2 (MTU2)	<ul style="list-style-type: none"> • 16 ビットタイマ 6 チャンネルをベースに最大 16 種類のパルス入出力、および 3 本のパルス入力が可能 • 21 本のアウトプットコンペアレジスタ兼インプットチャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル / PWM / 相補 PWM / リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0 ~ 100% 任意に設定可能 A/D 変換要求ディレイド機能 山 / 谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相/逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能
マルチファンクシ ンタイムパルスユニ ット 2S (MTU2S)	<ul style="list-style-type: none"> • MTU2 のチャンネル 3、4、5 のみのサブセット版
ポートアウトプ トインネーブル 2 (POE2)	<ul style="list-style-type: none"> • POE 端子に立ち下がりエッジまたはローレベルが入力されると大電流端子および MTU2 の CH0 端子を自動的にハイインピーダンスにすることが可能
コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> • 2 チャンネル 16 ビットカウンタ • 4 種類のクロック選択可能 (P /8、P /32、P /128、P /512) • コンペアマッチ時、割り込み要求の発生を選択可能
コンペアマッチ タイマ 2 (CMT2)	<ul style="list-style-type: none"> • 1 チャンネル 32 ビットカウンタ • コンペアマッチ、2 本のインプットキャプチャ入力および 2 本のアウトプットコンペア出力が可能 • 4 種類のクロック選択可能 (P /8、P /32、P /128、P /512) • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能
シリアルコミュニ ケーションインタフ ェース (SCI)	<ul style="list-style-type: none"> • 4 チャンネル • クロック同期式 / 調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のボーレートジェネレータ内蔵 • ビットレート調整機能 (調歩同期式モード時)
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • 4 チャンネル • クロック同期式 / 調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のボーレートジェネレータ内蔵 • 送受信 FIFO それぞれ 16 バイト内蔵

項目	特 長
PC バス インタフェース 3 (IIC3)	<ul style="list-style-type: none"> • 1 チャンネル • マスタモード / スレープモード内蔵
LVDS 受信 インタフェース (LVDS) (SH72315A のみ)	<ul style="list-style-type: none"> • 2 チャンネル • データビット数 : 16 ビット固定 • データスループット : 40M ~ 320Mbps • 100 終端抵抗内蔵
ルネサスシリアル ペリフェラル インタフェース (RSPI)	<ul style="list-style-type: none"> • 1 チャンネル • 同期式のシリアル通信 • マスタ / スレープモードのサポート • プログラマブルなビット長、クロック極性、クロック位相 • 転送をシーケンシャルにループ実行可能 • 最大転送レート : 12.5Mbps • シングルマスタモードで最大 4 スレープを制御可能 (PFC の設定に依存) • マルチマスタモードで最大 3 スレープを制御可能 (PFC の設定に依存)
コントローラエリア ネットワーク (RCAN-ET)	<ul style="list-style-type: none"> • 1 チャンネル • CAN バージョン : Bosch 2.0B active 対応 • バッファサイズ : 送信 / 受信 × 15、受信専用 × 1
I/O ポート	<ul style="list-style-type: none"> • 入出力ポートはビットごとに入出力切り替え可能 • 入力プルアップ機能
A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 2 モジュール • 分解能 : 10 ビット • 入力 : 16 チャンネル (8 チャンネル × 2 モジュール) • 外部トリガ / タイマトリガによる A/D 変換の起動が可能 • 外部トリガ / タイマトリガによる A/D 変換の 2 モジュール同時起動が可能 • サンプリング時間可変機能 • A/D_0 と A/D_1 の変換結果を 1 回のロングワードリードで読み出し可能
ユーザブ레이크 コントローラ (UBC)	<ul style="list-style-type: none"> • ブ레이크チャンネル : 8 チャンネル (うち 6 チャンネルは CPU 命令フェッチのみ対応) • アドレス、アクセス形式、およびデータサイズをブ레이크条件として設定可能
ユーザデバッグイン タフェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート • JTAG 標準端子配置 • バウンダリスキャン対応
内蔵 ROM	<ul style="list-style-type: none"> • 1M バイト (SH72315A/SH72315L)、768K バイト (SH72314L)
内蔵 RAM	<ul style="list-style-type: none"> • 高速アクセス用に 32K バイトのメモリを内蔵 • データ保持用に 12K バイトのメモリを内蔵 • (ディープレソフトウェアスタンバイモードでデータ保持可能)

項目	特 長
キースキャン コントローラ (KEYC)	<ul style="list-style-type: none"> • 32 チャンネル • キーマトリクスとしても設定可能 キー入力 32 本 キー入力 24 本 / マトリクス出力 4 本 / マトリクス入力 4 本 キー入力 16 本 / マトリクス出力 8 本 / マトリクス入力 8 本 • ブルアップ期間を設定可能 • ブルアップ周期を設定可能 • マトリクス値をレジスタに格納 • ディープソフトウェアスタンバイモードでも動作可能 • 割り込みにてディープソフトウェアスタンバイモードを解除可能
32kHz タイマ (TIM32C)	<ul style="list-style-type: none"> • 3 チャンネル。うち 2 チャンネルは位相計数動作専用タイマ • ディープソフトウェアスタンバイモードでも動作可能 • 割り込みにてディープソフトウェアスタンバイモードを解除可能
電源電圧	<ul style="list-style-type: none"> • Vcc : 3.0 ~ 3.6V、LVDSVcc : 3.0 ~ 3.6V、PLLVcc : 3.0 ~ 3.6V、PVcc1 : 1.65 ~ 1.95V または 3.0 ~ 3.6V、PVcc2 : 1.65 ~ 1.95V または 3.0 ~ 3.6V、AVcc : 3.0 ~ 3.6V
パッケージ	<ul style="list-style-type: none"> • P-LFBGA1111-256 (0.5 ピッチ) • P-FBGA1717-272 (0.8 ピッチ)

1.2 ブロック図

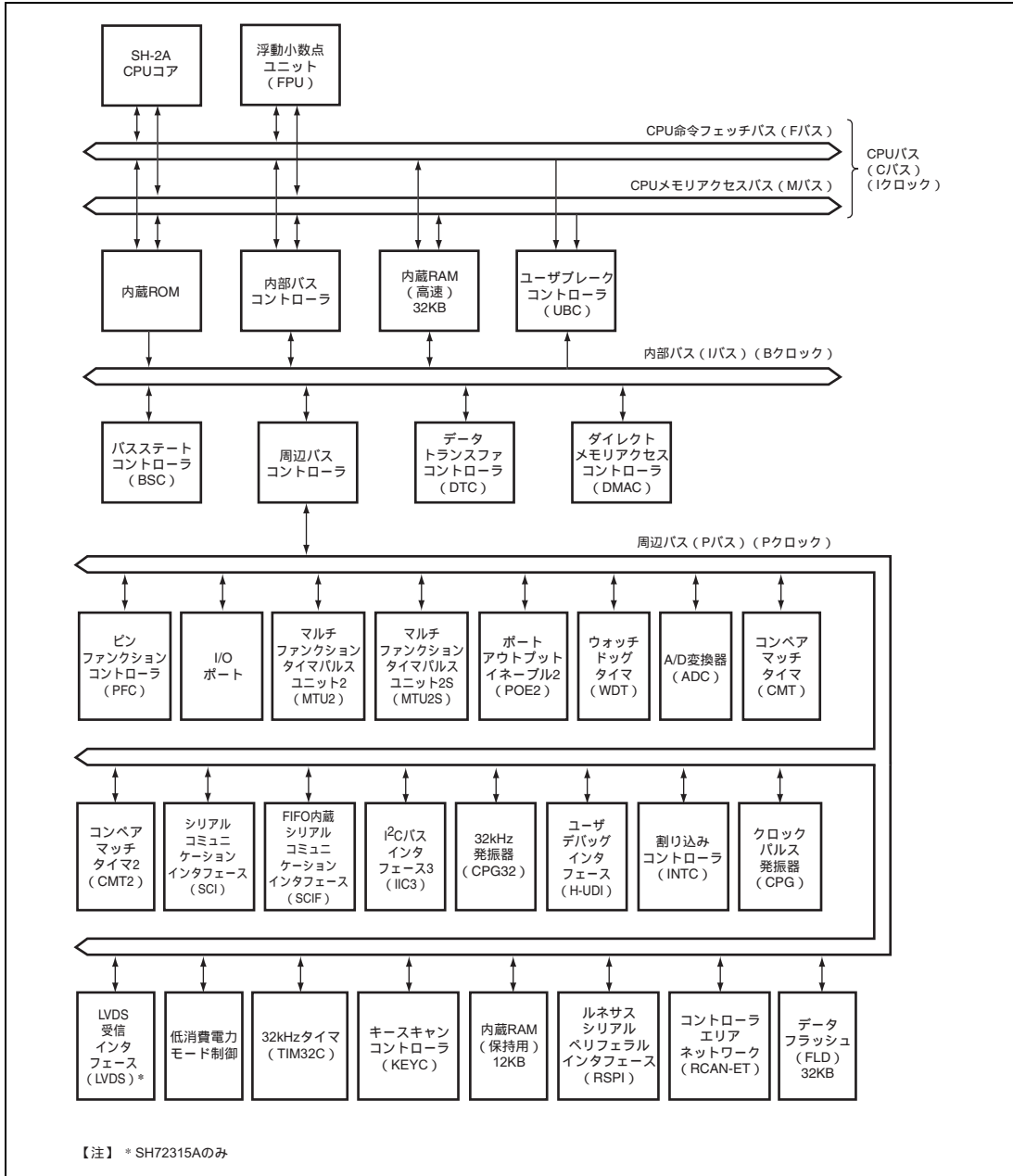


図 1.1 ブロック図

1.3 ピン配置図

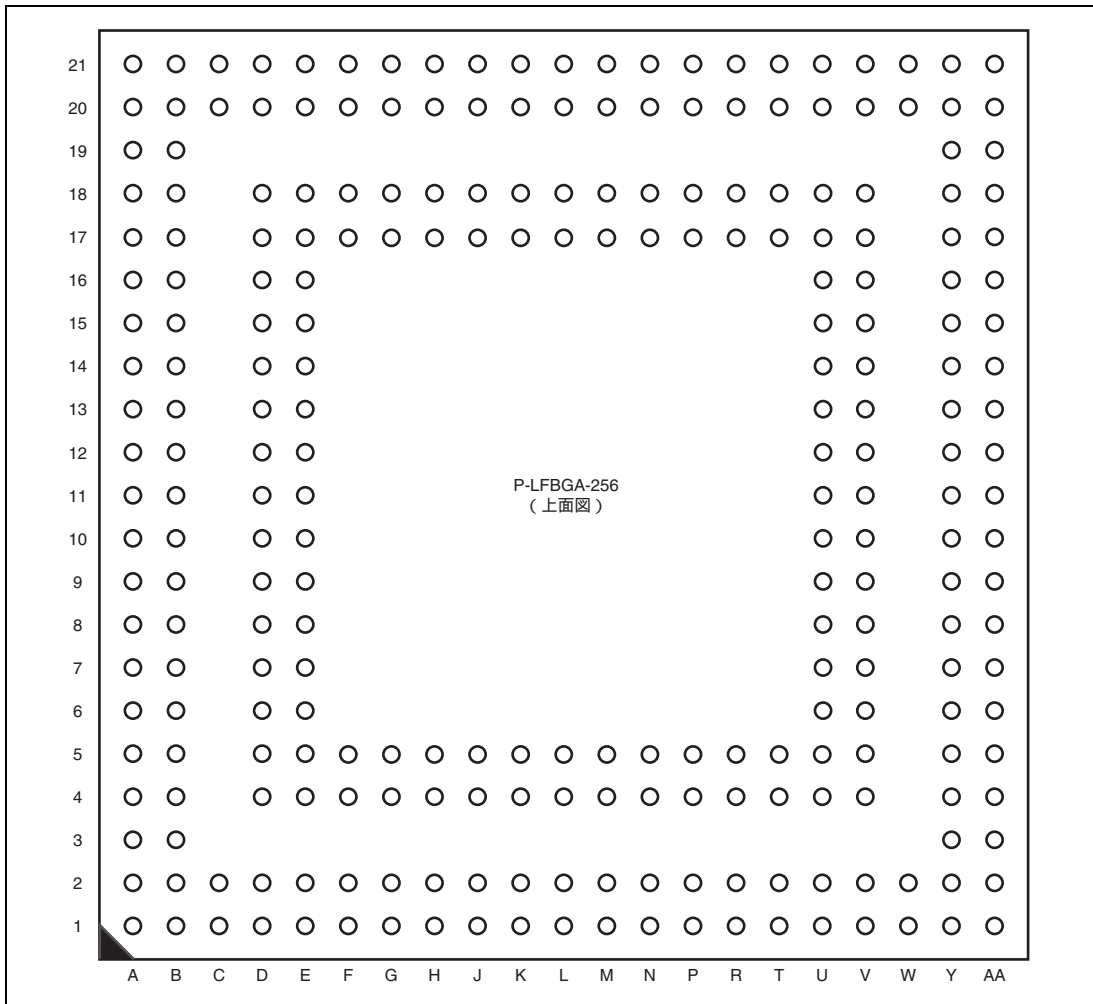


図 1.2 ピン配置図 (P-LFBGA1111-256)

表 1.2 ピン配置表 (P-LFBGA1111-256)

端子番号	端子名	I/O バッファ供給電源
A1	PE23/TEND1/TIOC4DS/RXD7	Vcc
A2	PE20/TEND0/TIOC4AS/RXD6	Vcc
A3	PE19/DACK0/TIOC3DS/TXD6	Vcc
A4	PE21/DREQ1/TIOC4BS/SCK7	Vcc
A5	Vss	-
A6	PE17/MRES/TIOC3BS/RXD0	Vcc
A7	Vss	-
A8	PE7/IRQ7/TIOC2B/RXD2	Vcc
A9	PE4/IRQ4/TIOC1A/RXD3	Vcc
A10	PE0/IRQ0/TIOC0A/SCK4	Vcc
A11	PF10/AN10	AVcc
A12	AVcc	-
A13	AVss	-
A14	PF2/AN2	AVcc
A15	PH15/TOC1	Vcc
A16	Vcc	-
A17	AUDATA1	Vcc
A18	AUDATA3	Vcc
A19	PLLVss	-
A20	PLLVcc	-
A21	PH10	Vcc
B1	PJ0/IRQ10	PVcc1
B2	PE18/DREQ0/TIOC3CS/SCK6	Vcc
B3	PE22/DACK1/TIOC4CS/TXD7	Vcc
B4	Vcc	-
B5	PE12/IRQ12/TIOC4A/SCK5	Vcc
B6	PE11/IRQ11/TIOC3D/RXD1	Vcc
B7	Vcc	-
B8	PE5/IRQ5/TIOC1B/TXD3	Vcc
B9	PE2/IRQ2/TIOC0C/RXD4	Vcc
B10	WDTOVF	Vcc
B11	PF13/AN13	AVcc
B12	PF9/AN9	AVcc
B13	PF7/AN7	AVcc
B14	PF4/AN4	AVcc
B15	PF0/AN0	AVcc
B16	PH13/TIC1	Vcc

端子番号	端子名	I/O バッファ供給電源
B17	AUDCK	Vcc
B18	Vss	-
B19	AUDSYNC	Vcc
B20	PH11	Vcc
B21	Vss	-
C1	PJ4/TXD4	PVcc1
C2	PJ1/IRQ11	PVcc1
C20	Vcc	-
C21	EXTAL	Vcc
D1	PVcc1	-
D2	PJ3/SCK4	PVcc1
D4	PE14/IRQ14/TIOC4C/RXD5	Vcc
D5	PE13/IRQ13/TIOC4B/TXD5	Vcc
D6	PE15/IRQ15/TIOC4D/SCK0	Vcc
D7	PE9/IRQ9/TIOC3B/SCK1	Vcc
D8	PE6/IRQ6/TIOC2A/TXD2	Vcc
D9	PE1/IRQ1/TIOC0B/TXD4	Vcc
D10	PF15/AN15	AVcc
D11	PF14/AN14	AVcc
D12	PF11/AN11	AVcc
D13	PF8/AN8	AVcc
D14	PF5/AN5	AVcc
D15	PF1/AN1	AVcc
D16	PH14/TOC0	Vcc
D17	AUDATA0	Vcc
D18	PH9	Vcc
D20	PH7/TXD7	Vcc
D21	XTAL	Vcc
E1	PVss1	-
E2	PJ8/RXD5	PVcc1
E4	PJ6/SCK5	PVcc1
E5	PJ2/IRQ12	PVcc1
E6	PE16/UBCTR \overline{G} /TIOC3AS/TXD0	Vcc
E7	PE10/IRQ10/TIOC3C/TXD1	Vcc
E8	PE8/IRQ8/TIOC3A/SCK2	Vcc
E9	PE3/IRQ3/TIOC0D/SCK3	Vcc
E10	MD1	Vcc
E11	PF12/AN12	AVcc

端子番号	端子名	I/O バッファ供給電源
E12	AVref	-
E13	PF6/AN6	AVcc
E14	PF3/AN3	AVcc
E15	MD0	Vcc
E16	PH12/TIC0	Vcc
E17	AUDATA2	Vcc
E18	PH5/TIC5WS	Vcc
E20	PH6/SCK7	Vcc
E21	PH8/RXD7	Vcc
F1	PJ14/SSL2	PVcc1
F2	PJ11/MISO0	PVcc1
F4	PJ9/RSPCK0	PVcc1
F5	PJ5/RXD4	PVcc1
F17	PH4/TIC5VS	Vcc
F18	FWE/ASEBRKAK/ASEBRK	Vcc
F20	PH3/TIC5US	Vcc
F21	Vcc	-
G1	PVss2	-
G2	PJ15/SSL3	PVcc1
G4	PJ12/SSL0	PVcc1
G5	PJ7/TXD5	PVcc1
G17	TMS	Vcc
G18	TDO	Vcc
G20	TCK	Vcc
G21	RES	Vcc
H1	PVcc2	-
H2	PK2/IRQ15	PVcc2
H4	PK0/IRQ13	PVcc2
H5	PJ10/MOSI0	PVcc1
H17	Vss	-
H18	TDI	Vcc
H20	ASEMD0	Vcc
H21	TRST	Vcc
J1	PL2/RXIN0P (SH72315A の場合)	LVDSVcc
	PL2 (SH72315L/SH72314L の場合)	Vcc
J2	LVDSVss (SH72315A の場合)	-
	Vss (SH72315L/SH72314L の場合)	-
J4	PK1/IRQ14	PVcc2

端子番号	端子名	I/O バッファ供給電源
J5	PJ13/SSL1	PVcc1
J17	Vcc	-
J18	PH0/TIC5U	Vcc
J20	PH2/TIC5W	Vcc
J21	NMI	Vcc
K1	PL3/RXIN0M (SH72315A の場合)	LVDSVcc
	PL3 (SH72315L/SH72314L の場合)	Vcc
K2	PL0/RXCLKINP (SH72315A の場合)	LVDSVcc
	PL0 (SH72315L/SH72314L の場合)	Vcc
K4	PK6	PVcc2
K5	PK3/SCK6	PVcc2
K17	PC13/A13/IRQ21/SCK7	Vcc
K18	PC14/A14/IRQ22/TXD7	Vcc
K20	PC15/A15/IRQ23/RXD7	Vcc
K21	PH1/TIC5V	Vcc
L1	PL4/RXIN1P (SH72315A の場合)	LVDSVcc
	PL4 (SH72315L/SH72314L の場合)	Vcc
L2	PL1/RXCLKINM (SH72315A の場合)	LVDSVcc
	PL1 (SH72315L/SH72314L の場合)	Vcc
L4	PK7	PVcc2
L5	PK4/TXD6	PVcc2
L17	PC12/A12/IRQ20/RXD4	Vcc
L18	PC11/A11/IRQ19/TXD4	Vcc
L20	Vss	-
L21	PA15/CK/IRQ11/SCK5	Vcc
M1	PL5/RXIN1M (SH72315A の場合)	LVDSVcc
	PL5 (SH72315L/SH72314L の場合)	Vcc
M2	LVDSVss (SH72315A の場合)	-
	Vss (SH72315L/SH72314L の場合)	-
M4	LVDSVcc (SH72315A の場合)	-
	Vcc (SH72315L/SH72314L の場合)	-
M5	PK5/RXD6	PVcc2
M17	VcL	-
M18	PC10/A10/IRQ18/SCK4	Vcc
M20	Vcc	-
M21	PC6/A6/UBCTRG/RXD3	Vcc
N1	PG2/IRQ2	Vcc
N2	PG0/IRQ0	Vcc

端子番号	端子名	I/O バッファ供給電源
N4	PG1/IRQ1	Vcc
N5	PG3/IRQ3	Vcc
N17	PC9/A9/IRQ17/RXD6	Vcc
N18	PC5/A5/TIC5US/TXD3	Vcc
N20	PC2/A2/TIC5W/POE2	Vcc
N21	PC1/A1/TIC5V/POE1	Vcc
P1	PG6/IRQ6	Vcc
P2	PG4/IRQ4	Vcc
P4	PG5/IRQ5	Vcc
P5	PG7/IRQ7	Vcc
P17	PC8/A8/IRQ16/TXD6	Vcc
P18	PC4/A4/TIC5VS/SCK3	Vcc
P20	PC0/A0/TIC5U/POE0	Vcc
P21	Vcc	-
R1	Vss	-
R2	Vcc	-
R4	PG8/IRQ8	Vcc
R5	PG9/IRQ9	Vcc
R17	PC7/A7/IRQOUT/SCK6	Vcc
R18	PC3/A3/TIC5WS/POE3	Vcc
R20	PA7/CS7/IRQ3/TCLKB	Vcc
R21	Vss	-
T1	VcL	-
T2	PG10/TI32I0A	Vcc
T4	PG11/TI32I0B	Vcc
T5	PG12/TI32I1A	Vcc
T17	PA6/CS6/IRQ2/TCLKA	Vcc
T18	PA8/RDWR/IRQ4/TCLKC	Vcc
T20	PA9/BS/IRQ5/TCLKD	Vcc
T21	PA16/BACK/IRQ12/ADTRG	Vcc
U1	PG14/CK32	Vcc
U2	PG13/TI32I1B	Vcc
U4	PG15	Vcc
U5	PB8/CS1/CS5/RXD2	Vcc
U6	PB7/CS0/CS4/REFOUT	Vcc
U7	VcL	-
U8	PD17/D17/TCLKB/KEY17/COM1	Vcc
U9	PD19/D19/TCLKD/KEY19/COM3	Vcc

端子番号	端子名	I/O バッファ供給電源
U10	PD21/D21/TIC5VS/KEY21/COM5	Vcc
U11	Vss	-
U12	Vcc	-
U13	PD26/D26/DACK1/KEY26/COM2/P2	Vcc
U14	PD11/D11/TXD5/KEY11	Vcc
U15	PD29/D29/TIC5U/KEY29/P1/P5	Vcc
U16	PD30/D30/TIC5V/KEY30/P2/P6	Vcc
U17	PA4/CS4/CRx0/TXD1	Vcc
U18	PA5/CS5/RXD1	Vcc
U20	Vcc	-
U21	Vss	-
V1	PB4/A18/POE5/RXD0	Vcc
V2	Vcc	-
V4	PB6/A20/POE8/SCK0	Vcc
V5	PB3/IRQOUT/POE6/SDA	Vcc
V6	PB9/A21/CKE/TXD2	Vcc
V7	PD16/D16/TCLKA/KEY16/COM0	Vcc
V8	PD18/D18/TCLKC/KEY18/COM2	Vcc
V9	PD20/D20/TIC5WS/KEY20/COM4	Vcc
V10	PD22/D22/TIC5US/KEY22/COM6	Vcc
V11	PD23/D23/TEND0/KEY23/COM7	Vcc
V12	PD24/D24/DREQ0/KEY24/COM0/P0	Vcc
V13	PD25/D25/DREQ1/KEY25/COM1/P1	Vcc
V14	PD27/D27/DACK0/KEY27/COM3/P3	Vcc
V15	PD12/D12/RXD5/KEY12	Vcc
V16	PD14/D14/TXD3/KEY14	Vcc
V17	PD31/D31/TIC5W/KEY31/P3/P7	Vcc
V18	PA2/CS2/CTx0/SCK0	Vcc
V20	PA18/WAIT/IRQ14/POE4	Vcc
V21	PA19/AH/IRQ15/POE0	Vcc
W1	XTAL32	Vcc
W2	PB5/A19/POE4/TXD0	Vcc
W20	PA3/CS3/CTx0/SCK1	Vcc
W21	PA17/BREQ/IRQ13/POE8	Vcc
Y1	EXTAL32	Vcc
Y2	Vss	-
Y3	PB13/A25/RASU/SCK6	Vcc
Y4	PB0/A16/POE0	Vcc

端子番号	端子名	I/O バッファ供給電源
Y5	PB2/MRES/POE7/SCL	Vcc
Y6	Vss	-
Y7	Vcc	-
Y8	PD2/D2/RXD1/KEY2	Vcc
Y9	PD3/D3/SCK7/KEY3	Vcc
Y10	PD4/D4/TXD7/KEY4	Vcc
Y11	PD6/D6/SCK2/KEY6	Vcc
Y12	PD7/D7/POE8/KEY7	Vcc
Y13	PD9/D9/RXD2/KEY9	Vcc
Y14	PD10/D10/SCK5/KEY10	Vcc
Y15	PD28/D28/TEND1/KEY28/P0/P4	Vcc
Y16	Vss	-
Y17	Vcc	-
Y18	PA1/ $\overline{\text{CS1}}$ /IRQ1/TXD0	Vcc
Y19	PA11/ $\overline{\text{WRHL}}$ /DQMUL/IRQ7/TXD4	Vcc
Y20	PA14/ $\overline{\text{RD}}$ /IRQ10/TXD5	Vcc
Y21	PA13/ $\overline{\text{WRL}}$ /DQMLL/IRQ9/RXD5	Vcc
AA1	PB11/A23/ $\overline{\text{CASU}}$ /RXD6	Vcc
AA2	PB10/A22/ $\overline{\text{CASL}}$ /SCK2	Vcc
AA3	PB12/A24/ $\overline{\text{RASL}}$ /TXD6	Vcc
AA4	Vcc	-
AA5	Vss	-
AA6	PB1/A17/ADTRG	Vcc
AA7	PD0/D0/SCK1/KEY0	Vcc
AA8	PD1/D1/TXD1/KEY1	Vcc
AA9	Vss	-
AA10	Vcc	-
AA11	PD5/D5/RXD7/KEY5	Vcc
AA12	PD8/D8/TXD2/KEY8	Vcc
AA13	Vss	-
AA14	Vcc	-
AA15	PD13/D13/SCK3/KEY13	Vcc
AA16	PD15/D15/RXD3/KEY15	Vcc
AA17	PA0/ $\overline{\text{CS0}}$ /IRQ0/RXD0	Vcc
AA18	PA10/ $\overline{\text{WRHF}}$ /DQMUU/IRQ6/RXD4	Vcc
AA19	Vcc	-
AA20	Vss	-
AA21	PA12/ $\overline{\text{WRH}}$ /DQMLU/IRQ8/SCK4	Vcc

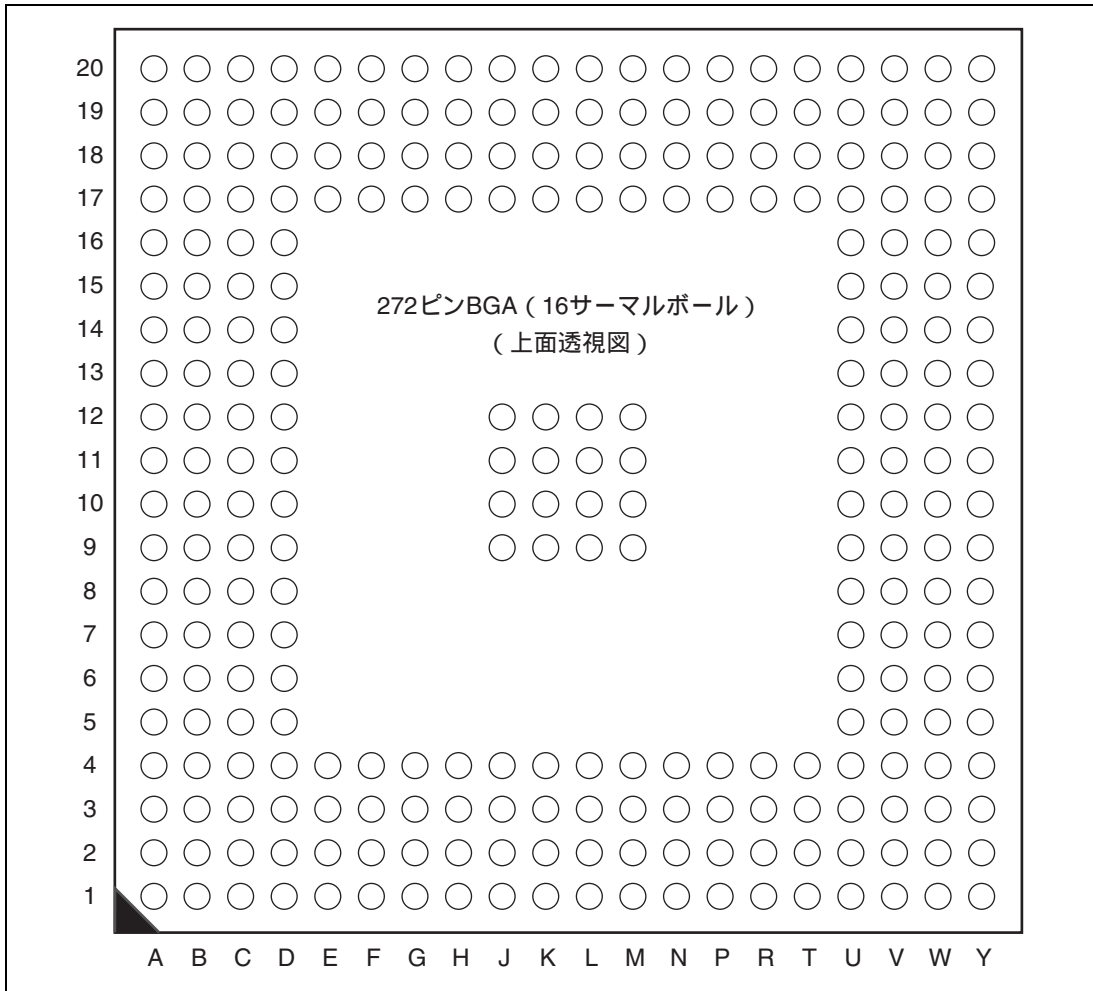


図 1.3 ピン配置図 (P-FBGA1717-272)

表 1.3 ピン配置表 (P-FBGA1717-272)

端子番号	端子名	I/O バッファ供給電源
A1	PE19/DACK0/TIOC3DS/TXD6	Vcc
A2	Vcc	-
A3	Vss	-
A4	PE16/ $\overline{\text{UBCTR}}\overline{\text{G}}/\text{TIOC3AS}/\text{TXD0}$	Vcc
A5	Vss	-
A6	Vcc	-
A7	PE6/IRQ6/TIOC2A/TXD2	Vcc
A8	PE4/IRQ4/TIOC1A/RXD3	Vcc
A9	PE0/IRQ0/TIOC0A/SCK4	Vcc
A10	PF14/AN14	AVcc
A11	PF13/AN13	AVcc
A12	AVref	-
A13	AVcc	-
A14	AVss	-
A15	PF2/AN2	AVcc
A16	MD0	Vcc
A17	PH13/TIC1	Vcc
A18	PLLvss	-
A19	PLLvcc	-
A20	PH10	Vcc
B1	PJ2/IRQ12	PVcc1
B2	PJ0/IRQ10	PVcc1
B3	PE22/DACK1/TIOC4CS/TXD7	Vcc
B4	PE14/IRQ14/TIOC4C/RXD5	Vcc
B5	PE15/IRQ15/TIOC4D/SCK0	Vcc
B6	PE11/IRQ11/TIOC3D/RXD1	Vcc
B7	PE9/IRQ9/TIOC3B/SCK1	Vcc
B8	PE5/IRQ5/TIOC1B/TXD3	Vcc
B9	PE2/IRQ2/TIOC0C/RXD4	Vcc
B10	$\overline{\text{WDTOVF}}$	Vcc
B11	PF12/AN12	AVcc
B12	PF10/AN10	AVcc
B13	PF6/AN6	AVcc
B14	PF4/AN4	AVcc
B15	PF1/AN1	AVcc
B16	PH15/TOC1	Vcc
B17	PH12/TIC0	Vcc

端子番号	端子名	I/O バッファ供給電源
B18	AUDATA1	Vcc
B19	Vss	-
B20	EXTAL	Vcc
C1	PJ3/SCK4	PVcc1
C2	PJ6/SCK5	PVcc1
C3	PE18/DREQ0/TIOC3CS/SCK6	Vcc
C4	PE21/DREQ1/TIOC4BS/SCK7	Vcc
C5	PE13/IRQ13/TIOC4B/TXD5	Vcc
C6	PE17/MRES/TIOC3BS/RXD0	Vcc
C7	PE10/IRQ10/TIOC3C/TXD1	Vcc
C8	PE8/IRQ8/TIOC3A/SCK2	Vcc
C9	PE3/IRQ3/TIOC0D/SCK3	Vcc
C10	MD1	Vcc
C11	PF11/AN11	AVcc
C12	PF8/AN8	AVcc
C13	PF5/AN5	AVcc
C14	PF0/AN0	AVcc
C15	PH14/TOC0	Vcc
C16	AUDATA0	Vcc
C17	AUDCK	Vcc
C18	PH11	Vcc
C19	Vcc	-
C20	XTAL	Vcc
D1	PJ8/RXD5	PVcc1
D2	PJ9/RSPCK0	PVcc1
D3	PJ4/TXD4	PVcc1
D4	PJ1/IRQ11	PVcc1
D5	PE20/TEND0/TIOC4AS/RXD6	Vcc
D6	PE23/TEND1/TIOC4DS/RXD7	Vcc
D7	PE12/IRQ12/TIOC4A/SCK5	Vcc
D8	PE7/IRQ7/TIOC2B/RXD2	Vcc
D9	PE1/IRQ1/TIOC0B/TXD4	Vcc
D10	PF15/AN15	AVcc
D11	PF9/AN9	AVcc
D12	PF7/AN7	AVcc
D13	PF3/AN3	AVcc
D14	Vcc	-
D15	Vss	-

端子番号	端子名	I/O バッファ供給電源
D16	AUDATA2	Vcc
D17	AUDATA3	Vcc
D18	PH8/RXD7	Vcc
D19	PH7/TXD7	Vcc
D20	Vcc	-
E1	PJ10/MOSI0	PVcc1
E2	PJ12/SSL0	PVcc1
E3	PJ5/RXD4	PVcc1
E4	PVcc1	-
E17	AUDSYNC	Vcc
E18	PH6/SCK7	Vcc
E19	PH5/TIC5WS	Vcc
E20	$\overline{\text{RES}}$	Vcc
F1	PVcc2	-
F2	PJ13/SSL1	PVcc1
F3	PJ7/TXD5	PVcc1
F4	PVss1	-
F17	PH9	Vcc
F18	PH4/TIC5VS	Vcc
F19	FWE/ASEBRKAK/ASEBRK	Vcc
F20	TMS	Vcc
G1	PVss2	-
G2	PK3/SCK6	PVcc2
G3	PJ14/SSL2	PVcc1
G4	PJ11/MISO0	PVcc1
G17	PH3/TIC5US	Vcc
G18	TCK	Vcc
G19	TDO	Vcc
G20	Vcc	-
H1	PK6	PVcc2
H2	PK4/TXD6	PVcc2
H3	PK0/IRQ13	PVcc2
H4	PJ15/SSL3	PVcc1
H17	$\overline{\text{TRST}}$	Vcc
H18	TDI	Vcc
H19	ASEMD0	Vcc
H20	Vss	-

端子番号	端子名	I/O バッファ供給電源
J1	PL2/RXIN0P (SH72315A の場合)	LVDSVcc
	PL2 (SH72315L/SH72314L の場合)	Vcc
J2	LVDSVss (SH72315A の場合)	-
	Vss (SH72315L/SH72314L の場合)	-
J3	PK2/IRQ15	PVcc2
J4	PK1/IRQ14	PVcc2
J9	NC	-
J10	NC	-
J11	NC	-
J12	NC	-
J17	PH2/TIC5W	Vcc
J18	NMI	Vcc
J19	PH1/TIC5V	Vcc
J20	PC15/A15/IRQ23/RXD7	Vcc
K1	PL3/RXIN0M (SH72315A の場合)	LVDSVcc
	PL3 (SH72315L/SH72314L の場合)	Vcc
K2	PL0/RXCLKINP (SH72315A の場合)	LVDSVcc
	PL0 (SH72315L/SH72314L の場合)	Vcc
K3	PK5/RXD6	PVcc2
K4	PK7	PVcc2
K9	NC	-
K10	Vss	-
K11	Vss	-
K12	NC	-
K17	PC11/A11/IRQ19/TXD4	Vcc
K18	PH0/TIC5U	Vcc
K19	PC14/A14/IRQ22/TXD7	Vcc
K20	PC13/A13/IRQ21/SCK7	Vcc
L1	PL4/RXIN1P (SH72315A の場合)	LVDSVcc
	PL4 (SH72315L/SH72314L の場合)	Vcc
L2	PL1/RXCLKINM (SH72315A の場合)	LVDSVcc
	PL1 (SH72315L/SH72314L の場合)	Vcc
L3	LVDSVcc (SH72315A の場合)	-
	Vcc (SH72315L/SH72314L の場合)	-
L4	PG0/IRQ0	Vcc
L9	NC	-
L10	Vss	-
L11	Vss	-

端子番号	端子名	I/O バッファ供給電源
L12	NC	-
L17	PC1/A1/TIC5V/ $\overline{\text{POE1}}$	Vcc
L18	PC12/A12/IRQ20/RXD4	Vcc
L19	Vss	-
L20	PA15/CK/IRQ11/SCK5	Vcc
M1	PL5/RXIN1M (SH72315A の場合)	LVDSVcc
	PL5 (SH72315L/SH72314L の場合)	Vcc
M2	LVDSVss (SH72315A の場合)	-
	Vss (SH72315L/SH72314L の場合)	-
M3	PG6/IRQ6	Vcc
M4	PG7/IRQ7	Vcc
M9	NC	-
M10	NC	-
M11	NC	-
M12	NC	-
M17	PC8/A8/IRQ16/TXD6	Vcc
M18	PC6/A6/ $\overline{\text{UBCTRG}}$ /RXD3	Vcc
M19	PC10/A10/IRQ18/SCK4	Vcc
M20	Vcc	-
N1	PG1/IRQ1	Vcc
N2	PG2/IRQ2	Vcc
N3	PG4/IRQ4	Vcc
N4	PG11/TI32IOB	Vcc
N17	VcL	-
N18	PC9/A9/IRQ17/RXD6	Vcc
N19	PC5/A5/TIC5US/TXD3	Vcc
N20	PC2/A2/TIC5W/ $\overline{\text{POE2}}$	Vcc
P1	PG3/IRQ3	Vcc
P2	PG5/IRQ5	Vcc
P3	PG8/IRQ8	Vcc
P4	PG12/TI32I1A	Vcc
P17	Vcc	-
P18	PA7/ $\overline{\text{CS7}}$ /IRQ3/TCLKB	Vcc
P19	PC4/A4/TIC5VS/SCK3	Vcc
P20	PC0/A0/TIC5U/ $\overline{\text{POE0}}$	Vcc
R1	Vcc	-
R2	VcL	-
R3	PG9/IRQ9	Vcc

端子番号	端子名	I/O バッファ供給電源
R4	PB6/A20/ $\overline{\text{POE8}}$ /SCK0	Vcc
R17	Vss	-
R18	PA16/ $\overline{\text{BACK}}$ /IRQ12/ $\overline{\text{ADTRG}}$	Vcc
R19	PC7/A7/ $\overline{\text{IRQOUT}}$ /SCK6	Vcc
R20	PC3/A3/TIC5WS/ $\overline{\text{POE3}}$	Vcc
T1	Vss	-
T2	PG13/TI32I1B	Vcc
T3	PG10/TI32I0A	Vcc
T4	PB5/A19/ $\overline{\text{POE4}}$ /TXD0	Vcc
T17	PA4/ $\overline{\text{CS4}}$ /CRx0/TXD1	Vcc
T18	PA5/ $\overline{\text{CS5}}$ /RXD1	Vcc
T19	PA8/ $\overline{\text{RDWR}}$ /IRQ4/TCLKC	Vcc
T20	PA9/ $\overline{\text{BS}}$ /IRQ5/TCLKD	Vcc
U1	PG15	Vcc
U2	PB4/A18/ $\overline{\text{POE5}}$ /RXD0	Vcc
U3	PG14/CK32	Vcc
U4	PB11/A23/ $\overline{\text{CASU}}$ /RXD6	Vcc
U5	PB12/A24/ $\overline{\text{RASL}}$ /TXD6	Vcc
U6	Vss	-
U7	Vcc	-
U8	PD0/D0/SCK1/KEY0	Vcc
U9	Vcc	-
U10	PD22/D22/TIC5US/KEY22/ $\overline{\text{COM6}}$	Vcc
U11	PD24/D24/DREQ0/KEY24/ $\overline{\text{COM0}}$ /P0	Vcc
U12	PD9/D9/RXD2/KEY9	Vcc
U13	PD27/D27/DACK0/KEY27/ $\overline{\text{COM3}}$ /P3	Vcc
U14	PD15/D15/RXD3/KEY15	Vcc
U15	PD31/D31/TIC5W/KEY31/P3/P7	Vcc
U16	PA1/ $\overline{\text{CS1}}$ /IRQ1/TXD0	Vcc
U17	PA17/ $\overline{\text{BREQ}}$ /IRQ13/ $\overline{\text{POE8}}$	Vcc
U18	PA3/ $\overline{\text{CS3}}$ /CTx0/SCK1	Vcc
U19	PA18/ $\overline{\text{WAIT}}$ /IRQ14/ $\overline{\text{POE4}}$	Vcc
U20	PA6/ $\overline{\text{CS6}}$ /IRQ2/TCLKA	Vcc
V1	XTAL32	Vcc
V2	Vcc	-
V3	PB2/ $\overline{\text{MRES}}$ / $\overline{\text{POE7}}$ /SCL	Vcc
V4	PB0/A16/ $\overline{\text{POE0}}$	Vcc
V5	PB3/ $\overline{\text{IRQOUT}}$ / $\overline{\text{POE6}}$ /SDA	Vcc

端子番号	端子名	I/O バッファ供給電源
V6	PB9/A21/CKE/TXD2	Vcc
V7	PD17/D17/TCLKB/KEY17/COM1	Vcc
V8	PD18/D18/TCLKC/KEY18/COM2	Vcc
V9	PD20/D20/TIC5WS/KEY20/COM4	Vcc
V10	PD5/D5/RXD7/KEY5	Vcc
V11	PD7/D7/POE8/KEY7	Vcc
V12	PD26/D26/DACK1/KEY26/COM2/P2	Vcc
V13	PD11/D11/TXD5/KEY11	Vcc
V14	PD29/D29/TIC5U/KEY29/P1/P5	Vcc
V15	PD30/D30/TIC5V/KEY30/P2/P6	Vcc
V16	PA0/CS0/IRQ0/RXD0	Vcc
V17	PA2/CS2/CTx0/SCK0	Vcc
V18	PA14/RD/IRQ10/TXD5	Vcc
V19	PA19/AH/IRQ15/POE0	Vcc
V20	Vss	-
W1	EXTAL32	Vcc
W2	Vss	-
W3	PB13/A25/RASU/SCK6	Vcc
W4	PB7/CS0/CS4/REFOUT	Vcc
W5	PB1/A17/ADTRG	Vcc
W6	PD16/D16/TCLKA/KEY16/COM0	Vcc
W7	PD2/D2/RXD1/KEY2	Vcc
W8	PD19/D19/TCLKD/KEY19/COM3	Vcc
W9	PD21/D21/TIC5VS/KEY21/COM5	Vcc
W10	PD6/D6/SCK2/KEY6	Vcc
W11	PD23/D23/TEND0/KEY23/COM7	Vcc
W12	PD25/D25/DREQ1/KEY25/COM1/P1	Vcc
W13	PD10/D10/SCK5/KEY10	Vcc
W14	PD28/D28/TEND1/KEY28/P0/P4	Vcc
W15	PD13/D13/SCK3/KEY13	Vcc
W16	Vcc	-
W17	PA10/WRHH/DQMUU/IRQ6/RXD4	Vcc
W18	PA12/WRH/DQMLU/IRQ8/SCK4	Vcc
W19	Vss	-
W20	Vcc	-
Y1	PB10/A22/CASU/SCK2	Vcc
Y2	PB8/CS1/CS5/RXD2	Vcc
Y3	Vss	-

端子番号	端子名	I/O バッファ供給電源
Y4	Vcc	-
Y5	VcL	-
Y6	PD1/D1/TXD1/KEY1	Vcc
Y7	Vss	-
Y8	PD3/D3/SCK7/KEY3	Vcc
Y9	PD4/D4/TXD7/KEY4	Vcc
Y10	Vss	-
Y11	Vcc	-
Y12	PD8/D8/TXD2/KEY8	Vcc
Y13	Vss	-
Y14	Vcc	-
Y15	PD12/D12/RXD5/KEY12	Vcc
Y16	Vss	-
Y17	PD14/D14/TXD3/KEY14	Vcc
Y18	PA11/WRHL/DQMUL/IRQ7/TXD4	Vcc
Y19	Vcc	-
Y20	PA13/WRL/DQMLL/IRQ9/RXD5	Vcc

1.4 端子機能

表 1.4 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PVcc1	入力	入出力回路 (グループ 1) 用電源	入出力端子 (グループ 1) 用の電源端子です。
	PVss1	入力	入出力回路 (グループ 1) 用グランド	入出力端子 (グループ 1) 用のグランド端子です。
	PVcc2	入力	入出力回路 (グループ 2) 用電源	入出力端子 (グループ 2) 用の電源端子です。
	PVss2	入力	入出力回路 (グループ 2) 用グランド	入出力端子 (グループ 2) 用のグランド端子です。
	PLLvcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源端子です。
	PLLvss	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。
	Vcl	入力	内部降圧電源	内部降圧電源用の外付け容量端子です。すべての Vcl 端子を 0.1 μ F のコンデンサを介して Vss に接続してください (端子近くに配置)。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CK	出力	システムクロック	外部デバイスにシステムクロックを供給します。
	EXTAL32	入力	32kHz 用外部クロック	32kHz 水晶発振子を接続します。また外部クロックを入力することもできます。
	XTAL32	出力	32kHz 用クリスタル	32kHz 水晶発振子を接続します。
	CK32	出力	32kHz 用システムクロック	外部デバイスに 32kHz 用システムクロックを供給します。
動作モード コントロール	MD1、MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。
	ASEMD0	入力	デバッグモード	E10A エミュレータ機能を有効にします。デバッグモード以外の通常動作時はハイレベルを入力します。デバッグモード時はユーザボード上でローレベルを入力します。
	FWE	入力	フラッシュメモリ書き込みイネーブル	フラッシュメモリ用の端子です。フラッシュメモリの書き込み / 消去をプロテクトすることができます。

分類	端子名	入出力	名称	機能
システム制御	$\overline{\text{RES}}$	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	$\overline{\text{MRES}}$	入力	マニュアルリセット	この端子がローレベルになると、マニュアルリセット状態になります。
	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマ オーバフロー	WDT からのオーバフロー出力信号です。 ブルダウンが必要な場合は 1M 以上の抵抗を使用してください。
	$\overline{\text{BREQ}}$	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	$\overline{\text{BACK}}$	出力	バス権要求アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
割り込み	NMI	入力	ノンマスクابل割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ23 ~ IRQ0	入力	割り込み要求 23 ~ 0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	$\overline{\text{IRQOUT}}$	出力	割り込み要求出力	割り込み要因が発生したことを示します。バス権解放中にも割り込み発生を知ることができます。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D31 ~ D0	入出力	データバス	双方向のデータバスです。
バス制御	$\overline{\text{CS7}} \sim \overline{\text{CS0}}$	出力	チップセレクト 7 ~ 0	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	$\overline{\text{RD}}/\overline{\text{WR}}$	出力	リード/ライト	リード信号またはライト信号です。
	$\overline{\text{BS}}$	出力	バス開始	バスサイクル開始信号です。
	$\overline{\text{AH}}$	出力	アドレスホールド	アドレスまたはデータマルチプレクス I/O 時のアドレスをホールドするための信号です。
	$\overline{\text{WAIT}}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{\text{WRHH}}$	出力	書き込み	外部メモリまたはデバイスのデータのビット 31 ~ 24 に書き込みすることを示します。
	$\overline{\text{WRHL}}$	出力	書き込み	外部メモリまたはデバイスのデータのビット 23 ~ 16 に書き込みすることを示します。
	$\overline{\text{WRH}}$	出力	書き込み	外部メモリまたはデバイスのデータのビット 15 ~ 8 に書き込みすることを示します。
	$\overline{\text{WRL}}$	出力	書き込み	外部メモリまたはデバイスのデータのビット 7 ~ 0 に書き込みすることを示します。
	DQMUU	出力	バイト指定	SDRAM 接続時、D31 ~ D24 を選択します。
	DQMUL	出力	バイト指定	SDRAM 接続時、D23 ~ D16 を選択します。
	DQMLU	出力	バイト指定	SDRAM 接続時、D15 ~ D8 を選択します。
	DQMLL	出力	バイト指定	SDRAM 接続時、D7 ~ D0 を選択します。
	$\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$	出力	RAS	SDRAM 接続時、RAS 端子に接続します。
	$\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$	出力	CAS	SDRAM 接続時、CAS 端子に接続します。
	CKE	出力	CK イネーブル	SDRAM 接続時、CKE 端子に接続します。
$\overline{\text{REFOUT}}$	出力	リフレッシュ要求	リフレッシュ実行要求信号です。	

分類	端子名	入出力	名称	機能
ダイレクト	DREQ0, DREQ1	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
メモリアクセス コントローラ (DMAC)	DACK0, DACK1	出力	DMA 転送要求受け付け	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	TEND0, TEND1	出力	DMA 転送終了出力	DMA 転送終了出力信号です。
マルチファンク ションタイマパ ルスユニット 2 (MTU2)	TCLKA, TCLKB, TCLKC, TCLKD	入力	タイマクロック入力	タイマの外部クロック入力端子です。
	TIOC0A, TIOC0B, TIOC0C, TIOC0D	入出力	インプットキャプチャ/ アウトプットコンペア (チャンネル0)	TGRA_0 - TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC1A, TIOC1B	入出力	インプットキャプチャ/ アウトプットコンペア (チャンネル1)	TGRA_1, TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC2A, TIOC2B	入出力	インプットキャプチャ/ アウトプットコンペア (チャンネル2)	TGRA_2, TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC3A, TIOC3B, TIOC3C, TIOC3D	入出力	インプットキャプチャ/ アウトプットコンペア (チャンネル3)	TGRA_3 - TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC4A, TIOC4B, TIOC4C, TIOC4D	入出力	インプットキャプチャ/ アウトプットコンペア (チャンネル4)	TGRA_4 - TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIC5U, TIC5V, TIC5W	入力	インプットキャプチャ (チャンネル5)	TGRU_5, TGRV_5, TGRW_5 のインプットキャプチャ入力 / デッドタイム補償機能の入力端子です。
	マルチファンク ションタイマパ ルスユニット 2S (MTU2S)	TIOC3AS, TIOC3BS, TIOC3CS, TIOC3DS	入出力	インプットキャプチャ/ アウトプットコンペア (チャンネル3)
TIOC4AS, TIOC4BS, TIOC4CS, TIOC4DS		入出力	インプットキャプチャ/ アウトプットコンペア (チャンネル4)	TGRA_4S - TGRD_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
TIC5US, TIC5VS, TIC5WS		入力	インプットキャプチャ (チャンネル5)	TGRU_5S, TGRV_5S, TGRW_5S のインプットキャプチャ入力 / デッドタイム補償機能の入力端子です。

分類	端子名	入出力	名称	機能
ポートアウトプットイネーブル2 (POE2)	POE8 ~ POE0	入力	ポート出力制御	MTU2、MTU2S の波形出力端子をハイインピーダンス状態にする入力端子です。
シリアルコミュニケーションインタフェース (SCI)	TXD3 ~ TXD0	出力	送信データ	データ出力端子です。
	RXD3 ~ RXD0	入力	受信データ	データ入力端子です。
	SCK3 ~ SCK0	入出力	シリアルクロック	クロック入出力端子です。
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	TXD7 ~ TXD4	出力	送信データ	データ出力端子です。
	RXD7 ~ RXD4	入力	受信データ	データ入力端子です。
	SCK7 ~ SCK4	入出力	シリアルクロック	クロック入出力端子です。
I ² C バスインタフェース 3 (IIC3)	SCL	入出力	シリアルクロック端子	シリアルクロック入出力端子です。
	SDA	入出力	シリアルデータ端子	シリアルデータ入出力端子です。
LVDS 受信インタフェース (LVDS) (SH72315A のみ)	RXCLKINP	入力	受信クロック	クロック入力端子 (プラス側) です。
	RXCLKINM	入力	受信クロック	クロック入力端子 (マイナス側) です。
	RXIN1P、RXIN0P	入力	受信データ	データ入力端子 (プラス側) です。
	RXIN1M、RXIN0M	入力	受信データ	データ入力端子 (マイナス側) です。
	LVDSVcc	入力	LVDS 用電源	内蔵 LVDS レシーバ用の電源端子です。LVDS を使用しない場合はシステム電源 (Vcc) に接続してください。
	LVDSVss	入力	LVDS 用グランド	内蔵 LVDS レシーバ用のグランド端子です。すべての LVDSVss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。LVDS を使用しない場合はシステム電源 (Vss) に接続してください。
ルネサスシリアルペリフェラルインタフェース (RSPI)	MOSI0	入出力	送信データ	RSPI のマスタ送信データ端子です。
	MISO0	入出力	受信データ	RSPI のスレーブ送信データ端子です。
	RSPCK0	入出力	シリアルクロック	クロック入出力端子です。
	SSL0	入出力	スレーブセレクト 0	RSPI のスレーブセレクト端子 0 です。
	SSL3 ~ SSL1	出力	スレーブセレクト 3 ~ 1	RSPI のスレーブセレクト端子 3 ~ 1 です。
コントローラエリアネットワーク (RCAN-ET)	CTX0	出力	送信データ	CAN バス送信用端子です。
	CRx0	入力	受信データ	CAN バス受信用端子です。
A/D 変換器 (ADC)	AN15 ~ AN0	入力	アナログ入力端子	アナログ入力端子です。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	入力	アナログ電源	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源 (Vcc) に接続してください。
	AVref	入力	アナログリファレンス電源	A/D 変換器のリファレンス電源端子です。A/D 変換器を使用しない場合はシステム電源 (Vcc) に接続してください。
	AVss	入力	アナロググランド	A/D 変換器のグランド端子です。A/D 変換器を使用しない場合はシステム電源 (Vss) に接続してください。

分類	端子名	入出力	名称	機能
I/O ポート	PA19 ~ PA0	入出力	汎用ポート	20本の汎用入出力ポート端子です。
	PB13 ~ PB0	入出力	汎用ポート	14本の汎用入出力ポート端子です。
	PC15 ~ PC0	入出力	汎用ポート	16本の汎用入出力ポート端子です。
	PD31 ~ PD0	入出力	汎用ポート	32本の汎用入出力ポート端子です。
	PE23 ~ PE0	入出力	汎用ポート	24本の汎用入出力ポート端子です。
	PF15 ~ PF0	入力	汎用ポート	16本の汎用入力ポート端子です。
	PG15 ~ PG0	入出力	汎用ポート	16本の汎用入出力ポート端子です。
	PH15 ~ PH0	入出力	汎用ポート	16本の汎用入出力ポート端子です。
	PJ15 ~ PJ0	入出力	汎用ポート	16本の汎用入出力ポート端子です。
	PK7 ~ PK0	入出力	汎用ポート	8本の汎用入出力ポート端子です。
	PL5 ~ PL0	入力	汎用ポート	6本の汎用入力ポート端子です。
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモードセレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。 H-UDI 未使用時にはローレベルを入力してください。
エミュレータ インタフェース	AUDATA3 ~ AUDATA0	出力	AUD データ	分岐先 / 分岐元アドレス出力端子です。
	AUDCK	出力	AUD クロック	同期クロック出力端子です。
	AUDSYNC	出力	AUD 同期信号	データ先頭位置認識信号出力端子です。
	ASEBRKAK	出力	ブレークモード アクノリッジ	E10A-USB エミュレータがブレークモードに入ったことを示します。
	ASEBRK	入力	ブレーク要求	E10A-USB エミュレータブレーク入力です。
ユーザブレーク コントローラ (UBC)	UBCTR \bar{G}	出力	ユーザブレークトリガ 出力	UBC 条件一致のトリガ出力です。
コンペアマッチ タイマ \times (CMT2)	TIC1, TIC0	入力	インプットキャプチャ	インプットキャプチャ入力端子です。
	TOC1, TOC0	出力	アウトプットコンペア	アウトプットコンペア出力端子です。
キースキャンコ ントローラ (KEYC)	KEY31 ~ KEY0	入力	キー入力	キー入力端子です。
	COM7 ~ COM0	出力	キーマトリクス出力	キーマトリクス出力端子です。
	P7 ~ P0	入力	キーマトリクス入力	キーマトリクス入力端子です。
32kHz タイマ (TIM32C)	TI32I1A, TI32I0A, TI32I1B, TI32I0B	入力	位相計数入力	位相計数入力端子です。

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×4 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は、R15 を用いてスタックを参照し行います。

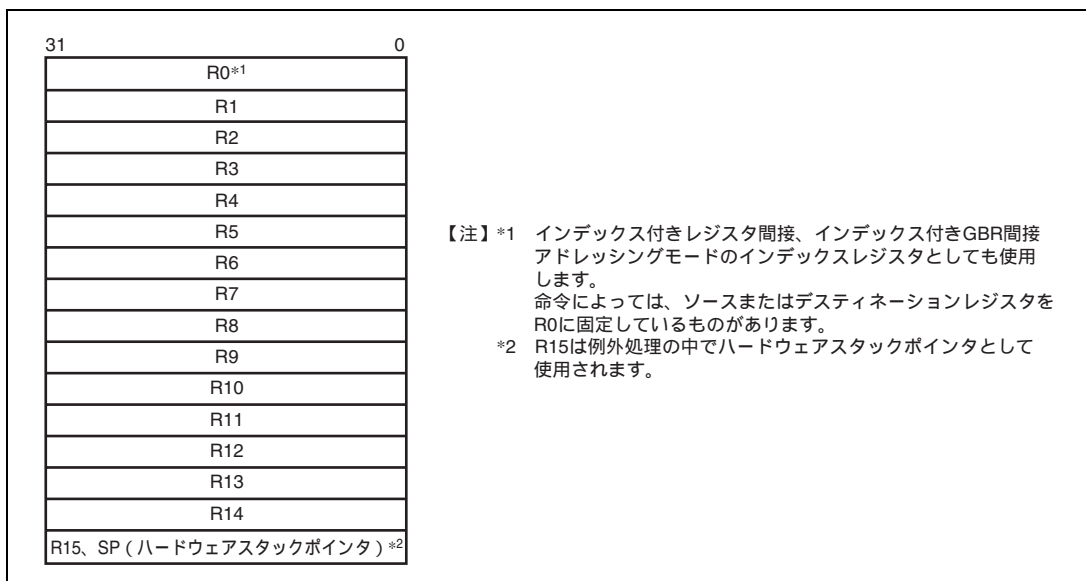


図 2.1 汎用レジスタ

2.1.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の 4 本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

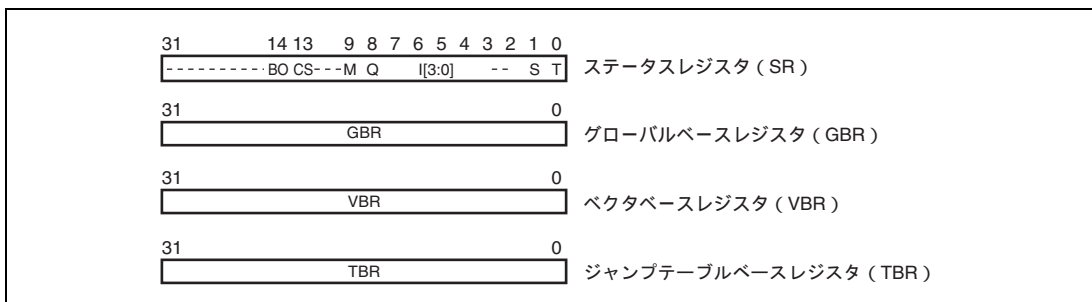


図 2.2 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	M	-	R/W	M ビット Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	-	R/W	
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	-	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	T ビット 真 / 偽条件またはキャリー / ボロービット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は現在実行中の命令の 4 バイト先を示し、処理の流れを制御します。

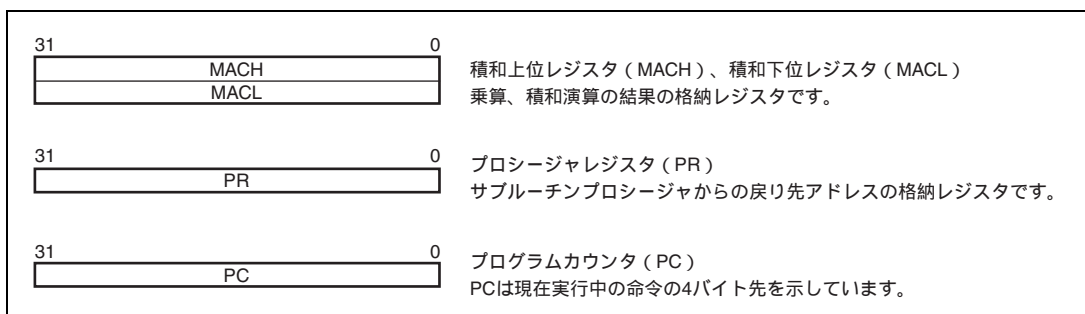


図 2.3 システムレジスタ

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト先を示します。

2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

本 LSI は 15 個のバンクを持ちます。詳細については「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」、「7.8 レジスタバンク」を参照してください。

2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	[[3:0]は 1111 (H'F)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

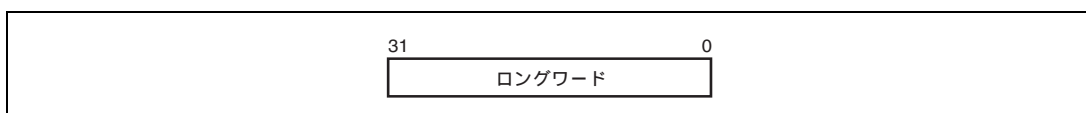


図 2.4 レジスタのデータ形式

2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

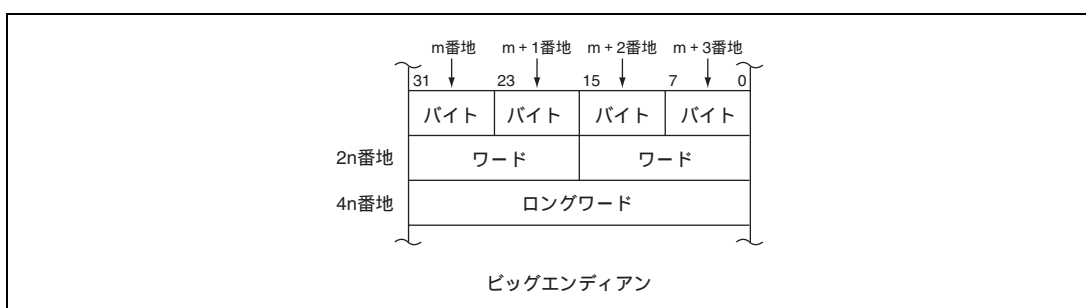


図 2.5 メモリのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令 遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD R1,R0		BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算 / 積和演算

16×16 32 の乗算を 1～2 ステート、16×16+64 64 の積和演算を 2～3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2～4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU	説 明	他の CPU の例
CMP/GE R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ #0,R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV120 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOV120 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOV120S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21 ~ 28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(12) 16 ビット / 32 ビットディスプレースメント

16 ビットまたは 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。


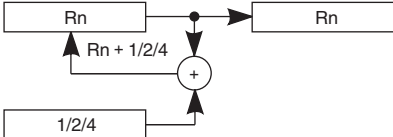
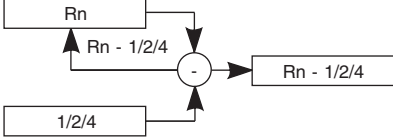
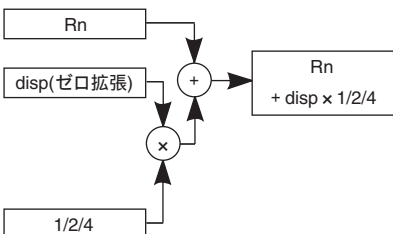
表 2.7 ディスプレースメントによる参照

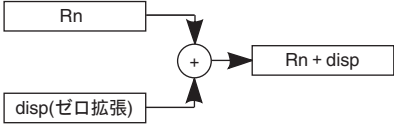
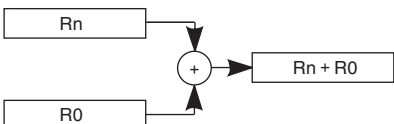
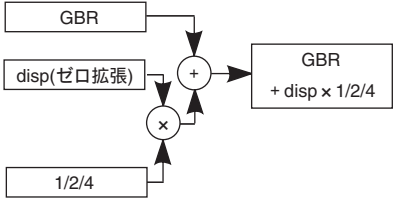
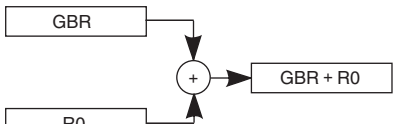
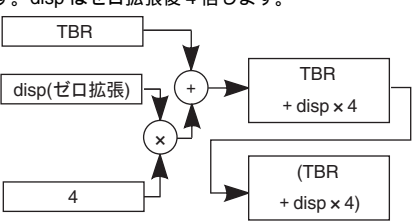
区分	SH-2A CPU	他の CPU の例
16 ビットディスプレースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.3.2 アドレッシングモード

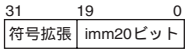
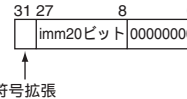
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイースメント付き TBR 二重間接	@@ (disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレイースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p> 	($TBR + disp \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p>* ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$</p> <p>ロングワード : $PC \& H'FFFFFFFC + disp \times 4$</p>
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

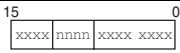

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	-
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側は符号拡張、下位側はゼロ詰めを行います。 	-
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	-

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

- xxxx : 命令コード
- mmmm : ソースレジスタ
- nnnn : デスティネーションレジスタ
- iiii : イミディエイトデータ
- dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		-	-	NOP
n 形式		-	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	-	JMP @Rm
		mmmm : プリデクリメント レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	-	BRAF Rm

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	$\begin{array}{cccc} 15 & & & 0 \\ \hline \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{xxxx}} \end{array}$	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		nnnn : * ポストインクリメント レジスタ間接 (積和演算)		
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	$\begin{array}{cccc} 15 & & & 0 \\ \hline \boxed{\text{xxxx}} & \boxed{\text{xxxx}} & \boxed{\text{mmmm}} & \boxed{\text{dddd}} \end{array}$	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式	$\begin{array}{cccc} 15 & & & 0 \\ \hline \boxed{\text{xxxx}} & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{dddd}} \end{array}$	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{cccc} 15 & & & 0 \\ \hline \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{dddd}} \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	$\begin{array}{cccc} 32 & & & 16 \\ \hline \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{xxxx}} \\ \\ 15 & & & 0 \\ \hline \boxed{\text{xxxx}} & \boxed{\text{dddd}} & \boxed{\text{dddd}} & \boxed{\text{dddd}} \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12,Rm),Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式		ddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレイメント付き GBR 間接		
		R0 (レジスタ直接)	ddddddd :	MOV.L R0,@(disp,GBR)
		ディスプレイメント付き PC 相対	ddddddd :	MOVA @(disp,PC),R0
		ディスプレイメント付き TBR 二重間接	-	JSR/N @@(disp8,TBR)
	ddddddd : PC 相対	-	BF label	
d12 形式		ddddddddddd : PC 相対	-	BRA label (label=disp+PC)
nd8 形式		ddddddd :	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト	-	TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式		nnnn : レジスタ直接 iii : イミディエイト	-	BLD #imm3,Rn
		-	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式		iiiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">32</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 2px 5px;">xxxx</div> <div style="border-right: 1px solid black; padding: 2px 5px;">nnnn</div> <div style="border-right: 1px solid black; padding: 2px 5px;">xiii</div> <div style="padding: 2px 5px;">xxxx</div> </div> <div style="margin-left: 5px;">16</div> </div> <div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">15</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 2px 5px;">xxxx</div> <div style="padding: 2px 5px;">dddd dddd dddd</div> </div> <div style="margin-left: 5px;">0</div> </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	-	BLD.B #imm3, @ (disp12,Rn)
		-	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3, @ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0 ~ Rn のレジスタ退避・復帰	
		MOVMU	Rn ~ R14, PR のレジスタ退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOV T	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32 ÷ 32)	
		DIVU	符号なし除算 (32 ÷ 32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし1ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロ－付き符号反転	
		SUB	2進減算	
		SUBC	ポロ－付き2進減算	
		SUBV	アンダフロー付き2進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1ビット左回転	16
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDIO	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	

分類	命令の種類	オペコード	機能	命令数
浮動小数点演算命令	19	FMOV	浮動小数点数転送	48
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命 令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。	MSB LSBの順で表示しています。	動作の概略を表示しています。	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。
【記号説明】	【記号説明】	【記号説明】		【記号説明】
Rm : ソースレジスタ	mmmm : ソースレジスタ	、 : 転送方向 (xx) : メモリオペランド		- : 変化しない
Rn : デスティネーションレジスタ	nnnn : デスティネーションレジスタ	M/Q/T : SR内のフラグビット		
imm : イミディエイトデータ	0000 : R0 0001 : R1 1111 : R15	& : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和		
disp : ディスプレースメント*2	iiii : イミディエイトデータ dddd : ディスプレースメント	~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト		

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング(x1、x2、x4)されます。

詳しくは、「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiiii	imm 符号拡張 Rn	1	-			
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	-			
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	-			
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	-			
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	-			
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	-			
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	-			
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-			
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-			
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	-			
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	-			
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	-			
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	-			
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-			
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-			
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-			
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0 (disp+Rn)	1	-			
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0 (disp × 2+Rn)	1	-			
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4+Rn)	1	-			
MOV.B @(disp, Rm), R0	10000100nnnnddd	(disp+Rm) 符号拡張 R0	1	-			
MOV.W @(disp, Rm), R0	10000101nnnnddd	(disp × 2+Rm) 符号拡張 R0	1	-			
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4+Rm) Rn	1	-			
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-			
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-			
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-			
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-			
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-			
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-			
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	-			
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	-			
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4+GBR)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @ (disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	-			
MOV.W @ (disp, GBR), R0	11000101dddddddd	(disp × 2+GBR) 符号拡張 R0	1	-			
MOV.L @ (disp, GBR), R0	11000110dddddddd	(disp × 4+GBR) R0	1	-			
MOV.B R0, @Rn+	0100nnnn10001011	R0 (Rn), Rn+1 Rn	1	-			
MOV.W R0, @Rn+	0100nnnn10011011	R0 (Rn), Rn+2 Rn	1	-			
MOV.L R0, @Rn+	0100nnnn10101011	R0 (Rn), Rn+4 Rn	1	-			
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1 Rm, (Rm) 符号拡張 R0	1	-			
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2 Rm, (Rm) 符号拡張 R0	1	-			
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4 Rm, (Rm) R0	1	-			
MOV.B Rm, @ (disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm (disp+Rn)	1	-			
MOV.W Rm, @ (disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm (disp × 2+Rn)	1	-			
MOV.L Rm, @ (disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm (disp × 4+Rn)	1	-			
MOV.B @ (disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm) 符号拡張 Rn	1	-			
MOV.W @ (disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp × 2+Rm) 符号拡張 Rn	1	-			
MOV.L @ (disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp × 4+Rm) Rn	1	-			
MOVA @ (disp, PC), R0	11000111dddddddd	disp × 4+PC R0	1	-			
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm 符号拡張 Rn	1	-			
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8 符号拡張 Rn	1	-			
MOVMLL Rm, @-R15	0100mmmm11110001	R15-4 R15, Rm (R15) R15-4 R15, Rm-1 (R15) : R15-4 R15, R0 (R15) Rm=R15 のとき、Rm を PR に 読み替え	1 ~ 16	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVMLL @R15+, Rn	0100nnnn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVMLL Rm, @-R15	0100nnnn11110000	R15-4 R15, PR (R15) R15-4 R15, R14 (R15) : R15-4 R15, Rm (R15) Rm=R15 のとき、Rm を PR に読み替え	1 ~ 16	-			
MOVMLL @R15+, Rn	0100nnnn11110100	(R15) Rn, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVRT Rn	0000nnnn00111001	~T Rn	1	-			
MOVRT Rn	0000nnnn00101001	T Rn	1	-			
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm) ゼロ拡張 Rn	1	-			
MOVU.W @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp×2+Rm) ゼロ拡張 Rn	1	-			
NOTT	000000001101000	~T T	1	演算結果			
PREF @Rn	0000nnnn10000011	(Rn) オバランドキャッシュ	1	-			
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイ ト交換 Rn	1	-			
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-			
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット Rn	1	-			

2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	-			
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	-			
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリー T	1	キャリー			
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー			
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/Hi Rm, Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T それ以外のとき 0 T	1	比較結果			
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) Rn, 1 CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) Rn, 1 CS	1	-			
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) Rn, 1 CS Rn<(H'FFFF8000)のとき、 (H'FFFF8000) Rn, 1 CS	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) Rn, 1 CS	1	-			
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) Rn, 1 CS	1	-			
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算(Rn ÷ Rm)	1	計算結果			
DIV0S Rm, Rn	0010nnnnmmmm0111	RnのMSB Q, RmのMSB M, M ^ Q T	1	計算結果			
DIV0U	0000000000011001	0 M/Q/T	1	0			
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn ÷ R0 Rn 32 ÷ 32 32ビット	36	-			
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn ÷ R0 Rn 32 ÷ 32 32ビット	34	-			
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64ビット	2	-			
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64ビット	2	-			
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rnが0のとき 1 T Rnが0以外のとき 0 T	1	比較結果			
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rmをバイトから符号拡張 Rn	1	-			
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rmをワードから符号拡張 Rn	1	-			
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rmをバイトからゼロ拡張 Rn	1	-			
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rmをワードからゼロ拡張 Rn	1	-			
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで(Rn) × (Rm)+MAC MAC 32 × 32+64 64ビット	4	-			
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn) × (Rm)+MAC MAC 16 × 16+64 64ビット	3	-			
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32ビット	2	-			
MULR R0, Rn	0100nnnn10000000	R0 × Rn Rn 32 × 32 32ビット	2				
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32ビット	1	-			
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32ビット	1	-			
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	-			
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー			
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー			
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバ フロー			

2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	-			
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	-			
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm (R0+GBR)	3	-			
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	-			
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	-			
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	-			
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm (R0+GBR)	3	-			
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1 T, それ以外のとき0 T, 1 MSB of(Rn)	3	テスト 結果			
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1 T, その他0 T	1	テスト 結果			
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が0のとき1 T その他0 T	1	テスト 結果			
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が0のとき1 T その他0 T	3	テスト 結果			
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	-			
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	-			
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	-			

2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB			
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB			
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB			
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB			
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [MSB Rn]	1	-			
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB			
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB			
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [0 Rn]	1	-			
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB			
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB			
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	1	-			
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	1	-			
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	1	-			
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	1	-			
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	1	-			
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	1	-			

2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BF label	10001011dddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*	-			
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*	-			
BT label	10001001dddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*	-			
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*	-			
BRA label	1010dddddddddddd	遅延分岐、 disp × 2+PC PC	2	-			
BRAF Rm	0000mmmm00100011	遅延分岐、 Rm+PC PC	2	-			
BSR label	1011dddddddddddd	遅延分岐、 PC PR, disp × 2+PC PC	2	-			
BSRF Rm	0000mmmm00000011	遅延分岐、 PC PR, Rm+PC PC	2	-			
JMP @Rm	0100mmmm00101011	遅延分岐、 Rm PC	2	-			
JSR @Rm	0100mmmm00001011	遅延分岐、 PC PR, Rm PC	2	-			
JSR/N @Rm	0100mmmm01001011	PC-2 PR, Rm PC	3	-			
JSR/N @@(disp8, TBR)	10000011dddddddd	PC-2 PR, (disp × 4+TBR) PC	5	-			
RTS	0000000000001011	遅延分岐、 PR PC	2	-			
RTS/N	0000000001101011	PR PC	3	-			
RTV/N Rm	0000mmmm01111011	Rm R0, PR PC	3	-			

【注】 * 分岐しないときは1ステートになります。

2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLRT	0000000000001000	0 T	1	0			
CLRMAC	000000000101000	0 MACH,MACL	1	-			
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) R0	6	-			
LDC Rm, SR	0100mmmm00001110	Rm SR	3	LSB			
LDC Rm, TBR	0100mmmm01001010	Rm TBR	1	-			
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	-			
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	-			
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	5	LSB			
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	1	-			
LDC.L @Rm+, VBR	0100mmmm01001111	(Rm) VBR, Rm+4 Rm	1	-			
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	-			
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	-			
LDS Rm, PR	0100mmmm00101010	Rm PR	1	-			
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-			
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-			
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-			
NOP	0000000000001001	無操作	1	-			
RESBANK	000000001011011	バンク R0 ~ R14, GBR, MACH, MACL, PR	9*	-			
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	6	-			
SETT	0000000000011000	1 T	1	1			
SLEEP	0000000000011011	スリープ	5	-			
STBANK R0, @Rn	0100nnnn11100001	R0 (指定レジスタバンクエントリ)	7	-			
STC SR, Rn	0000nnnn00000010	SR Rn	2	-			
STC TBR, Rn	0000nnnn01001010	TBR Rn	1	-			
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	-			
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	-			
STC.L SR, @- Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	-			
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	1	-			
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	-			
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	-			
STS PR, Rn	0000nnnn00101010	PR Rn	1	-			
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	-			
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	-			
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	-			
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm×4+VBR) PC	5	-			

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバーフロー時は、ステート数が19です。

2.4.8 浮動小数点演算命令

表 2.17 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	IFRn FRn	1	-			
FABS DRn	1111nnnn001011101	IDRn DRn	1	-			
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm FRn	1	-			
FADD DRm, DRn	1111nnnn0mmmm00000	DRn+DRm DRn	6	-			
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0 T	1	比較結果			
FCMP/EQ DRm, DRn	1111nnnn0mmmm00100	(DRn=DRm)? 1:0 T	2	比較結果			
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0 T	1	比較結果			
FCMP/GT DRm, DRn	1111nnnn0mmmm00101	(DRn>DRm)? 1:0 T	2	比較結果			
FCNVDS DRm, FPUL	1111mmmm010111101	(float)DRm FPUL	2	-			
FCNVSD FPUL, DRn	1111nnnn010101101	(double)FPUL DRn	2	-			
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm FRn	10	-			
FDIV DRm, DRn	1111nnnn0mmmm00011	DRn/DRm DRn	23	-			
FLDI0 FRn	1111nnnn10001101	0 × 00000000 FRn	1	-			
FLDI1 FRn	1111nnnn10011101	0 × 3F800000 FRn	1	-			
FLDS FRm, FPUL	1111mmmm00011101	FRm FPUL	1	-			
FLOAT FPUL, FRn	1111nnnn00101101	(float)FPUL FRn	1	-			
FLOAT FPUL, DRn	1111nnnn000101101	(double)FPUL DRn	2	-			
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0 × FRm+FRn FRn	1	-			
FMOV FRm, FRn	1111nnnnmmmm1100	FRm FRn	1	-			
FMOV DRm, DRn	1111nnnn0mmmm01100	DRm DRn	2	-			
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm) FRn	1	-			
FMOV.D @(R0, Rm), DRn	1111nnnn0mmmm0110	(R0+Rm) DRn	2	-			
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) FRn, Rm+=4	1	-			
FMOV.D @Rm+, DRn	1111nnnn0mmmm1001	(Rm) DRn, Rm+=8	2	-			
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) FRn	1	-			
FMOV.D @Rm, DRn	1111nnnn0mmmm1000	(Rm) DRn	2	-			
FMOV.S @(disp12, Rm), FRn	0011nnnnmmmm0001 0111dddddddddddd	(disp × 4+Rm) FRn	1	-			
FMOV.D @(disp12, Rm), DRn	0011nnnn0mmmm0001 0111dddddddddddd	(disp × 8+Rm) DRn	2	-			
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm (R0+Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm00111	DRm (R0+Rn)	2	-			
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn=4, FRm (Rn)	1	-			
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn=8, DRm (Rn)	2	-			
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm (Rn)	1	-			
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm (Rn)	2	-			
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm (disp x 4+Rn)	1	-			
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm00001 0011ddddddddddd	DRm (disp x 8+Rn)	2	-			
FMUL FRm, FRn	1111nnnnmmmm0010	FRn x FRm FRn	1	-			
FMUL DRm, DRn	1111nnn0mmmm00010	DRn x DRm DRn	6	-			
FNEG FRn	1111nnnn01001101	-FRn FRn	1	-			
FNEG DRn	1111nnn001001101	-DRn DRn	1	-			
FSCHG	1111001111111101	FPSCR.SZ=~FPSCR.SZ	1	-			
FSQRT FRn	1111nnnn01101101	FRn FRn	9	-			
FSQRT DRn	1111nnn001101101	DRn DRn	22	-			
FSTS FPUL,FRn	1111nnnn00001101	FPUL FRn	1	-			
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm FRn	1	-			
FSUB DRm, DRn	1111nnn0mmmm00001	DRn-DRm DRn	6	-			
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm FPUL	1	-			
FTRC DRm, FPUL	1111mmmm000111101	(long)DRm FPUL	2	-			

2.4.9 FPU に関する CPU 命令

表 2.18 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm FPSCR	1	-			
LDS Rm,FPUL	0100mmmm01011010	Rm FPUL	1	-			
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm) FPSCR, Rm+=4	1	-			
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm) FPUL, Rm+=4	1	-			
STS FPSCR, Rn	0000nnnn01101010	FPSCR Rn	1	-			
STS FPUL, Rn	0000nnnn01011010	FPUL Rn	1	-			
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4, FPSCR (Rn)	1	-			
STS.L FPUL, @-Rn	0100nnnn01010010	Rn-=4, FPUL (Rn)	1	-			

2.4.10 ビット操作命令

表 2.19 ビット操作命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T T	3	演算結果			
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T T	3	演算結果			
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0 (imm of (disp+ Rn))	3	-			
BCLR #imm3, Rn	10000110nnnn0iii	0 imm of Rn	1	-			
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) T	3	演算結果			
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn T	1	演算結果			
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) T	3	演算結果			
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T T	3	演算結果			
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T T	3	演算結果			
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1 (imm of (disp+Rn))	3	-			
BSET #imm3, Rn	10000110nnnn1iii	1 imm of Rn	1	-			
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T (imm of (disp+Rn))	3	-			
BST #imm3, Rn	10000111nnnn0iii	T imm of Rn	1	-			
BXOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T T	3	演算結果			

2.5 処理状態

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.6に示します。

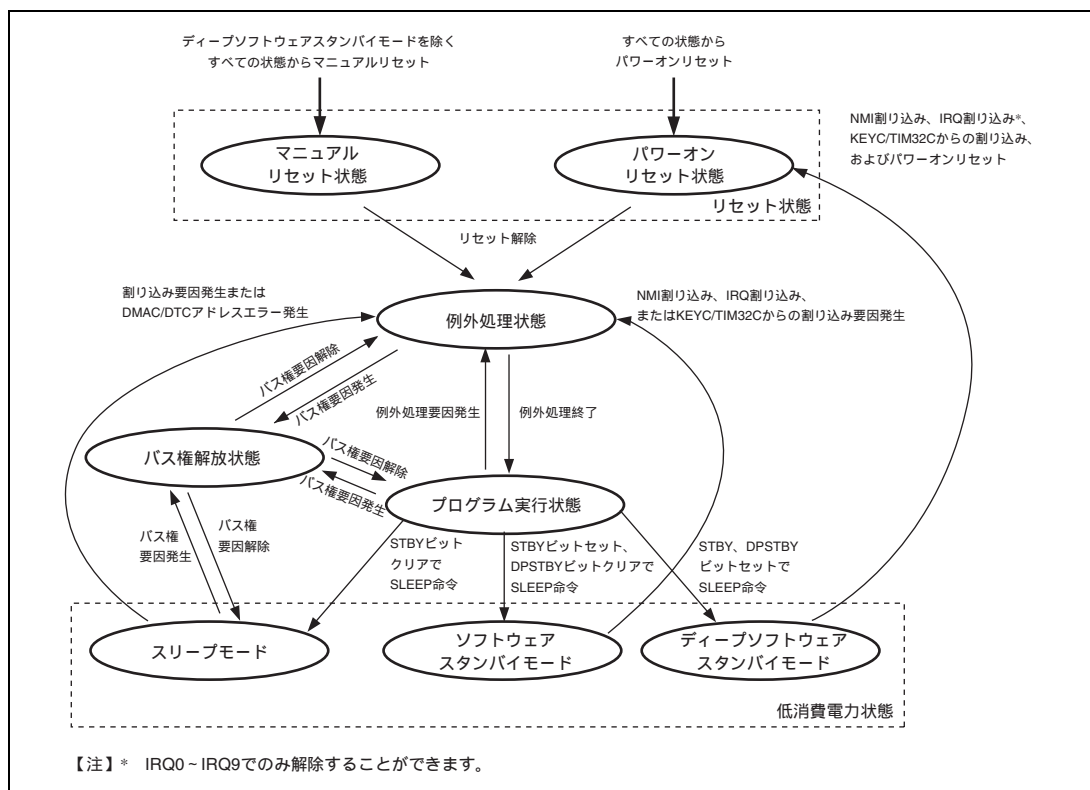


図 2.6 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. 浮動小数点ユニット (FPU)

3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 16本の単精度浮動小数点レジスタ (8本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 非正規化数処理モード：0へのフラッシュ
- 5つの例外要因：
無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、システム制御

3.2 データフォーマット

3.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

本 LSI は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

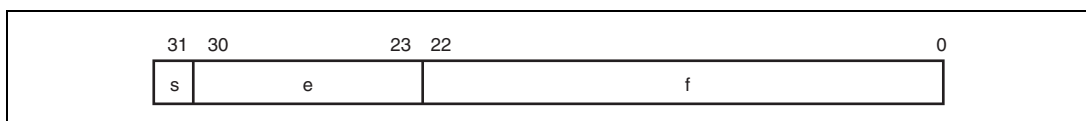


図 3.1 単精度浮動小数点フォーマット

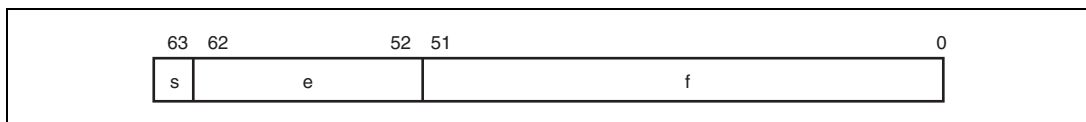


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ までです。 $E_{\min}-1$ と $E_{\max}+1$ の2つの値は次のように区別します。 $E_{\min}-1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$ は正または負の無限大または非数 (NaN) を表します。表 3.1 に E_{\min} と E_{\max} の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

$E_{min} \leq E \leq E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。

$E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF ~ H'7FC0 0000	H'7FFF FFFF FFFF FFFF ~ H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF ~ H'7F80 0001	H'7FF7 FFFF FFFF FFFF ~ H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF ~ H'0080 0000	H'7FEF FFFF FFFF FFFF ~ H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF ~ H'0000 0001	H'000F FFFF FFFF FFFF ~ H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001 ~ H'807F FFFF	H'8000 0000 0000 0001 ~ H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000 ~ H'FF7F FFFF	H'8010 0000 0000 0000 ~ H'FFE7 FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001 ~ H'FFBF FFFF	H'FFF0 0000 0000 0001 ~ H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000 ~ H'FFFF FFFF	H'FFF8 0000 0000 0000 ~ H'FFFF FFFF FFFF FFFF

3.2.2 非数 (NaN)

図 3.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : Don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

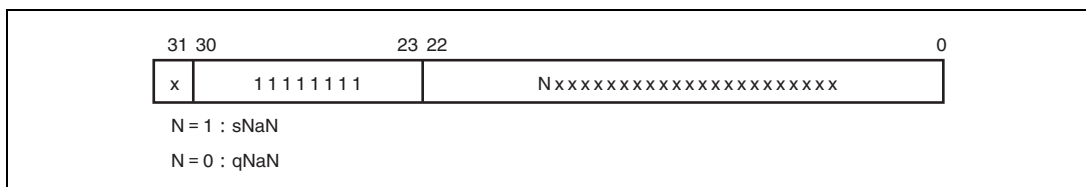


図 3.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCRのEN.Vビットが0の場合、演算結果（出力）はqNaNです。
- FPSCRのEN.Vビットが1の場合、無効演算例外によるFPU例外処理が発生します。この場合、演算のデステーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR の EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBF FFFF
- 倍精度qNaN : H'7FF7 FFFF FFFF FFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

3.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

SH2A-FPU ではステータスレジスタ FPSCR の DN ビットが常に 1 のため、非正規化数（ソースオペランドまたは演算結果）は、（コピー、FNEG、FABS 以外の演算の）値を生成する浮動小数点演算で常に 0 にフラッシュされます。

非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

3.3 レジスタの説明

3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。16本の32ビット浮動小数点レジスタ FPR0~FPR15 があります。この16本のレジスタは FR0~FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPR_n と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 3.4 を参照してください。

1. 浮動小数点レジスタ : FPR_i (16レジスタ)

FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,
FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15

2. 単精度浮動小数点レジスタ : FR_i (16レジスタ)

FR0~FR15 は FPR0~FPR15に割り当てられます。

3. 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DR_i (8レジスタ)

DRレジスタは2つのFRレジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

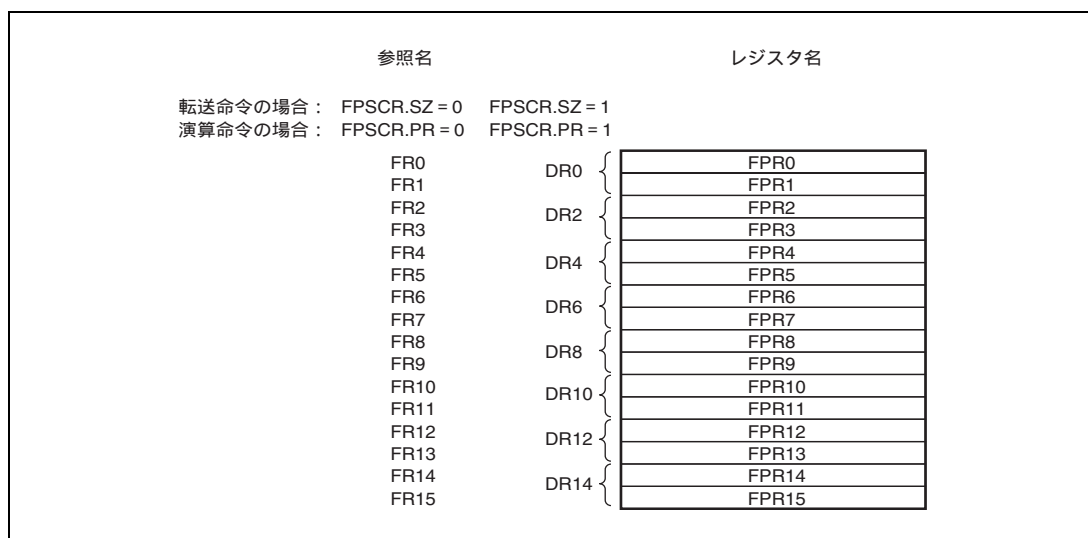


図 3.4 浮動小数点レジスタ

3.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの使用方法を選択します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	QIS	-	SZ	PR	DN	Cause	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM1	RM0		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	非数処理モード 0 : qNaN あるいは ± をそのまま処理します。 1 : qNaN あるいは ± を sNaN と同様に扱います (FPSCR のイネーブル V = 1 のときのみ有効です)。
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します。
18	DN	1	R	非正規化モード (SH2A-FPU では常に 1 固定です) 1 : 非正規化数を 0 として扱います。
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11~7	Enable	すべて 0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて 0	R/W	FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：リザーブ 11：リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH2A-FPU では FPU エラーは発生しません。

3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0] = 00 : 近傍への丸め

FPSCR.RM[1:0] = 01 : 0 方向への丸め

(1) 近傍への丸め

演算結果は最も近い表現可能な値に丸められます。最も近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}}(2-2^p)$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

3.5 FPU 例外

3.5.1 FPU 例外要因

FPU 例外は浮動小数点演算命令で発生する可能性があり、その要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

3.5.2 FPU 例外処理

FPU 例外処理は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ無効演算の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

浮動小数点演算による各例外処理の可能性については各命令の説明で示します。浮動小数点演算に起因するすべての例外事象は、同一の FPU 例外処理事象として割り付けられています。浮動小数点演算によって発生した例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、FPU 例外処理が発生した場合は、デスティネーションレジスタは変更されません。

上記以外は V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果としてqNaNを生成します。
- 0による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。

- オーバフロー (O) :
 - 0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
 - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) : 丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

4. MCU 動作モード

4.1 動作モードの選択

本 LSI には 4 種類の MCU 動作モードと、3 種類の内蔵フラッシュメモリ書き込み用のモードがあります。

動作モードは、FWE 端子、MD1 端子、MD0 端子の組み合わせで設定します。

本 LSI にて設定可能な動作モードの組み合わせを表 4.1 に示します。この表以外の組み合わせは設定しないでください。

なお、システムの電源投入時は、パワーオンリセット処理を必ず行うようにしてください。また、H-UDI を使用する / しないにかかわらず、電源投入時およびディープソフトウェアスタンバイからの $\overline{\text{RES}}$ 端子アサートによる解除時は、必ず $\overline{\text{TRST}}$ 端子をローレベルにして H-UDI を初期化してください。

MCU 動作モードとしては、MCU 拡張モード 0~2 とシングルチップモードがあります。

内蔵フラッシュメモリ書き込み用のモードには、オンボードプログラミングモードであるブートモード、ユーザブートモード、ユーザプログラムモードがあります。

表 4.1 動作モードの選択

MCU 動作モード	端子設定			モード名	内蔵 ROM	CS0 空間のバス幅
	FWE	MD1	MD0			
モード 0	0	0	0	MCU 拡張モード 0	無効	16
モード 1	0	0	1	MCU 拡張モード 1	無効	32
モード 2	0	1	0	MCU 拡張モード 2	有効	BSC の CS0BCR により設定
モード 3	0	1	1	シングルチップモード	有効	-
モード 4*	1	0	0	ブートモード	有効	-
モード 5*	1	0	1	ユーザブートモード	有効	BSC の CS0BCR により設定
モード 6*	1	1	0	ユーザプログラムモード	有効	BSC の CS0BCR により設定
モード 7*	1	1	1		有効	-

【注】 * フラッシュメモリのプログラミングモードです。

4.2 入出力端子

動作モードに関連する端子構成を表 4.2 に示します。

表 4.2 端子構成

名称	入出力	機能
MD0	入力	動作モードを指定
MD1	入力	動作モードを指定
FWE	入力	内蔵フラッシュメモリの書き込み / 消去のハードウェアイネーブル用端子

4.3 各動作モードの説明

4.3.1 モード 0 (MCU 拡張モード 0)

モード 0 では、CS0 空間のバス幅が、16 ビットの外部メモリ空間となります。

4.3.2 モード 1 (MCU 拡張モード 1)

モード 1 では、CS0 空間のバス幅が、32 ビットの外部メモリ空間となります。

4.3.3 モード 2 (MCU 拡張モード 2)

モード 2 では、内蔵 ROM が有効で、CS0 空間を使用することができます。

4.3.4 モード 3 (シングルチップモード)

シングルチップモードでは、すべてのポートを使用することができますが、外部アドレスは使用できません。

4.4 アドレスマップ

各動作モードのアドレスマップを図 4.1、図 4.2 に示します。

モード0、1 【内蔵ROM無効】		モード2 【内蔵ROM有効】		モード3 【シングルチップ】	
H'0000 0000	CS0空間	H'0000 0000	内蔵ROM (1024KB)	H'0000 0000	内蔵ROM (1024KB)
H'03FF FFFF		H'000F FFFF	予約	H'000F FFFF	
H'0400 0000		H'0010 0000	CS0空間	H'0010 0000	
H'07FF FFFF		H'01FF FFFF	CS1空間	H'01FF FFFF	
H'0800 0000		H'0200 0000	CS2空間	H'0200 0000	
H'0BFF FFFF		H'03FF FFFF	CS3空間	H'03FF FFFF	
H'0C00 0000		H'0400 0000	CS4空間	H'0400 0000	
H'0FFF FFFF		H'07FF FFFF	CS5空間	H'07FF FFFF	
H'1000 0000		H'0800 0000	CS6空間	H'0800 0000	
H'13FF FFFF		H'0BFF FFFF	CS7空間	H'0BFF FFFF	
H'1400 0000	H'0C00 0000	予約	H'0C00 0000		
H'17FF FFFF	予約	H'0FFF FFFF	予約	H'0FFF FFFF	予約
H'1800 0000		H'1000 0000	予約	H'1000 0000	
H'1BFF FFFF		H'13FF FFFF	予約	H'13FF FFFF	
H'1C00 0000		H'1400 0000	予約	H'1400 0000	
H'1BFF FFFF		H'17FF FFFF	予約	H'17FF FFFF	
H'1C00 0000		H'1800 0000	予約	H'1800 0000	
H'1FFF FFFF		H'1BFF FFFF	予約	H'1BFF FFFF	
H'2000 0000		H'1C00 0000	予約	H'1C00 0000	
		H'1FFF FFFF	予約	H'1FFF FFFF	
		H'2000 0000	予約	H'2000 0000	
H'FFF7 FFFF	内蔵RAM (高速: 32KB)	H'FFF7 FFFF	内蔵RAM (高速: 32KB)	H'FFF7 FFFF	内蔵RAM (高速: 32KB)
H'FFF8 0000		H'FFF8 0000	予約	H'FFF8 0000	
H'FFF8 7FFF		H'FFF8 7FFF	予約	H'FFF8 7FFF	
H'FFF8 8000		H'FFF8 8000	周辺I/O (BSC、UBC)、 SDRAMモード設定	H'FFF8 8000	
H'FFFB FFFF		H'FFFB FFFF	予約	H'FFFB FFFF	
H'FFFC 0000		H'FFFC 0000	周辺I/O (BSC、UBC)、 SDRAMモード設定	H'FFFC 0000	
H'FFFD 0000		H'FFFD 0000	予約	H'FFFD 0000	
H'FFFD 7FFF		H'FFFD 7FFF	予約	H'FFFD 7FFF	
H'FFFD 8000		H'FFFD 8000	内蔵RAM (保持用: 12KB)	H'FFFD 8000	
H'FFFD AFFF		H'FFFD AFFF	予約	H'FFFD AFFF	
H'FFFD B000	H'FFFD B000	予約	H'FFFD B000		
H'FFFD FFFF	H'FFFD FFFF	予約	H'FFFD FFFF		
H'FFFE 0000	H'FFFE 0000	周辺I/O	H'FFFE 0000		
H'FFFF FFFF	H'FFFF FFFF	周辺I/O	H'FFFF FFFF		

図 4.1 SH72315A/SH72315L の各動作モードのアドレスマップ

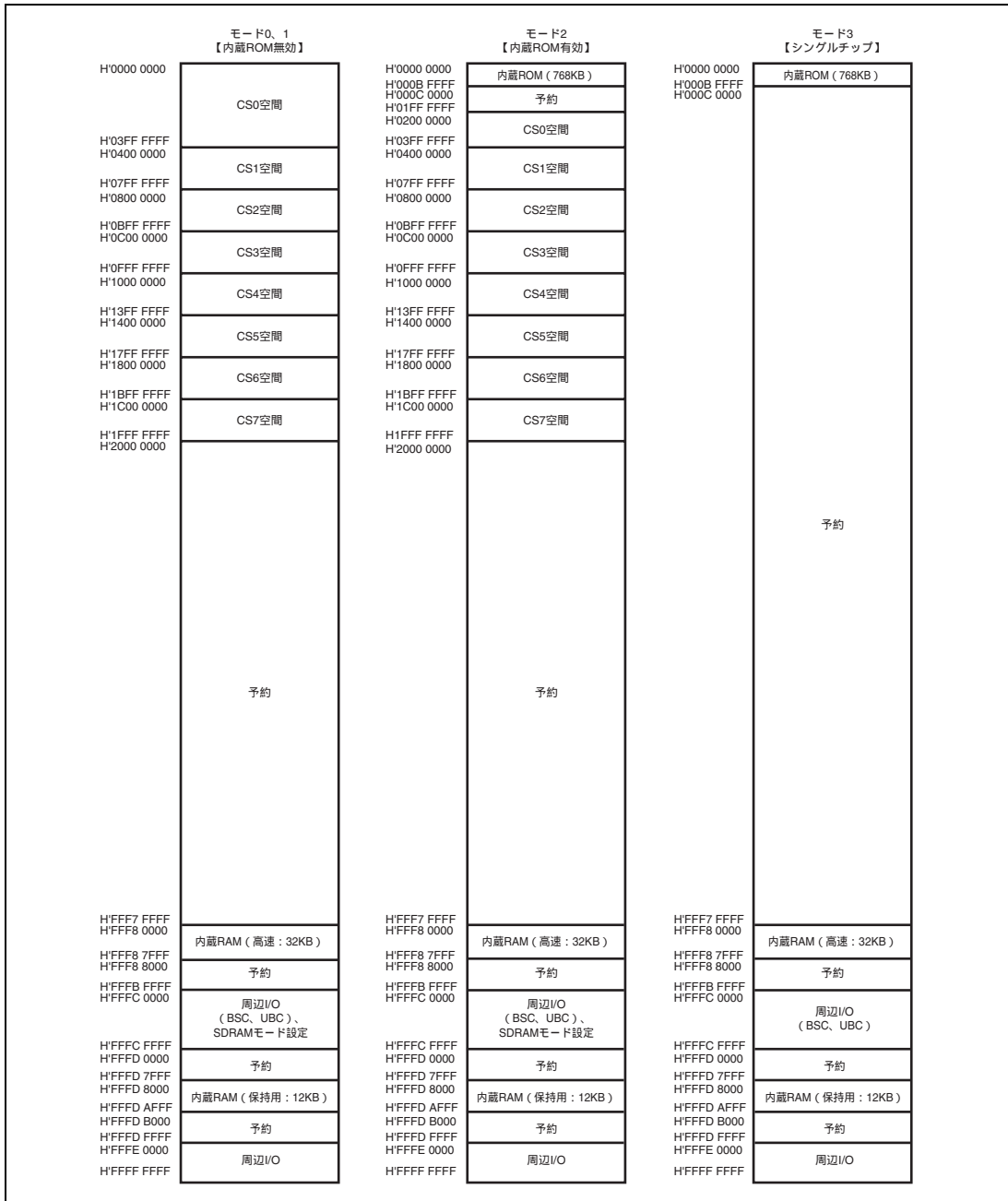


図 4.2 SH72314L の各動作モードのアドレスマップ

4.5 本 LSI の初期状態

本 LSI では、低消費電力化のため、初期状態では一部の内蔵モジュールがモジュールスタンバイ状態に設定されています。このため、これらのモジュールを動作させるには、モジュールスタンバイ状態を解除する必要があります。詳細は「第 32 章 低消費電力モード」を参照してください。

4.6 使用上の注意事項

4.6.1 動作モード変更時の注意事項

本 LSI へ電源印加中に動作モードを変更する場合は、必ずパワーオンリセット状態 ($\overline{\text{RES}}$ 端子にローレベルを印加) で行ってください。ただし、MCU 拡張モード 2 (モード 2) とユーザプログラムモード (モード 6) 間の動作モード変更時、およびシングルチップモード (モード 3) とユーザプログラムモード (モード 7) 間の動作モード変更時は、FWE 端子が切り替わるとただちに動作モードが切り替わります。

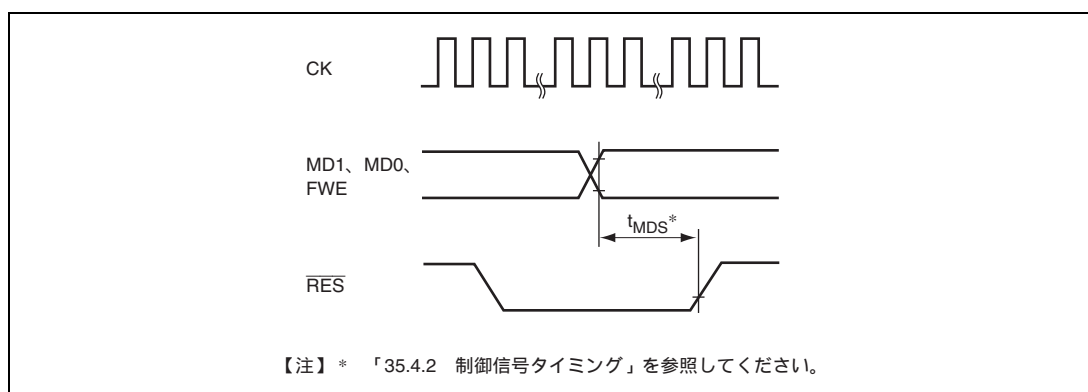


図 4.3 動作モード変更時のリセット入力タイミング

4.6.2 電源投入時の注意事項

システムの電源投入時は、必ずパワーオンリセット処理を行うようにしてください。また、H-UDI を使用する / しないにかかわらず、電源投入時およびディープソフトウェアスタンバイからの $\overline{\text{RES}}$ 端子アサートによる解除時は、必ず $\overline{\text{TRST}}$ 端子をローレベルにして H-UDI を初期化してください。

5. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器を内蔵しており、内部クロック (I)、周辺クロック (P)、バスクロック (B)、MTU2S クロック (M)、および AD クロック (A) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。また、KEYC/TIM32C 用に 32kHz クロック水晶発振器 (CPG32) を内蔵しています。

5.1 特長

- 5種類のクロック

CPUで使用する内部クロック (I)、周辺モジュールで使用する周辺クロック (P)、外部バスインタフェースで使用するバスクロック (B =CK)、MTU2Sモジュールで使用するMTU2Sクロック (M)、さらにADCモジュールで使用するADクロック (A) を独立に生成できます。

- 周波数変更機能

CPG内部の分周回路により、各クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第32章 低消費電力モード」を参照してください。

- 発振停止検出機能

何らかの理由でクロック入力端子からのクロック供給が停止した場合、自動的にタイマ端子をハイインピーダンス状態にすることができます。

- KEYC/TIM32C用クロックの生成

キースキャンコントローラ (KEYC) および32kHzタイマ (TIM32C) で使用するクロックを生成できます。また、ピンファンクションコントローラ (PFC) の設定により、外部デバイスに対して32kHz用システムクロックを供給することが可能です。

図 5.1 にクロックパルス発振器のブロック図を示します。

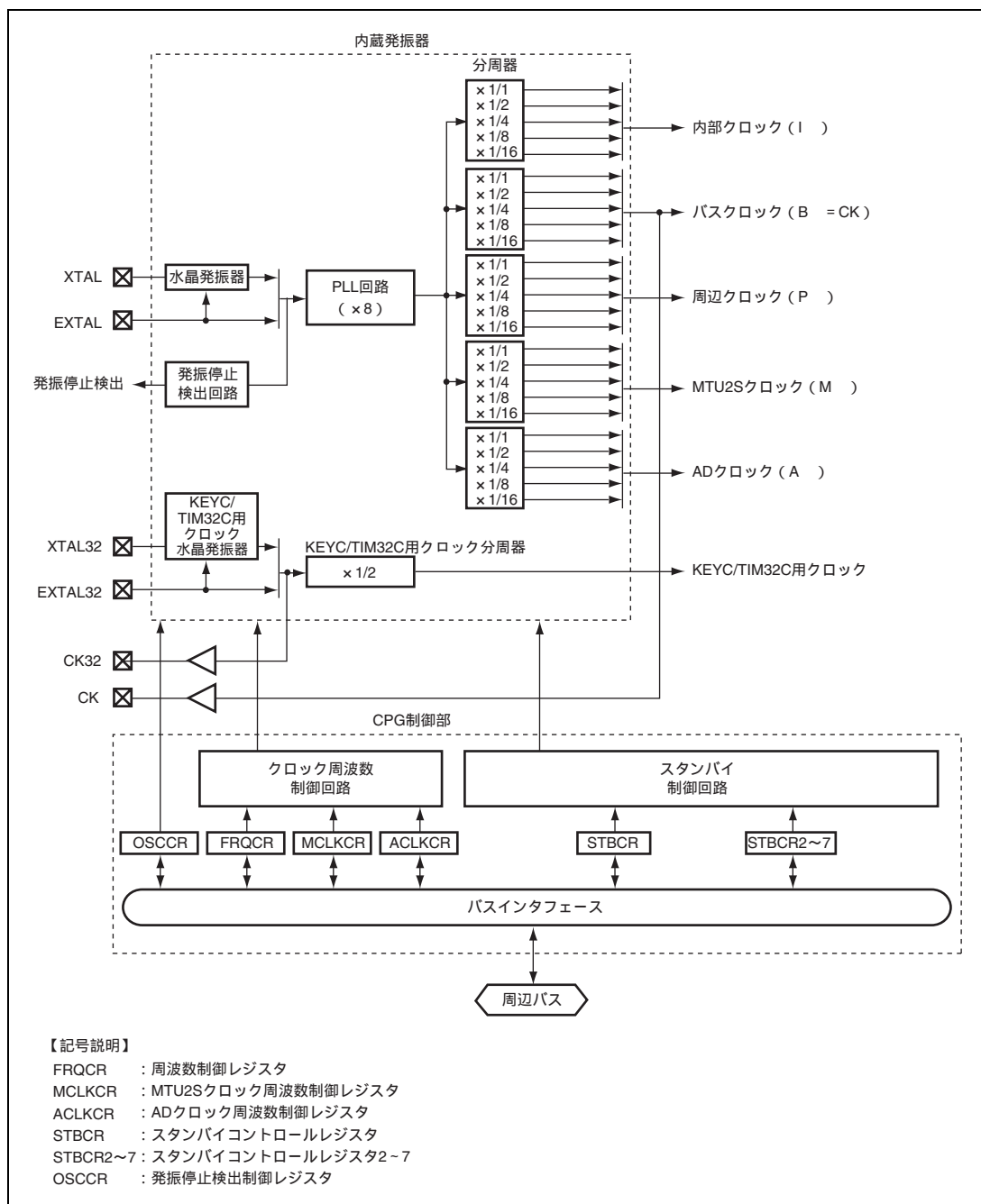


図 5.1 クロックパルス発振器のブロック図

クロックパルス発振器の各ブロックは、次のように機能します。

(1) PLL 回路

PLL 回路は、水晶発振器または EXTAL 端子からの入力クロック周波数を 8 倍に逡倍する機能を持ちます。

(2) 水晶発振器

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。

(3) 分周器

分周器は、内部クロック (I)、バスクロック (B)、周辺クロック (P)、MTU2S クロック (M)、および AD クロック (A) で使用する動作周波数のクロックを生成する機能を持ちます。動作周波数は、PLL 回路の出力周波数に対して、1 倍、1/2 倍、1/4 倍、1/8 倍、1/16 倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(4) 発振停止検出回路

水晶発振器の異常を検出する回路です。

(5) クロック周波数制御回路

クロック周波数制御回路は、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、スリープモードやソフトウェアスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

(7) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、内部クロック (I)、バスクロック (B) および周辺クロック (P) の周波数分周率の各制御ビットが割り当てられています。

(8) MTU2S クロック周波数制御レジスタ (MCLKCR)

MTU2S クロック周波数制御レジスタ (MCLKCR) には、MTU2S クロック (M) 出力の有無、および分周率の各制御ビットが割り当てられています。

(9) AD クロック周波数制御レジスタ (ACLKCR)

AD クロック周波数制御レジスタ (ACLKCR) には、AD クロック (A) 出力の有無、および分周率の各制御ビットが割り当てられています。

(10) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 32 章 低消費電力モード」を参照してください。

(11) 発振停止検出制御レジスタ (OSCCR)

発振停止検出制御レジスタ (OSCCR) には、発振停止検出フラグと外部端子へのフラグ出力選択ビットが割り当てられています。

(12) KEYC/TIM32C 用クロック水晶発振器

XTAL32、EXTAL32 端子に 32.768kHz 水晶発振子を接続して使用する場合の発振回路です。

(13) KEYC/TIM32C 用クロック分周器

キースキャンコントローラ (KEYC) と 32kHz タイマ (TIM32C) で使用するクロックを生成します。分周率は 1/2 倍固定です。

表 5.1 に各モジュールの動作クロックを示します。

表 5.1 各モジュールの動作クロック

動作クロック	該当モジュール	動作クロック	該当モジュール
内部クロック (I)	CPU	周辺クロック (P)	MTU2
	FPU		POE2
	UBC		SCI
	ROM		SCIF
	RAM (高速)		IIC3
バスクロック (B)	BSC		CMT
	DMAC		CMT2
	DTC		WDT
			LVDS (SH72315Aのみ)
			RAM (保持用)
			H-UDI
			RSPI
			RCAN-ET
			低消費電力モード制御
		MTU2S クロック (M)	MTU2S
		AD クロック (A)	A/D 変換器
		KEYC/TIM32C 用クロック	KEYC
			TIM32C

5.2 入出力端子

クロックパルス発振器の端子構成と機能を表 5.2 に示します。

表 5.2 発振回路の端子構成と機能

名称	端子名	入出力	機能
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。
クロック出力端子	CK	出力	クロック出力端子になります。
KEYC/TIM32C 用 クリスタル入出力端子 (KEYC/TIM32C 用 クロック入力端子)	XTAL32	出力	32.768kHz 水晶発振子を接続します。使用しない場合は、端子を開放してください。
	EXTAL32	入力	32.768kHz 水晶発振子を接続または外部クロック入力端子として使用します。使用しない場合は端子を Vss に接続してください。
32kHz クロック出力端子	CK32	出力	外部デバイスに 32kHz 用システムクロックを供給します。

クロック出力端子 (CK) および 32kHz クロック出力端子 (CK32) を使用する場合、ピンファンクションコントローラ (PFC) による端子の設定が必要な場合があります。詳細は「第 22 章 ピンファンクションコントローラ (PFC)」をご覧ください。

5.3 クロック動作モード

本 LSI のクロック動作モードを表 5.3 に示します。

表 5.3 クロック動作モード

モード	クロック入出力		PLL 回路	分周器への入力
	供給源	出力		
1	EXTAL 入力 水晶発振子	CK* (= B)	ON (× 8)	× 8
	EXTAL32 入力 水晶発振子	CK32* (= EXTAL32)	なし	× 1

【注】 * CK 端子および CK32 端子よりクロック出力をする場合は PFC の設定が必要になります。
PFC の設定については「第 22 章 ピンファンクションコントローラ (PFC)」を参照してください。

EXTAL 端子から外部クロックを入力し、PLL 回路で周波数を 8 倍に逡倍して本 LSI 内部に供給するので、外部で生成するクロック周波数が低くてすみません。EXTAL 入力クロック周波数は 10MHz から 12.5MHz まで使用でき、内部クロック (I) の周波数レンジとしては 5MHz から 100MHz となります。CK 端子からはバスクロック (B) が出力されます。

最大動作周波数 : I = 100MHz、B = 50MHz、P = 50MHz、M = 100MHz、A = 50MHz

表 5.4 に、FRQCR で設定可能な分周率の設定を示します。

EXTAL32 端子からのクロック入力は、PLL を介さずに分周器 (× 1/2 固定) に入力され、KEYC/TIM32C に供給されます。CK32 端子からは、EXTAL32 端子から入力されるクロックと同じ周波数のクロックが出力されます。

表 5.4 設定可能な周波数範囲

PLL 進倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz) *							
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ		
×8	1/16	1/16	1/16	1/16	1/16	1/2	1/2	1/2	1/2	1/2	12.5	6.25	6.25	6.25	6.25	6.25		
	1/8	1/16	1/16	1/16	1/16	1	1/2	1/2	1/2	1/2		12.5	6.25	6.25	6.25	6.25	6.25	
	1/8	1/16	1/16	1/16	1/8	1	1/2	1/2	1/2	1		12.5	6.25	6.25	6.25	6.25	12.5	
	1/8	1/16	1/16	1/8	1/16	1	1/2	1/2	1	1/2		12.5	6.25	6.25	6.25	12.5	6.25	
	1/8	1/16	1/16	1/8	1/8	1	1/2	1/2	1	1		12.5	6.25	6.25	6.25	12.5	12.5	
	1/8	1/8	1/16	1/16	1/16	1	1	1/2	1/2	1/2		12.5	12.5	6.25	6.25	6.25	6.25	6.25
	1/8	1/8	1/16	1/16	1/8	1	1	1/2	1/2	1		12.5	12.5	6.25	6.25	6.25	6.25	12.5
	1/8	1/8	1/16	1/8	1/16	1	1	1/2	1	1/2		12.5	12.5	6.25	6.25	12.5	6.25	6.25
	1/8	1/8	1/16	1/8	1/8	1	1	1/2	1	1		12.5	12.5	6.25	6.25	12.5	12.5	12.5
	1/8	1/8	1/8	1/8	1/8	1	1	1	1	1		12.5	12.5	12.5	12.5	12.5	12.5	12.5
	1/4	1/16	1/16	1/16	1/16	2	1/2	1/2	1/2	1/2		25	6.25	6.25	6.25	6.25	6.25	6.25
	1/4	1/16	1/16	1/16	1/8	2	1/2	1/2	1/2	1		25	6.25	6.25	6.25	6.25	6.25	12.5
	1/4	1/16	1/16	1/16	1/4	2	1/2	1/2	1/2	2		25	6.25	6.25	6.25	6.25	6.25	25
	1/4	1/16	1/16	1/8	1/16	2	1/2	1/2	1	1/2		25	6.25	6.25	6.25	12.5	6.25	6.25
	1/4	1/16	1/16	1/8	1/8	2	1/2	1/2	1	1		25	6.25	6.25	6.25	12.5	12.5	12.5
	1/4	1/16	1/16	1/8	1/4	2	1/2	1/2	1	2		25	6.25	6.25	6.25	12.5	25	25
	1/4	1/16	1/16	1/4	1/16	2	1/2	1/2	2	1/2		25	6.25	6.25	6.25	25	6.25	6.25
	1/4	1/16	1/16	1/4	1/8	2	1/2	1/2	2	1		25	6.25	6.25	6.25	25	12.5	12.5
	1/4	1/16	1/16	1/4	1/4	2	1/2	1/2	2	2		25	6.25	6.25	6.25	25	25	25
	1/4	1/8	1/16	1/16	1/16	2	1	1/2	1/2	1/2		25	12.5	6.25	6.25	6.25	6.25	6.25
	1/4	1/8	1/16	1/16	1/8	2	1	1/2	1/2	1		25	12.5	6.25	6.25	6.25	6.25	12.5
	1/4	1/8	1/16	1/16	1/4	2	1	1/2	1/2	2		25	12.5	6.25	6.25	6.25	6.25	25
	1/4	1/8	1/16	1/8	1/16	2	1	1/2	1	1/2		25	12.5	6.25	6.25	12.5	6.25	6.25
	1/4	1/8	1/16	1/8	1/16	2	1	1/2	1	1		25	12.5	6.25	6.25	12.5	12.5	12.5
	1/4	1/8	1/16	1/8	1/4	2	1	1	1	2		25	12.5	6.25	6.25	12.5	12.5	25
	1/4	1/8	1/8	1/8	1/8	2	1	1	1	1		25	12.5	12.5	12.5	12.5	12.5	12.5
	1/4	1/8	1/8	1/8	1/4	2	1	1	1	2		25	12.5	12.5	12.5	12.5	12.5	25
	1/4	1/8	1/8	1/4	1/8	2	1	1	2	1		25	12.5	12.5	25	25	12.5	12.5
	1/4	1/8	1/8	1/4	1/4	2	1	1	2	2		25	12.5	12.5	25	25	25	25
	1/4	1/4	1/16	1/16	1/16	2	2	1/2	1/2	1/2		25	25	6.25	6.25	6.25	6.25	6.25
	1/4	1/4	1/16	1/16	1/8	2	2	1/2	1/2	1		25	25	6.25	6.25	6.25	6.25	12.5

PLL 逡倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
× 8	1/4	1/4	1/16	1/16	1/4	2	2	1/2	1/2	2	12.5	25	25	6.25	6.25	25
	1/4	1/4	1/16	1/8	1/16	2	2	1/2	1	1/2		25	25	6.25	12.5	6.25
	1/4	1/4	1/16	1/8	1/8	2	2	1/2	1	1		25	25	6.25	12.5	12.5
	1/4	1/4	1/16	1/8	1/4	2	2	1/2	1	2		25	25	6.25	12.5	25
	1/4	1/4	1/16	1/4	1/16	2	2	1/2	2	1/2		25	25	6.25	25	6.25
	1/4	1/4	1/16	1/4	1/8	2	2	1/2	2	1		25	25	6.25	25	12.5
	1/4	1/4	1/16	1/4	1/4	2	2	1/2	2	2		25	25	6.25	25	25
	1/4	1/4	1/8	1/8	1/8	2	2	1	1	1		25	25	12.5	12.5	12.5
	1/4	1/4	1/8	1/8	1/4	2	2	1	1	2		25	25	12.5	12.5	25
	1/4	1/4	1/8	1/4	1/8	2	2	1	2	1		25	25	12.5	25	12.5
	1/4	1/4	1/8	1/4	1/4	2	2	1	2	2		25	25	12.5	25	25
	1/4	1/4	1/4	1/4	1/4	2	2	2	2	2		25	25	25	25	25
	1/2	1/16	1/16	1/16	1/16	4	1/2	1/2	1/2	1/2		50	6.25	6.25	6.25	6.25
	1/2	1/16	1/16	1/16	1/8	4	1/2	1/2	1/2	1		50	6.25	6.25	6.25	12.5
	1/2	1/16	1/16	1/16	1/4	4	1/2	1/2	1/2	2		50	6.25	6.25	6.25	25
	1/2	1/16	1/16	1/16	1/2	4	1/2	1/2	1/2	4		50	6.25	6.25	6.25	50
	1/2	1/16	1/16	1/8	1/16	4	1/2	1/2	1	1/2		50	6.25	6.25	12.5	6.25
	1/2	1/16	1/16	1/8	1/8	4	1/2	1/2	1	1		50	6.25	6.25	12.5	12.5
	1/2	1/16	1/16	1/8	1/4	4	1/2	1/2	1	2		50	6.25	6.25	12.5	25
	1/2	1/16	1/16	1/8	1/2	4	1/2	1/2	1	4		50	6.25	6.25	12.5	50
	1/2	1/16	1/16	1/4	1/16	4	1/2	1/2	2	1/2		50	6.25	6.25	25	6.25
	1/2	1/16	1/16	1/4	1/8	4	1/2	1/2	2	1		50	6.25	6.25	25	12.5
	1/2	1/16	1/16	1/4	1/4	4	1/2	1/2	2	2		50	6.25	6.25	25	25
	1/2	1/16	1/16	1/4	1/2	4	1/2	1/2	2	4		50	6.25	6.25	25	50
	1/2	1/16	1/16	1/2	1/16	4	1/2	1/2	4	1/2		50	6.25	6.25	50	6.25
	1/2	1/16	1/16	1/2	1/8	4	1/2	1/2	4	1		50	6.25	6.25	50	12.5
	1/2	1/16	1/16	1/2	1/4	4	1/2	1/2	4	2		50	6.25	6.25	50	25
	1/2	1/16	1/16	1/2	1/2	4	1/2	1/2	4	4		50	6.25	6.25	50	50
	1/2	1/8	1/16	1/16	1/16	4	1	1/2	1/2	1/2		50	12.5	6.25	6.25	6.25
	1/2	1/8	1/16	1/16	1/8	4	1	1/2	1/2	1		50	12.5	6.25	6.25	12.5
	1/2	1/8	1/16	1/16	1/4	4	1	1/2	1/2	2		50	12.5	6.25	6.25	25
	1/2	1/8	1/16	1/16	1/2	4	1	1/2	1/2	4		50	12.5	6.25	6.25	50
1/2	1/8	1/16	1/8	1/16	4	1	1/2	1	1/2	50	12.5	6.25	12.5	6.25		
1/2	1/8	1/16	1/8	1/8	4	1	1/2	1	1	50	12.5	6.25	12.5	12.5		
1/2	1/8	1/16	1/8	1/4	4	1	1/2	1	2	50	12.5	6.25	12.5	25		

PLL 進倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
× 8	1/2	1/8	1/16	1/8	1/2	4	1	1/2	1	4	12.5	50	12.5	6.25	12.5	50
	1/2	1/8	1/16	1/4	1/16	4	1	1/2	2	1/2		50	12.5	6.25	25	6.25
	1/2	1/8	1/16	1/4	1/8	4	1	1/2	2	1		50	12.5	6.25	25	12.5
	1/2	1/8	1/16	1/4	1/4	4	1	1/2	2	2		50	12.5	6.25	25	25
	1/2	1/8	1/16	1/4	1/2	4	1	1/2	2	4		50	12.5	6.25	25	50
	1/2	1/8	1/16	1/2	1/16	4	1	1/2	4	1/2		50	12.5	6.25	50	6.25
	1/2	1/8	1/16	1/2	1/8	4	1	1/2	4	1		50	12.5	6.25	50	12.5
	1/2	1/8	1/16	1/2	1/4	4	1	1/2	4	2		50	12.5	6.25	50	25
	1/2	1/8	1/16	1/2	1/2	4	1	1/2	4	4		50	12.5	6.25	50	50
	1/2	1/8	1/8	1/8	1/8	4	1	1	1	1		50	12.5	12.5	12.5	12.5
	1/2	1/8	1/8	1/8	1/4	4	1	1	1	2		50	12.5	12.5	12.5	25
	1/2	1/8	1/8	1/8	1/2	4	1	1	1	4		50	12.5	12.5	12.5	50
	1/2	1/8	1/8	1/4	1/8	4	1	1	2	1		50	12.5	12.5	25	12.5
	1/2	1/8	1/8	1/4	1/4	4	1	1	2	2		50	12.5	12.5	25	25
	1/2	1/8	1/8	1/4	1/2	4	1	1	2	4		50	12.5	12.5	25	50
	1/2	1/8	1/8	1/2	1/8	4	1	1	4	1		50	12.5	12.5	50	12.5
	1/2	1/8	1/8	1/2	1/4	4	1	1	4	2		50	12.5	12.5	50	25
	1/2	1/8	1/8	1/2	1/2	4	1	1	4	4		50	12.5	12.5	50	50
	1/2	1/4	1/16	1/16	1/16	4	2	1/2	1/2	1/2		50	25	6.25	6.25	6.25
	1/2	1/4	1/16	1/16	1/8	4	2	1/2	1/2	1		50	25	6.25	6.25	12.5
	1/2	1/4	1/16	1/16	1/4	4	2	1/2	1/2	2		50	25	6.25	6.25	25
	1/2	1/4	1/16	1/16	1/2	4	2	1/2	1/2	4		50	25	6.25	6.25	50
	1/2	1/4	1/16	1/8	1/16	4	2	1/2	1	1/2		50	25	6.25	12.5	6.25
	1/2	1/4	1/16	1/8	1/8	4	2	1/2	1	1		50	25	6.25	12.5	12.5
	1/2	1/4	1/16	1/8	1/4	4	2	1/2	1	2		50	25	6.25	12.5	25
	1/2	1/4	1/16	1/8	1/2	4	2	1/2	1	4		50	25	6.25	12.5	50
	1/2	1/4	1/16	1/4	1/16	4	2	1/2	2	1/2		50	25	6.25	25	6.25
	1/2	1/4	1/16	1/4	1/8	4	2	1/2	2	1		50	25	6.25	25	12.5
	1/2	1/4	1/16	1/4	1/4	4	2	1/2	2	2		50	25	6.25	25	25
	1/2	1/4	1/16	1/4	1/2	4	2	1/2	2	4		50	25	6.25	25	50
	1/2	1/4	1/16	1/2	1/16	4	2	1/2	4	1/2		50	25	6.25	50	6.25
	1/2	1/4	1/16	1/2	1/8	4	2	1/2	4	1		50	25	6.25	50	12.5
1/2	1/4	1/16	1/2	1/4	4	2	1/2	4	2	50	25	6.25	50	25		
1/2	1/4	1/16	1/2	1/2	4	2	1/2	4	4	50	25	6.25	50	50		
1/2	1/4	1/8	1/8	1/8	4	2	1	1	1	50	25	12.5	12.5	12.5		

PLL 進倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
× 8	1/2	1/4	1/8	1/8	1/4	4	2	1	1	2	12.5	50	25	12.5	12.5	25
	1/2	1/4	1/8	1/8	1/2	4	2	1	1	4		50	25	12.5	12.5	50
	1/2	1/4	1/8	1/4	1/8	4	2	1	2	1		50	25	12.5	25	12.5
	1/2	1/4	1/8	1/4	1/4	4	2	1	2	2		50	25	12.5	25	25
	1/2	1/4	1/8	1/4	1/2	4	2	1	2	4		50	25	12.5	25	50
	1/2	1/4	1/8	1/2	1/8	4	2	1	4	1		50	25	12.5	50	12.5
	1/2	1/4	1/8	1/2	1/4	4	2	1	4	2		50	25	12.5	50	25
	1/2	1/4	1/8	1/2	1/2	4	2	1	4	4		50	25	12.5	50	50
	1/2	1/4	1/4	1/4	1/4	4	2	2	2	2		50	25	25	25	25
	1/2	1/4	1/4	1/4	1/2	4	2	2	2	4		50	25	25	25	50
	1/2	1/4	1/4	1/2	1/4	4	2	2	4	2		50	25	25	50	25
	1/2	1/4	1/4	1/2	1/2	4	2	2	4	4		50	25	25	50	50
	1/2	1/2	1/16	1/16	1/16	4	4	1/2	1/2	1/2		50	50	6.25	6.25	6.25
	1/2	1/2	1/16	1/16	1/8	4	4	1/2	1/2	1		50	50	6.25	6.25	12.5
	1/2	1/2	1/16	1/16	1/4	4	4	1/2	1/2	2		50	50	6.25	6.25	25
	1/2	1/2	1/16	1/16	1/2	4	4	1/2	1/2	4		50	50	6.25	6.25	50
	1/2	1/2	1/16	1/8	1/16	4	4	1/2	1	1/2		50	50	6.25	12.5	6.25
	1/2	1/2	1/16	1/8	1/8	4	4	1/2	1	1		50	50	6.25	12.5	12.5
	1/2	1/2	1/16	1/8	1/4	4	4	1/2	1	2		50	50	6.25	12.5	25
	1/2	1/2	1/16	1/8	1/2	4	4	1/2	1	4		50	50	6.25	12.5	50
	1/2	1/2	1/16	1/4	1/16	4	4	1/2	2	1/2		50	50	6.25	25	6.25
	1/2	1/2	1/16	1/4	1/8	4	4	1/2	2	1		50	50	6.25	25	12.5
	1/2	1/2	1/16	1/4	1/4	4	4	1/2	2	2		50	50	6.25	25	25
	1/2	1/2	1/16	1/4	1/2	4	4	1/2	2	4		50	50	6.25	25	50
	1/2	1/2	1/16	1/2	1/16	4	4	1/2	4	1/2		50	50	6.25	50	6.25
	1/2	1/2	1/16	1/2	1/8	4	4	1/2	4	1		50	50	6.25	50	12.5
	1/2	1/2	1/16	1/2	1/4	4	4	1/2	4	2		50	50	6.25	50	25
	1/2	1/2	1/16	1/2	1/2	4	4	1/2	4	4		50	50	6.25	50	50
	1/2	1/2	1/8	1/8	1/8	4	4	1	1	1		50	50	12.5	12.5	12.5
	1/2	1/2	1/8	1/8	1/4	4	4	1	1	2		50	50	12.5	12.5	25
	1/2	1/2	1/8	1/8	1/2	4	4	1	1	4		50	50	12.5	12.5	50
	1/2	1/2	1/8	1/4	1/8	4	4	1	2	1		50	50	12.5	25	12.5
1/2	1/2	1/8	1/4	1/4	4	4	1	2	2	50	50	12.5	25	25		
1/2	1/2	1/8	1/4	1/2	4	4	1	2	4	50	50	12.5	25	50		
1/2	1/2	1/8	1/2	1/8	4	4	1	4	1	50	50	12.5	50	12.5		

PLL 進倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz)*					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
×8	1/2	1/2	1/8	1/2	1/4	4	4	1	4	2	12.5	50	50	12.5	50	25
	1/2	1/2	1/8	1/2	1/2	4	4	1	4	4		50	50	12.5	50	50
	1/2	1/2	1/4	1/4	1/4	4	4	2	2	2		50	50	25	25	25
	1/2	1/2	1/4	1/4	1/2	4	4	2	2	4		50	50	25	25	50
	1/2	1/2	1/4	1/2	1/4	4	4	2	4	2		50	50	25	50	25
	1/2	1/2	1/4	1/2	1/2	4	4	2	4	4		50	50	25	50	50
	1/2	1/2	1/2	1/2	1/2	4	4	4	4	4		50	50	50	50	50
	1	1/8	1/16	1/16	1/16	8	1	1/2	1/2	1/2		100	12.5	6.25	6.25	6.25
	1	1/8	1/16	1/16	1/8	8	1	1/2	1/2	1		100	12.5	6.25	6.25	12.5
	1	1/8	1/16	1/16	1/4	8	1	1/2	1/2	2		100	12.5	6.25	6.25	25
	1	1/8	1/16	1/16	1/2	8	1	1/2	1/2	4		100	12.5	6.25	6.25	50
	1	1/8	1/16	1/8	1/16	8	1	1/2	1	1/2		100	12.5	6.25	12.5	6.25
	1	1/8	1/16	1/8	1/8	8	1	1/2	1	1		100	12.5	6.25	12.5	12.5
	1	1/8	1/16	1/8	1/4	8	1	1/2	1	2		100	12.5	6.25	12.5	25
	1	1/8	1/16	1/8	1/2	8	1	1/2	1	4		100	12.5	6.25	12.5	50
	1	1/8	1/16	1/4	1/16	8	1	1/2	2	1/2		100	12.5	6.25	25	6.25
	1	1/8	1/16	1/4	1/8	8	1	1/2	2	1		100	12.5	6.25	25	12.5
	1	1/8	1/16	1/4	1/4	8	1	1/2	2	2		100	12.5	6.25	25	25
	1	1/8	1/16	1/4	1/2	8	1	1/2	2	4		100	12.5	6.25	25	50
	1	1/8	1/16	1/2	1/16	8	1	1/2	4	1/2		100	12.5	6.25	50	6.25
	1	1/8	1/16	1/2	1/8	8	1	1/2	4	1		100	12.5	6.25	50	12.5
	1	1/8	1/16	1/2	1/4	8	1	1/2	4	2		100	12.5	6.25	50	25
	1	1/8	1/16	1/2	1/2	8	1	1/2	4	4		100	12.5	6.25	50	50
	1	1/8	1/16	1	1/16	8	1	1/2	8	1/2		100	12.5	6.25	100	6.25
	1	1/8	1/16	1	1/8	8	1	1/2	8	1		100	12.5	6.25	100	12.5
	1	1/8	1/16	1	1/4	8	1	1/2	8	2		100	12.5	6.25	100	25
	1	1/8	1/16	1	1/2	8	1	1/2	8	4		100	12.5	6.25	100	50
	1	1/8	1/8	1/8	1/8	8	1	1	1	1		100	12.5	12.5	12.5	12.5
	1	1/8	1/8	1/8	1/4	8	1	1	1	2		100	12.5	12.5	12.5	25
	1	1/8	1/8	1/8	1/2	8	1	1	1	4		100	12.5	12.5	12.5	50
	1	1/8	1/8	1/4	1/8	8	1	1	2	1		100	12.5	12.5	25	12.5
	1	1/8	1/8	1/4	1/4	8	1	1	2	2		100	12.5	12.5	25	25
1	1/8	1/8	1/4	1/2	8	1	1	2	4	100	12.5	12.5	25	50		
1	1/8	1/8	1/2	1/8	8	1	1	4	1	100	12.5	12.5	50	12.5		
1	1/8	1/8	1/2	1/4	8	1	1	4	2	100	12.5	12.5	50	25		

PLL 進倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
× 8	1	1/8	1/8	1/2	1/2	8	1	1	4	4	12.5	100	12.5	12.5	50	50
	1	1/8	1/8	1	1/8	8	1	1	8	1		100	12.5	12.5	100	12.5
	1	1/8	1/8	1	1/4	8	1	1	8	2		100	12.5	12.5	100	25
	1	1/8	1/8	1	1/2	8	1	1	8	4		100	12.5	12.5	100	50
	1	1/4	1/16	1/16	1/16	8	2	1/2	1/2	1/2		100	25	6.25	6.25	6.25
	1	1/4	1/16	1/16	1/8	8	2	1/2	1/2	1		100	25	6.25	6.25	12.5
	1	1/4	1/16	1/16	1/4	8	2	1/2	1/2	2		100	25	6.25	6.25	25
	1	1/4	1/16	1/16	1/2	8	2	1/2	1/2	4		100	25	6.25	6.25	50
	1	1/4	1/16	1/8	1/16	8	2	1/2	1	1/2		100	25	6.25	12.5	6.25
	1	1/4	1/16	1/8	1/8	8	2	1/2	1	1		100	25	6.25	12.5	12.5
	1	1/4	1/16	1/8	1/4	8	2	1/2	1	2		100	25	6.25	12.5	25
	1	1/4	1/16	1/8	1/2	8	2	1/2	1	4		100	25	6.25	12.5	50
	1	1/4	1/16	1/4	1/16	8	2	1/2	2	1/2		100	25	6.25	25	6.25
	1	1/4	1/16	1/4	1/8	8	2	1/2	2	1		100	25	6.25	25	12.5
	1	1/4	1/16	1/4	1/4	8	2	1/2	2	2		100	25	6.25	25	25
	1	1/4	1/16	1/4	1/2	8	2	1/2	2	4		100	25	6.25	25	50
	1	1/4	1/16	1/2	1/16	8	2	1/2	4	1/2		100	25	6.25	50	6.25
	1	1/4	1/16	1/2	1/8	8	2	1/2	4	1		100	25	6.25	50	12.5
	1	1/4	1/16	1/2	1/4	8	2	1/2	4	2		100	25	6.25	50	25
	1	1/4	1/16	1/2	1/2	8	2	1/2	4	4		100	25	6.25	50	50
	1	1/4	1/16	1	1/16	8	2	1/2	8	1/2		100	25	6.25	100	6.25
	1	1/4	1/16	1	1/8	8	2	1/2	8	1		100	25	6.25	100	12.5
	1	1/4	1/16	1	1/4	8	2	1/2	8	2		100	25	6.25	100	25
	1	1/4	1/16	1	1/2	8	2	1/2	8	4		100	25	6.25	100	50
	1	1/4	1/8	1/8	1/8	8	2	1	1	1		100	25	12.5	12.5	12.5
	1	1/4	1/8	1/8	1/4	8	2	1	1	2		100	25	12.5	12.5	25
	1	1/4	1/8	1/8	1/2	8	2	1	1	4		100	25	12.5	12.5	50
	1	1/4	1/8	1/4	1/8	8	2	1	2	1		100	25	12.5	25	12.5
	1	1/4	1/8	1/4	1/4	8	2	1	2	2		100	25	12.5	25	25
	1	1/4	1/8	1/4	1/2	8	2	1	2	4		100	25	12.5	25	50
	1	1/4	1/8	1/2	1/8	8	2	1	4	1		100	25	12.5	50	12.5
	1	1/4	1/8	1/2	1/4	8	2	1	4	2		100	25	12.5	50	25
1	1/4	1/8	1/2	1/2	8	2	1	4	4	100	25	12.5	50	50		
1	1/4	1/8	1	1/8	8	2	1	8	1	100	25	12.5	100	12.5		
1	1/4	1/8	1	1/4	8	2	1	8	2	100	25	12.5	100	25		

PLL 進倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
×8	1	1/4	1/8	1	1/2	8	2	1	8	4	12.5	100	25	12.5	100	50
	1	1/4	1/4	1/4	1/4	8	2	2	2	2		100	25	25	25	25
	1	1/4	1/4	1/4	1/2	8	2	2	2	4		100	25	25	25	50
	1	1/4	1/4	1/2	1/4	8	2	2	4	2		100	25	25	50	25
	1	1/4	1/4	1/2	1/2	8	2	2	4	4		100	25	25	50	50
	1	1/4	1/4	1	1/4	8	2	2	8	2		100	25	25	100	25
	1	1/4	1/4	1	1/2	8	2	2	8	4		100	25	25	100	50
	1	1/2	1/16	1/16	1/16	8	4	1/2	1/2	1/2		100	50	6.25	6.25	6.25
	1	1/2	1/16	1/16	1/8	8	4	1/2	1/2	1		100	50	6.25	6.25	12.5
	1	1/2	1/16	1/16	1/4	8	4	1/2	1/2	2		100	50	6.25	6.25	25
	1	1/2	1/16	1/16	1/2	8	4	1/2	1/2	4		100	50	6.25	6.25	50
	1	1/2	1/16	1/8	1/16	8	4	1/2	1	1/2		100	50	6.25	12.5	6.25
	1	1/2	1/16	1/8	1/8	8	4	1/2	1	1		100	50	6.25	12.5	12.5
	1	1/2	1/16	1/8	1/4	8	4	1/2	1	2		100	50	6.25	12.5	25
	1	1/2	1/16	1/8	1/2	8	4	1/2	1	4		100	50	6.25	12.5	50
	1	1/2	1/16	1/4	1/16	8	4	1/2	2	1/2		100	50	6.25	25	6.25
	1	1/2	1/16	1/4	1/8	8	4	1/2	2	1		100	50	6.25	25	12.5
	1	1/2	1/16	1/4	1/4	8	4	1/2	2	2		100	50	6.25	25	25
	1	1/2	1/16	1/4	1/2	8	4	1/2	2	4		100	50	6.25	25	50
	1	1/2	1/16	1/2	1/16	8	4	1/2	4	1/2		100	50	6.25	50	6.25
	1	1/2	1/16	1/2	1/8	8	4	1/2	4	1		100	50	6.25	50	12.5
	1	1/2	1/16	1/2	1/4	8	4	1/2	4	2		100	50	6.25	50	25
	1	1/2	1/16	1/2	1/2	8	4	1/2	4	4		100	50	6.25	50	50
	1	1/2	1/16	1	1/16	8	4	1/2	8	1/2		100	50	6.25	100	6.25
	1	1/2	1/16	1	1/8	8	4	1/2	8	1		100	50	6.25	100	12.5
	1	1/2	1/16	1	1/4	8	4	1/2	8	2		100	50	6.25	100	25
	1	1/2	1/16	1	1/2	8	4	1/2	8	4		100	50	6.25	100	50
	1	1/2	1/8	1/8	1/8	8	4	1	1	1		100	50	12.5	12.5	12.5
	1	1/2	1/8	1/8	1/4	8	4	1	1	2		100	50	12.5	12.5	25
	1	1/2	1/8	1/8	1/2	8	4	1	1	4		100	50	12.5	12.5	50
	1	1/2	1/8	1/4	1/8	8	4	1	2	1		100	50	12.5	25	12.5
	1	1/2	1/8	1/4	1/4	8	4	1	2	2		100	50	12.5	25	25
1	1/2	1/8	1/4	1/2	8	4	1	2	4	100	50	12.5	25	50		
1	1/2	1/8	1/2	1/8	8	4	1	4	1	100	50	12.5	50	12.5		
1	1/2	1/8	1/2	1/4	8	4	1	4	2	100	50	12.5	50	25		

PLL 通倍率	FRQCR/MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz)*					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
×8	1	1/2	1/8	1/2	1/2	8	4	1	4	4	12.5	100	50	12.5	50	50
	1	1/2	1/8	1	1/8	8	4	1	8	1		100	50	12.5	100	12.5
	1	1/2	1/8	1	1/4	8	4	1	8	2		100	50	12.5	100	25
	1	1/2	1/8	1	1/2	8	4	1	8	4		100	50	12.5	100	50
	1	1/2	1/4	1/4	1/4	8	4	2	2	2		100	50	25	25	25
	1	1/2	1/4	1/4	1/2	8	4	2	2	4		100	50	25	25	50
	1	1/2	1/4	1/2	1/4	8	4	2	4	2		100	50	25	50	25
	1	1/2	1/4	1/2	1/2	8	4	2	4	4		100	50	25	50	50
	1	1/2	1/4	1	1/4	8	4	2	8	2		100	50	25	100	25
	1	1/2	1/4	1	1/2	8	4	2	8	4		100	50	25	100	50
	1	1/2	1/2	1/2	1/2	8	4	4	4	4		100	50	50	50	50
1	1/2	1/2	1	1/2	8	4	4	8	4	100	50	50	100	50		

【注】 * クロック周波数は、入力クロックの周波数を仮定した場合の値です。

- PLL 回路の通倍率は×8のみです。分周器の分周率には、×1、×1/2、×1/4、×1/8、×1/16が選択できます。これらは設定するクロックごとに、周波数制御レジスタで設定します。
- PLL 回路の出力周波数は、水晶発振子からの入力、または EXTAL 端子からの入力クロックの周波数に、PLL 回路の8倍の通倍率を掛けた周波数になります。この周波数は100MHz以下で使用してください。
- 分周器の入力は、常にPLL回路の出力になります。
- 各クロックの周波数は、水晶発振子からの入力またはEXTAL端子からの入力クロックの周波数に、PLL回路の8倍の通倍率と分周器の分周率を掛けた周波数になります。
- 内部クロック (I) の周波数は、100MHz以下になるように設定してください。
- バスクロック (B) の周波数は、50MHz以下、かつ内部クロック (I) の周波数以下に設定してください。
- 周辺クロック (P) の周波数は、50MHz以下、かつバスクロック (B) の周波数以下に設定してください。
- MTU2S クロック (M) の周波数は、内部クロック (I) の周波数以下、かつ周辺クロック (P) の周波数以上になるように設定してください。
- AD クロック (A) の周波数は50MHz以下で内部クロック (I) の周波数以下、かつ周辺クロック (P) の周波数以上になるように設定してください。
- CK 端子の周波数は常にバスクロック (B) の周波数と等しくなります。
- 内部クロック (I) : バスクロック (B) = 1 : 1/16 の設定はできません。
- 本表に記載されている組み合わせ以外は設定できません。

5.4 レジスタの説明

クロックパルス発振器には以下のレジスタがあります。

表 5.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'0666	H'FFFE0010	16
MTU2S クロック周波数制御レジスタ	MCLKCR	R/W	H'46	H'FFFE0410	8
AD クロック周波数制御レジスタ	ACLKCR	R/W	H'46	H'FFFE0414	8
発振停止検出制御レジスタ	OSCCR	R/W	H'00	H'FFFE001C	8

5.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、内部クロック (I)、バスクロック (B)、および周辺クロック (P) の周波数分周率の指定ができます。FRQCR はワードアクセスのみ可能です。また、FRQCR 設定後に各モジュールの設定を行ってください。

FRQCR は、パワーオンリセット時のみ H'0666 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には、前の値を保持しています。WDT オーバフローによる内部リセット時にも、値は保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	STC[2:0]		-	IFC[2:0]			-	PFC[2:0]			
初期値 :	0	0	0	0	0	1	1	0	0	1	1	0	0	1	1	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	STC[2:0]	110	R/W	バスクロック (B) 周波数の分周率 バスクロック周波数の分周率を指定します。 000 : ×1 倍 001 : ×1/2 倍 010 : 設定禁止 011 : ×1/4 倍 100 : 設定禁止 101 : ×1/8 倍 110 : ×1/16 倍 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	IFC[2:0]	110	R/W	内部クロック (I) 周波数の分周率 内部クロック周波数の分周率を指定します。 000 : ×1 倍 001 : ×1/2 倍 010 : 設定禁止 011 : ×1/4 倍 100 : 設定禁止 101 : ×1/8 倍 110 : ×1/16 倍 上記以外 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PFC[2:0]	110	R/W	周辺クロック (P) 周波数の分周率 周辺クロック周波数の分周率を指定します。 000 : ×1 倍 001 : ×1/2 倍 010 : 設定禁止 011 : ×1/4 倍 100 : 設定禁止 101 : ×1/8 倍 110 : ×1/16 倍 上記以外 : 設定禁止

5.4.2 MTU2S クロック周波数制御レジスタ (MCLKCR)

MCLKCR は、読み出し/書き込み可能な 8 ビットのレジスタです。MCLKCR は、バイトアクセスのみ可能です。パワーオンリセット時のみ H'46 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時は、前の値を保持しています。

ビット:	7	6	5	4	3	2	1	0
	MSSCS[1:0]	-	-	-	-	MSDIVS[2:0]	-	-
初期値:	0	1	0	0	0	1	1	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	MSSCS[1:0]	01	R/W	ソースクロックセレクト 源クロックの選択を行います。 00: クロック停止 01: PLL 出力クロック 10: 予約 (設定不可) 11: 予約 (設定不可)
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	MSDIVS[2:0]	110	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、内部クロック周波数 (I) 以下で周辺クロック周波数 (P) の整数倍になるように設定してください。 000: ×1 倍 001: ×1/2 倍 010: 設定禁止 011: ×1/4 倍 100: 設定禁止 101: ×1/8 倍 110: ×1/16 倍 上記以外: 設定禁止

5.4.3 AD クロック周波数制御レジスタ (ACLKCR)

ACLKCR は、読み出し / 書き込み可能な 8 ビットのレジスタです。ACLKCR は、バイトアクセスのみ可能です。パワーオンリセット時のみ H'46 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時は、前の値を保持しています。

ビット:	7	6	5	4	3	2	1	0
	ASSCS[1:0]	-	-	-		ASDIVS[2:0]		
初期値:	0	1	0	0	0	1	1	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	ASSCS[1:0]	01	R/W	ソースクロックセレクト 源クロックの選択を行います。 00 : クロック停止 01 : PLL 出力クロック 10 : 予約 (設定不可) 11 : 予約 (設定不可)
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	ASDIVS[2:0]	110	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、50MHz 以下で内部クロック周波数 (I) 以下、かつ周辺クロック周波数 (P) の整数倍になるように設定してください。 000 : × 1 倍 001 : × 1/2 倍 010 : 設定禁止 011 : × 1/4 倍 100 : 設定禁止 101 : × 1/8 倍 110 : × 1/16 倍 上記以外 : 設定禁止

5.4.4 発振停止検出制御レジスタ (OSCCR)

OSCCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、発振停止検出フラグと外部端子へのフラグ出力の選択を行います。OSCCR はバイトアクセスのみ可能です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	OSC STOP	-	OSC ERS
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	OSCSTOP	0	R	発振停止検出フラグ [セット条件] <ul style="list-style-type: none"> • 通常動作中にクロック入力の停止が検出されたとき • ソフトウェアスタンバイモードに移したとき [クリア条件] <ul style="list-style-type: none"> • $\overline{\text{RES}}$ 端子からのパワーオンリセット • ソフトウェアスタンバイモードから復帰するとき
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSCERS	0	R/W	発振停止検出フラグ出力選択 $\overline{\text{WDTOVF}}$ 端子から発振停止検出フラグ信号を出力するかを選択します。 0: $\overline{\text{WDTOVF}}$ 端子から WDT オーバフロー信号のみを出力します。 1: $\overline{\text{WDTOVF}}$ 端子から WDT オーバフロー信号と発振停止検出フラグ信号を出力します。

5.5 周波数変更方法

分周器の分周率を変えることによって、内部クロック、バスクロック、周辺クロック、MTU2S クロック、および AD クロックの周波数を変更することができます。これらは周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

1. 初期状態では、 $IFC2 \sim IFC0 = B'110$ ($\times 1/16$ 倍)、 $STC2 \sim STC0 = B'110$ ($\times 1/16$ 倍)、 $PFC2 \sim PFC0 = B'110$ ($\times 1/16$ 倍)、 $MSDIVS2 \sim MSDIVS0 = B'110$ ($\times 1/16$ 倍)、 $ASDIVS2 \sim ASDIVS0 = B'110$ ($\times 1/16$ 倍) になっています。
2. CPU、内蔵ROM、内蔵RAM以外のモジュールを停止させます。
3. $IFC2 \sim IFC0$ 、 $STC2 \sim STC0$ 、 $PFC2 \sim PFC0$ 、 $MSDIVS2 \sim MSDIVS0$ 、 $ASDIVS2 \sim ASDIVS0$ ビットを目的とする値に設定します。このときの周波数の設定は、内部クロック (I) バスクロック (B) 周辺クロック (P) となるように設定してください。また、MTU2Sクロックを使用する場合は、内部クロック (I) MTU2Sクロック (M) 周辺クロック (P) となるように設定してください。ADクロックを使用する場合は、内部クロック (I) ADクロック (A) 周辺クロック (P) となるように設定してください。
4. FRQCR書き換え命令実行後、 $(1 \sim 16) \text{cyc} + 3B + 6P$ 後に切り替わります。
cyc : EXTALをPLLで8通倍したクロック

【注】 (1~16) は内部状態により変わります。

5.6 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

5.6.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 5.2 に示します。ダンピング抵抗 R_d は、表 5.6 に示すものを使用してください。また、水晶発振子は、周波数が発振 10 ~ 12.5MHz のものをお使いください。

なお、水晶と LSI の相性については、水晶メーカーにご相談いただきますようお願い致します。

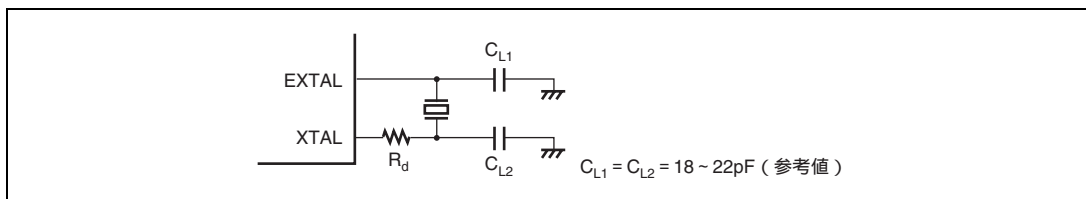


図 5.2 水晶発振子の接続例

表 5.6 ダンピング抵抗値 (参考値)

周波数 (MHz)	10	12.5
R_d () (参考値)	0	0

水晶発振子の等価回路を図 5.3 に示します。水晶発振子は表 5.7 に示す特性のものを使用してください。

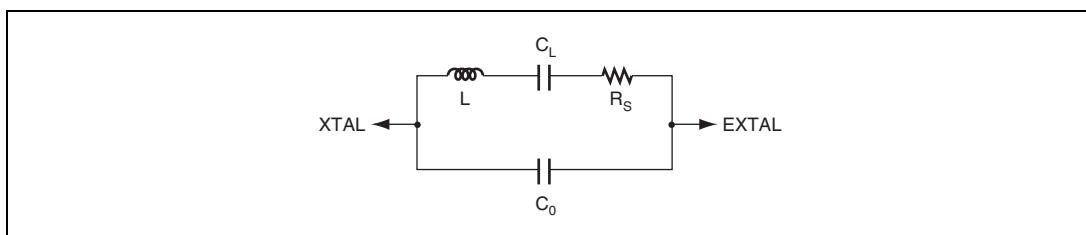


図 5.3 水晶発振子の等価回路

表 5.7 水晶発振子の特性

周波数 (MHz)	10	12.5
R_s Max. () (参考値)	60	50
C_0 Max. (pF) (参考値)	7	

5.6.2 外部クロックを入力する方法

外部クロック入力の接続例を図 5.4 に示します。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。動作時は、外部入力クロックの周波数は 10 ~ 12.5MHz にしてください。XTAL 端子の寄生容量は 10pF 以下にしてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時やソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード解除時は、発振安定時間以上待つようにしてください。



図 5.4 外部クロックの接続例

5.7 発振停止検出機能

CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出する機能が備わっています。

EXTAL 入力が一定期間変化しないことを検出すると、OSCCR レジスタの OSCSTOP ビットを 1 にセットし、 $\overline{\text{RES}}$ 端子からのパワーオンリセットまたはソフトウェアスタンバイモード解除までその状態を保持します。このとき、OSCERS ビットが 1 に設定されていると、 $\overline{\text{WDTOVF}}$ 端子から発振停止検出フラグ信号を出力します。また、大電流ポート (MTU2 の TIOC3B、TIOC3D、TIOC4A ~ TIOC4D、MTU2S の TIOC3BS、TIOC3DS、TIOC4AS ~ TIOC4DS がマルチプレクスされている端子) を PFC の設定にかかわらずハイインピーダンスにすることができます。ソフトウェアスタンバイ状態でも、上記端子はハイインピーダンスにすることができます。詳細は「22.1.29 大電流ポートコントロールレジスタ (HCPCR)」および「付録 A. 端子状態」を参照してください。

ソフトウェアスタンバイ状態解除後は通常動作になります。また、ソフトウェアスタンバイ状態以外で発振が停止するような異常動作時には、その他の LSI 動作は不定となります。この場合、再度発振を開始しても、上記端子を含めて LSI 動作は不定となります。

なお、EXTAL 入力に変化しない場合でも、本 LSI の PLL 回路は 100kHz ~ 10MHz (温度、動作電圧により変動します) で発振を続けます。

5.8 KEYC/TIM32C 用クロック発振器

KEYC/TIM32C 用クロックを供給する方法には、32.768kHz の水晶発振子を接続する方法と外部クロックを入力する方法があります。

5.8.1 32.768kHz 水晶発振子を接続する方法

32.768kHz の水晶発振子を接続する場合の接続例を図 5.5 に示します。水晶発振子を接続する場合には、スタンバイコントロールレジスタ 7 (STBCR7) の MSTP74 ビットを 0、MSTP75 ビットを 0 に設定してください。

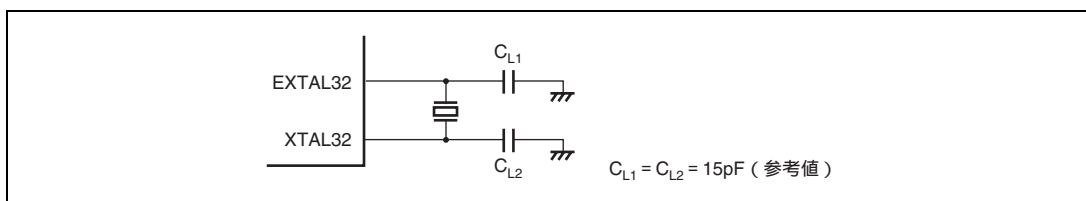


図 5.5 32.768kHz 水晶発振子の接続例

5.8.2 外部クロックを入力する方法

外部クロック入力の接続例を図 5.6 に示します。XTAL32 端子はオープン状態にしてください。また、外部クロックを入力する場合には、スタンバイコントロールレジスタ 7 (STBCR7) の MSTP74 ビットを 1、MSTP75 ビットを 0 に設定してください。

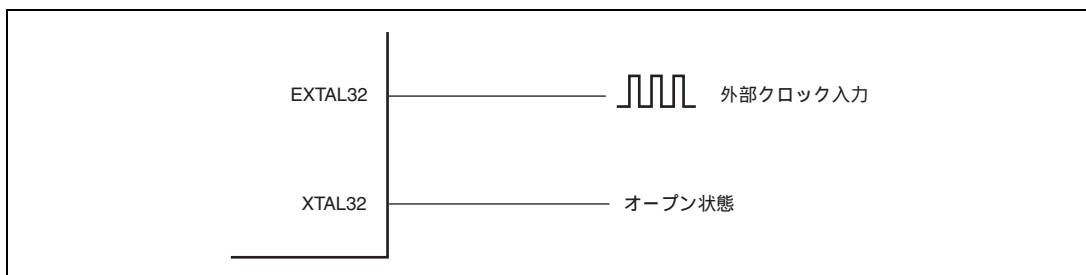


図 5.6 外部クロックの接続例

5.8.3 KEYC/TIM32C 用クロックを使用しない場合の端子処理

KEYC/TIM32C 用クロックを使用しない場合には、図 5.7 に示すように EXTAL32 端子を V_{SS} に接続し、XTAL32 端子をオープンとしてください。また、KEYC/TIM32C 用クロックを使用しない場合には、スタンバイコントロールレジスタ 7 (STBCR7) の MSTP74 ビットを 1、MSTP75 ビットを 1 に設定してください。

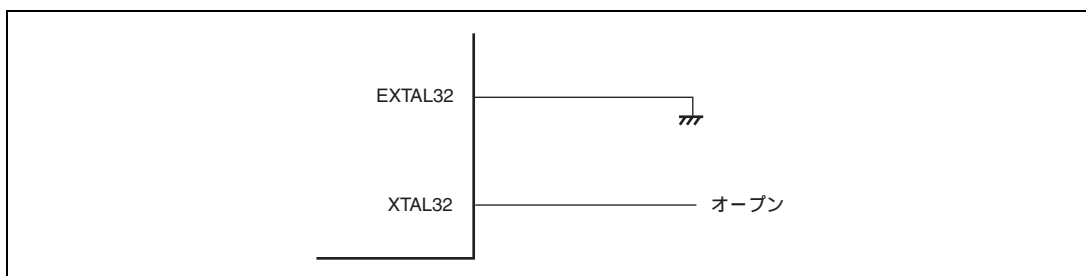


図 5.7 KEYC/TIM32C 用クロックを使用しない場合の端子処理

5.9 使用上の注意事項

5.9.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

5.9.2 ボード設計上の注意事項

本 LSI では輻射ノイズ対策を実施しておりますが、さらなる輻射ノイズ低減が必要な場合は、多層基板にし、システムグランド専用層を設けることをお勧めします。

水晶発振子を使用する場合は、水晶発振子と容量 CL1、CL2 は、できるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

XTAL32 端子と EXTAL32 端子についても同様に注意してください。

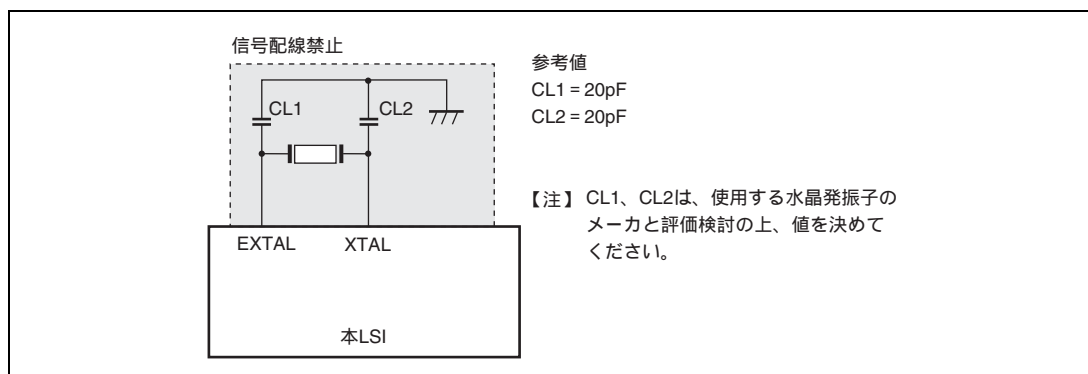


図 5.8 水晶発振子使用時の注意

PLL 回路の外付け推奨回路を図 5.9 に示します。PLL V_{SS} 、PLL V_{CC} と V_{CC} 、 V_{SS} はボードの電源供給元から分離してください。また、端子の近くにバイパスコンデンサ CB と CPB を必ず挿入してください。

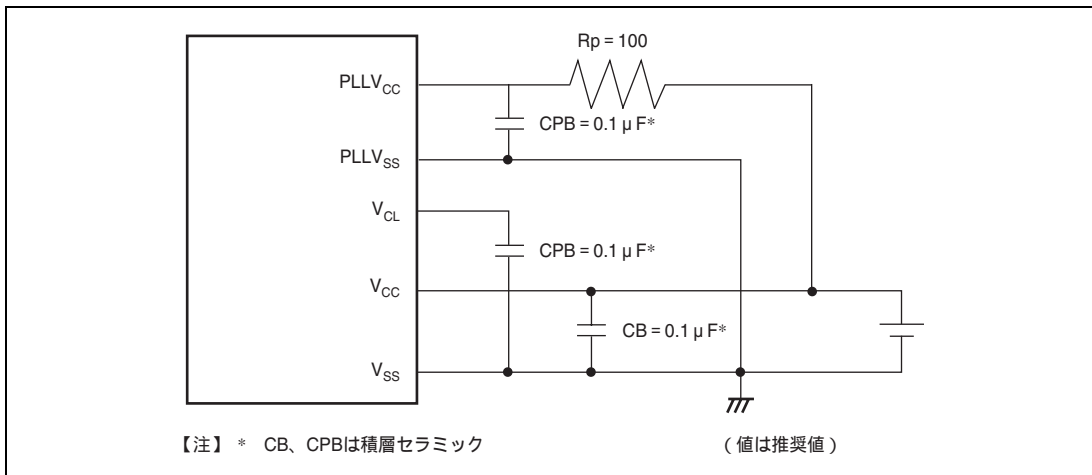


図 5.9 PLL 回路の外付け推奨回路

種類	例外処理		優先順位
割り込み	内蔵周辺 モジュール	ウォッチドッグタイマ (WDT)	高 ↑ ↓ 低
		マルチファンクションタイマパルスユニット 2 (MTU2)	
		ポートアウトブッティネーブル 2 (POE2)	
		マルチファンクションタイマパルスユニット 2S (MTU2S)	
		LVDS 受信インタフェース (LVDS) (SH72315A のみ)	
		I ² C バスインタフェース 3 (IIC3)	
		コントローラエリアネットワーク (RCAN-ET)	
		シリアルコミュニケーションインタフェース (SCI)	
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令* ² 、32 ビット命令* ³ 、RESBANK 命令、DIVS 命令または DIVU 命令)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA^F

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA^F、JSR/N、RTV/N

*3 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

6.1.2 例外処理の動作

各例外要因は表 6.2 に示すタイミングで検出され、処理が開始されます。

表 6.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、H-UDI リセットアサートコマンドをセットした後に H-UDI リセットネゲートコマンドのセット、または WDT のオーバフローで開始されます。
	マニュアルリセット	MRES 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとすると開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後 (遅延スロット) 以外にある未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む) がデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算例外	ゼロによる除算例外、または負の最大値 (H'80000000) を -1 で除算することによるオーバフロー例外が検出されると開始されます。
	FPU 例外	浮動小数点演算命令の無効演算例外 (IEEE754 規定)、ゼロによる除算例外、オーバフロー、アンダフロー、または不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN または ± を浮動小数点演算命令のソースに入力すると開始されます。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「6.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ (INTC) の IBNR の BN ビットを 0 に初期化します。さらにパワーオンリセット時には、FPSCR

を H'00040001 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定(INTC の IBNR の BOVE ビット = 0)されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定(INTC の IBNR の BOVE ビット = 1)されている場合には、レジスタバンクオーバーフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3~I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルから開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

6.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。ベクタ番号とベクタテーブルアドレスオフセットを表 6.3 に、ベクタテーブルアドレスの算出法を表 6.4 に示します。

表 6.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
		9	H'00000024 ~ H'00000027
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC/DTC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
FPU 例外		13	H'00000034 ~ H'00000037
H-UDI		14	H'00000038 ~ H'0000003B
バンクオーバーフロー		15	H'0000003C ~ H'0000003F
バンクアンダフロー		16	H'00000040 ~ H'00000043
整数除算例外 (0 除算)		17	H'00000044 ~ H'00000047
整数除算例外 (オーバーフロー)		18	H'00000048 ~ H'0000004B
(システム予約)		19	H'0000004C ~ H'0000004F
		:	:
		26	H'00000068 ~ H'0000006B
FCU 割り込み (FIF)		27	H'0000006C ~ H'0000006F
(システム予約)		28	H'00000070 ~ H'00000073
		:	:
		31	H'0000007C ~ H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令 (ユーザベクタ)	32	H'00000080 ~ H'00000083
	:	:
	63	H'000000FC ~ H'000000FF
外部割り込み (IRQ)、内蔵周辺モジュール*	64	H'00000100 ~ H'00000103
	:	:
	511	H'000007FC ~ H'000007FF

【注】 * 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第7章 割り込みコントローラ (INTC)」の表 7.4 を参照してください。

表 6.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、レジスタバンクエラー、割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 【注】 1. ベクタテーブルアドレスオフセット：表 6.3 を参照
2. ベクタ番号：表 6.3 を参照

6.2 リセット

6.2.1 入出力端子

リセット関連の端子構成を表 6.5 に示します。

表 6.5 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
マニュアルリセット	MRES	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。

6.2.2 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。表 6.6 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。FPU 状態はパワーオンリセットでは初期化され、マニュアルリセットでは初期化されません。また、内蔵周辺モジュールのレジスタは一部のレジスタを除き、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 6.6 リセット状態

種類	リセット状態への遷移条件				内部状態	
	RES	H-UDI コマンド	MRES	WDT オーバフロー	CPU	CPU 以外の モジュール
パワーオン リセット	ロー	-	-	-	初期化	初期化
	ハイ	H-UDI リセットアサート コマンドをセット	-	-	初期化	初期化
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	-	パワーオン	初期化	*
	ハイ	割り込みによるディープソフトウェアスタンバイモード からの復帰時			初期化	*
マニュアル リセット	ハイ	H-UDI リセットアサート 以外のコマンドをセット	ロー	-	初期化	*
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	ハイ	マニュアル	初期化	*

【注】 * 「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

6.2.3 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合）は発振安定時間の間およびクロックが動作している場合は最低 20 t_{cyc} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。さらに、FPSCR を H'00040001 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、システムの電源投入時は $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子を発振安定時間、ローレベルにしてください。

(2) H-UDI リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になります。H-UDI リセットアサートコマンドは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。H-UDI リセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。H-UDI リセットアサートコマンドによるパワーオンリセット状態で、H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバーフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WRCSR、CPG の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットと WDT のオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(4) 割り込みによるディープソフトウェアスタンバイモードからの復帰時のパワーオンリセット

割り込みによるディープソフトウェアスタンバイモードからの復帰時、本 LSI 内部でパワーオンリセットが発生します。このとき、動作を継続する必要があるモジュールおよび状態を保持する必要があるレジスタは初期化されません。詳細は、「第 32 章 低消費電力モード」、「第 34 章 レジスタ一覧」を参照してください。

また、 $\overline{\text{RES}}$ 端子によるリセットと割り込みによるディープソフトウェアスタンバイモードからの復帰時のリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先されます。割り込みによるディープソフトウェアスタンバイモードからの復帰時のパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

6.2.4 マニュアルリセット

(1) $\overline{\text{MRES}}$ 端子によるマニュアルリセット

$\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20 t_{cy}の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化され、内蔵周辺モジュールのレジスタは初期化されません。マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SPI に設定し、プログラムの実行を開始します。

(2) WDT によるマニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の WTCNT がオーバフローすると、マニュアルリセット状態になります。

WDT によりマニュアルリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{MRES}}$ 端子によるマニュアルリセットのときと同様です。

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中や DMAC/DTC パースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間のサイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。マニュアルリセットでは CPU および INTC の IBNR の BN ビットを初期化します。FPU やその他のモジュールは初期化されません。

6.3 アドレスエラー

6.3.1 アドレスエラー発生要因

アドレスエラーは、表 6.7 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 6.7 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DMAC または DTC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)
		シングルチップモード時に外部メモリにアクセスしたとき	アドレスエラー発生

6.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し*、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

【注】* データ読み出し/書き込みによるアドレスエラー時、命令フェッチによるアドレスエラーは、上記動作終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。

6.4 レジスタバンクエラー

6.4.1 レジスタバンクエラー発生要因

(1) バンクオーバーフロー

割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

6.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、バンクオーバーフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。
バンクオーバーフロー時は多重割り込みを防止するために、バンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に書き込みます。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5 割り込み

6.5.1 割り込み要因

割り込み例外処理を起動させる要因には、表 6.8 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 6.8 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
H-UDI	ユーザデバッグインタフェース (H-UDI)	1
FCU 割り込み (FIF)	FLASH シーケンサ	1
IRQ	IRQ0 ~ IRQ23 端子 (外部からの入力)	24
内蔵周辺モジュール	32kHz タイマ (TIM32C)	5
	キースキャンコントローラ (KEYC)	1
	A/D 変換器 (ADC)	2
	ダイレクトメモリアクセスコントローラ (DMAC)	8
	コンペアマッチタイマ (CMT)	2
	コンペアマッチタイマ 2 (CMT2)	5
	低消費電力	1
	バスステートコントローラ (BSC)	1
	ルネサスシリアルペリフェラルインタフェース (RSPI)	3
	ウォッチドッグタイマ (WDT)	1
	マルチファンクションタイマパルスユニット 2 (MTU2)	28
	ポートアウトプットイネーブル 2 (POE2)	3
	マルチファンクションタイマパルスユニット 2S (MTU2S)	13
	LVDS 受信インタフェース (LVDS) (SH72315A のみ)	4
	I ² C バスインタフェース 3 (IIC3)	5
	コントローラエリアネットワーク (RCAN-ET)	4
シリアルコミュニケーションインタフェース (SCI)	16	

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 7 章 割り込みコントローラ (INTC)」の表 7.4 を参照してください。

6.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブ레이크割り込み、および H-UDI の優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ 01～04、06、08～18（IPR01～IPR04、IPR06、IPR08～IPR18）で自由に設定することができます（表 6.9）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPR01～IPR04、IPR06、IPR08～IPR18 については「7.3.1 割り込み優先レベル設定レジスタ 01～04、06、08～18（IPR01～IPR04、IPR06、IPR08～IPR18）」を参照してください。

表 6.9 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブ레이크	15	優先レベル固定
H-UDI	15	優先レベル固定
FCU 割り込み (FIF)	0～15	割り込み優先レベル設定レジスタ 01～04、06、08～18 (IPR01～IPR04、IPR06、IPR08～IPR18) により設定
IRQ		
内蔵周辺モジュール		

6.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、ユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「7.6 動作説明」を参照してください。

6.6 命令による例外

6.6.1 命令による例外の種類

例外処理を起動する命令には、表 6.10 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、FPU 例外があります。

表 6.10 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (-1)	DIVS
FPU 例外	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフロー、および不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

6.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA 命令で指定したベクタ番号に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。さらに、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延スロットに配置された場合、この命令がデコードされるとスロット不当命令例外処理が開始されます。

スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）をデコードすると、一般不当命令例外処理が開始されます。また、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延分岐命令の直後（遅延スロット）以外に配置された場合、この命令がデコードされると一般不当命令例外処理が開始されます。一般不当命令例外処理時、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

6.6.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバーフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバーフロー例外の要因となる命令は DIVS のみで、負の最大値を -1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算命令例外に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、例外を発生した整数除算命令の先頭アドレスです。

4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.6 FPU 例外

浮動小数点ステータス/コントロールレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外処理が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー（可能性のある命令）、アンダフロー（可能性のある命令）、および不正確例外（可能性のある命令）を引き起こしたことを示します。

FPU 例外処理の発生要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当する FPU 例外イネーブルビット (Enable) がセットされているときのみ、FPU 例外処理が発生します。FPU が浮動小数点演算による例外要因を検出すると、FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生した FPU 例外処理に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の FPU 例外フラグフィールド (Flag) は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は浮動小数点演算命令が実行されるごとに変化します。

また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN または ̸ を浮動小数点演算命令のソースに入力すると FPU 例外処理が発生します。

6.7 例外処理が受け付けられない場合

アドレスエラー、FPU 例外、レジスタバンクエラー（オーバーフロー）および割り込みは、表 6.11 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 6.11 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因			
	アドレスエラー	FPU 例外	レジスタバンク エラー (オーバーフロー)	割り込み
遅延分岐命令*の直後	x	x	x	x

【記号説明】 x : 受け付けられない

【注】 * 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAf

6.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 6.12 に示すようになります。

表 6.12 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
レジスタ バンク エラー (オーバ フロー)		レジスタ バンク エラー (アンダ フロー)	
トラップ 命令		スロット 不当命令	
一般不当 命令		整数除算 例外	
FPU 例外			

6.9 使用上の注意事項

6.9.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.9.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でベクタテーブルがアクセスされるとアドレスエラーが発生します。

6.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ - 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6.9.4 CPU のステータスレジスタ (SR) の割り込みマスクレベル (IMASK) 変更時の注意事項

LDC、LDC.L 命令で CPU のステータスレジスタ (SR) の割り込みマスクレベルの値を操作して、割り込みの許可 / 禁止を制御する場合は、割り込みを許可する命令と割り込みを禁止する命令の間に 5 命令以上配置してください。

[対策プログラム例]

```
LDC Rx, SR    罫割り込み許可
NOP
NOP
NOP
NOP
NOP
NOP
LDC Ry, SR    罫割り込み禁止
```

7. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

7.1 特長

- 割り込み優先順位を16レベル設定可能

16本の割り込み優先レベル設定レジスタにより、IRQ割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

たとえば、本LSIがバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

- レジスタバンク

本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

図 7.1 に INTC のブロック図を示します。

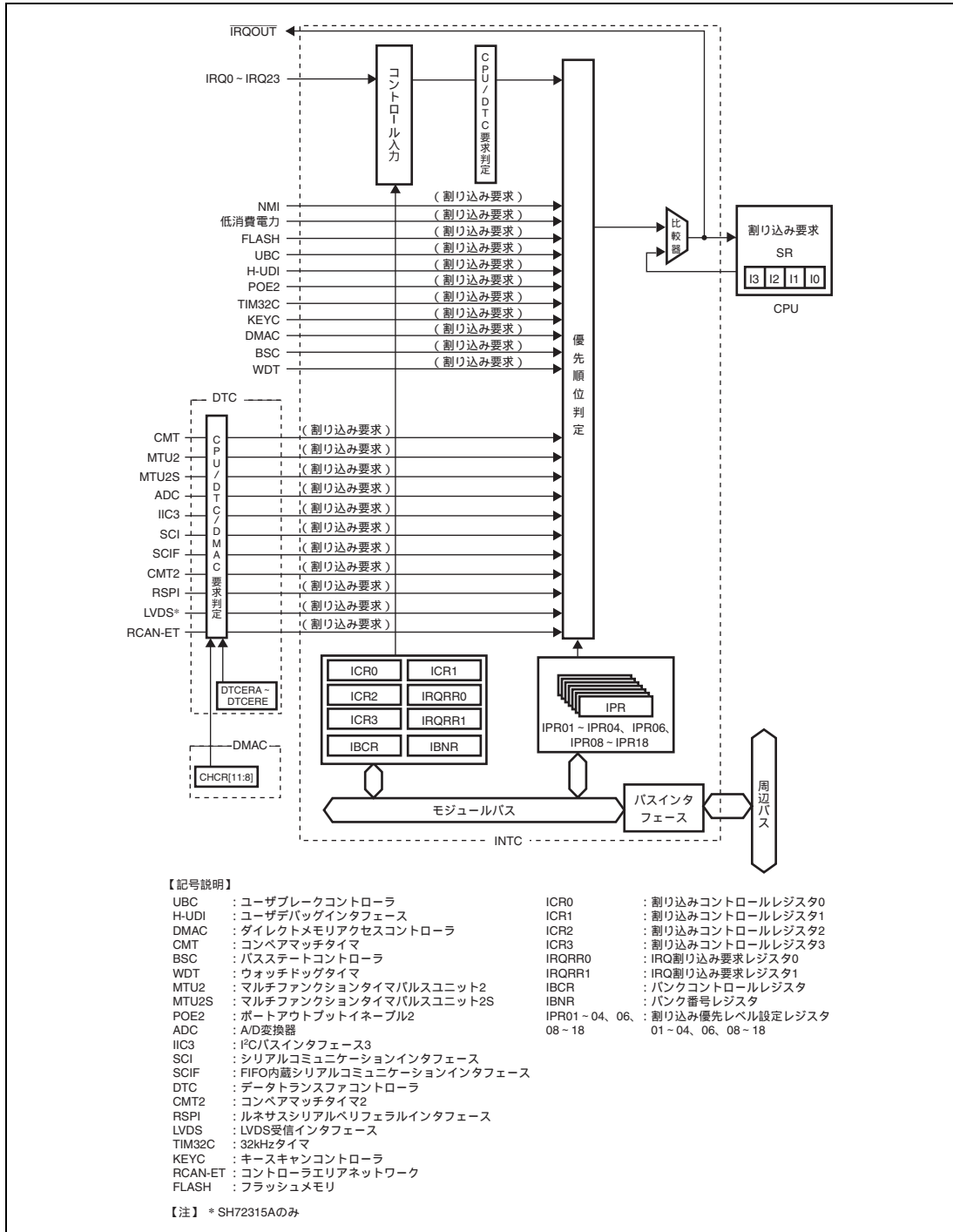


図 7.1 INTC のブロック図

7.2 入出力端子

INTC の端子を表 7.1 に示します。

表 7.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ23 ~ IRQ0	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	IRQOUT	出力	割り込み要因の発生を知らせる信号を出力

7.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 7.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'FFFE0804	16、32
割り込みコントロールレジスタ 3	ICR3	R/W	H'0000	H'FFFE0806	16
IRQ 割り込み要求レジスタ 0	IRQRR0	R/W	H'0000	H'FFFE0808	16、32
IRQ 割り込み要求レジスタ 1	IRQRR1	R/W	H'0000	H'FFFE080A	16
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16
割り込み優先レベル設定レジスタ 03	IPR03	R/W	H'0000	H'FFFE081C	16、32
割り込み優先レベル設定レジスタ 04	IPR04	R/W	H'0000	H'FFFE081E	16
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C00	16
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C06	16
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C0A	16
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C0E	16
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C12	16
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H'0000	H'FFFE0C16	16
割り込み優先レベル設定レジスタ 18	IPR18	R/W	H'0000	H'FFFE0C18	16

【注】 * NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000 です。

7.3.1 割り込み優先レベル設定レジスタ 01 ~ 04、06、08 ~ 18 (IPR01 ~ IPR04、IPR06、IPR08 ~ IPR18)

IPR01 ~ IPR04、IPR06、IPR08 ~ IPR18 は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込み、および内蔵周辺モジュール割り込みの優先順位 (レベル 0 ~ 15) を設定します。割り込み要求元と IPR01 ~ IPR04、IPR06、IPR08 ~ IPR18 の各ビットの対応を表 7.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.3 割り込み要求元と IPR01 ~ IPR04、IPR06、IPR08 ~ IPR18

レジスタ名	ビット			
	15 ~ 12	11 ~ 8	7 ~ 4	3 ~ 0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 03	IRQ8 ~ IRQ15	IRQ16 ~ IRQ23	低消費電力 (SSRI)	FCU (FIF)
割り込み優先レベル設定レジスタ 04	AD10	AD11	予約	予約
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 08	CMT0	CMT1	BSC	WDT
割り込み優先レベル設定レジスタ 09	MTU2_0 (TGI0A ~ TGI0D)	MTU2_0 (TCI0V、TGI0E、 TGI0F)	MTU2_1 (TGI1A、TGI1B)	MTU2_1 (TCI1V、TCI1U)
割り込み優先レベル設定レジスタ 10	MTU2_2 (TGI2A、TGI2B)	MTU2_2 (TCI2V、TCI2U)	MTU2_3 (TGI3A ~ TGI3D)	MTU2_3 (TCI3V)
割り込み優先レベル設定レジスタ 11	MTU2_4 (TGI4A ~ TGI4D)	MTU2_4 (TCI4V)	MTU2_5 (TGI5U、TGI5V、 TGI5W)	POE2
割り込み優先レベル設定レジスタ 12	MTU2S_3 (TGI3AS ~ TGI3DS)	MTU2S_3 (TCI3VS)	MTU2S_4 (TGI4AS ~ TGI4DS)	MTU2S_4 (TCI4VS)
割り込み優先レベル設定レジスタ 13	MTU2S_5 (TGI5US、TGI5VS、 TGI5WS)	CMT2 (CM21)	IIC3	CMT2 (IC0I、IC1I、 OC0I、OC1I)
割り込み優先レベル設定レジスタ 14	予約	予約	LVDS (SH72315A のみ)	予約
割り込み優先レベル設定レジスタ 15	TIM32C (CH0UF、CH0DF、 CH1UF、CH1DF)	TIM32C (CH2F)	KEYC	予約
割り込み優先レベル設定レジスタ 16	SCI0	SCI1	SCI2	SCI3
割り込み優先レベル設定レジスタ 17	SCIF4	SCIF5	SCIF6	SCIF7
割り込み優先レベル設定レジスタ 18	予約	予約	RSPI	RCAN-ET

表 7.3 に示すように、ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。

IPR01 ~ IPR04、IPR06、IPR08 ~ IPR18 は、パワーオンリセットで H'0000 に初期化されます。

7.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR0 は、NMIL ビットを除いて、パワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】* NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されている。 1 : NMI 端子にハイレベルが入力されている。
14~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出。 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7 ~ IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR1 はパワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7 ~ IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00: 割り込み要求を IRQn 入力のローレベルで検出する。 01: 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10: 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11: 割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n = 7 ~ 0

【注】 IRQn 入力の検出条件を変更すると、IRQRR0 レジスタの IRQxF フラグは一度 0 クリアされます。

7.3.4 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 IRQ15~IRQ8 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR2 はパワーオンリセットで H'0000 に初期化されます。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

IRQ151S	IRQ150S	IRQ141S	IRQ140S	IRQ131S	IRQ130S	IRQ121S	IRQ120S	IRQ111S	IRQ110S	IRQ101S	IRQ100S	IRQ91S	IRQ90S	IRQ81S	IRQ80S
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ151S	0	R/W	IRQ センスセレクト IRQ15~IRQ8 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00：割り込み要求を IRQn 入力のローレベルで検出する。 01：割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10：割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11：割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ150S	0	R/W	
13	IRQ141S	0	R/W	
12	IRQ140S	0	R/W	
11	IRQ131S	0	R/W	
10	IRQ130S	0	R/W	
9	IRQ121S	0	R/W	
8	IRQ120S	0	R/W	
7	IRQ111S	0	R/W	
6	IRQ110S	0	R/W	
5	IRQ101S	0	R/W	
4	IRQ100S	0	R/W	
3	IRQ91S	0	R/W	
2	IRQ90S	0	R/W	
1	IRQ81S	0	R/W	
0	IRQ80S	0	R/W	

【記号説明】 n = 15~8

【注】 IRQn 入力の検出条件を変更すると、IRQRR0 レジスタの IRQxF フラグは一度 0 クリアされます。

7.3.5 割り込みコントロールレジスタ 3 (ICR3)

ICR3 は、外部割り込み入力端子 IRQ23 ~ IRQ16 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR3 はパワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ231S	IRQ230S	IRQ221S	IRQ220S	IRQ211S	IRQ210S	IRQ201S	IRQ200S	IRQ191S	IRQ190S	IRQ181S	IRQ180S	IRQ171S	IRQ170S	IRQ161S	IRQ160S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ231S	0	R/W	IRQ センスセレクト
14	IRQ230S	0	R/W	IRQ23 ~ IRQ16 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00: 割り込み要求を IRQn 入力のローレベルで検出する。 01: 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10: 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11: 割り込み要求を IRQn 入力の両エッジで検出する。
13	IRQ221S	0	R/W	
12	IRQ220S	0	R/W	
11	IRQ211S	0	R/W	
10	IRQ210S	0	R/W	
9	IRQ201S	0	R/W	
8	IRQ200S	0	R/W	
7	IRQ191S	0	R/W	
6	IRQ190S	0	R/W	
5	IRQ181S	0	R/W	
4	IRQ180S	0	R/W	
3	IRQ171S	0	R/W	
2	IRQ170S	0	R/W	
1	IRQ161S	0	R/W	
0	IRQ160S	0	R/W	

【記号説明】 n = 23 ~ 16

【注】 IRQn 入力の検出条件を変更すると、IRQRR1 レジスタの IRQxF フラグは一度 0 クリアされます。

7.3.6 IRQ 割り込み要求レジスタ 0 (IRQRR0)

IRQRR0 は、16 ビットのレジスタで、外部割り込み入力端子 IRQ15 ~ IRQ0 の割り込み要求を示します。IRQ15 ~ IRQ0 割り込みをエッジ検出に設定している場合、IRQ15F ~ IRQ0F = 1 をリード後、IRQ15F ~ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

IRQRR0 はパワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	: R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	IRQ15F	0	R/(W)*	IRQ 割り込み要求
14	IRQ14F	0	R/(W)*	IRQ15 ~ IRQ0 割り込み要求のステータスを表示します。
13	IRQ13F	0	R/(W)*	レベル検出時 0 : IRQn 割り込み要求が存在しません。
12	IRQ12F	0	R/(W)*	
11	IRQ11F	0	R/(W)*	[クリア条件] • IRQn 入力が高レベルのとき 1 : IRQn 割り込み要求が存在します。
10	IRQ10F	0	R/(W)*	
9	IRQ9F	0	R/(W)*	[セット条件] • IRQn 入力が高レベルのとき
8	IRQ8F	0	R/(W)*	
7	IRQ7F	0	R/(W)*	エッジ検出時 0 : IRQn 割り込み要求が検出されていません。
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	[クリア条件] • IRQnF=1 の状態をリード後に 0 をライトしたとき
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	• IRQn 割り込み例外処理を実行したとき
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	• ICR1 または ICR2 の IRQn1S、IRQn0S の設定を変更したとき 1 : IRQn 割り込み要求が検出されています。
0	IRQ0F	0	R/(W)*	
				[セット条件] • IRQn 端子に ICR1 もしくは ICR2 の IRQn1S、IRQn0S に対応するエッジが発生したとき

【記号説明】 n = 15 ~ 0

7.3.7 IRQ 割り込み要求レジスタ 1 (IRQRR1)

IRQRR1 は、16 ビットのレジスタで、外部割り込み入力端子 IRQ23 ~ IRQ16 の割り込み要求を示します。IRQ23 ~ IRQ16 割り込みをエッジ検出に設定している場合、IRQ23F ~ IRQ16F = 1 をリード後、IRQ23 ~ IRQ16F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

IRQRR1 はパワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ23F	IRQ22F	IRQ21F	IRQ20F	IRQ19F	IRQ18F	IRQ17F	IRQ16F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ23F	0	R/(W)*	IRQ 割り込み要求 IRQ23 ~ IRQ16 割り込み要求のステータスを表示します。 レベル検出時 0 : IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1 : IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0 : IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に 0 をライトしたとき • IRQn 割り込み例外処理を実行したとき • ICR3 の IRQn1S、IRQn0S の設定を変更したとき 1 : IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR3 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ22F	0	R/(W)*	
5	IRQ21F	0	R/(W)*	
4	IRQ20F	0	R/(W)*	
3	IRQ19F	0	R/(W)*	
2	IRQ18F	0	R/(W)*	
1	IRQ17F	0	R/(W)*	
0	IRQ16F	0	R/(W)*	

7.3.8 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可 / 禁止を設定することができます。IBCR はパワーオンリセットで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15～1 に対してレジスタバンク使用の許可 / 禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0 : レジスタバンクの使用を禁止します。 1 : レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.9 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可 / 禁止、およびレジスタバンクオーバーフロー例外の許可 / 禁止を設定します。また、BN3 ~ BN0 により次に退避されるバンク番号を示します。

IBNR はパワーオンリセットで H'0000 に初期化されます。また、BN[3:0]ビットはマニュアルリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可 / 禁止を設定します。 00 : すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01 : NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10 : 予約 (設定禁止) 11 : レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバーフローイネーブル レジスタバンクオーバーフロー例外の許可 / 禁止を設定します。 0 : レジスタバンクオーバーフロー例外の発生を禁止します。 1 : レジスタバンクオーバーフロー例外の発生を許可します。
12 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 ~ 0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3 ~ BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

7.4 割り込み要因

割り込み要因は、NMI、ユーザブ레이크、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は割り込み優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

7.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0(ICR0)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ(SR)の割り込みマスクレベルビット(I3~I0)は15に設定されます。

7.4.2 ユーザブ레이크割り込み

ユーザブ레이크割り込みは、ユーザブ레이크コントローラ(UBC)で設定したブ레이크条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブ레이크割り込み例外処理によって、SRのI3~I0ビットは15に設定されます。ユーザブ레이크については、「第8章 ユーザブ레이크コントローラ(UBC)」を参照してください。

7.4.3 H-UDI 割り込み

ユーザデバッグインタフェース(H-UDI)割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI 割り込み例外処理により、SRのI3~I0ビットは15に設定されます。H-UDI 割り込みについては、「第33章 ユーザデバッグインタフェース(H-UDI)」を参照してください。

7.4.4 IRQ 割り込み

IRQ 割り込みはIRQ23~IRQ0端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ1(ICR1)のIRQセンスセレクトビット(IRQ71S~IRQ01S、IRQ70S~IRQ00S)、割り込みコントロールレジスタ2(ICR2)のIRQセンスセレクトビット(IRQ151S~IRQ81S、IRQ150S~IRQ80S)、割り込みコントロールレジスタ3(ICR3)のIRQセンスセレクトビット(IRQ231S~IRQ161S、IRQ230S~IRQ160S)、の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ01、02、03(IPR01、IPR02、IPR03)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ23~IRQ0端子がローレベルの期間、INTCに割り込み要求信号が送られます。IRQ23~IRQ0端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQ 割り込み要求レジスタ1(IRQRR1)のIRQ 割り込み要求ビット(IRQ15F~IRQ0F)もしくはIRQ 割り込み要求レジスタ2(IRQRR2)のIRQ 割り込み要求ビット(IRQ23F~IRQ16F)をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ23 ~ IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR1 の IRQ15F ~ IRQ0F ビットもしくは IRQRR2 の IRQ23F ~ IRQ16F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ 0 (IRQRR0)、および IRQ 割り込み要求レジスタ 1 (IRQRR1) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

7.4.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- A/D変換器 (ADC)
- FLASH関連 (ROM/FLD)
- ダイレクトメモリアクセスコントローラ (DMAC)
- コンペアマッチタイマ (CMT)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- マルチファンクションタイマパルスユニット2 (MTU2)
- ポートアウトプットイネーブル2 (POE2)
- マルチファンクションタイマパルスユニット2S (MTU2S)
- コンペアマッチタイマ2 (CMT2)
- I²Cバスインタフェース3 (IIC3)
- ルネサスシリアルペリフェラルインタフェース (RSPI)
- LVDS受信インタフェース (LVDS) (SH72315Aのみ)
- コントローラエリアネットワーク (RCAN-ET)
- 32kHzタイマ (TIM32C)
- キースキャンコントローラ (KEYC)
- シリアルコミュニケーションインタフェース (SCI)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)
- 低消費電力

要因ごとに異なる割り込みベクタが割り当てられているため、TIM32C/KEYC の割り込みによるソフトウェアスタンバイ復帰時を除き例外サービスルーチンで要因を判定する必要はありません。ただし、TIM32C/KEYC の割り込みによるソフトウェアスタンバイ復帰時は SSRI 割り込みによる復帰として集約されますので、どの要因で復帰したのかを判定するためには各フラグをチェックする必要があります。各フラグについては、「27.3.2 タイマ 32 ステータスレジスタ (TI32SR)」、「28.3.5 キースキャンステータスレジスタ (KSSR)」、「32.2.13 ス

タンパイインタラプトフラグレジスタ (SIFR) を参照してください。優先順位は、割り込み優先レベル設定レジスタ 04、06、08～18 (IPR04、IPR06、IPR08～IPR18) によって、モジュールごとに優先レベル 0～15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3～I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

7.5 割り込み例外処理ベクタテーブルと優先順位

表 7.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出方法は、「第 6 章 例外処理」の表 6.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01～04、06、08～18 (IPR01～IPR04、IPR06、IPR08～IPR18) によって、端子またはモジュールごとに優先レベル 0～15 の範囲で任意に設定できます。ただし、IPR01～IPR04、IPR06、IPR08～IPR18 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 7.4 の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.4 に示すデフォルト優先順位に従って処理されます。

表 7.4 割り込み例外ベクタと優先順位

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
NMI		11	H'0000002C - H'0000002F	16	-	-	↑ 高 ↓ 低
ユーザブ레이크		12	H'00000030 - H'00000033	15	-	-	
H-UDI		14	H'00000038 - H'0000003B	15	-	-	
FCU (FIF)		27	H'0000006C - H'0000006F	0 - 15(0)	IPR03 (3 - 0)	-	
IRQ	IRQ0	64	H'00000100 - H'00000103	0 - 15(0)	IPR01 (15 - 12)	-	
	IRQ1	65	H'00000104 - H'00000107	0 - 15(0)	IPR01 (11 - 8)	-	
	IRQ2	66	H'00000108 - H'0000010B	0 - 15(0)	IPR01 (7 - 4)	-	
	IRQ3	67	H'0000010C - H'0000010F	0 - 15(0)	IPR01 (3 - 0)	-	
	IRQ4	68	H'00000110 - H'00000113	0 - 15(0)	IPR02 (15 - 12)	-	

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
IRQ	IRQ5	69	H'00000114 ~ H'00000117	0 - 15(0)	IPR02 (11 - 8)	-	↑ 高	
	IRQ6	70	H'00000118 ~ H'0000011B	0 - 15(0)	IPR02 (7 - 4)	-		
	IRQ7	71	H'0000011C ~ H'0000011F	0 - 15(0)	IPR02 (3 - 0)	-		
	IRQ8	72	H'00000120 ~ H'00000123	0 - 15(0)	IPR03 (15 - 12)	1		
	IRQ9	73	H'00000124 ~ H'00000127			2		
	IRQ10	74	H'00000128 ~ H'0000012B			3		
	IRQ11	75	H'0000012C ~ H'0000012F			4		
	IRQ12	76	H'00000130 ~ H'00000133			5		
	IRQ13	77	H'00000134 ~ H'00000137			6		
	IRQ14	78	H'00000138 ~ H'0000013B			7		
	IRQ15	79	H'0000013C ~ H'0000013F			8		
	IRQ16	80	H'00000140 ~ H'00000143	0 - 15(0)	IPR03 (11 - 8)	1		
	IRQ17	81	H'00000144 ~ H'00000147			2		
	IRQ18	82	H'00000148 ~ H'0000014B			3		
	IRQ19	83	H'0000014C ~ H'0000014F			4		
	IRQ20	84	H'00000150 ~ H'00000153			5		
	IRQ21	85	H'00000154 ~ H'00000157			6		
	IRQ22	86	H'00000158 ~ H'0000015B			7		
	IRQ23	87	H'0000015C ~ H'0000015F			8		
	TIM32C	CH0D	88			H'00000160 ~ H'00000163		0 - 15(0)
		CH0U	89	H'00000164 ~ H'00000167	2			
		CH1D	90	H'00000168 ~ H'0000016B	3			
		CH1U	91	H'0000016C ~ H'0000016F	4			
CH2		92	H'00000170 ~ H'00000173	0 - 15(0)	IPR15 (11 - 8)	-		
KEYC	KSI	95	H'0000017C ~ H'0000017F	0 - 15(0)	IPR15 (7 - 4)	-		
A/D 変換器	AD10	104	H'000001A0 ~ H'000001A3	0 - 15(0)	IPR04 (15 - 12)	-		
	AD11	105	H'000001A4 ~ H'000001A7	0 - 15(0)	IPR04 (11 - 8)	-	↓ 低	

割り込み要因番号			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
DMAC	DMAC0	DEI0	108	H'000001B0 - H'000001B3	0 - 15(0)	IPR06 (15 - 12)	1	高 ↑
		HEI0	109	H'000001B4 - H'000001B7			2	
	DMAC1	DEI1	112	H'000001C0 - H'000001C3	0 - 15(0)	IPR06 (11 - 8)	1	
		HEI1	113	H'000001C4 - H'000001C7			2	
	DMAC2	DEI2	116	H'000001D0 - H'000001D3	0 - 15(0)	IPR06 (7 - 4)	1	
		HEI2	117	H'000001D4 - H'000001D7			2	
	DMAC3	DEI3	120	H'000001E0 - H'000001E3	0 - 15(0)	IPR06 (3 - 0)	1	
		HEI3	121	H'000001E4 - H'000001E7			2	
SCIF	SCIF4	BRI4	124	H'000001F0 - H'000001F3	0 - 15(0)	IPR17 (15 - 12)	1	
		ERI4	125	H'000001F4 - H'000001F7			2	
		RX14	126	H'000001F8 - H'000001FB			3	
		TX14	127	H'000001FC - H'000001FF			4	
	SCIF5	BRI5	128	H'00000200 - H'00000203	0 - 15(0)	IPR17 (11 - 8)	1	
		ERI5	129	H'00000204 - H'00000207			2	
		RX15	130	H'00000208 - H'0000020B			3	
		TX15	131	H'0000020C - H'0000020F			4	
	SCIF6	BRI6	132	H'00000210 - H'00000213	0 - 15(0)	IPR17 (7 - 4)	1	
		ERI6	133	H'00000214 - H'00000217			2	
		RX16	134	H'00000218 - H'0000021B			3	
		TX16	135	H'0000021C - H'0000021F			4	
	SCIF7	BRI7	136	H'00000220 - H'00000223	0 - 15(0)	IPR17 (3 - 0)	1	
		ERI7	137	H'00000224 - H'00000227			2	
		RX17	138	H'00000228 - H'0000022B			3	
		TX17	139	H'0000022C - H'0000022F			4	
CMT	CM10	140	H'00000230 - H'00000233	0 - 15(0)	IPR08 (15 - 12)	-		
	CM11	141	H'00000234 - H'00000237	0 - 15(0)	IPR08 (11 - 8)	-		
CMT2	CM21	142	H'00000238 - H'0000023B	0 - 15(0)	IPR13 (11 - 8)	-		
	IC01	143	H'0000023C - H'0000023F	0 - 15(0)	IPR13 (3 - 0)	1		
	IC11	144	H'00000240 - H'00000243			2		
	OC01	145	H'00000244 - H'00000247			3		
	OC11	146	H'00000248 - H'0000024B			4		
低消費電力	SSRI	147	H'0000024C - H'0000024F	0 - 15(0)	IPR03 (7 - 4)	-		
BSC	CM1	148	H'00000250 - H'00000253	0 - 15(0)	IPR08 (7 - 4)	-	低 ↓	

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
RSPI	SPEI_0	149	H'00000254 - H'00000257	0 - 15(0)	IPR18 (7 - 4)	1	高 ↑	
	SPRXI_0	150	H'00000258 - H'0000025B			2		
	SPTXI_0	151	H'0000025C - H'0000025F			3		
WDT	ITI	152	H'00000260 - H'00000263	0 - 15(0)	IPR08 (3 - 0)	-		
MTU2	MTU2_0	TGIA_0	156	H'00000270 - H'00000273	0 - 15(0)	IPR09 (15 - 12)	1	
		TGIB_0	157	H'00000274 - H'00000277			2	
		TGIC_0	158	H'00000278 - H'0000027B			3	
		TGID_0	159	H'0000027C - H'0000027F			4	
	TCIV_0	160	H'00000280 - H'00000283	0 - 15(0)	IPR09 (11 - 8)	1		
		TGIE_0	161			H'00000284 - H'00000287	2	
		TGIF_0	162			H'00000288 - H'0000028B	3	
	MTU2_1	TGIA_1	164	H'00000290 - H'00000293	0 - 15(0)	IPR09 (7 - 4)	1	
		TGIB_1	165	H'00000294 - H'00000297			2	
		TCIV_1	168	H'000002A0 - H'000002A3	0 - 15(0)	IPR09 (3 - 0)	1	
		TCIU_1	169	H'000002A4 - H'000002A7			2	
	MTU2_2	TGIA_2	172	H'000002B0 - H'000002B3	0 - 15(0)	IPR10 (15 - 12)	1	
		TGIB_2	173	H'000002B4 - H'000002B7			2	
		TCIV_2	176	H'000002C0 - H'000002C3	0 - 15(0)	IPR10 (11 - 8)	1	
		TCIU_2	177	H'000002C4 - H'000002C7			2	
	MTU2_3	TGIA_3	180	H'000002D0 - H'000002D3	0 - 15(0)	IPR10 (7 - 4)	1	
		TGIB_3	181	H'000002D4 - H'000002D7			2	
		TGIC_3	182	H'000002D8 - H'000002DB			3	
		TGID_3	183	H'000002DC - H'000002DF			4	
		TCIV_3	184	H'000002E0 - H'000002E3	0 - 15(0)	IPR10 (3 - 0)	-	
	MTU2_4	TGIA_4	188	H'000002F0 - H'000002F3	0 - 15(0)	IPR11 (15 - 12)	1	
TGIB_4		189	H'000002F4 - H'000002F7	2				
TGIC_4		190	H'000002F8 - H'000002FB	3				
TGID_4		191	H'000002FC - H'000002FF	4				
TCIV_4		192	H'00000300 - H'00000303	0 - 15(0)	IPR11 (11 - 8)	-		
MTU2_5	TGIU_5	196	H'00000310 - H'00000313	0 - 15(0)	IPR11 (7 - 4)	1		
	TGIV_5	197	H'00000314 - H'00000317			2		
	TGIW_5	198	H'00000318 - H'0000031B			3		低 ↓

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
POE2	OEI1		200	H'00000320 - H'00000323	0 - 15(0)	IPR11 (3 - 0)	1	
	OEI2		201	H'00000324 - H'00000327			2	
	OEI3		202	H'00000328 - H'0000032B			3	
MTU2S	MTU2S_3	TGIA_3S	204	H'00000330 - H'00000333	0 - 15(0)	IPR12 (15 - 12)	1	
		TGIB_3S	205	H'00000334 - H'00000337			2	
		TGIC_3S	206	H'00000338 - H'0000033B			3	
		TGID_3S	207	H'0000033C - H'0000033F			4	
		TCIV_3S	208	H'00000340 - H'00000343			0 - 15(0)	IPR12 (11 - 8)
	MTU2S_4	TGIA_4S	212	H'00000350 - H'00000353	0 - 15(0)	IPR12 (7 - 4)	1	
		TGIB_4S	213	H'00000354 - H'00000357			2	
		TGIC_4S	214	H'00000358 - H'0000035B			3	
		TGID_4S	215	H'0000035C - H'0000035F			4	
		TCIV_4S	216	H'00000360 - H'00000363			0 - 15(0)	IPR12 (3 - 0)
	MTU2S_5	TGIU_5S	220	H'00000370 - H'00000373	0 - 15(0)	IPR13 (15 - 12)	1	
		TGIV_5S	221	H'00000374 - H'00000377			2	
		TGIW_5S	222	H'00000378 - H'0000037B			3	
	LVDS (SH72315Aのみ)	LVOREI		224	H'00000380 - H'00000383	0 - 15(0)	IPR14 (7 - 4)	1
		LVUREI		225	H'00000384 - H'00000387			2
LVRXI		226	H'00000388 - H'0000038B	3				
LVECI		227	H'0000038C - H'0000038F	4				
IIC3	IISTPI		228	H'00000390 - H'00000393	0 - 15(0)	IPR13 (7 - 4)	1	
	IINAKI		229	H'00000394 - H'00000397			2	
	IIRXI		230	H'00000398 - H'0000039B			3	
	IITXI		231	H'0000039C - H'0000039F			4	
	IITEI		232	H'000003A0 - H'000003A3			5	
RCAN-ET	ERS_0		236	H'000003B0 - H'000003B3	0 - 15(0)	IPR18 (3 - 0)	1	
	OVR_0		237	H'000003B4 - H'000003B7			2	
	RM_0, RM_1		238	H'000003B8 - H'000003BB			3	
	SLE_0		239	H'000003BC - H'000003BF			4	

割り込み要因番号		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
SCI	SCI0	ERI0	240	H'000003C0 - H'000003C3	0 - 15(0)	IPR16 (15 - 12)	1	↑ 高 ↓ 低
		RXI0	241	H'000003C4 - H'000003C7			2	
		TXI0	242	H'000003C8 - H'000003CB			3	
		TEI0	243	H'000003CC - H'000003CF			4	
	SCI1	ERI1	244	H'000003D0 - H'000003D3	0 - 15(0)	IPR16 (11 - 8)	1	
		RXI1	245	H'000003D4 - H'000003D7			2	
		TXI1	246	H'000003D8 - H'000003DB			3	
		TEI1	247	H'000003DC - H'000003DF			4	
	SCI2	ERI2	248	H'000003E0 - H'000003E3	0 - 15(0)	IPR16 (7 - 4)	1	
		RXI2	249	H'000003E4 - H'000003E7			2	
		TXI2	250	H'000003E8 - H'000003EB			3	
		TEI2	251	H'000003EC - H'000003EF			4	
	SCI3	ERI3	252	H'000003F0 - H'000003F3	0 - 15(0)	IPR16 (3 - 0)	1	
		RXI3	253	H'000003F4 - H'000003F7			2	
		TXI3	254	H'000003F8 - H'000003FB			3	
		TEI3	255	H'000003FC - H'000003FF			4	

7.6 動作説明

7.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01～04、06、08～18 (IPR01～IPR04、IPR06、IPR08～IPR18) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表7.4に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
5. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図7.4参照)。
6. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
7. ステータスレジスタ (SR) がスタックに退避され、SRのI3～I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
8. プログラムカウンタ (PC) がスタックに退避されます。
9. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。
10. $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際にCPUへの割り込み要因が取り下げられるまでに、表 7.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ 0、1 (IRQRR0、IRQRR1) のアクセスにより取り下げることができます。詳しくは「7.4.4 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

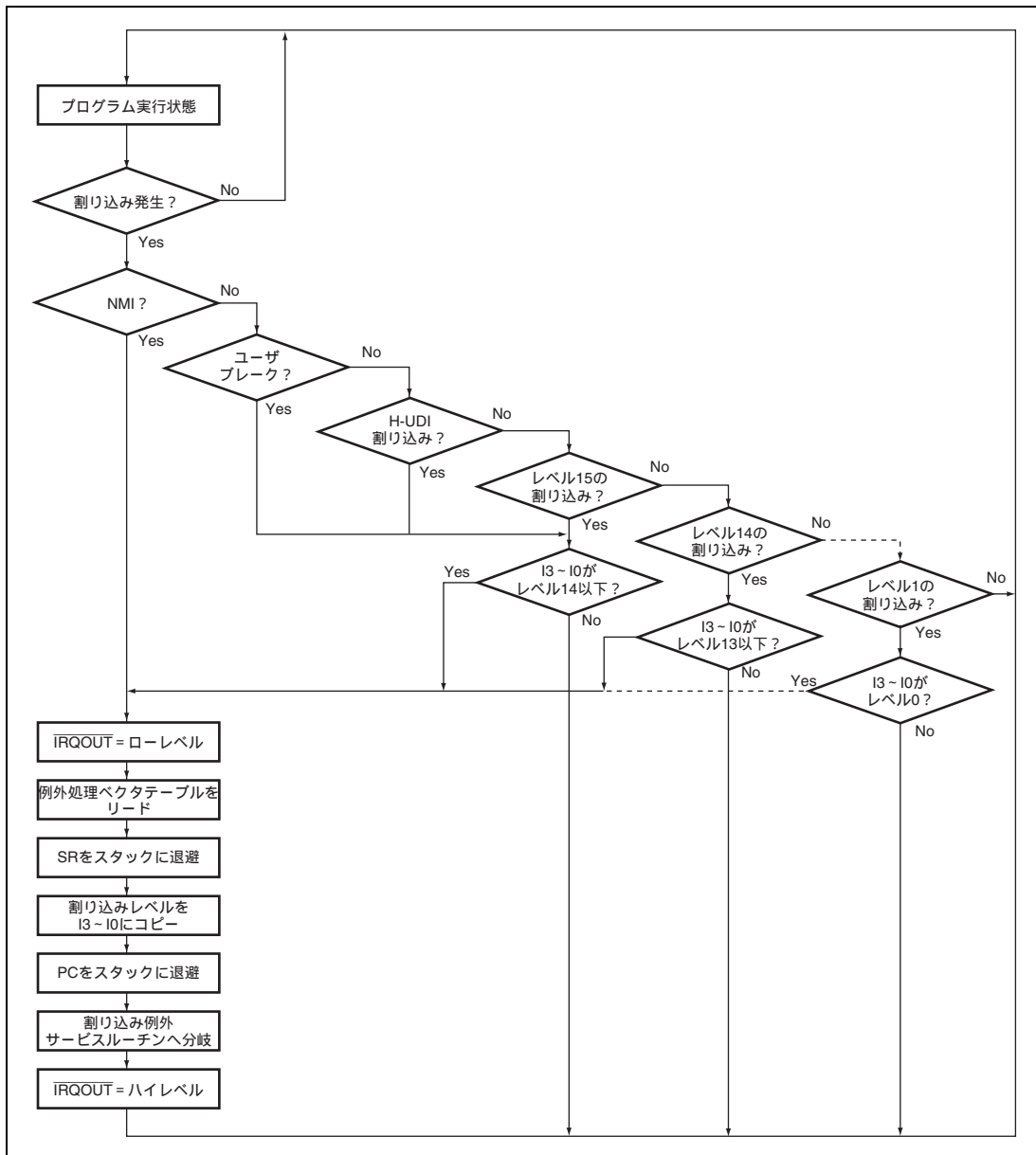


図 7.2 割り込み動作フロー

7.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 7.3 に示すようになります。

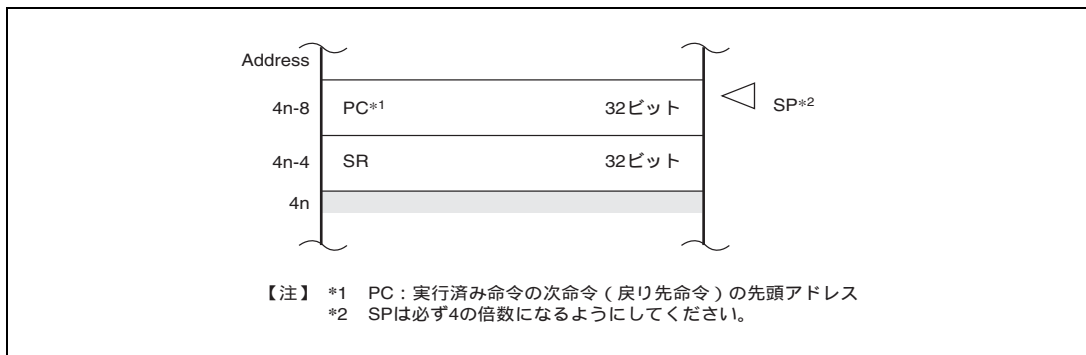


図 7.3 割り込み例外処理終了後のスタック状態

7.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、割り込み例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 7.4、図 7.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 7.6、図 7.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 7.8、図 7.9 に示します。

表 7.5 割り込み応答時間

項 目			ステート数					備考
			NMI	ユーザ ブレイク	H-UDI	IRQ	周辺 モジュール	
割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間			2lcyc+	3lcyc	2lcyc+	2lcyc+	2lcyc+	DTC 起動要因がある 割り込み
			2Bcyc+		1Pcyc	3Bcyc+	1Pcyc	
			1Pcyc				2lcyc+	DTC 起動要因がない 割り込み
							1Bcyc+	
CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンクなし。	最小値	3lcyc+m1+m2					最小値は、割り込み待ち時間 0 のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。
		最大値	4lcyc+2(m1+m2)+m3					
	レジスタバンクあり。 レジスタバンクオーバーフローなし。	最小値	-	3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	-	12lcyc+m1+m2				
	レジスタバンクあり。 レジスタバンクオーバーフローあり。	最小値	-	3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	-	3lcyc+m1+m2+19(m4)				

項 目			ステート数					備考
			NMI	ユーザ ブ레이크	H-UDI	IRQ	周辺 モジュール	
応答 時間	レジスタバンク なし。	最小値	$5l_{cyc}+2B_{cyc}+1P_{cyc}+m1+m2$	$6l_{cyc}+m1+m2$	$5l_{cyc}+1P_{cyc}+m1+m2$	$5l_{cyc}+3B_{cyc}+1P_{cyc}+m1+m2$	$5l_{cyc}+1B_{cyc}+1P_{cyc}+m1+m2$	100MHz 動作時 *1,*2 : 0.080 ~ 0.150 μ s
		最大値	$6l_{cyc}+2B_{cyc}+1P_{cyc}+2(m1+m2)+m3$	$7l_{cyc}+2(m1+m2)+m3$	$6l_{cyc}+1P_{cyc}+2(m1+m2)+m3$	$6l_{cyc}+3B_{cyc}+1P_{cyc}+2(m1+m2)+m3$	$6l_{cyc}+1B_{cyc}+1P_{cyc}+2(m1+m2)+m3$	100MHz 動作時 *1,*2 : 0.120 ~ 0.190 μ s
	レジスタバンク あり。 レジスタバンク オーバーフロー なし。	最小値	-	-	$5l_{cyc}+1P_{cyc}+m1+m2$	$5l_{cyc}+3B_{cyc}+1P_{cyc}+m2$	$5l_{cyc}+1B_{cyc}+1P_{cyc}+m2$	100MHz 動作時 *1,*2 : 0.090 ~ 0.150 μ s
		最大値	-	-	$14l_{cyc}+1P_{cyc}+m1+m2$	$14l_{cyc}+3B_{cyc}+1P_{cyc}+m1+m2$	$14l_{cyc}+1B_{cyc}+1P_{cyc}+m1+m2$	100MHz 動作時 *1,*2 : 0.180 ~ 0.240 μ s
	レジスタバンク あり。 レジスタバンク オーバーフロー あり。	最小値	-	-	$5l_{cyc}+1P_{cyc}+m1+m2$	$5l_{cyc}+3B_{cyc}+1P_{cyc}+m2$	$5l_{cyc}+1B_{cyc}+1P_{cyc}+m2$	100MHz 動作時 *1,*2 : 0.090 ~ 0.150 μ s
		最大値	-	-	$5l_{cyc}+1P_{cyc}+m1+m2+19(m4)$	$5l_{cyc}+3B_{cyc}+1P_{cyc}+m1+m2+19(m4)$	$5l_{cyc}+1B_{cyc}+1P_{cyc}+m1+m2+19(m4)$	100MHz 動作時 *1,*2 : 0.280 ~ 0.340 μ s

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0 ~ R14, GBR, MACH, MACL, PR) のスタックからの復帰

*1 : m1=m2=m3=m4=1l_{cyc} の場合

*2 : l : B : P =100MHz : 50MHz : 50MHz の場合

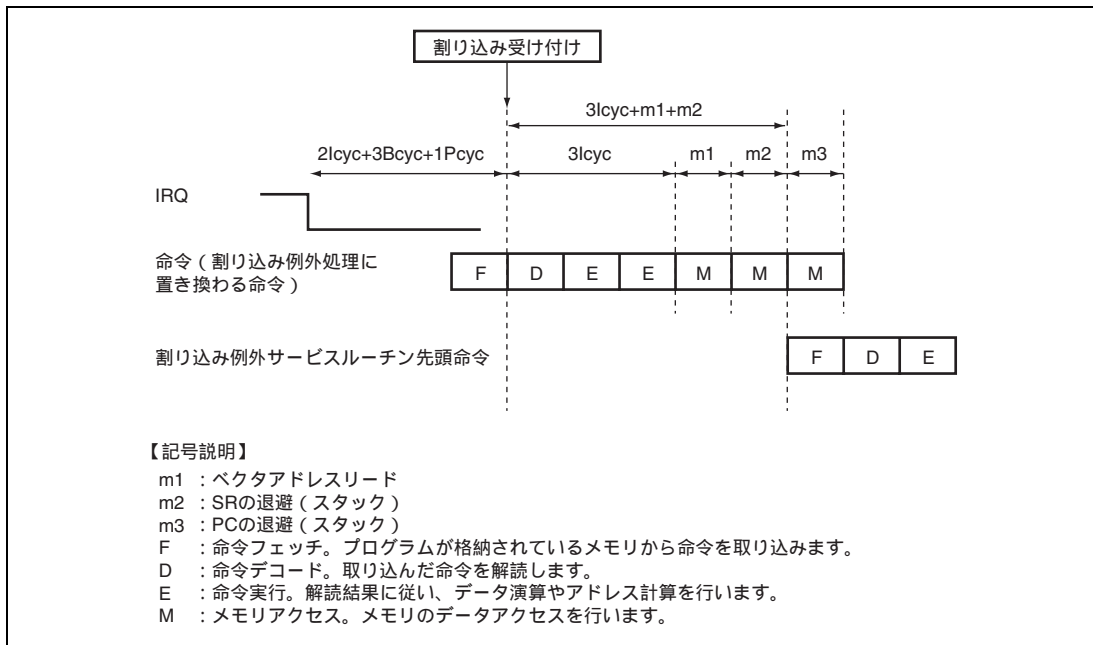


図 7.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

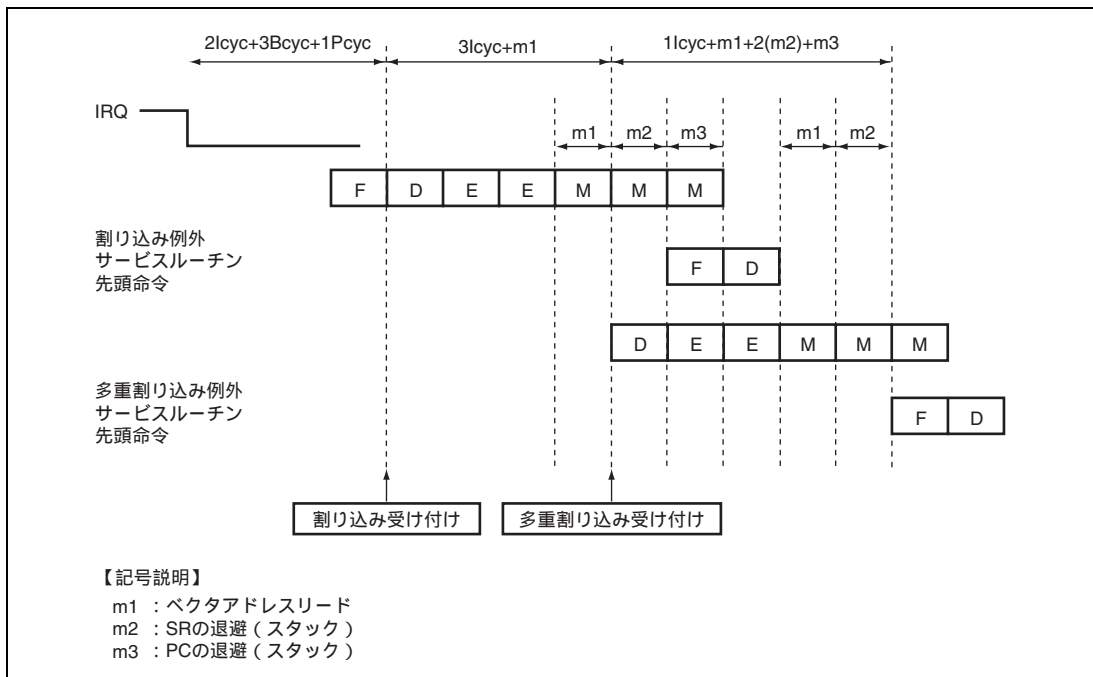


図 7.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

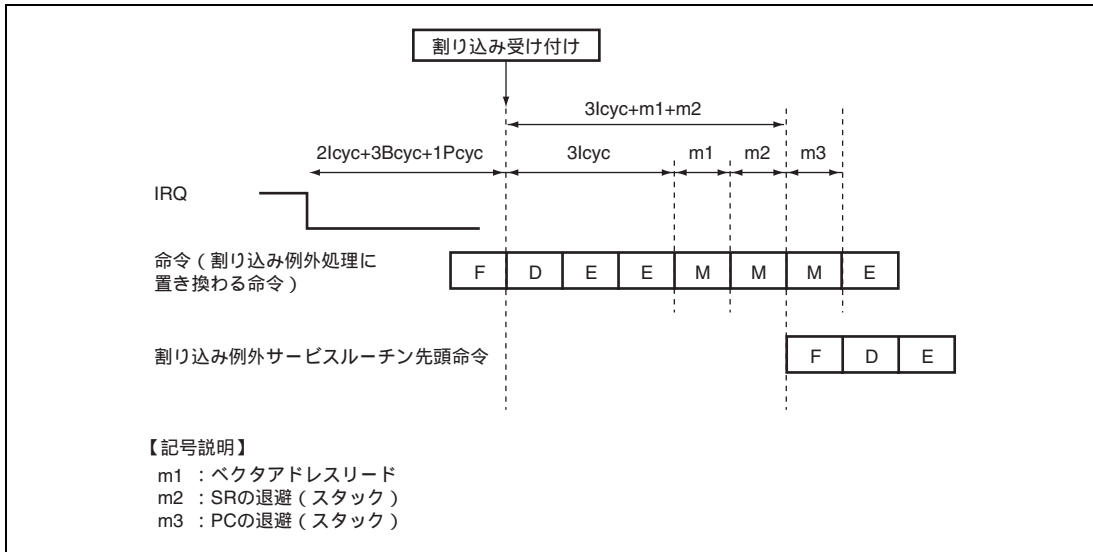


図 7.6 IRQ 割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

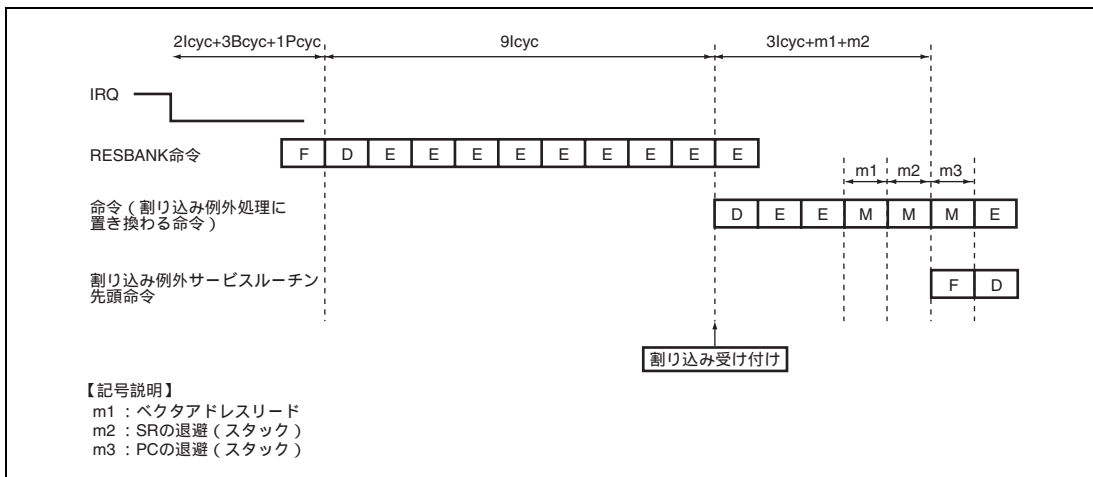


図 7.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

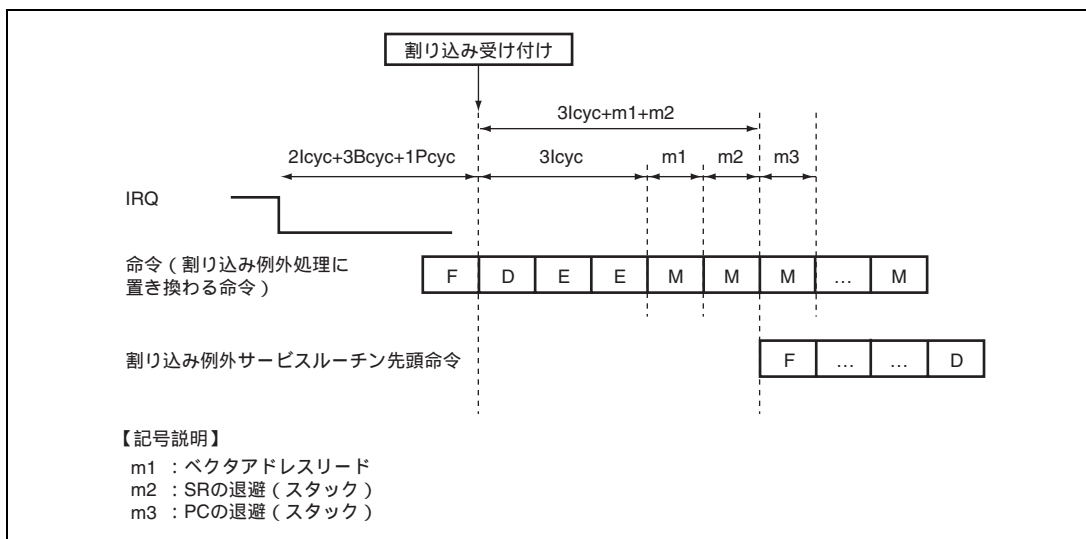


図 7.8 IRQ 割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

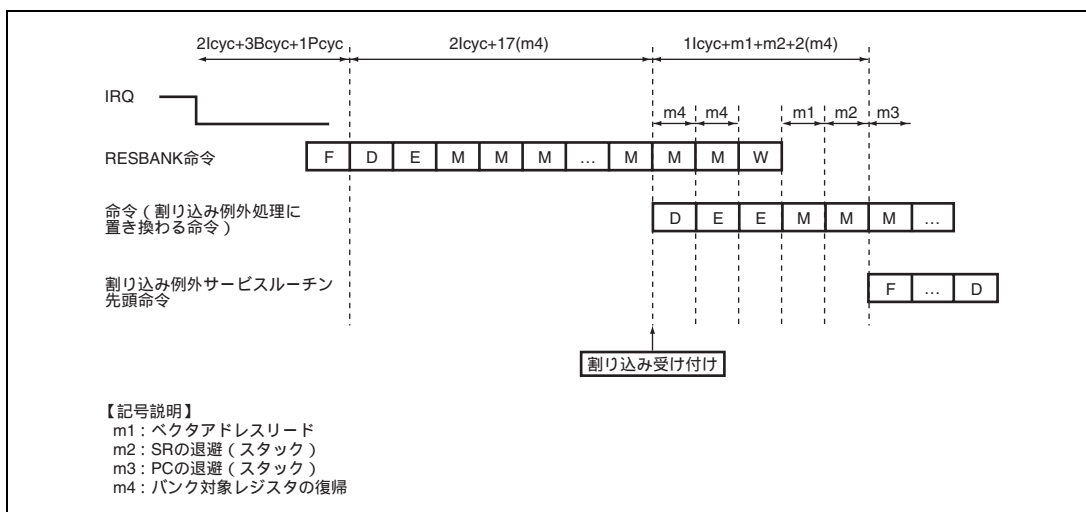


図 7.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

7.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 7.10 に示します。

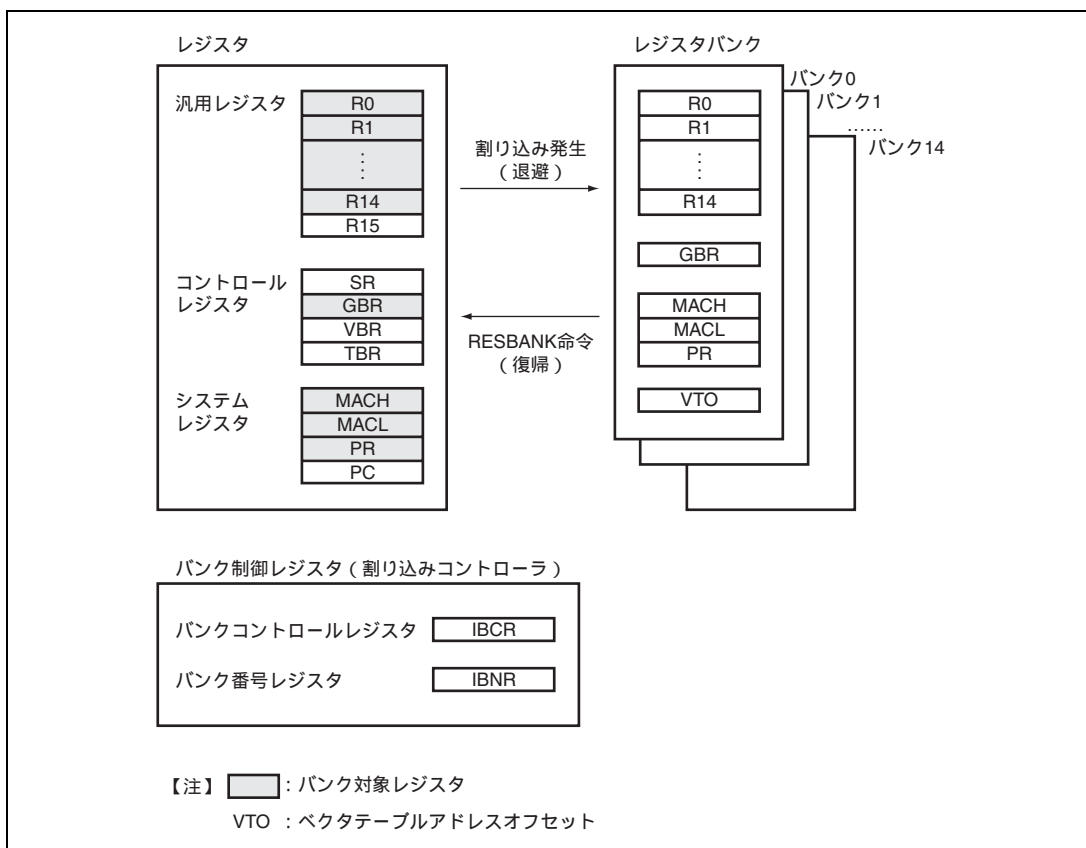


図 7.10 レジスタバンクの構成の概要

7.8.1 バンクの対象レジスタと入出力方式

(1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセットをバンクの対象とします。

(2) バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

7.8.2 バンク退避、復帰の動作

(1) バンクへの退避

図 7.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0 ~ R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を +1 します。

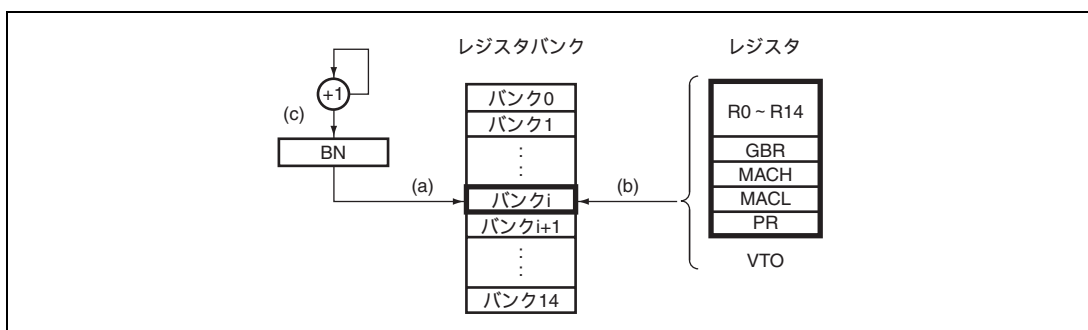


図 7.11 バンク退避の動作

図 7.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

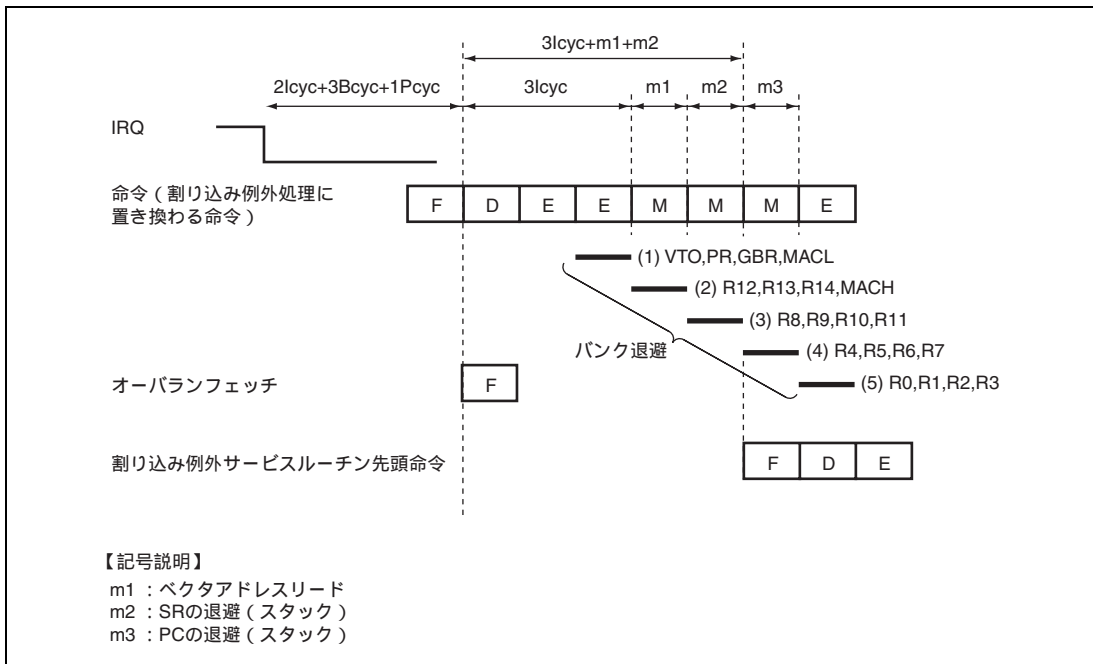


図 7.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込みサービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で例外処理からの復帰を行ってください。

7.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバーフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、.....、R1、R0の順となります。
3. SRのレジスタバンクオーバーフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバーフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、.....、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

7.8.4 レジスタバンクの例外

レジスタバンクの例外 (レジスタバンクエラー) には、レジスタバンクオーバーフローとレジスタバンクアンダフローの2種類があります。

(1) レジスタバンクオーバーフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 1 にセットされているときに発生します。このとき、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) はバンク数 15 のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0~R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は 0 のまま変化しません。

7.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバーフロー時の退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避する PC の値は、当該の RESBANK 命令の先頭アドレスです。また、レジスタバンクオーバーフロー時は多重割り込みを防止するためにレジスタバンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に書き込みます。
4. 例外サービスルーチン開始アドレスからプログラムを実行します。

7.9 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- DMACのみ起動、CPU割り込みは発生しない
- DTCのみ起動、CPU割り込みはDTCの設定による

割り込み要因の中で DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択 0} + \text{DE1} \cdot \text{要因選択 1} + \text{DE2} \cdot \text{要因選択 2} + \text{DE3} \cdot \text{要因選択 3})$$

ここで DME は DMAC の DMAOR のビット 0、DE_n (n=0~3) は DMAC の CHCR0~CHCR3 のビット 0 です。

INTC は、DTC の対応する DTCE のビットが 1 のときは CPU 割り込みをマスクします。DTCE クリア条件と割り込み要因フラグクリア条件は次のように表されます。

$$\text{DTCE クリア条件} = \text{DTC 転送終了} \cdot \text{DTCECLR}$$

$$\text{割り込み要因フラグクリア条件} = \text{DTC 転送終了} \cdot \overline{\text{DTCECLR}} + \text{DMAC 転送終了}$$

ただし、DTCECLR = DISEL + カウンタ 0

制御ブロック図を図 7.13、図 7.14 に示します。

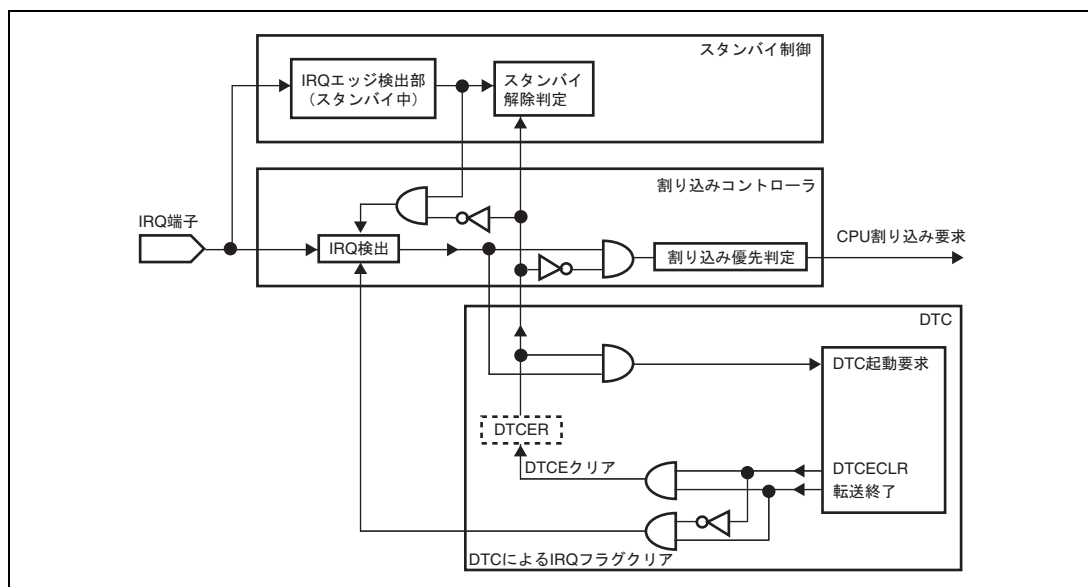


図 7.13 IRQ の割り込み制御ブロック図

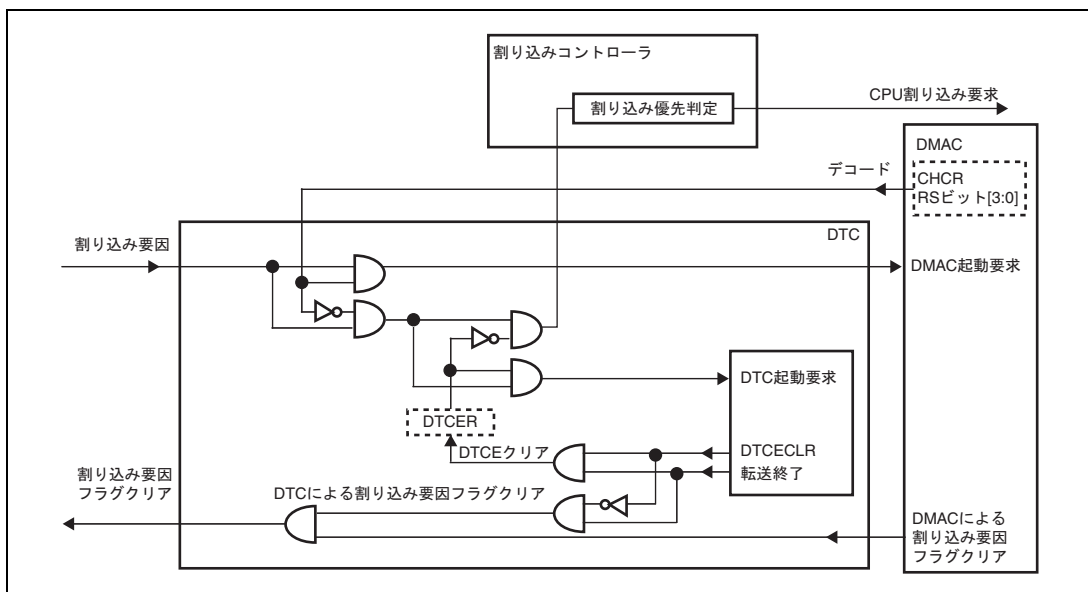


図 7.14 周辺モジュールからの割り込み制御ブロック図

7.9.1 割り込み要求信号を DTC の起動要因および CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEビットを0にクリアします。
2. DTCの対応するDTCEビット、およびDISELビットを1にセットします。
3. 割り込みが発生すると、DTCに起動要因が与えられます。
4. DTCは、データ転送を行うとDTCEビットを0にクリアし、CPUに割り込みを要求します。起動要因はクリアしません。
5. CPUは割り込み処理ルーチンで、割り込み要因をクリアします。その後、転送カウンタの値を確認します。転送カウンタの値 0のとき、DTCEビットを1にセットして、次のデータ転送を許可します。また、転送カウンタの値 = 0であれば、割り込み処理ルーチンで所要の終了処理をします。

7.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因および DTC の起動要因としない場合

1. DMACで要因を選択し、DE = 1、DME = 1にセットします。割り込み優先レベル設定レジスタおよびDTCのレジスタ設定によらずCPU割り込み要因、およびDTC起動要因はマスクされます。
2. 割り込みが発生すると、DMACに起動要因が与えられます。
3. DMACは、転送時に起動要因をクリアします。

7.9.3 割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因および DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。
また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEビットを0にします。
2. DTCの対応するDTCEビットを1にセットし、DISELビットを0にクリアします。
3. 割り込みが発生すると、DTCに起動要因が与えられます。
4. DTCは、データ転送を行うと、起動要因をクリアします。DTCEビットは1に保持されているため、CPUには割り込みは要求されません。
5. ただし、転送カウンタ=0のとき、DTCEビットを0にクリアし、CPUに割り込みを要求します。
6. CPUは割り込み処理ルーチンで所要の終了処理をします。

7.9.4 割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因および DMAC 起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。
また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEビットを0にクリアします。
2. DTCの対応するDTCEビットを0にクリアします。
3. 割り込みが発生すると、CPUに割り込みを要求します。
4. CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

7.10 使用上の注意事項

7.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 7.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

7.10.2 $\overline{\text{IRQOUT}}$ のネゲートタイミング

割り込みコントローラが割り込み要求を受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力され、割り込み例外サービスルーチンの開始アドレスにジャンプした後、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。

ただし、割り込みコントローラが割り込み要求を受け付け、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力された後、割り込み例外サービスルーチンの開始アドレスにジャンプする前に割り込み要求が取り下げられた場合、次の割り込み要求による割り込み例外サービスルーチンの開始アドレスにジャンプするまで $\overline{\text{IRQOUT}}$ 端子からはローレベルが出力されます。

7.10.3 IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項

IRQx 割り込み要求でソフトウェアスタンバイの解除を行う場合は、ICRx の IRQ センスセレクトの設定変更は IRQx 割り込み要求が発生しない状態で、IRQRRx の IRQxF フラグの 0 クリアは IRQx 割り込み処理実行による自動クリアで行ってください。

IRQ 割り込み要求レジスタ x(IRQRRx)の IRQxF フラグが 1 の状態で、割り込みコントローラレジスタ x(ICRx)の IRQ センスセレクトの設定変更、または IRQRRx の IRQxF フラグを 0 クリアすると該当の IRQx 割り込み要求はクリアされますが、ソフトウェアスタンバイ解除要求はクリアされません。

8. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件として、命令フェッチまたはデータの読み出し / 書き込み (データの読み出し / 書き込みの場合はバスマスタ (CPU、DMAC、DTC))、データのサイズ、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハードウェアアーキテクチャを採用しているため、CPU バス (C バス) 上での命令フェッチは命令フェッチバス (F バス) にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス (M バス) にバスサイクルを発行します。UBC はこれら C バスと内部バス (I バス) をモニタします。

8.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数 : 8チャンネル (チャンネル0~7)

ユーザブ레이크は、チャンネル0~7独立に設定することができます。

チャンネル2~7はFバス命令フェッチアドレスブ레이크のみです。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。(チャンネル0~1)

3種類のアドレスバス (Fバスアドレス (FAB)、Mバスアドレス (MAB)、Iバスアドレス (IAB)) を選択できます。

- Iバス選択時のバスマスタ

CPUサイクル、DMACサイクル、DTCサイクル

- バスサイクル

命令フェッチ (Cバス選択時のみ) またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件成立を $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子に出力できます。

図 8.1 に UBC のブロック図を示します。

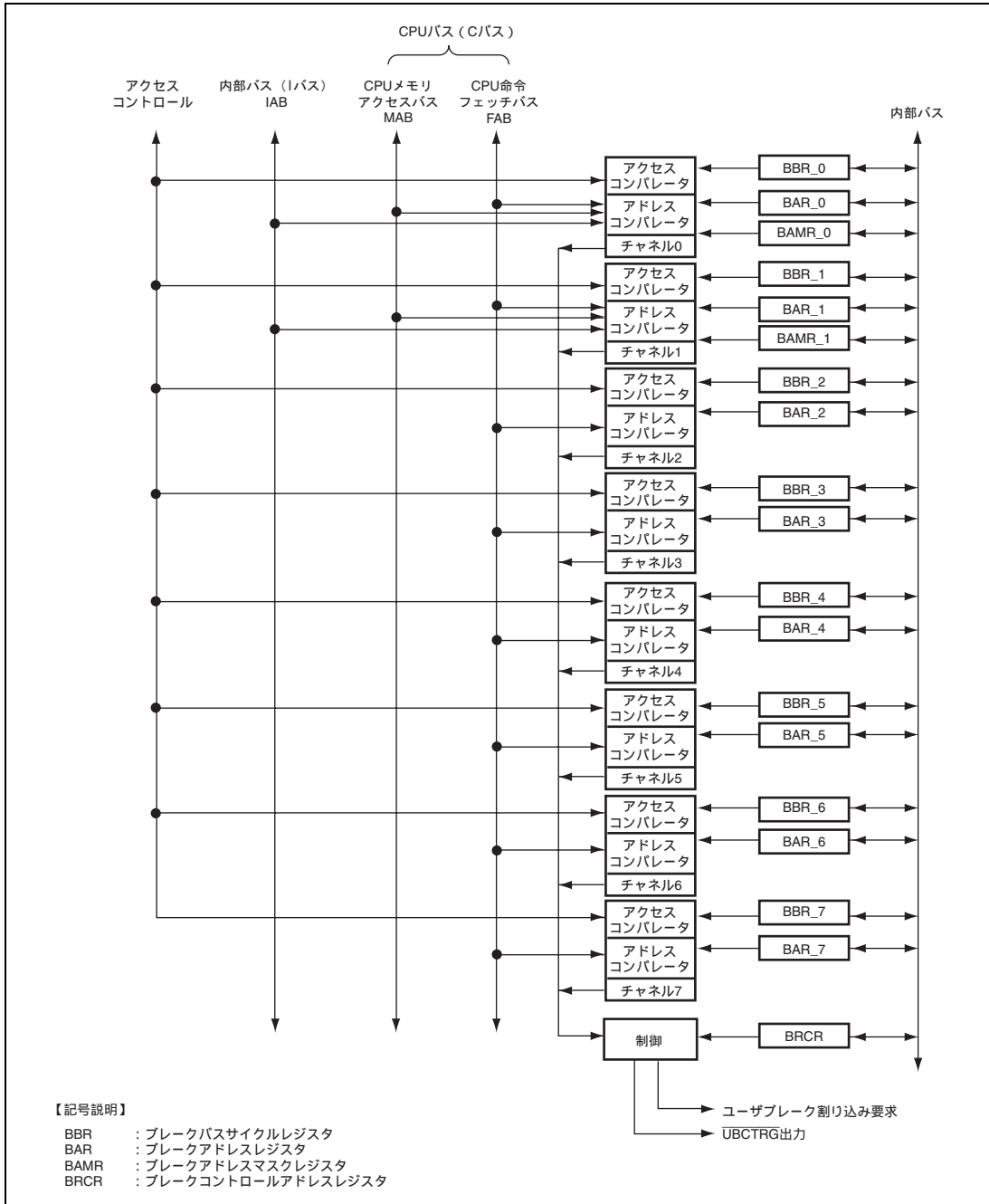


図 8.1 UBC のブロック図

8.2 入出力端子

UBC の端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	端子名	入出力	機能
UBC トリガ	UBCTRIG	出力	UBC のチャンネル 0~7 のいずれかで設定条件が成立したことを示します

8.3 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 8.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	ブレークアドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブレークバスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
1	ブレークアドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブレークバスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04A4	16
2	ブレークアドレスレジスタ_2	BAR_2	R/W	H'00000000	H'FFFC0420	32
	ブレークバスサイクルレジスタ_2	BBR_2	R/W	H'0000	H'FFFC04A8	16
3	ブレークアドレスレジスタ_3	BAR_3	R/W	H'00000000	H'FFFC0430	32
	ブレークバスサイクルレジスタ_3	BBR_3	R/W	H'0000	H'FFFC04AC	16
4	ブレークアドレスレジスタ_4	BAR_4	R/W	H'00000000	H'FFFC0440	32
	ブレークバスサイクルレジスタ_4	BBR_4	R/W	H'0000	H'FFFC04B0	16
5	ブレークアドレスレジスタ_5	BAR_5	R/W	H'00000000	H'FFFC0450	32
	ブレークバスサイクルレジスタ_5	BBR_5	R/W	H'0000	H'FFFC04B4	16
6	ブレークアドレスレジスタ_6	BAR_6	R/W	H'00000000	H'FFFC0460	32
	ブレークバスサイクルレジスタ_6	BBR_6	R/W	H'0000	H'FFFC04B8	16
7	ブレークアドレスレジスタ_7	BAR_7	R/W	H'00000000	H'FFFC0470	32
	ブレークバスサイクルレジスタ_7	BBR_7	R/W	H'0000	H'FFFC04BC	16
共通	ブレークコントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

8.3.1 ブ레이크アドレスレジスタ_0、1 (BAR_0、BAR_1)

BAR_0、BAR_1 は、32 ビットの読み出し / 書き込み可能なレジスタです。BAR_0、BAR_1 は、チャンネル 0、チャンネル 1 のブ레이크条件とするアドレスを指定します。ブ레이크条件の対象とするアドレスバスは 3 種類あり、ブ레이크バスサイクルレジスタ_0、1 (BBR_0、BBR_1) の制御ビットの CD[1:0] と CP[2:0] により選択します。BAR_0、BAR_1 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA31 ~ BA0	すべて 0	R/W	ブ레이크アドレス ブ레이크条件を指定する CPU アドレスバス (FAB または MAB) または内部アドレスバス (IAB) のアドレスを設定します。 BBR により C バスかつ命令フェッチサイクルを選択した場合は、BA31 ~ BA0 に FAB のアドレスを指定します。 BBR により C バスかつデータアクセスサイクルを選択した場合は、BA31 ~ BA0 に MAB のアドレスを指定します。 BBR により I バスを選択した場合は、BA31 ~ BA0 に IAB のアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR の BA0 ビットを 0 にしてください。

8.3.2 ブレークアドレスマスクレジスタ_0、1 (BAMR_0、BAMR_1)

BAMR_0、BAMR_1 は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR_0、BAMR_1 は、BAR_0、BAR_1 で指定するブレークアドレスビットのうち、マスクするビットを指定します。チャンネル 2 ~ チャンネル 7 には本レジスタはありません。BAMR_0、BAMR_1 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 0	BAM31 ~ BAM0	すべて 0	R/W	ブレークアドレスマスク BAR (BA31 ~ BA0) によって指定されるブレークアドレスビットのうち、マスクするビットを指定します。 0 : ブレークアドレスビット BAn は、ブレーク条件に含まれる 1 : ブレークアドレスビット BAn はマスクされ、ブレーク条件に含まれない 【注】 n = 31 ~ 0

8.3.3 ブレークバスサイクルレジスタ_0、1 (BBR_0、BBR_1)

BBR_0、BBR_1 は、チャンネル0~チャンネル1のブレーク条件として(1)ユーザブレイク割り込み要求の禁止/許可、(2)Iバスのバスマスタ、(3)CバスサイクルまたはIバスサイクル、(4)命令フェッチまたはデータアクセス、(5)読み出しまたは書き込み、および(6)オペランドサイズを指定する16ビットの読み出しまたは書き込み可能なレジスタです。BBR_0、BBR_1はパワーオンリセットでH'0000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	-	-	CP[2:0]		CD[1:0]		ID[1:0]		RW[1:0]		SZ[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	UBID	0	R/W	ユーザブレイク割り込みディスエーブル 条件一致時にユーザブレイク割り込み要求の禁止/許可を指定します。 0: ユーザブレイク割り込み要求を許可する 1: ユーザブレイク割り込み要求を禁止する
12、11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	CP[2:0]	000	R/W	Iバスのバスマスタセレクト ブレーク条件のバスサイクルがIバスサイクルの場合のバスマスタを選択します。ただし、バスサイクルがCバスサイクルの場合、本ビットは無効(CPUサイクルのみ)となります。 000: 条件比較を行わない xx1: ブレーク条件は、CPUサイクルを含みます x1x: ブレーク条件は、DMACサイクルを含みます 1xx: ブレーク条件は、DTCサイクルを含みます
7、6	CD[1:0]	00	R/W	Cバスサイクル/Iバスサイクルセレクト ブレーク条件のバスサイクルとしてCバスサイクルまたはIバスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、Cバス(Fバス、Mバス)サイクル 10: ブレーク条件は、Iバスサイクル 11: ブレーク条件は、Cバス(Fバス、Mバス)サイクル

ビット	ビット名	初期値	R/W	説明
5、4	ID[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト</p> <p>ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、命令フェッチサイクル</p> <p>10 : ブレイク条件は、データアクセスサイクル</p> <p>11 : ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW[1:0]	00	R/W	<p>読み出し / 書き込みセレクト</p> <p>ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、読み出しサイクル</p> <p>10 : ブレイク条件は、書き込みサイクル</p> <p>11 : ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ[1:0]	00	R/W	<p>オペランドサイズセレクト</p> <p>ブレイク条件のバスサイクルのオペランドサイズを選択します。</p> <p>00 : ブレイク条件には、オペランドサイズを含まない</p> <p>01 : ブレイク条件は、バイトアクセス</p> <p>10 : ブレイク条件は、ワードアクセス</p> <p>11 : ブレイク条件は、ロングワードアクセス</p>

【記号説明】 x : Don't care

8.3.4 ブレークアドレスレジスタ_2~7 (BAR_2~BAR_7)

BAR_2~BAR_7は、32ビットの読み出し/書き込み可能なレジスタです。BAR_2~BAR_7は、チャンネル2~チャンネル7のブレーク条件とするアドレスを指定します。ブレーク条件はFバス命令フェッチアドレスブレークのみです。BAR_2~BAR_7はパワーオンリセットでH'00000000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA31 ~ BA0	すべて0	R/W	ブレークアドレス ブレーク条件を指定する CPU アドレスバス (FAB) のアドレスを設定します。

【注】 BARのBA0ビットは0にしてください。

8.3.5 ブ레이크バスサイクルレジスタ_2~7 (BBR_2~BBR_7)

BBR_2~BBR_7は、チャンネル2~チャンネル7のブ레이크条件として(1)ユーザブ레이크割り込み要求の禁止/許可、(2)ブ레이크条件の選択を指定する、16ビットの読み出しまたは書き込み可能なレジスタです。BBR_2~BBR_7はパワーオンリセットでH'0000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	-	-	-	-	-	-	CD[1:0]	ID[1:0]	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	UBID	0	R/W	ユーザブ레이크割り込みディスエーブル 条件一致時にユーザブ레이크割り込み要求の禁止/許可を指定します。 0: ユーザブ레이크割り込み要求を許可する 1: ユーザブ레이크割り込み要求を禁止する
12~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7、6	CD[1:0]	00	R/W	Fバスサイクルセレクト ブ레이크条件のバスサイクルとしてFバスサイクルを選択します。 00: 条件比較を行わない 01: ブ레이크条件は、Fバスサイクル 1x: 設定禁止
5、4	ID[1:0]	00	R/W	命令フェッチ ブ레이크条件のバスサイクルとして命令フェッチサイクルを選択します。 00: 条件比較を行わない 01: ブ레이크条件は、命令フェッチサイクル 1x: 設定禁止
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【記号説明】x: Don't care

8.3.6 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. 命令フェッチサイクルによるユーザブレイク割り込み例外処理の実行開始を、命令実行の前に設定するか後に設定するかを指定します。
2. ブレイク条件一致時のUBCTRG出力のパルス幅を設定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件を設定するためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。ビット 25、24 と 15～8 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。BRCR はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SCMFD1	SCMFD0	-	-	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC7	SCMFC6	SCMFC5	SCMFC4	SCMFC3	SCMFC2	SCMFC1	SCMFC0	PCB7	PCB6	PCB5	PCB4	PCB3	PCB2	PCB1	PCB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	SCMFD1	0	R/W	1バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブレイク条件の 1バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 1 に対する 1バスサイクル条件不一致 1: チャンネル 1 に対する 1バスサイクル条件一致
24	SCMFD0	0	R/W	1バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブレイク条件の 1バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 0 に対する 1バスサイクル条件不一致 1: チャンネル 0 に対する 1バスサイクル条件一致
23～18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
17、16	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>条件一致時、\overline{UBCTRG} に出力するパルス幅を設定します。</p> <p>00：予約（設定禁止）</p> <p>01：予約（設定禁止）</p> <p>10：\overline{UBCTRG} のパルス幅をバスサイクル4周期分にする</p> <p>11：\overline{UBCTRG} のパルス幅をバスサイクル8周期分にする</p>
15	SCMFC7	0	R/W	<p>C バスサイクル条件一致フラグ7</p> <p>チャンネル7 にセットしたブレイク条件の C バスサイクル条件を満足すると、このフラグは1 にセットされます。このフラグをクリアするには、このビットに0 を書き込みます。</p> <p>0：チャンネル7 に対する C バスサイクル条件不一致</p> <p>1：チャンネル7 に対する C バスサイクル条件一致</p>
14	SCMFC6	0	R/W	<p>C バスサイクル条件一致フラグ6</p> <p>チャンネル6 にセットしたブレイク条件の C バスサイクル条件を満足すると、このフラグは1 にセットされます。このフラグをクリアするには、このビットに0 を書き込みます。</p> <p>0：チャンネル6 に対する C バスサイクル条件不一致</p> <p>1：チャンネル6 に対する C バスサイクル条件一致</p>
13	SCMFC5	0	R/W	<p>C バスサイクル条件一致フラグ5</p> <p>チャンネル5 にセットしたブレイク条件の C バスサイクル条件を満足すると、このフラグは1 にセットされます。このフラグをクリアするには、このビットに0 を書き込みます。</p> <p>0：チャンネル5 に対する C バスサイクル条件不一致</p> <p>1：チャンネル5 に対する C バスサイクル条件一致</p>
12	SCMFC4	0	R/W	<p>C バスサイクル条件一致フラグ4</p> <p>チャンネル4 にセットしたブレイク条件の C バスサイクル条件を満足すると、このフラグは1 にセットされます。このフラグをクリアするには、このビットに0 を書き込みます。</p> <p>0：チャンネル4 に対する C バスサイクル条件不一致</p> <p>1：チャンネル4 に対する C バスサイクル条件一致</p>
11	SCMFC3	0	R/W	<p>C バスサイクル条件一致フラグ3</p> <p>チャンネル3 にセットしたブレイク条件の C バスサイクル条件を満足すると、このフラグは1 にセットされます。このフラグをクリアするには、このビットに0 を書き込みます。</p> <p>0：チャンネル3 に対する C バスサイクル条件不一致</p> <p>1：チャンネル3 に対する C バスサイクル条件一致</p>

ビット	ビット名	初期値	R/W	説明
10	SCMFC2	0	R/W	C バスサイクル条件一致フラグ 2 チャンネル 2 にセットしたブ레이크条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 2 に対する C バスサイクル条件不一致 1: チャンネル 2 に対する C バスサイクル条件一致
9	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブ레이크条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 1 に対する C バスサイクル条件不一致 1: チャンネル 1 に対する C バスサイクル条件一致
8	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブ레이크条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 0 に対する C バスサイクル条件不一致 1: チャンネル 0 に対する C バスサイクル条件一致
7	PCB7	0	R/W	PC ブ레이크セレクト 7 チャンネル 7 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル 7 の PC ブ레이크を命令実行前に設定 1: チャンネル 7 の PC ブ레이크を命令実行後に設定
6	PCB6	0	R/W	PC ブ레이크セレクト 6 チャンネル 6 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル 6 の PC ブ레이크を命令実行前に設定 1: チャンネル 6 の PC ブ레이크を命令実行後に設定
5	PCB5	0	R/W	PC ブ레이크セレクト 5 チャンネル 5 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル 5 の PC ブ레이크を命令実行前に設定 1: チャンネル 5 の PC ブ레이크を命令実行後に設定
4	PCB4	0	R/W	PC ブ레이크セレクト 4 チャンネル 4 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル 4 の PC ブ레이크を命令実行前に設定 1: チャンネル 4 の PC ブ레이크を命令実行後に設定

ビット	ビット名	初期値	R/W	説明
3	PCB3	0	R/W	PC ブレークセレクト 3 チャンネル 3 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 3 の PC ブレークを命令実行前に設定 1 : チャンネル 3 の PC ブレークを命令実行後に設定
2	PCB2	0	R/W	PC ブレークセレクト 2 チャンネル 2 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 2 の PC ブレークを命令実行前に設定 1 : チャンネル 2 の PC ブレークを命令実行後に設定
1	PCB1	0	R/W	PC ブレークセレクト 1 チャンネル 1 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 1 の PC ブレークを命令実行前に設定 1 : チャンネル 1 の PC ブレークを命令実行後に設定
0	PCB0	0	R/W	PC ブレークセレクト 0 チャンネル 0 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 0 の PC ブレークを命令実行前に設定 1 : チャンネル 0 の PC ブレークを命令実行後に設定

8.4 動作説明

8.4.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスを、ブレイクアドレスレジスタ (BAR) に指定します。マスクするアドレスをブレイクアドレスマスクレジスタ (BAMR) に指定します。バスブレイク条件をブレイクバスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCCRのビットにセットします。すべてのブレイク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレイク条件を満足し、ユーザブレイク割り込み要求を許可する設定の場合、UBCはユーザブレイク要求をINTCに通知するとともに、それぞれのチャネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットし、 $\overline{\text{UBCTRG}}$ 端子にCKS1、CKS0ビットで設定されたパルス幅で出力します。また、BBRのUBIDビットを1にセットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力をモニタすることも可能です。
3. ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられません。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第7章 割り込みコントローラ (INTC)」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。ユーザブレイク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作が行われないと再度割り込みが発生してしまいます。
5. INTCに対するブレイク割り込み要求は1つですが、ブレイクチャネル一致フラグは、条件が一致した場合には複数セットされます。
6. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - Iバスには、CPUとDMACを含む複数のバスマスタが接続されています。UBCはBBRで指定したバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
 - CPUのCバス上での命令フェッチに起因したIバスサイクルをIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
 - DTC、DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
 - Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブレイクを受け付けるかを一意に決定することはできません。

8.4.2 命令フェッチサイクルでのブレーク

1. ブレークバスサイクルレジスタ (BBR) にCバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレーク条件はFABバスの命令フェッチになります。ユーザブレーク割り込み例外処理の実行開始を、命令実行の前にするか後にするかは、該当するチャンネルに対するブレークコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレーク条件として命令フェッチサイクルを設定する場合は、ブレークアドレスレジスタ (BAR) のBA0ビットを0にしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチによるブレークがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレークが生じます。したがって、オーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令ではブレークは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレークが設定されると、分岐先の最初の命令実行前までユーザブレーク割り込み要求は受け付けられません。

【注】 遅延分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレーク条件でブレークが命令実行後に起こるように設定している場合は、ブレーク条件と一致した命令が実行され、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランフェッチ命令ではブレークは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレークが設定されると、分岐先の最初の命令までユーザブレーク割り込み要求は受け付けられません。
4. 命令フェッチサイクルでのブレークにおいてIバスを設定した場合は無効となります。

8.4.3 データアクセスサイクルでのブレーク

1. データアクセスブレークにおいて、ブレーク条件としてCバスを指定した場合は、実行された命令によりアクセスされたアドレスに対して条件比較を行いブレークが発生します。ブレーク条件としてIバスを指定した場合は、Iバスのバスマスタセレクトで指定したバスマスタが発行するデータアクセスサイクルのアドレスに対して条件比較を行いブレークが発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「8.4.1 ユーザブレーク動作の流れ」の6の項を参照してください。
2. 表8.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 8.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレークアドレスレジスタのビット 31 ~ 2 とアドレスバスのビット 31 ~ 2 を比較
ワード	ブレークアドレスレジスタのビット 31 ~ 1 とアドレスバスのビット 31 ~ 1 を比較
バイト	ブレークアドレスレジスタのビット 31 ~ 0 とアドレスバスのビット 31 ~ 0 を比較

これは、たとえばブレークアドレスレジスタ (BAR) にアドレスH'00001003を設定するとき、ブレーク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. データアクセスサイクルを選択している場合は、ブレイクの発生する命令を特定することはできません。

8.4.4 回避されるプログラムカウンタの値

ユーザブレイク割り込み要求受け付け時は、実行を再開すべき命令のアドレスをスタックに回避し、例外処理状態に移行します。ブレイク条件として C バス (FAB) / 命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件として C バス / データアクセスサイクル、または I バス / データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス (FAB) / 命令フェッチを (命令実行前) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに回避されます。

2. Cバス (FAB) / 命令フェッチを (命令実行後) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに回避されます。

3. Cバス / データアクセスサイクルまたは Iバス / データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが回避されます。

8.4.5 使用例

- (1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

- レジスタ指定 :

BAR_0 = H'00000404、BAMR_0 = H'00000000、BBR_0 = H'0054、

BAR_1 = H'00008010、BAMR_1 = H'00000006、BBR_1 = H'0054、BRCCR = H'00000001

<チャンネル0>

アドレス : H'00000404、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010～H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定：

BAR_0 = H'00027128、BAMR_0 = H'00000000、BBR_0 = H'005A、
BAR_1 = H'00031415、BAMR_1 = H'00000000、BBR_1 = H'0054、BRCR = H'00000000

<チャンネル0>

アドレス：H'00027128、アドレスマスク：H'00000000
バスサイクル：Cバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル1>

アドレス：H'00031415、アドレスマスク：H'00000000
バスサイクル：Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定：

BBR_0 = H'0054、BAR_0 = H'00008404、BAMR_0 = H'00000FFF、
BBR_1 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、BRCR = H'00000001

<チャンネル0>

アドレス：H'00008404、アドレスマスク：H'00000FFF
バスサイクル：Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス：H'00008010、アドレスマスク：H'00000006
バスサイクル：Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00008000～H'00008FFEの命令の実行後、またはアドレスH'00008010～H'00008016の命令の実行前に生じます。

(2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

- レジスタ指定：

BBR_0 = H'0064、BAR_0 = H'00123456、BAMR_0 = H'00000000、
BBR_1 = H'006A、BAR_1 = H'000ABCDE、BAMR_1 = H'000000FF、BRCR = H'00000000

<チャンネル0>

アドレス：H'00123456、アドレスマスク：H'00000000

バスサイクル：Cバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF

バスサイクル：Cバス / データアクセス / 書き込み / ワード

チャンネル0では、ユーザブレイクはアドレスH'00123456に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはH'000ABC00～H'000ABCFEにワードを書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

- レジスタ指定：

BBR_0 = H'0094、BAR_0 = H'00314156、BAMR_0 = H'00000000、

BBR_1 = H'02A9、BAR_1 = H'00055555、BAMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス：H'00314156、アドレスマスク：H'00000000

バスサイクル：Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス：H'00055555、アドレスマスク：H'00000000

バスサイクル：Iバス / データアクセス / 書き込み / バイト

チャンネル0では、Iバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクはIバス上でDMACがバイトデータをアドレスH'00055555に書き込むときに生じます (CPUの場合は生じません)。

8.5 割り込み要因

表 8.4 に割り込み要因を示します。

ブレークコントロールレジスタ (BRCR) のコンペアマッチフラグ (SCMFD0、1、SCMFC7~0) のいずれかが 1 にセットされたとき、ユーザブレーク割り込みが発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 8.4 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ	割り込みレベル
ユーザブレーク	ユーザブレーク割り込み	-	SCMFD0、SCMFD1、 SCMFC7 ~ SCMFC0	15に固定

8.6 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブレイク割り込み要求と他の例外が同一命令で発生した場合は、「第6章 例外処理」の表6.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレイク割り込み要求は受け付けられず、保留されます。
4. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。
遅延スロット命令に対して命令実行前ブレイクを設定した場合は、その分岐先の実行前までユーザブレイク割り込み要求は受け付けられません。
5. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレイク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレイクアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレイクを設定しないでください。
8. 32ビット命令にブレイクアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレイクアドレスを設定した場合、ブレイク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブレイクを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレイクを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレイクが発生します。

9. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動され、データ転送を行うことができます。

9.1 特長

- 任意チャンネル数の転送が可能
- チェイン転送 (一つの起動要因に対して複数のデータ転送) が可能
指定された回数 of データ転送後にのみチェイン転送が可能 (カウンタ = 0 のとき)
- 転送モード : 3種類
ノーマル転送モード、リピータ転送モード、ブロック転送モードの選択が可能
転送元、転送先アドレスのインクリメント、デクリメント、固定の選択が可能
- 転送元、転送先アドレスを32ビットで指定でき、4Gバイトのアドレス空間を直接指定可能
- データ転送のデータサイズをバイト、ワード、ロングワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
一回のデータ転送終了後にCPUに対する割り込み要求を発生可能
指定したデータ転送終了後にCPUに対する割り込み要求を発生可能
- 転送情報のリードスキップを指定可能
- 固定を選択した転送元アドレス、転送先アドレスはライトバックスキップを実行
- モジュールストップモードを設定可能
- ショートアドレスモードを設定可能
- バス権開放タイミング3種類から選択可能
- DTC起動時の優先順位を2種類から選択可能

図 9.1 に DTC のブロック図を示します。DTC の転送情報は、データ領域に配置可能です*。

【注】 * 転送情報を内蔵 RAM (高速) に配置する場合、必ず SYSCR1 の RAME0~RAME3 ビットおよび SYSCR2 の RAMWE0~RAMWE3 ビットを 1 にセットしてください。

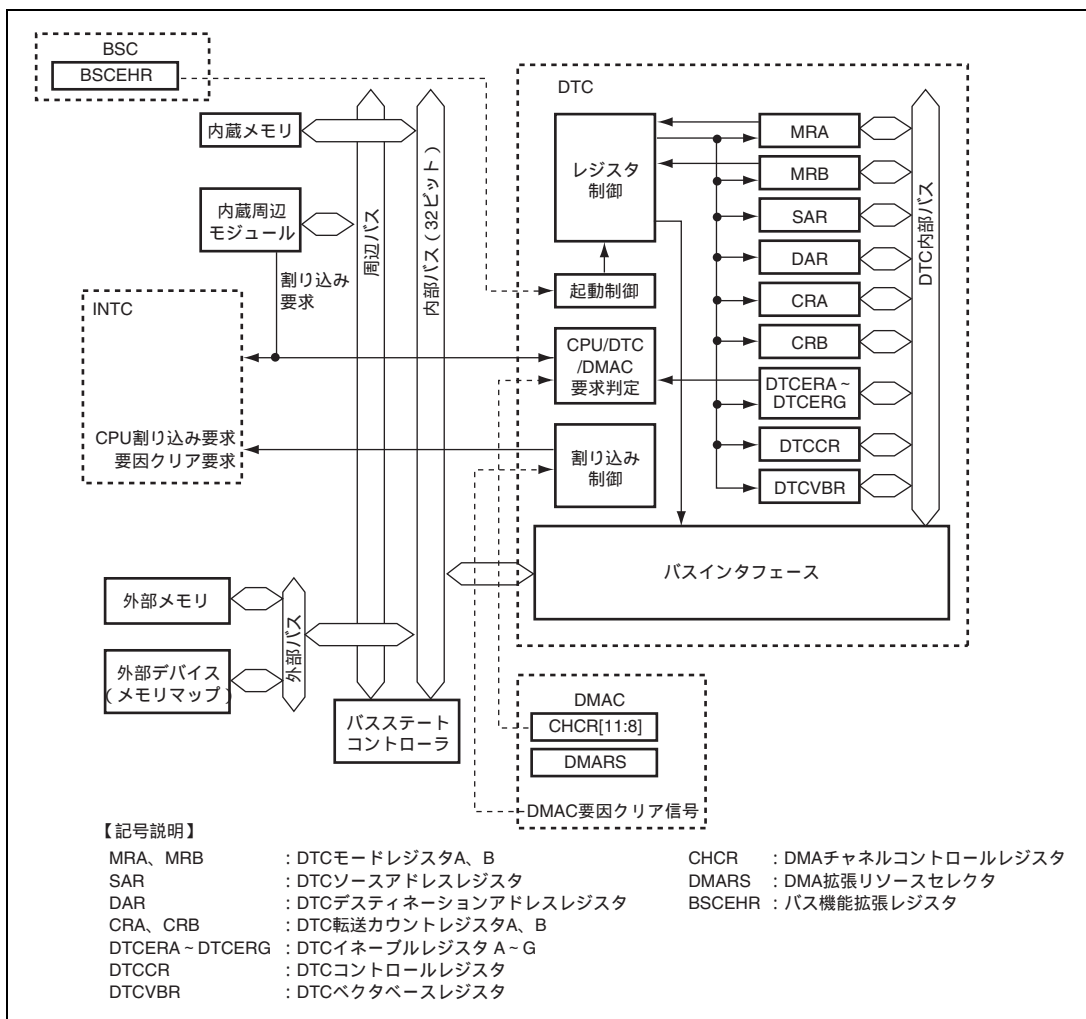


図 9.1 DTC のブロック図

9.2 レジスタの説明

DTC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

MRA、MRB、SAR、DAR、CRA、CRB の 6 本のレジスタは、CPU から直接アクセスすることはできません。データ領域に転送情報として配置します。DTC 起動要因が発生すると、起動要因ごとに決められたベクタアドレスに従って転送情報の先頭アドレスを読み出し、任意の転送情報を DTC 内に転送してデータ転送を行います。データ転送が終了すると、これらのレジスタの内容がライトバックされます。

一方、DTCERA ~ DTCERG、DTCCR、DTCVBR は CPU から直接アクセスできます。

表 9.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
DTC イネーブルレジスタ A	DTCERA	R/W	H'0000	H'FFFE6000	8、16
DTC イネーブルレジスタ B	DTCERB	R/W	H'0000	H'FFFE6002	8、16
DTC イネーブルレジスタ C	DTCERC	R/W	H'0000	H'FFFE6004	8、16
DTC イネーブルレジスタ D	DTCERD	R/W	H'0000	H'FFFE6006	8、16
DTC イネーブルレジスタ E	DTCERE	R/W	H'0000	H'FFFE6008	8、16
DTC イネーブルレジスタ F	DTCERF	R/W	H'0000	H'FFFE600A	8、16
DTC イネーブルレジスタ G	DTCERG	R/W	H'0000	H'FFFE600C	8、16
DTC コントロールレジスタ	DTCCR	R/W	H'00	H'FFFE6010	8
DTC ベクタベースレジスタ	DTCVBR	R/W	H'00000000	H'FFFE6014	8、16、32
バス機能拡張レジスタ	BSCEHR	R/W	H'0000	H'FFFE3C1A	8、16

9.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。MRA は、CPU から直接アクセスすることができません。

ビット:	7	6	5	4	3	2	1	0
	MD[1:0]	Sz[1:0]	SM[1:0]	-	-			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7, 6	MD[1:0]	不定	-	DTC モード 1、0 DTC の転送モードを指定します。 00: ノーマル転送モード 01: リピート転送モード 10: ブロック転送モード 11: 設定禁止
5, 4	Sz[1:0]	不定	-	DTC データトランスファサイズ 1、0 転送データのサイズを指定します。 00: バイトサイズ転送 01: ワードサイズ転送 10: ロングワードサイズ転送 11: 設定禁止
3, 2	SM[1:0]	不定	-	ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0x: SAR は固定 (SAR のライトバックはスキップされます。) 10: 転送後 SAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11: 転送後 SAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1, 0	-	不定	-	リザーブビット 書き込む値は常に 0 にしてください。

【注】 x: Don't care

9.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC の動作モードの選択を行います。MRB は、CPU から直接アクセスできません。

ビット:	7	6	5	4	3	2	1	0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	-	DTC チェイン転送イネーブル チェイン転送を指定します。チェイン転送の詳細は「9.5.6 チェイン転送」を参照してください。チェイン転送の条件の選択は CHNS ビットで行います。 0: チェイン転送禁止 1: チェイン転送許可
6	CHNS	不定	-	DTC チェイン転送セレクト チェイン転送の条件を選択します。次の転送がチェイン転送の場合、指定した転送回数の終了判定、起動要因フラグまたは DTCER のクリアは行いません。 0: 連続してチェイン転送を行う 1: 転送カウンタ=0 のときのみチェイン転送を行う
5	DISEL	不定	-	DTC インタラプトセレクト このビットが 1 のとき、1 回のデータ転送もしくは 1 回のブロックデータ転送のたびに CPU に対して割り込み要求を発生します。このビットが 0 のときは指定された回数のデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。 【注】IIC3 を起動要因とするときには 0 を設定してください。
4	DTS	不定	-	DTC 転送モードセレクト リピート転送モードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。 0: デスティネーション側がリピート領域またはブロック領域 1: ソース側がリピート領域またはブロック領域
3, 2	DM[1:0]	不定	-	デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0x: DAR は固定 (DAR のライトバックはスキップされます。) 10: 転送後 DAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11: 転送後 DAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1, 0	-	不定	-	リザーブビット 書き込む値は常に 0 にしてください。

【注】 x: Don't care

9.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。

SAR は、CPU から直接アクセスすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

9.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。

DAR は、CPU から直接アクセスすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

9.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256 バイト、1~256 ワード、または 1~256 ロングワード) として機能します。CRAL は 1 回のデータ転送を行うたびに 1 バイト (または 1 ワード、1 ロングワード) ごとにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード、1 ロングワード)、H'FF のときは 255 バイト (または 255 ワード、255 ロングワード) で、H'00 のときは 256 バイト (または 256 ワード、256 ロングワード) になります。

CRA は、CPU から直接アクセスすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

9.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送回数カウンタ (1~65536) として機能し、1 回のブロックデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

9.2.7 DTC イネーブルレジスタ A~G (DTCERA~DTCERG)

DTCEA は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERG があります。各割り込み要因と DTCE ビットの対応については表 9.2 を参照してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DTCE15	0	R/W	DTC 起動イネーブル 15~0
14	DTCE14	0	R/W	1 をセットすると、対応する割り込み要因が DTC 起動要因として選択されます。 [クリア条件] • クリアするビットの 1 の状態をリードした後、0 をライトしたとき • MRB の DIESEL ビットが 1 で、1 回のデータ転送を終了したとき • 指定した回数の転送が終了したとき DIESEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。 [セット条件] • セットするビットの 0 を読み出してから 1 を書き込み
13	DTCE13	0	R/W	
12	DTCE12	0	R/W	
11	DTCE11	0	R/W	
10	DTCE10	0	R/W	
9	DTCE9	0	R/W	
8	DTCE8	0	R/W	
7	DTCE7	0	R/W	
6	DTCE6	0	R/W	
5	DTCE5	0	R/W	
4	DTCE4	0	R/W	
3	DTCE3	0	R/W	
2	DTCE2	0	R/W	
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

9.2.8 DTC コントロールレジスタ (DTCCR)

DTCCR は、転送情報リードスキップを設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	RRS	RCHNE	-	-	ERR
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RRS	0	R/W	DTC 転送情報リードスキップイネーブル ベクタアドレスのリードと転送情報のリードを制御します。DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。ベクタ番号の値が一致し、このビットが1のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を実施します。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。 ただし、バス機能拡張レジスタ (BSCEHR) の DTPR ビットを1に設定した場合は、本ビットの設定に関わらず転送情報リードスキップを行いません。 0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき転送情報リードスキップを行う
3	RCHNE	0	R/W	DTC リピート転送後チェーン転送イネーブル リピート転送において、転送カウンタ=0でのチェーン転送を許可/禁止します。リピート転送では、転送カウンタ (CRAL) =0となった場合、CRAL は CRAH で指定した値に書き戻されるため、転送カウンタ=0でのチェーン転送は発生しません。このビットを1にセットすることで、転送カウンタの書き戻し時のチェーン転送が許可されます。 0: リピート転送後のチェーン転送を禁止 1: リピート転送後のチェーン転送を許可
2, 1	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
0	ERR	0	R/(W) *	<p>転送停止フラグ</p> <p>DTC アドレスエラーまたは NMI 割り込み要求が発生したことを示すフラグです。DTC 起動中に DTC アドレスエラーまたは NMI 割り込み要求が発生すると、DTC のバス権解放時にバス権を解放後、DTC アドレスエラーまたは NMI 割り込み処理が実行されます。DTC は、データ転送後または転送情報ライト後に停止します。なお、ERR=1 の状態では DTC は起動されません。また、DTC 起動中に ERR=1 となって DTC が停止した後、ERR フラグをクリアして再度 DTC を起動する場合は、転送情報を再設定してください。</p> <p>0 : DTC アドレスエラーおよび NMI 割り込み要求が発生していない 1 : DTC アドレスエラーまたは NMI 割り込み要求が発生</p> <p>[クリア条件]</p> <p>• 1 の状態をリードした後、0 をライトしたとき</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

9.2.9 DTC ベクタベースレジスタ (DTCVBR)

DTCVBR は 32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~12		すべて 0	R/W	ビット 11~0 は読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	-	すべて 0	R	

9.2.10 バス機能拡張レジスタ (BSCEHR)

BSCEHR は 16 ビットのレジスタで、DTC のバス権解放のタイミングなどを設定します。DTC による転送動作を優先的に行ったり、DTC 起動サイクル数を減少させるときに有効な機能を設定できます。詳細については「10.4.8 バス機能拡張レジスタ (BSCEHR)」を参照してください。

9.3 起動要因

DTC は、割り込み要求により起動します。起動する割り込み要因は、DTCER で選択します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると CPU の割り込み要因となります。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。

9.4 転送情報の配置と DTC ベクタテーブル

転送情報は、データ領域上に配置します。転送情報の先頭アドレスは、4n 番地としてください。4n 番地以外を指定した場合、下位 2 ビットを無視してアクセスします ([1:0]=B'00)。データ領域上での転送情報の配置を図 9.2 に示します。すべての DTC 転送の転送元 / 転送先が内蔵 RAM (高速 / 保持用) と内蔵周辺モジュールである場合に限り、「10.4.8 バス機能拡張レジスタ (BSCEHR)」の DTSA ビットを 1 にセットすることでショートアドレスモードを選択することができます。

通常、転送情報リードに 4 ロングワード必要ですが、ショートアドレスモードを選択することで転送情報リードを 3 ロングワードに省略でき、DTC 起動時間を短縮することができます。

DTC は、起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報をリードします。DTC ベクタテーブルと転送情報の対応を図 9.3 に示します。

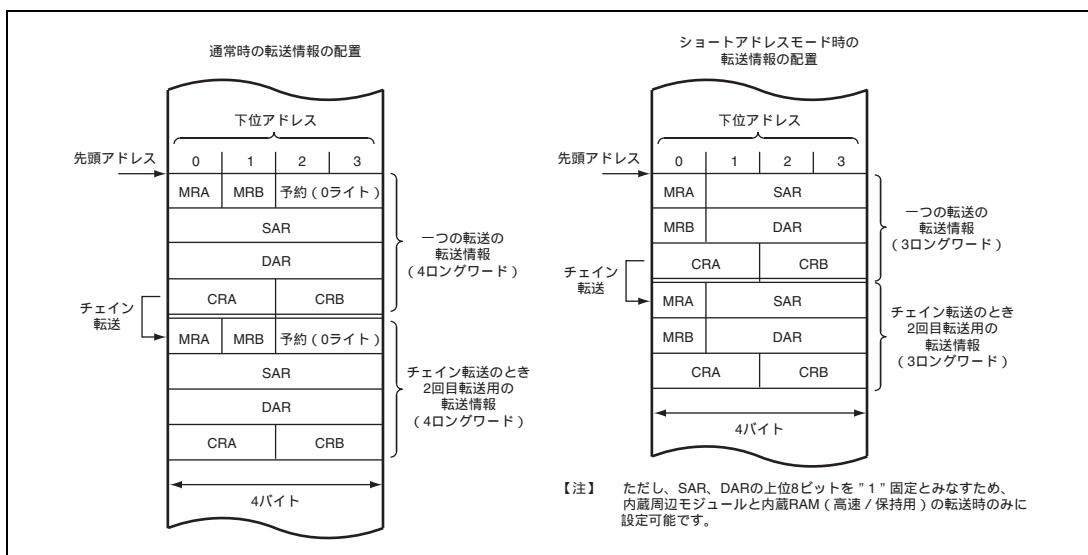


図 9.2 データ領域上での転送情報の配置

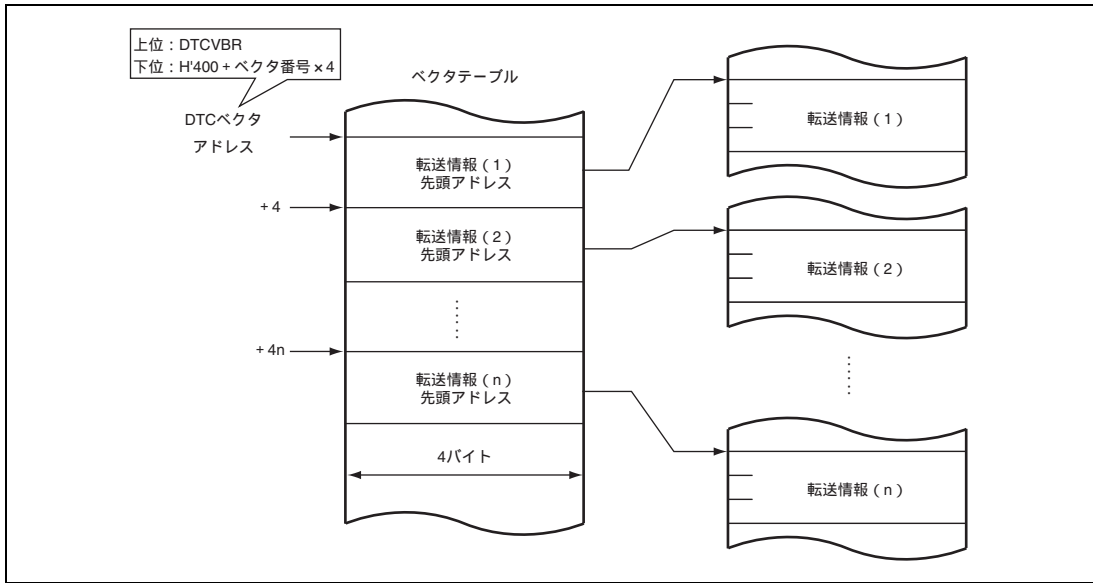


図 9.3 DTC ベクタテーブルと転送情報の対応

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス オフセット	DTCE	転送元	転送先	優先 順位
SCIF6	RXI6	134	H'00000618	DTCERG11	SCFRDR_6	任意* ²	高 ↑
	TXI6	135	H'0000061C	DTCERG10	任意* ²	SCFTDR_6	
SCIF7	RXI7	138	H'00000628	DTCERG9	SCFRDR_7	任意* ²	
	TXI7	139	H'0000062C	DTCERG8	任意* ²	SCFTDR_7	
CMT	CMI0	140	H'00000630	DTCERA3	任意* ²	任意* ²	
	CMI1	141	H'00000634	DTCERA2	任意* ²	任意* ²	
CMT2	CM2I	142	H'00000638	DTCERE4	任意* ²	任意* ²	
	IC0I	143	H'0000063C	DTCERE3	任意* ²	任意* ²	
	IC1I	144	H'00000640	DTCERE2	任意* ²	任意* ²	
	OC0I	145	H'00000644	DTCERE1	任意* ²	任意* ²	
	OC1I	146	H'00000648	DTCERE0	任意* ²	任意* ²	
RSPi0	SPRXI_0	150	H'00000658	DTCERG2	SPRX	任意* ²	
	SPTXI_0	151	H'0000065C	DTCERG1	任意* ²	SPTX	
MTU2_0	TGIA_0	156	H'00000670	DTCERB15	任意* ²	任意* ²	
	TGIB_0	157	H'00000674	DTCERB14	任意* ²	任意* ²	
	TGIC_0	158	H'00000678	DTCERB13	任意* ²	任意* ²	
	TGID_0	159	H'0000067C	DTCERB12	任意* ²	任意* ²	
MTU2_1	TGIA_1	164	H'00000690	DTCERB11	任意* ²	任意* ²	
	TGIB_1	165	H'00000694	DTCERB10	任意* ²	任意* ²	
MTU2_2	TGIA_2	172	H'000006B0	DTCERB9	任意* ²	任意* ²	
	TGIB_2	173	H'000006B4	DTCERB8	任意* ²	任意* ²	
MTU2_3	TGIA_3	180	H'000006D0	DTCERB7	任意* ²	任意* ²	
	TGIB_3	181	H'000006D4	DTCERB6	任意* ²	任意* ²	
	TGIC_3	182	H'000006D8	DTCERB5	任意* ²	任意* ²	
	TGID_3	183	H'000006DC	DTCERB4	任意* ²	任意* ²	
MTU2_4	TGIA_4	188	H'000006F0	DTCERB3	任意* ²	任意* ²	
	TGIB_4	189	H'000006F4	DTCERB2	任意* ²	任意* ²	
	TGIC_4	190	H'000006F8	DTCERB1	任意* ²	任意* ²	
	TGID_4	191	H'000006FC	DTCERB0	任意* ²	任意* ²	
	TCIV_4	192	H'00000700	DTCERC15	任意* ²	任意* ²	
MTU2_5	TGIU_5	196	H'00000710	DTCERC14	任意* ²	任意* ²	
	TGIV_5	197	H'00000714	DTCERC13	任意* ²	任意* ²	
	TGIW_5	198	H'00000718	DTCERC12	任意* ²	任意* ²	
							低 ↓

9.5 動作説明

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。転送情報をデータ領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。DTC が起動すると、データ領域から転送情報をリードしてデータ転送を行い、データ転送後の転送情報をライトバックします。

DTC は、転送元アドレスを SAR、転送先アドレスを DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定されます。

DTC の転送モードを表 9.3 に示します。

表 9.3 DTC の転送モード

転送モード	1 回の転送要求で 転送可能なデータサイズ	メモリアドレスの増減	転送回数
ノーマル転送モード	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1 ~ 65536 回
リピート転送モード* ¹	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1 ~ 256 回* ³
ブロック転送モード* ²	CRAH で指定したブロックサイズ (1 ~ 256 バイト/ワード/ロング ワード)	1、2 または 4 増減・固定	1 ~ 65536 回* ⁴

【注】 *1 ソースまたはデスティネーションのいずれかをリピートエリアに設定

*2 ソースまたはデスティネーションのいずれかをブロックエリアに設定

*3 指定回数転送後、初期状態を回復して動作を継続

*4 1 回は 1 ブロックサイズを示します

また、MRB の CHNE ビットを 1 にセットしておくことにより、一つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB の CHNS ビットの設定で、転送カウンタ = 0 のときにチェーン転送を行う設定も可能です。

DTC の動作フローチャートを図 9.4 に示します。DTC 転送の条件 (チェーン転送を含む) を表 9.4 に示します (第 2 の転送から第 3 の転送を行う組み合わせは省略してあります)。

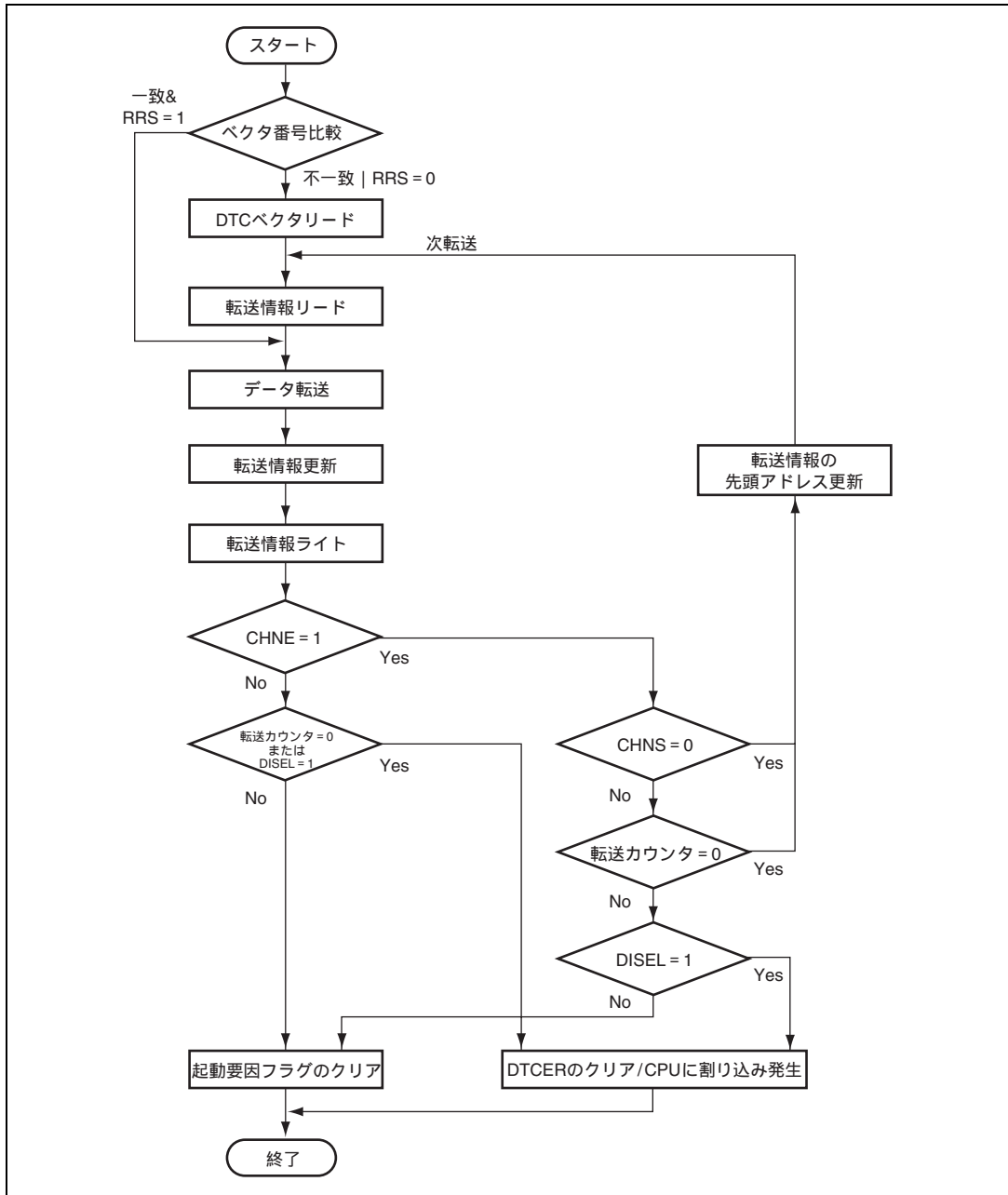


図 9.4 DTC 動作フローチャート

表 9.4 DTC 転送の条件 (チェーン転送を含む)

転送 モード	第 1 回転送					第 2 回転送					DTC 転送	
	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1		
ノーマル	0	-	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了	
	0	-	-	0	0	-	-	-	-	-	第 1 回転送で終了	
	0	-	-	1	-	-	-	-	-	-	CPU へ割り込み要求	
	1	0	-	-	-	0	-	-	0	0 以外	第 2 回転送で終了	
						0	-	-	0	0	第 2 回転送で終了	
						0	-	-	1	-	CPU へ割り込み要求	
	1	1	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了	
	1	1	-	1	0 以外	-	-	-	-	-	-	第 1 回転送で終了
						-	-	-	-	-	CPU へ割り込み要求	
						0	-	-	0	0 以外	第 2 回転送で終了	
1	1	-	-	0	0	-	-	0	0	第 2 回転送で終了		
					0	-	-	0	0	第 2 回転送で終了		
					0	-	-	1	-	CPU へ割り込み要求		
リピート	0	-	-	0	-	-	-	-	-	-	第 1 回転送で終了	
	0	-	-	1	-	-	-	-	-	-	第 1 回転送で終了	
	1	0	-	-	-	0	-	-	0	-	第 2 回転送で終了	
						0	-	-	1	-	第 2 回転送で終了	
	1	1	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了	
						-	-	-	-	-	CPU へ割り込み要求	
	1	1	0	0	0*2	-	-	-	-	-	第 1 回転送で終了	
						-	-	-	-	-	第 1 回転送で終了	
	1	1	0	1	0*2	-	-	-	-	-	第 1 回転送で終了	
						-	-	-	-	-	CPU へ割り込み要求	
1	1	1	-	0*2	0	-	-	0	-	第 2 回転送で終了		
					0	-	-	1	-	第 2 回転送で終了		
											CPU へ割り込み要求	

転送 モード	第 1 回転送					第 2 回転送					DTC 転送
	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	
ブロック	0	-	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了
	0	-	-	0	0	-	-	-	-	-	第 1 回転送で終了
	0	-	-	1	-	-	-	-	-	-	CPU へ割り込み要求
	1	0	-	-	-	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
						0	-	-	1	-	CPU へ割り込み要求
	1	1	-	0	-	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0 以外	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
0						-	-	1	-	CPU へ割り込み要求	

【注】 *1 ノーマル転送モード：CRA、リピート転送モード：CRAL、ブロック転送モード：CRB

*2 CRAL の内容が CRAH の内容に書き換わることを示します。

9.5.1 転送情報リードスキップ機能

DTCCR の RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。DTC ベクタ番号は、常に前回起動のベクタ番号と比較します。比較結果が一致し、RRS = 1 のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェイン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。転送情報リードスキップのタイミングチャートを図 9.5 に示します。

ベクタテーブルと転送情報を更新する場合には、一度 RRS=0 に設定し、ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS=0 にすると、保持されていたベクタ番号は破棄され、次の起動時に更新されたベクタテーブルおよび転送情報がリードされます。

ただし、バス拡張機能レジスタ (BSCEHR) の DTPR ビットが 1 の場合は、本機能は常に無効となります。

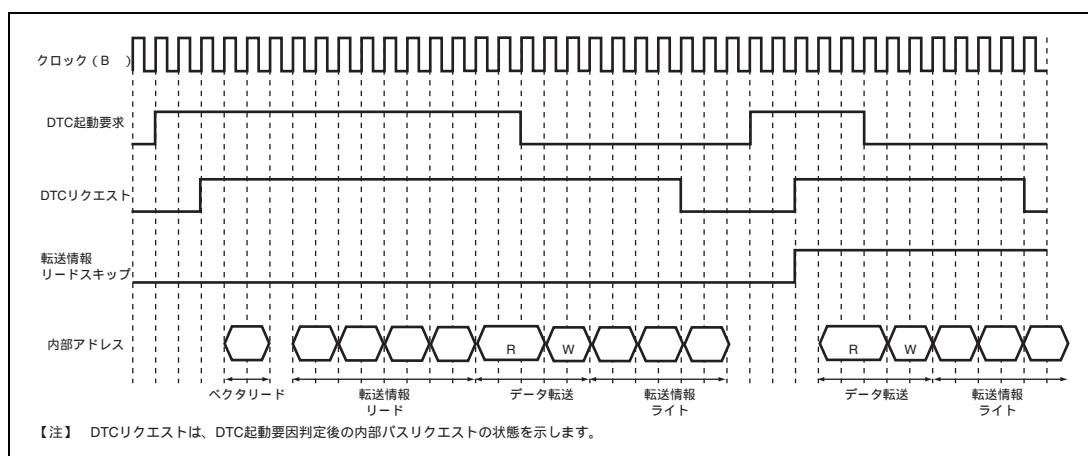


図 9.5 転送情報リードスキップのタイミングチャート

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM (高速) へのデータ転送、転送情報ライトが 3 ステートの場合)

9.5.2 転送情報ライトバックスキップ機能

MRA の SM1 ビットと MRB の DM1 ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。転送情報ライトバックスキップの条件とライトバックスキップされるレジスタを表 9.5 に示します。CRA、CRB は、必ずライトバックされます。また、MRA、MRB は必ずライトバックスキップされます。

表 9.5 転送情報ライトバックスキップの条件とライトバックスキップされるレジスタ

SM1	DM1	SAR	DAR
0	0	スキップ	スキップ
0	1	スキップ	ライトバック
1	0	ライトバック	スキップ
1	1	ライトバック	ライトバック

9.5.3 ノーマル転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードのデータ転送を行います。転送回数は1~65536です。転送元アドレスと転送先アドレスは、増加、減少または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

ノーマル転送モードのレジスタ機能を表9.6に、ノーマル転送モードのメモリマップを図9.6に示します。

表 9.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	増加 / 減少 / 固定*
DAR	転送先アドレス	増加 / 減少 / 固定*
CRA	転送カウント A	CRA-1
CRB	転送カウント B	更新されません

【注】 * 転送情報のライトバックはスキップされます。

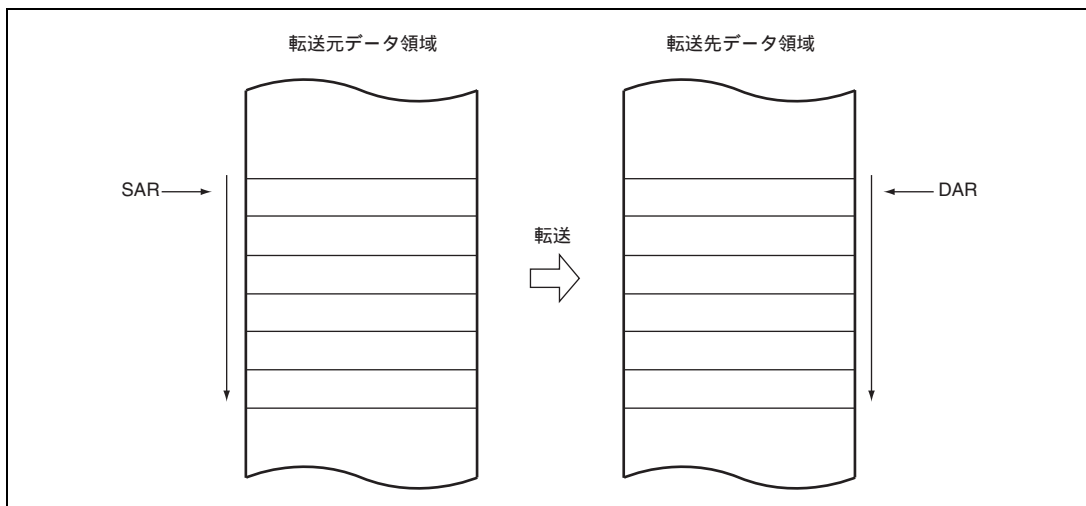


図 9.6 ノーマル転送モードのメモリマップ

9.5.4 リピート転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードのデータ転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。リピート転送モードでは、転送カウンタ (CRAL) が H'00 になると CRAL は CRAH で設定した値に更新されます。このため、転送カウンタは H'00 にならないので、DISEL = 0 のときに、CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 9.7 に、リピート転送モードのメモリマップを図 9.7 に示します。

表 9.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	増加 / 減少 / 固定*	(DTS = 0) 増加 / 減少 / 固定* (DTS = 1) SAR の初期値
DAR	転送先アドレス	増加 / 減少 / 固定*	(DTS = 0) DAR の初期値 (DTS = 1) 増加 / 減少 / 固定*
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL-1	CRAH
CRB	転送カウンタ B	更新されません	更新されません

【注】 * 転送情報のライトバックはスキップされます。

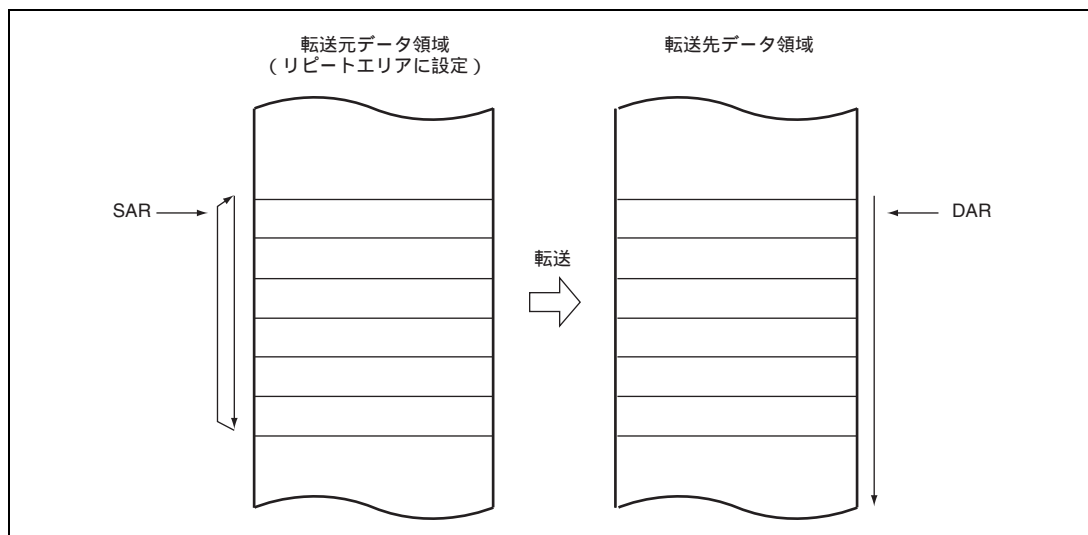


図 9.7 リピート転送モードのメモリマップ (転送元をリピートエリアに指定した場合)

9.5.5 ブロック転送モード

一つの起動要因で、1ブロックのブロックデータ転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256バイト(または1~256ワード、1~256ロングワード)です。1ブロックのブロックデータ転送が終了すると、ブロックサイズカウンタ(CRAL)とブロックエリアに指定したアドレスレジスタ(DTS=1のときSAR、DTS=0のときDAR)の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表9.8に、ブロック転送モードのメモリマップを図9.8に示します。

表 9.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	(DTS=0) 増加/減少/固定* (DTS=1) SARの初期値
DAR	転送先アドレス	(DTS=0) DARの初期値 (DTS=1) 増加/減少/固定*
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

【注】 * 転送情報のライトバックはスキップされます。

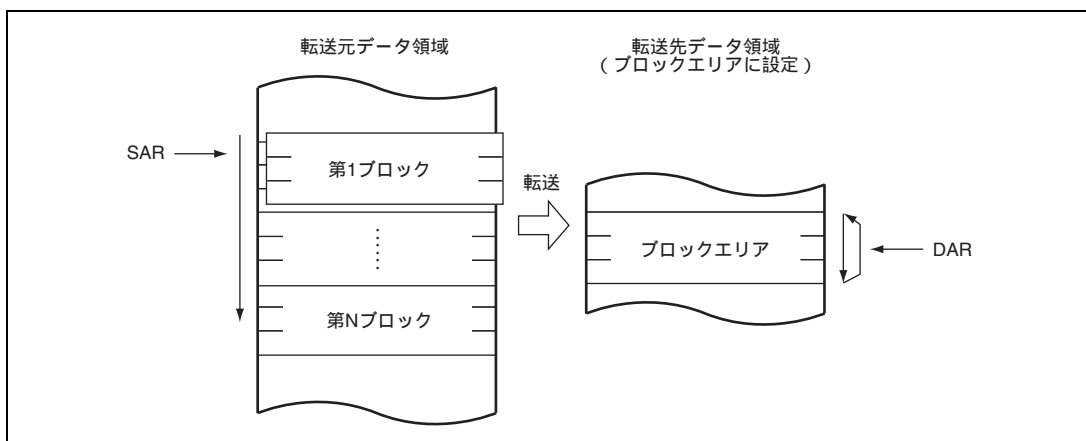


図 9.8 ブロック転送モードのメモリマップ (転送先をブロックエリアに指定した場合)

9.5.6 チェイン転送

MRB の CHNE ビットを 1 にセットすると、一つの起動要因で複数のデータ転送を連続して行うことができます。また、MRB の CHNE ビット、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ = 0 のときのみチェーン転送を行います。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB はそれぞれ独立に設定できます。チェーン転送の動作を図 9.9 に示します。

CHNE = 1 に設定したデータ転送では、指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は、起動要因となった割り込み要因フラグおよび DTCER に影響を与えません。

リピート転送モードでは、DTCCR の RCHNE ビット、MRB の CHNE、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ = 1 の転送後にチェーン転送を行うことができます。

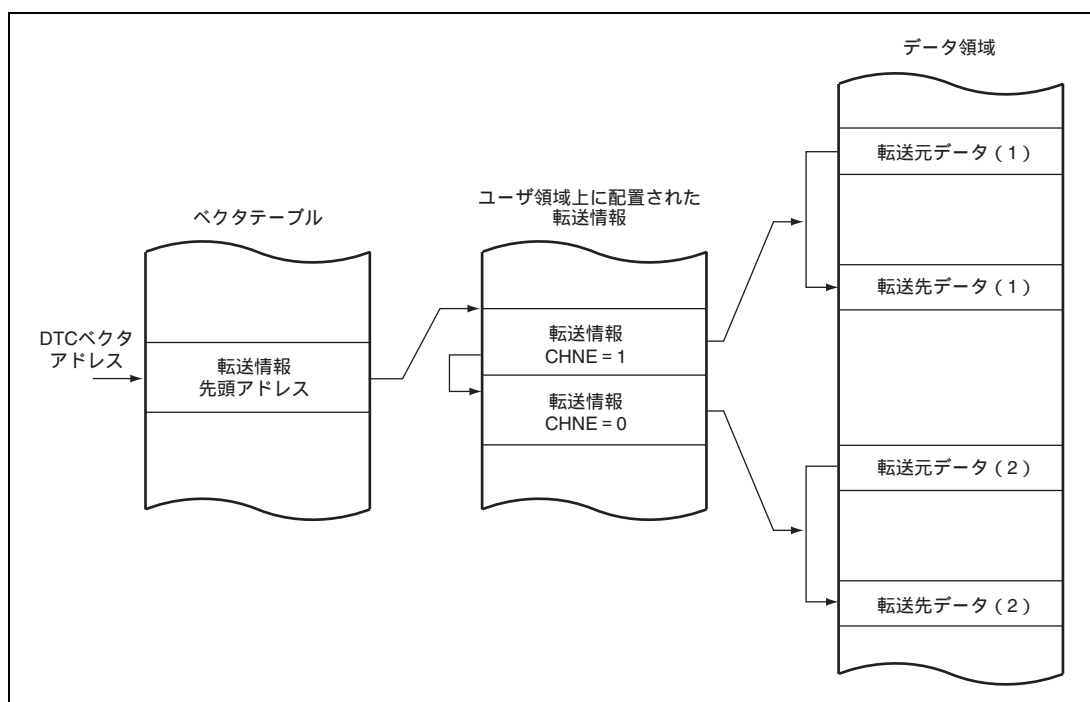


図 9.9 チェイン転送の動作

9.5.7 動作タイミング

DTC の動作タイミングを図 9.10 ~ 図 9.15 に示します。

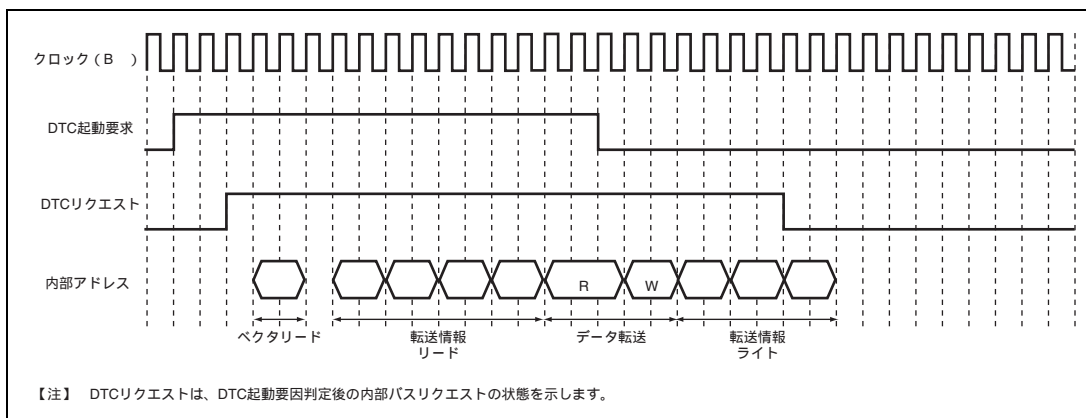


図 9.10 DTC の動作タイミング例【ノーマル転送、リピート転送】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM (高速) へのデータ転送、転送情報ライトが 3 ステートの場合)

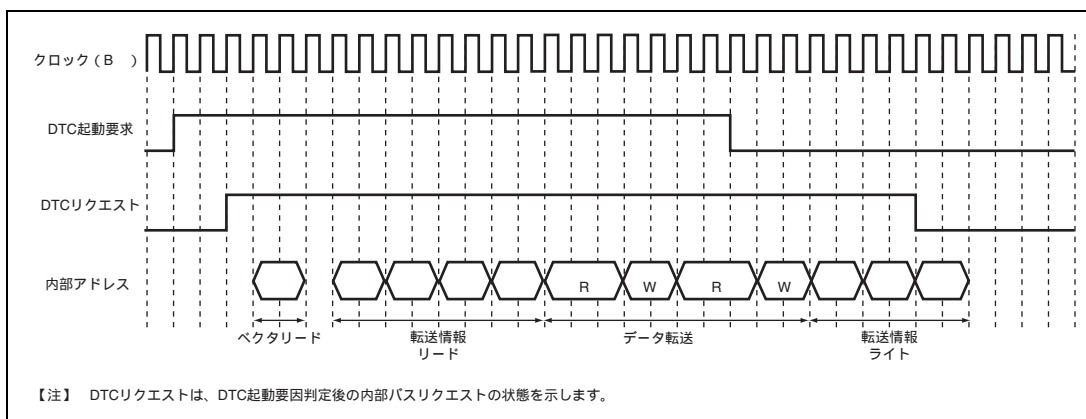
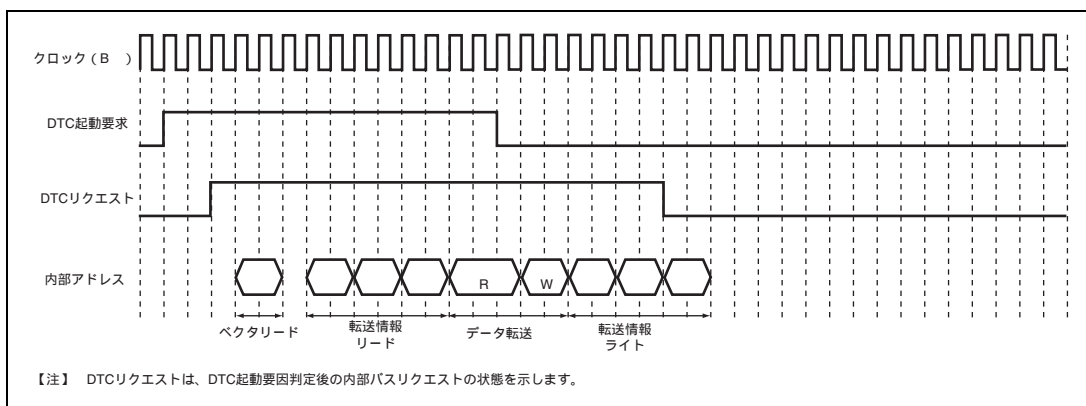
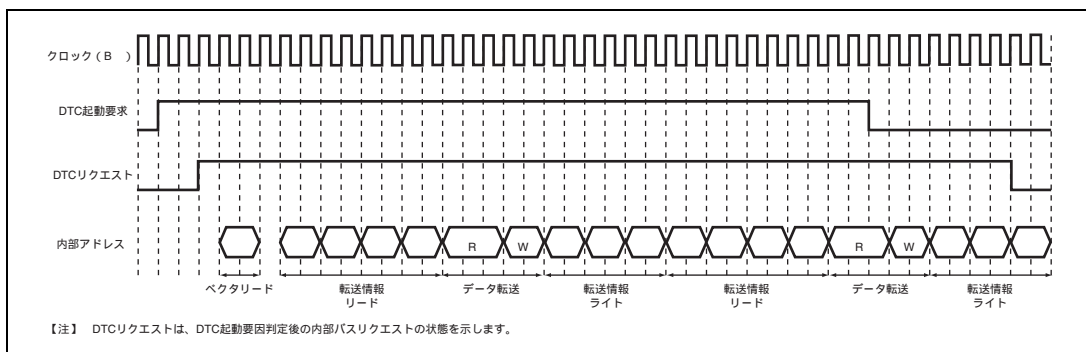


図 9.11 DTC の動作タイミング例【ブロック転送、ブロックサイズ=2】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM (高速) へのデータ転送、転送情報ライトが 3 ステートの場合)



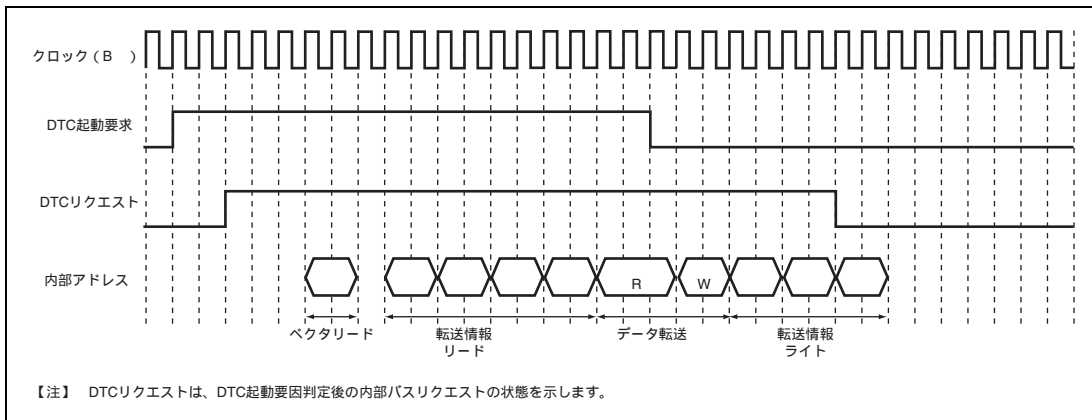


図 9.14 DTC の動作タイミング例【ノーマル転送、リピート転送、DTPR = 1】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM (高速) へのデータ転送、転送情報ライトが 3 ステートの場合)

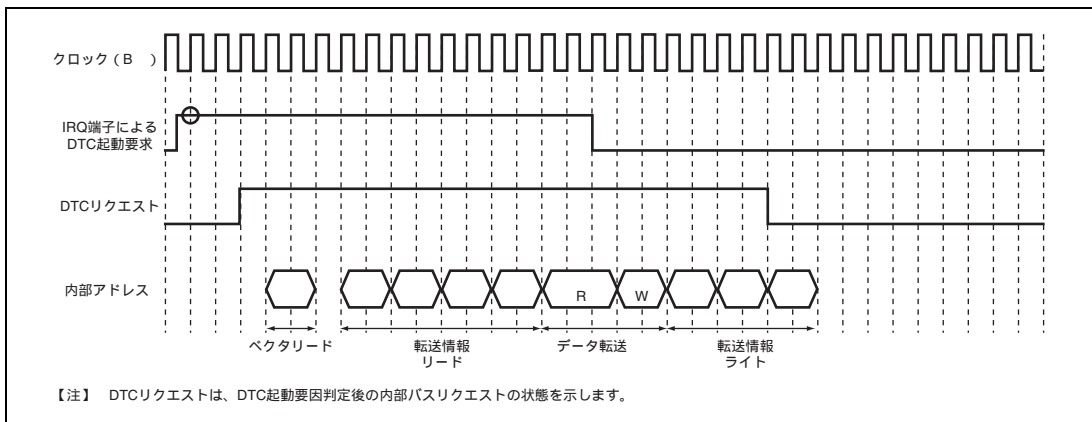


図 9.15 DTC の動作タイミング例【ノーマル転送、リピート転送】

(IRQ からの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM (高速) へのデータ転送、転送情報ライトが 3 ステートの場合)

9.5.8 DTC の実行ステート

DTC の 1 回のデータ転送に要する実行ステート数を表 9.9 に示します。各ステートにおけるアクセスサイクル数については、「第 10 章 バスステートコントローラ (BSC)」を参照してください。

表 9.9 1 回のデータ転送に要する実行ステート数

モード	ベクタリード I		転送情報リード J			転送情報ライト K			データリード L	データライト M	内部動作 N	
ノーマル	1	0* ¹	4	3* ⁴	0* ¹	3	2* ²	1* ³	1	1	1	0* ¹
リピート	1	0* ¹	4	3* ⁴	0* ¹	3	2* ²	1* ³	1	1	1	0* ¹
ブロック	1	0* ¹	4	3* ⁴	0* ¹	3	2* ²	1* ³	1・P	1・P	1	0* ¹

- 【注】 *1 転送情報リードスキップのとき
 *2 SAR もしくは DAR が固定モードのとき
 *3 SAR と DAR が固定モードのとき
 *4 ショートアドレスモードのとき
 P: ブロックサイズ (CRAH、CRAL の初期設定)

9.5.9 DTC のバス権解放タイミング

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、転送情報のリード後、1 回のデータ転送後、転送情報ライトバック後です。転送情報リード中、1 回のデータ転送中、転送情報ライトバック中にはバスを解放しません。

バス機能拡張レジスタ (BSCEHR) でバス権解放タイミングの設定が可能です。詳細については、「10.4.8 バス機能拡張レジスタ (BSCEHR)」を参照してください。設定によるバス権解放タイミングの違いを表 9.10 に示します。ただし、設定 1 ~ 設定 3 以外の設定および DTC 起動中の設定変更は行わないでください。

タイミングチャートを図 9.16 に示します。

表 9.10 DTC のバス権解放タイミング

設定	バス機能拡張レジスタ (BSCEHR) 設定		バス権解放タイミング (: バス権を解放する、x : バス権を解放しない)				
	DTLOCK	DTBST	ベクタ リード後	転送情報 リード後	1 回の 転送後	転送情報ライト後	
						通常時	連続転送時
設定 1	0	0	x	x	x		
設定 2*	0	1	x	x	x		x
設定 3	1	0					

- 【注】 * 設定 2 では、以下の制限があります。
- 周波数制限レジスタ (FROCR) によるクロック設定は、I : B : P = 8 : 4 : 4、4 : 2 : 2、2 : 1 : 1、4 : 4 : 4、2 : 2 : 2、または 1 : 1 : 1 にしてください。
 - ベクタ情報は、内蔵 ROM または内蔵 RAM (高速) にしてください。
 - 転送情報は内蔵 RAM (高速) に配置してください。
 - 転送元および転送先は、内蔵 RAM (高速 / 保持用) と内蔵周辺モジュール間または外部メモリと内部周辺モジュール間とってください。

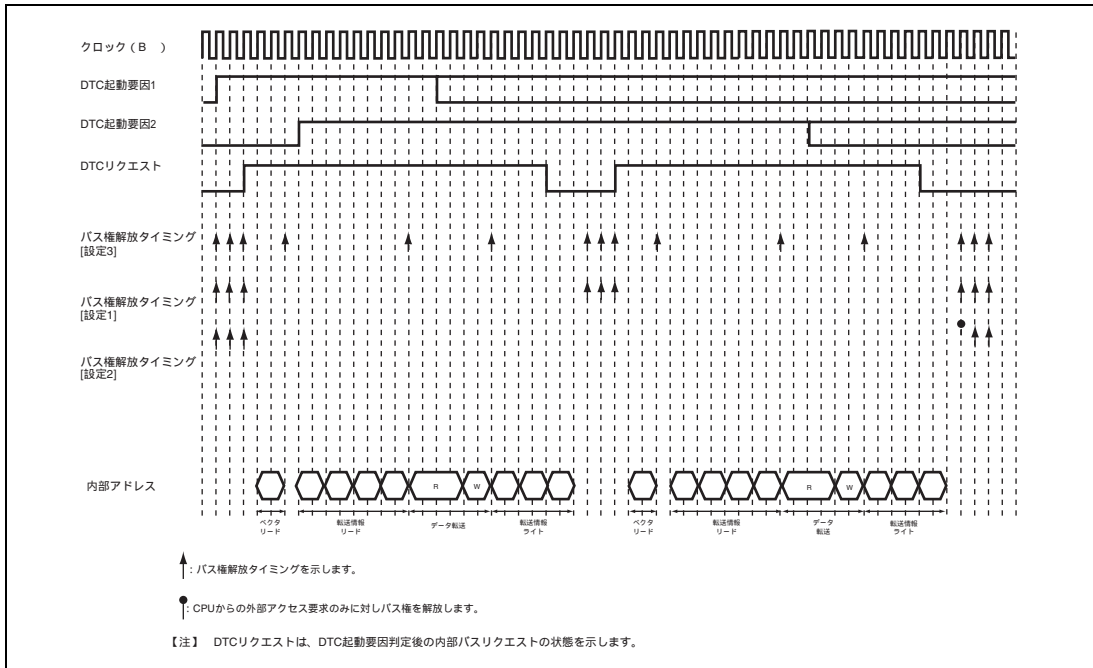


図 9.16 DTC の動作タイミング例【ノーマル転送 2 要因の競合の場合】

(内蔵周辺モジュールから起動、I : B : P = 1 : 1/2 : 1/2、

内蔵周辺モジュールから内蔵 RAM (高速) へのデータ転送、転送情報ライトが 3 ステートの場合)

9.5.10 DTC 起動の優先順位

バス機能拡張レジスタ (BSCEHR) の DTPR ビットの設定にて、DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要因から転送を開始する*か、DTC 起動優先順位に従って転送を開始するかを選択できます。ただし、DTC が起動中に複数の DTC 起動要求が発生した場合には、DTC 起動の優先順位に従って次の転送が行われます。DTC の起動優先順位の動作例を図 9.17 に示します。

【注】 * 次の起動要因が来る前に DTC リクエストが発生した場合は、最初に要求のあった要因から転送を開始します。DTC リクエストが発生する前に優先度の高い起動要因が来た場合は優先度の高い要因から転送を開始します。なお、DTC リクエストは内部バスの動作状態により発生タイミングが変化します。

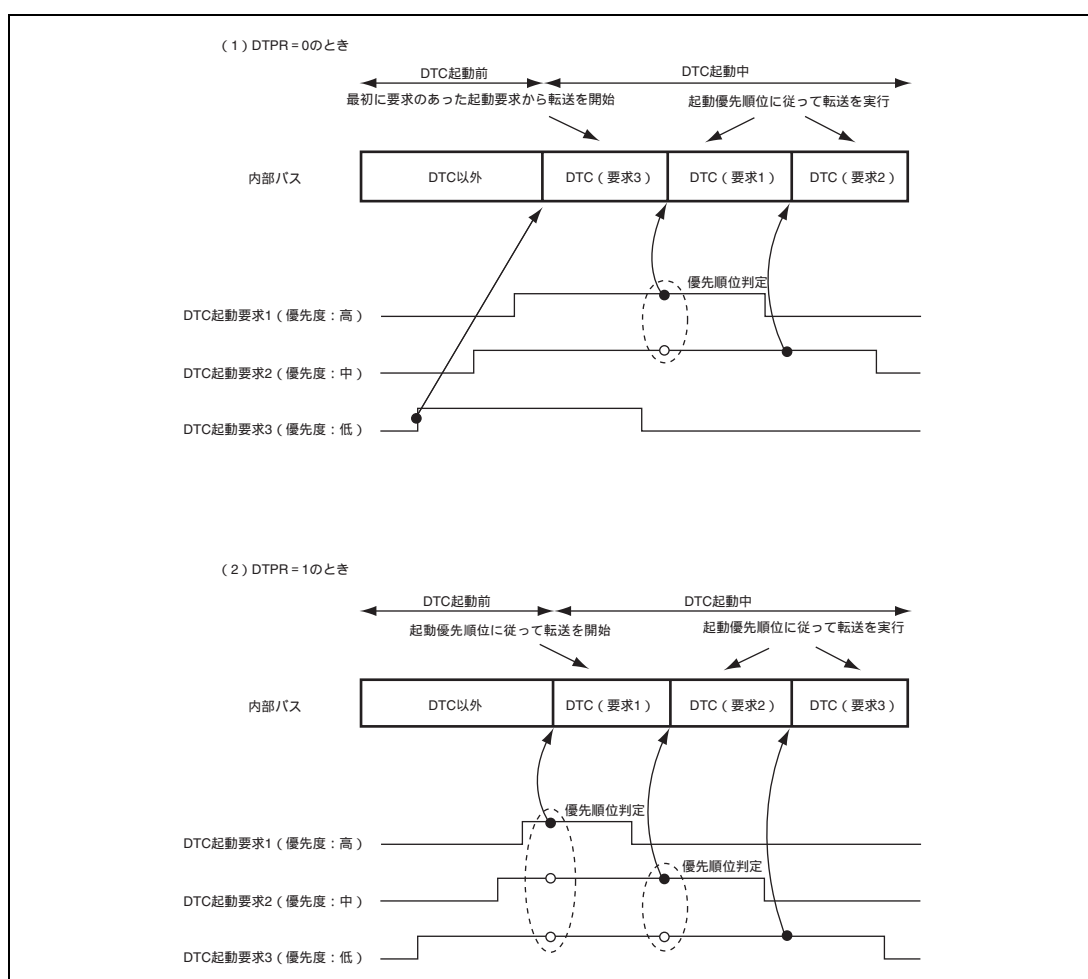


図 9.17 DTC の起動優先順位の動作例

9.6 割り込みによる DTC の起動

DTC の割り込み起動による使用手順を図 9.18 に示します。

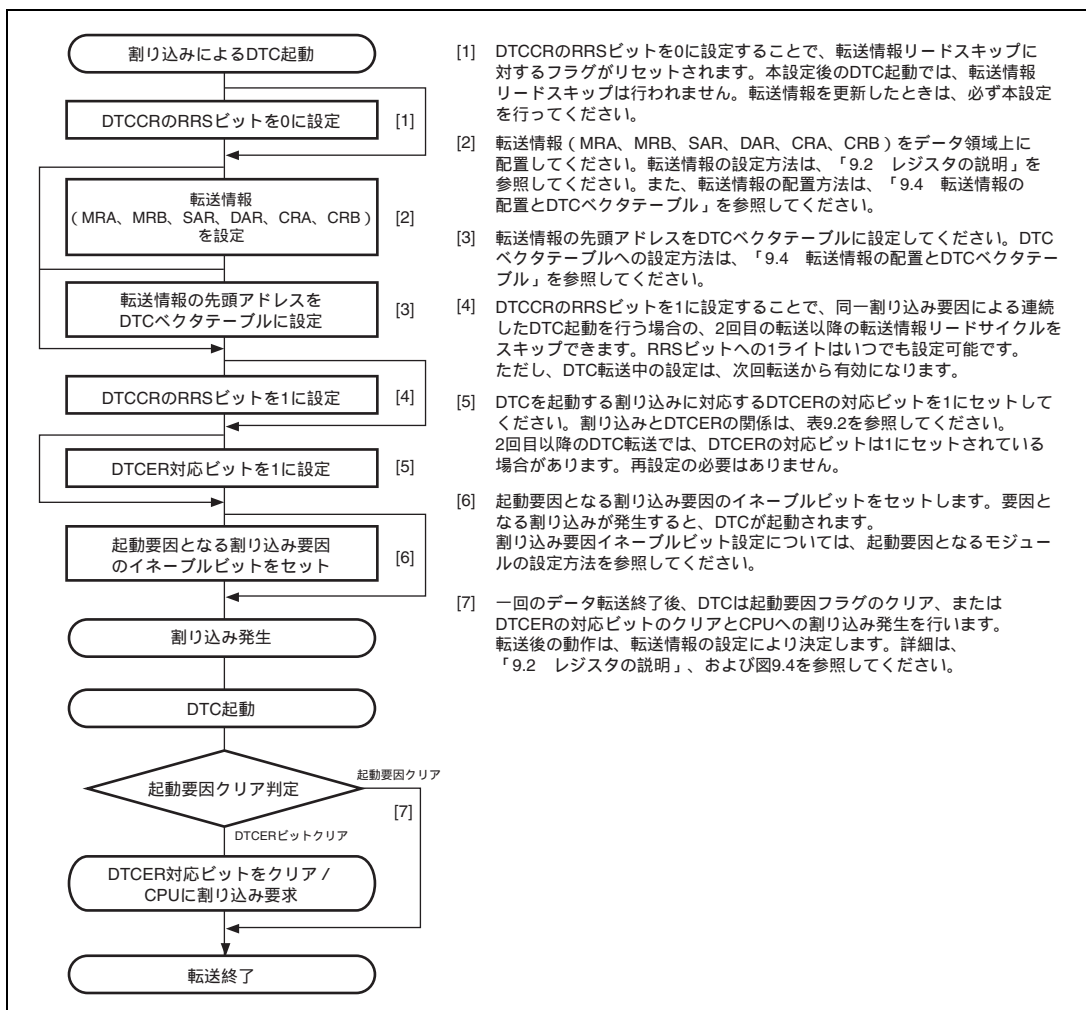


図 9.18 割り込みによる DTC 起動方法

9.7 DTC 使用例

9.7.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 ($SM1 = SM0 = 0$)、デスティネーションアドレスインクリメント ($DM1 = 1$, $DM0 = 0$)、ノーマル転送モード ($MD1 = MD0 = 0$)、バイトサイズ ($Sz1 = Sz0 = 0$) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 ($CHNE = 0$, $DISEL = 0$) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 ($H'0080$) を設定します。CRBは任意の値とすることができます。
2. RXI割り込み用の転送情報の先頭アドレスを、DTCベクタテーブルに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

9.7.2 カウンタ=0のときのチェイン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピータ転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス $H'0000$ から始まるように設定するものとします。カウンタ=0のときのチェイン転送を図 9.19 に示します。

1. 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA = $H'0000$ (65,536回)、CHNE = 1、CHNS = 1、DISEL = 0としてください。
2. 第1のデータ転送の転送先アドレスの65,536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROM など) に用意してください。たとえば、入力バッファを $H'200000 \sim H'21FFFF$ とするときには、 $H'21$ 、 $H'20$ を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピータ転送モード (ソース側をリピータ領域) とします。転送先は第1の転送情報領域のDARの上位8ビットとします。このときCHNE = DISEL = 0としてください。上記入力バッファを $H'200000 \sim H'21FFFF$ とする場合には、転送カウンタ = 2としてください。

4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、H'0000になっています。
5. 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタはH'0000になっています。
6. 上記4、5を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

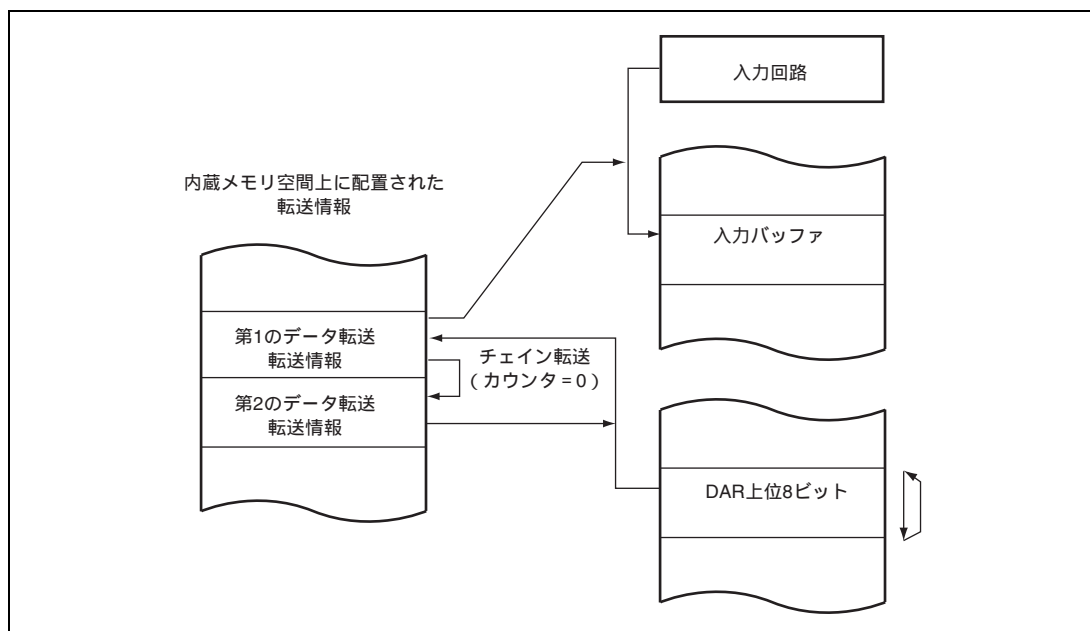


図 9.19 カウンタ=0 時のチェイン転送

9.8 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされた 1 回のデータ転送もしくは 1 回のブロックデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けません。詳細は「7.9 割り込み要求信号によるデータ転送」を参照してください。

9.9 使用上の注意事項

9.9.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、DTC の動作禁止 / 許可を設定することができます。初期値では DTC の動作禁止状態です。モジュールスタンバイモードを解除することにより、レジスタのアクセスが許可されます。ただし、DTC が起動中はモジュールスタンバイモードに設定しないでください。ソフトウェアスタンバイモードおよびモジュールスタンバイモードに遷移する場合は、すべての DTCE レジスタをクリアしてください。詳細は「第 32 章 低消費電力モード」を参照してください。

9.9.2 内蔵 RAM

転送情報は、内蔵 RAM (高速) に配置可能です。この場合は、RAMCR の RAME ビットを 0 にクリアしないでください。

また、転送情報は内蔵 RAM (保持用) には配置しないでください。

9.9.3 DTCE ビットの設定

DTCE ビットの設定は、割り込みを禁止して当該レジスタの 0 リード後に 1 ライトを行うことにより設定できます。なお、DTC 転送中には DTCE ビットの変更は行わないでください。

9.9.4 チェイン転送

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因または DTCE のクリアを行います。一方、SCI、SCIF、IIC3、LVDS (SH72315A のみ)、RSPI、RCAN-ET、および A/D 変換器の割り込み / 起動要因は、所定のレジスタがリード / ライトされたときにクリアされます。

9.9.5 転送情報先頭アドレス / ソースアドレス / デスティネーションアドレス

ベクタテーブルへ指定する転送情報先頭アドレスは、必ず 4n 番地を指定してください。

転送情報は内蔵 RAM (高速) もしくは外部メモリ空間に配置してください。

また、転送情報は内蔵 RAM (保持用) には配置しないでください。

9.9.6 DTC による DTC レジスタのアクセス

DTC を使用して DMAC/DTC のレジスタアクセスを行わないでください。また、DMAC を使用して DTC のレジスタアクセスを行わないでください。

9.9.7 IRQ 割り込みを DTC 転送要因にした場合の注意事項

- 当該IRQ割り込みによるソフトウェアスタンバイの解除は行わないでください。
- ソフトウェアスタンバイ中に発生したIRQのエッジでのDTC転送は行わないでください。

- IRQをローレベル検出した場合、DTCの転送終了によりCPUに割り込みを発生させる（転送カウンタ=0、またはDISEL=1）ときには、CPUが割り込みを受け付けるまでIRQ端子をローレベルに保持してください。

9.9.8 SCI および SCIF を DTC 起動要因とする場合の注意事項

SCI の TXI 割り込みにより DTC を起動する場合、SCI の TEND フラグを転送終了フラグとして使用しないでください。

SCIF の TXI 割り込みにより DTC を起動する場合、SCIF の TEND フラグを転送終了フラグとして使用しないでください。

9.9.9 割り込み要因フラグのクリア

DTC 転送終了後に発生する割り込みについても、通常の割り込みと同様に、割り込み要因フラグは割り込みハンドラ中でクリアしてください。詳細は「7.10 使用上の注意事項」を参照してください。

9.9.10 NMI 割り込みと DTC 起動の競合

NMI 割り込みと DTC 起動が競合した場合には NMI 割り込みが優先されますので、ERR ビットは 1 にセットされて DTC は起動されません。

9.9.11 DTC 起動要因が途中で取り下げられた場合の動作

DTC は起動要求を受け付けた後はライトバック終了までの一連の DTC 転送が終了するまで、次の転送要求を受け付けません。

10. バスステートコントローラ (BSC)

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

10.1 特長

BSC には、次の特長があります。

1. 外部アドレス空間

- CS0～CS7の各空間をそれぞれ最大64Mバイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM (クロック同期または非同期)、MPX-I/O、SDRAMのメモリ種類を指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

3. バーストROM (クロック非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能

4. MPX-I/Oインタフェース

- アドレス / データマルチプレクスが必要な周辺LSIを直結可能

5. SDRAMインタフェース

- 最大2つのCS空間でSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- 低周波数モード、パワーダウンモードのサポート
- MRSコマンド、EMRSコマンド発行のサポート

6. バイト選択付きSRAMインタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

7. バーストROM (クロック同期) インタフェース

- クロック同期タイプのバーストROMを直結可能

8. バスアービトレーション

- すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

9. リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

10. リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチタイマで割り込み要求発生可能

図 10.1 に BSC のブロック図を示します。

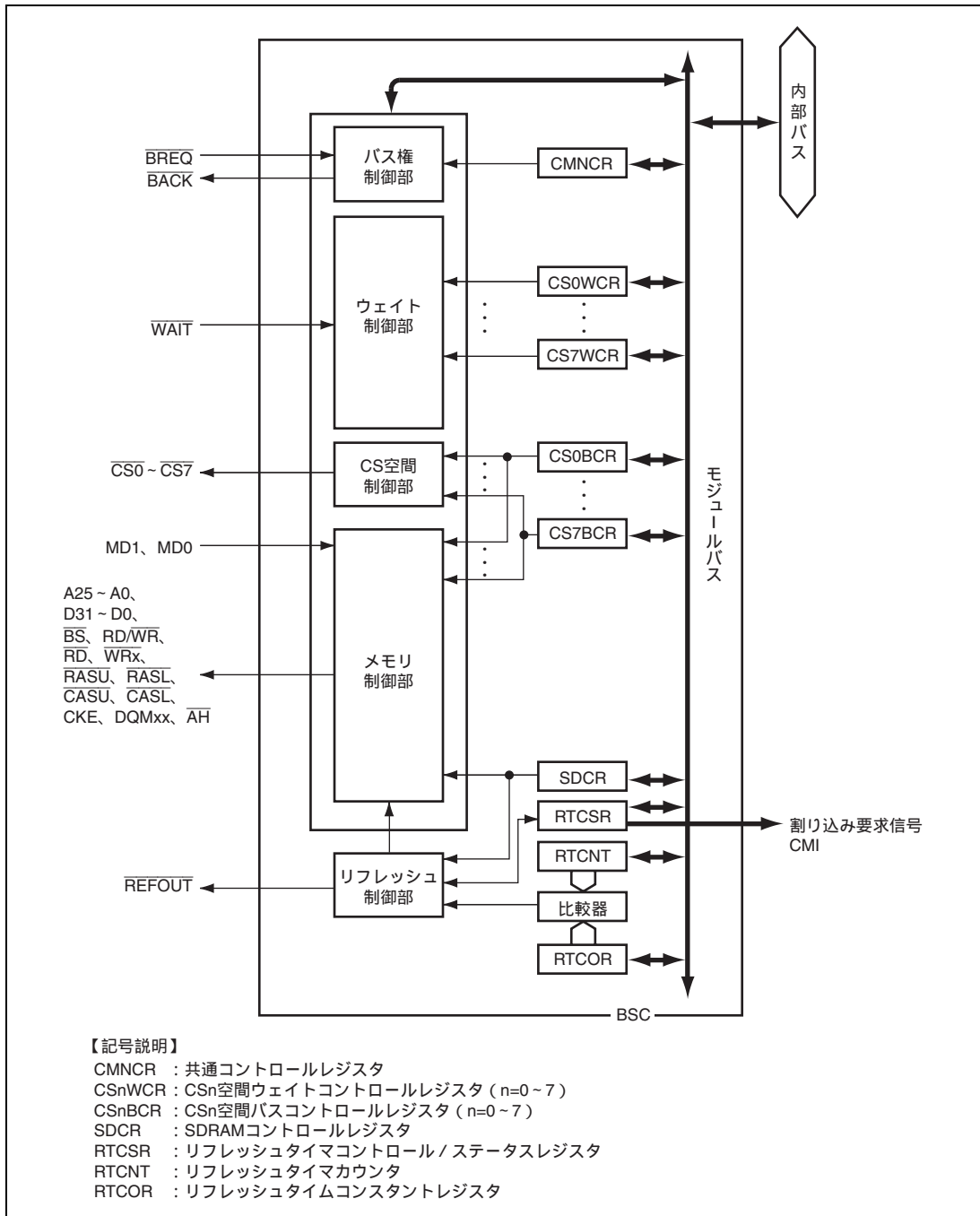


図 10.1 BSC のブロック図

10.2 入出力端子

BSC の端子構成を表 10.1 に示します。

表 10.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
\overline{BS}	出力	バスサイクルの開始を示す信号
$\overline{CS0} \sim \overline{CS7}$	出力	チップセレクト
$\overline{RD}/\overline{WR}$	出力	リードまたはライト信号 SDRAM およびバイト選択付き SRAM 接続時は、 \overline{WE} 端子に接続
\overline{RD}	出力	リードパルス信号 (リードデータ出力許可信号)
AH	出力	MPX-I/O 使用時は、アドレスをホールドするための信号
$\overline{WRHH}/\overline{DQMUU}$	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31 ~ D24 対応の選択信号
$\overline{WRHL}/\overline{DQMUL}$	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23 ~ D16 対応の選択信号
$\overline{WRH}/\overline{DQMLU}$	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ~ D8 対応の選択信号
$\overline{WRL}/\overline{DQMLL}$	出力	D7 ~ D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7 ~ D0 対応の選択信号
\overline{RASL} 、 \overline{RASU}	出力	SDRAM 接続時は、 \overline{RAS} 端子に接続
\overline{CASL} 、 \overline{CASU}	出力	SDRAM 接続時は、 \overline{CAS} 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
\overline{WAIT}	入力	外部ウェイト入力
\overline{BREQ}	入力	バス権要求入力
BACK	出力	バス使用許可出力
\overline{REFOUT}	出力	バス解放時リフレッシュ実行要求出力
MD0、MD1	入力	CS0 空間のバス幅選択、CS1 空間 ~ CS7 空間のバス幅初期値選択、 内蔵 ROM 有効 / 無効選択、外部バスアクセス有効 / 無効選択

10.3 エリアの概要

10.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、外部アドレス空間、内蔵空間（内蔵 ROM、内蔵 RAM、内蔵周辺モジュール、予約）に分割されています。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 10.2 内蔵 ROM 有効モード時のアドレスマップ (SH72315A/SH72315L の場合)

アドレス	空間	メモリ種類	サイズ
H'0000 0000 ~ H'000F FFFF	内蔵 ROM	内蔵 ROM	1M バイト
H'0010 0000 ~ H'01FF FFFF	その他	予約エリア	-
H'0200 0000 ~ H'03FF FFFF	CS0	通常空間、バースト ROM (非同期、同期)	32M バイト
H'0400 0000 ~ H'07FF FFFF	CS1	通常空間、バイト選択付き SRAM	64M バイト
H'0800 0000 ~ H'0BFF FFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'0C00 0000 ~ H'0FFF FFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'1000 0000 ~ H'13FF FFFF	CS4	通常空間、バイト選択付き SRAM、 バースト ROM (非同期)	64M バイト
H'1400 0000 ~ H'17FF FFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O	64M バイト
H'1800 0000 ~ H'1BFF FFFF	CS6	通常空間、バイト選択付き SRAM	64M バイト
H'1C00 0000 ~ H'1FFF FFFF	CS7	通常空間、バイト選択付き SRAM	64M バイト
H'2000 0000 ~ H'FFF7 FFFF	その他	予約エリア	-
H'FFF8 0000 ~ H'FFFB FFFF	その他	内蔵 RAM (高速)、予約エリア*	-
H'FFFC 0000 ~ H'FFFF FFFF	その他	内蔵 RAM (保持用)、内蔵周辺モジュール、予約エリア*	-

【注】 * 内蔵 RAM 空間は「第 31 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 34 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 10.3 内蔵 ROM 有効モード時のアドレスマップ (SH72314L の場合)

アドレス	空間	メモリ種類	サイズ
H'0000 0000 ~ H'000B FFFF	内蔵 ROM	内蔵 ROM	768K バイト
H'000C 0000 ~ H'01FF FFFF	その他	予約エリア	-
H'0200 0000 ~ H'03FF FFFF	CS0	通常空間、バースト ROM (非同期、同期)	32M バイト
H'0400 0000 ~ H'07FF FFFF	CS1	通常空間、バイト選択付き SRAM	64M バイト
H'0800 0000 ~ H'0BFF FFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'0C00 0000 ~ H'0FFF FFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'1000 0000 ~ H'13FF FFFF	CS4	通常空間、バイト選択付き SRAM、 バースト ROM (非同期)	64M バイト
H'1400 0000 ~ H'17FF FFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O	64M バイト
H'1800 0000 ~ H'1BFF FFFF	CS6	通常空間、バイト選択付き SRAM	64M バイト
H'1C00 0000 ~ H'1FFF FFFF	CS7	通常空間、バイト選択付き SRAM	64M バイト
H'2000 0000 ~ H'FFF7 FFFF	その他	予約エリア	-
H'FFF8 0000 ~ H'FFFB FFFF	その他	内蔵 RAM (高速)、予約エリア*	-
H'FFFC 0000 ~ H'FFFF FFFF	その他	内蔵 RAM (保持用)、内蔵周辺モジュール、予約エリア*	-

【注】 * 内蔵 RAM 空間は「第 31 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 34 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 10.4 内蔵 ROM 無効モード時のアドレスマップ

アドレス	空間	メモリ種類	サイズ
H'0000 0000 ~ H'03FF FFFF	CS0	通常空間、バースト ROM (非同期、同期)	64M バイト
H'0400 0000 ~ H'07FF FFFF	CS1	通常空間、バイト選択付き SRAM	64M バイト
H'0800 0000 ~ H'0BFF FFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'0C00 0000 ~ H'0FFF FFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'1000 0000 ~ H'13FF FFFF	CS4	通常空間、バイト選択付き SRAM、 バースト ROM (非同期)	64M バイト
H'1400 0000 ~ H'17FF FFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O	64M バイト
H'1800 0000 ~ H'1BFF FFFF	CS6	通常空間、バイト選択付き SRAM	64M バイト
H'1C00 0000 ~ H'1FFF FFFF	CS7	通常空間、バイト選択付き SRAM	64M バイト
H'2000 0000 ~ H'FFF7 FFFF	その他	予約エリア	-
H'FFF8 0000 ~ H'FFFB FFFF	その他	内蔵 RAM (高速)、予約エリア*	-
H'FFFC 0000 ~ H'FFFF FFFF	その他	内蔵 RAM (保持用)、内蔵周辺モジュール、予約エリア*	-

【注】 * 内蔵 RAM 空間は「第 31 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵 I/O レジスタ空間のアクセスは「第 34 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

10.3.2 動作モードの設定

本 LSI は、パワーオンリセット時に外部端子を用いて、以下に示す動作モードの設定を行うことができます。

- シングルチップモード

シングルチップモードでは、パワーオンリセット後は内蔵ROMプログラムから起動します。外部バスのアクセスはできません。BSCモジュールはモジュールスタンバイ状態に遷移し、消費電力を抑えます。

外部バスアクセス可能モード (MCU拡張モード0~2) で使用されるアドレス、データ、バス制御の端子を、ポート機能などにすることができます。

- 内蔵ROM有効モード (MCU拡張モード2) / 内蔵ROM無効モード (MCU拡張モード0、1)

内蔵ROM有効モード (MCU拡張モード2) では、パワーオンリセット後は内蔵ROM空間から起動します。

内蔵ROM無効モード (MCU拡張モード0、1) では、CS0空間に割り当てられた外部メモリに格納されているプログラムで起動します。CS0空間の外部メモリはROMを想定していますので、アドレスバス、データバス、 $\overline{CS0}$ 、 \overline{RD} などの最低限の端子機能となっています。本章に記載しているアクセス波形例では、 \overline{BS} 、 $\overline{RD}/\overline{WR}$ 、 \overline{WRxx} などの端子も示していますが、これらはピンファンクションコントローラで端子機能を設定した場合の例です。詳細は、「第22章 ピンファンクションコントローラ (PFC)」を参照してください。プログラムによる端子設定が完了するまでは、CS0空間のリードアクセス以外は行わないでください。

- CS0空間~CS7空間のデータバス幅の初期状態設定

内蔵ROM無効モード (MCU拡張モード0、1) では、パワーオンリセット時にMD0端子を用いてCS0空間のデータバス幅とCS1空間~CS7空間の初期状態のデータバス幅を、16ビット (MD0=0時)、32ビット (MD0=1時) のいずれかに設定することができます。CS0空間のバス幅はパワーオンリセット後は変更できません。CS1空間~CS7空間のデータバス幅は、プログラム内でレジスタ設定することにより変更が可能です。内蔵ROM有効拡張モード (MCU拡張モード2) では、CS0空間~CS7空間の初期状態のデータバス幅は16ビットとなりますが、CS0空間~CS7空間のすべてのデータバス幅をプログラム内でレジスタ設定することにより変更が可能です。利用されるメモリタイプによっては、データバス幅が制限されるものもありますのでご注意ください。

モード設定の方法については、「第4章 MCU動作モード」を参照してください。

10.4 レジスタの説明

BSC には、以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

接続メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

表 10.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001010	H'FFFC0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0400*	H'FFFC0004	32
CS1 空間バスコントロールレジスタ	CS1BCR	R/W	H'36DB0400*	H'FFFC0008	32
CS2 空間バスコントロールレジスタ	CS2BCR	R/W	H'36DB0400*	H'FFFC000C	32
CS3 空間バスコントロールレジスタ	CS3BCR	R/W	H'36DB0400*	H'FFFC0010	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'36DB0400*	H'FFFC0014	32
CS5 空間バスコントロールレジスタ	CS5BCR	R/W	H'36DB0400*	H'FFFC0018	32
CS6 空間バスコントロールレジスタ	CS6BCR	R/W	H'36DB0400*	H'FFFC001C	32
CS7 空間バスコントロールレジスタ	CS7BCR	R/W	H'36DB0400*	H'FFFC0020	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'FFFC0028	32
CS1 空間ウェイトコントロールレジスタ	CS1WCR	R/W	H'00000500	H'FFFC002C	32
CS2 空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'00000500	H'FFFC0030	32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'00000500	H'FFFC0034	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'00000500	H'FFFC0038	32
CS5 空間ウェイトコントロールレジスタ	CS5WCR	R/W	H'00000500	H'FFFC003C	32
CS6 空間ウェイトコントロールレジスタ	CS6WCR	R/W	H'00000500	H'FFFC0040	32
CS7 空間ウェイトコントロールレジスタ	CS7WCR	R/W	H'00000500	H'FFFC0044	32
SDRAM コントロールレジスタ	SDCR	R/W	H'00000000	H'FFFC004C	32
リフレッシュタイムコントロール/ステータス レジスタ	RTCSR	R/W	H'00000000	H'FFFC0050	32
リフレッシュタイムカウンタ	RTCNT	R/W	H'00000000	H'FFFC0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'00000000	H'FFFC0058	32
バス機能拡張レジスタ	BSCEHR	R/W	H'0000	H'FFFE3C1A	16

【注】 * MCU 拡張モード 0 および 2 で起動したときの初期値です。MCU 拡張モード 1 で起動したときの初期値は、H'36DB0600 になります。

10.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各 CS 空間に共通の制御を行う 32 ビットのレジスタです。パワーオンリセット時に H'0000 1010 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されず前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BLOCK	DPRTY[1:0]		DMAIW[2:0]		DMA IWA		-	-	HIZCK	HIZ MEM	HIZ CNT
初期値:	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。
11	BLOCK	0	R/W	バスロックビット BRE \bar{Q} を受け付けるかどうかを指定します。 0: BRE \bar{Q} を受け付けます。 1: BRE \bar{Q} を受け付けません。
10, 9	DPRTY[1:0]	00	R/W	DMA バースト転送優先順位 本ビットは、DMA バースト転送中に対するリフレッシュ要求 / バス権使用要求の優先順位を指定します。 00: DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。 01: DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。 10: DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。 11: 予約 (設定禁止)

ビット	ビット名	初期値	R/W	説明
8~6	DMAIW[2:0]	000	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW[2:0]ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが0の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが1の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入 1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	-	1	R	<p>リザーブビット</p> <p>読み出すと常に1が読み出されます。書き込み時も常に1にしてください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
2	HIZCK	0	R/W	<p>High-Z CK コントロール</p> <p>本ビットは、CK のソフトウェアスタンバイモード時およびバス権解放時の状態を指定します。</p> <p>0 : CK は、ソフトウェアスタンバイモード時およびバス権解放時にハイインピーダンス 1 : CK は、ソフトウェアスタンバイモード時およびバス権解放時にドライブ</p>
1	HIZMEM	0	R/W	<p>High-Z メモリコントロール</p> <p>本ビットは、A25~A0、\overline{BS}、\overline{CSn}、RD/WR、WRxx/DQMxx、AH、RD のソフトウェアスタンバイモード時の端子状態を指定します。バス解放時は、本ビットにかかわらずハイインピーダンスになります。</p> <p>0 : ソフトウェアスタンバイモード時にハイインピーダンス 1 : ソフトウェアスタンバイモード時にドライブ</p>

ビット	ビット名	初期値	R/W	説明
0	HIZCNT	0	R/W	High-Z コントロール 本ビットは、CKE、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$ のソフトウェアスタンバイモード時およびバス権解放時の状態を指定します。 0 : CKE、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$ は、ソフトウェアスタンバイモード時およびバス権解放時にハイインピーダンス 1 : CKE、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$ は、ソフトウェアスタンバイモード時およびバス権解放時にドライブ

10.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~7)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。パワーオンリセット時は、H'36DB 0x00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます。

レジスタの初期設定が終了するまでは、CS0 空間以外の外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、「10.5.10 アクセスサイクル間アイドル」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
初期値 :	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]			-	BSZ[1:0]		-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1*	0*	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30~28	IWW[2:0]	011	R/W	ライト - リード/ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説明
27~25	IWRWD[2:0]	011	R/W	<p>別空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS[2:0]	011	R/W	<p>同一空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
21~19	IWRRD[2:0]	011	R/W	<p>別空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
18~16	IWRRS[2:0]	011	R/W	<p>同一空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
14~12	TYPE[2:0]	000	R/W	<p>本ビットは、空間に接続するメモリの種類を設定します。</p> <p>000 : 通常空間 001 : パースト ROM (クロック非同期) 010 : MPX-I/O 011 : バイト選択付き SRAM 100 : SDRAM 101 : 予約 (設定禁止) 110 : 予約 (設定禁止) 111 : パースト ROM (クロック同期)</p> <p>CS 空間ごとのメモリタイプは表 10.2~表 10.4 を参照してください。</p> <p>【注】 CS0 空間にパースト ROM を接続する場合は、CS0WCR レジスタを使用するパースト ROM で必要な設定に変更した後で TYPE[2:0] をパースト ROM の設定にしてください。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10, 9	BSZ[1:0]	10*	R/W	<p>データバス幅指定</p> <p>本ビットは、空間のデータバス幅を指定します。</p> <p>00 : 予約 (設定禁止)</p> <p>01 : 8 ビット</p> <p>10 : 16 ビット</p> <p>11 : 32 ビット</p> <p>MPX-I/O 時は、アドレスによるバス幅選択</p> <p>【注】 1. CS5 空間を MPX-I/O に設定した場合は、本ビットの設定を 11 に設定すると、バス幅は CS5WCR の SZSEL に従ったアドレスによりバス幅 (8 ビットまたは 16 ビット) が選択されます。また、固定バス幅では 8 または 16 ビットバス幅が設定可能です。</p> <p>2. CS0 空間 ~ CS7 空間の初期状態のデータバス幅は、外部端子で設定します。内蔵 ROM 無効モード (MCU 拡張モード 0、1) 時は、CS0BCR の BSZ[1:0] ビットへの書き込みは無視されますが、CS1BCR ~ CS7BCR のバス幅変更は可能です。内蔵 ROM 有効モード (MCU 拡張モード 2) では CS0BCR ~ CS7BCR のバス幅変更が可能です。</p> <p>3. CS2 空間または CS3 空間を SDRAM 空間に設定した場合は、バス幅は 16 または 32 ビットから選択が可能です。</p> <p>4. CS0 空間をクロック同期バースト ROM 空間に設定した場合は、バス幅は 16 または 32 ビットから選択が可能です。</p> <p>5. 8 ビットデータバス幅を使用する場合には、CS7 空間は使用できません。CS7 空間を使用する場合、使用する全 CS 空間を 16 ビットまたは 32 ビットデータバス幅としてください。</p>
8~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

【注】 * MCU 拡張モード 0 および 2 のときの初期値です。MCU 拡張モード 1 のときの初期値は 11 になります。

10.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~7)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[2:0]) により、以下のように変わります。対象となる CS 空間をアクセスする前に設定してください。また、CSnWCR レジスタは、CSnBCR レジスタを設定後に設定してください。

CSnWCR は、パワーオンリセット時は H'0000 0500 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されず内容が保持されます。

(1) 通常空間、バイト選択付き SRAM、MPX-I/O

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-*	-*	-	-	-*	-*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	WR[3:0]			WM	-	-	-	-	-	-	HW[1:0]	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
21、20	-*	すべて0	R/W	リザーブビット 通常空間時は0にしてください。
19、18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17、16	-*	すべて0	R/W	リザーブビット 通常空間時は0にしてください。
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、CS0 アサート RD、WRxx アサート遅延サイクル数 本ビットは、アドレス、CS0 アサートから RD、WRxx アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WRxx ネゲート アドレス、CS0 ネゲート遅延サイクル数</p> <p>本ビットは、RD、WRxx ネゲートから、アドレス、CS0 ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

【注】 * ROM 無効モード (MCU 拡張モード 0、1) で、CS0 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 21、20 でバースト数の指定、ビット 17、16 でバーストウェイトサイクル数の指定を行った後に、CS0BCR の TYPE[2:0]を設定してください。上記以外のリザーブビットへの1書き込みは行わないでください。

• CS1WCR、CS4WCR、CS7WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WRxx} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WRxx} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WRxx} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 \overline{CSn} アサート RD 、 \overline{WRxx} アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから RD 、 \overline{WRxx} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>RD、\overline{WR}_{xx} ネゲート アドレス、\overline{CS}_n ネゲート遅延サイクル数</p> <p>本ビットは、RD、\overline{WR}_{xx} ネゲートから、アドレス、\overline{CS}_n ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

• CS2WCR、CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]			WM	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WRxx} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WRxx} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WRxx} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000: ウェイトサイクルなし 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定禁止) 1110: 予約 (設定禁止) 1111: 予約 (設定禁止)

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

- CS5WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SZSEL	MPXW/ BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明																				
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。																				
21	SZSEL	0	R/W	MPX-I/O インタフェースバス幅指定ビット 本ビットは、CS5BCRのBSZ[1:0]を11に設定したときのバス幅を選択するアドレスを指定します。本設定は、CS5空間をMPX-I/Oに設定したときにのみ有効です。 0: アドレスA14によりバス幅選択 1: アドレスA21によりバス幅選択 SZSELビットとA14、A21によるバス幅選択の関係について示します。 <table border="1" data-bbox="581 1319 1188 1518"> <thead> <tr> <th>SZSEL</th> <th>A14</th> <th>A21</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>影響なし</td> <td>8ビットバス幅</td> </tr> <tr> <td>0</td> <td>1</td> <td>影響なし</td> <td>16ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>0</td> <td>8ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>1</td> <td>16ビットバス幅</td> </tr> </tbody> </table>	SZSEL	A14	A21	説明	0	0	影響なし	8ビットバス幅	0	1	影響なし	16ビットバス幅	1	影響なし	0	8ビットバス幅	1	影響なし	1	16ビットバス幅
SZSEL	A14	A21	説明																					
0	0	影響なし	8ビットバス幅																					
0	1	影響なし	16ビットバス幅																					
1	影響なし	0	8ビットバス幅																					
1	影響なし	1	16ビットバス幅																					

ビット	ビット名	初期値	R/W	説明
20	MPXW	0	R/W	MPX-I/O インタフェースアドレスウェイト 本設定は、CS5 空間を MPX-I/O に設定したときのみ有効です。本ビットは、MPX-I/O インタフェースのアドレスサイクル挿入ウェイトを設定します。 0: ウェイトなし 1: 1 サイクルウェイト挿入
	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本設定は、CS5 空間をバイト選択付き SRAM に設定したときのみ有効です。本ビットは、バイト選択付き SRAM インタフェース時の \overline{WRxx} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WRxx} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WRxx} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: $WR[3:0]$ 設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CS5 アサート \overline{RD} 、 \overline{WRxx} アサート遅延サイクル数 本ビットは、アドレス、CS5 アサートから \overline{RD} 、 \overline{WRxx} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>RD、WRxx ネゲート アドレス、CS5 ネゲート遅延サイクル数</p> <p>本ビットは、RD、WRxx ネゲートから、アドレス、CS5 ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

• CS6WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	WR[3:0]			WM	-	-	-	-	-	-	HW[1:0]	
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WRxx} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WRxx} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WRxx} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CS6 アサート \overline{RD} 、 \overline{WRxx} アサート遅延サイクル数 このビットは、アドレス、CS6 アサートから \overline{RD} 、 \overline{WRxx} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WRxx ネゲート アドレス、CS6 ネゲート遅延サイクル数</p> <p>本ビットは、RD、WRxx ネゲートから、アドレス、CS6 ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

(2) パースト ROM (クロック非同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明															
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
21, 20	BST[1:0]	00	R/W	パースト数指定 本ビットは、16バイトアクセス発生時のパースト数を指定します。 BST[1:0]のB'11設定は予約ですので設定しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>バス幅</th> <th>BST[1:0]</th> <th>パースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8ビット</td> <td>x0</td> <td>16 パースト×1回</td> </tr> <tr> <td>01</td> <td>4 パースト×4回</td> </tr> <tr> <td rowspan="3">16ビット</td> <td>00</td> <td>8 パースト×1回</td> </tr> <tr> <td>01</td> <td>2 パースト×4回</td> </tr> <tr> <td>10</td> <td>4 - 4 または 2 - 4 - 2 パースト</td> </tr> </tbody> </table>	バス幅	BST[1:0]	パースト数	8ビット	x0	16 パースト×1回	01	4 パースト×4回	16ビット	00	8 パースト×1回	01	2 パースト×4回	10	4 - 4 または 2 - 4 - 2 パースト
バス幅	BST[1:0]	パースト数																	
8ビット	x0	16 パースト×1回																	
	01	4 パースト×4回																	
16ビット	00	8 パースト×1回																	
	01	2 パースト×4回																	
	10	4 - 4 または 2 - 4 - 2 パースト																	
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
17, 16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル															
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															

ビット	ビット名	初期値	R/W	説 明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

• CS4WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]		-	-	BW[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		W[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明															
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
21, 20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16 バイトアクセス発生時のバースト数を指定します。 BST[1:0]のB'11 設定は予約ですので設定しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>バースト幅</th> <th>BST[1:0]</th> <th>バースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8 ビット</td> <td>x0</td> <td>16 バースト×1 回</td> </tr> <tr> <td>01</td> <td>4 バースト×4 回</td> </tr> <tr> <td rowspan="3">16 ビット</td> <td>00</td> <td>8 バースト×1 回</td> </tr> <tr> <td>01</td> <td>2 バースト×4 回</td> </tr> <tr> <td>10</td> <td>4 - 4 または 2 - 4 - 2 バースト</td> </tr> </tbody> </table>	バースト幅	BST[1:0]	バースト数	8 ビット	x0	16 バースト×1 回	01	4 バースト×4 回	16 ビット	00	8 バースト×1 回	01	2 バースト×4 回	10	4 - 4 または 2 - 4 - 2 バースト
バースト幅	BST[1:0]	バースト数																	
8 ビット	x0	16 バースト×1 回																	
	01	4 バースト×4 回																	
16 ビット	00	8 バースト×1 回																	
	01	2 バースト×4 回																	
	10	4 - 4 または 2 - 4 - 2 バースト																	
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
17, 16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル															
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
12, 11	SW[1:0]	00	R/W	アドレス、CS4 アサート RD、WRxx アサート遅延サイクル数 本ビットは、アドレス、CS4 アサートから、RD、WRxx アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル															

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WRxx ネゲート アドレス、CS4 ネゲート遅延サイクル数</p> <p>本ビットは、RD、WRxx ネゲートから、アドレス、CS4 ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

(3) SDRAM*

• CS2WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	A2CL[1:0]	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時も常に1にしてください。
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
8, 7	A2CL[1:0]	10	R/W	CS2 空間 CAS レイテンシ 本ビットは、CS2 空間の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * 1つのCS空間のみにSDRAMを接続する場合は、CS3空間をSDRAM設定としてください。このときCS2空間は、通常空間設定またはバイト選択付きSRAM設定としてください。

• CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTRP[1:0]*	-	WTRCD[1:0]*	-	A3CL[1:0]	-	-	TRWL[1:0]*	-	-	WTRC[1:0]*	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
14, 13	WTRP[1:0]*	00	R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 <ul style="list-style-type: none"> • オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで • PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで • パワーダウンモード / ディープパワーダウンモード遷移まで • オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで • セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで CS2 空間と CS3 空間の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
12	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11, 10	WTRCD[1:0]*	01	R/W	ACTV コマンド READ (A) / WRIT (A) コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ (A) / WRIT (A) コマンド発行までの最小ウェイトサイクル数を指定します。CS2 空間と CS3 空間の設定は、共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
8、7	A3CL[1:0]	10	R/W	CS3 空間 CAS レイテンシ 本ビットは、CS3 空間の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4、3	TRWL[1:0]*	00	R/W	プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 • 本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動するまでのサイクル数 WRITEA コマンド発行後、同一バンクに対する ACTV コマンド発行までのサイクル数です。なお、SDRAM 内で WRITA コマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。 • 本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのサイクル数 バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。 CS2 空間と CS3 空間の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1、0	WTRC[1:0]*	00	R/W	REF コマンド / セルフリフレッシュ解除 ACTV/REF/MRS コマンド間アイドルサイクル数 以下のコマンド間の最小アイドルサイクル数を指定します。 • REF コマンド発行後から ACTV/REF/MRS コマンド発行まで • セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで CS2 空間と CS3 空間の設定は、共通となります。 00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル

【注】 * CS2 空間と CS3 空間がともに SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

1 つの CS 空間のみに SDRAM を接続する場合は、CS3 空間を SDRAM 設定としてください。このとき CS2 空間は、通常空間設定またはバイト選択付き SRAM 設定としてください。

(4) パースト ROM (クロック同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17, 16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

10.4.4 SDRAM コントロールレジスタ (SDCR)

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

SDCR レジスタはパワーオンリセット時に H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	A2ROW[1:0]	-	-	A2COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV	-	-	-	A3ROW[1:0]	-	-	A3COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20, 19	A2ROW[1:0]	00	R/W	CS2 空間ロウアドレスビット数 本ビットは、CS2 空間のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定禁止)
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17, 16	A2COL[1:0]	00	R/W	CS2 空間コラムアドレスビット数 本ビットは、CS2 空間のコラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定禁止)
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー-SDRAM に対してのみ有効です。本ビットを 1 の状態で RFSH ビットおよび RMODE ビットを 1 にすると、ディープパワーダウンエントリコマンドを発行してローパワー-SDRAM はディープパワーダウンモードに遷移します。 0 : セルフリフレッシュモード 1 : ディープパワーダウンモード

ビット	ビット名	初期値	R/W	説明
12	SLOW	0	R/W	<p>低周波数モード</p> <p>本ビットは、SDRAM に対するコマンド、アドレス、ライトデータを出力するタイミング、およびリードデータを取り込むタイミングを指定します。本ビットを 1 に設定すると、SDRAM に対するコマンド、アドレス、およびライトデータを通常より半サイクル遅い CK の立ち下がりに同期して出力します。また、SDRAM からのリードデータを通常より半サイクル早い CK の立ち上がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、およびリードデータのホールド時間を延長することができます。このモードは、SDRAM を低周波数で動作させるときに適したモードです。</p> <p>0: SDRAM に対するコマンド、アドレス、およびライトデータを CK の立ち上がりに同期して出力する。SDRAM からのリードデータを CK の立ち上がりに同期して取り込む。</p> <p>1: SDRAM に対するコマンド、アドレス、およびライトデータを CK の立ち下がりに同期して出力する。SDRAM からのリードデータを CK の立ち下がりに同期して取り込む。</p>
11	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。</p> <p>0: リフレッシュしない</p> <p>1: リフレッシュする</p>
10	RMODE	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。</p> <p>0: オートリフレッシュを行う</p> <p>1: セルフリフレッシュを行う</p>
9	PDOWN	0	R/W	<p>パワーダウンモード</p> <p>本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。</p> <p>0: アクセス終了後、SDRAM をパワーダウンモードにしない</p> <p>1: アクセス終了後、SDRAM をパワーダウンモードにする</p>

ビット	ビット名	初期値	R/W	説明
8	BACTV	0	R/W	バンクアクティブモード 本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。 0: オートプリチャージモード (READA および WRITA コマンドを使用) 1: バンクアクティブモード (READ および WRIT コマンドを使用) 【注】 バンクアクティブモードは、CS3 空間でのみ設定可能です。このときバス幅は、16 または 32 ビットから設定可能です。CS2 空間および CS3 空間ともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4, 3	A3ROW[1:0]	00	R/W	CS3 空間ロウアドレスビット数 本ビットは、CS3 空間のロウアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 予約 (設定禁止)
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1, 0	A3COL[1:0]	00	R/W	CS3 空間コラムアドレスビット数 本ビットは、CS3 空間のコラムアドレスのビット数を指定します。 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 予約 (設定禁止)

10.4.5 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。パワーオンリセット時には H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0] を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの時間には誤差を含みますのでご注意ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS[2:0]			RRC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット/クリアされます。 0: クリア条件: CMF=1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1: セット条件: RTCNT=RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0: CMF による割り込み要求を禁止 1: CMF による割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5~3	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>本ビットは、リフレッシュタイマカウンタ (RTCNT) をカウントアップするクロックを選択します。</p> <p>000 : カウントアップ停止</p> <p>001 : B /4</p> <p>010 : B /16</p> <p>011 : B /64</p> <p>100 : B /256</p> <p>101 : B /1024</p> <p>110 : B /2048</p> <p>111 : B /4096</p>
2~0	RRC[2:0]	000	R/W	<p>リフレッシュ回数</p> <p>本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。</p> <p>000 : 1回</p> <p>001 : 2回</p> <p>010 : 4回</p> <p>011 : 6回</p> <p>100 : 8回</p> <p>101 : 予約 (設定禁止)</p> <p>110 : 予約 (設定禁止)</p> <p>111 : 予約 (設定禁止)</p>

10.4.6 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。パワーオンリセット時には H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのカウンタ

10.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

SDCR の RFSH ビットが 1 にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

バス開放中にリフレッシュ要求が発生した場合に、 $\overline{\text{REFOUT}}$ 信号をアサートすることができます。詳細については「10.5.6 (9) リフレッシュ要求とバスサイクルの関係」または、「10.5.11 バスアービトレーション」を参照してください。

RTCSR の CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求が発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイマ割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。パワーオンリセット時には H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのレジスタ

10.4.8 バス機能拡張レジスタ (BSCEHR)

BSCEHR は 16 ビットのレジスタで、DTC のバス権解放のタイミングなどを設定します。DTC による転送操作を優先的に行ったり、DTC 起動サイクル数を減少させるときに有効な機能を設定できます。

DTLOCK、DTBST ビットの組み合わせによる DTC 動作の違いについては、「9.5.9 DTC のバス権解放タイミング」を参照してください。

DTSA ビットをセットすることで、DTC のショートアドレスモードを実現できます。ショートアドレスモードの詳細については、「9.4 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTPR ビットでは、DTC が起動する前に複数の DTC 起動要因が発生した場合の DTC 起動優先順位の設定が可能です。

なお、本レジスタは、DTC 起動中には変更しないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTLOCK	-	-	-	DTBST	DTSA	-	DTPR	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	DTLOCK	0	R/W	DTC ロックイネーブル DTC がバス権を解放するタイミングを選択します。 0: 転送情報ライトバック後にバス権を解放します。 1: ベクタリード後、転送情報リード後、1 回のデータ転送後、転送情報ライトバック後にバス権を解放します。
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	DTBST	0	R/W	DTC バーストイネーブル DTC に複数の起動要求が発生した場合に、バス権を解放せずに連続して DTC を起動します。 0: 1 つの DTC 起動要因が終了するごとにバス権を解放します。 1: すべての DTC 起動要因が終了するまでバス権を解放せずに連続して DTC を起動します。 【注】 本ビットを 1 に設定する場合は、以下の制限があります。 1. 周波数制御レジスタ (FRQCR) によるクロック設定は、 I : B : P = 8 : 4 : 4、4 : 2 : 2、2 : 1 : 1、4 : 4 : 4、2 : 2 : 2、または 1 : 1 : 1 にしてください。 2. ベクタ情報は、内蔵 ROM または内蔵 RAM (高速) に配置してください。 3. 転送情報は内蔵 RAM (高速) に配置してください。 4. 転送元および転送先は、内蔵 RAM (高速 / 保持用) と内蔵周辺モジュール間または外部メモリと内蔵周辺モジュール間としてください。

ビット	ビット名	初期値	R/W	説明
10	DTSA	0	R/W	<p>DTC ショートアドレスモード</p> <p>DTC の転送情報リードを、3 ロングワード分で実現するモードです。</p> <p>0：転送情報リードを 4 ロングワード分で行います。転送情報の配置は図 9.2 の通常モード時の配置となります。</p> <p>1：転送情報リードを 3 ロングワード分で行います。転送情報の配置は図 9.2 のショートアドレスモード時の配置となります。</p> <p>【注】 SAR、DAR の上位 8 ビットを 1 とみなすため、内蔵周辺モジュールと内蔵 RAM (高速 / 保持用) 間の転送時のみ使用可能です。</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	DTPR	0	R/W	<p>DTC 起動の優先順位指定</p> <p>DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要求から転送を開始するか、DTC 起動優先順位に従って転送を開始するかを選択します。詳細は「9.5.10 DTC 起動の優先順位」を参照してください。</p> <p>0：最初に要求のあった DTC 起動要求から転送を開始する</p> <p>1：DTC 起動優先順位に従って転送を開始する</p> <p>【注】本ビットを 1 に設定する場合は、以下の制限があります。</p> <ol style="list-style-type: none"> 1. ベクタ情報は、内蔵 ROM または内蔵 RAM (高速) に配置してください。 2. 転送情報は内蔵 RAM (高速) に配置してください。 3. 転送情報リードスキップ機能は常に無効となります。 4. DTLOCK ビットは 1 に設定しないでください。
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください</p>

10.5 動作説明

10.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアンをサポートしています。

また、データバス幅は、通常メモリ、バイト選択付き SRAM、クロック非同期バースト ROM としては、8 ビット、16 ビット、32 ビット幅の 3 種類から選べます。SDRAM およびクロック同期バースト ROM のデータバス幅は、16 ビット、32 ビット幅の 2 種類から選べます。MPX-I/O では、8 ビットあるいは 16 ビット幅固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの変動となります。データのアライメントは、各デバイスのデータバス幅にあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表 10.6 ~ 表 10.8 に示します。

表 10.6 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 - D24	D23 - D16	D15 - D8	D7 - D0	WRHH、 DQMUU	WRHL、 DQMUL	WRH、 DQMLU	WRL、 DQMLL
0 番地バイト アクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイト アクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 10.7 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 DQMUU	WRHL、 DQMUL	WRH、 DQMLU	WRL、 DQMLL
0 番地バイトアクセス		-	-	データ 7 ~ 0	-	-	-	アサート	-
1 番地バイトアクセス		-	-	-	データ 7 ~ 0	-	-	-	アサート
2 番地バイトアクセス		-	-	データ 7 ~ 0	-	-	-	アサート	-
3 番地バイトアクセス		-	-	-	データ 7 ~ 0	-	-	-	アサート
0 番地ワードアクセス		-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート
2 番地ワードアクセス		-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート
0 番地ロングワード アクセス	1 回目 (0 番地)	-	-	データ 31 ~ 24	データ 23 ~ 16	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート

表 10.8 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 DQMUU	WRHL、 DQMUL	WRH、 DQMLU	WRL、 DQMLL
0 番地バイトアクセス		-	-	-	データ 7 ~ 0	-	-	-	アサート
1 番地バイトアクセス		-	-	-	データ 7 ~ 0	-	-	-	アサート
2 番地バイトアクセス		-	-	-	データ 7 ~ 0	-	-	-	アサート
3 番地バイトアクセス		-	-	-	データ 7 ~ 0	-	-	-	アサート
0 番地ワード アクセス	1 回目 (0 番地)	-	-	-	データ 15 ~ 8	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 7 ~ 0	-	-	-	アサート

オペレーション		データバス				ストローブ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 DQMUU	WRHL、 DQMUL	WRH、 DQMLU	WRL、 DQMLL
2 番地ワード アクセス	1 回目 (2 番地)	-	-	-	データ 15 ~ 8	-	-	-	アサート
	2 回目 (3 番地)	-	-	-	データ 7 ~ 0	-	-	-	アサート
0 番地ロングワード アクセス	1 回目 (0 番地)	-	-	-	データ 31 ~ 24	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 23 ~ 16	-	-	-	アサート
	3 回目 (2 番地)	-	-	-	データ 15 ~ 8	-	-	-	アサート
	4 回目 (3 番地)	-	-	-	データ 7 ~ 0	-	-	-	アサート

10.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のないSRAMの直結を考慮してストローブ信号を出力します。バイト選択付き端子のあるSRAMを使用する場合は、「10.5.8 バイト選択付きSRAMインタフェース」を参照ください。図10.2に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1サイクルアサートされます。

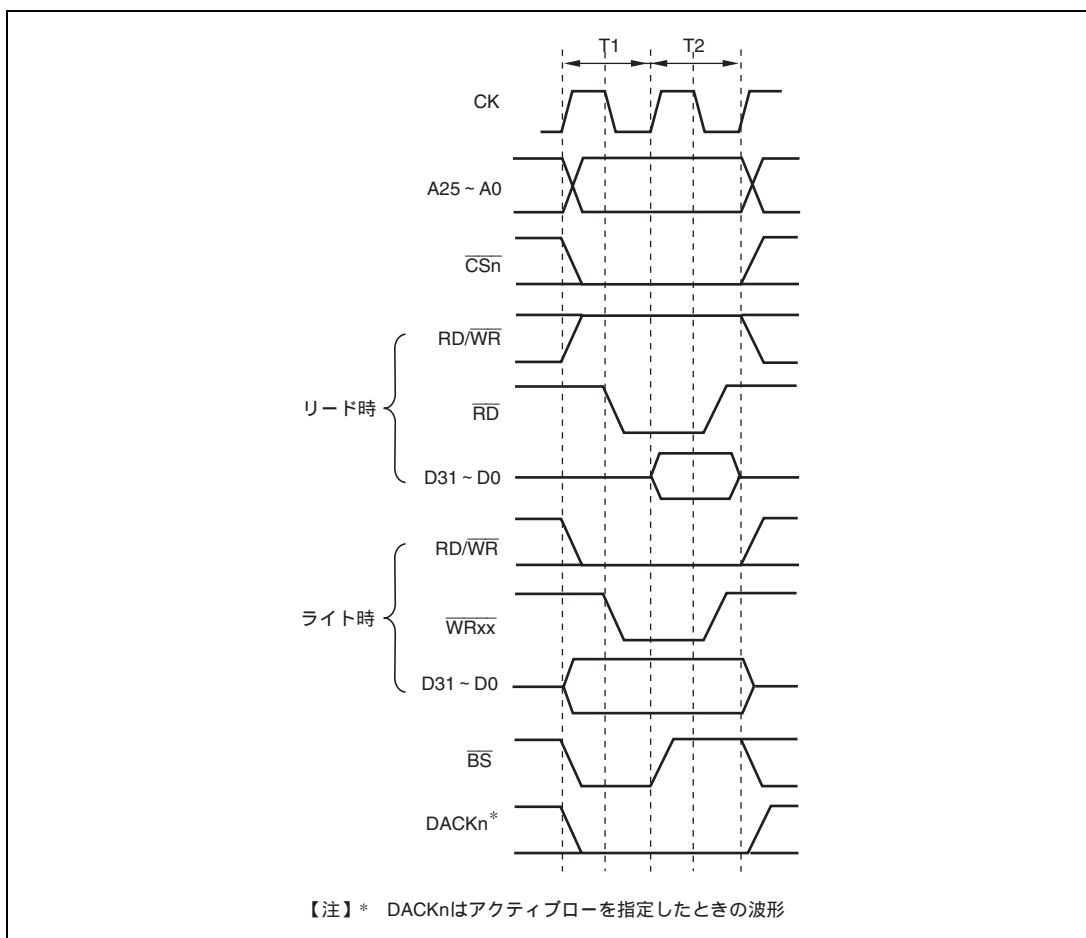


図 10.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32ビットデバイスでは32ビットを、16ビットデバイスでは16ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WRxx} 信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。 $\overline{RD}/\overline{WR}$ 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付け

データバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 10.3、図 10.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 10.3)。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑制することができます (図 10.4)。

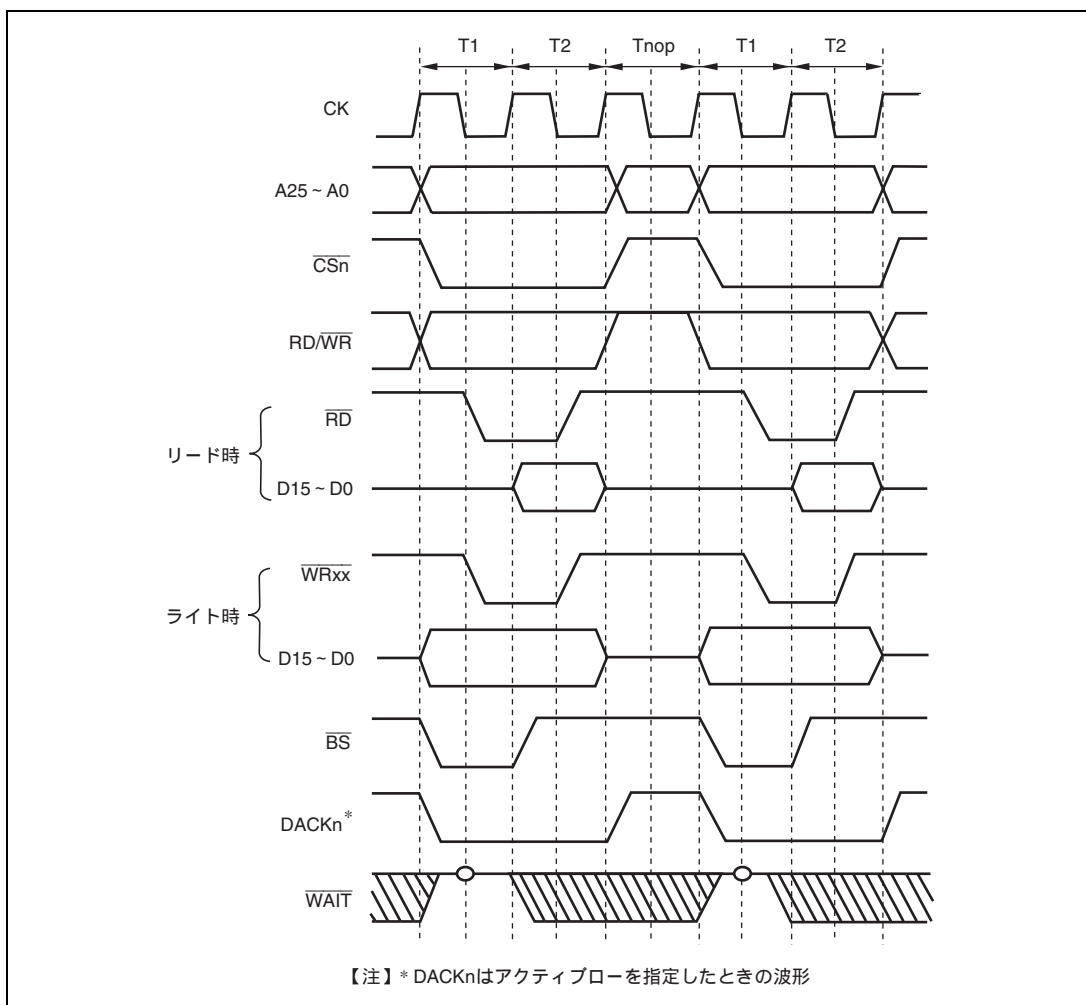


図 10.3 通常空間連続アクセス例 1
バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0
(アクセスウェイト 0、サイクル間ウェイト 0)

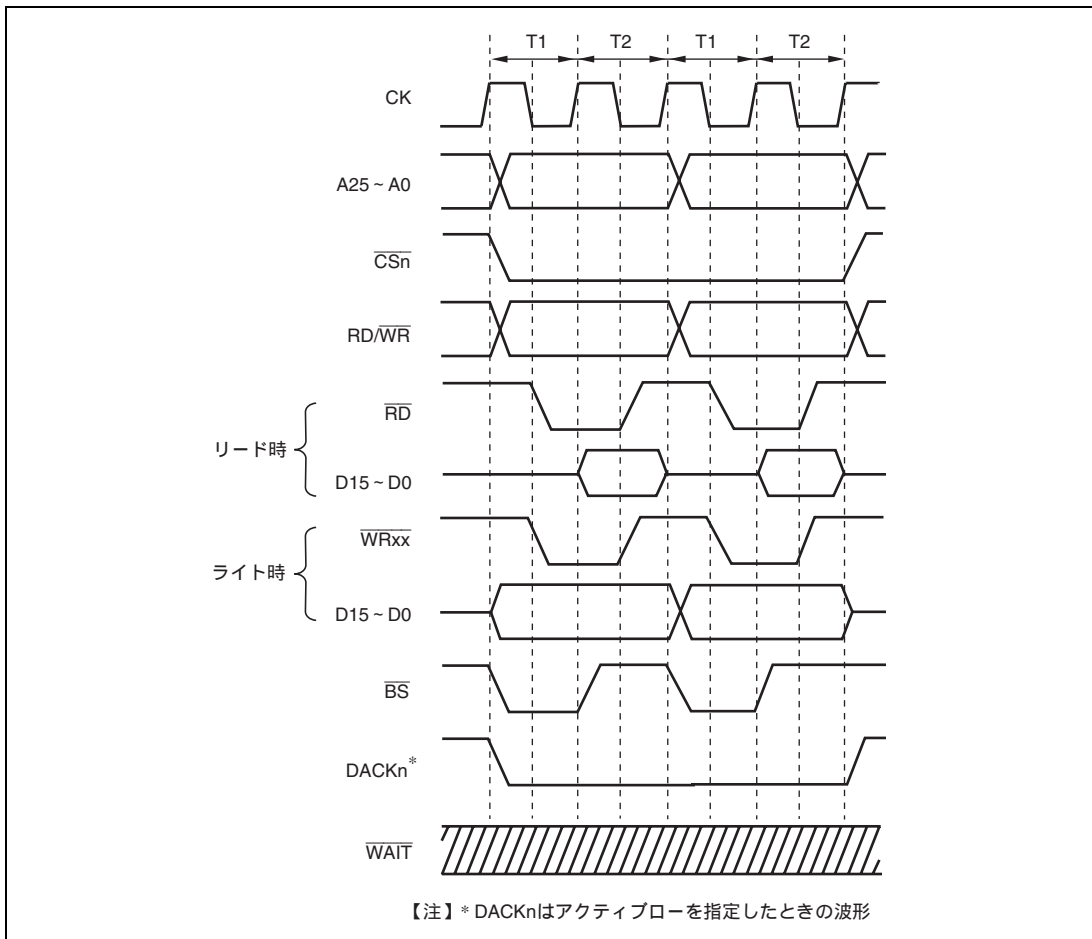


図 10.4 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1
 (アクセスウェイト 0、サイクル間ウェイト 0)

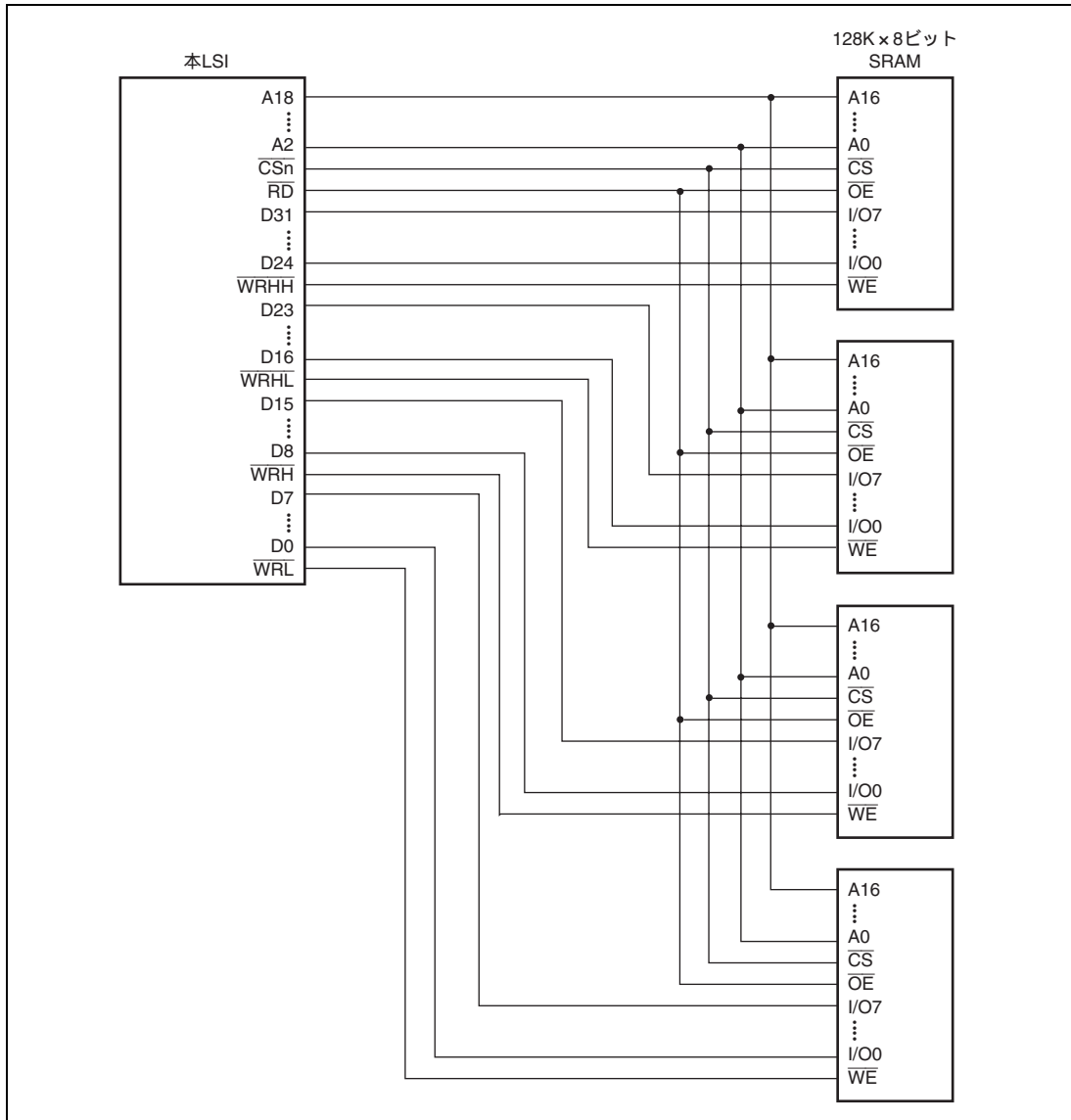


図 10.5 32 ビットデータ幅 SRAM 接続例

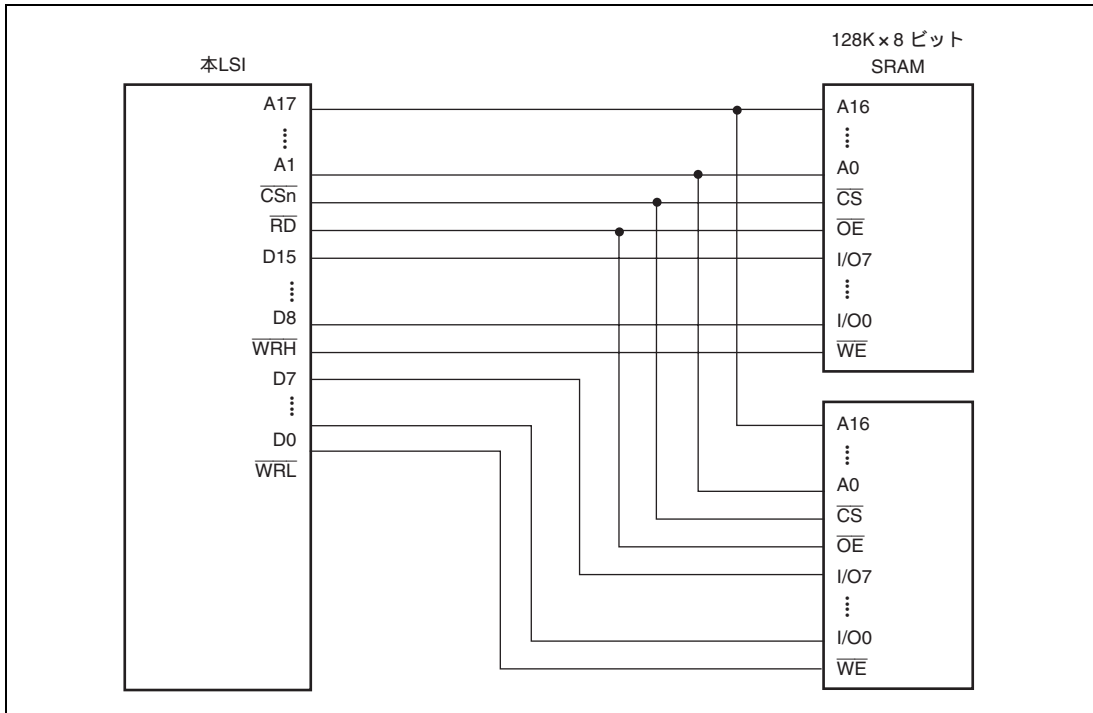


図 10.6 16 ビットデータ幅 SRAM 接続例

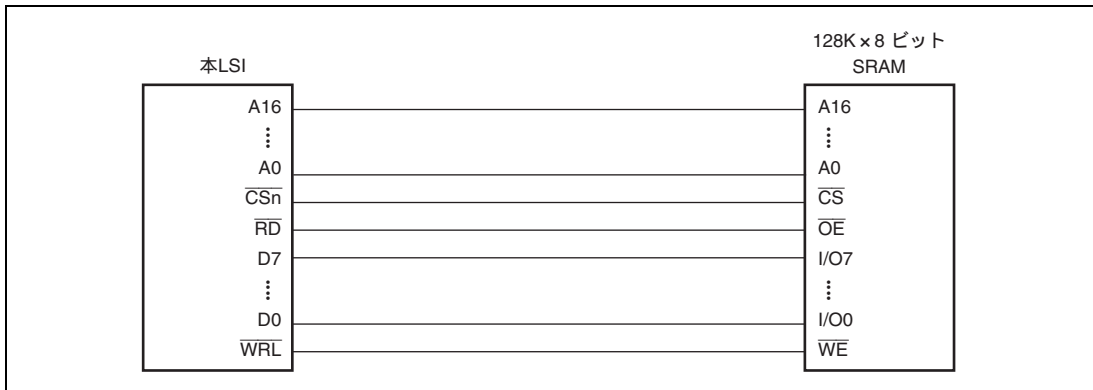


図 10.7 8 ビットデータ幅 SRAM 接続例

10.5.3 アクセスウェイト制御

CS_nWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。CS1 空間、CS4 空間、CS5 空間、および CS7 空間では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。CS0 空間、CS2 空間、CS3 空間、および CS6 空間のアクセスウェイトは、リードおよびライトサイクルで共通となります。図 10.8 に示す通常空間のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

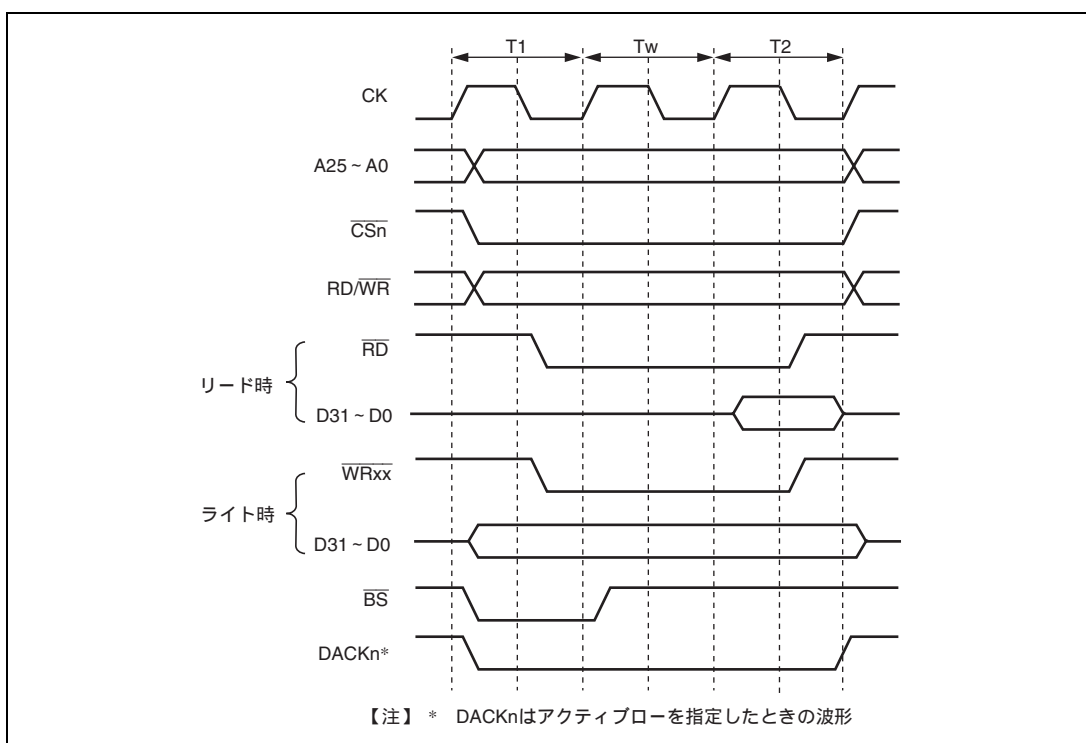


図 10.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 10.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CK の立ち下がりでサンプリングされます。

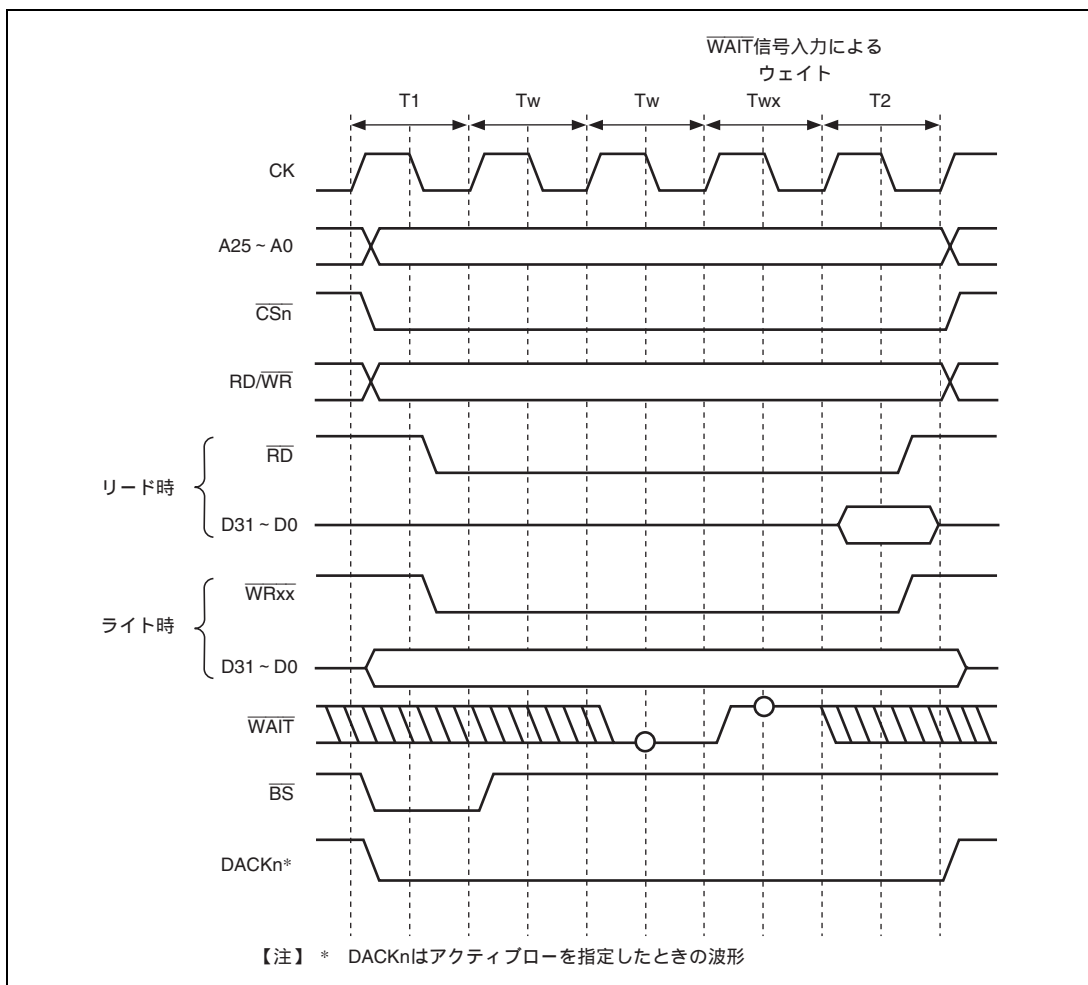


図 10.9 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

10.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW[1:0] ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WRxx} アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 \overline{RD} と \overline{WRxx} ネグートから \overline{CSn} ネグートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 10.10 に示します。 T_h および T_f サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WRxx} 以外はアサートされますが、 \overline{RD} と \overline{WRxx} はアサートされません。また、データは T_f サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

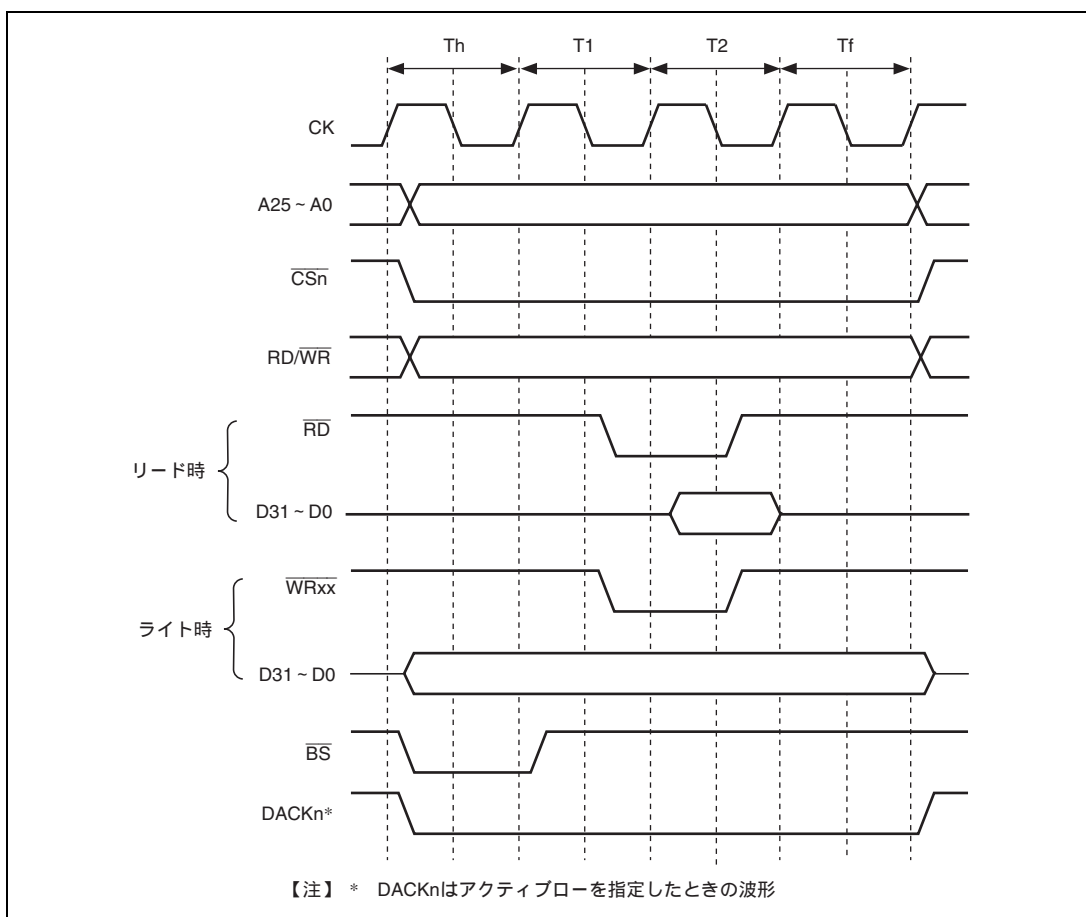


図 10.10 \overline{CSn} アサート期間拡張

10.5.5 MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、 $\overline{CS5}$ 、 \overline{AH} 、 \overline{RD} 、および $\overline{WR_{xx}}$ 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15 ~ D0 または D7 ~ D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR の MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

RD/ \overline{WR} 信号は $\overline{CS5}$ 信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

タイミングチャートを図 10.11 ~ 図 10.13 に示します。

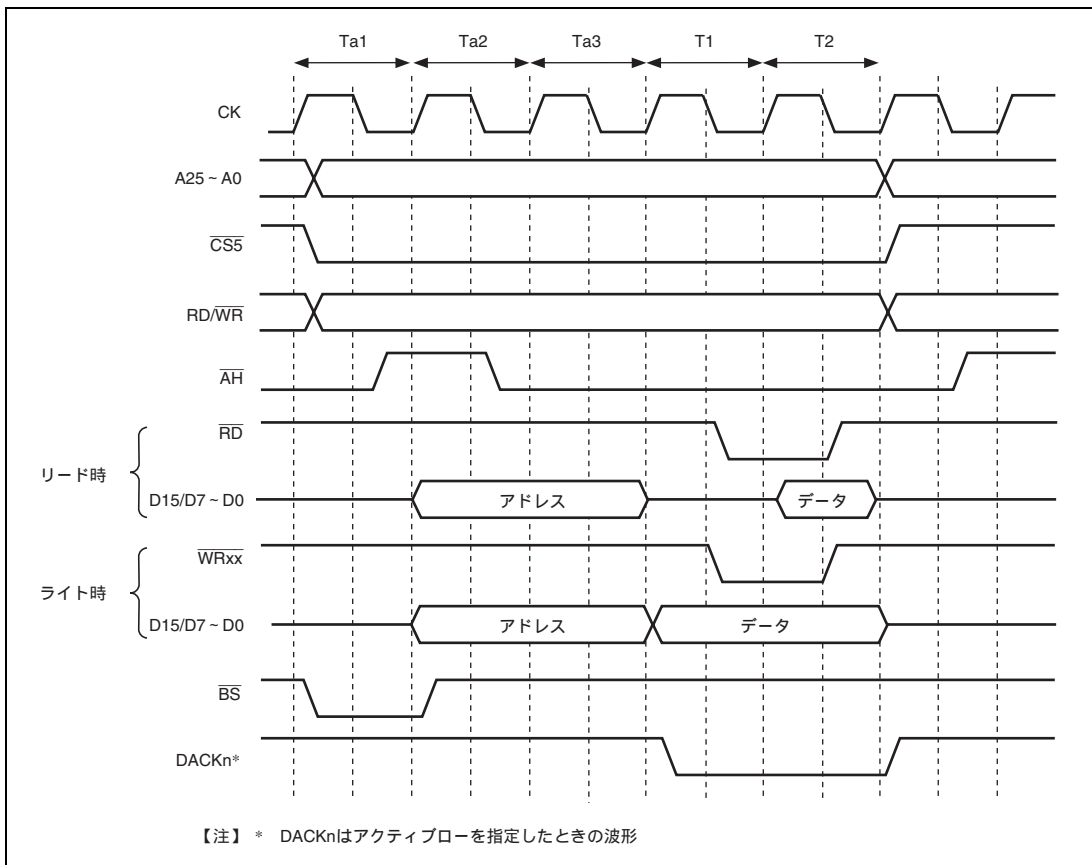


図 10.11 MPX 空間アクセスタイミング
(アドレスサイクルノーウェイト、データサイクルノーウェイト)

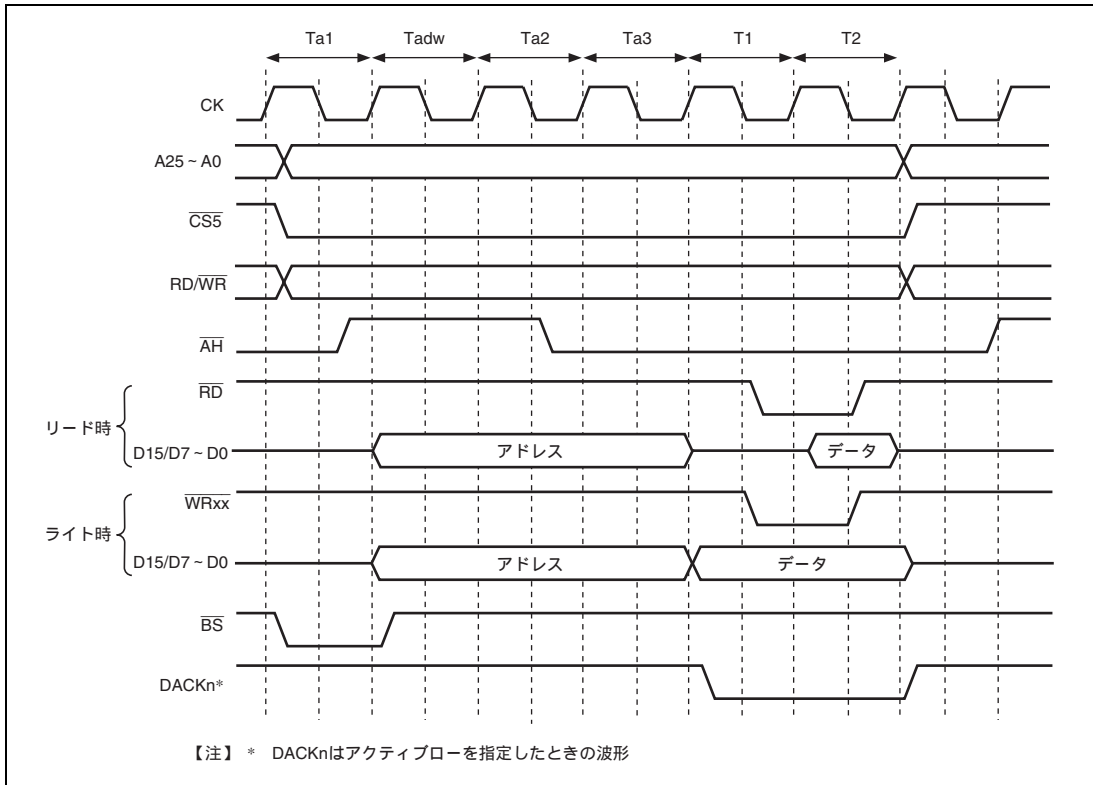


図 10.12 MPX 空間アクセスタイミング
(アドレスサイクルウェイト1、データサイクルノーウェイト)

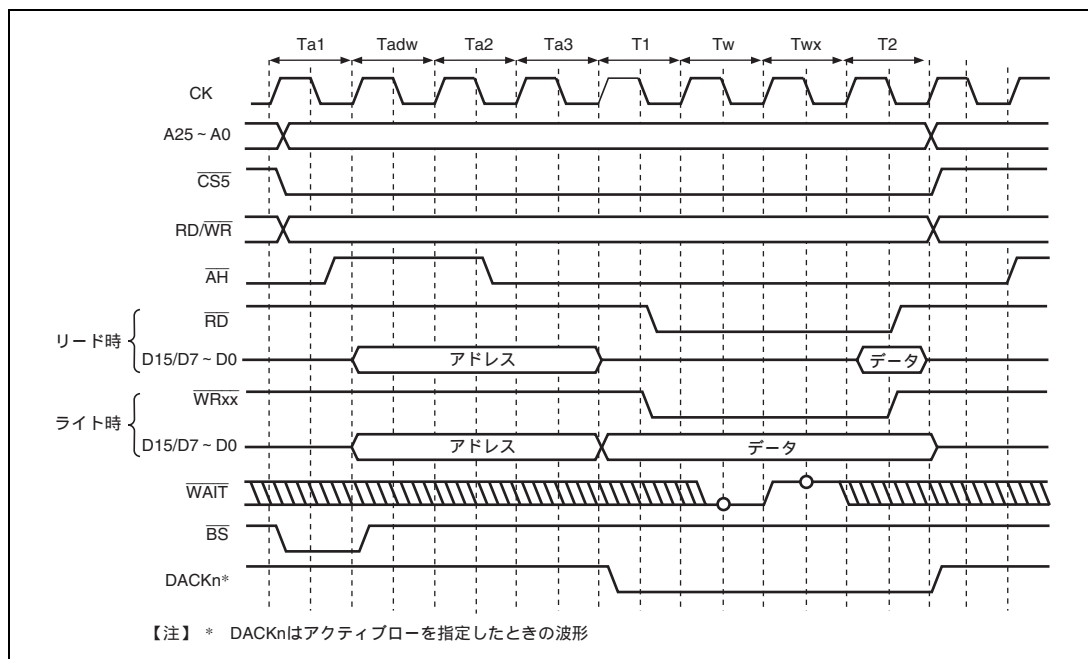


図 10.13 MPX 空間アクセスタイミング
(アドレスサイクルアクセスウェイト1、データサイクルウェイト1、外部ウェイト1)

10.5.6 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 / 12 / 13 ビット、コラムアドレスが 8 / 9 / 10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{CASU}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 DQM_{UU} 、 DQM_{UL} 、 DQML_{U} 、 DQML_{L} 、 CKE 、および $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ です。 $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ を除く信号は各空間に共通であり、 CKE を除く信号は $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

$\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS、EMRS) などをサポートしています。

アクセスするバイトの指定は、 DQM_{UU} 、 DQM_{UL} 、 DQML_{U} 、および DQML_{L} によって行われます。該当する DQM_{xx} がローレベルのバイトに対してリード/ライトが行われます。 DQM_{xx} とアクセスするバイトの関係は、「10.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。図 10.14 ~ 図 10.16 に本

LSI と SDRAM との接続例を示します。

図 10.16 に示すように本 LSI では同一 CS 空間内に $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、および $\overline{\text{CASL}}$ を用いることにより、32M バイト以下の SDRAM のセットを 2 つ接続することができます。この場合、同一 CS 空間内に $\overline{\text{RASL}}$ と $\overline{\text{CASL}}$ で指定される SDRAM の 4 バンクと、 $\overline{\text{RASU}}$ と $\overline{\text{CASU}}$ で指定される SDRAM の 4 バンクの計 8 バンクが存在します。A25 = 0 のアドレスのアクセスにおいて、 $\overline{\text{RASL}}$ と $\overline{\text{CASL}}$ がアサートされ、A25 = 1 のアドレスのアクセスにおいて $\overline{\text{RASU}}$ と $\overline{\text{CASU}}$ がアサートされます。

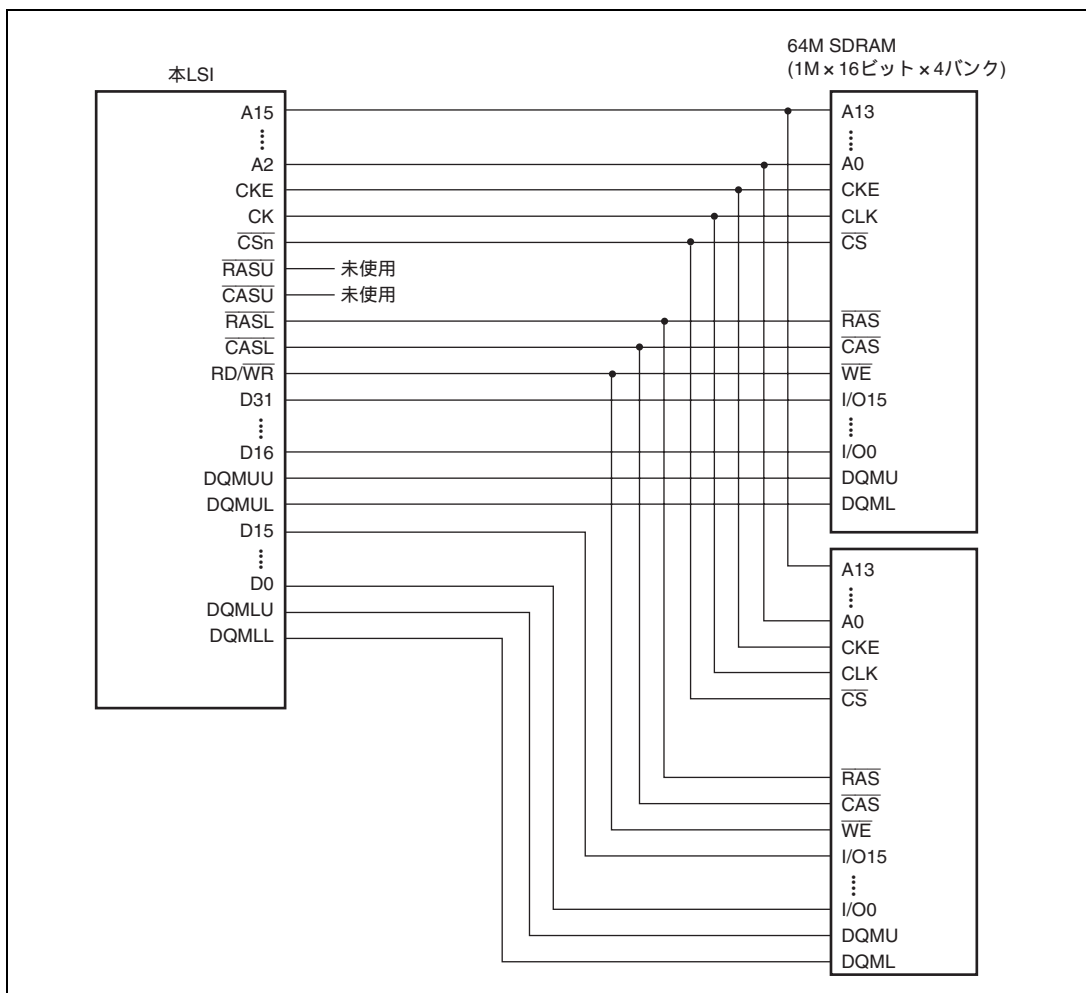
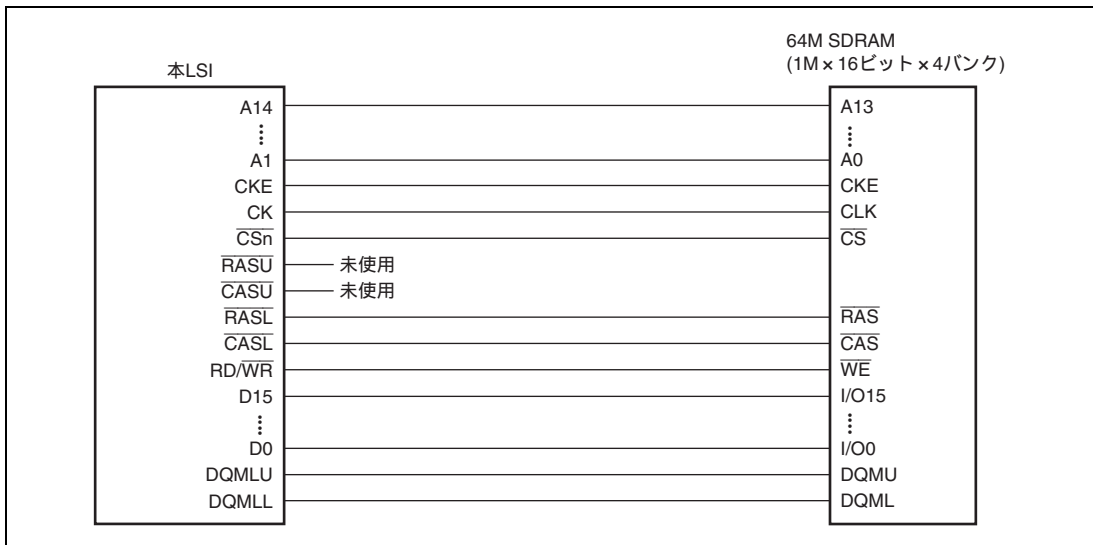


図 10.14 32 ビットデータ幅 SDRAM 接続例 ($\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$ 未使用)

図 10.15 16 ビットデータ幅 SDRAM 接続例 ($\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$ 未使用)

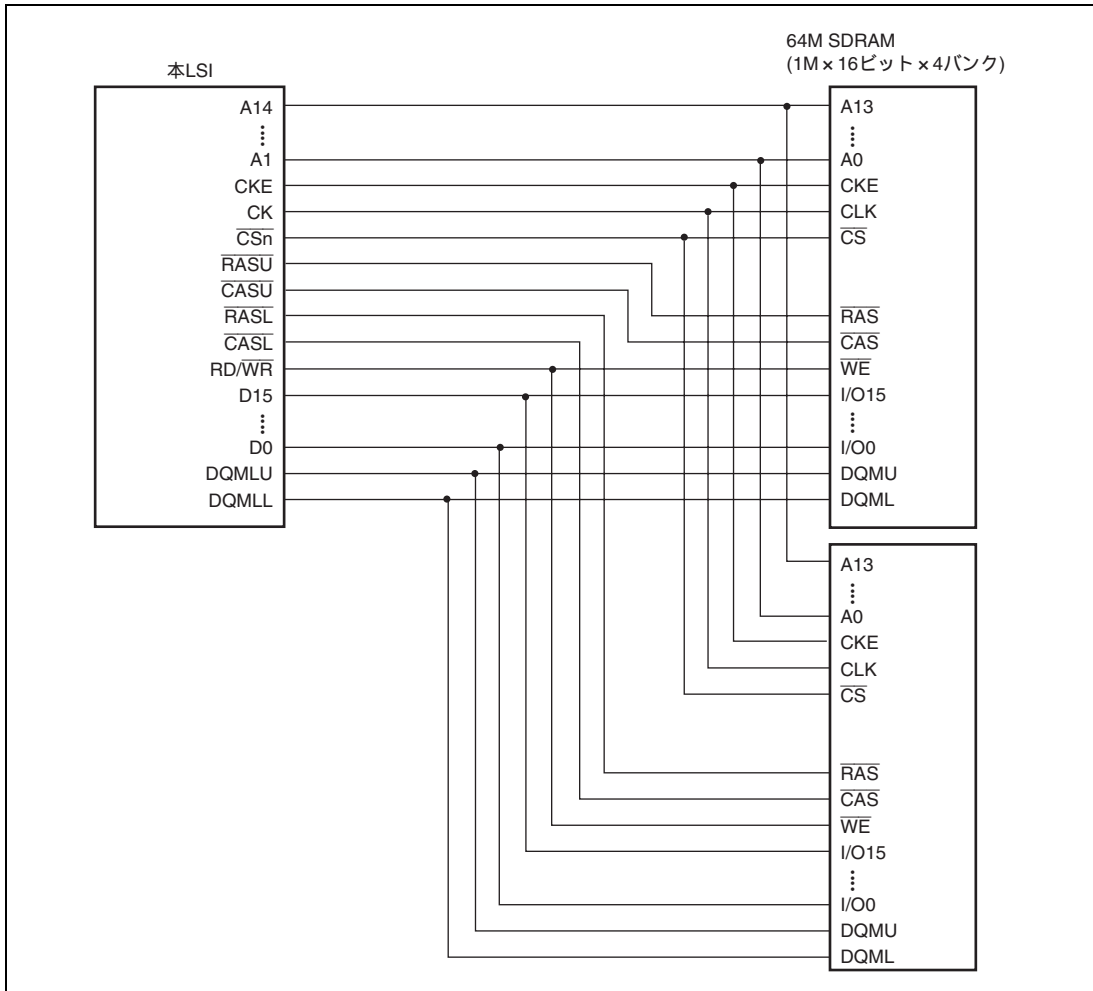


図 10.16 16 ビットデータ幅 SDRAM 接続例 (RASU、CASU 使用)

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 10.9～表 10.14 に BSZ[1:0]、A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25～A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットするとき (BSZ[1:0] = B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットするとき (BSZ[1:0] = B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 10.9 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (1)

設 定					設 定					
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			
11 (32 ビット)	00 (11 ビット)	00 (8 ビット)			11 (32 ビット)	01 (12 ビット)	00 (8 ビット)			
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能	本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能	
A17	A25	A17		未使用	A17	A25	A17		未使用	
A16	A24	A16			A16					
A15	A23	A15			A15					
A14	A22*2	A22*2	A12(BA1)	バンク指定	A14	A23*2	A23*2	A13(BA1)	バンク指定	
A13	A21*2	A21*2	A11(BA0)		A12(BA0)	A13	A22*2	A22*2		A12(BA0)
A12	A20	L/H*1	A10/AP	アドレス / プリチャージ 指定	A12	A21	A13	A11	アドレス	
A11	A19	A11	A9		A10/AP	A12	A20	L/H*1	A10/AP	アドレス / プリチャージ 指定
A10	A18	A10	A8		A9	A11	A19	A11	A9	アドレス
A9	A17	A9	A7		A10	A10	A18	A10	A8	
A8	A16	A8	A6		A9	A9	A17	A9	A7	
A7	A15	A7	A5		A8	A8	A16	A8	A6	
A6	A14	A6	A4		A7	A7	A15	A7	A5	
A5	A13	A5	A3		A6	A6	A14	A6	A4	
A4	A12	A4	A2		A5	A5	A13	A5	A3	
A3	A11	A3	A1		A4	A4	A12	A4	A2	
A2	A10	A2	A0		A3	A3	A11	A3	A1	
A1	A9	A1			未使用	A2	A10	A2	A0	
A0	A8	A0				A1	A0	A1	A9	
					A0	A8	A0		未使用	
接続メモリ例					接続メモリ例					
64M ビット品 (512K ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個 16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 2 個					128M ビット品 (1M ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個 64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 2 個					

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.10 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (2)

設 定			SDRAM の 端 子	機 能	設 定			SDRAM の 端 子	機 能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	01 (9 ビット)			11 (32 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル			本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A26	A17		未使用	A17	A27	A17		未使用
A16	A25	A16			A16	A26	A16		
A15	A24*2	A24*2	A13(BA1)	バンク指定	A15	A25*2*3	A25*2*3	A13(BA1)	バンク指定
A14	A23*2	A23*2	A12(BA0)		A14	A24*2	A24*2	A12(BA0)	
A13	A22	A13	A11	アドレス	A13	A23	A13	A11	アドレス
A12	A21	L/H*1	A10/AP	アドレス / プリチャージ 指定	A12	A22	L/H*1	A10/AP	アドレス / プリチャージ 指定
A11	A20	A11	A9	アドレス	A11	A21	A11	A9	アドレス
A10	A19	A10	A8		A10	A20	A10	A8	
A9	A18	A9	A7		A9	A19	A9	A7	
A8	A17	A8	A6		A8	A18	A8	A6	
A7	A16	A7	A5		A7	A17	A7	A5	
A6	A15	A6	A4		A6	A16	A6	A4	
A5	A14	A5	A3		A5	A15	A5	A3	
A4	A13	A4	A2		A4	A14	A4	A2	
A3	A12	A3	A1		A3	A13	A3	A1	
A2	A11	A2	A0		A2	A12	A2	A0	
A1	A10	A1		未使用	A1	A11	A1		未使用
A0	A9	A0			A0	A10	A0		
接続メモリ例					接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、カラム 9 ビット品) 1 個 128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 2 個					512M ビット品 (4M ワード×32 ビット×4 バンク、カラム 10 ビット品) 1 個 256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、RASL のみアサートされます。RASU は、アサートされません。

表 10.11 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (3)

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	10 (13 ビット)	01 (9 ビット)		
本 LSI の出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機能
A17	A26	A17		未使用
A16	A25 ^{*2*} ^{*3}	A25 ^{*2*} ^{*3}	A14(BA1)	バンク指定
A15	A24 ^{*2}	A24 ^{*2}	A13(BA0)	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H ^{*1}	A10/AP	
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		
A0	A9	A0		
接続メモリ例				
512M ビット品 (4M ワード × 32 ビット × 4 バンク、カラム 9 ビット品) 1 個				
256M ビット品 (4M ワード × 16 ビット × 4 バンク、カラム 9 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、 $\overline{\text{RASL}}$ のみアサートされます。 $\overline{\text{RASU}}$ は、アサートされません。

表 10.12 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (4)

設 定					設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]			BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	00 (11bit)	00 (8bit)			10 (16bit)	01 (12bit)	00 (8bit)		
本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能	本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用	A17	A25	A17		未使用
A16	A24	A16							
A15	A23	A15							
A14	A22	A14							
A13	A21	A21							
A12	A20 ^{*2}	A20 ^{*2}	A11(BA0)	バンク指定	A12	A20	A12	A11	アドレス
A11	A19	L/H ^{*1}	A10/AP	アドレス/ プリチャージ 指定	A11	A19	L/H ^{*1}	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス	A10	A18	A10	A9	アドレス
A9	A17	A9	A8						
A8	A16	A8	A7						
A7	A15	A7	A6						
A6	A14	A6	A5						
A5	A13	A5	A4						
A4	A12	A4	A3						
A3	A11	A3	A2						
A2	A10	A2	A1						
A1	A9	A1	A0						
A0	A8	A0		未使用	A0	A8	A0		未使用
接続メモリ例					接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 1 個					64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.13 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (5)

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	01 (12bit)	01 (9bit)		
本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23*2	A23*2	A13(BA1)	バンク指定
A13	A22*2	A22*2	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24*2	A24*2	A13(BA1)	バンク指定
A13	A23*2	A23*2	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.14 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクス関係 (6)

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	10 (13bit)	01 (9bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24*2	A24*2	A14(BA1)	バンク指定
A14	A23*2	A23*2	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H*1	A10/AP	アドレス / プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	10 (13bit)	10 (10bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25*2*3	A25*2*3	A14(BA1)	バンク指定
A14	A24*2	A24*2	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H*1	A10/AP	アドレス / プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、 \overline{RASL} のみアサートされます。 \overline{RASU} はアサートされません。

(3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 4 回連続して行います。このときのアクセスをバースト数 4 のパーストリードと呼びます。表 10.15 にアクセスサイズとバースト数の関係を示します。

表 10.15 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4

パーストリード時のタイミングチャートを図 10.17 と図 10.18 に示します。パーストリードでは ACTV コマンド出力を行う T_r サイクルに続いて、READ コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、READA コマンドを T_{c4} サイクルに発行し、 T_{d1} から T_{d4} のサイクルに外部クロック (CK) の立ち上がりでリードデータを受け取ります。 T_{ap} サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0]の指定によって T_{ap} のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 10.18 となります。ACTV コマンド出力サイクル T_r から READ コマンド出力サイクル T_{c1} までのサイクル数は、CS3WCR の WTRCD[1:0]ビットによって指定することができます。WTRCD[1:0]の設定が 1 サイクル以上の場合、 T_r サイクルと T_{c1} サイクルの間に NOP コマンド発行サイクル T_{rw} サイクルが挿入されます。READ コマンド出力サイクル T_{c1} からリードデータ取りこみサイクル T_{d1} までのサイクル数は、CS2WCR の A2CL[1:0]ビットおよび CS3WCR の A3CL[1:0]ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

T_{de} サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、パーストリード、シングルリード時に必ず 1 サイクル発生します。

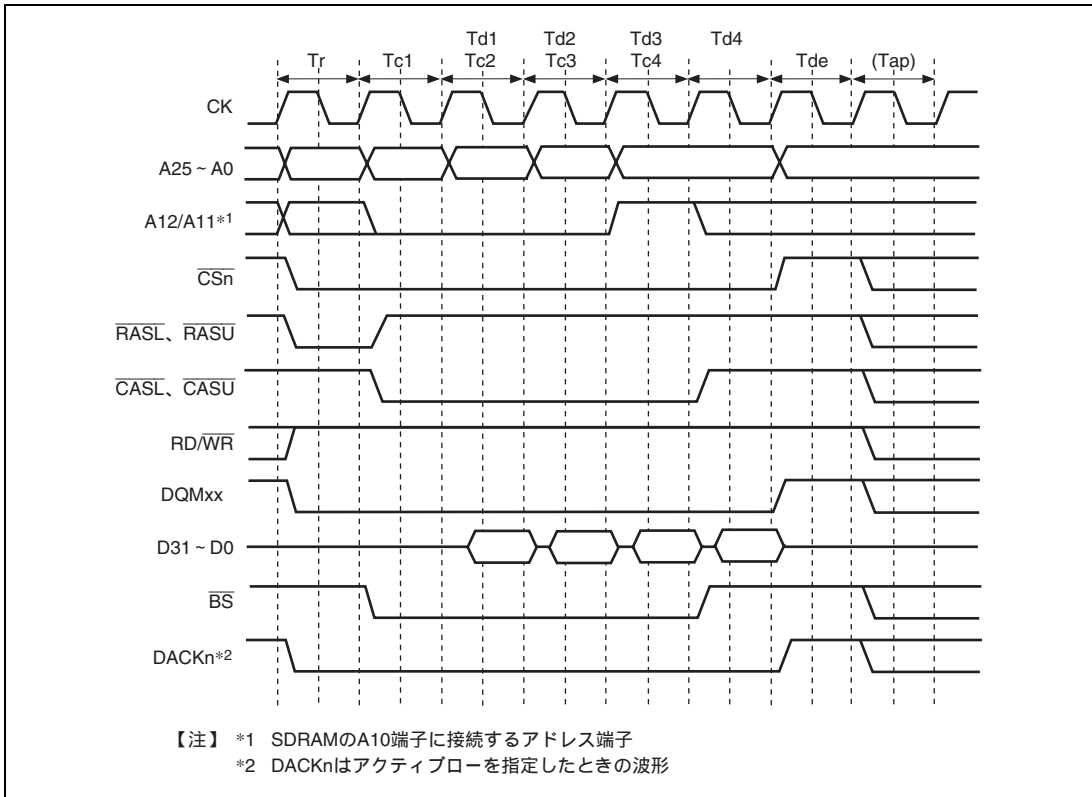


図 10.17 バーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)

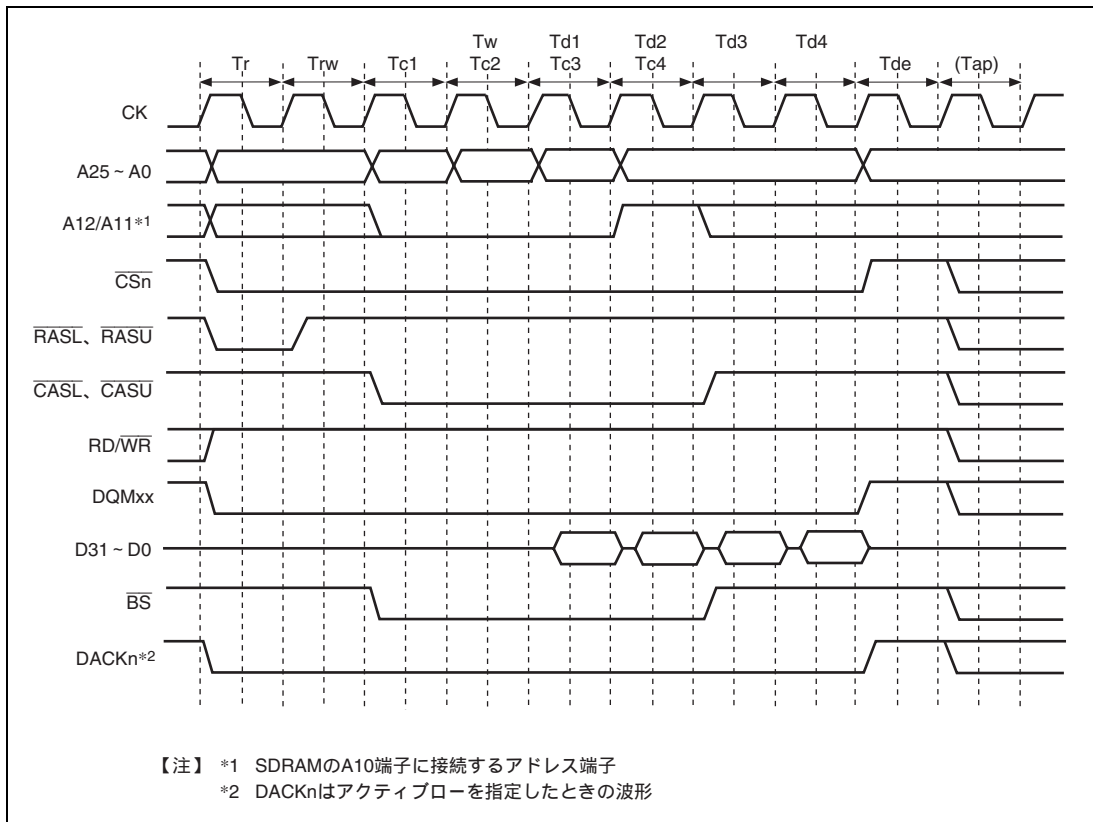


図 10.18 バーストリードウェイト指定タイミング
(CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)

(4) シングルリード

データバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。SDRAMは、バースト長1のバーストリードに設定しているので必要なデータのみ出力します。1回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図 10.19 に示します。

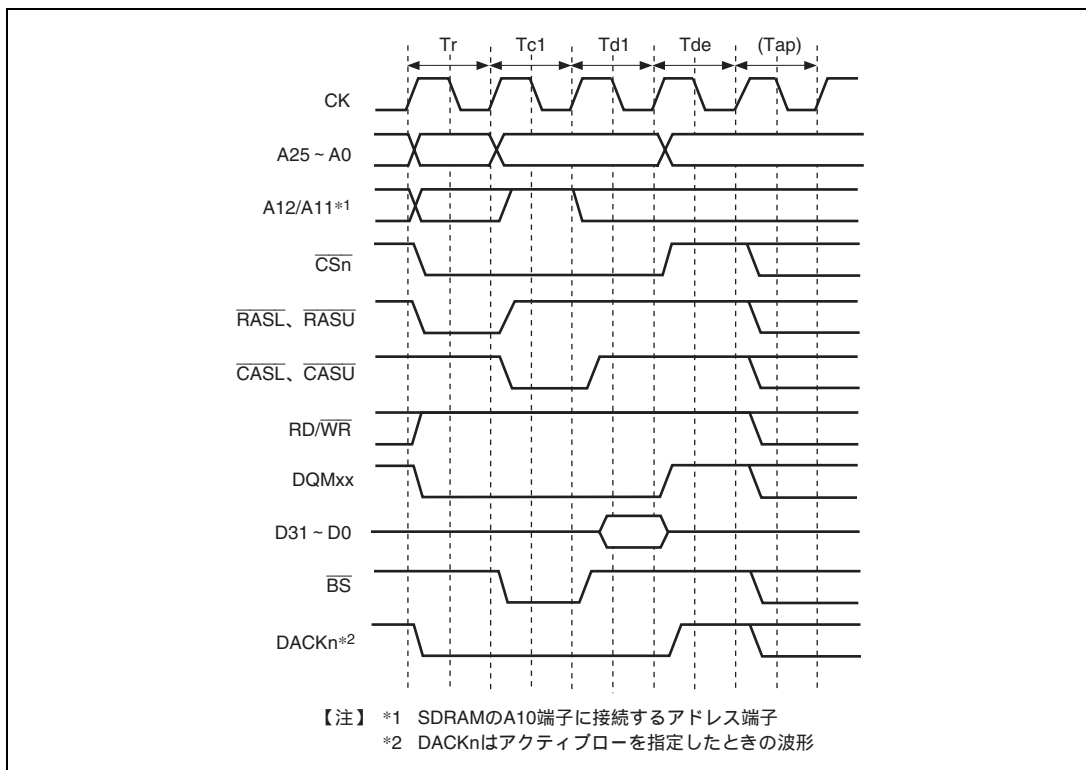


図 10.19 シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)

(5) バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 4 回連続して行います。このときのアクセスをバースト数 4 のバーストライトと呼びます。アクセスサイズとバースト数の関係は、表 10.15 に従います。図 10.20 にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う T_r サイクルに続いて WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時

に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ $Trw1$ サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。 Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。 $Trw1$ サイクルおよび Tap サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。 $Trw1$ サイクルは CS3WCR の TRWL[1:0]ビットおよび Tap サイクルは CS3WCR の WTRP[1:0]ビットの指定で決定されます。

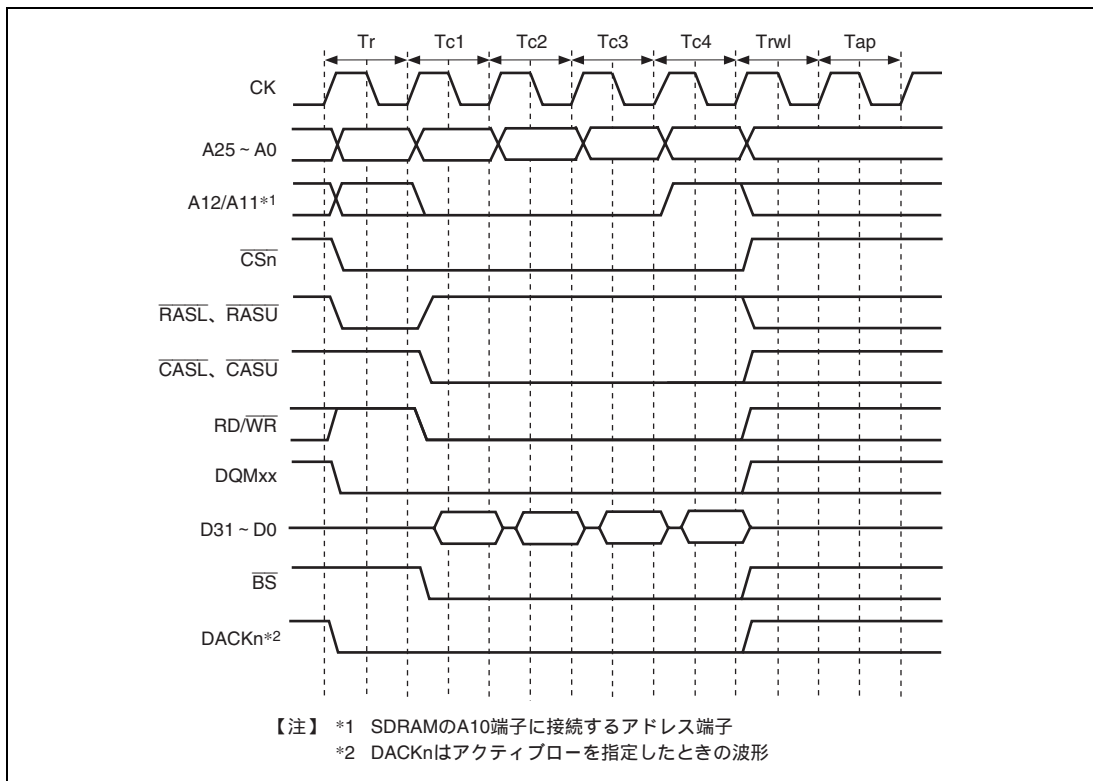


図 10.20 バーストライト基本タイミング (オートプリチャージ)

(6) シングルライト

データバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。SDRAMは、シングルライトまたはバースト長1のバーストライトに設定しているため、必要なデータのみライトされます。1回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図10.21に示します。

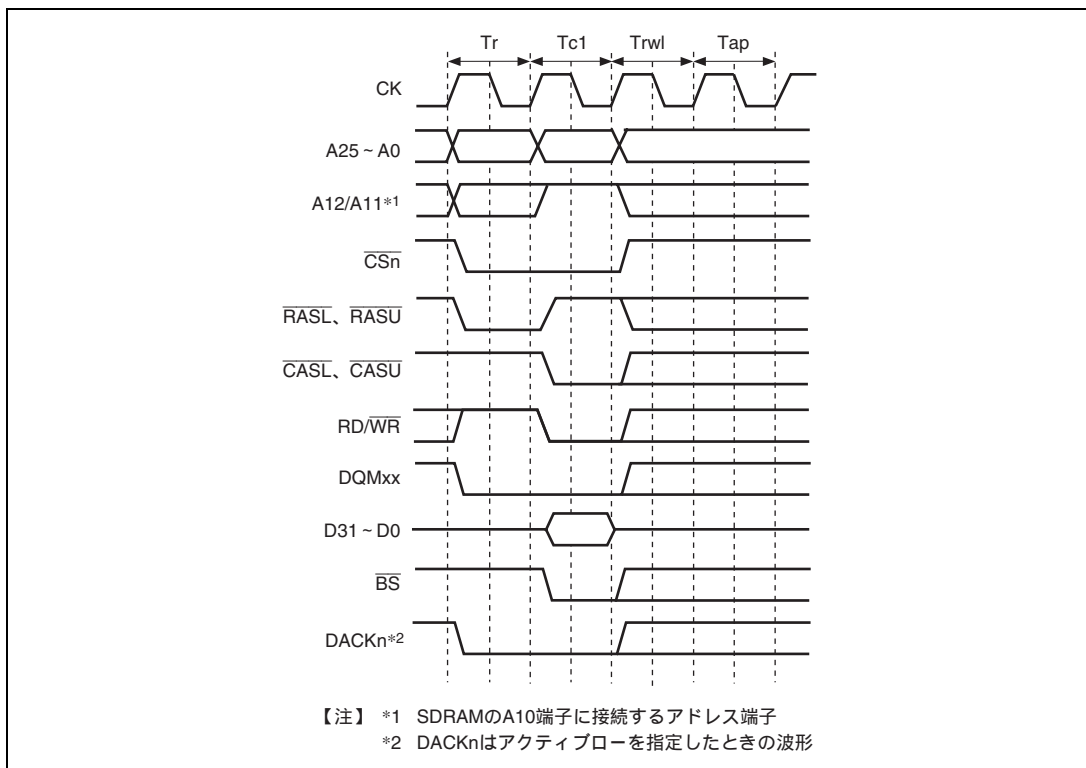


図 10.21 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAMのバンク機能を使用することができます。SDCRのBACTVビットが1の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、CS3空間に対してのみです。CS3空間をバンクアクティブモードに設定している場合は、CS2空間は通常空間またはバイト選択付きSRAMに設定してください。CS2空間およびCS3空間の両空間をSDRAM設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTVコマンドを発行せずに、ただちにREADまたはWRITコマンドを発行することができます。SDRAMの内部は複数のバンクに分かれているので、それぞれのバンクで1つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであ

った場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0]ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl + Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl + Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 10.22 にオートプリチャージのないバーストリードサイクルを、図 10.23 には同一のロウアドレスに対するバーストリードサイクルを、図 10.24 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 10.25 にオートプリチャージのないシングルライトサイクルを、図 10.26 に同一のロウアドレスに対するシングルライトサイクルを、図 10.27 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 10.23 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、図 10.22 または図 10.25 で始まり、図 10.23 または図 10.26 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 10.23 または図 10.26 の代わりに図 10.24 または図 10.27 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

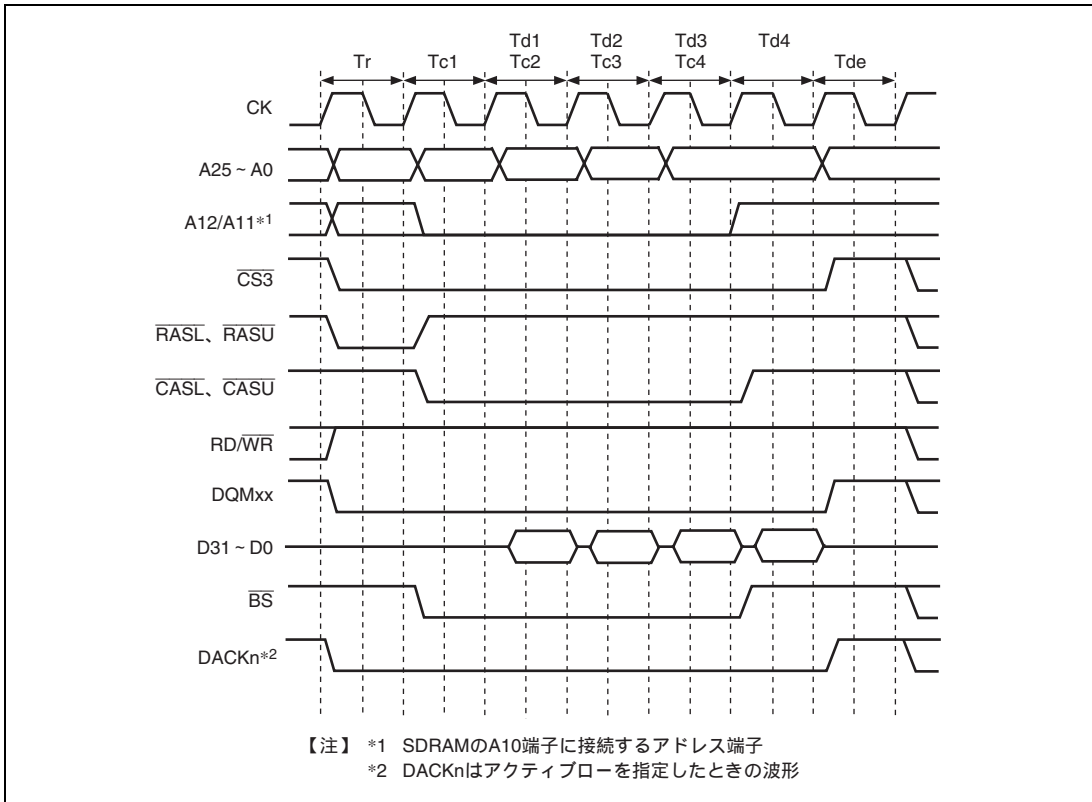


図 10.22 バーストリードタイミング (バンクアクティブ、異なるバンク、CAS レイテンシ 1)

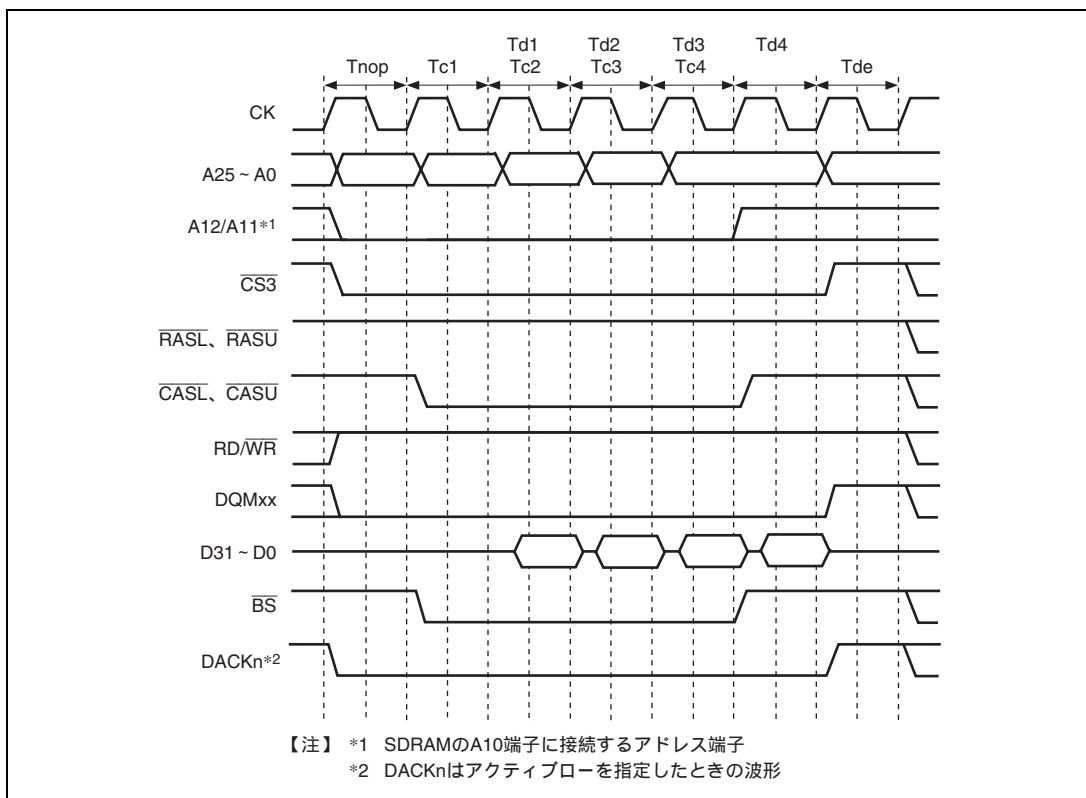


図 10.23 バーストリードタイミング (バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1)

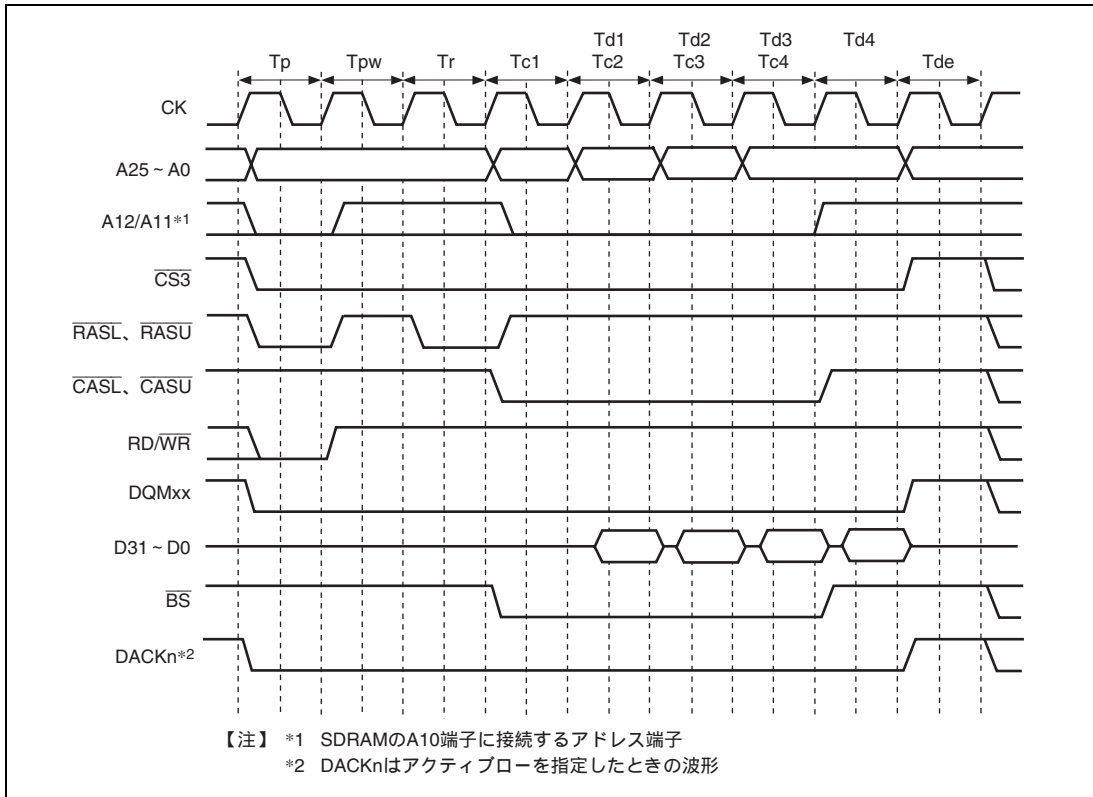


図 10.24 バーストリードタイミング
(バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)

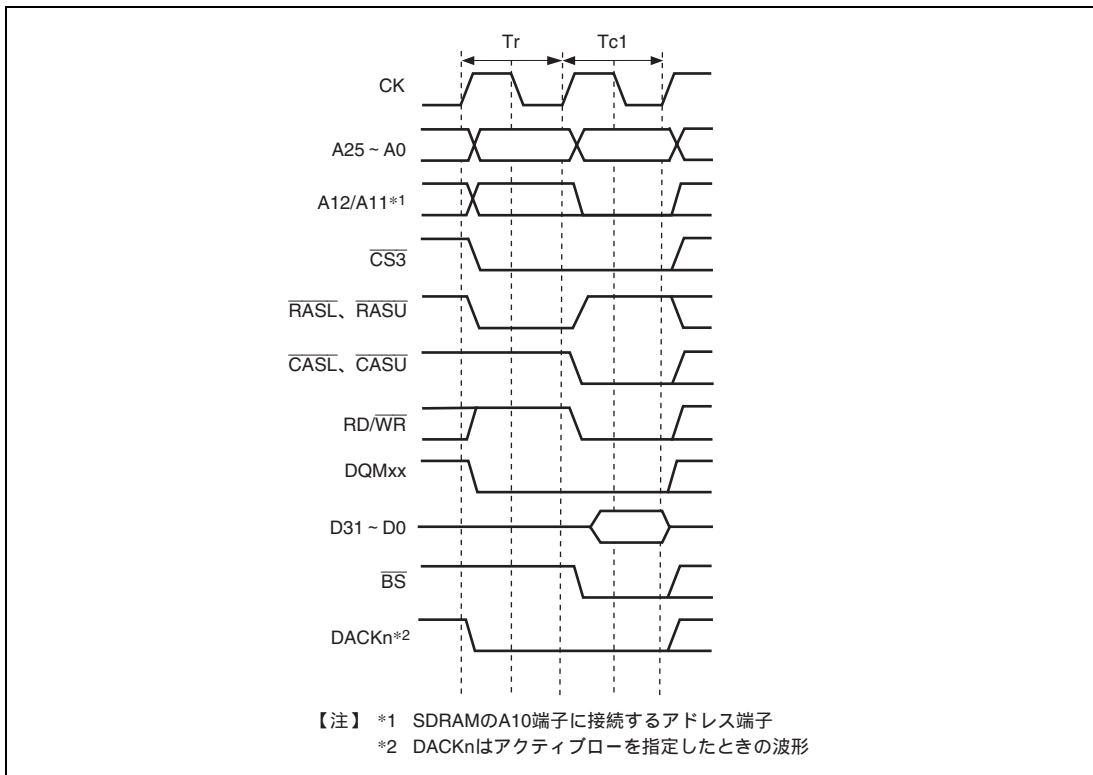


図 10.25 シングルライトタイミング (バンクアクティブ、異なるバンク)

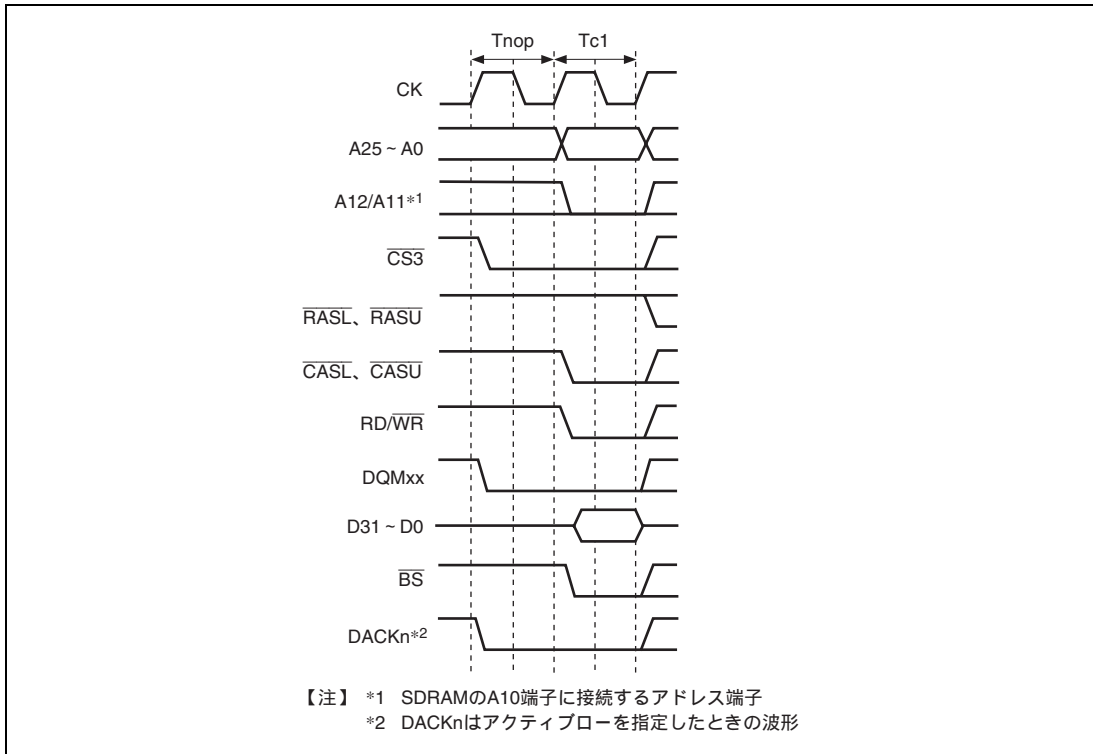


図 10.26 シングルライトタイミング (バンクアクティブ、同一バンクで同一ロウアドレス)

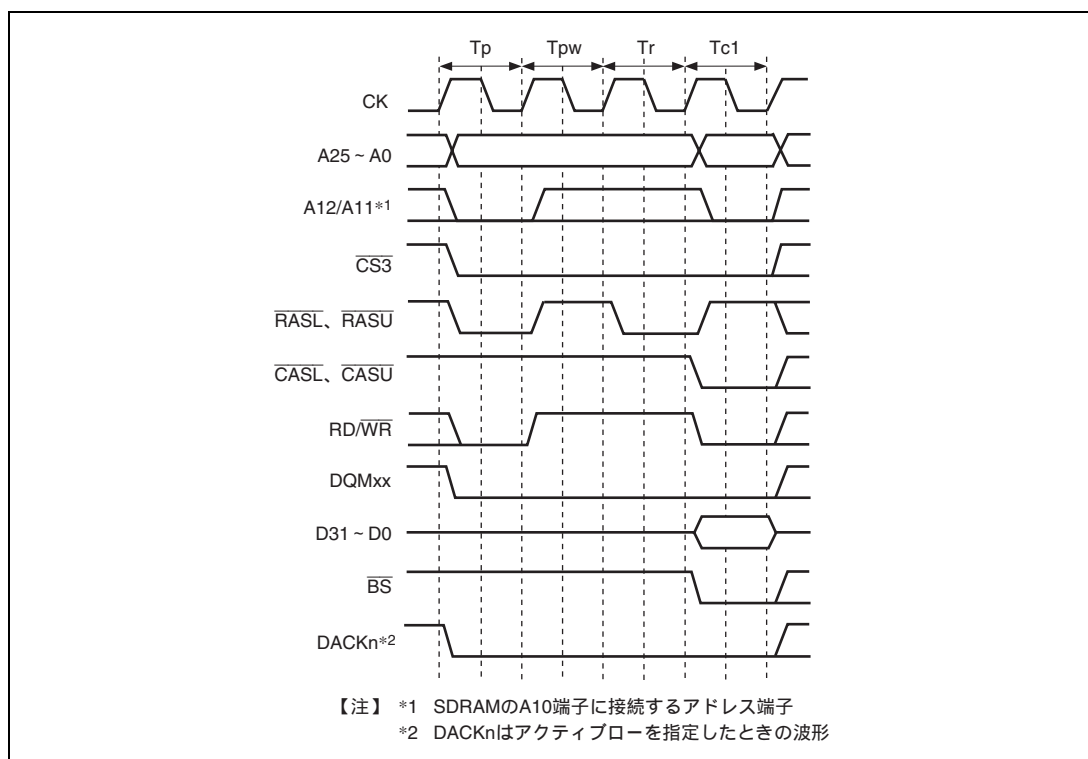


図 10.27 シングルライトタイミング (バンクアクティブ、同一バンクで異なるロウアドレス)

(8) リフレッシュ

BSC は、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビットおよび、RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] によって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されず。

図 10.28 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状

態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{rr} サイクルに発行します。 T_{rr} サイクル後 CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように WTRC[1:0] ビットを設定する必要があります。CS3WCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間にアイドルサイクルが挿入されます。

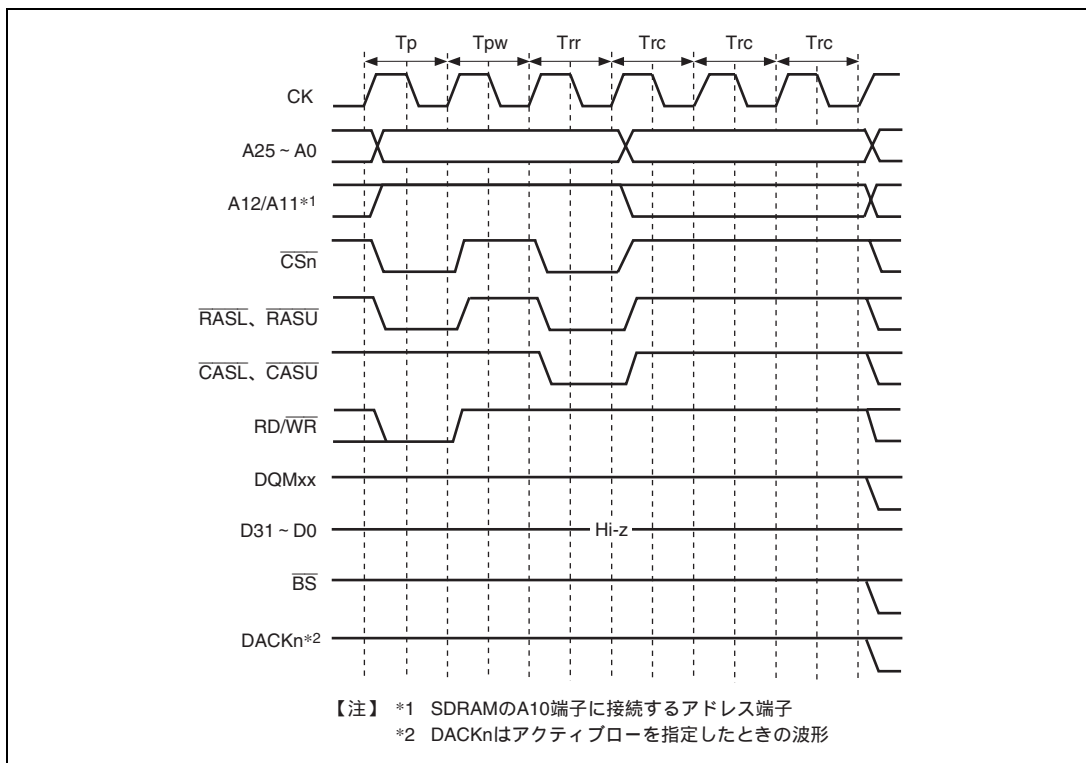


図 10.28 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 10.29 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH=1、RMODE=0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、

(RTCOR の値 - 1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、BSC のレジスタが初期化されるためセルフリフレッシュ状態が解除されます。

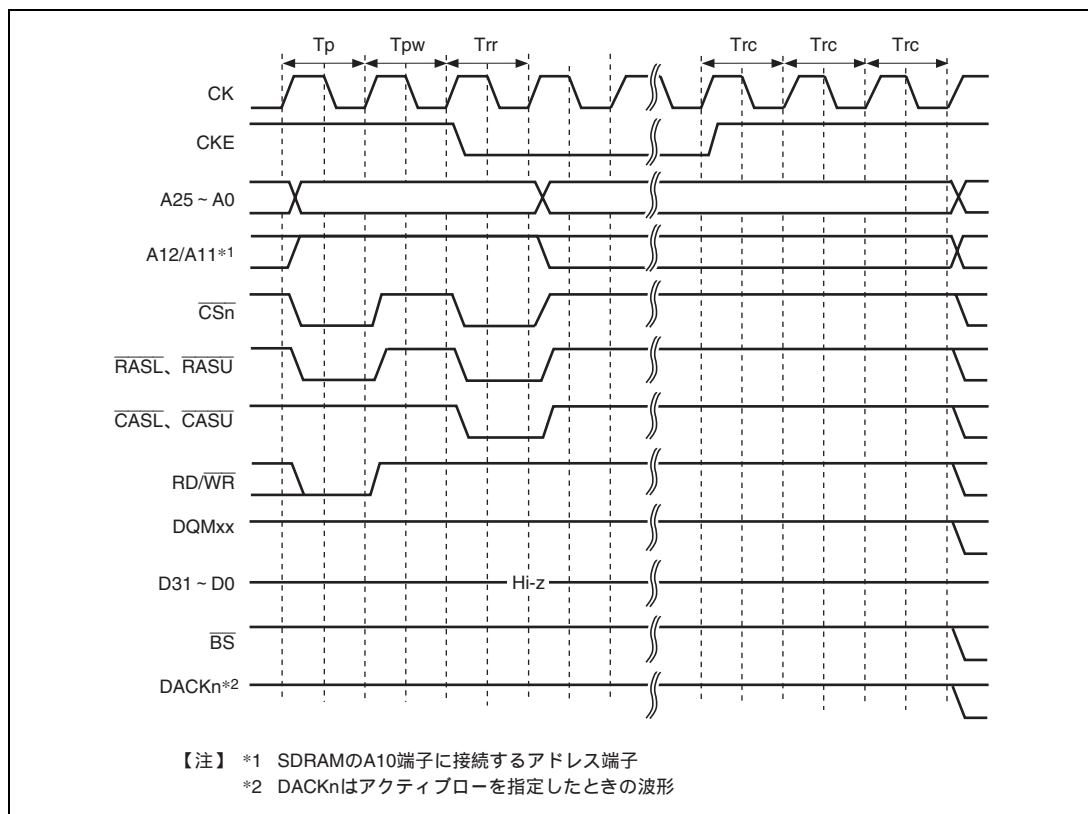


図 10.29 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトラージ機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。本 LSI はリフレッシュの実行が待たされている間に、バス権を要求する信号として $\overline{\text{REFOUT}}$ 端子を設けています。 $\overline{\text{REFOUT}}$ 端子の選択については「第 22 章 ピンファンクションコントローラ (PFC)」を参照してください。バス権を獲得するまで $\overline{\text{REFOUT}}$ をローレベルにアサートし続けます。

外部デバイスは $\overline{\text{REFOUT}}$ アサートにより、 $\overline{\text{BREQ}}$ をネグートしバス権を返してください。外部デバイスがリフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ動作ができず SDRAM の内容は保証できなく

なりますので注意してください。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起こらないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

(10) 低周波数モード

SDCR の SLOW ビットを 1 に設定すると、コマンド、アドレス、ライトデータの出力、およびリードデータの取り込みを、SDRAM を低周波数で動作させるのに適したタイミングで行います。

図 10.30 に低周波数モードでのアクセスタイミングを示します。このモードでは、コマンド、アドレス、ライトデータを通常より半サイクル遅い CK の立ち下がりに同期して出力します。また、リードデータを通常より半サイクル早い CK の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、リードデータのホールド時間を延長することができます。

SLOW ビットを 1 に設定して高周波数で SDRAM を動作させると、コマンド、アドレス、ライトデータ、リードデータのセットアップ時間が確保できなくなる可能性があります。SLOW ビットの設定は、動作周波数やボードのタイミング設計を考慮して決定してください。

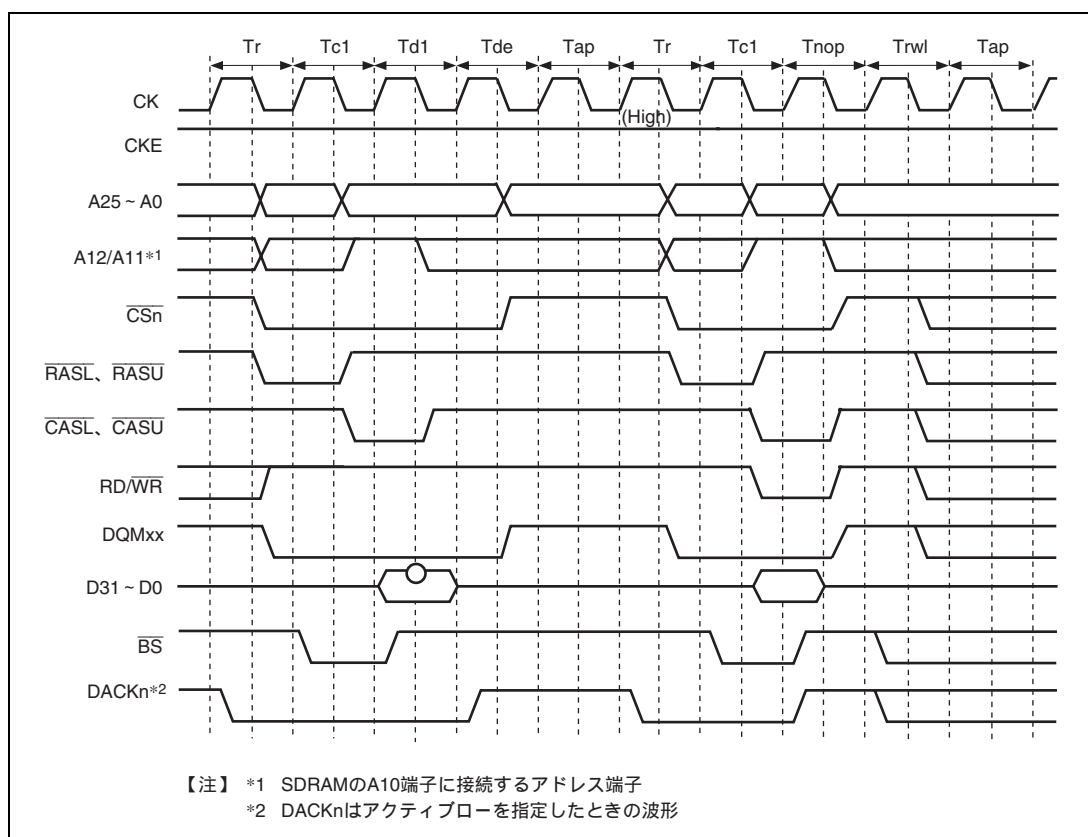


図 10.30 低周波数モードでのアクセスタイミング

(11) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE をローレベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 10.31 にパワーダウンモードでのアクセスタイミングを示します。

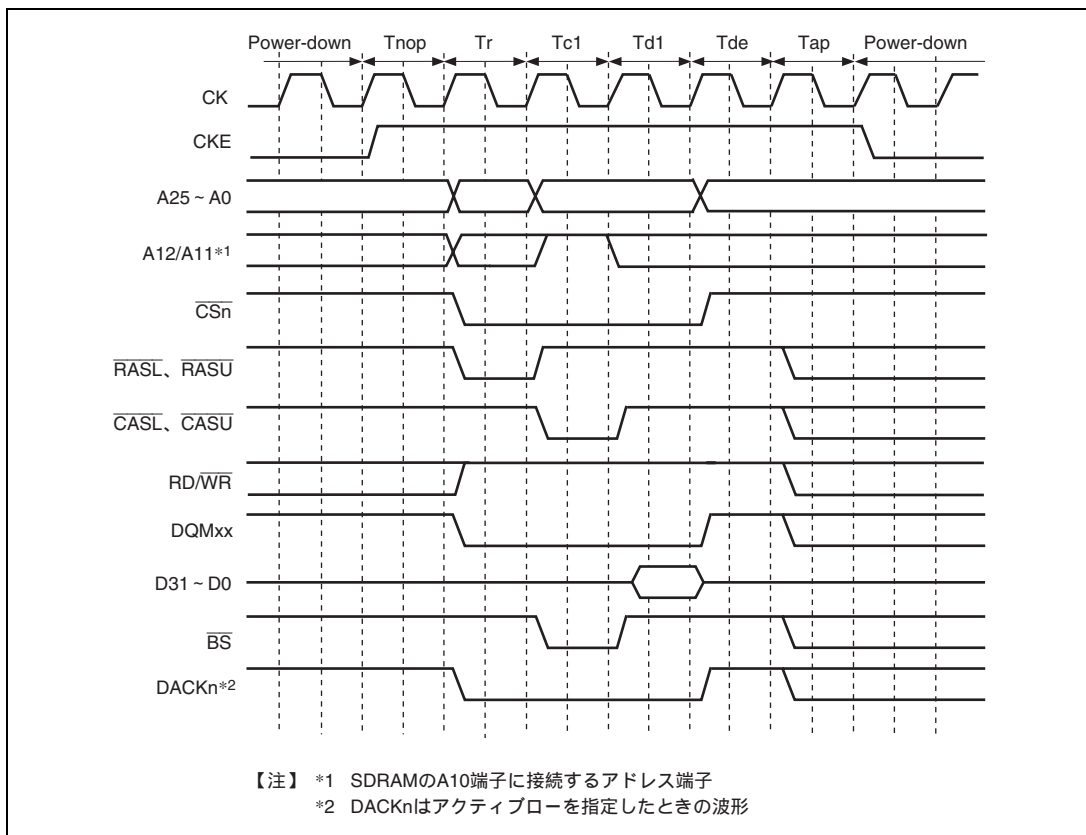


図 10.31 パワーダウンモードでのアクセスタイミング

(12) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、使用する SDRAM で規定されたポーズ期間の後に、SDRAM に対してモード設定を行う必要があります。ポーズ期間は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は \overline{CSn} 、 \overline{RASU} 、 \overline{RASL} 、 \overline{CASU} 、 \overline{CASL} 、および $\overline{RD/WR}$ の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると $X + (\overline{CS2}$ 空間 : H'FFFC 4000、 $\overline{CS3}$ 空間 : H'FFFC 5000 番地にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリ

ード/シングルライト(バースト長1)またはバーストリード/バーストライト(バースト長1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長1を設定するには、表 10.16 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには0が出力されません。

表 10.16 SDRAM モードレジスタライト時のアクセスアドレス

- CS2空間設定

バーストリード/シングルライト(バースト長1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC 4440	H'0000440
	3	H'FFFC 4460	H'0000460
32 ビット	2	H'FFFC 4880	H'0000880
	3	H'FFFC 48C0	H'00008C0

バーストリード/バーストライト(バースト長1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC 4040	H'0000040
	3	H'FFFC 4060	H'0000060
32 ビット	2	H'FFFC 4080	H'0000080
	3	H'FFFC 40C0	H'00000C0

- CS3空間設定

バーストリード/シングルライト(バースト長1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC 5440	H'0000440
	3	H'FFFC 5460	H'0000460
32 ビット	2	H'FFFC 5880	H'0000880
	3	H'FFFC 58C0	H'00008C0

バーストリード/バーストライト(バースト長1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC 5040	H'0000040
	3	H'FFFC 5060	H'0000060
32 ビット	2	H'FFFC 5080	H'0000080
	3	H'FFFC 50C0	H'00000C0

モードレジスタ設定タイミングを図 10.32 に示します。まず全バンクプリチャージコマンド(PALL)を発行し、次いでオートリフレッシュコマンド(REF)を8回発行します。そして最後に、モードレジスタ書き込みコマンド(MRS)を発行します。PALLと1回目のREFの間にCS3WCRのWTRP[1:0]ビットに設定した数のアイドルサイクルが挿入され、REFとREFおよび、8回目のREFとMRSの間にCS3WCRのWTRC[1:0]ビットに設定した数

のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

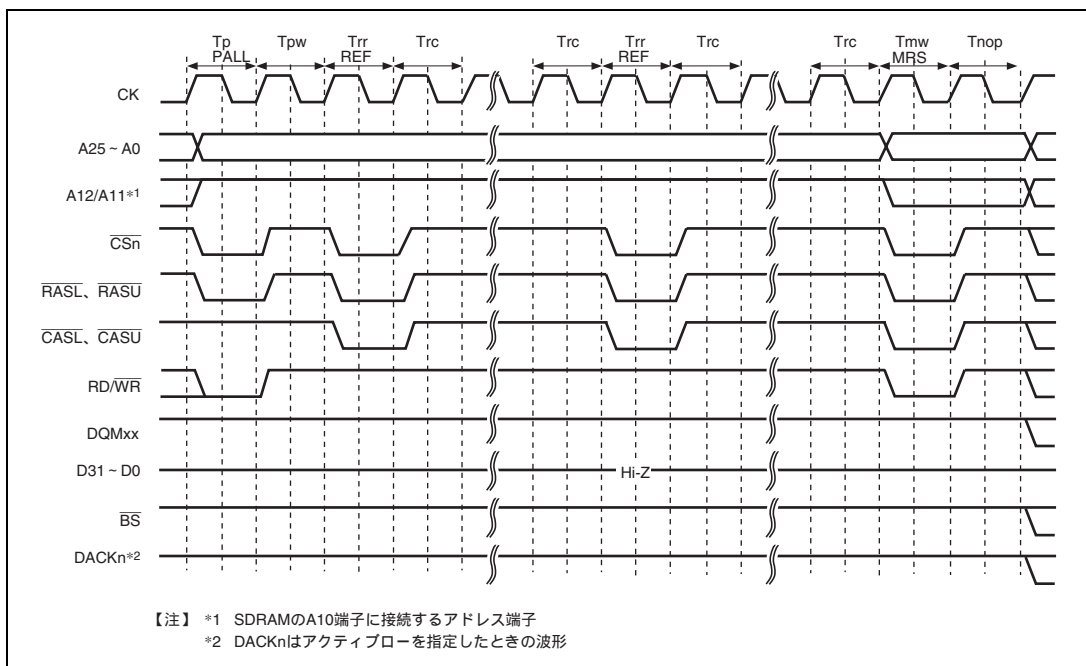


図 10.32 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

(13) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件 (温度) によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートをご覧ください。

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'FFFC 5XX0 に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL REF×8 MRS EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYY になります。また H'FFFC 5XX0 に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL MRS EMRS のシーケンスでコマンドを発行します。

表 10.17 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセス アドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'FFFC 4XX0	H'*****	16 ビット	H'0000XX0	-----
CS3 MRS	H'FFFC 5XX0	H'*****	16 ビット	H'0000XX0	-----
CS2 MRS + EMRS (リフレッシュあり)	H'FFFC 4XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3 MRS+EMRS (リフレッシュあり)	H'FFFC 5XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS2 MRS + EMRS (リフレッシュなし)	H'FFFC 4XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3 MRS+EMRS (リフレッシュなし)	H'FFFC 5XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY

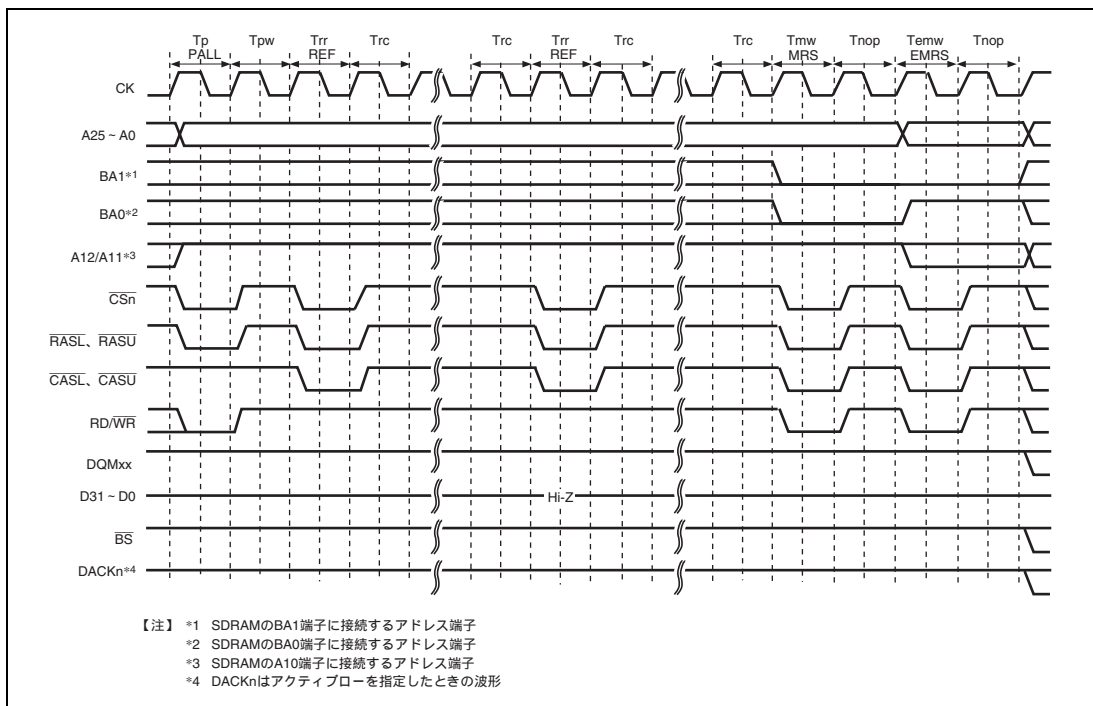


図 10.33 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワーSDRAMには、ディープパワーダウンモードという低消費電力モードもあります。

パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCRのDEEPビットを1、RFSHビットを1に設定した状態でRMODEビットに1を書き込むと、ローパワーSDRAMはディープパワーダウンモードに遷移します。RMODEビットに0を書き込むとCKEがハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウンモード解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

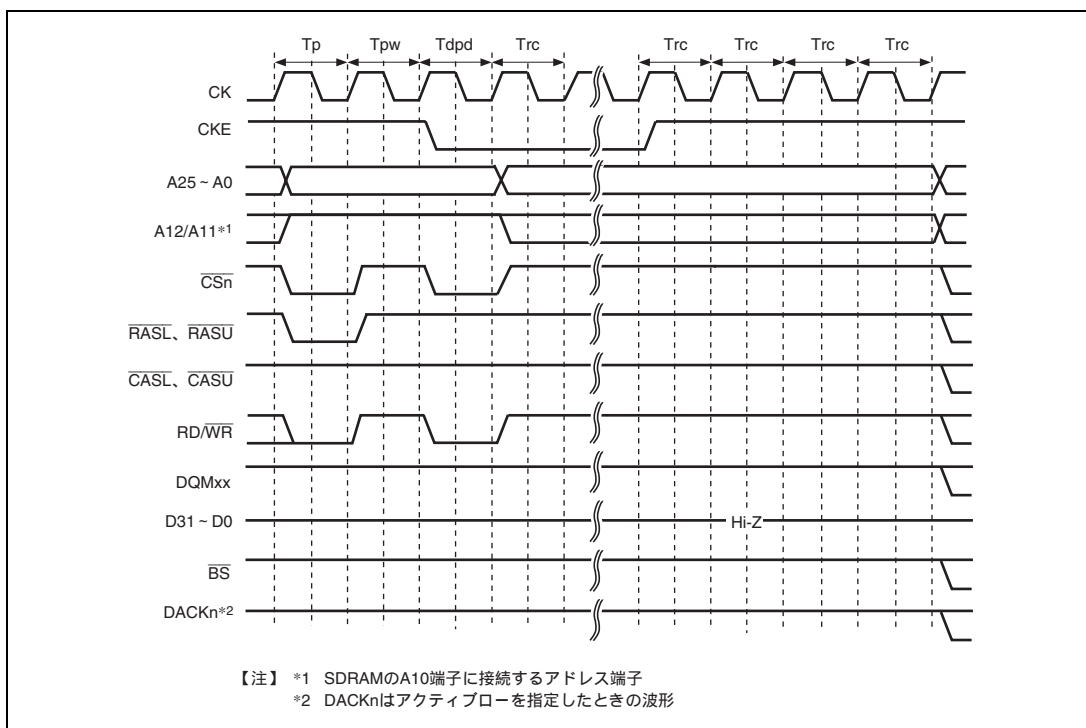


図 10.34 ディープパワーダウンモード遷移タイミング

10.5.7 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CK の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 10.18 にバス幅およびアクセスサイズとバースト数の関係を、図 10.35 にタイムチャートを示します。

表 10.18 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0] ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00、10	16	1
		01	4	4
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10 ^{*1}	4	2
		2、4、2	3	
32 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	1	1
	16 バイト ^{*2}	影響なし	4	1

【注】 *1 バス幅 16 ビット、アクセスサイズ 16 バイト、CSnWCR.BST[1:0] が 10 の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8 番地の場合 4-4 バースト、H'xxx4、H'xxxC 番地の場合 2-4-2 バーストアクセスとなります。

*2 アクセスサイズが 16 バイトの転送は DMAC のみ使用可能です。DTC、CPU によるアクセスサイズは最大 32 ビットです。

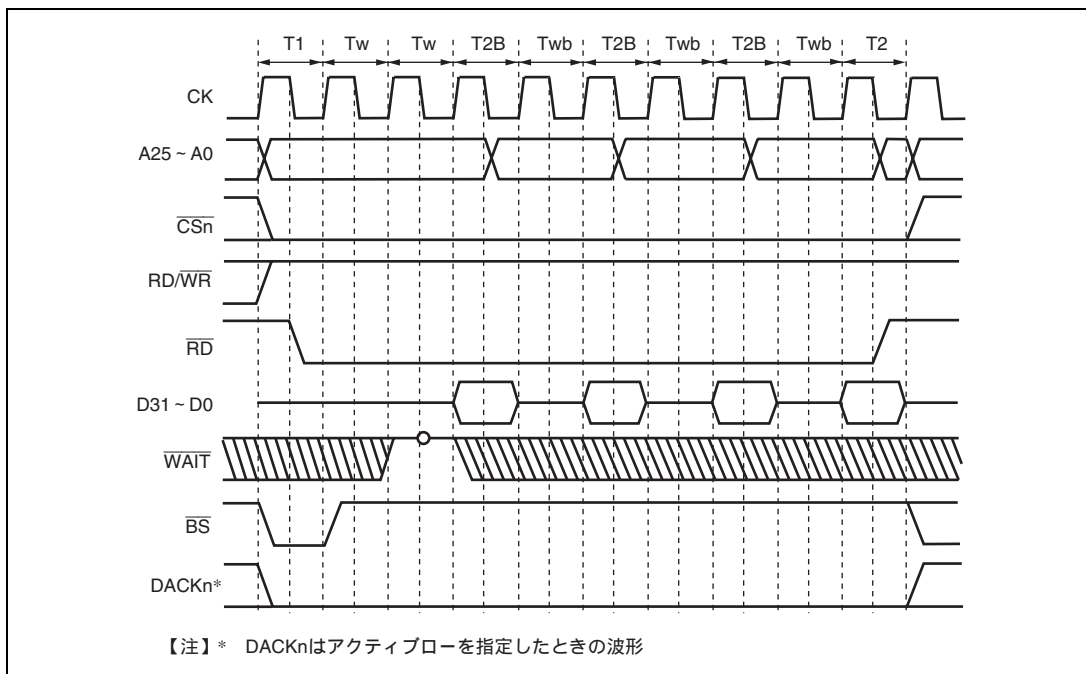


図 10.35 パラレル ROM (クロック非同期) アクセス
(バス幅 32 ビット 16 バイト転送 (パースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

10.5.8 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ($\overline{WR_{xx}}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR の BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WR_{xx}}$ 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WR_{xx}}$ 端子からバイト選択信号を出力します。図 10.36 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ($\overline{WR_{xx}}$) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR の BAS ビットが 1 のとき、 $\overline{WR_{xx}}$ 端子と RD/ \overline{WR} 端子のタイミングが変化します。図 10.37 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RD/ \overline{WR}) のタイミングでメモリに書き込まれます。RD/ \overline{WR} のネゲートタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0] ビットを設定することにより確保してください。図 10.38 にソフトウェア設定時のアクセスタイミングを示します。

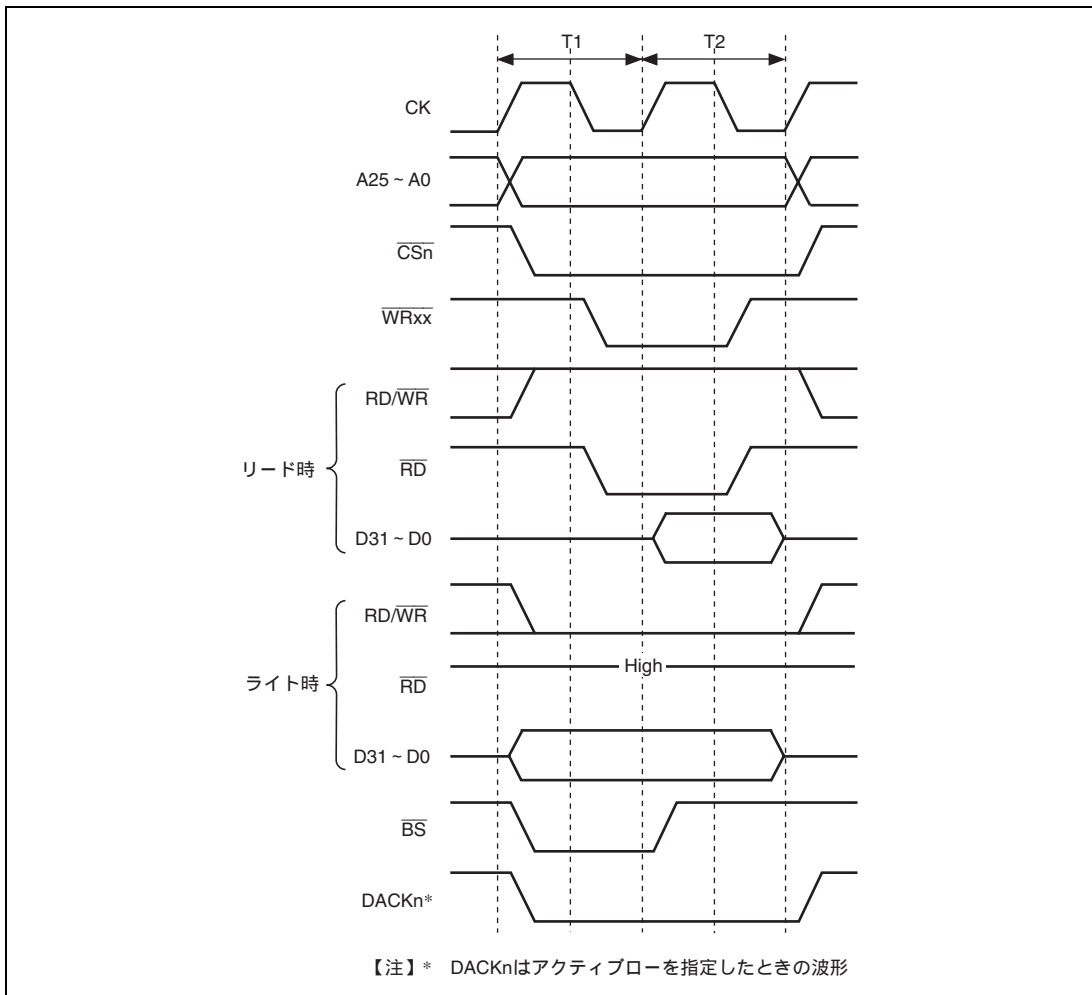


図 10.36 BAS = 0 バイト選択付き SRAM 基本アクセスタイミング

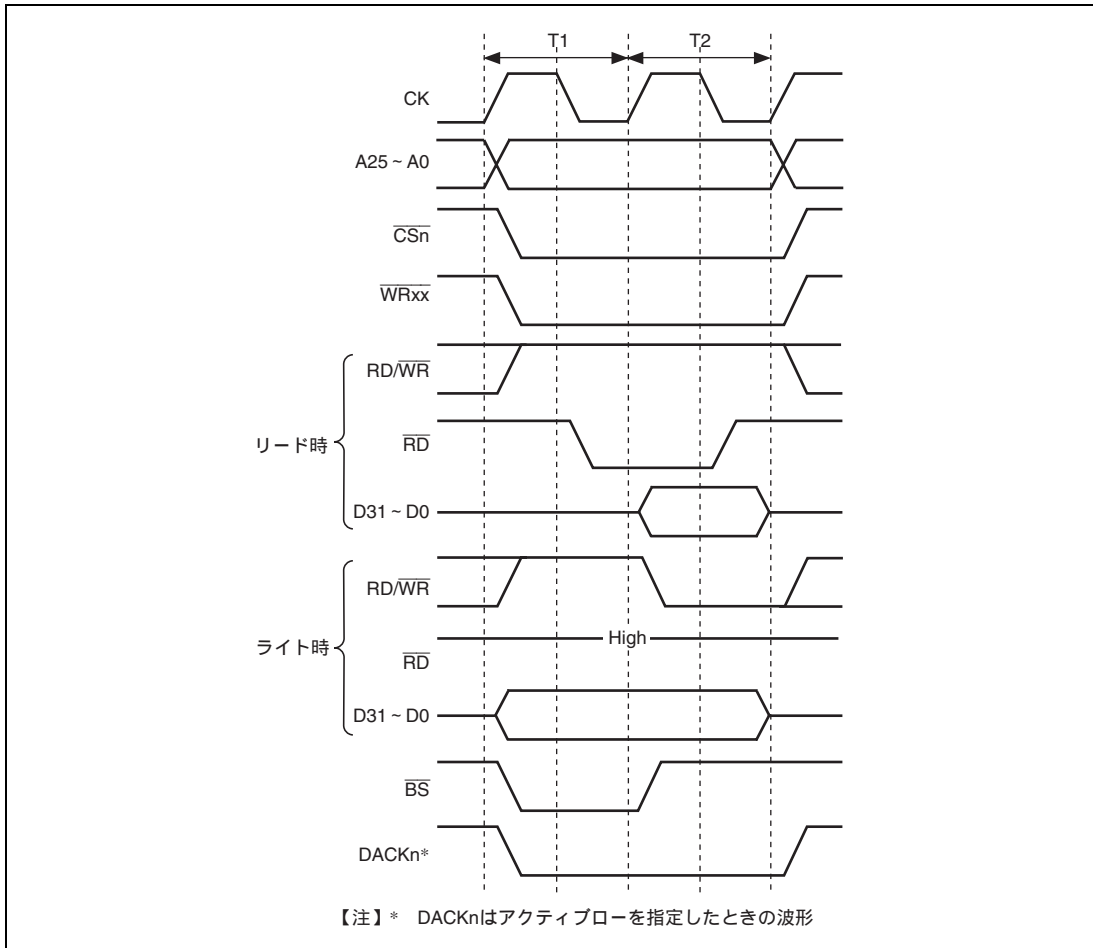


図 10.37 BAS = 1 バイト選択付き SRAM 基本アクセスタイミング

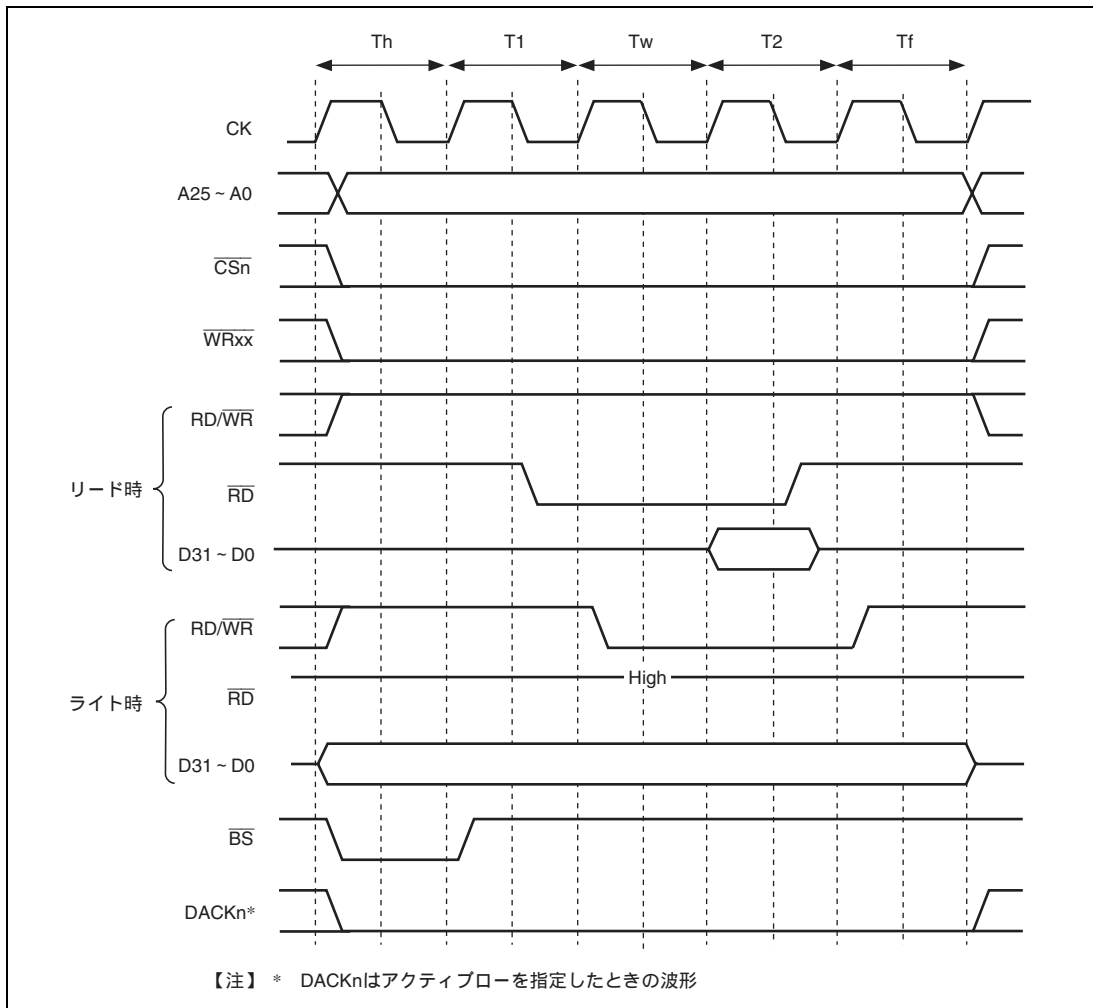


図 10.38 BAS = 1 バイト選択付き SRAM ウェイトタイミング
(SW[1:0] = 01、WR[3:0] = 0001、HW[1:0] = 01)

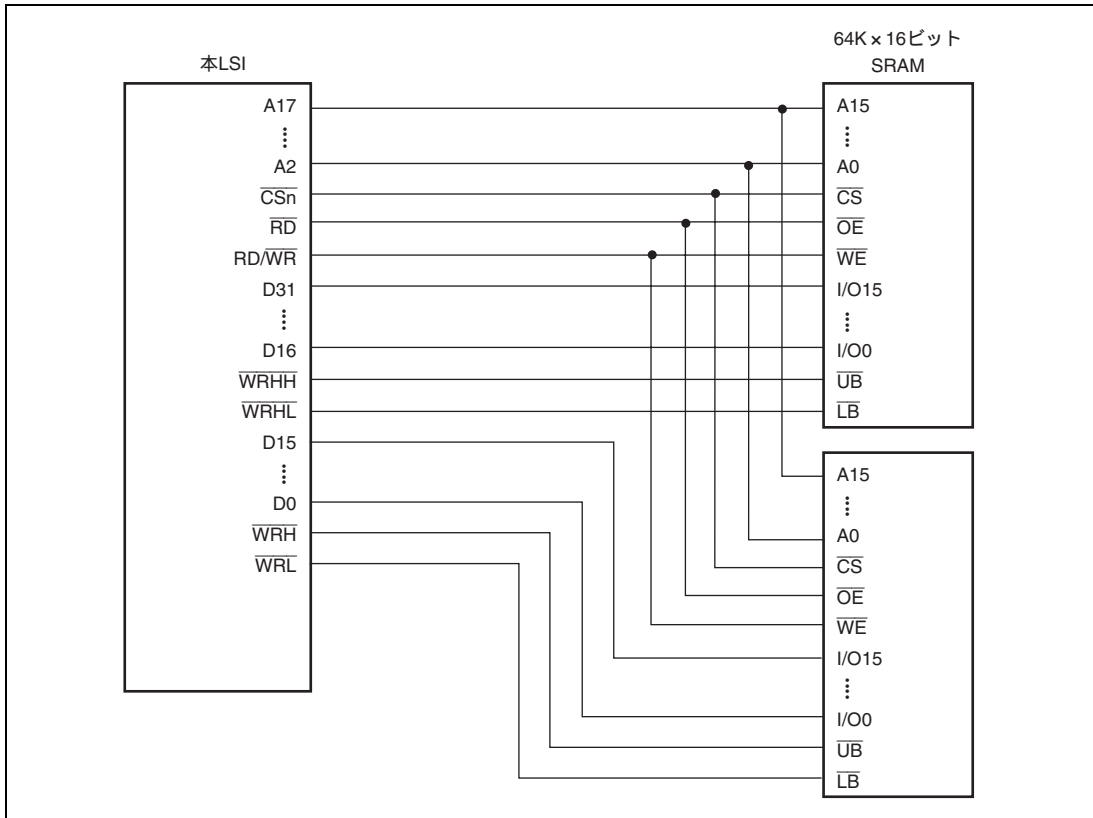


図 10.39 32 ビットデータ幅バイト選択付き SRAM 接続例

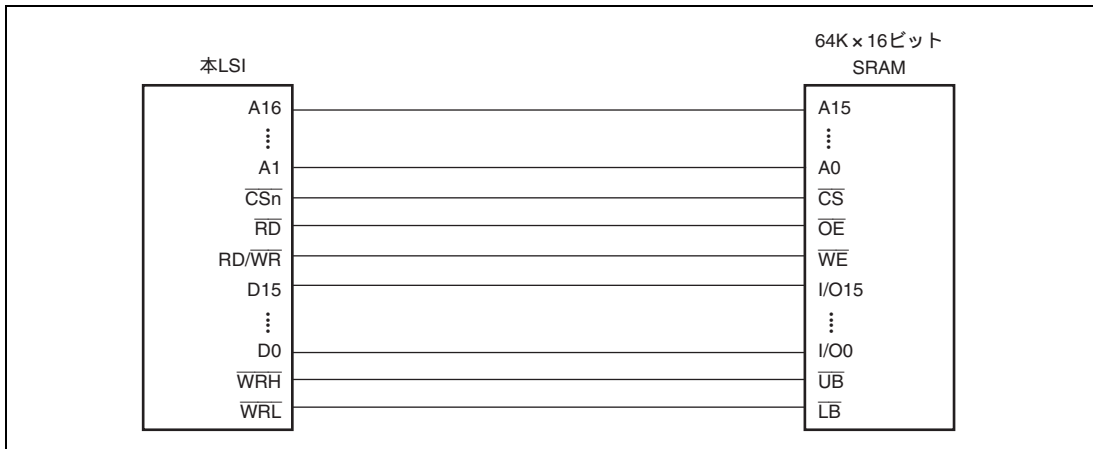


図 10.40 16 ビットデータ幅バイト選択付き SRAM 接続例

10.5.9 バースト ROM (クロック同期) インタフェース

バースト ROM (クロック同期) インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、CS0 空間でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0]ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0]ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビット時にはバースト長は 8、バス幅が 32 ビット時にはバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、DMA による 16 バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

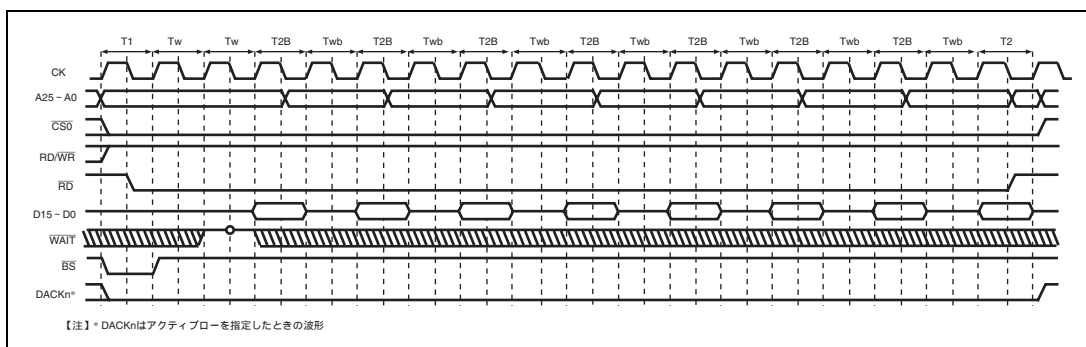


図 10.41 バースト ROM (クロック同期) アクセス
(バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

10.5.10 アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル (ウェイト) を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0] の各ビット、および CMNCR の DMAIW[2:0]、DMAIWA ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合
6. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後の本 LSI を含む別デバイスによるデータ出力の場合 (DMAIWA=0)
7. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合 (DMAIWA=1)

上記のアクセスサイクル間アイドルサイクル数の指定につきましては、各レジスタの説明をご覧ください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子 ($\overline{WR_{xx}}$) の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

$\overline{CS_n}$ ネゲートから $\overline{CS_n}$ または $\overline{CS_m}$ アサートまでの外部バスアイドルサイクル数について説明します。外部バスのアイドルサイクル数を定める項目としては、表 10.19 の 8 項目あります。これらの関係を図 10.42 に示します。

表 10.19 アイドルサイクル数を決める項目

項番	内容	説明	範囲	注意事項
(1)	CMNCR.DMAIW[2:0] 設定	DMA によるシングルアドレス転送時のアイドルサイクル数を指定します。シングルアドレス転送時のみ有効になる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	アイドル数を 0 に設定すると、DACK 信号が連続アサートする場合があります、DACK 付きデバイスの認識するサイクル数と DMAC 転送数に不一致が発生し、誤動作につながりますので、ご注意ください。
(2)	CSnBCR.IW***[2:0] 設定	シングルアドレス転送以外の場合のアイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS1 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0] を B'100 に設定します。シングルアドレス転送以外のときのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(3)	CSnWCR の SDRAM 関係設定	SDRAM アクセス時のプリチャージ完了 / 起動待ち、コマンド間アイドル数を指定します。SDRAM アクセス時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~3	使用する SDRAM のスペックに合わせて設定してください。
(4)	CSnWCR.WM ビット 設定	SDRAM 以外のメモリでは、外部 WAIT 端子入力を有効/無効にする設定ができます。"0" (外部 WAIT 有効) の場合、外部 WAIT 端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1 (無効) の場合には、本アイドルサイクルは発生しません。	0~1	
(5)	リードデータ転送 サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0] が B'00 以外の場合にも発生しません。	0~1*	SDRAM のリードサイクルでは必ず 1 サイクルのアイドルが発生します。
(6)	内部バスアイドル他	CPU、DMAC/DTC などからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、BSC で分割アクセスを行います。分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0~	I : B のクロック比によっては内部バスアイドル数が 0 にならない場合があります。クロック比と内部バスの最小アイドル数の関係を表 10.20、表 10.21 に示します。

項番	内容	説明	範囲	注意事項
(7)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません (ライトバッファ効果)。	0~1	ライト ライトおよびライトリードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生しやすくなります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(8)	異種メモリ間アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0~2.5	メモリ種ごとに決まっています。表 10.22 を参照してください。

(1)/(2) 項 (どちらか一方が有効になります)、(3)/(4) 項 (どちらか一方が有効になります)、(5)+(6)+(7) 項 (順番に発生するので加算されます)、および (8) 項の 4 項目が平行して発生しますので、これらのうちの最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1)/(2) 項のレジスタ設定を行ってください。

【注】 * 連続データリード時は別レジスタに読み出し値を格納した場合

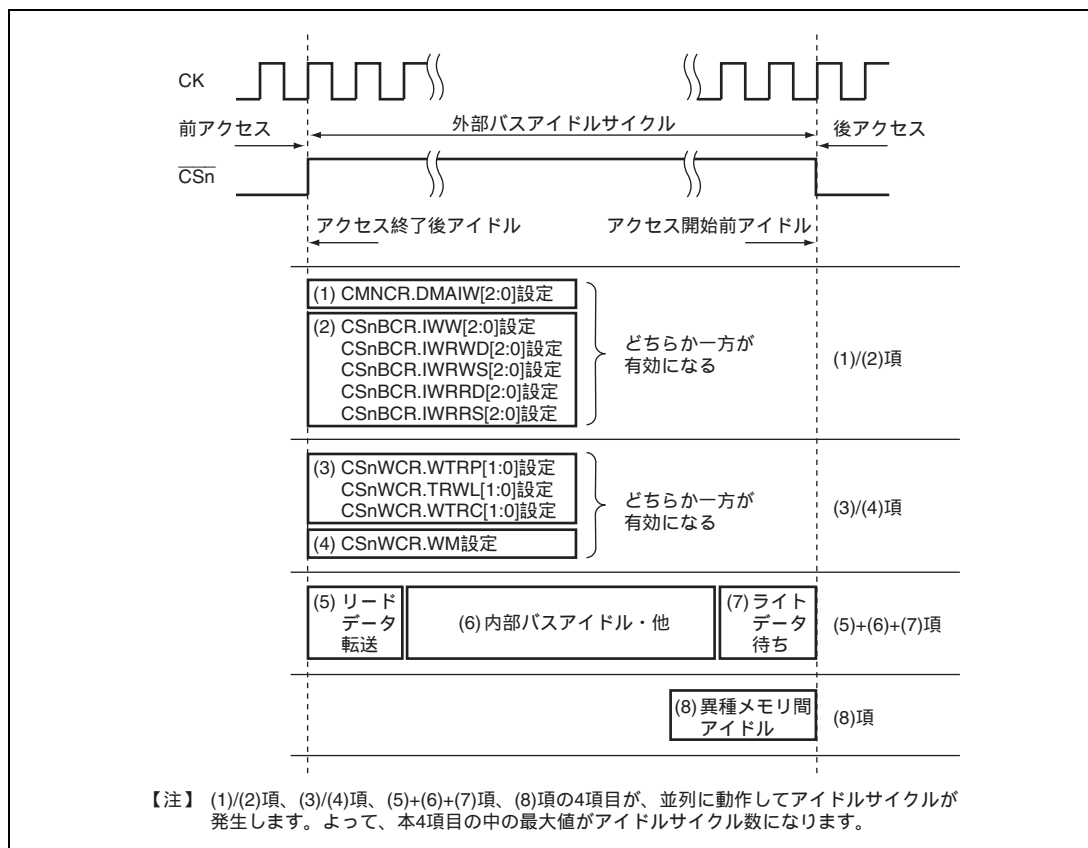


図 10.42 アイドルサイクルの構成

表 10.20 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (I : B)			
	8:1	4:1	2:1	1:1
ライト ライト	1	2	2	3
ライト リード	0	0	0	1
リード ライト	1	2	2	3
リード リード	0	0	0	1

表 10.21 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード	
	デュアルアドレス	シングルアドレス
ライト ライト	0	2
ライト リード	0 または 2	0
リード ライト	0	0
リード リード	0	2

- 【注】
- デュアルアドレス転送のライト ライト、リード リード動作は分割されたサイクルの実行中です。
 - デュアルアドレス転送のライト リードの 0 は異なるチャンネルが連続起動した場合、2 は同一のチャンネルが連続起動した場合です。なお、DMAC 起動要求が内蔵周辺モジュールで、かつバーストモードで連続起動時は同一チャンネルであっても 0 となります。
 - シングルアドレスのライト リード、リード ライトは異なるチャンネルを連続起動した場合です。
「ライト」は DACK 付きデバイス 外部メモリ、「リード」は外部メモリ DACK 付きデバイスへの転送です。

表 10.22 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル							
		SRAM	バースト ROM (非同期)	MPX-I/O	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	SDRAM (低周波モード)	バースト ROM (同期)
前 サイ クル	SRAM	0	0	1	0	1	1	1.5	0
	バースト ROM (非同期)	0	0	1	0	1	1	1.5	0
	MPX-I/O	1	1	0	1	1	1	1.5	1
	バイト SRAM (BAS=0)	0	0	1	0	1	1	1.5	0
	バイト SRAM (BAS=1)	1	1	2	1	0	0	1.5	1
	SDRAM	1	1	2	1	0	0	-	1
	SDRAM (低周波モード)	1.5	1.5	2.5	1.5	0.5	-	1	1.5
	バースト ROM (同期)	0	0	1	0	1	1	1.5	0

サイクル間アイドルの最低数を試算する例を図 10.43 に示します。なお、実際の動作ではライトバッファの効果により試算値よりもアイドルサイクルが短くなったり、CPU の命令実行や CPU レジスタ競合によるスプリットにより内部バスアイドルサイクルが発生して試算値よりもアイドルサイクルが増加することがありますので、試算値を使用する場合には、これらの誤差の発生を見込んでおいてください。

サイクル間アイドル数の試算例					
CPUアクセスで、CS1空間からCS2空間へデータを転送する例を考えます。転送は、CS1リード CS1リード CS2ライト CS2ライト CS1リード ...を繰り返すものとします。					
<ul style="list-style-type: none"> 条件 <ul style="list-style-type: none"> CS1BCRおよびCS2BCRのサイクル間アイドル指定はすべて0を指定。 CS1WCRおよびCS2WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。 I :B は4:1とし、転送の間は他の処理を行わない。 CS1およびCS2ともに、通常SRAMを接続し、バス幅32ビットでアクセスサイズも32ビットで行う。 					
アイドル数を決める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。					
項目	R R	R W	W W	W R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	2	0	表10.20のI :B = 4:1の部分を参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	1	4	2	0	
(8)	0	0	0	0	SRAM SRAMであるため
試算アイドル サイクル数	1	4	2	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	2	1	W R で不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 10.43 アイドルサイクル数の試算例と実際の比較

10.5.11 バスアービトレーション

本 LSI でのバスアービトレーションは、通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。また、本 LSI 内部にも CPU、DMAC、DTC という 3 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 ($\overline{\text{BREQ}}$) > DTC > DMAC > CPU

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、ただちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 $\overline{\text{CSn}}$ 信号その他のバス制御信号を見て、ただちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. TAS命令のリードサイクルとライトサイクル間
2. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
3. DMACでの16バイト転送時
4. CMNCRのBLOCKビットを1に設定時

また、CMNCR の DPRTY[1:0]ビットによって、DMAC バースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本 LSI は、バス権要求を受けないかぎりバス権を保有しています。外部からのバス権要求 $\overline{\text{BREQ}}$ のアサート(ローレベル)を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 $\overline{\text{BACK}}$ をアサート(ローレベル)します。外部デバイスがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート(ハイレベル)を受けて $\overline{\text{BACK}}$ をネゲート(ハイレベル)し、バスの使用を再開します。

SDRAM インタフェース使用時は、アクティブなバンクがある場合、全バンクプリチャージコマンド (PALL) を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次のとおりです。まず、CK の立ち上がりに同期してアドレスバスおよびデータバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CK の立ち下がりに同期してアサートします。これに続く CK の立ち上がりで、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ 、CKE、 $\overline{\text{DQMxx}}$ 、 $\overline{\text{WRxx}}$ 、 $\overline{\text{RD}}$ 、および $\overline{\text{RD/WR}}$) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CK の立ち下がりで行います。なお、CKE、 $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、 $\overline{\text{CASL}}$ は CMNCR の HIZCNT ビットの設定により、バス解放中でも直前の値でドライブし続けることができます。

外部デバイスからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{\text{BREQ}}$ のネゲートを CK の立ち下がりで検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち下がりで、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CK の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービ

トレーションタイミングを図 10.44 に示します。

バス権解放中に SDRAM のリフレッシュが必要になった場合、バス権を返してもらう必要があり、その要求信号として $\overline{\text{REFOUT}}$ を設けています。 $\overline{\text{REFOUT}}$ 端子の選択については「第 22 章 ピンファンクションコントローラ (PFC)」を参照してください。 $\overline{\text{REFOUT}}$ はバス権を獲得できるまでローレベルにアサートし続けられます。外部デバイスは $\overline{\text{REFOUT}}$ アサートにより $\overline{\text{BREQ}}$ をネゲートし、バス権を返してください。リフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ実行ができないため SDRAM の内容の保証はできなくなりますのでご注意ください。

バス権解放中の SLEEP 命令の実行 (スリープモードまたはスタンバイモードへの遷移) は、本 LSI がバス権を獲得するまで実行されません。バス権解放中のマニュアルリセットも同様です。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードのとき、 $\overline{\text{BREQ}}$ 入力は無視され、 $\overline{\text{BACK}}$ 出力はハイインピーダンス状態になります。この状態でバス権要求が必要な場合は、 $\overline{\text{BACK}}$ 端子をプルダウンしておくことにより、スタンバイモードへの遷移と同時にバス権解放状態となります。

バス権要求 ($\overline{\text{BREQ}}$ のローレベルアサート) 後のバス権解放 ($\overline{\text{BREQ}}$ のハイレベルネゲート) は、バス使用許可 ($\overline{\text{BACK}}$ のローレベルアサート) 後に行ってください。 $\overline{\text{BACK}}$ アサート前に $\overline{\text{BREQ}}$ をネゲートすると、 $\overline{\text{BREQ}}$ ネゲートタイミングによっては $\overline{\text{BACK}}$ が 1 サイクルだけアサートされ、外部デバイスと本 LSI 間でバスの衝突が発生する可能性があります。

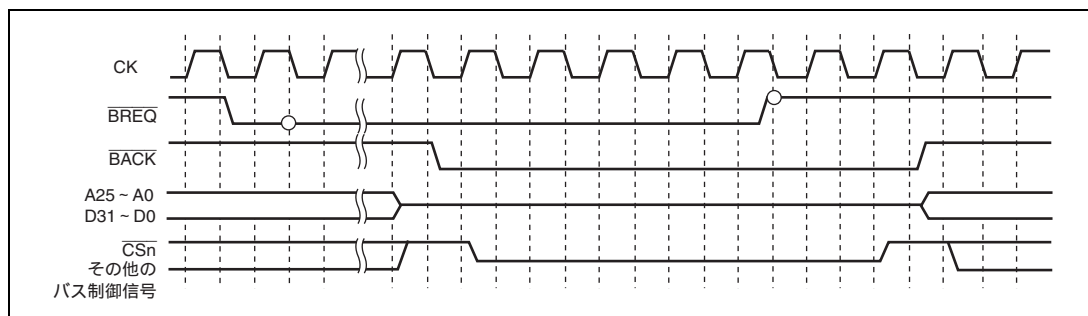


図 10.44 バスアービトラクション

10.5.12 その他

(1) リセット

バスステートコントローラ (BSC) は、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。ソフトウェアスタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行されます。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。

(2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、CPU バス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU は CPU バスに、CPU を除く内部バスマスタおよびバスステートコントローラは内部バスに、低速な周辺モジュールおよび内蔵 RAM (保持用) は周辺バスに接続されています。また、内蔵 RAM (保持用) 以外の内蔵メモリは CPU バスと内部バスの双方に接続されています。CPU バスから内部バスのアクセスは行えますが、逆は行えません。

内蔵周辺モジュールの読み出しサイクルの場合は、内部バスと周辺バスを介して読み出しサイクルが起動されます。読み出しデータは、周辺バス、内部バス、CPU バスを経由して CPU に送られます。

外部空間および内蔵周辺モジュールのアクセスの場合は、内部バスを介してアクセスサイクルが起動されますので、CPU が内蔵メモリをアクセスしている場合には、CPU とのバスアービトレーションを発生させることなく、DMAC/DTC の起動が可能となります。

バスステートコントローラには 4 段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC などの別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。なお、ライトバッファの動作中に BSC レジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に BSC レジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に BSC レジスタを変更してください。

(3) 内蔵周辺モジュールのレジスタおよび内蔵 RAM (保持用) のアクセス

内蔵周辺モジュールのレジスタおよび内蔵 RAM (保持用) へのアクセスは、内部バスから周辺モジュールクロック (P) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタおよび内蔵 RAM (保持用) に書き込みを行う際、CPU はレジスタおよび内蔵 RAM (保持用) の書き込みの完了を待たずに後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行の前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタまたは内蔵 RAM (保持用) に対する変更を反映させたい場合には、レジスタまたは内蔵 RAM (保持用) 書き込み命令の後に、同じレジスタまたは内蔵 RAM (保持用) のダミーリードを実施し、その後の目的の後続命令を実行してください。

(4) アクセスサイクル数

表 10.23 (1) ~ 表 10.23 (3) に内蔵メモリ、内蔵 I/O レジスタ、および外部デバイスにアクセスする場合のアクセスサイクル数を示します。

表 10.23 (1) アクセスサイクル数

アクセス対象		内蔵 ROM	内蔵 RAM (高速)	内蔵 RAM (保持用)	外部デバイス*4		
バス幅		32 ビット	32 ビット	32 ビット	8 ビット	16 ビット	32 ビット
CPU から アクセス時	命令フェッチ	1	1	2P + m1+m2+m3	9B +m1+m3	5B +m1+m3	3B + m1+m3
	データリード (ロングワード)	1	1				
	データリード (ワード)	1	1				
	データリード (バイト)	1	1	2P + m1+m2	9B +m1	5B +m1	3B +m1
	データライト*1 (ロングワード)	-	1				
	データライト*1 (ワード)	-	1				
	データライト*1 (バイト)	-	1				
CPU 以外から アクセス時	データリード (ロングワード)	3B - 3B +2I *2	1B - 3B *3	2P +m2	9B	5B	3B
	データリード (ワード)						
	データリード (バイト)						
	データライト*1 (ロングワード)	-	-	2P +m2	9B	5B	3B
	データライト*1 (ワード)						
	データライト*1 (バイト)						

【注】 m1、m2、m3 は内部クロック比により決まる値で下記となり、内部クロックの状態により幅を持つ値となります。

			I :B			
			1:1	2:1	4:1	8:1
B :P	1:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B	1B	1B	1B
		m3	2I	3I	4I	4I
	2:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 2B	1B ~ 2B	1B ~ 2B	1B ~ 2B
		m3	2I	3I	4I	4I
	4:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 4B	1B ~ 4B	1B ~ 4B	1B ~ 4B
		m3	2I	3I	4I	4I
	8:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 8B	1B ~ 8B	1B ~ 8B	1B ~ 8B
		m3	2I	3I	4I	4I

*1 ライトバッファがあるため、バスマスタはライトサイクル完了を待たずに次の処理を行うことができます。詳細は「10.5.12 (2) LSI 内部バスマスタからみたアクセス」を参照してください。

*2 I :B =1:1 および 1:1/2 の場合は 3B +2I、I :B =1:1/4 および 1:1/8 の場合は 3B となります。

*3 I :B =1:1 の場合は 3B、I :B =1:1/2 および 1:1/4 の場合は 2B、I :B =1:1/8 の場合は 1B となります。

*4 通常空間アクセスでノーウェイト (アイドルサイクルなし、ウェイトサイクルなし、外部ウェイト入力無視) の場合の値です。

表 10.23 (2) アクセスサイクル数

アクセス対象		内蔵 I/O レジスタ			
		BSC	UBC	フラッシュ制御 I/O ポートの PLDRL	TIM32C、KEYC、 I/O ポートの PFDRL
バス幅		32 ビット	32 ビット	16 ビット	16 ビット
CPU から アクセス時	命令フェッチ	-	-	-	-
	データリード (ロングワード)	1B +m1+m3	3B +m1+m3	10P +m1+m2+m3	8P +m1+m2+m3
	データリード (ワード)			5P +m1+m2+m3	4P +m1+m2+m3
	データリード (バイト)				
	データライト* (ロングワード)	3B +m1	3B +m1	10P +m1+m2	8P +m1+m2
	データライト* (ワード)			5P +m1+m2	4P +m1+m2
データライト* (バイト)					
CPU 以外から アクセス時	データリード (ロングワード)	1B	3B	10P +m2	8P +m2
	データリード (ワード)			5P +m2	4P +m2
	データリード (バイト)				
	データライト* (ロングワード)	3B	3B	10P +m2	8P +m2
	データライト* (ワード)			5P +m2	4P +m2
	データライト* (バイト)				

【注】 m1、m2、m3 は内部クロック比により決まる値で下記となり、内部クロックの状態により幅を持つ値となります。

			I :B			
			1:1	2:1	4:1	8:1
B :P	1:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B	1B	1B	1B
		m3	2I	3I	4I	4I
	2:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 2B	1B ~ 2B	1B ~ 2B	1B ~ 2B
		m3	2I	3I	4I	4I
	4:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 4B	1B ~ 4B	1B ~ 4B	1B ~ 4B
		m3	2I	3I	4I	4I
	8:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 8B	1B ~ 8B	1B ~ 8B	1B ~ 8B
		m3	2I	3I	4I	4I

* ライトバッファがあるため、バスマスタはライトサイクル完了を待たずに次の処理を行うことができます。詳細は「10.5.12 (2) LSI 内部バスマスタからみたアクセス」を参照してください。

表 10.23 (3) アクセスサイクル数

アクセス対象		内蔵 I/O レジスタ			
		PFC の PDCRH1/2、PDCRL1/2、PGCRL1、PGPCRL、低消費電力モードの DPSTBCR、DPSWCR、DPSIER、SIFR、DPSIEGR、RSTSR	IIC3	LVDS (SH72315A のみ)、ADC の ADSR	表 10.23 (2) と左記以外のモジュールの内蔵 I/O レジスタ
バス幅		16 ビット	8 ビット	32 ビット	16 ビット
CPU から アクセス時	命令フェッチ	-	-	-	-
	データリード (ロングワード)	6P +m1+m2+m3	8P +m1+m2+m3	2P +m1+m2+m3	4P +m1+m2+m3
	データリード (ワード)	3P +m1+m2+m3	4P +m1+m2+m3		2P +m1+m2+m3
	データリード (バイト)		2P +m1+m2+m3		
	データライト* (ロングワード)	6P +m1+m2	8P +m1+m2	2P +m1+m2	4P +m1+m2
	データライト* (ワード)	3P +m1+m2	4P +m1+m2		2P +m1+m2
	データライト* (バイト)		2P +m1+m2		
CPU 以外から アクセス時	データリード (ロングワード)	6P +m2	8P +m2	2P +m2	4P +m2
	データリード (ワード)	3P +m2	4P +m2		2P +m2
	データリード (バイト)		2P +m2		
	データライト* (ロングワード)	6P +m2	8P +m2	2P +m2	4P +m2
	データライト* (ワード)	3P +m2	4P +m2		2P +m2
	データライト* (バイト)		2P +m2		

【注】 m1、m2、m3 は内部クロック比により決まる値で下記となり、内部クロックの状態により幅を持つ値となります。

		I :B				
		1:1	2:1	4:1	8:1	
B :P	1:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B	1B	1B	1B
		m3	2I	3I	4I	4I
	2:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 2B	1B ~ 2B	1B ~ 2B	1B ~ 2B
		m3	2I	3I	4I	4I
	4:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 4B	1B ~ 4B	1B ~ 4B	1B ~ 4B
		m3	2I	3I	4I	4I
	8:1	m1	2I	2I ~ 3I	2I ~ 5I	2I ~ 9I
		m2	1B ~ 8B	1B ~ 8B	1B ~ 8B	1B ~ 8B
		m3	2I	3I	4I	4I

* ライトバッファがあるため、バスマスタはライトサイクル完了を待たずに次の処理を行うことができます。詳細は「10.5.12 (2) LSI 内部バスマスタからみたアクセス」を参照してください。

本製品は同期式論理を採用しており、バス構成は階層バス構造を持っています。各バスへのデータ入出力は、CPUバスはI、内部バスはB、周辺バスはP クロックへの立ち上がり同期で行います。

図 10.45 に I :B :P = 4:4:1 の場合の周辺バスへのライトアクセスタイミングの一例を示します。CPU が接続されている CPU バスでは I に同期してデータ出力します。I :B = 1:1 の場合は CPU バスから内部バスへのデータ転送は $2I + B$ 期間必要になります。内部バスから周辺バスへの転送は、B :P = 4:1 の場合は、 $1P$ クロックの間に B は 4 つのクロックがありますので、データが周辺バスに乗るタイミングは、 $1P$ クロックに対して 4 つのタイミングがあり、内部バスから周辺バスへ転送するタイミングである P の立ち上がりエッジに対して、最大 $4B$ の期間が必要となります (図 10.45 の例では $4B$)。そのため、B :P = 4:1 のときは、 $1B \sim 4B$ の期間で内部バスから周辺バスへ転送されます。データが内部バスに乗るタイミングと P の立ち上がりエッジのタイミングの関係はプログラムの実行状態に依存します。図 10.45 では、アクセス期間は $2I + 4B + 2P$ となります。

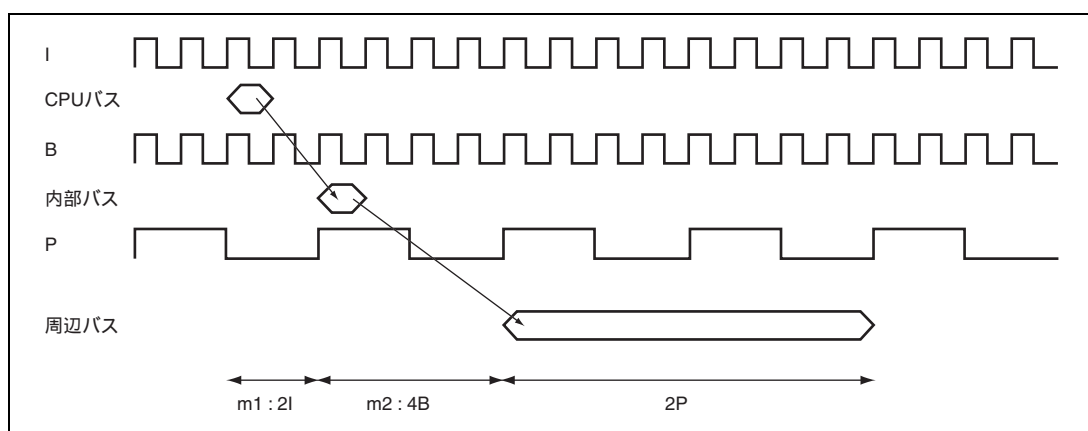


図 10.45 I :B :P = 4:4:1 の場合の内蔵周辺 I/O レジスタおよび内蔵 RAM (保持用) へのライトアクセスタイミング

図 10.46 に $I : B : P = 4:2:1$ の場合の周辺バスへのリードアクセスタイミングの一例を示します。CPU バスから周辺バスまでの転送はライトの場合と同様に行われますが、リードの場合には周辺バスに読み出した値を CPU まで転送する必要があります。周辺バスから内部バス、内部バスから CPU バスへの転送も各バスクロックの立ち上がりに同期して行われますが、 $I : B : P$ のため、実際には $3I$ 期間を必要とします。図 10.46 の例では、アクセス期間は $3I + 2B + 2P + 3I$ となります。

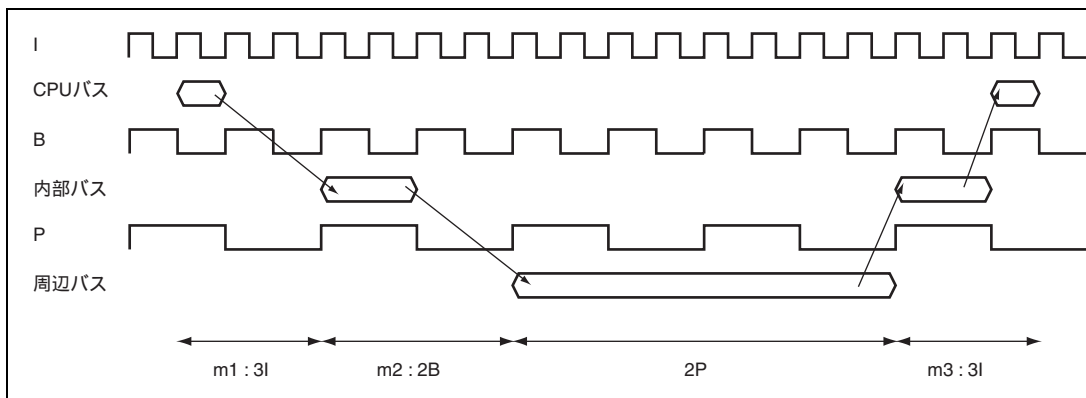


図 10.46 $I : B : P = 4:2:1$ の場合の内蔵周辺 I/O レジスタおよび内蔵 RAM (保持用) へのリードアクセスタイミング

10.6 割り込み要因

表 10.24 に割り込み要因を示します。割り込み要因は、リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) のコンペアマッチインタラプトイネーブルビット (CMIE) で、許可または禁止ができます。

RTCSR のコンペアマッチフラグ (CMF) に 1 がセットされ、かつコンペアマッチインタラプトイネーブルビット (CMIE) に 1 がセットされているとき、コンペアマッチ割り込み (CMI) が発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 10.24 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ
CMI	コンペアマッチ割り込み	CMIE	CMF

11. ダイレクトメモリアクセスコントローラ (DMAC)

ダイレクトメモリアクセスコントローラ (DMAC) は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

11.1 特長

- チャンネル数：CH0～CH3の4チャンネル
 - CH0～CH1チャンネルの2チャンネルのみ、外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は4GB
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24ビット) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能
- パスモード：サイクルスチールモード (通常モードとインターミittentモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能
CHCRのHEビット、HIEビットにより、DMAC転送が初期設定の1/2回終了した時点でCPUに対する割り込みを設定します。
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号・転送終了信号：DACKおよびTENDIはアクティブレベルを設定可能
- DMA設定のレジスタにリロード機能を備えていますので、実行中のDMA転送と同じ設定でのDMA転送を再設定することなく繰り返し実行することができます。また、DMA転送中にリロードレジスタをあらかじめ設定しておくことで、次のDMA転送を異なる設定で実行することができます。
このリロード機能は、チャンネルごとにON/OFFの設定が可能です。

図 11.1 に DMAC のブロック図を示します。

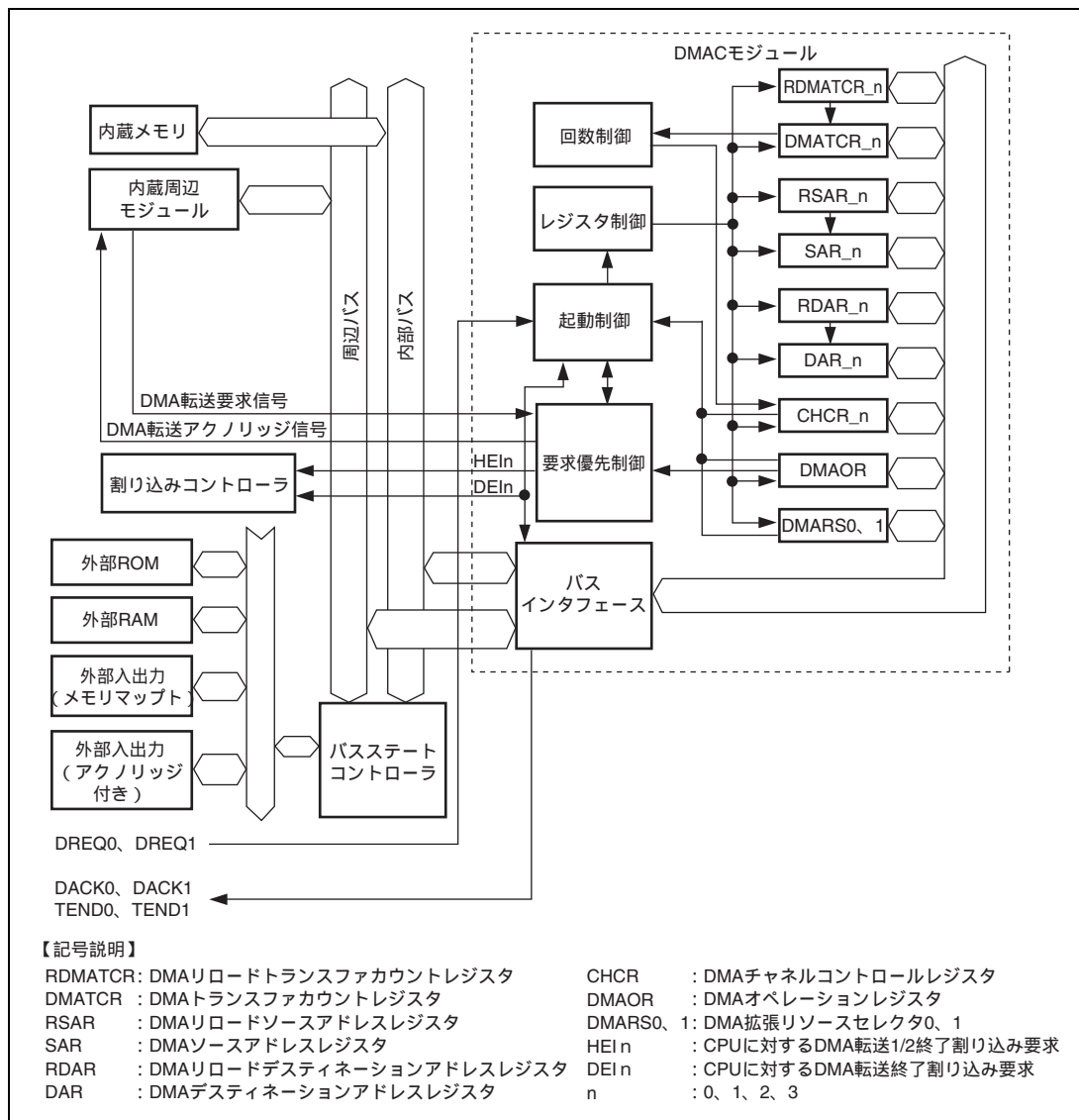


図 11.1 DMAC のブロック図

11.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 11.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (CH0、CH1) を持っています。

表 11.1 外部バスに対する端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND1	出力	DMAC チャンネル 1 の DMA 転送終了出力

11.3 レジスタの説明

DMAC には以下のレジスタがあります。各チャンネルごとに 4 本の制御レジスタと 3 本のリロードレジスタがあり、すべてのチャンネルに共通な制御レジスタが 1 本あります。さらに、2 チャンネルごとに 1 本の拡張リソースセクタレジスタがあります。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 11.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレス レジスタ_0	DAR_0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ_0	DMATCR_0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W	H'00000000	H'FFFE100C	16、32
	DMA リロードソースアドレス レジスタ_0	RSAR_0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーション アドレスレジスタ_0	RDAR_0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウント レジスタ_0	RDMATCR_0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレス レジスタ_1	DAR_1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR_1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W	H'00000000	H'FFFE101C	16、32
	DMA リロードソースアドレス レジスタ_1	RSAR_1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーション アドレスレジスタ_1	RDAR_1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウント レジスタ_1	RDMATCR_1	R/W	H'00000000	H'FFFE1118	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'00000000	H'FFFE1020	16、 32
	DMA デスティネーションアドレス レジスタ_2	DAR_2	R/W	H'00000000	H'FFFE1024	16、 32
	DMA トランスファカウントレジスタ_2	DMATCR_2	R/W	H'00000000	H'FFFE1028	16、 32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W	H'00000000	H'FFFE102C	16、 32
	DMA リロードソースアドレス レジスタ_2	RSAR_2	R/W	H'00000000	H'FFFE1120	16、 32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR_2	R/W	H'00000000	H'FFFE1124	16、 32
	DMA リロードトランスファカウント レジスタ_2	RDMATCR_2	R/W	H'00000000	H'FFFE1128	16、 32
3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'00000000	H'FFFE1030	16、 32
	DMA デスティネーションアドレス レジスタ_3	DAR_3	R/W	H'00000000	H'FFFE1034	16、 32
	DMA トランスファカウントレジスタ_3	DMATCR_3	R/W	H'00000000	H'FFFE1038	16、 32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W	H'00000000	H'FFFE103C	16、 32
	DMA リロードソースアドレス レジスタ_3	RSAR_3	R/W	H'00000000	H'FFFE1130	16、 32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR_3	R/W	H'00000000	H'FFFE1134	16、 32
	DMA リロードトランスファカウント レジスタ_3	RDMATCR_3	R/W	H'00000000	H'FFFE1138	16、 32
共通	DMA オペレーションレジスタ	DMAOR	R/W	H'0000	H'FFFE1200	16
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	16

11.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

外部端子 DREQ、DACK の仕様を決めるビット (DO、AM、AL、DL、DS) と TEND の外部端子仕様を決めるビット (TL) については、チャンネル 0~1 で読み書き可能となっていますが、チャンネル 2~3 では対応するビットはリザーブビットとなっています。CHCR レジスタの設定を変更する場合には、該当チャンネルの DE ビットを 0 にクリアした後に行ってください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC	-	-	RLD	SARE	DARE	TCRE	-	DO	TL	-	-	HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/(W)*	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]	SM[1:0]							DL	DS	TB	TS[1:0]	IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	TC	0	R/W	<p>トランスファカウントモード</p> <p>1回の転送要求で1回転送するか、DMATCRの設定回数転送するかを設定します。ただし、TC=0に設定した場合には、TBビットを1(バーストモード)に設定しないでください。また、転送要求元をSCI、SCIF、IIC3、RSPI、RCAN-ETに設定した場合には、TC=0でご使用してください。</p> <p>0: 1回の転送要求で1回転送 1: 1回の転送要求でDMATCRの設定回数転送</p>
30, 29	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
28	RLD	0	R/W	<p>リロード機能 ON/OFF</p> <p>リロード機能を、有効 (ON) にするか、無効 (OFF) にするかを設定します。</p> <p>0: リロード機能は無効 (OFF) 1: リロード機能は有効 (ON)</p>
27	SARE	0	R/W	<p>SAR リロードイネーブル</p> <p>RSAR から SAR へのリロードの禁止 / 許可を設定します。本ビットを1に設定するときは、RLDビットも1にしてください。</p> <p>0: RSAR から SAR へのリロードを禁止 1: RSAR から SAR へのリロードを許可</p>
26	DARE	0	R/W	<p>DAR リロードイネーブル</p> <p>RDAR から DAR へのリロードの禁止 / 許可を設定します。本ビットを1に設定するときは、RLDビットも1にしてください。</p> <p>0: RDAR から DAR へのリロードを禁止 1: RDAR から DAR へのリロードを許可</p>
25	TCRE	0	R/W	<p>RDMATCR リロードイネーブル</p> <p>RDMATCR から DMATCR へのリロードの禁止 / 許可を設定します。本ビットを1に設定するときは、RLDビットも1にしてください。</p> <p>0: RDMATCR から DMATCR へのリロードを禁止 1: RDMATCR から DMATCR へのリロードを許可</p>
24	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン0で検出するか、オーバラン1で検出するかを選択します。</p> <p>本ビットはCHCR_0、1でのみ有効です。CHCR_2、3ではリザーブビットで読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p> <p>0: DREQ をオーバラン0で検出 1: DREQ をオーバラン1で検出</p>

ビット	ビット名	初期値	R/W	説明
22	TL	0	R/W	<p>トランスファエンドレベル</p> <p>TEND 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力</p>
21、20	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
19	HE	0	R(W)*	<p>ハーフエンドフラグ</p> <p>転送回数が、転送開始前にセットした DMATCR の値の半分以上になると、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。</p> <p>0 : DMA 転送中または DMA 転送中断で、 DMATCR > (転送前にセットした DMATCR) / 2</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> HE ビットの 1 を読み出してから 0 を書き込む <p>1 : DMATCR (転送前にセットした DMATCR) / 2</p>
18	HIE	0	R/W	<p>ハーフエンドインタラプトイネーブル</p> <p>転送回数が、転送開始前にセットした DMATCR の値の半分になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると、CPU に対し割り込みを要求します。</p> <p>0 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を禁止 1 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を許可</p>
17	AM	0	R/W	<p>アクリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモード時は、本ビットの指定に関係なく DACK は常に出力されます。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)</p>

ビット	ビット名	初期値	R/W	説明
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。</p> <p>00 : デスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止) 01 : デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16) 10 : デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止) 11 : デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+4、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p>
13、12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます)。</p> <p>00 : ソースアドレスは固定 (16 バイト単位転送時は設定禁止) 01 : ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16) 10 : ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止) 11 : ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+4、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p>

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	0000	R/W	<p>リソースセレクト</p> <p>DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード 0001 : 設定禁止 0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間 DACK 付き外部デバイス 0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス 外部アドレス空間 0100 : オートリクエスト 0101 : 設定禁止 0110 : 設定禁止 0111 : 設定禁止 1000 : DMA 拡張リソースセクタ 1001 : 設定禁止 1010 : 設定禁止 1011 : 設定禁止 1100 : 設定禁止 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p> <p>【注】外部リクエストの指定は CHCR_0、1 のみ有効です。 CHCR_2、3 では外部リクエストの指定をしても、何も実行されません。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル</p> <p>DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と検出レベルを選択します。</p> <p>本ビットは CHCR_0、1 のみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>また転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出 01 : 立ち下がりエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバスマード</p> <p>DMA 転送のバスマードを選択します。ただし、TC=0 に設定した場合には、バーストモードに設定しないでください。</p> <p>0 : サイクルスチールモード 1 : バーストモード</p>

ビット	ビット名	初期値	R/W	説明
4, 3	TS[1:0]	00	R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト単位転送 (ロングワード 4 回転送)</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送中断 [クリア条件] • TE ビットの 1 を読み出してから 0 を書き込む 1 : (DMATCR=0 により) DMA 転送終了</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。CHCR レジスタの設定を変更する場合には、該当チャンネルの DE ビットを 0 にクリアした後に行ってください。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

11.3.5 DMA リロードソースアドレスレジスタ (RSAR)

RSAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

CHCR の RLD ビットと SARE ビットに 1 をセットしている場合、現在の DMA 転送が終了した時点で、RSAR の内容がソースアドレスレジスタ (SAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.6 DMA リロードデスティネーションアドレスレジスタ (RDAR)

RDAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

CHCR の RLD ビットと DARE ビットに 1 をセットしている場合、現在の DMA 転送が終了した時点で、RDAR の内容がデスティネーションアドレスレジスタ (DAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.7 DMA リロードトランスファカウントレジスタ (RDMATCR)

RDMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

CHCR の RLD ビットと TCRE ビットに 1 をセットしている場合、現在の DMA 転送が終了した時点で、RDMATCR の内容がトランスファカウントレジスタ (DMATCR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。また、16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

リセット時は H'0000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]	-	-	PR[1:0]	-	-	-	-	-	-	AE	NMIF	DME	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13、12	CMS[1:0]	00	R/W	<p>サイクルスチールモードセレクト</p> <p>サイクルスチールモード時に通常モードとインターミitttentモードを選択します。</p> <p>インターミitttentモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードである必要があります。</p> <p>00：通常モード</p> <p>01：設定禁止</p> <p>10：インターミitttentモード 16 B クロックで 16 クロックに 1 回 DMA 転送を実行</p> <p>11：インターミitttentモード 64 B クロックで 64 クロックに 1 回 DMA 転送を実行</p>
11、10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9、8	PR[1:0]	00	R/W	<p>プライオリティモード</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00：固定モード 1：CH0>CH1>CH2>CH3</p> <p>01：固定モード 2：CH0>CH2>CH3>CH1</p> <p>10：設定禁止</p> <p>11：ラウンドロビンモード</p>
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>0：DMAC によるアドレスエラーなし</p> <p>1：DMAC によるアドレスエラー発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • AE ビットの 1 を読み出してから 0 を書き込む

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず、DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし 1 : NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出してから 0 を書き込む
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

1 転送終了後にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH2>CH3>CH1、固定モード 1 で再設定した場合、優先順位は CH0>CH1>CH2>CH3 となります。また、ラウンドロビンモードに再設定した場合は、転送終了チャンネルはリセットされます。

また、アドレスエラー発生時の DMAC の内部処理動作は、次のようになります。

- アドレスエラーが発生しない場合 : リード (転送元 DMAC内部) ライト (DMAC内部 転送先)
- アドレスエラーがソースアドレスで発生 : Nop Nop
- アドレスエラーがデスティネーションアドレスで発生 : Read Nop

表 11.3 プライオリティモードビットの組み合わせ

モード	転送終了	プライオリティモードビット		転送終了後の優先順位：高 低			
	CH No.	PR[1]	PR[0]	優先順位 0	優先順位 1	優先順位 2	優先順位 3
モード 0 (固定モード 1)	任意	0	0	CH0	CH1	CH2	CH3
モード 1 (固定モード 2)	任意	0	1	CH0	CH2	CH3	CH1
モード 2 (ラウンドロビンモード)	CH0	1	1	CH1	CH2	CH3	CH0
	CH1	1	1	CH2	CH3	CH0	CH1
	CH2	1	1	CH3	CH0	CH1	CH2
	CH3	1	1	CH0	CH1	CH2	CH3

11.3.9 DMA 拡張リソースセクタ 0、1 (DMARS0、DMARS1)

DMARS は、読み出し/書き込み可能な 16 ビットのレジスタで、チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3 を設定します。設定可能な組み合わせを表 11.4 に示します。

リセット時は H'0000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

• DMARS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]						CH1 RID[1:0]		CH0 MID[5:0]						CH0 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]						CH3 RID[1:0]		CH2 MID[5:0]						CH2 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下の MID、RID を設定します。

表 11.4 DMARS の設定

周辺モジュール		1チャンネル分の 設定値((MID,RID))	MID	RID	機能
SCI_0	TXI0	H'81	B'100000	B'01	受信
	RXI0	H'82		B'10	送信
SCI_1	TXI1	H'85	B'100001	B'01	受信
	RXI1	H'86		B'10	送信
SCI_2	TXI2	H'89	B'100010	B'01	受信
	RXI2	H'8A		B'10	送信
SCI_3	TXI3	H'8D	B'100011	B'01	受信
	RXI3	H'8E		B'10	送信
SCIF_4	TXI4	H'91	B'100100	B'01	受信
	RXI4	H'92		B'10	送信
SCIF_5	TXI5	H'95	B'100101	B'01	受信
	RXI5	H'96		B'10	送信
SCIF_6	TXI6	H'99	B'100110	B'01	受信
	RXI6	H'9A		B'10	送信
SCIF_7	TXI7	H'9D	B'100111	B'01	受信
	RXI7	H'9E		B'10	送信
IIC3	IITXI	H'A1	B'101000	B'01	送信
	IIRXI	H'A2		B'10	受信
LVDS (SH72315A のみ)	LVRXI	H'A9	B'101010	B'01	受信
A/D 変換器_0	ADI0	H'B1	B'101100	B'01	-
A/D 変換器_1	ADI1	H'B2	B'101100	B'10	-
MTU2_3S	TGI3AS	H'D1	B'110100	B'01	-
MTU2_4S	TGI4AS	H'D2	B'110100	B'10	-
MTU2_0	TGI0A	H'E1	B'111000	B'01	-
MTU2_1	TGI1A	H'E2	B'111000	B'10	-
MTU2_2	TGI2A	H'E3	B'111000	B'11	-
MTU2_3	TGI3A	H'ED	B'111011	B'01	-
MTU2_4	TGI4A	H'EE	B'111011	B'10	-

周辺モジュール		1チャンネル分の 設定値((MID,RID))	MID	RID	機能
CMT2	CM2I	H'F0	B'111100	B'00	-
	IC0I	H'F4	B'111101	B'00	-
	IC1I	H'F5	B'111101	B'01	-
	OC0I	H'F6	B'111101	B'10	-
	OC1I	H'F7	B'111101	B'11	-
CMT_0	CMI0	H'F9	B'111110	B'01	-
CMT_1	CMI1	H'FA	B'111110	B'10	-
RSPI_0	SPTXI0	H'FC	B'111111	B'00	送信
	SPRXI0	H'FD	B'111111	B'01	受信
RCAN-ET	RM0_0	H'FE	B'111111	B'10	受信

表 11.4 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0 ~ 3 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

11.4 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

11.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスマフカウトレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の半分の転送を超える (DMATCRの値が初期値の1/2になる) と、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みを発生します。
4. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。
5. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 11.2 に上記のフローチャートを示します。

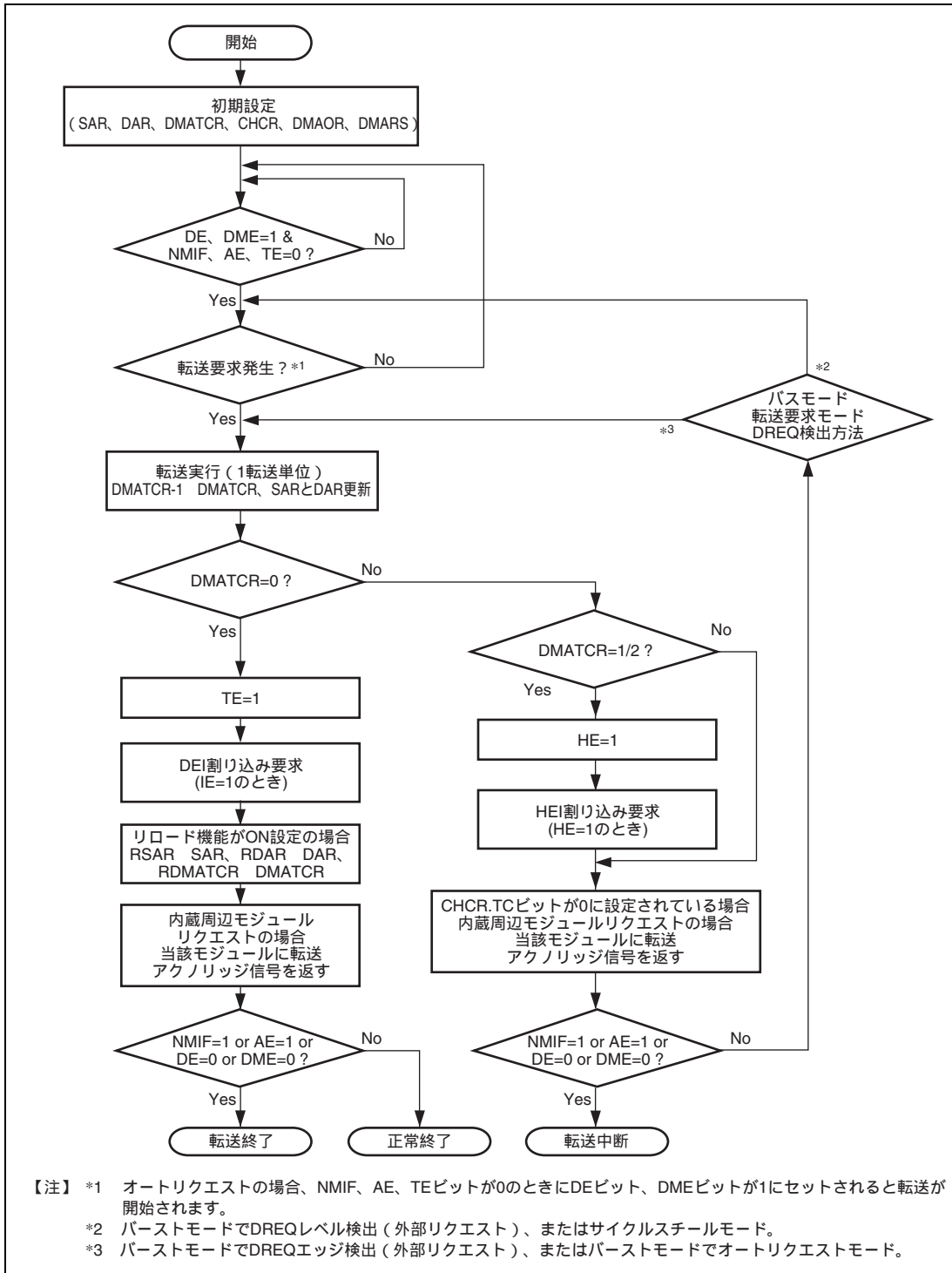


図 11.2 DMA 転送フローチャート

11.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は CHCR_0 ~ CHCR_3 の RS[3:0] ビットおよび DMARS0、DMARS1 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR_0 ~ CHCR_3 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_0 ~ CHCR_3 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0、DREQ1) によって転送を開始させるモードです。システムに応じて表 11.5 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に DREQ が入力されると DMA 転送が開始されます。

表 11.5 RS ビットによる外部リクエストモードの選択

RS[3]	RS[2]	RS[1]	RS[0]	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQ をエッジで検出するかレベルで検出するかは、表 11.6 に示す CHCR_0、CHCR_1 の DL ビットと DS ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 11.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態 (不感帯) となります。受け付けた DREQ に対するアクリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバラン 1) があります。オーバランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 11.7 DO ビットによる外部リクエスト検出の選択

CHCR の DO ビット	外部リクエスト
0	オーバラン 0
1	オーバラン 1

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから DMAC に対する DMA 転送要求信号としては、SCI、SCIF からの送信データエンプティ転送要求と受信データフル転送要求、RSPI からの送信バッファエンプティ転送要求と受信バッファフル転送要求、RCAN-ET からのデータフレーム受信転送要求 (RM0_0 のみ)、LVDS (SH72315A のみ) からの受信データフル転送要求、A/D 変換器からの A/D 変換終了転送要求、IIC3 の送信転送要求と受信転送要求、CMT、CMT2、MTU2 と MTU2S からのコンペアマッチ転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE=1、DME=1、TE=0、AE=0、NMIF=0) ならば、転送要求信号によって転送が実行されます。

転送要求を SCI または SCIF の送信データエンプティ転送要求に設定した場合、転送先を当該 SCI または SCIF のトランスミットデータレジスタとする必要があります。同様に転送要求を SCI または SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCI または SCIF のレシーブデータレジスタとする必要があります。転送要求を RSPI からの送信バッファエンプティ転送要求に設定した場合、転送元を RSPI 送信バッファ (SPTX) とする必要があります。同様に受信バッファフル転送要求に設定した場合、転送先を RSPI 受信バッファ (SPRX) とする必要があります。転送要求を RCAN-ET からのデータフレーム受信転送要求 (RM0_0 のみ) に設定した場合、転送元を CONTROL0H ~ CONTROL1L とする必要があります。

転送要求を LVDS (SH72315A のみ) からの受信データフル転送要求に設定した場合、転送元をレシーブデータレジスタとする必要があります。A/D 変換器からの場合、転送元を A/D データレジスタ (ADDR) とする必要があります。転送要求を IIC3 送信に設定した場合には転送先を ICDRT に、転送要求を IIC3 受信に設定した場合には転送元を ICDRR にする必要があります。転送要求が CMT、CMT2、MTU2、MTU2S からの場合、データの転送元、転送先ともに任意のアドレス設定が可能です。

表 11.8 RS3～RS0 ビットと DMARS による内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	RS[3:0]	MID					
1000	100000	01	SCI_0 送信	TXI0 (送信データエンブティ)	任意	SCTDR0	サイクル スチール
		10	SCI_0 受信	RXI0 (受信データフル)	SCRDR0	任意	
	100001	01	SCI_1 送信	TXI1 (送信データエンブティ)	任意	SCTDR1	
		10	SCI_1 受信	RXI1 (受信データフル)	SCRDR1	任意	
	100010	01	SCI_2 送信	TXI2 (送信データエンブティ)	任意	SCTDR2	
		10	SCI_2 受信	RXI2 (受信データフル)	SCRDR2	任意	
	100011	01	SCI_3 送信	TXI3 (送信データエンブティ)	任意	SCTDR3	
		10	SCI_3 受信	RXI3 (受信データフル)	SCRDR3	任意	
	100100	01	SCIF_4 送信	TXI4 (送信 FIFO データエンブティ)	任意	SCFTDR4	
		10	SCIF_4 受信	RXI4 (受信 FIFO データフル)	SCFRDR4	任意	
	100101	01	SCIF_5 送信	TXI5 (送信 FIFO データエンブティ)	任意	SCFTDR5	
		10	SCIF_5 受信	RXI5 (受信 FIFO データフル)	SCFRDR5	任意	
	100110	01	SCIF_6 送信	TXI6 (送信 FIFO データエンブティ)	任意	SCFTDR6	
		10	SCIF_6 受信	RXI6 (受信 FIFO データフル)	SCFRDR6	任意	
	100111	01	SCIF_7 送信	TXI7 (送信 FIFO データエンブティ)	任意	SCFTDR7	
		10	SCIF_7 受信	RXI7 (受信 FIFO データフル)	SCFRDR7	任意	
	101000	01	IIC3 送信	IITXI (送信データエンブティ)	任意	ICDRT	
		10	IIC3 受信	IIRXI (受信データフル)	ICDRR	任意	
	101010	01	LVDS (SH72315A のみ)	LVRXI (受信データフル)	LVFRDR	任意	サイクル スチール/ バースト
	101100	01	A/D 変換器_0	ADI0 (A/D 変換終了)	ADDR0 ~ ADDR7、 ADSDR	任意	サイクル スチール
	101100	10	A/D 変換器_1	ADI1 (A/D 変換終了)	ADDR8 ~ ADDR15、 ADSDR	任意	
	110100	01	MTU2S_3	TGIA_3S	任意	任意	サイクル スチール/ バースト
	110100	10	MTU2S_4	TGIA_4S	任意	任意	
	111000	01	MTU2_0	TGIOA	任意	任意	
	111000	10	MTU2_1	TGI1A	任意	任意	

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	111000	11	MTU2_2	TGI2A	任意	任意	サイクル スチール/ バースト
	111011	01	MTU2_3	TGI3A	任意	任意	
	111011	10	MTU2_4	TGI4A	任意	任意	
	111100	00	CMT2	CM2I (コンペアマッチ)	任意	任意	
	111101	00		IC0I (インプットキャプチャ)	任意	任意	
	111101	01		IC1I (インプットキャプチャ)	任意	任意	
	111101	10		OC0I (アウトプットコンペア)	任意	任意	
	111101	11		OC1I (アウトプットコンペア)	任意	任意	
	111110	01	CMT_0	CMI0 (コンペアマッチ)	任意	任意	
	111110	10	CMT_1	CMI1 (コンペアマッチ)	任意	任意	
	111111	00	RSPI_0	SPTXIO	任意	SPTX	
	111111	01		SPRXIO	SPRX	任意	
	111111	10	RCAN-ET	RM0_0	CONTROL0H ~ CONTROL1L*	任意	

【注】 * トランスファカウンタモードなどを利用して、メッセージボックス 0 のメッセージコントロールフィールド 0 (CONTROL0H) からメッセージコントロールフィールド 1 (CONTROL1L) までリードしてください。

11.4.3 チャンネルの優先順位

DMAC は同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード 1、固定モード 2、ラウンドロビンモードの 3 種類のモードから選択できます。モードの選択は DMAOR の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モード 1 および 2 ではチャンネルの優先順位は変化しません。

各モードの優先順位は以下のとおりです。

- 固定モード 1 : CH0 > CH1 > CH2 > CH3
- 固定モード 2 : CH0 > CH2 > CH3 > CH1

これらの選択は DMAOR の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで 1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位がラウンドロビン対象チャンネル内で一番低くなるように優先順位を変更します。この動作を図 11.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

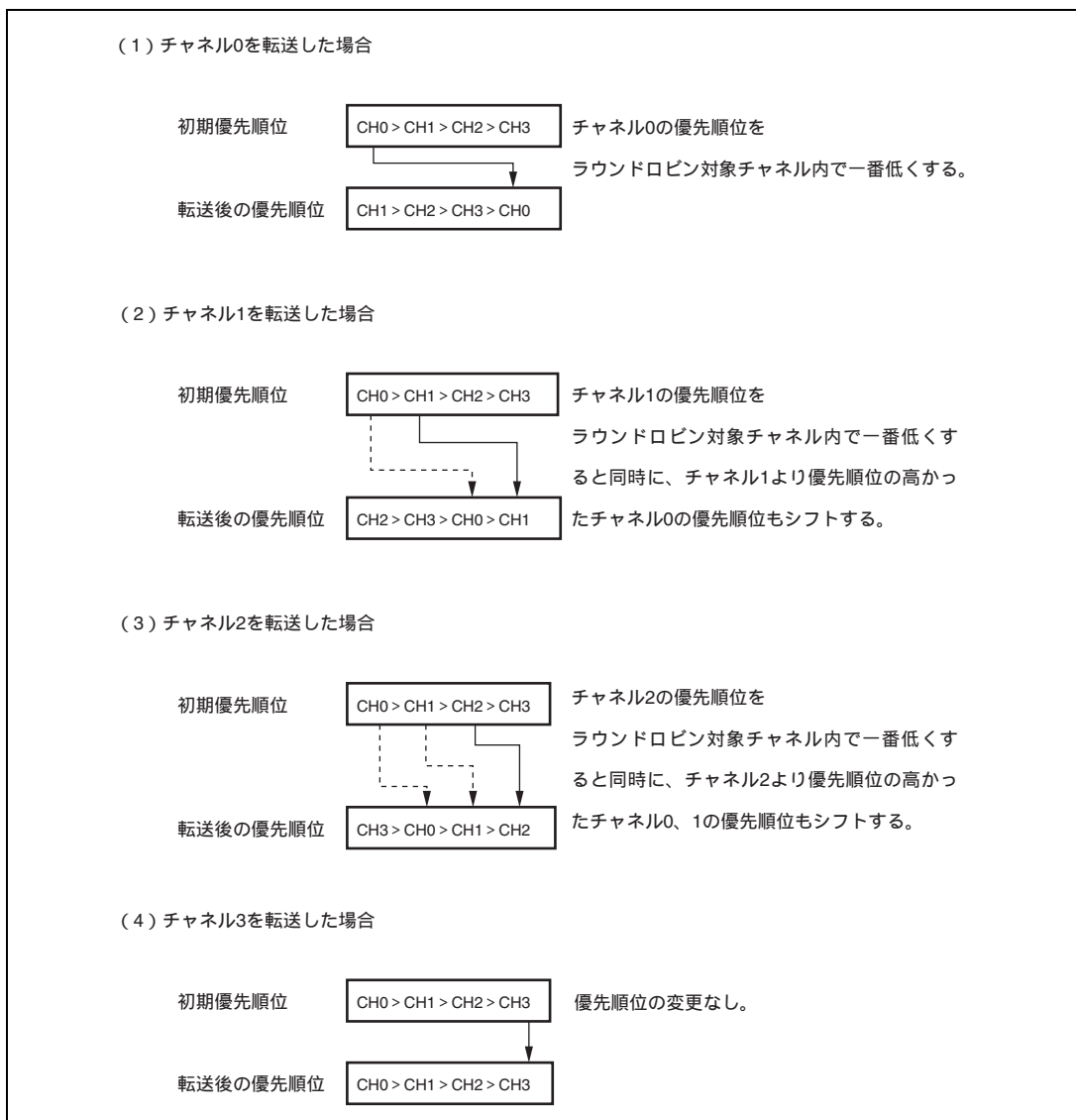


図 11.3 ラウンドロビンモード

図 11.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位をラウンドロビン対象チャンネル内で一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位をラウンドロビン対象チャンネル内で一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位がラウンドロビン対象チャンネル内で一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

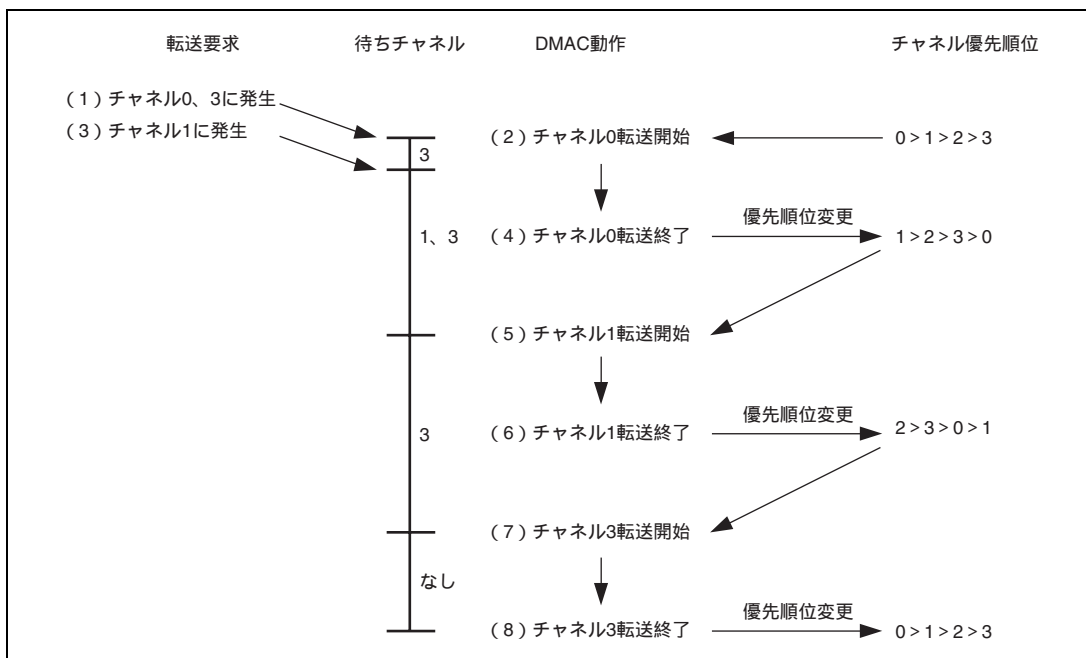


図 11.4 ラウンドロビンモードでのチャンネル優先順位

11.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 11.9 に DMAC がサポートできる転送を示します。

表 11.9 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	内蔵メモリ
DACK 付き 外部デバイス	不可	デュアル、シングル	デュアル、シングル	不可	不可
外部メモリ	デュアル、シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス (選択) する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。たとえば、図 11.5 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

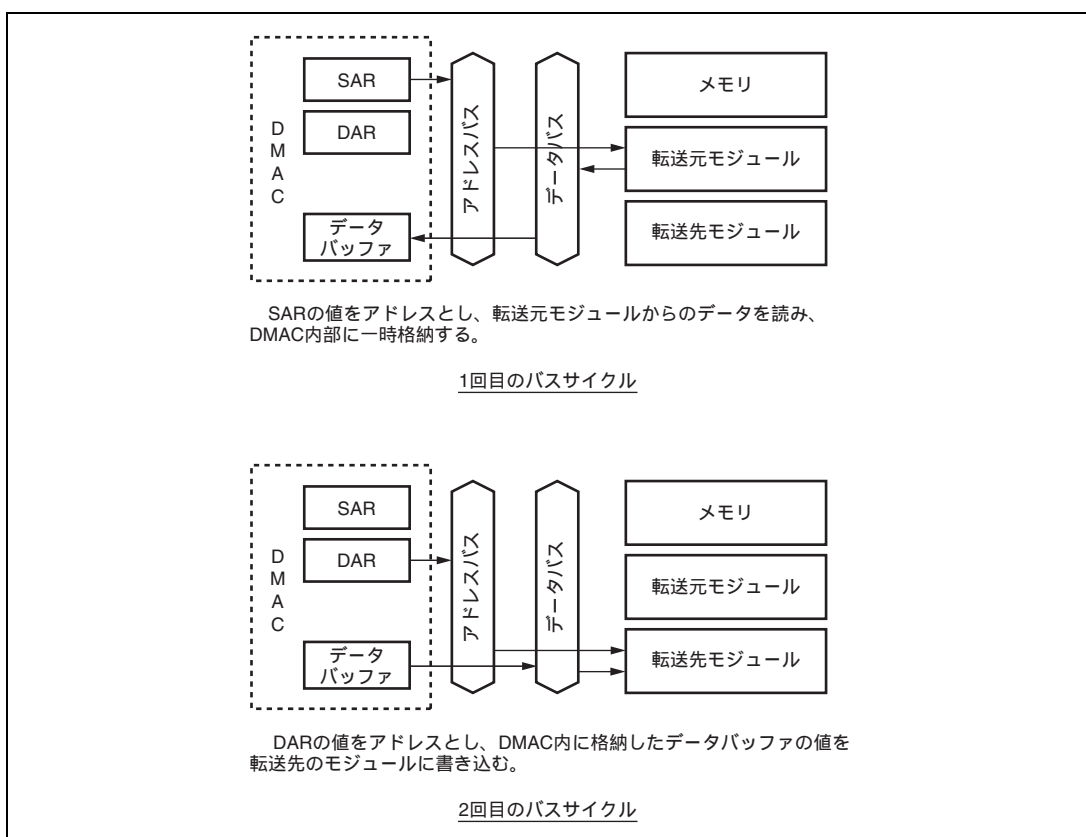


図 11.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかは CHCR の AM ビットによって設定可能です。

図 11.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

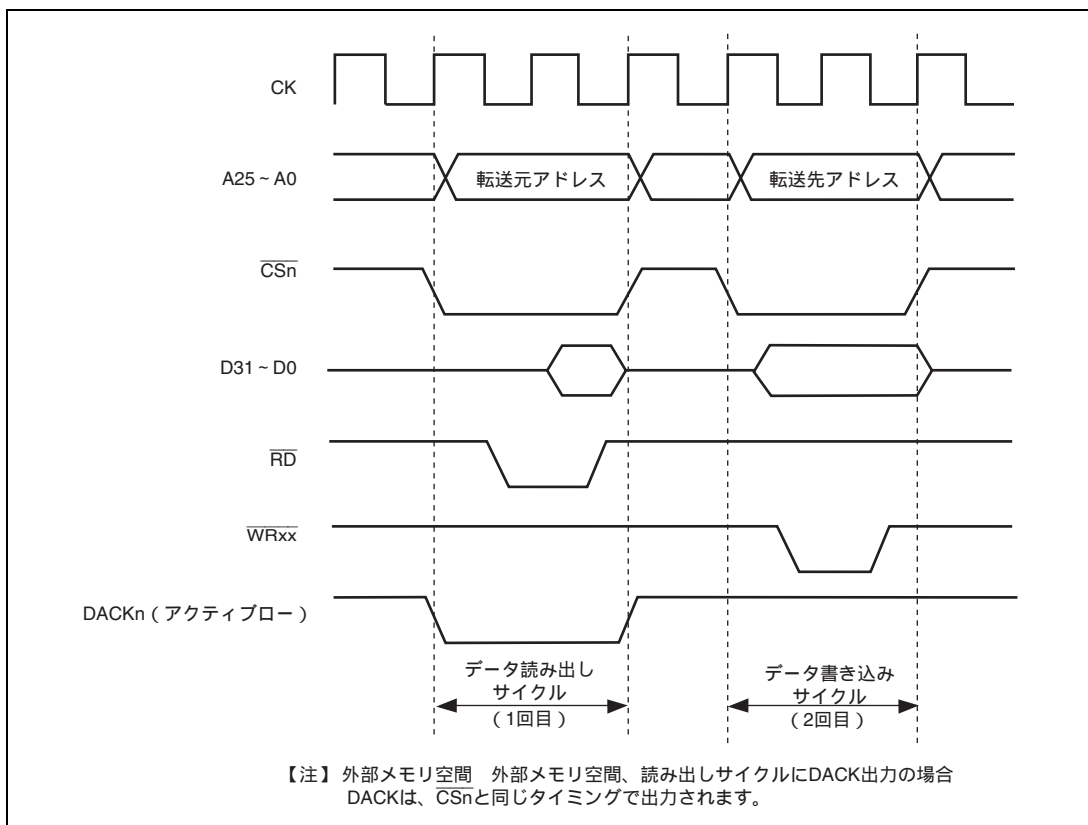


図 11.6 デュアルアドレスモードの DMA 転送タイミング例
(転送元：通常メモリ、転送先：通常メモリ)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 11.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

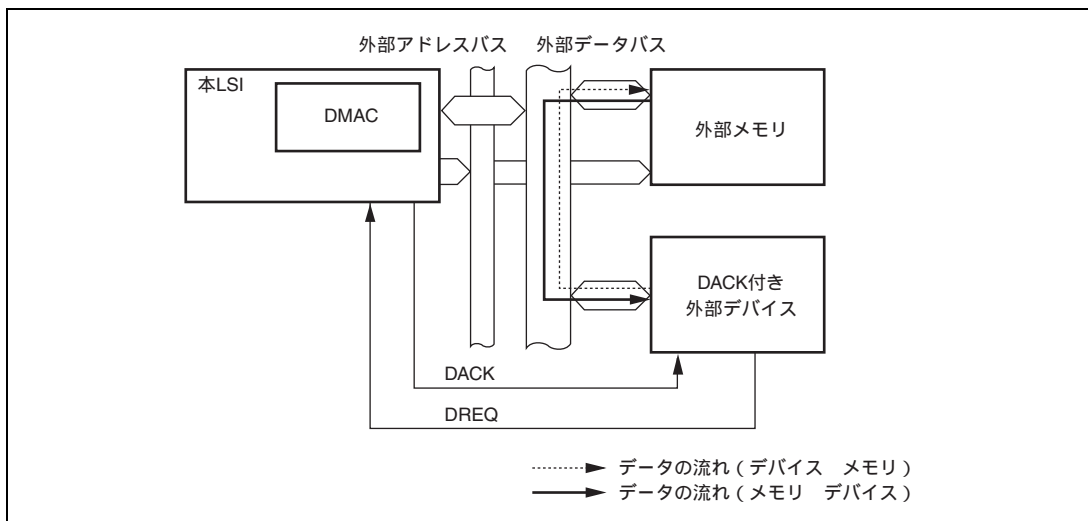


図 11.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 11.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

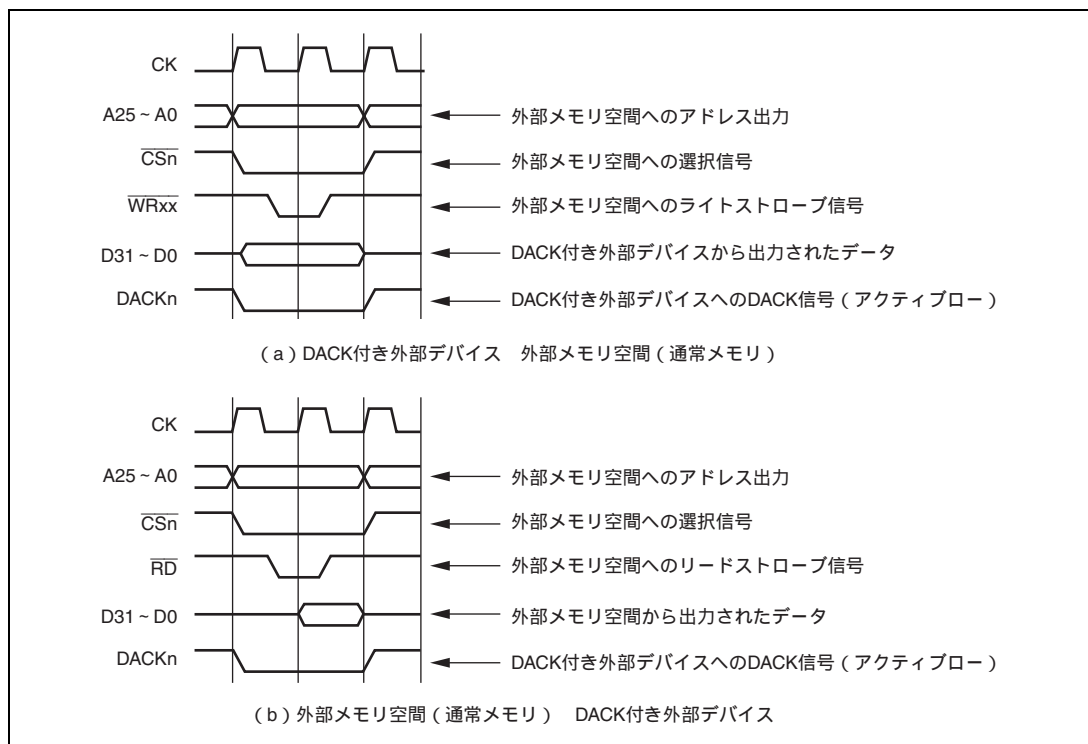


図 11.8 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

• 通常モード

サイクルスチールの通常モードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図11.9にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

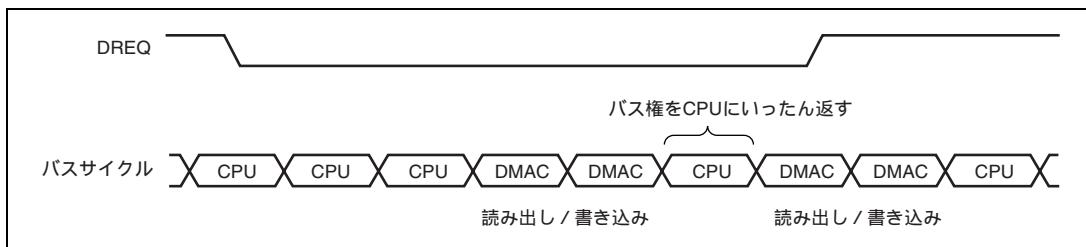


図 11.9 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

- インターミットモード16、インターミットモード64

サイクルスチールのインターミットモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B クロックカウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

インターミットモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図11.10にサイクルスチールインターミットモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

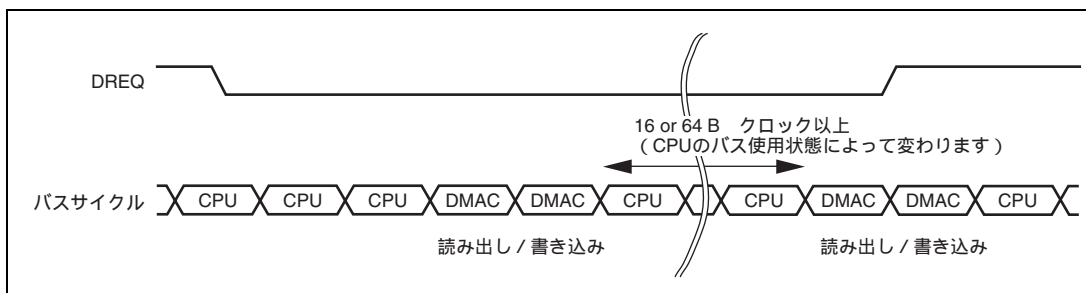


図 11.10 サイクルスチールインターミットモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 11.11 にバーストモードでの DMA 転送タイミングを示します。

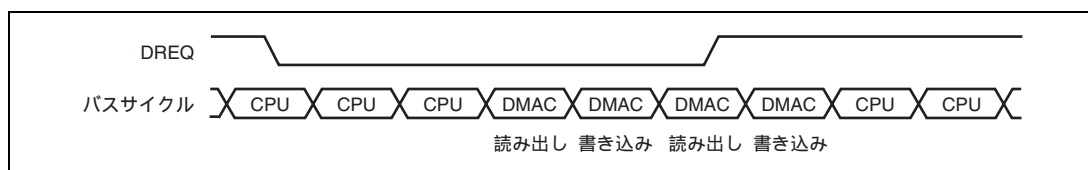


図 11.11 バーストモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 11.10 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 11.10 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~3*3
	外部メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~3*3
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~3*3
	外部メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~3*3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~3*3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~3*3
	内蔵メモリと内蔵メモリ	すべて可*4	B/C	8/16/32/128	0~3*3
	内蔵メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~3*3
	内蔵メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~3*3
	内蔵メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~3*3
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1

【記号説明】

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、転送要求元が CMT、CMT2、MTU2、MTU2S の場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
- *2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。
- *3 転送要求が外部リクエストの場合にはチャンネル 0~1 のみ。
- *4 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、内蔵周辺モジュールリクエストの場合には、CMT、CMT2、MTU2、MTU2S の場合のみ可能です。
- *5 転送要求元が CMT、CMT2、MTU2、MTU2S、LVDS (SH72315A のみ) の場合を除いてサイクルスチールのみ。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 が転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0 チャンネル 1 チャンネル 0 チャンネル 1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後の CPU サイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図 11.12 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

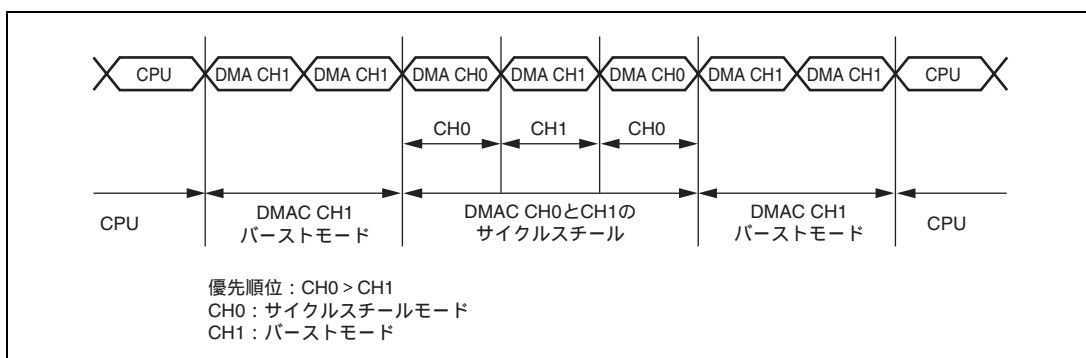


図 11.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 11.3 に示した仕様で優先順位が変化します。ただし、サイクルスチールモードのチャンネルとバーストモードのチャンネルを混在しないでください。

11.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳細は、「第 10 章 バスステートコントローラ (BSC)」を参照してください。

(2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 11.13 ~ 図 11.16 に示します。

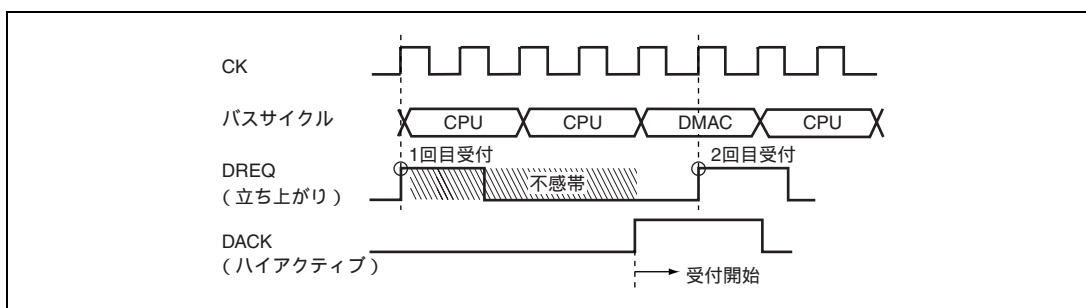


図 11.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング

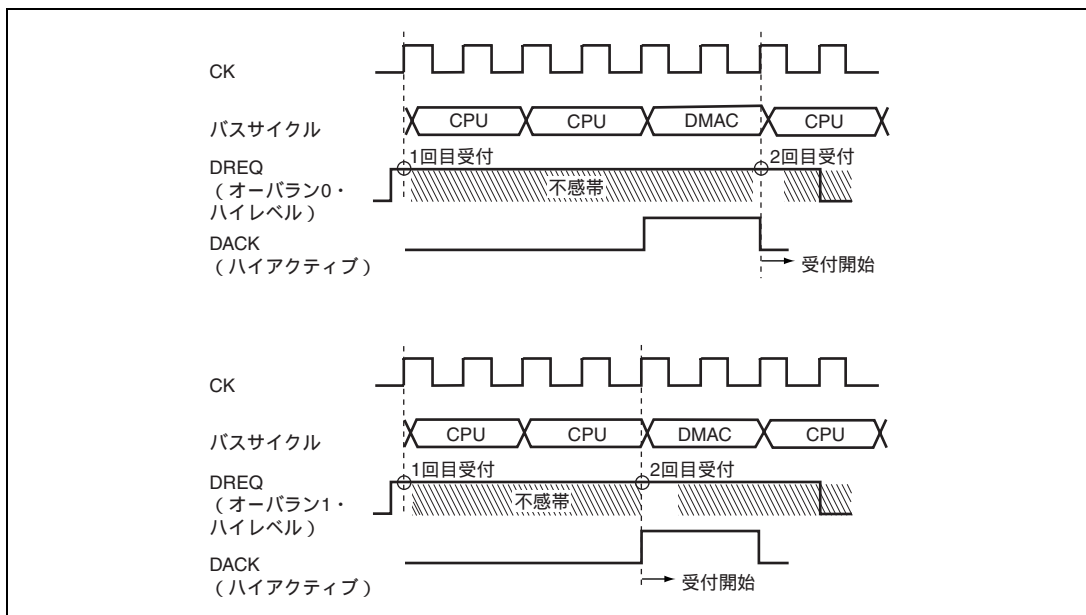


図 11.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング

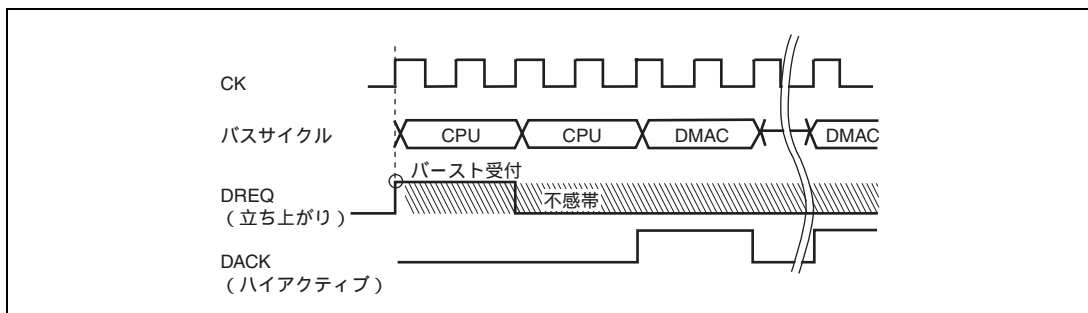


図 11.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング

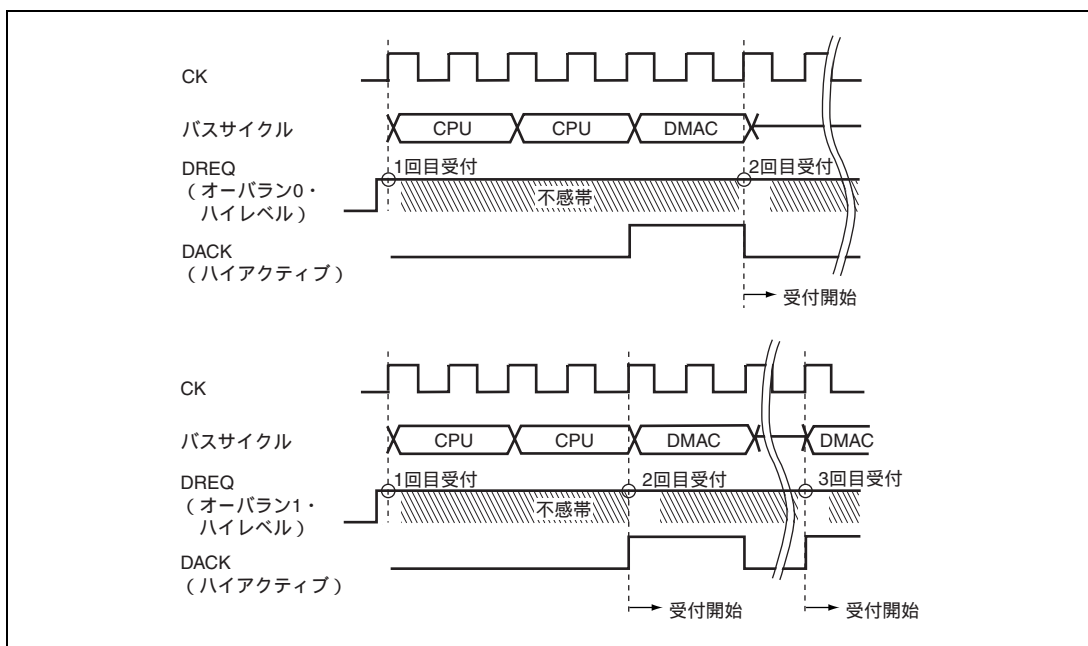


図 11.16 バーストモード・レベル検出時の DREQ 入力検出タイミング

図 11.17 に TEND 出力のタイミングを示します。

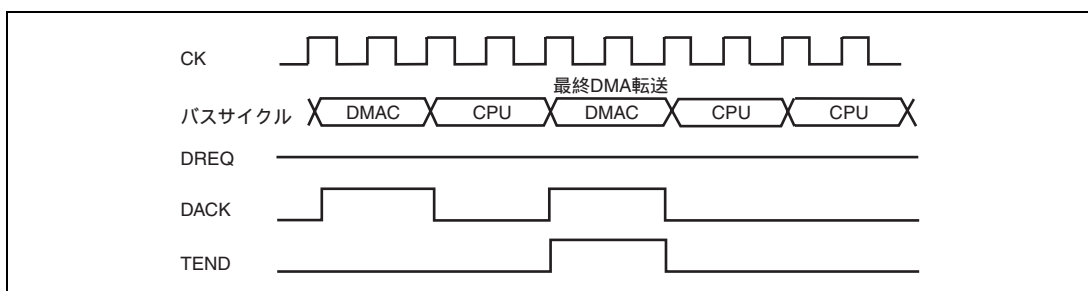


図 11.17 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8 ビット、16 ビット外部デバイスに 16 バイト転送を行ったり、8 ビット、16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合は、DMA 転送単位が複数のバスサイクルに分割されます。

DMA 転送サイズが複数のバスサイクルに分割され、かつバスサイクル間で \overline{CS} がネゲートする設定の場合、データをアライメントするために \overline{CS} と同様に DACK 出力および TEND 出力が分割されるので注意してください。

また分割された DACK では DREQ をレベル検出モード (CHCR レジスタの DS ビットを 0) に設定すると、DREQ のサンプリングを正しく検出できず最大 1 回のオーバーランが余計に発生する可能性があります。

DACK が分割されない設定を用いるか、DACK が分割される場合は、外部デバイスのバス幅以下の転送サイズを指定するようにしてください。この例を図 11.18 に示します。

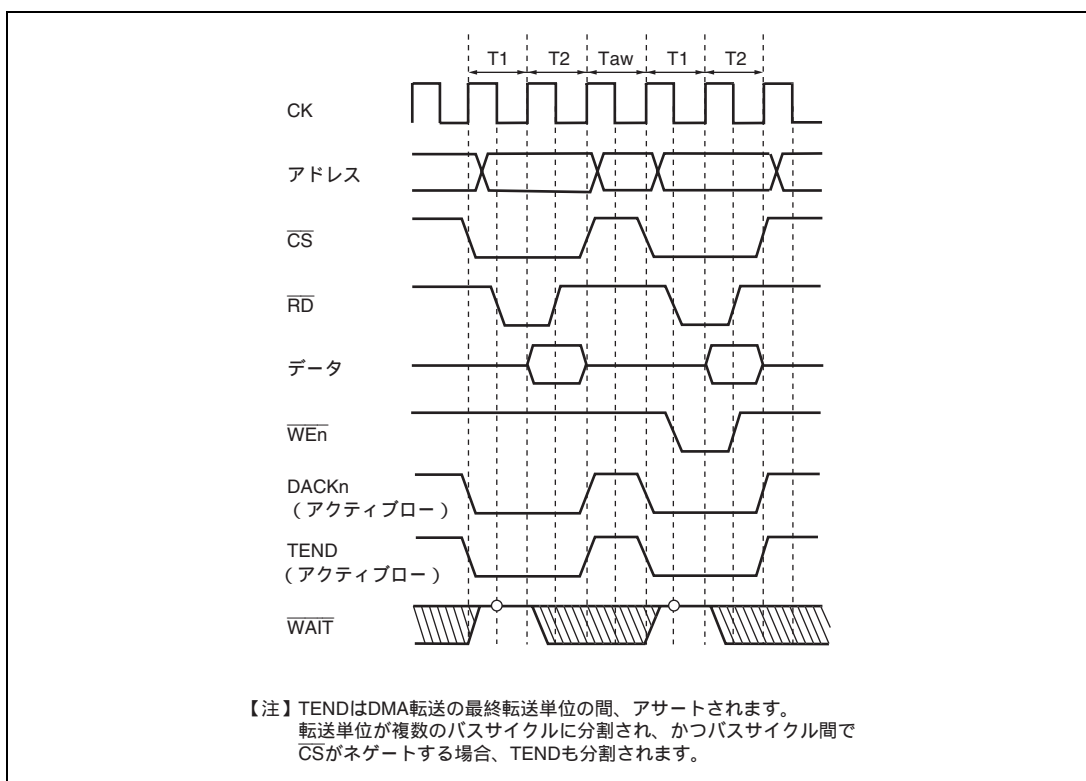


図 11.18 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル1、16 ビットデバイスへのロングワードアクセス)

11.5 割り込み要因

11.5.1 割り込み要因と優先順位


DMAC の割り込み要因はチャンネルごとにデータ転送終了割り込み (TEI) とデータ転送 1/2 終了割り込み (HEI) の 2 種類があります。

表 11.11 に各割り込み要因と優先順位を示します。各割り込み要因は、DMA チャンネルコントロールレジスタ (CHCR) の IE ビットおよび HIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMA チャンネルコントロールレジスタ (CHCR) のトランスファエンドフラグに 1 がセットされ、かつトランスファエンドインタラプトイネーブルビット (IE) に 1 がセットされているとき、データ転送終了割り込み (TEI) が発生します。DMA チャンネルコントロールレジスタ (CHCR) のハーフエンドフラグが 1 にセットされ、かつハーフエンドインタラプトイネーブルビット (HIE) が 1 にセットされているとき、データ転送 1/2 終了割り込み (HEI) が発生します。割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照してください。

表 11.11 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグ	優先順位
0	データ転送終了割り込み (TEI_0)	IE	TE	高  低
	データ転送 1/2 終了割り込み (HEI_0)	HIE	HE	
1	データ転送終了割り込み (TEI_1)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_1)	HIE	HE	
2	データ転送終了割り込み (TEI_2)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_2)	HIE	HE	
3	データ転送終了割り込み (TEI_3)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_3)	HIE	HE	

11.6 使用上の注意事項

11.6.1 ハーフエンドフラグのセットおよびハーフエンド割り込み

CHCR レジスタのハーフエンドフラグの状態を参照する場合およびハーフエンドフラグ割り込みを使用する場合で、かつリロード機能を合わせて使用する場合には以下の注意事項がありますのでご注意ください。

リロードする転送回数 (RDMATCR に設定する値) を常に最初に設定した転送回数 (DMATCR に設定した値) と同じ転送回数にしてください。

最初の DMATCR 設定値と 2 回目以降の転送で使用される RDMATCR が異なる場合、ハーフエンドフラグのセットされるタイミングが転送回数の半分より早くなったり、ハーフエンドフラグがセットされないことがあります。ハーフエンド割り込みも同様です。

11.6.2 DACK 出力および TEND 出力タイミング

外部メモリが MPX-I/O の場合、DACK 出力はデータサイクルのタイミングでアサートされます。詳細は「第 10 章 バスステートコントローラ (BSC)」の「10.5.5 MPX-I/O インタフェース」の各図を参照してください。MPX-I/O 以外のメモリ種の場合には、該当 CS アサートと同一タイミングで DACK もアサートされます。

TEND 出力についてはメモリ種によらず、該当 CS アサートと同一タイミングでアサートされます。

11.6.3 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、DMAC の動作禁止 / 許可を設定することができます。初期値では DMAC は動作禁止状態です。モジュールスタンバイモードを解除することにより、レジスタのアクセスが許可されます。

ただし、DMAC が動作中には、ソフトウェアスタンバイモードおよびモジュールスタンバイモードへの設定は行わないでください。ソフトウェアスタンバイモードおよびモジュールスタンバイモードに遷移する場合は、すべてのチャンネルの DE ビットをクリアしてから遷移してください。詳細は「第 32 章 低消費電力モード」を参照してください。

11.6.4 DMAC による DMAC/DTC レジスタのアクセス

DMAC を使用して、DMAC/DTC のレジスタアクセスを行わないでください。また、DTC を使用して DMAC のレジスタアクセスを行わないでください。

11.6.5 SCI および SCIF を DMAC 起動要因とする場合の注意事項

SCI の TXI 割り込みにより DMAC を起動する場合、SCI の TEND フラグを転送終了フラグとして使用しないでください。

SCIF の TXI 割り込みにより DMAC を起動する場合、SCIF の TEND フラグを転送終了フラグとして使用しないでください。

11.6.6 CHCR の設定

CHCR の設定を変更する場合には、必ず当該チャネルの DE ビットをクリアした後に変更してください。

11.6.7 複数チャネルの起動時の注意事項

複数チャネルに同じ内部リクエストを設定しないでください。

11.6.8 転送要求入力時の注意事項

転送要求は、DMAC の設定終了後に入力してください。

11.6.9 NMI 割り込みと DMAC 起動の競合

NMI 割り込みと DMAC 起動が競合した場合には NMI 割り込みが優先されますので、NMIF ビットは 1 にセットされて DMAC は起動されません。

11.6.10 外部リクエストモードを使用する場合の注意事項

外部リクエストにて起動するチャンネルが存在する場合、以下の4項目のいずれかにて使用してください。

1. 全チャンネルをサイクルスチールモードで使用してください。
2. 全チャンネルをバーストモードを使用する場合、以下の3条件をすべて満たして使用してください。
 - 2-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
 - 2-2. 全チャンネルをデュアルアドレスモードにしてください。
 - 2-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。

A. 転送元アドレス：外部アドレス空間	転送先アドレス：外部アドレス空間
B. 転送元アドレス：外部アドレス空間	転送先アドレス：内部アドレス空間
C. 転送元アドレス：内部アドレス空間	転送先アドレス：内部アドレス空間
3. 全チャンネルにサイクルスチールモードとバーストモードが混在する場合、以下の3条件をすべて満たして使用してください。
 - 3-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
 - 3-2. 全チャンネルをデュアルアドレスモードにしてください。
 - 3-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。

A. 転送元アドレス：外部アドレス空間	転送先アドレス：外部アドレス空間
B. 転送元アドレス：外部アドレス空間	転送先アドレス：内部アドレス空間
C. 転送元アドレス：内部アドレス空間	転送先アドレス：内部アドレス空間
4. 単一チャンネルで使用してください。

上記4項目以外で使用した場合、DACK_n 端子および TEND_n 端子が誤った転送チャンネルを示し、それ以降パワーオンリセットするまでDMA転送できない状態になる場合があります。さらにこの状態がバーストモードで発生した場合には、CPUの命令フェッチ動作ができなくなり、その結果システムが停止する状態となります。

11.6.11 内蔵周辺モジュールリクエストモードまたはオートリクエストモードを使用する場合の注意事項

内蔵周辺モジュールリクエストかオートリクエストにて起動し、DACK_n 端子および TEND_n 端子を使用するチャンネルが存在する場合、以下の4項目のいずれかにて使用してください。

1. 全チャンネルをサイクルスチールモードで使用してください。
2. 全チャンネルをバーストモードで使用する場合、以下の3条件をすべて満たして使用してください。
 - 2-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
 - 2-2. 全チャンネルをデュアルアドレスモードにしてください。
 - 2-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。

A. 転送元アドレス：外部アドレス空間	転送先アドレス：外部アドレス空間
B. 転送元アドレス：外部アドレス空間	転送先アドレス：内部アドレス空間
C. 転送元アドレス：内部アドレス空間	転送先アドレス：内部アドレス空間
3. 全チャンネルにサイクルスチールモードとバーストモードが混在する場合、以下の3条件をすべて満たして使用してください。
 - 3-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
 - 3-2. 全チャンネルをデュアルアドレスモードにしてください。
 - 3-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。

A. 転送元アドレス：外部アドレス空間	転送先アドレス：外部アドレス空間
B. 転送元アドレス：外部アドレス空間	転送先アドレス：内部アドレス空間
C. 転送元アドレス：内部アドレス空間	転送先アドレス：内部アドレス空間
4. 単一チャンネルで使用してください。

上記4項目以外で使用した場合、DACK_n 端子および TEND_n 端子が誤った転送チャンネルを示す場合があります。

12. マルチファンクションタイマパルスユニット 2 (MTU2)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU2) を内蔵しています。

12.1 特長

- 最大16本のパルス入出力、3本のパルス入力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能 (チャンネル5は4種類)
- チャンネル0~4は次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種 (チョッピング、レベル) の波形出力が選択可能
- CH5により、デッドタイム補償用カウンタ機能が可能
- 相補PWMモード時、カウンタの山/谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

表 12.1 MTU2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	P / 1 P / 4 P / 16 P / 64 TCLKA TCLKB TCLKC TCLKD	P / 1 P / 4 P / 16 P / 64 P / 256 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 1024 TCLKA TCLKB TCLKC	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRU_5 TGRV_5 TGRW_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4	-
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D	入力端子 TIC5U TIC5V TIC5W
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力					-
	1 出力					-
	トグル出力					-
インプットキャプチャ機能						
同期動作						-
PWM モード 1						-
PWM モード 2				-	-	-
相補 PWM モード	-	-	-			-
リセット PWM モード	-	-	-			-
AC 同期モータ駆動モード		-	-			-
位相計数モード	-			-	-	-
バッファ動作		-	-			-
デッドタイム補償用 カウンタ機能	-	-	-	-	-	

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	-
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバフロー / アンダフロー	TGR の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)	-

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 0A • コンペアマッチ / インプットキャプチャ 0B • コンペアマッチ / インプットキャプチャ 0C • コンペアマッチ / インプットキャプチャ 0D • コンペアマッチ 0E • コンペアマッチ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 1A • コンペアマッチ / インプットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 2A • コンペアマッチ / インプットキャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 3A • コンペアマッチ / インプットキャプチャ 3B • コンペアマッチ / インプットキャプチャ 3C • コンペアマッチ / インプットキャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 4A • コンペアマッチ / インプットキャプチャ 4B • コンペアマッチ / インプットキャプチャ 4C • コンペアマッチ / インプットキャプチャ 4D • オーバフロー / アンダフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 5U • コンペアマッチ / インプットキャプチャ 5V • コンペアマッチ / インプットキャプチャ 5W
A/D 変換開始要求 ディレイト機能	-	-	-	-	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の一致で、A/D 変換開始要求 • TADCORB_4 と TCNT_4 の一致で、A/D 変換開始要求 	-
割り込み間引き機能	-	-	-	<ul style="list-style-type: none"> • TGRA_3 のコンペアマッチ割り込みを間引き 	<ul style="list-style-type: none"> • TCIV_4 割り込みを間引き 	-

【記号説明】

: 可能

- : 不可

図 12.1 に MTU2 のブロック図を示します。

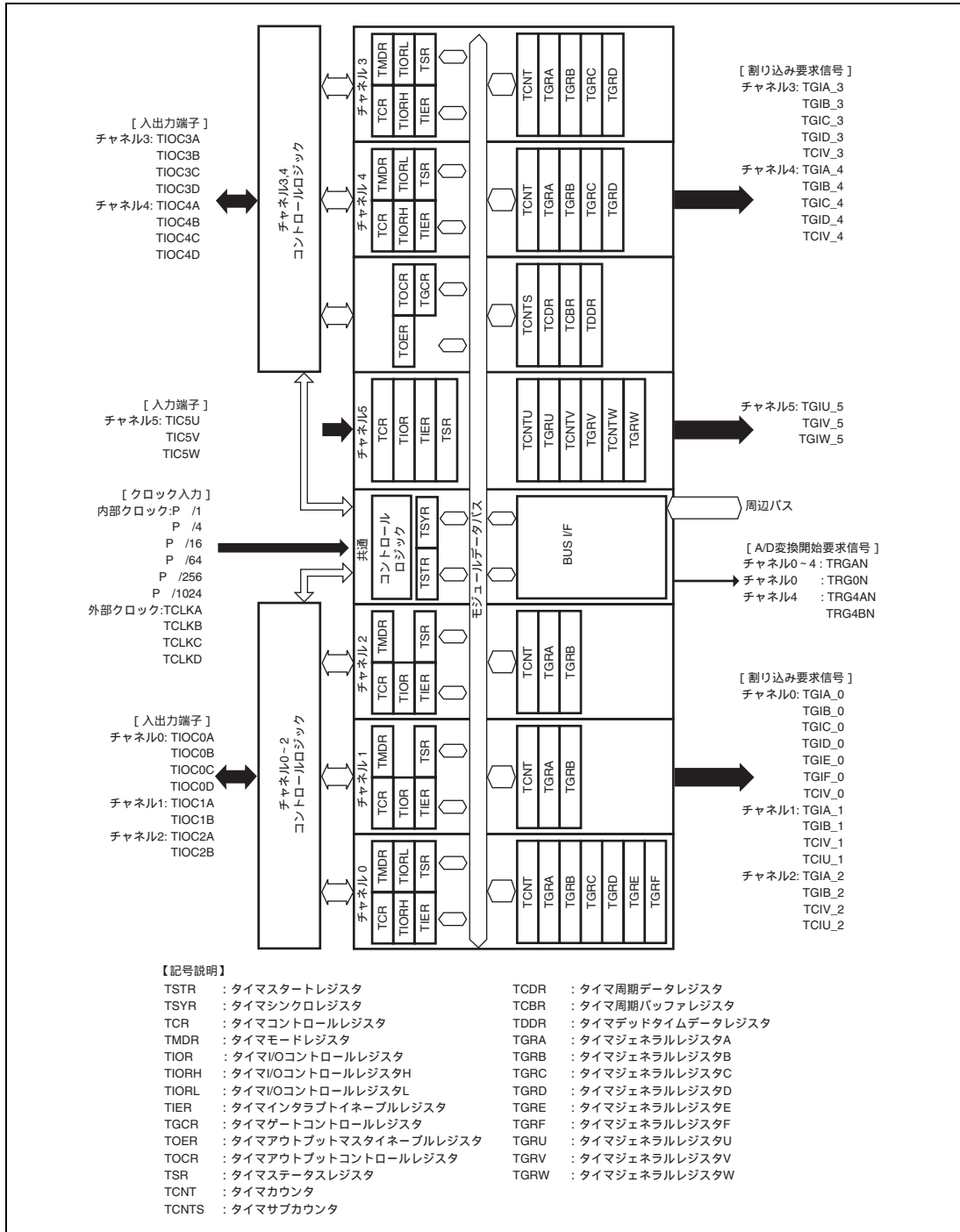


図 12.1 MTU2 のブロック図

12.2 入出力端子

表 12.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

チャンネル	端子名	入出力	機能
5	TIC5U	入力	TGRU_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5V	入力	TGRV_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5W	入力	TGRW_5 のインプットキャプチャ入力 / 外部パルス入力端子

12.3 レジスタの説明

MTU2 には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 12.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE4200	8、16、32
タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE4201	8
タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE4202	8、16
タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE4203	8
タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE4204	8、16、32
タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE4205	8
タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE4206	8、16
タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE4207	8
タイマインタラプトイネーブルレジスタ_3	TIER_3	R/W	H'00	H'FFFE4208	8、16
タイマインタラプトイネーブルレジスタ_4	TIER_4	R/W	H'00	H'FFFE4209	8
タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'C0	H'FFFE420A	8
タイマゲートコントロールレジスタ	TGCR	R/W	H'80	H'FFFE420D	8
タイマアウトプットコントロールレジスタ 1	TOCR1	R/W	H'00	H'FFFE420E	8、16
タイマアウトプットコントロールレジスタ 2	TOCR2	R/W	H'00	H'FFFE420F	8
タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE4210	16、32
タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE4212	16
タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE4214	16、32
タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE4216	16
タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE4218	16、32
タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE421A	16
タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE421C	16、32
タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE421E	16
タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE4220	16、32
タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFE4222	16
タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE4224	16、32
タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE4226	16
タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE4228	16、32
タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE422A	16
タイマステータスレジスタ_3	TSR_3	R/W	H'C0	H'FFFE422C	8、16
タイマステータスレジスタ_4	TSR_4	R/W	H'C0	H'FFFE422D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE4230	8、16
タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE4231	8
タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE4232	8
タイマデッドタイムイネーブルレジスタ	TDER	R/W	H'01	H'FFFE4234	8
タイマアウトプットレベルバッファレジスタ	TOLBR	R/W	H'00	H'FFFE4236	8
タイマバッファ動作転送モードレジスタ_3	TBTM_3	R/W	H'00	H'FFFE4238	8、16
タイマバッファ動作転送モードレジスタ_4	TBTM_4	R/W	H'00	H'FFFE4239	8
タイマ A/D 変換開始要求コントロールレジスタ	TADCR	R/W	H'0000	H'FFFE4240	16
タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE4244	16、32
タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE4246	16
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE4248	16、32
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE424A	16
タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE4260	8
タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE4280	8、16
タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFE4281	8
タイマカウンタシンクロスタートレジスタ	TCSYSTR	R/W	H'00	H'FFFE4282	8
タイマリードライトイネーブルレジスタ	TRWER	R/W	H'01	H'FFFE4284	8
タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE4300	8、16、32
タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE4301	8
タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE4302	8、16
タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE4303	8
タイマインタラプトイネーブルレジスタ_0	TIER_0	R/W	H'00	H'FFFE4304	8、16、32
タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE4305	8
タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE4306	16
タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE4308	16、32
タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE430A	16
タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE430C	16、32
タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE430E	16
タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE4320	16、32
タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE4322	16
タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE4324	8、16
タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE4325	8
タイマバッファ動作転送モードレジスタ_0	TBTM_0	R/W	H'00	H'FFFE4326	8
タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE4380	8、16
タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFE4381	8

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFE4382	8
タイマインタラプトイネーブルレジスタ_1	TIER_1	R/W	H'00	H'FFFE4384	8、16、32
タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFE4385	8
タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFE4386	16
タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFE4388	16、32
タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFE438A	16
タイマインブットキャプチャコントロール レジスタ	TICCR	R/W	H'00	H'FFFE4390	8
タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE4000	8、16
タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE4001	8
タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE4002	8
タイマインタラプトイネーブルレジスタ_2	TIER_2	R/W	H'00	H'FFFE4004	8、16、32
タイマステータスレジスタ_2	TSR_2	R/W	H'C0	H'FFFE4005	8
タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE4006	16
タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE4008	16、32
タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE400A	16
タイマカウンタ U_5	TCNTU_5	R/W	H'0000	H'FFFE4080	16、32
タイマジェネラルレジスタ U_5	TGRU_5	R/W	H'FFFF	H'FFFE4082	16
タイマコントロールレジスタ U_5	TCRU_5	R/W	H'00	H'FFFE4084	8
タイマ I/O コントロールレジスタ U_5	TIORU_5	R/W	H'00	H'FFFE4086	8
タイマカウンタ V_5	TCNTV_5	R/W	H'0000	H'FFFE4090	16、32
タイマジェネラルレジスタ V_5	TGRV_5	R/W	H'FFFF	H'FFFE4092	16
タイマコントロールレジスタ V_5	TCRV_5	R/W	H'00	H'FFFE4094	8
タイマ I/O コントロールレジスタ V_5	TIORV_5	R/W	H'00	H'FFFE4096	8
タイマカウンタ W_5	TCNTW_5	R/W	H'0000	H'FFFE40A0	16、32
タイマジェネラルレジスタ W_5	TGRW_5	R/W	H'FFFF	H'FFFE40A2	16
タイマコントロールレジスタ W_5	TCRW_5	R/W	H'00	H'FFFE40A4	8
タイマ I/O コントロールレジスタ W_5	TIORW_5	R/W	H'00	H'FFFE40A6	8
タイマステータスレジスタ_5	TSR_5	R/W	H'00	H'FFFE40B0	8
タイマインタラプトイネーブルレジスタ_5	TIER_5	R/W	H'00	H'FFFE40B2	8
タイマスタートレジスタ_5	TSTR_5	R/W	H'00	H'FFFE40B4	8
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	R/W	H'00	H'FFFE40B6	8

12.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0~4 に各 1 本、チャンネル 5 には TCRU/V/W_5 の 3 本、計 8 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]		CKEG[1:0]		TPSC[2:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 12.4、表 12.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: P / 4 の両エッジ = P / 2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P / 4 もしくはそれより遅い場合に有効です。入力クロックに P / 1、あるいは他のチャンネルのオーバーフロー / アンダフローを選択した場合、値は書き込みめませんが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 12.6 ~ 表 12.10 を参照してください。

【記号説明】 x : Don't care

表 12.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 12.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 12.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 12.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 12.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 12.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : P / 1 でカウント
	0	0	1	内部クロック : P / 4 でカウント
	0	1	0	内部クロック : P / 16 でカウント
	0	1	1	内部クロック : P / 64 でカウント
	1	0	0	内部クロック : P / 256 でカウント
	1	0	1	内部クロック : P / 1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

表 12.10 TPSC1、TPSC0 (チャンネル 5)

チャンネル	ビット 1	ビット 0	説 明
	TPSC1	TPSC0	
5	0	0	内部クロック : P / 1 でカウント
	0	1	内部クロック : P / 4 でカウント
	1	0	内部クロック : P / 16 でカウント
	1	1	内部クロック : P / 64 でカウント

【注】 チャンネル 5 では、ビット 7~2 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されず。書き込む値も常に 0 にしてください。 0 : TGRE_0 と TGRF_0 は通常動作 1 : TGRE_0 と TGRF_0 はバッファ動作
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGF D がセットされますので、タイマインタラプトイネーブルレジスタ_3/4 (TIER_3/4) の TGIED ビットは 0 にしてください。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作

ビット	ビット名	初期値	R/W	説明
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイムインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3~MD0 はタイマの動作モードを設定します。 詳細は表 12.11 を参照してください。</p>

表 12.11 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説 明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2 ^{*1}
0	1	0	0	位相計数モード 1 ^{*2}
0	1	0	1	位相計数モード 2 ^{*2}
0	1	1	0	位相計数モード 3 ^{*2}
0	1	1	1	位相計数モード 4 ^{*2}
1	0	0	0	リセット同期 PWM モード ^{*3}
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送) ^{*3}
1	1	1	0	相補 PWM モード 2 (谷で転送) ^{*3}
1	1	1	1	相補 PWM モード 3 (山・谷で転送) ^{*3}

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

12.3.3 タイマ I/O コントロールレジスタ (TIOR)

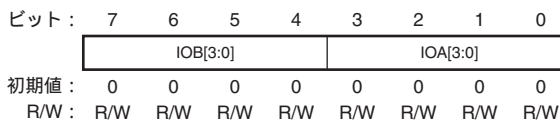
TIOR は、TGR を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、チャンネル 5 には TIORU/V/W_5 の 3 本、計 11 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

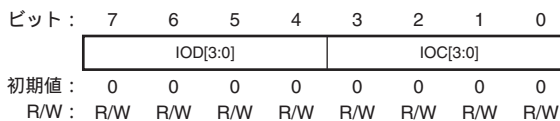
TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4



ビット	ビット名	初期値	R/W	説明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3 ~ B0 IOB3 ~ IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.12 TIOR_1 : 表 12.14 TIOR_2 : 表 12.15 TIORH_3 : 表 12.16 TIORH_4 : 表 12.18
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3 ~ A0 IOA3 ~ IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.20 TIOR_1 : 表 12.22 TIOR_2 : 表 12.23 TIORH_3 : 表 12.24 TIORH_4 : 表 12.26

- TIORL_0、TIORL_3、TIORL_4



ビット	ビット名	初期値	R/W	説明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3 ~ D0 IOD3 ~ IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.13 TIORL_3 : 表 12.17 TIORL_4 : 表 12.19
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3 ~ C0 IOC3 ~ IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.21 TIORL_3 : 表 12.25 TIORL_4 : 表 12.27

- TIORU_5、TIORV_5、TIORW_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	IOC[4:0]				
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	IOC[4:0]	00000	R/W	I/O コントロール C4~C0 IOC4~IOC0 ビットは TGRU/V/W_5 の機能を設定します。 詳細については表 12.28 を参照してください。

表 12.12 TIORH_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されます。

表 12.13 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 12.14 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.15 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.16 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.17 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.18 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.19 TIORL_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

表 12.20 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.21 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 12.22 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.23 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.24 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.25 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.26 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.27 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.28 TIORU_5、TIORV_5、TIORW_5 (チャンネル 5)

ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC4	IOC3	IOC2	IOC1	IOC0	TGRU_5、TGRV_5、 TGRW_5 の機能	TIC5U、TIC5V、TIC5W 端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定禁止
0	0	0	1	x		設定禁止
0	0	1	x	x		設定禁止
0	1	x	x	x		設定禁止
1	0	0	0	0	インプットキャプチャ レジスタ	設定禁止
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定禁止
1	1	0	0	0		設定禁止
1	1	0	0	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	0	1	0		外部入力信号の Low パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	0	1	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの山と谷でキャプチャ
1	1	1	0	0		設定禁止
1	1	1	0	1		外部入力信号の High パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	1	1	0		外部入力信号の High パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	1	1	1		外部入力信号の High パルス幅測定用 相補 PWM モードの山と谷でキャプチャ

【記号説明】 x : Don't care

12.3.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

TCNTCMPCLR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNTU_5、TCNTV_5、TCNTW_5 のクリア要求を設定することができます。MTU2 には、チャンネル 5 に 1 本の TCNTCMPCLR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMP CLR5U	CMP CLR5V	CMP CLR5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CMPCLR5U	0	R/W	TCNT コンペアクリア 5U TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 クリア要求を許可または禁止します。 0: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを禁止 1: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを許可
1	CMPCLR5V	0	R/W	TCNT コンペアクリア 5V TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 クリア要求を許可または禁止します。 0: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを禁止 1: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを許可
0	CMPCLR5W	0	R/W	TCNT コンペアクリア 5W TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 クリア要求を許可または禁止します。 0: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを禁止 1: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを許可

12.3.5 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求（TCIU）を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求（TCIU）を禁止 1 : TCFU による割り込み要求（TCIU）を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求（TCIV）を許可または禁止します。 0 : TCFV による割り込み要求（TCIV）を禁止 1 : TCFV による割り込み要求（TCIV）を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

• TIER2_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGFE ビットによる割り込み要求 (TGIF) を禁止 1 : TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGEE ビットによる割り込み要求 (TGIE) を禁止 1 : TGEE ビットによる割り込み要求 (TGIE) を許可

• TIER_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TGIE5U	0	R/W	TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに1がセットされたとき、CMFU5 ビットによる TGIU_5 割り込み要求の発生を許可または禁止します。 0 : TGIU_5 割り込み要求を禁止 1 : TGIU_5 割り込み要求を許可
1	TGIE5V	0	R/W	TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに1がセットされたとき、CMFV5 ビットによる TGIV_5 割り込み要求の発生を許可または禁止します。 0 : TGIV_5 割り込み要求を禁止 1 : TGIV_5 割り込み要求を許可
0	TGIE5W	0	R/W	TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに1がセットされたとき、CMFW5 ビットによる TGIW_5 割り込み要求の発生を許可または禁止します。 0 : TGIW_5 割り込み要求を禁止 1 : TGIW_5 割り込み要求を許可

12.3.6 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] • TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。 [クリア条件] • TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 チャンネル 4 では、TCIV 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときにもクリアされます。

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*²
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*²
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*²

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DMAC が起動されたとき • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*²

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされませんので、再度 1 を読み出して 0 を書き込んでください。

• TSR2_0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグ F TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。 [セット条件] • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRF_0 になったとき [クリア条件] • TGFF = 1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2
0	TGFE	0	R/(W)*1	コンペアマッチフラグ E TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。 [セット条件] • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRE_0 になったとき [クリア条件] • TGFE = 1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*2

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 1を読み出した後、0を書き込む前に次のコンペアマッチによるフラグセットが発生した場合は、0を書き込んで
もフラグはクリアされませんので、再度1を読み出して0を書き込んでください。

• TSR_5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMFU5	CMFV5	CMFV5
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CMFU5	0	R/(W)*1	<p>コンペアマッチ/インプットキャプチャフラグ U5</p> <p>TGRU_5のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRU_5 がコンペアマッチレジスタとして機能している場合、TCNTU_5 = TGRU_5 になったとき • TGRU_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTU_5 の値が TGRU_5 に転送されたとき • TGRU_5 が外部入力信号のパルス幅測定として機能している場合、TCNTU_5 の値が TGRU_5 に転送されたとき*2 <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIU_5 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが0のとき • CMFU5 = 1 の状態で CMFU5 をリード後、CMFU5 に 0 をライトしたとき
1	CMFV5	0	R/(W)*1	<p>コンペアマッチ/インプットキャプチャフラグ V5</p> <p>TGRV_5のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRV_5 がコンペアマッチレジスタとして機能している場合、TCNTV_5 = TGRV_5 になったとき • TGRV_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTV_5 の値が TGRV_5 に転送されたとき • TGRV_5 が外部入力信号のパルス幅測定として機能している場合、TCNTV_5 の値が TGRV_5 に転送されたとき*2 <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIV_5 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが0のとき • CMFV5 = 1 の状態で CMFV5 をリード後、CMFV5 に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	CMFW5	0	R/(W)*1	<p>コンペアマッチ/インプットキャプチャフラグ W5</p> <p>TGRW_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRW_5 がコンペアマッチレジスタとして機能している場合、TCNTW_5 = TGRW_5 になったとき • TGRW_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTW_5 の値が TGRW_5 に転送されたとき • TGRW_5 が外部入力信号のパルス幅測定として機能している場合、TCNTW_5 の値が TGRW_5 に転送されたとき*2 <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIW_5 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • CMFW5 = 1 の状態で CMFW5 をリード後、CMFW5 に 0 をライトしたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 転送するタイミングは、タイマ I/O コントロールレジスタ U_5/V_5/W_5 (TIORU_5/V_5/W_5) の IOC ビットで設定します。

12.3.7 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し / 書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。MTU2 には、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0 : チャンネル 0 のコンペアマッチ E 発生時 1 : TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0 : 各チャンネルのコンペアマッチ B 発生時 1 : 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0 : 各チャンネルのコンペアマッチ A 発生時 1 : 各チャンネルの TCNT クリア時

12.3.8 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。MTU2 には、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する / しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する / しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する / しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する / しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

12.3.9 タイマシンクロクリアレジスタ (TSYCR)

TSYCR は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU2 からの MTU2S の TCNT_3、TCNT_4 の同期クリア条件の設定を行います。MTU2S には、チャンネル 3 に 1 本の TSYCR があります。ただし MTU2 には TSYCR はありません。

ビット:	7	6	5	4	3	2	1	0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CE0A	0	R/W	クリアイネーブル 0A MTU2 の TSR_0 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFA フラグセットでのクリア禁止 1: TSR_0 の TGFA フラグセットでのクリア許可
6	CE0B	0	R/W	クリアイネーブル 0B MTU2 の TSR_0 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFB フラグセットでのクリア禁止 1: TSR_0 の TGFB フラグセットでのクリア許可
5	CE0C	0	R/W	クリアイネーブル 0C MTU2 の TSR_0 の TGFC フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFC フラグセットでのクリア禁止 1: TSR_0 の TGFC フラグセットでのクリア許可
4	CE0D	0	R/W	クリアイネーブル 0D MTU2 の TSR_0 の TGFD フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFD フラグセットでのクリア禁止 1: TSR_0 の TGFD フラグセットでのクリア許可
3	CE1A	0	R/W	クリアイネーブル 1A MTU2 の TSR_1 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_1 の TGFA フラグセットでのクリア禁止 1: TSR_1 の TGFA フラグセットでのクリア許可
2	CE1B	0	R/W	クリアイネーブル 1B MTU2 の TSR_1 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_1 の TGFB フラグセットでのクリア禁止 1: TSR_1 の TGFB フラグセットでのクリア許可
1	CE2A	0	R/W	クリアイネーブル 2A MTU2 の TSR_2 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_2 の TGFA フラグセットでのクリア禁止 1: TSR_2 の TGFA フラグセットでのクリア許可

ビット	ビット名	初期値	R/W	説明
0	CE2B	0	R/W	クリアイネーブル 2B MTU2 の TSR_2 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_2 の TGFB フラグセットでのクリア禁止 1 : TSR_2 の TGFB フラグセットでのクリア許可

12.3.10 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU2 には、チャンネル 4 に 1 本の TADCR があります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 12.29 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 12.29 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する*1
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2

【注】 *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

12.3.11 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.12 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.13 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、チャンネル 5 に TCNTU/V/W_5 の 3 本、計 8 本の TCNT があります。

TCNT は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.14 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、チャンネル 5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インプットキャブチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE - TGRF になります。

TGRU_5、TGRV_5、TGRW_5 はコンペアマッチ / インプットキャブチャ / 外部パルス幅測定兼用のレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

12.3.15 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作 / 停止を選択します。

TSTR_5 は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 5 の TCNTU/V/W_5 の動作 / 停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

- TSTR

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

• TSTR_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSTU5	CSTV5	CSTW5
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CSTU5	0	R/W	カウンタスタート U5 TCNTU_5 の動作または停止を選択します。 0 : TCNTU_5 のカウンタ動作は停止 1 : TCNTU_5 のカウンタ動作
1	CSTV5	0	R/W	カウンタスタート V5 TCNTV_5 の動作または停止を選択します。 0 : TCNTV_5 のカウンタ動作は停止 1 : TCNTV_5 のカウンタ動作
0	CSTW5	0	R/W	カウンタスタート W5 TCNTW_5 の動作または停止を選択します。 0 : TCNTW_5 のカウンタ動作は停止 1 : TCNTW_5 のカウンタ動作

12.3.16 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1 : TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット / 同期クリアが可能
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_2 ~ TCNT_0 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1 : TCNT_2 ~ TCNT_0 は同期動作 TCNT の同期プリセット / 同期クリアが可能

12.3.17 タイマカウンタシンクロスタートレジスタ (TCSYSTR)

TCSYSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU2 と MTU2S のカウンタの同期スタートを行います。ただし MTU2S には TCSYSTR はありません。

ビット: 7 6 5 4 3 2 1 0

SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S
------	------	------	------	------	---	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R/(W)* R/(W)*

【注】* レジスタをセットするために1を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SCH0	0	R/(W)*	シンクロスタート MTU2 の TCNT_0 のシンクロスタートを制御します。 0 : MTU2 の TCNT_0 をシンクロスタートしない 1 : MTU2 の TCNT_0 をシンクロスタートする [クリア条件] • SCH0 = 1 の状態で、MTU2 の TSTR の CST0 ビットに 1 をセットしたとき
6	SCH1	0	R/(W)*	シンクロスタート MTU2 の TCNT_1 のシンクロスタートを制御します。 0 : MTU2 の TCNT_1 をシンクロスタートしない 1 : MTU2 の TCNT_1 をシンクロスタートする [クリア条件] • SCH1 = 1 の状態で、MTU2 の TSTR の CST1 ビットに 1 をセットしたとき
5	SCH2	0	R/(W)*	シンクロスタート MTU2 の TCNT_2 のシンクロスタートを制御します。 0 : MTU2 の TCNT_2 をシンクロスタートしない 1 : MTU2 の TCNT_2 をシンクロスタートする [クリア条件] • SCH2 = 1 の状態で、MTU2 の TSTR の CST2 ビットに 1 をセットしたとき
4	SCH3	0	R/(W)*	シンクロスタート MTU2 の TCNT_3 のシンクロスタートを制御します。 0 : MTU2 の TCNT_3 をシンクロスタートしない 1 : MTU2 の TCNT_3 をシンクロスタートする [クリア条件] • SCH3 = 1 の状態で、MTU2 の TSTR の CST3 ビットに 1 をセットしたとき

ビット	ビット名	初期値	R/W	説 明
3	SCH4	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2 の TCNT_4 のシンクロスタートを制御します。</p> <p>0 : MTU2 の TCNT_4 をシンクロスタートしない</p> <p>1 : MTU2 の TCNT_4 をシンクロスタートする</p> <p>[クリア条件]</p> <p>• SCH4 = 1 の状態で、MTU2 の TSTR の CST4 ビットに 1 をセットしたとき</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	SCH3S	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2S の TCNT_3S のシンクロスタートを制御します。</p> <p>0 : MTU2S の TCNT_3S をシンクロスタートしない</p> <p>1 : MTU2S の TCNT_3S をシンクロスタートする</p> <p>[クリア条件]</p> <p>• SCH3S = 1 の状態で、MTU2S の TSTRS の CST3 ビットに 1 をセットしたとき</p>
0	SCH4S	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2S の TCNT_4S のシンクロスタートを制御します。</p> <p>0 : MTU2S の TCNT_4S をシンクロスタートしない</p> <p>1 : MTU2S の TCNT_4S をシンクロスタートする</p> <p>[クリア条件]</p> <p>• SCH4S = 1 の状態で、MTU2S の TSTRS の CST4 ビットに 1 をセットしたとき</p>

【注】 * レジスタをセットするために 1 を書き込むことのみ可能です。

12.3.18 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE = 1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ / カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

12.3.19 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

TOER レジスタに 1 を書き込むときは、TSTR レジスタの CST3 ビットと CST4 ビットが 0 のときに行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「12.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「12.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード / リセット同期 PWM モード以外で MTU2 出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されません。

12.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット :	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0 : トグル出力を禁止 1 : トグル出力を許可
5, 4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W)*	TOC レジスタ書き込み禁止ビット* ¹ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0 : TOCR1 の設定を有効にする 1 : TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N* ² * ³ リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.30 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P* ² * ³ リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 12.31 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

*3 デッドタイムを生成しない場合は、逆相の出力は正相の反転となります。このとき、OLSP ビット設定値のみ有効となります。

表 12.30 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.31 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 12.2 に示します。

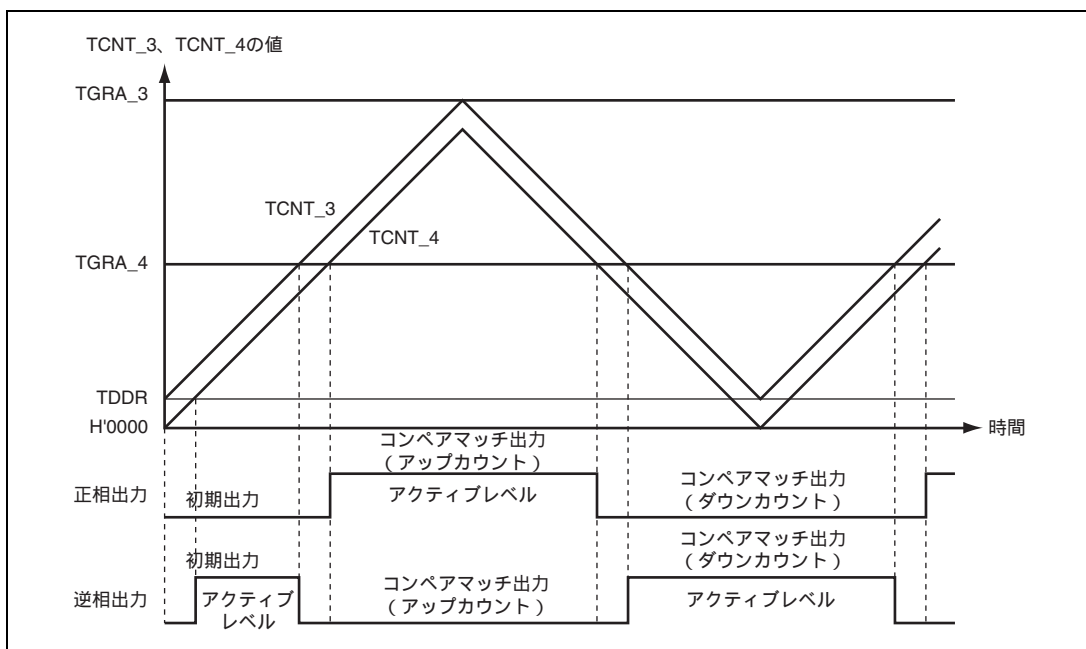


図 12.2 相補 PWM モードの出力レベルの例

12.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.32 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N ^{*1*2} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.33 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P ^{*1*2} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.34 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N ^{*1*2} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.35 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P ^{*1*2} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.36 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N ^{*1*2} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.37 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P ^{*1*2} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.38 を参照してください。

【注】 *1 TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

*2 デッドタイムを生成しない場合は、逆相の出力は正相の反転となります。このとき、OLSiP ビット設定値のみ有効となります。(i = 1, 2, 3)

表 12.32 BF1、BF0 ビットの設定

ビット 7	ビット 6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 12.33 TIOC4D 出力レベルセレクト機能

ビット 5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.34 TIOC4B 出力レベルセレクト機能

ビット 4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.35 TIOC4C 出力レベルセレクト機能

ビット 3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.36 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.37 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.38 TIOC3B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

12.3.22 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 12.3 に示します。

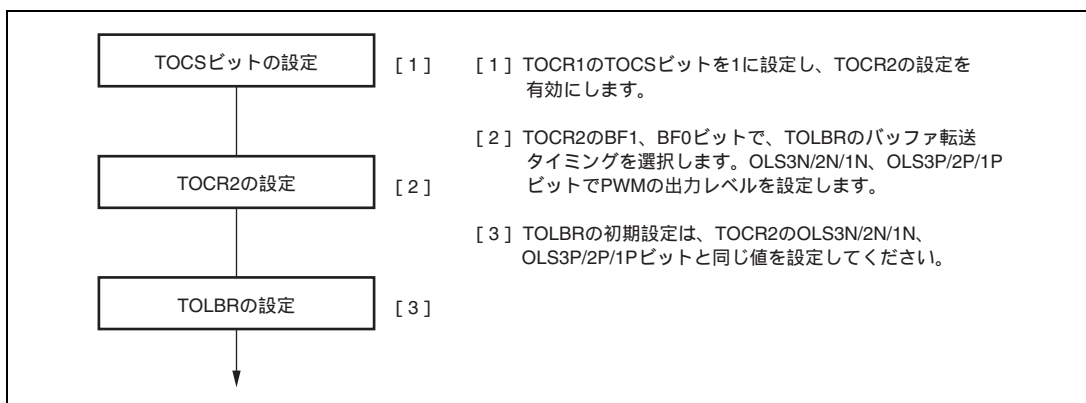


図 12.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

12.3.23 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB*	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
3	FB*	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り換えを MTU2 / チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り換えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り換えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り換え 2~0
1	VF	0	R/W	正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 12.39 を参照してください。
0	UF	0	R/W	

【注】 * MTU2S で BDC ビットに 1 を設定した場合、FB ビットには 0 を設定しないでください。

表 12.39 出力レベルセレクト機能

ビット2	ビット1	ビット0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

12.3.24 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.25 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.26 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウント アップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.27 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.28 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。MTU2 には 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止 / 許可を設定します。 0 : TGIA_3 割り込みの間引きを禁止する 1 : TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.40 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止 / 許可を設定します。 0 : TCIV_4 割り込みの間引きを禁止する 1 : TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.41 を参照してください。

【注】 * 割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 12.40 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 12.41 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

12.3.29 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。MTU2 には 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット:	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2 ~ 3ACOR0 と TITCNT の 3ACNT2 ~ 3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2 ~ 3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

12.3.30 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。MTU2 には 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。詳細は表 12.42 を参照してください。

【注】 * 対象バッファレジスタ
TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表 12.42 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑制しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑制する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3 ~ MD0 の設定に従い転送します。詳細は「12.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送レジスタ (TBTER) の BTE1 を 0 に設定) にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

12.3.31 タイマデッドタイムイネーブルレジスタ (TDER)

TDER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU2 には 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする / しないを設定します。 0: デッドタイムを生成しない 1: デッドタイムを生成する* [クリア条件] • TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR 1 に設定してください。

12.3.32 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モードで TNCT_3、TNCT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	SCC	WRE
初期値 :	0*	0	0	0	0	0	0	0
R/W :	R/(W)	R	R	R	R	R	R/(W)	R/(W)

【注】 * 相補PWMモード1のとき以外は、1に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
7	CCE	0*	R/(W)	<p>コンペアマッチクリアイネーブル</p> <p>相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。</p> <p>0 : TGRA_3 のコンペアマッチによるカウンタクリアをしない 1 : TGRA_3 のコンペアマッチによるカウンタクリアをする</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • CCE = 0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	SCC	0	R/(W)	<p>同期クリアコントロール</p> <p>相補 PWM モードで MTU2 - MTU2S カウンタ同期クリアが発生したときに、MTU2S の TCNT_3、TCNT_4 をクリアする / しないを設定します。</p> <p>本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。</p> <p>また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。</p> <p>SCC ビットの設定により MTU2 からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。TCNT_3、TCNT_4 スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU2S の TCNT_3、TCNT_4 がクリアされます。</p> <p>相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。</p> <p>MTU2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : MTU2 - MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア有効 1 : MTU2 - MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア無効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCC = 0 の状態で SCC をリード後、SCC に 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	WRE	0	R/(W)	<p>初期出力抑止イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

12.3.33 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

12.4 動作説明

12.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU2 の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0 ~ CST4 ビット、TSTR_5 の CSTU5、CSTV5、CSTW5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 12.4 に示します。

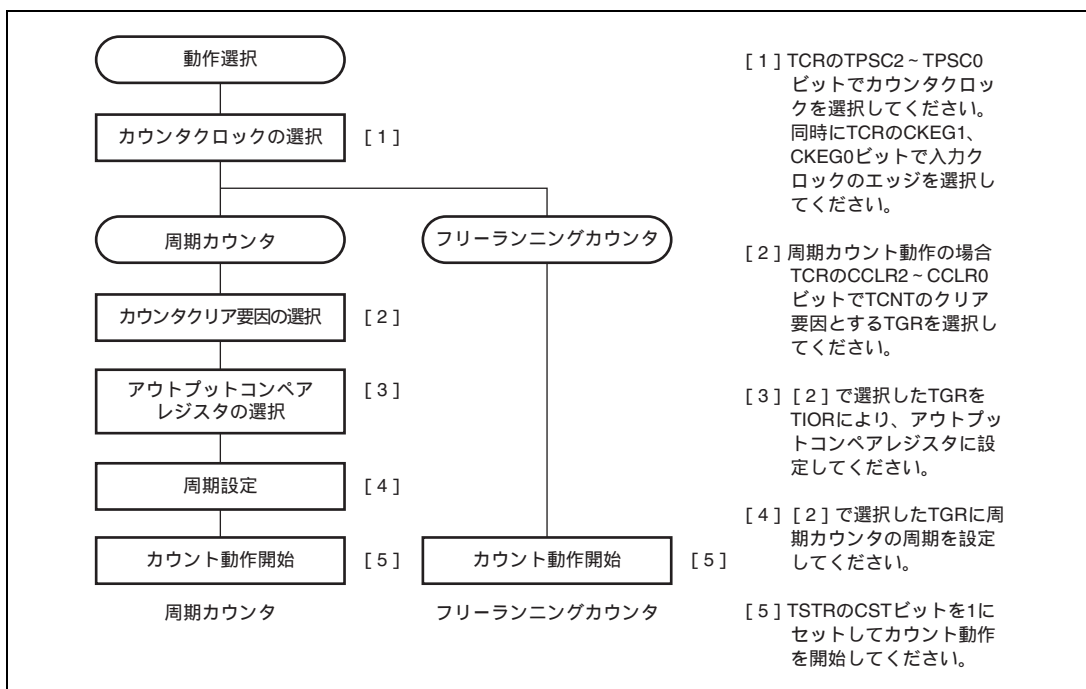


図 12.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU2 の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 12.5 に示します。

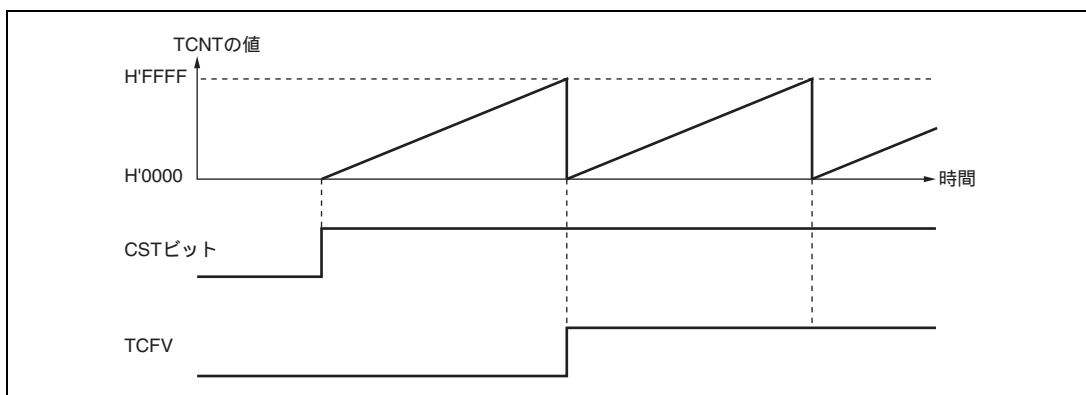


図 12.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 12.6 に示します。

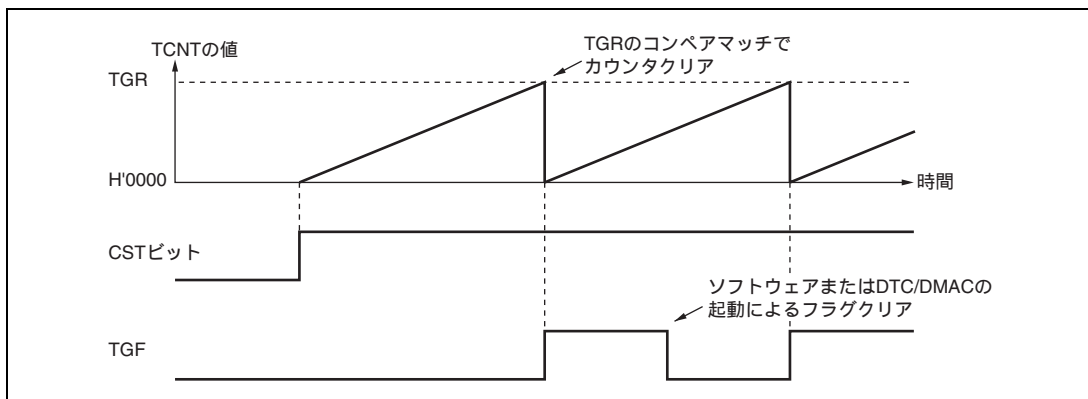


図 12.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU2 は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 12.7 に示します。

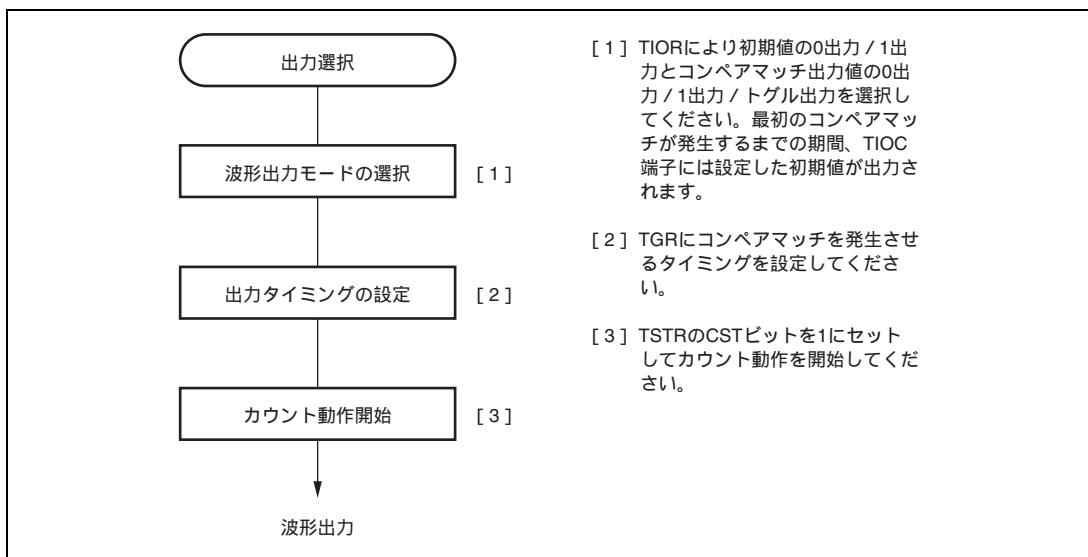


図 12.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 12.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

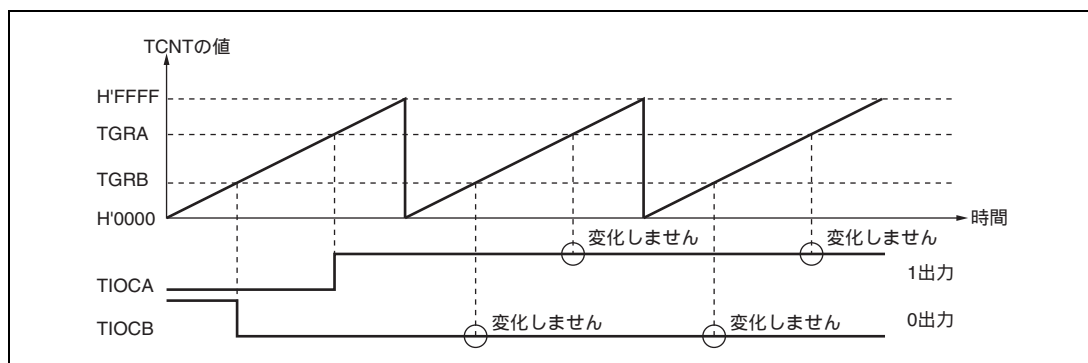


図 12.8 0 出力 / 1 出力の動作例

トグル出力の例を図 12.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

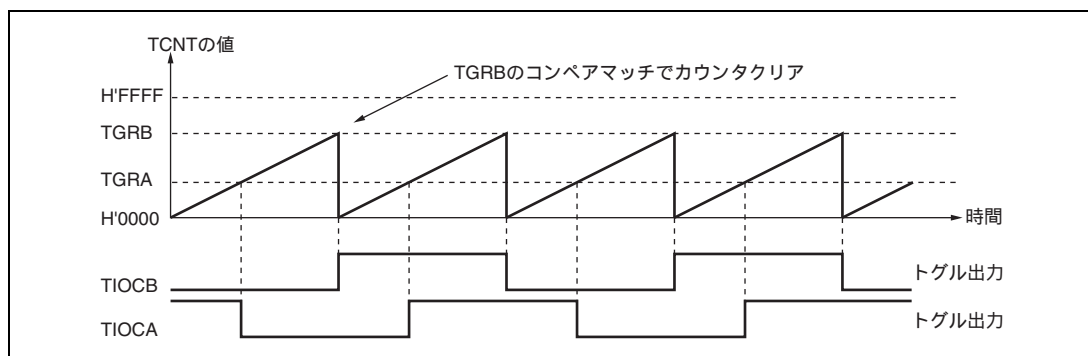


図 12.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに P / 1 を選択しないでください。P / 1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 12.10 に示します。

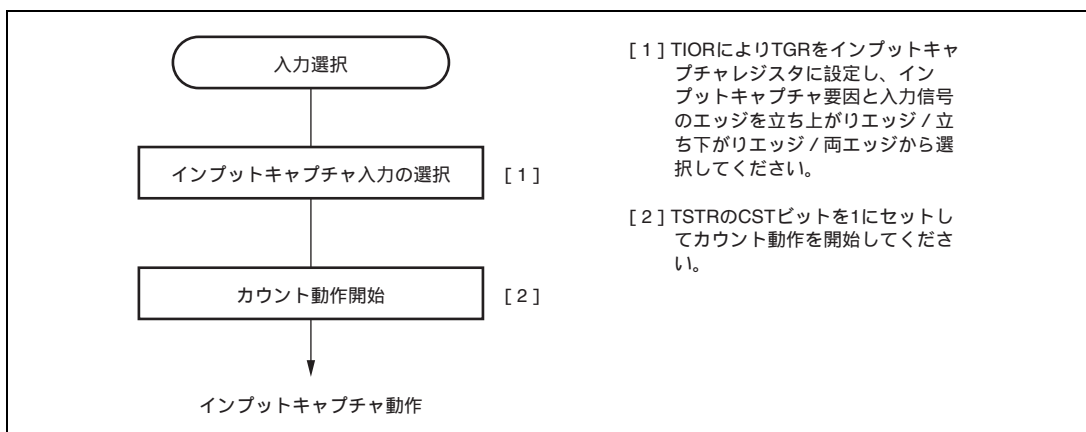


図 12.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 12.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

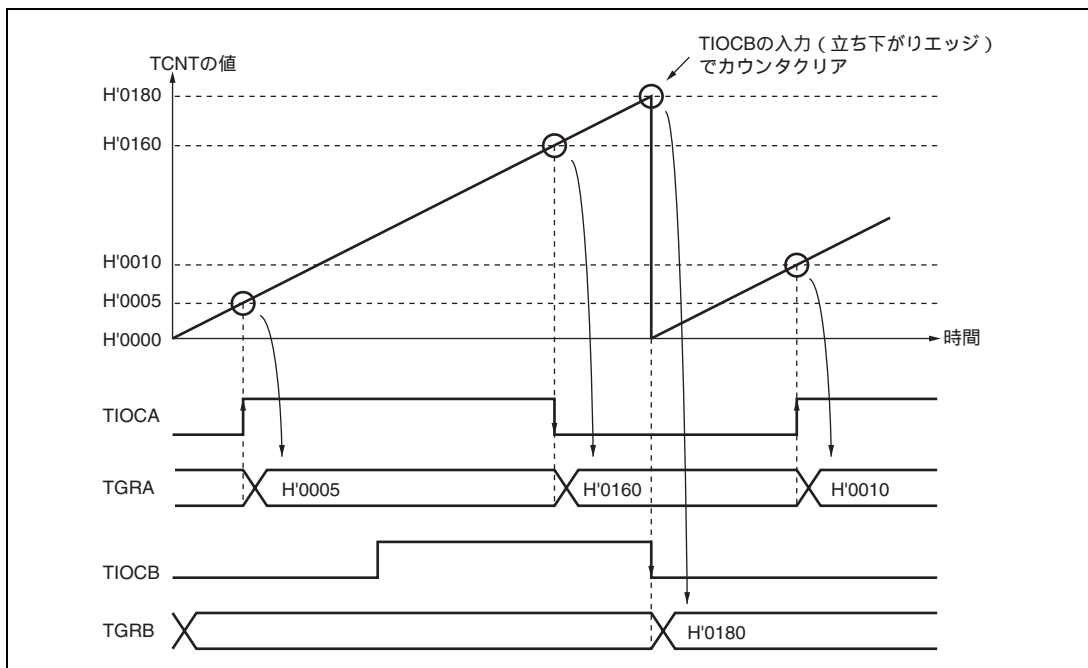


図 12.11 インพุットキャプチャ動作例

12.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

チャンネル 5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 12.12 に示します。

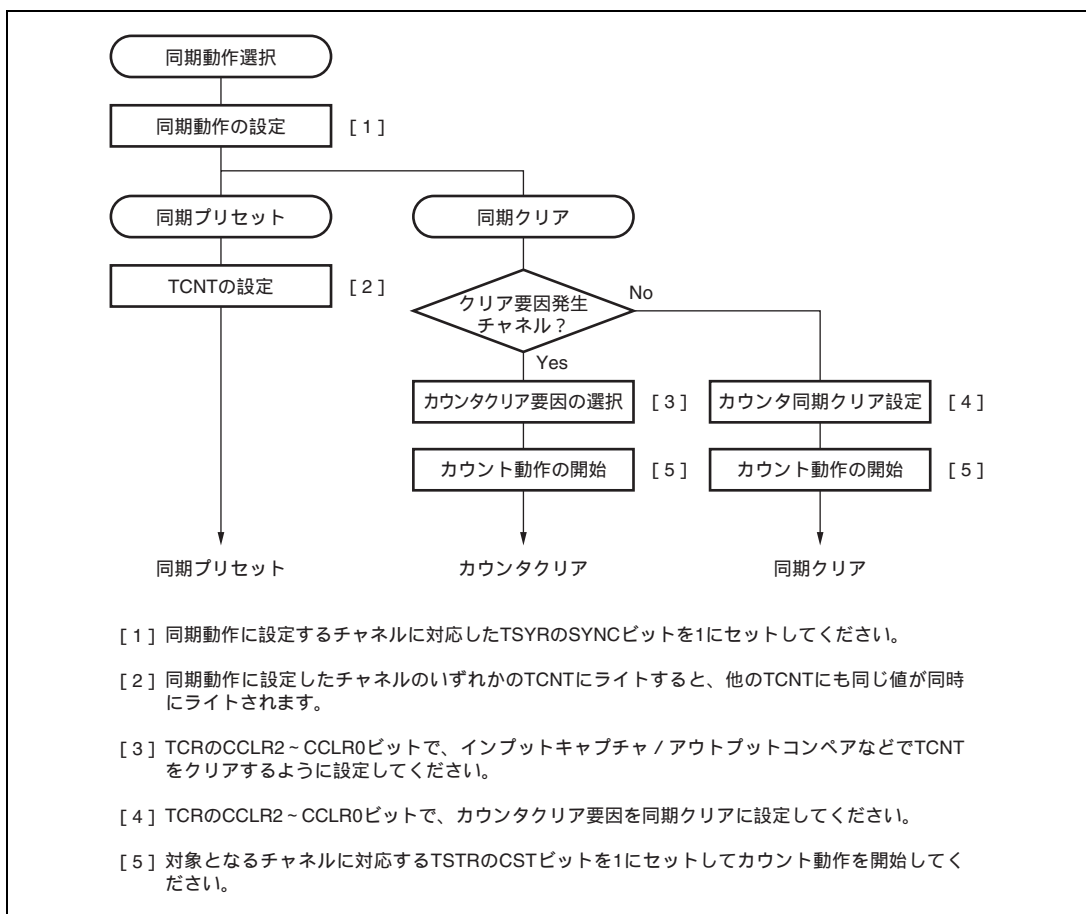


図 12.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 12.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

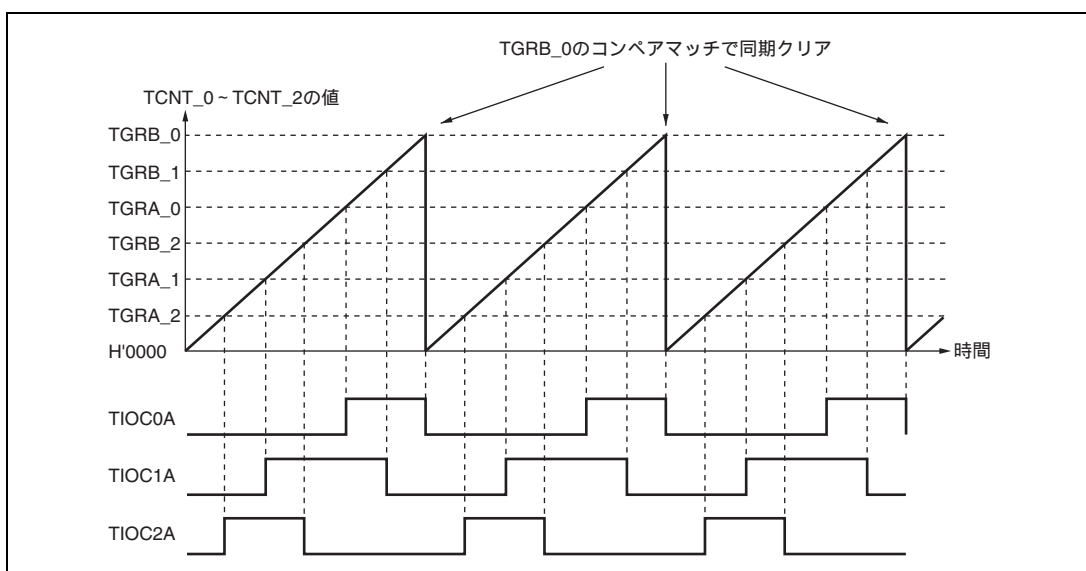


図 12.13 同期動作の動作例

12.4.3 バッファ動作

バッファ動作は、チャンネル 0、3、4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャンネル 0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0 は入力キャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 12.43 にバッファ動作時のレジスタの組み合わせを示します。

表 12.43 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 12.14 に示します。

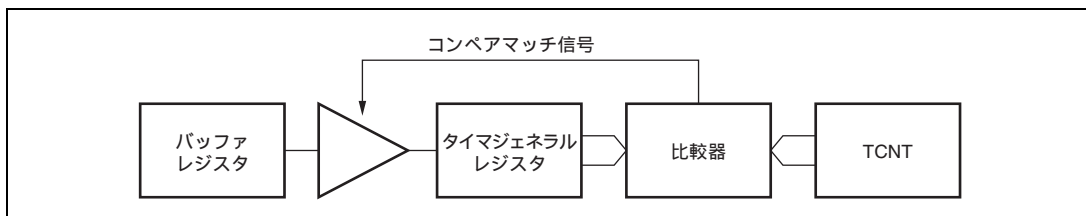


図 12.14 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 12.15 に示します。

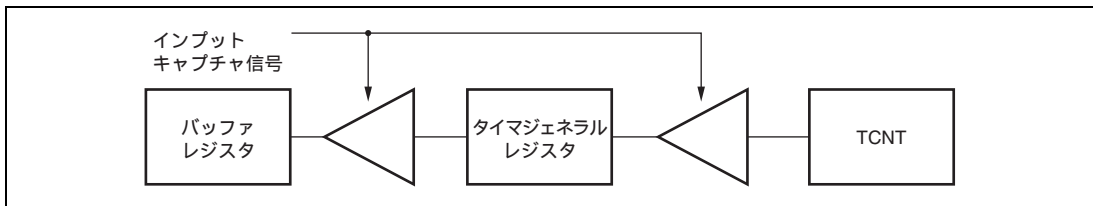


図 12.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 12.16 に示します。

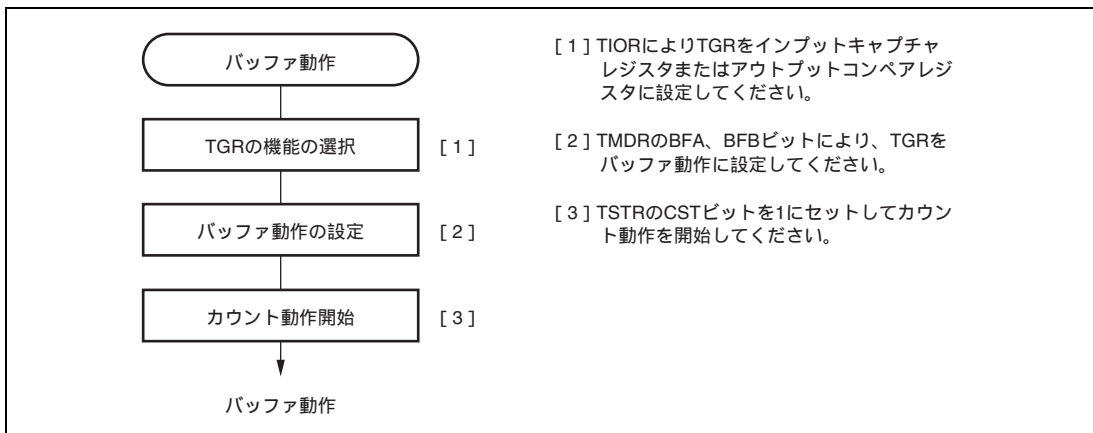


図 12.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 12.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

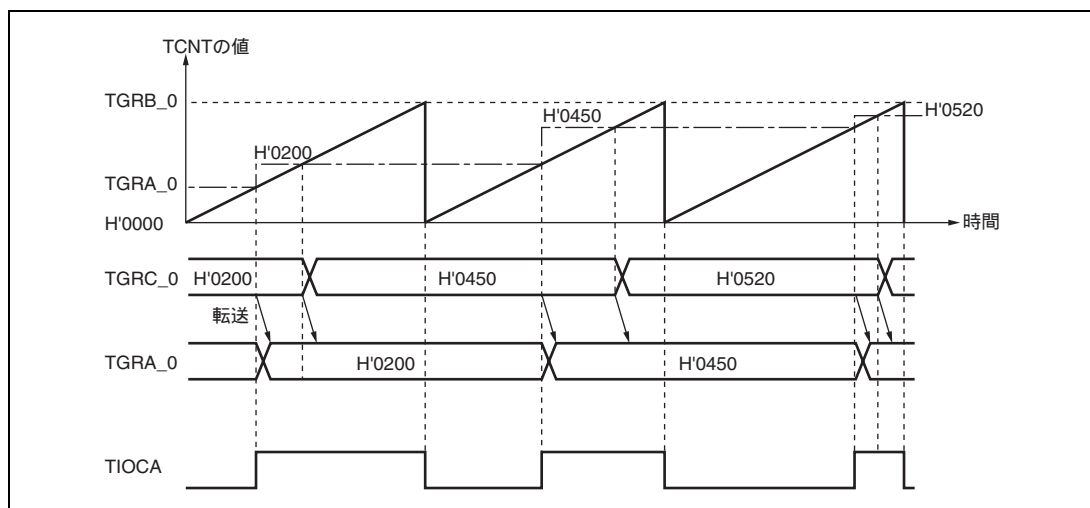


図 12.17 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 12.18 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

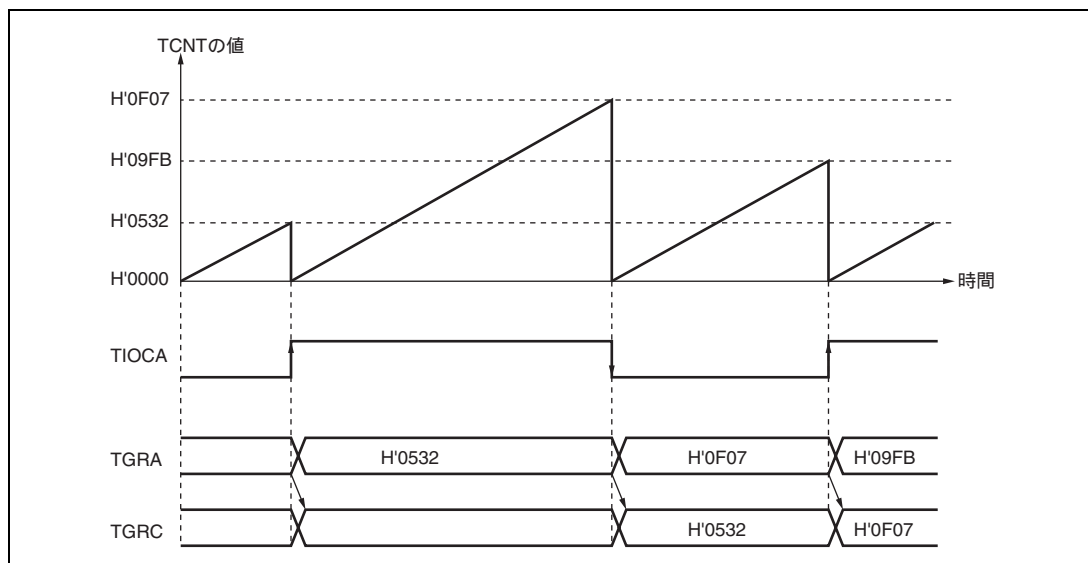


図 12.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (H'FFFF H'0000)
- カウンタ動作中、TCNTにH'0000がライトされたとき
- TCRのCCLR2 ~ CCLR0ビットで設定したクリア要因で、TCNTがH'0000になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 12.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

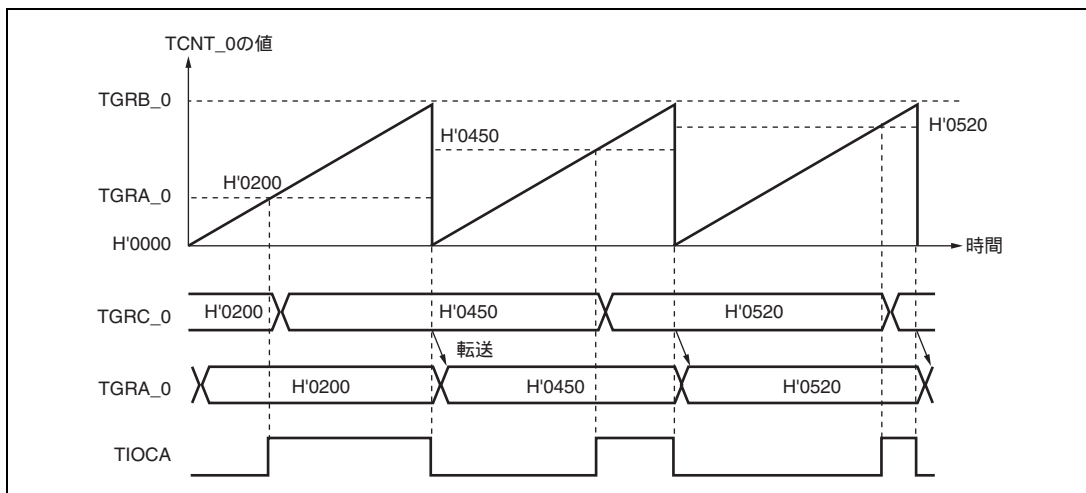


図 12.19 TGRC_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

12.4.4 カスケード接続動作

カスケード接続動作は、2 チャンルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_2 のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 12.44 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 12.44 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 12.45 に示します。

表 12.45 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット = 0 (初期値)	TIOC1A
	I2AE ビット = 1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット = 0 (初期値)	TIOC1B
	I2BE ビット = 1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット = 0 (初期値)	TIOC2A
	I1AE ビット = 1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット = 0 (初期値)	TIOC2B
	I1BE ビット = 1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 12.20 に示します。

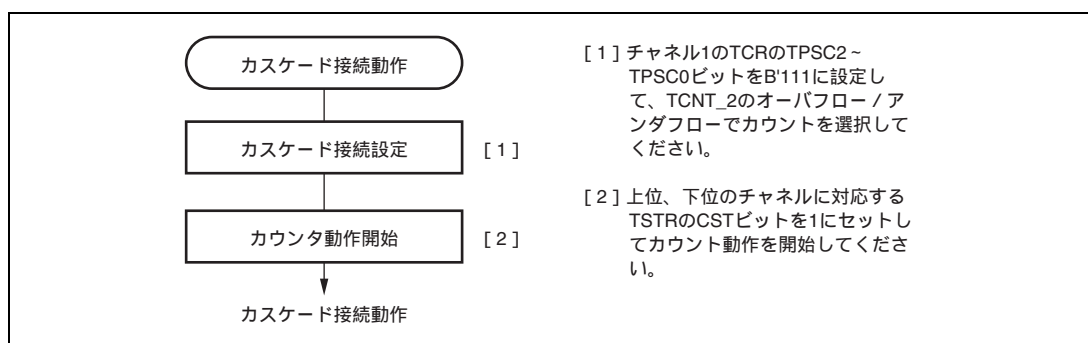


図 12.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 12.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

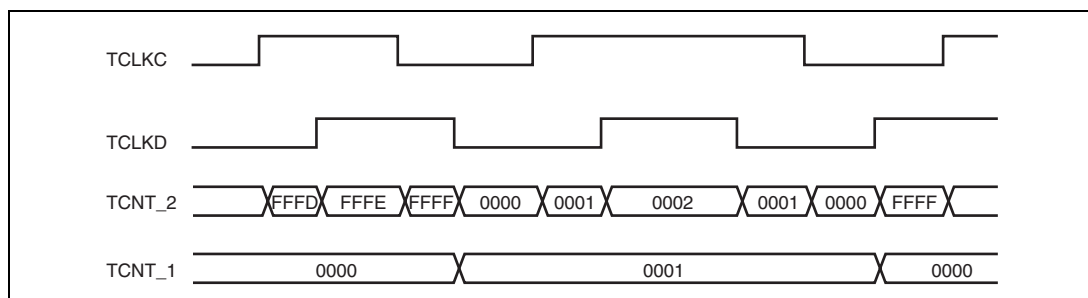


図 12.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 12.22 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

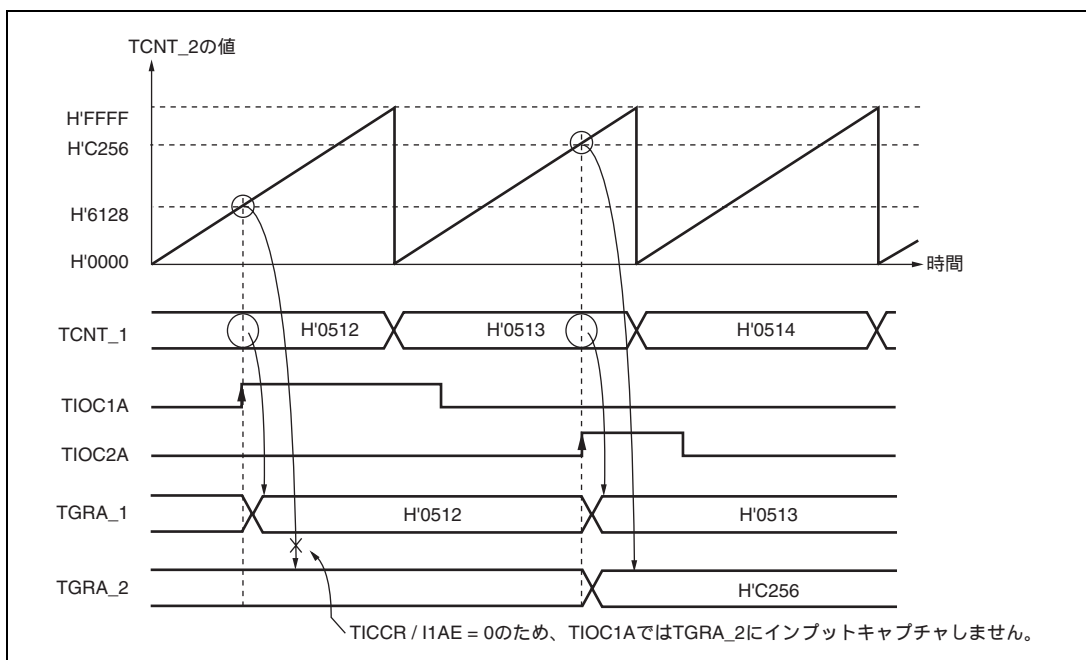


図 12.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 12.23 に示します。この例では TIOR_1、TIOR_2 の IOA0 ~ IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

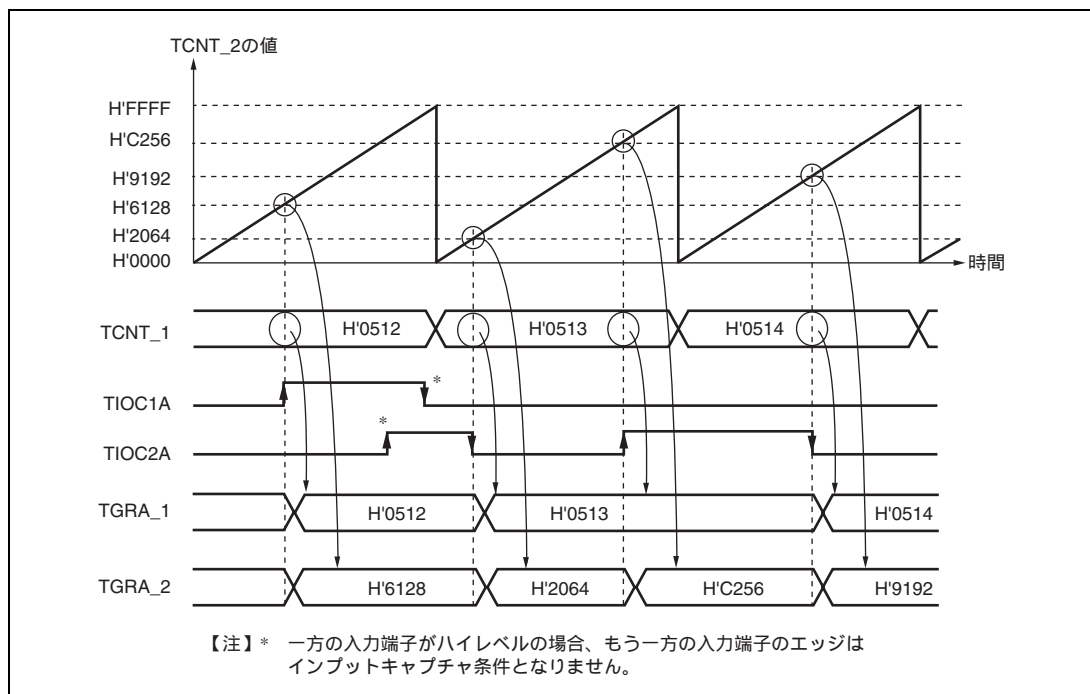


図 12.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 12.24 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 のインプットキャプチャ条件になることはありません。

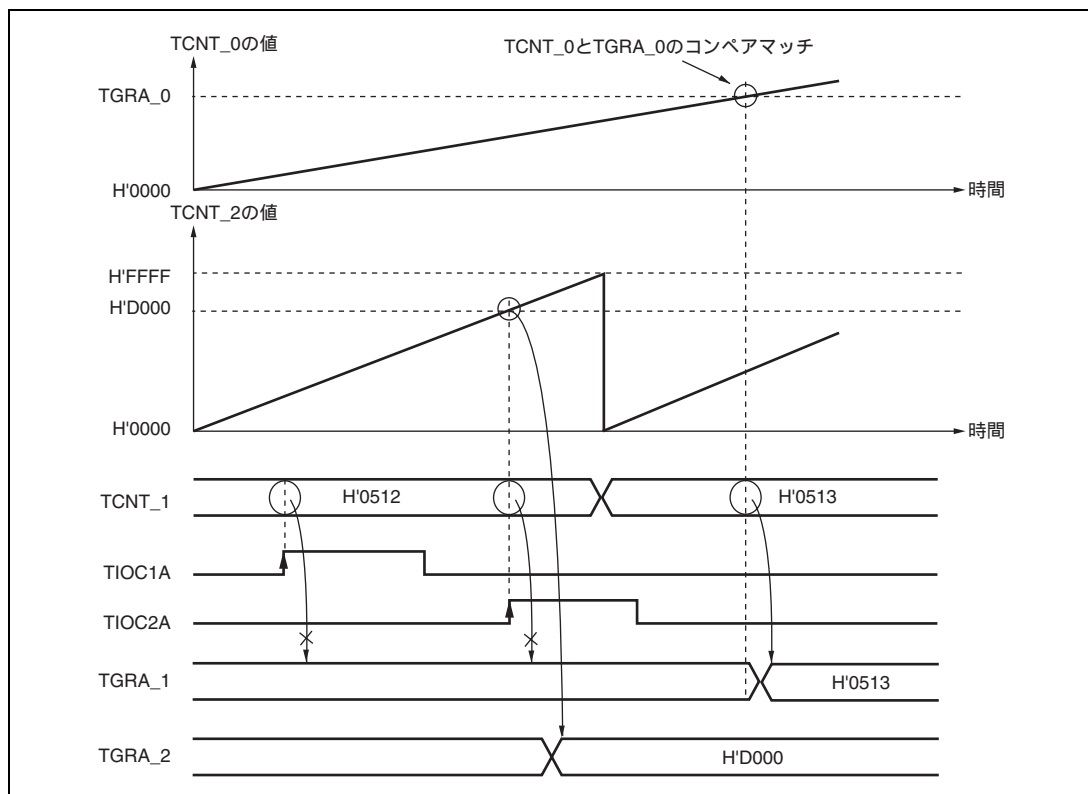


図 12.24 カスケード接続動作例 (d)

12.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOCR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOCR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 12.46 に示します。

表 12.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3	TIOC3C	
	TGRC_3		
	TGRD_3		
4	TGRA_4		
	TGRB_4	TIOC4C	
	TGRC_4		
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 12.25 に示します。

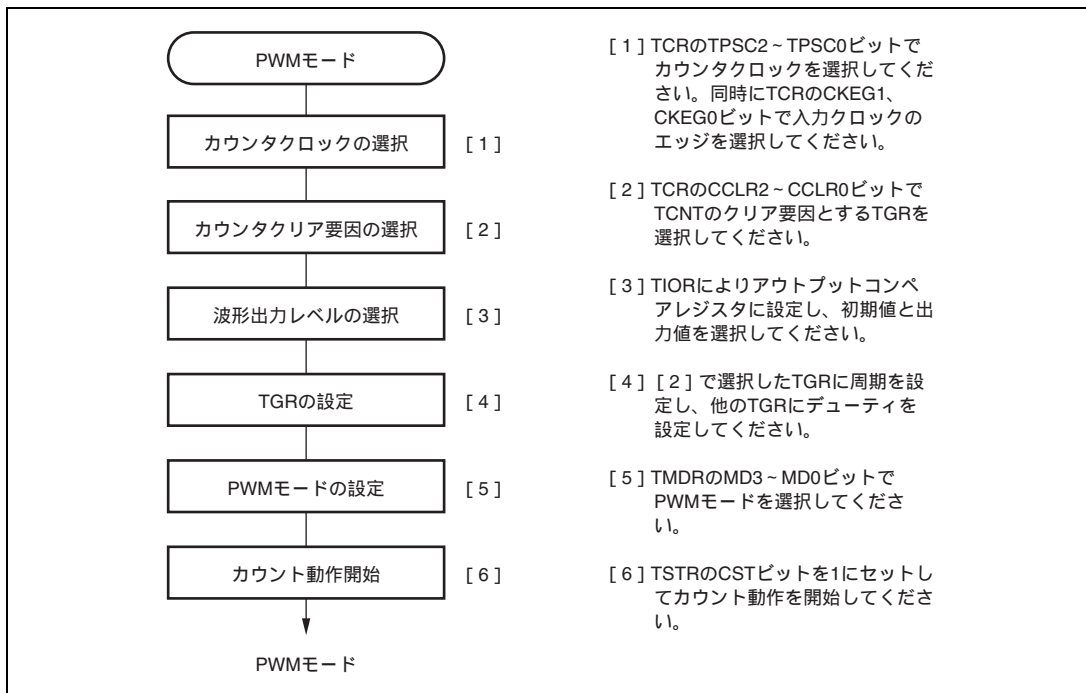


図 12.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 12.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

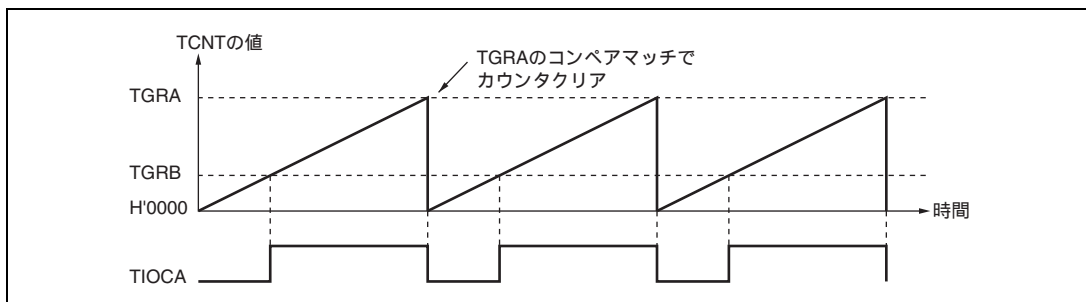


図 12.26 PWM モードの動作例

PWM モード 2 の動作例を図 12.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

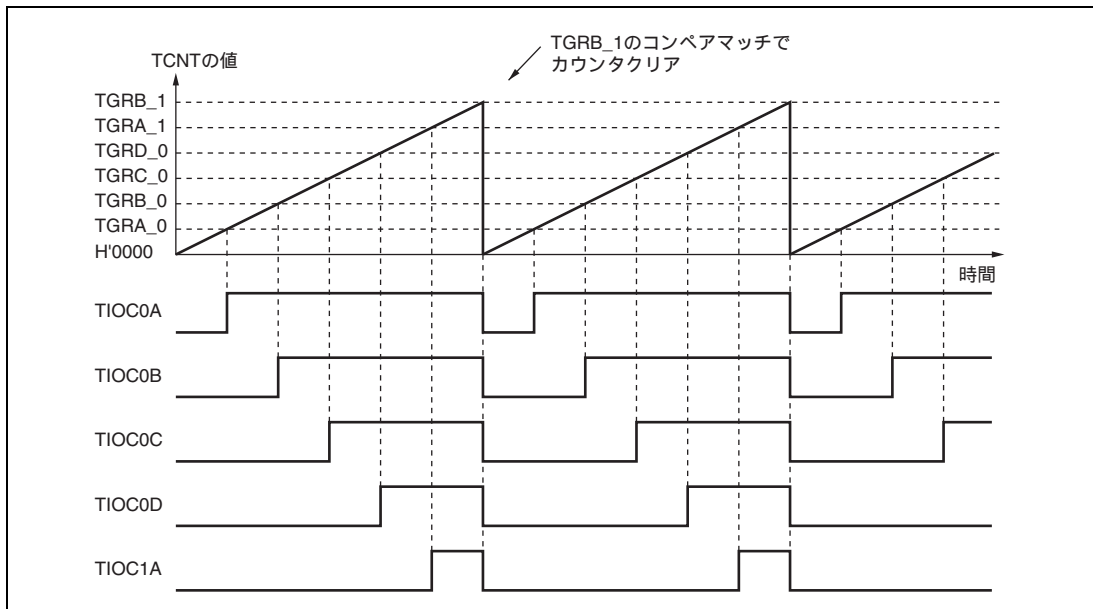


図 12.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 12.28 に示します。

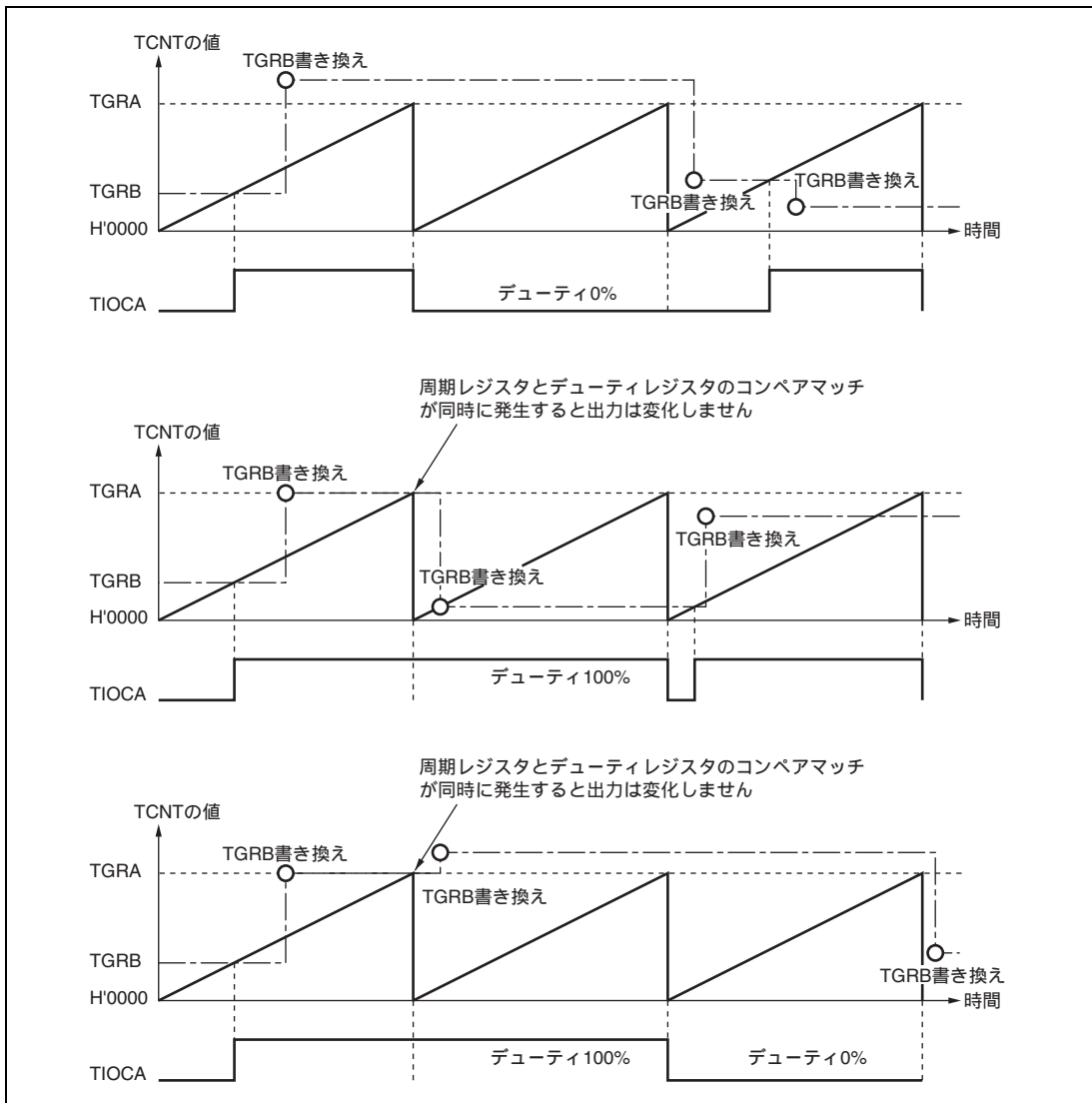


図 12.28 PWM モード動作例

12.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 12.47 に外部クロック端子とチャンネルの対応を示します。

表 12.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 12.29 に示します。

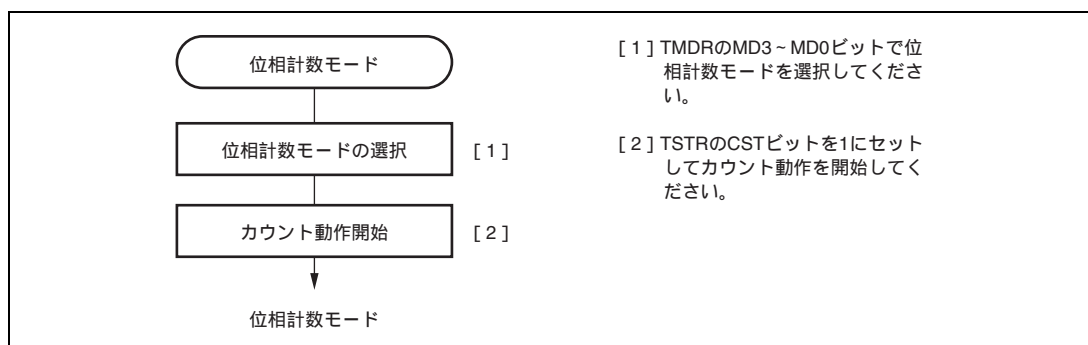


図 12.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 12.30 に、TCNT のアップ/ダウンカウント条件を表 12.48 に示します。

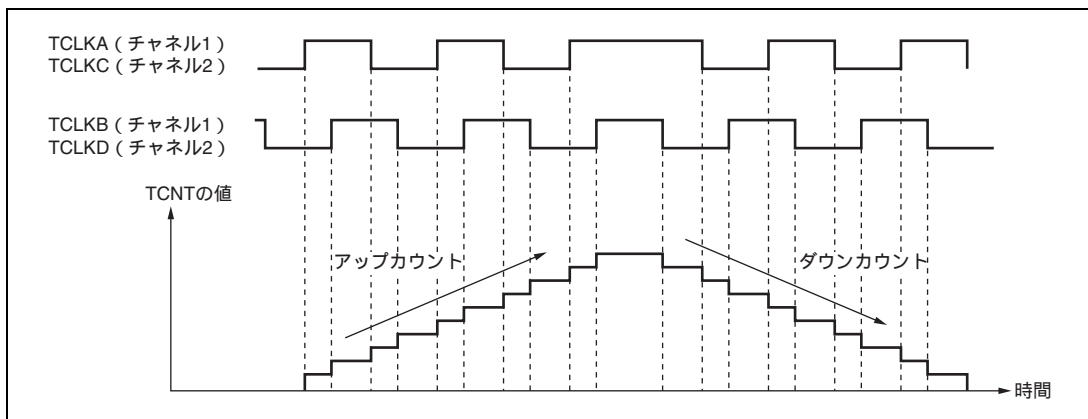


図 12.30 位相計数モード 1 の動作例

表 12.48 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 12.31 に、TCNT のアップ / ダウンカウント条件を表 12.49 に示します。

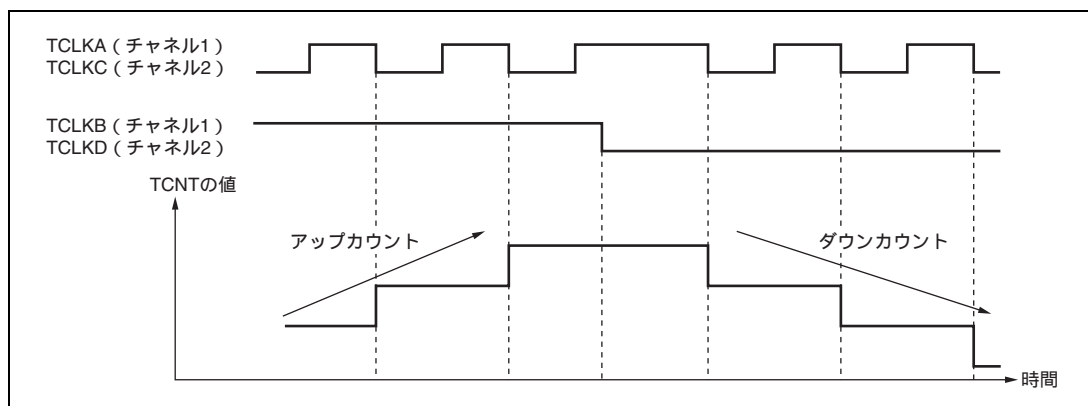


図 12.31 位相計数モード 2 の動作例

表 12.49 位相計数モード 2 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 12.32 に、TCNT のアップ / ダウンカウント条件を表 12.50 に示します。

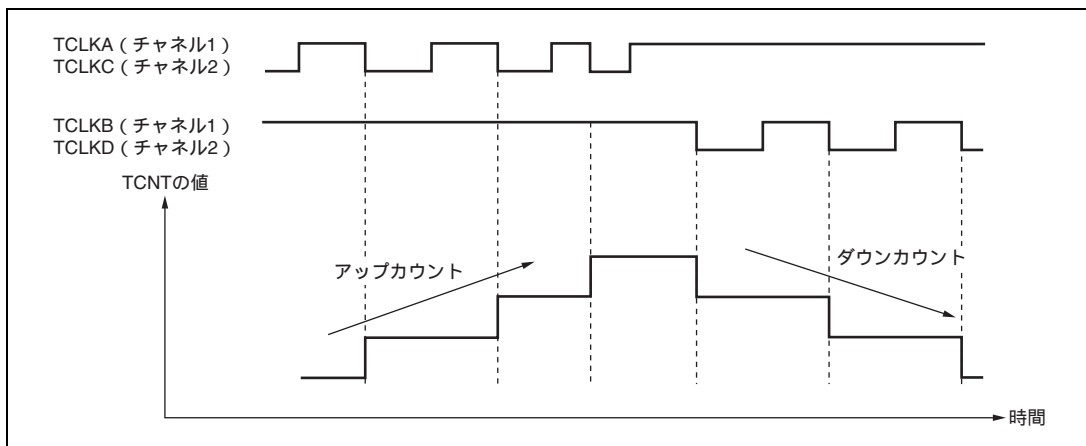


図 12.32 位相計数モード 3 の動作例

表 12.50 位相計数モード 3 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 12.33 に、TCNT のアップ / ダウンカウント条件を表 12.51 に示します。

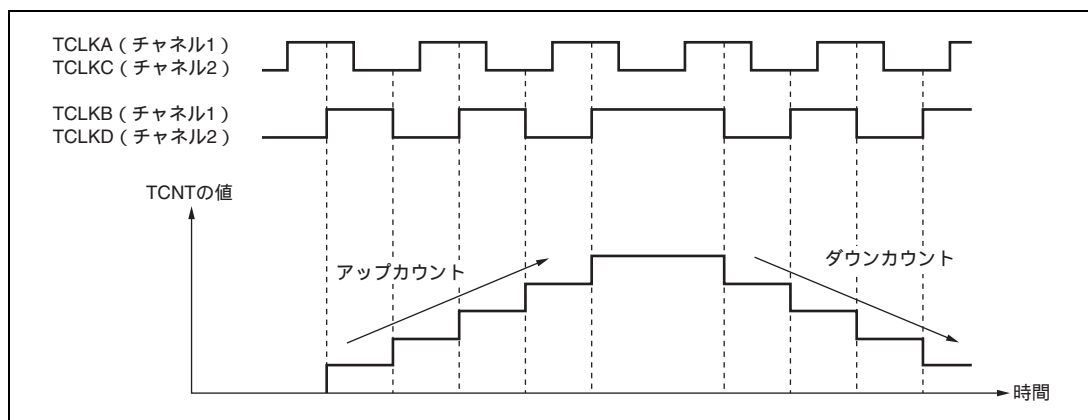


図 12.33 位相計数モード 4 の動作例

表 12.51 位相計数モード 4 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	カウントしない (Don't care)
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	カウントしない (Don't care)
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図12.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4乗倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

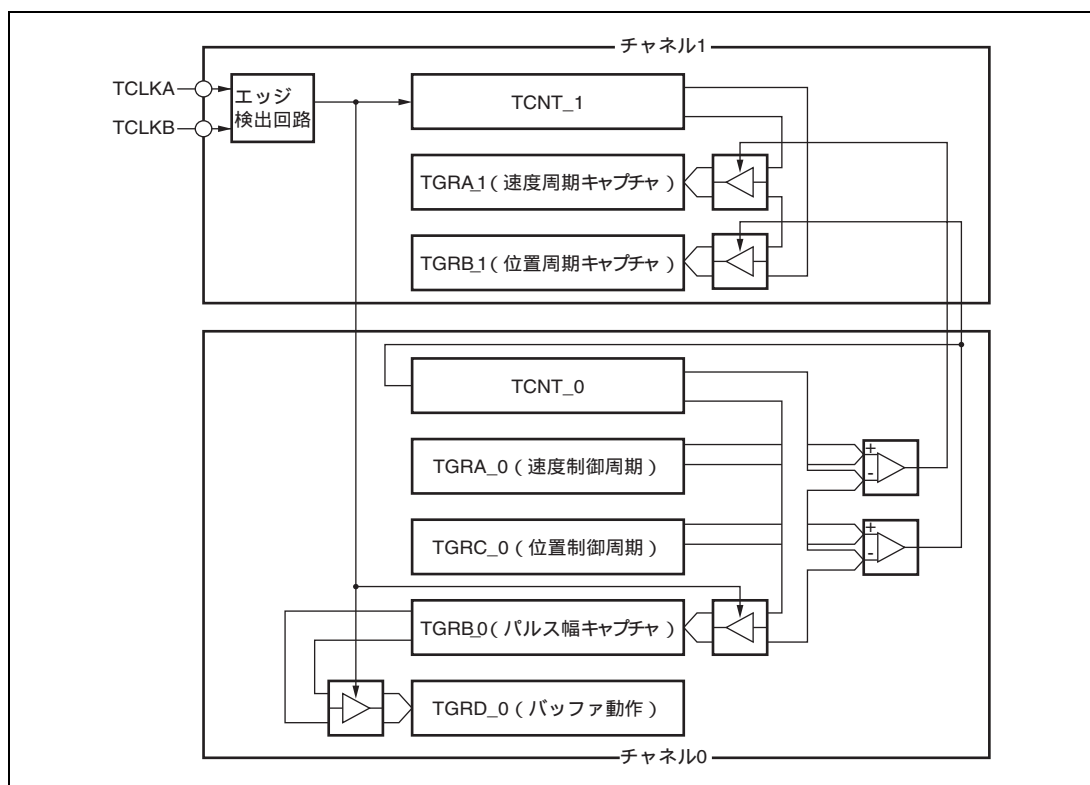


図 12.34 位相計数モードの応用例

12.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 12.52 に、使用するレジスタの設定を表 12.53 に示します。

表 12.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 12.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 12.35 に示します。

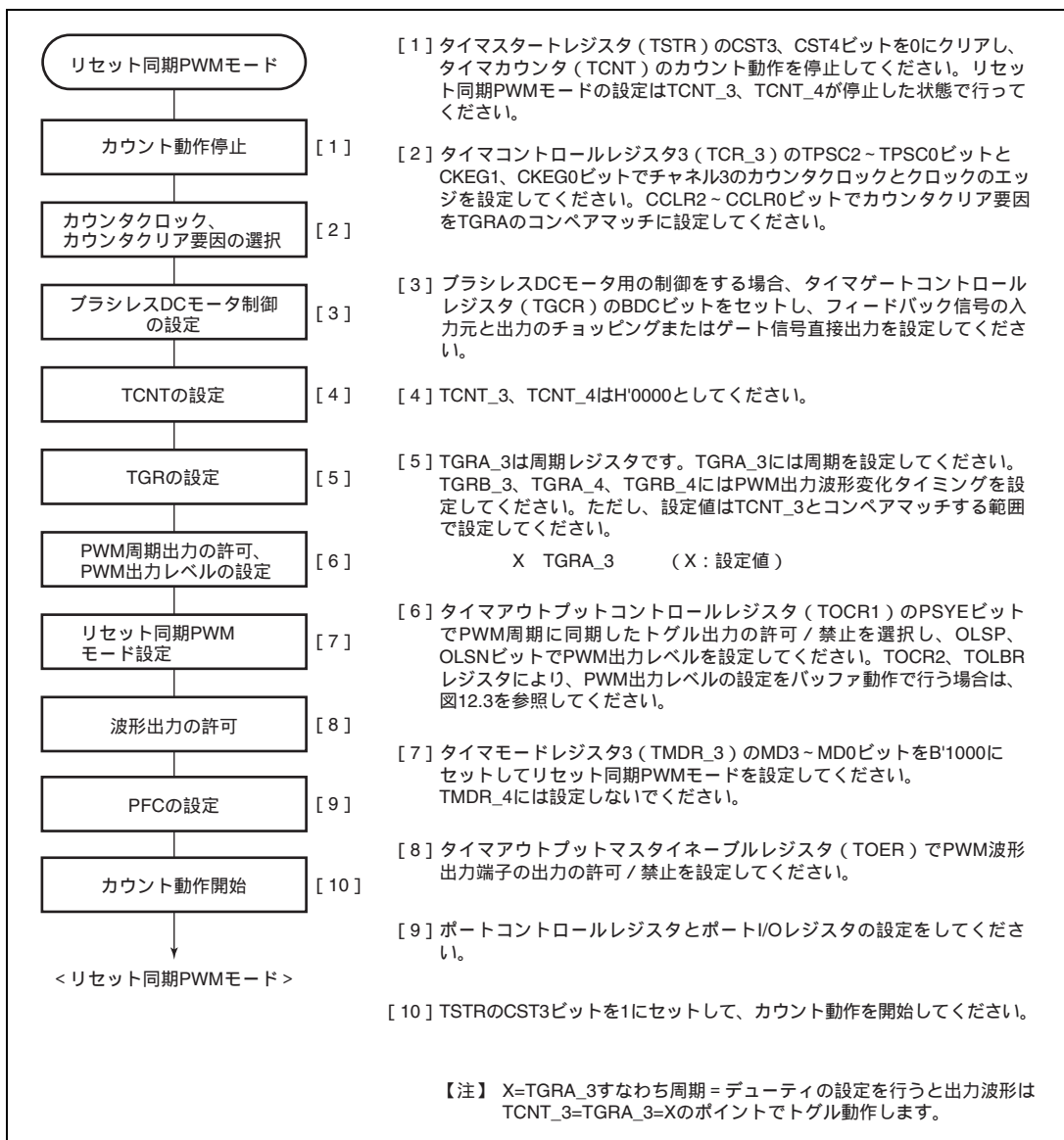


図 12.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 12.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

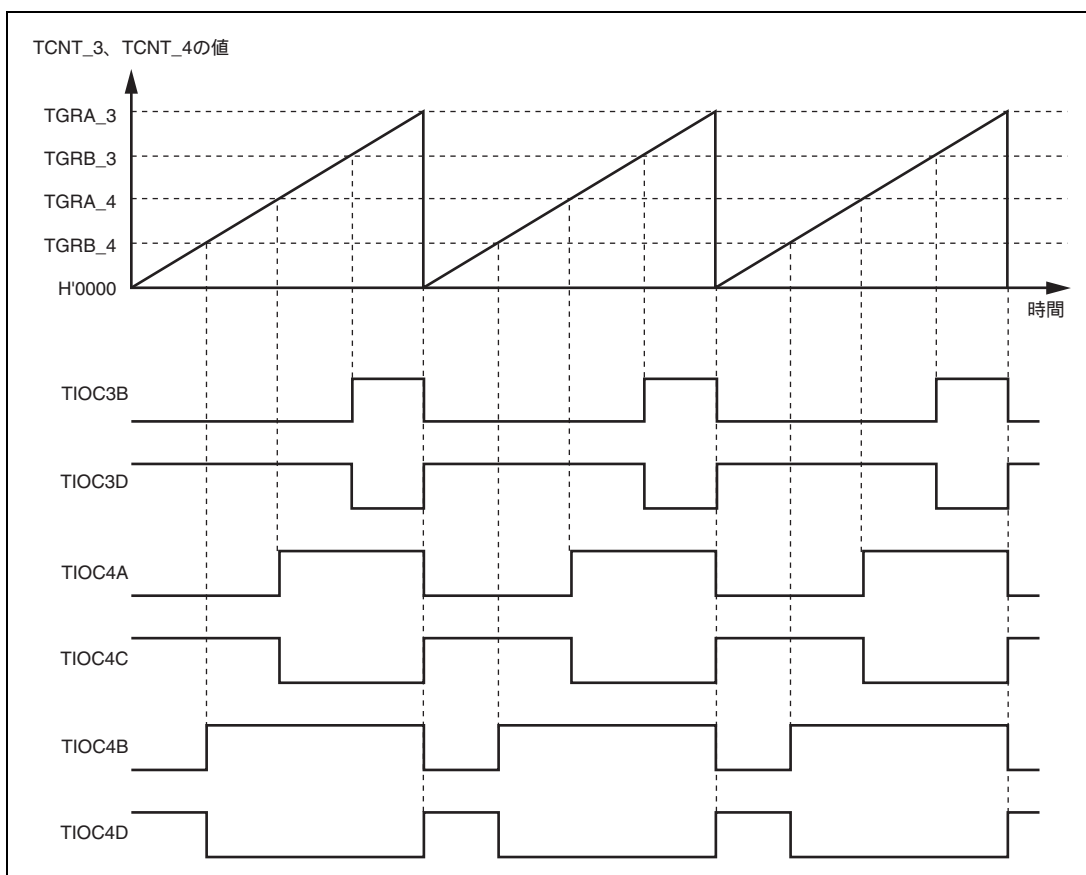


図 12.36 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

12.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 12.54 に、使用するレジスタの設定を表 12.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 12.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 12.55 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
タイマデッドタイムデータレジスタ (TDDR)		TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	TRWER の設定*によりマスク可能
タイマ周期データレジスタ (TCDR)		TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
タイマ周期バッファレジスタ (TCBR)		TCDR のバッファレジスタ	常に読み出し / 書き込み可能
サブカウンタ (TCNTS)		デッドタイム生成のためのサブカウンタ	読み出しのみ可能
テンポラリレジスタ 1 (TEMP1)		PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可
テンポラリレジスタ 2 (TEMP2)		PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可
テンポラリレジスタ 3 (TEMP3)		PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可 / 禁止が可能です。

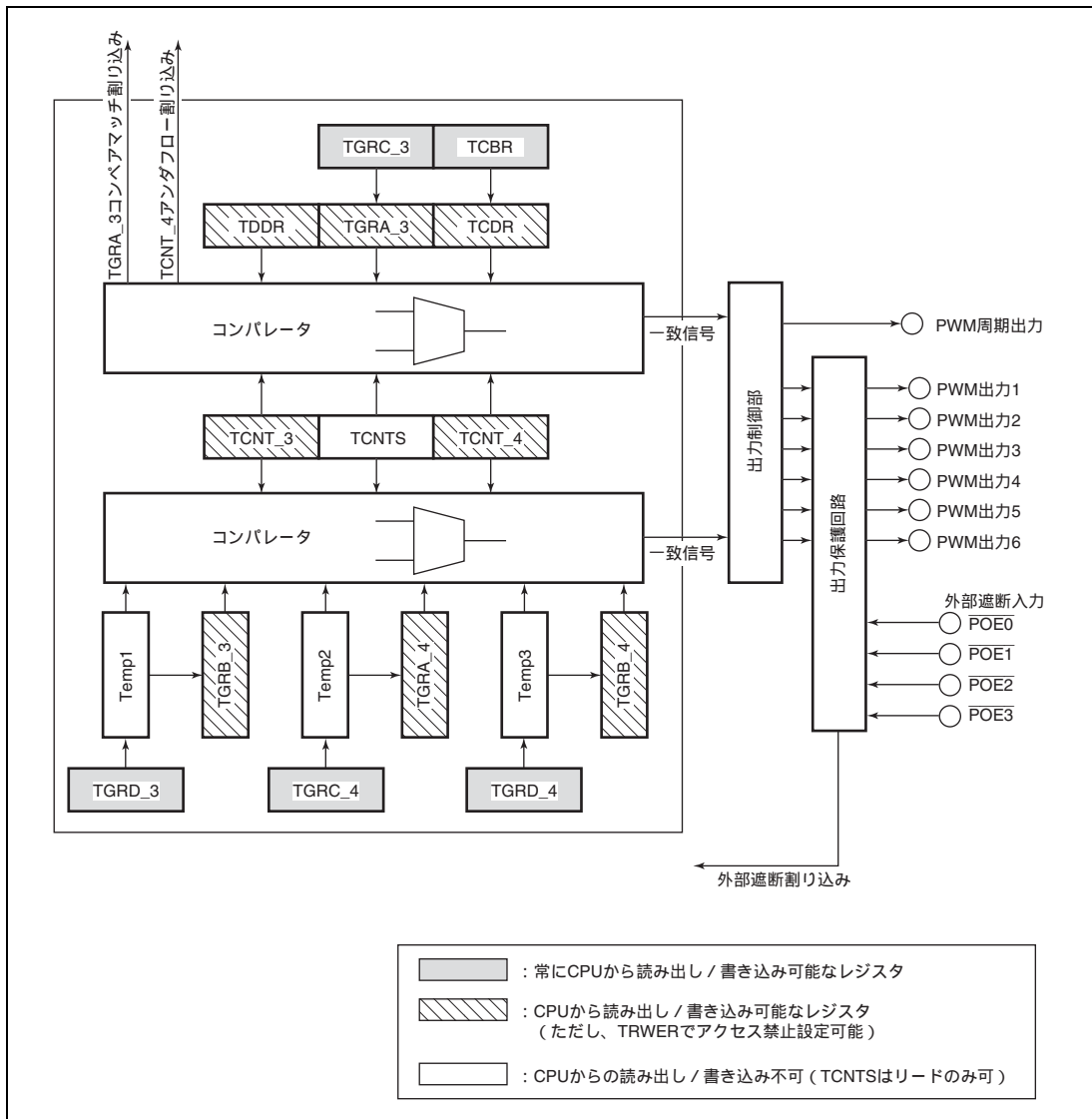


図 12.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 12.38 に示します。

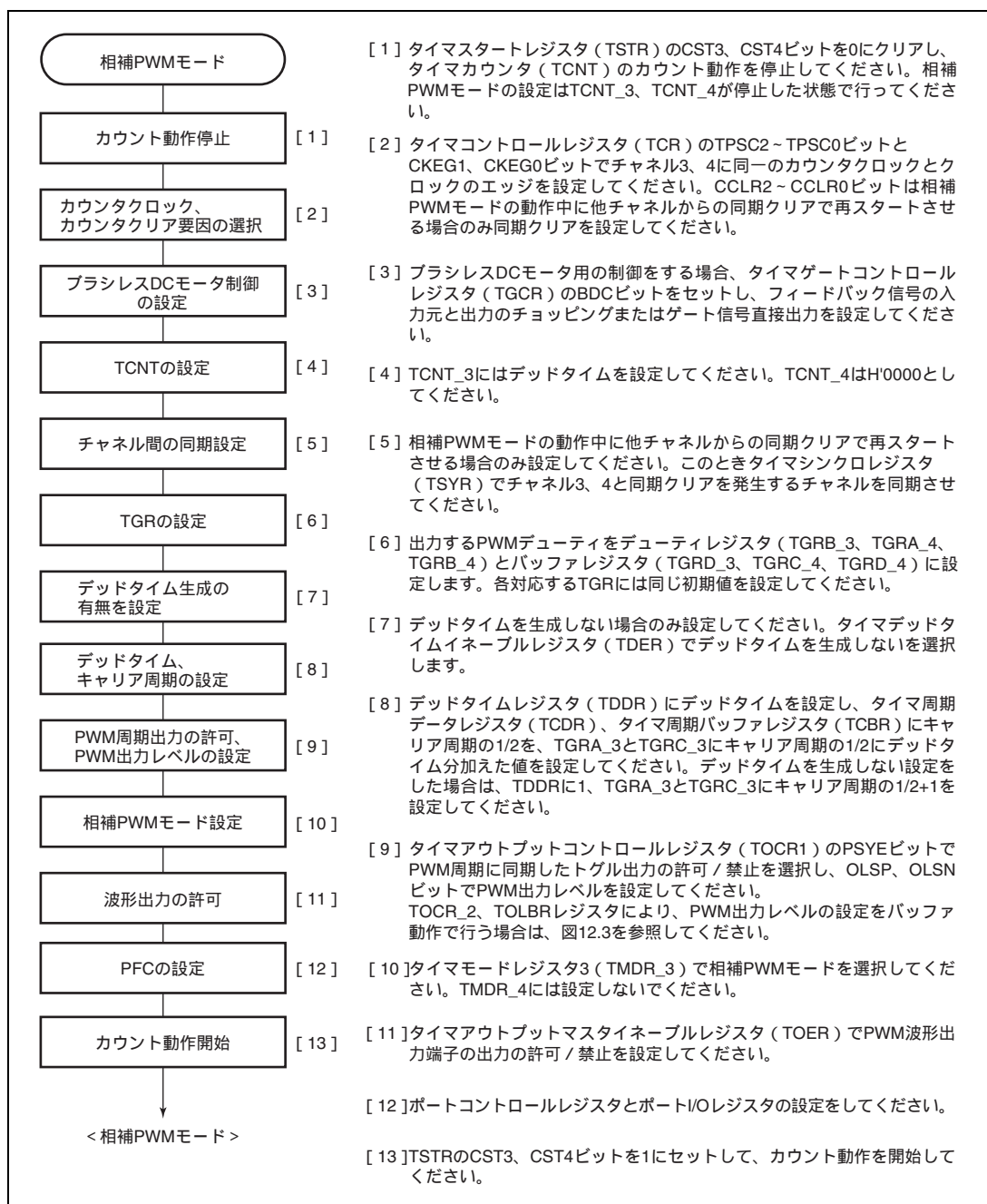


図 12.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 12.39 に相補 PWM モードのカウンタの動作を示します。図 12.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り換わります。その後、TDDR と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り換わります。この後、H'0000 と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCNTS と一致するとダウンカウントを開始し、TCNTS が TCNTS と一致するとアップカウントに切り換わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り換わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

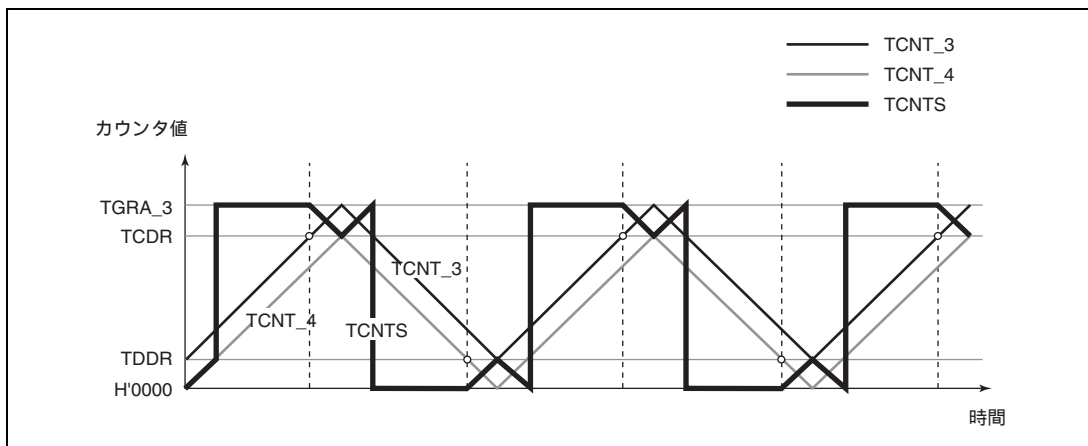


図 12.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 12.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 12.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 12.40 では Tb2) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

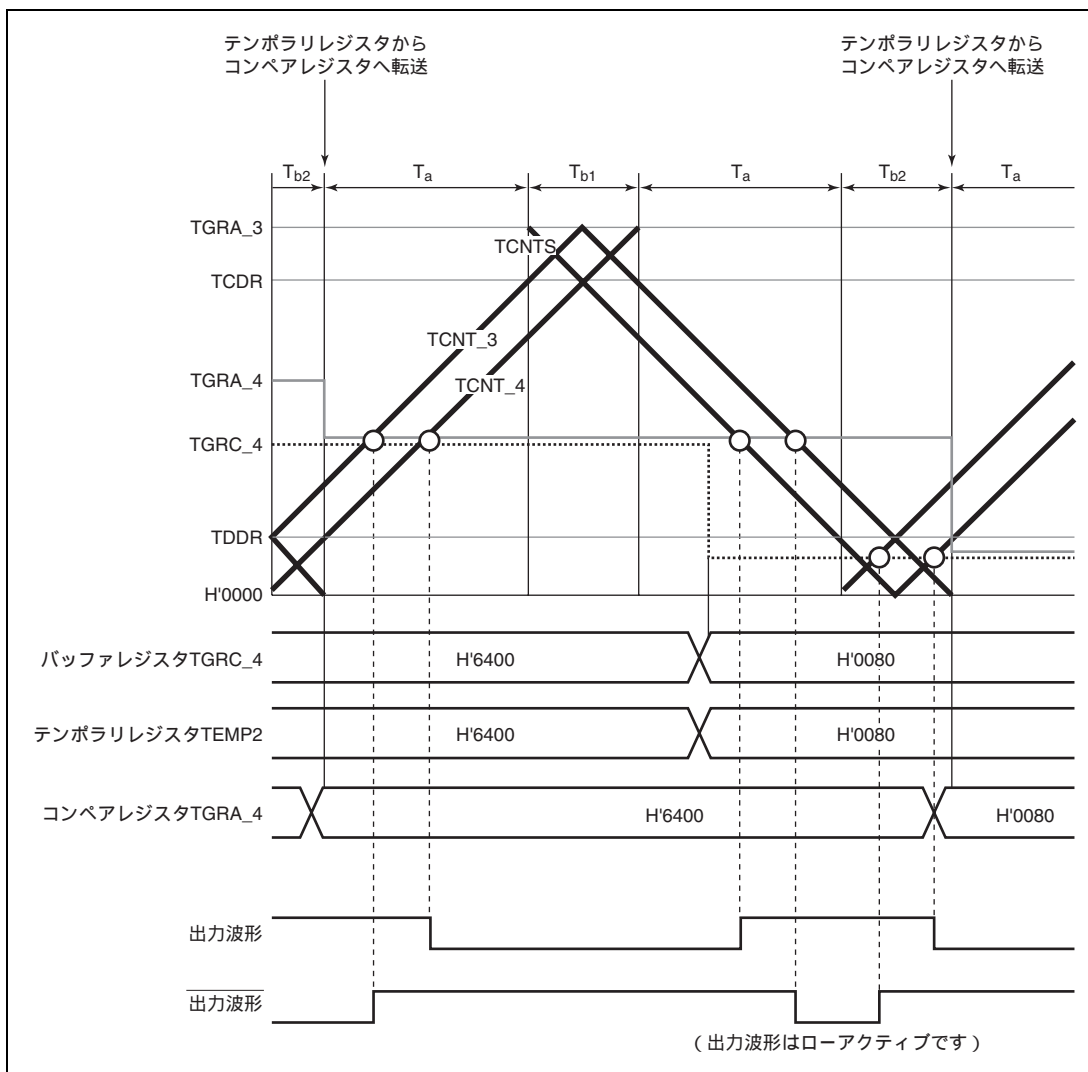


図 12.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 12.56 初期設定に必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム T_d (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム T_d の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 12.41 にデッドタイムを生成しない場合の動作例を示します。

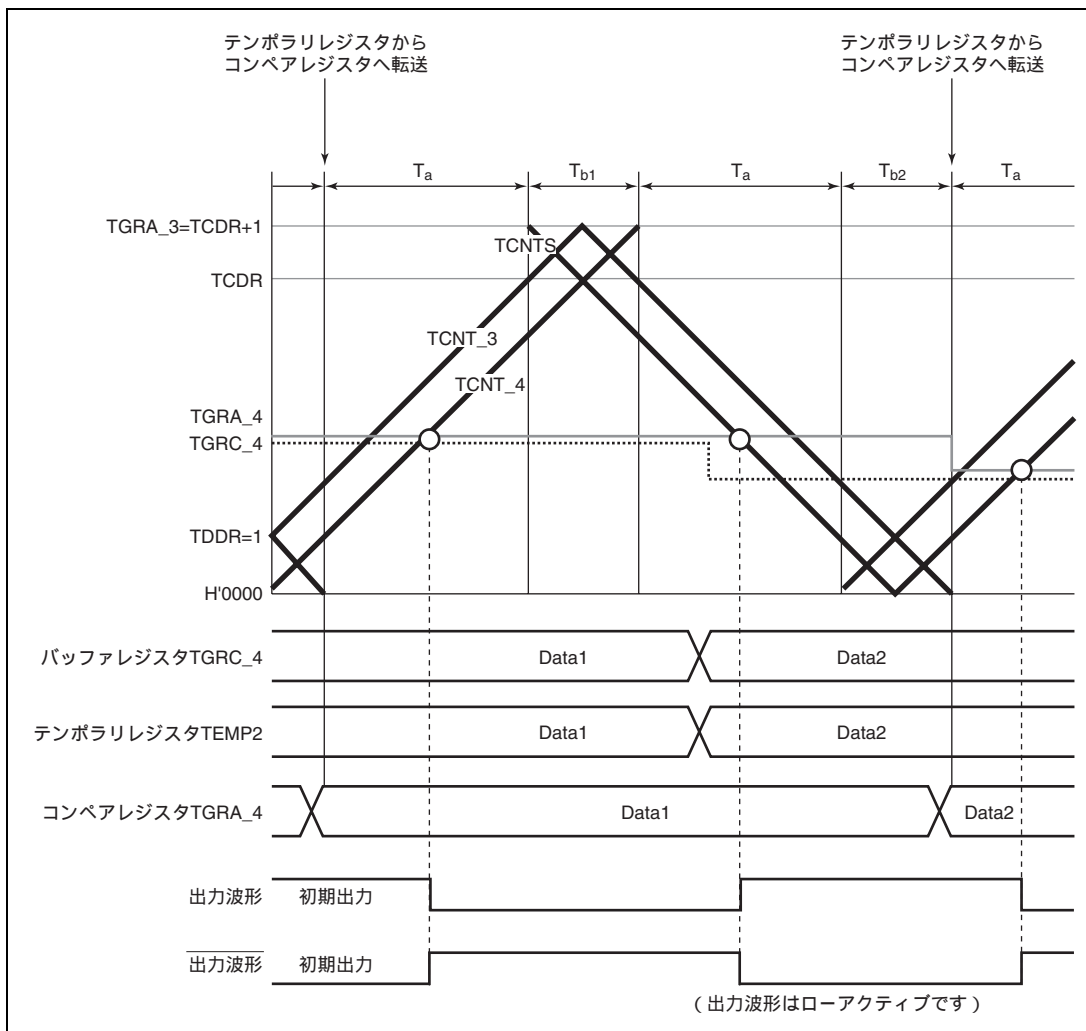


図 12.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + TDDR \text{ の設定値}$

デッドタイム生成なし : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + 1$

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。

TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 12.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

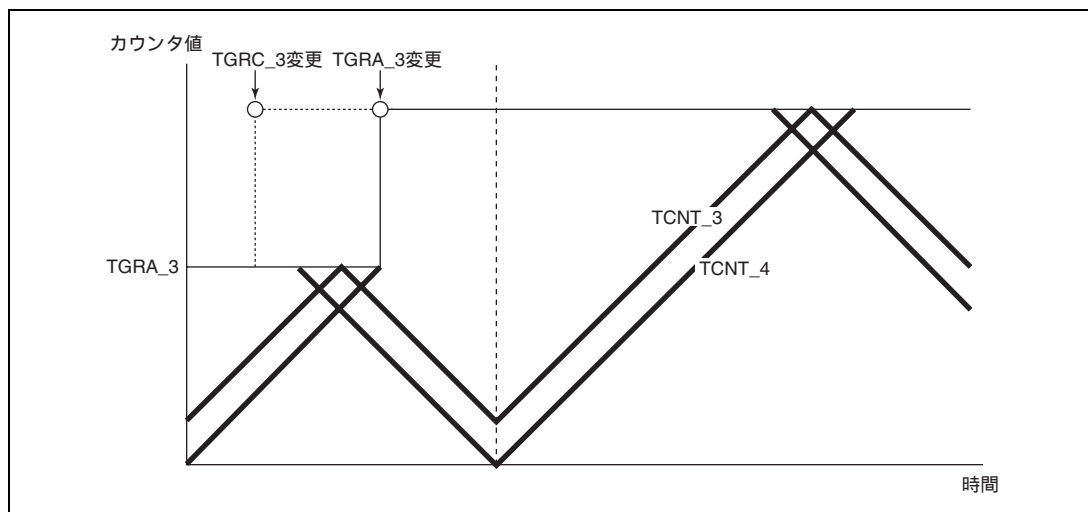


図 12.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 12.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

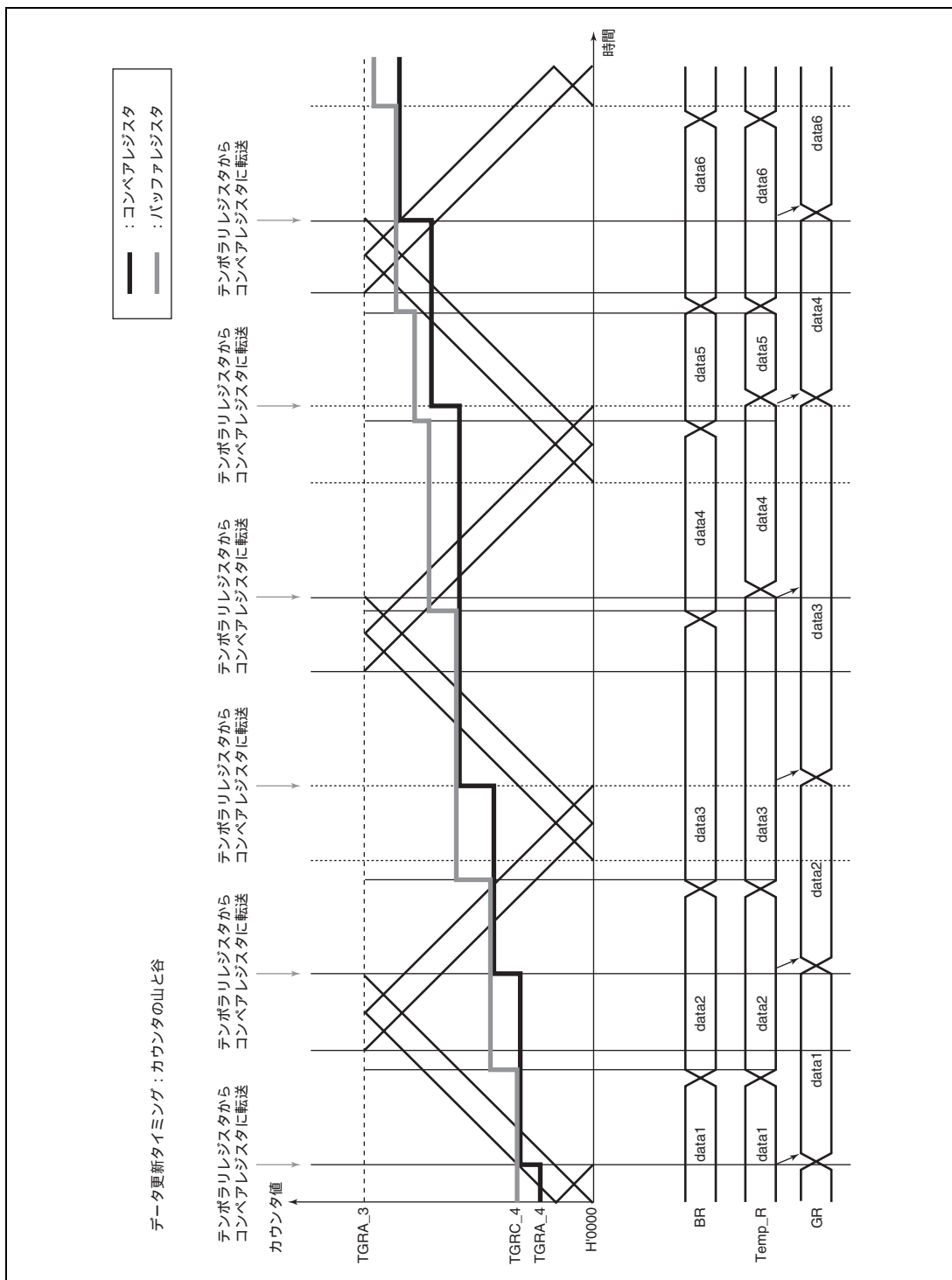


図 12.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 12.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 12.45 に示します。

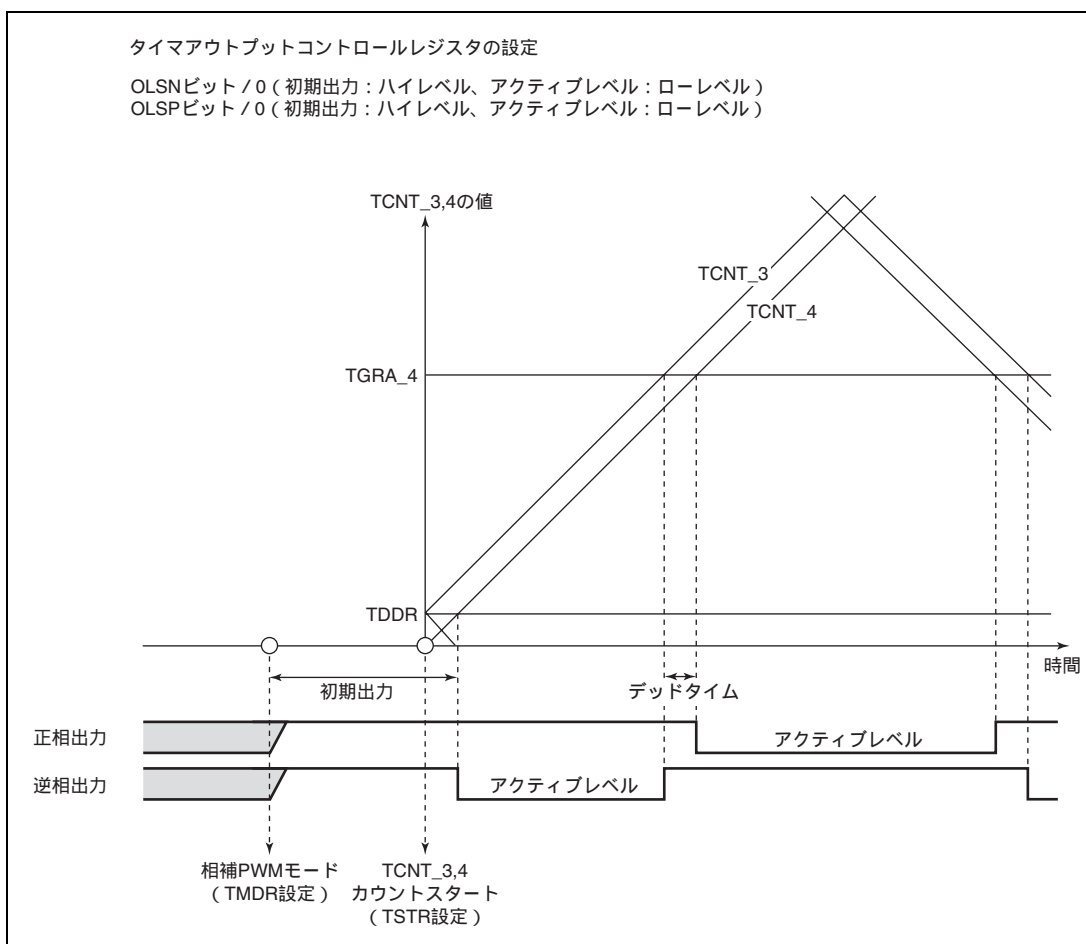


図 12.44 相補 PWM モードの初期出力例 (1)

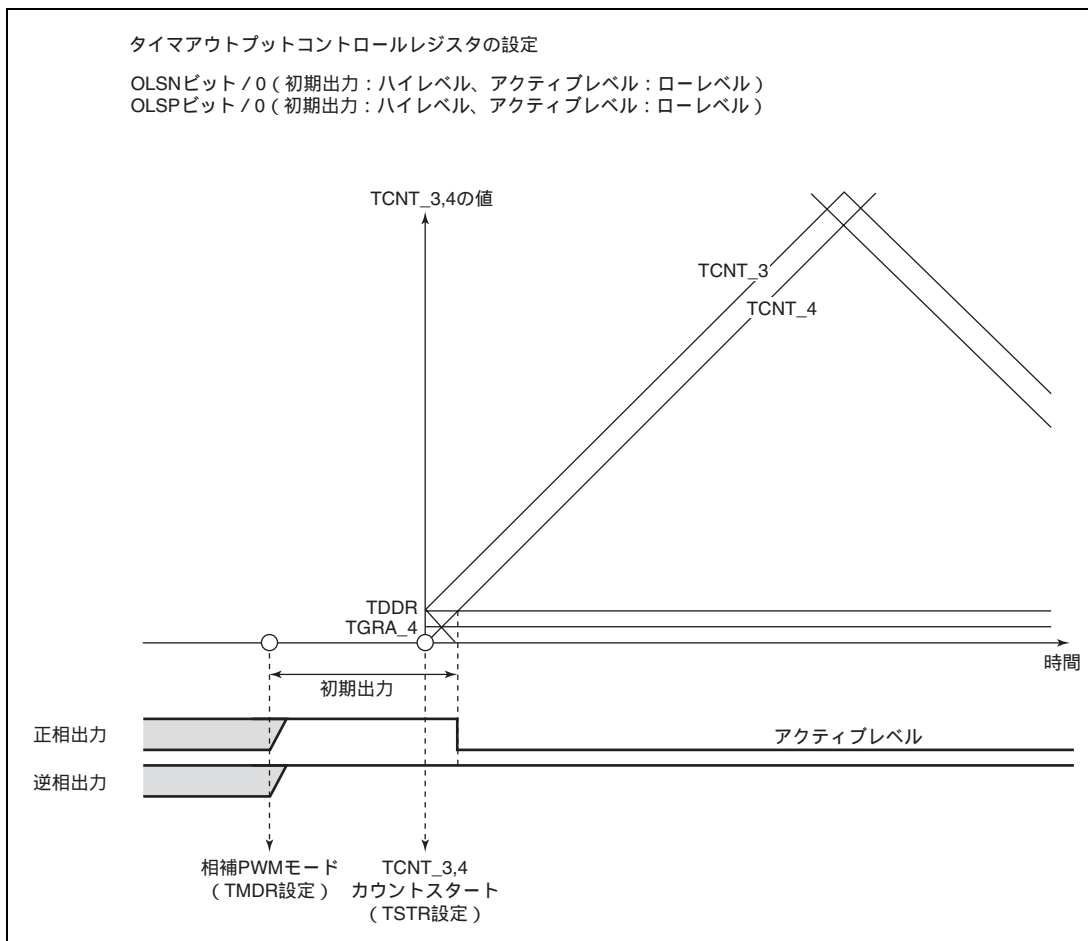


図 12.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 12.46 ~ 図 12.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 12.46 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 12.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 12.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

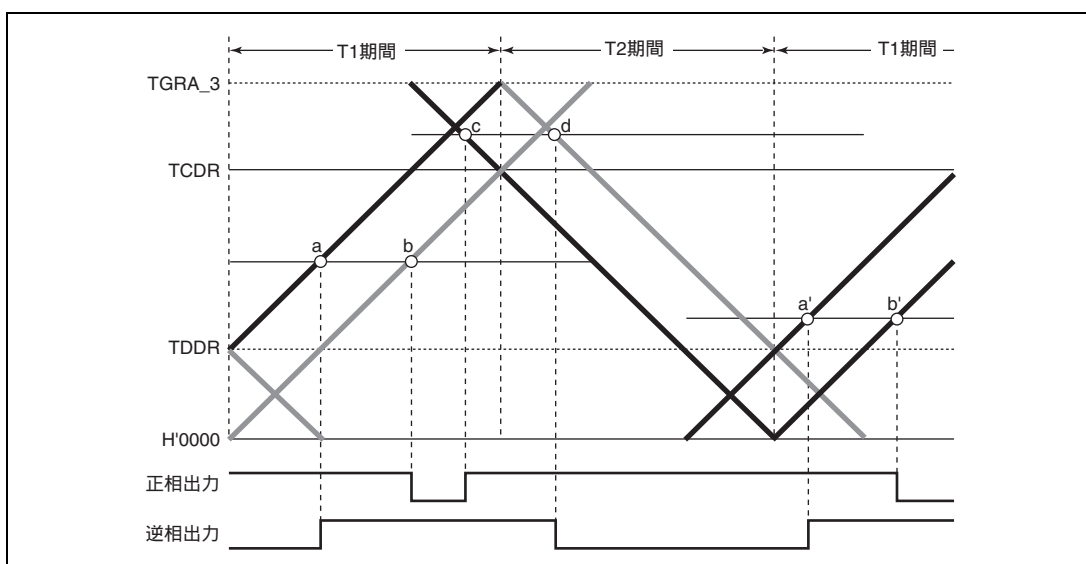


図 12.46 相補 PWM モード波形出力例 (1)

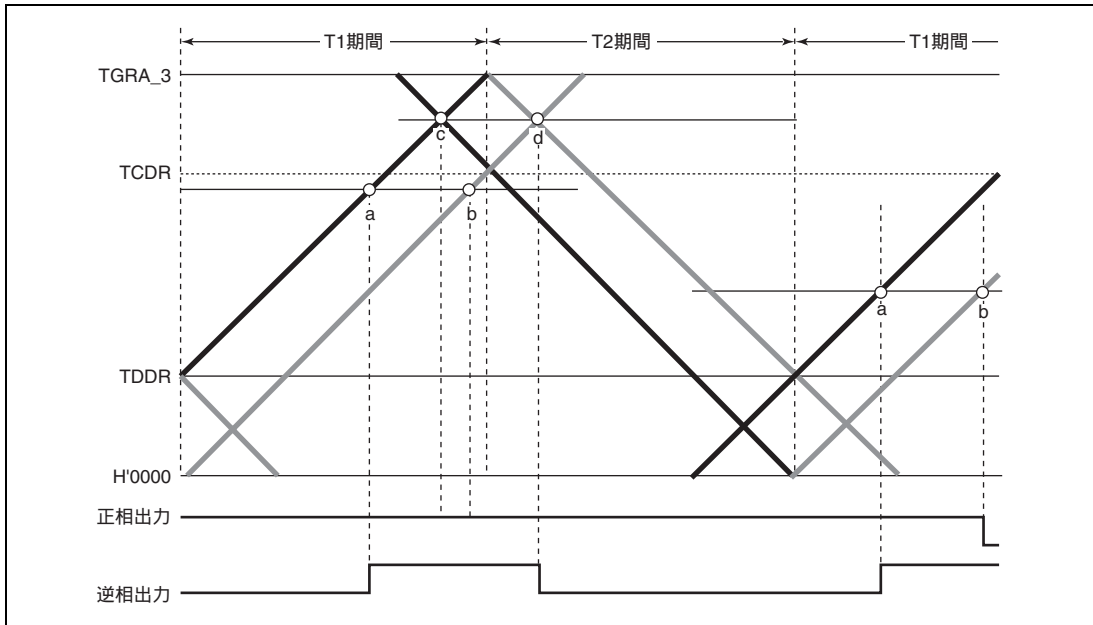


図 12.47 相補 PWM モード波形出力例 (2)

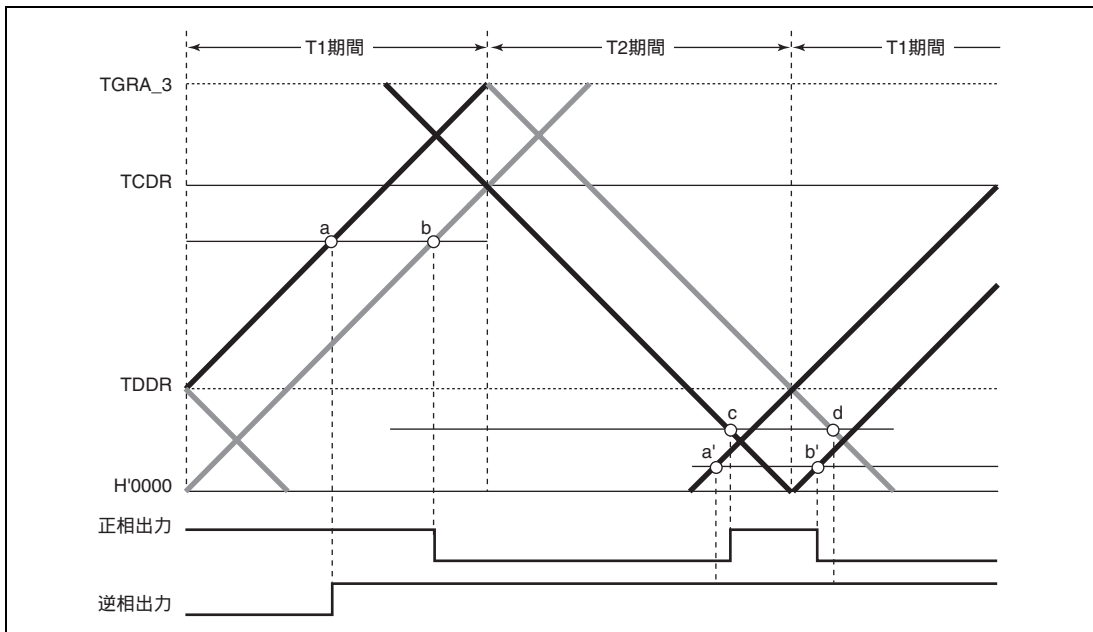


図 12.48 相補 PWM モード波形出力例 (3)

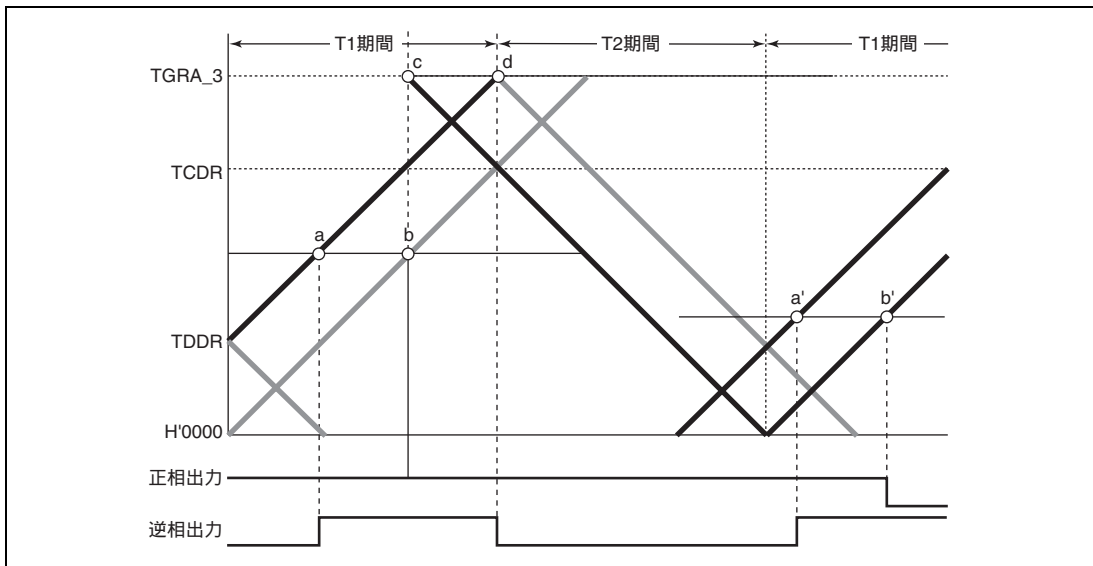


図 12.49 相補 PWM モード 0%、100%波形出力例 (1)

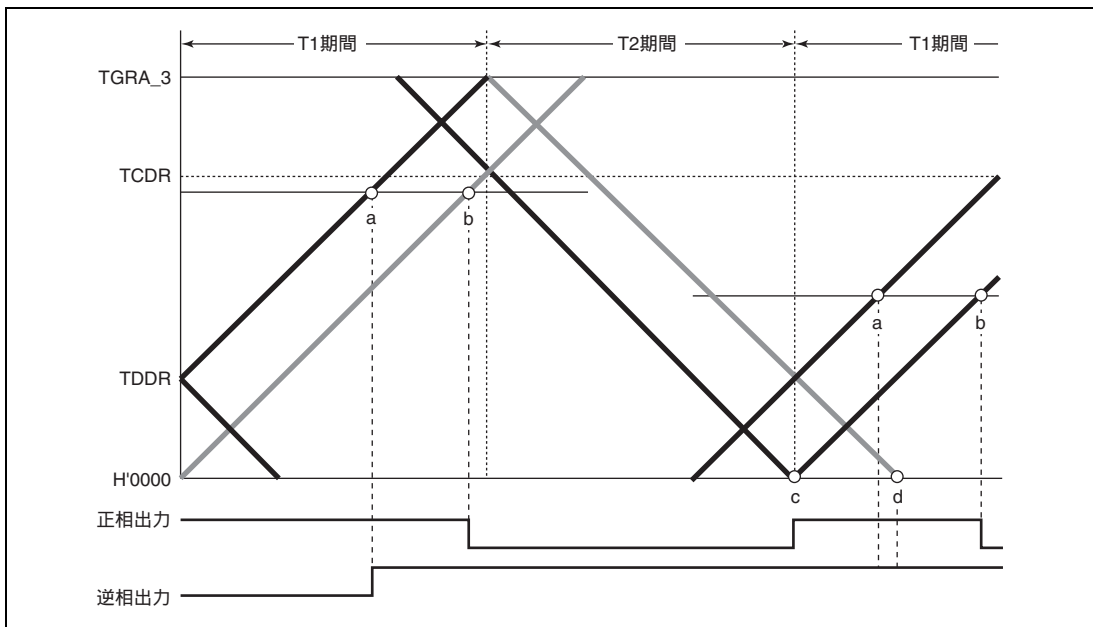


図 12.50 相補 PWM モード 0%、100%波形出力例 (2)

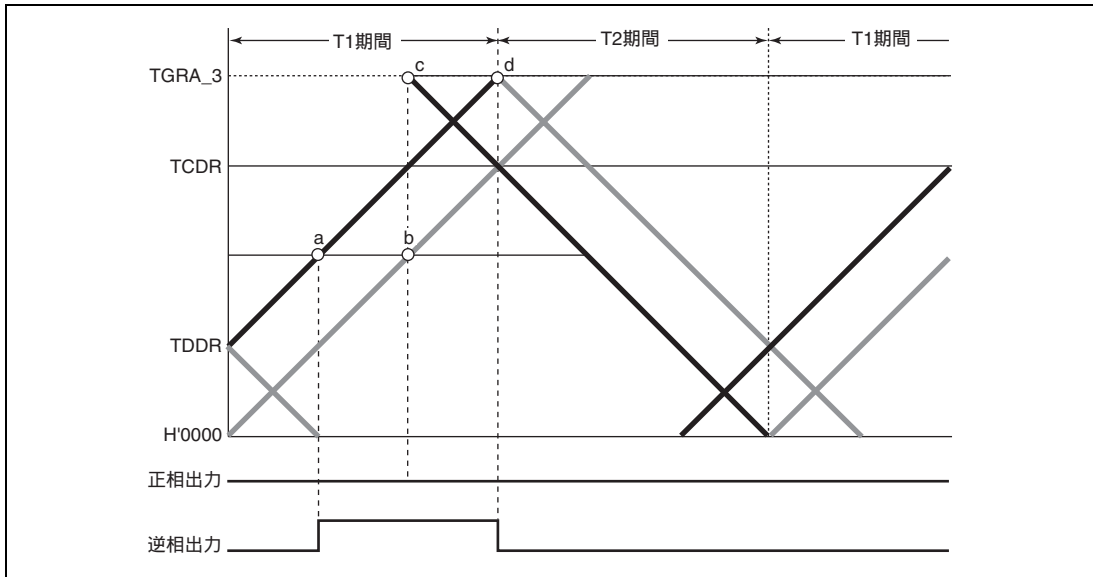


図 12.51 相補 PWM モード 0%、100%波形出力例 (3)

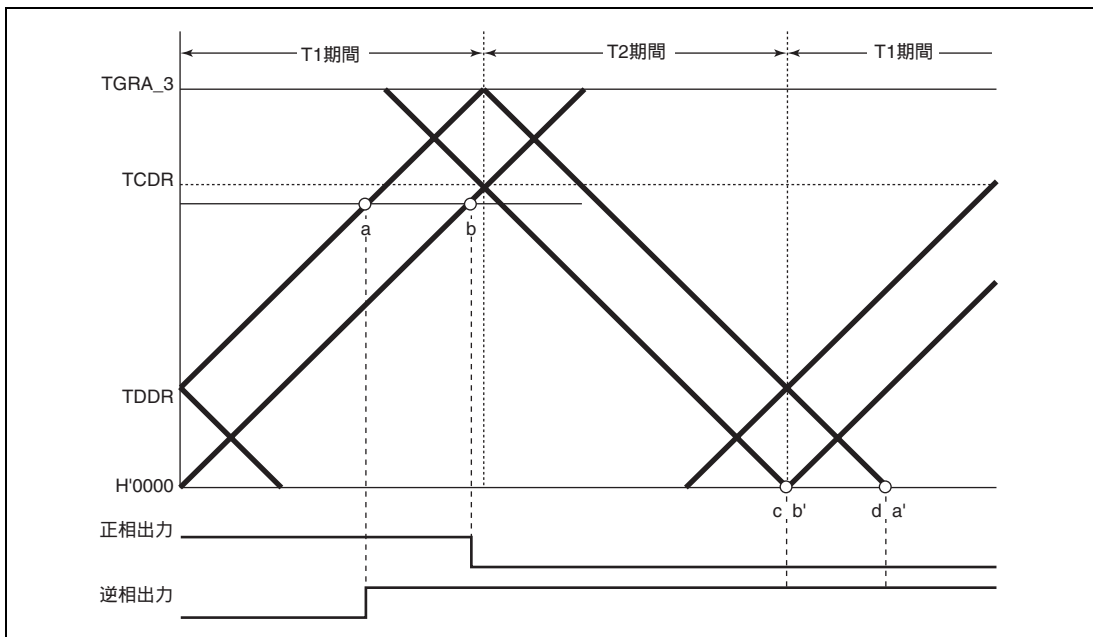


図 12.52 相補 PWM モード 0%、100%波形出力例 (4)

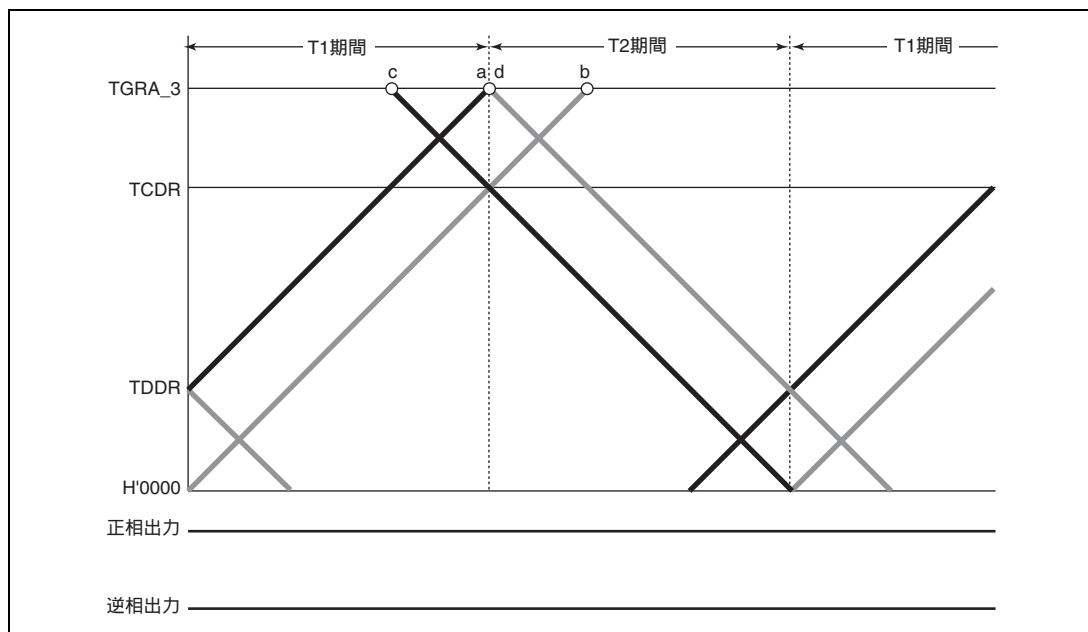


図 12.53 相補 PWM モード 0%、100%波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100%出力

相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 12.49 ~ 図 12.53 に出力例を示します。

デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 12.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

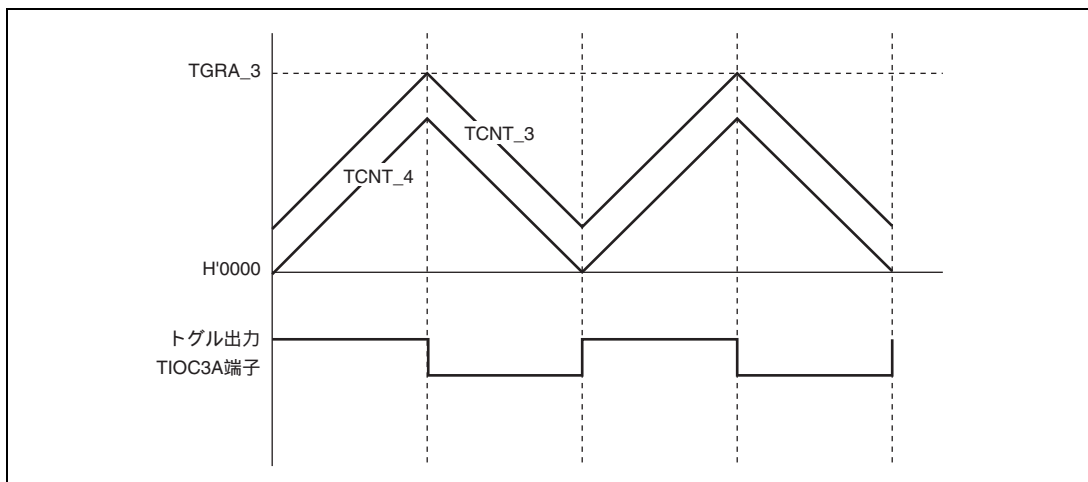


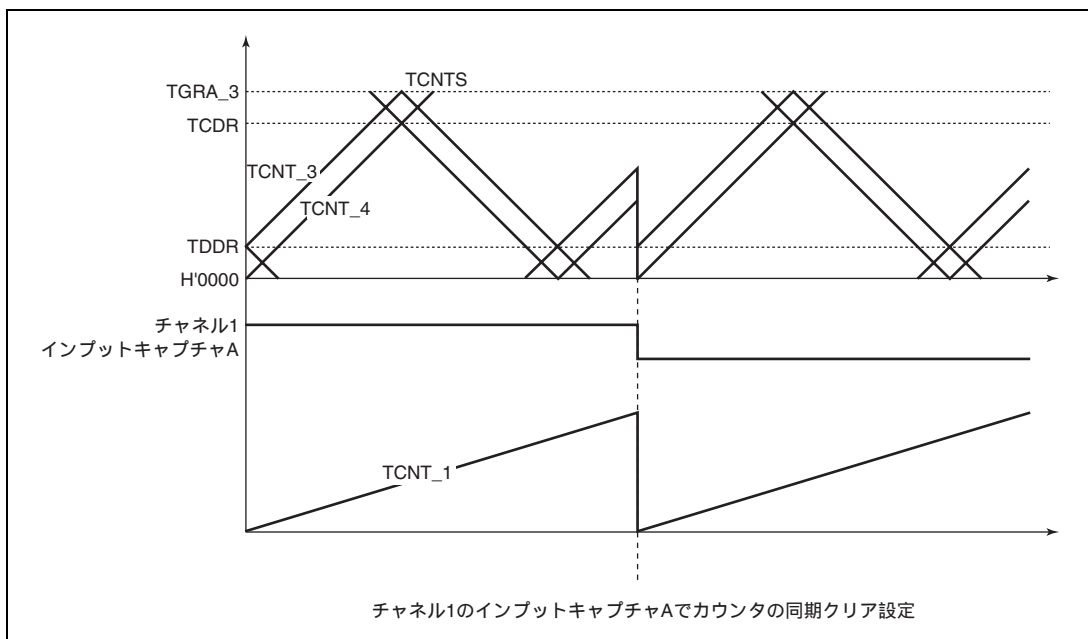
図 12.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 12.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。



チャンネル1のインプットキャプチャAでカウンタの同期クリア設定

図 12.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 12.56 の、のような谷の T_b 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 12.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU2、MTU2S のどちらでも使用することができます。MTU2、MTU2S のカウンタクリア要因はそれぞれ、MTU2 では MTU2 のチャンネル 0~2 からの同期クリア、MTU2S では MTU2 のチャンネル 0~2 のフラグセット (コンペアマッチ/インプットキャプチャ) です。

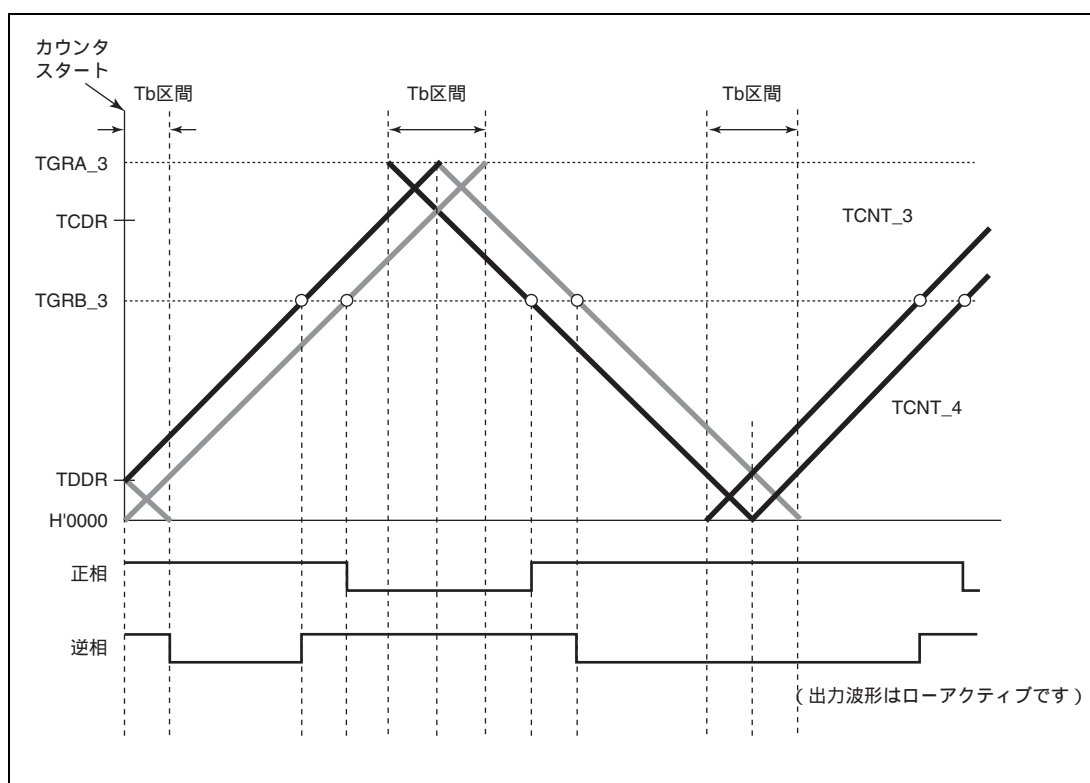


図 12.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 12.57 に示します。

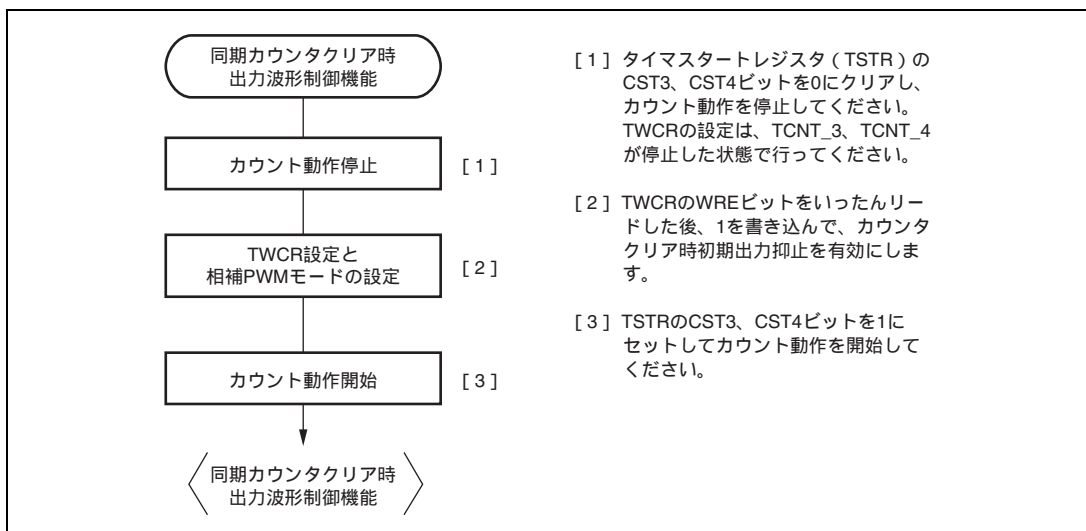


図 12.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 12.58 ~ 図 12.61 に、TWCR の WRE ビットを 1 に設定した状態で MTU2 を相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 12.58 ~ 図 12.61 の同期カウンタクリアのタイミングは、それぞれ図 12.56 の 、 、 、 で示したタイミングです。

この例は、MTU2S では TWCR の SCC ビットを 0、WRE ビットを 1 に設定した状態で MTU2S を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

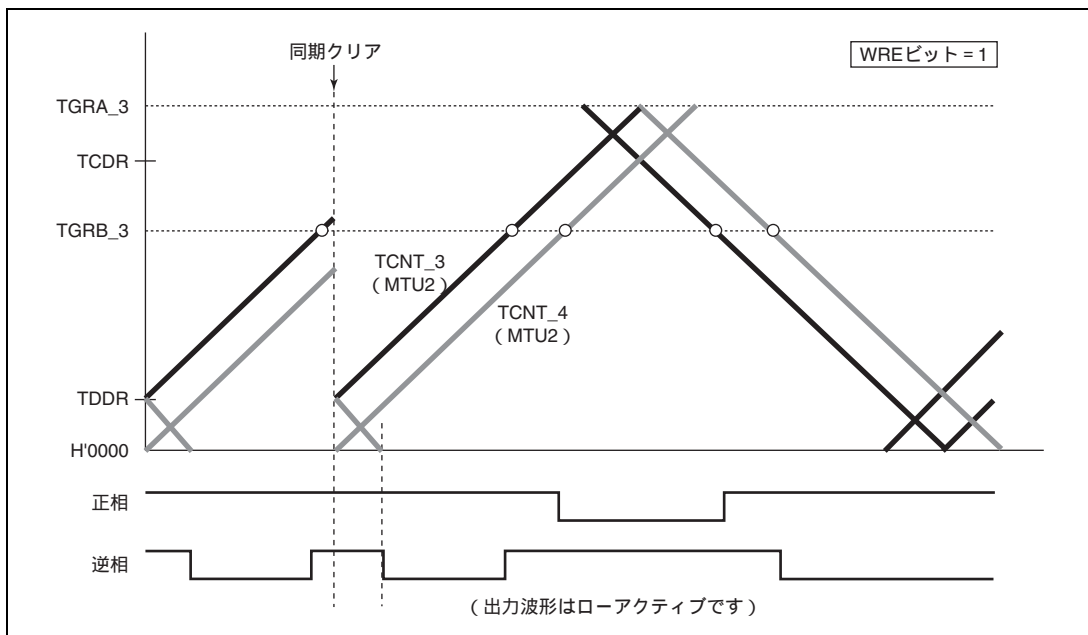


図 12.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

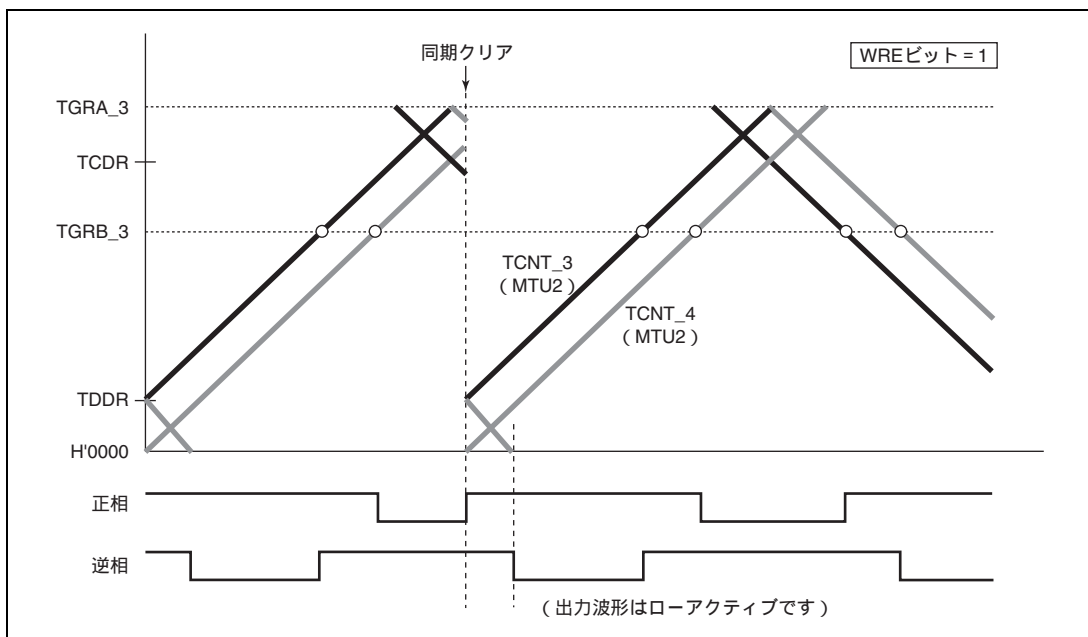


図 12.59 山の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

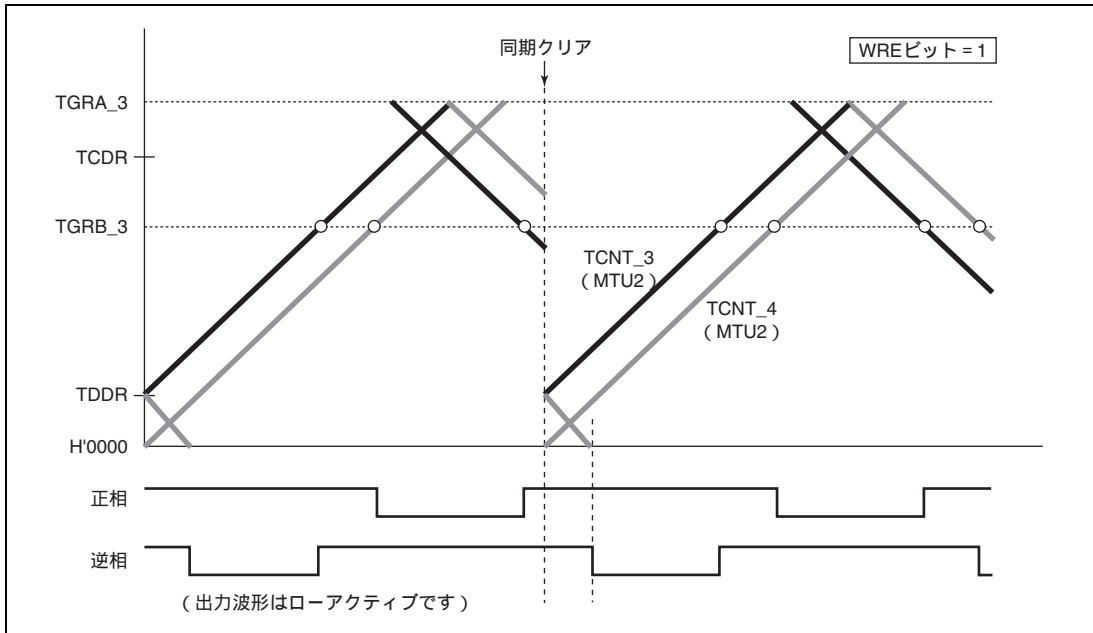


図 12.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット=1)

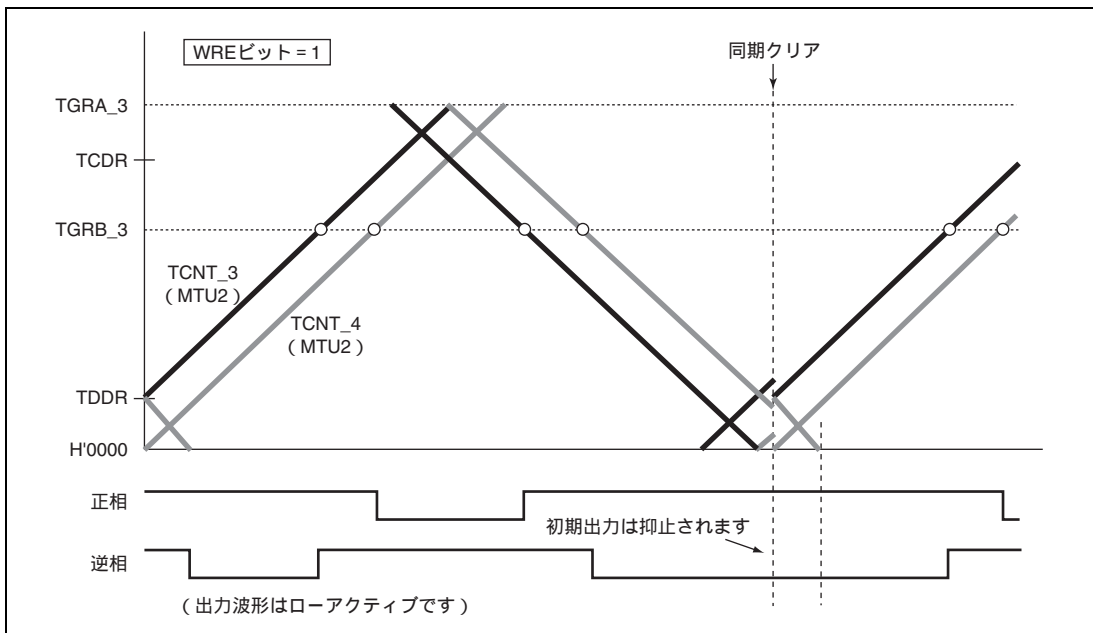


図 12.61 谷の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット=1)

(o) MTU2 - MTU2S カウンタ同期クリアの抑止機能

MTU2S では、TWCR レジスタの SCC ビットを 1 に設定することにより、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU2 からの同期クリアが抑止できるのは、図 12.62 で示す区間です。

また、本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。

MTU2 からの同期クリアについての詳細は、「12.4.10 (2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2 - MTU2S カウンタ同期クリア)」を参照してください。

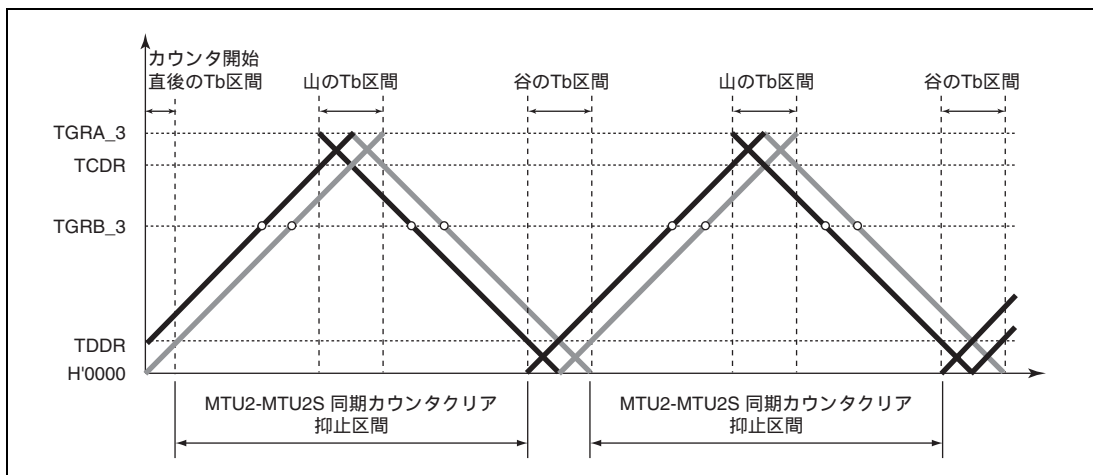


図 12.62 TWCR の SCC ビットセットによる、MTU2 - MTU2S 同期クリア抑止区間

- MTU2 - MTU2S同期カウンタクリア抑止機能の設定手順例

MTU2 - MTU2S 同期カウンタクリア抑止機能の設定手順例を図 12.63 に示します。

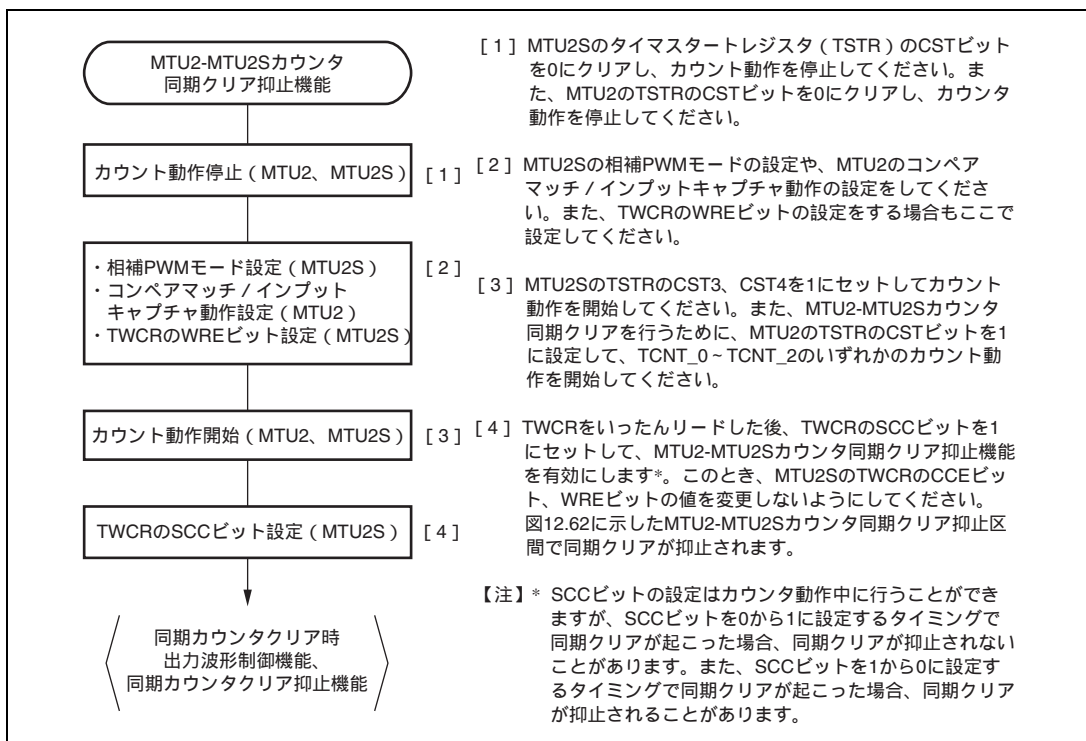


図 12.63 MTU2 - MTU2S 同期カウンタクリア抑止機能の設定手順例

- MTU2 - MTU2S同期カウンタクリア抑止機能の動作例

図 12.64 ~ 図 12.67 に、MTU2S の TWCR の SCC ビットを 1 に設定して MTU2S を相補 PWM 動作をさせ、MTU2 - MTU2S カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 12.64 ~ 図 12.67 の同期カウンタクリアのタイミングは、それぞれ図 12.56 の 、 、 、 で示したタイミングです。また、この例では MTU2S の TWCR の WRE ビットは 1 に設定しています。

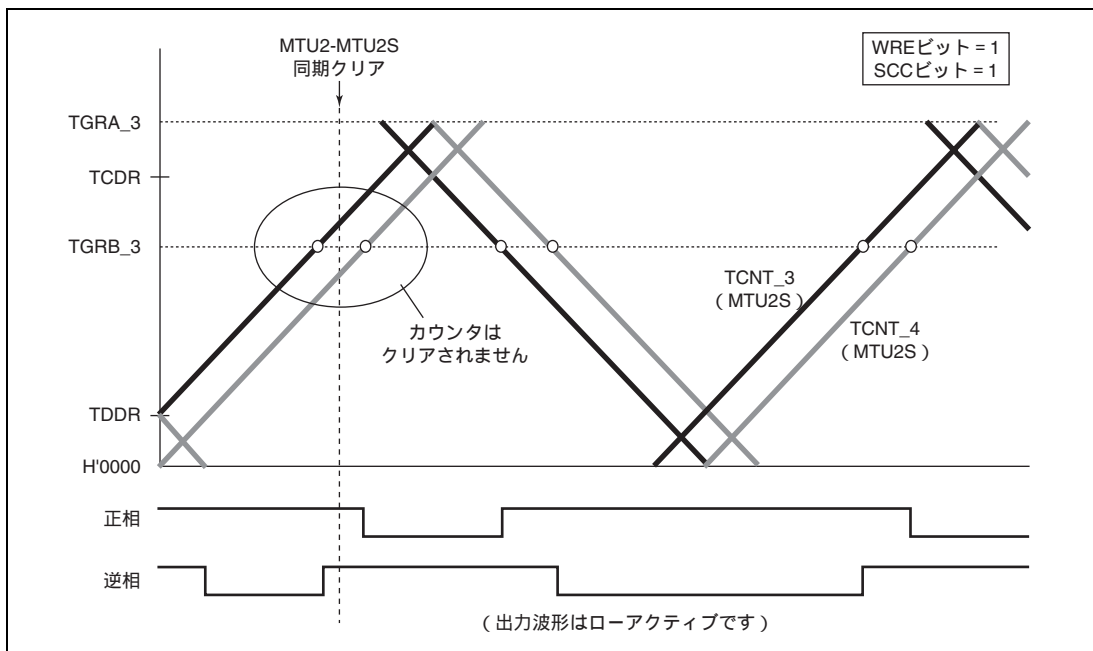


図 12.64 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

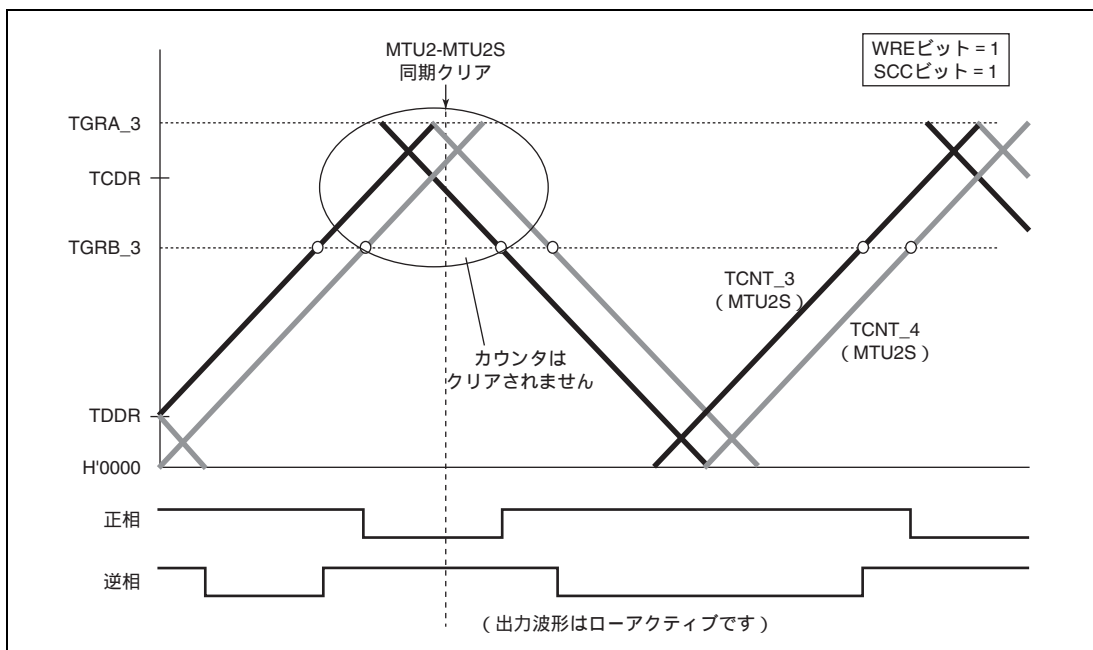


図 12.65 山の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

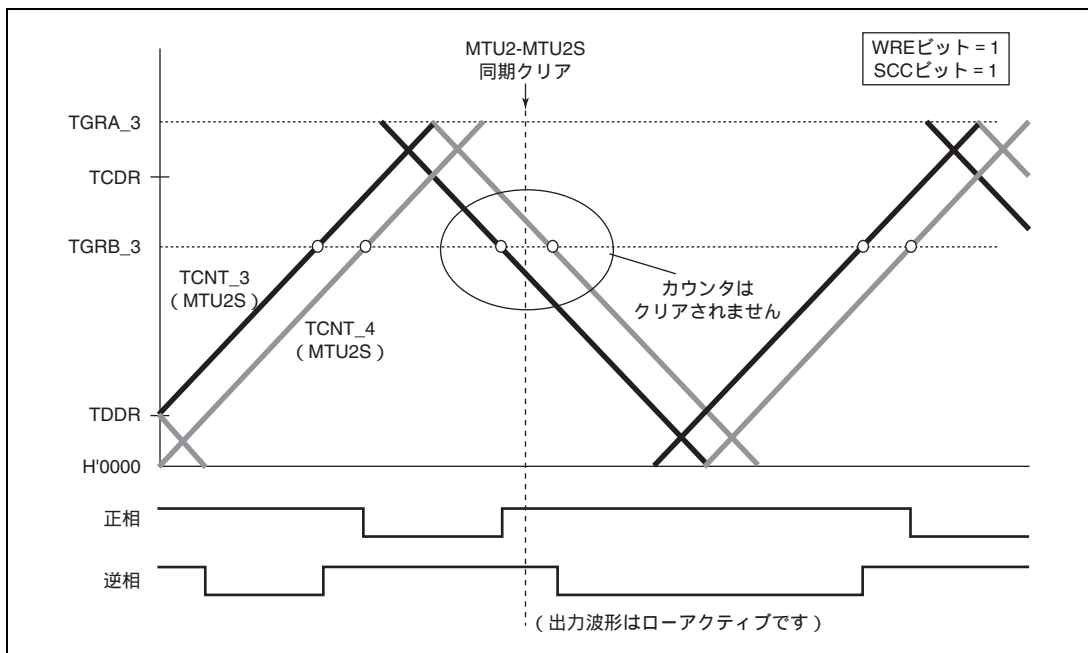


図 12.66 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

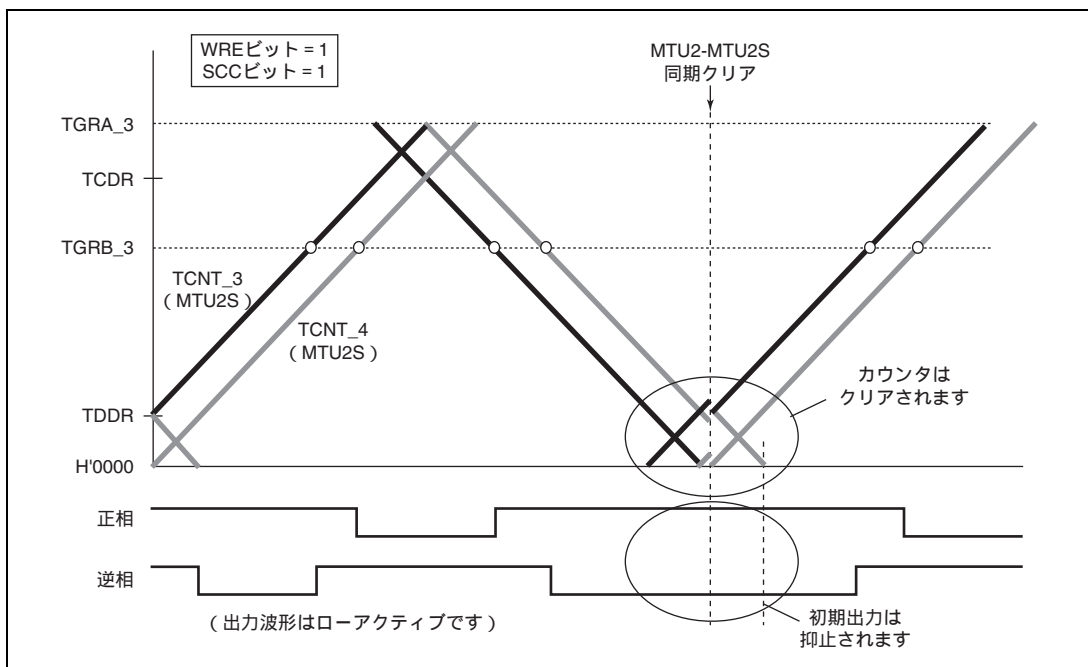


図 12.67 谷の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

(p) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 12.68 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0 ~ SYNC4 ビットを 1、タイマシンクロクリアレジスタ (TSYCR) の CE0A/B/C/D、CE1A/B/C/D ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

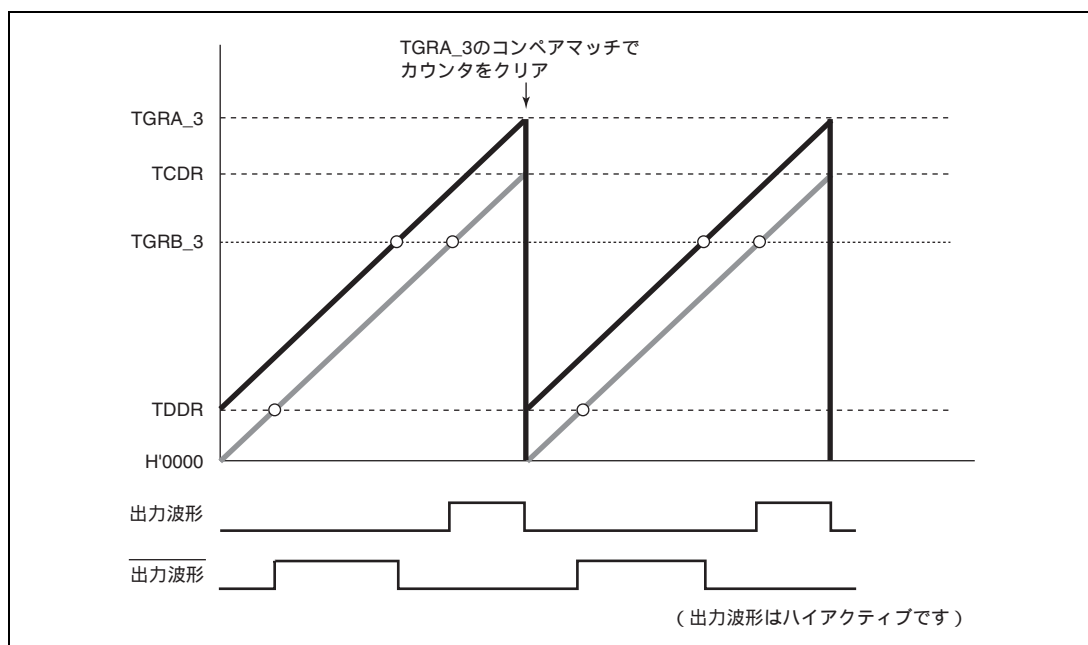


図 12.68 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(q) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 12.69 ~ 図 12.72 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り換えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り換わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り換わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この6相出力はNビットまたはPビットを1に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが0の場合は、レベル出力になります。

また、6相出力のアクティブレベル(ON出力時レベル)は、NビットおよびPビットの設定にかかわらず、タイムアウトコントロールレジスタ(TOCR)のOLSNビット、OLSPビットで設定できます。

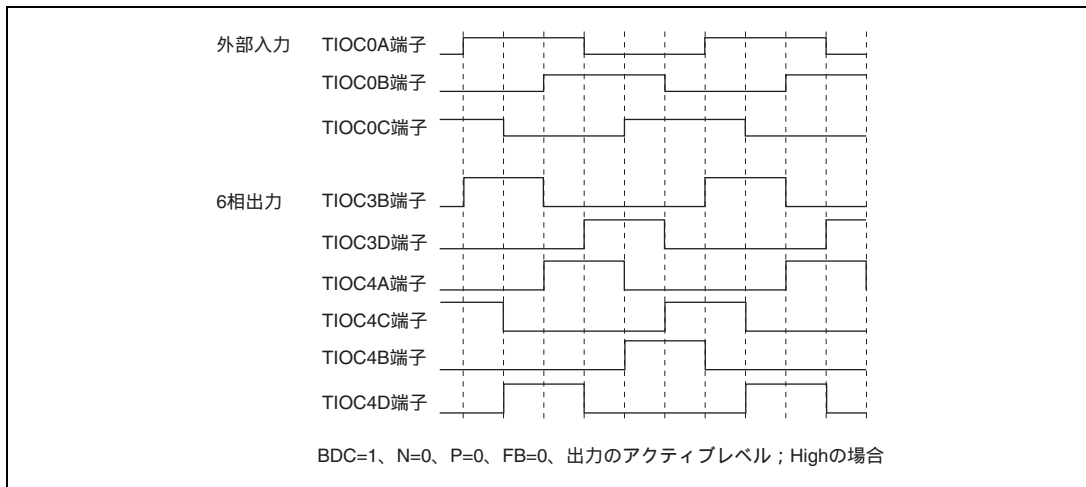


図 12.69 外部入力による出力相の切り換え動作例(1)

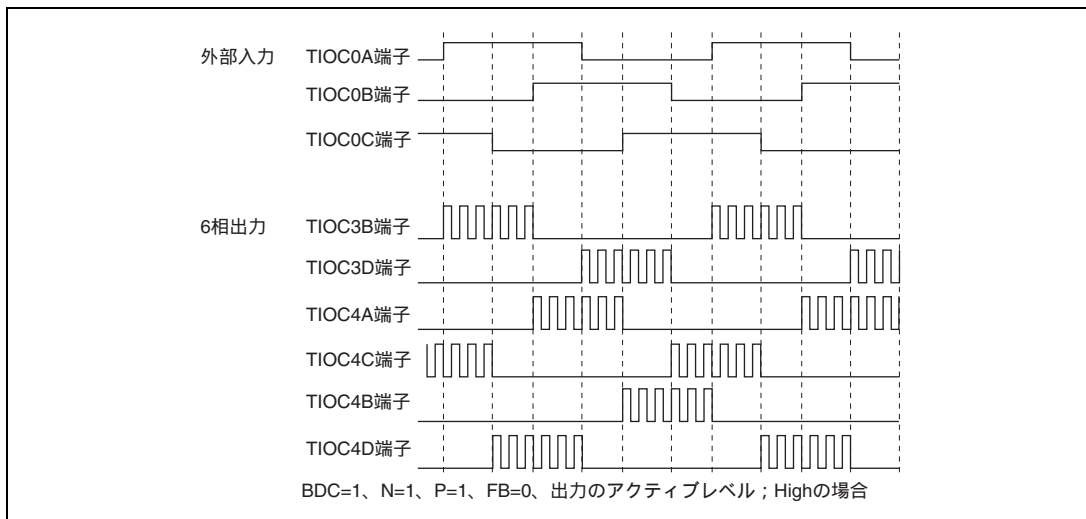


図 12.70 外部入力による出力相の切り換え動作例(2)

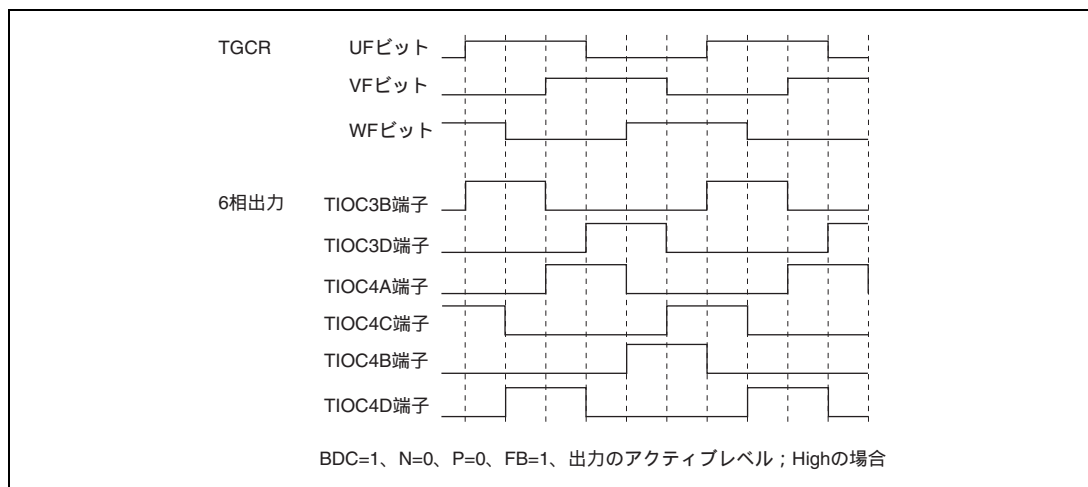


図 12.71 UF、VF、WF ビット設定による出力相の切り換え動作例 (1)

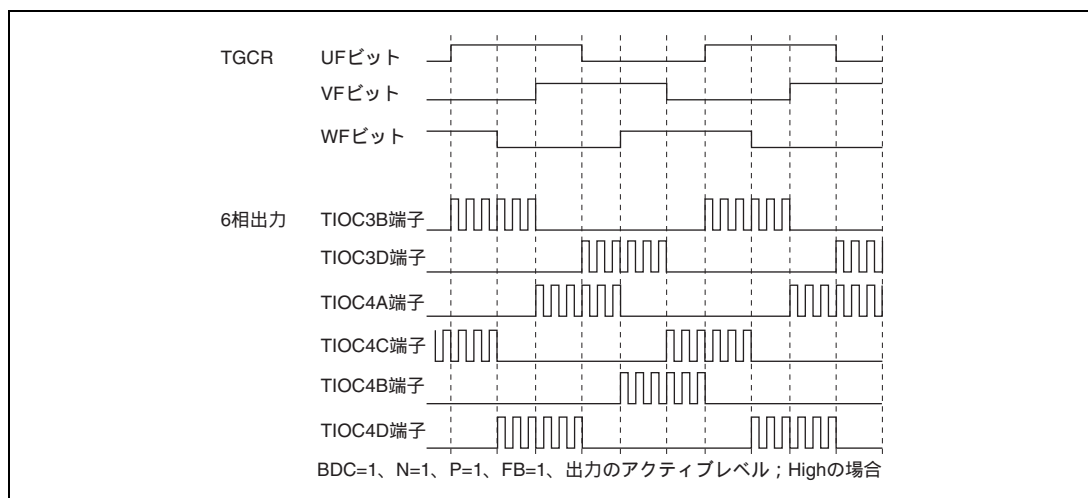


図 12.72 UF、VF、WF ビット設定による出力相の切り換え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 12.73 に示します。また、割り込み間引き回数の変更可能期間を図 12.74 に示します。

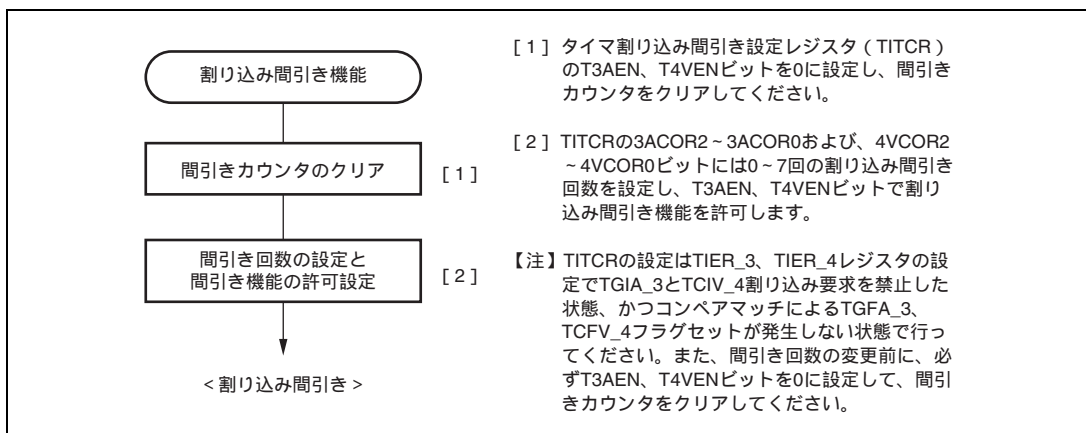


図 12.73 割り込み間引き機能の設定手順例

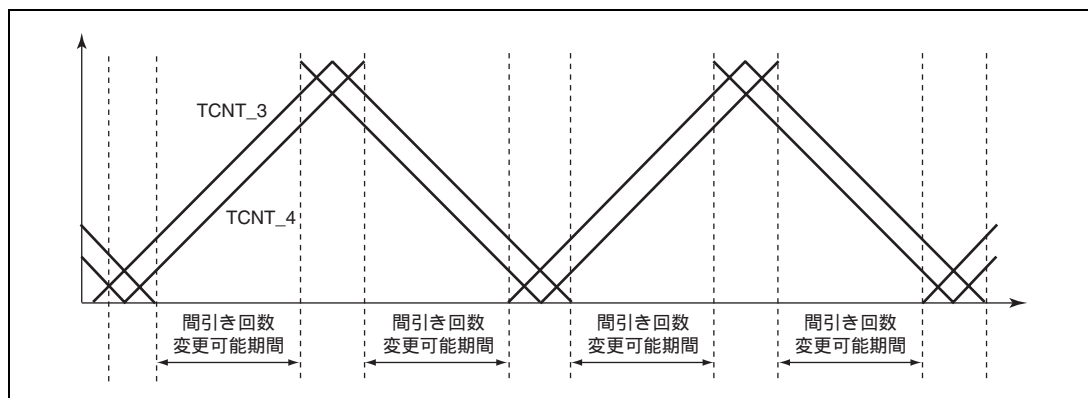


図 12.74 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合、TGIA_3 割り込み間引きの動作例を図 12.75 に示します。

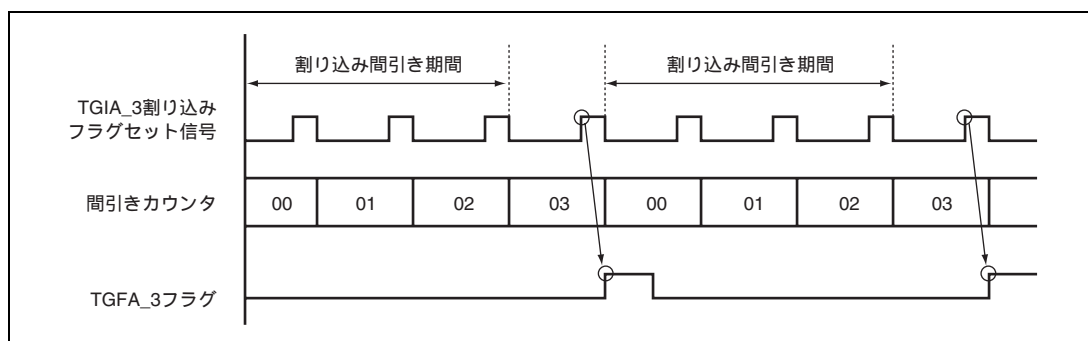


図 12.75 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を図 12.76 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例を図 12.77 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。割り込み発生からバッファレジスタの書き込みタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 12.78 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ（TBTER）の BTE1 を 0 に設定）してください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

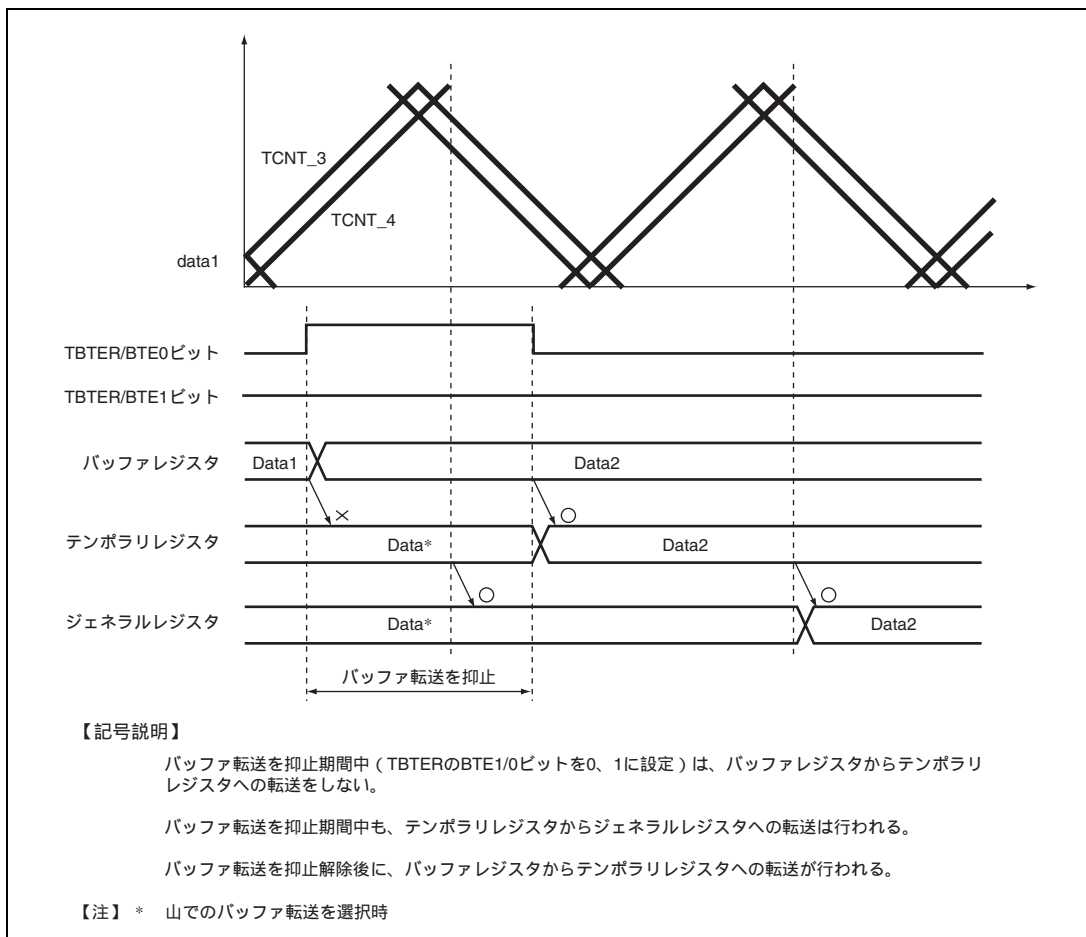


図 12.76 バッファ転送を抑制する設定（BTE1 = 0、BTE0 = 1）にした場合の動作例

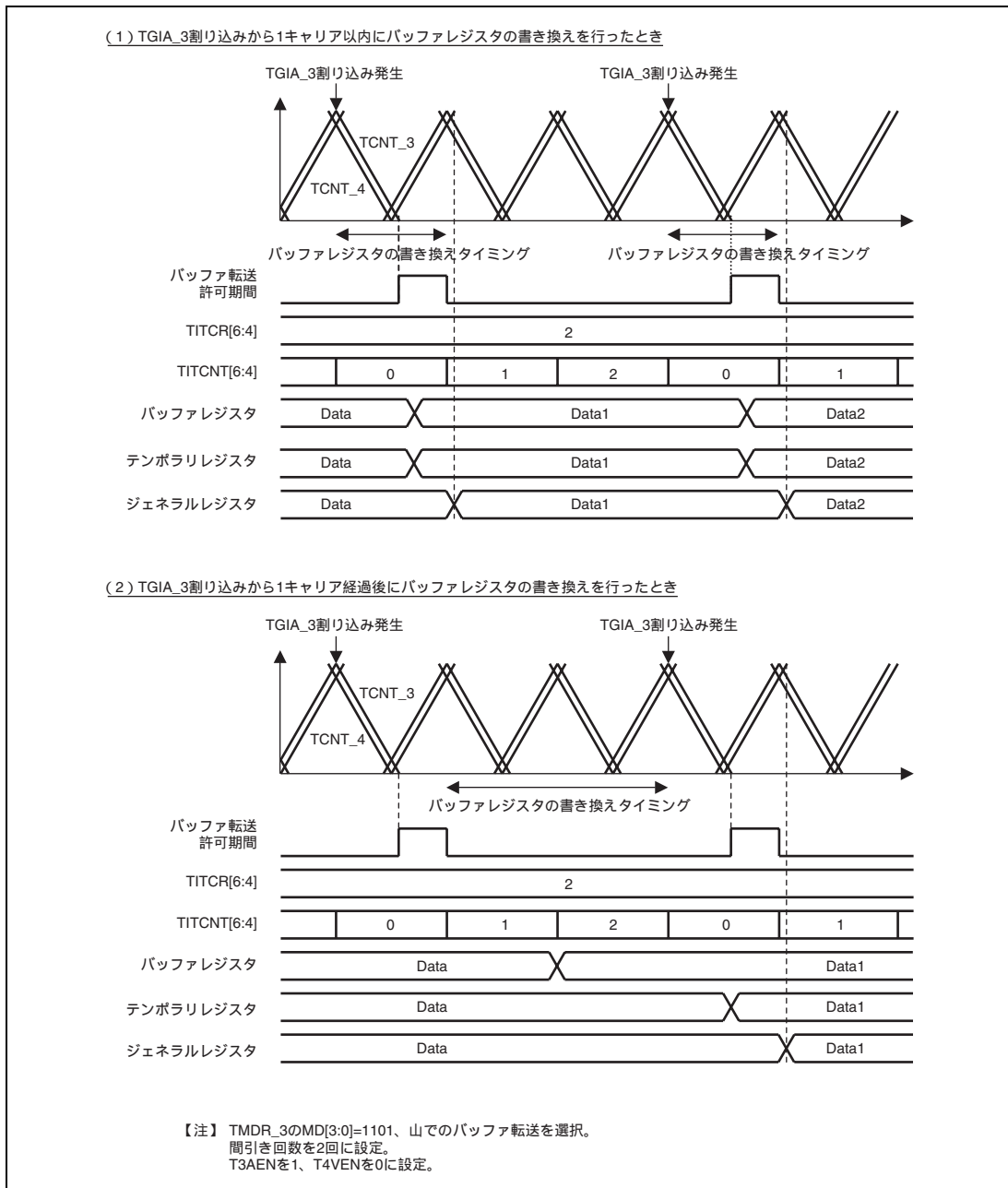


図 12.77 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例

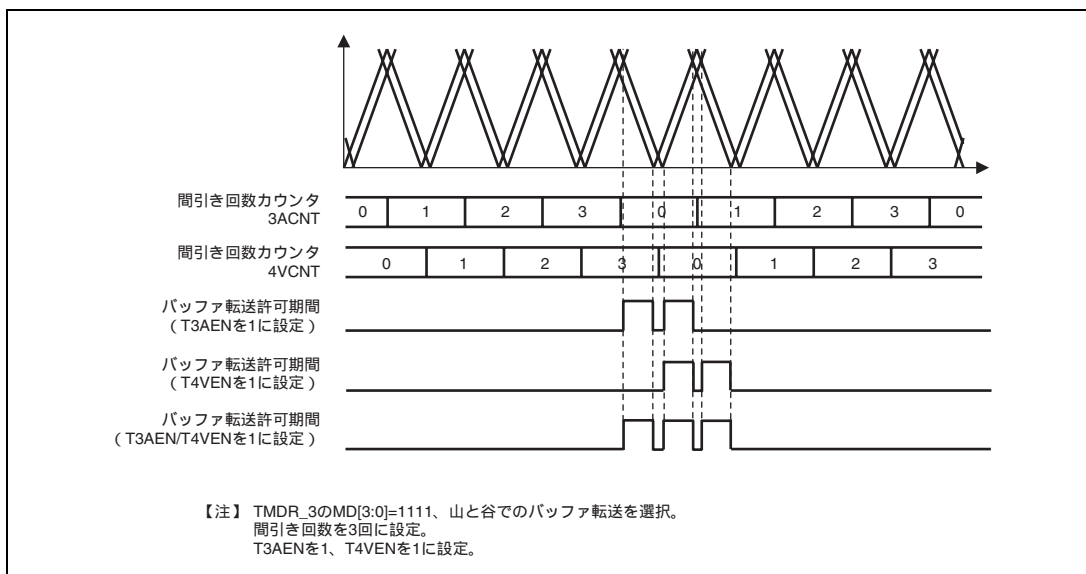


図 12.78 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIO RL_3 および TIO RL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「第 14 章 ポートアウトプットイネーブル 2 (POE2)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、本 LSI に入力されているクロックが停止したことを検出して出力端子を自動的にハイ

ンピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「5.7 発振停止検出機能」を参照してください。

12.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

(a) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 12.79 に示します。

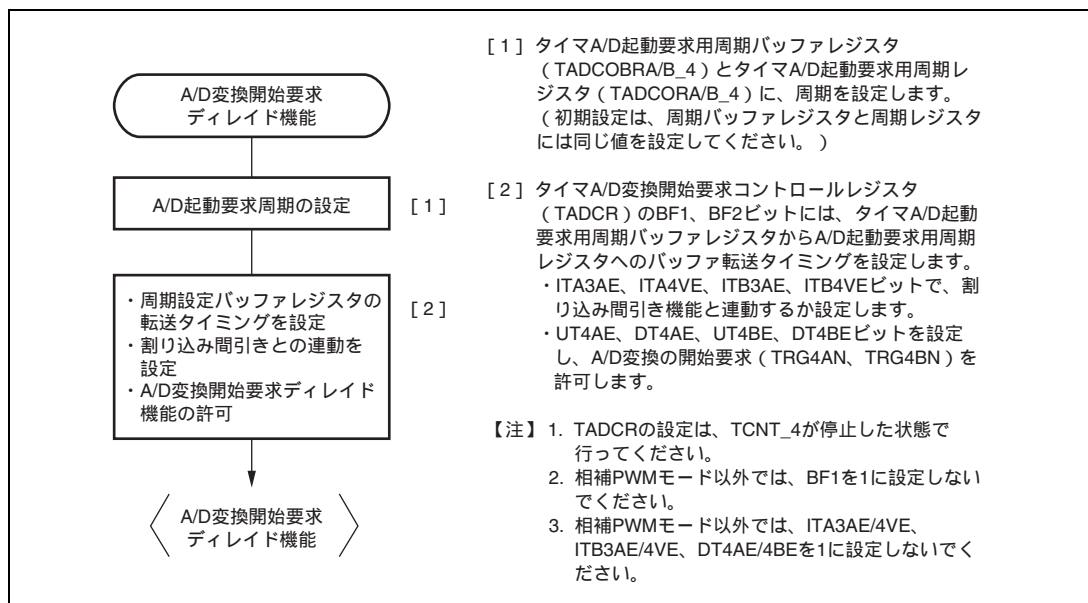


図 12.79 A/D 変換開始要求ディレイド機能の設定手順例

(b) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを TCNT_4 の谷に設定し、TCNT_4 のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 12.80 に示します。

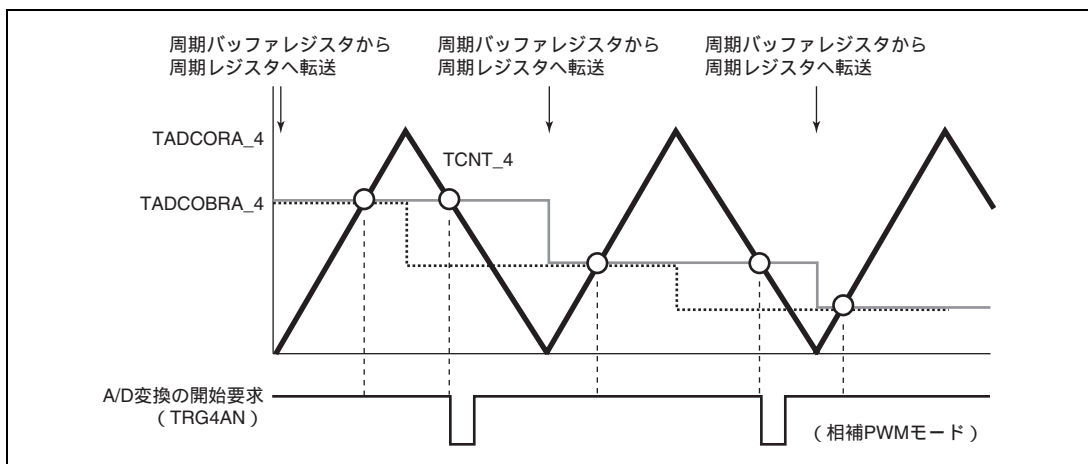


図 12.80 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(c) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (TADCR_4) の BF1、BF0 ビットを設定することにより選択することができます。

(d) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 12.81 に示します。

また、TCNT_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 12.82 に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。

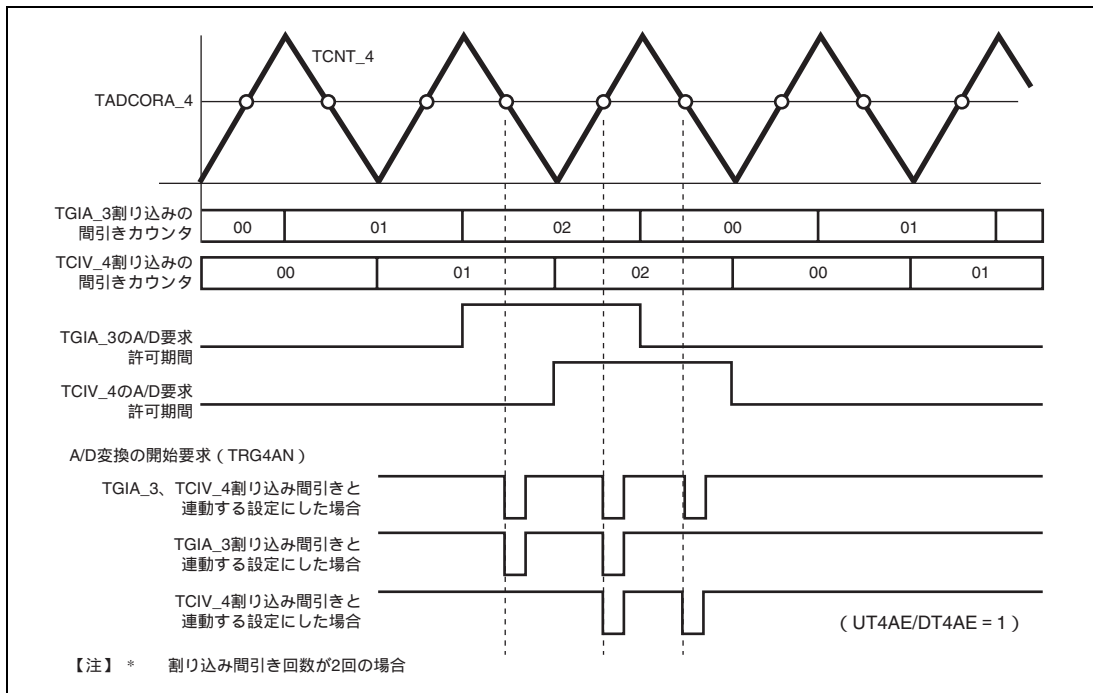


図 12.81 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

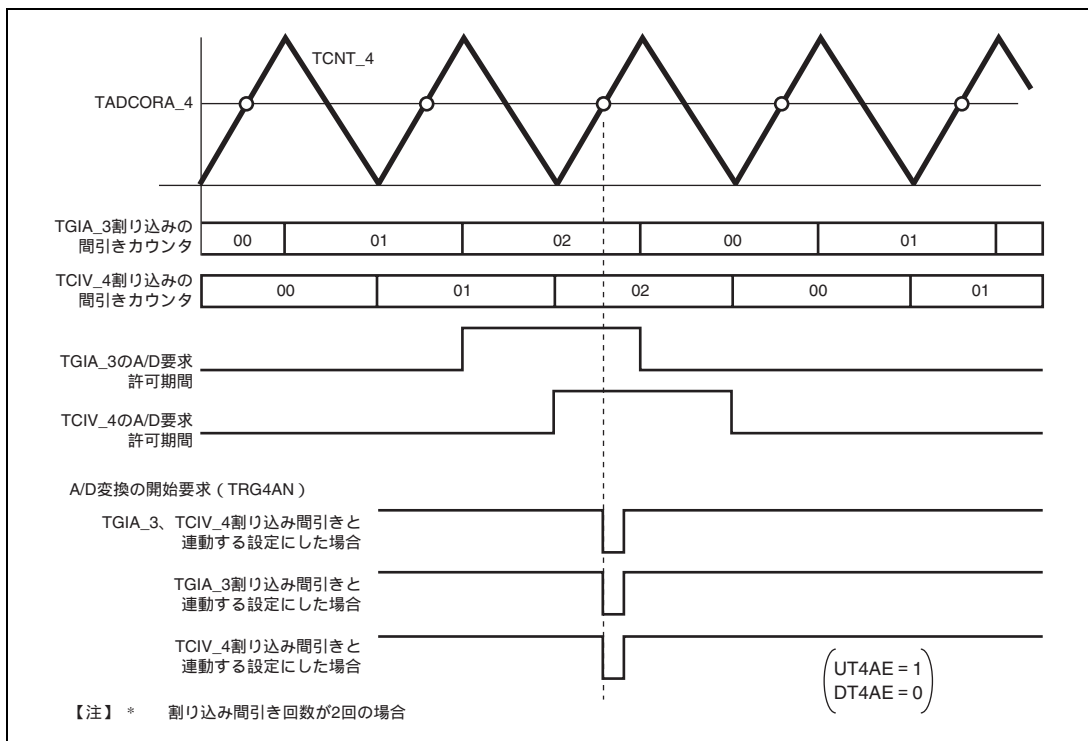


図 12.82 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

12.4.10 MTU2 - MTU2S の同期動作

(1) MTU2 - MTU2S カウンタ同期スタート

MTU2 の TCSYSTR レジスタを設定することにより、異なるクロック系で動作する MTU2 と MTU2S のカウンタを同期スタートすることができます。

(a) MTU2 - MTU2S カウンタ同期スタートの設定手順例

カウンタ同期スタートの設定手順例を図 12.83 に示します。

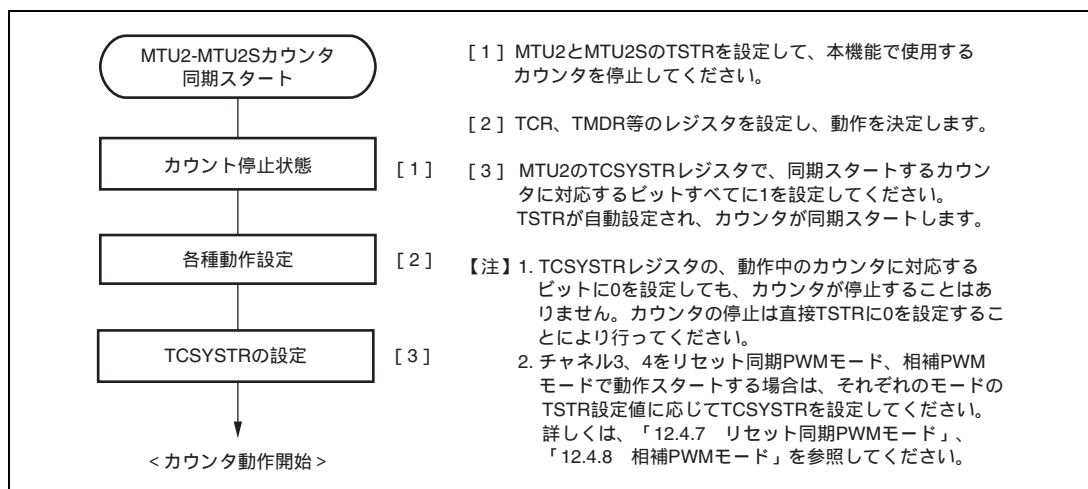


図 12.83 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 12.84 (1)、図 12.84 (2)、図 12.84 (3) に、それぞれ MTU2 と MTU2S のクロック周波数比が 1:1、1:2、1:4 の場合のカウンタ同期スタート動作例を示します。

これらの例では、カウントクロックを P /1 に設定しています。

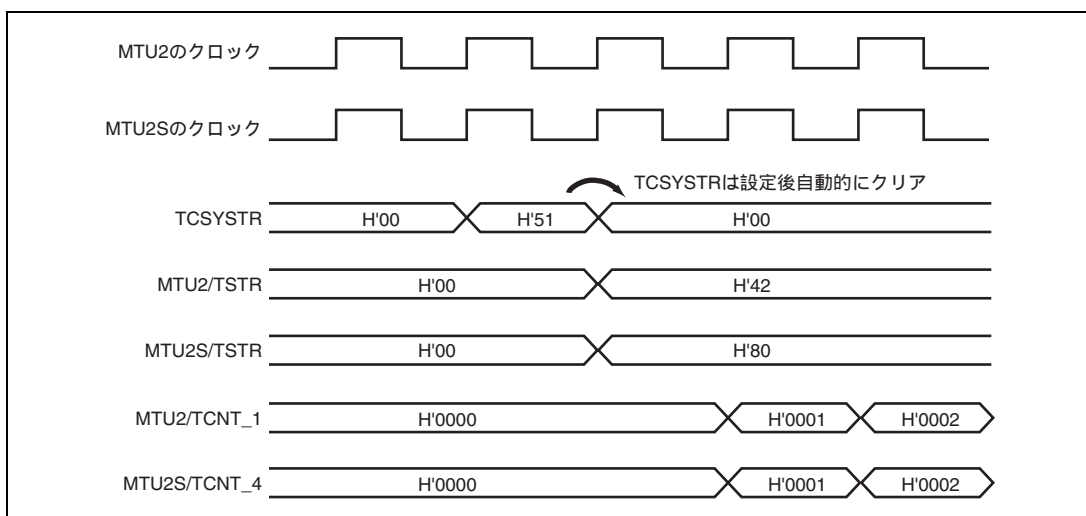


図 12.84 (1) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:1)

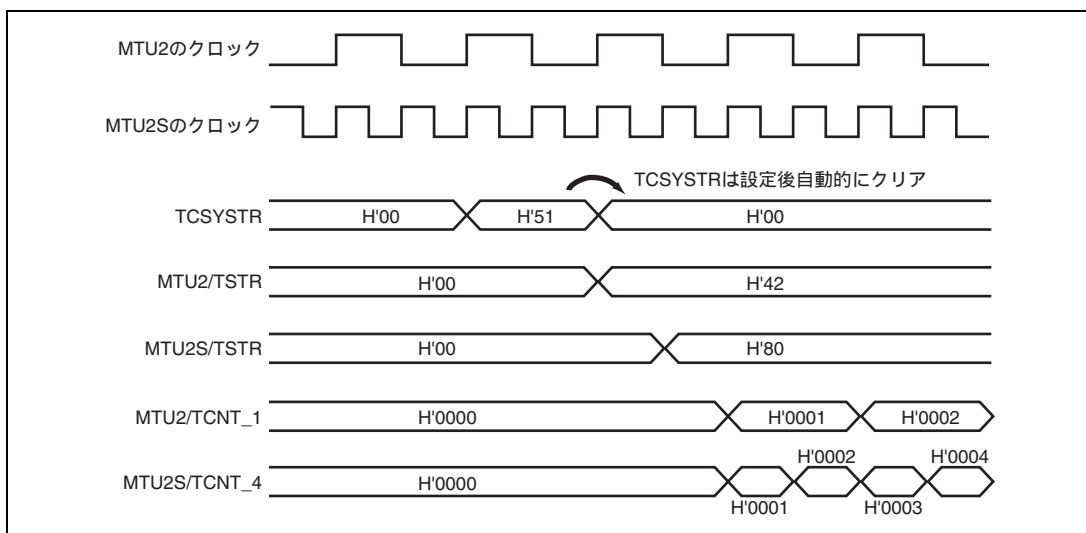


図 12.84 (2) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:2)

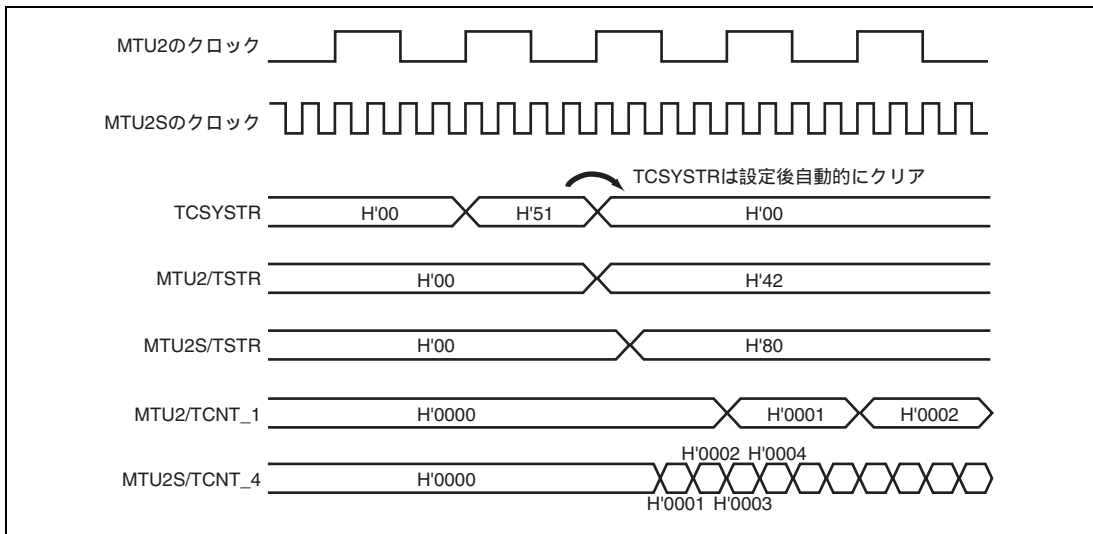


図 12.84 (3) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:4)

(2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2 - MTU2S カウンタ同期クリア)

MTU2S は TSYCR_3 レジスタを設定することにより、MTU2 の TSR_0 ~ TSR_2 のフラグセット要因を利用して、カウンタクリアすることができます。

(a) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例を図 12.85 に示します。

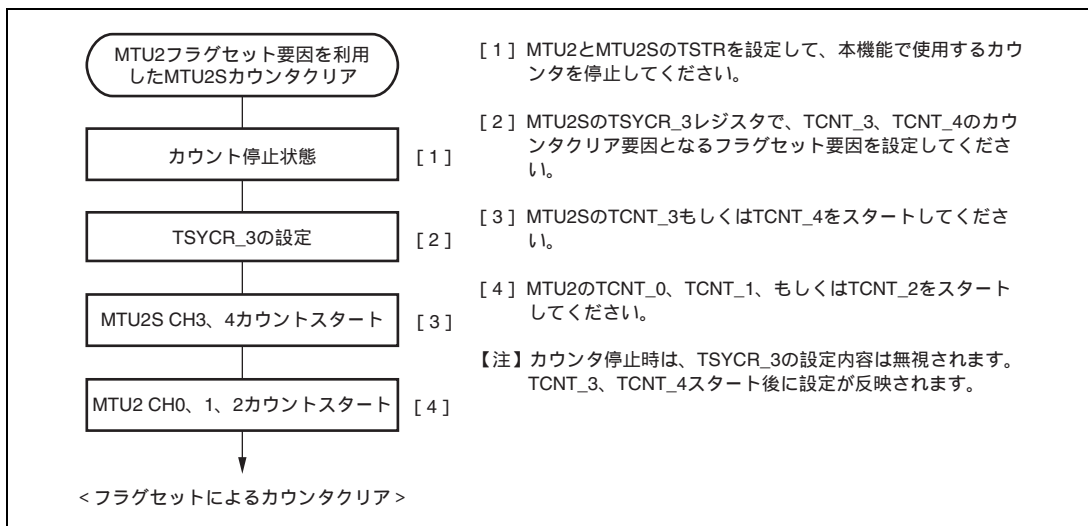


図 12.85 MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

(b) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例を図 12.86 (1)、図 12.86 (2) に示します。

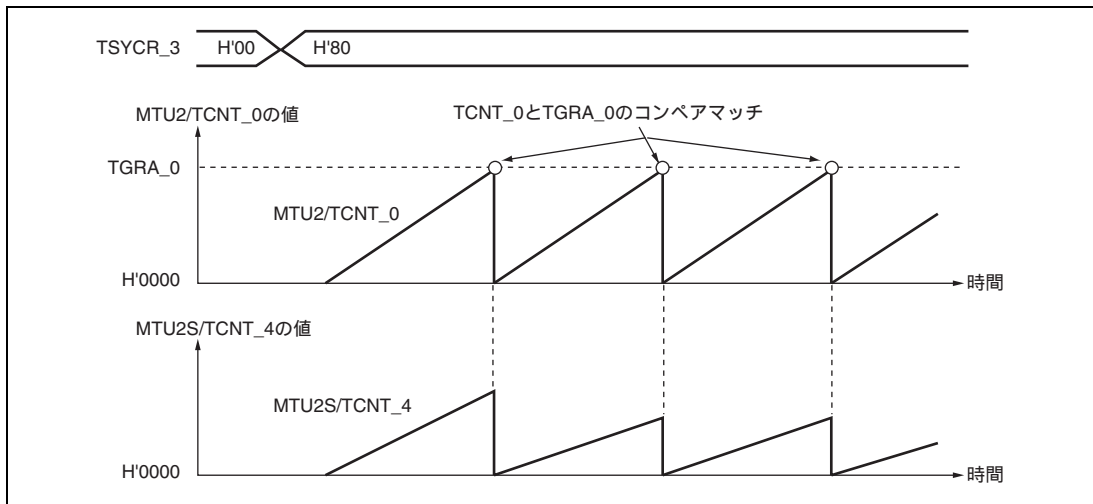


図 12.86 (1) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (1)

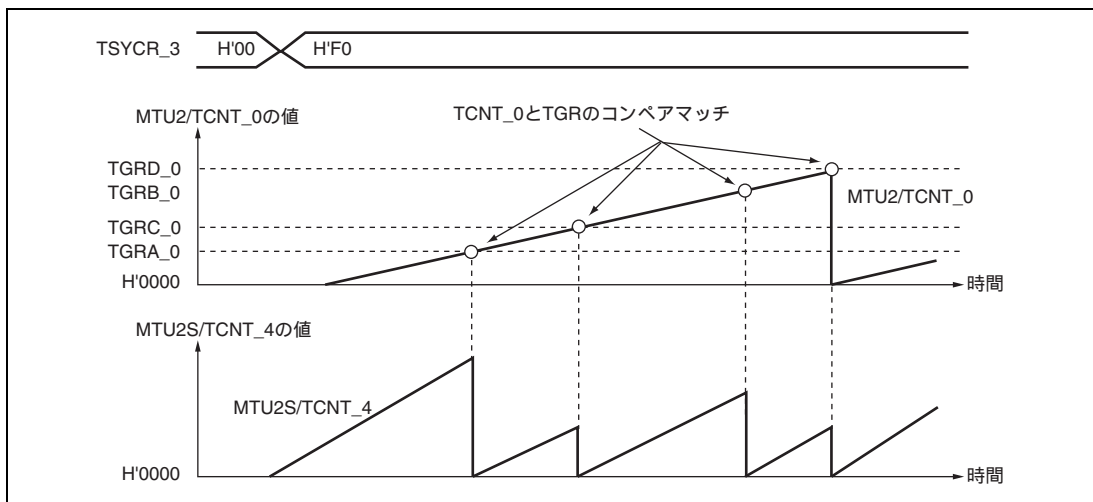


図 12.86 (2) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (2)

12.4.11 外部パルス幅測定機能

チャンネル 5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

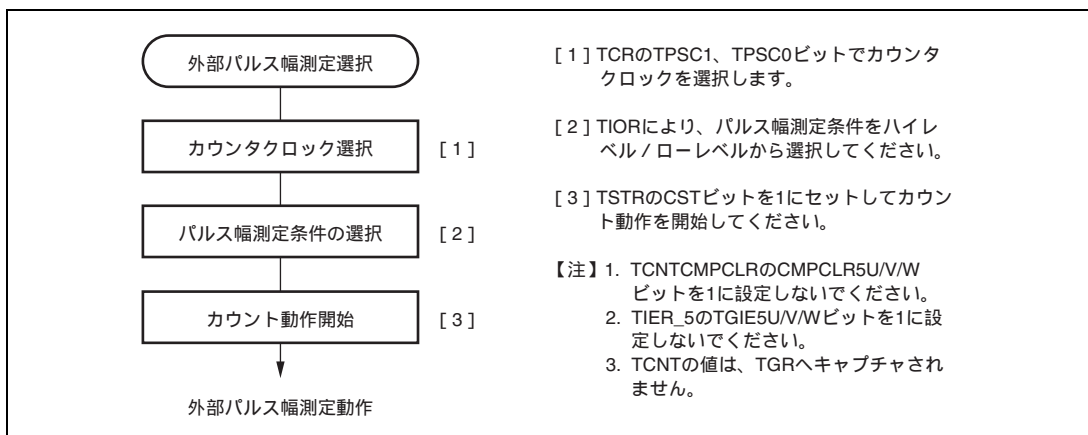


図 12.87 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

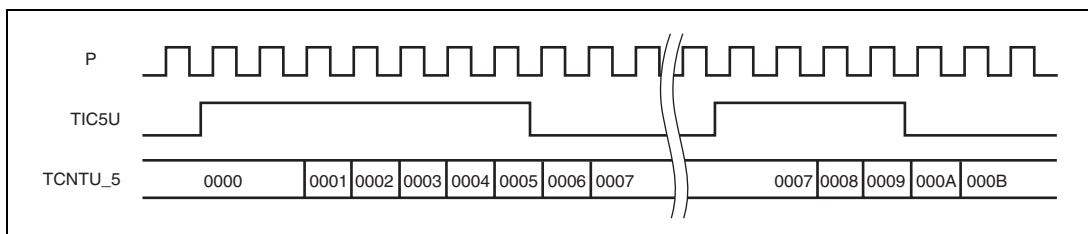


図 12.88 外部パルス幅測定の実動作例 (ハイパルス幅測定)

12.4.12 デッドタイム補償用機能

出力波形の遅れを測定してデューティに反映することで、外部パルス幅測定機能を相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償用機能として使用することができます。

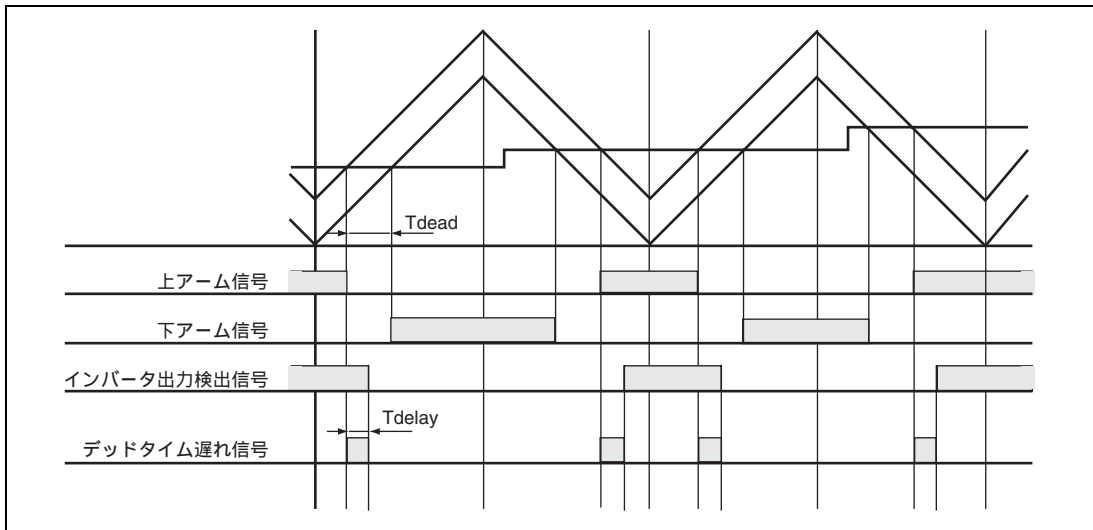


図 12.89 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

チャンネル 5 の 3 本のカウンタを使用したデッドタイム補償機能の設定手順例を図 12.90 に示します。

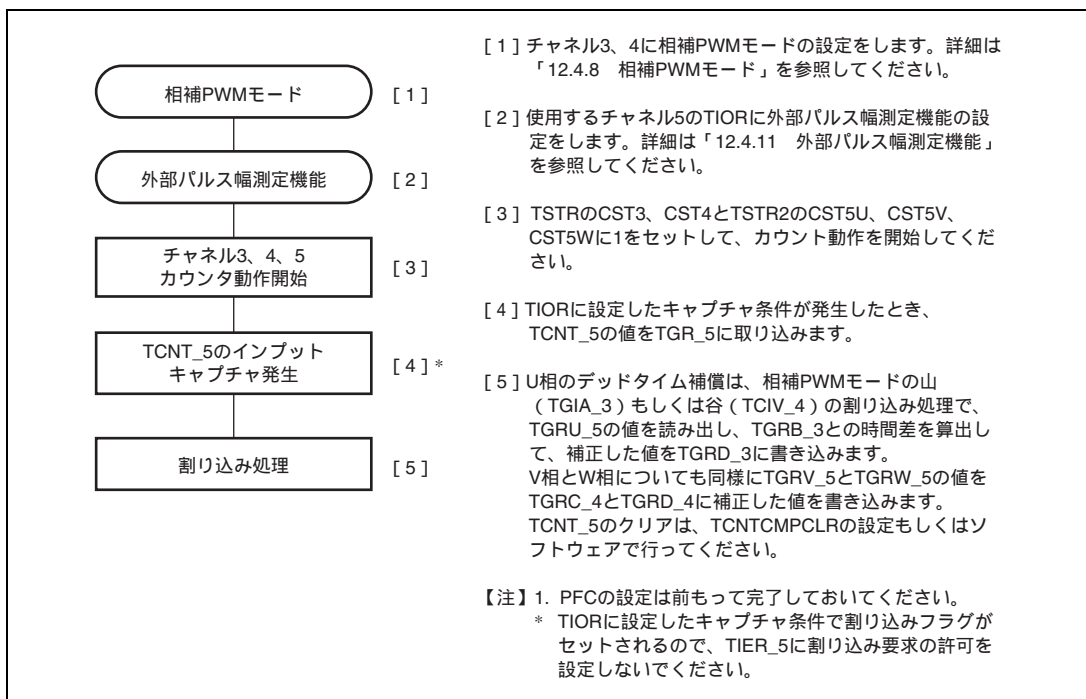


図 12.90 デッドタイム補償機能の設定手順例

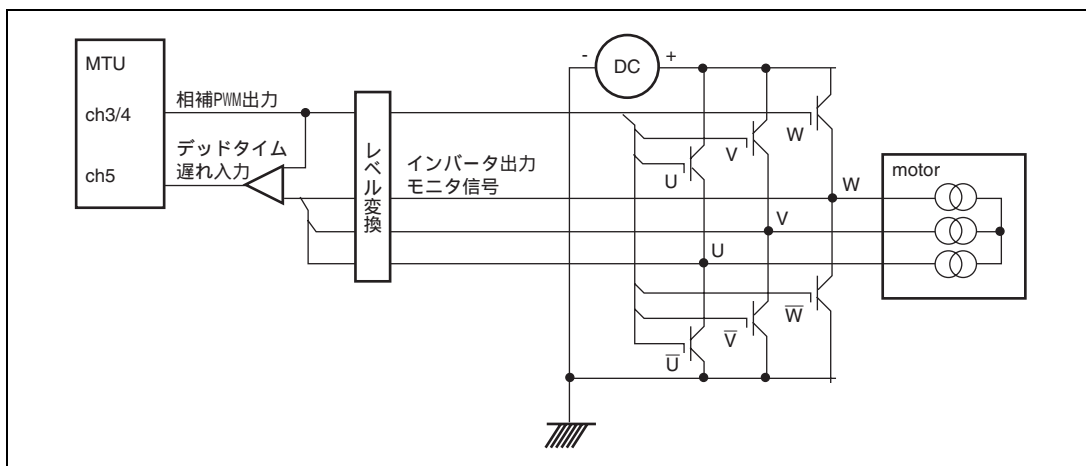


図 12.91 モータ制御回路構成例

12.4.13 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 12.92 は TCNT はフリーランでクリアせずに使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

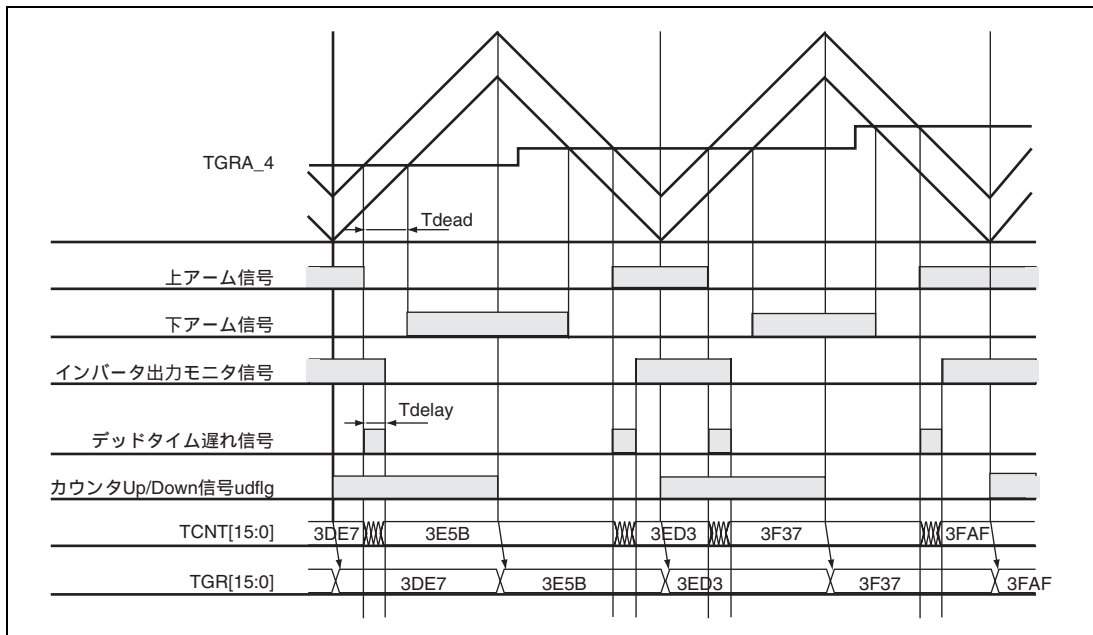


図 12.92 相補 PWM の「山/谷」での TCNT キャプチャ動作

12.5 割り込み要因

12.5.1 割込要因と優先順位

MTU2の割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンドフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第7章 割り込みコントローラ (INTC)」を参照してください。

表 12.57 に MTU2 の割り込み要因の一覧を示します。

表 12.57 MTU2 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DMACの起動	DTCの起動	優先順位
0	TGIA_0	TGRA_0のインプットキャプチャ/コンペアマッチ	TGFA_0	可	可	高 ↑
	TGIB_0	TGRB_0のインプットキャプチャ/コンペアマッチ	TGFB_0	不可	可	
	TGIC_0	TGRC_0のインプットキャプチャ/コンペアマッチ	TGFC_0	不可	可	
	TGID_0	TGRD_0のインプットキャプチャ/コンペアマッチ	TGFD_0	不可	可	
	TCIV_0	TCNT_0のオーバフロー	TCFV_0	不可	不可	
	TGIE_0	TGRE_0のコンペアマッチ	TGFE_0	不可	不可	
	TGIF_0	TGRF_0のコンペアマッチ	TGFF_0	不可	不可	
1	TGIA_1	TGRA_1のインプットキャプチャ/コンペアマッチ	TGFA_1	可	可	↑ ↓
	TGIB_1	TGRB_1のインプットキャプチャ/コンペアマッチ	TGFB_1	不可	可	
	TCIV_1	TCNT_1のオーバフロー	TCFV_1	不可	不可	
	TCIU_1	TCNT_1のアンドフロー	TCFU_1	不可	不可	
2	TGIA_2	TGRA_2のインプットキャプチャ/コンペアマッチ	TGFA_2	可	可	
	TGIB_2	TGRB_2のインプットキャプチャ/コンペアマッチ	TGFB_2	不可	可	
	TCIV_2	TCNT_2のオーバフロー	TCFV_2	不可	不可	
	TCIU_2	TCNT_2のアンドフロー	TCFU_2	不可	不可	
3	TGIA_3	TGRA_3のインプットキャプチャ/コンペアマッチ	TGFA_3	可	可	
	TGIB_3	TGRB_3のインプットキャプチャ/コンペアマッチ	TGFB_3	不可	可	
	TGIC_3	TGRC_3のインプットキャプチャ/コンペアマッチ	TGFC_3	不可	可	
	TGID_3	TGRD_3のインプットキャプチャ/コンペアマッチ	TGFD_3	不可	可	
	TCIV_3	TCNT_3のオーバフロー	TCFV_3	不可	不可	

チャネル	名称	割り込み要因	割り込みフラグ	DMACの起動	DTCの起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可	可	
	TGIC_4	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	不可	可	
	TGID_4	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	不可	可	
	TCIV_4	TCNT_4 のオーバーフロー / アンダフロー	TCFV_4	不可	可	
5	TGIU_5	TGRU_5 のインプットキャプチャ / コンペアマッチ	TGFU_5	不可	可	低
	TGIV_5	TGRV_5 のインプットキャプチャ / コンペアマッチ	TGFV_5	不可	可	
	TGIW_5	TGRW_5 のインプットキャプチャ / コンペアマッチ	TGFW_5	不可	可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、チャンネル 5 に各 3 本、計 21 本のインプットキャプチャ / コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバーフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、各チャンネルに 1 本、計 5 本のオーバーフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

12.5.2 DTC/DMAC の起動

(1) DTC の起動

各チャンネルの TGR のインプットキャプチャ/コンペアマッチ割り込み、チャンネル 4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

MTU2 では、チャンネル 0、3 が各 4 本、チャンネル 1、2 が各 2 本、チャンネル 4 が 5 本、チャンネル 5 が 3 本、計 20 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU2 では、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

12.5.3 A/D 変換器の起動

MTU2 では、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 12.58 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で MTU2 の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で MTU2 の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCRC) の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 12.58 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ/コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

12.6 動作タイミング

12.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.93、図 12.94 に示します。また、外部クロック動作 (ノーマルモード) の場合の TCNT のカウントタイミングを図 12.95 に、外部クロック動作 (位相計数モード) の場合の TCNT のカウントタイミングを図 12.96 に示します。

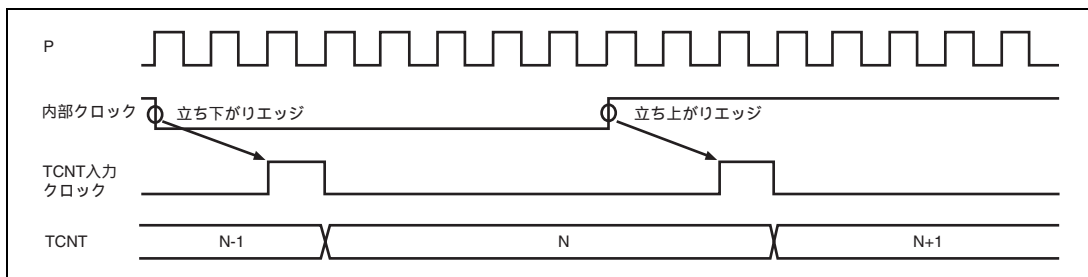


図 12.93 内部クロック動作時のカウントタイミング (チャンネル0~4)

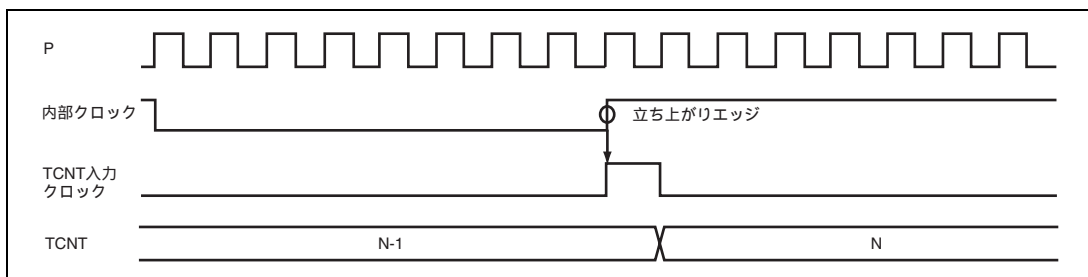


図 12.94 内部クロック動作時のカウントタイミング (チャンネル5)

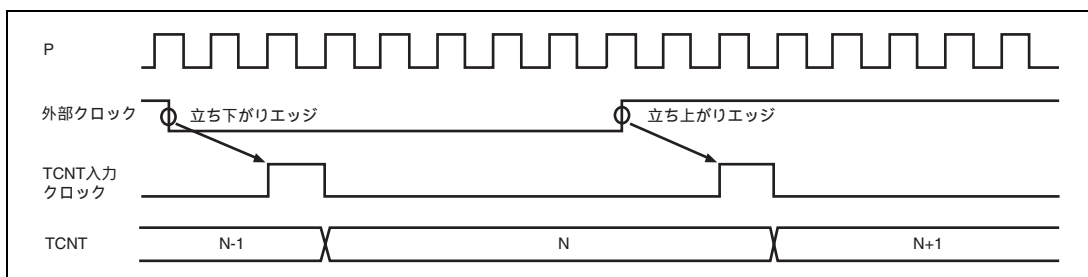


図 12.95 外部クロック動作時のカウントタイミング (チャンネル0~4)

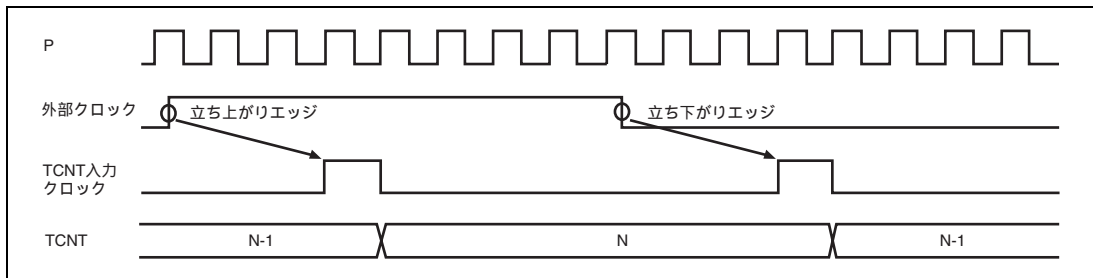


図 12.96 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 12.97 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 12.98 に示します。

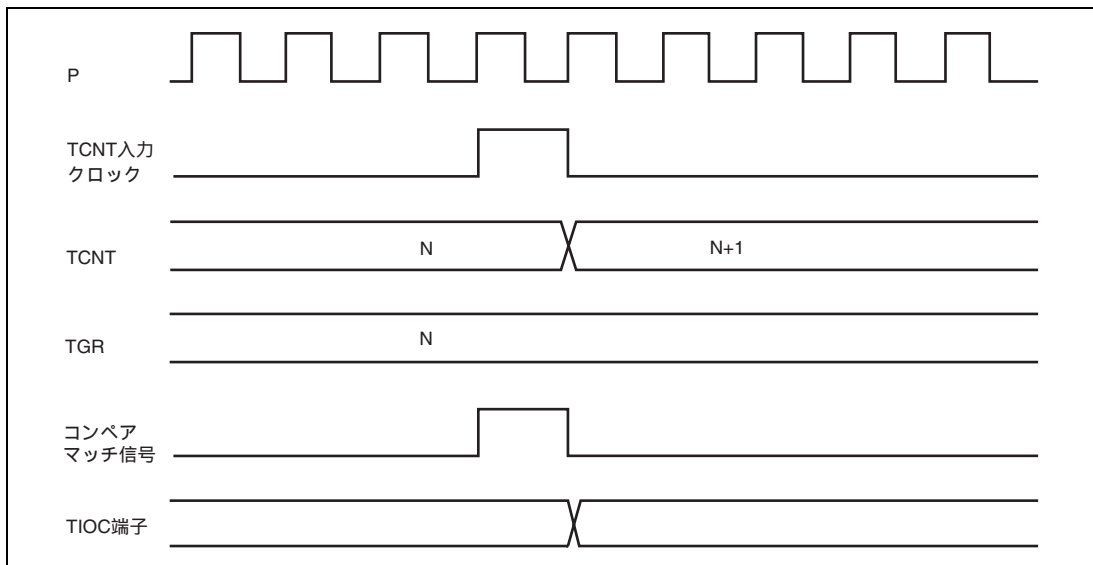


図 12.97 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

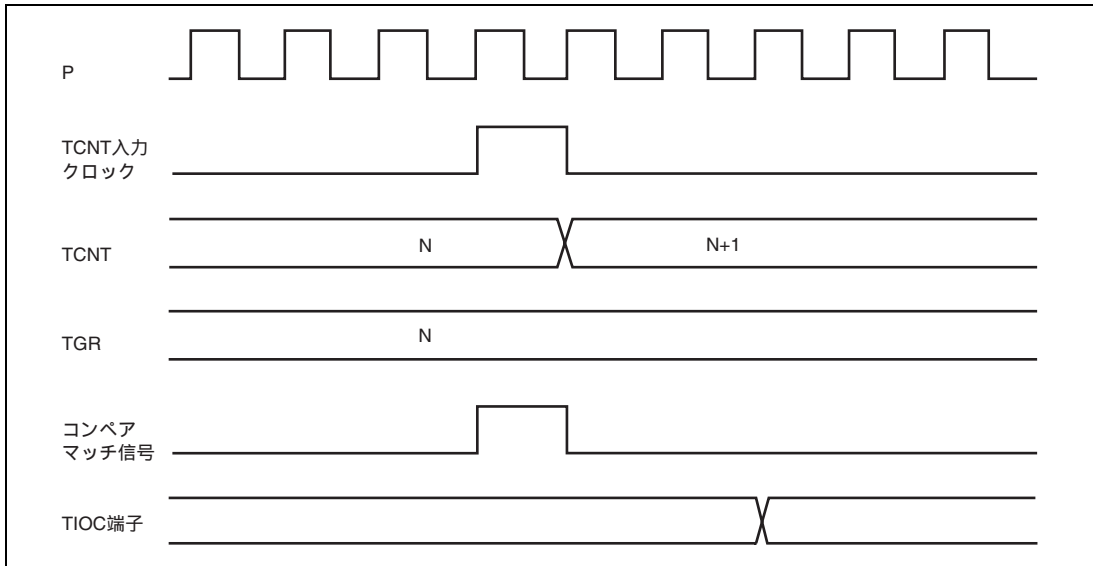


図 12.98 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 12.99 に示します。

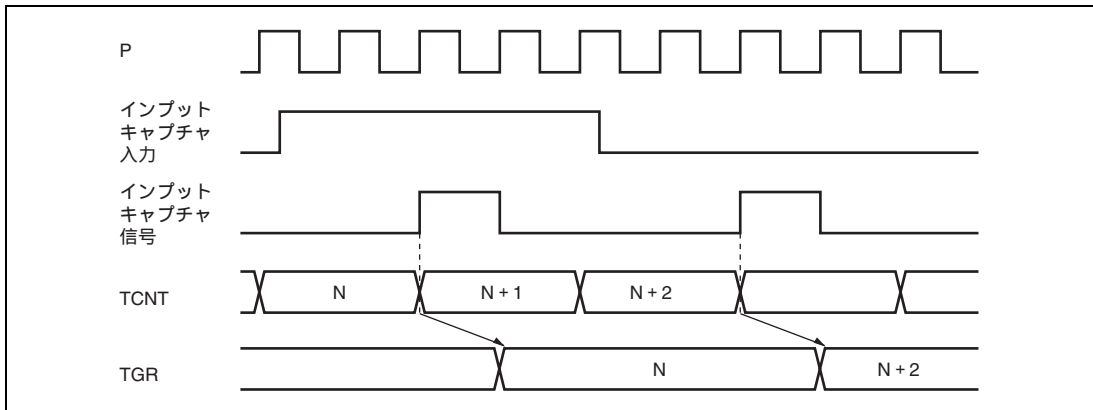


図 12.99 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 12.100、図 12.101 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 12.102 に示します。

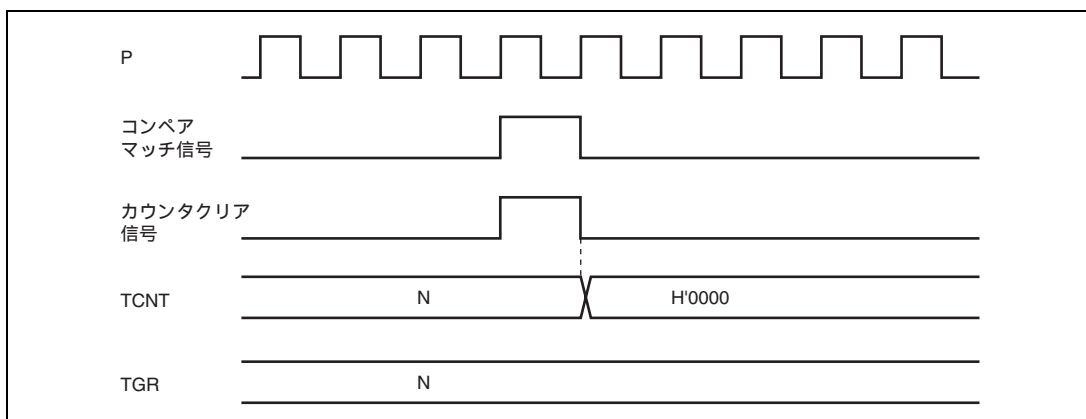


図 12.100 カウンタクリアタイミング (コンペアマッチ) (チャンネル0~4)

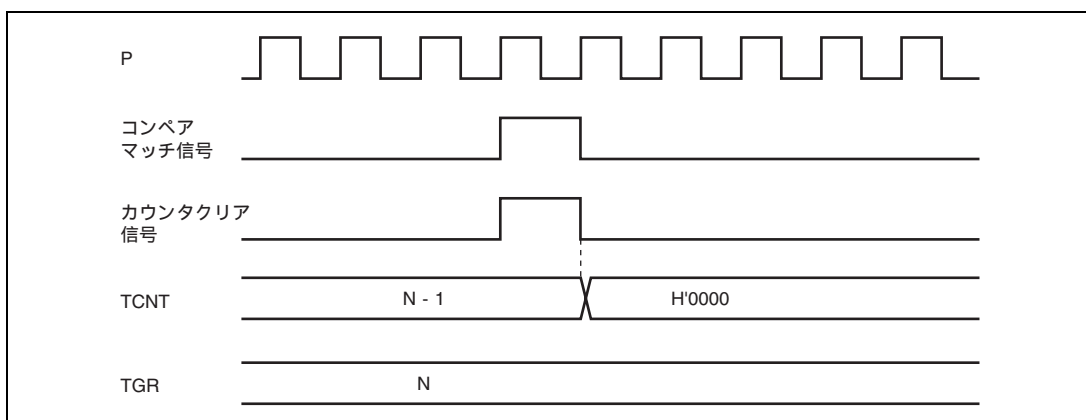


図 12.101 カウンタクリアタイミング (コンペアマッチ) (チャンネル5)

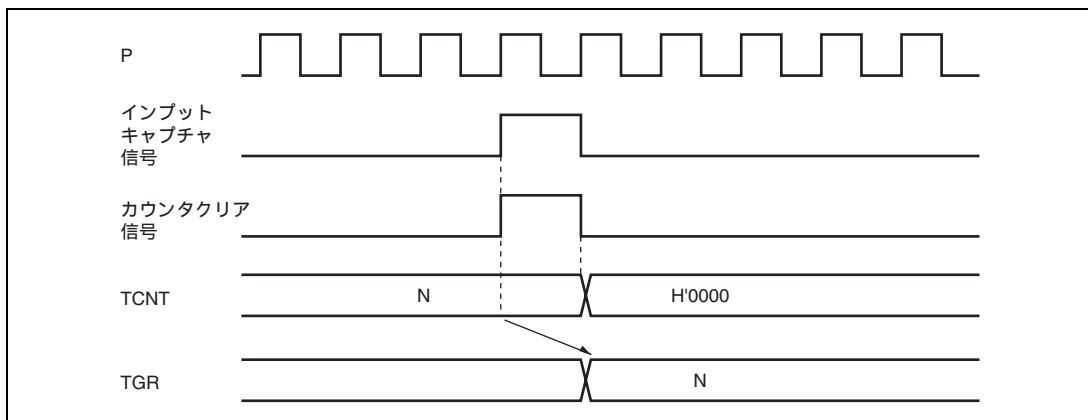


図 12.102 カウンタクリアタイミング (インプットキャプチャ) (チャンネル0~5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 12.103~図 12.105 に示します。

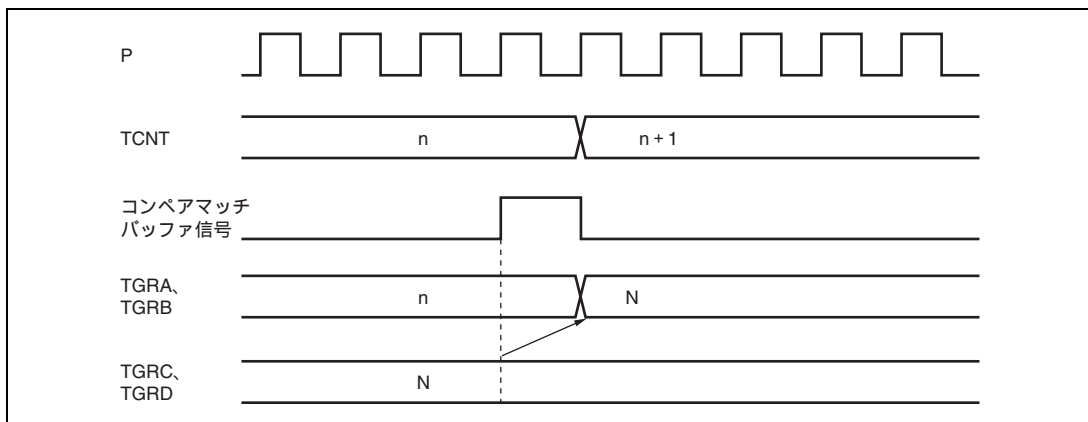


図 12.103 バッファ動作タイミング (コンペアマッチ)

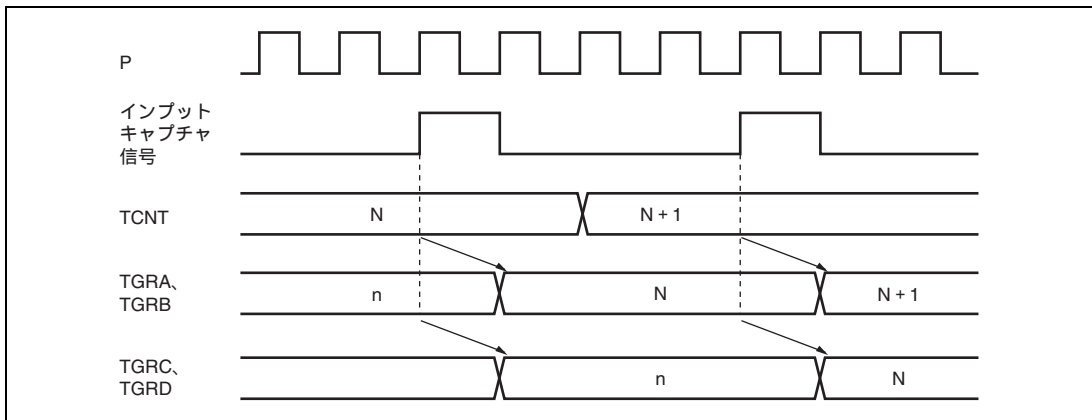


図 12.104 バッファ動作タイミング (インプットキャプチャ)

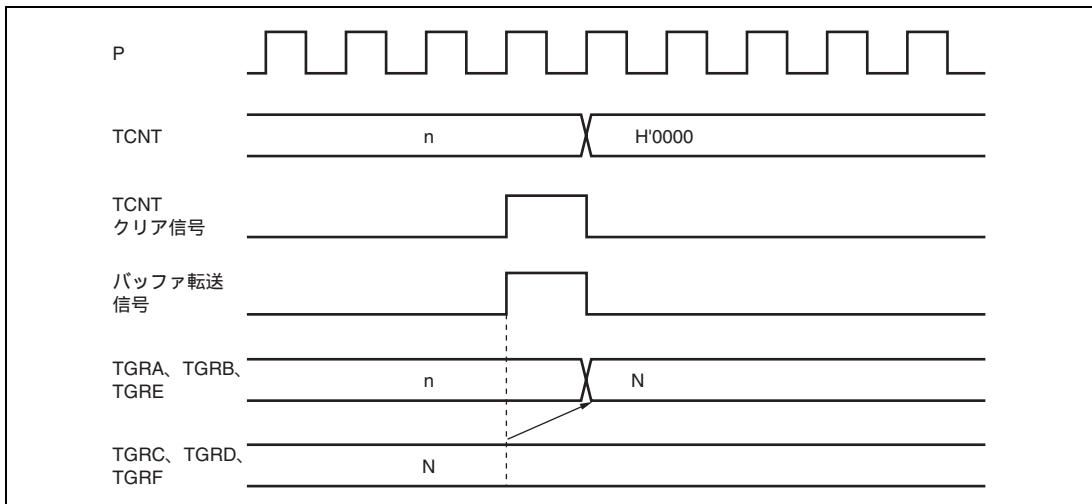


図 12.105 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 12.106 ~ 図 12.108 に示します。

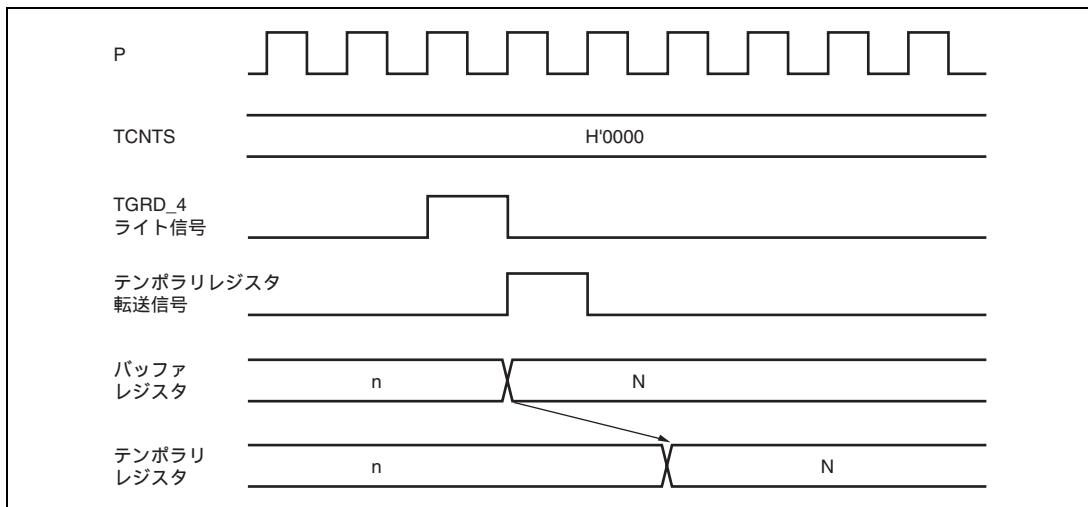


図 12.106 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

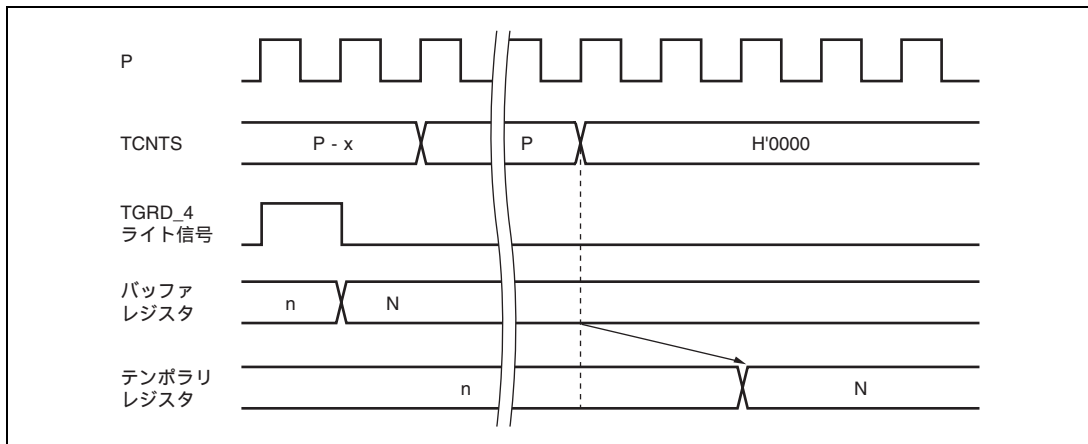


図 12.107 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

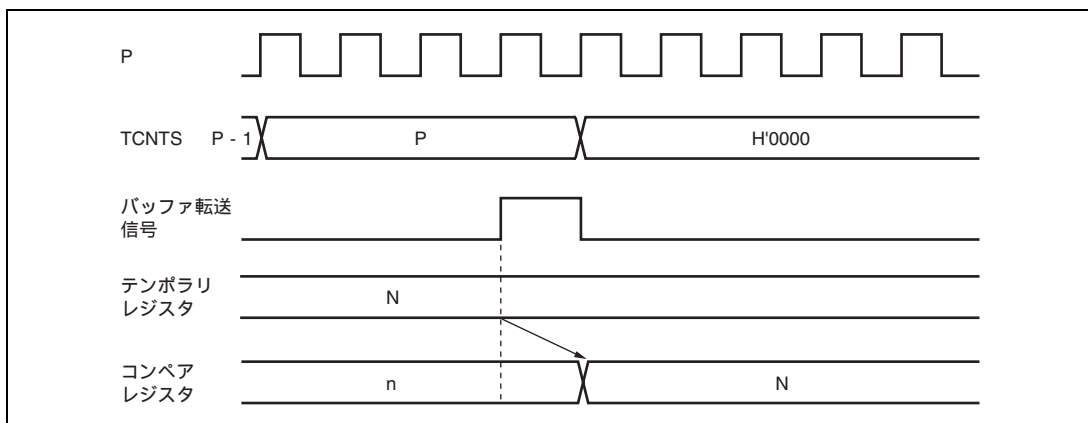


図 12.108 テンポラリレジスタからコンペアレジスタへの転送タイミング

12.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.109、図 12.110 に示します。

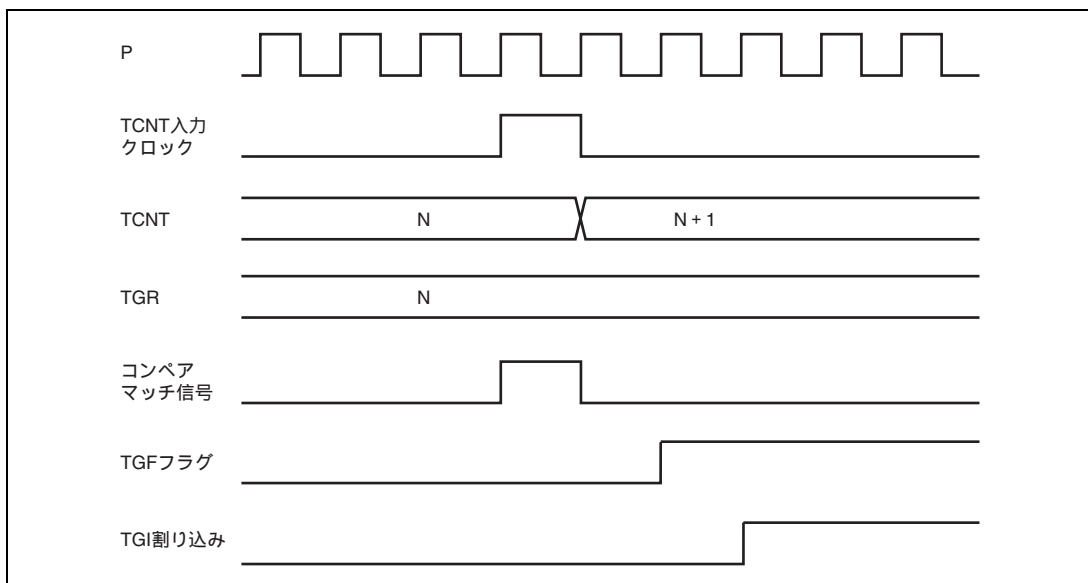


図 12.109 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 0~4)

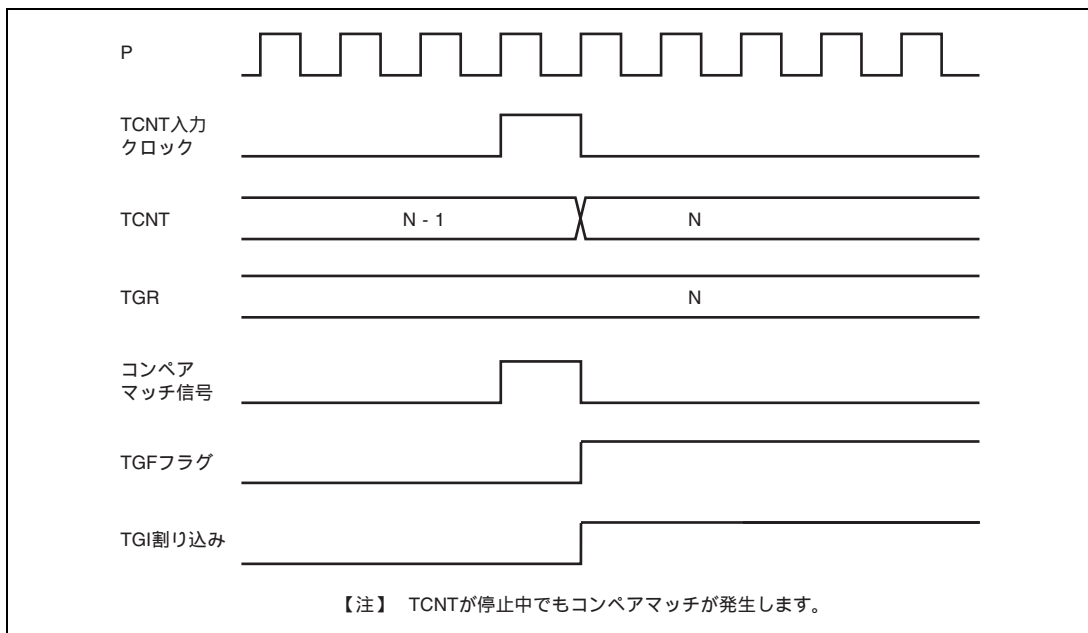


図 12.110 TGI 割り込みタイミング (コンペアマッチ) (チャンネル5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.111、図 12.112 に示します。

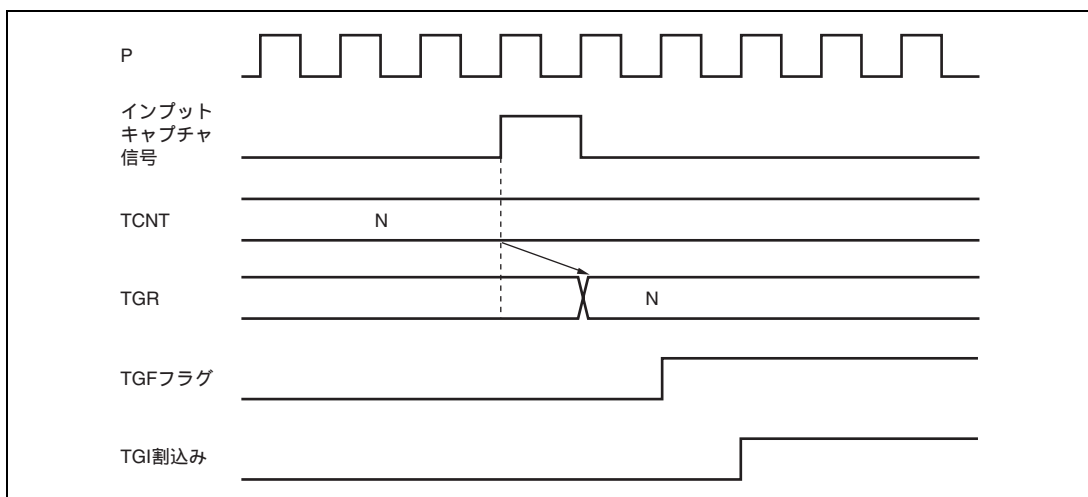


図 12.111 TGI 割り込みタイミング (インพุットキャプチャ) (チャンネル0~4)

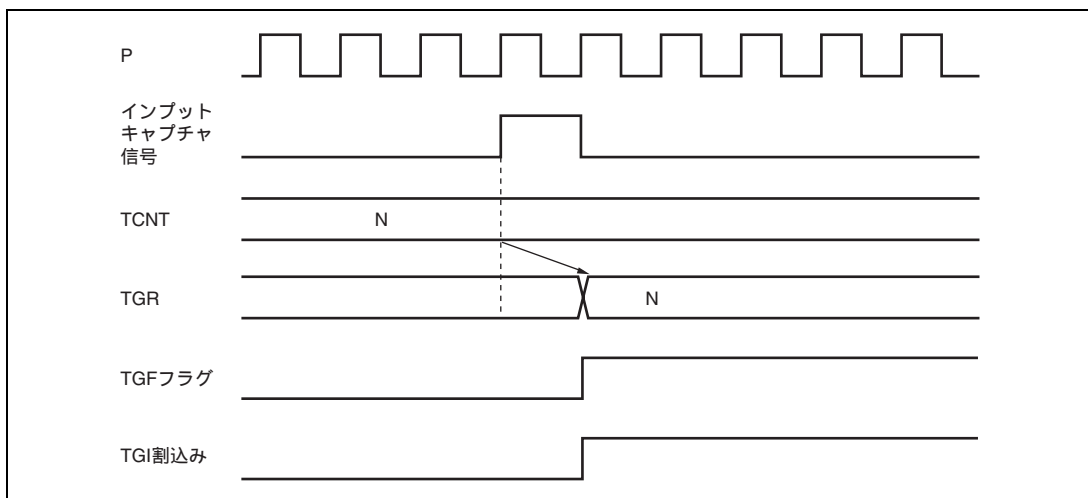


図 12.112 TGI 割り込みタイミング (インプットキャプチャ) (チャンネル 5)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 12.113 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 12.114 に示します。

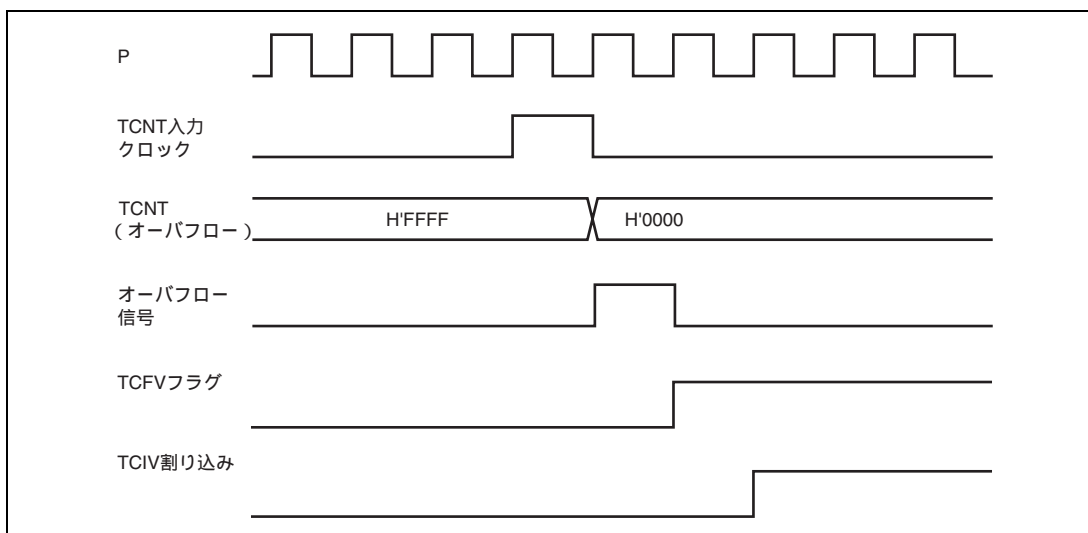


図 12.113 TCIV 割り込みのセットタイミング

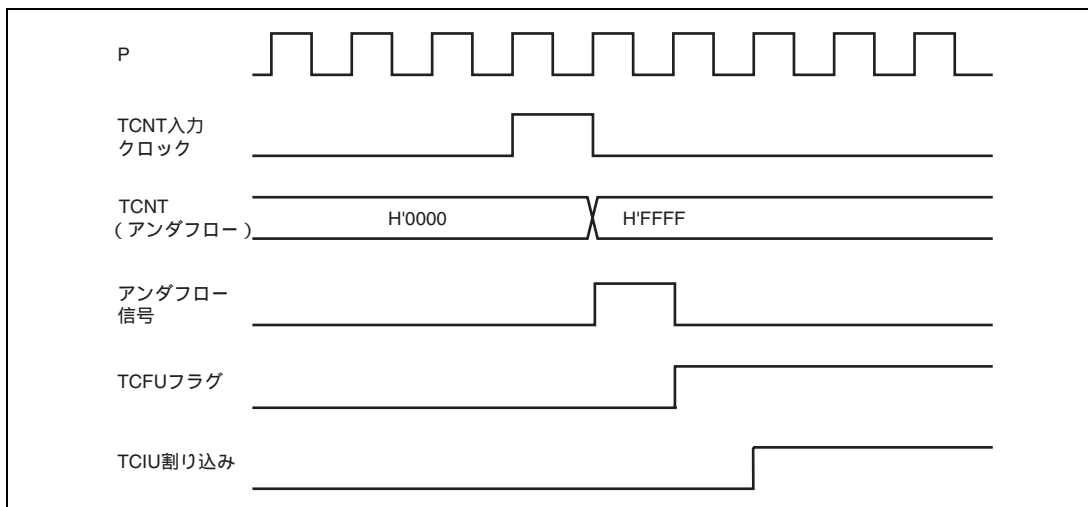


図 12.114 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTC/DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図 12.115、図 12.116 に、DTC/DMACによるステータスフラグのクリアのタイミングを図 12.117 ~ 図 12.119 に示します。

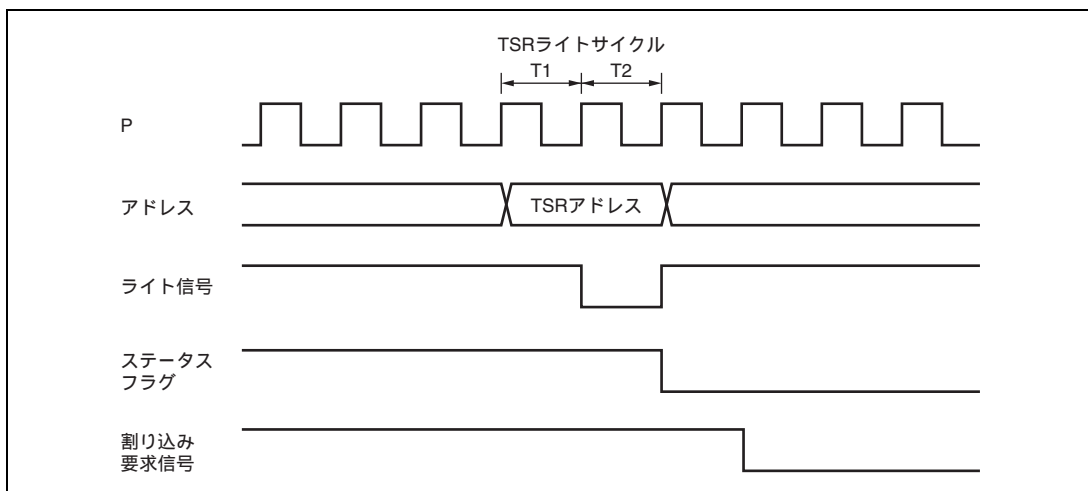


図 12.115 CPUによるステータスフラグのクリアタイミング (チャンネル0~4)

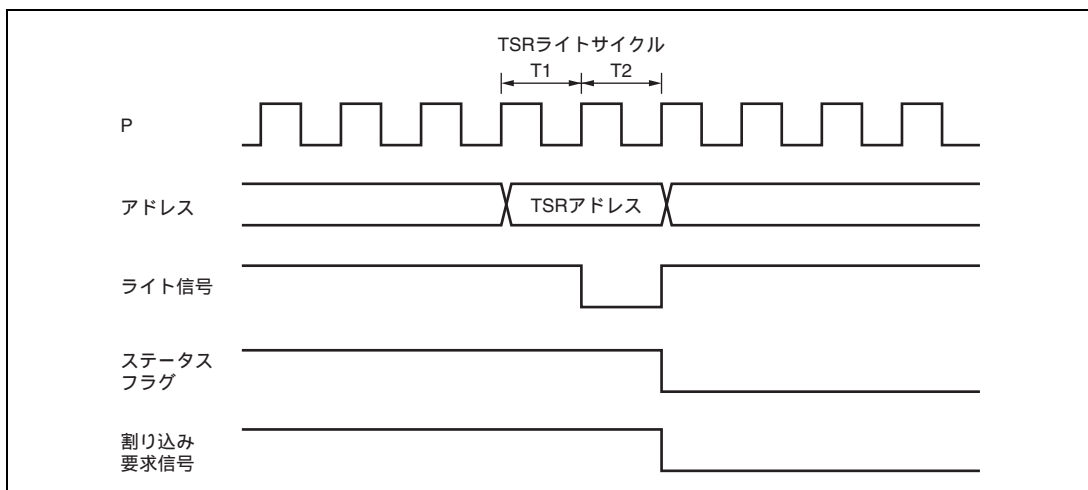


図 12.116 CPU によるステータスフラグのクリアタイミング (チャンネル5)

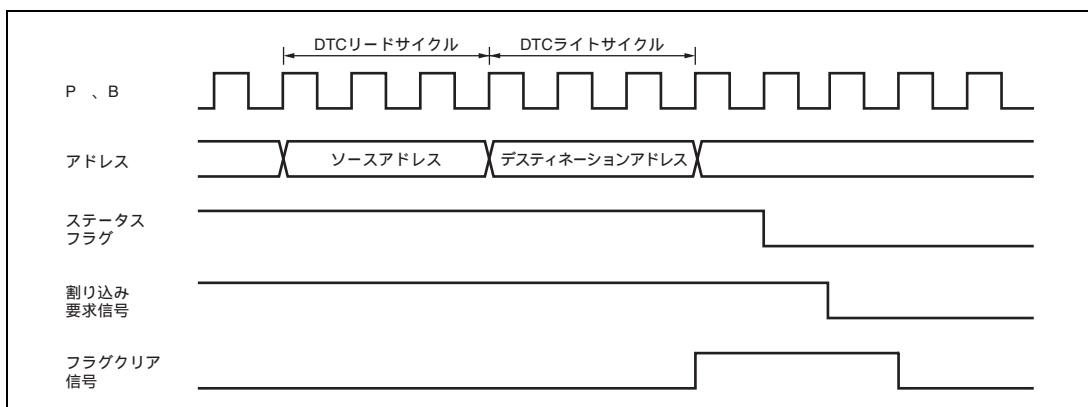


図 12.117 DTC の起動によるステータスフラグのクリアタイミング (チャンネル0~4)

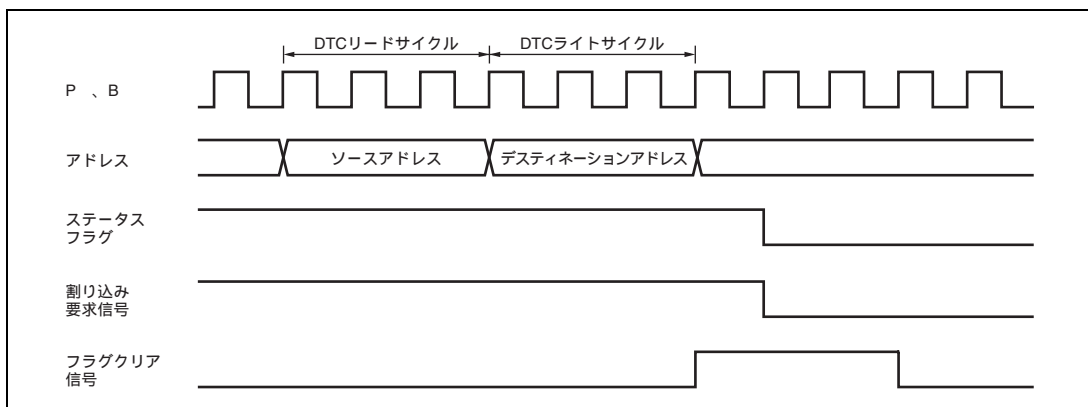


図 12.118 DTC の起動によるステータスフラグのクリアタイミング (チャンネル5)

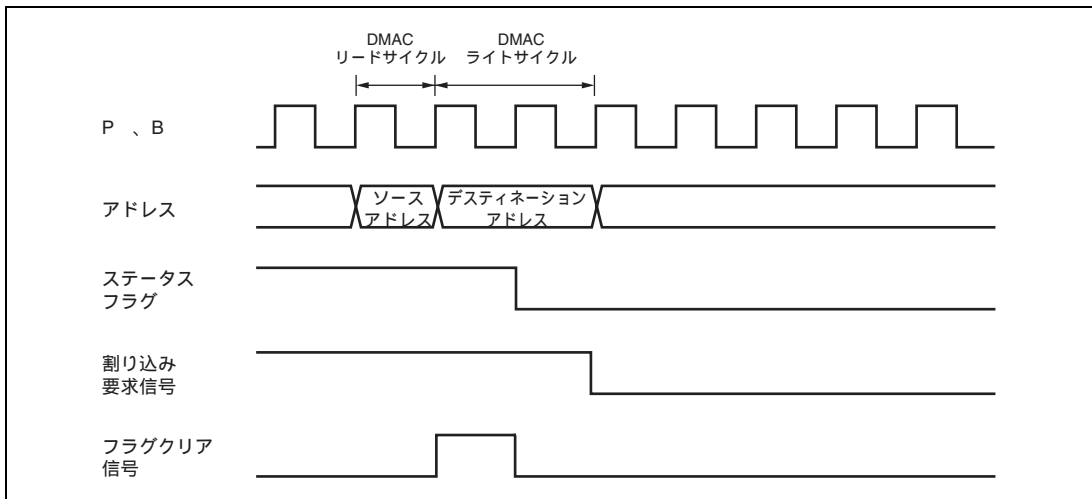


図 12.119 DMAC の起動によるステータスフラグのクリアタイミング

12.7 使用上の注意事項

12.7.1 モジュールスタンバイモードの設定

MTU2 は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、MTU2 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

12.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 12.120 に示します。

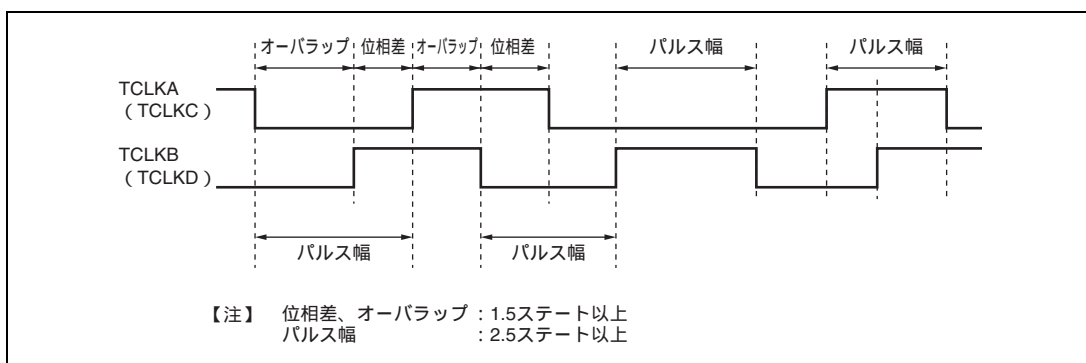


図 12.120 位相計数モード時の位相差、オーバーラップ、およびパルス幅

12.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- チャンネル0～4の場合

$$f = \frac{P}{(N+1)}$$

- チャンネル5の場合

$$f = \frac{P}{N}$$

f : カウンタ周波数

P : MTU2 クロック動作周波数

N : TGR の設定値

12.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 12.121 に示します。

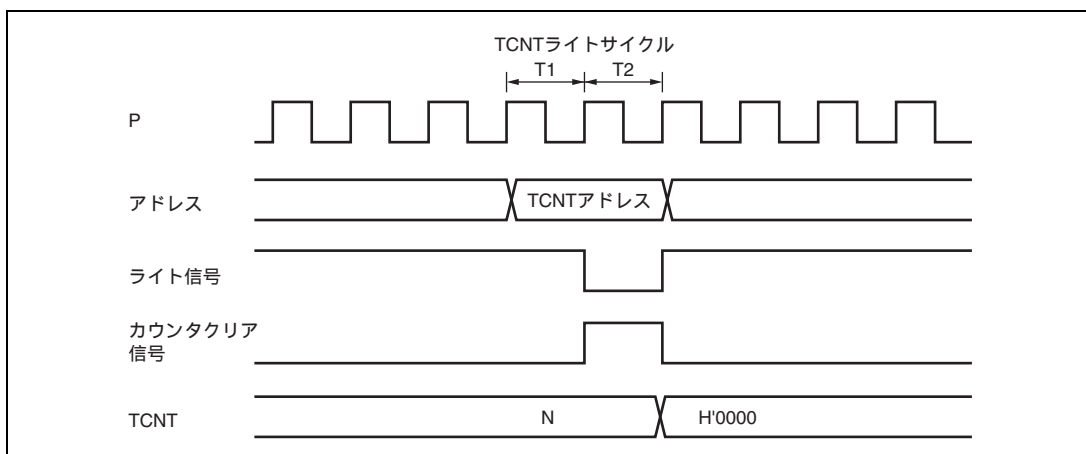


図 12.121 TCNT のライトとクリアの競合

12.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 12.122 に示します。

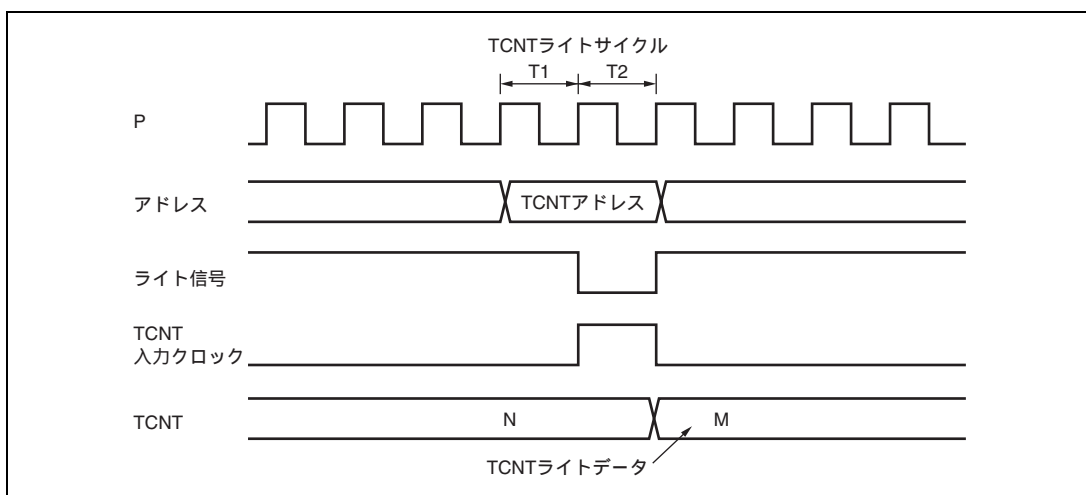


図 12.122 TCNT のライトとカウントアップの競合

12.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 12.123 に示します。

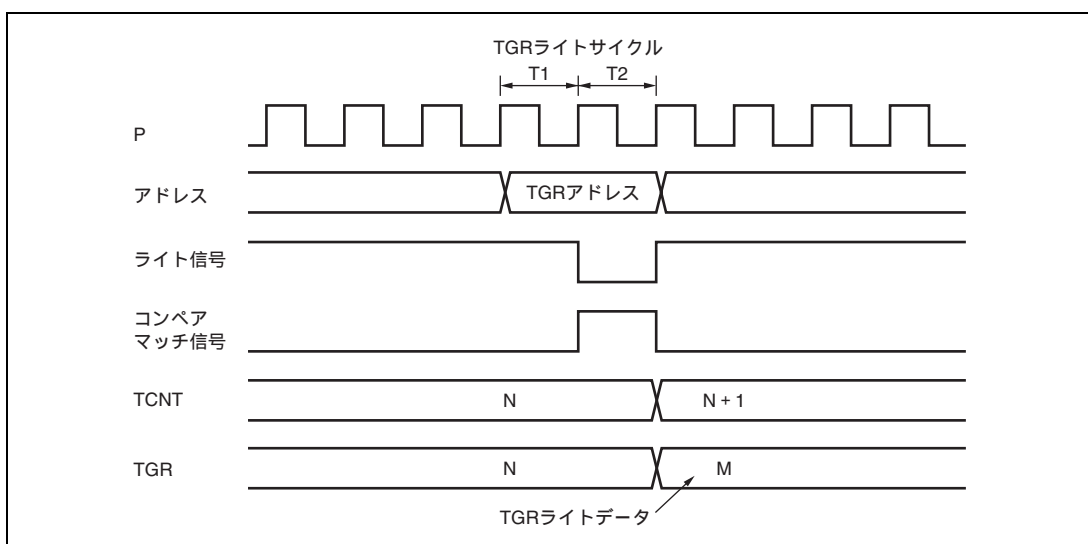


図 12.123 TGR のライトとコンペアマッチの競合

12.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 12.124 に示します。

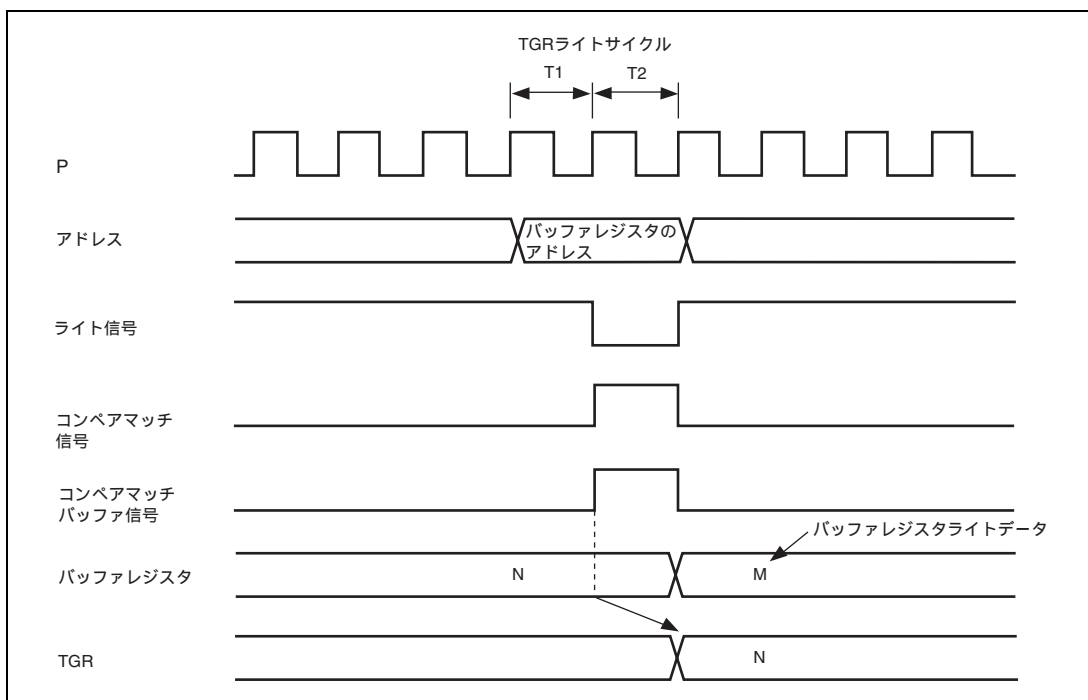


図 12.124 バッファレジスタのライトとコンペアマッチの競合

12.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 12.125 に示します。

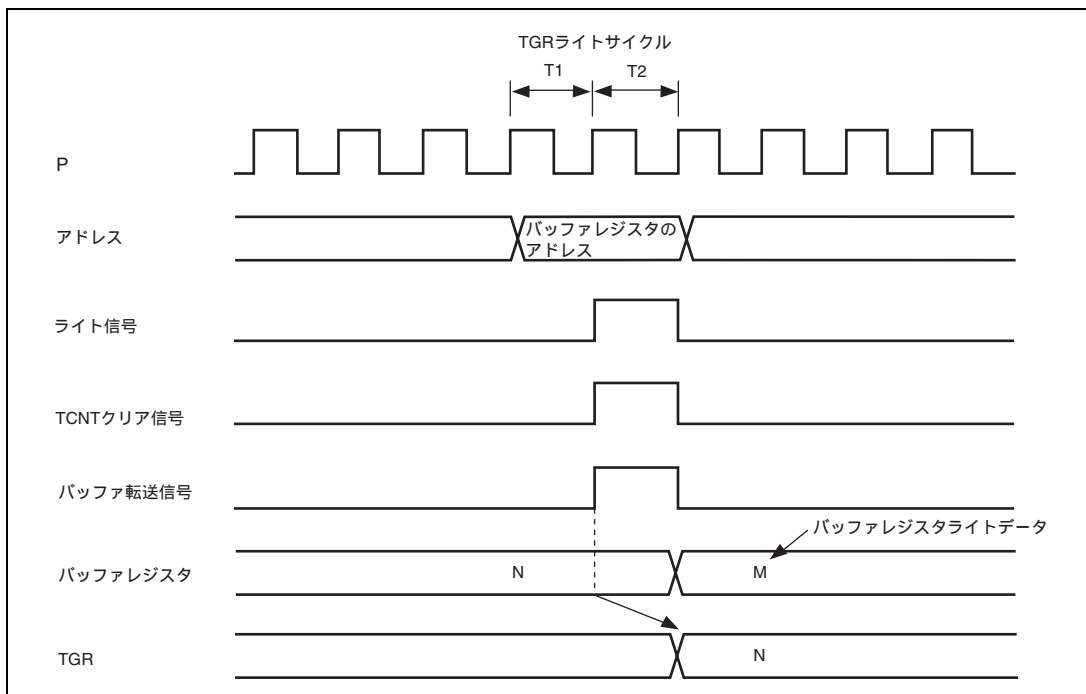


図 12.125 バッファレジスタのライトと TCNT クリアの競合

12.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、チャンネル 0~4 ではインプットキャプチャ転送前のデータとなり、チャンネル 5 ではインプットキャプチャ転送後のデータとなります。

このタイミングを図 12.126、図 12.127 に示します。

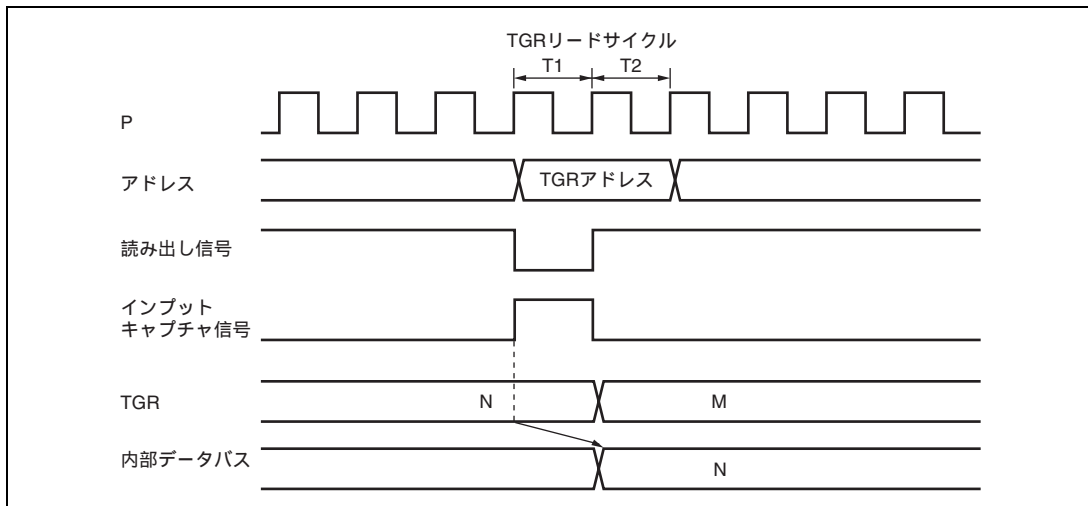


図 12.126 TGR のリードとインプットキャプチャの競合 (チャンネル 0~4)

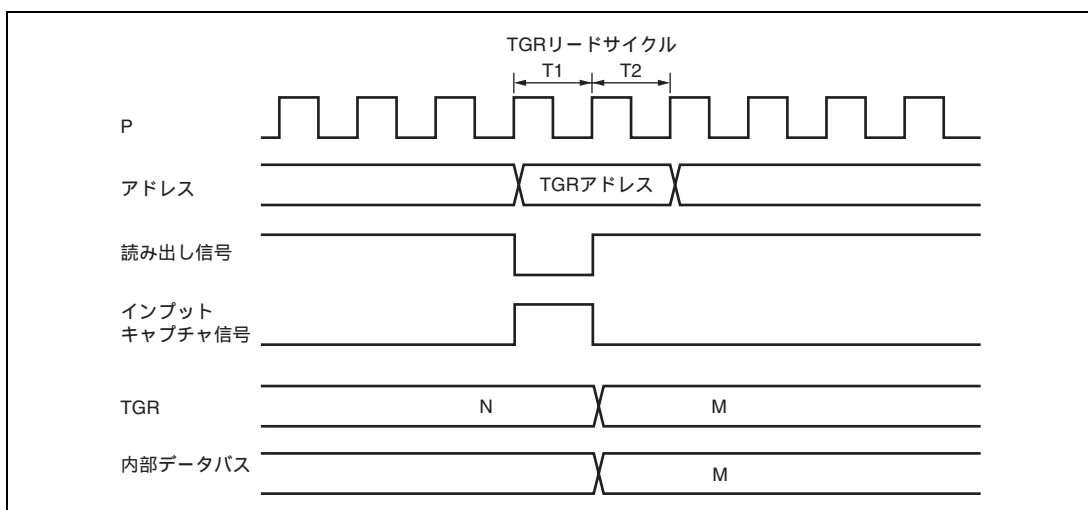


図 12.127 TGR のリードとインプットキャプチャの競合 (チャンネル 5)

12.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、チャンネル 0~4 では TGR へのライトは行われず、インプットキャプチャが優先され、チャンネル 5 では TGR へのライトが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 12.128、図 12.129 に示します。

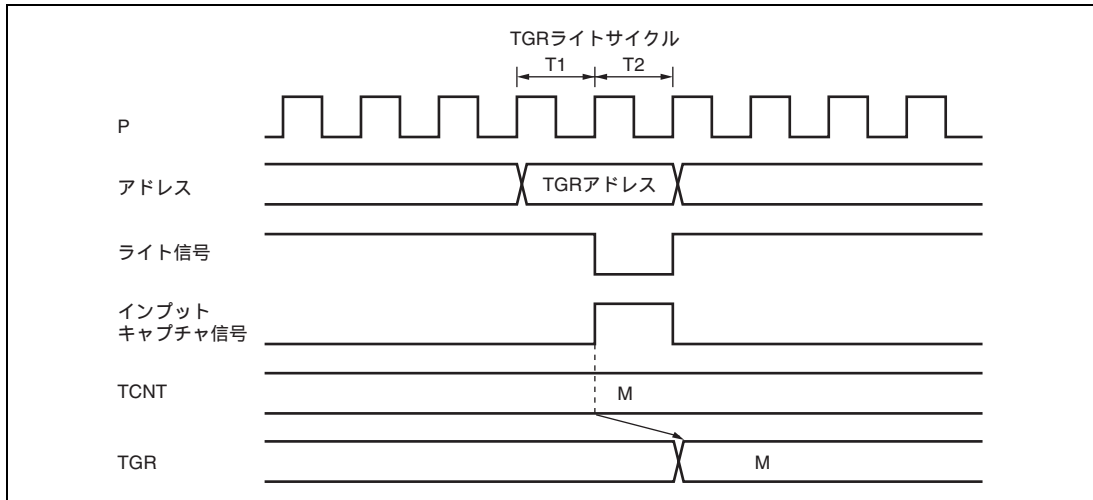


図 12.128 TGR のライトとインプットキャプチャの競合 (チャンネル 0~4)

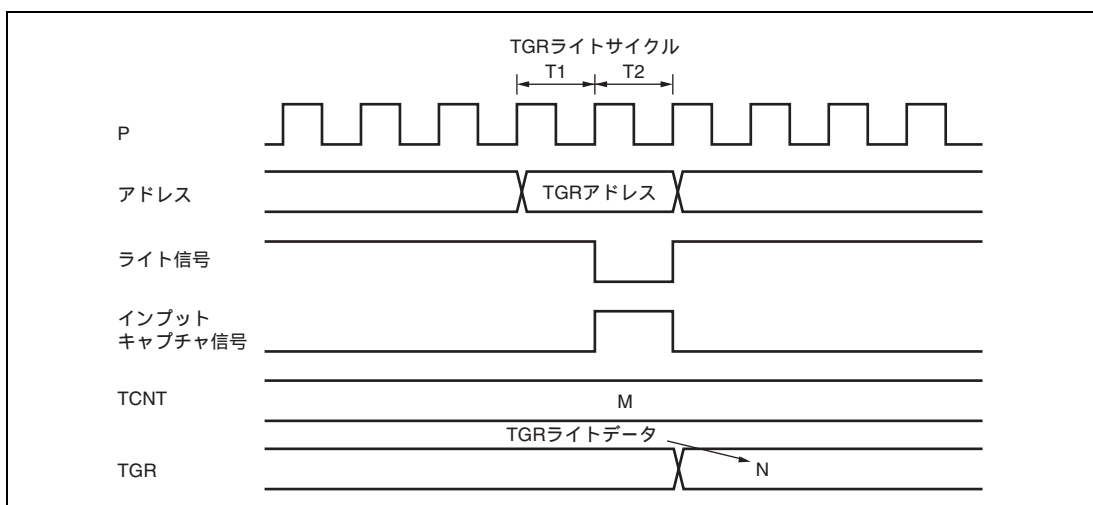


図 12.129 TGR のライトとインプットキャプチャの競合 (チャンネル 5)

12.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 12.130 に示します。

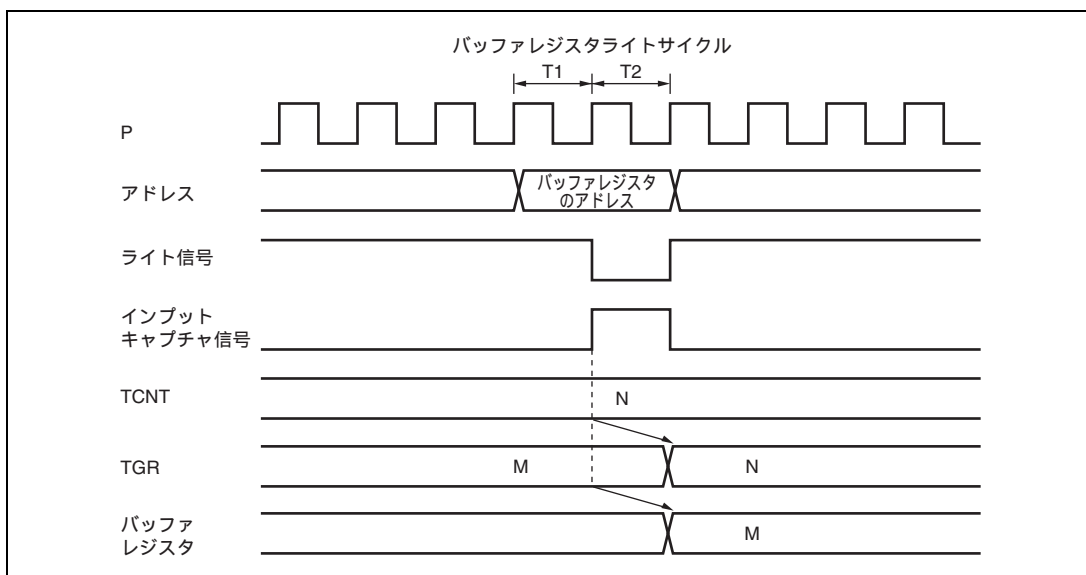


図 12.130 バッファレジスタのライトと入力キャプチャの競合

12.7.12 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGRC_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 12.131 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

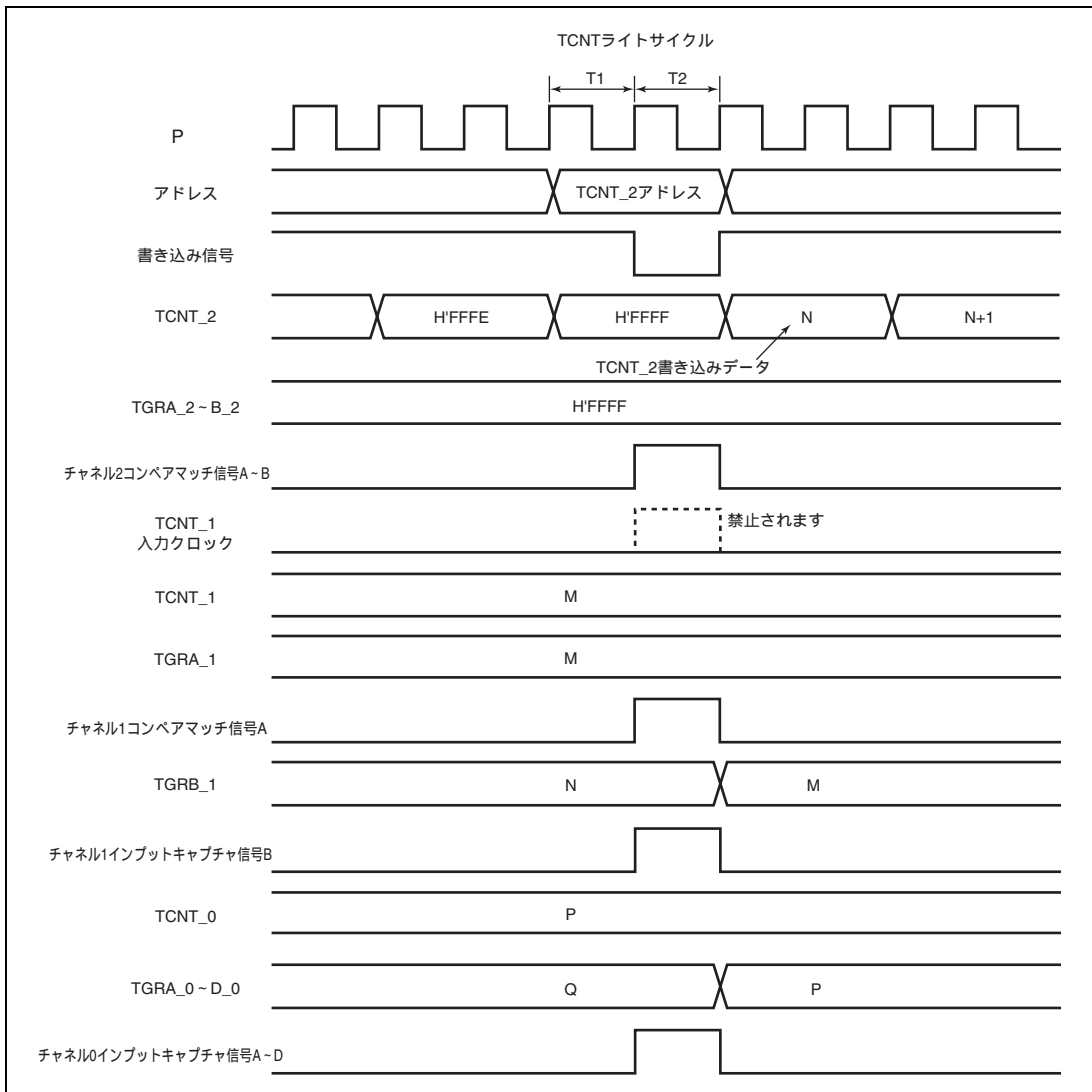


図 12.131 カスケード接続における TCNT_2 のライトとオーバーフロー/アンダフローの競合

12.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 12.132 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

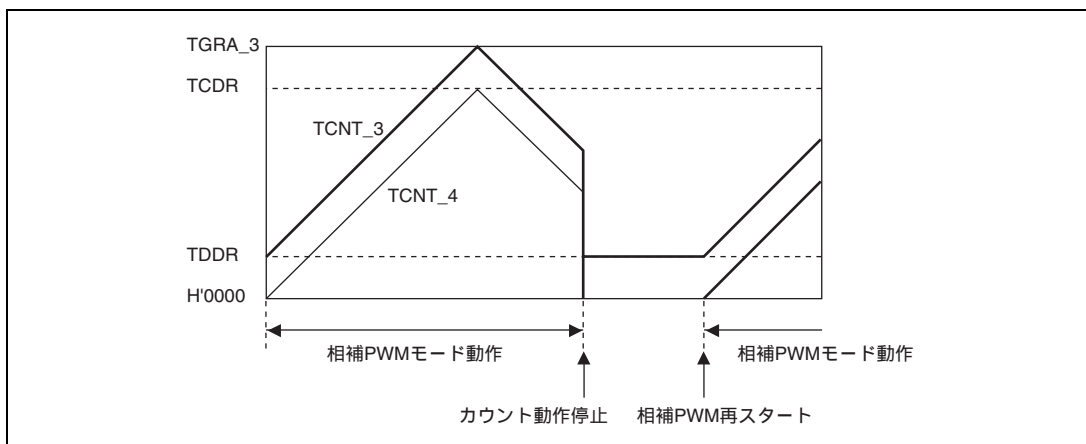


図 12.132 相補 PWM モード停止時のカウンタ値

12.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

12.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 12.133 に示します。

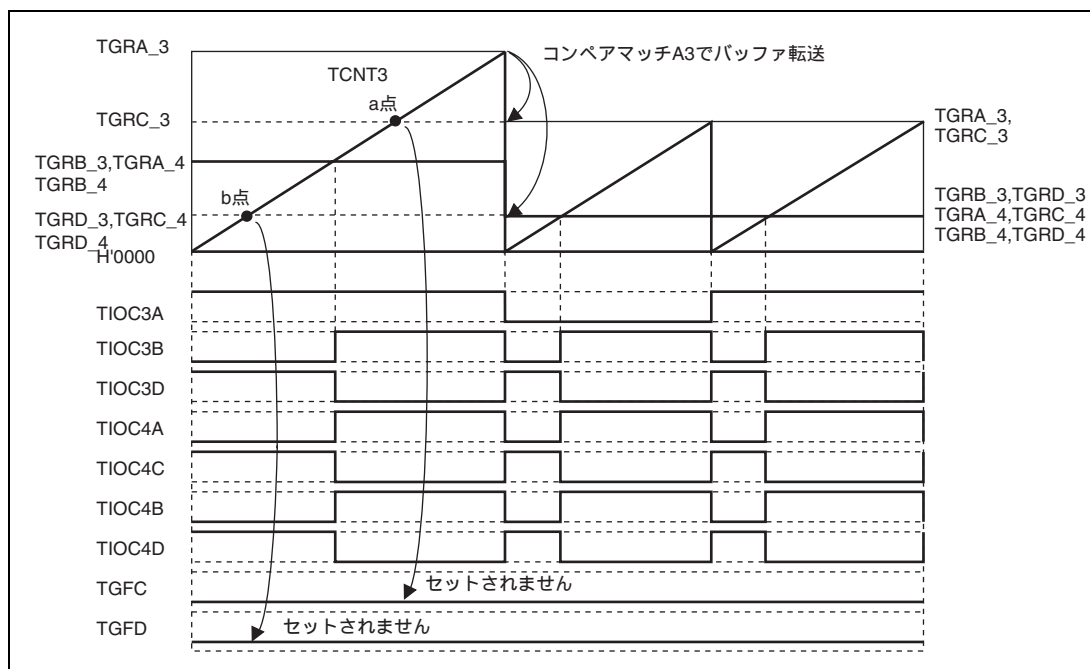


図 12.133 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

12.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 12.134 に示します。

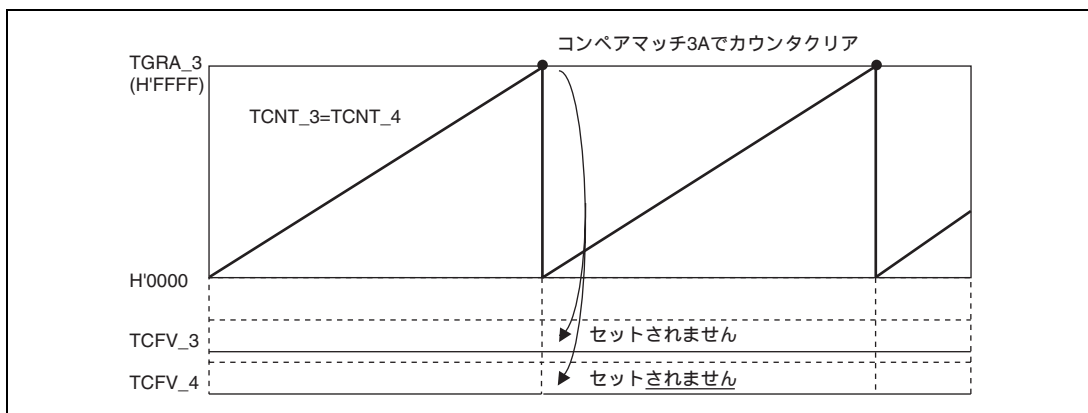


図 12.134 リセット同期 PWM モードのオーバーフローフラグ

12.7.17 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 12.135 に示します。

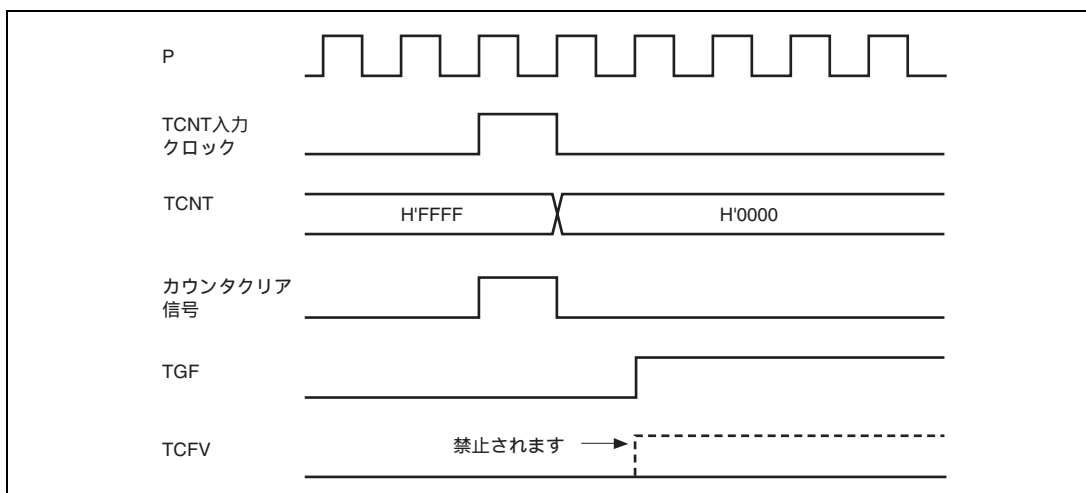


図 12.135 オーバフローとカウンタクリアの競合

12.7.18 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 12.136 に示します。

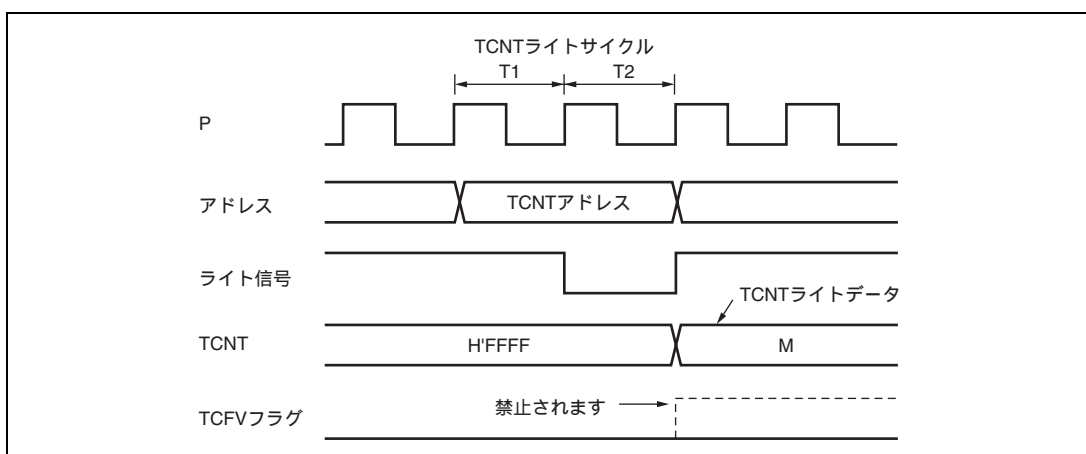


図 12.136 TCNT のライトとオーバフローの競合

12.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル 3、4 の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D) をハイレベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4 レジスタに H'11 を書いて出力端子をローレベルに初期化した後、レジスタの初期値 H'00 を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値 H'00 を設定してからリセット同期 PWM モードに遷移してください。

12.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル 3、4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ (TOCR) の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR は H'00 としてください。

12.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPU の割り込み要因、または DTC/DMAC の起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ 1、2 (TCNT_1 と TCNT_2) をカスケード接続して、32 ビットカウンタとして動作させている場合、TIOC1A と TIOC2A、または TIOC1B と TIOC2B に同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2 に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、または TIOC1B と TIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1 (上位 16 ビットのカウンタ) が TCNT_2 (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは TCNT_1=H'FFF1、TCNT_2=H'0000 の値を TGRA_1 と TGRA_2、もしくは TGRB_1 と TGRB_2 に転送すべきところを誤って TCNT_1=H'FFF0、TCNT_2=H'0000 の値を転送します。

MTU2 では、1 本のインプットキャプチャ入力で TCNT_1 と TCNT_2 を同時にキャプチャできる機能を追加しており、本機能を使用すれば TCNT_1 と TCNT_2 のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は「12.3.8 タイマインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

12.7.23 相補 PWM モードでの同期カウンタクリア時の出力波形制御

相補 PWM モードにて、同期カウンタクリア時の出力波形制御を有効 (TWCR レジスタの WRE = 1) とした状態で、条件 (1)、条件 (2) のいずれかを満たすと、現象 (1)、現象 (2) が発生するので、回避策を実施してください。

条件 (1) : 初期出力の抑止期間 にて、PWM 出力がデッドタイム期間中に同期クリアする (図 12.137)。

条件 (2) : 初期出力の抑止期間 、にて、TGRB_3 TDDR、TGRA_4 TDDR、TGRB_4 TDDR のいずれかが成立する状態で同期クリアする (図 12.138)。

現象 (1) : PWM 出力端子のデッドタイムが短くなる (または消失)。

現象 (2) : PWM 逆相出力端子からアクティブレベル出力期間以外でアクティブレベルが出力される。

回避策 : TGRB_3 TDDR × 2、TGRA_4 TDDR × 2、TGRB_4 TDDR × 2 のすべてが成立する状態で同期クリアする。

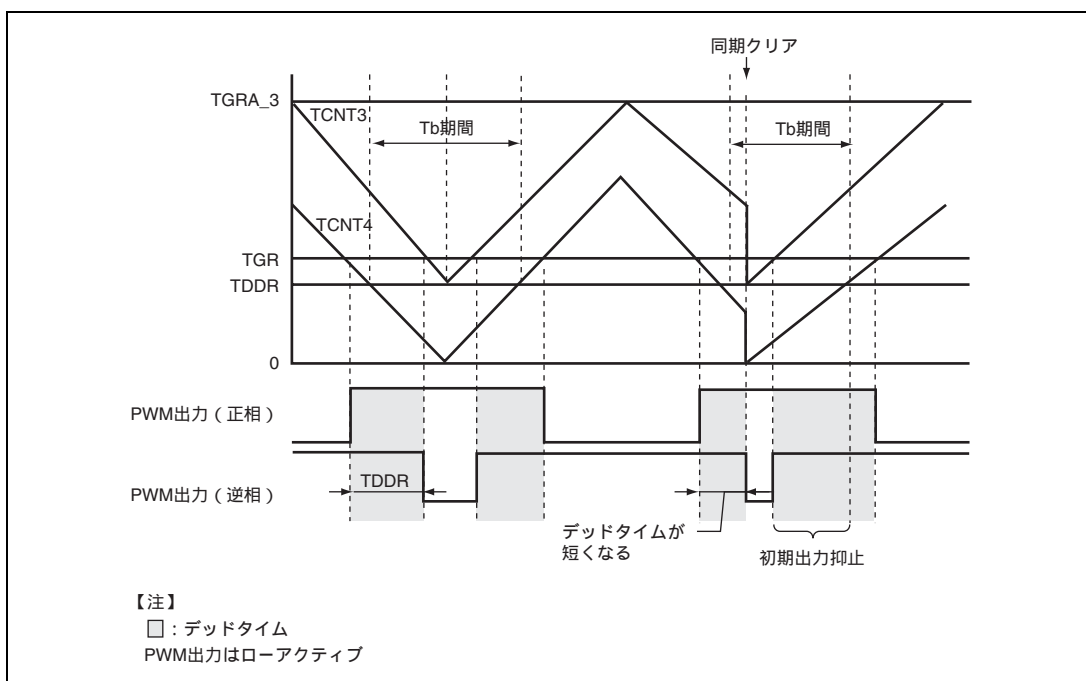


図 12.137 条件 (1) のクリア例

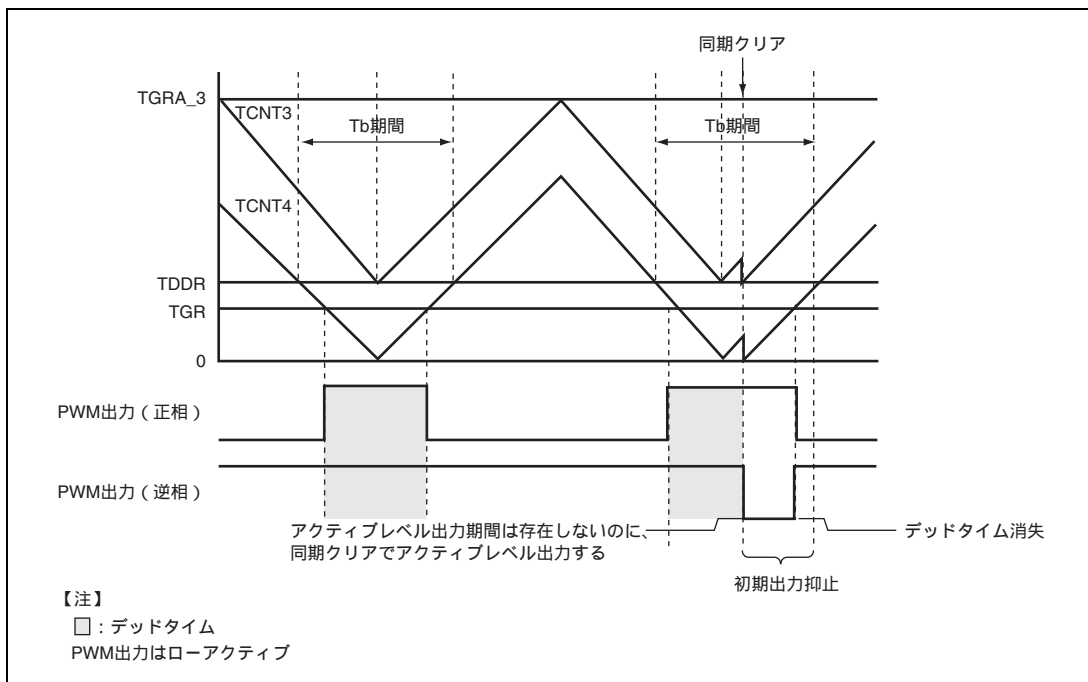


図 12.138 条件 (2) のクリア例

12.8 MTU2 出力端子の初期化方法

12.8.1 動作モード

MTU2 には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの MTU2 出力端子の初期化方法について示します。

12.8.2 リセットスタート時の動作

MTU2 の出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。リセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

12.8.3 動作中の異常などによる再設定時の動作

MTU2 の動作中に異常が発生した場合、システムで MTU2 の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り換え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU2 には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 12.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 12.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

12.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2に遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインエーブルレジスタ (TOER) でチャンネル 3、4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 12.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.139 に示します。

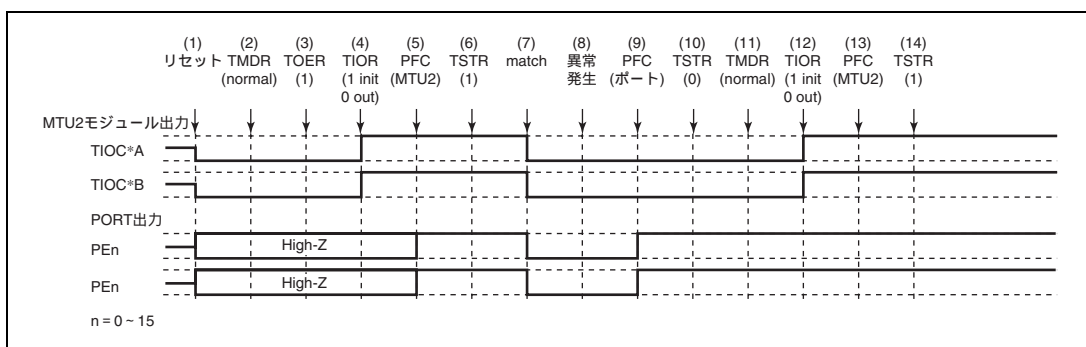


図 12.139 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.140 に示します。

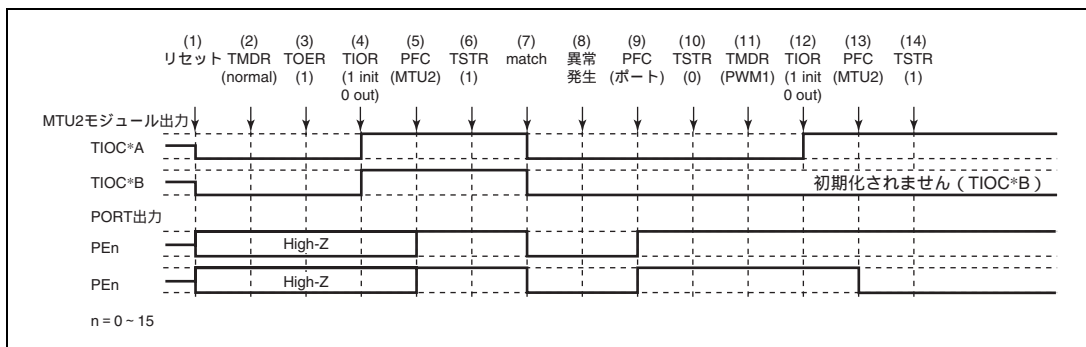


図 12.140 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.139 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.141 に示します。

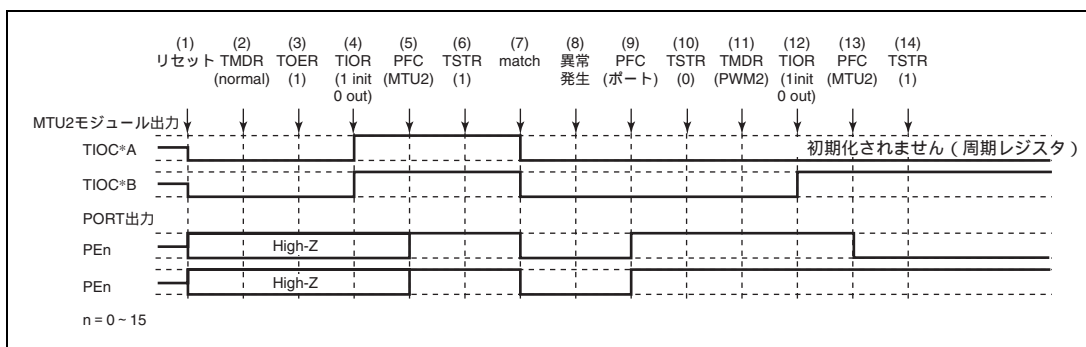


図 12.141 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.139 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOC で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再起動する場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 12.142 に示します。

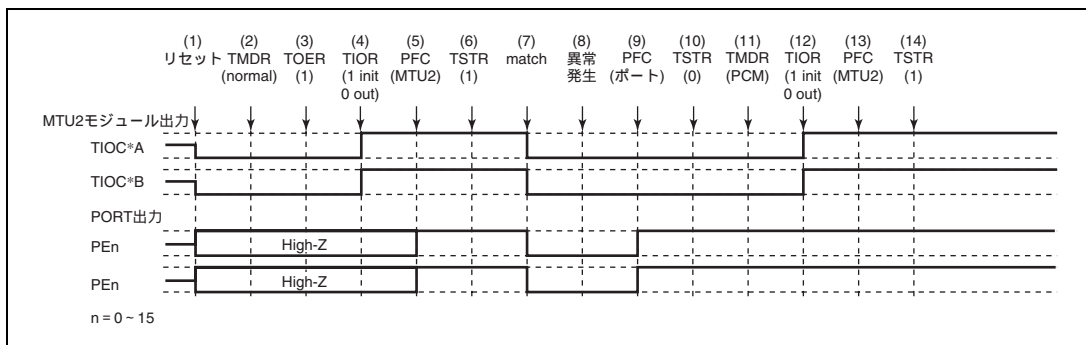


図 12.142 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 12.139 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再起動します。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.143 に示します。

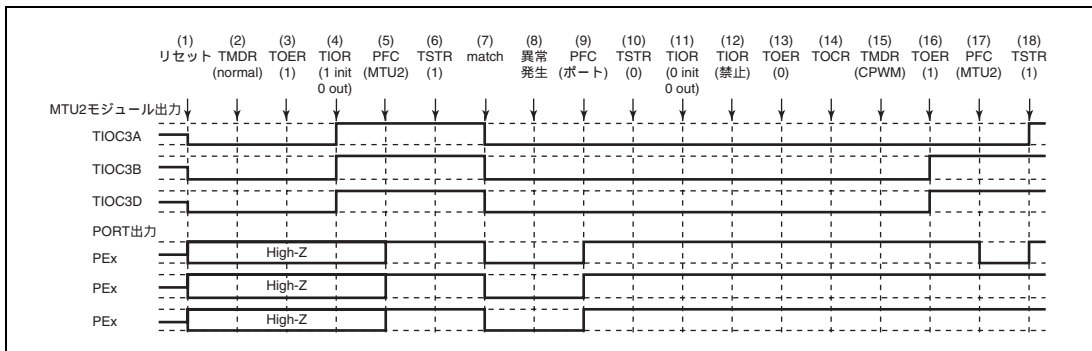


図 12.143 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.139 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU2 出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.144 に示します。

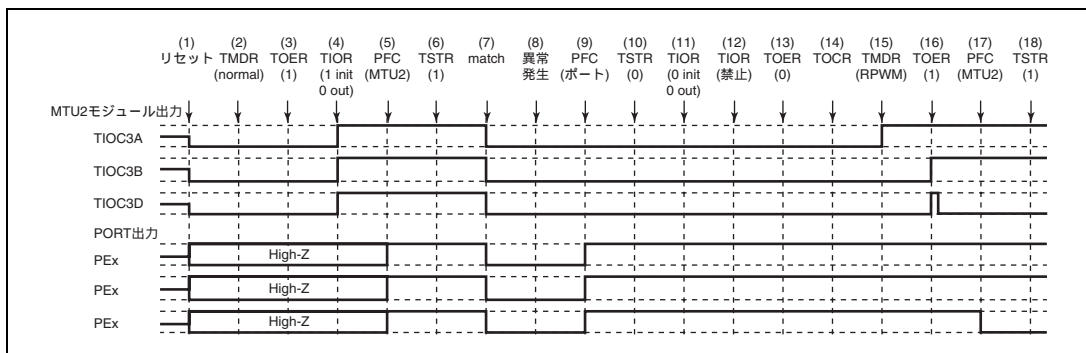


図 12.144 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 12.139 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU2 出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.145 に示します。

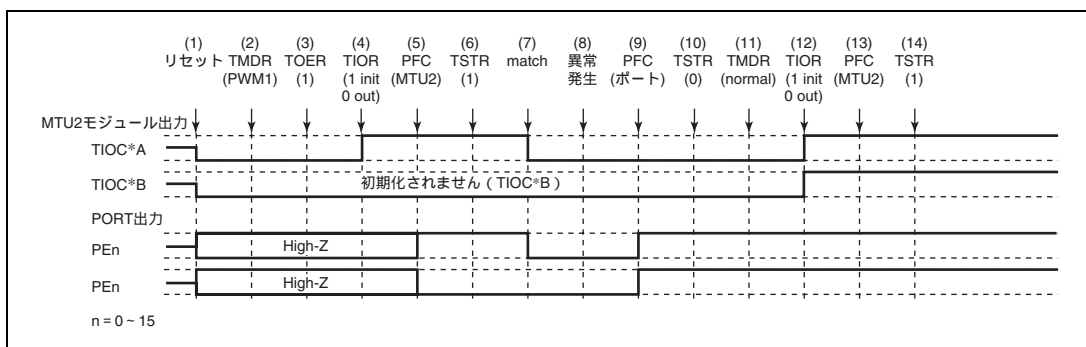


図 12.145 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.146 に示します。

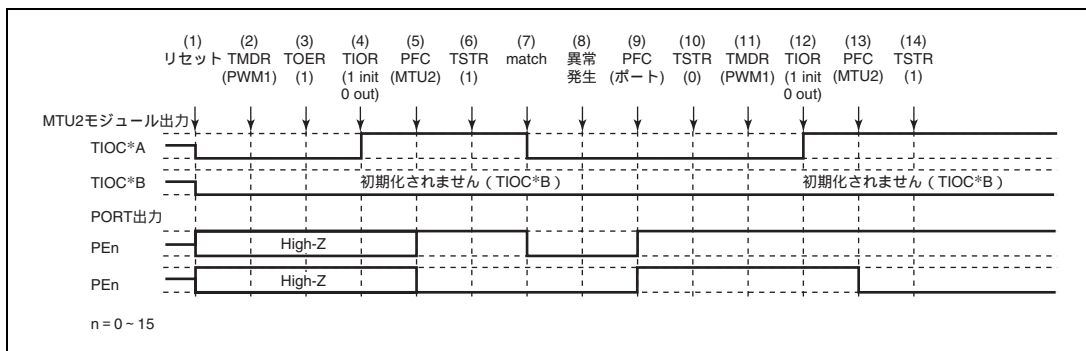


図 12.146 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.145 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.147 に示します。

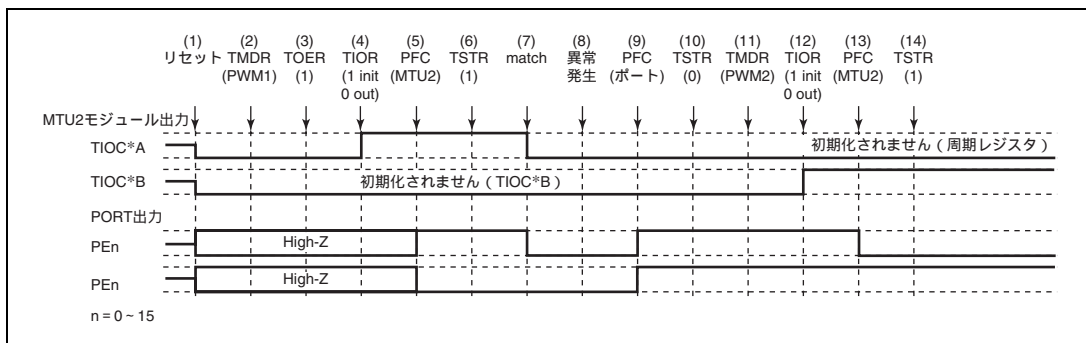


図 12.147 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.145 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.148 に示します。

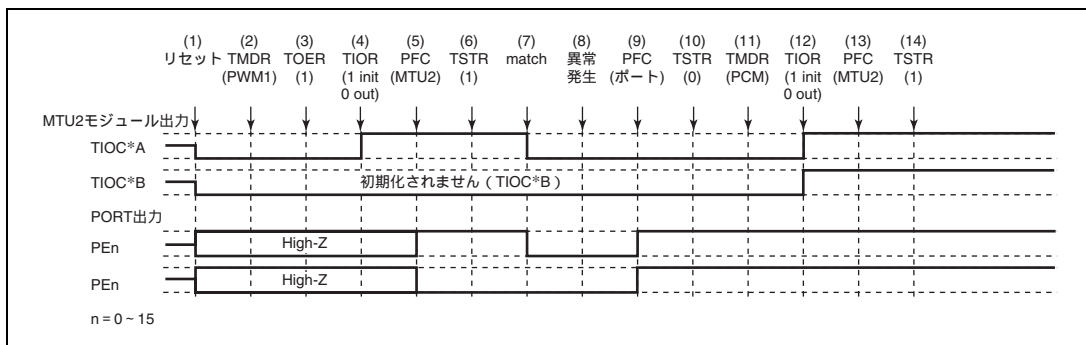


図 12.148 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 12.145 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.149 に示します。

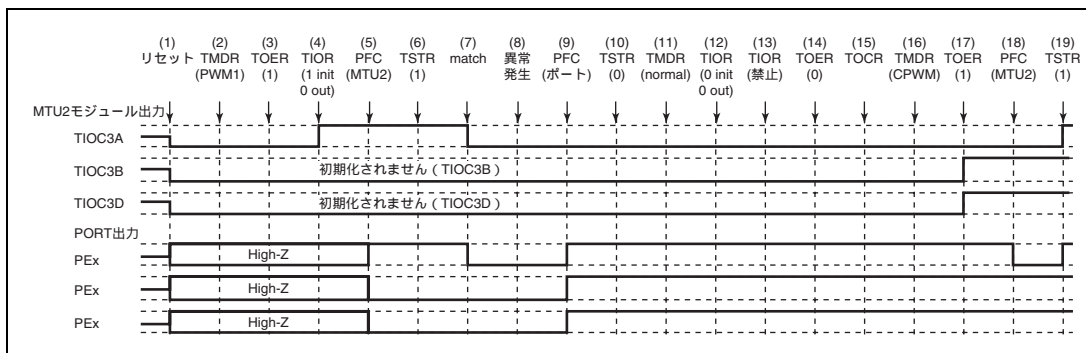


図 12.149 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.145 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.150 に示します。

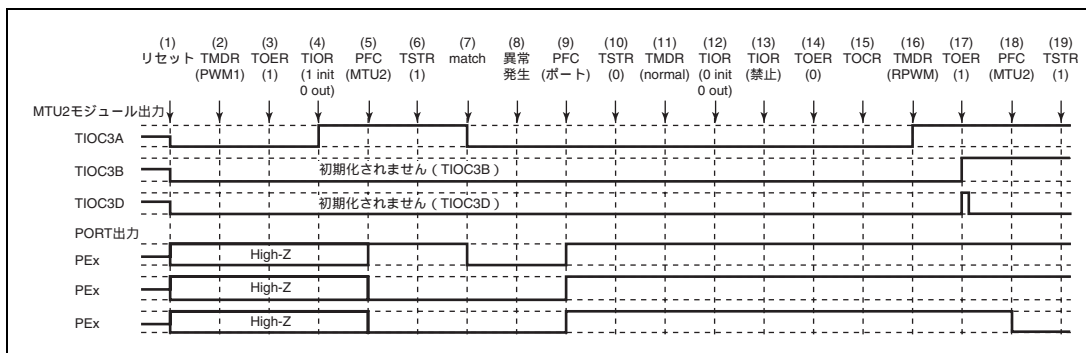


図 12.150 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 12.149 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.151 に示します。

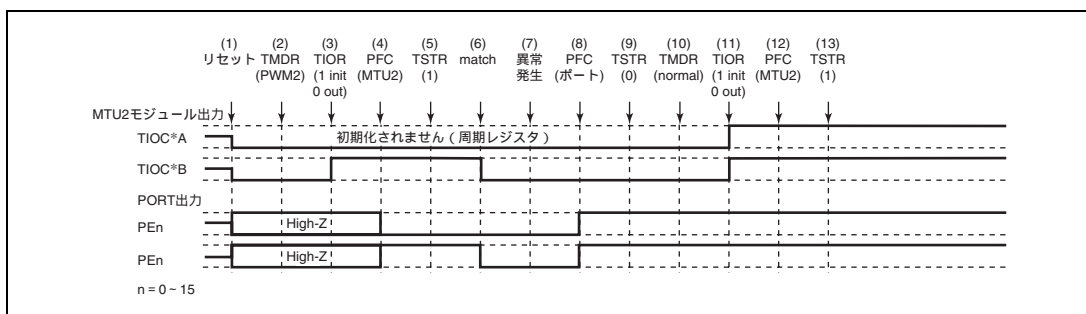


図 12.151 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.152 に示します。

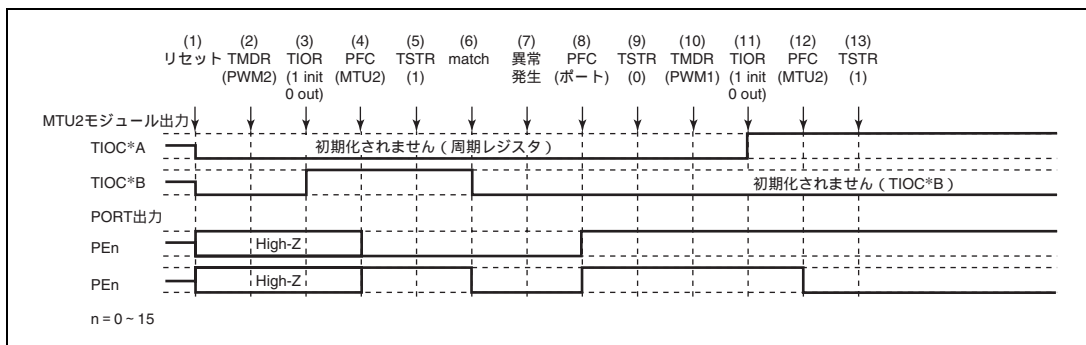


図 12.152 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.151 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.153 に示します。

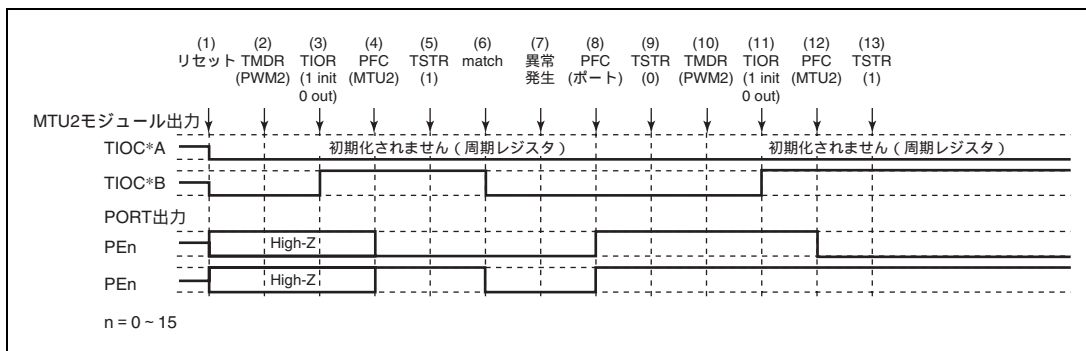


図 12.153 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.151 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.154 に示します。

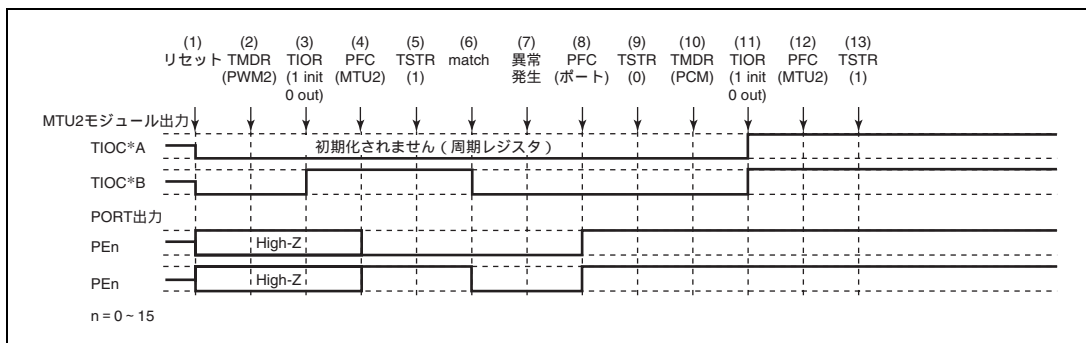


図 12.154 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 12.151 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.155 に示します。

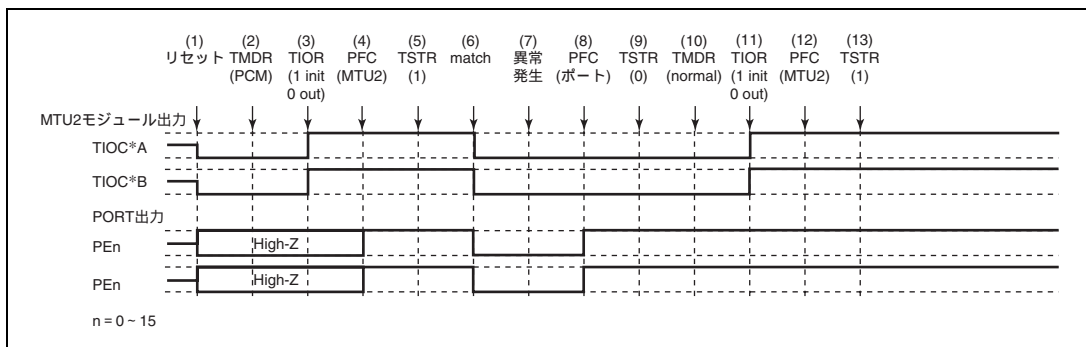


図 12.155 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.156 に示します。

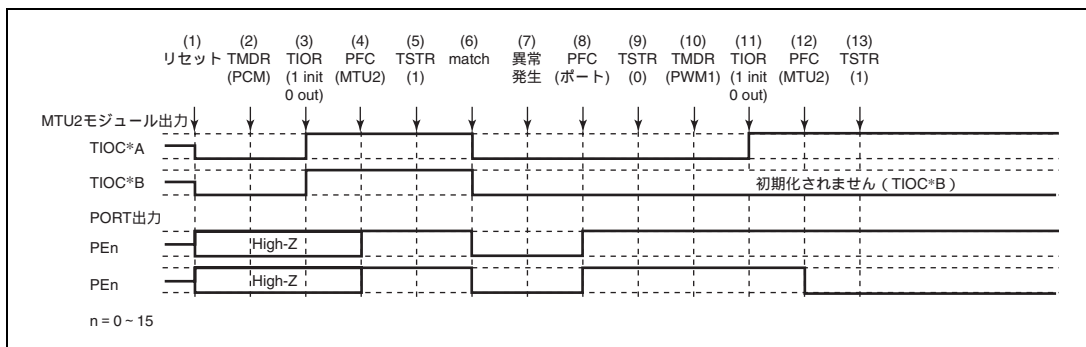


図 12.156 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.155 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 12.157 に示します。

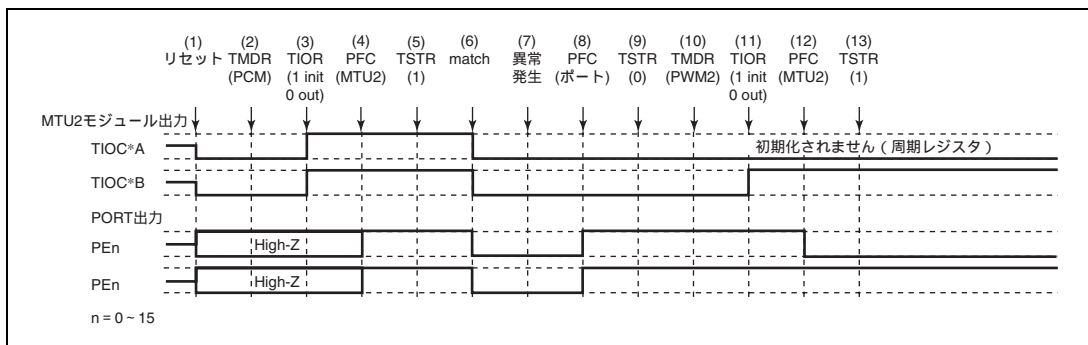


図 12.157 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.155 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.158 に示します。

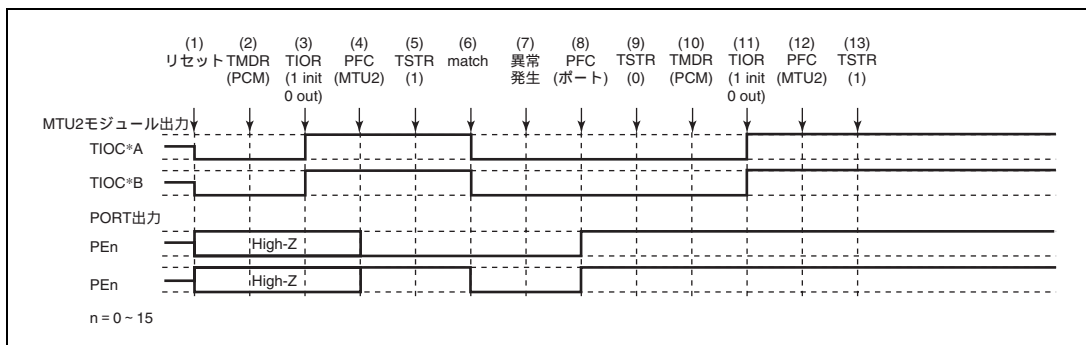


図 12.158 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 12.155 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.159 に示します。

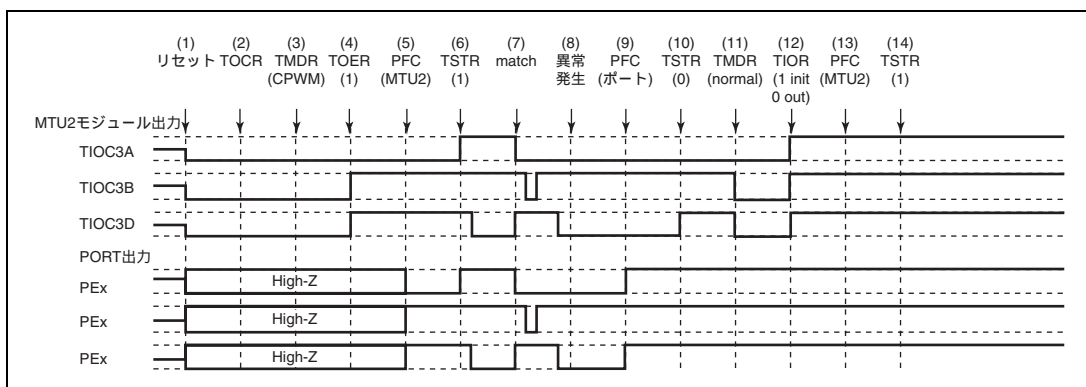


図 12.159 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.160 に示します。

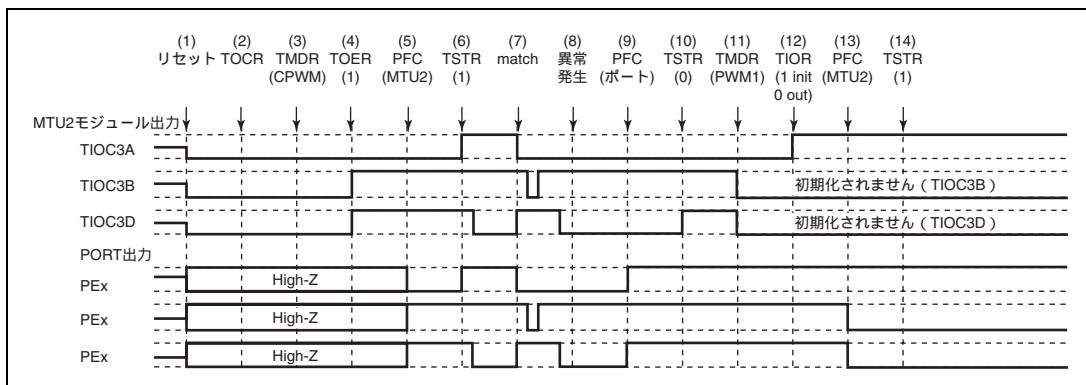


図 12.160 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 12.159 と共通です。
- (11) PWM モード 1 を設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.161 に示します (周期、デューティ設定をカウンタを止めた時の値から再スタートする場合)。

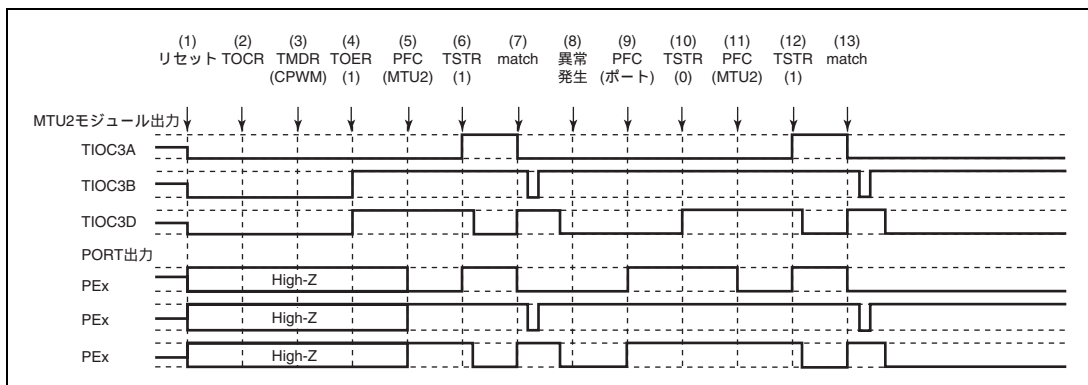


図 12.161 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.159 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.162 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

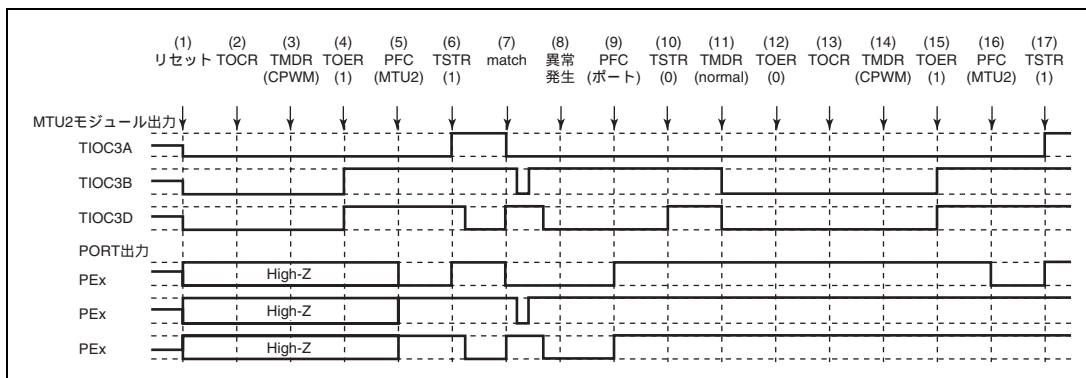


図 12.162 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.159 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください (MTU2 出力はローレベルとなります)。

(12) TOER でチャンネル 3、4 の出力を禁止してください。

(13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOER でチャンネル 3、4 の出力を許可してください。

(16) PFC で MTU2 出力としてください。

(17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.163 に示します。

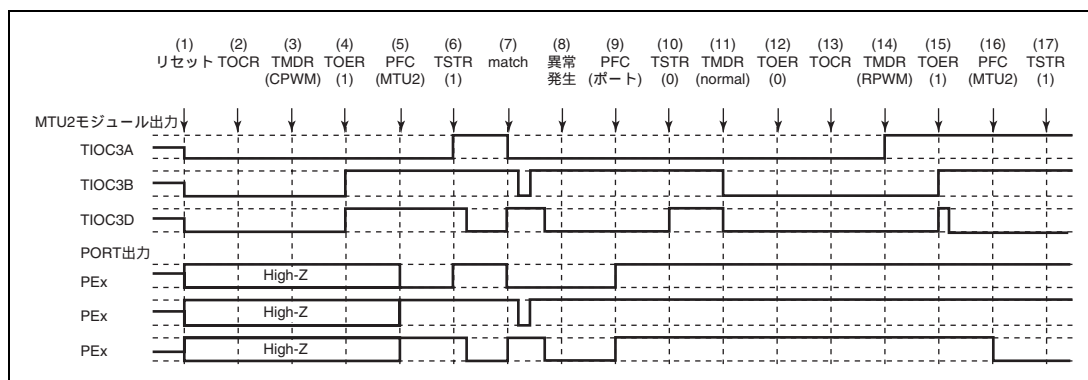


図 12.163 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.159 と共通です。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
 12.164 に示します。

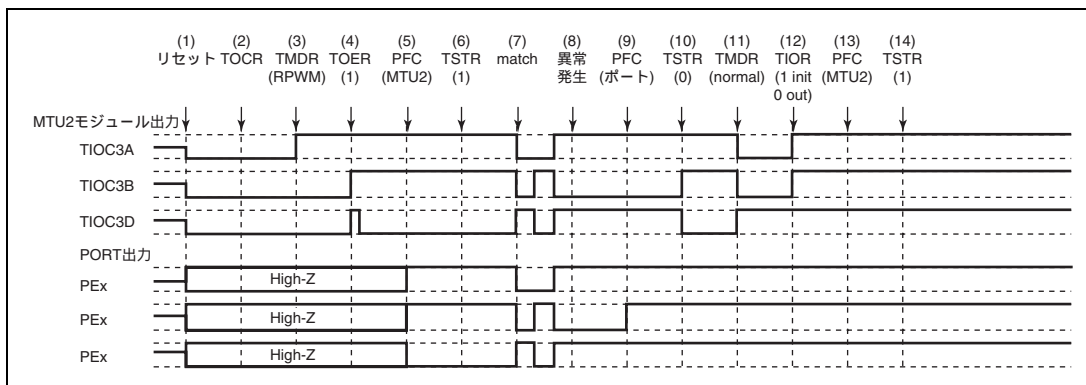


図 12.164 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.165 に示します。

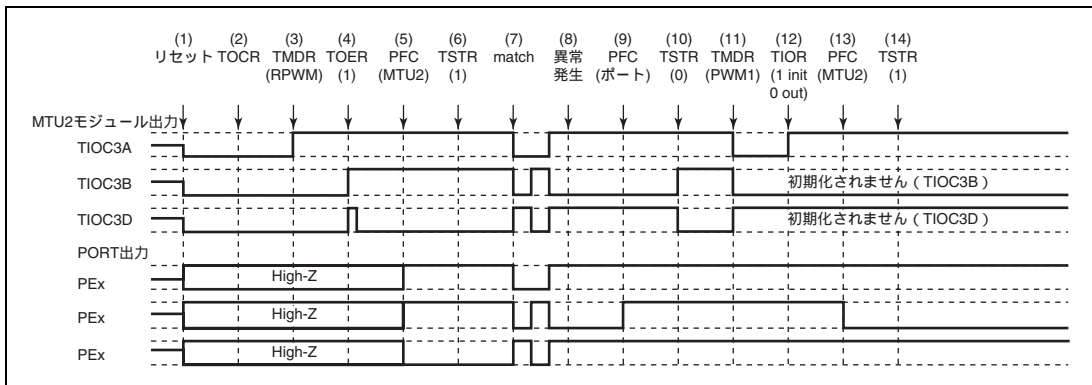


図 12.165 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.164 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図
 12.166 に示します。

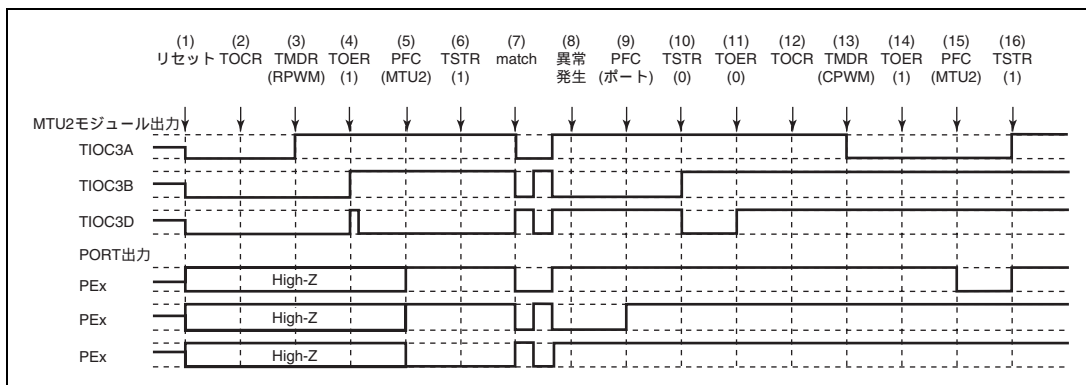


図 12.166 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.164 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU2 の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU2 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.167 に示します。

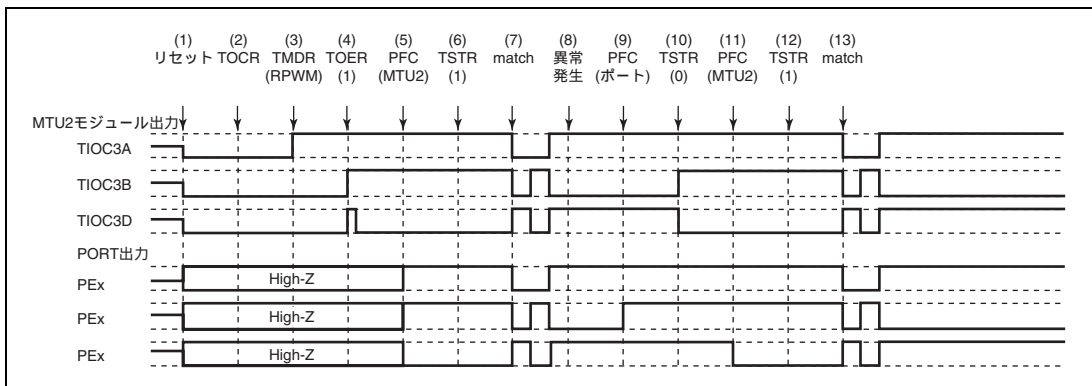


図 12.167 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.164 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

13. マルチファンクションタイマパルスユニット 2S (MTU2S)

本 LSI は、3 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2S (MTU2S) を内蔵しています。MTU2S は MTU2 のチャンネル 3、4、5 を内蔵したモジュールですので、詳細は「第 12 章 マルチファンクションタイマパルスユニット 2 (MTU2)」を参照してください。なお、MTU2 と区別するため、入出力端子名、およびレジスタ名の末尾に「S」を追加し、たとえば TIOC3A は TIOC3AS、TGRA_3 は TGRA_3S などと表記してあります。

MTU2S は相補 PWM モードの出力のみ 100MHz 動作まで可能です。その他の機能については 50MHz 動作まで可能です。

表 13.1 MTU2S の機能一覧

項 目	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	M /1 M /4 M /16 M /64 M /256 M /1024	M /1 M /4 M /16 M /64 M /256 M /1024	M /1 M /4 M /16 M /64
ジェネラルレジスタ (TGR)	TGRA_3S TGRB_3S	TGRA_4S TGRB_4S	TGRU_5S TGRV_5S TGRW_5S
ジェネラルレジスタ/ バッファレジスタ	TGRC_3S TGRD_3S	TGRC_4S TGRD_4S	-
入出力端子	TIOC3AS TIOC3BS TIOC3CS TIOC3DS	TIOC4AS TIOC4BS TIOC4CS TIOC4DS	入力端子 TIC5US TIC5VS TIC5WS
カウンタクリア機能	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ
コンペア マッチ出力	0 出力		-
	1 出力		-
	トグル出力		-
インプットキャプチャ機能			
同期動作			-
PWM モード 1			-
PWM モード 2	-	-	-
相補 PWM モード			-

項 目	チャンネル 3	チャンネル 4	チャンネル 5
リセット PWM モード			-
AC同期モータ駆動モード	-	-	-
位相計数モード	-	-	-
バッファ動作			-
デッドタイム補償用 カウンタ機能	-	-	
DTC の起動	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ と TCNT オーバフロー / アンダ フロー	TGR のコンペアマッチ またはインプットキャプチャ
A/D 変換開始トリガ	TGRA_3S のコンペアマッチ またはインプットキャプチャ	TGRA_4S のコンペアマッチ またはインプットキャプチャ 相補 PWM モード時 TCNT_4S のアンダフロー (谷)	-
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 3AS • コンペアマッチ / インプットキャプチャ 3BS • コンペアマッチ / インプットキャプチャ 3CS • コンペアマッチ / インプットキャプチャ 3DS • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 4AS • コンペアマッチ / インプットキャプチャ 4BS • コンペアマッチ / インプットキャプチャ 4CS • コンペアマッチ / インプットキャプチャ 4DS • オーバフロー / アンダフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 5US • コンペアマッチ / インプットキャプチャ 5VS • コンペアマッチ / インプットキャプチャ 5WS
A/D 変換開始要求 ディレイド機能	-	• TADCORA_4S と TCNT_4S の一致で、A/D 変換開始要求 • TADCORB_4S と TCNT_4S の一致で、A/D 変換開始要求	-
割り込み間引き機能	• TGRA_3S のコンペアマッチ 割り込みを間引き	• TCIV_4S 割り込みを間引き	-

【記号説明】

: 可能

- : 不可

13.1 入出力端子

表 13.2 端子構成

チャンネル	端子名	入出力	機 能
3	TIOC3AS	入出力	TGRA_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3BS	入出力	TGRB_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3CS	入出力	TGRC_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3DS	入出力	TGRD_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4AS	入出力	TGRA_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4BS	入出力	TGRB_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4CS	入出力	TGRC_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4DS	入出力	TGRD_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	TIC5US	入力	TGRU_5S のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5VS	入力	TGRV_5S のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5WS	入力	TGRW_5S のインプットキャプチャ入力 / 外部パルス入力端子

13.2 レジスタの説明

MTU2S には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 3 の TCR は TCR_3S と表記してあります。

表 13.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
タイマコントロールレジスタ_3S	TCR_3S	R/W	H'00	H'FFFE4A00	8、16、32
タイマコントロールレジスタ_4S	TCR_4S	R/W	H'00	H'FFFE4A01	8
タイマモードレジスタ_3S	TMDR_3S	R/W	H'00	H'FFFE4A02	8、16
タイマモードレジスタ_4S	TMDR_4S	R/W	H'00	H'FFFE4A03	8
タイマ I/O コントロールレジスタ H_3S	TIORH_3S	R/W	H'00	H'FFFE4A04	8、16、32
タイマ I/O コントロールレジスタ L_3S	TIORL_3S	R/W	H'00	H'FFFE4A05	8
タイマ I/O コントロールレジスタ H_4S	TIORH_4S	R/W	H'00	H'FFFE4A06	8、16
タイマ I/O コントロールレジスタ L_4S	TIORL_4S	R/W	H'00	H'FFFE4A07	8
タイマインタラプトイネーブルレジスタ_3S	TIER_3S	R/W	H'00	H'FFFE4A08	8、16
タイマインタラプトイネーブルレジスタ_4S	TIER_4S	R/W	H'00	H'FFFE4A09	8
タイマアウトプットマスタイネーブルレジスタ S	TOERS	R/W	H'C0	H'FFFE4A0A	8
タイマゲートコントロールレジスタ S	TGCRS	R/W	H'80	H'FFFE4A0D	8
タイマアウトプットコントロールレジスタ 1S	TOCR1S	R/W	H'00	H'FFFE4A0E	8、16
タイマアウトプットコントロールレジスタ 2S	TOCR2S	R/W	H'00	H'FFFE4A0F	8
タイマカウンタ_3S	TCNT_3S	R/W	H'0000	H'FFFE4A10	16、32
タイマカウンタ_4S	TCNT_4S	R/W	H'0000	H'FFFE4A12	16
タイマ周期データレジスタ S	TCDRS	R/W	H'FFFF	H'FFFE4A14	16、32
タイマデッドタイムデータレジスタ S	TDDRS	R/W	H'FFFF	H'FFFE4A16	16
タイマジェネラルレジスタ A_3S	TGRA_3S	R/W	H'FFFF	H'FFFE4A18	16、32
タイマジェネラルレジスタ B_3S	TGRB_3S	R/W	H'FFFF	H'FFFE4A1A	16
タイマジェネラルレジスタ A_4S	TGRA_4S	R/W	H'FFFF	H'FFFE4A1C	16、32
タイマジェネラルレジスタ B_4S	TGRB_4S	R/W	H'FFFF	H'FFFE4A1E	16
タイマサブカウンタ S	TCNTSS	R	H'0000	H'FFFE4A20	16、32
タイマ周期バッファレジスタ S	TCBRS	R/W	H'FFFF	H'FFFE4A22	16
タイマジェネラルレジスタ C_3S	TGRC_3S	R/W	H'FFFF	H'FFFE4A24	16、32
タイマジェネラルレジスタ D_3S	TGRD_3S	R/W	H'FFFF	H'FFFE4A26	16
タイマジェネラルレジスタ C_4S	TGRC_4S	R/W	H'FFFF	H'FFFE4A28	16、32
タイマジェネラルレジスタ D_4S	TGRD_4S	R/W	H'FFFF	H'FFFE4A2A	16
タイマステータスレジスタ_3S	TSR_3S	R/W	H'C0	H'FFFE4A2C	8、16
タイマステータスレジスタ_4S	TSR_4S	R/W	H'C0	H'FFFE4A2D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
タイマ割り込み間引き設定レジスタ S	TITCRS	R/W	H'00	H'FFFE4A30	8、16
タイマ割り込み間引き回数カウンタ S	TITCNTS	R	H'00	H'FFFE4A31	8
タイマバッファ転送設定レジスタ S	TBTERS	R/W	H'00	H'FFFE4A32	8
タイマデッドタイムイネーブルレジスタ S	TDERS	R/W	H'01	H'FFFE4A34	8
タイマアウトプットレベルバッファレジスタ S	TOLBRS	R/W	H'00	H'FFFE4A36	8
タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	R/W	H'00	H'FFFE4A38	8、16
タイマバッファ動作転送モードレジスタ_4S	TBTM_4S	R/W	H'00	H'FFFE4A39	8
タイマ A/D 変換開始要求コントロールレジスタ S	TADCRS	R/W	H'0000	H'FFFE4A40	16
タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	R/W	H'FFFF	H'FFFE4A44	16、32
タイマ A/D 変換開始要求周期設定レジスタ B_4S	TADCORB_4S	R/W	H'FFFF	H'FFFE4A46	16
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4S	TADCOBRA_4S	R/W	H'FFFF	H'FFFE4A48	16、32
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4S	TADCOBRB_4S	R/W	H'FFFF	H'FFFE4A4A	16
タイマシンクロクリアレジスタ S	TSYCRS	R/W	H'00	H'FFFE4A50	8
タイマ波形コントロールレジスタ S	TWCRS	R/W	H'00	H'FFFE4A60	8
タイマスタートレジスタ S	TSTRS	R/W	H'00	H'FFFE4A80	8、16
タイマシンクロレジスタ S	TSYRS	R/W	H'00	H'FFFE4A81	8
タイマリードライトイネーブルレジスタ S	TRWERS	R/W	H'01	H'FFFE4A84	8
タイマカウンタ U_5S	TCNTU_5S	R/W	H'0000	H'FFFE4880	16、32
タイマジェネラルレジスタ U_5S	TGRU_5S	R/W	H'FFFF	H'FFFE4882	16
タイマコントロールレジスタ U_5S	TCRU_5S	R/W	H'00	H'FFFE4884	8
タイマ I/O コントロールレジスタ U_5S	TIORU_5S	R/W	H'00	H'FFFE4886	8
タイマカウンタ V_5S	TCNTV_5S	R/W	H'0000	H'FFFE4890	16、32
タイマジェネラルレジスタ V_5S	TGRV_5S	R/W	H'FFFF	H'FFFE4892	16
タイマコントロールレジスタ V_5S	TCRV_5S	R/W	H'00	H'FFFE4894	8
タイマ I/O コントロールレジスタ V_5S	TIORV_5S	R/W	H'00	H'FFFE4896	8
タイマカウンタ W_5S	TCNTW_5S	R/W	H'0000	H'FFFE48A0	16、32
タイマジェネラルレジスタ W_5S	TGRW_5S	R/W	H'FFFF	H'FFFE48A2	16
タイマコントロールレジスタ W_5S	TCRW_5S	R/W	H'00	H'FFFE48A4	8
タイマ I/O コントロールレジスタ W_5S	TIORW_5S	R/W	H'00	H'FFFE48A6	8
タイマステータスレジスタ_5S	TSR_5S	R/W	H'00	H'FFFE48B0	8
タイマインタラプトイネーブルレジスタ_5S	TIER_5S	R/W	H'00	H'FFFE48B2	8
タイマスタートレジスタ_5S	TSTR_5S	R/W	H'00	H'FFFE48B4	8
タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	R/W	H'00	H'FFFE48B6	8

14. ポートアウトプットイネーブル 2 (POE2)

ポートアウトプットイネーブル 2 (POE2) は、 $\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子の入力変化、大電流端子 (MTU2 の TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D、MTU2S の TIOC3BS、TIOC3DS、TIOC4AS、TIOC4BS、TIOC4CS、TIOC4DS がマルチプレクスされている端子) の出力状態またはレジスタ設定によって、大電流端子および MTU2 の CH0 端子 (TIOC0A、TIOC0B、TIOC0C、TIOC0D がマルチプレクスされている端子) をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

14.1 特長

- $\overline{\text{POE0}} \sim \overline{\text{POE8}}$ の各入力端子に、立ち下がりエッジ、P /8 × 16回、P /16 × 16回、P /128 × 16回のローレベルサンプリングの設定が可能
- $\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子の立ち下がりエッジまたはローレベルサンプリングによって、大電流端子および MTU2 の CH0 端子をハイインピーダンス状態にできます。
- 大電流端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます。
- POE2 のレジスタ書き込みをすることで、大電流端子および MTU2 の CH0 端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE2 は、図 14.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。これとは別に、発振器が停止した場合とソフトウェアスタンバイ状態でも、大電流端子をハイインピーダンス状態にすることができます。詳細は「22.1.29 大電流ポートコントロールレジスタ (HCPCR)」および「付録 A. 端子状態」を参照してください。

図 14.1 に POE2 のブロック図を示します。

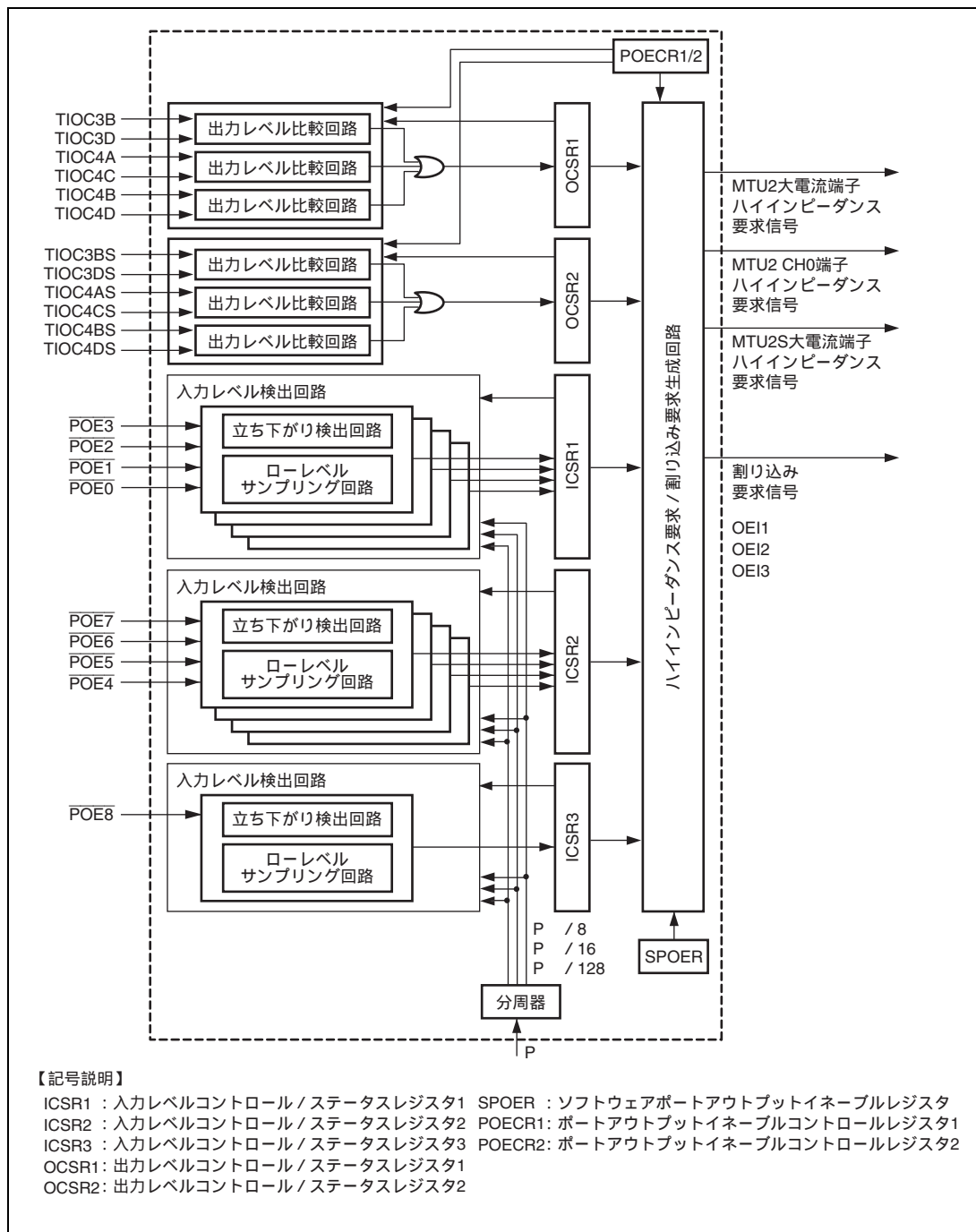


図 14.1 POE2 のブロック図

14.2 入出力端子

表 14.1 端子構成

名称	端子名	入出力	機能
ポートアウトプットイネーブル入力端子 0~3	POE0~ POE3	入力	MTU2 用の大電流端子をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子 4~7	POE4~ POE7	入力	MTU2S 用の大電流端子をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子 8	POE8	入力	MTU2 用の CH0 端子をハイインピーダンス状態にする要求信号を入力

表 14.2 に示す端子の組み合わせで出力レベルの比較を行います。

表 14.2 端子の組み合わせ

端子の組み合わせ	入出力	機能
TIOC3B と TIOC3D	出力	<p>周辺クロック (P) 1 サイクル以上同時にアクティブレベル出力 (MTU2 のタイマアウトプットコントロールレジスタ 1 (TOCR1) の TOCS = 0 のときに出力レベルセレクト P (OLSP) ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力。または、TOCS = 1 のときに TOCR2 の OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力) が続いた場合、MTU2 用の大電流端子をハイインピーダンス状態にします。</p> <p>ピンファンクションコントローラの設定で、MTU2 の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。</p> <p>どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE2 のレジスタにて設定できます。</p>
TIOC4A と TIOC4C	出力	
TIOC4B と TIOC4D	出力	
TIOC3BS と TIOC3DS	出力	
TIOC4AS と TIOC4CS	出力	<p>周辺クロック (P) 1 サイクル以上同時にアクティブレベル出力 (MTU2S のタイマアウトプットコントロールレジスタ 1S (TOCR1S) の TOCS = 0 のときに出力レベルセレクト P (OLSP) ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力。または、TOCS = 1 のときに TOCR2S の OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力) が続いた場合、MTU2S 用の大電流端子をハイインピーダンス状態にします。</p> <p>ピンファンクションコントローラの設定で、MTU2S の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。</p> <p>どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE2 のレジスタにて設定できます。</p>
TIOC4BS と TIOC4DS	出力	

14.3 レジスタの説明

POE2 には以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第34章 レジスタ一覧」を参照してください。

表 14.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
入力レベルコントロール/ステータスレジスタ 1	ICSR1	R/W	H'0000	H'FFFE5000	16
出力レベルコントロール/ステータスレジスタ 1	OCSR1	R/W	H'0000	H'FFFE5002	16
入力レベルコントロール/ステータスレジスタ 2	ICSR2	R/W	H'0000	H'FFFE5004	16
出力レベルコントロール/ステータスレジスタ 2	OCSR2	R/W	H'0000	H'FFFE5006	16
入力レベルコントロール/ステータスレジスタ 3	ICSR3	R/W	H'0000	H'FFFE5008	16
ソフトウェアポートアウトブットイネーブルレジスタ	SPOER	R/W	H'00	H'FFFE500A	8
ポートアウトブットイネーブルコントロールレジスタ 1	POECR1	R/W	H'00	H'FFFE500B	8
ポートアウトブットイネーブルコントロールレジスタ 2	POECR2	R/W	H'7700	H'FFFE500C	16

14.3.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

ICSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{POE0} \sim \overline{POE3}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R	R/W	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	POE3F	0	R/(W)*1	POE3 フラグ POE3 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき [セット条件] • POE3 端子に、ICSR1 のビット 7、6 で設定した入力が発生したとき

ビット	ビット名	初期値	R/W	説明
14	POE2F	0	R/(W)* ¹	POE2 フラグ $\overline{\text{POE2}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE2F=1 の状態を読み出した後、POE2F に 0 を書き込んだとき [セット条件] • $\overline{\text{POE2}}$ 端子に、ICSR1 のビット 5、4 で設定した入力が発生したとき
13	POE1F	0	R/(W)* ¹	POE1 フラグ $\overline{\text{POE1}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき [セット条件] • $\overline{\text{POE1}}$ 端子に、ICSR1 のビット 3、2 で設定した入力が発生したとき
12	POE0F	0	R/(W)* ¹	POE0 フラグ $\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき [セット条件] • $\overline{\text{POE0}}$ 端子に、ICSR1 のビット 1、0 で設定した入力が発生したとき
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PIE1	0	R/W	ポートインタラプティネーブル 1 ICSR1 の POE0F ~ POE3F ビットに、1 ビットでも 1 がセットされたときに、割り込みを要求するかどうかを指定します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
7、6	POE3M [1:0]	00	R/W* ²	POE3 モード $\overline{\text{POE3}}$ 端子の入力モードを選択します。 00 : $\overline{\text{POE3}}$ 入力の立ち下がリエッジで要求を受け付け 01 : $\overline{\text{POE3}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : $\overline{\text{POE3}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : $\overline{\text{POE3}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

ビット	ビット名	初期値	R/W	説明
5, 4	POE2M [1:0]	00	R/W*2	<p>POE2 モード</p> <p>$\overline{\text{POE2}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE2}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE2}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE2}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE2}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
3, 2	POE1M [1:0]	00	R/W*2	<p>POE1 モード</p> <p>$\overline{\text{POE1}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE1}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE1}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE1}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE1}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
1, 0	POE0M [1:0]	00	R/W*2	<p>POE0 モード</p> <p>$\overline{\text{POE0}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE0}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE0}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE0}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE0}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

14.3.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

OCSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF1	-	-	-	-	-	OCE1	OIE1	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W*2	R/W	R	R	R	R	R	R	R	R

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF1	0	R/(W)*1	出力短絡フラグ 1 MTU2 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF1=1 の状態を読み出した後、OSF1 に 0 を書き込んだとき [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE1	0	R/W*2	出力短絡ハイインピーダンスイネーブル 1 OCSR1 の OSF1 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしません 1: 端子をハイインピーダンスにします
8	OIE1	0	R/W	出力短絡割り込みイネーブル 1 OCSR1 の OSF1 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

14.3.3 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

ICSR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、 $\overline{POE4}$ ~ $\overline{POE7}$ 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE7F	POE6F	POE5F	POE4F	-	-	-	PIE2	POE7M[1:0]	POE6M[1:0]	POE5M[1:0]	POE4M[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R	R/W	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	POE7F	0	R/(W)*1	POE7 フラグ POE7 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE7F=1 の状態を読み出した後、POE7F に 0 を書き込んだとき [セット条件] • POE7 端子に、ICSR2 のビット 7、6 で設定した入力が発生したとき
14	POE6F	0	R/(W)*1	POE6 フラグ POE6 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE6F=1 の状態を読み出した後、POE6F に 0 を書き込んだとき [セット条件] • POE6 端子に、ICSR2 のビット 5、4 で設定した入力が発生したとき
13	POE5F	0	R/(W)*1	POE5 フラグ POE5 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE5F=1 の状態を読み出した後、POE5F に 0 を書き込んだとき [セット条件] • POE5 端子に、ICSR2 のビット 3、2 で設定した入力が発生したとき
12	POE4F	0	R/(W)*1	POE4 フラグ POE4 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE4F=1 の状態を読み出した後、POE4F に 0 を書き込んだとき [セット条件] • POE4 端子に、ICSR2 のビット 1、0 で設定した入力が発生したとき
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	PIE2	0	R/W	<p>ポートインタラプトイネーブル 2</p> <p>ICSR2 の POE4F ~ POE7F ビットに、1 ビットでも 1 がセットされたときに、割り込みを要求するかどうかを指定します。</p> <p>0 : 割り込み要求を禁止</p> <p>1 : 割り込み要求を許可</p>
7、6	POE7M [1:0]	00	R/W ^{*2}	<p>POE7 モード</p> <p>POE7 端子の入力モードを選択します。</p> <p>00 : POE7 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE7 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE7 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE7 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
5、4	POE6M [1:0]	00	R/W ^{*2}	<p>POE6 モード</p> <p>POE6 端子の入力モードを選択します。</p> <p>00 : POE6 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE6 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE6 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE6 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
3、2	POE5M [1:0]	00	R/W ^{*2}	<p>POE5 モード</p> <p>POE5 端子の入力モードを選択します。</p> <p>00 : POE5 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE5 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE5 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE5 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	POE4M [1:0]	00	R/W*2	POE4 モード POE4 端子の入力モードを選択します。 00 : POE4 入力の立ち下がりがエッジで要求を受け付け 01 : POE4 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : POE4 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : POE4 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

14.3.4 出力レベルコントロール/ステータスレジスタ2 (OCSR2)

OCSR2 は、読み出し/書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF2	-	-	-	-	-	OCE2	OIE2	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W*2	R/W	R	R	R	R	R	R	R	R

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF2	0	R/(W)*1	出力短絡フラグ 2 MTU2S 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF2=1 の状態を読み出した後、OSF2 に 0 を書き込んだとき [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE2	0	R/W*2	出力短絡ハイインピーダンスイネーブル 2 OCSR2 の OSF2 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0 : 端子をハイインピーダンスにしません 1 : 端子をハイインピーダンスにします

ビット	ビット名	初期値	R/W	説明
8	OIE2	0	R/W	出力短絡割り込みイネーブル 2 OCSR2 の OSF2 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

14.3.5 入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

ICSR3 は、読み出し / 書き込み可能な 16 ビットのレジスタで、 $\overline{POE8}$ 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	-	-	POE8F	-	-	POE8E	PIE3	-	-	-	-	-	-	-	POE8M[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/(W)*1	R	R	R/W*2	R/W	R	R	R	R	R	R	R/W*2 R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	POE8F	0	R/(W)*1	POE8 フラグ $\overline{POE8}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] • POE8F=1 の状態を読み出した後、POE8F に 0 を書き込んだとき [セット条件] • $\overline{POE8}$ 端子に、ICSR3 のビット 1、0 で設定した入力が発生したとき
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	POE8E	0	R/W*2	POE8 ハイインピーダンスイネーブル ICSR3 の POE8F ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0 : 端子をハイインピーダンスにしません 1 : 端子をハイインピーダンスにします

ビット	ビット名	初期値	R/W	説明
8	PIE3	0	R/W	ポートインタラプトイネーブル3 ICSR3のPOE8Fビットに1がセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	POE8M [1:0]	00	R/W*2	POE8 モード POE8 端子の入力モードを選択します。 00: POE8 入力の立ち下がりエッジで要求を受け付け 01: POE8 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10: POE8 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11: POE8 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

14.3.6 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

SPOER は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	MTU2S HIZ	MTU2 CH0HIZ	MTU2 CH34HIZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	MTU2SHIZ	0	R/W	MTU2S 出力ハイインピーダンス MTU2S 用の大電流端子をハイインピーダンス状態にする制御を行います。 0: ハイインピーダンス状態にしません [クリア条件] • パワーオンリセット • MTU2SHIZ=1 の状態を読み出した後、MTU2SHIZ に 0 を書き込んだとき 1: ハイインピーダンス状態にします [セット条件] • MTU2SHIZ に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説 明
1	MTU2CH0HIZ	0	R/W	<p>MTU2 CH0 出力ハイインピーダンス</p> <p>MTU2 の CH0 用の端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH0HIZ=1 の状態を読み出した後、MTU2CH0HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH0HIZ に 1 を書き込んだとき
0	MTU2CH34HIZ	0	R/W	<p>MTU2 CH3、4 出力ハイインピーダンス</p> <p>MTU2 用の大電流端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH34HIZ=1 の状態を読み出した後、MTU2CH34HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH34HIZ に 1 を書き込んだとき

14.3.7 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

POECR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	MTU2 PE3ZE	MTU2 PE2ZE	MTU2 PE1ZE	MTU2 PE0ZE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W*	R/W*	R/W*	R/W*

【注】* パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
7-4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MTU2PE3ZE	0	R/W*	MTU2PE3 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PEX/TIOC0D をハイインピーダンス状態にするかどうかを設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします
2	MTU2PE2ZE	0	R/W*	MTU2PE2 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PEX/TIOC0C をハイインピーダンス状態にするかどうかを設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします
1	MTU2PE1ZE	0	R/W*	MTU2PE1 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PEX/TIOC0B をハイインピーダンス状態にするかどうかを設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします
0	MTU2PE0ZE	0	R/W*	MTU2PE0 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PEX/TIOC0A をハイインピーダンス状態にするかどうかを設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします

14.3.8 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2CR2)

POE2CR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	MTU2 P1CZE	MTU2 P2CZE	MTU2 P3CZE	-	MTU2S P1CZE	MTU2S P2CZE	MTU2S P3CZE	-	-	-	-	-	-	-	-
初期値:	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R/W*	R/W*	R/W*	R	R/W*	R/W*	R/W*	R	R	R	R	R	R	R	R

【注】* パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	MTU2P1CZE	1	R/W*	MTU2 ポート 1 ハイインピーダンスイネーブル OSF1、POE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 用の大電流端子の PEX/TIOC3B と PEX/TIOC3D をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします
13	MTU2P2CZE	1	R/W*	MTU2 ポート 2 ハイインピーダンスイネーブル OSF1、POE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 用の大電流端子の PEX/TIOC4A と PEX/TIOC4C をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします
12	MTU2P3CZE	1	R/W*	MTU2 ポート 3 ハイインピーダンスイネーブル OSF1、POE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 用の大電流端子の PEX/TIOC4B と PEX/TIOC4D をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	MTU2SP1CZE	1	R/W*	MTU2S ポート 1 ハイインピーダンスイネーブル OSF2、POE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか 1 つでもセットされたときに、MTU2S 用の大電流端子の PEX/TIOC3BS と PEX/TIOC3DS をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません 1: ハイインピーダンスにします

ビット	ビット名	初期値	R/W	説明
9	MTU2SP2CZE	1	R/W*	MTU2S ポート 2 ハイインピーダンスイネーブル OSF2、POE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか1つでもセットされたときに、MTU2S 用の大電流端子の PEX/TIOC4AS と PEX/TIOC4CS をハイインピーダンス状態にするかどうかを設定します。 0 : ハイインピーダンスにしません 1 : ハイインピーダンスにします
8	MTU2SP3CZE	1	R/W*	MTU2S ポート 3 ハイインピーダンスイネーブル OSF2、POE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか1つでもセットされたときに、MTU2S 用の大電流端子の PEX/TIOC4BS と PEX/TIOC4DS をハイインピーダンス状態にするかどうかを設定します。 0 : ハイインピーダンスにしません 1 : ハイインピーダンスにします
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * パワーオンリセット後、1 回のみ書き込み可能です。

14.4 動作説明

表 14.4 に、ハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表 14.4 ハイインピーダンス制御の対象と条件

端子	条件	条件詳細
MTU2 用の大電流端子 (PEx/TIOC3B、PEx/TIOC3D)	POE0 ~ POE3 端子の入力レベル検出動作または PEx/TIOC3B 端子と PEx/TIOC3D 端子の出力レベル比較動作または SPOER レジスタ設定	MTU2P1CZE ((POE3F+POE2F+POE1F+POE0F) + (OSF1·OCE1) + (MTU2CH34HIZ))
MTU2 用の大電流端子 (PEx/TIOC4A、PEx/TIOC4C)	POE0 ~ POE3 端子の入力レベル検出動作または PEx/TIOC4A 端子と PEx/TIOC4C 端子の出力レベル比較動作または SPOER レジスタ設定	MTU2P2CZE ((POE3F+POE2F+POE1F+POE0F) + (OSF1·OCE1) + (MTU2CH34HIZ))
MTU2 用の大電流端子 (PEx/TIOC4B、PEx/TIOC4D)	POE0 ~ POE3 端子の入力レベル検出動作または PEx/TIOC4B 端子と PEx/TIOC4D 端子の出力レベル比較動作または SPOER レジスタ設定	MTU2P3CZE ((POE3F+POE2F+POE1F+POE0F) + (OSF1·OCE1) + (MTU2CH34HIZ))
MTU2S 用の大電流端子 (PEx/TIOC3BS、PEx/TIOC3DS)	POE4 ~ POE7 端子の入力レベル検出動作または PEx/TIOC3BS 端子と PEx/TIOC3DS 端子の出力レベル比較動作または SPOER レジスタ設定	MTU2SP1CZE ((POE4F+POE5F+POE6F+POE7F) + (OSF2·OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PEx/TIOC4AS、PEx/TIOC4CS)	POE4 ~ POE7 端子の入力レベル検出動作または PEx/TIOC4AS 端子と PEx/TIOC4CS 端子の出力レベル比較動作または SPOER レジスタ設定	MTU2SP2CZE ((POE4F+POE5F+POE6F+POE7F) + (OSF2·OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PEx/TIOC4BS、PEx/TIOC4DS)	POE4 ~ POE7 端子の入力レベル検出動作または PEx/TIOC4BS 端子と PEx/TIOC4DS 端子の出力レベル比較動作または SPOER レジスタ設定	MTU2SP3CZE ((POE4F+POE5F+POE6F+POE7F) + (OSF2·OCE2) + (MTU2SHIZ))
MTU2 用の CH0 端子 (PEx/TIOC0A)	POE8 端子の入力レベル検出動作または SPOER レジスタ設定	MTU2PE0ZE ((POE8F·POE8E) + (MTU2CH0HIZ))
MTU2 用の CH0 端子 (PEx/TIOC0B)	POE8 端子の入力レベル検出動作または SPOER レジスタ設定	MTU2PE1ZE ((POE8F·POE8E) + (MTU2CH0HIZ))
MTU2 用の CH0 端子 (PEx/TIOC0C)	POE8 端子の入力レベル検出動作または SPOER レジスタ設定	MTU2PE2ZE ((POE8F·POE8E) + (MTU2CH0HIZ))
MTU2 用の CH0 端子 (PEx/TIOC0D)	POE8 端子の入力レベル検出動作または SPOER レジスタ設定	MTU2PE3ZE ((POE8F·POE8E) + (MTU2CH0HIZ))

14.4.1 入力レベル検出動作

ICSR1~3 で設定した入力条件が、 $\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子に発生した場合、大電流端子および MTU2 の CH0 用端子をハイインピーダンス状態にします。ただし、大電流端子および MTU2 の CH0 用端子が汎用出力機能または MTU2、MTU2S 機能が選択されている場合にのみハイインピーダンスになります。

(1) 立ち下がりエッジ検出

$\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子にハイレベルからローレベルの変化が入力されたとき、大電流端子および MTU2 の CH0 用端子をハイインピーダンス状態にします。

$\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子入力から端子のハイインピーダンスまでのタイミング例を図 14.2 に示します。

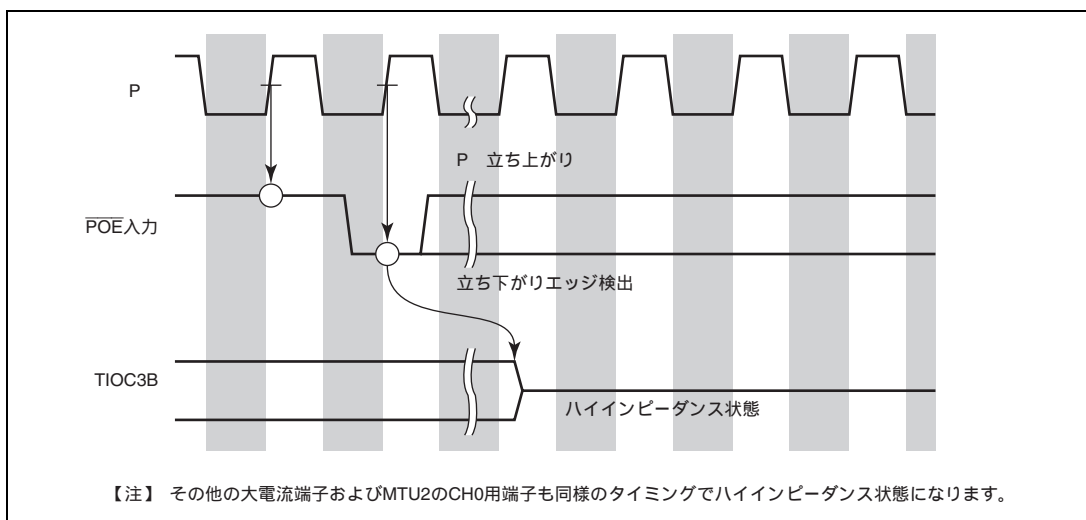


図 14.2 立ち下がりエッジ検出動作

(2) ローレベル検出

図 14.3 にローレベル検出動作を示します。ICSR1~3 で設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は受け付けられません。

また、サンプリングクロックから大電流端子がハインピーダンス状態になるタイミングは、立ち下がりエッジ検出、ローレベル検出とも同じです。

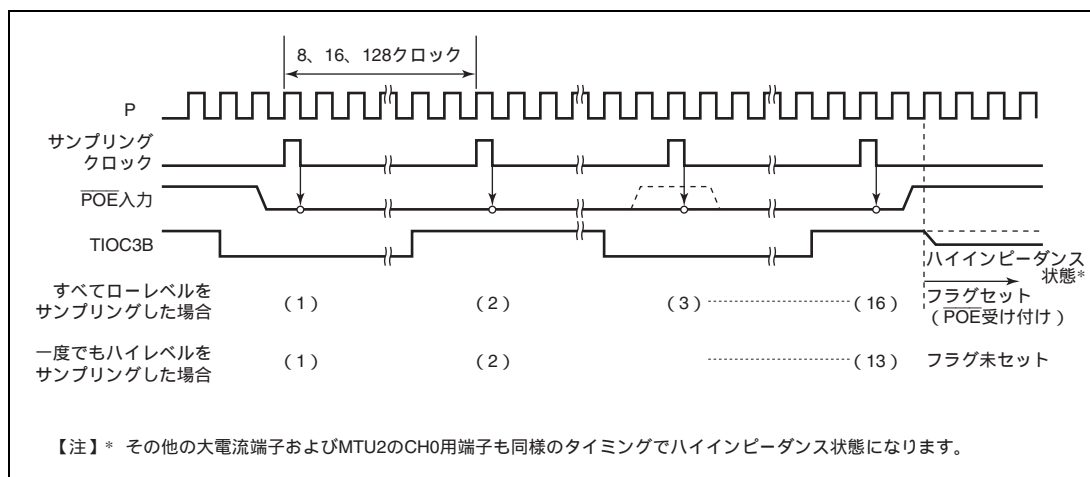


図 14.3 ローレベル検出動作

14.4.2 出力レベル比較動作

TIOC3B と TIOC3D の組み合わせを例に、出力レベル比較動作を図 14.4 に示します。他の端子の組み合わせについても同様です。

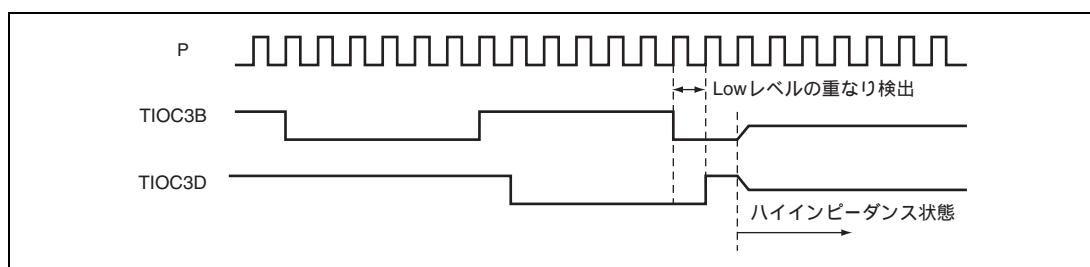


図 14.4 出力レベル検出動作

14.4.3 ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、ICSR1~3のビット15~12 (POE8F、POE7F、POE6F、POE5F、POE4F、POE3F、POE2F、POE1F、POE0F)のフラグをクリアすることにより解除されます。ただし、ICSR1~3のビット7~0でローレベルサンプリングに設定している場合には、 $\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子からハイレベルを入力してハイレベルをサンプリングした後でないと、フラグに対して0書き込みを行っても無効となりフラグはクリアされません。

出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、OCSR1、OCSR2のビット15 (OSF1、OSF2)のフラグをクリアすることにより解除されます。ただし、大電流端子から非アクティブレベルを出力するようにした後でないと、フラグに対して0書き込みを行っても無効となりフラグはクリアされません。非アクティブレベル出力はMTU2、MTU2S内のレジスタを設定することで行うことができます。

14.5 割り込み

POE2は入力レベル検出動作または出力レベル比較動作において条件が一致したときに、割り込み要求を出して割り込みを発生することができます。表14.5に、割り込みの種類と割り込み要求を出す条件を示します。

表 14.5 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル 割り込み1	POE3F、POE2F、POE1F、POE0F、 OSF1	PIE1・(POE3F+POE2F+POE1F+POE0F) + OIE1・OSF1
OEI2	アウトプットイネーブル 割り込み2	POE8F	PIE3・POE8F
OEI3	アウトプットイネーブル 割り込み3	POE4F、POE5F、POE6F、POE7F、 OSF2	PIE2・(POE4F+POE5F+POE6F+POE7F) + OIE2・OSF2

14.6 使用上の注意事項

14.6.1 ウォッチドッグタイマからパワーオンリセットが実行されたときの端子状態

ウォッチドッグタイマ (WDT) からパワーオンリセットが発行されると、I/O ポートはピンファンクションコントローラ (PFC) が初期化され初期値である汎用入力になりますが、ポートアウトプットイネーブル (POE2) による端子のハイインピーダンス処理中に WDT からパワーオンリセットが発行されると、汎用入力に切り替わるまでの周辺クロック (P) 1 サイクル期間、端子状態は出力となります。

MTU2、MTU2S の短絡検出によるハイインピーダンス処理中に WDT からパワーオンリセットが発行された場合も、同じ状態となります。

図 14.5 にタイマ出力選択時の POE 入力によるハイインピーダンス処理中に WDT からパワーオンリセットが発行されたときの状態を示します。

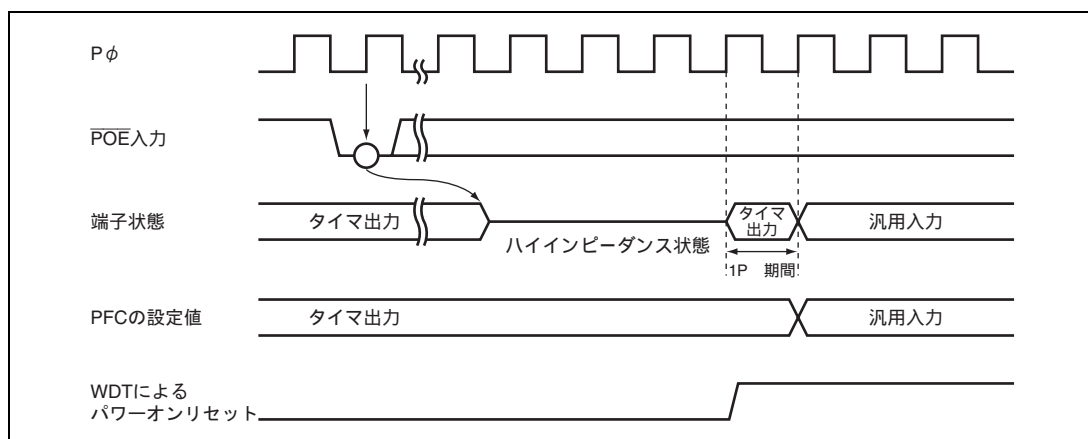


図 14.5 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

15. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

15.1 特長

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
4種類の内部クロック (P /8、P /32、P /128、P /512) を選択可能
- コンペアマッチ時、DTC/DMAC設定により、DTC/DMA転送要求または割り込み要求の発生を選択可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 15.1 に CMT のブロック図を示します。

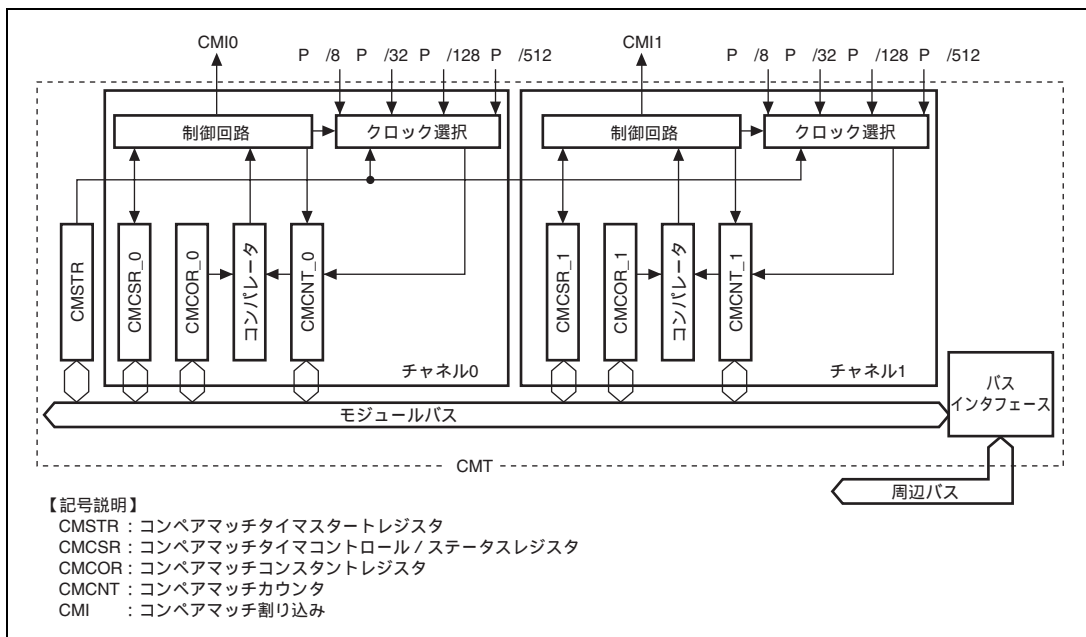


図 15.1 CMT のブロック図

15.2 レジスタの説明

CMT には以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 15.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFEC000	16
0	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	R/W	H'0000	H'FFFEC002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFEC004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFEC006	16
1	コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR_1	R/W	H'0000	H'FFFEC008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFEC00A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFEC00C	16

15.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

CMSTR はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作 / 停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作 / 停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始

15.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入力クロックの設定を行います。

CMCSR はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0: CMCNT と CMCOR の値は不一致 [クリア条件] <ul style="list-style-type: none"> • パワーオンリセットおよびモジュールスタンバイモード時 • CMF = 1 を読み出し後、CMF に 0 を書き込んだとき • CMI 割り込みにより DTC が起動され、データを転送したとき (DTC の転送カウンタ値が H'000 になったときを除く) • CMI 割り込みにより DMAC が起動され、データを転送したとき 1: CMCNT と CMCOR の値が一致 [セット条件] <ul style="list-style-type: none"> • CMCNT と CMCOR の値が一致したとき
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF = 1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
1, 0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (P) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00 : P /8 01 : P /32 10 : P /128 11 : P /512

15.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はパワーオンリセット時およびモジュールスタンバイモード時に H'FFFF に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3 動作説明

15.3.1 期間カウント動作

カウンタクロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりアップカウントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 15.2 にコンペアマッチカウンタ動作を示します。

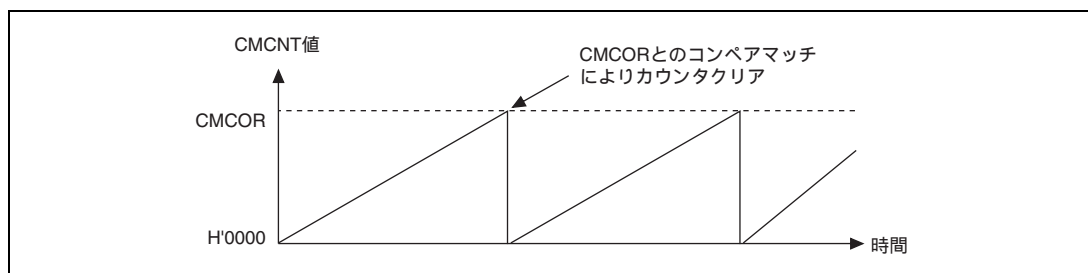


図 15.2 カウンタ動作

15.3.2 CMCNT カウントタイミング

周辺クロック (P) を分周して得られた 4 種類のクロック (P /8、P /32、P /128、P /512) のうち 1 つを CMCSR の CKS[1:0] ビットにより選択することができます。図 15.3 にそのタイミングを示します。

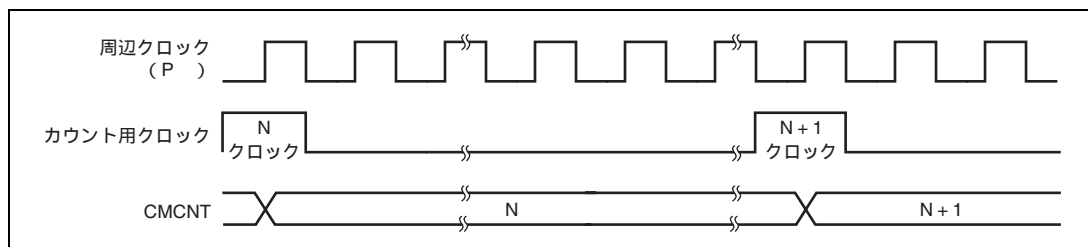


図 15.3 カウントタイミング

15.4 割り込み

15.4.1 割り込み要因と DTC/DMA 転送要求

CMT は表 15.2 に示すようにチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ(CMF)が 1 にセットされ、かつ割り込みイネーブルビット(CMIE)が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。CMF ビットの 1 を読み出した後、0 を書き込む前に次のコンペアマッチによるフラグセットが発生した場合は、0 を書き込んでフラグはクリアされませんので、再度 1 を読み出して 0 を書き込んでください。

また、コンペアマッチ割り込み要求で、ダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動することができます。DMAC 起動によるデータ転送時は、データ転送が行われるとフラグが自動的にクリアされて CPU への割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 でかつ転送カウンタ値が 0 以外の場合には、データ転送が行われるとフラグが自動的にクリアされて CPU への割り込み要求は発生しませんが、DISEL ビットが 0 でかつ転送カウンタ値が 0 または DISEL ビットが 1 の場合には、データ転送が行われてもフラグがクリアされずにデータ転送終了後に CPU への割り込み要求が発生します。

表 15.2 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグ	DMAC/DTCの起動	優先順位
0	CMI0	CMCSR_0のCMIEビット	CMCSR_0のCMFフラグ	可	高
1	CMI1	CMCSR_1のCMIEビット	CMCSR_1のCMFフラグ	可	低

15.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 15.4 に CMF ビットのセットタイミングを示します。

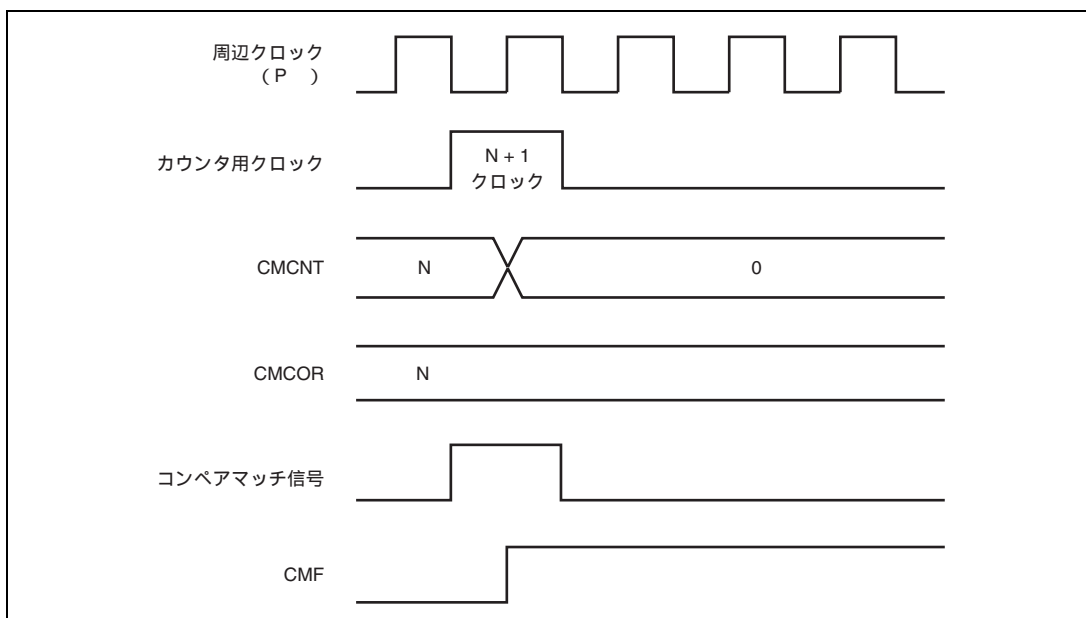


図 15.4 CMF セットタイミング

15.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF = 1 を読み出した後に 0 を書き込むことでクリアされます。ただし、DMAC/DTC を起動した場合、DMAC/DTC がデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

15.5 使用上の注意事項

15.5.1 モジュールスタンバイモードの設定

CMT はスタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では CMT の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能となります。詳細は「第 32 章 低消費電力モード」を参照してください。

15.5.2 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 15.5 に示します。

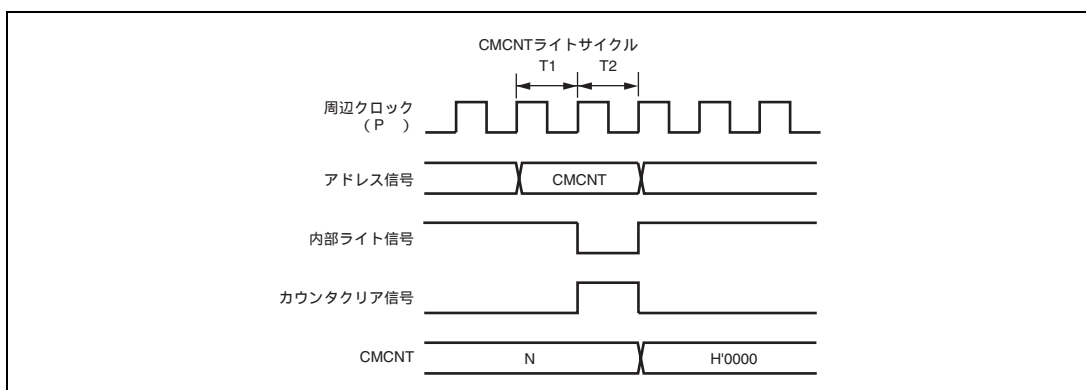


図 15.5 CMCNT の書き込みとコンペアマッチの競合

15.5.3 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップせずにカウンタ書き込みが優先されます。このタイミングを図 15.6 に示します。

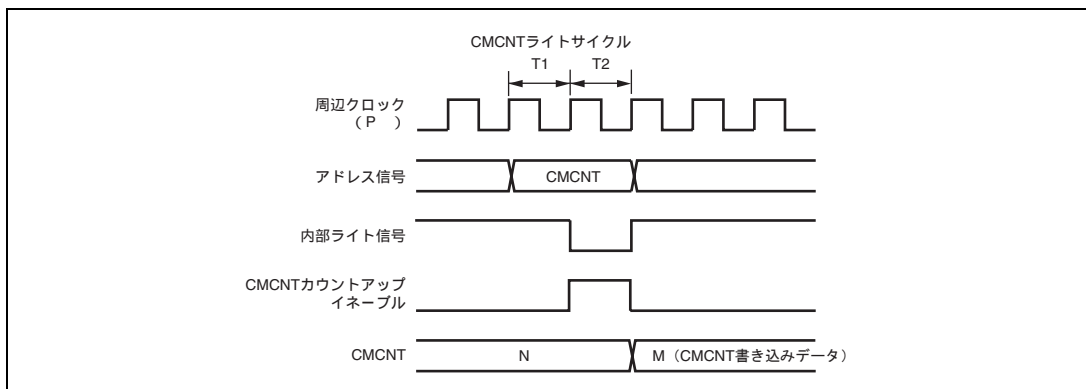


図 15.6 CMCNT のワード書き込みとカウントアップの競合

15.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント動作停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

16. コンペアマッチタイマ 2 (CMT2)

本 LSI は、1 チャンネルの 32 ビット構成のコンペアマッチタイマ 2 (CMT2) を内蔵しています。

16.1 特長

- 1チャンネルのコンペアマッチ
- 16ビット/32ビット切り替え可能なアップカウンタを1チャンネル搭載
- 最大2本のインプットキャプチャ入力が可能
- 最大2本のアウトプットコンペア出力が可能
- 4種類のカウンタ入力クロックを選択可能
 - 4種類の内部クロック (P /8、P /32、P /128、P /512) を選択可能
- インプットキャプチャ入力およびコンペアマッチによりカウンタクリア可能
- 5種類の割り込み要因

インプットキャプチャ入力とコンペアマッチで5種類の割り込み要因があり、それぞれ独立に要求することができます。また、データトランスファコントローラ (DTC) もしくはダイレクトメモリアクセスコントローラ (DMAC) を起動させて、データ転送を行うことができます。

- モジュールスタンバイモードの設定可能

図 16.1 に CMT2 のブロック図を示します。

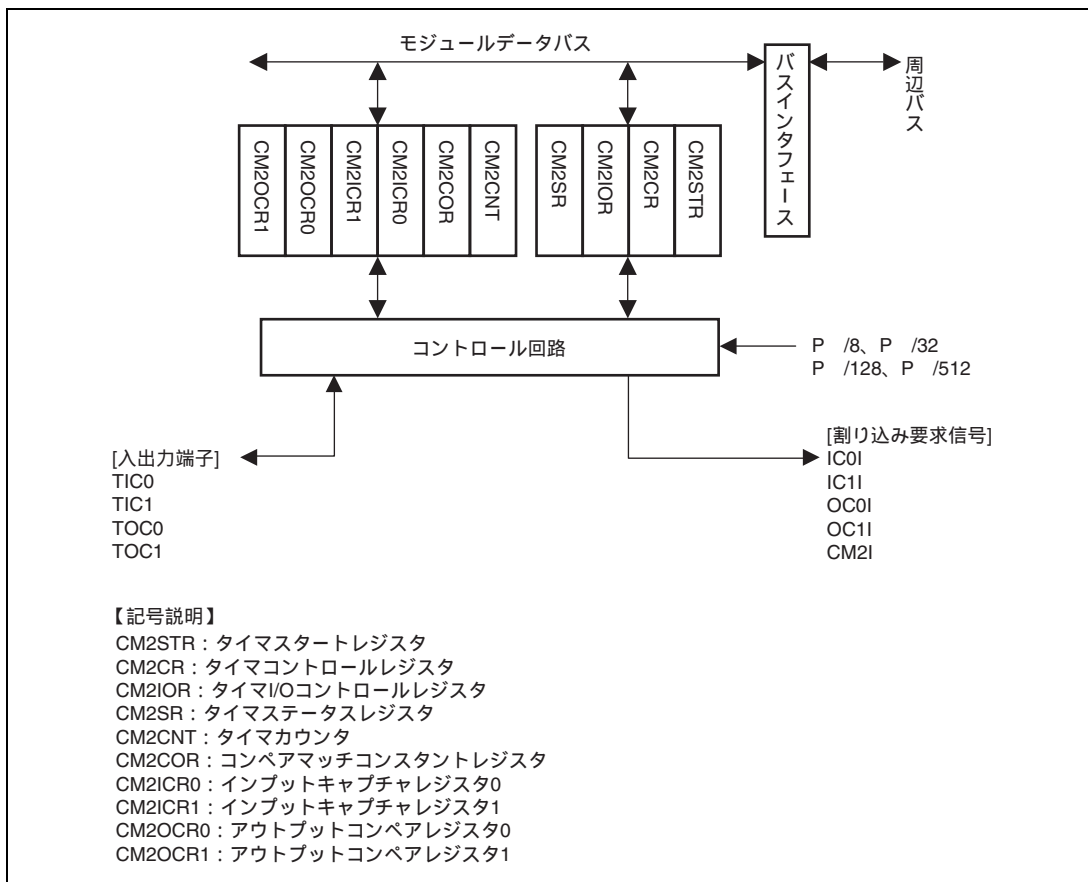


図 16.1 CMT2 のブロック図

16.2 入出力端子

表 16.1 端子構成

端子名	入出力	機 能
TIC0	入力	インプットキャプチャ入力 0
TIC1	入力	インプットキャプチャ入力 1
TOC0	出力	アウトプットコンペア出力 0
TOC1	出力	アウトプットコンペア出力 1

16.3 レジスタの説明

CMT2には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については、「第34章 レジスタ一覧」を参照してください。

表 16.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマスタートレジスタ	CM2STR	R/W	H'0000	H'FFFE100	16
タイマコントロールレジスタ	CM2CR	R/W	H'0000	H'FFFE104	16
タイマ I/O コントロールレジスタ	CM2IOR	R/W	H'0000	H'FFFE108	16
タイマステータスレジスタ	CM2SR	R/W	H'0000	H'FFFE10C	16
タイマカウンタ	CM2CNT	R/W	H'00000000	H'FFFE110	32
コンペアマッチコンスタントレジスタ	CM2COR	R/W	H'FFFFFFFF	H'FFFE114	32
インプットキャプチャレジスタ 0	CM2ICR0	R	H'00000000	H'FFFE118	32
インプットキャプチャレジスタ 1	CM2ICR1	R	H'00000000	H'FFFE11C	32
アウトプットコンペアレジスタ 0	CM2OCR0	R/W	H'FFFFFFFF	H'FFFE120	32
アウトプットコンペアレジスタ 1	CM2OCR1	R/W	H'FFFFFFFF	H'FFFE124	32

16.3.1 タイマスタートレジスタ (CM2STR)

CM2STRは16ビットのレジスタで、タイマカウンタ (CM2CNT) の動作 / 停止を選択します。CM2STRはワードアクセスのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15-1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	STR	0	R/W	カウントスタート タイマカウンタの動作 / 停止を選択します。 0 : CM2CNT はカウントを停止 1 : CM2CNT はカウントを開始

16.3.2 タイマコントロールレジスタ (CM2CR)

CM2CR は 16 ビットのレジスタで、カウンタクリア要因、カウンタ入力クロック、および割り込みの禁止 / 許可の設定を行います。CM2CR はワードアクセスのみ可能です。

CM2CR の設定は、タイマカウンタ (CM2CNT) の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CCLR[2:0]			-	-	-	CMS	-	OC1IE	OC0IE	IC1IE	IC0IE	CM2IE	-	CKS[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
15~13	CCLR[2:0]	000	R/W	カウンタクリア CM2CNT のカウンタクリア要因を選択します。 000: CM2COR のコンペアマッチで CM2CNT クリア 001: クリアしない 010: クリアしない 011: クリアしない 100: CM2ICR0 のインプットキャプチャで CM2CNT クリア 101: CM2ICR1 のインプットキャプチャで CM2CNT クリア 110: CM2OCR0 のコンペアマッチで CM2CNT クリア 111: CM2OCR1 のコンペアマッチで CM2CNT クリア
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	CMS	0	R/W	タイマカウンタサイズ タイマカウンタ (CM2CNT) を 16 ビットカウンタか 32 ビットカウンタとして使うかを選択します。本ビットの設定がコンペアマッチコンスタントレジスタ (CM2COR)、インプットキャプチャレジスタ (CM2ICR0、CM2ICR1)、アウトプットコンペアレジスタ (CM2OCR0、CM2OCR1) の有効ビットサイズになります。 0: 32 ビットカウンタ動作 1: 16 ビットカウンタ動作
8	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	OC1IE	0	R/W	アウトプットコンペア 1 インタラプトイネーブル CM2SR の OCF1 ビットが 1 にセットされたとき、アウトプットコンペア割り込み要求 (OC1I) の発生を許可するか禁止するかを選択します。 0: OCF1 ビットによる割り込み要求 (OC1I) を禁止 1: OCF1 ビットによる割り込み要求 (OC1I) を許可

ビット	ビット名	初期値	R/W	説明
6	OC0IE	0	R/W	<p>アウトプットコンペア0インタラプトイネーブル</p> <p>CM2SRのOCF0ビットが1にセットされたとき、アウトプットコンペア割り込み要求(OC0I)の発生を許可するか禁止するかを選択します。</p> <p>0: OCF0ビットによる割り込み要求(OC0I)を禁止</p> <p>1: OCF0ビットによる割り込み要求(OC0I)を許可</p>
5	IC1IE	0	R/W	<p>インプットキャプチャ1インタラプトイネーブル</p> <p>CM2SRのICF1ビットが1にセットされたとき、インプットキャプチャ割り込み要求(IC1I)の発生を許可するか禁止するかを選択します。</p> <p>0: ICF1ビットによる割り込み要求(IC1I)を禁止</p> <p>1: ICF1ビットによる割り込み要求(IC1I)を許可</p>
4	IC0IE	0	R/W	<p>インプットキャプチャ0インタラプトイネーブル</p> <p>CM2SRのICF0ビットが1にセットされたとき、インプットキャプチャ割り込み要求(IC0I)の発生を許可するか禁止するかを選択します。</p> <p>0: ICF0ビットによる割り込み要求(IC0I)を禁止</p> <p>1: ICF0ビットによる割り込み要求(IC0I)を許可</p>
3	CM2IE	0	R/W	<p>コンペアマッチ割り込みイネーブル</p> <p>CM2CNTとCM2CORの値が一致したとき(CM2F=1)、コンペアマッチ割り込み要求(CM2I)の発生を許可するか禁止するかを選択します。</p> <p>0: コンペアマッチ割り込み要求(CM2I)を禁止</p> <p>1: コンペアマッチ割り込み要求(CM2I)を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>周辺クロック(P)を分周した4種類の内部クロックからCM2CNTに入力するクロックを選択します。CM2STRのSTRビットが1にセットされると、CM2CNTはCKS[1:0]ビットにより選択されたクロックでカウントを開始します。</p> <p>00: P /8</p> <p>01: P /32</p> <p>10: P /128</p> <p>11: P /512</p>

16.3.3 タイマ I/O コントロールレジスタ (CM2IOR)

CM2IOR は 16 ビットのレジスタで、CM2COR、CM2ICR0、CM2ICR1、CM2OCR0、CM2OCR1 の制御を行います。CM2IOR はワードアクセスのみ可能です。CM2IOR の設定は、タイマカウンタ (CM2CNT) の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CM2E	-	OC1E	OC0E	OC1[1:0]	OC0[1:0]	-	-	IC1E	IC0E	IC1[1:0]	IC0[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CM2E	0	R/W	コンペアマッチイネーブル CM2COR によるコンペアマッチ動作の禁止 / 許可を設定します。 0: CM2COR によるコンペアマッチ動作を禁止 1: CM2COR によるコンペアマッチ動作を許可
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	OC1E	0	R/W	コンペアマッチイネーブル 1 CM2OCR1 によるコンペアマッチ動作の禁止 / 許可を設定します。 0: CM2OCR1 によるコンペアマッチ動作を禁止 1: CM2OCR1 によるコンペアマッチ動作を許可
12	OC0E	0	R/W	コンペアマッチイネーブル 0 CM2OCR0 によるコンペアマッチ動作の禁止 / 許可を設定します。 0: CM2OCR0 によるコンペアマッチ動作を禁止 1: CM2OCR0 によるコンペアマッチ動作を許可
11、10	OC1[1:0]	00	R/W	アウトプットコンペアコントロール 1 CM2OCR1 の機能を設定します。 00: 出力保持* 01: 初期出力は 0 出力 コンペアマッチでトグル出力 10: 初期出力は 1 出力 コンペアマッチでトグル出力 11: 設定禁止
9、8	OC0[1:0]	00	R/W	アウトプットコンペアコントロール 0 CM2OCR0 の機能を設定します。 00: 出力保持* 01: 初期出力は 0 出力 コンペアマッチでトグル出力 10: 初期出力は 1 出力 コンペアマッチでトグル出力 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	IC1E	0	R/W	インพุットキャプチャイネーブル1 TIC1 端子によるインพุットキャプチャ動作の禁止 / 許可を設定します。 0 : TIC1 端子によるインพุットキャプチャ動作を禁止 1 : TIC1 端子によるインพุットキャプチャ動作を許可
4	IC0E	0	R/W	インพุットキャプチャイネーブル0 TIC0 端子によるインพุットキャプチャ動作の禁止 / 許可を設定します。 0 : TIC0 端子によるインพุットキャプチャ動作を禁止 1 : TIC0 端子によるインพุットキャプチャ動作を許可
3、2	IC1[1:0]	00	R/W	インพุットキャプチャコントロール1 CM2ICR1 の機能を設定します。 00 : 立ち上がりエッジでインพุットキャプチャ 01 : 立ち下がりエッジでインพุットキャプチャ 10 : 両エッジでインพุットキャプチャ 11 : 設定禁止
1、0	IC0[1:0]	00	R/W	インพุットキャプチャコントロール0 CM2ICR0 の機能を設定します。 00 : 立ち上がりエッジでインพุットキャプチャ 01 : 立ち下がりエッジでインพุットキャプチャ 10 : 両エッジでインพุットキャプチャ 11 : 設定禁止

【注】 * パワーオンリセット後、CM2IOR を設定するまでは0が出力されます。

16.3.4 タイマステータスレジスタ (CM2SR)

CM2SR は 16 ビットのレジスタで、インプットキャプチャまたはコンペアマッチの発生、およびオーバーフロー発生の表示を行います。CM2SR はワードアクセスのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CM2F	OVF	-	-	OCF1	OCF0	ICF1	ICF0	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
CM2SRレジスタのフラグビットは、0にクリアしたいビットにのみ0を書き込み、
その他のビットには1を書き込んでください。

ビット	ビット名	初期値	R/W	説明
15	CM2F	0	R/(W)*	<p>コンペアマッチフラグ</p> <p>CM2CNT と CM2COR の値が一致したことを示すフラグです。</p> <p>0 : CM2CNT と CM2COR の値は不一致</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセットおよびモジュールスタンバイモード時 • CM2F = 1 を読み出し後に 0 を書き込んだとき • CM2I 割り込みにより DMAC が起動されたとき • CM2I 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき <p>1 : CM2CNT と CM2COR の値は一致</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • CM2CNT と CM2COR の値が一致したとき
14	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>CM2CNT にオーバーフローが発生 (H'FFFFFFF H'00000000) したことを示すフラグです。本フラグは、CM2COR を H'FFFFFFF (32 ビットカウント動作時) または H'0000FFFF (16 ビットカウント動作時) に設定した場合のみ有効となります。</p> <p>0 : CM2CNT にオーバーフローが発生していない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセットおよびモジュールスタンバイモード時 • OVF = 1 を読み出し後に 0 を書き込んだとき <p>1 : CM2CNT にオーバーフローが発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • CM2CNT にオーバーフローが発生したとき
13, 12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11	OCF1	0	R/(W)*	<p>アウトプットコンペアフラグ1</p> <p>CM2OCR1のコンペアマッチの発生を示すステータスフラグです。</p> <p>0 : CM2CNT と CM2OCR1 の値は不一致</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセットおよびモジュールスタンバイモード時 • OCF1 = 1 を読み出し後に 0 を書き込んだとき • OC1I 割り込みにより DMAC が起動されたとき • OC1I 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき <p>1 : CM2CNT と CM2OCR1 の値は一致</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • CM2CNT と CM2OCR1 の値が一致したとき
10	OCF0	0	R/(W)*	<p>アウトプットコンペアフラグ0</p> <p>CM2OCR0のコンペアマッチの発生を示すステータスフラグです。</p> <p>0 : CM2CNT と CM2OCR0 の値は不一致</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセットおよびモジュールスタンバイモード時 • OCF0 = 1 を読み出し後に 0 を書き込んだとき • OC0I 割り込みにより DMAC が起動されたとき • OC0I 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき <p>1 : CM2CNT と CM2OCR0 の値は一致</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • CM2CNT と CM2OCR0 の値が一致したとき
9	ICF1	0	R/(W)*	<p>インプットキャプチャフラグ1</p> <p>CM2ICR1のインプットキャプチャの発生を示すステータスフラグです。</p> <p>0 : CM2ICR1 にインプットキャプチャが発生していない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセットおよびモジュールスタンバイモード時 • ICF1 = 1 を読み出し後に 0 を書き込んだとき • IC1I 割り込みにより DMAC が起動されたとき • IC1I 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき <p>1 : CM2ICR1 にインプットキャプチャが発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • インプットキャプチャ信号により CM2CNT の値が CM2ICR1 に転送されたとき

ビット	ビット名	初期値	R/W	説明
8	ICF0	0	R/(W)*	インพุットキャプチャフラグ 0 CM2ICR0 のインพุットキャプチャの発生を示すステータスフラグです。 0 : CM2ICR0 にインพุットキャプチャが発生していない [クリア条件] ・パワーオンリセットおよびモジュールスタンバイモード時 ・ICF0 = 1 を読み出し後に 0 を書き込んだとき ・IC0I 割り込みにより DMAC が起動されたとき ・IC0I 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき 1 : CM2ICR0 にインพุットキャプチャが発生 [セット条件] ・インพุットキャプチャ信号により CM2CNT の値が CM2ICR0 に転送されたとき
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。
 CM2SR レジスタのフラグビットは、0 にクリアしたいビットにのみ 0 を書き込み、その他のビットには 1 を書き込んでください。

16.3.5 タイマカウンタ (CM2CNT)

CM2CNT は 32 ビットのレジスタで、アップカウンタとして使用されます。

カウント動作を開始する前に、タイマコントロールレジスタ (CM2CR) の設定を完了してください。CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CM2CNT はロングワードアクセスのみ可能です。

CM2CNT の初期値は H'00000000 です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.6 コンペアマッチコンスタントレジスタ (CM2COR)

CM2COR は 32 ビットのレジスタで、タイマカウンタ (CM2CNT) とコンペアマッチするまでの期間を設定します。タイマコントロールレジスタ (CM2CR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CM2COR はロングワードアクセスのみ可能です。オーバフロー検出は本レジスタが H'FFFFFFF (32 ビットカウンタ動作時) / H'0000FFFF (16 ビットカウンタ動作時) で CM2CNT が 0 クリアされたときに検出されます。CM2COR の初期値は H'FFFFFFF です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.7 インプットキャプチャレジスタ 0、1 (CM2ICR0、CM2ICR1)

CM2ICR0、CM2ICR1 は、インプットキャプチャ時の CM2CNT 値を格納する 32 ビットのレジスタです。

タイマコントロールレジスタ (CM2CR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。本レジスタへの書き込みは無効です。CM2ICR0、CM2ICR1 はロングワードアクセスのみ可能です。CM2ICR0、CM2ICR1 の初期値は H'00000000 です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16.3.8 アウトプットコンペアレジスタ 0、1 (CM2OCR0、CM2OCR1)

CM2OCR0、CM2OCR1 は、アウトプットコンペア時のコンペア値を設定する 32 ビットのレジスタです。

タイマコントロールレジスタ (CM2CR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CM2OCR0、CM2OCR1 はロングワードアクセスのみ可能です。CM2OCR0、CM2OCR1 の初期値は、H'FFFFFFF です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.4 動作説明

CMT2はCM2CRの設定後にCM2STRのSTRビットに1を書き込むことによって、カウンタ動作を開始します。また、CM2IORを設定することにより、コンペアマッチ機能、インプットキャプチャ入力機能、およびアウトプットコンペア出力機能を使用することが可能です。

16.4.1 カウンタ動作

CM2STRのSTRビットに1を書き込むと、カウンタ動作を開始します。CM2CRのCCLR[2:0]ビットでカウンタをクリアする条件に設定した場合は、カウンタクリア要因が発生するとCM2CNTはH'00000000にクリアされ、カウントアップを続けます。カウンタをクリアしない条件に設定した場合は、オーバフロー発生時(H'FFFFFFF H'00000000(32ビットカウンタ動作時) / H'0000FFFF H'00000000(16ビットカウンタ動作時))のみCM2CNTはH'00000000にクリアされ、カウントアップを続けます。

16.4.2 コンペアマッチ機能

CM2CNTの値がCM2CORの値と一致すると、CM2SRのCM2Fビットが1にセットされます。

オーバフロー検出を行いたい場合は、CM2CORの値をH'FFFFFFF(32ビットカウンタ動作時) / H'0000FFFF(16ビットカウンタ動作時)としてください。CM2CNTの値がCM2CORの値に一致すると、CM2CNTはH'00000000にクリアされ、CM2SRのCM2FビットとOVFビットが1にセットされます。

コンペアマッチ動作の設定手順例を図16.2に示します。

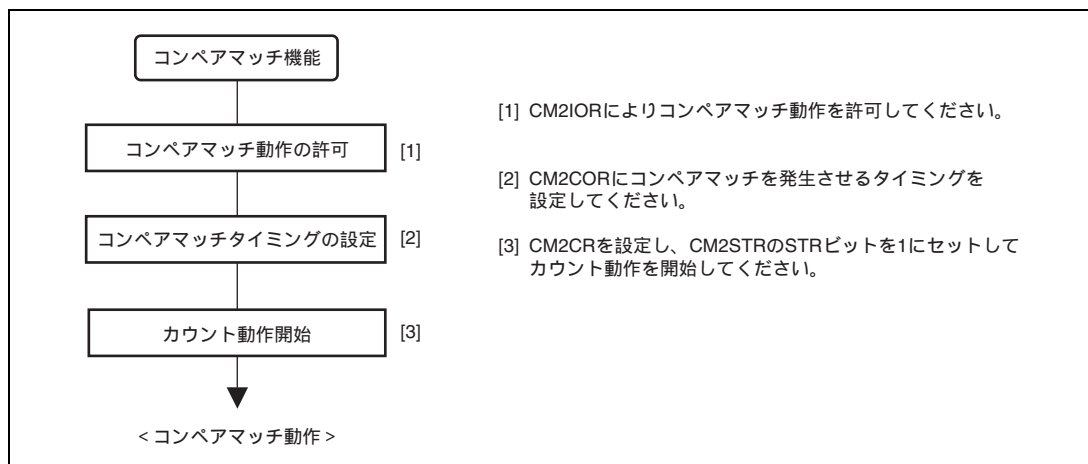


図 16.2 コンペアマッチ動作の設定手順例

CM2COR とのコンペアマッチをカウンタクリア要因とした場合の例を図 16.3 に示します。

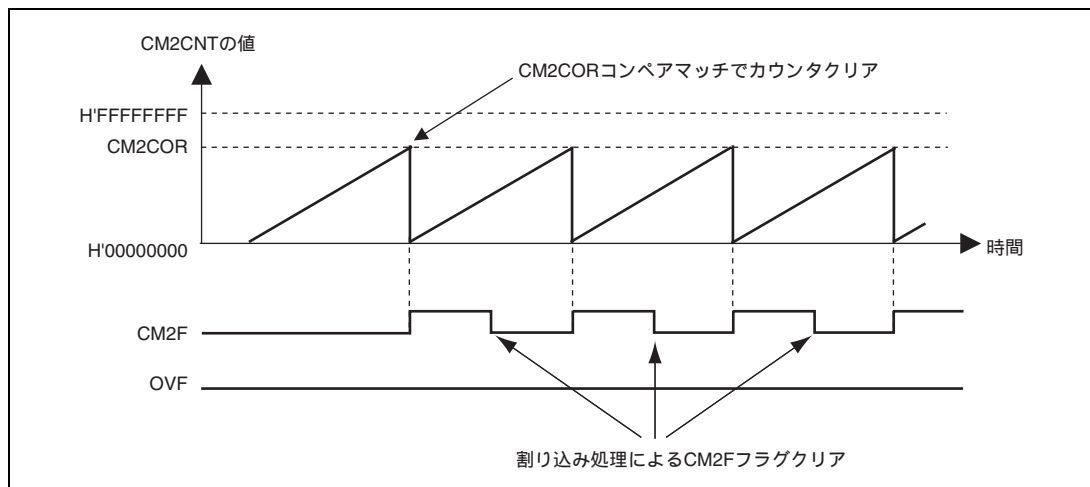


図 16.3 コンペアマッチ動作例

CM2COR = H'FFFFFFF とし、オーバーフロー検出をした場合の例を図 6.4 に示します。

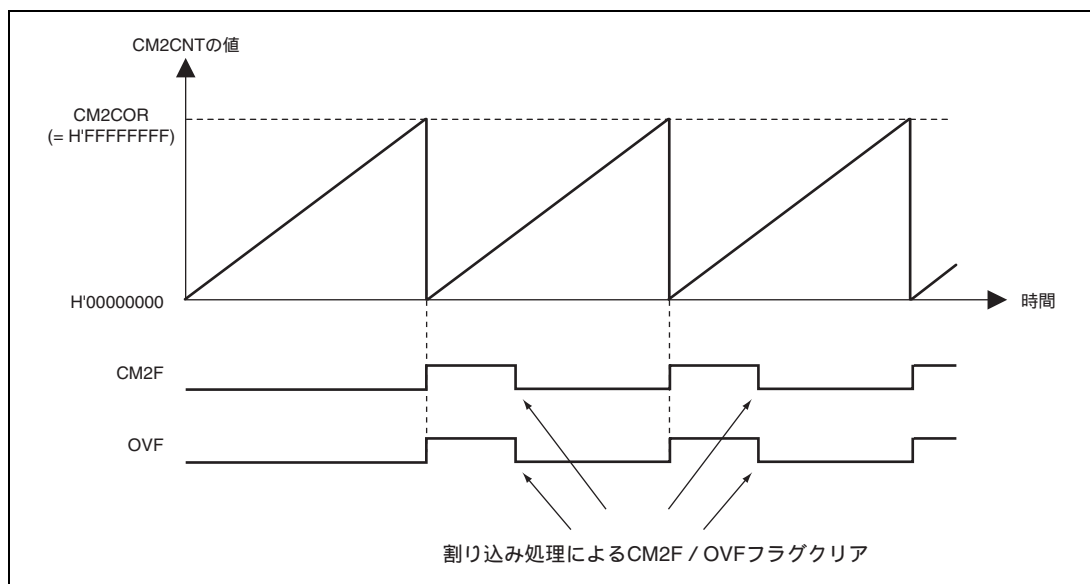


図 16.4 コンペアマッチ動作例 (オーバーフロー検出時)

16.4.3 アウトプットコンペア機能

アウトプットコンペアにより対応する出力端子からトグル出力を行うことができます。また、CM2CNT の値が CM2OCR0 または CM2OCR1 の値と一致すると、CM2SR の OCF0 ビットまたは OCF1 ビットが 1 にセットされます。アウトプットコンペア動作の設定手順例を図 16.5 に示します。

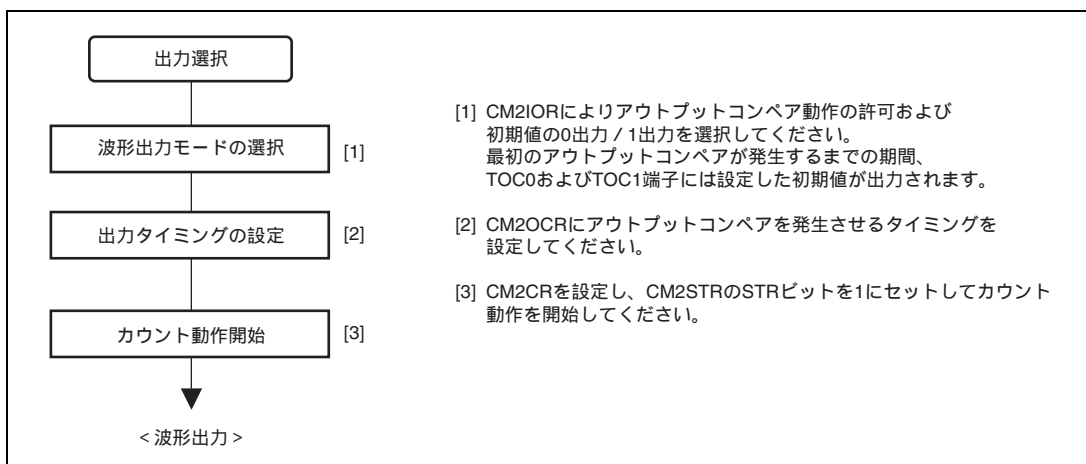


図 16.5 アウトプットコンペア動作の設定手順例

CM2OCR1 によりカウンタクリア、TOC0 および TOC1 端子をトグル出力とした場合の例を図 16.6 に示します。

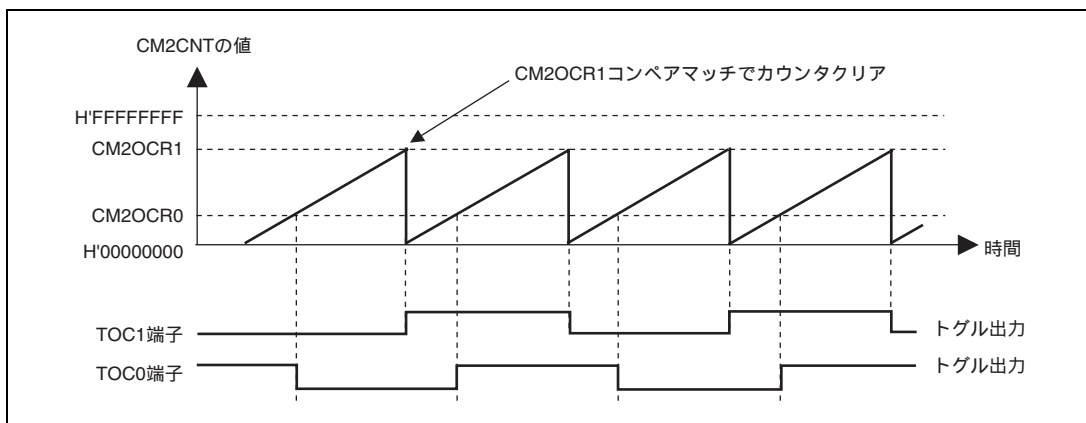


図 16.6 アウトプットコンペア動作例

16.4.4 インพุットキャプチャ機能

TIC0、TIC1 端子の入力エッジを検出して CM2CNT の値を CM2ICR0、CM2ICR1 にそれぞれ転送することができます。検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、インพุットキャプチャにより CM2CNT の値が CM2ICR0 または CM2ICR1 に転送されると、CM2SR の ICF0 ビットまたは ICF1 ビットが 1 にセットされます。インพุットキャプチャ動作の設定手順例を図 16.7 に示します。

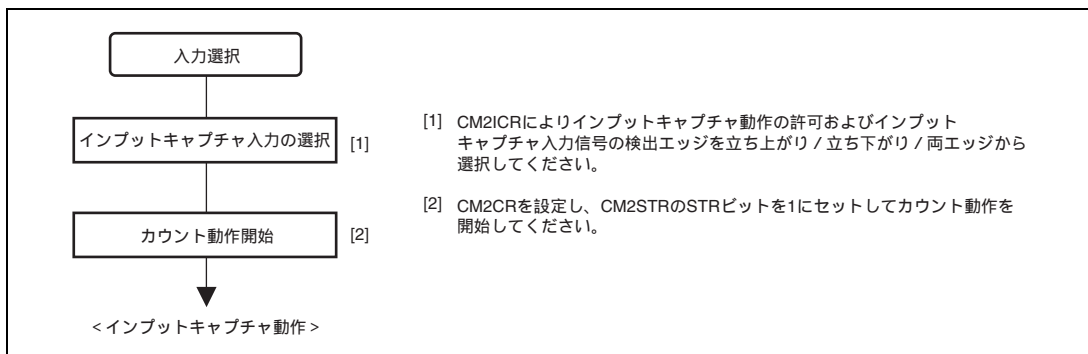


図 16.7 インพุットキャプチャ動作の設定手順例

TIC0 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、TIC1 端子は立ち下がりエッジを選択し、CM2ICR1 のインพุットキャプチャで CM2CNT がクリアされるように設定した場合の例を図 16.8 に示します。

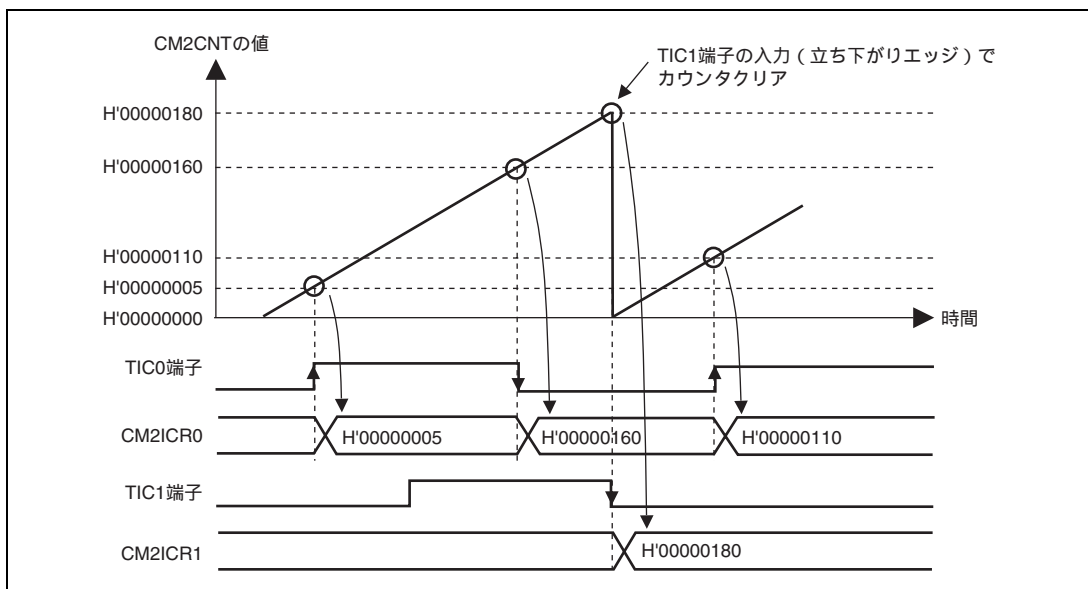


図 16.8 インพุットキャプチャ動作例

16.4.5 カウンタサイズ

CMT2 はカウンタサイズを 16 ビットカウンタと 32 ビットカウンタで選択可能です。カウンタサイズの設定は CM2CR の CMS ビットで行います。16 ビットカウンタとして使う場合、CM2COR の値は上位に H'0000 を加えた 32 ビットでセットしてください。オーバーフロー検出を行うときは H'0000FFFF とします。CM2OCR0、CM2OCR1 の値は上位に H'0000 を加えた 32 ビットでセットしてください。CM2ICR0、CM2ICR1 は上位に H'0000 を加えた 32 ビットの値が読み出されます。

16.4.6 CM2CNT カウントタイミング

周辺クロック (P) を分周して得られた 4 種類のクロック (P /8、P /32、P /128、P /512) のうち 1 つを CM2CR の CKS[1:0] ビットにより選択することができます。図 16.9 にそのタイミングを示します。

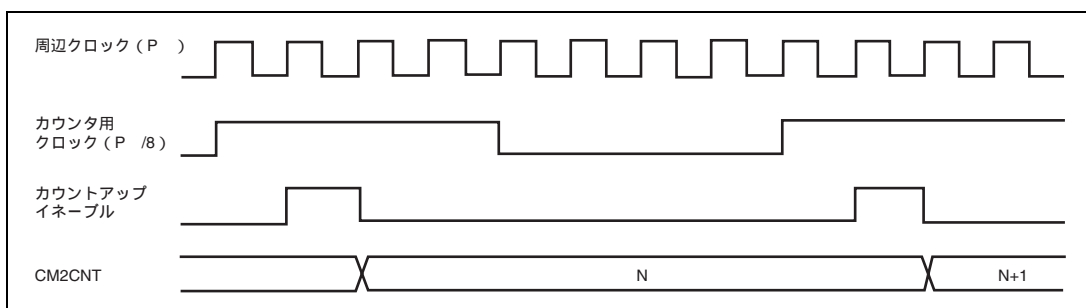


図 16.9 カウントタイミング (P /8 のとき)

16.4.7 アウトプットコンペア出力タイミング

CM2OCR と CM2CNT が一致した最後のステート (CM2CNT の値が更新されるタイミング) でコンペアマッチ信号が発生します。つまり、CM2OCR と CM2CNT の一致後、CM2CNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。コンペアマッチ信号が発生したとき、アウトプットコンペア出力端子 (TOC 端子) に出力されます。アウトプットコンペア出力タイミングを図 16.10 に示します。

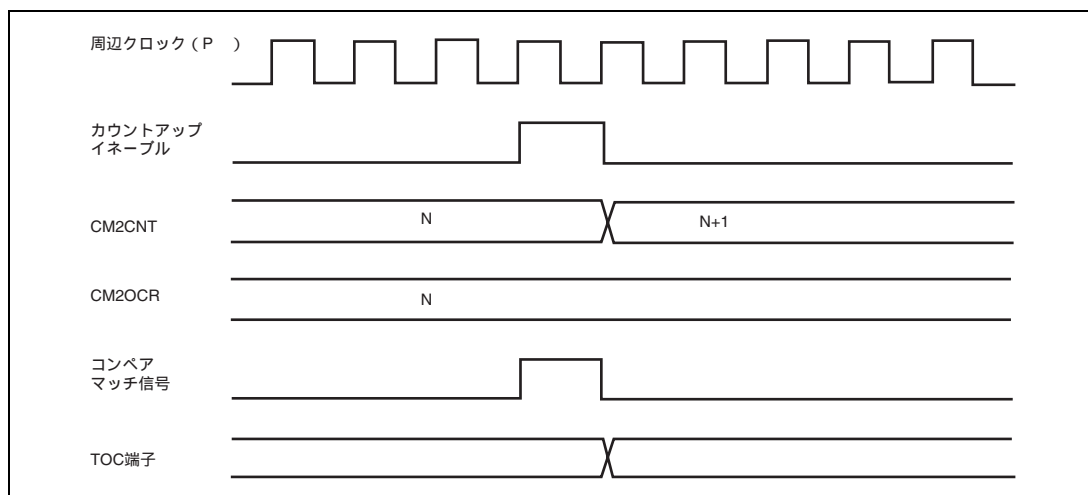


図 16.10 アウトプットコンペア出力タイミング

16.4.8 インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 16.11 に示します。

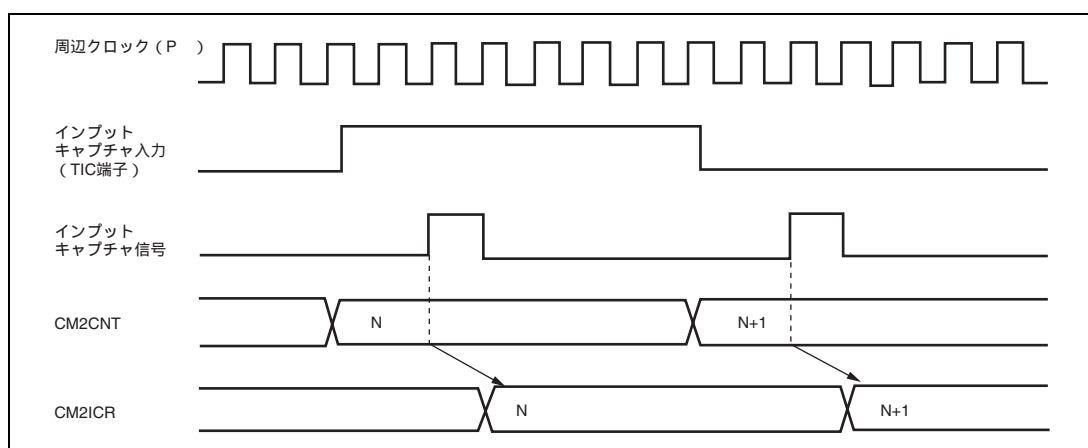


図 16.11 インプットキャプチャ入力信号タイミング

16.4.9 CM2CNT/CM2COR/CM2ICR/CM2OCR アクセスタイミング

CM2CNT/CM2COR/CM2ICR/CM2OCR は 32 ビットのレジスタですが、周辺データバスは 16 ビットであるため、レジスタへのアクセス（ロングワード）は上位 16 ビットと下位 16 ビットに分割して行われます。

書き込み時は、上位側データをいったんライトバッファに格納し、下位側データの書き込みと同じタイミングで上位側データの書き込みも行われます。

読み出し時は、上位側データの読み出しと同じタイミングで下位側データを読み出して、下位側データをいったんリードバッファに格納します。下位側データの読み出しサイクルではリードバッファからのデータが読み出されます。

CM2CNT への書き込み時の動作例を図 16.12 に、読み出し時の動作例を図 16.13 に示します。

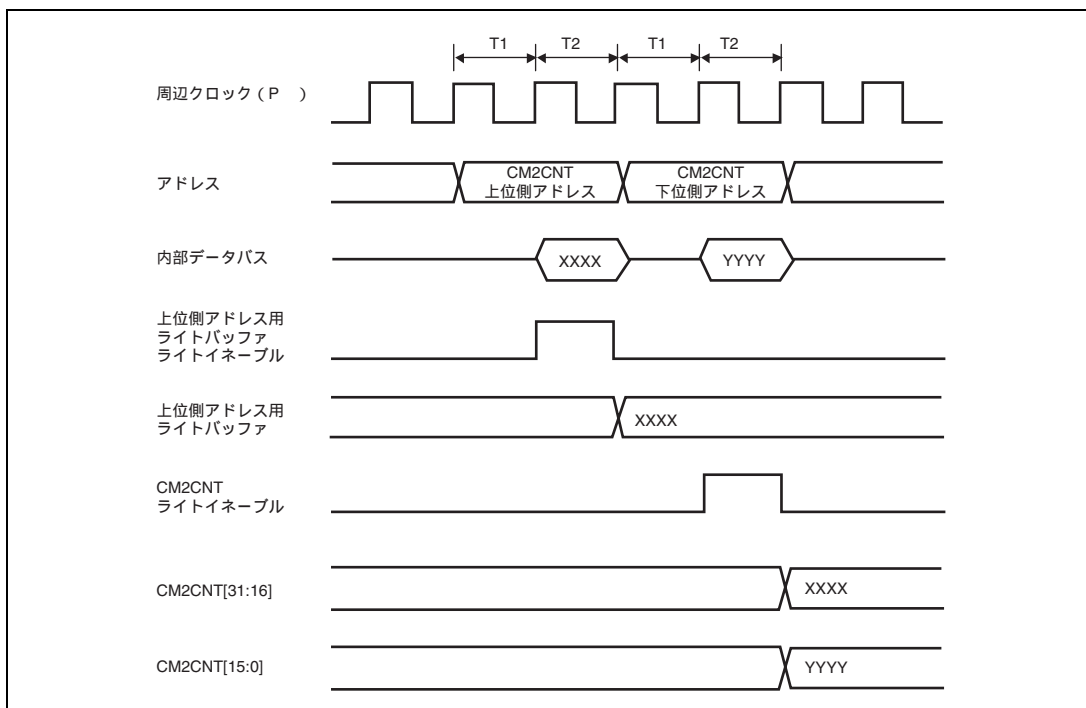


図 16.12 CM2CNT 書き込み時の動作例

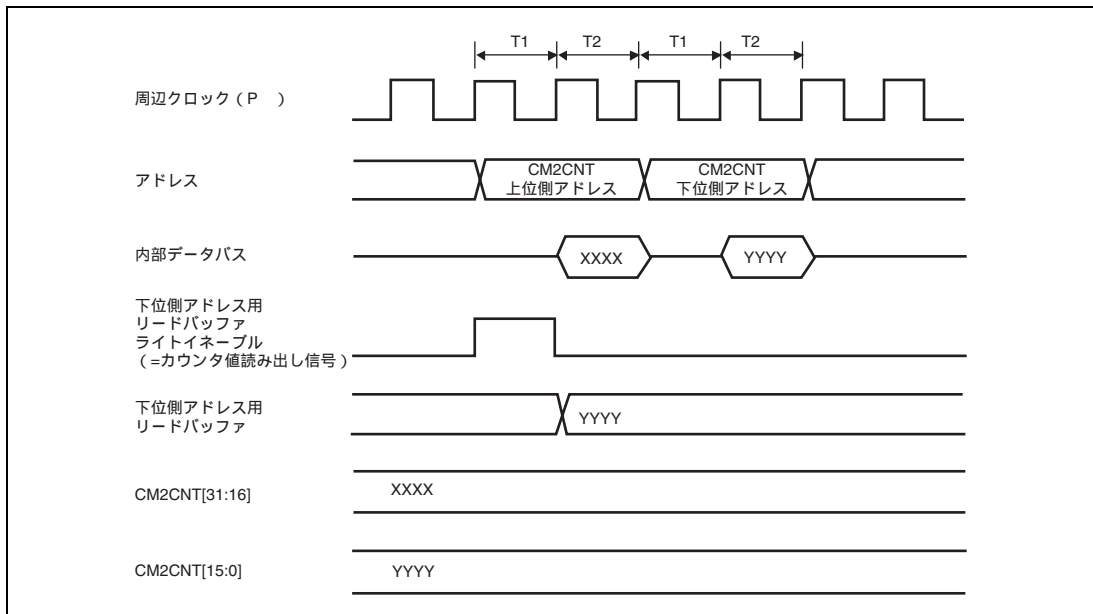


図 16.13 CM2CNT 読み出し時の動作例

16.5 割り込み

16.5.1 CMT2 の割り込み要因と DMAC/DTC

CMT2 はインプットキャプチャ割り込み要求 (IC0I、IC1I)、アウトプットコンペア割り込み要求 (OC0I、OC1I) と、コンペアマッチ割り込み要求 (CM2I) の 5 種類の割り込み要因を持っています。

表 16.3 に各割り込み要因と優先順位を示します。各割り込み要因は、CM2CR の IC0IE、IC1IE、OC0IE、OC1IE、CM2IE ビットで許可または禁止ができます。各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。CM2SR の ICF0、ICF1 フラグのいずれかに 1 がセットされると、インプットキャプチャ割り込み要求が発生します。CM2SR の OCF0、OCF1 フラグのいずれかに 1 がセットされると、アウトプットコンペア割り込み要求が発生します。CM2SR の CM2F フラグが 1 にセットされると、コンペアマッチ割り込み要求が発生します。なお、ユーザ例外処理ルーチン中に各フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。各フラグビットの 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでフラグクリアされませんので、再度 1 を読み出して 0 を書き込んでください。

また、各割り込み要求で、ダイレクトメモリアクセスコントローラ (DMAC) またはデータ転送ファコントローラ (DTC) を起動することができます。DMAC 起動によるデータ転送時は、データ転送が行われるとフラグは自動的にクリアされて CPU への割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 でかつ転送カウンタ値が 0 以外の場合には、データ転送が行われるとフラグが自動的にクリアされて CPU への割り込み要求は発生しません。ただし、DISEL ビットが 0 でかつ転送カウンタ値が 0 および DISEL ビットが 1 の場合には、データ転送が行われてもフラグはクリアされずにデータ転送終了後に CPU への割り込み要求が発生します。

表 16.3 CMT2 割り込み要因

割り込み要因	内 容	割り込み許可 ビット	DMAC/DTC の 起動	優先順位
CM2I	コンペアマッチ (CM2F) による割り込み	CM2IE	可	高 ↑ ↓ 低
IC0I	インプットキャプチャ (ICF0) による割り込み	IC0IE	可	
IC1I	インプットキャプチャ (ICF1) による割り込み	IC1IE	可	
OC0I	アウトプットコンペアフラグ (OCF0) による割り込み	OC0IE	可	
OC1I	アウトプットコンペアフラグ (OCF1) による割り込み	OC1IE	可	

16.5.2 コンペアマッチフラグのセットタイミング

CM2COR と CM2CNT が一致するとコンペアマッチ信号が発生し、CM2SR の CM2F ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CM2CNT の値が H'00000000 に更新されるタイミング) で発生します。つまり、CM2COR と CM2CNT の一致後、CM2CNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。

図 16.14 に CM2F ビットのセットタイミングを示します。

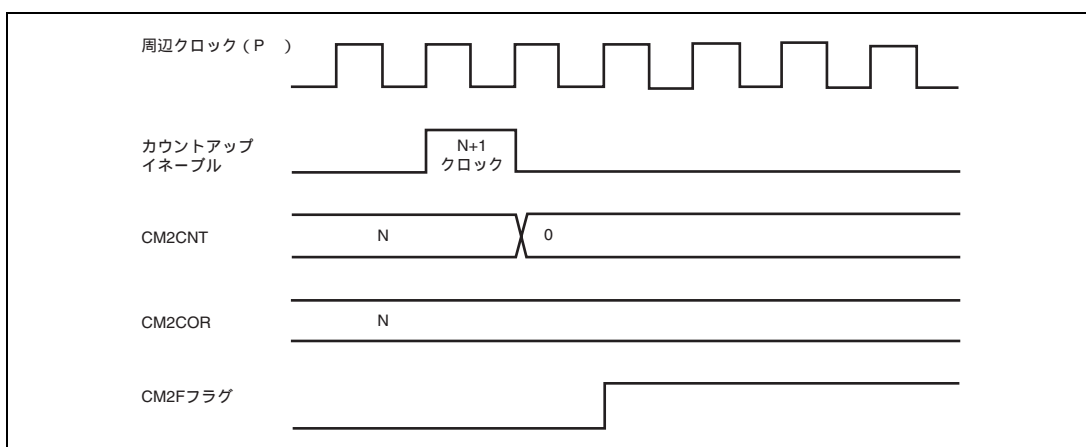


図 16.14 CM2F フラグセットタイミング

16.5.3 アウトプットコンペア時のフラグのセットタイミング

アウトプットコンペアの発生による CM2SR の OCF0、OCF1 フラグのセットタイミングを図 16.15 に示します。

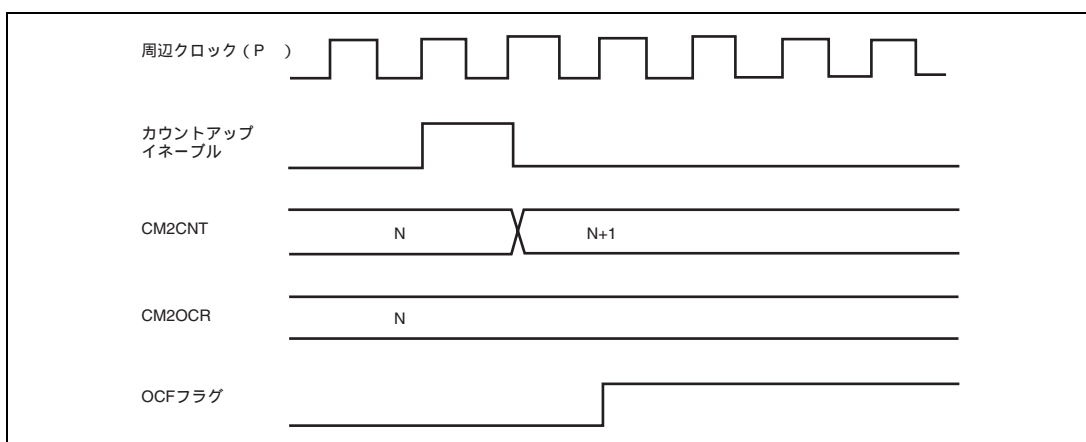


図 16.15 OCF フラグセットタイミング

16.5.4 インพุットキャプチャ時のフラグのセットタイミング

インพุットキャプチャの発生による CM2SR の ICF0、ICF1 フラグのセットタイミングを図 16.16 に示します。

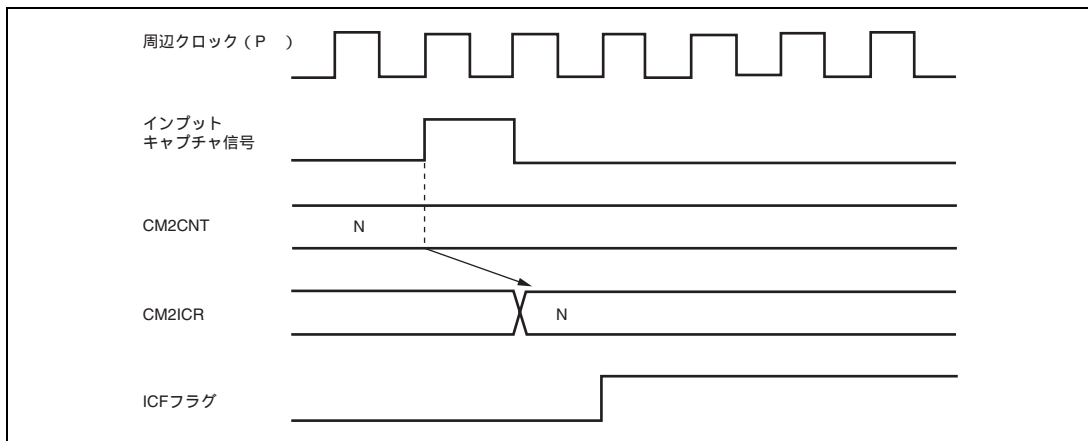


図 16.16 ICF フラグセットタイミング

16.6 使用上の注意事項

16.6.1 モジュールスタンバイモードの設定

CMT2はスタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値ではCMT2の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 32 章 低消費電力モード」を参照してください。

16.6.2 CM2CNT の書き込みとカウントアップ / カウンタクリアの競合

CM2CNT カウンタのライトサイクル中の下位側アドレスの T2 ステートでカウントアップまたはカウンタクリアが発生しても、カウントアップまたはカウンタクリアされずにカウンタ書き込みが優先されます。CM2CNT の書き込みとカウントアップが競合した場合のタイミングを図 16.17 に示します。

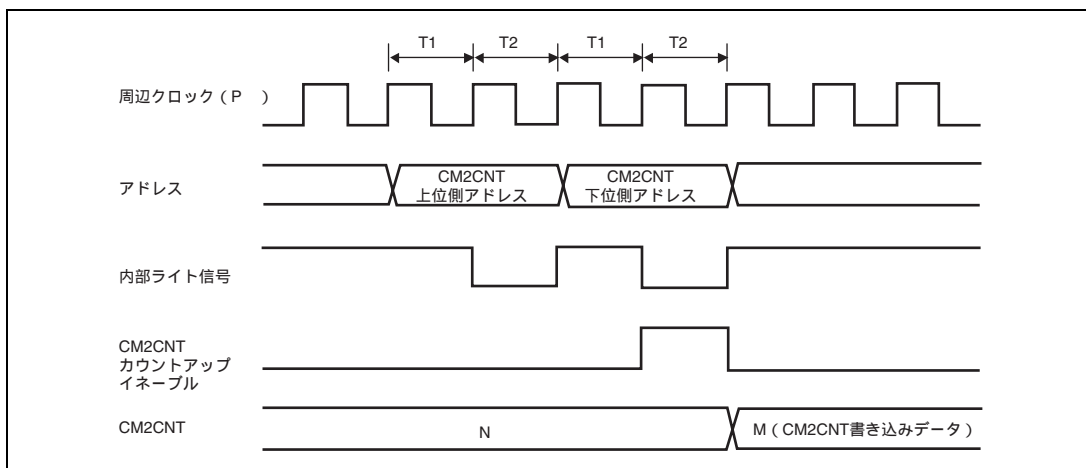


図 16.17 CM2CNT の書き込みとカウントアップの競合

16.6.3 CM2COR の書き込みとコンペアマッチの競合

CM2COR のライトサイクル中の下位側アドレスの T2 ステートでコンペアマッチが発生した場合、CM2COR の書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 16.18 に示します。

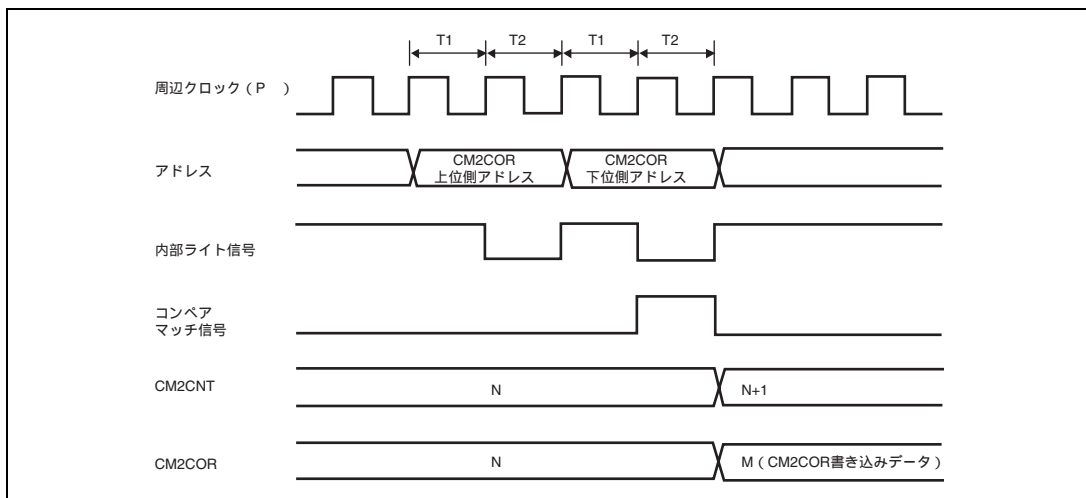


図 16.18 CM2COR の書き込みとコンペアマッチの競合

16.6.4 CM2OCR の書き込みとコンペアマッチの競合

CM2OCR のライトサイクル中の下位側アドレスの T2 ステートでコンペアマッチが発生した場合、CM2OCR の書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 16.19 に示します。

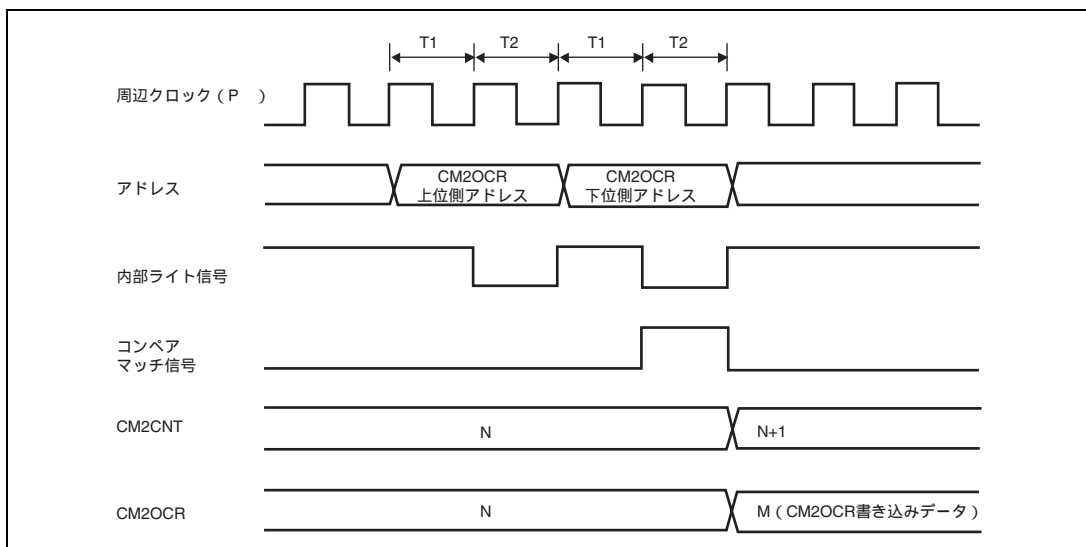


図 16.19 CM2OCR の書き込みとコンペアマッチの競合

16.6.5 CM2CNT 読み出しとカウントアップ / カウンタクリアの競合

CM2CNT の上位側データの読み出しと同時にまたは上位側データの読み出し後にカウントアップまたはカウンタクリアが発生した場合、下位側アドレスの読み出し値はカウントアップまたはカウンタクリア前のカウント値が読み出されます。

CM2CNT 読み出しとカウントアップが競合した場合のタイミングを図 16.20 に示します。

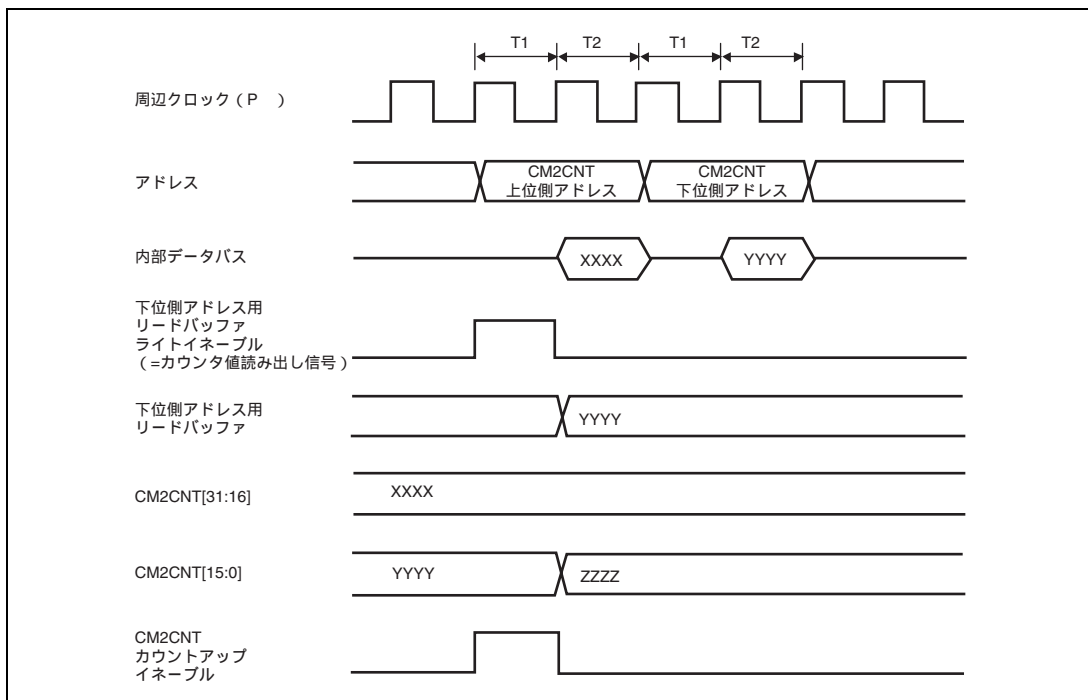


図 16.20 CM2CNT 読み出しとカウントアップの競合
(上位側データの読み出しとカウントアップが同時に発生した場合)

16.6.6 CM2ICR 読み出しとインプットキャプチャの競合

CM2ICR の上位側データの読み出しと同時にまたは上位側データの読み出し後にインプットキャプチャ信号が発生した場合、下位側アドレスの読み出し値はインプットキャプチャ転送前の値が読み出されます。

CM2ICR 読み出しとインプットキャプチャが競合した場合のタイミングを図 16.21 に示します。

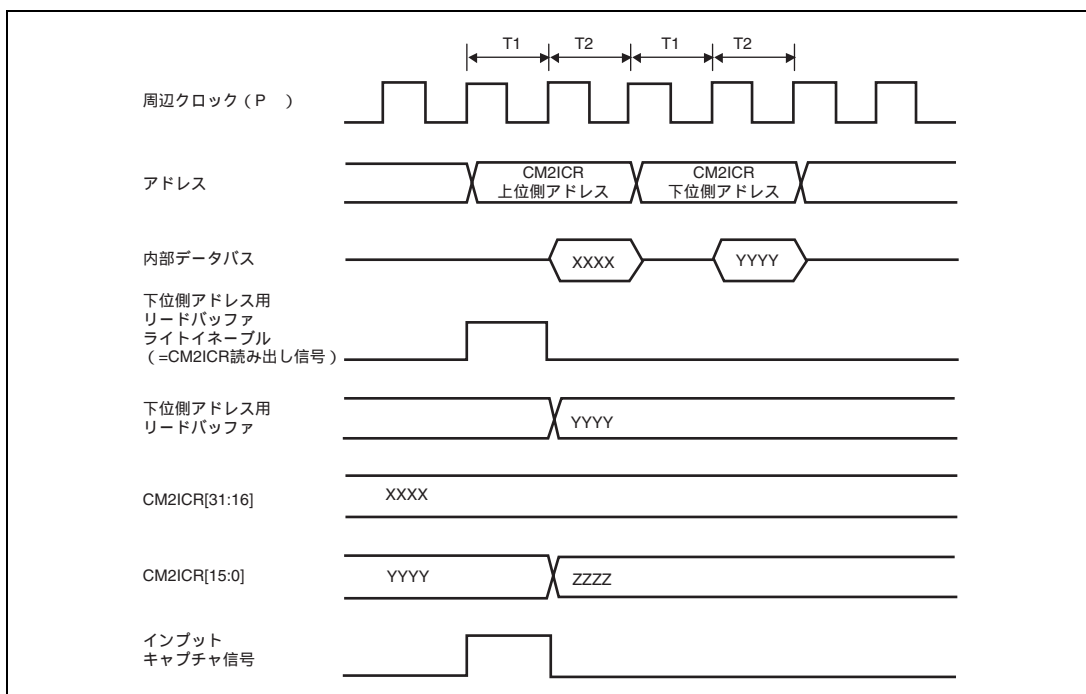


図 16.21 CM2ICR 読み出しとインプットキャプチャの競合
(上位側データの読み出しとインプットキャプチャ信号が同時に発生した場合)

16.6.7 CM2SR レジスタのフラグクリア時の注意事項

CM2SR レジスタのフラグクリアは、クリア対象のフラグビットのみ 0、その他は 1 を書き込んでください。たとえば、ICF0 フラグを 0 にクリアするとき、CM2SR レジスタに H'CE00 を書き込んでください。

17. ウォッチドッグタイマ (WDT)

本 LSI は、8 ビット 1 チャンネルのウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

WDT は、1 チャンネルのタイマで、ソフトウェアスタンバイモードの解除のためのクロック発振安定時間のカウンタに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

17.1 特長

- クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモードの解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($P \times 1 \sim \times 1/16384$) から選択できます。

図 17.1 に WDT のブロック図を示します。

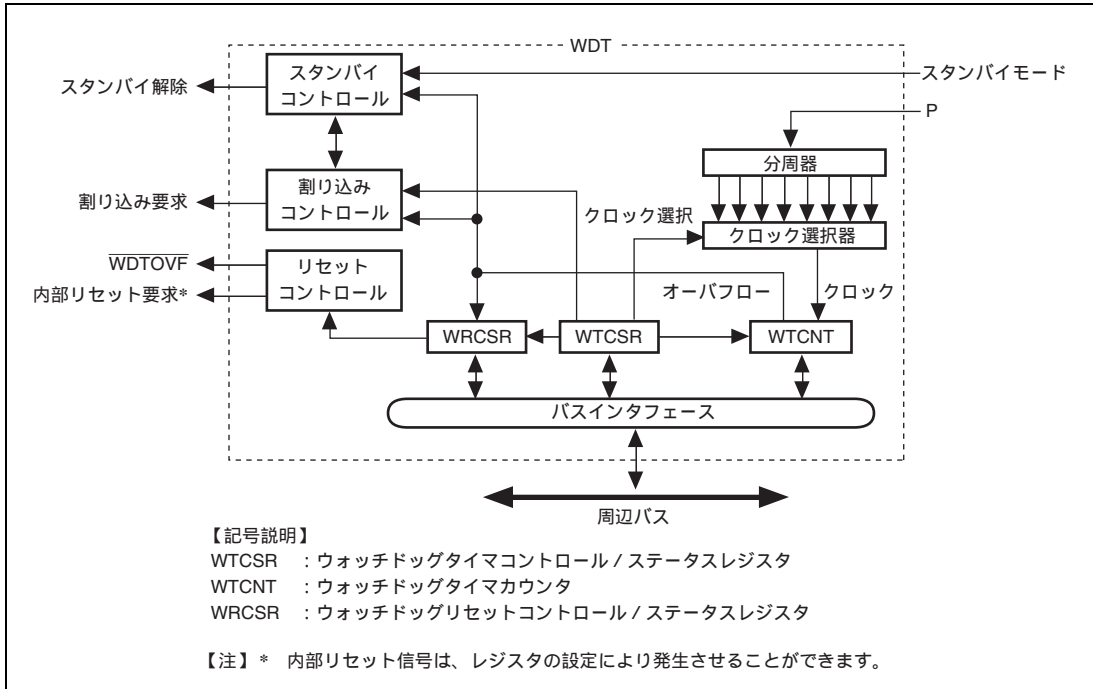


図 17.1 WDT のブロック図

17.2 入出力端子

WDT の端子を表 17.1 に示します。

表 17.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOV \bar{F}	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

17.3 レジスタの説明

WDT には以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 17.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ステータスレジスタ	WRCSR	R/W	H'1F	H'FFFE0004	16*

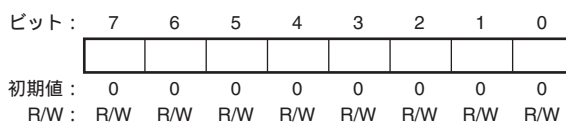
【注】 * アクセスサイズは、「17.3.4 レジスタアクセス時の注意」を参照してください。

17.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーパフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーパフロー信号 ($\overline{\text{WDTOVF}}$) が発生し、インターバルタイマモードのときは割り込みが発生します。WTCNT は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ディープソフトウェアスタンバイモードを解除するために発行される内部リセットで H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「17.3.4 レジスタアクセス時の注意」を参照してください。



17.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCNR)

WTCNR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローフラグおよびイネーブルビットからなります。

WTCNR は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ディープソフトウェアスタンバイモードを解除するために発行される内部リセットで H'18 に初期化されます。

ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバーフロー後、値が保持されます。

WTCNR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「17.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/IT	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IOVF	0	R/(W)	インターバルタイマオーバーフロー インターバルタイマモードで WTCNT がオーバーフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0: オーバーフローなし [クリア条件] • IOVF = 1 を読み出ししてから 0 を書き込んだとき 1: インターバルタイマモードで WTCNT がオーバーフローした [セット条件] • インターバルタイマモードで WTCNT がオーバーフローしたとき
6	WT/IT	0	R/W	タイマモード選択 ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNT がオーバーフローしたとき WDTOVF 信号を外部へ出力 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。

ビット	ビット名	初期値	R/W	説明																		
5	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモード時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0 : タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。</p> <p>1 : タイマイネーブル</p>																		
4, 3	-	すべて 1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。括弧内に示すオーバーフロー周期は、周辺クロック (P) = 50MHz の場合の値です。</p> <table border="0"> <thead> <tr> <th>クロック分周比</th> <th>オーバーフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : 1 × P</td> <td>(5.12 μs)</td> </tr> <tr> <td>001 : 1/64 × P</td> <td>(328 μs)</td> </tr> <tr> <td>010 : 1/128 × P</td> <td>(655 μs)</td> </tr> <tr> <td>011 : 1/256 × P</td> <td>(1.31ms)</td> </tr> <tr> <td>100 : 1/512 × P</td> <td>(2.62ms)</td> </tr> <tr> <td>101 : 1/1024 × P</td> <td>(5.24ms)</td> </tr> <tr> <td>110 : 1/4096 × P</td> <td>(21.0ms)</td> </tr> <tr> <td>111 : 1/16384 × P</td> <td>(83.9ms)</td> </tr> </tbody> </table> <p>【注】 WDT の動作中に CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換える場合は、必ず WDT を停止させてください。</p>	クロック分周比	オーバーフロー周期	000 : 1 × P	(5.12 μs)	001 : 1/64 × P	(328 μs)	010 : 1/128 × P	(655 μs)	011 : 1/256 × P	(1.31ms)	100 : 1/512 × P	(2.62ms)	101 : 1/1024 × P	(5.24ms)	110 : 1/4096 × P	(21.0ms)	111 : 1/16384 × P	(83.9ms)
クロック分周比	オーバーフロー周期																					
000 : 1 × P	(5.12 μs)																					
001 : 1/64 × P	(328 μs)																					
010 : 1/128 × P	(655 μs)																					
011 : 1/256 × P	(1.31ms)																					
100 : 1/512 × P	(2.62ms)																					
101 : 1/1024 × P	(5.24ms)																					
110 : 1/4096 × P	(21.0ms)																					
111 : 1/16384 × P	(83.9ms)																					

17.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

WRCSR は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットおよびディープソフトウェアスタンバイモードを解除するために発行される内部リセットで H'1F に初期化されます。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「17.3.4 レジスタアクセス時の注意」を参照してください

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0: オーバーフローなし [クリア条件] • WOVF = 1 を読み出してから 0 を書き込んだとき 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした [セット条件] • ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: WTCNT がオーバーフローしたとき、内部リセットしない* 1: WTCNT がオーバーフローしたとき、内部リセットする 【注】* 本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCSR はリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット
4~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

17.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込みません。

図 17.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

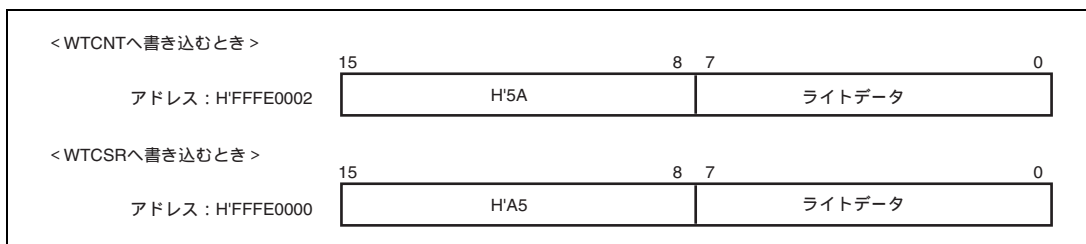


図 17.2 WTCNT および WTCSR への書き込み

(2) WRCR への書き込み

WRCR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込みません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 17.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトにライトデータを転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

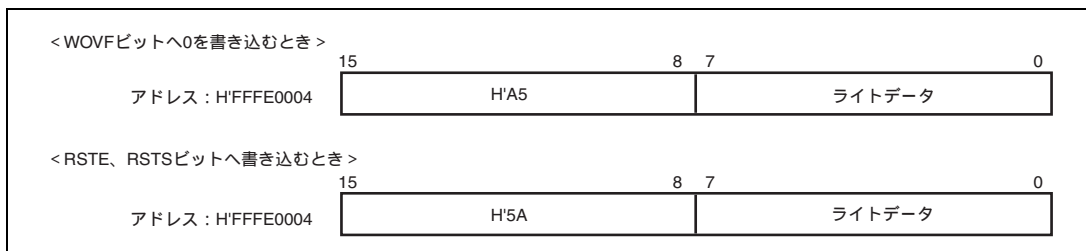


図 17.3 WRCR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

17.4 WDT の使用方法

17.4.1 ソフトウェアスタンバイモード解除の手順

WDT は、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します (リセットで解除する場合は、WDT は動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルに保ってください)。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR: 「第32章 低消費電力モード」参照) の STBY ビットに 1、デープスタンバイコントロールレジスタ (DPSTBCR: 「第32章 低消費電力モード」参照) の DPSTBY ビットに 0 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

17.4.2 ウォッチドッグタイマモードの使用法

1. WTCSR の WT/IT ビットに 1 を設定して、CKS[2:0] にカウントクロックの種類、WRCSR の RSTE ビットに本 LSI の内部をリセットするかしないか、RSTS ビットにこのときのリセットのタイプ、および WTCNT に初期値を設定します。
2. WTCSR の TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタを H'00 に書き換えてください。
4. カウンタがオーバーフローすると、WDT は WRCSR の WOVF を 1 にセットして、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図 17.4 に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、 $64 \times P$ クロックの間出力されません。
5. WRCSR の RSTE ビットを 1 にセットしておくとし、 $\overline{\text{WDTOVF}}$ 信号と同時に本 LSI の内部をリセットする信号を発生させることができます。このリセットは、WRCSR の RSTS ビットの設定によってパワーオンリセットまた

はマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P$ クロックの間出力されます。

6. $\overline{\text{RES}}$ 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCRのWOVFBビットは0にクリアされます。

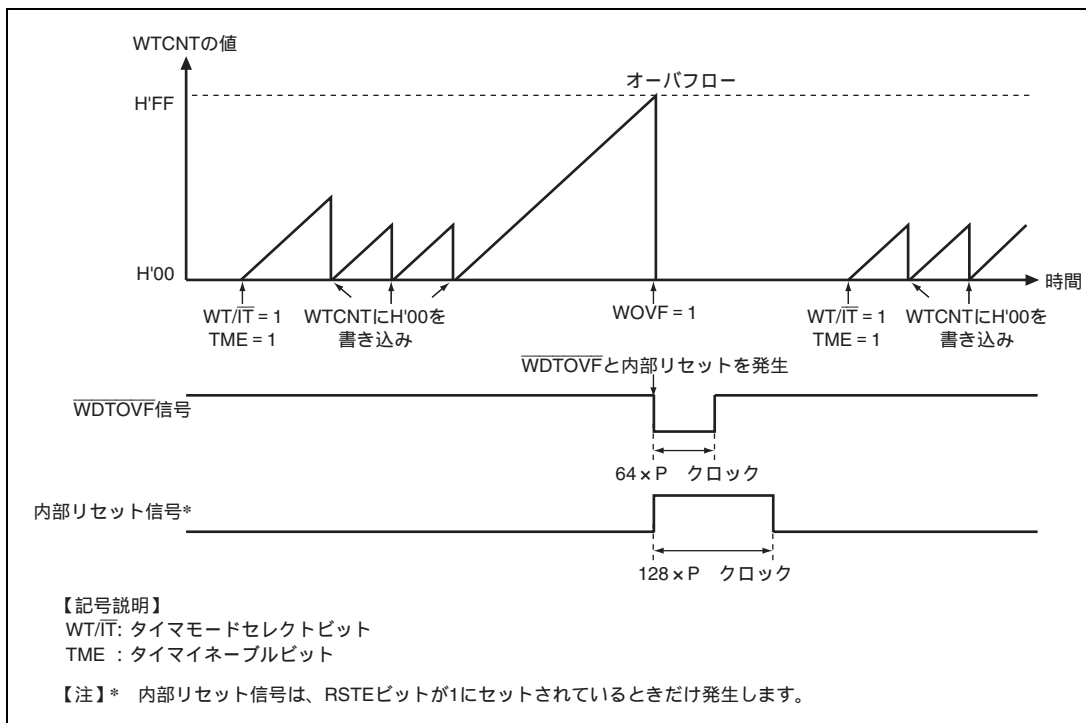


図 17.4 ウォッチドッグタイマモード時の動作

17.4.3 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ITビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

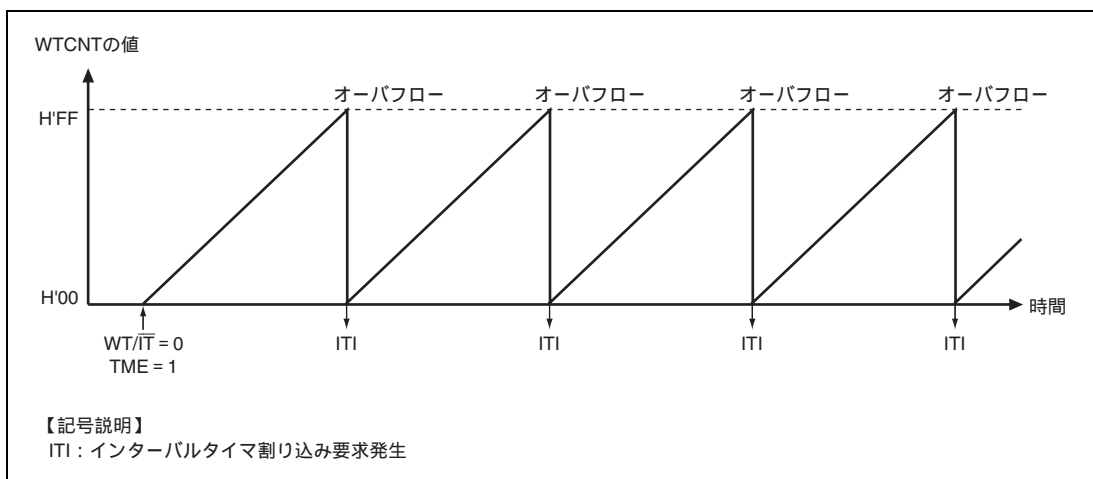


図 17.5 インターバルタイマモード時の動作

17.5 割り込み要因

表 17.3 に割り込み要因を示します。割り込み要因は、ウォッチドッグタイマコントロールステータスレジスタ (WTCSR) のインターバルタイマオーバーフローフラグビット (IOVF) が 1 にセットされているとき、インターバルタイマ割り込み (ITI) が発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 17.3 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグビット
ITI	インターバルタイマ割り込み	-	インターバルタイマオーバーフローフラグ (IOVF)

17.6 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

17.6.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、P の 1 サイクル後 (最短) から、CKS[2:0] で選択した分周タイミング (最長) までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

17.6.2 WTCNT の設定値として H'FF は設定禁止

WDT では WTCNT の値が H'FF になったことをオーバーフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたは WDT リセットが発生します。

17.6.3 インターバルタイマオーバーフローフラグ

WTCNT の値が H'FF のときには、WTCNT の IOVF フラグはクリアできません。WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

17.6.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 17.6 に示すような回路で行ってください。

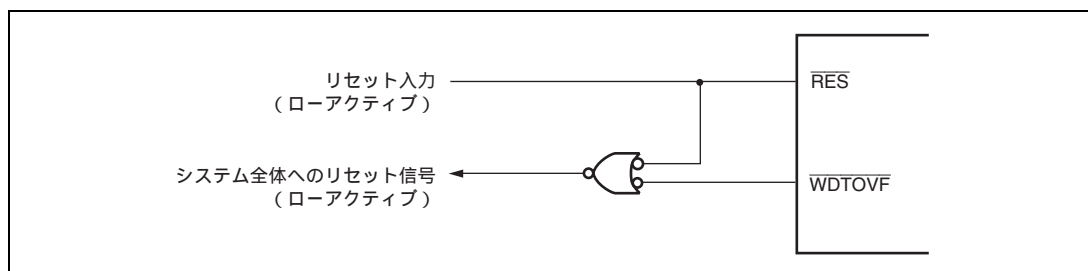


図 17.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

17.6.5 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やDMACバースト転送中にマニュアルリセットが発生すると、CPUがバス権を獲得するまでマニュアルリセット例外処理は保留されます。

ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間である128Pクロック以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

17.6.6 $\overline{\text{WDTOVF}}$ 端子の使用上の注意事項

$\overline{\text{WDTOVF}}$ 端子はプルダウンしないでください。もし、プルダウンが必要な場合は、1M以上の抵抗値でプルダウンしてください。

18. シリアルコミュニケーションインタフェース (SCI)

本 LSI は 4 チャンネルの独立したシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

18.1 特長

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信 LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサ間通信が可能

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出 : フレーミングエラー発生時に RXD 端子のレベルを直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- LSBファースト / MSBファースト選択可能 (調歩同期7ビットデータ除く)
- ビットレートの微調整が可能 (調歩同期式モードのみ)
- 4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ要求と受信データフル要求により、ダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動させてデータの転送を行うことができます。

- モジュールスタンバイモードを設定可能

図 18.1 に SCI のブロック図を示します。

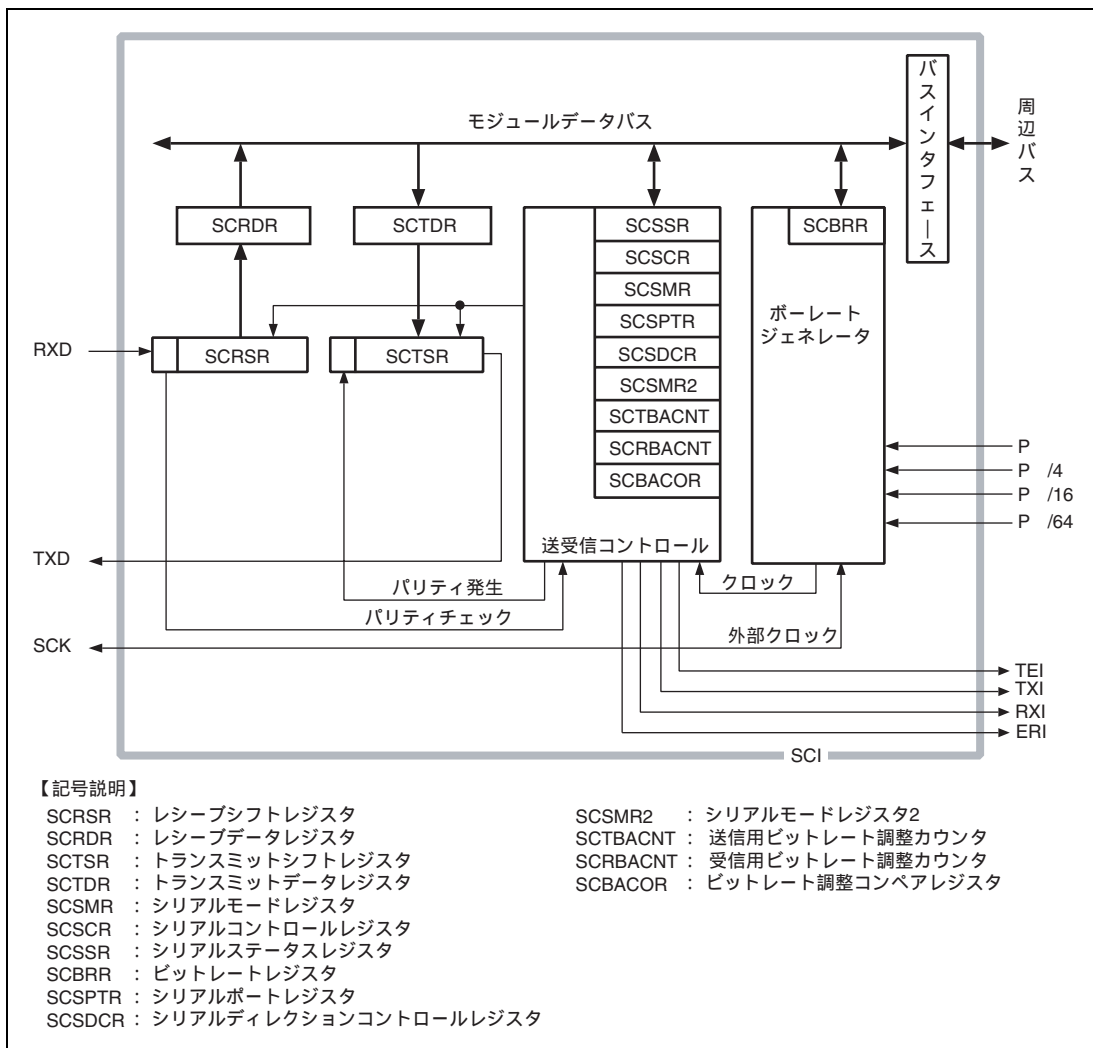


図 18.1 SCI のブロック図

18.2 入出力端子

SCI には、表 18.1 の入出力端子があります。

表 18.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RXD0	入力	チャンネル0の受信データ入力端子
	TXD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RXD1	入力	チャンネル1の受信データ入力端子
	TXD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RXD2	入力	チャンネル2の受信データ入力端子
	TXD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RXD3	入力	チャンネル3の受信データ入力端子
	TXD3	出力	チャンネル3の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RXD、TXD と略称します。

18.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第34章 レジスタ一覧」を参照してください。

表 18.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'00	H'FFFF8000	8
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFF8002	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'00	H'FFFF8004	8
	トランスミットデータレジスタ_0	SCTDR_0	W	H'xx	H'FFFF8006	8
	シリアルステータスレジスタ_0	SCSSR_0	R/W	H'84	H'FFFF8008	8
	レシーブデータレジスタ_0	SCRDR_0	R	H'xx	H'FFFF800A	8
	シリアルディレクションコントロールレジスタ_0	SCSDCR_0	R/W	H'F2	H'FFFF800C	8
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0x	H'FFFF800E	8
	シリアルモードレジスタ_2_0	SCSMR2_0	R/W	H'00	H'FFFF8010	8
	送信用ビットレート調整カウンタ_0	SCTBACNT_0	R	H'00	H'FFFF8018	8
	受信用ビットレート調整カウンタ_0	SCRBACNT_0	R	H'00	H'FFFF801A	8
	ビットレート調整コンペアレジスタ_0	SCBACOR_0	R/W	H'00	H'FFFF8014	8
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'00	H'FFFF8800	8
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFF8802	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'00	H'FFFF8804	8
	トランスミットデータレジスタ_1	SCTDR_1	W	H'xx	H'FFFF8806	8
	シリアルステータスレジスタ_1	SCSSR_1	R/W	H'84	H'FFFF8808	8
	レシーブデータレジスタ_1	SCRDR_1	R	H'xx	H'FFFF880A	8
	シリアルディレクションコントロールレジスタ_1	SCSDCR_1	R/W	H'F2	H'FFFF880C	8
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0x	H'FFFF880E	8
	シリアルモードレジスタ_2_1	SCSMR2_1	R/W	H'00	H'FFFF8810	8
	送信用ビットレート調整カウンタ_1	SCTBACNT_1	R	H'00	H'FFFF8818	8
	受信用ビットレート調整カウンタ_1	SCRBACNT_1	R	H'00	H'FFFF881A	8
	ビットレート調整コンペアレジスタ_1	SCBACOR_1	R/W	H'00	H'FFFF8814	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'00	H'FFFF9000	8
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFF9002	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'00	H'FFFF9004	8
	トランスミットデータレジスタ_2	SCTDR_2	W	H'xx	H'FFFF9006	8
	シリアルステータスレジスタ_2	SCSSR_2	R/W	H'84	H'FFFF9008	8
	レシーブデータレジスタ_2	SCRDR_2	R	H'xx	H'FFFF900A	8
	シリアルディレクションコントロールレジスタ_2	SCSDCR_2	R/W	H'F2	H'FFFF900C	8
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0x	H'FFFF900E	8
	シリアルモードレジスタ2_2	SCSMR2_2	R/W	H'00	H'FFFF9010	8
	送信用ビットレート調整カウンタ_2	SCTBACNT_2	R	H'00	H'FFFF9018	8
	受信用ビットレート調整カウンタ_2	SCRBACNT_2	R	H'00	H'FFFF901A	8
	ビットレート調整コンペアレジスタ_2	SCBACOR_2	R/W	H'00	H'FFFF9014	8
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'00	H'FFFF9800	8
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'FFFF9802	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'00	H'FFFF9804	8
	トランスミットデータレジスタ_3	SCTDR_3	W	H'xx	H'FFFF9806	8
	シリアルステータスレジスタ_3	SCSSR_3	R/W	H'84	H'FFFF9808	8
	レシーブデータレジスタ_3	SCRDR_3	R	H'xx	H'FFFF980A	8
	シリアルディレクションコントロールレジスタ_3	SCSDCR_3	R/W	H'F2	H'FFFF980C	8
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0x	H'FFFF980E	8
	シリアルモードレジスタ2_3	SCSMR2_3	R/W	H'00	H'FFFF9810	8
	送信用ビットレート調整カウンタ_3	SCTBACNT_3	R	H'00	H'FFFF9818	8
	受信用ビットレート調整カウンタ_3	SCRBACNT_3	R	H'00	H'FFFF981A	8
	ビットレート調整コンペアレジスタ_3	SCBACOR_3	R/W	H'00	H'FFFF9814	8

18.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR に RXD 端子から入力されたシリアルデータをパラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

18.3.2 レシーブデータレジスタ (SCRDR)

SCRDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。

このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。

SCRDR は、読み出し専用レジスタですので CPU から読み出しはできますが書き込むことはできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

18.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送は行いません。

CPU から直接 SCTSR の読み出し / 書き込みをすることはできません。

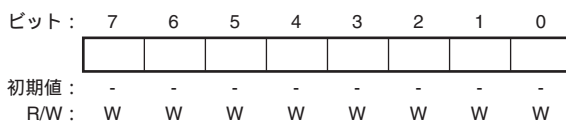
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

18.3.4 トランスミットデータレジスタ (SCTDR)

SCTDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

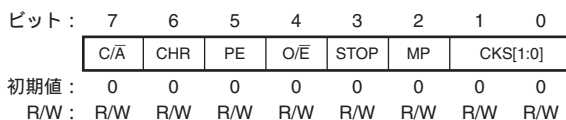
SCTDR は、常に CPU による書き込みが可能です。



18.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCI のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。



ビット	ビット名	初期値	R/W	説 明
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレンクス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR) の MSB (ビット 7) は送信されません。 0 : 8 ビットデータ 1 : 7 ビットデータ

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。</p> <p>0 : 偶数パリティ 1 : 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*¹ 1 : 2 ストップビット*²</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 *² 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>

ビット	ビット名	初期値	R/W	説明
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) マルチプロセッサ機能を許可 / 禁止します。マルチプロセッサモードでは PE、O/E ビットの設定は無効です。 0 : マルチプロセッサモードを禁止 1 : マルチプロセッサモードを許可
1、0	CKS[1:0]	00	R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で P、P /4、P /16、P /64 の 4 種類からクロックソースを選択できます。クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「18.3.10 ビットレートレジスタ (SCBRR)」を参照してください。 00 : P クロック 01 : P /4 クロック 10 : P /16 クロック 11 : P /64 クロック 【注】 P : 周辺クロック

18.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 0 : 送信データエンプティ割り込み (TXI) 要求を禁止 1 : 送信データエンプティ割り込み (TXI) 要求を許可

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>0: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止</p> <p>1: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCI のシリアル送信動作の開始を許可 / 禁止します。</p> <p>0: 送信動作を禁止*¹</p> <p>1: 送信動作を許可*²</p> <p>【注】 *1 SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*2 この状態で、SCTDR に送信データを書き込んで、SCSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。</p> <p>なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR) の設定を行い送信フォーマットを決定してください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCI のシリアル受信動作の開始を許可 / 禁止します。</p> <p>0: 受信動作を禁止*¹</p> <p>1: 受信動作を許可*²</p> <p>【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>なお、RE ビットを 1 にセットする前に必ず SCSMR の設定を行い、受信フォーマットを決定してください。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期モードで SCSMR の MP=1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 のデータは読みとばし、SCSSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「18.4.4 マルチプロセッサ通信機能」を参照してください。</p>

ビット	ビット名	初期値	R/W	説 明
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>MSB データ送出時に有効な送信データが SCTDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。</p> <p>TEI の解除は、SCSSR の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p> <p>0 : 送信終了割り込み (TEI) 要求を禁止 1 : 送信終了割り込み (TEI) 要求を許可</p>
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル 1, 0</p> <p>SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。</p> <p>クロック同期式モードで同期クロック出力に設定する場合は SCSSMR の C/\bar{A} ビットを 1 に設定してから CKE1、CKE0 ビットを設定してください。SCI のクロックソースの選択についての詳細は「18.4 動作説明」の表 18.11 を参照してください。</p> <p>調歩同期式モード</p> <p>00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック / SCK 端子はクロック出力*¹ 10 : 外部クロック / SCK 端子はクロック入力*² 11 : 外部クロック / SCK 端子はクロック入力*²</p> <p>クロック同期式モード</p> <p>00 : 内部クロック / SCK 端子は同期クロック出力 01 : 内部クロック / SCK 端子は同期クロック出力 10 : 外部クロック / SCK 端子は同期クロック入力 11 : 外部クロック / SCK 端子は同期クロック入力</p> <p>【注】 *1 ビットレートの 16 倍の周波数のクロックを出力 *2 ビットレートの 16 倍の周波数のクロックを入力</p>

18.3.7 シリアルステータスレジスタ (SCSSR)

SCSSR は、SCI の動作状態を示すステータスフラグを内蔵した 8 ビットのレジスタです。

SCSSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグは読み出し専用であり、書き込むことはできません。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ トランスミットデータレジスタ (SCTDR) から トランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0: SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] <ul style="list-style-type: none"> • TDRE = 1 の状態を読み出した後、0 を書き込んだとき • TXI 割り込みにより DMAC が起動され、SCTDR へ送信データを転送したとき • TXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SCTDR へ送信データを転送したとき (DTC の転送カウンタ値が H'0000 になったときを除く) 1: SCTDR に有効な送信データがないことを表示 [セット条件] <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • SCSCR の TE ビットが 0 のとき • SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル</p> <p>受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。</p> <p>0 : SCRDR に有効な受信データが格納されていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • RDRF = 1 の状態を読み出した後、0 を書き込んだとき • RXI 割り込みにより DMAC が起動され、SCRDR からデータを転送したとき • RXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SCRDR からデータを転送したとき (DTC の転送カウンタ値が H'0000 になったときを除く) <p>1 : SCRDR に有効な受信データが格納されていることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • シリアル受信が正常終了し、SCRDR から SCRDR へ受信データが転送されたとき <p>【注】受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには SCRDR および RDRF フラグは影響を受けず以前の状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0 : 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : 受信時にオーバーランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態で次のシリアル受信を完了したとき <p>【注】 *¹ SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² SCRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期モードで受信時にフレーミングエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • FER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*² <p>【注】 *¹ SCSCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。</p> <p>*² 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • PER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】 *¹ SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*² パリティエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0 : 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき 1 : 送信を終了したことを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、モジュールスタンバイモード時 SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき <p>【注】 TXI 割り込みにより DMAC/DTC を起動して SCTDR ヘデータを書き込んだ場合には TEND フラグは不定となりますので、TEND フラグを送信終了フラグとして使用しないでください。</p>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCSCR の RE が 0 のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

18.3.8 シリアルポートレジスタ (SCSPTR)

SCSPTR は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可 / 禁止を制御します。SCSPTR は、8 ビットで、常に CPU による読み出し / 書き込みが可能です。なお、SCI 端子の値を読み出す場合は、ポートレジスタを使用してください。詳細は「第 23 章 I/O ポート」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
初期値 :	0	0	0	0	0	不定	0	1
R/W :	R/W	R	R	R	R/W	R/W	R	W

ビット	ビット名	初期値	R/W	説 明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。このビットは RXI 割り込みの許可 / 禁止を設定します。 0 : RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる 1 : RIE ビットが 1 のとき、ERI 割り込みだけが INTC へ送られる
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SPB1IO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR の C/A ビットと SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0 : SCK 端子に SPB1DT ビットの値を出力しない 1 : SCK 端子に SPB1DT ビットの値を出力する
2	SPB1DT	不定	R/W	シリアルポートクロックポートデータ シリアルポートの SCK 端子の出力データを指定します。出力有効であるかは SPB1IO ビットで指定します (詳細は SPB1IO ビットの説明を参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。 0 : 出力データがローレベル 1 : 出力データがハイレベル
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明												
0	SPB0DT	1	W	<p>シリアルポートブ레이크データ</p> <p>SCSCR の TE ビットで TXD 端子を制御します。</p> <p>ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択しておく必要があります。</p> <p>また、本ビットは書き込み専用ビットです。読み出すと不定値が読み出されません。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SCSCR の TE ビット設定値</th> <th>SPB0DT ビット設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>ハイレベル出力 (初期状態)</td> </tr> <tr> <td>1</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> <p>【注】 * Don't care</p>	SCSCR の TE ビット設定値	SPB0DT ビット設定値	TXD 端子状態	0	0	ローレベル出力	0	1	ハイレベル出力 (初期状態)	1	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット設定値	SPB0DT ビット設定値	TXD 端子状態														
0	0	ローレベル出力														
0	1	ハイレベル出力 (初期状態)														
1	*	シリアルコア論理に従って送信データ出力														

18.3.9 シリアルディレクションコントロールレジスタ (SCSDCR)

SCSDCR は、DIR ビットにより LSB ファースト / MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合のみ LSB ファースト / MSB ファーストの選択が可能です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	DIR	-	-	-
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R	R	R

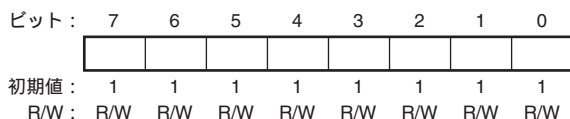
ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
3	DIR	0	R/W	<p>データトランスファディレクション</p> <p>シリアル / パラレル変換フォーマットを選択します。送信 / 受信フォーマットが 8 ビットの場合に有効です。</p> <p>0: SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納</p> <p>1: SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

18.3.10 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。



〔調歩同期式モード〕

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

(電気的特性を満足する設定値としてください)

Pφ: 周辺モジュール用動作周波数 (MHz)

n: ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 18.3 を参照してください)

表 18.3 SCSMR の設定値

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 18.4 に調歩同期式モードの SCBRR の設定例を、表 18.5 にクロック同期式モードの SCBRR の設定例を示します。

表 18.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	P (MHz)																	
	10			12			14			16			18			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	212	0.03	2	248	-0.17	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	129	0.16	2	155	0.16	2	181	0.16	2	207	0.16	2	233	0.16	3	64	0.16
300	2	64	0.16	2	77	0.16	2	90	0.16	2	103	0.16	2	116	0.16	2	129	0.16
600	1	129	0.16	1	155	0.16	1	181	0.16	1	207	0.16	1	233	0.16	2	64	0.16
1,200	1	64	0.16	1	77	0.16	1	90	0.16	1	103	0.16	1	116	0.16	1	129	0.16
2,400	0	129	0.16	0	155	0.16	0	181	0.16	0	207	0.16	0	233	0.16	1	64	0.16
4,800	0	64	0.16	0	77	0.16	0	90	0.16	0	103	0.16	0	116	0.16	0	129	0.16
9,600	0	32	-1.36	0	38	0.16	0	45	-0.93	0	51	0.16	0	58	-0.69	0	64	0.16
14,400	0	21	-1.36	0	25	0.16	0	29	1.27	0	34	-0.79	0	38	0.16	0	42	0.94
19,200	0	15	1.73	0	19	-2.34	0	22	-0.93	0	25	0.16	0	28	1.02	0	32	-1.36
28,800	0	10	-1.36	0	12	0.16	0	14	1.27	0	16	2.12	0	19	-2.34	0	21	-1.36
31,250	0	9	0.00	0	11	0.00	0	13	0.00	0	15	0.00	0	17	0.00	0	19	0.00
38,400	0	7	1.73	0	9	-2.34	0	10	3.57	0	12	0.16	0	14	-2.34	0	15	1.73
115,200	0	2	-9.58	0	2	8.51	0	3	-5.06	0	3	8.51	0	4	-2.34	0	4	8.51
500,000	0	0*	-37.5	0	0*	-25.0	0	0*	-12.5	0	0*	0.00	0	0*	12.5	0	0*	25.0

表 18.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (2)

ビットレート (bit/s)	P (MHz)																	
	22			24			26			28			30			32		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	97	-0.35	3	106	-0.44	3	114	0.36	3	123	0.23	3	132	0.13	3	141	0.03
150	3	71	-0.54	3	77	0.16	3	84	-0.43	3	90	0.16	3	97	-0.35	3	103	0.16
300	2	142	0.16	2	155	0.16	2	168	0.16	2	181	0.16	2	194	0.16	2	207	0.16
600	2	71	-0.54	2	77	0.16	2	84	-0.43	2	90	0.16	2	97	-0.35	2	103	0.16
1,200	1	142	0.16	1	155	0.16	1	168	0.16	1	181	0.16	1	194	0.16	1	207	0.16
2,400	1	71	-0.54	1	77	0.16	1	84	-0.43	1	90	0.16	1	97	-0.35	1	103	0.16
4,800	0	142	0.16	0	155	0.16	0	168	0.16	0	181	0.16	0	194	0.16	0	207	0.16
9,600	0	71	-0.54	0	77	0.16	0	84	-0.43	0	90	0.16	0	97	-0.35	0	103	0.16
14,400	0	47	-0.54	0	51	0.16	0	55	0.76	0	60	-0.39	0	64	0.16	0	68	0.64
19,200	0	35	-0.54	0	38	0.16	0	41	0.76	0	45	-0.93	0	48	-0.35	0	51	0.16
28,800	0	23	-0.54	0	25	0.16	0	27	0.76	0	29	1.27	0	32	-1.36	0	34	-0.79
31,250	0	21	0.00	0	23	0.00	0	25	0.00	0	27	0.00	0	29	0.00	0	31	0.00
38,400	0	17	-0.54	0	19	-2.34	0	20	0.76	0	22	-0.93	0	23	1.73	0	25	0.16
115,200	0	5	-0.54	0	6	-6.99	0	6	0.76	0	7	-5.06	0	7	1.73	0	8	-3.55
500,000	0	0*	37.5	0	1	-25.0	0	1	-18.8	0	1	-12.5	0	1	-6.25	0	1	0.00

表 18.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (3)

ビットレート (bit/s)	P (MHz)														
	34			36			38			40			42		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	150	-0.05	3	159	-0.12	3	168	-0.19	3	177	-0.25	3	185	0.23
150	3	110	-0.29	3	116	0.16	3	123	-0.24	3	129	0.16	3	136	-0.21
300	2	220	0.16	2	233	0.16	2	246	0.16	3	64	0.16	3	67	0.53
600	2	110	-0.29	2	116	0.16	2	123	-0.24	2	129	0.16	2	136	-0.21
1,200	1	220	0.16	1	233	0.16	1	246	0.16	2	64	0.16	2	67	0.53
2,400	1	110	-0.29	1	116	0.16	1	123	-0.24	1	129	0.16	1	136	-0.21
4,800	0	220	0.16	0	233	0.16	0	246	0.16	1	64	0.16	1	67	0.53
9,600	0	110	-0.29	0	116	0.16	0	123	-0.24	0	129	0.16	0	136	-0.21
14,400	0	73	-0.29	0	77	0.16	0	81	0.57	0	86	-0.22	0	90	0.16
19,200	0	54	0.62	0	58	-0.69	0	61	-0.24	0	64	0.16	0	67	0.53
28,800	0	36	-0.29	0	38	0.16	0	40	0.57	0	42	0.94	0	45	-0.93
31,250	0	33	0.00	0	35	0.00	0	37	0.00	0	39	0.00	0	41	0.00
38,400	0	27	-1.18	0	28	1.02	0	30	-0.24	0	32	-1.36	0	33	0.53
115,200	0	8	2.48	0	9	-2.34	0	9	3.08	0	10	-1.36	0	10	3.57
500,000	0	1	6.25	0	1	12.5	0	1	18.8	0	2	-16.7	0	2	-12.5

表 18.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (4)

ビットレート (bit/s)	P (MHz)											
	44			46			48			50		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	194	0.16	3	203	0.09	3	212	0.03	3	221	-0.02
150	3	142	0.16	3	149	-0.17	3	155	0.16	3	162	-0.15
300	3	71	-0.54	3	74	-0.17	3	77	0.16	3	80	0.47
600	2	142	0.16	2	149	-0.17	2	155	0.16	2	162	-0.15
1,200	2	71	-0.54	2	74	-0.17	2	77	0.16	2	80	0.47
2,400	1	142	0.16	1	149	-0.17	1	155	0.16	1	162	-0.15
4,800	1	71	-0.54	1	74	-0.17	1	77	0.16	1	80	0.47
9,600	0	142	0.16	0	149	-0.17	0	155	0.16	0	162	-0.15
14,400	0	94	0.51	0	99	-0.17	0	103	0.16	0	108	-0.45
19,200	0	71	-0.54	0	74	-0.17	0	77	0.16	0	80	0.47
28,800	0	47	-0.54	0	49	-0.17	0	51	0.16	0	53	0.47
31,250	0	43	0.00	0	45	0.00	0	47	0.00	0	49	0
38,400	0	35	-0.54	0	36	1.18	0	38	0.16	0	40	-0.76
115,200	0	11	-0.54	0	11	3.99	0	12	0.16	0	13	-3.12
500,000	0	2	-8.33	0	2	-4.17	0	2	0.00	0	2	4.17

表 18.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (1)

ビットレート (bit/s)	P (MHz)											
	10		12		14		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N
250	3	155	3	187	3	218	3	249				
500	3	77	3	93	3	108	3	124	3	140	3	155
1,000	2	155	2	187	2	218	2	249	3	69	3	77
2,500	1	249	2	74	2	87	2	99	2	112	2	124
5,000	1	124	1	149	1	174	1	199	1	224	1	249
10,000	0	249	1	74	1	87	1	99	1	112	1	124
25,000	0	99	0	119	0	139	0	159	0	179	0	199
50,000	0	49	0	59	0	69	0	79	0	89	0	99
100,000	0	24	0	29	0	34	0	39	0	44	0	49
250,000	0	9	0	11	0	13	0	15	0	17	0	19
500,000	0	4	0	5	0	6	0	7	0	8	0	9
1,000,000	-	-	0	2	-	-	0	3	-	-	0	4
2,500,000	0	0*	-	-	-	-	-	-	-	-	0	1
5,000,000			-	-	-	-	-	-	-	-	0	0*

表 18.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (2)

ビットレート (bit/s)	P (MHz)											
	22		24		26		28		30		32	
	n	N	n	N	n	N	n	N	n	N	n	N
250												
500	3	171	3	187	3	202	3	218	3	233	3	249
1,000	3	85	3	93	3	101	3	108	3	116	3	124
2,500	2	137	2	149	2	162	2	174	2	187	2	199
5,000	2	68	2	74	2	80	2	87	2	93	2	99
10,000	1	137	1	149	1	162	1	174	1	187	1	199
25,000	0	219	0	239	1	64	1	69	1	74	1	79
50,000	0	109	0	119	0	129	0	139	0	149	0	159
100,000	0	54	0	59	0	64	0	69	0	74	0	79
250,000	0	21	0	23	0	25	0	27	0	29	0	31
500,000	0	10	0	11	0	12	0	13	0	14	0	15
1,000,000	-	-	0	5	-	-	0	6	-	-	0	7
2,500,000	-	-	-	-	-	-	-	-	0	2	-	-
5,000,000	-	-	-	-	-	-	-	-	-	-	-	-

表 18.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (3)

ビットレート (bit/s)	P (MHz)									
	34		36		38		40		42	
	n	N	n	N	n	N	n	N	n	N
250										
500										
1,000	3	132	3	140	3	147	3	155	3	163
2,500	2	212	2	224	2	237	2	249	3	65
5,000	2	105	2	112	2	118	2	124	2	130
10,000	1	212	1	224	1	237	1	249	2	65
25,000	1	84	1	89	1	94	1	99	1	104
50,000	0	169	0	179	0	189	0	199	0	209
100,000	0	84	0	89	0	94	0	99	0	104
250,000	0	33	0	35	0	37	0	39	0	41
500,000	0	16	0	17	0	18	0	19	0	20
1,000,000	-	-	0	8	-	-	0	9	-	-
2,500,000	-	-	-	-	-	-	0	3	-	-
5,000,000	-	-	-	-	-	-	0	1	-	-

表 18.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (4)

ビットレート (bit/s)	P (MHz)							
	44		46		48		50	
	n	N	n	N	n	N	n	N
250								
500								
1,000	3	171	3	179	3	187	3	194
2,500	3	68	3	71	3	74	3	77
5,000	2	137	2	143	2	149	2	155
10,000	2	68	2	71	2	74	2	77
25,000	1	109	1	114	1	119	1	124
50,000	0	219	0	229	0	239	0	249
100,000	0	109	0	114	0	119	0	124
250,000	0	43	0	45	0	47	0	49
500,000	0	21	0	22	0	23	0	24
1,000,000	0	10	-	-	0	11	-	-
2,500,000	-	-	-	-	-	-	0	4
5,000,000	-	-	-	-	-	-	-	-

【注】 誤差は、なるべく1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がです。

* : 連続送信 / 受信はできません。

表 18.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレート、表 18.7 にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、表 18.8 と表 18.9 に外部クロック入力時の最大ビットレートを示します。

表 18.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P (MHz)	非連続送信 / 受信時			連続送信 / 受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10	312,500	0	0	156,250	0	1
12	375,000	0	0	187,500	0	1
14	437,500	0	0	218,750	0	1
16	500,000	0	0	250,000	0	1
18	562,500	0	0	281,250	0	1
20	625,000	0	0	312,500	0	1
22	687,500	0	0	343,750	0	1
24	750,000	0	0	375,000	0	1
26	812,500	0	0	406,250	0	1
28	875,000	0	0	437,500	0	1
30	937,500	0	0	468,750	0	1
32	1,000,000	0	0	500,000	0	1
34	1,062,500	0	0	531,250	0	1
36	1,125,000	0	0	562,500	0	1
38	1,187,500	0	0	593,750	0	1
40	1,250,000	0	0	625,000	0	1
42	1,312,500	0	0	656,250	0	1
44	1,375,000	0	0	687,500	0	1
46	1,437,500	0	0	718,750	0	1
48	1,500,000	0	0	750,000	0	1
50	1,562,500	0	0	781,250	0	1

表 18.7 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート(クロック同期式モード)

P (MHz)	非連続送信 / 受信時			連続送信 / 受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10	2,500,000	0	0	1,250,000	0	1
12	3,000,000	0	0	1,500,000	0	1
14	3,500,000	0	0	1,750,000	0	1
16	4,000,000	0	0	2,000,000	0	1
18	4,500,000	0	0	2,250,000	0	1
20	5,000,000	0	0	2,500,000	0	1
22	5,500,000	0	0	2,750,000	0	1
24	6,000,000	0	0	3,000,000	0	1
26	6,500,000	0	0	3,250,000	0	1
28	7,000,000	0	0	3,500,000	0	1
30	7,500,000	0	0	3,750,000	0	1
32	8,000,000	0	0	4,000,000	0	1
34	8,500,000	0	0	4,250,000	0	1
36	9,000,000	0	0	4,500,000	0	1
38	9,500,000	0	0	4,750,000	0	1
40	10,000,000	0	0	5,000,000	0	1
42	10,500,000	0	0	5,250,000	0	1
44	11,000,000	0	0	5,500,000	0	1
46	11,500,000	0	0	5,750,000	0	1
48	12,000,000	0	0	6,000,000	0	1
50	12,500,000	0	0	6,250,000	0	1

表 18.8 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	2.5	156,250
12	3.0	187,500
14	3.5	218,750
16	4.0	250,000
18	4.5	281,250
20	5.0	312,500
22	5.5	343,750
24	6.0	375,000
26	6.5	406,250
28	7.0	437,500
30	7.5	468,750
32	8.0	500,000
34	8.5	531,250
36	9.0	562,500
38	9.5	593,750
40	10.0	625,000
42	10.5	656,250
44	11.0	687,500
46	11.5	718,750
48	12.0	750,000
50	12.5	781,250

表 18.9 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	1.6667	1,666,666
12	2.0000	2,000,000
14	2.3333	2,333,333
16	2.6667	2,666,666
18	3.0000	3,000,000
20	3.3333	3,333,333
22	3.6667	3,666,666
24	4.0000	4,000,000
26	4.3333	4,333,333
28	4.6667	4,666,666
30	5.0000	5,000,000
32	5.3333	5,333,333
34	5.6667	5,666,666
36	6.0000	6,000,000
38	6.3333	6,333,333
40	6.6667	6,666,666
42	7.0000	7,000,000
44	7.3333	7,333,333
46	7.6667	7,666,666
48	8.0000	8,000,000
50	8.3333	8,333,333

18.3.11 シリアルモードレジスタ 2 (SCSMR2)

SCSMR2 は、調歩同期式モード時のビットレートの調整およびサンプリングポイントの設定を行う 8 ビットのレジスタです。SCSMR2 は常に CPU から読み出し / 書き込みが可能です。

ビット:	7	6	5	4	3	2	1	0
	-	BAE	SPSEL[1:0]	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BAE	0	R/W	ビットレート調整イネーブルビット ビットレート調整機能の動作の禁止 / 許可を選択します。調歩同期式モード時のみ有効です。BAE ビットを 1 に設定した場合、SPSEL[1:0] ビット、送信用ビットレート調整カウンタ (SCTBACNT) と受信用ビットレート調整カウンタ (SCRBACNT) およびビットレート調整コンペアレジスタ (SCBACOR) が有効となります。 0: ビットレートの調整機能の動作を禁止 1: ビットレートの調整機能の動作を許可
5、4	SPSEL [1:0]	00	R/W	サンプリングポイントセレクト 1、0 受信データのサンプリングポイントを設定できます。調歩同期式モードのみ有効です。 00: 8 クロック目の立ち上がりでデータ取り込み 01: 9 クロック目の立ち上がりでデータ取り込み 10: 10 クロック目の立ち上がりでデータ取り込み 11: 11 クロック目の立ち上がりでデータ取り込み
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.12 送信用ビットレート調整カウンタ (SCTBACNT)

SCTBACNT は 8 ビットのアップカウンタで、P クロックでカウントアップします。初期値は H'00 です。

ビット:	7	6	5	4	3	2	1	0
	TBACNT[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

送信動作時に送信用ビットレート調整カウンタ (SCTBACNT) と SCBACOR のコンペアマッチが発生したときおよびシリアルコントロールレジスタ (SCSCR) の TE ビットを 0 にクリアしたとき、SCTBACNT は初期値にクリアされます。カウンタ設定とビットレートについては、「18.5 ビットレート調整機能」を参照してください。

18.3.13 受信用ビットレート調整カウンタ (SCRBACNT)

SCRBACNT は 8 ビットのアップカウンタで、P クロックでカウントアップします。初期値は H'00 です。受信動作時に受信用ビットレート調整カウンタ (SCRBACNT) と SCBACOR のコンペアマッチが発生したときおよびシリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたとき、SCRBACNT は初期値にクリアされます。カウンタ設定とビットレートについては、「18.5 ビットレート調整機能」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	RBACNT[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

18.3.14 ビットレート調整コンペアレジスタ (SCBACOR)

SCBACOR はビットレートの調整時間を設定する 8 ビットのレジスタです。初期値は H'00 です。

ビット:	7	6	5	4	3	2	1	0
	BACOR[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCBACOR と SCTBACNT (送信動作時) または SCRACNT (受信動作時) がコンペアマッチするまでの期間、1 フレーム期間を延長します。SCBACOR を H'FF に設定した場合は、延長時間は約 5 μ s (P = 50MHz 動作時) となります。シリアルモードレジスタ 2 (SCSMR2) の BAE ビットの値が 0 のとき、SCBACOR を設定しても有効になりません。

18.4 動作説明

18.4.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 18.10 に示します。また、SCI のクロックソースは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 18.11 に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラーの検出が可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能

外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 18.10 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCI の送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビットデータ	なし	なし

【記号説明】 x : Don't care

表 18.11 SCSMR、SCSCR の設定と SCI のクロックソースの選択

SCSMR	SCSCR の設定値		モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1	ビット 0			
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

18.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 18.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト時：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち上がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。ビットレート調整機能を使用する場合にはサンプリングポイントを変更できます。ビットレート調整機能については「18.5 ビットレート調整機能」を参照してください。

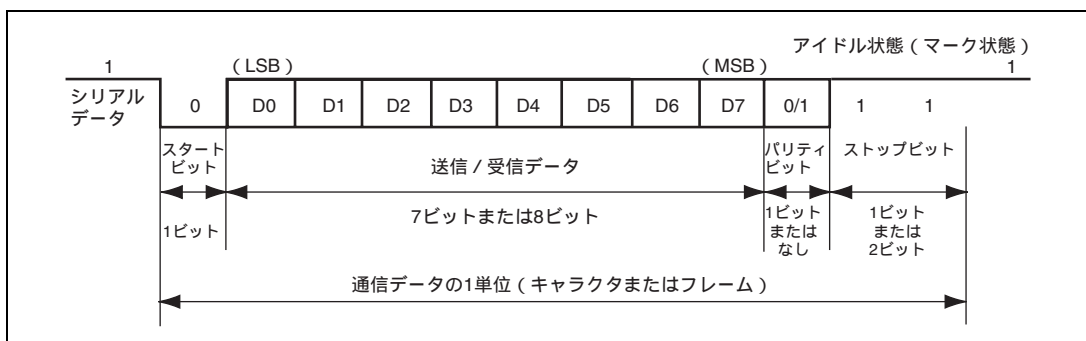


図 18.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビット / LSB ファーストの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 18.12 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 18.12 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	x	1	0	S	8ビットデータ								MPB	STOP			
0	x	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	x	1	0	S	7ビットデータ							MPB	STOP				
1	x	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスビット

x : Don't care

(2) クロック

SCIの送受信クロックは、SCSMRの C/\bar{A} ビットとシリアルコントロールレジスタ (SCSCR)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表 18.11 を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16倍です。

(3) データの送信 / 受信動作

- SCIの初期化 (調歩同期式モード)

データの送信 / 受信前には、まずSCSCRのTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは、1にセットされ、トランスミットシフトレジスタ (SCTSR)が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR)の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実にになりますので初期化を含めた動作中にクロックを止めないでください。

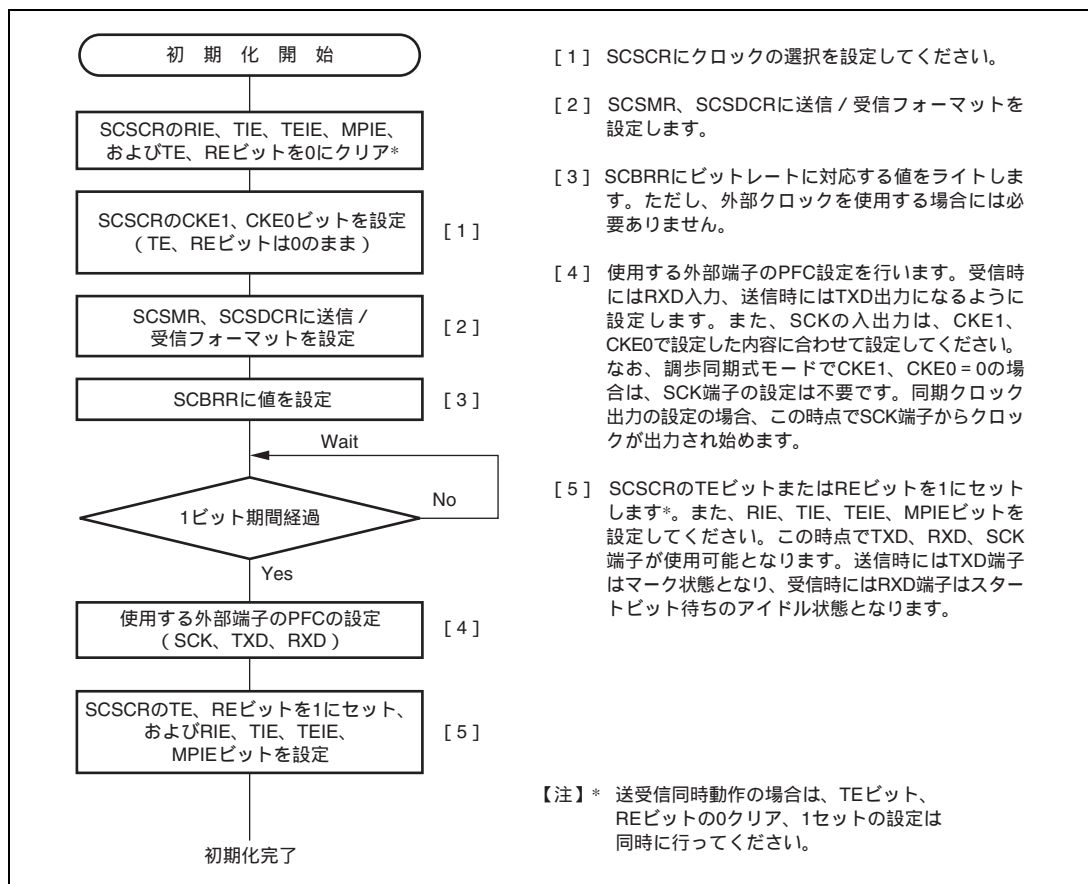


図 18.3 SCI の初期化フローチャートの例

- シリアルデータ送信 (調歩同期式モード)

図 18.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。

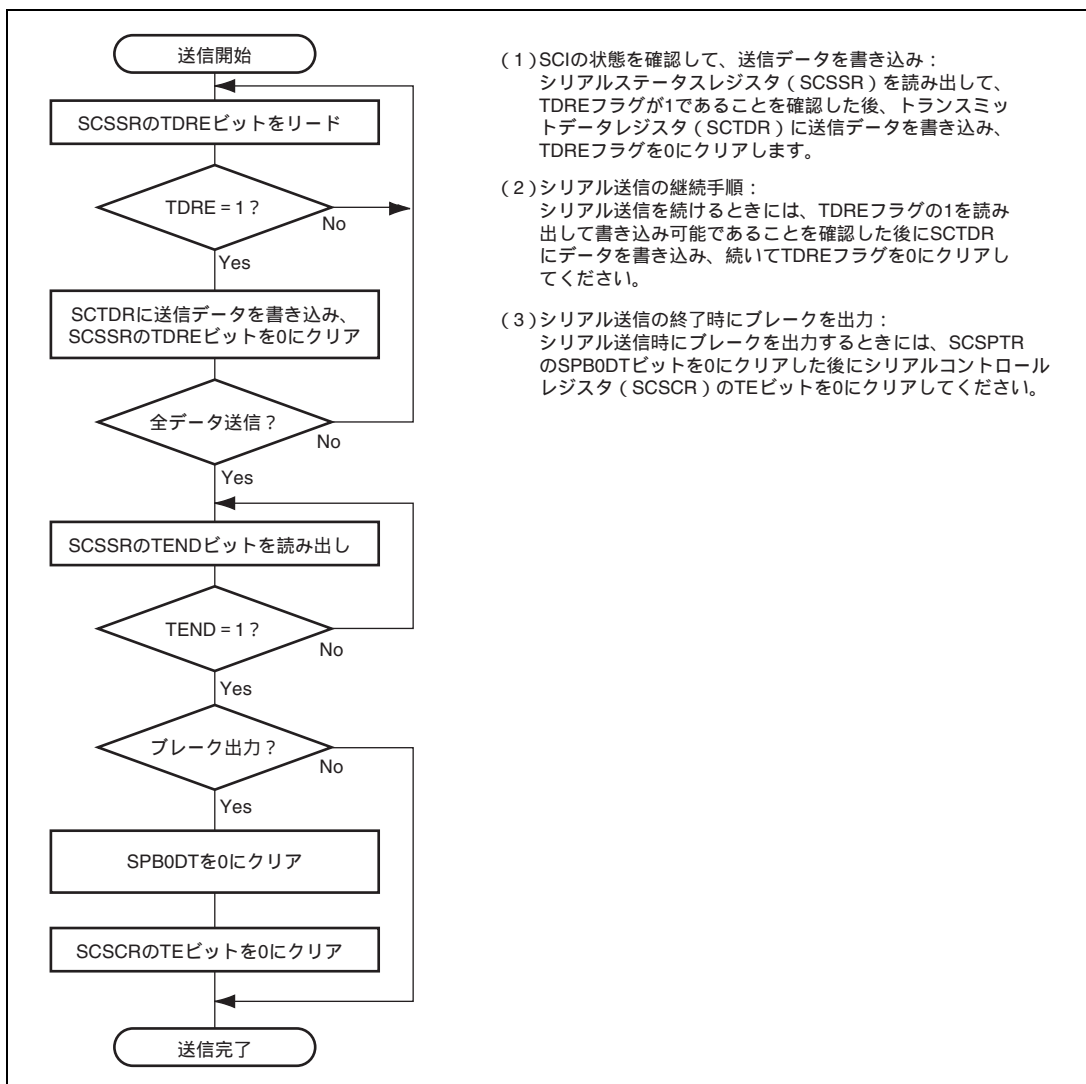


図 18.4 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信データエンブレティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TXD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
- (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます (LSB ファースト時)。
- (c) パリティビットまたはマルチプロセッサビット：1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRのTEIEビットが1にセットされているとTEI要求が発生します。

調歩同期式モードでの送信時の動作例を図 18.5 に示します。

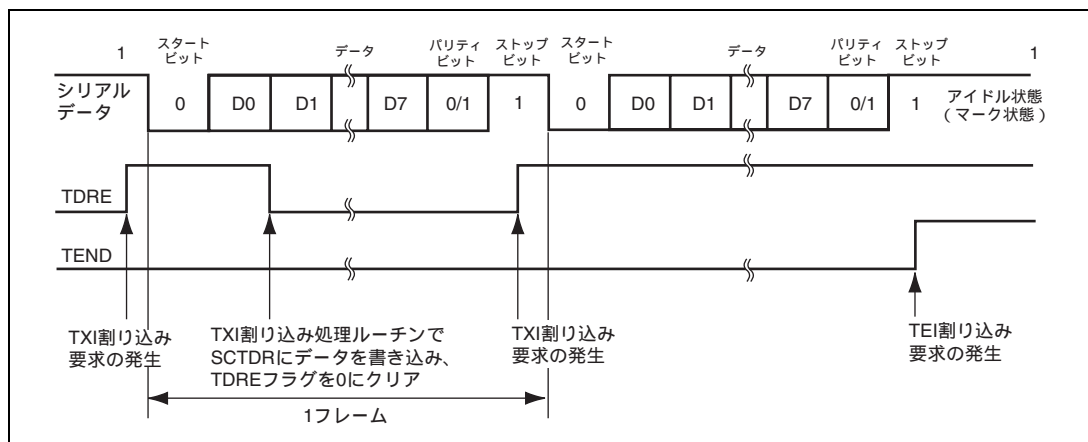


図 18.5 調歩同期式モードでの送信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビット / LSB ファーストの例)

- シリアルデータ受信 (調歩同期式モード)

図 18.6 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

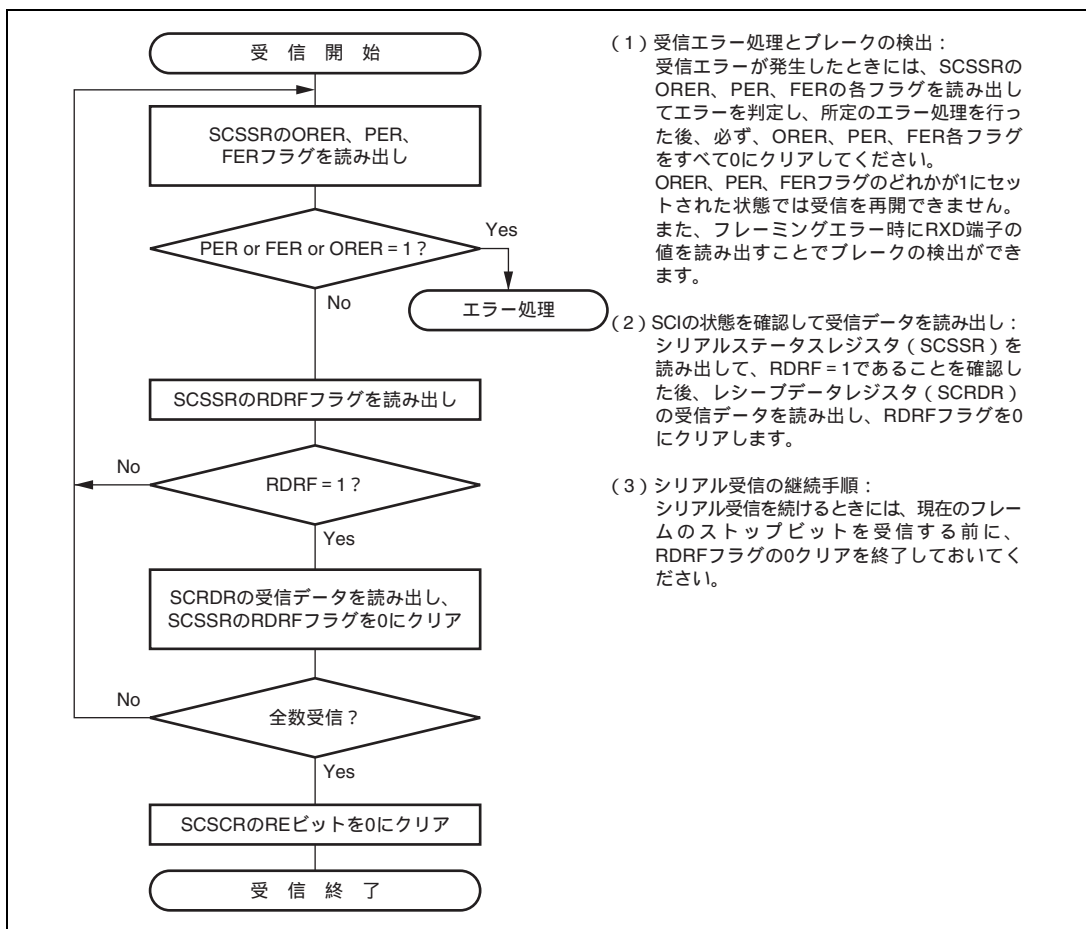


図 18.6 シリアル受信のフローチャートの例 (1)

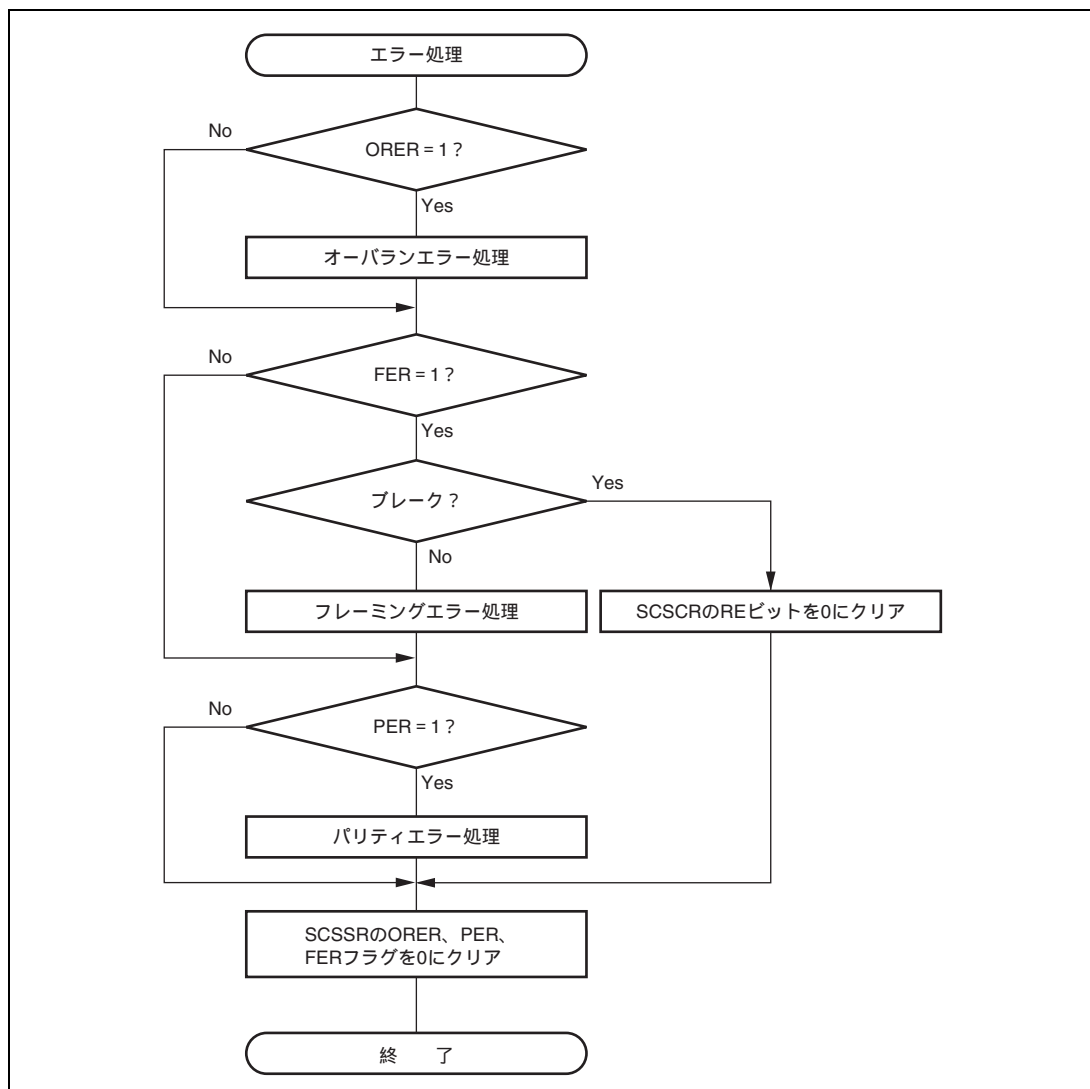


図 18.6 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSRのLSBからMSBの順に格納します (LSBファースト時)。
3. パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SCSMR) の O/E ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF フラグが0であり、受信データをレシーブシフトレジスタ (SCRSR) から SCRDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが1にセットされ、SCRDR に受信データが格納されます。エラーチェックで受信エラーが発生すると表 18.13 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

4. RDRFフラグが1になったとき、SCSPTRのEIOビットが0に、SCSCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FERフラグのどれかが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 18.13 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCSCR の RDRF フラグが1にセットされたまま次のデータ受信を完了したとき	SCRSR から SCRDR に受信データは転送されません
フレーミングエラー	FER	ストップビットが0のとき	SCRSR から SCRDR に受信データが転送されません
パリティエラー	PER	SCSMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	SCRSR から SCRDR に受信データが転送されません

調歩同期式モード受信時の動作例を図 18.7 に示します。

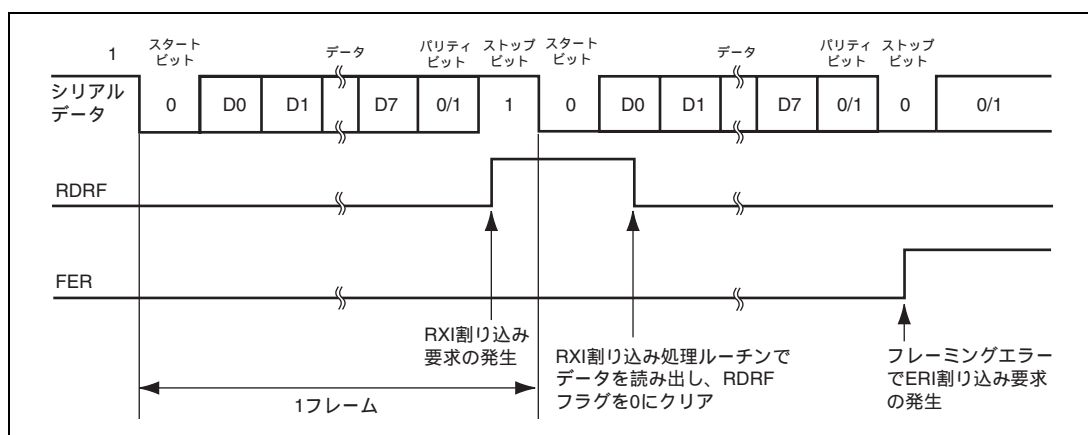


図 18.7 SCI の受信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビット / LSB ファーストの例)

18.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 18.8 に示します。

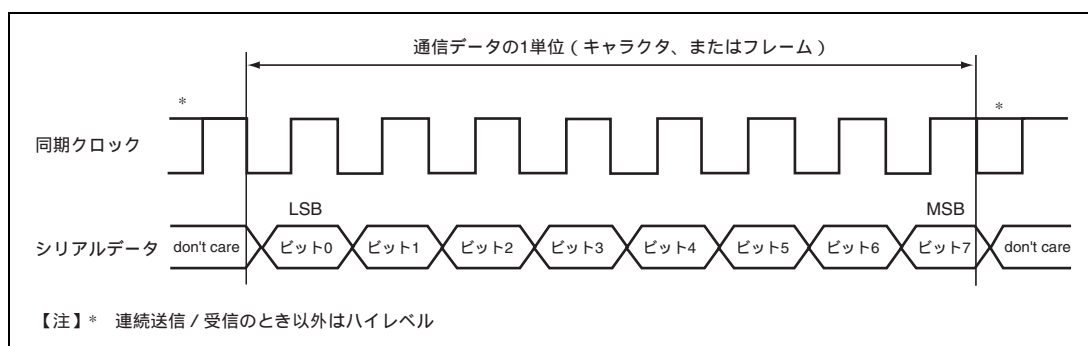


図 18.8 クロック同期式通信のデータフォーマット (LSB ファースト設定時)

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力され、MSB 出力後の通信回線の状態は MSB の状態を保ちます (LSB ファースト時)。

クロック同期式モードでは、SCI は同期クロックの立ち上がり同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の $C\bar{A}$ ビットと SCSCR の CK_{E1}、CK_{E0} ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 18.11 を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信動作のみの場合は、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックは出力されます。n キャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用するときは、RE=1 かつ TE=1 としてから n キャラクタ数のダミーデータ送信と同時に n キャラクタ数の受信を行うという手順でしてください。

(3) データの送信 / 受信動作

- SCI の初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、トランスミットシフトレジスタ (SCTSR) が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

図 18.9 に SCI の初期化フローチャートの例を示します。

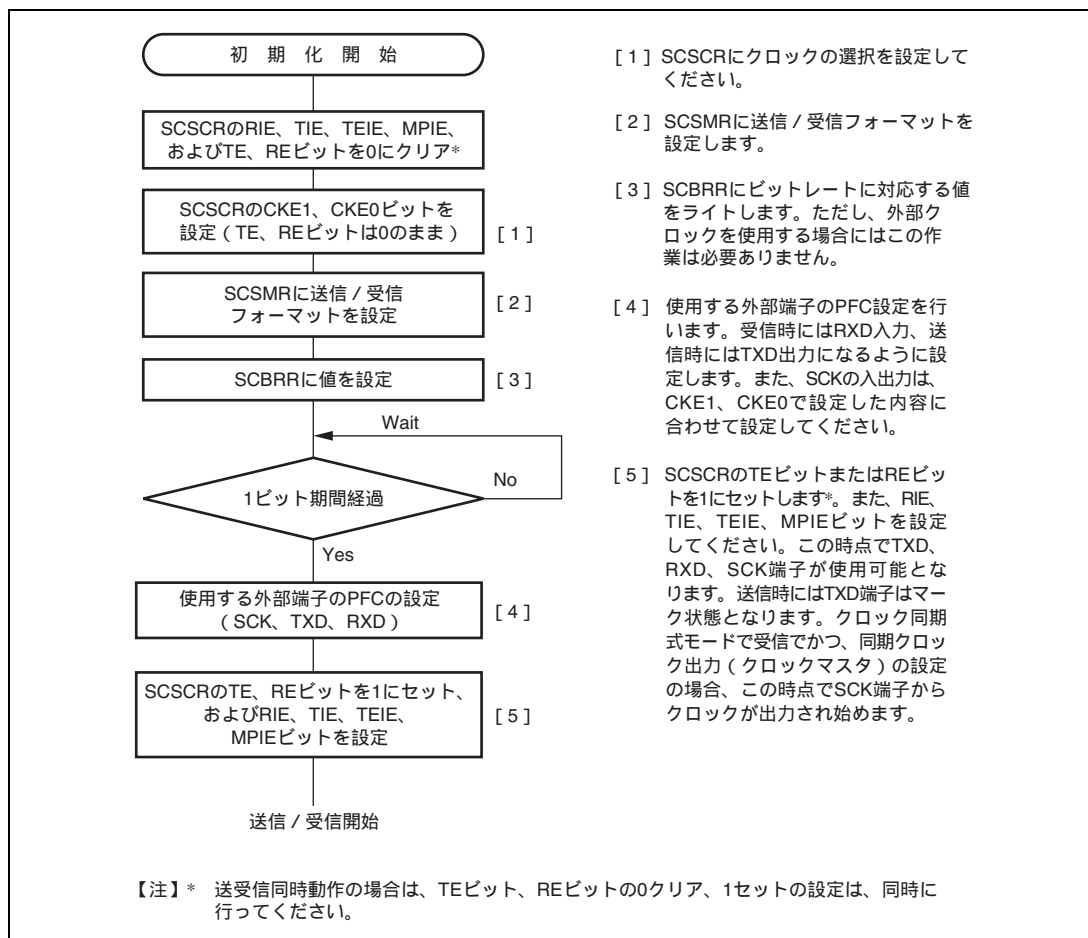


図 18.9 SCI の初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図 18.10 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順で行ってください。

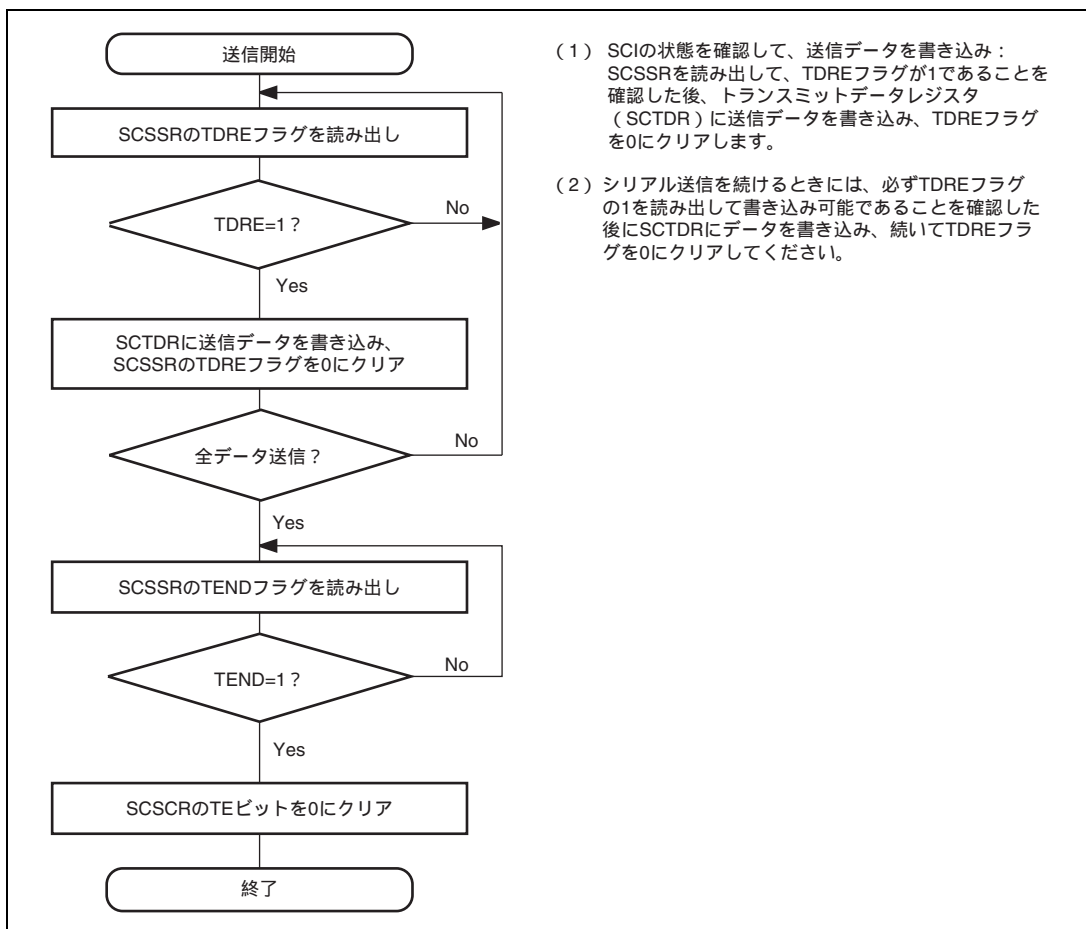


図 18.10 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。

2. SCTDRからSCTSRへデータを転送した後、TDREフラグを1にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCSCR) の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTXD端子から送り出されます (LSBファースト時)。

3. SCIは、最終ビットを送り出すタイミングでTDREフラグをチェックします。

TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、次フレームのシリアル送信を開始します。

TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグを1にセットし、最終ビットを送り出した後、トランスミットデータ端子 (TXD端子) は状態を保持します。

このときSCSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。

4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 18.11 に SCI の送信時の動作例を示します。

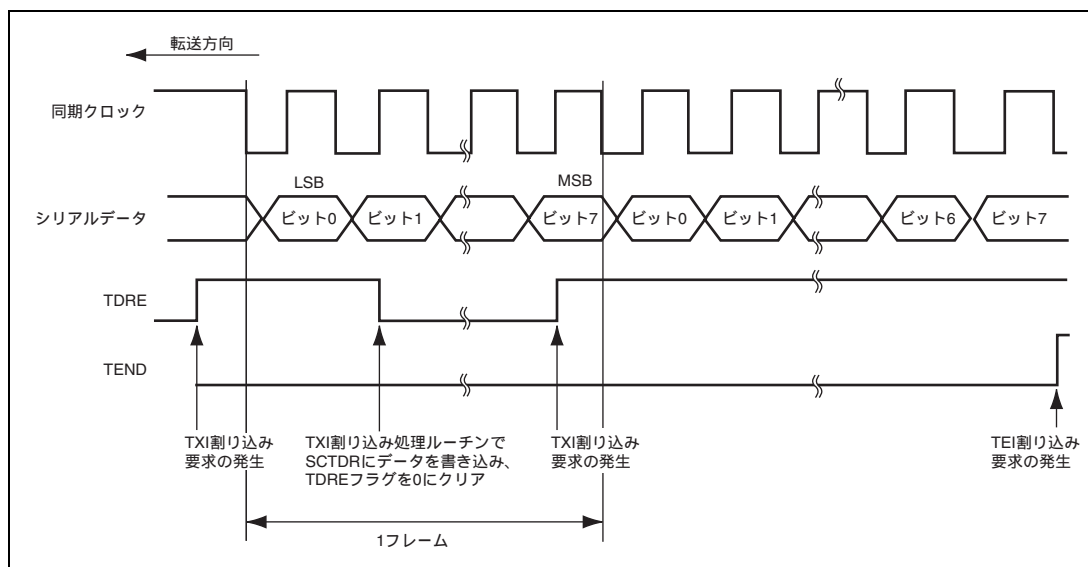


図 18.11 SCI の送信時の動作例 (LSB ファースト設定時)

- シリアルデータ受信 (クロック同期式モード)

図 18.12 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、受信動作が行えません。

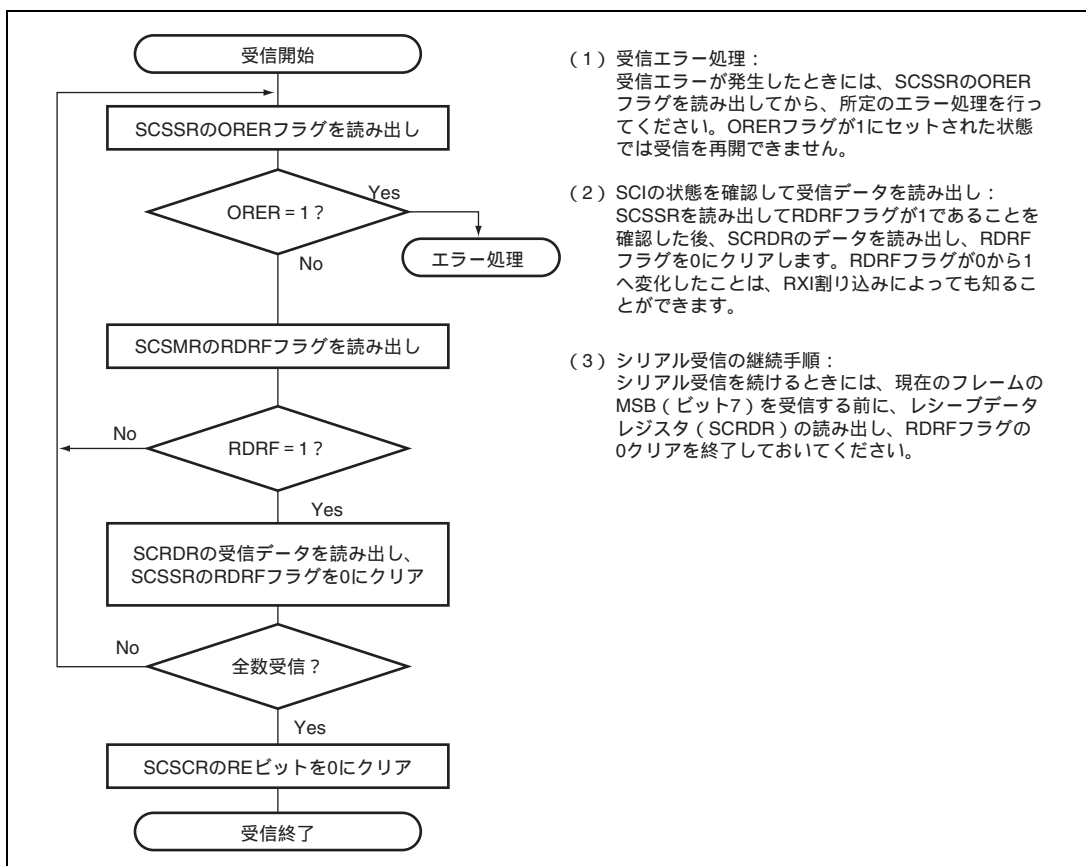


図 18.12 シリアルデータ受信フローチャートの例 (1)

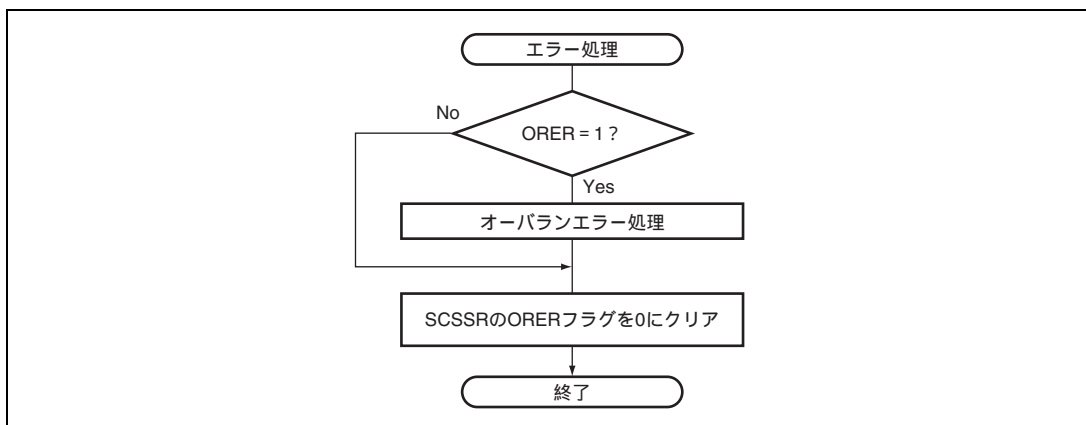


図 18.12 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシーブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します (LSBファースト時)。受信後、SCIはRDRFフラグが0であり、受信データをSCRSRからレシーブデータレジスタ (SCRDR) に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、SCRDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表18.13のように動作し、この状態では以後の送信、受信動作ができません。また、受信時にRDRFフラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。
3. RDRFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 18.13 に SCI の受信時の動作例を示します。

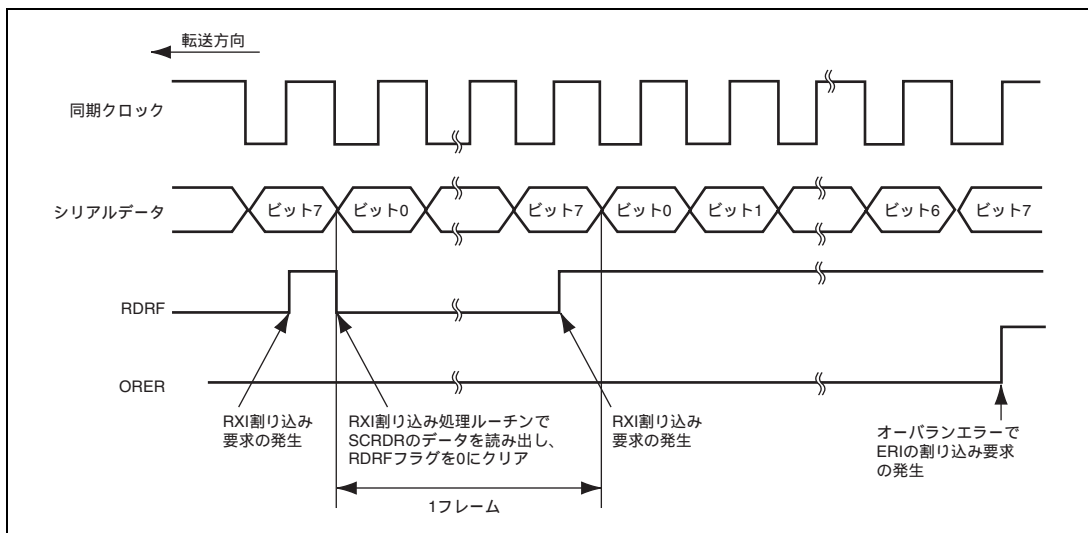


図 18.13 SCI の受信時の動作例 (LSB ファースト設定時)

- シリアルデータ送受信同時動作 (クロック同期式モード)

図 18.14 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

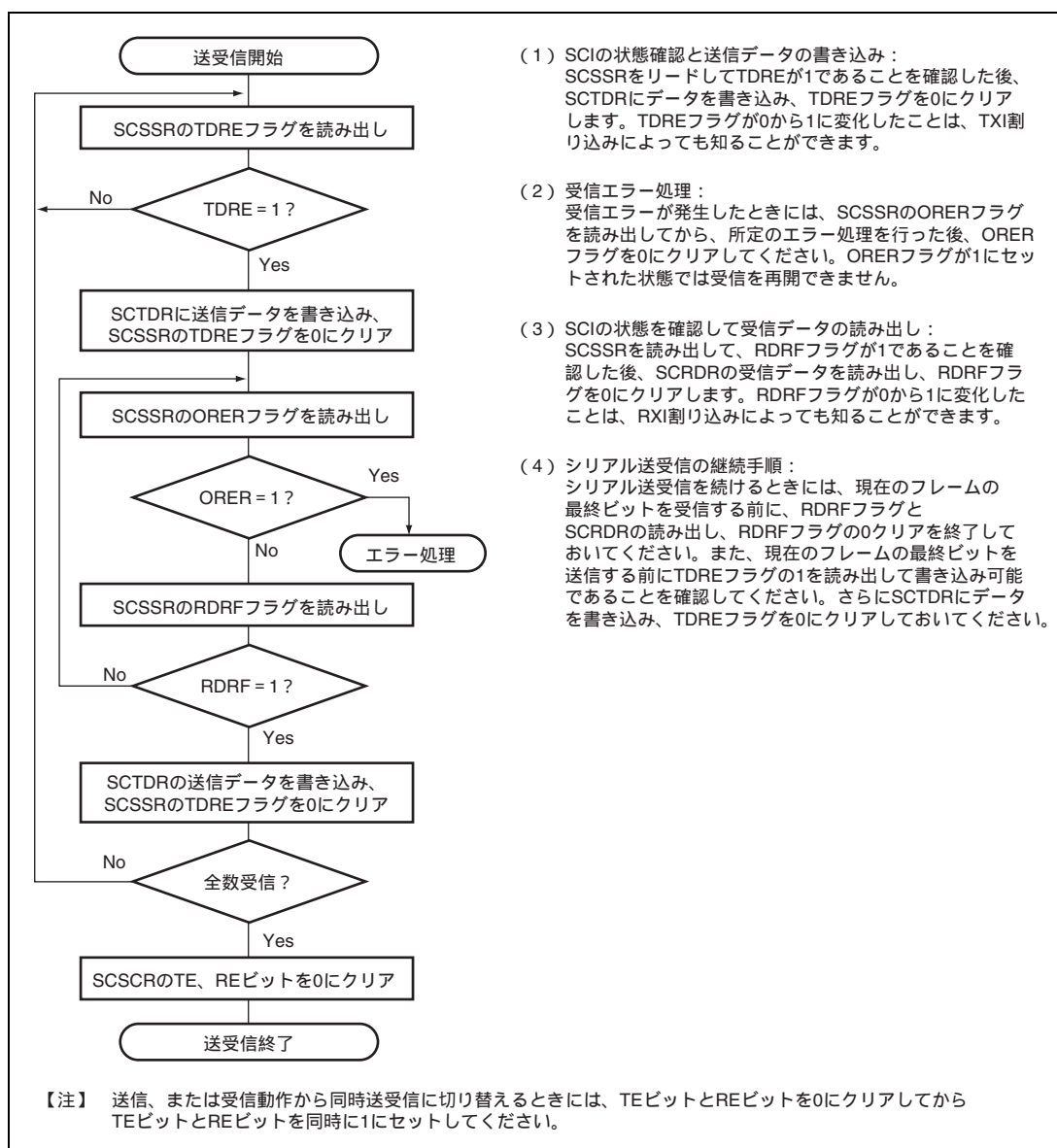


図 18.14 シリアルデータ送受信フローチャートの例

18.4.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 18.15 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとびません。

SCIはこの機能をサポートするため、SCSCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCRSR から SCRDR への受信データの転送、および受信エラーの検出と SCSSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCSSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCSCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

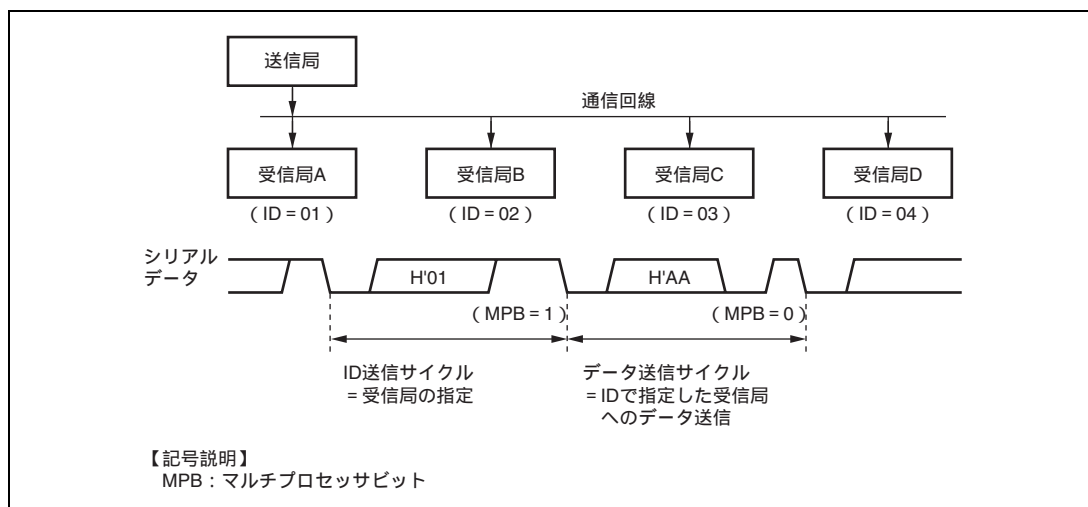


図 18.15 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

18.4.5 マルチプロセッサシリアルデータ送信

図 18.16 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCSSR の MPBT を 1 にセットして送信してください。実際に ID が送信されるまで MPBT を 1 に保持してください。データ送信サイクルでは SCSSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

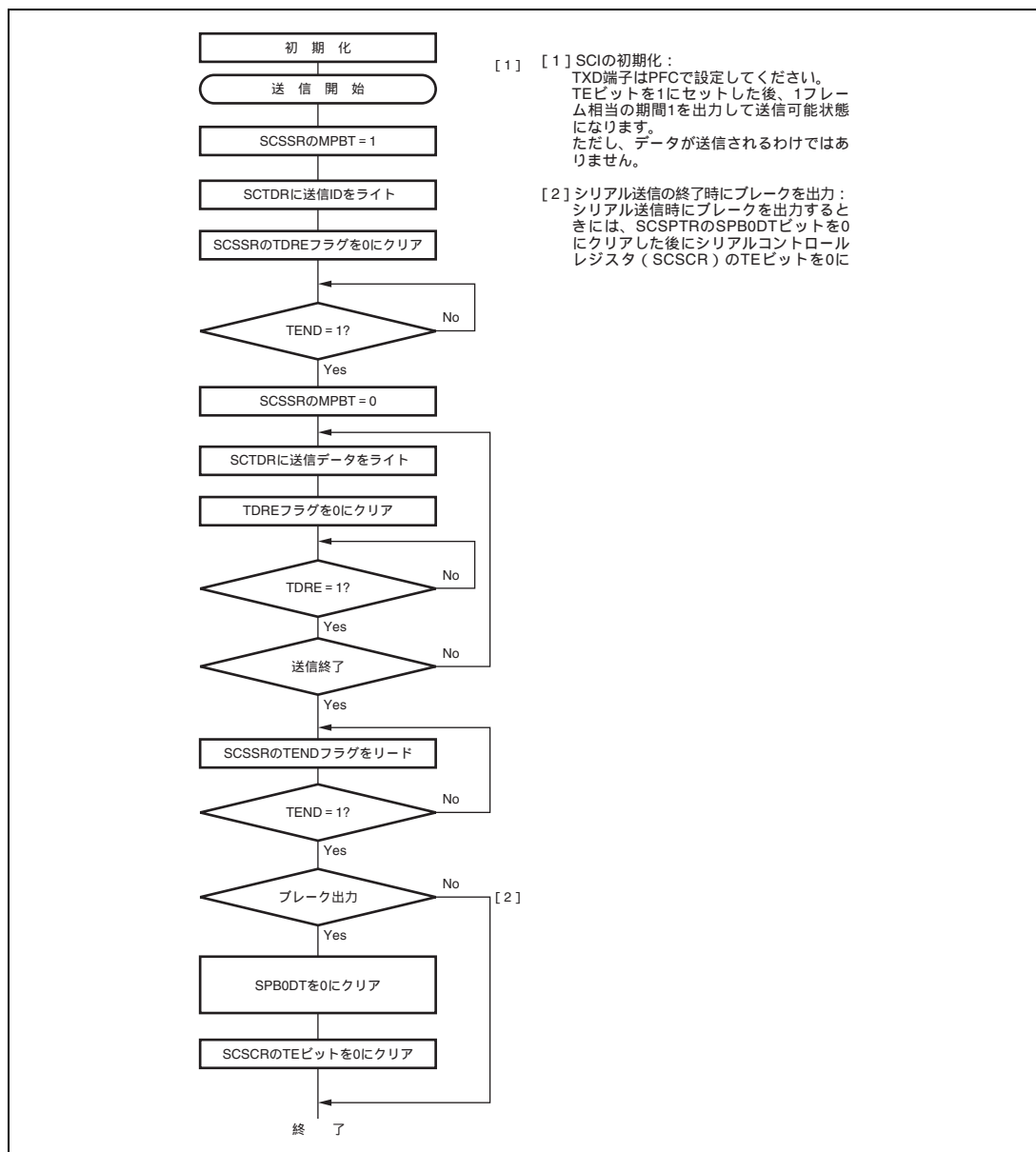


図 18.16 マルチプロセッサシリアル送信のフローチャートの例

18.4.6 マルチプロセッサシリアルデータ受信

図 18.18 にマルチプロセッサデータ受信のフローチャートの例を示します。SCSCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCRDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 18.17 に受信時の動作例を示します。

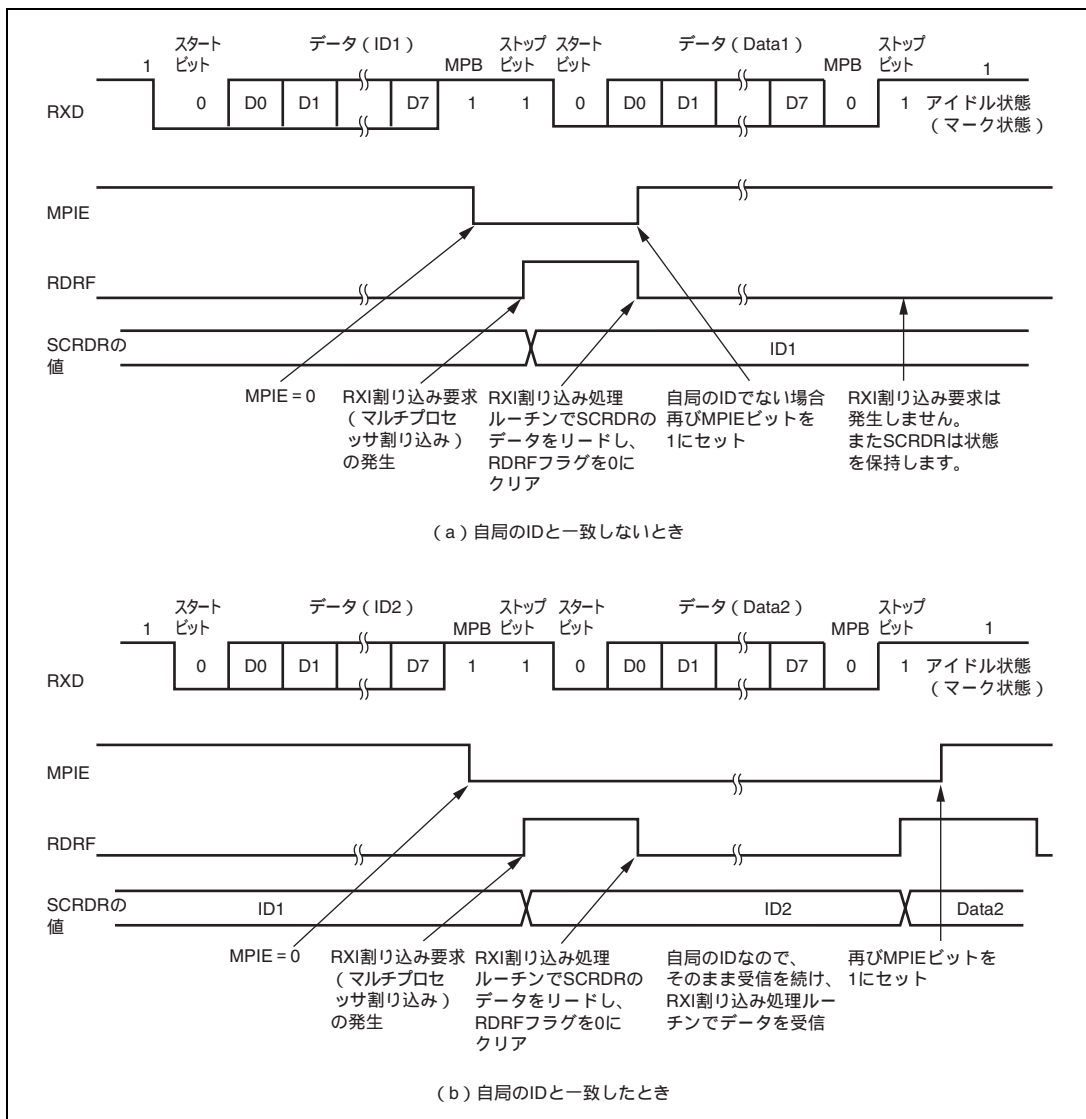


図 18.17 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビット / LSB ファーストの例)

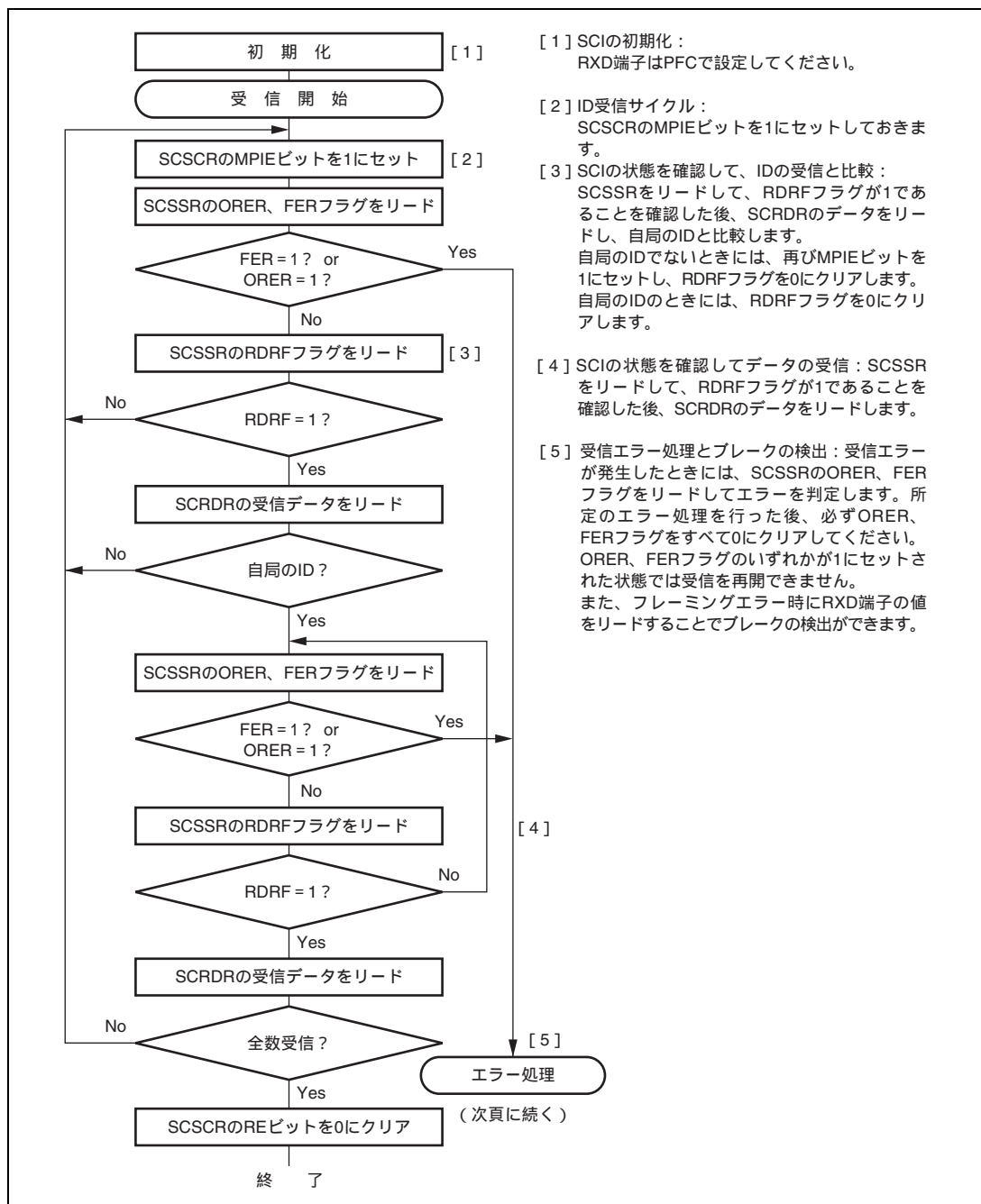


図 18.18 マルチプロセッサシリアル受信のフローチャートの例 (1)

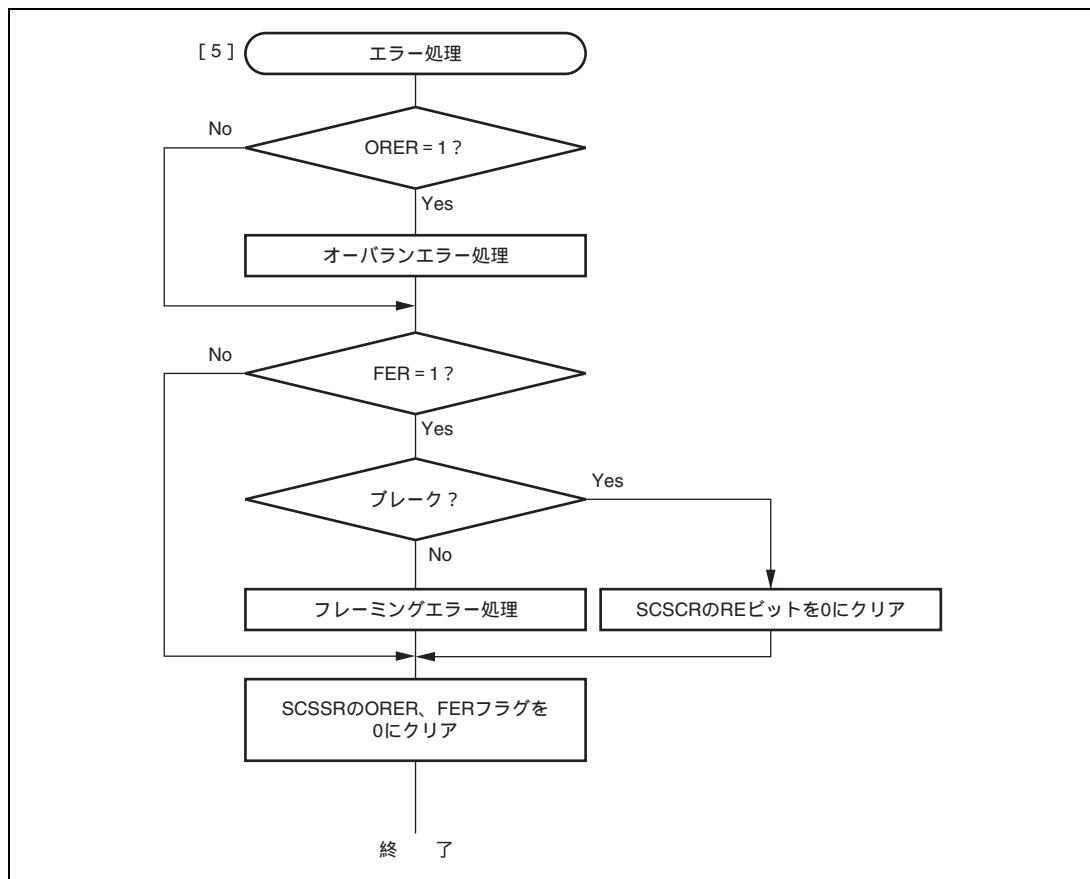


図 18.18 マルチプロセッサシリアル受信のフローチャートの例 (2)

18.5 ビットレート調整機能

SCI は調歩同期式モード時にビットレートを微調整する機能があります。図 18.19 にビットレート調整機能有効時の動作例を示します。

シリアルモードレジスタ 2 (SCSMR2) の BAE ビットを 1 に設定すると、ビットレート調整コンペアレジスタ (SCBACOR) および SCSMR2 の SPSEL[1:0] ビットにより、ビットレートの微調整とデータのサンプリングタイミングが調整可能になります。

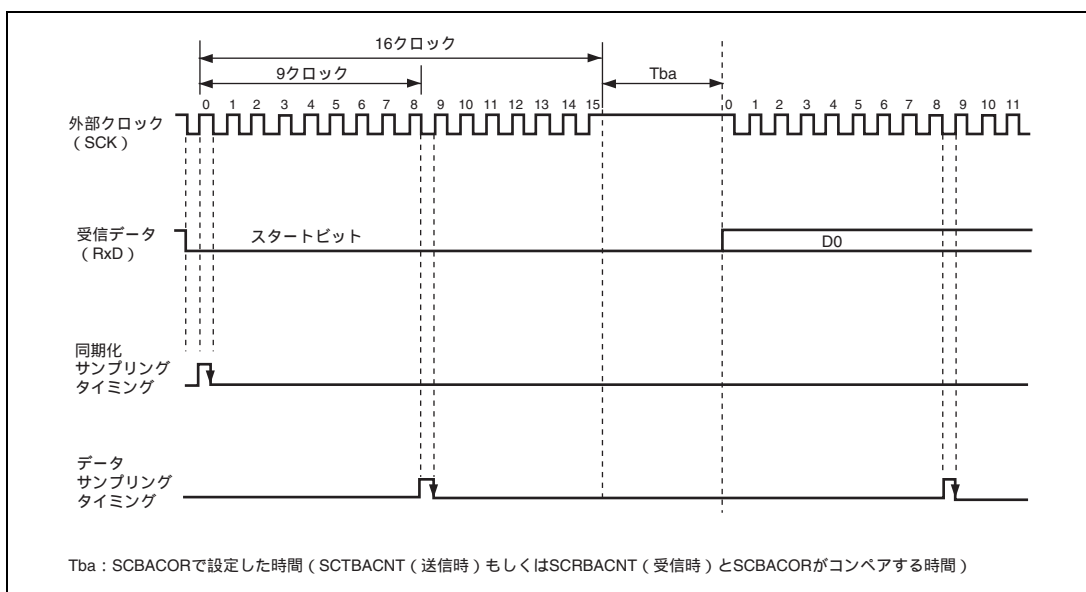


図 18.19 ビットレート調整機能有効時の動作例 (SPSEL[1:0]=01 (9 ビット目でサンプリング))

ビットレート調整機能を使用した場合のビットレートとビットレートレジスタ (SCBRR)、ビットレート調整コンペアレジスタ (SCBACOR) の関係は

$$B = \frac{P \times 10^6}{64 \times 2^{2n-1} \times (N+1) + (C+3)}$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 N 255)

(電気的特性を満足する設定値としてください)

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0, 1, 2, 3)

(n とクロックの関係は、表 18.3 を参照してください)

C : SCBACOR の設定値 (1 C 255)

となります。

誤差は設定したいビットレートを B_h とすると

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{B_h (64 \times 2^{2n-1} \times (N+1) + (C+3))} - 1 \right\} \times 100$$

となります。

また、ビットレート調整機能使用時の SPSEL[1:0]の設定の目安を表 18.14、ビットレート調整機能を使用した場合のボーレート 500kbps の設定例を表 18.15 に示します。

表 18.14 ビットレート調整機能使用時の SPSEL[1:0]の設定

ビットレート調整未使用時の誤差	SPSEL[1:0]	設定内容
0% ~ 10%	00	8 ビット目でサンプリング
10% ~ 20%	01	9 ビット目でサンプリング
20% ~ 30%	10	10 ビット目でサンプリング
30%以上	11	11 ビット目でサンプリング

表 18.15 ビットレート調整機能を使用した場合のボーレート 500kbps の設定例

P の設定値	SCSMR の CKS[1:0]の 設定値 (n)	SCBRR の 設定値 (N)	SCBACOR の 設定値 (C)	調整前のビット レート	調整後のビット レート
P = 50MHz 時	H'00	H'02	H'01	520,833	500,000

18.6 割り込み要因と DMAC/DTC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンpty割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 18.16 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、TEIE ビット、および SCSPTR の EIO ビットで許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求でダイレクトメモリアクセスコントローラ (DMAC) またはデータ転送ファクトリー (DTC) を起動してデータ転送を行うことができます。DMAC 起動によるデータ転送時は、トランスミッタレジスタ (SCTDR) への書き込みが行われると、TDRE フラグが自動的に 0 にクリアされて、CPU への TXI 割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 であつ転送カウンタ値が 0 以外の場合には、SCTDR への書き込みが行われると TDRE フラグが自動的に 0 にクリアされて CPU への TXI 割り込み要求は発生しませんが、DISEL ビットが 0 であつ転送カウンタが 0 または DISEL ビットが 1 の場合には、SCTDR への書き込みが行われても TDRE フラグは 0 にクリアされずに SCTDR への書き込み後に CPU への TXI 割り込み要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。RXI 割り込み要求で DMAC/DTC を起動してデータ転送を行うことができます。DMAC 起動によるデータ転送時は、レシーブデータレジスタ (SCRDR) の読み出しが行われると、RDRF フラグが自動的に 0 にクリアされて、CPU への RXI 割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 であつ転送カウンタ値が 0 以外の場合には、SCRDR の読み出しが行われると RDRF フラグが自動的に 0 にクリアされて CPU への RXI 割り込み要求は発生しませんが、DISEL ビットが 0 であつ転送カウンタが 0 または DISEL ビットが 1 の場合には、SCRDR の読み出しが行われても RDRF フラグは 0 にクリアされずに SCRDR の読み出し後に CPU への RXI 割り込み要求が発生します。

また、SCSSR の ORER フラグ、FER フラグ、または PER フラグが 1 にセットされると ERI 割り込み要求が発生します。ERI 割り込み要求で DMAC/DTC の起動はできません。DMAC/DTC で受信データの処理を行い、CPU への割り込みで受信エラー処理を行う場合、RIE ビットを 1 に設定するとともに、SCSPTR の EIO ビットを 1 にセットし受信エラーのみで割り込みエラーが発生するようにしてください。EIO ビットを 0 に設定すると、正常なデータ受信時にも CPU への割り込みが発生してしまいます。

さらに、SCSSR の TEND フラグが 1 にセットされると TEI 割り込み要求が発生します。TEI 割り込み要求で DMAC/DTC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 18.16 SCI 割り込み要因

割り込み要因	内 容	割り込み許可ビット	DMAC/DTC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	RIE=1	不可	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	RIE=1 かつ EIO=0	可	
TXI	送信データエンプティ (TDRE) による割り込み	TIE=1	可	
TEI	送信終了 (TEND) による割り込み	TEIE=1	不可	

18.7 シリアルポートレジスタ (SCSPTR) と SCI 端子との関係

SCSPTR と SCI 端子との関係を図 18.20、図 18.21 に示します。

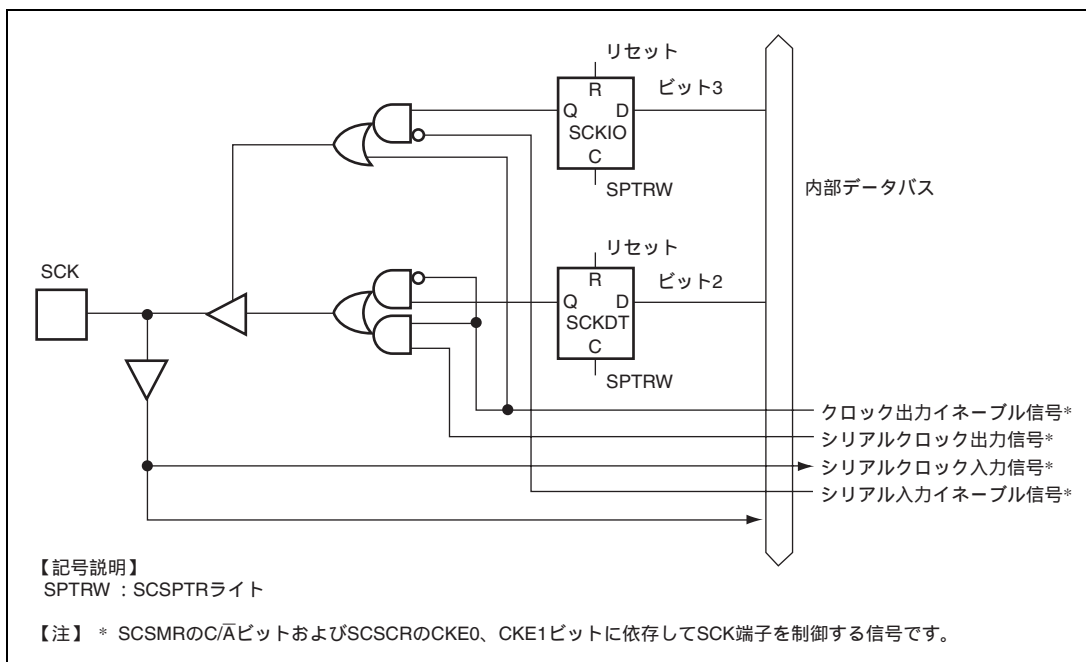


図 18.20 SCKIO ビット、SCKDT ビットと SCK 端子との関係

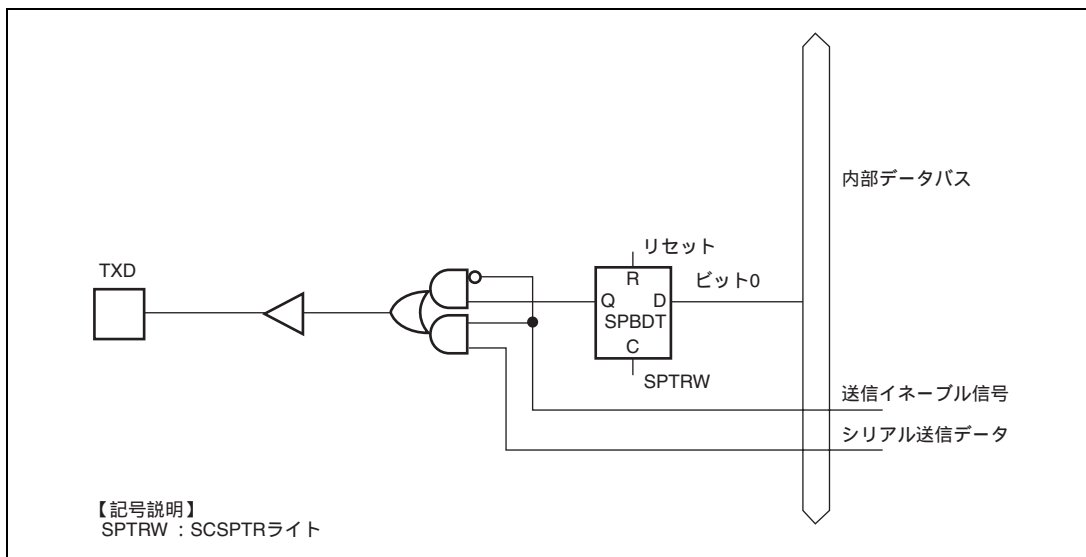


図 18.21 SPBDT ビットと TXD 端子との関係

18.8 使用上の注意事項

18.8.1 SCTDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SCSSR) の TDRE フラグはトランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR から SCTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR に書き込むと、SCTDR に格納されていたデータは、まだ SCTSR に転送されていないため失われてしまいます。したがって SCTDR への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

18.8.2 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR の各ステータスフラグの状態は、表 18.17 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へのデータ転送は行われず、受信データは失われます。

表 18.17 SCSSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR のステータスフラグ				受信データ転送 SCRSR SCRDR
	RDRF	ORER	FER	PER	
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバランエラー + フレーミングエラー	1	1	1	0	×
オーバランエラー + パリティエラー	1	1	0	1	×
フレーミングエラー + パリティエラー	0	0	1	1	
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1	×

【記号説明】

: SCRSR SCRDR に受信データを転送します。

× : SCRSR SCRDR に受信データを転送しません。

18.8.3 ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RXD 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後は、SCRDR への受信データの転送は停止しますが、受信動作は続けています。

18.8.4 ブレークの送り出し

TXD 端子は、シリアルポートレジスタ (SCSPTR) の SPB0DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB0DT ビットの値で代替えされます。このため、最初は SPB0DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB0DT ビットを 0 にクリア (ローレベル) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子からは 0 が出力されます。

18.8.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。シリアルモードレジスタ 2 (SCSMR2) の BAE、SPSEL[1:0]、およびビットレート調整コンペアレジスタ (SCBACOR) 設定時には「18.5 ビットレート調整機能」を参照してください。

これを図 18.22 に示します。

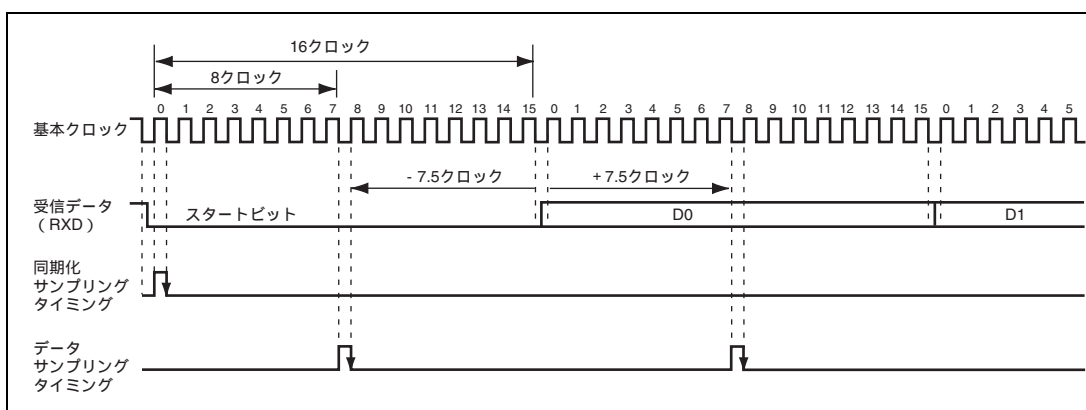


図 18.22 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\%$$

$$= 46.875\%$$

...式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

18.8.6 DMAC/DTC 使用上の注意事項

- (1) 同期クロックに外部クロックソースを使用する場合、DMAC/DTC による SCTDR の更新後、周辺動作クロックで 5 サイクル以上経過した後に外部クロックを入力してください。SCTDR の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 18.23 参照)。

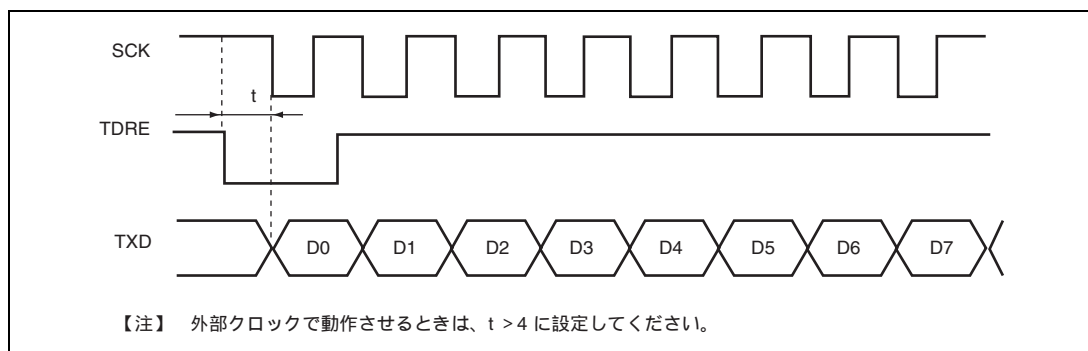


図 18.23 DMAC/DTC による同期クロック転送例 (LSB ファースト設定時)

- (2) TXI 割り込みにより DMAC/DTC を起動して SCTDR ヘデータを書き込んだ場合には TEND フラグは不定となりますので、TEND フラグを送信終了フラグとして使用しないでください。

18.8.7 クロック同期外部クロックモード時の注意事項

TE = 1、RE = 1 に設定するのは、外部クロック (SCK) を 0 (ローレベル) から 1 (ハイレベル) にしてから周辺動作クロックで 4 クロック以上経過後にしてください。

また、TE = 1、RE = 1 に設定するのは、必ず外部クロック (SCK) が 1 (ハイレベル) のときにしてください。

18.8.8 モジュールスタンバイモードの設定

SCI は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

19. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 4 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャンネルとも独立に送信 / 受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

19.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RXD 端子のレベルをポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速度連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース
ボーレートジェネレータ (内部クロック)、またはSCK端子 (外部クロック) から選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ割り込み、ブレーク割り込み、受信FIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信FIFOデータエンプティ要求と受信FIFOデータフル要求により、ダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動させてデータ転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送信、および受信FIFOレジスタのデータ数、および受信FIFOレジスタの受信データの受信エラー数を検出できます。
- 調歩同期モード受信時、タイムアウトエラー (DR) を検出できます。
- LSBファースト / MSBファーストの選択が可能です (調歩同期7ビットデータを除く)。

図 19.1 に SCIF のブロック図を示します。

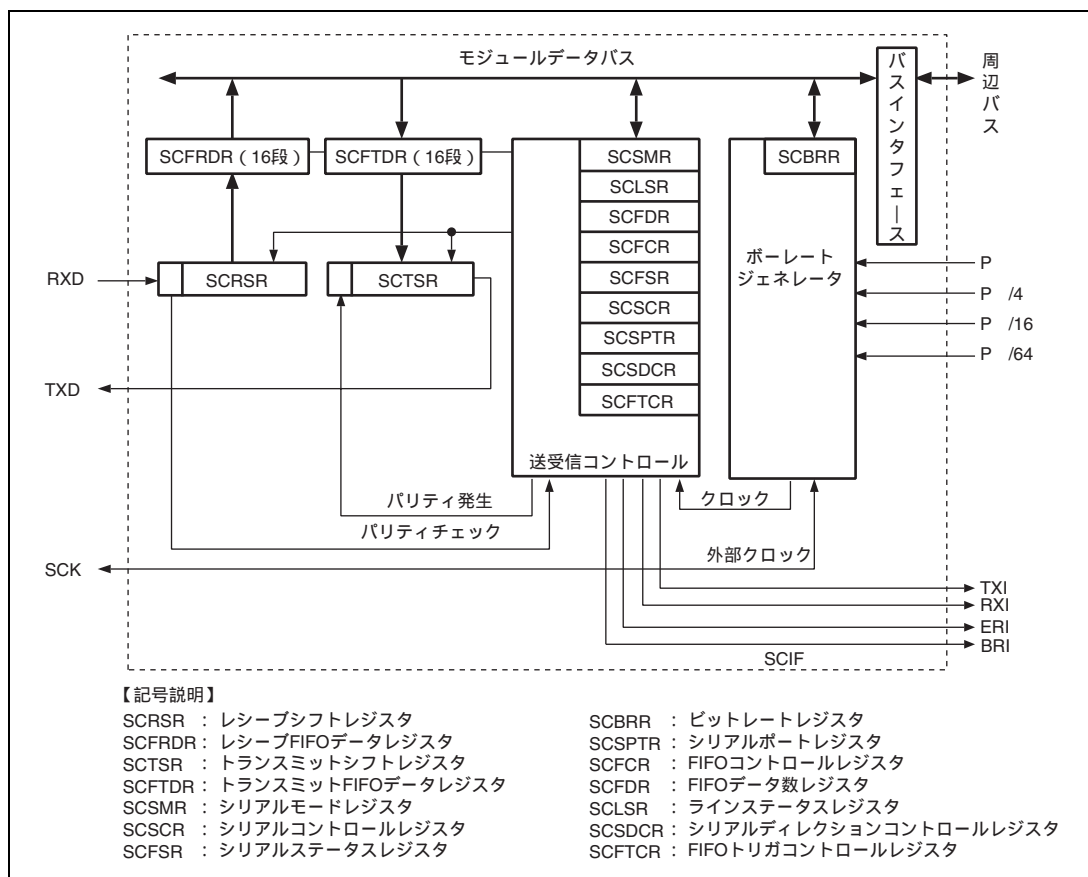


図 19.1 SCIF のブロック図

19.2 入出力端子

SCIF の端子構成を表 19.1 に示します。

表 19.1 端子構成

チャネル	名称	端子名*	入出力	機能
4~7	シリアルクロック端子	SCK4 ~ SCK7	入出力	クロック入出力
	受信データ端子	RXD4 ~ RXD7	入力	受信データ入力
	送信データ端子	TXD4 ~ TXD7	出力	送信データ出力

【注】 * 本文中ではチャネルを省略し、それぞれ SCK、RXD、TXD と略称します。

19.3 レジスタの説明

SCIF には以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 19.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	シリアルモードレジスタ_4	SCSMR_4	R/W	H'0000	H'FFFE8000	16
	ビットレートレジスタ_4	SCBRR_4	R/W	H'FF	H'FFFE8004	8
	シリアルコントロールレジスタ_4	SCSCR_4	R/W	H'0000	H'FFFE8008	16
	トランスミットFIFOデータレジスタ_4	SCFTDR_4	W	不定	H'FFFE800C	8
	シリアルステータスレジスタ_4	SCFSR_4	R/W	H'0060	H'FFFE8010	16
	レシーブFIFOデータレジスタ_4	SCFRDR_4	R	不定	H'FFFE8014	8
	FIFOコントロールレジスタ_4	SCFCR_4	R/W	H'0000	H'FFFE8018	16
	FIFOデータ数レジスタ_4	SCFDR_4	R	H'0000	H'FFFE801C	16
	シリアルポートレジスタ_4	SCSPTR_4	R/W	H'0050	H'FFFE8020	16
	ラインステータスレジスタ_4	SCLSR_4	R/W	H'0000	H'FFFE8024	16
	シリアルディレクションコントロール レジスタ_4	SCSDCR_4	R/W	H'F2	H'FFFE8102	8
	FIFOトリガコントロールレジスタ_4	SCFTCR_4	R/W	H'1F1F	H'FFFE8104	16
5	シリアルモードレジスタ_5	SCSMR_5	R/W	H'0000	H'FFFE8800	16
	ビットレートレジスタ_5	SCBRR_5	R/W	H'FF	H'FFFE8804	8
	シリアルコントロールレジスタ_5	SCSCR_5	R/W	H'0000	H'FFFE8808	16
	トランスミットFIFOデータレジスタ_5	SCFTDR_5	W	不定	H'FFFE880C	8
	シリアルステータスレジスタ_5	SCFSR_5	R/W	H'0060	H'FFFE8810	16
	レシーブFIFOデータレジスタ_5	SCFRDR_5	R	不定	H'FFFE8814	8
	FIFOコントロールレジスタ_5	SCFCR_5	R/W	H'0000	H'FFFE8818	16
	FIFOデータ数レジスタ_5	SCFDR_5	R	H'0000	H'FFFE881C	16
	シリアルポートレジスタ_5	SCSPTR_5	R/W	H'0050	H'FFFE8820	16
	ラインステータスレジスタ_5	SCLSR_5	R/W	H'0000	H'FFFE8824	16
	シリアルディレクションコントロール レジスタ_5	SCSDCR_5	R/W	H'F2	H'FFFE8902	8
	FIFOトリガコントロールレジスタ_5	SCFTCR_5	R/W	H'1F1F	H'FFFE8904	16

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
6	シリアルモードレジスタ_6	SCSMR_6	R/W	H'0000	H'FFFE9000	16
	ビットレートレジスタ_6	SCBRR_6	R/W	H'FF	H'FFFE9004	8
	シリアルコントロールレジスタ_6	SCSCR_6	R/W	H'0000	H'FFFE9008	16
	トランスミットFIFOデータレジスタ_6	SCFTDR_6	W	不定	H'FFFE900C	8
	シリアルステータスレジスタ_6	SCFSR_6	R/W	H'0060	H'FFFE9010	16
	レシーブFIFOデータレジスタ_6	SCFRDR_6	R	不定	H'FFFE9014	8
	FIFOコントロールレジスタ_6	SCFCR_6	R/W	H'0000	H'FFFE9018	16
	FIFOデータ数レジスタ_6	SCFDR_6	R	H'0000	H'FFFE901C	16
	シリアルポートレジスタ_6	SCSPTR_6	R/W	H'0050	H'FFFE9020	16
	ラインステータスレジスタ_6	SCLSR_6	R/W	H'0000	H'FFFE9024	16
	シリアルディレクションコントロール レジスタ_6	SCSDCR_6	R/W	H'F2	H'FFFE9102	8
	FIFOトリガコントロールレジスタ_6	SCFTCR_6	R/W	H'1F1F	H'FFFE9104	16
7	シリアルモードレジスタ_7	SCSMR_7	R/W	H'0000	H'FFFE9800	16
	ビットレートレジスタ_7	SCBRR_7	R/W	H'FF	H'FFFE9804	8
	シリアルコントロールレジスタ_7	SCSCR_7	R/W	H'0000	H'FFFE9808	16
	トランスミットFIFOデータレジスタ_7	SCFTDR_7	W	不定	H'FFFE980C	8
	シリアルステータスレジスタ_7	SCFSR_7	R/W	H'0060	H'FFFE9810	16
	レシーブFIFOデータレジスタ_7	SCFRDR_7	R	不定	H'FFFE9814	8
	FIFOコントロールレジスタ_7	SCFCR_7	R/W	H'0000	H'FFFE9818	16
	FIFOデータ数レジスタ_7	SCFDR_7	R	H'0000	H'FFFE981C	16
	シリアルポートレジスタ_7	SCSPTR_7	R/W	H'0050	H'FFFE9820	16
	ラインステータスレジスタ_7	SCLSR_7	R/W	H'0000	H'FFFE9824	16
	シリアルディレクションコントロール レジスタ_7	SCSDCR_7	R/W	H'F2	H'FFFE9902	8
	FIFOトリガコントロールレジスタ_7	SCFTCR_7	R/W	H'1F1F	H'FFFE9904	16

19.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RXD 端子から入力されたシリアルデータをパラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
	[7-bit register box]							
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

19.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段の FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。レシーブ FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

SCFRDR は、パワーオンリセット時に不定となります。

ビット:	7	6	5	4	3	2	1	0
	[8-bit register box]							
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

19.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

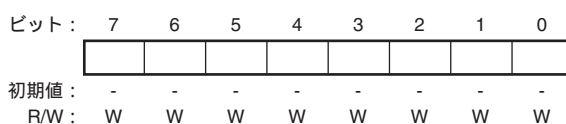
ビット:	7	6	5	4	3	2	1	0
	[8-bit register box]							
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

19.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は SCFSR の TDFE ビットが 1 のとき書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

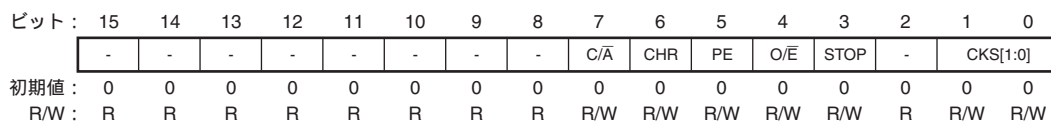
SCFTDR は、パワーオンリセット時に不定となります。



19.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。SCSMR は、パワーオンリセット時に H'0000 に初期化されます。



ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】 * 7 ビットデータを選択した場合、トランスミット FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】 * PE ビットに 1 をセットすると、送信時には O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみに有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0: 偶数パリティ*¹ 1: 奇数パリティ*²</p> <p>【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0:1 ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1:2 ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ボーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「19.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00 : P クロック 01 : P /4 クロック 10 : P /16 クロック 11 : P /64 クロック</p> <p>【注】P : 周辺クロック</p>

19.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。SCSCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信 FIFO データエンpty割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンpty割り込み (TXI) 要求を許可* 【注】 * TXI の解除は、SCFTDR に指定した送信トリガ数より多い量の送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】 * RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止 1 : 送信動作を許可*</p> <p>【注】 * この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹ 1 : 受信動作を許可*²</p> <p>【注】 *¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】 * ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DTC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は、入力端子 (入力信号は無視)。SCK 端子の状態は SCSPTR の SCKIO ビット、SCKDT ビットに依存します。 01 : 内部クロック / SCK 端子はクロック出力 (ビットレートの 16 倍の周波数のクロックを出力) 10 : 外部クロック / SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) 11 : 設定禁止 • クロック同期式モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は同期クロック出力 01 : 内部クロック / SCK 端子は同期クロック出力 10 : 外部クロック / SCK 端子は同期クロック入力 11 : 設定禁止

19.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) は読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]			FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15 ~ 12	PER[3:0]	0000	R	パリティエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 15 ~ 12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。
11 ~ 8	FER[3:0]	0000	R	フレーミングエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 11 ~ 8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1回のデータ受信の終わりで受信データの最後のストップビットが1であるかどうかをチェックし、ストップビットが0の場合*² • 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】 *¹ SCSCR の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*² 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。</p>
6	TEND	1	R/(W)*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR へ送信データを書き込み、TEND=1の状態を読み出した後、TEND フラグに 0 を書き込んだとき*¹ <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • SCSCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき <p>【注】 *¹ TXI 割り込み要求により DMAC/DTC で SCFTDR ヘデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0 : SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき • DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき • DTC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき (DTC の転送カウンタ値が H'0000 になったときを除く) <p>1 : SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であること*1 を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】 *1 SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFDR の上位 8 ビットで示されます。</p>
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0 : ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK = 1 の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1 : ブレーク信号を受信*1</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】 *1 ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

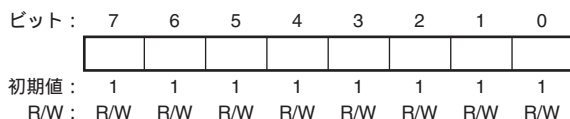
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データがレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF = 1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • DMAC で SCFRDR の受信データ数が指定トリガ数より少なくなるまで SCFRDR を読み出したとき • DTC で SCFRDR の受信データ数が指定トリガ数より少なくなるまで SCFRDR を読み出したとき (DTC の転送カウンタ値が H'0000 になったときを除く) <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき* <p>【注】 *1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFRDR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>調歩同期モードで、レシーブ FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC/DTC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*後も次のデータが受信されないとき <p>【注】 *1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

19.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モード】

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

【クロック同期式モード】

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)
(電気的特性を満足する設定値としてください)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)
(n とクロックの関係は、表 19.3 を参照してください)

表 19.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 19.4 に調歩同期式モードの SCBRR の設定例を、表 19.5 にクロック同期式モードの SCBRR の設定例を示します。

表 19.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	P (MHz)																	
	10			12			14			16			18			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	212	0.03	2	248	-0.17	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	129	0.16	2	155	0.16	2	181	0.16	2	207	0.16	2	233	0.16	3	64	0.16
300	2	64	0.16	2	77	0.16	2	90	0.16	2	103	0.16	2	116	0.16	2	129	0.16
600	1	129	0.16	1	155	0.16	1	181	0.16	1	207	0.16	1	233	0.16	2	64	0.16
1,200	1	64	0.16	1	77	0.16	1	90	0.16	1	103	0.16	1	116	0.16	1	129	0.16
2,400	0	129	0.16	0	155	0.16	0	181	0.16	0	207	0.16	0	233	0.16	1	64	0.16
4,800	0	64	0.16	0	77	0.16	0	90	0.16	0	103	0.16	0	116	0.16	0	129	0.16
9,600	0	32	-1.36	0	38	0.16	0	45	-0.93	0	51	0.16	0	58	-0.69	0	64	0.16
14,400	0	21	-1.36	0	25	0.16	0	29	1.27	0	34	-0.79	0	38	0.16	0	42	0.94
19,200	0	15	1.73	0	19	-2.34	0	22	-0.93	0	25	0.16	0	28	1.02	0	32	-1.36
28,800	0	10	-1.36	0	12	0.16	0	14	1.27	0	16	2.12	0	19	-2.34	0	21	-1.36
31,250	0	9	0.00	0	11	0.00	0	13	0.00	0	15	0.00	0	17	0.00	0	19	0.00
38,400	0	7	1.73	0	9	-2.34	0	10	3.57	0	12	0.16	0	14	-2.34	0	15	1.73
115,200	0	2	-9.58	0	2	8.51	0	3	-5.06	0	3	8.51	0	4	-2.34	0	4	8.51
500,000	0	0*	-37.5	0	0*	-25.0	0	0*	-12.5	0	0*	0.00	0	0*	12.5	0	0*	25.0

表 19.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (2)

ビットレート (bit/s)	P (MHz)																	
	22			24			26			28			30			32		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	97	-0.35	3	106	-0.44	3	114	0.36	3	123	0.23	3	132	0.13	3	141	0.03
150	3	71	-0.54	3	77	0.16	3	84	-0.43	3	90	0.16	3	97	-0.35	3	103	0.16
300	2	142	0.16	2	155	0.16	2	168	0.16	2	181	0.16	2	194	0.16	2	207	0.16
600	2	71	-0.54	2	77	0.16	2	84	-0.43	2	90	0.16	2	97	-0.35	2	103	0.16
1,200	1	142	0.16	1	155	0.16	1	168	0.16	1	181	0.16	1	194	0.16	1	207	0.16
2,400	1	71	-0.54	1	77	0.16	1	84	-0.43	1	90	0.16	1	97	-0.35	1	103	0.16
4,800	0	142	0.16	0	155	0.16	0	168	0.16	0	181	0.16	0	194	0.16	0	207	0.16
9,600	0	71	-0.54	0	77	0.16	0	84	-0.43	0	90	0.16	0	97	-0.35	0	103	0.16
14,400	0	47	-0.54	0	51	0.16	0	55	0.76	0	60	-0.39	0	64	0.16	0	68	0.64
19,200	0	35	-0.54	0	38	0.16	0	41	0.76	0	45	-0.93	0	48	-0.35	0	51	0.16
28,800	0	23	-0.54	0	25	0.16	0	27	0.76	0	29	1.27	0	32	-1.36	0	34	-0.79
31,250	0	21	0.00	0	23	0.00	0	25	0.00	0	27	0.00	0	29	0.00	0	31	0.00
38,400	0	17	-0.54	0	19	-2.34	0	20	0.76	0	22	-0.93	0	23	1.73	0	25	0.16
115,200	0	5	-0.54	0	6	-6.99	0	6	0.76	0	7	-5.06	0	7	1.73	0	8	-3.55
500,000	0	0*	37.5	0	1	-25.0	0	1	-18.8	0	1	-12.5	0	1	-6.25	0	1	0.00

表 19.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (3)

ビットレート (bit/s)	P (MHz)														
	34			36			38			40			42		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	150	-0.05	3	159	-0.12	3	168	-0.19	3	177	-0.25	3	185	0.23
150	3	110	-0.29	3	116	0.16	3	123	-0.24	3	129	0.16	3	136	-0.21
300	2	220	0.16	2	233	0.16	2	246	0.16	3	64	0.16	3	67	0.53
600	2	110	-0.29	2	116	0.16	2	123	-0.24	2	129	0.16	2	136	-0.21
1,200	1	220	0.16	1	233	0.16	1	246	0.16	2	64	0.16	2	67	0.53
2,400	1	110	-0.29	1	116	0.16	1	123	-0.24	1	129	0.16	1	136	-0.21
4,800	0	220	0.16	0	233	0.16	0	246	0.16	1	64	0.16	1	67	0.53
9,600	0	110	-0.29	0	116	0.16	0	123	-0.24	0	129	0.16	0	136	-0.21
14,400	0	73	-0.29	0	77	0.16	0	81	0.57	0	86	-0.22	0	90	0.16
19,200	0	54	0.62	0	58	-0.69	0	61	-0.24	0	64	0.16	0	67	0.53
28,800	0	36	-0.29	0	38	0.16	0	40	0.57	0	42	0.94	0	45	-0.93
31,250	0	33	0.00	0	35	0.00	0	37	0.00	0	39	0.00	0	41	0.00
38,400	0	27	-1.18	0	28	1.02	0	30	-0.24	0	32	-1.36	0	33	0.53
115,200	0	8	2.48	0	9	-2.34	0	9	3.08	0	10	-1.36	0	10	3.57
500,000	0	1	6.25	0	1	12.5	0	1	18.8	0	2	-16.7	0	2	-12.5

表 19.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (4)

ビットレート (bit/s)	P (MHz)											
	44			46			48			50		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	194	0.16	3	203	0.09	3	212	0.03	3	221	-0.02
150	3	142	0.16	3	149	-0.17	3	155	0.16	3	162	-0.15
300	3	71	-0.54	3	74	-0.17	3	77	0.16	3	80	0.47
600	2	142	0.16	2	149	-0.17	2	155	0.16	2	162	-0.15
1,200	2	71	-0.54	2	74	-0.17	2	77	0.16	2	80	0.47
2,400	1	142	0.16	1	149	-0.17	1	155	0.16	1	162	-0.15
4,800	1	71	-0.54	1	74	-0.17	1	77	0.16	1	80	0.47
9,600	0	142	0.16	0	149	-0.17	0	155	0.16	0	162	-0.15
14,400	0	94	0.51	0	99	-0.17	0	103	0.16	0	108	-0.45
19,200	0	71	-0.54	0	74	-0.17	0	77	0.16	0	80	0.47
28,800	0	47	-0.54	0	49	-0.17	0	51	0.16	0	53	0.47
31,250	0	43	0.00	0	45	0.00	0	47	0.00	0	49	0
38,400	0	35	-0.54	0	36	1.18	0	38	0.16	0	40	-0.76
115,200	0	11	-0.54	0	11	3.99	0	12	0.16	0	13	-3.12
500,000	0	2	-8.33	0	2	-4.17	0	2	0.00	0	2	4.17

表 19.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (1)

ビットレート (bit/s)	P (MHz)											
	10		12		14		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N
250	3	155	3	187	3	218	3	249				
500	3	77	3	93	3	108	3	124	3	140	3	155
1,000	2	155	2	187	2	218	2	249	3	69	3	77
2,500	1	249	2	74	2	87	2	99	2	112	2	124
5,000	1	124	1	149	1	174	1	199	1	224	1	249
10,000	0	249	1	74	1	87	1	99	1	112	1	124
25,000	0	99	0	119	0	139	0	159	0	179	0	199
50,000	0	49	0	59	0	69	0	79	0	89	0	99
100,000	0	24	0	29	0	34	0	39	0	44	0	49
250,000	0	9	0	11	0	13	0	15	0	17	0	19
500,000	0	4	0	5	0	6	0	7	0	8	0	9
1,000,000	-	-	0	2	-	-	0	3	-	-	0	4
2,500,000	0	0*	-	-	-	-	-	-	-	-	0	1
5,000,000			-	-	-	-	-	-	-	-	0	0*

表 19.5 ビットレートに対する SCBRR の設定例 (クロック同期モード) (2)

ビットレート (bit/s)	P (MHz)											
	22		24		26		28		30		32	
	n	N	n	N	n	N	n	N	n	N	n	N
250												
500	3	171	3	187	3	202	3	218	3	233	3	249
1,000	3	85	3	93	3	101	3	108	3	116	3	124
2,500	2	137	2	149	2	162	2	174	2	187	2	199
5,000	2	68	2	74	2	80	2	87	2	93	2	99
10,000	1	137	1	149	1	162	1	174	1	187	1	199
25,000	0	219	0	239	1	64	1	69	1	74	1	79
50,000	0	109	0	119	0	129	0	139	0	149	0	159
100,000	0	54	0	59	0	64	0	69	0	74	0	79
250,000	0	21	0	23	0	25	0	27	0	29	0	31
500,000	0	10	0	11	0	12	0	13	0	14	0	15
1,000,000	-	-	0	5	-	-	0	6	-	-	0	7
2,500,000	-	-	-	-	-	-	-	-	0	2	-	-
5,000,000	-	-	-	-	-	-	-	-	-	-	-	-

表 19.5 ビットレートに対する SCBRR の設定例 (クロック同期モード) (3)

ビットレート (bit/s)	P (MHz)									
	34		36		38		40		42	
	n	N	n	N	n	N	n	N	n	N
250										
500										
1,000	3	132	3	140	3	147	3	155	3	163
2,500	2	212	2	224	2	237	2	249	3	65
5,000	2	105	2	112	2	118	2	124	2	130
10,000	1	212	1	224	1	237	1	249	2	65
25,000	1	84	1	89	1	94	1	99	1	104
50,000	0	169	0	179	0	189	0	199	0	209
100,000	0	84	0	89	0	94	0	99	0	104
250,000	0	33	0	35	0	37	0	39	0	41
500,000	0	16	0	17	0	18	0	19	0	20
1,000,000	-	-	0	8	-	-	0	9	-	-
2,500,000	-	-	-	-	-	-	0	3	-	-
5,000,000	-	-	-	-	-	-	0	1	-	-

表 19.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (4)

ビットレート (bit/s)	P (MHz)							
	44		46		48		50	
	n	N	n	N	n	N	n	N
250								
500								
1,000	3	171	3	179	3	187	3	194
2,500	3	68	3	71	3	74	3	77
5,000	2	137	2	143	2	149	2	155
10,000	2	68	2	71	2	74	2	77
25,000	1	109	1	114	1	119	1	124
50,000	0	219	0	229	0	239	0	249
100,000	0	109	0	114	0	119	0	124
250,000	0	43	0	45	0	47	0	49
500,000	0	21	0	22	0	23	0	24
1000,000	0	10	-	-	0	11	-	-
2,500,000	-	-	-	-	-	-	0	4
5,000,000	-	-	-	-	-	-	-	-

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がです。

* : 連続送信 / 受信はできません。

表 19.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレート、表 19.7 にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、表 19.8 と表 19.9 に外部クロック入力時の最大ビットレートを示します。

表 19.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P (MHz)	非連続送信 / 受信時			連続送信 / 受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10	312,500	0	0	156,250	0	1
12	375,000	0	0	187,500	0	1
14	437,500	0	0	218,750	0	1
16	500,000	0	0	250,000	0	1
18	562,500	0	0	281,250	0	1
20	625,000	0	0	312,500	0	1
22	687,500	0	0	343,750	0	1
24	750,000	0	0	375,000	0	1
26	812,500	0	0	406,250	0	1
28	875,000	0	0	437,500	0	1
30	937,500	0	0	468,750	0	1
32	1,000,000	0	0	500,000	0	1
34	1,062,500	0	0	531,250	0	1
36	1,125,000	0	0	562,500	0	1
38	1,187,500	0	0	593,750	0	1
40	1,250,000	0	0	625,000	0	1
42	1,312,500	0	0	656,250	0	1
44	1,375,000	0	0	687,500	0	1
46	1,437,500	0	0	718,750	0	1
48	1,500,000	0	0	750,000	0	1
50	1,562,500	0	0	781,250	0	1

表 19.7 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート(クロック同期式モード)

P (MHz)	非連続送信 / 受信時			連続送信 / 受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10	2,500,000	0	0	1,250,000	0	1
12	3,000,000	0	0	1,500,000	0	1
14	3,500,000	0	0	1,750,000	0	1
16	4,000,000	0	0	2,000,000	0	1
18	4,500,000	0	0	2,250,000	0	1
20	5,000,000	0	0	2,500,000	0	1
22	5,500,000	0	0	2,750,000	0	1
24	6,000,000	0	0	3,000,000	0	1
26	6,500,000	0	0	3,250,000	0	1
28	7,000,000	0	0	3,500,000	0	1
30	7,500,000	0	0	3,750,000	0	1
32	8,000,000	0	0	4,000,000	0	1
34	8,500,000	0	0	4,250,000	0	1
36	9,000,000	0	0	4,500,000	0	1
38	9,500,000	0	0	4,750,000	0	1
40	10,000,000	0	0	5,000,000	0	1
42	10,500,000	0	0	5,250,000	0	1
44	11,000,000	0	0	5,500,000	0	1
46	11,500,000	0	0	5,750,000	0	1
48	12,000,000	0	0	6,000,000	0	1
50	12,500,000	0	0	6,250,000	0	1

表 19.8 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	2.5	156,250
12	3.0	187,500
14	3.5	218,750
16	4.0	250,000
18	4.5	281,250
20	5.0	312,500
22	5.5	343,750
24	6.0	375,000
26	6.5	406,250
28	7.0	437,500
30	7.5	468,750
32	8.0	500,000
34	8.5	531,250
36	9.0	562,500
38	9.5	593,750
40	10.0	625,000
42	10.5	656,250
44	11.0	687,500
46	11.5	718,750
48	12.0	750,000
50	12.5	781,250

表 19.9 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	1.6667	1,666,666
12	2.0000	2,000,000
14	2.3333	2,333,333
16	2.6667	2,666,666
18	3.0000	3,000,000
20	3.3333	3,333,333
22	3.6667	3,666,666
24	4.0000	4,000,000
26	4.3333	4,333,333
28	4.6667	4,666,666
30	5.0000	5,000,000
32	5.3333	5,333,333
34	5.6667	5,666,666
36	6.0000	6,000,000
38	6.3333	6,333,333
40	6.6667	6,666,666
42	7.0000	7,000,000
44	7.3333	7,333,333
46	7.6667	7,666,666
48	8.0000	8,000,000
50	8.3333	8,333,333

19.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し/書き込みが可能です。SCFCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTRG[1:0]	TTRG[1:0]	-	TFRST	FRFRST	LOOP		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ FIFO トリガコントロールレジスタ (SCFTCR) の RTRGS ビットが 0 の場合の、シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。レシーブ FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 4 10 : 8 11 : 14 • クロック同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 2 10 : 8 11 : 14 本ビットの設定は、SCFTCR の RTRGS ビットが 0 の場合に有効となります。SCFTCR の RTRGS ビットが 1 の場合には、SCFTCR の RFTC[4:0] ビットの設定が有効となります。

ビット	ビット名	初期値	R/W	説明
5, 4	TTRG[1:0]	00	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>FIFO トリガコントロールレジスタ (SCFTCR) の TTRGS ビットが 0 の場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。トランスミット FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p> <p>本ビットの設定は、SCFTCR の TTRGS ビットが 0 の場合に有効となります。SCFTCR の TTRGS ビットが 1 の場合には、SCFTCR の TFTC[4:0] ビットの設定が有効となります。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>トランスミット FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>レシーブ FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TXD) と受信入力端子 (RXD) を内部で接続しループバックテストを許可します。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

19.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、トランスミット FIFO データレジスタ (SCFTDR) とレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。SCFDR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを示します。

19.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。なお、SCIF 端子の値を読み出す場合はポートレジスタを使用してください。ポートレジスタの詳細については「第 23 章 I/O ポート」を参照してください。

SCSPTR は、常に CPU による読み出し/書き込みが可能です。SCSPTR は、パワーオンリセット時に H'0050 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	SCKIO	0	R/W	SCK ポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する
2	SCKDT	0	R/W	SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
1	SPB2IO	0	R/W	シリアルポートブレイク入出力 シリアルポートの TXD 端子の出力条件を指定します。実際に TXD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0 : TXD 端子に SPB2DT ビットの値を出力しない 1 : TXD 端子に SPB2DT ビットの値を出力する
0	SPB2DT	0	R/W	シリアルポートブレイクデータ シリアルポートの RXD 端子の入力データおよび TXD 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TXD 端子を出力に設定した場合、SPB2DT ビットの値が TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RXD 端子の値が読み出されます。ただし PFC で RXD 入力、TXD 出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル

19.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。

SCLSR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15-1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ORER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にオーバランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信 FIFO にいっぱい 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき <p>【注】 *¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² レシーブ FIFO データレジスタ (SCFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

19.3.13 シリアルディレクションコントロールレジスタ (SCSDCR)

SCSDCR は、DIR ビットにより LSB ファースト / MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合のみ LSB ファースト / MSB ファーストの選択が可能です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	DIR	-	-	-
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	DIR	0	R/W	データトランスファディレクション シリアル / パラレル変換フォーマットを選択します。送信 / 受信フォーマットが 8 ビットの場合に有効です。 0 : SCFTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCFRDR に格納 1 : SCFTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCFRDR に格納
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19.3.14 FIFO トリガコントロールレジスタ (SCFTCR)

SCFTCR は FIFO トリガの設定をする 16 ビットのレジスタです。SCFTCR は常に CPU から読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRGS	-	-	RFTC[4:0]				TTRGS	-	-	TFTC[4:0]					
初期値:	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RTRGS	0	R/W	受信トリガセレクト 受信トリガ数の設定方法を選択します。 0 : FIFO コントロールレジスタ (SCFCR) の RTRG[1:0] ビットが有効 1 : 本レジスタの RFTC[4:0] ビットが有効

ビット	ビット名	初期値	R/W	説明
14、13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	RFTC[4:0]	すべて 1	R/W	受信 FIFO データ数トリガ設定 本レジスタの RTRGS ビットが 1 の場合の、シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。 レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が設定トリガ数以上になったとき RDF フラグをセットします。 H'01 時は受信データトリガ数は 1 となり、H'10 時は 16 となります。 本ビットを H'00 および H'11 ~ H'1F に設定しないでください。 本ビットの設定は、本レジスタの RTRGS ビットが 1 の場合に有効となります。 本レジスタの RTRGS ビットが 0 の場合には、SCFCR の RTRG[1:0] ビットの設定が有効となります。
7	TTRGS	0	R/W	送信トリガセレクト 送信トリガ数の設定方法を選択します。 0 : FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] ビットが有効 1 : 本レジスタの TFTC[4:0] ビットが有効
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	TFTC[4:0]	すべて 1	R/W	送信 FIFO データ数トリガ設定 本レジスタの TTRGS ビットが 1 の場合の、シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。 トランスミット FIFO データレジスタ (SCFTDR) に格納された送信データ数が設定トリガ数以下になったとき TDFE フラグをセットします。 H'00 時は送信データトリガ数は 0 となり、H'0F 時は 15 となります。 本ビットを H'10 ~ H'1F に設定しないでください。 本ビットの設定は、本レジスタの TTRGS ビットが 1 の場合に有効となります。 本レジスタの TTRGS ビットが 0 の場合には、SCFCR の TTRG[1:0] ビットの設定が有効となります。

19.4 動作説明

19.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信 / 受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。これを表 19.10 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 の組み合わせで決まります。これを表 19.11 に示します。

(1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、レシーブデータレディ、およびブ레이크の検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 19.10 SCSMR の設定値と SCIF 送信 / 受信フォーマット

SCSMR				モード	SCIF 送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 19.11 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR	SCSCR		モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1	ビット 0			
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCIF は SCK 端子を使用しません。SCK 端子の状態は SCSPTR の SCKIO ビット、SCKDT ビットに依存します。 ビットレートの 16 倍の周波数のクロックを出力
		1			
	1	0		設定禁止	
		1		1	設定禁止
1	0	x	クロック同期式モード	内部	同期クロックを出力
	1	0		外部	同期クロックを入力
		1		設定禁止	

【記号説明】 x : Don't care

19.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 19.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト時：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIF は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

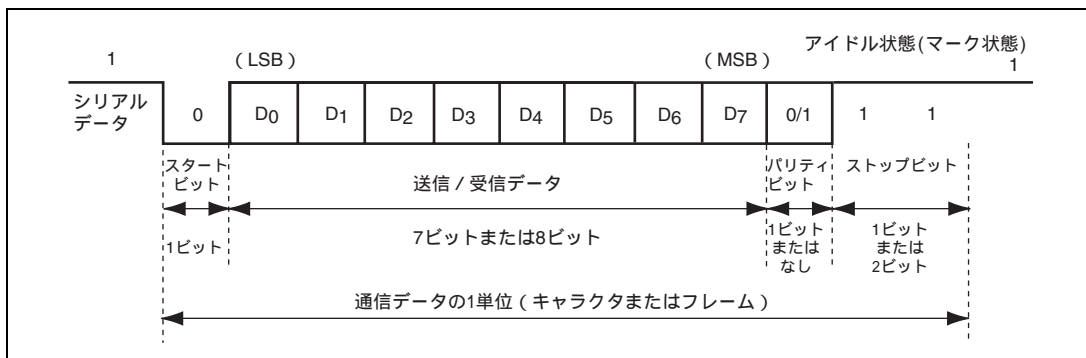


図 19.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビット / LSBファーストの例)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 19.12 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 19.12 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の $CKE[1:0]$ の設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 19.11 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍の周波数です。

(3) データの送信 / 受信動作

- SCIF初期化 (調歩同期式モード)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、トランスミットシフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、トランスミットFIFOデータレジスタ (SCFTDR)、レシーブFIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図19.3にSCIFの初期化フローチャートの例を示します。

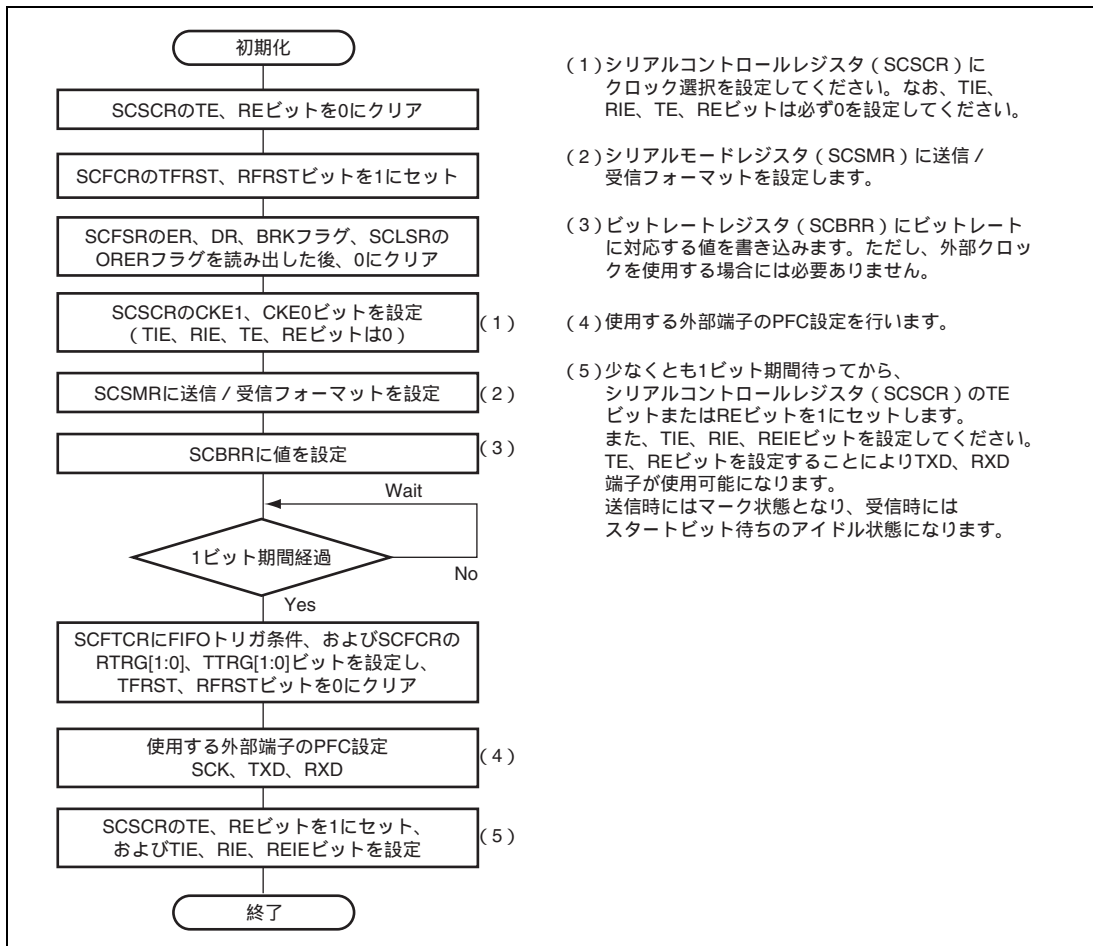


図 19.3 SCIF 初期化フローチャートの例

- シリアルデータ送信 (調歩同期モード)

図19.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

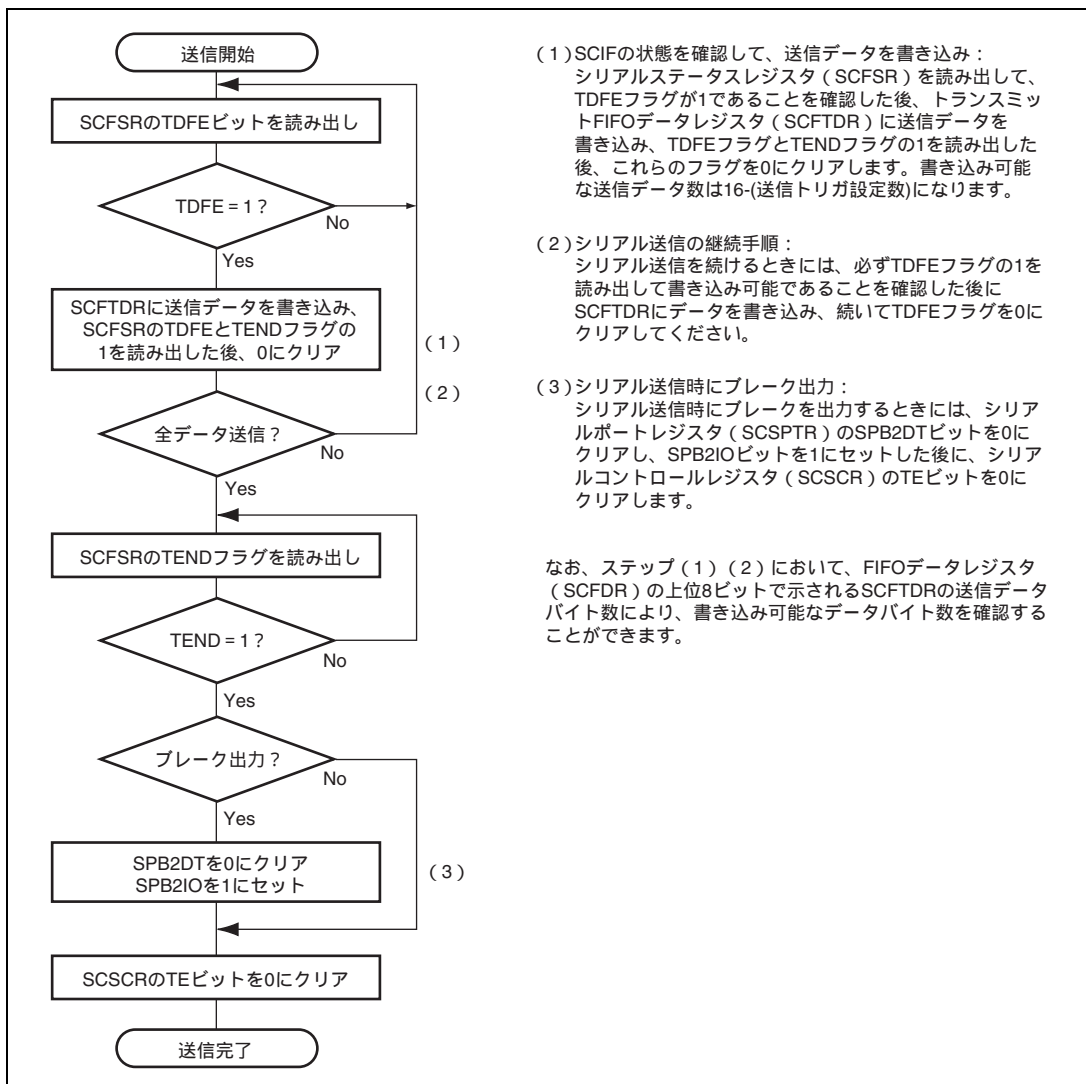


図 19.4 シリアル送信のフローチャートの例

SCIFは、シリアル送信時には以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) またはFIFOトリガコントロールレジスタ (SCFTCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTXD端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます (LSBファースト時)。
 - (c) パリティビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信するデータがないとSCFSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を連続して出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図19.5に示します。

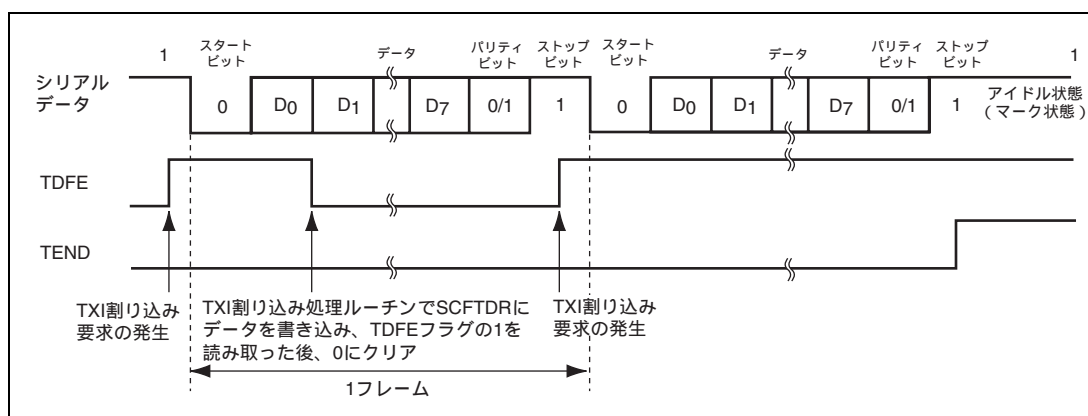


図 19.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビット / LSB ファーストの例)

- シリアルデータ受信 (調歩同期式モード)

図19.6、図19.7にシリアル受信フローチャートの例を示します。

SCIFの受信を可能に設定した後、シリアルデータ受信は次の手順に従い行ってください。

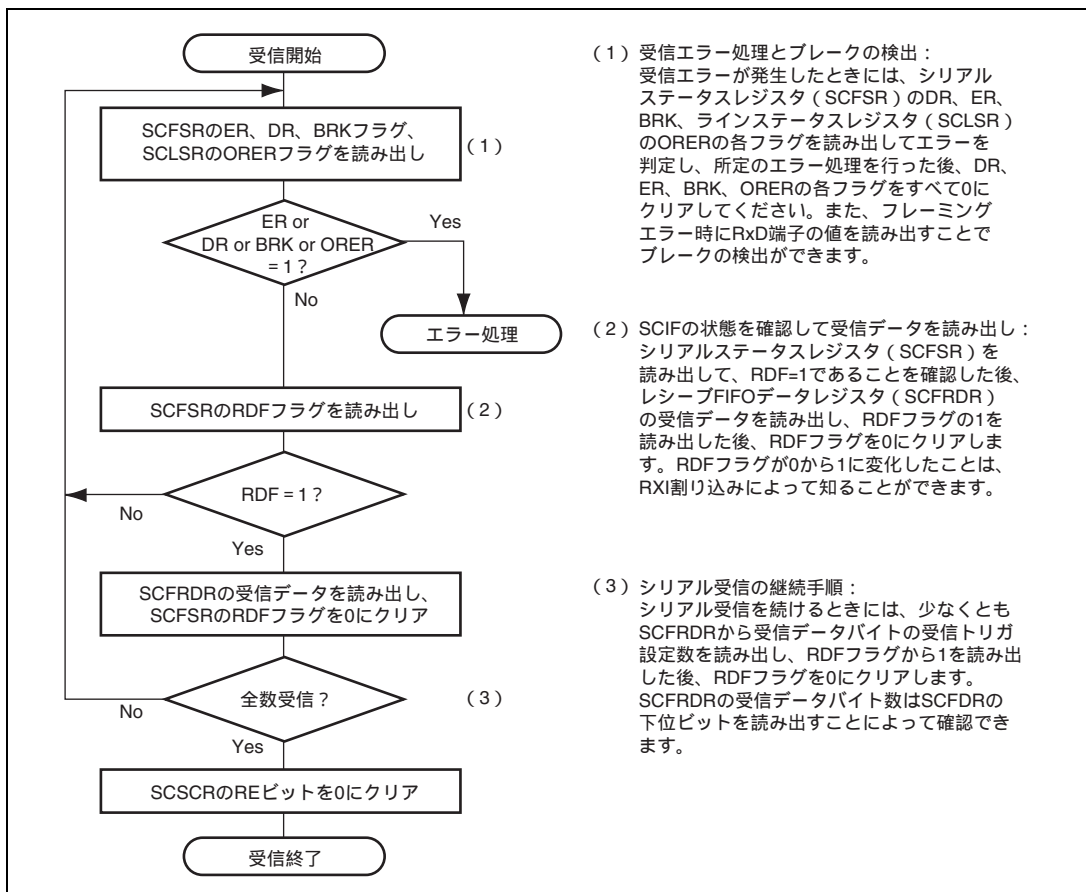


図 19.6 シリアル受信のフローチャートの例 (1)

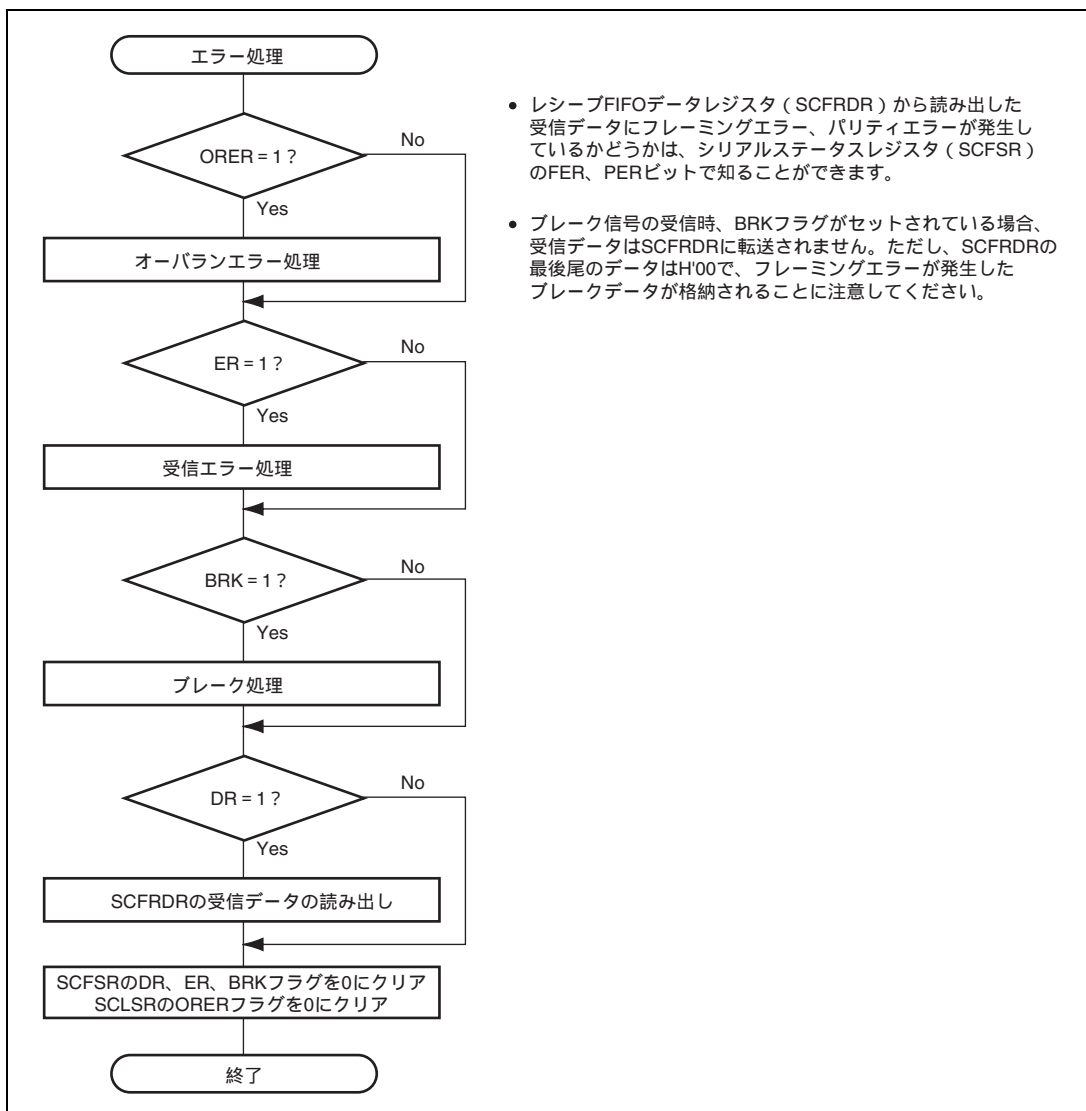


図 19.7 シリアル受信のフローチャートの例 (2)

SCIFは受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します (LSBファースト時)。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシフシフトレジスタ (SCRSR) からSCFRDRに転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが0であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図19.8に示します。

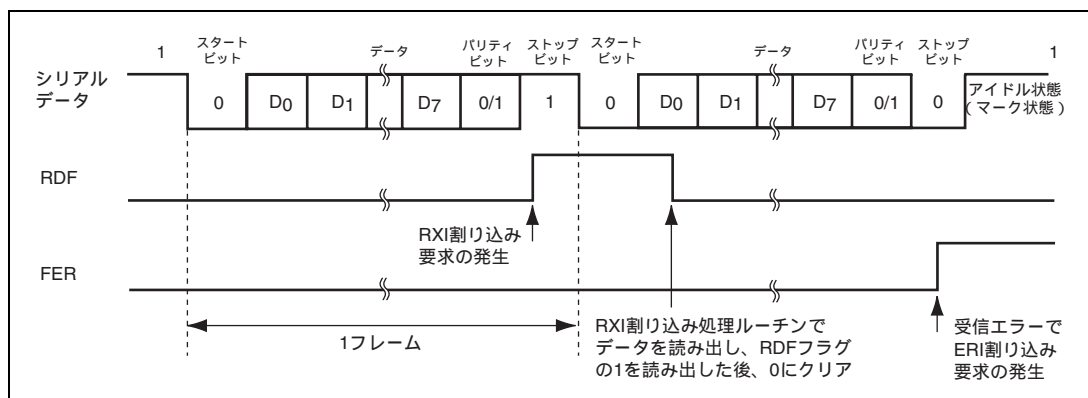


図 19.8 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビット / LSB ファーストの例)

19.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 19.9 に示します。

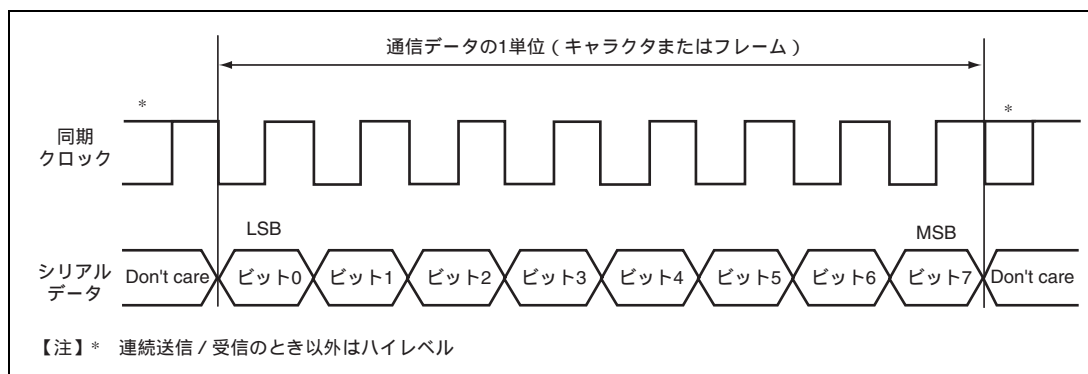


図 19.9 クロック同期式通信のデータフォーマット (LSB ファースト時)

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力され、MSB出力後の通信回線の状態はMSBの状態を保持します (LSB ファースト時)。

クロック同期式モードでは、SCIFは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMRの $C\bar{A}$ ビットとSCSCRのCKE[1:0]の設定により内蔵ポーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部同期クロックの2種類から選択できます。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択するとSCSCRのREビットが1の間、受信FIFO内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。この場合、 $8 \times (16 + 1) = 136$ パルスの同期クロックが出力されます。nキャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用する場合は、RE=1かつTE=1とし、nキャラクタ数のダミーデータ送信と同時にnキャラクタの受信を行う手順としてください。

(3) データの送信 / 受信動作

- SCIFの初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) のTE、REビットを0にクリアした後、以下の手順でSCIFを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとトランスミットシフトレジスタ (SCTSR) が初期化されます。REビットを0にクリアしてもRDF、PER、FER、ORERの各フラグ、およびレシーブFIFOデータレジスタ (SCFRDR) の内容は保持されますので注意してください。

図 19.10 に SCIF の初期化フローチャートの例を示します。

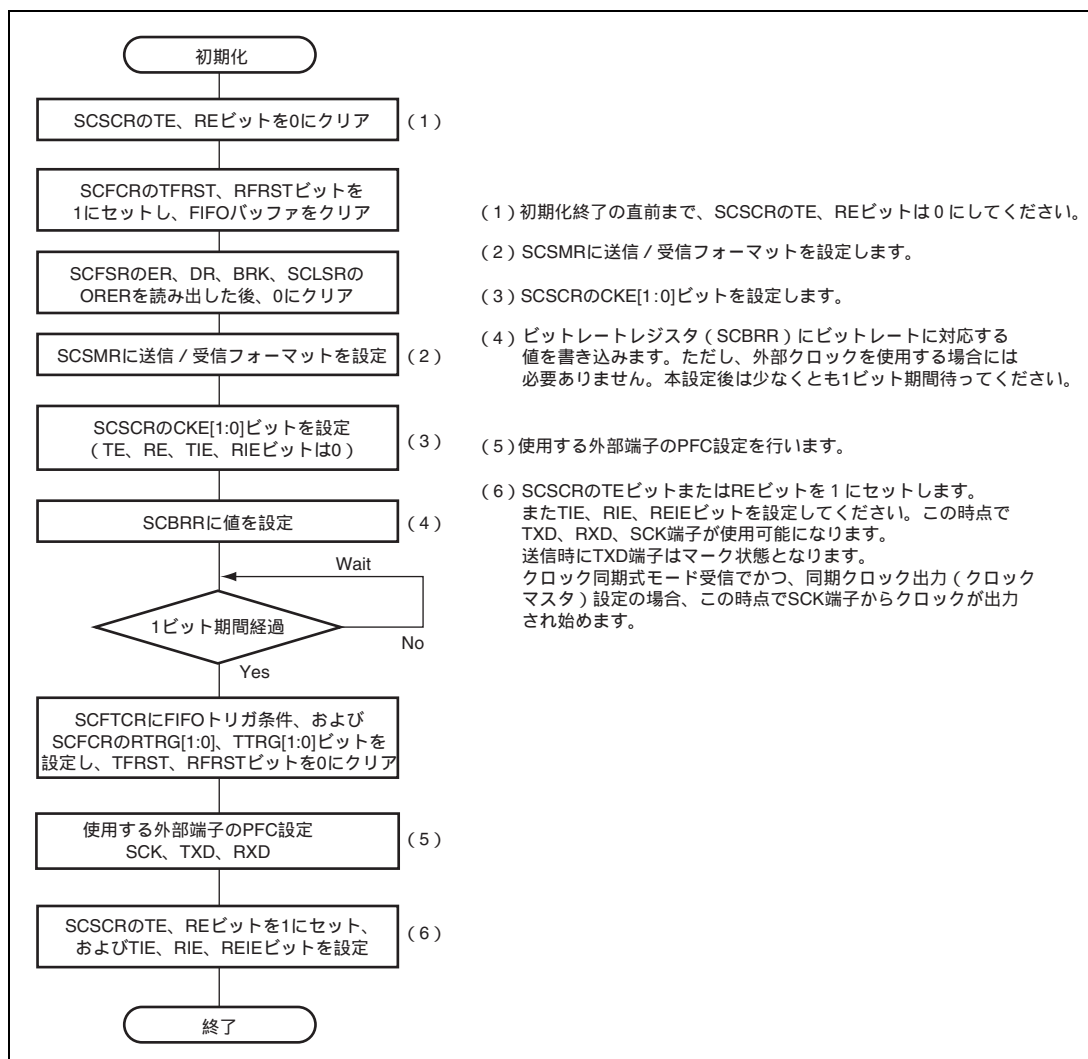


図 19.10 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図19.11にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順で行ってください。

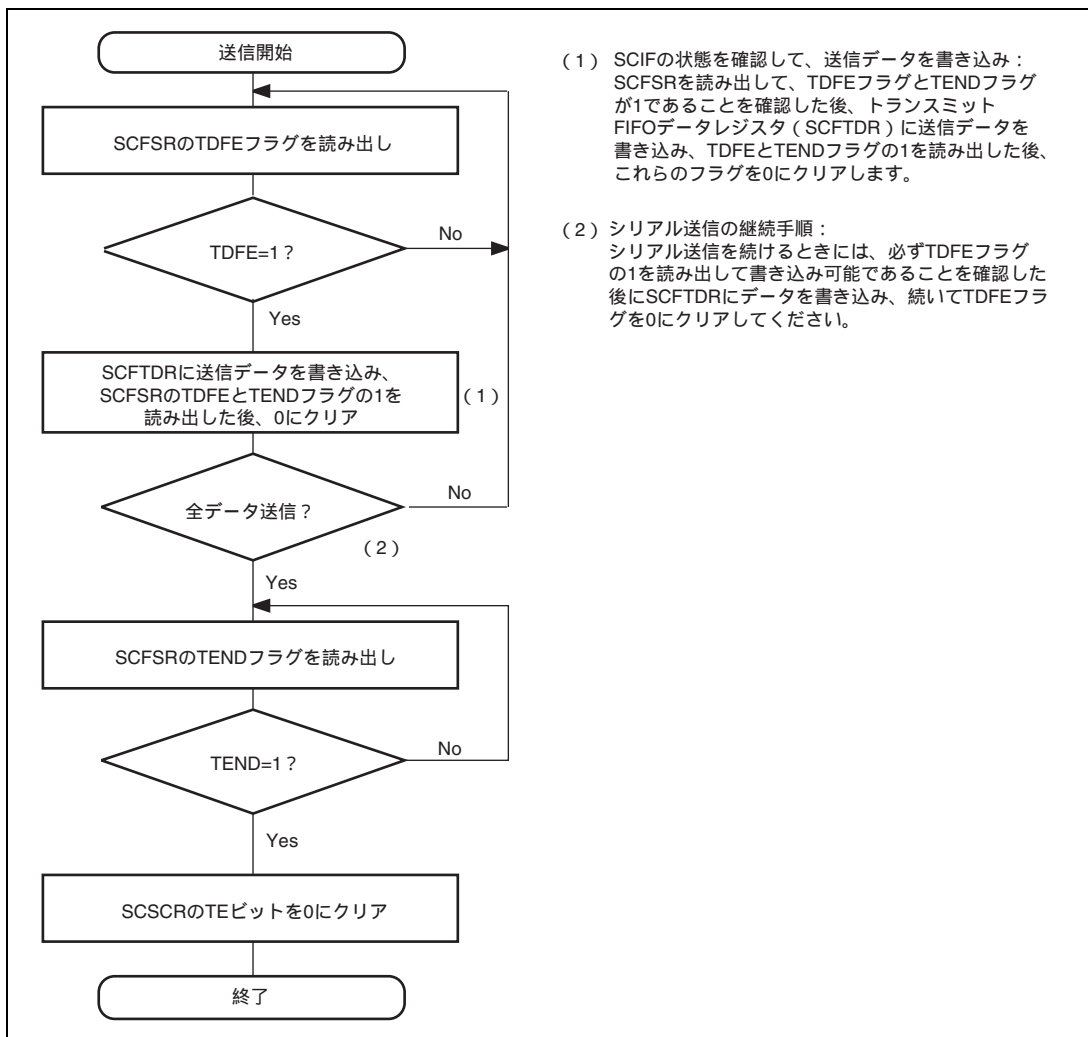


図 19.11 シリアル送信のフローチャートの例

SCIFはシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) またはFIFOトリガコントロールレジスタ (SCFTCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。
 クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTXD端子から送り出されます (LSBファースト時)。
3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TXD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図19.12にSCIFの送信時の動作例を示します。

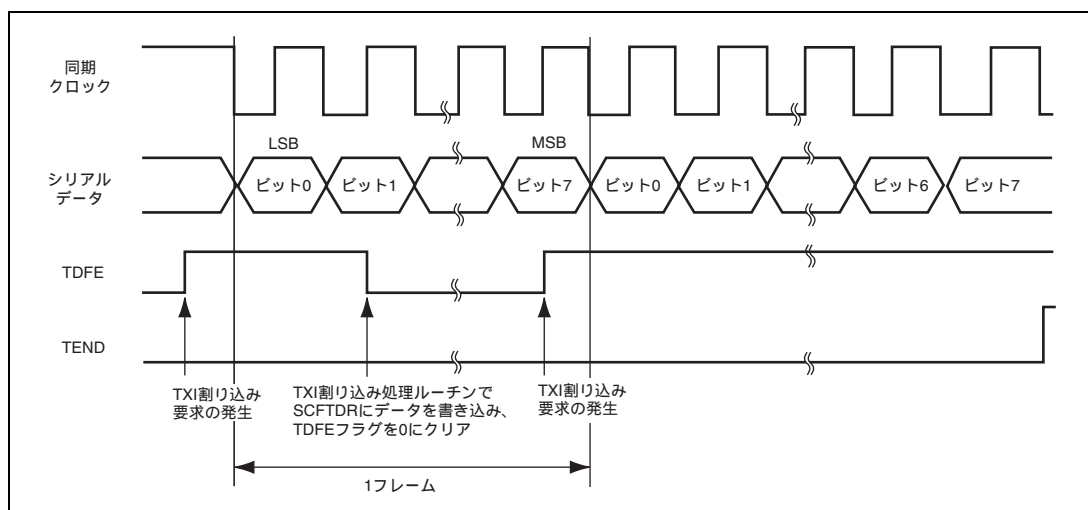


図 19.12 SCIF の送信時の動作例 (LSB ファースト時)

- シリアルデータ受信 (クロック同期式モード)

図19.13、図19.14にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

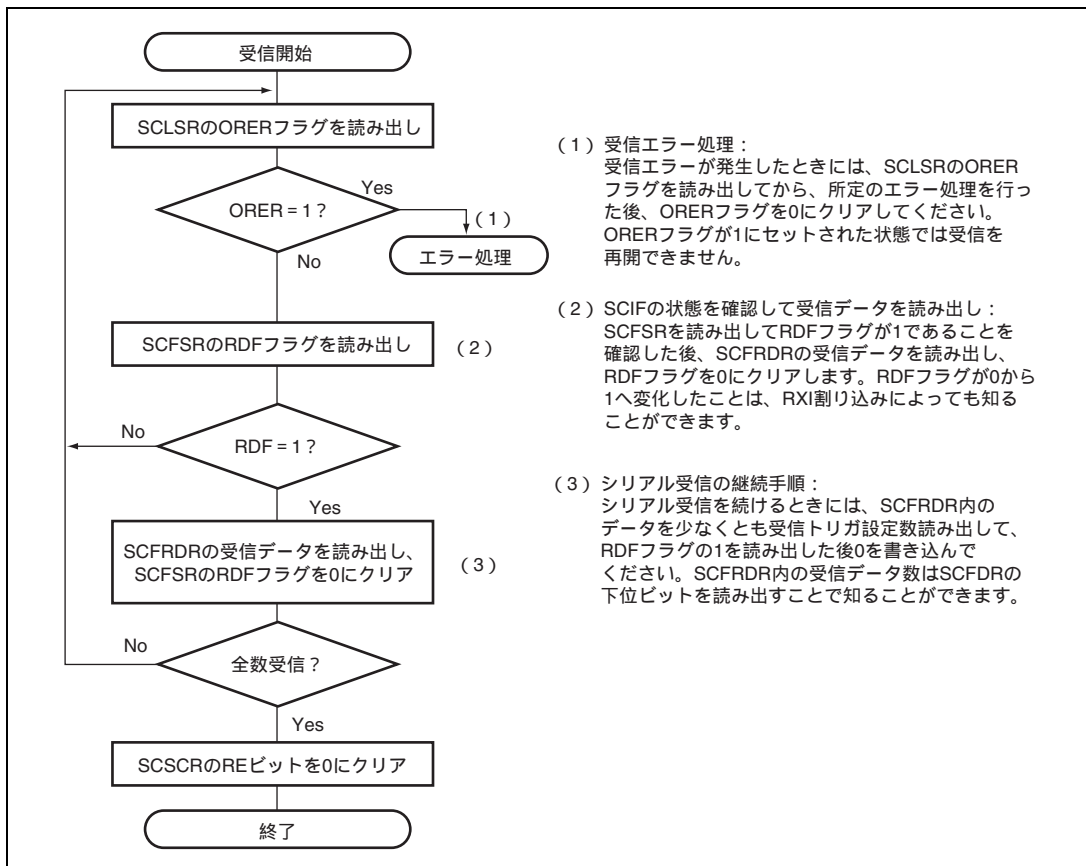


図 19.13 シリアル受信のフローチャートの例 (1)

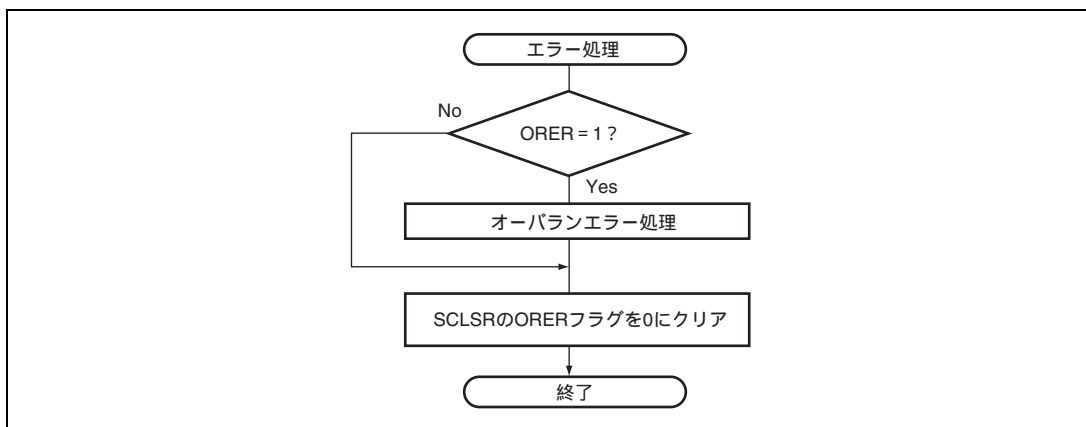


図 19.14 シリアル受信のフローチャートの例 (2)

SCIFはシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します (LSBファースト時)。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であることをチェックします。このチェックがパスしたときRDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバーランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

図19.15にSCIFの受信時の動作例を示します。

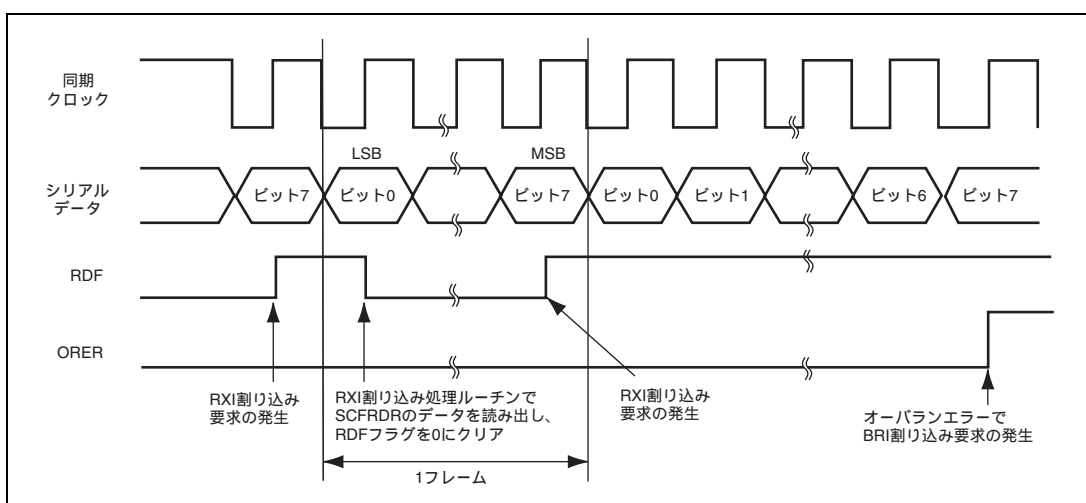


図 19.15 SCIF の受信時の動作例 (LSB ファースト時)

- シリアルデータ送受信同時動作 (クロック同期式モード)

図19.16にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

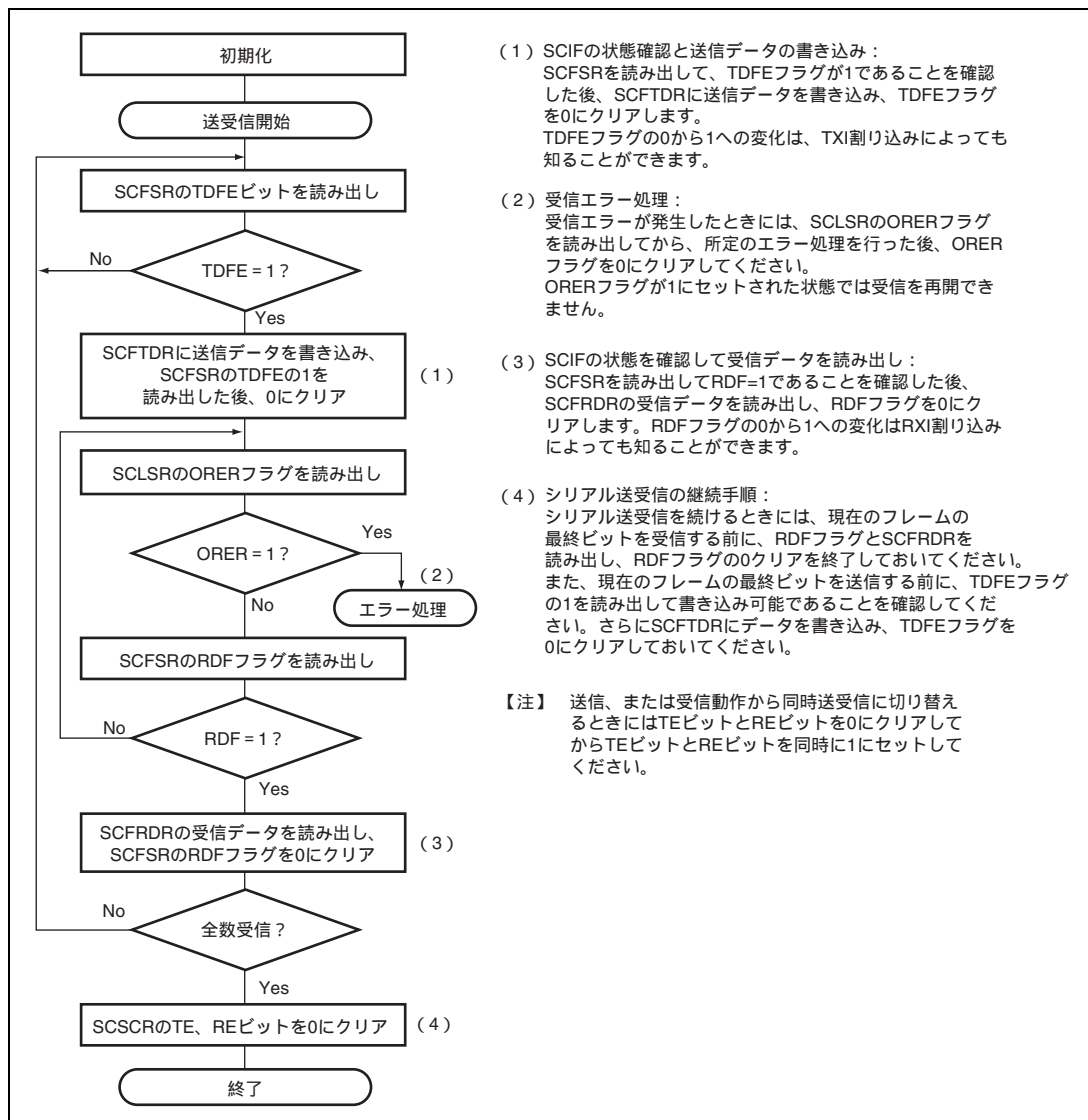


図 19.16 シリアルデータ送受信フローチャートの例

19.5 割り込み要因と DMAC/DTC

SCIF は、送信 FIFO データエンブティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 19.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求でダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動してデータ転送を行うことができます。DMAC 起動によるデータ転送時は、トランスミット FIFO データレジスタ (SCFTDR) への書き込みが行われると、TDFE フラグが自動的に 0 にクリアされて、CPU への TXI 割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 でかつ転送カウンタ値が 0 以外の場合には、SCFTDR への書き込みが行われると TDFE フラグが自動的に 0 にクリアされて CPU への TXI 割り込み要求は発生しませんが、DISEL ビットが 0 でかつ転送カウンタが 0 または DISEL ビットが 1 の場合には、SCFTDR への書き込みが行われても TDFE フラグは 0 にクリアされずに SCFTDR への書き込み後に CPU への TXI 割り込み要求が発生します。

SCFSR の RDF フラグまたは DR フラグが 1 にセットされると RXI 割り込み要求が発生します。RXI 割り込み要求で DMAC/DTC を起動してデータ転送を行うことができます。DMAC 起動によるデータ転送時は、レシーブ FIFO データレジスタ (SCFRDR) の読み出しが行われると、RDF フラグが自動的に 0 にクリアされて、CPU への RXI 割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 でかつ転送カウンタ値が 0 以外の場合には、SCFRDR の読み出しが行われると RDF フラグが自動的に 0 にクリアされて CPU への RXI 割り込み要求は発生しませんが、DISEL ビットが 0 でかつ転送カウンタが 0 または DISEL ビットが 1 の場合には、SCFRDR の読み出しが行われても RDF フラグは 0 にクリアされずに SCFRDR の読み出し後に CPU への RXI 割り込み要求が発生します。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は調歩同期式モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると BRI 割り込み要求が発生します。BRI 割り込み要求で DMAC/DTC の起動はできません。

SCFSR の ER フラグが 1 にセットされると ERI 割り込み要求が発生します。ERI 割り込み要求で DMAC/DTC の起動はできません。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると RXI 割り込み要求を出さずに ERI、BRI 割り込み要求だけを出すことができます。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。

表 19.13 SCIF 割り込み要因

割り込み 要因	内 容	割り込み許可ビット	DMAC/DTC の起動	優先順位
BRI	ブレーク (BRK) またはオーバラン (ORER) による割り込み	RIE または REIE	不可	高 ↑ ↓ 低
ERI	受信エラー (ER) による割り込み	RIE または REIE	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	RIE	可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	TIE	可	

19.6 シリアルポートレジスタ (SCSPTR) と SCIF 端子との関係

SCSPTR と SCIF 端子との関係を図 19.17、図 19.18 に示します。

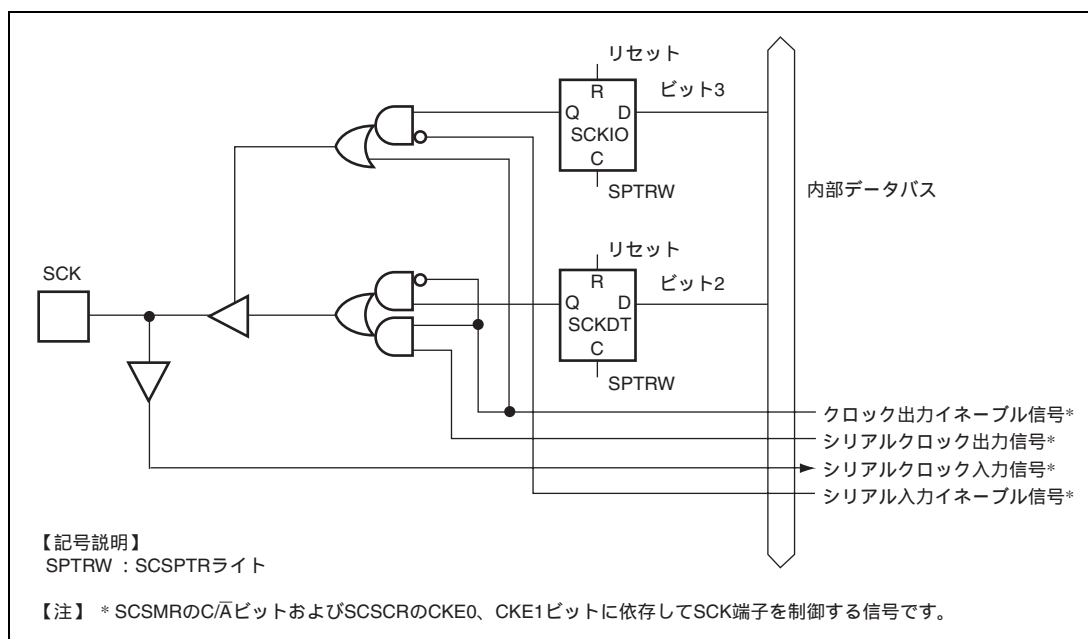


図 19.17 SCKIO ビット、SCKDT ビットと SCK 端子との関係

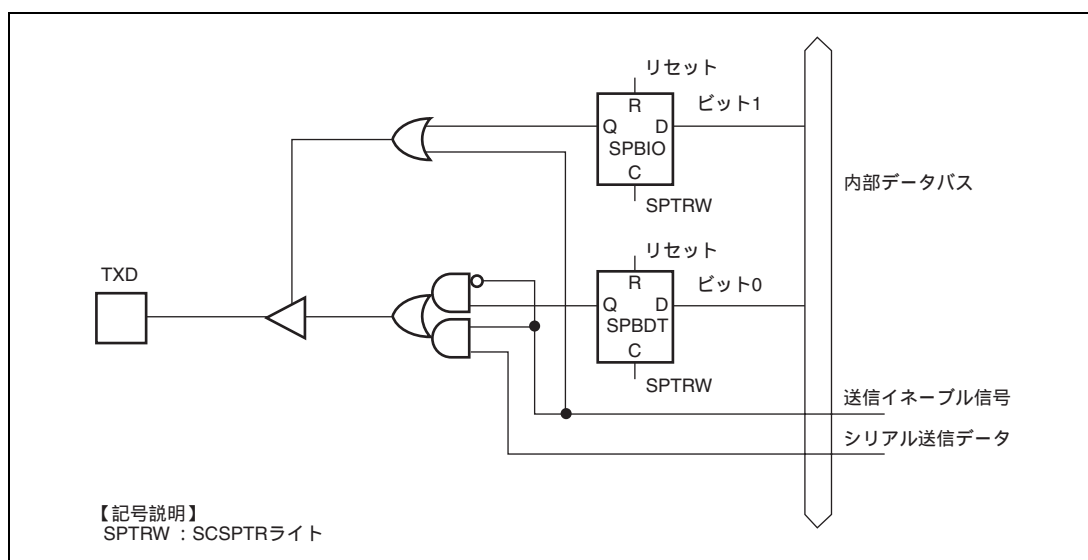


図 19.18 SPB2IO ビット、SPB2DT ビットと TXD 端子との関係

19.7 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

19.7.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、トランスミット FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]または FIFO トリガコントロールレジスタ (SCFTCR) の TFTC[4:0]ビットで設定した送信トリガ数より少なくなるとセットされます。TDFE がセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE のクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回る時に 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

19.7.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]または FIFO トリガコントロールレジスタ (SCFTCR) の RFTC[4:0]ビットで設定した受信トリガ数以上になるとセットされます。RDF がセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF のクリアは、レシーブ FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

19.7.3 DMAC/DTC 使用上の制約事項

TXI 割り込み要求により DMAC/DTC で SCFTDR へデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

19.7.4 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

19.7.5 ブレークの送り出し

TXD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DT ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子から 0 が出力されます。

19.7.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 19.19 に示します。

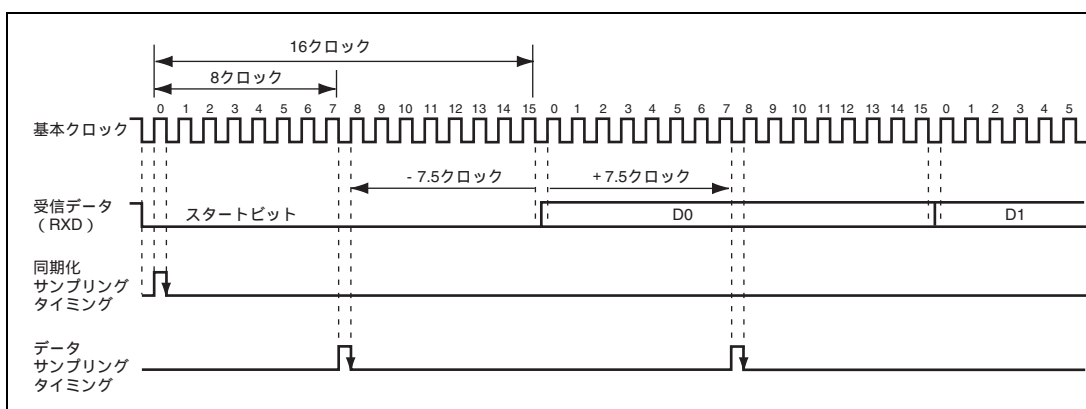


図 19.19 調歩同期式モードでの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

M: 受信マージン (%)

N: ビットレートに対するクロック周波数の比 (N=16)

D: クロックデューティ (D:0 ~ 1.0)

L: フレーム長 (L=9 ~ 12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

19.7.7 シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグについて

シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグは、次に読み出すレシーブ FIFO データレジスタ (SCFRDR) のステータスフラグです。CPU もしくは DMAC/DTC によりレシーブ FIFO データレジスタを読み出すと、受信データのフレーミングエラーおよびパリティエラーのフラグは消えてしまいます。受信データのフレーミングエラーおよびパリティエラーの状態を確認する場合は、シリアルステータスレジスタの読み出し後にレシーブ FIFO データレジスタを読み出ししてください。

19.7.8 クロック同期外部クロックモード時の注意事項

TE=1、RE=1 に設定するのは、外部クロック (SCK) を 0 (ローレベル) から 1 (ハイレベル) にしてから周辺動作クロックで 4 クロック以上経過後にしてください。

また、TE=1、RE=1 に設定するのは、必ず外部クロック (SCK) が 1 (ハイレベル) のときにしてください。

19.7.9 モジュールスタンバイモードの設定

SCIF はスタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、SCIF の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能となります。詳細は「第 32 章 低消費電力モード」を参照してください。

20. I²C バスインタフェース 3 (IIC3)

I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

20.1 特長

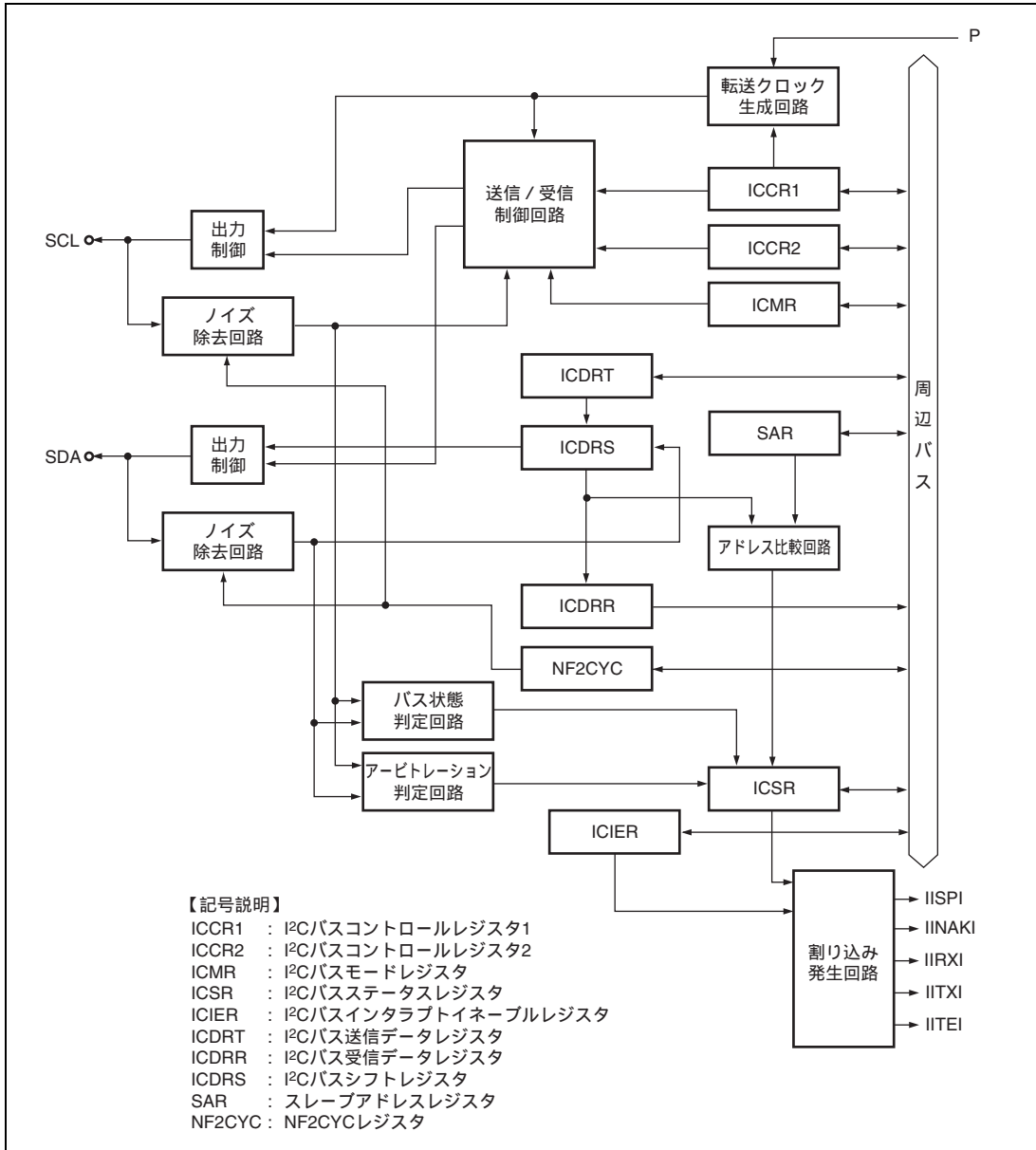
- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能
- モジュールスタンバイモードの設定が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL をローレベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラージロスト、NACK 検出、停止条件検出
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動させて、データの転送を行うことができます。
- バスを直接駆動可能
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因：4種類
送信データエンプティ、送信終了、受信データフル、オーバーランエラー
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動させて、データの転送を行うことができます。

図 20.1 に I²C バスインタフェース 3 のブロック図を示します。図 20.1 I²C バスインタフェース 3 のブロック図

20.2 入出力端子

I²C バスインタフェース 3 で使用する端子構成を表 20.1 に示します。

表 20.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I ² C シリアルデータ入出力端子

図 20.2 に入出力端子の外部回路接続例を示します。

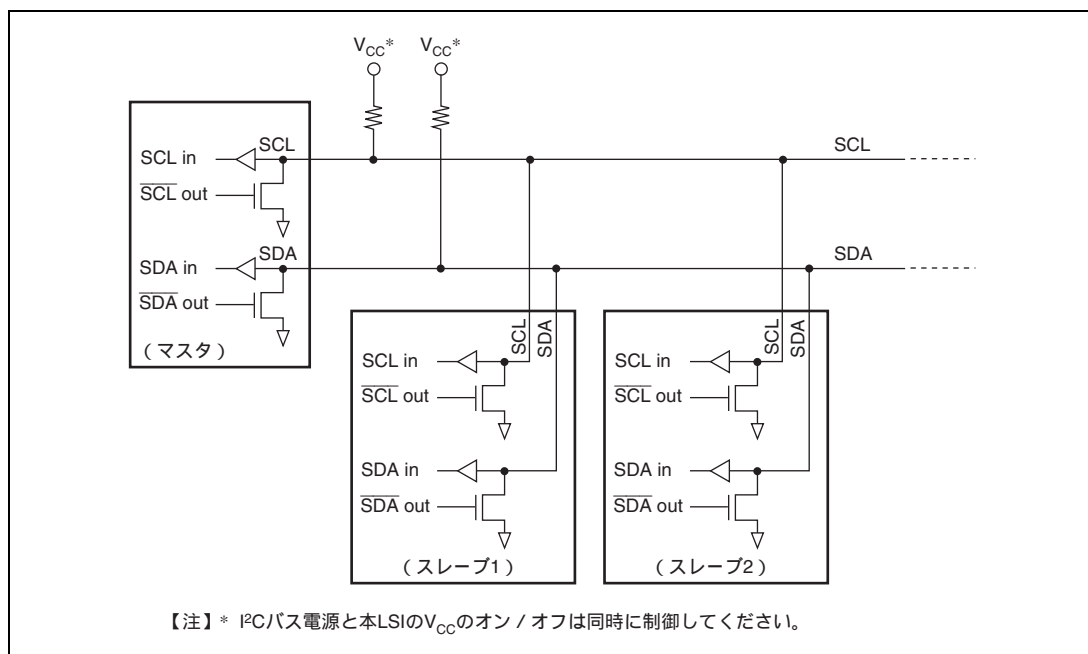


図 20.2 入出力端子の外部回路接続例

20.3 レジスタの説明

I²C バスインタフェース 3 には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 20.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
I ² C バスコントロールレジスタ 1	ICCR1	R/W	H'00	H'FFFEE000	8
I ² C バスコントロールレジスタ 2	ICCR2	R/W	H'7D	H'FFFEE001	8
I ² C バスモードレジスタ	ICMR	R/W	H'38	H'FFFEE002	8
I ² C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'00	H'FFFEE003	8
I ² C バスステータスレジスタ	ICSR	R/W	H'00	H'FFFEE004	8
スリープアドレスレジスタ	SAR	R/W	H'00	H'FFFEE005	8
I ² C バス送信データレジスタ	ICDRT	R/W	H'FF	H'FFFEE006	8
I ² C バス受信データレジスタ	ICDRR	R	H'FF	H'FFFEE007	8
NF2CYC レジスタ	NF2CYC	R/W	H'00	H'FFFEE008	8

20.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、I²C バスインタフェース 3 の動作 / 停止、送信 / 受信制御、マスタモード / スリープモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ICCR1 は、パワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は無効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディセーブル TRS = 0 の状態で ICDRR のリードなしの連続受信動作について許可 / 禁止を設定します。 マスタ受信モードで ICDRR の読み出し処理を SCL の 8 クロックの立ち上がりまでにできない場合は、RCVD = 1 に設定して 1 バイトごとの受信を行ってください。 0: 次の受信動作を許可 1: 次の受信動作を禁止

ビット	ビット名	初期値	R/W	説 明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択</p> <p>送信/受信選択</p> <p>I²C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。</p> <p>また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。</p> <p>MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。</p> <p>00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード</p>
3~0	CKS[3:0]	0000	R/W	<p>転送クロック選択</p> <p>マスタモードのとき、必要な転送レート（表 20.3 参照）にあわせて設定してください。</p>

表 20.3 転送レート

ビット 3 CKS3	ビット 2 CKS2	ビット 1 CKS1	ビット 0 CKS0	クロック	転送レート					
					P = 10MHz	P = 12.5MHz	P = 20MHz	P = 25MHz	P = 40MHz	P = 50MHz
0	0	0	0	P /64	156 kHz	195 kHz	313 kHz	391 kHz	625 kHz	781 kHz
0	0	0	1	P /72	139 kHz	174 kHz	278 kHz	347 kHz	556 kHz	694 kHz
0	0	1	0	P /84	119 kHz	149 kHz	238 kHz	298 kHz	476 kHz	595 kHz
0	0	1	1	P /92	109 kHz	136 kHz	217 kHz	272 kHz	435 kHz	543 kHz
0	1	0	0	P /100	100 kHz	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
0	1	0	1	P /108	92.6 kHz	116 kHz	185 kHz	231 kHz	370 kHz	463 kHz
0	1	1	0	P /120	83.3 kHz	104 kHz	167 kHz	208 kHz	333 kHz	417 kHz
0	1	1	1	P /124	80.6 kHz	101 kHz	161 kHz	202 kHz	323 kHz	403 kHz
1	0	0	0	P /256	39.1 kHz	48.8 kHz	78.1 kHz	97.7 kHz	156 kHz	195 kHz
1	0	0	1	P /288	34.7 kHz	43.4 kHz	69.4 kHz	86.8 kHz	139 kHz	174 kHz
1	0	1	0	P /336	29.8 kHz	37.2 kHz	59.5 kHz	74.4 kHz	119 kHz	149 kHz
1	0	1	1	P /368	27.2 kHz	34.0 kHz	54.3 kHz	67.9 kHz	109 kHz	136 kHz
1	1	0	0	P /400	25.0 kHz	31.3 kHz	50.0 kHz	62.5 kHz	100 kHz	125 kHz
1	1	0	1	P /432	23.1 kHz	28.9 kHz	46.3 kHz	57.9 kHz	92.6 kHz	116 kHz
1	1	1	0	P /480	20.8 kHz	26.0 kHz	41.7 kHz	52.1 kHz	83.3 kHz	104 kHz
1	1	1	1	P /496	20.2 kHz	25.2 kHz	40.3 kHz	50.4 kHz	80.6 kHz	101 kHz

【注】 外部仕様を満足するように設定してください。

20.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ICCR2 はパワーオンリセットで H'7D に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	RX TIMES	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I²C バスフォーマットの場合、SCL = ハイレベルの状態では SDA がハイレベルからローレベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = ハイレベルの状態では SDA がローレベルからハイレベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0: リード時、SDA 端子出力がローレベル ライト時、SDA 端子出力をローレベルに変更</p> <p>1: リード時、SDA 端子出力がハイレベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗によりハイレベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力はハイレベル、SCLO が 0 の場合 SCL 端子出力はローレベルとなります。
2	RXTIMES	1	R/W	IIRXI 割り込みタイミングセレクト IIRXI 割り込みの発生タイミングを SCL の 9 クロック目のハイレベル期間またはローレベル期間を選択できます。 0 : SCL の 9 クロック目のローレベル期間 1 : SCL の 9 クロック目のハイレベル期間
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は ICMR レジスタの BC[2:0]ビットと IIC3 の内部回路をリセットします。I ² C バスの動作中に通信不具合などによりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR レジスタの BC[2:0]ビットと IIC3 の内部回路をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

【注】 ICCR2 の IICRST ビットに 1 をライトすると、下記の状態になります。

- ・ ICCR2 の IICRST ビットに 1 をライトすると、ICCR2 の SDAO、SCLO ビットは 1 にセットされます。
- ・ マスタ送信モードおよびスレーブ送信モードにおいて、IICRST ビットに 1 をライトすると、ICSR の TDRE ビットは 1 にセットされます。
- ・ IICRST = 1 によるリセット期間中は、ICCR2 の BBSY、SCP、SDAO ビットへのライトは無効です。
- ・ IICRST に 1 をライトしても、ICCR2 の BBSY ビットは 0 にクリアされません。しかし、SCL 端子、SDA 端子の端子状態によっては、停止条件 (SCL = High かつ SDA 立ち上がり) が生成され、結果的に BBSY ビットが 0 にクリアされる場合があります。また、他のビットも同様に影響が発生する場合があります。
- ・ IICRST = 1 によるリセット期間中は、データ送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。SCL 端子、SDA 端子へ入力された信号によっては、ICCR1、ICCR2、ICSR の状態が更新される場合があります。

20.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し/書き込み可能なレジスタで、MSB ファースト/LSB ファーストの選択、転送ビット数の選択を行います。

ICMR はパワーオンリセットで H'38 に初期化されます。また、ICCR2 の IICRST により BC[2:0]が H'0 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト/LSB ファースト選択 I ² C バスフォーマットで使用するときは 0 に設定してください。 0 : MSB ファースト 1 : LSB ファースト
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	BCWP	1	R/W	BC ライトプロテクト BC[2:0]の書き込みを制御します。BC[2:0]を書き換える場合は、本ビットを 0 に設定してください。なお、クロック同期式シリアルフォーマットでは、BC[2:0]の書き換えは行わないでください。 0 : ライト時、BC[2:0]の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0]設定値は無効

ビット	ビット名	初期値	R/W	説 明																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL がローレベル状態で行ってください。これらのビットはアクリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。本ビットは、パワーオンリセットおよび ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

20.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効 / 無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ICIER はパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンpty割り込み (IITXI) を許可 / 禁止します。 0: 送信データエンpty割り込み要求 (IITXI) の禁止 1: 送信データエンpty割り込み要求 (IITXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (IITEI) の許可 / 禁止を選択します。なお IITEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (IITEI) の禁止 1: 送信終了割り込み要求 (IITEI) の許可
5	RIE	0	R/W	レシーブインタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (IIRXI) の許可 / 禁止を選択します。なお IIRXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (IIRXI) の禁止 1: 受信データフル割り込み要求 (IIRXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出割り込み要求 (IINAKI) の許可 / 禁止を選択します。なお IINAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (IINAKI) の禁止 1: NACK 受信割り込み要求 (IINAKI) の許可

ビット	ビット名	初期値	R/W	説明
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIE は、ICSR の STOP がセットされたとき、停止条件検出割り込み要求 (IISTPI) の許可 / 禁止を選択します。</p> <p>0 : 停止条件検出割り込み要求 (IISTPI) の禁止</p> <p>1 : 停止条件検出割り込み要求 (IISTPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0 : 受信アクノリッジの内容を無視して連続的に転送を行う</p> <p>1 : 受信アクノリッジが 1 の場合、転送を中断する</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 にセットするとクリアされます。</p> <p>0 : 受信アクノリッジ = 0</p> <p>1 : 受信アクノリッジ = 1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0 : アクノリッジのタイミングで 0 を送出</p> <p>1 : アクノリッジのタイミングで 1 を送出</p>

20.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

ICSR はパワーオンリセットで H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値 :	0	0	0	0	0	0	0	0
	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/(W)*1	トランスミットデータエンプティ [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき • ICDRT ヘデータをライトしたとき • IITXI 割り込みにより DMAC が起動され、ICDRT に送信データを転送したとき • IITXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のときに ICDRT に送信データを転送したとき [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スレーブモードで受信モードから送信モードになったとき
6	TEND	0	R/(W)*1	トランスミットエンド [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき • ICDRT ヘデータをライトしたとき • IITXI 割り込みにより DMAC が起動され、ICDRT に送信データを転送したとき • IITXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のときに ICDRT に送信データを転送したとき [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき

ビット	ビット名	初期値	R/W	説明
5	RDRF	0	R/(W)* ¹	レシーブデータレジスタフル [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき • ICDRR をリードしたとき • IIRXI 割り込みにより DMAC が起動され、ICDRR から受信データを転送したとき • IIRXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに ICDRR から受信データを転送したとき [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき
4	NACKF	0	R/(W)* ¹	ノーアクノリッジ検出フラグ* ² [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき [セット条件] <ul style="list-style-type: none"> • ICIEP の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき
3	STOP	0	R/(W)* ¹	停止条件検出フラグ [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき [セット条件] <ul style="list-style-type: none"> • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スレーブモード時、開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき
2	AL/OVE	0	R/(W)* ¹	アービトレーションロストフラグ/オーバランエラーフラグ AL/OVE は、I ² C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF = 1 の状態で最終ビットを受信したことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I ² C バスインタフェース 3 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。 [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき [セット条件] <ul style="list-style-type: none"> • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子がハイレベルのとき • クロック同期式シリアルフォーマットの場合、RDRF = 1 の状態で最終ビットを受信したとき

ビット	ビット名	初期値	R/W	説明
1	AAS	0	R/(W)* ¹	スレーブアドレス認識フラグ スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。 [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき
0	ADZ	0	R/(W)* ¹	ゼネラルコールアドレス認識フラグ I ² C バスフォーマットのスレーブ受信モードのとき有効 [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 NACKF = 1 を検出した場合、転送終了処理で必ず NACKF をクリアしてください。クリアするまでは次の送信 / 受信ができません。

20.3.6 スレーブアドレスレジスタ (SAR)

SAR は、8 ビットの読み出し / 書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

SAR はパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	SVA[6:0]							FS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

20.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し / 書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。なお、LSB ファースト (ICMR の MLS ビットを 1) に設定した状態で ICDRT の読み出しを行うと、ICDRT に書き込んだ値に対して MSB と LSB が反転されたデータが読み出されます。ICDRT の初期値は H'FF です。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ICDRR はパワーオンリセットで H'FF に初期化されます。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R

20.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

20.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し/書き込み可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「20.4.7 ノイズ除去回路」を参照してください。

NF2CYC はパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	NF2 CYC
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	NF2CYC	0	R/W	ノイズ除去幅選択 0: 周辺クロックで1サイクル周期以内のノイズを除去することができます 1: 周辺クロックで2サイクル周期以内のノイズを除去することができます

20.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

20.4.1 I²C バスフォーマット

I²C バスフォーマットを図 20.3 に、I²C バスのタイミングを図 20.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

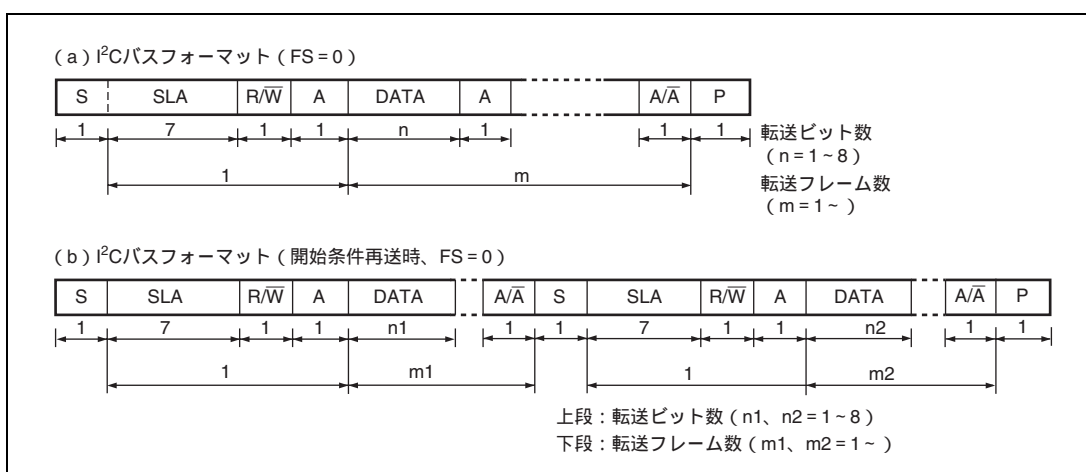


図 20.3 I²C バスフォーマット

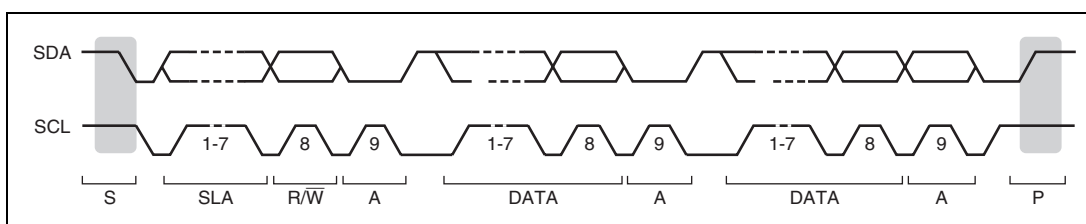


図 20.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL = ハイレベルの状態では SDA をハイレベルからローレベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA をローレベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = ハイレベルの状態では SDA をローレベルからハイレベルに変化させます。

20.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 20.5 と図 20.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、ICCR1のCKS[3:0]などを設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR \bar{W} を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがローレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。TENDがセットされたら、ICCR2のSCLOから0がリードされるまで待ちます。
7. ICIERのACKFをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTENDあるいはNACKFをクリアします。
8. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

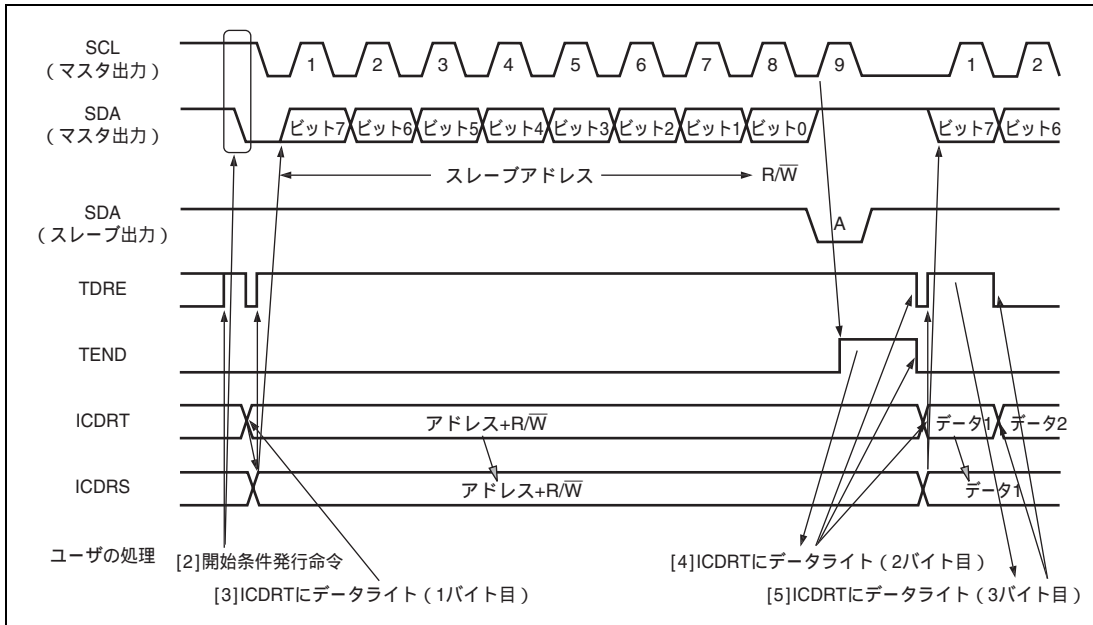


図 20.5 マスタ送信モード動作タイミング (1)

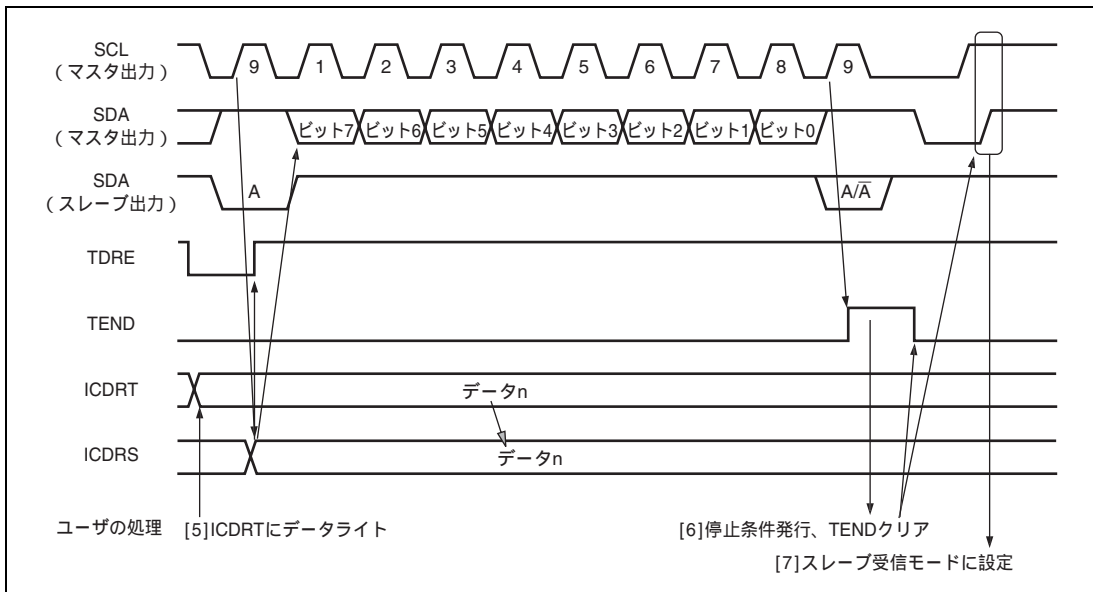


図 20.6 マスタ送信モード動作タイミング (2)

20.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 20.7 と図 20.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。ICCR2のSCLOをリードして0を確認後、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがローレベルに固定されます。
5. 次の受信が最終フレームの場合、ICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。ICCR2のSCLOをリードして0を確認後、ICDRRをリードします。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1 バイトだけ受信したい場合は、ICCR1 の RCVD セット後、ICDRR のダミーリードを行ってください。

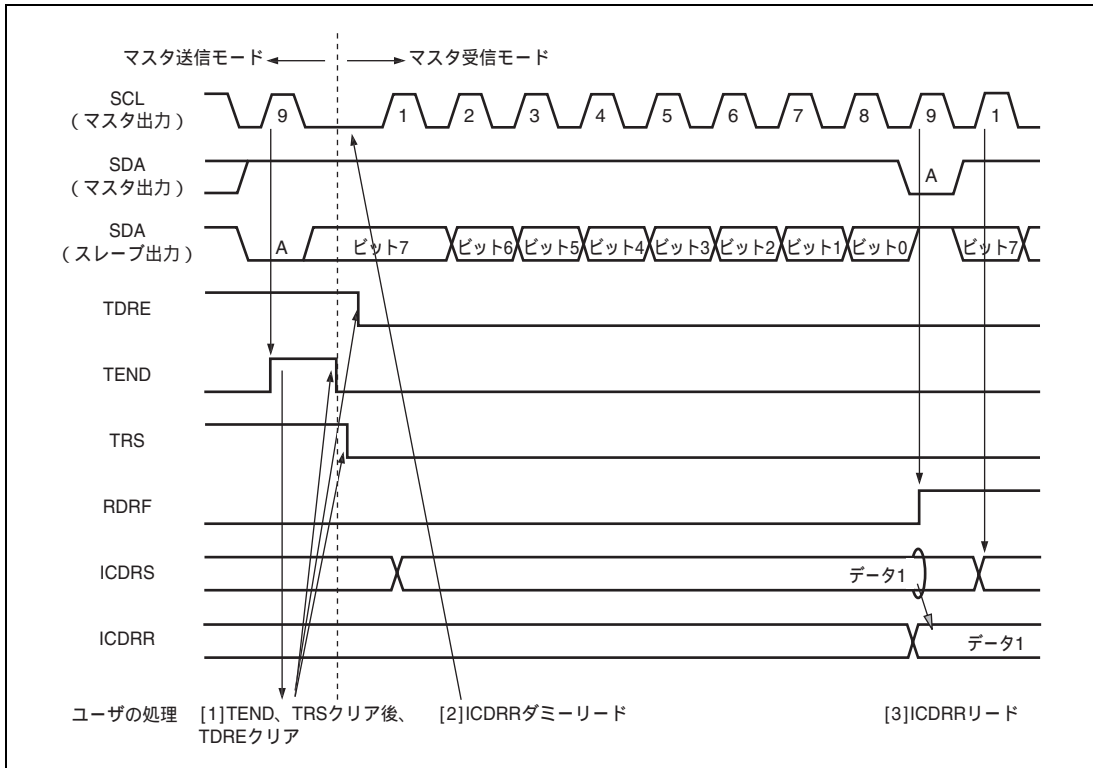


図 20.7 マスタ受信モード動作タイミング (1)

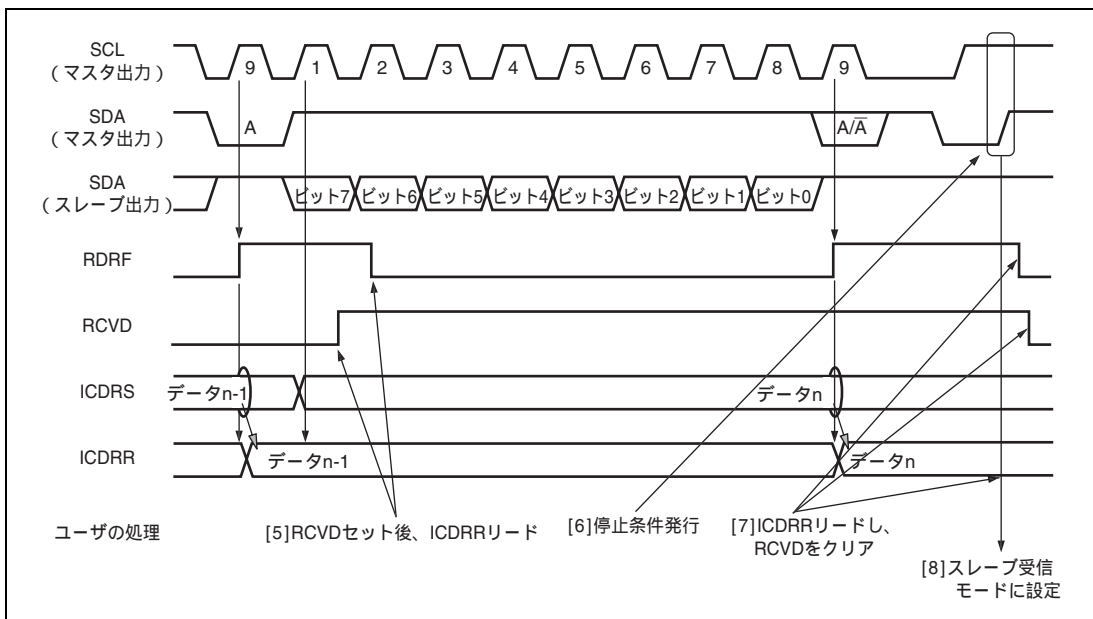


図 20.8 マスタ受信モード動作タイミング (2)

20.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 20.9 と図 20.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]などを設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/ \bar{W} ）が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

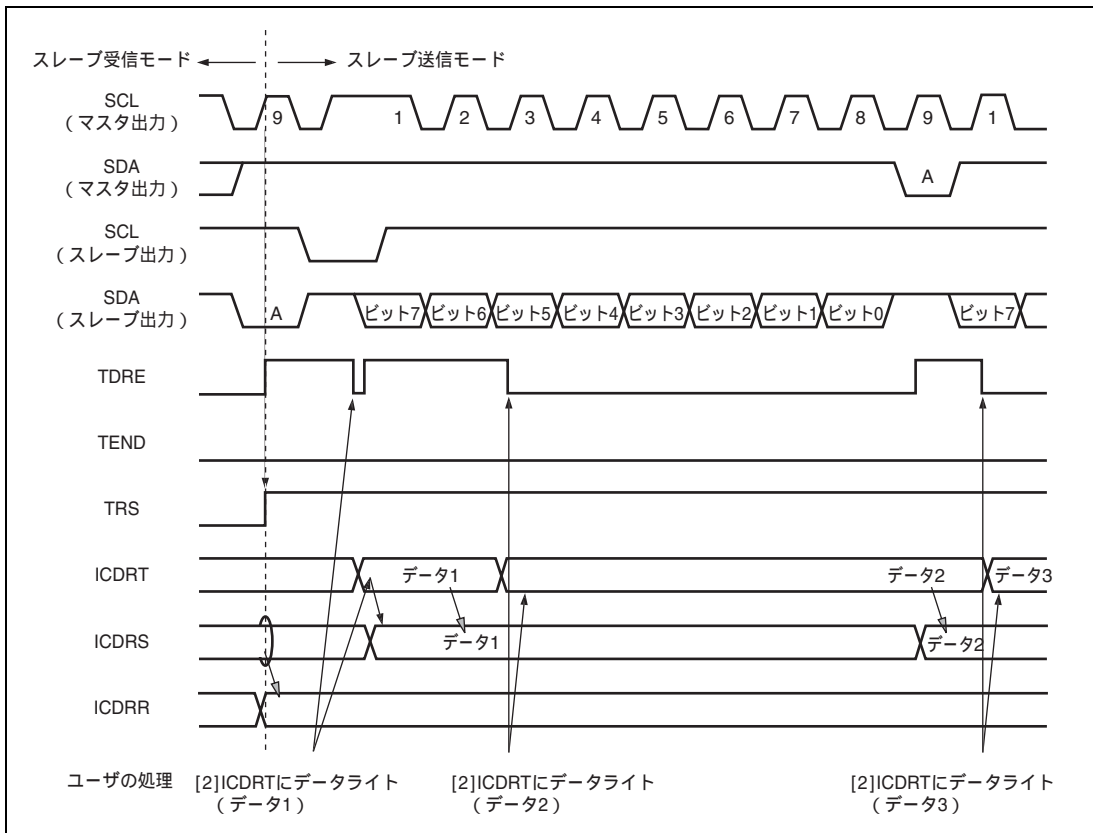


図 20.9 スレーブ送信モード動作タイミング (1)

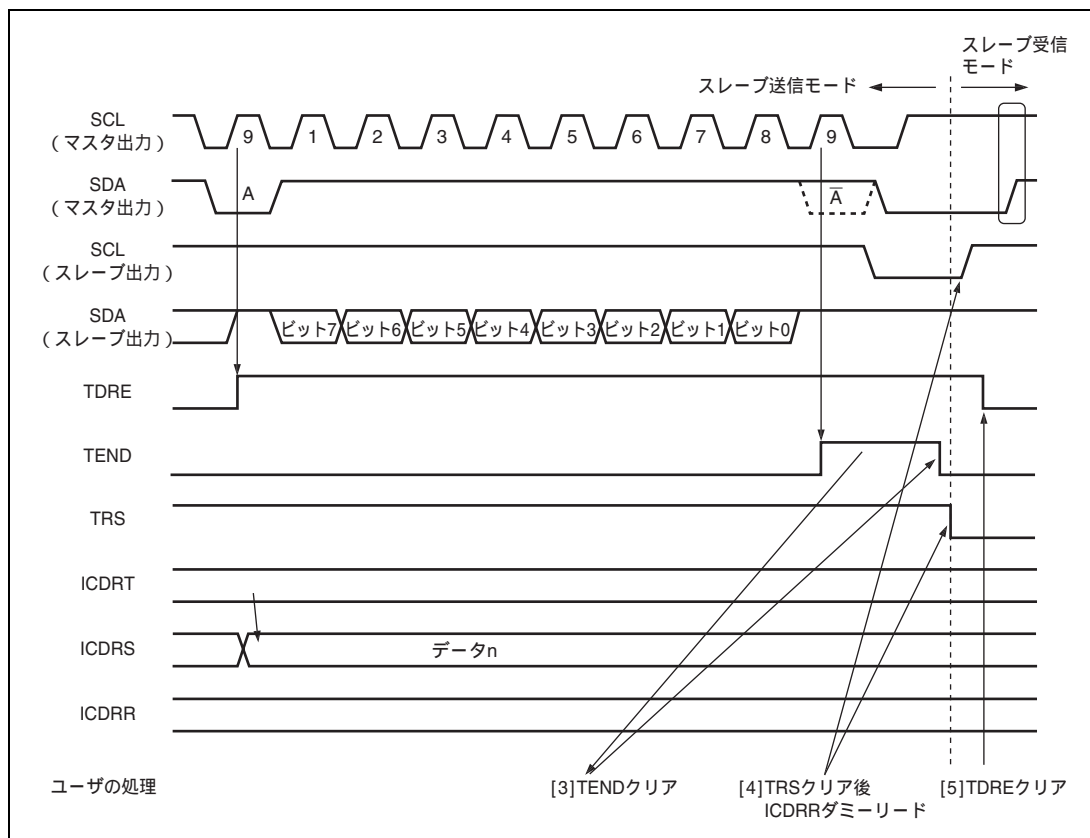


図 20.10 スレーブ送信モード動作タイミング (2)

20.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 20.11 と図 20.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]などを設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス + R/ \bar{W} を示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをローレベルに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

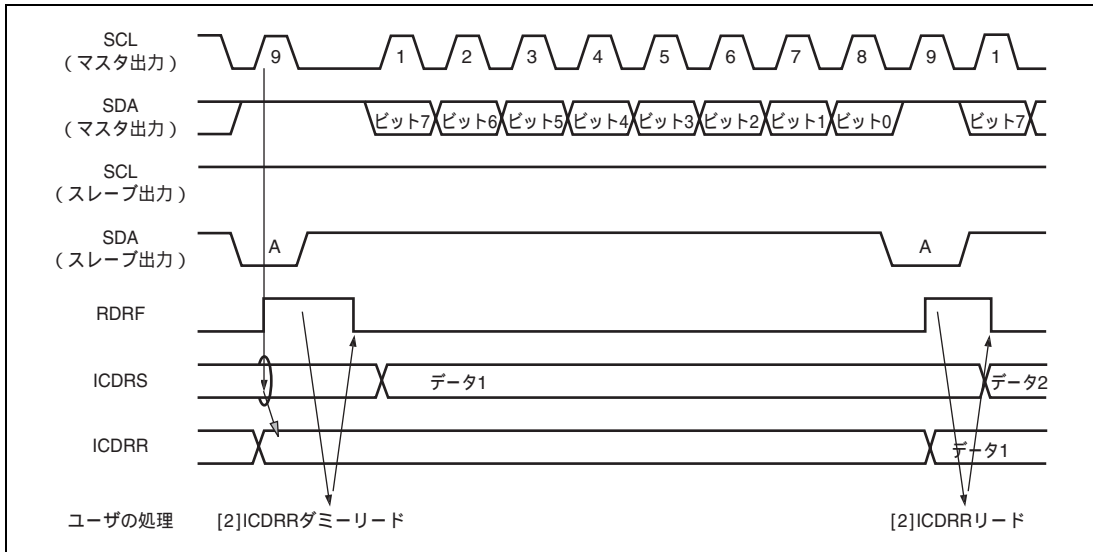


図 20.11 スレープ受信モード動作タイミング (1)

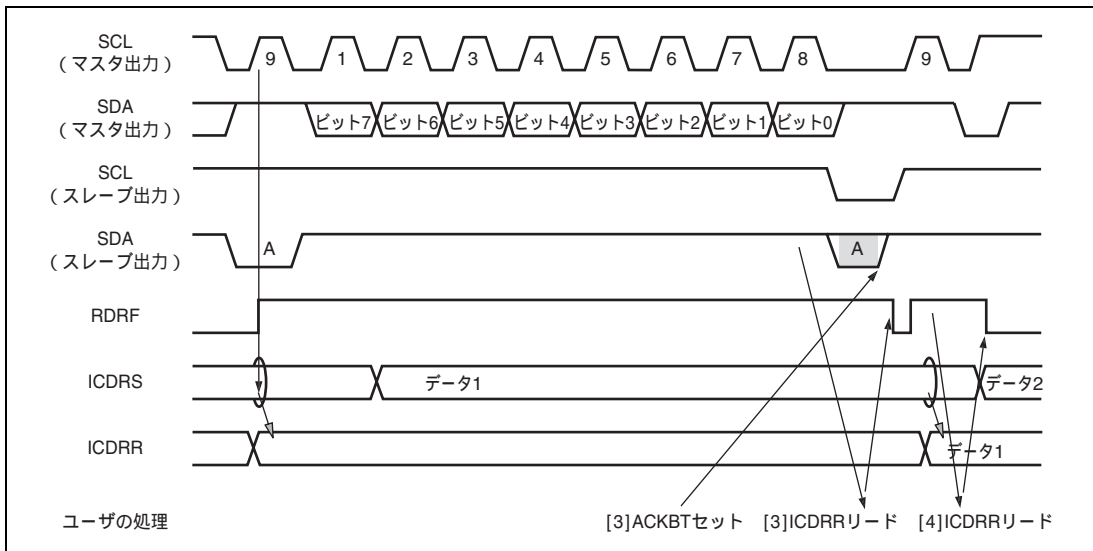


図 20.12 スレープ受信モード動作タイミング (2)

20.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST = 1 のとき SCL から転送クロック出力となり、MST = 0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 20.13 に示します。

転送データは SCL クロックの立ち下がりから立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICCMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

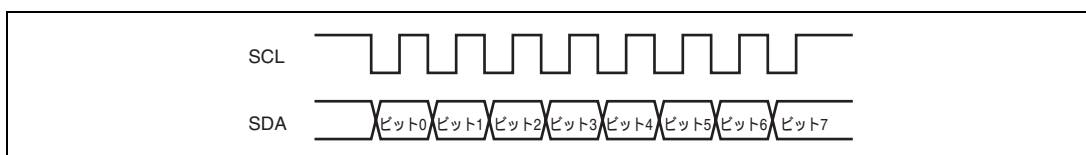


図 20.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 20.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

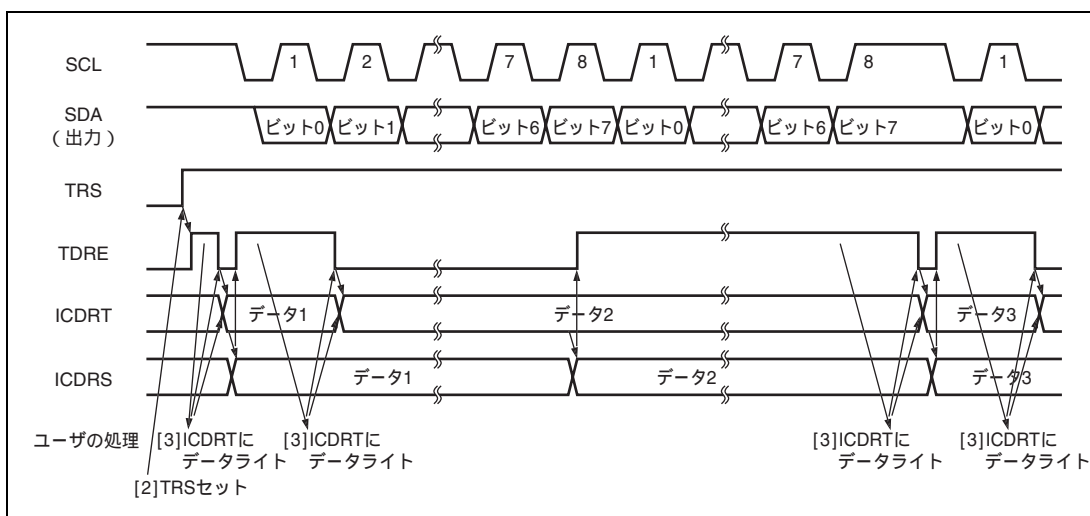


図 20.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 20.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]などを設定します（初期設定）。
2. 転送クロックを出力時、MST = 1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST = 1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST = 1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがハイレベルに固定されます。

【注】 MST = 1 で 1 バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 20.16 を参照してください。

1. ICCR1 の ICE ビットを 1 セットします。また ICCR1 の CKS[3:0]などを設定します（初期設定）。
2. ICCR1 の RCVD ビットが 0 の状態で、MST = 1 にセットします。これにより受信クロックの出力を開始します。
3. ICMR の BC[2]ビットが 1 セットされたことを確認後、ICCR1 の RCVD = 1 にセットしてください。これにより受信クロックを 1 バイト分出力した後、SCL がハイレベルに固定されます。

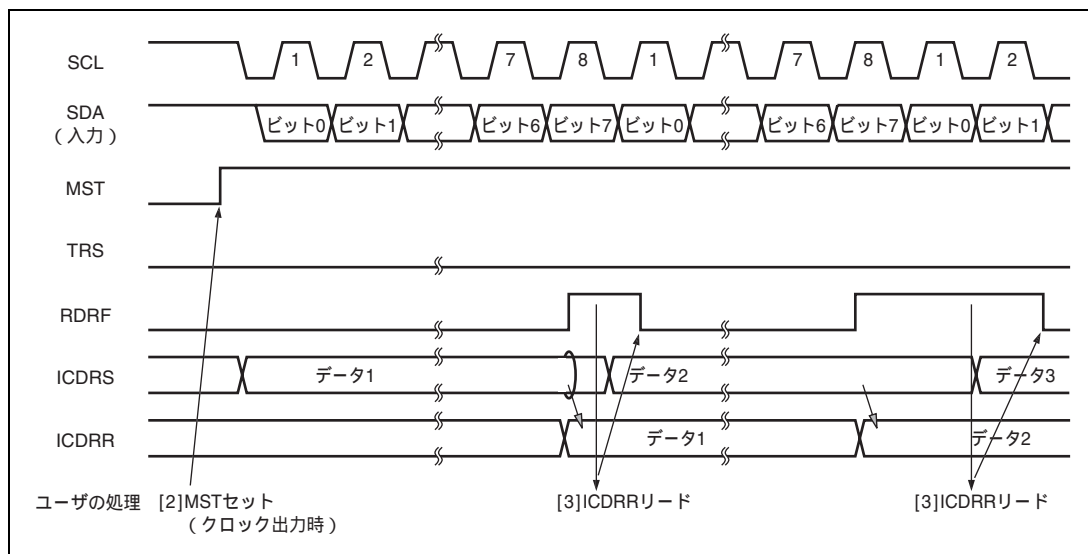


図 20.15 受信モード動作タイミング

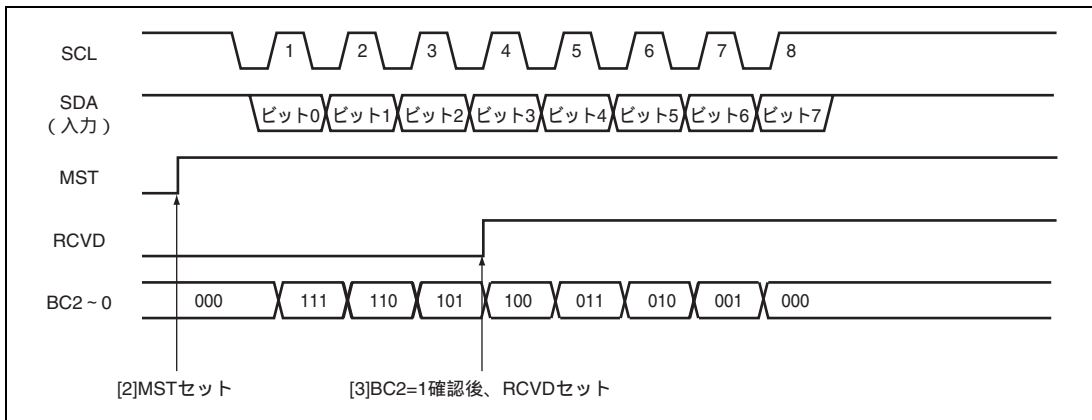


図 20.16 1 バイト受信動作タイミング (MST = 1)

20.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 20.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

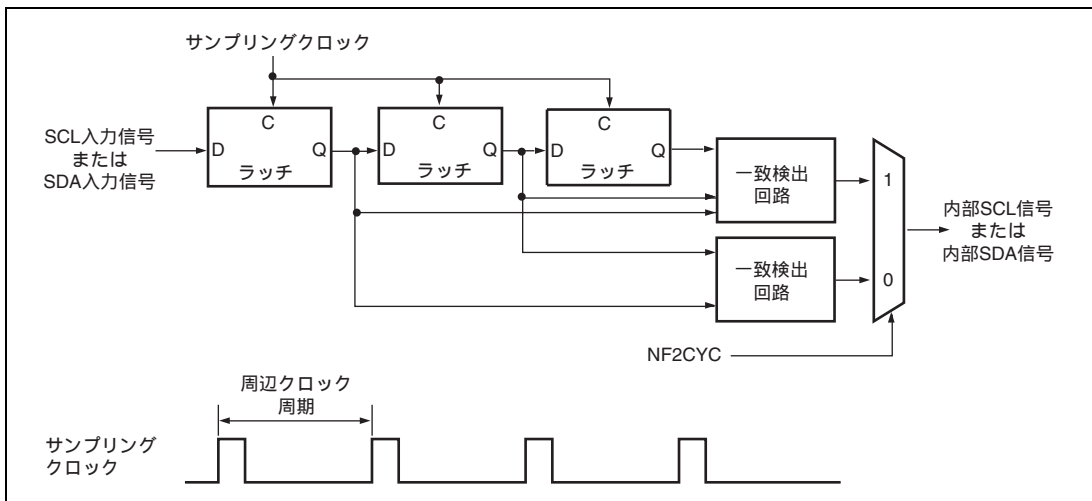


図 20.17 ノイズ除去回路のブロック図

20.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 20.18 ~ 図 20.21 に示します。

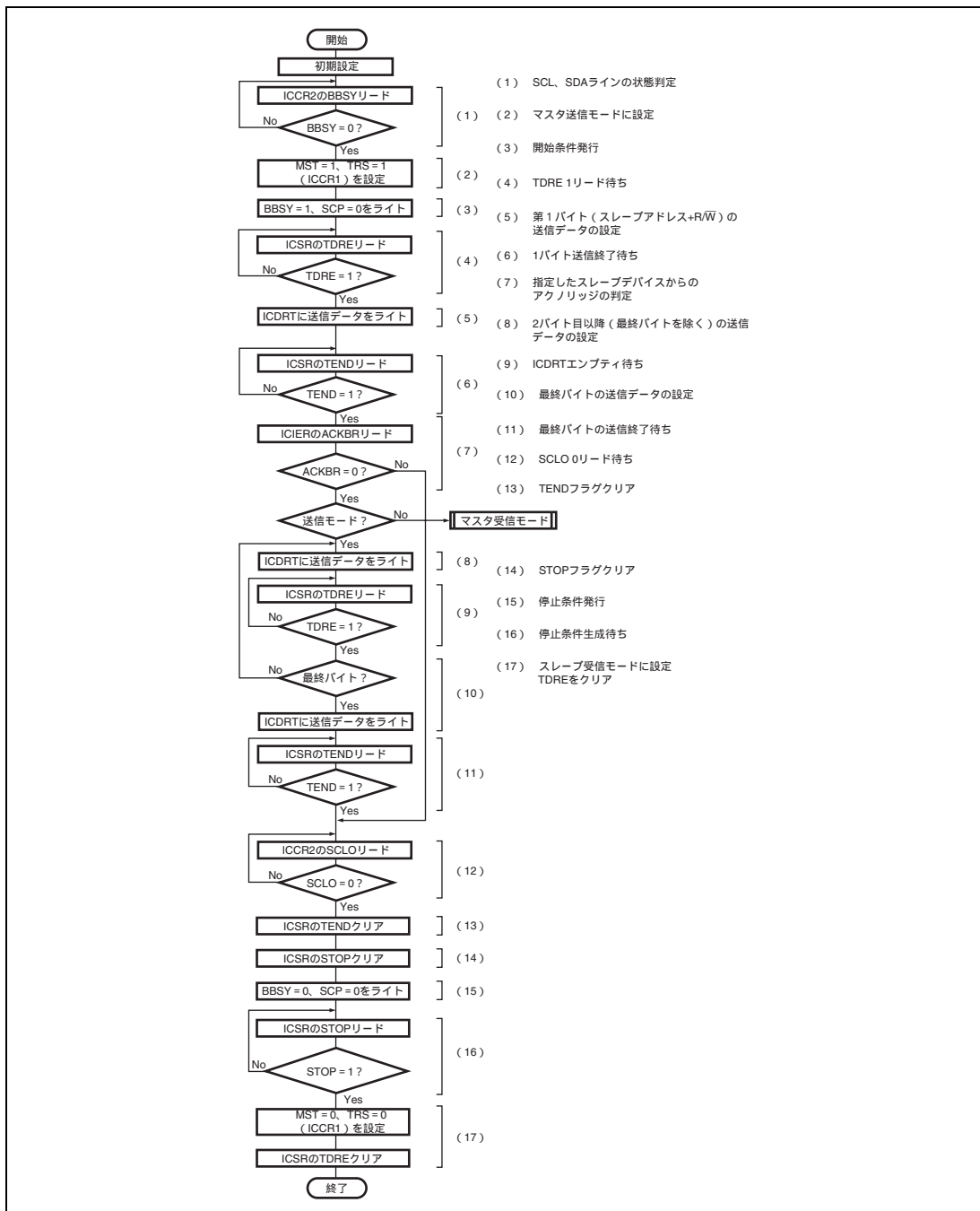


図 20.18 マスタ送信モードのフローチャート例

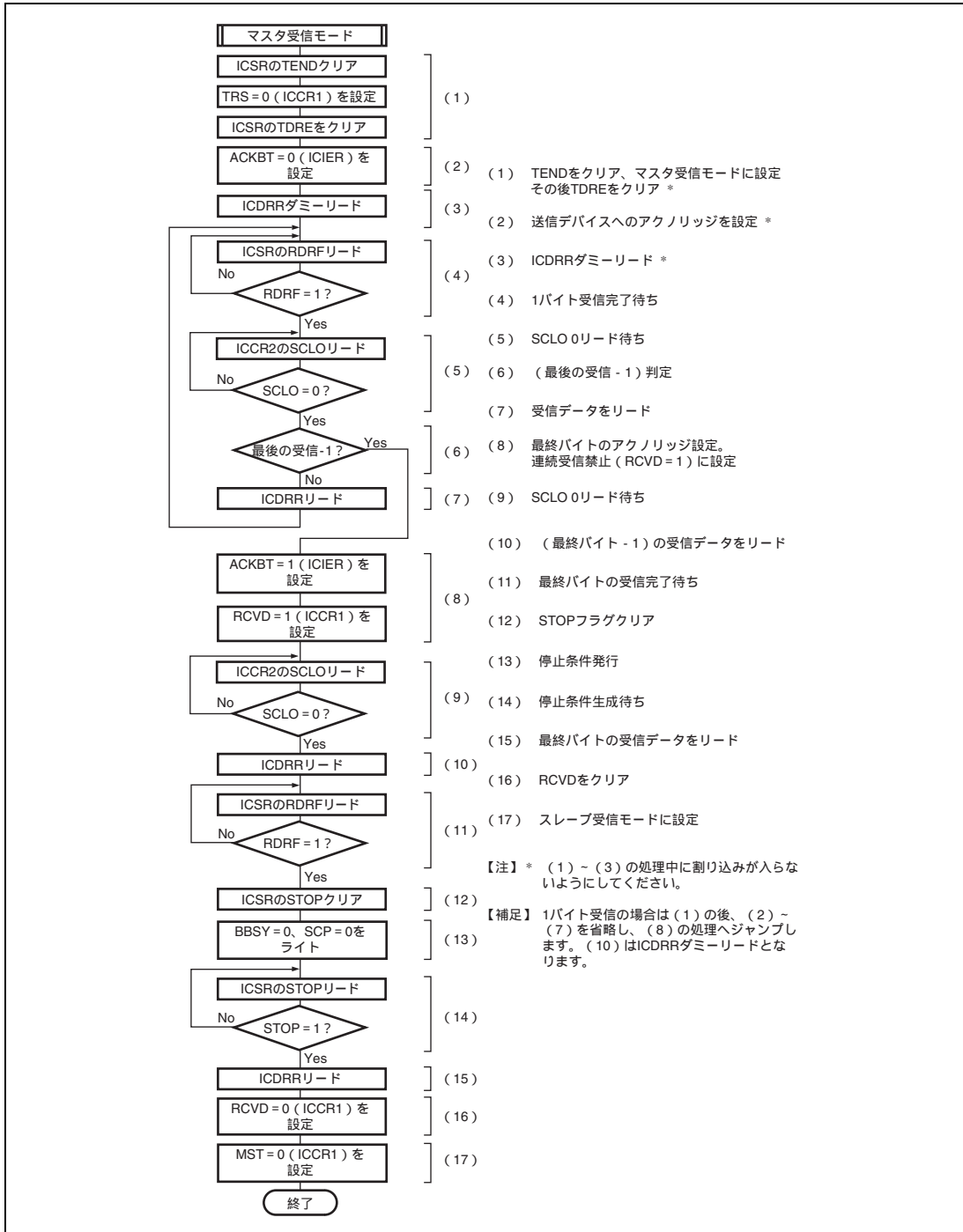


図 20.19 マスタ受信モードのフローチャート例

20.4.9 IICRST ビットによる I²C バスインタフェース 3 のリセット

I²C バスインタフェース 3 は、ICCR2 レジスタの IICRST ビットに 1 をライトすることで、ICMR レジスタの BC [2:0] ビットと IIC3 の内部回路をリセットすることができます。図 20.20 に IICRST ビットによる I²C バスインタフェース 3 のリセット手順の例を示します。

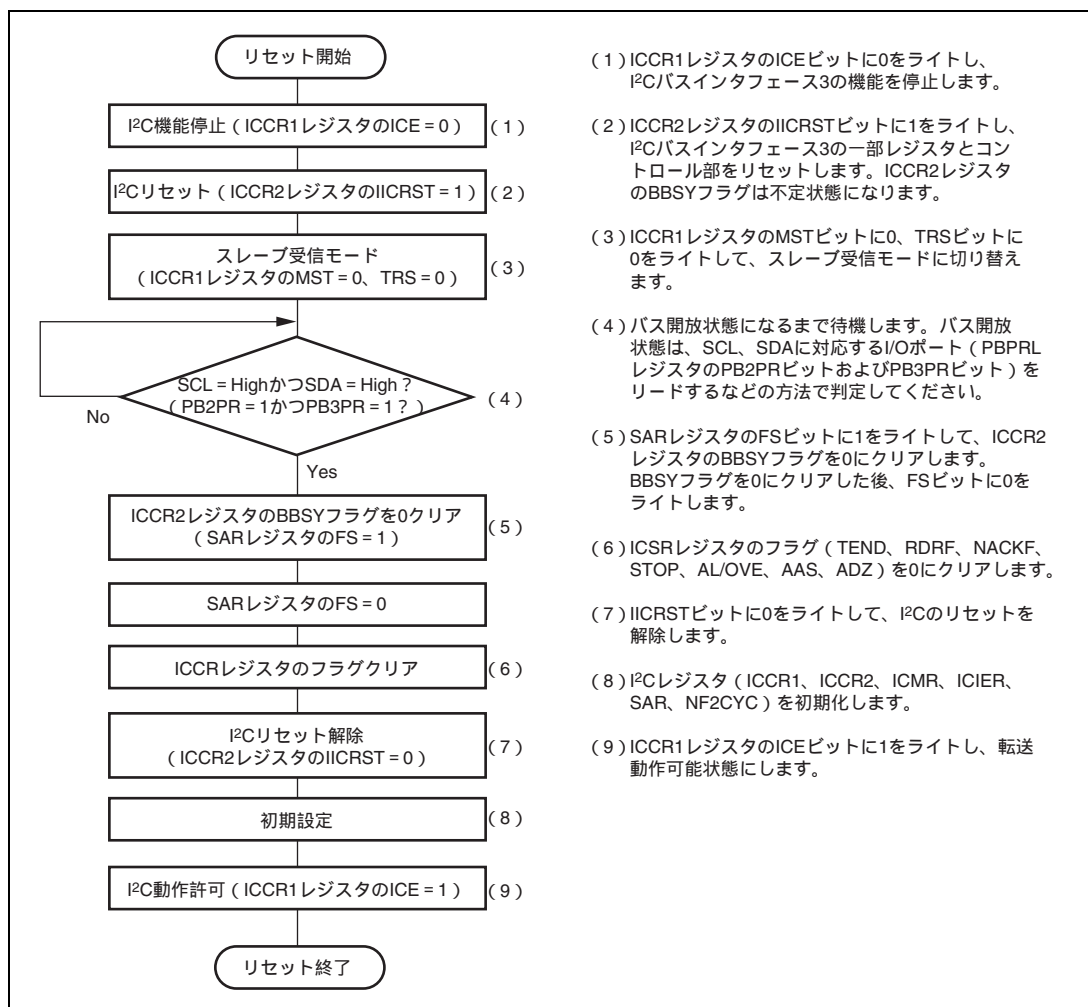


図 20.20 IICRST ビットによる I²C バスインタフェース 3 のリセット手順

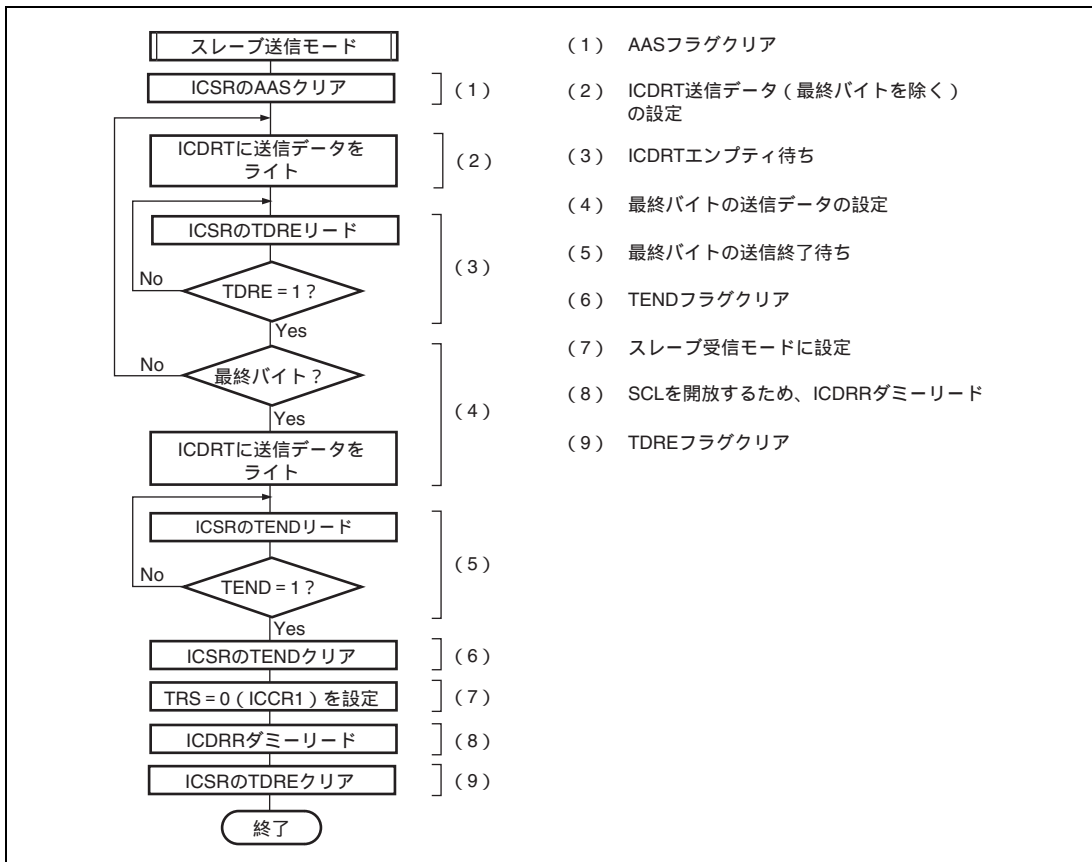


図 20.21 スレーブ送信モードのフローチャート例

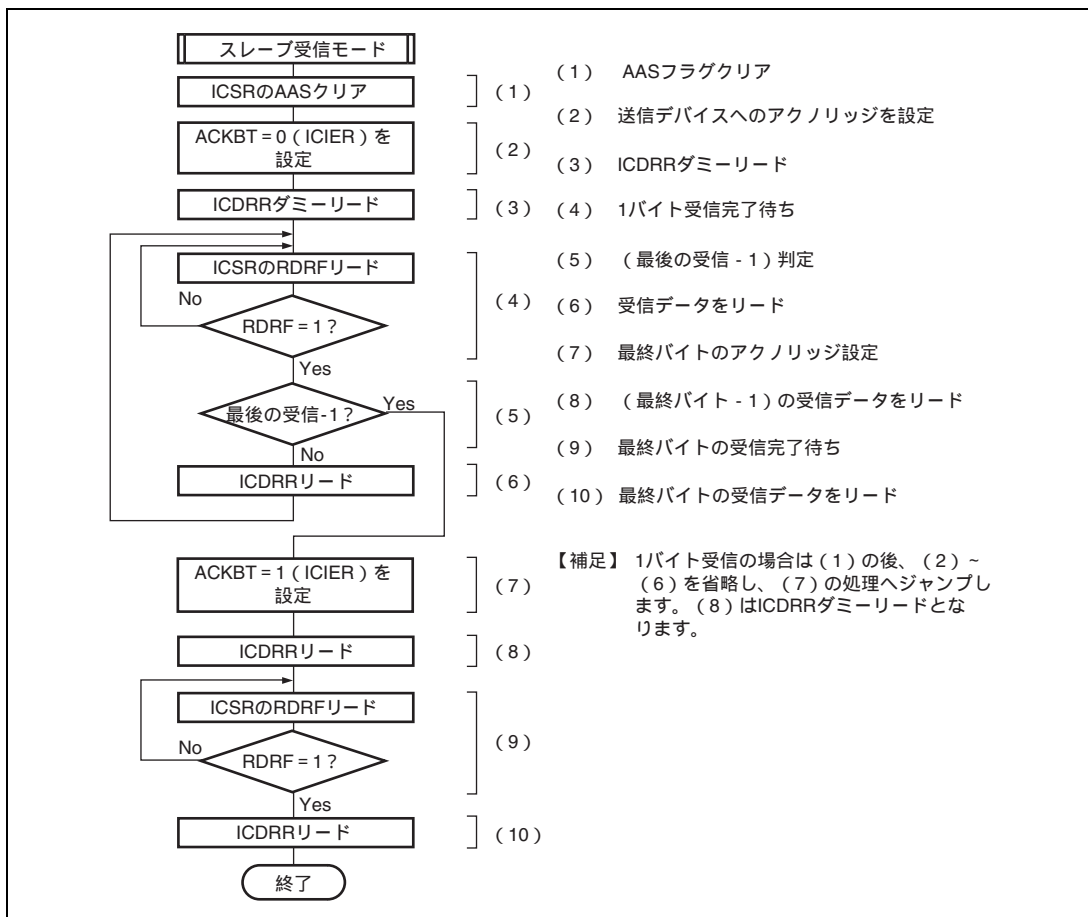


図 20.22 スレーブ受信モードのフローチャート例

20.5 割り込み要因と DMAC/DTC

IIC3 は、送信データエンプティ割り込み (IITXI) 要求、送信終了割り込み (IITEI) 要求、受信データフル割り込み (IIRXI) 要求、停止条件検出割り込み (IISTPI) 要求、NACK 検出、またはアービトレーションロスト / オーバランエラー割り込み (IINAKI) 要求の 6 種類の割り込み要因を持っています。

表 20.4 に各割り込み要因と優先順位を示します。各割り込み要因は、I²C バスインタラプトイネーブルレジスタ (ICIER) の TIE、RIE、TEIE、NAKIE、STIE ビットで許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

I²C バスステータスレジスタ (ICSR) の TDRE フラグが 1 にセットされると、IITXI 割り込み要求が発生します。IITXI 割り込み要求でダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動してデータ転送を行うことができます。DMAC 起動によるデータ転送時は、I²C バス送信データレジスタ (ICDRT) への書き込みが行われると、TDRE フラグが自動的に 0 にクリアされて、CPU への IITXI 割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 でかつ転送カウンタ値が 0 以外の場合には、ICDRT への書き込みが行われると TDRE フラグが自動的に 0 にクリアされて CPU への IITXI 割り込み要求は発生しませんが、DISEL ビットが 0 でかつ転送カウンタが 0 または DISEL ビットが 1 の場合には、ICDRT への書き込みが行われても TDRE フラグは 0 にクリアされずに ICDRT への書き込み後に CPU への IITXI 割り込み要求が発生します。

ICSR の RDRF フラグが 1 にセットされると IIRXI 割り込み要求が発生します。IIRXI 割り込み要求で DMAC/DTC を起動してデータ転送を行うことができます。DMAC 起動によるデータ転送時は、I²C バス受信データレジスタ (ICDRR) の読み出しが行われると、RDRF フラグが自動的に 0 にクリアされて、CPU への IIRXI 割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 でかつ転送カウンタ値が 0 以外の場合には、ICDRR の読み出しが行われると RDRF フラグが自動的に 0 にクリアされて CPU への IIRXI 割り込み要求は発生しませんが、DISEL ビットが 0 でかつ転送カウンタが 0 または DISEL ビットが 1 の場合には、ICDRR の読み出しが行われても RDRF フラグは 0 にクリアされずに ICDRR の読み出し後に CPU への IIRXI 割り込み要求が発生します。

ICSR の NACKF フラグまたは AL/OVE フラグが 1 にセットされると IINAKI 割り込み要求が発生します。IINAKI 割り込み要求で DMAC/DTC の起動はできません。また、NACKF フラグが 1 にセットされたことによる IINAKI 割り込み要求は I²C バスフォーマット時のみ発生します。

ICSR の STOP フラグが 1 にセットされると IISTPI 割り込み要求が発生します。IISTPI 割り込み要求で DMAC/DTC の起動はできません。また、STOP フラグが 1 にセットされることによる IISTPI 割り込み要求は I²C バスフォーマット時のみ発生します。

ICSR の TEND フラグが 1 にセットされると IITEI 割り込み要求が発生します。IITEI 割り込み要求で DMAC/DTC の起動はできません

TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

表 20.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット	DMAC/DTC の起動	優先 順位
停止条件検出	IISTPI	(STOP=1)・(STIE=1)		×	×	高 ↑ ↓ 低
NACK 検出	IINAKI	{(NACKF=1)+(AL/OVE=1)}・ (NAKIE=1)		×	×	
アービトレーションロスト/ オーバーランエラー					×	
受信データフル	IIRXI	(RDRF=1)・(RIE=1)				
送信データエンプティ	IITXI	(TDRE=1)・(TIE=1)				
送信終了	IITEI	(TEND=1)・(TEIE=1)			×	

20.6 DMAC/DTC による動作

I²C バスフォーマットでは、スレーブアドレスと R/ \bar{W} ビットによるスレーブデバイスおよび転送方向の選択や、アクリッジビットによる受信の確認および最終フレームの表示などが行われるため、DMAC/DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

DMAC/DTC を利用した処理の例を表 20.5 に示します。スレーブモードでも転送データ数がわかっていると仮定しています。

表 20.5 DMAC/DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R/ \bar{W} ビット送信 / 受信	DMAC/DTC で送信 (ICDRT ライト)	CPU で送信 (ICDRT ライト)	CPU で受信 (ICDRR リード)	CPU で受信 (ICDRR リード)
ダミーデータリード	-	CPU で処理 (ICDRR リード)	-	CPU で処理 (ICDRR リード)
本体データ送信 / 受信	DMAC/DTC で送信 (ICDRT ライト)	DMAC/DTC で受信 (ICDRR リード)	DMAC/DTC で送信 (ICDRT ライト)	DMAC/DTC で受信 (ICDRR リード)
最終フレーム処理	不要	CPU で受信 (ICDRR リード)	不要	CPU で受信 (ICDRR リード)
DMAC/DTC 転送データフレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R/ \bar{W} ビット分)	受信 : 実データ数 - 1 (-1 は、最終フレーム処理分)	送信 : 実データ数	受信 : 実データ数 - 1 (-1 は、最終フレーム処理分)

20.7 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがローレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態でハイレベル期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 20.22 に、SCL をローレベル出力 Hi-Z にしてから SCL をモニタするまでの時間を表 20.6 に示します。

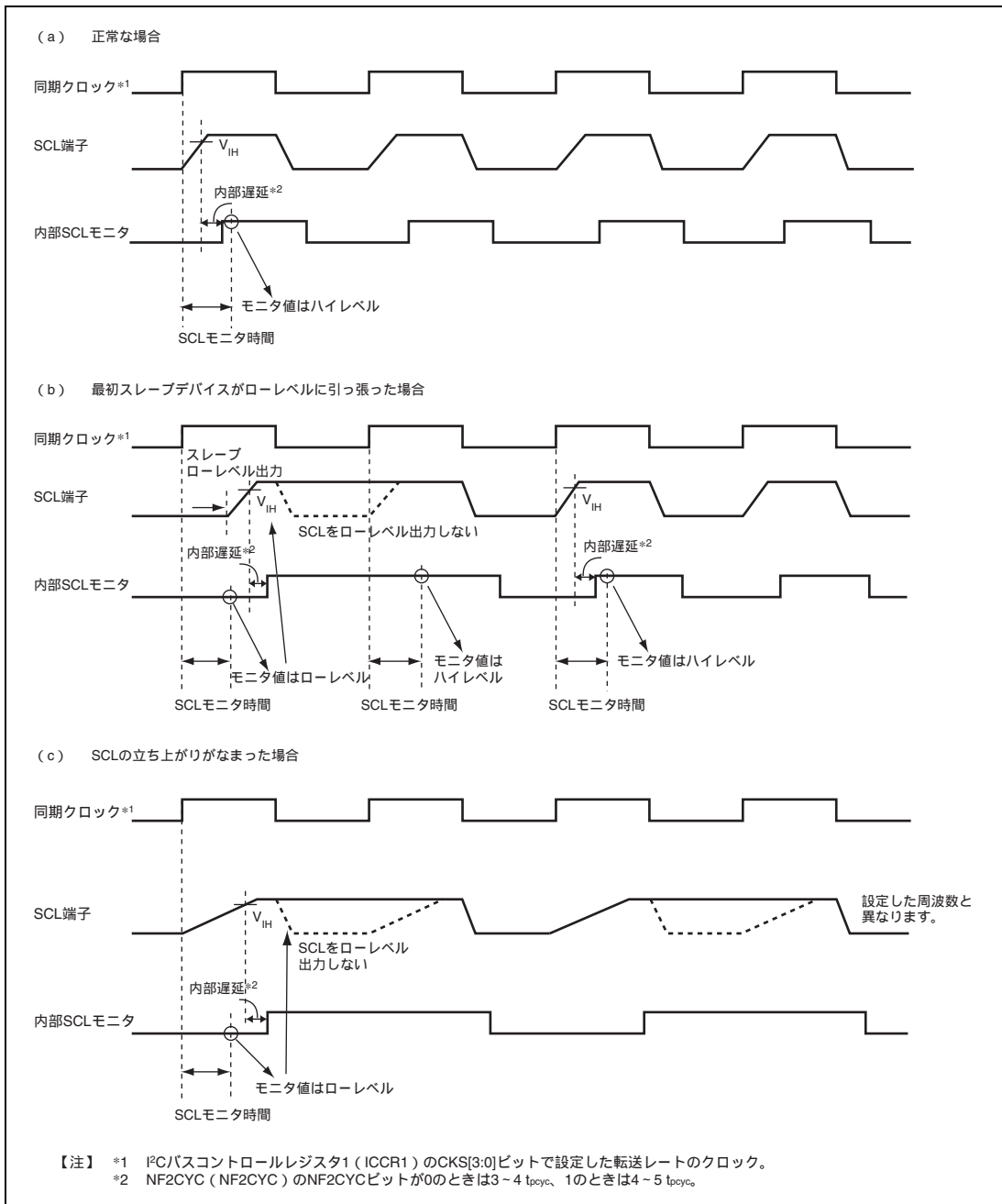


図 20.23 ビット同期回路のタイミング

表 20.6 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	9 t _{pcyc} *
	1	21 t _{pcyc} *
1	0	39 t _{pcyc} *
	1	87 t _{pcyc} *

【注】 * t_{pcyc} は周辺クロック (P) の周期を示します。

20.8 使用上の注意事項

20.8.1 モジュールスタンバイモードの設定

IIC3 はスタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では IIC3 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能となります。詳細は「第 32 章 低消費電力モード」を参照してください。

20.8.2 マルチマスタで使用時の注意

マルチマスタで使用し、本 LSI の IIC 転送ルートの設定 (ICCR1 CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

20.8.3 マスタ受信モード時の注意

8 クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ 8 クロック目の立ち下がり付近で RCVD = 1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か 2.の方法どちらかで対応してください。

1. マスタ受信モードで ICDRR をリードする処理は 8 クロックの立ち上がりまでに行ってください。
2. マスタ受信モードは RCVD = 1 にし、1 バイトごとの通信で処理を行ってください。

20.8.4 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

20.8.5 マスタ送信モード、ACKE 設定時の注意

ICIER の ACKE ビットに 1 をセットした場合は、SCL の 9 クロック目の立ち下がりを確認してから停止条件を発行してください。SCL が 9 クロックのハイレベルの状態では停止条件を発行すると、SCL がローレベルに固定されることがあります。

20.8.6 アービトレーションロスト時の MST と TRS ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL = 1 かつマスタ送信モード (MST = 1、TRS = 1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
 - アービトレーションロストした場合、MST = 0、TRS = 0 を確認してください。
- 万一、MST = 0、TRS = 0 以外の状態の場合、MST = 0、TRS = 0 を設定し直してください。

20.8.7 I²C バス動作中における ICE ビットおよび IICRST ビットのアクセス

下記 1.~4.のいずれかの状態で、ICCR1 の ICE ビットに 0 をライトもしくは ICCR2 の IICRST ビットに 1 をライトすると、ICCR2 の BBSY フラグと ICSR の STOP フラグは不定となります。

1. マスタ送信モード (ICCR1 レジスタの MST=1、TRS=1) において、本モジュールが I²C のバス権を保有しているとき。
2. マスタ受信モード (ICCR1 の MST=1、TRS=0) において、本モジュールが I²C のバス権を保有しているとき。
3. スレーブ送信モード (ICCR1 の MST=0、TRS=1) において、本モジュールがデータ送信中のとき。
4. スレーブ受信モード (ICCR1 の MST=0、TRS=0) において、本モジュールがアクノリッジを送信しているとき。

ICCR2 の BBSY フラグの不定状態は、以下のいずれかで解消することができます。

- 開始条件 (SCL=ハイレベルかつ SDA 立ち下がり) を入力すると、BBSY フラグは 1 にセットされます。
- 停止条件 (SCL=ハイレベルかつ SDA 立ち上がり) を入力すると、BBSY フラグは 0 にクリアされます。
- マスタ送信モードにおいて、SCL=ハイレベルかつ SDA=ハイレベルの状態、ICCR2 の BBSY フラグに 1、SCP ビットに 0 をライトして開始条件を発行します。開始条件 (SCL=ハイレベルかつ SDA 立ち下がり) が出力されると、BBSY フラグは 1 にセットされます。
- マスタ送信モードもしくはマスタ受信モードにおいて、SDA=ローレベルかつ本モジュール以外に SCL をローレベルにするデバイスがない状態で、ICCR2 の BBSY フラグに 0、SCP ビットに 0 をライトして停止条件を発行します。停止条件 (SCL=ハイレベルかつ SDA 立ち上がり) が出力されると、BBSY フラグは 0 にクリアされます。
- SAR の FS ビットに 1 をライトすると、BBSY フラグは 0 にクリアされます。

21. A/D 変換器 (ADC)

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しています。

21.1 特長

- 分解能：10ビット
- 入力チャンネル：
16チャンネル（2個の独立したA/D変換モジュール内蔵）
- 変換時間：1チャンネル当たり1.0 μ s ($f_{clk} = 50$ MHz動作時)
- 動作モード：8種類
シングルモード：1チャンネルのA/D変換
2チャンネルスキャンモード：最大2チャンネルの連続A/D変換
4チャンネルスキャンモード：最大4チャンネルの連続A/D変換
8チャンネルスキャンモード：最大8チャンネルの連続A/D変換
それぞれにつき、
連続スキャンモード：指定したチャンネルの繰り返しA/D変換
1サイクルスキャンモード：指定したチャンネルの一回ずつのA/D変換
が可能
- データレジスタ：A/D変換結果は各入力チャンネルに対応した16ビットデータレジスタに格納
- サンプル&ホールド機能付き
- サンプリング時間とAD変換時間を個別に選択可能
- A/D変換開始方法：3種類
ソフトウェア
マルチファンクションタイマパルスユニット2 (MTU2) またはマルチファンクションタイマパルスユニット
2S (MTU2S) による変換開始トリガを選択可能
外部トリガ信号 (2モジュール同時起動可能)
- 割り込み要因：A/D変換終了割り込み要求 (ADI) を発生
- モジュールスタンバイモードの設定可能
- 2モジュール分のA/D変換結果を、一段の32ビットバッファレジスタ (シャドーレジスタ) にも格納
上位16ビット：AD_0変換結果、下位16ビット：AD_1変換結果
2モジュール分のA/D変換結果を1回のロングワードリードで読み出し可能。

図 21.1 に 1 モジュール当たりの A/D 変換器のブロック図、図 21.2 に A/D 変換器の構成を示します。

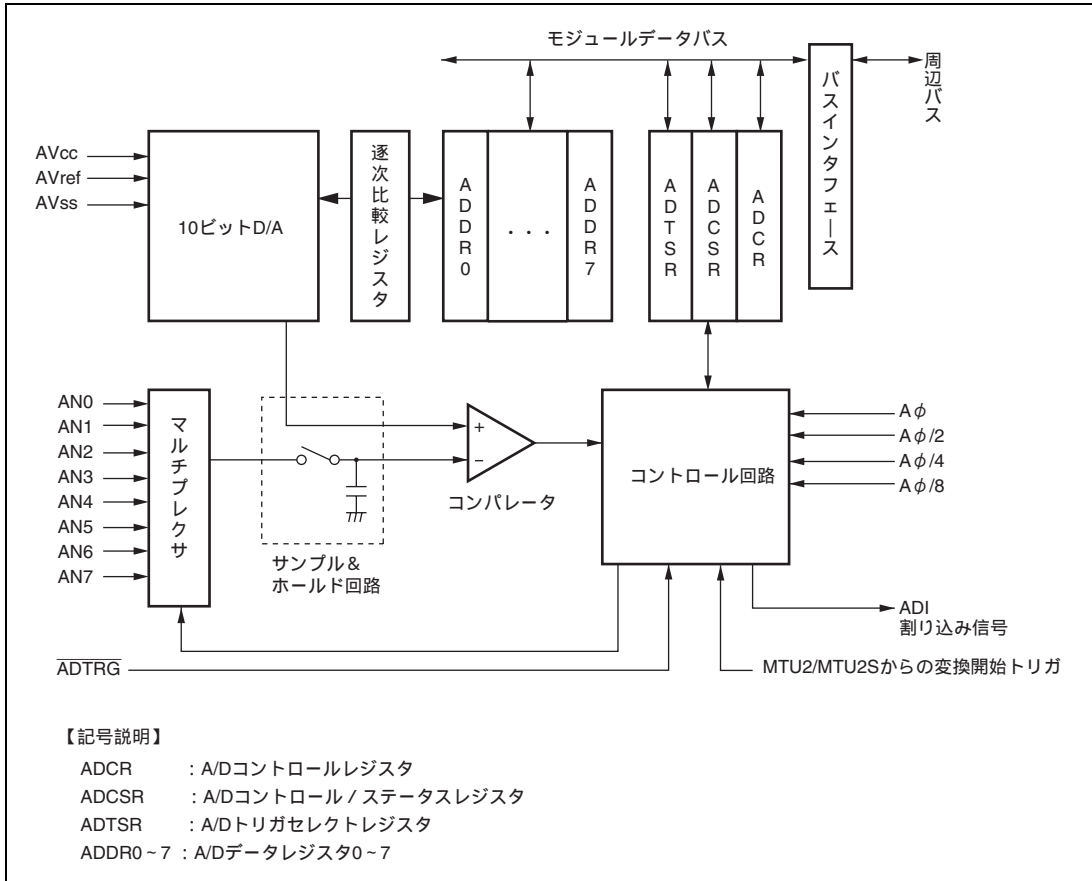


図 21.1 A/D 変換器のブロック図 (1 モジュール当たり)

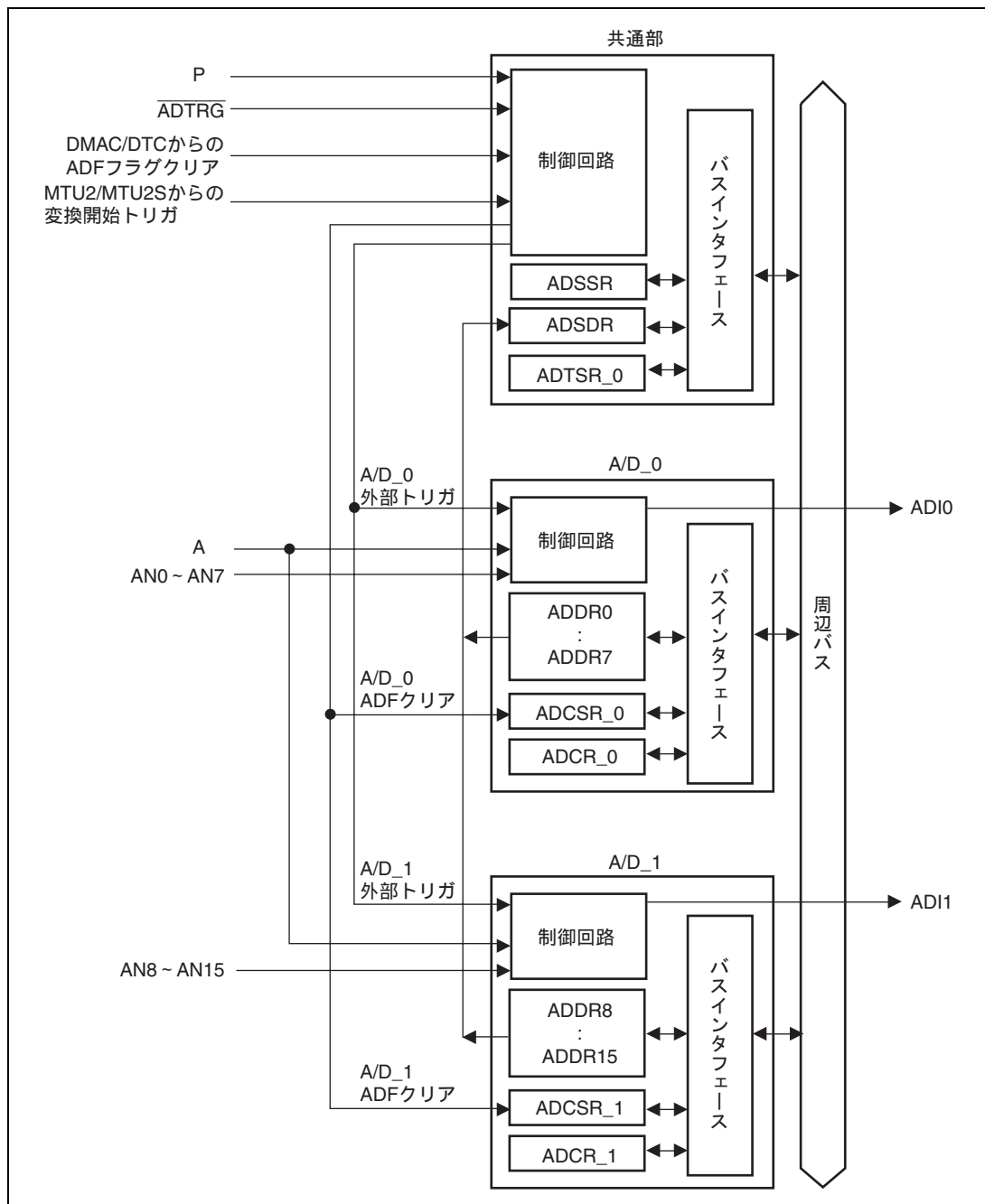


図 21.2 A/D 変換器の構成

21.2 入出力端子

A/D 変換器で使用する端子を表 21.1 に示します。2 個の A/D 変換モジュール、それぞれのモジュールは独立に動作させることができます。また、A/D モジュール 0、1 の入力チャンネルは、2 チャンネルごとのグループに分割されています。

表 21.1 端子構成

モジュール区分	端子名	入出力	機 能	
共通	AVcc	入力	アナログ部の電源端子および基準電圧	
	AVref	入力	A/D 変換の基準電圧	
	AVss	入力	アナログ部のグラウンドおよび基準電圧	
	ADTRG	入力	A/D 外部トリガ入力端子	
A/D モジュール 0 (A/D_0)	AN0	入力	アナログ入力端子 0	2 チャンネルスキャンモード グループ 0
	AN1	入力	アナログ入力端子 1	
	AN2	入力	アナログ入力端子 2	2 チャンネルスキャンモード グループ 1
	AN3	入力	アナログ入力端子 3	
	AN4	入力	アナログ入力端子 4	
	AN5	入力	アナログ入力端子 5	
	AN6	入力	アナログ入力端子 6	
	AN7	入力	アナログ入力端子 7	
A/D モジュール 1 (A/D_1)	AN8	入力	アナログ入力端子 8	2 チャンネルスキャンモード グループ 0
	AN9	入力	アナログ入力端子 9	
	AN10	入力	アナログ入力端子 10	2 チャンネルスキャンモード グループ 1
	AN11	入力	アナログ入力端子 11	
	AN12	入力	アナログ入力端子 12	
	AN13	入力	アナログ入力端子 13	
	AN14	入力	アナログ入力端子 14	
	AN15	入力	アナログ入力端子 15	

【注】 端子ごとに、接続される A/D モジュールが異なります。モジュールごとに制御レジスタを持つので、それぞれ設定をしてください。

21.3 レジスタの説明

A/D変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第34章 レジスタ一覧」を参照してください。

表 21.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ 0	ADDR0	R	H'0000	H'FFFE5800	16
A/D データレジスタ 1	ADDR1	R	H'0000	H'FFFE5802	16
A/D データレジスタ 2	ADDR2	R	H'0000	H'FFFE5804	16
A/D データレジスタ 3	ADDR3	R	H'0000	H'FFFE5806	16
A/D データレジスタ 4	ADDR4	R	H'0000	H'FFFE5808	16
A/D データレジスタ 5	ADDR5	R	H'0000	H'FFFE580A	16
A/D データレジスタ 6	ADDR6	R	H'0000	H'FFFE580C	16
A/D データレジスタ 7	ADDR7	R	H'0000	H'FFFE580E	16
A/D コントロール / ステータスレジスタ_0	ADCSR_0	R/W	H'0000	H'FFFE5810	16
A/D コントロールレジスタ_0	ADCR_0	R/W	H'0000	H'FFFE5812	16
A/D データレジスタ 8	ADDR8	R	H'0000	H'FFFE5900	16
A/D データレジスタ 9	ADDR9	R	H'0000	H'FFFE5902	16
A/D データレジスタ 10	ADDR10	R	H'0000	H'FFFE5904	16
A/D データレジスタ 11	ADDR11	R	H'0000	H'FFFE5906	16
A/D データレジスタ 12	ADDR12	R	H'0000	H'FFFE5908	16
A/D データレジスタ 13	ADDR13	R	H'0000	H'FFFE590A	16
A/D データレジスタ 14	ADDR14	R	H'0000	H'FFFE590C	16
A/D データレジスタ 15	ADDR15	R	H'0000	H'FFFE590E	16
A/D コントロール / ステータスレジスタ_1	ADCSR_1	R/W	H'0000	H'FFFE5910	16
A/D コントロールレジスタ_1	ADCR_1	R/W	H'0000	H'FFFE5912	16
A/D シャドウデータレジスタ	ADSDR	R	H'00000000	H'FFFE5B00	32
A/D シャドウセレクトレジスタ	ADSSR	R/W	H'3100	H'FFFE5B04	16
A/D トリガセレクトレジスタ_0	ADTSR_0	R/W	H'0000	H'FFFE5B10	16

21.3.1 A/D データレジスタ 0 ~ 15 (ADDR0 ~ ADDR15)

ADDR は、A/D 変換された結果を格納するための 16 ビットの読み出し専用レジスタです。各アナログ入力チャネルの変換結果は、対応する番号の ADDR に格納されます。たとえば、AN4 の変換結果は A/D データレジスタ (ADDR4) に格納されます。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納され、下位 6 ビットはリードすると常に 0 が読み出されます。

ADDR の初期値は H'0000 です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADD[9:0]										-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	ADD[9:0]	すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.2 A/D コントロール / ステータスレジスタ_0、1 (ADCSR_0、1)

ADCSR_0、1 は、16 ビットの読み出し / 書き込み可能なレジスタで、割り込みと A/D 変換の各種設定を行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	TRGE	-	CON ADF	STC[2:0]		CKS[1:0]		ADM[1:0]		ADCS	CH[2:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき スキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> ADF=1 の状態をリードした後、0 をライトしたとき ADI 割り込みにより DMAC が起動され、ADDR または ADSDR をリードしたとき ADI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに ADDR または ADSDR をリードしたとき
14	ADIE	0	R/W	A/D インタラプト (ADI) イネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。

ビット	ビット名	初期値	R/W	説明
13	TRGE	0	R/W	トリガイネーブル ADTRG、MTU2 または MTU2S トリガによる A/D 変換開始を設定します。 0 : トリガによる A/D 変換開始は無効 1 : トリガによる A/D 変換開始は有効
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	CONADF	0	R/W	ADF コントロール 2 チャネルスキャンモード時の ADF の動作を制御します。本ビットは 2 チャネルスキャンモード時かつトリガによる A/D 変換開始 (TRGE=1) の設定時のみ有効です。シングルモード、4 チャネルスキャンモード、8 チャネルスキャンモードでは無視されます。 0 : グループ 0 トリガ、グループ 1 トリガそれぞれの変換終了時に ADF がセットされます。 1 : グループ 0 トリガ、グループ 1 トリガ両方の変換終了時に ADF がセットされます。なお、トリガの順番には影響されません。
10~8	STC[2:0]	000	R/W	サンプリングステートコントロール CKS[1:0]と STC[2:0]を組み合わせて、サンプリング時間の設定を行います。 000 : 200 ステート 001 : 100 ステート 010 : 88 ステート 011 : 75 ステート 100 : 63 ステート 101 : 50 ステート 110 : 38 ステート 111 : 25 ステート
7, 6	CKS[1:0]	00	R/W	AD 動作クロック選択 CKS[1:0]と STC[2:0]を組み合わせて、A/D 変換時間の設定を行います。 00 : A /8 01 : A /4 10 : A /2 11 : A
5, 4	ADM[1:0]	00	R/W	A/D モード 1、0 A/D 変換の動作モードを選択します。 00 : シングルモード 01 : 4 チャネルスキャンモード 10 : 8 チャネルスキャンモード 11 : 2 チャネルスキャンモード

ビット	ビット名	初期値	R/W	説明
3	ADCS	0	R/W	A/D 連続スキャン スキャンモード時の 1 サイクルスキャン / 連続スキャンを選択するビットです。スキャンモード時のみ有効です。 0: 1 サイクルスキャン 1: 連続スキャン
2~0	CH[2:0]	000	R/W	チャンネルセレクト 2~0 A/D 変換するアナログ入力チャンネルを選択します (表 21.3 参照)。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

表 21.3 チャンネルセレクト一覧表

• シングルモード

ビット 2	ビット 1	ビット 0	アナログ入力チャンネル	
			シングルモード	
CH2	CH1	CH0	A/D_0	A/D_1
0	0	0	AN0	AN8
		1	AN1	AN9
	1	0	AN2	AN10
		1	AN3	AN11
1	0	0	AN4	AN12
		1	AN5	AN13
	1	0	AN6	AN14
		1	AN7	AN15

• 2チャンネルスキャンモード

ビット 2	ビット 1	ビット 0	アナログ入力チャンネル					
			ソフトウェア起動時		ソフトウェア起動以外			
			A/D_0	A/D_1	A/D_0		A/D_1	
CH2	CH1	CH0			グループ 0	グループ 1	グループ 0	グループ 1
0	0	0	AN0	AN8	AN0	AN2	AN8	AN10
		1	AN0、AN1	AN8、AN9	AN0、AN1	AN2、AN3	AN8、AN9	AN10、AN11
	1	0	AN2	AN10	設定禁止	設定禁止	設定禁止	設定禁止
		1	AN2、AN3	AN10、AN11				
1	0	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
		1						
	1	0						
		1						

【注】 2チャンネルスキャンモードに設定した場合でも、動作するのは CH[2:0] で選択したチャンネルだけです。たとえば、連続スキャンモードで 2チャンネルスキャンモードに設定しても、CH[2:0] = 000 を設定した場合、A/D_0 は AN0 もしくは AN2 の変換を連続で実行します。

• 4チャンネルスキャンモード

ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH2	CH1	CH0	A/D_0	A/D_1
0	0	0	AN0	AN8
		1	AN0、AN1	AN8、AN9
	1	0	AN0 ~ AN2	AN8 ~ AN10
		1	AN0 ~ AN3	AN8 ~ AN11
1	0	0	AN4	AN12
		1	AN4、AN5	AN12、AN13
	1	0	AN4 ~ AN6	AN12 ~ AN14
		1	AN4 ~ AN7	AN12 ~ AN15

【注】 4チャンネルスキャンモードに設定した場合でも、動作するのはCH[2:0]で選択したチャンネルだけです。たとえば、連続スキャンモードで4チャンネルスキャンモードに設定しても、CH[2:0]=000を設定した場合、A/D_0はAN0の変換を連続で実行します。

• 8チャンネルスキャンモード

ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH2	CH1	CH0	A/D_0	A/D_1
0	0	0	AN0	AN8
		1	AN0、AN1	AN8、AN9
	1	0	AN0 ~ AN2	AN8 ~ AN10
		1	AN0 ~ AN3	AN8 ~ AN11
1	0	0	AN0 ~ AN4	AN8 ~ AN12
		1	AN0 ~ AN5	AN8 ~ AN13
	1	0	AN0 ~ AN6	AN8 ~ AN14
		1	AN0 ~ AN7	AN8 ~ AN15

【注】 8チャンネルスキャンモードに設定した場合でも、動作するのはCH[2:0]で選択したチャンネルだけです。たとえば、連続スキャンモードで8チャンネルスキャンモードに設定しても、CH[2:0]=000を設定した場合、A/D_0はAN0の変換を連続で実行します。

21.3.3 A/D コントロールレジスタ_0、1 (ADCR_0、1)

ADCR_0、1 は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D の変換停止 / 開始を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ADST	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
13	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードおよび 1 サイクルスキャンモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、またはモジュールスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
12~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.4 A/D シャドーデータレジスタ (ADSDR)

ADSDR は、32 ビットの読み出し可能なレジスタで、ADSSR で選択した A/D_0 と A/D_1 の ADDR を上位ビットまたは下位ビットにアライメントして読み出すことが可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADSD0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADSD1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	ADSD0 [15:0]	すべて 0	R	A/D_0 の ADDR 読み出し (16 ビット) ADSSR の ADDALS ビットの設定により、上位 10 ビットもしくは下位 10 ビットにアライメントして、A/D_0 の ADDR の値を格納します。
15~0	ADSD1 [15:0]	すべて 0	R	A/D_1 の ADDR 読み出し (16 ビット) ADSSR の ADDALS ビットの設定により、上位 10 ビットもしくは下位 10 ビットにアライメントして、A/D_1 の ADDR の値を格納します。

21.3.5 A/D シャドーセレクトレジスタ (ADSSR)

ADSSR は 16 ビットの読み出し / 書き込み可能なレジスタで、DMAC/DTC による ADSSR 読み出し時の ADF ビットの自動クリアの禁止 / 許可、ADSSR から読み出せる A/D_0 と A/D_1 の ADDR とデータアライメントの選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	AD0FCE	AD1FCE	-	-	-	ADDALS	AD0SE	AD0SS[2:0]		AD1SE	AD1SS[2:0]			
初期値:	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	AD0FCE	1	R/W	AD0 フラグクリアイネーブル DMAC/DTC により ADSSR を読み出したとき、ADCSR_0 の ADF ビットの自動クリアの禁止 / 許可を設定します。 0: ADCSR_0 の ADF ビットの自動クリアを禁止 1: ADCSR_0 の ADF ビットの自動クリアを許可
12	AD1FCE	1	R/W	AD1 フラグクリアイネーブル DMAC/DTC により ADSSR を読み出したとき、ADCSR_1 の ADF ビットの自動クリアの禁止 / 許可を設定します。 0: ADCSR_1 の ADF ビットの自動クリアを禁止 1: ADCSR_1 の ADF ビットの自動クリアを許可
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ADDALS	1	R/W	AD データアライメントセレクト ADSSR に A/D_0 および A/D_1 の選択した ADDR を格納するときのデータ格納位置を選択します。 0: 上位 10 ビットに格納する 1: 下位 10 ビットに格納する
7	AD0SE	0	R/W	AD0 シャドーイネーブル ADSSR[31:16]から読み出せる A/D_0 の ADDR 読み出しの禁止 / 許可を設定します。 0: ADSSR[31:16]から A/D_0 の ADDR の読み出しを禁止 1: ADSSR[31:16]から A/D_0 の ADDR の読み出しを許可

ビット	ビット名	初期値	R/W	説明
6~4	AD0SS[2:0]	すべて0	R/W	AD0 シャドーセレクト AD0SS[2:0]の組み合わせで、ADSDR[31:16]から読み出せる A/D_0 の ADDR を選択します。 000 : A/D_0 の ADDR0 001 : A/D_0 の ADDR1 010 : A/D_0 の ADDR2 011 : A/D_0 の ADDR3 100 : A/D_0 の ADDR4 101 : A/D_0 の ADDR5 110 : A/D_0 の ADDR6 111 : A/D_0 の ADDR7
3	AD1SE	0	R/W	AD1 シャドーイネーブル ADSDR[15:0]から読み出せる A/D_1 の ADDR 読み出しの禁止 / 許可を設定します。 0 : ADSDR[15:0]から A/D_1 の ADDR の読み出しを禁止 1 : ADSDR[15:0]から A/D_1 の ADDR の読み出しを許可
2~0	AD1SS[2:0]	すべて0	R/W	AD1 シャドーセレクト AD1SS[2:0]の組み合わせで、ADSDR[15:0]から読み出せる A/D_1 の ADDR を選択します。 000 : A/D_1 の ADDR8 001 : A/D_1 の ADDR9 010 : A/D_1 の ADDR10 011 : A/D_1 の ADDR11 100 : A/D_1 の ADDR12 101 : A/D_1 の ADDR13 110 : A/D_1 の ADDR14 111 : A/D_1 の ADDR15

21.3.6 A/D トリガセレクトレジスタ_0 (ADTSR_0)

ADTSR_0 は、16 ビットの読み出し / 書き込み可能なレジスタで、外部トリガと MTU2、MTU2S からの A/D 変換開始トリガを選択します。特に、2 チャネルスキャンモードでは、A/D モジュール 0 および A/D モジュール 1 内の 4 チャネルをグループ 0 とグループ 1 の 2 グループに分け、それぞれ独立の A/D トリガを指定することができます。

2 チャネルスキャンモードを使用しない場合は、TRG0S[3:0] ビットと TRG1S[3:0] ビットの A/D 変換開始トリガを選択してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRG11S[3:0]				TRG01S[3:0]				TRG1S[3:0]				TRG0S[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TRG11S[3:0]	0000	R/W	<p>A/D トリガ 1 グループ 1 セレクト</p> <p>A/D モジュール 1 の 2 チャネルスキャンモード時のグループ 1 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 (\bar{ADTRG}) の入力</p> <p>0001 : MTU2 各チャネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)、および MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0110 : MTU2S 各チャネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)、および MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p>

【記号説明】 x : Don't care

ビット	ビット名	初期値	R/W	説 明
11~8	TRG01S[3:0]	0000	R/W	<p>A/D トリガ 0 グループ 1 セレクト</p> <p>A/D モジュール 0 の 2 チャンルスキャンモード時のグループ 1 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 (ADTRG) の入力</p> <p>0001 : MTU2 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)、および MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0110 : MTU2S 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)、および MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p>

【記号説明】 x : Don't care

ビット	ビット名	初期値	R/W	説 明
7~4	TRG1S[3:0]	0000	R/W	<p>A/D トリガ 1 セレクト</p> <p>A/D モジュール 1 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。2 チャネルスキャンモード時では、グループ 0 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 (ADTRG) の入力</p> <p>0001 : MTU2 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)、および MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0110 : MTU2S 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)、および MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p>

【記号説明】 x : Don't care

ビット	ビット名	初期値	R/W	説 明
3~0	TRG0S[3:0]	0000	R/W	<p>A/D トリガ 0 セレクト</p> <p>A/D モジュール 0 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。2 チャネルスキャンモード時では、グループ 0 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 (ADTRG) の入力</p> <p>0001 : MTU2 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)、および MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0110 : MTU2S 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)、および MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p>

【記号説明】 x : Don't care

21.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードと 2 チャンルスキャンモード、4 チャンルスキャンモード、および 8 チャンルスキャンモードがあり、さらにそれぞれに対して、連続スキャンモードと 1 サイクルスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCR の ADST ビットが 0 の状態で行ってください。

21.4.1 シングルモード

シングルモードは、指定された 1 チャンルのアナログ入力を以下のように A/D 変換します。

1. ソフトウェア、MTU2、MTU2Sまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、1サイクルスキャンモード時は、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。連続スキャンモード時は、ADSTビットは自動的にクリアされず、A/D変換器は再びA/D変換を開始し、ADSTビットが1にセットされている間は2.~3.を繰り返します。A/D変換中にADSTビットを0にクリアすると、変換を中止してA/D変換器は待機状態になります。

図 21.3 に、1 サイクルスキャンでチャンネル1 選択時の動作例を示します。

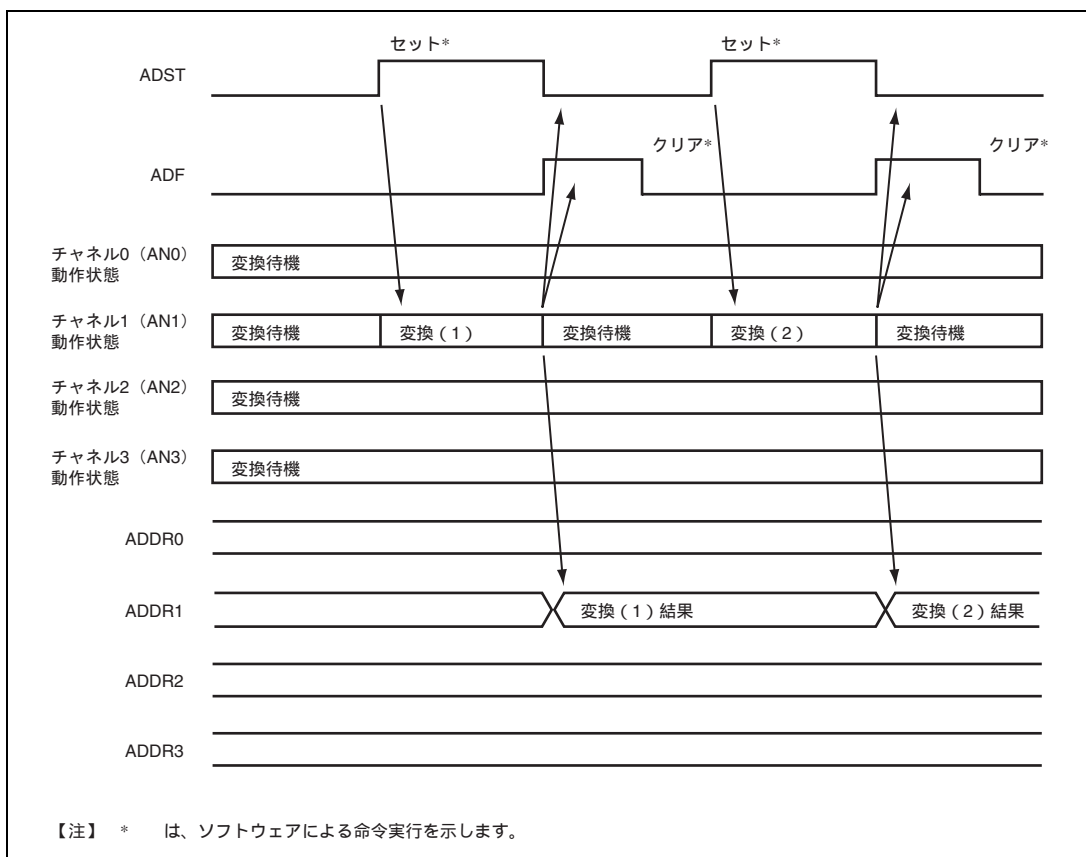


図 21.3 A/D 変換器の動作例 (シングルモードで1 サイクルスキャン、チャンネル1 選択時)

21.4.2 2 チャンネルスキャンモード

2 チャンネルスキャンモードは、指定された 1~2 チャンネルのアナログ入力を以下のように A/D 変換します。

- ソフトウェア、MTU2、MTU2S、または外部トリガ入力によって ADCR の ADST ビットが 1 にセットされると、アナログ入力チャンネル番号の小さい順 (例えば、AN0、AN1) に A/D 変換を実行します。
- それぞれのチャンネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャンネルに対応する A/D データレジスタに転送されます。
- 選択されたすべてのチャンネルの A/D 変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
- ADST ビットは A/D 変換中は 1 を保持し、1 サイクルスキャンモード時は、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。連続スキャンモード時は、ADST ビットは自動的にクリアされず、A/D 変換器は再びアナログ入力チャンネル番号の小さい順 (例えば、AN0、AN1) に A/D 変換を開始し、ADST ビットが 1 にセットされている間は 2.~3. を繰り返します。A/D 変換中に ADST ビットを 0 にクリアすると、変換を中止して、A/D 変換器は待機状態になります。

21.4.3 4 チャンルスキャンモード

4 チャンルスキャンモードは、指定された 1~4 チャンルのアナログ入力を以下のように A/D 変換します。

1. ソフトウェア、MTU2、MTU2Sまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順（例えば、AN0、AN1、AN2、AN3）にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、1サイクルスキャンモード時は、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。連続スキャンモード時は、ADSTビットは自動的にクリアされず、A/D変換器は再びアナログ入力チャンネル番号の小さい順（例えば、AN0、AN1、AN2、AN3）にA/D変換を開始し、ADSTビットが1にセットされている間は2.~3.を繰り返します。A/D変換中にADSTビットを0にクリアすると、変換を中止して、A/D変換器は待機状態になります。

図 21.4 に、連続スキャンで AN0～AN2 の 3 チャンネル選択時の動作例を示します。

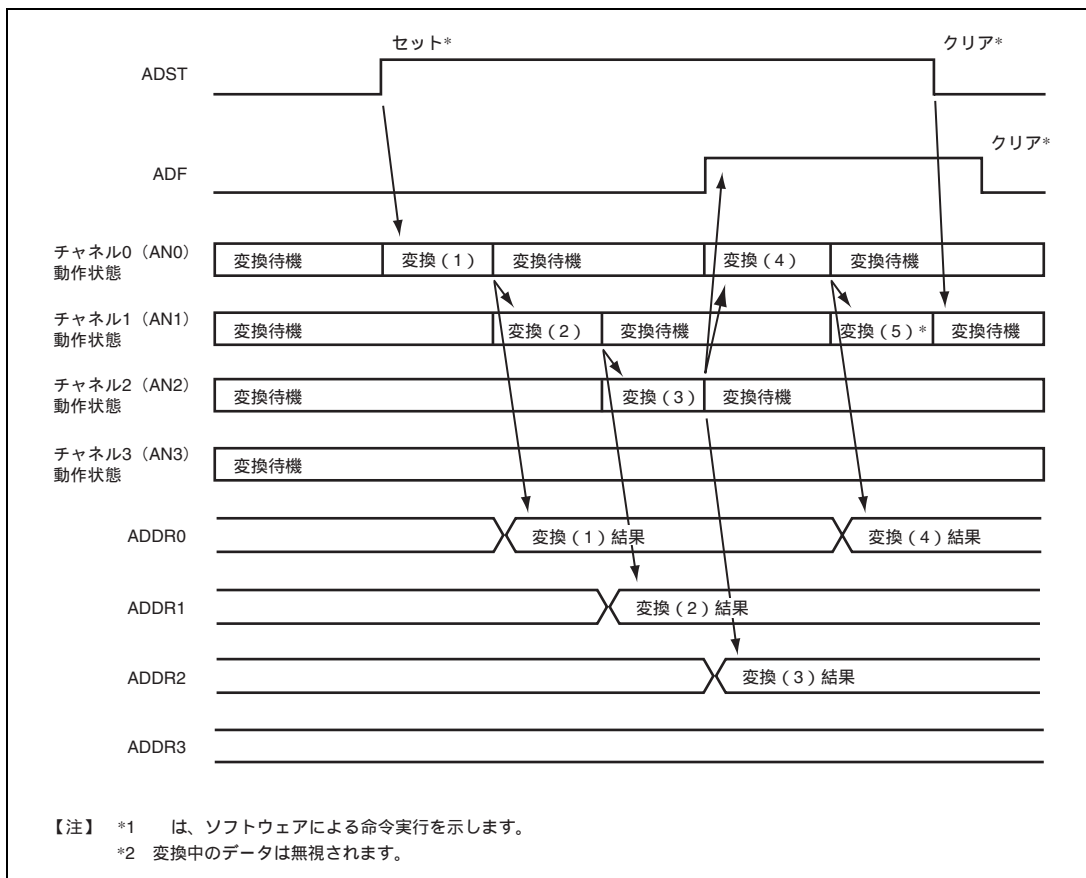


図 21.4 A/D 変換器の動作例 (4 チャンネルスキャンモードで連続スキャン、AN0～AN2 の 3 チャンネル選択時)

21.4.4 8 チャンネルスキャンモード

8 チャンネルスキャンモードは、指定された 1～8 チャンネルのアナログ入力を以下のように A/D 変換します。

- ソフトウェア、MTU2、MTU2S、または外部トリガ入力によって ADCR の ADST ビットが 1 にセットされると、アナログ入力チャンネル番号の小さい順 (例えば、AN0、AN1、AN2、AN3、AN4、AN5、AN6、AN7) に A/D 変換を実行します。
- それぞれのチャンネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャンネルに対応する A/D データレジスタに転送されます。
- 選択されたすべてのチャンネルの A/D 変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
- ADST ビットは A/D 変換中は 1 を保持し、1 サイクルスキャンモード時は、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。連続スキャンモード時は、ADST ビットは自動的にクリアされず、

A/D変換器は再びアナログ入力チャンネル番号の小さい順 (例えば、AN0、AN1、AN2、AN3、AN4、AN5、AN6、AN7) にA/D変換を開始し、ADSTビットが1にセットされている間は2.~3.を繰り返します。A/D変換中にADSTビットを0にクリアすると、変換を中止して、A/D変換器は待機状態になります。

21.4.5 2チャンネルスキャンモード時のA/D変換起動要因

2チャンネルスキャンモードは4チャンネルのアナログ入力をグループ0とグループ1に分けており、グループ0とグループ1に個別のトリガによる起動要因を選択できます。2チャンネルスキャンモードの変換終了割り込みは、グループ0もしくはグループ1それぞれの終了後、もしくはグループ0とグループ1両方の終了後を選択できます。なお、グループ0の変換中にグループ1の変換要求が発生した場合、グループ1の変換要求は無視されます。同様にグループ1の変換中にグループ0の変換要求が発生した場合、グループ0の変換要求は無視されます。グループ0のA/D変換開始要求にMTU2のTRG4AN、グループ1のA/D変換開始要求にMTU2のTRG4BNを設定した場合の動作例を図21.5に示します。

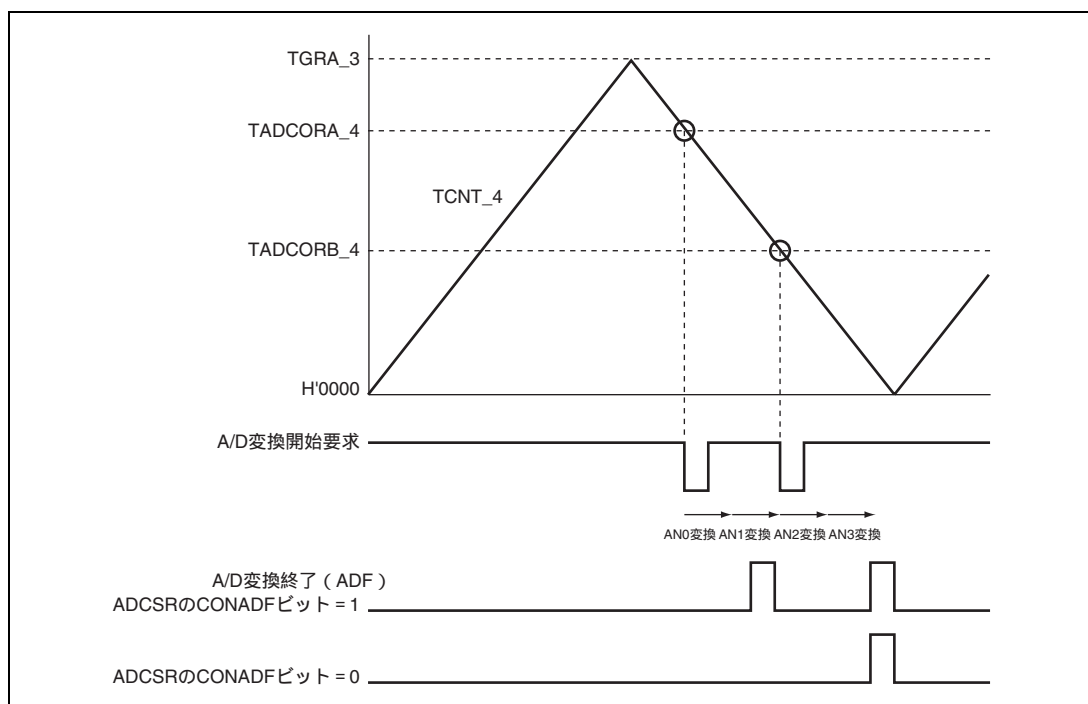


図 21.5 2チャンネルスキャンの動作例

21.4.6 入力サンプリングと A/D 変換時間

A/D 変換器には、モジュールごとにサンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCR の ADST ビットが 1 にセットされてから、A/D 変換開始遅延時間 (t_D) 経過後、入力サンプリングを行い、その後変換を開始します。

A/D 変換のタイミングを図 21.6 に示します。また、A/D 変換時間を表 21.4 に示します。

A/D 変換時間 (t_{CONV}) は、図 21.6 に示すように、A/D 変換開始遅延時間 (t_D)、入力サンプリング時間 (t_{SPL}) と入力電圧比較と結果出力時間 (t_{NC}) を含めた時間となります。ここで、 t_D は ADCR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 21.4 に示す範囲で変化します。

スキャンモードの変換時間は表 21.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 21.5 に示す値となります。

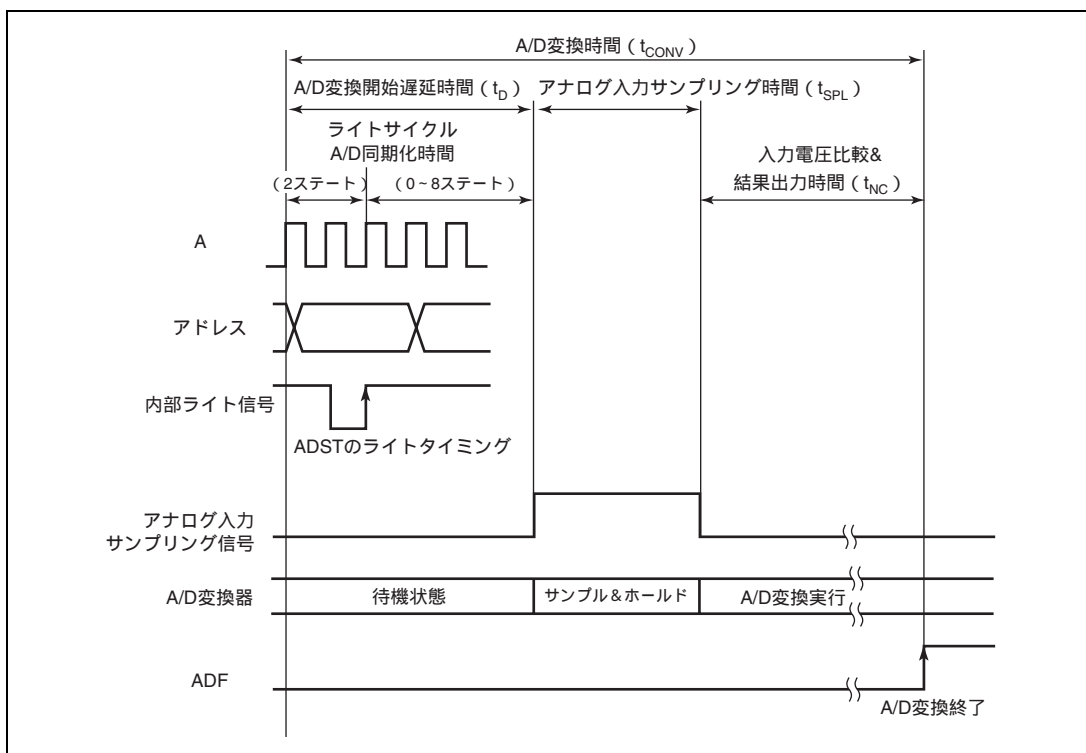


図 21.6 A/D 変換タイミング

表 21.4 A/D 変換時間 (シングルモード)

CKS1	CKS0	STC2	STC1	STC0	変換時間 [t _{CONV}] (ステート)	変換時間内訳 (ステート)			変換時間計算例[us]						
						変換開始 遅延時間 [t _b]	入力サンプリング 時間 [t _{SP}]	入力電圧比較& 結果出力時間 [t _{VC}]	A = 25MHz[t _{CONV}]	A = 50MHz[t _{CONV}]					
0	0	0	0	0	1,802 ~ 1,810	2 ~ 10	1,600	200	72.08 ~ 72.4	36.04 ~ 36.2					
				1	1,002 ~ 1,010				40.08 ~ 40.4	20.04 ~ 20.2					
				1	0				906 ~ 914	36.24 ~ 36.56	18.12 ~ 18.28				
					1				802 ~ 810	32.08 ~ 32.4	16.04 ~ 16.2				
					0				706 ~ 714	28.24 ~ 28.56	14.12 ~ 14.28				
		1	0	602 ~ 610	24.08 ~ 24.4				12.04 ~ 12.2						
			1	0	506 ~ 514				20.24 ~ 20.56	10.12 ~ 10.28					
				1	402 ~ 410				16.08 ~ 16.4	8.04 ~ 8.2					
				1	0				0	902 ~ 906	2 ~ 6	800	100	36.08 ~ 36.24	18.04 ~ 18.12
									1	502 ~ 506				20.08 ~ 20.24	10.04 ~ 10.12
	1	0	454 ~ 458			18.16 ~ 18.32	9.08 ~ 9.16								
		1	402 ~ 406			16.08 ~ 16.24	8.04 ~ 8.12								
		0	354 ~ 358			14.16 ~ 14.32	7.08 ~ 7.16								
	1	0	302 ~ 306		12.08 ~ 12.24	6.04 ~ 6.12									
		1	0		254 ~ 258	10.16 ~ 10.32	5.08 ~ 5.16								
			1		202 ~ 206	8.08 ~ 8.24	4.04 ~ 4.12								
			1		0	0	452 ~ 454	2 ~ 4	400	50				18.08 ~ 18.16	9.04 ~ 9.08
						1	252 ~ 254							10.08 ~ 10.16	5.04 ~ 5.08
	1	0		228 ~ 230		9.12 ~ 9.2	4.56 ~ 4.6								
		1		202 ~ 204		8.08 ~ 8.16	4.04 ~ 4.08								
0		178 ~ 180		7.12 ~ 7.2		3.56 ~ 3.6									
1	0	152 ~ 154		6.08 ~ 6.16	3.04 ~ 3.08										
	1	0		128 ~ 130	5.12 ~ 5.2	2.56 ~ 2.6									
		1		102 ~ 104	4.08 ~ 4.16	2.04 ~ 2.08									
		1		0	0	227 ~ 228	2 ~ 3				200	25	9.08 ~ 9.12	4.54 ~ 4.56	
					1	127 ~ 128							5.08 ~ 5.12	2.54 ~ 2.56	
1	0		115 ~ 116		4.6 ~ 4.64	2.3 ~ 2.32									
	1		102 ~ 103		4.08 ~ 4.12	2.04 ~ 2.06									
	0		90 ~ 91		3.6 ~ 3.64	1.8 ~ 1.82									
1	0		77 ~ 78	3.08 ~ 3.12	1.54 ~ 1.56										
	1		0	65 ~ 66	2.6 ~ 2.64	1.3 ~ 1.32									
			1	52 ~ 53	2.08 ~ 2.12	1.04 ~ 1.06									

表 21.5 A/D 変換時間 (スキャンモード)

CKS1	CKS0	STC2	STC1	STC0	変換時間 [t_{conv}] (スタート)	変換時間内訳 (スタート)		変換時間計算例[us]		
						入力サンプリング時間 [t_{spl}]	入力電圧比較& 結果出力時間 [t_{wc}]	A = 25MHz[t_{conv}]	A = 50MHz[t_{conv}]	
0	0	0	0	0	1,800	1,600	200	72	36	
				1	1,000			40	20	
			1	0	904	704		36.16	18.08	
				1	800	600		32	16	
		1	0	0	704	504		28.16	14.08	
				1	600	400		24	12	
			1	0	504	304		20.16	10.08	
				1	400	200		16	8	
	1	0	0	0	900	800	100	36	18	
				1	500			400	20	10
			1	0	452			352	18.08	9.04
				1	400			300	16	8
		1	0	0	352	252		14.08	7.04	
				1	300	200		12	6	
			1	0	252	152		10.08	5.04	
				1	200	100		8	4	
1	0	0	0	0	450	400	50	18	9	
				1	250			200	10	5
			1	0	226			176	9.04	4.52
				1	200			150	8	4
		1	0	0	176	126		7.04	3.52	
				1	150	100		6	3	
			1	0	126	76		5.04	2.52	
				1	100	50		4	2	
	1	0	0	0	225	200	25	9	4.5	
				1	125			100	5	2.5
			1	0	113			88	4.52	2.26
				1	100			75	4	2
		1	0	0	88	63		3.52	1.76	
				1	75	50		3	1.5	
			1	0	63	38		2.52	1.26	
				1	50	25		2	1	

21.4.7 MTU2、MTU2S による A/D 変換器の起動

MTU2、MTU2S のインターバルタイマの A/D 変換要求によって、A/D 変換器を独立に起動することができます。

MTU2、MTU2S から A/D 変換器を起動するときには、A/D コントロール/ステータスレジスタ (ADCSR) の TRGE ビットを 1 にして、A/D トリガセレクトレジスタ (ADTSR) の設定を行います。この状態で MTU2、MTU2S のインターバルタイマの A/D 変換要求が発生すると、ADST ビットを 1 にセットします。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

21.4.8 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロール/ステータスレジスタ (ADCSR) の TRGE ビットを 1 にして、A/D トリガセレクトレジスタ_0 (ADTSR_0) の設定が外部トリガ端子の入力に設定されているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がリエッジで、ADCR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 21.7 に示します。

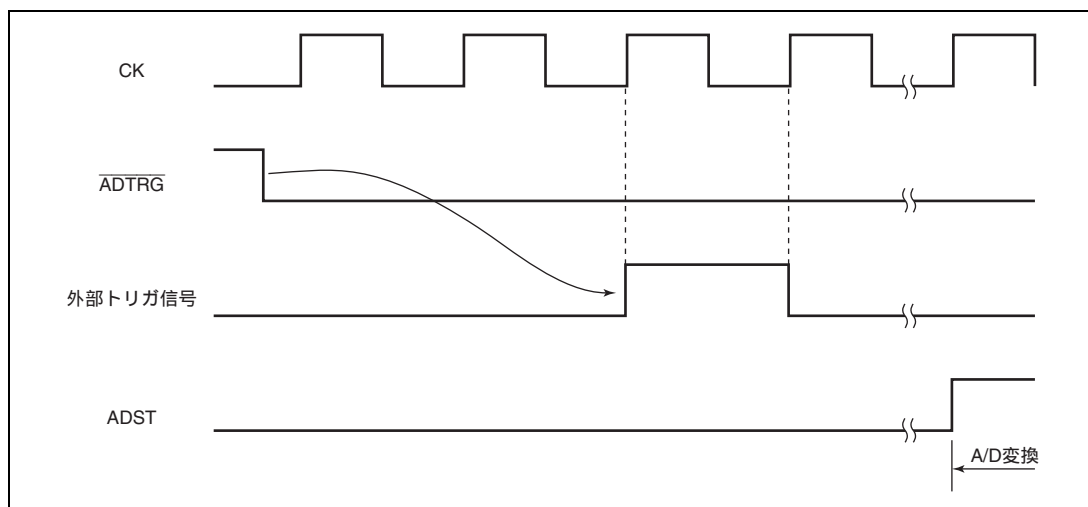


図 21.7 外部トリガ入力タイミング

21.4.9 A/D シャドーレジスタ (ADSDR) のアクセス

ADSDR には ADSSR で選択した A/D_0 と A/D_1 の A/D 変換結果がセットされます。これにより、A/D_0 と A/D_1 の変換結果を 1 回のロングワードアクセスで読み出すことができます。

ADSDR を DMAC/DTC でアクセスした場合は、A/D シャドーセレクトレジスタ (ADSSR) の AD0FCE ビットと AD1FCE ビットが 1 にセットされていると、A/D_0 と A/D_1 の ADCSR の ADF ビットをクリアします。

DMAC による ADSDR アクセスタイミング例を図 21.8 に示します。

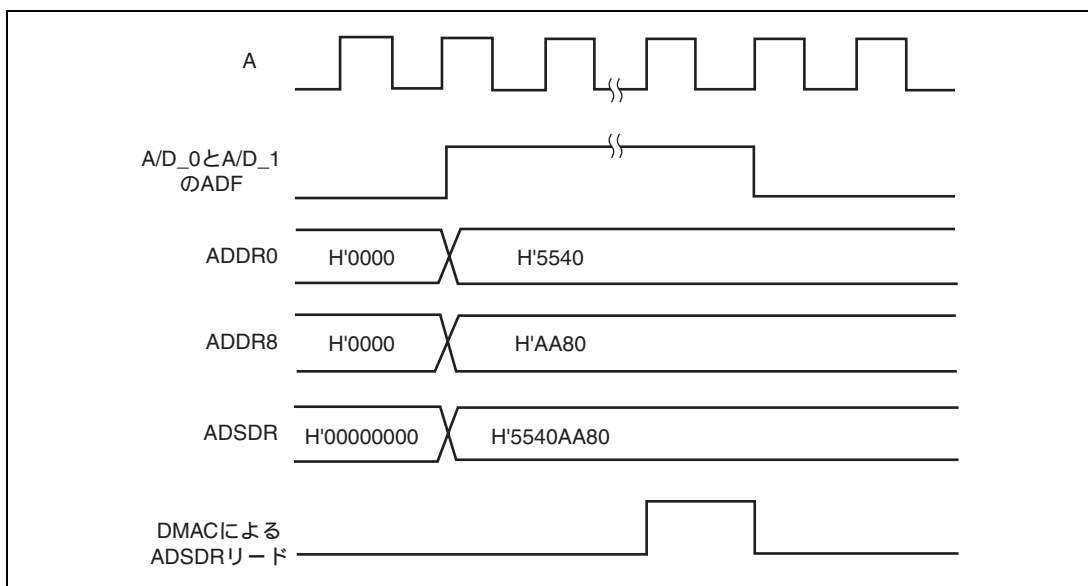


図 21.8 DMAC による ADSDR のアクセス例 (ADSSR の AD0FCE ビットと AD1FCE ビットが 1 のとき)

21.5 割り込み要因と DMAC/DTC 転送要求

A/D 変換器は、A/D 変換終了割り込み要求 (ADI) を発生することができます。A/D コントロールステータスレジスタ (ADCSR) の ADIE ビットを 1 にセットすると ADI を許可、0 にクリアすると ADI を禁止することができます。

また、ADI 発生時にダイレクトメモリアクセスコントローラ (DMAC) もしくはデータ転送コントローラ (DTC) を起動してデータ転送を行うことができます。DMAC 起動によるデータ転送時は、A/D データレジスタ (ADDR) もしくは A/D シャドウデータレジスタ (ADSDR) の読み出しが行われると ADF フラグが自動的に 0 にクリアされて CPU への ADI 割り込み要求は発生しません。DTC 起動によるデータ転送時は、DTC の DISEL ビットが 0 でかつ転送カウンタ値が 0 以外の場合には、ADDR もしくは ADSDR の読み出しが行われると ADF フラグが自動的に 0 にクリアされて CPU への ADI 割り込み要求は発生しませんが、DISEL ビットが 0 でかつ転送カウンタが 0、もしくは DISEL ビットが 1 の場合には、ADDR もしくは ADSDR の読み出しが行われても ADF フラグは 0 にクリアされずに ADDR もしくは ADSDR の読み出し後に CPU への ADI 割り込み要求が発生します。

変換されたデータの転送を DMAC/DTC で行うことで、連続変換がソフトウェアの負担なく実現できます。

表 21.6 A/D 変換器の割り込み要因

名 称	割り込み要因	割り込みフラグ	DMAC の起動	DTC の起動
ADI0	A/D_0 変換終了	ADCSR_0 の ADF	可	可
ADI1	A/D_1 変換終了	ADCSR_1 の ADF	可	可

21.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図21.9)。

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'00) からB'000000001 (H'01) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図21.10)。

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図21.10)。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図21.10)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

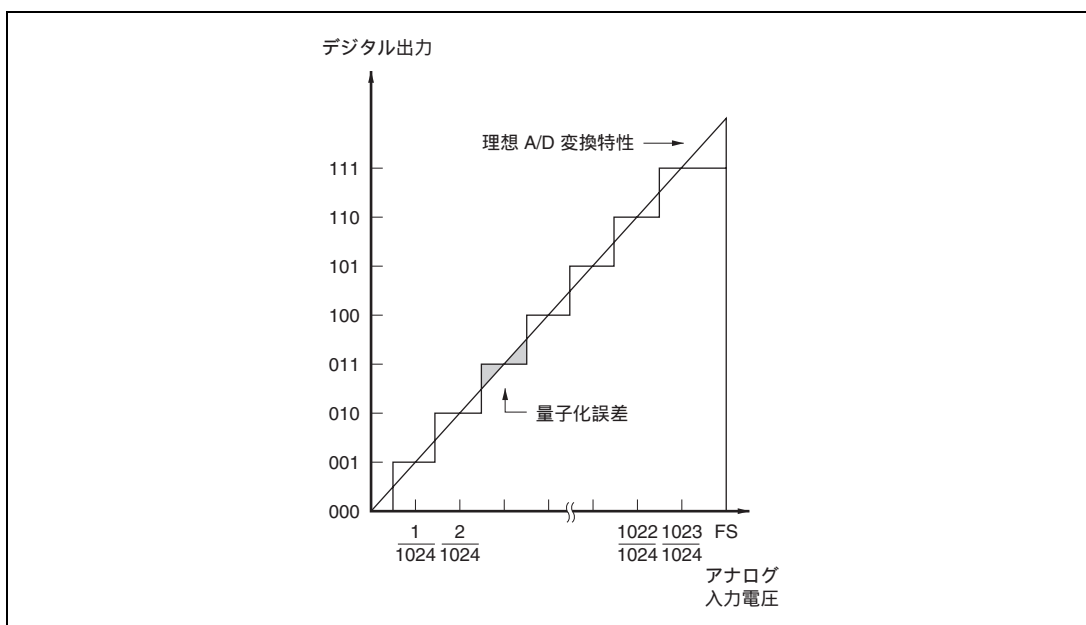


図 21.9 A/D 変換精度の定義

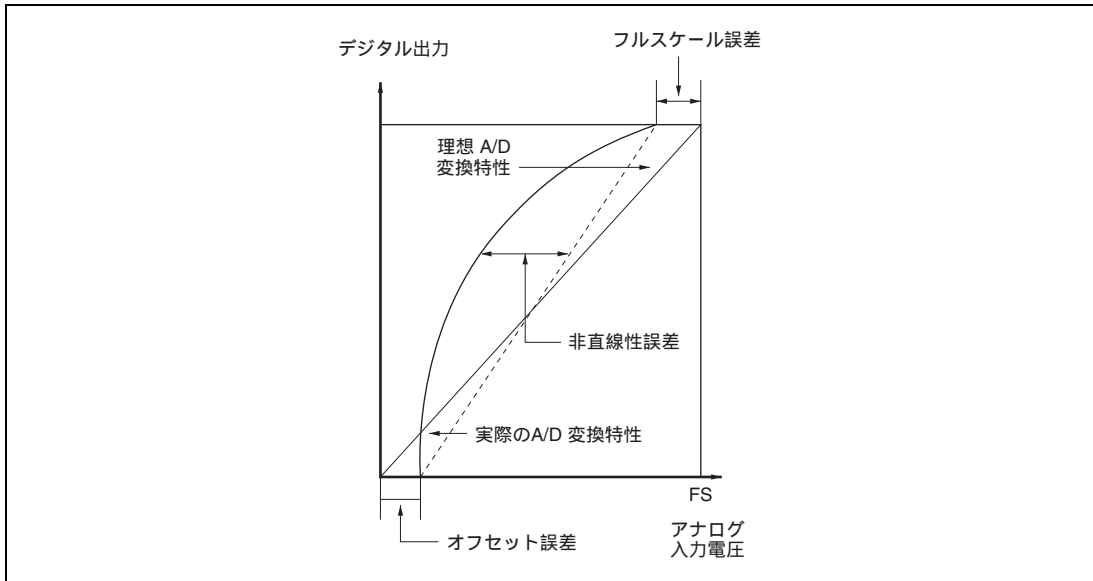


図 21.10 A/D 変換精度の定義

21.7 使用上の注意事項

21.7.1 モジュールスタンバイモードの設定

A/D 変換器は、スタンバイコントロールレジスタにより、本モジュールの禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

21.7.2 2 チャンルスキャンモードにおける A/D 変換要求

グループ 0 の変換中にグループ 1 の変換要求が発生した場合、グループ 1 の変換要求は無視されます。同様にグループ 1 の変換中にグループ 0 の変換要求が発生した場合、グループ 0 の変換要求は無視されます。

21.7.3 MTU2/MTU2S A/D 変換開始要求ディレイドによる A/D 変換要求

A/D 変換開始要求に、「MTU2 の TRG4AN、および TRG4BN」を選択した場合、MTU2 の TRG4AN の A/D 変換中に MTU2 の TRG4BN が入力された場合、MTU2 の TRG4BN の A/D 変換開始要求は無視されます。同様に、MTU2 の TRG4BN の A/D 変換中に MTU2 の TRG4AN が入力された場合、MTU2 の TRG4AN の A/D 変換開始要求は無視されます。

A/D 変換開始要求に、「MTU2S の TRG4AN、および TRG4BN」を選択した場合、MTU2S の TRG4AN の A/D 変換中に MTU2S の TRG4BN が入力された場合、MTU2S の TRG4BN の A/D 変換開始要求は無視されます。同様に、MTU2S の TRG4BN の A/D 変換中に MTU2S の TRG4AN が入力された場合、MTU2S の TRG4AN の A/D 変換開始要求は無視されます。

21.7.4 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが 1.3k Ω 以下の入力信号に対し、最小変換時間での変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 1.3k Ω を超える場合、またはサンプリング時間内に微分係数の大きなアナログ信号（例えば 5mV/ μ s 以上）が入力された場合は、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の 7k Ω だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば 5mV/ μ s 以上）には追従できないことがあります（図 21.11）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

21.7.5 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

また、フィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

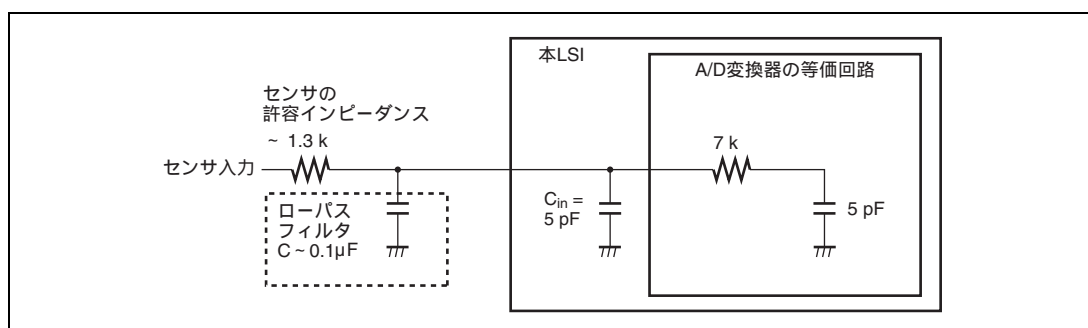


図 21.11 アナログ入力回路の例

21.7.6 アナログ電源端子などの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} V_{AN} AV_{ref} の範囲としてください。

- AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{SS} = V_{SS}$ とし、さらに、A/D変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子をオープンにしないでください。

- AV_{ref} 入力電圧の設定範囲

AV_{ref} 端子の入力電圧は、 AV_{ref} AV_{CC} としてください。

A/D変換器を使用しない場合、 $AV_{ref} = AV_{CC}$ としてください。

21.7.7 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子 ($AN_0 \sim AN_{15}$)、アナログ電源電圧 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路と分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したグランド (V_{SS}) に一点接続してください。

21.7.8 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN15) の破壊を防ぐために、図 21.12 に示すように AV_{cc} - AV_{ss} 間に保護回路を接続してください。AV_{cc} に接続するバイパスコンデンサ、AN0 ~ AN15 に接続するフィルタ用のコンデンサは、必ず AV_{ss} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0 ~ AN15 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が、入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。

したがって、回路定数は十分ご検討の上決定してください。

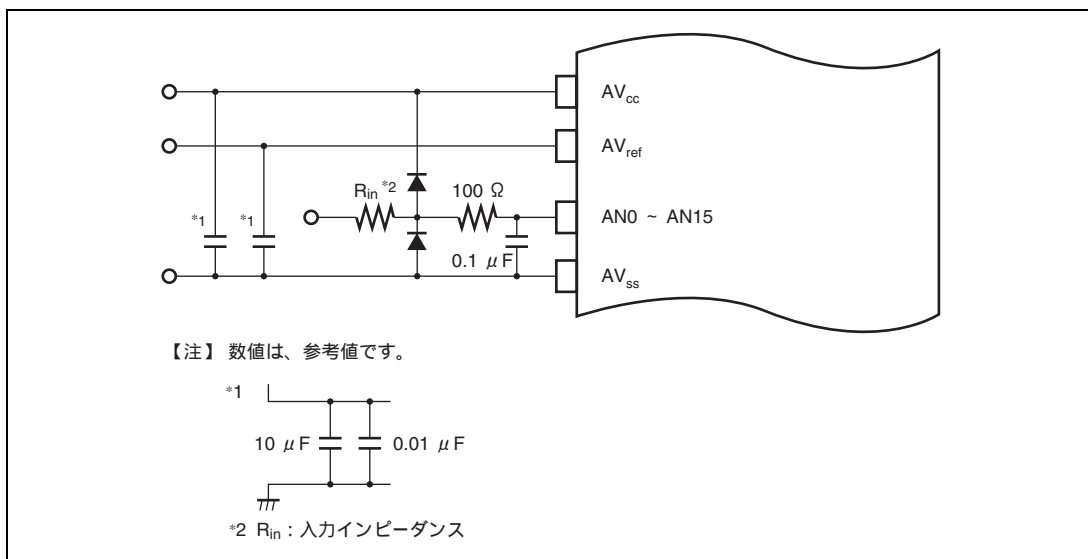


図 21.12 アナログ入力保護回路の例

表 21.7 アナログ端子の規格

項 目	Min.	Max.	単位	条件
アナログ入力容量	-	5	pF	-
許容信号源インピーダンス	-	1.3	k	最小変換時間に設定時

22. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 22.1 ~ 表 22.11 に本 LSI のマルチプレクス端子を示します。

表 22.12 に動作モード別端子機能一覧を示します。

表 22.1 マルチプレクス一覧表 (ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	PA0 入出力 (ボ - ト)	$\overline{CS0}$ 出力 (BSC)	IRQ0 入力 (INTC)	RXD0 入力 (SCI_0)
	PA1 入出力 (ボ - ト)	$\overline{CS1}$ 出力 (BSC)	IRQ1 入力 (INTC)	TXD0 出力 (SCI_0)
	PA2 入出力 (ボ - ト)	$\overline{CS2}$ 出力 (BSC)	CTx0 出力 (RCAN-ET)	SCK0 入出力 (SCI_0)
	PA3 入出力 (ボ - ト)	$\overline{CS3}$ 出力 (BSC)	CTx0 出力 (RCAN-ET)	SCK1 入出力 (SCI_1)
	PA4 入出力 (ボ - ト)	$\overline{CS4}$ 出力 (BSC)	CRx0 入力 (RCAN-ET)	TXD1 出力 (SCI_1)
	PA5 入出力 (ボ - ト)	$\overline{CS5}$ 出力 (BSC)	-	RXD1 入力 (SCI_1)
	PA6 入出力 (ボ - ト)	$\overline{CS6}$ 出力 (BSC)	IRQ2 入力 (INTC)	TCLKA 入力 (MTU2)
	PA7 入出力 (ボ - ト)	$\overline{CS7}$ 出力 (BSC)	IRQ3 入力 (INTC)	TCLKB 入力 (MTU2)
	PA8 入出力 (ボ - ト)	RDWR 出力 (BSC)	IRQ4 入力 (INTC)	TCLKC 入力 (MTU2)
	PA9 入出力 (ボ - ト)	\overline{BS} 出力 (BSC)	IRQ5 入力 (INTC)	TCLKD 入力 (MTU2)
	PA10 入出力 (ボ - ト)	WRHH/DQMUI 出力 (BSC)	IRQ6 入力 (INTC)	RXD4 入力 (SCIF_4)
	PA11 入出力 (ボ - ト)	$\overline{WRHL}/DQMUL$ 出力 (BSC)	IRQ7 入力 (INTC)	TXD4 出力 (SCIF_4)
	PA12 入出力 (ボ - ト)	$\overline{WRH}/DQMLU$ 出力 (BSC)	IRQ8 入力 (INTC)	SCK4 入出力 (SCIF_4)
	PA13 入出力 (ボ - ト)	$\overline{WRL}/DQMLL$ 出力 (BSC)	IRQ9 入力 (INTC)	RXD5 入力 (SCIF_5)
	PA14 入出力 (ボ - ト)	\overline{RD} 出力 (BSC)	IRQ10 入力 (INTC)	TXD5 出力 (SCIF_5)
	PA15 入出力 (ボ - ト)	CK 出力 (CPG)	IRQ11 入力 (INTC)	SCK5 入出力 (SCIF_5)
	PA16 入出力 (ボ - ト)	\overline{BACK} 出力 (BSC)	IRQ12 入力 (INTC)	\overline{ADTRG} 入力 (A/D)
	PA17 入出力 (ボ - ト)	\overline{BREQ} 入力 (BSC)	IRQ13 入力 (INTC)	$\overline{POE8}$ 入力 (POE2)
	PA18 入出力 (ボ - ト)	WAIT 入力 (BSC)	IRQ14 入力 (INTC)	$\overline{POE4}$ 入力 (POE2)
PA19 入出力 (ボ - ト)	\overline{AH} 出力 (BSC)	IRQ15 入力 (INTC)	$\overline{POE0}$ 入力 (POE2)	

表 22.2 マルチプレクス一覧表 (ポート B)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
B	PB0 入出力 (ボ - ト)	A16 出力 (BSC)	POE0 入力 (POE2)	-
	PB1 入出力 (ボ - ト)	A17 出力 (BSC)	ADTRG 入力 (A/D)	-
	PB2 入出力 (ボ - ト)	MRES 入力 (INTC)	POE7 入力 (POE2)	SCL 入出力 (IIC3)
	PB3 入出力 (ボ - ト)	IRQOUT 出力 (INTC)	POE6 入力 (POE2)	SDA 入出力 (IIC3)
	PB4 入出力 (ボ - ト)	A18 出力 (BSC)	POE5 入力 (POE2)	RXD0 入力 (SCI_0)
	PB5 入出力 (ボ - ト)	A19 出力 (BSC)	POE4 入力 (POE2)	TXD0 出力 (SCI_0)
	PB6 入出力 (ボ - ト)	A20 出力 (BSC)	POE8 入力 (POE2)	SCK0 入出力 (SCI_0)
	PB7 入出力 (ボ - ト)	CS0 出力 (BSC)	CS4 出力 (BSC)	REFOUT 出力 (BSC)
	PB8 入出力 (ボ - ト)	CS1 出力 (BSC)	CS5 出力 (BSC)	RXD2 入力 (SCI_2)
	PB9 入出力 (ボ - ト)	A21 出力 (BSC)	CKE 出力 (BSC)	TXD2 出力 (SCI_2)
	PB10 入出力 (ボ - ト)	A22 出力 (BSC)	CASL 出力 (BSC)	SCK2 入出力 (SCI_2)
	PB11 入出力 (ボ - ト)	A23 出力 (BSC)	CASU 出力 (BSC)	RXD6 入力 (SCIF_6)
	PB12 入出力 (ボ - ト)	A24 出力 (BSC)	RASL 出力 (BSC)	TXD6 出力 (SCIF_6)
	PB13 入出力 (ボ - ト)	A25 出力 (BSC)	RASU 出力 (BSC)	SCK6 入出力 (SCIF_6)

表 22.3 マルチプレクス一覧表 (ポート C)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC0 入出力 (ボ - ト)	A0 出力 (BSC)	TIC5U 入力 (MTU2)	POE0 入力 (POE2)
	PC1 入出力 (ボ - ト)	A1 出力 (BSC)	TIC5V 入力 (MTU2)	POE1 入力 (POE2)
	PC2 入出力 (ボ - ト)	A2 出力 (BSC)	TIC5W 入力 (MTU2)	POE2 入力 (POE2)
	PC3 入出力 (ボ - ト)	A3 出力 (BSC)	TIC5WS 入力 (MTU2S)	POE3 入力 (POE2)
	PC4 入出力 (ボ - ト)	A4 出力 (BSC)	TIC5VS 入力 (MTU2S)	SCK3 入出力 (SCI_3)
	PC5 入出力 (ボ - ト)	A5 出力 (BSC)	TIC5US 入力 (MTU2S)	TXD3 出力 (SCI_3)
	PC6 入出力 (ボ - ト)	A6 出力 (BSC)	UBCTRГ 出力 (UBC)	RXD3 入力 (SCI_3)
	PC7 入出力 (ボ - ト)	A7 出力 (BSC)	IRQOUT 出力 (INTC)	SCK6 入出力 (SCIF_6)
	PC8 入出力 (ボ - ト)	A8 出力 (BSC)	IRQ16 入力 (INTC)	TXD6 出力 (SCIF_6)
	PC9 入出力 (ボ - ト)	A9 出力 (BSC)	IRQ17 入力 (INTC)	RXD6 入力 (SCIF_6)
	PC10 入出力 (ボ - ト)	A10 出力 (BSC)	IRQ18 入力 (INTC)	SCK4 入出力 (SCIF_4)
	PC11 入出力 (ボ - ト)	A11 出力 (BSC)	IRQ19 入力 (INTC)	TXD4 出力 (SCIF_4)
	PC12 入出力 (ボ - ト)	A12 出力 (BSC)	IRQ20 入力 (INTC)	RXD4 入力 (SCIF_4)
	PC13 入出力 (ボ - ト)	A13 出力 (BSC)	IRQ21 入力 (INTC)	SCK7 入出力 (SCIF_7)
	PC14 入出力 (ボ - ト)	A14 出力 (BSC)	IRQ22 入力 (INTC)	TXD7 出力 (SCIF_7)
PC15 入出力 (ボ - ト)	A15 出力 (BSC)	IRQ23 入力 (INTC)	RXD7 入力 (SCIF_7)	

表 22.4 マルチプレクス一覧表 (ポート D)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
D	PD0 入出力 (ボ - ト)	D0 入出力 (BSC)	SCK1 入出力 (SCI_1)	KEY0 入力 (KEYC)
	PD1 入出力 (ボ - ト)	D1 入出力 (BSC)	TXD1 出力 (SCI_1)	KEY1 入力 (KEYC)
	PD2 入出力 (ボ - ト)	D2 入出力 (BSC)	RXD1 入力 (SCI_1)	KEY2 入力 (KEYC)
	PD3 入出力 (ボ - ト)	D3 入出力 (BSC)	SCK7 入出力 (SCIF_7)	KEY3 入力 (KEYC)
	PD4 入出力 (ボ - ト)	D4 入出力 (BSC)	TXD7 出力 (SCIF_7)	KEY4 入力 (KEYC)
	PD5 入出力 (ボ - ト)	D5 入出力 (BSC)	RXD7 入力 (SCIF_7)	KEY5 入力 (KEYC)
	PD6 入出力 (ボ - ト)	D6 入出力 (BSC)	SCK2 入出力 (SCI_2)	KEY6 入力 (KEYC)
	PD7 入出力 (ボ - ト)	D7 入出力 (BSC)	$\overline{POE8}$ 入力 (POE2)	KEY7 入力 (KEYC)
	PD8 入出力 (ボ - ト)	D8 入出力 (BSC)	TXD2 出力 (SCI_2)	KEY8 入力 (KEYC)
	PD9 入出力 (ボ - ト)	D9 入出力 (BSC)	RXD2 入力 (SCI_2)	KEY9 入力 (KEYC)
	PD10 入出力 (ボ - ト)	D10 入出力 (BSC)	SCK5 入出力 (SCIF_5)	KEY10 入力 (KEYC)
	PD11 入出力 (ボ - ト)	D11 入出力 (BSC)	TXD5 出力 (SCIF_5)	KEY11 入力 (KEYC)
	PD12 入出力 (ボ - ト)	D12 入出力 (BSC)	RXD5 入力 (SCIF_5)	KEY12 入力 (KEYC)
	PD13 入出力 (ボ - ト)	D13 入出力 (BSC)	SCK3 入出力 (SCI_3)	KEY13 入力 (KEYC)
	PD14 入出力 (ボ - ト)	D14 入出力 (BSC)	TXD3 出力 (SCI_3)	KEY14 入力 (KEYC)
	PD15 入出力 (ボ - ト)	D15 入出力 (BSC)	RXD3 入力 (SCI_3)	KEY15 入力 (KEYC)
	PD16 入出力 (ボ - ト)	D16 入出力 (BSC)	TCLKA 入力 (MTU2)	KEY16 入力/COM0 出力 (KEYC)
	PD17 入出力 (ボ - ト)	D17 入出力 (BSC)	TCLKB 入力 (MTU2)	KEY17 入力/COM1 出力 (KEYC)
	PD18 入出力 (ボ - ト)	D18 入出力 (BSC)	TCLKC 入力 (MTU2)	KEY18 入力/COM2 出力 (KEYC)
	PD19 入出力 (ボ - ト)	D19 入出力 (BSC)	TCLKD 入力 (MTU2)	KEY19 入力/COM3 出力 (KEYC)
	PD20 入出力 (ボ - ト)	D20 入出力 (BSC)	TIC5WS 入力 (MTU2S)	KEY20 入力/COM4 出力 (KEYC)
	PD21 入出力 (ボ - ト)	D21 入出力 (BSC)	TIC5VS 入力 (MTU2S)	KEY21 入力/COM5 出力 (KEYC)
	PD22 入出力 (ボ - ト)	D22 入出力 (BSC)	TIC5US 入力 (MTU2S)	KEY22 入力/COM6 出力 (KEYC)
	PD23 入出力 (ボ - ト)	D23 入出力 (BSC)	TEND0 出力 (DMAC)	KEY23 入力/COM7 出力 (KEYC)
	PD24 入出力 (ボ - ト)	D24 入出力 (BSC)	DREQ0 入力 (DMAC)	KEY24 入力/COM0 出力/P0 入力 (KEYC)
	PD25 入出力 (ボ - ト)	D25 入出力 (BSC)	DREQ1 入力 (DMAC)	KEY25 入力/COM1 出力/P1 入力 (KEYC)
	PD26 入出力 (ボ - ト)	D26 入出力 (BSC)	DACK1 出力 (DMAC)	KEY26 入力/COM2 出力/P2 入力 (KEYC)
	PD27 入出力 (ボ - ト)	D27 入出力 (BSC)	DACK0 出力 (DMAC)	KEY27 入力/COM3 出力/P3 入力 (KEYC)
	PD28 入出力 (ボ - ト)	D28 入出力 (BSC)	TEND1 出力 (DMAC)	KEY28 入力/P0 入力/P4 入力 (KEYC)
	PD29 入出力 (ボ - ト)	D29 入出力 (BSC)	TIC5U 入力 (MTU2)	KEY29 入力/P1 入力/P5 入力 (KEYC)
	PD30 入出力 (ボ - ト)	D30 入出力 (BSC)	TIC5V 入力 (MTU2)	KEY30 入力/P2 入力/P6 入力 (KEYC)
PD31 入出力 (ボ - ト)	D31 入出力 (BSC)	TIC5W 入力 (MTU2)	KEY31 入力/P3 入力/P7 入力 (KEYC)	

表 22.5 マルチプレクス一覧表 (ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
E	PE0 入出力 (ボ - ト)	IRQ0 入力 (INTC)	TIOC0A 入出力 (MTU2)	SCK4 入出力 (SCIF_4)
	PE1 入出力 (ボ - ト)	IRQ1 入力 (INTC)	TIOC0B 入出力 (MTU2)	TXD4 出力 (SCIF_4)
	PE2 入出力 (ボ - ト)	IRQ2 入力 (INTC)	TIOC0C 入出力 (MTU2)	RXD4 入力 (SCIF_4)
	PE3 入出力 (ボ - ト)	IRQ3 入力 (INTC)	TIOC0D 入出力 (MTU2)	SCK3 入出力 (SCI_3)
	PE4 入出力 (ボ - ト)	IRQ4 入力 (INTC)	TIOC1A 入出力 (MTU2)	RXD3 入力 (SCI_3)
	PE5 入出力 (ボ - ト)	IRQ5 入力 (INTC)	TIOC1B 入出力 (MTU2)	TXD3 出力 (SCI_3)
	PE6 入出力 (ボ - ト)	IRQ6 入力 (INTC)	TIOC2A 入出力 (MTU2)	TXD2 出力 (SCI_2)
	PE7 入出力 (ボ - ト)	IRQ7 入力 (INTC)	TIOC2B 入出力 (MTU2)	RXD2 入力 (SCI_2)
	PE8 入出力 (ボ - ト)	IRQ8 入力 (INTC)	TIOC3A 入出力 (MTU2)	SCK2 入出力 (SCI_2)
	PE9 入出力 (ボ - ト)	IRQ9 入力 (INTC)	TIOC3B 入出力 (MTU2)	SCK1 入出力 (SCI_1)
	PE10 入出力 (ボ - ト)	IRQ10 入力 (INTC)	TIOC3C 入出力 (MTU2)	TXD1 出力 (SCI_1)
	PE11 入出力 (ボ - ト)	IRQ11 入力 (INTC)	TIOC3D 入出力 (MTU2)	RXD1 入力 (SCI_1)
	PE12 入出力 (ボ - ト)	IRQ12 入力 (INTC)	TIOC4A 入出力 (MTU2)	SCK5 入出力 (SCIF_5)
	PE13 入出力 (ボ - ト)	IRQ13 入力 (INTC)	TIOC4B 入出力 (MTU2)	TXD5 出力 (SCIF_5)
	PE14 入出力 (ボ - ト)	IRQ14 入力 (INTC)	TIOC4C 入出力 (MTU2)	RXD5 入力 (SCIF_5)
	PE15 入出力 (ボ - ト)	IRQ15 入力 (INTC)	TIOC4D 入出力 (MTU2)	SCK0 入出力 (SCI_0)
	PE16 入出力 (ボ - ト)	UBCTR \bar{G} 出力 (UBC)	TIOC3AS 入出力 (MTU2S)	TXD0 出力 (SCI_0)
	PE17 入出力 (ボ - ト)	MRES \bar{S} 入力 (INTC)	TIOC3BS 入出力 (MTU2S)	RXD0 入力 (SCI_0)
	PE18 入出力 (ボ - ト)	DREQ0 入力 (DMAC)	TIOC3CS 入出力 (MTU2S)	SCK6 入出力 (SCIF_6)
	PE19 入出力 (ボ - ト)	DACK0 出力 (DMAC)	TIOC3DS 入出力 (MTU2S)	TXD6 出力 (SCIF_6)
	PE20 入出力 (ボ - ト)	TEND0 出力 (DMAC)	TIOC4AS 入出力 (MTU2S)	RXD6 入力 (SCIF_6)
	PE21 入出力 (ボ - ト)	DREQ1 入力 (DMAC)	TIOC4BS 入出力 (MTU2S)	SCK7 入出力 (SCIF_7)
	PE22 入出力 (ボ - ト)	DACK1 出力 (DMAC)	TIOC4CS 入出力 (MTU2S)	TXD7 出力 (SCIF_7)
PE23 入出力 (ボ - ト)	TEND1 出力 (DMAC)	TIOC4DS 入出力 (MTU2S)	RXD7 入力 (SCIF_7)	

表 22.6 マルチプレクス一覧表 (ポート F)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)
F	PF0 入力 (ボ - ト)	AN0 入力 (A/D_0)
	PF1 入力 (ボ - ト)	AN1 入力 (A/D_0)
	PF2 入力 (ボ - ト)	AN2 入力 (A/D_0)
	PF3 入力 (ボ - ト)	AN3 入力 (A/D_0)
	PF4 入力 (ボ - ト)	AN4 入力 (A/D_0)
	PF5 入力 (ボ - ト)	AN5 入力 (A/D_0)
	PF6 入力 (ボ - ト)	AN6 入力 (A/D_0)
	PF7 入力 (ボ - ト)	AN7 入力 (A/D_0)
	PF8 入力 (ボ - ト)	AN8 入力 (A/D_1)
	PF9 入力 (ボ - ト)	AN9 入力 (A/D_1)
	PF10 入力 (ボ - ト)	AN10 入力 (A/D_1)
	PF11 入力 (ボ - ト)	AN11 入力 (A/D_1)
	PF12 入力 (ボ - ト)	AN12 入力 (A/D_1)
	PF13 入力 (ボ - ト)	AN13 入力 (A/D_1)
	PF14 入力 (ボ - ト)	AN14 入力 (A/D_1)
	PF15 入力 (ボ - ト)	AN15 入力 (A/D_1)

【注】 A/D サンプルング中は AN 入力機能が有効となります。

表 22.7 マルチプレクス一覧表 (ポート G)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)
G	PG0 入出力 (ボ - ト)	IRQ0 入力 (INTC)
	PG1 入出力 (ボ - ト)	IRQ1 入力 (INTC)
	PG2 入出力 (ボ - ト)	IRQ2 入力 (INTC)
	PG3 入出力 (ボ - ト)	IRQ3 入力 (INTC)
	PG4 入出力 (ボ - ト)	IRQ4 入力 (INTC)
	PG5 入出力 (ボ - ト)	IRQ5 入力 (INTC)
	PG6 入出力 (ボ - ト)	IRQ6 入力 (INTC)
	PG7 入出力 (ボ - ト)	IRQ7 入力 (INTC)
	PG8 入出力 (ボ - ト)	IRQ8 入力 (INTC)
	PG9 入出力 (ボ - ト)	IRQ9 入力 (INTC)
	PG10 入出力 (ボ - ト)	TI3210A 入力 (TIM32C)
	PG11 入出力 (ボ - ト)	TI3210B 入力 (TIM32C)
	PG12 入出力 (ボ - ト)	TI3211A 入力 (TIM32C)
	PG13 入出力 (ボ - ト)	TI3211B 入力 (TIM32C)
	PG14 入出力 (ボ - ト)	CK32 出力 (32kHz クロック)
PG15 入出力 (ボ - ト)	-	

表 22.8 マルチプレクス一覧表 (ポート H)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)
H	PH0 入出力 (ボ - ト)	TIC5U 入力 (MTU2)
	PH1 入出力 (ボ - ト)	TIC5V 入力 (MTU2)
	PH2 入出力 (ボ - ト)	TIC5W 入力 (MTU2)
	PH3 入出力 (ボ - ト)	TIC5US 入力 (MTU2S)
	PH4 入出力 (ボ - ト)	TIC5VS 入力 (MTU2S)
	PH5 入出力 (ボ - ト)	TIC5WS 入力 (MTU2S)
	PH6 入出力 (ボ - ト)	SCK7 入出力 (SCIF_7)
	PH7 入出力 (ボ - ト)	TXD7 出力 (SCIF_7)
	PH8 入出力 (ボ - ト)	RXD7 入力 (SCIF_7)
	PH9 入出力 (ボ - ト)	-
	PH10 入出力 (ボ - ト)	-
	PH11 入出力 (ボ - ト)	-
	PH12 入出力 (ボ - ト)	TIC0 入力 (CMT2)
	PH13 入出力 (ボ - ト)	TIC1 入力 (CMT2)
	PH14 入出力 (ボ - ト)	TOC0 出力 (CMT2)
PH15 入出力 (ボ - ト)	TOC1 出力 (CMT2)	

表 22.9 マルチプレクス一覧表 (ポート J)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)
J	PJ0 入出力 (ボ - ト)	IRQ10 入力 (INTC)
	PJ1 入出力 (ボ - ト)	IRQ11 入力 (INTC)
	PJ2 入出力 (ボ - ト)	IRQ12 入力 (INTC)
	PJ3 入出力 (ボ - ト)	SCK4 入出力 (SCIF_4)
	PJ4 入出力 (ボ - ト)	TXD4 出力 (SCIF_4)
	PJ5 入出力 (ボ - ト)	RXD4 入力 (SCIF_4)
	PJ6 入出力 (ボ - ト)	SCK5 入出力 (SCIF_5)
	PJ7 入出力 (ボ - ト)	TXD5 出力 (SCIF_5)
	PJ8 入出力 (ボ - ト)	RXD5 入力 (SCIF_5)
	PJ9 入出力 (ボ - ト)	RSPCK0 入出力 (RSPI_0)
	PJ10 入出力 (ボ - ト)	MOSI0 入出力 (RSPI_0)
	PJ11 入出力 (ボ - ト)	MISO0 入出力 (RSPI_0)
	PJ12 入出力 (ボ - ト)	SSL0 入出力 (RSPI_0)
	PJ13 入出力 (ボ - ト)	SSL1 出力 (RSPI_0)
	PJ14 入出力 (ボ - ト)	SSL2 出力 (RSPI_0)
PJ15 入出力 (ボ - ト)	SSL3 出力 (RSPI_0)	

表 22.10 マルチプレクス一覧表 (ポート K)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)
K	PK0 入出力 (ボ - ト)	IRQ13 入力 (INTC)
	PK1 入出力 (ボ - ト)	IRQ14 入力 (INTC)
	PK2 入出力 (ボ - ト)	IRQ15 入力 (INTC)
	PK3 入出力 (ボ - ト)	SCK6 入出力 (SCIF_6)
	PK4 入出力 (ボ - ト)	TXD6 出力 (SCIF_6)
	PK5 入出力 (ボ - ト)	RXD6 入力 (SCIF_6)
	PK6 入出力 (ボ - ト)	-
	PK7 入出力 (ボ - ト)	-

表 22.11 マルチプレクス一覧表 (ポート L)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)
L	PL0 入力 (ポ - ト)	RXCLKINP 入力 (LVDS) (SH72315A のみ)
	PL1 入力 (ポ - ト)	RXCLKINM 入力 (LVDS) (SH72315A のみ)
	PL2 入力 (ポ - ト)	RXIN0P 入力 (LVDS) (SH72315A のみ)
	PL3 入力 (ポ - ト)	RXIN0M 入力 (LVDS) (SH72315A のみ)
	PL4 入力 (ポ - ト)	RXIN1P 入力 (LVDS) (SH72315A のみ)
	PL5 入力 (ポ - ト)	RXIN1M 入力 (LVDS) (SH72315A のみ)

【注】 LVDS のモジュールスタンバイが解除されているとき (スタンバイコントロールレジスタ 6 (STBCR6) の MSTP67 ビットが 0 のとき)、LVDS 入力機能が有効となります (SH72315A のみ)。

表 22.12 動作モード別端子機能一覧

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
A16, B4, B7, C20, F21, J17, M20, P21, R2, U12, U20, V2, Y7, Y17, AA4, AA10, AA14, AA19	A2, A6, C19, D14, D20, G20, M20, P17, R1, U7, U9, V2, W16, W20, Y4, Y11, Y14, Y19	Vcc				-
A5, A7, B18, B21, H17, L20, R1, R21, U11, U21, Y2, Y6, Y16, AA5, AA9, AA13, AA20	A3, A5, B19, D15, H20, K10, K11, L10, L11, L19, R17, T1, U6, V20, W2, W19, Y3, Y7, Y10, Y13, Y16	Vss				-
D1	E4	PVcc1				-
E1	F4	PVss1				-
H1	F1	PVcc2				-
G1	G1	PVss2				-
A20	A19	PLLvcc				-
A19	A18	PLLvss				-
M4	L3	LVDSVcc (SH72315A の場合)、Vcc (SH72315L/SH72314L の場合)				-
J2, M2	J2, M2	LVDSVss (SH72315A の場合)、Vss (SH72315L/SH72314L の場合)				-
M17, T1, U7	N17, R2, Y5	Vcl				-
A12	A13	AVcc				-
A13	A14	AVss				-
E12	A12	AVref				-
C21	B20	EXTAL				-
D21	C20	XTAL				-
Y1	W1	EXTAL32				-
W1	V1	XTAL32				-
E15	A16	MD0				-
E10	C10	MD1				-
G21	E20	RES				-
B10	B10	WDTOVF				-
J21	J18	NMI				-
F18	F19	FWE/ASEBRKAK/ASEBRK				-

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
H20	H19	ASEMD0				-
G20	G18	TCK				-
G17	F20	TMS				-
H18	H18	TDI				-
G18	G19	TDO				-
H21	H17	TRST				-
A18	D17	AUDATA3				-
E17	D16	AUDATA2				-
A17	B18	AUDATA1				-
D17	C16	AUDATA0				-
B17	C17	AUDCK				-
B19	E17	AUDSYNC				-
AA17	V16	PA0	PA0	PA0	PA0	PA0/ $\overline{\text{CS}}0^{*1}$ / IRQ0/RXD0
Y18	U16	PA1	PA1	PA1	PA1	PA1/ $\overline{\text{CS}}1^{*1}$ / IRQ1/TXD0
V18	V17	PA2	PA2	PA2	PA2	PA2/ $\overline{\text{CS}}2^{*1}$ / CTx0/SCK0
W20	U18	PA3	PA3	PA3	PA3	PA3/ $\overline{\text{CS}}3^{*1}$ / CTx0/SCK1
U17	T17	PA4	PA4	PA4	PA4	PA4/ $\overline{\text{CS}}4^{*1}$ / CRx0/TXD1
U18	T18	PA5	PA5	PA5	PA5	PA5/ $\overline{\text{CS}}5^{*1}$ / RXD1
T17	U20	PA6	PA6	PA6	PA6	PA6/ $\overline{\text{CS}}6^{*1}$ / IRQ2/TCLKA
R20	P18	PA7	PA7	PA7	PA7	PA7/ $\overline{\text{CS}}7^{*1}$ / IRQ3/TCLKB
T18	T19	PA8	PA8	PA8	PA8	PA8/ $\overline{\text{RDWR}}^{*1}$ / IRQ4/TCLKC
T20	T20	PA9	PA9	PA9	PA9	PA9/ $\overline{\text{BS}}^{*1}$ / IRQ5/TCLKD
AA18	W17	PA10	$\overline{\text{WR}}\text{HH}$	PA10	PA10	PA10/ $\overline{\text{WR}}\text{HH}^{*1}$ / DQMUU *1 / IRQ6/RXD4
Y19	Y18	PA11	$\overline{\text{WR}}\text{HL}$	PA11	PA11	PA11/ $\overline{\text{WR}}\text{HL}^{*1}$ / DQMUL *1 / IRQ7/TXD4

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
AA21	W18	WRH	WRH	PA12	PA12	PA12/WRH ^{*1} / DQMLU ^{*1} / IRQ8/SCK4
Y21	Y20	WRL	WRL	PA13	PA13	PA13/WRL ^{*1} / DQMLL ^{*1} / IRQ9/RXD5
Y20	V18	RD	RD	PA14	PA14	PA14/RD ^{*1} / IRQ10/TXD5
L21	L20	CK	CK	CK	PA15	PA15/CK/ IRQ11/SCK5
T21	R18	PA16	PA16	PA16	PA16	PA16/BACK ^{*1} / IRQ12/ADTRG
W21	U17	PA17	PA17	PA17	PA17	PA17/BREQ ^{*1} / IRQ13/POE8
V20	U19	PA18	PA18	PA18	PA18	PA18/WAIT ^{*1} / IRQ14/POE4
V21	V19	PA19	PA19	PA19	PA19	PA19/AH ^{*1} / IRQ15/POE0
Y4	V4	A16	A16	PB0	PB0	PB0/A16 ^{*1} /POE0
AA6	W5	A17	A17	PB1	PB1	PB1/A17 ^{*1} /ADTRG
Y5	V3	PB2	PB2	PB2	PB2	PB2/MRES/ POE7/SCL
V5	V5	PB3	PB3	PB3	PB3	PB3/IRQOUT/ POE6/SDA
V1	U2	A18	A18	PB4	PB4	PB4/A18 ^{*1} / POE5/RXD0
W2	T4	A19	A19	PB5	PB5	PB5/A19 ^{*1} / POE4/TXD0
V4	R4	A20	A20	PB6	PB6	PB6/A20 ^{*1} / POE8/SCK0
U6	W4	CS0	CS0	PB7	PB7	PB7/CS0 ^{*1} / CS4 ^{*1} /REFOUT ^{*1}
U5	Y2	PB8	PB8	PB8	PB8	PB8/CS1 ^{*1} / CS5 ^{*1} /RXD2
V6	V6	PB9	PB9	PB9	PB9	PB9/A21 ^{*1} / CKE ^{*1} /TXD2
AA2	Y1	PB10	PB10	PB10	PB10	PB10/A22 ^{*1} / CASL ^{*1} /SCK2

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名					
		初期機能				PFC で 設定可能な 機能	
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ		
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3		
AA1	U4	PB11	PB11	PB11	PB11	PB11/A23*/ CASU*/RXD6	
AA3	U5	PB12	PB12	PB12	PB12	PB12/A24*/ RASL*/TXD6	
Y3	W3	PB13	PB13	PB13	PB13	PB13/A25*/ RASU*/SCK6	
P20	P20	A0	A0	PC0	PC0	PC0/A0*/ TIC5U/POE0	
N21	L17	A1	A1	PC1	PC1	PC1/A1*/ TIC5V/POE1	
N20	N20	A2	A2	PC2	PC2	PC2/A2*/ TIC5W/POE2	
R18	R20	A3	A3	PC3	PC3	PC3/A3*/ TIC5WS/POE3	
P18	P19	A4	A4	PC4	PC4	PC4/A4*/ TIC5VS/SCK3	
N18	N19	A5	A5	PC5	PC5	PC5/A5*/ TIC5US/TXD3	
M21	M18	A6	A6	PC6	PC6	PC6/A6*/ UBCTRG/RXD3	
R17	R19	A7	A7	PC7	PC7	PC7/A7*/ IRQOUT/SCK6	
P17	M17	A8	A8	PC8	PC8	PC8/A8*/ IRQ16/TXD6	
N17	N18	A9	A9	PC9	PC9	PC9/A9*/ IRQ17/RXD6	
M18	M19	A10	A10	PC10	PC10	PC10/A10*/ IRQ18/SCK4	
L18	K17	A11	A11	PC11	PC11	PC11/A11*/ IRQ19/TXD4	
L17	L18	A12	A12	PC12	PC12	PC12/A12*/ IRQ20/RXD4	
K17	K20	A13	A13	PC13	PC13	PC13/A13*/ IRQ21/SCK7	
K18	K19	A14	A14	PC14	PC14	PC14/A14*/ IRQ22/TXD7	
K20	J20	A15	A15	PC15	PC15	PC15/A15*/ IRQ23/RXD7	

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
AA7	U8	D0	D0	PD0	PD0	PD0/D0*/SCK1/ KEY0
AA8	Y6	D1	D1	PD1	PD1	PD1/D1*/ TXD1/KEY1
Y8	W7	D2	D2	PD2	PD2	PD2/D2*/ RXD1/KEY2
Y9	Y8	D3	D3	PD3	PD3	PD3/D3*/ SCK7/KEY3
Y10	Y9	D4	D4	PD4	PD4	PD4/D4*/ TXD7/KEY4
AA11	V10	D5	D5	PD5	PD5	PD5/D5*/ RXD7/KEY5
Y11	W10	D6	D6	PD6	PD6	PD6/D6*/ SCK2/KEY6
Y12	V11	D7	D7	PD7	PD7	PD7/D7*/ POE8/KEY7
AA12	Y12	D8	D8	PD8	PD8	PD8/D8*/ TXD2/KEY8
Y13	U12	D9	D9	PD9	PD9	PD9/D9*/ RXD2/KEY9
Y14	W13	D10	D10	PD10	PD10	PD10/D10*/ SCK5/KEY10
U14	V13	D11	D11	PD11	PD11	PD11/D11*/ TXD5/KEY11
V15	Y15	D12	D12	PD12	PD12	PD12/D12*/ RXD5/KEY12
AA15	W15	D13	D13	PD13	PD13	PD13/D13*/ SCK3/KEY13
V16	Y17	D14	D14	PD14	PD14	PD14/D14*/ TXD3/KEY14
AA16	U14	D15	D15	PD15	PD15	PD15/D15*/ RXD3/KEY15
V7	W6	PD16	D16	PD16	PD16	PD16/D16*/TCLKA/ KEY16/COM0
U8	V7	PD17	D17	PD17	PD17	PD17/D17*/TCLKB/ KEY17/COM1
V8	V8	PD18	D18	PD18	PD18	PD18/D18*/TCLKC/ KEY18/COM2

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名					
		初期機能				PFC で 設定可能な 機能	
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ		
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3		
U9	W8	PD19	D19	PD19	PD19	PD19/D19*/TCLKD/ KEY19/COM3	
V9	V9	PD20	D20	PD20	PD20	PD20/D20*/TIC5WS/ KEY20/COM4	
U10	W9	PD21	D21	PD21	PD21	PD21/D21*/TIC5VS/ KEY21/COM5	
V10	U10	PD22	D22	PD22	PD22	PD22/D22*/TIC5US/ KEY22/COM6	
V11	W11	PD23	D23	PD23	PD23	PD23/D23*/TEND0*/ KEY23/COM7	
V12	U11	PD24	D24	PD24	PD24	PD24/D24*/DREQ0/ KEY24/COM0/P0	
V13	W12	PD25	D25	PD25	PD25	PD25/D25*/DREQ1/ KEY25/COM1/P1	
U13	V12	PD26	D26	PD26	PD26	PD26/D26*/ DACK1*/KEY26/ COM2/P2	
V14	U13	PD27	D27	PD27	PD27	PD27/D27*/ DACK0*/KEY27/ COM3/P3	
Y15	W14	PD28	D28	PD28	PD28	PD28/D28*/ TEND1*/KEY28/ P0/P4	
U15	V14	PD29	D29	PD29	PD29	PD29/D29*/TIC5U/ KEY29/P1/P5	
U16	V15	PD30	D30	PD30	PD30	PD30/D30*/TIC5V/ KEY30/P2/P6	
V17	U15	PD31	D31	PD31	PD31	PD31/D31*/TIC5W/ KEY31/P3/P7	
A10	A9	PE0	PE0	PE0	PE0	PE0/IRQ0/ TIOC0A/SCK4	
D9	D9	PE1	PE1	PE1	PE1	PE1/IRQ1/ TIOC0B/TXD4	
B9	B9	PE2	PE2	PE2	PE2	PE2/IRQ2/ TIOC0C/RXD4	
E9	C9	PE3	PE3	PE3	PE3	PE3/IRQ3/ TIOC0D/SCK3	

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
A9	A8	PE4	PE4	PE4	PE4	PE4/IRQ4/ TIOC1A/RXD3
B8	B8	PE5	PE5	PE5	PE5	PE5/IRQ5/ TIOC1B/TXD3
D8	A7	PE6	PE6	PE6	PE6	PE6/IRQ6/ TIOC2A/TXD2
A8	D8	PE7	PE7	PE7	PE7	PE7/IRQ7/ TIOC2B/RXD2
E8	C8	PE8	PE8	PE8	PE8	PE8/IRQ8/ TIOC3A/SCK2
D7	B7	PE9	PE9	PE9	PE9	PE9/IRQ9/ TIOC3B/SCK1
E7	C7	PE10	PE10	PE10	PE10	PE10/IRQ10/ TIOC3C/TXD1
B6	B6	PE11	PE11	PE11	PE11	PE11/IRQ11/ TIOC3D/RXD1
B5	D7	PE12	PE12	PE12	PE12	PE12/IRQ12/ TIOC4A/SCK5
D5	C5	PE13	PE13	PE13	PE13	PE13/IRQ13/ TIOC4B/TXD5
D4	B4	PE14	PE14	PE14	PE14	PE14/IRQ14/ TIOC4C/RXD5
D6	B5	PE15	PE15	PE15	PE15	PE15/IRQ15/ TIOC4D/SCK0
E6	A4	PE16	PE16	PE16	PE16	PE16/UBCTR \bar{G} / TIOC3AS/TXD0
A6	C6	PE17	PE17	PE17	PE17	PE17/MRES \bar{S} / TIOC3BS/RXD0
B2	C3	PE18	PE18	PE18	PE18	PE18/DREQ0/ TIOC3CS/SCK6
A3	A1	PE19	PE19	PE19	PE19	PE19/DACK0* $\bar{1}$ / TIOC3DS/TXD6
A2	D5	PE20	PE20	PE20	PE20	PE20/TEND0* $\bar{1}$ / TIOC4AS/RXD6
A4	C4	PE21	PE21	PE21	PE21	PE21/DREQ1/ TIOC4BS/SCK7
B3	B3	PE22	PE22	PE22	PE22	PE22/DACK1* $\bar{1}$ / TIOC4CS/TXD7

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
A1	D6	PE23	PE23	PE23	PE23	PE23/TEND1*/ TIOC4DS/RXD7
B15	C14	PF0/AN0				- *2
D15	B15	PF1/AN1				- *2
A14	A15	PF2/AN2				- *2
E14	D13	PF3/AN3				- *2
B14	B14	PF4/AN4				- *2
D14	C13	PF5/AN5				- *2
E13	B13	PF6/AN6				- *2
B13	D12	PF7/AN7				- *2
D13	C12	PF8/AN8				- *2
B12	D11	PF9/AN9				- *2
A11	B12	PF10/AN10				- *2
D12	C11	PF11/AN11				- *2
E11	B11	PF12/AN12				- *2
B11	A11	PF13/AN13				- *2
D11	A10	PF14/AN14				- *2
D10	D10	PF15/AN15				- *2
N2	L4	PG0	PG0	PG0	PG0	PG0/IRQ0
N4	N1	PG1	PG1	PG1	PG1	PG1/IRQ1
N1	N2	PG2	PG2	PG2	PG2	PG2/IRQ2
N5	P1	PG3	PG3	PG3	PG3	PG3/IRQ3
P2	N3	PG4	PG4	PG4	PG4	PG4/IRQ4
P4	P2	PG5	PG5	PG5	PG5	PG5/IRQ5
P1	M3	PG6	PG6	PG6	PG6	PG6/IRQ6
P5	M4	PG7	PG7	PG7	PG7	PG7/IRQ7
R4	P3	PG8	PG8	PG8	PG8	PG8/IRQ8
R5	R3	PG9	PG9	PG9	PG9	PG9/IRQ9
T2	T3	PG10	PG10	PG10	PG10	PG10/TI32I0A
T4	N4	PG11	PG11	PG11	PG11	PG11/TI32I0B
T5	P4	PG12	PG12	PG12	PG12	PG12/TI32I1A
U2	T2	PG13	PG13	PG13	PG13	PG13/TI32I1B
U1	U3	PG14	PG14	PG14	PG14	PG14/CK32
U4	U1	PG15	PG15	PG15	PG15	PG15
J18	K18	PH0	PH0	PH0	PH0	PH0/TIC5U

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名					
		初期機能				PFC で 設定可能な 機能	
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ		
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3		
K21	J19	PH1	PH1	PH1	PH1	PH1/TIC5V	
J20	J17	PH2	PH2	PH2	PH2	PH2/TIC5W	
F20	G17	PH3	PH3	PH3	PH3	PH3/TIC5US	
F17	F18	PH4	PH4	PH4	PH4	PH4/TIC5VS	
E18	E19	PH5	PH5	PH5	PH5	PH5/TIC5WS	
E20	E18	PH6	PH6	PH6	PH6	PH6/SCK7	
D20	D19	PH7	PH7	PH7	PH7	PH7/TXD7	
E21	D18	PH8	PH8	PH8	PH8	PH8/RXD7	
D18	F17	PH9	PH9	PH9	PH9	PH9	
A21	A20	PH10	PH10	PH10	PH10	PH10	
B20	C18	PH11	PH11	PH11	PH11	PH11	
E16	B17	PH12	PH12	PH12	PH12	PH12/TIC0	
B16	A17	PH13	PH13	PH13	PH13	PH13/TIC1	
D16	C15	PH14	PH14	PH14	PH14	PH14/TOC0	
A15	B16	PH15	PH15	PH15	PH15	PH15/TOC1	
B1	B2	PJ0	PJ0	PJ0	PJ0	PJ0/IRQ10	
C2	D4	PJ1	PJ1	PJ1	PJ1	PJ1/IRQ11	
E5	B1	PJ2	PJ2	PJ2	PJ2	PJ2/IRQ12	
D2	C1	PJ3	PJ3	PJ3	PJ3	PJ3/SCK4	
C1	D3	PJ4	PJ4	PJ4	PJ4	PJ4/TXD4	
F5	E3	PJ5	PJ5	PJ5	PJ5	PJ5/RXD4	
E4	C2	PJ6	PJ6	PJ6	PJ6	PJ6/SCK5	
G5	F3	PJ7	PJ7	PJ7	PJ7	PJ7/TXD5	
E2	D1	PJ8	PJ8	PJ8	PJ8	PJ8/RXD5	
F4	D2	PJ9	PJ9	PJ9	PJ9	PJ9/RSPCK0	
H5	E1	PJ10	PJ10	PJ10	PJ10	PJ10/MOS10	
F2	G4	PJ11	PJ11	PJ11	PJ11	PJ11/MISO0	
G4	E2	PJ12	PJ12	PJ12	PJ12	PJ12/SSL0	
J5	F2	PJ13	PJ13	PJ13	PJ13	PJ13/SSL1	
F1	G3	PJ14	PJ14	PJ14	PJ14	PJ14/SSL2	
G2	H4	PJ15	PJ15	PJ15	PJ15	PJ15/SSL3	
H4	H3	PK0	PK0	PK0	PK0	PK0/IRQ13	
J4	J4	PK1	PK1	PK1	PK1	PK1/IRQ14	
H2	J3	PK2	PK2	PK2	PK2	PK2/IRQ15	
K5	G2	PK3	PK3	PK3	PK3	PK3/SCK6	

ピン番号 (P-LFBGA 1111-256)	ピン番号 (P-FBGA 1717-272)	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
L5	H2	PK4	PK4	PK4	PK4	PK4/TXD6
M5	K3	PK5	PK5	PK5	PK5	PK5/RXD6
K4	H1	PK6	PK6	PK6	PK6	PK6
L4	K4	PK7	PK7	PK7	PK7	PK7
K2	K2	PL0/RXCLKINP (SH72315A の場合)、PL0 (SH72315L/SH72314L の場合)				- *3
L2	L2	PL1/RXCLKINM (SH72315A の場合)、PL1 (SH72315L/SH72314L の場合)				- *3
J1	J1	PL2/RXIN0P (SH72315A の場合)、PL2 (SH72315L/SH72314L の場合)				- *3
K1	K1	PL3/RXIN0M (SH72315A の場合)、PL3 (SH72315L/SH72314L の場合)				- *3
L1	L1	PL4/RXIN1P (SH72315A の場合)、PL4 (SH72315L/SH72314L の場合)				- *3
M1	M1	PL5/RXIN1M (SH72315A の場合)、PL5 (SH72315L/SH72314L の場合)				- *3

- 【注】 *1 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。
- *2 A/D サンプリング中はアナログ入力、A/D サンプリング中以外は汎用入力となります。
- *3 SH72315A では、LVDS がモジュールスタンバイ時は汎用入力、LVDS がモジュールスタンバイ時以外は LVDS 入力となります。SH72315L/SH72314L では常に汎用入力となります。

22.1 レジスタの説明

PFC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 22.13 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A・IO レジスタ H	PAIORH	R/W	H'0000	H'FFFE3804	8、16
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFE3806	8、16
ポート A コントロールレジスタ H1	PACRH1	R/W	H'0000	H'FFFE380A	8、16
ポート A コントロールレジスタ L2	PACRL2	R/W	H'0000*	H'FFFE380C	8、16
ポート A コントロールレジスタ L1	PACRL1	R/W	H'0000	H'FFFE380E	8、16
ポート A ブルアップ MOS コントロールレジスタ H	PAPCRH	R/W	H'0000	H'FFFE3820	8、16
ポート A ブルアップ MOS コントロールレジスタ L	PAPCRL	R/W	H'0000	H'FFFE3822	8、16
ポート B・IO レジスタ L	PBIORL	R/W	H'0000	H'FFFE3886	8、16
ポート B コントロールレジスタ L2	PBCRL2	R/W	H'0000	H'FFFE388C	8、16
ポート B コントロールレジスタ L1	PBCRL1	R/W	H'0000*	H'FFFE388E	8、16
ポート B ブルアップ MOS コントロールレジスタ L	PBPCRL	R/W	H'0000	H'FFFE38A2	8、16
ポート C・IO レジスタ L	PCIORL	R/W	H'0000	H'FFFE3906	8、16
ポート C コントロールレジスタ L2	PCCRL2	R/W	H'0000*	H'FFFE390C	8、16
ポート C コントロールレジスタ L1	PCCRL1	R/W	H'0000*	H'FFFE390E	8、16
ポート C ブルアップ MOS コントロールレジスタ L	PCPCRL	R/W	H'0000	H'FFFE3922	8、16
ポート D・IO レジスタ H	PDIORH	R/W	H'0000	H'FFFE3984	8、16
ポート D・IO レジスタ L	PDIORL	R/W	H'0000	H'FFFE3986	8、16
ポート D コントロールレジスタ H2	PDCRH2	R/W	H'0000*	H'FFFE3988	8、16
ポート D コントロールレジスタ H1	PDCRH1	R/W	H'0000*	H'FFFE398A	8、16
ポート D コントロールレジスタ L2	PDCRL2	R/W	H'0000*	H'FFFE398C	8、16
ポート D コントロールレジスタ L1	PDCRL1	R/W	H'0000*	H'FFFE398E	8、16
ポート D ブルアップ MOS コントロールレジスタ H	PDPCRH	R/W	H'0000	H'FFFE39A0	8、16
ポート D ブルアップ MOS コントロールレジスタ L	PDPCRL	R/W	H'0000	H'FFFE39A2	8、16
ポート E・IO レジスタ H	PEIORH	R/W	H'0000	H'FFFE3A04	8、16
ポート E・IO レジスタ L	PEIORL	R/W	H'0000	H'FFFE3A06	8、16
ポート E コントロールレジスタ H1	PECRH1	R/W	H'0000	H'FFFE3A0A	8、16
ポート E コントロールレジスタ L2	PECRL2	R/W	H'0000	H'FFFE3A0C	8、16
ポート E コントロールレジスタ L1	PECRL1	R/W	H'0000	H'FFFE3A0E	8、16
ポート E ブルアップ MOS コントロールレジスタ H	PEPCRH	R/W	H'0000	H'FFFE3A20	8、16
ポート E ブルアップ MOS コントロールレジスタ L	PEPCRL	R/W	H'0000	H'FFFE3A22	8、16
ポート G・IO レジスタ L	PGIORL	R/W	H'0000	H'FFFE3B06	8、16

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート G コントロールレジスタ L1	PGCRL1	R/W	H'0000	H'FFFE3B0E	8、16
ポート G ブルアップ MOS コントロールレジスタ L	PGPCRL	R/W	H'0000	H'FFFE3B22	8、16
ポート H・IO レジスタ L	PHIORL	R/W	H'0000	H'FFFE3B86	8、16
ポート H コントロールレジスタ L1	PHCRL1	R/W	H'0000	H'FFFE3B8E	8、16
ポート H ブルアップ MOS コントロールレジスタ L	PHPCRL	R/W	H'0000	H'FFFE3BA2	8、16
ポート J・IO レジスタ L	PJIORL	R/W	H'0000	H'FFFE3C86	8、16
ポート J コントロールレジスタ L1	PJCRL1	R/W	H'0000	H'FFFE3C8E	8、16
ポート J ブルアップ MOS コントロールレジスタ L	PJPCRL	R/W	H'0000	H'FFFE3CA2	8、16
ポート K・IO レジスタ L	PKIORL	R/W	H'0000	H'FFFE3D06	8、16
ポート K コントロールレジスタ L1	PKCRL1	R/W	H'0000	H'FFFE3D0E	8、16
ポート K ブルアップ MOS コントロールレジスタ L	PKPCRL	R/W	H'0000	H'FFFE3D22	8、16
ポート L ブルアップ MOS コントロールレジスタ L	PLPCRL	R/W	H'0000	H'FFFE3DA2	8、16
大電流ポートコントロールレジスタ	HCPCR	R/W	H'0003	H'FFFE3A14	8、16
I/O バッファドライブ制御レジスタ	DRVCR	R/W	H'A000	H'FFFE39A8	8、16
ポート機能拡張レジスタ	PFEXCR	R/W	H'0000	H'FFFE3BA8	8、16

【注】 * 動作モードの設定により初期値は異なります。詳細については、本章中の各レジスタの説明を参照してください。

22.1.1 ポート A・IO レジスタ L、H (PAIORL、PAIORH)

PAIORL、PAIORH は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA19IOR ~ PA0IOR ビットが、それぞれ、PA19 ~ PA0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PAIORL はポート A の端子機能が汎用入出力 (PA15 ~ PA0) の場合に有効でそれ以外の場合は無効です。PAIORH はポート A の端子機能が汎用入出力 (PA19 ~ PA16) の場合に有効でそれ以外の場合は無効です。

PAIORL および PAIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PAIORH のビット 15 ~ 4 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。PAIORL、PAIORH の初期値はともに H'0000 です。

(1) ポート A・IO レジスタ H (PAIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PA19 IOR	PA18 IOR	PA17 IOR	PA16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

(2) ポート A・IO レジスタ L (PAIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.2 ポート A コントロールレジスタ L1、L2、H1 (PACRL1、PACRL2、PACRH1)

PACRL1、PACRL2、PACRH1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

(1) ポート A コントロールレジスタ H1 (PACRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PA19 MD1	PA19 MD0	PA18 MD1	PA18 MD0	PA17 MD1	PA17 MD0	PA16 MD1	PA16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 6	PA19MD1 PA19MD0	0 0	R/W R/W	PA19 モードビット PA19/ \overline{AH} /IRQ15/ $\overline{POE0}$ 端子の機能を選びます。 00: PA19 入出力 (ボ - ト) 01: \overline{AH} 出力 (BSC) * 10: IRQ15 入力 (INTC) 11: $\overline{POE0}$ 入力 (POE2)
5 4	PA18MD1 PA18MD0	0 0	R/W R/W	PA18 モードビット PA18/ \overline{WAIT} /IRQ14/ $\overline{POE4}$ 端子の機能を選びます。 00: PA18 入出力 (ボ - ト) 01: \overline{WAIT} 入力 (BSC) * 10: IRQ14 入力 (INTC) 11: $\overline{POE4}$ 入力 (POE2)
3 2	PA17MD1 PA17MD0	0 0	R/W R/W	PA17 モードビット PA17/ \overline{BREQ} /IRQ13/ $\overline{POE8}$ 端子の機能を選びます。 00: PA17 入出力 (ボ - ト) 01: \overline{BREQ} 入力 (BSC) * 10: IRQ13 入力 (INTC) 11: $\overline{POE8}$ 入力 (POE2)
1 0	PA16MD1 PA16MD0	0 0	R/W R/W	PA16 モードビット PA16/ \overline{BACK} /IRQ12/ \overline{ADTRG} 端子の機能を選びます。 00: PA16 入出力 (ボ - ト) 01: \overline{BACK} 出力 (BSC) * 10: IRQ12 入力 (INTC) 11: \overline{ADTRG} 入力 (A/D)

【注】 * 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(2) ポート A コントロールレジスタ L2 (PACRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 MD1	PA15 MD0	PA14 MD1	PA14 MD0	PA13 MD1	PA13 MD0	PA12 MD1	PA12 MD0	PA11 MD1	PA11 MD0	PA10 MD1	PA10 MD0	PA9 MD1	PA9 MD0	PA8 MD1	PA8 MD0
初期値:	0	0*1	0	0*2	0	0*2	0	0*2	0	0*3	0	0*3	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *1 内蔵ROM有効 / 無効外部拡張モード時、初期値は1になります。

*2 内蔵ROM無効外部拡張モード時、初期値は1になります。

*3 内蔵ROM無効32ビット外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	PA15MD1	0	R/W	PA15 モードビット
14	PA15MD0	0*1	R/W	PA15/CK/IRQ11/SCK5 端子の機能を選びます。 00 : PA15 入出力 (ポ - ト) 01 : CK 出力 (CPG) 10 : IRQ11 入力 (INTC) 11 : SCK5 入出力 (SCIF_5)
13	PA14MD1	0	R/W	PA14 モードビット
12	PA14MD0	0*2	R/W	PA14/ \overline{RD} /IRQ10/TXD5 端子の機能を選びます。 00 : PA14 入出力 (ポ - ト) 01 : \overline{RD} 出力 (BSC)*4 10 : IRQ10 入力 (INTC) 11 : TXD5 出力 (SCIF_5)
11	PA13MD1	0	R/W	PA13 モードビット
10	PA13MD0	0*2	R/W	PA13/ \overline{WRL} /DQMLL/IRQ9/RXD5 端子の機能を選びます。 00 : PA13 入出力 (ポ - ト) 01 : \overline{WRL} /DQMLL 出力 (BSC)*4 10 : IRQ9 入力 (INTC) 11 : RXD5 入力 (SCIF_5)
9	PA12MD1	0	R/W	PA12 モードビット
8	PA12MD0	0*2	R/W	PA12/ \overline{WRH} /DQMLU/IRQ8/SCK4 端子の機能を選びます。 00 : PA12 入出力 (ポ - ト) 01 : \overline{WRH} /DQMLU 出力 (BSC)*4 10 : IRQ8 入力 (INTC) 11 : SCK4 入出力 (SCIF_4)
7	PA11MD1	0	R/W	PA11 モードビット
6	PA11MD0	0*3	R/W	PA11/ \overline{WRHL} /DQMUL/IRQ7/TXD4 端子の機能を選びます。 00 : PA11 入出力 (ポ - ト) 01 : \overline{WRHL} /DQMUL 出力 (BSC)*4 10 : IRQ7 入力 (INTC) 11 : TXD4 出力 (SCIF_4)

ビット	ビット名	初期値	R/W	説明
5 4	PA10MD1 PA10MD0	0 0* ³	R/W R/W	PA10 モードビット PA10/ $\overline{\text{WRHH}}$ /DQMUU/IRQ6/RXD4 端子の機能を選びます。 00 : PA10 入出力 (ポ - ト) 01 : $\overline{\text{WRHH}}$ /DQMUU 出力 (BSC) * ⁴ 10 : IRQ6 入力 (INTC) 11 : RXD4 入力 (SCIF_4)
3 2	PA9MD1 PA9MD0	0 0	R/W R/W	PA9 モードビット PA9/ $\overline{\text{BS}}$ /IRQ5/TCLKD 端子の機能を選びます。 00 : PA9 入出力 (ポ - ト) 01 : $\overline{\text{BS}}$ 出力 (BSC) * ⁴ 10 : IRQ5 入力 (INTC) 11 : TCLKD 入力 (MTU2)
1 0	PA8MD1 PA8MD0	0 0	R/W R/W	PA8 モードビット PA8/ $\overline{\text{RDWR}}$ /IRQ4/TCLKC 端子の機能を選びます。 00 : PA8 入出力 (ポ - ト) 01 : $\overline{\text{RDWR}}$ 出力 (BSC) * ⁴ 10 : IRQ4 入力 (INTC) 11 : TCLKC 入力 (MTU2)

- 【注】 *1 内蔵 ROM 有効 / 無効外部拡張モード時、初期値は 1 になります。
*2 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。
*3 内蔵 ROM 無効 32 ビット外部拡張モード時、初期値は 1 になります。
*4 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(3) ポート A コントロールレジスタ L1 (PACRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7 MD1	PA7 MD0	PA6 MD1	PA6 MD0	PA5 MD1	PA5 MD0	PA4 MD1	PA4 MD0	PA3 MD1	PA3 MD0	PA2 MD1	PA2 MD0	PA1 MD1	PA1 MD0	PA0 MD1	PA0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA7MD1	0	R/W	PA7 モードビット
14	PA7MD0	0	R/W	PA7/ $\overline{\text{CS}}7$ /IRQ3/TCLKB 端子の機能を選びます。 00: PA7 入出力 (ポ - ト) 01: $\overline{\text{CS}}7$ 出力 (BSC) * 10: IRQ3 入力 (INTC) 11: TCLKB 入力 (MTU2)
13	PA6MD1	0	R/W	PA6 モードビット
12	PA6MD0	0	R/W	PA6/ $\overline{\text{CS}}6$ /IRQ2/TCLKA 端子の機能を選びます。 00: PA6 入出力 (ポ - ト) 01: $\overline{\text{CS}}6$ 出力 (BSC) * 10: IRQ2 入力 (INTC) 11: TCLKA 入力 (MTU2)
11	PA5MD1	0	R/W	PA5 モードビット
10	PA5MD0	0	R/W	PA5/ $\overline{\text{CS}}5$ /RXD1 端子の機能を選びます。 00: PA5 入出力 (ポ - ト) 01: $\overline{\text{CS}}5$ 出力 (BSC) * 10: 設定禁止 11: RXD1 入力 (SCI_1)
9	PA4MD1	0	R/W	PA4 モードビット
8	PA4MD0	0	R/W	PA4/ $\overline{\text{CS}}4$ /CRx0/TXD1 端子の機能を選びます。 00: PA4 入出力 (ポ - ト) 01: $\overline{\text{CS}}4$ 出力 (BSC) * 10: CRx0 入力 (RCAN-ET) 11: TXD1 出力 (SCI_1)
7	PA3MD1	0	R/W	PA3 モードビット
6	PA3MD0	0	R/W	PA3/ $\overline{\text{CS}}3$ /CTx0/SCK1 端子の機能を選びます。 00: PA3 入出力 (ポ - ト) 01: $\overline{\text{CS}}3$ 出力 (BSC) * 10: CTx0 出力 (RCAN-ET) 11: SCK1 入出力 (SCI_1)

ビット	ビット名	初期値	R/W	説明
5 4	PA2MD1 PA2MD0	0 0	R/W R/W	PA2 モードビット PA2/ $\overline{\text{CS2}}$ /CTx0/SCK0 端子の機能を選びます。 00 : PA2 入出力 (ボ - ト) 01 : $\overline{\text{CS2}}$ 出力 (BSC) * 10 : CTx0 出力 (RCAN-ET) 11 : SCK0 入出力 (SCI_0)
3 2	PA1MD1 PA1MD0	0 0	R/W R/W	PA1 モードビット PA1/ $\overline{\text{CS1}}$ /IRQ1/TXD0 端子の機能を選びます。 00 : PA1 入出力 (ボ - ト) 01 : $\overline{\text{CS1}}$ 出力 (BSC) * 10 : IRQ1 入力 (INTC) 11 : TXD0 出力 (SCI_0)
1 0	PA0MD1 PA0MD0	0 0	R/W R/W	PA0 モードビット PA0/ $\overline{\text{CS0}}$ /IRQ0/RXD0 端子の機能を選びます。 00 : PA0 入出力 (ボ - ト) 01 : $\overline{\text{CS0}}$ 出力 (BSC) * 10 : IRQ0 入力 (INTC) 11 : RXD0 入力 (SCI_0)

【注】 * 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

22.1.3 ポート A プルアップ MOS コントロールレジスタ L、H (PAPCRL、PAPCRH)

PAPCRL、PAPCRH はビット単位でポート A の入力プルアップ MOS のオン / オフを制御します。

(1) ポート A プルアップ MOS コントロールレジスタ H (PAPCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PA19 PCR	PA18 PCR	PA17 PCR	PA16 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PA19PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
2	PA18PCR	0	R/W	
1	PA17PCR	0	R/W	
0	PA16PCR	0	R/W	

(2) ポート A プルアップ MOS コントロールレジスタ L (PAPCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PCR	PA14 PCR	PA13 PCR	PA12 PCR	PA11 PCR	PA10 PCR	PA9 PCR	PA8 PCR	PA7 PCR	PA6 PCR	PA5 PCR	PA4 PCR	PA3 PCR	PA2 PCR	PA1 PCR	PA0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA15PCR	0	R/W	1にセットされたビットに対応する端子の入プルアップMOSがオンします。
14	PA14PCR	0	R/W	
13	PA13PCR	0	R/W	
12	PA12PCR	0	R/W	
11	PA11PCR	0	R/W	
10	PA10PCR	0	R/W	
9	PA9PCR	0	R/W	
8	PA8PCR	0	R/W	
7	PA7PCR	0	R/W	
6	PA6PCR	0	R/W	
5	PA5PCR	0	R/W	
4	PA4PCR	0	R/W	
3	PA3PCR	0	R/W	
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

22.1.4 ポート B・IO レジスタ L (PBIORL)

PBIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB13IOR ~ PB0IOR ビットは、それぞれ PB13 ~ PB0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PBIORL はポート B の端子機能が汎用入出力 (PB13 ~ PB0) の場合に有効で、それ以外の場合は無効です。

PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PBIORL のビット 15、14 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。PBIORL の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.5 ポート B コントロールレジスタ L1、L2 (PBCRL1、PBCRL2)

PBCRL1、PBCRL2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

(1) ポート B コントロールレジスタ L2 (PBCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PB13 MD1	PB13 MD0	PB12 MD1	PB12 MD0	PB11 MD1	PB11 MD0	PB10 MD1	PB10 MD0	PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PB13MD1	0	R/W	PB13 モードビット PB13/A25/RASU/SCK6 端子の機能を選びます。 00: PB13 入出力 (ポ - ト) 01: A25 出力 (BSC) * 10: RASU 出力 (BSC) * 11: SCK6 入出力 (SCIF_6)
10	PB13MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
9 8	PB12MD1 PB12MD0	0 0	R/W R/W	PB12 モードビット PB12/A24/ $\overline{\text{RASL}}$ /TXD6 端子の機能を選びます。 00 : PB12 入出力 (ポ - ト) 01 : A24 出力 (BSC) * 10 : $\overline{\text{RASL}}$ 出力 (BSC) * 11 : TXD6 出力 (SCIF_6)
7 6	PB11MD1 PB11MD0	0 0	R/W R/W	PB11 モードビット PB11/A23/ $\overline{\text{CASU}}$ /RXD6 端子の機能を選びます。 00 : PB11 入出力 (ポ - ト) 01 : A23 出力 (BSC) * 10 : $\overline{\text{CASU}}$ 出力 (BSC) * 11 : RXD6 入力 (SCIF_6)
5 4	PB10MD1 PB10MD0	0 0	R/W R/W	PB10 モードビット PB10/A22/ $\overline{\text{CASL}}$ /SCK2 端子の機能を選びます。 00 : PB10 入出力 (ポ - ト) 01 : A22 出力 (BSC) * 10 : $\overline{\text{CASL}}$ 出力 (BSC) * 11 : SCK2 入出力 (SCI_2)
3 2	PB9MD1 PB9MD0	0 0	R/W R/W	PB9 モードビット PB9/A21/CKE/TXD2 端子の機能を選びます。 00 : PB9 入出力 (ポ - ト) 01 : A21 出力 (BSC) * 10 : CKE 出力 (BSC) * 11 : TXD2 出力 (SCI_2)
1 0	PB8MD1 PB8MD0	0 0	R/W R/W	PB8 モードビット PB8/ $\overline{\text{CS1}}$ / $\overline{\text{CS5}}$ /RXD2 端子の機能を選びます。 00 : PB8 入出力 (ポ - ト) 01 : $\overline{\text{CS1}}$ 出力 (BSC) * 10 : $\overline{\text{CS5}}$ 出力 (BSC) * 11 : RXD2 入力 (SCI_2)

【注】 * 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(2) ポート B コントロールレジスタ L1 (PBCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値:	0	0*1	0	0*1	0	0*1	0	0*1	0	0	0	0	0	0*1	0	0*1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	PB7MD1	0	R/W	PB7 モードビット PB7/CS0/CS4/REFOUT 端子の機能を選びます。 00: PB7 入出力 (ポ - ト) 01: CS0 出力 (BSC) *2 10: CS4 出力 (BSC) *2 11: REFOUT 出力 (BSC) *2
14	PB7MD0	0*1	R/W	
13	PB6MD1	0	R/W	PB6 モードビット PB6/A20/POE8/SCK0 端子の機能を選びます。 00: PB6 入出力 (ポ - ト) 01: A20 出力 (BSC) *2 10: POE8 入力 (POE2) 11: SCK0 入出力 (SCI_0)
12	PB6MD0	0*1	R/W	
11	PB5MD1	0	R/W	PB5 モードビット PB5/A19/POE4/TXD0 端子の機能を選びます。 00: PB5 入出力 (ポ - ト) 01: A19 出力 (BSC) *2 10: POE4 入力 (POE2) 11: TXD0 出力 (SCI_0)
10	PB5MD0	0*1	R/W	
9	PB4MD1	0	R/W	PB4 モードビット PB4/A18/POE5/RXD0 端子の機能を選びます。 00: PB4 入出力 (ポ - ト) 01: A18 出力 (BSC) *2 10: POE5 入力 (POE2) 11: RXD0 入力 (SCI_0)
8	PB4MD0	0*1	R/W	
7	PB3MD1	0	R/W	PB3 モードビット PB3/IRQOUT/POE6/SDA 端子の機能を選びます。 00: PB3 入出力 (ポ - ト) 01: IRQOUT 出力 (INTC) 10: POE6 入力 (POE2) 11: SDA 入出力 (IIC3)
6	PB3MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
5 4	PB2MD1 PB2MD0	0 0	R/W R/W	PB2 モードビット PB2/ $\overline{\text{MRES}}$ / $\overline{\text{POE7}}$ /SCL 端子の機能を選びます。 00 : PB2 入出力 (ボ - ト) 01 : $\overline{\text{MRES}}$ 入力 (INTC) 10 : $\overline{\text{POE7}}$ 入力 (POE2) 11 : SCL 入出力 (IIC3)
3 2	PB1MD1 PB1MD0	0 0* ¹	R/W R/W	PB1 モードビット PB1/A17/ $\overline{\text{ADTRG}}$ 端子の機能を選びます。 00 : PB1 入出力 (ボ - ト) 01 : A17 出力 (BSC) * ² 10 : $\overline{\text{ADTRG}}$ 入力 (A/D) 11 : 設定禁止
1 0	PB0MD1 PB0MD0	0 0* ¹	R/W R/W	PB0 モードビット PB0/A16/ $\overline{\text{POE0}}$ 端子の機能を選びます。 00 : PB0 入出力 (ボ - ト) 01 : A16 出力 (BSC) * ² 10 : $\overline{\text{POE0}}$ 入力 (POE2) 11 : 設定禁止

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

22.1.6 ポート B プルアップ MOS コントロールレジスタ L (PBPCRL)

PBPCRL はビット単位でポート B の入力プルアップ MOS のオン / オフを制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB13 PCR	PB12 PCR	PB11 PCR	PB10 PCR	PB9 PCR	PB8 PCR	PB7 PCR	PB6 PCR	PB5 PCR	PB4 PCR	PB3 PCR	PB2 PCR	PB1 PCR	PB0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PB13PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
12	PB12PCR	0	R/W	
11	PB11PCR	0	R/W	
10	PB10PCR	0	R/W	
9	PB9PCR	0	R/W	
8	PB8PCR	0	R/W	
7	PB7PCR	0	R/W	
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

22.1.7 ポート C・IO レジスタ L (PCIORL)

PCIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC15IOR ~ PC0IOR ビットが、それぞれ、PC15 ~ PC0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PCIORL はポート C の端子機能が汎用入出力 (PC15 ~ PC0) の場合に有効でそれ以外の場合は無効です。

PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PCIORL の初期値は H'0000 です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.8 ポート C コントロールレジスタ L1、L2 (PCCRL1、PCCRL2)

PCCRL1、PCCRL2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

(1) ポート C コントロールレジスタ L2 (PCCRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 MD1	PC15 MD0	PC14 MD1	PC14 MD0	PC13 MD1	PC13 MD0	PC12 MD1	PC12 MD0	PC11 MD1	PC11 MD0	PC10 MD1	PC10 MD0	PC9 MD1	PC9 MD0	PC8 MD1	PC8 MD0
初期値 :	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	PC15MD1	0	R/W	PC15 モードビット
14	PC15MD0	0*1	R/W	PC15/A15/IRQ23/RXD7 端子の機能を選びます。 00 : PC15 入出力 (ポ - ト) 01 : A15 出力 (BSC) *2 10 : IRQ23 入力 (INTC) 11 : RXD7 入力 (SCIF_7)
13	PC14MD1	0	R/W	PC14 モードビット
12	PC14MD0	0*1	R/W	PC14/A14/IRQ22/TXD7 端子の機能を選びます。 00 : PC14 入出力 (ポ - ト) 01 : A14 出力 (BSC) *2 10 : IRQ22 入力 (INTC) 11 : TXD7 出力 (SCIF_7)
11	PC13MD1	0	R/W	PC13 モードビット
10	PC13MD0	0*1	R/W	PC13/A13/IRQ21/SCK7 端子の機能を選びます。 00 : PC13 入出力 (ポ - ト) 01 : A13 出力 (BSC) *2 10 : IRQ21 入力 (INTC) 11 : SCK7 入出力 (SCIF_7)
9	PC12MD1	0	R/W	PC12 モードビット
8	PC12MD0	0*1	R/W	PC12/A12/IRQ20/RXD4 端子の機能を選びます。 00 : PC12 入出力 (ポ - ト) 01 : A12 出力 (BSC) *2 10 : IRQ20 入力 (INTC) 11 : RXD4 入力 (SCIF_4)

ビット	ビット名	初期値	R/W	説明
7 6	PC11MD1 PC11MD0	0 0* ¹	R/W R/W	PC11 モードビット PC11/A11/IRQ19/TXD4 端子の機能を選びます。 00 : PC11 入出力 (ボ - ト) 01 : A11 出力 (BSC) * ² 10 : IRQ19 入力 (INTC) 11 : TXD4 出力 (SCIF_4)
5 4	PC10MD1 PC10MD0	0 0* ¹	R/W R/W	PC10 モードビット PC10/A10/IRQ18/SCK4 端子の機能を選びます。 00 : PC10 入出力 (ボ - ト) 01 : A10 出力 (BSC) * ² 10 : IRQ18 入力 (INTC) 11 : SCK4 入出力 (SCIF_4)
3 2	PC9MD1 PC9MD0	0 0* ¹	R/W R/W	PC9 モードビット PC9/A9/IRQ17/RXD6 端子の機能を選びます。 00 : PC9 入出力 (ボ - ト) 01 : A9 出力 (BSC) * ² 10 : IRQ17 入力 (INTC) 11 : RXD6 入力 (SCIF_6)
1 0	PC8MD1 PC8MD0	0 0* ¹	R/W R/W	PC8 モードビット PC8/A8/IRQ16/TXD6 端子の機能を選びます。 00 : PC8 入出力 (ボ - ト) 01 : A8 出力 (BSC) * ² 10 : IRQ16 入力 (INTC) 11 : TXD6 出力 (SCIF_6)

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(2) ポート C コントロールレジスタ L1 (PCCR1)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC7 MD1	PC7 MD0	PC6 MD1	PC6 MD0	PC5 MD1	PC5 MD0	PC4 MD1	PC4 MD0	PC3 MD1	PC3 MD0	PC2 MD1	PC2 MD0	PC1 MD1	PC1 MD0	PC0 MD1	PC0 MD0
初期値 : 0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	PC7MD1	0	R/W	PC7 モードビット
14	PC7MD0	0*1	R/W	PC7/A7/IRQOUT/SCK6 端子の機能を選びます。 00 : PC7 入出力 (ポ - ト) 01 : A7 出力 (BSC) *2 10 : IRQOUT 出力 (INTC) 11 : SCK6 入出力 (SCIF_6)
13	PC6MD1	0	R/W	PC6 モードビット
12	PC6MD0	0*1	R/W	PC6/A6/UBCTRG/RXD3 端子の機能を選びます。 00 : PC6 入出力 (ポ - ト) 01 : A6 出力 (BSC) *2 10 : UBCTRG 出力 (UBC) 11 : RXD3 入力 (SCI_3)
11	PC5MD1	0	R/W	PC5 モードビット
10	PC5MD0	0*1	R/W	PC5/A5/TIC5US/TXD3 端子の機能を選びます。 00 : PC5 入出力 (ポ - ト) 01 : A5 出力 (BSC) *2 10 : TIC5US 入力 (MTU2S) 11 : TXD3 出力 (SCI_3)
9	PC4MD1	0	R/W	PC4 モードビット
8	PC4MD0	0*1	R/W	PC4/A4/TIC5VS/SCK3 端子の機能を選びます。 00 : PC4 入出力 (ポ - ト) 01 : A4 出力 (BSC) *2 10 : TIC5VS 入力 (MTU2S) 11 : SCK3 入出力 (SCI_3)
7	PC3MD1	0	R/W	PC3 モードビット
6	PC3MD0	0*1	R/W	PC3/A3/TIC5WS/POE3 端子の機能を選びます。 00 : PC3 入出力 (ポ - ト) 01 : A3 出力 (BSC) *2 10 : TIC5WS 入力 (MTU2S) 11 : POE3 入力 (POE2)

ビット	ビット名	初期値	R/W	説明
5 4	PC2MD1 PC2MD0	0 0* ¹	R/W R/W	PC2 モードビット PC2/A2/TIC5W/ $\overline{\text{POE2}}$ 端子の機能を選びます。 00 : PC2 入出力 (ボ - ト) 01 : A2 出力 (BSC) * ² 10 : TIC5W 入力 (MTU2) 11 : $\overline{\text{POE2}}$ 入力 (POE2)
3 2	PC1MD1 PC1MD0	0 0* ¹	R/W R/W	PC1 モードビット PC1/A1/TIC5V/ $\overline{\text{POE1}}$ 端子の機能を選びます。 00 : PC1 入出力 (ボ - ト) 01 : A1 出力 (BSC) * ² 10 : TIC5V 入力 (MTU2) 11 : $\overline{\text{POE1}}$ 入力 (POE2)
1 0	PC0MD1 PC0MD0	0 0* ¹	R/W R/W	PC0 モードビット PC0/A0/TIC5U/ $\overline{\text{POE0}}$ 端子の機能を選びます。 00 : PC0 入出力 (ボ - ト) 01 : A0 出力 (BSC) * ² 10 : TIC5U 入力 (MTU2) 11 : $\overline{\text{POE0}}$ 入力 (POE2)

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

22.1.9 ポート C プルアップ MOS コントロールレジスタ L (PCPCRL)

PCPCRL はビット単位でポート C の入力プルアップ MOS のオン / オフを制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 PCR	PC14 PCR	PC13 PCR	PC12 PCR	PC11 PCR	PC10 PCR	PC9 PCR	PC8 PCR	PC7 PCR	PC6 PCR	PC5 PCR	PC4 PCR	PC3 PCR	PC2 PCR	PC1 PCR	PC0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PC15PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PC14PCR	0	R/W	
13	PC13PCR	0	R/W	
12	PC12PCR	0	R/W	
11	PC11PCR	0	R/W	
10	PC10PCR	0	R/W	
9	PC9PCR	0	R/W	
8	PC8PCR	0	R/W	
7	PC7PCR	0	R/W	
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

22.1.10 ポート D・IO レジスタ L、H (PDIORL、PDIORH)

PDIORL、PDIORH は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD31IOR ~ PD0IOR ビットが、それぞれ PD31 ~ PD0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PDIORL は、ポート D の端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効でそれ以外の場合は無効です。PDIORH はポート D の端子機能が汎用入出力 (PD31 ~ PD16) の場合に有効でそれ以外の場合は無効です。

PDIORL および PDIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PDIORL、PDIORH の初期値はともに H'0000 です。

(1) ポート D・IO レジスタ H (PDIORH)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD31 IOR	PD30 IOR	PD29 IOR	PD28 IOR	PD27 IOR	PD26 IOR	PD25 IOR	PD24 IOR	PD23 IOR	PD22 IOR	PD21 IOR	PD20 IOR	PD19 IOR	PD18 IOR	PD17 IOR	PD16 IOR
初期値 : 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート D・IO レジスタ L (PDIORL)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値 : 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.11 ポート D コントロールレジスタ L1、L2、H1、H2 (PDCRL1、PDCRL2、PDCRH1、PDCRH2)

PDCRL1、PDCRL2、PDCRH1、PDCRH2 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

PDCRL1、PDCRL2、PDCRH1、PDCRH2 は \overline{RES} 端子からのパワーオンリセットで初期化されます。

ディープソフトウェアスタンバイから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

(1) ポート D コントロールレジスタ H2 (PDCRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 MD1	PD31 MD0	PD30 MD1	PD30 MD0	PD29 MD1	PD29 MD0	PD28 MD1	PD28 MD0	PD27 MD1	PD27 MD0	PD26 MD1	PD26 MD0	PD25 MD1	PD25 MD0	PD24 MD1	PD24 MD0
初期値:	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 内蔵ROM無効32ビット外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	PD31MD1	0	R/W	PD31 モードビット
14	PD31MD0	0*1	R/W	PD31/D31/TIC5W/KEY31/P3/P7 端子の機能を選びます。 00: PD31 入出力 (ポ - ト) 01: D31 入出力 (BSC) *2 10: TIC5W 入力 (MTU2) 11: KEY31 入力/P3 入力/P7 入力 (KEYC)
13	PD30MD1	0	R/W	PD30 モードビット
12	PD30MD0	0*1	R/W	PD30/D30/TIC5V/KEY30/P2/P6 端子の機能を選びます。 00: PD30 入出力 (ポ - ト) 01: D30 入出力 (BSC) *2 10: TIC5V 入力 (MTU2) 11: KEY30 入力/P2 入力/P6 入力 (KEYC)
11	PD29MD1	0	R/W	PD29 モードビット
10	PD29MD0	0*1	R/W	PD29/D29/TIC5U/KEY29/P1/P5 端子の機能を選びます。 00: PD29 入出力 (ポ - ト) 01: D29 入出力 (BSC) *2 10: TIC5U 入力 (MTU2) 11: KEY29 入力/P1 入力/P5 入力 (KEYC)

ビット	ビット名	初期値	R/W	説明
9 8	PD28MD1 PD28MD0	0 0* ¹	R/W R/W	PD28 モードビット PD28/D28/TEND1/KEY28/P0/P4 端子の機能を選びます。 00 : PD28 入出力 (ボ - ト) 01 : D28 入出力 (BSC) * ² 10 : TEND1 出力 (DMAC) * ² 11 : KEY28 入力/P0 入力/P4 入力 (KEYC)
7 6	PD27MD1 PD27MD0	0 0* ¹	R/W R/W	PD27 モードビット PD27/D27/DACK0/KEY27/ $\overline{\text{COM3}}$ /P3 端子の機能を選びます。 00 : PD27 入出力 (ボ - ト) 01 : D27 入出力 (BSC) * ² 10 : DACK0 出力 (DMAC) * ² 11 : KEY27 入力/ $\overline{\text{COM3}}$ 出力/P3 入力 (KEYC)
5 4	PD26MD1 PD26MD0	0 0* ¹	R/W R/W	PD26 モードビット PD26/D26/DACK1/KEY26/ $\overline{\text{COM2}}$ /P2 端子の機能を選びます。 00 : PD26 入出力 (ボ - ト) 01 : D26 入出力 (BSC) * ² 10 : DACK1 出力 (DMAC) * ² 11 : KEY26 入力/ $\overline{\text{COM2}}$ 出力/P2 入力 (KEYC)
3 2	PD25MD1 PD25MD0	0 0* ¹	R/W R/W	PD25 モードビット PD25/D25/DREQ1/KEY25/ $\overline{\text{COM1}}$ /P1 端子の機能を選びます。 00 : PD25 入出力 (ボ - ト) 01 : D25 入出力 (BSC) * ² 10 : DREQ1 入力 (DMAC) 11 : KEY25 入力/ $\overline{\text{COM1}}$ 出力/P1 入力 (KEYC)
1 0	PD24MD1 PD24MD0	0 0* ¹	R/W R/W	PD24 モードビット PD24/D24/DREQ0/KEY24/ $\overline{\text{COM0}}$ /P0 端子の機能を選びます。 00 : PD24 入出力 (ボ - ト) 01 : D24 入出力 (BSC) * ² 10 : DREQ0 入力 (DMAC) 11 : KEY24 入力/ $\overline{\text{COM0}}$ 出力/P0 入力 (KEYC)

【注】 *1 内蔵 ROM 無効 32 ビット外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(2) ポート D コントロールレジスタ H1 (PDCRH1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD23 MD1	PD23 MD0	PD22 MD1	PD22 MD0	PD21 MD1	PD21 MD0	PD20 MD1	PD20 MD0	PD19 MD1	PD19 MD0	PD18 MD1	PD18 MD0	PD17 MD1	PD17 MD0	PD16 MD1	PD16 MD0
初期値: 0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 内蔵ROM無効32ビット外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説 明
15	PD23MD1	0	R/W	PD23 モードビット
14	PD23MD0	0*1	R/W	PD23/D23/TEND0/KEY23/ $\overline{\text{COM}}7$ 端子の機能を選びます。 00: PD23 入出力 (ポ - ト) 01: D23 入出力 (BSC) *2 10: TEND0 出力 (DMAC) *2 11: KEY23 入力/ $\overline{\text{COM}}7$ 出力 (KEYC)
13	PD22MD1	0	R/W	PD22 モードビット
12	PD22MD0	0*1	R/W	PD22/D22/TIC5US/KEY22/ $\overline{\text{COM}}6$ 端子の機能を選びます。 00: PD22 入出力 (ポ - ト) 01: D22 入出力 (BSC) *2 10: TIC5US 入力 (MTU2S) 11: KEY22 入力/ $\overline{\text{COM}}6$ 出力 (KEYC)
11	PD21MD1	0	R/W	PD21 モードビット
10	PD21MD0	0*1	R/W	PD21/D21/TIC5VS/KEY21/ $\overline{\text{COM}}5$ 端子の機能を選びます。 00: PD21 入出力 (ポ - ト) 01: D21 入出力 (BSC) *2 10: TIC5VS 入力 (MTU2S) 11: KEY21 入力/ $\overline{\text{COM}}5$ 出力 (KEYC)
9	PD20MD1	0	R/W	PD20 モードビット
8	PD20MD0	0*1	R/W	PD20/D20/TIC5WS/KEY20/ $\overline{\text{COM}}4$ 端子の機能を選びます。 00: PD20 入出力 (ポ - ト) 01: D20 入出力 (BSC) *2 10: TIC5WS 入力 (MTU2S) 11: KEY20 入力/ $\overline{\text{COM}}4$ 出力 (KEYC)
7	PD19MD1	0	R/W	PD19 モードビット
6	PD19MD0	0*1	R/W	PD19/D19/TCLKD/KEY19/ $\overline{\text{COM}}3$ 端子の機能を選びます。 00: PD19 入出力 (ポ - ト) 01: D19 入出力 (BSC) *2 10: TCLKD 入力 (MTU2) 11: KEY19 入力/ $\overline{\text{COM}}3$ 出力 (KEYC)

ビット	ビット名	初期値	R/W	説明
5 4	PD18MD1 PD18MD0	0 0* ¹	R/W R/W	PD18 モードビット PD18/D18/TCLKC/KEY18/ $\overline{\text{COM2}}$ 端子の機能を選びます。 00 : PD18 入出力 (ボ - ト) 01 : D18 入出力 (BSC) * ² 10 : TCLKC 入力 (MTU2) 11 : KEY18 入力/ $\overline{\text{COM2}}$ 出力 (KEYC)
3 2	PD17MD1 PD17MD0	0 0* ¹	R/W R/W	PD17 モードビット PD17/D17/TCLKB/KEY17/ $\overline{\text{COM1}}$ 端子の機能を選びます。 00 : PD17 入出力 (ボ - ト) 01 : D17 入出力 (BSC) * ² 10 : TCLKB 入力 (MTU2) 11 : KEY17 入力/ $\overline{\text{COM1}}$ 出力 (KEYC)
1 0	PD16MD1 PD16MD0	0 0* ¹	R/W R/W	PD16 モードビット PD16/D16/TCLKA/KEY16/ $\overline{\text{COM0}}$ 端子の機能を選びます。 00 : PD16 入出力 (ボ - ト) 01 : D16 入出力 (BSC) * ² 10 : TCLKA 入力 (MTU2) 11 : KEY16 入力/ $\overline{\text{COM0}}$ 出力 (KEYC)

【注】 *1 内蔵 ROM 無効 32 ビット外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(3) ポート D コントロールレジスタ L2 (PDCRL2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD15 MD1	PD15 MD0	PD14 MD1	PD14 MD0	PD13 MD1	PD13 MD0	PD12 MD1	PD12 MD0	PD11 MD1	PD11 MD0	PD10 MD1	PD10 MD0	PD9 MD1	PD9 MD0	PD8 MD1	PD8 MD0
初期値: 0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説 明
15	PD15MD1	0	R/W	PD15 モードビット
14	PD15MD0	0*1	R/W	PD15/D15/RXD3/KEY15 端子の機能を選びます。 00: PD15 入出力 (ポ - ト) 01: D15 入出力 (BSC) *2 10: RXD3 入力 (SCI_3) 11: KEY15 入力 (KEYC)
13	PD14MD1	0	R/W	PD14 モードビット
12	PD14MD0	0*1	R/W	PD14/D14/TXD3/KEY14 端子の機能を選びます。 00: PD14 入出力 (ポ - ト) 01: D14 入出力 (BSC) *2 10: TXD3 出力 (SCI_3) 11: KEY14 入力 (KEYC)
11	PD13MD1	0	R/W	PD13 モードビット
10	PD13MD0	0*1	R/W	PD13/D13/SCK3/KEY13 端子の機能を選びます。 00: PD13 入出力 (ポ - ト) 01: D13 入出力 (BSC) *2 10: SCK3 入出力 (SCI_3) 11: KEY13 入力 (KEYC)
9	PD12MD1	0	R/W	PD12 モードビット
8	PD12MD0	0*1	R/W	PD12/D12/RXD5/KEY12 端子の機能を選びます。 00: PD12 入出力 (ポ - ト) 01: D12 入出力 (BSC) *2 10: RXD5 入力 (SCIF_5) 11: KEY12 入力 (KEYC)
7	PD11MD1	0	R/W	PD11 モードビット
6	PD11MD0	0*1	R/W	PD11/D11/TXD5/KEY11 端子の機能を選びます。 00: PD11 入出力 (ポ - ト) 01: D11 入出力 (BSC) *2 10: TXD5 出力 (SCIF_5) 11: KEY11 入力 (KEYC)

ビット	ビット名	初期値	R/W	説明
5 4	PD10MD1 PD10MD0	0 0* ¹	R/W R/W	PD10 モードビット PD10/D10/SCK5/KEY10 端子の機能を選びます。 00 : PD10 入出力 (ボ - ト) 01 : D10 入出力 (BSC) * ² 10 : SCK5 入出力 (SCIF_5) 11 : KEY10 入力 (KEYC)
3 2	PD9MD1 PD9MD0	0 0* ¹	R/W R/W	PD9 モードビット PD9/D9/RXD2/KEY9 端子の機能を選びます。 00 : PD9 入出力 (ボ - ト) 01 : D9 入出力 (BSC) * ² 10 : RXD2 入力 (SCI_2) 11 : KEY9 入力 (KEYC)
1 0	PD8MD1 PD8MD0	0 0* ¹	R/W R/W	PD8 モードビット PD8/D8/TXD2/KEY8 端子の機能を選びます。 00 : PD8 入出力 (ボ - ト) 01 : D8 入出力 (BSC) * ² 10 : TXD2 出力 (SCI_2) 11 : KEY8 入力 (KEYC)

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(4) ポート D コントロールレジスタ L1 (PDCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7 MD1	PD7 MD0	PD6 MD1	PD6 MD0	PD5 MD1	PD5 MD0	PD4 MD1	PD4 MD0	PD3 MD1	PD3 MD0	PD2 MD1	PD2 MD0	PD1 MD1	PD1 MD0	PD0 MD1	PD0 MD0
初期値:	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1	0	0*1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	0	R/W	PD7 モードビット
14	PD7MD0	0*1	R/W	PD7/D7/POE8/KEY7 端子の機能を選びます。 00: PD7 入出力 (ポ - ト) 01: D7 入出力 (BSC) *2 10: POE8 入力 (POE2) 11: KEY7 入力 (KEYC)
13	PD6MD1	0	R/W	PD6 モードビット
12	PD6MD0	0*1	R/W	PD6/D6/SCK2/KEY6 端子の機能を選びます。 00: PD6 入出力 (ポ - ト) 01: D6 入出力 (BSC) *2 10: SCK2 入出力 (SCI_2) 11: KEY6 入力 (KEYC)
11	PD5MD1	0	R/W	PD5 モードビット
10	PD5MD0	0*1	R/W	PD5/D5/RXD7/KEY5 端子の機能を選びます。 00: PD5 入出力 (ポ - ト) 01: D5 入出力 (BSC) *2 10: RXD7 入力 (SCIF_7) 11: KEY5 入力 (KEYC)
9	PD4MD1	0	R/W	PD4 モードビット
8	PD4MD0	0*1	R/W	PD4/D4/TXD7/KEY4 端子の機能を選びます。 00: PD4 入出力 (ポ - ト) 01: D4 入出力 (BSC) *2 10: TXD7 出力 (SCIF_7) 11: KEY4 入力 (KEYC)
7	PD3MD1	0	R/W	PD3 モードビット
6	PD3MD0	0*1	R/W	PD3/D3/SCK7/KEY3 端子の機能を選びます。 00: PD3 入出力 (ポ - ト) 01: D3 入出力 (BSC) *2 10: SCK7 入出力 (SCIF_7) 11: KEY3 入力 (KEYC)

ビット	ビット名	初期値	R/W	説明
5	PD2MD1	0	R/W	PD2 モードビット
4	PD2MD0	0* ¹	R/W	PD2/D2/RXD1/KEY2 端子の機能を選びます。 00 : PD2 入出力 (ポ - ト) 01 : D2 入出力 (BSC) * ² 10 : RXD1 入力 (SCI_1) 11 : KEY2 入力 (KEYC)
3	PD1MD1	0	R/W	PD1 モードビット
2	PD1MD0	0* ¹	R/W	PD1/D1/TXD1/KEY1 端子の機能を選びます。 00 : PD1 入出力 (ポ - ト) 01 : D1 入出力 (BSC) * ² 10 : TXD1 出力 (SCI_1) 11 : KEY1 入力 (KEYC)
1	PD0MD1	0	R/W	PD0 モードビット
0	PD0MD0	0* ¹	R/W	PD0/D0/SCK1/KEY0 端子の機能を選びます。 00 : PD0 入出力 (ポ - ト) 01 : D0 入出力 (BSC) * ² 10 : SCK1 入出力 (SCI_1) 11 : KEY0 入力 (KEYC)

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

22.1.12 ポート D プルアップ MOS コントロールレジスタ L、H (PDPCRL、PDPCRH)

PDPCRL、PDPCRH はビット単位でポート D の入力プルアップ MOS のオン / オフを制御します。

(1) ポート D プルアップ MOS コントロールレジスタ H (PDPCRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 PCR	PD30 PCR	PD29 PCR	PD28 PCR	PD27 PCR	PD26 PCR	PD25 PCR	PD24 PCR	PD23 PCR	PD22 PCR	PD21 PCR	PD20 PCR	PD19 PCR	PD18 PCR	PD17 PCR	PD16 PCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PD31PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PD30PCR	0	R/W	
13	PD29PCR	0	R/W	
12	PD28PCR	0	R/W	
11	PD27PCR	0	R/W	
10	PD26PCR	0	R/W	
9	PD25PCR	0	R/W	
8	PD24PCR	0	R/W	
7	PD23PCR	0	R/W	
6	PD22PCR	0	R/W	
5	PD21PCR	0	R/W	
4	PD20PCR	0	R/W	
3	PD19PCR	0	R/W	
2	PD18PCR	0	R/W	
1	PD17PCR	0	R/W	
0	PD16PCR	0	R/W	

(2) ポート D プルアップ MOS コントロールレジスタ L (PDPCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PCR	PD14 PCR	PD13 PCR	PD12 PCR	PD11 PCR	PD10 PCR	PD9 PCR	PD8 PCR	PD7 PCR	PD6 PCR	PD5 PCR	PD4 PCR	PD3 PCR	PD2 PCR	PD1 PCR	PD0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD15PCR	0	R/W	1にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PD14PCR	0	R/W	
13	PD13PCR	0	R/W	
12	PD12PCR	0	R/W	
11	PD11PCR	0	R/W	
10	PD10PCR	0	R/W	
9	PD9PCR	0	R/W	
8	PD8PCR	0	R/W	
7	PD7PCR	0	R/W	
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

22.1.13 ポート E・IO レジスタ L、H (PEIORL、PEIORH)

PEIORL、PEIORH は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE23IOR ~ PE0IOR ビットが、それぞれ、PE23 ~ PE0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PEIORL はポート E の端子機能が汎用入出力 (PE15 ~ PE0) および MTU2 の TIOC 入出力の場合に有効でそれ以外の場合は無効です。PEIORH はポート E の端子機能が汎用入出力 (PE23 ~ PE16) および MTU2S の TIOC 入出力の場合に有効でそれ以外の場合は無効です。

PEIORL および PEIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PEIORH のビット 15 ~ 8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PEIORL、PEIORH の初期値はともに H'0000 です。

(1) ポート E・IO レジスタ H (PEIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE23 IOR	PE22 IOR	PE21 IOR	PE20 IOR	PE19 IOR	PE18 IOR	PE17 IOR	PE16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート E・IO レジスタ L (PEIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.14 ポート E コントロールレジスタ L1、L2、H1 (PECRL1、PECRL2、PECRH1)

PECRL1、PECRL2、PECRH1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

(1) ポート E コントロールレジスタ H1 (PECRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE23 MD1	PE23 MD0	PE22 MD1	PE22 MD0	PE21 MD1	PE21 MD0	PE20 PE1	PE20 PE0	PE19 MD1	PE19 MD0	PE18 MD1	PE18 MD0	PE17 MD1	PE17 MD0	PE16 MD1	PE16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE23MD1	0	R/W	PE23 モードビット
14	PE23MD0	0	R/W	PE23/TEND1/TIOC4DS/RXD7 端子の機能を選びます。 00: PE23 入出力 (ボ - ト) 01: TEND1 出力 (DMAC) * 10: TIOC4DS 入出力 (MTU2S) 11: RXD7 入力 (SCIF_7)
13	PE22MD1	0	R/W	PE22 モードビット
12	PE22MD0	0	R/W	PE22/DACK1/TIOC4CS/TXD7 端子の機能を選びます。 00: PE22 入出力 (ボ - ト) 01: DACK1 出力 (DMAC) * 10: TIOC4CS 入出力 (MTU2S) 11: TXD7 出力 (SCIF_7)
11	PE21MD1	0	R/W	PE21 モードビット
10	PE21MD0	0	R/W	PE21/DREQ1/TIOC4BS/SCK7 端子の機能を選びます。 00: PE21 入出力 (ボ - ト) 01: DREQ1 入力 (DMAC) 10: TIOC4BS 入出力 (MTU2S) 11: SCK7 入出力 (SCIF_7)
9	PE20MD1	0	R/W	PE20 モードビット
8	PE20MD0	0	R/W	PE20/TEND0/TIOC4AS/RXD6 端子の機能を選びます。 00: PE20 入出力 (ボ - ト) 01: TEND0 出力 (DMAC) * 10: TIOC4AS 入出力 (MTU2S) 11: RXD6 入力 (SCIF_6)

ビット	ビット名	初期値	R/W	説明
7 6	PE19MD1 PE19MD0	0 0	R/W R/W	PE19 モードビット PE19/DACK0/TIOC3DS/TXD6 端子の機能を選びます。 00 : PE19 入出力 (ボ - ト) 01 : DACK0 出力 (DMAC) * 10 : TIOC3DS 入出力 (MTU2S) 11 : TXD6 出力 (SCIF_6)
5 4	PE18MD1 PE18MD0	0 0	R/W R/W	PE18 モードビット PE18/DREQ0/TIOC3CS/SCK6 端子の機能を選びます。 00 : PE18 入出力 (ボ - ト) 01 : DREQ0 入力 (DMAC) 10 : TIOC3CS 入出力 (MTU2S) 11 : SCK6 入出力 (SCIF_6)
3 2	PE17MD1 PE17MD0	0 0	R/W R/W	PE17 モードビット PE17/ \overline{MRES} /TIOC3BS/RXD0 端子の機能を選びます。 00 : PE17 入出力 (ボ - ト) 01 : \overline{MRES} 入力 (INTC) 10 : TIOC3BS 入出力 (MTU2S) 11 : RXD0 入力 (SCI_0)
1 0	PE16MD1 PE16MD0	0 0	R/W R/W	PE16 モードビット PE16/ \overline{UBCTRG} /TIOC3AS/TXD0 端子の機能を選びます。 00 : PE16 入出力 (ボ - ト) 01 : \overline{UBCTRG} 出力 (UBC) 10 : TIOC3AS 入出力 (MTU2S) 11 : TXD0 出力 (SCI_0)

【注】 * 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

(2) ポート E コントロールレジスタ L2 (PECRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 MD1	PE15 MD0	PE14 MD1	PE14 MD0	PE13 MD1	PE13 MD0	PE12 MD1	PE12 MD0	PE11 MD1	PE11 MD0	PE10 MD1	PE10 MD0	PE9 MD1	PE9 MD0	PE8 MD1	PE8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE15MD1	0	R/W	PE15 モードビット
14	PE15MD0	0	R/W	PE15/IRQ15/TIOC4D/SCK0 端子の機能を選びます。 00: PE15 入出力 (ボ - ト) 01: IRQ15 入力 (INTC) 10: TIOC4D 入出力 (MTU2) 11: SCK0 入出力 (SCI_0)
13	PE14MD1	0	R/W	PE14 モードビット
12	PE14MD0	0	R/W	PE14/IRQ14/TIOC4C/RXD5 端子の機能を選びます。 00: PE14 入出力 (ボ - ト) 01: IRQ14 入力 (INTC) 10: TIOC4C 入出力 (MTU2) 11: RXD5 入力 (SCIF_5)
11	PE13MD1	0	R/W	PE13 モードビット
10	PE13MD0	0	R/W	PE13/IRQ13/TIOC4B/TXD5 端子の機能を選びます。 00: PE13 入出力 (ボ - ト) 01: IRQ13 入力 (INTC) 10: TIOC4B 入出力 (MTU2) 11: TXD5 出力 (SCIF_5)
9	PE12MD1	0	R/W	PE12 モードビット
8	PE12MD0	0	R/W	PE12/IRQ12/TIOC4A/SCK5 端子の機能を選びます。 00: PE12 入出力 (ボ - ト) 01: IRQ12 入力 (INTC) 10: TIOC4A 入出力 (MTU2) 11: SCK5 入出力 (SCIF_5)
7	PE11MD1	0	R/W	PE11 モードビット
6	PE11MD0	0	R/W	PE11/IRQ11/TIOC3D/RXD1 端子の機能を選びます。 00: PE11 入出力 (ボ - ト) 01: IRQ11 入力 (INTC) 10: TIOC3D 入出力 (MTU2) 11: RXD1 入力 (SCI_1)

ビット	ビット名	初期値	R/W	説 明
5 4	PE10MD1 PE10MD0	0 0	R/W R/W	PE10 モードビット PE10/IRQ10/TIOC3C/TXD1 端子の機能を選びます。 00 : PE10 入出力 (ボ - ト) 01 : IRQ10 入力 (INTC) 10 : TIOC3C 入出力 (MTU2) 11 : TXD1 出力 (SCI_1)
3 2	PE9MD1 PE9MD0	0 0	R/W R/W	PE9 モードビット PE9/IRQ9/TIOC3B/SCK1 端子の機能を選びます。 00 : PE9 入出力 (ボ - ト) 01 : IRQ9 入力 (INTC) 10 : TIOC3B 入出力 (MTU2) 11 : SCK1 入出力 (SCI_1)
1 0	PE8MD1 PE8MD0	0 0	R/W R/W	PE8 モードビット PE8/IRQ8/TIOC3A/SCK2 端子の機能を選びます。 00 : PE8 入出力 (ボ - ト) 01 : IRQ8 入力 (INTC) 10 : TIOC3A 入出力 (MTU2) 11 : SCK2 入出力 (SCI_2)

(3) ポート E コントロールレジスタ L1 (PECRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE7 MD1	PE7 MD0	PE6 MD1	PE6 MD0	PE5 MD1	PE5 MD0	PE4 MD1	PE4 MD0	PE3 MD1	PE3 MD0	PE2 MD1	PE2 MD0	PE1 MD1	PE1 MD0	PE0 MD1	PE0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE7MD1	0	R/W	PE7 モードビット
14	PE7MD0	0	R/W	PE7/IRQ7/TIOC2B/RXD2 端子の機能を選びます。 00: PE7 入出力 (ポ - ト) 01: IRQ7 入力 (INTC) 10: TIOC2B 入出力 (MTU2) 11: RXD2 入力 (SCI_2)
13	PE6MD1	0	R/W	PE6 モードビット
12	PE6MD0	0	R/W	PE6/IRQ6/TIOC2A/TXD2 端子の機能を選びます。 00: PE6 入出力 (ポ - ト) 01: IRQ6 入力 (INTC) 10: TIOC2A 入出力 (MTU2) 11: TXD2 出力 (SCI_2)
11	PE5MD1	0	R/W	PE5 モードビット
10	PE5MD0	0	R/W	PE5/IRQ5/TIOC1B/TXD3 端子の機能を選びます。 00: PE5 入出力 (ポ - ト) 01: IRQ5 入力 (INTC) 10: TIOC1B 入出力 (MTU2) 11: TXD3 出力 (SCI_3)
9	PE4MD1	0	R/W	PE4 モードビット
8	PE4MD0	0	R/W	PE4/IRQ4/TIOC1A/RXD3 端子の機能を選びます。 00: PE4 入出力 (ポ - ト) 01: IRQ4 入力 (INTC) 10: TIOC1A 入出力 (MTU2) 11: RXD3 入力 (SCI_3)
7	PE3MD1	0	R/W	PE3 モードビット
6	PE3MD0	0	R/W	PE3/IRQ3/TIOC0D/SCK3 端子の機能を選びます。 00: PE3 入出力 (ポ - ト) 01: IRQ3 入力 (INTC) 10: TIOC0D 入出力 (MTU2) 11: SCK3 入出力 (SCI_3)

ビット	ビット名	初期値	R/W	説明
5 4	PE2MD1 PE2MD0	0 0	R/W R/W	PE2 モードビット PE2/IRQ2/TIOC0C/RXD4 端子の機能を選びます。 00 : PE2 入出力 (ボ - ト) 01 : IRQ2 入力 (INTC) 10 : TIOC0C 入出力 (MTU2) 11 : RXD4 入力 (SCIF_4)
3 2	PE1MD1 PE1MD0	0 0	R/W R/W	PE1 モードビット PE1/IRQ1/TIOC0B/TXD4 端子の機能を選びます。 00 : PE1 入出力 (ボ - ト) 01 : IRQ1 入力 (INTC) 10 : TIOC0B 入出力 (MTU2) 11 : TXD4 出力 (SCIF_4)
1 0	PE0MD1 PE0MD0	0 0	R/W R/W	PE0 モードビット PE0/IRQ0/TIOC0A/SCK4 端子の機能を選びます。 00 : PE0 入出力 (ボ - ト) 01 : IRQ0 入力 (INTC) 10 : TIOC0A 入出力 (MTU2) 11 : SCK4 入出力 (SCIF_4)

22.1.15 ポート E プルアップ MOS コントロールレジスタ L、H (PEPCRL、PEPCRH)

PEPCRL、PEPCRH はビット単位でポート E の入力プルアップ MOS のオン / オフを制御します。

(1) ポート E プルアップ MOS コントロールレジスタ H (PEPCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE23 PCR	PE22 PCR	PE21 PCR	PE20 PCR	PE19 PCR	PE18 PCR	PE17 PCR	PE16 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PE23PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PE22PCR	0	R/W	
5	PE21PCR	0	R/W	
4	PE20PCR	0	R/W	
3	PE19PCR	0	R/W	
2	PE18PCR	0	R/W	
1	PE17PCR	0	R/W	
0	PE16PCR	0	R/W	

(2) ポートE プルアップ MOS コントロールレジスタ L (PEPCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 PCR	PE14 PCR	PE13 PCR	PE12 PCR	PE11 PCR	PE10 PCR	PE9 PCR	PE8 PCR	PE7 PCR	PE6 PCR	PE5 PCR	PE4 PCR	PE3 PCR	PE2 PCR	PE1 PCR	PE0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE15PCR	0	R/W	1にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PE14PCR	0	R/W	
13	PE13PCR	0	R/W	
12	PE12PCR	0	R/W	
11	PE11PCR	0	R/W	
10	PE10PCR	0	R/W	
9	PE9PCR	0	R/W	
8	PE8PCR	0	R/W	
7	PE7PCR	0	R/W	
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

22.1.16 ポート G・IO レジスタ L (PGIORL)

PGIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G にある端子の入出力方向を選びます。PG15IOR ~ PG0IOR ビットが、それぞれ、PG15 ~ PG0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PGIORL はポート G の端子機能が汎用入出力 (PG15 ~ PG0) の場合に有効でそれ以外の場合は無効です。

PGIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PGIORL の初期値は H'0000 です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 IOR	PG14 IOR	PG13 IOR	PG12 IOR	PG11 IOR	PG10 IOR	PG9 IOR	PG8 IOR	PG7 IOR	PG6 IOR	PG5 IOR	PG4 IOR	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.17 ポート G コントロールレジスタ L1 (PGCRL1)

PGCRL1 は、16 ビットの読み出し/書き込み可能なレジスタで、ポート G にあるマルチプレクス端子の機能を選びます。

PGCRL1 は $\overline{\text{RES}}$ 端子からのパワーオンリセットで初期化されます。

ディープソフトウェアスタンバイから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 MD	PG14 MD	PG13 MD	PG12 MD	PG11 MD	PG10 MD	PG9 MD	PG8 MD	PG7 MD	PG6 MD	PG5 MD	PG4 MD	PG3 MD	PG2 MD	PG1 MD	PG0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PG15MD	0	R/W	PG15 モードビット PG15 端子の機能を選びます。 0: PG15 入出力 (ポ - ト) 1: 設定禁止
14	PG14MD	0	R/W	PG14 モードビット PG14/CK32 端子の機能を選びます。 0: PG14 入出力 (ポ - ト) 1: CK32 出力 (32kHz クロック)
13	PG13MD	0	R/W	PG13 モードビット PG13/TI32I1B 端子の機能を選びます。 0: PG13 入出力 (ポ - ト) 1: TI32I1B 入力 (TIM32C)
12	PG12MD	0	R/W	PG12 モードビット PG12/TI32I1A 端子の機能を選びます。 0: PG12 入出力 (ポ - ト) 1: TI32I1A 入力 (TIM32C)
11	PG11MD	0	R/W	PG11 モードビット PG11/TI32I0B 端子の機能を選びます。 0: PG11 入出力 (ポ - ト) 1: TI32I0B 入力 (TIM32C)
10	PG10MD	0	R/W	PG10 モードビット PG10/TI32I0A 端子の機能を選びます。 0: PG10 入出力 (ポ - ト) 1: TI32I0A 入力 (TIM32C)

ビット	ビット名	初期値	R/W	説明
9	PG9MD	0	R/W	PG9 モードビット PG9/IRQ9 端子の機能を選びます。 0 : PG9 入出力 (ボ - ト) 1 : IRQ9 入力 (INTC)
8	PG8MD	0	R/W	PG8 モードビット PG8/IRQ8 端子の機能を選びます。 0 : PG8 入出力 (ボ - ト) 1 : IRQ8 入力 (INTC)
7	PG7MD	0	R/W	PG7 モードビット PG7/IRQ7 端子の機能を選びます。 0 : PG7 入出力 (ボ - ト) 1 : IRQ7 入力 (INTC)
6	PG6MD	0	R/W	PG6 モードビット PG6/IRQ6 端子の機能を選びます。 0 : PG6 入出力 (ボ - ト) 1 : IRQ6 入力 (INTC)
5	PG5MD	0	R/W	PG5 モードビット PG5/IRQ5 端子の機能を選びます。 0 : PG5 入出力 (ボ - ト) 1 : IRQ5 入力 (INTC)
4	PG4MD	0	R/W	PG4 モードビット PG4/IRQ4 端子の機能を選びます。 0 : PG4 入出力 (ボ - ト) 1 : IRQ4 入力 (INTC)
3	PG3MD	0	R/W	PG3 モードビット PG3/IRQ3 端子の機能を選びます。 0 : PG3 入出力 (ボ - ト) 1 : IRQ3 入力 (INTC)
2	PG2MD	0	R/W	PG2 モードビット PG2/IRQ2 端子の機能を選びます。 0 : PG2 入出力 (ボ - ト) 1 : IRQ2 入力 (INTC)
1	PG1MD	0	R/W	PG1 モードビット PG1/IRQ1 端子の機能を選びます。 0 : PG1 入出力 (ボ - ト) 1 : IRQ1 入力 (INTC)

ビット	ビット名	初期値	R/W	説明
0	PG0MD	0	R/W	PG0 モードビット PG0/IRQ0 端子の機能を選びます。 0 : PG0 入出力 (ボ - ト) 1 : IRQ0 入力 (INTC)

22.1.18 ポート G プルアップ MOS コントロールレジスタ L (PGPCRL)

PGPCRL はビット単位でポート G の入力プルアップ MOS のオン / オフを制御します。

PGPCRL は RES 端子からのパワーオンリセットで初期化されます。

ディープソフトウェアスタンバイから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 PCR	PG14 PCR	PG13 PCR	PG12 PCR	PG11 PCR	PG10 PCR	PG9 PCR	PG8 PCR	PG7 PCR	PG6 PCR	PG5 PCR	PG4 PCR	PG3 PCR	PG2 PCR	PG1 PCR	PG0 PCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PG15PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PG14PCR	0	R/W	
13	PG13PCR	0	R/W	
12	PG12PCR	0	R/W	
11	PG11PCR	0	R/W	
10	PG10PCR	0	R/W	
9	PG9PCR	0	R/W	
8	PG8PCR	0	R/W	
7	PG7PCR	0	R/W	
6	PG6PCR	0	R/W	
5	PG5PCR	0	R/W	
4	PG4PCR	0	R/W	
3	PG3PCR	0	R/W	
2	PG2PCR	0	R/W	
1	PG1PCR	0	R/W	
0	PG0PCR	0	R/W	

22.1.19 ポート H・IO レジスタ L (PHIORL)

PHIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート H にある端子の入出力方向を選びます。PH15IOR ~ PH0IOR ビットが、それぞれ、PH15 ~ PH0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PHIORL はポート H の端子機能が汎用入出力 (PH15 ~ PH0) の場合に有効でそれ以外の場合は無効です。

PHIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PHIORL の初期値はともに H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 IOR	PH14 IOR	PH13 IOR	PH12 IOR	PH11 IOR	PH10 IOR	PH9 IOR	PH8 IOR	PH7 IOR	PH6 IOR	PH5 IOR	PH4 IOR	PH3 IOR	PH2 IOR	PH1 IOR	PH0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.20 ポートHコントロールレジスタ L1 (PHCRL1)

PHCRL1 は、16 ビットの読み出し/書き込み可能なレジスタで、ポート H にあるマルチプレクス端子の機能を選びます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 MD	PH14 MD	PH13 MD	PH12 MD	PH11 MD	PH10 MD	PH9 MD	PH8 MD	PH7 MD	PH6 MD	PH5 MD	PH4 MD	PH3 MD	PH2 MD	PH1 MD	PH0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PH15MD	0	R/W	PH15 モードビット PH15/TOC1 端子の機能を選びます。 0: PH15 入出力 (ポ - ト) 1: TOC1 出力 (CMT2)
14	PH14MD	0	R/W	PH14 モードビット PH14/TOC0 端子の機能を選びます。 0: PH14 入出力 (ポ - ト) 1: TOC0 出力 (CMT2)
13	PH13MD	0	R/W	PH13 モードビット PH13/TIC1 端子の機能を選びます。 0: PH13 入出力 (ポ - ト) 1: TIC1 入力 (CMT2)
12	PH12MD	0	R/W	PH12 モードビット PH12/TIC0 端子の機能を選びます。 0: PH12 入出力 (ポ - ト) 1: TIC0 入力 (CMT2)
11	PH11MD	0	R/W	PH11 モードビット PH11 端子の機能を選びます。 0: PH11 入出力 (ポ - ト) 1: 設定禁止
10	PH10MD	0	R/W	PH10 モードビット PH10 端子の機能を選びます。 0: PH10 入出力 (ポ - ト) 1: 設定禁止
9	PH9MD	0	R/W	PH9 モードビット PH9 端子の機能を選びます。 0: PH9 入出力 (ポ - ト) 1: 設定禁止

ビット	ビット名	初期値	R/W	説明
8	PH8MD	0	R/W	PH8 モードビット PH8/RXD7 端子の機能を選びます。 0 : PH8 入出力 (ポ - ト) 1 : RXD7 入力 (SCIF_7)
7	PH7MD	0	R/W	PH7 モードビット PH7/TXD7 端子の機能を選びます。 0 : PH7 入出力 (ポ - ト) 1 : TXD7 出力 (SCIF_7)
6	PH6MD	0	R/W	PH6 モードビット PH6/SCK7 端子の機能を選びます。 0 : PH6 入出力 (ポ - ト) 1 : SCK7 入出力 (SCIF_7)
5	PH5MD	0	R/W	PH5 モードビット PH5/TIC5WS 端子の機能を選びます。 0 : PH5 入出力 (ポ - ト) 1 : TIC5WS 入力 (MTU2S)
4	PH4MD	0	R/W	PH4 モードビット PH4/TIC5VS 端子の機能を選びます。 0 : PH4 入出力 (ポ - ト) 1 : TIC5VS 入力 (MTU2S)
3	PH3MD	0	R/W	PH3 モードビット PH3/TIC5US 端子の機能を選びます。 0 : PH3 入出力 (ポ - ト) 1 : TIC5US 入力 (MTU2S)
2	PH2MD	0	R/W	PH2 モードビット PH2/TIC5W 端子の機能を選びます。 0 : PH2 入出力 (ポ - ト) 1 : TIC5W 入力 (MTU2)
1	PH1MD	0	R/W	PH1 モードビット PH1/TIC5V 端子の機能を選びます。 0 : PH1 入出力 (ポ - ト) 1 : TIC5V 入力 (MTU2)
0	PH0MD	0	R/W	PH0 モードビット PH0/TIC5U 端子の機能を選びます。 0 : PH0 入出力 (ポ - ト) 1 : TIC5U 入力 (MTU2)

22.1.21 ポートH プルアップ MOS コントロールレジスタ L (PHPCRL)

PHPCRL はビット単位でポート H の入力プルアップ MOS のオン / オフを制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 PCR	PH14 PCR	PH13 PCR	PH12 PCR	PH11 PCR	PH10 PCR	PH9 PCR	PH8 PCR	PH7 PCR	PH6 PCR	PH5 PCR	PH4 PCR	PH3 PCR	PH2 PCR	PH1 PCR	PH0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PH15PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PH14PCR	0	R/W	
13	PH13PCR	0	R/W	
12	PH12PCR	0	R/W	
11	PH11PCR	0	R/W	
10	PH10PCR	0	R/W	
9	PH9PCR	0	R/W	
8	PH8PCR	0	R/W	
7	PH7PCR	0	R/W	
6	PH6PCR	0	R/W	
5	PH5PCR	0	R/W	
4	PH4PCR	0	R/W	
3	PH3PCR	0	R/W	
2	PH2PCR	0	R/W	
1	PH1PCR	0	R/W	
0	PH0PCR	0	R/W	

22.1.22 ポート J・IO レジスタ L (PJIORL)

PJIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J にある端子の入出力方向を選びます。PJ15IOR ~ PJ0IOR ビットが、それぞれ、PJ15 ~ PJ0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PJIORL はポート J の端子機能が汎用入出力 (PJ15 ~ PJ0) の場合に有効でそれ以外の場合は無効です。

PJIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PJIORL の初期値はともに H'0000 です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 IOR	PJ14 IOR	PJ13 IOR	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.23 ポート J コントロールレジスタ L1 (PJCR1)

PJCR1 は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート J にあるマルチプレクス端子の機能を選びます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 MD	PJ14 MD	PJ13 MD	PJ12 MD	PJ11 MD	PJ10 MD	PJ9 MD	PJ8 MD	PJ7 MD	PJ6 MD	PJ5 MD	PJ4 MD	PJ3 MD	PJ2 MD	PJ1 MD	PJ0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PJ15MD	0	R/W	PJ15 モードビット PJ15/SSL3 端子の機能を選びます。 0 : PJ15 入出力 (ポ - ト) 1 : SSL3 出力 (RSPI)
14	PJ14MD	0	R/W	PJ14 モードビット PJ14/SSL2 端子の機能を選びます。 0 : PJ14 入出力 (ポ - ト) 1 : SSL2 出力 (RSPI)
13	PJ13MD	0	R/W	PJ13 モードビット PJ13/SSL1 端子の機能を選びます。 0 : PJ13 入出力 (ポ - ト) 1 : SSL1 出力 (RSPI)
12	PJ12MD	0	R/W	PJ12 モードビット PJ12/SSL0 端子の機能を選びます。 0 : PJ12 入出力 (ポ - ト) 1 : SSL0 入出力 (RSPI)
11	PJ11MD	0	R/W	PJ11 モードビット PJ11/MISO0 端子の機能を選びます。 0 : PJ11 入出力 (ポ - ト) 1 : MISO0 入出力 (RSPI)
10	PJ10MD	0	R/W	PJ10 モードビット PJ10/MOSI0 端子の機能を選びます。 0 : PJ10 入出力 (ポ - ト) 1 : MOSI0 入出力 (RSPI)
9	PJ9MD	0	R/W	PJ9 モードビット PJ9/RSPCK0 端子の機能を選びます。 0 : PJ9 入出力 (ポ - ト) 1 : RSPCK0 入出力 (RSPI)

ビット	ビット名	初期値	R/W	説明
8	PJ8MD	0	R/W	PJ8 モードビット PJ8/RXD5 端子の機能を選びます。 0 : PJ8 入出力 (ポ - ト) 1 : RXD5 入力 (SCIF_5)
7	PJ7MD	0	R/W	PJ7 モードビット PJ7/TXD5 端子の機能を選びます。 0 : PJ7 入出力 (ポ - ト) 1 : TXD5 出力 (SCIF_5)
6	PJ6MD	0	R/W	PJ6 モードビット PJ6/SCK5 端子の機能を選びます。 0 : PJ6 入出力 (ポ - ト) 1 : SCK5 入出力 (SCIF_5)
5	PJ5MD	0	R/W	PJ5 モードビット PJ5/RXD4 端子の機能を選びます。 0 : PJ5 入出力 (ポ - ト) 1 : RXD4 入力 (SCIF_4)
4	PJ4MD	0	R/W	PJ4 モードビット PJ4/TXD4 端子の機能を選びます。 0 : PJ4 入出力 (ポ - ト) 1 : TXD4 出力 (SCIF_4)
3	PJ3MD	0	R/W	PJ3 モードビット PJ3/SCK4 端子の機能を選びます。 0 : PJ3 入出力 (ポ - ト) 1 : SCK4 入出力 (SCIF_4)
2	PJ2MD	0	R/W	PJ2 モードビット PJ2/IRQ12 端子の機能を選びます。 0 : PJ2 入出力 (ポ - ト) 1 : IRQ12 入力 (INTC)
1	PJ1MD	0	R/W	PJ1 モードビット PJ1/IRQ11 端子の機能を選びます。 0 : PJ1 入出力 (ポ - ト) 1 : IRQ11 入力 (INTC)
0	PJ0MD	0	R/W	PJ0 モードビット PJ0/IRQ10 端子の機能を選びます。 0 : PJ0 入出力 (ポ - ト) 1 : IRQ10 入力 (INTC)

22.1.24 ポートJプルアップMOSコントロールレジスタL (PJPCRL)

PJPCRLはビット単位でポートJの入力プルアップMOSのオン/オフを制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 PCR	PJ14 PCR	PJ13 PCR	PJ12 PCR	PJ11 PCR	PJ10 PCR	PJ9 PCR	PJ8 PCR	PJ7 PCR	PJ6 PCR	PJ5 PCR	PJ4 PCR	PJ3 PCR	PJ2 PCR	PJ1 PCR	PJ0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PJ15PCR	0	R/W	1にセットされたビットに対応する端子の入力プルアップMOSがオンします。
14	PJ14PCR	0	R/W	
13	PJ13PCR	0	R/W	
12	PJ12PCR	0	R/W	
11	PJ11PCR	0	R/W	
10	PJ10PCR	0	R/W	
9	PJ9PCR	0	R/W	
8	PJ8PCR	0	R/W	
7	PJ7PCR	0	R/W	
6	PJ6PCR	0	R/W	
5	PJ5PCR	0	R/W	
4	PJ4PCR	0	R/W	
3	PJ3PCR	0	R/W	
2	PJ2PCR	0	R/W	
1	PJ1PCR	0	R/W	
0	PJ0PCR	0	R/W	

22.1.25 ポート K・IO レジスタ L (PKIORL)

PKIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K にある端子の入出力方向を選びます。PK7IOR ~ PK0IOR ビットが、それぞれ、PK7 ~ PK0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PKIORL はポート K の端子機能が汎用入出力 (PK7 ~ PK0) の場合に有効でそれ以外の場合は無効です。

PKIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。また、端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) の GPIE ビットを 1 に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。

PKIORL の初期値はともに H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PK7 IOR	PK6 IOR	PK5 IOR	PK4 IOR	PK3 IOR	PK2 IOR	PK1 IOR	PK0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.1.26 ポート K コントロールレジスタ L1 (PKCRL1)

PKCRL1 は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート K にあるマルチプレクス端子の機能を選びます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PK7 MD	PK6 MD	PK5 MD	PK4 MD	PK3 MD	PK2 MD	PK1 MD	PK0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PK7MD	0	R/W	PK7 モードビット PK7 端子の機能を選びます。 0: PK7 入出力 (ポ - ト) 1: 設定禁止
6	PK6MD	0	R/W	PK6 モードビット PK6 端子の機能を選びます。 0: PK6 入出力 (ポ - ト) 1: 設定禁止
5	PK5MD	0	R/W	PK5 モードビット PK5/RXD6 端子の機能を選びます。 0: PK5 入出力 (ポ - ト) 1: RXD6 入力 (SCIF_6)

ビット	ビット名	初期値	R/W	説 明
4	PK4MD	0	R/W	PK4 モードビット PK4/TXD6 端子の機能を選びます。 0 : PK4 入出力 (ポ - ト) 1 : TXD6 出力 (SCIF_6)
3	PK3MD	0	R/W	PK3 モードビット PK3/SCK6 端子の機能を選びます。 0 : PK3 入出力 (ポ - ト) 1 : SCK6 入出力 (SCIF_6)
2	PK2MD	0	R/W	PK2 モードビット PK2/IRQ15 端子の機能を選びます。 0 : PK2 入出力 (ポ - ト) 1 : IRQ15 入力 (INTC)
1	PK1MD	0	R/W	PK1 モードビット PK1/IRQ14 端子の機能を選びます。 0 : PK1 入出力 (ポ - ト) 1 : IRQ14 入力 (INTC)
0	PK0MD	0	R/W	PK0 モードビット PK0/IRQ13 端子の機能を選びます。 0 : PK0 入出力 (ポ - ト) 1 : IRQ13 入力 (INTC)

22.1.27 ポート K プルアップ MOS コントロールレジスタ L (PKPCRL)

PKPCRL はビット単位でポート K の入力プルアップ MOS のオン / オフを制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PK7 PCR	PK6 PCR	PK5 PCR	PK4 PCR	PK3 PCR	PK2 PCR	PK1 PCR	PK0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PK7PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PK6PCR	0	R/W	
5	PK5PCR	0	R/W	
4	PK4PCR	0	R/W	
3	PK3PCR	0	R/W	
2	PK2PCR	0	R/W	
1	PK1PCR	0	R/W	
0	PK0PCR	0	R/W	

22.1.28 ポート L プルアップ MOS コントロールレジスタ L (PLPCRL)

PLPCRL はビット単位でポート L の入力プルアップ MOS のオン / オフを制御します。

PLPCRL はポート L の端子機能が汎用入力 (PL5 ~ PL0) の場合 (SH72315A では LVDS がモジュールスタンバイ状態、すなわちスタンバイコントロールレジスタ (STBCR6) の MSTP67 ビットが 1 の場合。SH72315L/SH72314L では常時) に有効で、それ以外の場合は無効です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PL5 PCR	PL4 PCR	PL3 PCR	PL2 PCR	PL1 PCR	PL0 PCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PL5PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
4	PL4PCR	0	R/W	
3	PL3PCR	0	R/W	
2	PL2PCR	0	R/W	
1	PL1PCR	0	R/W	
0	PL0PCR	0	R/W	

22.1.29 大電流ポートコントロールレジスタ (HCPCR)

HCPCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、大電流ポート (PE9、PE11 ~ 15、PE17、PE19 ~ PE23 の 12 端子) の制御を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MZI ZEH	MZI ZEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MZIZEH	1	R/W	ポート E 大電流ポートハイインピーダンス H 発振停止検出時およびソフトウェアスタンバイモード時、PE17、PE19 ~ PE23 の大電流ポートを PFC の設定にかかわらずハイインピーダンスにするかを選択します。 0: ハイインピーダンスにする 1: ハイインピーダンスにしない 本ビットを 1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は「付録 A. 端子状態」を参照してください。
0	MZIZEL	1	R/W	ポート E 大電流ポートハイインピーダンス L 発振停止検出時およびソフトウェアスタンバイモード時、PE9、PE11 ~ PE15 の大電流ポートを PFC の設定にかかわらずハイインピーダンスにするかを選択します。 0: ハイインピーダンスにする 1: ハイインピーダンスにしない 本ビットを 1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は「付録 A. 端子状態」を参照してください。

22.1.30 I/O バッファドライブ制御レジスタ (DRVCR)

DRVCR は、16 ビットの読み出し / 書き込み可能なレジスタで、I/O バッファのドライバピリティの制御を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ DRV	-	PK DRV	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PJDRV	1	R/W	ポート J I/O バッファドライブ能力セレクト ポート J 端子のドライバピリティを選択します。 0: ドライブ能力大 (PVcc1=1.8V 時は大に設定してください) 1: ドライブ能力小 (PVcc1=3.3V 時は小に設定してください)
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PKDRV	1	R/W	ポート K I/O バッファドライブ能力セレクト ポート K 端子のドライバピリティを選択します。 0: ドライブ能力大 (PVcc2=1.8V 時は大に設定してください) 1: ドライブ能力小 (PVcc2=3.3V 時は小に設定してください)
12~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.1.31 ポート機能拡張レジスタ (PFEXCR)

PFEXCR は、16 ビットの読み出し / 書き込み可能なレジスタで、汎用入力機能の動作の禁止 / 許可の設定をします。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	GPIE	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	GPIE	0	R/W	汎用入力機能イネーブル 汎用入力機能の動作の禁止 / 許可を設定します。端子を汎用入力として使用する場合は、本ビットを 1 に設定してください。 本ビットはポート A、B、C、D、E、G、H、J、K にある端子の端子機能が汎用入力 (PA19~PA0、PB13~PB0、PC15~PC0、PD31~PD0、PE23~PE0、PG15~PG0、PH15~PH0、PJ15~PJ0、PK7~PK0) の場合に有効で、それ以外の場合は無効です。 0: 汎用入力機能の動作を禁止 1: 汎用入力機能の動作を許可 本ビットが 0 の場合には、端子が汎用入力であっても本 LSI の入力回路における貫通電流を発生させることなく、端子をオープンにすることができます。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.2 使用上の注意事項

22.2.1 ピンファンクションコントローラに関する注意事項

1. 本LSIでは、同一機能が複数の端子にマルチプレクス機能として割り付けられています。これは、端子機能の選択自由度を向上させるとともにボードの設定を容易にすることを目的としていますが、1つの機能を2端子以上で使用する場合は次の点に注意して使用してください。

- 端子機能が入力機能の場合

複数の端子から入力される信号は、ORもしくはAND論理によって1つの信号となり、LSI内部へ伝搬されます。そのため他の同一機能である端子の入力状態によっては、入力した信号とは異なる信号がLSI内部へ伝搬することがあります。表22.14に複数の端子に割り付けられている入力機能の伝搬形式を示します。以下のいずれかの機能を2つ以上の端子で使用する場合、伝搬形式を考慮し、信号の極性に注意して使用してください。

表 22.14 複数端子に割り付けられている入力機能の伝搬形式

OR 型	AND 型
SCK0 ~ SCK7, RXD0 ~ RXD7, TCLKA, TCLKB, TCLKC, TCLKD, TIC5U, TIC5V, TIC5W, TIC5US, TIC5VS, TIC5WS	IRQ0 ~ IRQ15, DREQ0, DREQ1, $\overline{\text{ADTRG}}$, $\overline{\text{POE0}}$, $\overline{\text{POE4}}$, $\overline{\text{POE8}}$, $\overline{\text{MRES}}$

OR型：複数の端子から入力される信号は、OR論理によって1つの信号となり、LSI内部に伝搬します。

AND型：複数の端子から入力される信号は、AND論理によって1つの信号となり、LSI内部に伝搬します。

- 端子機能が出力機能の場合

選択したすべての端子から同一機能を出力することができます。

2. 入出力ポートとDREQまたはIRQがマルチプレクスされている端子で、ポート入力がローレベル状態からDREQまたはIRQエッジ検出に切り換えた場合、当該エッジが検出されます。
3. 表22.12のPFCで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
4. 端子を汎用入力として使用する場合は、ポート機能拡張レジスタ (PFEXCR) のGPIEビットを1に設定してください。詳細は「22.1.31 ポート機能拡張レジスタ (PFEXCR)」を参照してください。
5. PE9、PE11 ~ PE15にマルチプレクスされているIRQ9、IRQ11 ~ IRQ15を使用する場合、大電流ポートコントロールレジスタ (HCPCR) のMZIZELビットを0に設定しないでください。
6. ポート機能拡張レジスタ (PFEXCR) のGPIEビットを1に書き換えた場合は、PFEXCRレジスタの読み出しを行い、GPIEビットが書き換わったことを確認してから端子の状態を読み出してください。

22.2.2 IRQ[23:0]が割り当てられているポートの端子機能変更時に関する注意事項

ソフトウェアスタンバイまたはディープソフトウェアスタンバイの解除要因に設定している IRQ が割り当てられているポートの端子機能を変更するときは、端子機能切り替え時の割り込み発生を回避するため、下記の手順に従って端子機能の変更を実施してください。

1. 端子機能切り替え時のエッジ検出による割り込み発生を回避するため、設定変更するIRQのIPRレジスタの設定を0にするか、CPUのステータスレジスタの1ビットを設定変更するIRQ割り込みの割り込みレベル以上の値に変更
2. 端子機能切り替えを行うIRQに該当する割り込みコントロールレジスタのIRQセンスセレクトをH'00(ローレベル検出)に変更
3. IRQが割り当てられているポートの端子機能を変更
4. 端子機能切り替えを実施したIRQに対応したIRQ割り込み要求レジスタ0、1 (IRQPR0、1) のフラグに1がセットされていたときはフラグを0クリアする
5. 1.で変更したIPRまたはCPUのステータスレジスタの1ビットを元に戻す

23. I/O ポート

本 LSI のポートは、A、B、C、D、E、F、G、H、J、K、L の 11 本から構成されています。ポート A は 20 本、ポート B は 14 本、ポート C は 16 本、ポート D は 32 本、ポート E は 24 本、ポート G は 16 本、ポート H は 16 本、ポート J は 16 本、ポート K は 8 本の入出力ポートです。ポート F は 16 本、ポート L は 6 本の入力専用ポートです。

それぞれのポートの端子は、すべて、そのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタをもっています。

23.1 ポート A

ポート A は、図 23.1 に示すような、20 本の端子を持つ入出力ポートです。

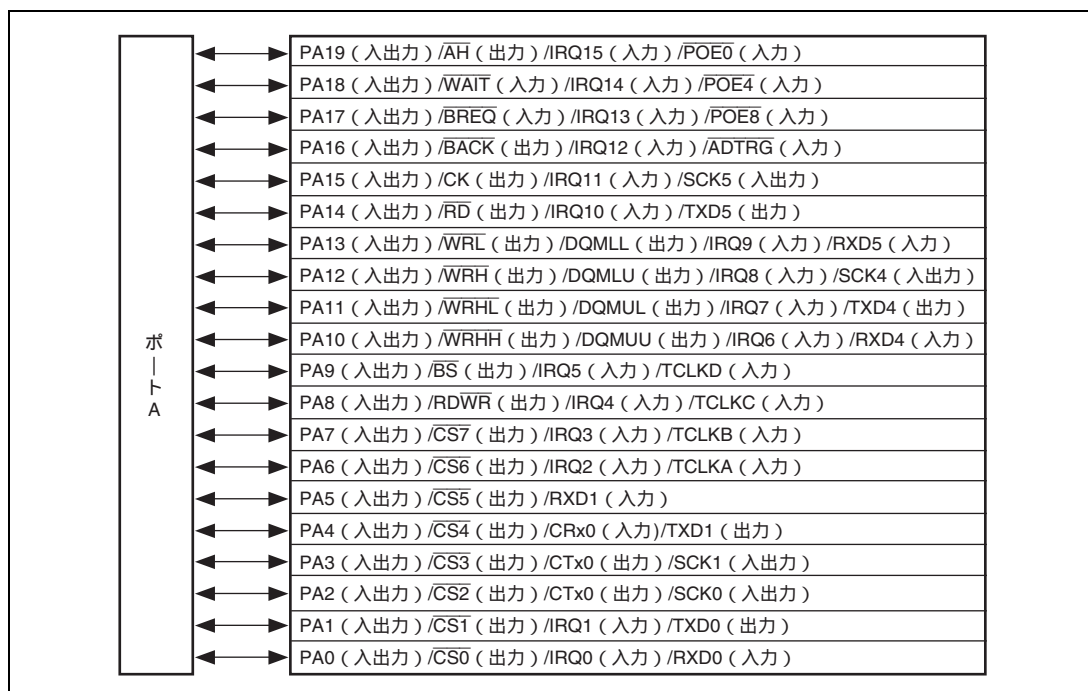


図 23.1 ポート A

23.1.1 レジスタの説明

ポート A には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ H	PADRH	R/W	H'0000	H'FFFE3800	8、16
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFE3802	8、16
ポート A ポートレジスタ H	PAPRH	R	-	H'FFFE3810	8、16
ポート A ポートレジスタ L	PAPRL	R	-	H'FFFE3812	8、16

23.1.2 ポート A データレジスタ H、L (PADRH、PADRL)

PADRH および PADRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA19DR ~ PA0DR ビットは、それぞれ PA19 ~ PA0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PADRH または PADRL に値を書き込むと端子からその値が出力され、PADRH または PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH または PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH または PADRL に値を書き込むと、PADRH または PADRL にその値を書き込みますが、端子の状態には影響しません。表 23.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

• ポート A データレジスタ H (PADRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PA19 DR	PA18 DR	PA17 DR	PA16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PA19DR	0	R/W	表 23.2 参照
2	PA18DR	0	R/W	
1	PA17DR	0	R/W	
0	PA16DR	0	R/W	

- ポートAデータレジスタL (PADRL)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値 : 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA15DR	0	R/W	表 23.2 参照
14	PA14DR	0	R/W	
13	PA13DR	0	R/W	
12	PA12DR	0	R/W	
11	PA11DR	0	R/W	
10	PA10DR	0	R/W	
9	PA9DR	0	R/W	
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

表 23.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

- PADRHのビット3~0およびPADRLのビット15~0

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PADRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PADRH、L の値	PADRH、L に書き込めるが、端子の状態に影響しない

23.1.3 ポート A ポートレジスタ H、L (PAPRH、PAPRL)

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PA19PR~PA0PR ビットは、それぞれ PA19~PA0 端子 (兼用機能については記述を省略) に対応しています。

• ポートAポートレジスタH (PAPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PA19 PR	PA18 PR	PA17 PR	PA16 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	PA19PR	端子の状態	R	PFCの設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
2	PA18PR	端子の状態	R	
1	PA17PR	端子の状態	R	
0	PA16PR	端子の状態	R	

• ポートAポートレジスタL (PAPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PR	PA14 PR	PA13 PR	PA12 PR	PA11 PR	PA10 PR	PA9 PR	PA8 PR	PA7 PR	PA6 PR	PA5 PR	PA4 PR	PA3 PR	PA2 PR	PA1 PR	PA0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PA15PR	端子の状態	R	PFCの設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PA14PR	端子の状態	R	
13	PA13PR	端子の状態	R	
12	PA12PR	端子の状態	R	
11	PA11PR	端子の状態	R	
10	PA10PR	端子の状態	R	
9	PA9PR	端子の状態	R	
8	PA8PR	端子の状態	R	
7	PA7PR	端子の状態	R	
6	PA6PR	端子の状態	R	
5	PA5PR	端子の状態	R	
4	PA4PR	端子の状態	R	
3	PA3PR	端子の状態	R	
2	PA2PR	端子の状態	R	
1	PA1PR	端子の状態	R	
0	PA0PR	端子の状態	R	

23.2 ポート B

ポート B は、図 23.2 に示すような、14 本の端子を持つ入出力ポートです。

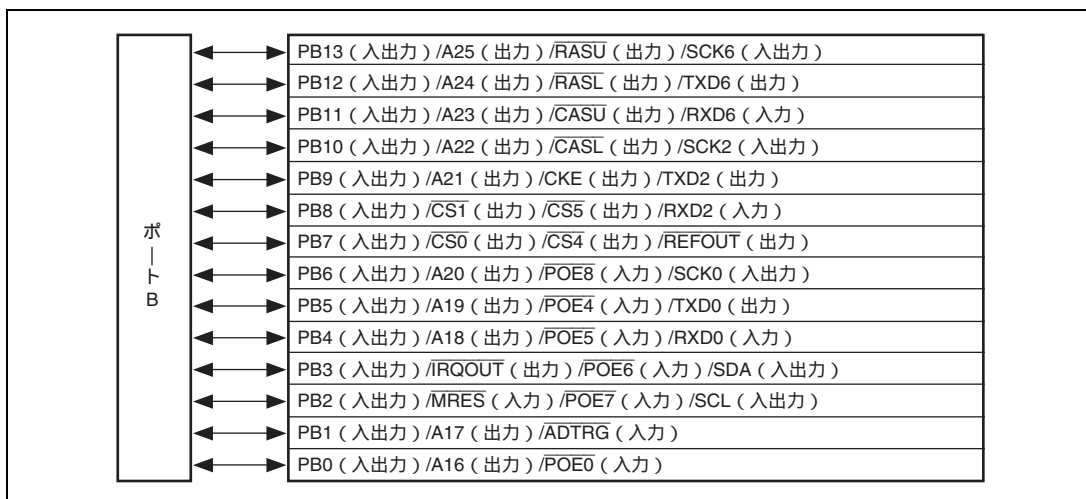


図 23.2 ポート B

23.2.1 レジスタの説明

ポート B には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ L	PBDRL	R/W	H'0000	H'FFFE3882	8、16
ポート B ポートレジスタ L	PBPRL	R	-	H'FFFE3892	8、16

23.2.2 ポート B データレジスタ L (PBDRL)

PBDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB13DR ~ PB0DR ビットは、それぞれ PB13 ~ PB0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PBDRL に値を書き込むと端子からその値が出力され、PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRL に値を書き込むと、PBDRL にその値を書き込みますが、端子の状態には影響しません。表 23.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PB13DR	0	R/W	表 23.4 参照
12	PB12DR	0	R/W	
11	PB11DR	0	R/W	
10	PB10DR	0	R/W	
9	PB9DR	0	R/W	
8	PB8DR	0	R/W	
7	PB7DR	0	R/W	
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 23.4 ポート B データレジスタ L (PBDRL) の読み出し / 書き込み動作

- PBDRLのビット13~0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDRL の値	書き込み値が端子から出力される
	汎用出力以外	PBDRL の値	PBDRL に書き込めるが、端子の状態に影響しない

23.2.3 ポート B ポートレジスタ L (PBPR L)

PBPR L は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PB13PR ~ PB0PR ビットは、それぞれ PB13 ~ PB0 端子（兼用機能については記述を省略）に対応しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB13 PR	PB12 PR	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
初期値:	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PB13PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
12	PB12PR	端子の状態	R	
11	PB11PR	端子の状態	R	
10	PB10PR	端子の状態	R	
9	PB9PR	端子の状態	R	
8	PB8PR	端子の状態	R	
7	PB7PR	端子の状態	R	
6	PB6PR	端子の状態	R	
5	PB5PR	端子の状態	R	
4	PB4PR	端子の状態	R	
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1	PB1PR	端子の状態	R	
0	PB0PR	端子の状態	R	

23.3 ポート C

ポート C は、図 23.3 に示すような、16 本の端子を持つ入出力ポートです。

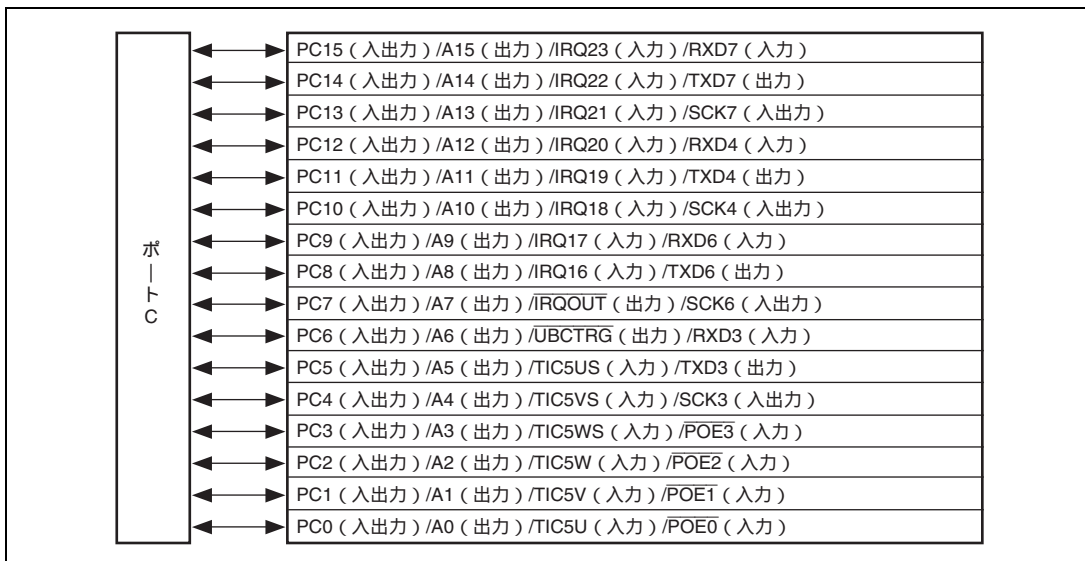


図 23.3 ポート C

23.3.1 レジスタの説明

ポート C には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ L	PCDRL	R/W	H'0000	H'FFFE3902	8、16
ポート C ポートレジスタ L	PCPRL	R	-	H'FFFE3912	8、16

23.3.2 ポート C データレジスタ L (PCDRL)

PCDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC15DR ~ PC0DR ビットは、それぞれ PC15 ~ PC0 端子 (兼用機能については記述を省略) に対応しています。端子機能が汎用出力の場合には、PCDRL に値を書き込むと端子からその値が出力され、PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PCDRL に値を書き込むと、PCDRL にその値を書き込みますが、端子の状態には影響しません。表 23.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 DR	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PC15DR	0	R/W	表 23.6 参照
14	PC14DR	0	R/W	
13	PC13DR	0	R/W	
12	PC12DR	0	R/W	
11	PC11DR	0	R/W	
10	PC10DR	0	R/W	
9	PC9DR	0	R/W	
8	PC8DR	0	R/W	
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 23.6 ポート C データレジスタ L (PCDRL) の読み出し / 書き込み動作

- PCDRLのビット15~0

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDRL の値	書き込み値が端子から出力される
	汎用出力以外	PCDRL の値	PCDRL に書き込めるが、端子の状態に影響しない

23.3.3 ポート C ポートレジスタ L (PCPRL)

PCPRL は、それぞれ読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の値を読み出すことができます。PC15PR ~ PC0PR ビットが、それぞれ PC15 ~ PC0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 PR	PC14 PR	PC13 PR	PC12 PR	PC11 PR	PC10 PR	PC9 PR	PC8 PR	PC7 PR	PC6 PR	PC5 PR	PC4 PR	PC3 PR	PC2 PR	PC1 PR	PC0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PC15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PC14PR	端子の状態	R	
13	PC13PR	端子の状態	R	
12	PC12PR	端子の状態	R	
11	PC11PR	端子の状態	R	
10	PC10PR	端子の状態	R	
9	PC9PR	端子の状態	R	
8	PC8PR	端子の状態	R	
7	PC7PR	端子の状態	R	
6	PC6PR	端子の状態	R	
5	PC5PR	端子の状態	R	
4	PC4PR	端子の状態	R	
3	PC3PR	端子の状態	R	
2	PC2PR	端子の状態	R	
1	PC1PR	端子の状態	R	
0	PC0PR	端子の状態	R	

23.4 ポート D

ポート D は、図 23.4 に示すような、32 本の端子を持つ入出力ポートです。

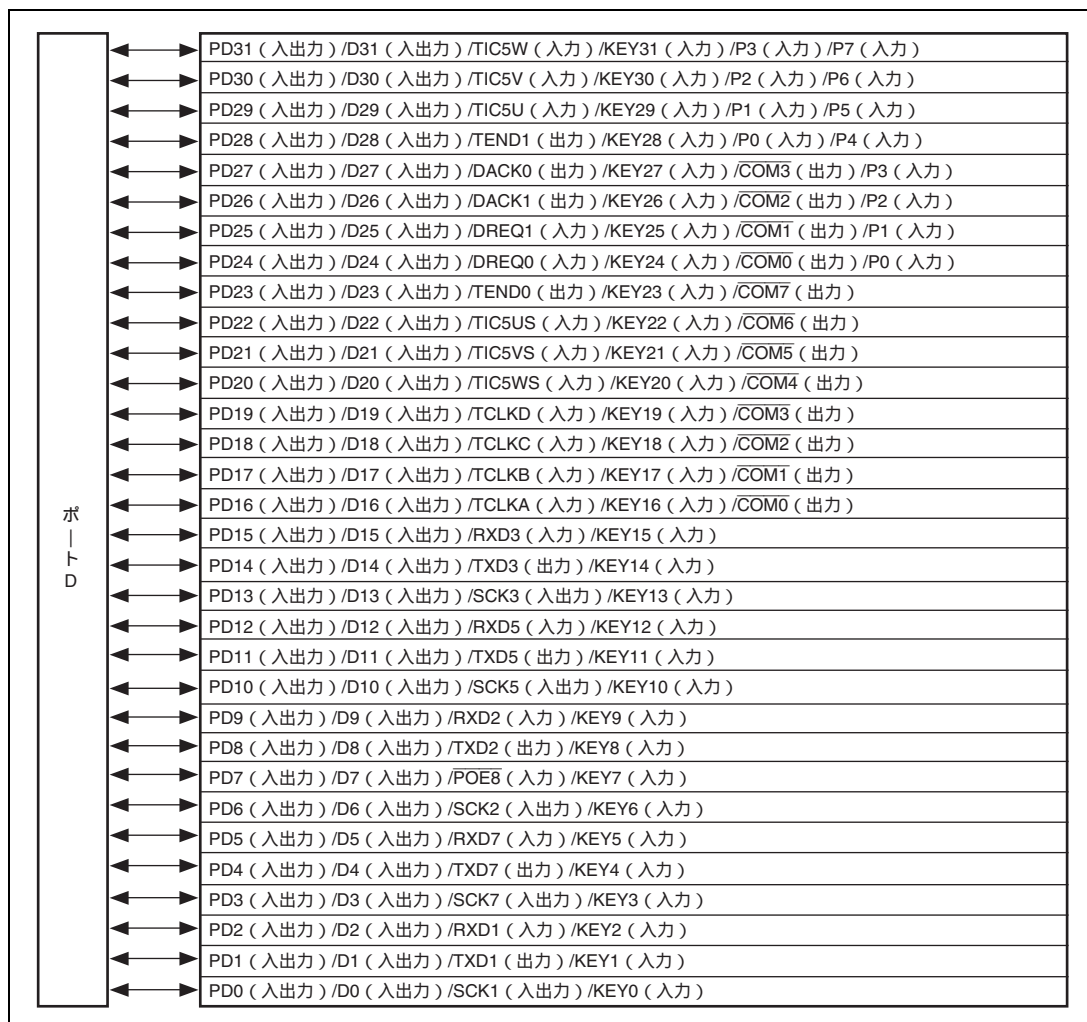


図 23.4 ポート D

23.4.1 レジスタの説明

ポートDには以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第34章 レジスタ一覧」を参照してください。

表 23.7 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポートDデータレジスタH	PDDRH	R/W	H'0000	H'FFFE3980	8、16
ポートDデータレジスタL	PDDRL	R/W	H'0000	H'FFFE3982	8、16
ポートDポートレジスタH	PDPRH	R	-	H'FFFE3990	8、16
ポートDポートレジスタL	PDPL	R	-	H'FFFE3992	8、16

23.4.2 ポート D データレジスタ H、L (PDDRH、PDDL)

PDDRH および PDDL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD31DR ~ PD0DR ビットは、それぞれ PD31 ~ PD0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PDDRH または PDDL に値を書き込むと端子からその値が出力され、PDDRH または PDDL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRH または PDDL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRH または PDDL に値を書き込むと、PDDRH または PDDL にその値を書き込みますが、端子の状態には影響しません。表 23.8 にポート D データレジスタ L の読み出し / 書き込み動作を示します。

• ポート D データレジスタ H (PDDRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 DR	PD30 DR	PD29 DR	PD28 DR	PD27 DR	PD26 DR	PD25 DR	PD24 DR	PD23 DR	PD22 DR	PD21 DR	PD20 DR	PD19 DR	PD18 DR	PD17 DR	PD16 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD31DR	0	R/W	表 23.8 参照
14	PD30DR	0	R/W	
13	PD29DR	0	R/W	
12	PD28DR	0	R/W	
11	PD27DR	0	R/W	
10	PD26DR	0	R/W	
9	PD25DR	0	R/W	
8	PD24DR	0	R/W	
7	PD23DR	0	R/W	
6	PD22DR	0	R/W	
5	PD21DR	0	R/W	
4	PD20DR	0	R/W	
3	PD19DR	0	R/W	
2	PD18DR	0	R/W	
1	PD17DR	0	R/W	
0	PD16DR	0	R/W	

• ポートDデータレジスタL (PDDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD15DR	0	R/W	表 23.8 参照
14	PD14DR	0	R/W	
13	PD13DR	0	R/W	
12	PD12DR	0	R/W	
11	PD11DR	0	R/W	
10	PD10DR	0	R/W	
9	PD9DR	0	R/W	
8	PD8DR	0	R/W	
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 23.8 ポートDデータレジスタ (PDDR) の読み出し / 書き込み動作

• PDDRHのビット15~0およびPDDRLのビット15~0

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRH、Lに書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRH、Lに書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRH、Lの値	書き込み値が端子から出力される
	汎用出力以外	PDDRH、Lの値	PDDRH、Lに書き込めるが、端子の状態に影響しない

23.4.3 ポート D ポートレジスタ H、L (PDPRH、PDPRL)

PDPRH および PDPRL は、それぞれ読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PD31PR ~ PD0PR ビットは、それぞれ PD31 ~ PD0 端子（兼用機能については記述を省略）に対応しています。

- ポートDポートレジスタH (PDPRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 PR	PD30 PR	PD29 PR	PD28 PR	PD27 PR	PD26 PR	PD25 PR	PD24 PR	PD23 PR	PD22 PR	PD21 PR	PD20 PR	PD19 PR	PD18 PR	PD17 PR	PD16 PR
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PD31PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PD30PR	端子の状態	R	
13	PD29PR	端子の状態	R	
12	PD28PR	端子の状態	R	
11	PD27PR	端子の状態	R	
10	PD26PR	端子の状態	R	
9	PD25PR	端子の状態	R	
8	PD24PR	端子の状態	R	
7	PD23PR	端子の状態	R	
6	PD22PR	端子の状態	R	
5	PD21PR	端子の状態	R	
4	PD20PR	端子の状態	R	
3	PD19PR	端子の状態	R	
2	PD18PR	端子の状態	R	
1	PD17PR	端子の状態	R	
0	PD16PR	端子の状態	R	

- ポートDポートレジスタL (PDPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PR	PD14 PR	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PD15PR	端子の状態	R	PFCの設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PD14PR	端子の状態	R	
13	PD13PR	端子の状態	R	
12	PD12PR	端子の状態	R	
11	PD11PR	端子の状態	R	
10	PD10PR	端子の状態	R	
9	PD9PR	端子の状態	R	
8	PD8PR	端子の状態	R	
7	PD7PR	端子の状態	R	
6	PD6PR	端子の状態	R	
5	PD5PR	端子の状態	R	
4	PD4PR	端子の状態	R	
3	PD3PR	端子の状態	R	
2	PD2PR	端子の状態	R	
1	PD1PR	端子の状態	R	
0	PD0PR	端子の状態	R	

23.5 ポート E

ポート E は、図 23.5 に示すような、24 本の端子を持つ入出力ポートです。

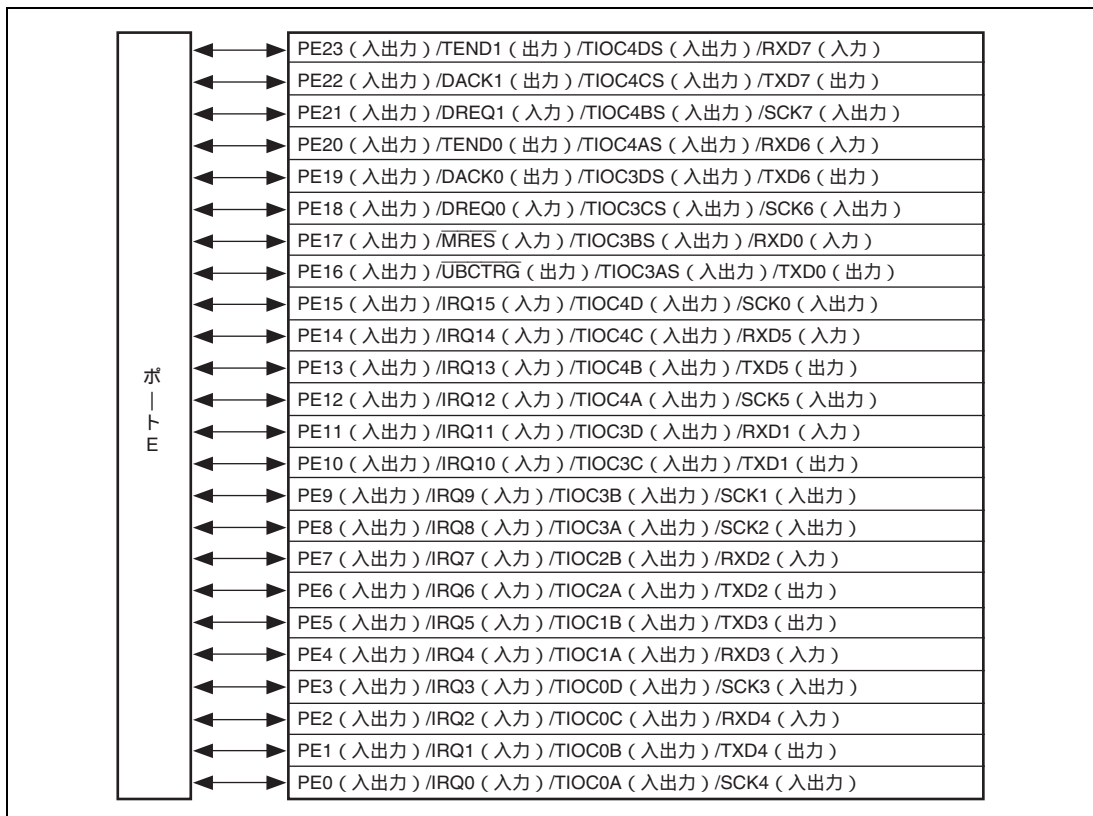


図 23.5 ポート E

23.5.1 レジスタの説明

ポート E には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.9 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ H	PEDRH	R/W	H'0000	H'FFFE3A00	8、16
ポート E データレジスタ L	PEDRL	R/W	H'0000	H'FFFE3A02	8、16
ポート E ポートレジスタ H	PEPRH	R	-	H'FFFE3A10	8、16
ポート E ポートレジスタ L	PEPRL	R	-	H'FFFE3A12	8、16

23.5.2 ポート E データレジスタ H、L (PEDRH、PEDRL)

PEDRH および PEDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE23DR ~ PE0DR ビットはそれぞれ PE23 ~ PE0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PEDRH または PEDRL に値を書き込むと端子からその値が出力され、PEDRH または PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRH または PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRH または PEDRL に値を書き込むと、PEDRH または PEDRL にその値を書き込めますが、端子の状態には影響しません。表 23.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

- ポート E データレジスタ H (PEDRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE23 DR	PE22 DR	PE21 DR	PE20 DR	PE19 DR	PE18 DR	PE17 DR	PE16 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PE23DR	0	R/W	表 23.10 参照
6	PE22DR	0	R/W	
5	PE21DR	0	R/W	
4	PE20DR	0	R/W	
3	PE19DR	0	R/W	
2	PE18DR	0	R/W	
1	PE17DR	0	R/W	
0	PE16DR	0	R/W	

• ポートEデータレジスタL (PEDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE15DR	0	R/W	表 23.10 参照
14	PE14DR	0	R/W	
13	PE13DR	0	R/W	
12	PE12DR	0	R/W	
11	PE11DR	0	R/W	
10	PE10DR	0	R/W	
9	PE9DR	0	R/W	
8	PE8DR	0	R/W	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 23.10 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

• PEDRHのビット7~0およびPEDRLのビット15~0

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PEDRH、L の値	PEDRH、L に書き込めるが、端子の状態に影響しない

23.5.3 ポートEポートレジスタH、L (PEPRH、PEPRL)

PEPRH、PEPRL は、それぞれ読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PE23PR ~ PE0PR ビットはそれぞれ PE23 ~ PE0 端子 (兼用機能については記述を省略) に対応しています。

- ポートEポートレジスタH (PEPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE23 PR	PE22 PR	PE21 PR	PE20 PR	PE19 PR	PE18 PR	PE17 PR	PE16 PR
初期値:	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	PE23PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
6	PE22PR	端子の状態	R	
5	PE21PR	端子の状態	R	
4	PE20PR	端子の状態	R	
3	PE19PR	端子の状態	R	
2	PE18PR	端子の状態	R	
1	PE17PR	端子の状態	R	
0	PE16PR	端子の状態	R	

- ポートEポートレジスタL (PEPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 PR	PE14 PR	PE13 PR	PE12 PR	PE11 PR	PE10 PR	PE9 PR	PE8 PR	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PE15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PE14PR	端子の状態	R	
13	PE13PR	端子の状態	R	
12	PE12PR	端子の状態	R	
11	PE11PR	端子の状態	R	
10	PE10PR	端子の状態	R	
9	PE9PR	端子の状態	R	
8	PE8PR	端子の状態	R	
7	PE7PR	端子の状態	R	
6	PE6PR	端子の状態	R	
5	PE5PR	端子の状態	R	
4	PE4PR	端子の状態	R	
3	PE3PR	端子の状態	R	
2	PE2PR	端子の状態	R	
1	PE1PR	端子の状態	R	
0	PE0PR	端子の状態	R	

23.6 ポート F

ポート F は、図 23.6 に示すような、16 本の端子を持つ入力専用ポートです。

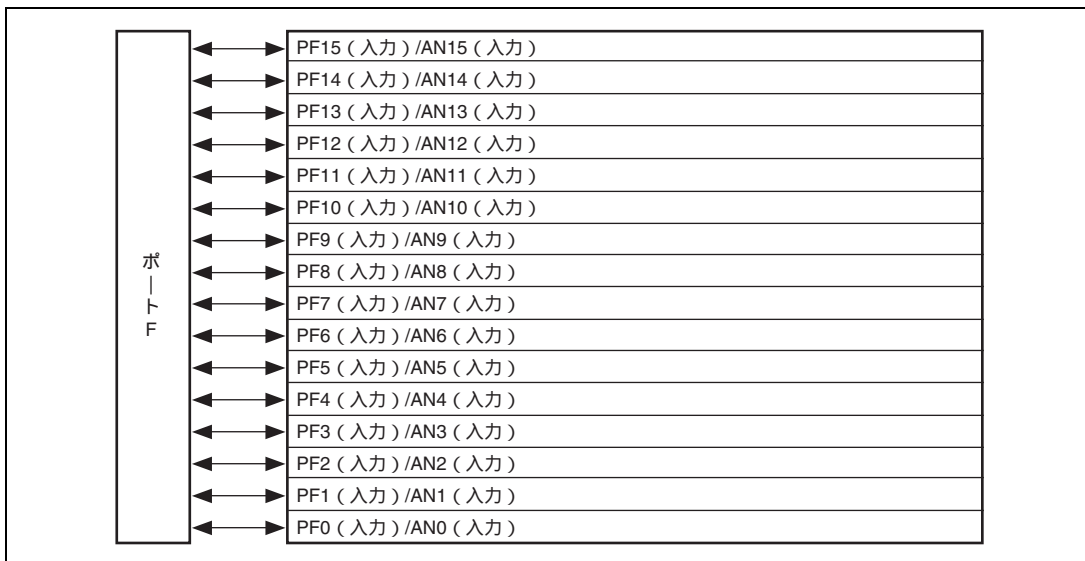


図 23.6 ポート F

23.6.1 レジスタの説明

ポート F には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 22.11 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ L	PFDR_L	R	-	H'FFFE3A82	8, 16

23.6.2 ポート F データレジスタ L (PFDR L)

PFDR L は、読み出し専用の 16 ビットのレジスタで、ポート F のデータを格納します。PF15DR ~ PF0DR ビットはそれぞれ PF15 ~ PF0 端子に対応しています（兼用機能については記述を省略）。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器のアナログ入力をサンプリングしている間は 1 が読み出されます。表 23.12 にポート F データレジスタの読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PF15DR	端子の状態	R	表 23.12 参照
14	PF14DR	端子の状態	R	
13	PF13DR	端子の状態	R	
12	PF12DR	端子の状態	R	
11	PF11DR	端子の状態	R	
10	PF10DR	端子の状態	R	
9	PF9DR	端子の状態	R	
8	PF8DR	端子の状態	R	
7	PF7DR	端子の状態	R	
6	PF6DR	端子の状態	R	
5	PF5DR	端子の状態	R	
4	PF4DR	端子の状態	R	
3	PF3DR	端子の状態	R	
2	PF2DR	端子の状態	R	
1	PF1DR	端子の状態	R	
0	PF0DR	端子の状態	R	

表 23.12 ポート F データレジスタ L (PFDR L) の読み出し / 書き込み動作

- PFDR L のビット 15 ~ 0

状態	読み出し	書き込み
アナログ入力サンプリング中以外	端子の状態が読み出される	無視される（端子の状態に影響しない）
アナログ入力サンプリング中	1 が読み出される	無視される（端子の状態に影響しない）

23.7 ポート G

ポート G は、図 23.7 に示すような、16 本の端子を持つ入出力ポートです。

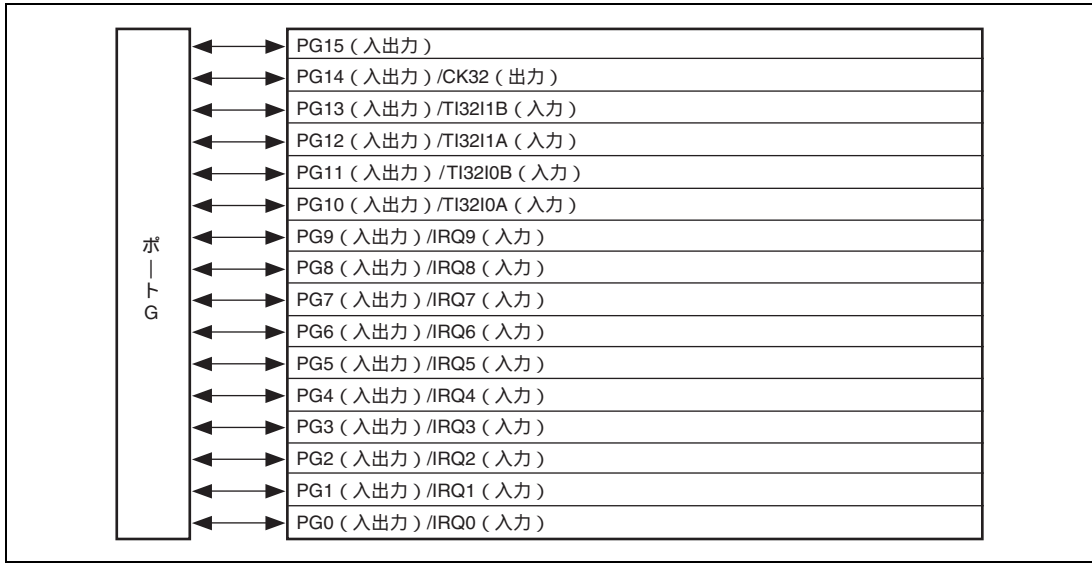


図 23.7 ポート G

23.7.1 レジスタの説明

ポート G には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.13 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート G データレジスタ L	PGDRL	R/W	H'0000	H'FFFE3B02	8、16
ポート G ポートレジスタ L	PGPRL	R	-	H'FFFE3B12	8、16

23.7.2 ポート G データレジスタ L (PGDRL)

PGDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG15DR ~ PG0DR ビットは、それぞれ PG15 ~ PG0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PGDRL に値を書き込むと端子からその値が出力され、PGDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PGDRL に値を書き込むと、PGDRL にその値を書き込みますが、端子の状態には影響しません。表 23.14 にポート G データレジスタの読み出し / 書き込み動作を示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 DR	PG14 DR	PG13 DR	PG12 DR	PG11 DR	PG10 DR	PG9 DR	PG8 DR	PG7 DR	PG6 DR	PG5 DR	PG4 DR	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PG15DR	0	R/W	表 23.14 参照
14	PG14DR	0	R/W	
13	PG13DR	0	R/W	
12	PG12DR	0	R/W	
11	PG11DR	0	R/W	
10	PG10DR	0	R/W	
9	PG9DR	0	R/W	
8	PG8DR	0	R/W	
7	PG7DR	0	R/W	
6	PG6DR	0	R/W	
5	PG5DR	0	R/W	
4	PG4DR	0	R/W	
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

表 23.14 ポート G データレジスタ L (PGDRL) の読み出し / 書き込み動作

- PGDRLのビット15~0

PGIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PGDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PGDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PGDRL の値	書き込み値が端子から出力される
	汎用出力以外	PGDRL の値	PGDRL に書き込めるが、端子の状態に影響しない

23.7.3 ポート G ポートレジスタ L (PGPRL)

PGPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PG15PR ~ PG0PR ビットはそれぞれ PG15 ~ PG0 端子（兼用機能については記述を省略）に対応しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 PR	PG14 PR	PG13 PR	PG12 PR	PG11 PR	PG10 PR	PG9 PR	PG8 PR	PG7 PR	PG6 PR	PG5 PR	PG4 PR	PG3 PR	PG2 PR	PG1 PR	PG0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PG15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PG14PR	端子の状態	R	
13	PG13PR	端子の状態	R	
12	PG12PR	端子の状態	R	
11	PG11PR	端子の状態	R	
10	PG10PR	端子の状態	R	
9	PG9PR	端子の状態	R	
8	PG8PR	端子の状態	R	
7	PG7PR	端子の状態	R	
6	PG6PR	端子の状態	R	
5	PG5PR	端子の状態	R	
4	PG4PR	端子の状態	R	
3	PG3PR	端子の状態	R	
2	PG2PR	端子の状態	R	
1	PG1PR	端子の状態	R	
0	PG0PR	端子の状態	R	

23.8 ポート H

ポート H は、図 23.8 に示すような、16 本の端子を持つ入出力ポートです。

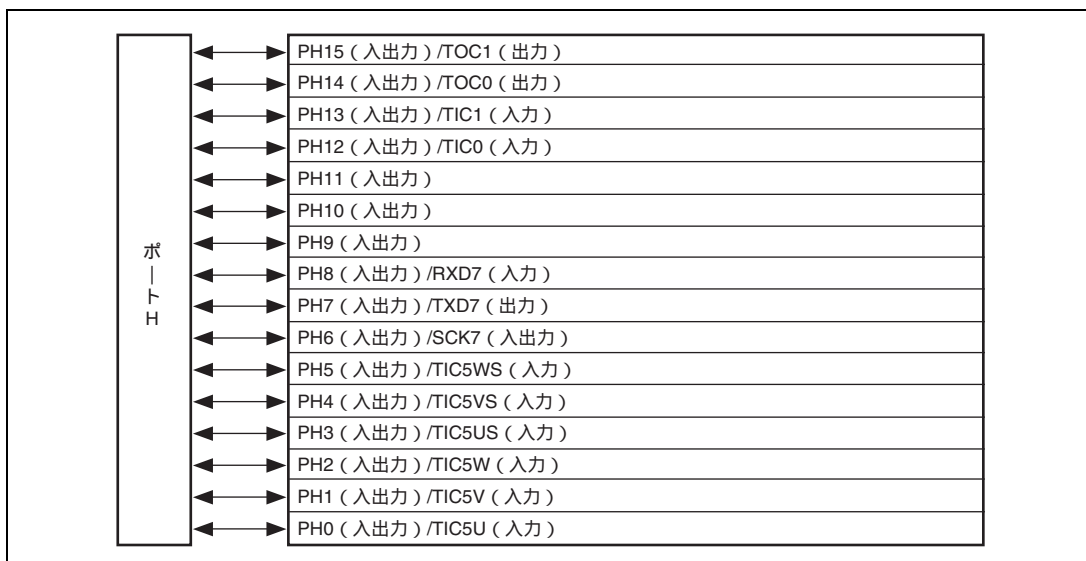


図 23.8 ポート H

23.8.1 レジスタの説明

ポート H には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.15 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート H データレジスタ L	PHDRL	R/W	H'0000	H'FFFE3B82	8、16
ポート H ポートレジスタ L	PHPRL	R	-	H'FFFE3B92	8、16

23.8.2 ポートHデータレジスタL (PHDRL)

PHDRLは、読み出し/書き込み可能な16ビットのレジスタで、ポートHのデータを格納します。PH15DR～PH0DRビットは、それぞれPH15～PH0端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PHDRLに値を書き込むと端子からその値が出力され、PHDRLを読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PHDRLを読み出すとレジスタの値ではなく端子の状態が直接読み出されます。またPHDRLに値を書き込むと、PHDRLにその値を書き込みますが、端子の状態には影響しません。表23.16にポートHデータレジスタの読み出し/書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 DR	PH14 DR	PH13 DR	PH12 DR	PH11 DR	PH10 DR	PH9 DR	PH8 DR	PH7 DR	PH6 DR	PH5 DR	PH4 DR	PH3 DR	PH2 DR	PH1 DR	PH0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PH15DR	0	R/W	表 23.16 参照
14	PH14DR	0	R/W	
13	PH13DR	0	R/W	
12	PH12DR	0	R/W	
11	PH11DR	0	R/W	
10	PH10DR	0	R/W	
9	PH9DR	0	R/W	
8	PH8DR	0	R/W	
7	PH7DR	0	R/W	
6	PH6DR	0	R/W	
5	PH5DR	0	R/W	
4	PH4DR	0	R/W	
3	PH3DR	0	R/W	
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

表 23.16 ポート H データレジスタ L (PHDRL) の読み出し / 書き込み動作

- PHDRLのビット15~0

PHIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PHDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PHDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PHDRL の値	書き込み値が端子から出力される
	汎用出力以外	PHDRL の値	PHDRL に書き込めるが、端子の状態に影響しない

23.8.3 ポート H ポートレジスタ L (PHPRL)

PHPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PH15PR ~ PH0PR ビットはそれぞれ PH15 ~ PH0 端子（兼用機能については記述を省略）に対応しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 PR	PH14 PR	PH13 PR	PH12 PR	PH11 PR	PH10 PR	PH9 PR	PH8 PR	PH7 PR	PH6 PR	PH5 PR	PH4 PR	PH3 PR	PH2 PR	PH1 PR	PH0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PH15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PH14PR	端子の状態	R	
13	PH13PR	端子の状態	R	
12	PH12PR	端子の状態	R	
11	PH11PR	端子の状態	R	
10	PH10PR	端子の状態	R	
9	PH9PR	端子の状態	R	
8	PH8PR	端子の状態	R	
7	PH7PR	端子の状態	R	
6	PH6PR	端子の状態	R	
5	PH5PR	端子の状態	R	
4	PH4PR	端子の状態	R	
3	PH3PR	端子の状態	R	
2	PH2PR	端子の状態	R	
1	PH1PR	端子の状態	R	
0	PH0PR	端子の状態	R	

23.9 ポート J

ポート J は、図 23.9 に示すような、16 本の端子を持つ入出力ポートです。

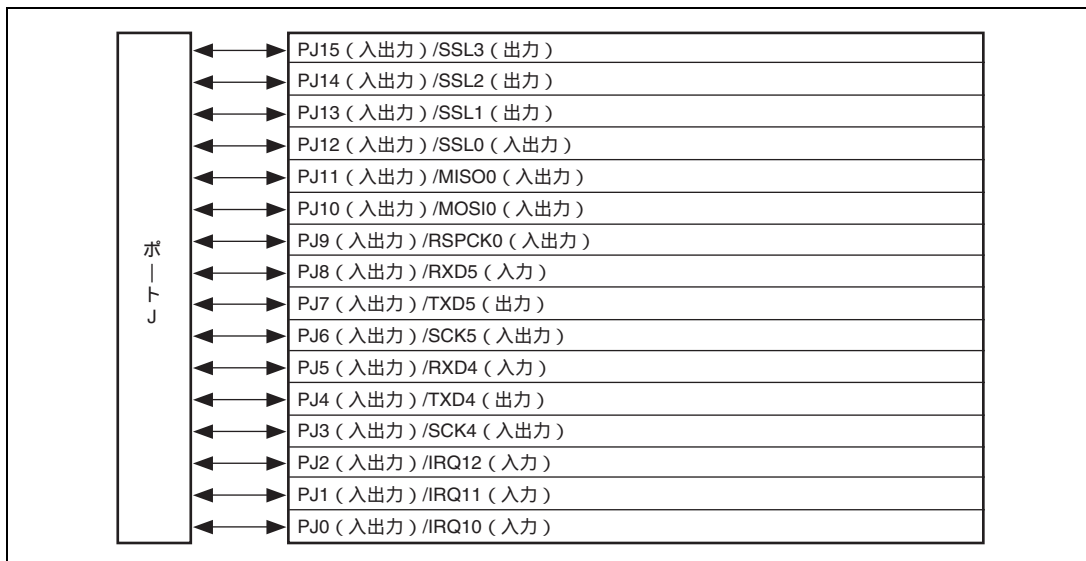


図 23.9 ポート J

23.9.1 レジスタの説明

ポート J には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.17 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート J データレジスタ L	PJDRL	R/W	H'0000	H'FFFE3C82	8、16
ポート J ポートレジスタ L	PJPRL	R	-	H'FFFE3C92	8、16

23.9.2 ポート J データレジスタ L (PJDR)

PJDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J のデータを格納します。PJ15DR ~ PJ0DR ビットは、それぞれ PJ15 ~ PJ0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PJDR に値を書き込むと端子からその値が出力され、PJDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PJDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PJDR に値を書き込むと、PJDR にその値を書き込みますが、端子の状態には影響しません。表 23.18 にポート J データレジスタの読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 DR	PJ14 DR	PJ13 DR	PJ12 DR	PJ11 DR	PJ10 DR	PJ9 DR	PJ8 DR	PJ7 DR	PJ6 DR	PJ5 DR	PJ4 DR	PJ3 DR	PJ2 DR	PJ1 DR	PJ0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PJ15DR	0	R/W	表 23.18 参照
14	PJ14DR	0	R/W	
13	PJ13DR	0	R/W	
12	PJ12DR	0	R/W	
11	PJ11DR	0	R/W	
10	PJ10DR	0	R/W	
9	PJ9DR	0	R/W	
8	PJ8DR	0	R/W	
7	PJ7DR	0	R/W	
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

表 23.18 ポート J データレジスタ L (PJDRL) の読み出し / 書き込み動作

- PJDRLのビット15~0

PJIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PJDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PJDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PJDRL の値	書き込み値が端子から出力される
	汎用出力以外	PJDRL の値	PJDRL に書き込めるが、端子の状態に影響しない

23.9.3 ポート J ポートレジスタ L (PJPR L)

PJPR L は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PJ15PR ~ PJ0PR ビットはそれぞれ PJ15 ~ PJ0 端子（兼用機能については記述を省略）に対応しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 PR	PJ14 PR	PJ13 PR	PJ12 PR	PJ11 PR	PJ10 PR	PJ9 PR	PJ8 PR	PJ7 PR	PJ6 PR	PJ5 PR	PJ4 PR	PJ3 PR	PJ2 PR	PJ1 PR	PJ0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PJ15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PJ14PR	端子の状態	R	
13	PJ13PR	端子の状態	R	
12	PJ12PR	端子の状態	R	
11	PJ11PR	端子の状態	R	
10	PJ10PR	端子の状態	R	
9	PJ9PR	端子の状態	R	
8	PJ8PR	端子の状態	R	
7	PJ7PR	端子の状態	R	
6	PJ6PR	端子の状態	R	
5	PJ5PR	端子の状態	R	
4	PJ4PR	端子の状態	R	
3	PJ3PR	端子の状態	R	
2	PJ2PR	端子の状態	R	
1	PJ1PR	端子の状態	R	
0	PJ0PR	端子の状態	R	

23.10 ポート K

ポート K は、図 23.10 に示すような、8 本の端子を持つ入出力ポートです。

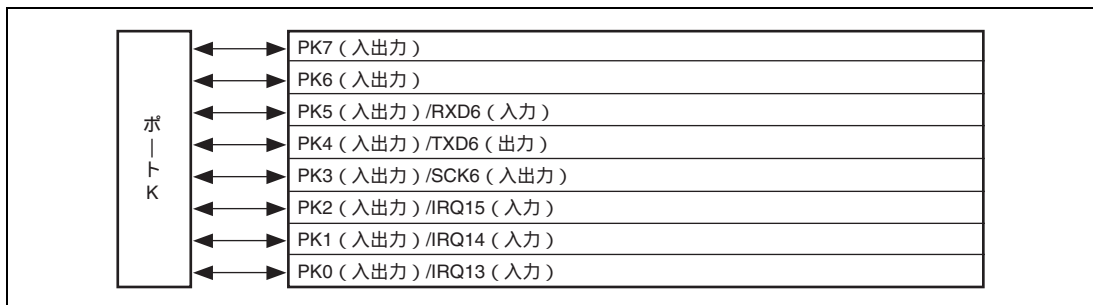


図 23.10 ポート K

23.10.1 レジスタの説明

ポート K には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.19 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート K データレジスタ L	PKDRL	R/W	H'0000	H'FFFE3D02	8、16
ポート K ポートレジスタ L	PKPRL	R	-	H'FFFE3D12	8、16

23.10.2 ポート K データレジスタ L (PKDRL)

PKDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K のデータを格納します。PK7DR ~ PK0DR ビットは、それぞれ PK7 ~ PK0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PKDRL に値を書き込むと端子からその値が出力され、PKDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PKDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PKDRL に値を書き込むと、PKDRL にその値を書き込みますが、端子の状態には影響しません。表 23.20 にポート K データレジスタの読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PK7 DR	PK6 DR	PK5 DR	PK4 DR	PK3 DR	PK2 DR	PK1 DR	PK0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PK7DR	0	R/W	表 23.20 参照
6	PK6DR	0	R/W	
5	PK5DR	0	R/W	
4	PK4DR	0	R/W	
3	PK3DR	0	R/W	
2	PK2DR	0	R/W	
1	PK1DR	0	R/W	
0	PK0DR	0	R/W	

表 23.20 ポート K データレジスタ L (PKDRL) の読み出し / 書き込み動作

• PKDRLのビット7~0

PKIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PKDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PKDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PKDRL の値	書き込み値が端子から出力される
	汎用出力以外	PKDRL の値	PKDRL に書き込めるが、端子の状態に影響しない

23.10.3 ポート K ポートレジスタ L (PKPRL)

PKPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PK7PR ~ PK0PR ビットはそれぞれ PK7 ~ PK0 端子（兼用機能については記述を省略）に対応しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PK7 PR	PK6 PR	PK5 PR	PK4 PR	PK3 PR	PK2 PR	PK1 PR	PK0 PR
初期値:	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PK7PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
6	PK6PR	端子の状態	R	
5	PK5PR	端子の状態	R	
4	PK4PR	端子の状態	R	
3	PK3PR	端子の状態	R	
2	PK2PR	端子の状態	R	
1	PK1PR	端子の状態	R	
0	PK0PR	端子の状態	R	

23.11 ポート L

ポート L は、図 23.11 に示すような、6本の端子を持つ入力専用ポートです。

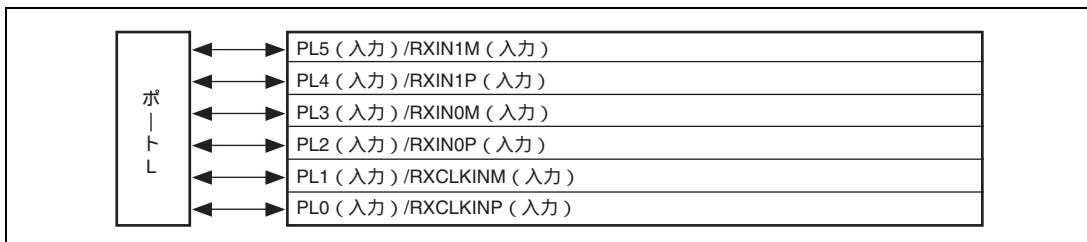


図 23.11 ポート L

23.11.1 レジスタの説明

ポート L には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 23.21 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート L データレジスタ L	PLDRL	R	-	H'FFFE3D82	8、16

23.11.2 ポート L データレジスタ L (PLDRL)

PLDRL は、読み出し専用の 16 ビットのレジスタで、ポート L のデータを格納します。PL5DR ~ PL0DR ビットはそれぞれ PL5 ~ PL0 端子に対応しています（兼用機能については記述を省略）。

これらのビットに値を書き込んででも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、SH72315A では、LVDS のモジュールスタンバイが解除されているとき（STBCR6 レジスタの MSTP67 ビットが 0 のとき）は 0 が読み出されます。

表 23.22 にポート L データレジスタの読み出し / 書き込み動作を示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PL5 DR	PL4 DR	PL3 DR	PL2 DR	PL1 DR	PL0 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PL5DR	端子の状態	R	表 23.22 参照
4	PL4DR	端子の状態	R	
3	PL3DR	端子の状態	R	
2	PL2DR	端子の状態	R	
1	PL1DR	端子の状態	R	
0	PL0DR	端子の状態	R	

表 23.22 ポート L データレジスタ L (PLDRL) の読み出し / 書き込み動作

- PLDRLのビット5~0

状態	読み出し	書き込み
LVDS がモジュールスタンバイのとき (SH72315A の場合)、 常時 (SH72315L/SH72314L の場合)	端子の状態が読み出される	無視される (端子の状態に影響しない)
LVDS のモジュールスタンバイが解除されているとき (SH72315A の場合)	0 が読み出される	無視される (端子の状態に影響しない)

24. LVDS 受信インタフェース (LVDS) (SH72315A のみ)

本 LSI は 2 チャンネルの LVDS 受信インタフェース (LVDS) を内蔵しています。

24.1 特長

- 入力チャンネル：2チャンネル (1チャンネルのみの受信動作も設定可能)
- データビット数：16ビット/チャンネル
- 入力クロック：20MHz (Min.) ~ 160MHz (Max.)
- データ転送レート：40Mbps (Min.) ~ 320Mbps (Max.)
- 受信部に16段のFIFOバッファを搭載
- 差動入力抵抗内蔵
- 4種類の割り込み要因

受信FIFOデータフル割り込み、終了コード検知割り込み、アンダーランエラー割り込み、およびオーバーランエラー割り込みの4種類の割り込みがあり、それぞれ独立に要求することができます。また、受信FIFOデータフル割り込みにより、データトランスファコントローラ (DTC) またはダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータ転送を行うことができます。

- モジュールスタンバイモードを設定可能

図 24.1 に LVDS のブロック図を示します。

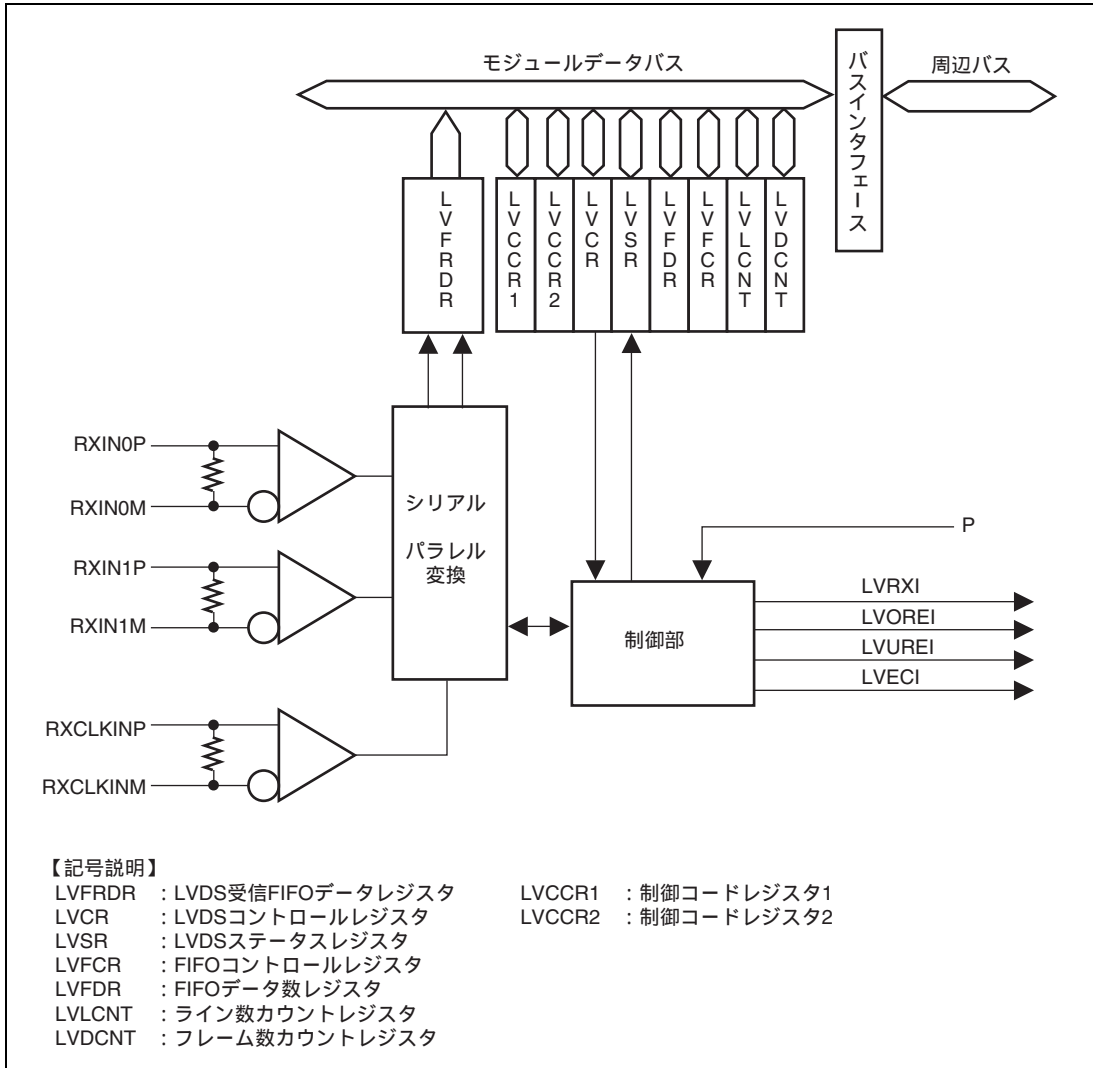


図 24.1 LVDS のブロック図

24.2 入出力端子

表 24.1 に LVDS の端子構成を示します。

表 24.1 端子構成

チャンネル	名称	端子名	入出力	機能
共通	LVDS 電源端子	LVDSVCC	入力	LVDS の電源端子および基準電位
	LVDS 電源端子	LVDSVSS	入力	LVDS のグランドおよび基準電位
	LVDS クロック端子	RXCLKINP	入力	LVDS クロック入力 (+)
	LVDS クロック端子	RXCLKINM	入力	LVDS クロック入力 (-)
チャンネル 0	LVDS データ端子	RXIN0P	入力	LVDS データ (+)
	LVDS データ端子	RXIN0M	入力	LVDS データ (-)
チャンネル 1	LVDS データ端子	RXIN1P	入力	LVDS データ (+)
	LVDS データ端子	RXIN1M	入力	LVDS データ (-)

図 24.2 に LVDS の差動入力回路の接続例を示します。

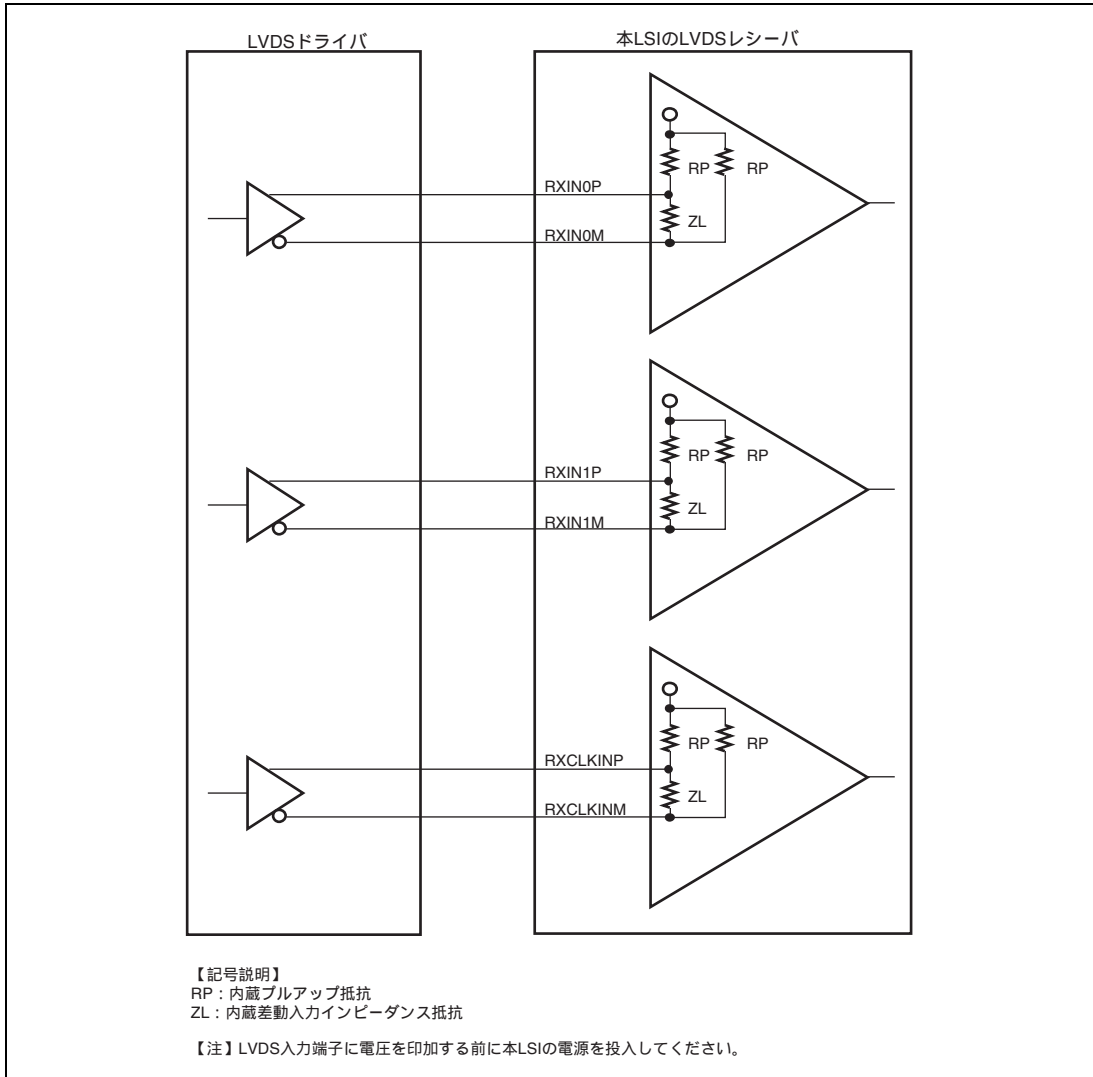


図 24.2 LVDS の差動入力回路の接続例

24.3 レジスタの説明

LVDS には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 24.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
LVDS 受信 FIFO データレジスタ	LVFRDR	R	不定	H'FFFEB000	32
LVDS コントロールレジスタ	LVCR	R/W	H'0000	H'FFFEB004	16
LVDS ステータスレジスタ	LVSR	R/W	H'0000	H'FFFEB006	16
FIFO コントロールレジスタ	LVFCR	R/W	H'0070	H'FFFEB008	16
FIFO データ数レジスタ	LVFDR	R/W	H'0000	H'FFFEB00A	16
制御コードレジスタ 1	LVCCR1	R/W	H'0000	H'FFFEB00C	16
制御コードレジスタ 2	LVCCR2	R/W	H'0000	H'FFFEB00E	16
ライン数カウントレジスタ	LVLCNT	R	H'0000	H'FFFEB010	16
フレーム数カウントレジスタ	LVDCNT	R	H'0000	H'FFFEB012	16

24.3.1 LVDS 受信 FIFO データレジスタ (LVFRDR)

LVFRDR は、受信データを格納する 16 段の FIFO レジスタです。LVDS はデータを受信すると受信データを LVFRDR に格納します。

LVFRDR が受信データでいっぱいになると、それ以降に受信したデータは失われます。

LVFRDR に受信データが無い状態で読み出すと値は不定となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LVD0[15:0]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVD1[15:0]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	LVD0[15:0]	不定	R	チャンネル 0 受信データ チャンネル 0 の受信データが格納されます。
15~0	LVD1[15:0]	不定	R	チャンネル 1 受信データ チャンネル 1 の受信データが格納されます。

24.3.2 LVDS コントロールレジスタ (LVCR)

LVCR は、受信動作の許可 / 禁止、チャンネル数、終了コードの判定、割り込みの許可 / 禁止を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	LVECIE	LVRXIE	LVUREIE	LVOREIE	-	-	-	-	ENDC	-	CHSEL	RE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	LVECIE	0	R/W	終了コード検知インタラプトイネーブル 終了コード検知割り込みの発生を許可 / 禁止します。 0: 終了コード検知割り込み (LVECIE) を禁止 1: 終了コード検知割り込み (LVECIE) を許可
10	LVRXIE	0	R/W	受信 FIFO データフルインタラプトイネーブル 受信 FIFO データフル割り込みの発生を許可 / 禁止します。 0: 受信 FIFO データフル割り込み (LVRXIE) を禁止 1: 受信 FIFO データフル割り込み (LVRXIE) を許可
9	LVUREIE	0	R/W	アンダーランエラーインタラプトイネーブル アンダーランエラー割り込み (LVUREIE) の発生を許可 / 禁止します。 0: アンダーランエラー割り込み (LVUREIE) を禁止 1: アンダーランエラー割り込み (LVUREIE) を許可
8	LVOREIE	0	R/W	オーバランエラーインタラプトイネーブル オーバランエラー割り込み (LVOREIE) の発生を許可 / 禁止します。 0: オーバランエラー割り込み (LVOREIE) を禁止 1: オーバランエラー割り込み (LVOREIE) を許可
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	ENDC	0	R/W	データ終了コード判定 終了コード (EOL または EOF) で受信データの FIFO への取り込みを停止するか、終了コードの判定をせずに受信動作を継続するかを決めます。 0: 終了コードの判定をしない 1: 終了コードで FIFO への取り込みを停止する ENDC = 0 の場合は、L VLCNT レジスタ、LVDCNT レジスタは無効になります。データを 2 次元の画像フレームとして扱う場合は、必ず ENDC = 1 に設定してください。 【注】 RE=0 のときにのみ書き換えが可能です。 RE=1 のときは書き換えできません

ビット	ビット名	初期値	R/W	説明
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CHSEL	0	R/W	チャンネル数選択 0 : 2 チャンネル使用 1 : チャンネル 0 (RXIN0) のみ使用。RXIN1 のデータは破棄します。 【注】 RE=0 のときにのみ書き換えが可能です。 RE=1 のときは書き換えできません
0	RE	0	R/W	受信イネーブル 受信動作を許可 / 禁止します。 0 : 受信動作を禁止 1 : 受信動作を許可

24.3.3 LVDS ステータスレジスタ (LVSR)

LVSR は LVDS の割り込みのステータスフラグレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	EOF	SOF	EOL	SOL	-	-	-	-	ECDET	RDRF	URER	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	EOF	0	R/(W)*	EOF コード検出 EOF コードを検出したことを示します。 0: EOF コードを検出していないことを表示 [クリア条件] • パワーオンリセット時 • EOF = 1 の状態を読み出した後、0 を書き込んだとき 1: EOF コードを検出したことを表示 [セット条件] • 同期コードに続いて EOF コードを検出したとき
10	SOF	0	R/(W)*	SOF コード検出 SOF コードを検出したことを示します。 0: SOF コードを検出していないことを表示 [クリア条件] • パワーオンリセット時 • SOF = 1 の状態を読み出した後、0 を書き込んだとき 1: SOF コードを検出したことを表示 [セット条件] • 同期コードに続いて SOF コードを検出したとき
9	EOL	0	R/(W)*	EOL コード検出 EOL コードを検出したことを示します。 0: EOL コードを検出していないことを表示 [クリア条件] • パワーオンリセット時 • EOL = 1 の状態を読み出した後、0 を書き込んだとき 1: EOL コードを検出したことを表示 [セット条件] • 同期コードに続いて EOL コードを検出したとき

ビット	ビット名	初期値	R/W	説明
8	SOL	0	R/(W)*	<p>SOL コード検出</p> <p>SOL コードを検出したことを示します。</p> <p>0 : SOL コードを検出していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SOL = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : SOL コードを検出したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 同期コードに続いて SOL コードを検出したとき
7~4	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
3	ECDET	0	R/(W)*	<p>終了コード検出</p> <p>EOF コードまたは EOL コードを検出したことを示します。</p> <p>0 : 終了コードを検出していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • ECDET = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : 終了コードを検出したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • LVCR レジスタの ENDC ビットが1にセットされている状態で、EOF コードまたは EOL コードを検出したとき

ビット	ビット名	初期値	R/W	説明
2	RDRF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データが LVDS 受信 FIFO データレジスタ (LVFRDR) に格納され、LVFRDR の受信データ数が FIFO コントロールレジスタ (LVFCR) の LRTRG ビットで指定した受信トリガ数に達したことを示します。</p> <p>0 : LVFRDR に書き込まれた受信データ数が指定受信トリガ数より少ないことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • LVFRDR の受信データが指定受信トリガ数より少なくなるまで LVFRDR を読み出し、RDRF = 1 を読み出し後、RDRF に 0 を書き込んだとき • LVRXI 割り込みにより DMAC で LVFRDR のデータを読み出し、DMA トランスファカウントレジスタ (DMATCR) の設定回数分 LVFRDR を読み出したときに、LVFRDR の残りの受信データ数が指定受信トリガ数より少ないとき • LVRXI 割り込みにより DTC の MRB の DISEL ビットが 0 の状態で DTC が LVFRDR のデータを読み出し、DTC 転送カウントレジスタ (CRA) の設定回数分 LVFRDR を読み出したときに、LVFRDR の残りの受信データ数が指定受信トリガ数より少ないとき <p>1 : LVFRDR に指定受信トリガ数以上の有効な受信データが格納されていることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数より多くの受信データが LVFRDR に格納されたとき <p>【注】 FIFO 段数を超えて受信データを LVFRDR に書き込もうとした場合、オーバランエラーが発生し、受信データは書き込まれませんので注意してください。</p>
1	URER	0	R/(W)*	<p>アンダーランエラー</p> <p>アンダーランエラーが発生したことを示します。</p> <p>0 : アンダーランエラーは発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • URER = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : アンダーランエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • LVFRDR に受信データが存在しないときに、LVFRDR レジスタを読み出したとき

ビット	ビット名	初期値	R/W	説明
0	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>オーバランエラーが発生したことを示します。</p> <p>0: オーバランエラーは発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: オーバランエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 17 段目の受信データを LVFRDR に書き込むとき <p>【注】 LVFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態では LVDS 受信データの LVFRDR への取り込みを行うことはできません。</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

24.3.4 FIFO コントロールレジスタ (LVFCR)

LVFCR は、LVDS 受信 FIFO データレジスタ (LVFRDR) の受信 FIFO データ数トリガの設定および LVFRDR のリセットを行うレジスタです。LVFCR の変更は LVCR の RE ビットを 0 にクリアしてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	LRTRG[2:0]			-	-	-	FRST
初期値:	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	LRTRG [2:0]	すべて 1	R/W	受信 FIFO データ数トリガ LVDS ステータスレジスタ (LVSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。LVDS 受信 FIFO データレジスタ (LVFRDR) に格納された受信データ数が、以下に示す設定トリガ数以上になったとき、RDF フラグは 1 にセットされます。 000 : 設定禁止 001 : 2 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FRST	0	R/(W)*	LVDS 受信 FIFO データレジスタリセット 本ビットに 1 を書き込むと、FIFO データ数レジスタ (LVFDR) の R[4:0] ビットを初期化し、LVDS 受信 FIFO データレジスタ (LVFRDR) を空の状態にリセットします。 本ビットは FIFO データをリセット後、自動的に 0 クリアされます。 【注】パワーオンリセット時にはリセット動作が行われます。

【注】 * 1 書き込みのみ可能です。

24.3.5 FIFO データ数レジスタ (LVFDR)

LVFDR は、LVDS 受信 FIFO データレジスタ (LVFRDR) に格納されているデータ数を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	R[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	R[4:0]	すべて0	R	LVFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信 FIFO の 16 段すべてに受信データが格納されていることを示します。

24.3.6 制御コードレジスタ 1 (LVCCR1)

LVCCR1 は、同期コードに続いて入力される制御コードの値を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SOL[7:0]							EOL[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	SOL[7:0]	すべて0	R/W	ライン開始コード ライン・データの開始を示す制御コードの値を設定します。
7~0	EOL[7:0]	すべて0	R/W	ライン終了コード ライン・データの終了を示す制御コードの値を設定します。

【注】 RE=0 のときにのみ書き換えが可能です。RE=1 のときは書き換えできません。

24.3.7 制御コードレジスタ 2 (LVCCR2)

LVCCR2 は、同期コードに続いて入力される制御コードの値を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SOF[7:0]								EOF[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	SOF[7:0]	すべて 0	R/W	画像フレーム開始コード 画像フレームの開始を示す制御コードの値を設定します。
7~0	EOF[7:0]	すべて 0	R/W	画像フレーム終了コード 画像フレームの終了を示す制御コードの値を設定します。

【注】 RE=0 のときにのみ書き換えが可能です。RE=1 のときは書き換えできません。

24.3.8 ライン数カウントレジスタ (LVLCNT)

LVLCNT は、SOF コード検出から EOF コード検出までのライン数を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	LCNT[15:0]	すべて 0	R	SOF コード検出から EOF コード検出までに受信したライン数を示します。 本レジスタは EOF コードを検出したときに更新されます。 【注】 パワーオンリセット時にはリセット動作が行われます。 RE=1 とした後、SOF を検出することなく EOL を検出した場合は、受信開始から EOF 検出までに受信したライン数を示します。

【注】 LVCR レジスタ ENDC ビット = 0 の場合は本レジスタは無効です。

24.3.9 フレーム数カウントレジスタ (LVDCNT)

LVDCNT は、SOF コードまたは SOL コード検出から EOL コードまたは EOF コード検出までのフレーム数を示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCNT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	DCNT[15:0]	すべて 0	R	SOF コードまたは SOL コード検出から EOL コードまたは EOF コード検出までに受信したフレーム数を表示します。 本レジスタは EOL コードまたは EOF コードを検出したときに更新されます。 【注】パワーオンリセット時にはリセット動作が行われます。

【注】 LVCR レジスタ ENDC ビット = 0 の場合は本レジスタは無効です。

24.4 動作説明

LVDS 受信インタフェースは RXIN0P/M および RXIN1P/M 入力端子に入力された受信データを RXCLKINP/M 入力端子の入力クロックの立ち上がりおよび立ち下がりエッジに同期して、LVDS 受信 FIFO データレジスタ (LVFRDR) に取り込みます。受信 FIFO 内のデータ数が LVFCR の LRTRG ビットで指定した数に達すると、LVDS ステータスレジスタ (LVSR) の RDRF ビットに 1 をセットします。RDRF ビットに 1 がセットされたとき、LVRXIE ビットに 1 がセットされていると、受信 FIFO データフル割り込み (LVRXI) を発生します。LVRXI 割り込みで DMAC または DTC を起動することができます。

24.4.1 LVDS 受信フォーマット

受信フォーマットを図 24.3、図 24.4 に示します。画像フレームは SOF で始まり EOF で終わるラインデータの集合です。ラインデータの終了および開始は EOL、SOL で区切ります。ラインデータは同期コードと開始コード (SOF または SOL)、1 フレームデータ以上の受信データ、および同期コードと終了コード (EOF または EOL) から構成されます。

データを 2 次元の画像フレームとして扱わない場合は、SOF/EOF は使用せずに、SOL/EOL でデータ列を区切るようにしてください。

なお、LVCR レジスタの ENDC ビット = 0 の場合は、データの後の同期コードと終了コード (EOF または EOL) は省略可能ですが、2 次元の画像フレームとして使用することはできません。

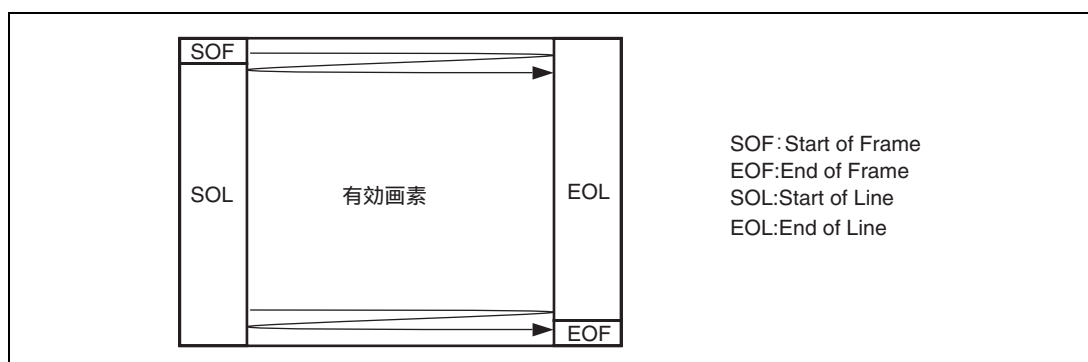


図 24.3 受信フォーマット (画像フレーム)

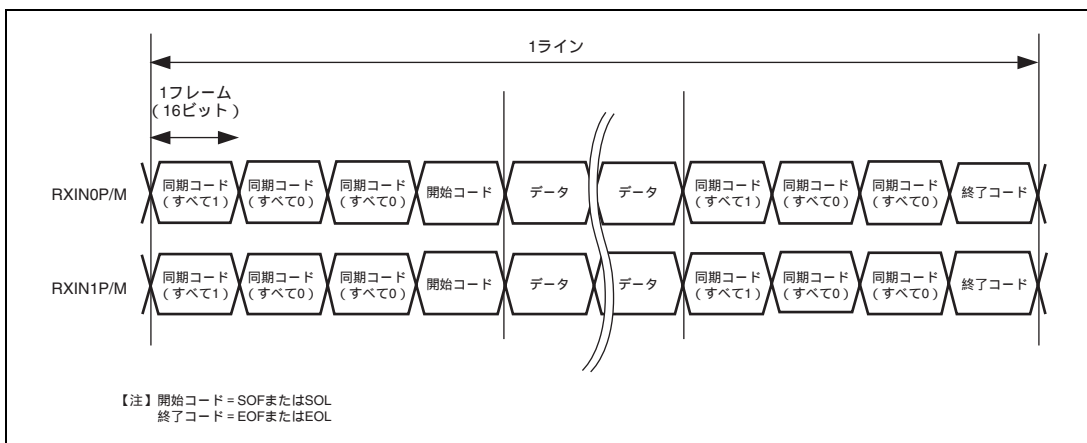


図 24.4 受信フォーマット (ライン)

受信データフォーマットを図 24.5 に示します。

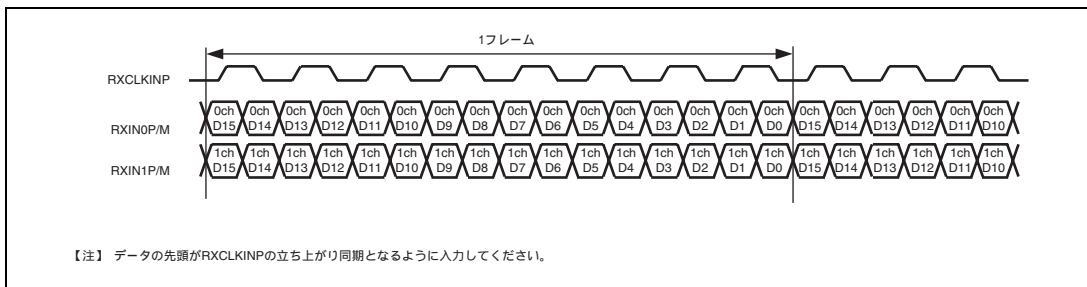


図 24.5 受信データビット長

24.4.2 同期コード

LVDS は受信データに同期コードを検出すると、受信データのスタート位置を認識します。同期コードを図 24.6 に示します。同期コードの先頭が RXCLKINP の立ち上がり同期となるように入力してください。

通常データと同期コードを識別するため、データとしてはすべて 1 およびすべて 0 は使用禁止です。

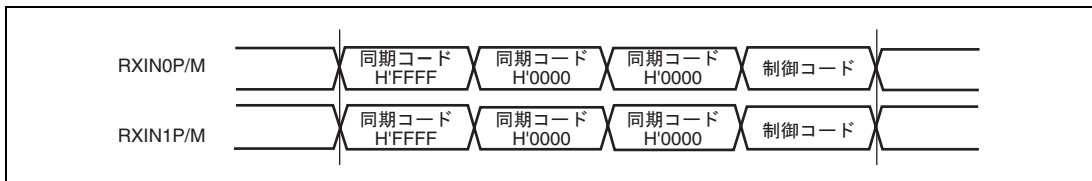


図 24.6 同期コード (1)

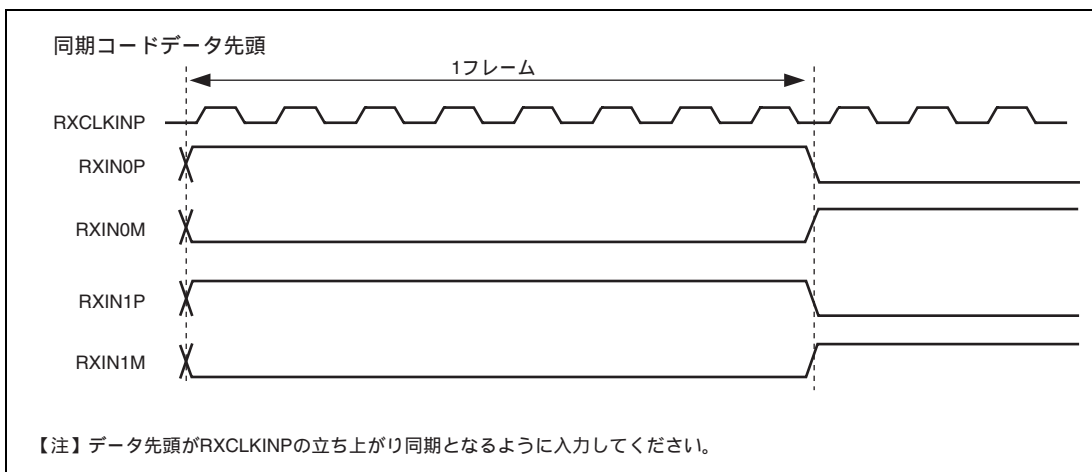


図 24.6 同期コード (2)

24.4.3 制御コード

LVDS は受信データに同期コードに続いて制御コードを検出すると、受信データの開始 / 終了を認識します。制御コードのフォーマットを図 24.7 に示します。

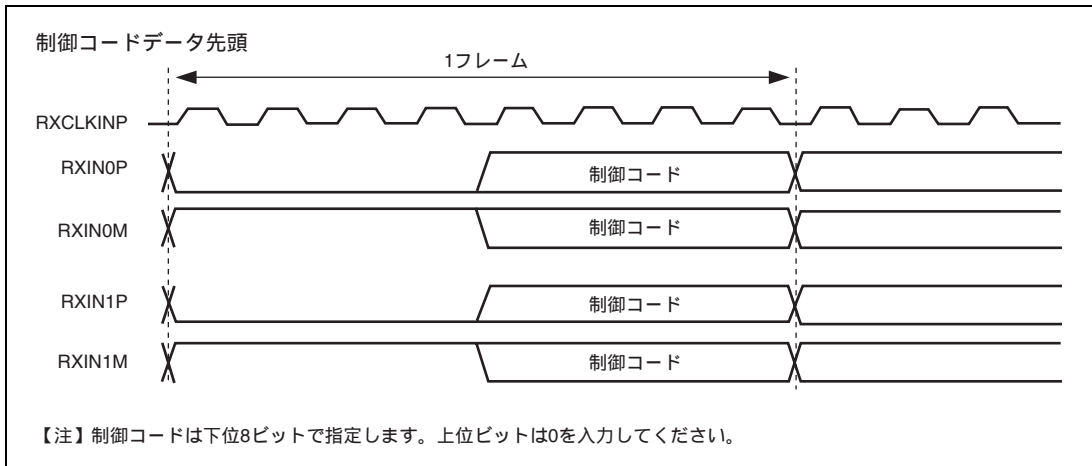


図 24.7 制御コード

制御コードは LVCCR1、LVCCR2 レジスタの SOF、EOF、SOL、EOL ビットと比較され、一致するとそれぞれの制御コードとして認識されます。

24.4.4 LVDS 受信動作

LVDS データ受信フローチャートの例を図 24.8 に示します。LVDS データ受信は以下の手順に従ってください。

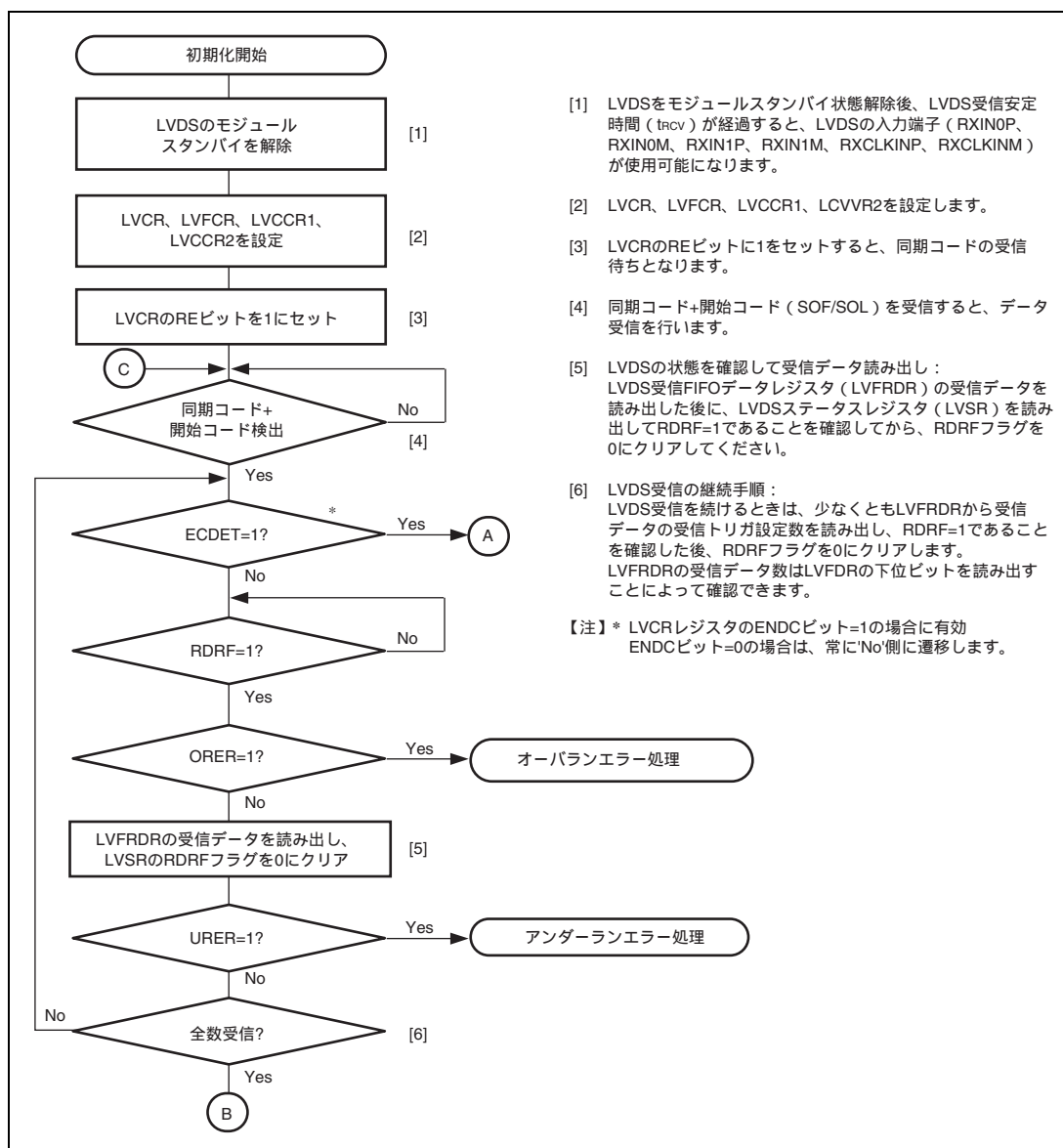


図 24.8 LVDS のデータ受信フローチャートの例 (1)

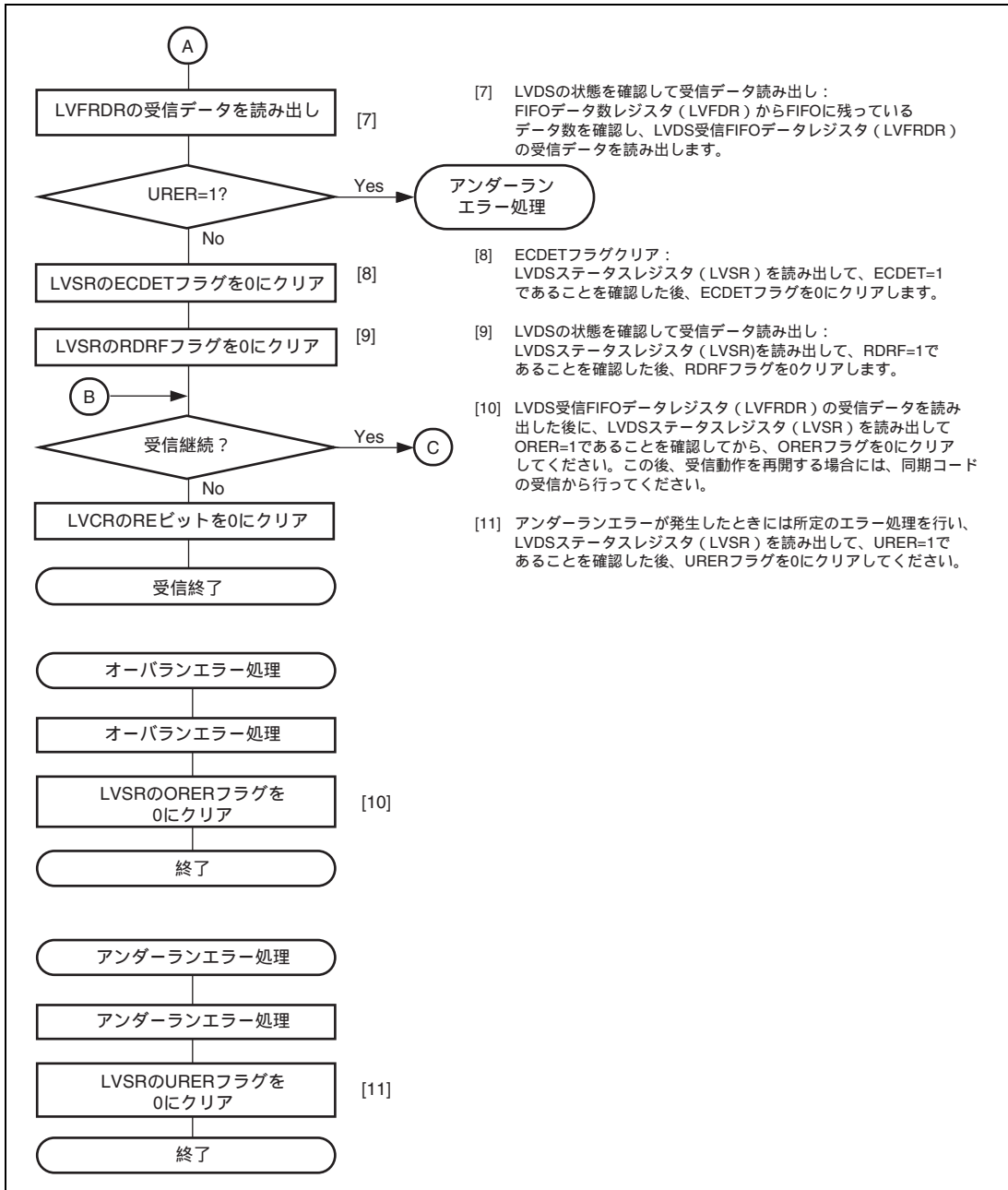


図 24.8 LVDS のデータ受信フローチャートの例 (2)

LVDS は受信時に以下のように動作します。

1. LVDSは同期コードを自動検出して受信を開始します。
2. クロックの立ち上がりと立ち下りで取り込んだデータを、シリアル パラレル変換部でMSBからLSBの順に格納します。LVDSは、入力されたデータに対して、LVFDRレジスタの値を調べ、LVFRDRにデータ格納できる状態であるかをチェックします。チェックがパスしたとき、LVFRDRに受信データが格納されます。エラーチェックでエラーが発生すると表24.3のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

3. 受信FIFOに格納されたデータ数がLRTRGで設定した数に達すると、RDRFフラグが1にセットされます。
4. RDRFフラグが1になったとき、LVCRのLVRXIEビットが1にセットされていると受信FIFOデータフル割り込み (LVRXI) 要求が発生します。また、ORERフラグが1になったとき、LVCRのLVOREIEビットが1にセットされているとオーバーランエラー割り込み (LVOREI) 要求が発生します。
5. LVFRDRレジスタから受信データを取り出す際には、LVFDRレジスタの値を調べ、LVFRDRにデータがあることをチェックします。チェックでエラーが発生すると表24.3のように動作します

表 24.3 受信エラーと発生条件

受信エラー	略称	機 能	データ格納
オーバーランエラー	ORER	LVFRDR のすべてに有効な受信データが存在しているときに、次のデータをLVFRDRに書き込もうとしたとき	LVFRDR に受信データは格納されません。
アンダーランエラー	URER	LVFRDR に有効なデータが存在しないときに LVFRDR レジスタを読み出したとき	LVFRDR からの読み出しデータは不定です

24.4.5 受信動作強制終了後の再開処理

LVDS データ受信動作を強制終了および受信動作を再開する場合のフローチャートの例を図 24.9 に示します。

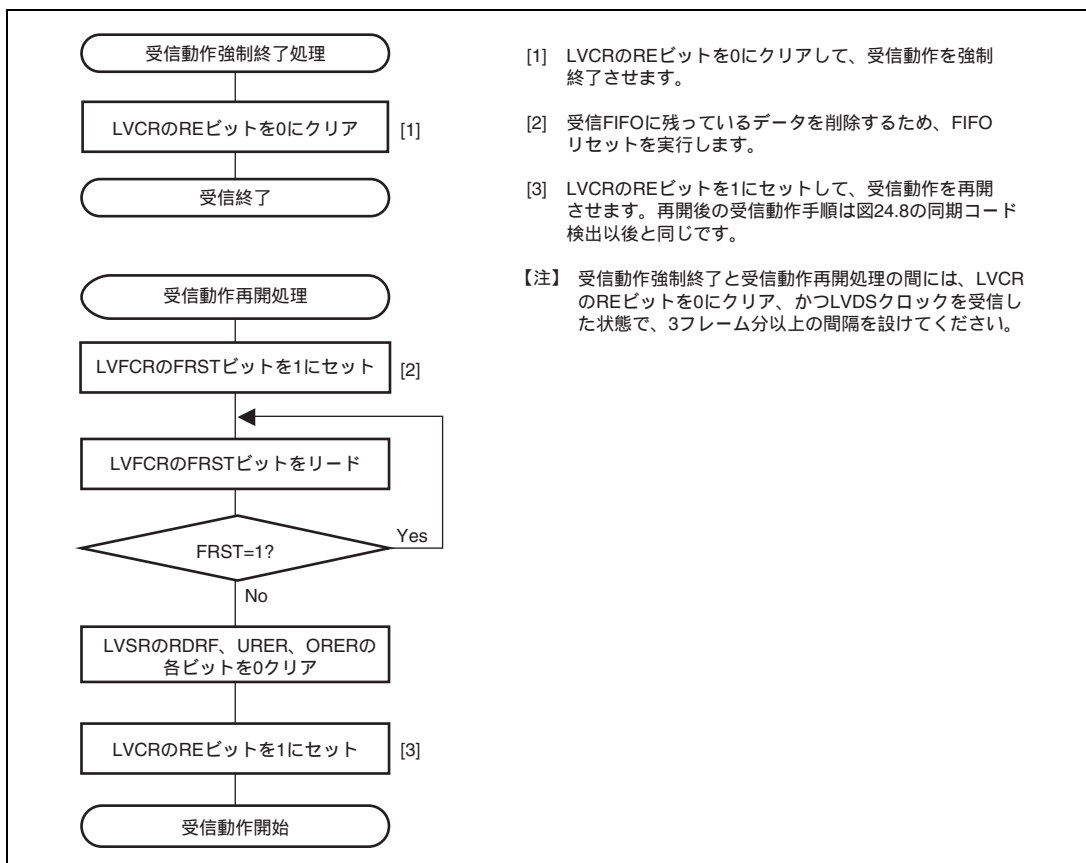


図 24.9 LVDS 受信の強制終了 / 受信再開手順

24.5 割り込み要因と DMAC/DTC

LVDS は、オーバランエラー割り込み (LVOREI)、アンダーランエラー割り込み (LVUREI)、終了コード検知割り込み (LVECI)、受信 FIFO データフル割り込み (LVRXI) の 4 種類の割り込み要因を持っています。表 24.4 に各割り込み要因と優先順位を示します。各割り込み要因は、LVDS コントロールレジスタ (LVCR) の LVOREIE、LVUREIE、LVEIE、LVRXIE ビットで許可または禁止できます。

また、各割り込み要求は独立に割り込みコントローラに送られます。

LVCR の LVOREIE ビットにより LVOREI が許可されている場合、LVDS ステータスレジスタ (LVSR) の ORER フラグが 1 にセットされると、LVOREI 割り込みが発生します。

LVCR の LVUREIE ビットにより LVUREI が許可されている場合、LVSR の URER フラグが 1 にセットされると、LVUREI 割り込みが発生します。

LVCR の LVRXIE ビットにより LVRXI が許可されている場合、LVSR の RDRF フラグが 1 にセットされると、LVRXI 割り込みが発生します。この LVRXI 割り込み要求でダイレクトメモリアクセスコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動して、データ転送を行うことができます。

LVCR の LVEIE ビットにより LVECI が許可されている場合、LVSR の ECDT フラグが 1 にセットされると、LVECI 割り込みが発生します。

表 24.4 LVDS 割り込み要因

割り込み 要因	内容	割り込み フラグ	割り込み許可 ビット	DMAC/DTC の起動	優先 順位
LVOREI	オーバランエラーによる割り込み	ORER	LVOREIE	不可	高 ↑ ↓ 低
LVUREI	アンダーランエラーによる割り込み	URER	LVUREIE	不可	
LVRXI	受信 FIFO データフルによる割り込み	RDRF	LVRXIE	可	
LVECI	終了コード検知による割り込み	ECDT	LVEIE	不可	

24.6 DMAC/DTC による LVDS 受信 FIFO データレジスタのアクセス

受信 FIFO データフル割り込み要求により DMAC で LVDS 受信 FIFO データレジスタ (LVFRDR) の読み出しを行う場合は、受信データをすべて読み出すために、CHCR の TC ビットを 1 にセットして、1 回の転送要求で DMATCR の設定回数分のデータ転送を行ってください。

LVFRDR の R[4:0] が H'0F 以下で、LVCR の RE ビットが 1 である間は、次のデータの受信が可能です。

24.6.1 DMAC によるデータ転送

リロード機能を用いた DMAC による LVDS 受信 FIFO データレジスタの転送設定例を図 24.10 に、タイミングチャートの例を図 24.11 に示します。

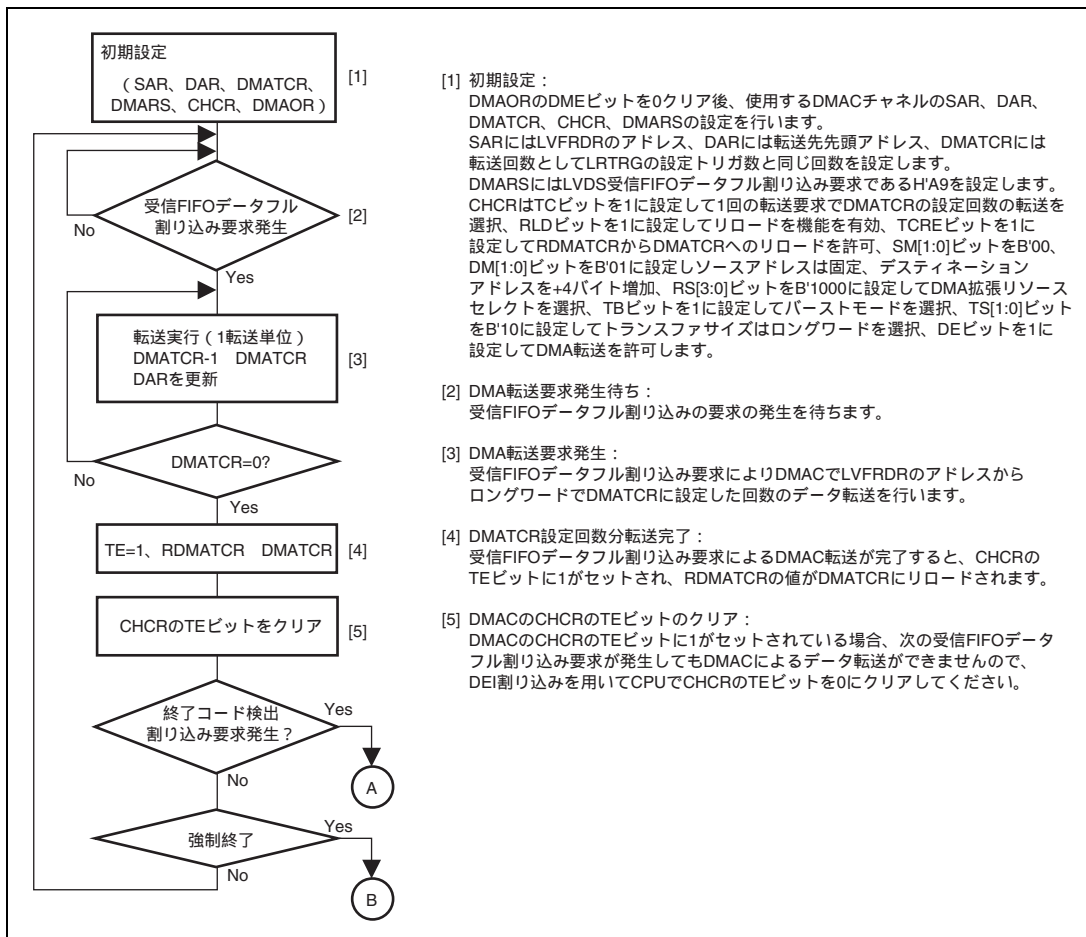


図 24.10 DMAC による LVDS 受信 FIFO データレジスタの転送設定例 (1)

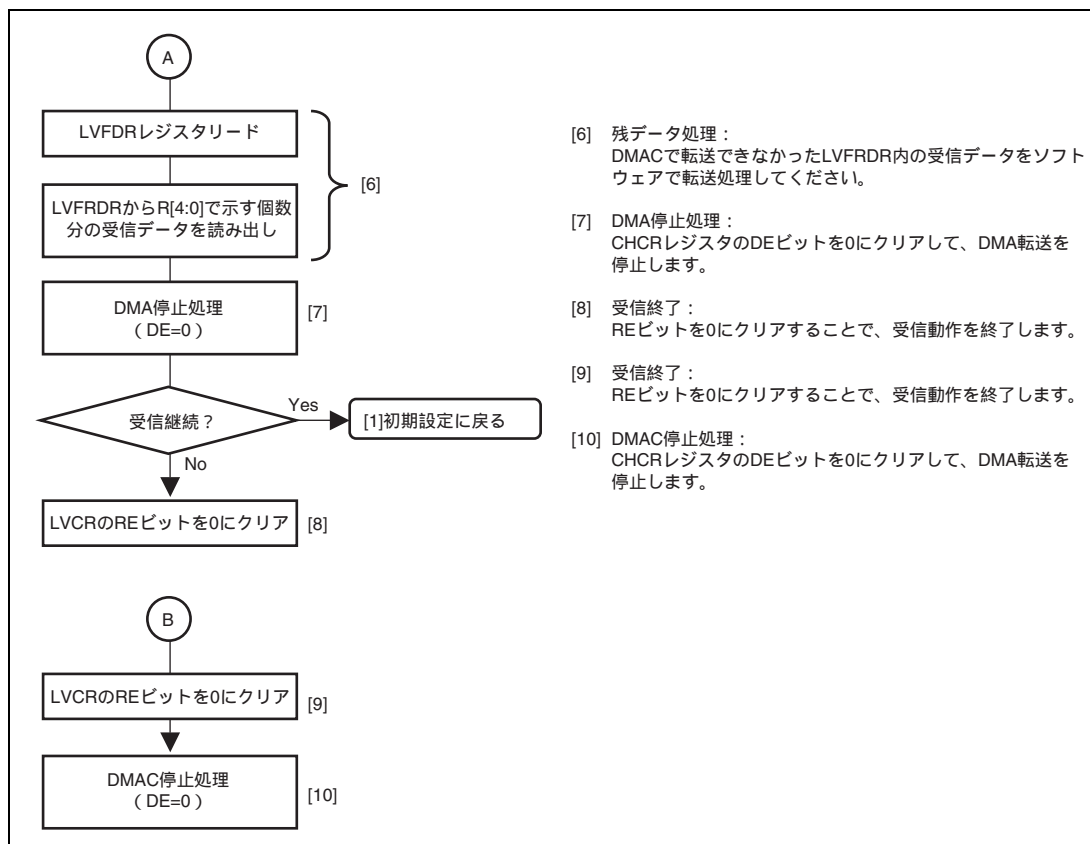


図 24.10 DMAC による LVDS 受信 FIFO データレジスタの転送設定例 (2)

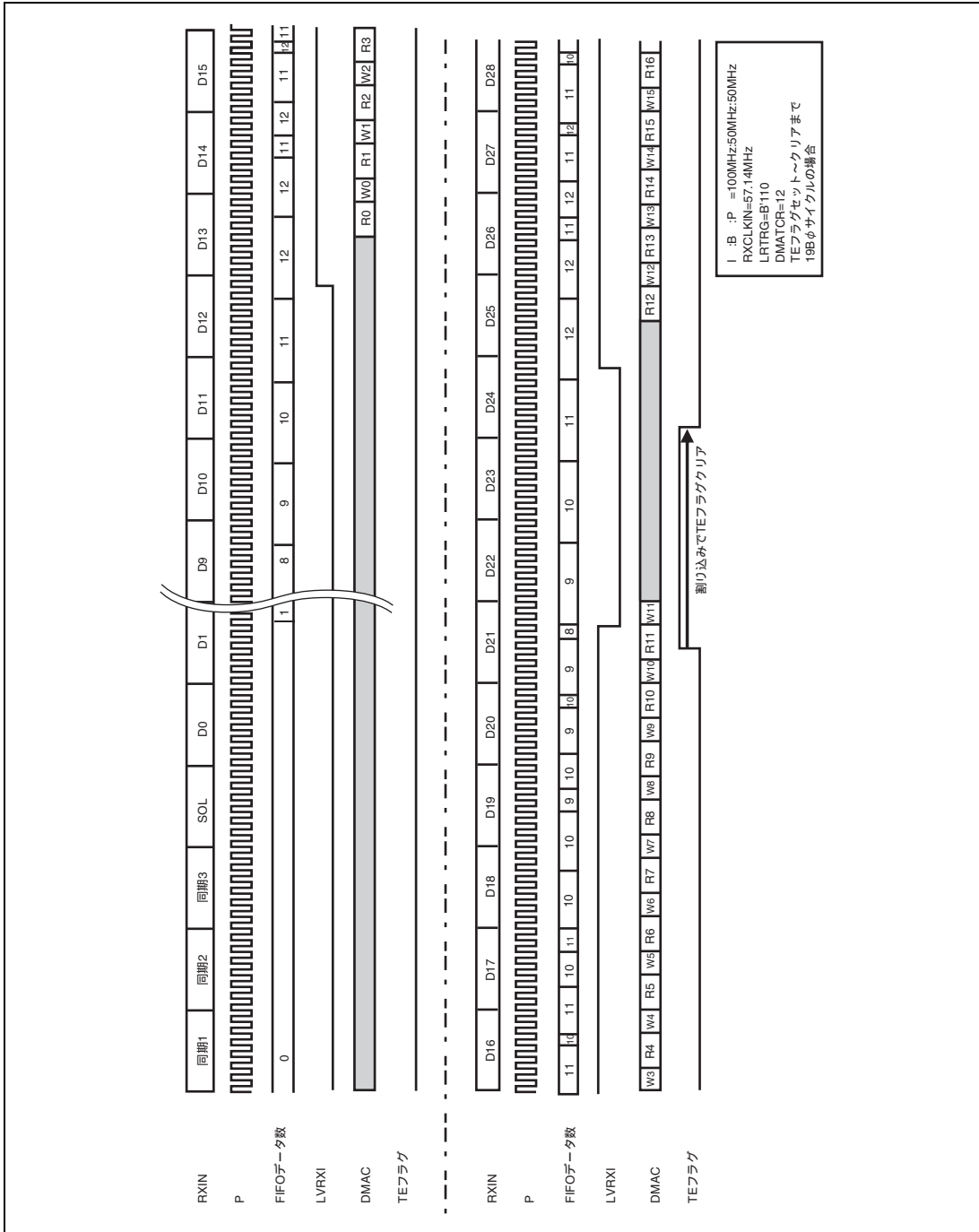


図 24.11 DMAC による LVDS 受信タイミングチャート

24.6.2 DTC によるデータ転送

ブロック転送を用いた DTC による LVDS 受信 FIFO データレジスタの転送設定例を図 24.12 に、タイミングチャートの例を図 24.13 に示します。

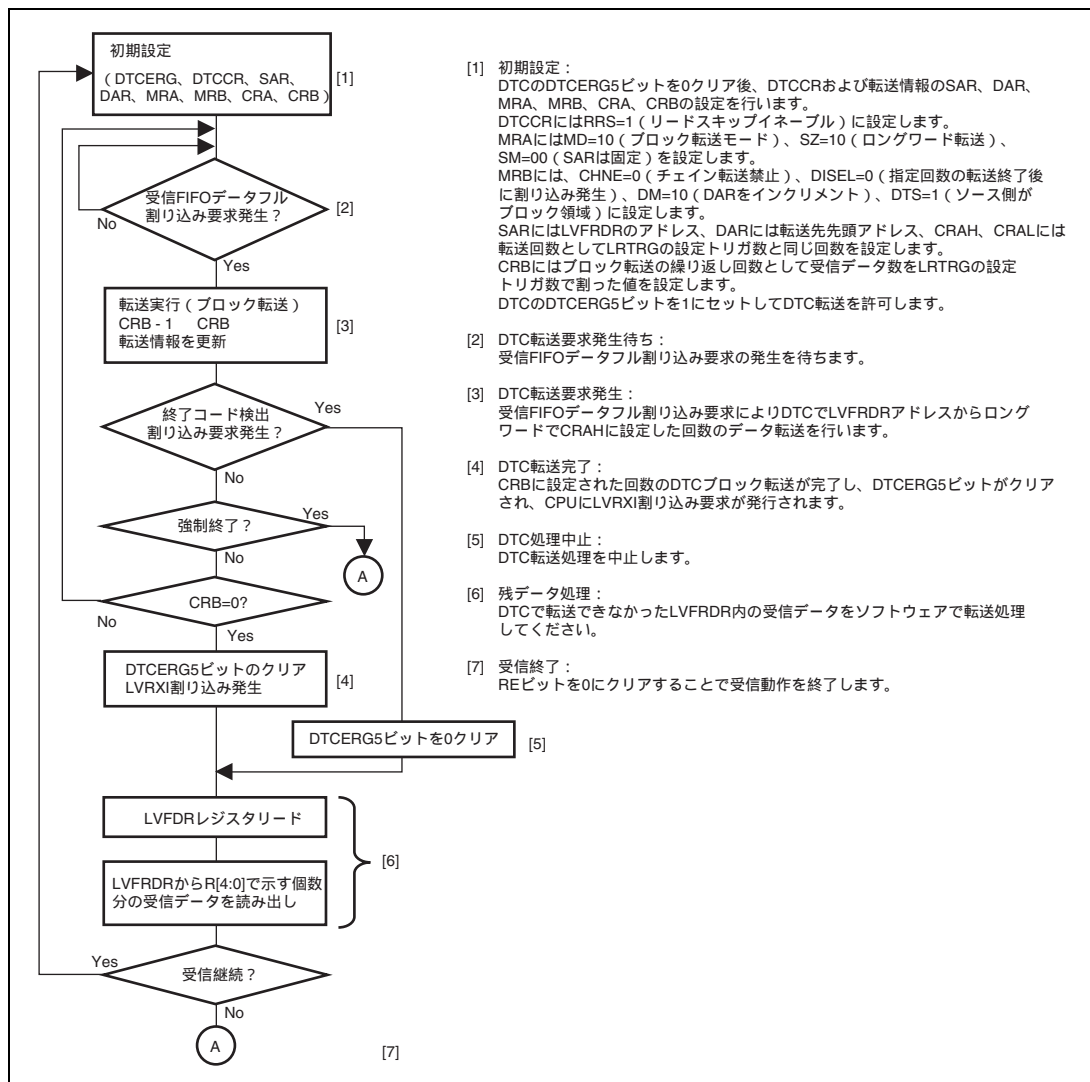


図 24.12 DTC による LVDS 受信 FIFO データレジスタの転送設定例 (1)

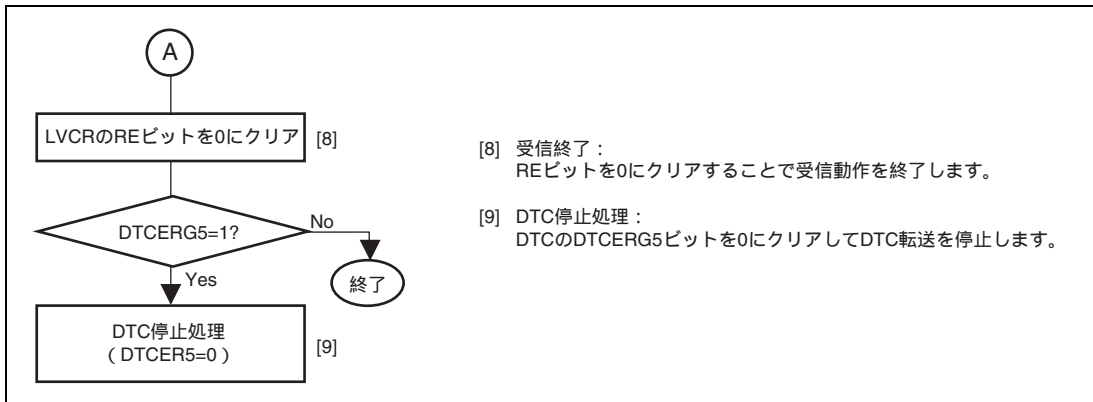


図 24.12 DTC による LVDS 受信 FIFO データレジスタの転送設定例 (2)

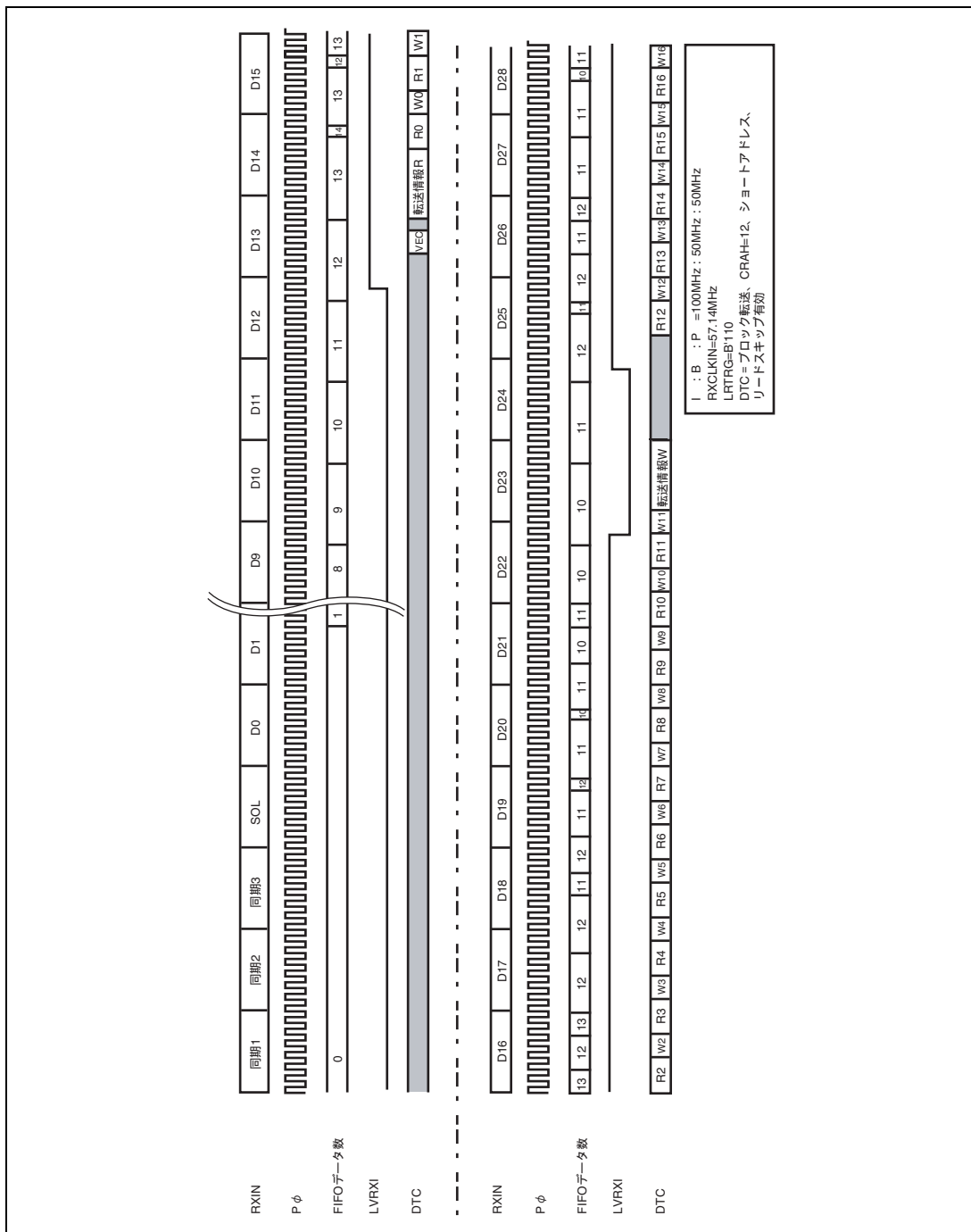


図24.13 DTCによるLVDS受信タイミングチャート

24.6.3 データ転送レート

表 24.5 に、DMAC、DTC を用いた場合のチャンネル当たりの最大転送レートを示します。

表 24.5 最大転送レート

条件 : I : B : P = 100MHz : 50MHz : 50MHz
 DMATCR = CRAH = LRTRG 設定のトリガ数
 DMA の TE フラグクリア = 19B で完了の場合

LRTRG[2:0]	DMAC 使用時 [Mbps/ch]	DTC 使用時[Mbps/ch]	
		リードスキップ無効時	リードスキップ有効時
001	55.1	59.3	88.9
010	82.0	86.5	114.3
011	97.9	102.1	126.3
100	108.4	112.3	133.3
101	115.9	119.4	137.9
110	121.5	124.7	141.2
111	88.9	47.1	99.9
000	オーバランエラーが発生するため、連続受信ができません。		

- 【注】
- DMAC/DTC 使用時の最大転送レートを示します。
 - 内部バスに競合が発生するときは、最大転送レートは表 24.5 の値よりも低下します。
 - DMAC を使用する場合の転送レートは、TE フラグクリアのための割り込み (ソフトウェア) 処理に依存します。表 24.5 は TE フラグクリアに要するサイクルが 19B サイクルの場合の値です。
 なお、19B サイクルとは、クロック比の設定が I : B : P = 2 : 1 : 1、DMAC 転送終了割り込みルーチンでの処理内容は下記、DMAC 転送終了割り込みでただちに TE フラグクリアが行われた場合のサイクル数です。

```

MOV I20 #H'E100E,R0
MOV.W @R0,R1 ; TE フラグビットの 1 リード
MOV I20 #H'FFFD,R4
AND R4,R1
MOV.W R1,@R0 ; TE フラグビットを 0 クリア

```

 以下の場合、TE フラグクリアに要するサイクル数が増加し、本最大転送レートを達成することができなくなりますのでご注意ください。
 - ・割り込み待ち時間が 0 でない場合
 - ・レジスタバンク未使用のためにレジスタ退避処理が必要な場合
 - ・レジスタバンクを使用しているにもかかわらずレジスタバンクオーバフローが発生した場合
 - ・他の割り込みが発生した場合
 - ・他の要因により DMAC/DTC が起動された場合
 - DTC のリードスキップが有効となるのは、前回 DTC を起動した要因が LVDS の場合のみです。電源投入後、初回の DTC 起動は必ずリードスキップ無効で実行されます。
 - DMAC/DTC を使用しない場合はソフトウェアの処理性能に依存します。
 - 使用できる LVDS 転送レートは表 24.5 の値を最大値として、最小値は 40Mbps となります。
 - 最大転送レートを上回るスピードで LVDS にデータを入力した場合は、オーバランエラー割り込み (LVOREI) が発生する場合があります。
 - LRTRG[2:0]=B'111 設定時は、オーバランエラーの発生を回避するため転送レートが下がります。

24.6.4 オーバランエラー発生タイミング

図 24.14 にオーバランエラー発生タイミングを示します。LVDS レシーバ部が認識している FIFO データ数がフルの状態、次の受信データを書き込もうとするときに、オーバランエラーが発生します。LVFRDR はオーバランエラーが発生する前の受信データを保持し、後から受信したデータは失われます。また、ORER ビットが 1 にセットされた状態では受信動作を行うことはできません。

24.7 使用上の注意事項

24.7.1 モジュールスタンバイモードの設定

LVDS はスタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では LVDS の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 32 章 低消費電力モード」を参照してください。

LVDS はモジュールスタンバイモードを解除後、LVDS 受信開始安定時間 (t_{RCV}) を確保してから同期コードの受信を開始してください。LVDS 受信開始安定時間 (t_{RCV}) が確保されないと正常な受信動作ができません。詳細は「第 35 章 電気的特性」の図 35.56 を参照してください。

24.7.2 LVDS クロック入力と周辺クロック (P) の関係

LVDS クロック入力 (RXCLKINP、RXCLKINM) のクロック入力サイクル時間 (t_{CLKIN}) と周辺クロックの周期 (t_{PCYC}) は、 $t_{CLKIN} > (5/8) \times t_{PCYC}$ を満たすように設定してください。

24.7.3 1 チャンネルのみ動作時の注意

1. 受信動作を禁止した状態 ($RE=0$) でチャンネル数選択 (CHSEL) を設定してください。
2. 1チャンネルのみ使用する場合でも、PL4/RXIN1P端子およびPL5/RXIN1M端子を汎用入力として使用することはできません。

24.7.4 LVDS クロック入力を止める場合の注意

LVDS クロック入力 (RXCLKINP、RXCLKINM) を止める場合は、受信終了後、表 24.6 に示すフレーム分の LVDS クロック入力を入力してから LVDS クロック入力を止めてください。

表 24.6 LVDS クロック入力停止までに必要なフレーム数

周波数比	LVDS クロック入力停止までに必要なフレーム数
P ($t_{CLKIN} / 8$)	10
P < ($t_{CLKIN} / 8$)	10 + ($t_{CLKIN} / P / 8$)

24.7.5 内蔵差動入力インピーダンスおよび内蔵プルアップ抵抗について

モジュールスタンバイモードを解除することにより、内蔵差動入力インピーダンス (ZL) と LVDS の入力端子 (RXCLKINP、RXCLKINM、RXIN0P、RXIN0M、RXIN1P、RXIN1M) に内蔵プルアップ抵抗 (RP) が接続されます。抵抗値については、「第 35 章 電気的特性」の「表 35.3 DC 特性 (3) 【LVDS 関連端子 (SH72315A のみ)】」を参照してください。

24.7.6 ボード設計上の注意

LVDS の安定動作のための外付け推奨回路を図 24.15 に示します。LVDSV_{cc} と LVDSV_{ss} はボードの電源供給元から分離してください。

コンデンサは積層セラミックコンデンサを使用し、端子の近くに配置してください。

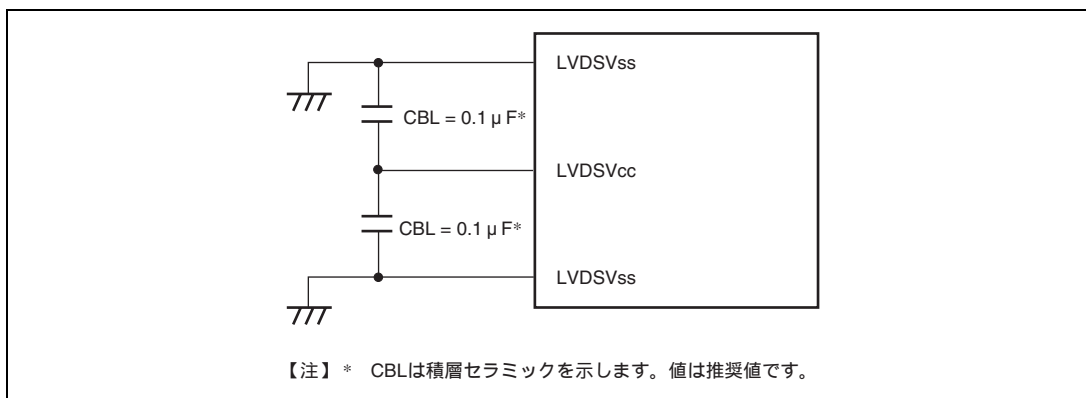


図 24.15 LVDS の外付けの推奨回路

25. ルネサスシリアルペリフェラルインタフェース (RSPI)

本 LSI は、独立した 1 チャンネルのルネサスシリアルペリフェラルインタフェース (RSPI) を備えています。RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。

25.1 特長

本 LSI の RSPI には次のような特長があります。

1. RSPI 転送機能

- MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能。
- マスタ / スレーブモードでのシリアル通信が可能。
- モードフォルトエラー検出が可能。
- オーバランエラー検出が可能。
- シリアル転送クロックの極性を変更可能。
- シリアル転送クロックの位相を変更可能。

2. データフォーマット

- MSBファースト / LSBファーストの切り替え可能。
- 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能。
- 送信 / 受信バッファは 128 ビット。
- 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)。

3. ビットレート

- マスタ時の RSPCK は、最大 4096 分周
内蔵オーレータジェネレータで P を分周して RSPCK を生成。
- スレーブ時のシリアルクロックは、最大 8 分周
外部入力クロックをシリアルクロックとして使用。

4. バッファ構成

- 送信 / 受信バッファ構成はダブルバッファ。

5. SSL制御機能

- 4本のSSL信号 (SSL0 ~ SSL3) あり。
- シングルマスタ設定時には、SSL0 ~ SSL3信号を出力。
- マルチマスタ設定時には、SSL0信号は入力、SSL1 ~ SSL3信号を出力またはHi-Z。
- スレーブ設定時には、SSL0信号は入力、SSL1 ~ SSL3信号はHi-Z。
- SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を設定可能。
設定範囲: 1 ~ 8 RSPCK。設定単位: 1 RSPCK
- RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を設定可能。
設定範囲: 1 ~ 8 RSPCK。設定単位: 1 RSPCK
- 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を設定可能。
設定範囲: 1 ~ 8 RSPCK。設定単位: 1 RSPCK
- SSL極性変更機能。

6. マスタ転送時の制御方式

- 最大4コマンドで構成された転送をシーケンシャルにループ実行可能。
- 各コマンドに設定可能な項目は、以下のとおり。
SSL信号値、ビットレート、RSPCK極性 / 位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延。
- DMACによる送信バッファへのライトで転送を起動可能。
- DTCによる送信バッファへのライトで転送を起動可能。
- CPUによるSPTEFビットクリアで転送を起動可能。
- SSLネゲート時のMOSI信号値を設定可能。

7. 割り込み要因

- マスカブルな割り込み要因あり。
 - ・ RSPI受信割り込み (受信バッファフル)。
 - ・ RSPI送信割り込み (送信バッファEMPTY)。
 - ・ RSPIエラー割り込み (モードフォルト、オーバラン)。

8. その他

- ループバックモードあり。
- CMOS / オープンドレイン出力切り替え機能あり。
- RSPIディスエーブル (初期化) 機能あり。

25.1.1 内部ブロック図

図 25.1 に RSPI 内部ブロック図を示します。

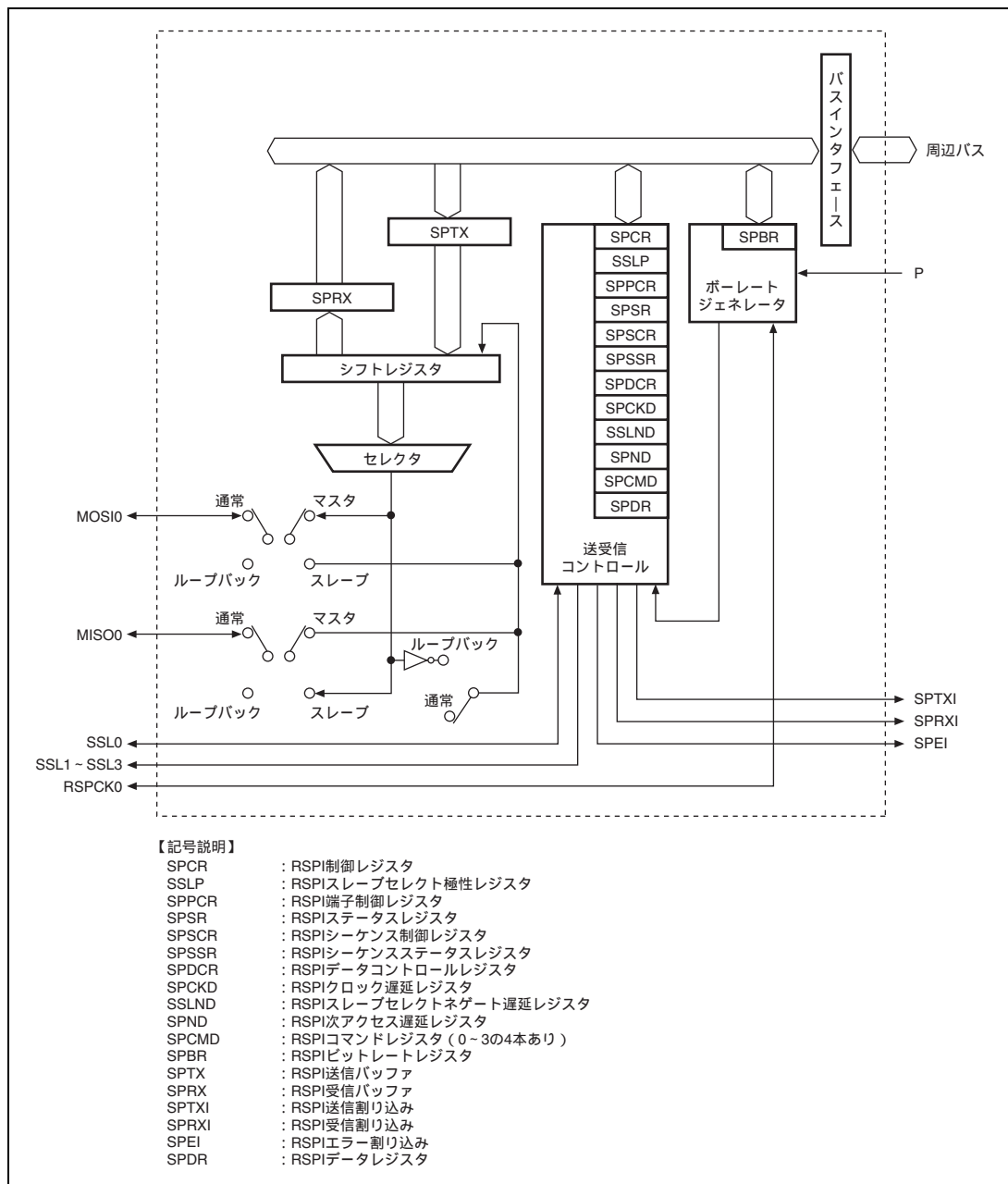


図 25.1 RSPI のブロック図

25.2 入出力端子

RSPI は、表 25.1 に示すシリアル端子を持っています。SSL0 端子の入出力方向は、シングルマスタ設定の場合には出力、マルチマスタ設定とスレーブ設定の場合には入力に RSPI が自動的に切り替えます。RSPCK0、MOSI0、MISO0 の入出力方向は、マスタ/スレーブ設定と SSL0 入力レベルに応じて、RSPI が自動的に切り替えます（「25.4.2 RSPI 端子の制御」を参照）。

表 25.1 端子構成

名 称	端子名*	入出力	機 能
RSPI クロック端子	RSPCK0	入出力	RSPI のクロック入出力
マスタ送出データ端子	MOSI0	入出力	RSPI のマスタ送出データ
スレーブ送出データ端子	MISO0	入出力	RSPI のスレーブ送出データ
スレーブセレクト 0 端子	SSL0	入出力	RSPI のスレーブセレクト
スレーブセレクト 1 端子	SSL1	出力	RSPI のスレーブセレクト
スレーブセレクト 2 端子	SSL2	出力	RSPI のスレーブセレクト
スレーブセレクト 3 端子	SSL3	出力	RSPI のスレーブセレクト

【注】 * 本文中ではチャンネルを省略し、それぞれ RSPCK、MOSI、MISO と略称します。

25.3 レジスタの説明

RSPI には、表 25.2 に示す内部レジスタがあります。これらのレジスタにより、マスタ/スレーブモードの指定、転送フォーマットの指定、および送信部/受信部の制御を行うことができます。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 25.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
RSPI 制御レジスタ	SPCR	R/W	H'00	H'FFFFB800	8、16
RSPI スレーブセレクト極性レジスタ	SSLP	R/W	H'00	H'FFFFB801	8
RSPI 端子制御レジスタ	SPPCR	R/W	H'00	H'FFFFB802	8、16
RSPI ステータスレジスタ	SPSR	R/W	H'22	H'FFFFB803	8
RSPI データレジスタ	SPDR	R/W	H'00000000	H'FFFFB804	16、32*
RSPI シーケンス制御レジスタ	SPSCR	R/W	H'00	H'FFFFB808	8、16
RSPI シーケンスステータスレジスタ	SPSSR	R	H'00	H'FFFFB809	8
RSPI ビットレートレジスタ	SPBR	R/W	H'FF	H'FFFFB80A	8、16
RSPI データコントロールレジスタ	SPDCR	R/W	H'00	H'FFFFB80B	8
RSPI クロック遅延レジスタ	SPCKD	R/W	H'00	H'FFFFB80C	8、16
RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	R/W	H'00	H'FFFFB80D	8
RSPI 次アクセス遅延レジスタ	SPND	R/W	H'00	H'FFFFB80E	8
RSPI コマンドレジスタ 0	SPCMD0	R/W	H'070D	H'FFFFB810	16
RSPI コマンドレジスタ 1	SPCMD1	R/W	H'070D	H'FFFFB812	16
RSPI コマンドレジスタ 2	SPCMD2	R/W	H'070D	H'FFFFB814	16
RSPI コマンドレジスタ 3	SPCMD3	R/W	H'070D	H'FFFFB816	16

【注】 * SPDCR レジスタの SPLW ビットで設定したアクセスサイズでアクセスしてください。

25.3.1 RSPI 制御レジスタ (SPCR)

SPCR は、RSPI の動作モードを設定するためのレジスタです。SPCR は、常に CPU による読み出し / 書き込みが可能です。SPE ビットが 1 で RSPI 機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を変更した場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	SPMS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	SPRIE	0	R/W	RSPI 受信割り込みイネーブル RSPI がシリアル転送完了後の受信バッファ書き込みを検出し、RSPI ステータスレジスタ (SPSR) の SPRF ビットを 1 にした場合の RSPI 受信割り込み要求の発生を許可 / 禁止するためのビットです。 0 : RSPI 受信割り込み要求の発生を禁止する 1 : RSPI 受信割り込み要求の発生を許可する
6	SPE	0	R/W	RSPI 機能イネーブル 本ビットを 1 にすることにより、RSPI 機能が有効になります。RSPI ステータスレジスタ (SPSR) の MODF ビットが 1 の場合には、SPE ビットを 1 に設定することはできません (「25.4.7 エラー検出」を参照)。SPE ビットを 0 にすると、RSPI 機能は無効化されて、モジュール機能の一部が初期化されます (「25.4.8 RSPI の初期化」を参照)。 0 : RSPI 機能は無効化する 1 : RSPI 機能を有効化する
5	SPTIE	0	R/W	RSPI 送信割り込みイネーブル RSPI が送信バッファエンブティを検出し、RSPI ステータスレジスタ (SPSR) の SPTEF ビットを 1 にした場合の RSPI 送信割り込み要求の発生を許可 / 禁止するためのビットです。 RSPI ディスエーブル (SPE ビットが 0) の状態では、SPTEF ビットが 1 になります。このため、RSPI ディスエーブル状態で SPTIE を 1 に設定すると、RSPI 送信割り込み要求が発生することに注意してください。 0 : RSPI 送信割り込み要求の発生を禁止する 1 : RSPI 送信割り込み要求の発生を許可する

ビット	ビット名	初期値	R/W	説明
4	SPEIE	0	R/W	<p>RSPI エラー割り込みイネーブル</p> <p>RSPI がモードフォルトエラーを検出して RSPI ステータスレジスタ (SPSR) の MODF ビットを 1 にした場合、または RSPI がオーバーランエラーを検出して SPSR の OVRF ビットを 1 にした場合の RSPI エラー割り込み要求の発生を許可 / 禁止するためのビットです(「25.4.7 エラー検出」を参照)。</p> <p>0 : RSPI エラー割り込み要求の発生を禁止する 1 : RSPI エラー割り込み要求の発生を許可する</p>
3	MSTR	0	R/W	<p>RSPI マスタ / スレーブモード選択</p> <p>RSPI のマスタ / スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL0 ~ SSL3 端子の方向を決定します。</p> <p>0 : スレーブモード 1 : マスタモード</p>
2	MODFEN	0	R/W	<p>モードフォルトエラー検出イネーブル</p> <p>モードフォルトエラーの検出を許可 / 禁止するためのビットです(「25.4.7 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSL0 端子の入出力方向を決定します(「25.4.2 RSPI 端子の制御」を参照)。</p> <p>0 : モードフォルトエラー検出を禁止する 1 : モードフォルトエラー検出を許可する</p>
1	-	0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>
0	SPMS	0	R/W	<p>RSPI モード選択ビット</p> <p>SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。</p> <p>クロック同期式動作を行う場合は SSL 端子を使用せず、RSPCK 端子、MOSI 端子、MISO 端子の 3 端子を用いて通信を行います。また、クロック同期式動作を行う場合は RSPI コマンドレジスタ (SPCMD) の CPHA を 1 に設定してください。CPHA を 0 に設定した場合の動作は、保証されません。</p> <p>0 : SPI 動作 (4 線式) 1 : クロック同期式動作</p>

25.3.2 RSPI スレーブセレクト極性レジスタ (SSLP)

SSLP は、RSPI の SSL0 ~ 3 信号の極性を設定するためのレジスタです。SSLP は、常に CPU による読み出し / 書き込みが可能です。RSPI 制御レジスタ (SPCR) の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SSLP を書き換えた場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SSL3P	SSL2P	SSL1P	SSL0P
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SSL3P	0	R/W	SSL 信号極性設定ビット SSL 信号の極性を設定するためのビットです。SSLiP (i は 3~0) の設定値が、SSLi 信号のアクティブ極性を示します。 0 : SSLi 信号は 0 アクティブ 1 : SSLi 信号は 1 アクティブ
2	SSL2P	0	R/W	
1	SSL1P	0	R/W	
0	SSL0P	0	R/W	

25.3.3 RSPI 端子制御レジスタ (SPPCR)

SPPCR は、RSPI の端子モードを設定するために使用されるレジスタです。SPPCR は、常に CPU による読み出し / 書き込みが可能です。RSPI 制御レジスタ (SPCR) の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	MOIFE	MOIFV	-	SPOM	-	SPLP
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの RSPI が、SSL ネグート期間 (バースト転送における SSL 保持期間を含む) に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、RSPI は SSL ネグート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE が 1 の場合には、RSPI は MOIFV ビットに設定された固定値を MOSI に出力します。 0 : MOSI 出力値は前回転送の最終データ 1 : MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、RSPI は MOIFV ビットの設定に従って、SSL ネグート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を決定します。 0 : MOSI アイドル固定値は 0 1 : MOSI アイドル固定値は 1
3	-	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SPOM	0	R/W	RSPI 出力端子モード RSPI の出力端子を CMOS 出力 / オープンドレイン出力に設定するためのビットです。 0 : CMOS 出力 1 : オープンドレイン出力
1	-	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	SPLP	0	R/W	RSPI ループバック SPLP ビットを 1 にすると、RSPI は MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード) 0 : 通常モード 1 : ループバックモード

25.3.4 RSPI ステータスレジスタ (SPSR)

SPSR は、RSPI の動作状態を示すフラグを格納したレジスタです。SPSR は、常に CPU による読み出しが可能です。CPU から SPSR への書き込みは、一定条件下においてのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	SPRF	-	SPTEF	-	-	MODF	MIDLE	OVRF
初期値 :	0	0	1	0	0	0	1	0
R/W :	R/(W)*	R	R/(W)*	R	R	R/(W)*	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SPRF	0	R/(W)*	<p>RSPI 受信バッファフルフラグ</p> <p>RSPI データレジスタ (SPDR) の受信バッファの状態を示すビットです。SPRF ビットが0の状態ではシリアル転送が終了すると、RSPI はシフトレジスタから SPDR に受信データを転送して、このビットを1にします。また、RSPI は全二重同期式のシリアル通信を行いますので、送信データの最後尾ビットの送信時でもあります。</p> <p>SPRF ビットが1の状態ではシリアル転送が終了した場合には、RSPI はシフトレジスタから SPDR に受信データを転送しません。SPSR の OVRF ビットが1の状態では、SPRF ビットを0から1に変化させることができません(「25.4.7 エラー検出」を参照)。</p> <p style="padding-left: 20px;">0 : SPDR に有効な受信データなし</p> <p style="padding-left: 20px;">[クリア条件]</p> <ul style="list-style-type: none"> • SPRF = 1 の状態を読み出した後、SPRF に0を書き込んだとき • RXI 割り込みにより DMAC が起動され、DMAC が SPFC で指定されたステート数のデータを SPDR からリードしたとき • RXI 割り込みにより DTC が起動され、DTC が SPFC で指定されたステート数のデータを SPDR からリードしたとき (DTC の転送カウンタ値が H'0000 になったとき DISEL ビットが1の場合を除く) • パワーオンリセット <p style="padding-left: 20px;">1 : SPDR に有効な受信データあり</p> <p style="padding-left: 20px;">[セット条件]</p> <ul style="list-style-type: none"> • SPFC で指定されたステート数のシリアル受信が正常終了したとき
6	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5	SPTEF	1	R/(W)*	<p>RSPI 送信バッファエンプティフラグ</p> <p>RSPI データレジスタ (SPDR) の送信バッファの状態を示すビットです。SPTEF クリア状態で、かつシフトレジスタが空の場合、送信バッファからシフトレジスタへデータがコピーされます。</p> <p>CPU/DMAC/DTC による SPDR に対する書き込みは、SPTEF ビットが 1 の場合にのみ有効です。SPTEF が 0 の状態で、CPU/DMAC/DTC が SPDR の送信バッファを書き込んだ場合には、送信バッファのデータは更新されません。</p> <p>0 : 送信バッファにデータあり</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SPTEF = 1 の状態を読み出した後、SPTEF に 0 を書き込んだとき TXI 割り込みにより DMAC が起動され、DMAC が SPFC で指定されたステート数のデータを SPDR にライトしたとき TXI 割り込みにより DTC が起動され、DTC が SPFC で指定されたステート数のデータを SPDR にライトしたとき (DTC の転送カウンタ値が H'0000 になったとき DISEL ビットが 1 の場合を除く) <p>1 : 送信バッファにデータなし</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信バッファからシフトレジスタに送信データが転送されたとき
4, 3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	MODF	0	R/(W)*	<p>モードフォルトエラーフラグ</p> <p>モードフォルトエラーの発生状況を示すビットです。SSL0 信号のアクティブレベルは、RSPI スレープセレクト極性レジスタ (SSLP) の SSL0P ビットによって決定されます。</p> <p>0 : モードフォルトエラーなし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット MODF = 1 の状態を読み出した後、MODF に 0 を書き込んだとき <p>1 : モードフォルトエラー発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マルチマスタモードの場合に SSL0 端子の入力レベルがアクティブレベルになったとき スレープモードの場合にデータ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がネゲートされたとき

ビット	ビット名	初期値	R/W	説明
1	MIDLE	1	R	<p>RSPI アイドルフラグ</p> <p>RSPI の転送状況を示すビットです。</p> <p>1 : RSPI アイドル状態</p> <p>[セット条件]</p> <p>マスタモード時</p> <ul style="list-style-type: none"> • SPCR の SPE ビットが 0 (RSPI 初期化) • SPSR の SPTEF ビットが 1、SPSSR の SPCP ビットが 00、RSPI 内部シーケンサがアイドル状態へ遷移 <p>スレーブモード時</p> <ul style="list-style-type: none"> • SPCR の SPE ビットが 0 <p>0 : RSPI 転送状態</p> <p>[クリア条件]</p> <p>セット条件を満たさなかったとき</p>
0	OVRF	0	R/(W)*	<p>オーバランエラーフラグ</p> <p>オーバランエラーの発生状況を示すビットです。</p> <p>0 : オーバランエラーなし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • OVRF = 1 の状態を読み出した後、OVRF に 0 を書き込んだとき <p>1 : オーバランエラー発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SPRF ビットが 1 にされた状態でシリアル転送が終了したとき

【注】 * フラグをクリアするため 1 を読み出した後に 0 を書き込むことのみ可能です。

25.3.5 RSPI データレジスタ (SPDR)

SPDR は、RSPI 送受信のデータを格納するバッファです。

送信用バッファ (SPTX) と受信用バッファ (SPRX) は独立したバッファで、これらのバッファが SPDR にマッピングされています。

SPDR へのリード/ライトは、RSPI データコントロールレジスタ (SPDCR) の RSPI ロングワードアクセス/ワードアクセス設定ビット (SPLW) の設定によって、ワード/ロングワードで行ってください。SPLW が 0 のとき、SPDR は、64 ビットのバッファで最大 16 ビットの 4 フレームから構成され、SPLW が 1 のとき、SPDR は、128 ビットのバッファで最大 32 ビットの 4 フレームから構成されます。

バッファは FIFO になっており 4 フレームのデータをリードする場合、SPDR を 4 回読み出すことで受信した順番にデータを取り出すことができます。4 フレームを送信する場合、SPDR を 4 回書くことで実現できます。

SPDR の使用するフレーム長は RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC1 ~ SPFC0) によって決定され、使用するビット長は RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3 ~ 0) によって決定されます。

CPU/DTC/DMAC が SPDR への書き込みを要求した場合には、RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 にされていれば、RSPI が SPDR の送信バッファにデータを書き込みます。SPTEF ビットが 0 の状態では、RSPI は SPDR の送信バッファを更新しません。

CPU/DTC/DMAC が SPDR からの読み出しを要求した場合には、RSPI データコントロールレジスタ (SPDCR) の RSPI 受信/送信データ選択ビット (SPRDTD) が 0 であれば、受信バッファを読み出し、1 であれば送信バッファを読み出します。

送信バッファを読み出す場合には、直前に書き込んだ値が読み出されます。また、RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 の状態では、送信バッファを読み出しません。

通常的使用方法では、SPRDTD を 0 とし、SPSR の SPRF ビットの 1 状態 (受信バッファに未リードのデータが格納された状態) で、CPU/DTC/DMAC による受信バッファ読み出しを実行します。SPSR の SPRF ビットまたは OVRF ビットが 1 の状態では、RSPI はシリアル転送終了時に SPDR の受信バッファを更新しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.6 RSPI シーケンス制御レジスタ (SPSCR)

SPSCR は、RSPI がマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。SPSCR は、常に CPU による読み出し / 書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI 機能がイネーブルである状態において、CPU が SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPSLN[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
2~0	SPSLN[2:0]	000	R/W	RSPI シーケンス長設定 マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの RSPI は SPSLN2 ~ SPSLN0 に設定されたシーケンス長に応じて、参照する RSPI コマンドレジスタ 0 ~ 3 (SPCMD0 ~ 3) と参照順を変更します。なお、スレーブモードの RSPI では、常に SPCMD0 が参照されます。 <div style="margin-left: 20px;"> シーケンス長 参照する SPCMD レジスタ (番号) </div> <div style="margin-left: 20px;"> 000 : 1 0 0 ... </div> <div style="margin-left: 20px;"> 001 : 2 0 1 0 ... </div> <div style="margin-left: 20px;"> 010 : 3 0 1 2 0 ... </div> <div style="margin-left: 20px;"> 011 : 4 0 1 2 3 0 ... </div> <div style="margin-left: 20px;"> 1xx : 設定禁止 </div>

25.3.7 RSPI シーケンスステータスレジスタ (SPSSR)

SPSSR は、RSPI がマスタ動作する場合のシーケンス制御の状態を示すレジスタです。SPSSR は、常に CPU による読み出しが可能です。CPU から SPSSR への書き込みは無視されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	SPECM[1:0]	-	-	-	SPCP[1:0]	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
5, 4	SPECM[1:0]	00	R	RSPI エラーコマンド RSPI のシーケンス制御で、エラー検出時にコマンドポインタ (SPCP1 ~ SPCP0 ビット) で指されていた RSPI コマンドレジスタ 0 ~ 3 (SPCMD0 ~ SPCMD3) を示すビットです。RSPI はエラー検出時にのみ SPECM1 ~ SPECM0 を更新します。RSPI ステータスレジスタ (SPSR) の OVRF ビットと MODF ビットがともに 0 で、エラーが発生していない場合には、SPECM1 ~ SPECM0 の値には意味がありません。 なお、RSPI のエラー検出機能については、「25.4.7 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「25.4.9 (2) マスタモード動作」を参照してください。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3
3, 2	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
1, 0	SPCP[1:0]	00	R	RSPI コマンドポインタ RSPI のシーケンス制御で、現在ポインタで指されている RSPI コマンドレジスタ 0 ~ 3 (SPCMD0 ~ 3) を示すビットです。 なお、RSPI のシーケンス制御については、「25.4.9 (2) マスタモード動作」を参照してください。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3

25.3.8 RSPI ビットレートレジスタ (SPBR)

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。SPBR は、常に CPU による読み出し / 書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI 機能がイネーブルである状態において、CPU が SPBR を書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPBR、BRDV の設定に関係なく、入力クロックのビットレートに依存します。

ビット :	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートは SPBR の設定値と RSPI コマンドレジスタ (SPCMD0~3) の BRDV1~0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で N は SPBR の設定値 (0、1、2、...、255)、n は BRDV1~0 ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(P)}{2 \times (N+1) \times 2^n}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 25.3 に示します。

表 25.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR の 設定値 (N)	BRDV[1:0] の 設定値 (n)	分周比	ビットレート				
			P = 16MHz	P = 20MHz	P = 32MHz	P = 40MHz	P = 50MHz
0	0	2	8.0 Mbps	10.0 Mbps	-	-	-
1	0	4	4.0 Mbps	5.0 Mbps	8.0 Mbps	10.0 Mbps	12.5 Mbps
2	0	6	2.67 Mbps	3.3 Mbps	5.33 Mbps	6.67 Mbps	8.33 Mbps
3	0	8	2.0 Mbps	2.5 Mbps	4.0 Mbps	5.0 Mbps	6.25 Mbps
4	0	10	1.6 Mbps	2.0 Mbps	3.2 Mbps	4.0 Mbps	5.00 Mbps
5	0	12	1.33 Mbps	1.67 Mbps	2.67 Mbps	3.33 Mbps	4.17 Mbps
5	1	24	667 kbps	833 kbps	1.33 Mbps	1.67 Mbps	2.08 Mbps
5	2	48	333 kbps	417 kbps	667 kbps	833 kbps	1.04 Mbps
5	3	96	167 kbps	208 kbps	333 kbps	417 kbps	520 kbps
255	3	4096	3.9 kbps	4.9 kbps	7.8 kbps	9.8 kbps	10 kbps

【注】 - : 設定禁止

25.3.9 RSPI データコントロールレジスタ (SPDCR)

SPDCR は、SPDR レジスタに格納できるフレーム数を設定、SPDR レジスタの読み出し、SPDR レジスタへのアクセス幅をロングワードアクセス/ワードアクセスに設定するためのレジスタです。

RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3~0)、RSPI シーケンス制御レジスタ (SPSCR) のシーケンス長設定ビット (SPSLN2~0)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC1~0) の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SPDCR は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SPDCR を書き換えた場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	SPLW	SPRDTD	-	-	SPFC[1:0]	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SPLW	0	R/W	RSPI ロングワードアクセス/ワードアクセス設定ビット RSPI ロングワードアクセス/ワードアクセス設定ビット(SPLW)は、RSPI データレジスタ (SPDR) へのアクセス幅を設定します。SPLW が 0 のときはワードアクセス、SPLW が 1 のときはロングワードアクセスで SPDR にアクセスしてください。 また、SPLW が 0 のとき、RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3~0) の設定は、8~16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。 0 : SPDR レジスタへはワードアクセス 1 : SPDR レジスタへはロングワードアクセス
4	SPRDTD	0	R/W	RSPI 受信 / 送信データ選択ビット RSPI 受信 / 送信データ選択ビット (SPRDTD) は、RSPI データレジスタ (SPDR) の読み出す値を受信バッファとするか、送信バッファとするかを選択します。 送信バッファを読み出した場合、SPDR へ直前に書き込んだ値が読み出されます。送信バッファの読み出しは、RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態であるときに行ってください。 0 : SPDR は受信バッファを読み出す 1 : SPDR は送信バッファを読み出す (ただし、SPTEF ビットが 1 のとき)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	SPFC[1:0]	00	R/W	<p>フレーム数設定ビット</p> <p>SPDR レジスタに格納できるフレーム数を設定するビットです。RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3~0)、RSPI シーケンス制御レジスタ (SPSCR) の RSPI シーケンス長設定ビット (SPSLN2~0)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC1~0) の設定により 1 回の送受信起動で最大 4 フレームを送受信できます。</p> <p>また、SPFC1、SPFC0 は、RSPI ステータスレジスタ (SPSR) の RSPI 受信バッファフルフラグ (SPRF) をセットする受信データ数の設定を行います。表 25.4 に SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合には、以後の動作は保証されません。</p>

表 25.4 フレーム数設定ビットの組み合わせ

設定	SPB3 ~ SPB0	SPSLN2 ~ SPSLN0	SPFC1、SPFC0	転送する フレーム数	SPRF を 1 にセット、 SPTEF を 0 にクリアするフレーム数
1-1	N	000	00	1	1 フレーム
1-2	N	000	01	2	2 フレーム
1-3	N	000	10	3	3 フレーム
1-4	N	000	11	4	4 フレーム
2-1	N、M	001	01	2	2 フレーム
2-2	N、M	001	11	4	4 フレーム
3	N、M、O	010	10	3	3 フレーム
4	N、M、O、P	011	11	4	4 フレーム

N、M、O、P : SPB3~0 で設定できるデータ長

1 回の起動で表 25.4 の 1-1 ~ 4 の設定時に以下のようにデータが送受信できます。

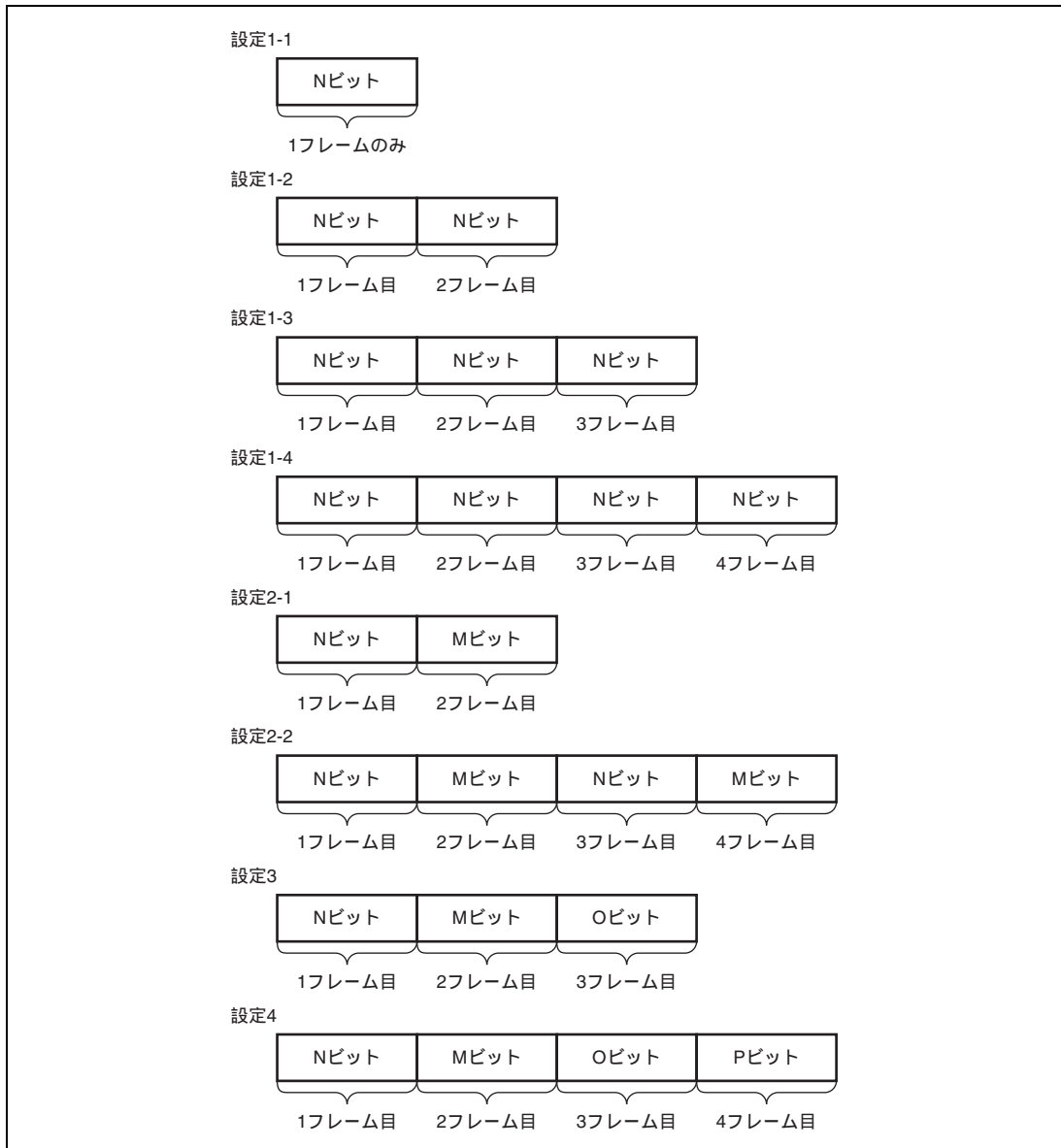


図 25.2 RSPI のデータフォーマット

25.3.10 RSPCK 遅延レジスタ (SPCKD)

SPCKD は、RSPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCKD は、常に CPU による読み出し / 書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SPCKD を書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] に 000 を設定してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCKDL[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2~0	SCKDL[2:0]	000	R/W	RSPCK 遅延設定 SPCMD の SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定するためのビットです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK

25.3.11 RSPI スレープセレクトネゲート遅延レジスタ (SSLND)

SSLND は、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SSLND は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SSLND を書き換えた場合には、以降の動作は保証されません。

RSPI をスレープモードで使用する場合には、SLNDL[2:0]に 000 を設定してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLNDL[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2~0	SLNDL[2:0]	000	R/W	SSL ネゲート遅延設定 マスタモードの RSPI の SSL ネゲート遅延値を設定するためのビットです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK

25.3.12 RSPI 次アクセス遅延レジスタ (SPND)

SPND は、RSPI コマンドレジスタ (SPCMD) の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPND は、常に CPU による読み出し / 書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SPND を書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] に 000 を設定してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPNDL[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2~0	SPNDL[2:0]	000	R/W	RSPI 次アクセス遅延設定 SPCMD の SPNDEN ビットが 1 の場合の次アクセス遅延を設定するためのビットです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK

25.3.13 RSPI コマンドレジスタ (SPCMD)

本 RSPI には、SPCMD が 4 本あります (SPCMD0 ~ SPCMD3)。SPCMD0 ~ SPCMD3 は、マスタモードの RSPI の転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は RSPI シーケンス制御レジスタ (SPSCR) の SPSLN1 ~ SPSLN0 ビットの設定に従ってシーケンシャルに SPCMD0 ~ 3 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

SPCMD は、常に CPU による読み出し / 書き込みが可能です。

SPCMD レジスタの設定は RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態でその SPCMD を参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMD は、RSPI シーケンスステータスレジスタ (SPSSR) の SPCP1 ~ 0 ビットにより確認できます。また、スレーブモードの RSPI がイネーブルな状態において、SPCMD0 を CPU が書き換えた場合には、以降の動作は保証されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA	
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKDEN	0	R/W	<p>RSPCK 遅延設定イネーブル</p> <p>マスタモードの RSPI が、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。SCKDEN が 0 の場合には、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN が 1 の場合には、RSPI は RSPCK 遅延レジスタ (SPCKD) の設定に従った RSPCK 遅延で RSPCK の発振を開始します。</p> <p>RSPI をスレーブモードで使用する場合には、SCKDEN に 0 を設定してください。</p> <p>0 : RSPCK 遅延は 1RSPCK 1 : RSPCK 遅延は RSPCK 遅延レジスタ (SPCKD) の設定値</p>
14	SLNDEN	0	R/W	<p>SSL ネゲート遅延設定イネーブル</p> <p>マスタモードの RSPI が、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN が 0 の場合には、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN が 1 の場合には、RSPI はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定に従った RSPCK 遅延で SSL をネゲートします。</p> <p>RSPI をスレーブモードで使用する場合には、SLNDEN に 0 を設定してください。</p> <p>0 : SSL ネゲート遅延は 1RSPCK 1 : SSL ネゲート遅延はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値</p>

ビット	ビット名	初期値	R/W	説明
13	SPNDEN	0	R/W	<p>RSPI 次アクセス遅延イネーブル</p> <p>マスタモードの RSPI がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN が 0 の場合には、RSPI は次アクセス遅延を 1RSPCK にします。SPNDEN が 1 の場合には、RSPI は RSPI 次アクセス遅延レジスタ (SPND) の設定に従った次アクセス遅延を挿入します。</p> <p>RSPI をスレープモードで使用する場合には、SPNDEN に 0 を設定してください。</p> <p>0 : 次アクセス遅延は 1RSPCK 1 : 次アクセス遅延は RSPI 次アクセス遅延レジスタ (SPND) の設定値</p>
12	LSBF	0	R/W	<p>RSPI LSB ファースト</p> <p>マスタモード / スレープモードの RSPI のデータフォーマットを、MSB ファースト / LSB ファーストに設定するためのビットです。</p> <p>0 : MSB ファースト 1 : LSB ファースト</p>
11 ~ 8	SPB[3:0]	0111	R/W	<p>RSPI データ長設定</p> <p>マスタモード / スレープモードの RSPI の転送データ長を設定するためのビットです。</p> <p>0100 ~ 0111 : 8 ビット 1000 : 9 ビット 1001 : 10 ビット 1010 : 11 ビット 1011 : 12 ビット 1100 : 13 ビット 1101 : 14 ビット 1110 : 15 ビット 1111 : 16 ビット 0000 : 20 ビット 0001 : 24 ビット 0010、0011 : 32 ビット</p>
7	SSLKP	0	R/W	<p>SSL 信号レベル保持</p> <p>マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネグートタイミングから次コマンドに対応する SSL アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネグートするかを設定するビットです。</p> <p>RSPI をスレープモードで使用する場合には、SSLKP に 0 を設定してください。</p> <p>0 : 転送終了時に全 SSL 信号をネグート 1 : 転送終了後から次アクセス開始まで SSL 信号レベルを保持</p>

ビット	ビット名	初期値	R/W	説明
6~4	SSLA[2:0]	000	R/W	<p>SSL 信号アサート設定</p> <p>マスタモードの RSPI がシリアル転送する場合の SSL 信号のアサートを制御するためのビットです。SSLA_i (i は 2~0) の設定値が、SSL3~SSL0 信号のアサートを制御します。SSL 信号アサート時の信号極性は、RSPI スレープセレクト極性レジスタ (SSLP) の設定値に依存します。マルチマスタモードで SSLA2~SSLA0 に 000、または 1**を設定した場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSL0 は入力になるため)。</p> <p>また、シングルマスタモードで SSLA2~SSLA0 に 1**を設定した場合にも、全 SSL 信号がネゲート状態でシリアル転送が実行されます。</p> <p>RSPI をスレープモードで使用する場合には、SSLA2~SSLA0 に 000 を設定してください。</p> <p>000 : SSL0 001 : SSL1 010 : SSL2 011 : SSL3 1** : -</p>
3, 2	BRDV[1:0]	11	R/W	<p>ビットレート分周設定</p> <p>ビットレートを決定するために使用するレジスタです。BRDV1、0 ビットと RSPI ビットレートレジスタ (SPBR) の設定値の組み合わせでビットレートを決定します。SPBR の設定値は、ベースとなるビットレートを決定します。BRDV1~0 ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMD0~3 にはそれぞれ異なる BRDV1、0 の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。</p> <p>00 : ベースのビットレートを選択 01 : ベースのビットレートの 2 分周を選択 10 : ベースのビットレートの 4 分周を選択 11 : ベースのビットレートの 8 分周を選択</p>
1	CPOL	0	R/W	<p>RSPCK 極性設定</p> <p>マスタモード/スレープモードの RSPI の RSPCK 極性を設定するためのビットです。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。</p> <p>0 : アイドル時の RSPCK が 0 1 : アイドル時の RSPCK が 1</p>
0	CPHA	1	R/W	<p>RSPCK 位相設定</p> <p>マスタモード/スレープモードの RSPI の RSPCK 位相を設定するためのビットです。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。</p> <p>0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル</p>

25.4 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

25.4.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送が可能です。RSPI のモードは、RSPI 制御レジスタ (SPCR) の MSTR ビット、MODFEN ビット、SPMS ビットによって設定可能です。表 25.5 に RSPI のモードと SPCR 設定の関係、および各モードの概要をまとめます。

表 25.5 RSPI のモードと SPCR 設定の関係および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式 動作)	マスタ (クロック同期式 動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCK 信号	入力	出力	出力 / Hi-Z	入力	出力 / Hi-Z
MOSI 信号	入力	出力	出力 / Hi-Z	入力	出力 / Hi-Z
MISO 信号	出力 / Hi-Z	入力	入力	出力 / Hi-Z	入力
SSL0 信号	入力	出力	入力	Hi-Z	Hi-Z
SSL1 ~ SSL3 信号	Hi-Z	出力	出力 / Hi-Z	Hi-Z	Hi-Z
出力端子モード	CMOS / オープンドレイン	CMOS / オープンドレイン	CMOS / オープンドレイン	CMOS / オープンドレイン	CMOS / オープンドレイン
SSL 極性変更機能	あり	あり	あり	-	-
クロックソース	RSPCK 入力	内蔵ボーレート ジェネレータ	内蔵ボーレート ジェネレータ	RSPCK 入力	内蔵ボーレート ジェネレータ
クロック極性	2 種	2 種	2 種	2 種	2 種
クロック位相	2 種	2 種	2 種	1 種 (CPHA=1)	1 種 (CPHA=1)
先頭転送ビット	MSB / LSB	MSB / LSB	MSB / LSB	MSB / LSB	MSB / LSB
転送データ長	8 ~ 32 ビット	8 ~ 32 ビット	8 ~ 32 ビット	8 ~ 32 ビット	8 ~ 32 ビット
バースト転送	可能 (CPHA=1)	可能 (CPHA=0, 1)	可能 (CPHA=0, 1)	-	-
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	SPTEF=1 で 送信バッファ 書き込み	SPTEF=1 で 送信バッファ 書き込み	RSPCK 発振	SPTEF=1 で 送信バッファ 書き込み

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式 動作)	マスタ (クロック同期式 動作)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンpty検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり	あり	あり	あり	あり
オーバランエラー検出	あり	あり	あり	あり	あり
モードフォルトエラー検出	あり (MODFEN=1)	なし	あり	なし	なし

25.4.2 RSPi 端子の制御

RSPi は、RSPi 制御レジスタ (SPCR) の MSTR ビット、MODFEN、SPMS ビットと RSPi 端子制御レジスタ (SPPCR) の SPOM ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 25.6 に示します。

表 25.6 RSPi 端子の状態と制御ビット設定値の関係

モード	端子	端子状態*1	
		SPOM = 0	SPOM = 1
シングルマスタ (SPI 動作) (MSTR = 1、MODFEN = 0、 SPMS=0)	RSPCK	CMOS 出力	オープンドレイン出力
	SSL0 ~ 3	CMOS 出力	オープンドレイン出力
	MOSI	CMOS 出力	オープンドレイン出力
	MISO	入力	入力
マルチマスタ (SPI 動作) (MSTR = 1、MODFEN = 1、 SPMS=0)	RSPCK*2	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	SSL0	入力	入力
	SSL1 ~ 3*2	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	MOSI*2	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	MISO	入力	入力
スレーブ (SPI 動作) (MSTR = 0、SPMS=0)	RSPCK	入力	入力
	SSL0	入力	入力
	SSL1 ~ 3	Hi-Z	Hi-Z
	MOSI	入力	入力
	MISO*3	CMOS 出力 / Hi-Z	オープンドレイン出力 / Hi-Z
マスタ (クロック同期式動作) (MSTR = 1、MODFEN = 0、 SPMS=1)	RSPCK	CMOS 出力	オープンドレイン出力
	SSL0 ~ 3*4	Hi-Z	Hi-Z
	MOSI	CMOS 出力	オープンドレイン出力
	MISO	入力	入力

モード	端子	端子状態*1	
		SPOM = 0	SPOM = 1
スレーブ (クロック同期式動作) (MSTR=0、SPMS=1)	RSPCK	入力	入力
	SSL0 ~ 3*4	Hi-Z	Hi-Z
	MOSI	入力	入力
	MISO	CMOS 出力	オープンドレイン出力

【注】 *1 RSPI 機能が選択されていないマルチファンクションピンには、RSPI の設定値は反映されません。

*2 SSL0 がアクティブレベルの場合、端子状態が Hi-Z になります。

*3 SSL0 がアクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。

*4 クロック同期式動作時は、SSL0 ~ 3 を IO ポートとして使用可能。

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI は、SPPCR の MOIFE ビットと MOIFV ビットの設定にしたがって、SSL ネゲート期間 (バースト転送における SSL 保持期間も含む) の MOSI 信号値を表 25.7 のように決定します。

表 25.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間*の MOSI 信号値
0	0 or 1	前回転送の最終データ
1	0	常に 0
1	1	常に 1

【注】 * バースト転送における SSL 保持期間も含まれます。

25.4.3 RSPI システム構成例

(1) シングルマスタ/シングルスレーブ (本 LSI = マスタ)

図 25.3 に、本 LSI をマスタとして使用した場合のシングルマスタ/シングルスレーブの RSPI システムの構成例を示します。シングルマスタ/シングルスレーブの構成では、本 LSI (マスタ) の SSL0 ~ SSL3 出力は使用しません。RSPI スレーブの SSL 入力は 0 に固定して、RSPI スレーブを常にセレクト状態にします。RSPI 制御レジスタ (SPCR) の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入口に接続してください。

本 LSI (マスタ) は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

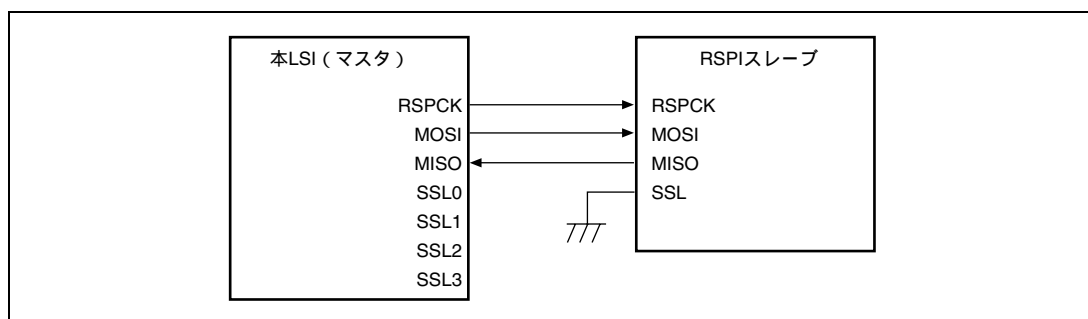


図 25.3 シングルマスタ/シングルスレーブの構成例 (本 LSI = マスタ)

(2) シングルマスタ/シングルスレーブ (本 LSI = スレーブ)

図 25.4 に、本 LSI をスレーブとして使用した場合のシングルマスタ/シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISO を常にドライブします。*

RSPI コマンドレジスタ (SPCMD) の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSL0 入力を 0 に固定して本 LSI (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です (図 25.5)。

【注】 * SSL0 がアクティブレベルの場合、端子状態が Hi-Z になります。

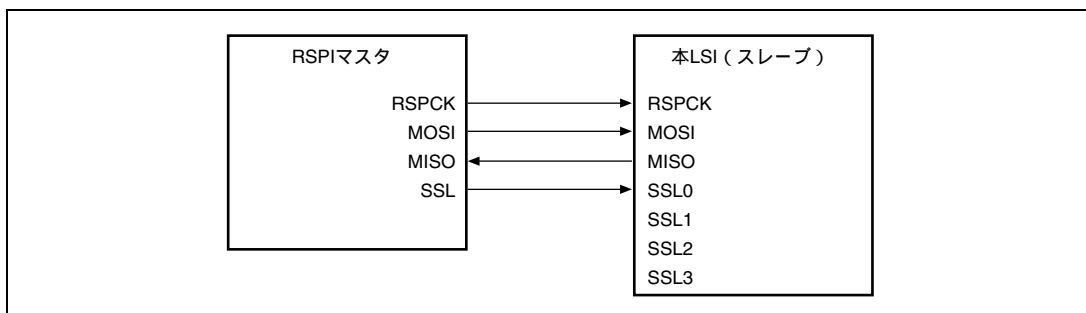


図 25.4 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ)

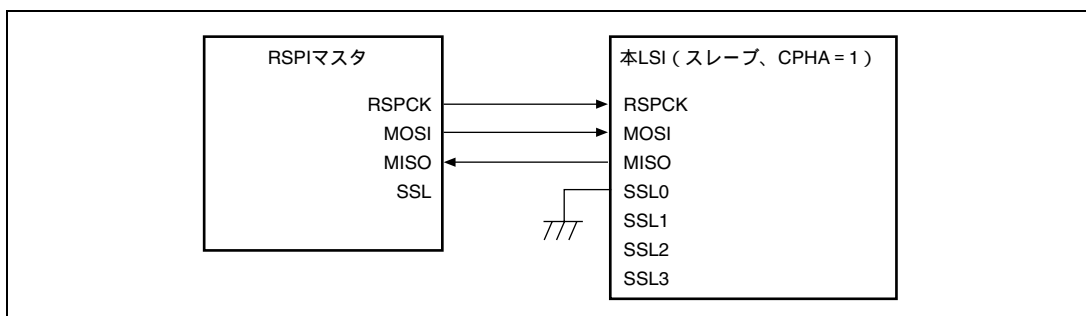


図 25.5 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = 1)

(3) シングルマスタ/マルチスレーブ (本 LSI = マスタ)

図 25.6 に、本 LSI をマスタとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 25.6 の例では、本 LSI (マスタ) と 4 つのスレーブ (RSPI スレーブ 0 ~ RSPI スレーブ 3) から RSPI システムを構成しています。

本 LSI (マスタ) の RSPCK 出力と MOSI 出力は、RSPI スレーブ 0 ~ RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0 ~ RSPI スレーブ 3 の MISO 出力は、すべて本 LSI (マスタ) の MISO 入力に接続します。本 LSI (マスタ) の SSL0 ~ SSL3 出力は、それぞれ RSPI スレーブ 0 ~ RSPI スレーブ 3 の SSL 入力に接続します。

本 LSI (マスタ) は、RSPCK、MOSI、SSL0 ~ SSL3 を常にドライブします。RSPI スレーブ 0 ~ RSPI スレーブ 3 のうち、SSL 入力に 0 を入力されているスレーブが MISO をドライブします。

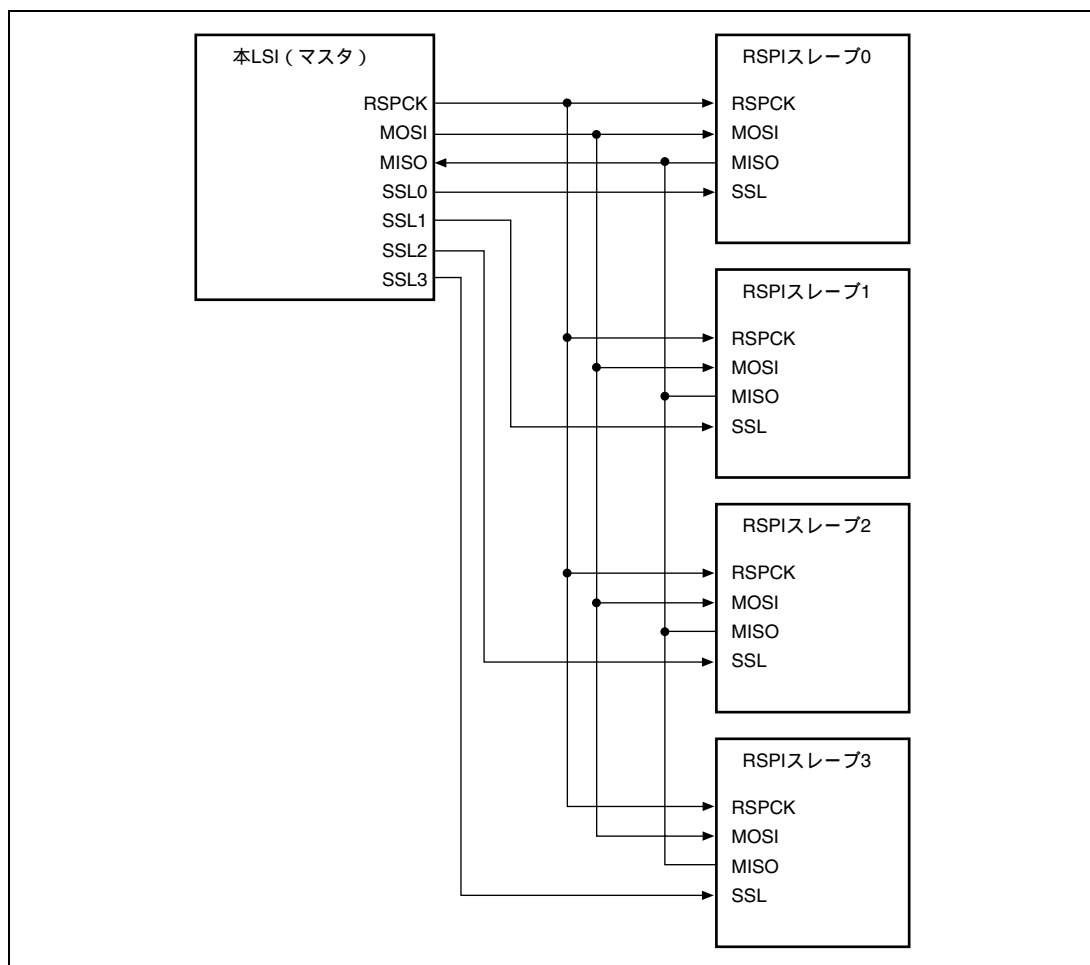


図 25.6 シングルマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

(4) シングルマスタ/マルチスレーブ (本 LSI = スレーブ)

図 25.7 に、本 LSI をスレーブとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 25.7 の例では、RSPI マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK 入力と MOSI 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSL0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSL0 入口に 0 を入力されているスレーブが、MISO をドライブします。

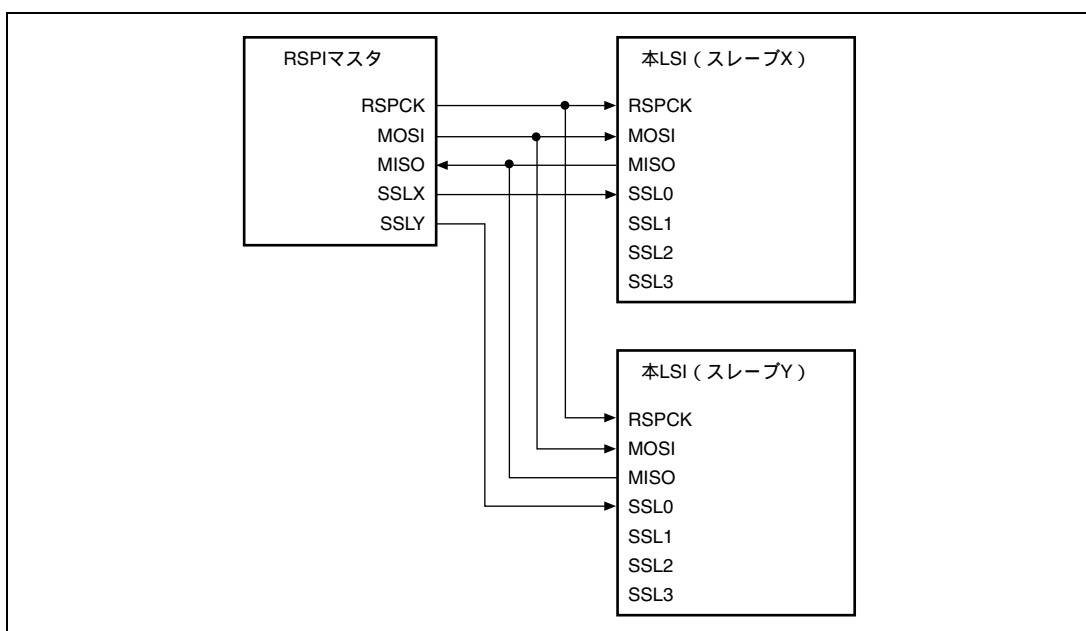


図 25.7 シングルマスタ/マルチスレーブの構成例 (本 LSI = スレーブ)

(5) マルチマスタ/マルチスレーブ (本 LSI = マスタ)

図 25.8 に、本 LSI をマスタとして使用した場合のマルチマスタ/マルチスレーブの RSPI システム構成例を示します。図 25.8 の例では、2 つの本 LSI (マスタ X、マスタ Y) と 2 つの RSPI スレーブ (RSPI スレーブ 1、RSPI スレーブ 2) から RSPI システムを構成しています。

本 LSI (マスタ X、マスタ Y) の RSPCK 出力と MOSI 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 LSI (マスタ X、マスタ Y) の MISO 入力に接続します。本 LSI (マスタ X) の任意の汎用ポート Y 出力は、本 LSI (マスタ Y) の SSL0 入力に接続します。本 LSI (マスタ Y) の任意の汎用ポート X 出力は、本 LSI (マスタ X) の SSL0 入力に接続します。本 LSI (マスタ X、マスタ Y) の SSL1 出力と SSL2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL0 入力、スレーブ接続用の SSL1 出力、SSL2 出力のみでシステムを構成できるので、本 LSI の SSL3 出力を使用していません。

本 LSI は、SSL0 入力が 1 の場合には、RSPCK、MOSI、SSL1、SSL2 をドライブします。SSL0 入力が 0 の場合には、モードフォルトエラーを検出し、RSPCK、MOSI、SSL1、SSL2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力が 0 を入力されているスレーブが、MISO をドライブします。

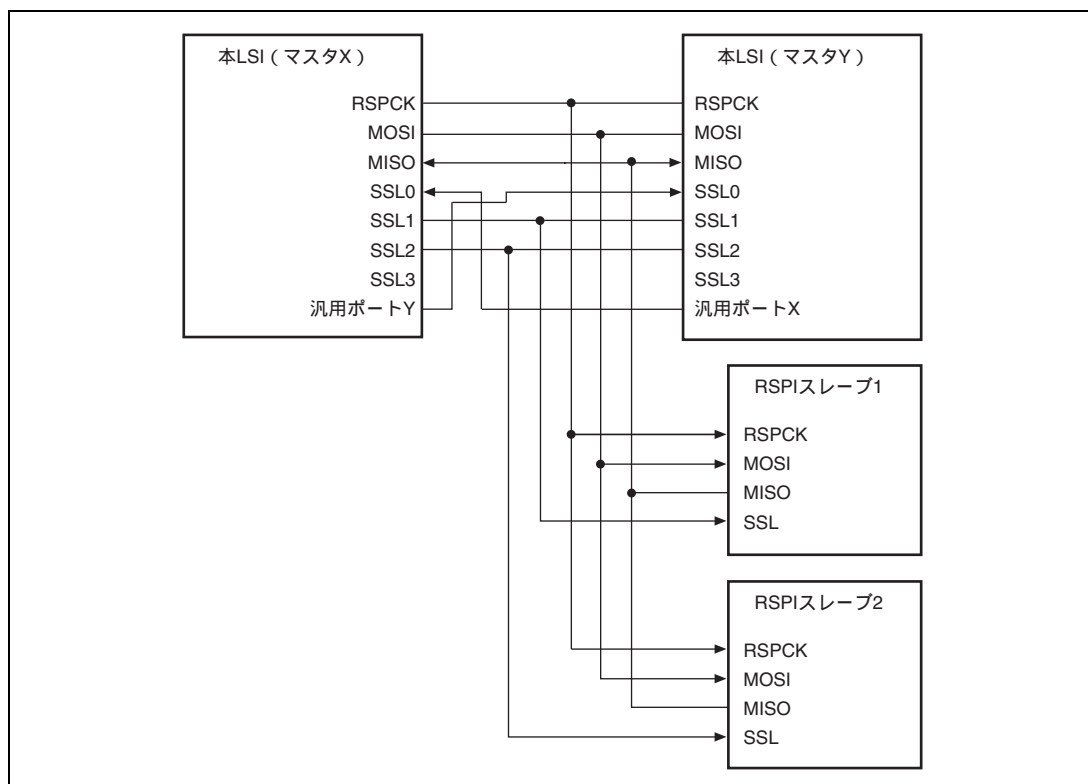


図 25.8 マルチマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

(6) マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = マスタ)

図 25.9 に、本 LSI をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 LSI (マスタ) の SSL0 ~ SSL3 出力は使用しません。

本 LSI (マスタ) は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

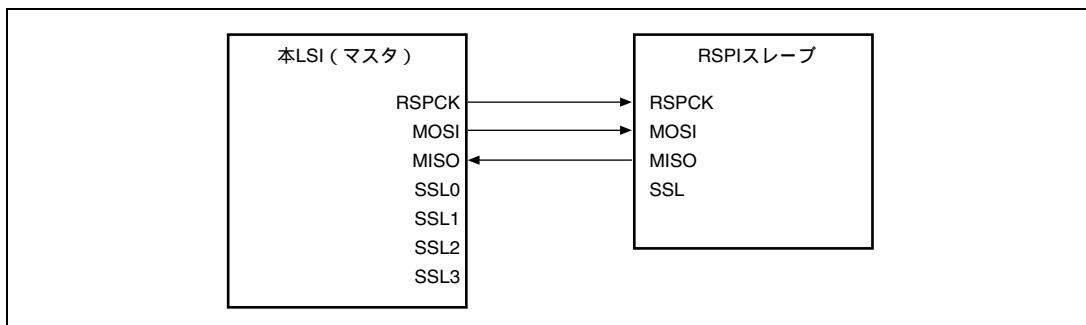


図 25.9 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 LSI = マスタ)

(7) マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = スレーブ)

図 25.10 に、本 LSI をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 LSI をスレーブ (クロック同期式動作) として使用する場合には、本 LSI (スレーブ) は、MISO を常にドライブし、RSPI マスタは、RSPCK と MOSI を常にドライブします。

RSPI コマンドレジスタ (SPCMD) の CPHA ビットを 1 に設定したシングルスレーブ構成の場合のみ、本 LSI (スレーブ) はシリアル転送を実行することが可能です。

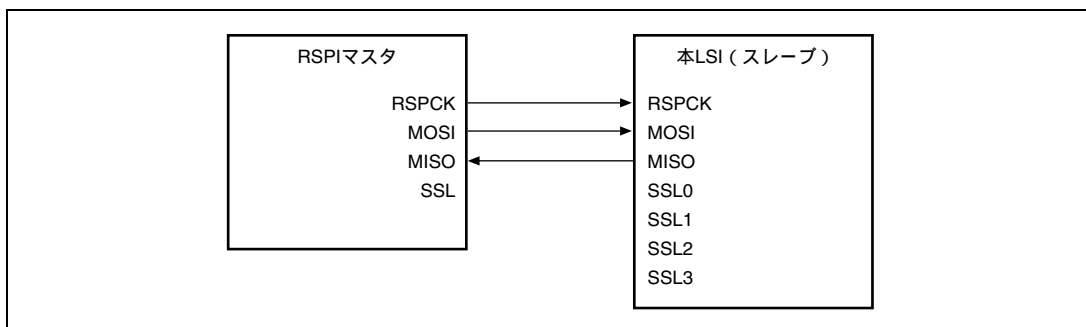


図 25.10 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 LSI = スレーブ、CPHA = 1)

25.4.4 転送フォーマット

(1) CPHA = 0 の場合

図 25.11 に RSPI コマンドレジスタ (SPCMD) の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、CPHA ビットが 0 の場合のクロック同期式動作 (RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 の場合) は保証しません。図 25.11 において、RSPCK (CPOL = 0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL = 1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「25.4.2 RSPI 端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号への有効データの出力と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「25.4.9 SPI 動作」を参照してください。

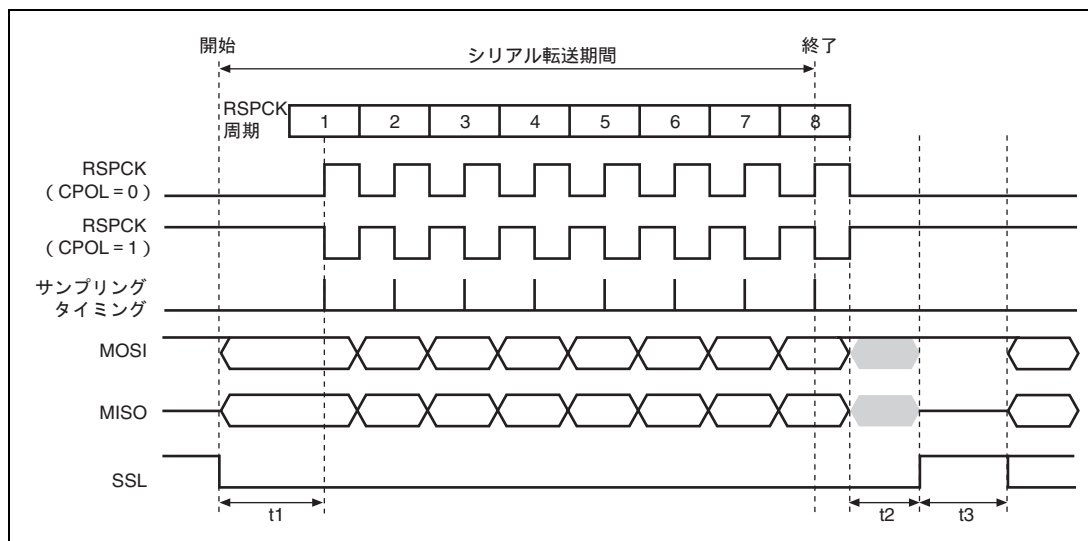


図 25.11 RSPI 転送フォーマット (CPHA = 0)

(2) CPHA = 1 の場合

図 25.12 に RSPI コマンドレジスタ (SPCMD) の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 の場合は SSL 信号を用いず、RSPCK 信号、MOSI 信号、MISO 信号のみで通信を行います。図 25.12 において、RSPCK (CPOL = 0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL = 1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「25.4.2 RSPI 端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA = 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「25.4.9 SPI 動作」を参照してください。

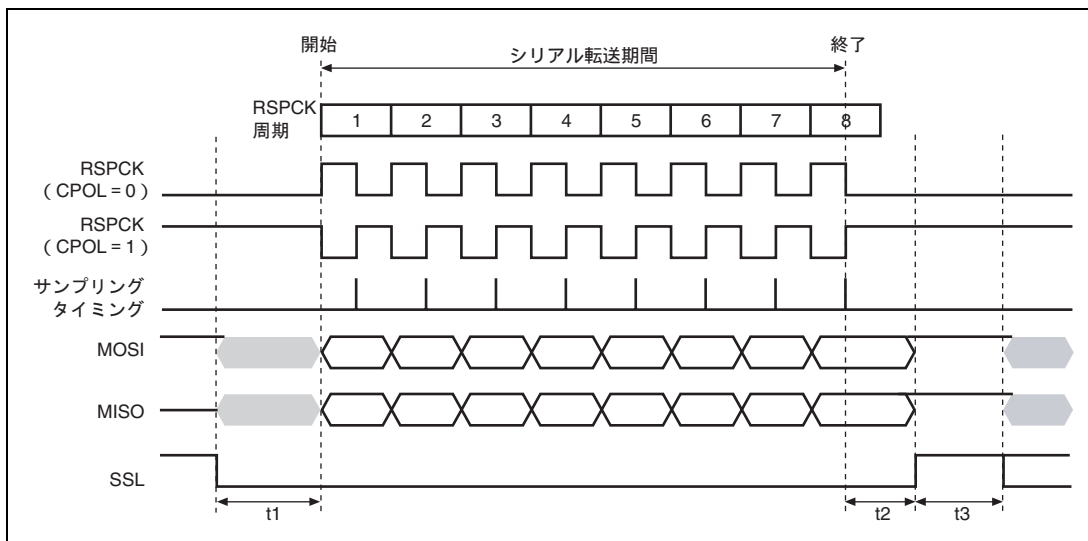


図 25.12 RSPI 転送フォーマット (CPHA = 1)

25.4.5 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ (SPCMD) の設定値に依存します。MSB / LSB ファーストにかかわらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

(1) MSB ファースト転送 (32 ビットデータ)

図 25.13 に、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31 ~ T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ~ R00 が格納されます。この状態で、RSPI はシフトレジスタから SPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ~ R00 がシフトレジスタからシフトアウトされます。

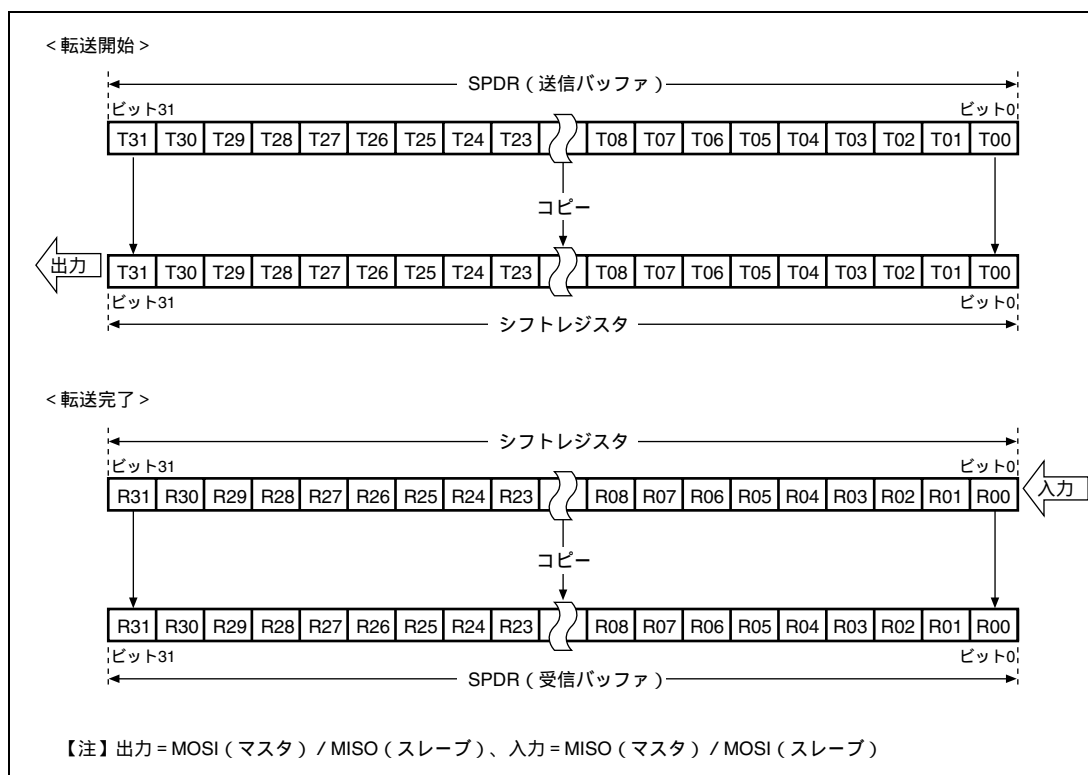


図 25.13 MSB ファースト転送 (32 ビットデータ)

(2) MSB ファースト転送 (24 ビットデータ)

図 25.14 に、RSPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31 ~ T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット 23 からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 23 ~ ビット 0 には受信データ R23 ~ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 24 ~ ビット 31 には、転送前のデータが保持されています。この状態で、RSPI がシフトレジスタから SPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23 ~ R00 がシフトレジスタからシフトアウトされます。

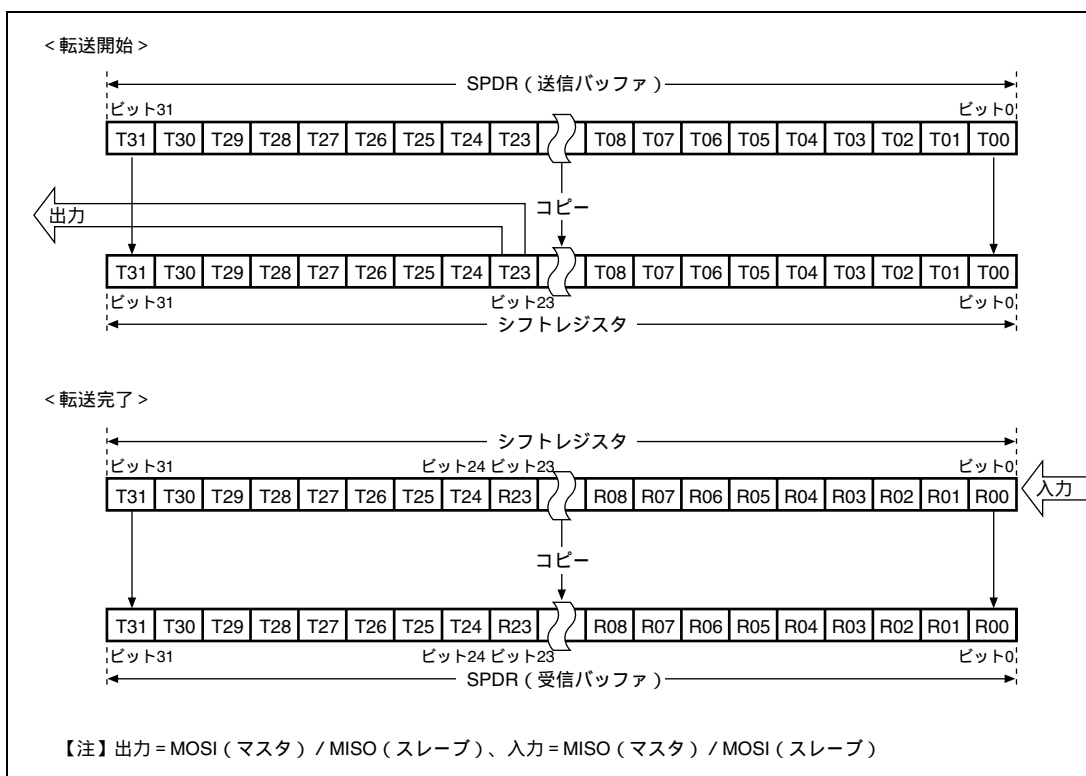


図 25.14 MSB ファースト転送 (24 ビットデータ)

(3) LSB ファースト転送 (32 ビットデータ)

図 25.15 に、RSPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31 ~ T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00 ~ R31 が格納されます。この状態で、RSPI はシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R31 がシフトレジスタからシフトアウトされます。

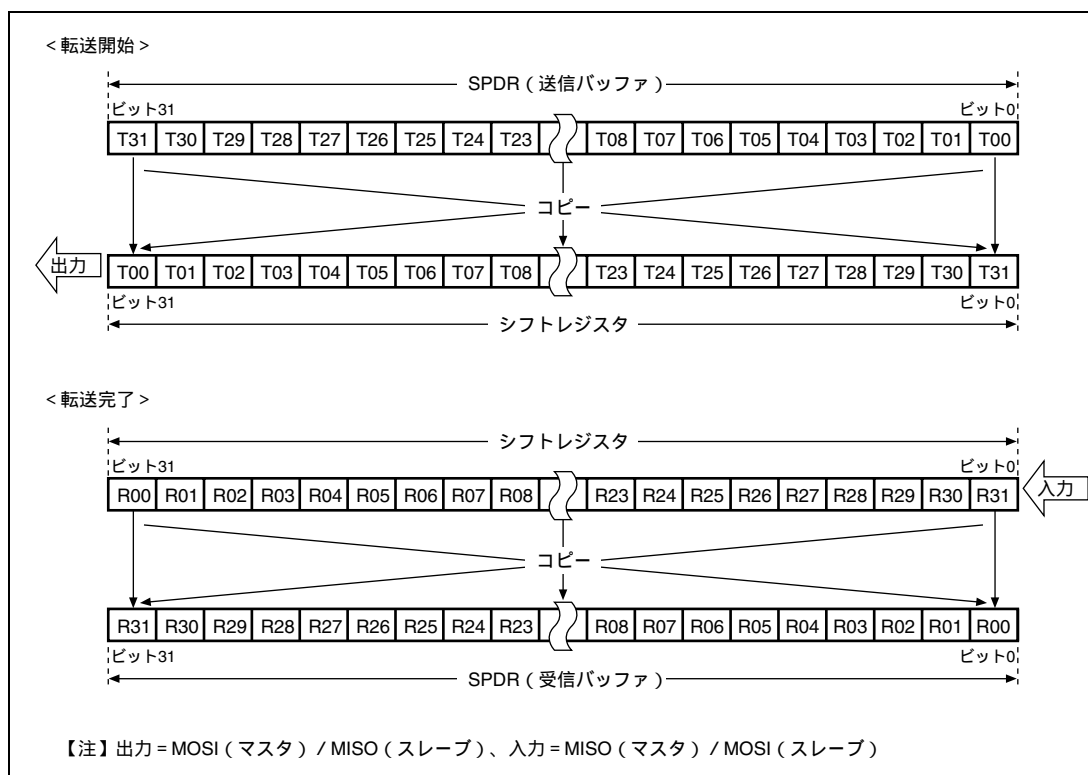


図 25.15 LSB ファースト転送 (32 ビットデータ)

(4) LSB ファースト転送 (24 ビットデータ)

図 25.16 に、RSPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31 ~ T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ~ ビット 8 には受信データ R00 ~ R23 が格納されます。シリアル転送完了後のシフトレジスタのビット 7 ~ ビット 0 には、転送前のデータが保持されています。この状態で、RSPI がシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R23 がシフトレジスタからシフトアウトされます。

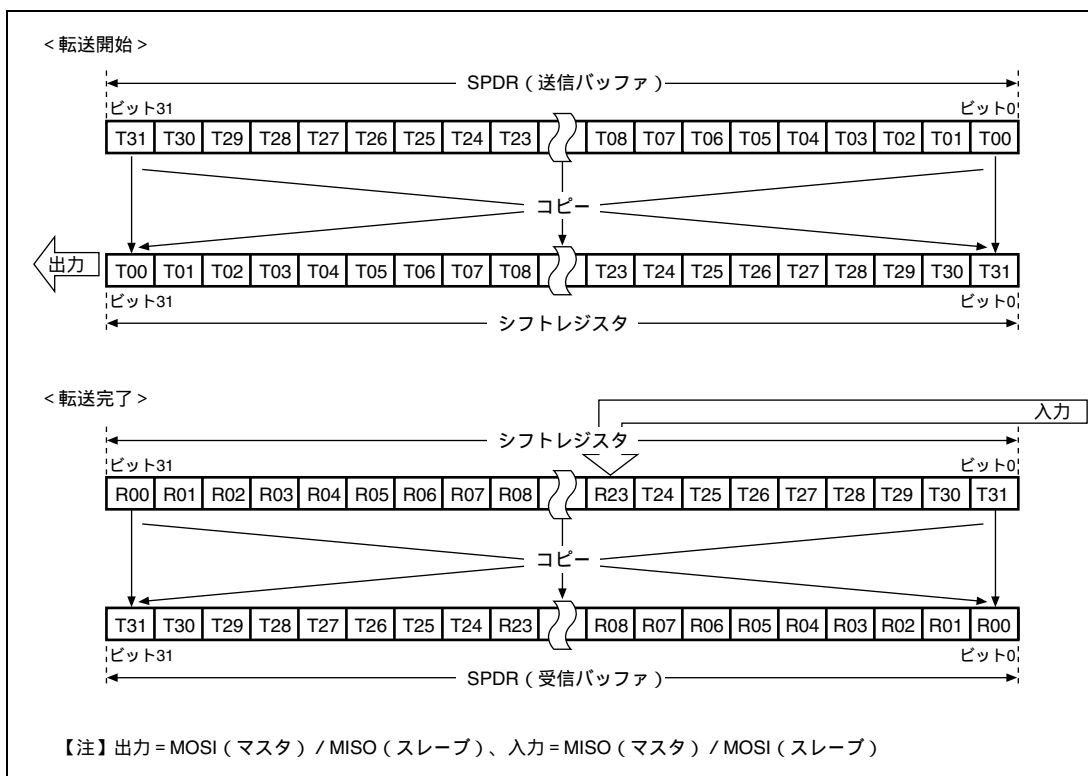


図 25.16 LSB ファースト (24 ビットデータ)

25.4.6 送信バッファエンプティ / 受信バッファフルフラグ

図 25.17 に RSPI ステータスレジスタ (SPSR) の RSPI 送信バッファエンプティフラグ (SPTEF) と RSPI 受信バッファフルフラグ (SPRF) の動作例を示します。図 25.17 に記載した SPDR アクセスは、DTC/DMAC から RSPI データレジスタ (SPDR) へのアクセス状況を示しています。I はアイドルサイクル、W は書き込みサイクル、R は読み出しサイクルを示しています。図 25.17 の例では、RSPI データコントロールレジスタ (SPDCR) の SPFC[1:0] が 00、RSPI コマンドレジスタ (SPCMD) の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

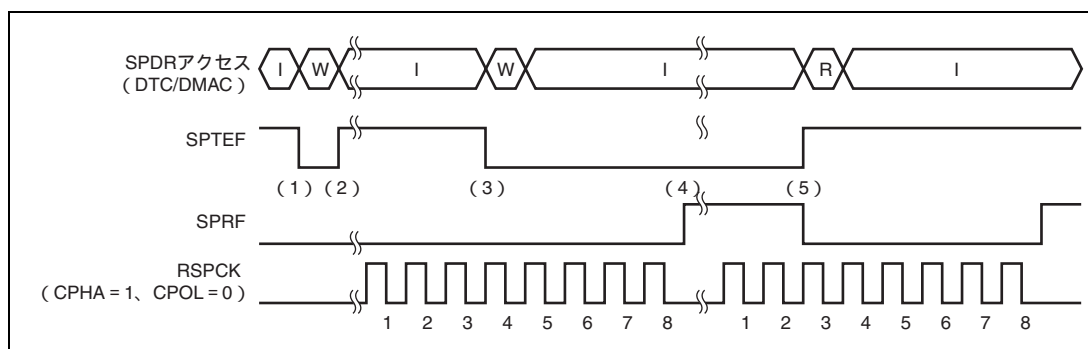


図 25.17 SPTEF、SPRF ビットの動作例

以下に、図中の (1) ~ (5) に示したタイミングでのフラグの動作内容を説明します。

1. SPDRの送信バッファが空の状態、DTC/DMACがSPDRに送信データを書き込むと、RSPIはSPTEFビットを0にして送信バッファにデータを書き込みます。SPRFフラグは変化しません。
2. シフトレジスタが空の場合には、RSPIはSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。SPRFフラグは変化しません。なお、シリアル転送の開始方法は、RSPIのモードに依存します。詳細は、「25.4.9 SPI動作」および「25.4.10 クロック同期式動作」を参照してください。
3. SPDRの送信バッファが空の状態、DTC/DMACがSPDRに送信データを書き込むと、RSPIがSPTEFビットを0にして送信バッファにデータを書き込みます。SPRFフラグは変化しません。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPIは送信バッファのデータをシフトレジスタにコピーしません。
4. SPDRの受信バッファが空の状態、シリアル転送が終了すると、RSPIはSPRFを1にしてシフトレジスタの受信データを受信バッファにコピーします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPIがSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフルの状態、DTC/DMACがSPDRを読み出すと、RSPIはSPRFを0にして、受信バッファのデータをチップ内部バスに送出します。

SPTEF ビットが 0 の状態で、CPU または DTC/DMAC が SPDR を書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR を書き込む場合には、必ず SPTEF が 1 であることを確認してください。SPTEF が 1 であることは、SPSR の読み出し、あるいは RSPI 送信割り込みの利用によって確認できます。RSPI 送信割り込みを利用する場合には、SPCR の SPTIE ビットを 1 にしてください。

RSPI ディスエーブル (SPCR の SPE ビットが 0) の場合には、SPTEF ビットが 1 に初期化されます。このため RSPI ディスエーブル状態で SPCR の SPTIE ビットを 1 にすると、RSPI 送信割り込みが発生します。

SPRF ビットが 1 の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバーランエラーを検出します (「25.4.7 エラー検出」を参照)。受信データのオーバーランを防ぐためには、シリアル転送の終了よりも前に SPRF ビットを 0 にしてください。SPRF が 1 であることは、SPSR の読み出し、あるいは RSPI 受信割り込みの利用によって確認できます。RSPI 受信割り込みを利用する場合には、SPCR の SPRIE ビットを 1 にしてください。

25.4.7 エラー検出

通常の RSPI のシリアル転送では、CPU または DTC/DMAC が RSPI データレジスタ (SPDR) の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを CPU または DTC/DMAC が SPDR の受信バッファから読み出すことができます。CPU または DTC/DMAC から SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラーまたはモードフォルトエラーとして検出します。表 25.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 25.8 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI 動作	エラー検出
A	送信バッファフルの状態、CPU または DTC/DMAC が SPDR を書き込み。	送信バッファ内容を保持。 書き込みデータ欠落。	なし
B	スリープモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファエンプティの状態、CPU または DTC/DMAC が SPDR を読み出し。	前回シリアル受信データを CPU または DMAC へ出力。	なし
D	受信バッファフルの状態、シリアル転送が終了。	受信バッファ内容を保持。 シリアル受信データ欠落。	オーバランエラー検出
E	マルチマスタモードでシリアル転送アイドル時に SSL0 入力信号アサート。	RSPI ディスエーブル。 RSPCK、MOSI、SSL1 ~ 3 出力信号のドライブ停止。	モードフォルトエラー検出
F	マルチマスタモードでシリアル転送中に SSL0 入力信号アサート。	シリアル転送を中断。 送受信データ欠落。 RSPCK、MOSI、SSL1 ~ 3 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出
G	スリープモードでシリアル転送中に SSL0 入力信号がネゲート。	シリアル転送を中断。 送受信データ欠落。 MISO 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出

表 25.8 の A に示した動作に対しては、RSPI はエラーを検出しません。CPU または DTC/DMAC からの SPDR 書き込み時にデータを欠落させないために、必ず RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態で SPDR への書き込みを実施してください。

B に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは、SPDR の受信バッファに保持されているので、CPU または DTC/DMAC から正しく読み出されます (シリアル転送が終了する前に SPDR を読み出さないと、オーバランエラーが発生します)。

C に示した動作に対しても、RSPI はエラーを検出しません。CPU または DTC/DMAC が不必要なデータを読み出さないようにするためには、SPSR の SPRF ビットが 1 の状態で SPDR の読み出しを実行するようにしてください。

D に示したオーバランエラーについては、「25.4.7 (1) オーバランエラー」で詳しく説明します。また、E ~ G に示したモードフォルトエラーについては、「25.4.7 (2) モードフォルトエラー」で説明します。なお、SPSR の SPTEF ビットと SPRF ビットの動作については、「25.4.6 送信バッファエンプティ / 受信バッファフルフラグ」を参照してください。

(1) オーバランエラー

RSPI データレジスタ (SPDR) の受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、システムリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を CPU が読み出した後に、OVRF に 0 を書き込む必要があります。

図 25.18 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。図 25.18 に記載した SPSR アクセスと SPDR アクセスは、それぞれ CPU から SPSR、DTC/DMAC から SPDR へのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 25.18 の例では、RSPI コマンドレジスタ (SPCMD) の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

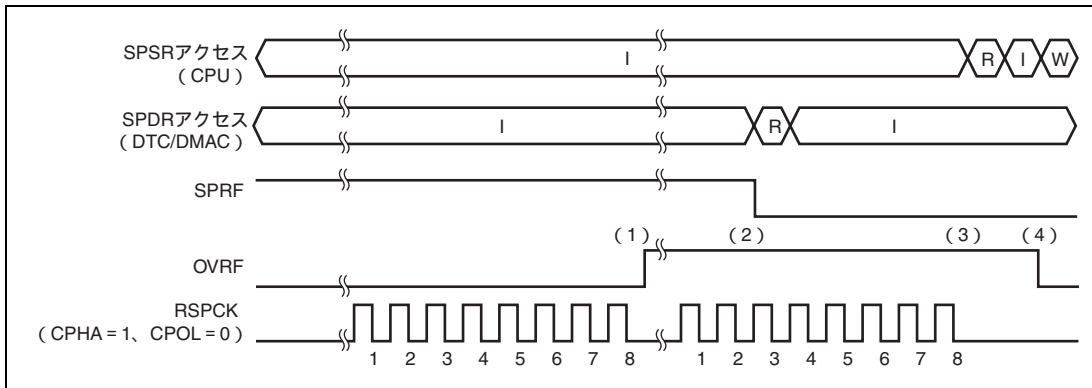


図 25.18 SPRF、OVRF ビットの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. SPRF ビットが 1 の状態 (受信バッファフル) でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF ビットを 1 にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、マスターモードの場合には、RSPI は RSPI シーケンスステータスレジスタ (SPSSR) の SPECMI ~ 0 ビットに、RSPI コマンドレジスタ (SPCMD) に対するポインタの値をコピーします。

2. DTC/DMACがSPDRを読み出すと、RSPIはSPRFビットを0にして受信バッファのデータを内部バスに出力します。受信バッファが空になっても、OVRFビットはクリアされません。
3. OVRFビットが1の状態（オーバーランエラー）でシリアル転送が終了した場合には、RSPIはSPRFビットを0のまま更新しません。また、RSPIはシフトレジスタのデータを受信バッファにコピーしません。マスタモードのRSPIの場合に、RSPIはSPSSRのSPECM1～SPECM0ビットを更新しません。オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRFビットが1の状態CPUがSPSRを読み出した後、CPUがOVRFに0を書き込むと、RSPIはOVRFビットをクリアします。

オーバーランの発生は、SPSRの読み出しあるいはRSPIエラー割り込みとSPSRの読み出しによって確認できます。RSPIエラー割り込みを利用する場合には、RSPI制御レジスタ（SPCR）のSPEIEビットを1にしてください。RSPIエラー割り込みを利用せずにシリアル転送を実行する場合には、SPDRの読み出し直後にSPSRを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPIをマスタモードで使用する場合、SPSSRのSPECM2～0ビットを読み出すことで、エラー発生時のSPCMDに対するポインタ値を確認できます。

オーバーランエラーが発生してOVRFビットが1になると、OVRFビットをクリアするまで正常な受信動作ができなくなります。OVRFビットを0にクリアする条件は以下のとおりです。

- OVRFが1にされた状態のSPSRをCPUが読み出した後、CPUがOVRFに0を書き込む
- システムリセット

（2）モードフォルトエラー

RSPI制御レジスタ（SPCR）のMSTRビットが1、SPMSビットが0、MODFENビットが1の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSL0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してRSPIステータスレジスタ（SPSR）のMODFビットを1にします。モードフォルトエラーを検出すると、RSPIはRSPIシーケンスステータスレジスタ（SPSSR）のSPECM2～0ビットに、RSPIコマンドレジスタ（SPCMD）に対するポインタの値をコピーします。なお、SSL0信号のアクティブレベルは、RSPIスレーブセレクト極性レジスタ（SSLP）のSSL0Pビットによって決定されます。

MSTRビットが0の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFENビットが1、SPMSビットが0の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSL0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCRレジスタのSPEビットのクリアを実施します。SPEビットがクリアされるとRSPI機能は無効化されます（「25.4.8 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPSR の読み出し、あるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR の SPECM2 ~ 0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

MODF ビットが 1 の状態では、RSPI は CPU による SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODF が 1 にされた状態の SPSR を CPU が読み出した後、CPU が MODF に 0 を書き込む
- システムリセット

25.4.8 RSPI の初期化

CPU が RSPI 制御レジスタ (SPCR) の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により RSPI が SPE ビットを 0 にクリアした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化とシステムリセットによる初期化について説明します。

(1) SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合には、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレープモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部状態の初期化
- RSPI ステータスレジスタ (SPSSR) の SPTEF ビットの初期化

SPE ビットのクリアによる初期化では、RSPI の制御ビットは初期化されません。このため、CPU が SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR の SPRF ビット、OVRF ビット、MODF ビットの値は初期化されません。また、RSPI シーケンスステータスレジスタ (SPSSR) の値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認が可能です。

SPSR の SPTEF ビットの値は、1 に初期化されます。このため、RSPI 初期化後に SPCR の SPTIE ビットが 1 に設定されていると、RSPI 送信割り込みが発生します。CPU で RSPI を初期化する場合に、RSPI 送信割り込みを禁止するためには、SPE ビットへの 0 書き込みと同時に SPTIE ビットにも 0 を書き込んでください。モードフォルトエラー検出後の RSPI 送信割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに 0 を書き込んでください。

(2) システムリセット

システムリセットによる初期化では、(1) に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

25.4.9 SPI 動作

(1) スレーブモード動作

(a) シリアル転送の開始

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合、RSPI が SSL0 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、SSL0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合、RSPI は SSL0 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL0 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISO 出力信号のドライブを開始するタイミングは、SSL0 信号アサートタイミングとなります。CPHA ビットの設定によって、RSPI が出力するデータの有効/無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の SSL0P ビットの設定値に依存します。

(b) シリアル転送の終了

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットにかかわらず、RSPI は最終サンプルタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSL0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「25.4.7 エラー検出」参照）。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0 の SPB3 ~ SPB0 ビットの設定値に依存します。SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。

(c) シングルスレーブ時の注意点

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合には、RSPI は SSL0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 25.5 の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSL0 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した RSPI ではシリアル転送を正しく開始できません。SSL0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL0 入力信号を固定しないでください。

(d) パースト転送

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 1 の場合、SSL0 入力信号のアサート状態を保持したままで、連続的なシリアル転送 (パースト転送) を実行することが可能です。CPHA ビットが 1 の場合には、SSL0 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプルタイミングまでが、シリアル転送期間に相当します。SSL0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、パースト転送に対応可能です。

CPHA ビットが 0 の場合には、(c) と同じ理由のために、パースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(e) 初期化フロー

図 25.19 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

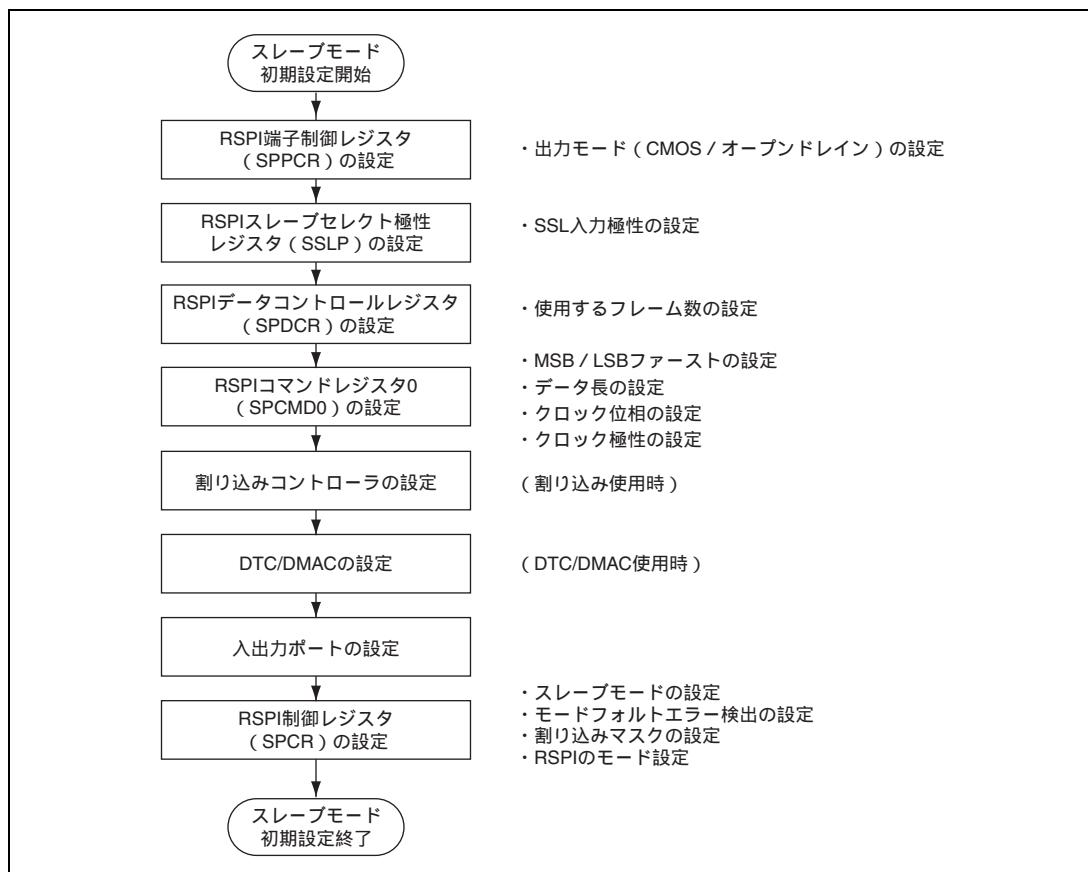


図 25.19 スレーブモード時の初期化フロー例

(f) 転送動作フロー (CPHA = 0)

図 25.20 に、SPI 動作時、RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 0 に設定したスレープモードの RSPI の転送動作フローを示します。

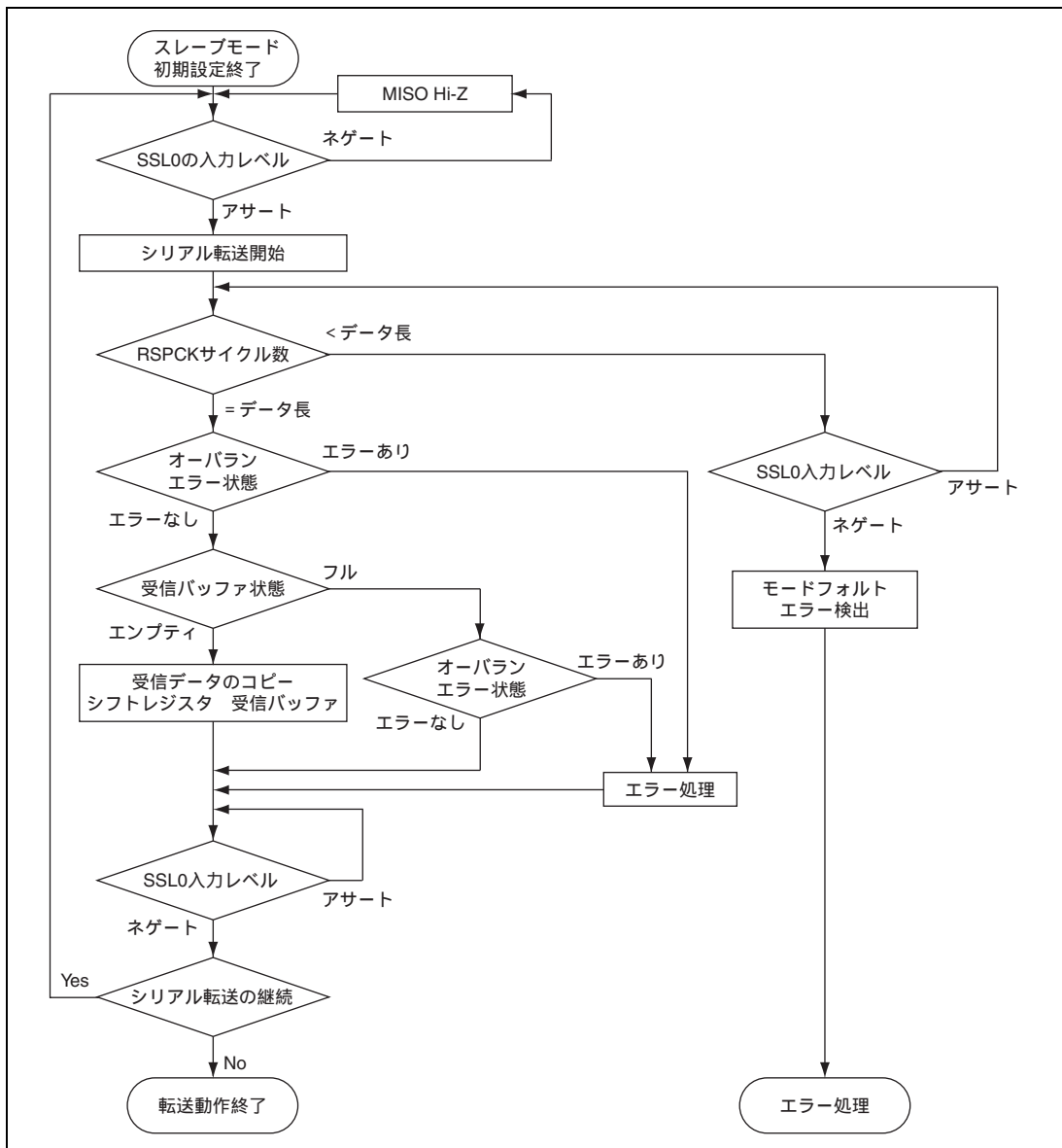


図 25.20 スレープモード時の転送動作フロー (CPHA = 0)

(g) 転送動作フロー (CPHA = 1)

図 25.21 に、SPI 動作時、RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 1 に設定したスレーブモードの RSPI の転送動作フローを示します。

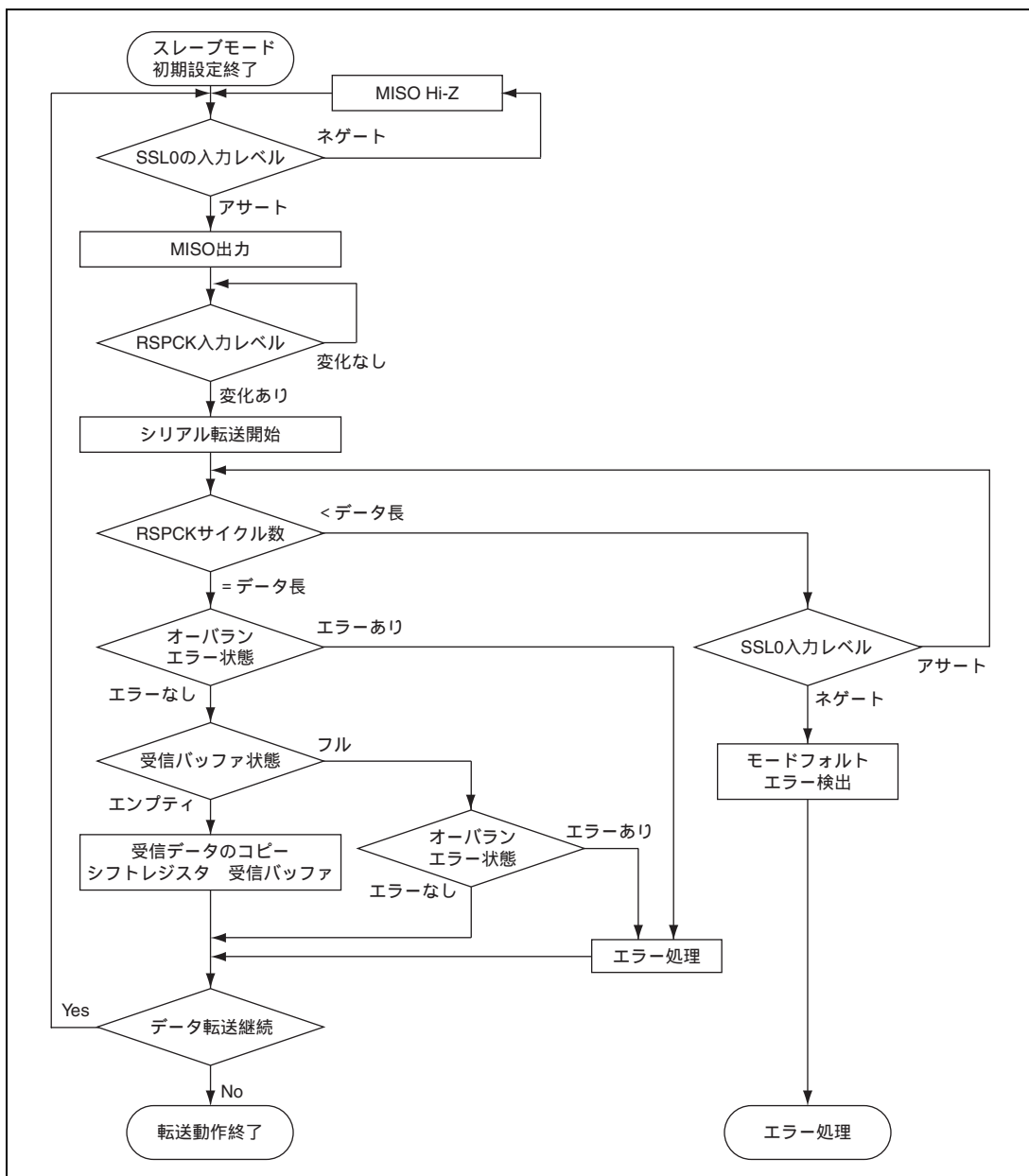


図 25.21 スレーブモード時の転送動作フロー (CPHA = 1)

(2) マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「25.4.7 エラー検出」参照)のみです。シングルマスタモード (RSPI) の RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

(a) シリアル転送の開始

RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態で、CPU または DTC/DMAC が RSPI データレジスタ (SPDR) へデータを書き込むと、RSPI は SPDR の送信バッファのデータを更新します。DTC/DMAC からの SPDR への書き込み、または CPU から SPTEF の 1 読み出し後の 0 書き込みによって SPTEF ビットを 0 にクリアした状態で、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の設定値に依存します。

(b) シリアル転送の終了

RSPI コマンドレジスタ (SPCMD) の CPHA ビットにかかわらず、RSPI はサンプルタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、RSPI コマンドレジスタ (SPCMD) の SPB3 ~ SPB0 ビットの設定値に依存します。SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の設定値に依存します。RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。

(c) シーケンス制御

マスタモード時の転送フォーマットは、RSPI シーケンス制御レジスタ (SPSCR)、RSPI コマンドレジスタ 0~3 (SPCMD0~3)、RSPI ビットレートレジスタ (SPBR)、RSPI クロック遅延値レジスタ (SPCKD)、RSPI スレープセレクトネゲート遅延レジスタ (SSLND)、RSPI 次アクセス遅延値レジスタ (SPND) によって決定されます。

SPSCR は、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0~3 には、SSL 出力信号値、MSB / LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD には RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

RSPI は、SPSCR に設定されたシーケンス長にしたがって、SPCMD0~3 の一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、RSPI シーケンスステータスレジスタ (SPSSR) の SPCP[1:0] ビットの読み出しによって CPU から確認可能です。RSPI 制御レジスタ (SPCR) の SPE ビットを 1 にして RSPI 機能をイネーブルにすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

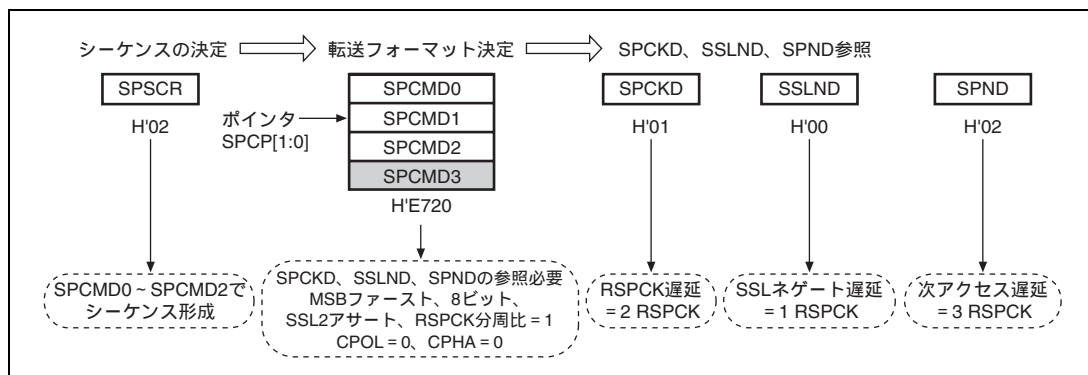


図 25.22 マスタモードでのシリアル転送方式の決定方法

(d) パースト転送

RSPI が現在のシリアル転送で参照している RSPI コマンドレジスタ (SPCMD) の SSLKP ビットが 1 の場合には、RSPI はシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、RSPI は SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (パースト転送)。

図 25.23 に、SPCMD0 ~ 1 の設定を使用してパースト転送を実現した場合の SSL 信号動作例を示します。図 25.23 に記載した ~ の RSPI 動作内容について、以下に説明します。なお、SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の設定値に依存します。

SPCMD0 にしたがった SSL 信号のアサートと RSPCK 遅延の挿入を実施します。

SPCMD0 にしたがったシリアル転送を実行します。

SSL ネゲート遅延を挿入します。

SPCMD0 の SSLKP ビットが 1 であるため、SPCMD0 での SSL 信号値を保持します。この期間は、最短の場合には SPCMD0 の次アクセス遅延 + 2P 継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。

SPCMD1 にしたがった SSL 信号のアサートと RSPCK 遅延の挿入を実施します。

SPCMD1 にしたがったシリアル転送を実行します。

SPCMD1 の SSLKP ビットが 0 であるため、SSL 信号をネゲートします。また、SPCMD1 にしたがった次アクセス遅延が挿入されます。

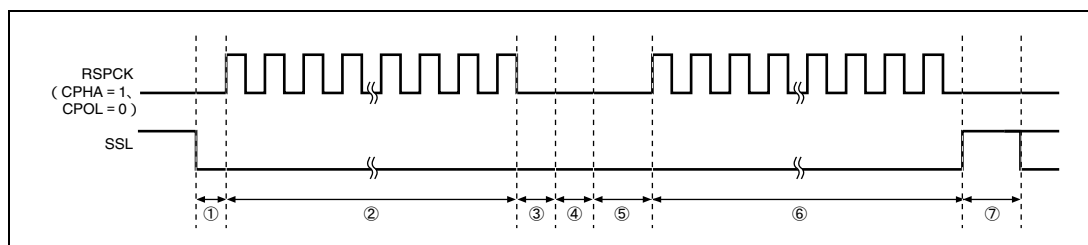


図 25.23 SSLKP ビットを利用したパースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSL 信号のアサート時 (図 25.23 の) に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるため、注意してください。

マスタモードの RSPI は、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMD の CPHA ビットが 0 の場合でも、RSPI は内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのパースト転送は、CPHA ビットの設定値にかかわらず実行できます。(「25.4.9 SPI 動作」参照)

(e) RSPCK 遅延 (t1)

マスタモードの RSPI の RSPCK 遅延値は、RSPI コマンドレジスタ (SPCMD) の SCKDEN ビットの設定と RSPCK 遅延レジスタ (SPCKD) の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、表 25.9 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「25.4.4 転送フォーマット」を参照してください。

表 25.9 SCKDEN、SPCKD と RSPCK 遅延の関係

SCKDEN	SPCKD	RSPCK 遅延値
0	000 ~ 111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(f) SSL ネゲート遅延 (t2)

マスタモードの RSPI の SSL ネゲート遅延値は、RSPI コマンドレジスタ (SPCMD) の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ (SSLND) の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、表 25.10 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「25.4.4 転送フォーマット」を参照してください。

表 25.10 SSLND と SSL ネゲート遅延の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000 ~ 111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(g) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、RSPI コマンドレジスタ (SPCMD) の SPNDEN ビットの設定と RSPI 次アクセス遅延レジスタ (SPND) の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、表 25.11 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「25.4.4 転送フォーマット」を参照してください。

表 25.11 SPNDEN、SPND と次アクセス遅延の関係

SPNDEN	SPND	次アクセス遅延値
0	000 ~ 111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(h) 初期化フロー

図 25.24 に、SPI 動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

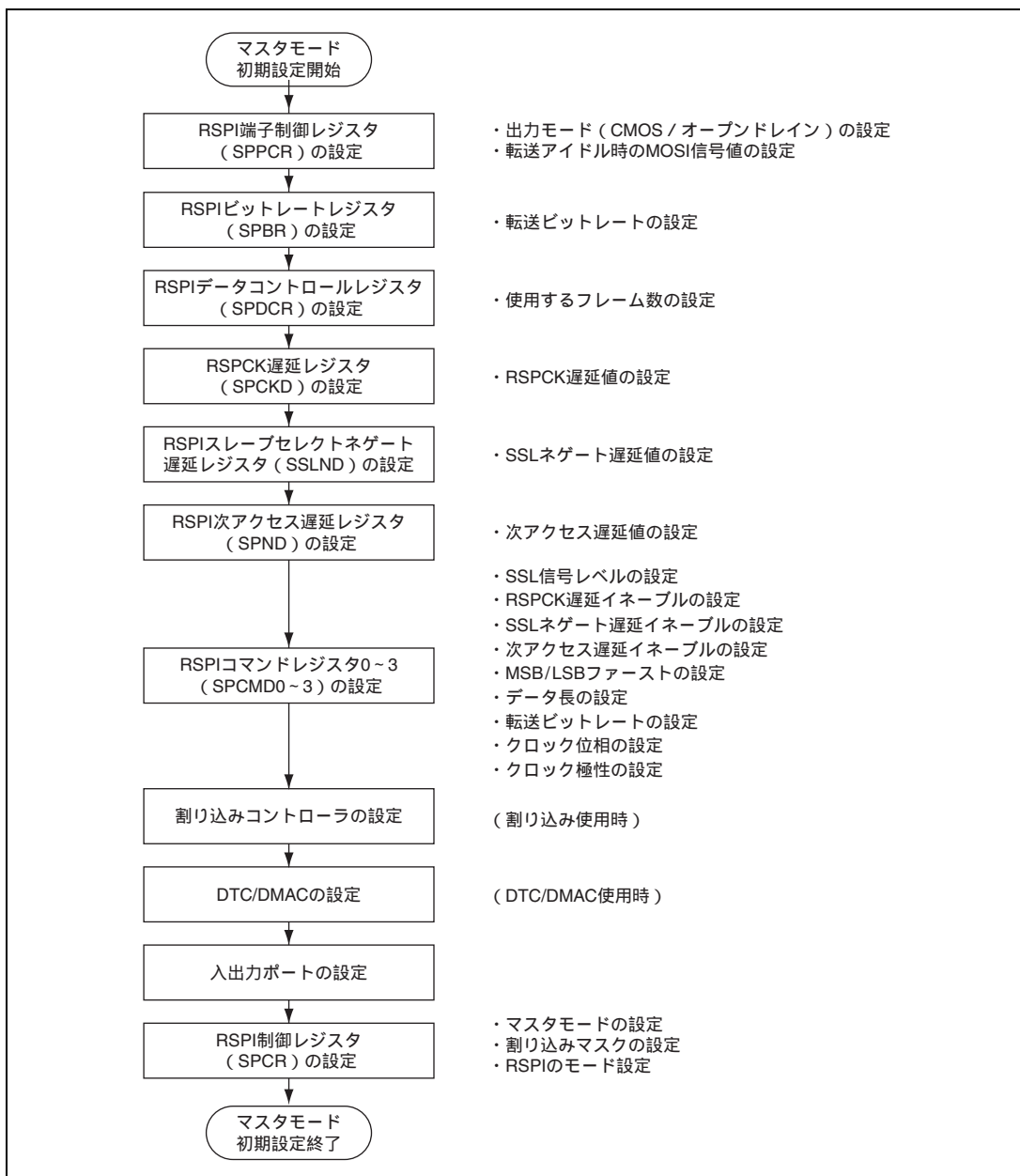


図 25.24 マスタモード時の初期化フロー例

(i) 転送動作フロー

図 25.25 に、SPI 動作時、マスタモードの転送動作フローを示します。

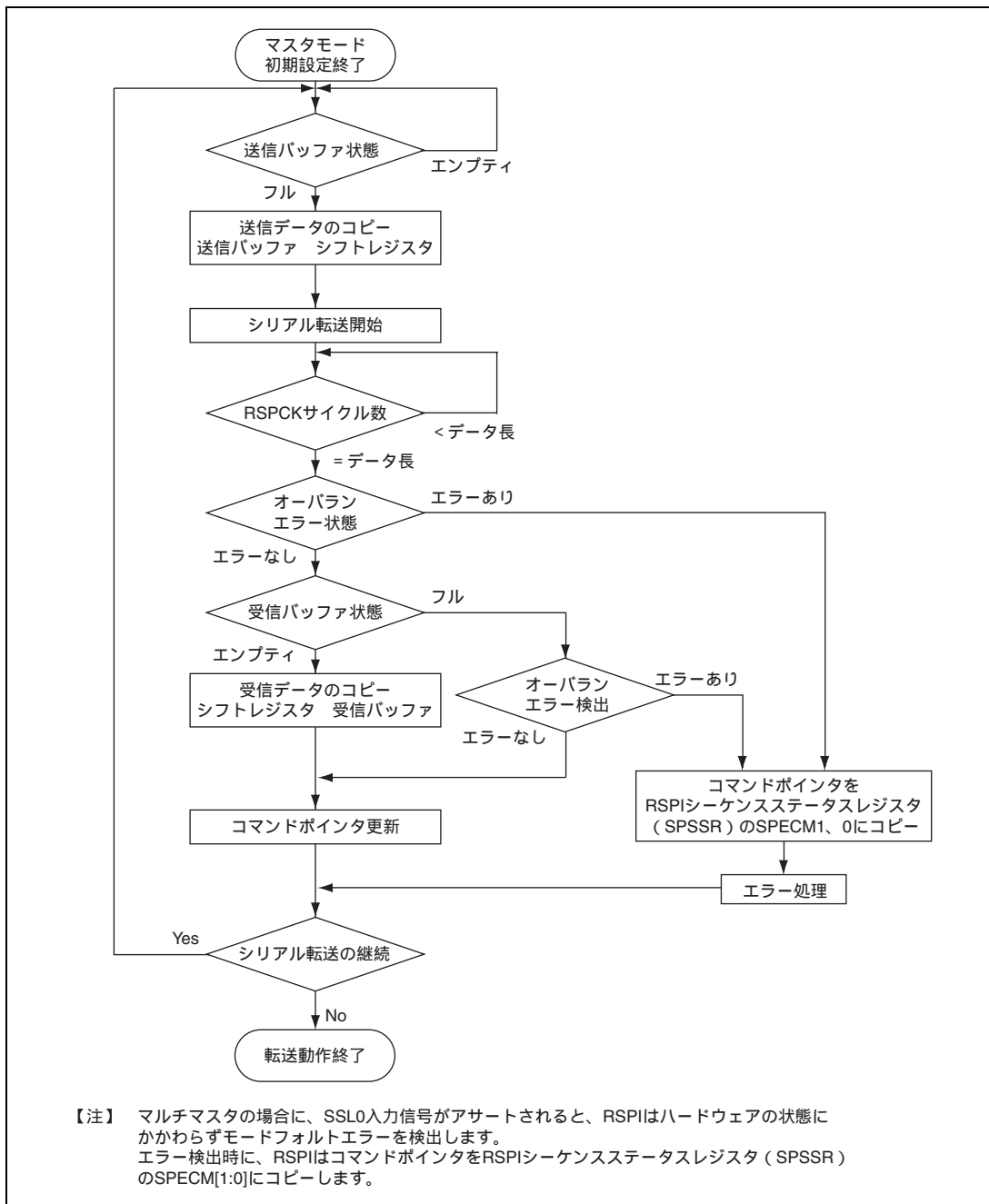


図 25.25 マスタモード時の転送動作フロー

25.4.10 クロック同期式動作

RSPI は、RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSL 端子を使用せず、RSPCK、MOSI、MISO の 3 本の端子を用いて通信を行い、SSL 端子は IO ポートとして使用することができます。

クロック同期式動作は、SSL 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作をします。

マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSL 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、RSPI コマンドレジスタ (SPCMD) の CPHA ビットを 0 に設定した場合の動作について保証しておりません。

(1) スレーブモード動作

(a) シリアル転送の開始

RSPI は、RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 であるとき、最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが 1 であるときは、RSPI は MISO 出力信号を常にドライブします。

なお、RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 入力信号を用いません。

(b) シリアル転送の終了

RSPI は最終サンプルタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプルタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0 の SPB3 ~ SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。

(c) 初期化フロー

図 25.26 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

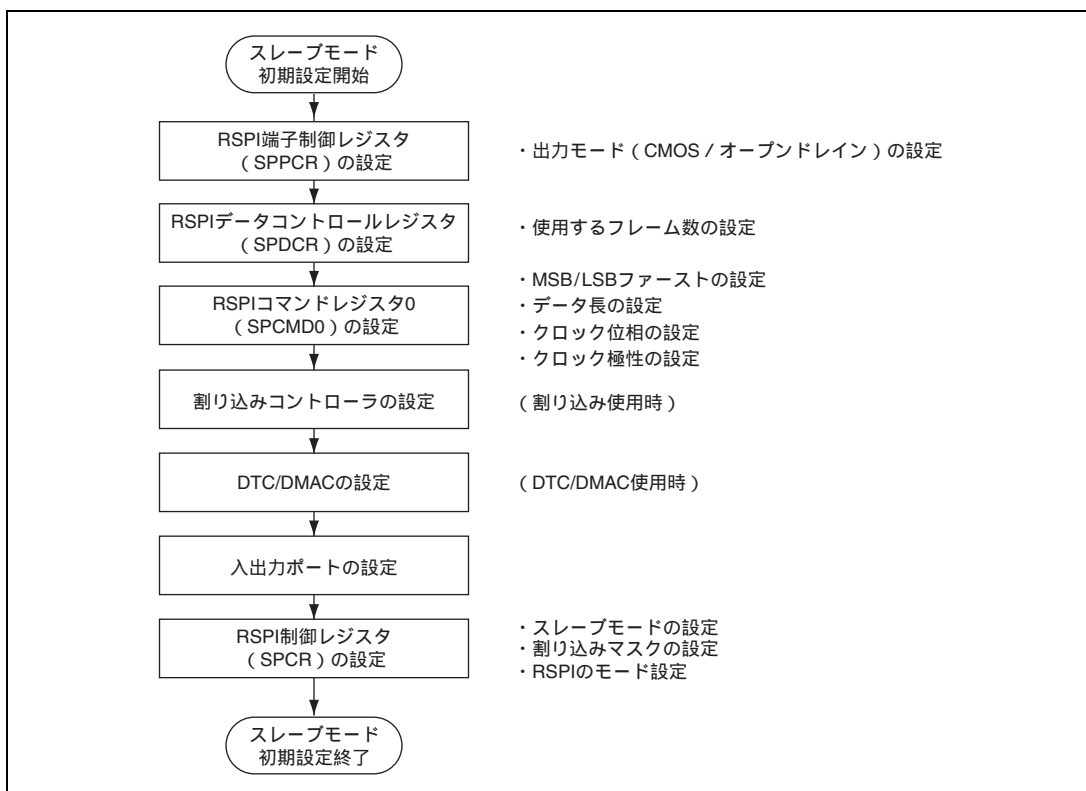


図 25.26 スレーブモード時の初期化フロー例

(d) 転送動作フロー

図 25.27 に、クロック同期式動作時の RSPI の転送動作フローを示します。

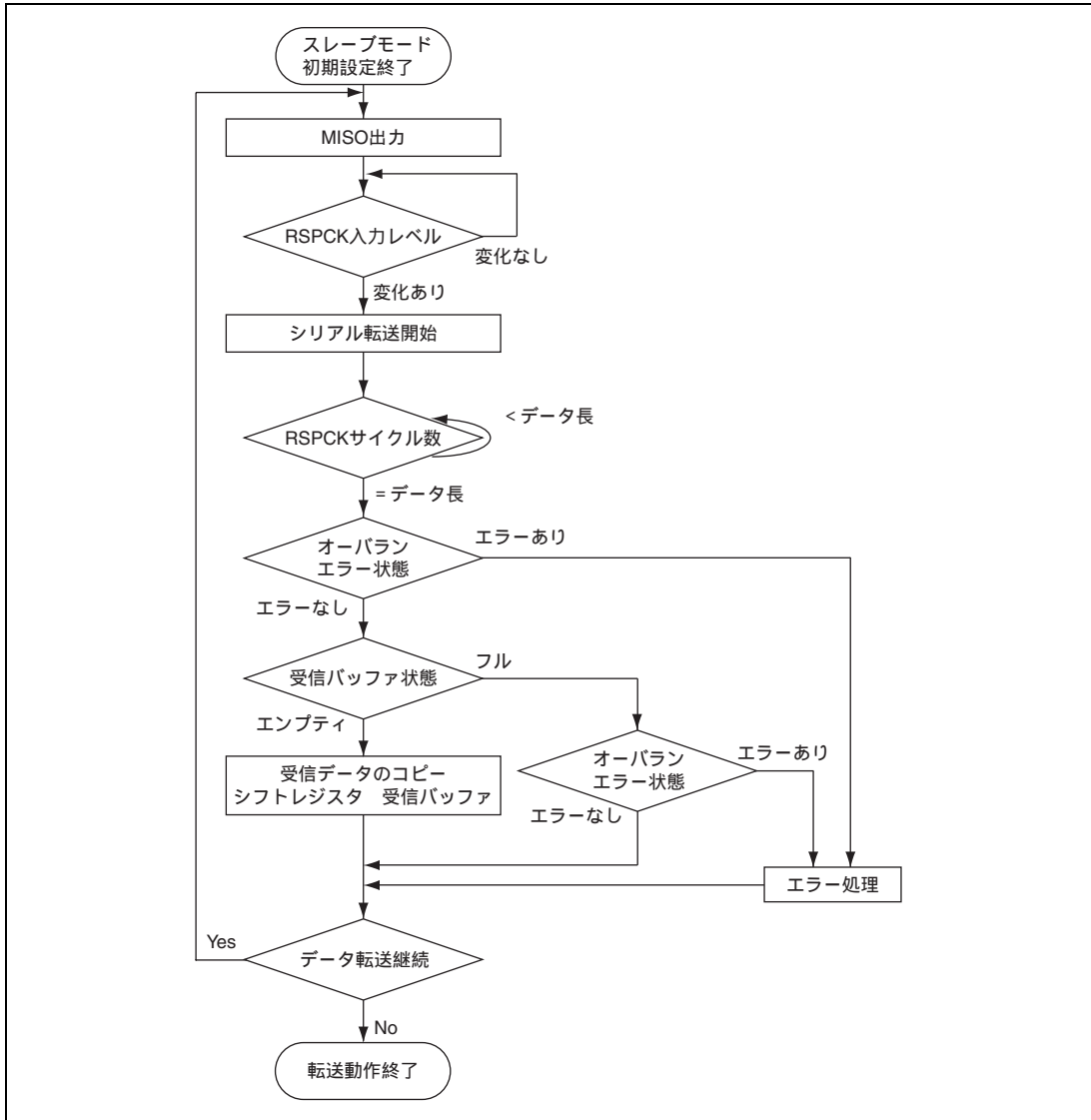


図 25.27 スレープモード時の転送動作フロー (CPHA = 1)

(2) マスタモード動作

(a) シリアル転送の開始

RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態で、CPU または DTC/DMAC が RSPI データレジスタ (SPDR) ヘデータを書き込むと、RSPI は SPDR の送信バッファのデータを更新します。DTC/DMAC からの SPDR への書き込み、または CPU から SPTEF の 1 読み出し後の 0 書き込みによって SPTEF ビットを 0 にクリアした状態で、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 出力信号を用いず通信を行います。

(b) シリアル転送の終了

RSPI はサンプルタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、RSPI コマンドレジスタ (SPCMD) の SPB3 ~ SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「25.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 出力信号を用いず通信を行います。

(c) シーケンス制御

マスタモード時の転送フォーマットは、RSPI シーケンス制御レジスタ (SPSCR)、RSPI コマンドレジスタ 0~3 (SPCMD0~3)、RSPI ビットレートレジスタ (SPBR)、RSPI クロック遅延値レジスタ (SPCKD)、RSPI スレープセレクトネゲート遅延レジスタ (SSLND)、RSPI 次アクセス遅延値レジスタ (SPND) によって決定されます。クロック同期式動作時は、SSL 信号の出力を行いませんが、これらの設定は有効です。

SPSCR は、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0~3 には、SSL 出力信号値、MSB / LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD には RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

RSPI は、SPSCR に設定されたシーケンス長にしたがって、SPCMD0~3 の一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、RSPI シーケンスステータスレジスタ (SPSSR) の SPCP[1:0] ビットの読み出しによって CPU から確認可能です。RSPI 制御レジスタ (SPCR) の SPE ビットを 1 にして RSPI 機能をイネーブルにすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

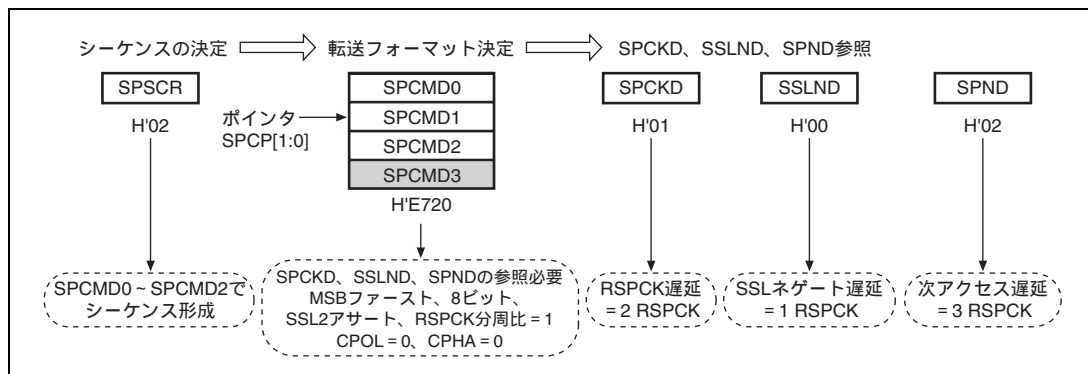


図 25.28 マスタモードでのシリアル転送方式の決定方法

(d) 初期化フロー

図 25.29 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

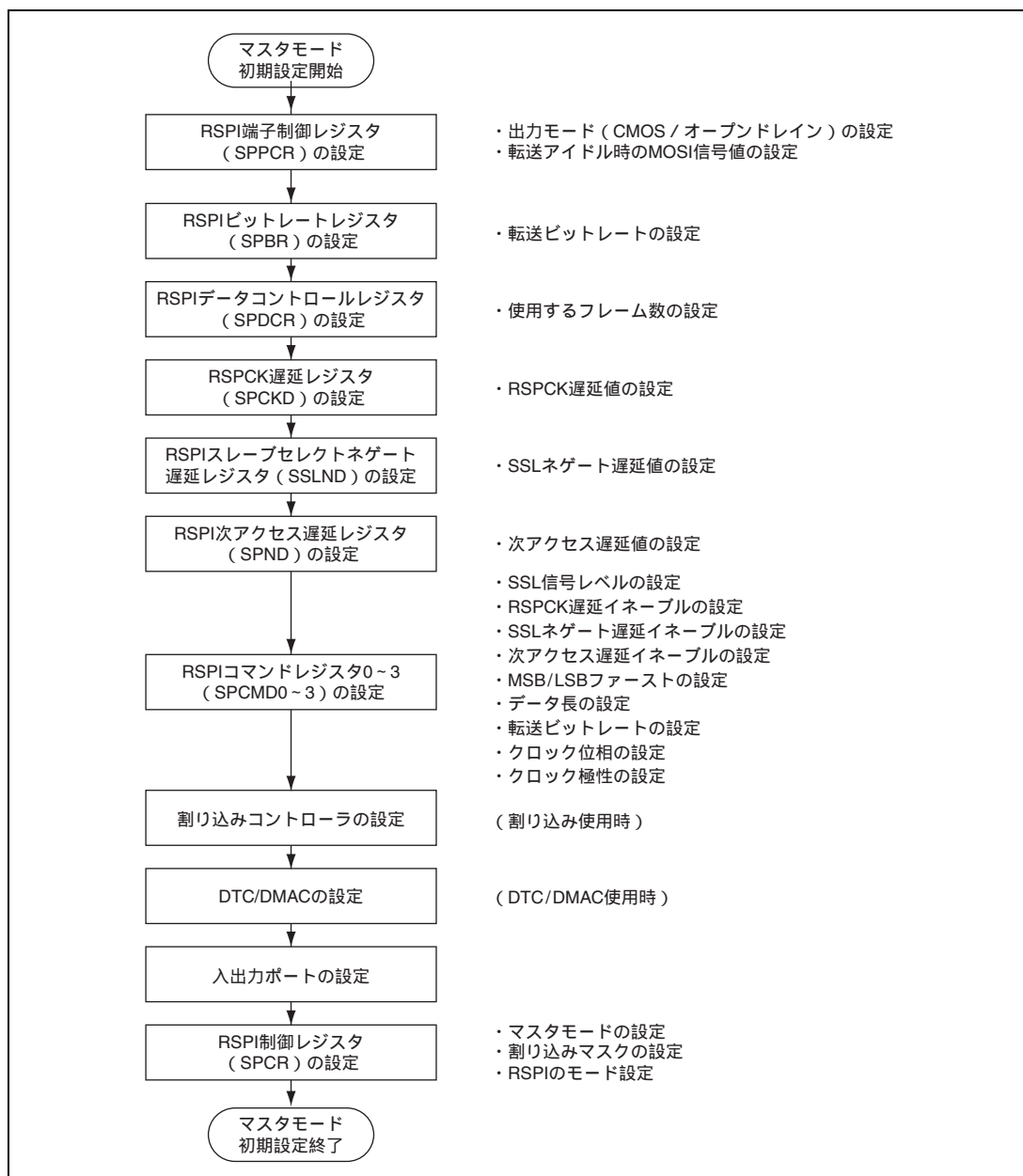


図 25.29 マスタモード時の初期化フロー例

(e) 転送動作フロー

図 25.30 に、クロック同期式動作時、マスタモードの転送動作フローを示します。

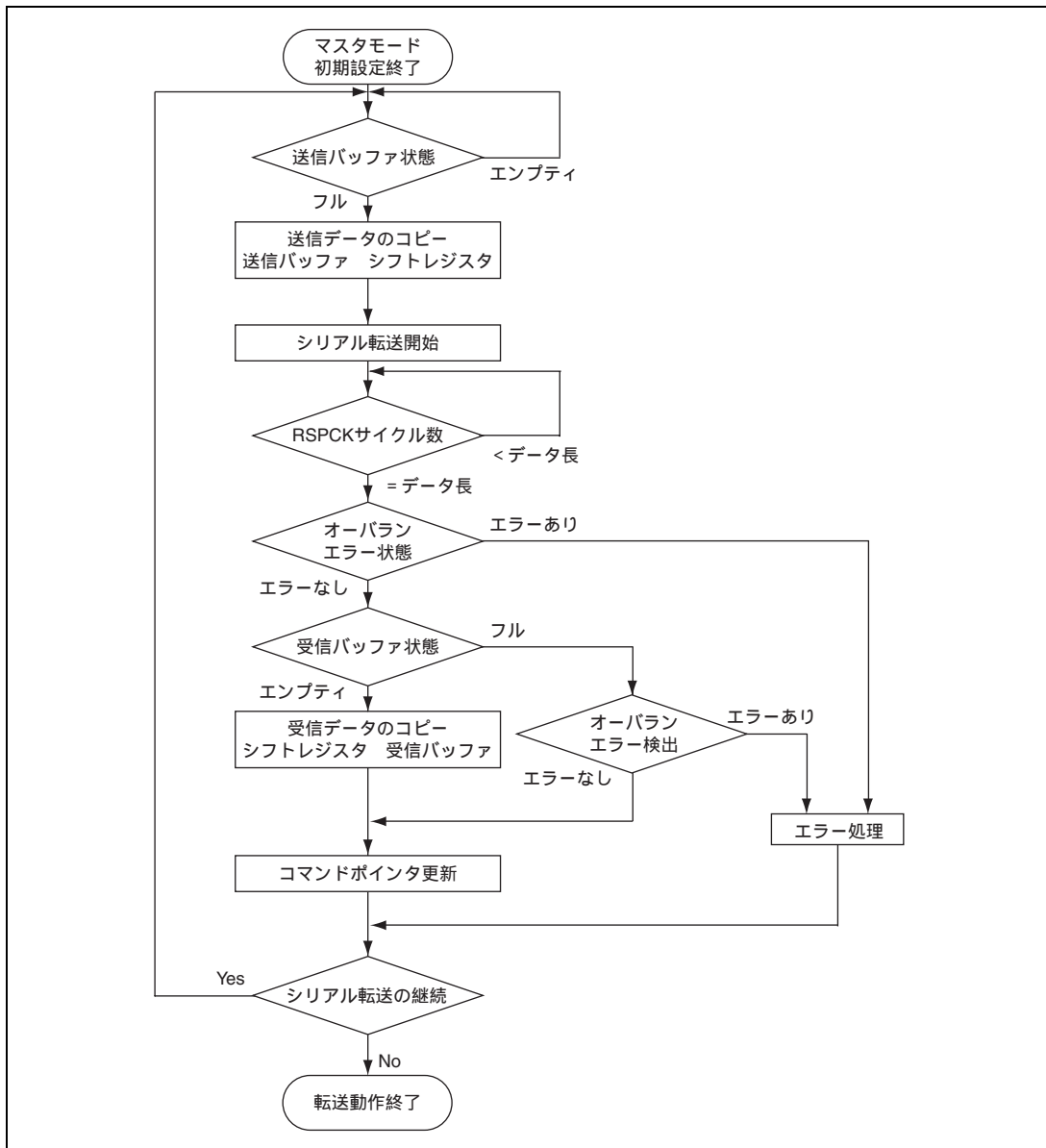


図 25.30 マスタモード時の転送動作フロー

25.4.11 エラー処理

図 25.31、図 25.32 に、RSPI のエラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

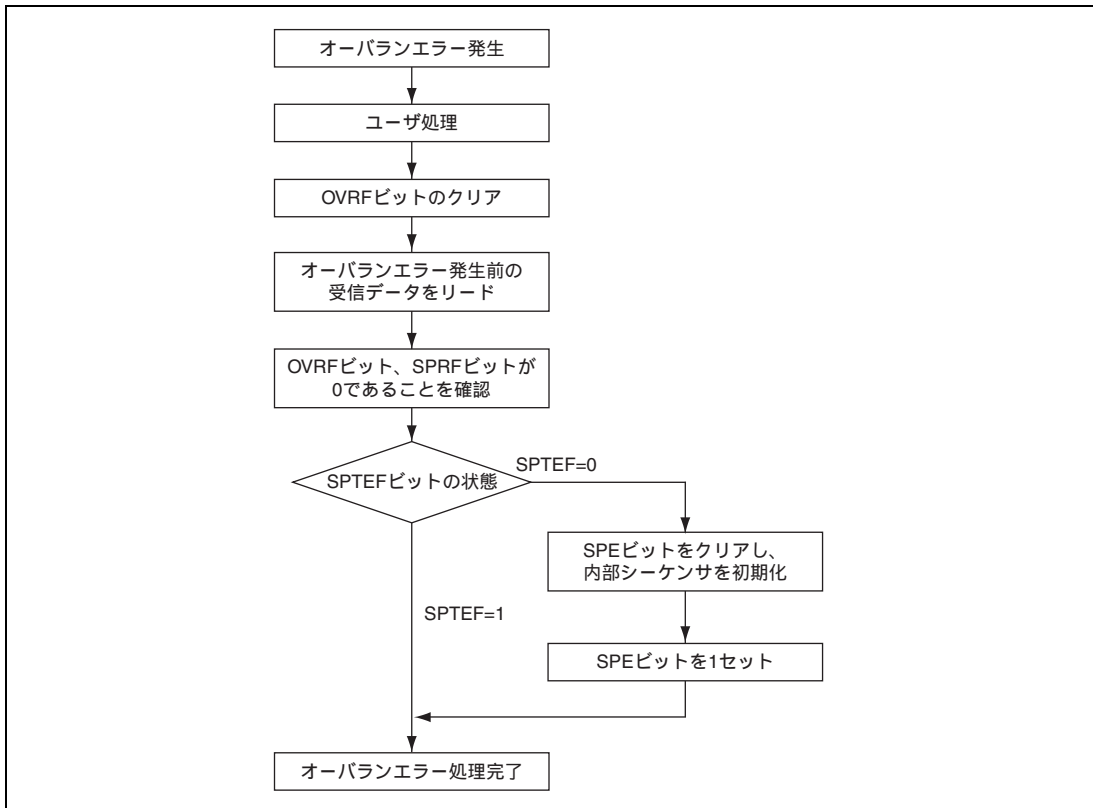


図 25.31 エラー処理 (オーバーランエラー)



図 25.32 エラー処理 (モードフォルトエラー)

25.4.12 ループバックモード

CPU が RSPI 端子制御レジスタ (SPPCR) の SPLP ビットに 1 を書き込むと、RSPI は MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します (ループバックモード)。ループバックモードでシリアル転送を実行すると、RSPI の送信データが RSPI の受信データになります。図 25.33 に、マスタモードの RSPI をループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

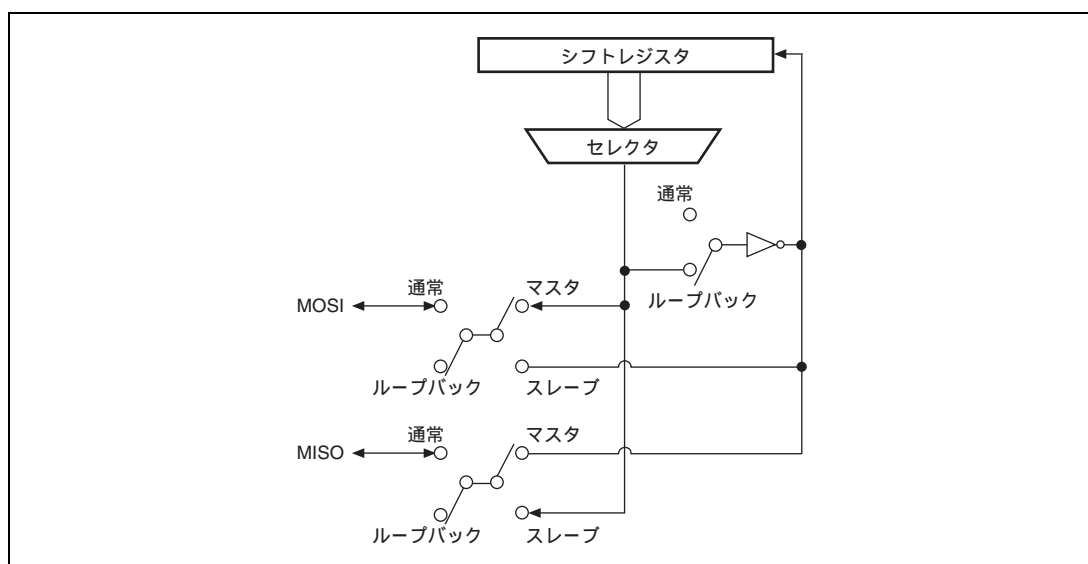


図 25.33 ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

25.4.13 割り込み要求

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバランがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC/DMAC を起動し、データ転送を行うことができます。

受信バッファフルの割り込み要求が SPRXI、送信バッファエンプティの割り込み要求が SPTXI、モードフォルト、オーバランの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 25.12 に、RSPI の割り込み要因を示します。

表 25.12 の割り込み条件が成立すると、割り込みが発生します。CPU または DTC/DMAC によるデータ転送で割り込み要因をクリアしてください。

表 25.12 RSPI の割り込み要因

名称	割り込み要因	略称	割り込み条件	DTC/DMAC 起動	優先 順位
SPEI	モードフォルト	MOI	(SPEIE = 1) ・ (MODF = 1)	-	高 ↑ ↓ 低
	オーバラン	OVI	(SPEIE = 1) ・ (OVRF = 1)	-	
SPRXI	受信バッファフル	RXI	(SPRIE = 1) ・ (SPRF = 1)		
SPTXI	送信バッファエンプティ	TXI	(SPTIE = 1) ・ (SPTEF = 1)		

25.5 使用上の注意事項

25.5.1 モジュールスタンバイモードの設定

RSPIは、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、RSPIの動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第32章 低消費電力モード」を参照してください。

25.5.2 DTC ブロック転送

SPRXI、SPTXIを起動要因としてDTCブロック転送を行う場合には、DTC転送カウントレジスタA(CRA)のブロックサイズとブロックサイズカウンタの設定値をフレーム数設定ビットで設定したフレーム数と同じ数値に設定してください。違う数値を設定した場合、以後の動作は保証されません。

25.5.3 DMAC バースト転送

SPRXI、SPTXIを起動要因としてDMAC転送を行う場合には、DMAトランスファカウントレジスタ(DMATCR)の設定値をフレーム数設定ビットで設定したフレーム数と同じ数値にしてください。違う数値を設定した場合、以後の動作は保証されません。

25.5.4 受信データ読み出し

受信データをCPUにより読み出すときは、指定バッファ数の回数をCPUで読み出したあとにフラグクリアを行ってください。指定バッファ数の回数を読み出さずにフラグクリアを行った場合、以後の動作は保証されません。

25.5.5 DTC/DMAC とモードフォルトエラーについて

DTC/DMACのSPTXI割り込みの設定とSPTIEビットを有効にしている状態でモードフォルトエラーが発生した場合、意図した割り込み以外の割り込みが発生する可能性があります。SPTIEビットが有効状態でモードフォルトエラー処理(図25.31)にてSPTIEビットのクリアを行ってください。

またモードフォルトエラー発生後DTC/DMACを使用する場合は、DTC/DMACの再設定を行ってください。

25.5.6 出力をオープンドレインとして使用する場合

RSPIの出力をオープンドレインとして使用する場合、プルアップ抵抗はPVcc1と同じ電位にしてください。プルアップ抵抗は、負荷を考慮し十分な評価を行って電気的特性を満たすような値にしてください。

25.5.7 PVcc1 を 1.8V で使用する場合

PVcc1を1.8Vで使用する場合、DRVCRレジスタのPJDRVビットの値を必ず0にしてください。1の値で利用した場合、正常な通信ができない可能性があります。詳細は「第22章 ピンファンクションコントローラ(PFC)」を参照してください。

26. コントローラエリアネットワーク (RCAN-ET)

コントローラエリアネットワーク (RCAN-ET) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章は RCAN-ET のプログラムインタフェースについて説明します。弊社アプリケーションノート「CAN 入門書」も合わせてご確認ください。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-CD-11898-1, 2002)

26.1 特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 16個のメールボックス
- クロック周波数：20～50 MHz
- プログラム可能な15個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵 (リスンオンリモード、エラーパッシブモード)

26.2 構成

26.2.1 ブロック図

RCAN-ET は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-ET は機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、および CAN インタフェースの 4 種類のブロックからなります。

図 26.1 に RCAN-ET のブロック図を示します。

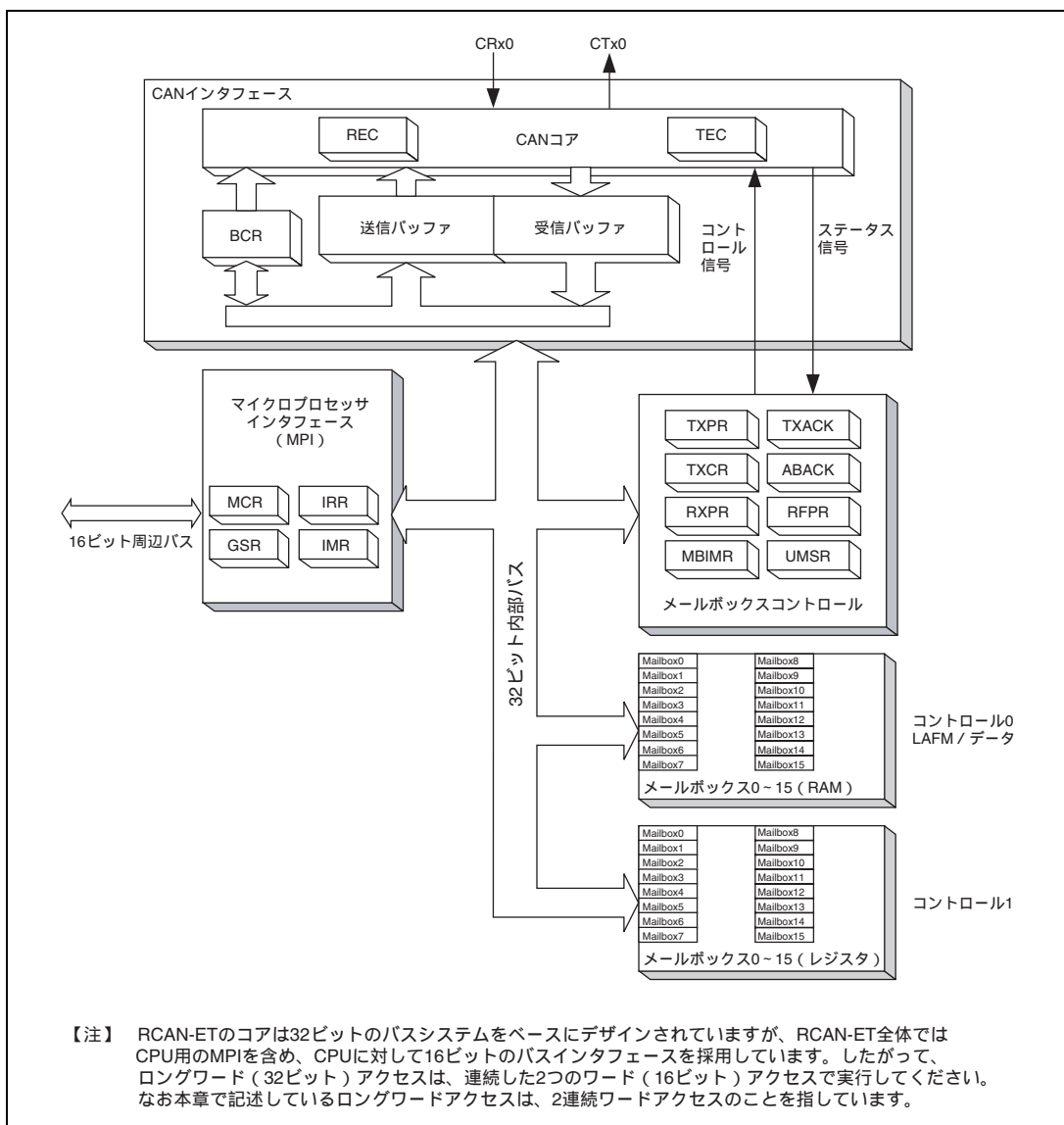


図 26.1 RCAN-ET のブロック図

26.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN-ET のレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN-ET の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-ET は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 16 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- メッセージ送信時は、RCAN-ETは内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) CAN インタフェース

本ブロックは参考文献[2]と[4]のCANバスデータリンクコントローラ仕様をサポートしています。これはOSIモデルで規定されるデータリンクコントローラの全機能を満足します。また、CANバスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CANデータリンクコントローラの送受信を格納する機能もあります。

26.2.3 端子構成

RCAN-ET の端子構成を表 26.1 に示します。本製品には、CTx0 が PA2 と PA3 に割り当てられていますが、PA2 または PA3 のどちらか 1 端子のみ CTx0 として使用できます。

表 26.1 端子構成

名称	端子名	入出力	機能
送信データ端子	CTx0	出力	CAN バス送信用端子です。
受信データ端子	CRx0	入力	CAN バス受信用端子です。

26.2.4 メモリマップ

RCAN-ET のメモリマップを図 26.2 に示します。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

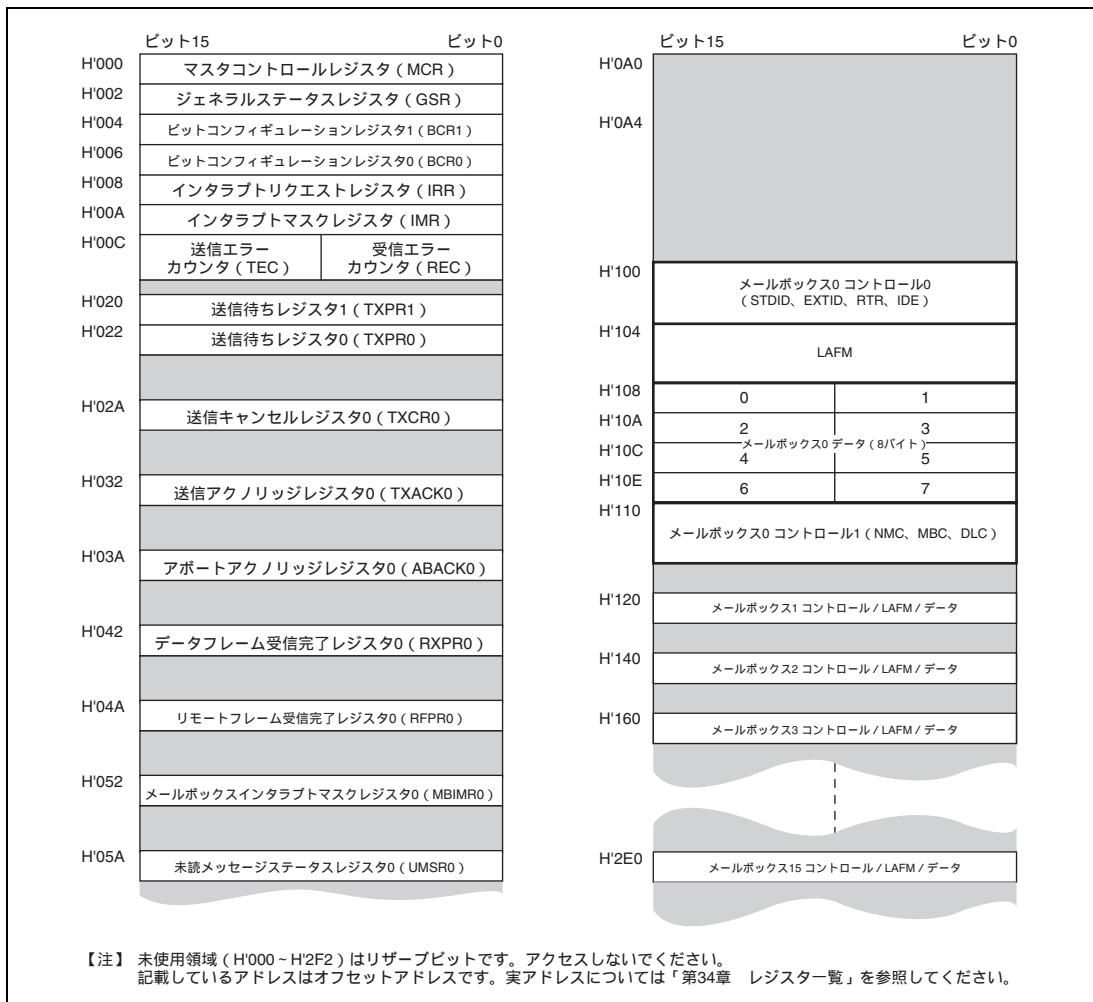


図 26.2 RCAN-ET のメモリマップ

26.3 メールボックス

26.3.1 メールボックスの構成

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。

表 26.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータのアドレスマップを示します。

表 26.2 各メールボックスのアドレスマップ

メールボックス	アドレス			
	コントロール 0	LAFM	データ	コントロール 1
	4 バイト	4 バイト	8 バイト	2 バイト
0 (受信のみ)	100 - 103	104 - 107	108 - 10F	110 - 111
1	120 - 123	124 - 127	128 - 12F	130 - 131
2	140 - 143	144 - 147	148 - 14F	150 - 151
3	160 - 163	164 - 167	168 - 16F	170 - 171
4	180 - 183	184 - 187	188 - 18F	190 - 191
5	1A0 - 1A3	1A4 - 1A7	1A8 - 1AF	1B0 - 1B1
6	1C0 - 1C3	1C4 - 1C7	1C8 - 1CF	1D0 - 1D1
7	1E0 - 1E3	1E4 - 1E7	1E8 - 1EF	1F0 - 1F1
8	200 - 203	204 - 207	208 - 20F	210 - 211
9	220 - 223	224 - 227	228 - 22F	230 - 231
10	240 - 243	244 - 247	248 - 24F	250 - 251
11	260 - 263	264 - 267	268 - 26F	270 - 271
12	280 - 283	284 - 287	288 - 28F	290 - 291
13	2A0 - 2A3	2A4 - 2A7	2A8 - 2AF	2B0 - 2B1
14	2C0 - 2C3	2C4 - 2C7	2C8 - 2CF	2D0 - 2D1
15	2E0 - 2E3	2E4 - 2E7	2E8 - 2EF	2F0 - 2F1

メールボックス 0 は受信専用です。メールボックス 1 ~ 15 は、メッセージコントロールの MBC (メールボックス構成) ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 26.3 に示します。

なお、メールボックスの構成は、MCR15 の設定により HCAN2 と同等の順序に入れ替えることが可能です。

・ メールボックス0 (受信用メールボックス)																		
レジスタ名	アドレス	データバス														アクセスサイズ	フィールド名	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2			1
MB[0].CONTROL0H	H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[0].CONTROL0L	H*102+N*32	EXTID[15:0]														16ビット		
MB[0].LAFMH	H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[0].LAFML	H*106+N*32	EXTID_LAFM[15:0]														16ビット		
MB[0].MSG_DATA[0][1]	H*108+N*32	MSG_DATA_0 (最初のRxバイト)							MSG_DATA_1							8/16/32ビット	データ	
MB[0].MSG_DATA[2][3]	H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16ビット		
MB[0].MSG_DATA[4][5]	H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32ビット		
MB[0].MSG_DATA[6][7]	H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16ビット		
MB[0].CONTROL1H、L	H*110+N*32	0	0	NMC	0	0	MBC[2:0]	0	0	0	0	DLC[3:0]				8/16ビット	コントロール1	
・ メールボックス1-15 (送受信用メールボックス)																		
レジスタ名	アドレス	データバス														アクセスサイズ	フィールド名	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2			1
MB[x].CONTROL0H	H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[x].CONTROL0L	H*102+N*32	EXTID[15:0]														16ビット		
MB[x].LAFMH	H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[x].LAFML	H*106+N*32	EXTID_LAFM[15:0]														16ビット		
MB[x].MSG_DATA[0][1]	H*108+N*32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16/32ビット	データ	
MB[x].MSG_DATA[2][3]	H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16ビット		
MB[x].MSG_DATA[4][5]	H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32ビット		
MB[x].MSG_DATA[6][7]	H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16ビット		
MB[x].CONTROL1H、L	H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	DLC[3:0]				8/16ビット	コントロール1	

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. メールボックス0のMBC1ビットの値は常に1です。
3. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
4. MCR15ビットが1のときはメッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 26.3 メールボックス N の構成

26.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0: スタンダードフォーマット 1: エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き替えます。 【重要】 MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレームリクエスト割り込み) ビットによって通知されますが、RCAN-ET は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】 MBC=B'001 で ATX=1 の場合にリモートフレームに自動的に回答を対応させるために、データフレームの転送が許可されるように RTR フラグは 0 にプログラムしなくてはなりません。 【注意】 メールボックスがリモートフレームを送るように設定されているとき、転送に用いられた DLC はメールボックスの中に格納されたものとなります。 0: データフレーム 1: リモートフレーム
		13	-	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[x]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

- メールボックス0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	NMC	-	-	MBC[2:0]			-	-	-	-	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC1 の値は常に 1 です。

- メールボックス1～15

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	NMC	ATX	DART	MBC[2:0]			-	-	-	-	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	15, 14	-	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		13	NMC	<p>ニューメッセージコントロール</p> <p>このビットが 0 にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し USMR の対応するビットをセットします。このビットが 1 にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージをオーバーライトし、USMR の対応するビットをセットします。</p> <p>【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは (USMR と一緒に) 同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。</p> <p>0 : オーバランモード 1 : オーバライトモード</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLCが格納されます。そして、TXPRをセットすることで現在のメッセージデータと書き換えられたDLCを使って同じメールボックスから自動的にデータフレームが転送されます。送信のスケジューリングは、メッセージ送信プライオリティビット(MCR2)で構成されているように、ID優先順位あるいはメールボックス優先順位によって制御されます。本機能を使用するにはMBC[2:0]をB'001に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード(DLC)は受信されたものが使用されます。これを適用するには、リモートフレームのDLCは要求されているデータフレームのDLCに対応したものであることが必要です。</p> <p>【重要】 ATXが使用され、MBCがB'001のとき、リモートフレームのIDは、応答メッセージの場合と同じく、データフレームのIDと完全に同じでなくてはならないため、IDEビットのフィルタは使用できません。</p> <p>【重要】 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTRビットはセットされません。リモートフレームを受信するとCPUはセット済みRFPRによって通知されますが、RCAN-ETは現在のメッセージをデータフレームとして送信する必要があるためRTRビットは変更されません。</p> <p>【重要】 オーバラン状態(NMC=0に設定されたメールボックスのUMSRがセット)では、受信メッセージは破棄されます。ATX=1に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。</p> <p>0: データフレームの自動送信無効 1: データフレームの自動送信有効</p> <p>【注】 本ビットはメールボックス1~15にのみあります。メールボックス0ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットがセットされると、CANバスエラーのイベントが発生した場合や、CANバスのアービトラージで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応するTXCRビットが送信の最初に自動的にセットされます。このビットが0にセットされると、RCAN-ETは送信が正常終了されるまで、あるいはTXCRでキャンセルされるまで、要求された回数だけ送信し続けます。</p> <p>0: 再送信有効 1: 再送信無効</p> <p>【注】 本ビットはメールボックス1~15にのみあります。メールボックス0ではリザーブビットとなります。</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	10~8	MBC[2:0]	<p>メールボックスコンフィギュレーション</p> <p>これらのビットは各メールボックスの機能を表 26.3 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。</p> <p>MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC をそれら以外の値に設定すれば LAFM フィールドは使用可能となります。</p> <p>MBC が受信にセットされているとき、TXPR は設定しないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1]は受信専用のため、ハードウェアによって 1 に固定されています。</p>
MB[x]. CONTROL1L	H'111+N*32	7~4	-	<p>リザーブビット</p> <p>書き込む値は 0 にしてください。読み出し値は保証されません。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。リモートフレーム要求が送信される時、これに使用される DLC の値は要求されたデータフレームの DLC の値と等しいものでなくてはなりません。</p> <p>0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

表 26.3 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	• メールボックス 0 は 使用禁止	
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は 使用禁止 • LAFM は使用可能	
0	1	0	不可	不可	可	可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
0	1	1	不可	不可	可	不可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

26.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 26.4 に示すとおり、2 つの 16 ビットの読み出し / 書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[0].LAFMH	H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[0].LAFML	H'106+N*32	EXTID_LAFM[15:0]															16ビット		

図 26.4 ローカルアクセプタンスフィルタマスク (LAFM)

本レジスタは、CAN-ID の調停を行う際、比較対象としないビットを設定するレジスタです。1 が設定されているビットは、CAN-ID の調停の際、無視されます。

【例】 STDID_LAFM が B'000 0000 0001 のとき、メールボックスの CAN-ID が B'111 1111 1111 になっていても、CAN-ID = B'111 1111 1110 のデータを受信できます。

LAFM でマスクされていないビットについては完全に一致している必要があります。

なお、受信後は受信されたデータに置き換えられます。

LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN-ET は、メールボックス 15 からメールボックス 0 まで、一致する ID の検索を開始します。RCAN-ET は一致する ID を検知すると、ただちに検索を終了し、そのメッセージは NMC や RXPR/RFPFR フラグによらず格納されます。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14, 13	-	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[x]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

26.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

26.4 RCAN-ET のコントロールレジスタ

RCAN-ET のコントロールレジスタについて説明します。RCAN-ET のコントロールレジスタはワードサイズ(16 ビット)でのみアクセスできます。

表 26.4 に RCAN-ET のコントロールレジスタを示します。

表 26.4 RCAN-ET のコントロールレジスタの構成

レジスタ名	略称	アクセスサイズ(ビット)
マスタコントロールレジスタ	MCR	ワード
ジェネラルステータスレジスタ	GSR	ワード
ビットコンフィギュレーションレジスタ 1	BCR1	ワード
ビットコンフィギュレーションレジスタ 0	BCR0	ワード
インタラプトリクエストレジスタ	IRR	ワード
インタラプトマスクレジスタ	IMR	ワード
送信エラーカウンタ / 受信エラーカウンタ	TEC/REC	ワード

26.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し / 書き込み可能なレジスタで、RCAN-ET を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並べ替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 26.5 を参照してください。</p> <p>0 : RCAN-ET と HCAN2 は同等の順序 1 : RCAN-ET と HCAN2 は異なる順序</p>

ビット	ビット名	初期値	R/W	説明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、RCAN-ET がバスオフ状態に入ると MCR1 はただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0 : 通常の復帰シーケンス (128 × 11 レセツシブビット) で RCAN-ET バスオフ状態を維持</p> <p>1 : MCR6 がセットされると RCAN-ET はバスオフ状態のあと、ただちにホルトモードに入ります</p>
13 ~ 11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10 ~ 8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCAN-ET をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「26.6.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCAN-ET が通常動作時には使用できません。</p> <p>000 : ノーマルモード</p> <p>001 : リスンオンリモード (受信専用モード)</p> <p>010 : セルフテストモード 1 (外部)</p> <p>011 : セルフテストモード 2 (内部)</p> <p>100 : ライトエラーカウンタ</p> <p>101 : エラーパッシブモード</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCAN-ET は CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると RCAN-ET は自動的に CAN スリープモードを解除しません。</p> <p>RCAN-ET は、RCAN-ET をウェイクアップしたメッセージを格納できません。</p> <p>0 : CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1 : CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

ビット	ビット名	初期値	R/W	説明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラもただちにエラーアクティブモードに復帰するので注意してください。</p> <p>0: MCR1 がセットされても、バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます</p> <p>1: バスオフ時に MCR1 または MCR14 がアサートされると、ただちにホルトモードに入ります</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効/無効にします。RCAN-ET がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2 つのエラ - カウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには 2 つの方法があります。</p> <ul style="list-style-type: none"> • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する <p>自動ウェイクアップモードが無効であれば、CAN スリープモードが終了するまで RCAN-ET はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-ET は CAN バス動作に入る前に 11 個のリセツピットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-ET が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。</p> <p>0: CAN スリープモードが解除されています</p> <p>1: CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN-ET は、最初にホルトモードに設定してから CAN スリープモードに遷移することを推奨します。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-ET はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。送信はメールボックス 15 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) 優先順位どおりキューに入ります。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE = 1 の場合) + RTR ビット) を持ち、最初に送信されます。内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0 : メッセージ ID 優先順に送信</p> <p>1 : メールボックス番号順 (メールボックス 15 → メールボックス 1) に送信</p>

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります(ここでCANバスからは切り離されます)。RCAN-ETは本ビットがクリアされるまでホルトモードのままになります。ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態を自身に通知するためのIRR0とGSR4を除き、ユーザレジスタ(メールボックスの内容およびTEC/RECを含みます)の内容は保持されます。CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCAN-ETは1ビット時間内にホルトモードになります。MCR6がセットされると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスは事前に完了します。ホルトモードになるとIRR0とGSR4によって通知されます。MCR14とMCR6がセットされると、本ビットはRCAN-ETがバスオフ状態になればすぐに自動的にセットされます。</p> <p>ホルトモード中、RCAN-ETはバス動作に関係しないため、ビットタイミング設定を除きRCAN-ETの設定を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-ETは11個のレセシブビットが検出されるまで待ち、CANバスに参加します。</p> <p>0: ホルトモードリクエストをクリア 1: ホルトモード遷移リクエスト</p> <p>【注】1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってからか、(ソフトウェアまたはハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN-ET モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-ET コントローラはリセットルーチンに入り、内部ロジックを再び初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN-ET は再設定することができます (コンフィギュレーションモード)。CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-ET は、11 個のレセツピットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにボーレートを適切な値に設定する必要があります。パワーオンリセット後は、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-ET を設定する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : CAN インタフェースノーマルモード (MCR0 = 0 かつ GSR3 = 0) [クリア条件] RCAN-ET をリセットした後に 0 が書き込まれたとき 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	0													RTR	IDE	EXTID[17:16]	16/32ビット	コントロール0
H'102+N*32																	16ビット	
H'104+N*32	0													0	IDE LAFM	EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド
H'106+N*32																	16ビット	

・ MCR15 (ID並べ替え) = 1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	IDE	RTR	0														16/32ビット	コントロール0
H'102+N*32																	16ビット	
H'104+N*32	IDE LAFM	0	0														16/32ビット	LAFMフィールド
H'106+N*32																	16ビット	

図 26.5 ID 並べ替え

26.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN-ET の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください。読み出すと常に0が読み出されます。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットは RCAN-ET がエラーパッシブ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は、GSR5は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN-ET はエラーパッシブあるいはバスオフ状態ではありません [クリア条件] RCAN-ET がエラーアクティブ状態の間 1: RCAN-ET がエラーパッシブ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC 128 または REC 128 のとき、またはエラーパッシブテストモードが選択されている場合
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-ET の状態をフルに反映するものではありません。RCAN-ET は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN-ET はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-ET がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-ET がバスオフへ遷移したとき
3	GSR3	1	R	リセットステータス RCAN-ET がリセット状態かどうかを示します。 0: RCAN-ET はリセット状態ではありません 1: RCAN-ET がリセット状態です [セット条件] RCAN-ET のソフトウェアまたはハードウェアリセットの後

ビット	ビット名	初期値	R/W	説明
2	GSR2	1	R	<p>メッセージ送信進行フラグ</p> <p>RCAN-ET がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー / オーバロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK はフレームエンドの 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトラジョンロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。</p> <p>0 : RCAN-ET はバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない</p>
1	GSR1	0	R	<p>送信 / 受信ワーニングフラグ</p> <p>エラーワーニングを示すフラグです。</p> <p>0 : [クリア条件] $TEC < 96$ かつ $REC < 96$ またはバスオフのとき 1 : [セット条件] $96 \cdot TEC < 256$ または $96 \cdot REC < 256$ のとき</p> <p>【注】 REC は、バスオフ復帰シーケンスに必要な 11 個のレセツシブビットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。</p>
0	GSR0	0	R	<p>バスオフフラグ</p> <p>RCAN-ET がバスオフ状態であることを示します。</p> <p>0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] $TEC \cdot 256$ (バスオフ状態)</p>

26.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

$$\text{タイムクオンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR0 格納値 + 1 の値です。 f_{clk} は周辺バスクロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 26.5 を参照してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TSG1[3:0]				-	TSG2[2:0]				-	-	SJW[1:0]		-	-	-	BSP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15~12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (= PRSEG + PHSEG1) を設定することに使用します。4~16 タイムクオンタが設定できます。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタ 0100 : PRSEG + PHSEG1 = 5 タイムクオンタ : : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタ
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

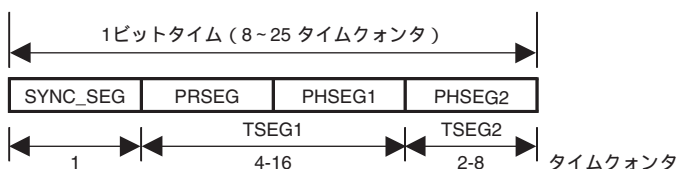
ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (=PRSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2 = 2 タイムクオンタ (条件によっては設定禁止です。表 26.5 を参照してください)</p> <p>010 : PHSEG2 = 3 タイムクオンタ</p> <p>011 : PHSEG2 = 4 タイムクオンタ</p> <p>100 : PHSEG2 = 5 タイムクオンタ</p> <p>101 : PHSEG2 = 6 タイムクオンタ</p> <p>110 : PHSEG2 = 7 タイムクオンタ</p> <p>111 : PHSEG2 = 8 タイムクオンタ</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅 = 1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅 = 2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅 = 3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅 = 4 タイムクオンタ</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	00000000	R/W	ポーレートプリスケール これらのビットは、1 タイムクオンタに対応する周辺バスクロック数を設定します。 00000000 : 2×周辺バスクロック 00000001 : 4×周辺バスクロック 00000010 : 6×周辺バスクロック : 2×(レジスタ値+1)×周辺バスクロック 11111111 : 512×周辺バスクロック

• ビットコンフィギュレーションレジスタについて



SYNC_SEG : CAN バス上のノードの同期をするセグメント (通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN-ET ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = f_{clk} / (2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1))$$

ここで BRP はレジスタ値 + 1 で与えられ、また TSEG1 および TSEG2 は後述の表から算出した値です。上記ビットレート計算式のタイムセグメント「+1」は SYNC_SEG の 1 タイムクオンタであることによります。

f_{clk} = 周辺バスクロック

BCR 設定上の制約となる事項

$TSEG1 (Min.) > TSEG2 \cdot SJW (Max.)$ ($SJW = 1 \sim 4$)

$8 \cdot TSEG1 + TSEG2 + 1 \cdot 25$ タイムクオンタ ($TSEG1 + TSEG2 + 1 = 7$ は不可)

$TSEG2 \cdot 2$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 26.5 に示される設定値の範囲であれば、上述の制限事項を満たします。表 26.5 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 26.5 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1 : f_{clk} が 40MHz でビットレートを 500kbps とする場合、BRP = 3、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0003 をライトすることになります。

例 2 : f_{clk} が 35MHz でビットレートを 250kbps とする場合、BRP = 4、TSEG1 = 8、TSEG2 = 5 が条件を満たします。この場合、BCR1 には H'7400、BCR0 には H'0004 をライトすることになります。

例 3 : f_{clk} が 32MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 11、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'A300、BCR0 には H'0001 をライトすることになります。

例 4 : f_{clk} が 20MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

26.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	IRR13	IRR12	-	-	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット
13	IRR13	0	R/W	<p>メッセージエラー割り込み</p> <p>本割り込みは、テストモードでメッセージエラーが発生したことを示します。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。また、テストモード以外では機能しません。</p> <p>0 : テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : [セット条件] テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN-ET が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みが要求されない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0 : バスアイドル状態</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : CAN バスアクティビティを CAN スリープモード中に検出</p> <p>[セット条件] CAN スリープモード中に CRx0 上でドミナントへのビット状態変化を検出</p>
11、10	-	すべて0	R	リザーブビット

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R	<p>メッセージオーバーラン/オーバーライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバーラン) か上書き (オーバーライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : メッセージオーバーラン/オーバーライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1 : オーバーランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバーライトされた</p> <p>[セット条件] 対応する PXPB または RFPR = 1 かつ MBIMR = 0 のときにメッセージを受信</p>
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの 1 つが正常に送信 (対応する TXACK フラグがセット) または送信アボート (送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット) されると、本ビットがセットされます。このとき対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1 : メッセージが送信または送信アボート (送信キャンセル) され、次のメッセージの格納が可能となった</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき (MBIMR = 0 の場合)</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>RCAN-ET がオーバーロードフレームの送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : [セット条件] オーバロード条件を検出</p>

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCAN-ET がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの $TEC \geq 256$、バスオフ復帰シーケンスの終了(11 個のリセツシブビットを 128 回連続受信)またはバスオフから停止状態への遷移(オートまたはマニュアル)が要因となります。本ビットは RCAN-ET がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードし RCAN-ET がバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] $TEC \geq 256$ または 11 個のリセツシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-ET がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信 / 受信エラーによるエラーパッシブ状態</p> <p>[セット条件] $TEC \geq 128$ または $REC \geq 128$ またはエラーパッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-ET がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 受信エラーによるエラーワーニング状態</p> <p>[セット条件] RCAN-ET がバスオフ状態以外で $REC \geq 96$</p>

ビット	ビット名	初期値	R/W	説明
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1 : 送信エラーによるエラーワーニング状態</p> <p>[セット条件] TEC 96</p>
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RFPR のすべてのビットがクリア</p> <p>1 : 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR = 0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RXPR のすべてのビットがクリア</p> <p>1 : データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR = 0 のときデータを受信</p>

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ</p> <p>下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 ホルトリクエスト (MCR1) の後、ホルトモードに遷移 ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、RCAN-ET の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5 の説明および図 26.8 を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-ET がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード / CAN スリープモードから送信 / 受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間 - TSEG2] ~ [1 ビット時間 × 2 - TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット / ホルト / CAN スリープモードへの遷移が完了</p>

26.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し / 書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	すべて 1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0 : 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1 : IRR の対応する割り込みをマスクする

26.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し / 条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信 / 受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の [1]、[2]、[3]、[4] に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き替え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0] = B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-ET をホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0] = B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 個のレセシブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

表 26.6 エラー状態とカウンタ値

ユニットのエラー状態	送信エラーカウンタ値 (TEC)	受信エラーカウンタ値 (REC)
エラーアクティブ状態	TEC=0 ~ 127かつREC=0 ~ 127	
エラーパッシブ状態	TEC=128 ~ 255またはREC=128 ~ 255	
バスオフ状態	256 ~	-

表 26.7 エラーカウンタ値の変動条件

	送受信エラーカウンタの変動条件	送信エラーカウンタ (TEC)	受信エラーカウンタ (REC)
1	受信ユニットがエラーを検出したとき。 ただし、受信ユニットがアクティブエラーフラグまたはオーバロードフラグを送信中にビットエラーを検出した場合は除く。	-	+1
2	受信ユニットがエラーフラグを送信した後の最初のビットにドミナントビットを検出したとき。	-	+8
3	送信ユニットがエラーフラグを送信したとき*。	+8	-
4	送信ユニットがアクティブエラーフラグまたはオーバロードフラグを送信中にビットエラーを検出したとき。	+8	-
5	受信ユニットがアクティブエラーフラグまたはオーバロードフラグを送信中にビットエラーを検出したとき。	-	+8
6	各ユニットがアクティブエラーフラグ、オーバロードフラグの最初から14ビットの連続したドミナントを検出したときと、その後8ビットの連続したドミナントレベルを検出するたび。	送信ユニットのとき +8	受信ユニットのとき +8
7	パッシブエラーフラグの後に追加の8ビットの連続したドミナントを検出したときと、その後8ビットの連続したドミナントレベルを検出するたび。	送信ユニットのとき +8	受信ユニットのとき +8
8	送信ユニットがメッセージを正常に送信したとき(ACKが返りEOF完了までエラーを検出しなかったとき)。	-1 TEC=0のとき ±0	-
9	受信ユニットがメッセージを正常に受信したとき(ACKスロットまでエラー検出せず、ACKを正常に返すことができたとき)。	-	1 REC 127のとき-1 REC=0のとき ±0 REC>127のとき REC=119 ~ 127間の値をセット
10	バスオフ状態のユニットが連続した11ビットのレセシブレベルを128回検出したとき。	TEC=0にクリア	REC=0にクリア

【注】 * 送信ユニットが次の場合には送信エラーカウンタは変化しない。

- ・ エラーパッシブ状態でACKを検出しないことによるACKエラーを検出し、かつパッシブエラーフラグを送信中にドミナントレベルを検出しなかった場合
- ・ アービトレーション中にスタッフエラー(ビットスタッフとしてレセシブレベルを送信したがドミナントレベルを検出)が発生した場合

26.5 RCAN-ET のメールボックスレジスタ

RCAN-ET のメールボックスレジスタについて説明します。RCAN-ET のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 26.8 に RCAN-ET のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 26.8 RCAN-ET のメールボックスレジスタ

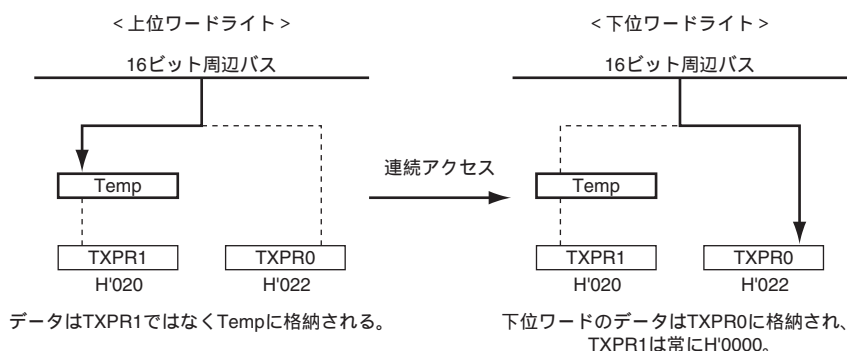
レジスタ名	略称	アドレス	アクセスサイズ(ビット)
送信待ちレジスタ 1	TXPR1	H'020	ロングワード
送信待ちレジスタ 0	TXPR0	H'022	-
		H'024	
		H'026	
		H'028	
送信キャンセルレジスタ 0	TXCR0	H'02A	ワード
		H'02C	
		H'02E	
		H'030	
送信アクノリッジレジスタ 0	TXACK0	H'032	ワード
		H'034	
		H'036	
		H'038	
アポートアクノリッジレジスタ 0	ABACK0	H'03A	ワード
		H'03C	
		H'03E	
		H'040	
データフレーム受信完了レジスタ 0	RXPR0	H'042	ワード
		H'044	
		H'046	
		H'048	
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	ワード
		H'04C	
		H'04E	
		H'050	
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	ワード
		H'054	
		H'056	
		H'058	

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	ワード
		H'05C	
		H'05E	

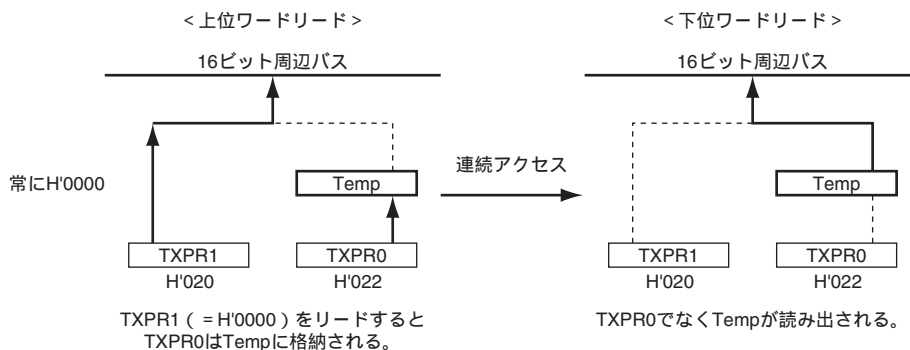
26.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

<ロングワードライト動作>



<ロングワードリード動作>



TXPR1 レジスタは常に 0 固定で、TXPR1 レジスタへの書き込みは無効です。TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

メッセージが正常に送信された後、または TXCR からの送信アボートが行われた後、RCAN-ET は対応する送信待ちフラグをクリアします。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART(自動再送信無効)ビットがセットされていないければ、RCAN-ET は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されません。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2 = 0) が最も高いメッセージが常に送信されるように処理します。詳細については「26.6 動作説明」を参照してください。

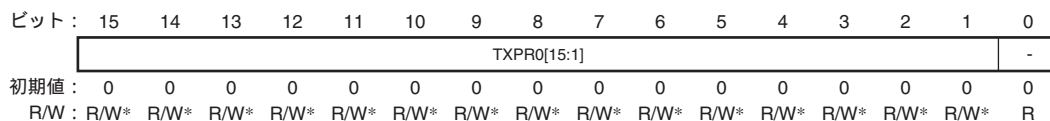
RCAN-ET が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き替えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR1 への書き込みは無効です。

(2) TXPR0



【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

常に H'0000 が読み出されます。TXPR1/TXPR0 のリード / ライトは、必ずロングワードアクセスで行ってください。TXPR0 のビット 0 への書き込みは無効です。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	H'0000	R/W*	<p>対応するメールボックスに CAN フレーム送信リクエストが発生していることを示します。ビット 15~1 はメールボックス 15~1 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。</p> <p>0：対応するメールボックスが送信メッセージアイドル状態 [クリア条件]メッセージ送信終了またはメッセージ送信アボート（自動的にクリアされます）</p> <p>1：対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視されます。読み出し値は 0 です。</p>

26.5.2 送信キャンセルレジスタ 0 (TXCR0)

TXCR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックス 15~1 を制御します。CPU は TXCR0 を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アボートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TXCR0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W*	送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。 0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます) 1: 対応するメールボックスに対して送信キャンセルを要求
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

26.5.3 送信アクノリッジレジスタ 0 (TXACK0)

TXACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、RCAN-ET は TXACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK0 のビットをクリアすることができます。0 を書き込むと無視されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	H'0000	R/W*	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

26.5.4 アポートアクリッジレジスタ 0 (ABACK0)

ABACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、RCAN-ET は ABACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK0 のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-ET が ABACK0 のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ABACK0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W*	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

26.5.5 データフレーム受信完了レジスタ 0 (RXPR0)

RXPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされ、0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W*	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

26.5.6 リモートフレーム受信完了レジスタ 0 (RFPR0)

RFPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効されます。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレームリクエスト割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFPR0[15:0]															
初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
R/W : R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*															

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	RFPR0[15:0]	H'0000	R/W*	メールボックス 15~0 のリモートリクエスト受信フラグです。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

26.5.7 メールボックスインタラプトマスクレジスタ 0 (MBIMR0)

MBIMR0は、16ビットの読み出し/書き込み可能なレジスタです。MBIMR0は、メールボックスの動作に関連するIRR (IRR1:データフレーム受信割り込み、IRR2:リモートフレームリクエスト割り込み、IRR8:メールボックスエンプティ割り込み、IRR9:メッセージオーバーラン割り込み)をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ(IRR1、IRR2、IRR9)による割り込みをマスクします。RXPR、RFPR、UMSRビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート (IRR8) による割り込みやメールボックスエンプティ割り込みをマスクします。送信によるTXPR/TXCRビットのクリアとTXACKビットのセット、送信アポートによるTXPR/TXCRビットのクリアとABACKビットのセットには影響しません。

マスクするメールボックスに対応するビットに1を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MBIMR0[15:0]																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15~0 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

26.5.8 未読メッセージステータスレジスタ 0 (UMSR0)

UMSR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR0 または RFPR0 の対応するビットが CPU によってクリアされていないと、UMSR0 のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR0 のビットはセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

UMSR0[15:0]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/W*	<p>メールボックス 15~0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した</p> <p>[セット条件] RXPR0 または RFPR0 がクリアされる前に新しいメッセージを受信</p>

26.6 動作説明

26.6.1 RCAN-ET の設定

ハードウェアリセット (パワーオンリセット) またはソフトウェアリセット (MCR0) 後のコンフィギュレーションモードおよびホルトモード時の RCAN-ET の設定について説明します。どちらの場合も RCAN-ET は CAN バスアクティビティに参加できません。また、RCAN-ET の設定の変更が CAN バス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 26.6 にソフトウェアリセットまたはハードウェアリセット後の RCAN-ET の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-ET を設定する必要があります。詳細については図中の注を参照してください。

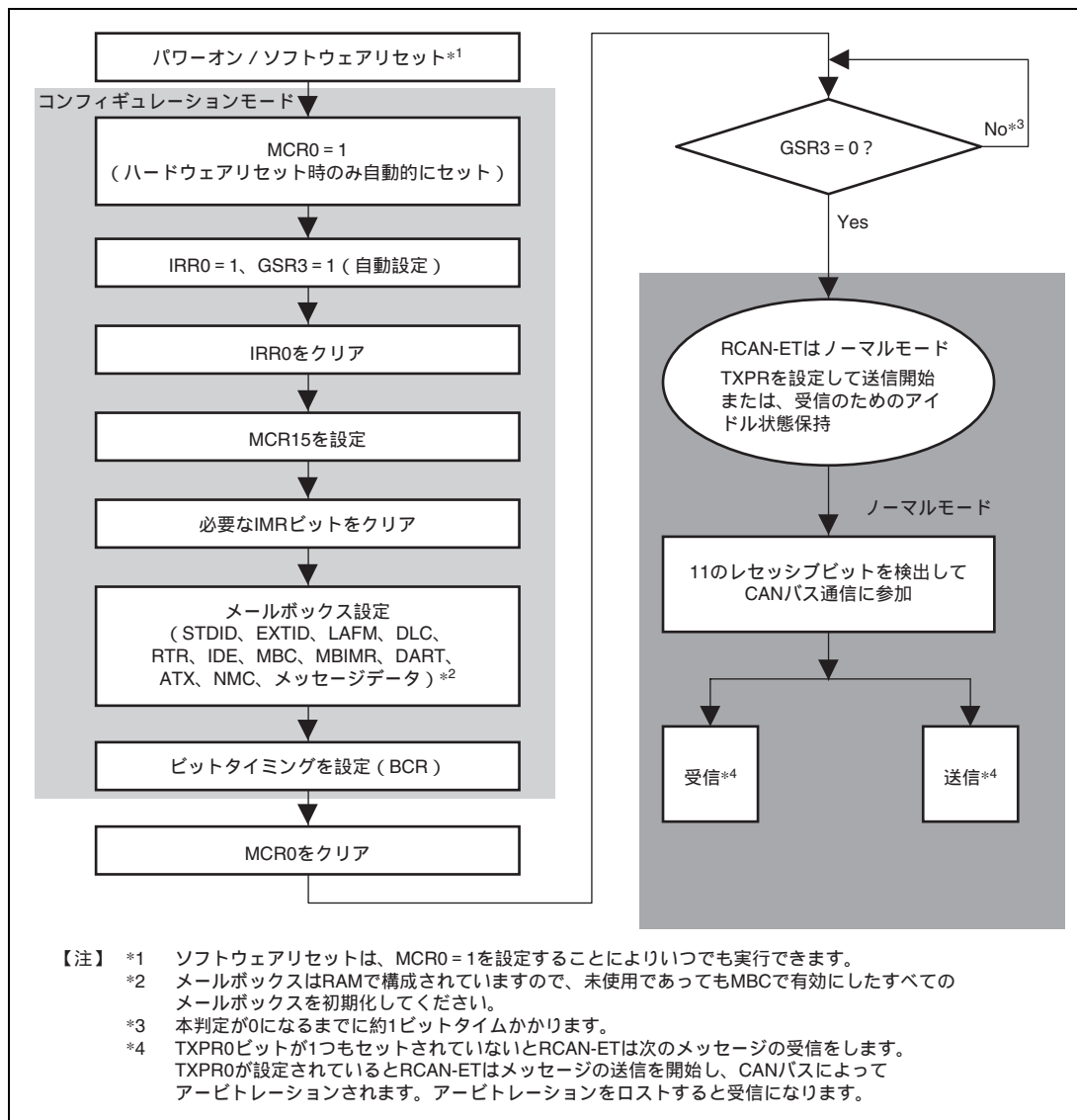


図 26.6 リセットシーケンス

(2) ホルトモード

RCAN-ET はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN-ET がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません (CAN バスがアイドルまたは休止状態のときに遷移します)。

RCAN-ET がホルトモードに遷移すると GSR4 ビットがセットされます。

設定終了後はホルトリクエストを解除する必要があります。RCAN-ET は CAN バス上で 11 個のレセッシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN-ET の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 26.7 に RCAN-ET の CAN スリープモードのフローチャートを示します。

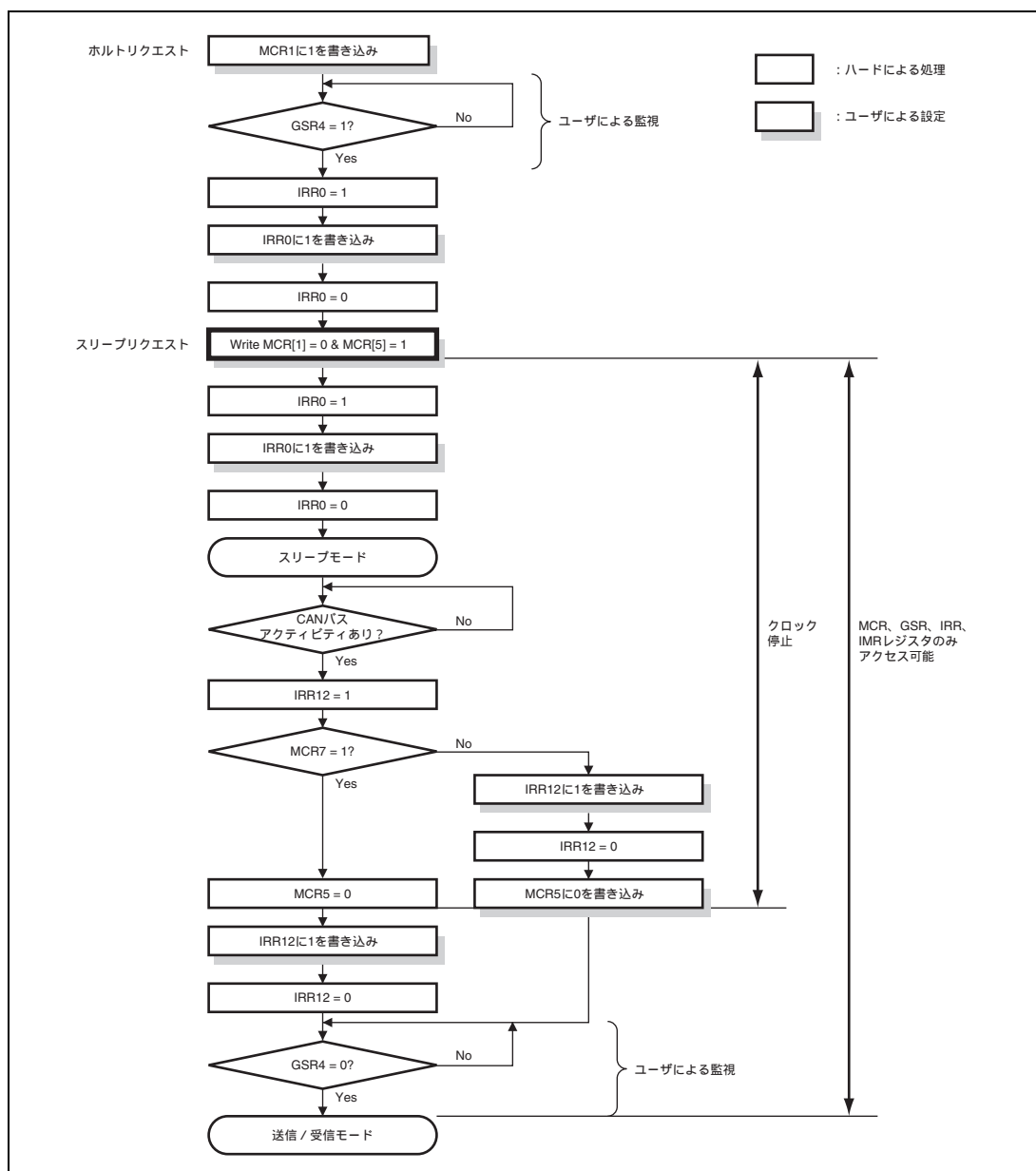


図 26.7 CAN スリープモードのフローチャート

図 26.8 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前には必ず GSR4 がセットされ、RCAN-ET がホルトモードになったことを確認してください。

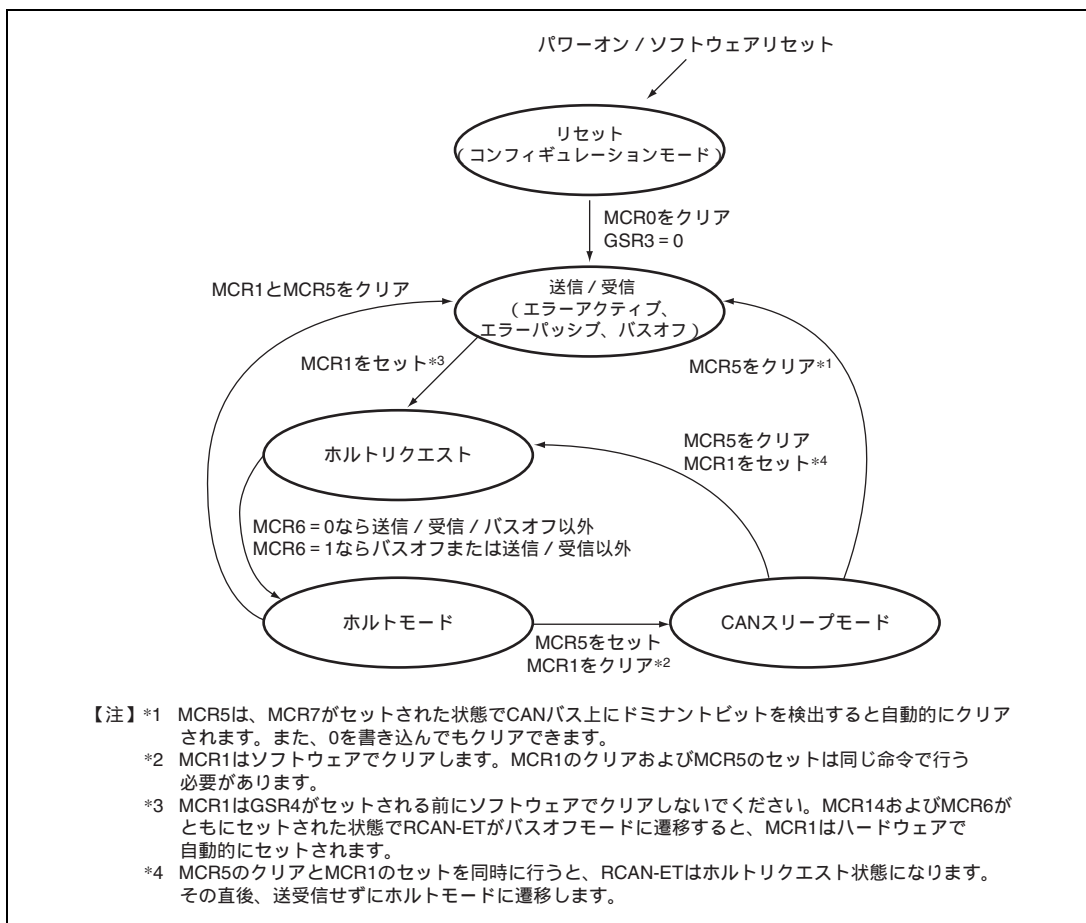


図 26.8 状態遷移図

各モードでのアクセスを許可する条件を表 26.9 に示します。

表 26.9 アクセス可能なレジスタ

ステータス モード	レジスタ									
	MCR、 GSR	IRR、 IMR	BCR	MBIMR	フラグ レジスタ	メールボックス (コントロール0、 LAFM)	メール ボックス (データ)	メールボックス (コントロール1)		
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes	Yes	
送信 / 受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトリクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトモード	Yes	Yes	No	Yes	Yes	Yes		Yes	Yes	
CAN スリープモード	Yes	Yes	No	No	No	No		No	No	

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

26.6.2 テストモードの設定

RCAN-ET には種々のテストモードがあります。テストモードの選択は MCR レジスタの TST[2:0] ビットで行います。RCAN-ET は、デフォルト (初期値) ではノーマルモードで動作します。

表 26.10 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除 (BCR0/BCR1 が設定されていることを確認) してください。

表 26.10 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード (受信専用モード)
0	1	0	セルフテストモード 1 (外部)
0	1	1	セルフテストモード 2 (内部)
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

RCAN-ETは通常の動作をします。

- リスンオンリモード

ポーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTx0出力を禁止し、RCAN-ETによるエラーフレームやアクノリッジビットの生成を抑制します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード1

RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。CRx0/CTx0端子は必ずCANバスに接続してください。

- セルフテストモード2

RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。内部CTx0が内部CRx0にループバックされるため、CRx0/CTx0端子をCANバスその他の外部デバイスに接続する必要はありません。CTx0端子はレセツピビットのみ出力し、CRx0端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-ETを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-ETを強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際はRCAN-ETがホルトモードでなければなりません (エラーカウンタ書き込み時にMCR1 = 1)。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

RCAN-ETは強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-ETはバスオフ状態になりますが、本モードを使用するとRCAN-ETはエラーアクティブになることができません。したがってRCAN-ETはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

26.6.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスを図 26.9 に示します。

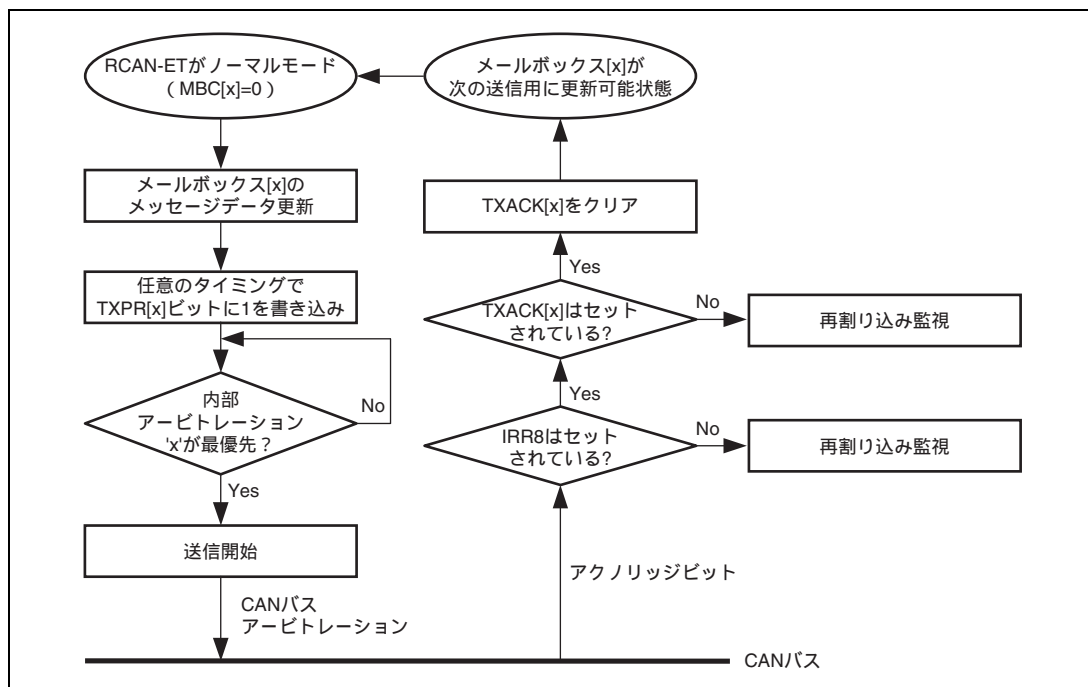


図 26.9 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない(すべての TXPR フラグがセットされていない)ことを示しています。

(2) 送信用内部アービトレーション

図 26.10 は、RCAN-ET がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

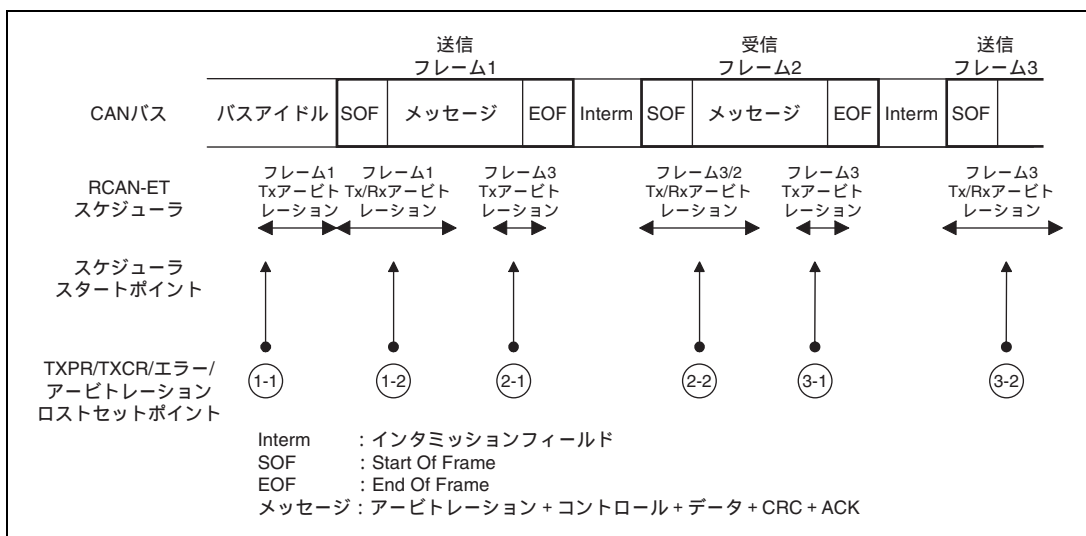


図 26.10 送信用内部アービトレーション

- 1-1 : CAN バスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-ET は送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-ET は受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-ET は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用内部アービトレーションは CRC のデリミタで行われるため、ATX=1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用内部アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

26.6.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 26.11 に示します。

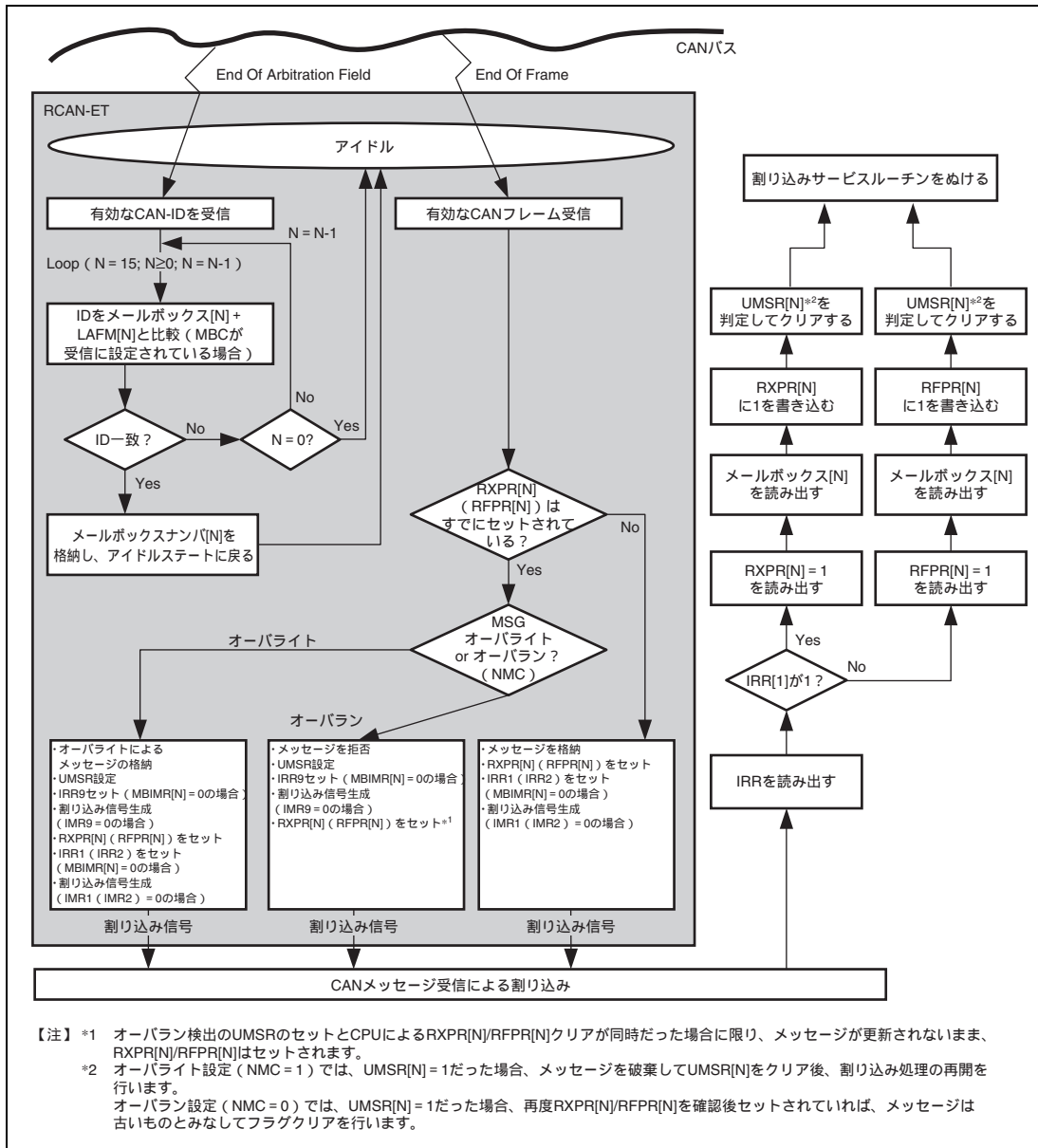


図 26.11 メッセージ受信シーケンス

メッセージを受信中に RCAN-ET がアービトラージフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 15 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 15 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 14 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN-ET はそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-ET のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。メッセージを対応するメールボックスに書き込むと、メッセージ ID を含めて書き込まれるため、使用する LAFM により CAN-ID が受信メッセージの異なる CAN-ID でオーバーライトされる可能性があります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致した場合に、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 26.11 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされることを検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

なお、UMSR がセットされたメールボックスがオーバーランモード (NMC=0) に設定されていた場合、メッセージは上書きされずに残っていますが、CAN バス上でモニタされた最新のメッセージのものではありません。

該当するメールボックスの RXPR / RFPR フラグをクリアする前に、そのメールボックスのすべての内容 (メールボックス[N]の領域) を読み出してください。

受信したリモートフレームがデータフレームでオーバーライトされた場合、リモートフレームリクエスト割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

オーバーランモード (NMC=0) では、これらのフラグは最初のメールボックスによってのみセットされます。このため、最初にデータフレームを受信すると RXPR と IRR1 の両方がアサートされます。その後データフレームを読み出す前にリモートフレームを受信すると、RFPR と IRR2 はセットされません。この場合、対応するメールボックスの UMSR がセットされます。

26.6.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBCの変更

MBC = B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定 (MBCを除く) はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスのID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBCの設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージがCANバス上にありRCAN-ETが受信モードの場合、そのメッセージを逃すことはありません。RCAN-ETは現在行っている受信を完了してからホルトモードに遷移します。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

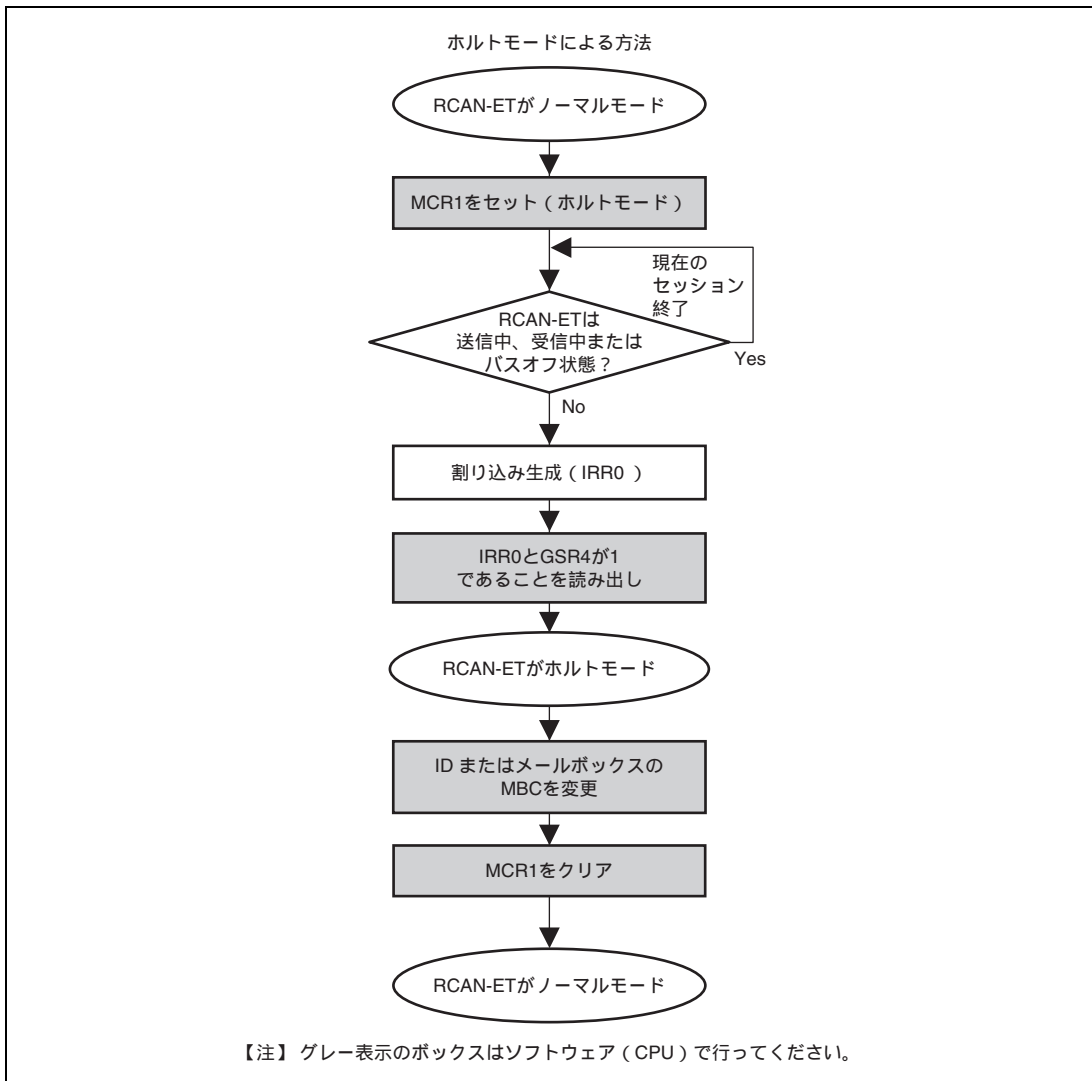


図 26.12 受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更

26.7 割り込み要因

RCAN-ET には表 26.11 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除き、マスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ 0 (MBIMR0) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 7 章 割り込みコントローラ (INTC)」を参照してください。

表 26.11 RCAN-ET の割り込み要因

モジュール名	名称	要 因	割り込みフラグ	DTC/DMAC の起動
RCAN-ET	ERS_0	エラーパッシブ (TEC 128 または REC 128)	IRR5	不可
		バスオフ (TEC 256) / バスオフからの復帰	IRR6	
		エラーワーニング (TEC 96)	IRR3	
		エラーワーニング (REC 96)	IRR4	
	OVR_0	メッセージエラー検出	IRR13 ^{*1}	
		リセット / ホルト / CAN スリープ遷移	IRR0	
		オーバーロードフレーム送信	IRR7	
		未読メッセージのオーバーライト (オーバーラン)	IRR9	
		CAN スリープ中 CAN バス動作の検出	IRR12	
	RM0_0 ^{*2}	データフレーム受信	IRR1 ^{*3}	
	RM1_0 ^{*2}	リモートフレーム受信	IRR2 ^{*3}	
	SLE_0	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8	不可

【注】 *1 テストモードでのみ有効。

*2 RM0_0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0]) またはデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1_0 はメールボックス n (n=1~15) のリモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。

*3 IRR1 はメールボックス 0~15 のデータフレーム受信フラグ、IRR2 はメールボックス 0~15 のリモートフレーム受信フラグです。

*4 RM0_0 割り込みのみ起動できます。

26.8 DTC インタフェース

RCAN-ET のメールボックス 0 にメッセージを受信すると、DTC を起動することができます。なお、DTC 起動を設定し、DTC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます (DTC の転送カウンタ値が 0 になったときを除く)。このとき、RCAN-ET からの受信割り込みで CPU への割り込みは発生しません。ただし、DTC の転送カウンタ値が 0 だった場合 CPU への割り込みが発生します。図 26.13 に DTC 転送のフローチャートを示します。

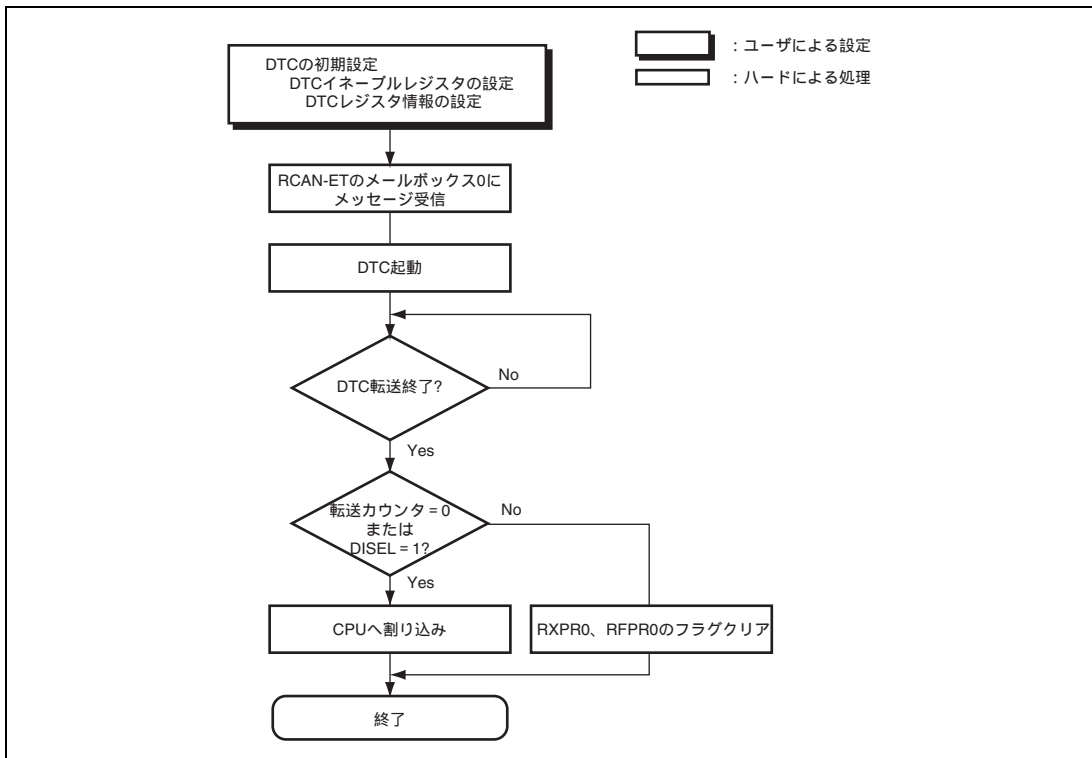


図 26.13 DTC 転送フローチャート

26.9 DMAC インタフェース

各 RCAN-ET のメールボックス 0 にメッセージを受信すると、DMAC を起動することができます。なお、DMAC 起動を設定し、DMAC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます。

このとき、RCAN-ET からの受信割り込みで CPU への割り込みは発生しません。図 26.14 に DMAC の転送フローチャートを示します。

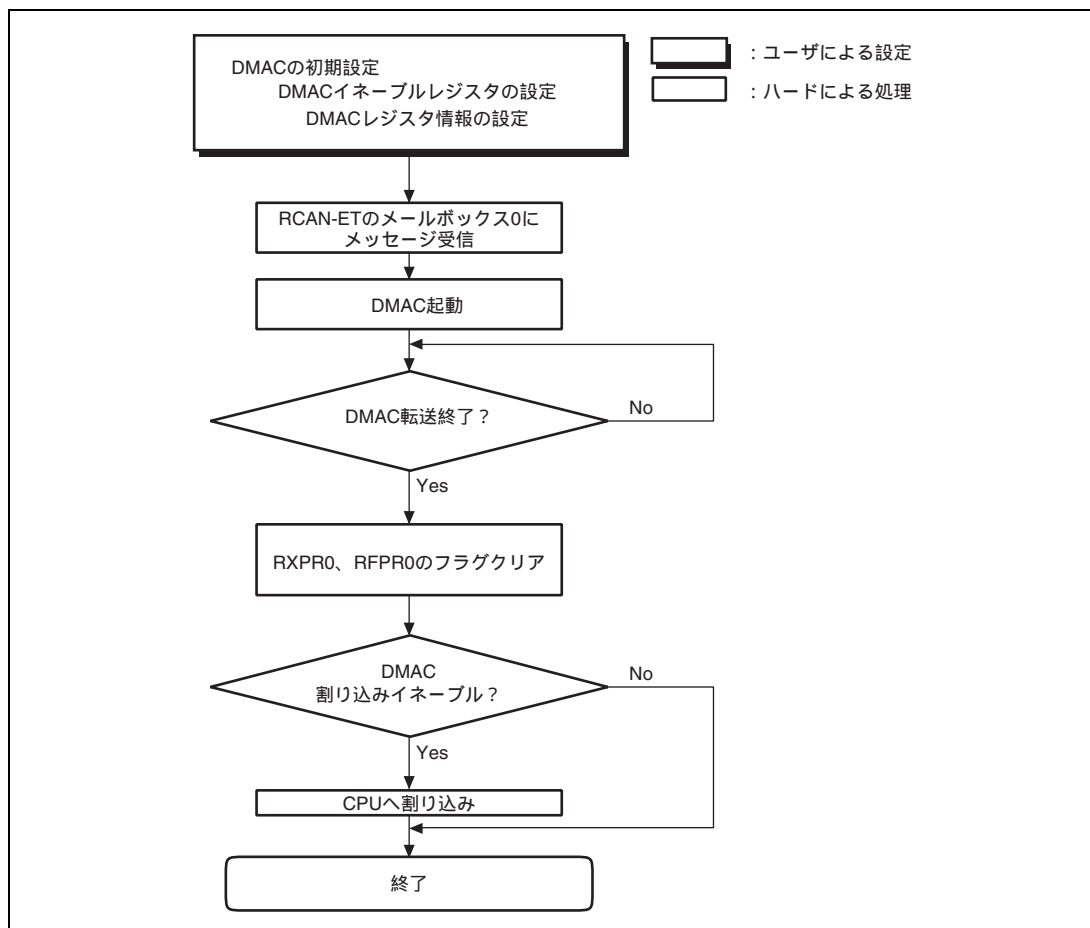


図 26.14 DMAC の転送フローチャート

26.10 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。本 LSI は電源電圧 3V 仕様のため、本 LSI の CRx0 端子と HA13721 の Rxd 端子との間には、レベルシフタ IC をご使用ください。図 26.15 に接続例を示します。

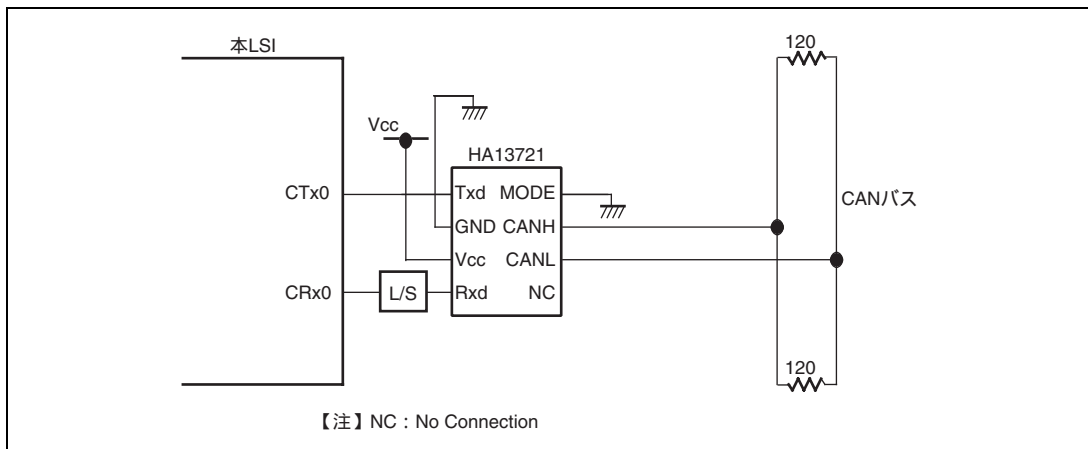


図 26.15 HA13721 を用いたハイスピード CAN インタフェース

26.11 使用上の注意事項

26.11.1 モジュールスタンバイモードの設定

RCAN-ET はスタンバイコントロールレジスタにより、本モジュールの禁止 / 許可を設定することが可能です。初期値では、RCAN-ET の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

26.11.2 リセット

RCAN-ET のリセットにはハードウェアリセットとソフトウェアリセットがあります。

- ハードウェアリセット

パワーオンリセット、モジュールスタンバイ、ディープソフトウェアスタンバイで RCAN-ET は初期化されません。

- ソフトウェアリセット

マスタコントロールレジスタ (MCR) の MCR0 ビットにより、MCR0 ビット以外のレジスタおよび CAN 通信機能が初期化されます。

リセット時にはインタラプトリクエストレジスタ (IRR) の IRR0 ビットが初期化によりセットされますので、リセットシーケンスに示されたコンフィギュレーションモード時にクリアしてください。

メールボックスのメッセージコントロールフィールド 1 (CONTROL1) を除いた領域は RAM で構成されていますので、リセットにより初期化されません。パワーオンリセット後は、リセットシーケンスに示されたコンフィギュレーションモード時にすべてのメールボックスを初期設定してください。

26.11.3 CAN スリープモード

CAN スリープモードでは、主要な部分のクロックをモジュール内部で停止しています。このため、CAN スリープモードで、MCR、GSR、IRR、IMR レジスタ以外へのアクセスはしないでください。

26.11.4 レジスタアクセス

RCAN-ET 内部の CAN 通信機能が CAN バス受信フレームをメールボックスに格納している期間に、メールボックス領域をアクセスすると 0~5 周辺バスサイクル分のウェイトが発生します。

26.11.5 割り込み

メールボックス 0 受信割り込みは、表 26.11 に示したように DTC/DMAC の起動が可能です。メールボックス 0 受信割り込みを起動要因にして DTC/DMAC を行う場合には、DTC はブロック転送モードなどを、DMAC はトランスファカウンタモードなどを利用して、メールボックス 0 のメッセージコントロールフィールド 0 (CONTROL0) からメッセージコントロールフィールド 1 (CONTROL1) までリードしてください。

27. 32kHz タイマ (TIM32C)

本 LSI は、2 チャンネルの 8 ビットタイマと 1 チャンネルの 16 ビットタイマにより構成される TIM32C を内蔵しています。

27.1 特長

- チャンネル0、1に各2本の2相カウンタ入力が可能
- チャンネルごとに4種類のカウンタクロックを選択可能
- チャンネル0、1は2種類の2相カウンタモードで動作し、アップカウント / ダウンカウント発生時に割り込み要求が可能
- チャンネル2はコンペアマッチモードで動作し、コンペアマッチ発生時に割り込み要求が可能
- チャンネル2は最大32秒までカウント可能
- ソフトウェアスタンバイ、ディープソフトウェアスタンバイモードでも動作可能

表 27.1 TIM32C の機能一覧

項目	チャンネル0	チャンネル1	チャンネル2
カウンタクロック	<ul style="list-style-type: none"> • EXTAL32 端子入力クロックの 1/2 • EXTAL32 端子入力クロックの 1/4 • EXTAL32 端子入力クロックの 1/8 • EXTAL32 端子入力クロックの 1/16 	<ul style="list-style-type: none"> • EXTAL32 端子入力クロックの 1/2 • EXTAL32 端子入力クロックの 1/4 • EXTAL32 端子入力クロックの 1/8 • EXTAL32 端子入力クロックの 1/16 	<ul style="list-style-type: none"> • EXTAL32 端子入力クロックの 1/2 • EXTAL32 端子入力クロックの 1/4 • EXTAL32 端子入力クロックの 1/8 • EXTAL32 端子入力クロックの 1/16
カウンタ	8 ビットのアップ / ダウンカウンタ (TI32CNT8_0)	8 ビットのアップ / ダウンカウンタ (TI32CNT8_1)	16 ビットのアップカウンタ (TI32CNT16_2)
コンペアレジスタ	-	-	TI32COR_2
カウンタクリア機能	-	-	<ul style="list-style-type: none"> • TI32CNT16 と TI32COR_2 とのコンペアマッチ • カウンタスタートビット (CST2) のクリア
入力端子	TI32I0A、TI32I0B	TI32I1A、TI32I1B	-
2 相カウント	通常モード / 高速モード	通常モード / 高速モード	-
割り込み要因	2 要因 <ul style="list-style-type: none"> • TI32CNT8_0 のアップカウント • TI32CNT8_0 のダウンカウント 	2 要因 <ul style="list-style-type: none"> • TI32CNT8_1 のアップカウント • TI32CNT8_1 のダウンカウント 	1 要因 <ul style="list-style-type: none"> • TI32CNT16 と TI32COR_2 とのコンペアマッチ

図 27.1 に TIM32C のブロック図を示します。

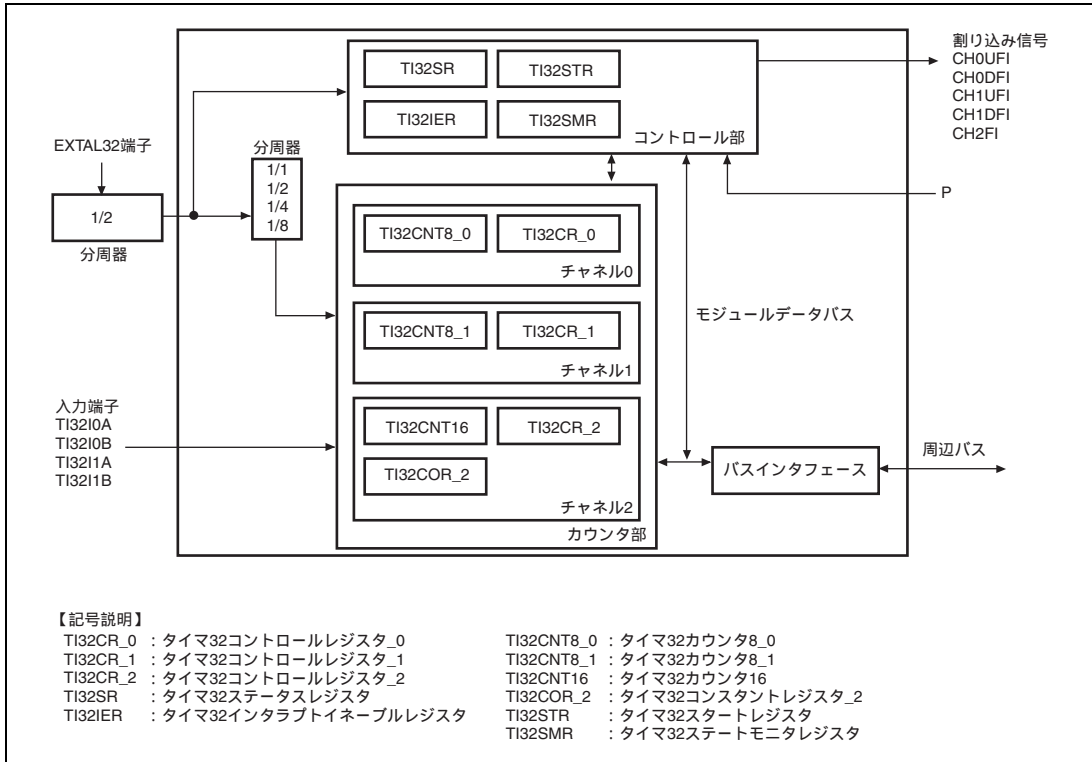


図 27.1 TIM32C のブロック図

27.2 入出力端子

TIM32C の入出力端子を表 27.2 に示します。

表 27.2 端子構成

名称	端子名	入出力	機能
タイマ入力端子	TI32I0A	入力	チャンネル 0 の 2 相カウンタ入力 A
	TI32I0B	入力	チャンネル 0 の 2 相カウンタ入力 B
	TI32I1A	入力	チャンネル 1 の 2 相カウンタ入力 A
	TI32I1B	入力	チャンネル 1 の 2 相カウンタ入力 B

27.3 レジスタの説明

TIM32C のレジスタを表 27.3 に示します。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 27.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
タイマ 32 コントロールレジスタ_0	TI32CR_0	R/W	H'00	H'FFFEC200	8
タイマ 32 コントロールレジスタ_1	TI32CR_1	R/W	H'00	H'FFFEC204	8
タイマ 32 コントロールレジスタ_2	TI32CR_2	R/W	H'00	H'FFFEC208	8
タイマ 32 ステータスレジスタ	TI32SR	R/W	H'00	H'FFFEC20C	8
タイマ 32 インタラプトイネーブルレジスタ	TI32IER	R/W	H'00	H'FFFEC210	8
タイマ 32 カウンタ 8_0	TI32CNT8_0	R/W	H'00	H'FFFEC214	8
タイマ 32 カウンタ 8_1	TI32CNT8_1	R/W	H'00	H'FFFEC218	8
タイマ 32 カウンタ 16	TI32CNT16	R/W	H'0000	H'FFFEC21C	16
タイマ 32 コンスタントレジスタ_2	TI32COR_2	R/W	H'FFFF	H'FFFEC220	16
タイマ 32 スタートレジスタ	TI32STR	R/W	H'00	H'FFFEC224	8
タイマ 32 ステートモニタレジスタ	TI32SMR	R	H'00	H'FFFEC280	8

27.3.1 タイマ 32 コントロールレジスタ_0~2 (TI32CR_0~2)

TI32CR_0~2 は、8 ビットの読み出し / 書き込み可能なレジスタで、動作モードやカウンタクロックなどの設定をします。TI32CR_0~2 は、各チャンネルのタイマカウンタ (TI32CNT8_0、TI32CNT8_1、TI32CNT16) の動作が停止した状態で設定を行ってください。TI32CR_0~2 は $\overline{\text{RES}}$ 端子からのパワーオンリセットでのみ初期化されます。WDT からのパワーオンリセットおよびディープソフトウェアスタンバイ復帰時に発行するパワーオンリセットでは初期化されません。

(1) タイマ 32 コントロールレジスタ_0、1 (TI32CR_0、TI32CR_1)

ビット:	7	6	5	4	3	2	1	0
	MS	-	-	-	-	-	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MS	0	R/W	2相カウンタ動作モードセレクト 2相カウンタ動作モードを選択します。 0: 通常モード 1: 高速モード
6~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	CKS[1:0]	00	R/W	カウンタクロックセレクト TI32CNT8 のカウンタクロックを選択します。 00: EXTERNAL32 端子入力クロックの 1/2 (1 カウンタクロック周期 62.5 μ s) 01: EXTERNAL32 端子入力クロックの 1/4 (1 カウンタクロック周期 125 μ s) 10: EXTERNAL32 端子入力クロックの 1/8 (1 カウンタクロック周期 250 μ s) 11: EXTERNAL32 端子入力クロックの 1/16 (1 カウンタクロック周期 500 μ s)

(2) タイマ 32 コントロールレジスタ_2 (TI32CR_2)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	CCLR	-	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	CCLR	0	R/W	カウンタクリア TI32CNT16 と TI32COR_2 とのコンペアマッチによる TI32CNT16 クリアの禁止 / 許可を設定します。 0 : TI32CNT16 クリアの禁止 1 : TI32CNT16 クリアの許可
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	CKS[1:0]	00	R/W	カウンタクロックセレクト TI32CNT16 のカウンタクロックを選択します。 00 : EXTAL32 端子入力クロックの 1/2 (1 カウンタクロック周期 62.5 μs) 01 : EXTAL32 端子入力クロックの 1/4 (1 カウンタクロック周期 125 μs) 10 : EXTAL32 端子入力クロックの 1/8 (1 カウンタクロック周期 250 μs) 11 : EXTAL32 端子入力クロックの 1/16 (1 カウンタクロック周期 500 μs)

27.3.2 タイマ 32 ステータスレジスタ (TI32SR)

TI32SR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込みフラグのステータスの表示を行います。TI32SR は \overline{RES} 端子からのパワーオンリセットでのみ初期化されます。WDT からのパワーオンリセットおよびディープソフトウェアスタンバイ復帰時に発行するパワーオンリセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	CH2F	-	-	-	CH1UF	CH1DF	CH0UF	CH0DF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
7	CH2F	0	R/(W)*	チャンネル 2 コンペアマッチフラグ TI32CNT16 と TI32COR_2 とのコンペアマッチが発生したことを示します。 0 : TI32CNT16 と TI32COR_2 の値は不一致 [クリア条件] • CH2F=1 の状態で CH2F をリード後、CH2F に 0 をライトしたとき 1 : TI32CNT16 と TI32COR_2 の値は一致 [セット条件] • TI32CNT16 と TI32COR_2 の値が一致したとき
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	CH1UF	0	R/(W)*	チャンネル 1 アップカウントフラグ TI32CNT8_1 にアップカウント条件が発生したことを示します。 0 : TI32CNT8_1 にアップカウント条件が発生していない [クリア条件] • CH1UF=1 の状態で CH1UF をリード後、CH1UF に 0 をライトしたとき 1 : TI32CNT8_1 にアップカウント条件が発生 [セット条件] • TI32CNT8_1 にアップカウント条件が発生したとき
2	CH1DF	0	R/(W)*	チャンネル 1 ダウンカウントフラグ TI32CNT8_1 にダウンカウント条件が発生したことを示します。 0 : TI32CNT8_1 にダウンカウント条件が発生していない [クリア条件] • CH1DF=1 の状態で CH1DF をリード後、CH1DF に 0 をライトしたとき 1 : TI32CNT8_1 にダウンカウント条件が発生 [セット条件] • TI32CNT8_1 にダウンカウント条件が発生したとき

ビット	ビット名	初期値	R/W	説明
1	CH0UF	0	R/(W)*	チャンネル0 アップカウントフラグ TI32CNT8_0 にアップカウント条件が発生したことを示します。 0 : TI32CNT8_0 にアップカウント条件が発生していない [クリア条件] • CH0UF=1 の状態で CH0UF をリード後、CH0UF に 0 をライトしたとき 1 : TI32CNT8_0 にアップカウント条件が発生 [セット条件] • TI32CNT8_0 にアップカウント条件が発生したとき
0	CH0DF	0	R/(W)*	チャンネル0 ダウンカウントフラグ TI32CNT8_0 にダウンカウント条件が発生したことを示します。 0 : TI32CNT8_0 にダウンカウント条件が発生していない [クリア条件] • CH0DF=1 の状態で CH0DF をリード後、CH0DF に 0 をライトしたとき 1 : TI32CNT8_0 にダウンカウント条件が発生 [セット条件] • TI32CNT8_0 にダウンカウント条件が発生したとき

【注】 * フラグをクリアするため、1 を読み出し後に 0 を書き込むことのみ可能です。

27.3.3 タイマ 32 インタラプトイネーブルレジスタ (TI32IER)

TI32IER は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込みの禁止 / 許可を設定します。TI32IER は $\overline{\text{RES}}$ 端子からのパワーオンリセットでのみ初期化されます。WDT からのパワーオンリセットおよびディーブソフトウェアスタンバイ復帰時に発行するパワーオンリセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	CH2IE	-	-	-	CH1UIE	CH1DIE	CH0UIE	CH0DIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CH2IE	0	R/W	チャンネル2 コンペアマッチ割り込みイネーブル TI32CNT16 と TI32COR_2 とのコンペアマッチが発生したとき (CH2F=1)、 チャンネル2 コンペアマッチ割り込み (CH2FI) の発生を許可 / 禁止を選択します。 0 : コンペアマッチ割り込み (CH2FI) を禁止 1 : コンペアマッチ割り込み (CH2FI) を許可
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3	CH1UIE	0	R/W	チャンネル1 アップカウント割り込みイネーブル TI32CNT8_1 にアップカウント条件が発生したとき (CH1UF=1)、チャンネル1 アップカウント割り込み (CH1UFI) の発生を許可/禁止を選択します。 0: アップカウント割り込み (CH1UFI) を禁止 1: アップカウント割り込み (CH1UFI) を許可
2	CH1DIE	0	R/W	チャンネル1 ダウンカウント割り込みイネーブル TI32CNT8_1 にダウンカウント条件が発生したとき (CH1DF=1)、チャンネル1 ダウンカウント割り込み (CH1DFI) の発生を許可/禁止を選択します。 0: ダウンカウント割り込み (CH1DFI) を禁止 1: ダウンカウント割り込み (CH1DFI) を許可
1	CH0UIE	0	R/W	チャンネル0 アップカウント割り込みイネーブル TI32CNT8_0 にアップカウント条件が発生したとき (CH0UF=1)、チャンネル0 アップカウント割り込み (CH0UFI) の発生を許可/禁止を選択します。 0: アップカウント割り込み (CH0UFI) を禁止 1: アップカウント割り込み (CH0UFI) を許可
0	CH0DIE	0	R/W	チャンネル0 ダウンカウント割り込みイネーブル TI32CNT8_0 にダウンカウント条件が発生したとき (CH0DF=1)、チャンネル0 ダウンカウント割り込み (CH0DFI) の発生を許可/禁止を選択します。 0: ダウンカウント割り込み (CH0DFI) を禁止 1: ダウンカウント割り込み (CH0DFI) を許可

27.3.4 タイマ 32 カウンタ 8_0、1 (TI32CNT8_0、TI32CNT8_1)

TI32CNT8_0、TI32CNT8_1 は、8 ビットの読み出し/書き込み可能なアップ/ダウンカウンタです。TIM32C には、TI32CNT8 はチャンネル0 とチャンネル1 にそれぞれ1本あります。TI32CNT8 は \overline{RES} 端子からのパワーオンリセットでのみ初期化されます。WDT からのパワーオンリセットおよびディープソフトウェアスタンバイ復帰時に発生するパワーオンリセットでは初期化されません。TI32CNT8_0、TI32CNT8_1 への書き込みは、カウンタが停止した状態 (TI32STR レジスタの CST0、CST1 ビットが0 にクリアされている状態) で行ってください。

ビット: 7 6 5 4 3 2 1 0
TI32CNT8[7:0]
初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~0	TI32CNT8 [7:0]	すべて0	R/W	8 ビットのアップ/ダウンカウンタ

27.3.5 タイマ 32 カウンタ 16 (TI32CNT16)

TI32CNT16 は、16 ビットの読み出し可能 / 書き込み可能なアップカウンタです。TIM32C には TI32CNT16 がチャンネル 2 に 1 本あります。 \overline{RES} 端子からのパワーオンリセット、TI32COR_2 とのコンペアマッチおよびカウンタスタートビット (CST2) を 0 にクリアしたときに初期化されます。WDT からのパワーオンリセットおよびディープソフトウェアスタンバイ復帰時に発行するパワーオンリセットでは初期化されません。TI32CNT16 への書き込みは、カウンタが停止した状態 (TI32STR レジスタの CST2 ビットが 0 にクリアされている状態) で行ってください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI32CNT16[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TI32CNT16 [15:0]	すべて 0	R/W	16 ビットのアップカウンタ

27.3.6 タイマ 32 スタートレジスタ (TI32STR)

TI32STR は、8 ビットの読み出し / 書き込み可能なレジスタで、カウント動作の禁止 / 許可を選択します。TI32STR は \overline{RES} 端子からのパワーオンリセットでのみ初期化されます。WDT からのパワーオンリセットおよびディープソフトウェアスタンバイ復帰時に発行するパワーオンリセットでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2 TI32CNT16 のカウント動作の禁止 / 許可を選択します。 0 : カウント動作の禁止 1 : カウント動作の許可
1	CST1	0	R/W	カウンタスタート 1 TI32CNT8_1 のカウント動作の禁止 / 許可を選択します。 0 : カウント動作の禁止 1 : カウント動作の許可
0	CST0	0	R/W	カウンタスタート 0 TI32CNT8_0 のカウント動作の禁止 / 許可を選択します。 0 : カウント動作の禁止 1 : カウント動作の許可

27.3.7 タイマ 32 コンスタントレジスタ₂ (TI32COR₂)

TI32COR₂ は、16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 2 に 1 本あります。TI32COR₂ は $\overline{\text{RES}}$ 端子からのパワーオンリセットで H'FFFF に初期化されます。WDT からのパワーオンリセットおよびディープソフトウェアスタンバイ復帰時に発行するパワーオンリセットでは初期化されません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

27.3.8 タイマ 32 ステートモニタレジスタ (TI32SMR)

TI32SMR は、8 ビットの読み出しのみ可能なレジスタで、チャンネル 0 および 1 が 2 相カウント通常モードで動作時、アップカウント条件検出待ちの状態かどうか、ダウンカウント条件検出待ちの状態かどうかを示します。TI32SMR は $\overline{\text{RES}}$ 端子からのパワーオンリセットで H'00 に初期化されます。WDT からのパワーオンリセットおよびディープソフトウェアスタンバイ復帰時に発行するパワーオンリセットでは初期化されません。

ビット: 7 6 5 4 3 2 1 0

UP1	DWN1	UP0	DWN0	-	-	-	-
-----	------	-----	------	---	---	---	---

初期値: 0 0 0 0 0 0 0 0

R/W: R R R R R R R R

ビット	ビット名	初期値	R/W	説明
7	UP1	0	R	チャンネル 1 が 2 相カウント通常モードで動作時、アップカウント条件検出待ちの状態かどうかを示します。高速モードで動作時は常に 0 となります。 0: チャンネル 1 はアップカウント条件検出待ち状態ではない 1: チャンネル 1 はアップカウント条件検出待ち状態
6	DWN1	0	R	チャンネル 1 が 2 相カウント通常モードで動作時、ダウンカウント条件検出待ちの状態かどうかを示します。高速モードで動作時は常に 0 となります。 0: チャンネル 1 はダウンカウント条件検出待ち状態ではない 1: チャンネル 1 はダウンカウント条件検出待ち状態
5	UP0	0	R	チャンネル 0 が 2 相カウント通常モードで動作時、アップカウント条件検出待ちの状態かどうかを示します。高速モードで動作時は常に 0 となります。 0: チャンネル 0 はアップカウント条件検出待ち状態ではない 1: チャンネル 0 はアップカウント条件検出待ち状態
4	DWN0	0	R	チャンネル 0 が 2 相カウント通常モードで動作時、ダウンカウント条件検出待ちの状態かどうかを示します。高速モードで動作時は常に 0 となります。 0: チャンネル 0 はダウンカウント条件検出待ち状態ではない 1: チャンネル 0 はダウンカウント条件検出待ち状態
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.4 動作説明

27.4.1 2相カウンタ動作

チャンネル0およびチャンネル1の設定により、2本の外部入力の位相差を検出して、TI32CNT8_0およびTI32CNT8_1をアップカウント/ダウンカウントします。TI32CNT8_0およびTI32CNT8_1にアップカウント条件が発生すると、TI32SRのCH0UおよびCH1UFに1がセットされ、TI32CNT8_0およびTI32CNT8_1にダウンカウント条件が発生するとTI32SRのCH0DFおよびCH1DFに1がセットされます。このとき対応するTI32ERのイネーブルビットが1の場合、TIM32CはCPUへ割り込み要求を発生します。

(1) 2相カウンタ動作の設定手順

2相カウンタ動作の設定手順を図27.2に示します。

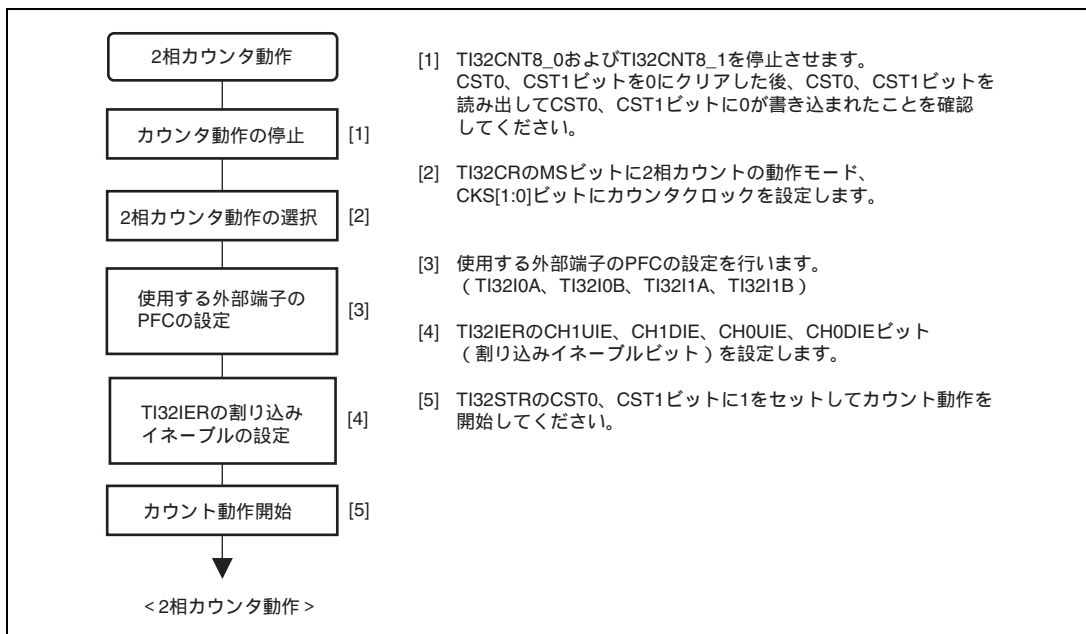


図 27.2 2相カウンタ動作の設定手順例

(2) 2相カウンタの動作例

2相カウンタは TI32CR の MS ビットの設定により、通常モードと高速モードを選択できます。

(a) 2相カウンタ通常モード

2相カウンタ通常モードにおける TI32CNT8 のアップカウントの動作例を図 27.3、ダウンカウントの動作例を図 27.4 に示します。

状態 状態 を検出するとアップカウント条件検出待ち状態になります。アップカウント条件検出待ち状態でアップカウント条件(状態 状態)を検出すると TI32CNT8 はアップカウントを行います。

アップカウント条件検出待ち状態で状態 状態 を検出するとアップカウント条件検出待ち状態を解除し、ダウンカウント条件検出待ち状態となります。

状態 状態 の検出を検出するとダウンカウント条件検出待ち状態になります。ダウンカウント条件検出待ち状態でダウンカウント条件(状態 状態)を検出すると TI32CNT8 はダウンカウントを行います。

ダウンカウント条件検出待ち状態中に状態 状態 を検出するとダウンカウント条件検出待ち状態を解除し、アップカウント条件検出待ち状態となります。

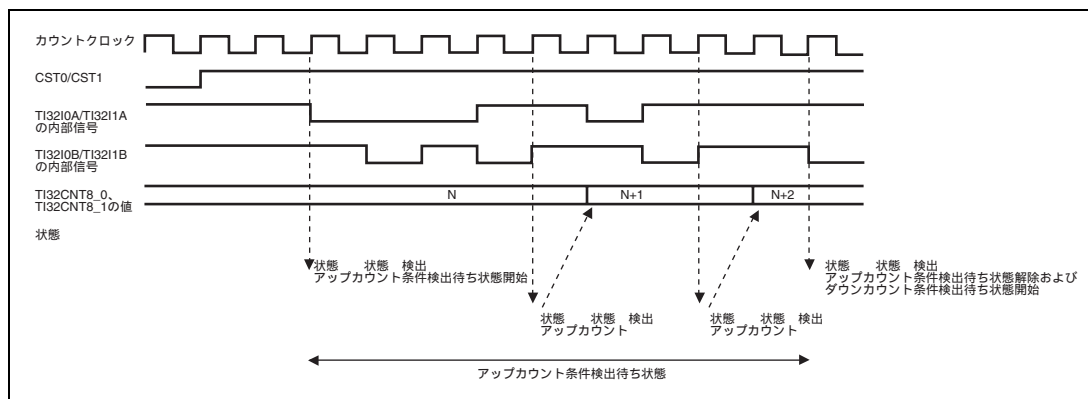


図 27.3 2相カウンタ通常モードにおける TI32CNT8 のアップカウント動作例

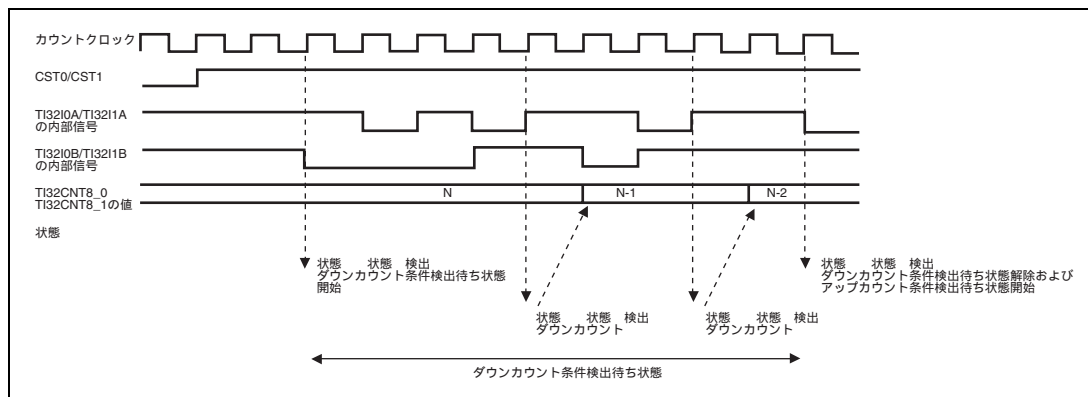


図 27.4 2相カウンタ通常モードにおける TI32CNT8 のダウンカウント動作例

(b) 2相カウンタ高速モード

2相カウンタ高速モードにおける TI32CNT8 のアップカウント / ダウンカウントの条件を表 27.4 に示します。またカウントの動作例を図 27.5 に示します。

表 27.4 アップカウントおよびダウンカウントの条件

	TI32I0A および TI32I1A 入力端子		TI32I0B および TI32I1B 入力端子			TI32I0A および TI32I1A 入力端子		TI32I0B および TI32I1B 入力端子	
	アップカウント	ロ-レベル	立ち上がり	立ち下がり		ダウンカウント	ロ-レベル	立ち上がり	立ち下がり
	ハイレベル	立ち下がり	立ち下がり	立ち上がり		ハイレベル	立ち上がり	立ち上がり	立ち下がり
	ロ-レベル	立ち上がり	立ち上がり	立ち下がり		ロ-レベル	立ち下がり	立ち下がり	立ち上がり
	立ち上がり	ハイレベル	立ち下がり	立ち下がり		立ち上がり	ロ-レベル	立ち上がり	ロ-レベル
	立ち下がり	ロ-レベル	立ち下がり	立ち上がり		立ち下がり	立ち上がり	立ち下がり	ハイレベル

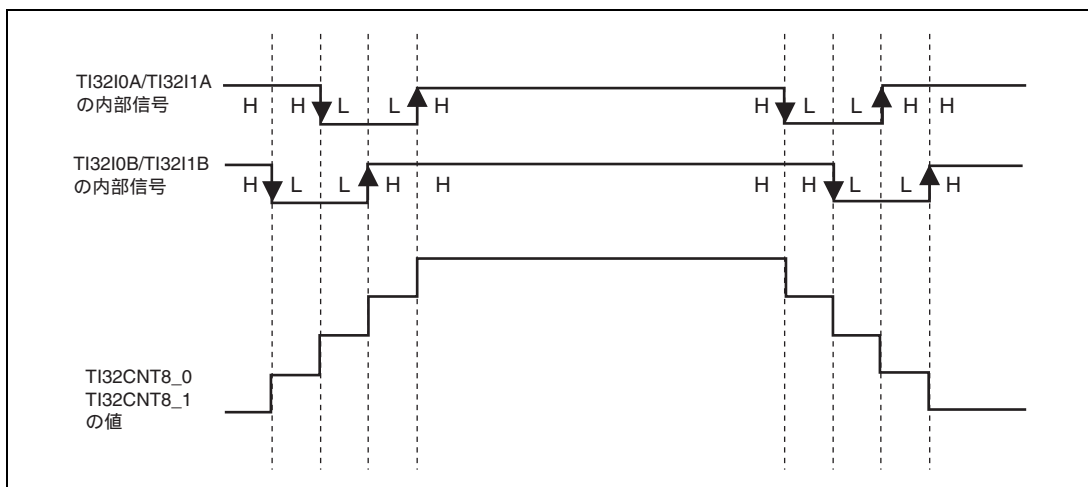


図 27.5 2相カウンタ高速モードにおける TI32CNT8 のカウント動作例

27.4.2 コンペアマッチ動作

チャンネル2はコンペアマッチタイマとして動作します。カウンタクロックがTI32CR_2のCKS1、CKS0により選択され、TI32STRのCST2が1にセットされるとTI32CNT16は選択されたクロックによりカウントアップします。TI32CNT16の値がTI32COR_2の値と一致すると、TI32SRのCH2Fが1にセットされます。このとき、TI32CR_2のCCLRが1に設定されているとTI32CNT16はH'0000にクリアされ、TI32IERのCH2IEが1に設定されているとCH2FI割り込みを発生させます。TI32CNT16はH'0000からカウントアップを再開します。

図 27.6 にコンペアマッチ動作の設定手順、図 27.7 にコンペアマッチ動作例を示します。

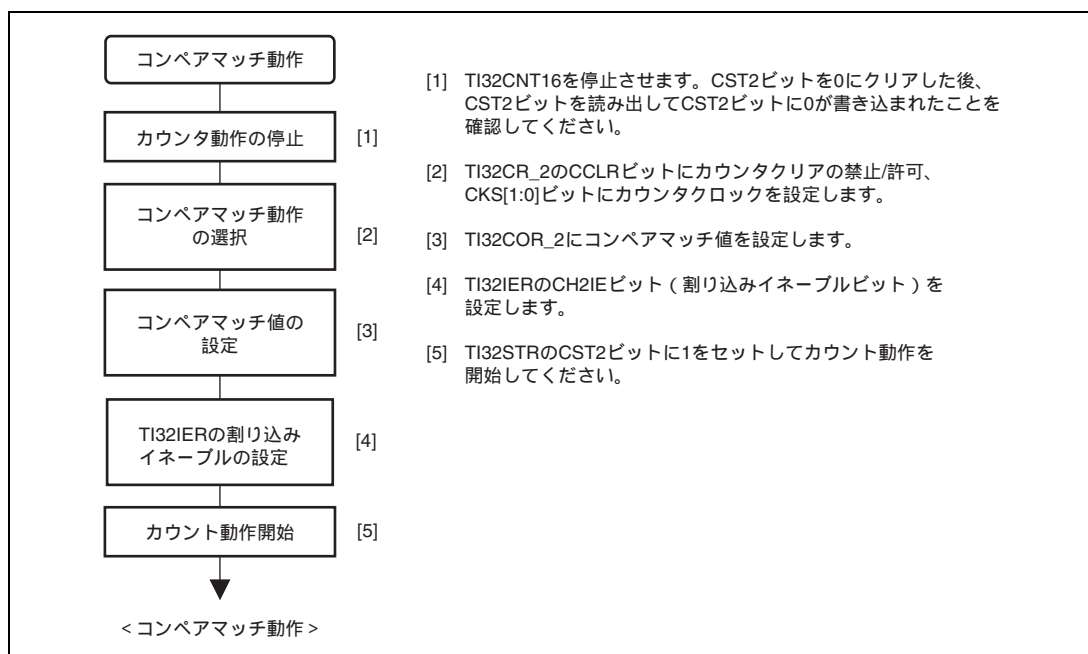


図 27.6 コンペアマッチ動作の設定手順

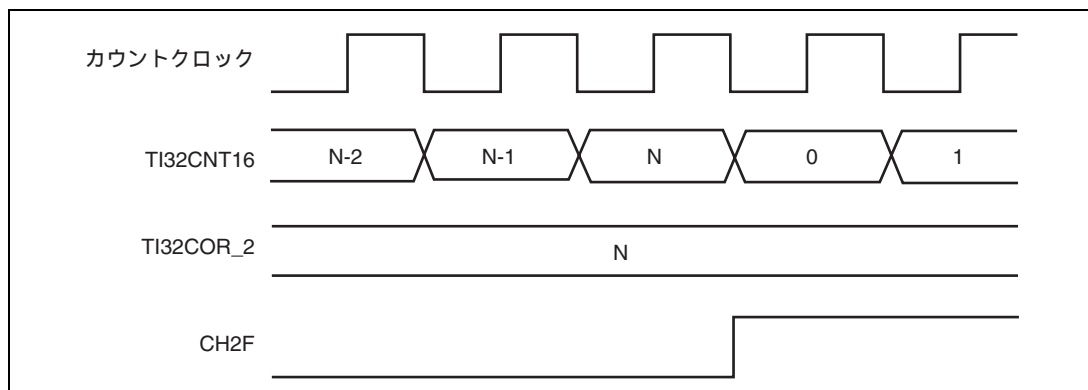


図 27.7 コンペアマッチ動作例 (CCLR = 1 のとき)

27.5 割り込み要因

TIM32C は、チャンネル0 ダウンカウント割り込み(CH0DFI)要求、チャンネル0 アップカウント割り込み(CH0UFI)要求、チャンネル1 ダウンカウント割り込み(CH1DFI)要求、チャンネル1 アップカウント割り込み(CH1UFI)要求、チャンネル2 コンペアマッチ割り込み(CH2FI)要求の5種類の割り込み要因を持っています。

表 27.5 に各割り込み要因と優先順位を示します。各割り込み要因は、TI32IER のCH0DIE、CH0UIE、CH1DIE、CH1UIE、CH2IE ビットで許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントロールに送られます。

また、ソフトウェアスタンバイ状態において、TIM32C 割り込みによりソフトウェアスタンバイ状態が解除されたとき、スタンバイインタラプトフラグレジスタ(SIFR)のSSRF ビットが1にセットされます。

表 27.5 TIM32C 割り込み要因

割り込み要因	内 容	割り込み許可ビット	優先順位
CH0DFI	チャンネル0 ダウンカウント割り込み (CH0DFI)	CH0DIE	高   低
CH0UFI	チャンネル0 アップカウント割り込み (CH0UFI)	CH0UIE	
CH1DFI	チャンネル1 ダウンカウント割り込み (CH1DFI)	CH1DIE	
CH1UFI	チャンネル1 アップカウント割り込み (CH1UFI)	CH1UIE	
CH2FI	チャンネル2 コンペアマッチ割り込み (CH2FI)	CH2IE	

27.6 使用上の注意事項

27.6.1 モジュールスタンバイモードの設定

TIM32C は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、TIM32C および TIM32C で使用する 32kHz クロック発振器の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスおよび動作が可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

32kHz の水晶発振子を使用する場合、モジュールスタンバイモードを解除後、EXTAL32 クロック発振安定時間 (t_{OSC32}) を確保してから TIM32C のレジスタをアクセスしてください。EXTAL32 クロック発振安定時間 (t_{OSC32}) が確保されないと TIM32C のレジスタアクセスが正常に行われません。詳細は「第 35 章 電気的特性」の図 35.10 を参照してください。

27.6.2 カウンタ動作再開時の注意事項

カウンタ動作を中断後にカウンタ動作を再開する場合は、TI32STR の CST0 ~ CST2 ビットをクリアした後、TI32STR の CST0 ~ CST2 ビットを読み出して、TI32STR の CST0 ~ CST2 ビットに 0 が書き込まれたことを確認してから、再開処理を行ってください。

27.6.3 レジスタ書き込み時の注意事項

レジスタに書き込んだ値は、TIM32C 動作クロック (EXTAL32 入力を 2 分周したクロック) で同期化された後に、実際の動作に反映されます。このため、同じレジスタに対して連続書き込みを行う場合には、TIM32C 動作クロックで 1 サイクル以上待った後に次の書き込みを行うか、レジスタを読み出して所望の値が書き込まれたことを確認してから次の書き込みを行ってください。

27.6.4 カウンタ書き込み時の注意事項

カウンタ (TI32CNT8_0、TI32CNT8_1、TI32CNT16) への書き込みは、カウンタが停止した状態 (TI32STR の CST0 ~ CST2 ビットが 0 にクリアされている状態) で行ってください。

28. キースキャンコントローラ (KEYC)

本 LSI はキースキャンコントローラ (KEYC) を内蔵しています。

28.1 特長

- キー入力は最大32本で下記の組み合わせを選択可能です。

キー入力32本

キー入力24本かつキーマトリクス入出力 各4本

キー入力16本かつキーマトリクス入出力 各8本

- 1種類の割り込み要因

キー入力およびキーマトリクス入力の値が前回取り込んだ値と異なるとき、割り込み要求が発生することができます。また、本割り込み要求でソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除することが可能です。

- 間欠プルアップ機能

キー入力端子およびキーマトリクス入力端子にプルアップMOSを内蔵しており、間欠プルアップの周期と期間が選択可能です。また、キーマトリクス出力のローレベル出力期間を選択可能です。

プルアップ期間終了時に、キー入力およびキーマトリクス入力の値をデータレジスタに取り込みます。

- モジュールスタンバイモードを設定可能です。

図 28.1 に KEYC のブロック図を示します。

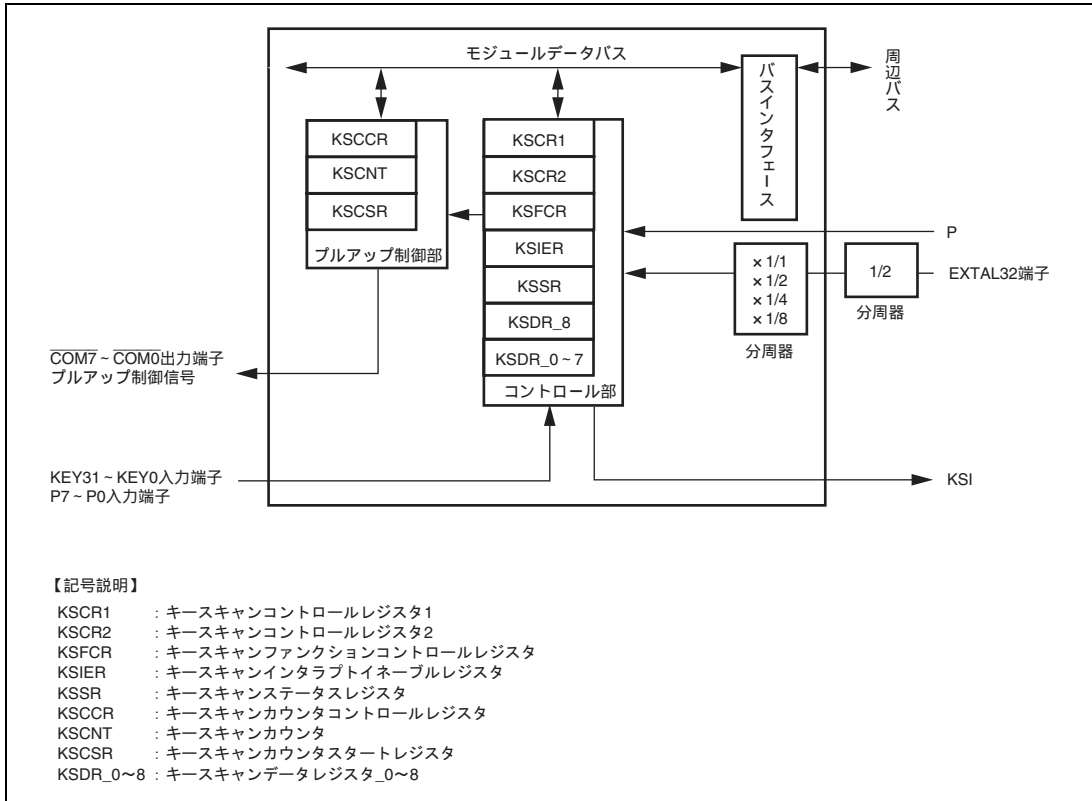


図 28.1 KEYC のブロック図

28.2 入出力端子

KEYC の入出力端子を表 28.1 に、端子機能一覧を表 28.2 に示します。

表 28.1 端子構成

端子名	入出力	機能
KEY31 ~ KEY0	入力	キー入力端子
P7 ~ P0	入力	キーマトリクス入力端子
COM7 ~ COM0	出力	キーマトリクス出力端子

表 28.2 端子機能一覧

初期機能	KSCR1 の KMS ビットが 0 のとき 設定可能な機能	KSCR1 の KMS ビットが 1 のとき 設定可能な機能
KEY31	KEY31 / P3	KEY31 / P7
KEY30	KEY30 / P2	KEY30 / P6
KEY29	KEY29 / P1	KEY29 / P5
KEY28	KEY28 / P0	KEY28 / P4
KEY27	KEY27 / COM3	KEY27 / P3
KEY26	KEY26 / COM2	KEY26 / P2
KEY25	KEY25 / COM1	KEY25 / P1
KEY24	KEY24 / COM0	KEY24 / P0
KEY23	KEY23	KEY23 / COM7
KEY22	KEY22	KEY22 / COM6
KEY21	KEY21	KEY21 / COM5
KEY20	KEY20	KEY20 / COM4
KEY19	KEY19	KEY19 / COM3
KEY18	KEY18	KEY18 / COM2
KEY17	KEY17	KEY17 / COM1
KEY16	KEY16	KEY16 / COM0
KEY15	KEY15	KEY15
KEY14	KEY14	KEY14
KEY13	KEY13	KEY13
KEY12	KEY12	KEY12
KEY11	KEY11	KEY11
KEY10	KEY10	KEY10
KEY9	KEY9	KEY9
KEY8	KEY8	KEY8
KEY7	KEY7	KEY7
KEY6	KEY6	KEY6

初期機能	KSCR1 の KMS ビットが 0 のとき 設定可能な機能	KSCR1 の KMS ビットが 1 のとき 設定可能な機能
KEY5	KEY5	KEY5
KEY4	KEY4	KEY4
KEY3	KEY3	KEY3
KEY2	KEY2	KEY2
KEY1	KEY1	KEY1
KEY0	KEY0	KEY0

28.3 レジスタの説明

表 28.3 に KEYC のレジスタ構成を示します。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 28.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
キースキャンコントロールレジスタ 1	KSCR1	R/W	H'0000	H'FFFEC300	16
キースキャンコントロールレジスタ 2	KSCR2	R/W	H'0000	H'FFFEC302	16
キースキャンファンクションコントロールレジスタ	KSFCR	R/W	H'00	H'FFFEC304	8
キースキャンデータレジスタ_0	KSDR_0	R	H'FF	H'FFFEC310	8
キースキャンデータレジスタ_1	KSDR_1	R	H'FF	H'FFFEC311	8
キースキャンデータレジスタ_2	KSDR_2	R	H'FF	H'FFFEC312	8
キースキャンデータレジスタ_3	KSDR_3	R	H'FF	H'FFFEC313	8
キースキャンデータレジスタ_4	KSDR_4	R	H'FF	H'FFFEC314	8
キースキャンデータレジスタ_5	KSDR_5	R	H'FF	H'FFFEC315	8
キースキャンデータレジスタ_6	KSDR_6	R	H'FF	H'FFFEC316	8
キースキャンデータレジスタ_7	KSDR_7	R	H'FF	H'FFFEC317	8
キースキャンデータレジスタ_8	KSDR_8	R	H'FFFF	H'FFFEC318	16
キースキャンインタラプトイネーブルレジスタ	KSIER	R/W	H'00	H'FFFEC320	8
キースキャンステータスレジスタ	KSSR	R/W	H'00	H'FFFEC322	8
キースキャンカウンタコントロールレジスタ	KSCCR	R/W	H'00	H'FFFEC324	8
キースキャンカウンタ	KSCNT	R	H'00	H'FFFEC326	8
キースキャンカウンタスタートレジスタ	KSCSR	R/W	H'00	H'FFFEC328	8

28.3.1 キースキャンコントロールレジスタ 1、2 (KSCR1、KSCR2)

KSCR1、KSCR2 は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。KSCR1 は、キーマトリクス本数の選択、キースキャンデータレジスタ₀~8 (KSDR₀~8) のリセット、KEY31~KEY16 端子のキー入力およびキーマトリクス入出力の禁止 / 許可の設定をします。KSCR2 は、KEY15~KEY0 端子のキー入力の禁止 / 許可の設定をします。

KSCR1、KSCR2 は、 $\overline{\text{RES}}$ 端子からのパワーオンリセットおよびモジュールスタンバイモードで H'0000 に初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

(1) キースキャンコントロールレジスタ 1 (KSCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRRST	-	-	-	-	-	-	-	-	-	-	-	-	KMS	KSE17	KSE16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DRRST	0	R/W	キースキャンデータレジスタリセット キースキャンデータレジスタ ₀ ~8 (KSDR ₀ ~8) を初期化します。 キースキャン動作中は本ビットを 0 にしてください。 0: キースキャンデータレジスタ ₀ ~8 (KSDR ₀ ~8) を初期化しない 1: キースキャンデータレジスタ ₀ ~8 (KSDR ₀ ~8) を初期化する 【注】 $\overline{\text{RES}}$ 端子からのパワーオンリセット時には本ビットの設定に関わらずキースキャンデータレジスタ ₀ ~8 (KSDR ₀ ~8) は初期化されます。
14~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	KMS	0	R/W	キーマトリクス入出力端子選択 キーマトリクス入出力端子を設定します。 0: マトリクス 4×4 を設定 (出力: $\overline{\text{COM3}}$ ~ $\overline{\text{COM0}}$ 、入力: P3~P0) 1: マトリクス 8×8 を設定 (出力: $\overline{\text{COM7}}$ ~ $\overline{\text{COM0}}$ 、入力: P7~P0) 【注】KSCSR の CST ビットが 0 のときに書き換えを行ってください。
1	KSE17	0	R/W	キースキャン入出力イネーブル 17 KEY31~KEY24 端子のキー入力またはキーマトリクス入出力の禁止 / 許可を設定します。 0: キー入力またはキーマトリクス入出力の禁止* 1: キー入力またはキーマトリクス入出力の許可
0	KSE16	0	R/W	キースキャン入出力イネーブル 16 KEY23~KEY16 端子のキー入力またはキーマトリクス出力の禁止 / 許可を設定します。 0: キー入力またはキーマトリクス出力の禁止* 1: キー入力またはキーマトリクス出力の許可

【注】 * KSE ビットが 0 のとき、各ビットに対応するキー入力およびキーマトリクス入力端子の読み取り値は常に 1 となります。また、各ビットに対応するキーマトリクス出力からはスキャン出力が行われません。各ビットに対応するキー入力およびキーマトリクス入力端子の間欠プルアップは無効となります。

(2) キースキャンコントロールレジスタ 2 (KSCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KSE15	KSE14	KSE13	KSE12	KSE11	KSE10	KSE9	KSE8	KSE7	KSE6	KSE5	KSE4	KSE3	KSE2	KSE1	KSE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	KSE15	0	R/W	キースキャン入出力イネーブル 15 KEY15 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可
14	KSE14	0	R/W	キースキャン入出力イネーブル 14 KEY14 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可
13	KSE13	0	R/W	キースキャン入出力イネーブル 13 KEY13 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可
12	KSE12	0	R/W	キースキャン入出力イネーブル 12 KEY12 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可
11	KSE11	0	R/W	キースキャン入出力イネーブル 11 KEY11 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可
10	KSE10	0	R/W	キースキャン入出力イネーブル 10 KEY10 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可
9	KSE9	0	R/W	キースキャン入出力イネーブル 9 KEY9 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可
8	KSE8	0	R/W	キースキャン入出力イネーブル 8 KEY8 端子のキー入力の禁止 / 許可を設定します。 0: キー入力の禁止* 1: キー入力の許可

ビット	ビット名	初期値	R/W	説明
7	KSE7	0	R/W	キースキャン入出力イネーブル 7 KEY7 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可
6	KSE6	0	R/W	キースキャン入出力イネーブル 6 KEY6 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可
5	KSE5	0	R/W	キースキャン入出力イネーブル 5 KEY5 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可
4	KSE4	0	R/W	キースキャン入出力イネーブル 4 KEY4 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可
3	KSE3	0	R/W	キースキャン入出力イネーブル 3 KEY3 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可
2	KSE2	0	R/W	キースキャン入出力イネーブル 2 KEY2 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可
1	KSE1	0	R/W	キースキャン入出力イネーブル 1 KEY1 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可
0	KSE0	0	R/W	キースキャン入出力イネーブル 0 KEY0 端子のキー入力の禁止 / 許可を設定します。 0 : キー入力の禁止* 1 : キー入力の許可

【注】 * KSE ビットが 0 のとき、各ビットに対応するキー入力端子の読み取り値は常に 1 となります。また、各ビットに対応するキー入力端子の間欠プルアップは無効となります。

28.3.2 キースキャンファンクションコントロールレジスタ (KSFCR)

KSFCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、キー入力とキーマトリクス入出力の選択をします。KSFCR は、 \overline{RES} 端子からのパワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

KSFCR レジスタは、KSCSR レジスタの CST ビットが 0 のときに書き換えを行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	KSFCR2	KSFCR1	KSFCR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	KSFCR2	0	R/W	キースキャン入出力コントロール 2 KEY31 ~ KEY28 端子の機能を選択します。詳細は表 28.4 を参照してください。 0: キー入力 1: キーマトリクス入力
1	KSFCR1	0	R/W	キースキャン入出力コントロール 1 KEY27 ~ KEY24 端子の機能を選択します。詳細は表 28.4 を参照してください。 0: キー入力 1: キーマトリクス入力またはキーマトリクス出力*
0	KSFCR0	0	R/W	キースキャン入出力コントロール 0 KEY23 ~ KEY16 端子の機能を選択します。詳細は表 28.4 を参照してください。 0: キー入力 1: キーマトリクス出力

【注】 * KSCSR1 の KMS ビットが 0 のときキーマトリクス出力
KSCSR1 の KMS ビットが 1 のときキーマトリクス入力

表 28.4 KEY16~KEY31 端子の設定例

項 目		キー入力時	4×4 キーマトリクス 入出力時	8×8 キーマトリクス 入出力時	
レジスタ設定	KSFCR レジスタ	KSFCR2 ビット	0	1	1
		KSFCR1 ビット	0	1	1
		KSFCR0 ビット	0	0	1
	KSCR1 レジスタ	KMS ビット	- (設定無効)	0	1
		KSE17 ビット	1	1	1
		KSE16 ビット	1	1	1
選択される 端子機能	KEY31/P3/P7 端子		KEY31 入力	P3 入力	P7 入力
	KEY30/P2/P6 端子		KEY30 入力	P2 入力	P6 入力
	KEY29/P1/P5 端子		KEY29 入力	P1 入力	P5 入力
	KEY28/P0/P4 端子		KEY28 入力	P0 入力	P4 入力
	KEY27/ $\overline{\text{COM3}}$ /P3 端子		KEY27 入力	$\overline{\text{COM3}}$ 出力	P3 入力
	KEY26/ $\overline{\text{COM2}}$ /P2 端子		KEY26 入力	$\overline{\text{COM2}}$ 出力	P2 入力
	KEY25/ $\overline{\text{COM1}}$ /P1 端子		KEY25 入力	$\overline{\text{COM1}}$ 出力	P1 入力
	KEY24/ $\overline{\text{COM0}}$ /P0 端子		KEY24 入力	$\overline{\text{COM0}}$ 出力	P0 入力
	KEY23/ $\overline{\text{COM7}}$ 端子		KEY23 入力	KEY23 入力	$\overline{\text{COM7}}$ 出力
	KEY22/ $\overline{\text{COM6}}$ 端子		KEY22 入力	KEY22 入力	$\overline{\text{COM6}}$ 出力
	KEY21/ $\overline{\text{COM5}}$ 端子		KEY21 入力	KEY21 入力	$\overline{\text{COM5}}$ 出力
	KEY20/ $\overline{\text{COM4}}$ 端子		KEY20 入力	KEY20 入力	$\overline{\text{COM4}}$ 出力
	KEY19/ $\overline{\text{COM3}}$ 端子		KEY19 入力	KEY19 入力	$\overline{\text{COM3}}$ 出力
	KEY18/ $\overline{\text{COM2}}$ 端子		KEY18 入力	KEY18 入力	$\overline{\text{COM2}}$ 出力
	KEY17/ $\overline{\text{COM1}}$ 端子		KEY17 入力	KEY17 入力	$\overline{\text{COM1}}$ 出力
	KEY16/ $\overline{\text{COM0}}$ 端子		KEY16 入力	KEY16 入力	$\overline{\text{COM0}}$ 出力

28.3.3 キースキャンデータレジスタ_0~8 (KSDR_0~8)

KSDR_8 は 16 ビット、KSDR_0~7 は 8 ビットの読み出し可能なレジスタです。

キースキャンファンクションコントロールレジスタ (KSFCCR) でキー入力を選択した場合、プルアップ期間終了時に KEY15~KEY0 端子の値を KSDR_8 に、KEY23~KEY16 端子の値を KSDR_7 に、KEY31~KEY24 端子の値を KSDR_6 に取り込みます。

KSFCCR でキーマトリクスを選択した場合、プルアップ期間終了時にキーマトリクス入力端子の値を KSDR_0~7 に取り込みます。KSDR_0~7 は表 28.5 に示すようにキースキャンコントロールレジスタ 1 (KSCR1) の KMS ビットの設定で機能が異なります。

KSDR_0~8 は、 $\overline{\text{RES}}$ 端子からのパワーオンリセットおよびモジュールスタンバイモードで初期化されます。デバッグソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

(1) キースキャンデータレジスタ_8 (KSDR_8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KSDR15	KSDR14	KSDR13	KSDR12	KSDR11	KSDR10	KSDR9	KSDR8	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	KSDR15	1	R	プルアップ期間終了時に KEY15~KEY0 端子の値を取り込みます。 詳細は表 28.5 を参照してください。
14	KSDR14	1	R	
13	KSDR13	1	R	
12	KSDR12	1	R	
11	KSDR11	1	R	
10	KSDR10	1	R	
9	KSDR9	1	R	
8	KSDR8	1	R	
7	KSDR7	1	R	
6	KSDR6	1	R	
5	KSDR5	1	R	
4	KSDR4	1	R	
3	KSDR3	1	R	
2	KSDR2	1	R	
1	KSDR1	1	R	
0	KSDR0	1	R	

(2) キースキャンデータレジスタ_0~7 (KSDR_0~7)

ビット:	7	6	5	4	3	2	1	0
	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	KSDR7	1	R	詳細は表 28.5 を参照してください。
6	KSDR6	1	R	
5	KSDR5	1	R	
4	KSDR4	1	R	
3	KSDR3	1	R	
2	KSDR2	1	R	
1	KSDR1	1	R	
0	KSDR0	1	R	

表 28.5 KSDR_0~8 の機能割り当て

KSDR の対応	KEY31 ~ KEY16 が キー入力するとき	KSCR1 の KMS ビットが 0 のとき (キーマトリクス入力: P3~P0、 キーマトリクス出力: COM3~COM0)*	KSCR1 の KMS ビットが 1 のとき (キーマトリクス入力: P7~P0、 キーマトリクス出力: COM7~COM0)
KSDR_0	未使用	キーマトリクス 0 出力の読み取り結果	キーマトリクス 0 出力の読み取り結果
KSDR_1	未使用	キーマトリクス 1 出力の読み取り結果	キーマトリクス 1 出力の読み取り結果
KSDR_2	未使用	キーマトリクス 2 出力の読み取り結果	キーマトリクス 2 出力の読み取り結果
KSDR_3	未使用	キーマトリクス 3 出力の読み取り結果	キーマトリクス 3 出力の読み取り結果
KSDR_4	未使用	未使用	キーマトリクス 4 出力の読み取り結果
KSDR_5	未使用	未使用	キーマトリクス 5 出力の読み取り結果
KSDR_6	キー入力[31:24]の読み取り結果	未使用	キーマトリクス 6 出力の読み取り結果
KSDR_7	キー入力[23:16]の読み取り結果	キー入力[23:16]の読み取り結果	キーマトリクス 7 出力の読み取り結果
KSDR_8	キー入力[15:0]の読み取り結果	キー入力[15:0]の読み取り結果	キー入力[15:0]の読み取り結果

【注】 * キーマトリクス出力の読み取り結果を下位 4 ビットに格納します。上位 4 ビットには 1 が格納されます。

28.3.4 キースキャンインタラプトイネーブルレジスタ (KSIER)

KSIER は、読み出し / 書き込み可能な 8 ビットのレジスタで、キースキャン割り込みの禁止 / 許可を選択をします。KSIER は、 $\overline{\text{RES}}$ 端子からのパワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	KSIE2	KSIE1	KSIE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	KSIE2	0	R/W	キースキャンインタラプトイネーブル 2 KSSR の KSF2 ビットに 1 がセットされたとき、キースキャン割り込み要求 (KSI) を行うかどうかを指定します。 0 : KSI 割り込み要求を禁止 1 : KSI 割り込み要求を許可
1	KSIE1	0	R/W	キースキャンインタラプトイネーブル 1 KSSR の KSF1 ビットに 1 がセットされたとき、キースキャン割り込み要求 (KSI) を行うかどうかを指定します。 0 : KSI 割り込み要求を禁止 1 : KSI 割り込み要求を許可
0	KSIE0	0	R/W	キースキャンインタラプトイネーブル 0 KSSR の KSF0 ビットに 1 がセットされたとき、キースキャン割り込み要求 (KSI) を行うかどうかを指定します。 0 : KSI 割り込み要求を禁止 1 : KSI 割り込み要求を許可

28.3.5 キースキャンステータスレジスタ (KSSR)

KSSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、割り込みステータスを表示します。

KSSR は、RES 端子からのパワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	KSF2	KSF1	KSF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1読み出し後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	KSF2	0	R/(W)*	キースキャンフラグビット 2 KEY31 ~ KEY24 端子からキースキャン割り込み要因が入力されたことを示すフラグです。 0 : KEY31 ~ KEY24 端子からキースキャン割り込み要因が入力されていない [クリア条件] • KSF2=1 の状態を読み出し後、0 を書き込んだとき 1 : KEY31 ~ KEY24 端子からキースキャン割り込み要因が入力された [セット条件] • KEY31 ~ KEY24 端子がキー入力として機能している場合、KSDR_6 に取り込んだ値が前回取り込んだ値と異なるとき • KEY31 ~ KEY24 端子がキーマトリクス (4×4) として機能している場合、KSDR_0 ~ 3 に取り込んだ値が前回取り込んだ値と異なるとき • KEY31 ~ KEY24 端子がキーマトリクス (8×8) として機能している場合、KSDR_0 ~ 7 に取り込んだ値が前回取り込んだ値と異なるとき
1	KSF1	0	R/(W)*	キースキャンフラグビット 1 KEY23 ~ KEY16 端子からキースキャン割り込み要因が入力されたことを示すフラグです。 0 : KEY23 ~ KEY16 端子からキースキャン割り込み要因が入力されていない [クリア条件] • KSF1=1 の状態を読み出し後、0 を書き込んだとき 1 : KEY23 ~ KEY16 端子からキースキャン割り込み要因が入力された [セット条件] • KEY23 ~ KEY16 端子がキー入力として機能している場合、KSDR_7 に取り込んだ値が前回取り込んだ値と異なるとき

ビット	ビット名	初期値	R/W	説明
0	KSF0	0	R/(W)*	<p>キースキャンフラグビット 0</p> <p>KEY15 ~ KEY0 端子からキースキャン割り込み要因が入力されたことを示すフラグです。</p> <p>0 : KEY15 ~ KEY0 端子からキースキャン割り込み要因が入力されていない [クリア条件]</p> <ul style="list-style-type: none"> • KSF0=1 の状態を読み出し後、0 を書き込んだとき <p>1 : KEY15 ~ KEY0 端子からキースキャン割り込み要因が入力された [セット条件]</p> <ul style="list-style-type: none"> • KEY15 ~ KEY0 端子がキー入力として機能している場合、KSDR_8 に取り込んだ値が前回取り込んだ値と異なるとき

【注】 * フラグをクリアするため、1 読み出し後に 0 を書き込むことのみ可能です。

28.3.6 キースキャンカウンタコントロールレジスタ (KSCCR)

KSCCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、キーマトリクス出力端子のローレベル出力期間の選択、キー入力端子およびキーマトリクス入力端子用内蔵プルアップ MOS の間欠プルアップの周期と期間の選択、キースキャンカウンタ (KSCNT) のカウンタクロックを選択します。

KSCCR は、 \overline{RES} 端子からのパワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。KSCCR レジスタは、KSCSR レジスタの CST ビットが 0 のときに書き換えを行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	-	KSOC	KSPC	-	-	CKS[1:0]	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	KSOC	0	R/W	キースキャンアウトプットコントロール キーマトリクス出力端子のローレベル出力期間を選択します。詳細は「28.5 キー入力およびキーマトリクス入の間欠プルアップ時間とキーマトリクス出力のローレベル出力時間の設定」を参照してください。 0 : 間欠プルアップの期間と同じ期間ローレベルを出力 1 : 間欠プルアップの周期と同じ期間ローレベルを出力
4	KSPC	0	R/W	キースキャンプルアップコントロール CKS[1:0] ビットとあわせて、キー入力端子およびキーマトリクス入力端子用内蔵プルアップ MOS の間欠プルアップの周期と期間を選択します。詳細は「28.5 キー入力およびキーマトリクス入の間欠プルアップ時間とキーマトリクス出力のローレベル出力時間の設定」を参照してください。 【注】 KSCR1 および KSCR2 の KSE ビットが 0 のとき、各ビットに対応するキー入力およびキーマトリクス入力端子の間欠プルアップは無効となります。
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	CKS[1:0]	00	R/W	カウンタクロックセレクト 1、0 KSCNT のカウンタクロックを選択します。 00 : EXTERNAL32 端子入力クロックの 1/2 01 : EXTERNAL32 端子入力クロックの 1/4 10 : EXTERNAL32 端子入力クロックの 1/8 11 : EXTERNAL32 端子入力クロックの 1/16

28.3.7 キースキャンカウンタ (KSCNT)

KSCNT は、読み出しのみ可能な 8 ビットのレジスタで、キースキャンカウンタコントロールレジスタ (KSCCR) の CKS[1:0] ビットにより選択されたクロックでカウントアップするカウンタです。キースキャンカウンタスタートレジスタ (KSCSR) の CST ビットが 1 にセットされるとカウントを開始します。KSCNT の値と KSCCR で選択した周期設定値が一致したとき、または KSCSR の CST ビットに 0 を書き込んだとき、KSCNT は H'00 にクリアされます。

KSCNT は、 $\overline{\text{RES}}$ 端子からのパワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="margin: auto;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																
初期値:	0	0	0	0	0	0	0	0									
R/W:	R	R	R	R	R	R	R	R									

28.3.8 キースキャンカウンタスタートレジスタ (KSCSR)

KSCSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、キースキャンカウンタ (KSCNT) のカウント動作の禁止 / 許可を選択します。KSCSR は、 $\overline{\text{RES}}$ 端子からのパワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CST
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CST	0	R/W	カウンタスタート KSCNT のカウント動作の禁止 / 許可を選択します。 0 : カウント動作の禁止 1 : カウント動作の許可

28.4 動作説明

28.4.1 キー入力

キースキャンコントロールレジスタ 1 (KSCR1) およびキースキャンコントロールレジスタ 2 (KSCR2) でキー入力を許可し、かつキースキャンファンクションコントロールレジスタ (KSFCR) でキー入力機能を選択した場合、キー入力が有効となります。また、キースキャンカウンタコントロールレジスタ (KSCCR) によりキー入力端子用内蔵プルアップ MOS の間欠プルアップの期間と周期を選択可能です。

プルアップ期間終了時に、KEY15~KEY0 端子の値をキースキャンデータレジスタ 8 (KSDR_8) に、KEY23~KEY16 端子の値をキースキャンデータレジスタ 7 (KSDR_7) に、KEY31~KEY24 端子の値をキースキャンデータレジスタ 6 (KSDR_6) に取り込みます。各 KSDR に取り込んだ値が前回取り込んだ値と異なるとき、対応するキースキャンステータスレジスタ (KSSR) の KSF ビットを 1 にセットします。このとき、各フラグに対応するキースキャンインタラプトイネーブルレジスタ (KSIEP) の KSIE ビットが 1 にセットされていると割り込み要求が発生します。また、本割り込みでソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除できます。

キー入力の動作例を図 28.2 に示します。

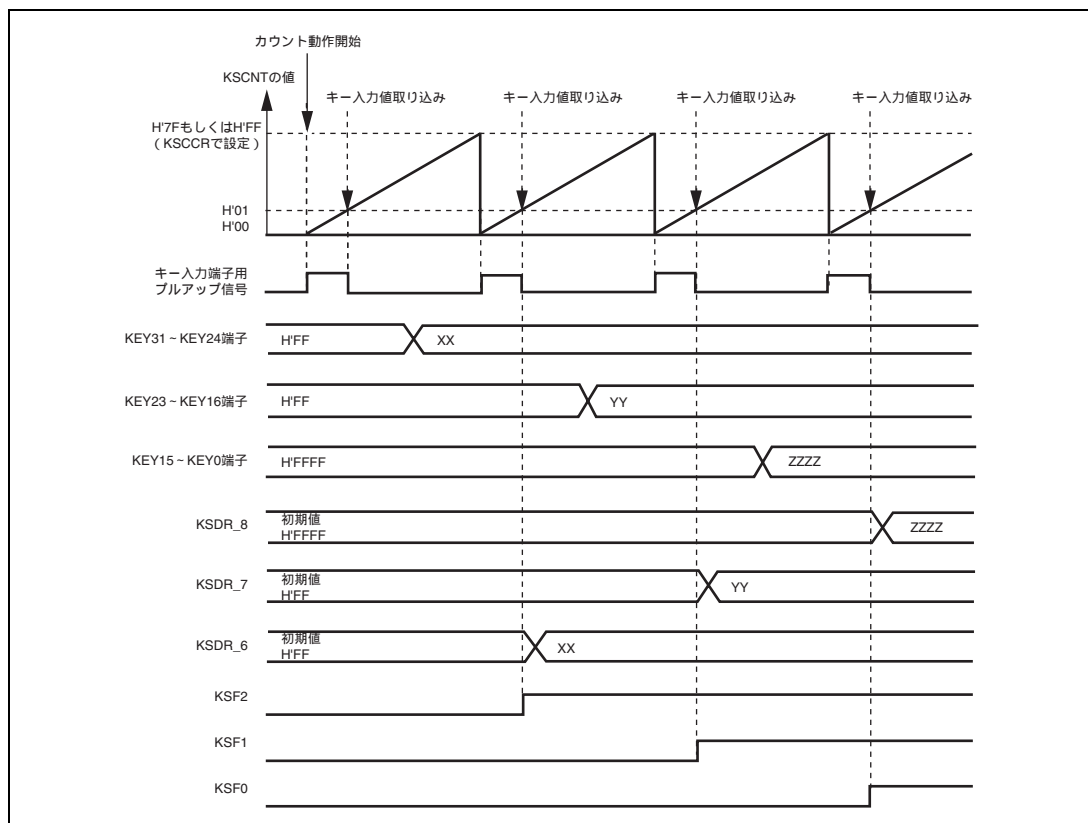


図 28.2 キー入力の動作例 (キー入力 32 本のと看)

(1) キー入力の設定手順

キー入力の設定手順を図 28.3 に示します。

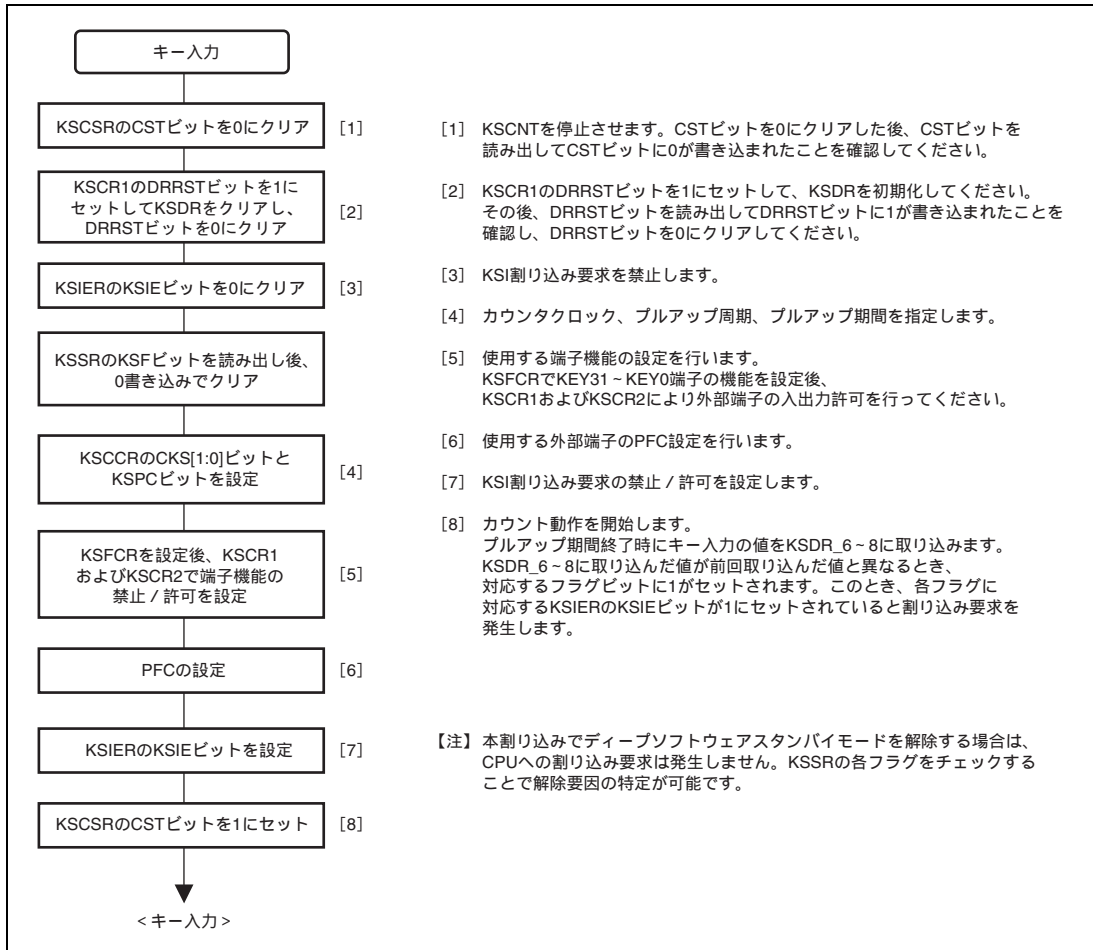


図 28.3 キー入力の設定手順

28.4.2 キースキャン

キーマトリクスを選択が可能です。キースキャンコントロールレジスタ 1 (KSCR1) の KMS ビットが 0 のときキーマトリクス 4×4、1 のときキーマトリクス 8×8 となります。KSCR1 でキーマトリクス入力およびキーマトリクス出力を許可し、かつキースキャンファンクションコントロールレジスタ (KSFCR) でキーマトリクス入力機能およびキーマトリクス出力機能を選択した場合、キーマトリクスが有効となります。また、キースキャンカウンタコントロールレジスタ (KSCCR) によりキーマトリクス入力端子用内蔵プルアップ MOS の間欠プルアップの期間と周期およびキーマトリクス出力のローレベル出力期間を選択可能です。

キーマトリクスでは、プルアップ期間終了時にキーマトリクス入力端子の値をキースキャンデータレジスタ 0 ~ 7 (KSDR_0~7) に取り込みます。

キーマトリクス 4×4 選択時は 4 回のスキャン動作を行い、キーマトリクス入力の値を KSDR_0~3 に取り込みます。キーマトリクス 8×8 選択時は 8 回のスキャン動作を行い、キーマトリクス入力の値を KSDR_0~7 に取り込みます。

KSDR_0~7 に取り込んだ値のいずれかが前回取り込んだ値と異なるとき、キースキャンステータスレジスタ (KSSR) の KSF2 ビットを 1 にセットします。このとき、キースキャンインタラプトイネーブルレジスタ (KSIER) の KSIE2 ビットが 1 にセットされていると割り込み要求を発生します。また、本割り込みでソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除できます。なお、KSF2 ビットが 1 にセットされても、カウンタを停止しないかぎり、以降もスキャン動作を続けます。

キースキャンの動作例を図 28.4 に示します。

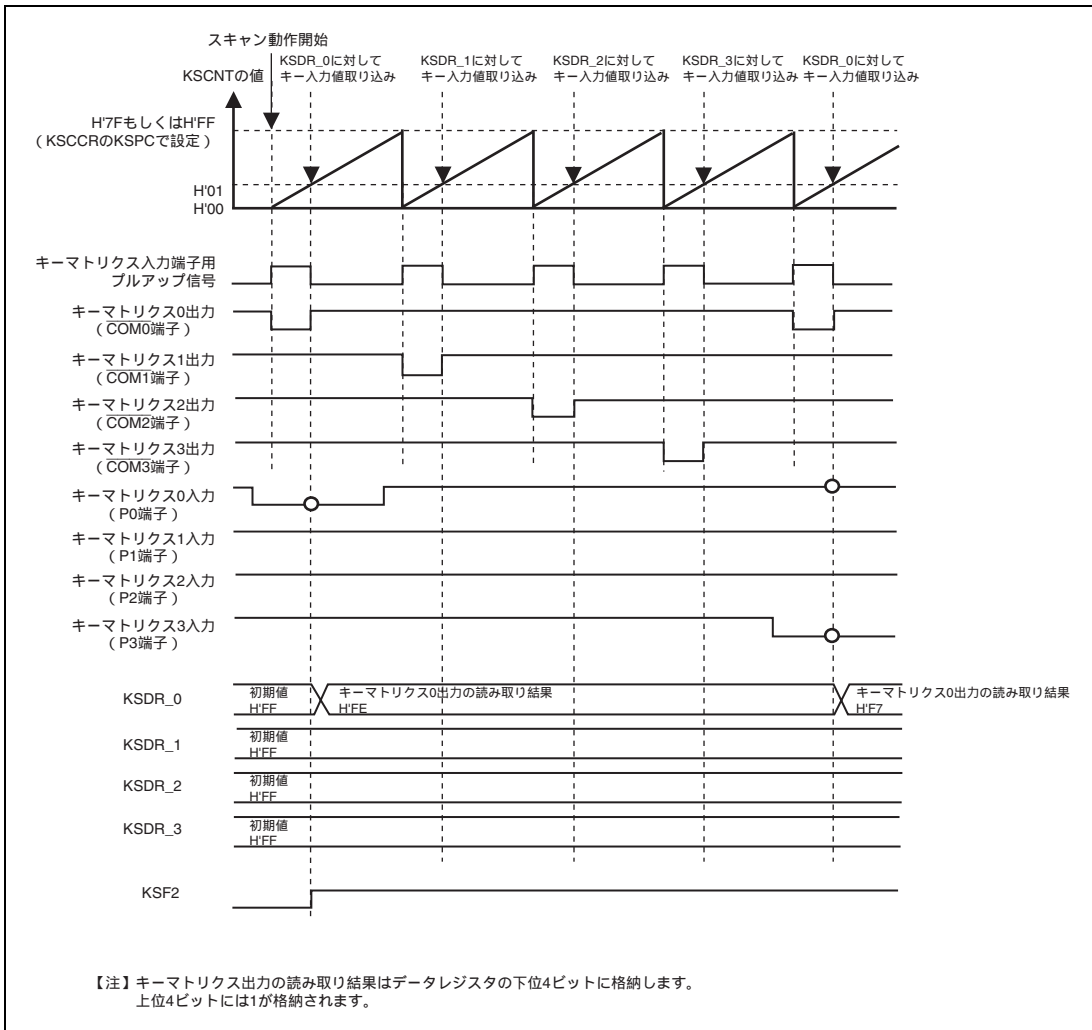


図 28.4 キースキャンの動作例 (スキャン出力 4 本、KSOC = 1 のとき)

(1) キースキャンの設定手順

キースキャンの設定手順を図 28.5 に示します。

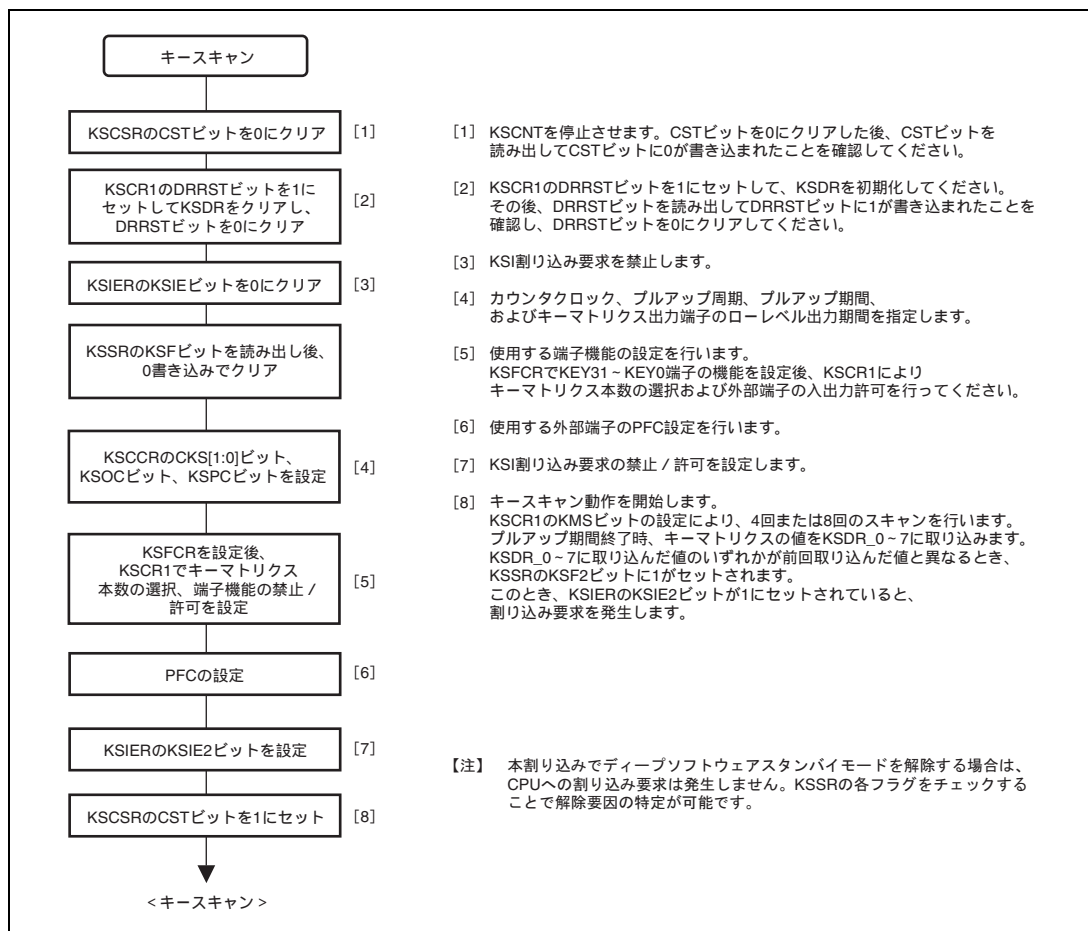


図 28.5 キースキャンの設定手順

28.5 キー入力およびキーマトリクス入の間欠プルアップ時間とキーマトリクス出力のローレベル出力時間の設定

表 28.6 にキー入力およびキーマトリクス入の間欠プルアップ時間とキーマトリクス出力のローレベル出力時間の設定を示します。図 28.6 に KSPC = 0 のときの動作例、図 28.7 に KSPC = 1 のときの動作例を示します。

表 28.6 キー入力およびキーマトリクス入の間欠プルアップ時間とキーマトリクス出力のローレベル出力時間の設定 (EXTAL32 端子入力が 32kHz のとき)

CKS[1:0]ビット 設定値	KSPC ビット 設定値	間欠プルアップ時間		キーマトリクス出力のローレベル出力時間	
		周期	期間	KSOC = 0 時 (プルアップ期間と同じ)	KSOC = 1 時 (プルアップ周期と同じ)
00	0	8ms	62.5 μ s	62.5 μ s	8ms
	1	16ms			16ms
01	0	16ms	125 μ s	125 μ s	16ms
	1	32ms			32ms
10	0	32ms	250 μ s	250 μ s	32ms
	1	64ms			64ms
11	0	64ms	500 μ s	500 μ s	64ms
	1	128ms			128ms

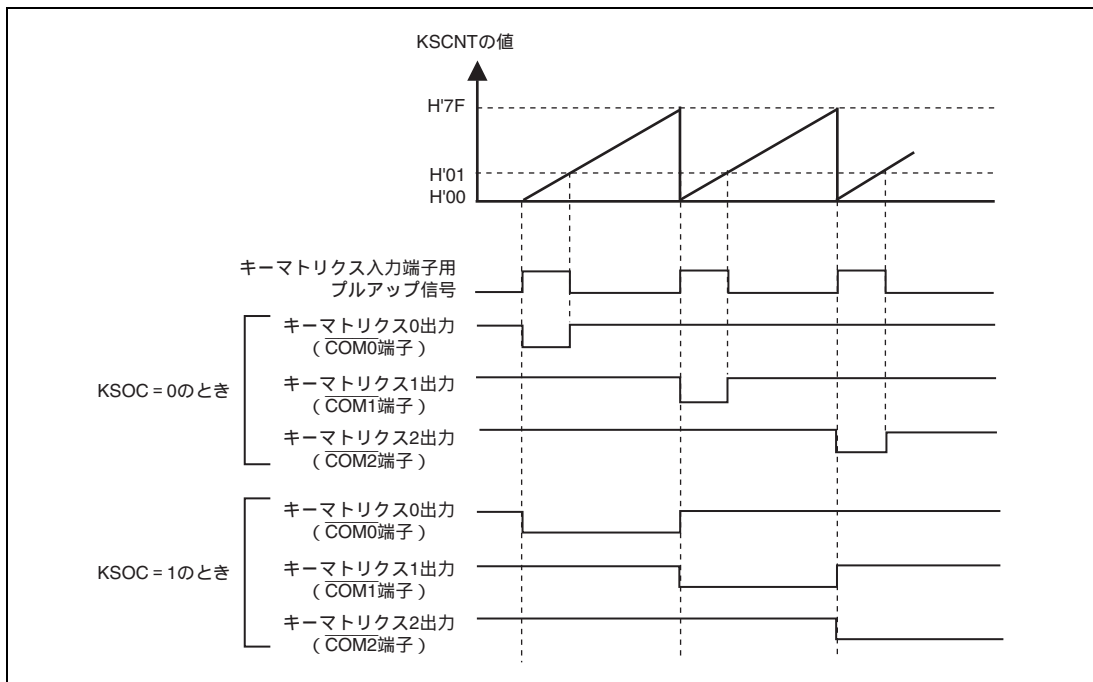


図 28.6 KSPC = 0 のときの動作例

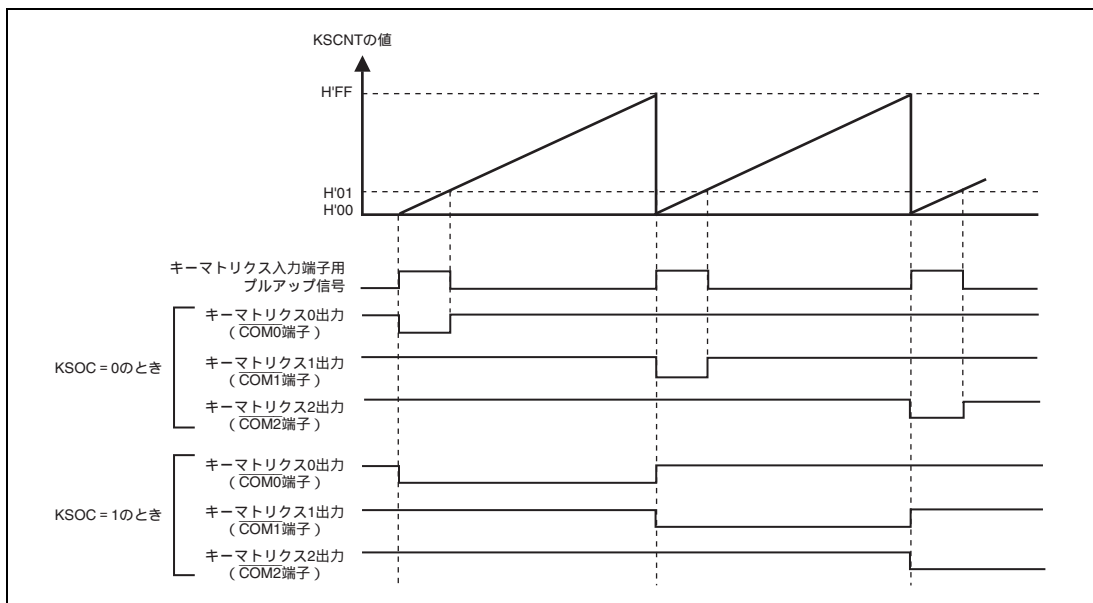


図 28.7 KSPC = 1 のときの動作例

28.6 割り込み要因

表 28.7 に割り込み要因を示します。

割り込み要因は、キースキャンインタラプトイネーブルレジスタ (KSIER) のキースキャンインタラプトイネーブルビット 0~2 (KSIE0~2) で、許可または禁止ができます。

キースキャンステータスレジスタ (KSSR) のキースキャンフラグビット (KSF) に 1 がセットされ、かつ対応するキースキャンインタラプトイネーブルレジスタ (KSIER) のインタラプトイネーブルビット (KSIE) に 1 がセットされているとき、キースキャン割り込み (KSI) が発生します。割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

また、ソフトウェアスタンバイ状態において、キースキャン割り込み (KSI) によりソフトウェアスタンバイ状態が解除されたとき、スタンバイインタラプトフラグレジスタ (SIFR) の SSRF ビットが 1 にセットされます。

詳細は、「第 32 章 低消費電力モード」を参照してください。

表 28.7 割り込み要求の種類と条件

割り込み要因	割り込み許可ビット	割り込みフラグ	条件
キースキャン割り込み	KSIE0、KSIE1、KSIE2	KSF0、KSF1、KSF2	KSIE0・KSF0 + KSIE1・KSF1 + KSIE2・KSF2

28.7 使用上の注意事項

28.7.1 モジュールスタンバイモードの設定

KEYC は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、KEYC および KEYC で使用する 32kHz クロック発振器の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスおよび動作が可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

32kHz の水晶発振子を使用する場合、モジュールスタンバイモードを解除後、EXTAL32 クロック発振安定時間 (t_{OSC32}) を確保してから KEYC のレジスタをアクセスしてください。EXTAL32 クロック発振安定時間が確保されない場合、KEYC のレジスタアクセスが正常に行われません。詳細は「第 35 章 電気的特性」の図 35.10 を参照してください。

28.7.2 キースキャン割り込み発生後の動作について

キー入力およびキースキャン割り込みが発生しても、以降の動作は継続されます。したがって、複数要因のキー入力およびキースキャン入力が発生した場合、割り込み要因を判定するためのデータレジスタはその都度上書きされますのでご注意ください。

28.7.3 キー入力およびキーマトリクス入力以外の PFC 選択時について

キー入力およびキーマトリクス入力端子のいずれかを、ピンファンクションコントローラ (PFC) でキー入力およびキーマトリクス入力以外の端子機能に設定した場合、キースキャンデータレジスタ 0~8 (KSDR_0~8) の該当ビットには常に 1 が取り込まれます。また、該当端子の間欠プルアップは無効となります。キーマトリクス出力端子のいずれかを PFC でキーマトリクス出力以外の端子機能に設定した場合、該当端子からスキャン出力は行われません。

28.7.4 キー入力およびキースキャン動作中の KSCR1 および KSCR2 の KSE ビット書き換えについて

キー入力およびキースキャン動作中にキースキャンコントロールレジスタ 1 (KSCR1) およびキースキャンコントロールレジスタ 2 (KSCR2) の KSE ビットを許可から禁止に書き換えたとき、該当する端子の読み取り値は必ず 1 となるため、KSDR に前回取り込んだ値が 0 だった場合、キースキャンステータスレジスタ (KSSR) の KSF フラグがセットされます。このとき、キースキャンインタラプトイネーブルレジスタ (KSIER) で割り込み要求を許可していると CPU に対して割り込み要求を行います。キー入力およびキースキャン動作中の KSCR1 および KSCR2 の書き換えにより割り込み要求を発生させたくないときには、KSIER で割り込み要求を禁止にした後、KSCR1 および KSCR2 の書き換えを行ってください。

28.7.5 カウンタ動作中断後のカウンタ動作再開について

カウンタ動作を中断後にカウンタ動作を再開する場合は、キースキャンカウンタスタートレジスタ (KSCSR) の CST ビットをクリアした後、CST ビットを読み出して CST ビットに 0 が書き込まれたことを確認してから再開処理を行ってください。

28.7.6 KEYC の同一レジスタに対する連続書き込みについて

レジスタに書き込んだ値は、KEYC 動作クロック (EXTAL32 入力を 2 分周したクロック) で同期化された後に、実際の動作に反映されます。このため、同じレジスタに対して連続書き込みを行う場合には、KEYC 動作クロックで 1 サイクル以上待った後に次の書き込みを行うか、レジスタを読み出して所望の値が書き込まれたことを確認してから次の書き込みを行ってください。

28.7.7 DRRST ビットに 1 書き込み時の動作について

キースキャンコントロールレジスタ 1 (KSCR1) の DRRST ビットが 1 にセットされた状態ではキースキャンデータレジスタ 0~8 (KSDR_0~8) が常に初期化されていますので、DRRST ビットを 0 にクリアしてからカウンタ動作を開始 (キースキャンカウンタスタートレジスタ (KSCSR) の CST ビットを 1 にセット) してください。また、KSDR_0~8 をクリアする場合には、DRRST ビットを 1 にセットした後、DRRST ビットを読み出して DRRST ビットに 1 が書き込まれたことを確認してから DRRST ビットを 0 にクリアしてください。

28.7.8 キーマトリクス使用時における $\overline{\text{COM}}$ 端子の出力レベルについて

キーマトリクス出力である $\overline{\text{COM}}$ 端子は、スキャン動作を行う端子のみローレベルを出力、その他の端子はハイレベルを出力します。異なる $\overline{\text{COM}}$ 端子のスイッチが同時選択された場合、出力レベルが衝突する可能性がありますので、 $\overline{\text{COM}}$ 端子に出力レベル衝突防止のダイオードを入れる対策を実施してください。

29. フラッシュメモリ (ROM)

SH72315A/SH72315L は 1M バイト、SH72314L は 768K バイトのコード格納用フラッシュメモリ (ROM) を内蔵しています。ROM の特長を以下に示します。

29.1 特長

- 2種類のフラッシュメモリマット

ROMには、同一アドレス空間に配置される2種類のメモリ空間(以下メモリマットと呼びます)があります。起動モードの選択および制御レジスタを使用したバンク切り替えでマットを切り替えることができます。ユーザブートマット選択時のH'00008000 ~ H'000FFFFF領域の読み出し値は不定、書き込み/消去は無効です。

ユーザマット : 1Mバイト (SH72315A/SH72315L)、768Kバイト (SH72314L)

ユーザブートマット : 32Kバイト

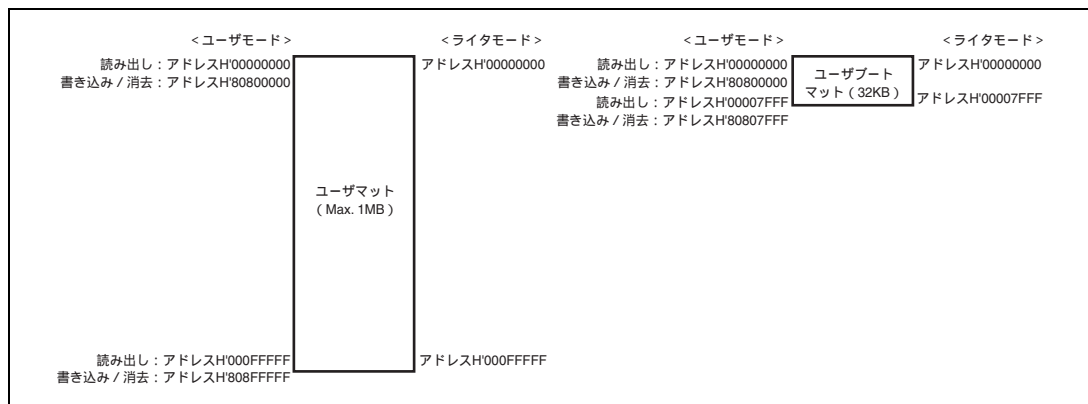


図 29.1 ROM のメモリマット構成

- 書き込み / 消去方式

周辺バス経由でROM / データフラッシュ (FLD) 専用のシーケンサ (FCU) にコマンドを発行することにより、ROMの書き込み / 消去を実行可能です。FCUがROMの書き込み / 消去を実行している期間でも、CPUはROM以外の領域に配置したプログラムを実行可能です。FCUがFLDの書き込み / 消去を実行している期間は、ROM領域に配置したプログラムを実行可能です。また、FCUによるROM書き込み / 消去動作を中断してCPUがROM領域のプログラムを実行した後、ROM書き込み / 消去を再開可能です。消去を中断した場合には、中断した消去の対象ではない領域に書き込みを実施することも可能です。

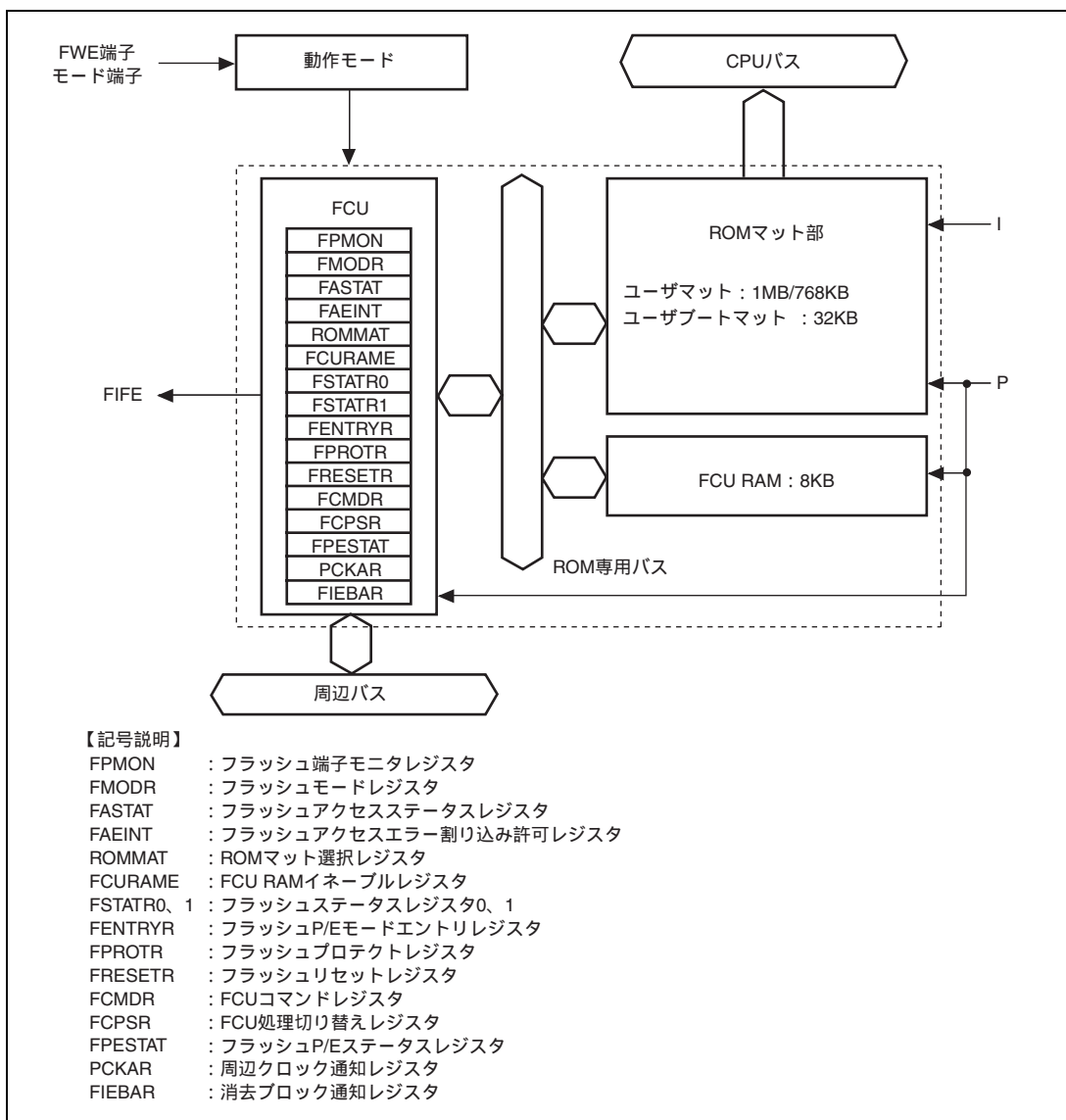


図 29.2 ROM のブロック図

- 書き込み / 消去単位

ユーザマットとユーザブートマットの書き込み単位は256バイトです。ユーザブートマットの消去単位は、ユーザブートマット全面です。ライターモード以外では、ユーザマットをブロック単位で消去可能です。ライターモードのユーザマット消去単位は、ユーザマット全面です。

図29.3にユーザマットのブロック分割を示します。ユーザマットは、8KB(8ブロック)、64KB(2ブロック)、128KB(2ブロック)、256KB(2ブロック (SH72315A/SH72315L) / 1ブロック (SH72314L)) にそれぞれ分割されています。

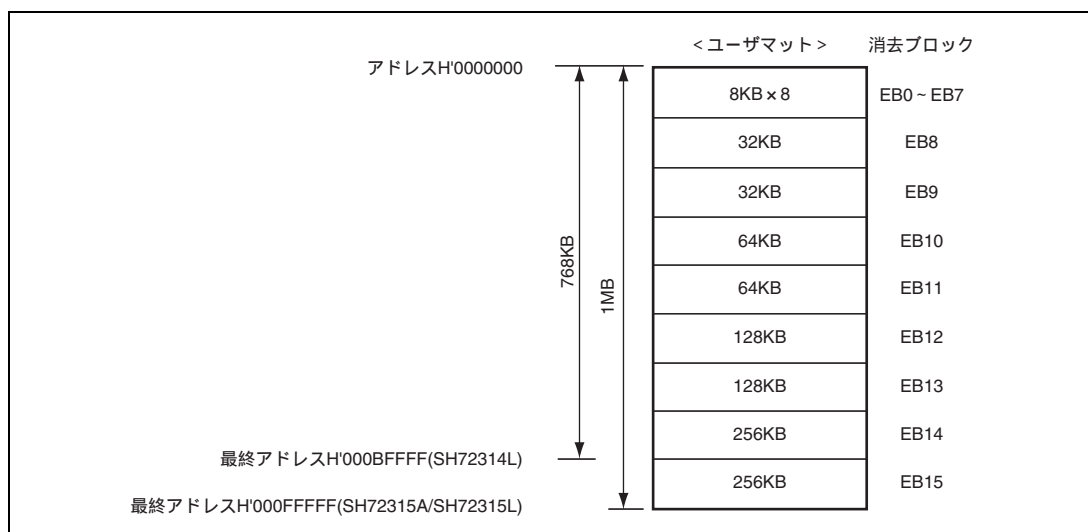


図 29.3 ユーザマットのブロック分割

- オンボードプログラムモード (3種類)

ブートモード : SCIを使用してユーザマットとユーザブートマットを書き換え可能なプログラムモードです。

ホストと本LSI間のSCI通信のビットレートは自動調整可能です。

ユーザプログラムモード : 任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。

FWE端子値の設定変更のみで、モード2 (MCU拡張モード) / モード3 (MCUシングルチップモード) から遷移可能なモードです。

ユーザブートモード : 任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。

ユーザブートモードへの遷移にはリセット起動が必要です。

- オフボードプログラムモード (1種類)

ライターモード : PROMライターを用いたライターモードでユーザマットとユーザブートマットの書き換えが可能です。

- プロテクトモード

FWE端子 / モード端子によるハードウェアプロテクトとFENTRYRのFENTRY0ビット / ロックビットによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み / 消去に対するプロテクト状態を設定することができます。FENTRY0ビットはFCUによるROM書き込み / 消去処理の許可 / 禁止を制御するためのビットです。ロックビットはユーザマットの各消去ブロック内に1ビットずつ設置されている書き込み / 消去プロテクト用のビットです。

書き込み / 消去中に異常動作を検出した場合、書き込み / 消去処理を中断する機能もあります。

- 書き込み時間 / 消去時間 / 書き換え回数

「第35章 電気的特性」を参照してください。

29.2 入出力端子

表 29.1 に ROM 関連の入出力端子を示します。MD1、MD0 端子、FWE 端子の組み合わせによって、ROM のプログラムモードを決定します(「29.4 ROM 関連モード概要」を参照)。ブートモード時には、PA0/RXD0、PA1/TXD0 にホストを接続して ROM を書き込み/消去することが可能です(「29.5 ブートモード」を参照)。

表 29.1 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	この端子がローレベルになるとパワーオンリセット状態になります。
テストリセット	TRST	入力	初期化信号入力端子です。
フラッシュライトイネーブル	FWE	入力	フラッシュ書き換えのハードウェアプロテクト。
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
SCI トランスミットデータ	TXD0 (PA1)	出力	シリアル送信データ出力(ブートモードで使用)
SCI レシーブデータ	RXD0 (PA0)	入力	シリアル受信データ入力(ブートモードで使用)

29.3 レジスタの説明

表 29.2 に ROM 関連のレジスタを示します。一部のレジスタは FLD 関連のビットも持ちますが、本章では ROM 機能に関連するビットの説明のみ記載しています。FLD 関連ビットの機能の詳細は、「第 30 章 データフラッシュ (FLD)」の「30.3 レジスタの説明」を参照してください。ROM 関連のレジスタは、パワーオンリセットによって初期化されます。

これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 29.2 レジスタ構成

レジスタ名	略称	R/W ^{*1}	初期値	アドレス	アクセス サイズ
フラッシュ端子モニタレジスタ	FPMON	R	H'00 H'80	H'FFFFA800	8
フラッシュモードレジスタ	FMODR	R/W	H'00	H'FFFFA802	8
フラッシュアクセスステータスレジスタ	FASTAT	R/(W) ^{*2}	H'00	H'FFFFA810	8
フラッシュアクセスエラー割り込み許可 レジスタ	FAEINT	R/W	H'9F	H'FFFFA811	8
ROM マット選択レジスタ	ROMMAT	R/(W) ^{*3}	H'0000 H'0001	H'FFFFA820	8、16
FCU RAM イネーブルレジスタ	FCURAME	R/(W) ^{*3}	H'0000	H'FFFFA854	8、16
フラッシュステータスレジスタ 0	FSTATR0	R	H'80 ^{*5}	H'FFFFA900	8、16
フラッシュステータスレジスタ 1	FSTATR1	R	H'00 ^{*5}	H'FFFFA901	8
フラッシュ P/E モードエントリレジスタ	FENTRYR	R/(W) ^{*4}	H'0000 ^{*5}	H'FFFFA902	8、16
フラッシュプロテクトレジスタ	FPROTR	R/(W) ^{*4}	H'0000 ^{*5}	H'FFFFA904	8、16
フラッシュリセットレジスタ	FRESETR	R/(W) ^{*3}	H'0000	H'FFFFA906	8、16
FCU コマンドレジスタ	FCMDR	R	H'FFFF ^{*5}	H'FFFFA90A	8、16
FCU 処理切り替えレジスタ	FCPSR	R/W	H'0000 ^{*5}	H'FFFFA918	8、16
フラッシュ P/E ステータスレジスタ	FPESTAT	R	H'0000 ^{*5}	H'FFFFA91C	8、16
周辺クロック通知レジスタ	PCKAR	R/W	H'0000 ^{*5}	H'FFFFA938	8、16
消去ブロック通知レジスタ	FIEBAR	R/W	H'0000 ^{*5}	H'FFFFA93A	8、16

- 【注】 *1 内蔵 ROM が無効なモードでは、ROM 関連レジスタの読み出しデータは 0 に固定され、書き込みは無効化され
ます。
- *2 フラグをクリアするために 0 のみ書き込むことができるビットと読み出し専用ビットによって構成されています。
- *3 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータ
は保持されません。
- *4 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合
には初期化されます。上位バイトへの書き込みデータは保持されません。
- *5 パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化することがで
きます。

29.3.1 フラッシュ端子モニタレジスタ (FPMON)

FPMON は、FWE 端子状態をモニタするためのレジスタです。内蔵 ROM が無効なモードでは、FPMON の読み出しデータは H'00 になります。FPMON は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	FWE	-	-	-	-	-	-	-
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	FWE	1/0	R	フラッシュ書き込みイネーブル FWE 端子の値をモニタするためのビットです。FWE 端子値に依存して初期値が変化します。 0 : ROM の書き込み / 消去禁止 1 : ROM の書き込み / 消去許可
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

29.3.2 フラッシュモードレジスタ (FMODR)

FMODR は、FCU の動作モードを指定するレジスタです。内蔵 ROM が無効なモードでは、FMODR の読み出しデータは H'00 になり、書き込みは無効化されます。FMODR は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	FR DMD	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	FRDMD	0	R/W	FCU リードモードセレクトビット FCU を使用した ROM/FLD 読み出しの許可 / 禁止を選択するためのビットです。ROM の場合には、ロックビットリードの許可 / 禁止を指定するビットとして使用します。(「29.6.1 FCU コマンド一覧」、「29.6.3(13) ロックビットの読み出し」を参照)。FLD の場合には、ブランクチェックコマンド使用時に設定する必要があります(「第 30 章 データフラッシュ (FLD)」を参照)。 0 : ロックビットリードを禁止 1 : ロックビットリードを許可
3~0	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。

29.3.3 フラッシュアクセスステータスレジスタ (FASTAT)

FASTAT は、ROM / FLD に対するアクセス違反の有無を確認するためのレジスタです。内蔵 ROM が無効なモードでは、FASTAT の読み出しデータは H'00 になり、書き込みは無効化されます。FASTAT レジスタのいずれかのビットが 1 にセットされると、FCU はコマンドロック状態になります(「29.9.3 エラープロテクト」を参照)。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。FASTAT は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	RO MAE	-	-	CM DLK	EE PAE	EEP IFE	EEP RPE	EEP WPE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ROMAE	0	R/(W)*	アクセス違反ビット ROM に対するアクセス違反の有無を示すビットです。ROMAE ビットが 1 になると、FSTATR0 レジスタの IGLERR ビットが 1 にセットされ、FCU はコマンドロック状態になります。 0 : ROM アクセスエラーなし 1 : ROM アクセスエラーあり [セット条件] <ul style="list-style-type: none"> • FENTRYR レジスタの FENTRY0 ビットが 1 かつ ROM P/E ノーマルモードの状態、ROM 書き込み / 消去用アドレス H'80800000 ~ H'808FFFFFF に対してリードアクセスを発行 • FENTRYR レジスタの FENTRY0 ビットが 0 の状態で、ROM 書き込み / 消去用アドレス H'80800000 ~ H'808FFFFFF に対するアクセスを発行 • FENTRYR レジスタが H'0000 以外の状態で、ROM 読み出し用アドレス H'00000000 ~ H'000FFFFFF に対してリードアクセスを発行 • ユーザブートマト選択時に ROM に対してブロックイレーズ、プログラム、ロックビットプログラムコマンドを発行 • ユーザブートマト選択時に ROM 書き込み / 消去用アドレス H'80800000 ~ H'80807FFF 以外に対するアクセスを発行 [クリア条件] <ul style="list-style-type: none"> • ROMAE = 1 を読み出した後に、0 を書き込み
6, 5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説明
4	CMDLK	0	R	FCU コマンドロックビット FCU がコマンドロック状態であることを示すビットです (「29.9.3 エラープロテクト」を参照)。 0 : FCU はコマンドロック状態ではない 1 : FCU はコマンドロック状態 [セット条件] • FCU がエラーを検出してコマンドロック状態に遷移したとき [クリア条件] • FASTAT レジスタが H'10 の状態で、FCU がステータスクリアコマンドを処理したとき
3	EEPAE	0	R/(W)*	FLD アクセス違反ビット 「第 30 章 データフラッシュ (FLD)」を参照してください。
2	EEPIFE	0	R/(W)*	FLD 命令フェッチ違反ビット 「第 30 章 データフラッシュ (FLD)」を参照してください。
1	EEPRPE	0	R/(W)*	FLD リードプロテクト違反ビット 「第 30 章 データフラッシュ (FLD)」を参照してください。
0	EEPWPE	0	R/(W)*	FLD 書き込み / 消去プロテクト違反ビット 「第 30 章 データフラッシュ (FLD)」を参照してください。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

29.3.4 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

FAEINT は、フラッシュインタフェースエラー割り込み (FIFE) の出力許可 / 禁止を設定するためのレジスタです。内蔵 ROM が無効なモードでは、FAEINT の読み出しデータは H'00 になり、書き込みは無効化されます。FAEINT は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ROM AEIE	-	-	CMD LKIE	EEP AEIE	EEP FEIE	EEP PEIE	EEP PWPEIE
初期値 :	1	0	0	1	1	1	1	1
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ROMAEIE	1	R/W	ROM アクセス違反割り込みイネーブル ROM アクセス違反が発生し、FASTAT レジスタの ROMAE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 / 禁止するためのビットです。 0 : ROMAE = 1 で FIFE 割り込み要求を禁止 1 : ROMAE = 1 で FIFE 割り込み要求を許可
6, 5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLKIE	1	R/W	FCU コマンドロック割り込みイネーブル FCU コマンドロックが発生し、FASTAT レジスタの CMDLK ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 / 禁止するためのビットです。 0 : CMDLK = 1 で FIFE 割り込み要求を禁止 1 : CMDLK = 1 で FIFE 割り込み要求を許可
3	EEPAEIE	1	R/W	FLD アクセス違反割り込みイネーブル 「第 30 章 データフラッシュ (FLD)」を参照してください。
2	EEPIFEIE	1	R/W	FLD 命令フェッチ違反割り込みイネーブル 「第 30 章 データフラッシュ (FLD)」を参照してください。
1	EEPPEIE	1	R/W	FLD リードプロテクト違反割り込みイネーブル 「第 30 章 データフラッシュ (FLD)」を参照してください。
0	EEPWPEIE	1	R/W	FLD 書き込み / 消去プロテクト違反割り込みイネーブル 「第 30 章 データフラッシュ (FLD)」を参照してください。

29.3.5 ROM マット選択レジスタ (ROMMAT)

ROMMAT は、ROM のマットを切り替えるために使用するレジスタです。内蔵 ROM が無効なモードでは、ROMMAT の読み出しデータは H'0000 になり、書き込みは無効化されます。ROMMAT は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	KEY								-	-	-	-	-	-	-	ROM SEL	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1
R/W:	R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*								R	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	KEY	すべて 0	R/(W)*	キーコード ROMSEL ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ROMSEL	0/1	R/W	ROM マット選択ビット ROM のマットを選択するためのビットです。ユーザブートモードで起動した場合には、初期値が 1 になります。それ以外の場合のモードで起動した場合には、初期値が 0 になります。 ROMSEL ビットへの書き込みは、ワードアクセスで KEY が H'3B の場合のみ有効です。 0 : ユーザマット選択 1 : ユーザブートマット選択

【注】 * 書き込みデータは保持されません。

29.3.6 FCU RAM イネーブルレジスタ (FCURAME)

FCURAME は、FCU RAM 領域へのアクセスを許可 / 禁止するためのレジスタです。内蔵 ROM が無効なモードでは、FCURAME の読み出しデータは H'00 になり、書き込みは無効化されます。FCURAME は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								-	-	-	-	-	-	-	FCRME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	KEY	すべて 0	R/(W)*	キーコード FCRME ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FCRME	0	R/W	FCU RAM イネーブル FCU RAM へのアクセスを許可 / 禁止するためのビットです。FCRME ビットへの書き込みは、ワードアクセスで KEY が H'C4 の場合のみ有効です。FCU RAM に書き込む場合は、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。 0 : FCU RAM へのアクセス禁止 1 : FCU RAM へのアクセス許可

【注】 * 書き込みデータは保持されません。

29.3.7 フラッシュステータスレジスタ 0 (FSTATR0)

FSTATR0 は、FCU の状態を確認するためのレジスタです。内蔵 ROM が無効なモードでは、FSTATR0 の読み出しデータは H'00 になります。FSTATR0 は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	FRDY	ILGL ERR	ERS ERR	PRG ERR	SUS RDY	-	ERS SPD	PRG SPD
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	FRDY	1	R	フラッシュレディビット FCU の処理状態を確認するためのビットです。 0 : 書き込み / 消去処理中 書き込み / 消去の中断処理中 ロックビットリード 2 コマンド処理中 FLD のブランクチェック処理中 (「第 30 章 データフラッシュ (FLD)」を参照) 1 : 上記の処理を実行していない
6	ILGLERR	0	R	イリーガルコマンドエラービット FCU が不正なコマンドや不正な ROM / FLD アクセスなどを検出したことを示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります (「29.9.3 エラープロテクト」を参照)。 0 : FCU は不正なコマンドや不正な ROM / FLD アクセスを検出して いない 1 : FCU は不正なコマンドや不正な ROM / FLD アクセスを検出した [セット条件] <ul style="list-style-type: none"> • FCU が不正なコマンドを検出したとき • FCU が不正な ROM / FLD アクセスを検出したとき (FASTAT レジスタの ROMAЕ、EЕPAЕ、EЕPIFE、EЕPRPE、EЕPWPE ビットのいずれかが 1) • FENTRYR の設定が不正なとき • 消去、ロックビットリード、ロックビット書き込み時に、FIEBAR に設定した消去ブロック以外のアドレスにコマンドを発行したとき [クリア条件] <ul style="list-style-type: none"> • FASTAT レジスタが H'10 の状態で FCU がステータスクリアコマンドを処理したとき

ビット	ビット名	初期値	R/W	説明
5	ERSERR	0	R	<p>消去エラービット</p> <p>FCU による ROM / FLD 消去処理の結果を示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります(「29.9.3 エラープロテクト」を参照)。</p> <p>0 : 消去処理は正常終了 1 : 消去処理中にエラー発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 消去中にエラーが発生したとき ロックビットでプロテクトされた領域に対するブロックイレースコマンドを発行したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> FCU がステータスクリアコマンドを処理したとき
4	PRGERR	0	R	<p>書き込みエラービット</p> <p>FCU による ROM / FLD 書き込み処理の結果を示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります(「29.9.3 エラープロテクト」を参照)。</p> <p>0 : 書き込み処理は正常終了 1 : 書き込み処理中にエラー発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 書き込み中にエラーが発生したとき ロックビットでプロテクトされた領域に対する書き込みコマンドを発行したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> FCU がステータスクリアコマンドを処理したとき
3	SUSRDY	0	R	<p>サスペンドレディビット</p> <p>FCU が P/E サスペンドコマンドを受け付け可能であることを示すビットです。</p> <p>0 : P/E サスペンドコマンド受け付け不可能 1 : P/E サスペンドコマンド受け付け可能</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 書き込み / 消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> P/E サスペンドコマンドを受け付けたとき 書き込み / 消去処理中に、コマンドロック状態に遷移したとき
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	ERSSPD	0	R	<p>消去サスペンドステータスビット</p> <p>FCU が消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです (「29.6.4 サスペンド動作」を参照)。</p> <p>0 : 下記以外の状態</p> <p>1 : 消去の中断処理中または消去サスペンド中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 消去の中断処理を開始したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • レジュームコマンドを受け付けたとき
0	PRGSPD	0	R	<p>書き込みサスペンドステータスビット</p> <p>FCU が書き込みの中断処理中または書き込みサスペンド状態に遷移したことを示すビットです (「29.6.4 サスペンド動作」を参照)。</p> <p>0 : 下記以外の状態</p> <p>1 : 書き込みの中断処理中または書き込みサスペンド中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 書き込みの中断処理を開始したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • レジュームコマンドを受け付けたとき

29.3.8 フラッシュステータスレジスタ 1 (FSTATR1)

FSTATR1 は、FCU の状態を確認するためのレジスタです。内蔵 ROM が無効なモードでは、FSTATR1 の読み出しデータは H'00 になります。FSTATR1 は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	FCU ERR	-	-	FLO CKST	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	FCUERR	0	R	FCU エラービット FCU 内部の CPU 処理においてエラーが発生したことを示すビットです。 0 : FCU の CPU 処理でエラー未発生 1 : FCU の CPU 処理でエラー発生 [クリア条件] • FRESETR レジスタの FRESET ビットが 1 のとき FCUERR が 1 の場合には、FRESET ビットを 1 にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FLOCKST	0	R	ロックビットステータスビット ロックビットリード 2 コマンドを使用した場合に、ロックビットのリードデータが反映されるビットです。ロックビットリード 2 コマンド発行後に、FRDY ビットが 1 になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリード 2 コマンドの終了まで保持されます。 0 : プロテクト状態 1 : 非プロテクト状態
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

29.3.9 フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYR は、ROM/FLD を P/E モードに設定するために使用するレジスタです。ROM/FLD を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 のいずれかのビットに 1 を設定する必要があります。内蔵 ROM が無効なモードでは、FENTRYR の読み出しデータは H'0000 になり、書き込みは無効化されます。FENTRYR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

FENTRYR をアクセスして、FCU のモードを遷移させるときには、FENTRYR を書き込んだ後にリードを行います。リードをしてレジスタが設定値になっていることを確認後、ROM の書き込み、消去、リードの各動作を行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FEKEY								FEN TRYD	-	-	-	-	-	-	FEN TRY0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説 明
15~8	FEKEY	すべて 0	R/(W)*	キーコード FENTRYD、FENTRY0 ビットを書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	FENTRYD	0	R/W	FLD P/E モードエントリビット 「第 30 章 データフラッシュ (FLD)」を参照してください。
6~1	-	すべて 0	R	リザーブビット 書き込みを行う場合は 0 を書き込んでください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説明
0	FENTRY0	0	R/W	<p>ROM P/E モードエントリビット 0</p> <p>ROM を P/E モードに設定するためのビットです。</p> <p>0 : ROM はリードモード 1 : ROM は P/E モード</p> <p>書き込みは、以下の条件をすべて満たす場合に有効です。</p> <ul style="list-style-type: none"> • 内蔵 ROM が有効なモードのとき • FPMON レジスタの FWE ビットが 1 のとき • FSTATR0 レジスタの FRDY ビットが 1 のとき • ワードアクセスで FEKEY に H'AA 書き込み <p>[セット条件]</p> <ul style="list-style-type: none"> • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY0 に 1 を書き込んだ場合 <p>[クリア条件]</p> <ul style="list-style-type: none"> • FSTATR0 レジスタの FRDY ビットが 1、かつ FPMON レジスタの FWE ビットが 0 の場合 • バイトアクセスで書き込んだ場合 • ワードアクセスで FEKEY が H'AA 以外の状態で書き込んだ場合 • 書き込み有効条件を満たした状態で、FENTRY0 に 0 を書き込んだ場合 • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合

【注】 * 書き込みデータは保持されません。

29.3.10 フラッシュプロテクトレジスタ (FPROTR)

FPROTR は、ロックビットによる書き込み / 消去プロテクト機能の有効 / 無効を設定するためのレジスタです。内蔵 ROM が無効なモードでは、FPROTR の読み出しデータは H'0000 になり、書き込みは無効化されます。FPROTR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	FPKEY								-	-	-	-	-	-	-	-	FPROTCN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	FPKEY	すべて 0	R/(W)*	キーコード FPROTCN ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FPROTCN	0	R/W	ロックビットプロテクトキャンセルビット ロックビットによる書き込み / 消去プロテクトを有効 / 無効化するためのビットです。 0: ロックビットによるプロテクト有効 1: ロックビットによるプロテクト無効 [セット条件] • FENTRYR レジスタの値が H'0000 以外の状態で、ワードアクセスで FPKEY に H'55、FPROTCN に 1 を書き込んだ場合 [クリア条件] • バイトアクセスで書き込んだ場合 • ワードアクセスで FPKEY が H'55 以外の状態で書き込んだ場合 • ワードアクセスで FPKEY に H'55、FPROTCN に 0 を書き込んだ場合 • FENTRYR レジスタの値が H'0000 の場合

【注】 * 書き込みデータは保持されません。

29.3.11 フラッシュリセットレジスタ (FRESETR)

FRESETR は、FCU の初期化のために使用するレジスタです。内蔵 ROM が無効なモードでは、FRESETR の読み出しデータは H'0000 になり、書き込みは無効化されます。FRESETR は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRKEY								-	-	-	-	-	-	-	FRESET
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*								R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	FRKEY	すべて 0	R/(W)*	キーコード FRESET ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FRESET	0	R/W	フラッシュリセットビット FRESET ビットを 1 に設定すると、ROM / FLD の書き込み / 消去動作が強制終了され、FCU が初期化されます。書き込み / 消去中の ROM / FLD のメモリには高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCU を初期化する場合には、FRESET を 1 にセットした状態を t_{RESW2} (「第 35 章 電気的特性」を参照) 保持してください。FRESET を 1 に保持している期間は ROM / FLD への読み出しを禁止してください。また、FRESET が 1 の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。 FRESET ビットへの書き込みは、ワードアクセスで FRKEY が H'CC の場合のみ有効です。 0: FCU はリセットされない 1: FCU はリセットされる

【注】 * 書き込みデータは保持されません。

29.3.12 FCU コマンドレジスタ (FCMDR)

FCMDR は、FCU が受け付けたコマンドを格納するレジスタです。内蔵 ROM が無効なモードでは、FCMDR の読み出しデータは H'0000 になり、書き込みは無効化されます。FCMDR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMDR								PCMDR							
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	CMDR	H'FF	R	コマンドレジスタ FCU が受け付けた最新のコマンドを格納するレジスタです。
7~0	PCMDR	H'FF	R	プレコマンドレジスタ FCU が受け付けた 1 つ前のコマンドを格納するレジスタです。

表 29.3 に各コマンド受け付け後の FCMDR レジスタの状態を示します。

表 29.3 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
ノーマルモード移行	H'FF	前回コマンド
ステータスリードモード移行	H'70	前回コマンド
ロックビットリードモード移行	H'71	前回コマンド
プログラム	H'E8	前回コマンド
ブロックイレーズ	H'D0	H'20
P/E サスペンド	H'B0	前回コマンド
P/E レジューム	H'D0	前回コマンド
ステータスレジスタクリア	H'50	前回コマンド
ロックビットリード 2 ブランクチェック	H'D0	H'71
ロックビットプログラム	H'D0	H'77
周辺ロック通知	H'E9	前回コマンド

29.3.13 FCU 処理切り替えレジスタ (FCPSR)

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択するためのレジスタです。内蔵 ROM が無効なモードでは、FCPSR の読み出しデータは H'0000 になり、書き込みは無効化されます。FCPSR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ESU SPMD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ESUSPMD	0	R/W	消去サスペンドモード FCU が ROM / FLD の消去処理を実行中に P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです (「29.6.4 サスペンド動作」を参照)。 0: サスペンド優先モード 1: 消去優先モード

29.3.14 フラッシュ P/E ステータスレジスタ (FPESTAT)

FPESTAT は、ROM/FLD の書き込み / 消去処理結果を示すレジスタです。内蔵 ROM が無効なモードでは、FPESTAT の読み出しデータは H'0000 になり、書き込みは無効化されます。FPESTAT は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PEERRST							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	PEERRST	H'00	R	P/E エラーステータスビット ROM/FLD の書き込み / 消去処理中にエラーが発生した場合のエラー原因を示すビットです。PEERRST ビットの値は、FSTATR0 レジスタの PRGERR ビットまたは ERSERR ビットが 1 の状態でのみ有効です。ERSERR ビットと PRGERR ビットが 0 の場合の PEERRST ビットには、過去に発生したエラー原因の値が保持されます。 H'01: ロックビットでプロテクトされた領域に対する書き込みエラー H'02: ロックビットプロテクト以外の要因による書き込みエラー H'11: ロックビットでプロテクトされた領域に対する消去によるエラー H'12: ロックビットプロテクト以外の要因による消去エラー 上記以外: 予約

29.3.15 周辺クロック通知レジスタ (PCKAR)

PCKAR は、ROM およびデータフラッシュの書き込み / 消去時に周辺クロック (P) の周波数設定情報をシーケンサに通知するためのレジスタです。この設定は、書き込み / 消去時間の制御に使用されます。内蔵 ROM が無効なモードでは、PCKAR の読み出しデータは H'0000 になり、書き込みは無効化されます。

PCKAR は、パワーオンリセットおよび FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PCKA							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
7~0	PCKA	H'00	R/W	周辺クロック通知ビット ROM/FLD の書き込み / 消去時に周辺クロック (P) を設定するためのビットです。書き込み / 消去を行う前に PCKA ビットに P の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM/FLD の書き込み / 消去中は、周波数を変更しないでください。 設定値の算出は以下のようにしてください。 <ul style="list-style-type: none"> MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA ビットに書き込む たとえば、周辺クロックの動作周波数が 35.9MHz の場合は以下のように設定します。 <ul style="list-style-type: none"> 35.9MHz を切り上げて 36MHz とする。 36 を 2 進数変換し、H'24 (B'0010 0100) を PCKA ビットに設定する。 【注】 1. PCKA ビットが 5MHz ~ 50MHz の範囲外に設定された場合、ROM に対する書き換えコマンドを発行しないでください。 2. 実周波数と異なる周波数を PCKA ビットに設定した場合、ROM/FLD のデータが破壊される可能性があります。

29.3.16 消去ブロック通知レジスタ (FIEBAR)

FIEBAR は消去ブロック情報をシーケンサに通知するためのレジスタです。

ユーザマットの消去、ロックビットの書き込み、ロックビットのリードのときに設定が必要です。

内蔵 ROM が無効なモードでは、FIEBAR レジスタの読み出しは H'0000 になり、書き込みは無効化されます。

FIEBAR は、パワーオンリセットおよびFRESETR レジスタのFRESET ビットを 1 にすることで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	FIEBAR[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
7~0	FIEBAR[7:0]	H'00	R/W	消去ブロック通知ビット シーケンサに消去ブロックを通知するためのビットです。消去ブロックに対応する消去ブロック情報を設定してコマンドを発行してください。消去ブロックに対する消去ブロック情報の値は以下のようになります。 EB0 の場合 H'00 を設定 EB1 の場合 H'01 を設定 EB2 の場合 H'02 を設定 EB3 の場合 H'03 を設定 EB4 の場合 H'04 を設定 EB5 の場合 H'05 を設定 EB6 の場合 H'06 を設定 EB7 の場合 H'07 を設定 EB8 の場合 H'08 を設定 EB9 の場合 H'09 を設定 EB10 の場合 H'0A を設定 EB11 の場合 H'0B を設定 EB12 の場合 H'0C を設定 EB13 の場合 H'0D を設定 EB14 の場合 H'0E を設定 EB15 の場合 H'0F を設定

29.4 ROM 関連モード概要

図 29.4 に本 LSI のモード遷移図 (ROM 関連) を示します。MD1、MD0 端子と FWE 端子の設定値と本 LSI の動作モードの関係については「第 4 章 MCU 動作モード」を参照してください。

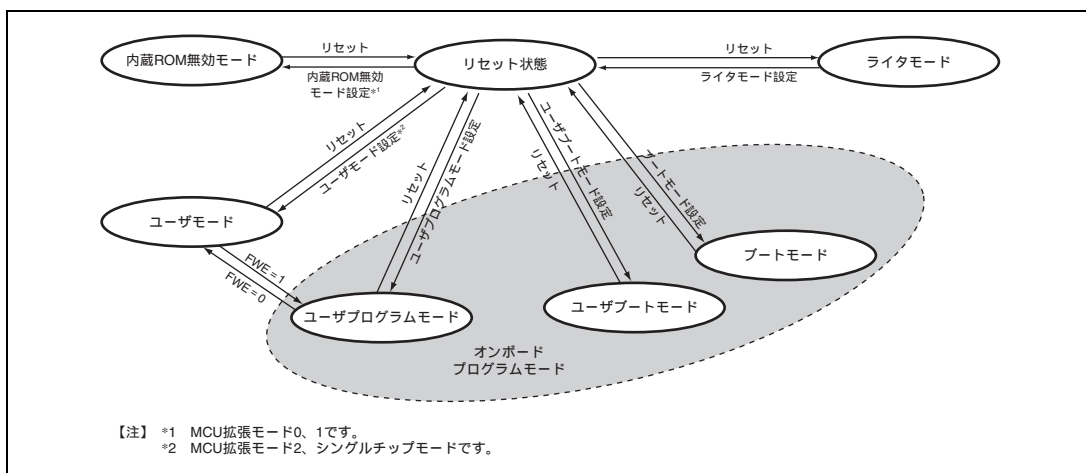


図 29.4 ROM に関するモード遷移図

- 内蔵ROM無効モード (MCU拡張モード0、MCU拡張モード1) では、ROMの読み出し / 書き込み / 消去は実施できません。
- ユーザーモード (MCU拡張モード2、シングルチップモード) では、ROMの読み出しは可能ですが、書き込み / 消去は実施できません。
- ユーザープログラムモード / ユーザーブートモード / ブートモードでは、オンボードでROMの読み出し / 書き込み / 消去を実施できます。

表 29.4 に、ブートモード、ユーザプログラムモード、ユーザブートモード、ライタモード書き込み / 消去関連項目の比較表を示します。

表 29.4 プログラムモードの比較

項目	ブートモード	ユーザ プログラムモード	ユーザ ブートモード	ライタモード
書き込み / 消去環境	オンボード プログラム			オフボード プログラム
書き込み / 消去 可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
書き込み / 消去制御	ホスト	FCU	FCU	ライタ
全面消去	(自動)			(自動)
ブロック分割消去	*1			x
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	ライタ経由
リセット時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブートマット*2	組み込みプログラム 格納マット
MCU 動作モードへの遷移	モード設定変更 & リセット	FWE 設定変更	モード設定変更 & リセット	-

【注】 *1 起動時に全面消去されます。その後、特定ブロックの消去を実施可能です。

*2 組み込みプログラム格納マットから起動し、ルネサス提供のブートプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み / 消去は、ブートモード、ライタモードでのみ可能です。
- ブートモードでは、起動直後にユーザマット / ユーザブートマット / FLD のデータマットが全面消去されます。その後、ホストから SCI 経由でのユーザマット / ユーザブートマット / データマットの書き込みが可能になります。ROM 内容の読み出しも、起動直後の全面消去後に可能になります。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

29.5 ブートモード

29.5.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット/ユーザブートマットの書き込み/消去を実行可能です。ホストと本 LSI 間の通信には、本 LSI 内蔵の SCI を調歩同期式モードで使用します。ホスト上には制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。本 LSI をブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムでは、SCI のビットレートの自動調整と制御コマンド方式でのホスト 本 LSI 間の通信が実現されます。

図 29.5 にブートモード時のシステム構成を示します。ブートモードでは NMI、その他の割り込みは無視されますが、端子のレベルは非アクティブ状態に固定してください。また、ブートモード時には AUD は使用できませんのでご注意ください。

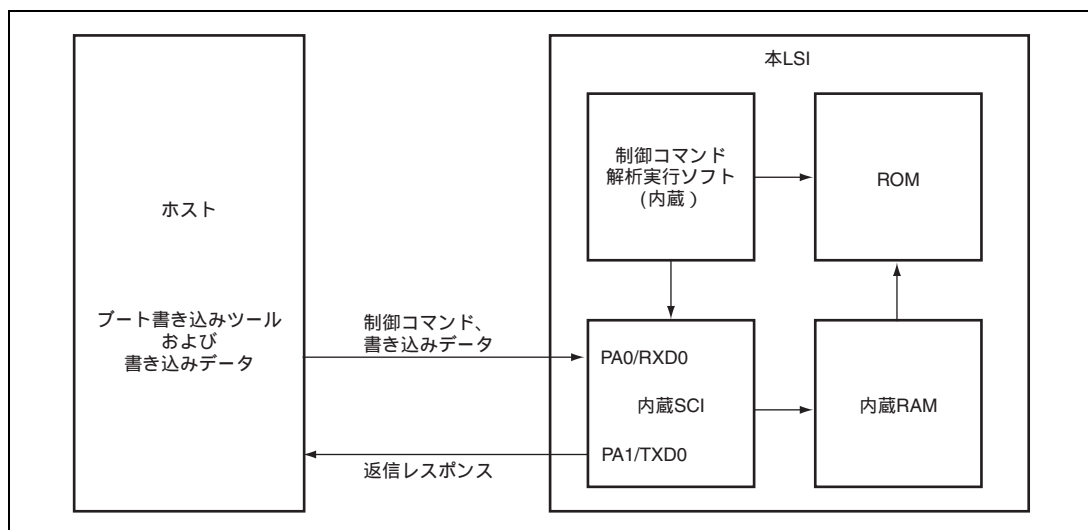


図 29.5 ブートモード時のシステム構成

29.5.2 ブートモードの状態遷移

図 29.6 にブートモードの状態遷移図を示します。

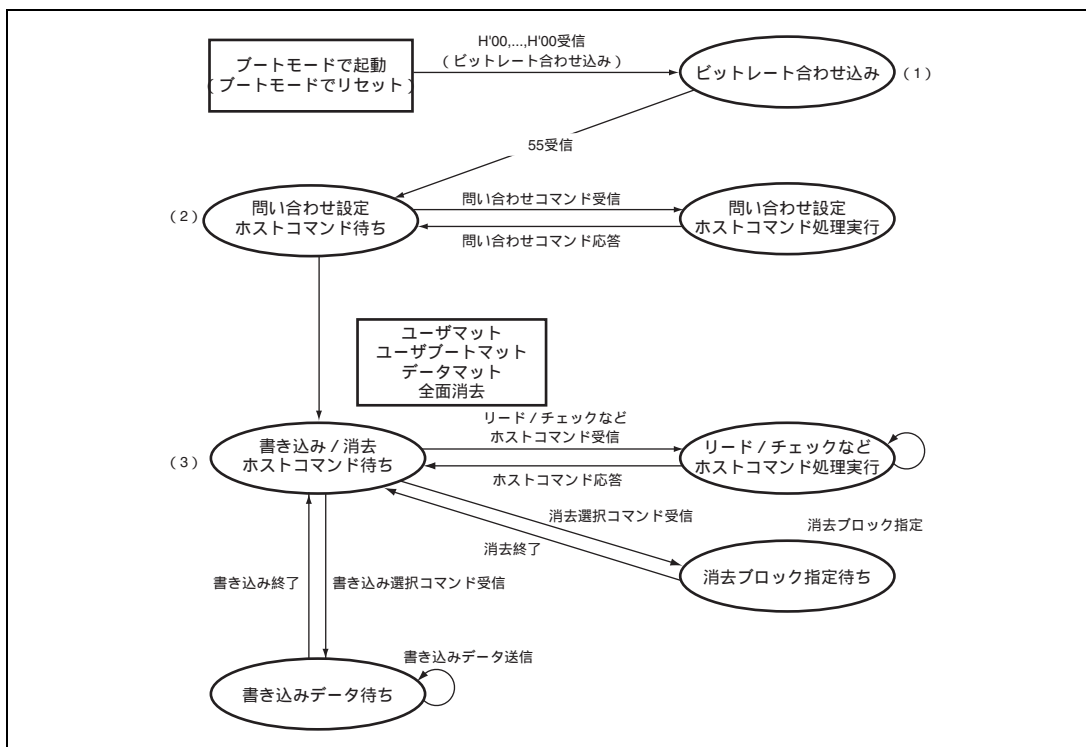


図 29.6 ブートモードの状態遷移図

（1）ビットレート合わせ込み

本 LSI をブートモードで起動すると、ホストと SCI のビットレート自動調整を実行します。ビットレートの自動調整が終了すると、本 LSI からホストへ H'00 を送信します。その後、ホストから送信された H'55 を本 LSI が正しく受信すると問い合わせ設定ホストコマンド待ち状態に遷移します。ビットレート合わせ込みの詳細は、「29.5.3 ビットレートの自動調整」を参照してください。

(2) 問い合わせ設定ホストコマンド待ち

マットサイズ、マット構成、マット先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから書き込み消去ステータス遷移コマンドを発行すると、本 LSI はユーザマット / ユーザブートマット / FLD のデータマットの全面消去を実行し、書き込み / 消去ホストコマンド待ち状態に遷移します。問い合わせ設定ホストコマンドの詳細は「29.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

(3) 書き込み / 消去ホストコマンド待ち

ホストからのコマンドに従って、書き込み / 消去を実行する状態です。本 LSI が受信したコマンドに応じて、書き込みデータ待ち状態、消去ブロック指定待ち状態、リード / チェックなどコマンド処理実行状態に遷移します。

本 LSI が書き込み選択コマンドを受信した場合には、書き込みデータ待ち状態に遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスを H'FFFFFFF と設定すると、書き込みが終了して書き込みデータ待ち状態から書き込み / 消去コマンド待ち状態に遷移します。

本 LSI が消去選択コマンドを受信すると消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号を H'FF と設定すると、消去が終了して消去ブロック指定待ち状態から書き込み / 消去コマンド待ち状態に遷移します。ブートモードで起動してから書き込み / 消去ホストコマンド状態に遷移する間にユーザマット / ユーザブートマット / FLD のデータマットの全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ブランクチェック (消去チェック)、メモリリード、ステータス情報取得のためのホストコマンドもあります。書き込み / 消去ホストコマンド待ち状態で実行できるホストコマンドの詳細は「29.5.5 書き込み / 消去ホストコマンド待ち状態」を参照してください。

(4) ブートモード時の FRQCR レジスタの初期値

ブートモード時の FRQCR レジスタの初期値は、I : B : P : M : A の分周率の設定をすべて 1/8 に変更しています。

29.5.3 ビットレートの自動調整

本 LSI をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ H'00 のローレベル期間を測定します。ローレベル期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。本 LSI は測定したローレベル期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると H'00 をホストへ送信します。ホストが H'00 を正常に受信した場合には、ホストから本 LSI に H'55 を送信してください。H'00 を正常に受信できなかった場合には、本 LSI をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 LSI は H'55 を正常に受信すると H'E6 を送信し、H'55 を正常に受信できなかった場合には H'FF を送信します。

図 29.7 にビットレート自動調整時の SCI 送受信フォーマットを、図 29.8 にホストと本 LSI 間の通信シーケンスを示します。

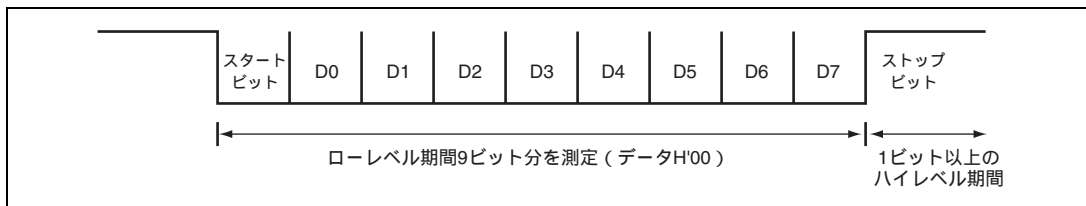


図 29.7 ビットレート自動調整時の SCI 送受信フォーマット



図 29.8 ホストと本 LSI 間の通信シーケンス

ホストの SCI のビットレートや本 LSI の周辺クロックの周波数に依存してビットレートを正常に調整できない場合がありますので、表 29.5 に示した条件で SCI の通信を行うようにしてください。

表 29.5 ビットレート自動調整が可能な条件

ホストの SCI のビットレート	本 LSI の周辺クロックの周波数
9,600bps	5 ~ 50MHz
19,200bps	5 ~ 50MHz

29.5.4 問い合わせ設定ホストコマンド待ち状態

表 29.6 に、問い合わせ設定ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。ブートプログラムステータス問い合わせコマンドは、書き込み / 消去ホストコマンド待ち状態でも使用可能です。その他のコマンドは、問い合わせ設定ホストコマンド待ち状態でのみ使用可能です。

表 29.6 問い合わせ設定ホストコマンド

ホストコマンド名	機能
サポートデバイス問い合わせ	デバイスコードと組み込みプログラム型名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモードの問い合わせ
クロックモード選択	クロックモードの選択
逡倍比問い合わせ	クロック種類、逡倍比 / 分周比の種類、逡倍比 / 分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大 / 最低動作周波数の問い合わせ
ユーザブートマット情報問い合わせ	ユーザブートマットの個数、先頭 / 最終アドレスの問い合わせ
ユーザマット情報問い合わせ	ユーザマットの個数、先頭 / 最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭 / 最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
新ビットレート選択	ホスト - 本 LSI 間の SCI 通信のビットレートを変更
書き込み消去ステータス遷移	ユーザマット / ユーザブートマット / FLD のデータマットの全面消去、および書き込み / 消去ホストコマンド待ち状態への遷移
ブートプログラムステータス問い合わせ	本 LSI の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下のとおりです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス	H'80	コマンド
----------	------	------

問い合わせ設定ホストコマンド待ち状態では、問い合わせコマンドのレスポンスを参考にして、デバイス選択 / クロックモード選択 / 新ビットレート選択の順にホストから選択コマンドを送信し、本 LSI の設定を行ってください。また、サポートデバイス問い合わせ / クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、本 LSI がコマンドエラーのレスポンスを送信します。図 29.9 に問い合わせ設定ホストコマンド待ち状態でのホストコマンド使用例を示します。

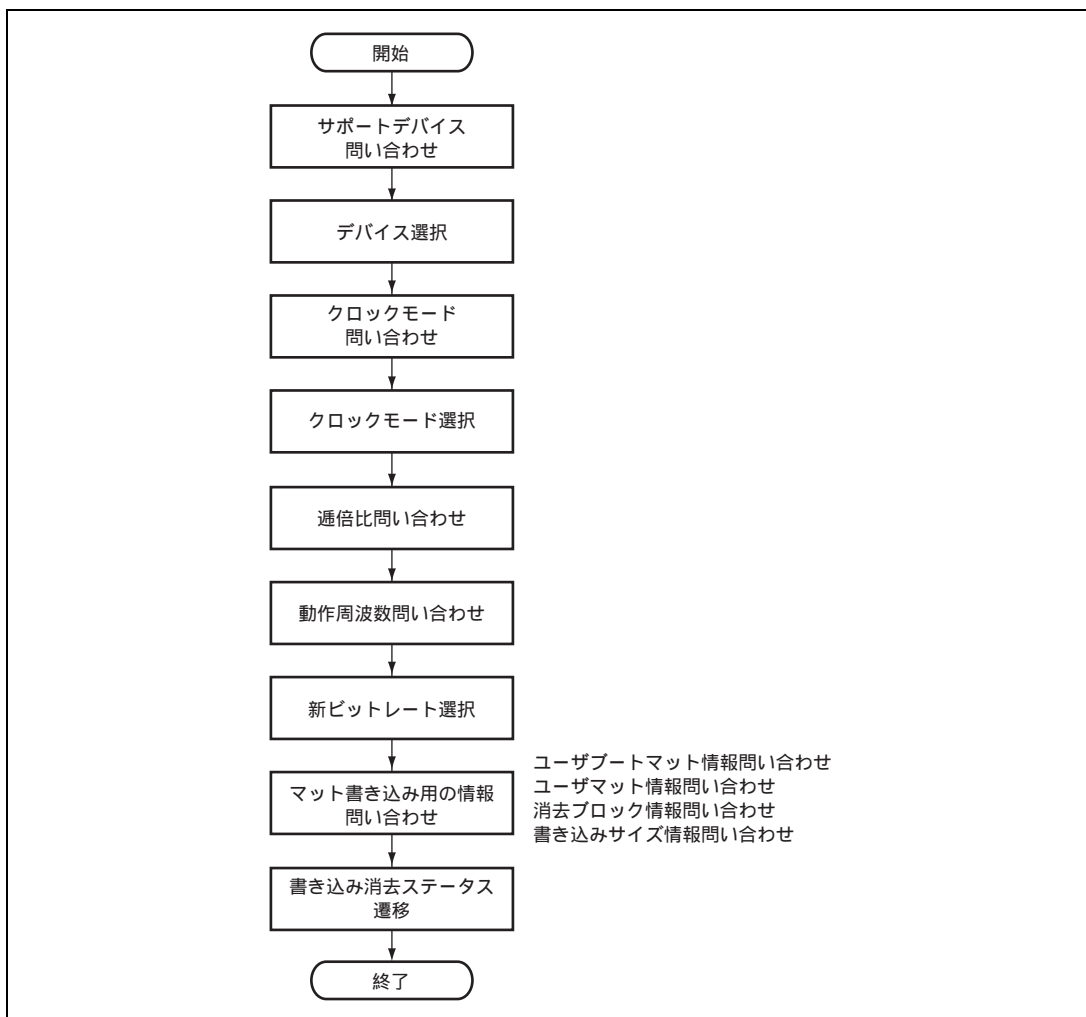


図 29.9 問い合わせ設定ホストコマンドの使用例

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートモード用の組み込みプログラムでサポート可能なデバイス情報を本 LSI が送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、本 LSI は選択したデバイスの情報のみ送信します。

コマンド	H'20			
レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	文字数	デバイスコード		品名

	文字数	デバイスコード		品名
	SUM			

【記号説明】

サイズ (1 バイト) : デバイス数、文字数、デバイスコード、品名のデータの総バイト数

デバイス数 (1 バイト) : ブートモード用の組み込みプログラムがサポートする品種数

文字数 (1 バイト) : デバイスコードと品名の文字数

デバイスコード (4 バイト) : チップ品名の ASCII コード

品名 (n バイト) : サポートデバイス名の ASCII コード

SUM (1 バイト) : サムチェック

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、本 LSI は指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、本 LSI はサポートデバイスを指定したデバイスに変更し、レスポンス (H'06) を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'90) を送信します。

サポートデバイス問い合わせの結果、デバイス数が H'01 であった場合も、デバイス選択コマンドで問い合わせ結果のデバイスコードの値を設定してください。

コマンド	H'10	サイズ	デバイスコード	SUM
レスポンス	H'06			
エラーレスポンス	H'90	エラー		

【記号説明】

サイズ (1 バイト) : デバイスコードの文字数 (固定値で 4)

デバイスコード (4 バイト) : チップ品名の ASCII コード (サポートデバイス問い合わせコマンドの応答と同一のコード)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー (コマンドが不正)

H'21 : デバイスコード不一致

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを本 LSI が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、本 LSI は選択したクロックモードの情報のみ送信します。

コマンド	H'21			
レスポンス	H'31	サイズ		
	モード	モード	...	モード
	SUM			

【記号説明】

サイズ (1 バイト) : モード数、モードのデータの総バイト数

モード (1 バイト) : 選択可能なクロックモード (例 : H'01 クロックモード 1)

SUM (1 バイト) : サムチェック

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、本 LSI は指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、本 LSI はクロックモードを指定したモードに変更し、レスポンス (H'06) を送信します。サポート可能なモードではなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'91) を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が H'00 または H'01 であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	H'11	サイズ	モード	SUM
レスポンス	H'06			
エラーレスポンス	H'91	エラー		

【記号説明】

サイズ (1 バイト) : モードの文字数 (固定値で 1)

モード (1 バイト) : クロックモード (クロックモード問い合わせコマンドの応答と同一のモード)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー (コマンドが不正)

H'22 : クロックモード不一致

(5) 通倍比問い合わせ

ホストが通倍比問い合わせコマンドを送信すると、クロック種類、通倍比 / 分周比の種類、通倍比 / 分周比の情報を本 LSI が送信します。

コマンド	H'22				
レスポンス	H'32	サイズ	クロック数		
	通倍比種類	通倍比	通倍比	...	通倍比
	通倍比種類	通倍比	通倍比	...	通倍比

	通倍比種類	通倍比	通倍比	...	通倍比
	SUM				

【記号説明】

サイズ (1 バイト) : クロック数、通倍比種類、通倍比のデータの総バイト数

クロック数 (1 バイト) : クロックの種類 (例 : H'02 内部クロックと周辺クロックの 2 種類)

通倍比種類 (1 バイト) : 選択可能な通倍比 / 分周比の種類 (例 : H'03 内部クロックは 4 通倍、6 通倍、8 通倍の 3 種類)

通倍比 (1 バイト) : 通倍比 (例 : H'04 = 4 4 通倍) 正の数で指定

分周比 (例 : HFE = -2 2 分周) 負の数で指定

SUM (1 バイト) : サムチェック

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を本 LSI が送信します。

コマンド	H'23		
レスポンス	H'33	サイズ	クロック数
	最小周波数		最大周波数
	最小周波数		最大周波数

	最小周波数		最大周波数
	SUM		

【記号説明】

サイズ (1 バイト) : クロック数、最小周波数、最大周波数のデータの総バイト数

クロック数 (1 バイト) : クロックの種類 (例 : H'02 内部クロックと周辺クロックの 2 種類)

最小周波数 (2 バイト) : 動作周波数の最小値 (例 : H'07D0 20.00MHz)

周波数 (MHz) の小数点第 2 位までの値を 100 倍した値

最大周波数 (2 バイト) : 動作周波数の最大値で、書式は最小周波数と同様

SUM (1 バイト) : サムチェック

(7) ユーザブートマット情報問い合わせ

ホストがユーザブートマット情報を問い合わせると、ユーザブートマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'24		
レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数 (1 バイト) : ユーザブートマットのエリア数 (連続したエリアは 1 エリアと数えます)

エリア先頭アドレス (4 バイト) : ユーザブートマットエリアの先頭アドレス

エリア最終アドレス (4 バイト) : ユーザブートマットエリアの最終アドレス

SUM (1 バイト) : サムチェック

(8) ユーザマット情報問い合わせ

ホストがユーザマット情報を問い合わせると、ユーザマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'25		
レスポンス	H'35	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数 (1 バイト) : ユーザマットのエリア数 (連続したエリアは 1 エリアと数えます)

エリア先頭アドレス (4 バイト) : ユーザマットエリアの先頭アドレス

エリア最終アドレス (4 バイト) : ユーザマットエリアの最終アドレス

SUM (1 バイト) : サムチェック

(9) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザマットの消去ブロック数とアドレスの情報を本 LSI が送信します。

コマンド	H'26		
レスポンス	H'36	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

【記号説明】

サイズ (2 バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数

ブロック数 (1 バイト) : ユーザマットの消去ブロック数

エリア先頭アドレス (4 バイト) : 消去ブロックの先頭アドレス

エリア最終アドレス (4 バイト) : 消去ブロックの最終アドレス

SUM (1 バイト) : サムチェック

(10) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、本 LSI が書き込みサイズの情報を送信します。

コマンド	H'27			
レスポンス	H'37	サイズ	書き込みサイズ	SUM

【記号説明】

サイズ (1 バイト) : 書き込みサイズの文字数 (固定値で 2)

書き込みサイズ (2 バイト) : 書き込み単位 (バイト数単位)

SUM (1 バイト) : サムチェック

(11) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、本 LSI は内蔵 SCI を指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、本 LSI はレスポンス (H'06) を送信し、SCI を新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'BF) を送信します。ホストはレスポンス (H'06) を受信すると、新ビットレート選択コマンド送信時のビットレートで 1 ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ (H'06) を送信し、本 LSI は確認データをレスポンス (H'06) を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

図 29.10 に新ビットレート選択のシーケンスを示します。

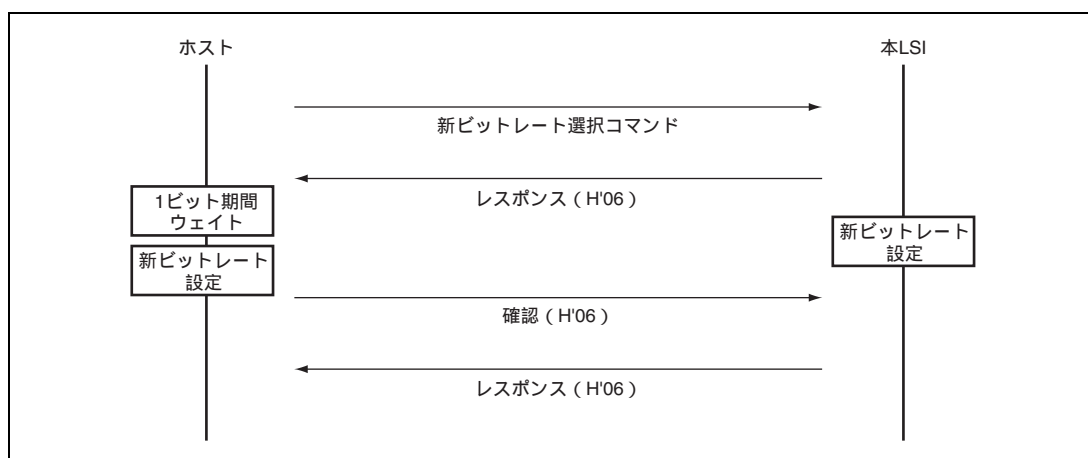


図 29.10 新ビットレート選択のシーケンス

コマンド	H'3F	サイズ	ビットレート	入力周波数
	クロック数	通倍比 1	通倍比 2	
	SUM			
レスポンス	H'06			
エラーレスポンス	H'BF	エラー		
確認	H'06			
レスポンス	H'06			

【記号説明】

サイズ (1 バイト) : ビットレート、入力周波数、クロック数、通倍比のデータの総バイト数

ビットレート (2 バイト) : 新ビットレート (例 : H'00C0 19200bps)
ビットレート値を 1/100 した値を設定

入力周波数 (2 バイト) : 本 LSI の入力周波数 (例 : H'07D0 20.00MHz)

入力周波数の小数点第 2 位までを 100 倍した値を設定

クロック数 (1 バイト) : クロックの種類 (例 : H'02 内部クロックと周辺クロックの 2 種類)

通倍比 1 (1 バイト) : 入力周波数に対する内部クロックの通倍比 / 分周比

通倍比 (例 : H'04 = 4 4 通倍) 正の数で指定

分周比 (例 : HFE = -2 2 分周) 負の数で指定

通倍比 2 (1 バイト) : 入力周波数に対する周辺クロックの通倍比 / 分周比

通倍比 1 と同じフォーマット

SUM (1 バイト) : サムチェック

エラー : エラーコード H'11 : サムチェックエラー

H'24 : ビットレート選択不可エラー

H'25 : 入力周波数エラー

H'26 : 通倍比エラー

H'27 : 動作周波数エラー

• ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、本 LSI の SCI が誤差 4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートを B、入力周波数を f_{EX} 、通倍比 2 を P、SCI の SCBRR レジスタの設定値を N、SCSMR レジスタの CKS[1:0] ビットの設定値を n とした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \frac{f_{EX} \times P \phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1$$

• 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値と最大値の範囲外であった場合に、入力周波数エラーが発生します。

• 通倍比エラー

新ビットレート選択コマンドで指定した通倍比が、クロックモード選択コマンドで指定したクロックモードに対応する通倍比でなかった場合に、通倍比エラーが発生します。選択可能な通倍比を確認するためには通倍比問い合わせコマンドを使用してください。

• 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数で本 LSI が動作できない場合に動作周波数エラーが発生します。本 LSI は、新ビットレート選択コマンドで指定された入力周波数、通倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(12) 書き込み消去ステータス遷移

ホストが書き込み消去ステータス遷移コマンドを送信すると、本 LSI はユーザマット/ユーザブートマット/FLD のデータマットを全面消去します。全面消去が完了すると、本 LSI はレスポンス (H'06) を送信し、書き込み消去ホストコマンド待ち状態に遷移します。エラーが発生して消去が完了しなかった場合には、本 LSI はエラーレスポンス (H'C0 H'51) を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、書き込み消去ステータス遷移コマンドを発行しないでください。

コマンド	H'40	
レスポンス	H'06	
エラーレスポンス	H'C0	H'51

(13) ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、本 LSI は現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ設定ホストコマンド待ち状態と書き込み消去ホストコマンド待ち状態で使用可能です。

コマンド	H'4F			
レスポンス	H'5F	サイズ	ステータス	エラー

【記号説明】

サイズ (1 バイト) : ステータス、エラーのデータの総バイト数 (固定値で 2)

ステータス (1 バイト) : 本 LSI の状態 (表 29.7 を参照)

エラー (1 バイト) : 本 LSI のエラー発生状況 (表 29.8 を参照)

表 29.7 ステータスの内容

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ホストコマンド待ち状態への遷移待ち (ビットレート選択完了)
H'31	ユーザマツト/ユーザブツトマツトの消去中
H'3F	書き込み消去ホストコマツド待ち
H'4F	書き込みデータ受信待ち
H'5F	消去ブツック指定待ち

表 29.8 エラーの内容

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブツック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマツドエラー
H'FF	ビットレート合わせ込み確認エラー

29.5.5 書き込み / 消去ホストコマンド待ち状態

表 29.9 に、書き込み / 消去ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。

表 29.9 書き込み / 消去ホストコマンド

ホストコマンド名	機能
ユーザブートマット書き込み選択	本 LSI はユーザブートマット書き込みプログラムを選択
ユーザマット書き込み選択	本 LSI はユーザマット書き込みプログラムを選択
256 バイト書き込み	256 バイト書き込み
消去選択	本 LSI は消去用プログラムを選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザブートマットサムチェック	ユーザブートマットのサムチェック
ユーザマットサムチェック	ユーザマットのサムチェック
ユーザブートマットブランクチェック	ユーザブートマットのブランクチェック
ユーザマットブランクチェック	ユーザマットのブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットの書き込み
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
ブートプログラムステータス問い合わせ	本 LSI の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「29.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

図 29.11 にブートモードでの ROM 書き込み方法を示します。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド (ユーザブートマット書き込み選択 / ユーザマット書き込み選択) を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、本 LSI は書き込みデータ待ち状態になります (「29.5.2 ブートモードの状態遷移」を参照)。書き込みデータ待ちの状態、ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM にデータを書き込みます。ホストが書き込み先のアドレスを H'FFFFFFF に設定して 256 バイト書き込みコマンドを送信すると、本 LSI は書き込み終了と判定し、書き込み / 消去ホストコマンド待ち状態に遷移します。

図 29.12 にブートモードでの ROM 消去方法を示します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、本 LSI は消去ブロック指定待ち状態になります (「29.5.2 ブートモードの状態遷移」を参照)。消去ブロック指定待ちの状態、ホストがブロック消去コマンドを送信すると、本 LSI は ROM をブロック消去します。ホストがブロック番号に H'FF を設定してブロック消去コマンドを送信すると、本 LSI は消去終了と判定し、書き込み / 消去ホストコマンド待ち状態に遷移します。

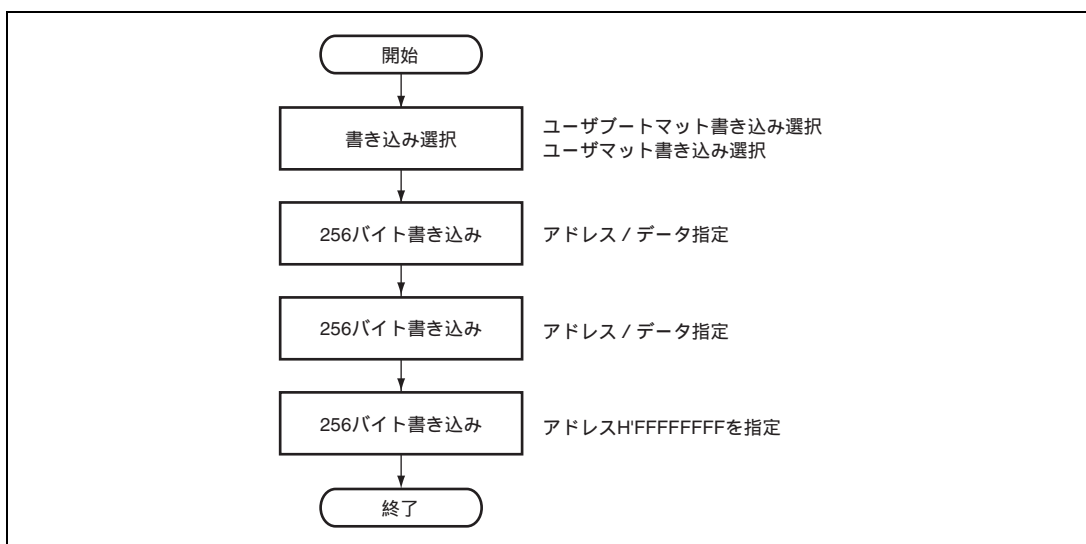


図 29.11 ブートモードでの ROM 書き込み方法

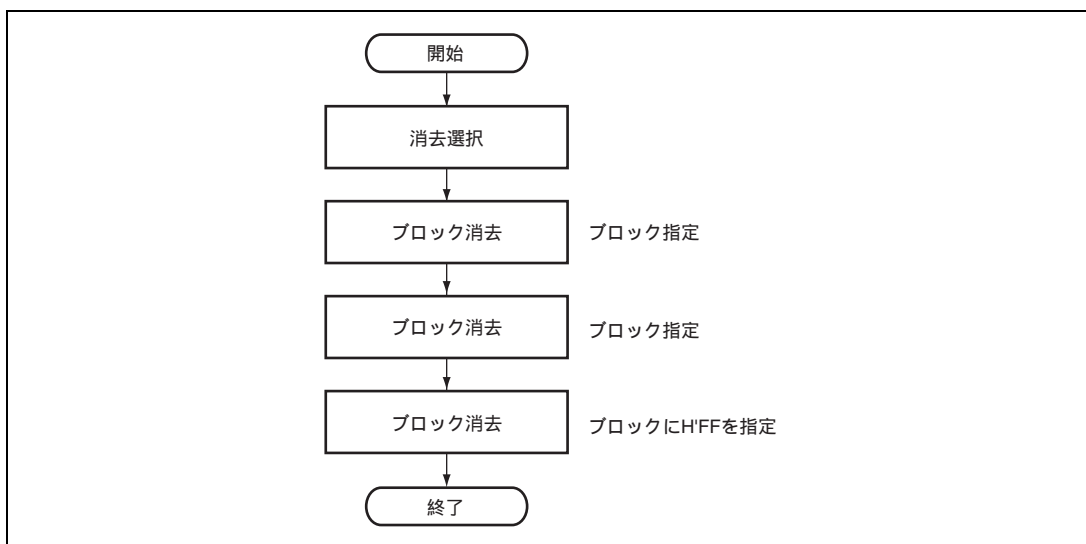


図 29.12 ブートモードでの ROM 消去方法

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) ユーザブートマット書き込み選択

ホストがユーザブートマット書き込み選択コマンドを送信すると、本 LSI はユーザブートマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド

H'42

レスポンス

H'06

(2) ユーザマット書き込み選択

ホストがユーザマット書き込み選択コマンドを送信すると、本 LSI はユーザマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド

H'43

レスポンス

H'06

(3) 256 バイト書き込み

ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM の書き込みを実行します。ROM の書き込みが正常に終了すると、本 LSI はレスポンス (H'06) を送信します。書き込み処理中にエラーが発生すると、本 LSI はエラーレスポンス (H'D0) を送信します。

コマンド	H'50	書き込みアドレス		
	データ	データ	...	データ
	SUM			
レスポンス	H'06			
エラーレスポンス	H'D0	エラー		

【記号説明】

書き込みアドレス (4 バイト) : 書き込み先のアドレス

書き込み実行時には 256 バイト境界にアラインしたアドレス

書き込み終了を指定する場合には H'FFFFFF を送信

データ (256 バイト) : 書き込みデータ

書き込み不要なバイトには H'FF を指定

書き込み終了を指定する場合にはデータの送信は不要 (書き込みアドレス SUM の順で送信する)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー (アドレスが指定のマット内でない)

H'53 : 書き込みエラーが発生して書き込めない

(4) 消去選択

ホストが消去選択コマンドを送信すると、本 LSI は消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド	H'48
レスポンス	H'06

(5) ブロック消去

ホストがブロック消去コマンドを送信すると、本 LSI は ROM の消去を実行します。ROM の消去が正常に終了すると、本 LSI はレスポンス (H'06) を送信します。消去処理中にエラーが発生すると、本 LSI はエラーレスポンス (H'D8) を送信します。

コマンド	H'58	サイズ	ブロック	SUM
レスポンス	H'06			
エラーレスポンス	H'D8	エラー		

【記号説明】

サイズ (1 バイト) : ブロックのデータのバイト数 (固定値で 1)

ブロック (1 バイト) : 消去する消去ブロックの番号

消去終了を指定する場合には H'FF を送信

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'29 : ブロック番号エラー (ブロック番号が正しくない)

H'51 : 消去エラーが発生して消去できない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、本 LSI は ROM に対するリードを実行します。正常にリードが実行された場合には、本 LSI はメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本 LSI はエラーレスポンス (H'D2) を送信します。

コマンド	H'52	サイズ	エリア	読み出し先頭アドレス	
	読み出しサイズ			SUM	
レスポンス	H'52	読み出しサイズ			
	データ	データ	...	データ	
	SUM				
エラーレスポンス	H'D2		エラー		

【記号説明】

サイズ (1 バイト) : エリア、読み出しアドレス、読み出しサイズのデータの総バイト数

エリア (1 バイト) : 読み出し対象のマット

H'00 : ユーザブートマット

H'01 : ユーザマット

読み出し先頭アドレス (4 バイト) : 読み出し対象領域の先頭アドレス

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

SUM (1 バイト) : サムチェック

データ (1 バイト) : ROM から読み出したデータ

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

- ・エリアの選択で H'00、H'01 以外を指定
- ・読み出し先頭アドレスが指定したマットの領域外

H'2B : データエラー

- ・読み出しサイズを選択で H'00 を指定
- ・読み出しサイズがマットのサイズを超えている
- ・読み出し先頭アドレスと読み出しサイズから計算されたアドレスがマットの領域外

(7) ユーザブートマットサムチェック

ホストがユーザブートマットサムチェックコマンドを送信すると、本 LSI はユーザブートマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'4A			
レスポンス	H'5A	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : ユーザブートマットのサムチェック結果

SUM (1 バイト) : サムチェック (レスポンスデータのサムチェック)

(8) ユーザマットサムチェック

ホストがユーザマットサムチェックコマンドを送信すると、本 LSI はユーザマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'4B			
レスポンス	H'5B	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : ユーザマットのサムチェック結果

SUM (1 バイト) : サムチェック (レスポンスデータのサムチェック)

(9) ユーザブートマトブランクチェック

ホストがユーザブートマトブランクチェックコマンドを送信すると、本 LSI はユーザブートマトがすべて消去状態であるかをチェックします。ユーザブートマトがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。ユーザブートマトに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'CC H'52) を送信します。

コマンド	H'4C	
レスポンス	H'06	
エラーレスポンス	H'CC	H'52

(10) ユーザマトブランクチェック

ホストがユーザマトブランクチェックコマンドを送信すると、本 LSI はユーザマトがすべて消去状態であるかをチェックします。ユーザマトがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。ユーザマトに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'CD H'52) を送信します。

コマンド	H'4D	
レスポンス	H'06	
エラーレスポンス	H'CD	H'52

(11) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、本 LSI はロックビットに対するリードを実行します。正常にリードが実行された場合には、本 LSI はリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本 LSI はエラーレスポンス (H'F1) を送信します。

コマンド	H'71	サイズ	エリア	中位アドレス	上位アドレス	SUM
レスポンス	ステータス					
エラーレスポンス	H'F1	エラー				

【記号説明】

サイズ (1 バイト) : エリア、中位アドレス、上位アドレスのデータの総バイト数 (固定値で 3)

エリア (1 バイト) : 読み出し対象のマト

H'00 : ユーザブートマト

H'01 : ユーザマト

中位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの中位アドレス (8~15 ビット)

上位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの上位アドレス (16~23 ビット)

SUM (1 バイト) : サムチェック

ステータス (1 バイト) : ビット 6 が “0” でロック状態

: ビット 6 が “1” でアンロック状態

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー (アドレスが指定のマット内でない)

(12) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、本 LSI はロックビットの書き込みを行い、指定ブロックをロック状態にします。正常にロックされた場合には、本 LSI はレスポンス (H'06) を送信します。ロックされなかった場合には、本 LSI はエラーレスポンス (H'F7) を送信します。

コマンド	H'77	サイズ	エリア	中位アドレス	上位アドレス	SUM
レスポンス	H'06					
エラーレスポンス	H'F7	エラー				

【記号説明】

サイズ (1 バイト) : エリア、中位アドレス、上位アドレスのデータの総バイト数 (固定値で 3)

エリア (1 バイト) : ロック対象のマット

H'00 : ユーザブートマット

H'01 : ユーザマット

中位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの中位アドレス (8~15 ビット)

上位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの上位アドレス (16~23 ビット)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー (アドレスが指定のマット内でない)

H'53 : 書き込みエラーが発生しロック状態にできない

(13) ロックビット有効

ホストがロックビット有効コマンドを送信すると、本 LSI はロックビットを有効にします。

コマンド	H'7A
レスポンス	H'06

(14) ロックビット無効

ホストがロックビット無効コマンドを送信すると、本 LSI はロックビットを無効にします。

コマンド

H'75

レスポンス

H'06

(15) ブートプログラムステータス問い合わせ

詳細については「29.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

29.6 ユーザプログラムモード

29.6.1 FCU コマンド一覧

ユーザプログラムモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み / 消去を実行します。表 29.10 に、ROM 書き込み / 消去で使用可能な FCU コマンドの一覧を示します。

表 29.10 FCU コマンド一覧 (ROM 関連)

コマンド	機能
ノーマルモード移行	ノーマルモードに遷移 (「29.6.2 FCU コマンド受け付け条件」を参照)
ステータスリードモード移行	ステータスリードモードに遷移 (「29.6.2 FCU コマンド受け付け条件」を参照)
ロックビットリードモード移行	ロックビットリードモードに遷移 (「29.6.2 FCU コマンド受け付け条件」を参照)
プログラム	ROM 書き込み (256 バイト単位)
ブロックイレーズ	ROM 消去 (ブロック単位。ロックビットも同時に消去)
P/E サスペンド	書き込み / 消去の中断
P/E レジューム	書き込み / 消去の再開
ステータスレジスタクリア	FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード 2	指定した消去ブロックのロックビット読み出し (FSTATR1 レジスタの FLOCKST ビットにロックビットを反映)
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み
周辺クロック通知	周辺クロックの周波数を設定

ロックビットリード 2 / ロックビットプログラム以外の FCU コマンドは、FLD 書き込み / 消去でも使用可能です。FLD に対してロックビットリード 2 コマンドを発行した場合には、FLD のブランクチェックが実行されます。また、FLD に対してロックビットプログラムコマンドを発行した場合には、不正コマンド検出によるエラーが発生します (「第 30 章 データフラッシュ (FLD)」を参照)。

FCU へのコマンド発行は、ROM 書き込み / 消去用のアドレスに対する周辺バスライトアクセスで実現されます。表 29.11 に FCU コマンドのフォーマットを示します。表 29.11 に示した周辺バスライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU のコマンド受け付け条件については、「29.6.2 FCU コマンド受け付け条件」を参照してください。各 FCU コマンドの使用方法については、「29.6.3 FCU コマンド使用方法」を参照してください。

ロックビットをリードしたい場合は FRDMD ビットを 1 にセットする必要があります。FRDMD ビットが 1 で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリード 2 コマンドの 2 サイクル目のコマンド (H'D0) 待ちの状態になります。この状態で、ROM 書き込み / 消去用のアドレスに対して周辺バスライトアクセスで H'D0 を書き込むと、FCU はアクセス先に対応する消去ブロックのロックビットを FSTATR1 レジスタの FLOCKST ビットにコピーします。

P/E サスペンドコマンド発行時のサスペンド動作には、サスペンド優先モードと消去優先モードがあります。各モードでの動作の詳細は「29.6.4 サスペンド動作」を参照してください。

表 29.11 FCU コマンドのフォーマット

コマンド	コマンド サイクル 数*	1 サイクル目		2 サイクル目		3 サイクル目		4-5 サイクル目		6 サイクル目		7-130 サイクル目		131 サイクル目	
		アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ
ノーマルモード移行	1	RA	HFF	-	-	-	-	-	-	-	-	-	-	-	-
ステータスリードモード移行	1	RA	H70	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリードモード移行	1	RA	H71	-	-	-	-	-	-	-	-	-	-	-	-
プログラム	131	RA	HE8	RA	H80	WA	WD1	RA	WDn	RA	WDn	RA	WDn	RA	HD0
ブロックイレーズ	2	RA	H20	BA	HD0	-	-	-	-	-	-	-	-	-	-
P/E サスペンド	1	RA	H80	-	-	-	-	-	-	-	-	-	-	-	-
P/E レジューム	1	RA	HD0	-	-	-	-	-	-	-	-	-	-	-	-
ステータスレジスタクリア	1	RA	H50	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリード 2	2	RA	H71	BA	HD0	-	-	-	-	-	-	-	-	-	-
ロックビットプログラム	2	RA	H77	BA	HD0	-	-	-	-	-	-	-	-	-	-
周辺クロック設定	6	RA	HE9	RA	H03	WA	H0F0F	WA	H0F0F	RA	HD0	-	-	-	-

【記号説明】

RA : ROM 書き込み / 消去用のアドレス

H'80800000 ~ H'808FFFFFF の任意アドレス

WA : ROM 書き込み先アドレス

書き込みデータ 256 バイトの先頭アドレス

BA : ROM 消去ブロックアドレス

対象消去ブロック内の任意アドレス (書き込み / 消去用アドレスで指定)

WDn : 書き込みデータ n ワード目 (n = 1 ~ 128)

【注】 * コマンドサイクル数は書き込み / 消去アドレスに対する CPU による周辺バス (P バス) ライトアクセスの発行回数です。

29.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード / 状態に依存します。図 29.13 に FCU のモード遷移図を示します。

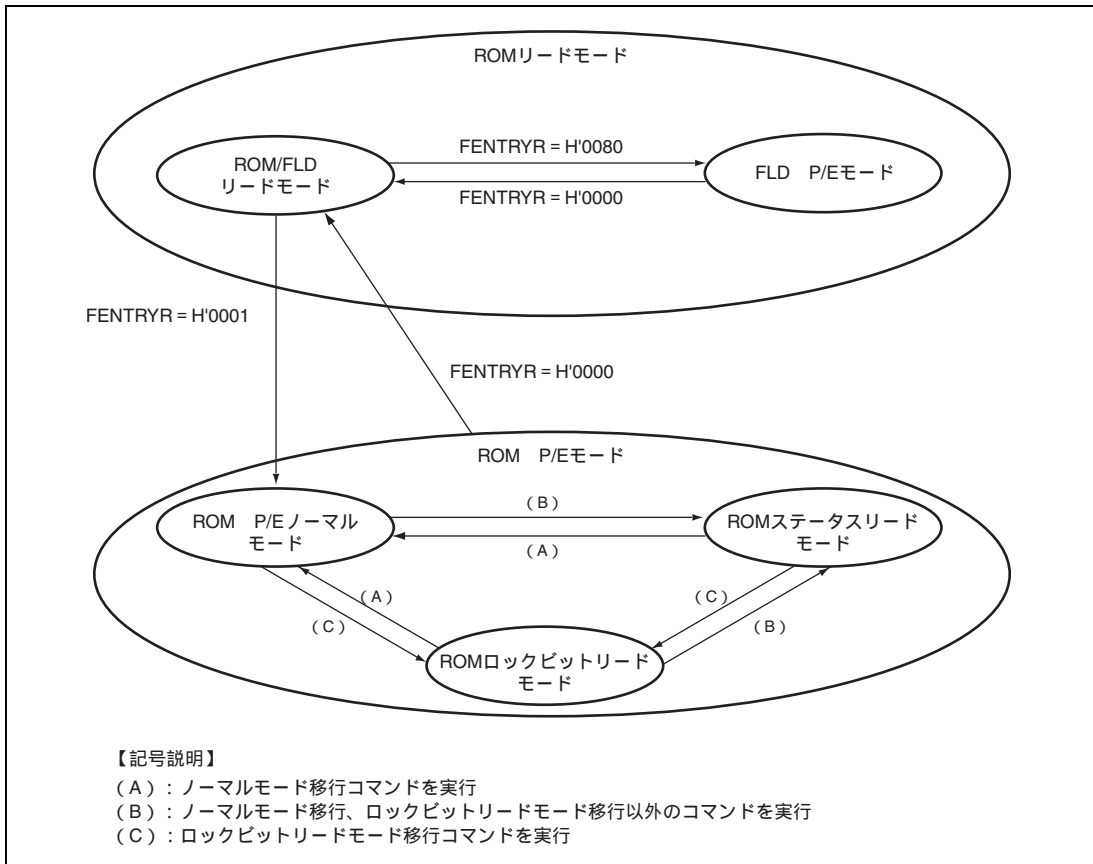


図 29.13 FCU のモード遷移図 (ROM 関連)

(1) ROM リードモード

- ROM / FLDリードモード

CPUバス経由でROMを、周辺バス経由でFLDを高速読み出し可能なモードです。FCUコマンドは受け付けられません。FENTRYRレジスタのFENTRY0ビットを0、かつFENTRYDビットを0に設定した場合に、このモードに遷移します。

- FLD P/Eモード

ROMを高速読み出し可能なモードです。FCUはFLD関連のFCUコマンドを受け付けますが、ROMに対するFCUコマンドは受け付けません。FENTRY0ビットを0、かつFENTRYDビットを1に設定した場合に、このモードに遷移します。FLD P/Eモードの詳細は、「29.6.2 FCUコマンド受け付け条件」を参照してください。

(2) ROM P/E モード

- ROM P/E ノーマルモード

ROMリードモード時にFENTRYDビットを0、かつFENTRY0ビットを1に設定した場合、またはROM P/Eモードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表29.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRY0ビットが1の状態ではH'80800000 ~ H'808FFFFFFに対して周辺バスリードアクセスを発行した場合には、ROMアクセス違反が発生してFCUはコマンドロック状態になります（「29.9.3 エラープロテクト」を参照）。

- ROMステータスリードモード

ROM P/Eモードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0レジスタのFRDYビットが0の状態やエラー発生後のコマンドロック状態も、ROMステータスリードモード中の状態です。表29.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRYRレジスタの値は、ROM P/E ノーマルモードと同じ値です。FENTRY0ビットが1の状態ではH'80800000 ~ H'808FFFFFFに対して周辺バスリードアクセスを発行した場合には、FSTATR0レジスタの値が読み出されます。

- ROMロックビットリードモード

ROM P/Eモードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。表29.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRYRレジスタの値は、ROM P/Eノーマルモードと同じ値です。

表 29.12 に ROM P/E モードの各モード / 状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります(「29.9.3 エラープロテクト」を参照)。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタのFRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタのFCUERR ビットの値を確認した後にFCU コマンドを発行してください。FASTAT レジスタのCMDLK ビットの値は、FSTATR0 レジスタのILGLERR、ERSERR、PRGERR と FSTATR1 レジスタのFCUERR ビットの値の論理和です。このため、CMDLK ビットを確認してFCUのエラー発生状況を確認することもできます。次ページの表 29.12 では、エラー発生状況を表すビットにCMDLK ビットを使用しています。書き込み / 消去の処理中、書き込み / 中断処理の処理中、ロックビットリード2処理中にはFSTATR0 レジスタのFRDY ビットが0になります。FRDY ビットが0の場合でP/E サスペンドコマンドが受け付け可能な状態は、FSTATR0 レジスタのSUSRDY ビットが1の場合のみです。

表 29.12 では、表を簡素化するためにERSSPD ビット、PRGSPD ビット、FRDY ビットの値を0/1と表記しています。ERSSPD ビットは、消去の中断処理中の場合には1、書き込みの中断処理中の場合には0になります。PRGSPD ビットは、書き込みの中断処理中の場合には1、消去の中断処理中の場合には0になります。コマンドロック状態のFRDY ビットの値は、コマンドロック状態に遷移する前のFRDY ビットの値が保持されます。

表 29.12 FCU のモード / 状態と受け付け可能なコマンドの関係

項 目	P/E ノーマル モード			ステータスリードモード									ロックビット リードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み / 消去の処理中	消去サスペンド中の書き込み処理中	書き込み / 消去の中断処理中	ロックビットリードの処理中	書き込みサスペンド中	消去サスペンド中	リフレッシュ状態 (FRDY=0)	リフレッシュ状態 (FRDY=1)	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行				x	x	x	x			x	x				
ステータスリードモード移行				x	x	x	x			x	x				
ロックビットリードモード移行				x	x	x	x			x	x				
プログラム	x			x	x	x	x	x		x	x		x		
ブロックイレーズ	x	x		x	x	x	x	x	x	x	x		x	x	
P/E サスペンド	x	x	x		x	x	x	x	x	x	x	x	x	x	x
P/E レジューム			x	x	x	x	x			x	x	x			x
ステータスレジスタクリア				x	x	x	x			x					
ロックビットリード2				x	x	x	x			x	x				
ロックビットプログラム	x			x	x	x	x	x		x	x		x		
周辺クロック通知	x	x		x	x	x	x	x	x	x	x		x	x	

【記号説明】

: 受け付け可能

: 消去中断したブロック以外への書き込みのみ受け付け可能

x : 受け付け不可能

29.6.3 FCU コマンド使用方法

FCU RAM へのファームウェア転送および FCU コマンド発行時のユーザ処理フロー例を示します。本節で紹介するフローでは、FCU コマンド発行前の FCU 状態確認は実施せず、フロー終了前にコマンド実行結果を確認している場合があります。FCU コマンドを確実に受け付けさせたい場合には、フロー開始前に FCU 状態を確認してください（「29.6.2 FCU コマンド受け付け条件」を参照）。

本節で紹介するフローでは、FSTATR0 レジスタの FRDY/ILGLERR/ERSERR/PRGERR/SUSRDY/ERSSPD/PRGSPD ビットと FSTATR1 レジスタの FCUERR ビットを使用して、FCU のコマンド処理状況とエラー発生状況を確認しています。FSTATR0 と FSTATR1 はワードアクセスで同時に読み出し可能であるため、1 回のレジスタアクセスで FCU の状態を確認できます。FSTATR0 レジスタの FRDY ビットと FSTAT レジスタの CMDLK ビットを使用して FCU の状態を確認する方法を使用する場合には、2 回のレジスタアクセスが必要になりますが、CMDLK ビットのみでエラーの有無を判定可能です。

FCU がコマンド処理中に FCUERR が 1 にセットされてコマンドロック状態に遷移した場合には、FRDY ビットは 0 を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが 0 から 1 にセットされることはありません。書き込み / 消去時間やサスペンド遅延時間（「第 35 章 電気的特性」参照）よりも長期間にわたって FRDY が 0 に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FCU のコマンド処理が完了して FRDY が 1 にセットされた場合には、FCUERR は必ず 0 の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR ビット、ERSERR ビット、PRGERR ビットで確認可能です。

図 29.14 に書き込み / 消去処理の概略フローを示します。

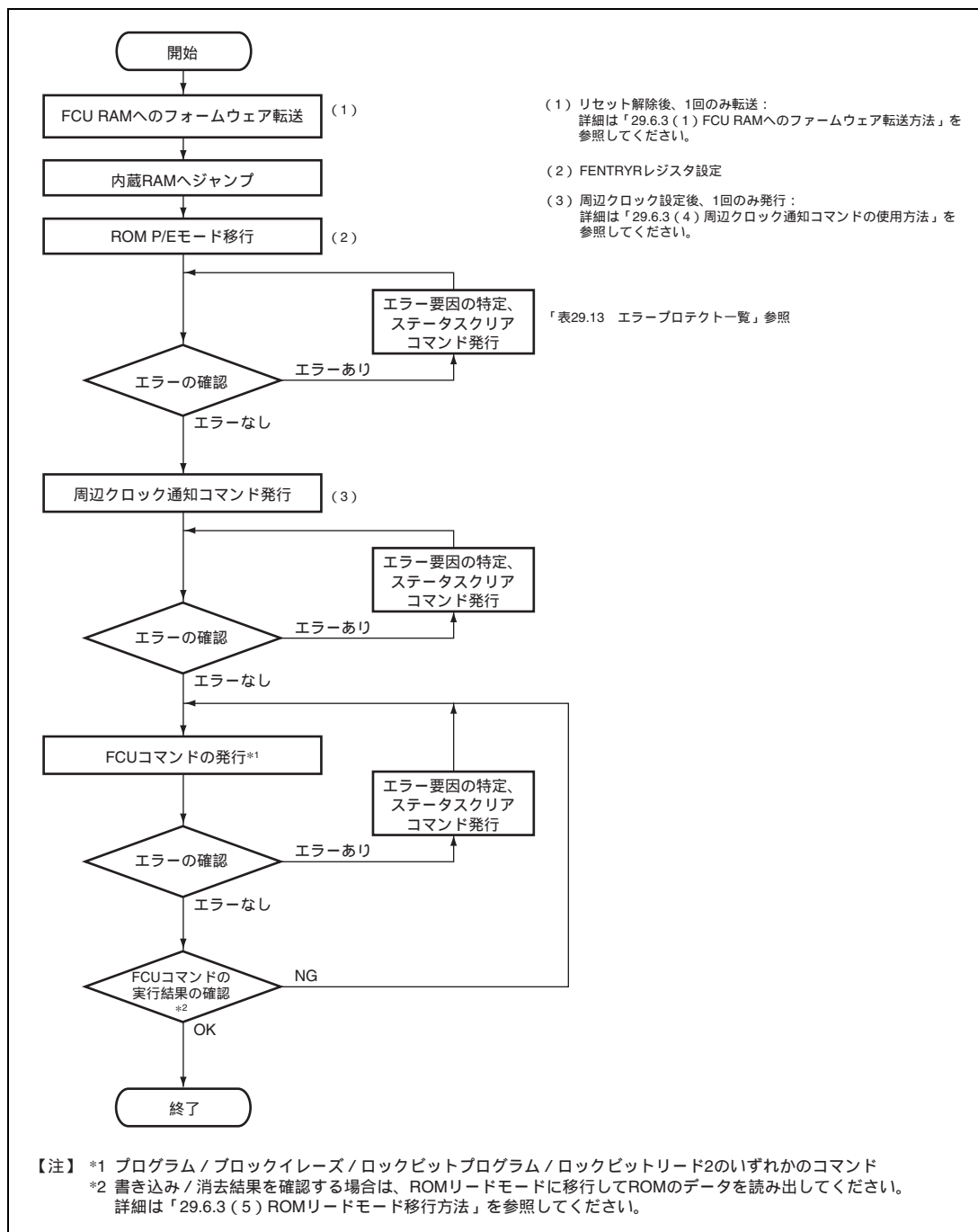


図 29.14 書き込み / 消去処理の概略フロー

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1 レジスタの FCUERR ビットが 1 の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 29.15 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書き込む場合には、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。FCU RAM へのファームウェアの転送は CPU または DMAC で行ってください。DMAC 設定方法の詳細は、「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

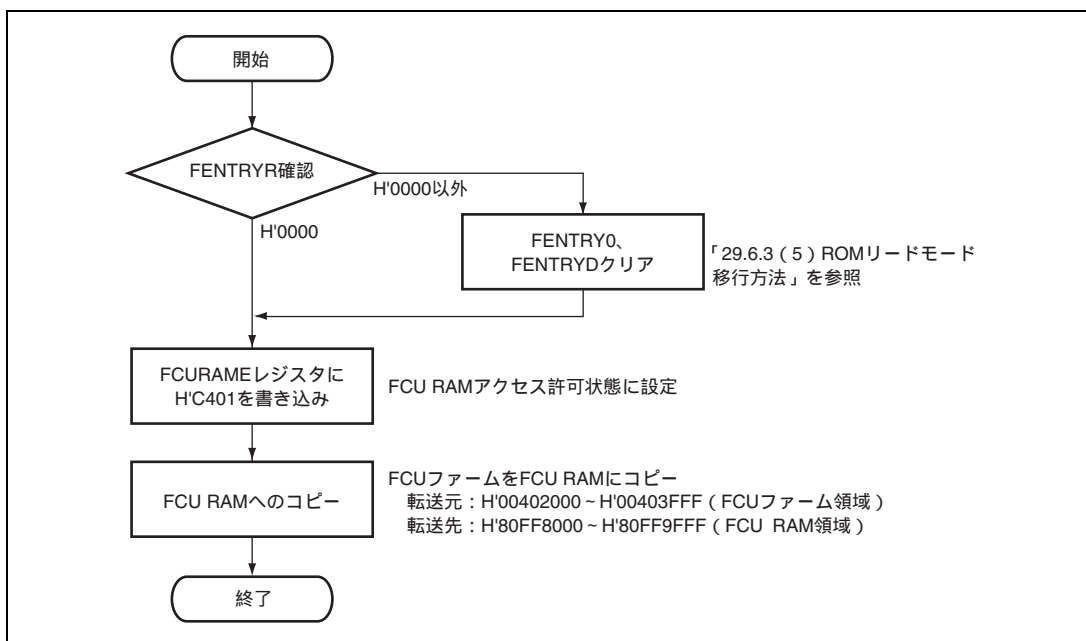


図 29.15 FCU RAM へのファームウェア転送フロー

(2) 内蔵 RAM へのジャンプ

フラッシュメモリ (ROM) への書き込み / 消去を行う場合、フラッシュメモリ (ROM) に対する命令フェッチを実行させないため、フラッシュメモリ (ROM) 以外の領域に移る必要があります。

必要な命令コードを内蔵 RAM にコピーして内蔵 RAM へジャンプしてください。

(3) ROM P/E モード移行方法

図 29.16 に ROM P/E モード移行フローを示します。

ROM 関連の FCU コマンドを実行するためには、FENTRYR レジスタの FENTRY0 ビットを設定して、FCU を ROM P/E モードに設定する必要があります (「29.6.2 FCU コマンド受け付け条件」を参照)。FENTRY0 ビットの書き込み条件については、「29.3.10 フラッシュプロテクトレジスタ (FPROTR)」を参照してください。

ROM リードモードから ROM P/E モードに移行した場合には、ROM P/E ノーマルモードになります。

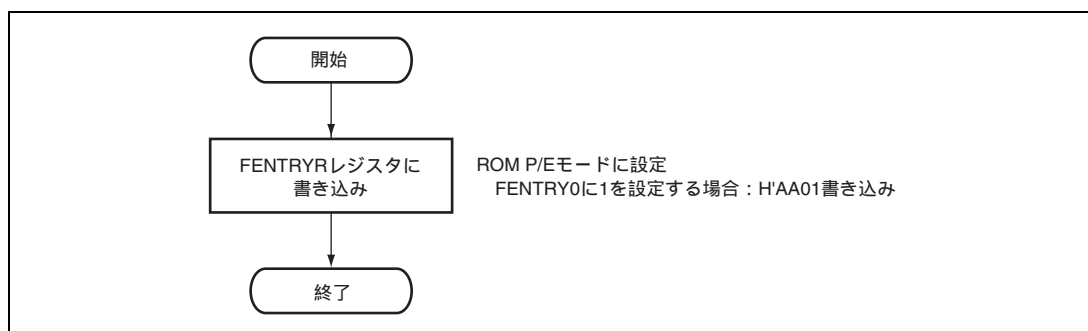


図 29.16 ROM P/E モード移行フロー

(4) 周辺クロック通知コマンドの使用方法

図 29.17 に周辺クロック通知コマンド使用方法を示します。

フラッシュメモリ (ROM) への書き込み / 消去前に使用している周辺クロックの周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 5MHz ~ 50MHz です。この範囲に設定しなかった場合には、FCU はエラーを検出しコマンドロック状態になります (「29.9.3 エラープロテクト」を参照)。

PCKAR レジスタに設定後、周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは H'E9 を、第 2 サイクルでは H'03 を ROM 書き込み / 消去用のアドレスにバイト書き込みします。コマンドの第 3 サイクル ~ 第 5 サイクルでは、ワードサイズで書き込みを実行します。この際、先頭アドレスは 4 バイト境界にアライメントしたアドレスを使用してください。ROM 書き込み / 消去用のアドレスに対して H'0F0F データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM 書き込み / 消去用のアドレスに対して H'D0 をバイト書き込みすると、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

なお、本設定はリセット解除後、使用している周辺クロックの設定を変更しなければ、1 回の実行で後続の FCU コマンドに対して有効になります。

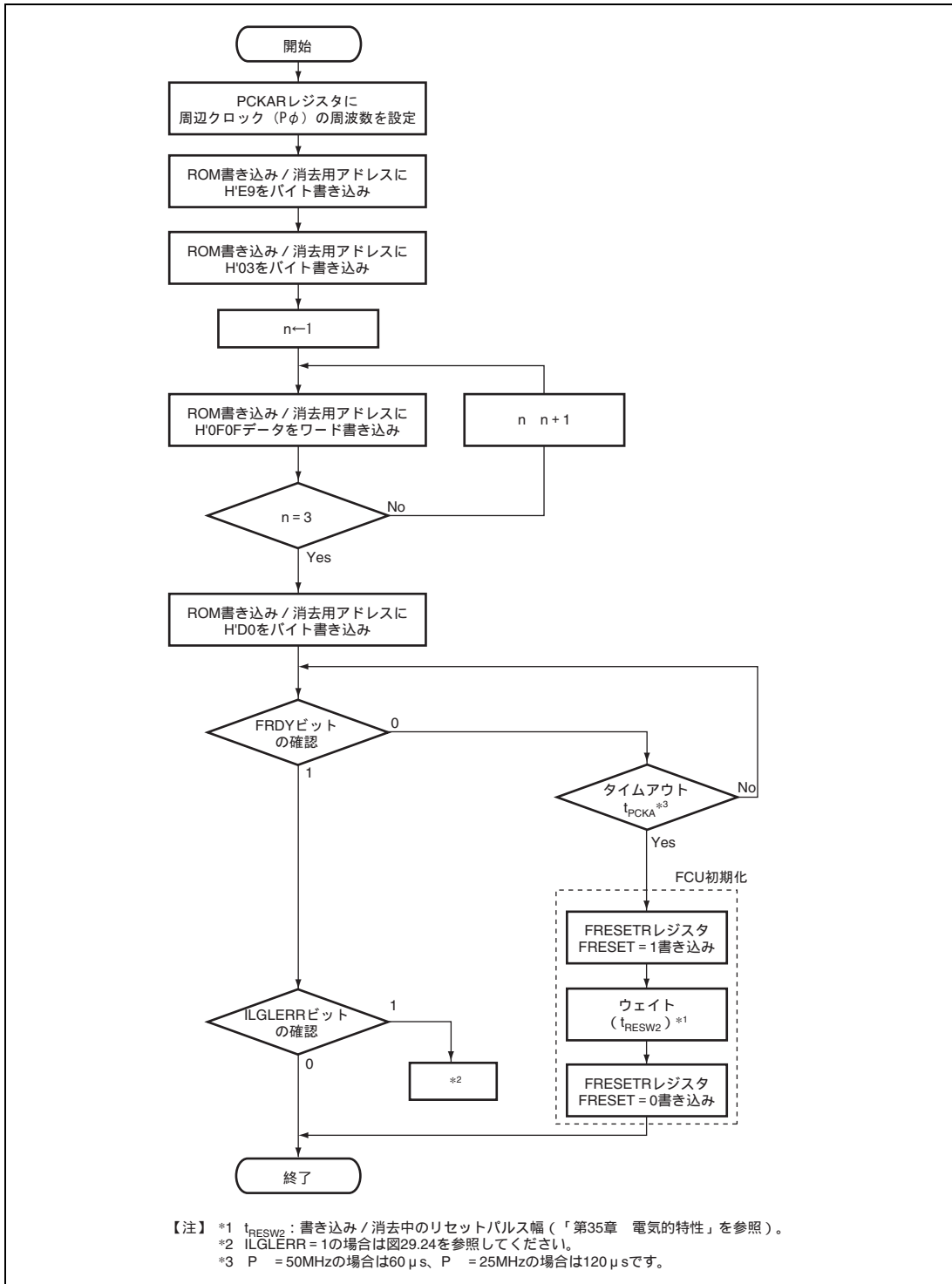


図 29.17 周辺クロック通知コマンドの使用フロー

(5) ROM リードモード移行方法

図 29.18 に ROM リードモード移行フローを示します。

ROM を高速読み出しするためには、FENTRYR レジスタの FENTRY0 ビットをクリアして、FCU を ROM リードモードに設定する必要があります(「29.6.2 FCU コマンド受け付け条件」を参照)。ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

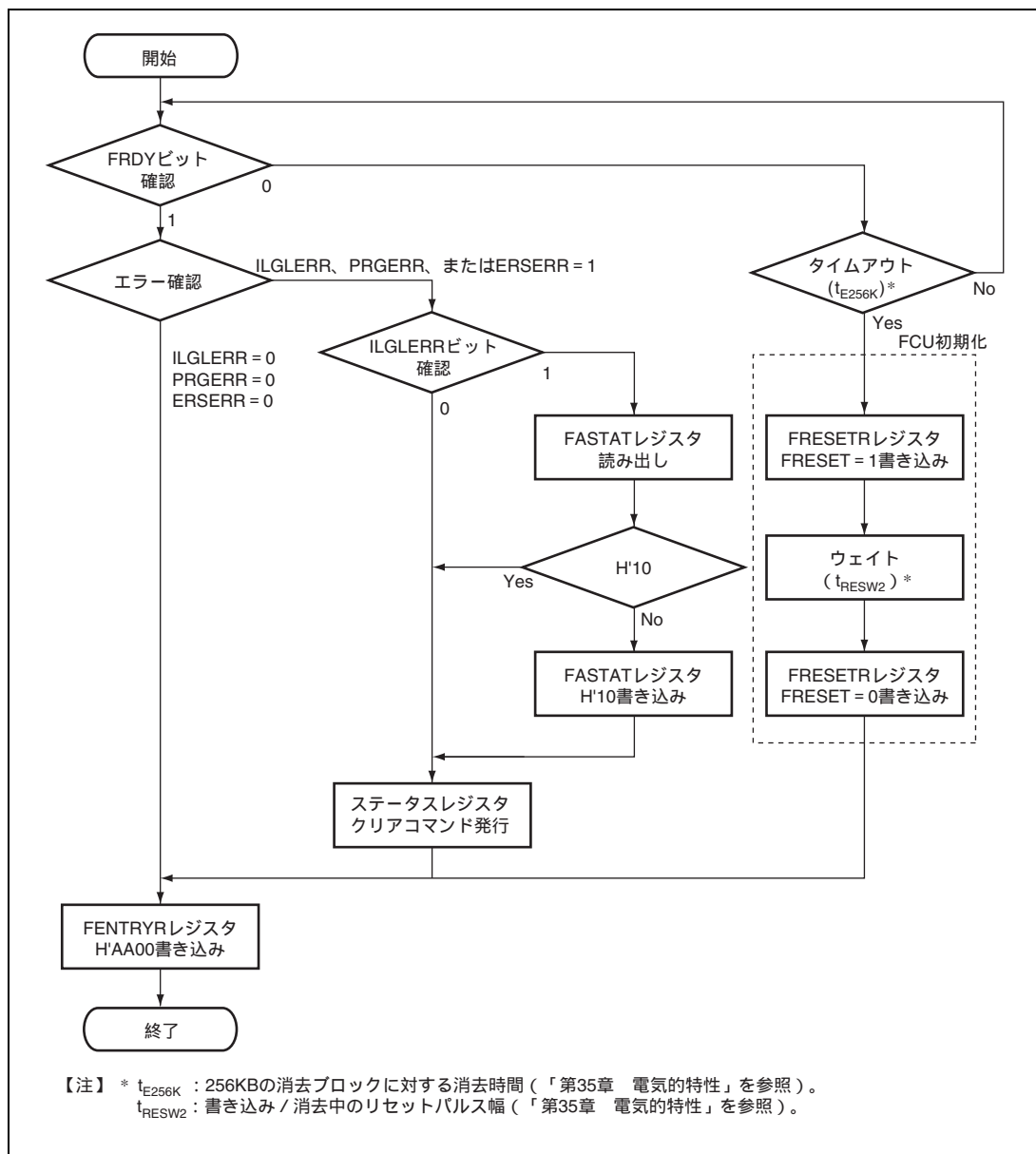


図 29.18 ROM リードモード移行フロー

(6) ROM P/E ノーマルモード移行コマンド使用方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法 (「29.6.3 (1) FCU RAM へのファームウェア転送方法」を参照) と ROM P/E モード時にノーマルモード移行コマンドを発行する方法 (図 29.19) があります。ステータスリードモード移行、ロックビットリードモード移行コマンドの使用方もノーマルモード移行コマンドの使用法と同様です。

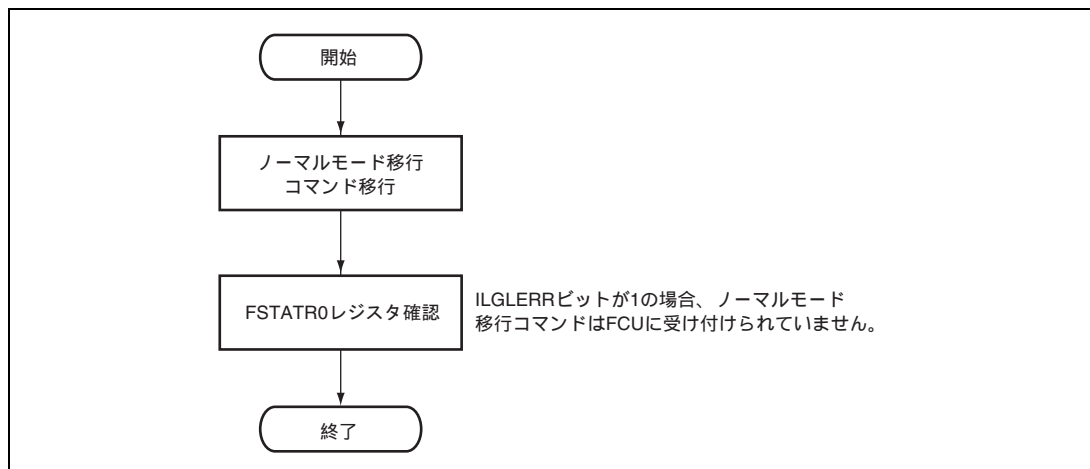


図 29.19 ROM P/E ノーマルモード移行コマンド使用方法

(7) 書き込み方法

図 29.20 に ROM 書き込み方法を示します。

ROM へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第 1 サイクルでは H'E8 を、第 2 サイクルでは H'80 を、ROM 書き込み / 消去用のアドレスにバイト書き込みします。コマンドの第 3 ~ 130 サイクルでは、ワードサイズで周辺バスアクセスを実行します。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。この際、先頭アドレスは 256 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み / 消去用のアドレスに対して 127 回のワード書き込みを実行後、第 131 サイクルで ROM 書き込み / 消去用のアドレスに対して H'D0 をバイト書き込みすると FCU が ROM の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 3 ~ 第 130 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFFF にしてください。ロックビットによるプロテクトを無効化して書き込みを実施したい場合には、FPROTR レジスタの FPROTCN ビットをセットしてから書き込みを行ってください。

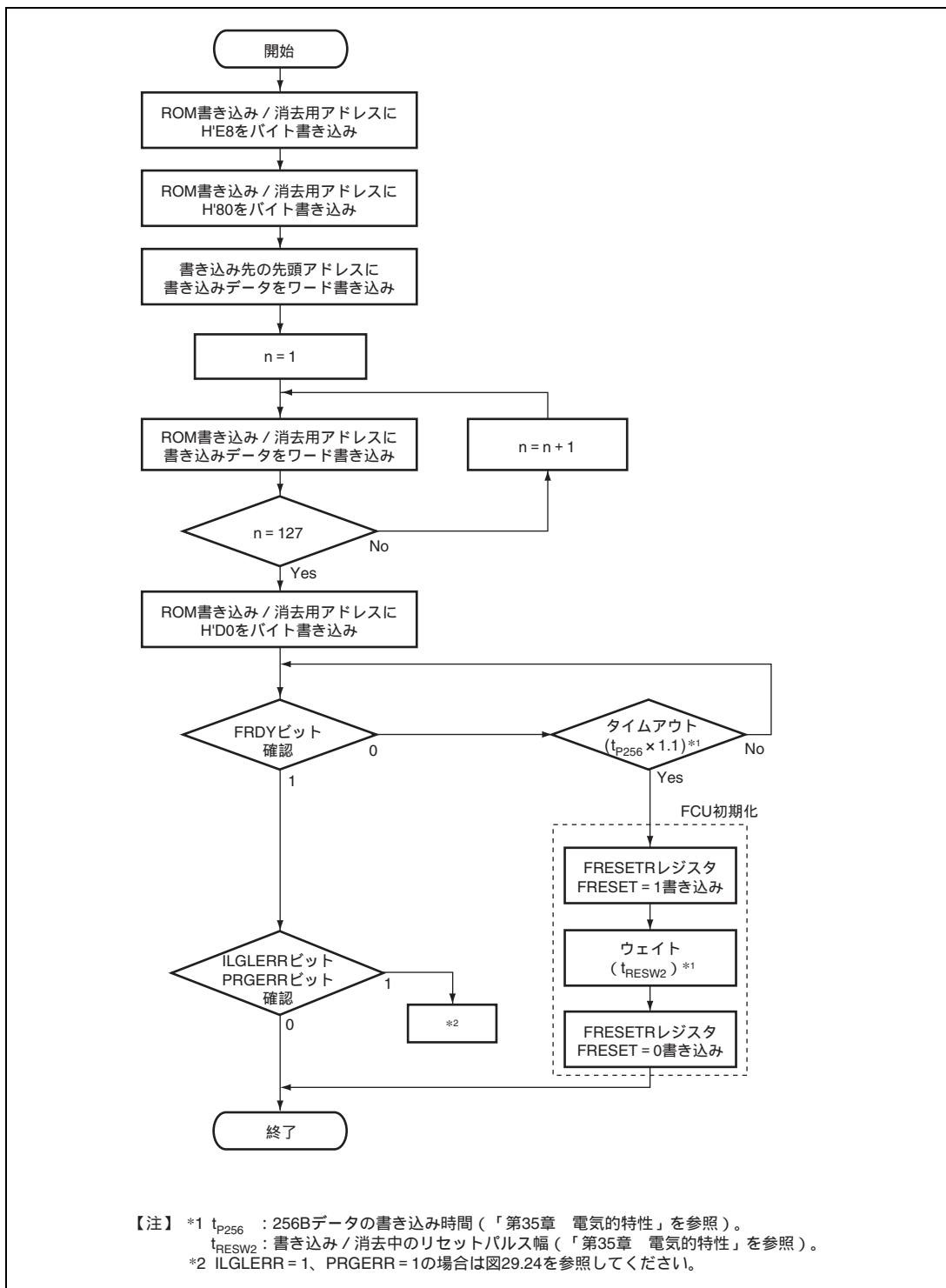


図 29.20 ROM 書き込み方法

(8) 消去方法

図 29.21 に ROM 消去方法を示します。

ROM の消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドの第 1 サイクルでは H'20 を ROM 書き込み / 消去用アドレスにバイト書き込みします。第 2 サイクルで H'D0 を消去対象ブロック内の任意アドレスにバイト書き込みすると FCU が ROM の消去処理を開始します。消去の完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

ブロックイレーズコマンドの第 1 サイクル (H'20) を発行する前に消去したいブロックの消去ブロック情報を FIEBAR に設定してください。FIEBAR に消去ブロック情報を設定するときは FIEBAR の消去ブロック情報設定の注意事項があります。

ロックビットによるプロテクトを無効化して消去を実施したい場合には、FPROTR レジスタの FPROTCN ビットをセットしてから消去を行ってください。

1. FIEBAR に H'08 を設定して EB9 のアドレスにブロックイレーズコマンドを発行した場合、EB8 が消去され ILGLERR ビットが 1 にセットされます。
2. FIEBAR に H'09 を設定して EB8 のアドレスにブロックイレーズコマンドを発行した場合、EB9 が消去され ILGLERR ビットが 1 にセットされます。
3. 1.、2. 以外は消去は行われず ILGLERR ビットが 1 にセットされます。消去ブロック情報 (H'00 ~ H'0F) 以外の値を FIEBAR に設定してブロックイレーズコマンドを発行した場合も同様に消去は行われず ILGLERR ビットが 1 にセットされます。

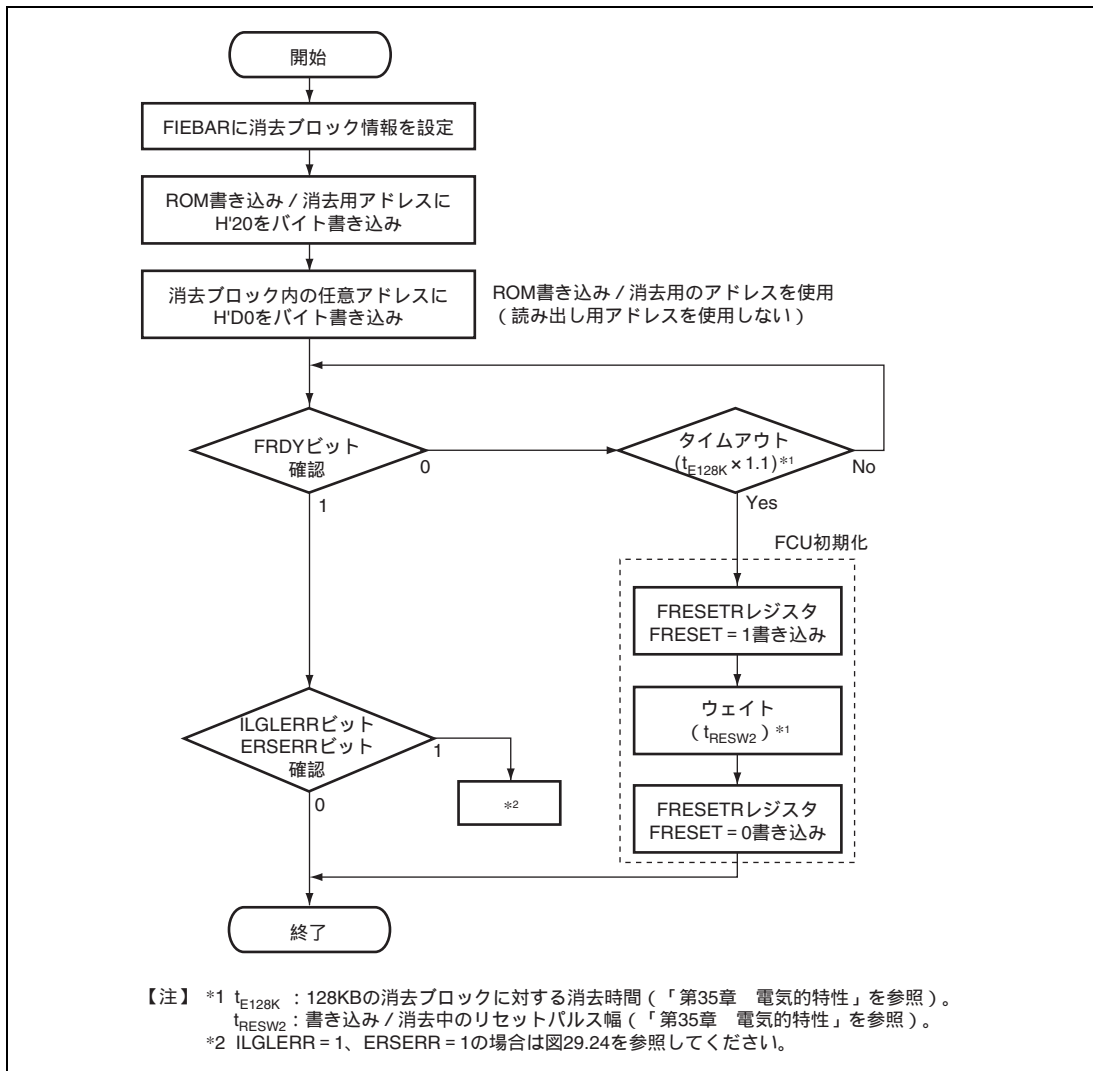


図 29.21 ROM 消去方法

(9) 書き込み / 消去のサスペンド方法

図 29.22 に書き込み / 消去のサスペンド方法を示します。

ROM の書き込み / 消去の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビットと FSTATR1 レジスタの FCUERR ビットが 0 で書き込み / 消去処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR1 レジスタの SUSRDY ビットが 1 であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読み出してエラーが発生していないことを確認してください。書き込み / 消去処理中に異常が発生した場合には、ILGLERR/PRGERR/ERSERR/FCUERR ビットのうち少なくとも 1 つのビットが 1 になります。また、SUSRDY ビットが 1 であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に書き込み / 消去処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが 1 になります。P/E サスペンドコマンドの受け付けと書き込み / 消去処理の完了が同時であった場合には、エラーは発生せず、サスペンド状態にも遷移しません (FRDY ビットが 1 かつ ERSSPD ビットと PRGSPD ビットが 0)。P/E サスペンドコマンドが受け付けられて、書き込み / 消去の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが 1 かつ ERSSPD ビットまたは PRGSPD ビットが 1 になります。P/E サスペンドコマンドの発行後は、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにもかかわらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し FCU がコマンドロック状態に遷移します (「29.9.3 エラープロテクト」を参照)。

(10) P/E レジューム

図 29.23 に書き込み / 消去のレジューム方法を示します。

サスペンドした書き込み / 消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR を P/E サスペンドコマンド発行直前の値に再設定してください。

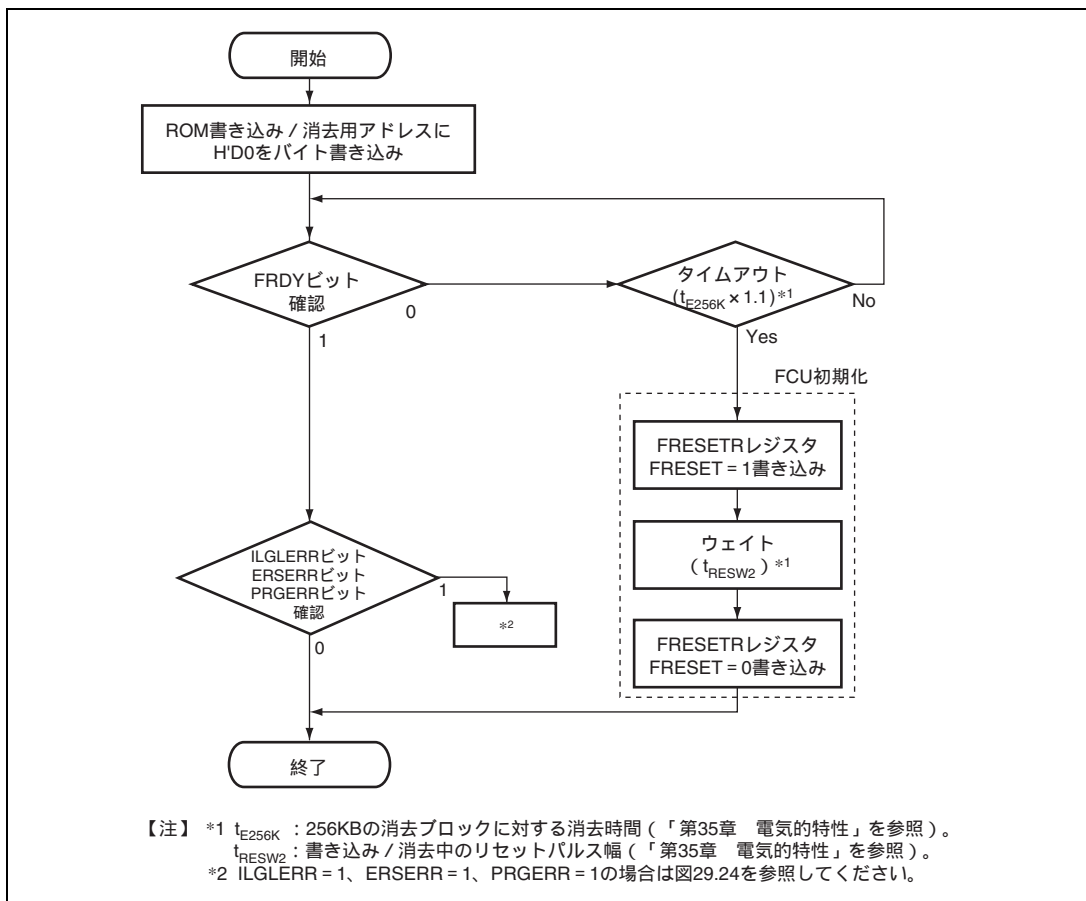


図 29.23 書き込み / 消去のレジューム方法

(11) ステータスレジスタ 0 (FSTATR0) のクリア方法

図 29.24 にステータスレジスタ 0 のクリア方法を示します。

FSTATR0 レジスタの IGLERR/PRGER/ERSERR ビットをクリアしたい場合には、ステータスレジスタクリアコマンドを使用します。IGLERR/PRGER/ERSERR ビットのいずれかが 1 である場合、FCU はコマンドロック状態になりステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。IGLERR ビットが 1 の場合には、FASTAT レジスタの ROMAE、EEPAE、EEPIFE、EEPRPE、および EEPWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、IGLERR ビットはクリアされません。

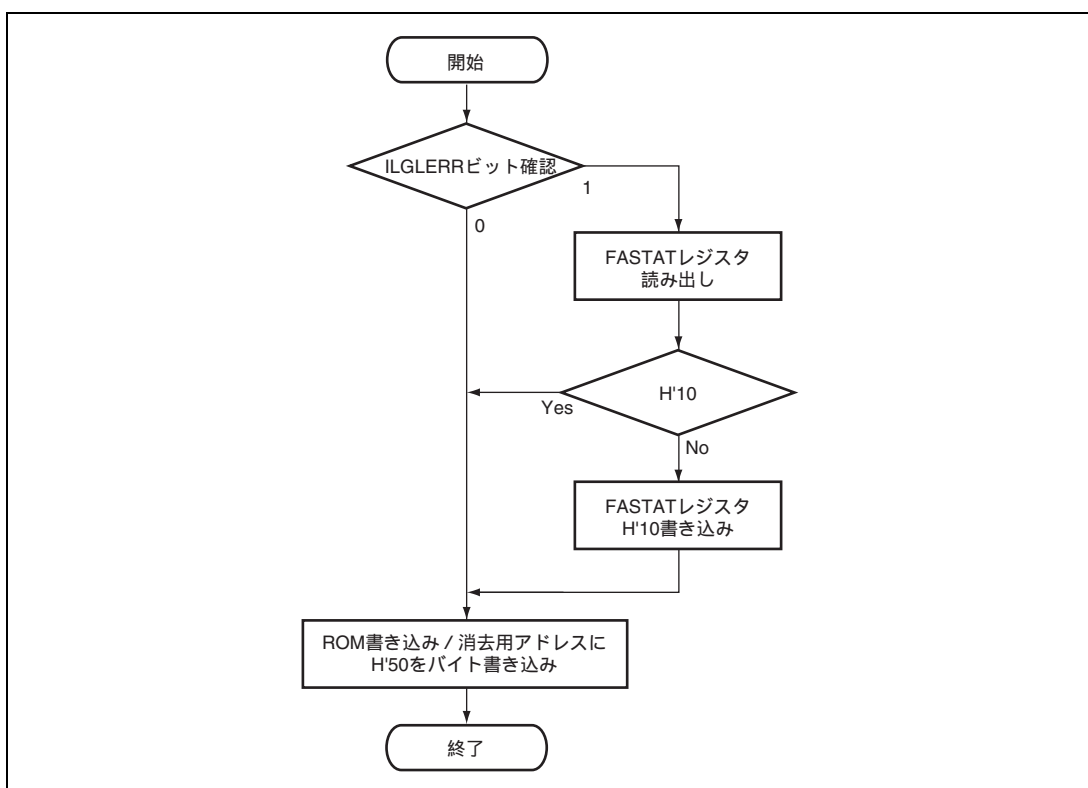


図 29.24 ステータスレジスタ 0 のクリア方法

(12) ステータスレジスタ 0 (FSTATR0) の確認方法

図 29.25 にステータスレジスタ 0 の確認方法を示します。

FSTATR0 レジスタの確認方法には、FSTATR0 を直接読み出す方法と ROM ステータスリードモードで ROM 書き込み / 消去用アドレスを読み出す方法があります。ノーマルモード移行、ロックビットリードモード移行以外の FCU コマンド発行後には、FCU は ROM ステータスリードモードに遷移しています。図 29.25 の例では、ステータスリードモード移行コマンドを発行して ROM ステータスリードモードに移行し、ROM 書き込み / 消去用アドレスを読み出して FSTATR0 の内容を確認しています。

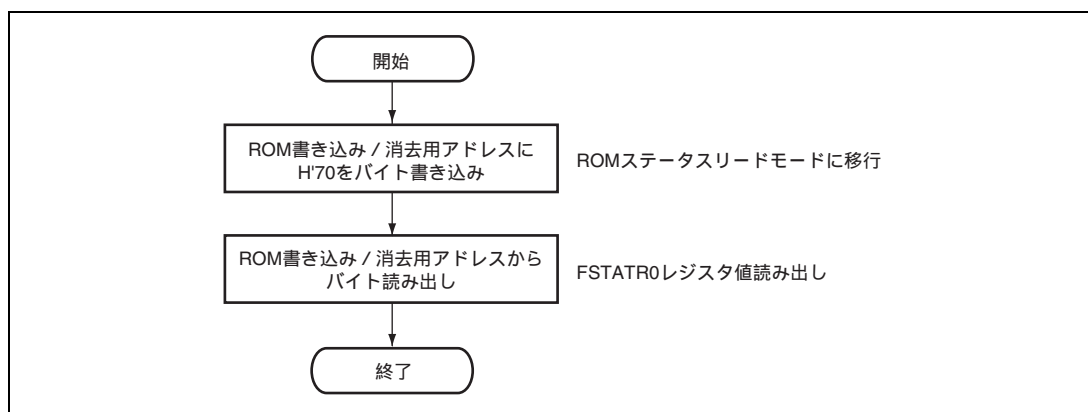


図 29.25 ステータスレジスタ 0 の確認方法

(13) ロックビットの読み出し

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが 0 の状態では、ロックビットが 0 に設定された消去ブロックを書き込み / 消去することができません。

ロックビットの確認方法にはレジスタリードモードがあります。FMODR の FRDMD を 1 にセットし、読み出したい消去ブロックのブロック番号を FIEBAR にセットして、FIEBAR に設定した消去ブロックの ROM 書き込み / 消去用のアドレスにロックビットリード 2 コマンドを発行すると、指定した消去ブロックのロックビットが FSTATR1 レジスタの FLOCKST ビットにコピーされます。

FIEBAR に設定した消去ブロック以外のアドレスにロックビットリードモード移行コマンドを発行した場合は ILGLERR ビットが 1 にセットされます。また、消去ブロック情報 (H'00 ~ H'0F) 以外の値を FIEBAR に設定してロックビットリードモード移行コマンドを発行した場合も ILGLERR ビットが 1 にセットされます。

図 29.26 にレジスタリードモードでロックビットを読み出す方法を示します。

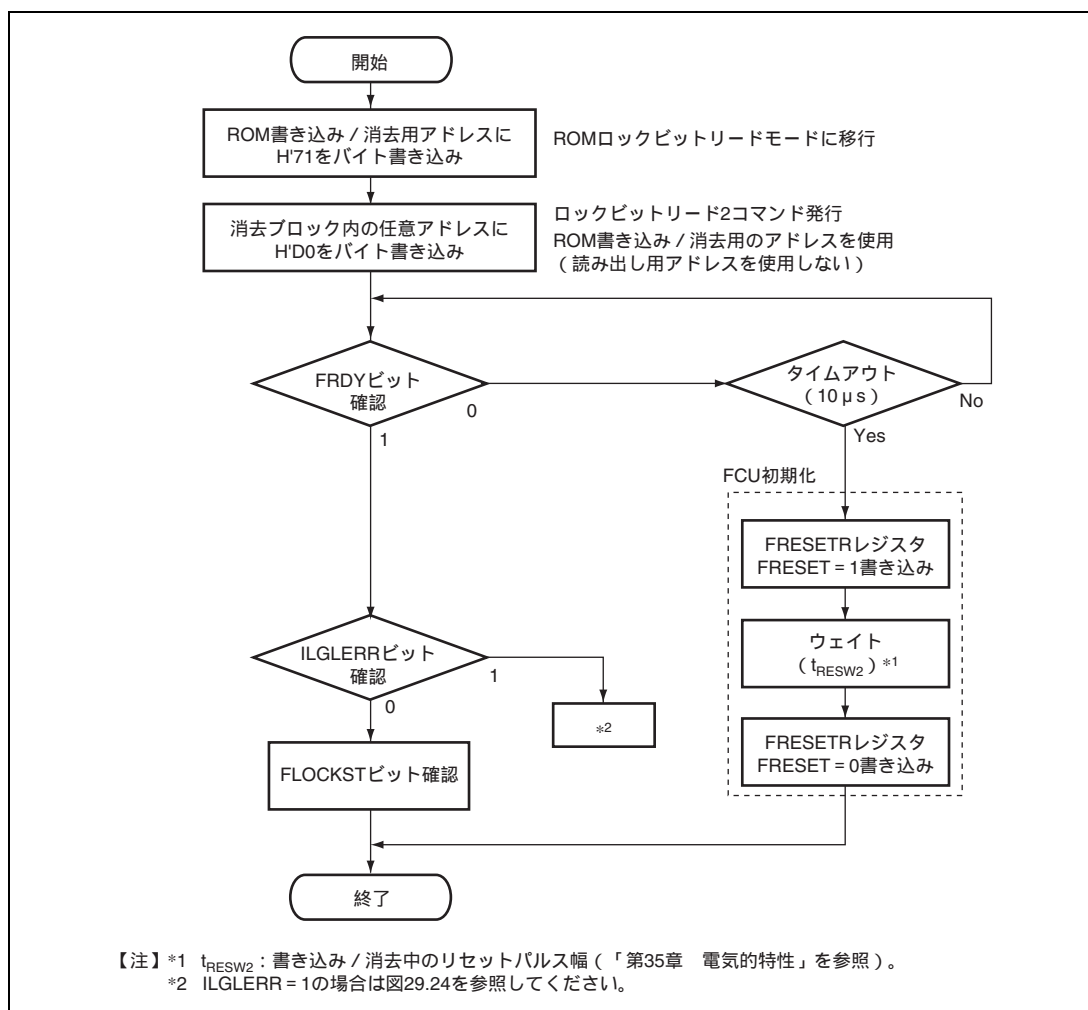


図 29.26 レジスタリードモードでロックビットを読み出す方法

(14) ロックビットの書き込み

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合にはロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルではH'77をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対してH'D0をバイト書き込みするとFCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0レジスタのFRDYビットで確認可能です。

ロックビットプログラムコマンドの第1サイクル(H'77)を発行する前に書き込みするロックビットの消去ブロック情報をFIEBARに設定してください。FIEBARに設定した消去ブロック以外のアドレスにロックビットプログラムコマンドを発行した場合はILGLERRビットが1にセットされ、ロックビット書き込みは行われません。また、消去ブロック情報(H'00~H'0F)以外の値をFIEBARに設定してロックビットプログラムコマンドを発行した場合もILGLERRビットが1にセットされます。

図 29.27 にロックビットのプログラム方法を示します。

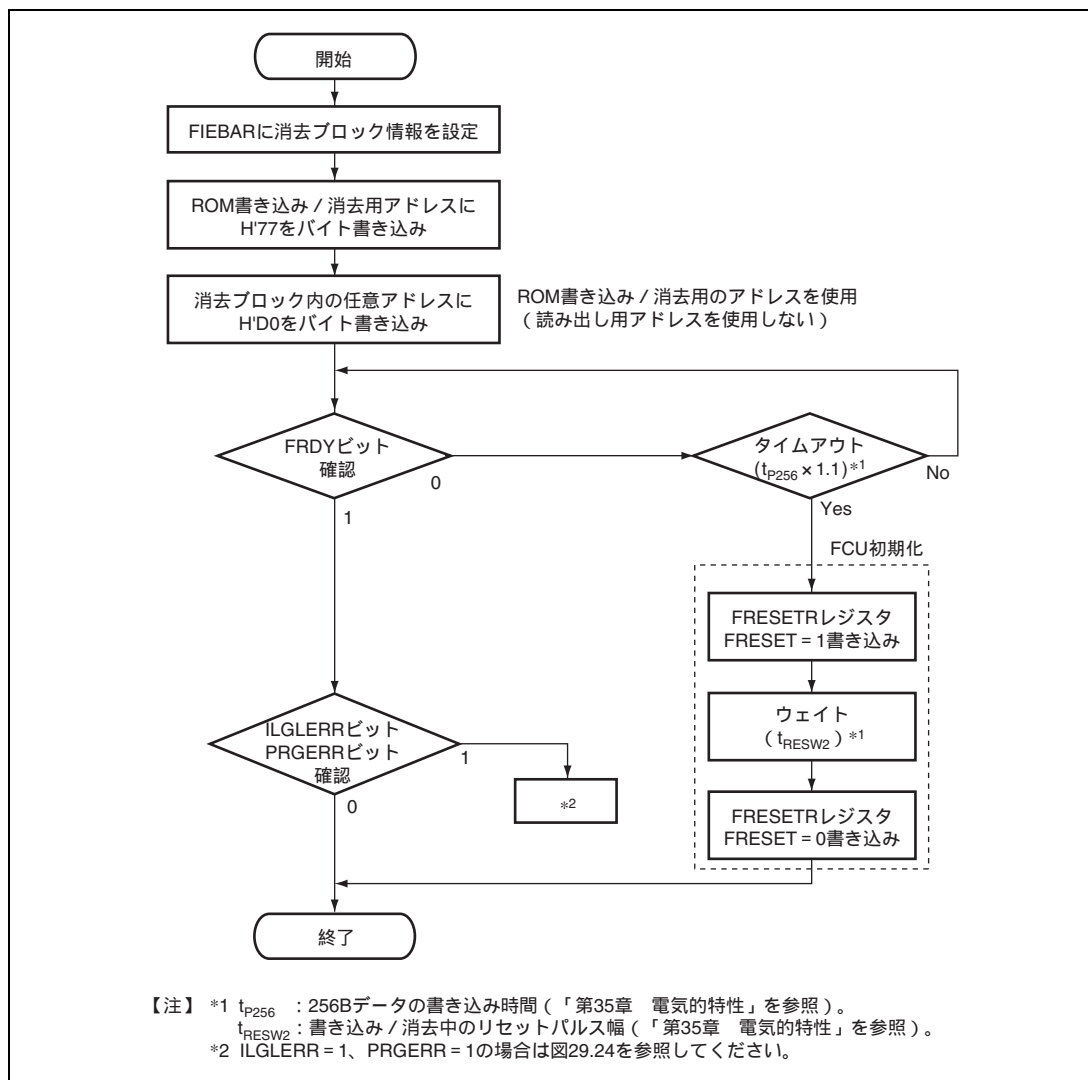


図 29.27 ロックビットのプログラム方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。FPROTR レジスタの FPROTCN ビットが 0 の状態ではロックビットが 0 に設定された消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCN ビットを 1 にセットした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

29.6.4 サスペンド動作

ROMの書き込み/消去中にP/Eサスペンドコマンドを発行すると、FCUは書き込み/消去処理を中断します。図29.28に書き込み処理の中断動作を示します。FCUは書き込み系のコマンドを受け付けるとFSTATR0レジスタのFRDYビットを0にクリアして書き込み処理を開始します。書き込み処理の開始後にFCUがP/Eサスペンドコマンドを受け付け可能な状態に移移すると、SUSRDYビットが1にセットされます。P/Eサスペンドコマンドが発行されると、FCUはサスペンドコマンドを受け付けてSUSRDYビットをクリアします。書き込みパルス印加中に、FCUがP/Eサスペンドコマンドを受け付けた場合には、FCUはパルスの印加を継続します。所定のパルス印加時間を経過するとFCUはパルスの印加を完了し、書き込みの中断処理を開始してPRGSPDビットを1にセットします。中断処理が完了すると、FCUはFRDYビットを1にセットして、書き込みサスペンド状態に移移します。書き込みサスペンド状態で、FCUがP/Eレジュームコマンドを受け付けた場合には、FCUはFRDYビットとPRGSPDビットを0にクリアして、書き込み処理を再開します。

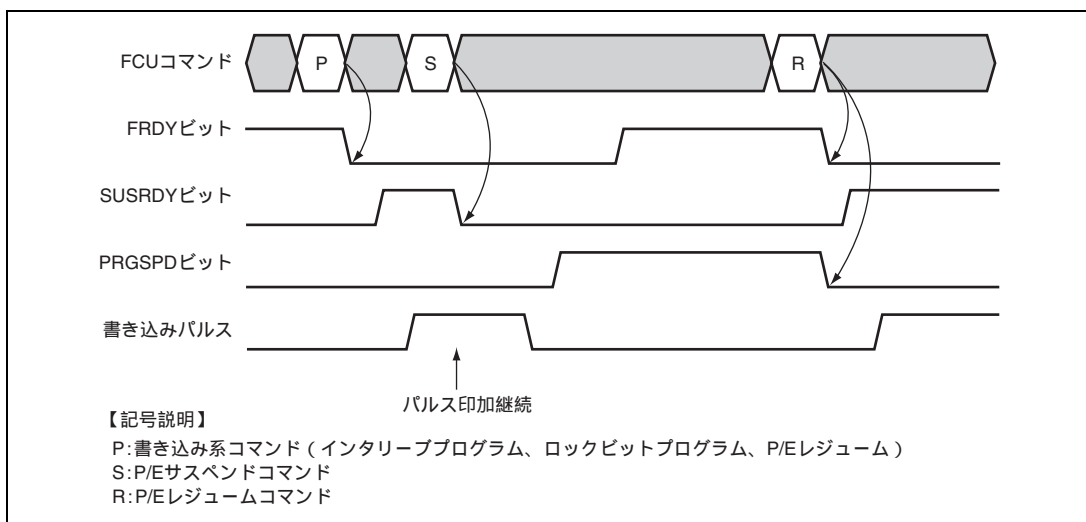


図 29.28 書き込み処理の中断動作

図 29.29 に消去サスペンドモードがサスペンド優先モード (FCPSR レジスタの ESUSPMD ビットが 0) の場合の消去処理の中断動作を示します。FCU は消去系のコマンドを受け付けると FRDY ビットを 0 にクリアして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に移移すると、SUSRDY ビットが 1 にセットされます。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットをクリアします。消去処理中にサスペンドコマンドを受け付けた場合には、FCU はパルス印加中でも中断処理を開始して ERSSPD ビットを 1 にセットします。中断処理が完了すると、FCU は FRDY ビットを 1 にセットして、消去サスペンド状態に移移します。消去サスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを 0 にクリアして、消去処理を再開します。消去処理の中断 / 再開時の FRDY ビット / SUSRDY ビット / ERSSPD ビット動作は、消去サスペンドモードに依存せず同様です。

消去サスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に移移します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU は消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU は消去パルスの印加を完了して消去サスペンド状態に移移します。次に FCU が P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできる場合があります。

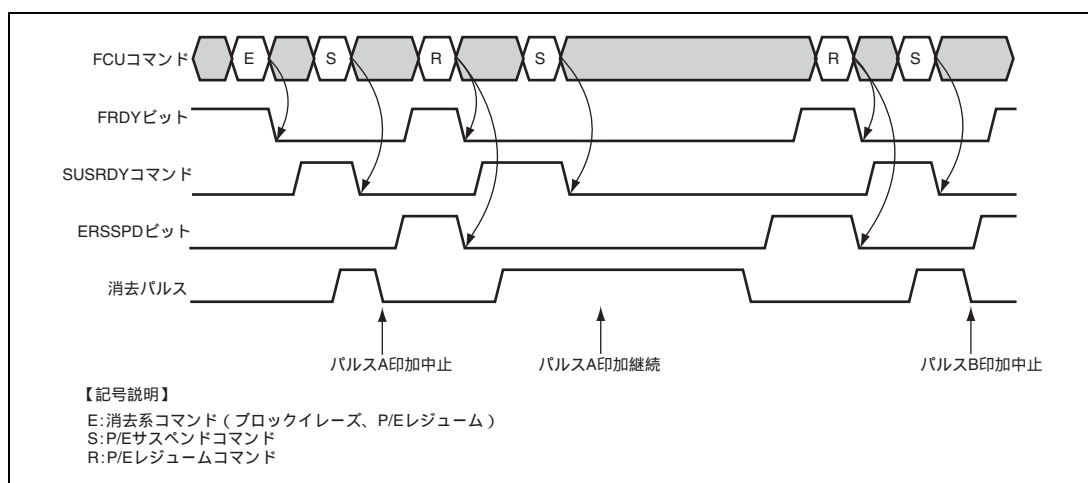


図 29.29 消去処理の中断動作 (サスペンド優先モード)

図 29.30 に消去優先モード (FCPSR レジスタの ESUSPMD ビットが 1) の場合の消去処理の中断動作を示します。消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

FCU が消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、必ず消去パルスの印加を続けます。このモードでは消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

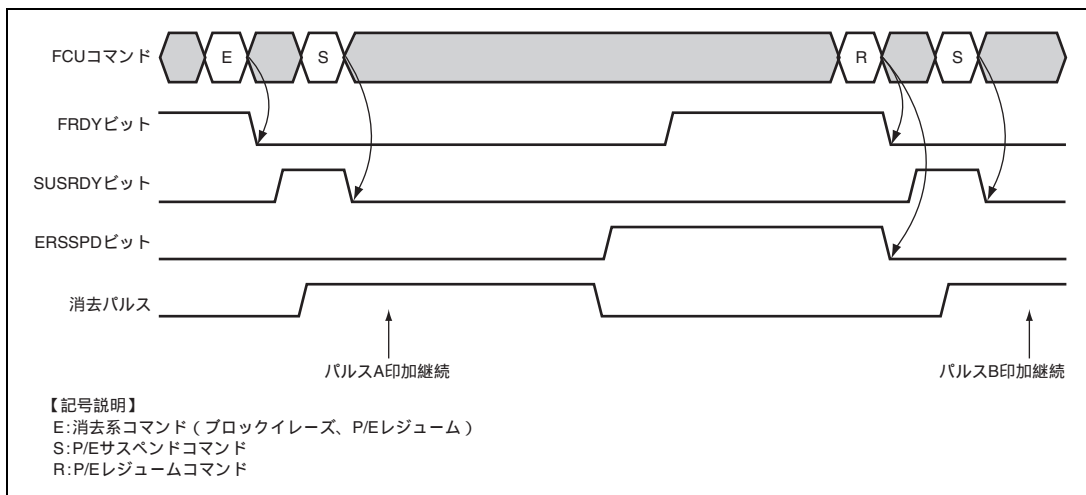


図 29.30 消去処理の中断動作 (消去優先モード)

29.7 ユーザブートモード

ユーザブートモードでは、FCUへFCUコマンドを発行してユーザマットの書き込み/消去を実行します。任意の通信インターフェースによるROMの書き込み/消去ルーチンをユーザブートマットに書き込んだ後にユーザブートモードで本LSIを起動することによって、ユーザ任意のブートモードを実現できます。ユーザブートマットの書き込みは、ブートモードで実施してください。

29.7.1 ユーザブートモードの起動シーケンス

本LSIをユーザブートモードで起動すると、組み込みプログラム格納マットから起動して、FCU RAMへのFCUファーム転送などの処理を実施後、ユーザブートマットのリセットベクタにジャンプします。図29.31にユーザブートモードのブートシーケンスの概要を示します。

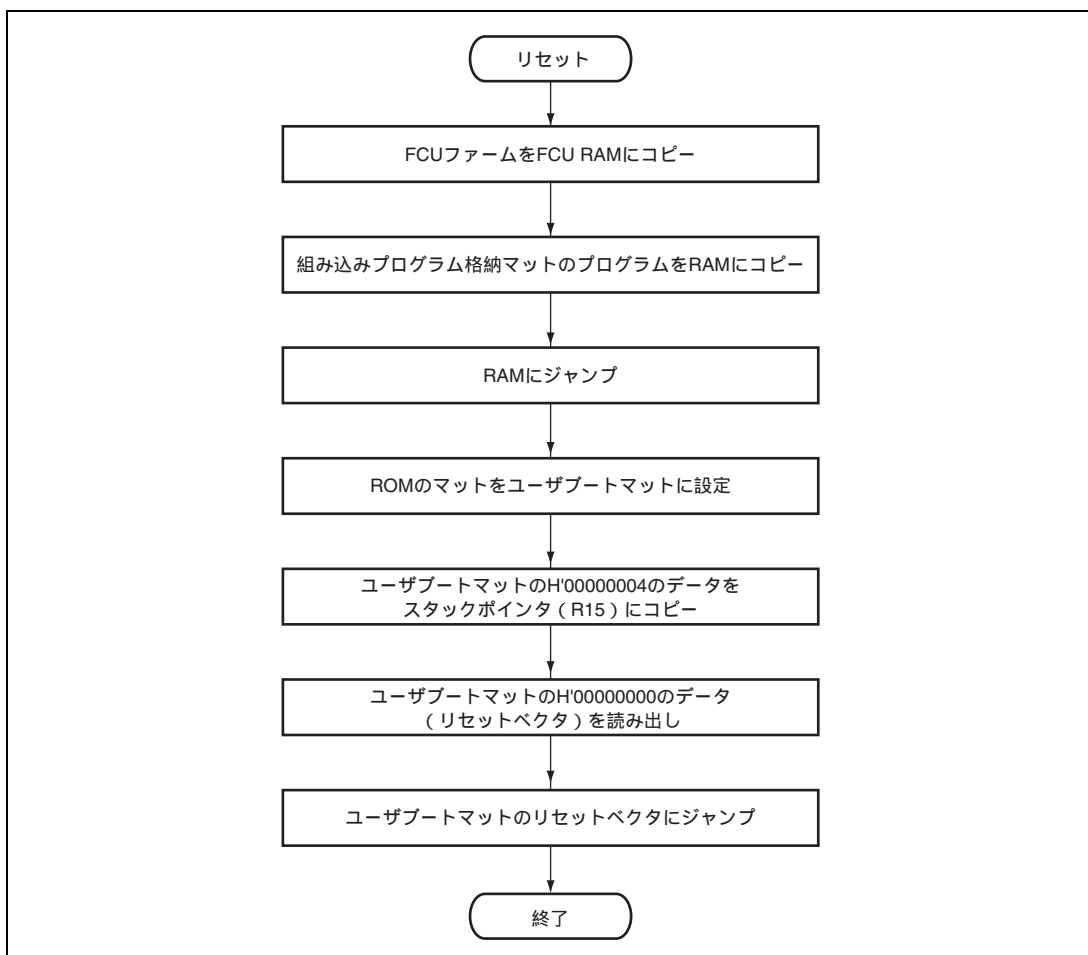


図 29.31 ユーザブートモードのブートシーケンス概要

29.7.2 ユーザマットのプログラミング方法

ユーザブートマットにユーザが作成したユーザマット書き込み / 消去ルーチンを格納した状態で、本 LSI をユーザブートモードで起動することにより、ユーザマットのプログラミングを実施することができます。ユーザマット書き込み / 消去ルーチンは、RAM にコピーした後に RAM 上で実行してください。ユーザブートモードの初期状態ではユーザブートマットが選択されていますので、必ず ROM のマットをユーザマットに切り替えてからプログラミングを実行してください。ユーザブートマット選択状態で ROM の書き込み / 消去用の FCU コマンドを発行しても、FCU は ROM の書き込み / 消去を実行しません。図 29.32 にユーザマットのプログラミング用のフロー例を示します。

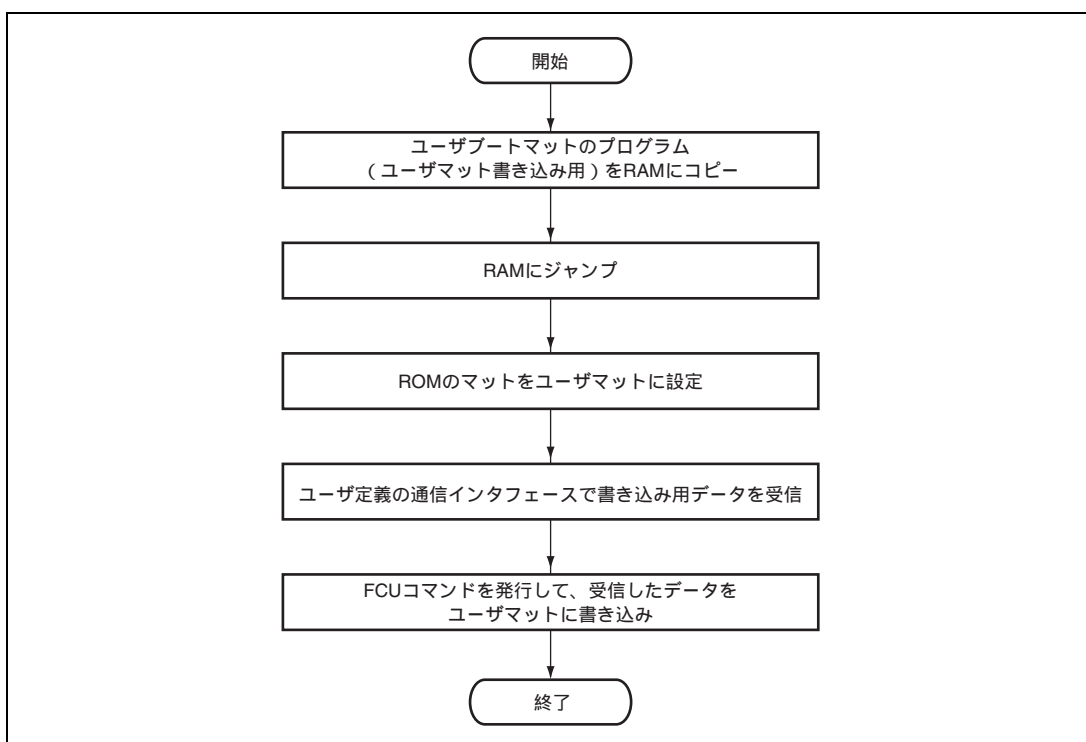


図 29.32 ユーザマットのプログラミング例

29.8 ライタモード

ライタモードではソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 1M バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT1024DV3A) をサポートしているライタを使用してください。

29.9 プロテクト

ROM に対する書き込み / 消去のプロテクトには、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類があります。

29.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、チップ端子の設定によって ROM に対する書き込み / 消去が禁止された状態です。

(1) FWE 端子によるプロテクト

FWE 端子にローレベルが入力されている状態では、FPMON レジスタの FWE ビットが 0 になります。FWE ビットが 0 の場合には、FENTRYR レジスタの FENTRY0 ビットに 1 を書き込めません。ROM P/E モードに移行できないため、ROM の書き込み / 消去が禁止された状態になります。

FRDY ビットが 1 かつ FWE 端子がローレベルの状態では、FCU は FENTRY0 ビットをクリアして ROM の書き込み / 消去を禁止します。FWE 端子をローレベルに変更した時点で FSTATR0 レジスタの FRDY ビットが 0 の場合には、FCU はコマンド処理を継続します。コマンド処理を継続している状態でも、FCU は P/E サスペンドを受け付け可能です。書き込み / 消去を再開する場合には、FENTRY0 ビットをクリア前の設定値に再設定して P/E レジュームコマンドを発行してください。

FWE 端子によるプロテクトに違反して、ROM に対する書き込み / 消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(2) モード端子によるプロテクト

内蔵 ROM が無効な設定の場合には、ROM の書き込み / 消去 / 読み出しが禁止された状態になります。本 LSI の動作モードと端子設定の関係は「第 4 章 MCU 動作モード」を参照してください。ユーザブートモード / ユーザプログラムモードの場合には、ユーザブートマットの書き込み / 消去は禁止された状態になります。

29.9.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によって ROM に対する書き込み / 消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROM に対する書き込み / 消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FENTRYR によるプロテクト

FENTRYR レジスタの FENTRY0 ビットが 0 の場合には、ROM(読み出し用アドレス:H'00000000 ~ H'000FFFFF、書き込み / 消去用アドレス : H'80800000 ~ H'808FFFFF) は ROM リードモードになります。ROM リードモードでは FCU コマンドが受け付けられないため、ROM の書き込み / 消去は禁止状態になります。ROM リードモードで FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります (「29.9.3 エラープロテクト」を参照)。

(2) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが 0 の場合には、ロックビットが 0 に設定された消去ブロックに対する書き込み / 消去は禁止状態になります。ロックビットが 0 に設定された消去ブロックを書き込み / 消去したい場合には、FPROTCN ビットを 1 に設定してください。ロックビットによるプロテクトに違反して、ROM に対する書き込み / 消去系コマンドを発行すると、FCU は書き込み / 消去エラーを検出してコマンドロック状態になります(「29.9.3 エラープロテクト」を参照)。

29.9.3 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行 / 禁止アクセスの発生 / FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態 (コマンドロック状態) です。FCU をコマンドロック状態にすることにより、ROM の書き込み / 消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが 1 の場合には、FCU がコマンドロック状態 (FASTAT レジスタの CMDLK ビットが 1) になるとフラッシュインタフェースエラー (FIFE) 割り込みが発生します。また、FAEINT レジスタの ROMAEINT が 1 の場合には、FASTAT レジスタの ROMAE ビットが 1 になると FIFE 割り込みが発生します。

表 29.13 に ROM 専用および ROM と FLD 共通のエラープロテクト内容とエラー検出後のステータスビット値 (FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FSTATR1 レジスタの FCUERR ビット、FASTST レジスタの ROMAE ビット) の関係を示します。書き込み / 消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み / 消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み / 消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は 1 になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 29.13 エラープロテクト一覧

分類	内 容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
FENTRYR 設定エラー	FENTRYR レジスタに H'0001、H'0080 以外の値を設定	1	0	0	0	0
	サスペンド時とレジューム時で FENTRYR レジスタ設定が不一致	1	0	0	0	0
不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0
	PCKAR レジスタに周辺クロック 1 ~ 100MHz 以外を設定	1	0	0	0	0
	書き込み / 消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0
	書き込み / 消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0
	書き込みサスペンド状態で書き込み / 消去系 (プログラム / ロックビットプログラム / ブロックイレーズ) コマンドを発行	1	0	0	0	0
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0
	消去サスペンド状態で消去サスペンド対象領域へのプログラム / ロックビットプログラムコマンドを発行	1	0	0	0	0
	プログラムコマンドの 2 サイクル目で H'80 以外を指定	1	0	0	0	0
	FIEBAR に設定した消去ブロック以外のアドレスにブロックイレーズコマンド、ロックビットリード 2 コマンド、ロックビットプログラムコマンドを発行	1	0	0	0	0
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1
消去エラー	消去処理中のエラー発生	0	1	0	0	0
	FPROTR レジスタの FPROTCN ビットが 0 の場合に、ロックビットが 0 に設定された消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0
	FPROTR レジスタの FPROTCN ビットが 0 の場合に、ロックビットが 0 に設定された消去ブロックに対してプログラム / ロックビットプログラムコマンドを発行	0	0	1	0	0
FCU エラー	FCU 内部の CPU 処理でエラー発生	0	0	0	1	0
ROM アクセス 違反	FENTRY0 = 1 かつ ROM P/E ノーマルモードの場合に、H'80800000 ~ H'808FFFFFF に対するリードアクセスを発行。	1	0	0	0	1
	FENTRY0 = 0 で H'80800000 ~ H'808FFFFFF に対するアクセスを発行	1	0	0	0	1
	FENTRYR レジスタが H'0000 以外の状態で、H'00000000 ~ H'000FFFFFF に対してリードアクセスを発行	1	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み / 消去系コマンド (プログラム / ロックビットプログラム / ブロックイレーズ) を発行	1	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み / 消去用アドレス H'80800000 ~ H'80807FFF 以外に対するアクセスを発行	1	0	0	0	1

29.10 割り込み要因

表 29.14 に割り込み要因を示します。

割り込み要因は、フラッシュアクセスエラー割り込み許可レジスタ (FAEINT) の ROM アクセス違反割り込みイネーブルビット (ROMAEIE)、FCU コマンドロック割り込みイネーブルビット (CMDLKIE) で、許可または禁止ができます。フラッシュアクセスステータスレジスタ (FASTAT) のアクセス違反ビット (ROMAE) または FCU コマンドロックビット (CMDLK) に 1 がセットされ、かつ対応フラッシュアクセスエラー割り込み許可レジスタ (FAEINT) の ROM アクセス違反割り込みイネーブルビット (ROMAEIE)、FCU コマンドロック割り込みイネーブルビット (CMDLKIE) に 1 がセットされているとき、フラッシュインタフェースエラー割り込み (FIFE) が発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 29.14 割り込み要求の種類と条件

割り込み要因	割り込み許可ビット	割り込みフラグ	条件
フラッシュインタフェース エラー割り込み	ROMAEIE、CMDLKIE	ROMAE、CMDLK	ROMAEIE・ROMAE + CMDLKIE・CMDLK

29.11 使用上の注意事項

29.11.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットは同じアドレス領域に配置されています。内部バスの状態によってROM領域アクセスに要するサイクル数が異なるため、マット切り替え時にROM領域をアクセスした場合に常に同一のマットが使用されるとは限らないことに注意してください。これらの注意事項に関連した誤動作を回避するために、マット切り替え前後に以下の処理を実施してください。

1. マット切り替え前に割り込み設定を変更

マット切り替え時の割り込み発生によるROM領域へのアクセスを回避する方法には、CPUのベクタベースレジスタ (VBR) の設定によって割り込みベクタのフェッチ先をROM領域以外に設定する方法と割り込みをマスクする方法があります。本LSI内部ではNMI割り込みをマスクすることができないため、割り込みをマスクする方法を採用する場合には、マット切り替え時にNMI割り込みが発生しないようにシステムを構成してください。

2. マット切り替え処理はROM領域以外のプログラムで実施

マット切り替え時にROM領域に対するCPUの命令フェッチを発生させないために、マット切り替え処理はROM領域以外の領域で実行してください。

3. ROMMATレジスタのダミーリード

ROMMATレジスタをライトしてマットを切り替えた後にROMMATレジスタをダミーリードして、レジスタ値の書き換えを完了させてください。

図 29.33 にマットの切り替え処理例を示します。

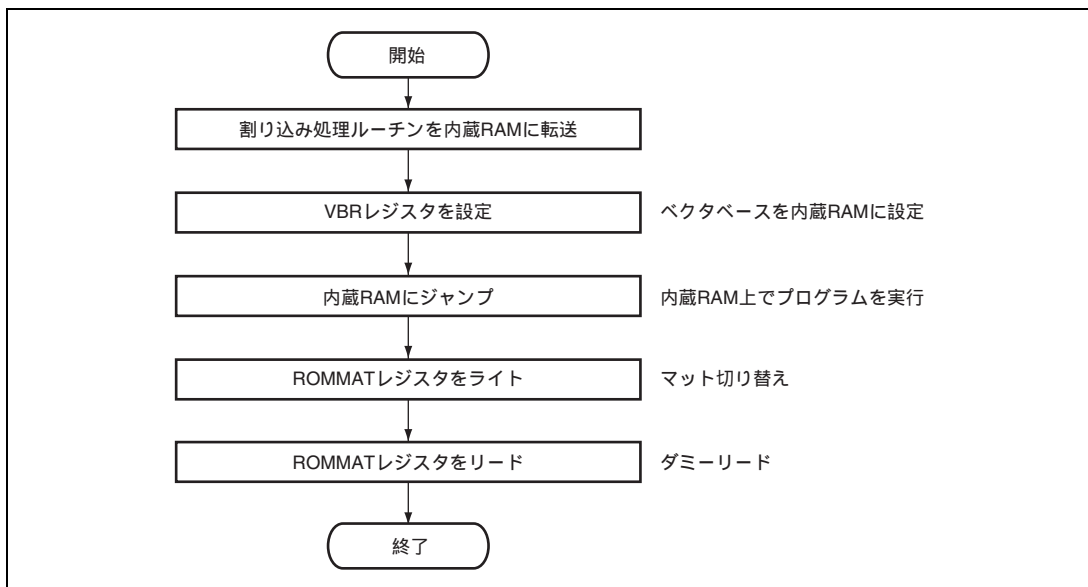


図 29.33 マット切り替え処理例

29.11.2 割り込み無視状態

以下の状態では、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マットのプログラムを処理中

29.11.3 書き込み / 消去サスペンド対象領域

書き込み / 消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み / 消去サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

29.11.4 従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

29.11.5 FWE 端子の状態

書き込み / 消去処理中に FWE 端子の値が変化しないように注意してください。FWE 端子値がローレベルになった場合、書き込み / 消去は異常終了し、FRDY がセットされ (FASTATR0 レジスタの消去エラービットまたは書き込みエラービットがセットされます)、その後 FENTRYR レジスタがクリアされます。再書き込みする場合は、FWE 端子をハイレベルにし、消去した後に書き込んでください。

シングルチップモードからユーザプログラムモードへ遷移する場合、FWE 端子をハイレベルにし、FPMON の FWE ビットが 1 であることを確認、FENTRYR レジスタの設定を行ってから FCU コマンドを発行してください。

ユーザプログラムモードからシングルチップモードへ遷移する場合、ROM の書き換えが終了 (FSTATR0 の FRDY ビットが 1) を確認し、FENTRYR をクリアしてから FWE 端子をローレベルにしてください。

FWE 端子がハイレベルで始まるモードで ROM のプロテクトを希望する場合、リセット解除後 tMDH1 経過後 FWE 端子をローレベルにしてください。

また、ROM のプロテクト解除は、シングルチップモードからユーザプログラムモードへ遷移、プロテクト設定は、ユーザプログラムモードからシングルチップモードへ遷移と同じ手順で行ってください。

29.11.6 書き込み / 消去中のリセット

書き込み / 消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を t_{RESW2} (「第 35 章 電気的特性」を参照) 保持してください。書き込み / 消去中の ROM には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセット状態を保持する必要があります。FCU をリセットしている期間は ROM の読み出しを行わないでください。

書き込み / 消去処理中に \overline{RES} 端子のアサートによってパワーオンリセットを発生させた場合には、リセット期間を t_{RESW2} (「第 35 章 電気的特性」を参照) 保持してください。パワーオンリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、ROM 用電源の初期化や ROM 内部回路の初期化に必要な期間を確保する必要があります。FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み / 消去処理中に \overline{RES} 端子のアサートによるパワーオンリセット、FRESETR レジスタの FRESET ビットをセットしての FCU リセットを実行すると、書き込み / 消去対象領域のロックビットを含む全データは不定となります。

書き込み / 消去処理中には、WDT のカウンタのオーバフローによる内部リセットは発生しないようにしてください。WDT によるリセットでは、メモリ電圧の降下 / ROM 用電源の初期化 / ROM 内部の初期化に必要な期間を確保することができません。

29.11.7 書き込み / 消去サスペンドによる中断

書き込み / 消去サスペンドコマンドによって書き込み / 消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

29.11.8 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

29.11.9 書き込み / 消去中の割り込みベクタの配置

書き込み / 消去中に割り込みが発生するとフラッシュメモリ (ROM) からのベクタフェッチが発生する場合があります。そのため、割り込みベクタテーブルや割り込み処理ルーチンはフラッシュメモリ (ROM) 以外に準備してください。

29.11.10 書き込み / 消去中の禁止事項

書き込み / 消去中はフラッシュメモリ (ROM) 内に高電圧が印加されています。本 LSI の破壊を防ぐため、以下の動作を行わないでください。

- 電源を切断する
- ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、フラッシュメモリ (ROM) のモジュールスタンバイへの遷移。遷移するときはFSTSTR0レジスタのFRDYビットが1になっていることを確認してください。
- FRQCRレジスタの値の書き換え
- CPU、DMAC、DTCからのフラッシュメモリのリードアクセス
- P と異なる周波数をPCKARレジスタに設定する

29.11.11 フラッシュメモリ (ROM) のモジュールスタンバイ復帰後の禁止事項

フラッシュメモリ (ROM) のモジュールスタンバイ復帰後、500 μ s の期間はフラッシュメモリの書き込み / 消去 / リードを行わないでください。

29.11.12 書き込み / 消去中の異常終了

書き込み / 消去中のリセット、FRESETR レジスタの FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、書き込み / 消去が正常に終了しなかった場合、ロックビットが0 (プロテクト状態) になっている場合があります。この場合、FPROTR.FPROTCN ビットに 1 をセットした状態でブロックレイズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

30. データフラッシュ（FLD）

本 LSI は、32K バイトのデータ格納用のフラッシュメモリ（FLD）を内蔵しています。FLD の特長を以下に示します。

30.1 特長

- フラッシュメモリマット

データマット：32K バイト（8K バイト×4 ブロック）

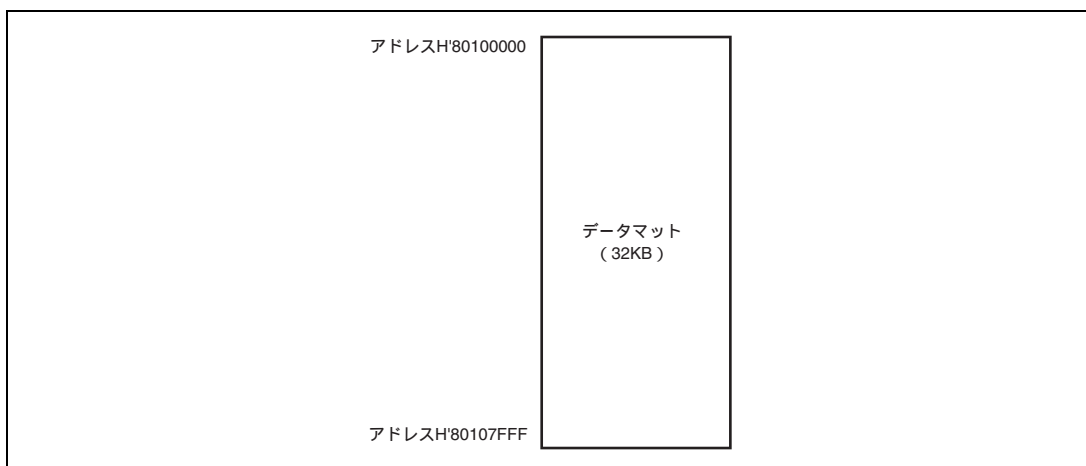


図 30.1 FLD のメモリマット構成

- 周辺バス経由でアクセス可能

データマットは周辺バス経由のアクセスが可能です。

読み出しプログラムは内蔵RAMもしくは内蔵ROM上にて実行できます。

- 書き込み / 消去方式

フラッシュメモリマットの書き換えに専用のシーケンサ（FCU）を内蔵しています。FCUにコマンドを発行することにより、FLDの書き込み / 消去を実行可能です。

- BGO（バックグラウンドオペレーション）機能

FCUがROMの書き込み / 消去を実行している期間でも、CPUはROM以外の領域に配置したプログラムの並列動作が可能です。

FCUがFLDの書き込み / 消去を実行している期間は、ROM領域に配置したプログラムを実行可能です。

- サスペンド/レジューム動作

FCUによるFLDの書き込み/消去動作を中断してCPUがFLD領域のデータを読み出し後に、FLDの書き込み/消去を再開可能です。この動作は、一般的にサスペンド(中断処理)とレジューム(再開処理)と呼ばれます。

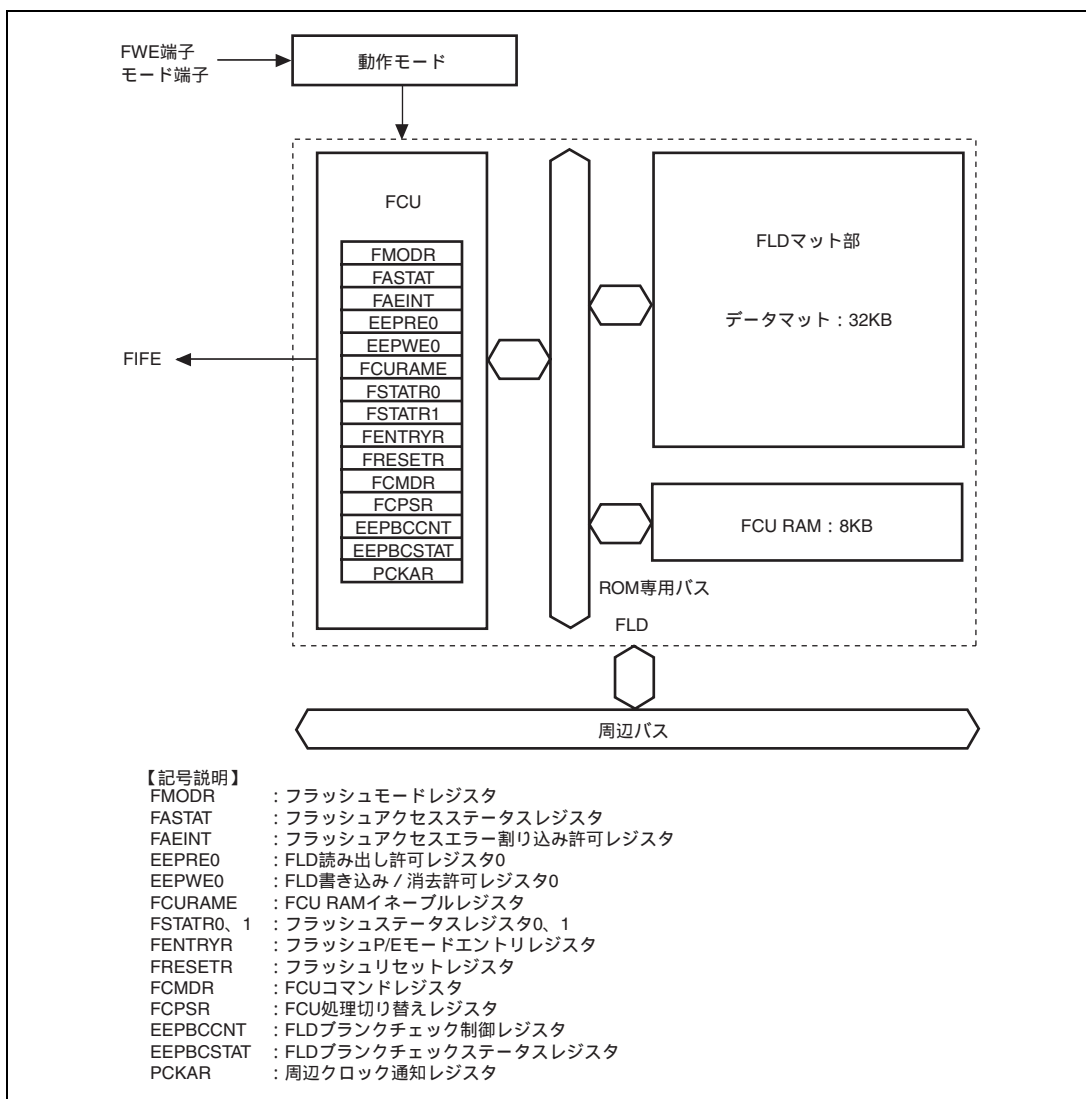


図 30.2 FLDのブロック図

- 書き込み / 消去単位

ユーザモード / ユーザプログラムモード / ユーザブートモードでのデータマットの書き込み単位は8バイトまたは128バイト、消去単位はブロック単位 (8KB) です。ブートモードでのデータマット書き込み単位は256バイト、消去単位はブロック単位 (8KB) です。図30.3に本LSIのデータマットのブロック分割を示します。データマットは、8KB (4ブロック : DB00 ~ DB03) に分割されています。

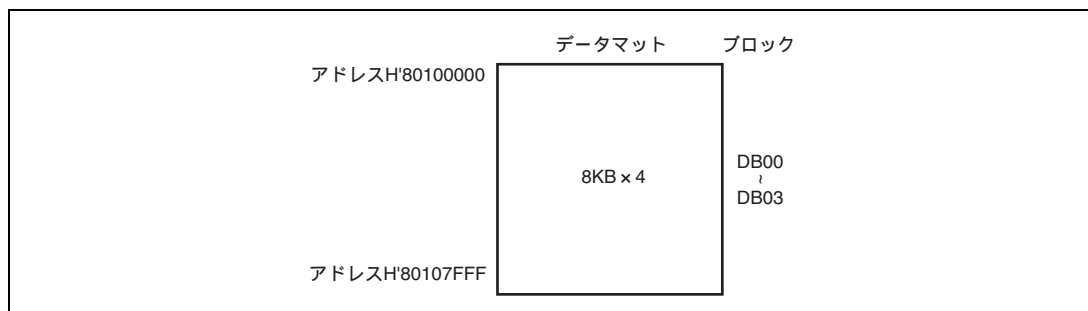


図 30.3 データマットのブロック分割

- ブランクチェック機能

消去状態のFLDをCPUから読み出すと不定データが読み出されます。FCUのブランクチェックコマンドを使用すると、FLDが消去状態 (ブランク状態) であるかどうかを確認することができます。1回のブランクチェックコマンドで確認可能な領域のサイズは8Kバイト (1消去ブロック) または8バイトです。

- オンボードプログラムモード (3種類)

ブートモード : SCIを使用してFLDを書き換え可能なプログラムモードです。ホストと本LSI間のSCI通信のビットレートは自動調整可能です。

ユーザモード / ユーザプログラムモード : 任意のインタフェースで、FLDを書き換え可能なプログラムモードです。ユーザモードは、内蔵ROMが有効なMCU拡張モード / MCUシングルチップモード (モード2 / モード3) です。

ユーザブートモード : 任意のインタフェースで、FLDを書き換え可能なプログラムモードです。ユーザブートモードへの遷移にはリセット起動が必要です。

- プロテクトモード

モード端子によるハードウェアプロテクトとFENTRYDビット / EEPRE0レジスタ / EEPWE0レジスタによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み / 消去 / 読み出しに対するプロテクト状態を設定することができます。FENTRYDビットはFCUによるFLD書き込み / 消去処理の許可 / 禁止を制御するためのビットです。EEPRE0レジスタはデータマットの各ブロックの読み出しプロテクトを制御するためのレジスタです。EEPWE0レジスタはデータマットの各ブロックの書き込み / 消去プロテクトを制御するためのレジスタです。

書き込み / 消去中に異常動作を検出した場合、書き込み / 消去処理を中断する機能もあります。また、CPU がFLD領域から命令をフェッチした場合、読み出しプロテクトする機能もあります。

- 書き込み時間 / 消去時間 / 書き換え回数

「第35章 電気的特性」を参照してください。

30.2 入出力端子

表 30.1 に FLD 関連の入出力端子を示します。FWE、MD1、MD0 端子の組み合わせによって、FLD のプログラムモードを決定します（「30.4 FLD 関連モード概要」を参照）。ブートモード時には、PA0/RXD0、PA1/TXD0 にホストを接続して FLD を書き込み / 消去することが可能です（「30.5 ブートモード」を参照）。

表 30.1 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	この端子がローレベルになるとパワーオンリセット状態になります。
テストリセット	TRST	入力	初期化信号入力端子です。
フラッシュライトイネーブル	FWE	入力	フラッシュ書き換えのハードウェアプロテクト。
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
SCI トランスミットデータ	TXD0 (PA1)	出力	シリアル送信データ出力 (ブートモードで使用)
SCI レシーブデータ	RXD0 (PA0)	入力	シリアル受信データ入力 (ブートモードで使用)

30.3 レジスタの説明

表 30.2 に FLD 関連のレジスタを示します。一部のレジスタは ROM 関連のビットも持ちますが、本章では FLD 機能に関連するビットの説明のみ記載しています。ROM / FLD 共用ビットのみで構成されるレジスタ(FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR)の仕様と ROM 専用ビットの機能の詳細は、「第 29 章 フラッシュメモリ (ROM)」の「29.3 レジスタの説明」を参照してください。FLD 関連のレジスタは、パワーオンリセットによって初期化されます。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 30.2 レジスタ構成

レジスタ名	略称	R/W ^{*1}	初期値	アドレス	アクセス サイズ
フラッシュモードレジスタ	FMODR	R/W	H'00	H'FFFA802	8
フラッシュアクセスステータスレジスタ	FASTAT	R/(W) ^{*2}	H'00	H'FFFA810	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	R/W	H'9F	H'FFFA811	8
FLD 読み出し許可レジスタ 0	EEPREQ	R/(W) ^{*3}	H'0000	H'FFFA840	8、16
FLD 書き込み / 消去許可レジスタ 0	EEPWEQ	R/(W) ^{*3}	H'0000	H'FFFA850	8、16
FCU RAM イネーブルレジスタ	FCURAME	R/(W) ^{*3}	H'0000	H'FFFA854	8、16
フラッシュステータスレジスタ 0	FSTATR0	R	H'80 ^{*5}	H'FFFA900	8、16
フラッシュステータスレジスタ 1	FSTATR1	R	H'00 ^{*5}	H'FFFA901	16
フラッシュ P/E モードエントリレジスタ	FENTRYR	R/(W) ^{*4}	H'0000 ^{*5}	H'FFFA902	8、16
フラッシュリセットレジスタ	FRESETR	R/(W) ^{*3}	H'0000	H'FFFA906	8、16
FCU コマンドレジスタ	FCMDR	R	H'FFFF ^{*5}	H'FFFA90A	8、16
FCU 処理切り替えレジスタ	FCPSR	R/W	H'0000 ^{*5}	H'FFFA918	8、16
FLD ブランクチェック制御レジスタ	EEPBCNT	R/W	H'0000 ^{*5}	H'FFFA91A	8、16
FLD ブランクチェックステータスレジスタ	EEPBCSTAT	R	H'0000 ^{*5}	H'FFFA91E	8、16
周辺クロック通知レジスタ	PCKAR	R/W	H'0000 ^{*5}	H'FFFA938	8、16

- 【注】 *1 内蔵 ROM が無効なモードでは、FLD 関連レジスタの読み出しデータは 0 に固定され、書き込みは無効化されます。
- *2 フラグをクリアするために 0 のみ書き込むことができるビットと読み出し専用ビットによって構成されています。
- *3 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。
- *4 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。
- *5 パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化することができます。

30.3.1 フラッシュモードレジスタ (FMODR)

FMODR レジスタは、FCU の動作モードを指定するレジスタです。内蔵 ROM が無効なモードでは、FMODR の読み出しデータは H'00 になり、書き込みは無効化されます。FMODR は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	FR DMD	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7-5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	FRDMD	0	R/W	FCU リードモードセレクトビット FCU を使用した ROM/FLD 読み出し処理の方法を選択するためのビットです。FLD の場合には、FLD ロックビットリードモード移行処理かブランクチェック処理を選択するために使用します(「30.6.1 FCU コマンド一覧」、「30.6.3 FCU コマンド使用方法」を参照)。ROM の場合には、ロックビット読み出し方法を選択するために FRDMD ビットを使用します(「第 29 章 フラッシュメモリ (ROM)」を参照)。 0: メモリ領域リードモード FLD ロックビットリードモードに移行する場合には、メモリ領域モードに設定します。FLD にはロックビットが存在しないため、ロックビットリードモードに移行して FLD 領域から読み出しを実行した場合、不定データが読み出されます。 1: レジスタリードモード ブランクチェックコマンドを使用する場合には、レジスタリードモードに設定します。
3-0	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。

30.3.2 フラッシュアクセスステータスレジスタ (FASTAT)

FASTAT は、ROM/FLD に対するアクセス違反の有無を確認するためのレジスタです。内蔵 ROM が無効なモードでは、FASTAT の読み出しデータは H'00 になり、書き込みは無効化されます。FASTAT レジスタのいずれかのビットが 1 にセットされると、FCU はコマンドロック状態になります(「30.7.3 エラープロテクト」を参照)。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。FASTAT は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	RO MAE	-	-	CM DLK	EE PAE	EEP IFE	EEP RPE	EEP WPE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ROMAE	0	R/(W)*	ROM アクセス違反ビット 「第 29 章 フラッシュメモリ (ROM)」を参照してください。
6、5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLK	0	R	FCU コマンドロックビット FCU がコマンドロック状態であることを示すビットです(「30.7.3 エラープロテクト」を参照)。 0 : FCU はコマンドロック状態ではない 1 : FCU はコマンドロック状態 [セット条件] • FCU がエラーを検出してコマンドロック状態に遷移したとき [クリア条件] • FCU がステータスクリアコマンドを処理したとき

ビット	ビット名	初期値	R/W	説明
3	EEPAE	0	R/(W)*	<p>FLD アクセス違反ビット</p> <p>FLD に対するアクセス違反の有無を示すビットです。EEPAE ビットが 1 になると FSTATR0 レジスタの IGLERR ビットが 1 にセットされ、FCU はコマンドロック状態になります。</p> <p>0 : FLD アクセス違反なし 1 : FLD アクセス違反あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • FENTRYR レジスタの FENTRYD ビットが 1、かつ FLD P/E ノーマルモードで、FLD 領域に対してリードアクセスを発行したとき • FENTRYD ビットが 0 の状態で、FLD 領域に対してライトアクセスを発行したとき • FENTRYR レジスタの FENTRY0 ビットが 1 の状態で、FLD 領域に対するアクセスを発行したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • EEPAE = 1 を読み出した後に、0 を書き込み
2	EEPIFE	0	R/(W)*	<p>FLD 命令フェッチ違反ビット</p> <p>FLD 命令フェッチ違反の有無を示すビットです。</p> <p>0 : FLD 命令フェッチ違反なし 1 : FLD 命令フェッチ違反あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • FLD に対する命令フェッチを発行したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • EEPIFE = 1 を読み出した後に、0 を書き込みしたとき
1	EEPRPE	0	R/(W)*	<p>FLD リードプロテクト違反ビット</p> <p>EEPPE0 レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。</p> <p>0 : EEPPE0 設定に違反した FLD 読み出しなし 1 : EEPPE0 設定に違反した FLD 読み出しあり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • EEPPE0 レジスタで読み出し禁止に設定した FLD 領域に対してリードアクセスを発行したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • EEPRPE = 1 を読み出した後に、0 を書き込みしたとき

ビット	ビット名	初期値	R/W	説明
0	EEPWPE	0	R/(W)*	<p>FLD 書き込み / 消去プロテクト違反ビット</p> <p>EEPWPE0 レジスタで設定した書き込み / 消去プロテクトに対する違反の有無を示すビットです。</p> <p>0 : EEPWPE0 設定に違反した FLD 書き込み / 消去系コマンドの発行なし</p> <p>1 : EEPWPE0 設定に違反した FLD 書き込み / 消去系コマンドの発行あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> EEPWPE0 レジスタで書き込み / 消去禁止に設定した FLD 領域に対して書き込み / 消去系コマンドを発行したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> EEPWPE = 1 を読み出した後に、0 を書き込みしたとき

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

30.3.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

FAEINT は、フラッシュインタフェースエラー割り込み (FIFE) の出力許可 / 禁止を設定するためのレジスタです。内蔵 ROM が無効なモードでは、FAEINT の読み出しデータは H'00 になり、書き込みは無効化されます。FAEINT は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ROM AEIE	-	-	CMD LKIE	EEP AEIE	EERI FEIE	EERI PEIE	EERI PEIE
初期値 :	1	0	0	1	1	1	1	1
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ROMAEIE	1	R/W	ROM アクセス違反割り込みイネーブル 「第 29 章 フラッシュメモリ (ROM)」を参照してください。
6, 5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLKIE	1	R/W	FCU コマンドロック割り込みイネーブル FCU コマンドロックが発生し、FASTAT レジスタの CMDLK ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 / 禁止するためのビットです。 0 : CMDLK = 1 で FIFE 割り込み要求を禁止 1 : CMDLK = 1 で FIFE 割り込み要求を許可
3	EEPAEIE	1	R/W	FLD アクセス違反割り込みイネーブル FLD アクセス違反が発生し、FASTAT レジスタの EEPAE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 / 禁止するためのビットです。 0 : EEPAE = 1 で FIFE 割り込み要求を禁止 1 : EEPAE = 1 で FIFE 割り込み要求を許可
2	EERIPEIE	1	R/W	FLD 命令フェッチ違反割り込みイネーブル FLD 命令フェッチ違反が発生し、FASTAT レジスタの EERIPE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 / 禁止するためのビットです。 0 : EERIPE = 1 で FIFE 割り込み要求を禁止 1 : EERIPE = 1 で FIFE 割り込み要求を許可
1	EERIPEIE	1	R/W	FLD リードプロテクト違反割り込みイネーブル FLD リードプロテクト違反が発生し、FASTAT レジスタの EERIPE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 / 禁止するためのビットです。 0 : EERIPE = 1 で FIFE 割り込み要求を禁止 1 : EERIPE = 1 で FIFE 割り込み要求を許可

ビット	ビット名	初期値	R/W	説 明
0	EEPWPEIE	1	R/W	FLD 書き込み / 消去プロテクト違反割り込みイネーブル FLD 書き込み / 消去プロテクト違反が発生し、FASTAT レジスタの EEPWPE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 / 禁止するためのビットです。 0 : EEPWPE = 1 で FIFE 割り込み要求を禁止 1 : EEPWPE = 1 で FIFE 割り込み要求を許可

30.3.4 FLD 読み出し許可レジスタ 0 (EEPREG0)

EEPREG0 は、データマットの DB00 ~ DB03 ブロック (図 30.3 を参照) の読み出しを許可 / 禁止するためのレジスタです。内蔵 ROM が無効なモードでは、EEPREG0 の読み出しデータは H'0000 になり、書き込みは無効化されます。EEPREG0 は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								-	-	-	-	DBR E03	DBR E02	DBR E01	DBR E00
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	KEY	すべて 0	R/(W)*	キーコード DBRE[03:00]ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~4	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。 1 を書き込んだ場合の動作は保証しません。
3	DBRE03	0	R/W	DB03 ~ DB00 ブロック読み出し許可ビット データマットの DB03 ~ DB00 ブロックに対する読み出しの許可 / 禁止を設定するビットです。DBRE _i ビット (i=03~00) を DB _i ブロックの読み出し制御に使用します。DBRE[03:00]ビットへの書き込みは、ワードアクセスで KEY が H'2D の場合のみ有効です。 0: 読み出し禁止 1: 読み出し許可
2	DBRE02	0	R/W	
1	DBRE01	0	R/W	
0	DBRE00	0	R/W	

【注】 * 書き込みデータは保持されません。

30.3.5 FLD 書き込み / 消去許可レジスタ 0 (EEPWE0)

EEPWE0 は、データマットの DB00 ~ DB03 ブロック (図 30.3 を参照) の書き込み / 消去を許可 / 禁止するためのレジスタです。内蔵 ROM が無効なモードでは、EEPWE0 の読み出しデータは H'0000 になり、書き込みは無効化されます。EEPWE0 は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								-	-	-	-	DBW E03	DBW E02	DBW E01	DBW E00
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*								R	R	R	R	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	KEY	すべて 0	R/(W)*	キーコード DBWE[03:00]ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~4	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。 1 を書き込んだ場合の動作は保証しません。
3	DBWE03	0	R/W	DB03 ~ DB00 ブロック書き込み / 消去許可ビット データマットの DB03 ~ DB00 ブロックに対する書き込み / 消去の許可 / 禁止を設定するビットです。DBWE _i ビット (i = 03 ~ 00) を DB _i ブロックの書き込み / 消去制御に使用します。 DBWE[03:00]ビットへの書き込みは、ワードアクセスで KEY が H'1E の場合のみ有効です。 0 : 書き込み / 消去禁止 1 : 書き込み / 消去許可
2	DBWE02	0	R/W	
1	DBWE01	0	R/W	
0	DBWE00	0	R/W	

【注】 * 書き込みデータは保持されません。

30.3.6 フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYR は、ROM/FLD を P/E モードに設定するために使用するレジスタです。ROM/FLD を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 ビットのいずれかのビットに 1 を設定する必要があります。内蔵 ROM が無効なモードでは、FENTRYR の読み出しデータは H'0000 になり、書き込みは無効化されます。FENTRYR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	FEKEY								FENTRYD	-	-	-	-	-	-	-	FENTRY0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	FEKEY	すべて 0	R/(W)*	キーコード FENTRYD、FENTRY0 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	FENTRYD	0	R/W	FLD P/E モードエントリビット FLD を P/E モードに設定するためのビットです。 0: FLD はリードモード 1: FLD は P/E モード [書き込み有効条件] 以下の全条件を満たす場合 <ul style="list-style-type: none"> 内蔵 ROM が有効なモード FSTATR0 レジスタの FRDY ビットが 1 ワードアクセスで FEKEY に H'AA 書き込み [セット条件] <ul style="list-style-type: none"> 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRYD に 1 を書き込んだ場合 [クリア条件] <ul style="list-style-type: none"> バイトアクセスで書き込んだ場合 ワードアクセスで FEKEY が H'AA 以外の状態で書き込んだ場合 書き込み有効条件を満たした状態で、FENTRYD に 0 を書き込んだ場合 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合
6~1	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	FENTRY0	0	R/W	ROM P/E モードエントリビット 0 「第 29 章 フラッシュメモリ (ROM)」を参照してください。

【注】 * 書き込みデータは保持されません。

30.3.7 FLD ブランクチェック制御レジスタ (EEPBCCNT)

EEPBCCNT は、ブランクチェックコマンドのチェック対象領域のアドレスとサイズを指定するためのレジスタです。内蔵 ROM が無効なモードでは、EEPBCCNT の読み出しデータは H'0000 になり、書き込みは無効化されます。EEPBCCNT は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	BCADR										-	-	BC SIZE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
12~3	BCADR	すべて 0	R/W	ブランクチェックアドレス設定ビット ブランクチェックコマンドのチェック対象領域のサイズが 8 バイト (BCSIZE ビットが 0) の場合に、チェック対象領域のアドレスを設定するためのビットです。BCSIZE が 0 の場合には、EEPBCCNT レジスタの設定値 (BCADR の設定値を MSB 側に 3 ビットシフトした値) とブランクチェックコマンド発行時に指定した消去ブロック先頭アドレスを加算した値がチェック対象領域の先頭アドレスになります。
2, 1	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	BCSIZE	0	R/W	ブランクチェックサイズ設定ビット ブランクチェックコマンドのチェック対象領域のサイズを設定するためのビットです。 0: ブランクチェック対象領域は 8 バイト 1: ブランクチェック対象領域は 8K バイト

30.3.8 FLD ブランクチェックステータスレジスタ (EEPBCSTAT)

EEPBCSTAT は、ブランクチェックコマンドの処理結果が格納されるレジスタです。内蔵 ROM が無効なモードでは、EEPBCSTAT の読み出しデータは H'0000 になり、書き込みは無効化されます。EEPBCSTAT は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BCST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	BCST	0	R	ブランクチェックステータスビット ブランクチェックの結果を示すビットです。 0: ブランクチェック対象領域は消去状態 (ブランク) 1: ブランクチェック対象領域は 0 データか 1 データが書き込まれた状態

30.4 FLD 関連モード概要

図 30.4 に本 LSI のモード遷移図 (FLD 関連) を示します。MD1、MD0 端子と FWE の設定値と本 LSI の動作モードの関係については「第 4 章 MCU 動作モード」を参照してください。

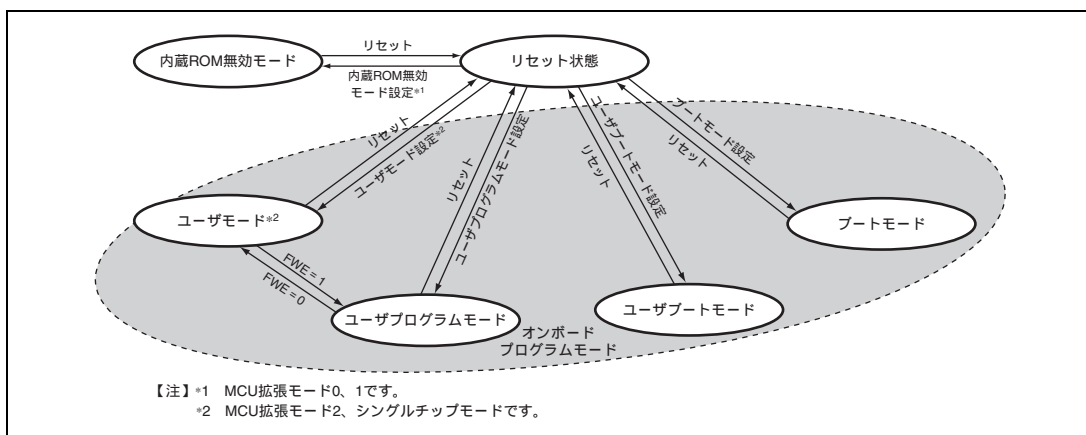


図 30.4 FLD に関するモード遷移図

- 内蔵ROM無効モードでは、FLDの読み出し / 書き込み / 消去は実施できません。
- ユーザモード / ユーザプログラムモード / ユーザブートモード / ブートモードでは、オンボードでFLDの読み出し / 書き込み / 消去を実施できます。
- ユーザモードではROMを書き込み / 消去できませんが、FLDを書き込み / 消去できます。また、FLDの書き込み / 消去中にはROMを読み出すことができます。このため、書き込み / 消去プロテクトされたROM上のアプリケーションプログラムを実行しながら、データをFLDに書き込むことができます。

表 30.3 に、ブートモード、ユーザモード、ユーザプログラムモード、ユーザブートモードの書き込み / 消去関連項目の比較を示します。

表 30.3 プログラムモードの比較

項目	ブートモード	ユーザモード	ユーザプログラムモード	ユーザブートモード
書き込み / 消去環境	オンボードプログラム			
書き込み / 消去可能マット	FLD	FLD	FLD	FLD
書き込み / 消去制御	ホスト	FCU	FCU	FCU
全面消去	(自動)			
ブロック分割消去	*1			
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由
リセット時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザマット	ユーザブート マット*2

【注】 *1 起動時に全面消去されます。その後、特定ブロックの消去を実施可能です。

*2 組み込みプログラム格納マットから起動し、ルネサス提供のブートプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ブートモードでは、起動直後にROMのユーザマット / ユーザブートマットとFLDが全面消去されます。その後、ホストからSCI経由でのFLDの書き込みが可能になります。FLDの読み出しも、起動直後の全面消去後に可能になります。
- ユーザブートモードでは、ユーザモード / ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

30.5 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信して FLD の書き込み / 消去を実行可能です。ブートモードのシステム構成や使用方法の詳細は、「第 29 章 フラッシュメモリ (ROM)」を参照してください。本節では、FLD 専用のコマンドの説明を記載します。

30.5.1 問い合わせ設定ホストコマンド

表 30.4 に、FLD 専用の問い合わせ設定ホストコマンド一覧を示します。データマット有無問い合わせ / データマット情報問い合わせコマンドは、「29.5.4 問い合わせ設定ホストコマンド待ち状態」の図 29.11 に示したフロー中の「マット書き込み用の情報問い合わせ」を実施する箇所で使用します。

表 30.4 問い合わせ設定ホストコマンド (FLD 専用)

ホストコマンド名	機能
データマット有無問い合わせ	データマット有無の問い合わせ
データマット情報問い合わせ	データマットの個数、先頭 / 最終アドレスの問い合わせ

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマット有無問い合わせ

ホストがデータマット有無問い合わせコマンドを送信すると、データマットがあることを示す情報を本 LSI が送信します。

コマンド	H'2A			
レスポンス	H'3A	サイズ	マット有無	SUM

【記号説明】

サイズ (1 バイト) : マット有無の文字数 (固定値で 1)

マット有無 (1 バイト) : データマットの有無 (固定値で H'01)

H'00 : データマットなし

H'01 : データマットあり

SUM (1 バイト) : サムチェック

(2) データマット情報問い合わせ

ホストがデータマット情報問い合わせコマンドを送信すると、データマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'2B		
レスポンス	H'3B	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数 (1 バイト) : データマットのエリア数 (連続したエリアは 1 エリアと数えます)

エリア先頭アドレス (4 バイト) : データマットエリアの先頭アドレス

エリア最終アドレス (4 バイト) : データマットエリアの最終アドレス

SUM (1 バイト) : サムチェック

データマットのブロック構成の情報は、消去ブロック情報問い合わせコマンド (「29.5.4 問い合わせ設定ホストコマンド待ち状態」を参照) のレスポンスに含まれます。

30.5.2 書き込み / 消去ホストコマンド

表 30.5 に、FLD 専用の書き込み / 消去ホストコマンド一覧を示します。FLD 専用のホストコマンドはデータマットのサムチェック / ブランクチェック用のコマンドのみで、書き込み / 消去 / 読み出し用のコマンドは ROM と共用です。

FLD の書き込みを行う場合は、ユーザマット書き込み選択コマンドを発行後、256 バイト書き込みコマンドで書き込みアドレスにデータマットのアドレスを指定します。データマットの消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータマットの消去ブロックを指定します。データマットの消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データマットの読み出しを行う場合は、メモリアドレスコマンドでユーザマットを選択し、読み出し対象アドレスにデータマットのアドレスを指定します。

ユーザマット書き込み選択コマンド / ユーザブートマット書き込み選択コマンド / 256 バイト書き込みコマンド / 消去選択コマンド / ブロック消去コマンド / メモリアドレスコマンドの詳細は、「29.5.5 書き込み / 消去ホストコマンド待ち状態」を参照してください。消去ブロック問い合わせコマンドの詳細は、「29.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

表 30.5 書き込み / 消去ホストコマンド (FLD 専用)

ホストコマンド名	機能
データマットサムチェック	データマットのサムチェック
データマットブランクチェック	データマットのブランクチェック

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマットサムチェック

ホストがデータマットサムチェックコマンドを送信すると、本 LSI は FLD のデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'61			
レスポンス	H'71	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : データマットのサムチェック結果

SUM (4 バイト) : サムチェック (レスポンスデータのサムチェック)

(2) データマットブランクチェック

ホストがデータマットブランクチェックコマンドを送信すると、本 LSI はデータマットがすべて消去状態であるかをチェックします。データマットがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。データマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'E2 H'52) を送信します。

コマンド	H'62	
レスポンス	H'06	
エラーレスポンス	H'E2	H'52

30.6 ユーザモード / ユーザプログラムモード / ユーザブートモード

30.6.1 FCU コマンド一覧

ユーザモード / ユーザプログラムモード / ユーザブートモードでは、FCU へ FCU コマンドを発行して FLD の書き込み / 消去を実行します。表 30.6 に、FLD 書き込み / 消去で使用可能な FCU コマンドの一覧を示します。

表 30.6 FCU コマンド一覧 (FLD 関連)

コマンド	機能
ノーマルモード移行	ノーマルモードに遷移 (「30.6.2 FCU コマンド受け付け条件」を参照)
ステータスリードモード移行	ステータスリードモードに遷移 (「30.6.2 FCU コマンド受け付け条件」を参照)
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに遷移 (「30.6.2 FCU コマンド受け付け条件」を参照)
プログラム	FLD 書き込み (8 バイトまたは 128 バイト単位)
ブロックイレーズ	FLD 消去 (ブロック単位)
P/E サスペンド	書き込み / 消去の中断
P/E レジューム	書き込み / 消去の再開
ステータスレジスタクリア	FSTATR0 レジスタの IGLERR、ERSERR、PRGERR ビットのクリアとコマンドロック状態の解除
ブランクチェック	指定した領域が消去状態 (ブランク) であるか確認
周辺クロック設定	周辺クロックの周波数を設定

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、FLD 領域に対する周辺バスアクセスで実現されます。次ページの表 30.7 にプログラムコマンドとブランクチェックコマンドのフォーマットを示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、「29.6.1 FCU コマンド一覧」を参照してください。表 30.7 に示した周辺バスアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU コマンドの受け付け条件については、「30.6.2 FCU コマンド受け付け条件」を参照してください。また、コマンドの使用方法については、「30.6.3 FCU コマンド使用方法」を参照してください。

FRDMD ビットが 0 (メモリ領域モード) で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリードモード移行コマンド (ロックビットリード1) を受け付けます。FLD にはロックビットが存在しないため、ロックビットリードモードに移行後に FLD 領域に対して周辺バスリードアクセスを実行すると不定データが読み出されます。この不定データ読み出し時には、FCU はエラーを検出しません。FRDMD が 1 (レジスタリードモード) で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はブランクチェックコマンドの 2 サイクル目のコマンド (H'D0) 待ちの状態になります。この状態で、FLD 領域に対して周辺バスライトアクセスで H'D0 を書き込むと、FCU は EEPBCCNT レジスタの設定値に従ったブランクチェック処理を実行し、ブランクチェック完了後に EEPBCSTAT レジスタに結果を反映します。

P/E サスペンドコマンド発行時のサスペンド動作には、サスペンド優先モードと消去優先モードがあります。各

モードでの動作の詳細は「29.6.4 サスペンド動作」を参照してください。

表 30.7 FCU コマンドのフォーマット (FLD 専用コマンド)

コマンド	コマンド サイクル数*	1 サイクル目		2 サイクル目		3 サイクル目		4 ~ N+2 サイクル目		N+3 サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
プログラム (8 バイト書き込み : N=4)	7	EA	H'E8	EA	H'04	WA	WD1	EA	WDn	EA	H'D0
プログラム (128 バイト書き込み : N=64)	67	EA	H'E8	EA	H'40	WA	WD1	EA	WDn	EA	H'D0
ブランクチェック	2	EA	H'71	BA	H'D0	-	-	-	-	-	-

【記号説明】

EA : FLD 領域のアドレス

H'8010000 ~ H'80107FFF の任意アドレス

WA : 書き込みデータの先頭アドレス

BA : FLD 消去ブロックアドレス

対象消去ブロックの任意アドレス

WDn : 書き込みデータ n ワード目 (n=1~N)

【注】 * コマンドサイクル数は書き込み/消去アドレスに対する CPU による周辺バス (P バス) ライトアクセスの発行回数です。

30.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード / 状態に依存します。図 30.5 に FCU のモード遷移図を示します。

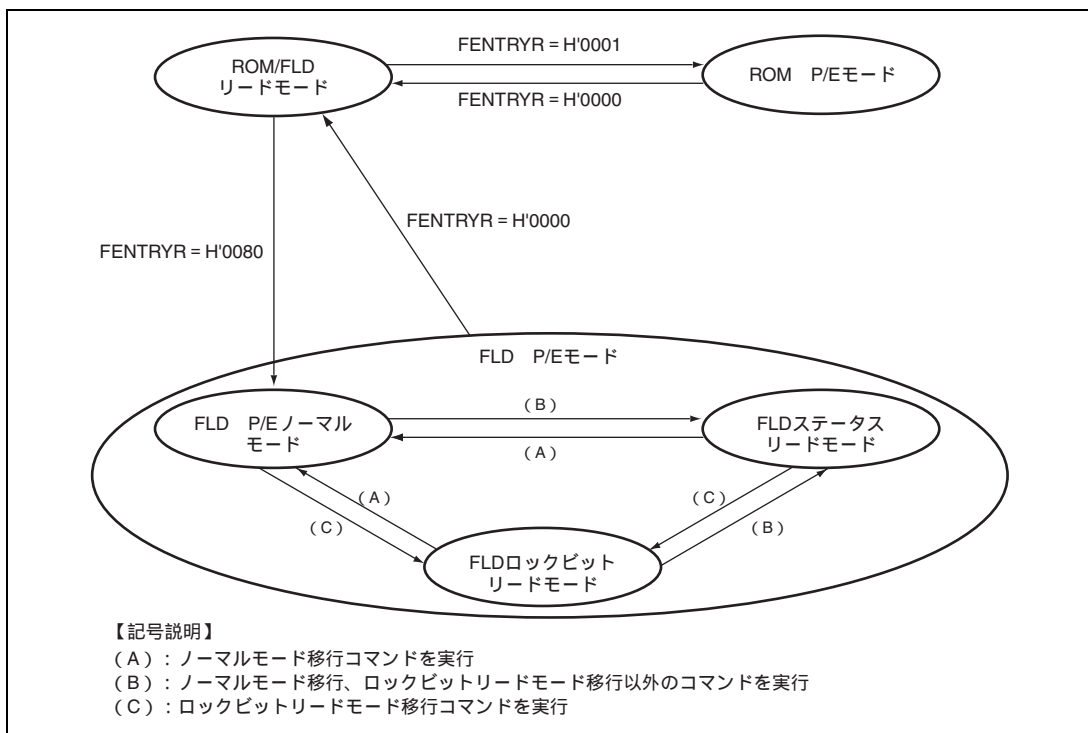


図 30.5 FCU のモード遷移図 (FLD 関連)

(1) ROM P/E モード

ROM 書き込み / 消去用の FCU コマンドを受け付け可能なモードです。FLD を読み出すことはできません。FENTRYR レジスタの FENTRYD ビットを 0、かつ FENTRY0 ビットを 1 に設定した場合に遷移するモードです。ROM P/E モードの詳細は、「29.6.2 FCU コマンド受け付け条件」を参照してください。

(2) ROM / FLD リードモード

周辺バス経由で FLD を高速読み出し可能なモードです。FCU コマンドは受け付けられません。FENTRYD ビットを 0、かつ FENTRY0 ビットを 0 に設定した場合に、このモードに遷移します。

(3) FLD P/E モード

• FLD P/E ノーマルモード

ROM / FLD リードモードまたは ROM P/E モード時に FENTRYD ビットを 1 かつ FENTRY0 ビットを 0 に設定した場合、または FLD P/E モードで ノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表 30.8 に受け付け可能なコマンドを示します。FLD 領域に対して周辺バスリードアクセスを発行した場合には、FLD アクセス違反が発生して FCU はコマンドロック状態になります。ROM は高速読み出し可能です。

• FLD ステータスリードモード

FLD P/E モードで ノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0 レジスタの FRDY ビットが 0 の状態やエラー発生後のコマンドロック状態も、FLD ステータスリードモード中の状態です。表 30.8 に受け付け可能なコマンドを示します。FLD 領域に対して周辺バスリードアクセスを発行した場合には、FSTATR0 レジスタの値が読み出されます。ROM は高速読み出し可能です。

• FLD ロックビットリードモード

FLD P/E モードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。表 30.8 に受け付け可能なコマンドを示します。FLD にはロックビットが存在しないため、FLD 領域に対して周辺バスリードアクセスを発行した場合には、読み出しデータは不定値になりますが、FLD アクセス違反は発生しません。ROM は高速読み出し可能です。

表 30.8 に FLD P/E モードの各モード / 状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります(「30.7.3 エラープロテクト」を参照)。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタの FRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタの FCUERR ビットの値を確認した後に FCU コマンドを発行してください。FASTAT レジスタの CMDLK ビットの値は、FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR と FSTATR1 レジスタの FCUERR ビットの値の論理和です。このため、CMDLK ビットを確認して FCU のエラー発生状況を確認することもできます。表 30.8 では、エラー発生状況を表すビットに CMDLK ビットを使用しています。書き込み / 消去の処理中、書き込み / 中断処理の処理中、ブランクチェック処理中には FSTATR0 レジスタの FRDY ビットが 0 になります。FRDY ビットが 0 の場合で P/E サスペンドコマンドが受け付け可能な状態は、FSTATR0 レジスタの SUSRDY ビットが 1 の場合のみです。

表 30.8 では、表を簡素化するために ERSSPD、PRGSPD、FRDY ビットの値を 0/1 と表記しています。ERSSPD ビットは、消去の中断処理中の場合には 1、書き込みの中断処理中の場合には 0 になります。PRGSPD ビットは、書き込みの中断処理中の場合には 1、消去の中断処理中の場合には 0 になります。コマンドロック状態の FRDY ビットの値は、コマンドロック状態に遷移する前の FRDY ビットの値が保持されます。

表 30.8 FCU のモード / 状態と受け付け可能なコマンドの関係

項 目	P/E ノーマルモード			ステータスリードモード							ロックビット リードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み / 消去の処理中	書き込み / 消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
ノーマルモード移行				x	x	x			x				
ステータスリードモード移行				x	x	x			x				
ロックビットリードモード移行(ロックビットリード1)				x	x	x			x				
プログラム	x			x	x	x	x		x		x		
ブロックイーズ	x	x		x	x	x	x	x	x		x	x	
P/E サスペンド	x	x	x		x	x	x	x	x	x	x	x	x
P/E レジューム			x	x	x	x			x	x			x

項 目	P/E ノーマルモード			ステータスリードモード							ロックビット リードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み / 消去の処理中	書き込み / 消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
ステータスレジスタクリア				×	×	×							
ブランクチェック				×	×	×			×				
周辺クロック通知	×	×		×	×	×	×	×	×		×	×	

【記号説明】

: 受け付け可能

: 消去中断したブロック以外への書き込みのみ受け付け可能

× : 受け付け不可能

30.6.3 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用してFLDを書き込み/消去する方法とブランクチェックコマンドを使用してFLDの消去状態を確認する方法を示します。FCU RAM へのファームウェア転送方法やその他のFCU コマンド使用方法については、「29.6.3 FCU コマンド使用方法」を参照してください。

FCU がコマンド処理中に FSTATR1 レジスタの FCUERR ビットが 1 にセットされてコマンドロック状態に遷移した場合には、FSTATR0 レジスタの FRDY ビットは 0 を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが 0 から 1 にセットされることはありません。書き込み/消去時間やサスペンド遅延時間（「第 35 章 電気的特性」を参照）よりも長期間にわたって FRDY ビットが 0 に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FCU のコマンド処理が完了して FRDY ビットが 1 にセットされた場合には、FCUERR ビットの値は必ず 0 の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR、ERSERR、PRGERR ビットで確認可能です

(1) 周辺クロック通知コマンドの使用方法

周辺クロックの周波数を通知します。詳細は「第 29 章 フラッシュメモリ (ROM)」の「29.6.3 FCU コマンド使用方法」を参照してください。FENTRYR レジスタの FENTRYD ビットを 1 にセットして、アドレスはデータフラッシュ (FLD) 領域内のアドレスを指定するように設定してください。

(2) 書き込み方法

FLD へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第 1 サイクルでは H'E8 を、第 2 サイクルでは書き込みワード数 (N) * を FLD 領域のアドレスにバイト書き込みします。コマンドの第 3 ~ N+2 サイクルでは、ワードサイズで周辺バスアクセスを実行します。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。先頭アドレスは、8 バイト書き込みの場合には 8 バイト境界、128 バイト書き込みの場合には 128 バイト境界にアラインしてください。FLD 領域のアドレスに対して N 回のワード書き込みを実行後、第 N+3 サイクルで FLD 領域のアドレスに対して H'D0 をバイト書き込みすると FCU が FLD の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 3 サイクル~第 N+2 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFFF にしてください。EEPWE0 レジスタによる書き込み/消去プロテクトを無効化して書き込みを実施したい場合には、書き込み対象ブロック用の書き込み/消去許可ビットを 1 に設定してから書き込みを行ってください。

図 30.6 に、FLD の書き込み方法を示します。

【注】* 8 バイト書き込みの場合には N = H'04、128 バイト書き込みの場合には N = H'40 です。

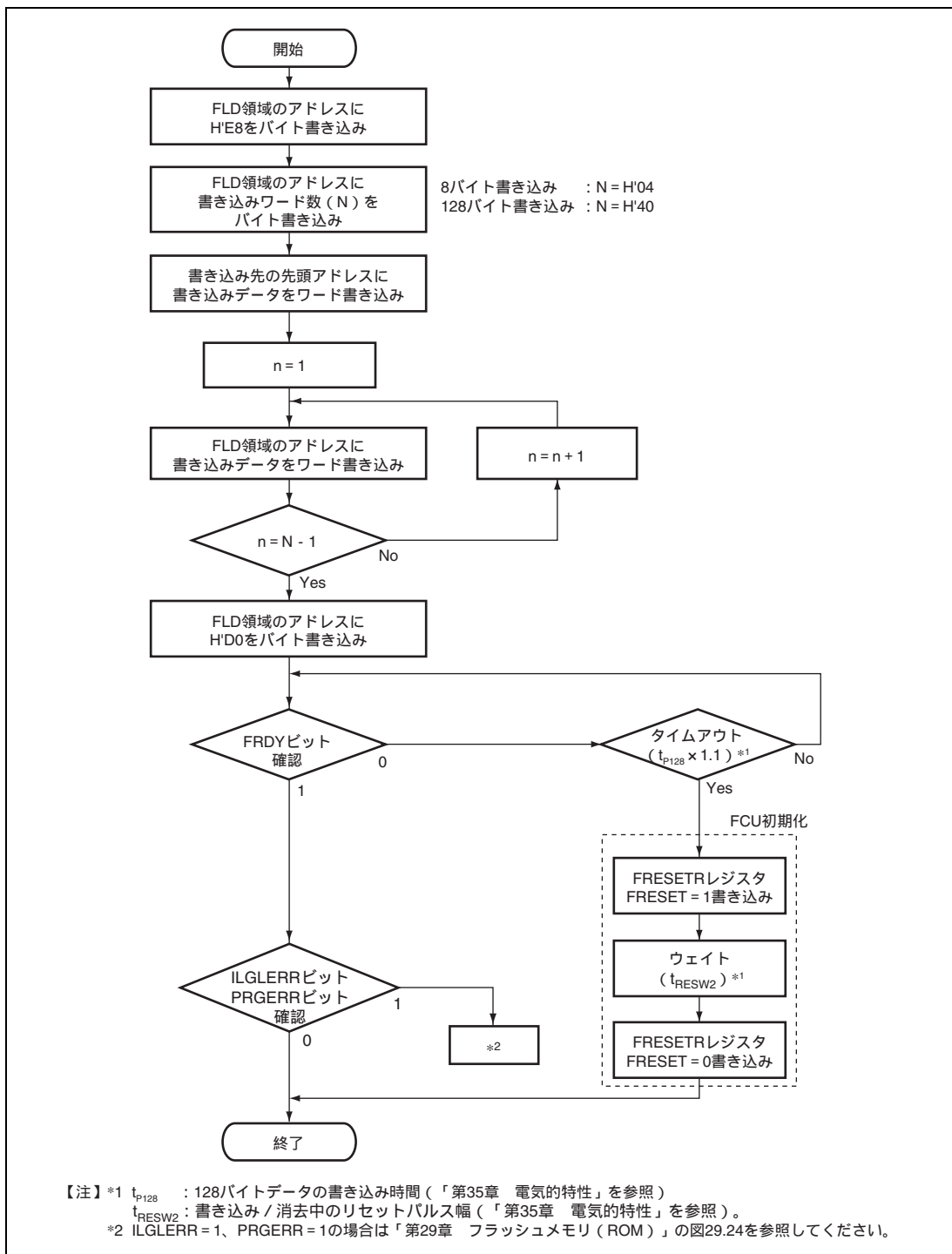


図 30.6 FLD の書き込み

(3) 消去方法

FLDの消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROMの消去方法と同様です(「第29章 フラッシュメモリ (ROM)」を参照)。FLDには、EEPWE0レジスタによる書き込み/消去プロテクト機能があることに注意してください。EEPWE0によるプロテクトを無効化して消去を実施したい場合には、消去対象ブロック用の書き込み/消去許可ビットを1に設定してから消去を行ってください。

(4) 消去状態の確認方法

CPUで消去状態のFLDを読み出すと不定値が読み出されますので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前にFMODRレジスタのFRDMDビットを1に設定してブランクチェックコマンドが使用可能な状態にし、EEPBCCNTレジスタにチェック対象領域のサイズとアドレスを設定してください。EEPBCCNTレジスタのBCSIZEビットが1の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロック全体(8Kバイト)のブランクチェックを実行可能です。BCSIZEビットが0の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロックの先頭アドレスとEEPBCCNTレジスタの値を加算したアドレスから8バイト分の領域のブランクチェックを実行可能です。ブランクチェックコマンドの第1サイクルでは、H'71をFLD領域のアドレスにバイト書き込みします。コマンドの第2サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスにH'D0をバイト書き込みすると、FCUがFLDのブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0レジスタのFRDYビットで確認可能です。ブランクチェックの完了後にEEPBCSTATレジスタのBCSTビットの値を確認すると、チェック対象領域が消去状態であるか0データか1データを書き込んだ状態であるかを確認することができます。

図30.7に、FLDのブランクチェックを示します。

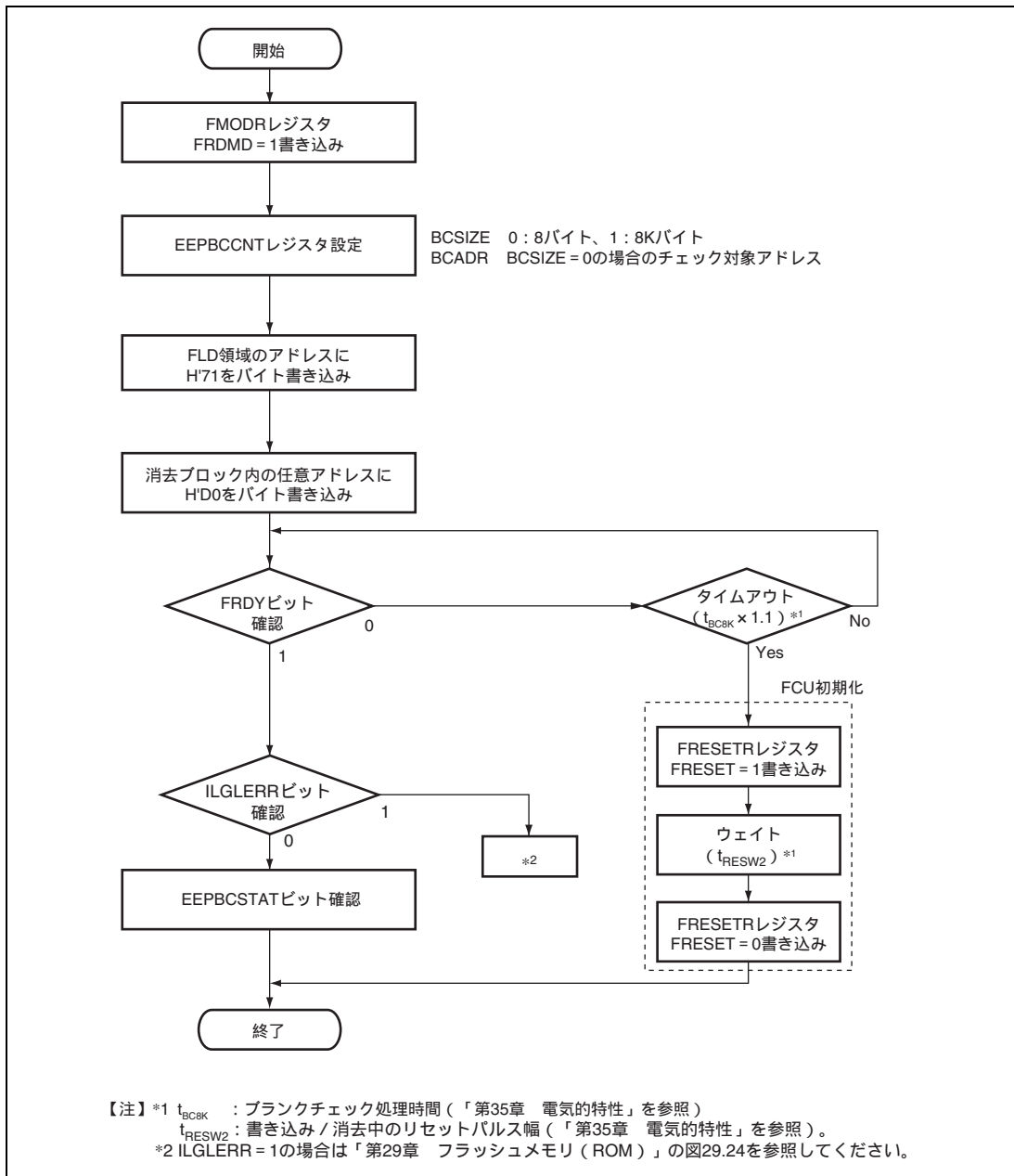


図 30.7 FLD のブランクチェック

30.7 プロテクト

FLD に対する書き込み / 消去のプロテクトには、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類があります。

30.7.1 ハードウェアプロテクト

ハードウェアプロテクトは、モード端子の設定によって FLD に対する書き込み / 消去が禁止された状態です。内蔵 ROM が無効な設定の場合には、FLD の書き込み / 消去 / 読み出しが禁止された状態になります。本 LSI の動作モードと端子設定の関係は「第 4 章 MCU 動作モード」を参照してください。

30.7.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によって FLD に対する書き込み / 消去が禁止された状態です。ソフトウェアプロテクトに違反して、FLD に対する書き込み / 消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FENTRYR によるプロテクト

FENTRYR レジスタの FENTRYD ビットが 0 の場合には、FLD に対する FCU コマンドが受け付けられないため、FLD の書き込み / 消去は禁止状態になります。FENTRYD ビットが 0 の状態で FLD に対する FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります（「30.7.3 エラープロテクト」を参照）。

(2) EEPWE0 レジスタによるプロテクト

EEPWE0 レジスタの DBWE_i (i=00~03) ビットが 0 の場合には、データマットの DB_i ブロックの書き込み / 消去が禁止状態になります。DBWE_i ビットが 0 の状態で DB_i ブロックに対する書き込み / 消去を実行すると、FCU は書き込み / 消去プロテクト違反を検出してコマンドロック状態になります（「30.7.3 エラープロテクト」を参照）。

30.7.3 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行 / 禁止アクセスの発生 / FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態 (コマンドロック状態) です。FCU をコマンドロック状態にすることにより、FLD の書き込み / 消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが 1 の場合には、FCU がコマンドロック状態 (FASTAT レジスタの CMDLK ビットが 1) になるとフラッシュインタフェースエラー (FIFE) 割り込みが発生します。また、FAEINT レジスタの FLD 関連の割り込みイネーブルビット (EEPAEIE/EEPIFEIE/EEPRPEIE/EEPWPEIE ビット) が 1 の場合には、FASTAT レジスタの対応するビット (EEPAE/EEPIFE/EEPRPE/EEPWPE ビット) が 1 になると FIFE 割り込みが発生します。

表 30.9 に FLD 関連のエラープロテクト内容とエラー検出後のステータスビット値 (FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FASTST レジスタの EEPAE/EEPIFE/EEPRPE/EEPWPE ビット) の関係を示します。ROM/FLD 共通のエラープロテクト内容 (FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー) については、「29.9.3 エラープロテクト」を参照してください。書き込み / 消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み / 消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み / 消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は 1 になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 30.9 エラープロテクト一覧 (FLD 専用)

分類	内 容	ILGLERR	ERSERR	PRGERR	EEPAE	EEPIFE	EEPRPE	EEPWPE
不正コマンド	プログラムコマンドの 2 サイクル目で H'04、H'40 以外を指定	1	0	0	0	0	0	0
	FENTRYR レジスタの FENTRYD ビットが 1 の状態で、FLD 領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	0
FLD アクセス違反	FENTRYR レジスタの FENTRYD ビットが 1、かつ FLD P/E ノーマルモードで、FLD 領域に対してリードアクセスを発行	1	0	0	1	0	0	0
	FENTRYD ビットが 0 の状態で、FLD 領域に対してライトアクセスを発行	1	0	0	1	0	0	0
	FENTRYR レジスタの FENTRY0 ビットが 1 の状態で、FLD 領域に対するアクセスを発行	1	0	0	1	0	0	0
FLD 命令フェッチ違反	FLD に対して命令フェッチを実行	1	0	0	0	1	0	0
FLD リードプロテクト違反	EEPPE0 レジスタで読み出し禁止に設定した FLD 領域に対してリードアクセスを発行	1	0	0	0	0	1	0
FLD ライトプロテクト違反	EEPWE0 レジスタで読み出し禁止に設定した FLD 領域に対して、プログラム / ブロックイレイズコマンドを発行	1	0	0	0	0	0	1

30.8 割り込み要因

表 30.10 に割り込み要因を示します。

割り込み要因は、フラッシュアクセスエラー割り込み許可レジスタ (FAEINT) の FCU コマンドロック割り込みイネーブルビット (CMDLKIE)、FLD アクセス違反割り込みイネーブルビット (EEPAEIE)、FLD 命令フェッチ違反割り込みイネーブルビット (EEPIFEIE)、FLD リードプロテクト違反割り込みイネーブルビット (EEPRPEIE)、FLD 書き込み / 消去プロテクト違反割り込みイネーブルビット (EEPWPEIE) で、許可または禁止ができます。

フラッシュアクセスステータスレジスタ (FASTAT) の FCU コマンドロックビット (CMDLK)、FLD 命令フェッチ違反ビット (EEPIFE)、FLD リードプロテクト違反ビット (EEPRPE)、FLD 書き込み / 消去プロテクト違反ビット (EEPWPE)、または FCU コマンドロックビット (CMDLK) が 1 にセットされ、かつ対応するフラッシュアクセスエラー割り込み許可レジスタ (FAEINT) の FCU コマンドロック割り込みイネーブルビット (CMDLKIE)、FLD アクセス違反割り込みイネーブルビット (EEPAEIE)、FLD 命令フェッチ違反割り込みイネーブルビット (EEPIFEIE)、FLD リードプロテクト違反割り込みイネーブルビット (EEPRPEIE)、FLD 書き込み / 消去プロテクト違反割り込みイネーブルビット (EEPWPEIE) が 1 にセットされているとき、フラッシュインタフェースエラー割り込み (FIFE) が発生します。割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 30.10 割り込み要求の種類と条件

割り込み要因	割り込み許可ビット	割り込みフラグ	条件
フラッシュインタフェース エラー割り込み	CMDLKIE、EEPIFEIE、 EEPRPEIE、EEPWPEIE	CMDLK、EEPIFE、 EEPRPE、EEPWPE	CMDLKIE・CMDLK+EEPAEIE・ EEPIFE+EEPRPEIE・EEPRPE+ EEPWPEIE・EEPWPE

30.9 使用上の注意事項

30.9.1 リセット解除後のデータマツトプロテクト状態

EEPWE0 / EEPWE0 レジスタの初期値が H'0000 であるため、リセット解除後のデータマツトの読み出し / 書き込み / 消去は禁止状態です。データマツトの読み出しが必要な場合には EEPWE0 レジスタを設定してから FLD にアクセスしてください。また、データマツトの書き込み / 消去が必要な場合には、EEPWE0 を設定してから書き込み / 消去用の FCU コマンドを発行してください。レジスタを設定せずに読み出し / 書き込み / 消去を実行しようとすると、FCU がエラーを検出してコマンドロック状態になります。

30.9.2 割り込み無視状態

以下の状態では、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ライタモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マツトのプログラムを処理中

30.9.3 書き込み / 消去サスペンド対象領域

書き込み / 消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み / 消去サスペンド対象領域のデータ読み出しが発生しないように注意してください。

30.9.4 従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

30.9.5 書き込み / 消去中のリセット

書き込み / 消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を t_{RESW2} (「第 35 章 電気的特性」を参照) 保持してください。書き込み / 消去中の FLD には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセットが状態を保持する必要があります。FCU をリセットしている期間は FLD の読み出しを行わないでください。

書き込み / 消去処理中に \overline{RES} 端子のアサートによってパワーオンリセットを発生させた場合には、リセット期間を t_{RESW2} (「第 35 章 電気的特性」を参照) 保持してください。パワーオンリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、FLD 用電源の初期化や FLD 内部回路の初期化に必要な期間を確保する必要があります。FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み / 消去処理中に \overline{RES} 端子のアサートによるパワーオンリセット、FRESETR レジスタの FRESET ビットをセットしての FCU リセットを実行すると、書き込み / 消去対象領域のロックビットを含む全データは不定となります。

書き込み / 消去処理中には、WDT カウンタのオーバフローによる内部リセットは発生しないようにしてくださ

い。WDT によるリセットでは、メモリ電圧の降下 / FLD 用電源の初期化 / FLD 内部の初期化に必要な期間を確保することができません。

30.9.6 書き込み / 消去サスペンドによる中断

書き込み / 消去サスペンドコマンドによって書き込み / 消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

30.9.7 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

30.9.8 書き込み / 消去中の禁止事項

書き込み / 消去中はデータフラッシュ (FLD) 内に高電圧が印加されています。本 LSI の破壊を防ぐため、以下の動作を行わないでください。

- 電源を切断する
- ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、フラッシュメモリ (ROM) のモジュールスタンバイへの遷移。遷移するときは FSTSTR0 レジスタの FRDY ビットが 1 になっていることを確認してください。
- CPU、DMAC、DTC からのフラッシュメモリのリードアクセス
- FRQCR レジスタの値の書き換え
- P と異なる周波数を PCKAR レジスタに設定する

30.9.9 データフラッシュ (FLD) のモジュールスタンバイ復帰後の禁止事項

データフラッシュ (FLD) のモジュールスタンバイ復帰後、500 μ s の期間はデータフラッシュ (FLD) の書き込み / 消去 / リードを行わないでください。

30.9.10 書き込み / 消去中の異常終了

書き込み / 消去中のリセット、FRESETR レジスタの FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、書き込み / 消去が正常に終了しなかった場合、ロックビットが 0 (プロテクト状態) になっている場合があります。この場合、FPROTR.FPROTCN ビットに 1 をセットした状態でブロックレイズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

31. 内蔵 RAM

本 LSI は、CPU から 1 サイクルで高速アクセス可能な高速 RAM と、ディープソフトウェアスタンバイモードでもデータを保持できる保持用 RAM を内蔵しており、命令やデータを格納することができます。

高速内蔵 RAM は、RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

保持用内蔵 RAM は、ディープソフトウェアスタンバイモードでデータを保持するかどうかを選択することが可能です。また、保持用内蔵 RAM は周辺バスに接続されています。保持用内蔵 RAM のアクセスサイクル数については「第 10 章 バスステートコントローラ (BSC)」を参照してください。

31.1 特長

- メモリマップ

内蔵RAMは、表31.1、表31.2のアドレス空間に配置されています。

表 31.1 内蔵 RAM (高速) アドレス空間

ページ	アドレス
ページ 0 (16K バイト)	H'FFF80000 ~ H'FFF83FFF
ページ 1 (8K バイト)	H'FFF84000 ~ H'FFF85FFF
ページ 2 (4K バイト)	H'FFF86000 ~ H'FFF86FFF
ページ 3 (4K バイト)	H'FFF87000 ~ H'FFF87FFF

表 31.2 内蔵 RAM (保持用) アドレス空間

ページ	アドレス
ページ 0 (12K バイト)	H'FFFD8000 ~ H'FFFDFFFF

- ポート

高速内蔵RAMの各ページは2本の独立した読み出し / 書き込みポートを持ち、内部バス (Iバス)、CPU命令フェッチバス (Fバス)、CPUメモリアクセスバス (Mバス) と接続されています (ただし、Fバスは読み出しポートのみに接続されています)。

CPUからのアクセスにはFバスおよびMバス、DMAC/DTCからのアクセスにはIバスが使用されます。

保持用内蔵RAMは1本の読み出し / 書き込みポートを持ち、周辺バスと接続されています。

- 優先順位

高速内蔵RAMの同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIバス、Mバス、Fバスとなります。

31.2 使用上の注意事項

31.2.1 ページ競合

高速内蔵 RAM の同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるページをアクセスすると競合は発生しません。

31.2.2 RAME ビット、RAMWE ビットについて

高速内蔵 RAM に対して、RAME ビットおよび RAMWE ビットの設定をディスエーブルする場合には、RAME ビットおよび RAMWE ビット設定前に必ず各ページに対して任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。

```
//ページ0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ1に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ2に対して
MOV.L #H'FFF86000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ3に対して
MOV.L #H'FFF87000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 31.1 実行例

31.2.3 命令配置禁止領域

保持用内蔵 RAM の最終アドレスから 16 バイト以内 (アドレス H'FFFD AFF0 ~ H'FFFD AFFF) には命令を配置しないでください。配置した場合、CPU がアドレス H'FFFD B000 以降の内蔵周辺モジュール空間にオーバランフエッチし、アドレスエラーが発生することがあります。

32. 低消費電力モード

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部の内蔵周辺モジュールの機能を停止したり、内部電源をオフすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

32.1 特長

32.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープソフトウェアスタンバイモード
4. モジュールスタンバイ機能

図 32.1 に低消費電力モードのブロック図を示します。

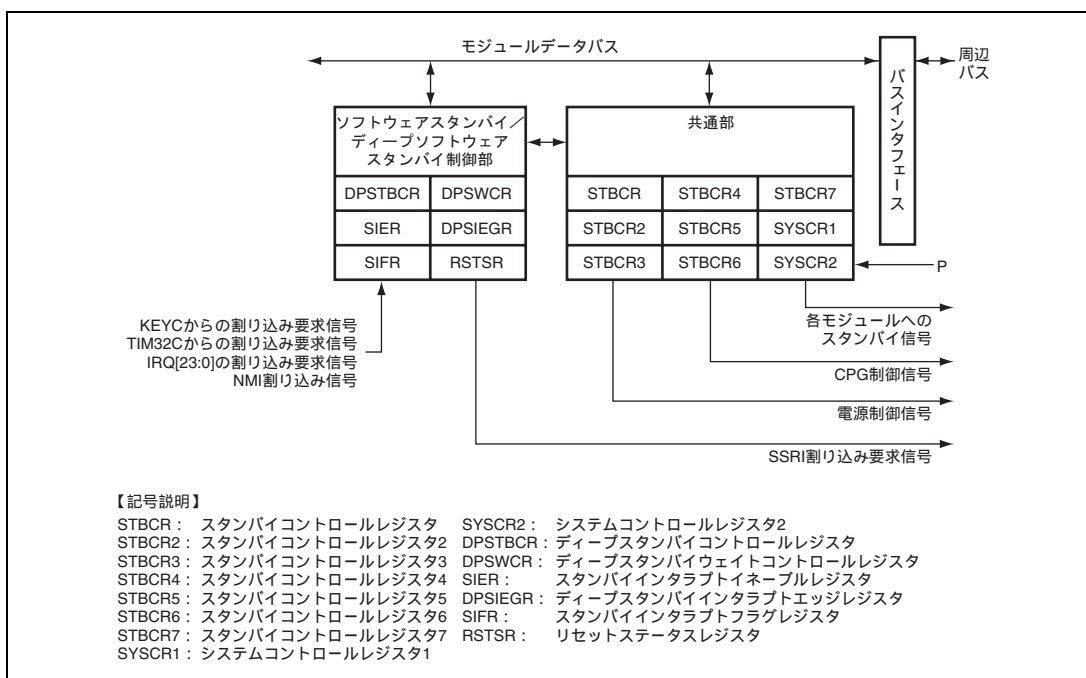


図 32.1 低消費電力モードのブロック図

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を表 32.1 に示します。

表 32.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態									解除方法	
		CPG	CPU	CPU レジスタ	内蔵 RAM (高速)	内蔵 RAM (保持用)	内蔵 周辺 モジュール	KEYC/ TIM32C	電源	外部メモリ リフレッシュ		
スリープモード	STBCRのSTBYビットが0の状態 で SLEEP 命令を実行	動作	停止	保持	動作	動作	動作	動作	動作	動作	オートリフレッシュ してください	<ul style="list-style-type: none"> • 割り込み • マニュアルリセット • パワーオンリセット • DMAC/DTC アドレスエラー
ソフトウェアスタンバイモード	STBCRのSTBYビットが1、 DPSTBCRのDPSTBYビット が0の状態 で SLEEP 命令を実行	停止	停止	保持	停止 (内容は保持)	停止 (内容は保持)	停止	動作	動作	動作	セルフリフレッシュ してください	<ul style="list-style-type: none"> • NMI 割り込み • IRQ 割り込み • KEYC/TIM32C からの割り込み • マニュアルリセット • パワーオンリセット
ディープソフトウェアスタンバイモード	STBCRのSTBYビットが1、 DPSTBCRのDPSTBYビット が1の状態 で SLEEP 命令を実行	停止	停止	不定	停止 (内容は不定)	停止 (内容は保持)	停止	動作	停止	動作	セルフリフレッシュ してください	<ul style="list-style-type: none"> • NMI 割り込み^{*1} • IRQ 割り込み^{*1*} • KEYC/TIM32C からの割り込み^{*1} • パワーオンリセット
モジュールスタンバイ機能	STBCR2、 STBCR3、 STBCR4、 STBCR5、 STBCR6、 STBCR7の MSTP ビットを 1 とする	動作	動作	保持	保持	保持	指定モジュールが停止	指定モジュールが停止	動作	動作	オートリフレッシュ してください	<ul style="list-style-type: none"> • MSTP ビットを0にクリア • パワーオンリセット (MSTP ビットの初期値が0のモジュールのみ)

【注】 *1 ディープソフトウェアスタンバイモードを割り込みで解除する場合、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。パワーオンリセット例外処理が、通常のパワーオンリセットによるものなのか、ディープソフトウェアスタンバイ解除によるものなのかは、リセットステータスレジスタ (RSTSR) の DPSRSTF ビットを読み出すことで判別することができます。

*2 ディープソフトウェアスタンバイを解除できるのは IRQ0 ~ IRQ9 となります。

32.2 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 32.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'63	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'68	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'F7	H'FFFE040C	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FFFE0418	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'E0	H'FFFE041C	8
スタンバイコントロールレジスタ 7	STBCR7	R/W	H'F0	H'FFFE0500	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0402	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0404	8
ディープスタンバイコントロールレジスタ	DPSTBCR	R/W	H'00	H'FFFE0510	8
ディープスタンバイウェイトコントロールレジスタ	DPSWCR	R/W	H'00	H'FFFE0512	8
スタンバイインタラプトイネーブルレジスタ	SIER	R/W	H'0000	H'FFFE0514	16
スタンバイインタラプトフラグレジスタ	SIFR	R/W	H'0000	H'FFFE0516	16
ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	R/W	H'0000	H'FFFE0518	16
リセットステータスレジスタ	RSTSR	R/W	H'00	H'FFFE051A	8

32.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。パワーオンリセット時は H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	STBY	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ ソフトウェアスタンバイモードへの遷移を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

32.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'63 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	MSTP 27	MSTP 26	MSTP 25	MSTP 24	-	-	MSTP 21	-
初期値:	0	1	1	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
7	MSTP27	0	R/W	モジュールストップ 27 MSTP27 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0: H-UDI は動作 1: H-UDI へのクロックの供給を停止
6	MSTP26	1	R/W	モジュールストップ 26 MSTP26 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0: UBC は動作 1: UBC へのクロックの供給を停止
5	MSTP25	1	R/W	モジュールストップ 25 MSTP25 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0: DMAC は動作 1: DMAC へのクロックの供給を停止
4	MSTP24	0	R/W	モジュールストップ 24 MSTP24 ビットを 1 にセットすると FPU へのクロックの供給を停止します。 MSTP24 ビットを 1 セットした後、0 ライトしてクリアすることは出来ません。 つまり、MSTP24 ビットを 1 セットして FPU へのクロックを供給停止した後、MSTP24 ビットに 0 をライトして FPU へのクロックの供給を再開することは出来ません。 FPU へのクロックを供給停止した後、再開するには本 LSI をパワーオンリセットしてください。 0: FPU は動作 1: FPU へのクロックの供給を停止
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MSTP21	1	R/W	モジュールストップ 21 MSTP21 ビットを 1 にセットすると、DTC へのクロック供給を停止します。 0: DTC は動作 1: DTC へのクロック供給を停止
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

32.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR3 は、パワーオンリセット時に H'68 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	HIZ	MSTP 36	MSTP 35	-	MSTP 33	MSTP 32	MSTP 31	MSTP 30
初期値:	0	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	HIZ	0	R/W	ポートハイインピーダンス ソフトウェアスタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。 本ビットは、WDT の WTSCR の TME ビットが 1 の状態では、設定しないでください。出力端子の状態をハイインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。 0: ソフトウェアスタンバイモード時に、端子状態を保持する 1: ソフトウェアスタンバイモード時に、端子状態をハイインピーダンスにする
6	MSTP36	1	R/W	モジュールストップ 36 MSTP36 ビットを 1 にセットすると MTU2S へのクロックの供給を停止します。 0: MTU2S は動作 1: MTU2S へのクロックの供給を停止
5	MSTP35	1	R/W	モジュールストップ 35 MSTP35 ビットを 1 にセットすると MTU2 へのクロックの供給を停止します。 0: MTU2 は動作 1: MTU2 へのクロックの供給を停止
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MSTP33	1	R/W	モジュールストップ 33 MSTP33 ビットを 1 にセットすると IIC3 へのクロックの供給を停止します。 0: IIC3 は動作 1: IIC3 へのクロックの供給を停止
2	MSTP32	0	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると内蔵 RAM (高速) へのクロックの供給を停止します。 0: 内蔵 RAM (高速) は動作 1: 内蔵 RAM (高速) へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説 明
1	MSTP31	0	R/W	モジュールストップ 31 MSTP31 ビットを 1 にセットすると内蔵 RAM (保持用) へのクロックの供給を停止します。 0 : 内蔵 RAM (保持用) は動作 1 : 内蔵 RAM (保持用) へのクロックの供給を停止
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットすると ROM および FLD へのクロックの供給を停止します。 0 : ROM および FLD は動作 1 : ROM および FLD へのクロックの供給を停止

32.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセット時に H'F7 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	MSTP 47	MSTP 46	MSTP 45	MSTP 44	-	MSTP 42	MSTP 41	-
初期値:	1	1	1	1	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	MSTP47	1	R/W	モジュールストップ 47 MSTP47 ビットを 1 にセットすると SCIF4 へのクロックの供給を停止します。 0 : SCIF4 は動作 1 : SCIF4 へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ 46 MSTP46 ビットを 1 にセットすると SCIF5 へのクロックの供給を停止します。 0 : SCIF5 は動作 1 : SCIF5 へのクロックの供給を停止
5	MSTP45	1	R/W	モジュールストップ 45 MSTP45 ビットを 1 にセットすると SCIF6 へのクロックの供給を停止します。 0 : SCIF6 は動作 1 : SCIF6 へのクロックの供給を停止
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると SCIF7 へのクロックの供給を停止します。 0 : SCIF7 は動作 1 : SCIF7 へのクロックの供給を停止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP42	1	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロックの供給を停止
1	MSTP41	1	R/W	モジュールストップ 41 MSTP41 ビットを 1 にセットすると CMT2 へのクロックの供給を停止します。 0 : CMT2 は動作 1 : CMT2 へのクロックの供給を停止
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

32.2.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR5 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	MSTP 57	MSTP 56	MSTP 55	MSTP 54	MSTP 53	MSTP 52	MSTP 51	MSTP 50
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP57	1	R/W	モジュールストップ 57 MSTP57 ビットを 1 にセットすると SCI0 へのクロックの供給を停止します。 0 : SCI0 は動作 1 : SCI0 へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ 56 MSTP56 ビットを 1 にセットすると SCI1 へのクロックの供給を停止します。 0 : SCI1 は動作 1 : SCI1 へのクロックの供給を停止
5	MSTP55	1	R/W	モジュールストップ 55 MSTP55 ビットを 1 にセットすると SCI2 へのクロックの供給を停止します。 0 : SCI2 は動作 1 : SCI2 へのクロックの供給を停止
4	MSTP54	1	R/W	モジュールストップ 54 MSTP54 ビットを 1 にセットすると SCI3 へのクロックの供給を停止します。 0 : SCI3 は動作 1 : SCI3 へのクロックの供給を停止
3	MSTP53	1	R/W	モジュールストップ 53 MSTP53 ビットを 1 にセットすると RSPI へのクロックの供給を停止します。 0 : RSPI は動作 1 : RSPI へのクロックの供給を停止
2	MSTP52	1	R/W	モジュールストップ 52 MSTP52 ビットを 1 にセットすると ADC0 へのクロックの供給を停止します。 0 : ADC0 は動作 1 : ADC0 へのクロックの供給を停止
1	MSTP51	1	R/W	モジュールストップ 51 MSTP51 ビットを 1 にセットすると ADC1 へのクロックの供給を停止します。 0 : ADC1 は動作 1 : ADC1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
0	MSTP50	1	R/W	モジュールストップ 50 MSTP50 ビットを 1 にセットすると RCAN-ET へのクロックの供給を停止します。 0 : RCAN-ET は動作 1 : RCAN-ET へのクロックの供給を停止

32.2.6 スタンバイコントロールレジスタ 6 (STBCR6)

STBCR6 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR6 は、パワーオンリセット時に H'E0 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット: 7 6 5 4 3 2 1 0

MSTP 67	-	-	-	-	-	-	-
------------	---	---	---	---	---	---	---

初期値: 1 1 1 0 0 0 0 0
R/W: R/W R R R R R R R

ビット	ビット名	初期値	R/W	説明
7	MSTP67	1	R/W	モジュールストップ 67 MSTP67 ビットを 1 にセットすると LVDS へのクロックの供給を停止します。 0 : LVDS は動作 1 : LVDS へのクロックの供給を停止 【注】 SH72315A のみ有効なビットです。 SH72315L/SH72314L ではリザーブビットとなります。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6, 5	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

32.2.7 スタンバイコントロールレジスタ 7 (STBCR7)

STBCR7 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR7 は、 \overline{RES} 端子からのパワーオンリセットで H'F0 に初期化されますが、ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	MSTP 77	MSTP 76	MSTP 75	MSTP 74	-	-	-	-
初期値:	1	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	MSTP77	1	R/W	モジュールストップ 77 MSTP77 ビットを 1 にセットすると TIM32C へのクロックの供給を停止します。 0: TIM32C は動作 1: TIM32C へのクロックの供給を停止
6	MSTP76	1	R/W	モジュールストップ 76 MSTP76 ビットを 1 にセットすると KEYC へのクロックの供給を停止します。 0: KEYC は動作 1: KEYC へのクロックの供給を停止
5	MSTP75	1	R/W	モジュールストップ 75 MSTP75 ビットは、MSTP74 ビットとともに KEYC/TIM32C 用クロックを制御します。詳細は MSTP74 ビットの説明を参照してください。
4	MSTP74	1	R/W	モジュールストップ 74 MSTP74 ビットは、MSTP75 ビットとともに KEYC/TIM32C 用クロックを制御し、不要な消費電力を削減します。MSTP75 ビットは KEYC/TIM32C 用クロック制御部を停止し、MSTP74 ビットは KEYC/TIM32C 用クロック水晶発振器を停止します。EXTAL32/XTAL32 に接続するクロック種に応じて、以下のとおり設定してください。 MSTP[75:74] 00: EXTAL32/XTAL32 に水晶発振子を接続 01: EXTAL32 に外部クロックを入力 (EXTAL32 に外部クロックを接続、XTAL32 はオープン) 10: 設定禁止 11: KEYC/TIM32C 用クロックを使用しない (EXTAL32 は V _{SS} に接続、XTAL32 はオープン)
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

32.2.8 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵 RAM (高速) へのアクセス許可/禁止を設定します。SYSCR1 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAME ビットを 1 にセットすると内蔵 RAM (高速) が有効になります。0 にクリアすると内蔵 RAM (高速) はアクセスできません。このとき、内蔵 RAM (高速) からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM (高速) へのライトは無視されます。初期値は 1 です。

なお、RAME ビットの設定をディスエーブルにする場合には、RAME ビット設定前に必ず各ページに対し任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが内蔵 RAM (高速) に書き込まれない可能性があります。さらに、SYSCR1 へのライト命令の直後に内蔵 RAM (高速) をアクセスするような命令を置かないでください。もし内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM (高速) を有効にする場合、SYSCR1 へのライト命令の直後に SYSCR1 のリード命令を置いてください。もし、SYSCR1 ライト命令の直後に内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAME3	RAME2	RAME1	RAME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAME3	1	R/W	RAM イネーブル 3(対象 RAM アドレス:H'FFF87000 ~ H'FFF87FFF(ページ 3)) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
2	RAME2	1	R/W	RAM イネーブル 2(対象 RAM アドレス:H'FFF86000 ~ H'FFF86FFF(ページ 2)) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
1	RAME1	1	R/W	RAM イネーブル 1(対象 RAM アドレス:H'FFF84000 ~ H'FFF85FFF(ページ 1)) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
0	RAME0	1	R/W	RAM イネーブル 0(対象 RAM アドレス:H'FFF80000 ~ H'FFF83FFF(ページ 0)) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効

32.2.9 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵 RAM (高速) へのライト許可/禁止を設定します。SYSCR2 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAMWE ビットを 1 にセットすると内蔵 RAM (高速) への書き込みが有効になります。0 にクリアすると内蔵 RAM (高速) にはライトできません。このとき、内蔵 RAM (高速) へのライトは無視されます。初期値は 1 です。

なお、RAMWE ビットの設定をディスエーブルにする場合には、RAMWE ビット設定前に必ず各ページに対し任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが内蔵 RAM (高速) に書き込まれない可能性があります。さらに、SYSCR2 へのライト命令の直後に内蔵 RAM (高速) をアクセスするような命令を置かないでください。もし内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM (高速) に対するライトを有効にする場合、SYSCR2 へのライト命令の直後に SYSCR2 のリード命令を置いてください。もし、SYSCR2 ライト命令の直後に内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象 RAM アドレス: H'FFF87000 ~ H'FFF87FFF (ページ 3)) 0: 内蔵 RAM (高速) ライト無効 1: 内蔵 RAM (高速) ライト有効
2	RAMWE2	1	R/W	RAM ライトイネーブル 2 (対象 RAM アドレス: H'FFF86000 ~ H'FFF86FFF (ページ 2)) 0: 内蔵 RAM (高速) ライト無効 1: 内蔵 RAM (高速) ライト有効
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象 RAM アドレス: H'FFF84000 ~ H'FFF85FFF (ページ 1)) 0: 内蔵 RAM (高速) ライト無効 1: 内蔵 RAM (高速) ライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象 RAM アドレス: H'FFF80000 ~ H'FFF83FFF (ページ 0)) 0: 内蔵 RAM (高速) ライト無効 1: 内蔵 RAM (高速) ライト有効

32.2.10 ディープスタンバイコントロールレジスタ (DPSTBCR)

DPSTBCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープソフトウェアスタンバイモードの制御を行います。

DPSTBCR は、 $\overline{\text{RES}}$ 端子からのパワーオンリセット信号で初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	DPS TBY	-	-	-	-	RAM CUT2	RAM CUT1	RAM CUT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	DPSTBY	0	R/W	<p>ディープソフトウェアスタンバイ</p> <p>STBCR の STBY ビットが 1 の状態で、SLEEP 命令を実行するとソフトウェアスタンバイモードに遷移します。このとき、本ビットが 1 で、かつ、ソフトウェアスタンバイモード解除要因がない場合ディープソフトウェアスタンバイモードに遷移します。</p> <p>STBY DPSTBY</p> <p>0 x : SLEEP 命令実行後、スリープモードに遷移</p> <p>1 0 : SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移</p> <p>1 1 : SLEEP 命令実行後、ディープソフトウェアスタンバイモードに遷移</p> <p>割り込みによりディープソフトウェアスタンバイモードを解除したときは、このビットは 1 にセットされたままです。クリアするときは 0 をライトしてください。</p>
6~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	RAMCUT2	0	R/W	<p>内蔵 RAM オフ 2</p> <p>ディープソフトウェアスタンバイモード中の内蔵 RAM (保持用) に供給する内部電源を制御するビットです。詳細は、RAMCUT0 ビットの説明を参照してください。</p>
1	RAMCUT1	0	R/W	<p>内蔵 RAM オフ 1</p> <p>ディープソフトウェアスタンバイモード中の内蔵 RAM (保持用) に供給する内部電源を制御するビットです。詳細は、RAMCUT0 ビットの説明を参照してください。</p>
0	RAMCUT0	0	R/W	<p>内蔵 RAM オフ 0</p> <p>RAMCUT0 は RAMCUT2、RAMCUT1 とともにディープソフトウェアスタンバイモード中の内蔵 RAM (保持用) に供給する内部電源を制御するビットです。</p> <p>RAMCUT2~0</p> <p>000: ディープソフトウェアスタンバイモード中、内蔵 RAM (保持用) に電源を供給します (内蔵 RAM (保持用) のデータを保持します)</p> <p>111: ディープソフトウェアスタンバイモード中、内蔵 RAM (保持用) に電源を供給しません (内蔵 RAM (保持用) のデータを保持しません)</p> <p>上記以外: 設定禁止</p>

32.2.11 ディープスタンバイウェイトコントロールレジスタ (DPSWCR)

DPSWCR は、読み出し / 書き込み可能な 8 ビットのレジスタです。ディープソフトウェアスタンバイモードから復帰する際の発振安定待ち時間（内部リセット時間）の設定を行います。

DPSWCR は、 \overline{RES} 端子からのパワーオンリセット信号で初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	WTSEL	WTSTS[6:0]						
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	WTSEL	0	R/W	ウェイト制御選択ビット 発振安定待ち時間をカウントする方式を選択します。0 の場合、WTSTS[6:0]が発振安定待ち時間の設定レジスタとなり、1 の場合、WTSTS[6:0]が発振安定待ちカウンタとのコンペアレジスタとなります。 0 : WTSTS[6:0]で設定された時間で解除されます 1 : WTSTS[6:0]と発振安定待ちカウンタの値が一致した時間で解除されます
6~0	WTSTS [6:0]	すべて 0	R/W	ディープソフトウェアスタンバイウェイト時間設定ビット WTSEL=0 のとき、発振安定待ち時間を WTSTS[6:0]で選択します。EXTAL 入力クロックでカウントされ、括弧内に示す値は EXTAL 入力クロック=12.5MHz の場合の値となります。 0000101 : 64 ステート (5.12 μ s) 0000110 : 512 ステート (41 μ s) 0000111 : 1024 ステート (81.9 μ s) 0001000 : 2048 ステート (164 μ s) 0001001 : 4096 ステート (328 μ s) 0001010 : 16384 ステート (1.31ms) 0001011 : 32768 ステート (2.62ms) 0001100 : 65536 ステート (5.24ms) 0001101 : 131072 ステート (10.5ms) 0001110 : 262144 ステート (21ms) 0001111 : 524288 ステート (41.9ms) 上記以外 : 設定禁止 WTSEL=1 のとき、WTSTS[6:0]と発振安定待ちカウンタの値が一致した時間で解除を行います。

32.2.12 スタンバイインタラプトイネーブルレジスタ (SIER)

SIER は読み出し / 書き込み可能な 16 ビットのレジスタで、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除する割り込みの許可 / 禁止を設定します。

SIER は、 $\overline{\text{RES}}$ 端子からのパワーオンリセット信号で初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	DKEYCE	DTIM32CE	-	DIRQ9E	DIRQ8E	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DKEYCE	0	R/W	KEYC インタラプトイネーブル キースキャンステータスレジスタ (KSSR) の KSF ビットが 1 にセットされたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。 0 : KEYC からの割り込みによるディープソフトウェアスタンバイモードの解除を禁止 1 : KEYC からの割り込みによるディープソフトウェアスタンバイモードの解除を許可
11	DTIM32CE	0	R/W	TIM32C インタラプトイネーブル タイマ 32 ステータスレジスタ (TI32SR) の CH2F ビット、CH1UF ビット、CH1DF ビット、CH0UF ビット、CH0DF ビットのいずれかに 1 がセットされたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。 0 : TIM32C からの割り込みによるディープソフトウェアスタンバイモードの解除を禁止 1 : TIM32C からの割り込みによるディープソフトウェアスタンバイモードの解除を許可
10	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	DIRQ9E	0	R/W	IRQ9 インタラプトイネーブル DPSIEGR の DIRQ9EG ビットで選択された入力エッジが IRQ9 (PG9/IRQ9 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。 0 : IRQ9 によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ9 によるディープソフトウェアスタンバイモードの解除を許可

ビット	ビット名	初期値	R/W	説明
8	DIRQ8E	0	R/W	<p>IRQ8 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ8EG ビットで選択された入力エッジが IRQ8 (PG8/IRQ8 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ8 によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ8 によるディープソフトウェアスタンバイモードの解除を許可</p>
7	DIRQ7E	0	R/W	<p>IRQ7 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ7EG ビットで選択された入力エッジが IRQ7 (PG7/IRQ7 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ7 によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ7 によるディープソフトウェアスタンバイモードの解除を許可</p>
6	DIRQ6E	0	R/W	<p>IRQ6 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ6EG ビットで選択された入力エッジが IRQ6 (PG6/IRQ6 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ6 によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ6 によるディープソフトウェアスタンバイモードの解除を許可</p>
5	DIRQ5E	0	R/W	<p>IRQ5 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ5EG ビットで選択された入力エッジが IRQ5 (PG5/IRQ5 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ5 によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ5 によるディープソフトウェアスタンバイモードの解除を許可</p>
4	DIRQ4E	0	R/W	<p>IRQ4 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ4EG ビットで選択された入力エッジが IRQ4 (PG4/IRQ4 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ4 によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ4 によるディープソフトウェアスタンバイモードの解除を許可</p>
3	DIRQ3E	0	R/W	<p>IRQ3 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ3EG ビットで選択された入力エッジが IRQ3 (PG3/IRQ3 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ3 によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ3 によるディープソフトウェアスタンバイモードの解除を許可</p>

ビット	ビット名	初期値	R/W	説明
2	DIRQ2E	0	R/W	<p>IRQ2 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ2EG ビットで選択された入力エッジが IRQ2 (PG2/IRQ2 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ2 によるディープソフトウェアスタンバイモードの解除を禁止</p> <p>1 : IRQ2 によるディープソフトウェアスタンバイモードの解除を許可</p>
1	DIRQ1E	0	R/W	<p>IRQ1 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ1EG ビットで選択された入力エッジが IRQ1 (PG1/IRQ1 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ1 によるディープソフトウェアスタンバイモードの解除を禁止</p> <p>1 : IRQ1 によるディープソフトウェアスタンバイモードの解除を許可</p>
0	DIRQ0E	0	R/W	<p>IRQ0 インタラプトイネーブル</p> <p>DPSIEGR の DIRQ0EG ビットで選択された入力エッジが IRQ0 (PG0/IRQ0 端子) に入力されたとき、ディープソフトウェアスタンバイモード解除の許可 / 禁止を選択します。</p> <p>0 : IRQ0 によるディープソフトウェアスタンバイモードの解除を禁止</p> <p>1 : IRQ0 によるディープソフトウェアスタンバイモードの解除を許可</p>

32.2.13 スタンバイインタラプトフラグレジスタ (SIFR)

SIFR は、読み出し/書き込み可能な 16 ビットのレジスタで、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードから復帰した割り込みを示すフラグです。ディープスタンバイインタラプトエッジレジスタ (DPSIEGR) で設定した割り込みが発生したときに 1 にセットされます。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードではない状態であっても割り込みが発生すればセットされるため、本レジスタを 0 にクリアした後にソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移してください。

SIFR は、 $\overline{\text{RES}}$ 端子からのパワーオンリセット信号で初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNMIF	-	-	-	SSRF	-	DIRQ 9F	DIRQ 8F	DIRQ 7F	DIRQ 6F	DIRQ 5F	DIRQ 4F	DIRQ 3F	DIRQ 2F	DIRQ 1F	DIRQ 0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R	R	R	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	DNMIF	0	R/(W)*	NMI インタラプトフラグ DPSIEGR で設定した NMI 入力が発生したかどうかを示します。 [クリア条件] • DNMIF=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した NMI 入力が発生したとき
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	SSRF	0	R/(W)*	SSR インタラプトフラグ TIM32C/KEYC の割り込みによるソフトウェアスタンバイ復帰のステータスを表示します。 0: ソフトウェアスタンバイ復帰は発生していません。 [クリア条件] • 低消費電力割り込み処理中に SSRF=1 の状態を読み出し後、0 を書き込んだとき 1: ソフトウェアスタンバイ復帰が発生したことを示します。 [セット条件] • ソフトウェアスタンバイ状態において TIM32C/KEYC の割り込みによるソフトウェアスタンバイ復帰要求が検出されたとき
10	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	DIRQ9F	0	R/(W)*	IRQ9 インタラプトフラグ DPSIEGR で設定した IRQ9 入力が発生したかどうかを示します。 [クリア条件] • DIRQ9F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ9 入力が発生したとき
8	DIRQ8F	0	R/(W)*	IRQ8 インタラプトフラグ DPSIEGR で設定した IRQ8 入力が発生したかどうかを示します。 [クリア条件] • DIRQ8F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ8 入力が発生したとき
7	DIRQ7F	0	R/(W)*	IRQ7 インタラプトフラグ DPSIEGR で設定した IRQ7 入力が発生したかどうかを示します。 [クリア条件] • DIRQ7F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ7 入力が発生したとき
6	DIRQ6F	0	R/(W)*	IRQ6 インタラプトフラグ DPSIEGR で設定した IRQ6 入力が発生したかどうかを示します。 [クリア条件] • DIRQ6F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ6 入力が発生したとき
5	DIRQ5F	0	R/(W)*	IRQ5 インタラプトフラグ DPSIEGR で設定した IRQ5 入力が発生したかどうかを示します。 [クリア条件] • DIRQ5F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ5 入力が発生したとき
4	DIRQ4F	0	R/(W)*	IRQ4 インタラプトフラグ DPSIEGR で設定した IRQ4 入力が発生したかどうかを示します。 [クリア条件] • DIRQ4F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ4 入力が発生したとき

ビット	ビット名	初期値	R/W	説明
3	DIRQ3F	0	R/(W)*	IRQ3 インタラプトフラグ DPSIEGR で設定した IRQ3 入力が発生したかどうかを示します。 [クリア条件] • DIRQ3F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ3 入力が発生したとき
2	DIRQ2F	0	R/(W)*	IRQ2 インタラプトフラグ DPSIEGR で設定した IRQ2 入力が発生したかどうかを示します。 [クリア条件] • DIRQ2F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ2 入力が発生したとき
1	DIRQ1F	0	R/(W)*	IRQ1 インタラプトフラグ DPSIEGR で設定した IRQ1 入力が発生したかどうかを示します。 [クリア条件] • DIRQ1F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ1 入力が発生したとき
0	DIRQ0F	0	R/(W)*	IRQ0 インタラプトフラグ DPSIEGR で設定した IRQ0 入力が発生したかどうかを示します。 [クリア条件] • DIRQ0F=1 の状態を読み出し後、0 を書き込んだとき [セット条件] • DPSIEGR で設定した IRQ0 入力が発生したとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

32.2.14 ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)

DPSIEGR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ディープソフトウェアスタンバイモードの解除に使用する割り込み入力端子のエッジ選択を行います。

DPSIEGR は、 $\overline{\text{RES}}$ 端子からのパワーオンリセット信号で初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNM IEG	-	-	-	-	-	DIRQ 9EG	DIRQ 8EG	DIRQ 7EG	DIRQ 6EG	DIRQ 5EG	DIRQ 4EG	DIRQ 3EG	DIRQ 2EG	DIRQ 1EG	DIRQ 0EG
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DNMIEG	0	R/W	NMI インタラプトエッジ NMI 入力端子の入力エッジを選択します。 0: 立ち下がりエッジで割り込み要求を発生 1: 立ち上がりエッジで割り込み要求を発生
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	DIRQ9EG	0	R/W	IRQ9 インタラプトエッジ IRQ9 入力端子の入力エッジを選択します。 0: 立ち下がりエッジで割り込み要求を発生 1: 立ち上がりエッジで割り込み要求を発生
8	DIRQ8EG	0	R/W	IRQ8 インタラプトエッジ IRQ8 入力端子の入力エッジを選択します。 0: 立ち下がりエッジで割り込み要求を発生 1: 立ち上がりエッジで割り込み要求を発生
7	DIRQ7EG	0	R/W	IRQ7 インタラプトエッジ IRQ7 入力端子の入力エッジを選択します。 0: 立ち下がりエッジで割り込み要求を発生 1: 立ち上がりエッジで割り込み要求を発生
6	DIRQ6EG	0	R/W	IRQ6 インタラプトエッジ IRQ6 入力端子の入力エッジを選択します。 0: 立ち下がりエッジで割り込み要求を発生 1: 立ち上がりエッジで割り込み要求を発生
5	DIRQ5EG	0	R/W	IRQ5 インタラプトエッジ IRQ5 入力端子の入力エッジを選択します。 0: 立ち下がりエッジで割り込み要求を発生 1: 立ち上がりエッジで割り込み要求を発生

ビット	ビット名	初期値	R/W	説明
4	DIRQ4EG	0	R/W	IRQ4 インタラプトエッジ IRQ4 入力端子の入力エッジを選択します。 0 : 立ち下がりエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
3	DIRQ3EG	0	R/W	IRQ3 インタラプトエッジ IRQ3 入力端子の入力エッジを選択します。 0 : 立ち下がりエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
2	DIRQ2EG	0	R/W	IRQ2 インタラプトエッジ IRQ2 入力端子の入力エッジを選択します。 0 : 立ち下がりエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
1	DIRQ1EG	0	R/W	IRQ1 インタラプトエッジ IRQ1 入力端子の入力エッジを選択します。 0 : 立ち下がりエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
0	DIRQ0EG	0	R/W	IRQ0 インタラプトエッジ IRQ0 入力端子の入力エッジを選択します。 0 : 立ち下がりエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生

32.2.15 リセットステータスレジスタ (RSTSR)

RSTSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ディープソフトウェアスタンバイモードを割り込みで解除したことを示すレジスタです。

RSTSR は、 $\overline{\text{RES}}$ 端子からのパワーオンリセット信号で初期化されます。ディープソフトウェアスタンバイモードから復帰する際の内部リセット信号および WDT オーバフローによる内部リセットでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	DPSR STF	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R	R	R	R	R	R	R

【注】* フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	DPSRSTF	0	R/(W)*	ディープソフトウェアスタンバイリセットフラグ SIER、DPSIEGR で設定した割り込み要因でディープソフトウェアスタンバイモードが解除され、内部リセットが発生したことを示します。 [クリア条件] • DPSRSTF = 1 の状態を読み出した後、0 を書き込んだとき [セット条件] • 割り込み要因によりディープソフトウェアスタンバイモードを解除したとき
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】* フラグをクリアするための 0 ライトのみ可能です。

32.3 動作説明

32.3.1 スリープモード

(1) スリープモードへの遷移

スタンバイコントロールレジスタ (STBCR) の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。CK 端子には、クロックが出力され続けます。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺)、DMA/DTC アドレスエラーおよびリセット (マニュアルリセット、パワーオンリセット) により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMA/DTC アドレスエラーによる解除

DMA/DTC アドレスエラーが発生するとスリープモードが解除され、DMA/DTC アドレスエラー例外処理が実行されます。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

(3) スリープモード遷移時の注意事項

スリープモードへ遷移中にスリープモードを解除可能な割り込みが入った場合は、割り込み受け付けのタイミングにより、下記のいずれかの動作となります。

- 割り込み例外処理を実行した後に、スリープモードに遷移
- スリープモードに遷移後、割り込みによりスリープモードが解除され、割り込み例外処理を実行
- スリープモードに遷移せずに、割り込み例外処理を実行 (スリープモードへの遷移はキャンセルされます)

32.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

スタンバイコントロールレジスタ (STBCR) の STBY ビットが 1、ディープスタンバイコントロールレジスタ (DPSTBCR) の DPSTBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや、キースキャンコントローラ (KEYC) および 32kHz タイマ (TIM32C) 以外の内蔵周辺モジュールも停止します。CK 端子からのクロック出力も停止します。キースキャンコントローラ (KEYC) および 32kHz タイマ (TIM32C) は動作可能です。

CPU のレジスタ内容は、保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態については「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。ソフトウェアスタンバイモード時の端子状態については「付録 A. 端子状態」を参照してください。

また、CPU は、STBCR および DPSTBCR への書き込みを 1 サイクルで実行完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR および DPSTBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR および DPSTBCR を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. 所望の発振安定時間となるように、WDTのWTCSRレジスタのCKS[2:0]ビットに使用するカウントクロックの種類を設定し、タイマカウンタ (WTCNT) にカウントを開始する値を設定します。
3. STBCRレジスタのSTBYビットに1、DPSTBCRのDPSTBYビットに0を設定した後にSTBCRおよびDPSTBCRレジスタを読み出します。
4. スタンバイインタラプトフラグレジスタ (SIFR)、キースキャンステータスレジスタ (KSSR)、タイマ32ステータスレジスタ (TI32SR) の各フラグおよびリセットステータスレジスタ (RSTSR) のDPSRSTFビットをクリアした後に、SIFRおよびRSTSRを読み出します。その後、SLEEP命令を実行させます。

図 32.2 に、ソフトウェアスタンバイモード設定フローを示します。

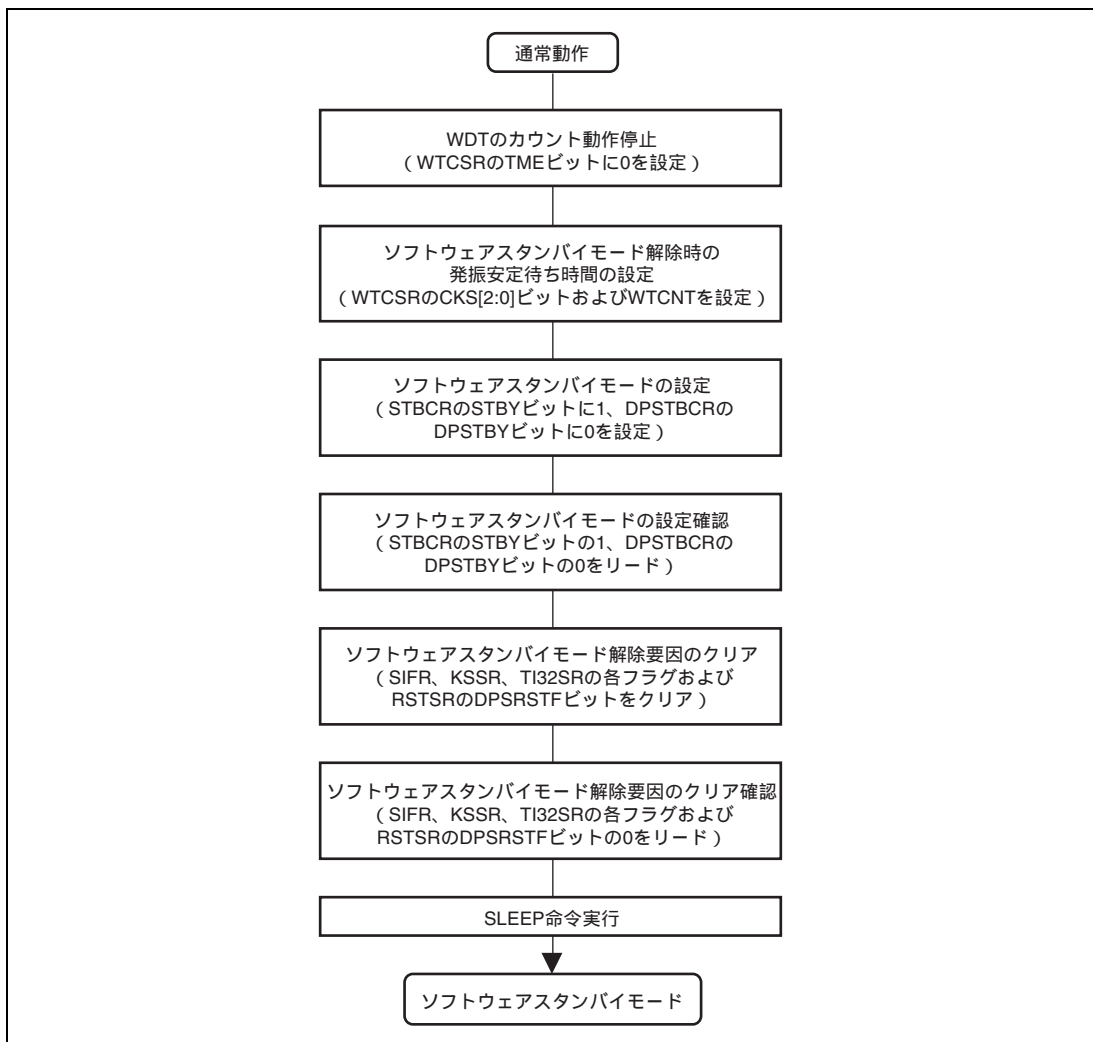


図 32.2 ソフトウェアスタンバイモード設定フロー

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ)、キースキャンコントローラ (KEYC) および 32kHz タイマ (TIM32C) からの割り込み、リセット (マニュアルリセット、パワーオンリセット) により、解除されます。

• 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) で選択)、IRQ端子 (IRQ23~IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ1 (ICR1) のIRQnセンスセレクトビット (IRQn1S~IRQn0S) で選択)、またはキースキャンコントローラ (KEYC) および32kHzタイマ (TIM32C) からの割り込みが検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (WDT) にだけ供給されます。

ソフトウェアスタンバイモードに遷移する前にWDTのウォッチドッグタイマコントロール/ステータスレジスタ (WTC SR) のクロックセレクトビット (CKS[2:0]) およびタイマカウンタ (WTCNT) に設定していた時間が経過すると、WDTのオーパフローが発生します。このオーパフロー発生によってクロックが安定したと判断され本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、割り込み例外処理が開始されます。

なお、TIM32C/KEYCの割り込みによるソフトウェアスタンバイの復帰時はSSRI割り込みによる復帰として集約されますので、どの要因で復帰したのかを判定するためには各フラグをチェックする必要があります。各フラグについては、「27.3.2 タイマ32ステータスレジスタ (TI32SR)」、「28.3.5 キースキャンステータスレジスタ (KSSR)」、「32.2.13 スタンバイインタラプトフラグレジスタ (SIFR)」を参照してください。

割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーパフロー周期が発振安定時間以上となるように、CKS[2:0]ビットおよびWTCNTを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CK端子のクロック出力の位相が不安定になることがあります。

• リセットによる解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルにすると、本LSIはパワーオンリセットまたはマニュアルリセット状態に遷移し、ソフトウェアスタンバイモードは解除されます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

(3) ソフトウェアスタンバイモード遷移時の注意事項

ソフトウェアスタンバイモードへ遷移中にソフトウェアスタンバイモードを解除可能な割り込みが入った場合は、割り込み受け付けのタイミングにより、下記のいずれかの動作となります。

- 割り込み例外処理を実行した後に、ソフトウェアスタンバイモードに遷移
- ソフトウェアスタンバイモードに遷移後、割り込みによりソフトウェアスタンバイモードが解除され、割り込み例外処理を実行
- ソフトウェアスタンバイモードに遷移せずに、割り込み例外処理を実行（ソフトウェアスタンバイモードへの遷移はキャンセルされます）
- CPUのステータスレジスタ割り込みマスクレベル以上の割り込みが保留または新たに発生した場合についても、ソフトウェアスタンバイモードに遷移せず、割り込み例外処理を実行（ソフトウェアスタンバイモードへの遷移はキャンセルされる）します。

32.3.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 32.3 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (STBCR) の STBY ビットが 1、ディープスタンバイコントロールレジスタ (DPSTBCR) の DPSTBY ビットが 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

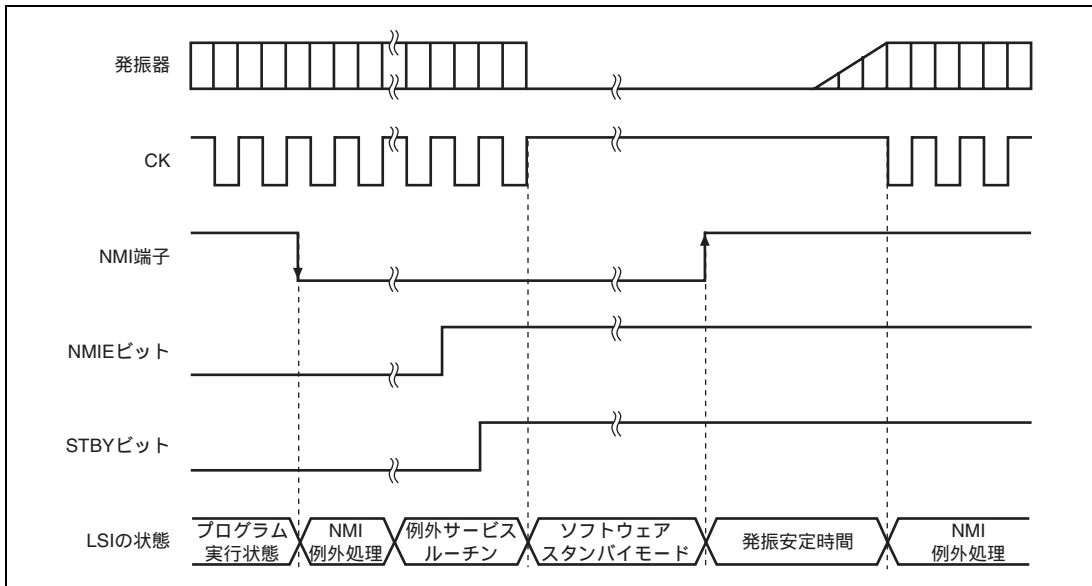


図 32.3 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

32.3.4 ディープソフトウェアスタンバイモード

(1) ディープソフトウェアスタンバイへの遷移

スタンバイコントロールレジスタ (STBCR) の STBY ビットが 1 に設定されている状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移しますが、このとき、ディープスタンバイコントロールレジスタ (DPSTBCR) の DPSTBY ビットが 1 に設定されていると、ディープソフトウェアスタンバイモードに遷移します。

ディープソフトウェアスタンバイモードでは、CPU、キースキャンコントローラ (KEYC) および 32kHz タイマ (TIM32C) 以外の内蔵周辺機能、内蔵 RAM (高速)、および発振器が停止し、さらに、これらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、キースキャンコントローラ (KEYC) および 32kHz タイマ (TIM32C) 以外の内蔵周辺機能のレジスタ内容、内蔵 RAM (高速) のデータはすべて不定となります。

内蔵 RAM (保持用) のデータについては、DPSTBCR の RAMCUT2~0 ビットをすべて 0 に設定することにより、保持することが可能です。RAMCUT2~0 ビットをすべて 1 に設定した場合は、内蔵 RAM (保持用) への内部電源の供給も停止しますので、消費電力はさらに低減されます。このとき、内蔵 RAM (保持用) のデータは不定になります。

ディープソフトウェアスタンバイモード時でも、キースキャンコントローラ (KEYC) および 32kHz タイマ (TIM32C) は動作可能です。

ディープソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態については「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。ディープソフトウェアスタンバイモード時の端子状態については「付録 A. 端子状態」を参照してください。

ディープソフトウェアスタンバイモードへ遷移する手順を以下に示します。また、そのフローを図 32.4 に示します。

1. ディープソフトウェアスタンバイモード時、内蔵 RAM (保持用) にデータを保持する場合は、スタンバイコントロールレジスタ 3 (STBCR3) の MSTP31 ビットをクリア (内蔵 RAM (保持用) のモジュールスタンバイを解除) し、内蔵 RAM (保持用) エリアに保持したいデータを転送します。データ転送後、内蔵 RAM (保持用) に対し任意の同一アドレスのリード/ライトを実行します。実行しない場合、最後に書かれたデータが内蔵 RAM (保持用) に書き込まれない可能性があります。以後、内蔵 RAM (保持用) へのライトがある場合には、最後の内蔵 RAM (保持用) ライト後に、本処理を実行してください。
2. ディープソフトウェアスタンバイモード時、内蔵 RAM (保持用) にデータを保持する場合は、DPSTBCR の RAMCUT2~0 ビットに 000 を設定してください。内蔵 RAM (保持用) にデータを保持しない場合は、DPSTBCR の RAMCUT2~0 ビットに 111 を設定することによりディープソフトウェアスタンバイモード時の消費電力を低減させることが可能です。
3. ディープスタンバイウェイトコントロールレジスタ (DPSWCR) の WTSEL ビットおよび WTSTS[6:0] ビットに、ディープソフトウェアスタンバイモードから復帰する際の発振安定待ち時間 (内部リセット時間) の設定を行います。

4. 割り込みでディープソフトウェアスタンバイモードを解除する場合、ディープスタンバイインタラプトイネーブルレジスタ (SIER) およびディープスタンバイインタラプトエッジレジスタ (DPSIEGR) の該当ビットを設定します。
5. STBCRレジスタのSTBYビットに1、DPSTBCRのDPSTBYビットに1を設定した後に、STBCRおよびDPSTBCRレジスタを読み出します。
6. スタンバイインタラプトフラグレジスタ (SIFR)、キースキャンステータスレジスタ (KSSR)、タイマ32ステータスレジスタ (TI32SR) の各フラグ、およびリセットステータスレジスタ (RSTSR) のDPSRSTFビットをクリアした後に、SIFRおよびRSTSRを読み出します。その後、SLEEP命令を実行させます。

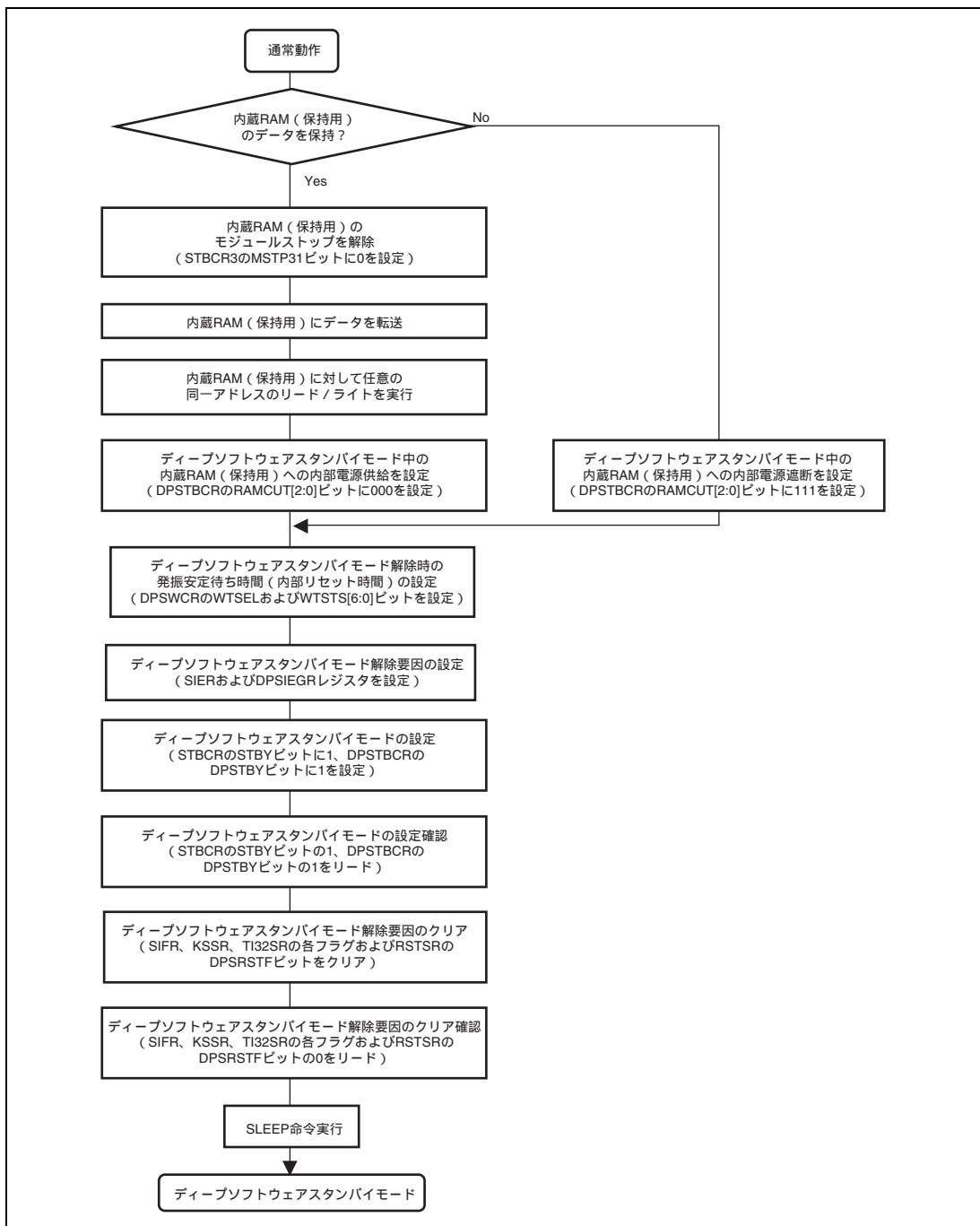


図 32.4 ディープソフトウェアスタンバイモード遷移フロー

(2) ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部割り込み端子 (NMI、IRQ0~IRQ9)、キースキャンコントローラ (KEYC) および 32kHz タイマ (TIM32C) からの割り込み、 $\overline{\text{RES}}$ 端子によって行われます。

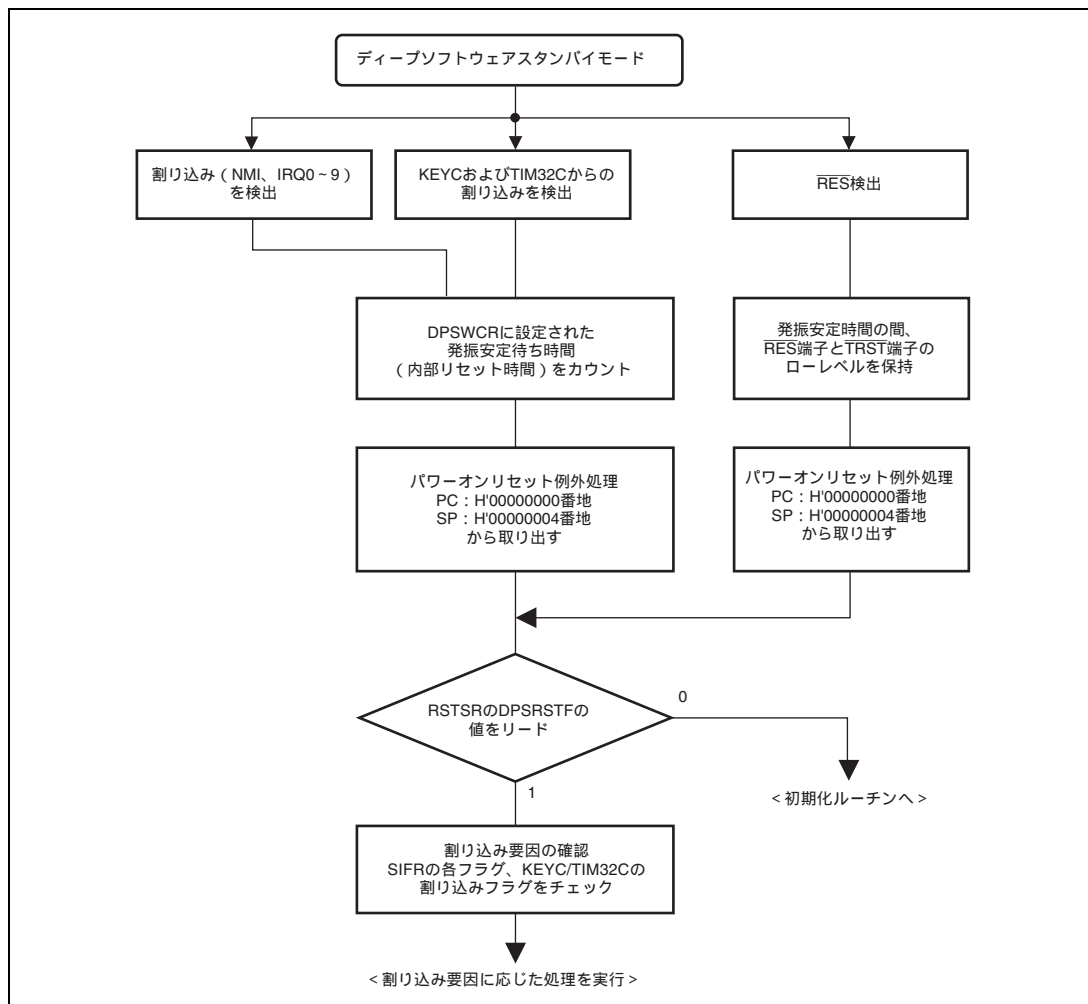


図 32.5 ディープソフトウェアスタンバイモード解除フロー

- 割り込みによる解除

ディープソフトウェアスタンバイモードは、スタンバイインタラプトフラグレジスタ (SIFR) のDNMIFビット、DIRQnF (n=9~0) ビット、キースキャンステータスレジスタ (KSSR) のKSFビット、タイマ32ステータスレジスタ (TI32SR) のCH2Fビット、CHIUFビット、CHIDFビット、CH0UFビット、CH0DFビットのいずれかに1がセットされると解除されます。

ディープソフトウェアスタンバイモードの解除要因が発生すると、クロック発振を開始すると同時に、内部電源の供給を開始し、本LSI全体に対して内部リセット信号を発生します。ディープスタンバイウェイトコントロールレジスタ (DPSWCR) により設定された時間が経過した後、安定したクロックが本LSI全体に供給され、内部リセットが解除されます。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。ディープソフトウェアスタンバイが解除されると、リセットステータスレジスタ (RSTSR) のDPSRSTFビットに1がセットされます。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振を開始し、同時に内部電源の供給を開始します。クロックの発振開始と同時に本LSIにクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。なお、H-UDI機能の利用の有無にかかわらず、発振安定期間の間、 $\overline{\text{TRST}}$ 端子をローレベルにしてください。

(3) ディープソフトウェアスタンバイモード遷移時の注意事項

ディープソフトウェアスタンバイモードへ遷移中にソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除可能な割り込みが入った場合は、割り込み受け付けのタイミングにより下記のいずれかの動作となります。

- 割り込み例外処理を実行した後に、ディープソフトウェアスタンバイモードに遷移
- ディープソフトウェアスタンバイモードに遷移後、割り込みによりディープソフトウェアスタンバイモードが解除され、割り込み例外処理を実行
- ソフトウェアスタンバイモードに遷移してから、割り込みによりソフトウェアスタンバイモードが解除され、割り込み例外処理を実行 (ディープソフトウェアスタンバイモードへの遷移はキャンセルされます)

したがって、ディープソフトウェアスタンバイモードへ遷移中にソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除可能な割り込みが入る可能性がある場合には、ソフトウェアスタンバイモードで解除される場合も考慮し、WDTのカウンタ動作停止 (WTCSRのTMEビットに0を設定) およびソフトウェアスタンバイモード解除後の発振安定待ち時間の設定 (WTCSRのCKS[2:0]ビットおよびWTCNTを設定) も行ってください。

(4) ディープソフトウェアスタンバイモード解除後の発振安定待ち時間の設定例

ディープソフトウェアスタンバイモード解除後の発振安定待ち時間は、ディープスタンバイウェイトコントロールレジスタ (DPSWCR) の WTSEL ビットおよび WTSTS[6:0]ビットにより設定します。

- DPSWCRのWTSELビットが0のとき

WTSELビットが0の場合、WTSTS[6:0]ビットは発振安定待ち時間の設定レジスタとなります。

表 32.3 に、WTSEL ビットを 0 にしたときの WTSTS[6:0]ビットの設定に対する発振安定待ち時間を示します。

表 32.3 発振安定待ち時間の設定 (WTSEL=0)

WTSEL	WTSTS							発振安定待ち時間*						
	[6]	[5]	[4]	[3]	[2]	[1]	[0]	ステート数	時間					
									EXTAL 入力 =12.5 MHz 時	EXTAL 入力 =10 MHz 時				
0	0	0	0	0	1	0	1	64	5.12 μ s	6.4 μ s				
								512	41 μ s	51.2 μ s				
						1,024	81.9 μ s	102 μ s						
						1	0	0	0	2,048	164 μ s	205 μ s		
										4,096	328 μ s	410 μ s		
								1	0	0	16,384	1.31ms	1.64ms	
				32,768	2.62ms						3.28ms			
				1	0	0	1	65,536	5.24ms	6.55ms				
								131,072	10.5ms	13.1ms				
				1	0	1	0	262,144	21ms	26.2ms				
								524,288	41.9ms	52.4ms				
				上記以外								リザーブ	-	-

【注】 * 発振安定待ち時間は発振器が発振安定していない期間も含まれますので、発振子の特性に影響されます。したがって、上記数値は目安値としてお考えください。

- DPSWCRのWTSELビットが1のとき

WTSEL ビットが 1 の場合、WTSTS[6:0]ビットは発振安定待ちカウンタとのコンパアレジスタとなります。発振安定待ちカウンタはEXTALを2,048分周したクロックでカウントし、カウンタ値がWTSTS[6:0]ビットと一致したタイミングで発振安定待ち時間が解除されます。

表 32.4 に、WTSEL ビットを 1 にしたときの WTSTS[6:0]ビットの設定に対する発振安定待ち時間の例を示します。

表 32.4 発振安定待ち時間の設定例 (WTSEL=1)

WTSEL	WTSTS							発振安定待ち時間*		
	[6]	[5]	[4]	[3]	[2]	[1]	[0]	ステート数	時間	
									EXTAL 入力 =12.5 MHz 時	EXTAL 入力 =10 MHz 時
1	0	1	1	0	0	0	1	49	8.03ms	10ms
	0	1	1	1	1	1	0	62	10.2ms	12.7ms
	1	0	0	1	0	0	1	73	12ms	15ms
	1	0	1	1	1	0	0	92	15.1ms	18.8ms
	1	1	0	0	0	1	0	98	16.1ms	20.1ms
	1	1	1	1	0	1	0	122	20ms	25ms

【注】 * 発振安定待ち時間は発振器が発振安定していない期間も含まれますので、発振子の特性に影響されます。したがって、上記数値は目安値としてお考えください。

32.3.5 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、プログラム実行状態およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

モジュールスタンバイモード時の周辺モジュールのレジスタ状態については「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット（ただし初期値が 0 のモジュールのみ）により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

32.4 使用上の注意事項

32.4.1 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

32.4.2 レジスタ書き込み時の注意

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合は、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

32.4.3 IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項

IRQx 割り込み要求でソフトウェアスタンバイの解除を行う場合は、ICRx の IRQ センスセレクトの設定変更は IRQx 割り込み要求が発生しない状態で、IRQRRx の IRQxF フラグの 0 クリアは IRQx 割り込み処理実行による自動クリアで行ってください。

IRQ 割り込み要求レジスタ x(IRQRRx)の IRQxF フラグが 1 の状態で、割り込みコントローラレジスタ x(ICRx) の IRQ センスセレクトの設定変更、または IRQRRx の IRQxF フラグを 0 クリアすると該当の IRQx 割り込み要求はクリアされますが、ソフトウェアスタンバイ解除要求はクリアされません。

32.4.4 TIM32C/KEYC の割り込みによるソフトウェアスタンバイ解除に関する注意事項

TIM32C/KEYC の割り込みによるソフトウェアスタンバイ解除を行う場合、低消費電力の割り込み要因 (SSRI) の割り込み優先順位を TIM32C の割り込み要因 (CH0D、CH0U、CH1D、CU1U、CH2) と KEYC の割り込み要因 (KSI) よりも高く設定してください。そして、低消費電力の割り込み処理中にスタンバイインタラプトフラグレジスタ (SIFR) の SSRF フラグを 0 にクリアした後、TIM32C および KEYC の割り込み処理を実行してください。

低消費電力の割り込み処理中に SIFR レジスタの SSRF フラグを 0 クリアしないと、以後の低消費電力の割り込みによるソフトウェアスタンバイ解除ができません。

33. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース(H-UDI)を内蔵しています。

33.1 特長

ユーザデバッグインタフェース(H-UDI)は、JTAG(Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に対応したシリアル入出力インタフェースです。

本 LSI の H-UDI は、バウンダリスキャン用 TAP コントローラと H-UDI 割り込み機能などを制御するエミュレーション用 TAP コントローラを内蔵しています。電源投入時を含め、 $\overline{\text{TRST}}$ 端子をアサートすることでバウンダリスキャン用 TAP コントローラが選択されます。また、エミュレーション用 TAP コントローラ切り替えコマンドを入力することにより、エミュレーション用 TAP コントローラが選択されます。エミュレーション用 TAP コントローラからバウンダリスキャン用 TAP コントローラに切り替えるには、 $\overline{\text{TRST}}$ 端子をアサートする必要があります。

ASE モード時は、エミュレーション用 TAP コントローラが選択されます。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 33.1 に H-UDI のブロック図を示します。

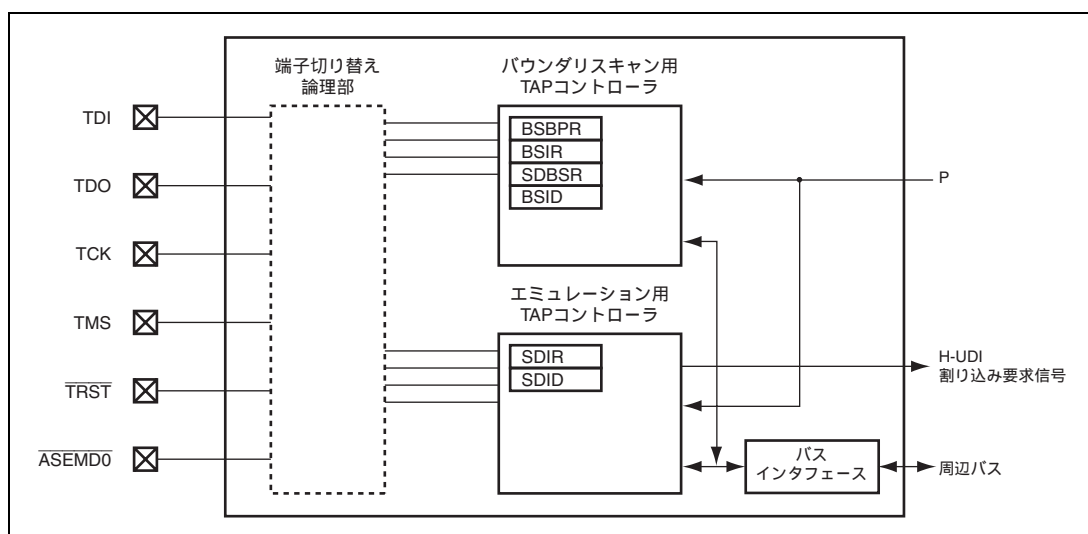


図 33.1 H-UDI のブロック図

33.2 入出力端子

表 33.1 端子構成

名称	端子名	入出力	機能	未使用時
H-UDI シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。	オープン ^{*1}
モードセレクト入力端子	TMS	入力	TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは、JTAG 規格 (IEEE Std.1149.1) に対応しています。	オープン ^{*1}
H-UDI リセット入力端子	$\overline{\text{TRST}}^{*2}$	入力	TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「33.5.2 リセット構成」を参照してください。	グラウンド固定 または $\overline{\text{RES}}$ 接続 ^{*3}
H-UDI シリアルデータ 入力端子	TDI	入力	TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。	オープン ^{*1}
H-UDI シリアルデータ 出力端子	TDO	出力	TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIR に「TDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「33.5.4 TDO 出力タイミング」を参照してください。	オープン
ASE モードセレクト端子	$\overline{\text{ASEMD0}}^{*4}$	入力	$\overline{\text{RES}}$ 端子アサート期間中に、 $\overline{\text{ASEMD0}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。	Vcc 固定

- 【注】 *1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
- *2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み / リセットを利用する場合は、電源投入時に $\overline{\text{RES}}$ と重複する期間 $\overline{\text{TRST}}$ をローレベルにし、かつ $\overline{\text{TRST}}$ 単独でも制御可能となるようにしてください。なお、H-UDI を使用する前にもパワーオンリセットを行ってください。
- *3 グラウンド固定または $\overline{\text{RES}}$ と同じ (あるいは同じ挙動の) 信号と接続してください。ただし、グラウンド固定の場合には下記の問題があります。 $\overline{\text{TRST}}$ はチップ内でプルアップされているため外部からグラウンドに固定すると微小な電流が流れます。電流値は入力プルアップ MOS 電流の規定に従います。本電源はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。
- *4 エミュレータを使用しない場合は、Vcc に固定するようにしてください。

TCK の周波数は、本 LSI の周辺クロックの周波数より低くなるようにしてください。

33.3 バウンダリスキャン用 TAP コントローラのレジスタの説明

バウンダリスキャン用 TAP コントローラには以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 33.2 バウンダリスキャン用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	BSBPR	-	-	-	-
インタラクションレジスタ	BSIR	-	-	-	-
バウンダリスキャンレジスタ	SDBSR	-	-	-	-
ID レジスタ	BSID	R	H'080B1447	-	-

33.3.1 バイパスレジスタ (BSBPR)

BSBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。BSIR を BYPASS モードにセットすると、BSBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

33.3.2 インストラクションレジスタ (BSIR)

BSIR は 4 ビットのレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。CPU からは、アクセスできません。

ビット	ビット名	初期値	R/W	説明
3~0	TI[3:0]	0100	-	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって BSIR に転送されます。 コマンドは表 33.3 を参照してください。

表 33.3 バウンダリスキャン用 TAP コントローラのサポートコマンド

ビット 3~0				説 明
TI3	TI2	TI1	TI0	
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	エミュレーション用 TAP コントローラ切り替えコマンド
0	1	0	0	IDCODE (初期値)
0	1	1	0	CLAMP
0	1	1	1	HIGHZ
1	1	1	1	BYPASS
上記以外				予約

33.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。CPU からは、アクセスできません。初期値は、不定です。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 33.4 に SH7231 の端子とバウンダリスキャンレジスタの対応を示します。

表 33.4 本 LSI の端子とバウンダリスキャンレジスタの対応 (SH7231 の場合)

ビット番号	端子名	タイプ	ビット番号	端子名	タイプ
			503	PC13	OUTPUT
519	NMI	INPUT	502	PC13	CONTROL
518	PH2	OUTPUT	501	PC13	INPUT
517	PH2	CONTROL	500	PC11	OUTPUT
516	PH2	INPUT	499	PC11	CONTROL
515	PH1	OUTPUT	498	PC11	INPUT
514	PH1	CONTROL	497	PC12	OUTPUT
513	PH1	INPUT	496	PC12	CONTROL
512	PH0	OUTPUT	495	PC12	INPUT
511	PH0	CONTROL	494	PA15	OUTPUT
510	PH0	INPUT	493	PA15	CONTROL
509	PC15	OUTPUT	492	PA15	INPUT
508	PC15	CONTROL	491	PC10	OUTPUT
507	PC15	INPUT	490	PC10	CONTROL
506	PC14	OUTPUT	489	PC10	INPUT
505	PC14	CONTROL	488	PC6	OUTPUT
504	PC14	INPUT	487	PC6	CONTROL

ビット番号	端子名	タイプ
486	PC6	INPUT
485	PC2	OUTPUT
484	PC2	CONTROL
483	PC2	INPUT
482	PC5	OUTPUT
481	PC5	CONTROL
480	PC5	INPUT
479	PC1	OUTPUT
478	PC1	CONTROL
477	PC1	INPUT
476	PC9	OUTPUT
475	PC9	CONTROL
474	PC9	INPUT
473	PC0	OUTPUT
472	PC0	CONTROL
471	PC0	INPUT
470	PC4	OUTPUT
469	PC4	CONTROL
468	PC4	INPUT
467	PC8	OUTPUT
466	PC8	CONTROL
465	PC8	INPUT
464	PA7	OUTPUT
463	PA7	CONTROL
462	PA7	INPUT
461	PC3	OUTPUT
460	PC3	CONTROL
459	PC3	INPUT
458	PC7	OUTPUT
457	PC7	CONTROL
456	PC7	INPUT
455	PA16	OUTPUT
454	PA16	CONTROL
453	PA16	INPUT
452	PA9	OUTPUT
451	PA9	CONTROL
450	PA9	INPUT
449	PA8	OUTPUT

ビット番号	端子名	タイプ
448	PA8	CONTROL
447	PA8	INPUT
446	PA6	OUTPUT
445	PA6	CONTROL
444	PA6	INPUT
443	PA5	OUTPUT
442	PA5	CONTROL
441	PA5	INPUT
440	PA18	OUTPUT
439	PA18	CONTROL
438	PA18	INPUT
437	PA19	OUTPUT
436	PA19	CONTROL
435	PA19	INPUT
434	PA4	OUTPUT
433	PA4	CONTROL
432	PA4	INPUT
431	PA3	OUTPUT
430	PA3	CONTROL
429	PA3	INPUT
428	PA17	OUTPUT
427	PA17	CONTROL
426	PA17	INPUT
425	PA14	OUTPUT
424	PA14	CONTROL
423	PA14	INPUT
422	PA13	OUTPUT
421	PA13	CONTROL
420	PA13	INPUT
419	PA12	OUTPUT
418	PA12	CONTROL
417	PA12	INPUT
416	PA11	OUTPUT
415	PA11	CONTROL
414	PA11	INPUT
413	PA10	OUTPUT
412	PA10	CONTROL
411	PA10	INPUT

ビット番号	端子名	タイプ
410	PA2	OUTPUT
409	PA2	CONTROL
408	PA2	INPUT
407	PA1	OUTPUT
406	PA1	CONTROL
405	PA1	INPUT
404	PA0	OUTPUT
403	PA0	CONTROL
402	PA0	INPUT
401	PD31	OUTPUT
400	PD31	CONTROL
399	PD31	INPUT
398	PD30	OUTPUT
397	PD30	CONTROL
396	PD30	INPUT
395	PD15	OUTPUT
394	PD15	CONTROL
393	PD15	INPUT
392	PD14	OUTPUT
391	PD14	CONTROL
390	PD14	INPUT
389	PD29	OUTPUT
388	PD29	CONTROL
387	PD29	INPUT
386	PD13	OUTPUT
385	PD13	CONTROL
384	PD13	INPUT
383	PD12	OUTPUT
382	PD12	CONTROL
381	PD12	INPUT
380	PD28	OUTPUT
379	PD28	CONTROL
378	PD28	INPUT
377	PD11	OUTPUT
376	PD11	CONTROL
375	PD11	INPUT
374	PD27	OUTPUT
373	PD27	CONTROL

ビット番号	端子名	タイプ
372	PD27	INPUT
371	PD10	OUTPUT
370	PD10	CONTROL
369	PD10	INPUT
368	PD26	OUTPUT
367	PD26	CONTROL
366	PD26	INPUT
365	PD9	OUTPUT
364	PD9	CONTROL
363	PD9	INPUT
362	PD25	OUTPUT
361	PD25	CONTROL
360	PD25	INPUT
359	PD8	OUTPUT
358	PD8	CONTROL
357	PD8	INPUT
356	PD7	OUTPUT
355	PD7	CONTROL
354	PD7	INPUT
353	PD24	OUTPUT
352	PD24	CONTROL
351	PD24	INPUT
350	PD23	OUTPUT
349	PD23	CONTROL
348	PD23	INPUT
347	PD6	OUTPUT
346	PD6	CONTROL
345	PD6	INPUT
344	PD5	OUTPUT
343	PD5	CONTROL
342	PD5	INPUT
341	PD22	OUTPUT
340	PD22	CONTROL
339	PD22	INPUT
338	PD4	OUTPUT
337	PD4	CONTROL
336	PD4	INPUT
335	PD21	OUTPUT

ビット番号	端子名	タイプ
334	PD21	CONTROL
333	PD21	INPUT
332	PD20	OUTPUT
331	PD20	CONTROL
330	PD20	INPUT
329	PD3	OUTPUT
328	PD3	CONTROL
327	PD3	INPUT
326	PD19	OUTPUT
325	PD19	CONTROL
324	PD19	INPUT
323	PD18	OUTPUT
322	PD18	CONTROL
321	PD18	INPUT
320	PD2	OUTPUT
319	PD2	CONTROL
318	PD2	INPUT
317	PD1	OUTPUT
316	PD1	CONTROL
315	PD1	INPUT
314	PD17	OUTPUT
313	PD17	CONTROL
312	PD17	INPUT
311	PD16	OUTPUT
310	PD16	CONTROL
309	PD16	INPUT
308	PD0	OUTPUT
307	PD0	CONTROL
306	PD0	INPUT
305	PB9	OUTPUT
304	PB9	CONTROL
303	PB9	INPUT
302	PB1	OUTPUT
301	PB1	CONTROL
300	PB1	INPUT
299	PB7	OUTPUT
298	PB7	CONTROL
297	PB7	INPUT

ビット番号	端子名	タイプ
296	PB3	OUTPUT
295	PB3	CONTROL
294	PB3	INPUT
293	PB2	OUTPUT
292	PB2	CONTROL
291	PB2	INPUT
290	PB8	OUTPUT
289	PB8	CONTROL
288	PB8	INPUT
287	PB0	OUTPUT
286	PB0	CONTROL
285	PB0	INPUT
284	PB13	OUTPUT
283	PB13	CONTROL
282	PB13	INPUT
281	PB11	OUTPUT
280	PB11	CONTROL
279	PB11	INPUT
278	PB12	OUTPUT
277	PB12	CONTROL
276	PB12	INPUT
275	PB10	OUTPUT
274	PB10	CONTROL
273	PB10	INPUT
272	PB5	OUTPUT
271	PB5	CONTROL
270	PB5	INPUT
269	PB4	OUTPUT
268	PB4	CONTROL
267	PB4	INPUT
266	PB6	OUTPUT
265	PB6	CONTROL
264	PB6	INPUT
263	PG14	OUTPUT
262	PG14	CONTROL
261	PG14	INPUT
260	PG15	OUTPUT
259	PG15	CONTROL

ビット番号	端子名	タイプ
258	PG15	INPUT
257	PG13	OUTPUT
256	PG13	CONTROL
255	PG13	INPUT
254	PG12	OUTPUT
253	PG12	CONTROL
252	PG12	INPUT
251	PG11	OUTPUT
250	PG11	CONTROL
249	PG11	INPUT
248	PG10	OUTPUT
247	PG10	CONTROL
246	PG10	INPUT
245	PG9	OUTPUT
244	PG9	CONTROL
243	PG9	INPUT
242	PG8	OUTPUT
241	PG8	CONTROL
240	PG8	INPUT
239	PG7	OUTPUT
238	PG7	CONTROL
237	PG7	INPUT
236	PG6	OUTPUT
235	PG6	CONTROL
234	PG6	INPUT
233	PG5	OUTPUT
232	PG5	CONTROL
231	PG5	INPUT
230	PG4	OUTPUT
229	PG4	CONTROL
228	PG4	INPUT
227	PG3	OUTPUT
226	PG3	CONTROL
225	PG3	INPUT
224	PG2	OUTPUT
223	PG2	CONTROL
222	PG2	INPUT
221	PG1	OUTPUT

ビット番号	端子名	タイプ
220	PG1	CONTROL
219	PG1	INPUT
218	PG0	OUTPUT
217	PG0	CONTROL
216	PG0	INPUT
215	PK7	OUTPUT
214	PK7	CONTROL
213	PK7	INPUT
212	PK6	OUTPUT
211	PK6	CONTROL
210	PK6	INPUT
209	PK5	OUTPUT
208	PK5	CONTROL
207	PK5	INPUT
206	PK4	OUTPUT
205	PK4	CONTROL
204	PK4	INPUT
203	PK3	OUTPUT
202	PK3	CONTROL
201	PK3	INPUT
200	PK2	OUTPUT
199	PK2	CONTROL
198	PK2	INPUT
197	PK1	OUTPUT
196	PK1	CONTROL
195	PK1	INPUT
194	PK0	OUTPUT
193	PK0	CONTROL
192	PK0	INPUT
191	PJ15	OUTPUT
190	PJ15	CONTROL
189	PJ15	INPUT
188	PJ14	OUTPUT
187	PJ14	CONTROL
186	PJ14	INPUT
185	PJ13	OUTPUT
184	PJ13	CONTROL
183	PJ13	INPUT

ビット番号	端子名	タイプ
182	PJ12	OUTPUT
181	PJ12	CONTROL
180	PJ12	INPUT
179	PJ11	OUTPUT
178	PJ11	CONTROL
177	PJ11	INPUT
176	PJ10	OUTPUT
175	PJ10	CONTROL
174	PJ10	INPUT
173	PJ9	OUTPUT
172	PJ9	CONTROL
171	PJ9	INPUT
170	PJ8	OUTPUT
169	PJ8	CONTROL
168	PJ8	INPUT
167	PJ7	OUTPUT
166	PJ7	CONTROL
165	PJ7	INPUT
164	PJ6	OUTPUT
163	PJ6	CONTROL
162	PJ6	INPUT
161	PJ5	OUTPUT
160	PJ5	CONTROL
159	PJ5	INPUT
158	PJ4	OUTPUT
157	PJ4	CONTROL
156	PJ4	INPUT
155	PJ3	OUTPUT
154	PJ3	CONTROL
153	PJ3	INPUT
152	PJ2	OUTPUT
151	PJ2	CONTROL
150	PJ2	INPUT
149	PJ1	OUTPUT
148	PJ1	CONTROL
147	PJ1	INPUT
146	PJ0	OUTPUT
145	PJ0	CONTROL

ビット番号	端子名	タイプ
144	PJ0	INPUT
143	PE18	OUTPUT
142	PE18	CONTROL
141	PE18	INPUT
140	PE20	OUTPUT
139	PE20	CONTROL
138	PE20	INPUT
137	PE19	OUTPUT
136	PE19	CONTROL
135	PE19	INPUT
134	PE23	OUTPUT
133	PE23	CONTROL
132	PE23	INPUT
131	PE22	OUTPUT
130	PE22	CONTROL
129	PE22	INPUT
128	PE21	OUTPUT
127	PE21	CONTROL
126	PE21	INPUT
125	PE14	OUTPUT
124	PE14	CONTROL
123	PE14	INPUT
122	PE13	OUTPUT
121	PE13	CONTROL
120	PE13	INPUT
119	PE12	OUTPUT
118	PE12	CONTROL
117	PE12	INPUT
116	PE16	OUTPUT
115	PE16	CONTROL
114	PE16	INPUT
113	PE17	OUTPUT
112	PE17	CONTROL
111	PE17	INPUT
110	PE15	OUTPUT
109	PE15	CONTROL
108	PE15	INPUT
107	PE11	OUTPUT

ビット番号	端子名	タイプ
106	PE11	CONTROL
105	PE11	INPUT
104	PE10	OUTPUT
103	PE10	CONTROL
102	PE10	INPUT
101	PE9	OUTPUT
100	PE9	CONTROL
99	PE9	INPUT
98	PE8	OUTPUT
97	PE8	CONTROL
96	PE8	INPUT
95	PE7	OUTPUT
94	PE7	CONTROL
93	PE7	INPUT
92	PE6	OUTPUT
91	PE6	CONTROL
90	PE6	INPUT
89	PE5	OUTPUT
88	PE5	CONTROL
87	PE5	INPUT
86	PE4	OUTPUT
85	PE4	CONTROL
84	PE4	INPUT
83	PE3	OUTPUT
82	PE3	CONTROL
81	PE3	INPUT
80	PE2	OUTPUT
79	PE2	CONTROL
78	PE2	INPUT
77	PE1	OUTPUT
76	PE1	CONTROL
75	PE1	INPUT
74	PE0	OUTPUT
73	PE0	CONTROL
72	PE0	INPUT
71	MD1	INPUT
70	PF15	INPUT
69	PF14	INPUT

ビット番号	端子名	タイプ
68	PF13	INPUT
67	PF12	INPUT
66	PF11	INPUT
65	PF10	INPUT
64	PF9	INPUT
63	PF8	INPUT
62	PF7	INPUT
61	PF6	INPUT
60	PF5	INPUT
59	PF4	INPUT
58	PF3	INPUT
57	PF2	INPUT
56	PF1	INPUT
55	PF0	INPUT
54	MD0	INPUT
53	PH15	OUTPUT
52	PH15	CONTROL
51	PH15	INPUT
50	PH14	OUTPUT
49	PH14	CONTROL
48	PH14	INPUT
47	PH13	OUTPUT
46	PH13	CONTROL
45	PH13	INPUT
44	PH12	OUTPUT
43	PH12	CONTROL
42	PH12	INPUT
41	AUDATA0	OUTPUT
40	AUDATA0	CONTROL
39	AUDCK	OUTPUT
38	AUDCK	CONTROL
37	AUDATA1	OUTPUT
36	AUDATA1	CONTROL
35	AUDATA2	OUTPUT
34	AUDATA2	CONTROL
33	AUDATA3	OUTPUT
32	AUDATA3	CONTROL
31	AUDSYNC	OUTPUT

ビット番号	端子名	タイプ	ビット番号	端子名	タイプ
30	AUDSYNC	CONTROL	14	PH6	OUTPUT
29	PH11	OUTPUT	13	PH6	CONTROL
28	PH11	CONTROL	12	PH6	INPUT
27	PH11	INPUT	11	PH5	OUTPUT
26	PH10	OUTPUT	10	PH5	CONTROL
25	PH10	CONTROL	9	PH5	INPUT
24	PH10	INPUT	8	PH4	OUTPUT
23	PH9	OUTPUT	7	PH4	CONTROL
22	PH9	CONTROL	6	PH4	INPUT
21	PH9	INPUT	5	PH3	OUTPUT
20	PH8	OUTPUT	4	PH3	CONTROL
19	PH8	CONTROL	3	PH3	INPUT
18	PH8	INPUT	2	FWE/ASEBRK/ASEBRKAK	OUTPUT
17	PH7	OUTPUT	1	FWE/ASEBRK/ASEBRKAK	CONTROL
16	PH7	CONTROL	0	FWE/ASEBRK/ASEBRKAK	INPUT
15	PH7	INPUT			

【注】 CONTROL はローアクティブの信号です。CONTROL にローレベルを入力することで、該当ピンを OUT 値でドライブします。

33.3.4 ID レジスタ (BSID)

BSID は、CPU ではアクセスすることができない 32 ビットのレジスタです。H-UDI 端子側からは、IDCODE のコマンドがセットされたときに、読み出し可能です。書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DID[31:16]															
初期値:	0	0	0	0	1	0	0	0	0	0	0	0	1	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID[15:0]															
初期値:	0	0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	DID[31:0]	H'080B1447	R	デバイス JTAG に規定されている ID レジスタです。ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。

33.4 エミュレーション用 TAP コントローラのレジスタの説明

エミュレーション用 TAP コントローラを使用するためには、バウンダリスキャン用 TAP コントローラの BSIR レジスタにエミュレーション用 TAP コントローラ切り替えコマンドを入力する必要があります。エミュレーション用 TAP コントローラには以下のレジスタがあります。これらのレジスタの各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 33.5 エミュレーション用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
インストラクションレジスタ	SDIR	R	H'EFFD	H'FFFE2000	16
ID レジスタ	SDID	R	H'080B1447	H'FFFE1810	32

33.4.1 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]							-	-	-	-	-	-	-	-	-
初期値:	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】* T[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	11101111*	R	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 33.6 を参照してください。
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 33.6 エミュレーション用 TAP コントローラのサポートコマンド

ビット 15~8								説 明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	1	1	0	-	-	-	-	H-UDI リセットネゲート
0	1	1	1	-	-	-	-	H-UDI リセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	-	-	-	-	H-UDI 割り込み
上記以外								予約

33.4.2 ID レジスタ (SDID)

SDID は、CPU から読み出し可能な 32 ビットのレジスタで、本製品固有の ID を識別することができます。H-UDI 端子側からはアクセスできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SDID[31:16]															
初期値 :	0	0	0	0	1	0	0	0	0	0	0	0	1	0	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDID[15:0]															
初期値 :	0	0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~0	SDID[31:0]	H'080B1447	R	デバイス ID31~0 本製品固有の ID を識別するためのレジスタです。

33.5 動作説明

33.5.1 TAP コントローラ

図 33.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

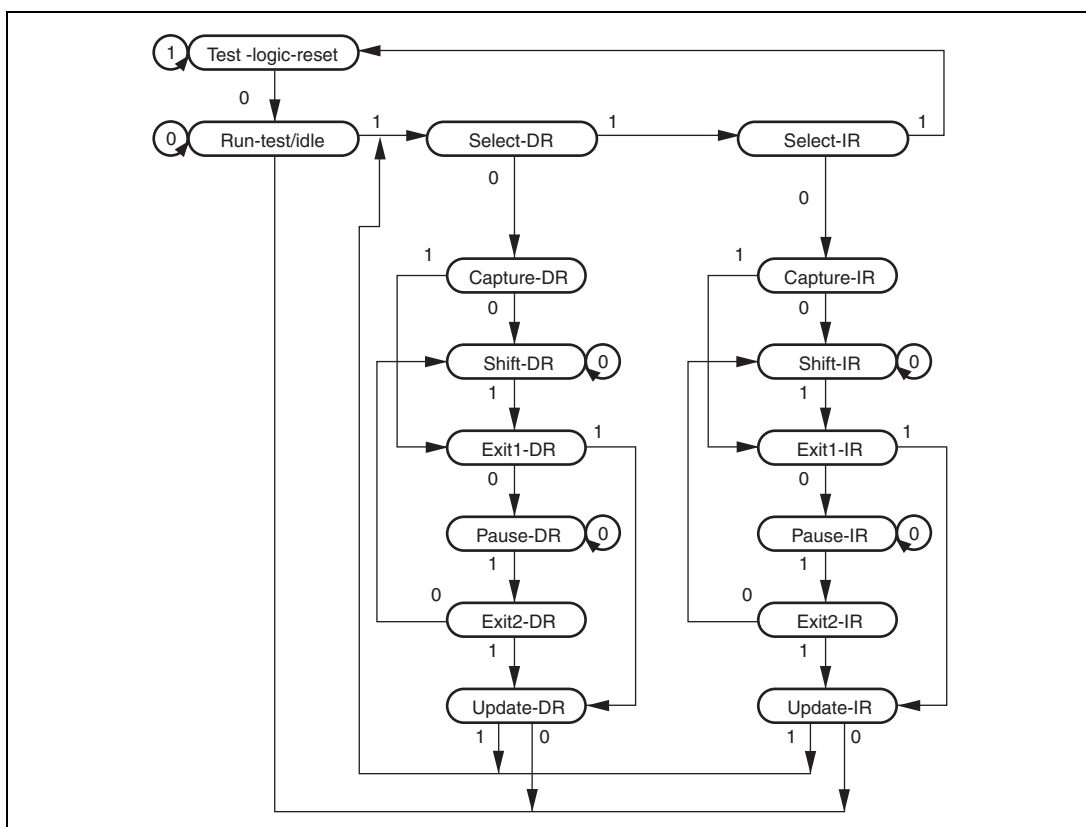


図 33.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「33.5.4 TDO 出力タイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

33.5.2 リセット構成

表 33.7 リセット構成

ASEMD0*1	RES	TRST	チップ状態
H	L	L	パワーオンリセットおよび H-UDI のリセット
		H	パワーオンリセット
	H	L	H-UDI のみリセット
		H	通常動作
L	L	L	リセットホールド*2
		H	パワーオンリセット
	H	L	H-UDI のみリセット
		H	通常動作

【注】 *1 製品チップモードと ASE モードの設定を選択。

ASEMD0 = H、製品チップモード

ASEMD0 = L、ASE モード

*2 ASE モードで RES ネゲート時に TRST 端子がローレベルであるとリセットホールド状態になります。この状態では、CPU は起動しません。その後、TRST をハイレベルにセットすると、H-UDI 動作が有効になりますが、CPU は起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

33.5.3 TAP コントローラの切り替え

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御するエミュレーション用 TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが有効になり、JTAG で規定されているバウンダリスキャン機能を利用できます。また、エミュレーション用 TAP コントローラ切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。図 33.3 にバウンダリスキャン用 TAP コントローラからエミュレーション用 TAP コントローラへの切り替えシーケンスを示します。

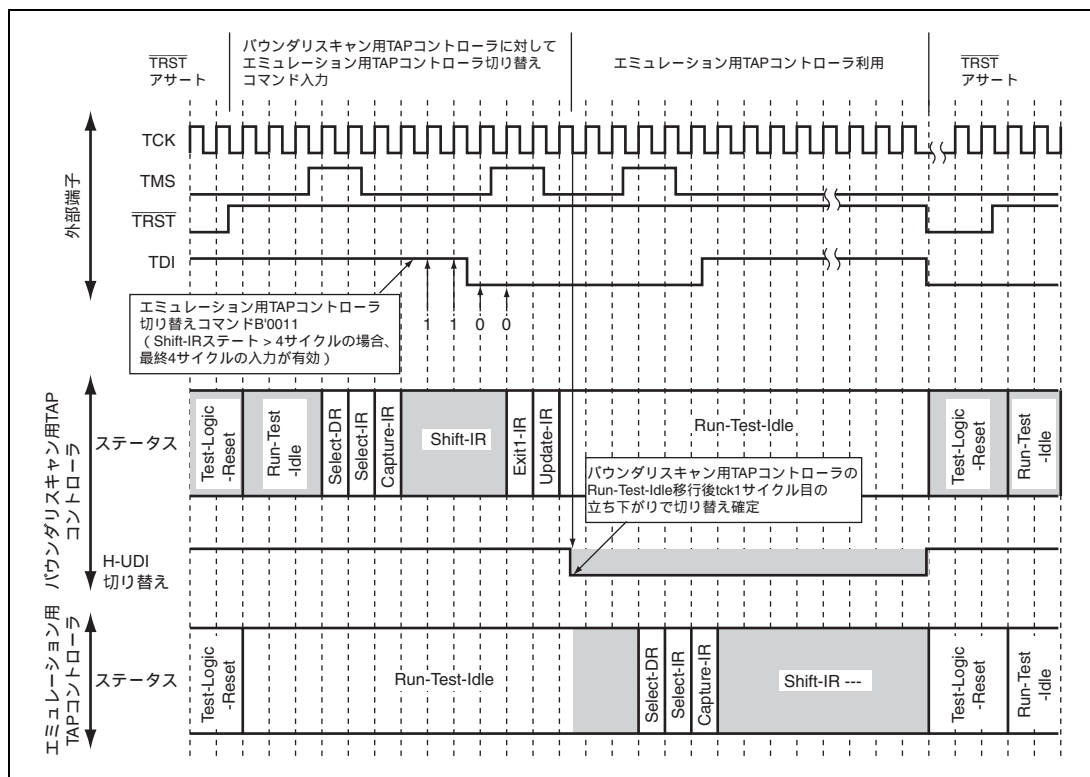


図 33.3 バウンダリスキャン用 TAP コントローラからエミュレーション用 TAP コントローラへの切り替えシーケンス

33.5.4 TDO 出力タイミング

エミュレーション用 TAP コントローラを選択したときの TDO 変化タイミングは、初期値では TCK の立ち下がりエッジ同期で出力されます。ただし、H-UDI 端子から SDIR に TDO 変化タイミング切り替えコマンドをセットし、Update-IR を通過することで、TDO の変化タイミングは TCK の立ち上がりエッジに同期します。本コマンドは、バウンダリスキャン用 TAP コントローラの TDO 出力タイミングには影響しません。

TDO 変化タイミング切り替えコマンドをセット後、TDO の変化タイミングを TCK の立ち下がりエッジ同期出力にする場合は、パワーオンリセットと同時に $\overline{\text{TRST}}$ 端子のアサートを行う必要があります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットの場合、 $\overline{\text{RES}}$ 端子ネグート後もチップ内部で同期リセットが一定期間働いています。そのため、 $\overline{\text{RES}}$ 端子ネグート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO 変化タイミング切り替えコマンドはクリアされ、TDO の変化タイミングが TCK の立ち下がりエッジ同期出力になります。これを防ぐため、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず 20tcyc 以上間隔を空けてください。

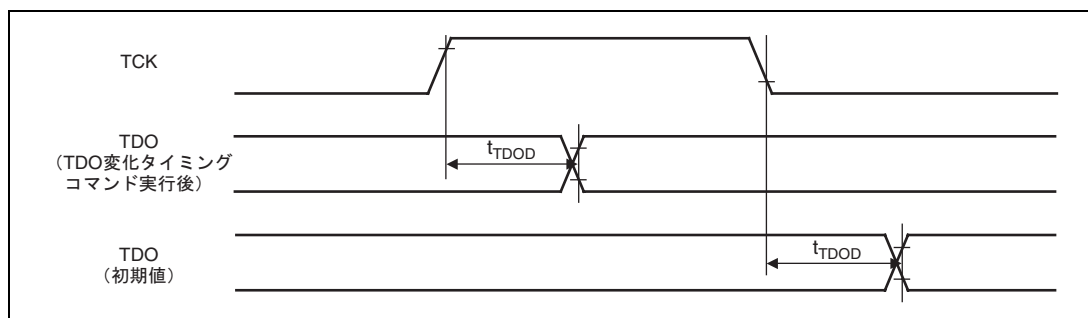


図 33.4 H-UDI データ転送タイミング

33.5.5 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドをセットすることにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために \overline{RES} 端子をローレベルに保つ時間と同じです。

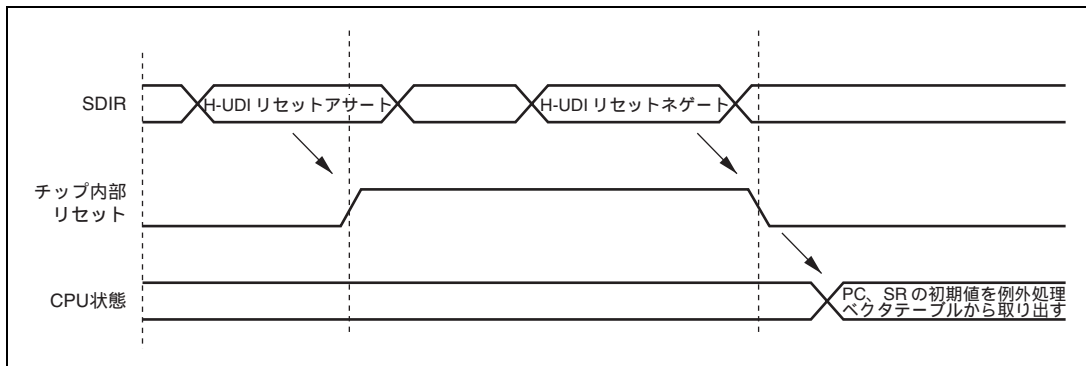


図 33.5 H-UDI リセット

33.5.6 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、ソフトウェアスタンバイモードでは H-UDI 割り込みは受け付けられません。

33.6 バウンダリスキャン

H-UDI から BSIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

33.6.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、および EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP、および HIGHZ) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常に平行出力ラッチを出力する) ことになります。

(3) EXTEST

EXTEST 命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うときは、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません (シフト動作で入れ換えます)。

(4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID レジスタの値を LSB より TDO 端子から出力します。この命令の実行中テスト回路はシステム回路に何も影響を与えません。

TAP コントローラの Test-Logic-Reset 状態時、インストラクションレジスタは IDCODE 命令に初期化されます。

(5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI、TDO 端子間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI、TDO 端子間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

33.6.2 注意事項

1. 以下の端子はバウンダリスキャンの対象外です。

クロック関連 (EXTAL、XTAL、EXTAL32、XTAL32)

システム、E10A関連 ($\overline{\text{RES}}$ 、 $\overline{\text{ASEMD0}}$ 、 $\overline{\text{WDTOVF}}$)

H-UDI関連 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$)

LVDS関連 (PL0/RXCLKINP、PL1/RXCLKINM、PL2/RXIN0P、PL3/RXIN0M、PL4/RXIN1P、PL5/RXIN1M)

SH72315L/SH72314LのPL0～PL5も対象外です。

2. バウンダリスキャン実行中は、 $\overline{\text{ASEMD0}}$ 端子をハイレベルに固定してください。
3. バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、CLAMP、HIGHZ、エミュレーション用TAPコントローラ切り替えコマンド) 実行時、TCKの最大周波数は2MHzです。

33.7 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド (BYPASSモード等) をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモード、H-UDIモジュールスタンバイ状態中は、H-UDIのすべての機能を使用することができません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. H-UDIを使用する / しないにかかわらず、電源投入、ディープソフトウェアスタンバイからの $\overline{\text{RES}}$ 端子アサートによる解除時は必ず $\overline{\text{TRST}}$ 端子をローレベルにしてH-UDIを初期化してください。
4. TDO変化タイミング切り替えコマンドをセットし、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO変化タイミング切り替えコマンドがクリアされることがあります。
これを防ぐため、TDO変化タイミング切り替えコマンドをセットした場合、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず $20t_{\text{cyc}}$ 以上間隔を空けてください。詳細は「33.5.4 TDO出力タイミング」を参照してください。
5. $\overline{\text{TRST}}$ 端子ネゲート後、TAPコントローラを動かす際は必ず 200ns 以上間隔を空けてください。
6. H-UDIはエミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。
7. TCK端子の周波数は、周辺クロック (P) の周波数よりも低くしてください。
8. シリアル転送時のデータ入出力はLSBから開始します。
9. $\overline{\text{TRST}}$ 端子に印加するパワーオンリセット信号については、以下の注意が必要です。
 - ・電源投入時および $\overline{\text{RES}}$ 端子アサートによるディープソフトウェアスタンバイ解除時は、必ずリセット信号を印加してください。
 - ・ボードテストの $\overline{\text{TRST}}$ 端子がLSIのシステム側の動作に影響を与えないように回路を分離してください。
 - ・LSIのシステムリセットがボードテストの $\overline{\text{TRST}}$ 端子に影響を与えないように回路を分離してください。

図 33.6 に相互干渉しないリセット系信号の設計例を示します。

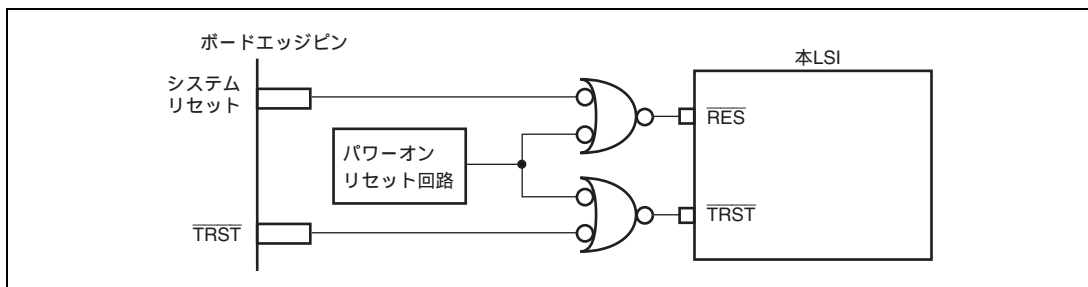


図 33.6 相互干渉しないリセット系信号の設計例

34. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、MSB側のアドレスを記載しています。

(2) レジスタビット一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「 - 」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

(4) 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

34.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CPG	周波数制御レジスタ	FRQCR	16	H'FFFE0010	16
	MTU2S クロック周波数制御レジスタ	MCLKCR	8	H'FFFE0410	8
	AD クロック周波数制御レジスタ	ACLKCR	8	H'FFFE0414	8
	発振停止検出制御レジスタ	OSCCR	8	H'FFFE001C	8
INTC	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16、32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16
	割り込みコントロールレジスタ 2	ICR2	16	H'FFFE0804	16、32
	割り込みコントロールレジスタ 3	ICR3	16	H'FFFE0806	16
	IRQ 割り込み要求レジスタ 0	IRQRR0	16	H'FFFE0808	16、32
	IRQ 割り込み要求レジスタ 1	IRQRR1	16	H'FFFE080A	16
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16、32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16、32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16
	割り込み優先レベル設定レジスタ 03	IPR03	16	H'FFFE081C	16、32
	割り込み優先レベル設定レジスタ 04	IPR04	16	H'FFFE081E	16
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C00	16
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C04	16、32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C06	16
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C08	16、32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C0A	16
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C0C	16、32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C0E	16
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C10	16、32
	割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C12	16
	割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFE0C14	16、32
	割り込み優先レベル設定レジスタ 17	IPR17	16	H'FFFE0C16	16
	割り込み優先レベル設定レジスタ 18	IPR18	16	H'FFFE0C18	16
UBC	ブ레이크アドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブ레이크アドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブ레이크バスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブ레이크アドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブ레이크アドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブ레이크バスサイクルレジスタ_1	BBR_1	16	H'FFFC04A4	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
UBC	ブレークアドレスレジスタ_2	BAR_2	32	H'FFFC0420	32
	ブレークバスサイクルレジスタ_2	BBR_2	16	H'FFFC04A8	16
	ブレークアドレスレジスタ_3	BAR_3	32	H'FFFC0430	32
	ブレークバスサイクルレジスタ_3	BBR_3	16	H'FFFC04AC	16
	ブレークアドレスレジスタ_4	BAR_4	32	H'FFFC0440	32
	ブレークバスサイクルレジスタ_4	BBR_4	16	H'FFFC04B0	16
	ブレークアドレスレジスタ_5	BAR_5	32	H'FFFC0450	32
	ブレークバスサイクルレジスタ_5	BBR_5	16	H'FFFC04B4	16
	ブレークアドレスレジスタ_6	BAR_6	32	H'FFFC0460	32
	ブレークバスサイクルレジスタ_6	BBR_6	16	H'FFFC04B8	16
	ブレークアドレスレジスタ_7	BAR_7	32	H'FFFC0470	32
	ブレークバスサイクルレジスタ_7	BBR_7	16	H'FFFC04BC	16
	ブレークコントロールレジスタ	BRCR	32	H'FFFC04C0	32
DTC	DTC イネーブルレジスタ A	DTCERA	16	H'FFFE6000	8、16
	DTC イネーブルレジスタ B	DTCERB	16	H'FFFE6002	8、16
	DTC イネーブルレジスタ C	DTCERC	16	H'FFFE6004	8、16
	DTC イネーブルレジスタ D	DTCERD	16	H'FFFE6006	8、16
	DTC イネーブルレジスタ E	DTCERE	16	H'FFFE6008	8、16
	DTC イネーブルレジスタ F	DTCERF	16	H'FFFE600A	8、16
	DTC イネーブルレジスタ G	DTCERG	16	H'FFFE600C	8、16
	DTC コントロールレジスタ	DTCCR	8	H'FFFE6010	8
	DTC ベクタベースレジスタ	DTCVBR	32	H'FFFE6014	8、16、32
BSC	共通コントロールレジスタ	CMNCR	32	H'FFFC0000	32
	CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFC0004	32
	CS1 空間バスコントロールレジスタ	CS1BCR	32	H'FFFC0008	32
	CS2 空間バスコントロールレジスタ	CS2BCR	32	H'FFFC000C	32
	CS3 空間バスコントロールレジスタ	CS3BCR	32	H'FFFC0010	32
	CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FFFC0014	32
	CS5 空間バスコントロールレジスタ	CS5BCR	32	H'FFFC0018	32
	CS6 空間バスコントロールレジスタ	CS6BCR	32	H'FFFC001C	32
	CS7 空間バスコントロールレジスタ	CS7BCR	32	H'FFFC0020	32
	CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFC0028	32
	CS1 空間ウェイトコントロールレジスタ	CS1WCR	32	H'FFFC002C	32
	CS2 空間ウェイトコントロールレジスタ	CS2WCR	32	H'FFFC0030	32
	CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'FFFC0034	32
	CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FFFC0038	32
	CS5 空間ウェイトコントロールレジスタ	CS5WCR	32	H'FFFC003C	32
	CS6 空間ウェイトコントロールレジスタ	CS6WCR	32	H'FFFC0040	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
BSC	CS7 空間ウェイトコントロールレジスタ	CS7WCR	32	H'FFFC0044	32
	SDRAM コントロールレジスタ	SDCR	32	H'FFFC004C	32
	リフレッシュタイムコントロール/ステータスレジスタ	RTCSR	32	H'FFFC0050	32
	リフレッシュタイムカウンタ	RTCNT	32	H'FFFC0054	32
	リフレッシュタイムコンスタントレジスタ	RTCOR	32	H'FFFC0058	32
	バス機能拡張レジスタ	BSCEHR	16	H'FFFE3C1A	16
DMAC	DMA ソースアドレスレジスタ_0	SAR_0	32	H'FFFE1000	16, 32
	DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'FFFE1004	16, 32
	DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'FFFE1008	16, 32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	32	H'FFFE100C	16, 32
	DMA リロードソースアドレスレジスタ_0	RSAR_0	32	H'FFFE1100	16, 32
	DMA リロードデスティネーションアドレスレジスタ_0	RDAR_0	32	H'FFFE1104	16, 32
	DMA リロードトランスファカウンタレジスタ_0	RDMATCR_0	32	H'FFFE1108	16, 32
	DMA ソースアドレスレジスタ_1	SAR_1	32	H'FFFE1010	16, 32
	DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'FFFE1014	16, 32
	DMA トランスファカウンタレジスタ_1	DMATCR_1	32	H'FFFE1018	16, 32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	32	H'FFFE101C	16, 32
	DMA リロードソースアドレスレジスタ_1	RSAR_1	32	H'FFFE1110	16, 32
	DMA リロードデスティネーションアドレスレジスタ_1	RDAR_1	32	H'FFFE1114	16, 32
	DMA リロードトランスファカウンタレジスタ_1	RDMATCR_1	32	H'FFFE1118	16, 32
	DMA ソースアドレスレジスタ_2	SAR_2	32	H'FFFE1020	16, 32
	DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'FFFE1024	16, 32
	DMA トランスファカウンタレジスタ_2	DMATCR_2	32	H'FFFE1028	16, 32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	32	H'FFFE102C	16, 32
	DMA リロードソースアドレスレジスタ_2	RSAR_2	32	H'FFFE1120	16, 32
	DMA リロードデスティネーションアドレスレジスタ_2	RDAR_2	32	H'FFFE1124	16, 32
	DMA リロードトランスファカウンタレジスタ_2	RDMATCR_2	32	H'FFFE1128	16, 32
	DMA ソースアドレスレジスタ_3	SAR_3	32	H'FFFE1030	16, 32
	DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'FFFE1034	16, 32
	DMA トランスファカウンタレジスタ_3	DMATCR_3	32	H'FFFE1038	16, 32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	32	H'FFFE103C	16, 32
	DMA リロードソースアドレスレジスタ_3	RSAR_3	32	H'FFFE1130	16, 32
	DMA リロードデスティネーションアドレスレジスタ_3	RDAR_3	32	H'FFFE1134	16, 32
	DMA リロードトランスファカウンタレジスタ_3	RDMATCR_3	32	H'FFFE1138	16, 32
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	16
	DMA 拡張リソースセクタ 0	DMARS0	16	H'FFFE1300	16
	DMA 拡張リソースセクタ 1	DMARS1	16	H'FFFE1304	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8、16、32
	タイマモードレジスタ_0	TMDR_0	8	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	8、16
	タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFE4303	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304	8、16、32
	タイマステータスレジスタ_0	TSR_0	8	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	16	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308	16、32
	タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C	16、32
	タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320	16、32
	タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFE4322	16
	タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	8	H'FFFE4324	8、16
	タイマステータスレジスタ 2_0	TSR2_0	8	H'FFFE4325	8
	タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FFFE4326	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380	8、16
	タイマモードレジスタ_1	TMDR_1	8	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFE4382	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384	8、16、32
	タイマステータスレジスタ_1	TSR_1	8	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	16	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16、32
	タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE438A	16
	タイマインプットキャプチャコントロールレジスタ	TICCR	8	H'FFFE4390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8、16
	タイマモードレジスタ_2	TMDR_2	8	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE4002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8、16、32
	タイマステータスレジスタ_2	TSR_2	8	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	16	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16、32
	タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE400A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8、16、32
タイマモードレジスタ_3	TMDR_3	8	H'FFFE4202	8、16	
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE4204	8、16、32	
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE4205	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2	タイムインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4208	8、16
	タイムステータスレジスタ_3	TSR_3	8	H'FFFE422C	8、16
	タイムカウンタ_3	TCNT_3	16	H'FFFE4210	16、32
	タイムジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16、32
	タイムジェネラルレジスタ B_3	TGRB_3	16	H'FFFE421A	16
	タイムジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16、32
	タイムジェネラルレジスタ D_3	TGRD_3	16	H'FFFE4226	16
	タイムバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8、16
	タイムコントロールレジスタ_4	TCR_4	8	H'FFFE4201	8
	タイムモードレジスタ_4	TMDR_4	8	H'FFFE4203	8
	タイム I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE4206	8、16
	タイム I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE4207	8
	タイムインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE4209	8
	タイムステータスレジスタ_4	TSR_4	8	H'FFFE422D	8
	タイムカウンタ_4	TCNT_4	16	H'FFFE4212	16
	タイムジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16、32
	タイムジェネラルレジスタ B_4	TGRB_4	16	H'FFFE421E	16
	タイムジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16、32
	タイムジェネラルレジスタ D_4	TGRD_4	16	H'FFFE422A	16
	タイムバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE4239	8
	タイム A/D 変換開始要求コントロールレジスタ	TADCR	16	H'FFFE4240	16
	タイム A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4244	16、32
	タイム A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	16	H'FFFE4246	16
	タイム A/D 変換開始要求周期設定バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4248	16、32
	タイム A/D 変換開始要求周期設定バッファレジスタ B_4	TADCOBRB_4	16	H'FFFE424A	16
	タイムコントロールレジスタ U_5	TCRU_5	8	H'FFFE4084	8
	タイムコントロールレジスタ V_5	TCRV_5	8	H'FFFE4094	8
	タイムコントロールレジスタ W_5	TCRW_5	8	H'FFFE40A4	8
	タイム I/O コントロールレジスタ U_5	TIORU_5	8	H'FFFE4086	8
	タイム I/O コントロールレジスタ V_5	TIORV_5	8	H'FFFE4096	8
	タイム I/O コントロールレジスタ W_5	TIORW_5	8	H'FFFE40A6	8
	タイムインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFFE40B2	8
	タイムステータスレジスタ_5	TSR_5	8	H'FFFE40B0	8
	タイムスタートレジスタ_5	TSTR_5	8	H'FFFE40B4	8
タイムカウンタ U_5	TCNTU_5	16	H'FFFE4080	16、32	
タイムカウンタ V_5	TCNTV_5	16	H'FFFE4090	16、32	
タイムカウンタ W_5	TCNTW_5	16	H'FFFE40A0	16、32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2	タイマジェネラルレジスタ U_5	TGRU_5	16	H'FFFE4082	16
	タイマジェネラルレジスタ V_5	TGRV_5	16	H'FFFE4092	16
	タイマジェネラルレジスタ W_5	TGRW_5	16	H'FFFE40A2	16
	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	H'FFFE40B6	8
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8、16
	タイマシンクロレジスタ	TSYR	8	H'FFFE4281	8
	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	H'FFFE4282	8
	タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE4284	8
	タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFE420A	8
	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8、16
	タイマアウトプットコントロールレジスタ 2	TOCR2	8	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16、32
	タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16、32
	タイマ周期パルファレジスタ	TCBR	16	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8、16
	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE4231	8
	タイマパルファ転送設定レジスタ	TBTER	8	H'FFFE4232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE4234	8
タイマ波形コントロールレジスタ	TWCR	8	H'FFFE4260	8	
タイマアウトプットレベルパルファレジスタ	TOLBR	8	H'FFFE4236	8	
MTU2S	タイマコントロールレジスタ_3S	TCR_3S	8	H'FFFE4A00	8、16、32
	タイマモードレジスタ_3S	TMDR_3S	8	H'FFFE4A02	8、16
	タイマ I/O コントロールレジスタ H_3S	TIORH_3S	8	H'FFFE4A04	8、16、32
	タイマ I/O コントロールレジスタ L_3S	TIORL_3S	8	H'FFFE4A05	8
	タイマインタラプトイネーブルレジスタ_3S	TIER_3S	8	H'FFFE4A08	8、16
	タイマステータスレジスタ_3S	TSR_3S	8	H'FFFE4A2C	8、16
	タイマカウンタ_3S	TCNT_3S	16	H'FFFE4A10	16、32
	タイマジェネラルレジスタ A_3S	TGRA_3S	16	H'FFFE4A18	16、32
	タイマジェネラルレジスタ B_3S	TGRB_3S	16	H'FFFE4A1A	16
	タイマジェネラルレジスタ C_3S	TGRC_3S	16	H'FFFE4A24	16、32
	タイマジェネラルレジスタ D_3S	TGRD_3S	16	H'FFFE4A26	16
	タイマパルファ動作転送モードレジスタ_3S	TBTM_3S	8	H'FFFE4A38	8、16
	タイマコントロールレジスタ_4S	TCR_4S	8	H'FFFE4A01	8
	タイマモードレジスタ_4S	TMDR_4S	8	H'FFFE4A03	8
	タイマ I/O コントロールレジスタ H_4S	TIORH_4S	8	H'FFFE4A06	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2S	タイマ I/O コントロールレジスタ L_4S	TIORL_4S	8	H'FFFE4A07	8
	タイマインタラプトイネーブルレジスタ_4S	TIER_4S	8	H'FFFE4A09	8
	タイマステータスレジスタ_4S	TSR_4S	8	H'FFFE4A2D	8
	タイマカウンタ_4S	TCNT_4S	16	H'FFFE4A12	16
	タイマジェネラルレジスタ A_4S	TGRA_4S	16	H'FFFE4A1C	16、32
	タイマジェネラルレジスタ B_4S	TGRB_4S	16	H'FFFE4A1E	16
	タイマジェネラルレジスタ C_4S	TGRC_4S	16	H'FFFE4A28	16、32
	タイマジェネラルレジスタ D_4S	TGRD_4S	16	H'FFFE4A2A	16
	タイマバッファ動作転送モードレジスタ_4S	TBTM_4S	8	H'FFFE4A39	8
	タイマ A/D 変換開始要求コントロールレジスタ S	TADCRS	16	H'FFFE4A40	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	16	H'FFFE4A44	16、32
	タイマ A/D 変換開始要求周期設定レジスタ B_4S	TADCORB_4S	16	H'FFFE4A46	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4S	TADCOBRA_4S	16	H'FFFE4A48	16、32
	タイマ A/D 変換開始要求周期設定バッファレジスタ B_4S	TADCOBRB_4S	16	H'FFFE4A4A	16
	タイマコントロールレジスタ U_5S	TCRU_5S	8	H'FFFE4884	8
	タイマコントロールレジスタ V_5S	TCRV_5S	8	H'FFFE4894	8
	タイマコントロールレジスタ W_5S	TCRW_5S	8	H'FFFE48A4	8
	タイマ I/O コントロールレジスタ U_5S	TIORU_5S	8	H'FFFE4886	8
	タイマ I/O コントロールレジスタ V_5S	TIORV_5S	8	H'FFFE4896	8
	タイマ I/O コントロールレジスタ W_5S	TIORW_5S	8	H'FFFE48A6	8
	タイマインタラプトイネーブルレジスタ_5S	TIER_5S	8	H'FFFE48B2	8
	タイマステータスレジスタ_5S	TSR_5S	8	H'FFFE48B0	8
	タイマスタートレジスタ_5S	TSTR_5S	8	H'FFFE48B4	8
	タイマカウンタ U_5S	TCNTU_5S	16	H'FFFE4880	16、32
	タイマカウンタ V_5S	TCNTV_5S	16	H'FFFE4890	16、32
	タイマカウンタ W_5S	TCNTW_5S	16	H'FFFE48A0	16、32
	タイマジェネラルレジスタ U_5S	TGRU_5S	16	H'FFFE4882	16
	タイマジェネラルレジスタ V_5S	TGRV_5S	16	H'FFFE4892	16
	タイマジェネラルレジスタ W_5S	TGRW_5S	16	H'FFFE48A2	16
	タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	8	H'FFFE48B6	8
	タイマスタートレジスタ S	TSTRS	8	H'FFFE4A80	8、16
	タイマシンクロレジスタ S	TSYRS	8	H'FFFE4A81	8
	タイマリードライトイネーブルレジスタ S	TRWERS	8	H'FFFE4A84	8
	タイマアウトプットマスタイネーブルレジスタ S	TOERS	8	H'FFFE4A0A	8
	タイマアウトプットコントロールレジスタ 1S	TOCR1S	8	H'FFFE4A0E	8、16
	タイマアウトプットコントロールレジスタ 2S	TOCR2S	8	H'FFFE4A0F	8
	タイマゲートコントロールレジスタ S	TGCRS	8	H'FFFE4A0D	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2S	タイマ周期データレジスタ S	TCDRS	16	H'FFFE4A14	16、32
	タイマデッドタイムデータレジスタ S	TDDRS	16	H'FFFE4A16	16
	タイマサブカウンタ S	TCNTSS	16	H'FFFE4A20	16、32
	タイマ周期パルファレジスタ S	TCBRS	16	H'FFFE4A22	16
	タイマ割り込み間引き設定レジスタ S	TITCRS	8	H'FFFE4A30	8、16
	タイマ割り込み間引き回数カウンタ S	TITCNTS	8	H'FFFE4A31	8
	タイマパルファ転送設定レジスタ S	TBTERS	8	H'FFFE4A32	8
	タイマデッドタイムイネーブルレジスタ S	TDERS	8	H'FFFE4A34	8
	タイマシンクロクリアレジスタ S	TSYCRS	8	H'FFFE4A50	8
	タイマ波形コントロールレジスタ S	TWCRS	8	H'FFFE4A60	8
	タイマアウトプットレベルパルファレジスタ S	TOLBRS	8	H'FFFE4A36	8
POE2	入力レベルコントロール/ステータスレジスタ 1	ICSR1	16	H'FFFE5000	16
	出力レベルコントロール/ステータスレジスタ 1	OCSR1	16	H'FFFE5002	16
	入力レベルコントロール/ステータスレジスタ 2	ICSR2	16	H'FFFE5004	16
	出力レベルコントロール/ステータスレジスタ 2	OCSR2	16	H'FFFE5006	16
	入力レベルコントロール/ステータスレジスタ 3	ICSR3	16	H'FFFE5008	16
	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	H'FFFE500A	8
	ポートアウトプットイネーブルコントロールレジスタ 1	POECR1	8	H'FFFE500B	8
	ポートアウトプットイネーブルコントロールレジスタ 2	POECR2	16	H'FFFE500C	16
CMT	コンペアマッチタイムスタートレジスタ	CMSTR	16	H'FFFE0000	16
	コンペアマッチタイムコントロール/ステータスレジスタ_0	CMCSR_0	16	H'FFFE0002	16
	コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFE0004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFE0006	16
	コンペアマッチタイムコントロール/ステータスレジスタ_1	CMCSR_1	16	H'FFFE0008	16
	コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFE000A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFE000C	16
CMT2	タイムスタートレジスタ	CM2STR	16	H'FFFE0100	16
	タイムコントロールレジスタ	CM2CR	16	H'FFFE0104	16
	タイムI/O コントロールレジスタ	CM2IOR	16	H'FFFE0108	16
	タイムステータスレジスタ	CM2SR	16	H'FFFE010C	16
	タイムカウンタ	CM2CNT	32	H'FFFE0110	32
	コンペアマッチコンスタントレジスタ	CM2COR	32	H'FFFE0114	32
	インプットキャプチャレジスタ 0	CM2ICR0	32	H'FFFE0118	32
	インプットキャプチャレジスタ 1	CM2ICR1	32	H'FFFE011C	32
	アウトプットコンペアレジスタ 0	CM2OCR0	32	H'FFFE0120	32
	アウトプットコンペアレジスタ 1	CM2OCR1	32	H'FFFE0124	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
WDT	ウォッチドッグタイムコントロール / ステータスレジスタ	WTCSR	8	H'FFFE0000	16*
	ウォッチドッグタイムカウンタ	WTCNT	8	H'FFFE0002	16*
	ウォッチドッグリセットコントロール / ステータスレジスタ	WRCSR	8	H'FFFE0004	16*
SCI (チャンネル0)	シリアルモードレジスタ_0	SCSMR_0	8	H'FFFF8000	8
	ビットレートレジスタ_0	SCBRR_0	8	H'FFFF8002	8
	シリアルコントロールレジスタ_0	SCSCR_0	8	H'FFFF8004	8
	トランスミットデータレジスタ_0	SCTDR_0	8	H'FFFF8006	8
	シリアルステータスレジスタ_0	SCSSR_0	8	H'FFFF8008	8
	レシーブデータレジスタ_0	SCRDR_0	8	H'FFFF800A	8
	シリアルディレクションコントロールレジスタ_0	SCSDCR_0	8	H'FFFF800C	8
	シリアルポートレジスタ_0	SCSPTR_0	8	H'FFFF800E	8
	シリアルモードレジスタ_2_0	SCSMR2_0	8	H'FFFF8010	8
	送信用ビットレート調整カウンタ_0	SCTBACNT_0	8	H'FFFF8018	8
	受信用ビットレート調整カウンタ_0	SCRBACNT_0	8	H'FFFF801A	8
	ビットレート調整コンペアレジスタ_0	SCBACOR_0	8	H'FFFF8014	8
	SCI (チャンネル1)	シリアルモードレジスタ_1	SCSMR_1	8	H'FFFF8800
ビットレートレジスタ_1		SCBRR_1	8	H'FFFF8802	8
シリアルコントロールレジスタ_1		SCSCR_1	8	H'FFFF8804	8
トランスミットデータレジスタ_1		SCTDR_1	8	H'FFFF8806	8
シリアルステータスレジスタ_1		SCSSR_1	8	H'FFFF8808	8
レシーブデータレジスタ_1		SCRDR_1	8	H'FFFF880A	8
シリアルディレクションコントロールレジスタ_1		SCSDCR_1	8	H'FFFF880C	8
シリアルポートレジスタ_1		SCSPTR_1	8	H'FFFF880E	8
シリアルモードレジスタ_2_1		SCSMR2_1	8	H'FFFF8810	8
送信用ビットレート調整カウンタ_1		SCTBACNT_1	8	H'FFFF8818	8
受信用ビットレート調整カウンタ_1		SCRBACNT_1	8	H'FFFF881A	8
ビットレート調整コンペアレジスタ_1		SCBACOR_1	8	H'FFFF8814	8
SCI (チャンネル2)		シリアルモードレジスタ_2	SCSMR_2	8	H'FFFF9000
	ビットレートレジスタ_2	SCBRR_2	8	H'FFFF9002	8
	シリアルコントロールレジスタ_2	SCSCR_2	8	H'FFFF9004	8
	トランスミットデータレジスタ_2	SCTDR_2	8	H'FFFF9006	8
	シリアルステータスレジスタ_2	SCSSR_2	8	H'FFFF9008	8
	レシーブデータレジスタ_2	SCRDR_2	8	H'FFFF900A	8
	シリアルディレクションコントロールレジスタ_2	SCSDCR_2	8	H'FFFF900C	8
	シリアルポートレジスタ_2	SCSPTR_2	8	H'FFFF900E	8
シリアルモードレジスタ_2_2	SCSMR2_2	8	H'FFFF9010	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCI (チャンネル2)	送信用ビットレート調整カウンタ_2	SCTBACNT_2	8	H'FFFF9018	8
	受信用ビットレート調整カウンタ_2	SCRBACNT_2	8	H'FFFF901A	8
	ビットレート調整コンペアレジスタ_2	SCBACOR_2	8	H'FFFF9014	8
SCI (チャンネル3)	シリアルモードレジスタ_3	SCSMR_3	8	H'FFFF9800	8
	ビットレートレジスタ_3	SCBRR_3	8	H'FFFF9802	8
	シリアルコントロールレジスタ_3	SCSCR_3	8	H'FFFF9804	8
	トランスミットデータレジスタ_3	SCTDR_3	8	H'FFFF9806	8
	シリアルステータスレジスタ_3	SCSSR_3	8	H'FFFF9808	8
	レシーブデータレジスタ_3	SCRDR_3	8	H'FFFF980A	8
	シリアルディレクションコントロールレジスタ_3	SCSDCR_3	8	H'FFFF980C	8
	シリアルポートレジスタ_3	SCSPTR_3	8	H'FFFF980E	8
	シリアルモードレジスタ_2_3	SCSMR2_3	8	H'FFFF9810	8
	送信用ビットレート調整カウンタ_3	SCTBACNT_3	8	H'FFFF9818	8
	受信用ビットレート調整カウンタ_3	SCRBACNT_3	8	H'FFFF981A	8
	ビットレート調整コンペアレジスタ_3	SCBACOR_3	8	H'FFFF9814	8
SCIF (チャンネル4)	シリアルモードレジスタ_4	SCSMR_4	16	H'FFFE8000	16
	ビットレートレジスタ_4	SCBRR_4	8	H'FFFE8004	8
	シリアルコントロールレジスタ_4	SCSCR_4	16	H'FFFE8008	16
	トランスミット FIFO データレジスタ_4	SCFTDR_4	8	H'FFFE800C	8
	シリアルステータスレジスタ_4	SCFSR_4	16	H'FFFE8010	16
	レシーブ FIFO データレジスタ_4	SCFRDR_4	8	H'FFFE8014	8
	FIFO コントロールレジスタ_4	SCFCR_4	16	H'FFFE8018	16
	FIFO データ数レジスタ_4	SCFDR_4	16	H'FFFE801C	16
	シリアルポートレジスタ_4	SCSPTR_4	16	H'FFFE8020	16
	ラインステータスレジスタ_4	SCLSR_4	16	H'FFFE8024	16
	シリアルディレクションコントロールレジスタ_4	SCSDCR_4	8	H'FFFE8102	8
FIFO トリガコントロールレジスタ_4	SCFTCR_4	16	H'FFFE8104	16	
SCIF (チャンネル5)	シリアルモードレジスタ_5	SCSMR_5	16	H'FFFE8800	16
	ビットレートレジスタ_5	SCBRR_5	8	H'FFFE8804	8
	シリアルコントロールレジスタ_5	SCSCR_5	16	H'FFFE8808	16
	トランスミット FIFO データレジスタ_5	SCFTDR_5	8	H'FFFE880C	8
	シリアルステータスレジスタ_5	SCFSR_5	16	H'FFFE8810	16
	レシーブ FIFO データレジスタ_5	SCFRDR_5	8	H'FFFE8814	8
	FIFO コントロールレジスタ_5	SCFCR_5	16	H'FFFE8818	16
	FIFO データ数レジスタ_5	SCFDR_5	16	H'FFFE881C	16
シリアルポートレジスタ_5	SCSPTR_5	16	H'FFFE8820	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCIF (チャンネル5)	ラインステータスレジスタ_5	SCLSR_5	16	H'FFFE8824	16
	シリアルディレクションコントロールレジスタ_5	SCSDCR_5	8	H'FFFE8902	8
	FIFO トリガコントロールレジスタ_5	SCFTCR_5	16	H'FFFE8904	16
SCIF (チャンネル6)	シリアルモードレジスタ_6	SCSMR_6	16	H'FFFE9000	16
	ビットレートレジスタ_6	SCBRR_6	8	H'FFFE9004	8
	シリアルコントロールレジスタ_6	SCSCR_6	16	H'FFFE9008	16
	トランスミット FIFO データレジスタ_6	SCFTDR_6	8	H'FFFE900C	8
	シリアルステータスレジスタ_6	SCFSR_6	16	H'FFFE9010	16
	レシーブ FIFO データレジスタ_6	SCFRDR_6	8	H'FFFE9014	8
	FIFO コントロールレジスタ_6	SCFCR_6	16	H'FFFE9018	16
	FIFO データ数レジスタ_6	SCFDR_6	16	H'FFFE901C	16
	シリアルポートレジスタ_6	SCSPTR_6	16	H'FFFE9020	16
	ラインステータスレジスタ_6	SCLSR_6	16	H'FFFE9024	16
	シリアルディレクションコントロールレジスタ_6	SCSDCR_6	8	H'FFFE9102	8
	FIFO トリガコントロールレジスタ_6	SCFTCR_6	16	H'FFFE9104	16
	SCIF (チャンネル7)	シリアルモードレジスタ_7	SCSMR_7	16	H'FFFE9800
ビットレートレジスタ_7		SCBRR_7	8	H'FFFE9804	8
シリアルコントロールレジスタ_7		SCSCR_7	16	H'FFFE9808	16
トランスミット FIFO データレジスタ_7		SCFTDR_7	8	H'FFFE980C	8
シリアルステータスレジスタ_7		SCFSR_7	16	H'FFFE9810	16
レシーブ FIFO データレジスタ_7		SCFRDR_7	8	H'FFFE9814	8
FIFO コントロールレジスタ_7		SCFCR_7	16	H'FFFE9818	16
FIFO データ数レジスタ_7		SCFDR_7	16	H'FFFE981C	16
シリアルポートレジスタ_7		SCSPTR_7	16	H'FFFE9820	16
ラインステータスレジスタ_7		SCLSR_7	16	H'FFFE9824	16
シリアルディレクションコントロールレジスタ_7		SCSDCR_7	8	H'FFFE9902	8
FIFO トリガコントロールレジスタ_7		SCFTCR_7	16	H'FFFE9904	16
IIC3	I ² C バスコントロールレジスタ 1	ICCR1	8	H'FFFE000	8
	I ² C バスコントロールレジスタ 2	ICCR2	8	H'FFFE001	8
	I ² C バスモードレジスタ	ICMR	8	H'FFFE002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER	8	H'FFFE003	8
	I ² C バスステータスレジスタ	ICSR	8	H'FFFE004	8
	スレーブアドレスレジスタ	SAR	8	H'FFFE005	8
	I ² C バス送信データレジスタ	ICDRT	8	H'FFFE006	8
	I ² C バス受信データレジスタ	ICDRR	8	H'FFFE007	8
	NF2CYC レジスタ	NF2CYC	8	H'FFFE008	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ADC	A/D データレジスタ 0	ADDR0	16	H'FFFE5800	16
	A/D データレジスタ 1	ADDR1	16	H'FFFE5802	16
	A/D データレジスタ 2	ADDR2	16	H'FFFE5804	16
	A/D データレジスタ 3	ADDR3	16	H'FFFE5806	16
	A/D データレジスタ 4	ADDR4	16	H'FFFE5808	16
	A/D データレジスタ 5	ADDR5	16	H'FFFE580A	16
	A/D データレジスタ 6	ADDR6	16	H'FFFE580C	16
	A/D データレジスタ 7	ADDR7	16	H'FFFE580E	16
	A/D コントロール / ステータスレジスタ_0	ADCSR_0	16	H'FFFE5810	16
	A/D コントロールレジスタ_0	ADCR_0	16	H'FFFE5812	16
	A/D データレジスタ 8	ADDR8	16	H'FFFE5900	16
	A/D データレジスタ 9	ADDR9	16	H'FFFE5902	16
	A/D データレジスタ 10	ADDR10	16	H'FFFE5904	16
	A/D データレジスタ 11	ADDR11	16	H'FFFE5906	16
	A/D データレジスタ 12	ADDR12	16	H'FFFE5908	16
	A/D データレジスタ 13	ADDR13	16	H'FFFE590A	16
	A/D データレジスタ 14	ADDR14	16	H'FFFE590C	16
	A/D データレジスタ 15	ADDR15	16	H'FFFE590E	16
	A/D コントロール / ステータスレジスタ_1	ADCSR_1	16	H'FFFE5910	16
	A/D コントロールレジスタ_1	ADCR_1	16	H'FFFE5912	16
	A/D シャドウデータレジスタ	ADSDR	32	H'FFFE5B00	32
A/D シャドウセレクトレジスタ	ADSSR	16	H'FFFE5B04	16	
A/D トリガセレクトレジスタ_0	ADTSR_0	16	H'FFFE5B10	16	
PFC	ポート A・IO レジスタ H	PAIORH	16	H'FFFE3804	8、16
	ポート A・IO レジスタ L	PAIORL	16	H'FFFE3806	8、16
	ポート A コントロールレジスタ H1	PACRH1	16	H'FFFE380A	8、16
	ポート A コントロールレジスタ L2	PACRL2	16	H'FFFE380C	8、16
	ポート A コントロールレジスタ L1	PACRL1	16	H'FFFE380E	8、16
	ポート A ブルアップ MOS コントロールレジスタ H	PAPCRH	16	H'FFFE3820	8、16
	ポート A ブルアップ MOS コントロールレジスタ L	PAPCRL	16	H'FFFE3822	8、16
	ポート B・IO レジスタ L	PBIORL	16	H'FFFE3886	8、16
	ポート B コントロールレジスタ L2	PBCRL2	16	H'FFFE388C	8、16
	ポート B コントロールレジスタ L1	PBCRL1	16	H'FFFE388E	8、16
	ポート B ブルアップ MOS コントロールレジスタ L	PBPCRL	16	H'FFFE38A2	8、16
	ポート C・IO レジスタ L	PCIORL	16	H'FFFE3906	8、16
	ポート C コントロールレジスタ L2	PCCRL2	16	H'FFFE390C	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
PFC	ポート C コントロールレジスタ L1	PCCR1	16	H'FFFE390E	8, 16
	ポート C ブルアップ MOS コントロールレジスタ L	PCPCRL	16	H'FFFE3922	8, 16
	ポート D・IO レジスタ H	PDIORH	16	H'FFFE3984	8, 16
	ポート D・IO レジスタ L	PDIORL	16	H'FFFE3986	8, 16
	ポート D コントロールレジスタ H2	PDCRH2	16	H'FFFE3988	8, 16
	ポート D コントロールレジスタ H1	PDCRH1	16	H'FFFE398A	8, 16
	ポート D コントロールレジスタ L2	PDCRL2	16	H'FFFE398C	8, 16
	ポート D コントロールレジスタ L1	PDCRL1	16	H'FFFE398E	8, 16
	ポート D ブルアップ MOS コントロールレジスタ H	PDPCRH	16	H'FFFE39A0	8, 16
	ポート D ブルアップ MOS コントロールレジスタ L	PDPCRL	16	H'FFFE39A2	8, 16
	ポート E・IO レジスタ H	PEIORH	16	H'FFFE3A04	8, 16
	ポート E・IO レジスタ L	PEIORL	16	H'FFFE3A06	8, 16
	ポート E コントロールレジスタ H1	PECRH1	16	H'FFFE3A0A	8, 16
	ポート E コントロールレジスタ L2	PECRL2	16	H'FFFE3A0C	8, 16
	ポート E コントロールレジスタ L1	PECRL1	16	H'FFFE3A0E	8, 16
	ポート E ブルアップ MOS コントロールレジスタ H	PEPCRH	16	H'FFFE3A20	8, 16
	ポート E ブルアップ MOS コントロールレジスタ L	PEPCRL	16	H'FFFE3A22	8, 16
	ポート G・IO レジスタ L	PGIORL	16	H'FFFE3B06	8, 16
	ポート G コントロールレジスタ L1	PGCRL1	16	H'FFFE3B0E	8, 16
	ポート G ブルアップ MOS コントロールレジスタ L	PGPCRL	16	H'FFFE3B22	8, 16
	ポート H・IO レジスタ L	PHIORL	16	H'FFFE3B86	8, 16
	ポート H コントロールレジスタ L1	PHCRL1	16	H'FFFE3B8E	8, 16
	ポート H ブルアップ MOS コントロールレジスタ L	PHPCRL	16	H'FFFE3BA2	8, 16
	ポート J・IO レジスタ L	PJIORL	16	H'FFFE3C86	8, 16
	ポート J コントロールレジスタ L1	PJCRL1	16	H'FFFE3C8E	8, 16
	ポート J ブルアップ MOS コントロールレジスタ L	PJPCRL	16	H'FFFE3CA2	8, 16
	ポート K・IO レジスタ L	PKIORL	16	H'FFFE3D06	8, 16
	ポート K コントロールレジスタ L1	PKCRL1	16	H'FFFE3D0E	8, 16
	ポート K ブルアップ MOS コントロールレジスタ L	PKPCRL	16	H'FFFE3D22	8, 16
	ポート L ブルアップ MOS コントロールレジスタ L	PLPCRL	16	H'FFFE3DA2	8, 16
	大電流ポートコントロールレジスタ	HCPCR	16	H'FFFE3A14	8, 16
	I/O バッファドライブ制御レジスタ	DRVCR	16	H'FFFE39A8	8, 16
ポート機能拡張レジスタ	PFEXCR	16	H'FFFE3BA8	8, 16	
I/O ポート	ポート A データレジスタ H	PADRH	16	H'FFFE3800	8, 16
	ポート A データレジスタ L	PADRL	16	H'FFFE3802	8, 16
	ポート A ポートレジスタ H	PAPRH	16	H'FFFE3810	8, 16
	ポート A ポートレジスタ L	PAPRL	16	H'FFFE3812	8, 16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
I/O ポート	ポート B データレジスタ L	PBDRL	16	H'FFFE3882	8、16
	ポート B ポートレジスタ L	PBPRL	16	H'FFFE3892	8、16
	ポート C データレジスタ L	PCDRL	16	H'FFFE3902	8、16
	ポート C ポートレジスタ L	PCPRL	16	H'FFFE3912	8、16
	ポート D データレジスタ H	PDDRH	16	H'FFFE3980	8、16
	ポート D データレジスタ L	PDDRL	16	H'FFFE3982	8、16
	ポート D ポートレジスタ H	PDPRH	16	H'FFFE3990	8、16
	ポート D ポートレジスタ L	PDPRL	16	H'FFFE3992	8、16
	ポート E データレジスタ H	PEDRH	16	H'FFFE3A00	8、16
	ポート E データレジスタ L	PEDRL	16	H'FFFE3A02	8、16
	ポート E ポートレジスタ H	PEPRH	16	H'FFFE3A10	8、16
	ポート E ポートレジスタ L	PEPRL	16	H'FFFE3A12	8、16
	ポート F データレジスタ L	PFDRL	16	H'FFFE3A82	8、16
	ポート G データレジスタ L	PGDRL	16	H'FFFE3B02	8、16
	ポート G ポートレジスタ L	PGPRL	16	H'FFFE3B12	8、16
	ポート H データレジスタ L	PHDRL	16	H'FFFE3B82	8、16
	ポート H ポートレジスタ L	PHPRL	16	H'FFFE3B92	8、16
	ポート J データレジスタ L	PJDRL	16	H'FFFE3C82	8、16
	ポート J ポートレジスタ L	PJPRL	16	H'FFFE3C92	8、16
	LVDS (SH72315A のみ)	LVDS 受信 FIFO データレジスタ	LVFRDR	32	H'FFFEB000
LVDS コントロールレジスタ		LVCR	16	H'FFFEB004	16
LVDS ステータスレジスタ		LVSr	16	H'FFFEB006	16
FIFO コントロールレジスタ		LVFCR	16	H'FFFEB008	16
FIFO データ数レジスタ		LVFDR	16	H'FFFEB00A	16
制御コードレジスタ 1		LVCCR1	16	H'FFFEB00C	16
制御コードレジスタ 2		LVCCR2	16	H'FFFEB00E	16
ライン数カウントレジスタ		LVLcNT	16	H'FFFEB010	16
フレーム数カウントレジスタ		LVDcNT	16	H'FFFEB012	16
RSPI	RSPI 制御レジスタ	SPCR	8	H'FFFFB800	8、16
	RSPI スレーブセレクト極性レジスタ	SSLP	8	H'FFFFB801	8
	RSPI 端子制御レジスタ	SPPCR	8	H'FFFFB802	8、16
	RSPI ステータスレジスタ	SPSR	8	H'FFFFB803	8
	RSPI データレジスタ	SPDR	32	H'FFFFB804	16、32
	RSPI シーケンス制御レジスタ	SPSCR	8	H'FFFFB808	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	
RSPI	RSPI シーケンスステータスレジスタ	SPSSR	8	H'FFFFB809	8	
	RSPI ビットレートレジスタ	SPBR	8	H'FFFFB80A	8、16	
	RSPI データコントロールレジスタ	SPDCR	8	H'FFFFB80B	8	
	RSPI クロック遅延レジスタ	SPCKD	8	H'FFFFB80C	8、16	
	RSPI スLEEPセレクトネゲート遅延レジスタ	SSLND	8	H'FFFFB80D	8	
	RSPI 次アクセス遅延レジスタ	SPND	8	H'FFFFB80E	8	
	RSPI コマンドレジスタ 0	SPCMD0	16	H'FFFFB810	16	
	RSPI コマンドレジスタ 1	SPCMD1	16	H'FFFFB812	16	
	RSPI コマンドレジスタ 2	SPCMD2	16	H'FFFFB814	16	
	RSPI コマンドレジスタ 3	SPCMD3	16	H'FFFFB816	16	
RCAN-ET	マスタコントロールレジスタ	MCR	16	H'FFFFD000	16	
	ジェネラルステータスレジスタ	GSR	16	H'FFFFD002	16	
	ビットコンフィギュレーションレジスタ 1	BCR1	16	H'FFFFD004	16	
	ビットコンフィギュレーションレジスタ 0	BCR0	16	H'FFFFD006	16	
	インタラプトリクエストレジスタ	IRR	16	H'FFFFD008	16	
	インタラプトマスクレジスタ	IMR	16	H'FFFFD00A	16	
	送信エラーカウンタ / 受信エラーカウンタ	TEC/REC	16	H'FFFFD00C	16	
	送信待ちレジスタ 1、0	TXPR1、0	32	H'FFFFD020	32	
	送信キャンセルレジスタ 0	TXCR0	16	H'FFFFD02A	16	
	送信アクノリッジレジスタ 0	TXACK0	16	H'FFFFD032	16	
	アポータクノリッジレジスタ 0	ABACK0	16	H'FFFFD03A	16	
	データフレーム受信完了レジスタ 0	RXPR0	16	H'FFFFD042	16	
	リモートフレーム受信完了レジスタ 0	RFPR0	16	H'FFFFD04A	16	
	メールボックスインタラプトマスクレジスタ 0	MBIMR0	16	H'FFFFD052	16	
	未読メッセージステータスレジスタ 0	UMSR0	16	H'FFFFD05A	16	
	MB[0].	CONTROL0H	-	16	H'FFFFD100	16、32
		CONTROL0L	-	16	H'FFFFD102	16
		LAFMH	-	16	H'FFFFD104	16、32
		LAFML	-	16	H'FFFFD106	16
		MSG_DATA[0]	-	8	H'FFFFD108	8、16、32
MSG_DATA[1]		-	8	H'FFFFD109	8	
MSG_DATA[2]		-	8	H'FFFFD10A	8、16	
MSG_DATA[3]		-	8	H'FFFFD10B	8	
MSG_DATA[4]		-	8	H'FFFFD10C	8、16、32	
MSG_DATA[5]		-	8	H'FFFFD10D	8	
MSG_DATA[6]		-	8	H'FFFFD10E	8、16	
MSG_DATA[7]	-	8	H'FFFFD10F	8		

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-ET	MB[0].	CONTROL1H	-	8	H'FFFFD110	8、16
		CONTROL1L	-	8	H'FFFFD111	8
	MB[1].	CONTROL0H	-	16	H'FFFFD120	16、32
		CONTROL0L	-	16	H'FFFFD122	16
		LAFMH	-	16	H'FFFFD124	16、32
		LAFML	-	16	H'FFFFD126	16
		MSG_DATA[0]	-	8	H'FFFFD128	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD129	8
		MSG_DATA[2]	-	8	H'FFFFD12A	8、16
		MSG_DATA[3]	-	8	H'FFFFD12B	8
		MSG_DATA[4]	-	8	H'FFFFD12C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD12D	8
		MSG_DATA[6]	-	8	H'FFFFD12E	8、16
		MSG_DATA[7]	-	8	H'FFFFD12F	8
		CONTROL1H	-	8	H'FFFFD130	8、16
		CONTROL1L	-	8	H'FFFFD131	8
	MB[2].	CONTROL0H	-	16	H'FFFFD140	16、32
		CONTROL0L	-	16	H'FFFFD142	16
		LAFMH	-	16	H'FFFFD144	16、32
		LAFML	-	16	H'FFFFD146	16
		MSG_DATA[0]	-	8	H'FFFFD148	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD149	8
		MSG_DATA[2]	-	8	H'FFFFD14A	8、16
		MSG_DATA[3]	-	8	H'FFFFD14B	8
		MSG_DATA[4]	-	8	H'FFFFD14C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD14D	8
		MSG_DATA[6]	-	8	H'FFFFD14E	8、16
		MSG_DATA[7]	-	8	H'FFFFD14F	8
		CONTROL1H	-	8	H'FFFFD150	8、16
		CONTROL1L	-	8	H'FFFFD151	8
	MB[3].	CONTROL0H	-	16	H'FFFFD160	16、32
		CONTROL0L	-	16	H'FFFFD162	16
		LAFMH	-	16	H'FFFFD164	16、32
		LAFML	-	16	H'FFFFD166	16
		MSG_DATA[0]	-	8	H'FFFFD168	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD169	8
		MSG_DATA[2]	-	8	H'FFFFD16A	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	
RCAN-ET	MB[3].	MSG_DATA[3]	-	8	H'FFFFD16B	8
		MSG_DATA[4]	-	8	H'FFFFD16C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD16D	8
		MSG_DATA[6]	-	8	H'FFFFD16E	8、16
		MSG_DATA[7]	-	8	H'FFFFD16F	8
		CONTROL1H	-	8	H'FFFFD170	8、16
		CONTROL1L	-	8	H'FFFFD171	8
	MB[4].	CONTROL0H	-	16	H'FFFFD180	16、32
		CONTROL0L	-	16	H'FFFFD182	16
		LAFMH	-	16	H'FFFFD184	16、32
		LAFML	-	16	H'FFFFD186	16
		MSG_DATA[0]	-	8	H'FFFFD188	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD189	8
		MSG_DATA[2]	-	8	H'FFFFD18A	8、16
		MSG_DATA[3]	-	8	H'FFFFD18B	8
		MSG_DATA[4]	-	8	H'FFFFD18C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD18D	8
		MSG_DATA[6]	-	8	H'FFFFD18E	8、16
		MSG_DATA[7]	-	8	H'FFFFD18F	8
		CONTROL1H	-	8	H'FFFFD190	8、16
		CONTROL1L	-	8	H'FFFFD191	8
	MB[5].	CONTROL0H	-	16	H'FFFFD1A0	16、32
		CONTROL0L	-	16	H'FFFFD1A2	16
		LAFMH	-	16	H'FFFFD1A4	16、32
		LAFML	-	16	H'FFFFD1A6	16
		MSG_DATA[0]	-	8	H'FFFFD1A8	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD1A9	8
		MSG_DATA[2]	-	8	H'FFFFD1AA	8、16
		MSG_DATA[3]	-	8	H'FFFFD1AB	8
		MSG_DATA[4]	-	8	H'FFFFD1AC	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD1AD	8
		MSG_DATA[6]	-	8	H'FFFFD1AE	8、16
		MSG_DATA[7]	-	8	H'FFFFD1AF	8
CONTROL1H		-	8	H'FFFFD1B0	8、16	
CONTROL1L		-	8	H'FFFFD1B1	8	
MB[6].	CONTROL0H	-	16	H'FFFFD1C0	16、32	
	CONTROL0L	-	16	H'FFFFD1C2	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	
RCAN-ET	MB[6].	LAFMH	-	16	H'FFFFD1C4	16、32
		LAFML	-	16	H'FFFFD1C6	16
		MSG_DATA[0]	-	8	H'FFFFD1C8	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD1C9	8
		MSG_DATA[2]	-	8	H'FFFFD1CA	8、16
		MSG_DATA[3]	-	8	H'FFFFD1CB	8
		MSG_DATA[4]	-	8	H'FFFFD1CC	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD1CD	8
		MSG_DATA[6]	-	8	H'FFFFD1CE	8、16
		MSG_DATA[7]	-	8	H'FFFFD1CF	8
		CONTROL1H	-	8	H'FFFFD1D0	8、16
		CONTROL1L	-	8	H'FFFFD1D1	8
	MB[7].	CONTROL0H	-	16	H'FFFFD1E0	16、32
		CONTROL0L	-	16	H'FFFFD1E2	16
		LAFMH	-	16	H'FFFFD1E4	16、32
		LAFML	-	16	H'FFFFD1E6	16
		MSG_DATA[0]	-	8	H'FFFFD1E8	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD1E9	8
		MSG_DATA[2]	-	8	H'FFFFD1EA	8、16
		MSG_DATA[3]	-	8	H'FFFFD1EB	8
		MSG_DATA[4]	-	8	H'FFFFD1EC	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD1ED	8
		MSG_DATA[6]	-	8	H'FFFFD1EE	8、16
		MSG_DATA[7]	-	8	H'FFFFD1EF	8
		CONTROL1H	-	8	H'FFFFD1F0	8、16
		CONTROL1L	-	8	H'FFFFD1F1	8
	MB[8].	CONTROL0H	-	16	H'FFFFD200	16、32
		CONTROL0L	-	16	H'FFFFD202	16
		LAFMH	-	16	H'FFFFD204	16、32
		LAFML	-	16	H'FFFFD206	16
		MSG_DATA[0]	-	8	H'FFFFD208	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD209	8
		MSG_DATA[2]	-	8	H'FFFFD20A	8、16
		MSG_DATA[3]	-	8	H'FFFFD20B	8
		MSG_DATA[4]	-	8	H'FFFFD20C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD20D	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	
RCAN-ET	MB[8].	MSG_DATA[6]	-	8	H'FFFFD20E	8、16
		MSG_DATA[7]	-	8	H'FFFFD20F	8
		CONTROL1H	-	8	H'FFFFD210	8、16
		CONTROL1L	-	8	H'FFFFD211	8
	MB[9].	CONTROL0H	-	16	H'FFFFD220	16、32
		CONTROL0L	-	16	H'FFFFD222	16
		LAFMH	-	16	H'FFFFD224	16、32
		LAFML	-	16	H'FFFFD226	16
		MSG_DATA[0]	-	8	H'FFFFD228	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD229	8
		MSG_DATA[2]	-	8	H'FFFFD22A	8、16
		MSG_DATA[3]	-	8	H'FFFFD22B	8
		MSG_DATA[4]	-	8	H'FFFFD22C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD22D	8
		MSG_DATA[6]	-	8	H'FFFFD22E	8、16
		MSG_DATA[7]	-	8	H'FFFFD22F	8
		CONTROL1H	-	8	H'FFFFD230	8、16
		CONTROL1L	-	8	H'FFFFD231	8
	MB[10].	CONTROL0H	-	16	H'FFFFD240	16、32
		CONTROL0L	-	16	H'FFFFD242	16
		LAFMH	-	16	H'FFFFD244	16、32
		LAFML	-	16	H'FFFFD246	16
		MSG_DATA[0]	-	8	H'FFFFD248	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD249	8
		MSG_DATA[2]	-	8	H'FFFFD24A	8、16
		MSG_DATA[3]	-	8	H'FFFFD24B	8
		MSG_DATA[4]	-	8	H'FFFFD24C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD24D	8
		MSG_DATA[6]	-	8	H'FFFFD24E	8、16
		MSG_DATA[7]	-	8	H'FFFFD24F	8
		CONTROL1H	-	8	H'FFFFD250	8、16
		CONTROL1L	-	8	H'FFFFD251	8
	MB[11].	CONTROL0H	-	16	H'FFFFD260	16、32
		CONTROL0L	-	16	H'FFFFD262	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	
RCAN-ET	MB[11].	LAFMH	-	16	H'FFFFD264	16、32
		LAFML	-	16	H'FFFFD266	16
		MSG_DATA[0]	-	8	H'FFFFD268	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD269	8
		MSG_DATA[2]	-	8	H'FFFFD26A	8、16
		MSG_DATA[3]	-	8	H'FFFFD26B	8
		MSG_DATA[4]	-	8	H'FFFFD26C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD26D	8
		MSG_DATA[6]	-	8	H'FFFFD26E	8、16
		MSG_DATA[7]	-	8	H'FFFFD26F	8
		CONTROL1H	-	8	H'FFFFD270	8、16
		CONTROL1L	-	8	H'FFFFD271	8
	MB[12].	CONTROL0H	-	16	H'FFFFD280	16、32
		CONTROL0L	-	16	H'FFFFD282	16
		LAFMH	-	16	H'FFFFD284	16、32
		LAFML	-	16	H'FFFFD286	16
		MSG_DATA[0]	-	8	H'FFFFD288	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD289	8
		MSG_DATA[2]	-	8	H'FFFFD28A	8、16
		MSG_DATA[3]	-	8	H'FFFFD28B	8
		MSG_DATA[4]	-	8	H'FFFFD28C	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD28D	8
		MSG_DATA[6]	-	8	H'FFFFD28E	8、16
		MSG_DATA[7]	-	8	H'FFFFD28F	8
		CONTROL1H	-	8	H'FFFFD290	8、16
		CONTROL1L	-	8	H'FFFFD291	8
	MB[13].	CONTROL0H	-	16	H'FFFFD2A0	16、32
		CONTROL0L	-	16	H'FFFFD2A2	16
		LAFMH	-	16	H'FFFFD2A4	16、32
		LAFML	-	16	H'FFFFD2A6	16
		MSG_DATA[0]	-	8	H'FFFFD2A8	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD2A9	8
		MSG_DATA[2]	-	8	H'FFFFD2AA	8、16
		MSG_DATA[3]	-	8	H'FFFFD2AB	8
		MSG_DATA[4]	-	8	H'FFFFD2AC	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD2AD	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	
RCAN-ET	MB[13].	MSG_DATA[6]	-	8	H'FFFFD2AE	8、16
		MSG_DATA[7]	-	8	H'FFFFD2AF	8
		CONTROL1H	-	8	H'FFFFD2B0	8、16
		CONTROL1L	-	8	H'FFFFD2B1	8
	MB[14].	CONTROL0H	-	16	H'FFFFD2C0	16、32
		CONTROL0L	-	16	H'FFFFD2C2	16
		LAFMH	-	16	H'FFFFD2C4	16、32
		LAFML	-	16	H'FFFFD2C6	16
		MSG_DATA[0]	-	8	H'FFFFD2C8	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD2C9	8
		MSG_DATA[2]	-	8	H'FFFFD2CA	8、16
		MSG_DATA[3]	-	8	H'FFFFD2CB	8
		MSG_DATA[4]	-	8	H'FFFFD2CC	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD2CD	8
		MSG_DATA[6]	-	8	H'FFFFD2CE	8、16
		MSG_DATA[7]	-	8	H'FFFFD2CF	8
		CONTROL1H	-	8	H'FFFFD2D0	8、16
		CONTROL1L	-	8	H'FFFFD2D1	8
	MB[15].	CONTROL0H	-	16	H'FFFFD2E0	16、32
		CONTROL0L	-	16	H'FFFFD2E2	16
		LAFMH	-	16	H'FFFFD2E4	16、32
		LAFML	-	16	H'FFFFD2E6	16
		MSG_DATA[0]	-	8	H'FFFFD2E8	8、16、32
		MSG_DATA[1]	-	8	H'FFFFD2E9	8
		MSG_DATA[2]	-	8	H'FFFFD2EA	8、16
		MSG_DATA[3]	-	8	H'FFFFD2EB	8
		MSG_DATA[4]	-	8	H'FFFFD2EC	8、16、32
		MSG_DATA[5]	-	8	H'FFFFD2ED	8
		MSG_DATA[6]	-	8	H'FFFFD2EE	8、16
		MSG_DATA[7]	-	8	H'FFFFD2EF	8
		CONTROL1H	-	8	H'FFFFD2F0	8、16
		CONTROL1L	-	8	H'FFFFD2F1	8
		TIM32C	タイマ 32 コントロールレジスタ_0	TI32CR_0	8	H'FFFEC200
タイマ 32 コントロールレジスタ_1	TI32CR_1		8	H'FFFEC204	8	
タイマ 32 コントロールレジスタ_2	TI32CR_2		8	H'FFFEC208	8	
タイマ 32 ステータスレジスタ	TI32SR		8	H'FFFEC20C	8	
タイマ 32 インタラプティブレレジスタ	TI32IER		8	H'FFFEC210	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
TIM32C	タイマ 32 カウンタ 8_0	TI32CNT8_0	8	H'FFFE214	8
	タイマ 32 カウンタ 8_1	TI32CNT8_1	8	H'FFFE218	8
	タイマ 32 カウンタ 16	TI32CNT16	16	H'FFFE21C	16
	タイマ 32 コンスタントレジスタ_2	TI32COR_2	16	H'FFFE220	16
	タイマ 32 スタートレジスタ	TI32STR	8	H'FFFE224	8
	タイマ 32 ステートモニタレジスタ	TI32SMR	8	H'FFFE280	8
KEYC	キースキャンコントロールレジスタ 1	KSCR1	16	H'FFFE300	16
	キースキャンコントロールレジスタ 2	KSCR2	16	H'FFFE302	16
	キースキャンファンクションコントロールレジスタ	KSFCR	8	H'FFFE304	8
	キースキャンデータレジスタ_0	KSDR_0	8	H'FFFE310	8
	キースキャンデータレジスタ_1	KSDR_1	8	H'FFFE311	8
	キースキャンデータレジスタ_2	KSDR_2	8	H'FFFE312	8
	キースキャンデータレジスタ_3	KSDR_3	8	H'FFFE313	8
	キースキャンデータレジスタ_4	KSDR_4	8	H'FFFE314	8
	キースキャンデータレジスタ_5	KSDR_5	8	H'FFFE315	8
	キースキャンデータレジスタ_6	KSDR_6	8	H'FFFE316	8
	キースキャンデータレジスタ_7	KSDR_7	8	H'FFFE317	8
	キースキャンデータレジスタ_8	KSDR_8	16	H'FFFE318	16
	キースキャンインタラプトイネーブルレジスタ	KSIER	8	H'FFFE320	8
	キースキャンステータスレジスタ	KSSR	8	H'FFFE322	8
	キースキャンカウンタコントロールレジスタ	KSCCR	8	H'FFFE324	8
	キースキャンカウンタ	KSCNT	8	H'FFFE326	8
	キースキャンカウンタスタートレジスタ	KSCSR	8	H'FFFE328	8
	ROM/FLD	フラッシュ端子モニタレジスタ	FPMON	8	H'FFFA800
フラッシュモードレジスタ		FMODR	8	H'FFFA802	8
フラッシュアクセスステータスレジスタ		FASTAT	8	H'FFFA810	8
フラッシュアクセスエラー割り込み許可レジスタ		FAEINT	8	H'FFFA811	8
ROM マット選択レジスタ		ROMMAT	16	H'FFFA820	8、16
FCU RAM イネーブルレジスタ		FCURAME	16	H'FFFA854	8、16
フラッシュステータスレジスタ 0		FSTATR0	8	H'FFFA900	8、16
フラッシュステータスレジスタ 1		FSTATR1	8	H'FFFA901	8
フラッシュ P/E モードエントリレジスタ		FENTRYR	16	H'FFFA902	8、16
フラッシュプロテクトレジスタ		FPROTR	16	H'FFFA904	8、16
フラッシュリセットレジスタ		FRESETR	16	H'FFFA906	8、16
FCU コマンドレジスタ		FCMDR	16	H'FFFA90A	8、16
FCU 処理切り替えレジスタ		FCPSR	16	H'FFFA918	8、16
FLD ブランクチェック制御レジスタ		EEPBCCNT	16	H'FFFA91A	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ROM/FLD	フラッシュ P/E ステータスレジスタ	FPESTAT	16	H'FFFFA91C	8, 16
	FLD ブランクチェックステータスレジスタ	EEPBCSTAT	16	H'FFFFA91E	8, 16
	FLD 読み出し許可レジスタ 0	EEPPE0	16	H'FFFFA840	8, 16
	FLD 書き込み / 消去許可レジスタ 0	EEPWE0	16	H'FFFFA850	8, 16
	周辺クロック通知レジスタ	PCKAR	16	H'FFFFA938	8, 16
	消去ブロック通知レジスタ	FIEBAR	16	H'FFFFA93A	8, 16
低消費電力 モード	スタンバイコントロールレジスタ	STBCR	8	H'FFFE0014	8
	スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018	8
	スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0408	8
	スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE040C	8
	スタンバイコントロールレジスタ 5	STBCR5	8	H'FFFE0418	8
	スタンバイコントロールレジスタ 6	STBCR6	8	H'FFFE041C	8
	スタンバイコントロールレジスタ 7	STBCR7	8	H'FFFE0500	8
	システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0402	8
	システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0404	8
	ディープスタンバイコントロールレジスタ	DPSTBCR	8	H'FFFE0510	8
	ディープスタンバイウェイトコントロールレジスタ	DPSWCR	8	H'FFFE0512	8
	スタンバイインタラプトイネーブルレジスタ	SIER	16	H'FFFE0514	16
	スタンバイインタラプトフラグレジスタ	SIFR	16	H'FFFE0516	16
	ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	16	H'FFFE0518	16
	リセットステータスレジスタ	RSTSR	8	H'FFFE051A	8
	H-UDI	インタラクションレジスタ	SDIR	16	H'FFFE2000
ID レジスタ		SDID	32	H'FFFE1810	32

【注】 * WDT のレジスタは、誤書き込み防止のため、書き込み時のアクセスサイズと読み出し時のアクセスサイズが異なります。

34.2 レジスタビット一覧

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
CPG	FRQCR	-	-	-	-	-	STC2	STC1	STC0
		-	IFC2	IFC1	IFC0	-	PFC2	PFC1	PFC0
	MCLKCR	MSSCS1	MSSCS0	-	-	-	MSDIVS2	MSDIVS1	MSDIVS0
	ACLKCR	ASSCS1	ASSCS0	-	-	-	ASDIVS2	ASDIVS1	ASDIVS0
	OSCCR	-	-	-	-	-	OSCSTOP	-	OSCERS
INTC	ICR0	NMIL	-	-	-	-	-	-	NMIE
		-	-	-	-	-	-	-	-
	ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	ICR2	IRQ151S	IRQ150S	IRQ141S	IRQ140S	IRQ131S	IRQ130S	IRQ121S	IRQ120S
		IRQ111S	IRQ110S	IRQ101S	IRQ100S	IRQ91S	IRQ90S	IRQ81S	IRQ80S
	ICR3	IRQ231S	IRQ230S	IRQ221S	IRQ220S	IRQ211S	IRQ210S	IRQ201S	IRQ200S
		IRQ191S	IRQ190S	IRQ181S	IRQ180S	IRQ171S	IRQ170S	IRQ161S	IRQ160S
	IRQRR0	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	IRQRR1	-	-	-	-	-	-	-	-
		IRQ23F	IRQ22F	IRQ21F	IRQ20F	IRQ19F	IRQ18F	IRQ17F	IRQ16F
	IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	-
	IBNR	BE1	BE0	BOVE	-	-	-	-	-
		-	-	-	-	BN3	BN2	BN1	BN0
	IPR01								
	IPR02								
	IPR03								
	IPR04								
	IPR06								
	IPR08								
	IPR09								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
INTC	IPR10								
	IPR11								
	IPR12								
	IPR13								
	IPR14								
	IPR15								
	IPR16								
	IPR17								
	IPR18								
UBC	BAR_0	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_0	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_0	-	-	UBID	-	-	CP2	CP1	CP0
		CD1	CD0	ID1	ID0	RW1	RW0	SZ1	SZ0
	BAR_1	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_1	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
UBC	BBR_1	-	-	UBID	-	-	CP2	CP1	CP0
		CD1	CD0	ID1	ID0	RW1	RW0	SZ1	SZ0
	BAR_2	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BBR_2	-	-	UBID	-	-	-	-	-
		CD1	CD0	ID1	ID0	-	-	-	-
	BAR_3	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BBR_3	-	-	UBID	-	-	-	-	-
		CD1	CD0	ID1	ID0	-	-	-	-
	BAR_4	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BBR_4	-	-	UBID	-	-	-	-	-
		CD1	CD0	ID1	ID0	-	-	-	-
	BAR_5	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BBR_5	-	-	UBID	-	-	-	-	-
		CD1	CD0	ID1	ID0	-	-	-	-
	BAR_6	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BBR_6	-	-	UBID	-	-	-	-	-
		CD1	CD0	ID1	ID0	-	-	-	-
	BAR_7	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
UBC	BBR_7	-	-	UBID	-	-	-	-	-	
		CD1	CD0	ID1	ID0	-	-	-	-	
	BRCR	-	-	-	-	-	-	-	SCMFD1	SCMFD0
		-	-	-	-	-	-	-	CKS1	CKS0
		SCMFC7	SCMFC6	SCMFC5	SCMFC4	SCMFC3	SCMFC2	SCMFC1	SCMFC0	SCMFC0
		PCB7	PCB6	PCB5	PCB4	PCB3	PCB2	PCB1	PCB0	PCB0
DTC	DTCERA	DTCERA15	DTCERA14	DTCERA13	DTCERA12	DTCERA11	DTCERA10	DTCERA9	DTCERA8	
		DTCERA7	DTCERA6	-	-	DTCERA3	DTCERA2	-	-	
	DTCERB	DTCERB15	DTCERB14	DTCERB13	DTCERB12	DTCERB11	DTCERB10	DTCERB9	DTCERB8	
		DTCERB7	DTCERB6	DTCERB5	DTCERB4	DTCERB3	DTCERB2	DTCERB1	DTCERB0	
	DTCERC	DTCERC15	DTCERC14	DTCERC13	DTCERC12	-	-	-	-	
		-	-	-	-	DTCERC3	DTCERC2	DTCERC1	DTCERC0	
	DTCERD	DTCERD15	DTCERD14	DTCERD13	DTCERD12	DTCERD11	DTCERD10	DTCERD9	DTCERD8	
		DTCERD7	DTCERD6	-	-	-	-	-	-	
	DTCERE	DTCERE15	DTCERE14	DTCERE13	DTCERE12	DTCERE11	DTCERE10	DTCERE9	DTCERE8	
		-	-	-	DTCERE4	DTCERE3	DTCERE2	DTCERE1	DTCERE0	
	DTCERF	DTCERF15	DTCERF14	DTCERF13	DTCERF12	DTCERF11	DTCERF10	DTCERF9	DTCERF8	
		DTCERF7	DTCERF6	DTCERF5	DTCERF4	DTCERF3	DTCERF2	DTCERF1	DTCERF0	
	DTCERG	DTCERG15	DTCERG14	DTCERG13	DTCERG12	DTCERG11	DTCERG10	DTCERG9	DTCERG8	
		-	-	DTCERG5	-	-	-	-	-	
	DTCER	-	-	-	RRS	RCHNE	-	-	ERR	
	DTCVBR									
	BSC	CMNCR	-	-	-	-	-	-	-	-
			-	-	-	-	-	-	-	-
			-	-	-	-	BLOCK	DPRTY1	DPRTY0	DMAIW2
			DMAIW1	DMAIW0	DMAIWA	-	-	HIZCK	HIZMEM	HIZCNT
		CS0BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
IWRWS1			IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
-			TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
-			-	-	-	-	-	-	-	
CS1BCR		-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
		-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
		-	-	-	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS2BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-
		-	-	-	-	-	-	-	-
	CS3BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-
		-	-	-	-	-	-	-	-
	CS4BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-
		-	-	-	-	-	-	-	-
	CS5BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-
		-	-	-	-	-	-	-	-
	CS6BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-
		-	-	-	-	-	-	-	-
	CS7BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-
		-	-	-	-	-	-	-	-
	CS0WCR (通常空間時)	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SW1	SW0	WR3	WR2	WR1
		WR0	WM	-	-	-	-	HW1	HW0
	CS0WCR (バーストROM (クロック非同期) 時)	-	-	-	-	-	-	-	-
		-	-	BST1	BST0	-	-	BW1	BW0
		-	-	-	-	-	W3	W2	W1
		W0	WM	-	-	-	-	-	-
	CS0WCR (バーストROM (クロック同期)時)	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	BW1	BW0
		-	-	-	-	-	W3	W2	W1
		W0	WM	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
BSC	CS1WCR (通常空間、バイト 選択付き SRAM 時)	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW2	WW1	WW0
		-	-	-	SW1	SW0	WR3	WR2	WR1
		WR0	WM	-	-	-	-	HW1	HW0
	CS2WCR (通常空間、バイト 選択付き SRAM 時)	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	-	-	WR3	WR2	WR1
		WR0	WM	-	-	-	-	-	-
	CS2WCR (SDRAM 時)	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	A2CL1
		A2CL0	-	-	-	-	-	-	-
	CS3WCR (通常空間、バイト 選択付き SRAM 時)	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	-	-	WR3	WR2	WR1
		WR0	WM	-	-	-	-	-	-
	CS3WCR (SDRAM 時)	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	WTRP1	WTRP0	-	WTRCD1	WTRCD0	-	A3CL1
		A3CL0	-	-	TRWL1	TRWL0	-	WTRC1	WTRC0
	CS4WCR (通常空間、バイト 選択付き SRAM 時)	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW2	WW1	WW0
		-	-	-	SW1	SW0	WR3	WR2	WR1
		WR0	WM	-	-	-	-	HW1	HW0
	CS4WCR (バースト ROM (クロック非同期) 時)	-	-	-	-	-	-	-	-
		-	-	BST1	BST0	-	-	BW1	BW0
		-	-	-	SW1	SW0	W3	W2	W1
		W0	WM	-	-	-	-	HW1	HW0
	CS5WCR (通常空間、バイト 選択付き SRAM、 MPX-I/O 時)	-	-	-	-	-	-	-	-
		-	-	SZSEL	MPXW/BAS	-	WW2	WW1	WW0
		-	-	-	SW1	SW0	WR3	WR2	WR1
		WR0	WM	-	-	-	-	HW1	HW0
	CS6WCR (通常空間、バイト 選択付き SRAM 時)	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	SW1	SW0	WR3	WR2	WR1
		WR0	WM	-	-	-	-	HW1	HW0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	CS7WCR (通常空間、バイト 選択付き SRAM 時)	-	-	-	-	-	-	-	-	
		-	-	-	BAS	-	WW2	WW1	WW0	
		-	-	-	SW1	SW0	WR3	WR2	WR1	
		WR0	WM	-	-	-	-	HW1	HW0	
	SDCR	-	-	-	-	-	-	-	-	
		-	-	-	A2ROW1	A2ROW0	-	A2COL1	A2COL0	
		-	-	DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV	
		-	-	-	A3ROW1	A3ROW0	-	A3COL1	A3COL0	
	RTCSR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		CMF	CMIE	CKS2	CKS1	CKS0	RRC2	RRC1	RRC0	
	RTCNT	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	RTCOR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	BSCEHR	DTLOCK	-	-	-	-	DTBST	DTSA	-	DTPR
		-	-	-	-	-	-	-	-	-
	DMAC	SAR_0								
		DAR_0								
DMATCR_0		-	-	-	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	CHCR_0	TC	-	-	RLD	SARE	DARE	TCRE	-	
		DO	TL	-	-	HE	HIE	AM	AL	
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
		DL	DS	TB	TS1	TS0	IE	TE	DE	
	RSAR_0									
	RDAR_0									
	RDMATCR_0	-	-	-	-	-	-	-	-	-
	SAR_1									
	DAR_1									
	DMATCR_1	-	-	-	-	-	-	-	-	-
	CHCR_1	TC	-	-	RLD	SARE	DARE	TCRE	-	
		DO	TL	-	-	HE	HIE	AM	AL	
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
		DL	DS	TB	TS1	TS0	IE	TE	DE	
	RSAR_1									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	RDAR_1									
	RDMATCR_1	-	-	-	-	-	-	-	-	
	SAR_2									
	DAR_2									
	DMATCR_2	-	-	-	-	-	-	-	-	
	CHCR_2	TC	-	-		RLD	SARE	DARE	TCRE	-
		-	-	-	-	-	HE	HIE	-	-
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
		-	-	TB	TS1	TS0	IE	TE	DE	
	RSAR_2									
	RDAR_2									
	RDMATCR_2	-	-	-	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	SAR_3									
	DAR_3									
	DMATCR_3	-	-	-	-	-	-	-	-	-
	CHCR_3	TC	-	-	-	RLD	SARE	DARE	TCRE	-
		-	-	-	-	-	HE	HIE	-	-
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
		-	-	TB	TS1	TS0	IE	TE	DE	
	RSAR_3									
	RDAR_3									
	RDMATCR_3	-	-	-	-	-	-	-	-	-
	DMAOR	-	-	CMS1	CMS0	-	-	PR1	PR0	
		-	-	-	-	-	AE	NMIF	DME	
	DMARS0	CH1 MID5	CH1 MID4	CH1 MID3	CH1 MID2	CH1 MID1	CH1 MID0	CH1 RID1	CH1 RID0	
		CH0 MID5	CH0 MID4	CH0 MID3	CH0 MID2	CH0 MID1	CH0 MID0	CH0 RID1	CH0 RID0	
	DMARS1	CH3 MID5	CH3 MID4	CH3 MID3	CH3 MID2	CH3 MID1	CH3 MID0	CH3 RID1	CH3 RID0	
		CH2 MID5	CH2 MID4	CH2 MID3	CH2 MID2	CH2 MID1	CH2 MID0	CH2 RID1	CH2 RID0	
	MTU2	TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
		TMDR_0	-	BFE	BFB	BFA	MD3	MD2	MD1	MD0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2	TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
	TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
	TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_0									
	TGRA_0									
	TGRB_0									
	TGRC_0									
	TGRD_0									
	TGRE_0									
	TGRF_0									
	TIER2_0	TTGE2	-	-	-	-	-	-	TGIEF	TGIEE
	TSR2_0	-	-	-	-	-	-	-	TGFF	TGFE
	TBTM_0	-	-	-	-	-	-	TTSE	TTSB	T TSA
	TCR_1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
	TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
	TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
	TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
	TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
	TCNT_1									
	TGRA_1									
	TGRB_1									
	TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE	
	TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
	TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0	
	TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
	TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
	TCNT_2								
	TGRA_2								
	TGRB_2								
	TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
	TMDR_3	-	-	BFB	BFA	MD3	MD2	MD1	MD0
	TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
	TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
	TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_3								
	TGRA_3								
	TGRB_3								
	TGRC_3								
	TGRD_3								
	TBTM_3	-	-	-	-	-	-	TTSB	TTSA
	TCR_4	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
	TMDR_4	-	-	BFB	BFA	MD3	MD2	MD1	MD0
	TIORH_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
	TIORL_4	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
	TIER_4	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_4								
TGRA_4									
TGRB_4									

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
MTU2	TGRC_4								
	TGRD_4								
	TBTM_4	-	-	-	-	-	-	TTSB	TTSA
	TADCR	BF1	BF0	-	-	-	-	-	-
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
	TADCORA_4								
	TADCORB_4								
	TADCOBRA_4								
	TADCOBRB_4								
	TCRU_5	-	-	-	-	-	-	TPSC1	TPSC0
	TCRV_5	-	-	-	-	-	-	TPSC1	TPSC0
	TCRW_5	-	-	-	-	-	-	TPSC1	TPSC0
	TIORU_5	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0
	TIORV_5	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0
	TIORW_5	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0
	TIER_5	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
	TSR_5	-	-	-	-	-	CMFU5	CMFV5	CMFW5
	TSTR_5	-	-	-	-	-	CSTU5	CSTV5	CSTW5
	TCNTU_5								
	TCNTV_5								
	TCNTW_5								
	TGRU_5								
TGRV_5									
TGRW_5									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TCNTCMPCLR	-	-	-	-	-	CMPCLR5U	CMPCLR5V	CMPCLR5W
	TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0
	TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
	TCSYSTR	SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S
	TRWER	-	-	-	-	-	-	-	RWE
	TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
	TOCR2	BF1	BF0	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	TGCR	-	BDC	N	P	FB	WF	VF	UF
	TCDR								
	TDDR								
	TCNTS								
	TCBR								
	TITCR	T3AEN	3ACOR2	3ACOR1	3ACOR0	T4VEN	4VCOR2	4VCOR1	4VCOR0
	TITCNT	-	3ACNT2	3ACNT1	3ACNT0	-	4VCNT2	4VCNT1	4VCNT0
	TBTER	-	-	-	-	-	-	BTE1	BTE0
	TDER	-	-	-	-	-	-	-	TDER
	TWCR	CCE	-	-	-	-	-	-	WRE
TOLBR	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
MTU2S	TCR_3S	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
	TMDR_3S	-	-	BFB	BFA	MD3	MD2	MD1	MD0
	TIORH_3S	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
	TIORL_3S	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
	TIER_3S	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_3S	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_3S								
	TGRA_3S								
	TGRB_3S								
	TGRC_3S								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2S	TGRD_3S									
	TBTM_3S	-	-	-	-	-	-	TTSB	T TSA	
	TCR_4S	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
	TMDR_4S	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
	TIORH_4S	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
	TIORL_4S	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
	TIER_4S	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_4S	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_4S									
	TGRA_4S									
	TGRB_4S									
	TGRC_4S									
	TGRD_4S									
	TBTM_4S	-	-	-	-	-	-	-	TTSB	T TSA
	TADCRS	BF1	BF0	-	-	-	-	-	-	-
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
	TADCORA_4S									
	TADCORB_4S									
	TADCOBRA_4S									
	TADCOBRB_4S									
	TCRU_5S	-	-	-	-	-	-	-	TPSC1	TPSC0
	TCRV_5S	-	-	-	-	-	-	-	TPSC1	TPSC0
	TCRW_5S	-	-	-	-	-	-	-	TPSC1	TPSC0
	TIORU_5S	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0	
	TIORV_5S	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0	
	TIORW_5S	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0	
	TIER_5S	-	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
MTU2S	TSR_5S	-	-	-	-	-	CMFU5	CMFV5	CMFW5
	TSTR_5S	-	-	-	-	-	CSTU5	CSTV5	CSTW5
	TCNTU_5S								
	TCNTV_5S								
	TCNTW_5S								
	TGRU_5S								
	TGRV_5S								
	TGRW_5S								
	TCNTCMPCLRS	-	-	-	-	-	CMPCLR5U	CMPCLR5V	CMPCLR5W
	TSTRS	CST4	CST3	-	-	-	-	-	-
	TSYRS	SYNC4	SYNC3	-	-	-	-	-	-
	TRWERS	-	-	-	-	-	-	-	RWE
	TOERS	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1S	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
	TOCR2S	BF1	BF0	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	TGCRS	-	BDC	N	P	FB	WF	VF	UF
	TCDRS								
	TDDRS								
	TCNTSS								
TCBRS									
TITCRS	T3AEN	3ACOR2	3ACOR1	3ACOR0	T4VEN	4VCOR2	4VCOR1	4VCOR0	
TITCNTS	-	3ACNT2	3ACNT1	3ACNT0	-	4VCNT2	4VCNT1	4VCNT0	
TBTERS	-	-	-	-	-	-	BTE1	BTE0	
TDERS	-	-	-	-	-	-	-	TDER	
TSYCRS	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B	
TWCRS	CCE	-	-	-	-	-	SCC	WRE	
TOLBRS	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
POE2	ICSR1	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE1
		POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0
	OCSR1	OSF1	-	-	-	-	-	OCE1	OIE1
		-	-	-	-	-	-	-	-
	ICSR2	POE7F	POE6F	POE5F	POE4F	-	-	-	PIE2
		POE7M1	POE7M0	POE6M1	POE6M0	POE5M1	POE5M0	POE4M1	POE4M0
	OCSR2	OSF2	-	-	-	-	-	OCE2	OIE2
		-	-	-	-	-	-	-	-
	ICSR3	-	-	-	POE8F	-	-	POE8E	PIE3
		-	-	-	-	-	-	POE8M1	POE8M0
	SPOER	-	-	-	-	-	MTU2SHIZ	MTU2CH0HIZ	MTU2CH34HIZ
	POECR1	-	-	-	-	MTU2PE3ZE	MTU2PE2ZE	MTU2PE1ZE	MTU2PE0ZE
	POECR2	-	MTU2P1CZE	MTU2P2CZE	MTU2P3CZE	-	MTU2SP1CZE	MTU2SP2CZE	MTU2SP3CZE
		-	-	-	-	-	-	-	-
CMT	CMSTR	-	-	-	-	-	-	-	
		-	-	-	-	-	-	STR1	STR0
	CMCSR_0	-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	CKS1	CKS0
	CMCNT_0								
	CMCOR_0								
	CMCSR_1	-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	CKS1	CKS0
	CMCNT_1								
	CMCOR_1								
CMT2	CM2STR	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	STR
	CM2CR	CCLR2	CCLR1	CCLR0	-	-	-	CMS	-
		OC1IE	OC0IE	IC1IE	IC0IE	CM2IE	-	CKS1	CKS0
	CM2IOR	CM2E	-	OC1E	OC0E	OC1[1]	OC1[0]	OC0[1]	OC0[0]
		-	-	IC1E	IC0E	IC1[1]	IC1[0]	IC0[1]	IC0[0]
	CM2SR	CM2F	OVF	-	-	OCF1	OCF0	ICF1	ICF0
		-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
CMT2	CM2CNT									
	CM2COR									
	CM2ICR0									
	CM2ICR1									
	CM2OCR0									
	CM2OCR1									
	WDT	WTCR	IOVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
		WTCNT								
		WRCR	WOVF	RSTE	RSTS	-	-	-	-	-
	SCI (チャンネル0)	SCSMR_0	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0
		SCBRR_0								
		SCSCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
SCTDR_0										
SCSSR_0		TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SCRDR_0										
SCSDCR_0		-	-	-	-	DIR	-	-	-	
SCSPTR_0		EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT	
SCSMR2_0		-	BAE	SPSEL1	SPSEL0	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SCI (チャネル0)	SCTBACNT_0	TBACNT7	TBACNT6	TBACNT5	TBACNT4	TBACNT3	TBACNT2	TBACNT1	TBACNT0
	SCRBACNT_0	RBACNT7	RBACNT6	RBACNT5	RBACNT4	RBACNT3	RBACNT2	RBACNT1	RBACNT0
	SCBACOR_0	BACOR7	BACOR6	BACOR5	BACOR4	BACOR3	BACOR2	BACOR1	BACOR0
SCI (チャネル1)	SCSMR_1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
	SCBRR_1								
	SCSCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
	SCTDR_1								
	SCSSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
	SCRDR_1								
	SCSDCR_1	-	-	-	-	DIR	-	-	-
	SCSPTR_1	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
	SCSMR2_1	-	BAE	SPSEL1	SPSEL0	-	-	-	-
	SCTBACNT_1	TBACNT7	TBACNT6	TBACNT5	TBACNT4	TBACNT3	TBACNT2	TBACNT1	TBACNT0
	SCRBACNT_1	RBACNT7	RBACNT6	RBACNT5	RBACNT4	RBACNT3	RBACNT2	RBACNT1	RBACNT0
SCBACOR_1	BACOR7	BACOR6	BACOR5	BACOR4	BACOR3	BACOR2	BACOR1	BACOR0	
SCI (チャネル2)	SCSMR_2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
	SCBRR_2								
	SCSCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
	SCTDR_2								
	SCSSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
	SCRDR_2								
	SCSDCR_2	-	-	-	-	DIR	-	-	-
	SCSPTR_2	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
	SCSMR2_2	-	BAE	SPSEL1	SPSEL0	-	-	-	-
	SCTBACNT_2	TBACNT7	TBACNT6	TBACNT5	TBACNT4	TBACNT3	TBACNT2	TBACNT1	TBACNT0
	SCRBACNT_2	RBACNT7	RBACNT6	RBACNT5	RBACNT4	RBACNT3	RBACNT2	RBACNT1	RBACNT0
SCBACOR_2	BACOR7	BACOR6	BACOR5	BACOR4	BACOR3	BACOR2	BACOR1	BACOR0	
SCI (チャネル3)	SCSMR_3	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
	SCBRR_3								
	SCSCR_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
	SCTDR_3								
	SCSSR_3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
	SCRDR_3								
	SCSDCR_3	-	-	-	-	DIR	-	-	-
	SCSPTR_3	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
SCSMR2_3	-	BAE	SPSEL1	SPSEL0	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SCI (チャンネル3)	SCTBACNT_3	TBACNT7	TBACNT6	TBACNT5	TBACNT4	TBACNT3	TBACNT2	TBACNT1	TBACNT0
	SCRBACNT_3	RBACNT7	RBACNT6	RBACNT5	RBACNT4	RBACNT3	RBACNT2	RBACNT1	RBACNT0
	SCBACOR_3	BACOR7	BACOR6	BACOR5	BACOR4	BACOR3	BACOR2	BACOR1	BACOR0
SCIF (チャンネル4)	SCSMR_4	-	-	-	-	-	-	-	-
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0
	SCBRR_4								
	SCSCR_4	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE1	CKE0
	SCFTDR_4								
	SCFSR_4	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_4								
	SCFCR_4	-	-	-	-	-	-	-	-
		RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP
	SCFDR_4	-	-	-	T4	T3	T2	T1	T0
		-	-	-	R4	R3	R2	R1	R0
	SCSPTR_4	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCSDCR_4	-	-	-	-	DIR	-	-	-
	SCFTCR_4	RTRGS	-	-	RFTC4	RFTC3	RFTC2	RFTC1	RFTC0
		TTRGS	-	-	TFTC4	TFTC3	TFTC2	TFTC1	TFTC0
SCSMR_5 (チャンネル5)	-	-	-	-	-	-	-	-	
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0	
SCBRR_5									
SCSCR_5	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_5									
SCFSR_5	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_5									
SCFCR_5	-	-	-	-	-	-	-	-	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_5	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SCIF (チャンネル5)	SCSPTR_5	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCSDCR_5	-	-	-	-	DIR	-	-	-
	SCFTCR_5	RTRGS	-	-	-	RFTC4	RFTC3	RFTC2	RFTC1
TTRGS		-	-	-	TFTC4	TFTC3	TFTC2	TFTC1	TFTC0
SCIF (チャンネル6)	SCSMR_6	-	-	-	-	-	-	-	-
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0
	SCBRR_6								
	SCSCR_6	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE1	CKE0
	SCFTDR_6								
	SCFSR_6	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_6								
	SCFCR_6	-	-	-	-	-	-	-	-
		RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP
	SCFDR_6	-	-	-	T4	T3	T2	T1	T0
		-	-	-	R4	R3	R2	R1	R0
	SCSPTR_6	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCSDCR_6	-	-	-	-	DIR	-	-	-
SCFTCR_6	RTRGS	-	-	-	RFTC4	RFTC3	RFTC2	RFTC1	RFTC0
	TTRGS	-	-	-	TFTC4	TFTC3	TFTC2	TFTC1	TFTC0
SCIF (チャンネル7)	SCSMR_7	-	-	-	-	-	-	-	-
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0
	SCBRR_7								
	SCSCR_7	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE1	CKE0
	SCFTDR_7								
	SCFSR_7	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
SCFRDR_7									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF (チャンネル7)	SCFCR_7	-	-	-	-	-	-	-	-	
		RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
	SCFDR_7	-	-	-	T4	T3	T2	T1	T0	
		-	-	-	R4	R3	R2	R1	R0	
	SCSPTR_7	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_7	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCSDCR_7	-	-	-	-	DIR	-	-	-	
	SCFTCR_7	RTRGS	-	-	-	RFTC4	RFTC3	RFTC2	RFTC1	RFTC0
		TTRGS	-	-	-	TFTC4	TFTC3	TFTC2	TFTC1	TFTC0
	IIC3	ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
ICCR2		BBSY	SCP	SDAO	SDAOP	SCLO	RXTIMES	IICRST	-	
ICMR		MLS	-	-	-	BCWP	BC2	BC1	BC0	
ICIER		TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR		TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR		SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT										
ICDRR										
NF2CYC		-	-	-	-	-	-	-	NF2CYC	
ADC	ADDR0	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	
	ADDR1	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	
	ADDR2	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	
	ADDR3	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	
	ADDR4	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	
	ADDR5	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	
	ADDR6	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	
	ADDR7	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	
		ADD1	ADD0	-	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ADC	ADCSR_0	ADF	ADIE	TRGE	-	CONADF	STC2	STC1	STC0
		CKS1	CKS0	ADM1	ADM0	ADCS	CH2	CH1	CH0
	ADCR_0	-	-	ADST	-	-	-	-	-
		-	-	-	-	-	-	-	-
	ADDR8	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADDR9	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADDR10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADDR11	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADDR12	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADDR13	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADDR14	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADDR15	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		ADD1	ADD0	-	-	-	-	-	-
	ADCSR_1	ADF	ADIE	TRGE	-	CONADF	STC2	STC1	STC0
		CKS1	CKS0	ADM1	ADM0	ADCS	CH2	CH1	CH0
	ADCR_1	-	-	ADST	-	-	-	-	-
		-	-	-	-	-	-	-	-
	ADSDR	ADSD0[15]	ADSD0[14]	ADSD0[13]	ADSD0[12]	ADSD0[11]	ADSD0[10]	ADSD0[9]	ADSD0[8]
		ADSD0[7]	ADSD0[6]	ADSD0[5]	ADSD0[4]	ADSD0[3]	ADSD0[2]	ADSD0[1]	ADSD0[0]
		ADSD1[15]	ADSD1[14]	ADSD1[13]	ADSD1[12]	ADSD1[11]	ADSD1[10]	ADSD1[9]	ADSD1[8]
		ADSD1[7]	ADSD1[6]	ADSD1[5]	ADSD1[4]	ADSD1[3]	ADSD1[2]	ADSD1[1]	ADSD1[0]
	ADSSR	-	-	AD0FCE	AD1FCE	-	-	-	ADDALS
		AD0SE	AD0SS2	AD0SS1	AD0SS0	AD1SE	AD1SS2	AD1SS1	AD1SS0
	ADTSR_0	TRG11S3	TRG11S2	TRG11S1	TRG11S0	TRG01S3	TRG01S2	TRG01S1	TRG01S0
		TRG1S3	TRG1S2	TRG1S1	TRG1S0	TRG0S3	TRG0S2	TRG0S1	TRG0S0
PFC	PAIORH	-	-	-	-	-	-	-	
		-	-	-	-	PA19IOR	PA18IOR	PA17IOR	PA16IOR
	PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR
		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PFC	PACRH1	-	-	-	-	-	-	-	-
		PA19MD1	PA19MD0	PA18MD1	PA18MD0	PA17MD1	PA17MD0	PA16MD1	PA16MD0
	PACRL2	PA15MD1	PA15MD0	PA14MD1	PA14MD0	PA13MD1	PA13MD0	PA12MD1	PA12MD0
		PA11MD1	PA11MD0	PA10MD1	PA10MD0	PA9MD1	PA9MD0	PA8MD1	PA8MD0
	PACRL1	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0
		PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0
	PAPCRH	-	-	-	-	-	-	-	-
		-	-	-	-	PA19PCR	PA18PCR	PA17PCR	PA16PCR
	PAPCRL	PA15PCR	PA14PCR	PA13PCR	PA12PCR	PA11PCR	PA10PCR	PA9PCR	PA8PCR
		PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR
	PBIORL	-	-	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR
		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR
	PBCRL2	-	-	-	-	PB13MD1	PB13MD0	PB12MD1	PB12MD0
		PB11MD1	PB11MD0	PB10MD1	PB10MD0	PB9MD1	PB9MD0	PB8MD1	PB8MD0
	PBCRL1	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0
		PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0
	PBPCRL	-	-	PB13PCR	PB12PCR	PB11PCR	PB10PCR	PB9PCR	PB8PCR
		PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
	PCIORL	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR
	PCCRL2	PC15MD1	PC15MD0	PC14MD1	PC14MD0	PC13MD1	PC13MD0	PC12MD1	PC12MD0
		PC11MD1	PC11MD0	PC10MD1	PC10MD0	PC9MD1	PC9MD0	PC8MD1	PC8MD0
	PCCRL1	PC7MD1	PC7MD0	PC6MD1	PC6MD0	PC5MD1	PC5MD0	PC4MD1	PC4MD0
		PC3MD1	PC3MD0	PC2MD1	PC2MD0	PC1MD1	PC1MD0	PC0MD1	PC0MD0
	PCPCRL	PC15PCR	PC14PCR	PC13PCR	PC12PCR	PC11PCR	PC10PCR	PC9PCR	PC8PCR
		PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
	PDIORH	PD31IOR	PD30IOR	PD29IOR	PD28IOR	PD27IOR	PD26IOR	PD25IOR	PD24IOR
		PD23IOR	PD22IOR	PD21IOR	PD20IOR	PD19IOR	PD18IOR	PD17IOR	PD16IOR
	PDIORL	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR
		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
	PDCRH2	PD31MD1	PD31MD0	PD30MD1	PD30MD0	PD29MD1	PD29MD0	PD28MD1	PD28MD0
		PD27MD1	PD27MD0	PD26MD1	PD26MD0	PD25MD1	PD25MD0	PD24MD1	PD24MD0
	PDCRH1	PD23MD1	PD23MD0	PD22MD1	PD22MD0	PD21MD1	PD21MD0	PD20MD1	PD20MD0
		PD19MD1	PD19MD0	PD18MD1	PD18MD0	PD17MD1	PD17MD0	PD16MD1	PD16MD0
	PDCRL2	PD15MD1	PD15MD0	PD14MD1	PD14MD0	PD13MD1	PD13MD0	PD12MD1	PD12MD0
		PD11MD1	PD11MD0	PD10MD1	PD10MD0	PD9MD1	PD9MD0	PD8MD1	PD8MD0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PFC	PDCRL1	PD7MD1	PD7MD0	PD6MD1	PD6MD0	PD5MD1	PD5MD0	PD4MD1	PD4MD0
		PD3MD1	PD3MD0	PD2MD1	PD2MD0	PD1MD1	PDM1D0	PD0MD1	PD0MD0
	PDPCRH	PD31PCR	PD30PCR	PD29PCR	PD28PCR	PD27PCR	PD26PCR	PD25PCR	PD24PCR
		PD23PCR	PD22PCR	PD21PCR	PD20PCR	PD19PCR	PD18PCR	PD17PCR	PD16PCR
	PDPICRL	PD15PCR	PD14PCR	PD13PCR	PD12PCR	PD11PCR	PD10PCR	PD9PCR	PD8PCR
		PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
	PEIORH	-	-	-	-	-	-	-	-
		PE23IOR	PE22IOR	PE21IOR	PE20IOR	PE19IOR	PE18IOR	PE17IOR	PE16IOR
	PEIORL	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR
		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR
	PECRH1	PE23MD1	PE23MD0	PE22MD1	PE22MD0	PE21MD1	PE21MD0	PE20MD1	PE20MD0
		PE19MD1	PE19MD0	PE18MD1	PE18MD0	PE17MD1	PE17MD0	PE16MD1	PE16MD0
	PECRL2	PE15MD1	PE15MD0	PE14MD1	PE14MD0	PE13MD1	PE13MD0	PE12MD1	PE12MD0
		PE11MD1	PE11MD0	PE10MD1	PE10MD0	PE9MD1	PE9MD0	PE8MD1	PE8MD0
	PECRL1	PE7MD1	PE7MD0	PE6MD1	PE6MD0	PE5MD1	PE5MD0	PE4MD1	PE4MD0
		PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0
	PEPCRH	-	-	-	-	-	-	-	-
		PE23PCR	PE22PCR	PE21PCR	PE20PCR	PE19PCR	PE18PCR	PE17PCR	PE16PCR
	PEPCRL	PE15PCR	PE14PCR	PE13PCR	PE12PCR	PE11PCR	PE10PCR	PE9PCR	PE8PCR
		PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
	PGIORL	PG15IOR	PG14IOR	PG13IOR	PG12IOR	PG11IOR	PG10IOR	PG9IOR	PG8IOR
		PG7IOR	PG6IOR	PG5IOR	PG4IOR	PG3IOR	PG2IOR	PG1IOR	PG0IOR
	PGCRL1	PG15MD	PG14MD	PG13MD	PG12MD	PG11MD	PG10MD	PG9MD	PG8MD
		PG7MD	PG6MD	PG5MD	PG4MD	PG3MD	PG2MD	PG1MD	PG0MD
	PGPCRL	PG15PCR	PG14PCR	PG13PCR	PG12PCR	PG11PCR	PG10PCR	PG9PCR	PG8PCR
		PG7PCR	PG6PCR	PG5PCR	PG4PCR	PG3PCR	PG2PCR	PG1PCR	PG0PCR
	PHIORL	PH15IOR	PH14IOR	PH13IOR	PH12IOR	PH11IOR	PH10IOR	PH9IOR	PH8IOR
		PH7IOR	PH6IOR	PH5IOR	PH4IOR	PH3IOR	PH2IOR	PH1IOR	PH0IOR
	PHCRL1	PH15MD	PH14MD	PH13MD	PH12MD	PH11MD	PH10MD	PH9MD	PH8MD
		PH7MD	PH6MD	PH5MD	PH4MD	PH3MD	PH2MD	PH1MD	PH0MD
	PHPCRL	PH15PCR	PH14PCR	PH13PCR	PH12PCR	PH11PCR	PH10PCR	PH9PCR	PH8PCR
		PH7PCR	PH6PCR	PH5PCR	PH4PCR	PH3PCR	PH2PCR	PH1PCR	PH0PCR
	PJIORL	PJ15IOR	PJ14IOR	PJ13IOR	PJ12IOR	PJ11IOR	PJ10IOR	PJ9IOR	PJ8IOR
		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR
	PJCRL1	PJ15MD	PJ14MD	PJ13MD	PJ12MD	PJ11MD	PJ10MD	PJ9MD	PJ8MD
		PJ7MD	PJ6MD	PJ5MD	PJ4MD	PJ3MD	PJ2MD	PJ1MD	PJ0MD

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PFC	PJPCRL	PJ15PCR	PJ14PCR	PJ13PCR	PJ12PCR	PJ11PCR	PJ10PCR	PJ9PCR	PJ8PCR
		PJ7PCR	PJ6PCR	PJ5PCR	PJ4PCR	PJ3PCR	PJ2PCR	PJ1PCR	PJ0PCR
	PKIORL	-	-	-	-	-	-	-	-
		PK7IOR	PK6IOR	PK5IOR	PK4IOR	PK3IOR	PK2IOR	PK1IOR	PK0IOR
	PKCRL1	-	-	-	-	-	-	-	-
		PK7MD	PK6MD	PK5MD	PK4MD	PK3MD	PK2MD	PK1MD	PK0MD
	PKPCRL	-	-	-	-	-	-	-	-
		PK7PCR	PK6PCR	PK5PCR	PK4PCR	PK3PCR	PK2PCR	PK1PCR	PK0PCR
	PLPCRL	-	-	-	-	-	-	-	-
		-	-	PL5PCR	PL4PCR	PL3PCR	PL2PCR	PL1PCR	PL0PCR
	HPCPCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	MZIZEH	MZIZEL
	DRVCR	PJDRV	-	PKDRV	-	-	-	-	-
		-	-	-	-	-	-	-	-
	PFEXCR	-	-	-	-	-	-	-	GPIE
		-	-	-	-	-	-	-	-
	I/Oポート	PADRH	-	-	-	-	-	-	-
			-	-	-	-	PA19DR	PA18DR	PA17DR
PADRL		PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR
		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
PAPRH		-	-	-	-	-	-	-	-
		-	-	-	-	PA19PR	PA18PR	PA17PR	PA16PR
PAPRL		PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR
		PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR
PBDRL		-	-	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR
		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
PBPRL		-	-	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR
		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR
PCDRL		PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
PCPRL		PC15PR	PC14PR	PC13PR	PC12PR	PC11PR	PC10PR	PC9PR	PC8PR
		PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR
PDDRH		PD31DR	PD30DR	PD29DR	PD28DR	PD27DR	PD26DR	PD25DR	PD24DR
		PD23DR	PD22DR	PD21DR	PD20DR	PD19DR	PD18DR	PD17DR	PD16DR
PDDRL		PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR
		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
I/O ポート	PDPRH	PD31PR	PD30PR	PD29PR	PD28PR	PD27PR	PD26PR	PD25PR	PD24PR	
		PD23PR	PD22PR	PD21PR	PD20PR	PD19PR	PD18PR	PD17PR	PD16PR	
	PDPRL	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	
		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR	
	PEDRH	-	-	-	-	-	-	-	-	
		PE23DR	PE22DR	PE21DR	PE20DR	PE19DR	PE18DR	PE17DR	PE16DR	
	PEDRL	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	
		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
	PEPRH	-	-	-	-	-	-	-	-	
		PE23PR	PE22PR	PE21PR	PE20PR	PE19PR	PE18PR	PE17PR	PE16PR	
	PEPRL	PE15PR	PE14PR	PE13PR	PE12PR	PE11PR	PE10PR	PE9PR	PE8PR	
		PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR	
	PFDRL	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	
		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
	PGDRL	PG15DR	PG14DR	PG13DR	PG12DR	PG11DR	PG10DR	PG9DR	PG8DR	
		PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
	PGPRL	PG15PR	PG14PR	PG13PR	PG12PR	PG11PR	PG10PR	PG9PR	PG8PR	
		PG7PR	PG6PR	PG5PR	PG4PR	PG3PR	PG2PR	PG1PR	PG0PR	
	PHDRL	PH15DR	PH14DR	PH13DR	PH12DR	PH11DR	PH10DR	PH9DR	PH8DR	
		PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
	PHPRL	PH15PR	PH14PR	PH13PR	PH12PR	PH11PR	PH10PR	PH9PR	PH8PR	
		PH7PR	PH6PR	PH5PR	PH4PR	PH3PR	PH2PR	PH1PR	PH0PR	
	PJDRL	PJ15DR	PJ14DR	PJ13DR	PJ12DR	PJ11DR	PJ10DR	PJ9DR	PJ8DR	
		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	
	PJPRL	PJ15PR	PJ14PR	PJ13PR	PJ12PR	PJ11PR	PJ10PR	PJ9PR	PJ8PR	
		PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR	
	PKDRL	-	-	-	-	-	-	-	-	
		PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR	
	PKPRL	-	-	-	-	-	-	-	-	
		PK7PR	PK6PR	PK5PR	PK4PR	PK3PR	PK2PR	PK1PR	PK0PR	
	PLDRL	-	-	-	-	-	-	-	-	
		-	-	PL5DR	PL4DR	PL3DR	PL2DR	PL1DR	PL0DR	
	LVDS (SH72315A のみ)	LVFRDR	LVD0[15]	LVD0[14]	LVD0[13]	LVD0[12]	LVD0[11]	LVD0[10]	LVD0[9]	LVD0[8]
			LVD0[7]	LVD0[6]	LVD0[5]	LVD0[4]	LVD0[3]	LVD0[2]	LVD0[1]	LVD0[0]
			LVD1[15]	LVD1[14]	LVD1[13]	LVD1[12]	LVD1[11]	LVD1[10]	LVD1[9]	LVD1[8]
			LVD1[7]	LVD1[6]	LVD1[5]	LVD1[4]	LVD1[3]	LVD1[2]	LVD1[1]	LVD1[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
LVDS (SH72315A のみ)	LVCR	-	-	-	-	LVECEIE	LVRXIE	LVUREIE	LVOREIE	
		-	-	-	-	ENDC	-	CHSEL	RE	
	LVSR	-	-	-	-	EOF	SOF	EOL	SOL	
		-	-	-	-	ECDET	RDRF	URER	ORER	
	LVFCR	-	-	-	-	-	-	-	-	
		-	LRTRG2	LRTRG1	LRTRG0	-	-	-	FRST	
	LVFDR	-	-	-	-	-	-	-	-	
		-	-	-	R4	R3	R2	R1	R0	
	LVCCR1	SOL7	SOL6	SOL5	SOL4	SOL3	SOL2	SOL1	SOL0	
		EOL7	EOL6	EOL5	EOL4	EOL3	EOL2	EOL1	EOL0	
	LVCCR2	SOF7	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0	
		EOF7	EOF6	EOF5	EOF4	EOF3	EOF2	EOF1	EOF0	
	LVLCNT	LCNT15	LCNT14	LCNT13	LCNT12	LCNT11	LCNT10	LCNT9	LCNT8	
		LCNT7	LCNT6	LCNT5	LCNT4	LCNT3	LCNT2	LCNT1	LCNT0	
	LVDCNT	DCNT15	DCNT14	DCNT13	DCNT12	DCNT11	DCNT10	DCNT9	DCNT8	
		DCNT7	DCNT6	DCNT5	DCNT4	DCNT3	DCNT2	DCNT1	DCNT0	
	RSPI	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	SPMS
		SSLP	-	-	-	-	SSL3P	SSL2P	SSL1P	SSL0P
		SPPCR	-	-	MOIFE	MOIFV	-	SPOM	-	SPLP
		SPSR	SPRF	-	SPTIEF	-	-	MODF	MIDLE	OVRF
SPDR		SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16	
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0	
SPSCR		-	-	-	-	-	SPSLN2	SPSLN1	SPSLN0	
SPSSR		-	-	SPECM1	SPECM0	-	-	SPCP1	SPCP0	
SPBR		SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0	
SPDCR		-	-	SPLW	SPRDTD	-	-	SPFC1	SPFC0	
SPCKD		-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0	
SSLND		-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0	
SPND		-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0	
SPCMD0		SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
		SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA	
SPCMD1		SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
		SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA	
SPCMD2		SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
	SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RSP1	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
		SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA	
RCAN-ET	MCR	MCR15	MCR14	-	-	-	TST[2:0]			
		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
	GSR	-	-	-	-	-	-	-	-	
		-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
	BCR1	TSG1[3:0]			-	TSG2[2:0]			-	
		-	-	SJW[1:0]		-	-	-	BSP	
	BCR0	-	-	-	-	-	-	-	-	
		BRP[7:0]								
	IRR	-	-	IRR13	IRR12	-	-	IRR9	IRR8	
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
	IMR	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
	TEC/REC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
		REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
	TXPR1, 0	TXPR1[15:8]								
		TXPR1[7:0]								
		TXPR0[15:8]								
		TXPR0[7:1]								-
	TXCR0	TXCR0[15:8]								
		TXCR0[7:1]								-
	TXACK0	TXACK0[15:8]								
		TXACK0[7:1]								-
	ABACK0	ABACK0[15:8]								
		ABACK0[7:1]								-
	RXPR0	RXPR0[15:8]								
		RXPR0[7:0]								
	RFPR0	RFPR0[15:8]								
		RFPR0[7:0]								
	MBIMR0	MBIMR0[15:8]								
		MBIMR0[7:0]								
	UMSR0	UMSR0[15:8]								
		UMSR0[7:0]								
RCAN-ET (MCR15=1)	MB[0]. CONTROL0H	IDE	RTR	-	STDID[10:6]				-	
		STDID[5:0]						EXTID[17:16]		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-ET (MCR15=0)	MB[0]. CONTROL0H	-	STDID[10:4]							
		STDID[3:0]				RTR	IDE	EXTID[17:16]		
RCAN-ET	MB[0]. CONTROL0L	EXTID[15:8]								
		EXTID[7:0]								
RCAN-ET (MCR15=1)	MB[0]. LAFMH	IDE_LAFM	-	-	STDID_LAFM[10:6]					
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]		
RCAN-ET (MCR15=0)	MB[0]. LAFMH	-	STDID_LAFM[10:4]							
		STDID_LAFM[3:0]				-	IDE_LAFM	EXTID_LAFM[17:16]		
RCAN-ET	MB[0]. LAFML	EXTID_LAFM[15:8]								
		EXTID_LAFM[7:0]								
	MB[0]. MSG_DATA[0]	MSG_DATA_0								
	MB[0]. MSG_DATA[1]	MSG_DATA_1								
	MB[0]. MSG_DATA[2]	MSG_DATA_2								
	MB[0]. MSG_DATA[3]	MSG_DATA_3								
	MB[0]. MSG_DATA[4]	MSG_DATA_4								
	MB[0]. MSG_DATA[5]	MSG_DATA_5								
	MB[0]. MSG_DATA[6]	MSG_DATA_6								
	MB[0]. MSG_DATA[7]	MSG_DATA_7								
	MB[0]. CONTROL1H	-	-	NMC	-	-	MBC[2:0]			
	MB[0]. CONTROL1L	-	-	-	-	DLC[3:0]				
RCAN-ET (MCR15=1)	MB[1]. CONTROL0H	IDE	RTR	-	STDID[10:6]					
		STDID[5:0]						EXTID[17:16]		
RCAN-ET (MCR15=0)	MB[1]. CONTROL0H	-	STDID[10:4]							
		STDID[3:0]				RTR	IDE	EXTID[17:16]		
RCAN-ET	MB[1]. CONTROL0L	EXTID[15:8]								
		EXTID[7:0]								
RCAN-ET (MCR15=1)	MB[1]. LAFMH	IDE_LAFM	-	-	STDID_LAFM[10:6]					
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-ET (MCR15=0)	MB[1]. LAFMH	-	STDID_LAFM[10:4]						
		STDID_LAFM[3:0]			-	IDE_LAFM	EXTID_LAFM[17:16]		
RCAN-ET	MB[1]. LAFML	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[1]. MSG_DATA[0]	MSG_DATA0							
	MB[1]. MSG_DATA[1]	MSG_DATA1							
	MB[1]. MSG_DATA[2]	MSG_DATA2							
	MB[1]. MSG_DATA[3]	MSG_DATA3							
	MB[1]. MSG_DATA[4]	MSG_DATA4							
	MB[1]. MSG_DATA[5]	MSG_DATA5							
	MB[1]. MSG_DATA[6]	MSG_DATA6							
	MB[1]. MSG_DATA[7]	MSG_DATA7							
	MB[1]. CONTROL1H	-	-	NMC	ATX	DART	MBC[2:0]		
	MB[1]. CONTROL1L	-	-	-	-	DLC[3:0]			
	MB[2].	MB[1].と同じビット構成							
	MB[3].	MB[1].と同じビット構成							
		(繰り返し)							
	MB[13].	MB[1].と同じビット構成							
MB[14].	MB[1].と同じビット構成								
MB[15].	MB[1].と同じビット構成								
TIM32C	TI32CR_0	MS	-	-	-	-	-	CKS1	CKS0
	TI32CR_1	MS	-	-	-	-	-	CKS1	CKS0
	TI32CR_2	-	-	-	-	CCLR	-	CKS1	CKS0
	TI32SR	CH2F	-	-	-	CH1UF	CH1DF	CH0UF	CH0DF
	TI32IER	CH2IE	-	-	-	CH1UIE	CH1DIE	CH0UIE	CH0DIE

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
TIM32C	TI32CNT8_0	TI32CNT8_0 [7]	TI32CNT8_0 [6]	TI32CNT8_0 [5]	TI32CNT8_0 [4]	TI32CNT8_0 [3]	TI32CNT8_0 [2]	TI32CNT8_0 [1]	TI32CNT8_0 [0]
	TI32CNT8_1	TI32CNT8_1 [7]	TI32CNT8_1 [6]	TI32CNT8_1 [5]	TI32CNT8_1 [4]	TI32CNT8_1 [3]	TI32CNT8_1 [2]	TI32CNT8_1 [1]	TI32CNT8_1 [0]
	TI32CNT16	TI32CNT16 [15]	TI32CNT16 [14]	TI32CNT16 [13]	TI32CNT16 [12]	TI32CNT16 [11]	TI32CNT16 [10]	TI32CNT16 [9]	TI32CNT16 [8]
		TI32CNT16 [7]	TI32CNT16 [6]	TI32CNT16 [5]	TI32CNT16 [4]	TI32CNT16 [3]	TI32CNT16 [2]	TI32CNT16 [1]	TI32CNT16 [0]
	TI32COR_2								
	TI32STR	-	-	-	-	-	CST2	CST1	CST0
	TI32SMR	UP1	DWN1	UP0	DWN0	-	-	-	-
KEYC	KSCR1	DRRST	-	-	-	-	-	-	-
		-	-	-	-	-	KMS	KSE17	KSE16
	KSCR2	KSE15	KSE14	KSE13	KSE12	KSE11	KSE10	KSE9	KSE8
		KSE7	KSE6	KSE5	KSE4	KSE3	KSE2	KSE1	KSE0
	KSFCR	-	-	-	-	-	KSFCR2	KSFCR1	KSFCR0
	KSDR_0	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_1	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_2	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_3	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_4	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_5	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_6	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_7	KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSDR_8	KSDR15	KSDR14	KSDR13	KSDR12	KSDR11	KSDR10	KSDR9	KSDR8
		KSDR7	KSDR6	KSDR5	KSDR4	KSDR3	KSDR2	KSDR1	KSDR0
	KSIEP	-	-	-	-	-	KSIE2	KSIE1	KSIE0
	KSSR	-	-	-	-	-	KSF2	KSF1	KSF0
	KSCCR	-	-	KSOC	KSPC	-	-	OKS1	OKS0
	KSCNT								
KSCSR	-	-	-	-	-	-	-	CST	
ROM/FLD	FPMON	FWE	-	-	-	-	-	-	
	FMODR	-	-	-	FRDMD	-	-	-	
	FASTAT	ROMAE	-	-	CMDLK	EEPAAE	EEPIFE	EEPRPE	EEPWPE
	FAEINT	ROMAEIE	-	-	CMDLKIE	EEPAAEIE	EEPIFEIE	EEPRPEIE	EEPWPEIE
	ROMMAT	KEY							
-		-	-	-	-	-	-	ROMSEL	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ROM/FLD	FCURAME	KEY								
		-	-	-	-	-	-	-	-	FCRME
	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	-	ERSSPD	PRGSPD	
	FSTATR1	FCUERR	-	-	FLOCKST	-	-	-	-	
	FENTRYR	FKEY								
		FENTRYD	-	-	-	-	-	-	-	FENTRY0
	FPROTR	FPKEY								
		-	-	-	-	-	-	-	-	FPROTCN
	FRESETR	FRKEY								
		-	-	-	-	-	-	-	-	FRESET
	FCMDR	CMDR								
		PCMDR								
	FCPSR	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	ESUSPMD
	EEPBCCNT	BCADR								
		BCADR							-	-
	FPESTAT	-	-	-	-	-	-	-	-	-
		PEERRST								
	EEPBCSTAT	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	BCST
	EEPWE0	KEY								
		-	-	-	-	-	DBRE03	DBRE02	DBRE01	DBRE00
	EEPWE0	KEY								
-		-	-	-	-	DBWE03	DBWE02	DBWE01	DBWE00	
PCKAR	-	-	-	-	-	-	-	-	-	
	PCKA									
FIEBAR	-	-	-	-	-	-	-	-	-	
	FIEBAR[7:0]									
低消費電力	STBCR	STBY	-	-	-	-	-	-	-	
モード	STBCR2	MSTP27	MSTP26	MSTP25	MSTP24	-	-	MSTP21	-	
	STBCR3	HIZ	MSTP36	MSTP35	-	MSTP33	MSTP32	MSTP31	MSTP30	
	STBCR4	MSTP47	MSTP46	MSTP45	MSTP44	-	MSTP42	MSTP41	-	
	STBCR5	MSTP57	MSTP56	MSTP55	MSTP54	MSTP53	MSTP52	MSTP51	MSTP50	
	STBCR6	MSTP67	-	-	-	-	-	-	-	
	STBCR7	MSTP77	MSTP76	MSTP75	MSTP74	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
低消費電力 モード	SYSCR1	-	-	-	-	RAME3	RAME2	RAME1	RAME0	
	SYSCR2	-	-	-	-	RAMWE3	RAMWE2	RAMWE1	RAMWE0	
	DPSTBCR	DPSTBY	-	-	-	-	RAMCUT2	RAMCUT1	RAMCUT0	
	DPSWCR	WTSEL	WTSTS6	WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0	
	SIER	-	-	-	DKEYCE	DTIM32CE	-	DIRQ9E	DIRQ8E	
		DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E	
	SIFR	DNMIF	-	-	-	SSRF	-	DIRQ9F	DIRQ8F	
		DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F	
	DPSIEGR	DNMIEG	-	-	-	-	-	DIRQ9EG	DIRQ8EG	
		DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG	
	RSTSR	DPSRSTF	-	-	-	-	-	-	-	
	H-UDI	SDIR	T17	T16	T15	T14	T13	T12	T11	T10
			-	-	-	-	-	-	-	-
SDID		SDID31	SDID30	SDID29	SDID28	SDID27	SDID26	SDID25	SDID24	
		SDID23	SDID22	SDID21	SDID20	SDID19	SDID18	SDID17	SDID16	
		SDID15	SDID14	SDID13	SDID12	SDID11	SDID10	SDID9	SDID8	
		SDID7	SDID6	SDID5	SDID4	SDID3	SDID2	SDID1	SDID0	

34.3 各動作モードにおけるレジスタの状態の一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
CPG	FRQCR	初期化* ¹	保持	保持	初期化	-	保持
	MCLKCR	初期化* ¹	保持	保持	初期化	-	保持
	ACLKCR	初期化* ¹	保持	保持	初期化	-	保持
	OSCCR	初期化	保持	保持	初期化	-	保持
INTC	ICR0	初期化 (NMIL 以外)	保持	保持	初期化	-	保持
	ICR1	初期化	保持	保持	初期化	-	保持
	ICR2	初期化	保持	保持	初期化	-	保持
	ICR3	初期化	保持	保持	初期化	-	保持
	IRQRR0	初期化	保持	保持	初期化	-	保持
	IRQRR1	初期化	保持	保持	初期化	-	保持
	IBCR	初期化	保持	保持	初期化	-	保持
	IBNR	初期化	保持* ²	保持	初期化	-	保持
	IPR01	初期化	保持	保持	初期化	-	保持
	IPR02	初期化	保持	保持	初期化	-	保持
	IPR03	初期化	保持	保持	初期化	-	保持
	IPR04	初期化	保持	保持	初期化	-	保持
	IPR06	初期化	保持	保持	初期化	-	保持
	IPR08	初期化	保持	保持	初期化	-	保持
	IPR09	初期化	保持	保持	初期化	-	保持
	IPR10	初期化	保持	保持	初期化	-	保持
	IPR11	初期化	保持	保持	初期化	-	保持
	IPR12	初期化	保持	保持	初期化	-	保持
	IPR13	初期化	保持	保持	初期化	-	保持
	IPR14	初期化	保持	保持	初期化	-	保持
IPR15	初期化	保持	保持	初期化	-	保持	
IPR16	初期化	保持	保持	初期化	-	保持	
IPR17	初期化	保持	保持	初期化	-	保持	
IPR18	初期化	保持	保持	初期化	-	保持	
UBC	BAR_0	初期化	保持	保持	初期化	保持	保持
	BAMR_0	初期化	保持	保持	初期化	保持	保持
	BBR_0	初期化	保持	保持	初期化	保持	保持
	BAR_1	初期化	保持	保持	初期化	保持	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
UBC	BAMR_1	初期化	保持	保持	初期化	保持	保持
	BBR_1	初期化	保持	保持	初期化	保持	保持
	BAR_2	初期化	保持	保持	初期化	保持	保持
	BBR_2	初期化	保持	保持	初期化	保持	保持
	BAR_3	初期化	保持	保持	初期化	保持	保持
	BBR_3	初期化	保持	保持	初期化	保持	保持
	BAR_4	初期化	保持	保持	初期化	保持	保持
	BBR_4	初期化	保持	保持	初期化	保持	保持
	BAR_5	初期化	保持	保持	初期化	保持	保持
	BBR_5	初期化	保持	保持	初期化	保持	保持
	BAR_6	初期化	保持	保持	初期化	保持	保持
	BBR_6	初期化	保持	保持	初期化	保持	保持
	BAR_7	初期化	保持	保持	初期化	保持	保持
	BBR_7	初期化	保持	保持	初期化	保持	保持
BRCR	初期化	保持	保持	初期化	保持	保持	
DTC	DTCERA	初期化	保持	保持	初期化	保持	保持
	DTCERB	初期化	保持	保持	初期化	保持	保持
	DTCERC	初期化	保持	保持	初期化	保持	保持
	DTCERD	初期化	保持	保持	初期化	保持	保持
	DTCERE	初期化	保持	保持	初期化	保持	保持
	DTCERF	初期化	保持	保持	初期化	保持	保持
	DTCERG	初期化	保持	保持	初期化	保持	保持
	DTCCR	初期化	保持	保持	初期化	保持	保持
	DTCVBR	初期化	保持	保持	初期化	保持	保持
BSC	CMNCR	初期化	保持	保持	初期化	-	保持
	CS0BCR	初期化	保持	保持	初期化	-	保持
	CS1BCR	初期化	保持	保持	初期化	-	保持
	CS2BCR	初期化	保持	保持	初期化	-	保持
	CS3BCR	初期化	保持	保持	初期化	-	保持
	CS4BCR	初期化	保持	保持	初期化	-	保持
	CS5BCR	初期化	保持	保持	初期化	-	保持
	CS6BCR	初期化	保持	保持	初期化	-	保持
	CS7BCR	初期化	保持	保持	初期化	-	保持
	CS0WCR	初期化	保持	保持	初期化	-	保持
	CS1WCR	初期化	保持	保持	初期化	-	保持
	CS2WCR	初期化	保持	保持	初期化	-	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
BSC	CS3WCR	初期化	保持	保持	初期化	-	保持
	CS4WCR	初期化	保持	保持	初期化	-	保持
	CS5WCR	初期化	保持	保持	初期化	-	保持
	CS6WCR	初期化	保持	保持	初期化	-	保持
	CS7WCR	初期化	保持	保持	初期化	-	保持
	SDCR	初期化	保持	保持	初期化	-	保持
	RTCSR	初期化	保持	保持	初期化	-	保持
	RTCNT	初期化	保持	保持	初期化	-	保持
	RTCOR	初期化	保持	保持	初期化	-	保持
DMAC	BSCEHR	初期化	保持	保持	初期化	-	保持
	SAR_0	初期化	保持	保持	初期化	保持	保持
	DAR_0	初期化	保持	保持	初期化	保持	保持
	DMATCR_0	初期化	保持	保持	初期化	保持	保持
	CHCR_0	初期化	保持	保持	初期化	保持	保持
	RSAR_0	初期化	保持	保持	初期化	保持	保持
	RDAR_0	初期化	保持	保持	初期化	保持	保持
	RDMATCR_0	初期化	保持	保持	初期化	保持	保持
	SAR_1	初期化	保持	保持	初期化	保持	保持
	DAR_1	初期化	保持	保持	初期化	保持	保持
	DMATCR_1	初期化	保持	保持	初期化	保持	保持
	CHCR_1	初期化	保持	保持	初期化	保持	保持
	RSAR_1	初期化	保持	保持	初期化	保持	保持
	RDAR_1	初期化	保持	保持	初期化	保持	保持
	RDMATCR_1	初期化	保持	保持	初期化	保持	保持
	SAR_2	初期化	保持	保持	初期化	保持	保持
	DAR_2	初期化	保持	保持	初期化	保持	保持
	DMATCR_2	初期化	保持	保持	初期化	保持	保持
	CHCR_2	初期化	保持	保持	初期化	保持	保持
	RSAR_2	初期化	保持	保持	初期化	保持	保持
	RDAR_2	初期化	保持	保持	初期化	保持	保持
	RDMATCR_2	初期化	保持	保持	初期化	保持	保持
	SAR_3	初期化	保持	保持	初期化	保持	保持
	DAR_3	初期化	保持	保持	初期化	保持	保持
DMATCR_3	初期化	保持	保持	初期化	保持	保持	
CHCR_3	初期化	保持	保持	初期化	保持	保持	
RSAR_3	初期化	保持	保持	初期化	保持	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
DMAC	RDAR_3	初期化	保持	保持	初期化	保持	保持
	RDMATCR_3	初期化	保持	保持	初期化	保持	保持
	DMAOR	初期化	保持	保持	初期化	保持	保持
	DMARS0	初期化	保持	保持	初期化	保持	保持
	DMARS1	初期化	保持	保持	初期化	保持	保持
MTU2	TCR_0	初期化	保持	保持	初期化	初期化	保持
	TMDR_0	初期化	保持	保持	初期化	初期化	保持
	TIORH_0	初期化	保持	保持	初期化	初期化	保持
	TIORL_0	初期化	保持	保持	初期化	初期化	保持
	TIER_0	初期化	保持	保持	初期化	初期化	保持
	TSR_0	初期化	保持	保持	初期化	初期化	保持
	TCNT_0	初期化	保持	保持	初期化	初期化	保持
	TGRA_0	初期化	保持	保持	初期化	初期化	保持
	TGRB_0	初期化	保持	保持	初期化	初期化	保持
	TGRC_0	初期化	保持	保持	初期化	初期化	保持
	TGRD_0	初期化	保持	保持	初期化	初期化	保持
	TGRE_0	初期化	保持	保持	初期化	初期化	保持
	TGRF_0	初期化	保持	保持	初期化	初期化	保持
	TIER2_0	初期化	保持	保持	初期化	初期化	保持
	TSR2_0	初期化	保持	保持	初期化	初期化	保持
	TBTM_0	初期化	保持	保持	初期化	初期化	保持
	TCR_1	初期化	保持	保持	初期化	初期化	保持
	TMDR_1	初期化	保持	保持	初期化	初期化	保持
	TIOR_1	初期化	保持	保持	初期化	初期化	保持
	TIER_1	初期化	保持	保持	初期化	初期化	保持
	TSR_1	初期化	保持	保持	初期化	初期化	保持
	TCNT_1	初期化	保持	保持	初期化	初期化	保持
	TGRA_1	初期化	保持	保持	初期化	初期化	保持
	TGRB_1	初期化	保持	保持	初期化	初期化	保持
	TICCR	初期化	保持	保持	初期化	初期化	保持
	TCR_2	初期化	保持	保持	初期化	初期化	保持
	TMDR_2	初期化	保持	保持	初期化	初期化	保持
	TIOR_2	初期化	保持	保持	初期化	初期化	保持
TIER_2	初期化	保持	保持	初期化	初期化	保持	
TSR_2	初期化	保持	保持	初期化	初期化	保持	
TCNT_2	初期化	保持	保持	初期化	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2	TGRA_2	初期化	保持	保持	初期化	初期化	保持
	TGRB_2	初期化	保持	保持	初期化	初期化	保持
	TCR_3	初期化	保持	保持	初期化	初期化	保持
	TMDR_3	初期化	保持	保持	初期化	初期化	保持
	TIORH_3	初期化	保持	保持	初期化	初期化	保持
	TIORL_3	初期化	保持	保持	初期化	初期化	保持
	TIER_3	初期化	保持	保持	初期化	初期化	保持
	TSR_3	初期化	保持	保持	初期化	初期化	保持
	TCNT_3	初期化	保持	保持	初期化	初期化	保持
	TGRA_3	初期化	保持	保持	初期化	初期化	保持
	TGRB_3	初期化	保持	保持	初期化	初期化	保持
	TGRC_3	初期化	保持	保持	初期化	初期化	保持
	TGRD_3	初期化	保持	保持	初期化	初期化	保持
	TBTM_3	初期化	保持	保持	初期化	初期化	保持
	TCR_4	初期化	保持	保持	初期化	初期化	保持
	TMDR_4	初期化	保持	保持	初期化	初期化	保持
	TIORH_4	初期化	保持	保持	初期化	初期化	保持
	TIORL_4	初期化	保持	保持	初期化	初期化	保持
	TIER_4	初期化	保持	保持	初期化	初期化	保持
	TSR_4	初期化	保持	保持	初期化	初期化	保持
	TCNT_4	初期化	保持	保持	初期化	初期化	保持
	TGRA_4	初期化	保持	保持	初期化	初期化	保持
	TGRB_4	初期化	保持	保持	初期化	初期化	保持
	TGRC_4	初期化	保持	保持	初期化	初期化	保持
	TGRD_4	初期化	保持	保持	初期化	初期化	保持
	TBTM_4	初期化	保持	保持	初期化	初期化	保持
	TADCR	初期化	保持	保持	初期化	初期化	保持
	TADCORA_4	初期化	保持	保持	初期化	初期化	保持
	TADCORB_4	初期化	保持	保持	初期化	初期化	保持
	TADCOBRA_4	初期化	保持	保持	初期化	初期化	保持
	TADCOBRB_4	初期化	保持	保持	初期化	初期化	保持
	TCRU_5	初期化	保持	保持	初期化	初期化	保持
TCRV_5	初期化	保持	保持	初期化	初期化	保持	
TCRW_5	初期化	保持	保持	初期化	初期化	保持	
TIORU_5	初期化	保持	保持	初期化	初期化	保持	
TIORV_5	初期化	保持	保持	初期化	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2	TIORW_5	初期化	保持	保持	初期化	初期化	保持
	TIER_5	初期化	保持	保持	初期化	初期化	保持
	TSR_5	初期化	保持	保持	初期化	初期化	保持
	TSTR_5	初期化	保持	保持	初期化	初期化	保持
	TCNTU_5	初期化	保持	保持	初期化	初期化	保持
	TCNTV_5	初期化	保持	保持	初期化	初期化	保持
	TCNTW_5	初期化	保持	保持	初期化	初期化	保持
	TGRU_5	初期化	保持	保持	初期化	初期化	保持
	TGRV_5	初期化	保持	保持	初期化	初期化	保持
	TGRW_5	初期化	保持	保持	初期化	初期化	保持
	TCNTCMPCLR	初期化	保持	保持	初期化	初期化	保持
	TSTR	初期化	保持	保持	初期化	初期化	保持
	TSYR	初期化	保持	保持	初期化	初期化	保持
	TCSYSTR	初期化	保持	保持	初期化	初期化	保持
	TRWER	初期化	保持	保持	初期化	初期化	保持
	TOER	初期化	保持	保持	初期化	初期化	保持
	TOCR1	初期化	保持	保持	初期化	初期化	保持
	TOCR2	初期化	保持	保持	初期化	初期化	保持
	TGCR	初期化	保持	保持	初期化	初期化	保持
	TCDR	初期化	保持	保持	初期化	初期化	保持
	TDDR	初期化	保持	保持	初期化	初期化	保持
	TCNTS	初期化	保持	保持	初期化	初期化	保持
	TCBR	初期化	保持	保持	初期化	初期化	保持
	TITCR	初期化	保持	保持	初期化	初期化	保持
	TITCNT	初期化	保持	保持	初期化	初期化	保持
	TBTER	初期化	保持	保持	初期化	初期化	保持
TDER	初期化	保持	保持	初期化	初期化	保持	
TWCR	初期化	保持	保持	初期化	初期化	保持	
TOLBR	初期化	保持	保持	初期化	初期化	保持	
MTU2S	TCR_3S	初期化	保持	保持	初期化	初期化	保持
	TMDR_3S	初期化	保持	保持	初期化	初期化	保持
	TIORH_3S	初期化	保持	保持	初期化	初期化	保持
	TIORL_3S	初期化	保持	保持	初期化	初期化	保持
	TIER_3S	初期化	保持	保持	初期化	初期化	保持
	TSR_3S	初期化	保持	保持	初期化	初期化	保持
	TCNT_3S	初期化	保持	保持	初期化	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2S	TGRA_3S	初期化	保持	保持	初期化	初期化	保持
	TGRB_3S	初期化	保持	保持	初期化	初期化	保持
	TGRC_3S	初期化	保持	保持	初期化	初期化	保持
	TGRD_3S	初期化	保持	保持	初期化	初期化	保持
	TBTM_3S	初期化	保持	保持	初期化	初期化	保持
	TCR_4S	初期化	保持	保持	初期化	初期化	保持
	TMDR_4S	初期化	保持	保持	初期化	初期化	保持
	TIORH_4S	初期化	保持	保持	初期化	初期化	保持
	TIORL_4S	初期化	保持	保持	初期化	初期化	保持
	TIER_4S	初期化	保持	保持	初期化	初期化	保持
	TSR_4S	初期化	保持	保持	初期化	初期化	保持
	TCNT_4S	初期化	保持	保持	初期化	初期化	保持
	TGRA_4S	初期化	保持	保持	初期化	初期化	保持
	TGRB_4S	初期化	保持	保持	初期化	初期化	保持
	TGRC_4S	初期化	保持	保持	初期化	初期化	保持
	TGRD_4S	初期化	保持	保持	初期化	初期化	保持
	TBTM_4S	初期化	保持	保持	初期化	初期化	保持
	TADCRS	初期化	保持	保持	初期化	初期化	保持
	TADCORA_4S	初期化	保持	保持	初期化	初期化	保持
	TADCORB_4S	初期化	保持	保持	初期化	初期化	保持
	TADCOBRA_4S	初期化	保持	保持	初期化	初期化	保持
	TADCOBRB_4S	初期化	保持	保持	初期化	初期化	保持
	TCRU_5S	初期化	保持	保持	初期化	初期化	保持
	TCRV_5S	初期化	保持	保持	初期化	初期化	保持
	TCRW_5S	初期化	保持	保持	初期化	初期化	保持
	TIORV_5S	初期化	保持	保持	初期化	初期化	保持
	TIORW_5S	初期化	保持	保持	初期化	初期化	保持
	TIER_5S	初期化	保持	保持	初期化	初期化	保持
	TSR_5S	初期化	保持	保持	初期化	初期化	保持
	TSTR_5S	初期化	保持	保持	初期化	初期化	保持
	TCNTU_5S	初期化	保持	保持	初期化	初期化	保持
	TCNTV_5S	初期化	保持	保持	初期化	初期化	保持
	TCNTW_5S	初期化	保持	保持	初期化	初期化	保持
TGRU_5S	初期化	保持	保持	初期化	初期化	保持	
TGRV_5S	初期化	保持	保持	初期化	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2S	TGRW_5S	初期化	保持	保持	初期化	初期化	保持
	TCNTCMPCLRS	初期化	保持	保持	初期化	初期化	保持
	TSTRS	初期化	保持	保持	初期化	初期化	保持
	TSYRS	初期化	保持	保持	初期化	初期化	保持
	TRWERS	初期化	保持	保持	初期化	初期化	保持
	TOERS	初期化	保持	保持	初期化	初期化	保持
	TOCR1S	初期化	保持	保持	初期化	初期化	保持
	TOCR2S	初期化	保持	保持	初期化	初期化	保持
	TGCRS	初期化	保持	保持	初期化	初期化	保持
	TCDRS	初期化	保持	保持	初期化	初期化	保持
	TDDRS	初期化	保持	保持	初期化	初期化	保持
	TCNTSS	初期化	保持	保持	初期化	初期化	保持
	TCBRS	初期化	保持	保持	初期化	初期化	保持
	TITCRS	初期化	保持	保持	初期化	初期化	保持
	TITCNTS	初期化	保持	保持	初期化	初期化	保持
	TBTERS	初期化	保持	保持	初期化	初期化	保持
	TDERS	初期化	保持	保持	初期化	初期化	保持
	TSYCRS	初期化	保持	保持	初期化	初期化	保持
TWCRS	初期化	保持	保持	初期化	初期化	保持	
TOLBRS	初期化	保持	保持	初期化	初期化	保持	
POE2	ICSR1	初期化	保持	保持	初期化	-	保持
	OCSR1	初期化	保持	保持	初期化	-	保持
	ICSR2	初期化	保持	保持	初期化	-	保持
	OCSR2	初期化	保持	保持	初期化	-	保持
	ICSR3	初期化	保持	保持	初期化	-	保持
	SPOER	初期化	保持	保持	初期化	-	保持
	POECR1	初期化	保持	保持	初期化	-	保持
	POECR2	初期化	保持	保持	初期化	-	保持
CMT	CMSTR	初期化	保持	保持	初期化	初期化	保持
	CMCSR_0	初期化	保持	保持	初期化	初期化	保持
	CMCNT_0	初期化	保持	保持	初期化	初期化	保持
	CMCOR_0	初期化	保持	保持	初期化	初期化	保持
	CMCSR_1	初期化	保持	保持	初期化	初期化	保持
	CMCNT_1	初期化	保持	保持	初期化	初期化	保持
	CMCOR_1	初期化	保持	保持	初期化	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
CMT2	CM2STR	初期化	保持	保持	初期化	初期化	保持
	CM2CR	初期化	保持	保持	初期化	初期化	保持
	CM2IOR	初期化	保持	保持	初期化	初期化	保持
	CM2SR	初期化	保持	保持	初期化	初期化	保持
	CM2CNT	初期化	保持	保持	初期化	初期化	保持
	CM2COR	初期化	保持	保持	初期化	初期化	保持
	CM2ICR0	初期化	保持	保持	初期化	初期化	保持
	CM2ICR1	初期化	保持	保持	初期化	初期化	保持
	CM2OCR0	初期化	保持	保持	初期化	初期化	保持
	CM2OCR1	初期化	保持	保持	初期化	初期化	保持
WDT	WTCSR	初期化* ¹	保持	保持	初期化	-	保持
	WTCNT	初期化* ¹	保持	保持	初期化	-	保持
	WRCSR	初期化* ¹	保持	保持	初期化	-	保持
SCI (チャンネル0)	SCSMR_0	初期化	保持	保持	初期化	初期化	保持
	SCBRR_0	初期化	保持	保持	初期化	初期化	保持
	SCSCR_0	初期化	保持	保持	初期化	初期化	保持
	SCTDR_0	初期化	保持	保持	初期化	初期化	保持
	SCSSR_0	初期化	保持	保持	初期化	初期化	保持
	SCRDR_0	初期化	保持	保持	初期化	初期化	保持
	SCSDCR_0	初期化	保持	保持	初期化	初期化	保持
	SCSPTR_0	初期化	保持	保持	初期化	初期化	保持
	SCSMR2_0	初期化	保持	保持	初期化	初期化	保持
	SCTBACNT_0	初期化	保持	保持	初期化	初期化	保持
	SCRBACNT_0	初期化	保持	保持	初期化	初期化	保持
SCBACOR_0	初期化	保持	保持	初期化	初期化	保持	
SCI (チャンネル1)	SCSMR_1	初期化	保持	保持	初期化	初期化	保持
	SCBRR_1	初期化	保持	保持	初期化	初期化	保持
	SCSCR_1	初期化	保持	保持	初期化	初期化	保持
	SCTDR_1	初期化	保持	保持	初期化	初期化	保持
	SCSSR_1	初期化	保持	保持	初期化	初期化	保持
	SCRDR_1	初期化	保持	保持	初期化	初期化	保持
	SCSDCR_1	初期化	保持	保持	初期化	初期化	保持
	SCSPTR_1	初期化	保持	保持	初期化	初期化	保持
	SCSMR2_1	初期化	保持	保持	初期化	初期化	保持
SCTBACNT_1	初期化	保持	保持	初期化	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCI (チャンネル1)	SCRBACNT_1	初期化	保持	保持	初期化	初期化	保持
	SCBACOR_1	初期化	保持	保持	初期化	初期化	保持
SCI (チャンネル2)	SCSMR_2	初期化	保持	保持	初期化	初期化	保持
	SCBRR_2	初期化	保持	保持	初期化	初期化	保持
	SCSCR_2	初期化	保持	保持	初期化	初期化	保持
	SCTDR_2	初期化	保持	保持	初期化	初期化	保持
	SCSSR_2	初期化	保持	保持	初期化	初期化	保持
	SCRDR_2	初期化	保持	保持	初期化	初期化	保持
	SCSDCR_2	初期化	保持	保持	初期化	初期化	保持
	SCSPTR_2	初期化	保持	保持	初期化	初期化	保持
	SCSMR2_2	初期化	保持	保持	初期化	初期化	保持
	SCTBACNT_2	初期化	保持	保持	初期化	初期化	保持
	SCRBACNT_2	初期化	保持	保持	初期化	初期化	保持
	SCBACOR_2	初期化	保持	保持	初期化	初期化	保持
SCI (チャンネル3)	SCSMR_3	初期化	保持	保持	初期化	初期化	保持
	SCBRR_3	初期化	保持	保持	初期化	初期化	保持
	SCSCR_3	初期化	保持	保持	初期化	初期化	保持
	SCTDR_3	初期化	保持	保持	初期化	初期化	保持
	SCSSR_3	初期化	保持	保持	初期化	初期化	保持
	SCRDR_3	初期化	保持	保持	初期化	初期化	保持
	SCSDCR_3	初期化	保持	保持	初期化	初期化	保持
	SCSPTR_3	初期化	保持	保持	初期化	初期化	保持
	SCSMR2_3	初期化	保持	保持	初期化	初期化	保持
	SCTBACNT_3	初期化	保持	保持	初期化	初期化	保持
	SCRBACNT_3	初期化	保持	保持	初期化	初期化	保持
	SCBACOR_3	初期化	保持	保持	初期化	初期化	保持
SCIF (チャンネル4)	SCSMR_4	初期化	保持	保持	初期化	保持	保持
	SCBRR_4	初期化	保持	保持	初期化	保持	保持
	SCSCR_4	初期化	保持	保持	初期化	保持	保持
	SCFTDR_4	不定	保持	保持	不定	保持	保持
	SCFSR_4	初期化	保持	保持	初期化	保持	保持
	SCFRDR_4	不定	保持	保持	不定	保持	保持
	SCFCR_4	初期化	保持	保持	初期化	保持	保持
	SCFDR_4	初期化	保持	保持	初期化	保持	保持
	SCSPTR_4	初期化	保持	保持	初期化	保持	保持
	SCLSR_4	初期化	保持	保持	初期化	保持	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCIF (チャンネル4)	SCSDCR_4	初期化	保持	保持	初期化	保持	保持
	SCFTCR_4	初期化	保持	保持	初期化	保持	保持
SCIF (チャンネル5)	SCSMR_5	初期化	保持	保持	初期化	保持	保持
	SCBRR_5	初期化	保持	保持	初期化	保持	保持
	SCSCR_5	初期化	保持	保持	初期化	保持	保持
	SCFTDR_5	不定	保持	保持	不定	保持	保持
	SCFSR_5	初期化	保持	保持	初期化	保持	保持
	SCFRDR_5	不定	保持	保持	不定	保持	保持
	SCFCR_5	初期化	保持	保持	初期化	保持	保持
	SCFDR_5	初期化	保持	保持	初期化	保持	保持
	SCSPTR_5	初期化	保持	保持	初期化	保持	保持
	SCLSR_5	初期化	保持	保持	初期化	保持	保持
	SCSDCR_5	初期化	保持	保持	初期化	保持	保持
	SCFTCR_5	初期化	保持	保持	初期化	保持	保持
SCIF (チャンネル6)	SCSMR_6	初期化	保持	保持	初期化	保持	保持
	SCBRR_6	初期化	保持	保持	初期化	保持	保持
	SCSCR_6	初期化	保持	保持	初期化	保持	保持
	SCFTDR_6	不定	保持	保持	不定	保持	保持
	SCFSR_6	初期化	保持	保持	初期化	保持	保持
	SCFRDR_6	不定	保持	保持	不定	保持	保持
	SCFCR_6	初期化	保持	保持	初期化	保持	保持
	SCFDR_6	初期化	保持	保持	初期化	保持	保持
	SCSPTR_6	初期化	保持	保持	初期化	保持	保持
	SCLSR_6	初期化	保持	保持	初期化	保持	保持
	SCSDCR_6	初期化	保持	保持	初期化	保持	保持
	SCFTCR_6	初期化	保持	保持	初期化	保持	保持
SCIF (チャンネル7)	SCSMR_7	初期化	保持	保持	初期化	保持	保持
	SCBRR_7	初期化	保持	保持	初期化	保持	保持
	SCSCR_7	初期化	保持	保持	初期化	保持	保持
	SCFTDR_7	不定	保持	保持	不定	保持	保持
	SCFSR_7	初期化	保持	保持	初期化	保持	保持
	SCFRDR_7	不定	保持	保持	不定	保持	保持
	SCFCR_7	初期化	保持	保持	初期化	保持	保持
	SCFDR_7	初期化	保持	保持	初期化	保持	保持
	SCSPTR_7	初期化	保持	保持	初期化	保持	保持
	SCLSR_7	初期化	保持	保持	初期化	保持	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCIF (チャンネル7)	SCSDCR_7	初期化	保持	保持	初期化	保持	保持
	SCFTCR_7	初期化	保持	保持	初期化	保持	保持
IIC3	ICCR1	初期化	保持	保持	初期化	保持	保持
	ICCR2	初期化	保持	保持	初期化	保持	保持
	ICMR	初期化	保持	保持 / 初期化 (bc2 - 0)	初期化	保持 / 初期化 (bc2 - 0)	保持
	ICIER	初期化	保持	保持	初期化	保持	保持
	ICSR	初期化	保持	保持	初期化	保持	保持
	SAR	初期化	保持	保持	初期化	保持	保持
	ICDRT	初期化	保持	保持	初期化	保持	保持
	ICDRR	初期化	保持	保持	初期化	保持	保持
	NF2CYC	初期化	保持	保持	初期化	保持	保持
ADC	ADDR0	初期化	保持	保持	初期化	初期化	保持
	ADDR1	初期化	保持	保持	初期化	初期化	保持
	ADDR2	初期化	保持	保持	初期化	初期化	保持
	ADDR3	初期化	保持	保持	初期化	初期化	保持
	ADDR4	初期化	保持	保持	初期化	初期化	保持
	ADDR5	初期化	保持	保持	初期化	初期化	保持
	ADDR6	初期化	保持	保持	初期化	初期化	保持
	ADDR7	初期化	保持	保持	初期化	初期化	保持
	ADCSR_0	初期化	保持	保持	初期化	初期化	保持
	ADCR_0	初期化	保持	保持	初期化	初期化	保持
	ADDR8	初期化	保持	保持	初期化	初期化	保持
	ADDR9	初期化	保持	保持	初期化	初期化	保持
	ADDR10	初期化	保持	保持	初期化	初期化	保持
	ADDR11	初期化	保持	保持	初期化	初期化	保持
	ADDR12	初期化	保持	保持	初期化	初期化	保持
	ADDR13	初期化	保持	保持	初期化	初期化	保持
	ADDR14	初期化	保持	保持	初期化	初期化	保持
	ADDR15	初期化	保持	保持	初期化	初期化	保持
	ADCSR_1	初期化	保持	保持	初期化	初期化	保持
	ADCR_1	初期化	保持	保持	初期化	初期化	保持
	ADSDR	初期化	保持	保持	初期化	初期化	保持
	ADSSR	初期化	保持	保持	初期化	初期化	保持
	ADTSR_0	初期化	保持	保持	初期化	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
PFC	PAIORH	初期化	保持	保持	初期化	-	保持
	PAIORL	初期化	保持	保持	初期化	-	保持
	PACRH1	初期化	保持	保持	初期化	-	保持
	PACRL2	初期化	保持	保持	初期化	-	保持
	PACRL1	初期化	保持	保持	初期化	-	保持
	PAPCRH	初期化	保持	保持	初期化	-	保持
	PAPCRL	初期化	保持	保持	初期化	-	保持
	PBIORL	初期化	保持	保持	初期化	-	保持
	PBCRL2	初期化	保持	保持	初期化	-	保持
	PBCRL1	初期化	保持	保持	初期化	-	保持
	PBPCRL	初期化	保持	保持	初期化	-	保持
	PCIORL	初期化	保持	保持	初期化	-	保持
	PCCRL2	初期化	保持	保持	初期化	-	保持
	PCCRL1	初期化	保持	保持	初期化	-	保持
	PCPCRL	初期化	保持	保持	初期化	-	保持
	PDIORH	初期化	保持	保持	初期化	-	保持
	PDIORL	初期化	保持	保持	初期化	-	保持
	PDCRH2	初期化 ^{*3}	保持	保持	保持	-	保持
	PDCRH1	初期化 ^{*3}	保持	保持	保持	-	保持
	PDCRL2	初期化 ^{*3}	保持	保持	保持	-	保持
	PDCRL1	初期化 ^{*3}	保持	保持	保持	-	保持
	PDPCRH	初期化	保持	保持	初期化	-	保持
	PDPCRL	初期化	保持	保持	初期化	-	保持
	PEIORH	初期化	保持	保持	初期化	-	保持
	PEIORL	初期化	保持	保持	初期化	-	保持
	PECRH1	初期化	保持	保持	初期化	-	保持
	PECRL2	初期化	保持	保持	初期化	-	保持
	PECRL1	初期化	保持	保持	初期化	-	保持
	PEPCRH	初期化	保持	保持	初期化	-	保持
	PEPCRL	初期化	保持	保持	初期化	-	保持
	PGIORL	初期化	保持	保持	初期化	-	保持
	PGCRL1	初期化 ^{*3}	保持	保持	保持	-	保持
PGPCRL	初期化 ^{*3}	保持	保持	保持	-	保持	
PHIORL	初期化	保持	保持	初期化	-	保持	
PHCRL1	初期化	保持	保持	初期化	-	保持	
PHPCRL	初期化	保持	保持	初期化	-	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
PFC	PJIORL	初期化	保持	保持	初期化	-	保持
	PJCRL1	初期化	保持	保持	初期化	-	保持
	PJPCRL	初期化	保持	保持	初期化	-	保持
	PKIORL	初期化	保持	保持	初期化	-	保持
	PKCRL1	初期化	保持	保持	初期化	-	保持
	PKPCRL	初期化	保持	保持	初期化	-	保持
	PLPCRL	初期化	保持	保持	初期化	-	保持
	HCPCR	初期化	保持	保持	初期化	-	保持
	DRVCR	初期化	保持	保持	初期化	-	保持
	PFEXCR	初期化	保持	保持	初期化	-	保持
I/O ポート	PADRH	初期化	保持	保持	初期化	-	保持
	PADRL	初期化	保持	保持	初期化	-	保持
	PAPRH	不定	保持	保持	不定	-	保持
	PAPRL	不定	保持	保持	不定	-	保持
	PBDRL	初期化	保持	保持	初期化	-	保持
	PBPRL	不定	保持	保持	不定	-	保持
	PCDRL	初期化	保持	保持	初期化	-	保持
	PCPRL	不定	保持	保持	不定	-	保持
	PDDRH	初期化	保持	保持	初期化	-	保持
	PDDRL	初期化	保持	保持	初期化	-	保持
	P DPRH	不定	保持	保持	不定	-	保持
	PDPRL	不定	保持	保持	不定	-	保持
	PEDRH	初期化	保持	保持	初期化	-	保持
	PEDRL	初期化	保持	保持	初期化	-	保持
	PEPRH	不定	保持	保持	不定	-	保持
	PEPRL	不定	保持	保持	不定	-	保持
	PFDRL	不定	保持	保持	不定	-	保持
	PGDRL	初期化	保持	保持	初期化	-	保持
	PGPRL	不定	保持	保持	不定	-	保持
	PHDRL	初期化	保持	保持	初期化	-	保持
	PHPRL	不定	保持	保持	不定	-	保持
	PJDRL	初期化	保持	保持	初期化	-	保持
	PJPRL	不定	保持	保持	不定	-	保持
	PKDRL	初期化	保持	保持	初期化	-	保持
PKPRL	不定	保持	保持	不定	-	保持	
PLDRL	不定	保持	保持	不定	-	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
LVDS (SH72315A のみ)	LVFRDR	不定	保持	保持	不定	不定	保持
	LVCR	初期化	保持	保持	初期化	初期化	保持
	LVSR	初期化	保持	保持	初期化	初期化	保持
	LVFCR	初期化	保持	保持	初期化	初期化	保持
	LVFDR	初期化	保持	保持	初期化	初期化	保持
	LVCCR1	初期化	保持	保持	初期化	初期化	保持
	LVCCR2	初期化	保持	保持	初期化	初期化	保持
	LVLCNT	初期化	保持	保持	初期化	初期化	保持
	LVDCNT	初期化	保持	保持	初期化	初期化	保持
RSPI	SPCR	初期化	保持	保持	初期化	初期化	保持
	SSLP	初期化	保持	保持	初期化	初期化	保持
	SPPCR	初期化	保持	保持	初期化	初期化	保持
	SPSR	初期化	保持	保持	初期化	初期化	保持
	SPDR	初期化	保持	保持	初期化	初期化	保持
	SPSCR	初期化	保持	保持	初期化	初期化	保持
	SPSSR	初期化	保持	保持	初期化	初期化	保持
	SPBR	初期化	保持	保持	初期化	初期化	保持
	SPDCR	初期化	保持	保持	初期化	初期化	保持
	SPCKD	初期化	保持	保持	初期化	初期化	保持
	SSLND	初期化	保持	保持	初期化	初期化	保持
	SPND	初期化	保持	保持	初期化	初期化	保持
	SPCMD0	初期化	保持	保持	初期化	初期化	保持
	SPCMD1	初期化	保持	保持	初期化	初期化	保持
	SPCMD2	初期化	保持	保持	初期化	初期化	保持
	SPCMD3	初期化	保持	保持	初期化	初期化	保持
RCAN-ET	MCR	初期化	保持	保持	初期化	初期化	保持
	GSR	初期化	保持	保持	初期化	初期化	保持
	BCR1	初期化	保持	保持	初期化	初期化	保持
	BCR0	初期化	保持	保持	初期化	初期化	保持
	IRR	初期化	保持	保持	初期化	初期化	保持
	IMR	初期化	保持	保持	初期化	初期化	保持
	TEC/REC	初期化	保持	保持	初期化	初期化	保持
	TXPR1、0	初期化	保持	保持	初期化	初期化	保持
	TXCR0	初期化	保持	保持	初期化	初期化	保持
	TXACK0	初期化	保持	保持	初期化	初期化	保持
	ABACK0	初期化	保持	保持	初期化	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	
RCAN-ET	RXPFR0	初期化	保持	保持	初期化	初期化	保持	
	RFPR0	初期化	保持	保持	初期化	初期化	保持	
	MBIMR0	初期化	保持	保持	初期化	初期化	保持	
	UMSR0	初期化	保持	保持	初期化	初期化	保持	
	MB[0]. CONTROL0H	-	保持	-	初期化	-	保持	
	MB[0]. CONTROL0L	-	保持	-	初期化	-	保持	
	MB[0]. LAFMH	-	保持	-	初期化	-	保持	
	MB[0]. LAFML	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[0]	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[1]	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[2]	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[3]	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[4]	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[5]	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[6]	-	保持	-	初期化	-	保持	
	MB[0]. MSG_DATA[7]	-	保持	-	初期化	-	保持	
	MB[0]. CONTROL1H	初期化	保持	保持	初期化	初期化	保持	
	MB[0]. CONTROL1L	初期化	保持	保持	初期化	初期化	保持	
	MB[1].	MB[0]と同じ						
	MB[2].	MB[0]と同じ						
	MB[3].	MB[0]と同じ						
		(繰り返し)						
	MB[13].	MB[0]と同じ						
	MB[14].	MB[0].と同じ						
	MB[15].	MB[0].と同じ						

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
TIM32C	TI32CR_0	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32CR_1	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32CR_2	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32SR	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32IER	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32CNT8_0	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32CNT8_1	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32CNT16	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32COR_2	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32STR	初期化 ^{a3}	保持	保持	保持	保持	保持
	TI32SMR	初期化 ^{a3}	保持	保持	保持	保持	保持
KEYC	KSCR1	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSCR2	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSFCR	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_0	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_1	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_2	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_3	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_4	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_5	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_6	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_7	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSDR_8	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSIER	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSSR	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSCCR	初期化 ^{a3}	保持	保持	保持	初期化	保持
	KSCNT	初期化 ^{a3}	保持	保持	保持	初期化	保持
KSCSR	初期化 ^{a3}	保持	保持	保持	初期化	保持	
ROM/FLD	FPMON	初期化	保持	保持	保持	保持	保持
	FMODR	初期化	保持	保持	保持	保持	保持
	FASTAT	初期化	保持	保持	保持	保持	保持
	FAEINT	初期化	保持	保持	保持	保持	保持
	ROMMAT	初期化	保持	保持	保持	保持	保持
	FCURAME	初期化	保持	保持	保持	保持	保持
	FSTATR0	初期化	保持	保持	保持	保持	保持

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ	モジュールスタンバイ	スリープ
ROM/FLD	FSTATR1	初期化	保持	保持	保持	保持	保持
	FENTRYR	初期化	保持	保持	保持	保持	保持
	FPROTR	初期化	保持	保持	保持	保持	保持
	FRESETR	初期化	保持	保持	保持	保持	保持
	FCMDR	初期化	保持	保持	保持	保持	保持
	FCPSR	初期化	保持	保持	保持	保持	保持
	EEPBCCNT	初期化	保持	保持	保持	保持	保持
	FPESTAT	初期化	保持	保持	保持	保持	保持
	EEPBCSTAT	初期化	保持	保持	保持	保持	保持
	EEPWE0	初期化	保持	保持	保持	保持	保持
	PCKAR	初期化	保持	保持	保持	保持	保持
	FIEBAR	初期化	保持	保持	保持	保持	保持
低消費電力モード	STBCR	初期化	保持	保持	初期化	-	保持
	STBCR2	初期化	保持	保持	初期化	-	保持
	STBCR3	初期化	保持	保持	初期化	-	保持
	STBCR4	初期化	保持	保持	初期化	-	保持
	STBCR5	初期化	保持	保持	初期化	-	保持
	STBCR6	初期化	保持	保持	初期化	-	保持
	STBCR7	初期化 ^{*3}	保持	保持	保持	-	保持
	SYSCR1	初期化	保持	保持	初期化	-	保持
	SYSCR2	初期化	保持	保持	初期化	-	保持
	DPSTBCR	初期化 ^{*3}	保持	保持	保持	-	保持
	DPSWCR	初期化 ^{*3}	保持	保持	保持	-	保持
	SIER	初期化 ^{*3}	保持	保持	保持	-	保持
	SIFR	初期化 ^{*3}	保持	保持	保持	-	保持
	DPSIEGR	初期化 ^{*3}	保持	保持	保持	-	保持
RSTSR	初期化 ^{*3}	保持	保持	保持	-	保持	
H-UDI ^{*4}	SDIR	保持	保持	保持	初期化	保持	保持
	SDID	保持	保持	保持	保持	保持	保持

【注】 *1 WDT による内部パワーオンリセットでは前の値を保持します。

*2 BN3 ~ BN0 ビットは初期化されます。

*3 \overline{RES} のアサートのときにのみ初期化されます。ディープスタンバイ復帰時に発行される内部リセットおよび WDT による内部パワーオンリセットでは初期化されません。

*4 \overline{TRST} のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。

35. 電気的特性

35.1 絶対最大定格

絶対最大定格を表 35.1 に示します。

表 35.1 絶対最大定格

項 目	記号	定格値	単位	
電源電圧	Vcc	- 0.3 ~ + 4.6	V	
	PVcc1	- 0.3 ~ + 4.6	V	
	PVcc2	- 0.3 ~ + 4.6	V	
PLL 電源電圧	PLLVcc	- 0.3 ~ + 4.6	V	
アナログ電源電圧	AVcc	- 0.3 ~ + 4.6	V	
アナログ基準電圧	AVref	- 0.3 ~ AVcc + 0.3	V	
LVDS 電源電圧 (SH72315A のみ)	LVDSVcc	- 0.3 ~ + 4.6	V	
入力電圧	アナログ入力端子	VAN	- 0.3 ~ AVcc + 0.3	V
	Vcc 系入力端子	Vin	- 0.3 ~ Vcc + 0.3	V
	PVcc1 系入力端子		- 0.3 ~ PVcc1 + 0.3	V
	PVcc2 系入力端子		- 0.3 ~ PVcc2 + 0.3	V
	LVDS 入力端子 (SH72315A のみ)		- 0.3 ~ LVDSVcc + 0.3	V
動作温度	民生用途品	Topr	- 20 ~ + 85	
	産業用途品		- 40 ~ + 85	
保存温度	Tstg	- 55 ~ + 125		

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

35.2 電源投入・切断シーケンス

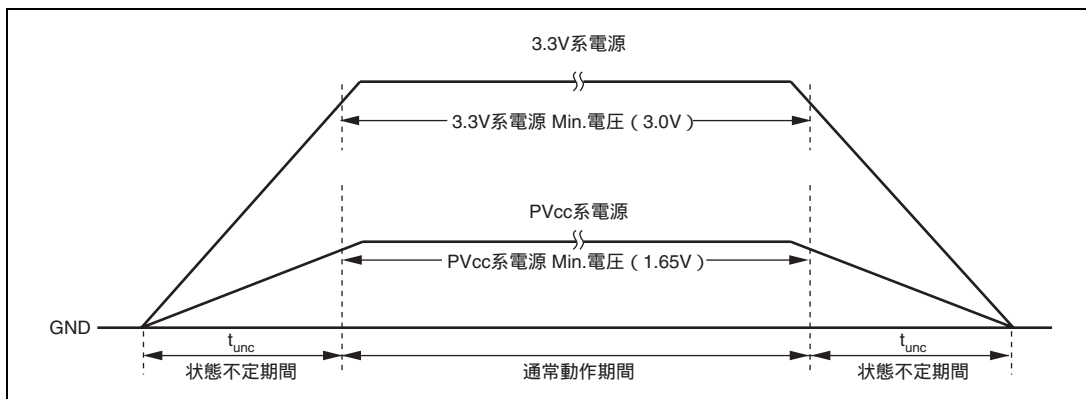


図 35.1 電源投入・切断シーケンス

表 35.2 電源投入・切断時間

項目	記号	Min.	Max.	単位
状態不定期間	t_{unc}	-	100	ms

【注】 3.3V系電源（ V_{cc} 、 PLL_{Vcc} 、 AV_{cc} 、 $LVDS_{Vcc}$ （SH72315Aのみ））とPVcc系電源（ PV_{cc1} 、 PV_{cc2} ）は、できる限り同時に投入および遮断してください。電源投入開始から両方の電源がMin.電圧以上に到達するまで、およびどちらかの電源がMin.電圧以下になってから電圧が0Vになるまでの期間は、状態不定期間となります。この期間は出力端子および入出力端子の端子状態、および内部状態が不定となりますので、この期間ができる限り短くなるように電源回路の設計を行ってください。また、この不定状態によってシステム全体が誤動作を引き起こさないようにシステム設計を行ってください。

35.3 DC 特性

PV_{cc1} ~ PV_{cc2} は、1.65 ~ 1.95V または 3.0 ~ 3.6V の設定が可能です。ただし PV_{cc1} ~ PV_{cc2} を 1.65 ~ 1.95V に設定した場合は、I/Oバッファのドライブ能力大を条件としたスペックになります。I/Oバッファのドライブ能力切り替えに関しては、「22.1.30 I/Oバッファドライブ制御レジスタ（ $DRVCR$ ）」を参照してください。

表 35.3 DC 特性 (1) 【共通項目】

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、

$AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、

$T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Typ.	Max.	単位	測定条件	
電源電圧	V_{cc}	3.0	3.3	3.6	V		
	PV_{cc1}	1.65	1.8	1.95	V		
		3.0	3.3	3.6			
	PV_{cc2}	1.65	1.8	1.95	V		
3.0		3.3	3.6				
PLL 電源電圧	PLL_{Vcc}	3.0	3.3	3.6	V		
アナログ電源電圧	AV_{cc}	3.0	3.3	3.6	V		
LVDS 電源電圧 (SH72315A のみ)	$LVDS_{Vcc}$	3.0	3.3	3.6	V		
消費電流* ¹ (SH72315A)	通常動作時	I_{cc}^{*2}	-	120	160	mA	$I = M = 100MHz$ $B = P = A = 50MHz$ LVDS 受信時
	通常動作時 (FLD 書き込み時)	I_{cc}^{*3}	-	140	200		
	スリープモード時	I_{sleep}^{*2}	-	70	100	mA	
	ソフトウェア スタンバイモード時	I_{stby}^{*2}	-	1.0	10	mA	
			-	0.5	2.5	mA	$T_a \leq 50$
	ディープソフトウェア スタンバイモード時	I_{dstby}^{*2}	-	10	25	μA	$T_a > 50$
			-	50	80	μA	$T_a > 50$ RAM 保持 KEYC/TIM32C 動作
			-	5	10	μA	$T_a \leq 50$
-			30	40	μA	$T_a \leq 50$ RAM 保持 KEYC/TIM32C 動作	
消費電流* ¹ (SH72315L/ SH72314L)	通常動作時	I_{cc}^{*2}	-	115	155	mA	$I = M = 100MHz$ $B = P = A = 50MHz$
	通常動作時 (FLD 書き込み時)	I_{cc}^{*3}	-	135	195		
	スリープモード時	I_{sleep}^{*2}	-	65	95	mA	
	ソフトウェア スタンバイモード時	I_{stby}^{*2}	-	1.0	10	mA	
			-	0.5	2.5	mA	$T_a \leq 50$
	ディープソフトウェア スタンバイモード時	I_{dstby}^{*2}	-	10	25	μA	$T_a > 50$
			-	50	80	μA	$T_a > 50$ RAM 保持 KEYC/TIM32C 動作
			-	5	10	μA	$T_a \leq 50$
-			30	40	μA	$T_a \leq 50$ RAM 保持 KEYC/TIM32C 動作	

項 目		記号	Min.	Typ.	Max.	単位	測定条件	
入力リーク 電流	Vcc 系入力端子	I _{lin} I	-	-	1	μA	Vin = 0.5 ~ Vcc - 0.5V	
	PVcc1 系入力端子 (PJ15 ~ PJ0)						Vin = 0.5 ~ PVcc1 - 0.5V	
	PVcc2 系入力端子 (PK7 ~ PK0)						Vin = 0.5 ~ PVcc2 - 0.5V	
	LVDSVcc 系入力端子						Vin = 0.5 ~ LVDSVcc ~ 0.5V	
スリーステート リーク電流	Vcc 系入出力端子 (オフ状態)	I _{stn} I	-	-	1	μA	Vin = 0.5 ~ Vcc - 0.5V	
	PVcc1 系入出力端子 (PJ15 ~ PJ0) (オフ状態)						Vin = 0.5 ~ PVcc1 - 0.5V	
	PVcc2 系入出力端子(PK7 ~ PK0) (オフ状態)						Vin = 0.5 ~ PVcc2 - 0.5V	
アナログ 電源電流	A/D 変換中	Alcc	-	2	3	mA	A/D 変換モジュール基あ たりの値	
	A/D 変換待機時							μA
	スタンバイ時							μA
アナログ 基準電圧 電流	A/D 変換中	Alref	-	0.2	0.3	mA		
	A/D 変換待機時							μA
	スタンバイ時							μA
LVDS 電源電流 (SH72315A のみ)	受信時	Llcc	-	15	20	mA		
	受信待機時						mA	
	スタンバイ時						μA	
端子容量	全端子	Cin	-	-	20	pF		

【使用上の注意】 A/D 変換器を使用しないときに、AVcc、AVss、AVref 端子を開放しないでください。また、SH72315A の場合、LVDS レシーバを使用しないときに、LVDSVcc、LVDSVss 端子を開放しないでください。

【注】 *1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。

*2 I_{cc}、I_{sleep}、I_{stby}、I_{dstby} は、Vcc、PLLvcc、PVcc1、PVcc2 で消費する電流の合計値です。

*3 参考値。

表 35.3 DC 特性 (2) 【LVDS 関連端子を除く】

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、

$AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、

$T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項 目		記号	Min.	Typ.	Max.	単位	測定条件
入力 High レベル電圧	RES、MRES、NMI、MD1、 MD0、FWE、ASEMD0、 TRST、EXTAL、EXTAL32	V_{IH}	$V_{cc} - 0.5$	-	$V_{cc} + 0.3$	V	
	アナログ兼用端子 (PF15 ~ PF0)		2.2	-	$AV_{cc} + 0.3$	V	
	LVDS 兼用端子 (PL5 ~ PL0) (SH72315A のみ)		2.2	-	$LVDV_{cc} + 0.3$	V	
	PVcc1 系端子 (PJ15 ~ PJ0) (シュミット端子除く)		$PV_{cc1} \times 0.85$	-	$PV_{cc1} + 0.3$	V	$PV_{cc1}=1.65 \sim 1.95V$
			2.2		$PV_{cc1} + 0.3$	V	$PV_{cc1}=3.0 \sim 3.6V$
	PVcc2 系端子 (PK7 ~ PK0) (シュミット端子除く)		$PV_{cc2} \times 0.85$	-	$PV_{cc2} + 0.3$	V	$PV_{cc2}=1.65 \sim 1.95V$
			2.2	-	$PV_{cc2} + 0.3$	V	$PV_{cc2}=3.0 \sim 3.6V$
その他の入力端子 (シュミット端子除く) (SH72315L/SH72314L の場合、 PL5 ~ PL0 を含む)	2.2	-	$V_{cc} + 0.3$	V			
入力 Low レベル電圧	RES、MRES、NMI、MD1、 MD0、FWE、ASEMD0、 TRST、EXTAL、EXTAL32	V_{IL}	- 0.3	-	0.5	V	
	PVcc1 系端子 (PJ15 ~ PJ0) (シュミット端子除く)		- 0.3	-	$PV_{cc1} \times 0.15$	V	$PV_{cc1}=1.65 \sim 1.95V$
			- 0.3	-	0.5	V	$PV_{cc1}=3.0 \sim 3.6V$
	PVcc2 系端子 (PK7 ~ PK0) (シュミット端子除く)		- 0.3	-	$PV_{cc2} \times 0.15$	V	$PV_{cc2}=1.65 \sim 1.95V$
			- 0.3	-	0.5	V	$PV_{cc2}=3.0 \sim 3.6V$
	KEY31 ~ KEY0、P7 ~ P0 端子		- 0.3	-	1.15	V	
その他の入力端子 (シュミット端子除く)	- 0.3	-	0.5	V			

項 目		記号	Min.	Typ.	Max.	単位	測定条件
シュミット トリガ 入力特性*	Vcc 系端子	VT'	Vcc - 0.5	-	-	V	
	PVcc1 系端子 (PJ15 - PJ0)		PVcc1 × 0.85	-	-	V	PVcc1=1.65 ~ 1.95V
			PVcc1 - 0.5	-	-	V	PVcc1=3.0 ~ 3.6V
	PVcc2 系端子 (PK7 ~ PK0)		PVcc2 × 0.85	-	-	V	PVcc2=1.65 ~ 1.95V
		PVcc2 - 0.5	-	-	V	PVcc2=3.0 ~ 3.6V	
	Vcc 系端子	VT	-	-	0.5	V	Vcc 系端子
	PVcc1 系端子 (PJ15 - PJ0)		-	-	PVcc1 × 0.15	V	PVcc1=1.65 ~ 1.95V
			-	-	0.5	V	PVcc1=3.0 ~ 3.6V
	PVcc2 系端子 (PK7 ~ PK0)		-	-	PVcc1 × 0.15	V	PVcc2=1.65 ~ 1.95V
		-	-	0.5	V	PVcc2=3.0 ~ 3.6V	
	Vcc 系端子	VT' - VT	Vcc1 × 0.05	-	-	V	
	PVcc1 系端子 (PJ15 - PJ0)		PVcc1 × 0.02	-	-	V	PVcc1=1.65 ~ 1.95V
PVcc1 × 0.05			-	-	V	PVcc1=3.0 ~ 3.6V	
PVcc2 系端子 (PK7 ~ PK0)	PVcc2 × 0.02		-	-	V	PVcc2=1.65 ~ 1.95V	
	PVcc2 × 0.05	-	-	V	PVcc2=3.0 ~ 3.6V		
出力 High レベル電圧	Vcc 系端子	V _{OH}	2.2	-	-	V	I _{OH} = - 1mA
	PVcc1 系端子 (PJ15 - PJ0)		PVcc1 × 0.85	-	-	V	PVcc1=1.65 ~ 1.95V I _{OH} = - 0.2mA
			2.2	-	-	V	PVcc1=3.0 ~ 3.6V I _{OH} = - 1mA
	PVcc2 系端子 (PK7 ~ PK0)		PVcc2 × 0.85	-	-	V	PVcc2=1.65 ~ 1.95V I _{OH} = - 0.2mA
			2.2	-	-	V	PVcc2=3.0 ~ 3.6V I _{OH} = - 1mA
	TIOC3B、TIOC3D、 TIOC4A ~ TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS ~ TIOC4DS		Vcc - 1.0	-	-	V	Vcc 系端子 I _{OH} = - 5mA

項目		記号	Min.	Typ.	Max.	単位	測定条件
出力 Low レベル電圧	Vcc 系端子	VOL	-	-	0.5	V	I _{OL} = 1.6mA
	PVcc1 系端子 (PJ15 ~ PJ0)		-	-	PVcc1 × 0.15	V	PVcc1=1.65 ~ 1.95V I _{OL} = 0.2mA
			-	-	0.5	V	PVcc1=3.0 ~ 3.6V I _{OL} = 1.6mA
	PVcc2 系端子 (PK7 ~ PK0)		-	-	PVcc2 × 0.15	V	PVcc2=1.65 ~ 1.95V I _{OL} = 0.2mA
			-	-	0.5	V	PVcc2=3.0 ~ 3.6V I _{OL} = 1.6mA
	TIOC3B、TIOC3D、 TIOC4A ~ TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS ~ TIOC4DS		-	-	1.0	V	Vcc 系端子 I _{OL} = 15mA
	SCL、SDA		-	-	0.5	V	I _{OL} = 3mA
			-	-	0.6	V	I _{OL} = 8mA
入力プルアップ MOS 電流	Vcc 系端子 (ポート L 除く)	-I _P	-15	-58	-200	μA	V _{in} = 0V
	PVcc1 系端子 (PJ15 ~ PJ0)		-3	-14	-50	μA	V _{in} = 0V PVcc1=1.65 ~ 1.95V
			-15	-58	-200	μA	V _{in} = 0V PVcc1=3.0 ~ 3.6V
	PVcc2 系端子 (PK7 ~ PK0)		-3	-14	-50	μA	V _{in} = 0V PVcc2=1.65 ~ 1.95V
			-15	-58	-200	μA	V _{in} = 0V PVcc2=3.0 ~ 3.6V
	ポート L		-5	-11	-24	μA	V _{in} = 0V
RAM スタンバイ電圧	V _{RAM}	2.7	-	-	V	V _{cc}	

【注】 * TIOC0A ~ TIOC0D、TIOC1A、TIOC1B、TIOC2A、TIOC2B、TIOC3A ~ TIOC3D、TIOC4A ~ TIOC4D、TIC5U ~ TIC5W、TCLKA ~ TCLKD、TIOC3AS ~ TIOC3DS、TIOC4AS ~ TIOC4DS、TIC5US ~ TIC5WS、 $\overline{POE8}$ ~ $\overline{POE0}$ 、SCK7 ~ SCK0、RxD7 ~ RxD0、IRQ23 ~ IRQ0、SCL、SDA、TIC1、TIC0、KEY31 ~ KEY0、P7 ~ P0、TI3211A、TI3210A、TI3211B、TI3210B、RSPCK0、MISO0、MOSI0、SSL0、CRx0

表 35.3 DC 特性 (3) 【LVDS 関連端子 (SH72315A のみ)】

条件: $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
差動入力電圧振幅	VID	200	350	500	mV	ZL = 100
入力オフセット電圧	VIS	1.0	1.25	1.5	V	
入力しきい値電圧 (High)	VIT+	100	-	-	mV	VIS 基準
入力しきい値電圧 (Low)	VIT-	100	-	-	mV	VIS 基準
内蔵差動入力インピーダンス抵抗	ZL	75	100	125		
内蔵プリアップ抵抗	RP	150	400	600	k	

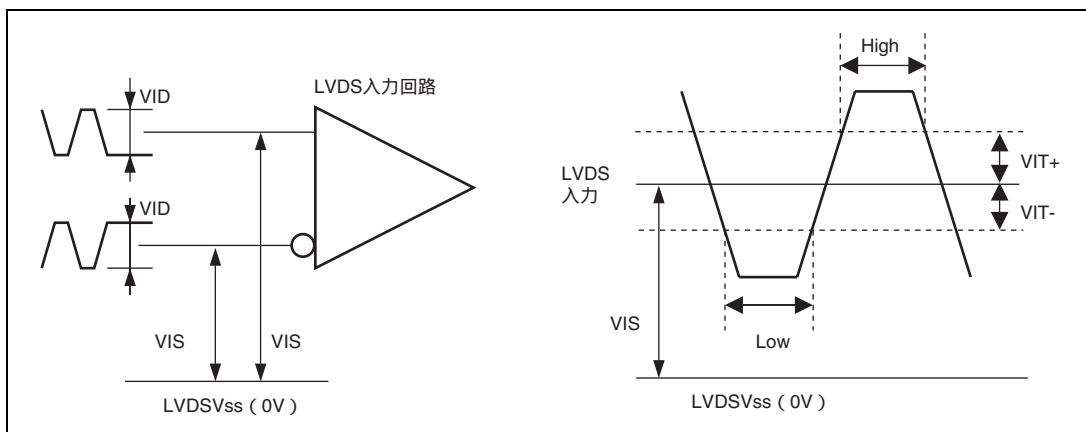


図 35.2 LVDS 受信 DC 特性

表 35.4 出力許容電流値

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項 目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1 端子当たり)	I_{OL}	-	-	2*	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	-	-	80	mA
出力ハイレベル許容電流 (1 端子当たり)	$-I_{OH}$	-	-	2	mA
出力ハイレベル許容電流 (総和)	$\Sigma -I_{OH}$	-	-	25	mA

【注】 * V_{cc} 系の TIOC3B、TIOC3D、TIOC4A ~ TIOC4D、TIOC3BS、TIOC3DS、TIOC4AS ~ TIOC4DS は $I_{OL} = 15mA$ (Max) / $-I_{OH} = 5mA$ (Max)、SCL、SDA は $I_{OL} = 8mA$ (Max)。ただし、これらの端子のうち同等に 2.0mA を超えて $I_{OL}/-I_{OH}$ を流すものは 3 本以内にしてください。

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 35.4 の値を超えないようにしてください。

35.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。PVcc1 ~ PVcc2 は、1.65 ~ 1.95V または 3.0 ~ 3.6V の設定が可能です。ただし PVcc1 ~ PVcc2 を 1.65 ~ 1.95V に設定した場合は、I/O バッファのドライブ能力大を条件としたスペックになります。

I/O バッファのドライブ能力切り替えに関しては、「22.1.30 I/O バッファドライブ制御レジスタ (DRVCR)」を参照してください。

表 35.5 最大動作周波数

条件：Vcc=PLLvcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、
AVref=3.0 ~ AVcc、Vss=PLLvss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、
Ta = - 20 ~ + 85 (民生用途品)、Ta = - 40 ~ + 85 (産業用途品)

項目	記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU (I)	5	-	100	MHz	
	内部バス、外部バス (B)	5	-	50		
	周辺モジュール (P)	5	-	50		
	MTU2S (M)	5	-	100		
	AD (A)	5	-	50		

35.4.1 クロックタイミング

表 35.6 クロックタイミング

条件：Vcc=PLLvcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、

AVref=3.0 ~ AVcc、Vss=PLLvss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20 ~ +85 (民生用途品)、Ta = -40 ~ +85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	fEX	10	12.5	MHz	35.3
EXTAL クロック入力サイクル時間	tEXcyc	80	100	ns	
EXTAL クロック入力 Low レベルパルス幅	tEXL	20	-	ns	
EXTAL クロック入力 High レベルパルス幅	tEXH	20	-	ns	
EXTAL クロック入力立ち上がり時間	tEXr	-	5	ns	
EXTAL クロック入力立ち下がり時間	tEXf	-	5	ns	
CK クロック出力周波数	fOP	5	50	MHz	35.4
CK クロック出力サイクル時間	tcyc	20	200	ns	
CK クロック出力 Low レベルパルス幅	tCKOL	1/2 tcyc - 7.5	-	ns	
CK クロック出力 High レベルパルス幅	tCKOH	1/2 tcyc - 7.5	-	ns	
CK クロック出力立ち上がり時間	tCKOr	-	3	ns	
CK クロック出力立ち下がり時間	tCKOf	-	3	ns	
EXTAL32 クロック入力周波数	fEX32	16	62.5	kHz	35.5
EXTAL32 クロック入力サイクル時間	tEX32cyc	16	62.5	μs	
EXTAL32 クロック入力 Low レベルパルス幅	tEX32L	8	-	μs	
EXTAL32 クロック入力 High レベルパルス幅	tEX32H	8	-	μs	
CK32 クロック出力周波数	tOP32	16	62.5	kHz	35.6
CK32 クロック出力サイクル時間	tcyc32	16	62.5	μs	
CK32 クロック出力 Low レベルパルス幅 (外部クロック使用時)	tCK32OL	1/2tcyc32-1	-	μs	
CK32 クロック出力 Low レベルパルス幅 (水晶発振子使用時)	tCK32OL	tcyc32 × 0.6-1	tcyc32 × 0.8-1	μs	
CK32 クロック出力 High レベルパルス幅 (外部クロック使用時)	tCK32OH	1/2tcyc32-1	-	μs	
CK32 クロック出力 High レベルパルス幅 (水晶発振子使用時)	tCK32OH	tcyc32 × 0.2-1	tcyc32 × 0.4-1	μs	
パワーオン発振安定時間	tOSC1	10	-	ms	35.7
スタンバイ復帰発振安定時間 1	tOSC2	10	-	ms	35.8
スタンバイ復帰発振安定時間 2	tOSC3	10	-	ms	35.9
EXTAL32 クロック発振安定時間(水晶発振子使用時)	tOSC32	3	-	s	35.10

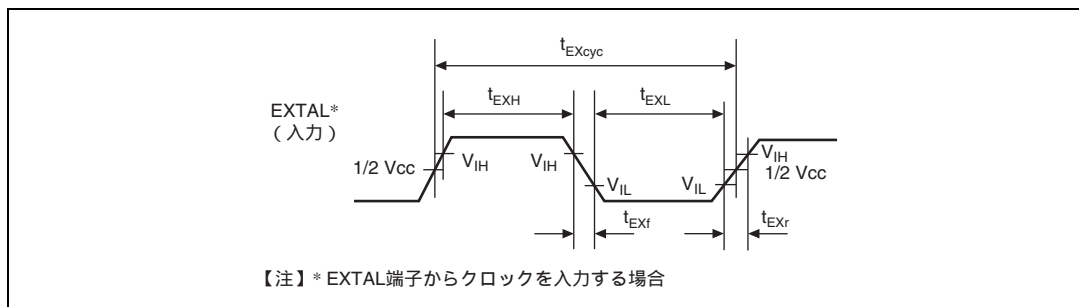


図 35.3 EXTAL クロック入力タイミング

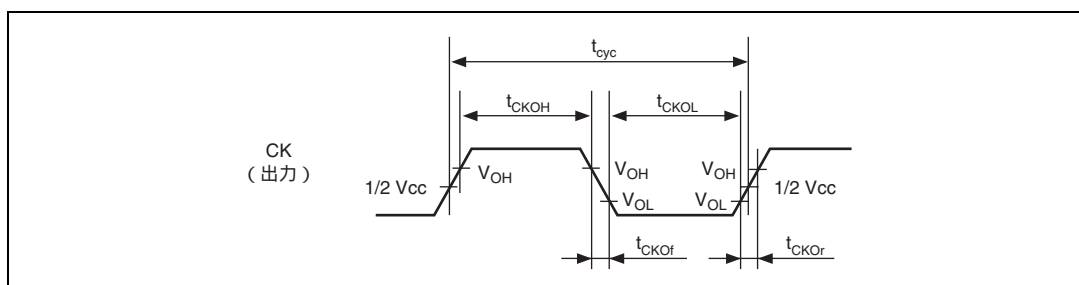


図 35.4 CK クロック出力タイミング

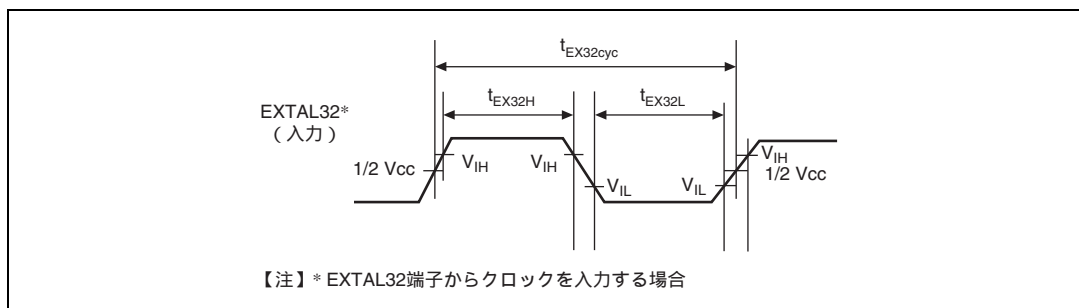


図 35.5 EXTAL32 クロック入力タイミング

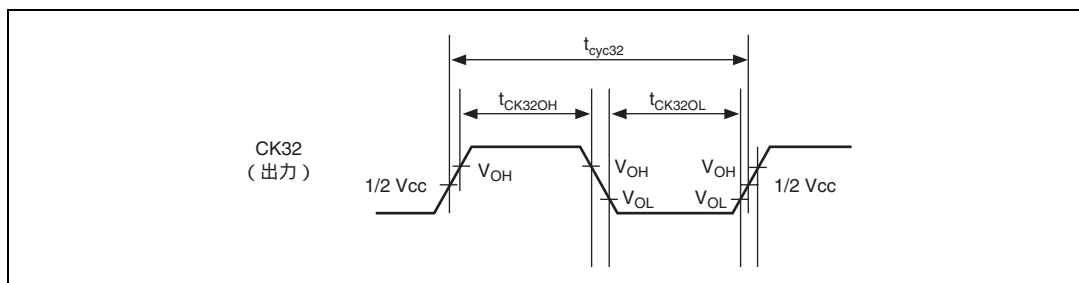


図 35.6 CK32 クロック出力タイミング

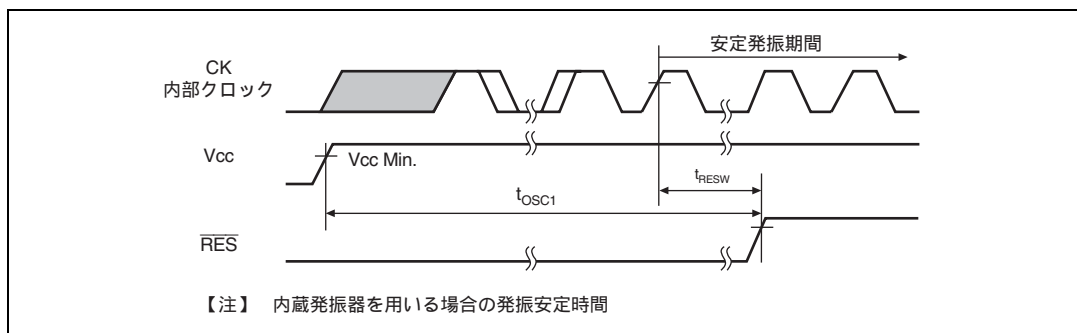


図 35.7 パワーオン発振安定時間

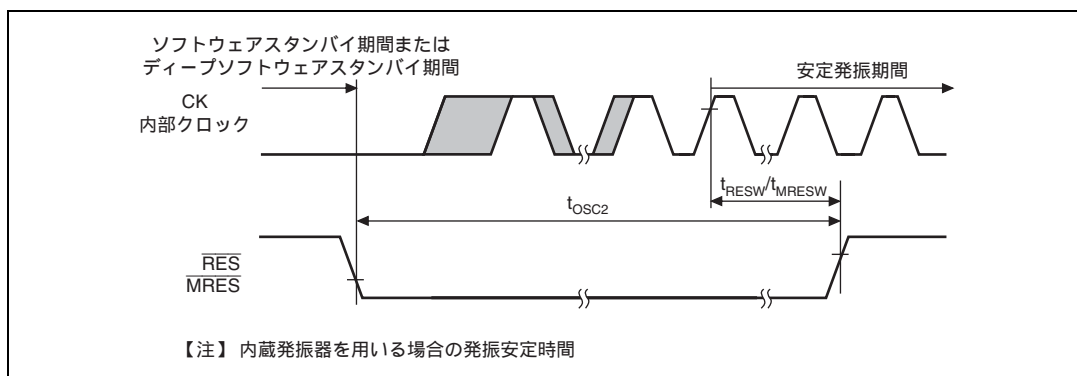


図 35.8 スタンバイ復帰時発振安定時間（リセットによる復帰）

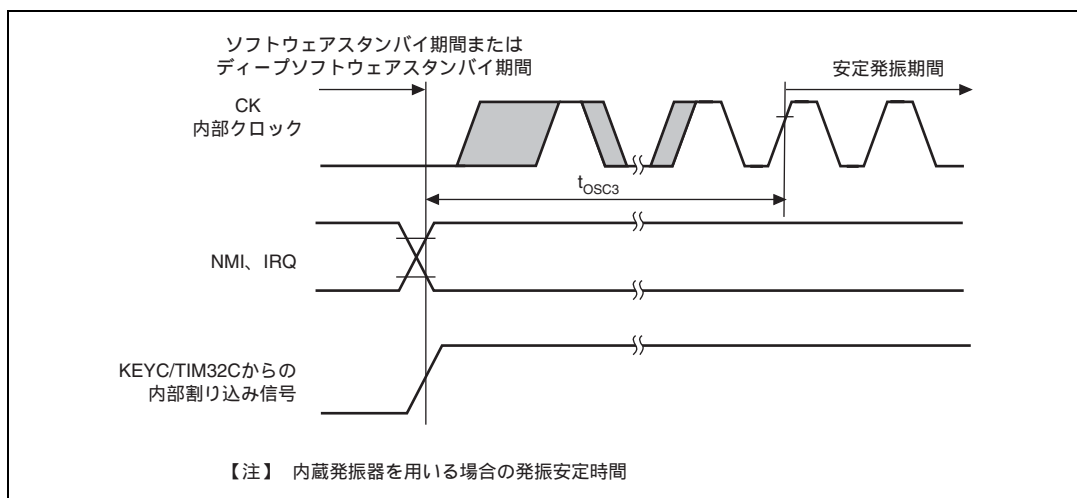


図 35.9 スタンバイ復帰時発振安定時間（割り込みによる復帰）

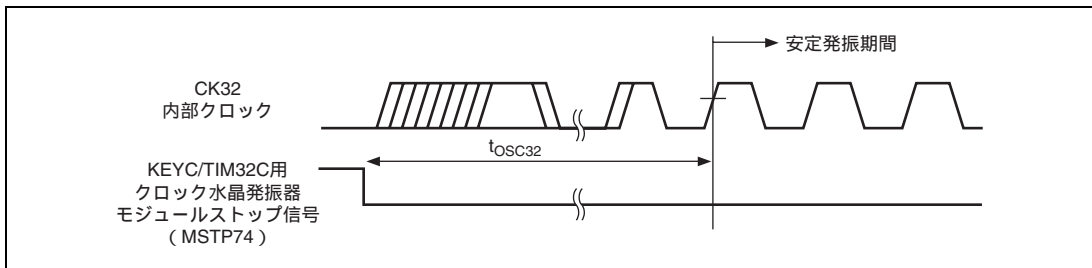


図 35.10 EXTERNAL32 クロック発振安定時間

35.4.2 制御信号タイミング

表 35.7 制御信号タイミング

条件：Vcc=PLLVcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、

AVref=3.0 ~ AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20 ~ +85 (民生用途品)、Ta = -40 ~ +85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
RES パルス幅 (フラッシュメモリ書き込み / 消去を除く)	tRESW1	20 ^{*2*}	-	t _{cyc}	35.7、35.8、 35.11、 35.12
		1.5 ^{*4}	-	μs	
RES パルス幅 (フラッシュメモリ書き込み / 消去時)	tRESW2	100	-	μs	35.12
RES セットアップ時間 ^{*1}	tRESS	200	-	ns	
RES ホールド時間	tRESH	15	-	ns	35.8、 35.11、 35.12
MRES パルス幅	tMRESW	20 ^{*3}	-	t _{cyc}	
MRES セットアップ時間 ^{*1}	tMRESS	25	-	ns	35.11、 35.12
MRES ホールド時間	tMRESH	15	-	ns	
MD1、MD0、FWE セットアップ時間	tMDS	20	-	t _{cyc}	35.11
BREQ セットアップ時間 ^{*1}	tBREQS	1/2t _{cyc} + 15	-	ns	35.13
BREQ ホールド時間	tBREQH	1/2t _{cyc} + 10	-	ns	
NMI パルス幅	tNMIW	20	-	t _{cyc}	35.12
NMI セットアップ時間 ^{*1}	tNMIS	100	-	ns	
NMI ホールド時間	tNMIH	10	-	ns	
IRQ23 ~ IRQ0 パルス幅	tIRQW	20	-	t _{cyc}	
IRQ23 ~ IRQ0 セットアップ時間 ^{*1}	tIRQS	35	-	ns	
IRQ23 ~ IRQ0 ホールド時間	tIRQH	10	-	ns	
IRQOUT/REFOUT 出力遅延時間	tIRQOD	-	100	ns	35.14
BACK 遅延時間	tBACKD	-	1/2t _{cyc} + 20	ns	35.13
バスパツファオフタイム	tBOFF	0	100	ns	
バスパツファオンタイム	tBON	0	100	ns	

【注】 *1 RES、MRES、NMI、BREQ、および IRQ23 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイ復帰時は、tRESW = tOSC2 (10ms) になります。

*3 スタンバイ復帰時は、tMRESW = tOSC2 (10ms) となります。

*4 いずれの条件も満足する tRESW1 を入力してください。

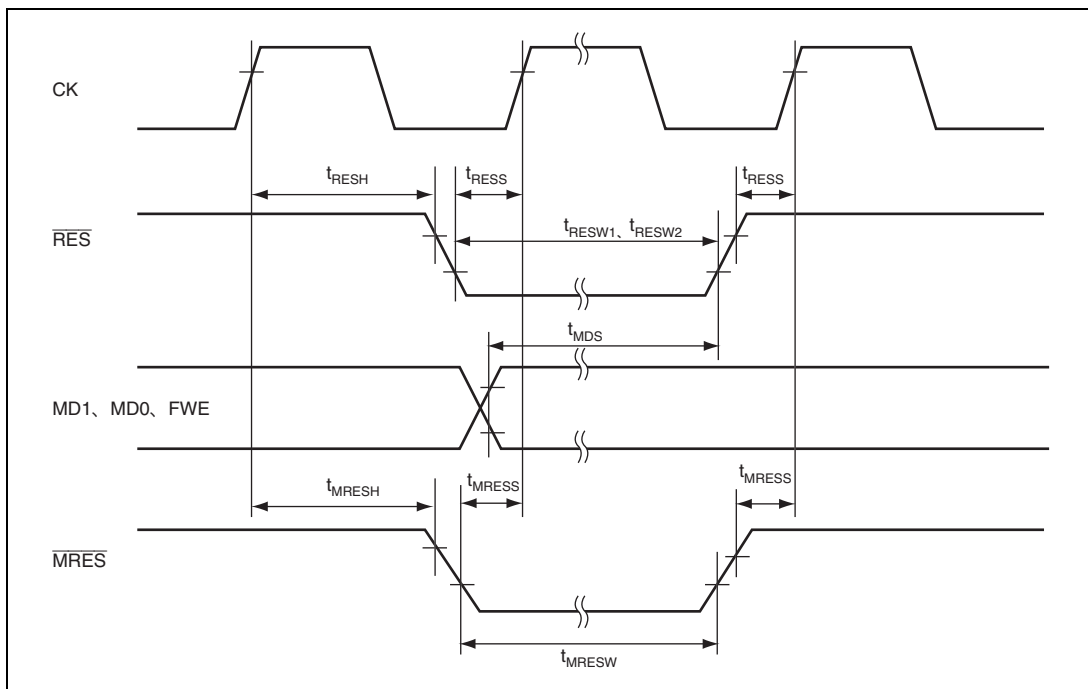


図 35.11 リセット入力タイミング

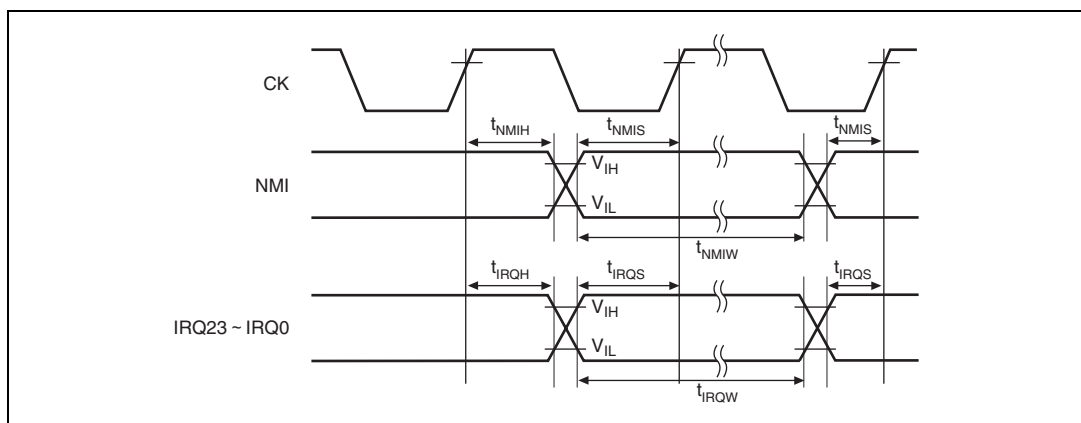


図 35.12 割り込み信号入力タイミング

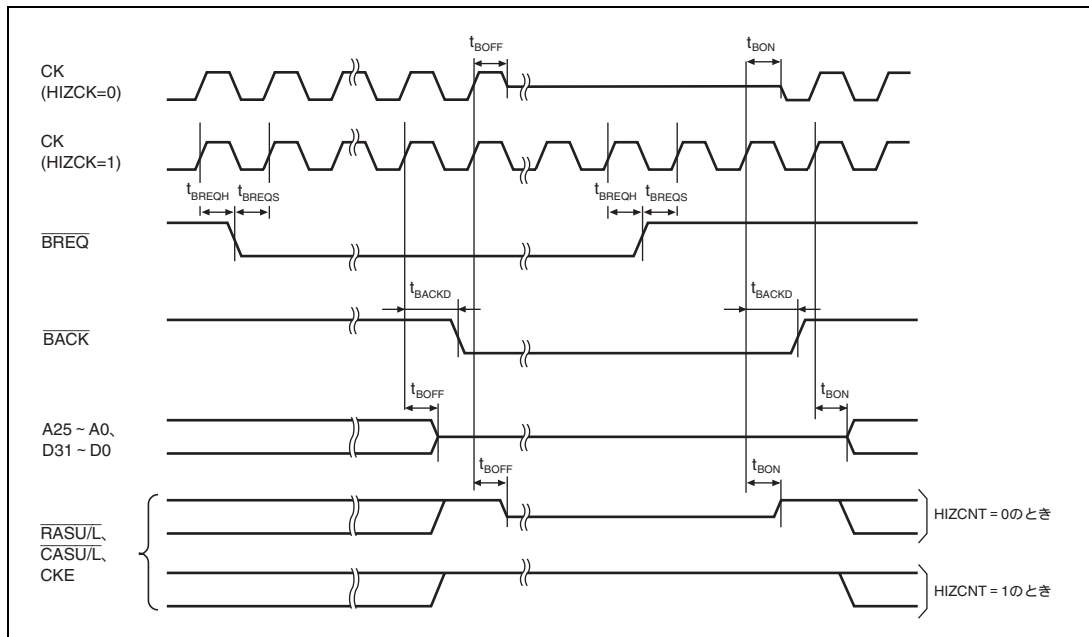


図 35.13 バス権解放タイミング

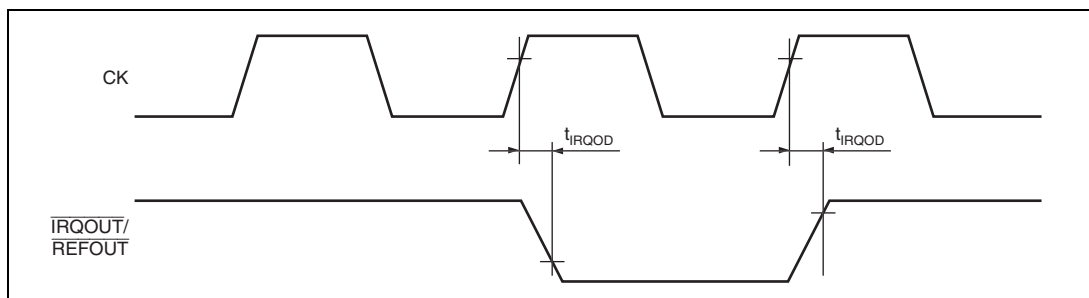


図 35.14 割り込み信号出力タイミング

35.4.3 バスタイミング

表 35.8 バスタイミング

条件：Vcc=PLLvcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、

AVref=3.0 ~ AVcc、Vss=PLLvss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20 ~ +85 (民生用途品)、Ta = -40 ~ +85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
アドレス遅延時間 1	tAD1	1	18	ns	35.15 ~ 35.39
アドレス遅延時間 2	tAD2	1/2t _{cyc}	1/2t _{cyc} + 18	ns	35.22
アドレス遅延時間 3	tAD3	1/2t _{cyc}	1/2t _{cyc} + 18	ns	35.40、35.41
アドレスセットアップ時間	tAS	0	-	ns	35.15 ~ 35.18、35.22
アドレスホールド時間	tAH	0	-	ns	35.15 ~ 35.18
BS 遅延時間	tBSD	-	18	ns	35.15 ~ 35.36、35.40
CS 遅延時間 1	tCSD1	1	18	ns	35.15 ~ 35.39
CS 遅延時間 2	tCSD2	1/2t _{cyc}	1/2t _{cyc} + 18	ns	35.40、35.41
リードライト遅延時間 1	trWD1	1	18	ns	35.15 ~ 35.39
リードライト遅延時間 2	trWD2	1/2t _{cyc}	1/2t _{cyc} + 18	ns	35.40、35.41
リードストロブ遅延時間	trSD	1/2t _{cyc}	1/2t _{cyc} + 18	ns	35.15 ~ 35.22
リードデータセットアップ時間 1	trDS1	1/2t _{cyc} + 14	-	ns	35.15 ~ 35.21
リードデータセットアップ時間 2	trDS2	14	-	ns	35.23 ~ 35.26、35.31 ~ 35.33
リードデータセットアップ時間 3	trDS3	1/2t _{cyc} + 14	-	ns	35.22
リードデータセットアップ時間 4	trDS4	1/2t _{cyc} + 14	-	ns	35.40
リードデータホールド時間 1	trDH1	0	-	ns	35.15 ~ 35.21
リードデータホールド時間 2	trDH2	2	-	ns	35.23 ~ 35.26、35.31 ~ 35.33
リードデータホールド時間 3	trDH3	0	-	ns	35.22
リードデータホールド時間 4	trDH4	1/2t _{cyc} + 5	-	ns	35.40
リードデータアクセス時間	tACC* ¹	t _{cyc} × (n+1.5)·33* ²	-	-	35.15 ~ 35.18、35.20、35.21
リードストロブからのアクセス時間	toE* ¹	t _{cyc} × (n+1)·33* ²	-	-	35.15 ~ 35.18、35.20、35.21
ライトストロブ遅延時間 1	twSD1	1/2t _{cyc}	1/2t _{cyc} + 18	ns	35.15 ~ 35.20
ライトストロブ遅延時間 2	twSD2	-	18	ns	35.21
ライトデータ遅延時間 1	twDD1	-	18	ns	35.15 ~ 35.21
ライトデータ遅延時間 2	twDD2	-	18	ns	35.27 ~ 35.30、35.35 ~ 35.36
ライトデータ遅延時間 3	twDD3	-	1/2t _{cyc} + 18	ns	35.40
ライトデータホールド時間 1	twDH1	1	-	ns	35.15 ~ 35.21
ライトデータホールド時間 2	twDH2	1	-	ns	35.27 ~ 35.30、35.34 ~ 35.36
ライトデータホールド時間 3	twDH3	1/2t _{cyc}	-	ns	35.40
WAIT セットアップ時間	twTS	1/2t _{cyc} + 18	-	ns	35.16 ~ 35.22
WAIT ホールド時間	twTH	1/2t _{cyc} + 2	-	ns	35.16 ~ 35.22
RAS 遅延時間 1	trASD1	1	18	ns	35.23 ~ 35.34、35.36 ~ 35.39

項目	記号	Min.	Max.	単位	参照図
RAS 遅延時間 2	tRASD2	$1/2t_{cyc}$	$1/2t_{cyc} + 18$	ns	35.40、35.41
CAS 遅延時間 1	tCASD1	1	18	ns	35.23 ~ 35.39
CAS 遅延時間 2	tCASD2	$1/2t_{cyc}$	$1/2t_{cyc} + 18$	ns	35.40、35.41
DQM 遅延時間 1	tDQMD1	1	18	ns	35.23 ~ 35.36
DQM 遅延時間 2	tDQMD2	$1/2t_{cyc}$	$1/2t_{cyc} + 18$	ns	35.40、35.41
CKE 遅延時間 1	tCKED1	1	18	ns	35.38
CKE 遅延時間 2	tCKED2	$1/2t_{cyc}$	$1/2t_{cyc} + 18$	ns	35.41
AH 遅延時間	tAHD	$1/2t_{cyc}$	$1/2t_{cyc} + 18$	ns	35.19
マルチプレクスアドレス遅延時間	tMAD	-	18	ns	35.19
マルチプレクスアドレスホールド時間	tMAH	1	-	ns	35.19
DACK、TEND 遅延時間	tDACD	-	DMAC タイミング参照	ns	35.15 ~ 35.36、35.40

【注】 B（外部バスクロック）の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。

遅延時間やセットアップ、ホールド時間の $1/2t_{cyc}$ の記述は、クロックの立ち上がりから $1/2$ サイクル、つまりクロックの立ち下がり基準であることを表現しています。

*1 アクセス時間が満足されていれば、 t_{rds1} は満足されている必要はありません。

*2 n はウェイト数

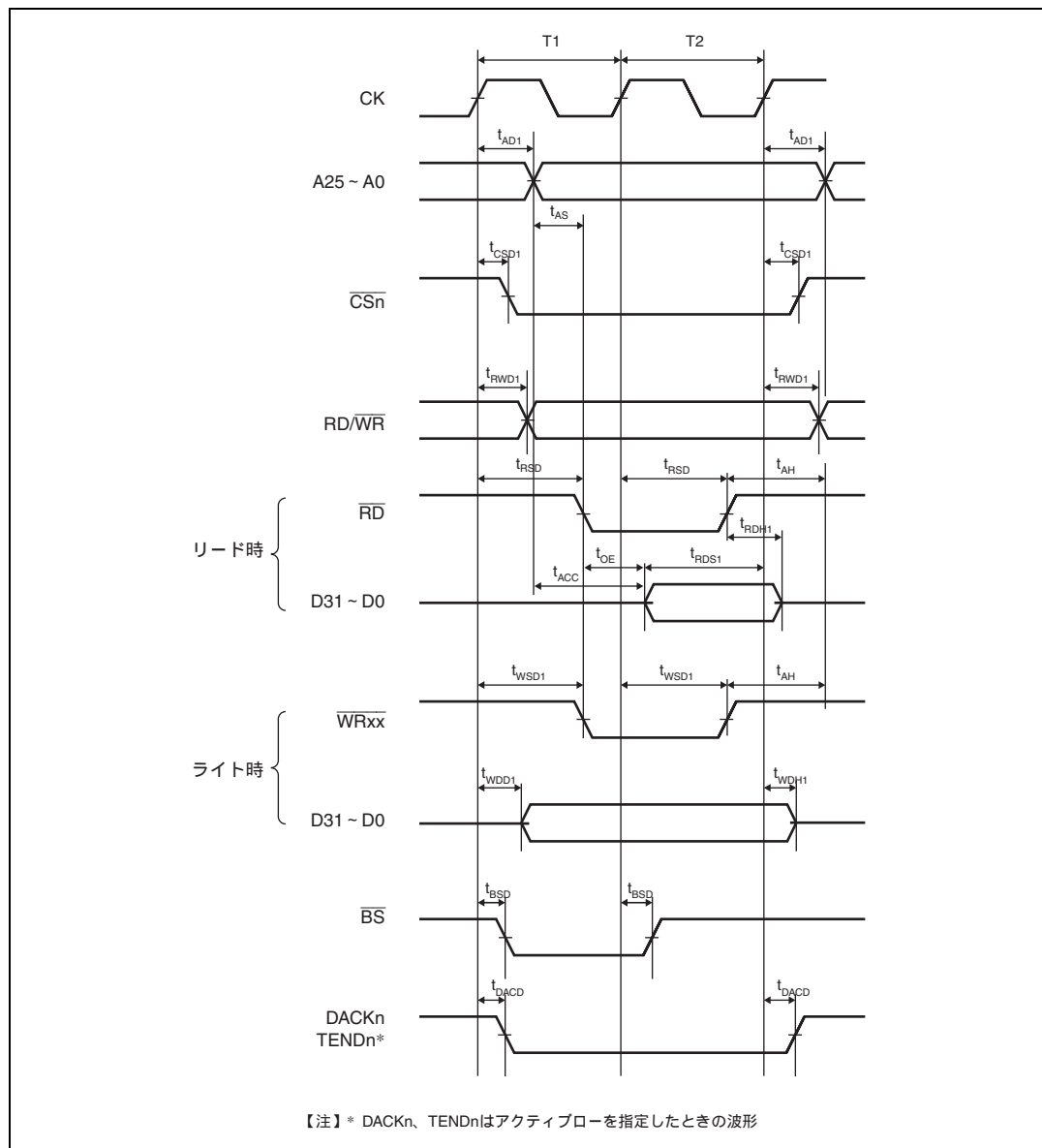


図 35.15 通常空間基本バスサイクル (ノーウェイト)

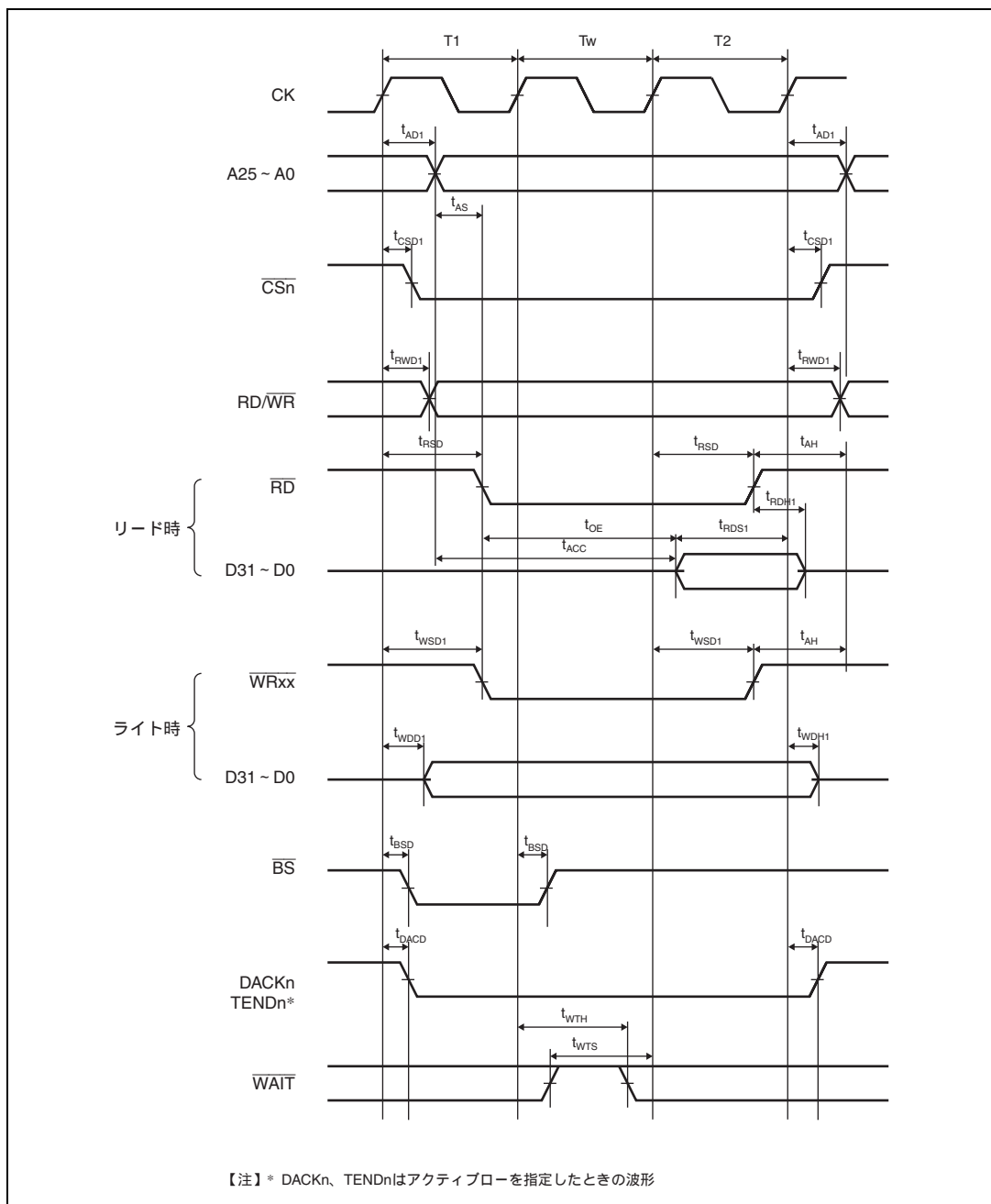


図 35.16 通常空間基本バスサイクル (ソフトウェアウェイト1)

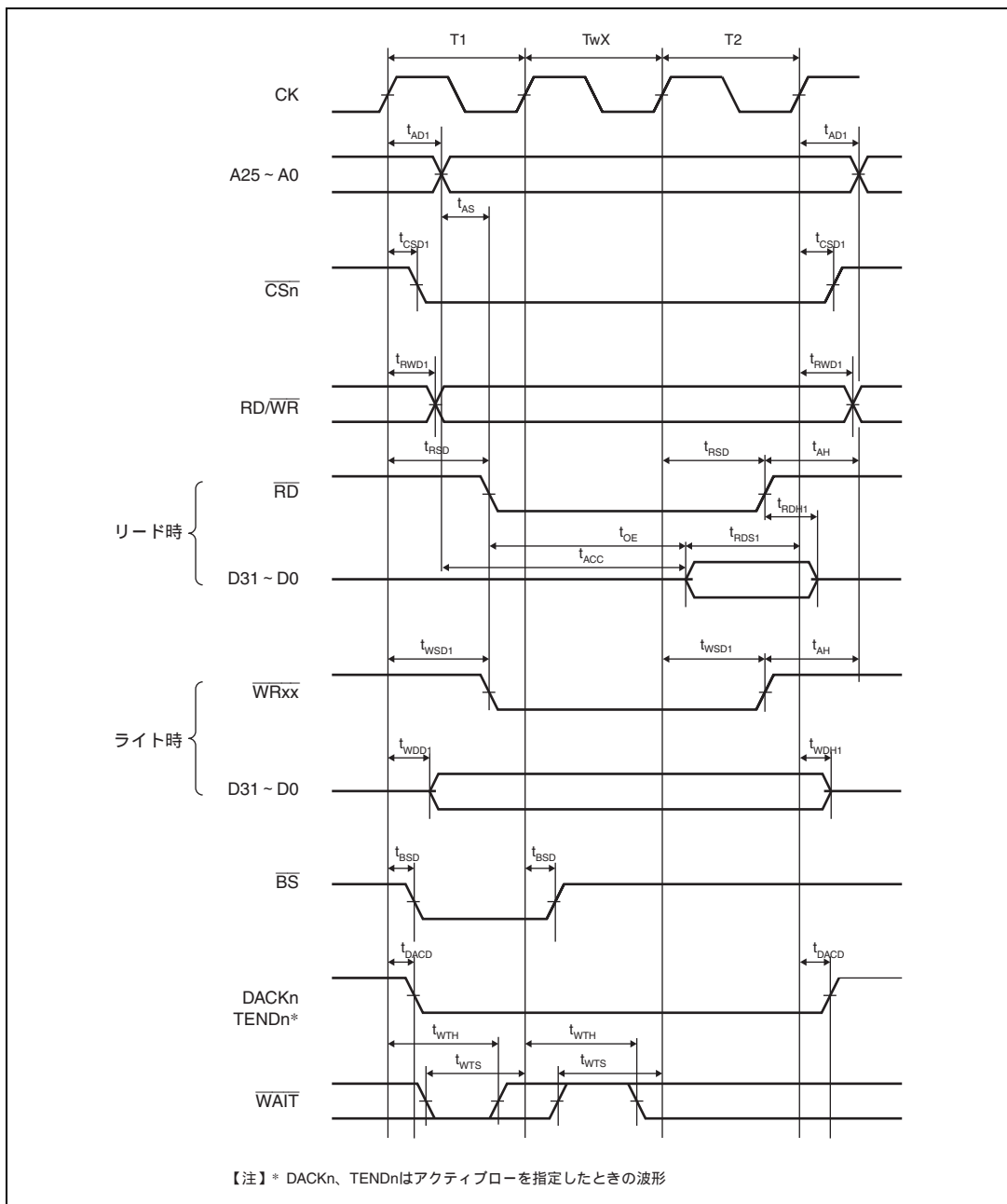


図 35.17 通常空間基本バスサイクル（外部ウェイト1挿入）

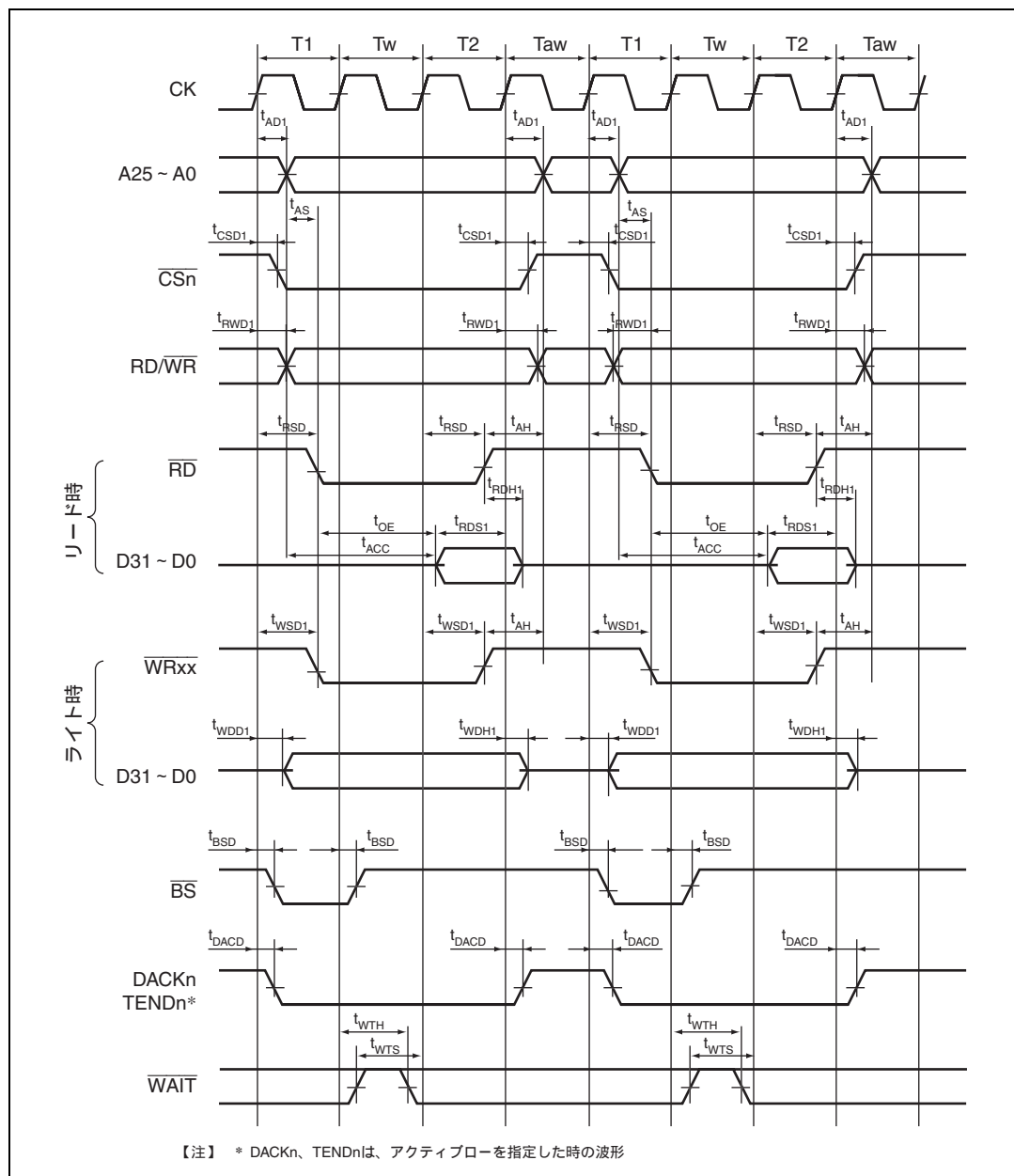


図 35.18 通常空間基本バスサイクル
(ソフトウェアウェイト1、外部ウェイト有効(WMビット=0)、アイドルサイクルなし)

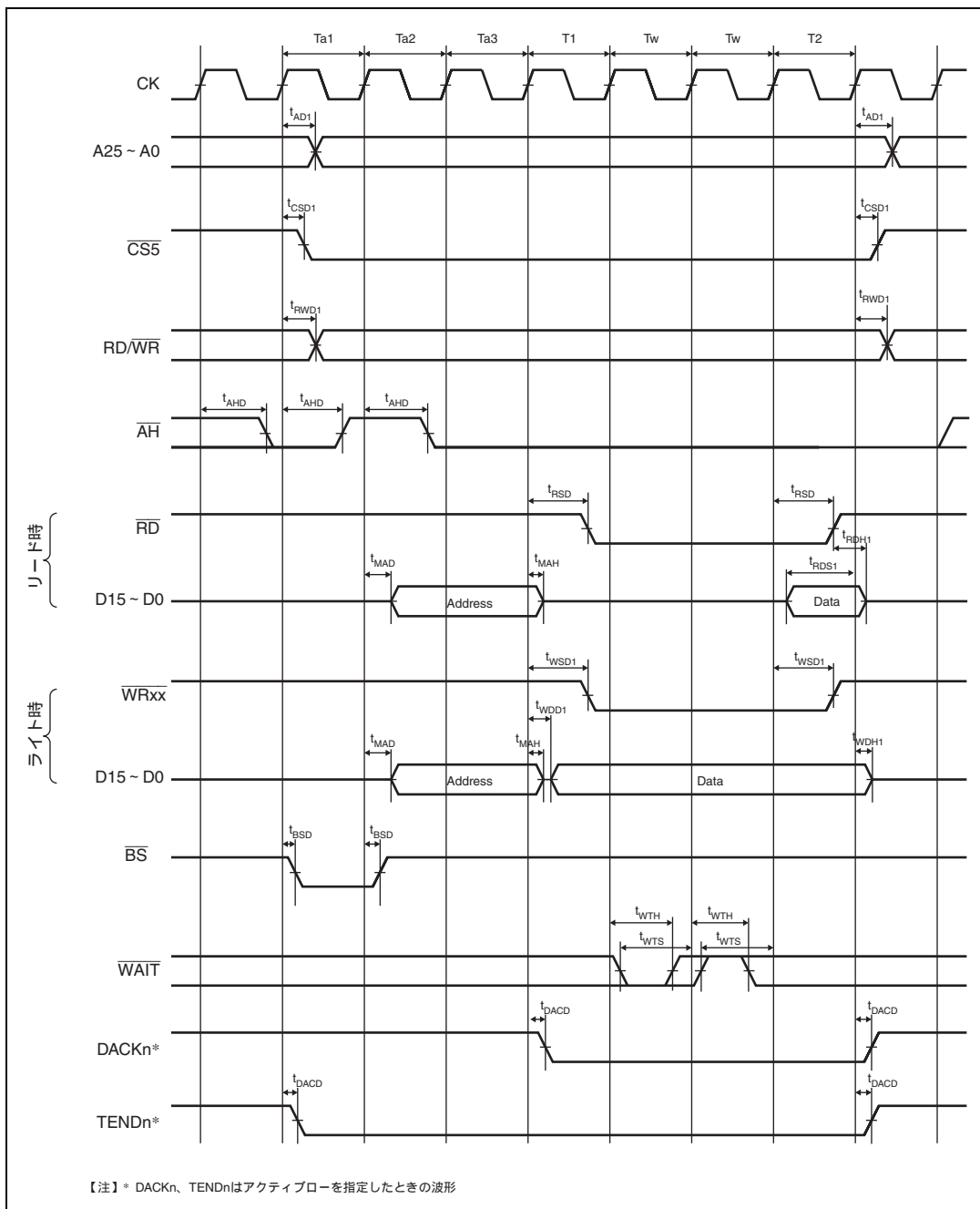


図 35.19 MPX-I/O インタフェースバスサイクル
(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)

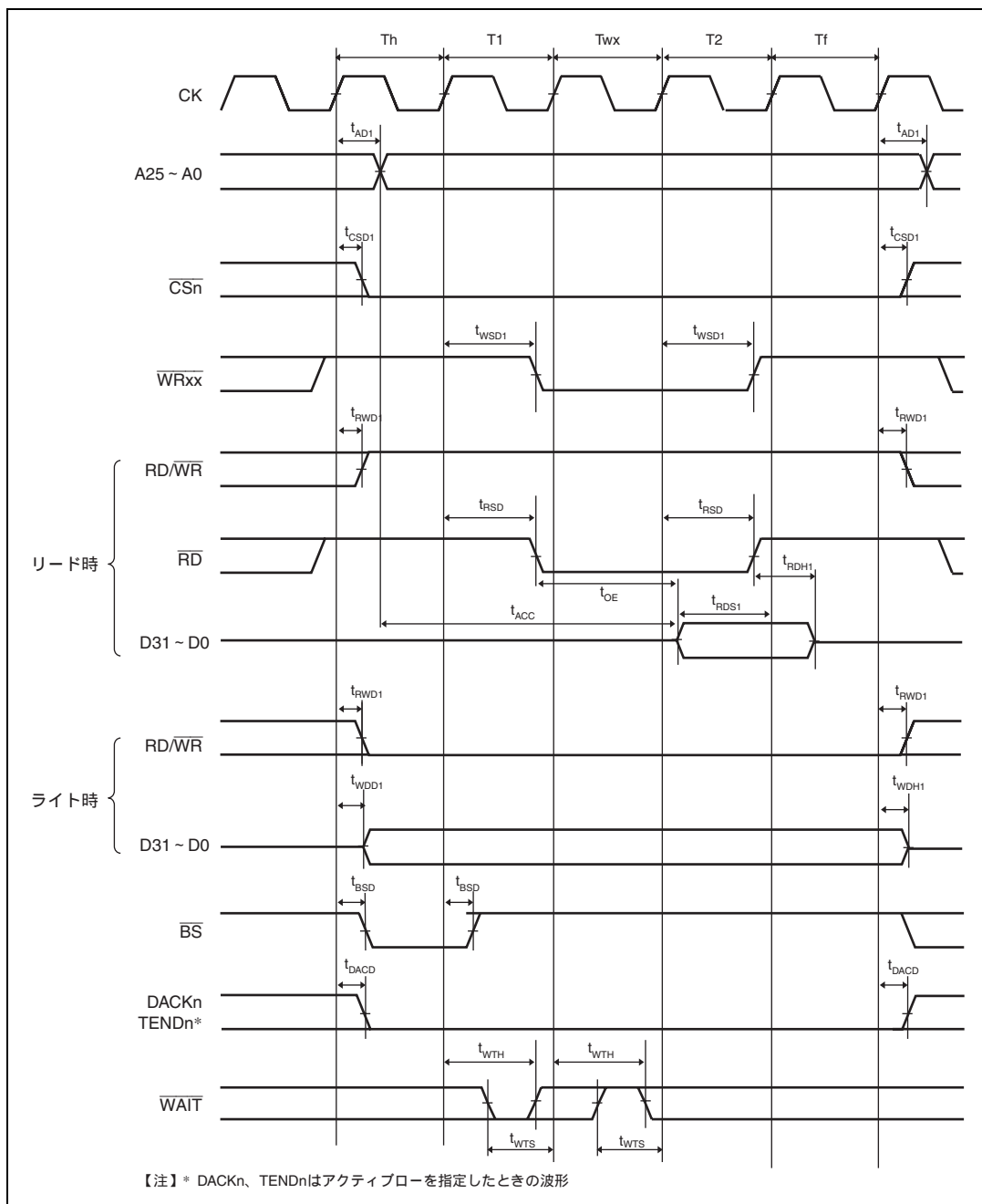


図 35.20 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB/LB コントロール))

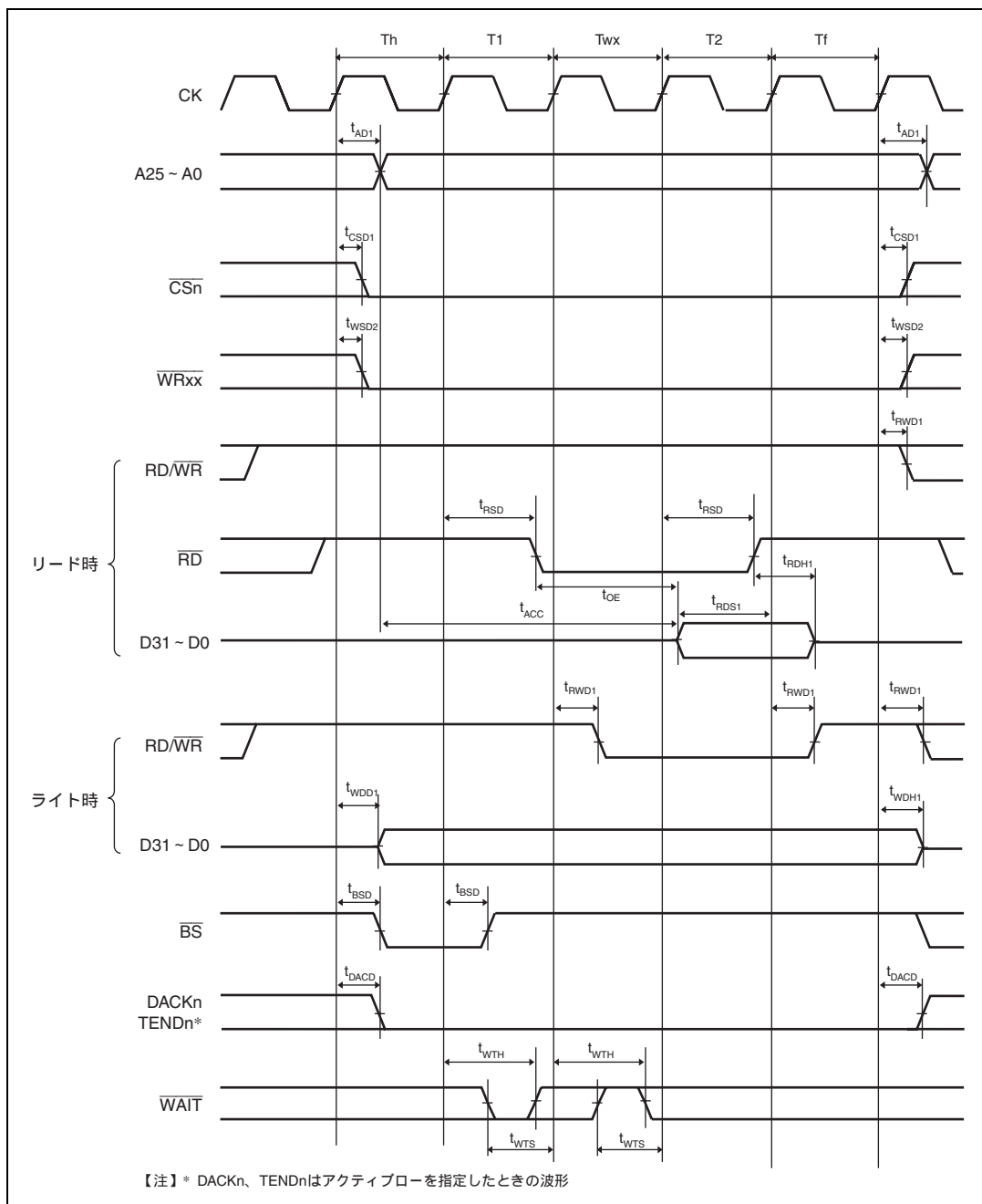


図 35.21 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 1 (ライトサイクル WE コントロール))

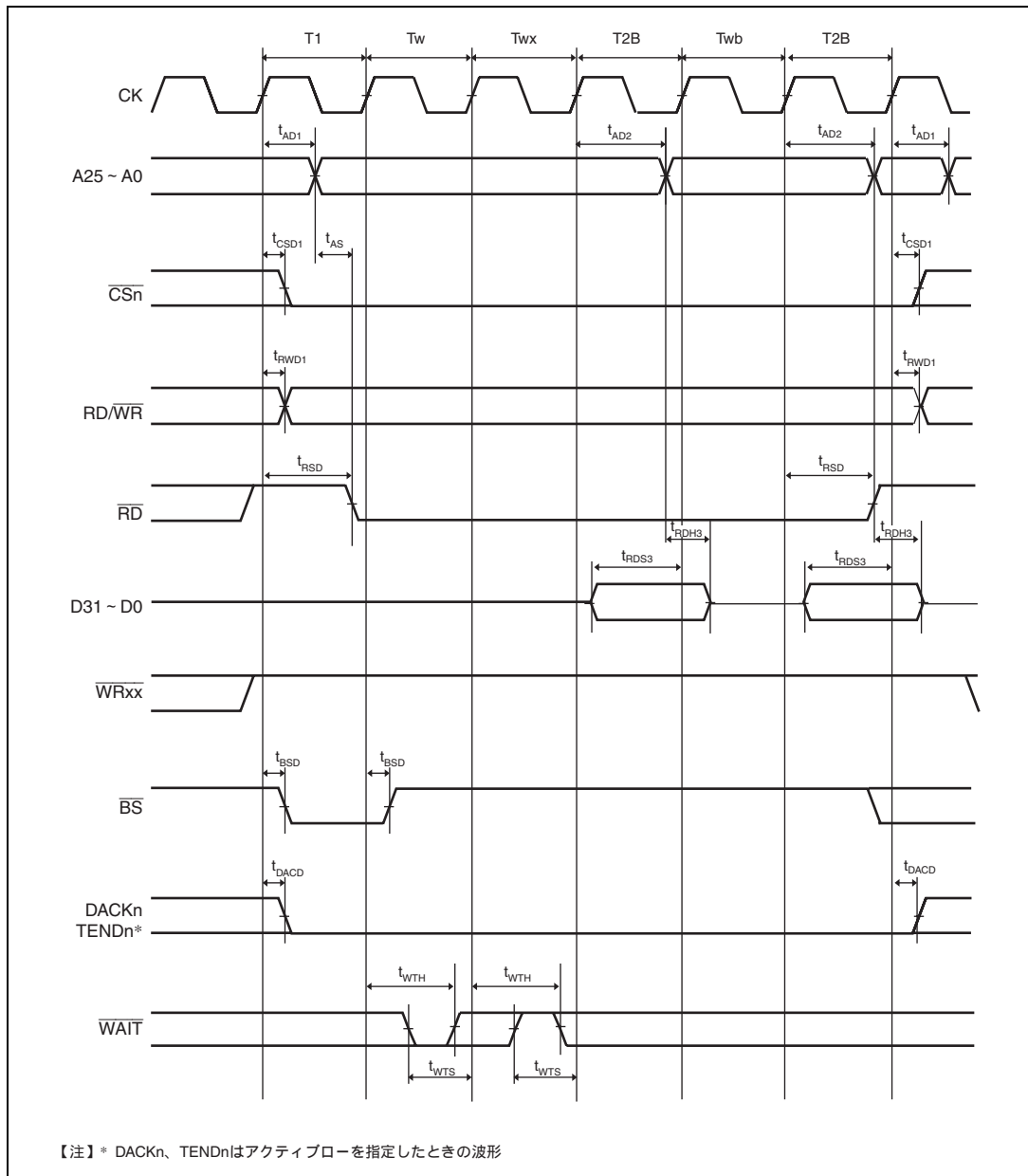


図 35.22 バースト ROM リードサイクル (ソフトウェアウェイト 1、
非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト)

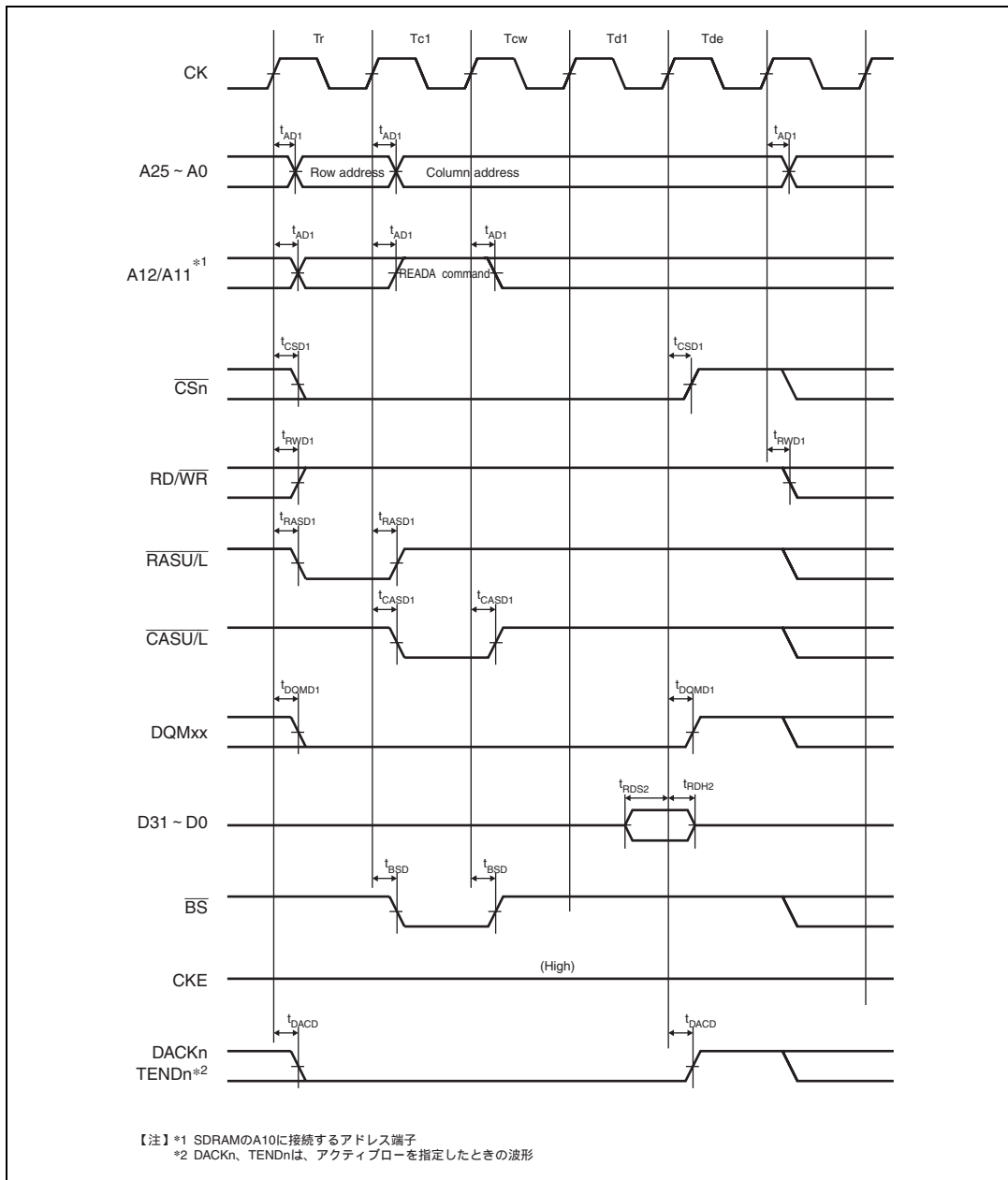


図 35.23 シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

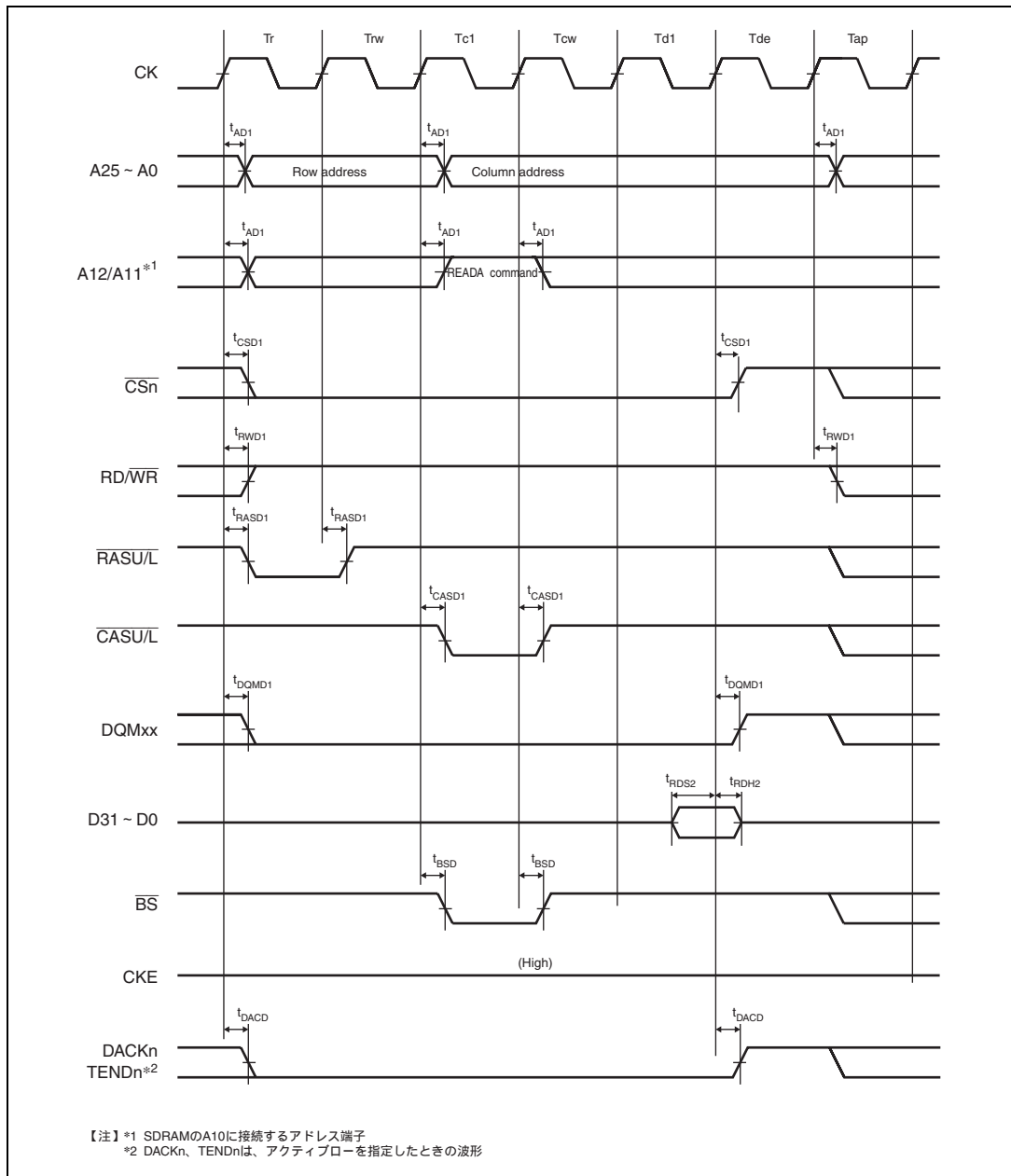


図 35.24 シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

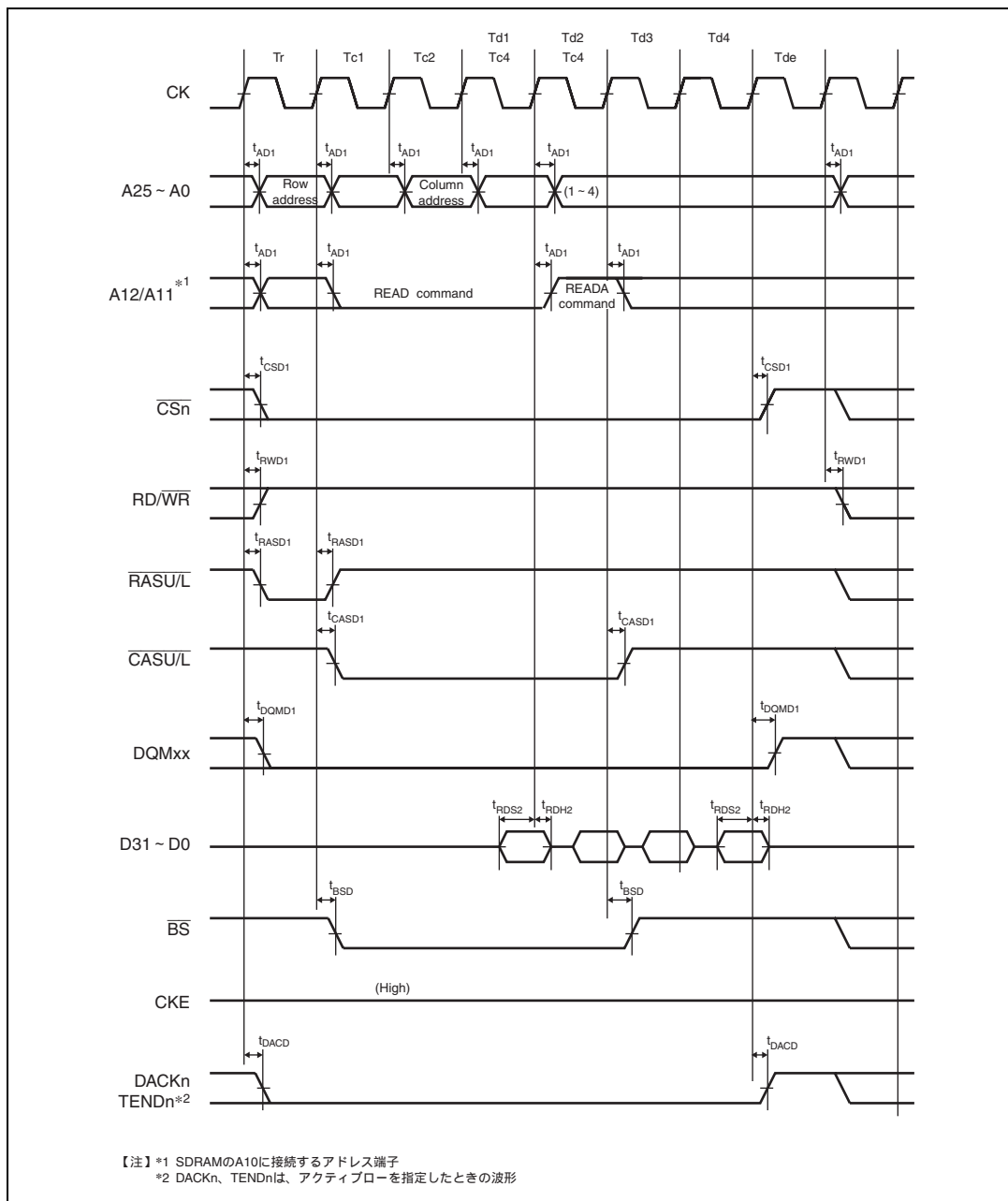


図 35.25 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)

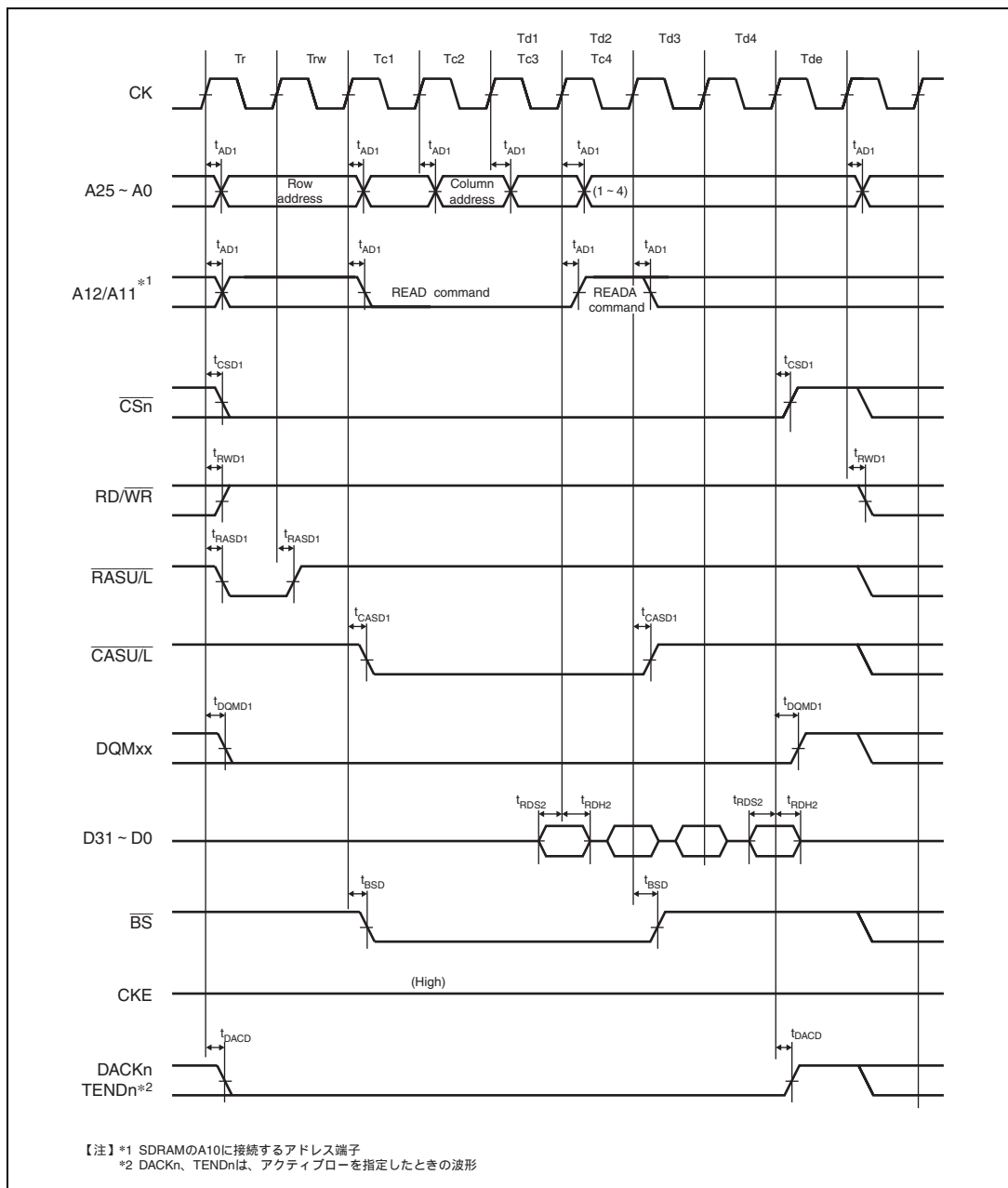


図 35.26 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル)

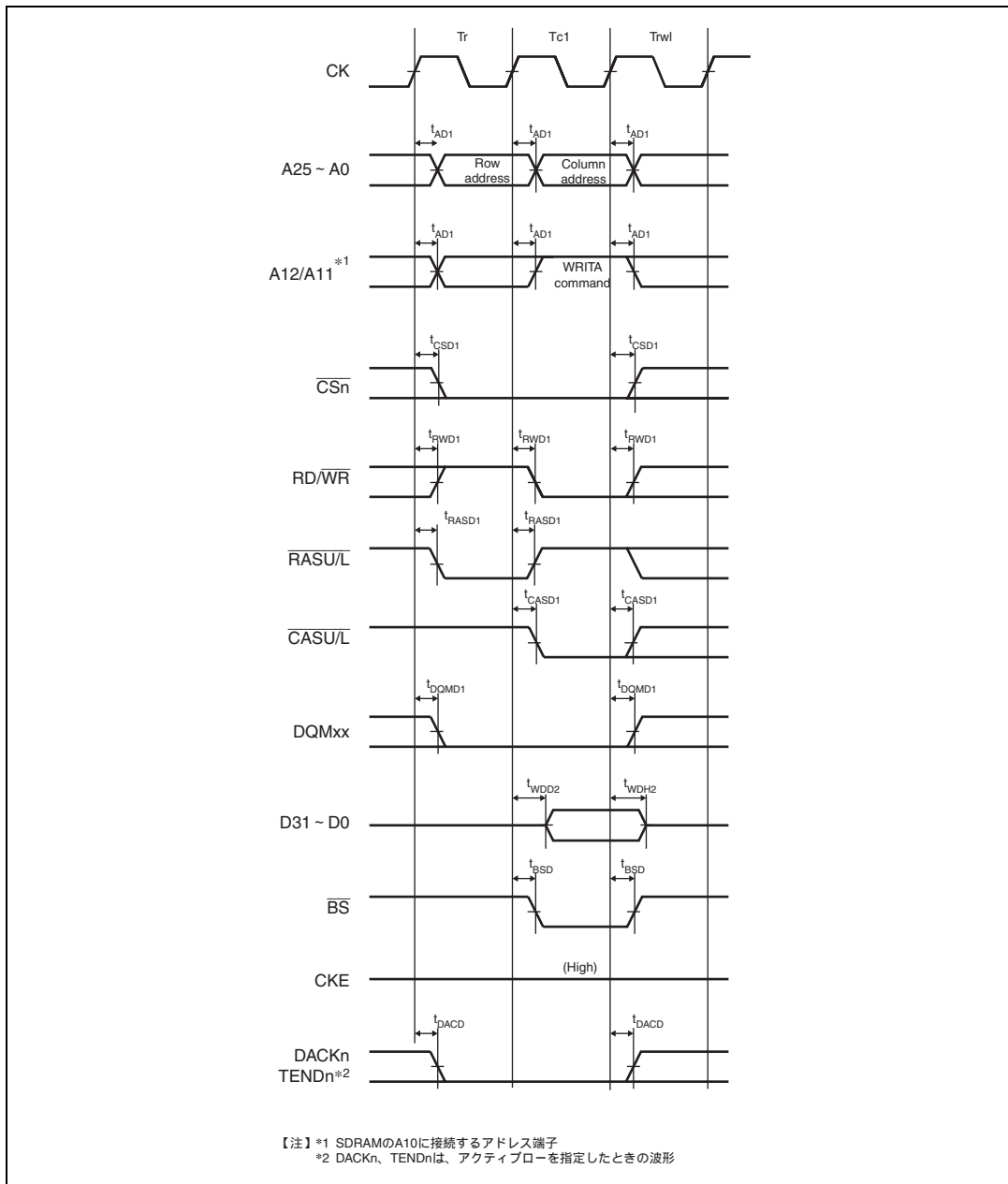


図 35.27 シンクロナス DRAM シングルライトバスサイクル
 (オートプリチャージあり、TRWL = 1 サイクル)

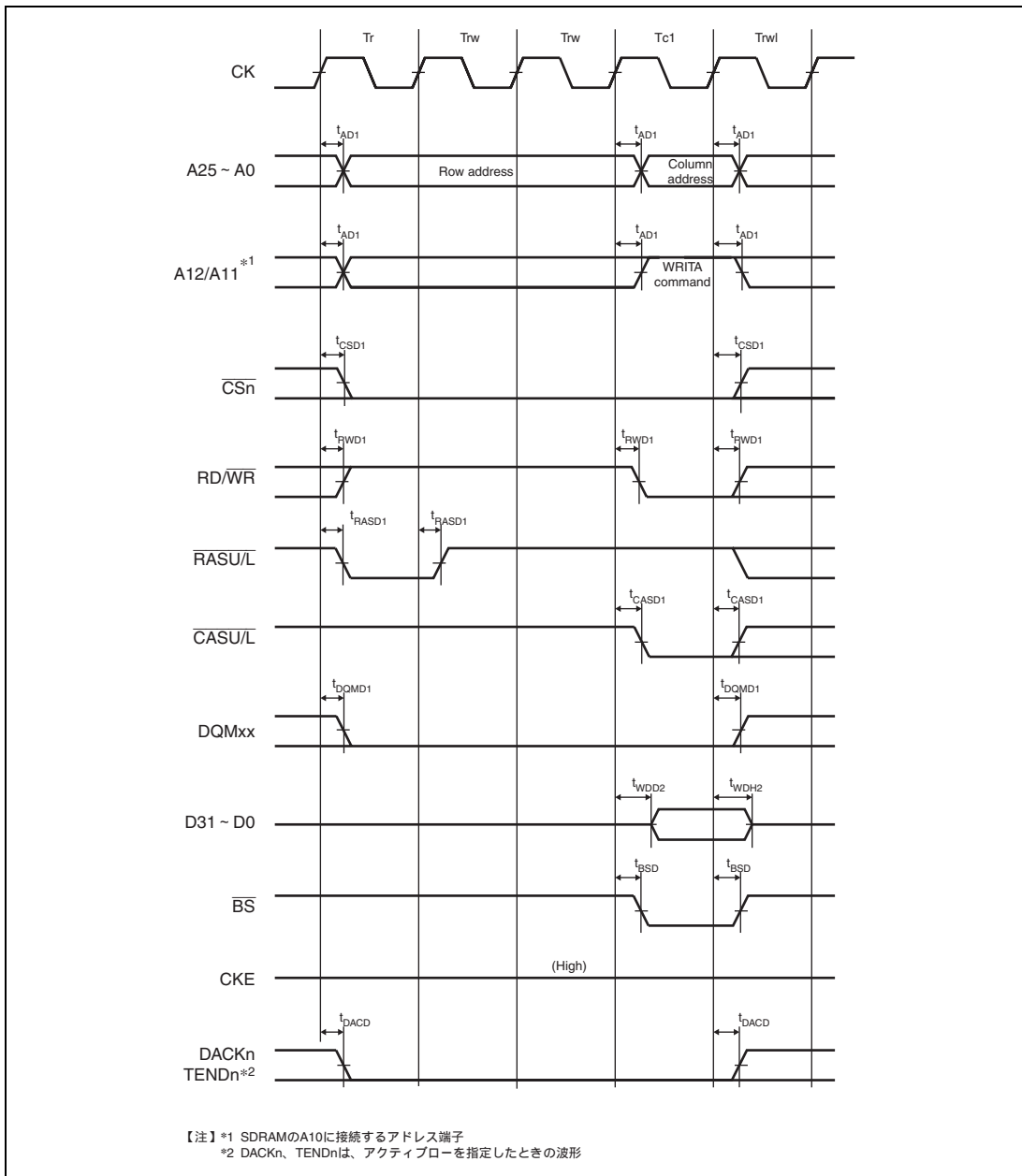


図 35.28 シンクロナス DRAM シングルライトバスサイクル
(オートプリチャージあり、WTRCD = 2 サイクル、TRWL = 1 サイクル)

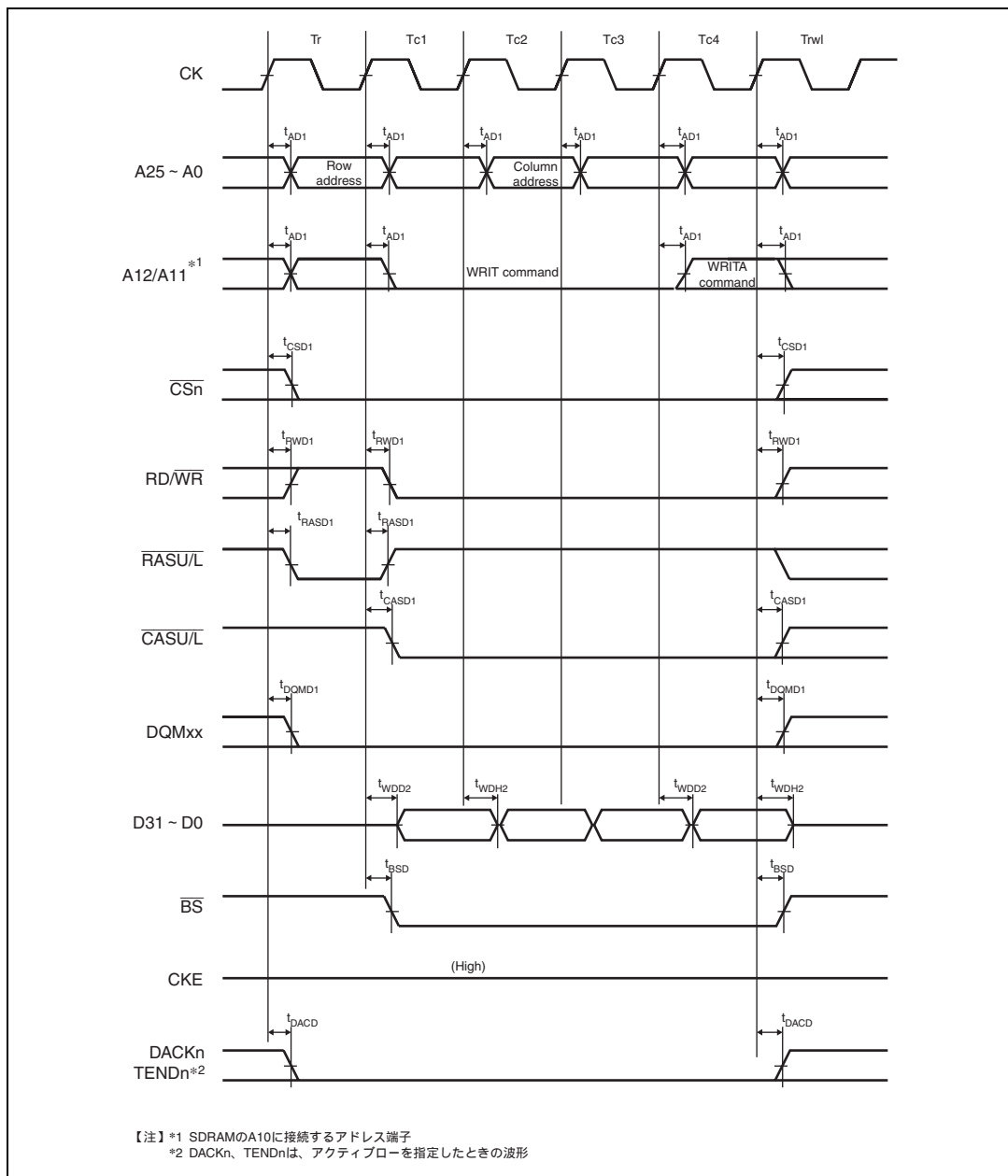


図 35.29 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(オートプリチャージあり、WTRCD = 0 サイクル、TRWL = 1 サイクル)

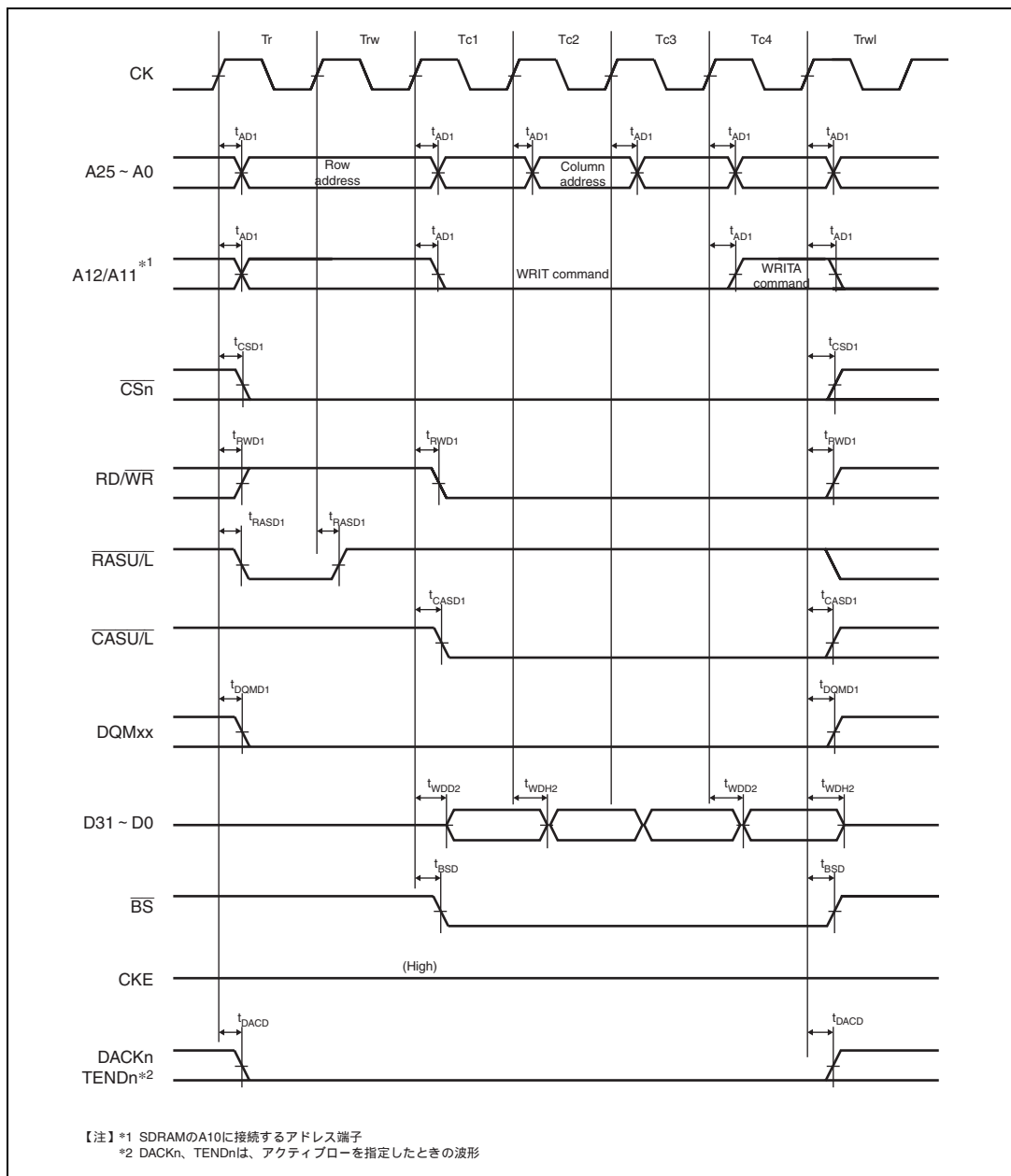


図 35.30 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
 (オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)

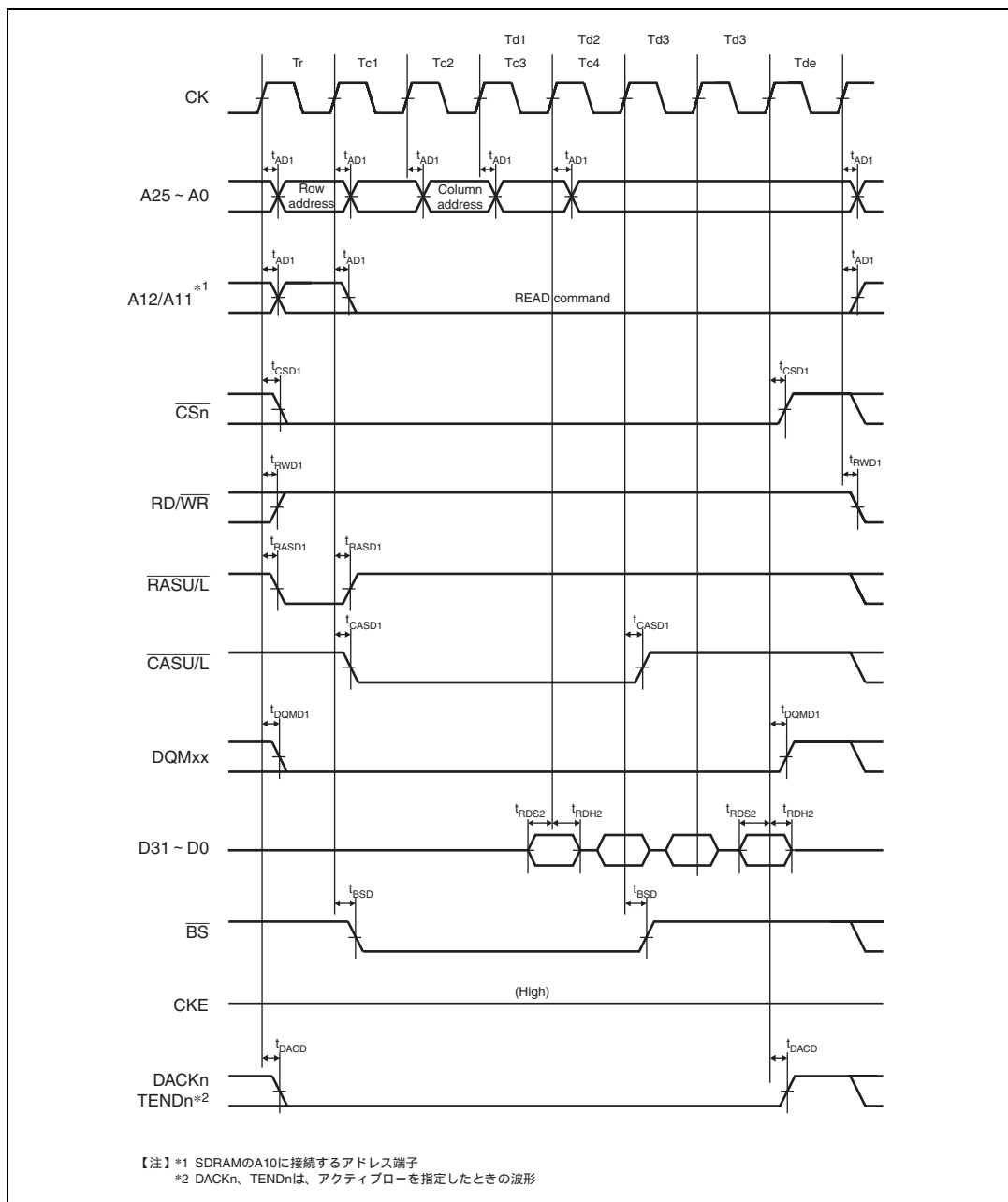


図 35.31 シンクロナス DRAM パーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)

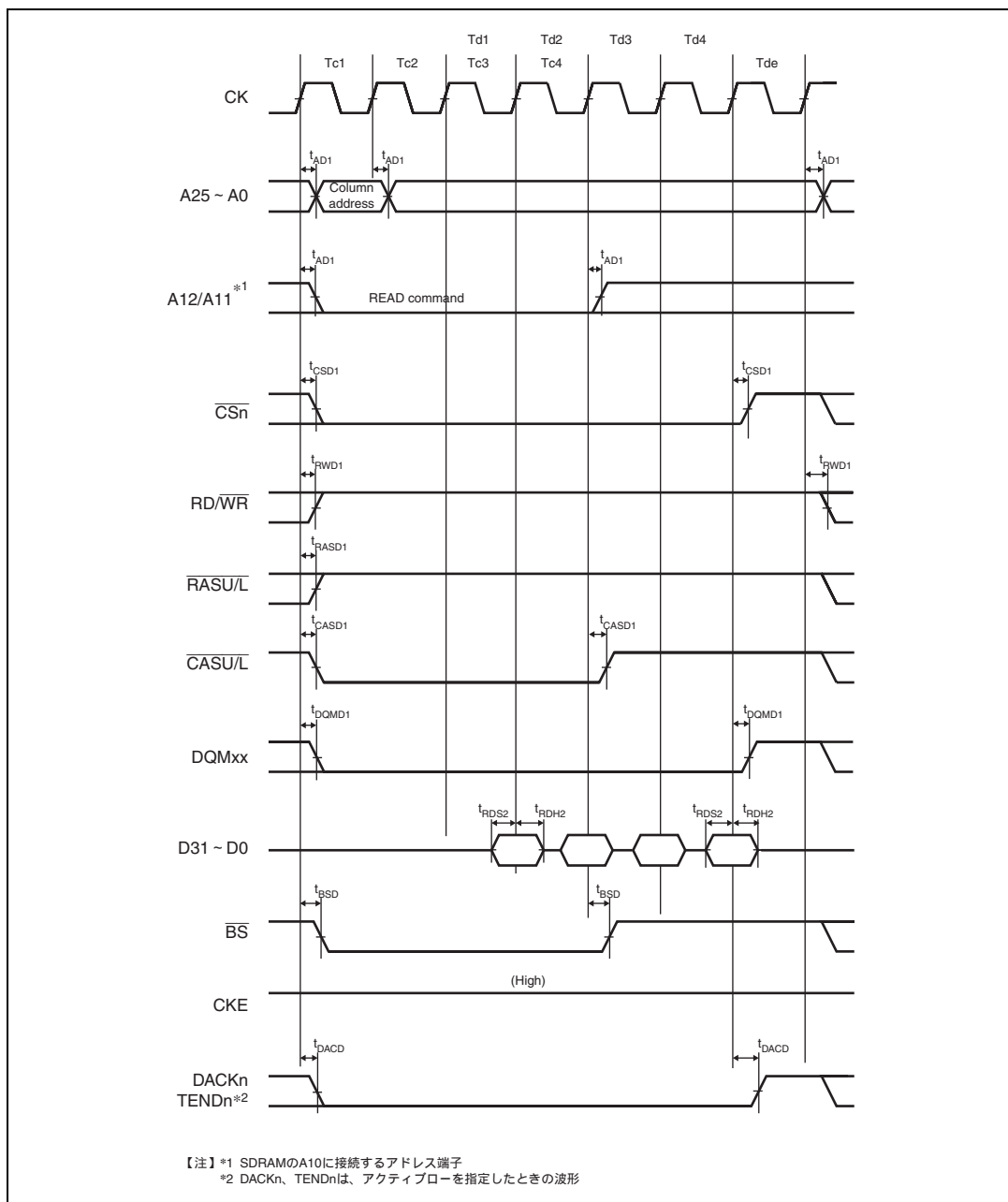


図 35.32 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

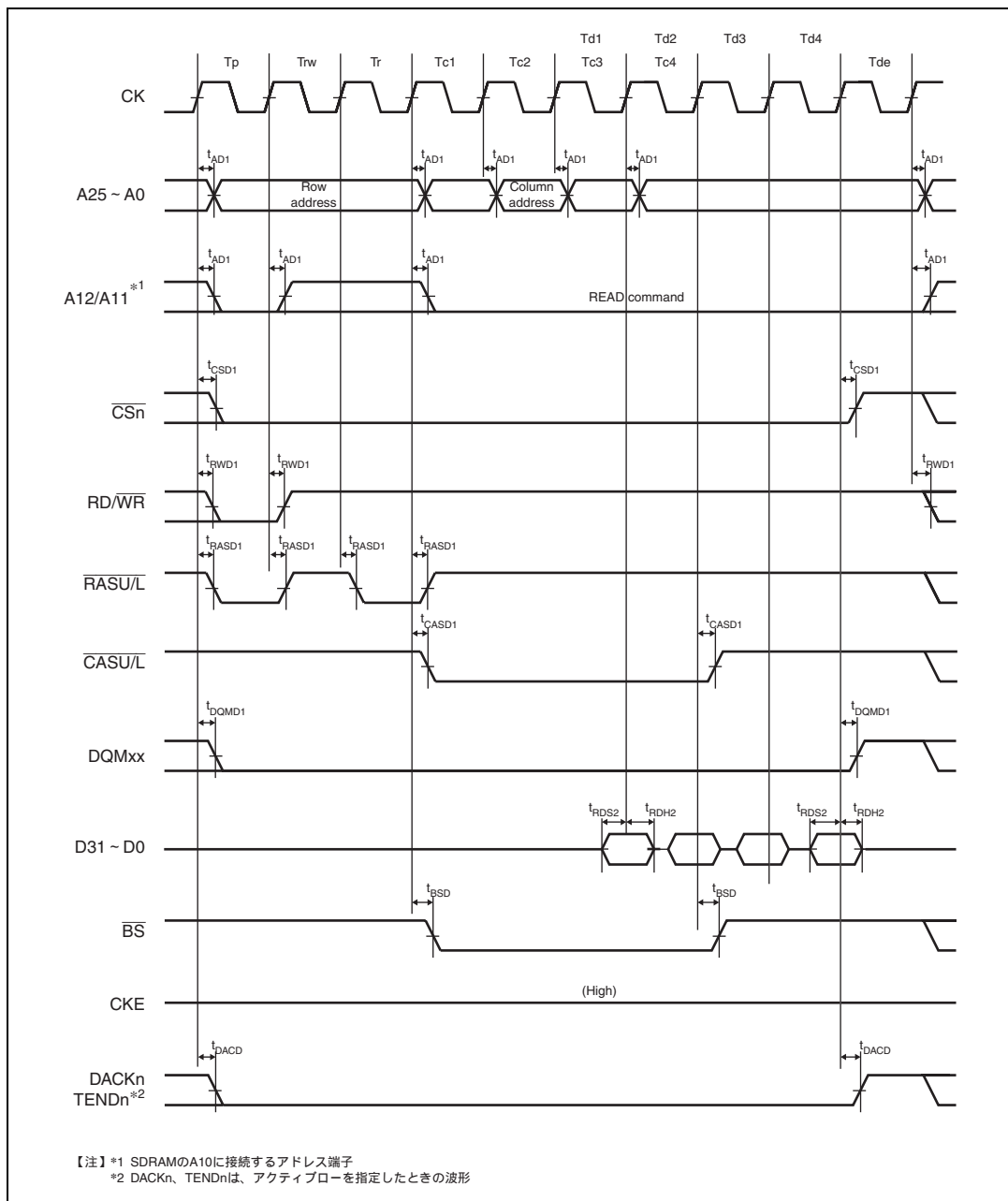


図 35.33 シンクロナス DRAM パーストリードバスサイクル (リード4 サイクル分)
(バンクアクティブモード: PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

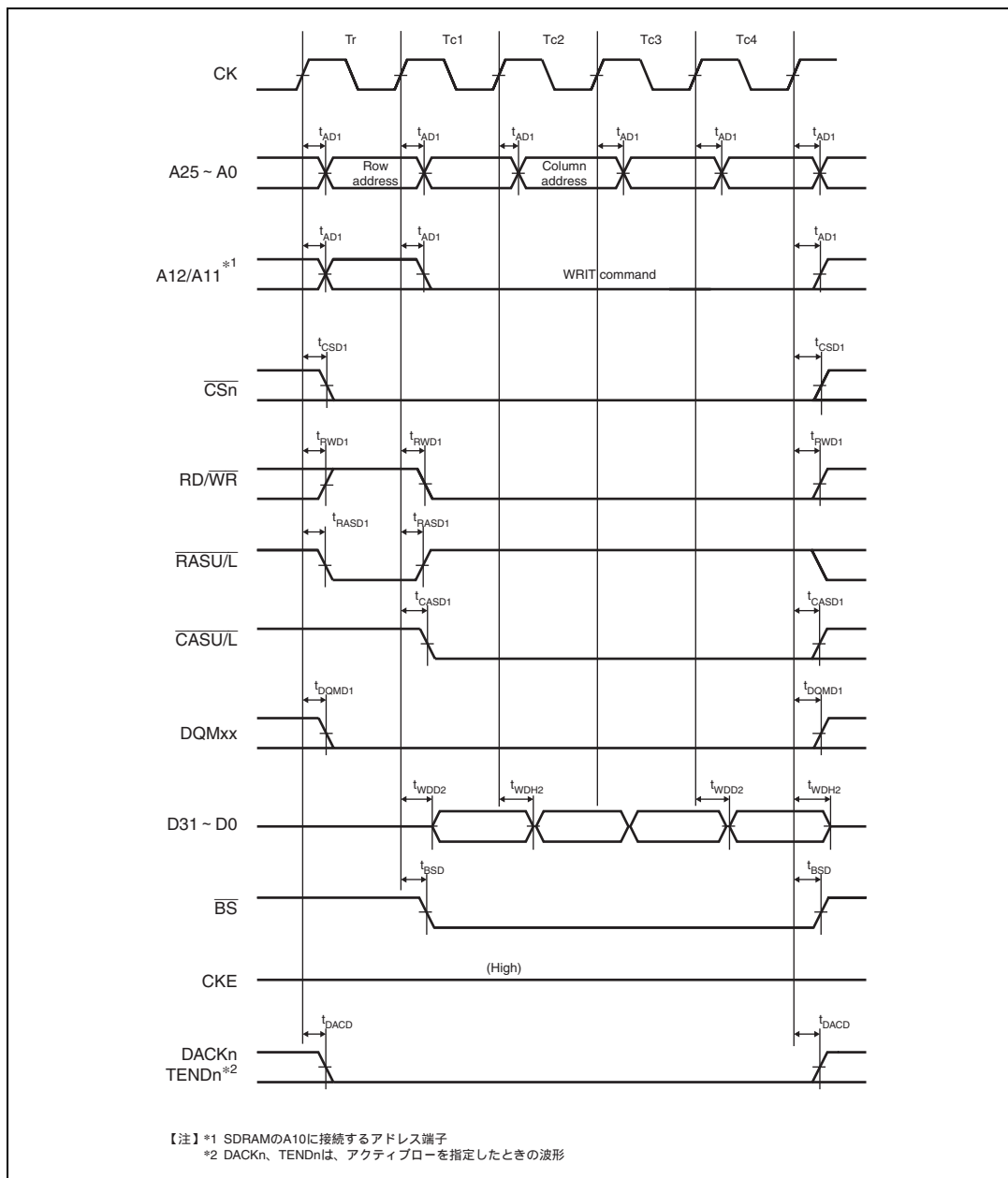


図 35.34 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード: ACT+WRITE コマンド、WTRCD=0 サイクル、TRWL=0 サイクル)

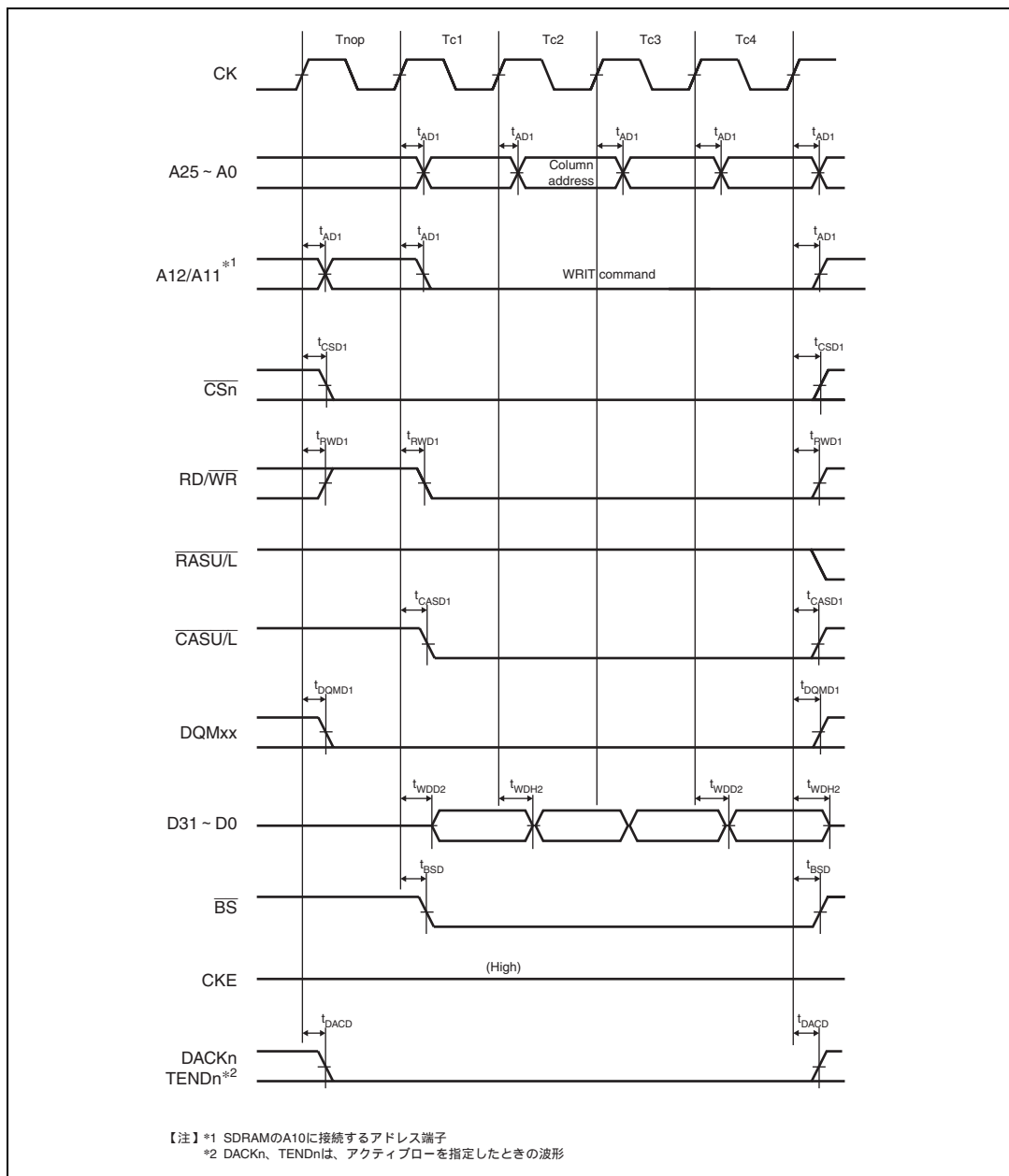


図 35.35 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード: WRITE コマンド、同一ロウアドレス、
WTRCD = 0 サイクル、TRWL = 0 サイクル)

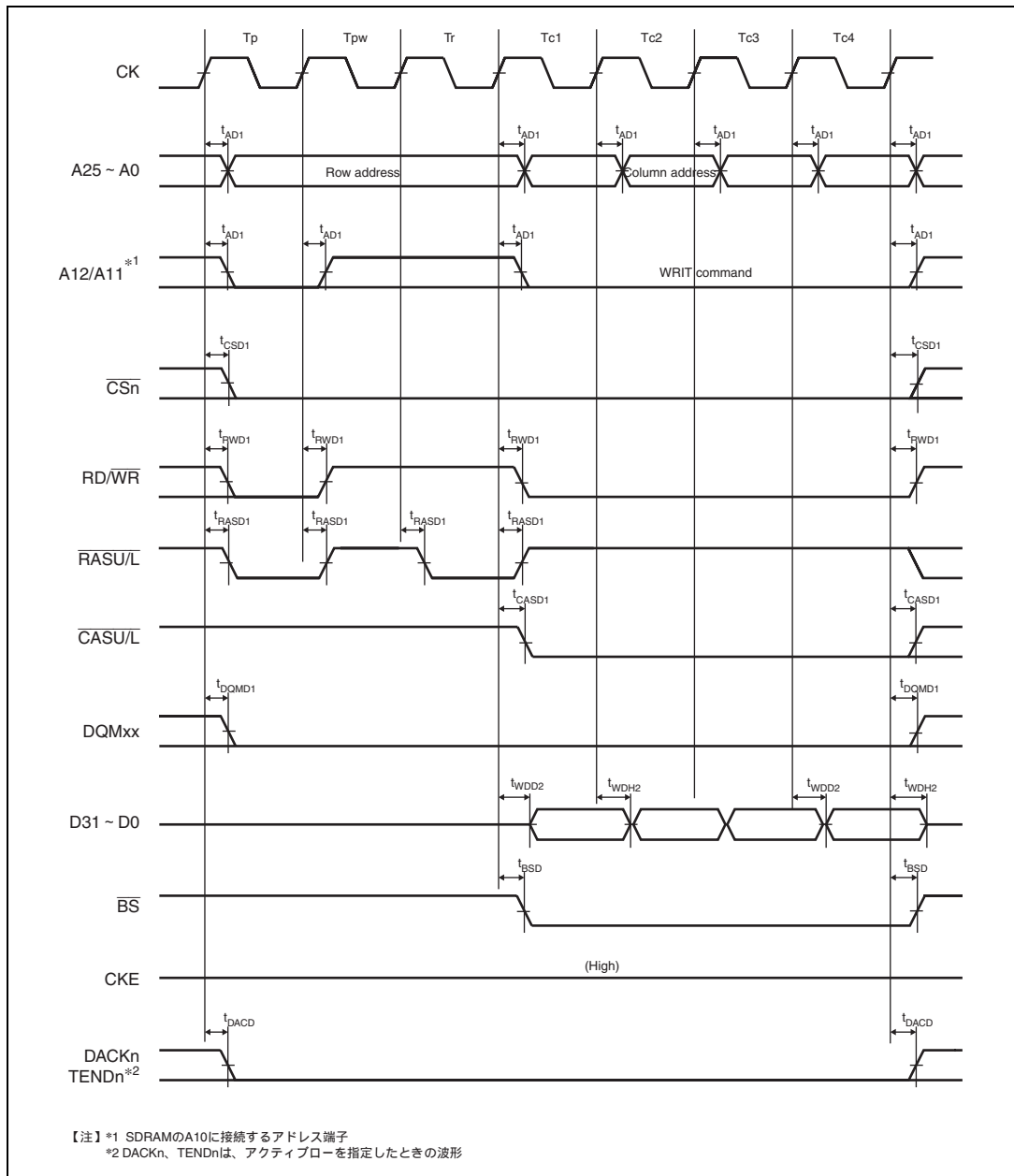


図 35.36 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード : PRE + ACT + WRITE コマンド、異なるロウアドレス、
WTRCD = 0 サイクル、TRWL = 0 サイクル)

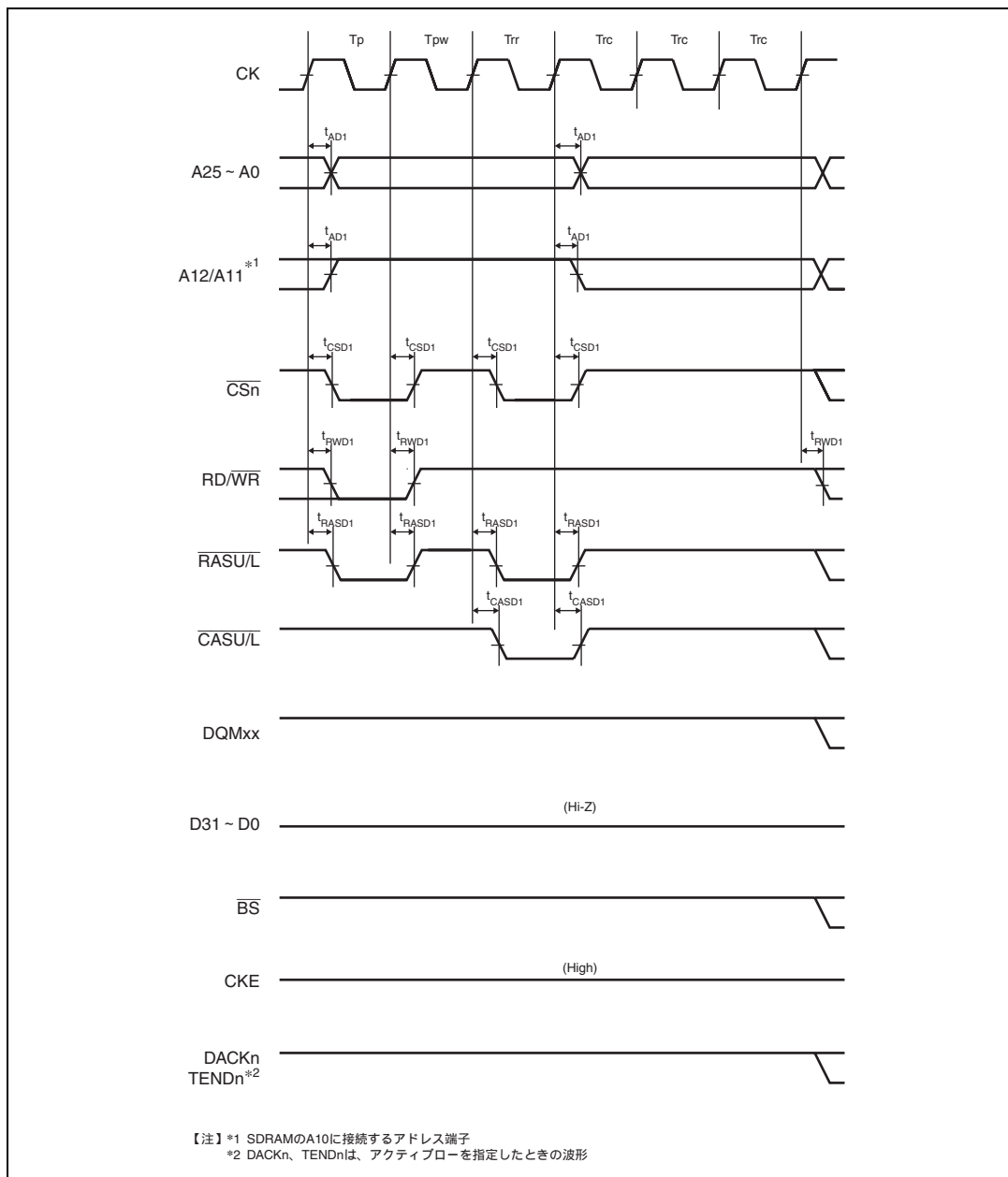


図 35.37 シンクロナス DRAM オートリフレッシュタイミング
(WTRP = 1 サイクル、WTRC = 3 サイクル)

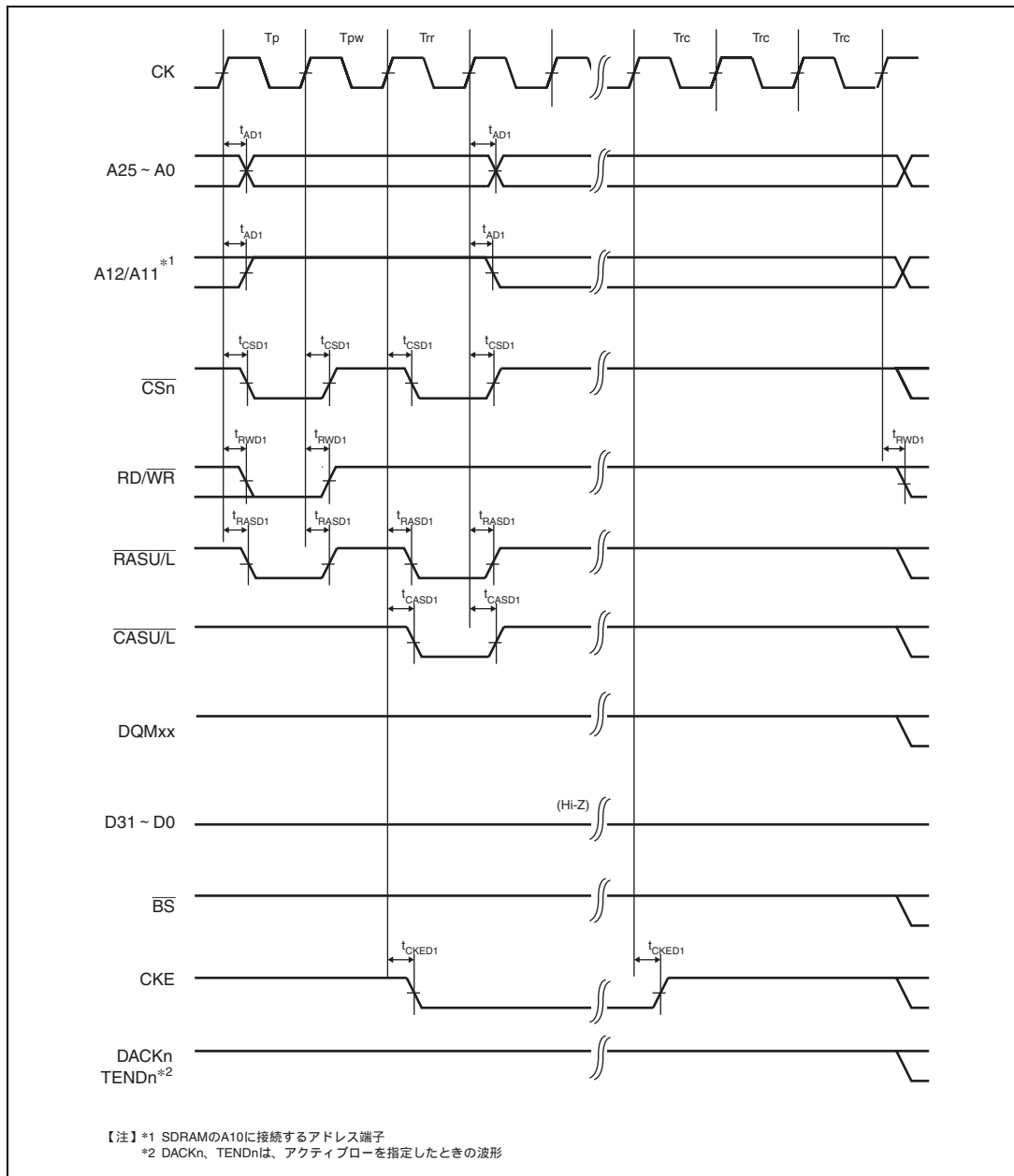


図 35.38 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル)

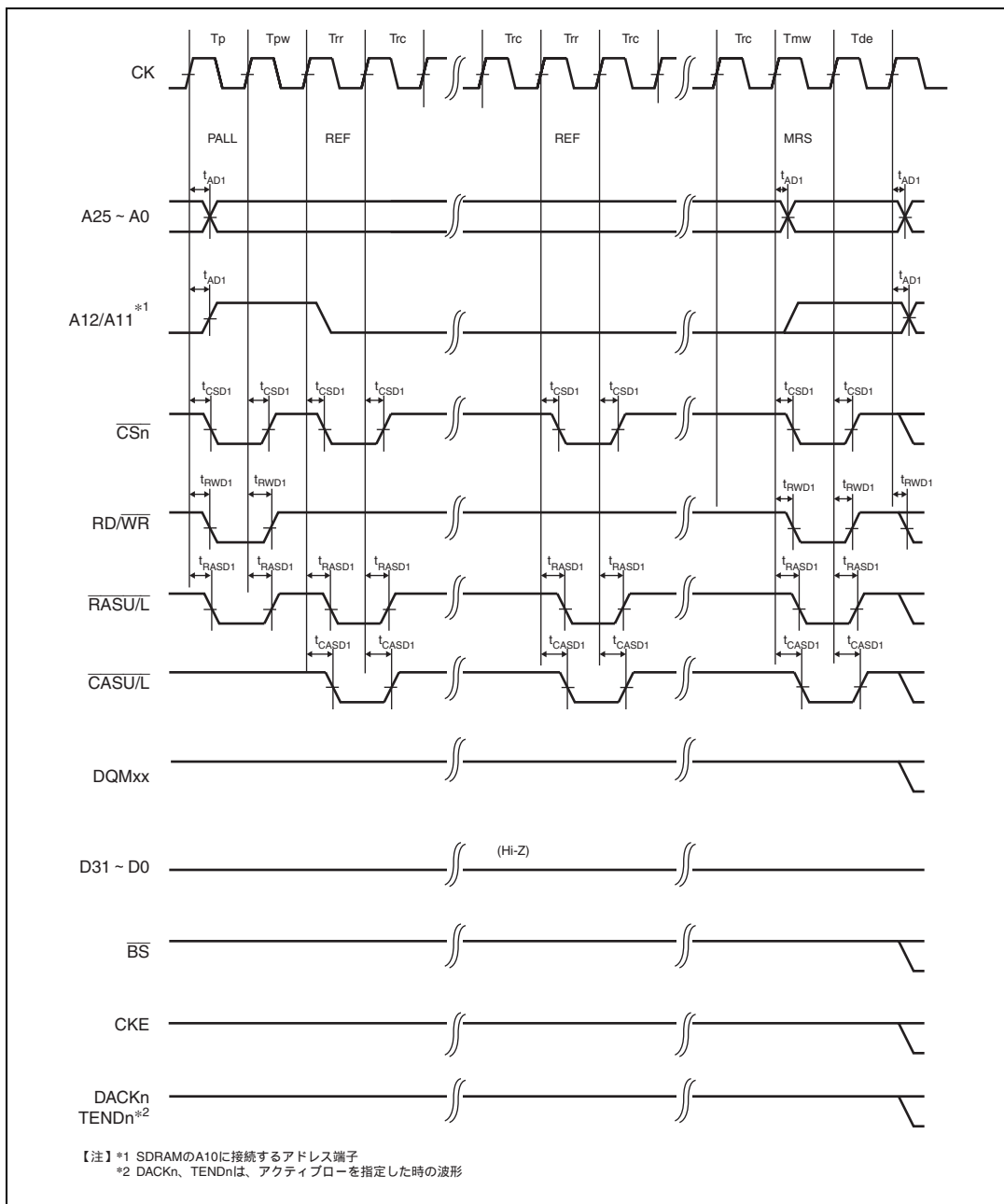


図 35.39 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

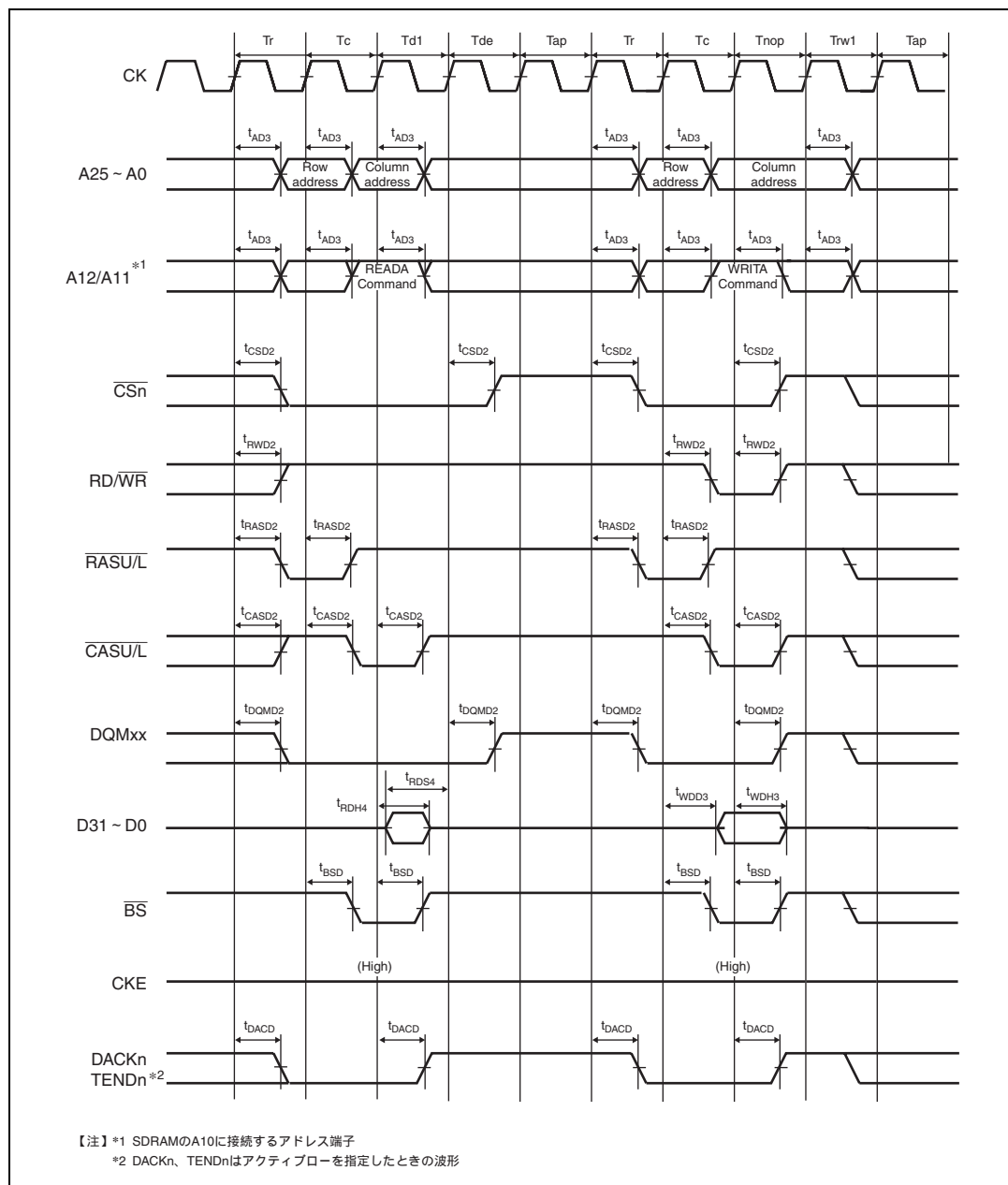


図 35.40 シンクロナス DRAM 低周波モードでのアクセスタイミング
(オートプリチャージモード、TRWL = 2 サイクル)

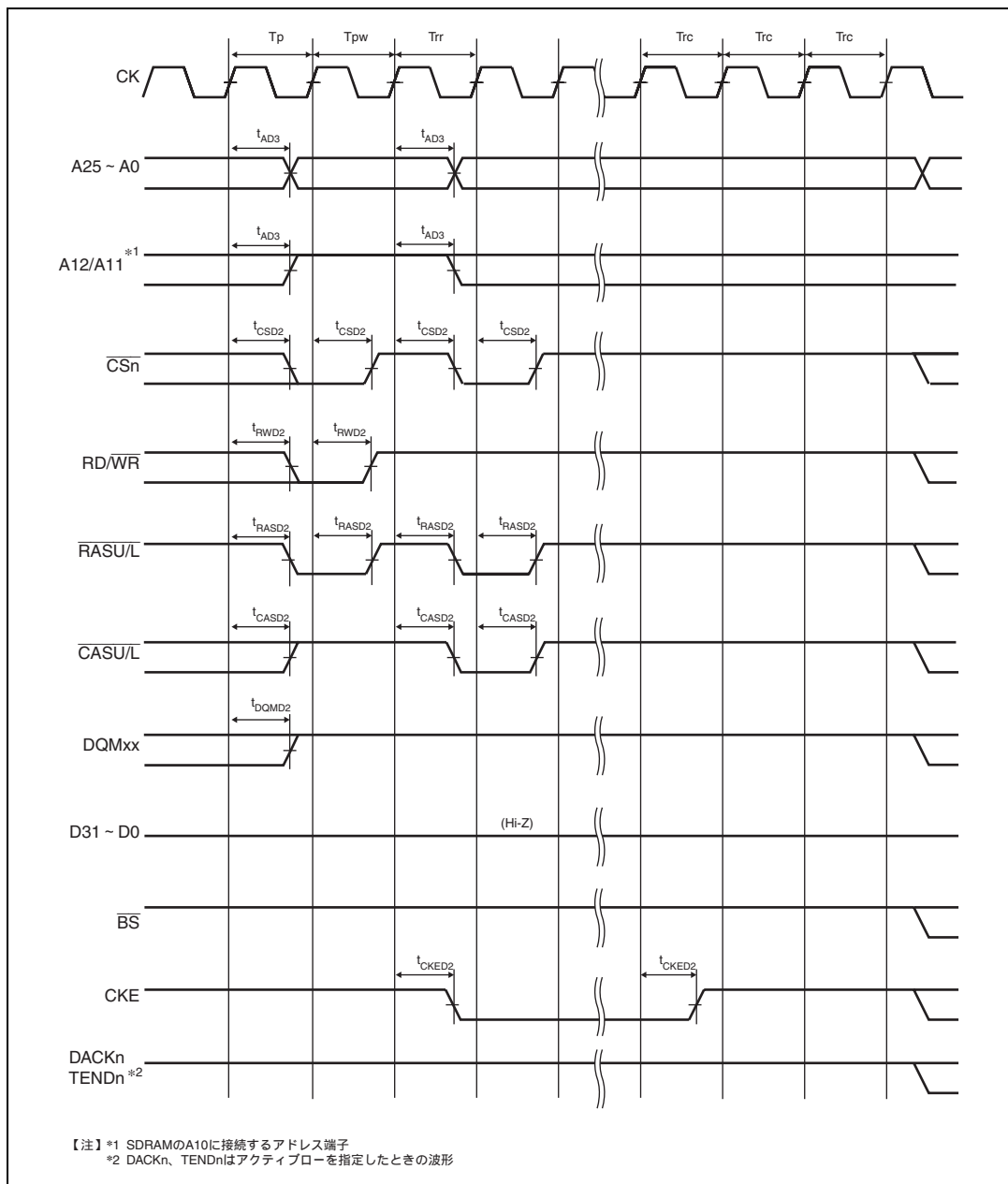


図 35.41 シンクロナス DRAM 低周波数モードセルフリフレッシュタイミング (WTRP = 2 サイクル)

35.4.4 UBC タイミング

表 35.9 UBC トリガタイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
UBCTRG 遅延時間	t_{UBCTGD}	-	50	ns	35.42

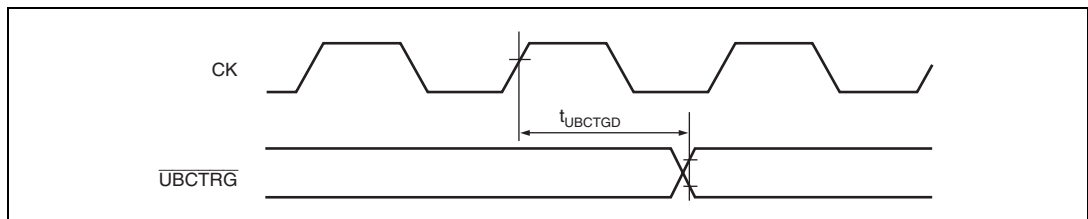


図 35.42 UBC トリガタイミング

35.4.5 DMAC タイミング

表 35.10 DMAC タイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	20	-	ns	35.43
DREQ ホールド時間	t_{DRQH}	20	-		
DACK、TEND 遅延時間	t_{DACD}	-	20		35.44

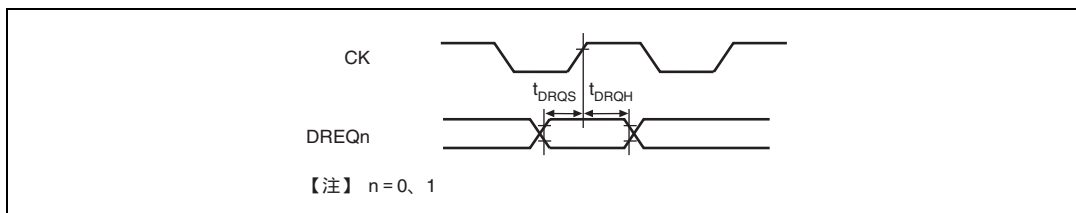


図 35.43 DREQ 入力タイミング

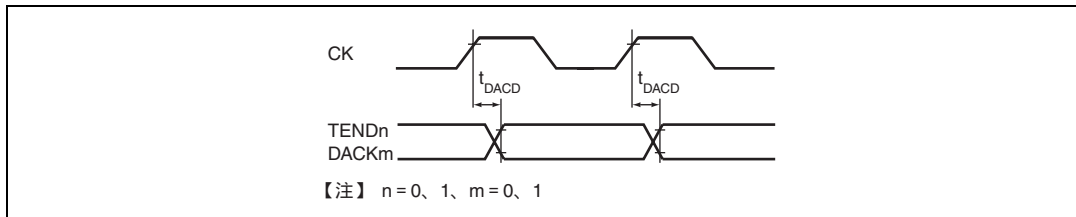


図 35.44 DACK、TEND 出力タイミング

35.4.6 MTU2 タイミング

表 35.11 MTU2 タイミング

条件：Vcc=PLLVcc=AVcc=LVDSVcc (SH72315A のみ) =3.0~3.6V、PVcc1=PVcc2=1.65~1.95V または 3.0~3.6V、

AVref=3.0~AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20 ~ +85 (民生用途品)、Ta = -40 ~ +85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t _{TOCD}	-	50	ns	35.45
インプットキャプチャ入力セットアップ時間	t _{TICS}	t _{pcyc} /2 + 20	-	ns	
インプットキャプチャ入力パルス幅 (単エッジ指定)	t _{TICW}	1.5	-	t _{pcyc}	
インプットキャプチャ入力パルス幅 (両エッジ指定)	t _{TICW}	2.5	-	t _{pcyc}	
タイマ入力セットアップ時間	t _{TCKS}	t _{pcyc} /2 + 20	-	ns	35.46
タイマクロックパルス幅 (単エッジ指定)	t _{TCKWH/L}	1.5	-	t _{pcyc}	
タイマクロックパルス幅 (両エッジ指定)	t _{TCKWH/L}	2.5	-	t _{pcyc}	
タイマクロックパルス幅 (位相計数モード)	t _{TCKWH/L}	2.5	-	t _{pcyc}	

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

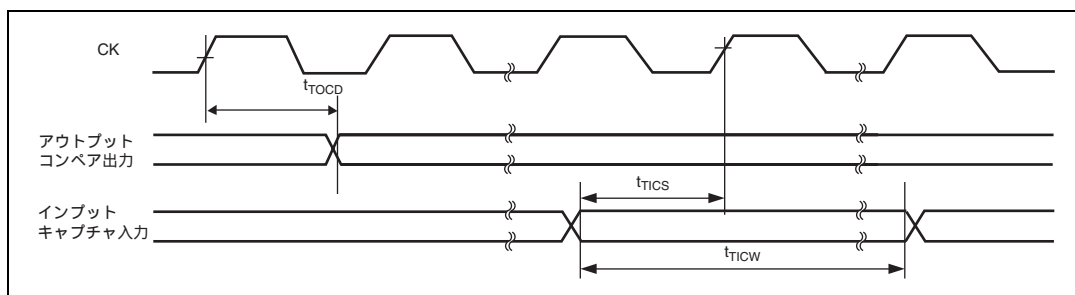


図 35.45 MTU2 入出力タイミング

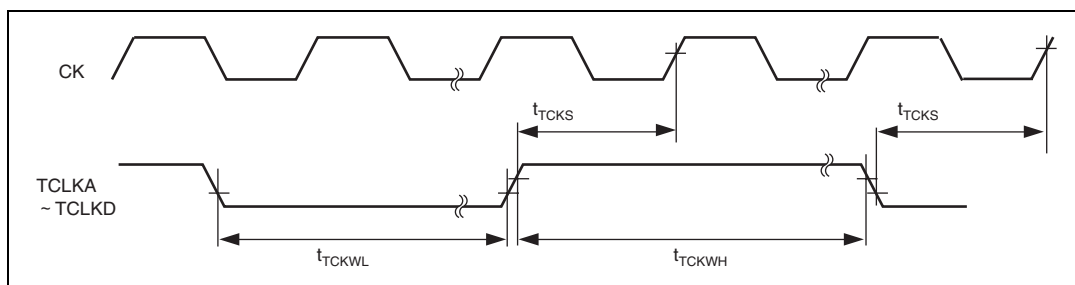


図 35.46 MTU2 クロック入力タイミング

35.4.7 MTU2S タイミング

表 35.12 MTU2S タイミング

条件：Vcc=PLLVcc=AVcc=LVDSVcc (SH72315A のみ) =3.0~3.6V、PVcc1=PVcc2=1.65~1.95V または 3.0~3.6V、

AVref=3.0~AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20~+85 (民生用途品)、Ta = -40~+85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t _{rocd}	-	50	ns	35.47
インプットキャプチャ入力セットアップ時間	t _{TICS}	t _{mcy} /2 + 20	-	ns	
インプットキャプチャ入力パルス幅 (単エッジ指定)	t _{TICW}	1.5	-	t _{mcy}	
インプットキャプチャ入力パルス幅 (両エッジ指定)	t _{TICW}	2.5	-	t _{mcy}	

【注】 t_{mcy} は MTU2S クロック (M) の周期を示します。

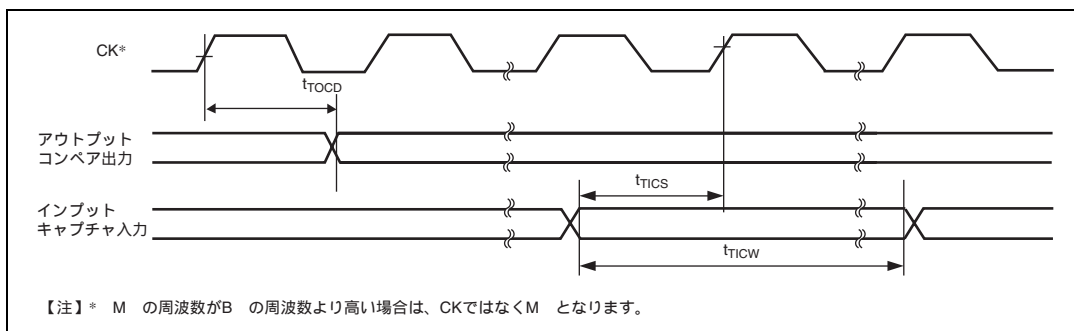


図 35.47 MTU2S 入出力タイミング

35.4.8 POE2 タイミング

表 35.13 POE2 タイミング

条件：Vcc=PLLVcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、

AVref=3.0 ~ AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20 ~ +85 (民生用途品)、Ta = -40 ~ +85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
POE 入力セットアップ時間	t _{POES}	50	-	ns	35.48
POE 入力パルス幅	t _{POEW}	1.5	-	t _{pcyc}	

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

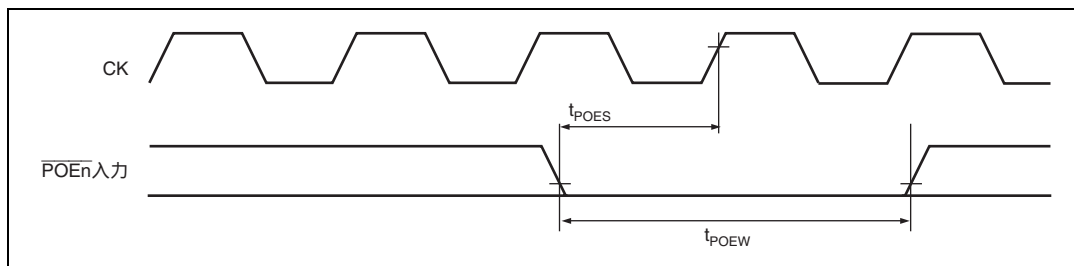


図 35.48 POE2 入力タイミング

35.4.9 WDT タイミング

表 35.14 WDT タイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、

$AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、

$T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	50	ns	35.49

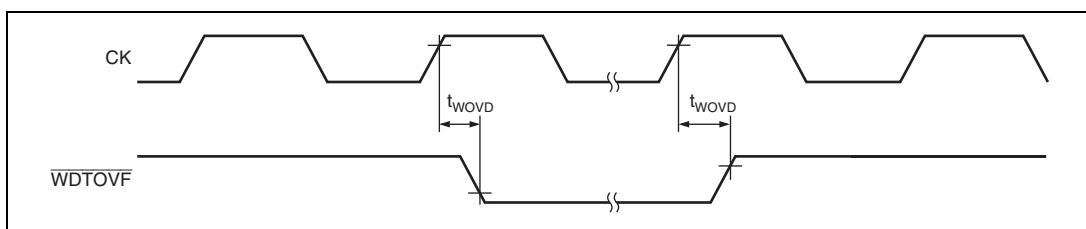


図 35.49 WDT タイミング

35.4.10 ADC タイミング

表 35.15 ADC タイミング

条件：Vcc=PLLvcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、

AVref=3.0 ~ AVcc、Vss=PLLvss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = - 20 ~ + 85 (民生用途品)、Ta = - 40 ~ + 85 (産業用途品)

項 目	記号	Min.	Max.	単位	参照図
トリガ入力セットアップ時間	tTRGS	20	-	ns	35.50

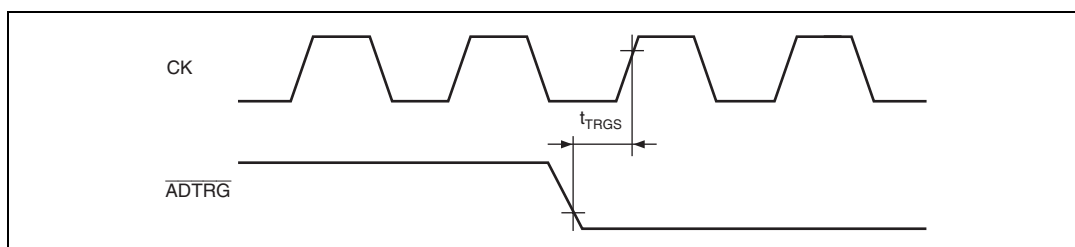


図 35.50 A/D 変換器外部トリガ入力タイミング

35.4.11 SCI/SCIF タイミング

表 35.16 SCI/SCIF タイミング

条件：Vcc=PLLVcc=AVcc=LVDSVcc (SH72315A のみ) =3.0~3.6V、PVcc1=PVcc2=1.65~1.95V または 3.0~3.6V、

AVref=3.0~AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20~+85 (民生用途品)、Ta = -40~+85 (産業用途品)

項目	記号	Min.	Max.	条件	単位	参照図	
入力クロックサイクル (調歩同期)	t _{scyc}	4	-		t _{pcyc}	35.51、 35.52	
入力クロックサイクル (クロック同期)	t _{scyc}	6	-		t _{pcyc}		
入力クロックパルス幅	t _{sckw}	0.4	0.6		t _{scyc}		
入力クロック立ち上がり時間	t _{sckr}	-	1.5		t _{pcyc}		
入力クロック立ち下がり時間	t _{sckf}	-	1.5		t _{pcyc}		
送信データ遅延時間	調歩同期	tr _{xD}	-	4t _{pcyc} +20	Vcc/PVcc1/PVcc2=3.0~3.6V	ns	35.52
			-	4t _{pcyc} +30	PVcc1/PVcc2=1.65~1.95V	ns	
受信データセットアップ時間	調歩同期	tr _{xS}	4t _{pcyc}	-		ns	
受信データホールド時間			調歩同期	tr _{xH}	4t _{pcyc}	-	
送信データ遅延時間	クロック同期	tr _{xD}			-	3t _{pcyc} +20	
			-	3t _{pcyc} +30	PVcc1/PVcc2=1.65~1.95V、 クロックスレーブ時	ns	
受信データセットアップ時間	クロック同期	tr _{xS}	3t _{pcyc} +20	-		ns	
受信データホールド時間			クロック同期	tr _{xH}	2t _{pcyc}	-	ns

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

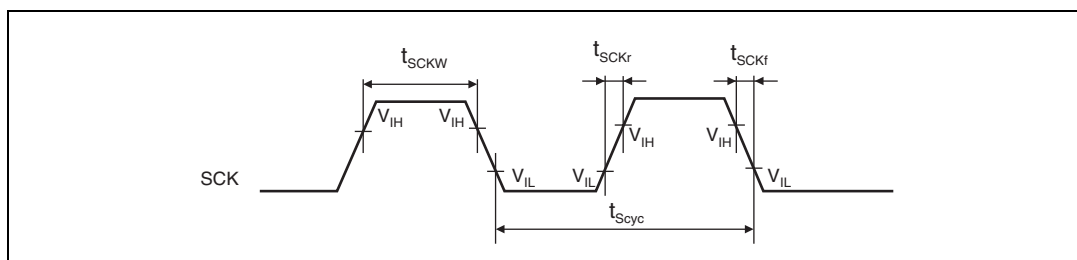


図 35.51 SCK 入力クロックタイミング

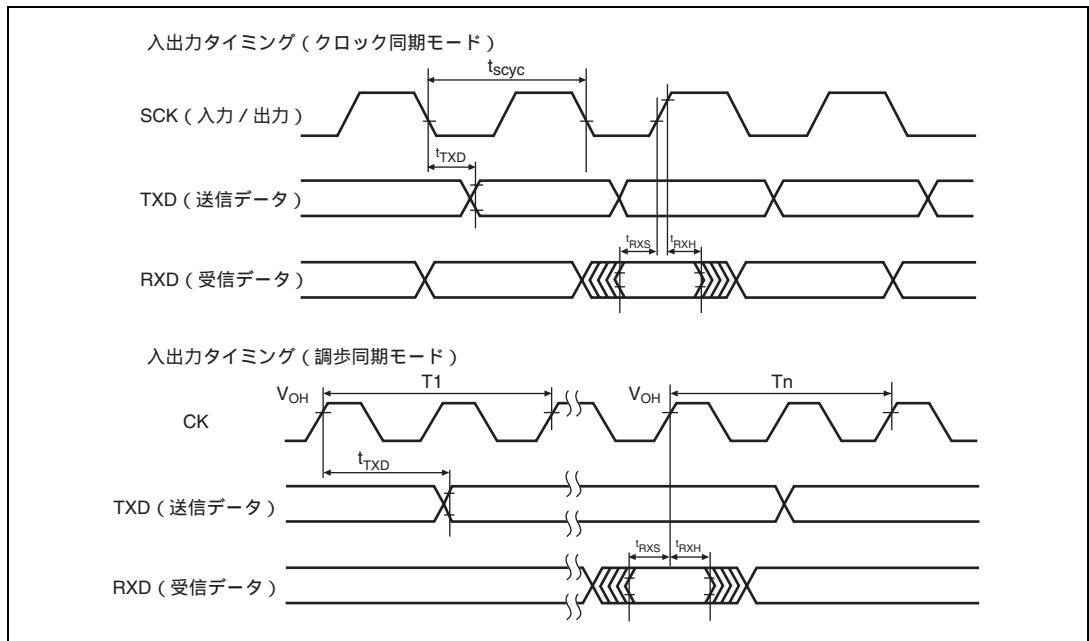


図 35.52 入出力タイミング

35.4.12 I/O ポートタイミング

表 35.17 I/O ポートタイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、

$AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、

$T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	-	50	ns	35.53
入力データセットアップ時間	t_{PORTS}	20	-		
入力データホールド時間	t_{PORTH}	20	-		

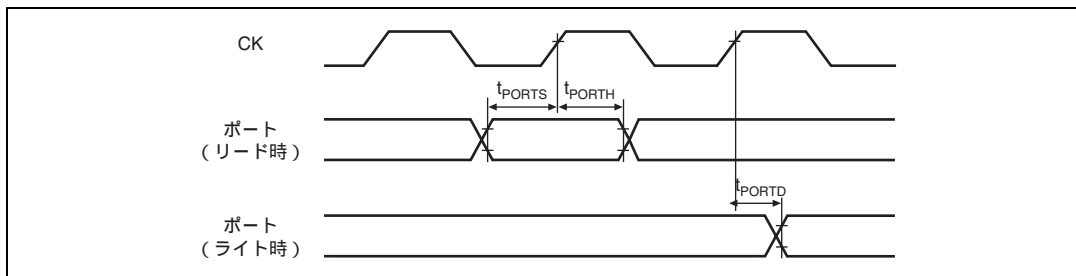


図 35.53 I/O ポートタイミング

35.4.13 IIC3 タイミング

表 35.18 IIC3 タイミング

条件：Vcc=PLLVcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、
 AVref=3.0 ~ AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、
 Ta = - 20 ~ + 85 (民生用途品)、Ta = - 40 ~ + 85 (産業用途品)

項目	記号	規格値		単位	参照図
		Min.	Max.		
SCL 入力サイクル時間	tsCL	12t _{pcyc} * ¹ + 600	-	ns	35.54
SCL 入力 High パルス幅	tsCLH	3t _{pcyc} * ¹ + 300	-	ns	
SCL 入力 Low パルス幅	tsCLL	5t _{pcyc} * ¹ + 300	-	ns	
SCL、SDA 入力立ち上がり時間	tsr	-	300	ns	
SCL、SDA 入力立ち下がり時間	tsf	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間* ²	tsP	-	1、2	t _{pcyc} * ¹	
SDA 入力バスフリー時間	tBUF	5	-	t _{pcyc} * ¹	
開始条件入力ホールド時間	tSTAH	3	-	t _{pcyc} * ¹	
再送開始条件入力セットアップ時間	tSTAS	3	-	t _{pcyc} * ¹	
停止条件入力セットアップ時間	tSTOS	3	-	t _{pcyc} * ¹	
データ入力セットアップ時間	tSDAS	1t _{pcyc} * ¹ + 20	-	ns	
データ入力ホールド時間	tSDAH	0	-	ns	
SCL、SDA の容量性負荷	Cb	0	400	pF	
SCL、SDA 出力立ち下がり時間* ³	tsf	-	250	ns	

【注】 *1 t_{pcyc} は周辺クロック (P) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

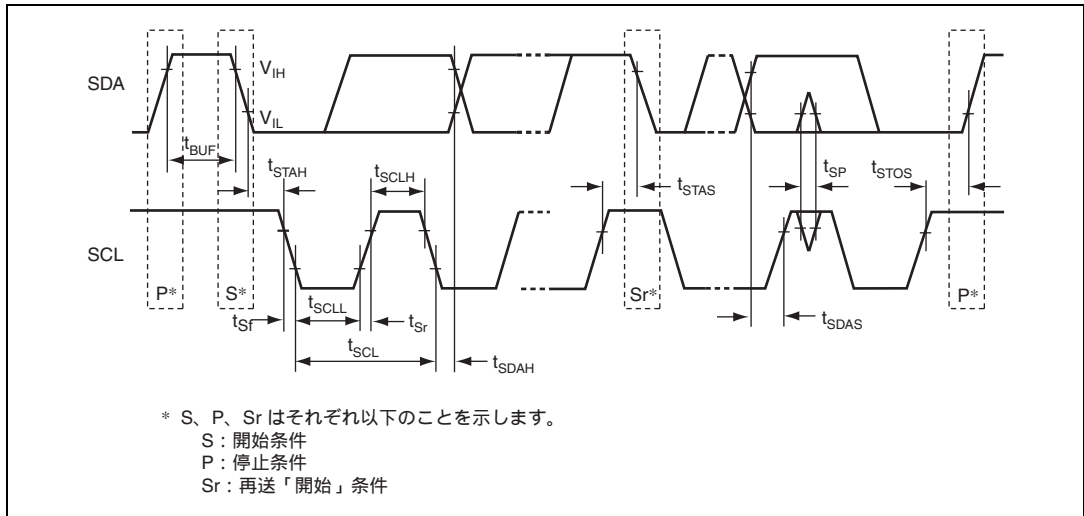


図 35.54 IIC3 入出力タイミング

35.4.14 LVDS タイミング (SH72315A のみ)

表 35.19 LVDS タイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
クロック入力サイクル時間	t_{CLKIN}	6.25	50	ns	35.55
データ入力サイクル時間	t_{RXIN}	3.125	25	ns	
データ入力セットアップ時間	t_{RXS}	0.75	-	ns	
データ入力ホールド時間	t_{RXH}	0.75	-	ns	
LVDS 受信開始安定時間	t_{RCV}	5	-	μs	35.56

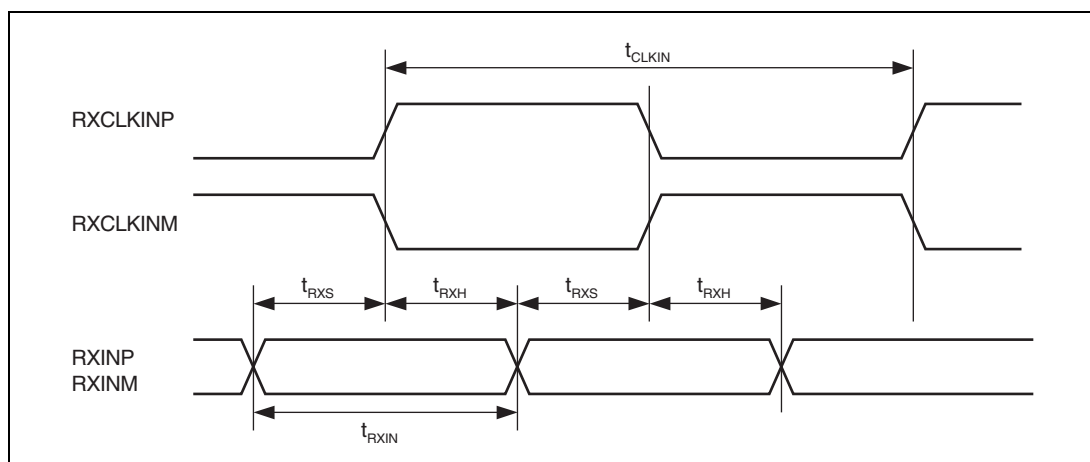


図 35.55 LVDS 入力タイミング

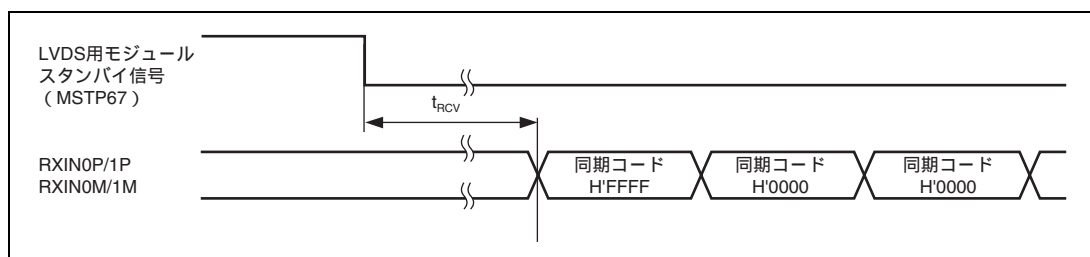


図 35.56 LVDS 受信開始安定時間

35.4.15 コントローラエリアネットワーク (RCAN-ET) タイミング

表 35.20 コントローラエリアネットワーク (RCAN-ET) タイミング

条件 : $V_{CC}=PLL_{VCC}=AV_{CC}=LVDS_{VCC}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{CC1}=PV_{CC2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{REF}=3.0 \sim AV_{CC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=LVDS_{VSS}$ (SH72315A のみ) = $PV_{SS1}=PV_{SS2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
送信データ遅延時間	t_{CTxD}	-	100	ns	35.57
受信データセットアップ時間	t_{CRxS}	100	-	ns	
受信データホールド時間	t_{CRxH}	100	-	ns	

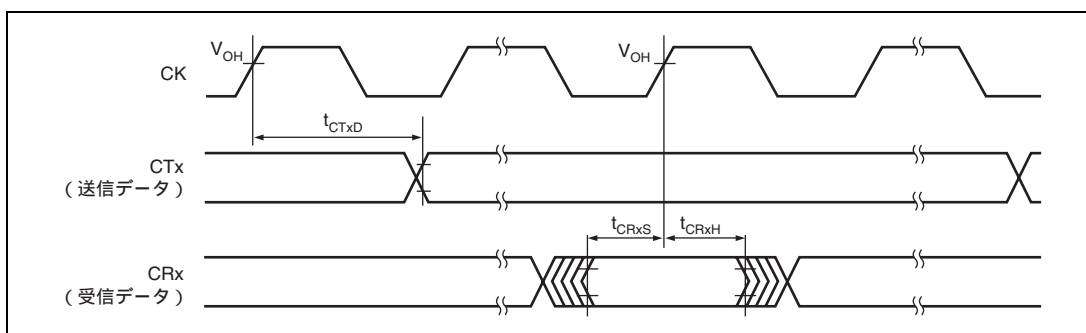


図 35.57 RCAN-ET 入出力タイミング

35.4.16 RSPI タイミング

表 35.21 SPI タイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目		記号	Min.	Max.	条件	単位	参照図
RSPCK クロックサイクル*1	マスタ	tSPcyc	2	4096		tPcyc	35.58
	スレーブ		8	4096			
RSPCK クロックサイクル ハイレベルパルス幅	マスタ	tSPCKWH	$(tSPcyc - tSPCKR - tSPCKF) / 2 - 3$	-		ns	
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF) / 2$	-			
RSPCK クロックサイクル ローレベルパルス幅	マスタ	tSPCKWL	$(tSPcyc - tSPCKR - tSPCKF) / 2 - 3$	-		ns	
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF) / 2$	-			
RSPCK クロック立ち上がり / 立ち下がり時間*2	出力	tSPCKR、	-	5		ns	
	入力	tSPCKF	-	1		tPcyc	
データ入力セットアップ時間	マスタ	tSU	25	-	$PV_{cc1} = 3.0 \sim 3.6V$	ns	35.59 ~ 35.62
			35	-	$PV_{cc1} = 1.65 \sim 1.95V$		
	スレーブ		$20 - 2 \times tPcyc$	-			
データ入力ホールド時間	マスタ	tH	0	-		ns	
	スレーブ		$20 + 2 \times tPcyc$	-			
SSL セットアップ時間	マスタ	tLEAD	1	8		tSPcyc	
	スレーブ		4	-		tPcyc	
SSL ホールド時間	マスタ	tLAG	1	8		tSPcyc	
	スレーブ		4	-		tPcyc	
データ出力遅延時間	マスタ	tOD	-	15		ns	
	スレーブ		-	$3 \times tPcyc + 25$	$PV_{cc1} = 3.0 \sim 3.6V$		
			-	$3 \times tPcyc + 35$	$PV_{cc1} = 1.65 \sim 1.95V$		
データ出力ホールド時間	マスタ	tOH	0	-		ns	
	スレーブ		0	-			
連続送信遅延時間	マスタ	tTD	$tSPcyc + 2 \times tPcyc$	$8 \times tSPcyc + 2 \times tPcyc$		ns	
	スレーブ		$4 \times tPcyc$	-			
MOSI / MISO 立ち上がり / 立ち下がり時間*2	マスタ	tDR、	-	5		ns	
	スレーブ	tDF	-	1		tPcyc	

項目	記号	Min.	Max.	条件	単位	参照図
SSL 立ち上がり / 立ち下がり 時間	マスタ tSSLR、	-	5		ns	
	スレーブ tSSLF	-	1		tPcyc	
スレーブアクセス時間	tSA	-	4		tPcyc	35.61、
スレーブ出力開放時間	tREL	-	3		tPcyc	35.62

【注】 *1 tSPcyc は 80ns 以上になるように設定してください。

*2 出力をオープンドレインに設定した場合、上記タイミングは満たされません。

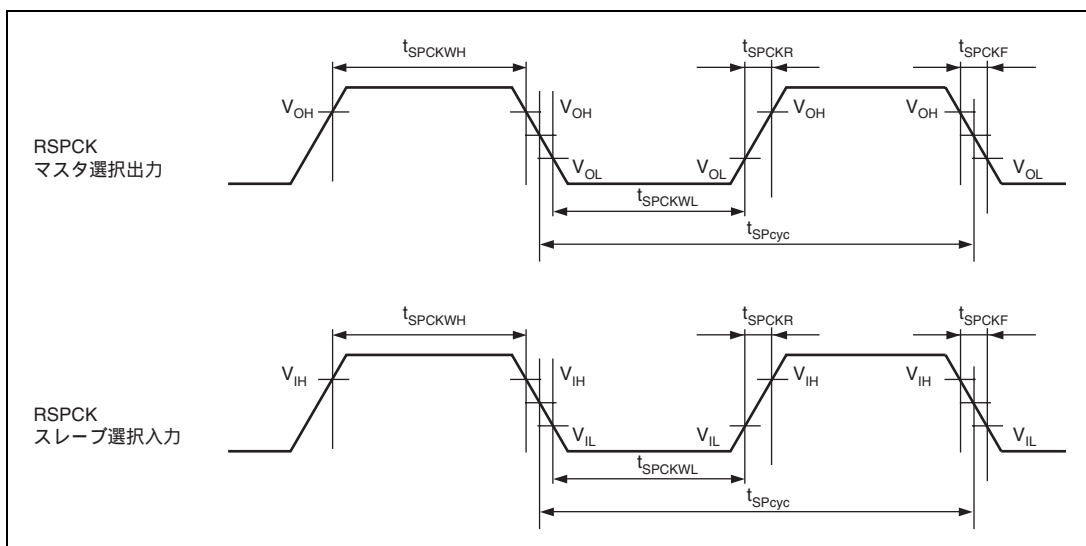


図 35.58 RSPCK クロックタイミング

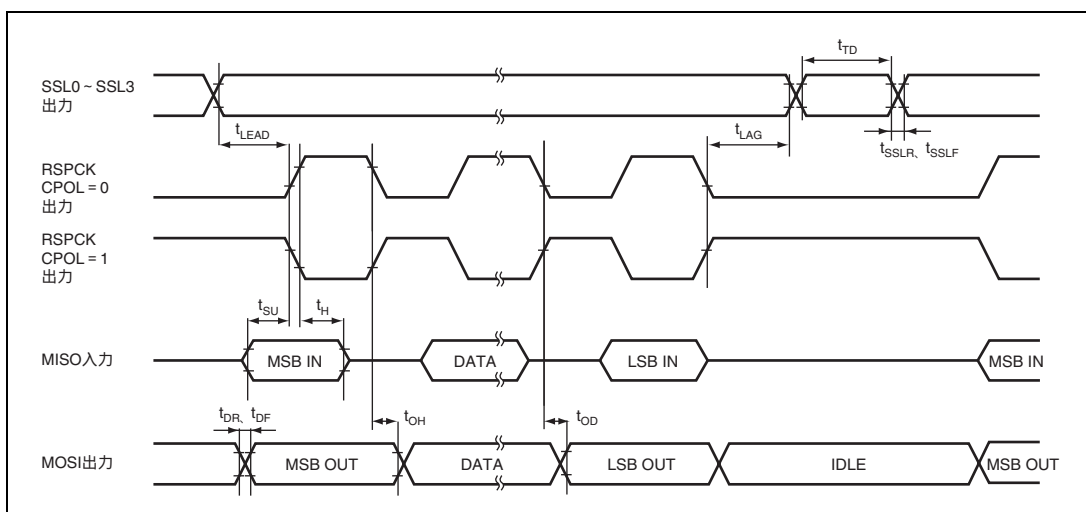


図 35.59 RSPCK タイミング (マスタ、CPHA = 0)

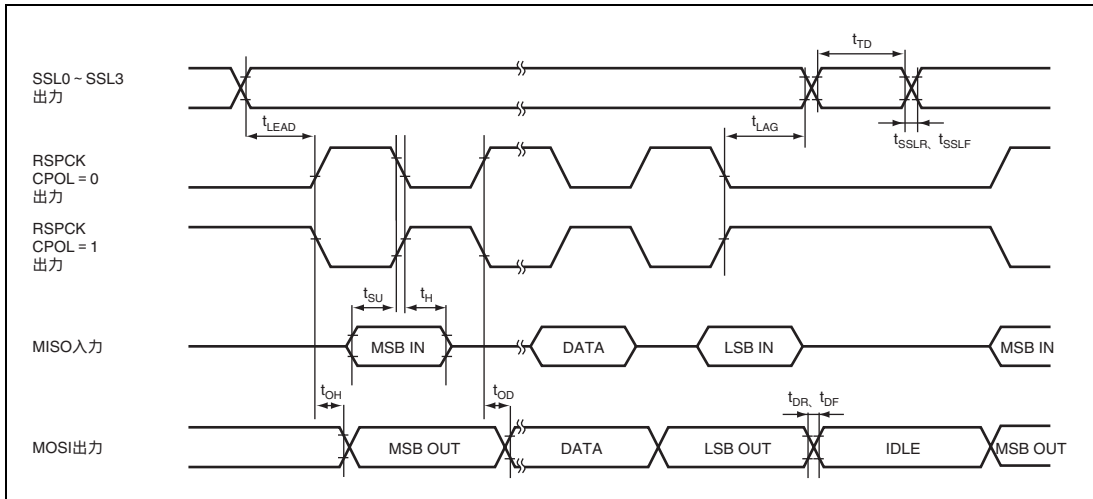


図 35.60 RSPi タイミング (マスタ、CPHA = 1)

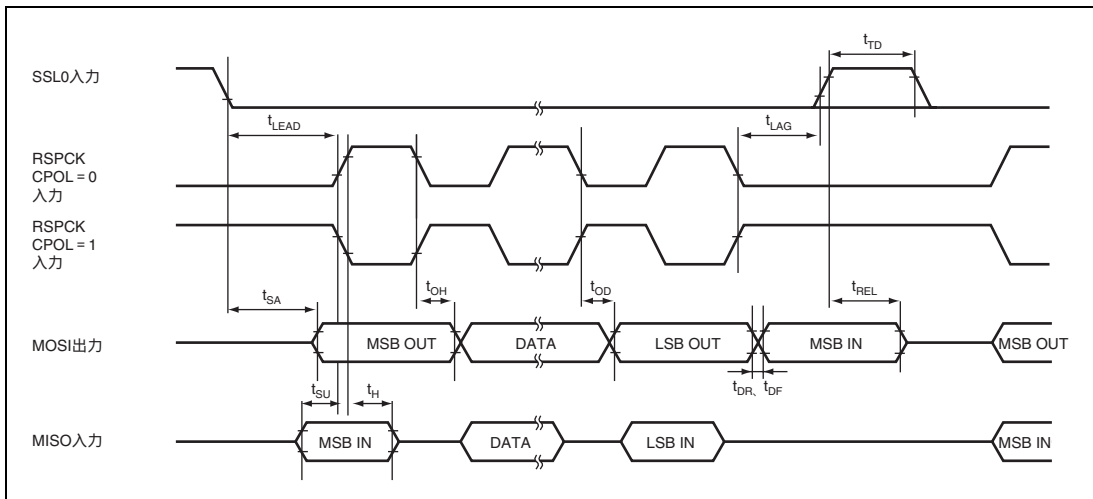


図 35.61 RSPi タイミング (スレーブ、CPHA = 0)

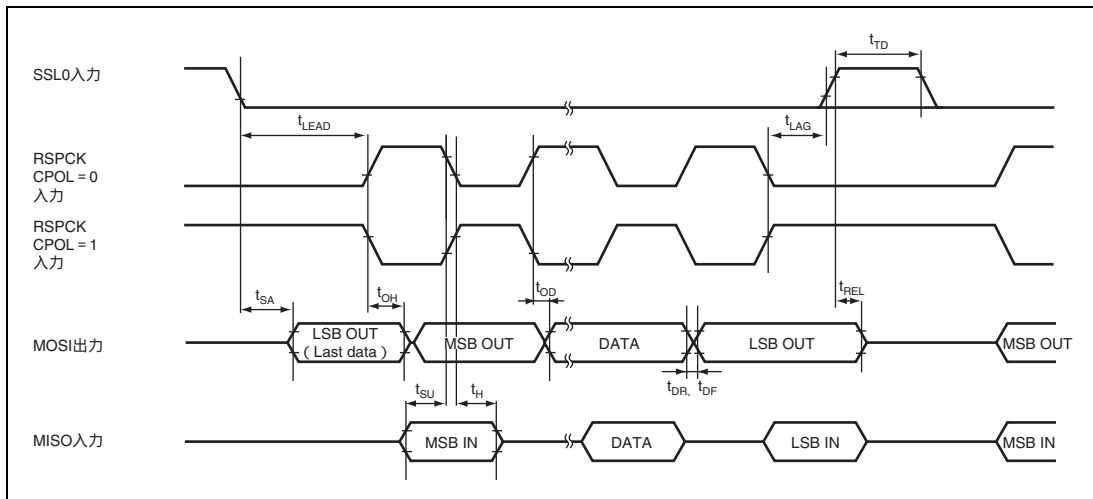


図 35.62 RSPI タイミング (スレープ、CPHA = 1)

35.4.17 CMT2 タイミング

表 35.22 CMT2 タイミング

条件：Vcc=PLLVcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、

AVref=3.0 ~ AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = - 20 ~ + 85 (民生用途品)、Ta = - 40 ~ + 85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t _{TOCD}	-	50	ns	35.63
インプットキャプチャ入力セットアップ時間	t _{TICS}	50	-	ns	
インプットキャプチャ入力パルス幅 (単エッジ指定)	t _{TICW}	1.5	-	t _{pcyc}	
インプットキャプチャ入力パルス幅 (両エッジ指定)	t _{TICW}	2.5	-	t _{pcyc}	

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

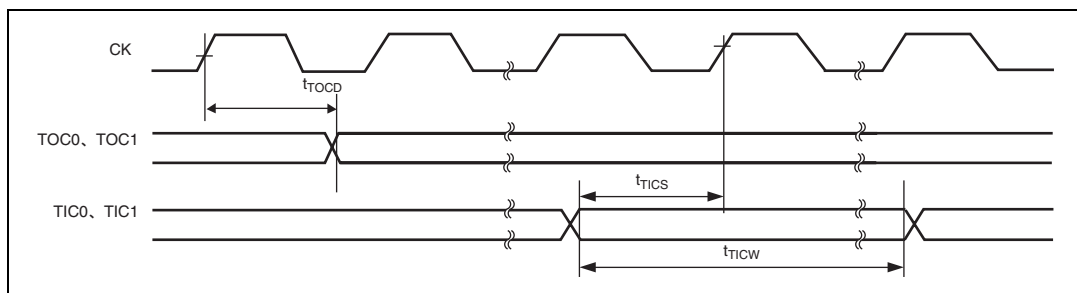


図 35.63 CMT2 入出力タイミング

35.4.18 TIM32C タイミング

表 35.23 TIM32C タイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、

$AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、

$T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
タイマ入力セットアップ時間	t_{T132S}	500	-	ns	35.64
タイマ入力パルス幅	$t_{T132WH/L}$	2.5	-	t_{cyc32}	

【注】 t_{cyc32} は KEYC/TIM32C 用クロックの周期を示します。

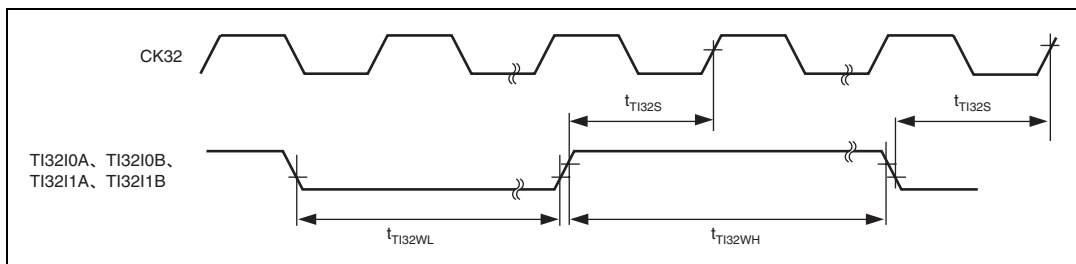


図 35.64 TIM32C 入出力タイミング

35.4.19 KEYC タイミング

表 35.24 KEYC タイミング

条件：Vcc=PLLvcc=AVcc=LVDSVcc (SH72315A のみ) =3.0 ~ 3.6V、PVcc1=PVcc2=1.65 ~ 1.95V または 3.0 ~ 3.6V、

AVref=3.0 ~ AVcc、Vss=PLLVss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、

Ta = -20 ~ +85 (民生用途品)、Ta = -40 ~ +85 (産業用途品)

項目	記号	Min.	Max.	単位	参照図
キー入力セットアップ時間	tKEYS	500	-	ns	35.65
キーマトリクス入力セットアップ時間	tPS	500	-	ns	
キーマトリクス出力遅延時間	tCOMD	-	500	ns	

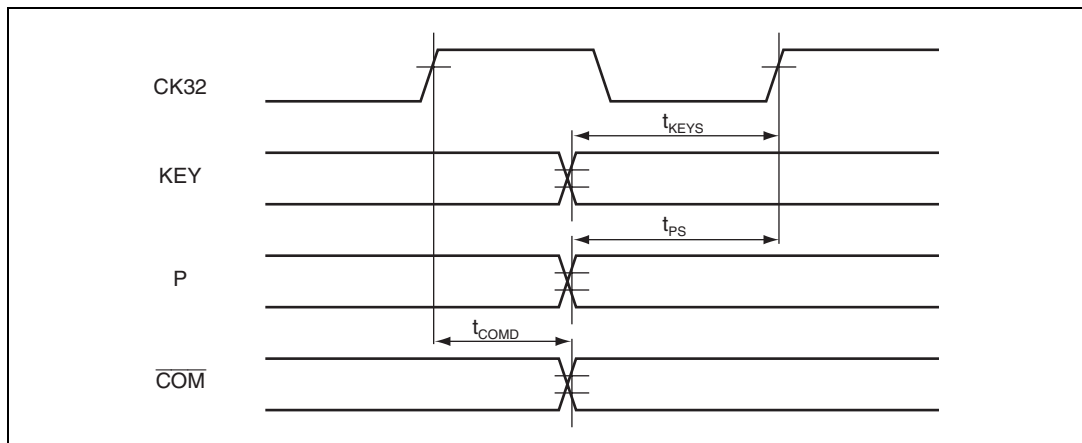


図 35.65 KEYC 入出力タイミング

35.4.20 H-UDI のタイミング

表 35.25 H-UDI のタイミング

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) =3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または $3.0 \sim 3.6V$ 、

$AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、

$T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	$t_{TCK_{cyc}}$	50*	-	ns	35.66、 35.67
TCK High レベルパルス幅	t_{TCKH}	0.4	0.6	$t_{TCK_{cyc}}$	
TCK Low レベルパルス幅	t_{TCKL}	0.4	0.6	$t_{TCK_{cyc}}$	
TDI セットアップ時間	t_{TDIS}	20	-	ns	35.67
TDI ホールド時間	t_{TDIH}	20	-	ns	
TMS セットアップ時間	t_{TMSS}	20	-	ns	
TMS ホールド時間	t_{TMSH}	20	-	ns	
TDO 遅延時間	t_{TDOD}	-	30	ns	

【注】 * 周辺クロックのサイクル時間より大きくなるようにしてください。

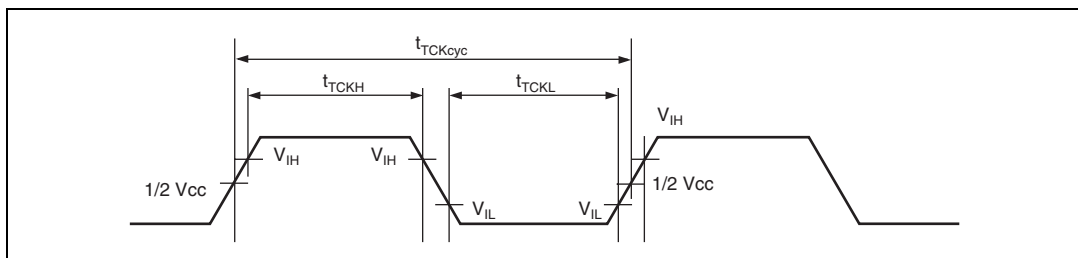


図 35.66 TCK 入力タイミング

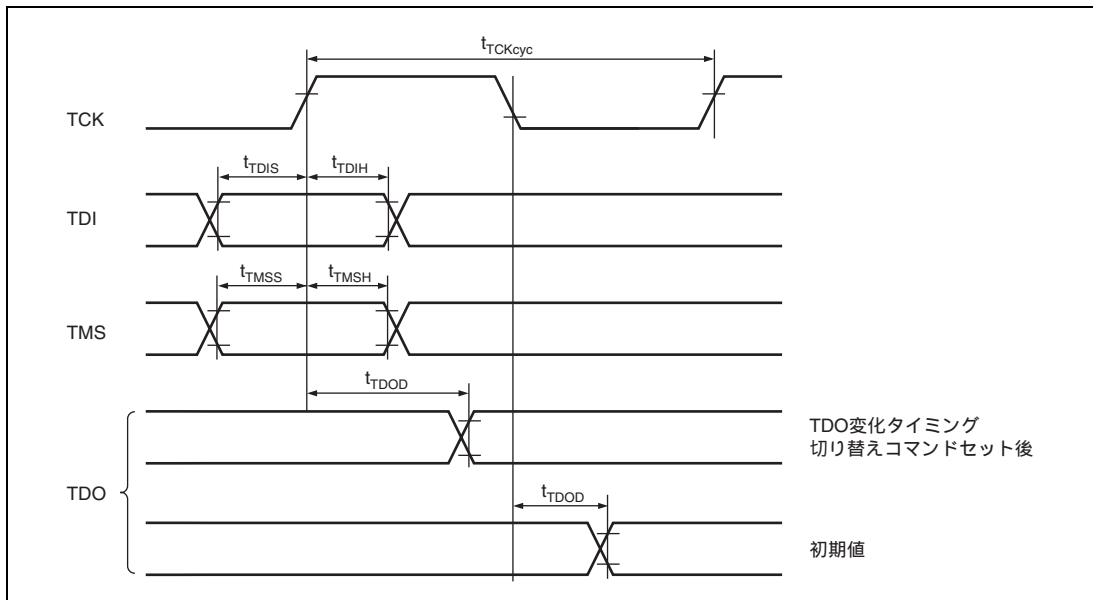


図 35.67 H-UDI データ転送タイミング

35.4.21 AC 特性測定条件

- 入出力信号レベル : $V_{IL}(\text{Max}) / V_{IH}(\text{Min})$
- 出力信号参照レベル : $V_{CC}/2$ 、 $PV_{CC1}/2$ 、 $PV_{CC2}/2$
- 入力立ち上がり、立ち下がり時間 : 1ns

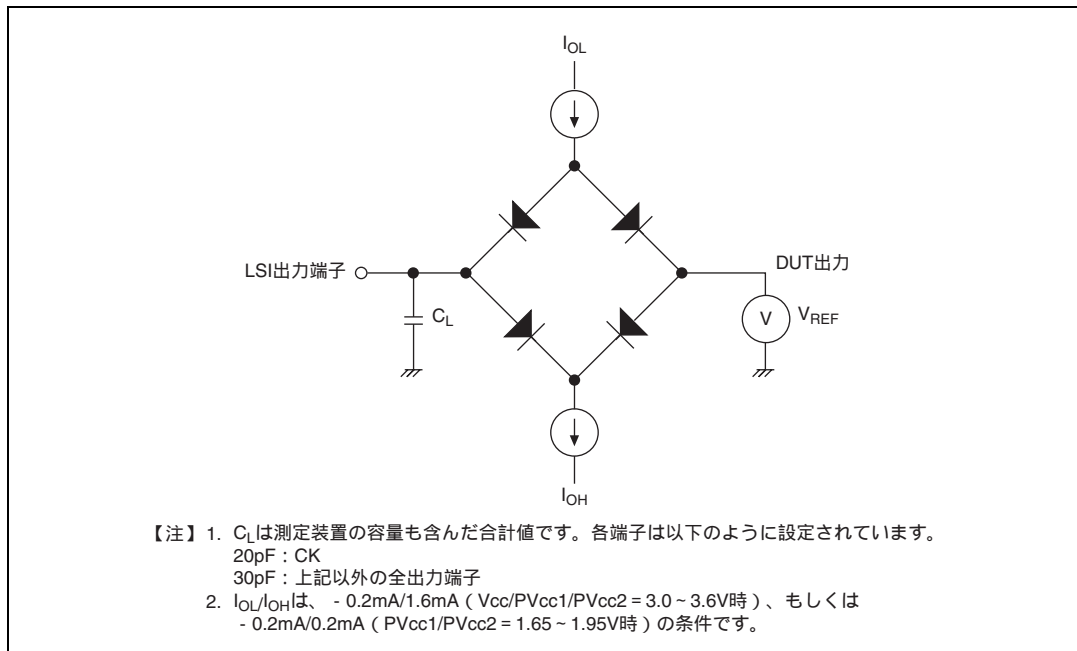


図 35.68 出力負荷回路

35.5 A/D 変換器特性

表 35.26 A/D 変換器特性

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項 目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	1.0	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	1.3	k
非直線性誤差 (積分誤差)	-	-	$\pm 3.0^{*1}$	LSB
オフセット誤差	-	-	$\pm 3.0^{*1}$	LSB
フルスケール誤差	-	-	$\pm 3.0^{*1}$	LSB
量子化誤差	-	-	$\pm 0.5^{*1}$	LSB
絶対精度	-	-	$\pm 4.0^{*2}$	LSB

【注】 *1 参考値

*2 $AV_{cc}=AV_{ref}$ のときのスペックになります。

35.6 フラッシュメモリ特性

条件：Vcc=PLLvcc=AVcc=LVDSVcc (SH72315A のみ) =3.0~3.6V、PVcc1=PVcc2=1.65~1.95V または 3.0~3.6V、
AVref=3.0~AVcc、Vss=PLLvss=AVss=LVDSVss (SH72315A のみ) =PVss1=PVss2=0V、
Ta = -20 ~ +85 (民生用途品)、Ta = -40 ~ +85 (産業用途品)

表 35.27 フラッシュメモリ特性 (1)

項 目	記号	NPEC < 100回			100回 NPEC < 100回			単位	測定条件
		Min.	Typ.	Max.	Min.	Typ.	Max.		
書き込み時間	256バイト	tP256	-	2	12	-	2.4	14.4	ms P = 50MHz
	8Kバイト	tP8K	-	45	100	-	54	120	
	32Kバイト	tP32K	-	180	400	-	216	480	
	64Kバイト	tP64K	-	360	800	-	432	960	
	128Kバイト	tP128K	-	720	1600	-	864	1920	
	256Kバイト	tP256K	-	1440	3200	-	1728	3840	
消去時間	8Kバイト	tE8K	-	50	120	-	60	145	ms
	32Kバイト	tE32K	-	200	480	-	240	580	
	64Kバイト	tE64K	-	400	875	-	480	1050	
	128Kバイト	tE128K	-	800	1750	-	960	2100	
	256Kバイト	tE256K	-	1600	3500	-	1920	4200	

表 35.28 フラッシュメモリ特性 (2)

項 目	記号	Min.	Typ.	Max.	単位	測定条件	参照図
再書き込み / 消去サイクル*1	NPEC	1000*2	-	-	回	P = 50MHz	35.69
書き込み中のサスペンド遅延時間	tSPD	-	-	225	μs	P = 20MHz	
		-	-	175	μs	P = 40MHz	
		-	-	155	μs	P = 50MHz	
消去中の 1 回目のサスペンド遅延時間 (サスペンド優先モード時)	tSESD1	-	-	220	μs	P = 20MHz	
		-	-	130	μs	P = 40MHz	
		-	-	120	μs	P = 50MHz	
消去中の 2 回目のサスペンド遅延時間 (サスペンド優先モード時)	tSESD2	-	-	1.7	ms	P = 50MHz	
消去中のサスペンド遅延時間 (消去優先モード時)	tSEED	-	-	1.7	ms		
データ保持時間*3	tDDRP	10	-	-	年		

【注】 *1 再書き込み / 消去サイクルの定義

再書き込み / 消去サイクルは、ブロックごとの消去回数です。

再書き込み / 消去サイクルが n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8KB のブロックについて、それぞれ異なる番地に 256 バイト書き込みを 32 回に分けて行った後に、そのブロックを消去した場合も再書き込み / 消去サイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

- *2 書き換え後のすべての特性を保証する min.回数です（保証は 1 - min.値の範囲）。
- *3 書き換えが min.値を含む仕様範囲内で行われたときの特性です。

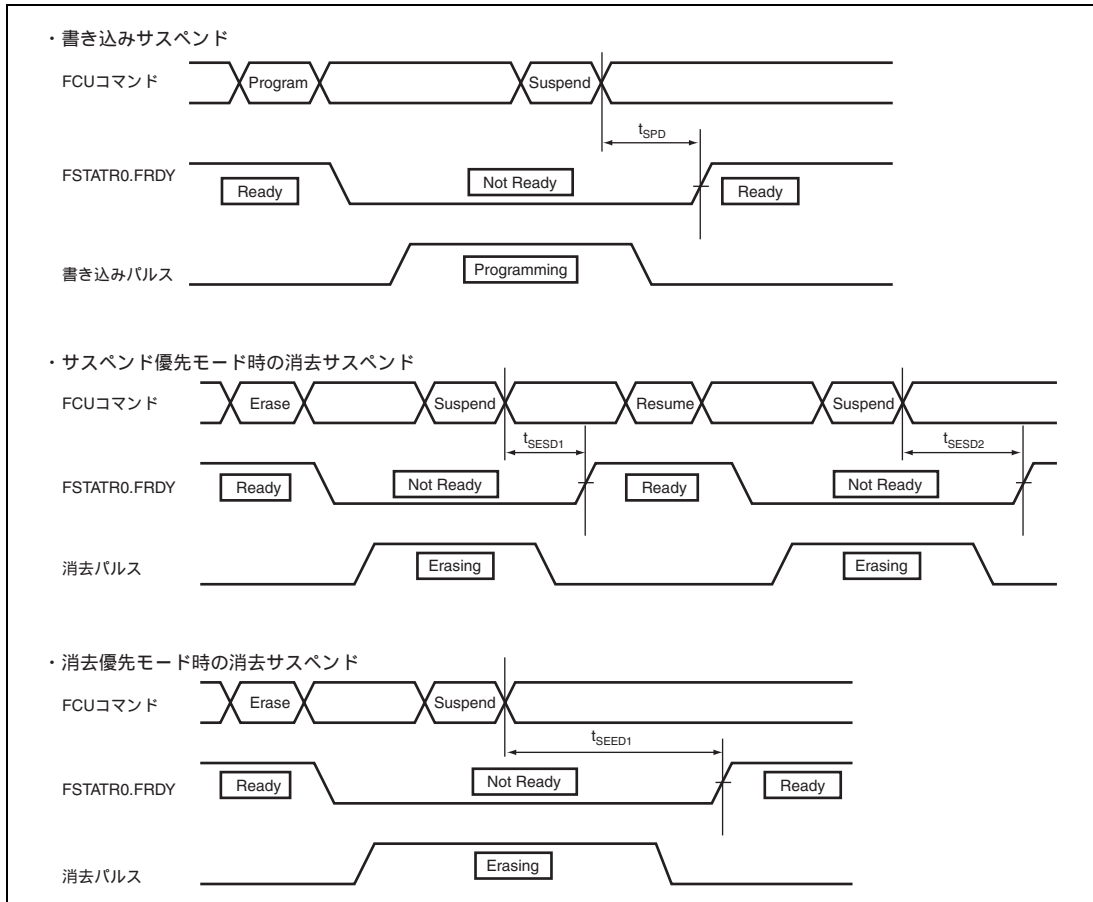


図 35.69 フラッシュメモリ書き込み / 消去サスペンドタイミング

35.7 FLD 特性

表 35.29 FLD (データ格納用フラッシュメモリ) 特性

条件 : $V_{cc}=PLL_{Vcc}=AV_{cc}=LVDS_{Vcc}$ (SH72315A のみ) = 3.0 ~ 3.6V、 $PV_{cc1}=PV_{cc2}=1.65 \sim 1.95V$ または 3.0 ~ 3.6V、
 $AV_{ref}=3.0 \sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=LVDS_{Vss}$ (SH72315A のみ) = $PV_{ss1}=PV_{ss2}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項 目		記号	Min.	Typ.	Max.	単位	測定条件
書き込み時間	8バイト	t_{P8}	-	0.4	2	ms	P = 50MHz時
	128バイト	t_{P128}	-	1	5	ms	
消去時間	8Kバイト	t_{E8K}	-	300	900	ms	P = 50MHz時
ブランクチェック時間	8バイト	t_{BC8}	-	-	30	μs	P = 50MHz時
	8Kバイト	t_{BC8K}	-	-	2.5	ms	
再書き込み / 消去サイクル*1		NPEC	30000*2	-	-	回	
書き込み中のサスペンド遅延時間		t_{SPD}	-	-	TBD	μs	図35.69
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD1}	-	-	TBD	μs	P = 50MHz時
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD2}	-	-	1.7	ms	
消去中のサスペンド遅延時間 (消去優先モード時)		t_{SEED}	-	-	1.7	ms	
データ保持時間*3		t_{DDRP}	10	-	-	年	

【注】 *1 再書き込み / 消去サイクルの定義

再書き込み / 消去サイクルは、ブロックごとの消去回数です。

再書き込み / 消去サイクルが n 回 ($n=30000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8K バイトのブロックについて、それぞれ異なる番地に 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も再書き込み / 消去サイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

*2 書き換え後のすべての特性を保証する Min.回数です (保証は 1 ~ Min.値の範囲)。

*3 書き換えが Min.値を含む仕様範囲内で行われたときの特性です。

35.8 使用上の注意事項

35.8.1 V_{CL} コンデンサ接続方法

本 LSI では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（V_{CL} 端子）と V_{SS} 端子間には、内部電圧安定用のコンデンサ（0.1 μF）を接続する必要があります。外付けコンデンサ接続方法を図 35.70 に示します。外付けコンデンサは端子の近くに配置してください。V_{CL} 端子には電源電圧を印加しないでください。

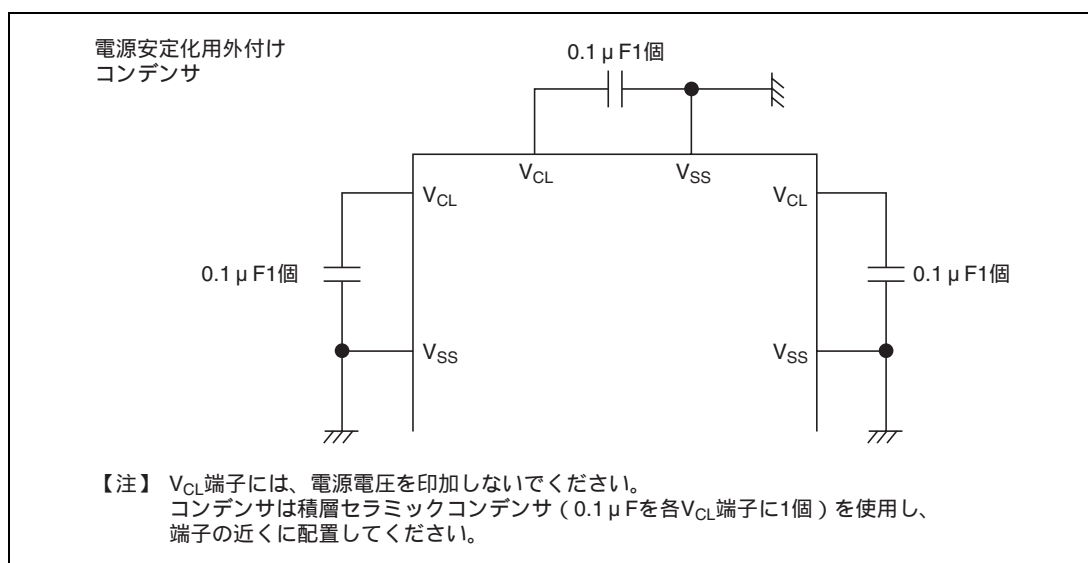


図 35.70 V_{CL} コンデンサ接続方法

付録

A. 端子状態

MCU 動作モードにより、端子の初期値は異なります。詳しくは、「第 22 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 A.1 端子状態

端子機能		端子状態										
分類	端子名	通常状態	リセット			低消費電力状態			バス権解放状態	発振停止検出時	POE機能使用時	
			ROMなし拡張		ROMあり拡張	シングルチップ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ ^{※7}				スリープ
			16bit	32bit								
クロック	CK	O	O		Z	Z ^{※12}	Z	O	Z ^{※12}	O	O	
	XTAL	O	O			L	L	O	O	O	O	
	EXTAL	I	I			I	Z	I	I	I	I	
	CK32	O/Z ^{※10}	O/Z ^{※10}			O/Z ^{※10}	O/Z ^{※10}	O/Z ^{※10}	O/Z ^{※10}	O/Z ^{※10}	O/Z ^{※10}	
	XTAL32	O/L ^{※10}	O/L ^{※10}			O/L ^{※10}	O/L ^{※10}	O/L ^{※10}	O/L ^{※10}	O/L ^{※10}	O/L ^{※10}	
	EXTAL32	I/Z ^{※10}	I/Z ^{※10}			I/Z ^{※10}	I/Z ^{※10}	I/Z ^{※10}	I/Z ^{※10}	I/Z ^{※10}	I/Z ^{※10}	
システム制御	RES	I	I			I	I	I	I	I	I	
	MRES (PB2)	I	-			I	Z	I	I	I	I	
	MRES (PE17)	I	-			I ^{※4}	Z	I	I	I ^{※4}	I	
	WDTOVF	O	H ^{※6}			H	H	O	O	O	O	
	BREQ	I	-			Z	Z	I	I	I	I	
	BACK	O	-			Z	Z	O	L	O	O	
動作モード制御	MD0、MD1	I	I			I	I	I	I	I	I	
	ASEMD0	I	I			I	I	I	I	I	I	
	FWE	I	I			I	I	I	I	I	I	
割り込み	NMI	I	I			I	I	I	I	I	I	
	IRQ0 - IRQ8 (PA0、PA1、PA6 - PA12、PE0 - PE8)	I	-			I	Z	I	I	I	I	
	IRQ0 - IRQ9 (PG0 - PG9)	I	-/I ^{※8}			I	I	I	I	I	I	

端子機能		端子状態										
分類	端子名	通常状態	リセット				低消費電力状態			バス権解放状態	発振停止検出時	POE機能使用時
			ROMなし拡張		ROMあり拡張	シングルチップ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ ^{※7}	スリープ			
			16bit	32bit								
割り込み	IRQ9 (PA13)	I	-				I	Z	I	I	I	I
	IRQ9 (PE9)	I	-				I ^{※5}	Z	I	I	I ^{※5}	I
	IRQ10	I	-				I	Z	I	I	I	I
	IRQ11 - IRQ15 (PA15 - PA19, PJ1, PJ2, PK0 - PK2)	I	-				I	Z	I	I	I	I
	IRQ11 - IRQ15 (PE11 - PE15)	I	-				I ^{※5}	Z	I	I	I ^{※5}	I
	IRQ16 - IRQ23 (PC8 - PC15)	I	-				I	Z	I	I	I	I
	IRQOUT	O	-				H ^{※1}	Z	O	O	O	O
アドレスバス	A0 - A20	O	O		-		Z ^{※3}	Z	O	Z	O	O
	A21 - A25	O	-				Z ^{※3}	Z	O	Z	O	O
データバス	D0 - D15	I/O/Z	Z		-		Z	Z	I/O	Z	I/O	I/O
	D16 - D31	I/O/Z	-	Z	-		Z	Z	I/O	Z	I/O	I/O
バス制御	WAIT	I	-				Z	Z	I	Z	I	I
	CS0 (PA0)	O	-				Z ^{※3}	Z	O	Z	O	O
	CS0 (PB7)	O	H		-		Z ^{※3}	Z	O	Z	O	O
	CS1 - CS7	O	-				Z ^{※3}	Z	O	Z	O	O
	BS	O	-				Z ^{※3}	Z	O	Z	O	O
	RASU, RASL	O	-				Z ^{※2}	Z	O	Z ^{※2}	O	O
	CASU, CASL	O	-				Z ^{※2}	Z	O	Z ^{※2}	O	O
	DQMUU, DQMUL, DQMLU, DQMLL	O	-				Z ^{※3}	Z	O	Z	O	O
	AH	O	-				Z ^{※3}	Z	O	Z	O	O
	RD/WR	O	-				Z ^{※2}	Z	O	Z	O	O
	RD	O	H		-		Z ^{※3}	Z	O	Z	O	O
	WRH, WRHL	O	-	H		-	Z ^{※2}	Z	O	Z	O	O
	WRH, WRL	O	H		-		Z ^{※3}	Z	O	Z	O	O
	REFOUT	O	-				H ^{※1}	Z	O	O	O	O
CKE	O	-				Z ^{※2}	Z	O	Z ^{※2}	O	O	
DMAC	DREQ0	I	-				Z	Z	I	I	I	I
	DREQ1 (PD25)	I	-				Z	Z	I	I	I	I

端子機能		端子状態										
分類	端子名	通常 状態	リセット				低消費電力状態			バス 権 解放 状態	発振 停止 検出 時	POE 機能 使用 時
			ROM なし拡張		ROM あり 拡張	シングル チップ	ソフト ウェア スタンバイ	ディープ ソフト ウェア スタンバイ ^{※7}	スリー プ			
			16bit	32bit								
DMAC	DREQ1 (PE21)	I	-				I ^{※4}	Z	I	I	I ^{※4}	I
	DACK0 (PD27)、 DACK1 (PD26)	O	-				O ^{※1}	Z	O	O	O	O
	DACK0 (PE19)、 DACK1 (PE22)	O	-				Z (HPCPCRの MZIZEH=0 時)	Z	O	O	O ^{※4}	O
							O ^{※1} (HPCPCRの MZIZEH=1 時)					
	TEND0 (PD23)、 TEND1 (PD28)	O	-				O ^{※1}	Z	O	O	O	O
	TEND0 (PE20)、 TEND1 (PE23)	O	-				Z (HPCPCRの MZIZEH=0 時)	Z	O	O	O ^{※4}	O
						O ^{※1} (HPCPCRの MZIZEH=1 時)						
MTU2	TCLKA - TCLKD	I	-				Z	Z	I	I	I	I
	TIOC0A - TIOC0D	I/O	-				K ^{※1}	Z	I/O	I/O	I/O	Z
	TIOC1A、TIOC1B	I/O	-				K ^{※1}	Z	I/O	I/O	I/O	I/O
	TIOC2A、TIOC2B	I/O	-				K ^{※1}	Z	I/O	I/O	I/O	I/O
	TIOC3A、TIOC3C	I/O	-				K ^{※1}	Z	I/O	I/O	I/O	I/O
	TIOC3B、TIOC3D	I/O	-				Z (HPCPCRの MZIZEL=0 時)	Z	I/O	I/O	I/O ^{※5}	Z
						K ^{※1} (HPCPCRの MZIZEL=1 時)						

端子機能		端子状態										
分類	端子名	通常 状態	リセット				低消費電力状態			バス 権 解放 状態	発振 停止 検出 時	POE 機能 使用 時
			ROM なし拡張		ROM あり 拡張	シングル チップ	ソフト ウェア スタンバイ	ディープ ソフト ウェア スタンバイ ※7	スリー プ			
			16bit	32bit								
MTU2	TIOC4A - TIOC4D	I/O	-				Z (HCPCRの MZIZEL=0 時)	Z	I/O	I/O	I/O※5	Z
						K※1 (HCPCRの MZIZEL=1 時)						
	TIC5U、TIC5V、TIC5W	I	-				Z	Z	I	I	I	I
MTU2S	TIOC3AS、TIOC3CS	I/O	-				K※1	Z	I/O	I/O	I/O	I/O
	TIOC3BS、TIOC3DS	I/O	-				Z (HCPCRの MZIZEH=0 時)	Z	I/O	I/O	I/O※4	Z
							K※1 (HCPCRの MZIZEH=1 時)					
	TIOC4AS - TIOC4DS	I/O	-				Z (HCPCRの MZIZEH=0 時)	Z	I/O	I/O	I/O※4	Z
K※1 (HCPCRの MZIZEH=1 時)												
	TIC5US、TIC5VS、 TIC5WS	I	-				Z	Z	I	I	I	I
POE2	POE0 - POE8	I	-				Z	Z	I	I	I	I

端子機能		端子状態										
分類	端子名	通常 状態	リセット				低消費電力状態			バス 権 解放 状態	発振 停止 検出 時	POE 機能 使用 時
			ROMなし拡張		ROM あり 拡張	シングル チップ	ソフト ウェア スタンバイ	ディープ ソフト ウェア スタンバイ ※7	スリー プ			
			16bit	32bit								
SCI	SCK0 (PA2, PB6)、 SCK1 (PA3, PD0)	I/O	-				K ^{*1}	Z	I/O	I/O	I/O	I/O
	SCK0 (PE15)、 SCK1 (PE9)	I/O	-				Z (HCPCRの MZIZEL=0 時)	Z	I/O	I/O	I/O ^{*5}	I/O
							K ^{*1} (HCPCRの MZIZEL=1 時)					
	SCK2, SCK3	I/O	-				K ^{*1}	Z	I/O	I/O	I/O	I/O
	RXD0 (PA0, PB4)	I	-				Z	Z	I	I	I	I
	RXD0 (PE17)	I	-				I ^{*4}	Z	I	I	I ^{*4}	I
	RXD1 (PA5, PD2)	I	-				Z	Z	I	I	I	I
	RXD1 (PE11)	I	-				I ⁵	Z	I	I	I ^{*5}	I
	RXD2, RXD3	I	-				Z	Z	I	I	I	I
TXD0 - TXD3	O	-				O ^{*1}	Z	O	O	O	O	
SCIF	SCK4	I/O	-				K ^{*1}	Z	I/O	I/O	I/O	I/O
	SCK5 (PA15, PD10, PJ6)	I/O	-				K ^{*1}	Z	I/O	I/O	I/O	I/O
	SCK5 (PE12)	I/O	-				Z (HCPCRの MZIZEL=0 時)	Z	I/O	I/O	I/O ^{*5}	I/O
							K ^{*1} (HCPCRの MZIZEL=1 時)					
	SCK6	I/O	-				K ^{*1}	Z	I/O	I/O	I/O	I/O
SCK7 (PC13, PD3, PH6)	I/O	-				K ^{*1}	Z	I/O	I/O	I/O	I/O	

端子機能		端子状態										
分類	端子名	通常 状態	リセット				低消費電力状態			バス 権 解放 状態	発振 停止 検出 時	POE 機能 使用 時
			ROM なし拡張		ROM あり 拡張	シングル チップ	ソフト ウェア スタンバイ	ディープ ソフト ウェア スタンバイ ※7	スリー プ			
			16bit	32bit								
SCIF	SCK7 (PE21)	I/O	-				Z (HPCPCRの MZIZEH=0 時)	Z	I/O	I/O	I/O ⁴	I/O
							K ^{※1} (HPCPCRの MZIZEH=1 時)					
	RXD4	I	-				Z	Z	I	I	I	I
	RXD5 (PA13、PD12、 PJ8)	I	-				Z	Z	I	I	I	I
	RXD5 (PE14)	I	-				I ^{※5}	Z	I	I	I ^{※5}	I
	RXD6 (PB11、PC9、PK5)、 RXD7 (PC15、PD5、PH8)	I	-				Z	Z	I	I	I	I
	RXD6 (PE20)、 RXD7 (PE23)	I	-				I ^{※4}	Z	I	I	I ^{※4}	I
	TXD4	O	-				O ^{※1}	Z	O	O	O	O
	TXD5 (PA14、PD11、 PJ7)	O	-				O ^{※1}	Z	O	O	O	O
	TXD5 (PE13)	O	-				Z (HPCPCRの MZIZEL=0 時)	Z	O	O	O ^{※5}	O
							O ^{※1} (HPCPCRの MZIZEL=1 時)					
TXD6 (PB12、PC8、 PK4)、 TXD7 (PC14、PD4、 PH7)	O	-				O ^{※1}	Z	O	O	O	O	

端子機能		端子状態										
分類	端子名	通常 状態	リセット				低消費電力状態			バス 権 解放 状態	発振 停止 検出 時	POE 機能 使用 時
			ROMなし拡張		ROM あり 拡張	シングル チップ	ソフト ウェア スタンバイ	ディープ ソフト ウェア スタンバイ ※7	スリー プ			
			16bit	32bit								
SCIF	TXD6 (PE19)、 TXD7 (PE22)	O	-				Z (HCPCRの MZIZEH=0 時)	Z	O	O	O ⁴	O
							O ¹ (HCPCRの MZIZEH=1 時)					
IIC3	SCL	I/O	-				Z	Z	I/O	I/O	I/O	I/O
	SDA	I/O	-				Z	Z	I/O	I/O	I/O	I/O
UBC	UBCTRG	O	-				O ¹	Z	O	O	O	O
A/D 変換器	AN0 - AN15	I	-				Z	Z	I	I	I	I
	ADTRG	I	-				Z	Z	I	I	I	I
CMT2	TIC0、TIC1	I	-				Z	Z	I	I	I	I
	TOC0、TOC1	O	-				O ¹	Z	O	O	O	O
TIM32C	TI32I0A、TI32I0B	I	-/I ⁸				I	I	I	I	I	I
	TI32I1A、TI32I1B	I	-/I ⁸				I	I	I	I	I	I
LVDS (SH72315A のみ)	RXCLKINP、RXCLKINM	I	-				Z	Z	I	I	I	I
	RXIN0P、RXIN0M	I	-				Z	Z	I	I	I	I
	RXIN1P、RXIN1M	I	-				Z	Z	I	I	I	I
RSPI	RSPCK0	I/O	-				K ⁶	Z	I/O	I/O	I/O	I/O
	MOSI0	I/O	-				K ⁶	Z	I/O	I/O	I/O	I/O
	MISO0	I/O	-				K ⁶	Z	I/O	I/O	I/O	I/O
	SSL0	I/O	-				K ⁶	Z	I/O	I/O	I/O	I/O
	SSL1 - SSL3	O	-				O ¹	Z	O	O	O	O
RCAN-ET	CRx0	I	-				Z	Z	I	I	I	I
	CTx0	O	-				O ¹	Z	O	O	O	O
KEYC	KEY0 - KEY31	I	-/I ⁸				I	I	I	I	I	I
	P0 - P7	I	-/I ⁸				I	I	I	I	I	I
	COM0 - COM7	O	-/O ⁸				O	O	O	O	O	O

端子機能		端子状態										
分類	端子名	通常 状態	リセット				低消費電力状態			バス 権 解放 状態	発振 停止 検出 時	POE 機能 使用 時
			ROMなし拡張		ROM あり 拡張	シングル チップ	ソフト ウェア スタンバイ	ディープ ソフト ウェア スタンバイ ※7	スリー プ			
			16bit	32bit								
I/O ポート	PA0 - PA9	I/O	Z				K*1	Z	I/O	I/O	I/O	I/O
	PA10, PA11	I/O	Z	-	Z	K*1	Z	I/O	I/O	I/O	I/O	
	PA12 - PA14	I/O	-		Z	K*1	Z	I/O	I/O	I/O	I/O	
	PA15	I/O	-			Z	K*1	Z	I/O	I/O	I/O	I/O
	PA16 - PA19	I/O	Z				K*1	Z	I/O	I/O	I/O	I/O
	PB0, PB1	I/O	-		Z	K*1	Z	I/O	I/O	I/O	I/O	
	PB2, PB3	I/O	Z				K*1	Z	I/O	I/O	I/O	I/O
	PB4 - PB7	I/O	-		Z	K*1	Z	I/O	I/O	I/O	I/O	
	PB8 - PB13	I/O	Z				K*1	Z	I/O	I/O	I/O	I/O
	PC0 - PC15	I/O	-		Z	K*1	Z	I/O	I/O	I/O	I/O	
	PD0 - PD15	I/O	-		Z	K*1	Z	I/O	I/O	I/O	I/O	
	PD16 - PD31	I/O	Z	-	Z	K*1	Z	I/O	I/O	I/O	I/O	
	PE0 - PE3	I/O	Z				K*1	Z	I/O	I/O	I/O	Z
	PE4 - PE8	I/O	Z				K*1	Z	I/O	I/O	I/O	I/O
	PE9	I/O	Z				Z (HPCPCRの MZIZEL=0 時)	Z	I/O	I/O	I/O ^{※5}	Z
							K*1 (HPCPCRの MZIZEL=1 時)					
	PE10	I/O	Z				K*1	Z	I/O	I/O	I/O	I/O
PE11 - PE15	I/O	Z				Z (HPCPCRの MZIZEL=0 時)	Z	I/O	I/O	I/O ^{※5}	Z	
						K*1 (HPCPCRの MZIZEL=1 時)						
PE16	I/O	Z				K*1	Z	I/O	I/O	I/O	I/O	

端子機能		端子状態										
分類	端子名	通常 状態	リセット				低消費電力状態			バス 権 解放 状態	発振 停止 検出 時	POE 機能 使用 時
			ROMなし拡張		ROM あり 拡張	シングル チップ	ソフト ウェア スタンバイ	ディープ ソフト ウェア スタンバイ ^{※7}	スリー プ			
			16bit	32bit								
I/O ポート	PE17	I/O	Z				Z (HCPCRの MZIZEH=0 時)	Z	I/O	I/O	I/O ^{※4}	Z
						K ^{※1} (HCPCRの MZIZEH=1 時)						
	PE18	I/O	Z				K ^{※1}	Z	I/O	I/O	I/O	I/O
	PE19 - PE23	I/O	Z				Z (HCPCRの MZIZEH=0 時)	Z	I/O	I/O	I/O ^{※4}	Z
							K ^{※1} (HCPCRの MZIZEH=1 時)					
	PF0 - PF15	I	Z				Z	Z	I	I	I	I
	PG0 - PG15	I/O	Z				K ^{※1}	Z	I/O	I/O	I/O	I/O
	PH0 - PH15	I/O	Z				K ^{※1}	Z	I/O	I/O	I/O	I/O
	PJ0 - PJ15	I/O	Z				K ^{※1}	Z	I/O	I/O	I/O	I/O
	PK0 - PK7	I/O	Z				K ^{※1}	Z	I/O	I/O	I/O	I/O
PL0 - PL5	I	Z				Z	Z	I	I	I	I	
H-UDI ^{※11}	TRST	PI	PI				Z	Z	PI	PI	PI	PI
	TCK	PI	PI				Z	Z	PI	PI	PI	PI
	TDI	PI	PI				Z	Z	PI	PI	PI	PI
	TMS	PI	PI				Z	Z	PI	PI	PI	PI
	TDO	O/Z ^{※9}	O/Z ^{※9}				Z	Z	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}
エミュ レータ ^{※11}	AUDCK	Z	Z				Z	Z	Z	Z	Z	Z
	AUDSYN \bar{C}	Z	Z				Z	Z	Z	Z	Z	Z
	AUDATA0 - AUDATA3	Z	Z				Z	Z	Z	Z	Z	Z
	ASEBRK/ASEBRKAK	-	-				-	-	-	-	-	-

【記号説明】

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

PI: 入力 (プルアップあり)

- : 本端子機能に設定されることはありません

・ASEBRK/ASEBRKAK 端子: 製品チップモード時は、常に FWE 機能となります。

・ASEBRK/ASEBRKAK 端子以外: リセット中は、常に汎用入力機能となります。

- 【注】
- *1 スタンバイコントロールレジスタ 3 (STBCR3) の HIZ ビットを 1 にすると、出力端子はハイインピーダンスになります。
 - *2 共通コントロールレジスタ (CMNCR) の HIZCNT ビットを 1 にすると、出力になります。
 - *3 共通コントロールレジスタ (CMNCR) の HIZMEM ビットを 1 にすると、出力になります。
 - *4 大電流ポートコントロールレジスタ (HCPCR) の MZIEH ビットを 0 にすると、ハイインピーダンスになります。
 - *5 大電流ポートコントロールレジスタ (HCPCR) の MZIEL ビットを 0 にすると、ハイインピーダンスになります。
 - *6 パワーオンリセット中は入力になります。誤動作防止のためプルアップしてください。また、プルダウンが必要な場合は、1M 以上の抵抗値でプルダウンしてください。
 - *7 ポート G プルアップ MOS コントロールレジスタ (PGPCRL) によるプルアップ機能はディープソフトウェアスタンバイ時にも有効ですが、ポート G 以外のプルアップ MOS コントロールレジスタ (PAPCRH、PAPCRL、PBPCRL、PCPCRL、PDPCRH、PDPICRL、PEPCRH、PEPCRL、PHPCRL、PJPCRL、PKPCRL、PLPCRL) によるプルアップ機能はディープソフトウェアスタンバイ時には無効となります。
 - *8 ディープスタンバイ状態からのリセット復帰では入力状態を保持します。
 - *9 H-UDI の TAP コントローラが Shift-D、Shift-IR 状態以外では Z となります。
 - *10 スタンバイコントロールレジスタ 7 (STBCR7) の MSTP75 ビットに 1 をセットすると、32kHz 発振器はモジュールスタンバイ状態となります。
 - *11 製品チップモード時 (ASEMD0=H) の端子状態です。ASE モード時 (ASEMD0=L) の端子状態については、「エミュレーションマニュアル」を参照してください。
 - *12 共通コントロールレジスタ (CMNCR) の HIZCK ビットを 1 にすると、出力になります。

B. バス関連信号の端子状態

表 B.1 バス関連信号の端子状態 (1)

端子名		内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール空間
$\overline{CS0} - \overline{CS7}$		H	H	H
\overline{BS}		H	H	H
\overline{RASU} 、 \overline{RASL}		H	H	H
\overline{CASU} 、 \overline{CASL}		H	H	H
DQMUU		H	H	H
DQMUL		H	H	H
DQMLU		H	H	H
DQMLL		H	H	H
\overline{AH}		H	H	H
$\overline{RD}/\overline{WR}$	R	H	H	H
	W	-	H	H
\overline{RD}	R	H	H	H
	W	-	H	H
WRHH	R	H	H	H
	W	-	H	H
WRHL	R	H	H	H
	W	-	H	H
\overline{WRH}	R	H	H	H
	W	-	H	H
\overline{WRL}	R	H	H	H
	W	-	H	H
A25 ~ A0		アドレス*	アドレス*	アドレス*
D31 ~ D24		High-Z	High-Z	High-Z
D23 ~ D16		High-Z	High-Z	High-Z
D15 ~ D8		High-Z	High-Z	High-Z
D7 ~ D0		High-Z	High-Z	High-Z

【記号説明】

R : 読み出し

W : 書き込み

【注】 * 以前にアクセスした外部空間のアドレス値

表 B.1 バス関連信号の端子状態 (2)

端子名		外部空間 (通常空間)			
		8 ビット空間	16 ビット空間		
			上位バイト	下位バイト	ワード/ロングワード
CS0 - CS7		有効	有効	有効	有効
\overline{BS}		L	L	L	L
RAS \overline{U} , RAS \overline{L}		H	H	H	H
\overline{CASU} , \overline{CASL}		H	H	H	H
DQMUU		H	H	H	H
DQMUL		H	H	H	H
DQMLU		H	H	H	H
DQMLL		H	H	H	H
\overline{AH}		H	H	H	H
RD/ \overline{WR}	R	H	H	H	H
	W	L	L	L	L
\overline{RD}	R	L	L	L	L
	W	H	H	H	H
WRHH	R	H	H	H	H
	W	H	H	H	H
WRHL	R	H	H	H	H
	W	H	H	H	H
WRH	R	H	H	H	H
	W	H	L	H	L
\overline{WRL}	R	H	H	H	H
	W	L	H	L	L
A25 ~ A0		アドレス	アドレス	アドレス	アドレス
D31 ~ D24		High-Z	High-Z	High-Z	High-Z
D23 ~ D16		High-Z	High-Z	High-Z	High-Z
D15 ~ D8		High-Z	データ	High-Z	データ
D7 ~ D0		データ	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号 = L、それ以外のチップセレクト信号 = H

表 B.1 バス関連信号の端子状態 (3)

端子名	外部空間 (通常空間)						
	32 ビット空間						
	最上位バイト	2 バイト目	3 バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
CS0 ~ CS7	有効	有効	有効	有効	有効	有効	有効
\overline{BS}	L	L	L	L	L	L	L
RASU, \overline{RASL}	H	H	H	H	H	H	H
\overline{CASU} , \overline{CASL}	H	H	H	H	H	H	H
DQMUU	H	H	H	H	H	H	H
DQMUL	H	H	H	H	H	H	H
DQMLU	H	H	H	H	H	H	H
DQMLL	H	H	H	H	H	H	H
\overline{AH}	H	H	H	H	H	H	H
$\overline{RD}/\overline{WR}$	R	H	H	H	H	H	H
	W	L	L	L	L	L	L
\overline{RD}	R	L	L	L	L	L	L
	W	H	H	H	H	H	H
WRHH	R	H	H	H	H	H	H
	W	L	H	H	H	L	L
WRHL	R	H	H	H	H	H	H
	W	H	L	H	H	L	L
\overline{WRH}	R	H	H	H	H	H	H
	W	H	H	L	H	H	L
\overline{WRL}	R	H	H	H	H	H	H
	W	H	H	H	L	H	L
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	High-Z	High-Z	High-Z	データ	High-Z	データ
D23 ~ D16	High-Z	データ	High-Z	High-Z	データ	High-Z	データ
D15 ~ D8	High-Z	High-Z	データ	High-Z	High-Z	データ	データ
D7 ~ D0	High-Z	High-Z	High-Z	データ	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号 = L、それ以外のチップセレクト信号 = H

表 B.1 バス関連信号の端子状態 (4)

端子名		外部空間 (バイト選択付き SRAM)		
		16 ビット空間		
		上位バイト	下位バイト	ワード/ロングワード
CS0 ~ CS7		有効	有効	有効
\overline{BS}		L	L	L
RAS \overline{U} , RAS \overline{L}		H	H	H
\overline{CASU} , \overline{CASL}		H	H	H
DQMUU		H	H	H
DQMUL		H	H	H
DQMLU		H	H	H
DQMLL		H	H	H
\overline{AH}		H	H	H
RD/ \overline{WR}	R	H	H	H
	W	L	L	L
\overline{RD}	R	L	L	L
	W	H	H	H
WRHH	R	H	H	H
	W	H	H	H
WRHL	R	H	H	H
	W	H	H	H
\overline{WRH}	R	L	H	L
	W	L	H	L
\overline{WRL}	R	H	L	L
	W	H	L	L
A25 ~ A0		アドレス	アドレス	アドレス
D31 ~ D24		High-Z	High-Z	High-Z
D23 ~ D16		High-Z	High-Z	High-Z
D15 ~ D8		データ	High-Z	データ
D7 ~ D0		High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号 = L、それ以外のチップセレクト信号 = H

表 B.1 バス関連信号の端子状態 (5)

端子名	外部空間 (バイト選択付き SRAM)						
	32 ビット空間						
	最上位バイト	2 バイト目	3 バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
CS0 ~ CS7	有効	有効	有効	有効	有効	有効	有効
\overline{BS}	L	L	L	L	L	L	L
RASU, \overline{RASL}	H	H	H	H	H	H	H
CASU, \overline{CASL}	H	H	H	H	H	H	H
DQMUU	H	H	H	H	H	H	H
DQMUL	H	H	H	H	H	H	H
DQMLU	H	H	H	H	H	H	H
DQMLL	H	H	H	H	H	H	H
AH	H	H	H	H	H	H	H
RD/ \overline{WR}	R	H	H	H	H	H	H
	W	L	L	L	L	L	L
\overline{RD}	R	L	L	L	L	L	L
	W	H	H	H	H	H	H
WRHH	R	L	H	H	H	L	H
	W	L	H	H	H	L	H
WRHL	R	H	L	H	H	L	H
	W	H	L	H	H	L	H
\overline{WRH}	R	H	H	L	H	H	L
	W	H	H	L	H	H	L
\overline{WRL}	R	H	H	H	L	H	L
	W	H	H	H	L	H	L
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	High-Z	High-Z	High-Z	データ	High-Z	データ
D23 ~ D16	High-Z	データ	High-Z	High-Z	データ	High-Z	データ
D15 ~ D8	High-Z	High-Z	データ	High-Z	High-Z	データ	データ
D7 ~ D0	High-Z	High-Z	High-Z	データ	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号=L、それ以外のチップセレクト信号=H

表 B.1 バス関連信号の端子状態 (6)

端子名	外部空間 (バースト ROM (クロック非同期))			
	8 ビット空間	16 ビット空間		
		上位バイト	下位バイト	ワード/ロングワード
CS0 ~ CS7	有効	有効	有効	有効
\overline{BS}	L	L	L	L
RAS \overline{U} 、RASL	H	H	H	H
\overline{CASU} 、 \overline{CASL}	H	H	H	H
DQMUU	H	H	H	H
DQMUL	H	H	H	H
DQMLU	H	H	H	H
DQMLL	H	H	H	H
AH	H	H	H	H
RD/ \overline{WR}	R	H	H	H
	W	-	-	-
\overline{RD}	R	L	L	L
	W	-	-	-
WRHH	R	H	H	H
	W	-	-	-
WRHL	R	H	H	H
	W	-	-	-
WRH	R	H	H	H
	W	-	-	-
\overline{WRL}	R	H	H	H
	W	-	-	-
A25 ~ A0	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	High-Z	High-Z	High-Z	High-Z
D23 ~ D16	High-Z	High-Z	High-Z	High-Z
D15 ~ D8	High-Z	データ	High-Z	データ
D7 ~ D0	データ	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号 = L、それ以外のチップセレクト信号 = H

表 B.1 バス関連信号の端子状態 (7)

端子名	外部空間 (バースト ROM (クロック非同期))						
	32 ビット空間						
	最上位バイト	2 バイト目	3 バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
CS0 ~ CS7	有効	有効	有効	有効	有効	有効	有効
\overline{BS}	L	L	L	L	L	L	L
RASU、RASL	H	H	H	H	H	H	H
CASU、CASL	H	H	H	H	H	H	H
DQMUU	H	H	H	H	H	H	H
DQMUL	H	H	H	H	H	H	H
DQMLU	H	H	H	H	H	H	H
DQMLL	H	H	H	H	H	H	H
AH	H	H	H	H	H	H	H
RD/ \overline{WR}	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
\overline{RD}	R	L	L	L	L	L	L
	W	-	-	-	-	-	-
WRHH	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
WRHL	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
\overline{WRH}	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
\overline{WRL}	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	High-Z	High-Z	High-Z	データ	High-Z	データ
D23 ~ D16	High-Z	データ	High-Z	High-Z	データ	High-Z	データ
D15 ~ D8	High-Z	High-Z	データ	High-Z	High-Z	データ	データ
D7 ~ D0	High-Z	High-Z	High-Z	データ	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号=L、それ以外のチップセレクト信号=H

表 B.1 バス関連信号の端子状態 (8)

端子名	外部空間 (バースト ROM (クロック同期))		
	16 ビット空間		
	上位バイト	下位バイト	ワード/ロングワード
CS0 ~ CS7	有効	有効	有効
\overline{BS}	L	L	L
RAS \overline{U} , RAS \overline{L}	H	H	H
CAS \overline{U} , CAS \overline{L}	H	H	H
DQMUU	H	H	H
DQMUL	H	H	H
DQMLU	H	H	H
DQMLL	H	H	H
\overline{AH}	H	H	H
RD/ \overline{WR}	R	H	H
	W	-	-
RD	R	L	L
	W	-	-
WRHH	R	H	H
	W	-	-
WRHL	R	H	H
	W	-	-
WRH	R	H	H
	W	-	-
\overline{WRL}	R	H	H
	W	-	-
A25 ~ A0	アドレス	アドレス	アドレス
D31 ~ D24	High-Z	High-Z	High-Z
D23 ~ D16	High-Z	High-Z	High-Z
D15 ~ D8	データ	High-Z	データ
D7 ~ D0	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号=L、それ以外のチップセレクト信号=H

表 B.1 バス関連信号の端子状態 (9)

端子名	外部空間 (バースト ROM (クロック同期))						
	32 ビット空間						
	最上位バイト	2 バイト目	3 バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
CS0 ~ CS7	有効	有効	有効	有効	有効	有効	有効
\overline{BS}	L	L	L	L	L	L	L
RASU、 \overline{RASL}	H	H	H	H	H	H	H
\overline{CASU} 、 \overline{CASL}	H	H	H	H	H	H	H
DQMUU	H	H	H	H	H	H	H
DQMUL	H	H	H	H	H	H	H
DQMLU	H	H	H	H	H	H	H
DQMLL	H	H	H	H	H	H	H
\overline{AH}	H	H	H	H	H	H	H
$\overline{RD}/\overline{WR}$	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
\overline{RD}	R	L	L	L	L	L	L
	W	-	-	-	-	-	-
WRHH	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
WRHL	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
\overline{WRH}	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
\overline{WRL}	R	H	H	H	H	H	H
	W	-	-	-	-	-	-
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	High-Z	High-Z	High-Z	データ	High-Z	データ
D23 ~ D16	High-Z	データ	High-Z	High-Z	データ	High-Z	データ
D15 ~ D8	High-Z	High-Z	データ	High-Z	High-Z	データ	データ
D7 ~ D0	High-Z	High-Z	High-Z	データ	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号=L、それ以外のチップセレクト信号=H

表 B.1 バス関連信号の端子状態 (10)

端子名	外部空間 (SDRAM)		
	16 ビット空間		
	上位バイト	下位バイト	ワード/ロングワード
CS0 ~ CS7	有効* ¹	有効* ¹	有効* ¹
\overline{BS}	L	L	L
RAS \overline{U} , RAS \overline{L}	有効* ²	有効* ²	有効* ²
\overline{CASU} , \overline{CASL}	有効* ²	有効* ²	有効* ²
DQMUU	H	H	H
DQMUL	H	H	H
DQMLU	L	H	L
DQMLL	H	L	L
\overline{AH}	H	H	H
RD/ \overline{WR}	R	H	H
	W	L	L
\overline{RD}	R	H	H
	W	H	H
WRHH	R	H	H
	W	H	H
WRHL	R	H	H
	W	H	H
\overline{WRH}	R	H	H
	W	H	H
\overline{WRL}	R	H	H
	W	H	H
A25 ~ A0	アドレス	アドレス	アドレス
D31 ~ D24	High-Z	High-Z	High-Z
D23 ~ D16	High-Z	High-Z	High-Z
D15 ~ D8	データ	High-Z	データ
D7 ~ D0	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

【注】 *1 アクセスした CS 空間に対するチップセレクト信号=L、それ以外のチップセレクト信号=H

*2 A25=0 のアドレスにアクセスした場合に $\overline{RASL}/\overline{CASL}$ =L、A25=1 のアドレスにアクセスした場合に $\overline{RASU}/\overline{CASU}$ =L

表 B.1 バス関連信号の端子状態 (11)

端子名	外部空間 (SDRAM)						
	32 ビット空間						
	最上位バイト	2 バイト目	3 バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
CS0 ~ CS7	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹
\overline{BS}	L	L	L	L	L	L	L
RASU, RASL	有効* ²	有効* ²	有効* ²	有効* ²	有効* ²	有効* ²	有効* ²
\overline{CASU} , \overline{CASL}	有効* ²	有効* ²	有効* ²	有効* ²	有効* ²	有効* ²	有効* ²
DQMUU	L	H	H	H	L	H	L
DQMUL	H	L	H	H	L	H	L
DQMLU	H	H	L	H	H	L	L
DQMLL	H	H	H	L	H	L	L
AH	H	H	H	H	H	H	H
RD/ \overline{WR}	R	H	H	H	H	H	H
	W	L	L	L	L	L	L
\overline{RD}	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
WRHH	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
WRHL	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
\overline{WRH}	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
\overline{WRL}	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	High-Z	High-Z	High-Z	データ	High-Z	データ
D23 ~ D16	High-Z	データ	High-Z	High-Z	データ	High-Z	データ
D15 ~ D8	High-Z	High-Z	データ	High-Z	High-Z	データ	データ
D7 ~ D0	High-Z	High-Z	High-Z	データ	High-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

【注】 *1 アクセスした CS 空間に対するチップセレクト信号=L、それ以外のチップセレクト信号=H

*2 A25=0 のアドレスにアクセスした場合に $\overline{RASL}/\overline{CASL}$ =L、A25=1 のアドレスにアクセスした場合に $\overline{RASU}/\overline{CASU}$ =L

表 B.1 バス関連信号の端子状態 (12)

端子名	外部空間 (MPX-I/O)			
	8 ビット空間	16 ビット空間		
		上位バイト	下位バイト	ワード/ロングワード
CS0 - CS7	有効	有効	有効	有効
\overline{BS}	L	L	L	L
RAS \overline{U} , RASL	H	H	H	H
\overline{CASU} , \overline{CASL}	H	H	H	H
DQMUU	H	H	H	H
DQMUL	H	H	H	H
DQMLU	H	H	H	H
DQMLL	H	H	H	H
AH	H	H	H	H
RD/ \overline{WR}	R	H	H	H
	W	L	L	L
\overline{RD}	R	L	L	L
	W	H	H	H
WRHH	R	H	H	H
	W	H	H	H
\overline{WRHL}	R	H	H	H
	W	H	H	H
\overline{WRH}	R	H	H	H
	W	H	L	L
\overline{WRL}	R	H	H	H
	W	L	H	L
A25 - A0	アドレス	アドレス	アドレス	アドレス
D31 - D24	High-Z	High-Z	High-Z	High-Z
D23 - D16	High-Z	High-Z	High-Z	High-Z
D15 - D8	High-Z	アドレス/データ	アドレス	アドレス/データ
D7 - D0	アドレス/データ	アドレス	アドレス/データ	アドレス/データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスした CS 空間に対するチップセレクト信号 = L、それ以外のチップセレクト信号 = H

C. 型名一覧

表 C.1 型名一覧

製品名	分類	製品分類					用途	動作温度	製品型名	パッケージ (パッケージコード)
		ROM 容量	RAM 容量 (高速)	RAM 容量 (保持用)	LVDS 受信 インタ フェース					
SH72315A	F-ZTAT 製品版	1MB	32KB	12KB	あり	民生用途	-20 ~ +85	R5F72315ANBG	P-LFBGA1111-256 (PLBG0256KA-B)	
						民生用途	-20 ~ +85	R5F72315ANBA	P-FBGA1717-272	
						産業用途	-40 ~ +85	R5F72315ADBA	(PRBG0272GA-A)	
SH72315L		1MB	32KB	12KB	なし	民生用途	-20 ~ +85	R5F72315LNBG	P-LFBGA1111-256 (PLBG0256KA-B)	
						民生用途	-20 ~ +85	R5F72315LNBA	P-FBGA1717-272	
						産業用途	-40 ~ +85	R5F72315LDBA	(PRBG0272GA-A)	
SH72314L		768KB	32KB	12KB	なし	民生用途	-20 ~ +85	R5F72314LNBG	P-LFBGA1111-256 (PLBG0256KA-B)	
						民生用途	-20 ~ +85	R5F72314LNBA	P-FBGA1717-272	
						産業用途	-40 ~ +85	R5F72314LDBA	(PRBG0272GA-A)	

D. 外形寸法図

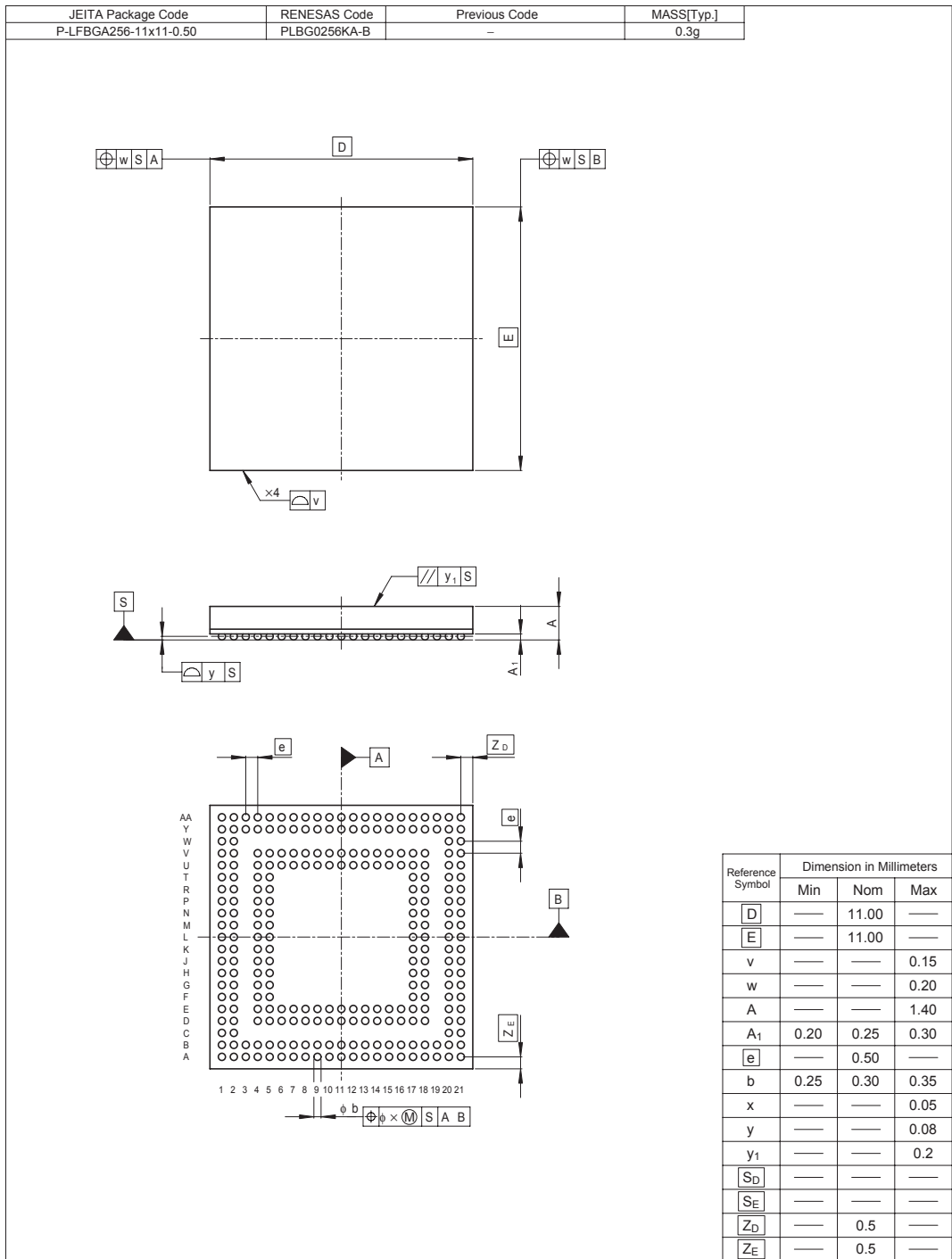


図 D.1 外形寸法図 (1)

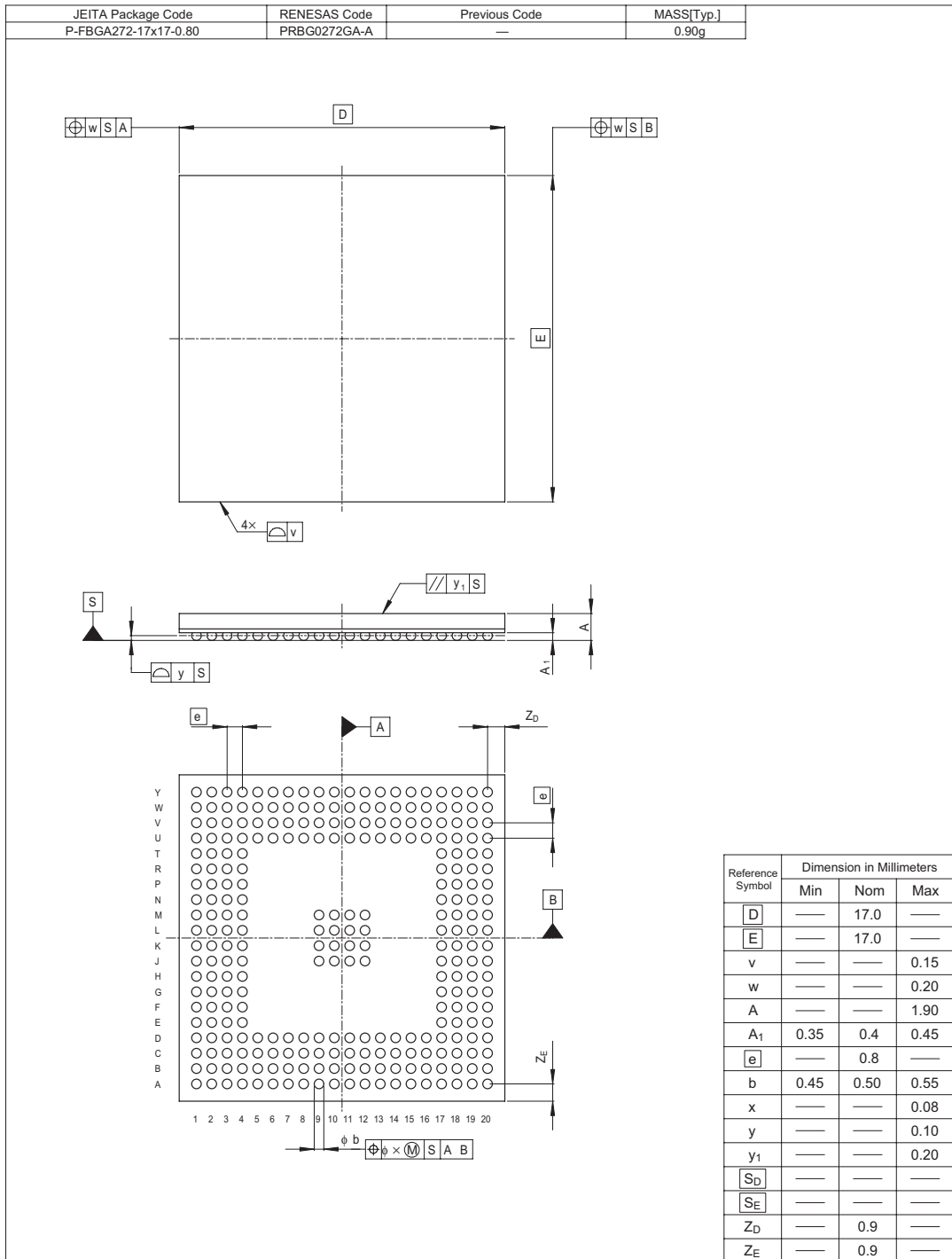


図 D.2 外形寸法図 (2)

本版で修正または追加された箇所

項 目	ページ	修正箇所																					
表 10.19 アイドルサイクル数を定める項目	10-97、 10-98	追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">項番</th> <th style="text-align: center;">内容</th> <th style="text-align: center;">説明</th> <th style="text-align: center;">範囲</th> <th style="text-align: center;">注意事項</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">(5)</td> <td>リードデータ転送サイクル</td> <td>リードアクセスの終了後に発生する1アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]がB'00以外の場合にも発生しません。</td> <td style="text-align: center;">0~1※</td> <td>SDRAMのリードサイクルでは必ず1サイクルのアイドルが発生します。</td> </tr> </tbody> </table>	項番	内容	説明	範囲	注意事項	(5)	リードデータ転送サイクル	リードアクセスの終了後に発生する1アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]がB'00以外の場合にも発生しません。	0~1※	SDRAMのリードサイクルでは必ず1サイクルのアイドルが発生します。											
		項番	内容	説明	範囲	注意事項																	
(5)	リードデータ転送サイクル	リードアクセスの終了後に発生する1アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]がB'00以外の場合にも発生しません。	0~1※	SDRAMのリードサイクルでは必ず1サイクルのアイドルが発生します。																			
【注】* 連続データリード時は別レジスタに読み出し値を格納した場合																							
図 10.43 アイドルサイクル数の試算例と実際の比較	10-101	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">項目</th> <th style="text-align: center;">R</th> <th style="text-align: center;">R</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">(1)/(2)</td> <td style="text-align: center;">0</td> <td></td> </tr> <tr> <td style="text-align: center;">(3)/(4)</td> <td style="text-align: center;">0</td> <td></td> </tr> <tr> <td style="text-align: center;">(5)</td> <td style="text-align: center;">1</td> <td></td> </tr> <tr> <td style="text-align: center;">(6)</td> <td style="text-align: center;">0</td> <td></td> </tr> <tr> <td style="text-align: center;">(7)</td> <td style="text-align: center;">0</td> <td></td> </tr> <tr> <td style="text-align: center;">(5)+(6)+(7)</td> <td style="text-align: center;">1</td> <td></td> </tr> </tbody> </table>	項目	R	R	(1)/(2)	0		(3)/(4)	0		(5)	1		(6)	0		(7)	0		(5)+(6)+(7)	1	
項目	R	R																					
(1)/(2)	0																						
(3)/(4)	0																						
(5)	1																						
(6)	0																						
(7)	0																						
(5)+(6)+(7)	1																						
12.3.20 タイマアウトブットコントロールレジスタ1 (TOCR1)	12-61	追加、修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ビット</th> <th style="text-align: center;">ビット名</th> <th style="text-align: center;">説 明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">OLSN</td> <td>出力レベルセレクト N^{*2}*3 リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.30 を参照してください。</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">OLSP</td> <td>出力レベルセレクト P^{*2}*3 リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 12.31 を参照してください。</td> </tr> </tbody> </table> <p>【注】*1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができません。</p> <p>*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。</p> <p>*3 デッドタイムを生成しない場合は、逆相の出力は正相の反転となります。このとき、OLSP ビット設定値のみ有効となります。</p>	ビット	ビット名	説 明	1	OLSN	出力レベルセレクト N ^{*2} *3 リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.30 を参照してください。	0	OLSP	出力レベルセレクト P ^{*2} *3 リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 12.31 を参照してください。												
ビット	ビット名	説 明																					
1	OLSN	出力レベルセレクト N ^{*2} *3 リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.30 を参照してください。																					
0	OLSP	出力レベルセレクト P ^{*2} *3 リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 12.31 を参照してください。																					

項目	ページ	修正箇所																								
12.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)	12-63	<p>追加、修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7, 6</td> <td>BF[1:0]</td> <td>TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.32 を参照してください。</td> </tr> <tr> <td>5</td> <td>OLS3N</td> <td>出力レベルセレクト 3N^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.33 を参照してください。</td> </tr> <tr> <td>4</td> <td>OLS3P</td> <td>出力レベルセレクト 3P^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.34 を参照してください。</td> </tr> <tr> <td>3</td> <td>OLS2N</td> <td>出力レベルセレクト 2N^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.35 を参照してください。</td> </tr> <tr> <td>2</td> <td>OLS2P</td> <td>出力レベルセレクト 2P^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.36 を参照してください。</td> </tr> <tr> <td>1</td> <td>OLS1N</td> <td>出力レベルセレクト 1N^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.37 を参照してください。</td> </tr> <tr> <td>0</td> <td>OLS1P</td> <td>出力レベルセレクト 1P^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.38 を参照してください。</td> </tr> </tbody> </table> <p>【注】 *1 TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。 *2 デッドタイムを生成しない場合は、逆相の出力は正相の反転となります。このとき、OLS1P 設定値のみ有効となります。</p>	ビット	ビット名	説明	7, 6	BF[1:0]	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.32 を参照してください。	5	OLS3N	出力レベルセレクト 3N ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.33 を参照してください。	4	OLS3P	出力レベルセレクト 3P ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.34 を参照してください。	3	OLS2N	出力レベルセレクト 2N ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.35 を参照してください。	2	OLS2P	出力レベルセレクト 2P ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.36 を参照してください。	1	OLS1N	出力レベルセレクト 1N ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.37 を参照してください。	0	OLS1P	出力レベルセレクト 1P ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.38 を参照してください。
ビット	ビット名	説明																								
7, 6	BF[1:0]	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.32 を参照してください。																								
5	OLS3N	出力レベルセレクト 3N ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.33 を参照してください。																								
4	OLS3P	出力レベルセレクト 3P ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.34 を参照してください。																								
3	OLS2N	出力レベルセレクト 2N ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.35 を参照してください。																								
2	OLS2P	出力レベルセレクト 2P ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.36 を参照してください。																								
1	OLS1N	出力レベルセレクト 1N ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.37 を参照してください。																								
0	OLS1P	出力レベルセレクト 1P ^{*1*} リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.38 を参照してください。																								
12.4.4 カスケード接続動作	12-88	<p>追加</p> <p>カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。「(4) カスケード接続動作例 (c)」を参照してください。</p>																								
図 12.23 カスケード接続動作例 (c)	12-91	<p>追加、修正</p> <p>【注】* 一方の入力端子がハイレベルの場合、もう一方の入力端子のエッジはインプットキャプチャ条件となりません。</p>																								
12.4.5 PWM モード (b) PWM モード 2	12-93	<p>修正</p> <p>TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOF で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOF で設定した初期値が出力されます。</p>																								

項目	ページ	修正箇所
図 12.38 相補 PWM モードの設定手順例	12-109	<p>修正</p> <p>【8】デッドタイムレジスタ (TDDR) にデッドタイムを設定し、タイマ周期データレジスタ (TCDR) にキャリア周期の1/2を、TGRA_3とTGRC_3にキャリア周期の1/2にデッドタイム分加えた値を設定してください。デッドタイムを生成しない設定をした場合は、TDDRに1、TGRA_3とTGRC_3にキャリア周期の1/2+1を設定してください。</p> <p>【9】デッドタイムレジスタ (TDDR) にデッドタイムを設定し、タイマ周期データレジスタ (TCDR)、タイマ周期バッファレジスタ (TCBR) にキャリア周期の1/2を、TGRA_3とTGRC_3にキャリア周期の1/2にデッドタイム分加えた値を設定してください。デッドタイムを生成しない設定をした場合は、TDDRに1、TGRA_3とTGRC_3にキャリア周期の1/2+1を設定してください。</p>
12.4.8 相補 PWM モード (2) 相補 PWM モードの動作概要 (j) 相補 PWM モードの PWM 出力生成方法	12-118、 12-119	<p>修正</p> <p>PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。</p> <p>.....</p> <p>図 12.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFFである c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。</p>
(k) 相補 PWM モードのデューティ 0%、100%出力	12-123	<p>修正</p> <p>デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。</p>
図 12.78 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係	12-140	<p>追加</p> <p>【注】 TMDR_3のMD[3:0]=1111、山と谷でのバッファ転送を選択。間引き回数を3回に設定。T3AENを1、T4VENを1に設定。</p>
図 12.110 TGI 割り込みタイミング(コンペアマッチ)(チャンネル5)	12-166	注記を追加
20.4.9 IICRST ビットによる I ² C バスインタフェース 3 のリセット	20-33	項目を追加

項目	ページ	修正箇所																				
図 20.20 IICRST ビットによるI ² Cバスインタフェース3のリセット手順	20-33	図を追加																				
27.1 特長	27-1	削除 ●2相カウンタの入力端子はローレベルのサンプリング動作が可能																				
27.3.1 タイマ32コントロールレジスタ_0~2 (TI32CR_0~2) (1) タイマ32コントロールレジスタ_0、1 (TI32CR_0、TI32CR_1)	27-5	修正 ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>MS</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>CKS[1:0]</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R/W R R R R R R/W R/W <table border="1" style="margin-left: 40px;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>MS</td> <td>2相カウンタ動作モードセレクト 2相カウンタ動作モードを選択します。 0：通常モード 1：高速モード</td> </tr> <tr> <td>6~2</td> <td>-</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</td> </tr> <tr> <td>1、0</td> <td>CKS[1:0]</td> <td>カウンタクロックセレクト TI32CNT8のカウンタクロックを選択します。 00：EXTAL32 端子入力クロックの1/2(1カウンタクロック周期 62.5μs) 01：EXTAL32 端子入力クロックの1/4(1カウンタクロック周期 125μs) 10：EXTAL32 端子入力クロックの1/8(1カウンタクロック周期 250μs) 11：EXTAL32 端子入力クロックの1/16(1カウンタクロック周期 500μs)</td> </tr> </tbody> </table>	MS	-	-	-	-	-	-	CKS[1:0]	ビット	ビット名	説明	7	MS	2相カウンタ動作モードセレクト 2相カウンタ動作モードを選択します。 0：通常モード 1：高速モード	6~2	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	1、0	CKS[1:0]	カウンタクロックセレクト TI32CNT8のカウンタクロックを選択します。 00：EXTAL32 端子入力クロックの1/2(1カウンタクロック周期 62.5μs) 01：EXTAL32 端子入力クロックの1/4(1カウンタクロック周期 125μs) 10：EXTAL32 端子入力クロックの1/8(1カウンタクロック周期 250μs) 11：EXTAL32 端子入力クロックの1/16(1カウンタクロック周期 500μs)
MS	-	-	-	-	-	-	CKS[1:0]															
ビット	ビット名	説明																				
7	MS	2相カウンタ動作モードセレクト 2相カウンタ動作モードを選択します。 0：通常モード 1：高速モード																				
6~2	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																				
1、0	CKS[1:0]	カウンタクロックセレクト TI32CNT8のカウンタクロックを選択します。 00：EXTAL32 端子入力クロックの1/2(1カウンタクロック周期 62.5μs) 01：EXTAL32 端子入力クロックの1/4(1カウンタクロック周期 125μs) 10：EXTAL32 端子入力クロックの1/8(1カウンタクロック周期 250μs) 11：EXTAL32 端子入力クロックの1/16(1カウンタクロック周期 500μs)																				
図 27.2 2相カウンタ動作の設定手順例	27-12	削除 [2] TI32CRのMSビットに2相カウンタの動作モード、LSEビット、LSS[1:0]ビットにローレベルサンプリング条件、CKS[1:0]ビットにカウンタクロックを設定します。																				
図 27.3 2相カウンタ通常モードにおけるTI32CNT8のアップカウント動作例	27-13	追加 																				
図 27.4 2相カウンタ通常モードにおけるTI32CNT8のダウンカウント動作例	27-13	追加 																				

項目	ページ	修正箇所																																																																																																																																																																																		
図 27.5 2相カウンタ高速モードにおける TI32CNT8 のカウンタ動作例	27-14	修正 																																																																																																																																																																																		
29.3.9 フラッシュ P/E モードエントリレジスタ	29-18	追加 FENTRYR をアクセスして、FCU のモードを遷移させるときには、FENTRYR を書き込んだ後にリードを行います。リードをしてレジスタが設定値になっていることを確認後、ROM の書き込み、消去、リードの各動作を行ってください。																																																																																																																																																																																		
表 29.11 FCU コマンドのフォーマット	29-55	追加、修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th rowspan="2">コマンド</th> <th rowspan="2">コマンドサイクル数*</th> <th colspan="2">1 サイクル目</th> </tr> <tr> <th>アドレス</th> <th>データ</th> </tr> </table> <p>【注】* コマンドサイクル数は書き込み / 消去アドレスに対する CPU による周辺バス (Pバス) ライトアクセスの発行回数です。</p>	コマンド	コマンドサイクル数*	1 サイクル目		アドレス	データ																																																																																																																																																																												
コマンド	コマンドサイクル数*	1 サイクル目																																																																																																																																																																																		
		アドレス	データ																																																																																																																																																																																	
表 29.12 FCU のモード / 状態と受け付け可能なコマンドの関係	29-59	追加、修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="8">ステータスリードモード</th> </tr> <tr> <th>書き込み / 消去の処理中</th> <th>消去サスペンド中の書き込み処理中</th> <th>書き込み / 消去の中断処理中</th> <th>ロックビットリードの処理中</th> <th>書き込みサスペンド中</th> <th>消去サスペンド中</th> <th>コマンドロック状態 (ELOCK=0)</th> <th>コマンドロック状態 (ELOCK=1)</th> <th>その他の状態</th> </tr> </thead> <tbody> <tr> <td>FSTATR0 レジスタの FRDY ビット</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>FSTATR0 レジスタの SUSRDY ビット</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>FSTATR0 レジスタの ERSSPD ビット</td> <td>0</td> <td>1</td> <td>0/1</td> <td>0/1</td> <td>0</td> <td>1</td> <td>0/1</td> <td>0/1</td> <td>0</td> </tr> <tr> <td>FSTATR0 レジスタの PRGSPD ビット</td> <td>0</td> <td>0</td> <td>0/1</td> <td>0/1</td> <td>1</td> <td>0</td> <td>0/1</td> <td>0/1</td> <td>0</td> </tr> <tr> <td>FASTAT レジスタの CMDLK ビット</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>ノーマルモード移行</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td></td> <td>x</td> <td>x</td> <td></td> </tr> <tr> <td>ステータスリードモード移行</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td></td> <td>x</td> <td>x</td> <td></td> </tr> <tr> <td>ロックビットリードモード移行</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td></td> <td>x</td> <td>x</td> <td></td> </tr> <tr> <td>プログラム</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td>x</td> <td>x</td> <td></td> </tr> <tr> <td>ブロックイレーズ</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> </tr> <tr> <td>P/E サスペンド</td> <td></td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> </tr> <tr> <td>P/E レジューム</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td></td> <td>x</td> <td>x</td> <td>x</td> </tr> <tr> <td>ステータスレジスタクリア</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td></td> <td>x</td> <td></td> <td></td> </tr> <tr> <td>ロックビットリード 2</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td></td> <td>x</td> <td>x</td> <td></td> </tr> <tr> <td>ロックビットプログラム</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> <td>x</td> <td>x</td> <td></td> </tr> <tr> <td>周辺クロック通知</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td>x</td> <td></td> </tr> </tbody> </table>	項目	ステータスリードモード								書き込み / 消去の処理中	消去サスペンド中の書き込み処理中	書き込み / 消去の中断処理中	ロックビットリードの処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態 (ELOCK=0)	コマンドロック状態 (ELOCK=1)	その他の状態	FSTATR0 レジスタの FRDY ビット	0	0	0	0	1	1	0	1	1	FSTATR0 レジスタの SUSRDY ビット	1	0	0	0	0	0	0	0	0	FSTATR0 レジスタの ERSSPD ビット	0	1	0/1	0/1	0	1	0/1	0/1	0	FSTATR0 レジスタの PRGSPD ビット	0	0	0/1	0/1	1	0	0/1	0/1	0	FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	1	1	0	ノーマルモード移行	x	x	x	x			x	x		ステータスリードモード移行	x	x	x	x			x	x		ロックビットリードモード移行	x	x	x	x			x	x		プログラム	x	x	x	x	x		x	x		ブロックイレーズ	x	x	x	x	x	x	x	x		P/E サスペンド		x	x	x	x	x	x	x	x	P/E レジューム	x	x	x	x			x	x	x	ステータスレジスタクリア	x	x	x	x			x			ロックビットリード 2	x	x	x	x			x	x		ロックビットプログラム	x	x	x	x	x		x	x		周辺クロック通知	x	x	x	x	x	x	x	x	
項目	ステータスリードモード																																																																																																																																																																																			
	書き込み / 消去の処理中	消去サスペンド中の書き込み処理中	書き込み / 消去の中断処理中	ロックビットリードの処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態 (ELOCK=0)	コマンドロック状態 (ELOCK=1)	その他の状態																																																																																																																																																																											
FSTATR0 レジスタの FRDY ビット	0	0	0	0	1	1	0	1	1																																																																																																																																																																											
FSTATR0 レジスタの SUSRDY ビット	1	0	0	0	0	0	0	0	0																																																																																																																																																																											
FSTATR0 レジスタの ERSSPD ビット	0	1	0/1	0/1	0	1	0/1	0/1	0																																																																																																																																																																											
FSTATR0 レジスタの PRGSPD ビット	0	0	0/1	0/1	1	0	0/1	0/1	0																																																																																																																																																																											
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	1	1	0																																																																																																																																																																											
ノーマルモード移行	x	x	x	x			x	x																																																																																																																																																																												
ステータスリードモード移行	x	x	x	x			x	x																																																																																																																																																																												
ロックビットリードモード移行	x	x	x	x			x	x																																																																																																																																																																												
プログラム	x	x	x	x	x		x	x																																																																																																																																																																												
ブロックイレーズ	x	x	x	x	x	x	x	x																																																																																																																																																																												
P/E サスペンド		x	x	x	x	x	x	x	x																																																																																																																																																																											
P/E レジューム	x	x	x	x			x	x	x																																																																																																																																																																											
ステータスレジスタクリア	x	x	x	x			x																																																																																																																																																																													
ロックビットリード 2	x	x	x	x			x	x																																																																																																																																																																												
ロックビットプログラム	x	x	x	x	x		x	x																																																																																																																																																																												
周辺クロック通知	x	x	x	x	x	x	x	x																																																																																																																																																																												

項 目	ページ	修正箇所																																																								
表 29.13 エラープロテクトー覧	29-85	追加 <table border="1"> <thead> <tr> <th>分類</th> <th>内 容</th> <th>ILGLERR</th> <th>ERSERR</th> <th>PRGERR</th> <th>FCUERR</th> <th>ROMAE</th> </tr> </thead> <tbody> <tr> <td rowspan="6">不正コマンド エラー</td> <td>FCU コマンドの 1 サイクル目で未定義コードを指定</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>PCKAR レジスタに周辺クロック 1 ~ 100MHz 以外を設定</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>書き込み / 消去処理中にサスペンド以外のコマンドを発行</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>書き込み / 消去以外の処理中にサスペンドコマンドを発行</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>サスペンド状態でサスペンドコマンドを発行</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	分類	内 容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0	PCKAR レジスタに周辺クロック 1 ~ 100MHz 以外を設定	1	0	0	0	0	書き込み / 消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	書き込み / 消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0												
分類	内 容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE																																																				
不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0																																																				
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0																																																				
	PCKAR レジスタに周辺クロック 1 ~ 100MHz 以外を設定	1	0	0	0	0																																																				
	書き込み / 消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0																																																				
	書き込み / 消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0																																																				
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0																																																				
29.11.10 書き込み / 消去中の禁止事項	29-91	追加 <ul style="list-style-type: none"> ● P と異なる周波数を PCKAR レジスタに設定する 																																																								
29.11.12 書き込み / 消去中の異常終了	29-91	項目を追加																																																								
30.1 特長	30-1	追加 <p>読み出しプログラムは内蔵 RAM もしくは内蔵 ROM 上にて実行できます。</p>																																																								
表 30.7 FCU コマンドのフォーマット (FLD 専用コマンド)	30-25	追加、修正 <table border="1"> <thead> <tr> <th rowspan="2">コマンド</th> <th rowspan="2">コマンドサイクル数*</th> <th colspan="2">1 サイクル目</th> </tr> <tr> <th>アドレス</th> <th>データ</th> </tr> </thead> <tbody> <tr> <td colspan="4">【注】*コマンドサイクル数は書き込み / 消去アドレスに対する CPU による周辺バス (Pバス) ライトアクセスの発行回数です。</td> </tr> </tbody> </table>	コマンド	コマンドサイクル数*	1 サイクル目		アドレス	データ	【注】*コマンドサイクル数は書き込み / 消去アドレスに対する CPU による周辺バス (Pバス) ライトアクセスの発行回数です。																																																	
コマンド	コマンドサイクル数*	1 サイクル目																																																								
		アドレス	データ																																																							
【注】*コマンドサイクル数は書き込み / 消去アドレスに対する CPU による周辺バス (Pバス) ライトアクセスの発行回数です。																																																										
30.9.8 書き込み / 消去中の禁止事項	30-38	追加 <ul style="list-style-type: none"> ● P と異なる周波数を PCKAR レジスタに設定する 																																																								
30.9.10 書き込み / 消去中の異常終了	30-38	項目を追加																																																								
34.2 レジスタビットー覧	34-55	修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ略称</th> <th>ビット 31/23/ 15/7</th> <th>ビット 30/22/ 14/6</th> <th>ビット 29/21/ 13/5</th> <th>ビット 28/20/ 12/4</th> <th>ビット 27/19/ 11/3</th> <th>ビット 26/18/ 10/2</th> <th>ビット 25/17/ 9/1</th> <th>ビット 24/16/ 8/0</th> </tr> </thead> <tbody> <tr> <td rowspan="5">TIM32C</td> <td>TI32CR_0</td> <td>MS</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>CKS1</td> <td>CKS0</td> </tr> <tr> <td>TI32CR_1</td> <td>MS</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>CKS1</td> <td>CKS0</td> </tr> <tr> <td>TI32CR_2</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>CCLR</td> <td>-</td> <td>CKS1</td> <td>CKS0</td> </tr> <tr> <td>TI32SR</td> <td>CH2F</td> <td>-</td> <td>-</td> <td>-</td> <td>CH1UF</td> <td>CH1DF</td> <td>CH0UF</td> <td>CH0DF</td> </tr> <tr> <td>TI32IER</td> <td>CH2IE</td> <td>-</td> <td>-</td> <td>-</td> <td>CH1UIE</td> <td>CH1DIE</td> <td>CH0UIE</td> <td>CH0DIE</td> </tr> </tbody> </table>	モジュール名	レジスタ略称	ビット 31/23/ 15/7	ビット 30/22/ 14/6	ビット 29/21/ 13/5	ビット 28/20/ 12/4	ビット 27/19/ 11/3	ビット 26/18/ 10/2	ビット 25/17/ 9/1	ビット 24/16/ 8/0	TIM32C	TI32CR_0	MS	-	-	-	-	-	CKS1	CKS0	TI32CR_1	MS	-	-	-	-	-	CKS1	CKS0	TI32CR_2	-	-	-	-	CCLR	-	CKS1	CKS0	TI32SR	CH2F	-	-	-	CH1UF	CH1DF	CH0UF	CH0DF	TI32IER	CH2IE	-	-	-	CH1UIE	CH1DIE	CH0UIE	CH0DIE
モジュール名	レジスタ略称	ビット 31/23/ 15/7	ビット 30/22/ 14/6	ビット 29/21/ 13/5	ビット 28/20/ 12/4	ビット 27/19/ 11/3	ビット 26/18/ 10/2	ビット 25/17/ 9/1	ビット 24/16/ 8/0																																																	
TIM32C	TI32CR_0	MS	-	-	-	-	-	CKS1	CKS0																																																	
	TI32CR_1	MS	-	-	-	-	-	CKS1	CKS0																																																	
	TI32CR_2	-	-	-	-	CCLR	-	CKS1	CKS0																																																	
	TI32SR	CH2F	-	-	-	CH1UF	CH1DF	CH0UF	CH0DF																																																	
	TI32IER	CH2IE	-	-	-	CH1UIE	CH1DIE	CH0UIE	CH0DIE																																																	
表 35.6 クロックタイミング	35-11	修正 <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>CK クロック出力立ち上がり時間</td> <td>tckOr</td> <td>-</td> <td>3</td> <td>ns</td> <td rowspan="2">35.4</td> </tr> <tr> <td>CK クロック出力立ち下がり時間</td> <td>tckOf</td> <td>-</td> <td>3</td> <td>ns</td> </tr> </tbody> </table>	項 目	記号	Min.	Max.	単位	参照図	CK クロック出力立ち上がり時間	tckOr	-	3	ns	35.4	CK クロック出力立ち下がり時間	tckOf	-	3	ns																																							
項 目	記号	Min.	Max.	単位	参照図																																																					
CK クロック出力立ち上がり時間	tckOr	-	3	ns	35.4																																																					
CK クロック出力立ち下がり時間	tckOf	-	3	ns																																																						

項 目	ページ	修正箇所																																																																			
表 35.7 制御信号タイミング	35-15	<p>追加</p> <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>RES パルス幅 (フラッシュメモリ書き込み/消去を除く)</td> <td>tRESW1</td> <td>20^{*2}</td> <td>-</td> <td>t_{cyc}</td> <td rowspan="4">35.7、 35.8、 35.11、 35.12</td> </tr> <tr> <td></td> <td></td> <td>1.5^{*4}</td> <td>-</td> <td>μs</td> </tr> <tr> <td>RES パルス幅 (フラッシュメモリ書き込み/消去時)</td> <td>tRESW2</td> <td>100</td> <td>-</td> <td>μs</td> </tr> <tr> <td>RES セットアップ時間^{*1}</td> <td>tRESS</td> <td>200</td> <td>-</td> <td>ns</td> </tr> <tr> <td>RES ホールド時間</td> <td>tRESH</td> <td>15</td> <td>-</td> <td>ns</td> <td></td> </tr> </tbody> </table> <p>【注】 *1 RES、MRES、NMI、BREQ、および IRQ23 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。</p> <p>*2 スタンバイ復帰時は、tRESW = tOSC2 (10ms) になります。</p> <p>*3 スタンバイ復帰時は、tMRESW = tOSC2 (10ms) となります。</p> <p>*4 いずれの条件も満足する tRESW1 を入力してください。</p>	項 目	記号	Min.	Max.	単位	参照図	RES パルス幅 (フラッシュメモリ書き込み/消去を除く)	tRESW1	20 ^{*2}	-	t _{cyc}	35.7、 35.8、 35.11、 35.12			1.5 ^{*4}	-	μs	RES パルス幅 (フラッシュメモリ書き込み/消去時)	tRESW2	100	-	μs	RES セットアップ時間 ^{*1}	tRESS	200	-	ns	RES ホールド時間	tRESH	15	-	ns																																			
項 目	記号	Min.	Max.	単位	参照図																																																																
RES パルス幅 (フラッシュメモリ書き込み/消去を除く)	tRESW1	20 ^{*2}	-	t _{cyc}	35.7、 35.8、 35.11、 35.12																																																																
		1.5 ^{*4}	-	μs																																																																	
RES パルス幅 (フラッシュメモリ書き込み/消去時)	tRESW2	100	-	μs																																																																	
RES セットアップ時間 ^{*1}	tRESS	200	-	ns																																																																	
RES ホールド時間	tRESH	15	-	ns																																																																	
表 35.8 バスタイミング	35-18	<p>修正</p> <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>リードデータセットアップ時間 1</td> <td>tRDS1</td> <td>1/2t_{cyc} + 14</td> <td>-</td> <td>ns</td> <td>35.15 ~ 35.21</td> </tr> <tr> <td>リードデータセットアップ時間 2</td> <td>tRDS2</td> <td>14</td> <td>-</td> <td>ns</td> <td>35.23 ~ 35.26、 35.31 ~ 35.33</td> </tr> <tr> <td>リードデータセットアップ時間 3</td> <td>tRDS3</td> <td>1/2t_{cyc} + 14</td> <td>-</td> <td>ns</td> <td>35.22</td> </tr> <tr> <td>リードデータセットアップ時間 4</td> <td>tRDS4</td> <td>1/2t_{cyc} + 14</td> <td>-</td> <td>ns</td> <td>35.40</td> </tr> </tbody> </table>	項 目	記号	Min.	Max.	単位	参照図	リードデータセットアップ時間 1	tRDS1	1/2t _{cyc} + 14	-	ns	35.15 ~ 35.21	リードデータセットアップ時間 2	tRDS2	14	-	ns	35.23 ~ 35.26、 35.31 ~ 35.33	リードデータセットアップ時間 3	tRDS3	1/2t _{cyc} + 14	-	ns	35.22	リードデータセットアップ時間 4	tRDS4	1/2t _{cyc} + 14	-	ns	35.40																																					
項 目	記号	Min.	Max.	単位	参照図																																																																
リードデータセットアップ時間 1	tRDS1	1/2t _{cyc} + 14	-	ns	35.15 ~ 35.21																																																																
リードデータセットアップ時間 2	tRDS2	14	-	ns	35.23 ~ 35.26、 35.31 ~ 35.33																																																																
リードデータセットアップ時間 3	tRDS3	1/2t _{cyc} + 14	-	ns	35.22																																																																
リードデータセットアップ時間 4	tRDS4	1/2t _{cyc} + 14	-	ns	35.40																																																																
表 35.27 フラッシュメモリ特性 (1)	35-72	<p>削除</p> <table border="1"> <thead> <tr> <th rowspan="2">項 目</th> <th rowspan="2">記号</th> <th colspan="3">NPEC < 100回</th> <th colspan="3">100回 NPEC < 100回</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td rowspan="5">消去時間</td> <td>8Kバイト</td> <td>tE8K</td> <td>-</td> <td>50</td> <td>120</td> <td>-</td> <td>60</td> <td>145</td> <td rowspan="5">ms P = 50MHz</td> </tr> <tr> <td>32Kバイト</td> <td>tE32K</td> <td>-</td> <td>200</td> <td>480</td> <td>-</td> <td>240</td> <td>580</td> </tr> <tr> <td>64Kバイト</td> <td>tE64K</td> <td>-</td> <td>400</td> <td>875</td> <td>-</td> <td>480</td> <td>1050</td> </tr> <tr> <td>128Kバイト</td> <td>tE128K</td> <td>-</td> <td>800</td> <td>1750</td> <td>-</td> <td>960</td> <td>2100</td> </tr> <tr> <td>256Kバイト</td> <td>tE256K</td> <td>-</td> <td>1600</td> <td>3500</td> <td>-</td> <td>1920</td> <td>4200</td> </tr> <tr> <td>128Kバイト ^{*4}</td> <td>tE128K</td> <td>-</td> <td>75</td> <td>180</td> <td>-</td> <td>90</td> <td>220</td> <td>ms</td> </tr> </tbody> </table>	項 目	記号	NPEC < 100回			100回 NPEC < 100回			単位	測定条件	Min.	Typ.	Max.	Min.	Typ.	Max.	消去時間	8Kバイト	tE8K	-	50	120	-	60	145	ms P = 50MHz	32Kバイト	tE32K	-	200	480	-	240	580	64Kバイト	tE64K	-	400	875	-	480	1050	128Kバイト	tE128K	-	800	1750	-	960	2100	256Kバイト	tE256K	-	1600	3500	-	1920	4200	128Kバイト ^{*4}	tE128K	-	75	180	-	90	220	ms
項 目	記号	NPEC < 100回			100回 NPEC < 100回			単位	測定条件																																																												
		Min.	Typ.	Max.	Min.	Typ.	Max.																																																														
消去時間	8Kバイト	tE8K	-	50	120	-	60	145	ms P = 50MHz																																																												
	32Kバイト	tE32K	-	200	480	-	240	580																																																													
	64Kバイト	tE64K	-	400	875	-	480	1050																																																													
	128Kバイト	tE128K	-	800	1750	-	960	2100																																																													
	256Kバイト	tE256K	-	1600	3500	-	1920	4200																																																													
128Kバイト ^{*4}	tE128K	-	75	180	-	90	220	ms																																																													
表 35.28 フラッシュメモリ特性 (2)	35-73	<p>削除</p> <p>【注】</p> <p>*4 ユーザーポートマップのサイズは 32KB です。</p>																																																																			

索引

【数字 / 記号】

0 方向への丸め	3-8
16 ビット / 32 ビットディスプレイメント	2-10
2 チャネルスキャンモード	21-18
32kHz タイマ (TIM32C)	27-1
4 チャネルスキャンモード	21-19
8 チャネルスキャンモード	21-20

【A】

A/D シャドーレジスタ (ADSDR) のアクセス	21-26
A/D 変換開始要求ディレイド機能	12-141
A/D 変換器 (ADC)	21-1
A/D 変換器特性	35-71
A/D 変換器の起動	12-156
A/D 変換器の割り込み要因	21-27
A/D 変換精度の定義	21-28
AC 特性	35-10
AC 特性測定条件	35-70
ADC タイミング	35-53

【C】

CAN インタフェース	26-3
CAN スリープモード	26-47
CMT2 タイミング	35-65
CMT2 割り込み要因	16-22
CMT2 割り込み要因	15-6
CPU	2-1
\overline{CSn} アサート期間拡張	10-53

【D】

DC 特性	35-2
DMAC/DTC 使用上の制約事項	19-58
DMAC タイミング	35-48
DMA 転送フローチャート	11-21
DREQ 端子のサンプリングタイミング	11-38
DTC/DMAC の起動	12-156
DTC の起動要因	9-11
DTC ベクタアドレス	9-14

【F】

FCU コマンド一覧	29-54
FCU コマンド使用方法	29-60, 30-30
FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	19-1
FLD	30-1
FLD 特性	35-74
FPU に関する CPU 命令	2-36
FPU 例外	3-9, 6-18
FPU 例外処理	3-9
FPU 例外要因	3-9

【H】

H-UDI のタイミング	35-68
H-UDI リセット	33-18
H-UDI 割り込み	7-14, 33-18

【I】

I/O ポート	23-1
I/O ポートタイミング	35-56
I ² C バスインタフェース 3 (IIC3)	20-1
I ² C バスフォーマット	20-18
ID 並べ替え	26-19
IIC3 タイミング	35-57
IRQ 割り込み	7-14

【K】

KEYC タイミング	35-67
------------------	-------

【L】

LVDS 受信インタフェース (LVDS)	24-1
LVDS 受信動作	24-21
LVDS 受信フォーマット	24-17
LVDS タイミング	35-59
LVDS 割り込み要因	24-25

【M】

MCU 拡張モード	4-2
-----------------	-----

MCU 動作モード	4-1	TDO 出力タイミング	33-17
MPX-I/O インタフェース	10-54	TIM32C タイミング	35-66
MTU2 - MTU2S の同期動作	12-145	TIM32C 割り込み要因	27-16
MTU2S タイミング	35-50	T ビット	2-8
MTU2S の機能一覧	13-1		
MTU2 出力端子の初期化方法	12-187	【 U 】	
MTU2 タイミング	35-49	UBC タイミング	35-47
MTU2 の機能一覧	12-2		
MTU2 割り込み要因	12-154	【 W 】	
		WDT タイミング	35-52
【 N 】			
NMI 割り込み	7-14	【 あ 】	
		アクセスウェイト制御	10-51
【 P 】		アクセスサイクル間アイドル	10-96
POE2 タイミング	35-51	アドレスエラー	6-10
POE2 割り込み要因	14-20	アドレスマップ	10-5
PWM モード	12-92	アドレスマルチプレクス	10-61
		アドレッシングモード	2-11
【 R 】		アナログ電源端子などの設定範囲	21-31
RCAN-ET タイミング	35-60	位相計数モード	12-97
RCAN-ET のメモリマップ	26-5	一般不当命令	6-17
RCAN-ET のリセットシーケンス	26-45	イミディエイトデータ	2-9
RCAN-ET の割り込み要因	26-57	イミディエイトデータによる参照	2-9
RCAN-ET ビットレートの計算式	26-24	イミディエイトデータのデータ形式	2-6
RISC 方式	2-7	インターバルタイマモードの使用法	17-11
ROM	29-1	ウォッチドッグタイマ (WDT)	17-1
RSPI システム構成例	25-29	ウォッチドッグタイマモードの使用法	17-9
RSPI タイミング	35-61	エラープロテクト	29-84, 30-35
RSPI 端子の制御	25-27	エラープロテクト一覧	29-85
RSPI データフォーマット	25-37	エンディアン	10-43
RSPI のエラー検出機能	25-43	オートリクエストモード	11-22
RSPI の初期化	25-46	オートリフレッシュ	10-79
RSPI のモードと SPCR 設定の関係	25-26	オフセット誤差	21-28
【 S 】		【 か 】	
SCBRR の設定値を求める計算式	19-18	外形寸法図	付録-24
SCI/SCIF タイミング	35-54	外部トリガ入力タイミング	21-25
SCIF 割り込み要因	19-56	外部パルス幅測定機能	12-150
SCI 割り込み要因	18-60	外部リクエストモード	11-22
SCSPTR と SCIF 端子との関係	19-57	各動作モードのアドレスマップ	4-3
SCSPTR と SCI 端子との関係	18-61	カスケード接続動作	12-88
SDRAM インタフェース	10-57	型名一覧	付録-23
SH7231 の特長	1-1	キースキャン	28-21
SSL ネゲート期間の MOSI 信号値の決定方法	25-28	キースキャンコントローラ (KEYC)	28-1
		許容信号源インピーダンス	21-30
【 T 】		近傍への丸め	3-8
TAP コントローラ	33-14	グローバルベースレジスタ (GBR)	2-3

クロックタイミング	35-11
クロック同期式シリアルフォーマット	20-27
クロック同期式モード	18-43, 19-47
クロック動作モード	5-6
クロックパルス発振器 (CPG)	5-1
固定モード	11-26
コントローラエリアネットワーク (RCAN-ET)	26-1
コントロールレジスタの初期値	2-4
コンペアマッチタイマ (CMT)	15-1
コンペアマッチタイマ2 (CMT2)	16-1

【さ】

サイクルスチールモード	11-33
サスペンド動作	29-78
サポートできる DMA 転送	11-29
算術演算命令	2-27
システム制御命令	2-32
システムレジスタの初期値	2-4
実効アドレスの計算方法	2-11
シフト命令	2-30
ジャンプテーブルベースレジスタ (TBR)	2-3
周波数変更方法	5-20
乗算 / 積和演算	2-8
シリアルコミュニケーションインタフェース (SCI)	18-1
シングルアドレスモード	11-32
シングルチップモード	4-2
シングルモード	21-17
スタックからの復帰	7-33
スタックへの退避	7-33
ステータスレジスタ (SR)	2-2
スリープモード	32-25
スレーブ受信動作	20-25
スレーブ送信動作	20-23
スロット不当命令	6-17
制御信号タイミング	35-15
整数除算命令	6-17
積和下位レジスタ (MACL)	2-4
積和上位レジスタ (MACH)	2-4
絶対アドレス	2-9
絶対アドレスによる参照	2-10
絶対最大定格	35-1
絶対精度	21-28
絶対精度への影響	21-31
セルフリフレッシュ	10-80
送信バッファエンプティ / 受信バッファフルフラグ	25-41

相補 PWM モード	12-106
ソフトウェアスタンバイモード	32-26
ソフトウェアスタンバイモード解除の手順 (WDT)	17-9
ソフトウェアプロテクト	29-84, 30-34

【た】

タイムクオンタの定義	26-22
ダイレクトメモリアクセスコントローラ (DMAC)	11-1
単精度浮動小数点フォーマット	3-2
チェイン転送	9-25
遅延スロットなし無条件分岐命令	2-8
遅延分岐命令	2-8
遅延分岐命令の直後の例外要因発生	6-19
調歩同期式モード	18-34, 19-38
通常空間インタフェース	10-46
ディープソフトウェアスタンバイモード	32-31
低消費電力状態	2-39
低消費電力モード	32-1
ディスプレイメントによる参照	2-10
データアクセスサイクルでのブレイク	8-15
データアライメント	10-43
データ転送命令	2-24
データトランスファコントローラ (DTC)	9-1
テストモードの設定	26-49
デッドタイム補償用機能	12-151
デュアルアドレスモード	11-30
電気的特性	35-1
転送情報の配置と DTC ベクタテーブル	9-12
転送情報ライトバックスキップ機能	9-21
転送情報リードスキップ機能	9-21
動作モード変更時の注意事項	4-5
トラップ命令	6-16

【な】

内蔵 RAM	31-1
内蔵周辺モジュールリクエストモード	11-23
内蔵周辺モジュール割り込み	7-15
入力サンプリングと A/D 変換時間	21-22
ノイズ除去回路	20-30
ノイズ対策上の注意事項	21-32
ノーマル転送モード	9-22

【は】

バースト ROM (クロック同期) インタフェース	10-95
---------------------------	-------

バースト ROM (クロック非同期)	
インタフェース	10-89
バーストモード	11-35
ハードウェアプロテクト	29-83, 30-34
倍精度浮動小数点フォーマット	3-2
バイト選択付き SRAM インタフェース	10-90
バウンダリスキャン	33-19
バスアービトラション	10-102
バス権解放状態	2-39
バスステートコントローラ (BSC)	10-1
バスタイミング	35-18
パワーオンリセット	6-8
バンクからの復帰	7-32
バンクへの退避	7-31
汎用レジスタ	2-1
汎用レジスタの初期値	2-4
非数 (NaN)	3-4
非正規化数	3-4
非直線性誤差	21-28
ビット操作命令	2-37
ビット同期回路	20-39
ピンファンクションコントローラ (PFC)	22-1
ブートモード	29-29, 30-20
ブートモードの状態遷移	29-30
浮動小数点演算命令	2-34
浮動小数点の範囲	3-3
浮動小数点ユニット (FPU)	3-1
浮動小数点レジスタ	3-5
フラッシュメモリ特性	35-72
フルスケール誤差	21-28
ブレークの送り出し	18-63, 19-59
ブレークの検出と処理	18-63, 19-58
プログラムカウンタ (PC)	2-4
プログラム実行状態	2-39
プロシージャレジスタ (PR)	2-4
ブロック転送モード	9-24
プロテクト	29-83, 30-34
分岐命令	2-31
ページ競合	31-2
ベクタベースレジスタ (VBR)	2-3
ポート A	23-1
ポート B	23-5
ポート C	23-8
ポート D	23-11
ポート E	23-17
ポート F	23-22
ポート G	23-24

ポート H	23-27
ポート J	23-30
ポート K	23-33
ポート L	23-36
ポートアウトプットイネーブル 2 (POE2)	14-1
ボード設計上の注意事項	21-31
ホルトモード	26-46

【ま】

マイクロプロセッサインタフェース (MPI)	26-3
マスタ受信動作	20-21
マスタ送信動作	20-19
マニュアルリセット	6-9
マルチファンクションタイムパルスユニット 2 (MTU2)	12-1
マルチファンクションタイムパルスユニット 2S (MTU2S)	13-1
マルチプロセッサ通信機能	18-52
丸め	3-8
命令形式	2-15
命令セット	2-19
命令による例外	6-16
命令の特長	2-7
命令フェッチサイクルでのブレーク	8-15
メールボックス	26-3
メールボックスコントロール	26-3
メールボックスのアドレスマップ	26-6
メールボックスの構成	26-7
メールボックスの再設定	26-55
メッセージコントロールフィールド	26-8
メッセージ受信シーケンス	26-53
メッセージ送信シーケンス	26-51
メッセージデータフィールド	26-14
メモリのデータ形式	2-5
モジュールスタンバイモードの設定	21-30

【や】

ユーザデバッグインタフェース (H-UDI)	33-1
ユーザブートモード	29-81
ユーザブレークコントローラ (UBC)	8-1
ユーザブレーク割り込み	7-14
ユーザプログラムモード	29-54

【ら】

ライターモード	29-83
ラウンドロビンモード	11-26
リセット状態	2-39

リセット同期 PWM モード.....	12-103	CRA.....	9-7
リポート転送モード.....	9-23	CRB.....	9-7
量子化誤差.....	21-28	CSnBCR (n=0~7).....	10-11
ルネサスシリアルペリフェラルインタフェース		CSnWCR (n=0~7).....	10-15
(RSPI).....	25-1	DAR.....	11-6
例外処理.....	6-1	DAR (DTC).....	9-6
例外処理後のスタックの状態.....	6-20	DMAOR.....	11-14
例外処理状態.....	2-39	DMARS0、DMARS1.....	11-17
例外処理ベクタテーブル.....	6-5	DMATCR.....	11-7
例外処理ベクタテーブルアドレスの算出法.....	6-6	DPSIEGR.....	32-22
例外要因の種類と優先順位.....	6-1	DPSTBCR.....	32-14
レジスタ		DPSWCR.....	32-15
ABACK0.....	26-39	DRVCR.....	22-78
ACLKCR.....	5-18	DTCCR.....	9-9
ADCR_0.....	21-10	DTCERA ~ DTCERG.....	9-8
ADCR_1.....	21-10	DTCVBR.....	9-10
ADCSR_0.....	21-6	EEPBCCNT.....	30-16
ADCSR_1.....	21-6	EEPBCSTAT.....	30-17
ADDR0 ~ ADDR15.....	21-6	EEPWE0.....	30-13
ADSDR.....	21-10	EEPWE0.....	30-14
ADSSR.....	21-11	FAEINT.....	29-11, 30-11
ADTSR_0.....	21-13	FASTAT.....	29-9, 30-8
BAMR_0、BAMR_1.....	8-5	FCMDR.....	29-22
BAR_0、BAR_1.....	8-4	FCPSR.....	29-23
BAR_2 ~ BAR_7.....	8-8	FCURAME.....	29-13
BBR_0、BBR_1.....	8-6	FENTRYR.....	29-18, 30-15
BBR_2 ~ BBR_7.....	8-9	FIEBAR.....	29-26
BCR0、BCR1.....	26-22	FMODR.....	29-8, 30-7
BRCR.....	8-10	FPESTAT.....	29-24
BSBPR.....	33-3	FPMON.....	29-7
BSCEHR.....	9-10, 10-41	FPROTR.....	29-20
BSID.....	33-11	FPSCR.....	3-6
BSIR.....	33-3	FPUL.....	3-7
CHCR.....	11-7	FRESETR.....	29-21
CM2CNT.....	16-11	FRQCR.....	5-15
CM2COR.....	16-12	FSTATR0.....	29-14
CM2CR.....	16-5	FSTATR1.....	29-17
CM2ICR0、CM2ICR1.....	16-12	GSR.....	26-20
CM2IOR.....	16-7	HCPCR.....	22-77
CM2OCR0、CM2OCR1.....	16-13	IBCR.....	7-12
CM2SR.....	16-9	IBNR.....	7-13
CM2STR.....	16-4	ICCR1.....	20-4
CMCNT.....	15-4	ICCR2.....	20-7
CMCOR.....	15-4	ICDRR.....	20-16
CMCSR.....	15-3	ICDRS.....	20-16
CMNCR.....	10-9	ICDRT.....	20-16
CMSTR.....	15-2	ICIER.....	20-11

ICMR.....	20-9	PAIORH.....	22-22
ICR0.....	7-6	PAIORL.....	22-22
ICR1.....	7-7	PAPCRH.....	22-28
ICR2.....	7-8	PAPCRL.....	22-29
ICR3.....	7-9	PAPRH.....	23-4
ICSR.....	20-13	PAPRL.....	23-4
ICSR1.....	14-4	PBCRL1.....	22-32
ICSR2.....	14-8	PBCRL2.....	22-30
ICSR3.....	14-11	PBDRL.....	23-6
IMR.....	26-31	PBIORL.....	22-30
IPR01 ~ IPR04、IPR06、IPR08 ~ IPR18.....	7-5	PBPCRL.....	22-34
IRQRR0.....	7-10	PBPRL.....	23-7
IRQRR1.....	7-11	PCCRL1.....	22-38
IRR.....	26-26	PCCRL2.....	22-36
KSCCR.....	28-16	PCDRL.....	23-9
KSCNT.....	28-17	PCIORL.....	22-35
KSCR1.....	28-6	PCKAR.....	29-25
KSCR2.....	28-7	PCPCRL.....	22-40
KSCSR.....	28-18	PCPRL.....	23-10
KSDR_0 ~ 7.....	28-12	PDCRH1.....	22-44
KSDR_8.....	28-11	PDCRH2.....	22-42
KSFCD.....	28-9	PDCRL1.....	22-48
KSIER.....	28-13	PDCRL2.....	22-46
KSSR.....	28-14	PDDRH.....	23-13
LVCCR1.....	24-14	PDDRL.....	23-14
LVCCR2.....	24-15	PDIORH.....	22-41
LVCR.....	24-7	PDIORL.....	22-41
LVDCNT.....	24-16	PDPCRH.....	22-50
LVFCR.....	24-13	PDPCRL.....	22-51
LVFDR.....	24-14	PDPRH.....	23-15
LVFRDR.....	24-6	PDPRL.....	23-16
LVLNT.....	24-15	PECRH1.....	22-53
LVSR.....	24-9	PECRL1.....	22-57
MBIMR0.....	26-42	PECRL2.....	22-55
MCLKCR.....	5-17	PEDRH.....	23-18
MCR.....	26-14	PEDRL.....	23-19
MRA.....	9-4	PEIORH.....	22-52
MRB.....	9-5	PEIORL.....	22-52
NF2CYC.....	20-17	PEPCRH.....	22-59
OCSR1.....	14-7	PEPCRL.....	22-60
OCSR2.....	14-10	PEPRH.....	23-20
OSCCR.....	5-19	PEPRL.....	23-21
PACRH1.....	22-23	PFDRL.....	23-23
PACRL1.....	22-26	PFEXCR.....	22-79
PACRL2.....	22-24	PGCRL1.....	22-62
PADRH.....	23-2	PGDRL.....	23-25
PADRL.....	23-3	PGIORL.....	22-61

PGPCRL	22-64	SCRSR	19-6
PGPRL	23-26	SCRSR (SCI)	18-7
PHCRL1	22-66	SCSCR	19-10
PHDRL	23-28	SCSCR (SCI)	18-10
PHIORL	22-65	SCSDCR	18-18, 19-34
PHPCRL	22-68	SCSMR	19-7
PHPRL	23-29	SCSMR (SCI)	18-8
PJCRL1	22-70	SCSMR2	18-30
PJDRL	23-31	SCSPTR	18-17, 19-31
PJIORL	22-69	SCSSR	18-13
PJPCRL	22-72	SCTBACNT	18-31
PJPRL	23-32	SCTDR	18-8
PKCRL1	22-73	SCTSR	19-6
PKDRL	23-34	SCTSR (SCI)	18-7
PKIORL	22-73	SDBSR	33-4
PKPCRL	22-75	SDCR	10-34
PKPRL	23-35	SDID	33-13
PLDRL	23-37	SDIR	33-12
PLPCRL	22-76	SIER	32-16
POECR1	14-14	SIFR	32-19
POECR2	14-15	SPBR	25-16
RDAR	11-13	SPCKD	25-20
RDMATCR	11-14	SPCMD	25-23
REC	26-31	SPCR	25-6
RFPRO	26-41	SPDCR	25-17
ROMMAT	29-12	SPDR	25-13
RSAR	11-13	SPND	25-22
RSTSR	32-24	SPOER	14-12
RTCNT	10-39	SPPCR	25-9
RTCOR	10-40	SPSCR	25-14
RTCSR	10-37	SPSR	25-10
RXPRO	26-40	SPSSR	25-15
SAR (DMAC)	11-6	SSLND	25-21
SAR (DTC)	9-6	SSLP	25-8
SAR (IIC3)	20-15	STBCR	32-4
SCBACOR	18-31	STBCR2	32-5
SCBRR	19-18	STBCR3	32-6
SCBRR (SCI)	18-19	STBCR4	32-8
SCFCR	19-29	STBCR5	32-9
SCFDR	19-31	STBCR6	32-10
SCFRDR	19-6	STBCR7	32-11
SCFSR	19-13	SYSCR1	32-12
SCFTCR	19-34	SYSCR2	32-13
SCFTDR	19-7	TADCOBRA_4	12-52
SCLSR	19-33	TADCOBRB_4	12-52
SCRBACNT	18-31	TADCORA_4	12-52
SCRDR	18-7	TADCORB_4	12-52

TADCR.....	12-50	TOLBR.....	12-66
TBTER.....	12-72	TRWER.....	12-59
TBTM.....	12-47	TSR.....	12-41
TCBR.....	12-69	TSTR.....	12-54
TCDR.....	12-69	TSYCR.....	12-49
TCNT.....	12-53	TSYR.....	12-56
TCNTCMPCLR.....	12-36	TWCR.....	12-74
TCNTS.....	12-68	TXACK0.....	26-38
TCR.....	12-11	TXCR0.....	26-37
TCSYSTR.....	12-57	TXPR1、TXPR0.....	26-34
TDDR.....	12-68	UMSR0.....	26-43
TDER.....	12-73	WRCSR.....	17-7
TEC.....	26-31	WTCNT.....	17-4
TGCR.....	12-67	WTCSR.....	17-5
TGR.....	12-53	レジスタ一覧.....	34-1
TI32CNT16.....	27-10	レジスタのデータ形式.....	2-5
TI32CNT8_0.....	27-9	レジスタバンク.....	2-4, 7-30
TI32CNT8_1.....	27-9	レジスタバンクエラー.....	6-12
TI32COR_2.....	27-11	レジスタバンクエラー例外処理.....	6-12, 7-34
TI32CR_0.....	27-5	レジスタバンクの例外.....	7-34
TI32CR_1.....	27-5	ローカルアクセプタンスフィルタマスク (LAFM).....	26-13
TI32CR_2.....	27-6	ロードストアアーキテクチャ.....	2-7
TI32IER.....	27-8	論理演算命令.....	2-29
TI32SMR.....	27-11	 	
TI32SR.....	27-7	【わ】	
TI32STR.....	27-10	ワードデータの符号拡張.....	2-7
TICCR.....	12-48	割り込み応答時間.....	7-25
TIER.....	12-37	割り込みコントローラ (INTC).....	7-1
TIOR.....	12-17	割り込みによる DTC の起動.....	9-32
TITCNT.....	12-71	割り込み優先順位.....	6-14
TITCR.....	12-70	割り込み要因クリアのタイミング.....	7-38
TMDR.....	12-15	割り込み要求信号によるデータ転送.....	7-35
TOCR1.....	12-61	割り込み例外処理.....	6-15
TOCR2.....	12-63	割り込み例外処理終了後のスタックの状態.....	7-24
TOER.....	12-60		

SH7231グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2011年4月28日 Rev.1.00
2012年3月13日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7231 グループ