User's Manual

32

RX26T グループ

ユーザーズマニュアル　ハードウェア編

ルネサス 32 ビットマイクロコンピュータ

RX ファミリ/RX200 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.20　2024.10

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX26T グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX26Tグループ　データシート	R01DS0407JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	RX26Tグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	RXファミリ RXv3命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0316JJ
アプリケーションノート	基板設計上の注意事項	RX ファミリ ハードウェアデザインガイド	R01AN1411JJ
	レジスタ初期設定例	RX26Tグループ 初期設定例	R01AN6567JJ
	周辺機能の使用方法、応用例 参考プログラム	ルネサス エレクトロニクス ホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X ・・・・レジスタ

アドレス xxxx xxxxh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	・・・・[1:0]		・・・・4	—	—	—	・・・・0
リセット後の値	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	・・・・0	・・・・ビット	0：・・・・・ 1：設定しないでください (3)	R/W (1)
b3-b1	—	予約ビット (2)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	・・・・4	・・・・ビット	0：・・・・・ 1：・・・・・	R
b6-b5	・・・・[1:0]	・・・・ビット	0 0：・・・・・ 0 1：・・・・・ 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

（1） R/W ：読み出し/書き込みともに有効です。
R/(W) ：読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R ：読み出しのみ有効です。書き込みは無効になります。

（2） 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。

（3） 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電気的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

特長 63
1. 概要 64
1.1 仕様概要 64
1.2 製品一覧 75
1.3 ブロック図 79
1.4 端子機能 81
1.5 ピン配置図 86
1.5.1 100 ピン LFQFP 86
1.5.2 80 ピン LFQFP 87
1.5.3 64 ピン LFQFP、64 ピン HWQFN 88
1.5.4 48 ピン LFQFP、48 ピン HWQFN 91
1.5.5 32 ピン HWQFN 94
1.6 機能別端子一覧 95
1.6.1 100 ピン LFQFP 95
1.6.2 80 ピン LFQFP 101
1.6.3 64 ピン LFQFP、64 ピン HWQFN (RAM：64K バイトの製品) 106
1.6.4 64 ピン LFQFP (RAM：48K バイトの製品) 110
1.6.5 48 ピン LFQFP、48 ピン HWQFN (RAM：64K バイトの製品) 114
1.6.6 48 ピン LFQFP (RAM：48K バイトの製品) 117
1.6.7 32 ピン HWQFN 120
2. CPU 122
2.1 特長 122
2.2 CPU レジスタセット 123
2.2.1 汎用レジスタ (R0 ～ R15) 124
2.2.2 制御レジスタ 124
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP) 125
2.2.2.2 例外テーブルレジスタ (EXTB) 125
2.2.2.3 割り込みテーブルレジスタ (INTB) 125
2.2.2.4 プログラムカウンタ (PC) 125
2.2.2.5 プロセッサステータスワード (PSW) 126
2.2.2.6 バックアップ PC (BPC) 127
2.2.2.7 バックアップ PSW (BPSW) 128
2.2.2.8 高速割り込みベクタレジスタ (FINTV) 128
2.2.2.9 単精度浮動小数点ステータスワード (FPSW) 129
2.2.3 アキュムレータ 131
2.3 プロセッサモード 132
2.3.1 スーパバイザモード 132
2.3.2 ユーザモード 132
2.3.3 特権命令 132
2.3.4 プロセッサモード間の移行 132

2.4 データタイプ 133
2.4.1 整数 133
2.4.2 単精度浮動小数点数 134
2.4.3 ビット 134
2.4.4 ストリング 135
2.5 エンディアン 136
2.5.1 エンディアンの設定 136
2.5.2 I/O レジスタアクセス 139
2.5.3 I/O レジスタアクセスの注意事項 139
2.5.4 データ配置 140
2.5.4.1 レジスタのデータ配置 140
2.5.4.2 メモリ上のデータ配置 140
2.5.5 命令コード配置の注意事項 140
2.6 ベクタテーブル 141
2.6.1 例外ベクタテーブル 141
2.6.2 割り込みベクタテーブル 142
2.7 レジスタ一括退避機能 143
2.8 命令動作 144
2.8.1 RMPA 命令、ストリング操作命令に関する制約事項 144
2.8.1.1 転送サイズとデータプリフェッチ 144
2.8.1.2 外部空間へのアクセス 144
2.8.1.3 I/O レジスタへのアクセス 144
2.9 サイクル数 145
2.9.1 命令とサイクル数 145
2.9.2 割り込み応答サイクル数 149
2.10 使用上の注意事項 149
2.10.1 レジスタ退避バンク内 RAM の自己診断に関する注意事項 149
3. 動作モード 150
3.1 動作モードの種類と選択 150
3.2 レジスタの説明 151
3.2.1 モードモニタレジスタ (MDMONR) 151
3.2.2 システムコントロールレジスタ 1 (SYSCR1) 152
3.2.3 電圧レベル設定レジスタ (VOLSR) 153
3.3 動作モードの説明 154
3.3.1 シングルチップモード 154
3.3.2 ブートモード (SCI インタフェース) 154
3.3.3 ブートモード (FINE インタフェース) 154
3.4 動作モード遷移 155
3.4.1 モード設定端子による動作モード遷移 155

4. アドレス空間 156
4.1 アドレス空間 156
5. I/O レジスタ 158
5.1 I/O レジスタアドレス一覧 (アドレス順) 160
6. リセット 205
6.1 概要 205
6.2 レジスタの説明 208
6.2.1 リセットステータスレジスタ 0 (RSTSR0) 208
6.2.2 リセットステータスレジスタ 1 (RSTSR1) 210
6.2.3 リセットステータスレジスタ 2 (RSTSR2) 211
6.2.4 ソフトウェアリセットレジスタ (SWRR) 212
6.3 動作説明 212
6.3.1 RES# 端子リセット 212
6.3.2 パワーオンリセット、電圧監視 0 リセット 212
6.3.3 電圧監視 1 リセット、電圧監視 2 リセット 213
6.3.4 独立ウォッチドッグタイマリセット 215
6.3.5 ウォッチドッグタイマリセット 215
6.3.6 ソフトウェアリセット 215
6.3.7 コールドスタート / ウォームスタート判定機能 216
6.3.8 リセット発生要因の判定 217
7. オプション設定メモリ (OFSM) 218
7.1 概要 218
7.2 レジスタの説明 220
7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC) 220
7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) 222
7.2.3 オプション機能選択レジスタ 0 (OFS0) 223
7.2.4 オプション機能選択レジスタ 1 (OFS1) 227
7.2.5 エンディアン選択レジスタ (MDE) 228
7.2.6 TM イネーブルフラグレジスタ (TMEF) 229
7.2.7 TM 識別データレジスタ (TMINF) 230
7.2.8 バンク選択レジスタ (BANKSEL) 231
7.2.9 フラッシュアクセスウィンドウ設定レジスタ (FAW) 232
7.3 各動作モードにおけるオプション設定メモリのプログラム / イレーズ動作 234
7.4 オプション設定メモリの設定値とリード / プログラム / イレーズ動作 235
7.5 オプション設定メモリの設定方法 236
7.5.1 オプション設定メモリへのデータの配置方法 236
7.6 使用上の注意事項 237
7.6.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ 237
8. 電圧検出回路 (LVDA) 238
8.1 概要 238

8.2 レジスタの説明 241
8.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1) 241
8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR) 241
8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1) 242
8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR) 242
8.2.5 電圧監視回路制御レジスタ (LVCMPCR) 243
8.2.6 電圧検出レベル選択レジスタ (LVDLVLR) 244
8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0) 245
8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0) 246
8.3 VCC 入力電圧のモニタ 247
8.3.1 Vdet0 のモニタ 247
8.3.2 Vdet1 のモニタ 247
8.3.3 Vdet2 のモニタ 247
8.4 電圧監視 0 リセット 248
8.5 電圧監視 1 割り込み、電圧監視 1 リセット 249
8.6 電圧監視 2 割り込み、電圧監視 2 リセット 252
8.7 イベントリンク出力機能 255
8.7.1 割り込み処理とイベントリンクの関係 255
9. クロック発生回路 256
9.1 概要 256
9.2 レジスタの説明 258
9.2.1 システムクロックコントロールレジスタ (SCKCR) 258
9.2.2 システムクロックコントロールレジスタ 2 (SCKCR2) 260
9.2.3 システムクロックコントロールレジスタ 3 (SCKCR3) 261
9.2.4 PLL コントロールレジスタ (PLLCR) 262
9.2.5 PLL コントロールレジスタ 2 (PLLCR2) 263
9.2.6 メインクロック発振器コントロールレジスタ (MOSCCR) 264
9.2.7 低速オンチップオシレータコントロールレジスタ (LOCOCR) 265
9.2.8 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR) 266
9.2.9 高速オンチップオシレータコントロールレジスタ (HOCOCR) 267
9.2.10 高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2) 268
9.2.11 発振安定フラグレジスタ (OSCOVFSR) 269
9.2.12 発振停止検出コントロールレジスタ (OSTDCR) 271
9.2.13 発振停止検出ステータスレジスタ (OSTDSR) 272
9.2.14 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) 273
9.2.15 メインクロック発振器機能コントロールレジスタ (MOFCR) 274
9.2.16 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR) 275
9.3 メインクロック発振器 276
9.3.1 発振子を接続する方法 276
9.3.2 外部クロックを入力する方法 277

9.3.3 外部クロック入力に関する注意事項 277
9.4 発振停止検出機能 278
9.4.1 発振停止検出と検出後の動作 278
9.4.2 発振停止検出割り込み 281
9.5 PLL 回路 281
9.6 内部クロック 282
9.6.1 システムクロック 282
9.6.2 周辺モジュールクロック 282
9.6.3 FlashIF クロック 283
9.6.4 CANFD クロック (CANFDCLK) 283
9.6.5 CANFD メインクロック (CANFDMCLK) 283
9.6.6 CAC クロック (CACCLK) 283
9.6.7 IWDT 専用クロック 283
9.7 クロックソース切り替え 284
9.8 ELC によるリンク動作 285
9.8.1 ELC へのイベント信号出力 285
9.8.2 ELC からのイベント信号受信によるクロックソース切り替え 285
9.9 使用上の注意事項 286
9.9.1 クロック発生回路に関する注意事項 286
9.9.2 SCKCR3 レジスタ書き換え時の注意事項 286
9.9.3 発振子に関する注意事項 286
9.9.4 ボード設計上の注意 287
9.9.5 発振子接続端子に関する注意事項 287
10. クロック周波数精度測定回路 (CAC) 288
10.1 概要 288
10.2 レジスタの説明 290
10.2.1 CAC コントロールレジスタ 0 (CACR0) 290
10.2.2 CAC コントロールレジスタ 1 (CACR1) 291
10.2.3 CAC コントロールレジスタ 2 (CACR2) 292
10.2.4 CAC 割り込み要求許可レジスタ (CAICR) 293
10.2.5 CAC ステータスレジスタ (CASTR) 294
10.2.6 CAC 上限値設定レジスタ (CAULVR) 295
10.2.7 CAC 下限値設定レジスタ (CALLVR) 295
10.2.8 CAC カウンタバッファレジスタ (CACNTBR) 295
10.3 動作説明 296
10.3.1 クロック周波数測定 296
10.3.2 CACREF 端子のデジタルフィルタ機能 297
10.4 割り込み要求 297
10.5 使用上の注意事項 298
10.5.1 モジュールストップ機能の設定 298

11. 消費電力低減機能 299
11.1 概要 299
11.2 レジスタの説明 302
11.2.1 スタンバイコントロールレジスタ (SBYCR) 302
11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA) 303
11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB) 305
11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC) 306
11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD) 307
11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) 308
11.3 クロックの切り替えによる消費電力の低減 309
11.4 モジュールストップ機能 309
11.5 低消費電力状態 310
11.5.1 スリープモード 310
11.5.1.1 スリープモードへの移行 310
11.5.1.2 スリープモードの解除 311
11.5.1.3 スリープモード復帰クロックソース切り替え機能 311
11.5.2 全モジュールクロックストップモード 312
11.5.2.1 全モジュールクロックストップモードへの移行 312
11.5.2.2 全モジュールクロックストップモードの解除 313
11.5.3 ソフトウェアスタンバイモード 314
11.5.3.1 ソフトウェアスタンバイモードへの移行 314
11.5.3.2 ソフトウェアスタンバイモードの解除 315
11.5.3.3 ソフトウェアスタンバイモードの応用例 316
11.6 使用上の注意事項 317
11.6.1 I/O ポートの状態 317
11.6.2 DMAC、DTC のモジュールストップ 317
11.6.3 内蔵周辺モジュールの割り込み 317
11.6.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み 317
11.6.5 WAIT 命令の実行タイミング 317
11.6.6 スリープモード中の DMAC、DTC によるレジスタの書き換えについて 317
12. レジスタライトプロテクション機能 318
12.1 レジスタの説明 319
12.1.1 プロテクトレジスタ (PRCR) 319
13. 例外処理 320
13.1 例外事象 320
13.1.1 未定義命令例外 321
13.1.2 特権命令例外 321
13.1.3 アクセス例外 321
13.1.4 単精度浮動小数点例外 321
13.1.5 リセット 321

13.1.6 ノンマスカブル割り込み 321
13.1.7 割り込み 321
13.1.8 無条件トラップ 321
13.2 例外の処理手順 322
13.3 例外事象の受け付け 324
13.3.1 受け付けタイミングと退避される PC 値 324
13.3.2 ベクタと PC、PSW の退避場所 324
13.4 例外の受け付け / 復帰時のハードウェア処理 325
13.5 ハードウェア前処理 326
13.5.1 未定義命令例外 326
13.5.2 特権命令例外 326
13.5.3 アクセス例外 326
13.5.4 単精度浮動小数点例外 326
13.5.5 リセット 326
13.5.6 ノンマスカブル割り込み 327
13.5.7 割り込み 327
13.5.8 無条件トラップ 327
13.6 例外処理ルーチンからの復帰 328
13.7 例外事象の優先順位 328
14. 割り込みコントローラ (ICUG) 329
14.1 概要 329
14.2 レジスタの説明 331
14.2.1 割り込み要求レジスタ n (IRn) (n = 016 ～ 255) 331
14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ～ 1Fh) 333
14.2.3 割り込み要因プライオリティレジスタ r (IPRr) (r = 000 ～ 255) 334
14.2.4 高速割り込み設定レジスタ (FIR) 335
14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR) 336
14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R) 336
14.2.7 DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ～ 255) 337
14.2.8 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号) 338
14.2.9 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ～ 15) 339
14.2.10 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0) 340
14.2.11 IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1) 341
14.2.12 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0) 342
14.2.13 IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1) 343
14.2.14 ノンマスカブル割り込みステータスレジスタ (NMISR) 344
14.2.15 ノンマスカブル割り込み許可レジスタ (NMIER) 347
14.2.16 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR) 349
14.2.17 NMI 端子割り込みコントロールレジスタ (NMICR) 349
14.2.18 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE) 350

14.2.19 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC) 350
14.2.20 グループ BL0/BL1/BL2 割り込み要求レジスタ (GRPBL0/GRPBL1/GRPBL2)、グループ AL0/AL1 割り込み要求レジスタ (GRPAL0/GRPAL1) 351
14.2.21 グループ BL0/BL1/BL2 割り込み要求許可レジスタ (GENBL0/GENBL1/GENBL2)、グループ AL0/AL1 割り込み要求許可レジスタ (GENAL0/GENAL1) 353
14.2.22 選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ～ Fh, 12h ～ 14h) 355
14.2.23 選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ～ 255) 356
14.2.24 選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR) 361
14.3 ベクタテーブル 362
14.3.1 割り込みのベクタテーブル 362
14.3.2 高速割り込みのベクタ領域 369
14.3.3 ノンマスカブル割り込みのベクタ領域 369
14.4 割り込みの種類 370
14.4.1 周辺機能割り込み 370
14.4.2 ソフトウェア割り込み 370
14.4.3 外部端子割り込み 370
14.4.4 グループ割り込み 371
14.4.5 選択型割り込み 374
14.4.5.1 選択型割り込み A 374
14.4.6 ノンマスカブル割り込み 374
14.5 割り込みの検出 375
14.5.1 エッジ検出割り込み 375
14.5.2 レベル検出割り込み 377
14.5.3 エッジ検出グループ割り込み 378
14.5.4 レベル検出グループ割り込み 382
14.5.5 選択型割り込み 384
14.6 割り込み優先レベルの判定 384
14.7 割り込みの設定手順 385
14.7.1 割り込み要求の許可 385
14.7.2 割り込み要求の禁止 385
14.7.3 割り込み要求先の選択 385
14.7.3.1 割り込み要求先の設定手順 385
14.7.3.2 DTC/DMAC 選択時の動作 387
14.7.3.3 割り込み要求先の変更 387
14.7.4 外部端子割り込みの設定手順 388
14.7.5 ノンマスカブル割り込みの設定手順 388
14.7.6 デジタルフィルタ 389
14.7.7 選択型割り込みの設定手順 390
14.7.7.1 選択型割り込みのポーリング 390
14.8 多重割り込み 391

14.9 高速割り込み 391
14.10 低消費電力状態からの復帰 392
14.10.1 スリープモードからの復帰 392
14.10.2 全モジュールクロックストップモードからの復帰 392
14.10.3 ソフトウェアスタンバイモードからの復帰 393
14.11 使用上の注意事項 393
14.11.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項 393
14.11.2 ソフトウェアスタンバイモード中の割り込み要求 393
15. バス 394
15.1 概要 394
15.2 バスの説明 396
15.2.1 CPU バス 396
15.2.2 メモリバス 396
15.2.3 内部メインバス 396
15.2.4 内部周辺バス 397
15.2.5 ライトバッファ機能 (内部周辺バス) 398
15.2.6 並列動作 399
15.2.7 制約事項 400
15.3 レジスタの説明 401
15.3.1 バスエラーステータスクリアレジスタ (BERCLR) 401
15.3.2 バスエラー監視許可レジスタ (BEREN) 401
15.3.3 バスエラーステータスレジスタ 1 (BERSR1) 402
15.3.4 バスエラーステータスレジスタ 2 (BERSR2) 402
15.3.5 バスプライオリティ制御レジスタ (BUSPRI) 403
15.4 バスエラー監視部 405
15.4.1 バスエラーの種類 405
15.4.1.1 不正アドレスアクセス 405
15.4.1.2 タイムアウト 405
15.4.2 バスエラー発生時の動作 406
15.4.3 バスエラーの発生条件 406
15.5 割り込み 406
15.5.1 割り込み要因 406
16. メモリプロテクションユニット (MPU) 407
16.1 概要 407
16.1.1 アクセス制御の種類 409
16.1.2 アクセス制御領域 409
16.1.3 バックグラウンド領域 409
16.1.4 領域のオーバラップ 409
16.1.5 領域をまたぐ命令とデータ 409
16.2 レジスタの説明 410

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ～ 7) 410
16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ～ 7) 411
16.2.3 メモリプロテクション機能有効化レジスタ (MPEN) 412
16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC) 413
16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR) 414
16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS) 415
16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA) 416
16.2.8 領域サーチアドレスレジスタ (MPSA) 416
16.2.9 領域サーチオペレーションレジスタ (MPOPS) 417
16.2.10 領域インバリデートオペレーションレジスタ (MPOPI) 417
16.2.11 命令ヒット領域レジスタ (MHITI) 418
16.2.12 データヒット領域レジスタ (MHITD) 420
16.3 機能 422
16.3.1 メモリプロテクション機能 422
16.3.2 領域サーチ機能 422
16.3.3 メモリプロテクションユニット関連レジスタの保護 422
16.3.4 メモリプロテクション機能のアクセス判定フロー 423
16.4 メモリプロテクション機能使用手順 425
16.4.1 アクセス制御情報の設定 425
16.4.2 メモリプロテクション機能の有効化 425
16.4.3 ユーザモードへの移行 425
16.4.4 メモリプロテクションエラー発生時の処理 425
17. DMA コントローラ (DMACAa) 427
17.1 概要 427
17.2 レジスタの説明 429
17.2.1 DMA 転送元アドレスレジスタ (DMSAR) 429
17.2.2 DMA 転送先アドレスレジスタ (DMDAR) 429
17.2.3 DMA 転送カウントレジスタ (DMCRA) 430
17.2.4 DMA ブロック転送カウントレジスタ (DMCRB) 431
17.2.5 DMA 転送モードレジスタ (DMTMD) 432
17.2.6 DMA 割り込み設定レジスタ (DMINT) 433
17.2.7 DMA アドレスモードレジスタ (DMAMD) 435
17.2.8 DMA オフセットレジスタ (DMOFR) 438
17.2.9 DMA 転送許可レジスタ (DMCNT) 438
17.2.10 DMA ソフトウェア起動レジスタ (DMREQ) 439
17.2.11 DMA ステータスレジスタ (DMSTS) 440
17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL) 441
17.2.13 DMAC モジュール起動レジスタ (DMAST) 442
17.2.14 DMAC74 割り込みステータスモニタレジスタ (DMIST) 443
17.3 動作説明 444

17.3.1 転送モード 444
17.3.2 拡張リピートエリア機能 448
17.3.3 オフセットを使ったアドレス更新機能 450
17.3.4 起動要因 454
17.3.5 動作タイミング 455
17.3.6 DMAC の実行サイクル 456
17.3.7 DMAC の起動 457
17.3.8 DMA 転送の開始 458
17.3.9 DMA 転送中のレジスタ 458
17.3.10 チャネルの優先順位 459
17.4 DMA 転送終了 460
17.4.1 設定した総データ転送による転送終了 460
17.4.2 リピートサイズ終了割り込みによる転送終了 460
17.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了 461
17.5 割り込み 462
17.6 イベントリンク 464
17.7 消費電力低減機能 465
17.8 使用上の注意事項 466
17.8.1 周辺モジュールへ DMA 転送する場合 466
17.8.2 DMA 動作中のレジスタアクセスについて 466
17.8.3 予約領域への DMA 転送について 466
17.8.4 DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について 466
17.8.5 割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定 466
17.8.6 DMA 転送の保留 / 再開方法 466
18. データトランスファコントローラ (DTCb) 467
18.1 概要 467
18.2 レジスタの説明 469
18.2.1 DTC モードレジスタ A (MRA) 469
18.2.2 DTC モードレジスタ B (MRB) 471
18.2.3 DTC モードレジスタ C (MRC) 473
18.2.4 DTC 転送元レジスタ (SAR) 474
18.2.5 DTC 転送先レジスタ (DAR) 474
18.2.6 DTC 転送カウントレジスタ A (CRA) 475
18.2.7 DTC 転送カウントレジスタ B (CRB) 476
18.2.8 DTC コントロールレジスタ (DTCCR) 476
18.2.9 DTC ベクタベースレジスタ (DTCVBR) 477
18.2.10 DTC アドレスモードレジスタ (DTCADMOD) 477
18.2.11 DTC モジュール起動レジスタ (DTCST) 478
18.2.12 DTC ステータスレジスタ (DTCSTS) 479

18.2.13 DTC インデックステーブルベースレジスタ (DTCIBR) 480
18.2.14 DTC オペレーションレジスタ (DTCOR) 481
18.2.15 DTC シーケンス転送許可レジスタ (DTCSQE) 482
18.2.16 DTC アドレスディスプレースメントレジスタ (DTCDISP) 482
18.3 起動要因 483
18.3.1 転送情報の配置と DTC ベクタテーブル 483
18.4 動作説明 485
18.4.1 転送情報リードスキップ機能 487
18.4.2 転送情報ライトバックスキップ機能 488
18.4.2.1 アドレス固定によるライトバックスキップ 488
18.4.2.2 MRA.WBDIS ビットによるライトバックスキップ 488
18.4.3 ノーマル転送モード 489
18.4.4 リピート転送モード 490
18.4.5 ブロック転送モード 491
18.4.6 チェーン転送 492
18.4.7 動作タイミング 493
18.4.8 DTC の実行サイクル 496
18.4.9 DTC のバス権解放タイミング 496
18.4.10 シーケンス転送 497
18.4.11 DTC インデックステーブル 499
18.4.12 シーケンス転送の動作例 501
18.5 DTC の設定手順 507
18.6 DTC 使用例 508
18.6.1 ノーマル転送 508
18.6.2 カウンタが “0” のときのチェーン転送 509
18.6.3 シーケンス転送 510
18.7 割り込み要因 511
18.8 イベントリンク 511
18.9 消費電力低減機能 512
18.10 使用上の注意事項 513
18.10.1 転送情報先頭アドレス 513
18.10.2 転送情報の配置 513
18.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定 514
18.10.4 シーケンス転送使用時の注意事項 514
19. イベントリンクコントローラ (ELC) 515
19.1 概要 515
19.2 レジスタの説明 516
19.2.1 イベントリンクコントロールレジスタ (ELCR) 516
19.2.2 イベントリンク設定レジスタ n (ELSRn)
(n = 0, 3, 4, 7, 10 ～ 13, 15, 16, 18 ～ 28, 30, 31, 33, 45 ～ 58) 517

19.2.3 イベントリンクオプション設定レジスタ A (ELOPA) 524
19.2.4 イベントリンクオプション設定レジスタ B (ELOPB) 524
19.2.5 イベントリンクオプション設定レジスタ C (ELOPC) 525
19.2.6 イベントリンクオプション設定レジスタ D (ELOPD) 525
19.2.7 イベントリンクオプション設定レジスタ E (ELOPE) 526
19.2.8 イベントリンクオプション設定レジスタ H (ELOPH) 527
19.2.9 ポートグループ指定レジスタ n (PGRn) (n = 1, 2) 528
19.2.10 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2) 529
19.2.11 ポートバッファレジスタ n (PDBFn) (n = 1, 2) 530
19.2.12 イベント接続ポート指定レジスタ m (PELm) (m = 0 ～ 3) 531
19.2.13 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR) 532
19.3 動作説明 533
19.3.1 割り込み処理とイベントリンクの関係 533
19.3.2 イベントのリンク 534
19.3.3 タイマ系周辺モジュールのイベント信号入力時の動作 535
19.3.4 GPTW のイベント信号入力時の動作 535
19.3.5 A/D コンバータ、D/A コンバータのイベント信号入力時の動作 535
19.3.6 I/O ポートのイベント信号入力時の動作とイベント生成 536
19.3.7 イベントリンクの動作設定手順例 540
19.4 使用上の注意事項 541
19.4.1 ELSRn レジスタの設定について 541
19.4.2 出力ポートグループのビットローテート動作の設定について 541
19.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項 541
19.4.4 クロック設定について 541
19.4.5 モジュールストップ機能の設定 541
20. I/O ポート 542
20.1 概要 542
20.2 入出力ポートの構成 545
20.3 レジスタの説明 551
20.3.1 ポート方向レジスタ (PDR) 551
20.3.2 ポート出力データレジスタ (PODR) 552
20.3.3 ポート入力データレジスタ (PIDR) 553
20.3.4 ポートモードレジスタ (PMR) 554
20.3.5 オープンドレイン制御レジスタ 0 (ODR0) 555
20.3.6 オープンドレイン制御レジスタ 1 (ODR1) 556
20.3.7 プルアップ制御レジスタ (PCR) 557
20.3.8 駆動能力制御レジスタ (DSCR) 558
20.3.9 駆動能力制御レジスタ 2 (DSCR2) 559
20.3.10 ポート出力保持設定レジスタ 1 (POHSR1) 560
20.3.11 ポート出力保持設定レジスタ 2 (POHSR2) 561

20.3.12 ポート出力保持制御レジスタ (POHCR) 561
20.3.13 汎用入出力端子選択拡張レジスタ (GPSEXT) 562
20.4 ポート出力保持機能 563
20.5 注意事項 564
20.5.1 ポート方向レジスタ (PDR) の初期化 564
20.5.2 未使用端子の処理 567
20.5.3 EMLE 端子の処理 567
21. マルチファンクションピンコントローラ (MPC) 568
21.1 概要 568
21.2 レジスタの説明 583
21.2.1 書き込みプロテクトレジスタ (PWPR) 583
21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0, 1) 584
21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0, 1) 585
21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ～ 4, 7) 586
21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ～ 3, 6, 7) 589
21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ～ 7) 591
21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ～ 5) 592
21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ～ 5) 593
21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ～ 6) 594
21.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ～ 2) 595
21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ～ 6) 596
21.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ～ 5) 597
21.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ～ 7) 599
21.2.14 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ～ 7) 602
21.2.15 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ～ 5) 606
21.2.16 PN7 端子機能制御レジスタ (PN7PFS) 608
21.3 使用上の注意事項 609
21.3.1 端子入出力機能設定手順 609
21.3.2 MPC レジスタ設定する場合の注意事項 609
21.3.3 アナログ機能を使う場合の注意事項 610
21.3.4 POE3 の汎用入出力ポート切り替え制御の注意事項 610
21.3.5 MTU、GPTW 入出力端子の反転入出力機能についての注意事項 611
22. マルチファンクションタイマパルスユニット 3 (MTU3d) 613
22.1 概要 613
22.2 レジスタの説明 619
22.2.1 タイマコントロールレジスタ (TCR) 619
22.2.2 タイマコントロールレジスタ 2 (TCR2) 621
22.2.3 タイマモードレジスタ 1 (TMDR1) 625
22.2.4 タイマモードレジスタ 2m (TMDR2m) (m = A, B) 627
22.2.5 タイマモードレジスタ 3 (TMDR3) 628

22.2.6 タイマ I/O コントロールレジスタ (TIOR) 630
22.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR) 647
22.2.8 タイマインタラプトイネーブルレジスタ (TIER) 648
22.2.9 タイマステータスレジスタ (TSR) 651
22.2.10 タイマバッファ動作転送モードレジスタ (TBTM) 652
22.2.11 タイマインプットキャプチャコントロールレジスタ (TICCR) 653
22.2.12 タイマシンクロクリアレジスタ (TSYCR) 654
22.2.13 タイマカウンタ (TCNT) 655
22.2.14 タイマロングワードカウンタ (TCNTLW) 655
22.2.15 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W) 656
22.2.16 タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B) 657
22.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR) 658
22.2.18 タイマシンクロレジスタ m (TSYRm) (m = A, B) 660
22.2.19 タイマカウンタシンクロスタートレジスタ (TCSYSTR) 662
22.2.20 タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B) 664
22.2.21 タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B) 665
22.2.22 タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B) 667
22.2.23 タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B) 669
22.2.24 タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B) 672
22.2.25 タイマゲートコントロールレジスタ m (TGCRm) (m = A, B) 673
22.2.26 タイマサブカウンタ m (TCNTSm) (m = A, B) 675
22.2.27 タイマ周期データレジスタ m (TCDRm) (m = A, B) 675
22.2.28 タイマ周期バッファレジスタ m (TCBRm) (m = A, B) 676
22.2.29 タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B) 676
22.2.30 タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B) 677
22.2.31 タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B) 678
22.2.32 タイマ波形コントロールレジスタ m (TWCRm) (m = A, B) 679
22.2.33 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ～ 4, 6, 7, 9, C) 681
22.2.34 ノイズフィルタコントロールレジスタ 5 (NFCR5) 684
22.2.35 タイマ A/D 変換開始要求コントロールレジスタ (TADCR) 685
22.2.36 タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B) 689
22.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B) 689
22.2.38 タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B) 690
22.2.39 タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B) 691
22.2.40 タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B) 693
22.2.41 タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B) 695
22.2.42 タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B) 697
22.2.43 A/D 変換開始要求選択レジスタ 0 (TADSTRGR0) 699
22.2.44 A/D 変換開始要求選択レジスタ 1 (TADSTRGR1) 699
22.3 動作説明 701

22.3.1 基本動作 701
22.3.2 同期動作 707
22.3.3 バッファ動作 709
22.3.4 カスケード接続動作 714
22.3.5 PWM モード 719
22.3.6 位相計数モード 724
22.3.6.1 16 ビット位相計数モード 724
22.3.6.2 カスケード接続 32 ビット位相計数モード 736
22.3.7 リセット同期 PWM モード 737
22.3.8 相補 PWM モード 740
22.3.9 A/D 変換開始要求ディレイド機能 781
22.3.10 MTU0 ～ MTU4、MTU6、MTU7、MTU9 の同期動作 788
22.3.11 外部パルス幅測定機能 791
22.3.12 デッドタイム補償用機能 792
22.3.13 相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作 794
22.3.14 ノイズフィルタ機能 795
22.3.15 A/D 変換開始要求フレーム同期信号 795
22.4 割り込み要因 796
22.4.1 割り込み要因と優先順位 796
22.4.2 DTC/DMAC の起動 798
22.4.3 A/D コンバータの起動 799
22.5 動作タイミング 801
22.5.1 入出力タイミング 801
22.5.2 割り込み信号タイミング 807
22.6 使用上の注意事項 810
22.6.1 モジュールストップ機能の設定 810
22.6.2 カウントクロックの制限事項 810
22.6.3 周期設定上の注意事項 810
22.6.4 TCNT への書き込みとクリアの競合 811
22.6.5 TCNT への書き込みとカウントアップの競合 811
22.6.6 TGR レジスタへの書き込みとコンペアマッチの競合 812
22.6.7 バッファレジスタへの書き込みとコンペアマッチの競合 812
22.6.8 バッファレジスタへの書き込みと TCNT クリアの競合 813
22.6.9 TGR レジスタの読み出しとインプットキャプチャの競合 813
22.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合 814
22.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合 815
22.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー / アンダフローの競合 816
22.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値 817
22.6.14 相補 PWM モードでのバッファ動作の設定 817
22.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ 818

22.6.16 リセット同期 PWM モードのオーバフロー 819
22.6.17 オーバフロー / アンダフローとカウンタクリアの競合 820
22.6.18 TCNT への書き込みとオーバフロー / アンダフローの競合 820
22.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項 821
22.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル 821
22.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ 821
22.6.22 割り込み間引き機能 2 822
22.6.23 相補 PWM モードの出力保護機能未使用時の注意事項 822
22.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項 822
22.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項 823
22.6.26 ELC イベント入力の時タイマモードレジスタ設定の注意事項 824
22.6.27 コンペアマッチによる割り込み信号の連続出力 825
22.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項 825
22.7 MTU 出力端子の初期化方法 827
22.7.1 動作モード 827
22.7.2 動作中の異常などによる再設定時の動作 827
22.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要 828
22.8 ELC によるリンク動作 858
22.8.1 ELC へのイベント信号出力 858
22.8.2 ELC からのイベント信号受信によるアクション動作 858
22.8.3 ELC からのイベント信号受信による動作に関する注意事項 859
23. ポートアウトプットイネーブル 3 (POE3D) 860
23.1 概要 860
23.2 レジスタの説明 864
23.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1) 864
23.2.2 入力レベルコントロール / ステータスレジスタ 2 (ICSR2) 866
23.2.3 入力レベルコントロール / ステータスレジスタ 3 (ICSR3) 868
23.2.4 入力レベルコントロール / ステータスレジスタ 4 (ICSR4) 870
23.2.5 入力レベルコントロール / ステータスレジスタ 5 (ICSR5) 872
23.2.6 入力レベルコントロール / ステータスレジスタ 6 (ICSR6) 874
23.2.7 入力レベルコントロール / ステータスレジスタ 7 (ICSR7) 875
23.2.8 入力レベルコントロール / ステータスレジスタ 8 (ICSR8) 877
23.2.9 出力レベルコントロール / ステータスレジスタ 1 (OCSR1) 879
23.2.10 出力レベルコントロール / ステータスレジスタ 2 (OCSR2) 880
23.2.11 出力レベルコントロール / ステータスレジスタ 3 (OCSR3) 882
23.2.12 出力レベルコントロール / ステータスレジスタ 4 (OCSR4) 883
23.2.13 出力レベルコントロール / ステータスレジスタ 5 (OCSR5) 885
23.2.14 アクティブレベルレジスタ 1 (ALR1) 886

23.2.15 アクティブレベルレジスタ 2 (ALR2) 888
23.2.16 アクティブレベルレジスタ 3 (ALR3) 890
23.2.17 アクティブレベルレジスタ 4 (ALR4) 892
23.2.18 アクティブレベルレジスタ 5 (ALR5) 894
23.2.19 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) 895
23.2.20 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) 897
23.2.21 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) 898
23.2.22 ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3) 900
23.2.23 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4) 903
23.2.24 ポートアウトプットイネーブルコントロールレジスタ 4B (POECR4B) 905
23.2.25 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5) 907
23.2.26 ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6) 909
23.2.27 ポートアウトプットイネーブルコントロールレジスタ 6B (POECR6B) 911
23.2.28 ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7) 913
23.2.29 ポートアウトプットイネーブルコントロールレジスタ 8 (POECR8) 914
23.2.30 ポートアウトプットイネーブルコントロールレジスタ 9 (POECR9) 916
23.2.31 ポートアウトプットイネーブルコントロールレジスタ 10 (POECR10) 918
23.2.32 ポートアウトプットイネーブルコントロールレジスタ 11 (POECR11) 920
23.2.33 ポートモードマスクコントロールレジスタ 0 (PMMCR0) 922
23.2.34 ポートモードマスクコントロールレジスタ 1 (PMMCR1) 924
23.2.35 ポートモードマスクコントロールレジスタ 2 (PMMCR2) 927
23.2.36 ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR) 931
23.2.37 ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL) 932
23.2.38 ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPEXm) (m = 0 ～ 8) 933
23.2.39 MTU0 端子選択レジスタ 1 (M0SELR1) 934
23.2.40 MTU0 端子選択レジスタ 2 (M0SELR2) 935
23.2.41 MTU3 端子選択レジスタ (M3SELR) 936
23.2.42 MTU4 端子選択レジスタ 1 (M4SELR1) 937
23.2.43 MTU4 端子選択レジスタ 2 (M4SELR2) 938
23.2.44 MTU6 端子選択レジスタ (M6SELR) 939
23.2.45 MTU7 端子選択レジスタ 1 (M7SELR1) 940
23.2.46 MTU7 端子選択レジスタ 2 (M7SELR2) 941
23.2.47 MTU9 端子選択レジスタ 1 (M9SELR1) 942
23.2.48 MTU9 端子選択レジスタ 2 (M9SELR2) 943
23.2.49 GPTW0 端子選択レジスタ (G0SELR) 944
23.2.50 GPTW1 端子選択レジスタ (G1SELR) 945
23.2.51 GPTW2 端子選択レジスタ (G2SELR) 946
23.2.52 GPTW3 端子選択レジスタ (G3SELR) 947
23.2.53 GPTW4 端子選択レジスタ (G4SELR) 948
23.2.54 GPTW5 端子選択レジスタ (G5SELR) 949

23.2.55 GPTW6 端子選択レジスタ (G6SELR) 950
23.2.56 GPTW7 端子選択レジスタ (G7SELR) 951
23.2.57 入力信号マスク制御レジスタ 0 (IMCR0) 952
23.2.58 入力信号マスク制御レジスタ 1 (IMCR1) 954
23.2.59 入力信号マスク制御レジスタ 2 (IMCR2) 956
23.2.60 入力信号マスク制御レジスタ 3 (IMCR3) 958
23.2.61 入力信号マスク制御レジスタ 4 (IMCR4) 960
23.2.62 入力信号マスク制御レジスタ 5 (IMCR5) 962
23.2.63 入力信号マスク制御レジスタ 6 (IMCR6) 964
23.2.64 入力信号マスク制御レジスタ 9 (IMCR9) 966
23.2.65 入力信号マスク制御レジスタ 10 (IMCR10) 968
23.2.66 入力信号マスク制御レジスタ 11 (IMCR11) 970
23.2.67 入力信号マスク制御レジスタ 12 (IMCR12) 972
23.2.68 入力信号マスク制御レジスタ 13 (IMCR13) 974
23.2.69 入力信号マスク制御レジスタ 14 (IMCR14) 976
23.3 動作説明 978
23.3.1 MTU/GPTW 端子選択 1007
23.3.2 入力レベル検出動作 1009
23.3.3 出力レベル比較動作 1010
23.3.4 レジスタによる出力停止制御 1011
23.3.5 発振停止検出検知による出力停止制御 1011
23.3.6 コンパレータ出力検出による出力停止制御 1011
23.3.7 出力停止制御条件の追加機能 1011
23.3.8 出力停止制御信号のマスク 1012
23.3.9 出力停止要求発生時の制御 1012
23.3.10 出力停止状態の解除 1012
23.4 POE 設定手順 1014
23.5 割り込み 1015
23.6 使用上の注意事項 1016
23.6.1 低消費電力モードへの遷移 1016
23.6.2 MTU/GPTW 端子非選択時の出力停止制御 1016
23.6.3 POE を使用しない場合について 1016
23.6.4 MTU/GPTW 反転出力設定時のアクティブレベル設定について 1016
23.6.5 ハイインピーダンス時の端子の読み出しについて 1016
23.6.6 POE と POEG を併用した場合の注意事項 1016
23.6.7 ICSRn.INV ビットを “1” にして使用するときの注意事項 1017
24. 汎用 PWM タイマ (GPTWa) 1018
24.1 概要 1018
24.2 レジスタの説明 1025
24.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP) 1025

24.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR) 1028
24.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP) 1029
24.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR) 1030
24.2.5 汎用 PWM タイマスタート要因セレクトレジスタ (GTSSR) 1031
24.2.6 汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR) 1033
24.2.7 汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR) 1035
24.2.8 汎用 PWM タイマカウントアップ要因セレクトレジスタ (GTUPSR) 1038
24.2.9 汎用 PWM タイマカウントダウン要因セレクトレジスタ (GTDNSR) 1041
24.2.10 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR) 1044
24.2.11 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR) 1047
24.2.12 汎用 PWM タイマ制御レジスタ (GTCR) 1050
24.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC) 1056
24.2.14 汎用 PWM タイマ I/O 制御レジスタ (GTIOR) 1059
24.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD) 1065
24.2.16 汎用 PWM タイマステータスレジスタ (GTST) 1069
24.2.17 汎用 PWM タイマバッファイネーブルレジスタ (GTBER) 1075
24.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC) 1080
24.2.19 汎用 PWM タイマカウンタ (GTCNT) 1082
24.2.20 汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ～ F) 1083
24.2.21 汎用 PWM タイマ周期設定レジスタ (GTPR) 1084
24.2.22 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR) 1085
24.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR) 1085
24.2.24 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B) 1086
24.2.25 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B) 1086
24.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B) 1087
24.2.27 汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR) 1088
24.2.28 汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D) 1090
24.2.29 汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U, D) 1091
24.2.30 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS) 1092
24.2.31 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR) 1093
24.2.32 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR) 1094
24.2.33 汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ (GTEITC) 1096
24.2.34 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1 (GTEITLI1) 1099
24.2.35 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 (GTEITLI2) 1101
24.2.36 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ (GTEITLB) 1103
24.2.37 汎用 PWM タイマチャネル間論理演算レジスタ (GTICLF) 1105
24.2.38 汎用 PWM タイマサイクルカウントレジスタ (GTPC) 1107
24.2.39 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き制御レジスタ (GTADCMSC) 1109

24.2.40 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ (GTADCMSS) 1111
24.2.41 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ (GTSECSR) 1114
24.2.42 汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR) 1115
24.2.43 汎用 PWM タイマバッファイネーブルレジスタ 2(GTBER2) 1118
24.2.44 汎用 PWM タイマ出力レベルバッファレジスタ (GTOLBR) 1123
24.2.45 汎用 PWM タイマチャネル間連携インプットキャプチャ制御レジスタ (GTICCR) 1124
24.2.46 出力位相スイッチ制御レジスタ (OPSCR) 1128
24.3 動作説明 1131
24.3.1 基本動作 1131
24.3.1.1 カウンタの動作 1131
24.3.1.2 コンペアマッチによる波形出力機能 1139
24.3.1.3 インプットキャプチャ機能 1143
24.3.2 バッファ動作 1147
24.3.2.1 GTPR レジスタのバッファ動作 1147
24.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作 1152
24.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作 1158
24.3.2.4 GTIOA[4:0]、GTIOB[4:0] ビットのバッファ動作 1162
24.3.3 PWM 出力動作モード 1166
24.3.4 デッドタイム自動設定機能 1222
24.3.5 カウント方向切り替え機能 1227
24.3.6 デューティ 0%/100% 出力機能 1228
24.3.7 ハードウェアカウントスタート、カウントストップ、カウンタクリア動作 1230
24.3.7.1 ハードウェアスタート動作 1230
24.3.7.2 ハードウェアストップ動作 1233
24.3.7.3 ハードウェアクリア動作 1238
24.3.8 同期動作 1244
24.3.8.1 ソフトウェアによる同期動作 1244
24.3.8.2 ハードウェア要因による同期動作 1247
24.3.8.3 チャネル間連携による同期クリア動作 1249
24.3.8.4 チャネル間連携によるインプットキャプチャ動作 1253
24.3.9 PWM 出力動作例 1255
24.3.10 サイクルカウント機能 1261
24.3.11 位相計数機能 1262
24.3.12 パルス幅測定機能 1270
24.3.13 出力位相スイッチコントロール (OPS) 機能 1272
24.3.13.1 入力選択とサンプリング 1275
24.3.13.2 回転方向制御 1275
24.3.13.3 入力相デコード 1276
24.3.13.4 出力選択制御 1277
24.3.13.5 出力選択制御 (グループ出力ディセーブル機能) 1278

24.3.13.6 イベントコントローラ (ELC) 出力 1278
24.3.13.7 OPS スタート動作設定フロー 1278
24.3.14 チャネル出力間論理演算機能 1279
24.4 割り込み要因 1281
24.4.1 割り込み要因と優先順位 1281
24.4.2 DMAC/DTC の起動 1285
24.4.3 割り込み、A/D 変換開始要求の間引き機能 1285
24.4.3.1 GTITC レジスタによる割り込み間引き機能 1285
24.4.3.2 拡張割り込み間引き機能 1289
24.4.3.3 A/D 変換開始要求コンペアマッチ間引き機能 1302
24.5 A/D 変換開始要求 1307
24.6 ELC によるリンク動作 1311
24.6.1 ELC へのイベント信号出力 1311
24.6.2 ELC からのイベント信号による動作 1311
24.7 ノイズフィルタ機能 1312
24.8 保護機能 1313
24.8.1 レジスタの書き込み保護 1313
24.8.2 バッファ動作の抑止 1313
24.8.2.1 バッファ動作の複数チャネル同時制御 1315
24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作 1318
24.8.3 GTIOCnm 端子出力の出力ネゲート制御 (n = 0 ～ 7、m = A, B) 1324
24.8.4 GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 7、m = A, B) 1325
24.9 出力端子の初期化方法 1331
24.9.1 リセット後の端子設定 1331
24.9.2 動作中の異常などによる端子の初期化 1331
24.10 使用上の注意事項 1332
24.10.1 モジュールストップ機能の設定 1332
24.10.2 コンペアマッチ動作時の GTCCRm レジスタの設定 (m = A ～ F) 1332
24.10.3 相補 PWM モード中の GTPBR、GTPDBR レジスタの設定範囲 1333
24.10.4 GTCNT カウンタ値の設定範囲 1334
24.10.5 GTCNT カウンタのスタート / ストップ 1334
24.10.6 イベントの優先順序 1334
24.10.7 相補 PWM モード動作中のカウンタクリアに関する注意事項 1335
24.10.8 相補 PWM モードで同期クリア後の PWM 初期出力を抑止する際の注意事項 1335
25. 高分解能 PWM 波形生成回路 (HRPWM) 1336
25.1 概要 1336
25.2 レジスタの説明 1338
25.2.1 HRPWM 動作制御レジスタ (HROCR) 1338
25.2.2 HRPWM 動作制御レジスタ 2 (HROCR2) 1339
25.2.3 GTIOCnA 端子立ち上がりエッジ調整レジスタ (HRREARnA) (n = 0 ～ 3) 1340

25.2.4 GTIOCnA 端子立ち下がりエッジ調整レジスタ (HRFEARnA) (n = 0 ～ 3) 1341
25.2.5 GTIOCnB 端子立ち上がりエッジ調整レジスタ (HRREARnB) (n = 0 ～ 3) 1342
25.2.6 GTIOCnB 端子立ち下がりエッジ調整レジスタ (HRFEARnB) (n = 0 ～ 3) 1343
25.3 動作説明 1344
25.3.1 PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整 1344
25.3.2 HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の転送タイミング (n = 0 ～ 3) 1346
25.4 使用上の注意事項 1348
25.4.1 モジュールストップ機能の設定 1348
25.4.2 HRPWM 使用時の GTCNT カウンタのタイマプリスケーラ選択に関する注意事項 1348
25.4.3 HRPWM の遅延設定に関する注意事項 1348
26. GPTW 用ポートアウトプットイネーブル (POEGb) 1349
26.1 概要 1349
26.2 レジスタの説明 1352
26.2.1 POEG グループ x 設定レジスタ (POEGGx) (x = A ～ D) 1352
26.2.2 POEG グループ x 入力制御レジスタ (POEGICRx) (x = A ～ D) 1354
26.2.3 GPTW 出力停止制御グループ x 書き込み保護レジスタ (GTONCWPx) (x = A ～ D) 1355
26.2.4 GPTW 出力停止制御グループ x コントロールレジスタ (GTONCCRx) (x = A ～ D) 1356
26.3 動作説明 1357
26.3.1 GTETRGx 端子 (x = A ～ D) の入力レベルまたは入力エッジ検出による出力停止要求 1357
26.3.1.1 デジタルノイズフィルタ 1357
26.3.2 GPTW の出力停止条件検出信号による出力停止要求 1358
26.3.3 コンパレータの検出信号による出力停止要求 1359
26.3.4 発振停止検出信号による出力停止要求 1359
26.3.5 レジスタによる出力停止要求 1359
26.3.6 出力停止要求の解除 1360
26.3.6.1 リセットによる出力停止要求の解除 1360
26.3.6.2 POEGGx レジスタのフラグクリアによる出力停止要求の解除 1360
26.3.6.3 入力信号のネゲートによる直接出力停止要求の解除 1361
26.3.7 入力信号による直接出力停止要求と解除 1362
26.4 割り込み要因 1364
26.5 GPTW に対する外部トリガ出力 1364
26.6 使用上の注意事項 1365
26.6.1 低消費電力モードへの遷移 1365
26.6.2 モジュールストップ機能の設定 1365
26.6.3 出力停止要求の重複について 1365
27. 8 ビットタイマ (TMRb) 1366
27.1 概要 1366

27.2 レジスタの説明 1374
27.2.1 タイマカウンタ (TCNT) 1374
27.2.2 タイムコンスタントレジスタ A (TCORA) 1375
27.2.3 タイムコンスタントレジスタ B (TCORB) 1375
27.2.4 タイマコントロールレジスタ (TCR) 1376
27.2.5 タイマカウンタコントロールレジスタ (TCCR) 1377
27.2.6 タイマコントロール / ステータスレジスタ (TCSR) 1379
27.2.7 タイマカウンタスタートレジスタ (TCSTR) 1381
27.3 動作説明 1382
27.3.1 パルス出力 1382
27.3.2 外部カウンタリセット入力 1383
27.4 動作タイミング 1384
27.4.1 TCNT カウンタのカウントタイミング 1384
27.4.2 コンペアマッチ時の割り込みタイミング 1385
27.4.3 コンペアマッチ時の出力信号タイミング 1385
27.4.4 コンペアマッチによるカウンタクリアタイミング 1386
27.4.5 TCNT カウンタの外部リセットタイミング 1386
27.4.6 オーバフローによる割り込みタイミング 1387
27.5 カスケード接続時の動作 1388
27.5.1 16 ビットカウントモード 1388
27.5.2 コンペアマッチカウントモード 1388
27.6 割り込み要因 1389
27.6.1 割り込み要因と DTC 起動 1389
27.6.2 A/D コンバータの起動 1389
27.7 ELC によるリンク動作 1390
27.7.1 ELC へのイベント信号出力 1390
27.7.2 ELC からのイベント信号受信による TMR 動作 1390
27.7.3 ELC からのイベント信号受信による TMR の注意事項 1391
27.8 使用上の注意事項 1392
27.8.1 モジュールストップ機能の設定 1392
27.8.2 周期設定上の注意 1392
27.8.3 TCNT カウンタへの書き込みとカウンタクリアの競合 1392
27.8.4 TCNT カウンタへの書き込みとカウントアップの競合 1393
27.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合 1393
27.8.6 コンペアマッチ A、B の競合 1394
27.8.7 内部クロックの切り替えと TCNT カウンタの動作 1394
27.8.8 カスケード接続時のクロックソース設定 1396
27.8.9 コンペアマッチ割り込みの連続出力 1396
28. コンペアマッチタイマ (CMT) 1397
28.1 概要 1397

28.2 レジスタの説明 ... 1398
28.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0) ... 1398
28.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1) ... 1398
28.2.3 コンペアマッチタイマコントロールレジスタ (CMCR) ... 1399
28.2.4 コンペアマッチタイマカウンタ (CMCNT) ... 1400
28.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR) ... 1400
28.3 動作説明 ... 1401
28.3.1 周期カウント動作 ... 1401
28.3.2 CMCNT カウンタのカウントタイミング ... 1401
28.4 割り込み ... 1402
28.4.1 割り込み要因 ... 1402
28.4.2 コンペアマッチ割り込みの発生タイミング ... 1402
28.5 ELC によるリンク動作 ... 1403
28.5.1 ELC へのイベント信号出力 ... 1403
28.5.2 ELC からのイベント信号受信による CMT の動作 ... 1403
28.5.3 ELC からのイベント信号受信による CMT の注意事項 ... 1403
28.6 使用上の注意事項 ... 1404
28.6.1 モジュールストップ機能の設定 ... 1404
28.6.2 CMCNT カウンタへの書き込みとコンペアマッチの競合 ... 1404
28.6.3 CMCNT カウンタへの書き込みとカウントアップの競合 ... 1404
29. コンペアマッチタイマ W (CMTW) ... 1405
29.1 概要 ... 1405
29.2 レジスタの説明 ... 1408
29.2.1 タイマスタートレジスタ (CMWSTR) ... 1408
29.2.2 タイマコントロールレジスタ (CMWCR) ... 1409
29.2.3 タイマ I/O コントロールレジスタ (CMWIOR) ... 1411
29.2.4 タイマカウンタ (CMWCNT) ... 1412
29.2.5 コンペアマッチコンスタントレジスタ (CMWCOR) ... 1412
29.2.6 インプットキャプチャレジスタ n (CMWICRn) (n = 0, 1) ... 1413
29.2.7 アウトプットコンペアレジスタ n (CMWOCRn) (n = 0, 1) ... 1413
29.3 動作説明 ... 1414
29.3.1 周期カウント動作 ... 1414
29.3.2 コンペアマッチ機能 ... 1414
29.3.3 アウトプットコンペア機能 ... 1416
29.3.4 インプットキャプチャ機能 ... 1417
29.3.5 カウンタサイズ ... 1418
29.3.6 CMWCNT カウンタのカウントタイミング ... 1418
29.3.7 アウトプットコンペア出力タイミング ... 1419
29.3.8 インプットキャプチャタイミング ... 1419
29.4 割り込み ... 1420

29.4.1 CMTW の割り込み要因と DMAC/DTC ... 1420
29.4.2 コンペアマッチ割り込みの発生タイミング ... 1421
29.5 ELC によるリンク動作 ... 1423
29.5.1 ELC へのイベント信号出力 ... 1423
29.5.2 ELC からのイベント信号受信による CMTW の動作 ... 1424
29.5.3 イベントリンク動作とレジスタアクセスの競合 ... 1426
29.6 使用上の注意事項 ... 1428
29.6.1 モジュールストップ機能の設定 ... 1428
29.6.2 CMWCNT カウンタへの書き込みとコンペアマッチの競合 ... 1428
29.6.3 CMWCNT カウンタへの書き込みとカウントアップ / カウンタクリアの競合 ... 1429
29.6.4 CMWCOR レジスタへの書き込みとコンペアマッチの競合 ... 1429
29.6.5 CMWOCRn レジスタへの書き込みとコンペアマッチの競合 (n = 0, 1) ... 1430
29.6.6 CMWCNT カウンタの読み出しとカウントアップ / カウンタクリアの競合 ... 1430
29.6.7 CMWICRn レジスタの読み出しとインプットキャプチャの競合 (n = 0, 1) ... 1431
30. ウォッチドッグタイマ (WDTA) ... 1432
30.1 概要 ... 1432
30.2 レジスタの説明 ... 1434
30.2.1 WDT リフレッシュレジスタ (WDTRR) ... 1434
30.2.2 WDT コントロールレジスタ (WDTCR) ... 1435
30.2.3 WDT ステータスレジスタ (WDTSR) ... 1438
30.2.4 WDT リセットコントロールレジスタ (WDTRCR) ... 1439
30.2.5 オプション機能選択レジスタ 0 (OFS0) ... 1439
30.3 動作説明 ... 1440
30.3.1 カウント開始条件別の各動作 ... 1440
30.3.1.1 レジスタスタートモード ... 1440
30.3.1.2 オートスタートモード ... 1442
30.3.2 リフレッシュ動作 ... 1443
30.3.3 リセット出力 ... 1444
30.3.4 割り込み要因 ... 1444
30.3.5 カウンタ値の読み出し ... 1444
30.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応 ... 1445
31. 独立ウォッチドッグタイマ (IWDTa) ... 1446
31.1 概要 ... 1446
31.2 レジスタの説明 ... 1448
31.2.1 IWDT リフレッシュレジスタ (IWDTRR) ... 1448
31.2.2 IWDT コントロールレジスタ (IWDTCR) ... 1449
31.2.3 IWDT ステータスレジスタ (IWDTSR) ... 1452
31.2.4 IWDT リセットコントロールレジスタ (IWDTRCR) ... 1453
31.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR) ... 1454
31.2.6 オプション機能選択レジスタ 0 (OFS0) ... 1454

31.3 動作説明 1455
31.3.1 カウント開始条件別の各動作 1455
31.3.1.1 レジスタスタートモード 1455
31.3.1.2 オートスタートモード 1457
31.3.2 リフレッシュ動作 1458
31.3.3 ステータスフラグ 1460
31.3.4 リセット出力 1460
31.3.5 割り込み要因 1460
31.3.6 カウンタ値の読み出し 1461
31.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応 1462
31.4 ELC によるリンク動作 1462
31.5 使用上の注意事項 1462
31.5.1 リフレッシュ動作について 1462
31.5.2 クロック分周比の設定 1462
32. シリアルコミュニケーションインタフェース (SCIk, SCIh) 1463
32.1 概要 1463
32.2 レジスタの説明 1472
32.2.1 レシーブシフトレジスタ (RSR) 1472
32.2.2 レシーブデータレジスタ (RDR) 1472
32.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL) 1473
32.2.4 トランスミットデータレジスタ (TDR) 1474
32.2.5 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL) 1475
32.2.6 トランスミットシフトレジスタ (TSR) 1475
32.2.7 シリアルモードレジスタ (SMR) 1476
32.2.8 シリアルコントロールレジスタ (SCR) 1480
32.2.9 シリアルステータスレジスタ (SSR) 1484
32.2.10 スマートカードモードレジスタ (SCMR) 1489
32.2.11 ビットレートレジスタ (BRR) 1491
32.2.12 モジュレーションデューティレジスタ (MDDR) 1502
32.2.13 シリアル拡張モードレジスタ (SEMR) 1504
32.2.14 ノイズフィルタ設定レジスタ (SNFR) 1507
32.2.15 I^2C モードレジスタ 1 (SIMR1) 1508
32.2.16 I^2C モードレジスタ 2 (SIMR2) 1509
32.2.17 I^2C モードレジスタ 3 (SIMR3) 1510
32.2.18 I^2C ステータスレジスタ (SISR) 1512
32.2.19 SPI モードレジスタ (SPMR) 1513
32.2.20 比較データレジスタ (CDR) 1515
32.2.21 データ比較制御レジスタ (DCCR) 1516
32.2.22 シリアルポートレジスタ (SPTR) 1518
32.2.23 送受信タイミング選択レジスタ (TMGR) 1520

32.2.24 拡張シリアルモード有効レジスタ (ESMER) 1522
32.2.25 コントロールレジスタ 0 (CR0) 1522
32.2.26 コントロールレジスタ 1 (CR1) 1523
32.2.27 コントロールレジスタ 2 (CR2) 1524
32.2.28 コントロールレジスタ 3 (CR3) 1525
32.2.29 ポートコントロールレジスタ (PCR) 1525
32.2.30 割り込みコントロールレジスタ (ICR) 1526
32.2.31 ステータスレジスタ (STR) 1527
32.2.32 ステータスクリアレジスタ (STCR) 1528
32.2.33 Control Field 0 データレジスタ (CF0DR) 1528
32.2.34 Control Field 0 コンペアイネーブルレジスタ (CF0CR) 1529
32.2.35 Control Field 0 受信データレジスタ (CF0RR) 1529
32.2.36 プライマリ Control Field 1 データレジスタ (PCF1DR) 1529
32.2.37 セカンダリ Control Field 1 データレジスタ (SCF1DR) 1530
32.2.38 Control Field 1 コンペアイネーブルレジスタ (CF1CR) 1530
32.2.39 Control Field 1 受信データレジスタ (CF1RR) 1530
32.2.40 タイマコントロールレジスタ (TCR) 1531
32.2.41 タイマモードレジスタ (TMR) 1531
32.2.42 タイマプリスケーラレジスタ (TPRE) 1532
32.2.43 タイマカウントレジスタ (TCNT) 1532
32.2.44 製品機能選択レジスタ 0 (PRDFR0) 1533
32.3 調歩同期式モードの動作 1534
32.3.1 シリアル送信 / 受信フォーマット 1534
32.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 1536
32.3.2.1 受信データのサンプリングタイミング調整 1537
32.3.2.2 送信データの変化タイミング調整 1538
32.3.3 クロック 1539
32.3.4 倍速モードと 6 分周モード 1539
32.3.5 CTS、RTS 機能 1540
32.3.6 データ一致検出機能 1540
32.3.7 SCI の初期化 (調歩同期式モード) 1543
32.3.8 シリアルデータの送信 (調歩同期式モード) 1545
32.3.9 シリアルデータの受信 (調歩同期式モード) 1549
32.4 マルチプロセッサ通信機能 1553
32.4.1 マルチプロセッサシリアルデータ送信 1554
32.4.2 マルチプロセッサシリアルデータ受信 1555
32.5 クロック同期式モードの動作 1558
32.5.1 クロック 1558
32.5.2 CTS、RTS 機能 1559
32.5.3 SCI の初期化 (クロック同期式モード) 1560

32.5.4 シリアルデータの送信 (クロック同期式モード) 1561
32.5.5 シリアルデータの受信 (クロック同期式モード) 1565
32.5.6 シリアルデータの送受信同時動作 (クロック同期式モード) 1568
32.6 スマートカードインタフェースモードの動作 1569
32.6.1 接続例 1569
32.6.2 データフォーマット (ブロック転送モード時を除く) 1570
32.6.3 ブロック転送モード 1571
32.6.4 受信データサンプリングタイミングと受信マージン 1572
32.6.5 SCI の初期化 (スマートカードインタフェースモード) 1573
32.6.6 シリアルデータの送信 (ブロック転送モードを除く) 1575
32.6.7 シリアルの受信 (ブロック転送モードを除く) 1578
32.6.8 クロック出力制御 1580
32.7 簡易 I2C モードの動作 1581
32.7.1 開始条件、再開始条件、停止条件の生成 1582
32.7.2 クロック同期化 1584
32.7.3 SSDA 出力遅延 1585
32.7.4 SCI の初期化 (簡易 I2C モード) 1586
32.7.5 マスタ送信動作 (簡易 I2C モード) 1587
32.7.6 マスタ受信動作 (簡易 I2C モード) 1589
32.7.7 バスハングアップからの回復 1591
32.8 簡易 SPI モードの動作 1592
32.8.1 マスタモード、スレーブモードと各端子の状態 1593
32.8.2 マスタモード時の SS 機能 1593
32.8.3 スレーブモード時の SS 機能 1593
32.8.4 クロックと送受信データの関係 1594
32.8.5 SCI の初期化 (簡易 SPI モード) 1594
32.8.6 シリアルデータの送受信 (簡易 SPI モード) 1595
32.9 ビットレートモジュレーション機能 1595
32.10 拡張シリアルモード制御部の動作説明 1596
32.10.1 シリアル通信プロトコル 1596
32.10.2 Start Frame 送信 1596
32.10.3 Start Frame 受信 1600
32.10.3.1 プライオリティインタラプトビット 1605
32.10.4 バス衝突検出機能 1606
32.10.5 RXDX12 端子入力デジタルフィルタ機能 1607
32.10.6 ビットレート測定機能 1608
32.10.7 RXDX12 受信データサンプリングタイミング選択機能 1609
32.10.8 タイマ 1610
32.11 ノイズ除去機能 1612
32.12 割り込み要因 1613

32.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作 1613
32.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み 1613
32.12.3 スマートカードインタフェースモードにおける割り込み 1614
32.12.4 簡易 I2C モードにおける割り込み 1615
32.12.5 拡張シリアルモード制御部の割り込み要求 1616
32.13 イベントリンク機能 1617
32.14 使用上の注意事項 1618
32.14.1 モジュールストップ機能の設定 1618
32.14.2 ブレークの検出と処理について 1618
32.14.3 マーク状態とブレークの送出 1618
32.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード) 1618
32.14.5 TDR レジスタへのライトについて 1619
32.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード) 1620
32.14.7 DMAC または DTC 使用上の制約事項 1621
32.14.8 通信の開始に関する注意事項 1621
32.14.9 低消費電力状態時の動作について 1621
32.14.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力 1623
32.14.11 簡易 SPI モードの制約事項 1624
32.14.12 拡張シリアルモード制御部の使用上の制約事項 1 1625
32.14.13 拡張シリアルモード制御部の使用上の制約事項 2 1625
32.14.14 トランスミットイネーブルビット (TE ビット) に関する注意事項 1626
32.14.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項 1626
33. シリアルコミュニケーションインタフェース (RSCI) 1627
33.1 概要 1627
33.2 レジスタの説明 1635
33.2.1 受信シフトレジスタ (RSR) 1635
33.2.2 受信データレジスタ (RDR) 1635
33.2.3 送信データレジスタ (TDR) 1637
33.2.4 送信シフトレジスタ (TSR) 1638
33.2.5 制御レジスタ 0 (SCR0) 1639
33.2.6 制御レジスタ 1 (SCR1) 1642
33.2.7 制御レジスタ 2 (SCR2) 1647
33.2.8 制御レジスタ 3 (SCR3) 1662
33.2.9 制御レジスタ 4 (SCR4) 1666
33.2.10 I2C モードレジスタ (SIMR) 1668
33.2.11 FIFO 制御レジスタ (FCR) 1671
33.2.12 マンチェスタモード制御レジスタ (MMCR) 1673
33.2.13 DE 信号制御レジスタ (DECR) 1677

33.2.14 拡張シリアルモード制御レジスタ 0 (XCR0) 1678
33.2.15 拡張シリアルモード制御レジスタ 1 (XCR1) 1681
33.2.16 拡張シリアルモード制御レジスタ 2 (XCR2) 1683
33.2.17 ステータスレジスタ (SSR) 1684
33.2.18 I2C ステータスレジスタ (SISR) 1691
33.2.19 受信 FIFO ステータスレジスタ (RFSR) 1692
33.2.20 送信 FIFO ステータスレジスタ (TFSR) 1694
33.2.21 マンチェスタモードステータスレジスタ (MMSR) 1695
33.2.22 拡張シリアルモードステータスレジスタ 0 (XSR0) 1698
33.2.23 拡張シリアルモードステータスレジスタ 1 (XSR1) 1700
33.2.24 ステータスクリアレジスタ (SSCR) 1701
33.2.25 I2C ステータスクリアレジスタ (SISCR) 1702
33.2.26 受信 FIFO ステータスクリアレジスタ (RFSCR) 1702
33.2.27 マンチェスタモードステータスクリアレジスタ (MMSCR) 1703
33.2.28 拡張シリアルモードステータスクリアレジスタ (XSCR) 1704
33.2.29 HBS サポートモード制御レジスタ (HBSCR) 1705
33.2.30 製品機能選択レジスタ 0 (PRDFR0) 1706
33.3 調歩同期式モードの動作 1707
33.3.1 シリアル送信 / 受信フォーマット 1707
33.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 1709
33.3.3 クロック 1711
33.3.4 倍速モードと 6 分周モード 1711
33.3.5 CTS、RTS 機能 1712
33.3.6 データ一致検出機能 1712
33.3.7 RSCI の初期化 (調歩同期式モード) 1716
33.3.8 シリアルデータの送信 (調歩同期式モード) 1720
33.3.9 シリアルデータの受信 (調歩同期式モード) 1726
33.3.10 調歩同期式モードの受信サンプリングタイミング調整機能 1733
33.3.11 調歩同期式モードの送信タイミング調整機能 1734
33.4 マルチプロセッサ通信機能 1735
33.4.1 マルチプロセッサシリアルデータ送信 1737
33.4.2 マルチプロセッサシリアルデータ受信 1740
33.5 マンチェスタモード 1746
33.5.1 フレームフォーマット 1746
33.5.2 クロック 1751
33.5.3 マンチェスタモード時の RSCI 初期化 1751
33.5.4 倍速動作 1752
33.5.5 CTS、RTS 機能 1753
33.5.6 マンチェスタデータ送信 1753
33.5.7 マンチェスタデータ受信 1757

33.5.8 マルチプロセッサビット使用時の動作 1761
33.5.9 受信リタイミング 1761
33.5.10 マンチェスタコードの極性設定 1763
33.5.11 マンチェスタモードにおけるエラー 1764
33.6 HBS サポートモード 1769
33.6.1 HBS サポートモードの受信 1769
33.6.2 HBS サポートモードの送信 1770
33.6.3 HBS サポートモードのレジスタ設定 1772
33.7 スマートカードインタフェースモードの動作 1773
33.7.1 接続例 1773
33.7.2 データフォーマット (ブロック転送モード時を除く) 1774
33.7.3 ブロック転送モード 1775
33.7.4 受信データサンプリングタイミングと受信マージン 1776
33.7.5 RSCI の初期化 (スマートカードインタフェースモード) 1777
33.7.6 シリアルデータの送信 (ブロック転送モードを除く) 1779
33.7.7 シリアルの受信 (ブロック転送モードを除く) 1782
33.7.8 クロック出力制御 1784
33.8 拡張シリアルモードの動作 1785
33.8.1 シリアル通信プロトコル 1785
33.8.2 Start Frame 送信 1786
33.8.3 Start Frame 受信 1789
33.8.3.1 PIB 未使用時、ノーマル受信 1789
33.8.3.2 プライオリティインタラプトビット 1794
33.8.4 バス衝突検出機能 1795
33.8.5 ビットレート測定機能 1797
33.9 簡易 I2C モードの動作 1799
33.9.1 スタートコンディション、リスタートコンディション、ストップコンディションの生成 1800
33.9.2 クロック同期化 1802
33.9.3 SDA 出力遅延 1803
33.9.4 RSCI の初期化 (簡易 I2C モード) 1804
33.9.5 マスタ送信動作 (簡易 I2C モード) 1805
33.9.6 マスタ受信動作 (簡易 I2C モード) 1810
33.10 クロック同期式モードの動作 1813
33.10.1 クロック 1813
33.10.2 CTS、RTS 機能 1814
33.10.3 RSCI の初期化 (クロック同期式モード) 1815
33.10.4 シリアルデータの送信 (クロック同期式モード) 1816
33.10.5 シリアルデータの受信 (クロック同期式モード) 1821
33.10.6 シリアルデータの送受信同時動作 (クロック同期式モード) 1826

33.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能 1828
33.11 簡易 SPI モードの動作 1829
33.11.1 マスタモード、スレーブモードと各端子の状態 1830
33.11.2 マスタモード時の SS 機能 1830
33.11.3 スレーブモード時の SS 機能 1830
33.11.4 クロックと送受信データの関係 1831
33.11.5 RSCI の初期化 (簡易 SPI モード) 1831
33.11.6 シリアルデータの送受信 (簡易 SPI モード) 1832
33.11.7 簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能 1832
33.12 ビットレートモジュレーション機能 1832
33.13 ノイズ除去機能 1833
33.14 RS-485 ドライバ制御機能 1834
33.15 ループバック機能 1835
33.16 半二重通信機能 1836
33.17 割り込み信号 1837
33.17.1 TXI 割り込みおよび RXI 割り込みバッファ動作 1837
33.17.2 調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み 1838
33.17.3 スマートカードインタフェースモードにおける割り込み 1840
33.17.4 簡易 I^2C モードにおける割り込み 1841
33.17.5 拡張シリアルモードにおける割り込み 1842
33.18 イベントリンク機能 1843
33.19 使用上の注意事項 1845
33.19.1 モジュールストップ機能の設定 1845
33.19.2 消費電力低減機能の注意事項 1845
33.19.3 ブレークの検出と処理について 1849
33.19.4 マーク状態とブレークの送出 1849
33.19.5 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード) 1849
33.19.6 TDR レジスタへのライト 1850
33.19.7 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード) 1850
33.19.8 DMAC または DTC 使用上の制約事項 1852
33.19.9 通信の開始に関する注意事項 1852
33.19.10 簡易 SPI モードの制約事項 1852
33.19.11 トランスミットイネーブルビット (TE ビット) に関する注意事項 1853
33.19.12 拡張シリアルモードに関する注意事項 1853
33.19.13 RS-485 ドライバ制御機能に関する注意事項 1854
33.19.14 ループバック機能に関する注意事項 1854
33.19.15 動作中断時の注意事項 1854

34. I2C バスインタフェース (RIICa) 1855
34.1 概要 1855
34.2 レジスタの説明 1858
34.2.1 I2C バスコントロールレジスタ 1 (ICCR1) 1858
34.2.2 I2C バスコントロールレジスタ 2 (ICCR2) 1860
34.2.3 I2C バスモードレジスタ 1 (ICMR1) 1863
34.2.4 I2C バスモードレジスタ 2 (ICMR2) 1864
34.2.5 I2C バスモードレジスタ 3 (ICMR3) 1866
34.2.6 I2C バスファンクション許可レジスタ (ICFER) 1868
34.2.7 I2C バスステータス許可レジスタ (ICSER) 1870
34.2.8 I2C バス割り込み許可レジスタ (ICIER) 1872
34.2.9 I2C バスステータスレジスタ 1 (ICSR1) 1874
34.2.10 I2C バスステータスレジスタ 2 (ICSR2) 1876
34.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ～ 2) 1879
34.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ～ 2) 1880
34.2.13 I2C バスビットレート Low レジスタ (ICBRL) 1881
34.2.14 I2C バスビットレート High レジスタ (ICBRH) 1882
34.2.15 I2C バス送信データレジスタ (ICDRT) 1884
34.2.16 I2C バス受信データレジスタ (ICDRR) 1884
34.2.17 I2C バスシフトレジスタ (ICDRS) 1884
34.3 動作説明 1885
34.3.1 通信データフォーマット 1885
34.3.2 初期設定 1886
34.3.3 マスタ送信動作 1887
34.3.4 マスタ受信動作 1890
34.3.5 スレーブ送信動作 1896
34.3.6 スレーブ受信動作 1899
34.4 SCL 同期回路 1901
34.5 SDA 出力遅延機能 1902
34.6 デジタルノイズフィルタ回路 1903
34.7 アドレス一致検出機能 1904
34.7.1 スレーブアドレス一致検出機能 1904
34.7.2 ジェネラルコールアドレス検出機能 1906
34.7.3 デバイス ID アドレス検出機能 1907
34.7.4 ホストアドレス検出機能 1909
34.8 SCL の自動 Low ホールド機能 1910
34.8.1 送信データ誤送信防止機能 1910
34.8.2 NACK 受信転送中断機能 1911
34.8.3 受信データ取りこぼし防止機能 1912
34.9 アービトレーションロスト検出機能 1914

34.9.1 マスタアービトレーションロスト検出機能 (MALE ビット) 1914
34.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット) 1916
34.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット) 1917
34.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 1918
34.10.1 スタートコンディション発行動作 1918
34.10.2 リスタートコンディション発行動作 1918
34.10.3 ストップコンディション発行動作 1919
34.11 バスハングアップ 1920
34.11.1 タイムアウト検出機能 1920
34.11.2 SCL 追加出力機能 1921
34.11.3 RIIC リセット、内部リセット 1922
34.12 SMBus 動作 1923
34.12.1 SMBus タイムアウト測定 1923
34.12.2 パケットエラーコード (PEC) 1924
34.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド) 1925
34.13 割り込み要因 1926
34.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作 1926
34.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化 1927
34.15 イベントリンク機能 (出力) 1928
34.15.1 割り込み処理とイベントリンクの関係 1928
34.16 使用上の注意事項 1929
34.16.1 モジュールストップ機能の設定 1929
34.16.2 通信の開始に関する注意事項 1929
35. I3C バスインタフェース (RI3C) 1930
35.1 概要 1930
35.2 レジスタの説明 1932
35.2.1 モードレジスタ (ICMR) 1932
35.2.2 制御レジスタ (ICCR) 1933
35.2.3 コントローラデバイスアドレスレジスタ (ICCAR) 1935
35.2.4 リセット制御レジスタ (ICRCR) 1936
35.2.5 動作モードモニタレジスタ (ICMMR) 1937
35.2.6 内部ステータスレジスタ (ICISR) 1939
35.2.7 内部ステータス検出許可レジスタ (ICISER) 1940
35.2.8 内部ステータス割り込み許可レジスタ (ICISIER) 1940
35.2.9 デバイス特性テーブルインデックスレジスタ (ICDCTIR) 1941
35.2.10 IBI 通知制御レジスタ (ICINCR) 1942
35.2.11 ターゲットモード制御レジスタ (ICTCR) 1943
35.2.12 標準ビットレートレジスタ (ICSBR) 1944
35.2.13 拡張ビットレートレジスタ (ICEBR) 1946

35.2.14 バスフリー時間設定レジスタ (ICBFTR) 1948
35.2.15 バス利用可能時間設定レジスタ (ICBATR) 1948
35.2.16 バスアイドル時間設定レジスタ (ICBITR) 1949
35.2.17 出力信号制御レジスタ (ICOCR) 1950
35.2.18 タイムアウト制御レジスタ (ICTOR) 1951
35.2.19 クロックストール制御レジスタ (ICSTCR) 1953
35.2.20 ターゲット送受信データ長レジスタ (ICTDLR) 1954
35.2.21 コマンドキューレジスタ (ICCQR) 1955
35.2.22 レスポンスキューレジスタ (ICRQR) 1955
35.2.23 送受信データレジスタ (ICDR) 1956
35.2.24 IBI キューレジスタ (ICIQR) 1957
35.2.25 受信ステータスキューレジスタ (ICSQR) 1957
35.2.26 キューバッファしきい値制御レジスタ (ICQBTCR) 1958
35.2.27 データバッファしきい値制御レジスタ (ICDBTCR) 1960
35.2.28 受信ステータスキューしきい値制御レジスタ (ICSQTCR) 1961
35.2.29 ステータスレジスタ 2 (ICSR2) 1962
35.2.30 ステータス検出許可レジスタ (ICSER) 1964
35.2.31 ステータス割り込み許可レジスタ (ICSIER) 1965
35.2.32 通信ステータスレジスタ (ICCSR) 1966
35.2.33 通信ステータス検出許可レジスタ (ICCSER) 1969
35.2.34 通信ステータス割り込み許可レジスタ (ICCSIER) 1970
35.2.35 バスステータスレジスタ (ICBSR) 1971
35.2.36 ターゲットデバイスアドレステーブルレジスタ m (ICTDATRm) (m = 0 ～ 3) 1973
35.2.37 拡張ターゲットデバイスアドレステーブルレジスタ (ICEDATR) 1974
35.2.38 デバイスアドレスレジスタ 0 (ICDAR0) 1975
35.2.39 ターゲットデバイス特性テーブルレジスタ m (ICTDCTRm) (m = 0 ～ 3) 1977
35.2.40 デバイス特性テーブルレジスタ (ICDCTR) 1979
35.2.41 支給 ID 下位レジスタ (ICPIDLR) 1981
35.2.42 支給 ID 上位レジスタ (ICPIDHR) 1981
35.2.43 デバイスアドレスモニタレジスタ 0 (ICDAMR0) 1982
35.2.44 ターゲットイベントレジスタ (ICTEVR) 1984
35.2.45 アクティビティステートレジスタ (ICASR) 1986
35.2.46 最大ライト長レジスタ (ICMWLR) 1988
35.2.47 最大リード長レジスタ (ICMRLR) 1989
35.2.48 テストモードレジスタ (ICTMR) 1990
35.2.49 デバイスステータスレジスタ (ICDSR) 1991
35.2.50 最高ライト速度レジスタ (ICMWSR) 1992
35.2.51 最高リード速度レジスタ (ICMRSR) 1993
35.2.52 最大リード応答時間レジスタ (ICMTTR) 1994
35.2.53 タイミングサポート情報レジスタ (ICTSIR) 1995

35.2.54 ビットカウントレジスタ (ICBCR) 1996
35.2.55 キューバッファステータスレジスタ (ICQBSR) 1997
35.2.56 データバッファステータスレジスタ (ICDBSR) 1997
35.2.57 受信ステータスキューステータスレジスタ (ICSQSR) 1998
35.2.58 内部ステータスモニタレジスタ (ICIMR) 1998
35.2.59 コントローラエラーカウントレジスタ (ICCECR) 1999
35.3 データ構造 2000
35.3.1 コマンドディスクリプタ 2000
35.3.1.1 アドレス割り当てコマンド 2001
35.3.1.2 即時データ転送コマンド 2003
35.3.1.3 通常データ転送コマンド 2005
35.3.1.4 コンボデータ転送コマンド 2008
35.3.1.5 内部コントロールコマンド 2010
35.3.2 レスポンスディスクリプタ 2011
35.3.3 IBI ステータスディスクリプタ 2014
35.3.4 受信ステータスディスクリプタ 2016
35.4 動作説明 2018
35.4.1 データハンドラ 2018
35.4.2 I3C プロトコル 2019
35.4.2.1 通信プロトコル 2019
35.4.2.2 バス状態 2024
35.4.3 初期設定 2025
35.4.4 I3C 通信フロー 2026
35.4.5 I3C コントローラ動作 2028
35.4.5.1 ダイナミックアドレス割り当て手続き 2028
35.4.5.2 SDR ライト転送 2031
35.4.5.3 SDR リード転送 2034
35.4.5.4 IBI 転送 2036
35.4.5.5 I3C コントローラ送信フロー (FIFO バッファ転送) 2039
35.4.5.6 I3C コントローラ受信フロー (FIFO バッファ転送) 2040
35.4.5.7 I3C コントローラ IBI 受信フロー 2041
35.4.6 I3C ターゲット動作 2042
35.4.6.1 ダイナミックアドレス割り当て手続き 2042
35.4.6.2 SDR ライト転送 2044
35.4.6.3 SDR リード転送 2046
35.4.6.4 IBI 転送 2049
35.4.6.5 I3C ターゲット送信フロー (FIFO バッファ転送) 2051
35.4.6.6 I3C ターゲット受信フロー (FIFO バッファ転送) 2053
35.4.6.7 I3C ターゲット IBI 送信フロー 2054
35.5 機能詳細 2056

35.5.1 CCC 検出機能 2056
35.5.2 クロックストール 2058
35.5.3 IBI 2062
35.5.3.1 ターゲット割り込み要求 2062
35.5.3.2 CRR 要求 2065
35.5.3.3 Hot-Join イベント 2068
35.5.4 共通コマンドコード (CCC) 2070
35.5.5 エラー検出機能 2070
35.5.5.1 SDR エラー検出および復帰方法 (I3C ターゲット) 2070
35.5.5.2 SDR エラー検出および復帰方法 (I3C コントローラ) 2071
35.5.5.3 タイムアウトエラー検出機能 2071
35.5.5.4 レジューム動作 2072
35.5.5.5 アボート動作 2072
35.5.5.6 エラー復帰動作 2073
35.6 割り込み要因 2075
35.6.1 エンプティ割り込みおよびフル割り込みのバッファ動作 2075
35.7 イベントリンク機能 2076
35.7.1 割り込み処理とイベントリンクの関係 2076
35.8 リセットの説明 2077
35.9 使用上の注意事項 2081
35.9.1 モジュールストップ機能の設定 2081
36. CAN FD モジュール (CANFD) 2082
36.1 概要 2082
36.2 レジスタの説明 2085
36.2.1 公称ビットレート設定レジスタ (NBCR) 2085
36.2.2 チャネル制御レジスタ (CHCR) 2087
36.2.3 チャネルステータスレジスタ (CHSR) 2092
36.2.4 チャネルエラーステータスレジスタ (CHESR) 2095
36.2.5 データビットレート設定レジスタ (DBCR) 2100
36.2.6 CAN FD 設定レジスタ (FDCFG) 2102
36.2.7 CAN FD 制御レジスタ (FDCTR) 2105
36.2.8 CAN FD ステータスレジスタ (FDSTS) 2106
36.2.9 CAN FD CRC レジスタ (FDCRC) 2108
36.2.10 グローバル設定レジスタ (GCFG) 2109
36.2.11 グローバル制御レジスタ (GCR) 2112
36.2.12 グローバルステータスレジスタ (GSR) 2114
36.2.13 グローバルエラーステータスレジスタ (GESR) 2115
36.2.14 送信割り込みステータスレジスタ (TISR) 2117
36.2.15 タイムスタンプカウンタレジスタ (TSCR) 2119
36.2.16 アクセプタンスフィルタリスト制御レジスタ (AFCR) 2120

36.2.17 アクセプタンスフィルタリスト設定レジスタ (AFCFG) 2121
36.2.18 アクセプタンスフィルタリスト n ID レジスタ (AFLn.IDR) (n = 0 ～ 15) 2122
36.2.19 アクセプタンスフィルタリスト n マスクレジスタ (AFLn.MASK) (n = 0 ～ 15) 2124
36.2.20 アクセプタンスフィルタリスト n ポインタレジスタ 0 (AFLn.PTR0) (n = 0 ～ 15) 2126
36.2.21 アクセプタンスフィルタリスト n ポインタレジスタ 1 (AFLn.PTR1) (n = 0 ～ 15) 2128
36.2.22 受信メッセージバッファ設定レジスタ (RMCR) 2129
36.2.23 受信メッセージバッファ新データレジスタ (RMNDR) 2130
36.2.24 受信 FIFO n 設定レジスタ (RFCRn) (n = 0, 1) 2131
36.2.25 受信 FIFO n ステータスレジスタ (RFSRn) (n = 0, 1) 2133
36.2.26 受信 FIFO n ポインタ制御レジスタ (RFPCRn) (n = 0, 1) 2135
36.2.27 共通 FIFO 0 設定レジスタ (CFCR0) 2136
36.2.28 共通 FIFO 0 ステータスレジスタ (CFSR0) 2139
36.2.29 共通 FIFO 0 ポインタ制御レジスタ (CFPCR0) 2142
36.2.30 FIFO エンプティステータスレジスタ (FESR) 2143
36.2.31 FIFO フルステータスレジスタ (FFSR) 2144
36.2.32 FIFO メッセージロストステータスレジスタ (FMLSR) 2145
36.2.33 受信 FIFO 割り込みステータスレジスタ (RFISR) 2146
36.2.34 DMA 転送制御レジスタ (DTCR) 2147
36.2.35 DMA 転送ステータスレジスタ (DTSR) 2148
36.2.36 送信メッセージバッファ n 制御レジスタ (TMCRn) (n = 0 ～ 3) 2150
36.2.37 送信メッセージバッファ n ステータスレジスタ (TMSRn) (n = 0 ～ 3) 2152
36.2.38 送信メッセージバッファ送信要求ステータスレジスタ 0 (TMTRSR0) 2153
36.2.39 送信メッセージバッファ送信アボート要求ステータスレジスタ 0 (TMARSR0) 2154
36.2.40 送信メッセージバッファ送信完了ステータスレジスタ 0 (TMTCSR0) 2155
36.2.41 送信メッセージバッファ送信アボートステータスレジスタ 0 (TMTASR0) 2156
36.2.42 送信メッセージバッファ割り込み許可レジスタ 0 (TMIER0) 2157
36.2.43 送信キュー 0 設定レジスタ (TQCR0) 2158
36.2.44 送信キュー 0 ステータスレジスタ (TQSR0) 2160
36.2.45 送信キュー 0 ポインタ制御レジスタ (TQPCR0) 2162
36.2.46 送信履歴設定レジスタ (THCR) 2163
36.2.47 送信履歴ステータスレジスタ (THSR) 2164
36.2.48 送信履歴アクセスレジスタ 0 (THACR0) 2166
36.2.49 送信履歴アクセスレジスタ 1 (THACR1) 2167
36.2.50 送信履歴ポインタ制御レジスタ (THPCR) 2168
36.2.51 グローバルリセット制御レジスタ (GRCR) 2169
36.2.52 グローバルテストモード設定レジスタ (GTMCR) 2170
36.2.53 グローバルテストモード許可レジスタ (GTMER) 2171
36.2.54 グローバル CAN FD 設定レジスタ (GFDCFG) 2172
36.2.55 グローバルテストモードロックキーレジスタ (GTMLKR) 2173
36.2.56 RAM テストページアクセスレジスタ k (RTPARk) (k = 0 ～ 63) 2173

36.2.57 アクセプタンスフィルタ無効エントリ設定レジスタ (AFIGSR) 2174
36.2.58 アクセプタンスフィルタ無効エントリ許可レジスタ (AFIGER) 2175
36.2.59 受信メッセージバッファ割り込み許可レジスタ (RMIER) 2176
36.2.60 ID ビットの配置 2178
36.2.61 メッセージバッファの構造 2179
36.2.61.1 開始アドレス 2179
36.2.61.2 受信メッセージバッファ n (RMBn) (n = 0 ～ 31) 2180
36.2.61.3 受信メッセージバッファ n ヘッダフィールド 0 (RMBn.HF0) (n = 0 ～ 31) 2181
36.2.61.4 受信メッセージバッファ n ヘッダフィールド 1 (RMBn.HF1) (n = 0 ～ 31) 2182
36.2.61.5 受信メッセージバッファ n ヘッダフィールド 2 (RMBn.HF2) (n = 0 ～ 31) 2183
36.2.61.6 受信メッセージバッファ n データフィールド p (RMBn.DFp) (n = 0 ～ 31、p = 0 ～ 15) 2185
36.2.61.7 受信メッセージバッファ n データ k (RMBn.DATAk) (n = 0 ～ 31、k = 0 ～ 63) 2186
36.2.61.8 受信 FIFO n (RFBn) (n = 0, 1) 2187
36.2.61.9 受信 FIFO n ヘッダフィールド 0 (RFBn.HF0) (n = 0, 1) 2188
36.2.61.10 受信 FIFO n ヘッダフィールド 1 (RFBn.HF1) (n = 0, 1) 2189
36.2.61.11 受信 FIFO n ヘッダフィールド 2 (RFBn.HF2) (n = 0, 1) 2190
36.2.61.12 受信 FIFO n データフィールド p (RFBn.DFp) (n = 0, 1、p = 0 ～ 15) 2191
36.2.61.13 受信 FIFO n データ k (RFBn.DATAk) (n = 0, 1、k = 0 ～ 63) 2191
36.2.61.14 共通 FIFO 0 (CFB0) 2192
36.2.61.15 共通 FIFO 0 ヘッダフィールド 0 (CFB0.HF0) 2193
36.2.61.16 共通 FIFO 0 ヘッダフィールド 1 (CFB0.HF1) 2194
36.2.61.17 共通 FIFO 0 ヘッダフィールド 2 (CFB0.HF2) 2195
36.2.61.18 共通 FIFO 0 データフィールド p (CFB0.DFp) (p = 0 ～ 15) 2197
36.2.61.19 共通 FIFO 0 データ k (CFB0.DATAk) (k = 0 ～ 63) 2197
36.2.61.20 送信メッセージバッファ n (TMBn) (n = 0 ～ 3) 2198
36.2.61.21 送信メッセージバッファ n ヘッダフィールド 0 (TMBn.HF0) (n = 0 ～ 3) 2199
36.2.61.22 送信メッセージバッファ n ヘッダフィールド 1 (TMBn.HF1) (n = 0 ～ 3) 2200
36.2.61.23 送信メッセージバッファ n ヘッダフィールド 2 (TMBn.HF2) (n = 0 ～ 3) 2201
36.2.61.24 送信メッセージバッファ n データフィールド p (TMBn.DFp) (n = 0 ～ 3、p = 0 ～ 15) 2202
36.2.61.25 送信メッセージバッファ n データ k (TMBn.DATAk) (n = 0 ～ 3、k = 0 ～ 63) 2202
36.2.62 ECC 制御 / ステータスレジスタ (ECCSR) 2203
36.2.63 ECC テストモードレジスタ (ECTMR) 2207
36.2.64 ECC デコーダテストデータレジスタ (ECTDR) 2208
36.2.65 ECC エラーアドレスレジスタ (ECEAR) 2208
36.3 動作モード 2209
36.3.1 グローバルモード 2209
36.3.1.1 GL_SLEEP モード 2209

36.3.1.2 GL_RESET モード 2211
36.3.1.3 GL_HALT モード 2211
36.3.1.4 GL_OPERATION モード 2214
36.3.2 チャネルモード 2215
36.3.2.1 CH_SLEEP モード 2215
36.3.2.2 CH_RESET モード 2216
36.3.2.3 CH_HALT モード 2216
36.3.2.4 CH_OPERATION モード (バスオフ状態以外) 2217
36.3.2.5 CH_OPERATION モード (バスオフ状態) 2218
36.3.3 グローバルモード遷移とチャネルモード遷移の相互作用 2221
36.3.3.1 グローバルモードの変更タイミング 2221
36.3.3.2 チャネルモードの変更タイミング 2222
36.4 CANFD モジュールの初期化 2223
36.4.1 CAN クロック、ビットタイミング、ビットレートの初期化 2223
36.4.1.1 ビットタイミング条件 2223
36.4.1.2 ビットタイミング 2224
36.4.1.3 ビットレート 2225
36.4.1.4 CAN クロック、ビットタイミング、ビットレートの設定 2227
36.4.1.5 トランシーバ遅延補償 2227
36.4.2 リセット後の CANFD モジュール設定 2230
36.5 アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理 2232
36.5.1 アクセプタンスフィルタ処理 2232
36.5.2 DLC フィルタ処理 2232
36.5.3 メッセージ格納 2233
36.5.4 ペイロードオーバフロー処理 2233
36.5.5 AFL エントリの割り当て 2233
36.5.6 AFL エントリの説明 2234
36.5.7 AFL へのエントリの入力 2236
36.5.8 ループバック設定 2238
36.5.9 IDE マスク処理 2239
36.5.10 通信中の AFL エントリの更新 2239
36.6 FIFO バッファとメッセージバッファの構成 2242
36.6.1 受信メッセージバッファ 2243
36.6.1.1 受信メッセージバッファの構成 2243
36.6.2 FIFO バッファ 2244
36.6.2.1 FIFO バッファの設定 2244
36.6.2.2 FIFO バッファの制御 2248
36.7 受信 / 送信 2249
36.7.1 受信 2249
36.7.1.1 受信メッセージバッファへのメッセージ格納 2249

36.7.1.2 FIFO バッファへのメッセージ格納 2251
36.7.1.3 タイムスタンプ 2253
36.7.2 送信 2253
36.7.2.1 送信優先順位 2254
36.7.2.2 送信メッセージバッファからの送信 2255
36.7.2.3 FIFO バッファからの送信 2259
36.7.2.4 送信キュー 2263
36.7.2.5 送信履歴 2264
36.7.2.6 送信データパディング 2266
36.8 ECC チェック 2267
36.8.1 ECC 機能設定 2267
36.8.2 ECC デコーダテスト 2268
36.9 テストモード 2269
36.9.1 チャネル固有のテストモード 2269
36.9.1.1 基本テストモード 2269
36.9.1.2 リッスンオンリモード 2269
36.9.1.3 セルフテストモード 0 (外部ループバックモード) 2270
36.9.1.4 セルフテストモード 1 (内部ループバックモード) 2270
36.9.1.5 制限付き動作モード 2271
36.9.2 グローバルテストモード 2272
36.9.2.1 RAM テストモード 2273
36.9.2.2 ビットフリップテスト 2275
36.10 割り込みと DTC/DMA 転送要求 2276
36.10.1 CANFD 割り込み 2276
36.10.2 ECC 割り込み 2280
36.10.3 DTC/DMA 転送要求 2280
36.11 使用上の注意事項 2281
36.11.1 モジュールストップ機能の設定 2281
36.11.2 受信メッセージバッファと FIFO バッファの設定に関する注意事項 2281
37. シリアルペリフェラルインタフェース (RSPIe) 2282
37.1 概要 2282
37.2 レジスタの説明 2286
37.2.1 RSPI 制御レジスタ (SPCR) 2286
37.2.2 RSPI スレーブセレクト極性レジスタ (SSLP) 2288
37.2.3 RSPI 端子制御レジスタ (SPPCR) 2289
37.2.4 RSPI ステータスレジスタ (SPSR) 2290
37.2.5 RSPI データレジスタ (SPDR) 2294
37.2.6 RSPI シーケンス制御レジスタ (SPSCR) 2298
37.2.7 RSPI シーケンスステータスレジスタ (SPSSR) 2299
37.2.8 RSPI ビットレートレジスタ (SPBR) 2300

37.2.9 RSPI データコントロールレジスタ (SPDCR) 2301
37.2.10 RSPI クロック遅延レジスタ (SPCKD) 2303
37.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND) 2304
37.2.12 RSPI 次アクセス遅延レジスタ (SPND) 2305
37.2.13 RSPI 制御レジスタ 2 (SPCR2) 2306
37.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7) 2307
37.2.15 RSPI データコントロールレジスタ 2 (SPDCR2) 2310
37.2.16 RSPI 制御レジスタ 3 (SPCR3) 2311
37.3 動作説明 2312
37.3.1 RSPI 動作の概要 2312
37.3.2 RSPI 端子の制御 2313
37.3.3 RSPI システム構成例 2314
37.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ) 2314
37.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ) 2315
37.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ) 2316
37.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ) 2317
37.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ) 2318
37.3.3.6 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = マスタ) 2319
37.3.3.7 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = スレーブ) 2319
37.3.4 データフォーマット 2320
37.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0) 2321
37.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1) 2325
37.3.4.3 バイトスワップ送信 2329
37.3.4.4 バイトスワップ受信 2330
37.3.5 転送フォーマット 2331
37.3.5.1 CPHA ビット = 0 の場合 2331
37.3.5.2 CPHA ビット = 1 の場合 2332
37.3.6 通信動作モード 2333
37.3.6.1 全二重通信 (SPCR.TXMD = 0, SPCR3.RXMD = 0) 2333
37.3.6.2 送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0) 2334
37.3.6.3 受信のみの単方向通信 (SPCR3.RXMD = 0) 2335
37.3.7 送信バッファエンプティ / 受信バッファフル割り込み 2336
37.3.8 アイドル割り込み 2337
37.3.9 通信完了割り込み 2337
37.3.9.1 マスタモード時 2337
37.3.9.2 SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信 2338
37.3.9.3 SPI 動作、スレーブモード時の受信のみの単方向通信 2338
37.3.9.4 クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信 2338

37.3.9.5 クロック同期式動作、スレーブモード時の受信のみの単方向通信 2338
37.3.10 エラー検出 2339
37.3.10.1 オーバランエラー 2340
37.3.10.2 パリティエラー 2343
37.3.10.3 モードフォルトエラー 2344
37.3.10.4 アンダランエラー 2344
37.3.11 RSPI の初期化 2345
37.3.11.1 SPE ビットのクリアによる初期化 2345
37.3.11.2 システムリセット 2345
37.3.12 SPI 動作 2346
37.3.12.1 マスタモード動作 2346
37.3.12.2 スレーブモード動作 2357
37.3.13 クロック同期式動作 2363
37.3.13.1 マスタモード動作 2363
37.3.13.2 スレーブモード動作 2367
37.3.14 ループバックモード 2369
37.3.15 パリティビット機能の自己判断 2370
37.3.16 割り込み要因 2371
37.4 イベントリンク機能によるリンク動作 2372
37.4.1 受信バッファフルイベント出力 2372
37.4.2 送信バッファエンプティイベント出力 2372
37.4.3 モードフォルト / アンダラン / オーバラン / パリティエラーイベント出力 2372
37.4.4 アイドルイベント出力 2373
37.4.5 通信完了イベント出力 2373
37.5 使用上の注意事項 2374
37.5.1 モジュールストップ機能の設定 2374
37.5.2 消費電力低減機能の注意事項 2374
37.5.3 通信の開始に関する注意事項 2374
37.5.4 SPRF/SPTEF フラグに関する注意事項 2374
38. シリアルペリフェラルインタフェース (RSPIA) 2375
38.1 概要 2375
38.2 レジスタの説明 2379
38.2.1 RSPI データレジスタ (SPDR) 2379
38.2.2 RSPI クロック遅延レジスタ (SPCKD) 2383
38.2.3 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND) 2384
38.2.4 RSPI 次アクセス遅延レジスタ (SPND) 2386
38.2.5 RSPI 制御レジスタ (SPCR) 2387
38.2.6 RSPI 受信専用モード制御レジスタ (SPRMCR) 2392
38.2.7 RSPI 受信データレディ検出条件設定レジスタ (SPDRCSR) 2393
38.2.8 RSPI 端子制御レジスタ (SPPCR) 2394

38.2.9 RSPI スレーブセレクト極性レジスタ (SSLP) 2395
38.2.10 RSPI ビットレートレジスタ (SPBR) 2396
38.2.11 RSPI シーケンス制御レジスタ (SPSCR) 2397
38.2.12 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7) 2398
38.2.13 RSPI データコントロールレジスタ (SPDCR) 2401
38.2.14 RSPI FIFO コントロールレジスタ (SPFCR) 2403
38.2.15 RSPI シーケンスステータスレジスタ (SPSSR) 2404
38.2.16 RSPI ステータスレジスタ (SPSR) 2405
38.2.17 RSPI 送信 FIFO ステータスレジスタ (SPTFSR) 2411
38.2.18 RSPI 受信 FIFO ステータスレジスタ (SPRFSR) 2411
38.2.19 RSPI ステータスクリアレジスタ (SPSCLR) 2412
38.2.20 RSPI FIFO クリアレジスタ (SPFCLR) 2413
38.3 動作説明 2414
38.3.1 RSPI 動作の概要 2414
38.3.2 RSPI 端子の制御 2416
38.3.3 RSPI システム構成例 2416
38.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ) 2416
38.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ) 2417
38.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ) 2418
38.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ) 2419
38.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ) 2420
38.3.3.6 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = マスタ) 2421
38.3.3.7 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = スレーブ) 2422
38.3.4 データフォーマット 2423
38.3.4.1 1 フレームのデータフォーマット 2423
38.3.4.2 パリティ機能無効 (SPPE = 0) 2424
38.3.4.3 パリティ機能有効時 (SPPE = 1) 2428
38.3.4.4 バイトスワップ送信 2432
38.3.4.5 バイトスワップ受信 2435
38.3.5 転送フォーマット (フレームフォーマット) 2439
38.3.5.1 CPHA = 0 の場合 2439
38.3.5.2 CPHA = 1 の場合 2441
38.3.6 通信モード 2443
38.3.6.1 送受信モード (CMMD[1:0]=00b) 2443
38.3.6.2 送信専用モード (CMMD[1:0] = 01b) 2444
38.3.6.3 受信専用モード (CMMD[1:0] = 10b) 2445
38.3.7 送信バッファエンプティ / 受信バッファフル割り込み 2446
38.3.8 アイドル割り込み 2448
38.3.9 通信完了割り込み 2450

38.3.9.1 マスタ送受信モード / マスタ送信専用モード時 2450
38.3.9.2 マスタ受信専用モード時 2452
38.3.9.3 スレーブ送受信モード / スレーブ送信専用モード、SPI 動作時 2454
38.3.9.4 スレーブ受信専用モード、SPI 動作時 2456
38.3.9.5 スレーブ送受信モード / スレーブ送信専用モード、クロック同期動作時 2458
38.3.9.6 スレーブ受信専用モード、クロック同期動作時 2459
38.3.10 エラー検出 2460
38.3.10.1 オーバランエラー 2461
38.3.10.2 パリティエラー 2466
38.3.10.3 モードフォルトエラー 2467
38.3.10.4 アンダランエラー 2467
38.3.11 受信データレディ検出 2468
38.3.12 RSPIA の初期化 2469
38.3.12.1 SPE ビットのクリアによる初期化 2469
38.3.12.2 システムリセット 2469
38.3.13 SPI 動作 2470
38.3.13.1 マスタモード動作 2470
38.3.13.2 スレーブモード動作 2484
38.3.14 クロック同期式動作 2491
38.3.14.1 マスタモード動作 2491
38.3.14.2 スレーブモード動作 2495
38.3.15 ループバックモード 2497
38.3.16 パリティ機能の自己診断 2498
38.3.17 割り込み要求 2499
38.3.18 イベントリンク機能によるリンク動作 2500
38.3.18.1 受信バッファフルイベント出力 2500
38.3.18.2 送信バッファエンプティイベント出力 2500
38.3.18.3 エラーイベント出力 2501
38.3.18.4 アイドルイベント出力 2502
38.3.18.5 通信完了イベント出力 2503
38.4 使用上の注意事項 2505
38.4.1 モジュールストップ機能の設定 2505
38.4.2 通信の開始に関する注意事項 2505
38.4.3 エラーイベント出力に関する注意事項 2505
38.4.4 消費電力低減機能の注意事項 2505
38.4.5 SPRF/SPTEF フラグに関する注意事項 2505
38.4.6 マスタモード時のバースト転送に関する注意事項 2505
38.4.7 スレーブ TI SSP モード時の注意事項 2505
38.4.8 データ長に関する注意事項 2506
38.4.9 レジスタ書き換えに関する注意事項 2506

39. CRC 演算器 (CRCA) 2508
39.1 概要 2508
39.2 レジスタの説明 2509
39.2.1 CRC コントロールレジスタ (CRCCR) 2509
39.2.2 CRC データ入力レジスタ (CRCDIR) 2510
39.2.3 CRC データ出力レジスタ (CRCDOR) 2511
39.3 CRC 演算器の動作説明 2512
39.4 使用上の注意事項 2515
39.4.1 モジュールストップ機能の設定 2515
39.4.2 送信時の注意事項 2515
40. 三角関数演算器 (TFUv2) 2516
40.1 概要 2516
40.2 レジスタの説明 2517
40.2.1 固定小数 sincos 入出力設定レジスタ (FXSCIOC) 2517
40.2.2 固定小数 atanhypot_k 入出力設定レジスタ (FXATIOC) 2518
40.2.3 三角関数演算器ステータスレジスタ (TRGSTS) 2519
40.2.4 浮動小数 sincos 処理用データレジスタ 0 (FPSCDT0) 2520
40.2.5 浮動小数 sincos 処理用データレジスタ 1 (FPSCDT1) 2520
40.2.6 浮動小数 atanhypot_k 処理用データレジスタ 0 (FPATDT0) 2522
40.2.7 浮動小数 atanhypot_k 処理用データレジスタ 1 (FPATDT1) 2522
40.2.8 固定小数 sincos 処理用データレジスタ 0 (FXSCDT0) 2524
40.2.9 固定小数 sincos 処理用データレジスタ 1 (FXSCDT1) 2524
40.2.10 固定小数 atanhypot_k 処理用データレジスタ 0 (FXATDT0) 2526
40.2.11 固定小数 atanhypot_k 処理用データレジスタ 1 (FXATDT1) 2526
40.2.12 データ退避復帰用レジスタ 0 (DTSR0) 2528
40.2.13 データ退避復帰用レジスタ 1 (DTSR1) 2528
40.3 動作説明 2529
40.3.1 演算処理 2529
40.3.2 入力値と出力値のフォーマット 2529
40.3.2.1 単精度浮動小数点数 2529
40.3.2.2 固定小数点数 2530
40.3.3 角度の単位 2531
40.3.4 sincos 演算における入力値と出力値の関係 2531
40.3.5 atan 演算における入力値と出力値の関係 2532
40.3.6 hypot_k 演算における入力値と出力値の関係 2532
40.4 使用手順 2533
40.4.1 三角関数演算器の使用手順 2533
40.4.2 割り込みに関する使用方法 2535
41. Trusted Secure IP (TSIP-Lite) 2536
41.1 概要 2536

41.2 動作説明 2538
41.2.1 動作モードと状態遷移 2538
41.2.2 暗号エンジン 2539
41.2.3 鍵インストール 2540
41.2.4 暗号 / 復号処理 2541
41.2.5 鍵生成情報作成 (乱数使用) 2544
41.2.6 乱数生成 2544
41.3 割り込み 2545
41.4 使用上の注意事項 2545
41.4.1 スタンバイモード 2545
41.4.2 モジュールストップ機能の設定 2545
41.4.3 TSIP-Lite ライブラリ 2545
42. 12 ビット A/D コンバータ (S12ADHa) 2546
42.1 概要 2546
42.2 レジスタの説明 2557
42.2.1 A/D データレジスタ y (ADDRy) (y = 0 ～ 11, 16, 17)、
A/D データ二重化レジスタ (ADDBLDR)、
A/D データ二重化レジスタ A (ADDBLDRA)、
A/D データ二重化レジスタ B (ADDBLDRB)、
A/D 温度センサデータレジスタ (ADTSDR)、
A/D 内部基準電圧データレジスタ (ADOCDR) 2557
42.2.1.1 データレジスタのフォーマット 2558
42.2.2 A/D 自己診断データレジスタ (ADRD) 2559
42.2.3 A/D コントロールレジスタ (ADCSR) 2560
42.2.4 A/D チャネル選択レジスタ A0 (ADANSA0) 2565
42.2.5 A/D チャネル選択レジスタ A1 (ADANSA1) 2568
42.2.6 A/D チャネル選択レジスタ B0 (ADANSB0) 2569
42.2.7 A/D チャネル選択レジスタ B1 (ADANSB1) 2572
42.2.8 A/D チャネル選択レジスタ C0 (ADANSC0) 2573
42.2.9 A/D チャネル選択レジスタ C1 (ADANSC1) 2576
42.2.10 A/D チャネル変換順序設定レジスタ n (ADSCSn) (n = 0 ～ 13) 2577
42.2.11 A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0) 2580
42.2.12 A/D 変換値加算 / 平均機能チャネル選択レジスタ 1 (ADADS1) 2584
42.2.13 A/D 変換値加算 / 平均回数選択レジスタ (ADADC) 2585
42.2.14 A/D コントロール拡張レジスタ (ADCER) 2586
42.2.15 A/D 変換開始トリガ選択レジスタ (ADSTRGR) 2588
42.2.16 A/D 変換拡張入力コントロールレジスタ (ADEXICR) 2594
42.2.17 A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR) 2596
42.2.18 A/D グループ C トリガ選択レジスタ (ADGCTRGR) 2597
42.2.19 A/D グループ C トリガ選択レジスタ 2 (ADGCTRGR2) 2600
42.2.20 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ～ 11, L, T, O) 2601
42.2.21 A/D サンプル & ホールド回路コントロールレジスタ (ADSHCR) 2603

42.2.22 A/D サンプル & ホールド動作モード選択レジスタ (ADSHMSR) 2604
42.2.23 A/D 断線検出コントロールレジスタ (ADDISCR) 2605
42.2.24 A/D イベントリンクコントロールレジスタ (ADELCCR) 2606
42.2.25 A/D グループスキャン優先コントロールレジスタ (ADGSPCR) 2607
42.2.26 A/D コンペア機能コントロールレジスタ (ADCMPCR) 2609
42.2.27 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0) 2611
42.2.28 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1) 2614
42.2.29 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER) 2615
42.2.30 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0) 2616
42.2.31 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1) 2620
42.2.32 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER) 2621
42.2.33 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0) 2622
42.2.34 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1) 2624
42.2.35 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0) 2626
42.2.36 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1) 2629
42.2.37 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER) 2630
42.2.38 A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ (ADWINMON) 2631
42.2.39 A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR) 2632
42.2.40 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB) 2636
42.2.41 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB) 2638
42.2.42 A/D コンペア機能ウィンドウ B チャネルステータスレジスタ (ADCMPBSR) 2640
42.2.43 A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR) 2643
42.2.44 A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0) 2645
42.2.45 A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) 2646
42.2.46 A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) 2646
42.3 動作説明 2647
42.3.1 A/D コンバータの初期設定フロー 2647
42.3.2 スキャンの動作説明 2648
42.3.3 シングルスキャンモード 2650
42.3.3.1 基本動作 (チャネル専用サンプル & ホールドなし) 2650
42.3.3.2 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 2651
42.3.3.3 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 2652
42.3.3.4 チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし) 2653
42.3.3.5 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 2654
42.3.3.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 2655
42.3.3.7 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作 2657
42.3.3.8 ダブルトリガモード使用時の動作 2658

42.3.3.9 ダブルトリガ拡張モードの動作 2659
42.3.4 連続スキャンモード 2661
42.3.4.1 基本動作 (チャネル専用サンプル & ホールドなし) 2661
42.3.4.2 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 2662
42.3.4.3 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 2663
42.3.4.4 チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし) 2665
42.3.4.5 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 2666
42.3.4.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 2667
42.3.5 グループスキャンモード 2669
42.3.5.1 基本動作 2669
42.3.5.2 ダブルトリガモード使用時の動作 2672
42.3.5.3 グループ優先制御動作 2674
42.3.6 コンペア機能 (ウィンドウ A、ウィンドウ B) 2692
42.3.6.1 コンペア機能ウィンドウ A/B 2692
42.3.6.2 コンペア機能制約 2693
42.3.7 アナログ入力のサンプリング時間とスキャン変換時間 2694
42.3.7.1 グループ優先動作でのスキャン中断 / 開始タイミング 2697
42.3.8 A/D データレジスタの自動クリア機能の使用例 2698
42.3.9 A/D 変換値加算 / 平均機能 2698
42.3.10 断線検出アシスト機能 2698
42.3.11 非同期トリガによる A/D 変換の開始 2700
42.3.12 周辺モジュールからの同期トリガによる A/D 変換の開始 2700
42.3.13 任意チャネル順変換機能 2701
42.3.14 内部基準電圧モニタ機能 2702
42.4 割り込み要因と DTC、DMA 転送要求 2704
42.4.1 割り込み要求 2704
42.4.2 ELC へのスキャン終了イベント出力 2704
42.5 許容信号源インピーダンスについて 2705
42.6 使用上の注意事項 2706
42.6.1 データレジスタの読み出し注意事項 2706
42.6.2 A/D 変換停止時の注意事項 2706
42.6.2.1 A/D 変換停止手順 2706
42.6.2.2 モード / ステータスフラグの注意事項 2708
42.6.3 A/D 変換強制停止と開始時の動作タイミング 2708
42.6.4 スキャン終了割り込み処理の注意事項 2708
42.6.5 モジュールストップ機能の設定 2708
42.6.6 低消費電力状態への遷移時の注意 2709

42.6.7 ソフトウェアスタンバイモード解除時の注意 2709
42.6.8 断線検出アシスト機能使用時の絶対精度誤差 2709
42.6.9 アナログ電源端子他の設定範囲 2710
42.6.10 ボード設計上の注意 2711
42.6.11 ノイズ対策上の注意 2712
42.6.12 チャネル専用サンプル & ホールド回路使用時の注意 2713
43. 12 ビット D/A コンバータ (R12DAb) 2714
43.1 概要 2714
43.2 レジスタの説明 2715
43.2.1 D/A データレジスタ m (DADRm) (m = 0, 1) 2715
43.2.2 D/A 制御レジスタ (DACR) 2716
43.2.3 データレジスタフォーマット選択レジスタ (DADPR) 2717
43.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR) 2718
43.2.5 D/A 出力先選択レジスタ (DADSELR) 2719
43.3 動作説明 2720
43.3.1 D/A 変換と A/D 変換の干渉対策 2721
43.4 イベントリンクの動作設定手順 2723
43.5 イベントリンク動作における注意事項 2723
43.6 使用上の注意事項 2724
43.6.1 モジュールストップ機能の設定 2724
43.6.2 モジュールストップ時の D/A コンバータの動作 2724
43.6.3 ソフトウェアスタンバイモード時の D/A コンバータの動作 2724
43.6.4 D/A 変換と A/D 変換の干渉対策有効時の注意事項 2724
43.6.5 D/A コンバータの出力をコンパレータ C の基準電圧に使用するときの注意事項 2724
43.6.6 DAn 端子 (n = 0, 1) とコンパレータ C への同時出力に関する注意事項 2724
44. 温度センサ (TEMPS) 2725
44.1 概要 2725
44.2 レジスタの説明 2726
44.2.1 温度センサ校正データレジスタ (TSCDR) 2726
44.3 温度センサの使用方法 2727
44.3.1 使用前の準備 2727
44.3.2 12 ビット A/D コンバータ (ユニット 2) の設定 2729
44.3.3 温度センサの使用手順 2730
44.3.4 温度センサ出力の A/D 変換タイミング 2731
44.4 使用上の注意事項 2731
44.4.1 温度センサの動作設定 2731
45. コンパレータ C (CMPCa) 2732
45.1 概要 2732
45.2 レジスタの説明 2735
45.2.1 コンパレータ制御レジスタ (CMPCTL) 2735

45.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0) 2736
45.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1) 2737
45.2.4 コンパレータ出力モニタレジスタ (CMPMON) 2738
45.2.5 コンパレータ外部出力許可レジスタ (CMPIOC) 2738
45.2.6 コンパレータ制御レジスタ 2 (CMPCTL2) 2738
45.3 動作説明 2739
45.3.1 コンパレータ動作例 2739
45.3.2 ノイズフィルタ 2740
45.3.3 割り込み 2741
45.3.4 コンパレータの端子出力 2741
45.3.5 コンパレータの設定手順 2742
45.4 使用上の注意事項 2744
45.4.1 モジュールストップ機能の設定 2744
45.4.2 モジュールストップ時のコンパレータ C の動作 2744
45.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作 2744
45.4.4 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作 2744
45.4.5 D/A コンバータの設定について 2745
46. データ演算回路 (DOCA) 2746
46.1 概要 2746
46.2 レジスタの説明 2747
46.2.1 DOC コントロールレジスタ (DOCR) 2747
46.2.2 DOC ステータスレジスタ (DOSR) 2748
46.2.3 DOC ステータスクリアレジスタ (DOSCR) 2748
46.2.4 DOC データインプットレジスタ (DODIR) 2749
46.2.5 DOC データセッティングレジスタ 0 (DODSR0) 2749
46.2.6 DOC データセッティングレジスタ 1 (DODSR1) 2750
46.3 動作説明 2751
46.3.1 データ比較モード 2751
46.3.2 データ加算モード 2755
46.3.3 データ減算モード 2756
46.4 割り込み要求 2756
46.5 イベントリンク出力機能 2757
46.5.1 割り込み処理とイベントリンクの関係 2757
46.6 使用上の注意事項 2757
46.6.1 モジュールストップ機能の設定 2757
47. RAM 2758
47.1 概要 2758
47.2 レジスタの説明 2759
47.2.1 RAM 動作モード制御レジスタ (RAMMODE) 2759
47.2.2 RAM エラーステータスレジスタ (RAMSTS) 2759

47.2.3 RAM エラーアドレスキャプチャレジスタ (RAMECAD) 2760
47.2.4 RAM プロテクトレジスタ (RAMPRCR) 2760
47.3 動作説明 2761
47.3.1 パリティチェック機能 2761
47.3.2 RAM エラー割り込み機能 2761
47.3.3 割り込み要因 2761
47.4 使用上の注意事項 2762
47.4.1 消費電力低減機能 2762
47.4.2 RAM のエラーチェック機能使用時の注意事項 2762
47.4.3 RAM の自己診断に関する注意事項 2762
48. フラッシュメモリ (FLASH) 2763
48.1 概要 2763
48.2 ハードウェアインタフェース用領域 2765
48.3 メモリ構成 2766
48.4 レジスタの説明 2769
48.4.1 フラッシュ P/E プロテクトレジスタ (FWEPROR) 2769
48.4.2 フラッシュアクセスステータスレジスタ (FASTAT) 2770
48.4.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT) 2771
48.4.4 フラッシュレディ割り込み許可レジスタ (FRDYIE) 2772
48.4.5 FACI コマンド処理開始アドレスレジスタ (FSADDR) 2773
48.4.6 FACI コマンド処理終了アドレスレジスタ (FEADDR) 2774
48.4.7 フラッシュステータスレジスタ (FSTATR) 2775
48.4.8 フラッシュ P/E モードエントリレジスタ (FENTRYR) 2778
48.4.9 フラッシュシーケンサ設定初期化レジスタ (FSUINITR) 2779
48.4.10 FACI コマンドレジスタ (FCMDR) 2780
48.4.11 フラッシュ P/E ステータスレジスタ (FPESTAT) 2781
48.4.12 データフラッシュブランクチェック制御レジスタ (FBCCNT) 2781
48.4.13 データフラッシュブランクチェックステータスレジスタ (FBCSTAT) 2782
48.4.14 データフラッシュ書き込み開始アドレスレジスタ (FPSADDR) 2782
48.4.15 フラッシュアクセスウィンドウモニタレジスタ (FAWMON) 2783
48.4.16 フラッシュシーケンサ処理切り替えレジスタ (FCPSR) 2784
48.4.17 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR) 2785
48.4.18 スタートアップ領域コントロールレジスタ (FSUACR) 2786
48.4.19 ユニーク ID レジスタ n (UIDRn) (n = 0 ～ 2) 2787
48.5 機能概要 2788
48.5.1 プログラム / イレーズ方式 2788
48.5.2 セキュリティ機能 2790
48.5.2.1 オンチップデバッガ ID コードプロテクト 2791
48.5.2.2 シリアルプログラマ ID コードプロテクト 2791
48.5.3 プロテクション機能 2792

48.5.3.1 ソフトウェアプロテクション 2792
48.5.3.2 エラープロテクション 2792
48.5.4 スタートアッププログラム保護機能 2794
48.5.5 エリアプロテクションによるプロテクト 2797
48.5.6 デュアルバンク機能 2798
48.5.6.1 バンクモード切り替え機能 2798
48.5.6.2 起動バンク選択機能 2799
48.5.7 サスペンド機能 2800
48.5.8 Trusted Memory 2800
48.5.8.1 TM 対象領域に配置するプログラム 2801
48.5.8.2 TM 機能を有効にする方法 2802
48.5.8.3 TM 機能を無効にする方法 2804
48.5.8.4 TM 機能有効時の注意事項 2805
48.6 フラッシュシーケンサ 2806
48.6.1 フラッシュシーケンサの動作モード 2806
48.6.2 リードモード 2807
48.6.3 コードフラッシュメモリ P/E モード 2807
48.6.4 データフラッシュメモリ P/E モード 2807
48.6.5 モード遷移 2808
48.6.5.1 コードフラッシュメモリ P/E モードへの遷移 2810
48.6.5.2 データフラッシュメモリ P/E モードへの遷移 2810
48.6.5.3 リードモードへの遷移 2811
48.6.6 FACI コマンド一覧 2812
48.6.7 FACI コマンドの使用方法 2813
48.6.7.1 FACI コマンド使用時の概略フロー 2813
48.6.7.2 コマンドロック状態からの復帰 2814
48.6.7.3 プログラムコマンド 2815
48.6.7.4 ブロックイレーズコマンド 2817
48.6.7.5 P/E サスペンドコマンド 2818
48.6.7.6 P/E レジュームコマンド 2823
48.6.7.7 ステータスクリアコマンド 2824
48.6.7.8 強制終了コマンド 2825
48.6.7.9 ブランクチェックコマンド 2826
48.6.7.10 コンフィギュレーション設定コマンド 2827
48.7 ブートモード 2829
48.7.1 ブートモード (SCI インタフェース) 2829
48.7.2 ブートモード (FINE インタフェース) 2830
48.7.2.1 ブートモード (FINE インタフェース) の動作条件 2830
48.8 ブートモード通信プロトコル 2831
48.8.1 ブートモードの起動方法 2831

48.8.2 ブートモードの状態遷移 2832
48.8.2.1 ブートモード (SCI インタフェース) の状態遷移 2832
48.8.3 ビットレートの自動調整 2835
48.8.4 パケットフォーマット 2836
48.8.5 通信確立フェーズ 2837
48.8.6 コマンド待ちフェーズ 2838
48.8.7 コマンドの通信シーケンス 2839
48.8.8 未サポートコマンド 2841
48.8.9 デバイス種別取得コマンド 2842
48.8.10 エンディアン通知コマンド 2844
48.8.11 周波数設定コマンド 2845
48.8.12 ビットレート設定コマンド 2847
48.8.13 同期コマンド 2849
48.8.14 ID 認証モード取得コマンド 2850
48.8.15 シリアルプログラミング ID コードチェックコマンド 2851
48.8.16 ブランクチェックコマンド 2852
48.8.17 ブロックイレーズコマンド 2853
48.8.18 エリアイレーズコマンド 2854
48.8.19 プログラムコマンド 2855
48.8.20 リードコマンド 2858
48.8.21 コンフィギュレーションクリアコマンド 2860
48.8.22 コンフィギュレーションプログラムコマンド 2861
48.8.23 コンフィギュレーションリードコマンド 2864
48.8.24 単純加算サムチェックコマンド 2866
48.8.25 エリア情報数取得コマンド 2868
48.8.26 エリア情報取得コマンド 2869
48.8.27 使用例 2872
48.8.28 デュアルモード使用時のフラッシュメモリ書き換え 2873
48.9 シリアルプログラマでの書き換え (シリアルプログラミング) 2875
48.9.1 プログラミング環境 2875
48.10 セルフプログラミングでの書き換え 2876
48.10.1 概要 2876
48.10.2 BGO 機能 2877
48.11 使用上の注意事項 2878
48.11.1 プログラム / イレーズを中断した領域およびサスペンドした領域の読み出し 2878
48.11.2 プログラム / イレーズの中断 2878
48.11.3 追加プログラムの禁止 2878
48.11.4 プログラム / イレーズ中またはブランクチェック中のリセット 2878
48.11.5 プログラム / イレーズ中の割り込み / 例外ベクタの配置 2878
48.11.6 プログラム / イレーズ中またはブランクチェック中の異常終了 2878

48.11.7 プログラム / イレーズ中またはブランクチェック中の禁止事項 2878
49. 電気的特性 2880
49.1 絶対最大定格 2880
49.2 推奨動作条件 2880
49.3 DC 特性 2881
49.4 AC 特性 2891
49.4.1 リセットタイミング 2892
49.4.2 クロックタイミング 2893
49.4.3 低消費電力状態からの復帰タイミング 2897
49.4.4 制御信号タイミング 2899
49.4.5 内蔵周辺モジュールタイミング 2900
49.4.5.1 I/O ポート 2900
49.4.5.2 TMR 2900
49.4.5.3 MTU 2901
49.4.5.4 POE3 2902
49.4.5.5 POEG 2904
49.4.5.6 GPTW 2907
49.4.5.7 A/D コンバータトリガ 2908
49.4.5.8 CAC 2908
49.4.5.9 SCI 2909
49.4.5.10 RSCI 2914
49.4.5.11 RSPI 2920
49.4.5.12 RSPIA 2925
49.4.5.13 RIIC 2930
49.4.5.14 RI3C 2932
49.4.5.15 HRPWM 2939
49.4.5.16 CANFD 2939
49.5 A/D 変換特性 2940
49.6 プログラマブルゲインアンプ特性 2943
49.7 コンパレータ特性 2944
49.8 D/A 変換特性 2945
49.9 温度センサ特性 2945
49.10 パワーオンリセット回路、電圧検出回路特性 2946
49.11 発振停止検出タイミング 2949
49.12 フラッシュメモリ特性 2950
付録 1. 各動作モードにおけるポートの状態 2953
付録 2. 外形寸法図 2955
改訂記録 2962

120MHz、32 ビット RX MCU、FPU 内蔵、709 Coremark、電源 5V 対応、最大 512K バイトフラッシュメモリ、
最大 64K バイト SRAM、16K バイトデータフラッシュメモリ、CAN FD など多種多様な通信機能、
12 ビット A/D コンバータ 3 ユニットで最大 7ch 同時サンプリング、アナログコンパレータ 6ch、
120MHz PWM (3 相相補 4ch、5 相相補 2ch、単相相補 10ch)、最小 260ps 高分解能 PWM 4ch、暗号機能

特長

■ 32 ビット RXv3 CPU コア内蔵
- 最高動作周波数 120MHz
  709 Coremark の性能 (120MHz 動作時)
- レジスタ一括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■消費電力低減機能
- 2.7V ～ 5.5V 動作の単一電源
- 3 種類の低消費電力モード

■コードフラッシュメモリ
- 最大 512K バイト
- 120MHz 動作 (ノーウェイト)
- オンボードおよびオフボードによるユーザ書き込み
- バックグラウンドでのプログラム / イレーズ (BGO)
- 起動バンクの入れ替えが可能なデュアルバンク機能搭載

■データフラッシュメモリ
- 16K バイト (100k 回イレーズ可能)
- バックグラウンドでのプログラム / イレーズ (BGO)

■ SRAM
- 64K バイト /48K バイト　SRAM (ノーウェイト)

■データ転送機能
- DMACAa：8ch 内蔵
- DTCb：1ch 内蔵

■ ELC
- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御
- パワーオンリセット (POR) 機能搭載
- 低電圧検出機能 (LVD) 搭載

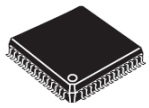
■クロック機能
- 8MHz ～ 24MHz 外部水晶発振、内部 PLL 対応のメインクロック発振器を搭載
- 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック

■独立ウォッチドッグタイマ内蔵
- 120kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵
- 発振停止検出、A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など
- 重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能

■暗号機能 (Trusted Secure IP Lite)
- AES (鍵長 128/256 ビット) 内蔵、ECB、CBC、GCM 他に対応
- 真性乱数発生回路内蔵
- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全な管理を提供

■最大 83 本の汎用入出力ポート
- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能、ポート出力保持機能



PLQP0100KB-B　14×14mm、0.5mm ピッチ
PLQP0080KB-B　12×12mm、0.5mm ピッチ
PLQP0064KB-C　10×10mm、0.5mm ピッチ
PLQP0048KB-B　7×7mm、0.5mm ピッチ

PWQN0064KF-A　9×9mm、0.5mm ピッチ
PWQN0048KC-A　7×7mm、0.5mm ピッチ
PWQN0032KE-A　5×5mm、0.5mm ピッチ

■多種多様な通信機能
- CAN FD (ISO11898-1:2015 準拠) (標準フレーム/拡張フレーム) (1ch)
- 多彩な機能に対応した SCIk、SCIh (最大 4ch)
  調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI/ 簡易 I²C/ 拡張シリアルモードから選択
- マンチェスタコード機能、HBS 機能をサポートした RSCI (最大 3ch)
- I²C バスインタフェース (RIICa) (1ch) Fast-mode (最大 400kbps)、SMbus 対応
- I3C バスインタフェース (RI3C) (1ch) SDR-mode 対応
- RSPId (1ch) 最大 30Mbps 転送

■最大 29 本の拡張タイマ機能
- 32 ビット (RAM 容量が 64K バイトの製品) または 16 ビット (RAM 容量が 48K バイトの製品) の GPTWa (8ch)：120MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形：単相相補 10ch 出力 / 3 相相補 3ch 出力 / 5 相相補 2ch 出力など、位相計数モード、コンパレータ連動 (カウント動作、PWM ネゲート制御)
- 16 ビット MTU3d (9ch)：120MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形：3 相相補 2ch 出力、位相計数モード
- 8 ビット TMRb (8ch)
- 16 ビット CMT (4ch)

■高分解能 PWM 波形生成回路 (HRPWM) 4ch
- 32 ビット GPTWa の PWM 出力波形の立ち上がり / 立ち下がりタイミング制御を最小 260ps の分解能で実現 (120MHz 動作時)

■ 12 ビット A/D コンバータ (S12ADH)
- RAM 容量が 64K バイトの製品：
  サンプル & ホールド回路内蔵 12 ビット × 3 ユニット
  ユニット 0 (4ch「3 S/H 回路」)、ユニット 1 (4ch「3 S/H 回路」)、ユニット 2 (14ch)
- RAM 容量が 48K バイトの製品：
  サンプル & ホールド回路内蔵 12 ビット × 2 ユニット
  ユニット 0 (7ch「3 S/H 回路」)、ユニット 2 (8ch)

■アナログコンパレータ (CMPCa)：6ch
■ 12 ビット D/A コンバータ (R12DAb)：2ch
- アナログコンパレータの基準電圧として使用可能

■チップ内部の温度を計測可能な温度センサを内蔵
■動作周囲温度
- D バージョン：–40°C ～ +85°C
- G バージョン：–40°C ～ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールの機能やチャネル数はパッケージのピン数、および RAM 容量によって異なります。詳細は、「表 1.2　パッケージ別機能比較一覧」を参照してください。

表1.1　仕様概要 (1 / 9)

分類	モジュール/機能	説明
CPU	中央演算処理装置	• 最大動作周波数：120MHz • 32ビットRX CPU (RXv3) • 最小命令実行時間：1命令1クロック • アドレス空間：4Gバイト・リニアアドレス • レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 • 113命令(RAM容量が64Kバイトの製品)、111命令(RAM容量が48Kバイトの製品) 標準搭載命令：111命令 基本命令：77命令 単精度浮動小数点演算命令：11 命令 DSP 機能命令：23 命令 レジスター括退避機能命令：2命令(RAM容量が64Kバイトの製品のみ) • アドレッシングモード：11種類 • データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 • 32ビット乗算器：32ビット×32ビット→64ビット • 除算器：32ビット÷32ビット→32ビット • バレルシフタ：32ビット
	FPU	• 単精度浮動小数点数(32ビット) • IEEE754に準拠したデータタイプ、および例外
	レジスター括退避機能	• CPU レジスタの退避・復帰を一括して高速に行う • 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	• 容量：512Kバイト/256Kバイト/128Kバイト • 120MHz、ノーウェイトアクセス • オンボードプログラミング：3種類 • Trusted Memory (TM)機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現 • デュアルバンク方式によるリード時プログラミングおよび起動領域の入れ替えが可能
	データフラッシュメモリ	• 容量：16Kバイト • プログラム/イレーズ回数：100,000回
	ユニークID	• 12バイト長のデバイス固有のID
	RAM	• 容量：64Kバイト/48Kバイト • 120MHz、ノーウェイトアクセス • SED (シングルエラー検出)
動作モード		• リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(FINEインタフェース) • レジスタ設定による動作モードの選択 シングルチップモード • エンディアン選択可能

表1.1 仕様概要 (2 / 9)

分類	モジュール/機能	説明
クロック	クロック発生回路	• メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ • 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 • メインクロック発振停止検出：あり • システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：120MHz max MTU(内部周辺バス)、GPTW(内部周辺バス)、HRPWM(内部周辺バス)、RSPI、RSPIA、RSCI、RI3C、CANFD内ECCレジスタの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max MTUとGPTWのカウンタ基準クロック、HRPWMの基準クロックはPCLKC同期：120MHz max S12ADのADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max • 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして逓倍可能
リセット		8種類のリセットを内蔵 • RES#端子リセット：RES#端子がLowで発生 • パワーオンリセット：RES#端子がHighで、VCCの上昇時発生 • 電圧監視0リセット：VCCの下降時発生 • 電圧監視1リセット：VCCの下降時発生 • 電圧監視2リセット：VCCの下降時発生 • 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 • ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 • ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		• RES#端子をHighにして電源投入すると、内部リセットを発生 VCCが電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路(LVDA)		VCC端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生 • 電圧検出回路0 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：2レベルから選択可 • 電圧検出回路1, 2 電圧検出レベル：5レベルから選択可 デジタルフィルタ機能有り(LOCOの2/4/8/16分周) 内部リセット発生可能 • リセット解除タイミング2種類選択可 内部割り込み要求可能 • 上昇検知/下降検知選択可 • マスカブルもしくはノンマスカブル選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	• モジュールストップ機能 • 3種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード
割り込み	割り込みコントローラ(ICUG)	• 周辺機能割り込み：要因数256 • 外部割り込み：要因数16 (IRQ0～IRQ15端子) • ソフトウェア割り込み：要因数2 • ノンマスカブル割り込み：要因数7 • 16レベルの割り込み優先順位を設定可能 • 割り込み要因選択方式： 割り込みベクタは256ベクタで構成(128要因は固定ベクタ。残り133要因を128ベクタに任意に割り付け可能)
DMA	DMAコントローラ(DMACAa)	• 8チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファコントローラ(DTCb)	• 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：外部割り込み、周辺機能割り込み

表1.1 仕様概要 (3 / 9)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	• 100ピンLFQFP 入出力：82 入力：1 プルアップ抵抗：82 オープンドレイン出力：82 5Vトレラント：2 大電流出力：15 • 80ピンLFQFP 入出力：62 入力：1 プルアップ抵抗：62 オープンドレイン出力：62 5Vトレラント：2 大電流出力：14 • 64ピンLFQFP、64ピンHWQFN 入出力：49 入力：1 プルアップ抵抗：49 オープンドレイン出力：49 5Vトレラント：2 大電流出力：14 • 48ピンLFQFP、48ピンHWQFN 入出力：37 入力：1 プルアップ抵抗：37 オープンドレイン出力：37 5Vトレラント：2 大電流出力：13 • 32ピンHWQFN 入出力：21 入力：1 プルアップ抵抗：21 オープンドレイン出力：21 5Vトレラント：2 大電流出力：7
イベントリンクコントローラ(ELC)		• 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 • 183種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 • 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) • 入力端子の変化で周辺機能が連動可能(ポートB、E)
タイマ	8ビットタイマ(TMRb)	• (8ビット×2チャネル)×4ユニット • 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5, SCI6, SCI12のボーレートクロック生成可能 • ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ(CMT)	• (16ビット×2チャネル)×2ユニット • 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 • ELCによるイベントリンク機能をサポート
	コンペアマッチタイマW(CMTW)	• (32ビット×1チャネル)×2ユニット • コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 • 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能
	ウォッチドッグタイマ(WDTA)	• 14ビット×1チャネル • 6種類のカウントクロック(PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能

表1.1 仕様概要 (4 / 9)

分類	モジュール/機能	説明
タイマ	独立ウォッチドッグタイマ(IWDTa)	• 14ビット×1チャネル • カウントクロック：IWDT専用オンチップオシレータ • IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 • ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3 (MTU3d)	• 9チャネル(16ビット×9チャネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウントクロック(PCLKC/1, PCLKC/2, PCLKC/4, PCLKC/8, PCLKC/16, PCLKC/32, PCLKC/64, PCLKC/256, PCLKC/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャネル1, 3, 4は11種類、チャネル2は12種類、チャネル5は10種類) • 43本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ(TCNT)への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 45種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード：16ビットモード(チャネル1、2)/32ビットモード(チャネル1、2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能。また外部端子で変換開始タイミングがモニタ可能。 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウントクロック端子におけるデジタルフィルタ機能 • ELCによるイベントリンク機能をサポート • 内部周辺バスクロック：PCLKA • カウンタ基準クロック：PCLKC • 周波数比：PCLKA：PCLKC = 1：N (N = 1または2)
	ポートアウトプットイネーブル3 (POE3D)	• MTU/GPTW波形出力端子のハイインピーダンス制御/汎用入出力ポートへの切り替え制御 • POE0、POE4、POE8、POE9、POE10、POE11、POE12の7つの入力端子による起動 • 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 • コンパレータ検出/発振停止検出/ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能

表1.1 仕様概要 (5 / 9)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTWa)	• 32ビット×8チャネル(RAM容量が64Kバイトの製品) • 16ビット×8チャネル(RAM容量が48Kバイトの製品) • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • PWM動作の際にデッドタイム生成が可能 • 任意チャネルのカウンタの同期スタート/ストップ/クリアが可能 • 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 • A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能 • コンペアマッチA～Fイベント、オーバフローイベント/アンダフローイベントをELCに出力可能 • インプットキャプチャのノイズフィルタを使用可能 • 周期カウント機能 • 内部周辺バスクロック：PCLKA • カウンタ基準クロック：PCLKC • 周波数比：PCLKA：PCLKC = 1：N (N = 1または2)
	高分解能PWM (HRPWM)	• GPTW0～GPTW3が生成するPWM波形を最小約260psの分解能で整形可能
	GPTW用ポートアウトプットイネーブル (POEG)	• GPTW波形出力の出力禁止制御 • GTETRG 端子の入力レベル検出による起動 • GPTWからの出力禁止要求による起動 • コンパレータ割り込み要求検出による起動 • 発振停止検出/ソフトウェアによる起動
通信機能	シリアルコミュニケーションインタフェース (SCIk, SCIh)	• 4チャネル SCIk：SCI1, SCI5, SCI6 SCIh：SCI12 • SCIk, SCIh シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易I^2Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート データー致検出をサポート(SCI12以外) ELCによるイベントリンク機能をサポート(SCI5のみ) RXD入力信号選択機能(SCI5のみ) • SCIkのみ データー致検出をサポート RXDサンプリング調整機能 • SCIhのみ スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート

表1.1 仕様概要 (6 / 9)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (RSCI)	• 3チャネル(RSCI8, RSCI9, RSCI11) • シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース • マルチプロセッサ機能 • 内蔵ボーレートジェネレータで任意のビットレートを選択可能 • LSBファースト/MSBファーストを選択可能 • スタートビット検出：レベルおよびエッジを選択可能 • 簡易I²Cサポート • 簡易SPIサポート • 9ビット転送モードをサポート • ビットレートモジュレーション機能をサポート • 倍速モードをサポート • ELCによるイベントリンク機能をサポート(RSCI11のみ) • RXD入力信号選択機能 • スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート • LINフォーマットをサポート(RSCI9, RSCI11) • 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能(RSCI11のみ) • マンチェスタコード機能をサポート • HBS機能をサポート • データー致検出をサポート • RXDサンプリング調整機能
	I²Cバスインタフェース(RIICa)	• 1チャネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：400kbps • ELCによるイベントリンク機能をサポート
	I3Cバスインタフェース (RI3C)	• 1チャネル SDRモード対応 Legacy I²Cメッセージ対応 マルチマスタ対応 • ELCによるイベントリンク機能をサポート
	CAN FDモジュール (CANFD)	• 1チャネル • ISO 11898-1:2015仕様に準拠(標準フレーム/拡張フレーム)
	シリアルペリフェラルインタフェース (RSPId)	• 1チャネル • RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 • データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 • バッファ構成 送信/受信バッファ構成はダブルバッファ • マスタ受信時、RSPCKは受信バッファフルで自動停止可能 • ELCによるイベントリンク機能をサポート

表1.1 仕様概要 (7 / 9)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラルインタフェース (RSPIA)	• 1チャネル • RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 • データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 • バッファ構成 送信部、受信部ともに32ビット×4段のFIFOバッファ構造による連続送信、受信が可能 • マスタ受信時、RSPCKは受信バッファフルで自動停止可能 • ELCによるイベントリンク機能をサポート • 通信プロトコル：TI SSP (Synchronous Serial Protocol)をサポート
12ビットA/Dコンバータ (S12ADH) (RAM容量が64Kバイトの製品)		• 12ビット(4チャネル×2ユニット、14チャネル×1ユニット) • 分解能：12ビット • 最小変換時間：1チャネル当たり0.9μs (ADCLK = 60MHz動作時) • 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) • サンプル&ホールド機能 チャネル専用サンプル&ホールド回路を搭載(ユニット0×3チャネル、ユニット1×3チャネル) • サンプリング可変機能 チャネルごとにサンプリング時間が設定可能 • 任意チャネル順変換機能(同一チャネルの連続変換は不可) • ダブルトリガモード(A/D変換データ二重化機能) • A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, GPTW, TMR, ELC)、外部トリガ • グループスキャン優先制御がグループA、B、C間で対応可能 • デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 • 自己診断機能 • アナログ入力断線検出機能 • ELCによるイベントリンク機能をサポート • プログラマブルゲインアンプによる入力信号増幅機能(ユニット0×3チャネル、ユニット1×3チャネル)
12ビットA/Dコンバータ (S12ADH) (RAM容量が48Kバイトの製品)		• 12ビット(7チャネル×1ユニット、8チャネル×1ユニット) • 分解能：12ビット • 最小変換時間：1チャネル当たり0.9μs (ADCLK = 60MHz動作時) • 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) • サンプル&ホールド機能 チャネル専用サンプル&ホールド回路を搭載(ユニット0×3チャネル) • サンプリング可変機能 チャネルごとにサンプリング時間が設定可能 • 任意チャネル順変換機能(同一チャネルの連続変換は不可) • ダブルトリガモード(A/D変換データ二重化機能) • A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, GPTW, TMR, ELC)、外部トリガ • グループスキャン優先制御がグループA、B、C間で対応可能 • デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 • 自己診断機能 • アナログ入力断線検出機能 • ELCによるイベントリンク機能をサポート

表1.1 仕様概要 (8 / 9)

分類	モジュール/機能	説明
12ビットD/Aコンバータ (R12DAb)		• 2チャネル • 分解能：12ビット • 出力電圧：0V～AVCC2 • コンパレータのリファレンス電圧として供給可能 • ELCによるイベントリンク機能をサポート
コンパレータC (CMPCa)		• 6チャネル • リファレンス電圧とアナログ入力電圧の比較機能 • リファレンス電圧：4種類から選択可能 • アナログ入力電圧：4種類から選択可能 • デジタルフィルタ機能あり
温度センサ		• 1チャネル • 相対精度：±1.0°C • 温度を電圧に変換し12ビットA/Dコンバータ (ユニット2)でデジタル化
三角関数演算器(TFUv2)		• sin演算、cos演算、atan演算、hypot_k演算 sinとcosの同時演算 atan演算とhypot_k演算の同時演算
セーフティ	メモリプロテクションユニット(MPU)	• プロテクションエリア：0000 0000h～FFFF FFFFh範囲内で最大8エリアを設定可能 • 最小保護単位：16バイト • 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 • 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM)機能	• コードフラッシュメモリのTM対象領域に対するプログラムのリード防止機能 • TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	• プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRCA)	• 8/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$, $X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^9+X^8+X^6+1$ • LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	• メインクロック発振停止検出：あり
	クロック周波数精度測定回路(CAC)	• メインクロック発振器、低速および高速オンチップオシレータ、IWDT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路(DOCA)	• 32ビットのデータを比較/加算/減算/大小比較/ウィンドウ比較する機能
暗号機能	Trusted Secure IP (TSIP-Lite)	• アクセスマネジメント回路搭載 • 暗号エンジン AES鍵長：128ビット/256ビット 暗号利用モード：GCM, ECB, CBC, CMAC, XTS, CTR, GCTR • ハッシュ機能 • 真性乱数生成回路 • 鍵の不正コピー防止
動作周波数		120MHz max
電源電圧		VCC = 2.7～5.5V AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V（ただし、VCC≦AVCC0 = AVCC1 = AVCC2) VSS = AVSS0 = AVSS1 = AVSS2 = 0V
動作周囲温度		Dバージョン：–40～+85°C Gバージョン：–40～+105°C

表1.1 仕様概要 (9 / 9)

分類	モジュール/機能	説明
パッケージ		100ピンLFQFP 0.5mmピッチ 80ピンLFQFP 0.5mmピッチ 64ピンLFQFP 0.5mmピッチ 64ピンHWQFN 0.5mmピッチ 48ピンLFQFP 0.5mmピッチ 48ピンHWQFN 0.5mmピッチ 32ピンHWQFN 0.5mmピッチ
デバッグインタフェース		• JTAGおよび1線式FINEインタフェース

表1.2 パッケージ別機能比較一覧 (1 / 2)

モジュール/機能		RX26Tグループ						
		RAM : 64Kバイト製品				RAM : 48Kバイト製品		
		100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
CPU	レジスター括退避機能	あり				なし		
コードフラッシュメモリ	コードフラッシュメモリ容量	128K/256K/512K バイト				128K/256K バイト		
	デュアルバンク機能	あり (注1)				なし		
	BGO機能	あり						
データフラッシュメモリ		16K バイト						
RAM		64K バイト				48K バイト		
外部割り込み	NMI端子	あり						
	IRQ端子	16本	13本	12本	10本	12本	10本	7本
DMA	DMAコントローラ	あり						
	データトランスファコントローラ	あり						
タイマ	マルチファンクションタイマパルスユニット3	9チャネル (ch 0 ～ 7, ch9)						
	汎用PWMタイマ	32 ビット × 8 チャネル				16 ビット × 8 チャネル		
	高分解能PWM	4 チャネル				なし		
	ポートアウトプットイネーブル3	あり						
	GPTW用ポートアウトプットイネーブル	あり						
	8ビットタイマ	2 チャネル × 4 ユニット						
	コンペアマッチタイマ	2 チャネル × 2 ユニット						
	コンペアマッチタイマW	1 チャネル × 2 ユニット						
	ウォッチドックタイマ	あり						
	独立ウォッチドックタイマ	あり						
通信機能	シリアルコミュニケーションインタフェース (SCIk)	ch1, 5, 6						ch1, 6
	シリアルコミュニケーションインタフェース (SCIh)	ch12						
	シリアルコミュニケーションインタフェース (RSCI)	ch8, 9, 11				なし		
	I2Cバスインタフェース (RIIC)	1 チャネル						
	I3Cバスインタフェース (RI3C)	1 チャネル				なし		
	シリアルペリフェラルインタフェース (RSPI)	ch0						なし
	シリアルペリフェラルインタフェース (RSPIA)	ch0				なし		
	CAN FDモジュール (CANFD)	1 チャネル						なし

表1.2 パッケージ別機能比較一覧 (2 / 2)

モジュール/機能		RX26Tグループ						
		RAM : 64Kバイト製品				RAM : 48Kバイト製品		
		100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
12ビットA/Dコンバータ		ユニット0 : 4ch ユニット1 : 4ch ユニット2 : 14ch	ユニット0 : 4ch ユニット1 : 4ch ユニット2 : 11ch	ユニット0 : 4ch ユニット1 : 4ch ユニット2 : 7ch	ユニット0 : 4ch ユニット1 : 1ch ユニット2 : 5ch	ユニット0 : 7ch ユニット2 : 8ch	ユニット0 : 5ch ユニット2 : 5ch	ユニット0 : 3ch ユニット2 : 3ch
	3チャネル同時サンプリング機能	あり (ユニット0、1)			あり (ユニット0)			
	プログラマブルゲインアンプ	6チャネル			4チャネル	なし		
コンパレータC		6チャネル			5チャネル	4チャネル		
D/Aコンバータ		2チャネル						
温度センサ		1チャネル						
三角関数演算器(TFU)		あり						
CRC演算器(CRC)		あり						
データ演算回路(DOC)		あり						
クロック周波数精度測定回路(CAC)		あり						
Trusted Secure IP (TSIP-Lite)		あり / なし				なし		
イベントリンクコントローラ(ELC)		あり						
パッケージ		100 ピン LFQFP	80 ピン LFQFP	64 ピン LFQFP 64 ピン HWQFN	48 ピン LFQFP 48 ピン HWQFN	64 ピン LFQFP	48 ピン LFQFP	32 ピン HWQFN

注1. コードフラッシュメモリ容量が512Kバイトの製品のみ対応

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表 (1 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	CANFD	TSIP-Lite	動作周囲温度
RX26T (Dバージョン)	R5F526T9ADFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9BDFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBADFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TBBDFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBCDFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TBDDFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526TFADFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TFBDFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TFCDFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TFDDFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526T9ADFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9BDFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBADFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TBBDFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBCDFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TBDDFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526TFADFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TFBDFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TFCDFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TFDDFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526T8ADFM	PLQP0064KB-C	128Kバイト	48Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9ADFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9BDFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TAADFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TACDFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり	なし	–40～+85°C
	R5F526TBADFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TBBDFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBCDFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TBDDFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526TFADFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TFBDFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TFCDFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TFDDFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526T9ADND	PWQN0064KF-A	128Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9BDND	PWQN0064KF-A	128Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBADND	PWQN0064KF-A	256Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TBBDND	PWQN0064KF-A	256Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBCDND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TBDDND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526TFADND	PWQN0064KF-A	512Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TFBDND	PWQN0064KF-A	512Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TFCDND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TFDDND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	あり	–40～+85°C

表1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	CANFD	TSIP-Lite	動作周囲温度
RX26T (Dバージョン)	R5F526T8ADFL	PLQP0048KB-B	128Kバイト	48Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9ADFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9BDFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TAADFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TACDFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり	なし	–40～+85°C
	R5F526TBADFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TBBDFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBCDFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TBDDFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526TFADFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TFBDFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TFCDFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TFDDFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526T9ADNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526T9BDNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBADNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TBBDNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TBCDNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TBDDNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526TFADNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり (注1)	なし	–40～+85°C
	R5F526TFBDNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり (注1)	あり	–40～+85°C
	R5F526TFCDNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり	なし	–40～+85°C
	R5F526TFDDNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり	あり	–40～+85°C
	R5F526TAEDNH	PWQN0032KE-A	256Kバイト	48Kバイト	なし	なし	–40～+85°C
	R5F526T8EDNH	PWQN0032KE-A	128Kバイト	48Kバイト	なし	なし	–40～+85°C
RX26T (Gバージョン)	R5F526T9AGFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9BGFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBAGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TBBGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBCGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TBDGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526TFAGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TFBGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TFCGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TFDGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526T9AGFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9BGFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBAGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TBBGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBCGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TBDGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526TFAGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TFBGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TFCGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TFDGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526T8AGFM	PLQP0064KB-C	128Kバイト	48Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9AGFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9BGFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TAAGFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり (注1)	なし	–40～+105°C

表1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	CANFD	TSIP-Lite	動作周囲温度
RX26T (Gバージョン)	R5F526TACGFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり	なし	–40～+105°C
	R5F526TBAGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TBBGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBCGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TBDGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526TFAGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TFBGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TFCGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TFDGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526T9AGND	PWQN0064KF-A	128Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9BGND	PWQN0064KF-A	128Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBAGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TBBGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBCGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TBDGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526TFAGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TFBGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TFCGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TFDGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526T8AGFL	PLQP0048KB-B	128Kバイト	48Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9AGFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9BGFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TAAGFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TACGFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり	なし	–40～+105°C
	R5F526TBAGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TBBGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBCGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TBDGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526TFAGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TFBGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TFCGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TFDGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526T9AGNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526T9BGNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBAGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TBBGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TBCGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TBDGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526TFAGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり (注1)	なし	–40～+105°C
	R5F526TFBGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり (注1)	あり	–40～+105°C
	R5F526TFCGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり	なし	–40～+105°C
	R5F526TFDGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり	あり	–40～+105°C
	R5F526TAEGNH	PWQN0032KE-A	256Kバイト	48Kバイト	なし	なし	–40～+105°C
	R5F526T8EGNH	PWQN0032KE-A	128Kバイト	48Kバイト	なし	なし	–40～+105°C

注1. CAN 2.0プロトコルのみ対応

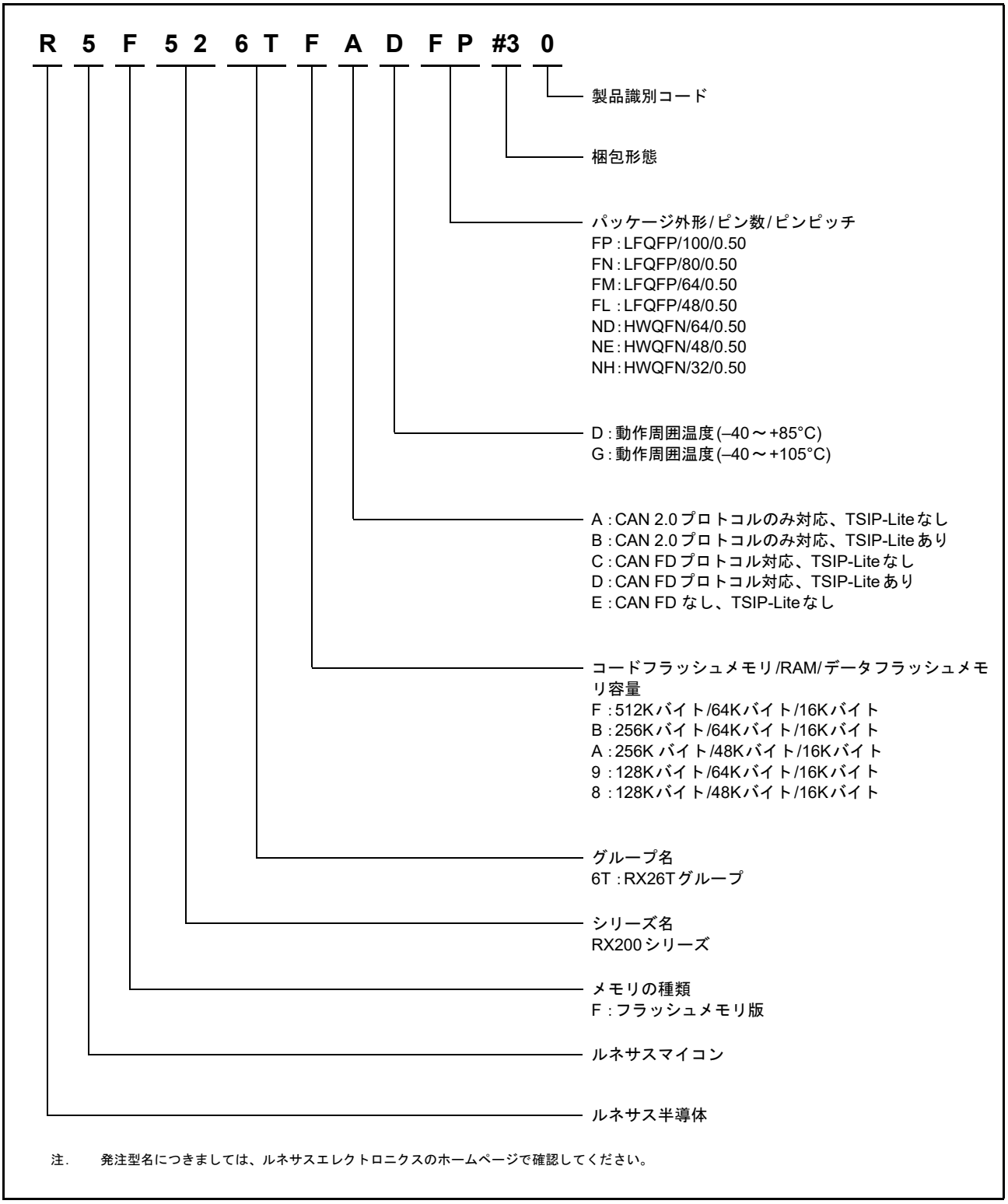
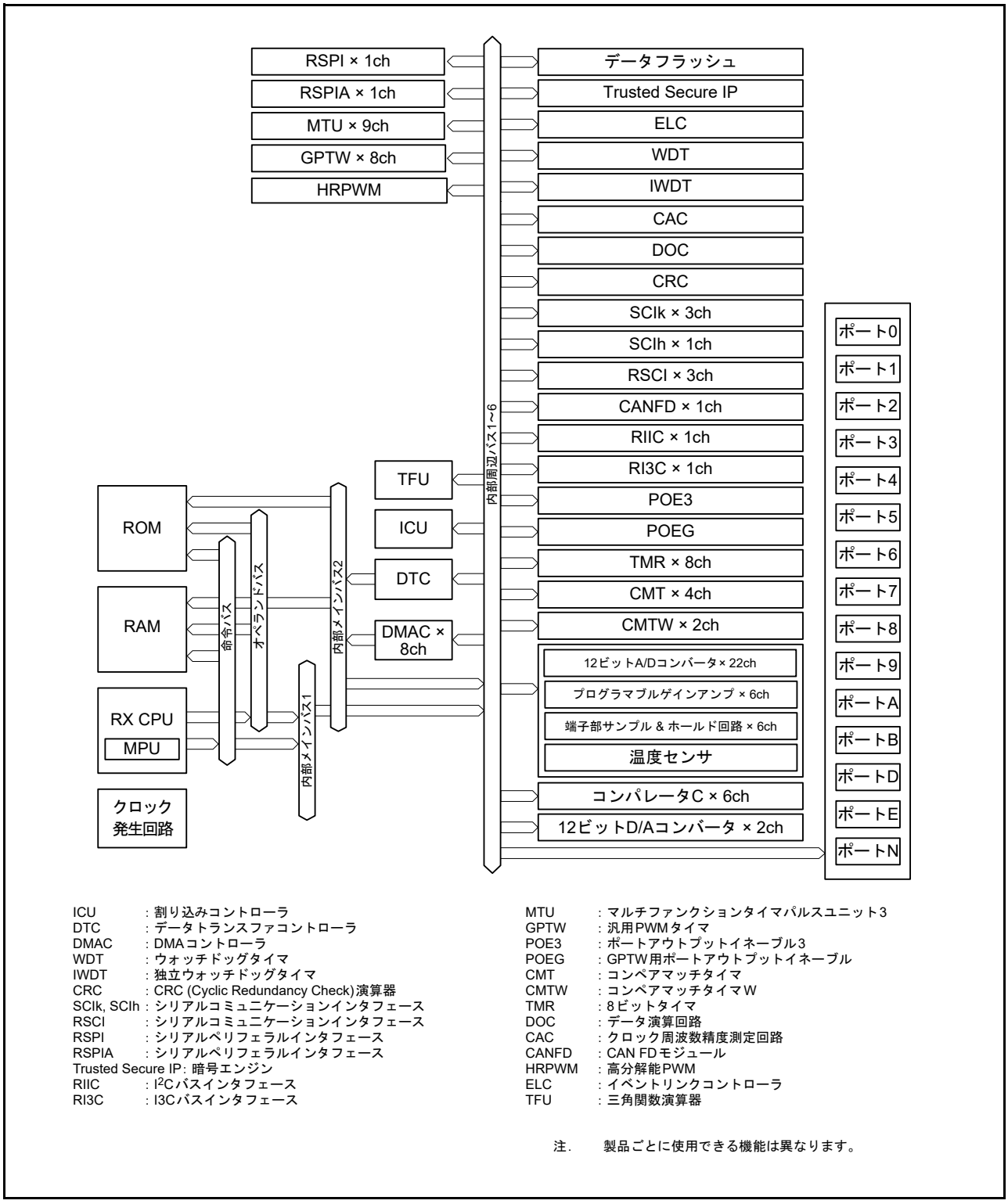


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2、図 1.3 にブロック図を示します。



ICU : 割り込みコントローラ
DTC : データトランスファコントローラ
DMAC : DMAコントローラ
WDT : ウォッチドッグタイマ
IWDT : 独立ウォッチドッグタイマ
CRC : CRC (Cyclic Redundancy Check) 演算器
SCIk, SCIh : シリアルコミュニケーションインタフェース
RSCI : シリアルコミュニケーションインタフェース
RSPI : シリアルペリフェラルインタフェース
RSPIA : シリアルペリフェラルインタフェース
Trusted Secure IP : 暗号エンジン
RIIC : I2Cバスインタフェース
RI3C : I3Cバスインタフェース

MTU : マルチファンクションタイマパルスユニット3
GPTW : 汎用PWMタイマ
POE3 : ポートアウトプットイネーブル3
POEG : GPTW用ポートアウトプットイネーブル
CMT : コンペアマッチタイマ
CMTW : コンペアマッチタイマW
TMR : 8ビットタイマ
DOC : データ演算回路
CAC : クロック周波数精度測定回路
CANFD : CAN FDモジュール
HRPWM : 高分解能PWM
ELC : イベントリンクコントローラ
TFU : 三角関数演算器

注. 製品ごとに使用できる機能は異なります。

図 1.2 ブロック図 (RAM 容量が 64K バイトの製品)

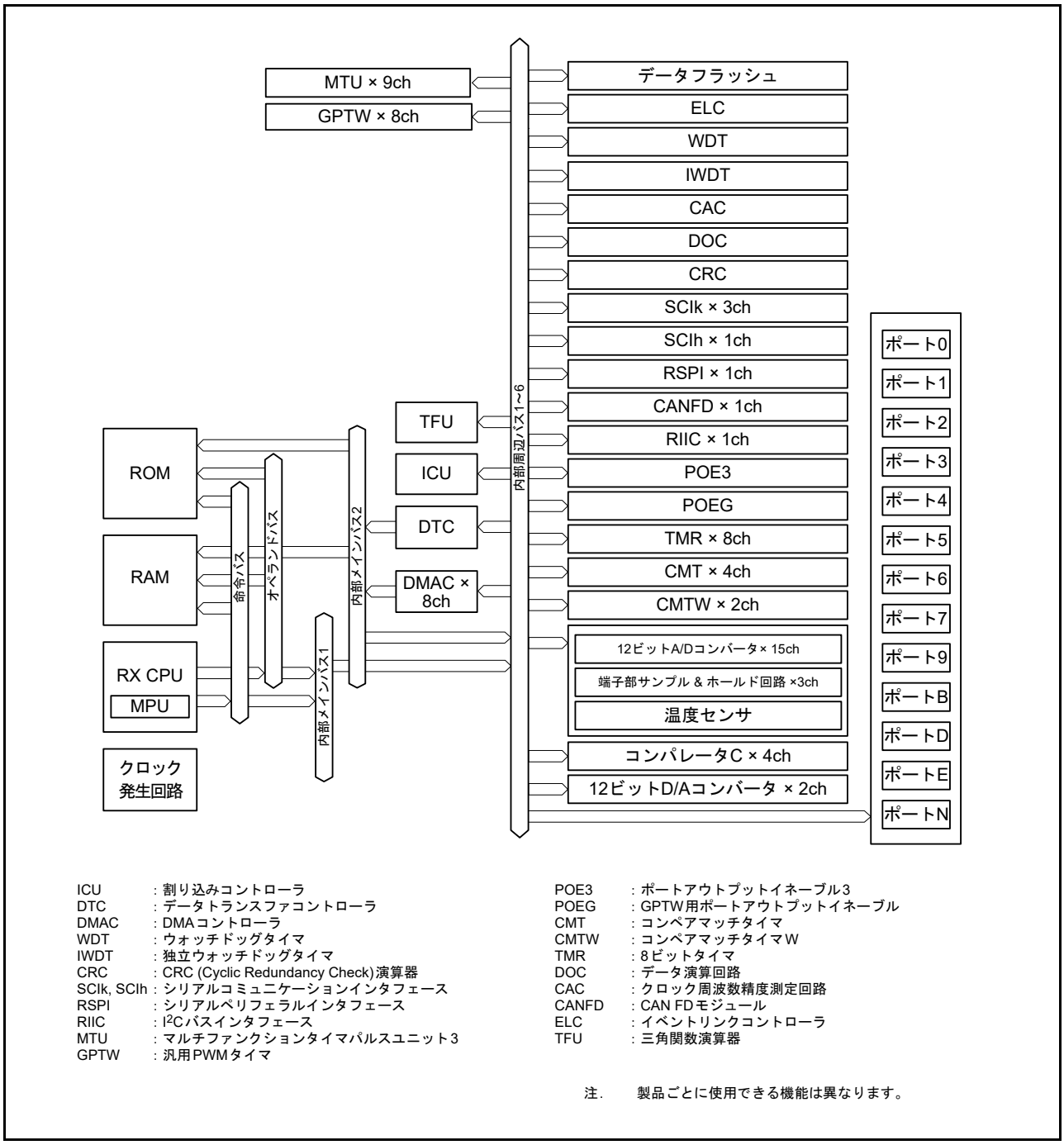


図 1.3 ブロック図 (RAM 容量が 48K バイトの製品)

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表1.4 端子機能一覧 (1 / 5)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	内部電源安定用の平滑コンデンサ(0.47μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。 オンチップエミュレータを使用しない場合は、Lowとしてください
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。 EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ15	入力	割り込み要求端子
マルチファンクションタイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0～TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1、TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2、TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3～TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4～TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子

表1.4 端子機能一覧 (2 / 5)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット3	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6A#, MTIOC6B#, MTIOC6C#, MTIOC6D#	入出力	TGRA6～TGRD6のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7～TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A#, MTIOC7B#, MTIOC7C#, MTIOC7D#	入出力	TGRA7～TGRD7のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D	入出力	TGRA9～TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9A#, MTIOC9B#, MTIOC9C#, MTIOC9D#	入出力	TGRA9～TGRD9のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/D変換開始要求フレーム同期信号出力端子
汎用PWMタイマ	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A～GTIOC7A, GTIOC0B～GTIOC7B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#～GTIOC7A#, GTIOC0B#～GTIOC7B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTCPPO0, GTCPPO4	出力	PWM周期同期出力
	GTIU, GTIV, GTIW	入力	ホール素子入力端子
	GTOUUP	出力	BLDCモータ制御3相PWM出力(正相U相)
	GTOULO	出力	BLDCモータ制御3相PWM出力(逆相U相)
	GTOVUP	出力	BLDCモータ制御3相PWM出力(正相V相)
	GTOVLO	出力	BLDCモータ制御3相PWM出力(逆相V相)
	GTOWUP	出力	BLDCモータ制御3相PWM出力(正相W相)
	GTOWLO	出力	BLDCモータ制御3相PWM出力(逆相W相)
	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
8ビットタイマ	TMO0～TMO7	出力	コンペアマッチ出力端子
	TMCI0～TMCI7	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI7	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0～TIC3	入力	CMTWの入力端子
	TOC0～TOC3	出力	CMTWの出力端子
ポートアウトプットイネーブル3	POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#	入力	MTUおよびGPTW用の端子をハイインピーダンス状態にする要求信号を入力
シリアルコミュニケーションインタフェース(SCIk)	・調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御用出力端子
	・簡易I²Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I²Cクロック入出力端子
	SSDA1, SSDA5, SSDA6	入出力	I²Cデータ入出力端子

表1.4 端子機能一覧 (3 / 5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース(SCIk)	・簡易SPIモード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース(SCIh)	・調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	・簡易I^2Cモード		
	SSCL12	入出力	I^2Cクロック入出力端子
	SSDA12	入出力	I^2Cデータ入出力端子
	・簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	・拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子
シリアル コミュニケーション インタフェース(RSCI)	・調歩同期式モード/クロック同期式モード		
	SCK008, SCK009, SCK011	入出力	クロック入出力端子
	RXD008, RXD009, RXD011	入力	受信データ入力端子
	TXD008, TXD009, TXD011	出力	送信データ出力端子
	CTS008#, CTS009#, CTS011#	入力	送受信開始制御用入力端子
	RTS008#, RTS009#, RTS011#	出力	送受信開始制御用出力端子
	DE008, DE009, DE011	出力	DriveEnable出力端子
	・簡易I^2Cモード		
	SSCL008, SSCL009, SSCL011	入出力	I^2Cクロック入出力端子
	SSDA008, SSDA009, SSDA011	入出力	I^2Cデータ入出力端子
	・簡易SPIモード		
	SCK008, SCK009, SCK011	入出力	クロック入出力端子
	SMISO008, SMISO009, SMISO011	入出力	スレーブ送出データ入出力端子
	SMOSI008, SMOSI009, SMOSI011	入出力	マスタ送出データ入出力端子
	SS008#, SS009#, SS011#	入力	チップセレクト入力端子
	・HBSサポートモード		
	RXD008, RXD009, RXD011	入力	受信データ入力端子
	TXDA008, TXDA009, TXDA011	出力	送信データ出力端子
	TXDB008, TXDB009, TXDB011		

表1.4 端子機能一覧 (4 / 5)

分類	端子名	入出力	機能
I²Cバスインタフェース	SCL0	入出力	I²Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I²Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
I3Cバスインタフェース	SCL00	入出力	I3Cバスインタフェースのクロック入出力端子。
	SDA00	入出力	I3Cバスインタフェースのデータ入出力端子。
CAN FDモジュール	CRX0	入力	入力端子
	CTX0	出力	出力端子
シリアルペリフェラルインタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
シリアルペリフェラルインタフェース(RSPIA)	RSPCK0	入出力	RSPIAのクロック入出力端子
	MOSI0	入出力	RSPIAのマスタ送出データ端子
	MISO0	入出力	RSPIAのスレーブ送出データ端子
	SSL00	入出力	RSPIAのスレーブセレクト入出力端子
	SSL01～SSL03	出力	RSPIAのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN006, AN100～AN103, AN200～AN211, AN216, AN217	入力	A/Dコンバータのアナログ入力端子
	ADST0, ADST1, ADST2	出力	AD変換中を示すステータス出力端子
	ADTRG0#, ADTRG1#, ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC	COMP0～COMP5	出力	コンパレータ検出結果出力端子
	CVREFC0, CVREFC1	入力	コンパレータC用のリファレンス電圧端子
	CMPCnm	入力	CMPCn用アナログ入力端子(n = 0～5, m = 0～3)
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ0のアナログ電源端子。12ビットA/Dコンバータ0を使用しない場合は、AVCC1/AVCC2のいずれかに接続してください
	AVSS0	入力	12ビットA/Dコンバータ0のアナロググランド端子。12ビットA/Dコンバータ0を使用しない場合は、AVSS1/AVSS2のいずれかに接続してください
	AVCC1	入力	12ビットA/Dコンバータ1のアナログ電源端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVCC0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVCC2に接続してください
	AVSS1	入力	12ビットA/Dコンバータ1のアナロググランド端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVSS0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVSS2に接続してください

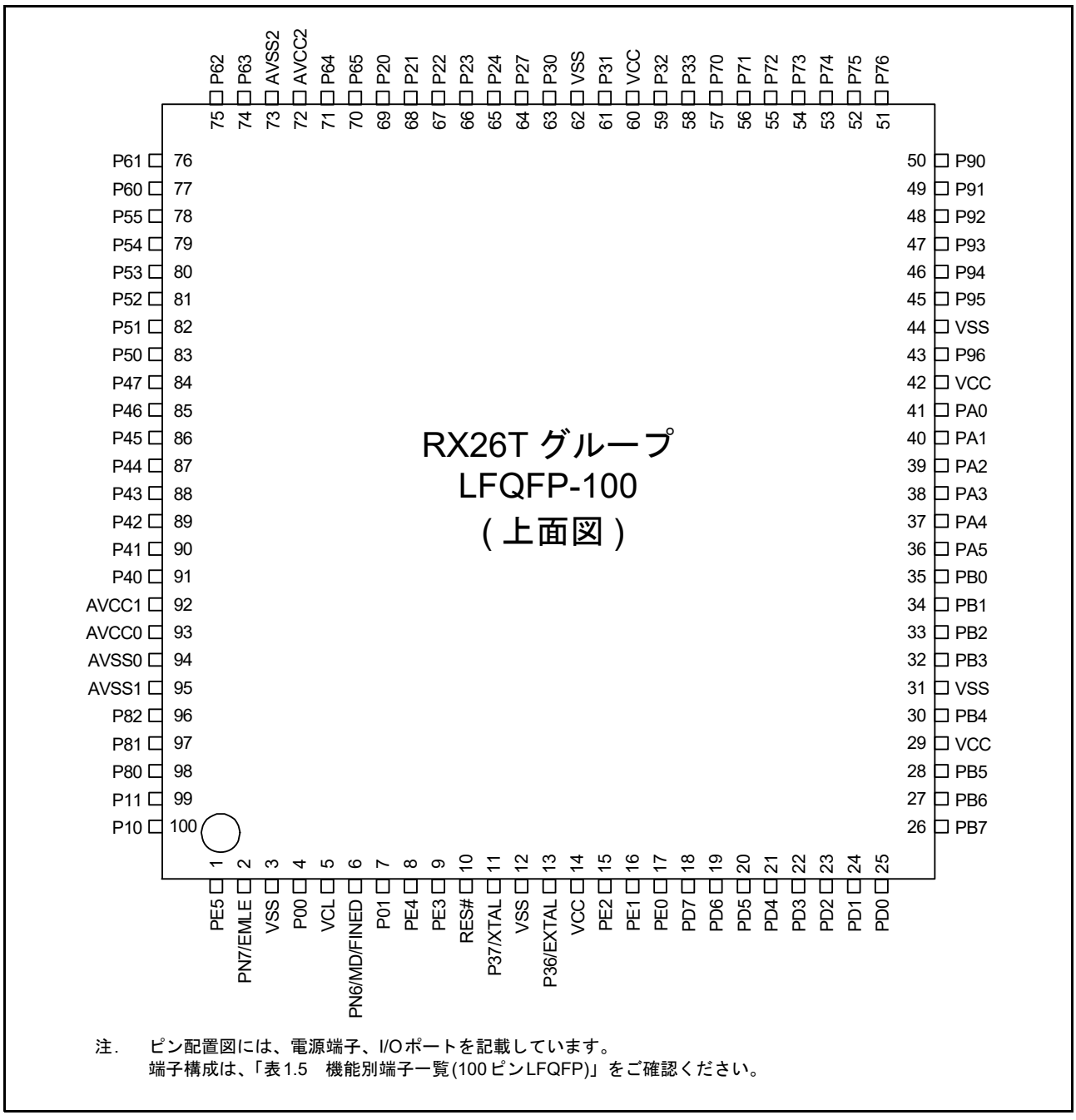
表1.4 端子機能一覧 (5 / 5)

分類	端子名	入出力	機能
アナログ電源	AVCC2	入力	12ビットA/Dコンバータ2のアナログ電源端子、D/Aコンバータの基準電源端子、コンパレータCのアナログ電源端子、温度センサのアナログ電源端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVCC0/AVCC1のいずれかに接続してください
	AVSS2	入力	12ビットA/Dコンバータ2のアナロググランド端子、D/Aコンバータの基準グランド端子、コンパレータCのアナロググランド端子、温度センサのアナロググランド端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVSS0/AVSS1のいずれかに接続してください
I/Oポート	P00, P01	入出力	汎用入出力端子
	P10, P11	入出力	汎用入出力端子
	P20～P24, P27	入出力	汎用入出力端子
	P30～P33, P36, P37	入出力	汎用入出力端子
	P40～P47	入出力	汎用入出力端子
	P50～P55	入出力	汎用入出力端子
	P60～P65	入出力	汎用入出力端子
	P70～P76	入出力	汎用入出力端子
	P80～P82	入出力	汎用入出力端子
	P90～P96	入出力	汎用入出力端子
	PA0～PA5	入出力	汎用入出力端子
	PB0～PB7	入出力	汎用入出力端子
	PD0～PD7	入出力	汎用入出力端子
	PE0～PE5	入出力	汎用入出力端子(PE2は入力端子)
	PN6 (注1), PN7 (注2)	入出力	汎用入出力端子

注. A/Dコンバータ、D/Aコンバータ、コンパレータC、温度センサをすべて使用しない場合、AVCC0、AVCC1、AVCC2端子はVCCに、AVSS0、AVSS1、AVSS2端子はVSSにそれぞれ接続してください。
注1. リセット解除後MD端子になり、プルアップ抵抗が有効になります。
注2. リセット解除後EMLE端子になり、プルダウン抵抗が有効になります。

1.5 ピン配置図

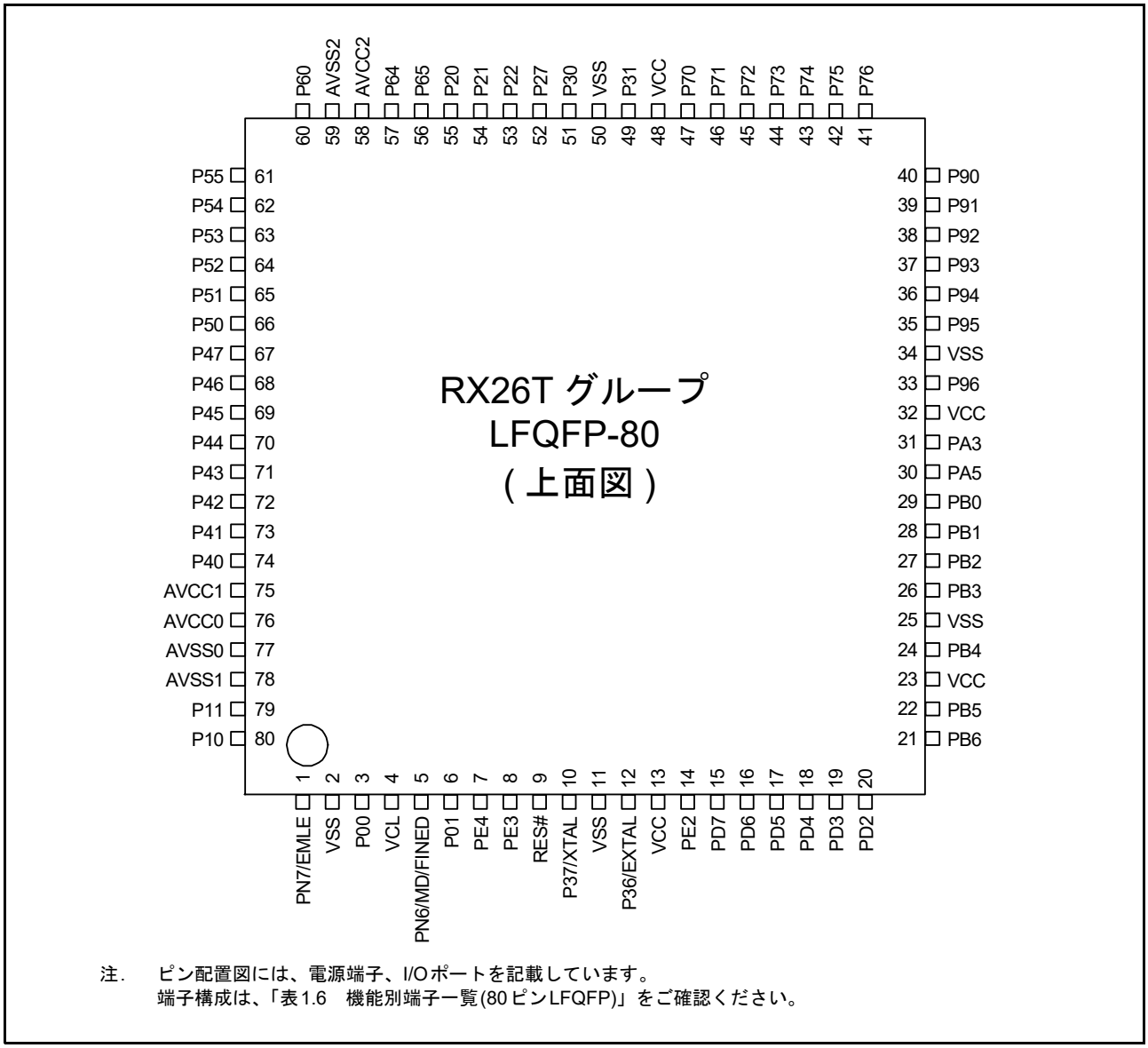
1.5.1 100 ピン LFQFP



注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.5 機能別端子一覧(100ピンLFQFP)」をご確認ください。

図 1.4 100 ピン (LFQFP) ピン配置図

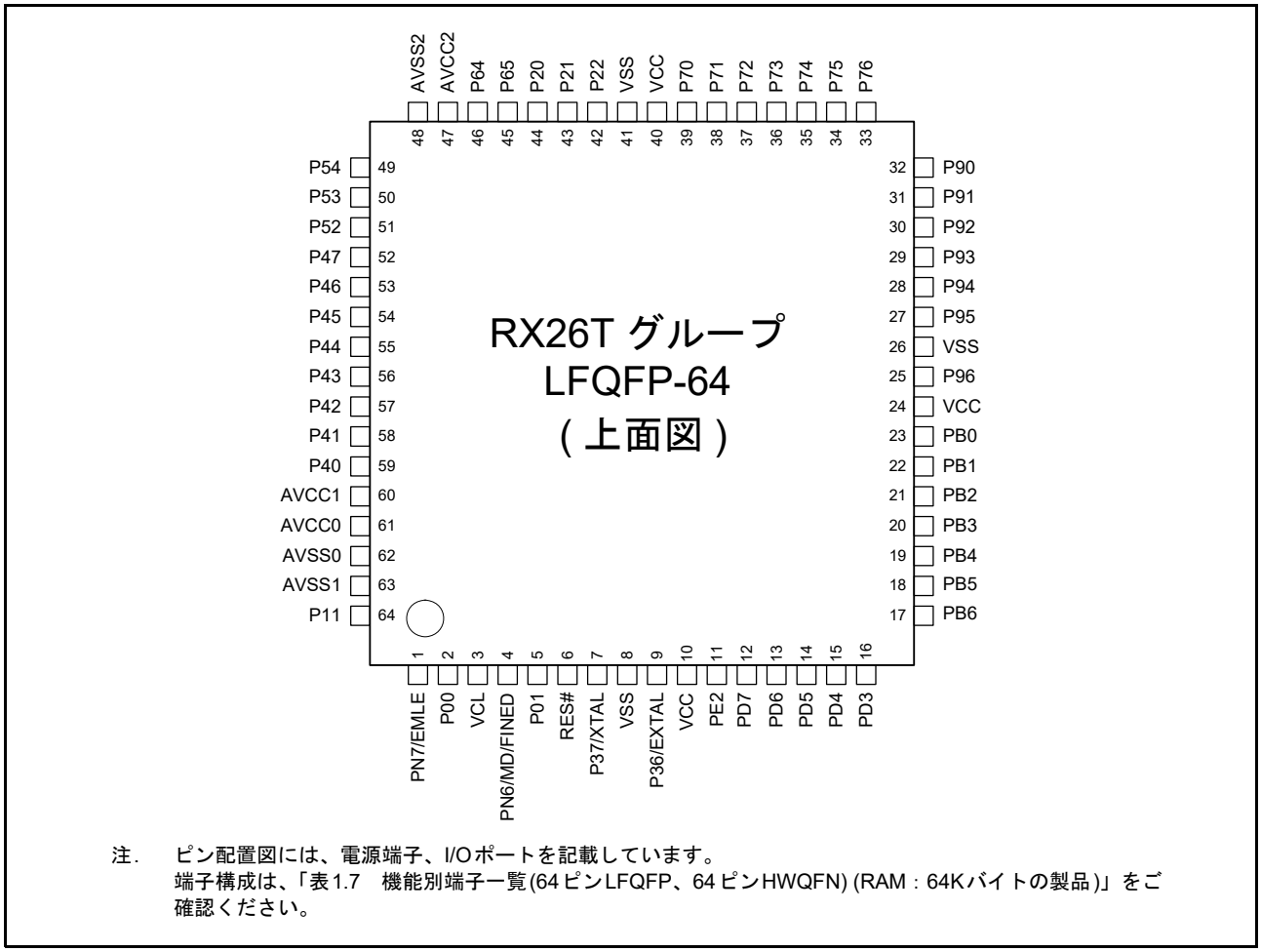
1.5.2 80 ピン LFQFP



注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.6 機能別端子一覧(80ピンLFQFP)」をご確認ください。

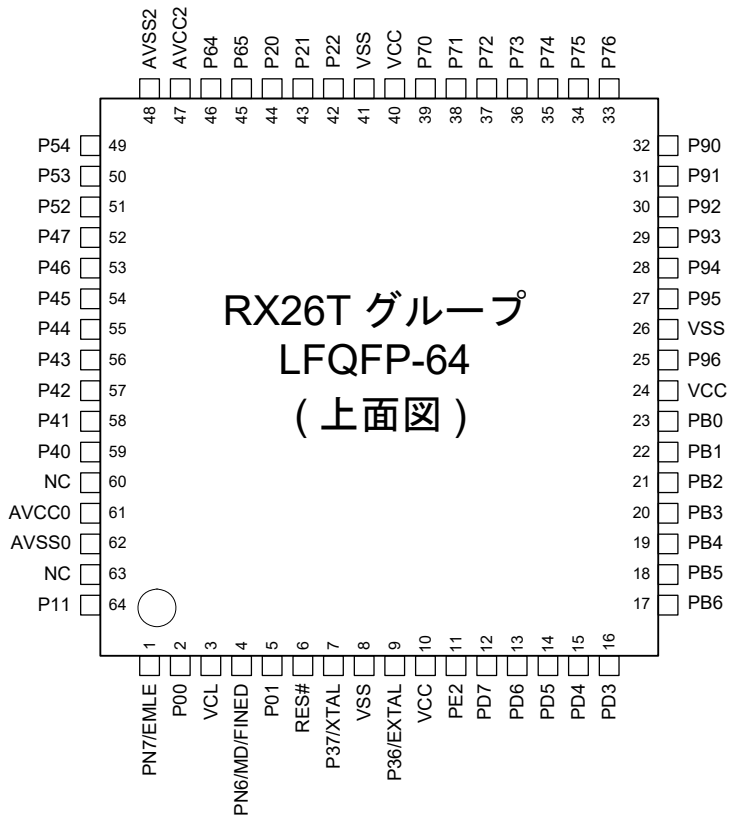
図 1.5 80 ピン (LFQFP) ピン配置図

1.5.3 64 ピン LFQFP、64 ピン HWQFN



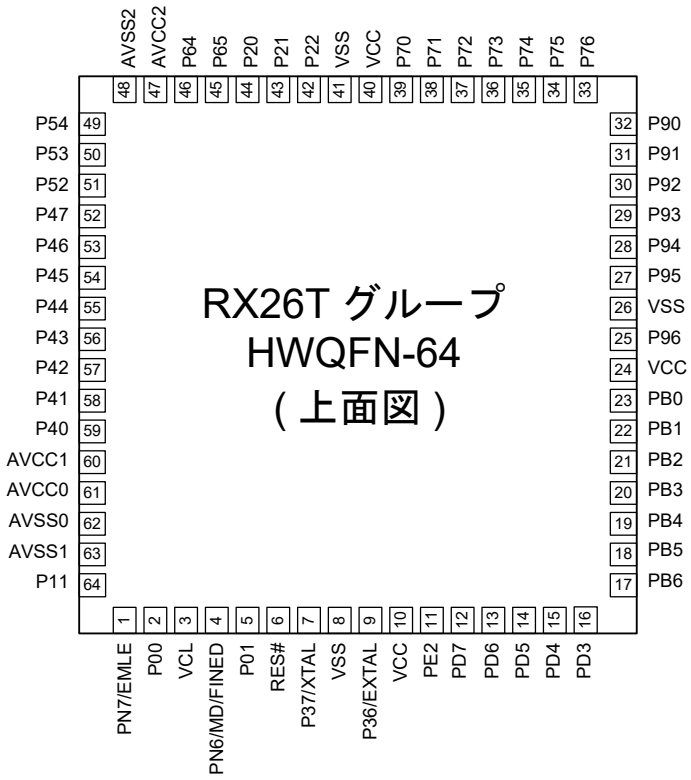
注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN) (RAM：64Kバイトの製品)」をご確認ください。

図 1.6 64 ピン (LFQFP) ピン配置図 (RAM：64K バイト製品)



注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.8 機能別端子一覧(64ピンLFQFP) (RAM：48Kバイトの製品)」をご確認ください。

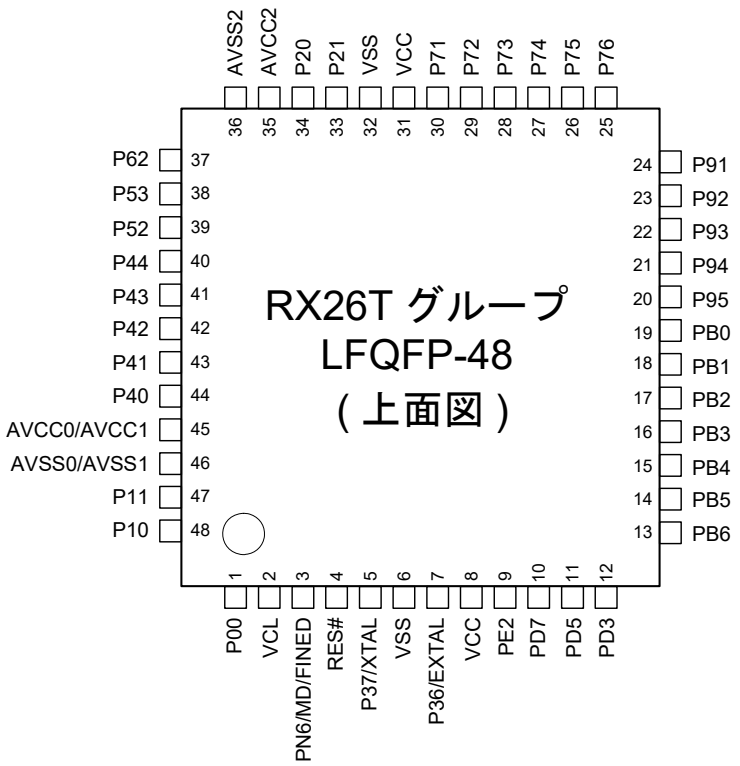
図 1.7 64 ピン (LFQFP) ピン配置図 (RAM：48K バイト製品)



注. exposed die padは、VSSに接続することを推奨します。
注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN) (RAM：64Kバイトの製品)」をご確認ください。

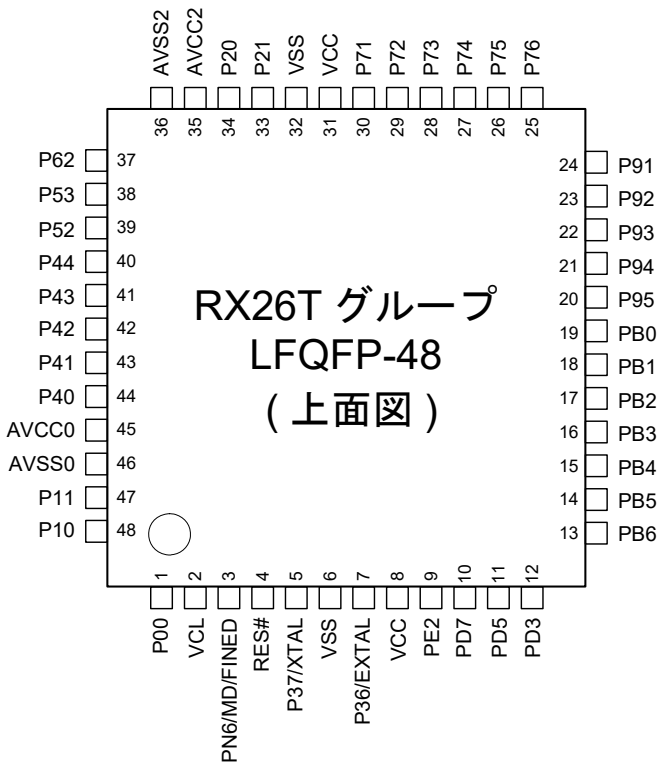
図 1.8 64 ピン (HWQFN) ピン配置図

1.5.4 48 ピン LFQFP、48 ピン HWQFN



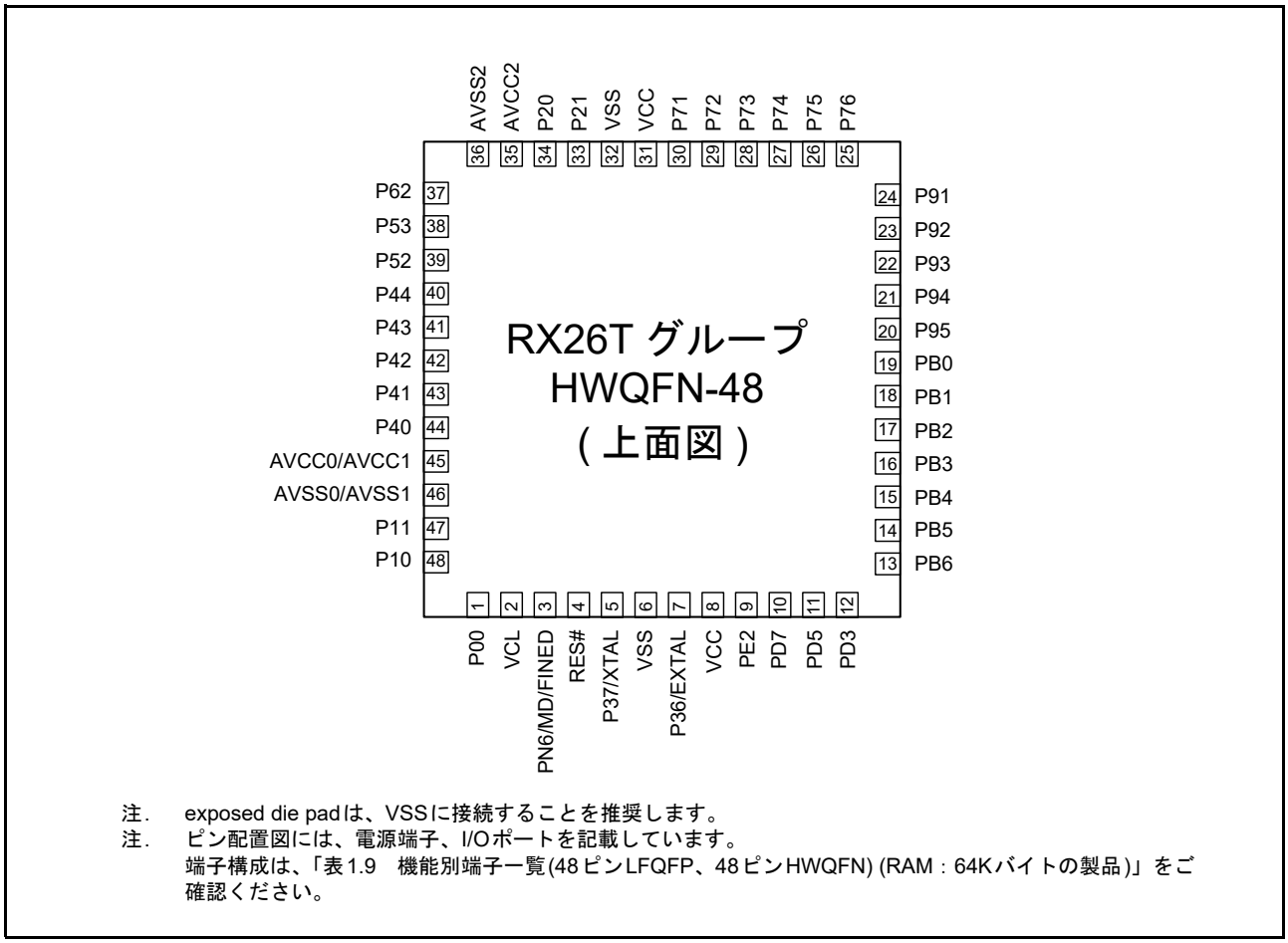
注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (RAM：64Kバイトの製品)」をご確認ください。

図 1.9 48 ピン (LFQFP) ピン配置図 (RAM：64K バイト製品)



注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.10 機能別端子一覧(48ピンLFQFP) (RAM：48Kバイトの製品)」をご確認ください。

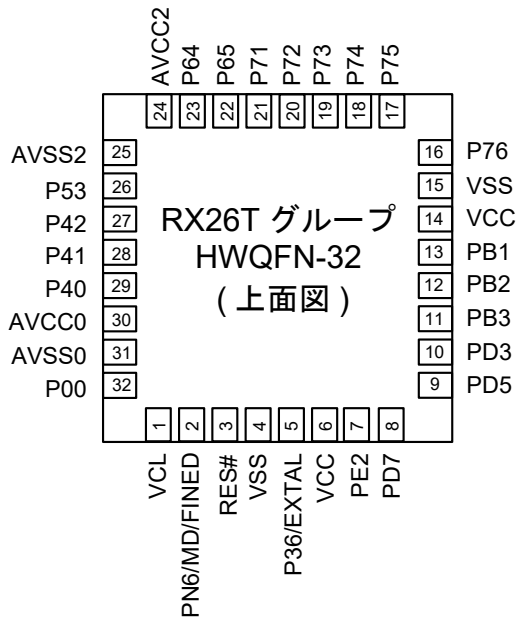
図 1.10 48 ピン (LFQFP) ピン配置図 (RAM：48K バイト製品)



注. exposed die padは、VSSに接続することを推奨します。
注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (RAM：64Kバイトの製品)」をご確認ください。

図 1.11 48 ピン (HWQFN) ピン配置図

1.5.5 32 ピン HWQFN



注. exposed die padは、VSSに接続してください。
注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.11 機能別端子一覧 (32 ピンHWQFN)」をご確認ください。

図 1.12 32 ピン (HWQFN) ピン配置図

1.6 機能別端子一覧

1.6.1 100 ピン LFQFP

表1.5 機能別端子一覧(100 ピンLFQFP) (1 / 6)

ピン番号 100 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1		PE5	MTIOC9D/MTIOC9D#/ GTIOC3A/GTETRGB/ GTIOC3A#/GTETRGD	SCK009/CTS009#/ RTS009#/SS009#/TXDB009	IRQ0	ADST0
2	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
3	VSS					
4		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
5	VCL					
6	MD/FINED	PN6				
7		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD009/ TXDA009/SMOSI009/ SSDA009	IRQ4	ADST2/ COMP1
8		PE4	MTCLKC/MTCLKC#/ POE10#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	SCK009/TXDB009	IRQ1	
9		PE3	MTCLKD/MTCLKD#/ POE11#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	CTS009#/RTS009#/SS009#/ DE009	IRQ2	
10	RES#					
11	XTAL	P37		RXD5/SMISO5/SSCL5		
12	VSS					
13	EXTAL	P36		TXD5/SMOSI5/SSDA5		
14	VCC					
15		PE2	POE10#		NMI/IRQ0	
16		PE1	MTIOC9D/MTIOC9D#/TMO5	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/SS12#/ SSLA3/SSL03	IRQ15	
17		PE0	MTIOC9B/MTIOC9B#/ TMCI1/TMCI5/GTIV	RXD5/SMISO5/SSCL5/ SSLA2/SSL02/CRX0	IRQ7	
18	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
19	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIW	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/DE011/ SSLA0/SSL00	IRQ5	ADST0
20	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
21	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGB/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ SCK011/TXDB011/SSL02	IRQ2	

表1.5 機能別端子一覧(100 ピンLFQFP) (2 / 6)

ピン番号 100 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
22	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSI0		
23		PD2	TMCI1/TMO4/GTIOC2B/ GTIOC0A/GTIOC2B#/ GTIOC0A#	SCK5/SCK008/TXDB008/ MOSIA/MOSI0		
24		PD1	TMO2/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#	RXD008/SMISO008/ SSCL008/MISOA/MISO0		
25		PD0	TMO6/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#	TXD008/TXDA008/ SMOSI008/SSDA008/ RSPCKA/RSPCK0		
26		PB7	GTIOC1B/GTIOC1B#	SCK5/SCK12/SCK011/ TXDB011/SSL03		
27		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO011/SSCL011/MISO0/ CRX0	IRQ2	
28		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
29	VCC					
30		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	
31	VSS					
32		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
33		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
34		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1
35		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSI0	IRQ8	ADTRG2#
36		PA5	MTIOC1A/MTIOC1A#/ TMCI3	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/MISO0	IRQ1	ADTRG1#
37		PA4	MTIOC1B/MTIOC1B#/ TMCI7	SCK6/TXD008/TXDA008/ SMOSI008/SSDA008/ RSPCKA/RSPCK0		ADTRG0#

表1.5 機能別端子一覧(100 ピンLFQFP) (3 / 6)

ピン番号 100 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
38		PA3	MTIOC2A/MTIOC2A#/ TMRI7/GTADSM0	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
39		PA2	MTIOC2B/MTIOC2B#/ TMO7/GTADSM1	CTS6#/RTS6#/SS6#/ RXD009/SMISO009/ SSCL009/SSLA1/SSL01		
40		PA1	MTIOC6A/MTIOC6A#/ TMO4/GTCPPO4	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ CRX0	IRQ14	ADTRG0#
41		PA0	MTIOC6C/MTIOC6C#/TMO2	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ CTX0		
42	VCC					
43		P96	POE4#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO4	CTS008#/RTS008#/SS008#/ DE008/SSL03/RSPCK0	IRQ4	
44	VSS					
45		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
46		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
47		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSI0/CRX0	IRQ14	ADTRG0#
48		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
49		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
50		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOWLO	TXD5/SMOSI5/SSDA5/ SSL01		
51		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
52		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		

表1.5 機能別端子一覧(100 ピンLFQFP) (4 / 6)

ピン番号 100 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
53		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
54		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
55		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSI0		
56		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISO0		
57		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMRI6/POE0#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/ RSPCK0	IRQ5	
58		P33	MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/ TMO0/GTIOC3B/GTIOC7B/ GTIOC3B#/GTIOC7B#/ GTCPPO0	SSLA3/SSL03	IRQ13	
59		P32	MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/ TMO6/GTIOC3A/GTIOC7A/ GTIOC3A#/GTIOC7A#	SSLA2/SSL02	IRQ12	
60	VCC					
61		P31	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMRI6/GTIU	SSLA1/SSL01	IRQ6	
62	VSS					
63		P30	MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/ TMCI6/GTIV	SCK008/CTS008#/ RTS008#/SS008#/DE008/ SSLA0/SSL00	IRQ7	COMP3
64		P27	MTIOC1A/MTIOC0C/ MTIOC1A#/MTIOC0C#/ TMO2/TMO6/POE9#	RSPCKA/RSPCK0	IRQ15	
65		P24	MTIC5U/MTIC5U#/TMCI2/ TMO6	CTS008#/RTS008#/SS008#/ SCK008/DE008/RSPCKA/ RSPCK0	IRQ4	COMP0
66		P23	MTIC5V/MTIC5V#/TMO2/ CACREF	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0/ CTX0	IRQ11	COMP1
67		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMRI2/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/RXD008/ SMISO008/SSCL008/ SCK008/TXDB008/MISOA/ MISO0/CRX0	IRQ10	ADTRG2#/ COMP2

表1.5 機能別端子一覧(100 ピンLFQFP) (5 / 6)

ピン番号 100 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
68		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0	IRQ6	AN217/ ADTRG1#/ COMP5
69		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
70		P65			IRQ9	AN211/ CMPC53/DA1
71		P64			IRQ8	AN210/ CMPC33/DA0
72	AVCC2					
73	AVSS2					
74		P63			IRQ7	AN209/ CMPC23
75		P62			IRQ6	AN208/ CMPC43
76		P61			IRQ5	AN207/ CMPC13
77		P60			IRQ4	AN206/ CMPC03
78		P55			IRQ3	AN203/ CMPC32
79		P54			IRQ2	AN202/ CMPC22/ CVREFC1
80		P53			IRQ1	AN201/ CMPC12/ CVREFC0
81		P52			IRQ0	AN200/ CMPC02
82		P51				AN205/ CMPC52
83		P50				AN204/ CMPC42
84		P47				AN103
85		P46				AN102/ CMPC50/ CMPC51
86		P45				AN101/ CMPC40/ CMPC41
87		P44				AN100/ CMPC30/ CMPC31
88		P43				AN003
89		P42				AN002/ CMPC20/ CMPC21
90		P41				AN001/ CMPC10/ CMPC11

表1.5 機能別端子一覧(100 ピンLFQFP) (6 / 6)

ピン番号 100 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
91		P40				AN000/ CMPC00/ CMPC01
92	AVCC1					
93	AVCC0					
94	AVSS0					
95	AVSS1					
96		P82	MTIC5U/MTIC5U#/TMO4	SCK6/SCK12	IRQ3	COMP5
97		P81	MTIC5V/MTIC5V#/TMCI4	TXD6/SMOSI6/SSDA6/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		COMP4
98		P80	MTIC5W/MTIC5W#/TMRI4	RXD6/SMISO6/SSCL6/ RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	COMP3
99		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPPO0/TOC3	SCK009/SCK008/TXDB009	IRQ1	
100		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMRI3/POE12#/GTIOC3A/ GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#/ TXD009/TXDA009/ SMOSI009/SSDA009	IRQ0	

1.6.2 80 ピン LFQFP

表1.6 機能別端子一覧(80 ピンLFQFP) (1 / 5)

ピン番号 80 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
2	VSS					
3		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
4	VCL					
5	MD/FINED	PN6				
6		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD009/ TXDA009/SMOSI009/ SSDA009	IRQ4	ADST2/ COMP1
7		PE4	MTCLKC/MTCLKC#/ POE10#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	SCK009/TXDB009	IRQ1	
8		PE3	MTCLKD/MTCLKD#/ POE11#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	CTS009#/RTS009#/SS009#/ DE009	IRQ2	
9	RES#					
10	XTAL	P37		RXD5/SMISO5/SSCL5		
11	VSS					
12	EXTAL	P36		TXD5/SMOSI5/SSDA5		
13	VCC					
14		PE2	POE10#		NMI/IRQ0	
15	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
16	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIW	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/DE011/ SSLA0/SSL00	IRQ5	ADST0
17	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
18	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGB/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ SCK011/TXDB011/SSL02	IRQ2	
19	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSI0		
20		PD2	TMCI1/TMO4/GTIOC2B/ GTIOC0A/GTIOC2B#/ GTIOC0A#	SCK5/SCK008/TXDB008/ MOSIA/MOSI0		

表1.6 機能別端子一覧(80ピンLFQFP) (2 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
21		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO011/SSCL011/MISO0/ CRX0	IRQ2	
22		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
23	VCC					
24		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	
25	VSS					
26		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
27		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
28		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1
29		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSI0	IRQ8	ADTRG2#
30		PA5	MTIOC1A/MTIOC1A#/ TMCI3	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/MISO0	IRQ1	ADTRG1#
31		PA3	MTIOC2A/MTIOC2A#/ TMRI7/GTADSM0	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
32	VCC					
33		P96	POE4#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO4	CTS008#/RTS008#/SS008#/ DE008/SSL03/RSPCK0	IRQ4	
34	VSS					
35		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
36		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		

表1.6 機能別端子一覧(80ピンLFQFP) (3 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
37		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSI0/CRX0	IRQ14	ADTRG0#
38		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
39		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
40		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOWLO	TXD5/SMOSI5/SSDA5/ SSL01		
41		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
42		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		
43		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
44		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
45		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSI0		
46		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISO0		
47		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMRI6/POE0#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/ RSPCK0	IRQ5	
48	VCC					
49		P31	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMRI6/GTIU	SSLA1/SSL01	IRQ6	
50	VSS					
51		P30	MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/ TMCI6/GTIV	SCK008/CTS008#/ RTS008#/SS008#/DE008/ SSLA0/SSL00	IRQ7	COMP3
52		P27	MTIOC1A/MTIOC0C/ MTIOC1A#/MTIOC0C#/ TMO2/TMO6/POE9#	RSPCKA/RSPCK0	IRQ15	

表1.6 機能別端子一覧(80ピンLFQFP) (4 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
53		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMRI2/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/RXD008/ SMISO008/SSCL008/ SCK008/TXDB008/MISOA/ MISO0/CRX0	IRQ10	ADTRG2#/ COMP2
54		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0	IRQ6	AN217/ ADTRG1#/ COMP5
55		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
56		P65			IRQ9	AN211/ CMPC53/DA1
57		P64			IRQ8	AN210/ CMPC33/DA0
58	AVCC2					
59	AVSS2					
60		P60			IRQ4	AN206/ CMPC03
61		P55			IRQ3	AN203/ CMPC32
62		P54			IRQ2	AN202/ CMPC22/ CVREFC1
63		P53			IRQ1	AN201/ CMPC12/ CVREFC0
64		P52			IRQ0	AN200/ CMPC02
65		P51				AN205/ CMPC52
66		P50				AN204/ CMPC42
67		P47				AN103
68		P46				AN102/ CMPC50/ CMPC51
69		P45				AN101/ CMPC40/ CMPC41
70		P44				AN100/ CMPC30/ CMPC31
71		P43				AN003
72		P42				AN002/ CMPC20/ CMPC21
73		P41				AN001/ CMPC10/ CMPC11

表1.6 機能別端子一覧(80ピンLFQFP) (5 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
74		P40				AN000/ CMPC00/ CMPC01
75	AVCC1					
76	AVCC0					
77	AVSS0					
78	AVSS1					
79		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPPO0/TOC3	SCK009/SCK008/TXDB009	IRQ1	
80		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMRI3/POE12#/GTIOC3A/ GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#/ TXD009/TXDA009/ SMOSI009/SSDA009	IRQ0	

1.6.3 64 ピン LFQFP、64 ピン HWQFN (RAM：64K バイトの製品)

表1.7 機能別端子一覧(64 ピンLFQFP、64 ピンHWQFN) (RAM：64Kバイトの製品) (1 / 4)

ピン番号 64 ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
2		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
3	VCL					
4	MD/FINED	PN6				
5		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD009/ TXDA009/SMOSI009/ SSDA009	IRQ4	ADST2/ COMP1
6	RES#					
7	XTAL	P37		RXD5/SMISO5/SSCL5		
8	VSS					
9	EXTAL	P36		TXD5/SMOSI5/SSDA5		
10	VCC					
11		PE2	POE10#		NMI/IRQ0	
12	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
13	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIW	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/DE011/ SSLA0/SSL00	IRQ5	ADST0
14	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
15	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGB/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ SCK011/TXDB011/SSL02	IRQ2	
16	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSI0		
17		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO011/SSCL011/MISO0/ CRX0	IRQ2	
18		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
19		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	

表1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN) (RAM：64Kバイトの製品) (2 / 4)

ピン番号 64ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
20		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
21		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
22		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1
23		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSI0	IRQ8	ADTRG2#
24	VCC					
25		P96	POE4#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO4	CTS008#/RTS008#/SS008#/ DE008/SSL03/RSPCK0	IRQ4	
26	VSS					
27		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
28		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
29		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSI0/CRX0	IRQ14	ADTRG0#
30		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
31		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
32		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOWLO	TXD5/SMOSI5/SSDA5/ SSL01		
33		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
34		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		

表1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN) (RAM：64Kバイトの製品) (3 / 4)

ピン番号 64ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
35		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
36		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
37		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSI0		
38		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISO0		
39		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMRI6/POE0#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/ RSPCK0	IRQ5	
40	VCC					
41	VSS					
42		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMRI2/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/RXD008/ SMISO008/SSCL008/ SCK008/TXDB008/MISOA/ MISO0/CRX0	IRQ10	ADTRG2#/ COMP2
43		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0	IRQ6	AN217/ ADTRG1#/ COMP5
44		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
45		P65			IRQ9	AN211/ CMPC53/DA1
46		P64			IRQ8	AN210/ CMPC33/DA0
47	AVCC2					
48	AVSS2					
49		P54			IRQ2	AN202/ CMPC22/ CVREFC1
50		P53			IRQ1	AN201/ CMPC12/ CVREFC0
51		P52			IRQ0	AN200/ CMPC02
52		P47				AN103
53		P46				AN102/ CMPC50/ CMPC51

表1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN) (RAM：64Kバイトの製品) (4 / 4)

ピン番号 64ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
54		P45				AN101/ CMPC40/ CMPC41
55		P44				AN100/ CMPC30/ CMPC31
56		P43				AN003
57		P42				AN002/ CMPC20/ CMPC21
58		P41				AN001/ CMPC10/ CMPC11
59		P40				AN000/ CMPC00/ CMPC01
60	AVCC1					
61	AVCC0					
62	AVSS0					
63	AVSS1					
64		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPPO0/TOC3	SCK009/SCK008/TXDB009	IRQ1	

1.6.4 64 ピン LFQFP (RAM：48K バイトの製品)

表1.8 機能別端子一覧(64 ピンLFQFP) (RAM：48Kバイトの製品) (1 / 4)

ピン番号 64 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
2		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12	IRQ2	COMP0
3	VCL					
4	MD/FINED	PN6				
5		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4	ADST2/ COMP1
6	RES#					
7	XTAL	P37		RXD5/SMISO5/SSCL5		
8	VSS					
9	EXTAL	P36		TXD5/SMOSI5/SSDA5		
10	VCC					
11		PE2	POE10#		NMI/IRQ0	
12	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SSLA1/CTX0	IRQ8	
13	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIW	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/SSLA0	IRQ5	ADST0
14	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1	IRQ6	
15	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGB/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ2	
16	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1		
17		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/CRX0	IRQ2	
18		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0		
19		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/MISOA/CRX0	IRQ3	
20		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ RSPCKA/CTX0	IRQ9	
21		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0		ADSM0
22		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/SCL0	IRQ4	ADSM1

表1.8 機能別端子一覧(64ピンLFQFP) (RAM：48Kバイトの製品) (2 / 4)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
23		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ MOSIA	IRQ8	ADTRG2#
24	VCC					
25		P96	POE4#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO4		IRQ4	
26	VSS					
27		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ MISOA	IRQ1	
28		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	SSLA0		
29		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	SSLA2/CRX0	IRQ14	ADTRG0#
30		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SSLA3/CTX0		
31		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5		
32		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOWLO	TXD5/SMOSI5/SSDA5		
33		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO			
34		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO			
35		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO			
36		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP			
37		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP			
38		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP			

表1.8 機能別端子一覧(64ピンLFQFP) (RAM：48Kバイトの製品) (3 / 4)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
39		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMRI6/POE0#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	SCK5/SSLA0	IRQ5	
40	VCC					
41	VSS					
42		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMRI2/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/MISOA/CRX0	IRQ10	ADTRG2#/ COMP2
43		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MOSIA	IRQ6	AN217/ COMP5
44		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	RSPCKA	IRQ7	AN216/ ADTRG0#/ COMP4
45		P65			IRQ9	AN211/ CMPC53/DA1
46		P64			IRQ8	AN210/ CMPC52/DA0
47	AVCC2					
48	AVSS2					
49		P54			IRQ2	AN202/ CMPC22/ CVREFC1
50		P53			IRQ1	AN201/ CMPC12/ CVREFC0
51		P52			IRQ0	AN200/ CMPC02
52		P47				AN206/ CMPC03
53		P46				AN006/ CMPC21
54		P45				AN005/ CMPC11
55		P44				AN004/ CMPC01
56		P43				AN003/ CMPC23/ CMPC50
57		P42				AN002/ CMPC20
58		P41				AN001/ CMPC10
59		P40				AN000/ CMPC13/ CMPC00
60	NC					
61	AVCC0					
62	AVSS0					
63	NC					

表1.8 機能別端子一覧(64ピンLFQFP) (RAM：48Kバイトの製品) (4 / 4)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
64		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPPO0/TOC3		IRQ1	

1.6.5 48 ピン LFQFP、48 ピン HWQFN (RAM：64K バイトの製品)

表1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (RAM：64Kバイトの製品) (1 / 3)

ピン番号 48 ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
2	VCL					
3	MD/FINED	PN6				
4	RES#					
5	XTAL	P37		RXD5/SMISO5/SSCL5		
6	VSS					
7	EXTAL	P36		TXD5/SMOSI5/SSDA5		
8	VCC					
9		PE2	POE10#		NMI/IRQ0	
10	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
11	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
12	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSI0		
13		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO011/SSCL011/MISO0/ CRX0	IRQ2	
14		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
15		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	
16		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
17		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
18		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1

表1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (RAM：64Kバイトの製品) (2 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
19		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSI0	IRQ8	ADTRG2#
20		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
21		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
22		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSI0/CRX0	IRQ14	ADTRG0#
23		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
24		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
25		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
26		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		
27		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
28		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
29		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSI0		
30		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISO0		
31	VCC					
32	VSS					

表1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (RAM：64Kバイトの製品) (3 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
33		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0	IRQ6	AN217/ ADTRG1#/ COMP5
34		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
35	AVCC2					
36	AVSS2					
37		P62			IRQ6	AN208/ CMPC43
38		P53			IRQ1	AN201/ CMPC12/ CVREFC0
39		P52			IRQ0	AN200/ CMPC02
40		P44				AN100/ CMPC30/ CMPC31
41		P43				AN003
42		P42				AN002/ CMPC20/ CMPC21
43		P41				AN001/ CMPC10/ CMPC11
44		P40				AN000/ CMPC00/ CMPC01
45	AVCC0/ AVCC1					
46	AVSS0/AVSS1					
47		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPPO0/TOC3	SCK009/SCK008/TXDB009	IRQ1	
48		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMRI3/POE12#/GTIOC3A/ GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#/ TXD009/TXDA009/ SMOSI009/SSDA009	IRQ0	

1.6.6 48 ピン LFQFP (RAM：48K バイトの製品)

表1.10 機能別端子一覧(48 ピンLFQFP) (RAM：48Kバイトの製品) (1 / 3)

ピン番号 48 ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12	IRQ2	COMP0
2	VCL					
3	MD/FINED	PN6				
4	RES#					
5	XTAL	P37		RXD5/SMISO5/SSCL5		
6	VSS					
7	EXTAL	P36		TXD5/SMOSI5/SSDA5		
8	VCC					
9		PE2	POE10#		NMI/IRQ0	
10	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SSLA1/CTX0	IRQ8	
11	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1	IRQ6	
12	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1		
13		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/CRX0	IRQ2	
14		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0		
15		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/MISOA/CRX0	IRQ3	
16		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ RSPCKA/CTX0	IRQ9	
17		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0		ADSM0
18		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/SCL0	IRQ4	ADSM1
19		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ MOSIA	IRQ8	ADTRG2#
20		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ MISOA	IRQ1	
21		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	SSLA0		

表1.10 機能別端子一覧(48ピンLFQFP) (RAM：48Kバイトの製品) (2 / 3)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
22		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	SSLA2/CRX0	IRQ14	ADTRG0#
23		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SSLA3/CTX0		
24		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5		
25		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO			
26		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO			
27		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO			
28		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP			
29		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP			
30		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP			
31	VCC					
32	VSS					
33		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MOSIA	IRQ6	AN217/ COMP5
34		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	RSPCKA	IRQ7	AN216/ ADTRG0#/ COMP4
35	AVCC2					
36	AVSS2					
37		P62			IRQ6	AN208/ CMPC51
38		P53			IRQ1	AN201/ CMPC12/ CVREFC0
39		P52			IRQ0	AN200/ CMPC02
40		P44				AN004/ CMPC01

表1.10 機能別端子一覧(48ピンLFQFP) (RAM：48Kバイトの製品) (3 / 3)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
41		P43				AN003/ CMPC23/ CMPC50
42		P42				AN002/ CMPC20
43		P41				AN001/ CMPC10
44		P40				AN000/ CMPC13/ CMPC00
45	AVCC0					
46	AVSS0					
47		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPPO0/TOC3		IRQ1	
48		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMRI3/POE12#/GTIOC3A/ GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#	IRQ0	

1.6.7 32 ピン HWQFN

表1.11 機能別端子一覧(32ピンHWQFN) (1 / 2)

ピン番号 32 ピン HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1	VCL					
2	MD/FINED	PN6				
3	RES#					
4	VSS					
5	EXTAL	P36				
6	VCC					
7		PE2	POE10#		NMI/IRQ0	
8	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU		IRQ8	
9	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1	IRQ6	
10	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1		
11		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ9	
12		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0		ADSM0
13		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/SCL0	IRQ4	ADSM1
14	VCC					
15	VSS					
16		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO			
17		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO			
18		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO			
19		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP			
20		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP			

表1.11 機能別端子一覧(32ピンHWQFN) (2 / 2)

ピン番号 32ピン HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
21		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP			
22		P65			IRQ9	AN211/ CMPC53/DA1
23		P64			IRQ8	AN210/ CMPC52/DA0
24	AVCC2					
25	AVSS2					
26		P53			IRQ1	AN201/ CMPC12/ CVREFC0
27		P42				AN002/ CMPC20
28		P41				AN001/ CMPC10
29		P40				AN000/ CMPC13/ CMPC00
30	AVCC0					
31	AVSS0					
32		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12	IRQ2	COMP0

2. CPU

RXv3 CPU は、RXv3 命令セットアーキテクチャに基づいた CPU です。RXv2 CPU に比べ命令処理効率が向上しており、より高い性能を発揮します。

RXv3 命令セットアーキテクチャ (RXv3) は、RXv2 命令セットアーキテクチャ (RXv2) 、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

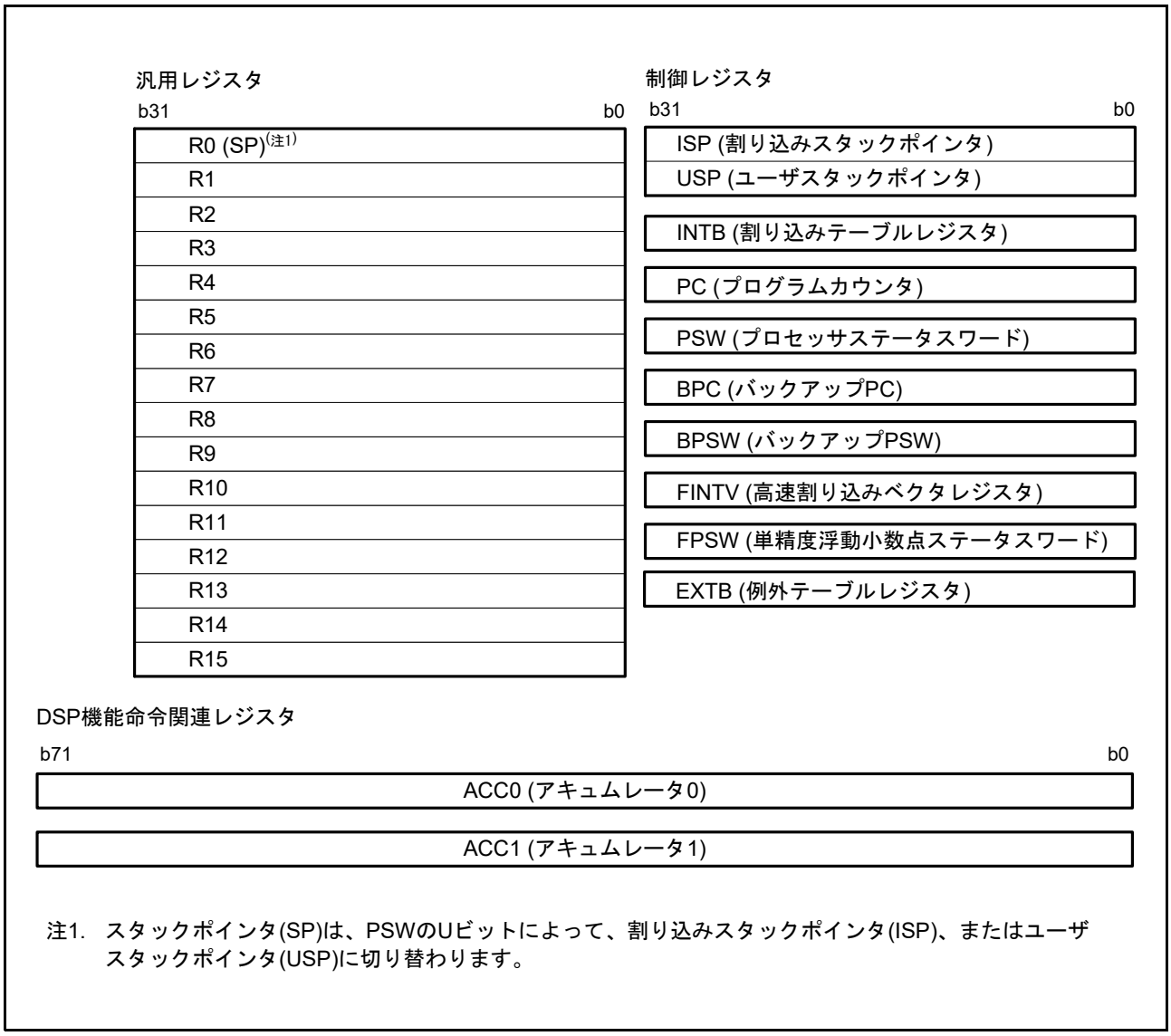
- 可変長命令方式の採用
  可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。
- 強力な命令セット
  DSP 機能命令や浮動小数点演算命令により、DSP に匹敵するデータ処理能力を発揮します。
- 豊富なアドレッシングモード
  豊富なアドレッシングモードを持ち、レジスターレジスタ間、レジスターメモリ間の演算や、ビットを対象とする演算ができます。また、メモリ - メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
  汎用レジスタ：32 ビット × 16 本
  制御レジスタ：32 ビット × 10 本
  アキュムレータ：72 ビット × 2 本
- 可変長命令形式 (1 バイト長～ 8 バイト長)
- 113 命令 (RAM 容量が 64K バイトの製品)、111 命令 (RAM 容量が 48K バイトの製品)
  標準搭載命令：111 命令
  基本命令：77 命令
  単精度浮動小数点演算命令：11 命令
  DSP 機能命令：23 命令
  レジスター括退避機能命令：2 命令 (RAM 容量が 64K バイトの製品のみ)
- プロセッサモード
  スーパバイザモード、ユーザモード
- ベクタテーブル
  例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
  リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

CPUのレジスタには、汎用レジスタ(16本)と、制御レジスタ(10本)、およびDSP機能命令で使用するアキュムレータ(2本)があります。



注1. スタックポインタ(SP)は、PSWのUビットによって、割り込みスタックポインタ(ISP)、またはユーザスタックポインタ(USP)に切り替わります。

図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ～ R15)

汎用レジスタは、32 ビット幅で 16 本 (R0 ～ R15) あります。汎用レジスタ R0 ～ R15 は、データレジスタやアドレスレジスタとして使用します。

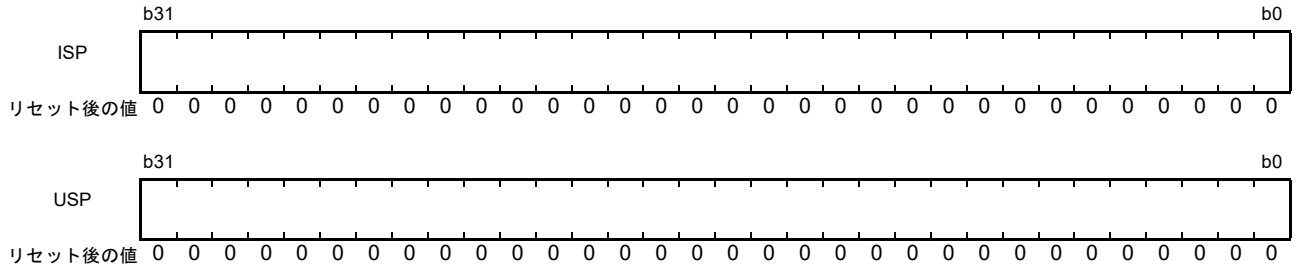
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の 10 本のレジスタがあります。

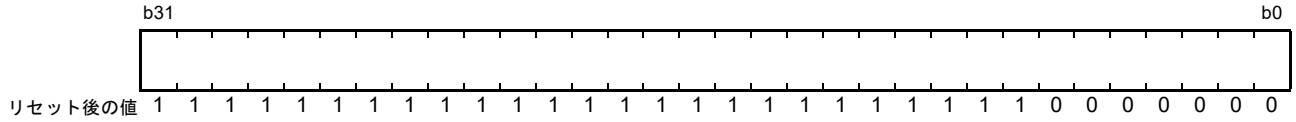
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 単精度浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



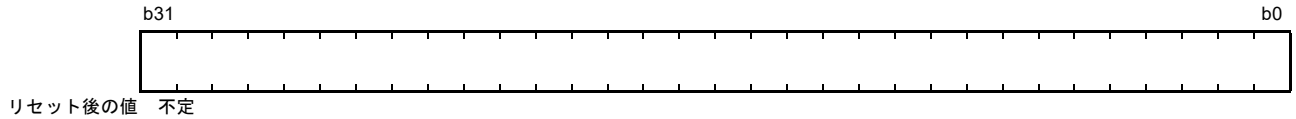
スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

2.2.2.2 例外テーブルレジスタ (EXTB)



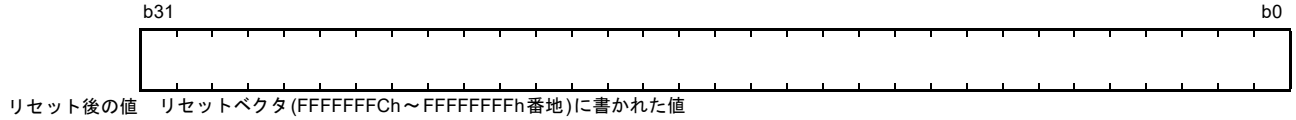
例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

2.2.2.3 割り込みテーブルレジスタ (INTB)



割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0：キャリの発生なし 1：キャリの発生あり	R/W
b1	Z	ゼロフラグ	0：演算結果は0でなかった 1：演算結果は0であった	R/W
b2	S	サインフラグ	0：演算結果は正または0であった 1：演算結果は負であった	R/W
b3	O	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0：割り込みスタックポインタ(ISP)を指定 1：ユーザスタックポインタ(USP)を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0：スーパバイザモードに設定 1：ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0：優先レベル0(最低) 0 0 0 1：優先レベル1 0 0 1 0：優先レベル2 0 0 1 1：優先レベル3 0 1 0 0：優先レベル4 0 1 0 1：優先レベル5 0 1 1 0：優先レベル6 0 1 1 1：優先レベル7 1 0 0 0：優先レベル8 1 0 0 1：優先レベル9 1 0 1 0：優先レベル10 1 0 1 1：優先レベル11 1 1 0 0：優先レベル12 1 1 0 1：優先レベル13 1 1 1 0：優先レベル14 1 1 1 1：優先レベル15(最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。
また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
注2. スーパバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。
注3. スーパバイザモードからユーザモードに切り替える場合は、スタック上のPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード(PSW)は、命令実行の結果や、CPUの状態を示します。

C フラグ (キャリフラグ)
キャリ、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)
演算の結果が 0 のとき “1” になり、それ以外のとき “0” になります。

S フラグ (サインフラグ)
演算の結果が負のとき “1” になり、それ以外のとき “0” になります。

O フラグ (オーバフローフラグ)
演算の結果がオーバフローしたとき “1” になり、それ以外のとき “0” になります。

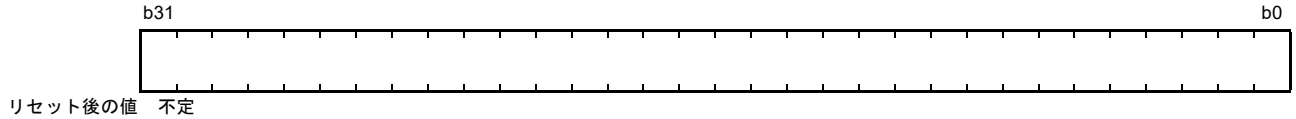
I ビット (割り込み許可ビット)
割り込み要求の受け付けを許可するビットです。このビットは、WAIT 命令を実行すると “1” になり、例外を受け付けると、“0” になります。

U ビット (スタックポインタ指定ビット)
使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは “0” になります。スーパバイザモードからユーザモードに移行すると、このビットは “1” になります。

PM ビット (プロセッサモード設定ビット)
プロセッサモードを設定するビットです。例外を受け付けると、このビットは “0” になります。

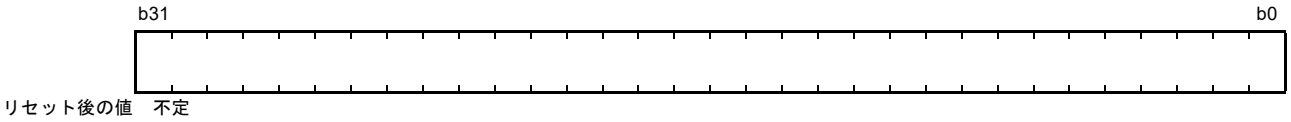
IPL[3:0] ビット (プロセッサ割り込み優先レベル)
IPL[3:0] ビットは、優先レベル 0 (最低) ～優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避させられます。

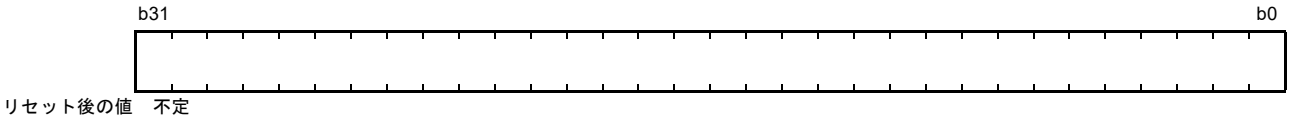
2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避させられます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 単精度浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	単精度浮動小数点丸めモード設定ビット	b1 b0 0 0：最近値への丸め 0 1：0方向への丸め 1 0：+∞方向への丸め 1 1：−∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0：無効演算の発生なし 1：無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0：アンダフローの発生なし 1：アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0：精度異常の発生なし 1：精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0：非実装処理の発生なし 1：非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0：非正規化数を非正規化数として扱う 1：非正規化数を0として扱う(注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0：無効演算発生による例外処理を禁止 1：無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0：オーバフロー発生による例外処理を禁止 1：オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0：ゼロ除算発生による例外処理を禁止 1：ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0：アンダフロー発生による例外処理を禁止 1：アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0：精度異常発生による例外処理を禁止 1：精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV(注3)	無効演算フラグ	0：無効演算の発生なし 1：無効演算の発生あり(注8)	R/W
b27	FO(注4)	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり(注8)	R/W
b28	FZ(注5)	ゼロ除算フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり(注8)	R/W
b29	FU(注6)	アンダフローフラグ	0：アンダフローの発生なし 1：アンダフローの発生あり(注8)	R/W
b30	FX(注7)	精度異常フラグ	0：精度異常の発生なし 1：精度異常の発生あり(注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	単精度浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
注2. 正の非正規化数は+0、負の非正規化数は–0として扱います。
注3. EVビットが“0”のときに、FVフラグは有効となります。
注4. EOビットが“0”のときに、FOフラグは有効となります。
注5. EZビットが“0”のときに、FZフラグは有効となります。
注6. EUビットが“0”のときに、FUフラグは有効となります。
注7. EXビットが“0”のときに、FXフラグは有効となります。
注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

単精度浮動小数点ステータスワード (FPSW) は、単精度浮動小数点演算結果を示します。

例外処理許可ビット (Ej) で例外処理を許可 (Ej = 1) した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = 0) した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです (j = X, U, Z, O, V)。

RM[1:0] ビット (単精度浮動小数点丸めモード設定ビット)

単精度浮動小数点丸めモードを設定します。

【単精度浮動小数点丸めモードの説明】

- 最近値への丸め(デフォルト) : 無限の有効桁を持つと仮定して計算した結果に近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める(単純な切り捨て)
- +∞方向への丸め : 結果の値が大きくなる方向へ丸める
- –∞方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。
(2) 「0 方向への丸め」、「+ ∞方向への丸め」、「– ∞方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)、
CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)、
CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他に、非実装処理が発生した場合に該当するフラグが “1” になります。

- 単精度浮動小数点演算命令実行時にこれらの例外・非実装処理が発生しなかった場合は該当するフラグが “0” になります。
- MVTC、POPC 命令で “0” を書いた場合、“0” になります。“1” を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0” のとき非正規化数を非正規化数として扱います。“1” のとき非正規化数を 0 として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)、
EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)、
EX ビット (精度異常例外処理許可ビット)

単精度浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0” の場合、例外処理は禁止されます。“1” の場合、例外処理が許可されます。

FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)、FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)

例外処理許可ビット (Ej) が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- Ej = 1 (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します (蓄積フラグ)。

FS フラグ (単精度浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

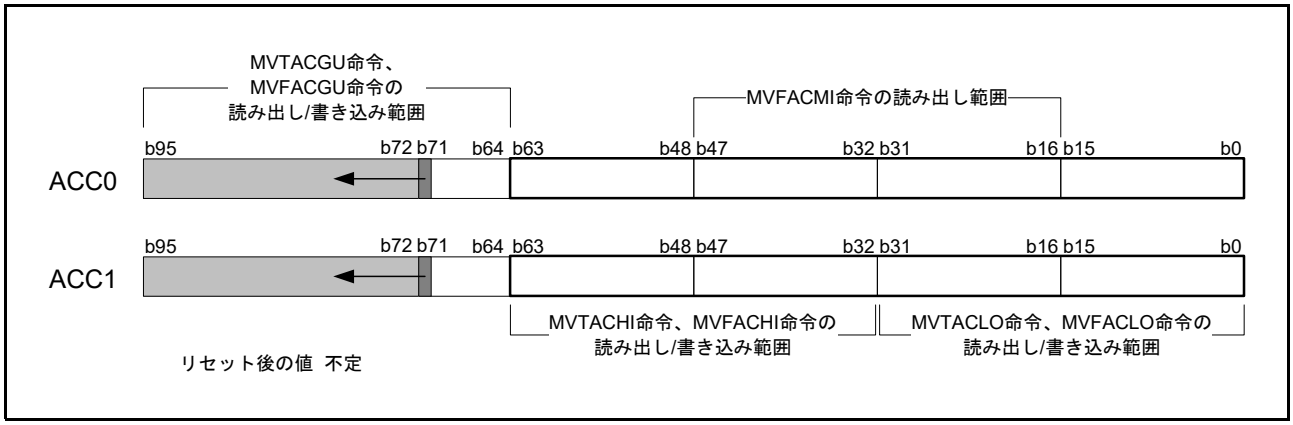
2.2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ～ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ～ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ～ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ～ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」とを使用します。

「MVFACGU 命令」でガードビット (b95 ～ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ～ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ～ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ～ b0) のデータをそれぞれ読み出します。



注 . b95 ～ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

CPU には、スーパバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPU リソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパバイザモードで動作します。

2.3.1 スーパバイザモード

スーパバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT、SAVE、RSTR 命令があります。

RAM 容量が 48K バイトの製品では、SAVE、RSTR 命令がありません。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパバイザモードへの移行

例外が発生すると PSW.PM ビットが “0” になり、CPU はスーパバイザモードへ移行します。ハードウェア前処理は、スーパバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避させられた PSW.PM ビットに保持されます。

(2) スーパバイザモードからユーザモードへの移行

スタック上に退避させられている PSW.PM ビットを “1” にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避させられている PSW.PM ビットを “1” にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が

“1” になります。

2.4 データタイプ

CPU は、整数、単精度浮動小数点数、ビット、ストリングの 4 種類のデータを扱うことができます。

詳細は「RX ファミリ RXv3 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2 の補数で表現します。

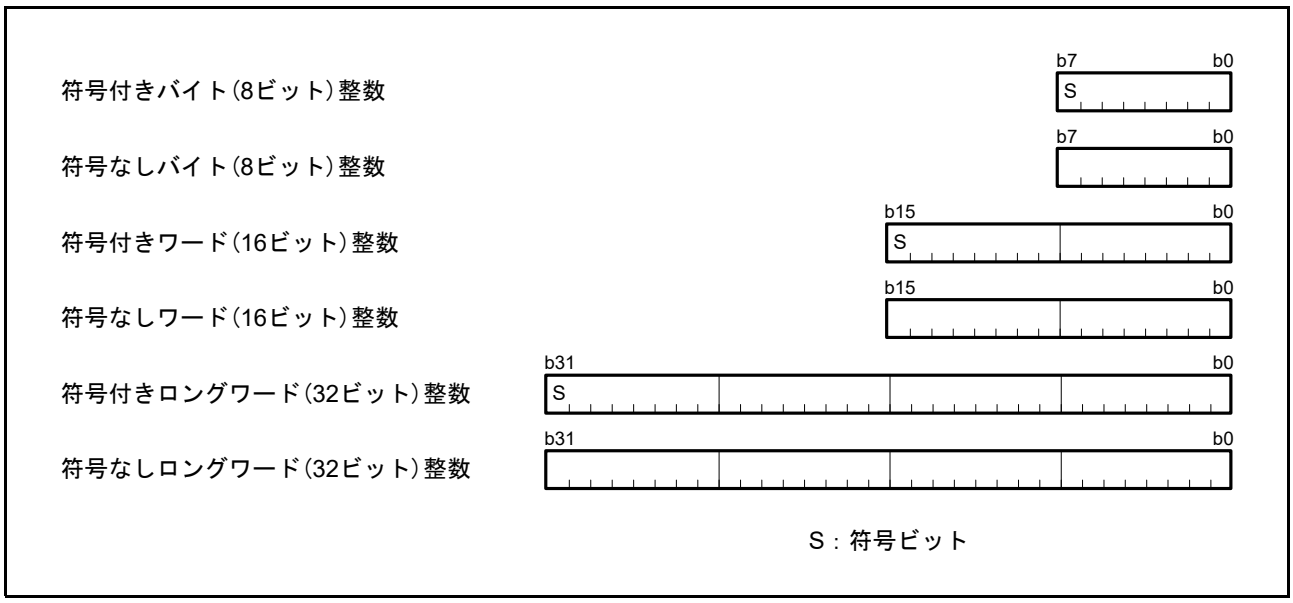


図 2.2 整数

2.4.2 単精度浮動小数点数

単精度浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。単精度浮動小数点数は、単精度浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

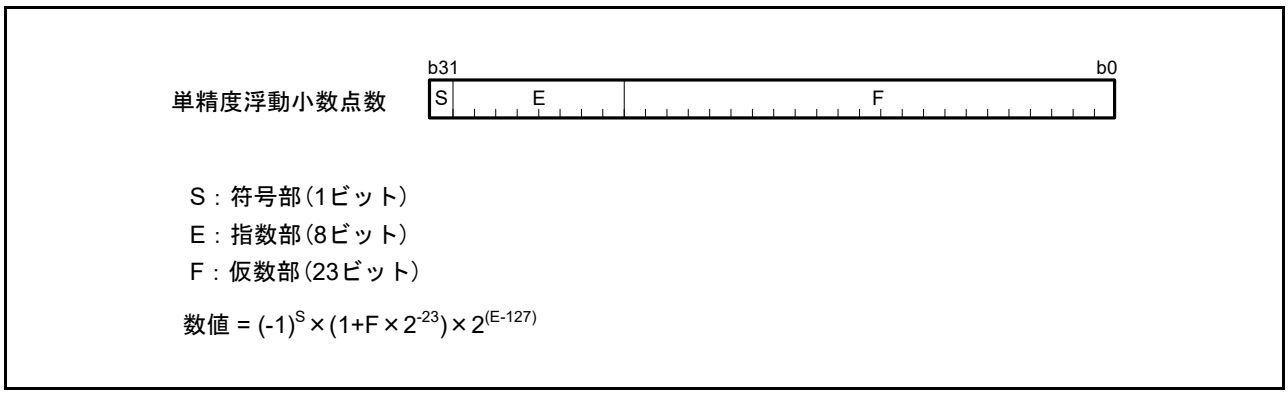


図 2.3 単精度浮動小数点数

単精度浮動小数点数は、以下の数値に対応しています。

0 < E < 255 (正規化数 - Normal Numbers)

E = 0 かつ F = 0 (ゼロ - Signed Zero)

E = 0 かつ F > 0 (非正規化数 - Denormalized Numbers) (注 1)

E = 255 かつ F = 0 (無限大 - Infinity)

E = 255 かつ F > 0 (非数 - NaN : Not a Number)

注 1. FPSW.DN ビットが “1” のときは、0 として扱います。DN ビットが “0” のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ～ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ～ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

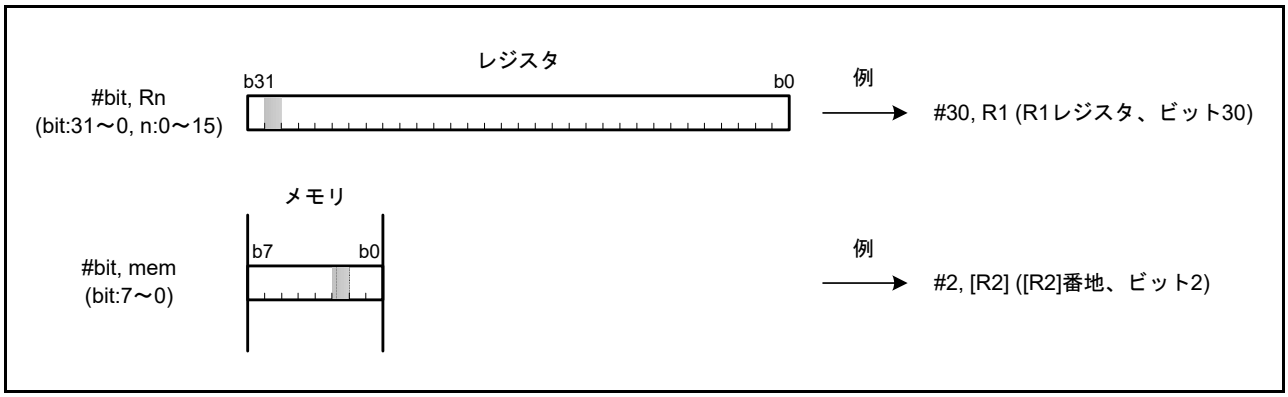


図 2.4 ビット

2.4.4 ストリング

ストリングとは、バイト (8 ビット)、ワード (16 ビット)、またはロングワード (32 ビット) のデータを任意の数だけ連続して並べたデータタイプです。ストリングは、ストリング操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE の 7 種類の命令で使用できます

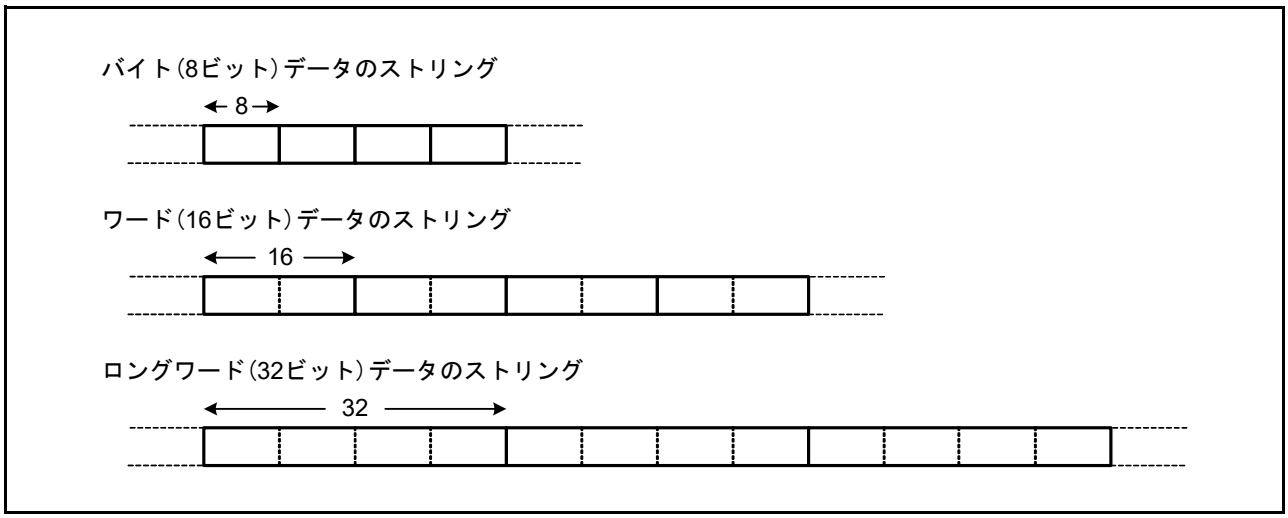


図 2.5 ストリング

2.5 エンディアン

CPU の命令は、リトルエンディアン固定です。
データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。
エンディアンの設定については、**「3. 動作モード」**を参照してください。
命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を**表 2.1 ～表 2.12** に示します。
表中の
LL は、汎用レジスタの D7 ～ D0
LH は、汎用レジスタの D15 ～ D8
HL は、汎用レジスタの D23 ～ D16
HH は、汎用レジスタの D31 ～ D24 を示します。

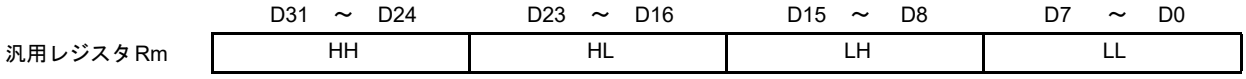


表2.1 リトルエンディアン設定時の32ビットリード動作

動作 / src番地	0番地を32ビットでリード	1番地を32ビットでリード	2番地を32ビットでリード	3番地を32ビットでリード	4番地を32ビットでリード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 / src番地	0番地を32ビットでリード	1番地を32ビットでリード	2番地を32ビットでリード	3番地を32ビットでリード	4番地を32ビットでリード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を8ビットでリード	1番地を8ビットでリード	2番地を8ビットでリード	3番地を8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがって I/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

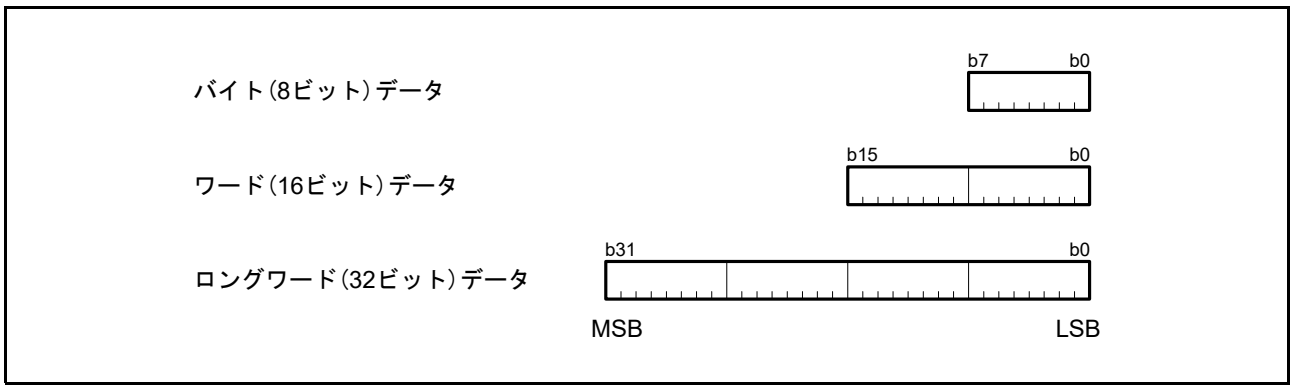


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

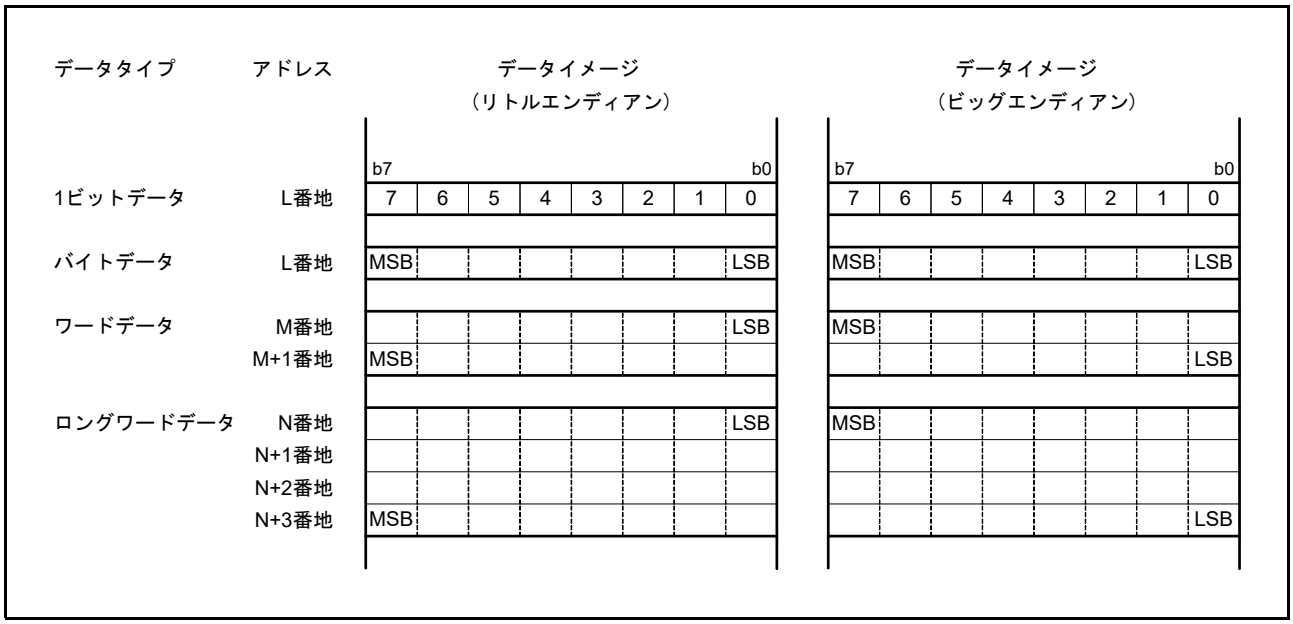


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1 ベクタあたり 4 バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、単精度浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

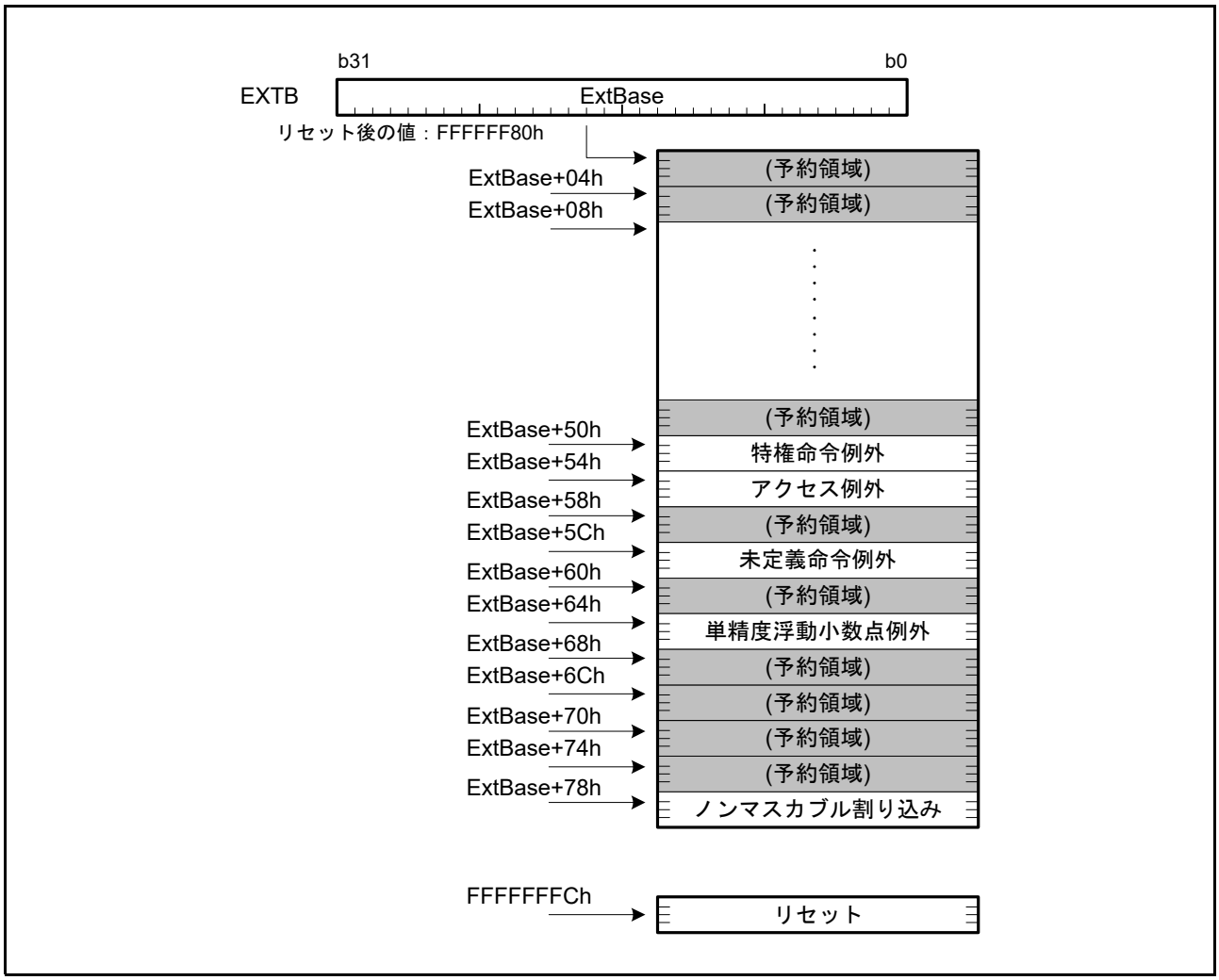


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ～ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ～ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ～ 255) が割り当てられています。割り込みのベクタ番号については、**「14.3.1 割り込みのベクタテーブル」**を参照してください。

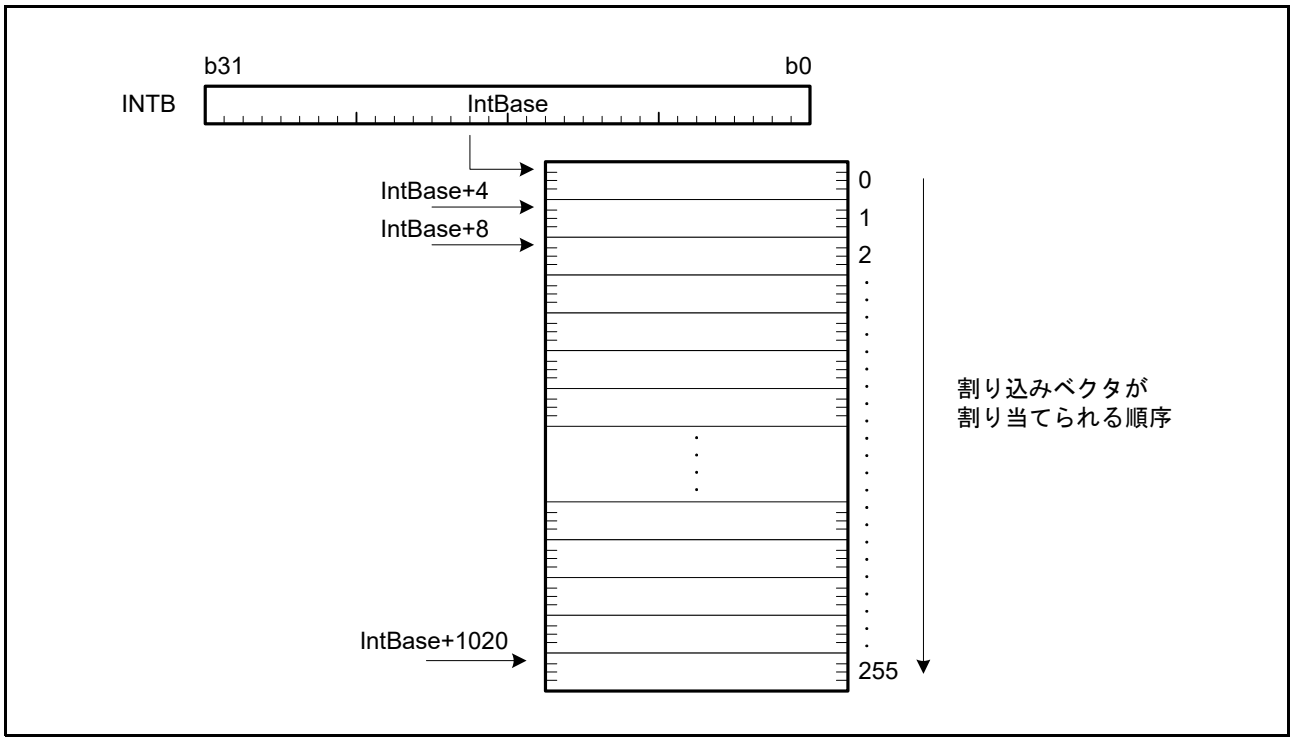


図 2.9 割り込みベクタテーブル

2.7 レジスター括退避機能

CPU は、CPU レジスタの退避・復帰を一括して高速に行うために、専用のレジスタ退避バンクとそれを使用するための命令を有しています (図 2.10 参照)。レジスタ退避バンクを使うことで、例外処理ルーチン先頭でのレジスタ退避と、末尾でのレジスタ復帰を一括して高速に行うことが可能です。

レジスタ退避バンクは SAVE 命令、RSTR 命令のみでアクセス可能な退避用領域であり、4G バイトのアドレス空間とは独立して存在します。レジスタ退避バンクは複数のバンクで構成されており、1 つのバンクに退避・復帰させられる CPU レジスタは、R0 を除く汎用レジスタと USP、FPSW、アキュムレータ (ACC0、ACC1) です。リセット後のレジスタ退避バンクに格納されている値は不定です。

レジスタ退避バンクでは、1 つのバンクに対し 1 つの番号 (バンク番号) が割り当てられています。

本 MCU では 16 バンクのレジスタ退避バンクを搭載しており、バンク番号 0 ～ 15 が使用できます。

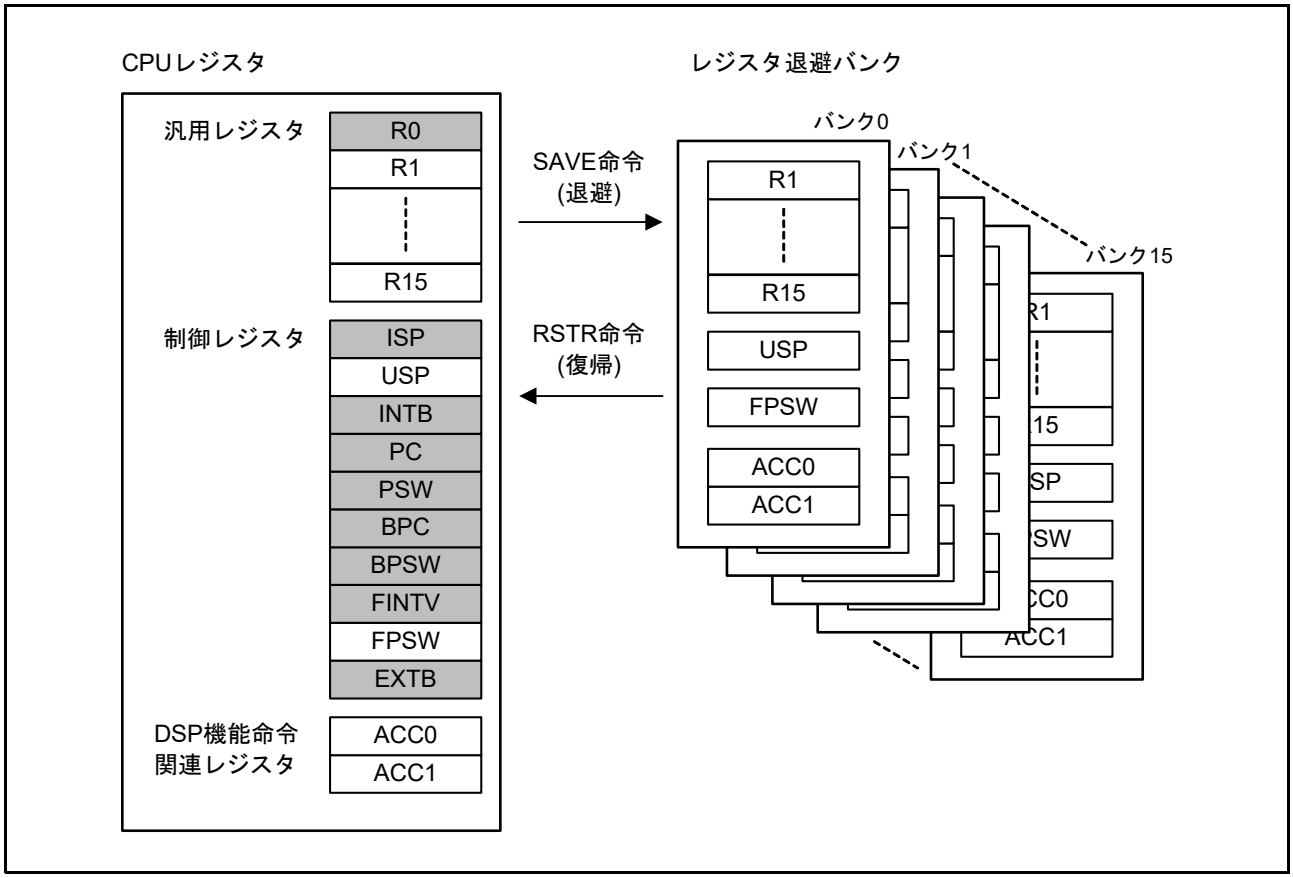


図 2.10 レジスタ退避バンク

2.8 命令動作

2.8.1 RMPA 命令、ストリング操作命令に関する制約事項

2.8.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8.1.2 外部空間へのアクセス

外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを配置することは禁止しており、その動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.8.1.3 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.9 サイクル数

2.9.1 命令とサイクル数

表 2.13 ～表 2.21 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM：即値
flag：ビット、フラグ
Rs, Rs2, Rd, Rd2, Ri, Rb：汎用レジスタ
As, Ad：アキュムレータ
CR：制御レジスタ
dsp：ディスプレースメント
pcdsp：ディスプレースメント

表2.13 算術/論理演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	• {ABS, NEG, NOT} “Rd”/“Rs, Rd” • {ADC, MAX, MIN, ROTL, ROTR} “#IMM, Rd”/“Rs, Rd” • ADD “#IMM, Rd”/“Rs, Rd”/“#IMM, Rs, Rd”/“Rs, Rs2, Rd” • {AND, MUL, OR, SUB, XOR} “#IMM, Rd”/“Rs, Rd”/“Rs, Rs2, Rd” • {CMP, TST} “#IMM, Rs”/“Rs, Rs2” • NOP • {ROLC, RORC, SAT} “Rd” • SBB “Rs, Rd” • {SHAR, SHLL, SHLR} “#IMM, Rd”/“Rs, Rd”/“#IMM, Rs, Rd”	1
	• DIV “#IMM, Rd”/“Rs, Rd”	3～20 (注1)
	• DIVU “#IMM, Rd”/“Rs, Rd”	2～18 (注1)
	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	2
	• SATR	3
算術/論理演算命令 (メモリソースオペランド)	• {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd” • {CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2”	3
	• DIV “[Rs], Rd / dsp[Rs], Rd”	5～22 (注1)
	• DIVU“[Rs], Rd / dsp[Rs], Rd”	4～20 (注1)
	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注2)
	• RMPA.L	6+4n nは処理ロングワード数

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。
注2. floor(x)：x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値－レジスタ)	• MOV “#IMM, Rd”/“Rs, Rd” • {MOVU, REVL, REVW} “Rs, Rd” • SC*Cnd* “Rd” • {STNZ, STZ} “#IMM, Rd”/ “Rs, Rd”	1
	• XCHG “Rs, Rd”	2
転送命令 (ロード動作)	• {MOV, MOVU} “[Rs], Rd”/“dsp[Rs], Rd”/“[Rs+], Rd”/“[-Rs], Rd”/“[Ri, Rb], Rd” • MOVLI “[Rs], Rd” • POP “Rd”	スループット：1 レイテンシ：2(注1)
	• POPC “CR”	スループット：3 レイテンシ：4(注1)
	• POPM “Rd-Rd2”	スループット：n レイテンシ：n+1 nはレジスタ数(注1、注2)
転送命令 (ストア動作)	• MOV “Rs, [Rd]”/“Rs, dsp[Rd]”/“Rs, [Rd+]”/“Rs, [-Rd]”/“Rs, [Ri, Rb]”/“#IMM, dsp[Rd]”/“#IMM, [Rd]” • PUSH “Rs” • PUSHC “CR” • SC*Cnd* “[Rd]”/“dsp[Rd]” • MOVCO “Rs, [Rd]”	1
	• PUSHM “Rs-Rs2”	n nはレジスタ数(注3)
転送命令 (メモリ－レジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	2
転送命令(メモリ間転送)	• MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]”/“dsp[Rs], dsp[Rd]” • PUSH “[Rs]”/“dsp[Rs]”	3
転送命令(ビットフィールド)	• {BFMOV, BFMOVZ} “#IMM, #IMM, #IMM, R, R”	1

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令(レジスタ)	• {BCLR, BNOT, BSET} “#IMM, Rd”/“Rs, Rd” • BM*Cnd* “#IMM, Rd” • BTST “#IMM, Rs”/“Rs, Rs2”	1
ビット操作命令 (メモリソースオペランド)	• {BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]”/“Rs, [Rd]”/“Rs, dsp[Rd]” • BM*Cnd* “#IMM, [Rd]”/“#IMM, dsp[Rd]” • BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]”	3

表2.16 分岐命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	• B*Cnd* “pcdsp” • {BRA, BSR} “pcdsp”/“Rs” • {JMP, JSR} “Rs”	分岐成立：3 分岐不成立：1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD “#IMM”	5
	• RTSD “#IMM, Rd-Rd2”	スループット：n<5?5:1+n レイテンシ：n<4?5:2+n nはレジスタ数 (注1)

?：条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表2.17 単精度浮動小数点演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
単精度浮動小数点演算命令 (レジスタ間、即値－レジスタ)	• {FADD, FSUB} “#IMM, Rd”/ “Rs, Rd”/ “Rs, Rs2, Rd”	2
	• FCMP “#IMM, Rs”/“Rs, Rs2”	1
	• FDIV “#IMM, Rd”/“Rs, Rd”	16
	• FMUL “#IMM, Rd”/ “Rs, Rd” / “Rs, Rs2, Rd”	2
	• FSQRT “Rs, Rd”	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	2
	• {FTOU, UTOF} “Rs, Rd”	2
単精度浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} “[Rs], Rd”/“dsp[Rs], Rd”	4
	• FCMP “[Rs], Rs2”/“dsp[Rs], Rs2”	3
	• FDIV “[Rs], Rd”/“dsp[Rs], Rd”	18
	• FMUL “[Rs], Rd”/“dsp[Rs], Rd”	4
	• FSQRT “[Rs], Rd”/“dsp[Rs], Rd”	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd”/“dsp[Rs], Rd”	4
	• {FTOU, UTOF} “[Rs], Rd”/“dsp[Rs], Rd”	4

表2.18 DSP機能命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	• {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO}“Rs, Rs2, Ad” • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} “#IMM, As, Rd” • {MVTACHI, MVTACLO, MVTACGU} “Rs, Ad” • {RDACW, RDACL, RACW, RACL} “#IMM, Ad”	1

表2.19 ストリング操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
ストリング操作命令 (注1)	• SCMPU	2+4×floor(n/4)+4×(n%4) nは比較バイト数 (注2)
	• SMOVB	n>3?6+3×floor(n/4)+3×(n%4):2+3n nは転送バイト数 (注2)
	• SMOVF, SMOVU	2+3×floor(n/4)+3×(n%4) nは転送バイト数 (注2)
	• SSTR.B	2+floor(n/4)+n%4 nは転送バイト数 (注2)
	• SSTR.W	2+floor(n/2)+n%2 nは転送ワード数 (注2)
	• SSTR.L	2+n nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	3+3×floor(n/4)+3×(n%4) nは比較バイト数 (注2)
	• SUNTIL.W, SWHILE.W	3+3×floor(n/2)+3×(n%2) nは比較ワード数 (注2)
	• SUNTIL.L, SWHILE.L	3+3×n nは比較ロングワード数

?：条件演算子

注1. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。
注2. floor(x)：x以下の最大の整数

表2.20 システム操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

表2.21 レジスター括退避機能命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
レジスター括退避機能命令	• SAVE “#IMM”/“R”	1
	• RSTR “#IMM”/“R”	3～6

2.9.2 割り込み応答サイクル数

表 2.22 に割り込み応答処理のサイクル数を示します。

表2.22 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.22 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な RAM とコードフラッシュメモリを搭載しています。プログラム (含むベクタ) はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ～表 2.21 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

2.10 使用上の注意事項

2.10.1 レジスタ退避バンク内 RAM の自己診断に関する注意事項

本 MCU のレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモリセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

(1) 診断対象のバンクに SAVE 命令でデータを書く
(2) (1) のバンクとは異なるバンクに、SAVE 命令でデータを書く
(3) (1) のバンクから RSTR 命令でデータを読む

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット (RES# 端子リセット、パワーオンリセット、LVD0 リセット) 解除時のモード設定端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD) のレベルと、そのとき選択される動作モードの関係を**表 3.1** に示します。各動作モードの詳細は**「3.3 動作モードの説明」**を参照してください。いずれのモードで起動した場合でも、内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) 有効の状態で動作を開始します。

表3.1 リセット解除時のモード設定端子による動作モードの選択

モード設定端子 MD (注1、注2)	動作モード
High	シングルチップモード
Low	ブートモード(SCIインタフェース)
Low→High (注3)	ブートモード(FINEインタフェース)

注1. RES#解除後待機時間、パワーオンリセット時間またはLVD0リセット時間の期間中は動作モード遷移期間中のため、MD端子の入力レベルを変化させないでください。RES#解除後待機時間、パワーオンリセット時間、LVD0リセット時間の詳細は「49. 電気的特性」を参照してください。
注2. シングルチップモードで起動した後は、汎用入出力ポートPN6としても使用可能です。詳細は「20.3.13 汎用入出力端子選択拡張レジスタ (GPSEXT)」を参照してください。
注3. リセット解除時はLow、その後20～100msの間にHighにしてください。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの選択は、エンディアン選択レジスタ (MDE) のエンディアン選択ビット (MDE[2:0]) で行います。設定値を**表 3.2** に示します。エンディアンの選択の詳細は**「7.2.5 エンディアン選択レジスタ (MDE)」**を参照してください。

表3.2 エンディアンの選択

MDE レジスタ MDE[2:0] ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス SYSTEM.MDMONR 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0：MD端子は“Low” 1：MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注. GPSEXT.GPSMDビットが“1”(汎用入出力ポート機能)のときは、MDフラグの値は不定です。

3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス SYSTEM.SYSCR1 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0：RAM無効 1：RAM有効	R/W
b7-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RAME ビット (RAM 有効ビット)

RAM の有効 / 無効を選択するビットです。

RAM をアクセスしているときは、“0” にしないでください。また、RAME ビットを “0” から “1” に書き換えた後は、RAME ビットが “1” になったことを確認してから RAM をアクセスするようにしてください。

RAME ビットを “0” にしても、RAM の値は保持されます。ただし、**「49. 電気的特性」**に規定する RAM スタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

3.2.3 電圧レベル設定レジスタ (VOLSR)

アドレス SYSTEM.VOLSR 0008 C295h

	b7	b6	b5	b4	b3	b2	b1	b0
	RICVLS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RICVLS	RIIC動作電圧設定ビット	0：VCC≧4.5V 1：VCC < 4.5V	R/W

VOLSR レジスタは RIIC 使用時の電源電圧を設定するレジスタです。

RICVLS ビット (RIIC 動作電圧設定ビット)

RIIC のスルーレート制御を行うビットです。VCC の電圧に合わせて値を設定してください。本ビットは、RIIC のモジュールストップ状態を解除する前に設定してください。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

3.3.2 ブートモード (SCI インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「48. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。

3.3.3 ブートモード (FINE インタフェース)

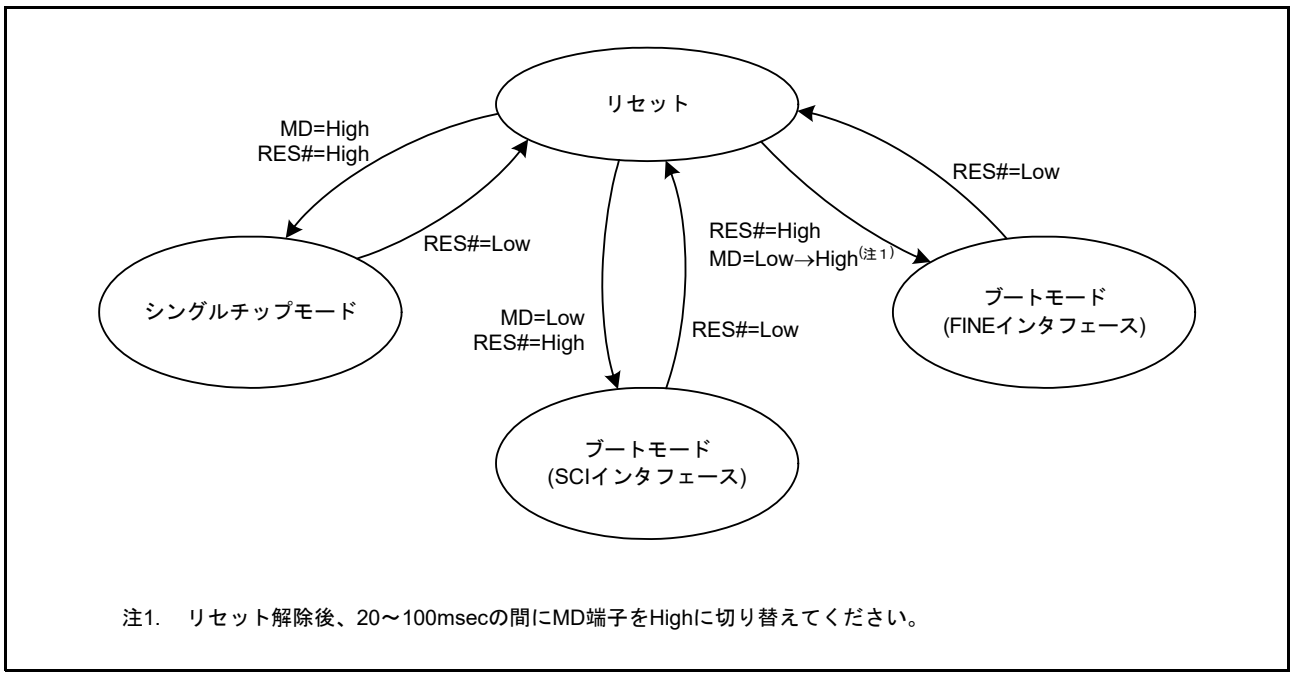
MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE を使用して、MCU 外部から内蔵 ROM(コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「48. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセットを解除した後、20 ～ 100ms の間に MD 端子を High にすると、ブートモード (FINE インタフェース) で起動します。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。



注1. リセット解除後、20～100msecの間にMD端子をHighに切り替えてください。

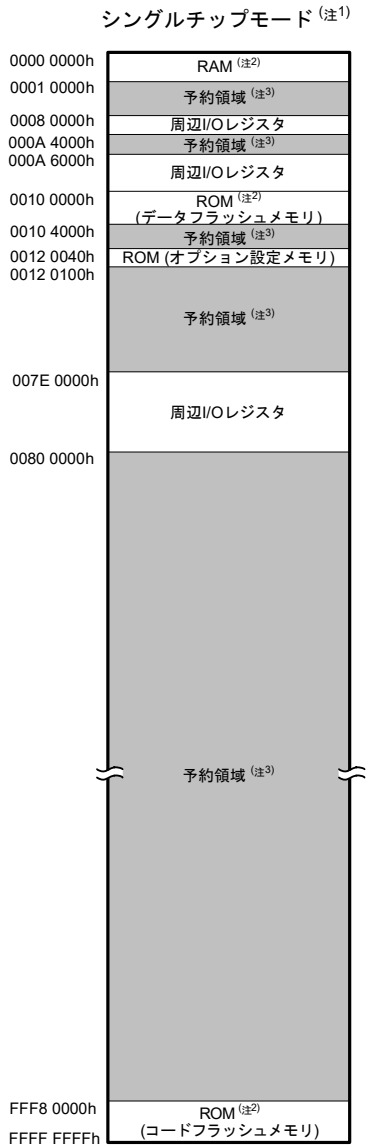
図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって異なります。



注1. ブートモード時は、シングルチップモードと同じメモリマップになります。
注2. 製品によりROM/RAM容量が異なります。

コードフラッシュメモリ			データフラッシュメモリ		RAM	
容量	アドレス		容量	アドレス	容量	アドレス
	リニアモード	デュアルモード (BANKSEL.BANKSWP[2:0] = 111bの場合)				
512KB	FFF8 0000h～FFFF FFFFh	バンク1： FFF8 0000h～FFFB FFFFh	16KB	0010 0000h～0010 3FFFh	64KB	0000 0000h～0000 FFFFh
		バンク0： FFFC 0000h～FFFF FFFFh				
256KB	FFFC 0000h～FFFF FFFFh	—				
128KB	FFFE 0000h～FFFF FFFFh	—				
256KB	FFFC 0000h～FFFF FFFFh	—			48KB	0000 0000h～0000 BFFFh
128KB	FFFE 0000h～FFFF FFFFh	—				

注3. 予約領域は、アクセスしないでください。

図 4.1 各動作モードのメモリマップ

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット (ICU.IERn.IENj ビット) のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

(a) I/O レジスタの書き込み
(b) 書き込んだI/O レジスタの値を汎用レジスタに読み出し
(c) 読み出し値を使って演算を実行
(d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.B  #SFR_DATA, [R1]
CMP    [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.W  #SFR_DATA, [R1]
CMP    [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.L  #SFR_DATA, [R1]
CMP    [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

I/O レジスタアクセスサイクル数 = 内部メインバス 1 のバスサイクル数 +
分周クロック同期化サイクル数 +
内部周辺バス 1 ～ 6 のバスサイクル数

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または FCLK) の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では ICLK ≧ PCLK (または FCLK) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または FCLK) で最大 1 サイクルとなるため、表 5.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

また、ICLK < PCLK (または FCLK) の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

注 1. CPU からのレジスタアクセスが、異なるバスマスタ (DMAC, DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

(5) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

5.1 I/O レジスタアドレス一覧 (アドレス順)

表5.1 I/O レジスタアドレス一覧 (1 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		11章
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		9章
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK		9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		9章
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		9章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		9章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		6章
0008 00D0h	SYSTEM	製品機能選択レジスタ0	PRDFR0	32	32	3ICLK		32章、33章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		12章
0008 1200h	RAM	RAM動作モード制御レジスタ	RAMMODE	8	8	2ICLK		47章
0008 1201h	RAM	RAMエラーステータスレジスタ	RAMSTS	8	8	2ICLK		47章
0008 1204h	RAM	RAMプロテクトレジスタ	RAMPRCR	8	8	2ICLK		47章
0008 1208h	RAM	RAMエラーアドレスキャプチャレジスタ	RAMECAD	32	32	2ICLK		47章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		15章
0008 1404h	TFU	固定小数sincos入出力設定レジスタ	FXSCIOC	8	8	2ICLK		40章
0008 1405h	TFU	固定小数atanhypot_k入出力設定レジスタ	FXATIOC	8	8	2ICLK		40章
0008 1408h	TFU	三角関数演算器ステータスレジスタ	TRGSTS	8	8	2ICLK		40章
0008 1410h	TFU	浮動小数sincos処理用データレジスタ0	FPSCDT0	32	32	2ICLK		40章
0008 1414h	TFU	浮動小数sincos処理用データレジスタ1	FPSCDT1	32	32	2ICLK		40章
0008 1418h	TFU	浮動小数atanhypot_k処理用データレジスタ0	FPATDT0	32	32	2ICLK		40章
0008 141Ch	TFU	浮動小数atanhypot_k処理用データレジスタ1	FPATDT1	32	32	2ICLK		40章
0008 1420h	TFU	固定小数sincos処理用データレジスタ0	FXSCDT0	32	32	2ICLK		40章

表5.1 I/O レジスタアドレス一覧 (2 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 1424h	TFU	固定小数sincos処理用データレジスタ1	FXSCDT1	32	32	2ICLK		40章
0008 1428h	TFU	固定小数atanhypot_k処理用データレジスタ0	FXATDT0	32	32	2ICLK		40章
0008 142Ch	TFU	固定小数atanhypot_k処理用データレジスタ1	FXATDT1	32	32	2ICLK		40章
0008 1430h	TFU	データ退避復帰用レジスタ0	DTSR0	32	32	2ICLK		40章
0008 1434h	TFU	データ退避復帰用レジスタ1	DTSR1	32	32	2ICLK		40章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		17章
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 201Fh	DMAC0	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 205Fh	DMAC1	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 209Fh	DMAC2	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 20DFh	DMAC3	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2100h	DMAC4	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2104h	DMAC4	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章

表5.1 I/O レジスタアドレス一覧 (3 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 2108h	DMAC4	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 210Ch	DMAC4	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2110h	DMAC4	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2113h	DMAC4	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2114h	DMAC4	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 211Ch	DMAC4	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 211Dh	DMAC4	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 211Eh	DMAC4	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 211Fh	DMAC4	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2140h	DMAC5	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2144h	DMAC5	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2148h	DMAC5	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 214Ch	DMAC5	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2150h	DMAC5	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2153h	DMAC5	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2154h	DMAC5	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 215Ch	DMAC5	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 215Dh	DMAC5	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 215Eh	DMAC5	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 215Fh	DMAC5	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2180h	DMAC6	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2184h	DMAC6	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2188h	DMAC6	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 218Ch	DMAC6	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2190h	DMAC6	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2193h	DMAC6	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2194h	DMAC6	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 219Ch	DMAC6	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 219Dh	DMAC6	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 219Eh	DMAC6	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 219Fh	DMAC6	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 21C0h	DMAC7	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 21C4h	DMAC7	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 21C8h	DMAC7	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 21CCh	DMAC7	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 21D0h	DMAC7	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 21D3h	DMAC7	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 21D4h	DMAC7	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 21DCh	DMAC7	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 21DDh	DMAC7	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 21DEh	DMAC7	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 21DFh	DMAC7	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2200h	DMAC	DMACモジュール起動レジスタ	DMAST	8	8	2ICLK		17章
0008 2204h	DMAC	DMAC74割り込みステータスモニタレジスタ	DMIST	8	8	2ICLK		17章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		18章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		18章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK		18章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		18章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		18章
0008 2410h	DTC	DTCインデックステーブルベースレジスタ	DTCIBR	32	32	2ICLK		18章
0008 2414h	DTC	DTCオペレーションレジスタ	DTCOR	8	8	2ICLK		18章
0008 2416h	DTC	DTCシーケンス転送許可レジスタ	DTCSQE	16	16	2ICLK		18章

表5.1 I/Oレジスタアドレス一覧 (4 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 2418h	DTC	DTCアドレスディスプレースメントレジスタ	DTCDISP	32	32	2ICLK		18章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		16章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		16章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		16章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		16章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		16章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		16章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		16章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		16章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		16章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		16章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		16章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		16章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		16章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		16章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		16章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		16章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		16章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		16章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK		16章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK		16章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		16章
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK		16章
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK		16章
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK		16章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		16章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		16章
0008 7010h～0008 70FFh	ICU	割り込み要求レジスタ016～割り込み要求レジスタ255	IR016～IR255	8	8	2ICLK		14章
0008 711Ah～0008 71FFh	ICU	DTC転送要求許可レジスタ026～DTC転送要求許可レジスタ255	DTCER026～DTCER255	8	8	2ICLK		14章
0008 7202h～0008 721Fh	ICU	割り込み要求許可レジスタ02～割り込み要求許可レジスタ1F	IER02～IER1F	8	8	2ICLK		14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		14章
0008 72E1h	ICU	ソフトウェア割り込み2起動レジスタ	SWINT2R	8	8	2ICLK		14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		14章
0008 7300h～0008 73FFh	ICU	割り込み要因プライオリティレジスタ000～割り込み要因プライオリティレジスタ255	IPR000～IPR255	8	8	2ICLK		14章
0008 7400h	ICU	DMAC起動要因選択レジスタ0	DMRSR0	8	8	2ICLK		14章
0008 7404h	ICU	DMAC起動要因選択レジスタ1	DMRSR1	8	8	2ICLK		14章
0008 7408h	ICU	DMAC起動要因選択レジスタ2	DMRSR2	8	8	2ICLK		14章
0008 740Ch	ICU	DMAC起動要因選択レジスタ3	DMRSR3	8	8	2ICLK		14章
0008 7410h	ICU	DMAC起動要因選択レジスタ4	DMRSR4	8	8	2ICLK		14章
0008 7414h	ICU	DMAC起動要因選択レジスタ5	DMRSR5	8	8	2ICLK		14章
0008 7418h	ICU	DMAC起動要因選択レジスタ6	DMRSR6	8	8	2ICLK		14章
0008 741Ch	ICU	DMAC起動要因選択レジスタ7	DMRSR7	8	8	2ICLK		14章
0008 7500h～0008 750Fh	ICU	IRQコントロールレジスタ0～IRQコントロールレジスタ15	IRQCR0～IRQCR15	8	8	2ICLK		14章
0008 7520h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK		14章
0008 7521h	ICU	IRQ端子デジタルフィルタ許可レジスタ1	IRQFLTE1	8	8	2ICLK		14章
0008 7528h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK		14章
0008 752Ah	ICU	IRQ端子デジタルフィルタ設定レジスタ1	IRQFLTC1	16	16	2ICLK		14章
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK		14章

表5.1 I/O レジスタアドレス一覧 (5 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK		14章
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		14章
0008 7630h	ICU	グループBL0割り込み要求レジスタ	GRPBL0	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7634h	ICU	グループBL1割り込み要求レジスタ	GRPBL1	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7638h	ICU	グループBL2割り込み要求レジスタ	GRPBL2	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7670h	ICU	グループBL0割り込み要求許可レジスタ	GENBL0	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7674h	ICU	グループBL1割り込み要求許可レジスタ	GENBL1	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7678h	ICU	グループBL2割り込み要求許可レジスタ	GENBL2	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7830h	ICU	グループAL0割り込み要求レジスタ	GRPAL0	32	32	2ICLK～1PCLKA	2ICLK	14章
0008 7834h	ICU	グループAL1割り込み要求レジスタ	GRPAL1	32	32	2ICLK～1PCLKA	2ICLK	14章
0008 7870h	ICU	グループAL0割り込み要求許可レジスタ	GENAL0	32	32	2ICLK～1PCLKA	2ICLK	14章
0008 7874h	ICU	グループAL1割り込み要求許可レジスタ	GENAL1	32	32	2ICLK～1PCLKA	2ICLK	14章
0008 7900h	ICU	選択型割り込みA要求レジスタ0	PIAR0	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7901h	ICU	選択型割り込みA要求レジスタ1	PIAR1	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7902h	ICU	選択型割り込みA要求レジスタ2	PIAR2	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7903h	ICU	選択型割り込みA要求レジスタ3	PIAR3	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7904h	ICU	選択型割り込みA要求レジスタ4	PIAR4	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7905h	ICU	選択型割り込みA要求レジスタ5	PIAR5	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7906h	ICU	選択型割り込みA要求レジスタ6	PIAR6	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7907h	ICU	選択型割り込みA要求レジスタ7	PIAR7	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7908h	ICU	選択型割り込みA要求レジスタ8	PIAR8	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7909h	ICU	選択型割り込みA要求レジスタ9	PIAR9	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Ah	ICU	選択型割り込みA要求レジスタA	PIARA	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Bh	ICU	選択型割り込みA要求レジスタB	PIARB	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Ch	ICU	選択型割り込みA要求レジスタC	PIARC	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Dh	ICU	選択型割り込みA要求レジスタD	PIARD	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Eh	ICU	選択型割り込みA要求レジスタE	PIARE	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Fh	ICU	選択型割り込みA要求レジスタF	PIARF	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7912h	ICU	選択型割り込みA要求レジスタ12	PIAR12	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7913h	ICU	選択型割り込みA要求レジスタ13	PIAR13	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7914h	ICU	選択型割り込みA要求レジスタ14	PIAR14	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D0h	ICU	選択型割り込みA要因選択レジスタ208	SLIAR208	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D1h	ICU	選択型割り込みA要因選択レジスタ209	SLIAR209	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D2h	ICU	選択型割り込みA要因選択レジスタ210	SLIAR210	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D3h	ICU	選択型割り込みA要因選択レジスタ211	SLIAR211	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D4h	ICU	選択型割り込みA要因選択レジスタ212	SLIAR212	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D5h	ICU	選択型割り込みA要因選択レジスタ213	SLIAR213	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D6h	ICU	選択型割り込みA要因選択レジスタ214	SLIAR214	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D7h	ICU	選択型割り込みA要因選択レジスタ215	SLIAR215	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D8h	ICU	選択型割り込みA要因選択レジスタ216	SLIAR216	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D9h	ICU	選択型割り込みA要因選択レジスタ217	SLIAR217	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DAh	ICU	選択型割り込みA要因選択レジスタ218	SLIAR218	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DBh	ICU	選択型割り込みA要因選択レジスタ219	SLIAR219	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DCh	ICU	選択型割り込みA要因選択レジスタ220	SLIAR220	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DDh	ICU	選択型割り込みA要因選択レジスタ221	SLIAR221	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DEh	ICU	選択型割り込みA要因選択レジスタ222	SLIAR222	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DFh	ICU	選択型割り込みA要因選択レジスタ223	SLIAR223	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E0h	ICU	選択型割り込みA要因選択レジスタ224	SLIAR224	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E1h	ICU	選択型割り込みA要因選択レジスタ225	SLIAR225	8	8	2ICLK～1PCLKA	2ICLK	14章

表5.1 I/O レジスタアドレス一覧 (6 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 79E2h	ICU	選択型割り込みA要因選択レジスタ226	SLIAR226	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E3h	ICU	選択型割り込みA要因選択レジスタ227	SLIAR227	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E4h	ICU	選択型割り込みA要因選択レジスタ228	SLIAR228	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E5h	ICU	選択型割り込みA要因選択レジスタ229	SLIAR229	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E6h	ICU	選択型割り込みA要因選択レジスタ230	SLIAR230	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E7h	ICU	選択型割り込みA要因選択レジスタ231	SLIAR231	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E8h	ICU	選択型割り込みA要因選択レジスタ232	SLIAR232	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E9h	ICU	選択型割り込みA要因選択レジスタ233	SLIAR233	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EAh	ICU	選択型割り込みA要因選択レジスタ234	SLIAR234	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EBh	ICU	選択型割り込みA要因選択レジスタ235	SLIAR235	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79ECh	ICU	選択型割り込みA要因選択レジスタ236	SLIAR236	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EDh	ICU	選択型割り込みA要因選択レジスタ237	SLIAR237	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EEh	ICU	選択型割り込みA要因選択レジスタ238	SLIAR238	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EFh	ICU	選択型割り込みA要因選択レジスタ239	SLIAR239	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F0h	ICU	選択型割り込みA要因選択レジスタ240	SLIAR240	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F1h	ICU	選択型割り込みA要因選択レジスタ241	SLIAR241	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F2h	ICU	選択型割り込みA要因選択レジスタ242	SLIAR242	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F3h	ICU	選択型割り込みA要因選択レジスタ243	SLIAR243	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F4h	ICU	選択型割り込みA要因選択レジスタ244	SLIAR244	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F5h	ICU	選択型割り込みA要因選択レジスタ245	SLIAR245	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F6h	ICU	選択型割り込みA要因選択レジスタ246	SLIAR246	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F7h	ICU	選択型割り込みA要因選択レジスタ247	SLIAR247	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F8h	ICU	選択型割り込みA要因選択レジスタ248	SLIAR248	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F9h	ICU	選択型割り込みA要因選択レジスタ249	SLIAR249	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FAh	ICU	選択型割り込みA要因選択レジスタ250	SLIAR250	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FBh	ICU	選択型割り込みA要因選択レジスタ251	SLIAR251	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FCh	ICU	選択型割り込みA要因選択レジスタ252	SLIAR252	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FDh	ICU	選択型割り込みA要因選択レジスタ253	SLIAR253	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FEh	ICU	選択型割り込みA要因選択レジスタ254	SLIAR254	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FFh	ICU	選択型割り込みA要因選択レジスタ255	SLIAR255	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7A00h	ICU	選択型割り込み要因選択レジスタ書き込み保護レジスタ	SLIPRCR	8	8	2ICLK～1PCLKA/B	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2～3PCLKB	2ICLK	28章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2～3PCLKB	2ICLK	28章
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2～3PCLKB	2ICLK	30章
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2～3PCLKB	2ICLK	30章
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2～3PCLKB	2ICLK	30章
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2～3PCLKB	2ICLK	30章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2～3PCLKB	2ICLK	31章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2～3PCLKB	2ICLK	31章

表5.1 I/O レジスタアドレス一覧 (7 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2～3PCLKB	2ICLK	31章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2～3PCLKB	2ICLK	31章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2～3PCLKB	2ICLK	31章
0008 8040h	DA	D/Aデータレジスタ0	DADR0	16	16	2～3PCLKB	2ICLK	43章
0008 8042h	DA	D/Aデータレジスタ1	DADR1	16	16	2～3PCLKB	2ICLK	43章
0008 8044h	DA	D/A制御レジスタ	DACR	8	8	2～3PCLKB	2ICLK	43章
0008 8045h	DA	データレジスタフォーマット選択レジスタ	DADPR	8	8	2～3PCLKB	2ICLK	43章
0008 8046h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2～3PCLKB	2ICLK	43章
0008 8049h	DA	D/A出力先選択レジスタ	DADSELR	8	8	2～3PCLKB	2ICLK	43章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 820Dh	TMR1	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 821Dh	TMR3	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 8220h	TMR4	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8221h	TMR5	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8222h	TMR4	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8223h	TMR5	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8224h	TMR4	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8224h	TMR45	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8225h	TMR5	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章

表5.1 I/O レジスタアドレス一覧 (8 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 8226h	TMR4	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8226h	TMR45	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8227h	TMR5	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8228h	TMR4	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8228h	TMR45	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8229h	TMR5	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 822Ah	TMR4	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 822Ah	TMR45	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 822Bh	TMR5	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 8230h	TMR6	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8231h	TMR7	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8232h	TMR6	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8233h	TMR7	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8234h	TMR6	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8234h	TMR67	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8235h	TMR7	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8236h	TMR6	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8236h	TMR67	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8237h	TMR7	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8238h	TMR6	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8238h	TMR67	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8239h	TMR7	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 823Ah	TMR6	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 823Ah	TMR67	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 823Bh	TMR7	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2～3PCLKB	2ICLK	39章
0008 8284h	CRC	CRCデータ入力レジスタ	CRCDIR	32	8, 32	2～3PCLKB	2ICLK	39章
0008 8288h	CRC	CRCデータ出力レジスタ	CRCDOR	32	8, 16, 32	2～3PCLKB	2ICLK	39章
0008 8300h	RIIC0	I²Cバスコントロールレジスタ1	ICCR1	8	8	2～3PCLKB	2ICLK	34章
0008 8301h	RIIC0	I²Cバスコントロールレジスタ2	ICCR2	8	8	2～3PCLKB	2ICLK	34章
0008 8302h	RIIC0	I²Cバスモードレジスタ1	ICMR1	8	8	2～3PCLKB	2ICLK	34章
0008 8303h	RIIC0	I²Cバスモードレジスタ2	ICMR2	8	8	2～3PCLKB	2ICLK	34章
0008 8304h	RIIC0	I²Cバスモードレジスタ3	ICMR3	8	8	2～3PCLKB	2ICLK	34章
0008 8305h	RIIC0	I²Cバスファンクション許可レジスタ	ICFER	8	8	2～3PCLKB	2ICLK	34章
0008 8306h	RIIC0	I²Cバスステータス許可レジスタ	ICSER	8	8	2～3PCLKB	2ICLK	34章
0008 8307h	RIIC0	I²Cバス割り込み許可レジスタ	ICIER	8	8	2～3PCLKB	2ICLK	34章
0008 8308h	RIIC0	I²Cバスステータスレジスタ1	ICSR1	8	8	2～3PCLKB	2ICLK	34章
0008 8309h	RIIC0	I²Cバスステータスレジスタ2	ICSR2	8	8	2～3PCLKB	2ICLK	34章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2～3PCLKB	2ICLK	34章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2～3PCLKB	2ICLK	34章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2～3PCLKB	2ICLK	34章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2～3PCLKB	2ICLK	34章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2～3PCLKB	2ICLK	34章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2～3PCLKB	2ICLK	34章
0008 8310h	RIIC0	I²CバスビットレートLowレジスタ	ICBRL	8	8	2～3PCLKB	2ICLK	34章
0008 8311h	RIIC0	I²CバスビットレートHighレジスタ	ICBRH	8	8	2～3PCLKB	2ICLK	34章
0008 8312h	RIIC0	I²Cバス送信データレジスタ	ICDRT	8	8	2～3PCLKB	2ICLK	34章
0008 8313h	RIIC0	I²Cバス受信データレジスタ	ICDRR	8	8	2～3PCLKB	2ICLK	34章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	42章
0008 9004h	S12AD	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	42章
0008 9008h	S12AD	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	42章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	42章

表5.1 I/O レジスタアドレス一覧 (9 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	42章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	42章
0008 9014h	S12AD	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	42章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2～3PCLKB	2ICLK	42章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	42章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	42章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	42章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	42章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	42章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLKB	2ICLK	42章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLKB	2ICLK	42章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLKB	2ICLK	42章
0008 9066h	S12AD	A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2～3PCLKB	2ICLK	42章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	2ICLK	42章
0008 907Ch	S12AD	A/Dサンプル&ホールド動作モード選択レジスタ	ADSHMSR	8	8	2～3PCLKB	2ICLK	42章
0008 907Dh	S12AD	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	2ICLK	42章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	2ICLK	42章
0008 9084h	S12AD	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2～3PCLKB	2ICLK	42章
0008 9086h	S12AD	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2～3PCLKB	2ICLK	42章
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウA/Bステータスモニタレジスタ	ADWINMON	8	8	2～3PCLKB	2ICLK	42章
0008 9090h	S12AD	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2～3PCLKB	2ICLK	42章
0008 9094h	S12AD	A/Dコンペア機能ウィンドウAチャネル選択レジスタ0	ADCMPANSR0	16	16	2～3PCLKB	2ICLK	42章
0008 9098h	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2～3PCLKB	2ICLK	42章
0008 909Ch	S12AD	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	16	16	2～3PCLKB	2ICLK	42章
0008 909Eh	S12AD	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	16	16	2～3PCLKB	2ICLK	42章
0008 90A0h	S12AD	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2～3PCLKB	2ICLK	42章
0008 90A6h	S12AD	A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMPBNSR	8	8	2～3PCLKB	2ICLK	42章
0008 90A8h	S12AD	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2～3PCLKB	2ICLK	42章
0008 90AAh	S12AD	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2～3PCLKB	2ICLK	42章
0008 90ACh	S12AD	A/Dコンペア機能ウィンドウBチャネルステータスレジスタ	ADCMPBSR	8	8	2～3PCLKB	2ICLK	42章
0008 90D4h	S12AD	A/Dチャネル選択レジスタC0	ADANSC0	16	16	2～3PCLKB	2ICLK	42章
0008 90D9h	S12AD	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2～3PCLKB	2ICLK	42章
0008 90DCh	S12AD	A/DグループCトリガ選択レジスタ2	ADGCTRGR2	8	8	2～3PCLKB	2ICLK	42章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2～3PCLKB	2ICLK	42章
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2～3PCLKB	2ICLK	42章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2～3PCLKB	2ICLK	42章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2～3PCLKB	2ICLK	42章
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2～3PCLKB	2ICLK	42章
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2～3PCLKB	2ICLK	42章
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2～3PCLKB	2ICLK	42章
0008 91A0h	S12AD	A/Dプログラマブルゲインアンプコントロールレジスタ	ADPGACR	16	16	2～3PCLKB	2ICLK	42章
0008 91A2h	S12AD	A/Dプログラマブルゲインアンプゲイン設定レジスタ0	ADPGAGS0	16	16	2～3PCLKB	2ICLK	42章
0008 91C0h	S12AD	A/Dチャネル変換順序設定レジスタ0	ADSCS0	8	8	2～3PCLKB	2ICLK	42章
0008 91C1h	S12AD	A/Dチャネル変換順序設定レジスタ1	ADSCS1	8	8	2～3PCLKB	2ICLK	42章
0008 91C2h	S12AD	A/Dチャネル変換順序設定レジスタ2	ADSCS2	8	8	2～3PCLKB	2ICLK	42章
0008 91C3h	S12AD	A/Dチャネル変換順序設定レジスタ3	ADSCS3	8	8	2～3PCLKB	2ICLK	42章

表5.1 I/O レジスタアドレス一覧 (10 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 91C4h	S12AD	A/Dチャネル変換順序設定レジスタ4	ADSCS4	8	8	2～3PCLKB	2ICLK	42章
0008 91C5h	S12AD	A/Dチャネル変換順序設定レジスタ5	ADSCS5	8	8	2～3PCLKB	2ICLK	42章
0008 91C6h	S12AD	A/Dチャネル変換順序設定レジスタ6	ADSCS6	8	8	2～3PCLKB	2ICLK	42章
0008 9200h	S12AD1	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	42章
0008 9204h	S12AD1	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	42章
0008 9208h	S12AD1	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	42章
0008 920Ch	S12AD1	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	42章
0008 920Eh	S12AD1	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	42章
0008 9210h	S12AD1	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	42章
0008 9214h	S12AD1	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	42章
0008 9218h	S12AD1	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2～3PCLKB	2ICLK	42章
0008 921Eh	S12AD1	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	42章
0008 9220h	S12AD1	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	42章
0008 9222h	S12AD1	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	42章
0008 9224h	S12AD1	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	42章
0008 9226h	S12AD1	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	42章
0008 9266h	S12AD1	A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2～3PCLKB	2ICLK	42章
0008 927Ah	S12AD1	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	2ICLK	42章
0008 927Ch	S12AD1	A/Dサンプル&ホールド動作モード選択レジスタ	ADSHMSR	8	8	2～3PCLKB	2ICLK	42章
0008 927Dh	S12AD1	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	2ICLK	42章
0008 9280h	S12AD1	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	2ICLK	42章
0008 9284h	S12AD1	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2～3PCLKB	2ICLK	42章
0008 9286h	S12AD1	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2～3PCLKB	2ICLK	42章
0008 928Ch	S12AD1	A/Dコンペア機能ウィンドウA/Bステータスモニタレジスタ	ADWINMON	8	8	2～3PCLKB	2ICLK	42章
0008 9290h	S12AD1	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2～3PCLKB	2ICLK	42章
0008 9294h	S12AD1	A/Dコンペア機能ウィンドウAチャネル選択レジスタ0	ADCMPANSR0	16	16	2～3PCLKB	2ICLK	42章
0008 9298h	S12AD1	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2～3PCLKB	2ICLK	42章
0008 929Ch	S12AD1	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	16	16	2～3PCLKB	2ICLK	42章
0008 929Eh	S12AD1	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	16	16	2～3PCLKB	2ICLK	42章
0008 92A0h	S12AD1	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2～3PCLKB	2ICLK	42章
0008 92A6h	S12AD1	A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMPBNSR	8	8	2～3PCLKB	2ICLK	42章
0008 92A8h	S12AD1	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2～3PCLKB	2ICLK	42章
0008 92AAh	S12AD1	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2～3PCLKB	2ICLK	42章
0008 92ACh	S12AD1	A/Dコンペア機能ウィンドウBチャネルステータスレジスタ	ADCMPBSR	8	8	2～3PCLKB	2ICLK	42章
0008 92D4h	S12AD1	A/Dチャネル選択レジスタC0	ADANSC0	16	16	2～3PCLKB	2ICLK	42章
0008 92D9h	S12AD1	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2～3PCLKB	2ICLK	42章
0008 92DCh	S12AD1	A/DグループCトリガ選択レジスタ2	ADGCTRGR2	8	8	2～3PCLKB	2ICLK	42章
0008 92E0h	S12AD1	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2～3PCLKB	2ICLK	42章
0008 92E1h	S12AD1	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2～3PCLKB	2ICLK	42章
0008 92E2h	S12AD1	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2～3PCLKB	2ICLK	42章
0008 92E3h	S12AD1	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2～3PCLKB	2ICLK	42章
0008 93A0h	S12AD1	A/Dプログラマブルゲインアンプコントロールレジスタ	ADPGACR	16	16	2～3PCLKB	2ICLK	42章
0008 93A2h	S12AD1	A/Dプログラマブルゲインアンプゲイン設定レジスタ0	ADPGAGS0	16	16	2～3PCLKB	2ICLK	42章
0008 93C0h	S12AD1	A/Dチャネル変換順序設定レジスタ0	ADSCS0	8	8	2～3PCLKB	2ICLK	42章
0008 93C1h	S12AD1	A/Dチャネル変換順序設定レジスタ1	ADSCS1	8	8	2～3PCLKB	2ICLK	42章
0008 93C2h	S12AD1	A/Dチャネル変換順序設定レジスタ2	ADSCS2	8	8	2～3PCLKB	2ICLK	42章

表5.1 I/O レジスタアドレス一覧 (11 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 93C3h	S12AD1	A/Dチャネル変換順序設定レジスタ3	ADSCS3	8	8	2～3PCLKB	2ICLK	42章
0008 9400h	S12AD2	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	42章
0008 9404h	S12AD2	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	42章
0008 9406h	S12AD2	A/Dチャネル選択レジスタA1	ADANSA1	16	16	2～3PCLKB	2ICLK	42章
0008 9408h	S12AD2	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	42章
0008 940Ah	S12AD2	A/D変換値加算/平均機能チャネル選択レジスタ1	ADADS1	16	16	2～3PCLKB	2ICLK	42章
0008 940Ch	S12AD2	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	42章
0008 940Eh	S12AD2	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	42章
0008 9410h	S12AD2	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	42章
0008 9412h	S12AD2	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2～3PCLKB	2ICLK	42章
0008 9414h	S12AD2	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	42章
0008 9416h	S12AD2	A/Dチャネル選択レジスタB1	ADANSB1	16	16	2～3PCLKB	2ICLK	42章
0008 9418h	S12AD2	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2～3PCLKB	2ICLK	42章
0008 941Ah	S12AD2	A/D温度センサデータレジスタ	ADTSDR	16	16	2～3PCLKB	2ICLK	42章
0008 941Ch	S12AD2	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2～3PCLKB	2ICLK	42章
0008 941Eh	S12AD2	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	42章
0008 9420h	S12AD2	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	42章
0008 9422h	S12AD2	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	42章
0008 9424h	S12AD2	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	42章
0008 9426h	S12AD2	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	42章
0008 9428h	S12AD2	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLKB	2ICLK	42章
0008 942Ah	S12AD2	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLKB	2ICLK	42章
0008 942Ch	S12AD2	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLKB	2ICLK	42章
0008 942Eh	S12AD2	A/Dデータレジスタ7	ADDR7	16	16	2～3PCLKB	2ICLK	42章
0008 9430h	S12AD2	A/Dデータレジスタ8	ADDR8	16	16	2～3PCLKB	2ICLK	42章
0008 9432h	S12AD2	A/Dデータレジスタ9	ADDR9	16	16	2～3PCLKB	2ICLK	42章
0008 9434h	S12AD2	A/Dデータレジスタ10	ADDR10	16	16	2～3PCLKB	2ICLK	42章
0008 9436h	S12AD2	A/Dデータレジスタ11	ADDR11	16	16	2～3PCLKB	2ICLK	42章
0008 9440h	S12AD2	A/Dデータレジスタ16	ADDR16	16	16	2～3PCLKB	2ICLK	42章
0008 9442h	S12AD2	A/Dデータレジスタ17	ADDR17	16	16	2～3PCLKB	2ICLK	42章
0008 947Ah	S12AD2	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	2ICLK	42章
0008 947Dh	S12AD2	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	2ICLK	42章
0008 9480h	S12AD2	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	2ICLK	42章
0008 9484h	S12AD2	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2～3PCLKB	2ICLK	42章
0008 9486h	S12AD2	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2～3PCLKB	2ICLK	42章
0008 948Ch	S12AD2	A/Dコンペア機能ウィンドウA/Bステータスモニタレジスタ	ADWINMON	8	8	2～3PCLKB	2ICLK	42章
0008 9490h	S12AD2	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2～3PCLKB	2ICLK	42章
0008 9492h	S12AD2	A/Dコンペア機能ウィンドウA拡張入力選択レジスタ	ADCMPANSER	8	8	2～3PCLKB	2ICLK	42章
0008 9493h	S12AD2	A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ	ADCMPLER	8	8	2～3PCLKB	2ICLK	42章
0008 9494h	S12AD2	A/Dコンペア機能ウィンドウAチャネル選択レジスタ0	ADCMPANSR0	16	16	2～3PCLKB	2ICLK	42章
0008 9496h	S12AD2	A/Dコンペア機能ウィンドウAチャネル選択レジスタ1	ADCMPANSR1	16	16	2～3PCLKB	2ICLK	42章
0008 9498h	S12AD2	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2～3PCLKB	2ICLK	42章
0008 949Ah	S12AD2	A/Dコンペア機能ウィンドウA比較条件設定レジスタ1	ADCMPLR1	16	16	2～3PCLKB	2ICLK	42章
0008 949Ch	S12AD2	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	16	16	2～3PCLKB	2ICLK	42章
0008 949Eh	S12AD2	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	16	16	2～3PCLKB	2ICLK	42章
0008 94A0h	S12AD2	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2～3PCLKB	2ICLK	42章

表5.1 I/O レジスタアドレス一覧 (12 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 94A2h	S12AD2	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1	ADCMPSR1	16	16	2～3PCLKB	2ICLK	42章
0008 94A4h	S12AD2	A/Dコンペア機能ウィンドウA拡張入力チャネルステータスレジスタ	ADCMPSER	8	8	2～3PCLKB	2ICLK	42章
0008 94A6h	S12AD2	A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMPBNSR	8	8	2～3PCLKB	2ICLK	42章
0008 94A8h	S12AD2	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2～3PCLKB	2ICLK	42章
0008 94AAh	S12AD2	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2～3PCLKB	2ICLK	42章
0008 94ACh	S12AD2	A/Dコンペア機能ウィンドウBチャネルステータスレジスタ	ADCMPBSR	8	8	2～3PCLKB	2ICLK	42章
0008 94D4h	S12AD2	A/Dチャネル選択レジスタC0	ADANSC0	16	16	2～3PCLKB	2ICLK	42章
0008 94D6h	S12AD2	A/Dチャネル選択レジスタC1	ADANSC1	16	16	2～3PCLKB	2ICLK	42章
0008 94D8h	S12AD2	A/Dグループ C拡張入力コントロールレジスタ	ADGCEXCR	8	8	2～3PCLKB	2ICLK	42章
0008 94D9h	S12AD2	A/Dグループ C トリガ選択レジスタ	ADGCTRGR	8	8	2～3PCLKB	2ICLK	42章
0008 94DCh	S12AD2	A/Dグループ C トリガ選択レジスタ2	ADGCTRGR2	8	8	2～3PCLKB	2ICLK	42章
0008 94DDh	S12AD2	A/Dサンプリングステートレジスタ L	ADSSTRL	8	8	2～3PCLKB	2ICLK	42章
0008 94DEh	S12AD2	A/Dサンプリングステートレジスタ T	ADSSTRT	8	8	2～3PCLKB	2ICLK	42章
0008 94DFh	S12AD2	A/Dサンプリングステートレジスタ O	ADSSTRO	8	8	2～3PCLKB	2ICLK	42章
0008 94E0h	S12AD2	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2～3PCLKB	2ICLK	42章
0008 94E1h	S12AD2	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2～3PCLKB	2ICLK	42章
0008 94E2h	S12AD2	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2～3PCLKB	2ICLK	42章
0008 94E3h	S12AD2	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2～3PCLKB	2ICLK	42章
0008 94E4h	S12AD2	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2～3PCLKB	2ICLK	42章
0008 94E5h	S12AD2	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2～3PCLKB	2ICLK	42章
0008 94E6h	S12AD2	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2～3PCLKB	2ICLK	42章
0008 94E7h	S12AD2	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2～3PCLKB	2ICLK	42章
0008 94E8h	S12AD2	A/Dサンプリングステートレジスタ8	ADSSTR8	8	8	2～3PCLKB	2ICLK	42章
0008 94E9h	S12AD2	A/Dサンプリングステートレジスタ9	ADSSTR9	8	8	2～3PCLKB	2ICLK	42章
0008 94EAh	S12AD2	A/Dサンプリングステートレジスタ10	ADSSTR10	8	8	2～3PCLKB	2ICLK	42章
0008 94EBh	S12AD2	A/Dサンプリングステートレジスタ11	ADSSTR11	8	8	2～3PCLKB	2ICLK	42章
0008 95C0h	S12AD2	A/Dチャネル変換順序設定レジスタ0	ADSCS0	8	8	2～3PCLKB	2ICLK	42章
0008 95C1h	S12AD2	A/Dチャネル変換順序設定レジスタ1	ADSCS1	8	8	2～3PCLKB	2ICLK	42章
0008 95C2h	S12AD2	A/Dチャネル変換順序設定レジスタ2	ADSCS2	8	8	2～3PCLKB	2ICLK	42章
0008 95C3h	S12AD2	A/Dチャネル変換順序設定レジスタ3	ADSCS3	8	8	2～3PCLKB	2ICLK	42章
0008 95C4h	S12AD2	A/Dチャネル変換順序設定レジスタ4	ADSCS4	8	8	2～3PCLKB	2ICLK	42章
0008 95C5h	S12AD2	A/Dチャネル変換順序設定レジスタ5	ADSCS5	8	8	2～3PCLKB	2ICLK	42章
0008 95C6h	S12AD2	A/Dチャネル変換順序設定レジスタ6	ADSCS6	8	8	2～3PCLKB	2ICLK	42章
0008 95C7h	S12AD2	A/Dチャネル変換順序設定レジスタ7	ADSCS7	8	8	2～3PCLKB	2ICLK	42章
0008 95C8h	S12AD2	A/Dチャネル変換順序設定レジスタ8	ADSCS8	8	8	2～3PCLKB	2ICLK	42章
0008 95C9h	S12AD2	A/Dチャネル変換順序設定レジスタ9	ADSCS9	8	8	2～3PCLKB	2ICLK	42章
0008 95CAh	S12AD2	A/Dチャネル変換順序設定レジスタ10	ADSCS10	8	8	2～3PCLKB	2ICLK	42章
0008 95CBh	S12AD2	A/Dチャネル変換順序設定レジスタ11	ADSCS11	8	8	2～3PCLKB	2ICLK	42章
0008 95D0h	S12AD2	A/Dチャネル変換順序設定レジスタ12	ADSCS12	8	8	2～3PCLKB	2ICLK	42章
0008 95D1h	S12AD2	A/Dチャネル変換順序設定レジスタ13	ADSCS13	8	8	2～3PCLKB	2ICLK	42章
0008 95E2h	S12AD2	A/D内部基準電圧モニタ回路許可レジスタ	ADVMONCR	8	8	2～3PCLKB	2ICLK	42章
0008 95E4h	S12AD2	A/D内部基準電圧モニタ回路出力許可レジスタ	ADVMONO	8	8	2～3PCLKB	2ICLK	42章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (13 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A029h	SCI1	I²Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 A02Ah	SCI1	I²Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A02Bh	SCI1	I²Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A02Ch	SCI1	I²Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A033h	SCI1	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A03Ah	SCI1	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A03Bh	SCI1	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章
0008 A03Ah	SCI1	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A03Ch	SCI1	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 A03Dh	SCI1	送受信タイミング選択レジスタ	TMGR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A9h	SCI5	I²Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 A0AAh	SCI5	I²Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A0ABh	SCI5	I²Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A0ACh	SCI5	I²Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0B3h	SCI5	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0BAh	SCI5	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A0BBh	SCI5	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (14 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 A0BAh	SCI5	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A0BCh	SCI5	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 A0BDh	SCI5	送受信タイミング選択レジスタ	TMGR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C9h	SCI6	I^2Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 A0CAh	SCI6	I^2Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A0CBh	SCI6	I^2Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A0CCh	SCI6	I^2Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0D3h	SCI6	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0DAh	SCI6	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A0DBh	SCI6	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章
0008 A0DAh	SCI6	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A0DCh	SCI6	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 A0DDh	SCI6	送受信タイミング選択レジスタ	TMGR	8	8	2～3PCLKB	2ICLK	32章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2～3PCLKB	2ICLK	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2～3PCLKB	2ICLK	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2～3PCLKB	2ICLK	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2～3PCLKB	2ICLK	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2～3PCLKB	2ICLK	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2～3PCLKB	2ICLK	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2～3PCLKB	2ICLK	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2～3PCLKB	2ICLK	10章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2～3PCLKB	2ICLK	19章
0008 B101h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8	2～3PCLKB	2ICLK	19章
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2～3PCLKB	2ICLK	19章
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2～3PCLKB	2ICLK	19章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2～3PCLKB	2ICLK	19章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2～3PCLKB	2ICLK	19章
0008 B10Ch	ELC	イベントリンク設定レジスタ11	ELSR11	8	8	2～3PCLKB	2ICLK	19章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2～3PCLKB	2ICLK	19章
0008 B10Eh	ELC	イベントリンク設定レジスタ13	ELSR13	8	8	2～3PCLKB	2ICLK	19章
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2～3PCLKB	2ICLK	19章

表5.1 I/O レジスタアドレス一覧 (15 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2～3PCLKB	2ICLK	19章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2～3PCLKB	2ICLK	19章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2～3PCLKB	2ICLK	19章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2～3PCLKB	2ICLK	19章
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2～3PCLKB	2ICLK	19章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2～3PCLKB	2ICLK	19章
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2～3PCLKB	2ICLK	19章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2～3PCLKB	2ICLK	19章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2～3PCLKB	2ICLK	19章
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2～3PCLKB	2ICLK	19章
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2～3PCLKB	2ICLK	19章
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2～3PCLKB	2ICLK	19章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2～3PCLKB	2ICLK	19章
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2～3PCLKB	2ICLK	19章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2～3PCLKB	2ICLK	19章
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2～3PCLKB	2ICLK	19章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2～3PCLKB	2ICLK	19章
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2～3PCLKB	2ICLK	19章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2～3PCLKB	2ICLK	19章
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2～3PCLKB	2ICLK	19章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2～3PCLKB	2ICLK	19章
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2～3PCLKB	2ICLK	19章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2～3PCLKB	2ICLK	19章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2～3PCLKB	2ICLK	19章
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2～3PCLKB	2ICLK	19章
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2～3PCLKB	2ICLK	19章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2～3PCLKB	2ICLK	19章
0008 B12Eh	ELC	イベントリンク設定レジスタ30	ELSR30	8	8	2～3PCLKB	2ICLK	19章
0008 B12Fh	ELC	イベントリンク設定レジスタ31	ELSR31	8	8	2～3PCLKB	2ICLK	19章
0008 B131h	ELC	イベントリンク設定レジスタ33	ELSR33	8	8	2～3PCLKB	2ICLK	19章
0008 B13Dh	ELC	イベントリンク設定レジスタ45	ELSR45	8	8	2～3PCLKB	2ICLK	19章
0008 B13Eh	ELC	イベントリンクオプション設定レジスタE	ELOPE	8	8	2～3PCLKB	2ICLK	19章
0008 B141h	ELC	イベントリンクオプション設定レジスタH	ELOPH	8	8	2～3PCLKB	2ICLK	19章
0008 B144h	ELC	イベントリンク設定レジスタ46	ELSR46	8	8	2～3PCLKB	2ICLK	19章
0008 B145h	ELC	イベントリンク設定レジスタ47	ELSR47	8	8	2～3PCLKB	2ICLK	19章
0008 B146h	ELC	イベントリンク設定レジスタ48	ELSR48	8	8	2～3PCLKB	2ICLK	19章
0008 B147h	ELC	イベントリンク設定レジスタ49	ELSR49	8	8	2～3PCLKB	2ICLK	19章
0008 B148h	ELC	イベントリンク設定レジスタ50	ELSR50	8	8	2～3PCLKB	2ICLK	19章
0008 B149h	ELC	イベントリンク設定レジスタ51	ELSR51	8	8	2～3PCLKB	2ICLK	19章
0008 B14Ah	ELC	イベントリンク設定レジスタ52	ELSR52	8	8	2～3PCLKB	2ICLK	19章
0008 B14Bh	ELC	イベントリンク設定レジスタ53	ELSR53	8	8	2～3PCLKB	2ICLK	19章
0008 B14Ch	ELC	イベントリンク設定レジスタ54	ELSR54	8	8	2～3PCLKB	2ICLK	19章
0008 B14Dh	ELC	イベントリンク設定レジスタ55	ELSR55	8	8	2～3PCLKB	2ICLK	19章
0008 B14Eh	ELC	イベントリンク設定レジスタ56	ELSR56	8	8	2～3PCLKB	2ICLK	19章
0008 B14Fh	ELC	イベントリンク設定レジスタ57	ELSR57	8	8	2～3PCLKB	2ICLK	19章
0008 B150h	ELC	イベントリンク設定レジスタ58	ELSR58	8	8	2～3PCLKB	2ICLK	19章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (16 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 B309h	SCI12	I²Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 B30Ah	SCI12	I²Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 B30Bh	SCI12	I²Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 B30Ch	SCI12	I²Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2～3PCLKB	2ICLK	32章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2～3PCLKB	2ICLK	32章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2～3PCLKB	2ICLK	32章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2～3PCLKB	2ICLK	32章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2～3PCLKB	2ICLK	32章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2～3PCLKB	2ICLK	32章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2～3PCLKB	2ICLK	32章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2～3PCLKB	2ICLK	32章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2～3PCLKB	2ICLK	32章
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Ah	SCI12	Control Field 0コンペアイネーブルレジスタ	CF0CR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Eh	SCI12	Control Field 1コンペアイネーブルレジスタ	CF1CR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2～3PCLKB	2ICLK	32章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	32章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2～3PCLKB	2ICLK	32章
0008 B332h	SCI12	タイマプリスケーラレジスタ	TPRE	8	8	2～3PCLKB	2ICLK	32章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2～3PCLKB	2ICLK	32章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章

表5.1 I/O レジスタアドレス一覧 (17 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C016h	PORTN	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C036h	PORTN	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C056h	PORTN	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C076h	PORTN	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C080h	PORT0	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C082h	PORT1	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C084h	PORT2	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C085h	PORT2	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C086h	PORT3	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章

表5.1 I/O レジスタアドレス一覧 (18 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C087h	PORT3	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C088h	PORT4	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C089h	PORT4	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C08Ah	PORT5	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C08Bh	PORT5	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C08Ch	PORT6	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C08Dh	PORT6	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C08Eh	PORT7	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C08Fh	PORT7	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C090h	PORT8	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C092h	PORT9	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C093h	PORT9	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C094h	PORTA	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C095h	PORTA	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C096h	PORTB	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C097h	PORTB	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C09Ah	PORTD	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C09Bh	PORTD	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C09Ch	PORTE	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C09Dh	PORTE	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C0ADh	PORTN	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C1h	PORT1	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C2h	PORT2	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C3h	PORT3	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C4h	PORT4	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C5h	PORT5	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C6h	PORT6	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C7h	PORT7	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C8h	PORT8	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C9h	PORT9	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CAh	PORTA	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CBh	PORTB	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CDh	PORTD	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CEh	PORTE	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0D6h	PORTN	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0F6h	PORTN	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C110h	PORT	ポート出力保持設定レジスタ1	POHSR1	16	16	2～3PCLKB	2ICLK	20章
0008 C112h	PORT	ポート出力保持設定レジスタ2	POHSR2	16	16	2～3PCLKB	2ICLK	20章
0008 C114h	PORT	ポート出力保持制御レジスタ	POHCR	8	8	2～3PCLKB	2ICLK	20章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2～3PCLKB	2ICLK	21章

表5.1 I/O レジスタアドレス一覧 (19 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C122h	PORT	汎用入出力端子選択拡張レジスタ	GPSEXT	8	8	2～3PCLKB	2ICLK	20章
0008 C12Fh	PORT7	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C130h	PORT8	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C131h	PORT9	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C133h	PORTB	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C135h	PORTD	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C15Eh	MPC	P36端子機能制御レジスタ	P36PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C15Fh	MPC	P37端子機能制御レジスタ	P37PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C172h	MPC	P62端子機能制御レジスタ	P62PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C173h	MPC	P63端子機能制御レジスタ	P63PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C174h	MPC	P64端子機能制御レジスタ	P64PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C175h	MPC	P65端子機能制御レジスタ	P65PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2～3PCLKB	2ICLK	21章

表5.1 I/O レジスタアドレス一覧 (20 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Dh	MPC	P95端子機能制御レジスタ	P95PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Eh	MPC	P96端子機能制御レジスタ	P96PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1F7h	MPC	PN7端子機能制御レジスタ	PN7PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4～5PCLKB	2～3ICLK	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4～5PCLKB	2～3ICLK	6章
0008 C293h	SYSTEM	メインクロック発振器機能コントロールレジスタ	MOFCR	8	8	4～5PCLKB	2～3ICLK	9章
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4～5PCLKB	2～3ICLK	9章
0008 C295h	SYSTEM	電圧レベル設定レジスタ	VOLSR	8	8	4～5PCLKB	2～3ICLK	3章
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPROR	8	8	4～5PCLKB	2～3ICLK	48章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4～5PCLKB	2～3ICLK	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4～5PCLKB	2～3ICLK	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4～5PCLKB	2～3ICLK	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4～5PCLKB	2～3ICLK	8章
0009 4200h	CMTW0	タイマスタートレジスタ	CMWSTR	16	16	2～3PCLKB	2ICLK	29章
0009 4204h	CMTW0	タイマコントロールレジスタ	CMWCR	16	16	2～3PCLKB	2ICLK	29章
0009 4208h	CMTW0	タイマI/Oコントロールレジスタ	CMWIOR	16	16	2～3PCLKB	2ICLK	29章
0009 4210h	CMTW0	タイマカウンタ	CMWCNT	32	32	2～3PCLKB	2ICLK	29章
0009 4214h	CMTW0	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2～3PCLKB	2ICLK	29章

表5.1 I/O レジスタアドレス一覧 (21 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0009 4218h	CMTW0	インプットキャプチャレジスタ0	CMWICR0	32	32	2～3PCLKB	2ICLK	29章
0009 421Ch	CMTW0	インプットキャプチャレジスタ1	CMWICR1	32	32	2～3PCLKB	2ICLK	29章
0009 4220h	CMTW0	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2～3PCLKB	2ICLK	29章
0009 4224h	CMTW0	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2～3PCLKB	2ICLK	29章
0009 4280h	CMTW1	タイマスタートレジスタ	CMWSTR	16	16	2～3PCLKB	2ICLK	29章
0009 4284h	CMTW1	タイマコントロールレジスタ	CMWCR	16	16	2～3PCLKB	2ICLK	29章
0009 4288h	CMTW1	タイマI/Oコントロールレジスタ	CMWIOR	16	16	2～3PCLKB	2ICLK	29章
0009 4290h	CMTW1	タイマカウンタ	CMWCNT	32	32	2～3PCLKB	2ICLK	29章
0009 4294h	CMTW1	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2～3PCLKB	2ICLK	29章
0009 4298h	CMTW1	インプットキャプチャレジスタ0	CMWICR0	32	32	2～3PCLKB	2ICLK	29章
0009 429Ch	CMTW1	インプットキャプチャレジスタ1	CMWICR1	32	32	2～3PCLKB	2ICLK	29章
0009 42A0h	CMTW1	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2～3PCLKB	2ICLK	29章
0009 42A4h	CMTW1	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2～3PCLKB	2ICLK	29章
0009 E000h	POEG	POEGグループA設定レジスタ	POEGGA	32	32	2～3PCLKB	2ICLK	26章
0009 E004h	POEG	POEGグループA入力制御レジスタ	POEGICRA	32	32	2～3PCLKB	2ICLK	26章
0009 E040h	POEG	GPTW出力停止制御グループA書き込み保護レジスタ	GTONCWPA	16	16	2～3PCLKB	2ICLK	26章
0009 E044h	POEG	GPTW出力停止制御グループAコントロールレジスタ	GTONCCRA	16	16	2～3PCLKB	2ICLK	26章
0009 E100h	POEG	POEGグループB設定レジスタ	POEGGB	32	32	2～3PCLKB	2ICLK	26章
0009 E104h	POEG	POEGグループB入力制御レジスタ	POEGICRB	32	32	2～3PCLKB	2ICLK	26章
0009 E140h	POEG	GPTW出力停止制御グループB書き込み保護レジスタ	GTONCWPB	16	16	2～3PCLKB	2ICLK	26章
0009 E144h	POEG	GPTW出力停止制御グループBコントロールレジスタ	GTONCCRB	16	16	2～3PCLKB	2ICLK	26章
0009 E200h	POEG	POEGグループC設定レジスタ	POEGGC	32	32	2～3PCLKB	2ICLK	26章
0009 E204h	POEG	POEGグループC入力制御レジスタ	POEGICRC	32	32	2～3PCLKB	2ICLK	26章
0009 E240h	POEG	GPTW出力停止制御グループC書き込み保護レジスタ	GTONCWPC	16	16	2～3PCLKB	2ICLK	26章
0009 E244h	POEG	GPTW出力停止制御グループCコントロールレジスタ	GTONCCRC	16	16	2～3PCLKB	2ICLK	26章
0009 E300h	POEG	POEGグループD設定レジスタ	POEGGD	32	32	2～3PCLKB	2ICLK	26章
0009 E304h	POEG	POEGグループD入力制御レジスタ	POEGICRD	32	32	2～3PCLKB	2ICLK	26章
0009 E340h	POEG	GPTW出力停止制御グループD書き込み保護レジスタ	GTONCWPD	16	16	2～3PCLKB	2ICLK	26章
0009 E344h	POEG	GPTW出力停止制御グループDコントロールレジスタ	GTONCCRD	16	16	2～3PCLKB	2ICLK	26章
0009 E400h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2～3PCLKB	2ICLK	23章
0009 E402h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2～3PCLKB	2ICLK	23章
0009 E404h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2～3PCLKB	2ICLK	23章
0009 E406h	POE	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	16	2～3PCLKB	2ICLK	23章
0009 E408h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2～3PCLKB	2ICLK	23章
0009 E40Bh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2～3PCLKB	2ICLK	23章
0009 E40Ch	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	16	16	2～3PCLKB	2ICLK	23章
0009 E40Eh	POE	ポートアウトプットイネーブルコントロールレジスタ3	POECR3	16	16	2～3PCLKB	2ICLK	23章
0009 E410h	POE	ポートアウトプットイネーブルコントロールレジスタ4	POECR4	16	16	2～3PCLKB	2ICLK	23章
0009 E412h	POE	ポートアウトプットイネーブルコントロールレジスタ5	POECR5	16	16	2～3PCLKB	2ICLK	23章
0009 E414h	POE	ポートアウトプットイネーブルコントロールレジスタ6	POECR6	16	16	2～3PCLKB	2ICLK	23章
0009 E416h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	16	2～3PCLKB	2ICLK	23章
0009 E418h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	16	2～3PCLKB	2ICLK	23章
0009 E41Ah	POE	アクティブレベルレジスタ1	ALR1	16	16	2～3PCLKB	2ICLK	23章
0009 E41Ch	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2～3PCLKB	2ICLK	23章
0009 E41Eh	POE	アクティブレベルレジスタ2	ALR2	16	16	2～3PCLKB	2ICLK	23章

表5.1 I/O レジスタアドレス一覧 (22 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0009 E420h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	16	2～3PCLKB	2ICLK	23章
0009 E422h	POE	ポートアウトプットイネーブルコントロールレジスタ7	POECR7	16	16	2～3PCLKB	2ICLK	23章
0009 E424h	POE	ポートアウトプットイネーブルコントロールレジスタ8	POECR8	16	16	2～3PCLKB	2ICLK	23章
0009 E426h	POE	ポートアウトプットイネーブルコンパレータ検出フラグレジスタ	POECMPFR	16	16	2～3PCLKB	2ICLK	23章
0009 E428h	POE	ポートアウトプットイネーブルコンパレータ要求選択レジスタ	POECMPSEL	16	16	2～3PCLKB	2ICLK	23章
0009 E42Ah	POE	出力レベルコントロール/ステータスレジスタ3	OCSR3	16	16	2～3PCLKB	2ICLK	23章
0009 E42Ch	POE	アクティブレベルレジスタ3	ALR3	16	16	2～3PCLKB	2ICLK	23章
0009 E42Eh	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	16	16	2～3PCLKB	2ICLK	23章
0009 E430h	POE	ポートモードマスクコントロールレジスタ0	PMMCR0	16	16	2～3PCLKB	2ICLK	23章
0009 E432h	POE	ポートモードマスクコントロールレジスタ1	PMMCR1	16	16	2～3PCLKB	2ICLK	23章
0009 E434h	POE	ポートモードマスクコントロールレジスタ2	PMMCR2	16	16	2～3PCLKB	2ICLK	23章
0009 E438h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ0	POECMPEX0	8	8	2～3PCLKB	2ICLK	23章
0009 E439h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ1	POECMPEX1	8	8	2～3PCLKB	2ICLK	23章
0009 E43Ah	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ2	POECMPEX2	8	8	2～3PCLKB	2ICLK	23章
0009 E43Bh	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ3	POECMPEX3	8	8	2～3PCLKB	2ICLK	23章
0009 E43Ch	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ4	POECMPEX4	8	8	2～3PCLKB	2ICLK	23章
0009 E43Dh	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ5	POECMPEX5	8	8	2～3PCLKB	2ICLK	23章
0009 E440h	POE	入力レベルコントロール/ステータスレジスタ8	ICSR8	16	16	2～3PCLKB	2ICLK	23章
0009 E446h	POE	出力レベルコントロール/ステータスレジスタ4	OCSR4	16	16	2～3PCLKB	2ICLK	23章
0009 E448h	POE	出力レベルコントロール/ステータスレジスタ5	OCSR5	16	16	2～3PCLKB	2ICLK	23章
0009 E44Ah	POE	アクティブレベルレジスタ4	ALR4	16	16	2～3PCLKB	2ICLK	23章
0009 E44Ch	POE	アクティブレベルレジスタ5	ALR5	16	16	2～3PCLKB	2ICLK	23章
0009 E44Eh	POE	ポートアウトプットイネーブルコントロールレジスタ4B	POECR4B	16	16	2～3PCLKB	2ICLK	23章
0009 E450h	POE	ポートアウトプットイネーブルコントロールレジスタ6B	POECR6B	16	16	2～3PCLKB	2ICLK	23章
0009 E452h	POE	ポートアウトプットイネーブルコントロールレジスタ9	POECR9	16	16	2～3PCLKB	2ICLK	23章
0009 E454h	POE	ポートアウトプットイネーブルコントロールレジスタ10	POECR10	16	16	2～3PCLKB	2ICLK	23章
0009 E456h	POE	ポートアウトプットイネーブルコントロールレジスタ11	POECR11	16	16	2～3PCLKB	2ICLK	23章
0009 E458h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ6	POECMPEX6	8	8	2～3PCLKB	2ICLK	23章
0009 E459h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ7	POECMPEX7	8	8	2～3PCLKB	2ICLK	23章
0009 E45Ah	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ8	POECMPEX8	8	8	2～3PCLKB	2ICLK	23章
0009 E45Ch	POE	入力信号マスク制御レジスタ0	IMCR0	8	8	2～3PCLKB	2ICLK	23章
0009 E45Dh	POE	入力信号マスク制御レジスタ1	IMCR1	8	8	2～3PCLKB	2ICLK	23章
0009 E45Eh	POE	入力信号マスク制御レジスタ2	IMCR2	8	8	2～3PCLKB	2ICLK	23章
0009 E45Fh	POE	入力信号マスク制御レジスタ3	IMCR3	8	8	2～3PCLKB	2ICLK	23章
0009 E460h	POE	MTU0端子選択レジスタ1	M0SELR1	8	8	2～3PCLKB	2ICLK	23章
0009 E461h	POE	MTU0端子選択レジスタ2	M0SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E462h	POE	MTU3端子選択レジスタ	M3SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E463h	POE	MTU4端子選択レジスタ1	M4SELR1	8	8	2～3PCLKB	2ICLK	23章
0009 E464h	POE	MTU4端子選択レジスタ2	M4SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E465h	POE	MTU6端子選択レジスタ	M6SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E466h	POE	MTU7端子選択レジスタ1	M7SELR1	8	8	2～3PCLKB	2ICLK	23章
0009 E467h	POE	MTU7端子選択レジスタ2	M7SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E468h	POE	MTU9端子選択レジスタ1	M9SELR1	8	8	2～3PCLKB	2ICLK	23章

表5.1 I/O レジスタアドレス一覧 (23 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0009 E469h	POE	MTU9端子選択レジスタ2	M9SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E46Ah	POE	GPTW0端子選択レジスタ	G0SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Bh	POE	GPTW1端子選択レジスタ	G1SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Ch	POE	GPTW2端子選択レジスタ	G2SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Dh	POE	GPTW3端子選択レジスタ	G3SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Eh	POE	GPTW4端子選択レジスタ	G4SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Fh	POE	GPTW5端子選択レジスタ	G5SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E470h	POE	GPTW6端子選択レジスタ	G6SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E471h	POE	GPTW7端子選択レジスタ	G7SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E474h	POE	入力信号マスク制御レジスタ4	IMCR4	8	8	2～3PCLKB	2ICLK	23章
0009 E475h	POE	入力信号マスク制御レジスタ5	IMCR5	8	8	2～3PCLKB	2ICLK	23章
0009 E476h	POE	入力信号マスク制御レジスタ6	IMCR6	8	8	2～3PCLKB	2ICLK	23章
0009 E479h	POE	入力信号マスク制御レジスタ9	IMCR9	8	8	2～3PCLKB	2ICLK	23章
0009 E47Ah	POE	入力信号マスク制御レジスタ10	IMCR10	8	8	2～3PCLKB	2ICLK	23章
0009 E47Bh	POE	入力信号マスク制御レジスタ11	IMCR11	8	8	2～3PCLKB	2ICLK	23章
0009 E47Ch	POE	入力信号マスク制御レジスタ12	IMCR12	8	8	2～3PCLKB	2ICLK	23章
0009 E47Dh	POE	入力信号マスク制御レジスタ13	IMCR13	8	8	2～3PCLKB	2ICLK	23章
0009 E47Eh	POE	入力信号マスク制御レジスタ14	IMCR14	8	8	2～3PCLKB	2ICLK	23章
000A 0580h	DOC	DOCコントロールレジスタ	DOCR	8	8	2～3PCLKB	2ICLK	46章
000A 0584h	DOC	DOCステータスレジスタ	DOSR	8	8	2～3PCLKB	2ICLK	46章
000A 0588h	DOC	DOCステータスクリアレジスタ	DOSCR	8	8	2～3PCLKB	2ICLK	46章
000A 058Ch	DOC	DOCデータインプットレジスタ	DODIR	32	16, 32	2～3PCLKB	2ICLK	46章
000A 0590h	DOC	DOCデータセッティングレジスタ0	DODSR0	32	16, 32	2～3PCLKB	2ICLK	46章
000A 0594h	DOC	DOCデータセッティングレジスタ1	DODSR1	32	16, 32	2～3PCLKB	2ICLK	46章
000A 0C80h	CMPC0	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	45章
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	45章
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	45章
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	45章
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	45章
000A 0C98h	CMPC0	コンパレータ制御レジスタ2	CMPCTL2	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CA0h	CMPC1	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CACh	CMPC1	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CB8h	CMPC1	コンパレータ制御レジスタ2	CMPCTL2	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CC0h	CMPC2	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CD8h	CMPC2	コンパレータ制御レジスタ2	CMPCTL2	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CE0h	CMPC3	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CE4h	CMPC3	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CE8h	CMPC3	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CECh	CMPC3	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CF0h	CMPC3	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	45章
000A 0CF8h	CMPC3	コンパレータ制御レジスタ2	CMPCTL2	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D00h	CMPC4	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D04h	CMPC4	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D08h	CMPC4	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D0Ch	CMPC4	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	45章

表5.1 I/O レジスタアドレス一覧 (24 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000A 0D10h	CMPC4	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D18h	CMPC4	コンパレータ制御レジスタ2	CMPCTL2	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D20h	CMPC5	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D24h	CMPC5	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D28h	CMPC5	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D2Ch	CMPC5	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D30h	CMPC5	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	45章
000A 0D38h	CMPC5	コンパレータ制御レジスタ2	CMPCTL2	8	8	1～2PCLKB	1～2ICLK	45章
000A 1400h	RSCI8	受信データレジスタ	RDR	32	8, 16, 32	2～3PCLKB	2ICLK	33章
000A 1404h	RSCI8	送信データレジスタ	TDR	32	8, 16, 32	2～3PCLKB	2ICLK	33章
000A 1408h	RSCI8	制御レジスタ0	SCR0	32	32	2～3PCLKB	2ICLK	33章
000A 140Ch	RSCI8	制御レジスタ1	SCR1	32	32	2～3PCLKB	2ICLK	33章
000A 1410h	RSCI8	制御レジスタ2	SCR2	32	32	2～3PCLKB	2ICLK	33章
000A 1414h	RSCI8	制御レジスタ3	SCR3	32	32	2～3PCLKB	2ICLK	33章
000A 1418h	RSCI8	制御レジスタ4	SCR4	32	32	2～3PCLKB	2ICLK	33章
000A 141Eh	RSCI8	HBSサポートモード制御レジスタ	HBSCR	8	8	2～3PCLKB	2ICLK	33章
000A 1420h	RSCI8	I²Cモードレジスタ	SIMR	32	32	2～3PCLKB	2ICLK	33章
000A 1430h	RSCI8	DE信号制御レジスタ	DECR	32	32	2～3PCLKB	2ICLK	33章
000A 1448h	RSCI8	ステータスレジスタ	SSR	32	32	2～3PCLKB	2ICLK	33章
000A 144Ch	RSCI8	I²Cステータスレジスタ	SISR	32	32	2～3PCLKB	2ICLK	33章
000A 1468h	RSCI8	ステータスクリアレジスタ	SSCR	32	32	2～3PCLKB	2ICLK	33章
000A 146Ch	RSCI8	I²Cステータスクリアレジスタ	SISCR	32	32	2～3PCLKB	2ICLK	33章
000A 1480h	RSCI9	受信データレジスタ	RDR	32	8, 16, 32	2～3PCLKB	2ICLK	33章
000A 1484h	RSCI9	送信データレジスタ	TDR	32	8, 16, 32	2～3PCLKB	2ICLK	33章
000A 1488h	RSCI9	制御レジスタ0	SCR0	32	32	2～3PCLKB	2ICLK	33章
000A 148Ch	RSCI9	制御レジスタ1	SCR1	32	32	2～3PCLKB	2ICLK	33章
000A 1490h	RSCI9	制御レジスタ2	SCR2	32	32	2～3PCLKB	2ICLK	33章
000A 1494h	RSCI9	制御レジスタ3	SCR3	32	32	2～3PCLKB	2ICLK	33章
000A 1498h	RSCI9	制御レジスタ4	SCR4	32	32	2～3PCLKB	2ICLK	33章
000A 149Eh	RSCI9	HBSサポートモード制御レジスタ	HBSCR	8	8	2～3PCLKB	2ICLK	33章
000A 14A0h	RSCI9	I²Cモードレジスタ	SIMR	32	32	2～3PCLKB	2ICLK	33章
000A 14ACh	RSCI9	マンチェスタモード制御レジスタ	MMCR	32	32	2～3PCLKB	2ICLK	33章
000A 14B0h	RSCI9	DE信号制御レジスタ	DECR	32	32	2～3PCLKB	2ICLK	33章
000A 14B4h	RSCI9	拡張シリアルモード制御レジスタ0	XCR0	32	32	2～3PCLKB	2ICLK	33章
000A 14B8h	RSCI9	拡張シリアルモード制御レジスタ1	XCR1	32	32	2～3PCLKB	2ICLK	33章
000A 14BCh	RSCI9	拡張シリアルモード制御レジスタ2	XCR2	32	32	2～3PCLKB	2ICLK	33章
000A 14C8h	RSCI9	ステータスレジスタ	SSR	32	32	2～3PCLKB	2ICLK	33章
000A 14CCh	RSCI9	I²Cステータスレジスタ	SISR	32	32	2～3PCLKB	2ICLK	33章
000A 14D8h	RSCI9	マンチェスタモードステータスレジスタ	MMSR	32	32	2～3PCLKB	2ICLK	33章
000A 14DCh	RSCI9	拡張シリアルモードステータスレジスタ0	XSR0	32	32	2～3PCLKB	2ICLK	33章
000A 14E0h	RSCI9	拡張シリアルモードステータスレジスタ1	XSR1	32	32	2～3PCLKB	2ICLK	33章
000A 14E8h	RSCI9	ステータスクリアレジスタ	SSCR	32	32	2～3PCLKB	2ICLK	33章
000A 14ECh	RSCI9	I²Cステータスクリアレジスタ	SISCR	32	32	2～3PCLKB	2ICLK	33章
000A 14F4h	RSCI9	マンチェスタモードステータスクリアレジスタ	MMSCR	32	32	2～3PCLKB	2ICLK	33章
000A 14F8h	RSCI9	拡張シリアルモードステータスクリアレジスタ	XSCR	32	32	2～3PCLKB	2ICLK	33章
000A 8000h	CANFD0	公称ビットレート設定レジスタ	NBCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8004h	CANFD0	チャネル制御レジスタ	CHCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8008h	CANFD0	チャネルステータスレジスタ	CHSR	32	32	2～3PCLKB	1～2ICLK	36章
000A 800Ch	CANFD0	チャネルエラーステータスレジスタ	CHESR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8014h	CANFD	グローバル設定レジスタ	GCFG	32	32	2～3PCLKB	1～2ICLK	36章
000A 8018h	CANFD	グローバル制御レジスタ	GCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 801Ch	CANFD	グローバルステータスレジスタ	GSR	32	32	2～3PCLKB	1～2ICLK	36章

表5.1 I/O レジスタアドレス一覧 (25 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000A 8020h	CANFD	グローバルエラーステータスレジスタ	GESR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8024h	CANFD	タイムスタンプカウンタレジスタ	TSCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8028h	CANFD	アクセプタンスフィルタリスト制御レジスタ	AFCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 802Ch	CANFD	アクセプタンスフィルタリスト設定レジスタ	AFCFG	32	32	2～3PCLKB	1～2ICLK	36章
000A 8030h	CANFD	受信メッセージバッファ設定レジスタ	RMCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8034h	CANFD	受信メッセージバッファ新データレジスタ	RMNDR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8038h	CANFD	受信メッセージバッファ割り込み許可レジスタ	RMIER	32	32	2～3PCLKB	1～2ICLK	36章
000A 803Ch	CANFD	受信FIFO 0設定レジスタ	RFCR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8040h	CANFD	受信FIFO 1設定レジスタ	RFCR1	32	32	2～3PCLKB	1～2ICLK	36章
000A 8044h	CANFD	受信FIFO 0ステータスレジスタ	RFSR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8048h	CANFD	受信FIFO 1ステータスレジスタ	RFSR1	32	32	2～3PCLKB	1～2ICLK	36章
000A 804Ch	CANFD	受信FIFO 0ポインタ制御レジスタ	RFPCR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8050h	CANFD	受信FIFO 1ポインタ制御レジスタ	RFPCR1	32	32	2～3PCLKB	1～2ICLK	36章
000A 8054h	CANFD	共通FIFO 0設定レジスタ	CFCR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8058h	CANFD	共通FIFO 0ステータスレジスタ	CFSR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 805Ch	CANFD	共通FIFO 0ポインタ制御レジスタ	CFPCR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8060h	CANFD	FIFOエンプティステータスレジスタ	FESR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8064h	CANFD	FIFOフルステータスレジスタ	FFSR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8068h	CANFD	FIFOメッセージロストステータスレジスタ	FMLSR	32	32	2～3PCLKB	1～2ICLK	36章
000A 806Ch	CANFD	受信FIFO割り込みステータスレジスタ	RFISR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8070h	CANFD	送信メッセージバッファ 0制御レジスタ	TMCR0	8	8	2～3PCLKB	1～2ICLK	36章
000A 8071h	CANFD	送信メッセージバッファ 1制御レジスタ	TMCR1	8	8	2～3PCLKB	1～2ICLK	36章
000A 8072h	CANFD	送信メッセージバッファ 2制御レジスタ	TMCR2	8	8	2～3PCLKB	1～2ICLK	36章
000A 8073h	CANFD	送信メッセージバッファ 3制御レジスタ	TMCR3	8	8	2～3PCLKB	1～2ICLK	36章
000A 8074h	CANFD	送信メッセージバッファ 0ステータスレジスタ	TMSR0	8	8	2～3PCLKB	1～2ICLK	36章
000A 8075h	CANFD	送信メッセージバッファ 1ステータスレジスタ	TMSR1	8	8	2～3PCLKB	1～2ICLK	36章
000A 8076h	CANFD	送信メッセージバッファ 2ステータスレジスタ	TMSR2	8	8	2～3PCLKB	1～2ICLK	36章
000A 8077h	CANFD	送信メッセージバッファ 3ステータスレジスタ	TMSR3	8	8	2～3PCLKB	1～2ICLK	36章
000A 8078h	CANFD	送信メッセージバッファ送信要求ステータスレジスタ0	TMTRSR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 807Ch	CANFD	送信メッセージバッファ送信アボート要求ステータスレジスタ0	TMARSR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8080h	CANFD	送信メッセージバッファ送信完了ステータスレジスタ0	TMTCSR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8084h	CANFD	送信メッセージバッファ送信アボートステータスレジスタ0	TMTASR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8088h	CANFD	送信メッセージバッファ割り込み許可レジスタ0	TMIER0	32	32	2～3PCLKB	1～2ICLK	36章
000A 808Ch	CANFD0	送信キュー 0設定レジスタ	TQCR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8090h	CANFD0	送信キュー 0ステータスレジスタ	TQSR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8094h	CANFD0	送信キュー 0ポインタ制御レジスタ	TQPCR0	32	32	2～3PCLKB	1～2ICLK	36章
000A 8098h	CANFD0	送信履歴設定レジスタ	THCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 809Ch	CANFD0	送信履歴ステータスレジスタ	THSR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80A0h	CANFD0	送信履歴ポインタ制御レジスタ	THPCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80A4h	CANFD	送信割り込みステータスレジスタ	TISR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80A8h	CANFD	グローバルテストモード設定レジスタ	GTMCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80ACh	CANFD	グローバルテストモード許可レジスタ	GTMER	32	32	2～3PCLKB	1～2ICLK	36章
000A 80B0h	CANFD	グローバルCAN FD設定レジスタ	GFDCFG	32	32	2～3PCLKB	1～2ICLK	36章
000A 80B8h	CANFD	グローバルテストモードロックキーレジスタ	GTMLKR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80C0h	CANFD	アクセプタンスフィルタ無効エントリ設定レジスタ	AFIGSR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80C4h	CANFD	アクセプタンスフィルタ無効エントリ許可レジスタ	AFIGER	32	32	2～3PCLKB	1～2ICLK	36章
000A 80C8h	CANFD	DMA転送制御レジスタ	DTCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80CCh	CANFD	DMA転送ステータスレジスタ	DTSR	32	32	2～3PCLKB	1～2ICLK	36章
000A 80D8h	CANFD	グローバルリセット制御レジスタ	GRCR	32	32	2～3PCLKB	1～2ICLK	36章
000A 8100h	CANFD0	データビットレート設定レジスタ	DBCR	32	32	2～3PCLKB	1～2ICLK	36章

表5.1 I/O レジスタアドレス一覧 (26 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000A 8104h	CANFD0	CAN FD設定レジスタ	FDCFG	32	32	2～3PCLKB	1～2ICLK	36章
000A 8108h	CANFD0	CAN FD制御レジスタ	FDCTR	32	32	2～3PCLKB	1～2ICLK	36章
000A 810Ch	CANFD0	CAN FDステータスレジスタ	FDSTS	32	32	2～3PCLKB	1～2ICLK	36章
000A 8110h	CANFD0	CAN FD CRCレジスタ	FDCRC	32	32	2～3PCLKB	1～2ICLK	36章
000A 8120h～000A 812Ch	CANFD	アクセプタンスフィルタリスト0	AFL0	128	32	3～4PCLKB	1～2ICLK	36章
000A 8130h～000A 813Ch	CANFD	アクセプタンスフィルタリスト1	AFL1	128	32	3～4PCLKB	1～2ICLK	36章
000A 8140h～000A 814Ch	CANFD	アクセプタンスフィルタリスト2	AFL2	128	32	3～4PCLKB	1～2ICLK	36章
000A 8150h～000A 815Ch	CANFD	アクセプタンスフィルタリスト3	AFL3	128	32	3～4PCLKB	1～2ICLK	36章
000A 8160h～000A 816Ch	CANFD	アクセプタンスフィルタリスト4	AFL4	128	32	3～4PCLKB	1～2ICLK	36章
000A 8170h～000A 817Ch	CANFD	アクセプタンスフィルタリスト5	AFL5	128	32	3～4PCLKB	1～2ICLK	36章
000A 8180h～000A 818Ch	CANFD	アクセプタンスフィルタリスト6	AFL6	128	32	3～4PCLKB	1～2ICLK	36章
000A 8190h～000A 819Ch	CANFD	アクセプタンスフィルタリスト7	AFL7	128	32	3～4PCLKB	1～2ICLK	36章
000A 81A0h～000A 81ACh	CANFD	アクセプタンスフィルタリスト8	AFL8	128	32	3～4PCLKB	1～2ICLK	36章
000A 81B0h～000A 81BCh	CANFD	アクセプタンスフィルタリスト9	AFL9	128	32	3～4PCLKB	1～2ICLK	36章
000A 81C0h～000A 81CCh	CANFD	アクセプタンスフィルタリスト10	AFL10	128	32	3～4PCLKB	1～2ICLK	36章
000A 81D0h～000A 81DCh	CANFD	アクセプタンスフィルタリスト11	AFL11	128	32	3～4PCLKB	1～2ICLK	36章
000A 81E0h～000A 81ECh	CANFD	アクセプタンスフィルタリスト12	AFL12	128	32	3～4PCLKB	1～2ICLK	36章
000A 81F0h～000A 81FCh	CANFD	アクセプタンスフィルタリスト13	AFL13	128	32	3～4PCLKB	1～2ICLK	36章
000A 8200h～000A 820Ch	CANFD	アクセプタンスフィルタリスト14	AFL14	128	32	3～4PCLKB	1～2ICLK	36章
000A 8210h～000A 821Ch	CANFD	アクセプタンスフィルタリスト15	AFL15	128	32	3～4PCLKB	1～2ICLK	36章
000A 8280h～000A 837Ch	CANFD	RAMテストページアクセスレジスタ0～RAMテストページアクセスレジスタ63	RTPAR0～RTPAR63	32	32	2～3PCLKB	1～2ICLK	36章
000A 8520h～000A 856Bh	CANFD	受信FIFO 0	RFB0	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 856Ch～000A 85B7h	CANFD	受信FIFO 1	RFB1	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 85B8h～000A 8603h	CANFD	共通FIFO	CFB0	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8604h～000A 864Fh	CANFD	送信メッセージバッファ 0	TMB0	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8650h～000A 869Bh	CANFD	送信メッセージバッファ 1	TMB1	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 869Ch～000A 86E7h	CANFD	送信メッセージバッファ 2	TMB2	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 86E8h～000A 8733h	CANFD	送信メッセージバッファ 3	TMB3	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8740h	CANFD0	送信履歴アクセスレジスタ0	THACR0	32	32	3～4PCLKB	1～2ICLK	36章
000A 8744h	CANFD0	送信履歴アクセスレジスタ1	THACR1	32	32	3～4PCLKB	1～2ICLK	36章
000A 8920h～000A 896Bh	CANFD	受信メッセージバッファ 0	RMB0	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 896Ch～000A 89B7h	CANFD	受信メッセージバッファ 1	RMB1	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 89B8h～000A 8A03h	CANFD	受信メッセージバッファ 2	RMB2	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8A04h～000A 8A4Fh	CANFD	受信メッセージバッファ 3	RMB3	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8A50h～000A 8A9Bh	CANFD	受信メッセージバッファ 4	RMB4	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8A9Ch～000A 8AE7h	CANFD	受信メッセージバッファ 5	RMB5	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8AE8h～000A 8B33h	CANFD	受信メッセージバッファ 6	RMB6	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章

表5.1 I/O レジスタアドレス一覧 (27 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000A 8B34h～000A 8B7Fh	CANFD	受信メッセージバッファ 7	RMB7	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8D20h～000A 8D6Bh	CANFD	受信メッセージバッファ 8	RMB8	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8D6Ch～000A 8DB7h	CANFD	受信メッセージバッファ 9	RMB9	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8DB8h～000A 8E03h	CANFD	受信メッセージバッファ 10	RMB10	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8E04h～000A 8E4Fh	CANFD	受信メッセージバッファ 11	RMB11	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8E50h～000A 8E9Bh	CANFD	受信メッセージバッファ 12	RMB12	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8E9Ch～000A 8EE7h	CANFD	受信メッセージバッファ 13	RMB13	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8EE8h～000A 8F33h	CANFD	受信メッセージバッファ 14	RMB14	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 8F34h～000A 8F7Fh	CANFD	受信メッセージバッファ 15	RMB15	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9120h～000A 916Bh	CANFD	受信メッセージバッファ 16	RMB16	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 916Ch～000A 91B7h	CANFD	受信メッセージバッファ 17	RMB17	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 91B8h～000A 9203h	CANFD	受信メッセージバッファ 18	RMB18	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9204h～000A 924Fh	CANFD	受信メッセージバッファ 19	RMB19	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9250h～000A 929Bh	CANFD	受信メッセージバッファ 20	RMB20	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 929Ch～000A 92E7h	CANFD	受信メッセージバッファ 21	RMB21	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 92E8h～000A 9333h	CANFD	受信メッセージバッファ 22	RMB22	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9334h～000A 937Fh	CANFD	受信メッセージバッファ 23	RMB23	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9520h～000A 956Bh	CANFD	受信メッセージバッファ 24	RMB24	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 956Ch～000A 95B7h	CANFD	受信メッセージバッファ 25	RMB25	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 95B8h～000A 9603h	CANFD	受信メッセージバッファ 26	RMB26	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9604h～000A 964Fh	CANFD	受信メッセージバッファ 27	RMB27	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9650h～000A 969Bh	CANFD	受信メッセージバッファ 28	RMB28	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 969Ch～000A 96E7h	CANFD	受信メッセージバッファ 29	RMB29	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 96E8h～000A 9733h	CANFD	受信メッセージバッファ 30	RMB30	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000A 9734h～000A 977Fh	CANFD	受信メッセージバッファ 31	RMB31	608	8, 16, 32	3～4PCLKB	1～2ICLK	36章
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1204h	MTU3	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1205h	MTU3	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1206h	MTU4	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1207h	MTU4	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4～7PCLKA	2～4ICLK	22章
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタ A	TOERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 120Dh	MTU	タイマゲートコントロールレジスタ A	TGCRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ 1A	TOCR1A	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ 2A	TOCR2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16, 32	4～7PCLKA	2～4ICLK	22章

表5.1 I/O レジスタアドレス一覧 (28 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1214h	MTU	タイマ周期データレジスタA	TCDRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4～7PCLKA	2～4ICLK	22章
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	4～7PCLKA	2～4ICLK	22章
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4～7PCLKA	2～4ICLK	22章
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4～7PCLKA	2～4ICLK	22章
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	4～7PCLKA	2～4ICLK	22章
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	4～7PCLKA	2～4ICLK	22章
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	4～7PCLKA	2～4ICLK	22章
000C 1296h	MTU9	ノイズフィルタコントロールレジスタ9	NFCR9	8	8	4～7PCLKA	2～4ICLK	22章
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	4～7PCLKA	2～4ICLK	22章
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1302h	MTU0	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章

表5.1 I/O レジスタアドレス一覧 (29 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1303h	MTU0	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1308h	MTU0	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 130Ah	MTU0	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 130Ch	MTU0	タイマジェネラルレジスタ C	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 130Eh	MTU0	タイマジェネラルレジスタ D	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1320h	MTU0	タイマジェネラルレジスタ E	TGRE	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1322h	MTU0	タイマジェネラルレジスタ F	TGRF	16	16	4～7PCLKA	2～4ICLK	22章
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 1328h	MTU0	タイマコントロールレジスタ 2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1381h	MTU1	タイマモードレジスタ 1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1388h	MTU1	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 138Ah	MTU1	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1391h	MTU1	タイマモードレジスタ 3	TMDR3	8	8	4～7PCLKA	2～4ICLK	22章
000C 1394h	MTU1	タイマコントロールレジスタ 2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	4～7PCLKA	2～4ICLK	22章
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタ A	TGRALW	32	32	4～7PCLKA	2～4ICLK	22章
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタ B	TGRBLW	32	32	4～7PCLKA	2～4ICLK	22章
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1401h	MTU2	タイマモードレジスタ 1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1408h	MTU2	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 140Ah	MTU2	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 140Ch	MTU2	タイマコントロールレジスタ 2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1580h	MTU9	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1581h	MTU9	タイマモードレジスタ 1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1582h	MTU9	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1583h	MTU9	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1584h	MTU9	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1586h	MTU9	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1588h	MTU9	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 158Ah	MTU9	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 158Ch	MTU9	タイマジェネラルレジスタ C	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 158Eh	MTU9	タイマジェネラルレジスタ D	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 15A0h	MTU9	タイマジェネラルレジスタ E	TGRE	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 15A2h	MTU9	タイマジェネラルレジスタ F	TGRF	16	16	4～7PCLKA	2～4ICLK	22章
000C 15A4h	MTU9	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 15A6h	MTU9	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 15A8h	MTU9	タイマコントロールレジスタ 2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4～7PCLKA	2～4ICLK	22章

表5.1 I/O レジスタアドレス一覧 (30 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A04h	MTU6	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A05h	MTU6	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A06h	MTU7	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A07h	MTU7	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタ B	TOERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A0Dh	MTU	タイマゲートコントロールレジスタ B	TGCRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ 1B	TOCR1B	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ 2B	TOCR2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A14h	MTU	タイマ周期データレジスタ B	TCDRB	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A16h	MTU	タイマデッドタイムデータレジスタ B	TDDRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A18h	MTU6	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A1Ah	MTU6	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A1Ch	MTU7	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A1Eh	MTU7	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A20h	MTU	タイマサブカウンタ B	TCNTSB	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A22h	MTU	タイマ周期バッファレジスタ B	TCBRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A24h	MTU6	タイマジェネラルレジスタ C	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A26h	MTU6	タイマジェネラルレジスタ D	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A28h	MTU7	タイマジェネラルレジスタ C	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A2Ah	MTU7	タイマジェネラルレジスタ D	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ 1B	TITCR1B	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ 1B	TITCNT1B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A32h	MTU	タイマバッファ転送設定レジスタ B	TBTERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタ B	TDERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタ B	TOLBRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタ B	TITMRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ 2B	TITCR2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ 2B	TITCNT2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタ A	TADCORA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタ B	TADCORB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタ A	TADCOBRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタ B	TADCOBRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A4Ch	MTU6	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A4Dh	MTU7	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A60h	MTU	タイマ波形コントロールレジスタ B	TWCRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A70h	MTU	タイマモードレジスタ 2B	TMDR2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A72h	MTU6	タイマジェネラルレジスタ E	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A74h	MTU7	タイマジェネラルレジスタ E	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A76h	MTU7	タイマジェネラルレジスタ F	TGRF	16	16	4～7PCLKA	2～4ICLK	22章

表5.1 I/O レジスタアドレス一覧 (31 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	4～7PCLKA	2～4ICLK	22章
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C85h	MTU5	タイマコントロールレジスタ2U	TCR2U	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C86h	MTU5	タイマI/Oコントロールレジスタ U	TIORU	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	4～7PCLKA	2～4ICLK	22章
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C95h	MTU5	タイマコントロールレジスタ2V	TCR2V	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C96h	MTU5	タイマI/Oコントロールレジスタ V	TIORV	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4～7PCLKA	2～4ICLK	22章
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CA5h	MTU5	タイマコントロールレジスタ2W	TCR2W	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CA6h	MTU5	タイマI/Oコントロールレジスタ W	TIORW	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4～7PCLKA	2～4ICLK	22章
000C 1D32h	MTU	A/D変換開始要求選択レジスタ1	TADSTRGR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 2000h	GPTW0	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2004h	GPTW0	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2008h	GPTW0	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 200Ch	GPTW0	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2010h	GPTW0	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2014h	GPTW0	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2018h	GPTW0	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 201Ch	GPTW0	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2020h	GPTW0	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2024h	GPTW0	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2028h	GPTW0	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 202Ch	GPTW0	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2030h	GPTW0	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2034h	GPTW0	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2038h	GPTW0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 203Ch	GPTW0	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2040h	GPTW0	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2044h	GPTW0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2048h	GPTW0	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 204Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2050h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2054h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2058h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/O レジスタアドレス一覧 (32 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 205Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2060h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2064h	GPTW0	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2068h	GPTW0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 206Ch	GPTW0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2070h	GPTW0	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2074h	GPTW0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2078h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 207Ch	GPTW0	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2080h	GPTW0	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2084h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2088h	GPTW0	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 208Ch	GPTW0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2090h	GPTW0	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2094h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2098h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 209Ch	GPTW0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 20A0h	GPTW0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20A4h	GPTW0	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20A8h	GPTW0	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 20ACh	GPTW0	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 20B0h	GPTW0	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 20B4h	GPTW0	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 20B8h	GPTW0	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章
000C 20BCh	GPTW0	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 20C0h	GPTW0	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 20C4h	GPTW0	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 20D0h	GPTW0	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20D4h	GPTW0	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20E0h	GPTW0	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 20E4h	GPTW0	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20ECh	GPTW0	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2100h	GPTW1	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2104h	GPTW1	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2108h	GPTW1	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 210Ch	GPTW1	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2110h	GPTW1	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2114h	GPTW1	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2118h	GPTW1	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 211Ch	GPTW1	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2120h	GPTW1	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2124h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2128h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 212Ch	GPTW1	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (33 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2130h	GPTW1	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2134h	GPTW1	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2138h	GPTW1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 213Ch	GPTW1	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2140h	GPTW1	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2144h	GPTW1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2148h	GPTW1	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 214Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2150h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2154h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2158h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 215Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2160h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2164h	GPTW1	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2168h	GPTW1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 216Ch	GPTW1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2170h	GPTW1	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2174h	GPTW1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2178h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 217Ch	GPTW1	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2180h	GPTW1	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2184h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2188h	GPTW1	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 218Ch	GPTW1	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2190h	GPTW1	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2194h	GPTW1	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2198h	GPTW1	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 219Ch	GPTW1	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 21A0h	GPTW1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21A4h	GPTW1	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21A8h	GPTW1	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 21ACh	GPTW1	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 21B0h	GPTW1	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 21B4h	GPTW1	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 21B8h	GPTW1	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章
000C 21BCh	GPTW1	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 21C0h	GPTW1	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 21C4h	GPTW1	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 21D0h	GPTW1	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21D4h	GPTW1	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21E0h	GPTW1	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 21E4h	GPTW1	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21ECh	GPTW1	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2200h	GPTW2	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2204h	GPTW2	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (34 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2208h	GPTW2	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 220Ch	GPTW2	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2210h	GPTW2	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2214h	GPTW2	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2218h	GPTW2	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 221Ch	GPTW2	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2220h	GPTW2	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2224h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2228h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 222Ch	GPTW2	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2230h	GPTW2	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2234h	GPTW2	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2238h	GPTW2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 223Ch	GPTW2	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2240h	GPTW2	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2244h	GPTW2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2248h	GPTW2	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 224Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2250h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2254h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2258h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 225Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2260h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2264h	GPTW2	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2268h	GPTW2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 226Ch	GPTW2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2270h	GPTW2	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2274h	GPTW2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2278h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 227Ch	GPTW2	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2280h	GPTW2	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2284h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2288h	GPTW2	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 228Ch	GPTW2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2290h	GPTW2	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2294h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2298h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 229Ch	GPTW2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 22A0h	GPTW2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22A4h	GPTW2	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22A8h	GPTW2	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 22ACh	GPTW2	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 22B0h	GPTW2	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 22B4h	GPTW2	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 22B8h	GPTW2	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/O レジスタアドレス一覧 (35 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 22BCh	GPTW2	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 22C0h	GPTW2	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 22C4h	GPTW2	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 22D0h	GPTW2	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22D4h	GPTW2	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22E0h	GPTW2	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 22E4h	GPTW2	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22ECh	GPTW2	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2300h	GPTW3	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2304h	GPTW3	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2308h	GPTW3	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 230Ch	GPTW3	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2310h	GPTW3	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2314h	GPTW3	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2318h	GPTW3	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 231Ch	GPTW3	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2320h	GPTW3	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2324h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2328h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 232Ch	GPTW3	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2330h	GPTW3	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2334h	GPTW3	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2338h	GPTW3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 233Ch	GPTW3	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2340h	GPTW3	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2344h	GPTW3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2348h	GPTW3	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 234Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2350h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2354h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2358h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 235Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2360h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2364h	GPTW3	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2368h	GPTW3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 236Ch	GPTW3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2370h	GPTW3	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2374h	GPTW3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2378h	GPTW3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 237Ch	GPTW3	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2380h	GPTW3	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2384h	GPTW3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2388h	GPTW3	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 238Ch	GPTW3	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2390h	GPTW3	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2394h	GPTW3	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (36 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2398h	GPTW3	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 239Ch	GPTW3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 23A0h	GPTW3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23A4h	GPTW3	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23A8h	GPTW3	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 23ACh	GPTW3	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 23B0h	GPTW3	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 23B4h	GPTW3	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 23B8h	GPTW3	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章
000C 23BCh	GPTW3	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 23C0h	GPTW3	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 23C4h	GPTW3	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 23D0h	GPTW3	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23D4h	GPTW3	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23E0h	GPTW3	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 23E4h	GPTW3	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23ECh	GPTW3	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2400h	GPTW4	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2404h	GPTW4	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2408h	GPTW4	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 240Ch	GPTW4	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2410h	GPTW4	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2414h	GPTW4	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2418h	GPTW4	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 241Ch	GPTW4	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2420h	GPTW4	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2424h	GPTW4	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2428h	GPTW4	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 242Ch	GPTW4	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2430h	GPTW4	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2434h	GPTW4	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2438h	GPTW4	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 243Ch	GPTW4	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2440h	GPTW4	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2444h	GPTW4	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2448h	GPTW4	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 244Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2450h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2454h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2458h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 245Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2460h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2464h	GPTW4	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2468h	GPTW4	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (37 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 246Ch	GPTW4	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2470h	GPTW4	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2474h	GPTW4	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2478h	GPTW4	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 247Ch	GPTW4	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2480h	GPTW4	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2484h	GPTW4	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2488h	GPTW4	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 248Ch	GPTW4	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2490h	GPTW4	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2494h	GPTW4	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2498h	GPTW4	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 249Ch	GPTW4	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 24A0h	GPTW4	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24A4h	GPTW4	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24A8h	GPTW4	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 24ACh	GPTW4	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 24B0h	GPTW4	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 24B4h	GPTW4	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 24B8h	GPTW4	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章
000C 24BCh	GPTW4	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 24C0h	GPTW4	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 24C4h	GPTW4	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 24D0h	GPTW4	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24D4h	GPTW4	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24E0h	GPTW4	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 24E4h	GPTW4	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24ECh	GPTW4	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2500h	GPTW5	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2504h	GPTW5	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2508h	GPTW5	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 250Ch	GPTW5	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2510h	GPTW5	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2514h	GPTW5	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2518h	GPTW5	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 251Ch	GPTW5	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2520h	GPTW5	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2524h	GPTW5	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2528h	GPTW5	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 252Ch	GPTW5	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2530h	GPTW5	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2534h	GPTW5	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2538h	GPTW5	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 253Ch	GPTW5	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (38 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2540h	GPTW5	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2544h	GPTW5	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2548h	GPTW5	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 254Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2550h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2554h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2558h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 255Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2560h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2564h	GPTW5	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2568h	GPTW5	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 256Ch	GPTW5	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2570h	GPTW5	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2574h	GPTW5	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2578h	GPTW5	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 257Ch	GPTW5	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2580h	GPTW5	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2584h	GPTW5	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2588h	GPTW5	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 258Ch	GPTW5	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2590h	GPTW5	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2594h	GPTW5	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2598h	GPTW5	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 259Ch	GPTW5	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 25A0h	GPTW5	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25A4h	GPTW5	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25A8h	GPTW5	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 25ACh	GPTW5	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 25B0h	GPTW5	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 25B4h	GPTW5	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 25B8h	GPTW5	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章
000C 25BCh	GPTW5	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 25C0h	GPTW5	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 25C4h	GPTW5	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 25D0h	GPTW5	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25D4h	GPTW5	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25E0h	GPTW5	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 25E4h	GPTW5	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25ECh	GPTW5	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2600h	GPTW6	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2604h	GPTW6	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2608h	GPTW6	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 260Ch	GPTW6	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2610h	GPTW6	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2614h	GPTW6	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2618h	GPTW6	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (39 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 261Ch	GPTW6	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2620h	GPTW6	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2624h	GPTW6	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2628h	GPTW6	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 262Ch	GPTW6	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2630h	GPTW6	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2634h	GPTW6	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2638h	GPTW6	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 263Ch	GPTW6	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2640h	GPTW6	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2644h	GPTW6	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2648h	GPTW6	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 264Ch	GPTW6	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2650h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2654h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2658h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 265Ch	GPTW6	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2660h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2664h	GPTW6	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2668h	GPTW6	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 266Ch	GPTW6	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2670h	GPTW6	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2674h	GPTW6	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2678h	GPTW6	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 267Ch	GPTW6	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2680h	GPTW6	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2684h	GPTW6	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2688h	GPTW6	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 268Ch	GPTW6	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2690h	GPTW6	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2694h	GPTW6	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2698h	GPTW6	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 269Ch	GPTW6	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 26A0h	GPTW6	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 26A4h	GPTW6	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 26A8h	GPTW6	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 26ACh	GPTW6	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 26B0h	GPTW6	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 26B4h	GPTW6	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 26B8h	GPTW6	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章
000C 26BCh	GPTW6	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 26C0h	GPTW6	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 26C4h	GPTW6	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 26D0h	GPTW6	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (40 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 26D4h	GPTW6	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 26E0h	GPTW6	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 26E4h	GPTW6	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 26ECh	GPTW6	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2700h	GPTW7	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2704h	GPTW7	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2708h	GPTW7	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 270Ch	GPTW7	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2710h	GPTW7	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2714h	GPTW7	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2718h	GPTW7	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 271Ch	GPTW7	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2720h	GPTW7	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2724h	GPTW7	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2728h	GPTW7	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 272Ch	GPTW7	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2730h	GPTW7	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2734h	GPTW7	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2738h	GPTW7	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 273Ch	GPTW7	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2740h	GPTW7	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2744h	GPTW7	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2748h	GPTW7	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 274Ch	GPTW7	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2750h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2754h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2758h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 275Ch	GPTW7	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2760h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2764h	GPTW7	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2768h	GPTW7	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 276Ch	GPTW7	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2770h	GPTW7	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2774h	GPTW7	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2778h	GPTW7	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 277Ch	GPTW7	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2780h	GPTW7	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2784h	GPTW7	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2788h	GPTW7	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 278Ch	GPTW7	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2790h	GPTW7	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2794h	GPTW7	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2798h	GPTW7	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 279Ch	GPTW7	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 27A0h	GPTW7	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 27A4h	GPTW7	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/O レジスタアドレス一覧 (41 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 27A8h	GPTW7	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 27ACh	GPTW7	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 27B0h	GPTW7	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 27B4h	GPTW7	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 27B8h	GPTW7	汎用PWMタイマチャネル間論理演算レジスタ	GTICLF	32	32	4～5PCLKA	2～3ICLK	24章
000C 27BCh	GPTW7	汎用PWMタイマサイクルカウントレジスタ	GTPC	32	32	4～5PCLKA	2～3ICLK	24章
000C 27C0h	GPTW7	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き制御レジスタ	GTADCMSC	32	32	4～5PCLKA	2～3ICLK	24章
000C 27C4h	GPTW7	汎用PWMタイマA/D変換開始要求コンペアマッチ間引き設定レジスタ	GTADCMSS	32	32	4～5PCLKA	2～3ICLK	24章
000C 27D0h	GPTW7	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 27D4h	GPTW7	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 27E0h	GPTW7	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32	4～5PCLKA	2～3ICLK	24章
000C 27E4h	GPTW7	汎用PWMタイマ出力レベルバッファレジスタ	GTOLBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 27ECh	GPTW7	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2A00h	HRPWM	HRPWM動作制御レジスタ	HROCR	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A02h	HRPWM	HRPWM動作制御レジスタ2	HROCR2	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A18h	HRPWM	GTIOC0A端子立ち上がりエッジ調整レジスタ	HRREAR0A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A1Ah	HRPWM	GTIOC0B端子立ち上がりエッジ調整レジスタ	HRREAR0B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A1Ch	HRPWM	GTIOC1A端子立ち上がりエッジ調整レジスタ	HRREAR1A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A1Eh	HRPWM	GTIOC1B端子立ち上がりエッジ調整レジスタ	HRREAR1B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A20h	HRPWM	GTIOC2A端子立ち上がりエッジ調整レジスタ	HRREAR2A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A22h	HRPWM	GTIOC2B端子立ち上がりエッジ調整レジスタ	HRREAR2B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A24h	HRPWM	GTIOC3A端子立ち上がりエッジ調整レジスタ	HRREAR3A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A26h	HRPWM	GTIOC3B端子立ち上がりエッジ調整レジスタ	HRREAR3B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A28h	HRPWM	GTIOC0A端子立ち下がりエッジ調整レジスタ	HRFEAR0A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A2Ah	HRPWM	GTIOC0B端子立ち下がりエッジ調整レジスタ	HRFEAR0B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A2Ch	HRPWM	GTIOC1A端子立ち下がりエッジ調整レジスタ	HRFEAR1A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A2Eh	HRPWM	GTIOC1B端子立ち下がりエッジ調整レジスタ	HRFEAR1B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A30h	HRPWM	GTIOC2A端子立ち下がりエッジ調整レジスタ	HRFEAR2A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A32h	HRPWM	GTIOC2B端子立ち下がりエッジ調整レジスタ	HRFEAR2B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A34h	HRPWM	GTIOC3A端子立ち下がりエッジ調整レジスタ	HRFEAR3A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A36h	HRPWM	GTIOC3B端子立ち下がりエッジ調整レジスタ	HRFEAR3B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2B00h	GPTW	出力位相スイッチ制御レジスタ	OPSCR	32	32	4～5PCLKA	2～3ICLK	24章
000D 0100h	RSPI0	RSPI制御レジスタ	SPCR	8	8	3～4PCLKA	1～2ICLK	37章
000D 0101h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	3～4PCLKA	1～2ICLK	37章
000D 0102h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	3～4PCLKA	1～2ICLK	37章
000D 0103h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	3～4PCLKA	1～2ICLK	37章
000D 0104h	RSPI0	RSPIデータレジスタ	SPDR	32	8, 16, 32	3～4PCLKA	1～2ICLK	37章
000D 0108h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	3～4PCLKA	1～2ICLK	37章
000D 0109h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	3～4PCLKA	1～2ICLK	37章
000D 010Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	3～4PCLKA	1～2ICLK	37章
000D 010Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	3～4PCLKA	1～2ICLK	37章
000D 010Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	3～4PCLKA	1～2ICLK	37章
000D 010Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	3～4PCLKA	1～2ICLK	37章
000D 010Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	3～4PCLKA	1～2ICLK	37章
000D 010Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	3～4PCLKA	1～2ICLK	37章
000D 0110h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	3～4PCLKA	1～2ICLK	37章
000D 0112h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	3～4PCLKA	1～2ICLK	37章
000D 0114h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	3～4PCLKA	1～2ICLK	37章

表5.1 I/O レジスタアドレス一覧 (42 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000D 0116h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	3～4PCLKA	1～2ICLK	37章
000D 0118h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	3～4PCLKA	1～2ICLK	37章
000D 011Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	3～4PCLKA	1～2ICLK	37章
000D 011Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	3～4PCLKA	1～2ICLK	37章
000D 011Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	3～4PCLKA	1～2ICLK	37章
000D 0120h	RSPI0	RSPIデータコントロールレジスタ2	SPDCR2	8	8	3～4PCLKA	1～2ICLK	37章
000D 0121h	RSPI0	RSPI制御レジスタ3	SPCR3	8	8	3～4PCLKA	1～2ICLK	37章
000E 2080h	RSCI11	受信データレジスタ	RDR	32	8, 16, 32	2～3PCLKA	2ICLK	33章
000E 2084h	RSCI11	送信データレジスタ	TDR	32	8, 16, 32	2～3PCLKA	2ICLK	33章
000E 2088h	RSCI11	制御レジスタ0	SCR0	32	32	2～3PCLKA	2ICLK	33章
000E 208Ch	RSCI11	制御レジスタ1	SCR1	32	32	2～3PCLKA	2ICLK	33章
000E 2090h	RSCI11	制御レジスタ2	SCR2	32	32	2～3PCLKA	2ICLK	33章
000E 2094h	RSCI11	制御レジスタ3	SCR3	32	32	2～3PCLKA	2ICLK	33章
000E 2098h	RSCI11	制御レジスタ4	SCR4	32	32	2～3PCLKA	2ICLK	33章
000E 209Eh	RSCI11	HBSサポートモード制御レジスタ	HBSCR	8	8	2～3PCLKA	2ICLK	33章
000E 20A0h	RSCI11	I²Cモードレジスタ	SIMR	32	32	2～3PCLKA	2ICLK	33章
000E 20A4h	RSCI11	FIFO制御レジスタ	FCR	32	32	2～3PCLKA	2ICLK	33章
000E 20ACh	RSCI11	マンチェスタモード制御レジスタ	MMCR	32	32	2～3PCLKA	2ICLK	33章
000E 20B0h	RSCI11	DE信号制御レジスタ	DECR	32	32	2～3PCLKA	2ICLK	33章
000E 20B4h	RSCI11	拡張シリアルモード制御レジスタ0	XCR0	32	32	2～3PCLKA	2ICLK	33章
000E 20B8h	RSCI11	拡張シリアルモード制御レジスタ1	XCR1	32	32	2～3PCLKA	2ICLK	33章
000E 20BCh	RSCI11	拡張シリアルモード制御レジスタ2	XCR2	32	32	2～3PCLKA	2ICLK	33章
000E 20C8h	RSCI11	ステータスレジスタ	SSR	32	32	2～3PCLKA	2ICLK	33章
000E 20CCh	RSCI11	I²Cステータスレジスタ	SISR	32	32	2～3PCLKA	2ICLK	33章
000E 20D0h	RSCI11	受信FIFOステータスレジスタ	RFSR	32	32	2～3PCLKA	2ICLK	33章
000E 20D4h	RSCI11	送信FIFOステータスレジスタ	TFSR	32	32	2～3PCLKA	2ICLK	33章
000E 20D8h	RSCI11	マンチェスタモードステータスレジスタ	MMSR	32	32	2～3PCLKA	2ICLK	33章
000E 20DCh	RSCI11	拡張シリアルモードステータスレジスタ0	XSR0	32	32	2～3PCLKA	2ICLK	33章
000E 20E0h	RSCI11	拡張シリアルモードステータスレジスタ1	XSR1	32	32	2～3PCLKA	2ICLK	33章
000E 20E8h	RSCI11	ステータスクリアレジスタ	SSCR	32	32	2～3PCLKA	2ICLK	33章
000E 20ECh	RSCI11	I²Cステータスクリアレジスタ	SISCR	32	32	2～3PCLKA	2ICLK	33章
000E 20F0h	RSCI11	受信FIFOステータスクリアレジスタ	RFSCR	32	32	2～3PCLKA	2ICLK	33章
000E 20F4h	RSCI11	マンチェスタモードステータスクリアレジスタ	MMSCR	32	32	2～3PCLKA	2ICLK	33章
000E 20F8h	RSCI11	拡張シリアルモードステータスクリアレジスタ	XSCR	32	32	2～3PCLKA	2ICLK	33章
000E 2800h	RSPIA0	RSPIデータレジスタ	SPDR	32	8, 16, 32	2～3PCLKA	2ICLK	38章
000E 2804h	RSPIA0	RSPIクロック遅延レジスタ	SPCKD	8	8	2～3PCLKA	2ICLK	38章
000E 2805h	RSPIA0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2～3PCLKA	2ICLK	38章
000E 2806h	RSPIA0	RSPI次アクセス遅延レジスタ	SPND	8	8	2～3PCLKA	2ICLK	38章
000E 2808h	RSPIA0	RSPI制御レジスタ	SPCR	32	32	2～3PCLKA	2ICLK	38章
000E 280Ch	RSPIA0	RSPI受信専用モード制御レジスタ	SPRMCR	8	8	2～3PCLKA	2ICLK	38章
000E 280Dh	RSPIA0	RSPI受信データレディ検出条件設定レジスタ	SPDRCSR	8	8	2～3PCLKA	2ICLK	38章
000E 280Eh	RSPIA0	RSPI端子制御レジスタ	SPPCR	8	8	2～3PCLKA	2ICLK	38章
000E 2810h	RSPIA0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2～3PCLKA	2ICLK	38章
000E 2811h	RSPIA0	RSPIビットレートレジスタ	SPBR	8	8	2～3PCLKA	2ICLK	38章
000E 2813h	RSPIA0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2～3PCLKA	2ICLK	38章
000E 2814h	RSPIA0	RSPIコマンドレジスタ0	SPCMD0	32	32	2～3PCLKA	2ICLK	38章
000E 2818h	RSPIA0	RSPIコマンドレジスタ1	SPCMD1	32	32	2～3PCLKA	2ICLK	38章
000E 281Ch	RSPIA0	RSPIコマンドレジスタ2	SPCMD2	32	32	2～3PCLKA	2ICLK	38章
000E 2820h	RSPIA0	RSPIコマンドレジスタ3	SPCMD3	32	32	2～3PCLKA	2ICLK	38章
000E 2824h	RSPIA0	RSPIコマンドレジスタ4	SPCMD4	32	32	2～3PCLKA	2ICLK	38章
000E 2828h	RSPIA0	RSPIコマンドレジスタ5	SPCMD5	32	32	2～3PCLKA	2ICLK	38章
000E 282Ch	RSPIA0	RSPIコマンドレジスタ6	SPCMD6	32	32	2～3PCLKA	2ICLK	38章

表5.1 I/O レジスタアドレス一覧 (43 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000E 2830h	RSPIA0	RSPIコマンドレジスタ7	SPCMD7	32	32	2～3PCLKA	2ICLK	38章
000E 2840h	RSPIA0	RSPIデータコントロールレジスタ	SPDCR	16	16	2～3PCLKA	2ICLK	38章
000E 2844h	RSPIA0	RSPI FIFOコントロールレジスタ	SPFCR	16	16	2～3PCLKA	2ICLK	38章
000E 2851h	RSPIA0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2～3PCLKA	2ICLK	38章
000E 2852h	RSPIA0	RSPIステータスレジスタ	SPSR	16	16	2～3PCLKA	2ICLK	38章
000E 2858h	RSPIA0	RSPI送信FIFOステータスレジスタ	SPTFSR	8	8	2～3PCLKA	2ICLK	38章
000E 285Ch	RSPIA0	RSPI受信FIFOステータスレジスタ	SPRFSR	8	8	2～3PCLKA	2ICLK	38章
000E 286Ah	RSPIA0	RSPIステータスクリアレジスタ	SPSCLR	16	16	2～3PCLKA	2ICLK	38章
000E 286Ch	RSPIA0	RSPI FIFOクリアレジスタ	SPFCLR	8	8	2～3PCLKA	2ICLK	38章
000E C000h	RI3C0	モードレジスタ	ICMR	32	32	2～3PCLKA	2ICLK	35章
000E C014h	RI3C0	制御レジスタ	ICCR	32	32	2～3PCLKA	2ICLK	35章
000E C018h	RI3C0	コントローラデバイスアドレスレジスタ	ICCAR	32	32	2～3PCLKA	2ICLK	35章
000E C020h	RI3C0	リセット制御レジスタ	ICRCR	32	32	2～3PCLKA	2ICLK	35章
000E C024h	RI3C0	動作モードモニタレジスタ	ICMMR	32	32	2～3PCLKA	2ICLK	35章
000E C030h	RI3C0	内部ステータスレジスタ	ICISR	32	32	2～3PCLKA	2ICLK	35章
000E C034h	RI3C0	内部ステータス検出許可レジスタ	ICISER	32	32	2～3PCLKA	2ICLK	35章
000E C038h	RI3C0	内部ステータス割り込み許可レジスタ	ICISIER	32	32	2～3PCLKA	2ICLK	35章
000E C044h	RI3C0	デバイス特性テーブルインデックスレジスタ	ICDCTIR	32	32	2～3PCLKA	2ICLK	35章
000E C058h	RI3C0	IBI通知制御レジスタ	ICINCR	32	32	2～3PCLKA	2ICLK	35章
000E C064h	RI3C0	ターゲットモード制御レジスタ	ICTCR	32	32	2～3PCLKA	2ICLK	35章
000E C074h	RI3C0	標準ビットレートレジスタ	ICSBR	32	32	2～3PCLKA	2ICLK	35章
000E C078h	RI3C0	拡張ビットレートレジスタ	ICEBR	32	32	2～3PCLKA	2ICLK	35章
000E C07Ch	RI3C0	バスフリー時間設定レジスタ	ICBFTR	32	32	2～3PCLKA	2ICLK	35章
000E C080h	RI3C0	バス利用可能時間設定レジスタ	ICBATR	32	32	2～3PCLKA	2ICLK	35章
000E C084h	RI3C0	バスアイドル時間設定レジスタ	ICBITR	32	32	2～3PCLKA	2ICLK	35章
000E C088h	RI3C0	出力信号制御レジスタ	ICOCR	32	32	2～3PCLKA	2ICLK	35章
000E C090h	RI3C0	タイムアウト制御レジスタ	ICTOR	32	32	2～3PCLKA	2ICLK	35章
000E C0B0h	RI3C0	クロックストール制御レジスタ	ICSTCR	32	32	2～3PCLKA	2ICLK	35章
000E C0C0h	RI3C0	ターゲット送受信データ長レジスタ	ICTDLR	32	32	2～3PCLKA	2ICLK	35章
000E C150h	RI3C0	コマンドキューレジスタ	ICCQR	32	32	2～3PCLKA	2ICLK	35章
000E C154h	RI3C0	レスポンスキューレジスタ	ICRQR	32	32	2～3PCLKA	2ICLK	35章
000E C158h	RI3C0	送受信データレジスタ	ICDR	32	8, 32	2～3PCLKA	2ICLK	35章
000E C17Ch	RI3C0	IBIキューレジスタ	ICIQR	32	32	2～3PCLKA	2ICLK	35章
000E C180h	RI3C0	受信ステータスキューレジスタ	ICSQR	32	32	2～3PCLKA	2ICLK	35章
000E C190h	RI3C0	キューバッファしきい値制御レジスタ	ICQBTCR	32	32	2～3PCLKA	2ICLK	35章
000E C194h	RI3C0	データバッファしきい値制御レジスタ	ICDBTCR	32	32	2～3PCLKA	2ICLK	35章
000E C1C0h	RI3C0	受信ステータスキューしきい値制御レジスタ	ICSQTCR	32	32	2～3PCLKA	2ICLK	35章
000E C1D0h	RI3C0	ステータスレジスタ2	ICSR2	32	32	2～3PCLKA	2ICLK	35章
000E C1D4h	RI3C0	ステータス検出許可レジスタ	ICSER	32	32	2～3PCLKA	2ICLK	35章
000E C1D8h	RI3C0	ステータス割り込み許可レジスタ	ICSIER	32	32	2～3PCLKA	2ICLK	35章
000E C1E0h	RI3C0	通信ステータスレジスタ	ICCSR	32	32	2～3PCLKA	2ICLK	35章
000E C1E4h	RI3C0	通信ステータス検出許可レジスタ	ICCSER	32	32	2～3PCLKA	2ICLK	35章
000E C1E8h	RI3C0	通信ステータス割り込み許可レジスタ	ICCSIER	32	32	2～3PCLKA	2ICLK	35章
000E C210h	RI3C0	バスステータスレジスタ	ICBSR	32	32	2～3PCLKA	2ICLK	35章
000E C224h	RI3C0	ターゲットデバイスアドレステーブルレジスタ0	ICTDATR0	32	32	2～3PCLKA	2ICLK	35章
000E C22Ch	RI3C0	ターゲットデバイスアドレステーブルレジスタ1	ICTDATR1	32	32	2～3PCLKA	2ICLK	35章
000E C234h	RI3C0	ターゲットデバイスアドレステーブルレジスタ2	ICTDATR2	32	32	2～3PCLKA	2ICLK	35章
000E C23Ch	RI3C0	ターゲットデバイスアドレステーブルレジスタ3	ICTDATR3	32	32	2～3PCLKA	2ICLK	35章
000E C2A0h	RI3C0	拡張ターゲットデバイスアドレステーブルレジスタ	ICEDATR	32	32	2～3PCLKA	2ICLK	35章
000E C2B0h	RI3C0	デバイスアドレスレジスタ0	ICDAR0	32	32	2～3PCLKA	2ICLK	35章
000E C2D0h	RI3C0	ターゲットデバイス特性テーブルレジスタ0	ICTDCTR0	32	32	2～3PCLKA	2ICLK	35章
000E C2D4h	RI3C0	ターゲットデバイス特性テーブルレジスタ1	ICTDCTR1	32	32	2～3PCLKA	2ICLK	35章

表5.1 I/O レジスタアドレス一覧 (44 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000E C2D8h	RI3C0	ターゲットデバイス特性テーブルレジスタ2	ICTDCTR2	32	32	2～3PCLKA	2ICLK	35章
000E C2DCh	RI3C0	ターゲットデバイス特性テーブルレジスタ3	ICTDCTR3	32	32	2～3PCLKA	2ICLK	35章
000E C320h	RI3C0	デバイス特性テーブルレジスタ	ICDCTR	32	32	2～3PCLKA	2ICLK	35章
000E C324h	RI3C0	支給ID下位レジスタ	ICPIDLR	32	32	2～3PCLKA	2ICLK	35章
000E C328h	RI3C0	支給ID上位レジスタ	ICPIDHR	32	32	2～3PCLKA	2ICLK	35章
000E C330h	RI3C0	デバイスアドレスモニタレジスタ0	ICDAMR0	32	32	2～3PCLKA	2ICLK	35章
000E C350h	RI3C0	ターゲットイベントレジスタ	ICTEVR	32	32	2～3PCLKA	2ICLK	35章
000E C354h	RI3C0	アクティビティステートレジスタ	ICASR	32	32	2～3PCLKA	2ICLK	35章
000E C358h	RI3C0	最大ライト長レジスタ	ICMWLR	32	32	2～3PCLKA	2ICLK	35章
000E C35Ch	RI3C0	最大リード長レジスタ	ICMRLR	32	32	2～3PCLKA	2ICLK	35章
000E C360h	RI3C0	テストモードレジスタ	ICTMR	32	32	2～3PCLKA	2ICLK	35章
000E C364h	RI3C0	デバイスステータスレジスタ	ICDSR	32	32	2～3PCLKA	2ICLK	35章
000E C368h	RI3C0	最高ライト速度レジスタ	ICMWSR	32	32	2～3PCLKA	2ICLK	35章
000E C36Ch	RI3C0	最高リード速度レジスタ	ICMRSR	32	32	2～3PCLKA	2ICLK	35章
000E C370h	RI3C0	最大リード応答時間レジスタ	ICMTTR	32	32	2～3PCLKA	2ICLK	35章
000E C374h	RI3C0	タイミングサポート情報レジスタ	ICTSIR	32	32	2～3PCLKA	2ICLK	35章
000E C380h	RI3C0	ビットカウントレジスタ	ICBCR	32	32	2～3PCLKA	2ICLK	35章
000E C394h	RI3C0	キューバッファステータスレジスタ	ICQBSR	32	32	2～3PCLKA	2ICLK	35章
000E C398h	RI3C0	データバッファステータスレジスタ	ICDBSR	32	32	2～3PCLKA	2ICLK	35章
000E C3C0h	RI3C0	受信ステータスキューステータスレジスタ	ICSQSR	32	32	2～3PCLKA	2ICLK	35章
000E C3CCh	RI3C0	内部ステータスモニタレジスタ	ICIMR	32	32	2～3PCLKA	2ICLK	35章
000E C3D0h	RI3C0	コントローラエラーカウントレジスタ	ICCECR	32	32	2～3PCLKA	2ICLK	35章
000E D000h	CANFD	ECC制御/ステータスレジスタ	ECCSR	32	32	2～3PCLKA	1～2ICLK	36章
000E D004h	CANFD	ECCテストモードレジスタ	ECTMR	16	16	2～3PCLKA	1～2ICLK	36章
000E D00Ch	CANFD	ECCデコーダテストデータレジスタ	ECTDR	32	32	2～3PCLKA	1～2ICLK	36章
000E D010h	CANFD	ECCエラーアドレスレジスタ	ECEAR	32	32	2～3PCLKA	1～2ICLK	36章
0012 0040h	OFSM	シリアルプログラマコマンド制御レジスタ	SPCC	32	32	8FCLK		7章
0012 0048h	OFSM	TMイネーブルフラグレジスタ	TMEF	32	32	8FCLK		7章
0012 0050h	OFSM	OCD/シリアルプログラマID設定レジスタ	OSIS	128	32	8FCLK		7章
0012 0060h	OFSM	TM識別データレジスタ	TMINF	32	32	8FCLK		7章
0012 0064h	OFSM	エンディアン選択レジスタ	MDE	32	32	8FCLK		7章
0012 0068h	OFSM	オプション機能選択レジスタ0	OFS0	32	32	8FCLK		7章
0012 006Ch	OFSM	オプション機能選択レジスタ1	OFS1	32	32	8FCLK		7章
0012 0090h	OFSM	バンク選択レジスタ	BANKSEL	32	32	8FCLK		7章
0012 00A0h	OFSM	フラッシュアクセスウィンドウ設定レジスタ	FAW	32	32	8FCLK		7章
007F B174h	FLASH	ユニークIDレジスタ0	UIDR0	32	32	3～5FCLK	3～4ICLK	48章
007F B17Ch	TEMPS	温度センサ校正データレジスタ	TSCDR	32	32	3～5FCLK	3～4ICLK	44章
007F B1E4h	FLASH	ユニークIDレジスタ1	UIDR1	32	32	3～5FCLK	3～4ICLK	48章
007F B1E8h	FLASH	ユニークIDレジスタ2	UIDR2	32	32	3～5FCLK	3～4ICLK	48章
007F E010h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2～4FCLK	2～3ICLK	48章
007F E014h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2～4FCLK	2～3ICLK	48章
007F E018h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2～4FCLK	2～3ICLK	48章
007F E030h	FLASH	FACIコマンド処理開始アドレスレジスタ	FSADDR	32	32	2～4FCLK	2～3ICLK	48章
007F E034h	FLASH	FACIコマンド処理終了アドレスレジスタ	FEADDR	32	32	2～4FCLK	2～3ICLK	48章
007F E080h	FLASH	フラッシュステータスレジスタ	FSTATR	32	32	2～4FCLK	2～3ICLK	48章
007F E084h	FLASH	フラッシュ P/Eモードエントリレジスタ	FENTRYR	16	16	2～4FCLK	2～3ICLK	48章
007F E08Ch	FLASH	フラッシュシーケンサ設定初期化レジスタ	FSUINITR	16	16	2～4FCLK	2～3ICLK	48章
007F E0A0h	FLASH	FACIコマンドレジスタ	FCMDR	16	16	2～4FCLK	2～3ICLK	48章
007F E0C0h	FLASH	フラッシュ P/Eステータスレジスタ	FPESTAT	16	16	2～4FCLK	2～3ICLK	48章
007F E0D0h	FLASH	データフラッシュブランクチェック制御レジスタ	FBCCNT	8	8	2～4FCLK	2～3ICLK	48章
007F E0D4h	FLASH	データフラッシュブランクチェックステータスレジスタ	FBCSTAT	8	8	2～4FCLK	2～3ICLK	48章

表5.1 I/O レジスタアドレス一覧 (45 / 45)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
007F E0D8h	FLASH	データフラッシュ書き込み開始アドレスレジスタ	FPSADDR	32	32	2～4FCLK	2～3ICLK	48章
007F E0DCh	FLASH	フラッシュアクセスウィンドウモニタレジスタ	FAWMON	32	32	2～4FCLK	2～3ICLK	48章
007F E0E0h	FLASH	フラッシュシーケンサ処理切り替えレジスタ	FCPSR	16	16	2～4FCLK	2～3ICLK	48章
007F E0E4h	FLASH	フラッシュシーケンサ処理クロック周波数通知レジスタ	FPCKAR	16	16	2～4FCLK	2～3ICLK	48章
007F E0E8h	FLASH	スタートアップ領域コントロールレジスタ	FSUACR	16	16	2～4FCLK	2～3ICLK	48章

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセット、電圧監視 1 リセット、電圧監視 2 リセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇(監視電圧：VPOR)(注1)
電圧監視0リセット	VCCの下降(監視電圧：Vdet0)(注1)
電圧監視1リセット	VCCの下降(監視電圧：Vdet1)(注1)
電圧監視2リセット	VCCの下降(監視電圧：Vdet2)(注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧(VPOR, Vdet0, Vdet1, Vdet2)については、「8. 電圧検出回路(LVDA)」、「49. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。
表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因							
	RES#端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視1リセット	電圧監視2リセット	ソフトウェアリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート 判別フラグ (RSTSR1.CWSF)	—	○	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—
電圧レベル設定レジスタ (VOLSR)	○	○	○	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	○	—	—	—	—	—
ウォッチドッグタイマ リセット検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	—
ウォッチドッグタイマのレジスタ (WDTRR, WDTCR, WDTSR, WDTRCR)	○	○	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL[3:0])	○	○	○	○	○	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL[3:0])	○	○	○	○	○	○	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	—
高速オンチップオシレータ関連のレジスタ (HOCOPCR.HOCOPCNT)	○	○	○	○	○	○	○	○
メインクロック発振器関連のレジスタ (MOFCR)	○	○	○	○	○	○	○	○
端子の状態	○	○	○	○	○	○	○	○
動作モード (注1)	○	○	○	—	—	—	—	—
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. リセット解除時のモード設定端子の状態によって動作モードが決定されます。詳細は、「3. 動作モード」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0 (注1)	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0：パワーオンリセット未検出 1：パワーオンリセット検出	R(/W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0：電圧監視0リセット未検出 1：電圧監視0リセット検出	R(/W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0：電圧監視1リセット未検出 1：電圧監視1リセット検出	R(/W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0：電圧監視2リセット未検出 1：電圧監視2リセット検出	R(/W) (注2)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。
注2. フラグをクリアするための"0"書き込みのみ可能です。

PORF フラグ（パワーオンリセット検出フラグ）

パワーオンリセットが発生したことを示します。

[“1” になる条件]

- パワーオンリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

VCC 電圧が Vdet0 レベル以下になり、電圧監視 0 リセットが発生したことを示します。

[“1” になる条件]

- 電圧監視 0 リセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

VCC 電圧が Vdet1 レベル以下になり、電圧監視 1 リセットが発生したことを示します。

[“1” になる条件]

- 電圧監視 1 リセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下になり、電圧監視 2 リセットが発生したことを示します。

［“1” になる条件］

- 電圧監視 2 リセットが発生したとき

［“0” になる条件］

- **表 6.2** に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0：コールドスタート 1：ウォームスタート	R(/W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。
注2. フラグをセットするための"1"書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ（コールドスタート / ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES# 端子リセットでは初期化されません。

[“1” になる条件]

- プログラムで “1” を書いたとき。“0” を書いても変化しません。

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	0	0	0 (注1)	0 (注1)	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0：独立ウォッチドッグタイマリセット未検出 1：独立ウォッチドッグタイマリセット検出	R(/W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0：ウォッチドッグタイマリセット未検出 1：ウォッチドッグタイマリセット検出	R(/W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0：ソフトウェアリセット未検出 1：ソフトウェアリセット検出	R(/W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。
注2. フラグをクリアするための"0"書き込みのみ可能です。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

独立ウォッチドッグタイマリセットが発生したことを示します。

[“1” になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

ウォッチドッグタイマリセットが発生したことを示します。

[“1” になる条件]

- ウォッチドッグタイマリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

ソフトウェアリセットが発生したことを示します。

[“1” になる条件]

- ソフトウェアリセットを行なったとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWRR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h” を書くとLSIがリセットされます。読むと“0000h”が読めます	R/W

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、**「49. 電気的特性」**を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。また、RES# 端子を High にした状態で電源が低下した場合 (VCC が VPOR 以下になった場合) もパワーオンリセットは発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、電源が安定し、かつ LSI が安定して動作するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが “1” になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が “0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが “1” になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを “0” にしてください。VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0] ビットの設定により変更できます。

図 6.1 にパワーオンリセットおよび電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、**「8. 電圧検出回路 (LVDA)」**を参照してください。

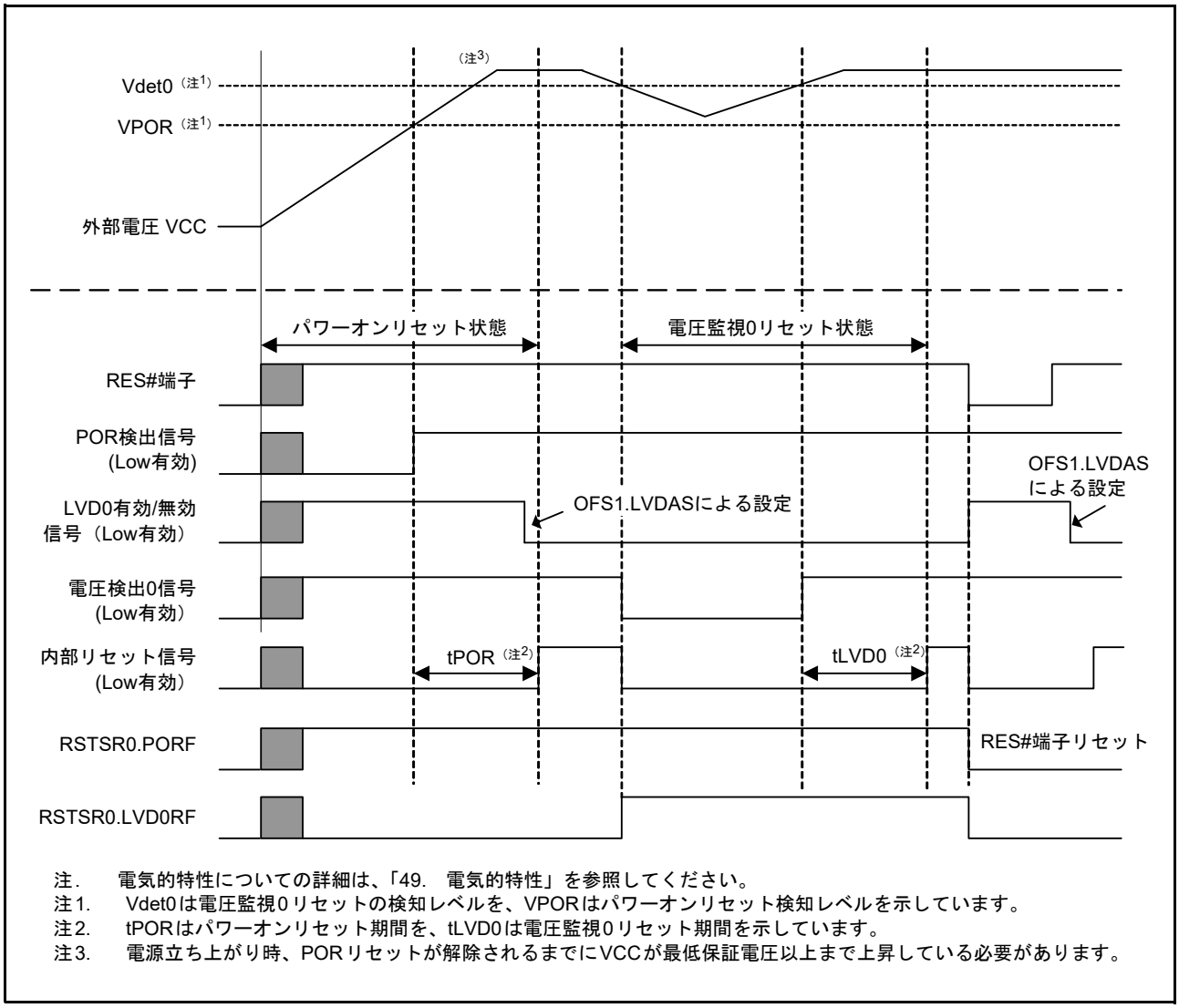


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み / リセット許可ビット (LVD1RIE) が “1”(電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1”(低電圧検出時、リセット発生) の状態で、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み / リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が Vdet1 以下になり、その後 Vdet1 を超えてから電圧監視 1 リセット時間 (tLVD1) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が Vdet1 以下になってから

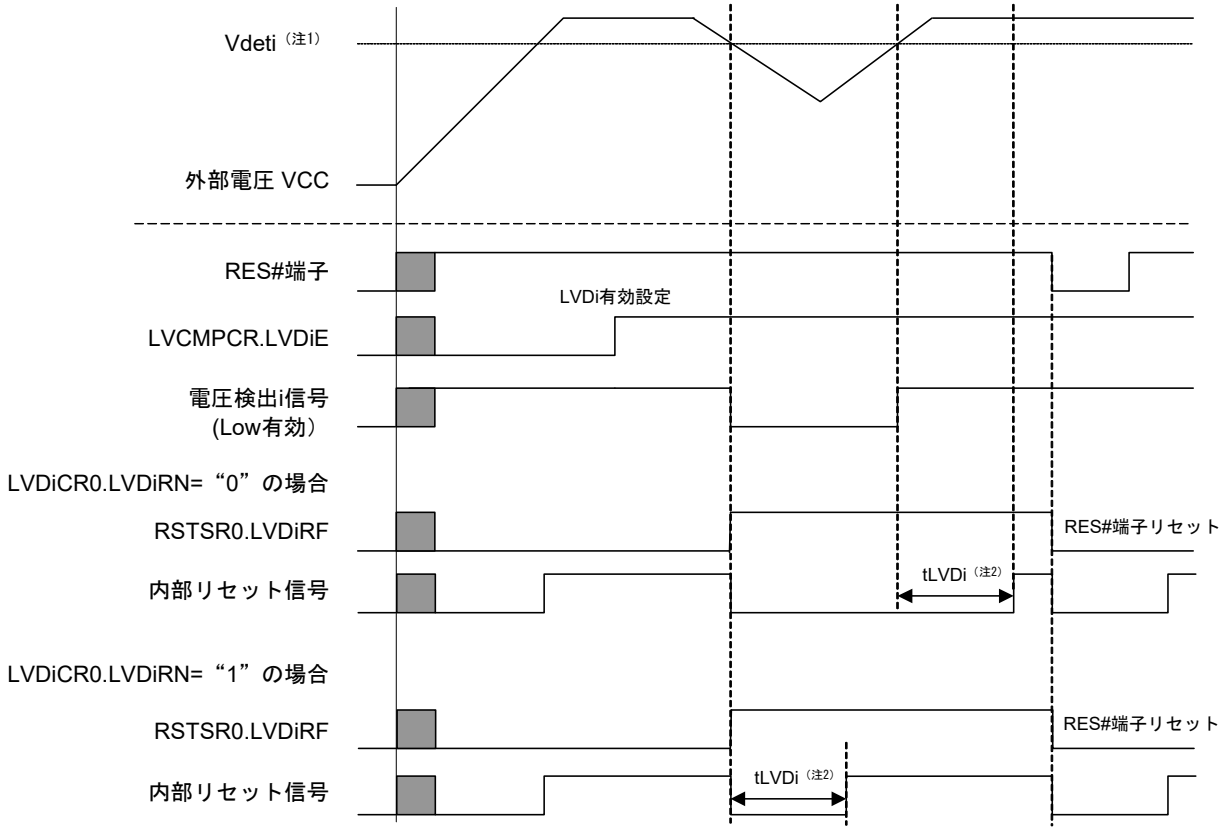
電圧監視 1 リセット時間 (tLVD1) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

Vdet1 および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセットおよび電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。



注. 電気的特性についての詳細は、「49. 電気的特性」を参照してください。
注1. Vdetiは、電圧監視1リセット、電圧監視2リセットの検知レベルを示しています。(i = 1, 2)
注2. tLVDiは、電圧監視1リセット、電圧監視2リセット期間を示しています。(i = 1, 2)

図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「31. **独立ウォッチドッグタイマ (IWDTa)**」を参照してください。

6.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「30. **ウォッチドッグタイマ (WDTA)**」を参照してください。

6.3.6 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに “A501h” を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.7 コールドスタート / ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると “0” (コールドスタート) になります。その他のリセットを行っても “0” になりません。また、プログラムで “1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート / ウォームスタート判定機能の動作例を示します。

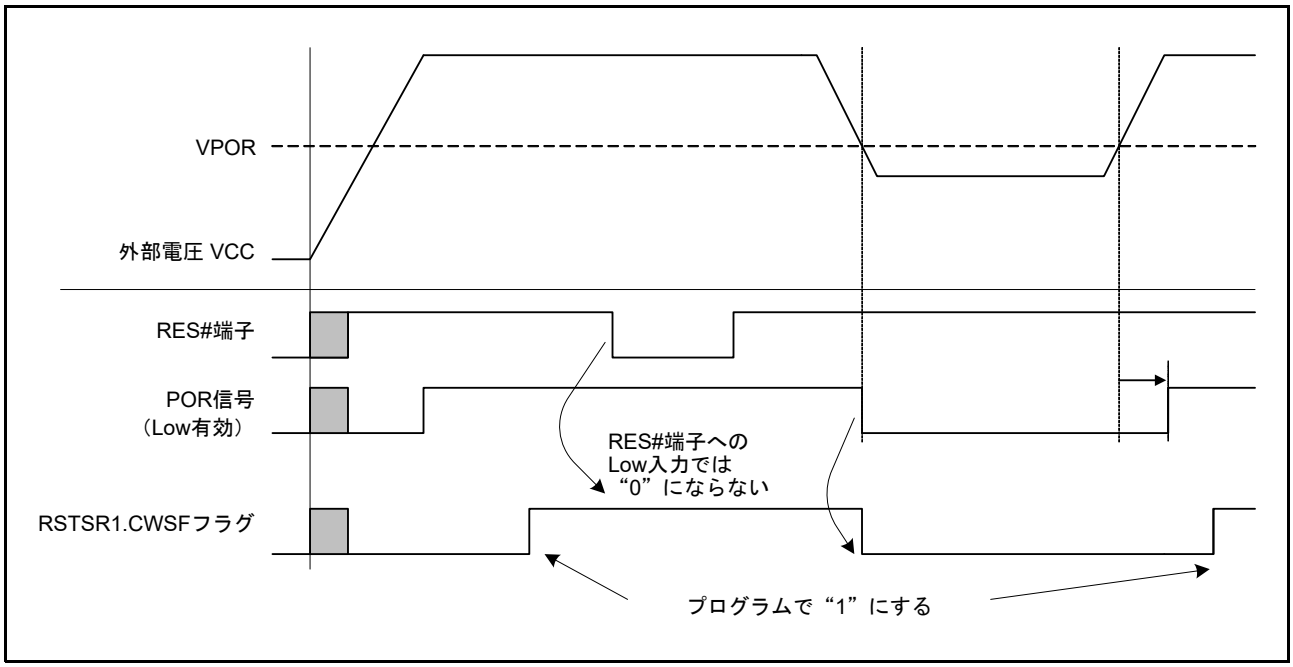


図 6.3 コールドスタート / ウォームスタート判定機能の動作例

6.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR2 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

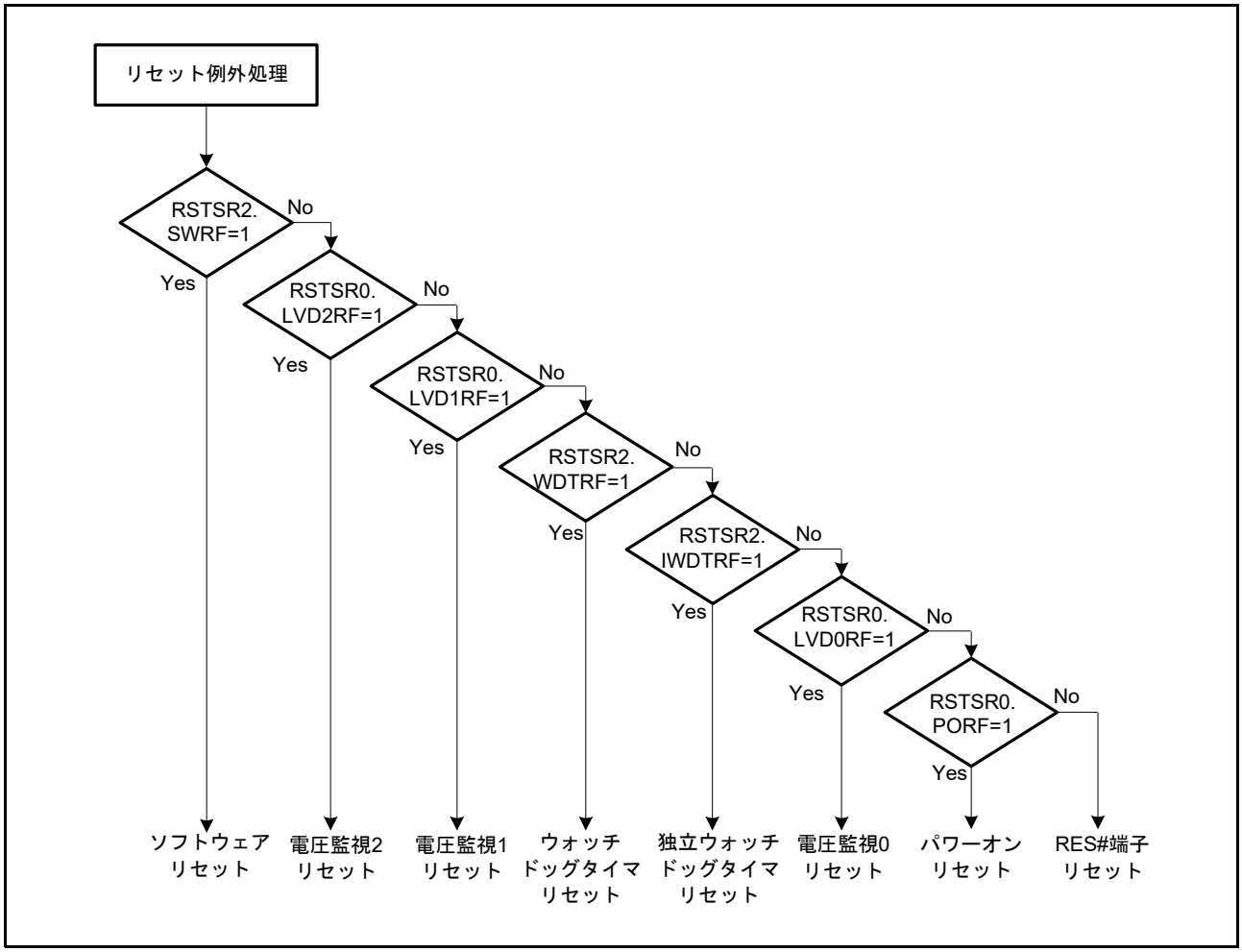


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

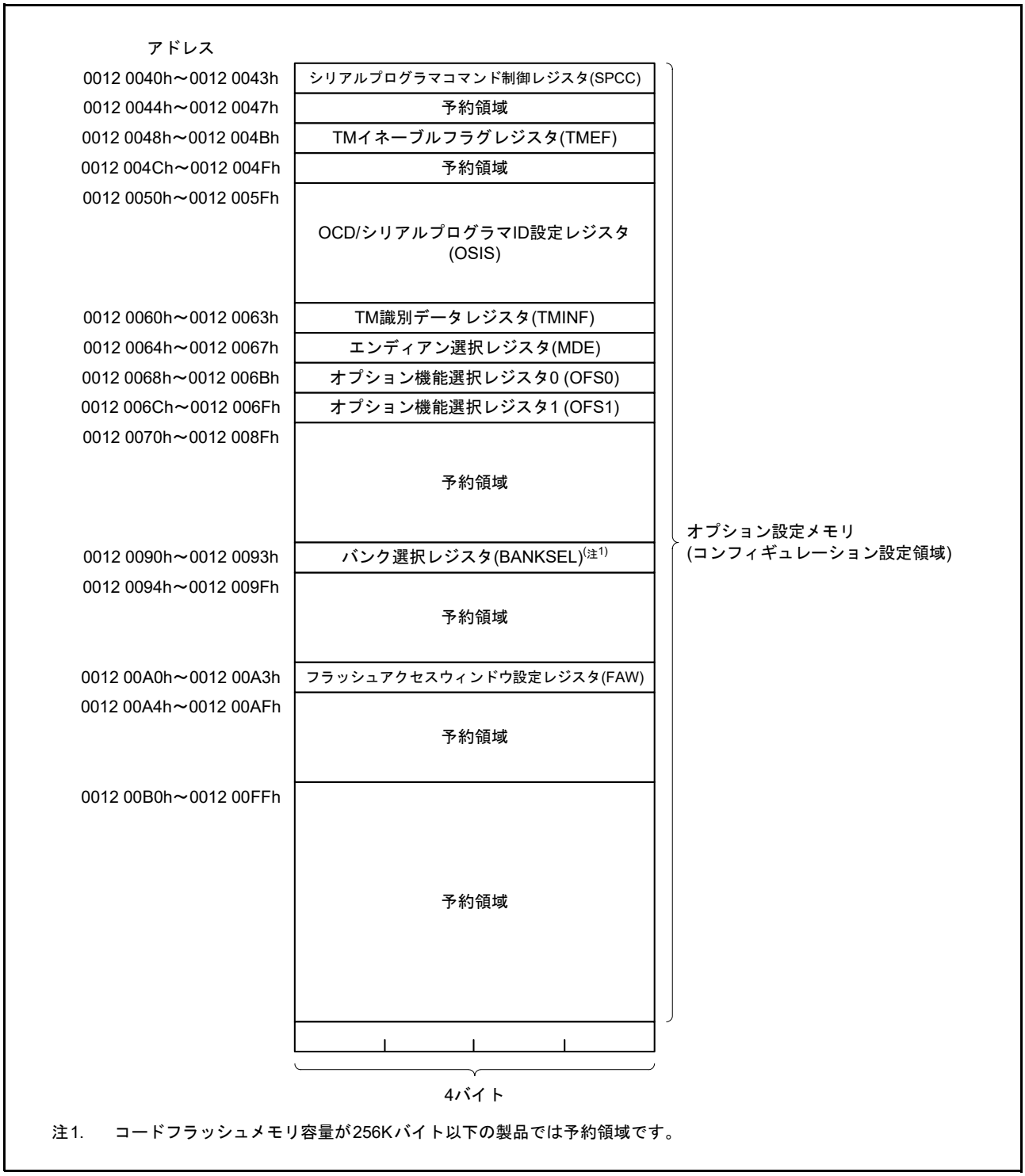
オプション設定メモリ (OFSM) は、以下に示すレジスタの総称です。

- シリアルプログラマコマンド制御レジスタ (SPCC)
- OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)
- オプション機能選択レジスタ 0 (OFS0)
- オプション機能選択レジスタ 1 (OFS1)
- エンディアン選択レジスタ (MDE)
- TM イネーブルフラグレジスタ (TMEF)
- TM 識別データレジスタ (TMINF)
- バンク選択レジスタ (BANKSEL) (コードフラッシュメモリ容量が 512K バイトの製品のみ)
- フラッシュアクセスウィンドウ設定レジスタ (FAW)

オプション設定メモリ (コンフィギュレーション設定領域) は、本 MCU のリセット後の状態を決定します。

オプション設定メモリへの値の設定方法は I/O レジスタとは異なります。詳細は、**「7.5 オプション設定メモリの設定方法」**を参照してください。

図 7.1 にオプション設定メモリを示します。



注1. コードフラッシュメモリ容量が256Kバイト以下の製品では予約領域です。

図 7.1 オプション設定メモリ

7.2 レジスタの説明

7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC)

アドレス OFSM.SPCC 0012 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDPR	WRPR	SEPR	—	SPE	—	—	IDE	—	—	—	—	—	—	OCDE	—
リセット後の値	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b16-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	OCDE	オンチップデバッガ接続許可ビット	0：リセット後、オンチップデバッガへの接続を禁止 1：リセット後、オンチップデバッガへの接続を許可	R
b23-b18	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b24	IDE	シリアルプログラマIDコードプロテクト有効ビット	0：リセット後、シリアルプログラマIDコードプロテクトは有効(注2) 1：リセット後、シリアルプログラマIDコードプロテクトは無効(注3)	R
b26-b25	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b27	SPE	シリアルプログラマ接続許可ビット	0：リセット後、シリアルプログラマとの接続を禁止 1：リセット後、シリアルプログラマとの接続を許可	R
b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b29	SEPR	ブロックイレーズコマンドプロテクトビット(注4)	0：リセット後、ブロックイレーズコマンドの実行を禁止 1：リセット後、ブロックイレーズコマンドの実行を許可	R
b30	WRPR	プログラムコマンドプロテクトビット(注4)	0：リセット後、プログラムコマンドの実行を禁止 1：リセット後、プログラムコマンドの実行を許可	R
b31	RDPR	リードコマンドプロテクトビット(注4)	0：リセット後、リードコマンドの実行を禁止 1：リセット後、リードコマンドの実行を許可	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。
注2. シリアルプログラマIDコードプロテクトを有効にする場合、RDPR、WRPR、SEPRビットを“0”にしてください。
注3. シリアルプログラマIDコードプロテクトを無効にする場合、RDPR、WRPR、SEPRビットを“1”にしてください。
注4. IDEビットと同じ値を設定してください。

シリアルプログラマ ID コードプロテクト有効 / 無効とオンチップデバッガ接続、シリアルプログラマ接続の許可 / 禁止を設定します。

OCDE ビット (オンチップデバッガ接続許可ビット)

オンチップデバッガへの接続の許可 / 禁止を設定します。

このビットを “0” にして MCU をリセットすると、以後、オンチップデバッガへの接続ができなくなります。

IDE ビット (シリアルプログラマ ID コードプロテクト有効ビット)

シリアルプログラマ ID コードプロテクトの有効 / 無効を設定します。

このビットを “0” (シリアルプログラマ ID コードプロテクト有効) にする場合、RDPR、WRPR、SEPR ビットを “0” にしてください。このビットを “1” (シリアルプログラマ ID コードプロテクト無効) にする場合、RDPR、WRPR、SEPR ビットを “1” にしてください。

SPE ビット (シリアルプログラマ接続許可ビット)

シリアルプログラマとの接続の許可 / 禁止を設定します。

このビットを “0” にして MCU をリセットすると、以後、シリアルプログラマと接続できなくなります。

SEPR ビット (ブロックイレーズコマンドプロテクトビット)

シリアルプログラマによるブロックイレーズコマンドの実行許可 / 禁止を設定します。

IDE ビットが “0” のときにこのビットが “0” であると、ID コードが一致するまでブロックイレーズコマンドを実行できません。

IDE ビットを “1” にする場合、このビットを “1” にしてください。IDE ビットを “0” にする場合、このビットを “0” にしてください。

WRPR ビット (プログラムコマンドプロテクトビット)

シリアルプログラマによるプログラムコマンドの実行許可 / 禁止を設定します。

IDE ビットが “0” のときにこのビットが “0” であると、ID コードが一致するまでプログラムコマンドを実行できません。

IDE ビットを “1” にする場合、このビットを “1” にしてください。IDE ビットを “0” にする場合、このビットを “0” にしてください。

RDPR ビット (リードコマンドプロテクトビット)

シリアルプログラマによるリードコマンドの実行許可 / 禁止を設定します。

IDE ビットが “0” のときにこのビットが “0” であると、ID コードが一致するまでリードコマンドを実行できません。

IDE ビットを “1” にする場合、このビットを “1” にしてください。IDE ビットを “0” にする場合、このビットを “0” にしてください。

7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)

オンチップデバッガ ID コードプロテクト / シリアルプログラマ ID コードプロテクトに使用する制御コード、または ID コードを格納するレジスタです。

エミュレータ / シリアルプログラマから送られてくる制御コード、または ID コードと、本レジスタに格納された制御コード、または ID コードの一致を判定します。

判定結果が一致した場合はエミュレータ / シリアルプログラマとの接続を許可しますが、一致しなかった場合はエミュレータ / シリアルプログラマとの接続はできません。

シリアルプログラマ ID コードプロテクトを有効にする場合、本レジスタの設定の他に、SPCC レジスタの IDE、SPE、RDPR、WRPR、SEPR ビットを設定する必要があります。

ID コード 1/ 制御コード～ ID コード 16 のリセット後の値は、ブランク品では “FFh” です。値を設定した後は、設定した値になります。

アドレス	bit31			bit0
0012 0050h ～ 0012 0053h	ID コード 4	ID コード 3	ID コード 2	ID コード 1 / 制御コード
0012 0054h ～ 0012 0057h	ID コード 8	ID コード 7	ID コード 6	ID コード 5
0012 0058h ～ 0012 005Bh	ID コード 12	ID コード 11	ID コード 10	ID コード 9
0012 005Ch ～ 0012 005Fh	ID コード 16	ID コード 15	ID コード 14	ID コード 13

ID コード 1/ 制御コード～ ID コード 16

オンチップデバッガ ID コードプロテクト / シリアルプログラマ ID コードプロテクトに使用する制御コード、または ID コードを格納します。

ID コード 1 はシリアルプログラマと接続する場合は制御コード、エミュレータと接続する場合は ID コードとなります。

制御コードの詳細は「7.4 **オプション設定メモリの設定値とリード / プログラム / イレーズ動作**」を参照してください。

7.2.3 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 0012 0068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	IWDTSLCSTP	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDTRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、または割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0：リセット後、WDTはオートスタートモードにて自動的に起動 1：リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択ビット	b19 b18 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択ビット	b23　b20 0 0 0 1：4分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 1 0：512分周 0 1 1 1：2048分周 1 0 0 0：8192分周 上記以外は設定しないでください	R
b25-b24	WDTRPES[1:0]	WDTウィンドウ終了位置選択ビット	b25 b24 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDTRPSS[1:0]	WDTウィンドウ開始位置選択ビット	b27 b26 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b28	WDTRSTIRQS	WDTリセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、または割り込み要求を許可 1：リセットを許可	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「31.　独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケーラの分周比設定を 1 分周 /16 分周 /32 分周 /64 分周 /128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 1024 ～ 4194304 クロックの間で設定できます。

詳細は「31.　独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、

IWDTTOPS[1:0] ビットの設定により変わります。
詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。
詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。
詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。
詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。
リフレッシュ後、アンダフローするまでの時間 (PCLKB) は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。
詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKB を分周するプリスケーラの分周比設定を 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ～ 134217728 クロックの間で設定できます。
詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。
WDTRPSS[1:0] ビット、WDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、WDTTOPS[1:0] ビットの設定により変わります。
詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。

詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.4　オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 0012 006Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	HOCO EN	—	—	—	—	—	LVDAS	VDSEL[1:0]	
	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0：予約 0 1：予約 1 0：2.83Vを選択 1 1：4.22Vを選択	R
b2	LVDAS	電圧検出0回路起動ビット	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0：リセット後、HOCO発振が有効 1：リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

VDSEL[1:0] ビット (電圧検出 0 レベル選択ビット)

電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出 0 回路起動ビット)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを “0” にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを “0” にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

7.2.5 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE 0012 0064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	BANKMD[2:0]			—	MDE[2:0]		
	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 ０００：ビッグエンディアン １１１：リトルエンディアン 上記以外は設定しないでください	R
b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b6-b4	BANKMD[2:0]	バンクモード選択ビット(注2)	b6 b4 ０００：デュアルモード １１１：リニアモード 上記以外は設定しないでください	R
b31-b7	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。
注2. コードフラッシュメモリ容量が256Kバイト以下の製品では、デュアルモードを使用できません。“111b” (リニアモード)にしてください。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。また、コードフラッシュメモリのデュアルバンク機能のバンクモードを選択できます。

MDE[2:0] ビット (エンディアン選択ビット)

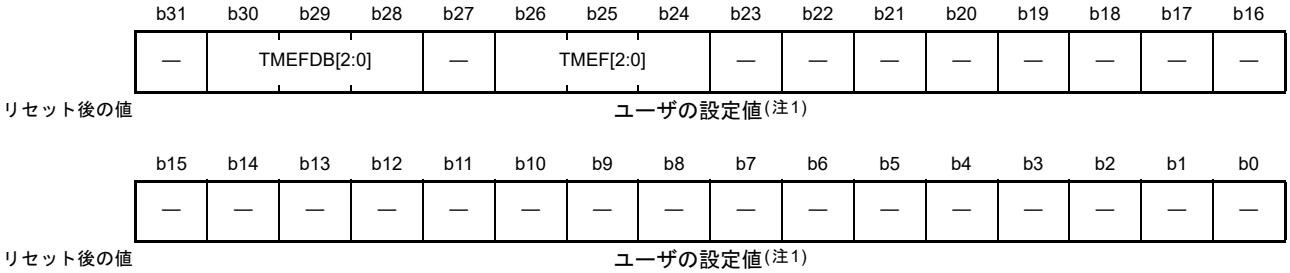
リトルエンディアン / ビッグエンディアンを選択します。

BANKMD[2:0] ビット (バンクモード選択ビット)

コードフラッシュメモリのデュアルバンク機能のバンクモードを選択できます。TM 機能有効時、本ビットは書き換えできません。本ビットの値を設定するときは TM 機能を無効にした状態で行ってください。

7.2.6 TM イネーブルフラグレジスタ (TMEF)

アドレス OFSM.TMEF 0012 0048h



ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b26-b24	TMEF[2:0]	TMイネーブルビット	b26 b24 ０ ０ ０：コードフラッシュメモリのブロック8、9のTM機能有効 １ １ １：コードフラッシュメモリのブロック8、9のTM機能無効 上記以外は設定しないでください	R
b27	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b30-b28	TMEFDB[2:0]	デュアルバンクTMイネーブルビット	b30 b28 ０ ０ ０：デュアルモード時、コードフラッシュメモリのブロック30、31のTM機能有効 １ １ １：デュアルモード時、コードフラッシュメモリのブロック30、31のTM機能無効 上記以外は設定しないでください	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

TMEF レジスタは、コードフラッシュメモリに対する TM 機能を有効にすることができます。

TM 機能を有効にする場合は、「48.8.22　コンフィギュレーションプログラムコマンド」を参照してください。TM 機能が有効な状態で TMEF[2:0] ビット、または TMEFDB[2:0] ビットを書き換えた場合、書き換えは無視されます。TM 機能を無効にする場合は、「48.8.21　コンフィギュレーションクリアコマンド」を参照してください。

TMEF[2:0] ビット (TM イネーブルビット)

コードフラッシュメモリに対する TM 機能の有効 / 無効を選択します。デュアルモード時に、TMEF[2:0] を有効 (“000b”) にする場合は、TMEFDB[2:0] ビットも有効 (“000b”) にしてください。

TMEFDB[2:0] ビット (デュアルバンク TM イネーブルビット)

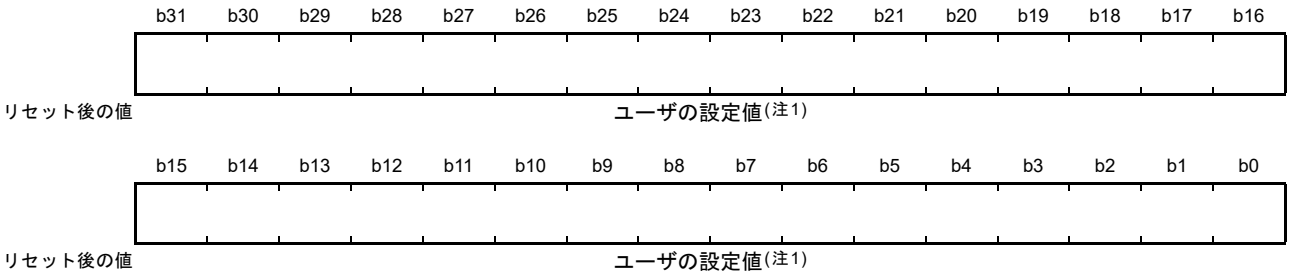
デュアルモード時のコードフラッシュメモリに対する TM 機能の有効 / 無効を選択できます。

TMEFDB[2:0] ビットを有効 (“000b”) にする際は、TMEF[2:0] ビットも有効 (“000b”) にしてください。

リニアモードで使用する場合は無効 (“111b”) を設定してください。

7.2.7　TM 識別データレジスタ (TMINF)

アドレス　OFSM.TMINF 0012 0060h



注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

ユーザが任意の 32 ビットデータを格納できる領域です。

TM 対象領域に格納しているプログラムを識別できるコード格納などにご使用いただけます。

TM 機能が有効な場合、シリアルプログラミングによって TMINF レジスタを書き換えても、TMINF レジスタの書き換えは無視されます。TMINF レジスタの内容をイレーズする場合は、**「48.8.21　コンフィギュレーションクリアコマンド」**を参照してください。

7.2.8　バンク選択レジスタ (BANKSEL)

アドレス　OFSM.BANKSEL 0012 0090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	BANKSWP[2:0]		
	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	BANKSWP[2:0]	起動バンク切り替えビット	b2　b0 0 0 0 : バンク1のアドレスをFFFC 0000h番地～FFFF FFFFh番地、バンク0のアドレスをFFF8 0000h番地～FFFB FFFFh番地とする 1 1 1 : バンク1のアドレスをFFF8 0000h番地～FFFB FFFFh番地、バンク0のアドレスをFFFC 0000h番地～FFFF FFFFh番地とする 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

BANKSEL レジスタは、コードフラッシュメモリがデュアルモードのときにプログラムの起動バンクを選択するレジスタです。

BANKSWP[2:0] ビット (起動バンク切り替えビット)

コードフラッシュメモリがデュアルモードのとき、コードフラッシュメモリのバンク 0、バンク 1 のアドレスを選択します。

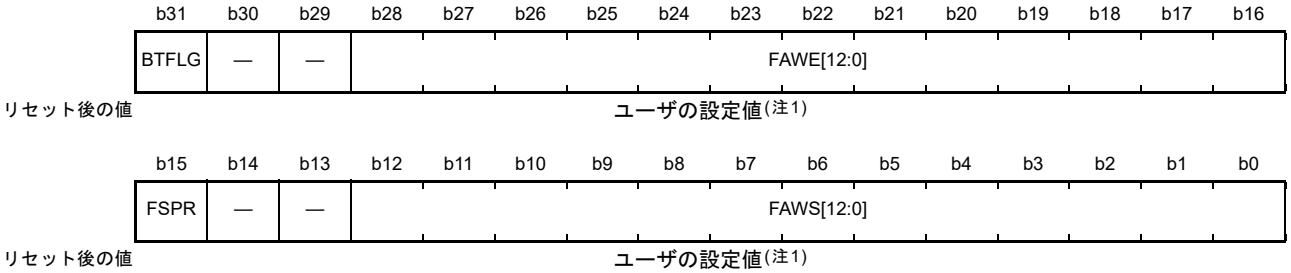
バンク 0、バンク 1 のアドレスを選択することによって、起動するプログラムを選択できます。

リニアモードのときは本ビットの設定は無効です。

起動バンク選択機能の詳細は「48.5.6.2　**起動バンク選択機能**」を参照してください。

7.2.9 フラッシュアクセスウィンドウ設定レジスタ (FAW)

アドレス OFSM.FAW 0012 00A0h



ビット	シンボル	ビット名	機能	R/W
b12-b0	FAWS[12:0]	フラッシュアクセスウィンドウスタートアドレスビット(注2)	フラッシュアクセスウィンドウスタートアドレス	R
b14-b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b15	FSPR	アクセスウィンドウプロテクトビット	0：プロテクションあり 1：プロテクションなし	R
b28-b16	FAWE[12:0]	フラッシュアクセスウィンドウエンドアドレスビット(注2)	フラッシュアクセスウィンドウエンドアドレス	R
b30-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b31	BTFLG	スタートアップ領域選択ビット	0：スタートアップ領域としてFFFF 8000h番地～FFFF BFFFh番地を使用 1：スタートアップ領域としてFFFF C000h番地～FFFF FFFFh番地を使用	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。
注2. FAWS[12:0]ビット≦FAWE[12:0]ビットになるように設定してください。なお、FAWS[12:0]ビット= FAWE[12:0]ビットにした場合、コードフラッシュメモリのユーザ領域すべてがプログラム/イレーズ可能になります。

FAW レジスタは、フラッシュアクセスウィンドウスタートアドレス、フラッシュアクセスウィンドウエンドアドレス、アクセスウィンドウを設定するための書き込みプロテクションビットとスタートアップ領域選択ビットを設定するためのレジスタです。

FAWS[12:0] ビット (フラッシュアクセスウィンドウスタートアドレスビット)

FAWS[12:0] ビットは、アクセスウィンドウ開始アドレスを指定するビットです。

アクセスウィンドウはブロック単位で設定可能です。

FAWS[11:0] ビットには、アクセスウィンドウの先頭アドレス (アクセスウィンドウ開始アドレス) の b23 ～ b12 を設定します。FAWS[12] ビットには “0” を設定してください。

FSPR ビット (アクセスウィンドウプロテクトビット)

FSPR ビットを “0” に設定すると、以下の動作をプロテクトします。

- FACI コマンドのコンフィギュレーション設定コマンドで FAW レジスタを含む領域を設定すること。
- ブートモード時にコンフィギュレーションプログラムコマンドで FAW レジスタを含む領域を設定すること。
- ブートモード時にコンフィギュレーションクリアコマンドでオプション設定メモリをイレーズすること。
- FSUACR レジスタでスタートアップ領域保護機能の設定を変更すること。

- ブートモード時､制御コードを “45h” に設定している状態で 3 回連続して判定結果が一致ではなかった場合に、フラッシュメモリの全てを消去すること。

FSPR ビットは、いったん “0” に設定すると “1” に戻すことができません。このため、アクセスウィンドウ、スタートアップ領域保護機能の再設定、および TM 機能を有効から無効に変更することが二度とできなくなります。FSPR ビットの取り扱いには十分にご注意ください。

FAWE[12:0] ビット (フラッシュアクセスウィンドウエンドアドレスビット)

FAWE[12:0] ビットは、アクセスウィンドウ終了アドレスを指定するビットです。

アクセスウィンドウはブロック単位で設定可能です。

FAWE[11:0] ビットには、アクセスウィンドウの最終アドレスの次のアドレス (アクセスウィンドウ終了アドレス) の b23 ～ b12 を設定します。FAWE[12] ビットには “0” を設定してください。なお、アクセスウィンドウの最終アドレスが “FFFF FFFFh” の場合は、FAWE[12:0] ビットに “1000h” を設定してください。

BTFLG ビット (スタートアップ領域選択ビット)

スタートアップ領域選択ビットは、スタートアッププログラム保護機能を用いてスタートアップ領域を入れ替えるか否かを設定します。デュアルモード時 (MDE.BANKMD[2:0] = 000b) は、本ビットに “1” をプログラムしてください。

詳細は「48.5.4　スタートアッププログラム保護機能」を参照してください。

7.3 各動作モードにおけるオプション設定メモリのプログラム / イレーズ動作

表 7.1 に動作モードによるオプション設定メモリのプログラム / イレーズ動作を示します。

表7.1　動作モードによるオプション設定メモリのプログラム/イレーズ動作

オプション設定メモリ	ブートモード (SCIインタフェース、FINEインタフェース)		セルフプログラミング	
	プログラム	イレーズ	プログラム	イレーズ
SPCC レジスタ、OSIS レジスタ、MDE レジスタ、OFS0 レジスタ、OFS1 レジスタ、TMEF レジスタ、TMINF レジスタ、BANKSEL レジスタ、FAW レジスタ	○ (注 1)	○ (注 1)	○ (注 2)	×

○：可能
×：不可能

注1.　ブートモード(SCIインタフェース、FINEインタフェース)用のコマンドを使用してプログラム/イレーズを行います。詳細は「48.7　ブートモード」を参照してください。

注2.　コンフィギュレーション設定コマンドを使用してプログラムを行います。コンフィギュレーション設定コマンドの使用方法は「48.6.7.10　コンフィギュレーション設定コマンド」を参照してください。

7.4　オプション設定メモリの設定値とリード / プログラム / イレーズ動作

表 7.2 にシリアルプログラマ接続時のオプション設定メモリの設定値とリード / プログラム / イレーズ動作の許可 / 禁止状態を示します。

表 7.3 に OCD 接続時のオプション設定メモリの設定値と ID コード判定動作を示します。

表7.2　シリアルプログラマ接続時のオプション設定メモリの設定値とリード/プログラム/イレーズ動作

No.	SPCC. SPE	SPCC. IDE	OSIS 制御コード	OSIS IDコード 2～16	SPCC. RDPR	SPCC. WRPR	SPCC. SEPR	シリアルプログラマ接続動作	シリアルプログラマ接続後のリード/プログラム/イレーズ動作
1	0	x	任意	任意	x	x	x	接続禁止	—
2	1	0	45h 以外		0	0	0	制御コードと ID コード判定有 (注 1)	リード許可、プログラム許可、イレーズ許可
3			45h					制御コードと ID コード判定有 (注 2)	リード許可、プログラム許可、イレーズ許可
4	1	1	任意		1	1	1	接続許可	リード許可、プログラム許可、イレーズ許可

x：Don't care

注1.　シリアルプログラマから送られてくる制御コード、およびIDコードと、OSISレジスタに設定された制御コード、およびIDコードの一致を判定し、一致した場合は接続を許可します。一致しない場合は接続できません。

注2.　シリアルプログラマから送られてくる制御コード、およびIDコードと、OSISレジスタに設定された制御コード、およびIDコードの一致を判定し、一致した場合は接続を許可します。一致しない場合は接続できません。ただし、3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。

表7.3　OCD接続時のオプション設定メモリの設定値とIDコード判定動作

No.	SPCC. SPE	SPCC. IDE	SPCC. OCDE	OSIS IDコード1	OSIS IDコード2～16	SPCC. RDPR	SPCC. WRPR	SPCC. SEPR	OCD接続動作
1	x	x	1	任意	任意	x	x	x	IDコード一致：OCD接続を許可 IDコード不一致：IDコード入力待ち
2	x	x	0	—	—	x	x	x	OCD接続を禁止(IDコードに依存しない)

x：Don’t care

7.5 オプション設定メモリの設定方法

7.5.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 7.1 で示すアドレスに配置してください。
以下にソースコード上で、オプション設定メモリの設定を記述する例を示します。

注 . プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

シリアルプログラマコマンド制御レジスタ (SPCC) に “1EFFFFFFh” を設定する場合
.ORG 00120040H
.LWORD 1EFFFFFFH

OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) に以下の ID コードを設定する場合
ID コード 1/ 制御コード = FFh, ID コード 2 = 02h, ID コード 3 = 03h, ID コード 4 = 04h, ID コード 5 = 05h,
ID コード 6 = 06h, ID コード 7 = 07h, ID コード 8 = 08h, ID コード 9 = 09h, ID コード 10 = 0Ah,
ID コード 11 = 0Bh, ID コード 12 = 0Ch, ID コード 13 = 0Dh, ID コード 14 = 0Eh, ID コード 15 = 0Fh,
ID コード 16 = 10h
.ORG 00120050H
.LWORD 040302FFH, 08070605H, 0C0B0A09H, 100F0E0DH

オプション機能選択レジスタ 0 (OFS0) に “EF67BA5Dh” を設定する場合
.ORG 00120068H
.LWORD 0EF67BA5DH

オプション機能選択レジスタ 1 (OFS1) に “FFFFFEFAh” を設定する場合
.ORG 0012006CH
.LWORD 0FFFFFEFAH

エンディアン選択レジスタ (MDE) に “FFFFFFF8h” を設定する場合
.ORG 00120064H
.LWORD 0FFFFFFF8H

フラッシュアクセスウィンドウ設定レジスタ (FAW) に “EFFC6FF9h” を設定する場合
.ORG 001200A0H
.LWORD 0EFFC6FF9H

7.6 使用上の注意事項

7.6.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットにプログラムする値は“1”としてください。“0”をプログラムすると正常動作できないことがあります。

8. 電圧検出回路 (LVDA)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1 (OFS1) で、検出電圧を 2 レベルから選択可能で、さらにリセット後、電圧監視 0 リセットの有効 / 無効が選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 5 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット / 割り込み、電圧監視 2 リセット / 割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。**図 8.1** に電圧検出回路のブロック図を、**図 8.2** に電圧監視 1 割り込み / リセット発生回路のブロック図を、**図 8.3** に電圧監視 2 割り込み / リセット発生回路のブロック図を示します。

表8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出電圧	OFS1.VDSEL[1:0]ビットで2レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで5レベルから選択可能	LVDLVLR.LVD2LVL[3:0]ビットで5レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
			LVD1SR.LVD1DETフラグ： Vdet1通過検出	LVD2SR.LVD2DETフラグ： Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	Vdet2 > VCCでリセット： VCC > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCの一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	ノンマスカブル割り込み、またはマスカブル割り込みを選択可能
			Vdet1 > VCC, VCC > Vdet1の両方、またはどちらかで割り込み要求	Vdet2 > VCC, VCC > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCOのn分周×2 (n：2, 4, 8, 16)	LOCOのn分周×2 (n：2, 4, 8, 16)
イベントリンク機能		なし	あり Vdet通過検出イベント出力	あり Vdet通過検出イベント出力

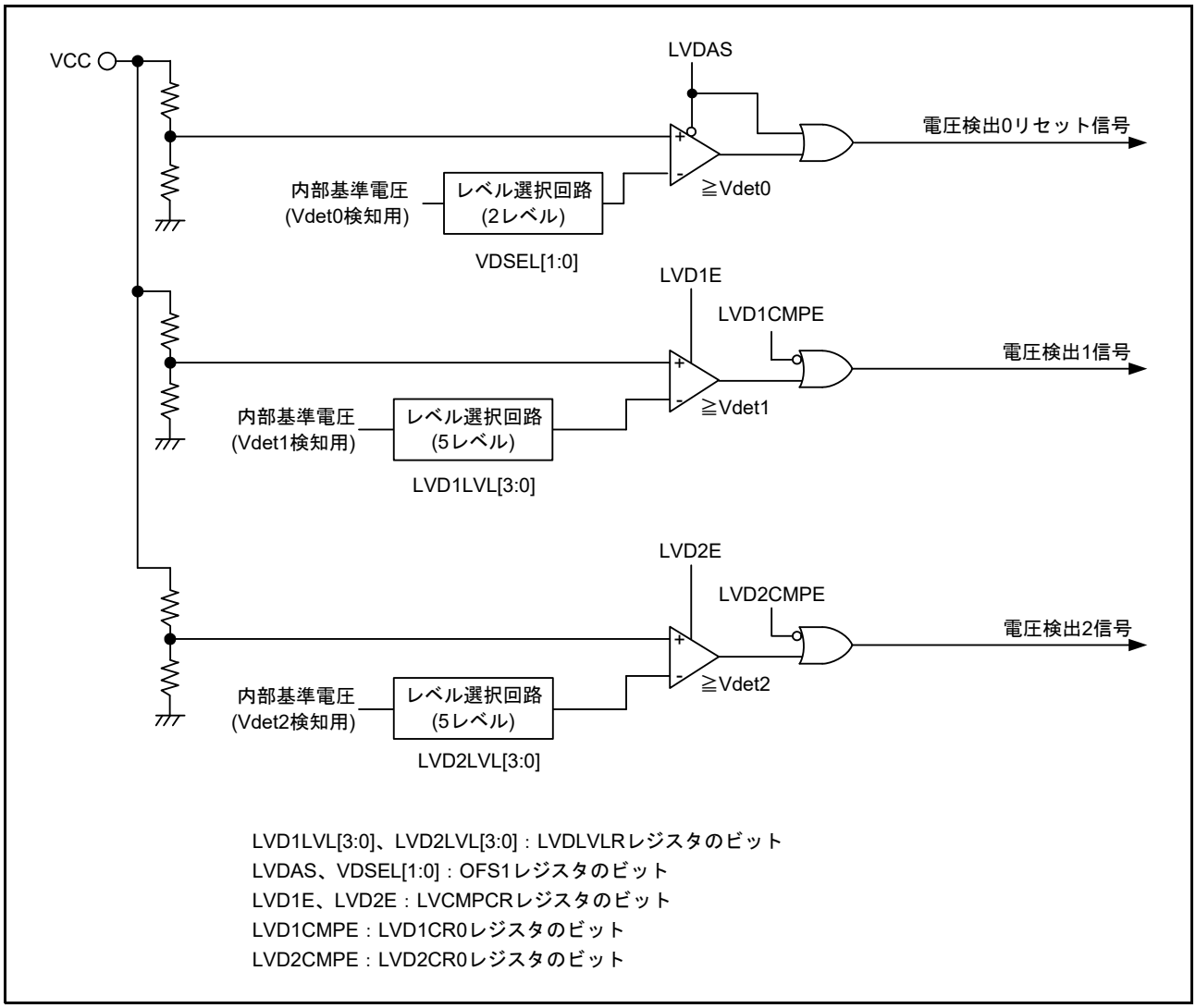
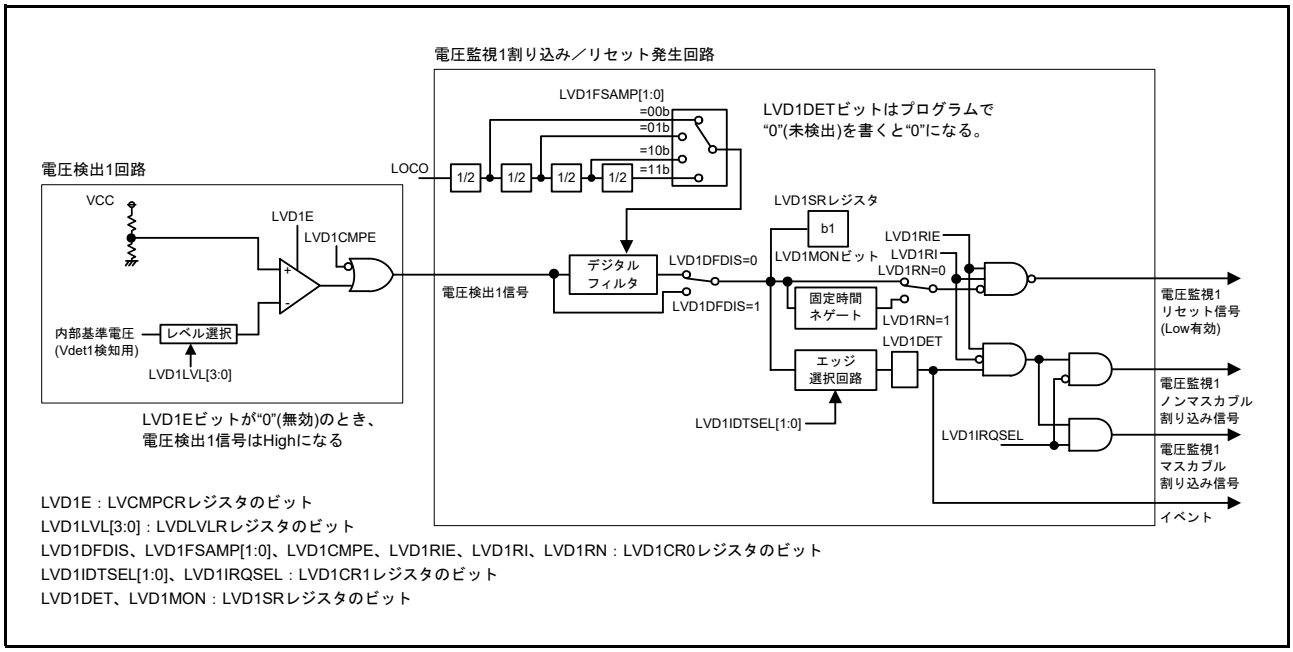
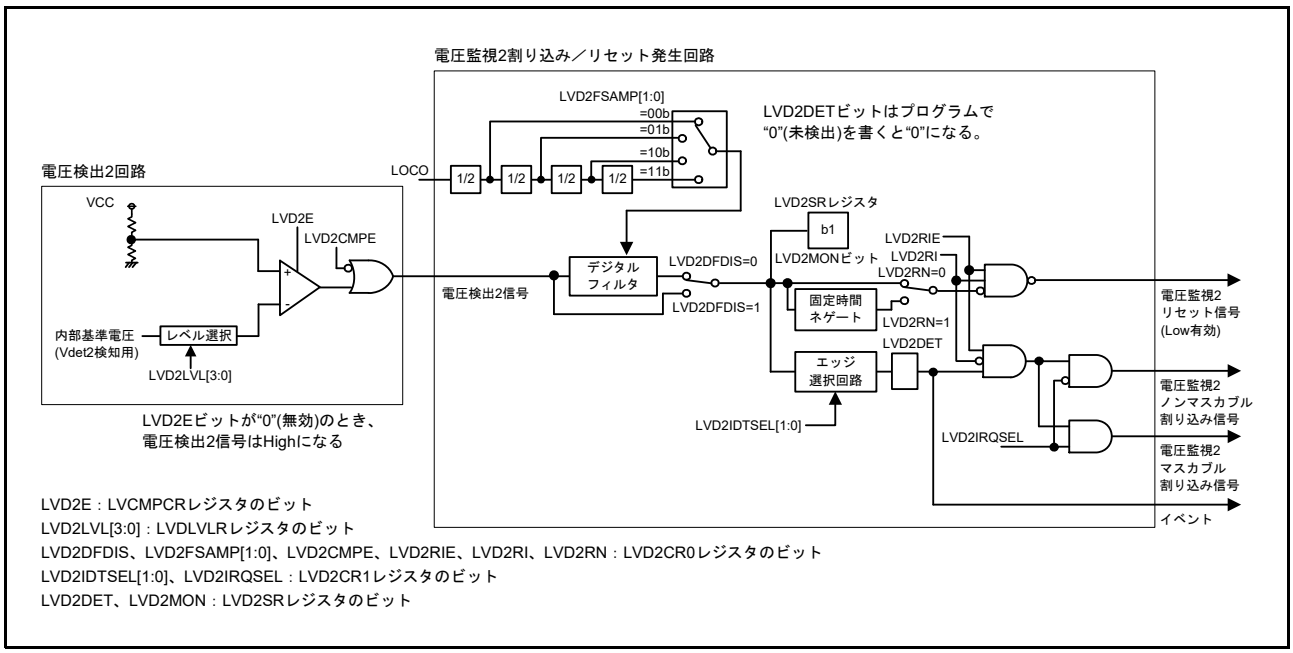


図 8.1 電圧検出回路ブロック図



LVD1E：LVCMPCRレジスタのビット
LVD1LVL[3:0]：LVDLVLRレジスタのビット
LVD1DFDIS、LVD1FSAMP[1:0]、LVD1CMPE、LVD1RIE、LVD1RI、LVD1RN：LVD1CR0レジスタのビット
LVD1IDTSEL[1:0]、LVD1IRQSEL：LVD1CR1レジスタのビット
LVD1DET、LVD1MON：LVD1SRレジスタのビット

図 8.2　電圧監視 1 割り込み / リセット発生回路のブロック図



LVD2E：LVCMPCRレジスタのビット
LVD2LVL[3:0]：LVDLVLRレジスタのビット
LVD2DFDIS、LVD2FSAMP[1:0]、LVD2CMPE、LVD2RIE、LVD2RI、LVD2RN：LVD2CR0レジスタのビット
LVD2IDTSEL[1:0]、LVD2IRQSEL：LVD2CR1レジスタのビット
LVD2DET、LVD2MON：LVD2SRレジスタのビット

図 8.3　電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1)

アドレス 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IRQSEL	LVD1IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL[1:0]	電圧監視1割り込み発生条件選択ビット	b1 b0 0 0 ：VCC≧Vdet1 (上昇)検出時 0 1 ：VCC < Vdet1 (下降)検出時 1 0 ：下降および上昇検出時 1 1 ：設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0：ノンマスカブル割り込み 1：マスカブル割り込み(注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD1ENビットをリセット状態から変更しないでください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1MON	LVD1DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1電圧変化検出フラグ	0：未検出 1：Vdet1通過検出	R(/W) (注1)
b1	LVD1MON	電圧監視1信号モニタフラグ	0：VCC < Vdet1 1：VCC≧Vdet1またはLVD1MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが “1” (電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが “1” (電圧監視 1 回路比較結果出力許可) のとき有効になります。

LVD1DET フラグを “0” にするときは、LVD1CR0.LVD1RIE ビットを “0” (禁止) にしてから行ってください。LVD1CR0.LVD1RIE ビットを “0” にした後、再度 LVD1CR0.LVD1RIE ビットを “1” (許可) にする場合は、PCLKB 2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが “1” (電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが “1” (電圧監視 1 回路比較結果出力許可) のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD2IRQSEL	LVD2IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL[1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : VCC≧Vdet2 (上昇)検出時 0 1 : VCC < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD2ENビットをリセット状態から変更しないでください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R(/W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : VCC < Vdet2 1 : VCC≧Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが “1” (電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが “1” (電圧監視 2 回路比較結果出力許可) のとき有効になります。

LVD2DET フラグを “0” にするときは、LVD2CR0.LVD2RIE ビットを “0” (禁止) にしてから行ってください。LVD2CR0.LVD2RIE ビットを “0” にした後、再度 LVD2CR0.LVD2RIE ビットを “1” (許可) にする場合は、PCLKB 2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが “1” (電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが “1” (電圧監視 2 回路比較結果出力許可) のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LVD1E ビット (電圧検出 1 許可ビット)

電圧検出 1 の割り込み / リセットを使用する場合、または LVD1SR.LVD1MON フラグを使用する場合、LVD1E ビットを “1” にしてください。LVD1E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 1 回路が動作します。

LVD2E ビット (電圧検出 2 許可ビット)

電圧検出 2 の割り込み / リセットを使用する場合、または LVD2SR.LVD2MON フラグを使用する場合、LVD2E ビットを “1” にしてください。LVD2E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 2 回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2LVL[3:0]				LVD1LVL[3:0]			
リセット後の値	0	1	1	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 1 0 0 : 4.57V (Vdet1_0) 0 1 0 1 : 4.47V (Vdet1_1) 0 1 1 0 : 4.32V (Vdet1_2) 1 0 1 0 : 2.93V (Vdet1_3) 1 0 1 1 : 2.88V (Vdet1_4) 上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b7 b4 0 1 0 0 : 4.57V (Vdet2_0) 0 1 0 1 : 4.47V (Vdet2_1) 0 1 1 0 : 4.32V (Vdet2_2) 1 0 1 0 : 2.93V (Vdet2_3) 1 0 1 1 : 2.88V (Vdet2_4) 上記以外は設定しないでください	R/W

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットが共に “0” (電圧検出 n 回路無効) (n = 1, 2) の場合のみ変更可能です。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP[1:0]		—	LVD1CMPE	LVD1DFDIS	LVD1RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0：禁止 1：許可	R/W
b1	LVD1DFDIS	電圧監視1デジタルフィルタ無効モード選択ビット	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0：電圧監視1回路比較結果出力禁止 1：電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0：LOCOの2分周 0 1：LOCOの4分周 1 0：LOCOの8分周 1 1：LOCOの16分周	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0：Vdet1通過時に電圧監視1割り込み 1：下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0：VCC > Vdet1検出から一定時間(tLVD1)経過後にネゲート 1：LVD1リセットアサートから一定時間(tLVD1)経過後にネゲート	R/W

LVD1DFDIS ビット (電圧監視 1 デジタルフィルタ無効モード選択ビット)

LVD1DFDIS ビットを “0” (デジタルフィルタ回路有効) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを “1” (デジタルフィルタ回路無効) にしてください。

LVD1FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが “1” (デジタルフィルタ回路無効) のときのみ書き換え可能です。LVD1DFDIS ビットが “0” (デジタルフィルタ回路有効) のときには、LVD1FSAMP[1:0] ビットを書き換えないでください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを “1” (LVD1 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを “0” (VCC > Vdet1 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD1RN ビットを “1” (LVD1 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP[1:0]		—	LVD2CMPE	LVD2DFDIS	LVD2RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0：禁止 1：許可	R/W
b1	LVD2DFDIS	電圧監視2デジタルフィルタ無効モード選択ビット	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0：電圧監視2回路比較結果出力禁止 1：電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0：LOCOの2分周 0 1：LOCOの4分周 1 0：LOCOの8分周 1 1：LOCOの16分周	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0：Vdet2通過時に電圧監視2割り込み 1：下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0：VCC > Vdet2検出から一定時間(tLVD2)経過後にネゲート 1：LVD2リセットアサートから一定時間(tLVD2)経過後にネゲート	R/W

LVD2DFDIS ビット (電圧監視 2 デジタルフィルタ無効モード選択ビット)

LVD2DFDIS ビットを “0” (デジタルフィルタ回路有効) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを “1” (デジタルフィルタ回路無効) にしてください。

LVD2FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが “1” (デジタルフィルタ回路無効) のときのみ書き換え可能です。LVD2DFDIS ビットが “0” (デジタルフィルタ回路有効) のときには、LVD2FSAMP[1:0] ビットを書き換えないでください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを “1” (LVD2 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを “0” (VCC > Vdet2 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD2RN ビットを “1” (LVD2 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

表 8.2 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表8.2 Vdet1のモニタの設定手順

手順		電圧監視1比較結果モニタ
電圧検出1回路設定	1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を選択する
	2	LVCMPCR.LVD1E = 1 (電圧検出1回路有効)にする
	3	td(E-A)：LVD動作安定時間(LVD有効切り替え時)以上待つ(注1)
デジタルフィルタ設定(注2)	4	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)
出力許可設定	7	LVD1CR0.LVD1CMPE = 1 (電圧監視1回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～6を行うことができます。td(E-A)の詳細は、「49. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

8.3.3 Vdet2 のモニタ

表 8.3 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

表8.3 Vdet2のモニタの設定手順

手順		電圧監視2比較結果モニタ
電圧検出2回路設定	1	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を選択する
	2	LVCMPCR.LVD2E = 1 (電圧検出2回路有効)にする
	3	td(E-A)：LVD動作安定時間(LVD有効切り替え時)以上待つ(注1)
デジタルフィルタ設定(注2)	4	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)
出力許可設定	7	LVD2CR0.LVD2CMPE = 1 (電圧監視2回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～6を行うことができます。td(E-A)の詳細は、「49. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

8.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを “0” (リセット後、電圧監視 0 リセット有効) にしてください。

図 8.4 に電圧監視 0 リセット動作例を示します。

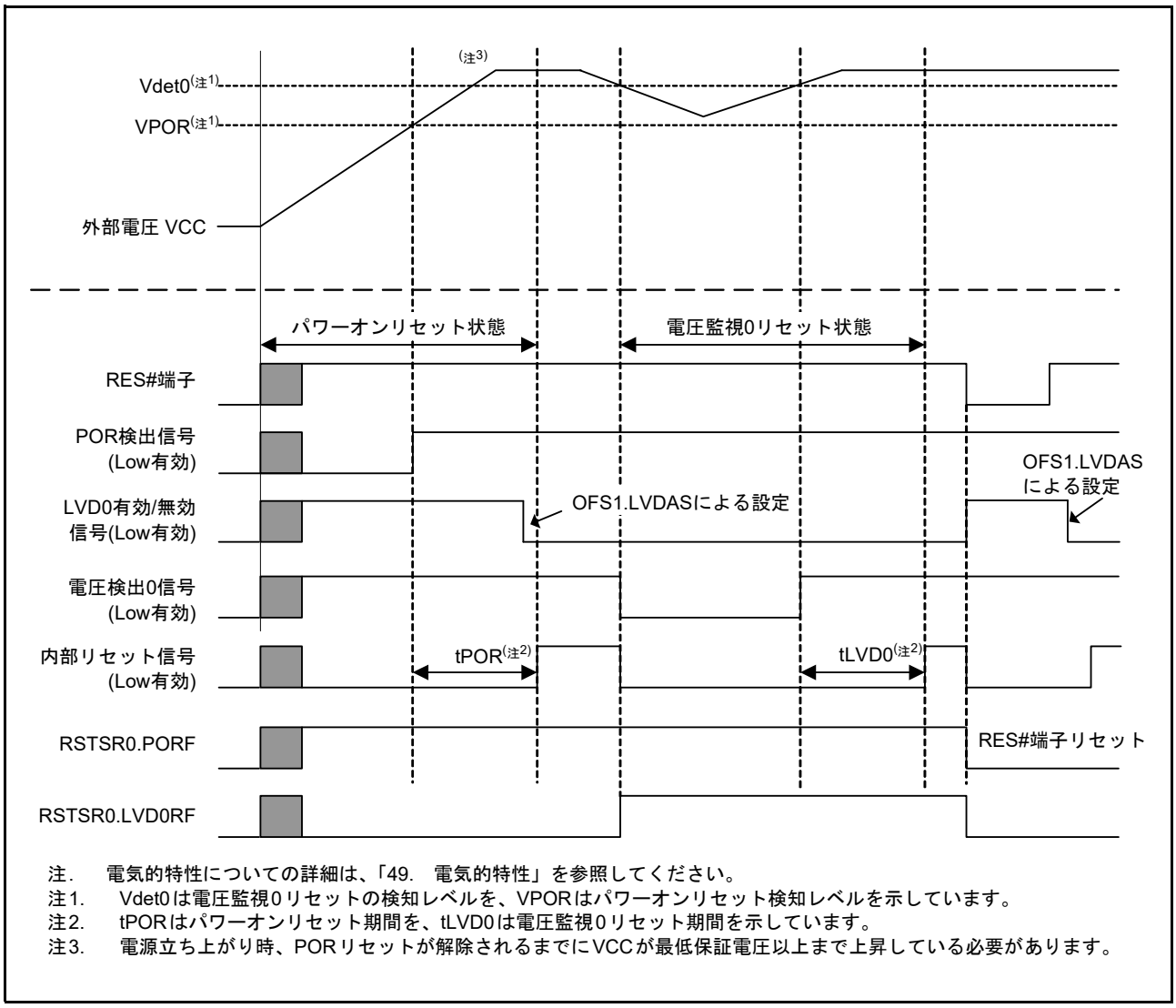


図 8.4 電圧監視 0 リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧検出 1 回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、**表 8.5** に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、**図 8.5** に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、**「6. リセット」**の**図 6.2** を参照してください。

なお、ソフトウェアスタンバイモード時に電圧検出 1 回路を使用する場合は電圧検出 1 回路を以下のように設定してください。

- デジタルフィルタを無効 (LVD1DFDIS = 1) に設定してください。
- 電圧監視1リセットをVCC > Vdet1検出から一定時間経過後にネゲートする設定(LVD1RN = 0)にしてください。

表8.4 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順

手順		電圧監視1割り込み (電圧監視1ELCイベント出力)	電圧監視1リセット
電圧検出1回路設定	1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を選択する	
	2	LVCMPCR.LVD1E = 1 (電圧検出1回路有効)にする	
	3	td(E-A)：LVD動作安定時間(LVD有効切り替え時)以上待つ (注1)	
デジタルフィルタ設定 (注2)	4	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする	
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)	
電圧監視1割り込み/リセット設定	7	LVD1CR0.LVD1RI = 0 (電圧監視1割り込み)にする	• LVD1CR0.LVD1RI = 1 (電圧監視1リセット)にする • LVD1CR0.LVD1RNビットでリセットネゲートの種類を選択する
	8	• LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する • LVD1CR1.LVD1IRQSELビットで割り込みの種類を選択する	—
出力許可設定	9	LVD1SR.LVD1DET = 0にする	
	10	LVD1CR0.LVD1RIE = 1 (電圧監視1割り込み/リセット許可)にする (注3)	
	11	LVD1CR0.LVD1CMPE = 1 (電圧監視1回路比較結果出力許可)にする	

注1. 手順3の待ち時間中に手順4～10を行うことができます。td(E-A)の詳細は、「49. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。
注3. ELCイベント出力のみを出力させる場合、手順10は不要です。

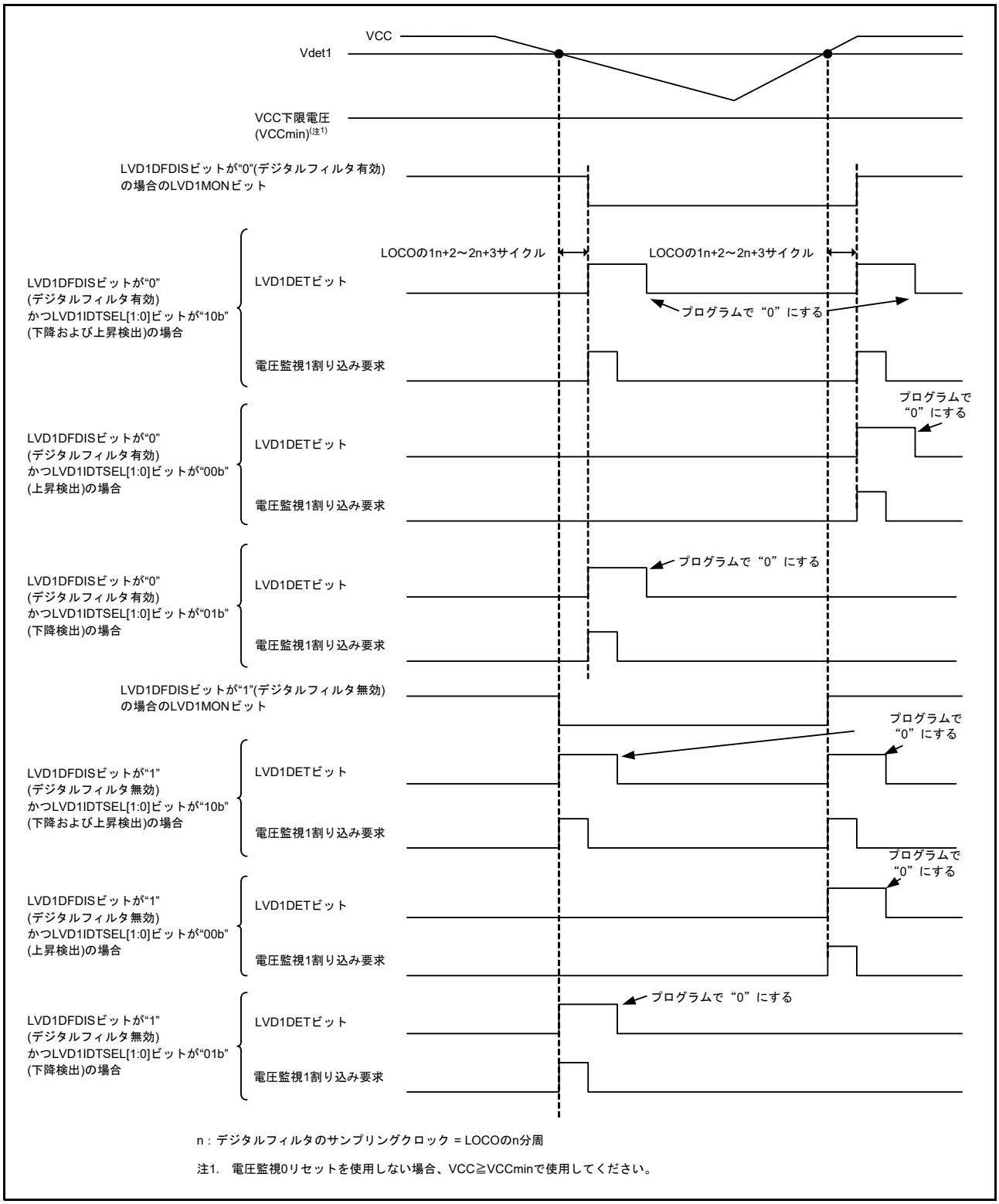
表8.5 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順		電圧監視1割り込み(電圧監視1ELCイベント出力)/電圧監視1リセット
出力許可停止設定	1	LVD1CR0.LVD1CMPE = 0 (電圧監視1回路比較結果出力禁止)にする
	2	LOCOの2n + 3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)(注1)
	3	LVD1CR0.LVD1RIE = 0 (電圧監視1割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD1CR0.LVD1DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出1回路停止設定	5	LVCMPCR.LVD1E = 0 (電圧検出1回路無効)にする

注1. デジタルフィルタを使用していない場合、手順2と手順4は不要です。
注2. ELCイベント出力のみを出力させる場合、手順3は不要です。
注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてからLOCOの2サイクル以上待ってから有効にしてください。

電圧監視 1 割り込み、電圧監視 1 リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合は電圧検出 1 回路設定と電圧検出 1 回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視1割り込み、電圧監視1リセットの設定を変更しない場合は電圧監視1割り込み/リセット設定は不要です。



n：デジタルフィルタのサンプリングクロック = LOCOのn分周

注1. 電圧監視0リセットを使用しない場合、VCC≧VCCminで使用してください。

図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧検出 2 回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、**表 8.7** に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、**図 8.6** に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、**「6. リセット」**の**図 6.2** を参照してください。

なお、ソフトウェアスタンバイモード時に電圧検出 2 回路を使用する場合は電圧検出 2 回路を以下のように設定してください。

- デジタルフィルタを無効 (LVD2DFDIS = 1) に設定してください。
- 電圧監視2リセットをVCC > Vdet2検出から一定時間経過後にネゲートする設定(LVD2RN = 0)にしてください。

表8.6 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順

手順		電圧監視2割り込み (電圧監視2ELCイベント出力)	電圧監視2リセット
電圧検出2回路設定	1	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を選択する	
	2	LVCMPCR.LVD2E = 1 (電圧検出2回路有効)にする	
	3	td(E-A)：LVD動作安定時間(LVD有効切り替え時)以上待つ (注1)	
デジタルフィルタ設定 (注2)	4	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする	
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)	
電圧監視2割り込み/リセット設定	7	LVD2CR0.LVD2RI = 0 (電圧監視2割り込み)にする	• LVD2CR0.LVD2RI = 1 (電圧監視2リセット)にする • LVD2CR0.LVD2RNビットでリセットネゲートの種類を選択する
	8	• LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する • LVD2CR1.LVD2IRQSELビットで割り込みの種類を選択する	—
出力許可設定	9	LVD2SR.LVD2DET = 0にする	
	10	LVD2CR0.LVD2RIE = 1 (電圧監視2割り込み/リセット許可)にする (注3)	
	11	LVD2CR0.LVD2CMPE = 1 (電圧監視2回路比較結果出力許可)にする	

注1. 手順3の待ち時間中に手順4～10を行うことができます。td(E-A)の詳細は、「49. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。
注3. ELCイベント出力のみを出力させる場合、手順10は不要です。

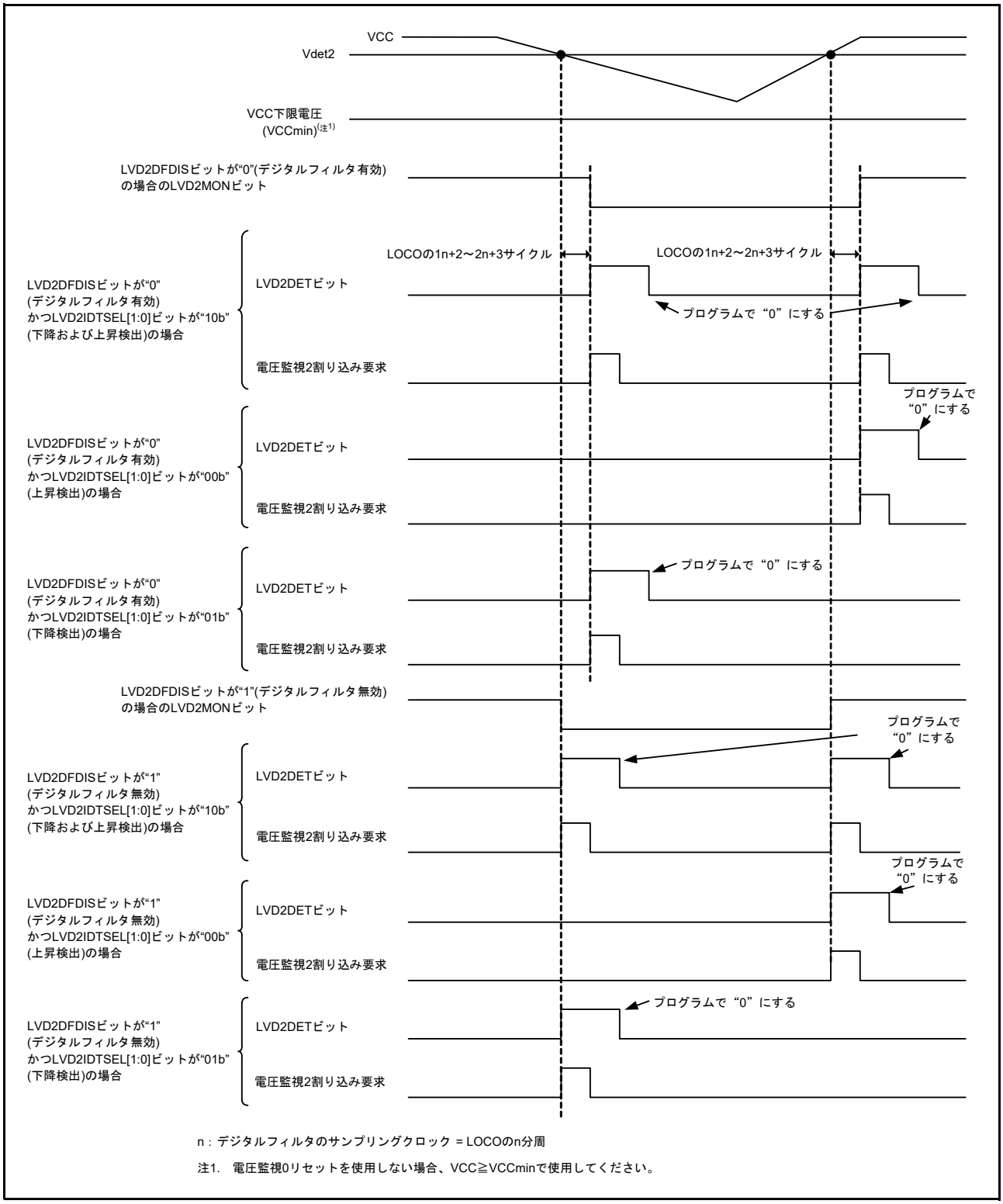
表8.7 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順		電圧監視2割り込み(電圧監視2ELCイベント出力)/電圧監視2リセット
出力許可停止設定	1	LVD2CR0.LVD2CMPE = 0 (電圧監視2回路比較結果出力禁止)にする
	2	LOCOの2n + 3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)(注1)
	3	LVD2CR0.LVD2RIE = 0 (電圧監視2割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD2CR0.LVD2DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出2回路停止設定	5	LVCMPCR.LVD2E = 0 (電圧検出2回路無効)にする

注1. デジタルフィルタを使用していない場合、手順2と手順4は不要です。
注2. ELCイベント出力のみを出力させる場合、手順3は不要です。
注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてからLOCOの2サイクル以上待ってから有効にしてください。

電圧監視 2 割り込み、電圧監視 2 リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合は電圧検出 2 回路設定と電圧検出 2 回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視2割り込み、電圧監視2リセットの設定を変更しない場合は電圧監視2割り込み/リセット設定は不要です。



n：デジタルフィルタのサンプリングクロック = LOCOのn分周

注1. 電圧監視0リセットを使用しない場合、VCC≧VCCminで使用してください。

図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベントリンク出力を行うことができます。

(1) Vdet1 通過検出イベントリンク出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベントリンク出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビット (LVD1RIE, LVD2RIE) があります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、**図 9.1** にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	仕様
用途	• CPU、TFU、DMAC、DTC、コードフラッシュメモリおよびRAMに供給されるシステムクロック(ICLK)の生成 • RSPI、RSPIA、RSCI、RI3C、CANFD、MTU (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)に供給される周辺モジュールクロック(PCLKA)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 • MTUとGPTWに供給される周辺モジュールのカウンタ基準クロック、HRPWMの基準クロック(PCLKC)の生成 • S12ADに供給される周辺モジュール(アナログ変換用)クロック(PCLKD)の生成 • FlashIFに供給されるFlashIFクロック(FCLK)の生成 • CACに供給されるCACクロック(CACCLK)の生成 • CANFDに供給されるCANFDクロック(CANFDCLK)の生成 • CANFDに供給されるCANFDメインクロック(CANFDMCLK)の生成 • IWDTに供給されるIWDT専用クロック(IWDTCLK)の生成
動作周波数 (注1)	• ICLK：120MHz (max) • PCLKA：120MHz (max) • PCLKB：60MHz (max) • PCLKC：120MHz (max) • PCLKD：8MHz～60MHz (12ビットA/Dコンバータ変換時) • FCLK：4MHz～60MHz (コードフラッシュメモリ、データフラッシュメモリP/E時) 60MHz (max) (データフラッシュメモリ読み出し時) • CACCLK：各発振器のクロックと同じ • CANFDCLK：60MHz (max) • CANFDMCLK：24MHz (max) • IWDTCLK：120kHz
メインクロック発振器	• 発振子周波数：8MHz～24MHz • 外部クロック入力周波数：24MHz (max) • 接続できる発振子または付加回路：セラミック共振子、水晶振動子 • 接続端子：EXTAL、XTAL • 発振停止検出機能：メインクロックの発振停止検出時、LOCOに切り替える機能、MTU、GPTWの端子をハイインピーダンスにする機能
PLL周波数シンセサイザ	• 入力クロックソース：メインクロック、HOCO (注2) • 入力分周比：1、2、3分周から選択可能 • 入力周波数：8MHz～24MHz • 逓倍比：10～30逓倍から選択可能 • PLL周波数シンセサイザ出力クロック周波数：120MHz～240MHz
高速オンチップオシレータ(HOCO)	• 発振周波数：16MHz、18MHz、20MHzから選択可能 • HOCO電源制御
低速オンチップオシレータ(LOCO)	発振周波数：240kHz
IWDT専用オンチップオシレータ	発振周波数：120kHz
イベントリンク機能(出力)	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	低速オンチップオシレータへのクロックソース切り替え

注1. クロック周波数設定制限：PCLKC≧PCLKA≧PCLKB
クロック周波数比制限：(Nは整数)
ICLK：FCLK = N：1 or 1：N、ICLK：PCLKA = N：1 or 1：N、ICLK：PCLKB = N：1 or 1：N、
ICLK：PCLKC = N：1 or 1：N、ICLK：PCLKD = N：1 or 1：N、
PCLKA：PCLKC = 1：1 or 1：2、PCLKB：PCLKD = 1：1 or 2：1 or 4：1 or 1：2
CANFD使用時のクロック周波数設定制限：PCLKA：PCLKB = 2：1、PCLKB≧CANFDCLK、PCLKB≧CANFDMCLK

注2. PLLの入力クロックソースにHOCOを使用する場合は、HOCOクロック発振周波数(min/max.)で120MHz～240MHzとなるPLLの逓倍を選択してください。

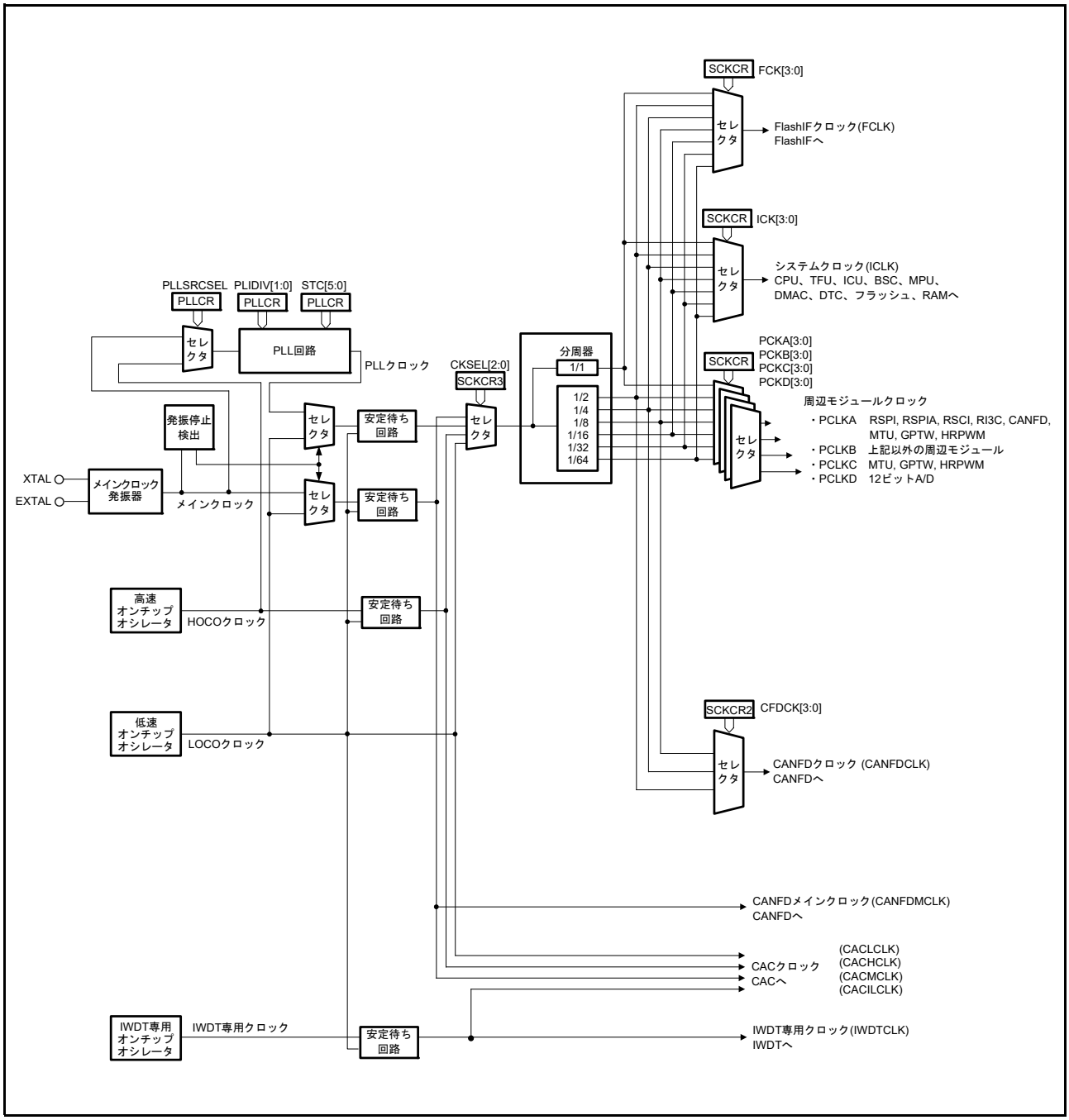


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCK[3:0]				ICK[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCKA[3:0]				PCKB[3:0]				PCKC[3:0]				PCKD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロックD (PCLKD) 選択ビット	b3 b0 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W
b7-b4	PCKC[3:0]	周辺モジュールクロックC (PCLKC) 選択ビット	b7 b4 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロックB (PCLKB) 選択ビット	b11 b8 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロックA (PCLKA) 選択ビット	b15 b12 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W
b19-b16	—	予約ビット	ICK[3:0]ビットと同じ値を設定してください	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b27-b24	ICK[3:0]	システムクロック(ICLK)選択ビット	b27 b24 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック(FCLK)選択ビット	b31 b28 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W

以下に該当する場合、SCKCR レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.2 システムクロックコントロールレジスタ 2 (SCKCR2)

アドレス 0008 0024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDCK[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	CFDCK[3:0]	CANFDクロック (CANFDCLK)選択ビット	b15 b12 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 上記以外は設定しないでください	R/W

以下に該当する場合、SCKCR2 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.3 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CKSEL[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 ０００：LOCO選択 ００１：HOCO選択 ０１０：メインクロック発振器選択 １００：PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック (FCLK)、CANFD クロック (CANFDCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.4 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	STC[5:0]						—	—	—	PLLSRCSEL	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	1	1	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0：1分周 0 1：2分周 1 0：3分周 1 1：設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PLLSRCSEL	PLLクロックソース選択ビット	0：メインクロック発振器 1：HOCO	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逓倍率設定ビット	b13 b8 / b13 b8 / b13 b8 0 1 0 0 1 1：×10.0 / 1 0 0 0 0 1：×17.0 / 1 0 1 1 1 1：×24.0 0 1 0 1 0 0：×10.5 / 1 0 0 0 1 0：×17.5 / 1 1 0 0 0 0：×24.5 0 1 0 1 0 1：×11.0 / 1 0 0 0 1 1：×18.0 / 1 1 0 0 0 1：×25.0 0 1 0 1 1 0：×11.5 / 1 0 0 1 0 0：×18.5 / 1 1 0 0 1 0：×25.5 0 1 0 1 1 1：×12.0 / 1 0 0 1 0 1：×19.0 / 1 1 0 0 1 1：×26.0 0 1 1 0 0 0：×12.5 / 1 0 0 1 1 0：×19.5 / 1 1 0 1 0 0：×26.5 0 1 1 0 0 1：×13.0 / 1 0 0 1 1 1：×20.0 / 1 1 0 1 0 1：×27.0 0 1 1 0 1 0：×13.5 / 1 0 1 0 0 0：×20.5 / 1 1 0 1 1 0：×27.5 0 1 1 0 1 1：×14.0 / 1 0 1 0 0 1：×21.0 / 1 1 0 1 1 1：×28.0 0 1 1 1 0 0：×14.5 / 1 0 1 0 1 0：×21.5 / 1 1 1 0 0 0：×28.5 0 1 1 1 0 1：×15.0 / 1 0 1 0 1 1：×22.0 / 1 1 1 0 0 1：×29.0 0 1 1 1 1 0：×15.5 / 1 0 1 1 0 0：×22.5 / 1 1 1 0 1 0：×29.5 0 1 1 1 1 1：×16.0 / 1 0 1 1 0 1：×23.0 / 1 1 1 0 1 1：×30.0 1 0 0 0 0 0：×16.5 / 1 0 1 1 1 0：×23.5 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PLLCR2.PLLEN ビットが “0” (PLL 動作) のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (8 ～ 24MHz) の範囲に入るように設定してください。

PLLSRCSEL ビット (PLL クロックソース選択ビット)

PLL のクロックソースを選択します。

STC[5:0] ビット (周波数逓倍率設定ビット)

PLL の周波数逓倍率を設定します。

STC[5:0] ビットは、PLL 回路出力クロック周波数 (120 ～ 240MHz) の範囲に入るように設定してください。

9.2.5 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL停止制御ビット	0：PLL動作 1：PLL停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLL クロックソースは、メインクロック発振器と HOCO の 2 種類が選択可能です。

PLLCR.PLLSRCSEL ビットで PLL クロックソースにメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLLEN ビットにて PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグに “1” がセットされていることを確認したうえで、PLL クロックの使用を開始してください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、PLLEN ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。以下に PLL クロックソースにメインクロック発振器を選択した場合の注意点を示します。

- PLLEN ビットの動作設定は、OSCOVFSR.PLOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に PLOVF フラグが “0” にクリアされるまでの間) は、発振停止時の動作設定と比べて PLLCR2 レジスタの書き込みに時間がかかります。
- PLLEN ビットでの停止設定は、OSCOVFSR.PLOVF フラグの設定によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.PLOVF フラグが “1” にセットされるまでの間) は、発振安定時の停止設定と比べて、PLLCR2 レジスタの書き込みに時間がかかります。
- PLL クロックをシステムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが “1” にセットされていることを確認した上で、WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが “0” にクリアされていることを確認した上で、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL を選択しているときは、PLLEN ビットを “1” (PLL 停止) にする書き込みは禁止です。

9.2.6 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0：メインクロック発振器動作 1：メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

メインクロック発振器の動作 / 停止は、MOSTP ビットで制御されます。MOSTP ビットを発振器動作に設定することで、メインクロック発振器を動作させることができます。

メインクロックを動作させる場合、メイン発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。この場合、MOSCCR.MOSTP ビットでメインクロックを動作設定に変更した後は、OSCOVFSR.MOOVF フラグに “1” がセットされていることを確認したうえで、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- MOSTP ビットでの動作設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に OSCOVFSR.MOOVF フラグが “0” にクリアされるまでの間) は、発振停止時の動作設定と比べて MOSCCR レジスタの書き込みに時間がかかります。
- MOSTP ビットでの停止設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.MOOVF フラグが “1” にセットされるまでの間) は、発振安定時の停止設定と比べて MOSCCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、MOSTP ビットでメインクロック発振器を動作設定にしてソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが “1” にセットされていることを確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが “0” にクリアされていることを確認してから WAIT 命令を実行してください。

以下のいずれかに該当する場合は、MOSTP ビットを “1” (メインクロック発振器停止) にする書き込みは禁止です。

- システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0] ビット) でメインクロックを選択しているとき
- PLL コントロールレジスタ 2 の PLL 停止制御ビット (PLLCR2.PLLEN ビット) で “0” (PLL 動作) を選択し、かつ PLL コントロールレジスタの PLL クロックソース選択ビット (PLLCR.PLLSRCSEL ビット) でメインクロックを選択しているとき

9.2.7 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0：LOCO動作 1：LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定待機時間 (tLOCOWT) が経過した後、使用開始してください。

LCSTP ビットでの動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後､再度動作設定にする場合､停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを “1” (LOCO 停止) にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、LCSTP ビットを “1” (LOCO 停止) にする書き込みは禁止です。

LOCO クロックは他発振器の待機時間の計測に使用されるため、LCSTP ビットの設定値に関わらず、他の発振器の待機時間計測中に LOCO クロックが発振します。そのため、LCSTP ビットを停止設定にしていても、意図せず LOCO クロックが供給されることがあります。

9.2.8 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0：IWDT専用オンチップオシレータ動作 1：IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” (IWDT 動作) のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDTSTRT ビットが “1” (IWDT 停止) のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが “0” (IWDT オンチップオシレータ動作) の後、“1” (IWDT 専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDT 専用オンチップオシレータを停止設定から動作設定に変更した場合、OSCOVFSR.ILCOVF フラグに “1” がセットされていることを確認したうえで、使用開始してください。

IWDT 専用のオンチップオシレータを動作にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.ILCOVF フラグが “1” にセットされていることを確認してから WAIT 命令を実行してください。

9.2.9 高速オンチップオシレータコントロールレジスタ (HOCOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0：HOCO動作 1：HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. OFS1.HOCOENビットが“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグに “1” がセットされていることを確認したうえで、使用開始してください。

HCSTP ビットで動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振停止の処理が完了するまでに一定の時間を要します。そのため、HCSTP ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。

- HCSTP ビットでの動作設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に、OSCOVFSR.HCOVF フラグが “0” にクリアされるまでの間) は、発振停止時の動作設定と比べて HOCOCR レジスタの書き込みに時間がかかります。
- HCSTP ビットでの停止設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.HCOVF フラグが “1” にセットされるまでの間) は、発振安定時の停止設定と比べて HOCOCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は OSCOVFSR.HCOVF フラグが “1” にセットされていることを確認してから、WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.HCOVF フラグが “0” にクリアされていることを確認してから、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で HOCO を選択しているとき、あるいは PLLCR.PLLSRCSEL ビットで PLL のクロックソースを HOCO 選択でかつ、SCKCR3.CKSEL[2:0] ビットで PLL を選択しているとき、HCSTP ビットを “1” (HOCO 停止) にする書き込みは禁止です。

9.2.10 高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2)

アドレス 0008 0037h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	HCFRQ[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HCFRQ[1:0]	HOCO周波数設定ビット	b1 b0 0 0：16MHz 0 1：18MHz 1 0：20MHz 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOCR.HCSTP ビットが “0” (HOCO 動作) のとき、HOCOCR2 レジスタへの書き込みは禁止です。

9.2.11 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ILCOVF	HCOVF	PLOVF	—	MOOVF
リセット後の値	0	0	0	0/1 (注1)	0/1 (注2)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0：MOSTP = 1 (停止)、または発振安定待ち中 (注3) 1：発振が安定し、システムクロックとして使用可能	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0：PLL停止、または発振安定待ち中 1：発振が安定し、システムクロックとして使用可能	R
b3	HCOVF (注2)	HOCOクロック発振安定フラグ	0：HOCO停止、または発振安定待ち中 1：発振が安定し、システムクロックとして使用可能	R
b4	ILCOVF (注1)	IWDT専用クロック発振安定フラグ	0：IWDT専用オンチップオシレータ停止、または発振安定待ち中 1：発振が安定し、IWDT専用クロックとして使用可能	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. OFS0.IWDTSTRTビットが“0”のとき、ILCOVFフラグのリセット後の値は“1”になります。OFS0.IWDTSTRTビットが“1”のとき、ILCOVFフラグのリセット後の値は“0”になります。

注2. OFS1.HOCOENビットが“0”のとき、HCOVFフラグのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFフラグのリセット後の値は“0”になります。

注3. メインクロック発振器のウェイトコントロールレジスタの設定値が発振安定時間に対し不足している場合は、発振が安定する前に発振安定フラグが“1”にセットされ、内部回路にクロック供給が開始されます。この場合、本MCUの誤動作につながなりますので、ウェイトコントロールレジスタの設定値はLOCOクロックの最大周波数を考慮して、確実に発振器の安定待ち時間以上になるように設定してください。

OSCOVFSR レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すステータスフラグです。

カウンタは、発振開始後、発振器の出力クロックを内部回路に供給するまでの待機時間を計測するものであり、カウンタのオーバフローは、各発振器から内部回路へクロックの供給が開始されたことを意味します。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[“1” になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットに “0” を設定した後、LOCO クロックで MOSCWTCR レジスタの設定値に応じたサイクル数をカウントし、MCU 内部へメインクロックの供給を開始したとき

[“0” になる条件]

- メインクロック発振器動作時、MOSCCR.MOSTP ビットに “1” を設定した後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL の待機時間を計測するカウンタの動作状態を示します。

[“1” になる条件]

- PLL 停止時、PLLCR2.PLLEN ビットに “0” を設定した後、LOCO クロックで 62 サイクルカウントし、MCU 内部へ PLL クロックの供給を開始したとき

ただし、PLLEN ビットを “0” に設定したときに、PLLCR.PLLSRCSEL ビットで選択された PLL クロック

ソースの発振が安定していなければ、PLL クロックソースの発振安定を待ってから LOCO クロックでのカウントを開始します。
[“0” になる条件]

- PLL 動作時、PLLCR2.PLLEN ビットに “1” を設定した後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

高速オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。
[“1” になる条件]

- 高速オンチップオシレータ停止時、HOCOCR.HCSTP ビットに “0” を設定した後、LOCO クロックで 25 サイクルカウントし、MCU 内部へ HOCO クロックの供給を開始したとき

[“0” になる条件]

- 高速オンチップオシレータ動作時、HOCOCR.HCSTP ビットに “1” を設定した後、高速オンチップオシレータの発振停止処理が完了したとき

ILCOVF フラグ (IWDT 専用クロック発振安定フラグ)

IWDT 専用オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。
[“1” になる条件]

- IWDT 専用オンチップオシレータ停止時、ILOCOCR.ILCSTP ビットに “0” を設定した後、LOCO クロックで 34 サイクルカウントし、MCU 内部へ IWDT 専用クロックの供給を開始したとき

9.2.12 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0：発振停止検出割り込みを禁止、POE、POEGへの発振停止検出通知なし 1：発振停止検出割り込みを許可、POE、POEGへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0：発振停止検出機能は無効 1：発振停止検出機能は有効	R/W

OSTDCR レジスタは、メインクロック発振器の発振停止検出機能や割り込みを許可するレジスタです。

OSTDIE ビット (発振停止検出割り込み許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを “0” にした後に行ってください。その後、OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能許可ビット)

発振停止検出機能の有効 / 無効を設定します。

OSTDE ビットを “1” (発振停止検出機能有効) にすると、LOCO 停止ビット (LOCOCR.LCSTP) も “0” となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ “1” (LOCO 停止) を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が “1” (メインクロック発振停止検出) のとき、OSTDE ビットへの “0” 書き込みは無効になります。

OSTDE ビットが “1” の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを “0” にして、WAIT 命令を実行してください。

なお、OSTDE ビットを “1” (発振停止検出機能有効) にセットした後、発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) を確認する場合は、ICLK 3 サイクル以上待ってから OSTDF フラグを確認してください。

9.2.13 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0：メインクロックの発振停止を未検出 1：メインクロックの発振停止を検出	R(/W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. “0”のみ書けます。

OSTDSR レジスタは、メインクロック発振器の発振停止検出のステータスを示すレジスタです。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが “1” のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは “0” になりません。OSTDF フラグは “1” を読んだ後、“0” を書くことによって “0” になります。OSTDF = 0 が読み出し値に反映されるまで ICLK 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを “1” から “0” にした場合、OSTDF フラグは一度 “0” になった後、再度 “1” になります。

また、システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している間は、OSTDF フラグを “0” にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを “0” にしてください。メインクロック発振器の発振源に発振子を選択している場合、OSTDF フラグのクリアはリセットで行ってください。

[“1” になる条件]

- OSTDCR.OSTDE ビットが “1” (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき

[“0” になる条件]

- SCKCR3.CKSEL[2:0] ビットが “010b” または “100b” 以外の場合に、“1” を読んだ後、“0” を書いたとき

9.2.14　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス　0008 00A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	MSTS[7:0]							
リセット後の値	0	1	0	1	0	0	1	1

MOSCWTCR レジスタは、メインクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。メインクロック発振器用の発振安定待ち回路で、MOSCWTCR レジスタの設定値に応じたサイクル数を LOCO クロックでカウントし、待機時間を計測します。

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。MOSCCR.MOSTP ビットの設定によりメインクロック発振器が発振を開始すると、発振安定待ち回路は LOCO クロックで待機時間をカウントし始めます。カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.MOOVF フラグがセットされます。

発振安定待ち回路での LOCO クロックのカウントは、LOCOCR.LCSTP ビットの設定に関わらず行われます。待機時間の計測時には、ハードウェアで自動的に LOCO クロックの動作 / 停止が制御されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが “1” のとき、あるいは OSCOVFSR.MOOVF フラグが “1” のときのみ書き換え可能です。それ以外のときには書き換えないでください。

メインクロック発振器に外部クロックを入力している場合、待機時間は必要ありません。MSTS[7:0] ビットには “00h” を設定してください。

MSTS[7:0] ビットの設定値は、待機時間が確実にメインクロックの発振安定時間以上になるように fLOCO の最大周波数を使用して、以下の計算式で求められます。

MSTS[7:0] > [tMAINOSC × (fLOCO_max) + 16] / 32
(tMAINOSC：メインクロック発振安定時間、fLOCO_max：fLOCO 最大周波数)

計算例　tMAINOSC が 1ms、fLOCO_max が 264kHz (= 1/3.78µs) の場合、
MSTS[7:0] > [1ms × (264kHz) + 16] / 32 = 8.75　となるため、MSTS[7:0] ビットに 9 を設定

待機時間
LOCO 最大周波数時：(9 × 32 – 16) × (1/264kHz = 3.78µs) = 1.028ms
LOCO 通常周波数時：(9 × 32 + 3) × (1/240kHz = 4.18µs) = 1.216ms
LOCO 最少周波数時：(9 × 32 + 10) × (1/216kHz = 4.63µs) = 1.380ms

9.2.15 メインクロック発振器機能コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV2[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	MODRV2[1:0]	メインクロック発振器ドライブ能力2切り替えビット	b5 b4 0 0：20.1～24MHz 0 1：16.1～20MHz 1 0：8.1～16MHz 1 1：8MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0：発振子 1：外部クロック入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOFCR レジスタは、メインクロック発振器のドライブ能力切り替え、および発振子と外部クロック入力の選択を行うレジスタです。

MODRV2[1:0] ビット (メインクロック発振器ドライブ能力 2 切り替えビット)

メインクロック発振器のドライブ能力を切り替えます。

メインクロック発振器に接続している水晶振動子の周波数に合わせてドライブ能力を設定してください。

なお、MODRV2[1:0] ビットの機能欄に記載された周波数範囲は、負荷容量 8pF の水晶振動子をターゲットにした目安値になっています。水晶振動子によっては、設定値が周波数範囲に入らない場合がありますので、発振子メーカの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります (たとえば、16.1 ～ 20MHz のセラミック共振子を使用する場合に、“01b” ではなく “10b” を設定) ので、同様に発振子メーカの推奨する値に設定してください。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.16 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)

アドレス 0008 C294h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCOPCNT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HOCOPCNT	高速オンチップオシレータ電源制御ビット	0：HOCOの電源ON 1：HOCOの電源OFF	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOPCNT ビット (高速オンチップオシレータ電源制御ビット)

HOCO の電源を制御するビットです。

“0” のとき、HOCO の電源が ON して、発振することができます。

“1” のとき、HOCO の電源を OFF して、消費電力を低減できます。

HOCOPCNT ビットを “1” にする場合、あらかじめ高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCOCR.HCSTP) を “1” (HOCO 停止) に設定してください。

HOCOPCNT ビットを “1” から “0” に切り替えた後、HOCOCR.HCSTP ビットを “0” にするまで安定待ち時間が必要です。詳細は、**「49. 電気的特性」**を参照してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でクロックソースに HOCO を選択しているときは、HOCOPCNT ビットの値を書き換えないでください。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を**図 9.2** に示します。

使用する発振子の負荷容量を参考に接続してください。また、必要に応じてダンピング抵抗 (Rd) を挿入してください。容量値、抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカの推奨する値に設定してください。また、発振子メーカから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に Rf を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のメインクロック発振器の発振子周波数の範囲内としてください。

発振子を接続する場合、MOFCR.MODRV2[1:0] ビット (メインクロック発振器ドライブ能力 2 切り替えビット) を設定する必要があります。

MODRV2[1:0] ビットの機能欄に記載された周波数範囲は、負荷容量 C_L = 8pF の水晶振動子をターゲットにした目安値になっています。水晶振動子によっては設定値が周波数範囲に入らない場合がありますので、発振子メーカの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります (たとえば、16.1 ～ 20MHz のセラミック共振子を使用する場合、“01b” ではなく “10b” を設定) ので、同様に発振子メーカの推奨する値に設定してください。

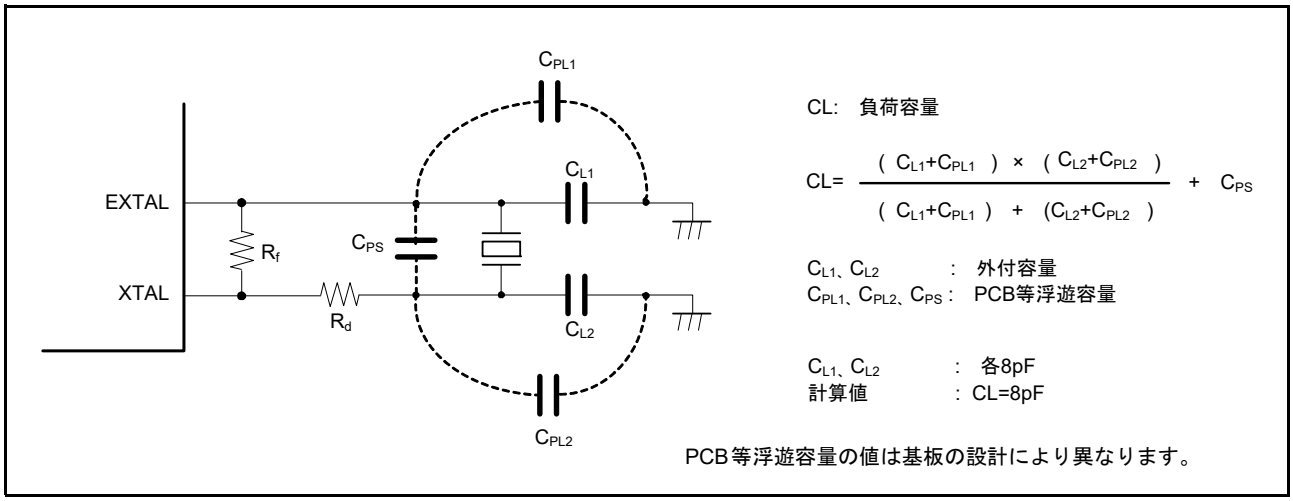


図 9.2 水晶振動子の接続例

表9.3 ダンピング抵抗(参考値)

周波数(MHz)	8	12	16	20	24
Rd (Ω)	0	0	0	0	0

水晶振動子の等価回路を**図 9.3** に示します。水晶振動子は**表 9.4** に示す特性のものを使用してください。

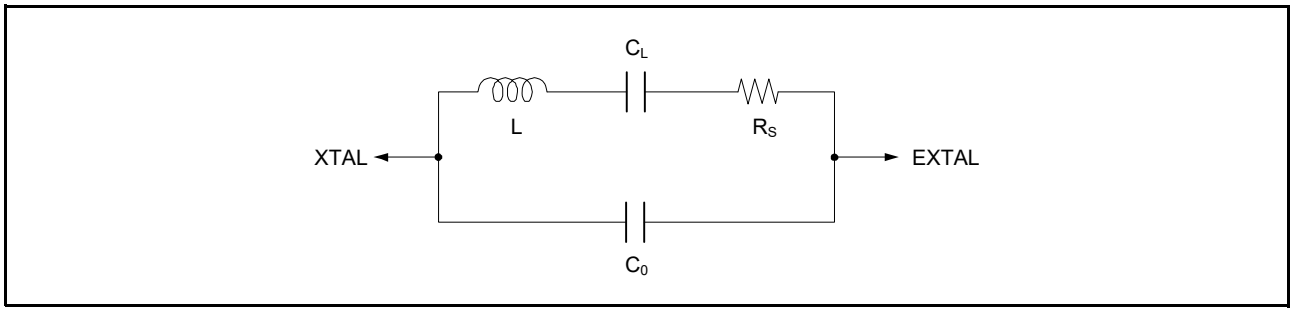


図 9.3 水晶振動子の等価回路

表9.4 水晶振動子の特性(参考値)

周波数(MHz)	8	12	16	20	24
R_S max (Ω)	300	100	80	50	50

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.4 に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを “1” にし、XTAL 端子をオープンにしてください。

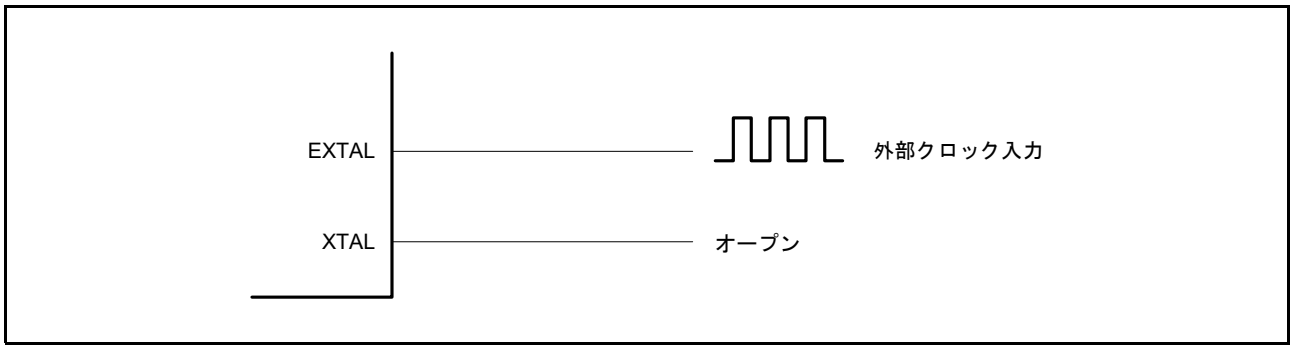


図 9.4 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に “0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 発振停止検出機能

9.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよびPLLクロックの代わりに低速オンチップオシレータが出力するLOCOクロックを供給する機能です。PLLのクロックソースにHOCOクロックを選択し、かつ、システムクロックのクロックソースにPLLクロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックはLOCOクロックに切り替わりません。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU、GPTWの出力を強制的にハイインピーダンスとすることも可能です。詳細は、**「22. マルチファンクションタイマパルスユニット3 (MTU3d)」**、**「23. ポートアウトプットイネーブル3 (POE3D)」**、**「26. GPTW用ポートアウトプットイネーブル (POEGb)」**を参照してください。

本MCUは、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合にメインクロックの発振停止を検出します。検出期間の詳細は、**「表49.52 発振停止検出回路特性」**を参照してください。

発振停止を検出すると、クロックソース選択ビット(SCKCR3.CKSEL[2:0])で選択されるメインクロックとPLLクロックが、それぞれ前段のセレクタにてLOCOクロックに切り替わります。

そのため、メインクロックをPLLのクロックソースに選択したPLLクロック、あるいはメインクロックをシステムクロックのクロックソースに選択した状態で発振停止を検出すると、CKSEL[2:0]ビットの設定値は変わらないまま、システムクロックのクロックソースがLOCOクロックへと切り替わります。

メインクロックとLOCOクロックの切り換え、およびPLLクロックとLOCOクロックの切り換えは、それぞれ発振停止検出フラグ(OSTDSR.OSTDF)によって制御されます。OSTDFフラグがセットされることによってLOCOクロックへと切り替わります。

リセット解除後、メインクロック発振器を動作させ、所定の発振安定時間経過後にSCKCR3.CKSEL[2:0]の設定をメインクロックまたはPLLクロックに変更してください。メインクロック発振器の発振源に発振子を選択している場合は、リセットを発生させてOSTDFフラグをクリアしてください。

メインクロック発振器の発振源に外部クロック入力を選択している場合は、OSTDFフラグをソフトでクリアすることによってメインクロックあるいはPLLクロックに戻ります。

ただし、SCKCR3.CKSEL[2:0]でメインクロック発振器を選択しているとき、あるいはメインクロック発振器をクロックソースに設定した状態のPLLを選択しているときには、OSTDFフラグをクリアすることはできません。発振停止検出後にクロックソースをメインクロックあるいはPLLクロックに戻したい場合には、一旦SCKCR3.CKSEL[2:0]の設定をメインクロック発振器とメインクロック発振器をクロックソースに設定した状態のPLL以外に変更し、OSTDFフラグをソフトでクリアしてください。その後、OSTDFフラグが再度セットされていないことを確認したうえで、所定の発振安定時間経過後にSCKCR3.CKSEL[2:0]の設定をメインクロックまたはPLLクロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させOSCOVFSR.MOOVFフラグまたはOSCOVFSR.PLOVFフラグに“1”がセットされたことを確認した後に発振停止検出機能許可ビット(OSTDCR.OSTDE)への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能を無効にしてください。

発振停止検出によってLOCOクロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLLクロックと、CACメインクロック(CACMCLK)、およびCANFDメインクロック(CANFDMCLK)です。

なお、LOCOクロックに切り替わったときの各クロックの周波数はシステムクロックコントロールレジス

タ (SCKCR, SCKCR2, SCKCR3) の設定値で決まります。

図 9.5 に発振停止検出機能の初期化手順のフローチャート例を示します。

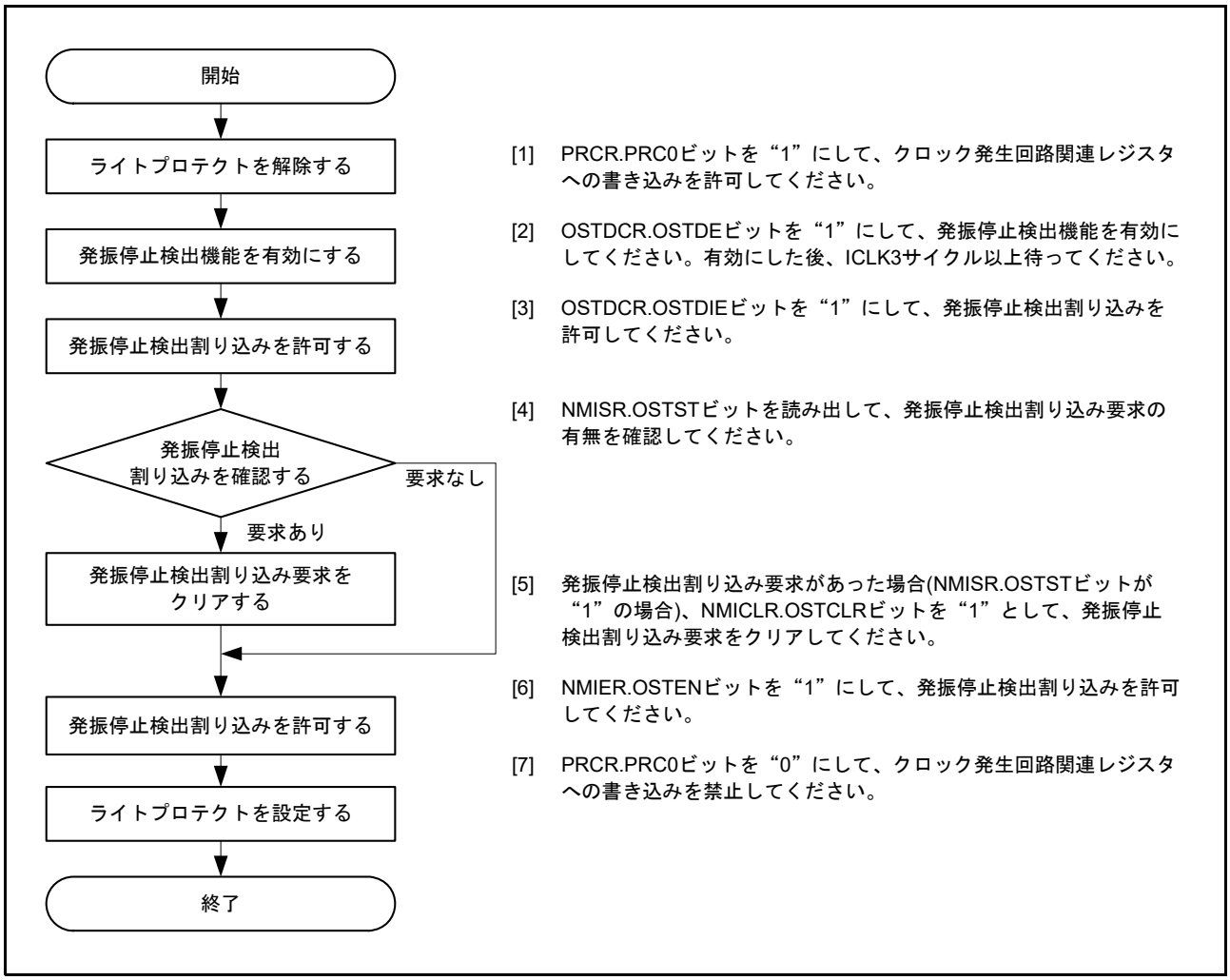
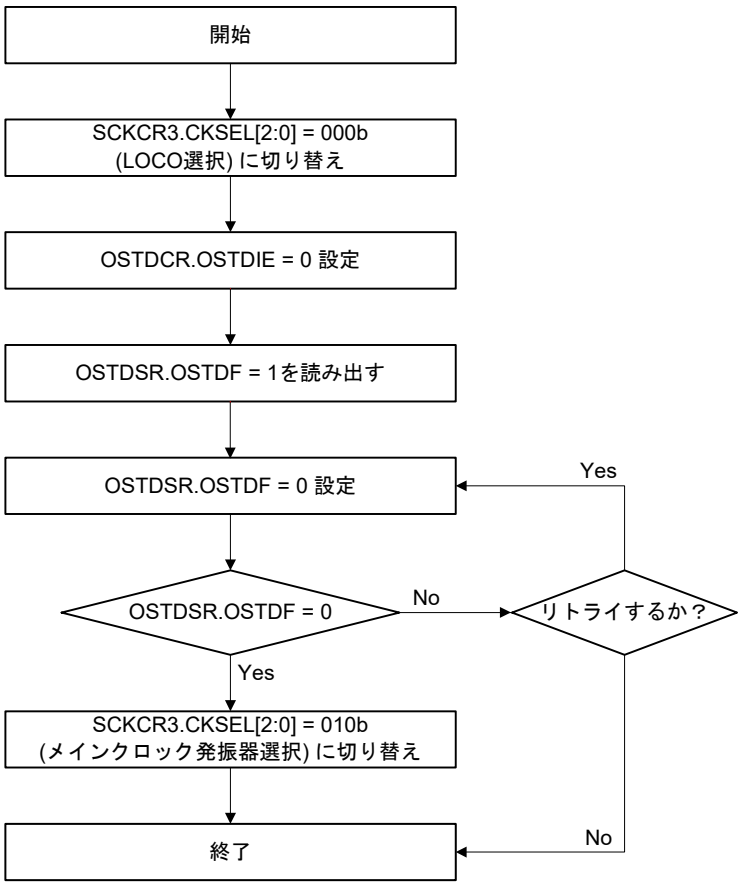


図 9.5 発振停止検出機能の初期化手順のフローチャート例



注. 発振停止状態から復帰する際は、ユーザシステムにおいて、メインクロック発振回路の停止要因が取り除かれ、再度発振可能な状態となっている必要があります。

図 9.6 発振停止検出からの復帰のフローチャート例

9.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が “1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が “1” になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル 3 (POE3) と GPTW 用ポートアウトプットイネーブル (POEG) へメインクロック発振器の停止を通知します。POE3 は、発振停止の通知を受けて入力レベルコントロール / ステータスレジスタ 6 の OSTST ハイインピーダンスフラグ (ICSR6.OSTSTF) を “1” にします。この ICSR6.OSTSTF フラグは、発振停止を検出後、PCLKB で 10 サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を “0” にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

一方、POEG は、同様に発振停止の通知を受けて、POEG グループ n 設定レジスタの発振停止検出フラグ (POEGGn.OSTPF (n = A ～ D)) を “1” にします。

発振停止検出割り込みをノンマスカブル割り込みとして使用する場合、リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、ソフトウェアで NMIER レジスタの該当ビットを “1” にセットしてノンマスカブル割り込みを有効にしてください。マスカブル割り込みとして使用する場合は、NMIER レジスタをリセット後の値から変更しないでください。詳細は「**14. 割り込みコントローラ (ICUG)**」を参照してください。

9.5 PLL 回路

PLL 回路は、発振器からの周波数を逓倍する機能を持っています。

9.6 内部クロック

内部クロックは、クロックソースとしてメインクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから下表に示す内部クロックを生成します。

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], PCKA[3:0], PCKB[3:0], PCKC[3:0], PCKD[3:0] ビット、SCKCR2.CFDCK[3:0] ビット、クロックソースを選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

表9.5 内部クロックと供給先モジュール

	内部クロックの種類	クロック名	供給先モジュール
1	システムクロック	ICLK	CPU、TFU、コードフラッシュメモリ、RAM、ICU、BSC、DMAC、DTC、MPU
2	周辺モジュールクロック	PCLKA	RSPI、RSPIA、RSCI、RI3C、CANFD、MTU (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)
		PCLKB	TMR、CMT、CMTW、WDT、IWDT、POE3、SCIk、SCIh、RSCI、RIIC、CANFD、S12AD、R12DA、CMPC、CRC、DOC、CAC、TSIP-Lite、I/O ポート、MPC、ICU、POEG、ELC、温度センサ
		PCLKC	MTU (カウンタ基準クロック)、GPTW (カウンタ基準クロック)、HRPWM (基準クロック)
		PCLKD	S12AD
3	FlashIF クロック	FCLK	データフラッシュメモリ、コードフラッシュメモリ (P/E)
4	CANFD クロック	CANFDCLK	CANFD
5	CANFD メインクロック	CANFDMCLK	CANFD
6	CAC クロック	CACMCLK (メインクロック)	CAC
		CACHCLK (HOCO クロック)	
		CACLCLK (LOCO クロック)	
		CACILCLK (IWDT 専用クロック)	
7	IWDT 専用クロック	IWDTCLK	IWDT

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、ICU、BSC、MPU、DMAC、DTC、TFU、コードフラッシュメモリおよび RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD) は、周辺モジュールの動作クロックです。

各周波数はそれぞれ、SCKCR.PCKA[3:0] ビット、SCKCR.PCKB[3:0] ビット、SCKCR.PCKC[3:0] ビット、SCKCR.PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。周辺モジュールクロックの周波数は、システムクロックの周波数より高速に設定することができます。

9.6.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF の動作クロックであり、コードフラッシュメモリ、データフラッシュメモリのプログラム / イレーズ、およびデータフラッシュメモリリードに使用するクロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.6.4 CANFD クロック (CANFDCLK)

CANFD クロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

CANFDCLK の周波数は SCKCR2.CFDCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLLCR.PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.6.5 CANFD メインクロック (CANFDMCLK)

CANFD メインクロック (CANFDMCLK) は、CANFD モジュールの動作クロックです。

CANFDMCLK は、メインクロック発振器で生成されたクロックです。

9.6.6 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC モジュールの動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT オンチップオシレータで生成される CACILCLK、周辺モジュールに供給される PCLKB があります。

9.6.7 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7 クロックソース切り替え

本 MCU は、リセット解除中に発振した LOCO クロックで、内部リセット時間 (tRESWT) 経過後 CPU 命令フェッチを始めます。その後、LOCO クロックで動作している CPU で、切り替え先のクロック設定を行った後、発振安定フラグレジスタで切り替えたいクロックが発振安定したことを確認してからクロックソースを切り替えてください。

(1) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース : メインクロック) に設定する手順例
①内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
② MOSCWTCR.MSTS[7:0] ビットでメインクロック発振器の発振待機時間を設定
③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
④ PLLCR レジスタで周波数逓倍率を設定 (PLL クロックソースの初期設定はメインクロック発振器)
⑤ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
⑥ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
⑦ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑧ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更

(2) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース : HOCO クロック) に設定する手順例
①内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
③ PLLCR レジスタで周波数逓倍率、PLL クロックソースを HOCO クロックに設定
④ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
⑤ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
⑥ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑦ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更

(3) 内部リセット解除後、システムクロックを LOCO クロックからメインクロックに設定する手順例
①内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
② MOSCWTCR.MSTS[7:0] でメインクロック発振器の発振待機時間を設定
③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
④ OSCOVFSR レジスタの MOOVF フラグでメインクロック発振器が安定したことを確認
⑤ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑥ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックからメインクロックに変更

(4) 内部リセット解除後、システムクロックを LOCO クロックから HOCO クロックに設定する手順例
①内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
③ OSCOVFSR レジスタの HCOVF フラグで HOCO クロックが安定したことを確認
④ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑤ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから HOCO クロックに変更

9.8 ELC によるリンク動作

9.8.1 ELC へのイベント信号出力

クロック発生回路は、メインクロックの発振停止検出時、イベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) の設定に関係なく出力することができます。詳細は「19. イベントリンクコントローラ (ELC)」を参照してください。

9.8.2 ELC からのイベント信号受信によるクロックソース切り替え

クロック発生回路は、ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる低速オンチップオシレータへのクロックソースの切り替え動作が可能です。

なお本機能を使用しているときは、スリープモード復帰時のクロックソース切り替え機能は同時に使用できません。詳細は、「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。

9.9 使用上の注意事項

9.9.1 クロック発生回路に関する注意事項

(1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA ～ PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電気的特性の AC タイミングのクロックサイクル時間 tcyc の動作保証範囲内に収まるように選択してください。
周波数は**表 9.1** の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA、PCLKB、PCLKC を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。

(2) 周辺モジュールクロック内で、以下の周波数関係が必要です。
PCLKC ≧ PCLKA ≧ PCLKB の周波数関係
PCLKA：PCLKC = 1：1 or 1：2 の周波数関係
PCLKB：PCLKD = 1：1 or 2：1 or 4：1 or 1：2 の周波数関係

(3) CANFD 使用時は以下の周波数関係が必要です。
PCLKA：PCLKB = 2：1 の周波数関係
PCLKB ≧ CANFDCLK の周波数関係
PCLKB ≧ CANFDMCLK の周波数関係

(4) SCKCR, SCKCR2, SCKCR3 レジスタの書き換えによってクロック周波数を変更する場合、確実にクロック周波数が変更された後に次の処理を実行するために、同レジスタの書き込み完了を待ってから次の処理を実行してください。I/O レジスタの書き込み完了の確認手順は**「5. I/O レジスタ」**の**「(2) I/O レジスタ書き込み時の注意事項」**を参照してください。

9.9.2 SCKCR3 レジスタ書き換え時の注意事項

SCKCR3 レジスタが書き換えられた場合、クロックソースの切り替え時に短いクロックパルス (グリッチ) が発生しないよう、一時的にクロック出力を停止させています。この期間内に下記の条件を満たす信号が入力された場合、割り込みコントローラで検出できないことがあります。

(1) PCLKB の分周比が 1 分周 (SCKCR.PCKB[3:0] ビットが “0000b”) の場合、切り替え後の PCLKB の 4 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み

(2) PCLKB の分周比が 2 分周 (SCKCR.PCKB[3:0] ビットが “0001b”) の場合、切り替え後の PCLKB の 2.5 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み

外部端子割り込み、NMI 端子割り込みを使用する場合は、上記 (1)、(2) の条件が満たされないように、十分にパルス幅の広い信号を入力してください。

9.9.3 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.9.4 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。**図 9.7** に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

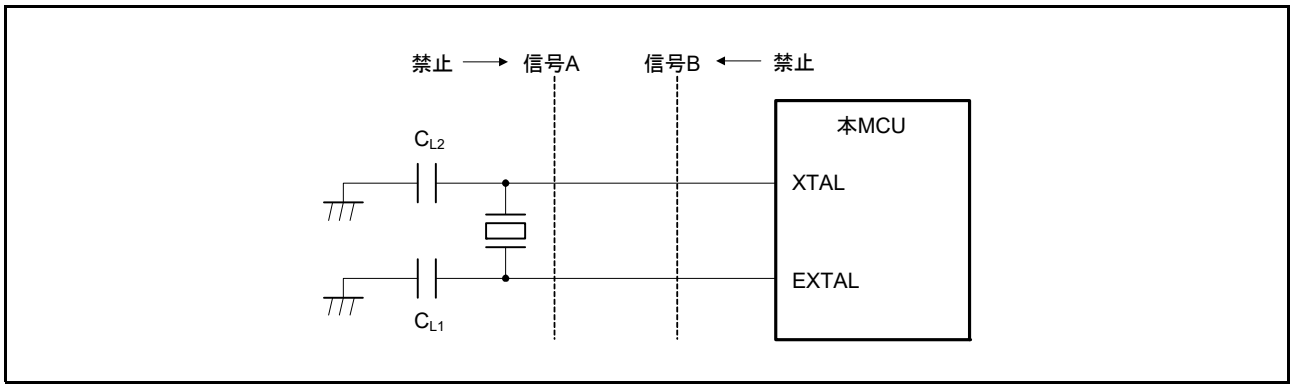


図 9.7 発振回路部のボード設計に関する注意事項

9.9.5 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP ビットを “1”) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子 (P36)、XTAL 端子 (P37) を出力ポートとして使用しないでください。ポート設定に関連するレジスタの設定値は**「表 21.26 レジスタの設定」**を参照してください。

10. クロック周波数精度測定回路 (CAC)

本 MCU はクロック周波数精度測定回路 (CAC) を内蔵しています。

CAC は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

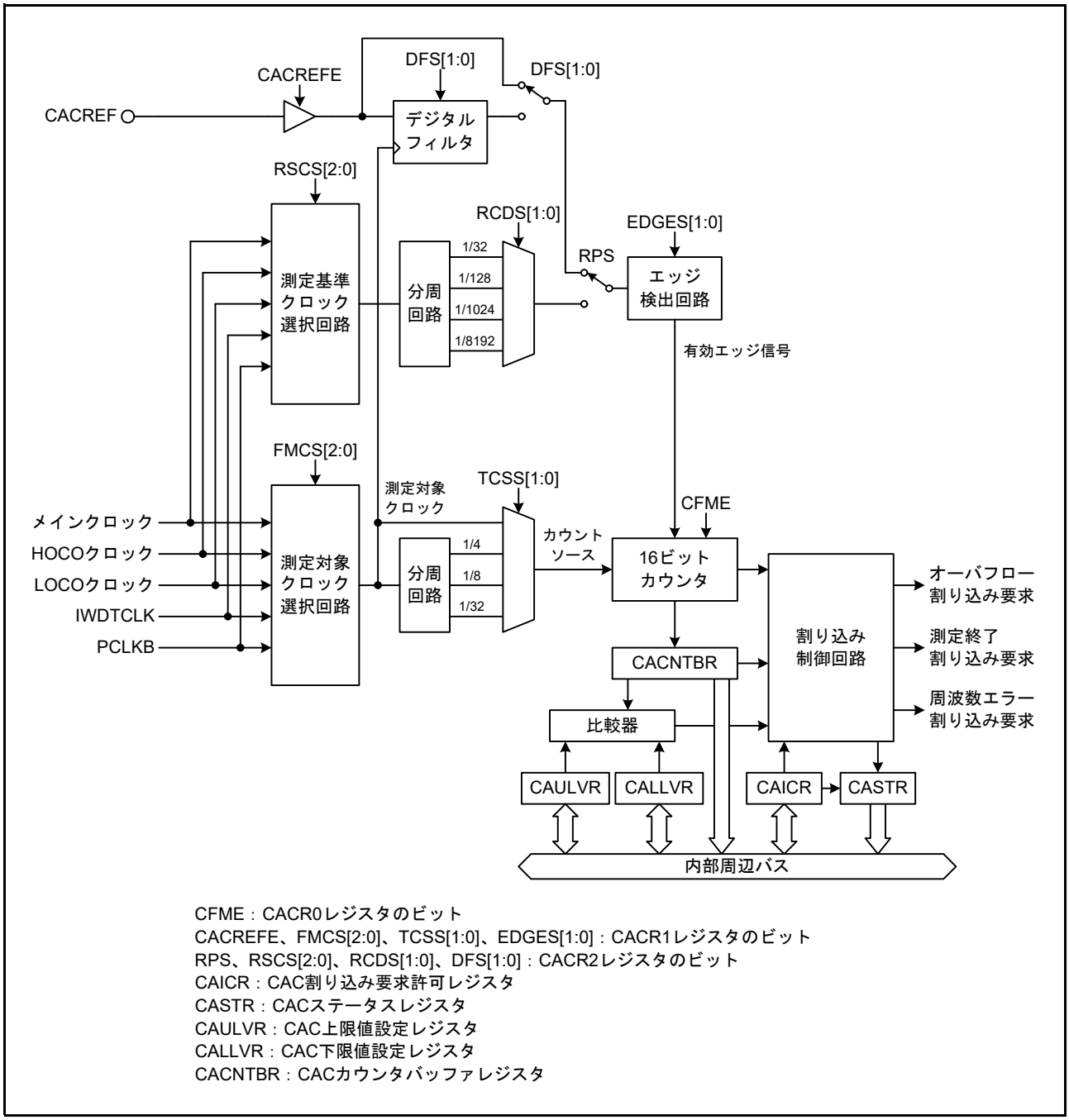
測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

10.1 概要

表 10.1 に CAC の仕様を、**図 10.1** に CAC のブロック図を示します。

表 10.1 CACの仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCLK) • 周辺モジュールクロックB (PCLKB)
測定基準クロック	• 外部からCACREF端子に入力したクロック • メインクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCLK) • 周辺モジュールクロックB (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能



CFME：CACR0レジスタのビット
CACREFE、FMCS[2:0]、TCSS[1:0]、EDGES[1:0]：CACR1レジスタのビット
RPS、RSCS[2:0]、RCDS[1:0]、DFS[1:0]：CACR2レジスタのビット
CAICR：CAC割り込み要求許可レジスタ
CASTR：CACステータスレジスタ
CAULVR：CAC上限値設定レジスタ
CALLVR：CAC下限値設定レジスタ
CACNTBR：CACカウンタバッファレジスタ

図 10.1　CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2　CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2　レジスタの説明

10.2.1　CAC コントロールレジスタ 0 (CACR0)

アドレス　CAC.CACR0 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0：クロック周波数測定無効 1：クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 0008 B001h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]			CACREFE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF端子入力有効ビット	0：CACREF端子入力無効 1：CACREF端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0：メインクロック 0 1 0：HOCOクロック 0 1 1：LOCOクロック 1 0 0：IWDT専用クロック(IWDTCLK) 1 0 1：周辺モジュールクロックB (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントソース選択ビット	b5 b4 0 0：分周なしクロック 0 1：4分周クロック 1 0：8分周クロック 1 1：32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0：立ち上がりエッジ 0 1：立ち下がりエッジ 1 0：立ち上がり/立ち下がり両エッジ 1 1：設定しないでください	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントソース選択ビット)

このビットの設定によりクロック周波数精度測定回路のカウントソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 0008 B002h

	b7	b6	b5	b4	b3	b2	b1	b0
	DFS[1:0]		RCDS[1:0]		RSCS[2:0]			RPS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0：CACREF端子入力 1：内部クロック(内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0：メインクロック 0 1 0：HOCOクロック 0 1 1：LOCOクロック 1 0 0：IWDT専用クロック(IWDTCLK) 1 0 1：周辺モジュールクロックB (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0：32分周クロック 0 1：128分周クロック 1 0：1024分周クロック 1 1：8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0：デジタルフィルタ機能無効 0 1：測定対象クロック 1 0：測定対象クロックの4分周クロック 1 1：測定対象クロックの16分周クロック	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効 / 無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス CAC.CAICR 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0：周波数エラー割り込み要求無効 1：周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0：測定終了割り込み要求無効 1：測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0：オーバフロー割り込み要求無効 1：オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にするとCASTR.FERRF フラグがクリアされます。読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にするとCASTR.MENDF フラグがクリアされます。読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にするとCASTR.OVFF フラグがクリアされます。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを “1” にすると CASTR.FERRF フラグがクリアされます。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを “1” にすると CASTR.MENDF フラグがクリアされます。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを “1” にすると CASTR.OVFF フラグがクリアされます。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0：クロックの周波数が設定値内 1：クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0：測定中 1：測定が終了	R
b2	OVFF	オーバフローフラグ	0：カウンタがオーバフローしていない 1：カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた (周波数エラー) ことを示します。

[“1” になる条件]

- クロック周波数が設定値を外れたとき

[“0” になる条件]

- CAICR.FERRFCL ビットに “1” を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[“1” になる条件]

- 測定終了したとき

[“0” になる条件]

- CAICR.MENDFCL ビットに “1” を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

[“1” になる条件]

- カウンタがオーバフローしたとき

[“0” になる条件]

- CAICR.OVFFCL ビットに “1” を書き込んだとき

10.2.6　CAC 上限値設定レジスタ (CAULVR)

アドレス　CAC.CAULVR 0008 B006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが “0” のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7　CAC 下限値設定レジスタ (CALLVR)

アドレス　CAC.CALLVR 0008 B008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが “0” のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8　CAC カウンタバッファレジスタ (CACNTBR)

アドレス　CAC.CACNTBR 0008 B00Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3　動作説明

10.3.1　クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

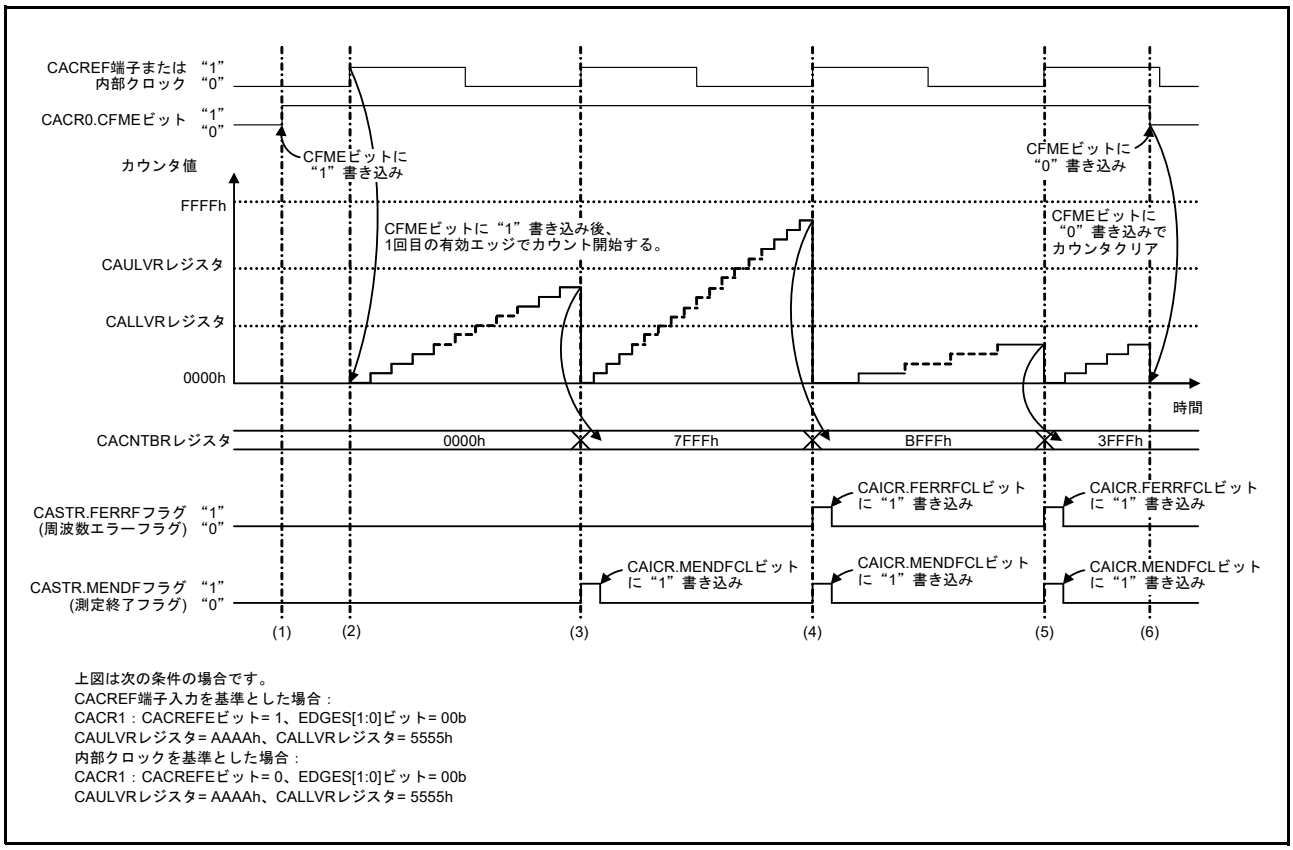


図 10.2　クロック周波数精度測定回路の動作例

(1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを “0”、CACR1.CACREFE ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。

(2) CACREF 端子入力を基準とした場合は、CFME ビットに “1” を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウントアップが開始されます。
内部クロックを基準とした場合は、CFME ビットに “1” を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウントアップが開始されます。

(3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CALLVR レジスタ ≦ CACNTBR レジスタ ≦ CAULVR レジスタのときは、クロック周波数が正常なので CASTR.MENDF フラグだけが “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

(4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが “1” になります。また、CAICR.FERRIE ビットを “1” にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

(5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが “1” になります。また、CAICR.FERRIE ビットを “1” にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

(6) CACR0.CFME ビットが “1” の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACR0.CFME ビットに “0” を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2　CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効 / 無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソース 1 周期)/(サンプリングクロック 1 周期)

10.4　割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが “1” になります。**表 10.3** にクロック周波数精度測定回路割り込み要求を示します。

表 10.3　クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタと CAULVR レジスタおよび CALLVR レジスタとを比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを “1” に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は**「11. 消費電力低減機能」**を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、**表 11.2** に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)に対し、個別に分周比を設定することが可能(注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	• CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	• スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード

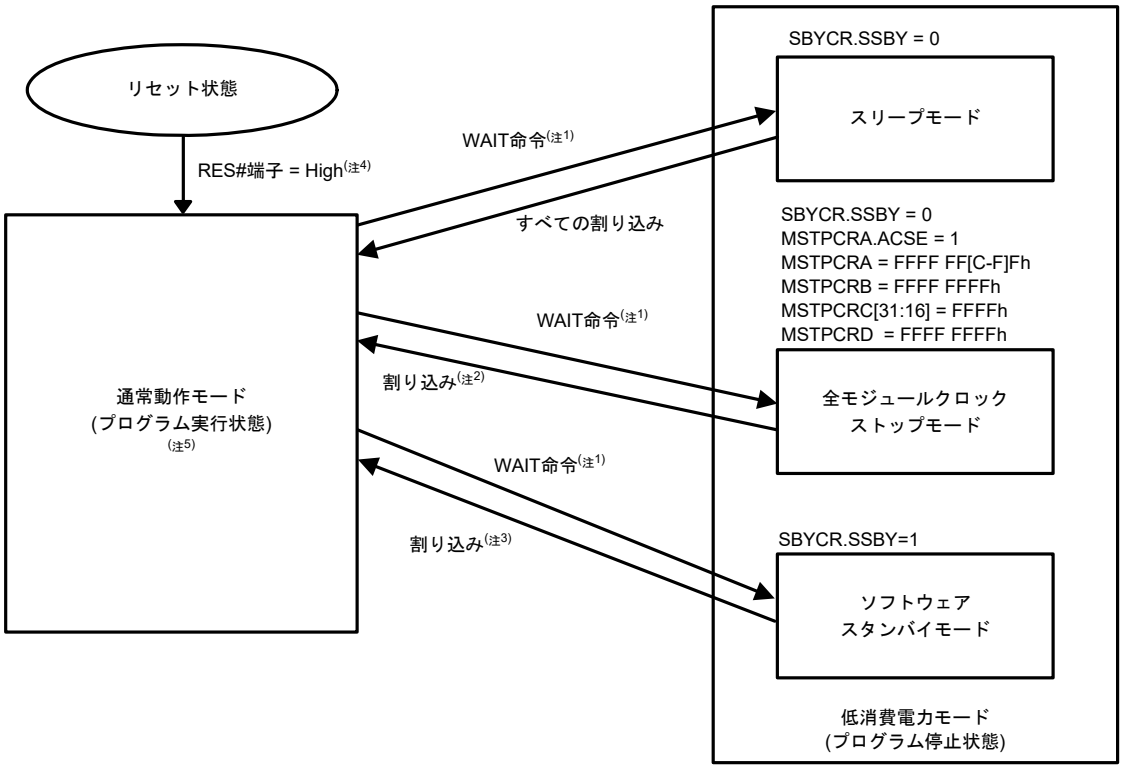
注1. 詳細は「9. クロック発生回路」を参照してください。

表11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュール クロックストップモード	ソフトウェア スタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)
解除後の状態 (注3)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT専用オンチップオシレータ	動作可能 (注4)	動作可能 (注4)	動作可能 (注4)
PLL	動作可能	動作可能	停止
CPU	停止(保持)	停止(保持)	停止(保持)
RAM	動作可能(保持)	停止(保持)	停止(保持)
フラッシュメモリ	動作	停止(保持)	停止(保持)
ウォッチドッグタイマ(WDT)	停止(保持)	停止(保持)	停止(保持)
独立ウォッチドッグタイマ(IWDT)	動作可能 (注4)	動作可能 (注4)	動作可能 (注4)
ポートアウトプットイネーブル(POE)	動作可能	動作可能 (注5)	停止(保持)
8ビットタイマ(ユニット0、1)(TMR)	動作可能	動作可能 (注6)	停止(保持)
電圧検出回路(LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	停止(保持)	停止(保持)
I/Oポート	動作	保持 (注7)	保持

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。
停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。
停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注1. 外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(8ビットタイマ、IWDT、電圧監視1、電圧監視2、メインクロック発振停止検出)。
注2. 外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(IWDT、電圧監視1、電圧監視2)
注3. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
注4. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSTPR.SLCSTP)の設定により、動作/停止を選択することができます。
注5. POE割り込みを有効にした状態で全モジュールクロックストップモード中にPOE割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後にPOE割り込みが発生します。
注6. モジュールストップコントロールレジスタAの8ビットタイマ1, 0 (ユニット0)モジュールストップ設定ビット(MSTPCRA.MSTPA5)、8ビットタイマ3, 2 (ユニット1)モジュールストップ設定ビット(MSTPCRA.MSTPA4)の設定によって、動作/停止を選択することができます。
注7. 8ビットタイマを動作させている場合、関連する端子は動作を継続します。



注1. WAIT命令実行後、プログラム停止状態へ移行中に解除要因となる割り込みが受け付けられると、プログラム停止状態へ移行せず、割り込み例外処理を実行します。

注2. 外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(8ビットタイマ、IWDT、電圧監視1、電圧監視2、発振停止検出)。ただし、8ビットタイマはモジュールストップコントロールレジスタAの8ビットタイマ1, 0 (ユニット0)モジュールストップ設定ビット(MSTPCRA.MSTPA5)、8ビットタイマ3, 2 (ユニット1)モジュールストップ設定ビット(MSTPCRA.MSTPA4)のいずれかが“0”のとき有効。

注3. 外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(IWDT、電圧監視1、電圧監視2)

注4. リセット状態からの移行は、通常動作モードのLOCOクロックソースで動作します。

注5. スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードから割り込みにより通常動作モードへ移行します。その際、スリープモードに関しては復帰後のクロックソースを選択することが可能です。詳細は「11.2.6 スリープモード復帰クロックソース切り替えレジスタ(RSTCKCR)」を参照してください。また、ソフトウェアスタンバイモードに関しては復帰時と復帰前は、同じクロックソースとなります。

すべての状態において、RES#端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、およびソフトウェアリセットが発生するとリセット状態に移行します。

図 11.1 モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1：WAIT命令実行後、ソフトウェアスタンバイモードに移行	R/W

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の移行先を設定します。

SSBY ビットが “1” の状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常動作モードに移行したときは、SSBY ビットは “1” のままです。SSBY ビットを “0” にするときは “0” を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が “1” のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが “1” のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) が “1”、またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” のとき、このビットに設定された値は無効になります。本ビットが “1” にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA29	MSTPA28	MSTPA27	—	—	MSTPA24	MSTPA23	—	—	—	MSTPA19	—	MSTPA17	MSTPA16
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA15	MSTPA14	—	—	—	—	MSTPA9	—	MSTPA7	—	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPA0	コンペアマッチタイマW (ユニット1)モジュールストップ設定ビット	対象モジュール：CMTW1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPA1	コンペアマッチタイマW (ユニット0)モジュールストップ設定ビット	対象モジュール：CMTW0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPA2	8ビットタイマ7, 6 (ユニット3)モジュールストップ設定ビット	対象モジュール：TMR7, TMR6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPA3	8ビットタイマ5, 4 (ユニット2)モジュールストップ設定ビット	対象モジュール：TMR5, TMR4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPA4	8ビットタイマ3, 2 (ユニット1)モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1, 0 (ユニット0)モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPA7	汎用PWMタイマ/高分解能PWM/GPTW用ポートアウトプットイネーブルモジュールストップ設定ビット	対象モジュール：GPTW, HRPWM, POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット3モジュールストップ設定ビット	対象モジュール：MTU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ(ユニット1)モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2, CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ(ユニット0)モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPA16	12ビットA/Dコンバータ(ユニット1)モジュールストップ設定ビット	対象モジュール：S12ADユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータ(ユニット0)モジュールストップ設定ビット	対象モジュール：S12ADユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b19	MSTPA19	12ビットD/Aコンバータ モジュールストップ設定ビット	対象モジュール：12ビットDA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPA23	12ビットA/Dコンバータ(ユニット2) モジュールストップ設定ビット	対象モジュール：S12ADユニット2(温度センサ)(注1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPA24	モジュールストップA24設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b26-b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b28	MSTPA28	DMAコントローラ/データトランスファコントローラモジュールストップ設定ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	モジュールストップA29設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE	全モジュールクロックストップモード許可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

注1.　温度センサはS12ADユニット2内のレジスタで制御されます。

ACSE ビット (全モジュールクロックストップモード許可ビット)

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。ACSE ビットを “1” にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「11.5.2　全モジュールクロックストップモード」を参照してください。

8 ビットタイマは、MSTPA5、MSTPA4 ビットの設定によって、動作 / 停止を選択することができます。

SBYCR.SSBY = 0 で、MSTPCRA.ACSE = 0 の場合は WAIT 命令実行後、スリープモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) が “1”、またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” のとき、このビットに設定された値は無効になります。本ビットが “1” にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.3　モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス　0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPB30	—	—	—	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	MSTPB9	—	—	MSTPB6	—	MSTPB4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーションインタフェース12モジュールストップ設定ビット	対象モジュール：SCI12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	データ演算回路モジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	イベントリンクコントローラモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPB10	コンパレータCモジュールストップ設定ビット	対象モジュール：CMPC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I^2Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

11.2.4　モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス　0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPC27	MSTPC26	—	MSTPC24	—	—	—	—	MSTPC19	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAMモジュールストップ設定ビット (注1)	対象モジュール：RAM (0000 0000h～0000 FFFFh) 0：RAM動作 1：RAM停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19 (注2)	CACモジュールストップ設定ビット	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPC24	シリアルコミュニケーションインタフェース11モジュールストップ設定ビット	対象モジュール：RSCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPC26	シリアルコミュニケーションインタフェース9モジュールストップ設定ビット	対象モジュール：RSCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタフェース8モジュールストップ設定ビット	対象モジュール：RSCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　RAMアクセス中にMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態で、RAMにアクセスしないでください。

注2.　MSTPC19ビットの書き換えは、MSTPC19ビットによって制御するクロックの発振が安定しているときに行ってください。
MSTPC19ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出力クロックで2サイクル経過したのち、WAIT命令を実行してください。

11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス 0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPD27	MSTPD26	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPD10	—	—	—	—	MSTPD5	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	MSTPD5	I3Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RI3C0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10	MSTPD10	CANFDモジュールストップ設定ビット (注1)	対象モジュール：CANFD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPD26	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPIA0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPD27	Trusted Secure IP-Liteモジュールストップ設定ビット	対象モジュール：Trusted Secure IP-Lite 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MSTPD10ビットの書き換えは、MSTPD10ビットによって制御するクロックの発振が安定しているときに行ってください。
MSTPD10ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後CANFDMCLKとCANFDCLKで2サイクル経過した後、WAIT命令を実行してください。

11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCKEN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL[2:0]	スリープモード復帰クロックソース選択ビット	b2 b0 0 0 1：HOCO選択 0 1 0：メインクロック発振器選択 RSTCKENビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロックソース切り替え許可ビット	0：スリープモード解除時クロックソース切り替え無効 1：スリープモード解除時クロックソース切り替え有効	R/W

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCOCR.HCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

スリープモード復帰時クロックソース切り替え機能と、ELC によるクロックソース切り替え機能の同時使用は禁止です。スリープモード復帰時クロックソース切り替え機能を有効にする場合、ELC によるクロックソース切り替え機能が無効の状態で RSTCKCR.RSTCKEN ビットに “1” を書いてください。また、ELC によるクロックソース切り替え機能を有効にする場合、RSTCKCR.RSTCKEN ビットが “0” の状態で有効に設定してください。

RSTCKCR レジスタの設定によってスリープモードから HOCO で復帰する場合、HOCO 電源は自動的に ON になりません。HOCO で復帰する場合は、HOCO 電源 ON の状態でスリープモードに移行してください。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが “1” の場合のみ有効です。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効 / 無効を制御します。

スリープモード解除時にクロックソースの切り替えを行うのは、スリープモード移行時のクロックとして LOCO を選択している場合のみとしてください。HOCO、メインクロック、PLL をクロックソースに選択している状態でスリープモードに移行する場合には、RSTCKEN ビットを “1” にしないでください。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、コードフラッシュメモリ、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。

データフラッシュメモリは FCK[3:0] ビットで設定した動作クロックで動作します。

詳細は「9. **クロック発生回路**」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ～ MSTPCRD レジスタに対応する MSTPmi ビット (m = A ～ D, i = 31 ～ 0) を “1” にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを “0” にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 低消費電力状態

11.5.1 スリープモード

11.5.1.1 スリープモードへの移行

SBYCR.SSBY ビットが “0” の状態で WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” (低消費電力モード遷移時 IWDT カウント停止有効) のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット (注 1) を “0” にする。
(2) スリープモードからの復帰に使用する割り込みの要求先 (注 2) を CPU に設定する。
(3) スリープモードからの復帰に使用する割り込みの優先レベル (注 3) を、CPU の PSW.IPL[3:0] ビット (注 1) よりも高く設定する。
(4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注 3) を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
(6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注 1) は自動的に “1” になります)。

注 1. 詳細は「2. CPU」を参照してください。
注 2. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。
注 3. 詳細は「14. 割り込みコントローラ (ICUG)」を参照しください。

11.5.1.2 スリープモードの解除

ノンマスカブル割り込み、および全要因の割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
  割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが (注 1)CPU の PSW.IPL[3:0] ビット (注 2) 以下に設定されている場合) には、スリープモードは解除されません。
- RES# 端子リセットによる解除
  RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
  パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
  電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除
  IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT ビットが “0” かつ OFS0.IWDTSLCSTP ビットが “1”、または OFS0.IWDTSTRT ビットが “1” かつ IWDTCSTPR.SLCSTP ビットが “1”) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。
注 2. 詳細は「2. CPU」を参照してください。

11.5.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロックソース切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、各クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.14 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。

11.5.2 全モジュールクロックストップモード

11.5.2.1 全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットを “1” にして、かつ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタで制御されるモジュールをモジュールストップ状態 (MSTPCRA = FFFF FF[C-F]Fh, MSTPCRB = FFFF FFFFh, MSTPCRC[31:16] = FFFFh, MSTPCRD = FFFF FFFFh) にしたときに、SBYCR.SSBY ビットを “0” にした状態で WAIT 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ (注 1)、POE3 (注 2)、IWDT、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよび I/O ポートの動作が停止して、全モジュールクロックストップモードへ移行します (注 3)。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” (低消費電力モード遷移時 IWDT カウント停止有効) のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0” (低消費電力モード遷移時 IWDT カウント継続) のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット (注 4) を “0” にする。
(2) 全モジュールクロックストップモードからの復帰に使用する割り込みの要求先 (注 5) を CPU に設定する。
(3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル (注 6) を CPU の PSW.IPL[3:0] ビット (注 4) よりも高く設定する。
(4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット (注 6) を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
(6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注 4) は自動的に “1” になります)。

注 1. MSTPCRA.MSTPA5、MSTPA4 ビットで動作 / 停止を選択できます。
注 2. POE3 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE3 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE3 割り込みが発生します。
注 3. DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを “1” にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを “0” にして、DTC、DMAC が起動していない状態で行ってください。
注 4. 詳細は「2. CPU」を参照してください。
注 5. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。
注 6. 詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。

11.5.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み (NMI 、IRQ0 ～ IRQ15)、周辺機能割り込み (8 ビットタイマ (注 1)、IWDT (注 2)、電圧監視 1、電圧監視 2、発振停止検出)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスカブル割り込みが CPU でマスクされている場合 (割り込みの優先レベル (注 3) が CPU の PSW.IPL[3:0] ビット (注 4) 以下に設定されている場合)、または DTC、DMAC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注 1. MSTPCRA.MSTPA5、MSTPA 4 ビットで動作 / 停止を選択できます。
注 2. 全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。
注 3. 詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。
注 4. 詳細は「2. CPU」を参照してください。

11.5.3 ソフトウェアスタンバイモード

11.5.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを “1” にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器の機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。詳細は**「表 11.2 各モードにおける遷移および解除方法と動作状態」**を参照してください。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビット を “0” にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” (低消費電力モード遷移時 IWDT カウント停止有効) のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振停止検出機能有効 (OSTDCR.OSTDE = 1) の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効 (OSTDCR.OSTDE = 0) に設定後、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット (注 1) を “0” にする。
(2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先 (注 2) を CPU に設定する。
(3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注 3) を CPU の PSW.IPL[3:0] ビット (注 1) よりも高く設定する。
(4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注 3) を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
(6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注 1) は自動的に “1” になります)。

注 1. 詳細は「2. CPU」を参照してください。
注 2. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。
注 3. 詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。

11.5.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ～ IRQ15)、周辺機能割り込み (IWDT、電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、これらすべての発振器の発振安定待機時間が経過するのを待ってソフトウェアスタンバイモードから復帰します。

(1) 割り込みによる解除

NMI、IRQ0 ～ IRQ15、IWDT、および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、ソフトウェアスタンバイモード解除後復帰時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間にソフトウェアスタンバイモード解除シーケンサ動作時間を加えた値となります。

tSBYi = tSBYOSCWT + tSBYSEQ

tSBYi (i = MC, EX, PC, PE, PH, HO, LO)：ソフトウェアスタンバイモード解除後復帰時間

tSBYOSCWT：発振安定待機時間

tSBYSEQ：ソフトウェアスタンバイモード解除シーケンサ動作時間

発振安定待機時間は、発振を開始した各発振器の発振安定待機時間のうち最も大きな値を使って計算してください。

各発振器の発振安定待機時間は、**「49. 電気的特性」**を参照してください。

(2) RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(4) 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(5) 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.5.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.2 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICUG)」を参照してください。

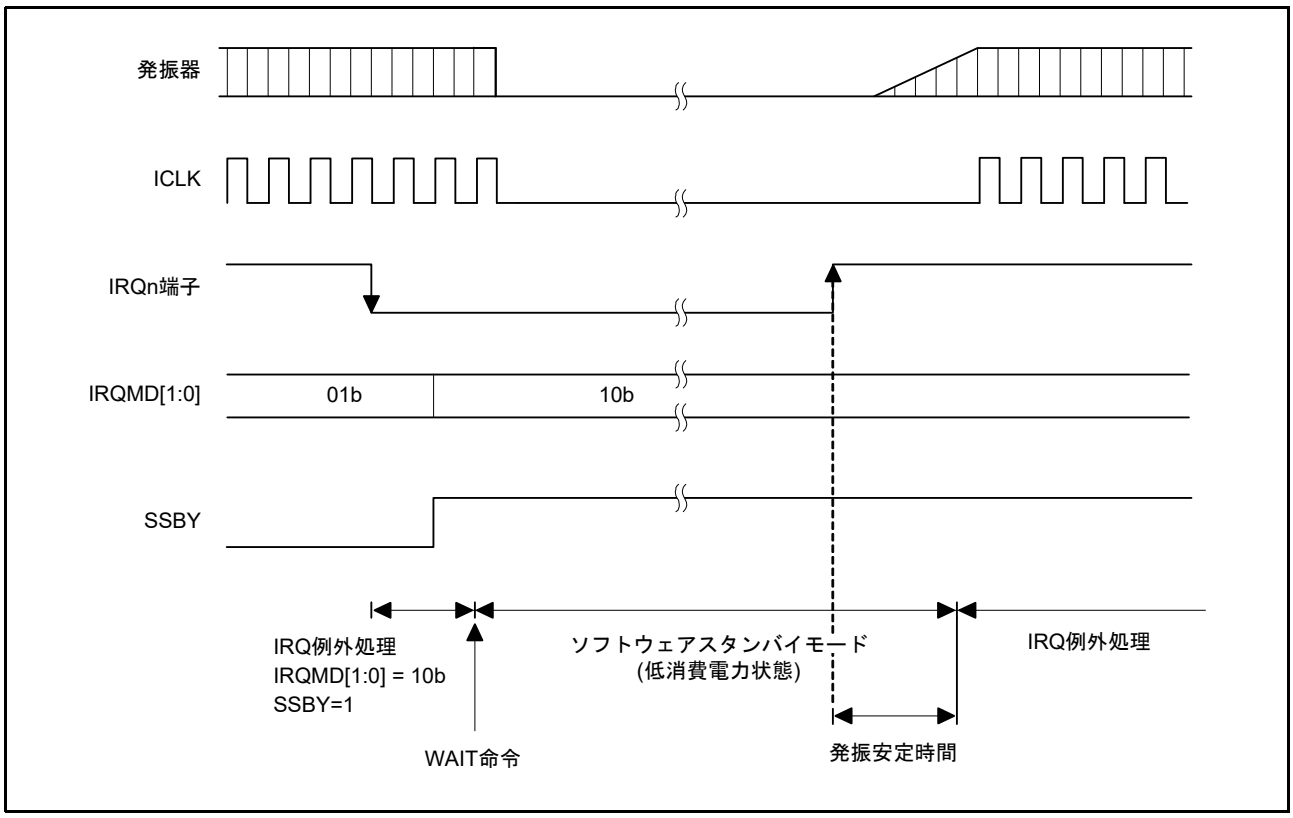


図 11.2 ソフトウェアスタンバイモードの応用例

11.6 使用上の注意事項

11.6.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。

11.6.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを “1” にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを “0” にして、DTC、DMAC が起動していない状態にしてください。

詳細は「17. DMA コントローラ (DMACAa)」、「18. データトランスファコントローラ (DTCb)」を参照してください。

11.6.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.6.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC、および MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

11.6.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。I/O レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.6.6 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き換えないでください。スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

表12.1 PRCRレジスタと保護されるレジスタの対応

PRCRレジスタ	保護されるレジスタ
PRC0ビット	• クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, MOSCCR, LOCOCR, ILOCOCR, HOCOCR, HOCOCR2, OSTDCR, OSTDSR
PRC1ビット	• 動作モード関連レジスタ SYSCR1, VOLSR • 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, RSTCKCR • クロック発生回路関連レジスタ MOSCWTCR, MOFCR, HOCOPCR • ソフトウェアリセットレジスタ SWRR
PRC3ビット	• LVD関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、クロック発生回路、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込んだ値は保持されません。読み込んだ場合、“00h”が読めます。

PRCi ビット (プロテクトビット i) (i = 0, 1, 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが “1” のとき、保護されるレジスタへの書き込みができます。PRCi ビットが “0” のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要が生じる場合があります。このような事象を総称して例外事象と呼びます。

RXv3 CPU は、8 種類の例外に対応します。**図 13.1** に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパバイザモードになります。

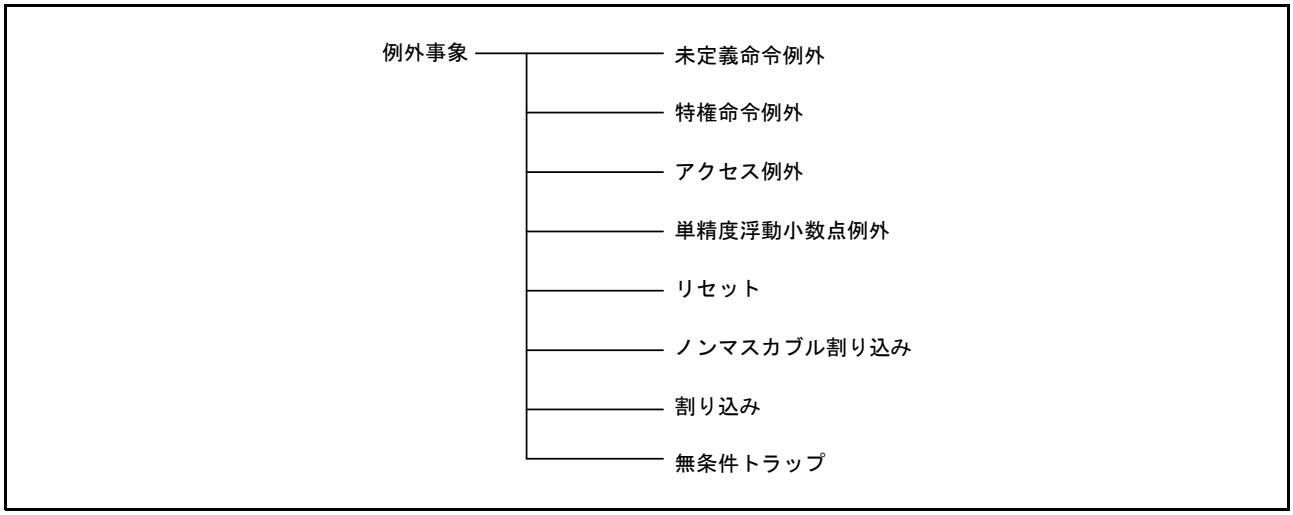


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令 (実装されていない命令) の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 単精度浮動小数点例外

単精度浮動小数点例外は、単精度浮動小数点演算命令実行時に、IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) および、非実装処理を検出した場合に発生します。5 つの例外については、対応する FPSW の EX、EU、EZ、EO、EV ビットが “1” のときのみ CPU の例外処理が行われます。

13.1.5 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPU に割り込み信号を入力することによって発生します。割り込みのうち 1 つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは 15 (最高) です。

PSW の I ビットが “0” のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム (例外処理ルーチン) によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

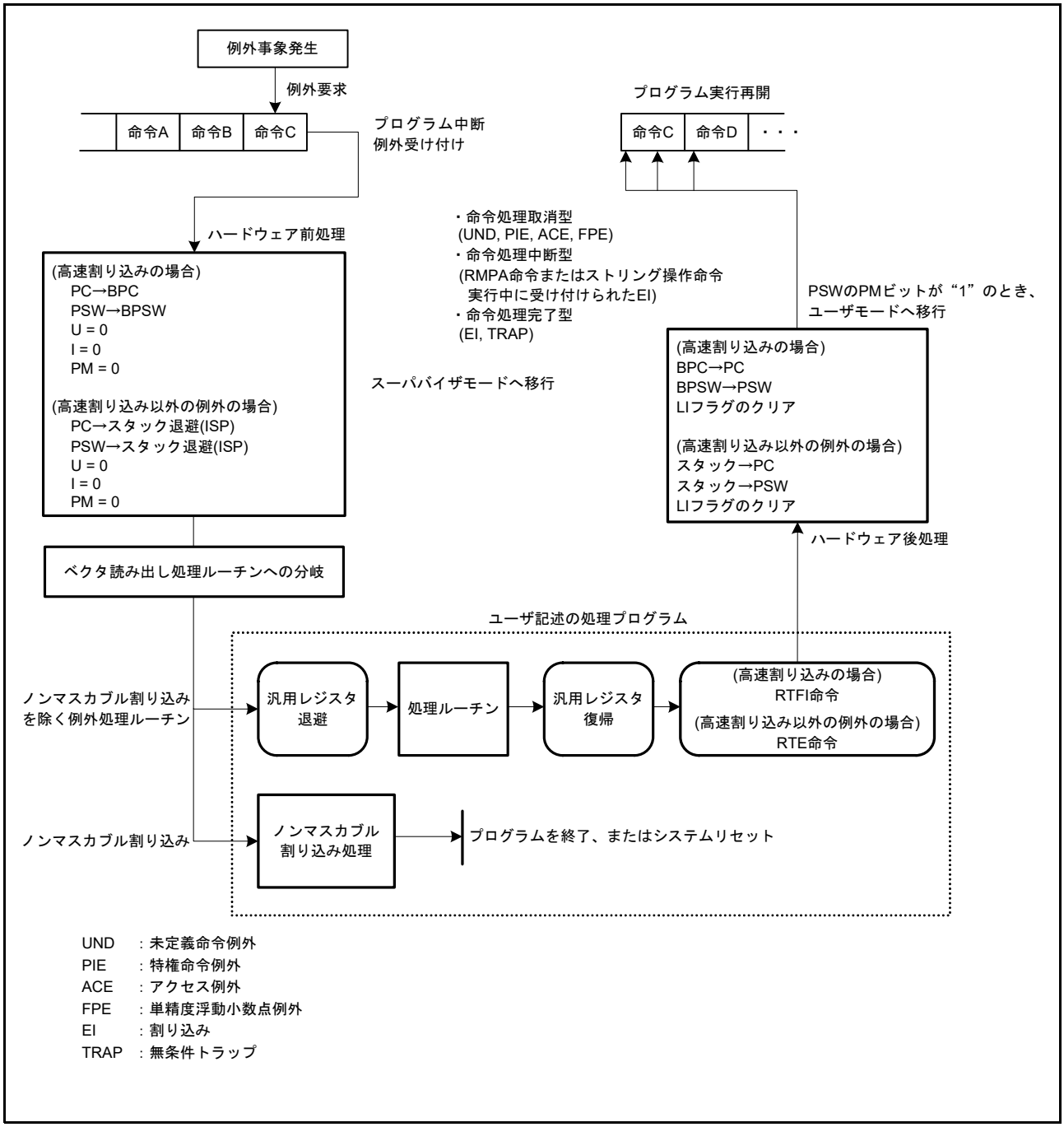


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv3 CPU はハードウェア処理を行った後、ベクタテーブルにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv3 CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避させます。高速割り込み以外の例外では、PC、PSW をスタック領域に退避させます。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによって退避させてください。

例外処理ルーチンの完了後、退避させたレジスタを復帰させてから RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv3 CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰させます。

例外処理ルーチンの先頭・末尾で行う汎用レジスタ等の退避・復帰には、スタックとレジスタ退避バンクが利用できます。

SAVE・RSTR 命令を使用することでレジスタ退避バンクへの退避・復帰ができます。SAVE・RSTR 命令の退避・復帰対象となっていないレジスタを退避・復帰させる場合には、PUSH・POP 等の命令を使用してスタックへの退避・復帰を行ってください。

なお、例外処理ルーチンで退避させるレジスタが極端に少ない場合を除き、レジスタ退避バンクを使用した方がスタックを使用する場合よりも高速に動作します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 13.1 に示します。

表13.1 受け付けタイミングと退避されるPC値

例外事象		処理型	受け付けタイミング	BPC/スタックに退避されるPC値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
単精度浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ		命令処理完了型	命令の区切り	次の命令のPC値

13.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 13.2 に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表13.2 ベクタとPC、PSWの退避場所

例外事象		ベクタ	PC、PSWの退避場所
未定義命令例外		例外ベクタテーブル(EXTB)	スタック
特権命令例外		例外ベクタテーブル(EXTB)	スタック
アクセス例外		例外ベクタテーブル(EXTB)	スタック
単精度浮動小数点例外		例外ベクタテーブル(EXTB)	スタック
リセット		例外ベクタテーブル(EXTB)	なし
ノンマスカブル割り込み		例外ベクタテーブル(EXTB)	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	割り込みベクタテーブル(INTB)	スタック
無条件トラップ		割り込みベクタテーブル(INTB)	スタック

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)
PSW → BPSW
(高速割り込み以外の例外の場合)
PSW → スタック領域

注 . FPSW は、ハードウェア前処理では退避させられません。単精度浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避させてください。

(b) PSW の PM、U、I ビットの更新

I : 0 にする
U : 0 にする
PM : 0 にする

(c) PC の退避

(高速割り込みの場合)
PC → BPC
(高速割り込み以外の例外の場合)
PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)
BPSW → PSW
(高速割り込み以外の例外の場合)
スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)
BPC → PC
(高速割り込み以外の例外の場合)
スタック領域 → PC

(c) LI フラグのクリア処理

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 0000005Ch 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 00000050h 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 00000054h 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 単精度浮動小数点例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 00000064h 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

(1) 制御を初期化します。
(2) FFFFFFFCh 番地からベクタを取得します。
(3) 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。
(4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を “Fh” にします。
(5) EXTB の値 + 00000078h 番地からベクタを取得します。
(6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PSW (BPSW) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PC (BPC) に退避させます。
(4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
(5) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
(6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。
BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で**表 13.3** に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ (BPC, BPSW) に退避させられていたプログラムカウンタ (PC) とプロセッサステータスワード (PSW) の内容が復帰させられます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
単精度浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を**表 13.4** に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位		例外事象
高い ▲	1	リセット
	2	ノンマスカブル割り込み
	3	割り込み
	4	命令アクセス例外
	5	未定義命令例外 特権命令例外
	6	無条件トラップ
	7	オペランドアクセス例外
低い	8	単精度浮動小数点例外

14. 割り込みコントローラ (ICUG)

14.1 概要

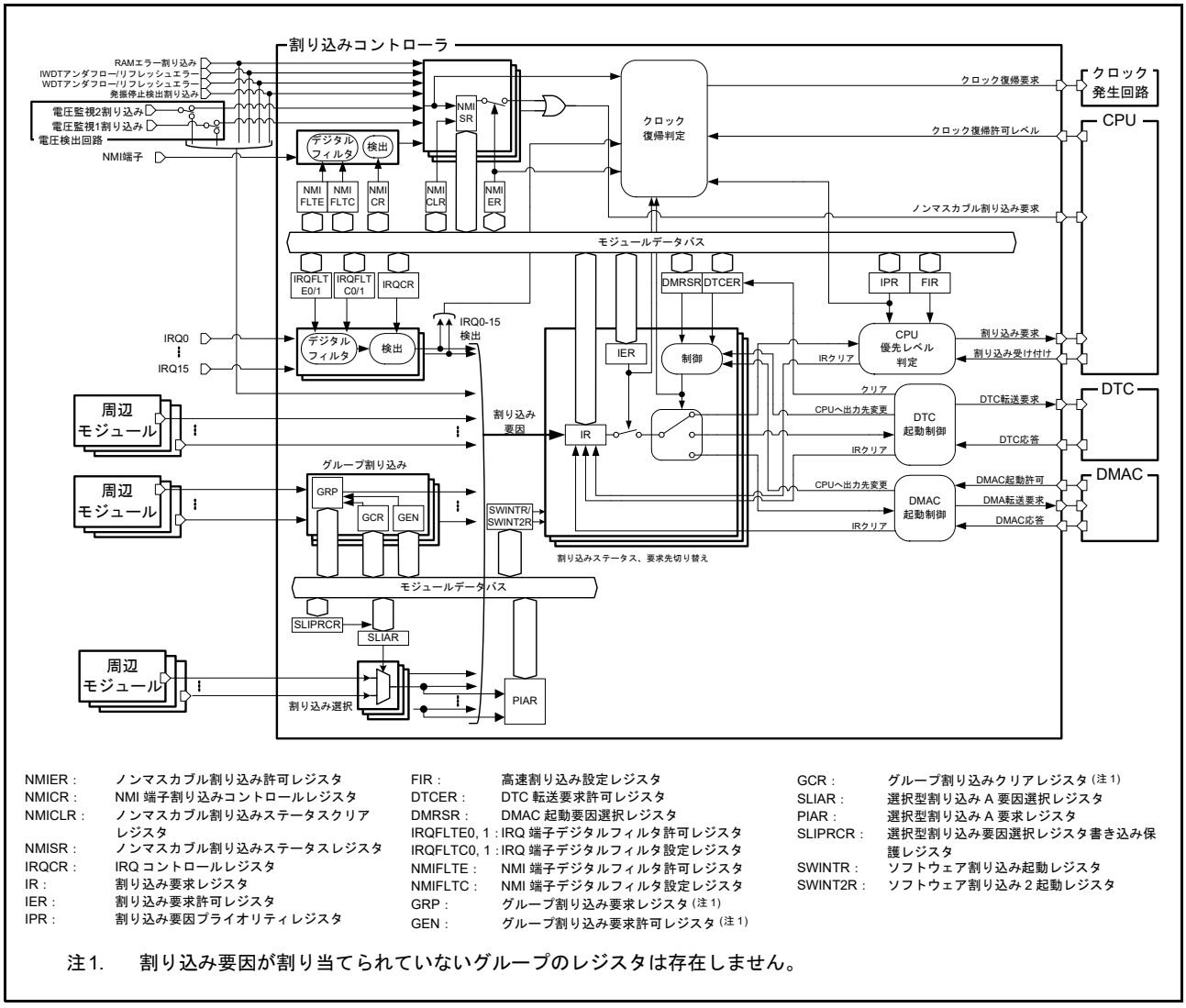
割り込みコントローラ (ICU) は、周辺モジュールや IRQi 端子 (i = 0 ～ 15) からのさまざまな割り込み要求を管理し、CPU への割り込み要求、または DTC、DMAC への転送要求を生成します。

表 14.1 に割り込みコントローラの仕様を、**図 14.1** に割り込みコントローラのブロック図を示します。

表14.1　割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	周辺モジュールからの割り込み • 割り込みの検出方法：エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) • グループ割り込み：複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能(注1) • グループIE0割り込み： ICLKを動作クロックとするコプロセッサの割り込み要因(エッジ検出) • グループBE0割り込み： PCLKBを動作クロックとする周辺モジュールの割り込み要因(エッジ検出) • グループBL0/BL1/BL2割り込み： PCLKBを動作クロックとする周辺モジュールの割り込み要因(レベル検出) • グループAL0/AL1割り込み： PCLKAを動作クロックとする周辺モジュールの割り込み要因(レベル検出) • 選択型割り込みA：割り込みベクタ番号208～255に、PCLKAを動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能
	外部端子割り込み	IRQi端子(i = 0～15)への入力信号による割り込み • 割り込み検出：Lowレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 • デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	• レジスタへの書き込みにより、割り込み要求を発生させることが可能 • 要因数：2
	割り込み優先レベル	割り込み要因プライオリティレジスタr (IPRr) (r = 000～255)により優先レベルを設定
	高速割り込み機能	CPUの割り込み応答時間を短縮可能。1つの割り込み要因にのみ設定可能
	DTC、DMAC制御	割り込み要因によりDTCやDMACの起動が可能(注2)
ノンマスカブル割り込み(注3)	NMI端子割り込み	NMI端子への入力信号による割り込み • 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ • デジタルフィルタを使用することにより、ノイズを除去することが可能
	発振停止検出割り込み(注4)	メインクロック発振器の停止を検出したときの割り込み
	WDTアンダフロー/リフレッシュエラー割り込み(注4)	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDTアンダフロー/リフレッシュエラー割り込み(注4)	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み(注4)	電圧検出1回路(LVD1)からの割り込み
	電圧監視2割り込み(注4)	電圧検出2回路(LVD2)からの割り込み
	RAMエラー割り込み(注4)	RAMのパリティチェックエラーを検出したときの割り込み
低消費電力状態からの復帰	スリープモード	すべてのノンマスカブル割り込み、すべての割り込みで復帰
	全モジュールクロックストップモード	ノンマスカブル割り込み、外部端子割り込み、周辺機能割り込み(電圧監視1、電圧監視2、IWDT、TMR0～3)で復帰
	ソフトウェアスタンバイモード	ノンマスカブル割り込み、外部端子割り込み、周辺機能割り込み(電圧監視1、電圧監視2、IWDT)で復帰

注1.　割り込み要因が割り当てられていないグループは予約です。また、そのグループに対応するレジスタは存在しません。
注2.　DTCおよびDMACの起動要因については、「表14.4　割り込みベクタテーブル」を参照してください。
注3.　ノンマスカブル割り込みは一度許可すると、禁止できません。
注4.　これらのノンマスカブル割り込みの各要因は、マスカブル割り込みとしても使用できます。その場合、NMIERレジスタはリセット後の状態から変更しないでください。また、電圧監視1割り込み、電圧監視2割り込みについては、LVD1CR1.LVD1IRQSELビット、LVD2CR1.LVD2IRQSELビットを“1”にしてください。



NMIER : ノンマスカブル割り込み許可レジスタ
NMICR : NMI 端子割り込みコントロールレジスタ
NMICLR : ノンマスカブル割り込みステータスクリアレジスタ
NMISR : ノンマスカブル割り込みステータスレジスタ
IRQCR : IRQ コントロールレジスタ
IR : 割り込み要求レジスタ
IER : 割り込み要求許可レジスタ
IPR : 割り込み要因プライオリティレジスタ
FIR : 高速割り込み設定レジスタ
DTCER : DTC 転送要求許可レジスタ
DMRSR : DMAC 起動要因選択レジスタ
IRQFLTE0, 1 : IRQ 端子デジタルフィルタ許可レジスタ
IRQFLTC0, 1 : IRQ 端子デジタルフィルタ設定レジスタ
NMIFLTE : NMI 端子デジタルフィルタ許可レジスタ
NMIFLTC : NMI 端子デジタルフィルタ設定レジスタ
GRP : グループ割り込み要求レジスタ (注 1)
GEN : グループ割り込み要求許可レジスタ (注 1)
GCR : グループ割り込みクリアレジスタ (注 1)
SLIAR : 選択型割り込み A 要因選択レジスタ
PIAR : 選択型割り込み A 要求レジスタ
SLIPRCR : 選択型割り込み要因選択レジスタ書き込み保護レジスタ
SWINTR : ソフトウェア割り込み起動レジスタ
SWINT2R : ソフトウェア割り込み 2 起動レジスタ

注1.　割り込み要因が割り当てられていないグループのレジスタは存在しません。

図 14.1　割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

表14.2　割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ0～IRQ15	入力	外部割り込み要求端子

14.2　レジスタの説明

14.2.1　割り込み要求レジスタ n (IRn) (n = 016 ～ 255)

アドレス　ICU.IR016 0008 7010h～ICU.IR255 0008 70FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。レベル検出要因の場合、書き込みはできません。

IRn レジスタは、割り込み要求の有無を示すレジスタです。
割り込みベクタ番号ごとに存在し、n は割り込みベクタ番号と一致しています。
割り込み要因と割り込みベクタ番号の対応は、**「表 14.4　割り込みベクタテーブル」**を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求の有無を示すステータスフラグです。割り込み要求が発生すると “1” になります。割り込み要求を検出するためには、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法には、エッジ検出とレベル検出の 2 種類があります。周辺モジュールからの割り込みは、要因ごとに検出方法が決まっています。各要因の検出方法については、**「表 14.4　割り込みベクタテーブル」**を参照してください。また、IRQi 端子 (i = 0 ～ 15) からの割り込みは、IRQCRi.IRQMD[1:0] ビットの設定によって、エッジ検出またはレベル検出のいずれかを選択することができます。

グループ割り込みの割り込みステータスフラグは、グループ割り込み要求レジスタ (GRPBL0, GRPBL1, GRPBL2, GRPAL0, GRPAL1) の ISj フラグ (j = 0 ～ 31) です。ISj フラグの論理和で、各グループ割り込みに対応する IRn.IR フラグが “1” になります。グループ割り込みの検出方法はレベル検出です。

グループ割り込みについては**「14.4.4　グループ割り込み」**を参照してください。

(1) エッジ検出の場合

[“1” になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生すると “1” になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。

[“0” になる条件]

- 割り込み要求先が割り込み要求を受け付けると “0” になります。
- IR フラグに “0” を書くと “0” になります。ただし、割り込み要求先を DTC または DMAC に設定している場合、IR フラグに “0” を書かないでください。

(2) レベル検出の場合

[“1” になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生している間 “1” になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENBL0, GENBL1, GENBL2, GENAL0, GENAL1) の ENj ビット (j = 0 ～ 31) が “1” (許可) で、グループ割り込み要求レジスタ (GRPBL0, GRPBL1, GRPBL2, GRPAL0, GRPAL1) の ISj フラグが “1” (割り込み要求あり) のときに “1” になります。

[“0” になる条件]

- 周辺モジュールの割り込み要求出力をクリアすると “0” になります (割り込み要求先が割り込み要求を受け付けても “0” になりません)。周辺モジュールごとの割り込み要求のクリアについては、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタの ENj ビットが “0” (禁止)、またはグループ割り込み要求レジスタの ISj フラグが “0” (割り込み要求なし) になると、“0” になります。

外部端子割り込みの割り込み検出方法をレベル検出に設定している場合、発生した外部端子割り込みを取り下げるには、対応する IRQi 端子 (i = 0 ～ 15) への入力レベルを High にしてください。レベル検出に設定している場合、IR フラグに値を書き込まないでください。

14.2.2　割り込み要求許可レジスタ m (IERm) (m = 02h ～ 1Fh)

アドレス　ICU.IER02 0008 7202h～ICU.IER1F 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注.　対応する割り込みベクタ番号の割り込み要因が予約になっている場合、当該ビットは“0”にしてください。読むと“0”が読めます。

IERm レジスタは、割り込み要求の割り込み要求先への出力を許可または禁止するレジスタです。

IENj ビット (割り込み要求許可ビット j) (j = 0 ～ 7)

IENj ビットが “1” のとき、割り込み要求先に割り込み要求を出力します。IENj ビットが “0” のとき、割り込み要求先に割り込み要求を出力しません。

なお、IRn.IR フラグ (n = 016 ～ 255) は、IENj ビットの影響を受けません。IENj ビットが “0” であっても、「14.2.1　割り込み要求レジスタ n (IRn) (n = 016 ～ 255)」に示す条件で IR フラグは変化します。

IERm.IENj ビットは、割り込みベクタ番号ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、**「表 14.4　割り込みベクタテーブル」**を参照してください。

なお、m と j は以下の式でも計算できます。

m = n ÷ 8 の商

j = n ÷ 8 の余り

割り込み要求先を選択する際の IERm.IENj ビットの設定手順は、**「14.7.3.1　割り込み要求先の設定手順」**を参照してください。

14.2.3　割り込み要因プライオリティレジスタ r (IPRr) (r = 000 ～ 255)

アドレス　ICU.IPR000 0008 7300h～ICU.IPR255 0008 73FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IPR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　高速割り込みに指定している割り込み要因については、レベル0に設定していても割り込み優先レベルはレベル15になります。

IPRr レジスタは、対応する割り込みベクタ番号に割り当てられた割り込み要因の割り込み優先レベルを設定するレジスタです。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の割り込み優先レベルを選択するビットです。

IPR[3:0] ビットで選択した割り込み優先レベルは、CPU への割り込み要求の優先レベル判定にのみ使用され、DTC や DMAC への転送要求には影響しません。

CPU は、PSW.IPL[3:0] ビットが示すプロセッサ割り込み優先レベルより高い優先レベルの割り込み要求のみを受け付けます。

複数の割り込み要求が同時に発生した場合、それぞれの IPR[3:0] ビットに設定された優先レベルを使用して優先レベルの比較を行います。優先レベルが同じ割り込み要求が同時に発生した場合には、割り込みベクタ番号の小さい割り込み要求が優先されます。

このレジスタへの書き込みは、該当する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” (割り込み要求禁止) のときに行ってください。

割り込みベクタと IPRr レジスタの対応は、**「表 14.4　割り込みベクタテーブル」**を参照してください。なお、割り込みベクタ番号が 32 以上の場合、r は割り込みベクタ番号と一致します。

14.2.4　高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIEN	—	—	—	—	—	—	—	FVCT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みに指定する割り込み要因の割り込みベクタ番号を設定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0：高速割り込み禁止 1：高速割り込み許可	R/W

FIR レジスタは、高速割り込みとして処理する割り込み要因を指定するレジスタです。

高速割り込みが有効になるのは CPU に対してのみです。DTC や DMAC を要求先に設定している割り込みベクタ番号を高速割り込みに指定したとしても、DTC、DMAC への転送要求には影響しません。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” のときに行ってください。

高速割り込みの詳細は、**「14.9　高速割り込み」**を参照してください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込みを使用する割り込み要因の割り込みベクタ番号を指定するビットです。

指定できる割り込みベクタ番号は、**「表 14.4　割り込みベクタテーブル」**を参照してください。予約の割り込みベクタ番号を指定しないでください。

FIEN ビット (高速割り込み許可ビット)

高速割り込みの使用を許可するビットです。

FIEN ビットを “1” にすると、FVCT[7:0] ビットに指定した割り込みベクタ番号に割り当てられた割り込み要因が、高速割り込みとして処理されます。

FIEN ビットが “1” の場合、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定した割り込みベクタ番号の割り込み要求が発生すると、IPRr レジスタ (r = 000 ～ 255) の設定に関係なく、高速割り込みとして CPU に割り込み要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合は、IPRr レジスタの設定が必要です。詳細は**「14.10.3　ソフトウェアスタンバイモードからの復帰」**を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読めます。“1”を書くとソフトウェア割り込み要求が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINTR レジスタは、ソフトウェア割り込み要求の生成を制御するレジスタです。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに “1” を書くと、ソフトウェア割り込み要求 (SWINT) が発生し、IR027.IR フラグが “1” になります。ソフトウェア割り込み要求 (SWINT) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)

アドレス ICU.SWINT2R 0008 72E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT2	ソフトウェア割り込み2起動ビット	読むと“0”が読めます。“1”を書き込むことでソフトウェア割り込み要求2が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINT2R レジスタは、ソフトウェア割り込み要求 2 の生成を制御するレジスタです。

SWINT2 ビット (ソフトウェア割り込み 2 起動ビット)

SWINT2 ビットに “1” を書くと、ソフトウェア割り込み要求 2 (SWINT2) が発生し、IR026.IR フラグが “1” になります。ソフトウェア割り込み要求 2 (SWINT2) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

14.2.7 DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ～ 255)

アドレス ICU.DTCER026 0008 711Ah～ICU.DTCER255 0008 71FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0：CPUへの割り込み要因、またはDMACの起動要因に設定する 1：DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCERn レジスタは、割り込みベクタ番号 n に対応する割り込み要因を、DTC の起動要因として選択するレジスタです。

同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。割り込み要因と割り込みベクタ番号の対応、DTC 起動に使用できる割り込み要因については、**「表 14.4 割り込みベクタテーブル」**を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを “1” にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1” になる条件]

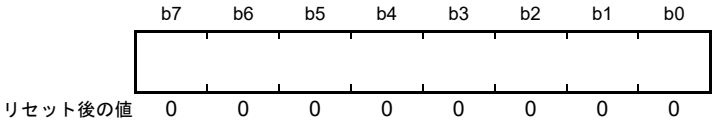
- DTCE ビットに “1” を書いたとき

[“0” になる条件]

- DTC による指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに “0” を書いたとき

14.2.8　DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス　ICU.DMRSR0 0008 7400h, ICU.DMRSR1 0008 7404h, ICU.DMRSR2 0008 7408h, ICU.DMRSR3 0008 740Ch, ICU.DMRSR4 0008 7410h, ICU.DMRSR5 0008 7414h, ICU.DMRSR6 0008 7418h, ICU.DMRSR7 0008 741Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	DMACの起動要因にしたい割り込み要因の割り込みベクタ番号を設定します	R/W

DMRSRm レジスタは、割り込み要因を DMACm の起動要因として選択するレジスタです。

複数の DMRSRm レジスタに同一の割り込みベクタ番号を指定しないでください。また、同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。これらの禁止事項に違反した場合の動作は保証されません。

DMRSRm レジスタには、DMAC の起動に使用する割り込み要因の割り込みベクタ番号を設定します。DMAC の起動要因として使用できない割り込み要因の割り込みベクタ番号は、設定しないでください。

割り込み要因の割り込みベクタ番号は、**「表 14.4　割り込みベクタテーブル」**を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタ (DMACm.DMCNT) の DTE ビットが “0” のときに行ってください。

14.2.9　IRQ コントロールレジスタ i (IRQCRi) (i = 0 ～ 15)

アドレス　ICU.IRQCR0 0008 7500h～ICU.IRQCR15 0008 750Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IRQMD[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0：レベル(Low) 0 1：立ち下がりエッジ 1 0：立ち上がりエッジ 1 1：両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IRQCRi レジスタは、外部端子割り込みの検出方法を選択するレジスタです。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” のときに行ってください。書き込み後は対応する IRn.IR フラグ (n = 016 ～ 255) を “0” にした後で、IERm.IENj ビットを “1” にしてください。ただし、検出方法をレベルに変更する場合は、IR フラグを “0” にする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQi 端子 (i = 0 ～ 15) の割り込み検出方法を設定します。

外部端子割り込みの設定手順は、**「14.7.4　外部端子割り込みの設定手順」**を参照してください。

14.2.10　IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス　ICU.IRQFLTE0 0008 7520h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN7	FLTEN6	FLTEN5	FLTEN4	FLTEN3	FLTEN2	FLTEN1	FLTEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7デジタルフィルタ許可ビット		R/W

IRQFLTE0 レジスタは、IRQ0 端子～ IRQ7 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTENi ビット (IRQi デジタルフィルタ許可ビット) (i = 0 ～ 7)

FLTENi ビットが “1” のとき、IRQi 端子のデジタルフィルタが有効になります。FLTENi ビットが “0” のとき、IRQi 端子のデジタルフィルタは無効です。

IRQFLTC0.FCLKSELi[1:0] ビットで指定したサンプリングクロックで IRQi 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6　デジタルフィルタ」を参照してください。

14.2.11　IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)

アドレス　ICU.IRQFLTE1 0008 7521h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN15	FLTEN14	FLTEN13	FLTEN12	FLTEN11	FLTEN10	FLTEN9	FLTEN8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN8	IRQ8デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b1	FLTEN9	IRQ9デジタルフィルタ許可ビット		R/W
b2	FLTEN10	IRQ10デジタルフィルタ許可ビット		R/W
b3	FLTEN11	IRQ11デジタルフィルタ許可ビット		R/W
b4	FLTEN12	IRQ12デジタルフィルタ許可ビット		R/W
b5	FLTEN13	IRQ13デジタルフィルタ許可ビット		R/W
b6	FLTEN14	IRQ14デジタルフィルタ許可ビット		R/W
b7	FLTEN15	IRQ15デジタルフィルタ許可ビット		R/W

IRQFLTE1 レジスタは、IRQ8 端子～ IRQ15 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTENi ビット (IRQi デジタルフィルタ許可ビット) (i = 8 ～ 15)

FLTENi ビットが “1” のとき、IRQi 端子のデジタルフィルタが有効になります。FLTENi ビットが “0” のとき、IRQi 端子のデジタルフィルタは無効です。

IRQFLTC1.FCLKSELi[1:0] ビットで指定したサンプリングクロックで IRQi 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6　デジタルフィルタ」を参照してください。

14.2.12　IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス　ICU.IRQFLTC0 0008 7528h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0デジタルフィルタサンプリングクロック設定ビット	0 0：PCLKB 0 1：PCLKB/8 1 0：PCLKB/32 1 1：PCLKB/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC0 レジスタは、IRQ0 端子～ IRQ7 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ～ 7)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「14.7.6　**デジタルフィルタ**」を参照してください。

14.2.13　IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)

アドレス　ICU.IRQFLTC1 0008 752Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL15[1:0]		FCLKSEL14[1:0]		FCLKSEL13[1:0]		FCLKSEL12[1:0]		FCLKSEL11[1:0]		FCLKSEL10[1:0]		FCLKSEL9[1:0]		FCLKSEL8[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL8[1:0]	IRQ8デジタルフィルタサンプリングクロック設定ビット	0 0：PCLKB 0 1：PCLKB/8 1 0：PCLKB/32 1 1：PCLKB/64	R/W
b3-b2	FCLKSEL9[1:0]	IRQ9デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL10[1:0]	IRQ10デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL11[1:0]	IRQ11デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL12[1:0]	IRQ12デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL13[1:0]	IRQ13デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL14[1:0]	IRQ14デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL15[1:0]	IRQ15デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC1 レジスタは、IRQ8 端子～ IRQ15 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 8 ～ 15)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「14.7.6　**デジタルフィルタ**」を参照してください。

14.2.14 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	RAMST	LVD2ST	LVD1ST	IWDTST	WDTST	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0：NMI端子割り込み要求なし 1：NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0：発振停止検出割り込み要求なし 1：発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0：WDTアンダフロー/リフレッシュエラー割り込み要求なし 1：WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTST	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0：IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1：IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0：電圧監視1割り込み要求なし 1：電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0：電圧監視2割り込み要求なし 1：電圧監視2割り込み要求あり	R
b6	RAMST	RAMエラー割り込みステータスフラグ	0：RAMエラー割り込み要求なし 1：RAMエラー割り込み要求あり	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込みの有無を示すレジスタです。

NMIER レジスタの対応するビットが “0” であっても、NMISR レジスタの各フラグには影響がありません。

ノンマスカブル割り込みの処理ルーチンでは、NMISR レジスタを読み出して他のノンマスカブル割り込みの発生状況を確認し、すべてのステータスフラグが “0” であることを確認してから、処理を終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求の有無を示します。

NMIST フラグは読み出しのみ可能です。NMIST フラグを “0” にするには、NMICLR.NMICLR ビットを “1” にします。

[“1” になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0” になる条件]

- NMICLR.NMICLR ビットに “1” を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求の有無を示します。

OSTST フラグは読み出しのみ可能です。OSTST フラグを “0” にするには、NMICLR.OSTCLR ビットを “1” にします。

[“1” になる条件]

- 発振停止検出割り込みが発生したとき

[“0” になる条件]

- NMICLR.OSTCLR ビットに “1” を書いたとき

WDTST フラグ (WDT アンダフロー / リフレッシュエラーステータスフラグ)

WDT アンダフロー / リフレッシュエラー割り込み要求の有無を示します。

WDTST フラグは読み出しのみ可能です。WDTST フラグを “0” にするには、NMICLR.WDTCLR ビットを “1” にします。

[“1” になる条件]

- WDT リセットコントロールレジスタ (WDTRCR) の RSTIRQS ビットが “0” の場合に、WDT アンダフロー / リフレッシュエラー割り込みが発生したとき

[“0” になる条件]

- NMICLR.WDTCLR ビットに “1” を書いたとき

IWDTST フラグ (IWDT アンダフロー / リフレッシュエラーステータスフラグ)

IWDT アンダフロー / リフレッシュエラー割り込み要求の有無を示します。

IWDTST フラグは読み出しのみ可能です。IWDTST フラグを “0” にするには、NMICLR.IWDTCLR ビットを “1” にします。

[“1” になる条件]

- IWDT リセットコントロールレジスタ (IWDTRCR) の RSTIRQS ビットが “0” の場合に、IWDT アンダフロー / リフレッシュエラー割り込みが発生したとき

[“0” になる条件]

- NMICLR.IWDTCLR ビットに “1” を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータス フラグ)

電圧監視 1 割り込み要求の有無を示します。

LVD1ST フラグは読み出しのみ可能です。LVD1ST フラグを “0” にするには、NMICLR.LVD1CLR ビットを “1” にします。

[“1” になる条件]

- 電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビットが “0” の場合に、電圧監視 1 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD1CLR ビットに “1” を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータス フラグ)

電圧監視 2 割り込み要求の有無を示します。

LVD2ST フラグは読み出しのみ可能です。LVD2ST フラグを “0” にするには、NMICLR.LVD2CLR ビットを “1” にします。

[“1” になる条件]

- 電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットが “0” の場合に、電圧監視 2 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD2CLR ビットに “1” を書いたとき

RAMST フラグ (RAM エラー割り込みステータスフラグ)

RAM からの RAM エラー割り込み要求の有無を示します。

RAMST フラグは読み出しのみ可能です。RAMST フラグを “0” にするには、RAM のエラーステータスフラグをすべてクリアしてください。詳細は「47.3.2　RAM エラー割り込み機能」を参照してください。

[“1” になる条件]

- パリティチェックエラー割り込みが発生したとき (RAM.RAMSTS.RAMERR フラグが “1” になったとき)

[“0” になる条件]

- RAMST フラグを “1” にした要因すべてがクリアされたとき

14.2.15 ノンマスカブル割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	RAMEN	LVD2EN	LVD1EN	IWDTEN	WDTEN	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0：NMI端子割り込み禁止 1：NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0：発振停止検出割り込み禁止 1：発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0：WDTアンダフロー/リフレッシュエラー割り込み禁止 1：WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0：IWDTアンダフロー/リフレッシュエラー割り込み禁止 1：IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0：電圧監視1割り込み禁止 1：電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0：電圧監視2割り込み禁止 1：電圧監視2割り込み許可	R/(W) (注1)
b6	RAMEN	RAMエラー割り込み許可ビット	0：RAMエラー割り込み禁止 1：RAMエラー割り込み許可	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

NMIER レジスタは、ノンマスカブル割り込みの生成を許可または禁止するレジスタです。各ビットが “1” の場合、対応する割り込み要因はノンマスカブル割り込みとして使用されます。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可または禁止するビットです。

OSTEN ビット (発振停止検出割り込み許可 ビット)

発振停止検出割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。

マスカブル割り込みとして使用する場合は、“0” のままにしてください。

WDTEN ビット (WDT アンダフロー / リフレッシュエラー許可ビット)

WDT アンダフロー / リフレッシュエラー割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。

マスカブル割り込みとして使用する場合は、“0” のままにしてください。

IWDTEN ビット (IWDT アンダフロー / リフレッシュエラー許可ビット)

IWDT アンダフロー / リフレッシュエラー割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。

マスカブル割り込みとして使用する場合は、“0” のままにしてください。

LVD1EN ビット (電圧監視 1 割り込み許可ビット)

電圧監視 1 割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。
マスカブル割り込みとして使用する場合は、“0” のままにしてください。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。
マスカブル割り込みとして使用する場合は、“0” のままにしてください。

RAMEN ビット (RAM エラー割り込み許可ビット)

RAM エラー割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。
マスカブル割り込みとして使用する場合は、“0” のままにしてください。

14.2.16　ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)

アドレス　ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2CLR	LVD1CLR	IWDTCLR	WDTCLR	OSTCLR	NMICLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.NMISTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b1	OSTCLR	OSTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.OSTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b2	WDTCLR	WDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.WDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b3	IWDTCLR	IWDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.IWDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD1STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD2STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICLR レジスタは、NMISR レジスタの各フラグをクリアするためのレジスタです。
各ビットに “1” を書くと対応するステータスフラグが “0” になります。

14.2.17　NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス　ICU.NMICR 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタは、NMI 端子割り込みの検出方法を選択するレジスタです。
NMICR レジスタへの書き込みは、NMIER.NMIEN ビットが “0” のときに行ってください。

14.2.18　NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス　ICU.NMIFLTE 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTE レジスタは、NMI 端子のデジタルフィルタを有効または無効にするレジスタです。

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NFLTEN ビットが “1” のとき、デジタルフィルタが有効になります。NFLTEN ビットが “0” のとき、デジタルフィルタは無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックで NMI 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6　**デジタルフィルタ**」を参照してください。

14.2.19　NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス　ICU.NMIFLTC 0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0：PCLKB 0 1：PCLKB/8 1 0：PCLKB/32 1 1：PCLKB/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTC レジスタは、NMI 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタ サンプリングクロック設定ビット)

NMI 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

デジタルフィルタの詳細は、「14.7.6　**デジタルフィルタ**」を参照してください。

14.2.20 グループ BL0/BL1/BL2 割り込み要求レジスタ (GRPBL0/GRPBL1/GRPBL2)、グループ AL0/AL1 割り込み要求レジスタ (GRPAL0/GRPAL1)

アドレス　ICU.GRPBL0 0008 7630h, ICU.GRPBL1 0008 7634h, ICU.GRPBL2 0008 7638h, ICU.GRPAL0 0008 7830h, ICU.GRPAL1 0008 7834h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IS31	IS30	IS29	IS28	IS27	IS26	IS25	IS24	IS23	IS22	IS21	IS20	IS19	IS18	IS17	IS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ0	0：割り込み要求なし 1：割り込み要求あり	R
b1	IS1	割り込みステータスフラグ1		R
b2	IS2	割り込みステータスフラグ2		R
b3	IS3	割り込みステータスフラグ3		R
b4	IS4	割り込みステータスフラグ4		R
b5	IS5	割り込みステータスフラグ5		R
b6	IS6	割り込みステータスフラグ6		R
b7	IS7	割り込みステータスフラグ7		R
b8	IS8	割り込みステータスフラグ8		R
b9	IS9	割り込みステータスフラグ9		R
b10	IS10	割り込みステータスフラグ10		R
b11	IS11	割り込みステータスフラグ11		R
b12	IS12	割り込みステータスフラグ12		R
b13	IS13	割り込みステータスフラグ13		R
b14	IS14	割り込みステータスフラグ14		R
b15	IS15	割り込みステータスフラグ15		R
b16	IS16	割り込みステータスフラグ16		R
b17	IS17	割り込みステータスフラグ17		R
b18	IS18	割り込みステータスフラグ18		R
b19	IS19	割り込みステータスフラグ19		R
b20	IS20	割り込みステータスフラグ20		R
b21	IS21	割り込みステータスフラグ21		R
b22	IS22	割り込みステータスフラグ22		R
b23	IS23	割り込みステータスフラグ23		R
b24	IS24	割り込みステータスフラグ24		R
b25	IS25	割り込みステータスフラグ25		R
b26	IS26	割り込みステータスフラグ26		R
b27	IS27	割り込みステータスフラグ27		R
b28	IS28	割り込みステータスフラグ28		R
b29	IS29	割り込みステータスフラグ29		R
b30	IS30	割り込みステータスフラグ30		R
b31	IS31	割り込みステータスフラグ31		R

これらのレジスタは、グループ化された割り込み要因の各割り込み要求ステータスを示すレジスタです。

GRPBL0、GRPBL1、GRPBL2 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKB である割り込み要因の割り込みステータスで構成されています。

GRPAL0、GRPAL1 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKA である割り込み要因の割り込みステータスで構成されています。

これらのレジスタを総称して、「グループ割り込み要求レジスタ」と呼称します。

グループ割り込みの詳細は**「14.4.4　グループ割り込み」**を参照してください。

ISj フラグ (割り込みステータスフラグ j) (j = 0 ～ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求ステータスフラグです。

対応するグループ割り込み要求許可レジスタの ENj ビットが “1” のときのみ、ISj フラグが “1” になります。いずれかの ISj フラグが “1” になると、そのグループ割り込みに対応する IRn.IR フラグ (n = 016 ～ 255) が “1” になります。

(1)　グループ BL0/BL1/BL2 の場合

[“1” になる条件]

- GRPBL0/GRPBL1/GRPBL2.ISj フラグは、GENBL0/GENBL1/GENBL2.ENj ビットが “1” で、かつ対応する周辺モジュールの割り込み要求が発生している間、“1” になります。

[“0” になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると “0” になります。
- GRPBL0/GRPBL1/GRPBL2.ISj フラグは、GENBL0/GENBL1/GENBL2.ENj ビットを “0” にすると、“0” になります。

(2)　グループ AL0/AL1 の場合

[“1” になる条件]

- GRPAL0/GRPAL1.ISj フラグは、GENAL0/GENAL1.ENj ビットが “1” で、かつ対応する周辺モジュールの割り込み要求が発生している間、“1” になります。

[“0” になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると “0” になります。
- GRPAL0/GRPAL1.ISj フラグは、GENAL0/GENAL1.ENj ビットを “0” にすると、“0” になります。

14.2.21 グループ BL0/BL1/BL2 割り込み要求許可レジスタ (GENBL0/GENBL1/GENBL2)、グループ AL0/AL1 割り込み要求許可レジスタ (GENAL0/GENAL1)

アドレス　ICU.GENBL0 0008 7670h, ICU.GENBL1 0008 7674h, ICU.GENBL2 0008 7678h, ICU.GENAL0 0008 7870h, ICU.GENAL1 0008 7874h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EN31	EN30	EN29	EN28	EN27	EN26	EN25	EN24	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット1		R/W
b2	EN2	割り込み要求許可ビット2		R/W
b3	EN3	割り込み要求許可ビット3		R/W
b4	EN4	割り込み要求許可ビット4		R/W
b5	EN5	割り込み要求許可ビット5		R/W
b6	EN6	割り込み要求許可ビット6		R/W
b7	EN7	割り込み要求許可ビット7		R/W
b8	EN8	割り込み要求許可ビット8		R/W
b9	EN9	割り込み要求許可ビット9		R/W
b10	EN10	割り込み要求許可ビット10		R/W
b11	EN11	割り込み要求許可ビット11		R/W
b12	EN12	割り込み要求許可ビット12		R/W
b13	EN13	割り込み要求許可ビット13		R/W
b14	EN14	割り込み要求許可ビット14		R/W
b15	EN15	割り込み要求許可ビット15		R/W
b16	EN16	割り込み要求許可ビット16		R/W
b17	EN17	割り込み要求許可ビット17		R/W
b18	EN18	割り込み要求許可ビット18		R/W
b19	EN19	割り込み要求許可ビット19		R/W
b20	EN20	割り込み要求許可ビット20		R/W
b21	EN21	割り込み要求許可ビット21		R/W
b22	EN22	割り込み要求許可ビット22		R/W
b23	EN23	割り込み要求許可ビット23		R/W
b24	EN24	割り込み要求許可ビット24		R/W
b25	EN25	割り込み要求許可ビット25		R/W
b26	EN26	割り込み要求許可ビット26		R/W
b27	EN27	割り込み要求許可ビット27		R/W
b28	EN28	割り込み要求許可ビット28		R/W
b29	EN29	割り込み要求許可ビット29		R/W
b30	EN30	割り込み要求許可ビット30		R/W
b31	EN31	割り込み要求許可ビット31		R/W

注.　各ビットに対応する割り込み要因が存在しない(予約になっている)場合、当該ビットは“0”にしてください。

これらのレジスタは、グループ化された割り込み要因の各割り込み要求が発生したときに、グループ割り

込み要求レジスタの ISj フラグを “1” にするかどうかを選択するレジスタです。これらのレジスタを総称して、「グループ割り込み要求許可レジスタ」と呼称します。

GENBL0/GENBL1/GENBL2 レジスタは GRPBL0/GRPBL1/GRPBL2 レジスタの ISj フラグ、GENAL0/GENAL1 レジスタは GRPAL0/GRPAL1 レジスタの ISj フラグを制御します。

グループ割り込みの詳細は**「14.4.4　グループ割り込み」**を参照してください。

ENj ビット (割り込み要求許可ビット j) (j = 0 ～ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求が発生したとき、対応するグループ割り込み要求レジスタの ISj フラグを “1” にするかどうかを選択するビットです。

(1)　グループ BL0/BL1/BL2 の場合

GENBL0/GENBL1/GENBL2.ENj ビットが “1” のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPBL0/GRPBL1/GRPBL2.ISj フラグが “1” になります。ENj ビットが “0” のとき、GRPBL0/GRPBL1/GRPBL2.ISj フラグは “1” になりません。

ENj ビットを “0” にすると、GRPBL0/GRPBL1/GRPBL2.ISj フラグが “0” になります。

(2)　グループ AL0/AL1 の場合

GENAL0/GENAL1.ENj ビットが “1” のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPAL0/GRPAL1.ISj フラグが “1” になります。ENj ビットが “0” のとき、GRPAL0/GRPAL1.ISj フラグは “1” になりません。

ENj ビットを “0” にすると、GRPAL0/GRPAL1.ISj フラグが “0” になります。

14.2.22 選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ～ Fh, 12h ～ 14h)

アドレス ICU.PIAR0 0008 7900h, ICU.PIAR1 0008 7901h, ICU.PIAR2 0008 7902h, ICU.PIAR3 0008 7903h, ICU.PIAR4 0008 7904h, ICU.PIAR5 0008 7905h, ICU.PIAR6 0008 7906h, ICU.PIAR7 0008 7907h, ICU.PIAR8 0008 7908h, ICU.PIAR9 0008 7909h, ICU.PIARA 0008 790Ah, ICU.PIARB 0008 790Bh, ICU.PIARC 0008 790Ch, ICU.PIARD 0008 790Dh, ICU.PIARE 0008 790Eh, ICU.PIARF 0008 790Fh, ICU.PIAR12 0008 7912h, ICU.PIAR13 0008 7913h, ICU.PIAR14 0008 7914h

	b7	b6	b5	b4	b3	b2	b1	b0
	PIR7	PIR6	PIR5	PIR4	PIR3	PIR2	PIR1	PIR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIR0	選択型割り込みAステータスフラグ0	【読み出し時】 0：割り込み要求なし 1：割り込み要求あり 【書き込み時】(注1) 0：無視されます 1：選択型割り込みAステータスフラグをクリアします	R/W
b1	PIR1	選択型割り込みAステータスフラグ1		R/W
b2	PIR2	選択型割り込みAステータスフラグ2		R/W
b3	PIR3	選択型割り込みAステータスフラグ3		R/W
b4	PIR4	選択型割り込みAステータスフラグ4		R/W
b5	PIR5	選択型割り込みAステータスフラグ5		R/W
b6	PIR6	選択型割り込みAステータスフラグ6		R/W
b7	PIR7	選択型割り込みAステータスフラグ7		R/W

注1. ビット操作命令は使用しないでください。ビット操作命令を使用すると、複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを“1”、その他のフラグを“0”にして8ビット単位で書いてください。

選択型割り込み A に分類された割り込み要因の各割り込み要求をソフトウェアでポーリングするために使用するレジスタです。SLIARn レジスタに設定した選択型割り込み A の割り込み要求については、対応する IRn.IR フラグ (n = 208 ～ 255) でポーリングしてください。

選択型割り込み A の割り込み要因番号と割り込み要因の対応は「表 14.3 選択型割り込み A 要因一覧」を参照してください。

PIRj フラグ (選択型割り込み A ステータスフラグ j) (j = 0 ～ 7)

選択型割り込み A に分類された割り込み要因の割り込み要求が発生すると、SLIARn レジスタにその割り込み要因が指定されているかどうかに関わらず、対応する PIARk.PIRj フラグが “1” になります。

割り込み要求が要求先 (CPU, DTC, DMAC) に受け付けられても、PIRj フラグは “0” になりませんが、そのままでも割り込み要求の生成には影響しません。

PIRj フラグをポーリングして使用する場合は、事前に PIRj フラグに “1” を書いてフラグの値を “0” にしてから使用してください。

[“1” になる条件]

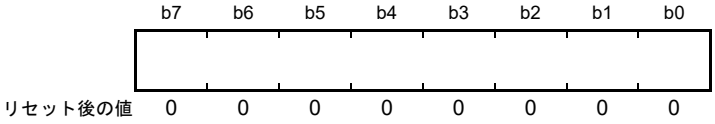
- 割り込み要求が発生したとき

[“0” になる条件]

- PIARk.PIRj フラグに “1” を書いたとき

14.2.23　選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ～ 255)

アドレス　ICU.SLIAR208 0008 79D0h～ICU.SLIAR255 0008 79FFh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h：割り込み要因を選択しない 01h：割り込み要因番号1 ：　　： FEh：割り込み要因番号254 FFh：割り込み要因を選択しない	R/(W) (注1)

注1.　SLIPRCR.WPRC ビットが“1”のとき、書き込みは無視されます。

SLIARn レジスタは、208 番から 255 番までの割り込みベクタ番号に、選択型割り込み A に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み要因 A に分類された割り込み要因の一覧を**「表 14.3　選択型割り込み A 要因一覧」**に示します。SLIARn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h” または “FFh” を指定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

同じ割り込み要因を、複数の SLIARn レジスタに重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC 起動の可否については、**「表 14.3　選択型割り込み A 要因一覧」**を参照してください。

選択型割り込みの設定手順については**「14.7.7　選択型割り込みの設定手順」**を参照してください。

表14.3　選択型割り込みA要因一覧 (1 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
0	—	なし	割り込み選択なし(初期値)	×	×	PIAR0.PIR0
1	エッジ	MTU0	TGIA0 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR1
2			TGIB0 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR2
3			TGIC0 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR3
4			TGID0 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR4
5			TCIV0 (TCNTのオーバフロー)	×	×	PIAR0.PIR5
6			TGIE0 (TGREのコンペアマッチ)	×	×	PIAR0.PIR6
7			TGIF0 (TGRFのコンペアマッチ)	×	×	PIAR0.PIR7
8		MTU1	TGIA1 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR0
9			TGIB1 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR1
10			TCIV1 (TCNTのオーバフロー)	×	×	PIAR1.PIR2
11			TCIU1 (TCNTのアンダフロー)	×	×	PIAR1.PIR3
12		MTU2	TGIA2 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR4
13			TGIB2 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR5
14			TCIV2 (TCNTのオーバフロー)	×	×	PIAR1.PIR6
15			TCIU2 (TCNTのアンダフロー)	×	×	PIAR1.PIR7
16		MTU3	TGIA3 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR0
17			TGIB3 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR1
18			TGIC3 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR2
19			TGID3 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR3
20			TCIV3 (TCNTのオーバフロー)	×	×	PIAR2.PIR4
21		MTU4	TGIA4 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR5
22			TGIB4 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR6
23			TGIC4 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR7
24			TGID4 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR0
25			TCIV4 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR3.PIR1
26		予約	—	×	×	PIAR3.PIR2
27		MTU5	TGIU5 (TGRUのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR3
28			TGIV5 (TGRVのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR4
29			TGIW5 (TGRWのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR5
30		MTU6	TGIA6 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR6
31			TGIB6 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR7
32			TGIC6 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR0
33			TGID6 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR1
34			TCIV6 (TCNTのオーバフロー)	×	×	PIAR4.PIR2
35		MTU7	TGIA7 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR3
36			TGIB7 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR4
37			TGIC7 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR5
38			TGID7 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR6
39			TCIV7 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR4.PIR7
40 ～ 46		予約	—	×	×	—

表14.3　選択型割り込みA要因一覧 (2 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
47	エッジ	MTU9	TGIA9 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR7
48			TGIB9 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR6.PIR0
49			TGIC9 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR6.PIR1
50			TGID9 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR6.PIR2
51			TCIV9 (TCNTのオーバフロー)	×	×	PIAR6.PIR3
52			TGIE9 (TGREのコンペアマッチ)	×	×	PIAR6.PIR4
53			TGIF9 (TGRFのコンペアマッチ)	×	×	PIAR6.PIR5
54, 55		予約	—	×	×	—
56		GPTW0	GTCIA0 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR7.PIR0
57			GTCIB0 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR7.PIR1
58			GTCIC0 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR7.PIR2
59			GTCID0 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR7.PIR3
60			GDTE0 (デッドタイムエラー)	×	×	PIAR7.PIR4
61			GTCIE0 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR7.PIR5
62			GTCIF0 (GTCCRFレジスタのコンペアマッチ)	○	○	PIAR7.PIR6
63			GTCIV0 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIAR7.PIR7
64			GTCIU0 (GTCNTカウンタのアンダフロー)	○	○	PIAR8.PIR0
65		GPTW1	GTCIA1 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR8.PIR1
66			GTCIB1 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR8.PIR2
67			GTCIC1 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR8.PIR3
68			GTCID1 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR8.PIR4
69			GDTE1 (デッドタイムエラー)	×	×	PIAR8.PIR5
70			GTCIE1 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR8.PIR6
71			GTCIF1 (GTCCRFレジスタのコンペアマッチ)	○	○	PIAR8.PIR7
72			GTCIV1 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIAR9.PIR0
73			GTCIU1 (GTCNTカウンタのアンダフロー)	○	○	PIAR9.PIR1
74		GPTW2	GTCIA2 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR9.PIR2
75			GTCIB2 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR9.PIR3
76			GTCIC2 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR9.PIR4
77			GTCID2 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR9.PIR5
78			GDTE2 (デッドタイムエラー)	×	×	PIAR9.PIR6
79			GTCIE2 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR9.PIR7
80			GTCIF2 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARA.PIR0
81			GTCIV2 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARA.PIR1
82			GTCIU2 (GTCNTカウンタのアンダフロー)	○	○	PIARA.PIR2

表14.3　選択型割り込みA要因一覧 (3 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
83	エッジ	GPTW3	GTCIA3 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARA.PIR3
84			GTCIB3 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARA.PIR4
85			GTCIC3 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARA.PIR5
86			GTCID3 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARA.PIR6
87			GDTE3 (デッドタイムエラー)	×	×	PIARA.PIR7
88			GTCIE3 (GTCCREレジスタのコンペアマッチ)	○	○	PIARB.PIR0
89			GTCIF3 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARB.PIR1
90			GTCIV3 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARB.PIR2
91			GTCIU3 (GTCNTカウンタのアンダフロー)	○	○	PIARB.PIR3
92		GPTW4	GTCIA4 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARB.PIR4
93			GTCIB4 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARB.PIR5
94			GTCIC4 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARB.PIR6
95			GTCID4 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARB.PIR7
96			GDTE4 (デッドタイムエラー)	×	×	PIARC.PIR0
97			GTCIE4 (GTCCREレジスタのコンペアマッチ)	○	○	PIARC.PIR1
98			GTCIF4 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARC.PIR2
99			GTCIV4 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARC.PIR3
100			GTCIU4 (GTCNTカウンタのアンダフロー)	○	○	PIARC.PIR4
101		GPTW5	GTCIA5 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARC.PIR5
102			GTCIB5 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARC.PIR6
103			GTCIC5 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARC.PIR7
104			GTCID5 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARD.PIR0
105			GDTE5 (デッドタイムエラー)	×	×	PIARD.PIR1
106			GTCIE5 (GTCCREレジスタのコンペアマッチ)	○	○	PIARD.PIR2
107			GTCIF5 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARD.PIR3
108			GTCIV5 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARD.PIR4
109			GTCIU5 (GTCNTカウンタのアンダフロー)	○	○	PIARD.PIR5
110		GPTW6	GTCIA6 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARD.PIR6
111			GTCIB6 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARD.PIR7
112			GTCIC6 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARE.PIR0
113			GTCID6 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARE.PIR1
114			GDTE6 (デッドタイムエラー)	×	×	PIARE.PIR2
115			GTCIE6 (GTCCREレジスタのコンペアマッチ)	○	○	PIARE.PIR3
116			GTCIF6 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARE.PIR4
117			GTCIV6 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARE.PIR5
118			GTCIU6 (GTCNTカウンタのアンダフロー)	○	○	PIARE.PIR6

表14.3　選択型割り込みA要因一覧 (4 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
119	エッジ	GPTW7	GTCIA7 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARE.PIR7
120			GTCIB7 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARF.PIR0
121			GTCIC7 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARF.PIR1
122			GTCID7 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARF.PIR2
123			GDTE7 (デッドタイムエラー)	×	×	PIARF.PIR3
124			GTCIE7 (GTCCREレジスタのコンペアマッチ)	○	○	PIARF.PIR4
125			GTCIF7 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARF.PIR5
126			GTCIV7 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARF.PIR6
127			GTCIU7 (GTCNTカウンタのアンダフロー)	○	○	PIARF.PIR7
128 ～ 145		予約	—	×	×	—
146		RSPIA0	SPCI (通信完了)	×	×	PIAR12.PIR2
147		RSPI0	SPCI0 (通信完了)	×	×	PIAR12.PIR3
148 ～ 150		予約	—	×	×	—
151		RSCI11	AED (有効エッジ検出)	×	×	PIAR12.PIR7
152		CANFD	EC1EI (1ビットECCエラー)	×	×	PIAR13.PIR0
153			EC2EI (2ビットECCエラー)	×	×	PIAR13.PIR1
154			ECOVI (ECCオーバフロー)	×	×	PIAR13.PIR2
155 ～ 159		予約	—	×	×	—
160		GPTW0	GTCEI0 (サイクルカウント終了)	×	×	PIAR14.PIR0
161		GPTW1	GTCEI1 (サイクルカウント終了)	×	×	PIAR14.PIR1
162		GPTW2	GTCEI2 (サイクルカウント終了)	×	×	PIAR14.PIR2
163		GPTW3	GTCEI3 (サイクルカウント終了)	×	×	PIAR14.PIR3
164		GPTW4	GTCEI4 (サイクルカウント終了)	×	×	PIAR14.PIR4
165		GPTW5	GTCEI5 (サイクルカウント終了)	×	×	PIAR14.PIR5
166		GPTW6	GTCEI6 (サイクルカウント終了)	×	×	PIAR14.PIR6
167		GPTW7	GTCEI7 (サイクルカウント終了)	×	×	PIAR14.PIR7
168 ～ 254		予約	—	×	×	—
255	—	なし	割り込み選択なし	×	×	—

14.2.24 選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR)

アドレス ICU.SLIPRCR 0008 7A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	WPRC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WPRC	選択型割り込み要因選択レジスタ書き込み保護ビット	0：書き込み許可 1：書き込み禁止	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください。	R

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

SLIPRCR レジスタは、選択型割り込みの割り当てを制御するレジスタへの書き込みを保護するレジスタです。

WPRC ビット (選択型割り込み要因選択レジスタ書き込み保護ビット)

SLIARn レジスタへの書き込みを禁止するビットです。

一度 “1” にすると、ソフトウェアでは “0” にできません。

選択型割り込みの割り当てを行った後、対応する割り込み要求が発生する前に、WPRC ビットが “1” になっていることを確認してください。選択型割り込みの設定手順については**「14.7.7 選択型割り込みの設定手順」**を参照してください。

14.3 ベクタテーブル

割り込みコントローラが検出する例外事象には、マスカブル割り込み (以後単に「割り込み」) とノンマスカブル割り込みの 2 種類があります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから 4 バイトの割り込みベクタを取得します。

14.3.1 割り込みのベクタテーブル

マスカブル割り込みが使用するベクタテーブルを割り込みベクタテーブルと言います。

割り込みベクタテーブルは、CPU の割り込みテーブルレジスタ (INTB) に設定したアドレスを先頭とする 1024 バイト (4 バイト × 256 要因) の領域に配置されます。INTB レジスタは割り込みを許可する前に設定してください。また、INTB レジスタには 4 の倍数を設定してください。

なお、INT 命令および BRK 命令を実行すると無条件トラップが発生します。無条件トラップの割り込みベクタは、割り込みベクタテーブルと同じ領域を使用します。BRK 命令は割り込みベクタ番号 0、INT 命令はオペランドに指定した値 (0 ～ 255) に一致する割り込みベクタ番号が割り当てられます。

表 14.4 に割り込みベクタテーブルを示します。**表 14.4** の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称(モジュールシンボル)を示します
名称	割り込み要因の名称(略称)を示します
ベクタ番号	割り込みベクタ番号を示します
ベクタアドレスオフセット	INTB レジスタに設定したアドレスからのオフセット値を示します
割り込み検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPUへの割り込み要因に使用できる割り込み要因を“○”で示します
DTC起動	DTCの起動要因に使用できる割り込み要因を“○”で示します
DMAC起動	DMACの起動要因に使用できる割り込み要因を“○”で示します
SSBY復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
ACS復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	各割り込みベクタ番号に対応するIERレジスタのビットを示します
IPR	各割り込み要因に対応するIPRレジスタを示します
DTCER	各DTC起動要因に対応するDTCERレジスタを示します

表14.4　割り込みベクタテーブル (1 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	×	×	IER02.IEN0	IPR000	—
ICU (注1)	GROUPIE0	17	0044h	レベル	○	×	×	×	×	IER02.IEN1	IPR000	—
RAM	RAMERR (注2)	18	0048h	レベル	○	×	×	×	×	IER02.IEN2	IPR000	—
—	予約	19	004Ch	—	×	×	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	×	×	—	—	—
FCU	FIFERR	21	0054h	レベル	○	×	×	×	×	IER02.IEN5	IPR001	—
—	予約	22	0058h	—	×	×	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	×	×	—	—	—
ICU	SWINT2	26	0068h	エッジ	○	○	×	×	×	IER03.IEN2	IPR003	DTCER026
	SWINT	27	006Ch	エッジ	○	○	×	×	×	IER03.IEN3		DTCER027
CMT0	CMI0 (OS用)	28	0070h	エッジ	○	○	○	×	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	×	×	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	○	×	×	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	○	×	×	IER03.IEN7	IPR007	DTCER031
—	予約	32	0080h	—	×	×	×	×	×	—	—	—
—	予約	33	0084h	—	×	×	×	×	×	—	—	—
—	予約	34	0088h	—	×	×	×	×	×	—	—	—
—	予約	35	008Ch	—	×	×	×	×	×	—	—	—
—	予約	36	0090h	—	×	×	×	×	×	—	—	—
—	予約	37	0094h	—	×	×	×	×	×	—	—	—
RSPI0	SPRI0	38	0098h	エッジ	○	○	○	×	×	IER04.IEN6	IPR038	DTCER038
	SPTI0	39	009Ch	エッジ	○	○	○	×	×	IER04.IEN7	IPR039	DTCER039
RI3C0	RESPI	40	00A0h	エッジ	○	○	○	×	×	IER05.IEN0	IPR040	DTCER040
	CMDI	41	00A4h	エッジ	○	○	○	×	×	IER05.IEN1	IPR041	DTCER041
	IBII	42	00A8h	エッジ	○	○	○	×	×	IER05.IEN2	IPR042	DTCER042
	RCVI	43	00ACh	エッジ	○	○	○	×	×	IER05.IEN3	IPR043	DTCER043
—	予約	44	00B0h	—	×	×	×	×	×	—	—	—

表14.4　割り込みベクタテーブル (2 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	45	00B4h	—	×	×	×	×	×	—	—	—
—	予約	46	00B8h	—	×	×	×	×	×	—	—	—
—	予約	47	00BCh	—	×	×	×	×	×	—	—	—
RSPIA0	SPRI	48	00C0h	エッジ	○	○	○	×	×	IER06.IEN0	IPR048	DTCER048
	SPTI	49	00C4h	エッジ	○	○	○	×	×	IER06.IEN1	IPR049	DTCER049
—	予約	50	00C8h	—	×	×	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	×	×	—	—	—
RIIC0	RXI0	52	00D0h	エッジ	○	○	○	×	×	IER06.IEN4	IPR052	DTCER052
	TXI0	53	00D4h	エッジ	○	○	○	×	×	IER06.IEN5	IPR053	DTCER053
—	予約	54	00D8h	—	×	×	×	×	×	—	—	—
—	予約	55	00DCh	—	×	×	×	×	×	—	—	—
—	予約	56	00E0h	—	×	×	×	×	×	—	—	—
—	予約	57	00E4h	—	×	×	×	×	×	—	—	—
—	予約	58	00E8h	—	×	×	×	×	×	—	—	—
—	予約	59	00ECh	—	×	×	×	×	×	—	—	—
SCI1	RXI1	60	00F0h	エッジ	○	○	○	×	×	IER07.IEN4	IPR060	DTCER060
	TXI1	61	00F4h	エッジ	○	○	○	×	×	IER07.IEN5	IPR061	DTCER061
—	予約	62	00F8h	—	×	×	×	×	×	—	—	—
—	予約	63	00FCh	—	×	×	×	×	×	—	—	—
ICU	IRQ0	64	0100h	エッジ / レベル	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ / レベル	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ / レベル	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ / レベル	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ / レベル	○	○	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ / レベル	○	○	○	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ / レベル	○	○	○	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ / レベル	○	○	○	○	○	IER08.IEN7	IPR071	DTCER071
	IRQ8	72	0120h	エッジ / レベル	○	○	○	○	○	IER09.IEN0	IPR072	DTCER072
	IRQ9	73	0124h	エッジ / レベル	○	○	○	○	○	IER09.IEN1	IPR073	DTCER073
	IRQ10	74	0128h	エッジ / レベル	○	○	○	○	○	IER09.IEN2	IPR074	DTCER074
	IRQ11	75	012Ch	エッジ / レベル	○	○	○	○	○	IER09.IEN3	IPR075	DTCER075
	IRQ12	76	0130h	エッジ / レベル	○	○	○	○	○	IER09.IEN4	IPR076	DTCER076
	IRQ13	77	0134h	エッジ / レベル	○	○	○	○	○	IER09.IEN5	IPR077	DTCER077
	IRQ14	78	0138h	エッジ / レベル	○	○	○	○	○	IER09.IEN6	IPR078	DTCER078
	IRQ15	79	013Ch	エッジ / レベル	○	○	○	○	○	IER09.IEN7	IPR079	DTCER079
—	予約	80	0140h	—	×	×	×	×	×	—	—	—

表14.4　割り込みベクタテーブル (3 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	81	0144h	—	×	×	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	×	—	—	—
SCI5	RXI5	84	0150h	エッジ	○	○	○	×	×	IER0A.IEN4	IPR084	DTCER084
	TXI5	85	0154h	エッジ	○	○	○	×	×	IER0A.IEN5	IPR085	DTCER085
SCI6	RXI6	86	0158h	エッジ	○	○	○	×	×	IER0A.IEN6	IPR086	DTCER086
	TXI6	87	015Ch	エッジ	○	○	○	×	×	IER0A.IEN7	IPR087	DTCER087
LVD1	LVD1	88	0160h	エッジ	○	×	×	○	○	IER0B.IEN0	IPR088	—
LVD2	LVD2	89	0164h	エッジ	○	×	×	○	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	×	×	×	×	×	—	—	—
—	予約	91	016Ch	—	×	×	×	×	×	—	—	—
—	予約	92	0170h	—	×	×	×	×	×	—	—	—
—	予約	93	0174h	—	×	×	×	×	×	—	—	—
—	予約	94	0178h	—	×	×	×	×	×	—	—	—
IWDT	IWUNI (注2)	95	017Ch	エッジ	○	×	×	○	○	IER0B.IEN7	IPR095	—
WDT	WUNI (注2)	96	0180h	エッジ	○	×	×	×	×	IER0C.IEN0	IPR096	—
—	予約	97	0184h	—	×	×	×	×	×	—	—	—
—	予約	98	0188h	—	×	×	×	×	×	—	—	—
—	予約	99	018Ch	—	×	×	×	×	×	—	—	—
RSCI8	RXI	100	0190h	エッジ	○	○	○	×	×	IER0C.IEN4	IPR100	DTCER100
	TXI	101	0194h	エッジ	○	○	○	×	×	IER0C.IEN5	IPR101	DTCER101
RSCI9	RXI	102	0198h	エッジ	○	○	○	×	×	IER0C.IEN6	IPR102	DTCER102
	TXI	103	019Ch	エッジ	○	○	○	×	×	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	×	×	×	×	×	—	—	—
—	予約	105	01A4h	—	×	×	×	×	×	—	—	—
ICU (注1)	GROUPBE0	106	01A8h	レベル	○	×	×	×	×	IER0D.IEN2	IPR106	—
	GROUPBL2	107	01ACh	レベル	○	×	×	×	×	IER0D.IEN3	IPR107	—
	予約	108	01B0h	—	×	×	×	×	×	—	—	—
	予約	109	01B4h	—	×	×	×	×	×	—	—	—
	GROUPBL0	110	01B8h	レベル	○	×	×	×	×	IER0D.IEN6	IPR110	—
	GROUPBL1	111	01BCh	レベル	○	×	×	×	×	IER0D.IEN7	IPR111	—
	GROUPAL0	112	01C0h	レベル	○	×	×	×	×	IER0E.IEN0	IPR112	—
	GROUPAL1	113	01C4h	レベル	○	×	×	×	×	IER0E.IEN1	IPR113	—
RSCI11	RXI	114	01C8h	エッジ	○	○	○	×	×	IER0E.IEN2	IPR114	DTCER114
	TXI	115	01CCh	エッジ	○	○	○	×	×	IER0E.IEN3	IPR115	DTCER115
SCI12	RXI12	116	01D0h	エッジ	○	○	○	×	×	IER0E.IEN4	IPR116	DTCER116
	TXI12	117	01D4h	エッジ	○	○	○	×	×	IER0E.IEN5	IPR117	DTCER117
RI3C0	RXI	118	01D8h	エッジ	○	○	○	×	×	IER0E.IEN6	IPR118	DTCER118
	TXI	119	01DCh	エッジ	○	○	○	×	×	IER0E.IEN7	IPR119	DTCER119
DMAC	DMAC0I	120	01E0h	エッジ	○	○	×	×	×	IER0F.IEN0	IPR120	DTCER120
	DMAC1I	121	01E4h	エッジ	○	○	×	×	×	IER0F.IEN1	IPR121	DTCER121
	DMAC2I	122	01E8h	エッジ	○	○	×	×	×	IER0F.IEN2	IPR122	DTCER122
	DMAC3I	123	01ECh	エッジ	○	○	×	×	×	IER0F.IEN3	IPR123	DTCER123
	DMAC74I	124	01F0h	レベル	○	×	×	×	×	IER0F.IEN4	IPR124	—
OST	OSTDI (注2)	125	01F4h	エッジ	○	×	×	×	×	IER0F.IEN5	IPR125	—

表14.4　割り込みベクタテーブル (4 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	126	01F8h	—	×	×	×	×	×	—	—	—
—	予約	127	01FCh	—	×	×	×	×	×	—	—	—
S12AD	S12ADI	128	0200h	エッジ	○	○	○	×	×	IER10.IEN0	IPR128	DTCER128
	S12GBADI	129	0204h	エッジ	○	○	○	×	×	IER10.IEN1	IPR129	DTCER129
	S12GCADI	130	0208h	エッジ	○	○	○	×	×	IER10.IEN2	IPR130	DTCER130
—	予約	131	020Ch	—	×	×	×	×	×	—	—	—
S12AD1	S12ADI1	132	0210h	エッジ	○	○	○	×	×	IER10.IEN4	IPR132	DTCER132
	S12GBADI1	133	0214h	エッジ	○	○	○	×	×	IER10.IEN5	IPR133	DTCER133
	S12GCADI1	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
—	予約	135	021Ch	—	×	×	×	×	×	—	—	—
S12AD2	S12ADI2	136	0220h	エッジ	○	○	○	×	×	IER11.IEN0	IPR136	DTCER136
	S12GBADI2	137	0224h	エッジ	○	○	○	×	×	IER11.IEN1	IPR137	DTCER137
	S12GCADI2	138	0228h	エッジ	○	○	○	×	×	IER11.IEN2	IPR138	DTCER138
—	予約	139	022Ch	—	×	×	×	×	×	—	—	—
CANFD	RFDREQ0	140	0230h	エッジ	○	○	○	×	×	IER11.IEN4	IPR140	DTCER140
	RFDREQ1	141	0234h	エッジ	○	○	○	×	×	IER11.IEN5	IPR141	DTCER141
CANFD0	CFDREQ0	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6	IPR142	DTCER142
—	予約	143	023Ch	—	×	×	×	×	×	—	—	—
—	予約	144	0240h	—	×	×	×	×	×	—	—	—
—	予約	145	0244h	—	×	×	×	×	×	—	—	—
TMR0	CMIA0	146	0248h	エッジ	○	○	×	×	○	IER12.IEN2	IPR146	DTCER146
	CMIB0	147	024Ch	エッジ	○	○	×	×	○	IER12.IEN3		DTCER147
	OVI0	148	0250h	エッジ	○	×	×	×	○	IER12.IEN4		—
TMR1	CMIA1	149	0254h	エッジ	○	○	×	×	○	IER12.IEN5	IPR149	DTCER149
	CMIB1	150	0258h	エッジ	○	○	×	×	○	IER12.IEN6		DTCER150
	OVI1	151	025Ch	エッジ	○	×	×	×	○	IER12.IEN7		—
TMR2	CMIA2	152	0260h	エッジ	○	○	×	×	○	IER13.IEN0	IPR152	DTCER152
	CMIB2	153	0264h	エッジ	○	○	×	×	○	IER13.IEN1		DTCER153
	OVI2	154	0268h	エッジ	○	×	×	×	○	IER13.IEN2		—
TMR3	CMIA3	155	026Ch	エッジ	○	○	×	×	○	IER13.IEN3	IPR155	DTCER155
	CMIB3	156	0270h	エッジ	○	○	×	×	○	IER13.IEN4		DTCER156
	OVI3	157	0274h	エッジ	○	×	×	×	○	IER13.IEN5		—
TMR4	CMIA4	158	0278h	エッジ	○	○	×	×	×	IER13.IEN6	IPR158	DTCER158
	CMIB4	159	027Ch	エッジ	○	○	×	×	×	IER13.IEN7		DTCER159
	OVI4	160	0280h	エッジ	○	×	×	×	×	IER14.IEN0		—
TMR5	CMIA5	161	0284h	エッジ	○	○	×	×	×	IER14.IEN1	IPR161	DTCER161
	CMIB5	162	0288h	エッジ	○	○	×	×	×	IER14.IEN2		DTCER162
	OVI5	163	028Ch	エッジ	○	×	×	×	×	IER14.IEN3		—
TMR6	CMIA6	164	0290h	エッジ	○	○	×	×	×	IER14.IEN4	IPR164	DTCER164
	CMIB6	165	0294h	エッジ	○	○	×	×	×	IER14.IEN5		DTCER165
	OVI6	166	0298h	エッジ	○	×	×	×	×	IER14.IEN6		—
TMR7	CMIA7	167	029Ch	エッジ	○	○	×	×	×	IER14.IEN7	IPR167	DTCER167
	CMIB7	168	02A0h	エッジ	○	○	×	×	×	IER15.IEN0		DTCER168
	OVI7	169	02A4h	エッジ	○	×	×	×	×	IER15.IEN1		—
—	予約	170	02A8h	—	×	×	×	×	×	—	—	—

表14.4　割り込みベクタテーブル (5 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	171	02ACh	—	×	×	×	×	×	—	—	—
—	予約	172	02B0h	—	×	×	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	×	×	—	—	—
—	予約	174	02B8h	—	×	×	×	×	×	—	—	—
ELC	ELSR18I	175	02BCh	エッジ	○	○	○	×	×	IER15.IEN7	IPR175	DTCER175
	ELSR19I	176	02C0h	エッジ	○	○	○	×	×	IER16.IEN0	IPR176	DTCER176
TSIP	RD	177	02C4h	エッジ	○	○	○	×	×	IER16.IEN1	IPR177	DTCER177
	WR	178	02C8h	エッジ	○	○	○	×	×	IER16.IEN2		DTCER178
	ERR	179	02CCh	エッジ	○	×	×	×	×	IER16.IEN3	IPR179	—
CMPC0	CMPC0	180	02D0h	エッジ	○	○	○	×	×	IER16.IEN4	IPR180	DTCER180
CMPC1	CMPC1	181	02D4h	エッジ	○	○	○	×	×	IER16.IEN5	IPR181	DTCER181
CMPC2	CMPC2	182	02D8h	エッジ	○	○	○	×	×	IER16.IEN6	IPR182	DTCER182
CMPC3	CMPC3	183	02DCh	エッジ	○	○	○	×	×	IER16.IEN7	IPR183	DTCER183
CMPC4	CMPC4	184	02E0h	エッジ	○	○	○	×	×	IER17.IEN0	IPR184	DTCER184
CMPC5	CMPC5	185	02E4h	エッジ	○	○	○	×	×	IER17.IEN1	IPR185	DTCER185
CMTW0	CMWI0	186	02E8h	エッジ	○	○	○	×	×	IER17.IEN2	IPR186	DTCER186
	IC0I0	187	02ECh	エッジ	○	○	○	×	×	IER17.IEN3	IPR187	DTCER187
	IC1I0	188	02F0h	エッジ	○	○	○	×	×	IER17.IEN4	IPR188	DTCER188
	OC0I0	189	02F4h	エッジ	○	○	○	×	×	IER17.IEN5	IPR189	DTCER189
	OC1I0	190	02F8h	エッジ	○	○	○	×	×	IER17.IEN6	IPR190	DTCER190
CMTW1	CMWI1	191	02FCh	エッジ	○	○	○	×	×	IER17.IEN7	IPR191	DTCER191
	IC0I1	192	0300h	エッジ	○	○	○	×	×	IER18.IEN0	IPR192	DTCER192
	IC1I1	193	0304h	エッジ	○	○	○	×	×	IER18.IEN1	IPR193	DTCER193
	OC0I1	194	0308h	エッジ	○	○	○	×	×	IER18.IEN2	IPR194	DTCER194
	OC1I1	195	030Ch	エッジ	○	○	○	×	×	IER18.IEN3	IPR195	DTCER195
—	予約	196	0310h	—	×	×	×	×	×	—	—	—
RSCI9	AED	197	0314h	エッジ	○	○	○	×	×	IER18.IEN5	IPR197	DTCER197
—	予約	198	0318h	—	×	×	×	×	×	—	—	—
—	予約	199	031Ch	—	×	×	×	×	×	—	—	—
—	予約	200	0320h	—	×	×	×	×	×	—	—	—
—	予約	201	0324h	—	×	×	×	×	×	—	—	—
—	予約	202	0328h	—	×	×	×	×	×	—	—	—
—	予約	203	032Ch	—	×	×	×	×	×	—	—	—
—	予約	204	0330h	—	×	×	×	×	×	—	—	—
—	予約	205	0334h	—	×	×	×	×	×	—	—	—
—	予約	206	0338h	—	×	×	×	×	×	—	—	—
—	予約	207	033Ch	—	×	×	×	×	×	—	—	—
PERIA (選択型割り込みA(注3))	INTA208	208	0340h	エッジ	○	○	○	×	×	IER1A.IEN0	IPR208	DTCER208
	INTA209	209	0344h	エッジ	○	○	○	×	×	IER1A.IEN1	IPR209	DTCER209
	INTA210	210	0348h	エッジ	○	○	○	×	×	IER1A.IEN2	IPR210	DTCER210
	INTA211	211	034Ch	エッジ	○	○	○	×	×	IER1A.IEN3	IPR211	DTCER211
	INTA212	212	0350h	エッジ	○	○	○	×	×	IER1A.IEN4	IPR212	DTCER212
	INTA213	213	0354h	エッジ	○	○	○	×	×	IER1A.IEN5	IPR213	DTCER213
	INTA214	214	0358h	エッジ	○	○	○	×	×	IER1A.IEN6	IPR214	DTCER214

表14.4　割り込みベクタテーブル (6 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
PERIA (選択型割り込みA (注3))	INTA215	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7	IPR215	DTCER215
	INTA216	216	0360h	エッジ	○	○	○	×	×	IER1B.IEN0	IPR216	DTCER216
	INTA217	217	0364h	エッジ	○	○	○	×	×	IER1B.IEN1	IPR217	DTCER217
	INTA218	218	0368h	エッジ	○	○	○	×	×	IER1B.IEN2	IPR218	DTCER218
	INTA219	219	036Ch	エッジ	○	○	○	×	×	IER1B.IEN3	IPR219	DTCER219
	INTA220	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4	IPR220	DTCER220
	INTA221	221	0374h	エッジ	○	○	○	×	×	IER1B.IEN5	IPR221	DTCER221
	INTA222	222	0378h	エッジ	○	○	○	×	×	IER1B.IEN6	IPR222	DTCER222
	INTA223	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7	IPR223	DTCER223
	INTA224	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0	IPR224	DTCER224
	INTA225	225	0384h	エッジ	○	○	○	×	×	IER1C.IEN1	IPR225	DTCER225
	INTA226	226	0388h	エッジ	○	○	○	×	×	IER1C.IEN2	IPR226	DTCER226
	INTA227	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3	IPR227	DTCER227
	INTA228	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4	IPR228	DTCER228
	INTA229	229	0394h	エッジ	○	○	○	×	×	IER1C.IEN5	IPR229	DTCER229
	INTA230	230	0398h	エッジ	○	○	○	×	×	IER1C.IEN6	IPR230	DTCER230
	INTA231	231	039Ch	エッジ	○	○	○	×	×	IER1C.IEN7	IPR231	DTCER231
	INTA232	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0	IPR232	DTCER232
	INTA233	233	03A4h	エッジ	○	○	○	×	×	IER1D.IEN1	IPR233	DTCER233
	INTA234	234	03A8h	エッジ	○	○	○	×	×	IER1D.IEN2	IPR234	DTCER234
	INTA235	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3	IPR235	DTCER235
	INTA236	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4	IPR236	DTCER236
	INTA237	237	03B4h	エッジ	○	○	○	×	×	IER1D.IEN5	IPR237	DTCER237
	INTA238	238	03B8h	エッジ	○	○	○	×	×	IER1D.IEN6	IPR238	DTCER238
	INTA239	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7	IPR239	DTCER239
	INTA240	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0	IPR240	DTCER240
	INTA241	241	03C4h	エッジ	○	○	○	×	×	IER1E.IEN1	IPR241	DTCER241
	INTA242	242	03C8h	エッジ	○	○	○	×	×	IER1E.IEN2	IPR242	DTCER242
	INTA243	243	03CCh	エッジ	○	○	○	×	×	IER1E.IEN3	IPR243	DTCER243
	INTA244	244	03D0h	エッジ	○	○	○	×	×	IER1E.IEN4	IPR244	DTCER244
	INTA245	245	03D4h	エッジ	○	○	○	×	×	IER1E.IEN5	IPR245	DTCER245
	INTA246	246	03D8h	エッジ	○	○	○	×	×	IER1E.IEN6	IPR246	DTCER246
	INTA247	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247
	INTA248	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR248	DTCER248
	INTA249	249	03E4h	エッジ	○	○	○	×	×	IER1F.IEN1	IPR249	DTCER249
	INTA250	250	03E8h	エッジ	○	○	○	×	×	IER1F.IEN2	IPR250	DTCER250
	INTA251	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3	IPR251	DTCER251
	INTA252	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4	IPR252	DTCER252
	INTA253	253	03F4h	エッジ	○	○	○	×	×	IER1F.IEN5	IPR253	DTCER253
	INTA254	254	03F8h	エッジ	○	○	○	×	×	IER1F.IEN6	IPR254	DTCER254
	INTA255	255	03FCh	エッジ	○	○	○	×	×	IER1F.IEN7	IPR255	DTCER255

注.　本表は最大仕様の割り込みベクタテーブルを示しています。製品ごとの割り込みベクタは、表1.2に示した機能に対応します。詳細は、「表1.2　パッケージ別機能比較一覧」を参照してください。

注1.　グループ割り込みの要因は、「表14.6　グループ割り込み要因の一覧」を参照してください。

注2.　対応するノンマスカブル割り込み許可ビットが“0”(禁止)の場合です。

注3.　選択型割り込みAの割り込み要因は「表14.3　選択型割り込みA要因一覧」を参照してください。なお、要因によっては、

DTC、DMACを起動できないものがありますので注意してください。

14.3.2 高速割り込みのベクタ領域

高速割り込みに設定された割り込みが使用するベクタ領域は、CPUの高速割り込みベクタレジスタ(FINTV)です。FINTVレジスタは高速割り込みを許可する前に設定してください。

14.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPUの例外テーブルレジスタ(EXTB)に設定したアドレスを先頭とする128バイト(4バイト×32要因)の領域に配置されます。EXTBレジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTBレジスタには4の倍数を設定してください。

14.4 割り込みの種類

割り込みは、CPU のプロセッサステータスワード (PSW) の I ビットや IPL[3:0] ビットによりマスクが可能なマスカブル割り込みと、それらのビットに関わらず CPU に受け付けられるノンマスカブル割り込みに分類できます。マスカブル割り込みのうち、ベクタ番号 0~207 の割り込み要因は割り当てが固定されていますが、ベクタ番号 208~255 の割り込み要因は、複数の要因から任意の 1 つを選択して割り当てることができます (選択型割り込み)。

なお、本章では、マスカブル割り込みのことを単に「割り込み」と称します。

割り込みの種類を図 14.2 に示します。

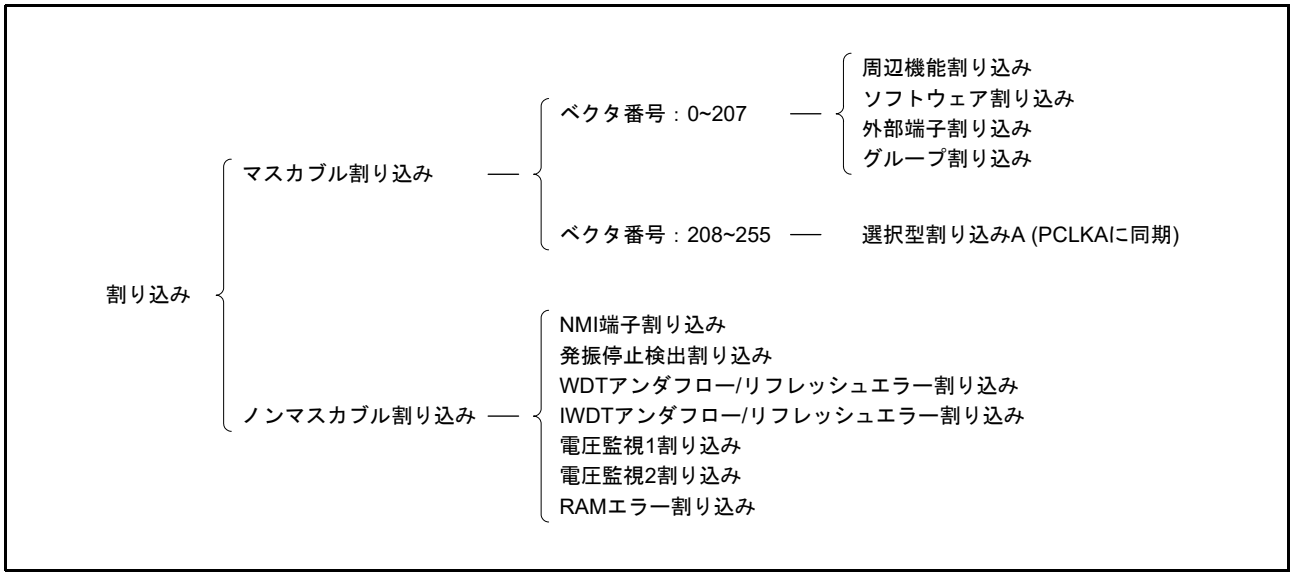


図 14.2 割り込みの種類

14.4.1 周辺機能割り込み

周辺機能による割り込みです。ベクタ番号 0~207 に割り当てられている周辺機能の割り込み要因を、選択型割り込みに割り当てることはできません。選択型割り込みついては「14.4.5 選択型割り込み」を参照してください。

14.4.2 ソフトウェア割り込み

SWINTR.SWINT ビット、SWINT2R.SWINT2 ビットに “1” を書くと、それぞれ SWINT 割り込み、SWINT2 割り込み要求が発生します。

14.4.3 外部端子割り込み

外部端子割り込みは、IRQi 端子 (i = 0 ～ 15) に入力された信号により発生する割り込みです。外部端子割り込みの設定手順については「14.7.4 外部端子割り込みの設定手順」を参照してください。

14.4.4　グループ割り込み

複数の周辺モジュールの割り込み要求 (最大 32 本) をグループ化し、1 つの割り込み要求とした割り込みです。周辺モジュールの動作クロック (ICLK、PCLKB または PCLKA) と、割り込み検出方法 (エッジ検出またはレベル検出) によって、それぞれ異なるグループにグループ化されています。

(1)　グループ割り込みの種類

グループ割り込みの種類を**表 14.5** に示します。

表 14.5　グループ割り込みの種類

割り込みベクタ番号	割り込み名称	グループ化されている割り込み要因	
		周辺モジュールの動作クロック	割り込み検出方法
17	GROUPIE0	ICLK	エッジ検出
106	GROUPBE0	PCLKB	
110	GROUPBL0		レベル検出
111	GROUPBL1		
107	GROUPBL2		
112	GROUPAL0	PCLKA	
113	GROUPAL1		

(2)　グループ割り込みの構成

グループ割り込み要求許可レジスタ (GENIE0, GENBE0, GENBL0, GENBL1, GENBL2, GENAL0, GENAL1 (注 1)) の ENj ビット (j = 0 ～ 31) が “1” のとき、対応する割り込み要求が発生すると、グループ割り込み要求レジスタ (GRPIE0, GRPBE0, GRPBL0, GRPBL1, GRPBL2, GRPAL0, GRPAL1 (注 1)) の ISj フラグが “1” になります。

グループ割り込みの構成を**図 14.3** に示します。

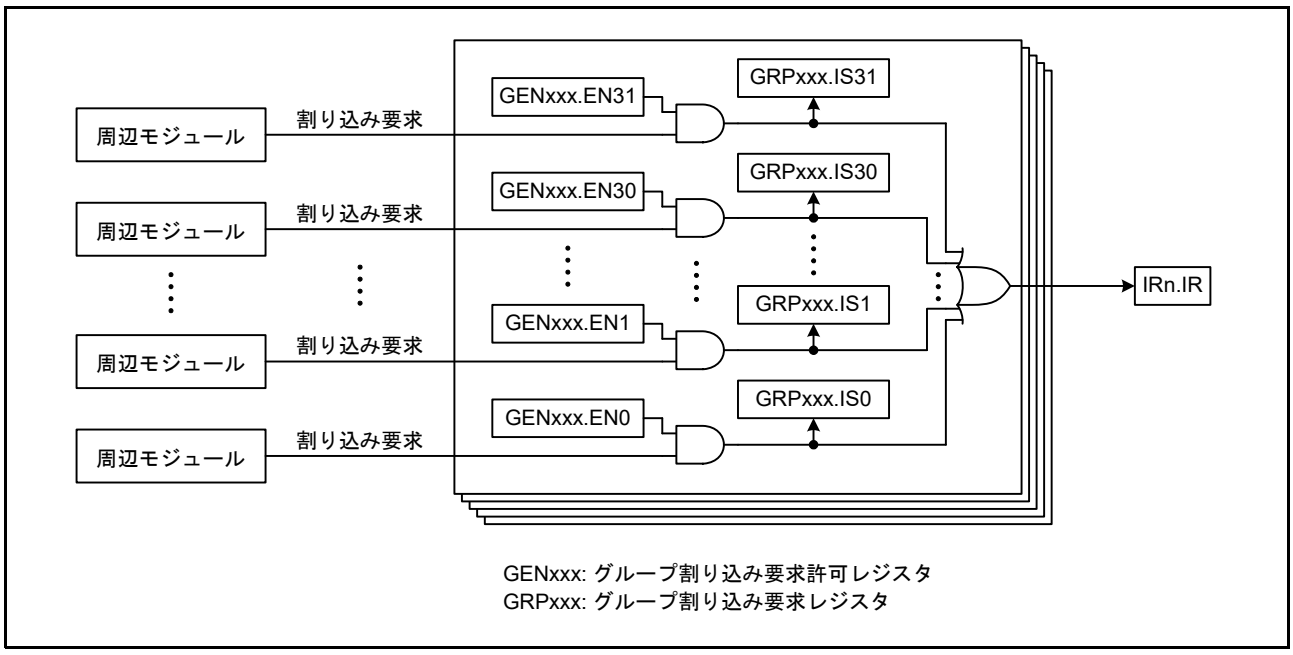


図 14.3　グループ割り込みの構成 (n = 17, 106, 107, 110 ～ 113)

注 1.　割り込み要因が割り当てられていないグループのレジスタは存在しません。

(3) グループ化された割り込み要因

グループ割り込みに割り当てられた割り込み要因の一覧を表 14.6 に示します。

表14.6 グループ割り込み要因の一覧 (1 / 3)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号 (IRn.IR)
IE0	0~31	予約	—	—	—	—	17
BE0	0~31	予約	—	—	—	—	106
BL0	0, 1	予約	—	—	—	—	110
	2	SCI1	TEI1 (送信完了)	GENBL0.EN2	GRPBL0.IS2	—	
	3		ERI1 (受信エラー)	GENBL0.EN3	GRPBL0.IS3	—	
	4~9	予約	—	—	—	—	
	10	SCI5	TEI5 (送信完了)	GENBL0.EN10	GRPBL0.IS10	—	
	11		ERI5 (受信エラー)	GENBL0.EN11	GRPBL0.IS11	—	
	12	SCI6	TEI6 (送信完了)	GENBL0.EN12	GRPBL0.IS12	—	
	13		ERI6 (受信エラー)	GENBL0.EN13	GRPBL0.IS13	—	
	14, 15	予約	—	—	—	—	
	16	SCI12	TEI12 (送信完了)	GENBL0.EN16	GRPBL0.IS16	—	
	17		ERI12 (受信エラー)	GENBL0.EN17	GRPBL0.IS17	—	
	18		SCIX0 (Break Field Low width検出)	GENBL0.EN18	GRPBL0.IS18	—	
	19		SCIX1 (Control Field 0一致) (Control Field 1一致) (プライオリティインタラプトビット検出)	GENBL0.EN19	GRPBL0.IS19	—	
	20		SCIX2 (バス衝突検出)	GENBL0.EN20	GRPBL0.IS20	—	
	21		SCIX3 (有効エッジ検出)	GENBL0.EN21	GRPBL0.IS21	—	
	22~25	予約	—	—	—	—	
	26	CAC	FERRI (周波数エラー)	GENBL0.EN26	GRPBL0.IS26	—	
	27		MENDI (測定終了)	GENBL0.EN27	GRPBL0.IS27	—	
	28		OVFI (オーバフロー割り込み)	GENBL0.EN28	GRPBL0.IS28	—	
	29	DOC	DOPCI (データ演算回路割り込み)	GENBL0.EN29	GRPBL0.IS29	—	
	30, 31	予約	—	—	—	—	

表14.6　グループ割り込み要因の一覧 (2 / 3)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号(IRn.IR)
BL1	0	POEG	POEGGAI (グループA割り込み)	GENBL1.EN0	GRPBL1.IS0	—	111
	1		POEGGBI (グループB割り込み)	GENBL1.EN1	GRPBL1.IS1	—	
	2		POEGGCI (グループC割り込み)	GENBL1.EN2	GRPBL1.IS2	—	
	3		POEGGDI (グループD割り込み)	GENBL1.EN3	GRPBL1.IS3	—	
	4~7	予約	—	—	—	—	
	8	POE	OEI5 (アウトプットイネーブル割り込み5)	GENBL1.EN8	GRPBL1.IS8	—	
	9		OEI1 (アウトプットイネーブル割り込み1)	GENBL1.EN9	GRPBL1.IS9	—	
	10		OEI2 (アウトプットイネーブル割り込み2	GENBL1.EN10	GRPBL1.IS10	—	
	11		OEI3 (アウトプットイネーブル割り込み3)	GENBL1.EN11	GRPBL1.IS11	—	
	12		OEI4 (アウトプットイネーブル割り込み4)	GENBL1.EN12	GRPBL1.IS12	—	
	13	RIIC0	TEI0 (送信完了)	GENBL1.EN13	GRPBL1.IS13	—	
	14		EEI0 (通信エラー/通信イベント)	GENBL1.EN14	GRPBL1.IS14	—	
	15~17	予約	—	—	—	—	
	18	S12AD2	S12CMPAI2 (コンペア割り込み)	GENBL1.EN18	GRPBL1.IS18	—	
	19		S12CMPBI2 (コンペア割り込み)	GENBL1.EN19	GRPBL1.IS19	—	
	20	S12AD	S12CMPAI (コンペア割り込み)	GENBL1.EN20	GRPBL1.IS20	—	
	21		S12CMPBI (コンペア割り込み)	GENBL1.EN21	GRPBL1.IS21	—	
	22	S12AD1	S12CMPAI1 (コンペア割り込み)	GENBL1.EN22	GRPBL1.IS22	—	
	23		S12CMPBI1 (コンペア割り込み)	GENBL1.EN23	GRPBL1.IS23	—	
	24	RSCI8	TEI (送信完了)	GENBL1.EN24	GRPBL1.IS24	—	
	25		ERI (受信エラー)	GENBL1.EN25	GRPBL1.IS25	—	
	26	RSCI9	TEI (送信完了)	GENBL1.EN26	GRPBL1.IS26	—	
	27		ERI (受信エラー)	GENBL1.EN27	GRPBL1.IS27	—	
	28~30	予約	—	—	—	—	
	31	RSCI9	BFD (Breakフィールド検出)	GENBL1.EN31	GRPBL1.IS31	—	
BL2	0	予約	—	—	—	—	107
	1	CANFD0	CHEI (チャネルエラー)	GENBL2.EN1	GRPBL2.IS1	—	
	2		CFRI (共通FIFO受信)	GENBL2.EN2	GRPBL2.IS2	—	
	3	CANFD	GLEI (グローバルエラー)	GENBL2.EN3	GRPBL2.IS3	—	
	4		RFRI (受信FIFO)	GENBL2.EN4	GRPBL2.IS4	—	
	5	CANFD0	CHTI (チャネル送信)	GENBL2.EN5	GRPBL2.IS5	—	
	6	CANFD	RMRI (受信メッセージバッファ)	GENBL2.EN6	GRPBL2.IS6	—	
	7~31	予約	—	—	—	—	
AL0	0~11	予約	—	—	—	—	112
	12	RSCI11	TEI (送信完了)	GENAL0.EN12	GRPAL0.IS12	—	
	13		ERI (受信エラー)	GENAL0.EN13	GRPAL0.IS13	—	
	14		BFD (Breakフィールド検出)	GENAL0.EN14	GRPAL0.IS14	—	
	15	予約	—	—	—	—	
	16	RSPI0	SPII0 (アイドル割り込み)	GENAL0.EN16	GRPAL0.IS16	—	
	17		SPEI0 (エラー割り込み)	GENAL0.EN17	GRPAL0.IS17	—	
	18~21	予約	—	—	—	—	
	22	RSPIA0	SPII (アイドル割り込み)	GENAL0.EN22	GRPAL0.IS22	—	
	23		SPEI (エラー割り込み)	GENAL0.EN23	GRPAL0.IS23	—	
	24~31	予約	—	—	—	—	

表 14.6　グループ割り込み要因の一覧 (3 / 3)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号 (IRn.IR)
AL1	0~12	予約	—	—	—	—	113
	13	RI3C0	EEI (通信エラー / 通信イベント)	GENAL1.EN13	GRPAL1.IS13	—	
	14~31	予約	—	—	—	—	

14.4.5　選択型割り込み

割り込みベクタ番号 208 ～ 255 には、複数の周辺モジュールの割り込み要因から任意の 1 つを選択して割り当てることができます。

選択型割り込みの構成を**図 14.4** に示します。

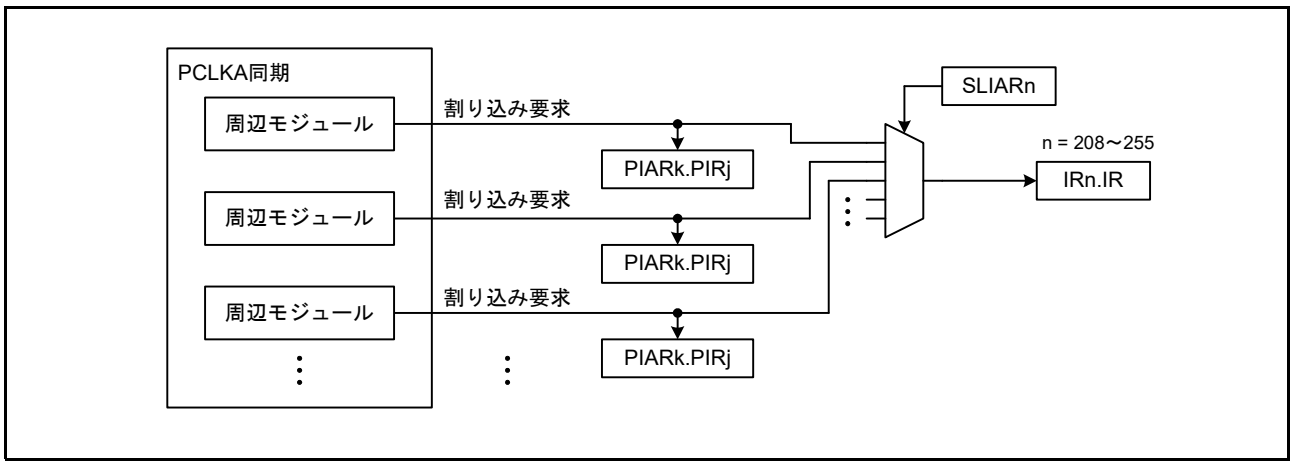


図 14.4　選択型割り込みの構成

14.4.5.1　選択型割り込み A

PCLKA に同期して動作する周辺モジュールの割り込み要因は、割り込みベクタ番号 208 ～ 255 に割り当てることができます。選択型割り込み A の略称は PERIA、割り込みの名称は INTA208 ～ INTA255 で表されます。

選択型割り込み A に割り当てることのできる割り込み要因については**「表 14.3　選択型割り込み A 要因一覧」**を参照してください。

14.4.6　ノンマスカブル割り込み

ノンマスカブル割り込みには NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー / リフレッシュエラー割り込み、IWDT アンダフロー / リフレッシュエラー割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、RAM エラー割り込みがあります。

高速割り込みを含むすべての割り込みの中で最も優先レベルの高い割り込みで、CPU のプロセッサステータスワード (PSW) の I ビット (割り込み許可ビット) や IPL[3:0] ビット (プロセッサ割り込み優先レベル) の状態にかかわらず受け付けられます。

ノンマスカブル割り込みが発生しているかどうかは、NMISR レジスタで確認できます。

ノンマスカブル割り込みの割り込み要求先は CPU のみで、DTC や DMAC を選択することはできません。

14.5　割り込みの検出

割り込み要求の検出方法には、レベル検出とエッジ検出の 2 種類があります。

周辺モジュールからの割り込み要求は、割り込み要因ごとにエッジ検出またはレベル検出のいずれかに決まっています。外部端子割り込みの割り込み要求は、IRQCRi.IRQMD[1:0] ビット (i = 0 ～ 15) で、エッジ検出とレベル検出を切り替えることができます。

各割り込み要因の検出方法は、**「表 14.4　割り込みベクタテーブル」**を参照してください。

グループ割り込みは、割り込み要求の検出方法によって、割り込み要因が分類されています。グループ IE0、BE0 に分類された割り込み要因の割り込み検出方法はエッジ検出、グループ BL0、BL1、BL2、AL0、AL1 に分類された割り込み要因の割り込み検出方法はレベル検出です。ただし、グループ割り込み (GROUPIE0, GROUPBE0, GROUPBL0, GROUPBL1, GROUPBL2, GROUPAL0, GROUPAL1) 自体の割り込み検出方法はレベル検出になります。

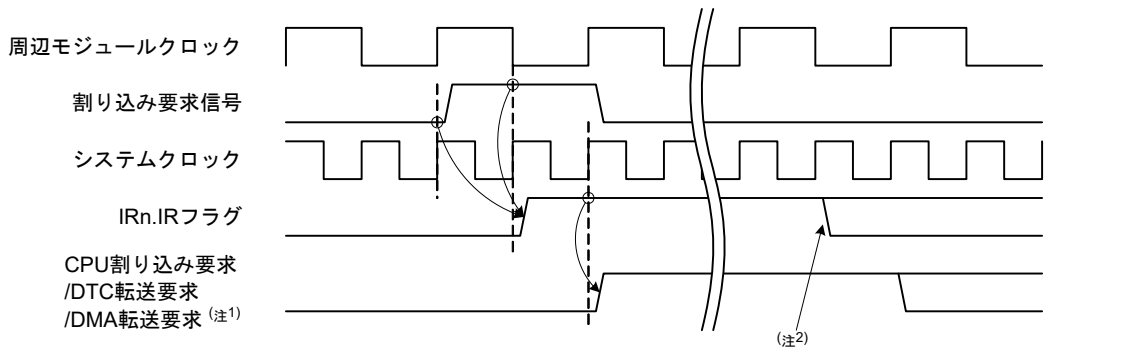
グループ割り込みについては**「14.4.4　グループ割り込み」**を、グループ割り込みの割り込み要求については**「14.5.3　エッジ検出グループ割り込み」**および**「14.5.4　レベル検出グループ割り込み」**を参照してください。

14.5.1　エッジ検出割り込み

エッジ検出割り込みの IRn.IR フラグ (n = 023 ～ 255) の動作を**図 14.5** に示します。

割り込み要求信号の立ち上がりエッジを検出すると IRn.IR フラグが “1” になります。このとき、周辺モジュールの割り込み要求を禁止しても IRn.IR フラグは “0” になりません。CPU が割り込み要求を受け付けるか、DTC/DMAC が転送要求を受け付けると IRn.IR フラグが自動的に “0” になります。ソフトウェアで “0” にする必要はありません。DTC/DMAC による IRn.IR フラグのクリア条件の詳細については**「表 14.7　DTC/DMAC 起動時の動作」**を参照してください。

なお、割り込みベクタ番号 64 ～ 79 の外部端子割り込み、および割り込みベクタ番号 88 ～ 95 の割り込み要因については、割り込み要求の発生から IRn.IR フラグが “1” になるまでの時間が他の割り込みと異なります。外部端子割り込みの場合、IRQi 端子 (i = 0 ～ 15) に信号を入力してから内部遅延 + PCLKB の 2 サイクル分の遅延が発生します。また、割り込みベクタ番号 88 ～ 95 の割り込みの場合、PCLKB の 2 サイクル分の遅延が発生します。



注1.　CPU割り込み要求、DTC転送要求、DMA転送要求のいずれか1つを出力します。設定方法は「14.7.3.1　割り込み要求先の設定手順」を参照してください。

注2.　CPU割り込み要求の場合、CPUが割り込み要求を受け付けたときに“0”になります。DTC転送要求、DMA転送要求時の“0”になるタイミングは、「表14.7　DTC/DMAC起動時の動作」を参照してください。

図 14.5　エッジ検出割り込みの IRn.IR フラグの動作

(1) 連続した割り込み要求信号の検出

割り込み要求信号が毎サイクル発生した場合、後続の割り込み要求信号は検出できません。連続した割り込み要求信号を受け付けるには、システムクロックと周辺モジュールクロックのうち周波数が低い方のクロックで 2 サイクル以上の間隔をあけてください。連続した割り込み要求信号を受け付ける間隔を図 14.6 に示します。

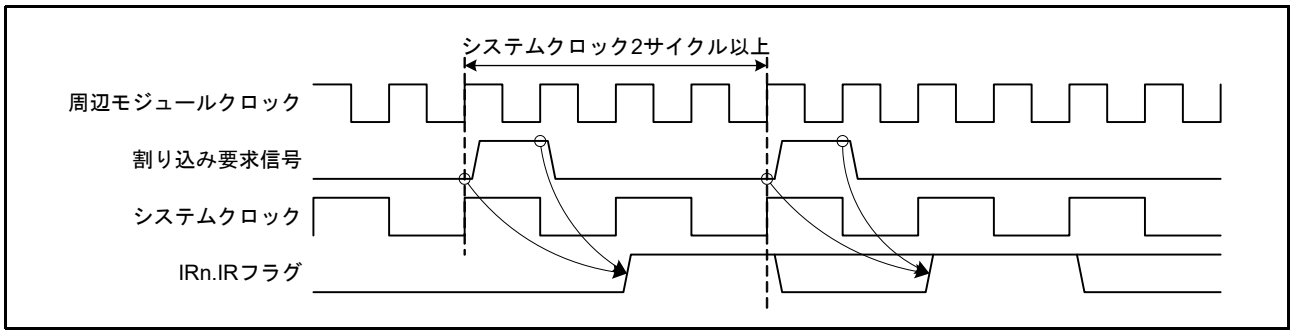


図 14.6 連続した割り込み要求信号の受け付け (システムクロック周波数 < 周辺モジュールクロック周波数の場合)

なお、割り込み要求が発生して IRn.IR フラグ (n = 023 ～ 255) が “1” になっているときに再度発生した割り込み要求は無視されます。

ただし、SCI、RSCI、RIIC、RI3C、RSPI、RSPIA の各モジュールについては、送信割り込み要求と受信割り込み要求、バッファアクセス割り込み要求に限り、IRn.IR フラグが “1” のときに発生した割り込み要求もモジュール内部で保持され、IRn.IR フラグが “0” になった後、保持された要求によって再度 IRn.IR フラグが “1” になります。詳細は、各周辺モジュール章の割り込みの説明を参照してください。

IRn.IR フラグの再セットのタイミングを図 14.7 に示します。

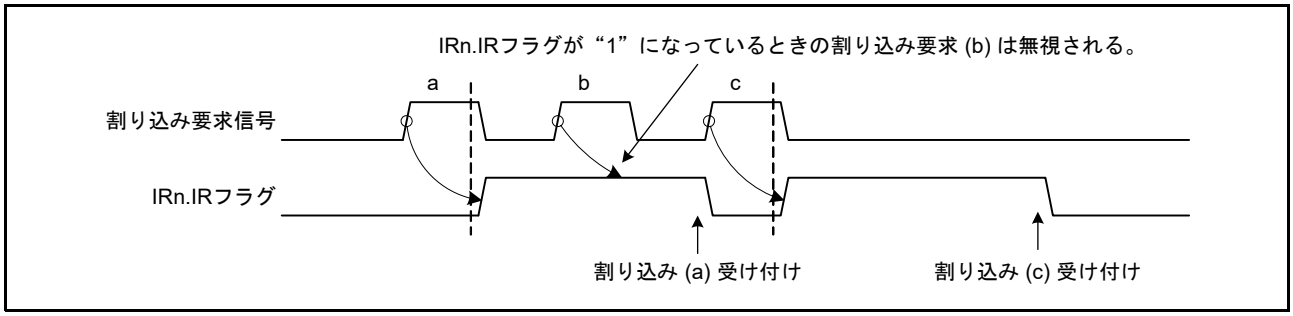


図 14.7 IRn.IR フラグの再セットのタイミング

(2) IRn.IR フラグと割り込み要求許可ビットの関係

IRn.IR フラグが “1” になった後、対応する周辺モジュールの割り込み要求許可ビットを “0” にしても、IRn.IR フラグは “0” になりません (図 14.8)。

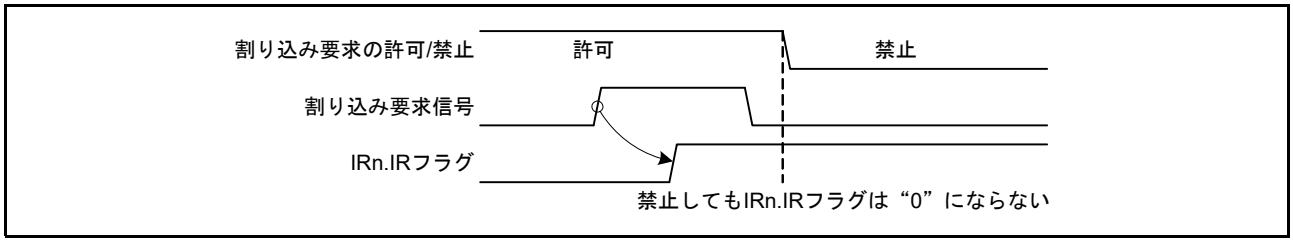


図 14.8 割り込み要求の禁止と IRn.IR フラグの関係

14.5.2　レベル検出割り込み

レベル検出割り込みの割り込み要求信号と、IRn.IR フラグ (n = 016 ～ 124) の動作を**図 14.9** に示します。

割り込み要求信号が “1” になっている間、IRn.IR フラグは “1” を保持します。IRn.IR フラグを “0” にするには、対応する周辺モジュールの割り込み要求信号を “0” にする必要があります。対応する周辺モジュールの割り込みステータスフラグを “0” にし、その値が IRn.IR フラグに反映されるだけの時間を待ってから、割り込み処理ルーチンを終了してください。反映待ちの具体的な方法については、**「5.　I/O レジスタ」**の**「(2)　I/O レジスタ書き込み時の注意事項」**を参照してください。

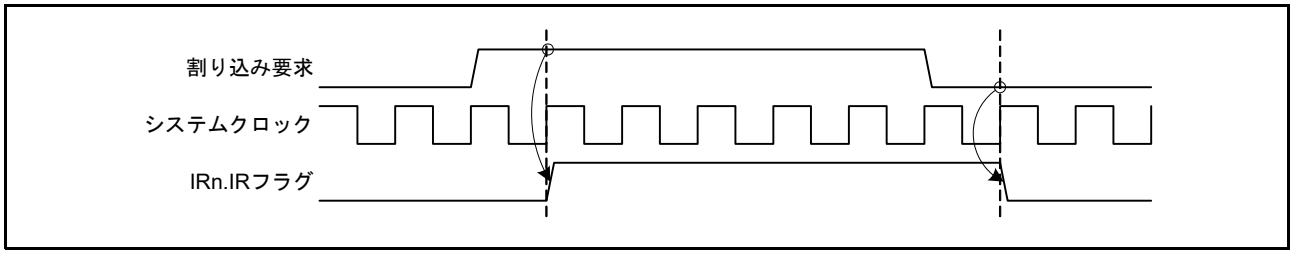


図 14.9　レベル検出割り込みの IRn.IR フラグの動作

レベル検出割り込みの割り込み処理手順の例を**図 14.10** に示します。

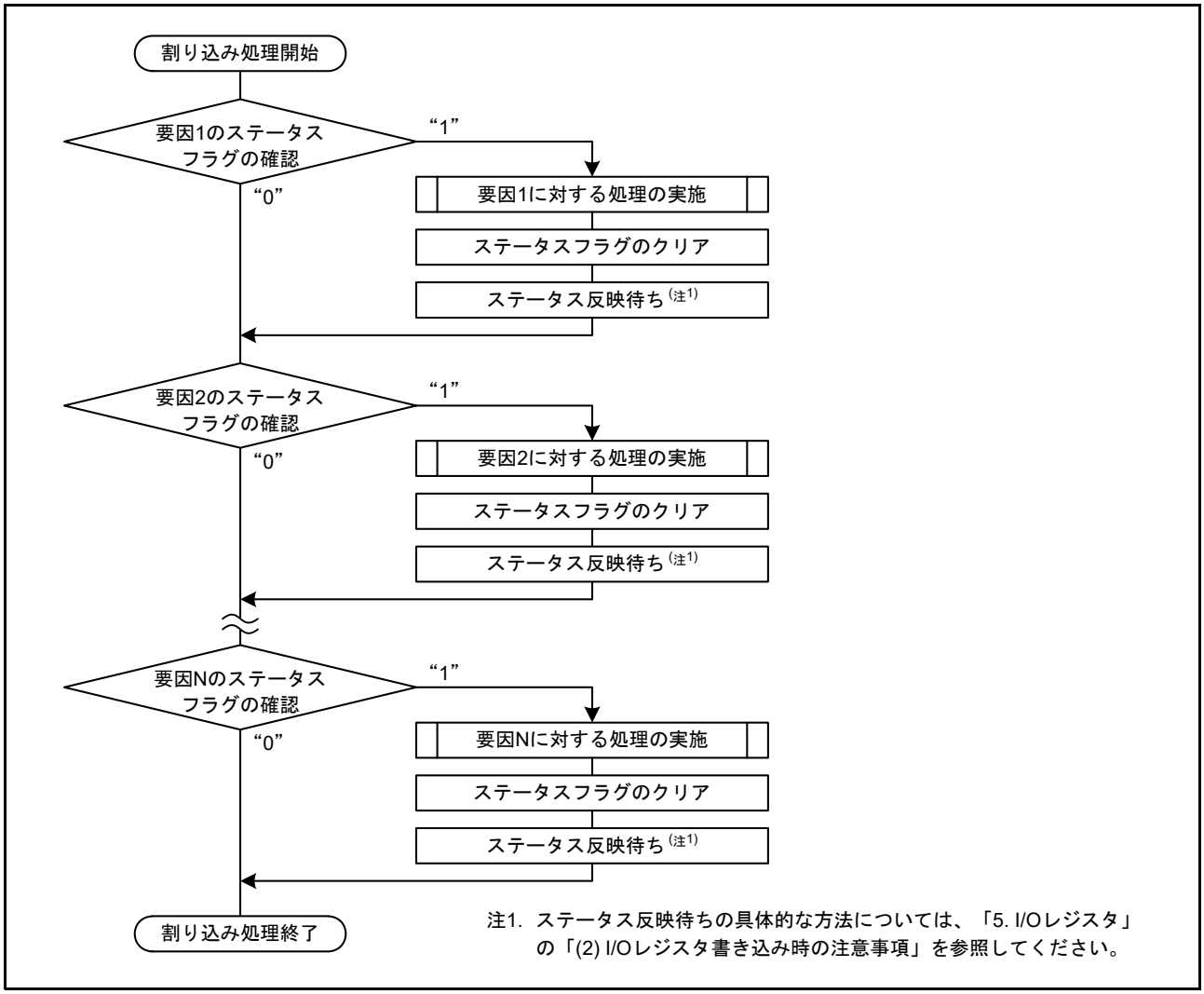


図 14.10　レベル検出割り込みの割り込み処理手順の例 (N 個のステータスフラグがある場合)

14.5.3 エッジ検出グループ割り込み

グループ割り込みのグループ IE0、BE0 には、エッジ検出の割り込み要因がグループ化されています。GROUPIE0 割り込みに対応する IR017.IR フラグ、GROUPBE0 割り込みに対応する IR106.IR フラグの動作は、“1” になるときはエッジ検出と同様ですが、“0” にする方法はレベル検出と同様です。

GENIE0/GENBE0.ENj ビット (j = 0 ～ 31) が “1” のとき、対応する割り込み要求信号の立ち上がりエッジを検出すると、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグがともに “1” になります。このとき、周辺モジュールの割り込み要求を禁止しても、GENIE0/GENBE0.ENj ビットを “0” にしても、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグは “0” になりません。

GCRIE0/GCRBE0.CLRj ビットを “1” にすると、GRPIE0/GRPBE0.ISj フラグが “0” になり、その結果 IR017/IR106.IR フラグも “0” になります。

エッジ検出グループ割り込みの動作例を図 14.11、図 14.12 に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を図 14.13 に示します。

注 . 割り込み要因が割り当てられていないグループのレジスタは存在しません。

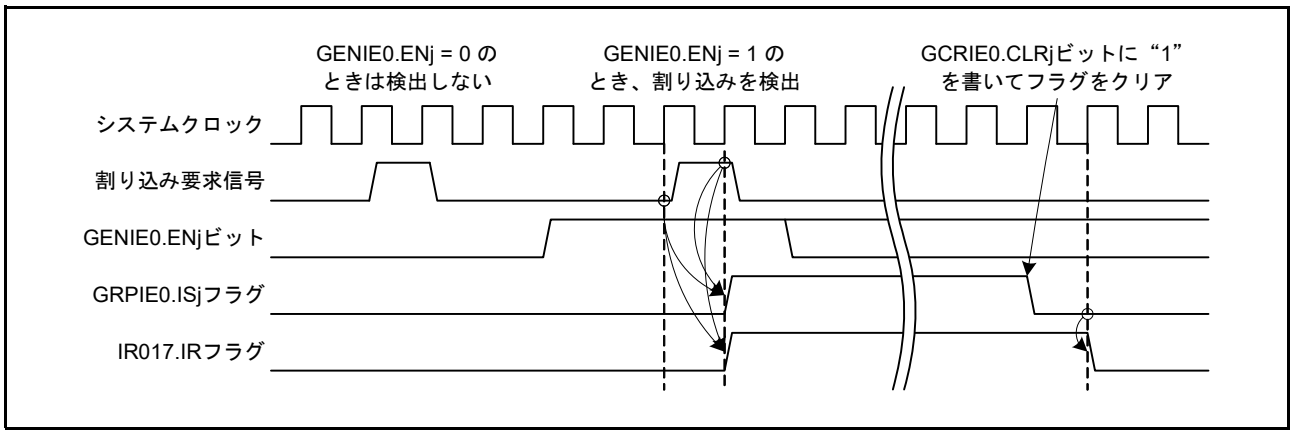


図 14.11 エッジ検出グループ割り込みの動作例 (グループ IE0)

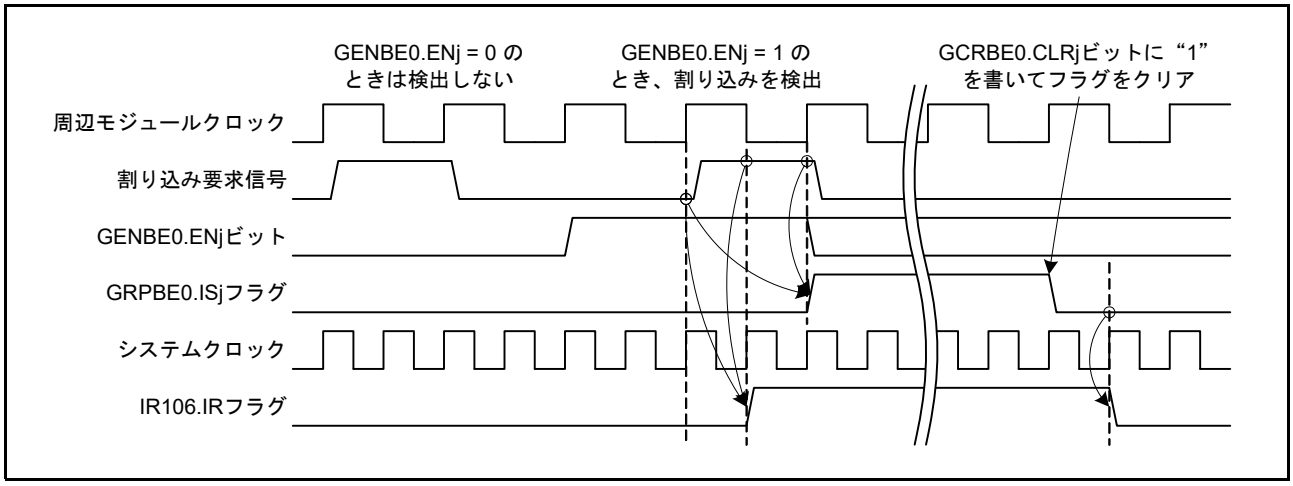


図 14.12 エッジ検出グループ割り込みの動作例 (グループ BE0)

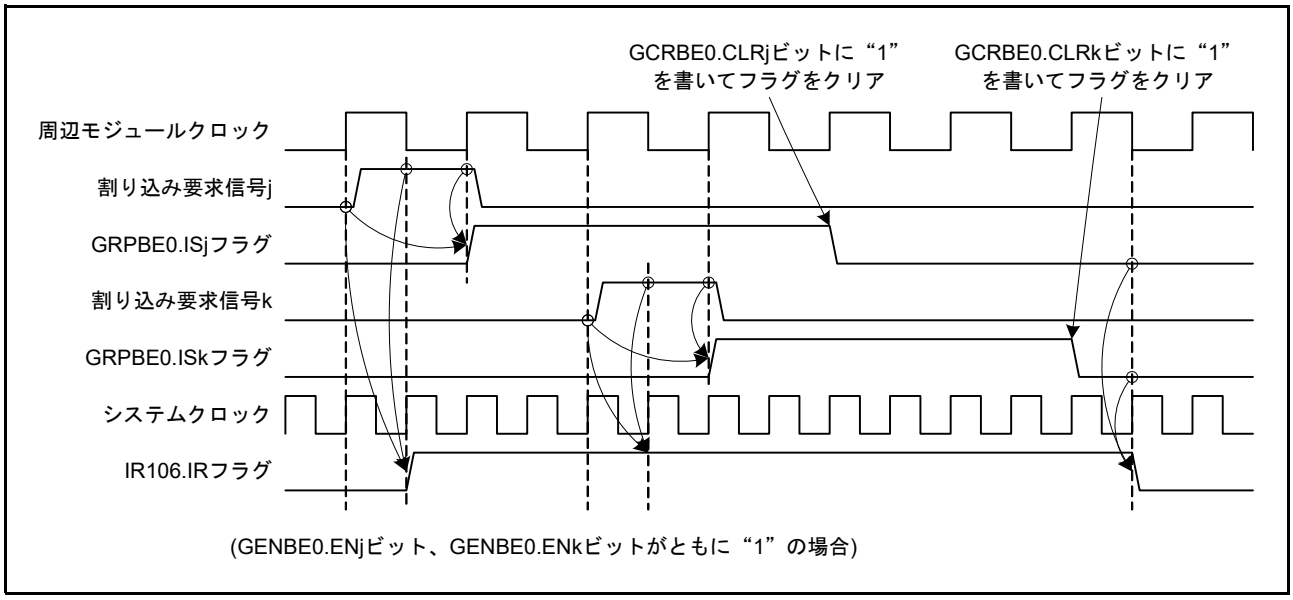


図 14.13　同一グループ内で複数の割り込み要求が発生した場合の動作例 (グループ BE0)

エッジ検出グループ割り込みの割り込み処理手順の例を**図 14.14 図 14.15** に示します。

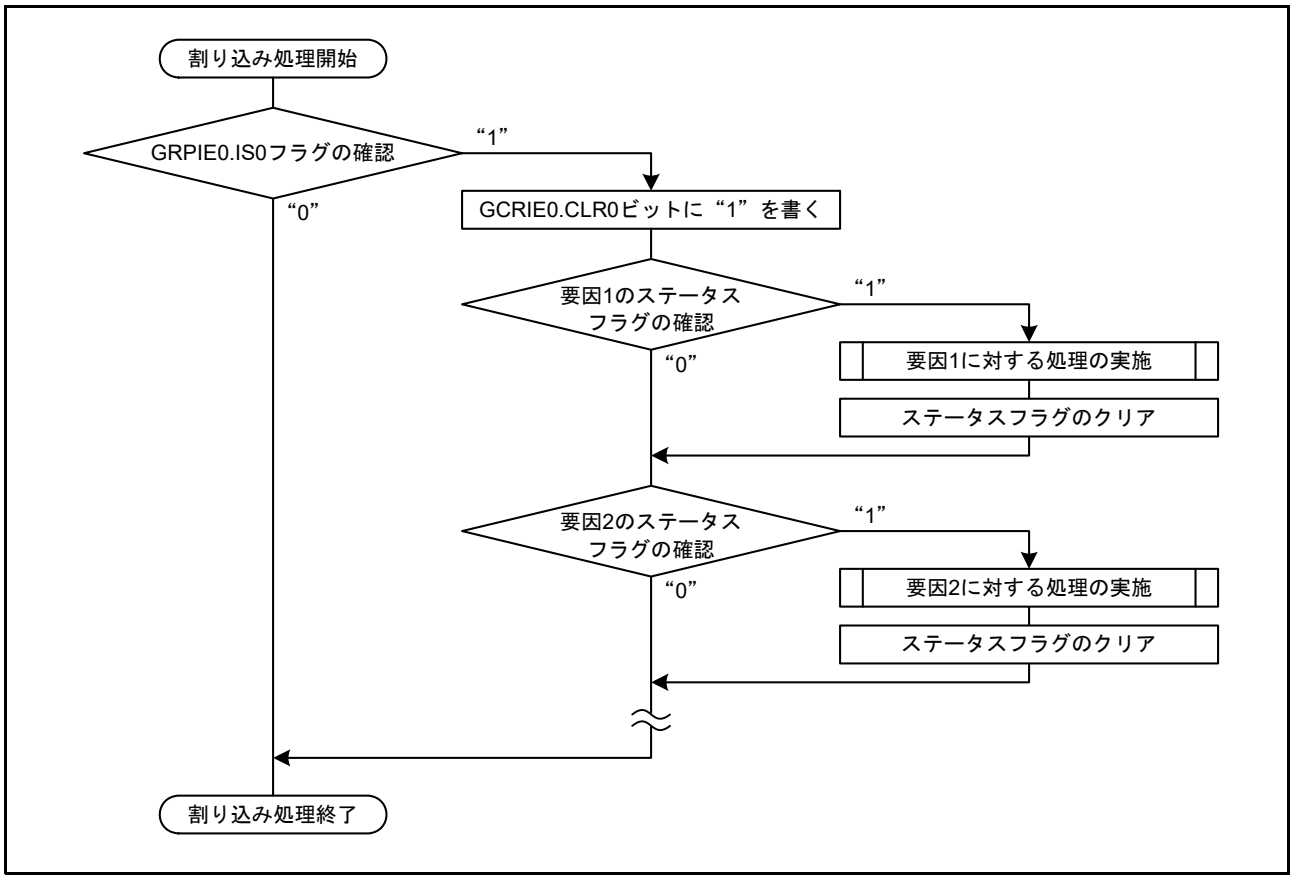


図 14.14 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ IE0)

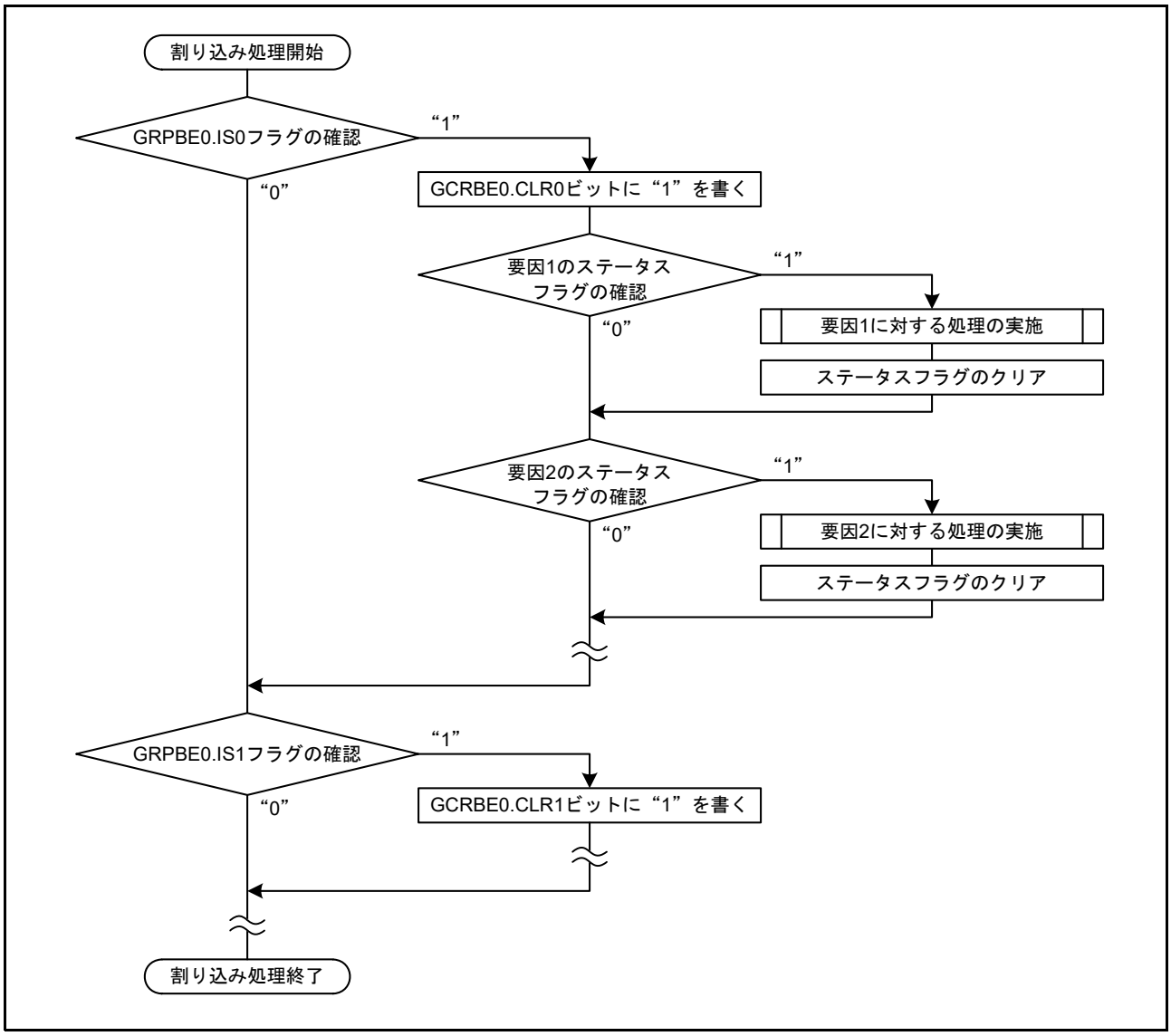


図 14.15 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ BE0)

14.5.4 レベル検出グループ割り込み

グループ割り込みのグループ BL0、BL1、BL2、AL0、AL1 には、レベル検出の割り込み要因がグループ化されています。GROUPBL0 割り込みに対応する IR110.IR フラグ、GROUPBL1 割り込みに対応する IR111.IR フラグ、GROUPBL2 割り込みに対応する IR107.IR フラグ、GROUPAL0 割り込みに対応する IR112.IR フラグ、GROUPAL1 割り込みに対応する IR113.IR フラグの動作はレベル検出割り込みと同様です。

GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビット (j = 0 ～ 31) が “1” のとき、対応する割り込み要求信号が “1” になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが “1” になります。このとき割り込み要求信号が “0” になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグも “0” になります。また、GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビットを “0” にした場合も、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが “0” になります。

レベル検出グループ割り込みの動作例を**図 14.16** に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を**図 14.17** に示します。

注 . 割り込み要因が割り当てられていないグループのレジスタは存在しません。

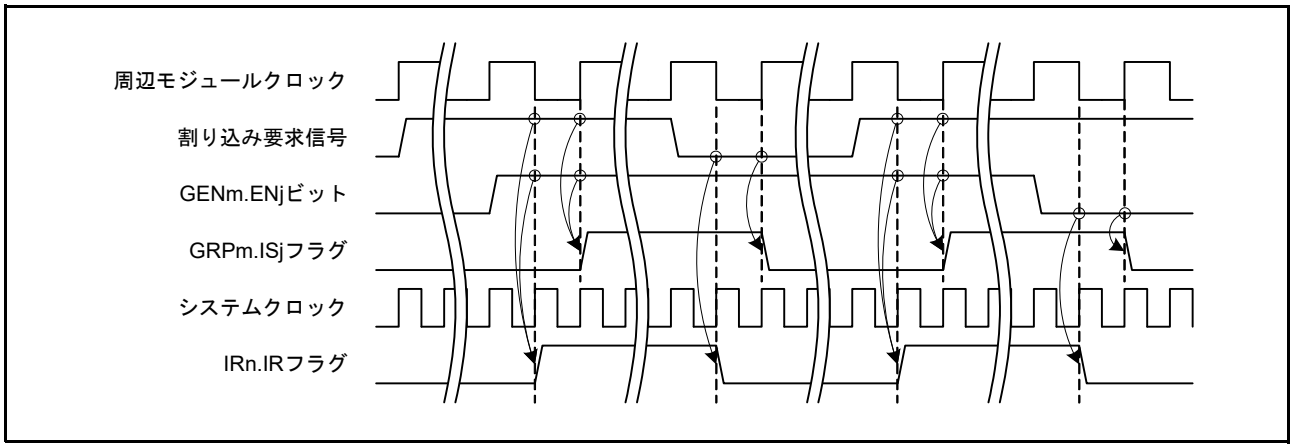


図 14.16 レベル検出グループ割り込みの動作例 (m = BL0, BL1, BL2, AL0, AL1)

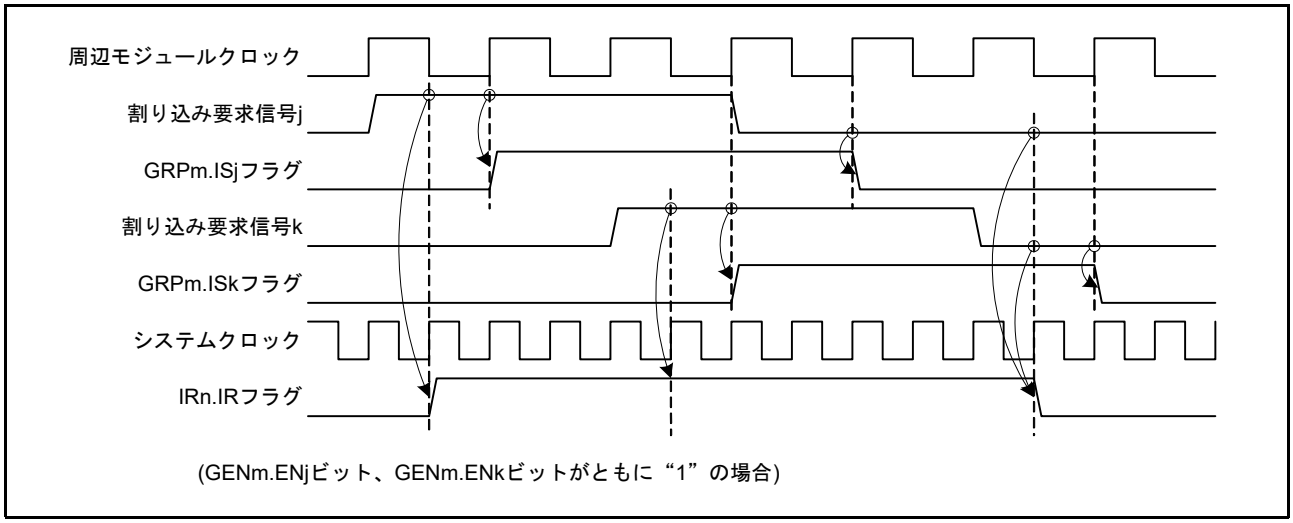


図 14.17 同一グループ内で複数の割り込み要求が発生した場合の動作例 (m = BL0, BL1, BL2, AL0, AL1)

レベル検出グループ割り込みの割り込み処理手順の例を**図 14.18** に示します。

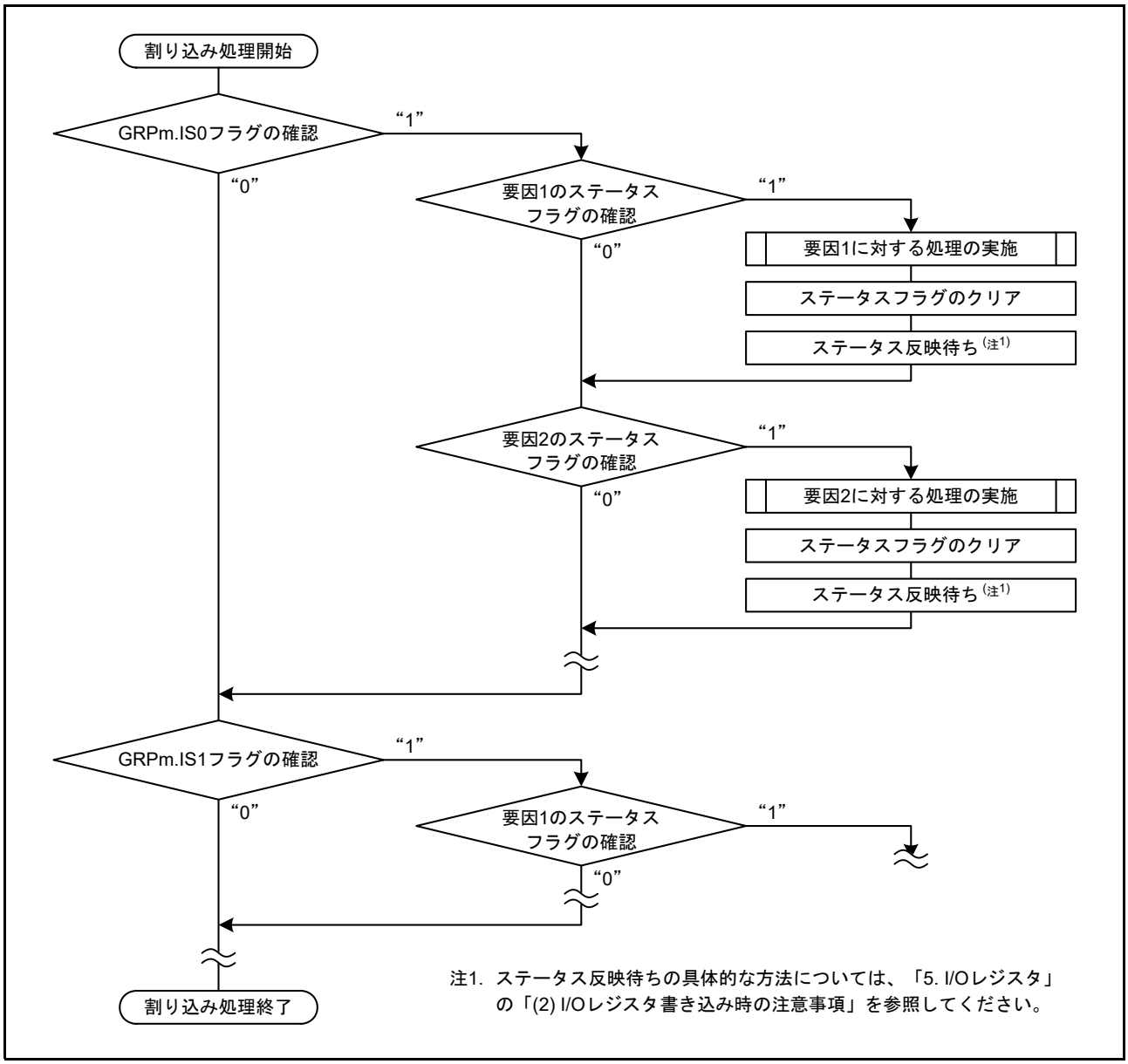


図 14.18 レベル検出グループ割り込みの処理手順の例 (m = BL0, BL1, BL2, AL0, AL1)

14.5.5　選択型割り込み

選択型割り込みに分類された割り込み要因の検出方法はエッジ検出で、選択型割り込みの割り込み要求の検出方法もエッジ検出です。

図 14.19 に選択型割り込みの割り込み要求と選択型割り込みステータスフラグの動作例を示します。

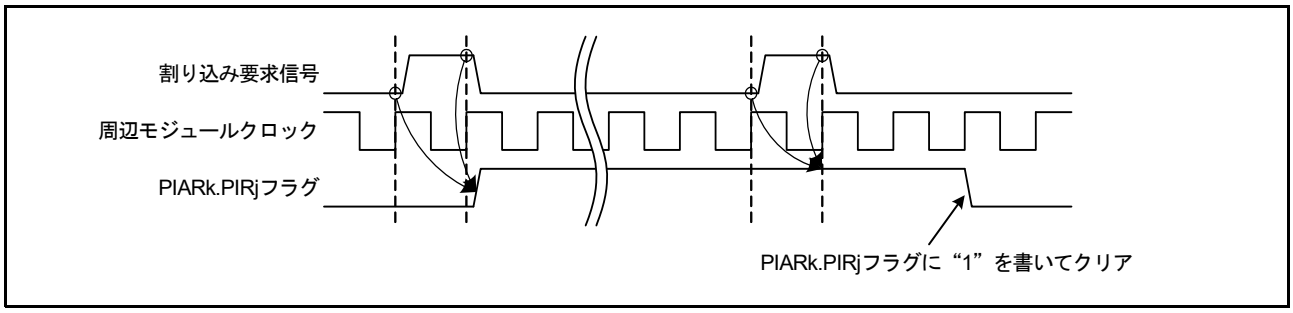


図 14.19　選択型割り込みの割り込み要求と割り込みステータスフラグの動作例

14.6　割り込み優先レベルの判定

割り込みコントローラは、割り込み要求先ごとに優先レベルの判定を行います。それぞれの割り込み要求先に対する優先レベル判定方法は以下のとおりです。

(1)　割り込み要求先が CPU の場合

高速割り込みに設定された要因が最も優先されます。その次は、IPRr.IPR[3:0] ビット (r = 000 ～ 255) の設定値によって判定され、値が大きい割り込み要因ほど優先されます。IPRr.IPR[3:0] ビットの設定値が同じ要因が複数ある場合は、割り込みベクタ番号によって判定され、番号が小さい要因ほど優先されます。

(2)　割り込み要求先が DTC の場合

IPRr.IPR[3:0] ビット (r = 000 ～ 255) の影響は受けません。割り込みベクタ番号によってのみ優先順位が判定され、番号が小さい要因ほど優先されます。

(3)　割り込み要求先が DMAC の場合

IPRr.IPR[3:0] ビットの影響は受けません。DMAC のチャネル番号によって優先順位が判定されます。DMAC のチャネル優先順位については「17.　DMA コントローラ (DMACAa)」を参照してください。

14.7 割り込みの設定手順

14.7.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

(1) 対象となる周辺モジュールの割り込み要求許可ビットで、割り込み要求の出力を許可する
(2) 対象となる割り込み要因がグループ割り込みに割り当てられている場合、対応するグループ割り込み要求許可レジスタの ENj ビット (j = 0 ～ 31) を “1” にして、グループ割り込み要求レジスタの ISj フラグへの割り込み要求出力を許可する
(3) 対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “1” にして、割り込み要求先への割り込み要求の出力を許可する

上記手順の後、周辺モジュールの割り込み要求が発生すると、その割り込み要因に対応する IRn.IR フラグ (n = 016 ～ 255) が “1” になります。

また、グループ割り込みの場合、グループ割り込み要求レジスタの ISj フラグと、そのグループに対応する IRn.IR フラグが “1” になり、割り込み要求先へ割り込み要求が出力されます。

IERm.IENj ビットが “0” の場合、対応する割り込み要因の割り込み要求は、割り込み要求先に出力されません。

14.7.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

(1) 対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” にする
(2) グループ割り込みの場合、対応するグループ割り込み要求許可レジスタの ENj ビット (j = 0 ～ 31) を “0” にし、グループ割り込み要求レジスタの ISj フラグへの割り込み要求出力を禁止する
(3) 周辺モジュールの割り込み要求許可ビットで割り込み要求の出力を禁止し、設定したレジスタを読んで、値が反映されたことを確認する
(4) 必要に応じて、IRn.IR フラグを確認するか “0” にする (注 1)
グループ割り込みの場合、グループ割り込み要求レジスタの ISj フラグが “0” であることを確認するか、“0” にする

注 1. SCI、RSCI、RIIC、RI3C、RSPI、RSPIA の各送信割り込み要求または受信割り込み要求、バッファアクセス割り込み要求を許可から禁止に変更する場合、上記の手順で IRn.IR フラグを “0” にしてください。詳細は、各周辺モジュール章の割り込みの説明を参照してください。

14.7.3 割り込み要求先の選択

14.7.3.1 割り込み要求先の設定手順

割り込み要求の出力先は割り込み要因ごとに CPU、DTC、DMAC のいずれかからひとつを選択できますが、割り込み要因ごとに選択できる出力先は決まっています。選択できる割り込みの要求先は**「表 14.4 割り込みベクタテーブル」**を参照してください。**表 14.4** に「○」の記載がない割り込み要求先を選択しないでください。

DTC または DMAC の起動要因を、外部端子割り込みにする場合、IRQCRi.IRQMD[1:0] ビット (i = 0 ～ 15) でエッジ検出を選択してください。

割り込み要求の出力先の指定方法を以下に示します。

(1) DMAC の起動要因にする場合

DMAC の起動要因に指定する割り込み要因の IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” のときに以下の設定を行ってください。

(1) 起動する DMAC のチャネルに対応した DMRSRm レジスタ (m = DMAC チャネル番号) に、起動要因となる割り込み要因の割り込みベクタ番号を設定する (注 1)
(2) 起動する DMAC のチャネルに対応した DMA 転送モードレジスタ (DMTMD) の DCTG[1:0] ビットを “01b” にして、DMAC の起動要因を周辺機能割り込みまたは外部端子割り込みにする
(3) 起動する DMAC のチャネルに対応した DMA 転送許可レジスタ (DMCNT) の DTE ビットを “1” にする

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。
また、DMA モジュール起動レジスタ (DMAST) の DMST ビットを “1” にしてください。上記手順と DMST ビットを “1” にするのとはどちらを先に行っても構いません。
DMAC の設定手順は、「17. DMA コントローラ (DMACAa)」の「17.3.7 DMAC の起動」を参照してください。

(2) DTC の起動要因にする場合

DTC の起動要因に指定する割り込み要因の IERm.IENj ビットが “0” のときに以下の設定を行ってください。

(1) DTC の起動要因に指定する割り込みベクタ番号 n に対応した DTCERn.DTCE ビット (n = 026 ～ 255) を “1” にする (注 1)

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。
また、DTC モジュール起動レジスタ (DTCST) の DTCST ビットを “1” にしてください。上記手順と DTCST ビットを “1” にするのとはどちらを先に行っても構いません。
DTC の設定手順は、「18. データトランスファコントローラ (DTCb)」の「18.5 DTC の設定手順」を参照してください。

注 1. 同じ割り込み要因を DTC と DMAC の起動要因に選択しないでください。また、同じ割り込み要因を複数チャネルの DMAC の起動要因に選択しないでください。

(3) CPU への割り込み要因にする場合

割り込み要因を DTC の起動要因にも DMAC の起動要因にも指定しなかった場合、その要因の割り込み要求は CPU に出力されます。
DTC の起動要因や DMAC の起動要因に指定せずに、IERm.IENj ビットを “1” にしてください。

14.7.3.2　DTC/DMAC 選択時の動作

DTC や DMAC を割り込み要求先に設定した場合の動作は、**表 14.7** に示すとおりです。

表 14.7　DTC/DMAC起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IRフラグ (注2)のクリアタイミング	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	DTC
		= 0	DTC転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	CPU (DTCERn.DTCE ビットが“0”になる)
	0	≠ 0	DTC転送	DTCがデータ転送を開始したとき	DTC
		= 0	DTC転送→CPUに割り込み (注4)	CPUが割り込み要求を受け付けたとき (注4)	CPU (DTCERn.DTCE ビットが“0”になる)
DMAC	1	≠ 0	DMA転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	DMAC
		= 0	DMA転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	CPU (DMACm.DMCNT.DTE ビットが“0”になる)
	0	≠ 0	DMA転送	DMACがデータ転送を開始したとき	DMAC
		= 0	DMA転送 (注4)	DMACがデータ転送を開始したとき (注4)	CPU (DMACm.DMCNT.DTE ビットが“0”になる)

注1.　DTCの場合はDTC.MRB.DISEL ビットで、DMACの場合はDMACm.DMCSL.DISEL ビットで設定します。
注2.　IRn.IR フラグが“1”のとき、再度発生した割り込み要求(DTC/DMA 転送要求)は無視されます。
注3.　チェーン転送の場合は、チェーン転送が終了するまでDTC転送を継続します。チェーン転送終了時のCPU割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン転送終了時のDISEL ビットの値および残り転送回数によって決まります。チェーン転送については、「18.　データトランスファコントローラ(DTCb)」の「表18.4　チェーン転送の条件」を参照してください。
注4.　DISEL ビットが“0”でかつ残り転送回数が“0”のときの動作は、DTCとDMACで異なります。

14.7.3.3　割り込み要求先の変更

割り込み要求先を変更する場合は、IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” にしてから行ってください。

(1)　現在の割り込み要求先が DMAC の場合

「14.7.3.1　割り込み要求先の設定手順」の**「(1)　DMAC の起動要因にする場合」**に示された手順の後、DMA 転送が完了していないとき (DMCNT.DTE ビットがクリアされていない状態) に割り込み要求先を変更する場合や DMAC の起動要因を別の割り込み要因に変更する場合は、以下に示す手順で行ってください。

(1)　現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを “0” にする
(2)　DMAC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
(3)　**「14.7.3.1　割り込み要求先の設定手順」**に示された手順を実施する

(2)　現在の割り込み要求先が DTC の場合

「14.7.3.1　割り込み要求先の設定手順」の**「(2)　DTC の起動要因にする場合」**に示された手順の後、DTC 転送が完了していないとき (DTCERn.DTCE ビット (n = 026 ～ 255) がクリアされていない状態) に割り込み要求先を変更する場合や DTC の転送内容を変更する場合は、以下に示す手順で行ってください。

(1)　現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを “0” にする
(2)　DTC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
(3)　**「14.7.3.1　割り込み要求先の設定手順」**に示された手順を実施する

14.7.4 外部端子割り込みの設定手順

外部端子割り込みを使用するときの設定手順は以下のとおりです。

(1) 使用する IRQi 端子 (i = 0 ～ 15) に対応した IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” (割り込み要求禁止) にする
(2) IRQFLTE0 レジスタまたは IRQFLTE1 レジスタの FLTENi ビットを “0” (デジタルフィルタ無効) にする
(3) IRQFLTC0 レジスタまたは IRQFLTC1 レジスタの FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
(4) I/O ポートの設定および確認を行う
(5) IRQCRi.IRQMD[1:0] ビットで検出方法を選択する
(6) エッジ検出を選択した場合は、対応する IRn.IR フラグ (n = 016 ～ 255) を “0” にする
(7) IRQFLTE0/IRQFLTE1.FLTENi ビットを “1” (デジタルフィルタ有効) にする。
(8) 割り込み要求先を DTC にする場合は DTCERn.DTCE ビット (n = 026 ～ 255) を、DMAC にする場合は DMRSRm レジスタ (m = DMAC チャネル番号) を設定する (どちらも設定しない場合は CPU への割り込みになる)
(9) 対応する IERm.IENj ビットを “1” (割り込み要求許可) にする。

14.7.5 ノンマスカブル割り込みの設定手順

リセット後、ノンマスカブル割り込みは禁止になっています。ノンマスカブル割り込みを使用する場合は、以下の手順で設定してください。

(1) スタックポインタ (SP) を設定する
(2) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “0” (デジタルフィルタ無効) にする
(3) NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
(4) NMI 端子を使用する場合は、NMICR.NMIMD ビットで NMI 端子の検出エッジを選択する
(5) NMI 端子を使用する場合は、NMICLR.NMICLR ビットに “1” を書いて、NMISR.NMIST フラグを “0” にする
(6) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “1” (デジタルフィルタ有効) にする
(7) NMIER レジスタの使用する割り込み要因に対応するビットを “1” にして、ノンマスカブル割り込みの生成を許可する

NMIER レジスタのビットは一度 “1” (許可) にすると、以後そのビットへの書き込みは無効となり、“0” (禁止) にすることはできません。いったん許可したノンマスカブル割り込みを禁止するには、MCU をリセットする以外にありません。

ノンマスカブル割り込みの処理の流れは、**「13. 例外処理」**を参照してください。

NMISR レジスタの RAMST フラグを除く各フラグは、NMICLR レジスタの対応するビットに “1” を書くことで “0” になります。RAMST フラグを “0” にするには、RAM.RAMSTS.RAMERR フラグのうち、“1” になったフラグを “0” にしてください。

ノンマスカブル割り込みの割り込み処理ルーチンでは、NMISR レジスタの全フラグが “0” になったことを確認して処理を終了してください。

NMI 端子割り込みを除くノンマスカブル割り込みは、マスカブル割り込みとしても使用できます。マスカブル割り込みとして使用する場合は、NMIER レジスタをリセット後の値から変更しないでください。また、

電圧監視 1 割り込み、電圧監視 2 割り込みをマスカブル割り込みとして使用する場合は、電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビット、電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットを “1” にしてください。

14.7.6 デジタルフィルタ

デジタルフィルタを有効にすることで、IRQi 端子 (i = 0 ～ 15) と NMI 端子への入力信号に含まれるノイズを除去することができます。

デジタルフィルタは、端子への入力信号をデジタルフィルタ用のサンプリングクロック (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) でサンプリングし、3 回連続でレベルが一致する入力信号のみを通過させます。

IRQi 端子にデジタルフィルタを適用する場合は「14.7.4 外部端子割り込みの設定手順」を、NMI 端子にデジタルフィルタを適用する場合は「14.7.5 ノンマスカブル割り込みの設定手順」を参考に関係するレジスタを設定してください。

ソフトウェアスタンバイモードからの復帰要因として外部端子割り込みや NMI 端子割り込みを使用する場合は、デジタルフィルタは使用できません。ソフトウェアスタンバイモードに移行する前に、IRQFLTE0 または IRQFLTE1 レジスタの FLTENi ビット、または NMIFLTE.NFLTEN ビットを “0” にしてください。ソフトウェアスタンバイモードから復帰した後、再度デジタルフィルタを有効にする場合は、IRQFLTE0 または IRQFLTE1 レジスタの FLTENi ビット、または NMIFLTE.NFLTEN ビットを “1” にしてください。

図 14.20 にデジタルフィルタの動作例を示します。

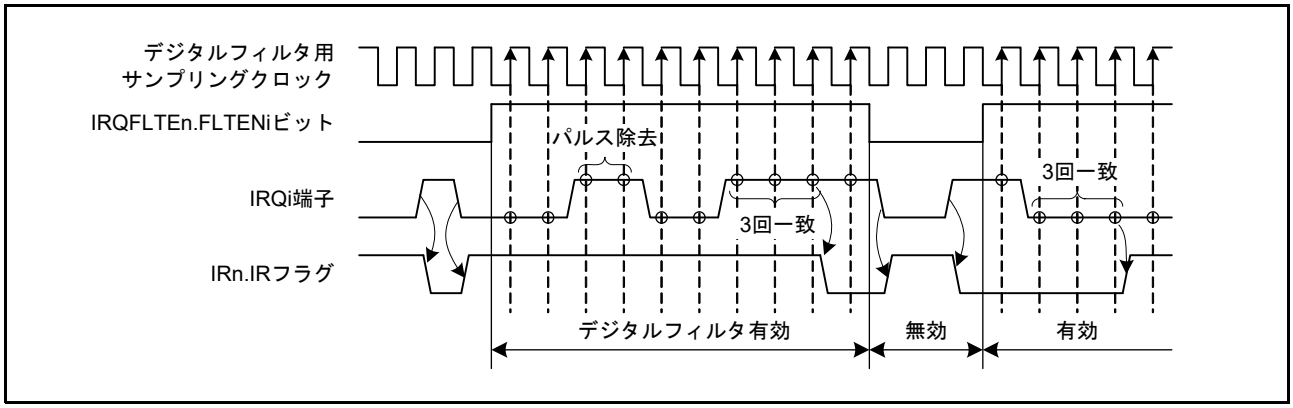


図 14.20 デジタルフィルタ動作例 (IRQCRi.IRQMD[1:0] ビットが “00b” (Low) の場合)

14.7.7 選択型割り込みの設定手順

選択型割り込みに割り込み要因を割り当てる手順を以下に示します。

(1) 設定する選択型割り込みの IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” にする (リセット後の値から変更していなければ不要)
(2) SLIARn レジスタ (n = 208 ～ 255) に割り込み要因番号を設定する。選択型割り込み A に分類された割り込み要因の要因番号は**「表 14.3 選択型割り込み A 要因一覧」**を参照してください
(3) SLIPRCR.WPRC ビットを “1” にする
(4) SLIPRCR.WPRC ビットが “1” であることを確認する
(5) 割り込み要求先 (CPU, DTC, DMAC) を選択する。設定手順は**「14.7.3.1 割り込み要求先の設定手順」**を参照してください
(6) IRn.IR フラグ (n = 208 ～ 255) に “0” を書く (エッジ検出の場合のみ)
(7) IERm.IENj ビットを “1” にする

14.7.7.1 選択型割り込みのポーリング

PIARk レジスタ (k = 0h ～ Fh, 12h ～ 14h) の PIRj フラグ (j = 0 ～ 7) を参照して割り込み要求のポーリングを行う場合は、以下の手順で行ってください。

(1) 対象となる周辺モジュールの割り込み設定を行う
(2) ポーリング対象の PIARk レジスタの PIRj フラグに “1” を書いて (注 1) フラグをクリアする
(3) 周辺モジュールの割り込み要求の出力を許可する
(4) 適宜、PIARk レジスタの PIRj フラグを読み出し、値を確認する
(5) PIARk レジスタの PIRj フラグをクリアする場合は、対象となるフラグに “1” を書く (注 1)
(6) 以降、必要に応じて (4)、(5) を繰り返す

注 1. ビット操作命令は使用しないでください。ビット操作命令を使用すると複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを “1”、その他のフラグを “0” にして 8 ビット単位で書いてください。

14.8 多重割り込み

多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で CPU のプロセッサステータスワード (PSW) の I ビットを “1” (割り込み許可) にしてください。

割り込み処理ルーチン内での PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

なお、PSW.I ビットの書き換えは、スーパバイザモードのときのみ有効です。割り込みが受け付けられると PSW.PM ビットが “0” (スーパバイザモード) になるため、割り込みの処理ルーチン内では PSW.I ビットを書き換えることができます。

14.9 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうち 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRr.IPR[3:0] ビット (r = 000 ～ 255) の設定にかかわらず、“15” (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が “1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てるには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを “1” (高速割り込みを許可) にしてください。

高速割り込みの機能が有効になるのは、割り込み要求先として CPU を指定したときのみです。割り込み先に DTC や DMAC を指定した場合、高速割り込みの機能は無効になります。

高速割り込みについては、「2. CPU」や「13. **例外処理**」も参照してください。

14.10 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰に割り込みが使用できます。

詳細は**「11. 消費電力低減機能」**を参照してください。低消費電力モードごとの復帰要因の設定方法を以下に示します。

14.10.1 スリープモードからの復帰

ノンマスカブル割り込み、およびすべての割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) によって該当する割り込みの要求が許可されていること
- CPU のプロセッサステータスワード (PSW) の IPL[3:0] ビットよりも高い割り込み優先レベルであること
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENBL0, GENBL1, GENBL2, GENAL0, GENAL1) の ENj ビット (j = 0 ～ 31) によって該当する割り込みの要求が許可されていること

14.10.2 全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み、および**「表 14.4 割り込みベクタテーブル」**の「ACS 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 全モジュールクロックストップモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

14.10.3 ソフトウェアスタンバイモードからの復帰

ノンマスカブル割り込み、および「表 14.4 割り込みベクタテーブル」の「SSBY 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- ソフトウェアスタンバイモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
  (高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRr.IPR[3:0] ビット (r = 000 ～ 255) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「14.7.6 デジタルフィルタ」を参照してください。

14.11 使用上の注意事項

14.11.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが “0” であることを確認した後で行ってください。

14.11.2 ソフトウェアスタンバイモード中の割り込み要求

ソフトウェアスタンバイモードからの復帰要因に設定していない割り込み要因からソフトウェアスタンバイモード中に割り込み要求が発生した場合、その要求は割り込みコントローラ内部に保持され、他の割り込み要因によって復帰した後に順次処理されます。

ただし、外部端子割り込みについては、この割り込み要求は保持されません。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	• CPU (命令) を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU (オペランド) を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス1	• RAMを接続
	メモリバス2	• コードフラッシュメモリを接続
内部メインバス	内部メインバス1	• CPUを接続 • システムクロック(ICLK)に同期して動作
	内部メインバス2	• DTC、DMACを接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス1	• 周辺機能(TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作
	内部周辺バス2	• 周辺機能(内部周辺バス1、3、4、5以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス3	• 周辺機能(DOC, RSCI, CANFD, CMPC)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス4	• 周辺機能(MTU, GPTW, HRPWM, RSPI)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス5	• 周辺機能(RSCI, RSPIA, RI3C, CANFD)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス6	• コードフラッシュメモリ(P/E時)、データフラッシュメモリを接続 • FlashIFクロック(FCLK)に同期して動作

P/E：プログラム / イレーズ

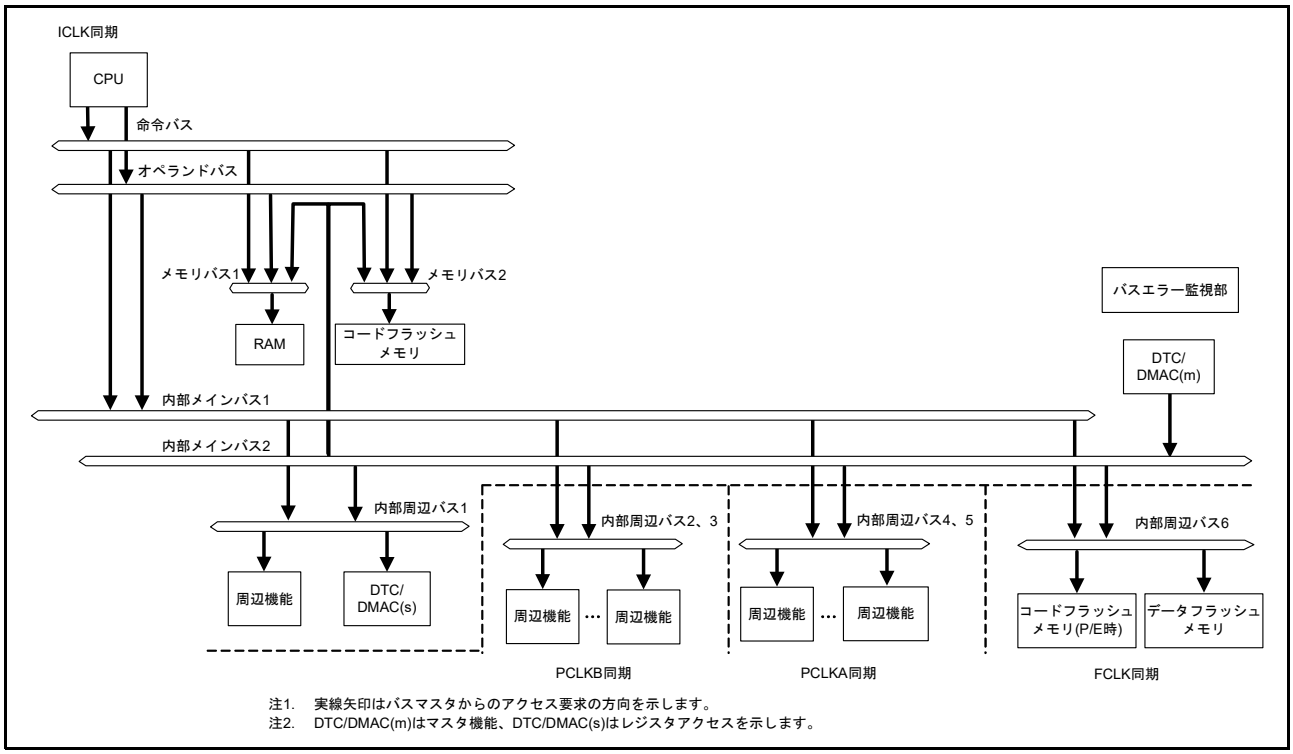


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h～0000 FFFFh	メモリバス 1	RAM
0001 0000h～0007 FFFFh		予約領域
0008 0000h～0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h～0009 FFFFh	内部周辺バス 2	
000A 0000h～000B FFFFh	内部周辺バス 3	
000C 0000h～000D FFFFh	内部周辺バス 4	
000E 0000h～000F FFFFh	内部周辺バス 5	
0010 0000h～007F FFFFh	内部周辺バス 6	データフラッシュメモリ、コードフラッシュメモリ (書き換え専用)
0080 0000h～7FFF FFFFh	予約領域	予約領域
8000 0000h～FFFF FFFFh	メモリバス 2	コードフラッシュメモリ (読み出し専用)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、コードフラッシュメモリに接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、コードフラッシュメモリは読み出しのみ CPU からの直接アクセスが可能であり、プログラム / イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、コードフラッシュメモリと RAM などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 にはコードフラッシュメモリが接続されています。メモリバスは 64 ビットです。メモリバス 1、2 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC, DMAC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、**表 15.3** に示すように、DMAC > DTC の順となります。

DTC と DMAC については、転送要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の転送要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DMAC4 > DMAC5 > DMAC6 > DMAC7 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ～内部周辺バス 6) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表15.3 バスマスタ優先順位

優先度	バスマスタ
高 ▲	DMAC
	DTC
低	CPU

注. 上記はバス優先権が固定の場合です。

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1、3、4、5以外の周辺機能
内部周辺バス3	DOC, RSCI, CANFD, CMPC
内部周辺バス4	MTU, GPTW, HRPWM, RSPI
内部周辺バス5	RSCI, RSPIA, RI3C, CANFD
内部周辺バス6	コードフラッシュメモリ(P/E時)、データフラッシュメモリ

内部周辺バス 1 ～ 6 は、それぞれ、CPU (内部メインバス 1) と CPU 以外のバスマスタ (内部メインバス 2) からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス 1 プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス 2, 3 プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス 4, 5 プライオリティ制御ビット (BUSPRI.BPHB[1:0])、内部周辺バス 6 プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。(ラウンドロビン方式)

BUSPRI レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 15.2 参照)。

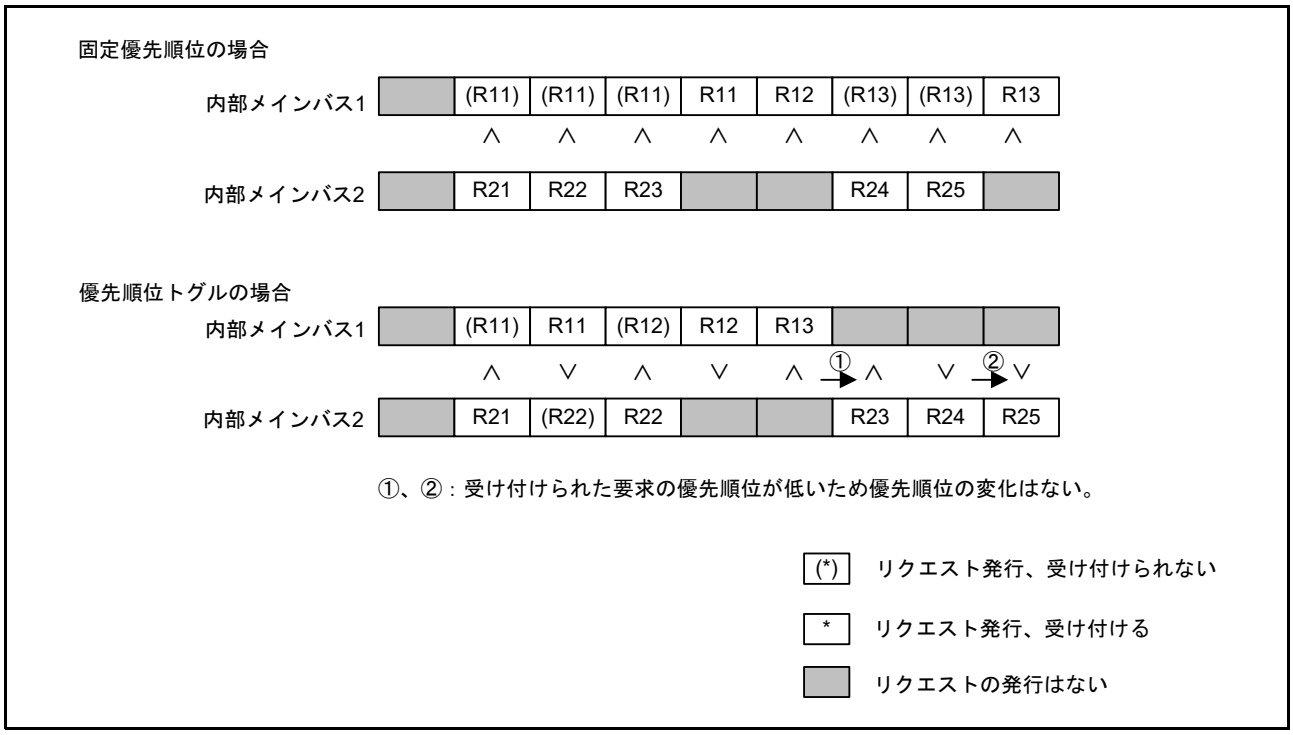


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。(図 15.3 参照)

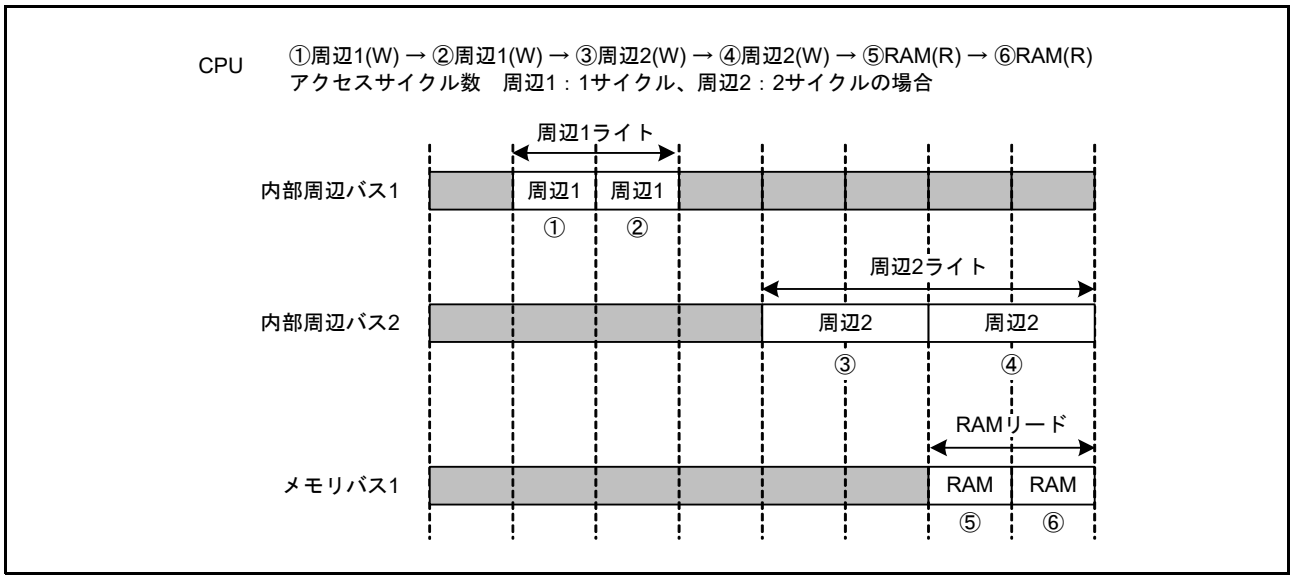


図 15.3 ライトバッファ機能

15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU の命令フェッチがコードフラッシュメモリを、オペランドが RAM をアクセス中に、DMAC は周辺ー周辺バス間の転送を行うことができます。図 15.4 に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれコードフラッシュメモリと RAM を同時にアクセスすることが可能です。また、CPU がコードフラッシュメモリと RAM をアクセス中に、DMAC は内部メインバス 2 を使って、周辺バスを同時にアクセスすることができます。

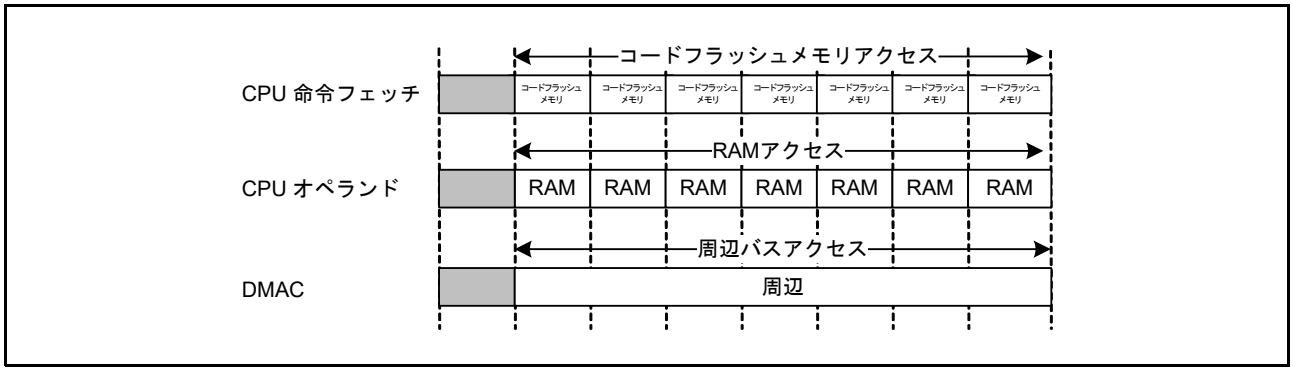


図 15.4 並列動作の例

15.2.7 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

15.3 レジスタの説明

15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0：無効 1：バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1” を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0” 書き込みは無効です。読むと “0” が読み出されます。

15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0：不正アドレスアクセス検出禁止 1：不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0：バスタイムアウト検出禁止 1：バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止(TOENビット = 0)にしてバスアクセスを行った場合、バスがフリーズすることがあります。
注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止)にしないようにしてください。

15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MST[2:0]			—	—	TO	IA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0：不正アドレスアクセスの発生なし 1：不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0：タイムアウトの発生なし 1：タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0：CPU 0 0 1：予約 0 1 0：予約 0 1 1：DTC/DMAC 1 0 0：予約 1 0 1：予約 1 1 0：予約 1 1 1：予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDR[12:0]													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット(512Kバイト単位)	R

15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	BPFB[1:0]		BPHB[1:0]		BPGB[1:0]		BPIB[1:0]		BPRO[1:0]		BPRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス 1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R(/W) (注1)
b3-b2	BPRO[1:0]	メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R(/W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス 1 プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R(/W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス 2, 3 プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R(/W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス 4, 5 プライオリティ制御ビット	b9 b8 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R(/W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス 6 プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R(/W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス 1 (RAM) プライオリティ制御ビット)

メモリバス 1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPU バス (命令バス、オペランドバス) と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット)

メモリバス 2 (コードフラッシュメモリ) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPU バス (命令バス、オペランドバス) と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2, 3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4, 5 プライオリティ制御ビット)

内部周辺バス 4 と内部周辺バス 5 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの 2 種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが 768 サイクル以内に終了しない場合に検出します。

15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、不正アドレス領域へのアクセスが起こった場合に発生します。

不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを**表 15.5** に示します。

15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2, 3) :バスアクセス開始後、周辺モジュールクロック (PCLKB) で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると PCLKB で 256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4, 5) ：バスアクセス開始後、周辺モジュールクロック (PCLKA) で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると PCLKA で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6) :バスアクセス開始後、FlashIF クロック (FCLK) で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると FCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
  割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類	
		不正アドレスアクセス	タイムアウト
0000 0000h～0007 FFFFh	メモリバス 1	—	—
0008 0000h～0008 7FFFh	内部周辺バス 1	—	—
0008 8000h～0009 FFFFh	内部周辺バス 2	△	—
000A 0000h～000B FFFFh	内部周辺バス 3	△	—
000C 0000h～000D FFFFh	内部周辺バス 4	△	○
000E 0000h～000F FFFFh	内部周辺バス 5	△	—
0010 0000h～0011 FFFFh	内部周辺バス 6	—	—
0012 0000h～007F FFFFh		△	—
0080 0000h～00FF FFFFh	予約領域	—	—
0100 0000h～7FFF FFFFh		○	—
8000 0000h～FEFF FFFFh	メモリバス 2	—	—
FF00 0000h～FF7F FFFFh		—	—
FF80 0000h～FFFF FFFFh		—	—

—：バスエラーは発生しません。
△：バスエラーは不定です。
○：バスエラーを発生します。
注. 実装されるRAM、データフラッシュメモリ、コードフラッシュメモリの容量は製品により異なります。製品ごとの仕様については、「47. RAM」、「48. フラッシュメモリ (FLASH)」を参照してください。

15.5 割り込み

15.5.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表 15.6 割り込み要因

名称	割り込み要因	DTC起動	DMAC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可	不可

16. メモリプロテクションユニット (MPU)

16.1 概要

RXv3 CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ～ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、**図 16.1** にブロック図を示します。

表16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域と プロセッサモード	0000 0000h～FFFF FFFFh (ユーザモード時) スーパバイザモード時はメモリ保護なし
領域数	8
ページサイズ(最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域n終了ページ番号レジスタ(REPAGEn)の有効ビット(V)で各領域の有効/無効を設定(n = 0～7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ(MPDEA)に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ(MPESTS)に要因を格納
バックグラウンド領域設定	バックグラウンド領域(全アドレス空間)に対して、アクセス制御情報を設定可能
領域オーバラップの処理	あるアドレスに対して領域がオーバラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

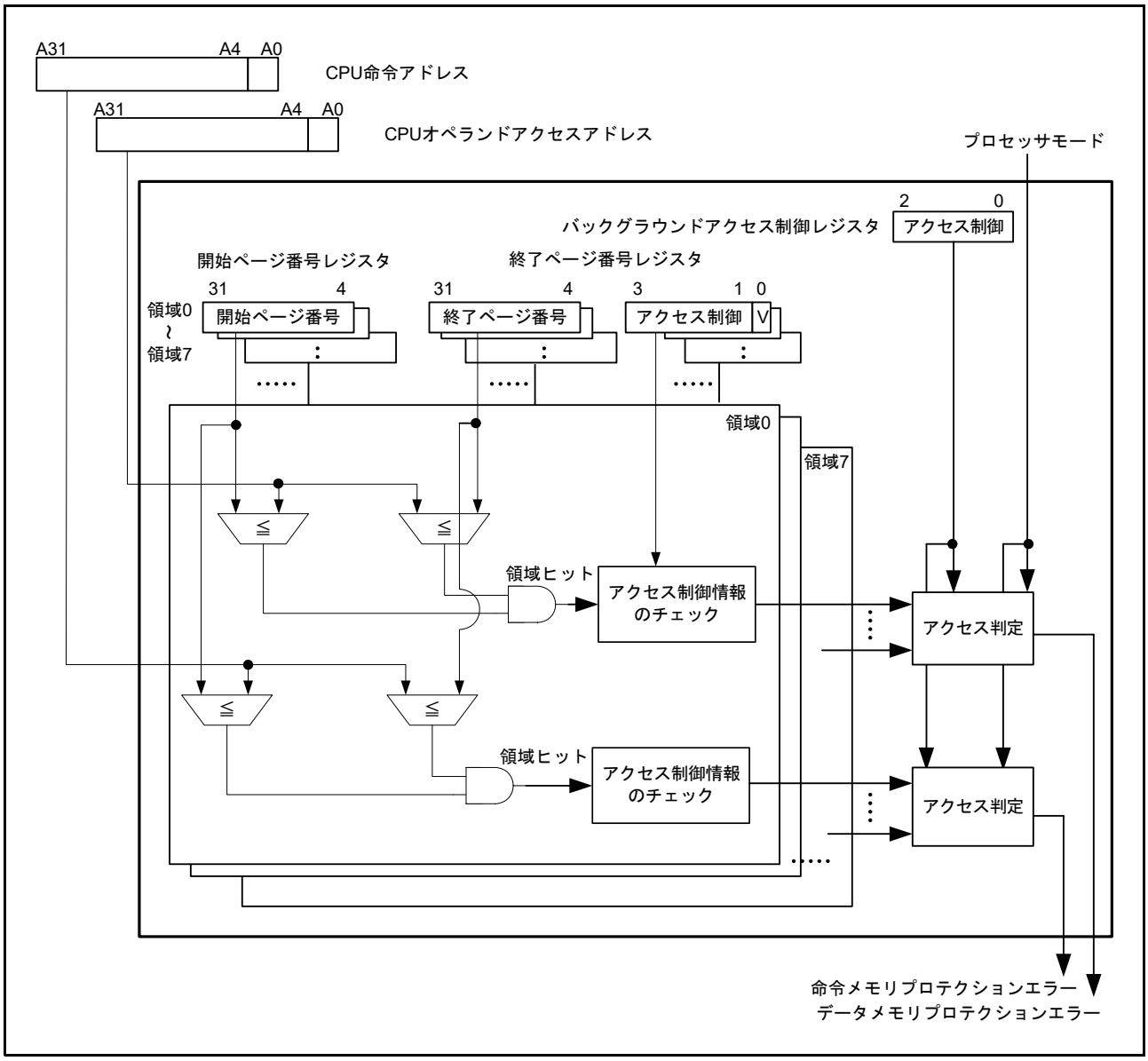


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n = 0 ～ 7)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイトごとに区切ったものです。アドレス [31:0] の上位 28 ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ～ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが “1”) であれば有効となります。

16.1.4 領域のオーバラップ

複数の領域がオーバラップした場合のアクセス制御情報は、オーバラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ～ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h, RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RSPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RSPN[27:0]												—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ～ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch, REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	REPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REPN[27:0]												UAC[2:0]			V
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0：領域設定無効 1：領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは “0” になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3　メモリプロテクション機能有効化レジスタ (MPEN)

アドレス　0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1：メモリプロテクション機能有効 0：メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに “1” を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4　バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス　0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンド アクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5　メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス　0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DMPER, IMPERビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード / ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を “0” にします。

16.2.6　メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス　0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPER	IMPER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0：命令メモリプロテクションエラー発生なし 1：命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0：データメモリプロテクションエラー発生なし 1：データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0：データリード 1：データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IMPER ビット (命令メモリプロテクションエラー発生 ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることによってのみ、“0” になります。

DMPER ビット (データメモリプロテクションエラー発生 ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることによってのみ、“0” になります。

DRW ビット (データリード / ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DMPER ビットが “1” の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることで、“0” になります。

16.2.7　データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8　領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

16.2.9　領域サーチオペレーションレジスタ (MPOPS)

アドレス　0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット (領域サーチオペレーションビット)

S ビットを “1” にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10　領域インバリデートオペレーションレジスタ (MPOPI)

アドレス　0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：全アクセス制御領域のインバリデート(無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを “1” にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を “0” にします。REPAGEn.V ビットを “0” にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11　命令ヒット領域レジスタ (MHITI)

アドレス　0008 6528h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITI[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット(MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーを発生したときは、HITI[7:0] ビットは “0000 0000b” にセットされます。

16.2.12　データヒット領域レジスタ (MHITD)

アドレス　0008 652Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACD[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時データヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITD[7:0]	データヒット領域ビット	データメモリプロテクションエラー発生ビット(MPESTS.DMPER) = 1のとき、[b23:b16] = 0000 0000b：バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0：領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0：領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0：領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0：領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0：領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0：領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0：領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0：領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット (ユーザモード時 データヒット領域 アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域 ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーを発生したとき、HITD[7:0] ビットは “0000 0000b” にセットされます。

注 . ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反 (メモリプロテクションエラー) を検出した場合は、メモリプロテクションユニットは CPU へその情報を通知し、CPU はアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を “1” にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが 8 つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報 (実行許可、読み出し許可、書き込み許可) がどのように設定されているかを調べる機能です。

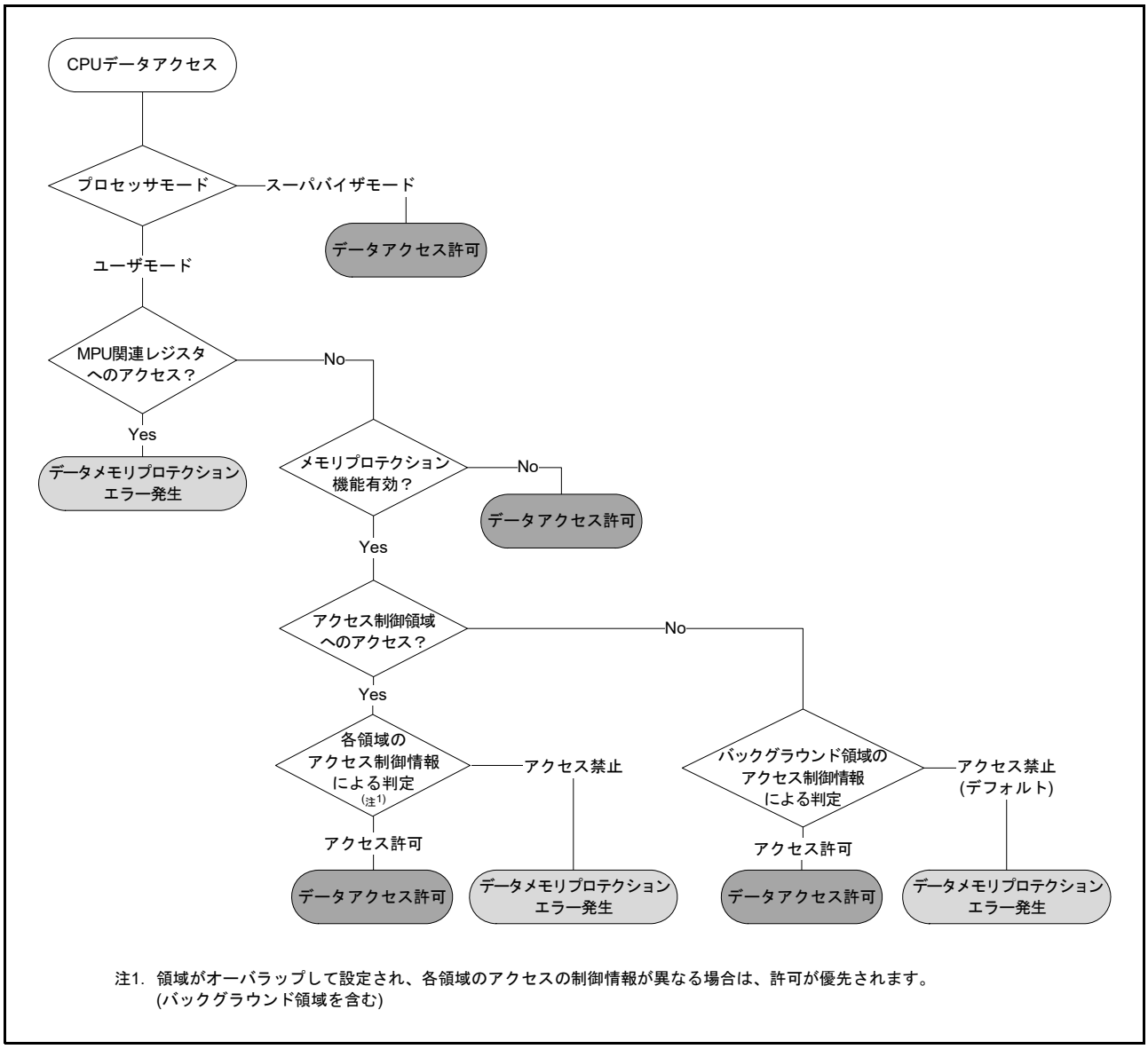
領域サーチオペレーションレジスタ (MPOPS) の領域サーチオペレーションビット (S) を “1” にすることにより、領域サーチアドレスレジスタ (MPSA) で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ (MHITD) は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPU のオペランドアクセス以外の手段 (命令フェッチ、DMA) ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパバイザモードでのみアクセスすることができます。ユーザモードで CPU のオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

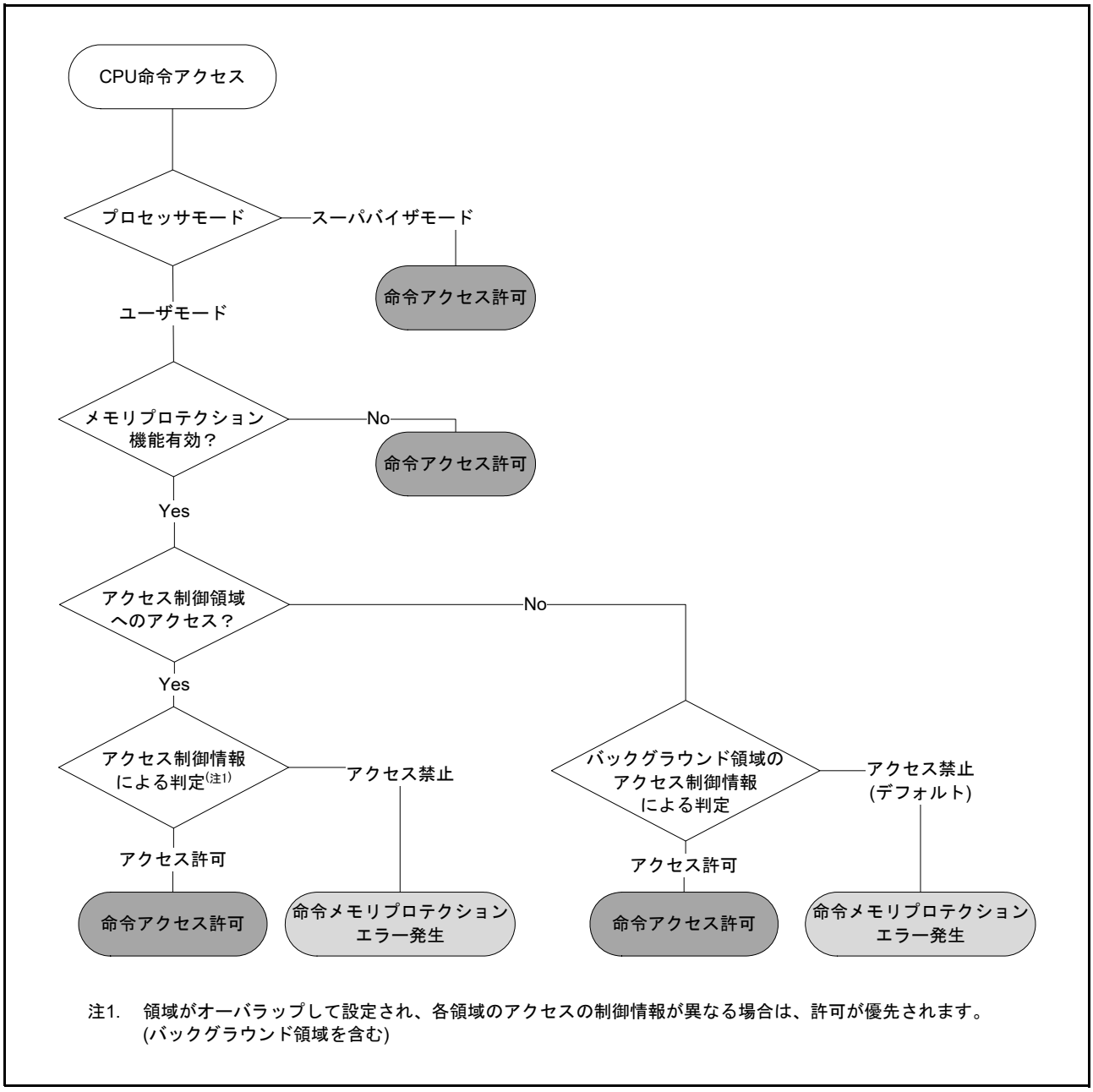
16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。



注1. 領域がオーバラップして設定され、各領域のアクセスの制御情報が異なる場合は、許可が優先されます。
(バックグラウンド領域を含む)

図 16.2 データアクセス判定フロー



注1. 領域がオーバラップして設定され、各領域のアクセスの制御情報が異なる場合は、許可が優先されます。
(バックグラウンド領域を含む)

図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n = 0 ～ 7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

16.4.2 メモリプロテクション機能の有効化

スーパバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を “1” にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、いずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。スーパバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を “1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを “1” にした後、RTFI 命令を実行

注 . MVTC, POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合**

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b” になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITI.HITI[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合**

命令ヒット領域ビット (MHITI.HITI[7:0]) は、“0000 0000b” になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. DMA コントローラ (DMACAa)

本 MCU は、8 チャネルの DMAC (Direct Memory Access Controller) を内蔵しています。

DMAC は、CPU を介さずにデータ転送を行います。DMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

17.1 概要

表 17.1 に DMAC の仕様を、**図 17.1** に DMAC のブロック図を示します。

表17.1　DMACの仕様

項目		内容
チャネル数		8チャネル(DMACm (m = 0～7))
転送空間		512Mバイト (00000000h～0FFFFFFFhとF0000000h～FFFFFFFFhのうち予約領域を除く領域)
最大転送データ数		64Mデータ(ブロック転送モード最大総転送数：1024データ×65536ブロック)
DMAC起動要因		• チャネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力(注1)
チャネル優先順位		チャネル0 > チャネル1 > チャネル2 > チャネル3... > チャネル7 (チャネル0が最優先)
転送データ	1データ	ビット長：8ビット、16ビット、32ビット
	ブロックサイズ	データ数：1～1024データ
転送モード	ノーマル転送モード	• 1回のDMA転送要求で1データを転送 • 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	• 1回のDMA転送要求で1データを転送 • 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • リピートサイズは最大1024回設定可能
	ブロック転送モード	• 1回のDMA転送要求で1ブロックのデータを転送 • ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	• 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 • 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	ノーマル転送モードの場合、指定回数の転送が終了したときに発生 リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
イベントリンク機能		1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能

注1.　DMACの起動要因は、「14.　割り込みコントローラ(ICUG)」の「表14.4　割り込みベクタテーブル」を参照してください。

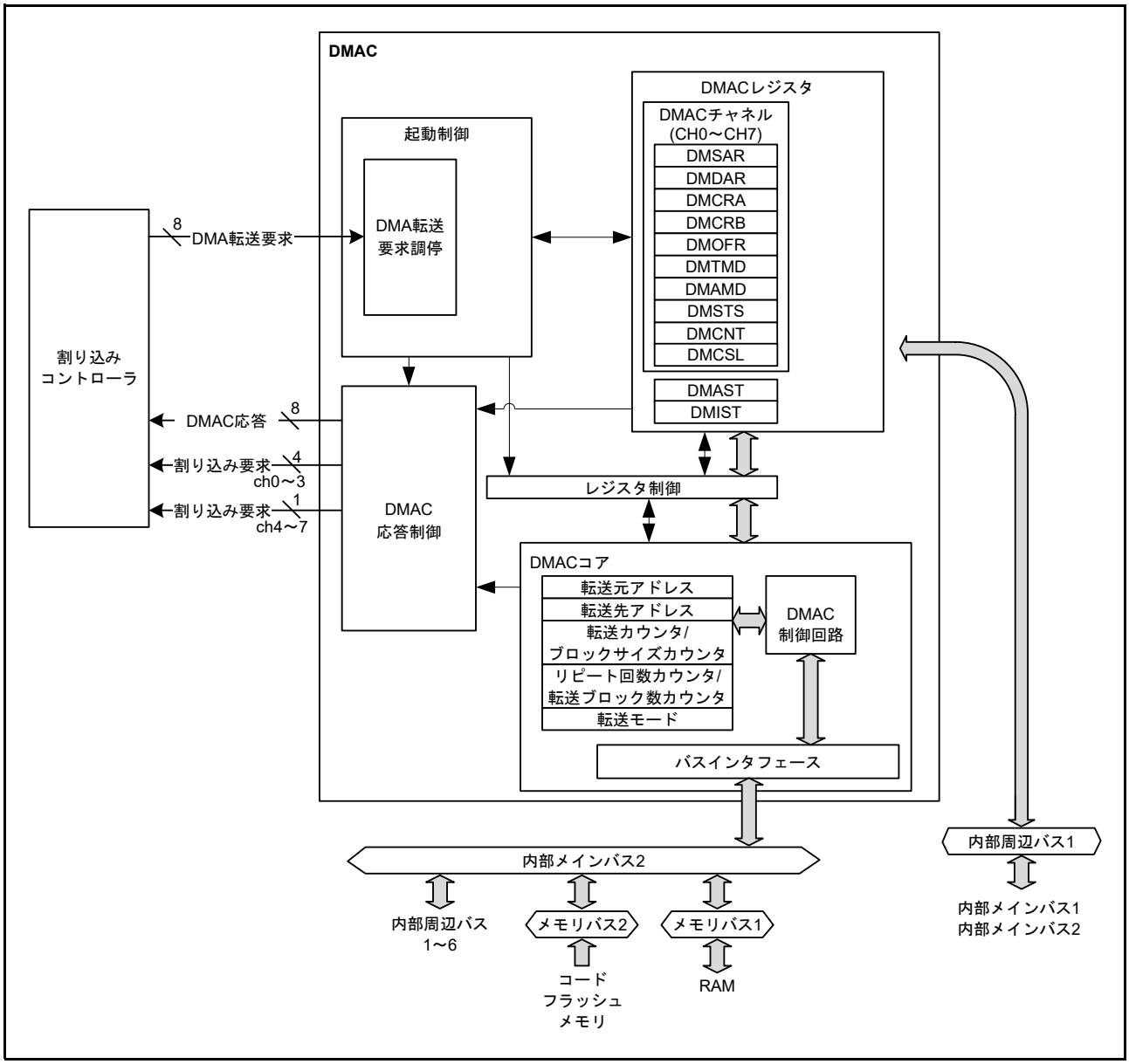


図 17.1 DMAC のブロック図

17.2　レジスタの説明

17.2.1　DMA 転送元アドレスレジスタ (DMSAR)

アドレス　DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h, DMAC2.DMSAR 0008 2080h, DMAC3.DMSAR 0008 20C0h, DMAC4.DMSAR 0008 2100h, DMAC5.DMSAR 0008 2140h, DMAC6.DMSAR 0008 2180h, DMAC7.DMSAR 0008 21C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h～0FFFFFFFh (256Mバイト) F0000000h～FFFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.2　DMA 転送先アドレスレジスタ (DMDAR)

アドレス　DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h, DMAC2.DMDAR 0008 2084h, DMAC3.DMDAR 0008 20C4h, DMAC4.DMDAR 0008 2104h, DMAC5.DMDAR 0008 2144h, DMAC6.DMDAR 0008 2184h, DMAC7.DMDAR 0008 21C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h～0FFFFFFFh (256Mバイト) F0000000h～FFFFFFFFh (256Mバイト)	R/W

DMDAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.3　DMA 転送カウントレジスタ (DMCRA)

アドレス　DMAC0.DMCRA 0008 2008h, DMAC1.DMCRA 0008 2048h, DMAC2.DMCRA 0008 2088h, DMAC3.DMCRA 0008 20C8h, DMAC4.DMCRA 0008 2108h, DMAC5.DMCRA 0008 2148h, DMAC6.DMCRA 0008 2188h, DMAC7.DMCRA 0008 21C8h

・ノーマル転送モード

DMCRAH

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMCRAL

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・リピート転送モード、ブロック転送モード

DMCRAH

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMCRAL

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント上位ビット		R/W

注.　リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAL レジスタには同じ値を設定してください。

(1)　ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (–1) します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは “0000h” を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ～ 3FFh (1 回～ 1024 回) です。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (–1) され、“000h” になると DMCRAH レジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が “001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ～ 3FFh です。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (–1) され、“000h” になると DMCRAH レジスタの値が転送されます。

17.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch, DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh, DMAC4.DMCRB 0008 210Ch, DMAC5.DMCRB 0008 214Ch, DMAC6.DMCRB 0008 218Ch, DMAC7.DMCRB 0008 21CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15-b0	転送ブロック数、リピート回数を設定します	0001h～FFFFh (1～65535回) 0000h (65536回)	R/W

DMCRB レジスタは、ブロック転送モード時の転送ブロック数、またはリピート転送モード時のリピート回数を指定するレジスタです。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (–1) されます。

ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

17.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス　DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h, DMAC2.DMTMD 0008 2090h, DMAC3.DMTMD 0008 20D0h, DMAC4.DMTMD 0008 2110h, DMAC5.DMTMD 0008 2150h, DMAC6.DMTMD 0008 2190h, DMAC7.DMTMD 0008 21D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0：ソフトウェア 0 1：周辺モジュールおよび外部割り込み入力端子からの割り込み (注1) 1 0：設定しないでください 1 1：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0：8ビット転送 0 1：16ビット転送 1 0：32ビット転送 1 1：設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0：転送先側がリピート領域またはブロック領域 0 1：転送元側がリピート領域またはブロック領域 1 0：リピート領域、ブロック領域は設定しない 1 1：設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0：ノーマル転送 0 1：リピート転送 1 0：ブロック転送 1 1：設定しないでください	R/W

注1.　DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「14.　割り込みコントローラ(ICUG)」の「表14.4　割り込みベクタテーブル」を参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

17.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h, DMAC2.DMINT 0008 2093h, DMAC3.DMINT 0008 20D3h, DMAC4.DMINT 0008 2113h, DMAC5.DMINT 0008 2153h, DMAC6.DMINT 0008 2193h, DMAC7.DMINT 0008 21D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送先アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送先アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送元アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送元アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0：リピートサイズ終了割り込みを禁止 1：リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0：エスケープ割り込みを禁止 1：エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0：転送終了割り込みを禁止 1：転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット)

DARIE ビットを “1” に設定したとき、転送先アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、転送先アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの DMACm.DMCNT.DTE ビットを “1” にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット)

SARIE ビットを “1” に設定したとき、転送元アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、転送元アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの DMACm.DMCNT.DTE ビットを “1” にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを “1” に設定したとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b” (リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを “1” に設定したときも同様に 1 ブロックの転送終了後に

DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b” (リピート領域、ブロック領域に指定しない) に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み) を許可または禁止します。

ESIE ビットを “1” にセットすると、DMSTS.ESIF フラグに “1” がセットされたとき、転送エスケープ終了割り込みを発生します。転送エスケープ終了割り込みは、ESIE ビットを “0” にクリアするか、DMSTS.ESIF フラグを “0” にクリアすると解除されます。

DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを “1” にセットすると、DMSTS.DTIF フラグに “1” がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを “0” にクリアするか、DMSTS.DTIF フラグを “0” にクリアすると解除されます。

17.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h, DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h, DMAC4.DMAMD 0008 2114h, DMAC5.DMAMD 0008 2154h, DMAC6.DMAMD 0008 2194h, DMAC7.DMAMD 0008 21D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]		—	SARA[4:0]					DM[1:0]		—	DARA[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表17.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表17.2を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには “00000b” を書いてください。

DMINT.DARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 17.2** に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき –2、DMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには “00000b” を書いてください。

DMINT.SARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 17.2** に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき –2、DMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表17.2 拡張リピートエリアの設定と範囲

SARA[4:0]/DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット(2バイト)を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット(4バイト)を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット(8バイト)を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット(16バイト)を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット(32バイト)を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット(64バイト)を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット(128バイト)を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット(256バイト)を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット(512バイト)を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット(1Kバイト)を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット(2Kバイト)を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット(4Kバイト)を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット(8Kバイト)を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット(16Kバイト)を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット(32Kバイト)を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット(64Kバイト)を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット(128Kバイト)を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット(256Kバイト)を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット(512Kバイト)を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット(1Mバイト)を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット(2Mバイト)を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット(4Mバイト)を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット(8Mバイト)を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット(16Mバイト)を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット(32Mバイト)を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット(64Mバイト)を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット(128Mバイト)を拡張リピートエリアに設定する
11100b～11111b	設定しないでください

17.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h～00FFFFFFh (0バイト～(16M–1)バイト) FF000000h～FFFFFFFFh (–16Mバイト～–1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ～ 25 への設定値は無効です、ビット 31 ～ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch, DMAC2.DMCNT 0008 209Ch, DMAC3.DMCNT 0008 20DCh, DMAC4.DMCNT 0008 211Ch, DMAC5.DMCNT 0008 215Ch, DMAC6.DMCNT 0008 219Ch, DMAC7.DMCNT 0008 21DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可ビット	0：DMA転送を禁止 1：DMA転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが “1” (DMAC 動作) で、DTE ビットが “1” (DMA 転送を許可) のとき、対応するチャネルの DMA 転送を開始することができます。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- “0” を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

17.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh, DMAC2.DMREQ 0008 209Dh, DMAC3.DMREQ 0008 20DDh, DMAC4.DMREQ 0008 211Dh, DMAC5.DMREQ 0008 215Dh, DMAC6.DMREQ 0008 219Dh, DMAC7.DMREQ 0008 21DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMA ソフトウェア起動ビット	0：DMA 転送要求なし 1：DMA 転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMA ソフトウェア起動ビット自動クリア選択	0：ソフトウェア起動後に SWREQ ビットをクリアする 1：ソフトウェア起動後に SWREQ ビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに “1” を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが “0” に設定されている場合、SWREQ ビットは “0” にクリアされます。CLRS ビットが “1” に設定されている場合、SWREQ ビットは “0” にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを “00b” (DMAC 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが “00b” 以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが “0” でソフトウェア起動を行う場合、SWREQ ビットが “0” であることを確認してから SWREQ ビットに “1” を書いてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- CLRS ビットが “0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0” を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ “1” 書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを “0” にクリアするかしないを設定します。CLRS ビットが “0” に設定されている場合、転送が開始されると SWREQ ビットは “0” にクリアされます。CLRS ビットが “1” に設定されている場合は、SWREQ ビットは “0” クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

17.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh, DMAC2.DMSTS 0008 209Eh, DMAC3.DMSTS 0008 20DEh, DMAC4.DMSTS 0008 211Eh, DMAC5.DMSTS 0008 215Eh, DMAC6.DMSTS 0008 219Eh, DMAC7.DMSTS 0008 21DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0：転送エスケープ割り込み発生なし 1：転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0：転送終了割り込みなし 1：転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMAアクティブフラグ	0：DMACが停止中 1：DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1” になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて 1 リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが “1” に設定されており、ブロック転送モードにおいて 1 ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外 (転送元アドレスを拡張リピートエリアに指定) に設定されているときに、転送元アドレスの拡張リピートエリアオーバフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外 (転送先アドレスを拡張リピートエリアに指定) に設定されているときに、転送先アドレスの拡張リピートエリアオーバフローが発生したとき

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき (DMCRAL レジスタが“0”になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- DMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh, DMAC2.DMCSL 0008 209Fh, DMAC3.DMCSL 0008 20DFh, DMAC4.DMCSL 0008 211Fh, DMAC5.DMCSL 0008 215Fh, DMAC6.DMCSL 0008 219Fh, DMAC7.DMCSL 0008 21DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0：転送開始時に起動要因となった割り込みフラグを“0”クリアする 1：転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを “0” クリアするか、割り込みフラグにより CPU へ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

17.2.13 DMAC モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0：DMAC停止 1：DMAC動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットを “1” にすると、DMAC の全チャネルが転送要求を受け付けるようになります。

複数チャネルの DMACm.DMCNT.DTE ビットに “1” (DMA 転送を許可) を書いた後に DMST ビットを “1” (DMAC 動作) にすると、複数チャネルを同時に転送要求受け付け可能状態にすることができます。

また、DMA 転送中に DMST ビットを “0” にすると、実行中の 1 転送要求に対するデータ転送が終了した後に全チャネルの DMA 転送動作が停止します。この状態で、再度 DMST ビットを “1” にすると継続して DMA 転送を行うことができます。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき

17.2.14 DMAC74 割り込みステータスモニタレジスタ (DMIST)

アドレス 0008 2204h

	b7	b6	b5	b4	b3	b2	b1	b0
	DMIS7	DMIS6	DMIS5	DMIS4	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効です。	R
b4	DMIS4	DMAC4割り込みステータスフラグ	0：DMAC4割り込み要求なし 1：DMAC4割り込み要求あり	R
b5	DMIS5	DMAC5割り込みステータスフラグ	0：DMAC5割り込み要求なし 1：DMAC5割り込み要求あり	R
b6	DMIS6	DMAC6割り込みステータスフラグ	0：DMAC6割り込み要求なし 1：DMAC6割り込み要求あり	R
b7	DMIS7	DMAC7割り込みステータスフラグ	0：DMAC7割り込み要求なし 1：DMAC7割り込み要求あり	R

DMISm フラグ (DMACm 割り込みステータスフラグ) (m = 4 ～ 7)

DMACm の割り込み要求をモニタするビットです。書き込みは無視されます。

DMACm.DMINT.DTIE ビットが “1” かつ DMACm.DMSTS.DTIF ビットが “1” のとき、もしくは、DMACm.DMINT.ESIE ビットが “1”、かつ、DMACm.DMSTS.ESIF ビットが “1” のとき、DMIST.DMISm ビットは “1” になります。

17.3　動作説明

17.3.1　転送モード

(1)　ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRAL レジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRAL レジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRB レジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を**表 17.3** に、ノーマル転送モードの動作を**図 17.2** に示します。

表17.3　ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし(フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1.　オフセット加算はDMAC0のみ指定可能です。

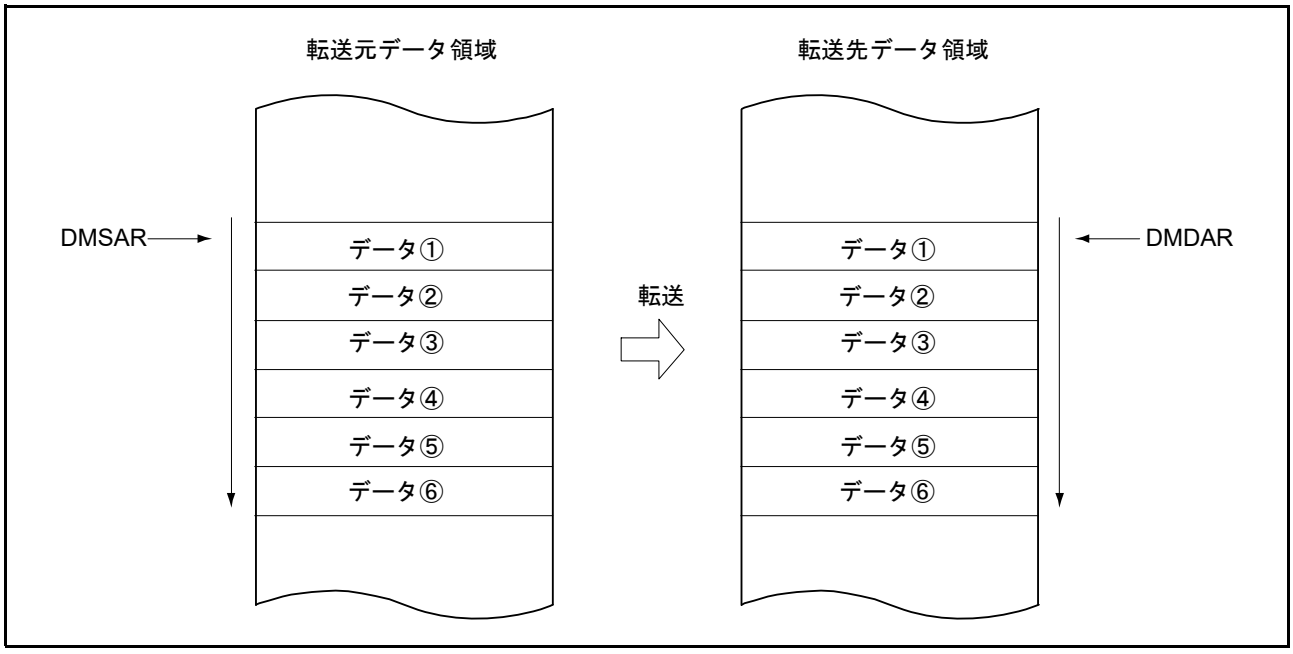


図 17.2　ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 64K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ × 64K リピート回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA 転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに “1” を書き込むと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を**表 17.4** に、リピート転送モードの動作を**図 17.3** に示します。

表17.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRAL レジスタが1以外のとき	DMACm.DMCRAL レジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)	• DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウンタ	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウンタ	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

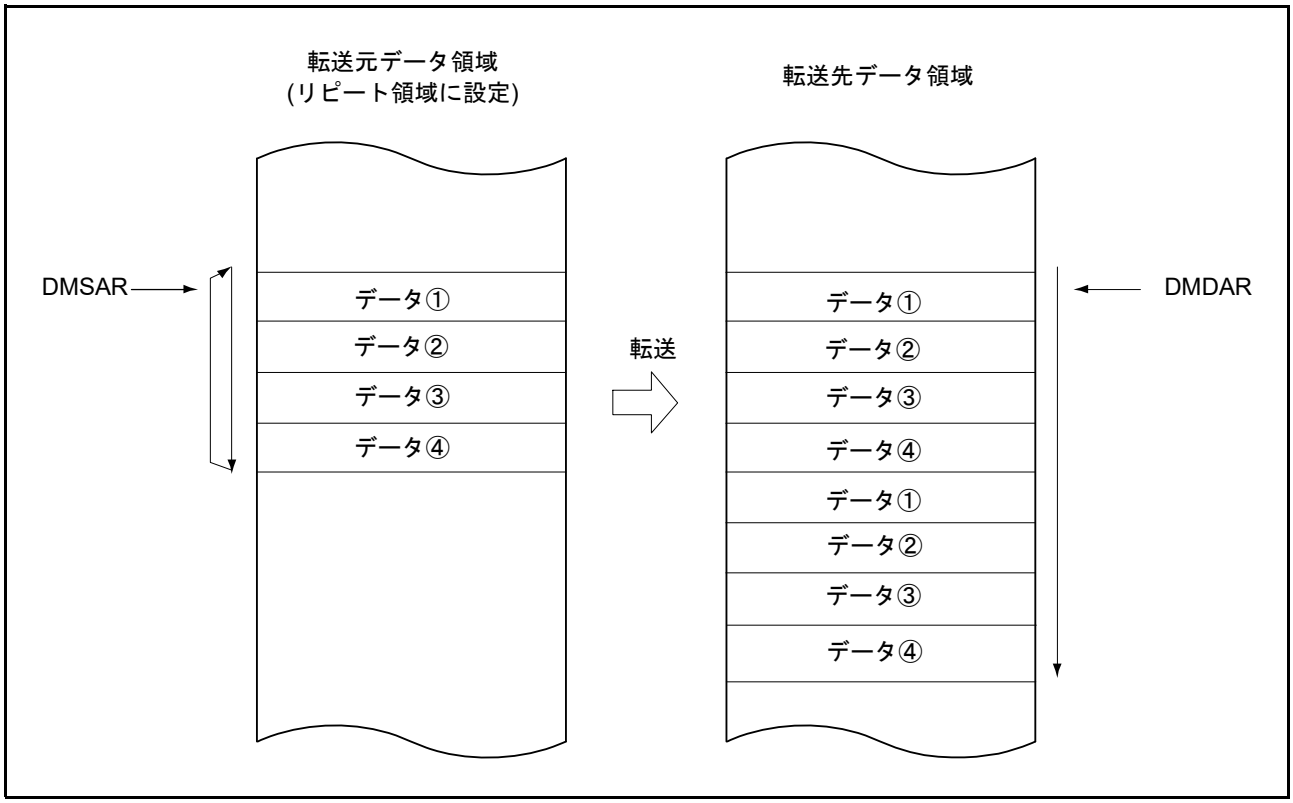


図 17.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 64K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 64K ブロック回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1 ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1 ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに “1” を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を**表 17.5** に、ブロック転送モードの動作を**図 17.4** に示します。

表 17.5　ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	• DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	ブロックサイズカウンタ	DMACm.DMCRAH
DMACm.DMCRB	転送ブロック数カウンタ	1減算

注1.　オフセット加算はDMAC0のみ指定可能です。

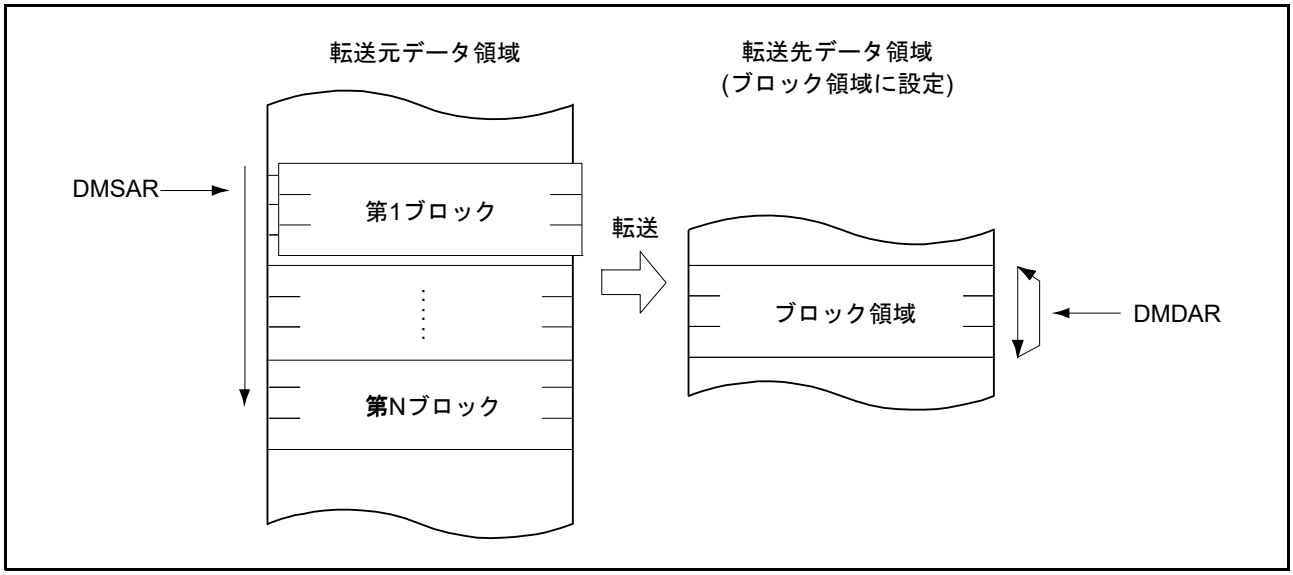


図 17.4　ブロック転送モードの動作

17.3.2 拡張リピートエリア機能

DMAC には転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSAR レジスタ (転送元アドレスレジスタ)、DMACm.DMDAR レジスタ (転送先アドレスレジスタ) に独立して設定できます。

転送元アドレスの拡張リピートエリアは DMACm.DMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアは DMACm.DMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア (転送元または転送先) を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバフローすると、DMA 転送を一時停止させて、拡張リピートエリアオーバフロー割り込み要求を発生することができます。DMACm.DMINT.SARIE ビットを “1” にすると、転送元アドレスの拡張リピートエリアがオーバフローしたときに DMACm.DMSTS.ESIF フラグが “1” になり、DMACm.DMCNT.DTE ビットを “0” にして DMA 転送を終了します。このとき、DMACm.DMINT.ESIE ビットが “1” になっていると、拡張リピートエリアオーバフロー割り込み要求が発生します。

DMACm.DMINT.DARIE ビットを “1” にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバフロー割り込み処理で、DMACm.DMCNT.DTE ビットを “1” にすると、DMA 転送を再開することができます。

図 17.5 に拡張リピートエリア機能の例を示します。

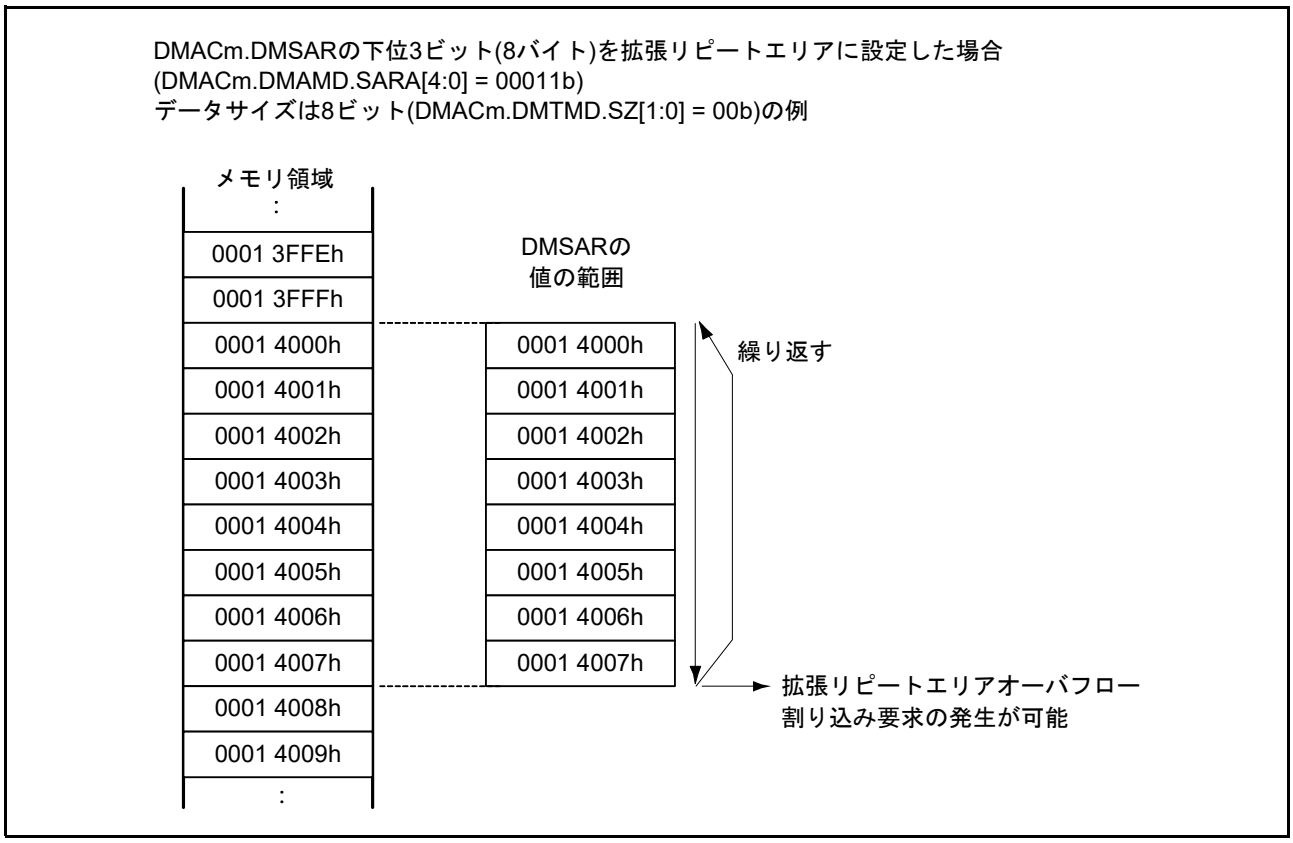


図 17.5 拡張リピートエリア機能の例

拡張リピートエリアオーバフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバフローの発生で転送を終了させる場合は、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックのデータを転送中に拡張リピートエリアにオーバフローが発生した場合は、1 ブロックのデータ転送が終了するまで拡張リピートエリアオーバフロー割り込み要求は保留され、転送はオーバランします。

図 17.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

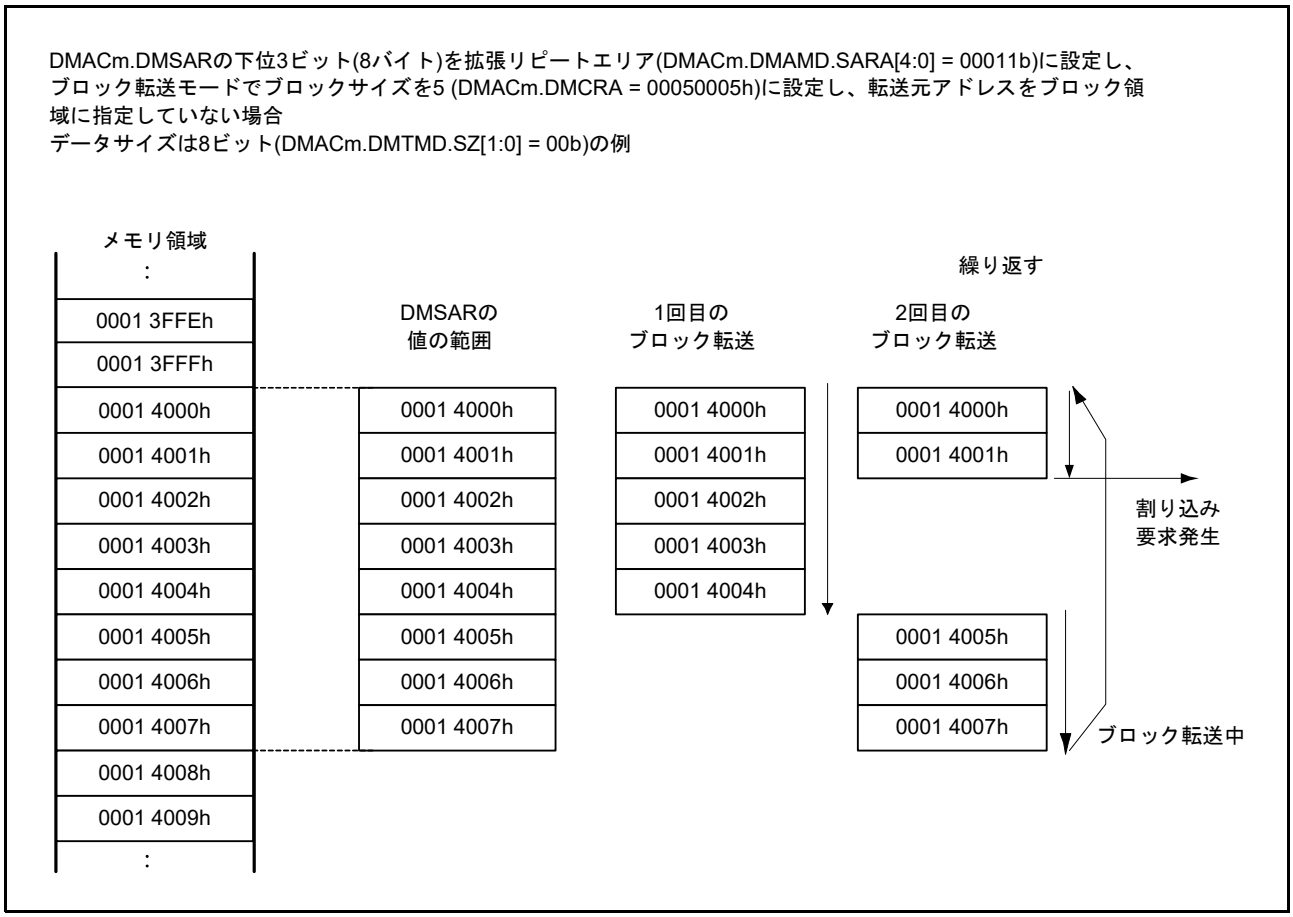


図 17.6　ブロック転送モードと拡張リピートエリア機能を併用した例

17.3.3　オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定 / インクリメント / デクリメントの他にオフセット加算があります。オフセット加算では、1 データの転送を行うたびに DMA オフセットレジスタ (DMAC0.DMOFR) に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR レジスタに 2 の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャネルは DMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を**表 17.6** に示します。

表 17.6　各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0]設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	–1	–2	–4

注1.　オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現= ～(オフセット値) +1 (～：ビット反転)

(1)　オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を**図 17.7** に示します。

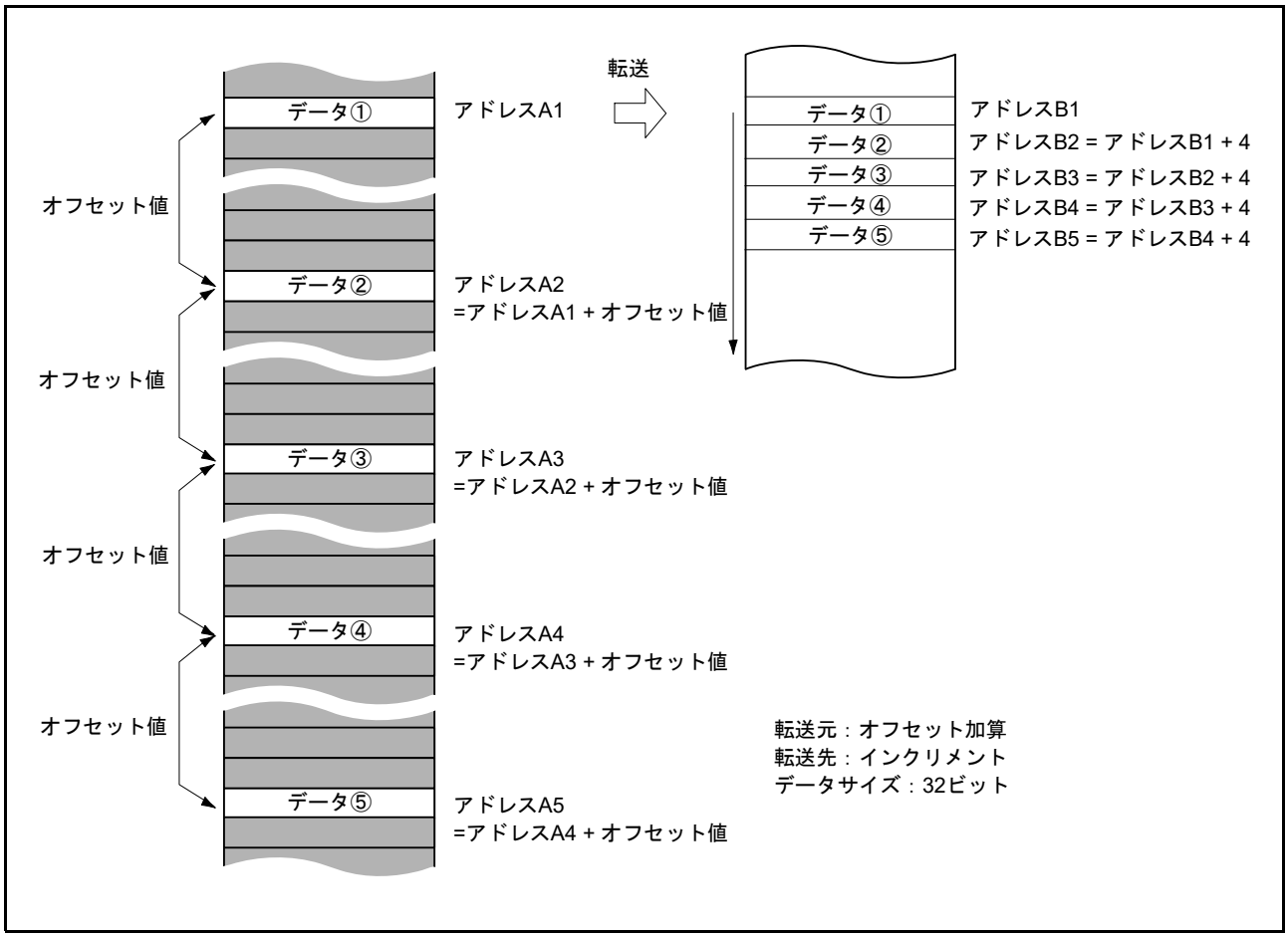


図 17.7　オフセットによるアドレス更新機能の動作例

図 17.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2)　オフセット加算を使った XY 変換例

図 17.8 にリピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リピート転送
- DMAC0.DMTMD レジスタ：リピート領域選択ビット：転送元側がリピート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リピートサイズ：4h
- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

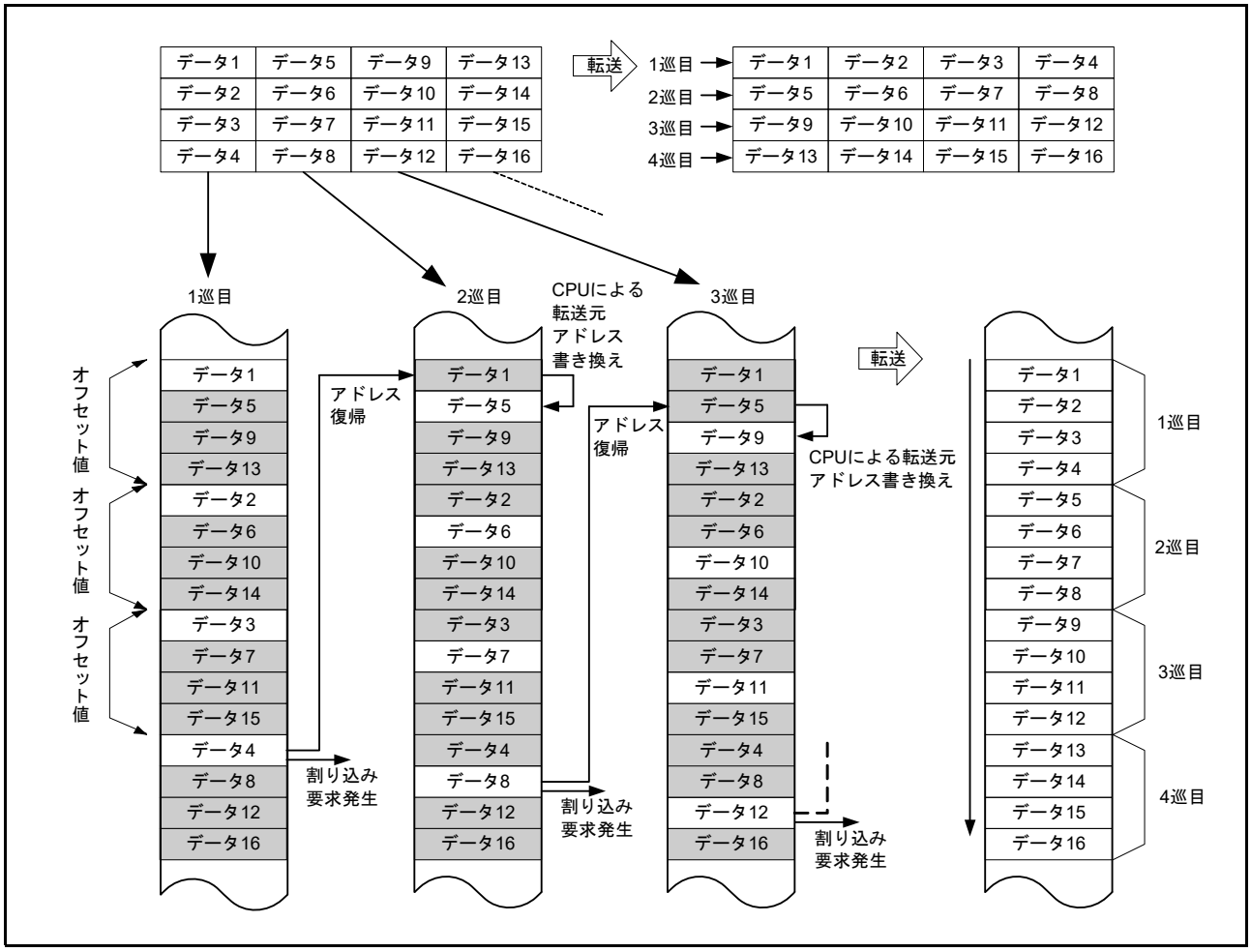


図 17.8　　リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“ データ 4” までのデータが転送されると、リピートサイズ分のデー

タを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス (転送元 “ データ 1” のアドレス) に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA 転送元アドレスを “ データ 5” のアドレスに書き換え
  (上記の例では “ データ 1” のアドレスに 4 を加算した値に書き換え)
- DMAC0.DMCNT レジスタ：DTE ビットに “1” 書き込み

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 17.9 に XY 変換の処理フローを示します。

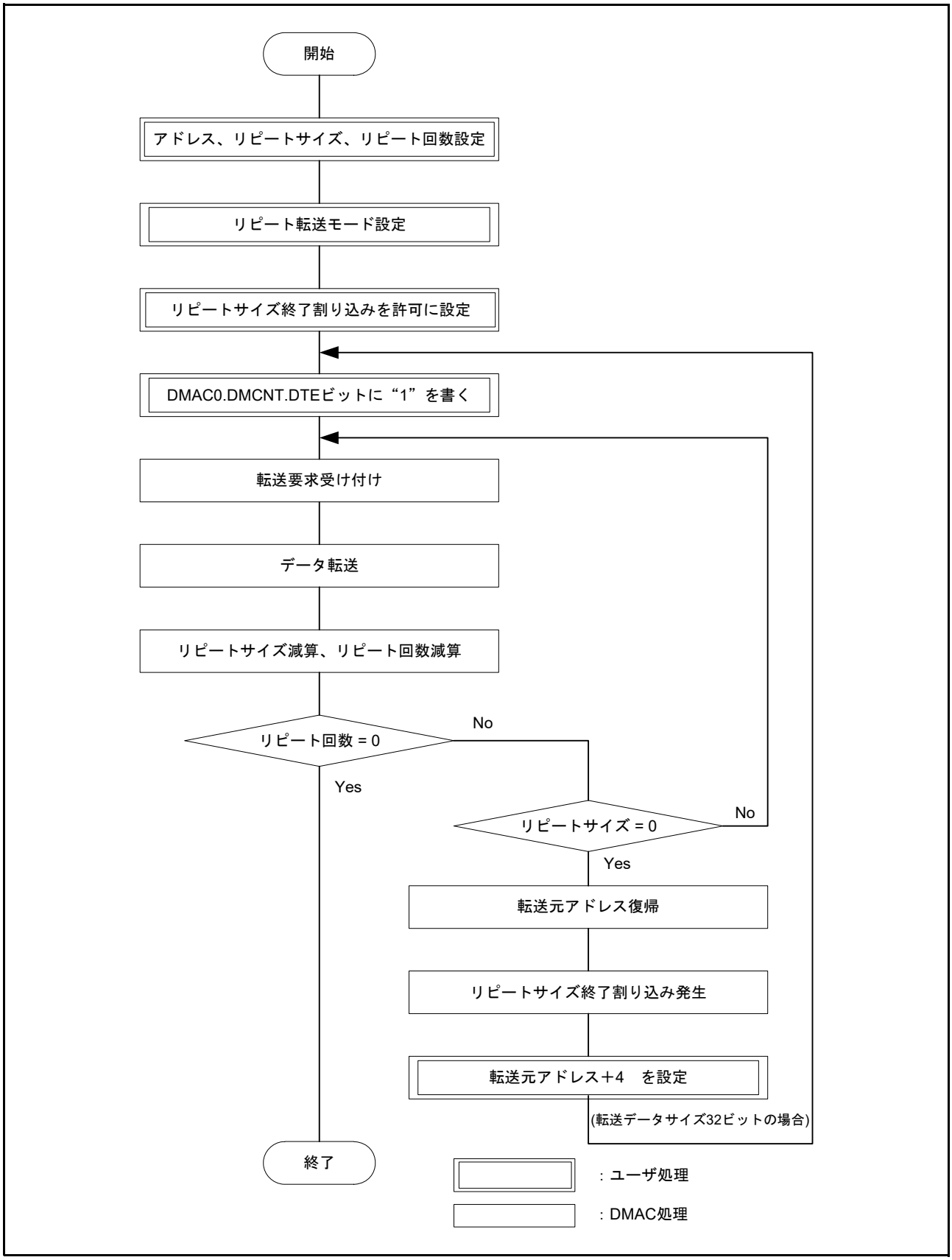


図 17.9　リピート転送モード + オフセット加算による XY 変換のフロー

17.3.4 起動要因

DMAC の起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択は DMACm.DMTMD.DCTG[1:0] ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動により DMA 転送を開始するには、DMACm.DMTMD.DCTG[1:0] ビットを “00b” にした後に、DMACm.DMCNT.DTE ビットを “1” (DMA 転送許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 動作) にしてください。その後、DMACm.DMREQ.SWREQ ビットに “1” (DMA 転送要求あり) を書くと DMA 動作が開始します。

DMACm.DMREQ.CLRS ビットが “0” でソフトウェア起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが “0” になります。DMACm.DMREQ.CLRS ビットが “1” でソフトウェア起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求を発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求を DMA 転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) の ICU.DMRSRm レジスタ (m = 0 ～ 7) で選択します。チャネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求により DMA を起動するには、DMACm.DMTMD.DCTG[1:0] ビットを “01b” (周辺モジュールおよび外部割り込み端子からの割り込み) にした後に、DMACm.DMCNT.DTE ビットを “1” (DMA 転送を許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 動作) にしてください。その後に割り込み要求が発生すると、DMA 動作を開始します。

DMAC の起動要因となる割り込み要因一覧は、**「14. 割り込みコントローラ (ICUG)」**の**「表 14.4 割り込みベクタテーブル」**を参照してください。

17.3.5 動作タイミング

図 17.10、図 17.11 に DMAC の動作タイミングの例を示します。

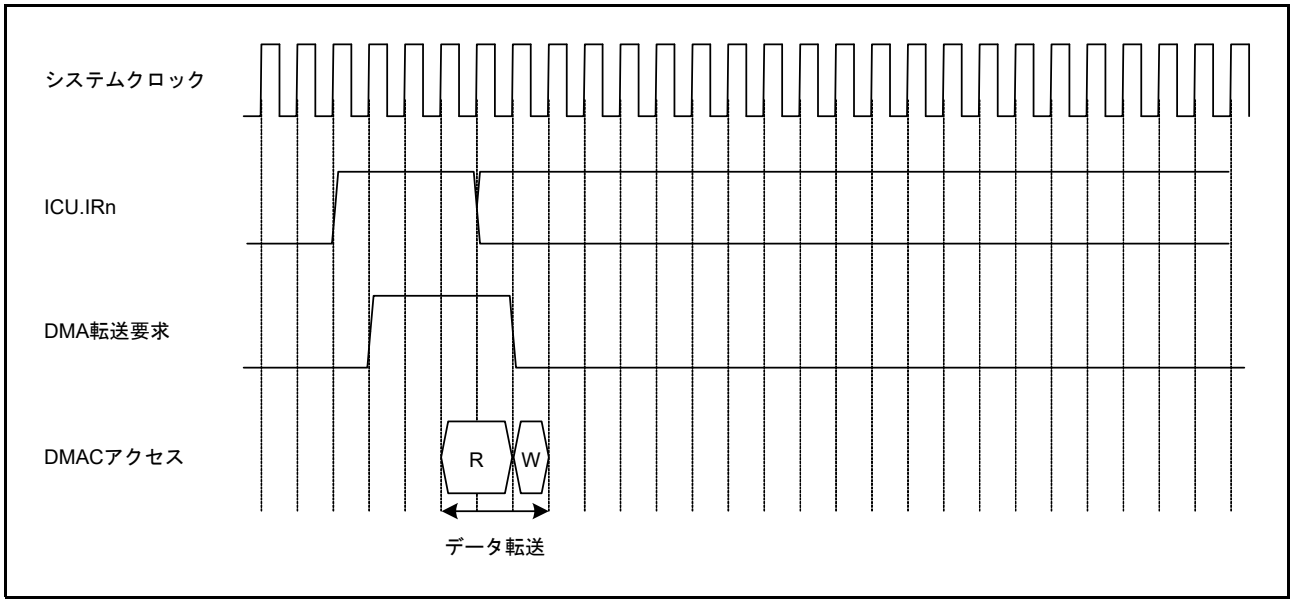


図 17.10 DMAC 動作タイミング例 (1) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 転送、ノーマル転送モード、リピート転送モードの場合)

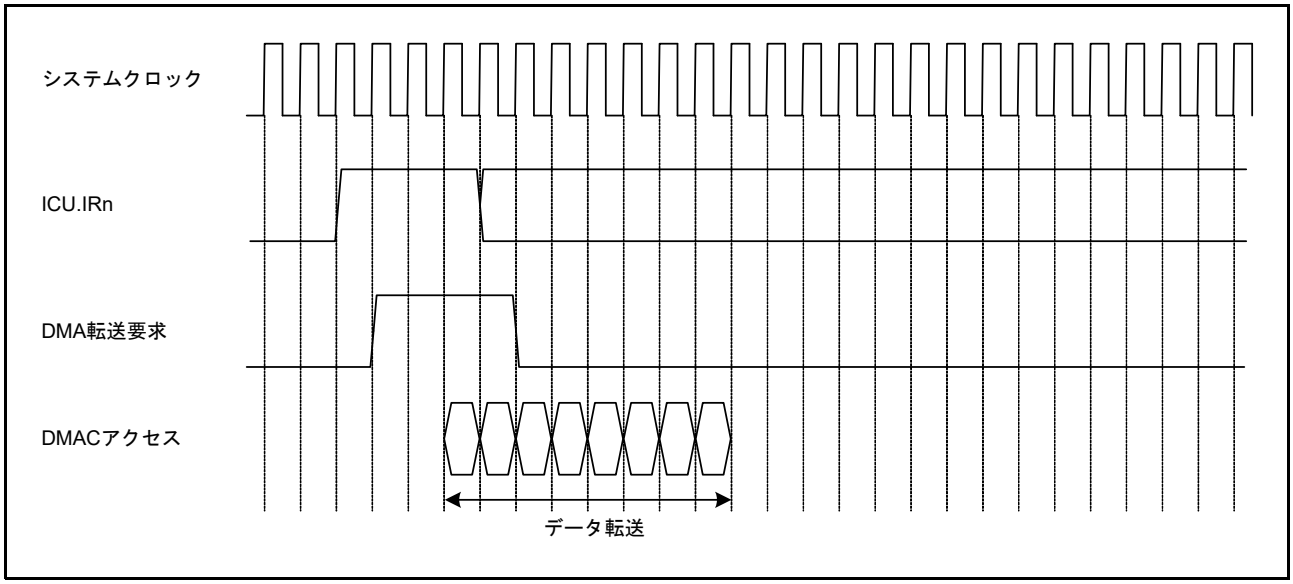


図 17.11 DMAC 動作タイミング例 (2) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 転送、ブロック転送モード、ブロックサイズ = 4 の場合)

17.3.6 DMAC の実行サイクル

表 17.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表17.7 DMACの実行サイクル

転送モード	データ転送(リード)	データ転送(ライト)
ノーマル	Cr + 1	Cw
リピート	Cr + 1	Cw
ブロック (注1)	P × Cr	P × Cw

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ (DMCRAH レジスタの設定値)
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「47. RAM」、「48. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」を参照してください。
データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。
動作例は「17.3.5 動作タイミング」を参照してください。

17.3.7 DMAC の起動

図 17.12 にレジスタの設定手順を示します。

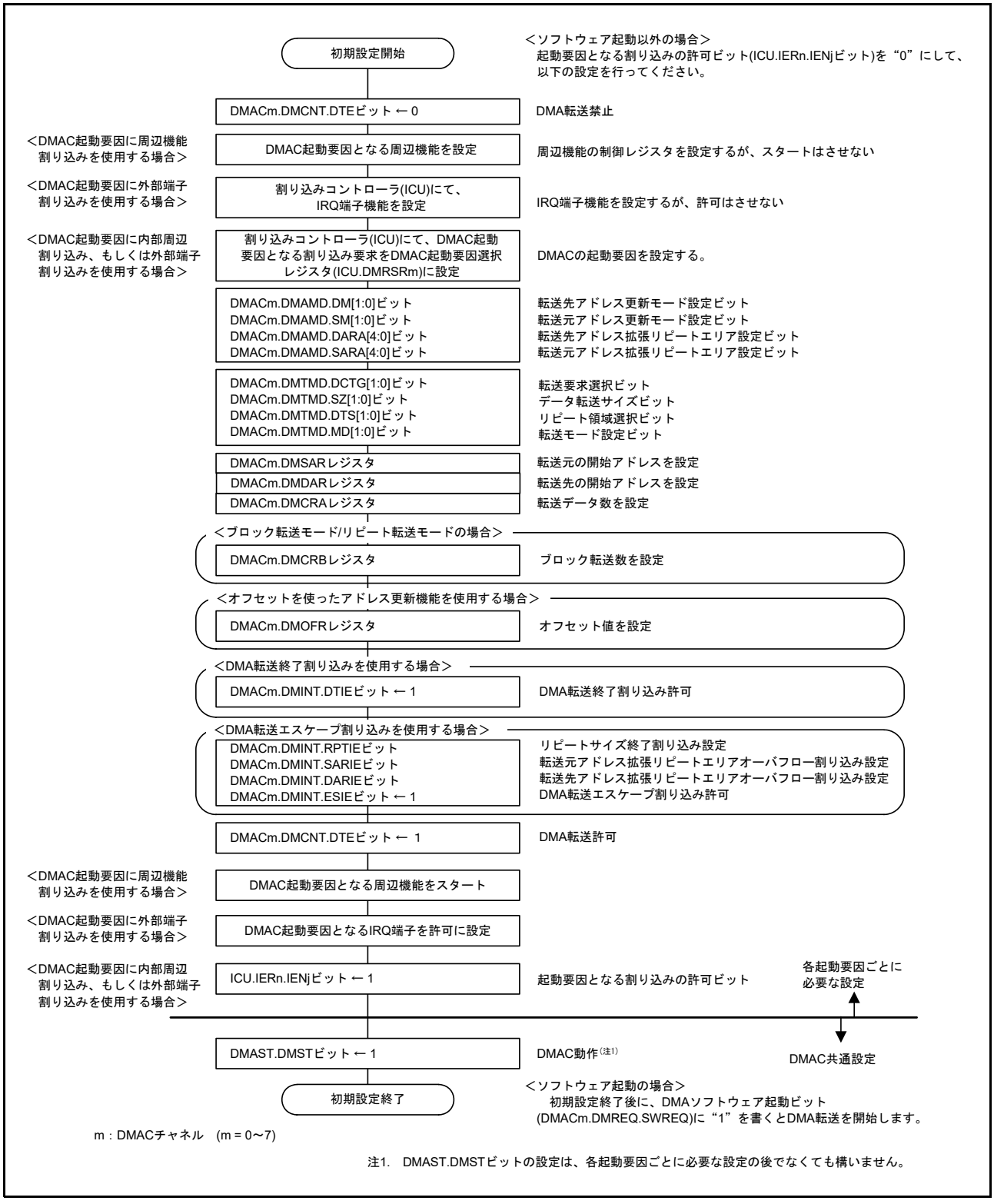


図 17.12　レジスタの設定手順

17.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを “1” (DMA 転送許可) にして、DMAST.DMST ビットを “1” (DMAC 動作) にすると、チャネル m (m = 0 ～ 7) の DMA 転送が可能になります。

他の DMAC チャネル、DTC の転送中は新たな転送要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが “1” (DMAC 動作中) になります。

17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが “0” になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが “1” になっているチャネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに “0” を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると “1” にセットされ、1 転送要求に対するデータ転送を終了すると “0” になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに “0” をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで “1” を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは “1” にセットされます。

DMACm.DMSTS.DTIF フラグが “1” にセットされ、DMACm.DMINT.DTIE ビットが “1” にセットされていると転送終了割り込み要求を発生します。

DMACm.DMSTS.DTIF フラグが “1” にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが “0” になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに “1” を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが “0” クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは “1” にセットされます。DMACm.DMSTS.ESIF フラグが “1” にセットされ、DMACm.DMINT.ESIE ビットが “1” にセットされていると転送エスケープ割り込み要求を発生します。

DMACm.DMSTS.ESIF フラグに “1” がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが “0” になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに “1” を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが “0” にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。

17.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 > チャネル 4 > チャネル 5 > チャネル 6 > チャネル 7 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

17.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが “1” から “0” になり、DMA 転送が終了したことを示します。

17.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが “1” にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求を発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.ESIF フラグが “1” にセットされます。このとき DMACm.DMINT.ESIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを “1” にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求を発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。

17.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが “1” にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.ESIF フラグが “1” にセットされます。このとき DMACm.DMINT.ESIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。

17.5　割り込み

DMAC はチャネルごとに、1 要求分の転送完了後に CPU または DTC に割り込み要求を出力させることができます。転送先が内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を**表 17.8** に、割り込み出力の概略論理図 (DMAC0 ～ DMAC3) を**図 17.13** に、割り込み出力の概略論理図 (DMAC4 ～ DMAC7) を**図 17.14** に示します。また、DMAC 割り込み処理で、DMA 転送を再開 / 中止する手順を**図 17.15** に示します。

表 17.8　割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.DARIE		

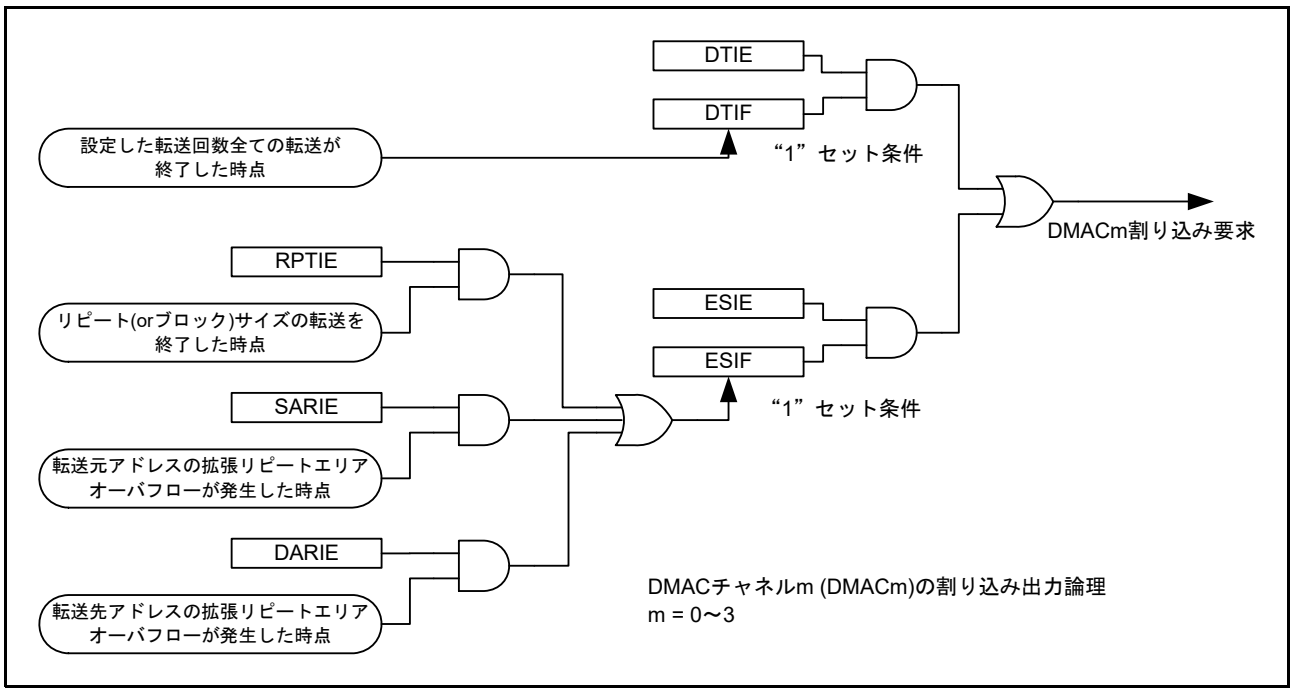


図 17.13　割り込み出力の概略論理図 (DMAC0 ～ DMAC3)

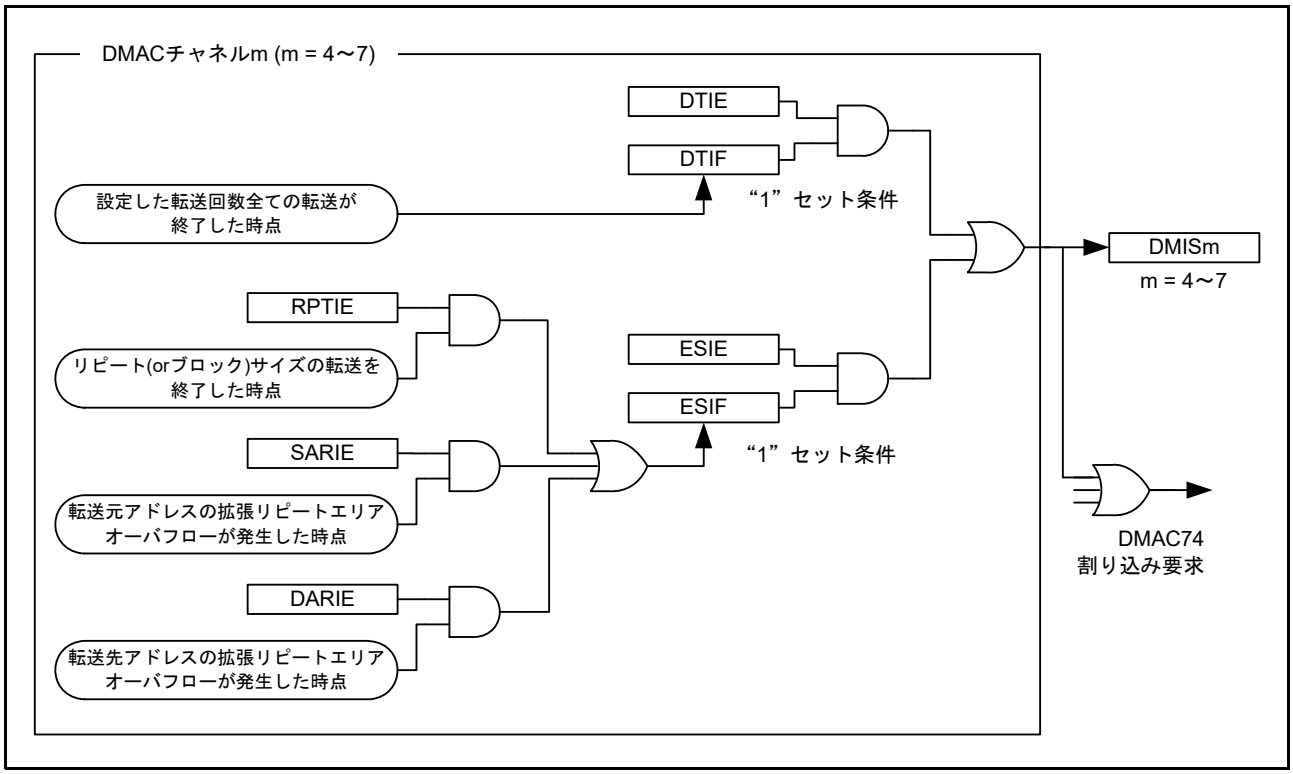


図 17.14　割り込み出力の概略論理図 (DMAC4 ～ DMAC7)

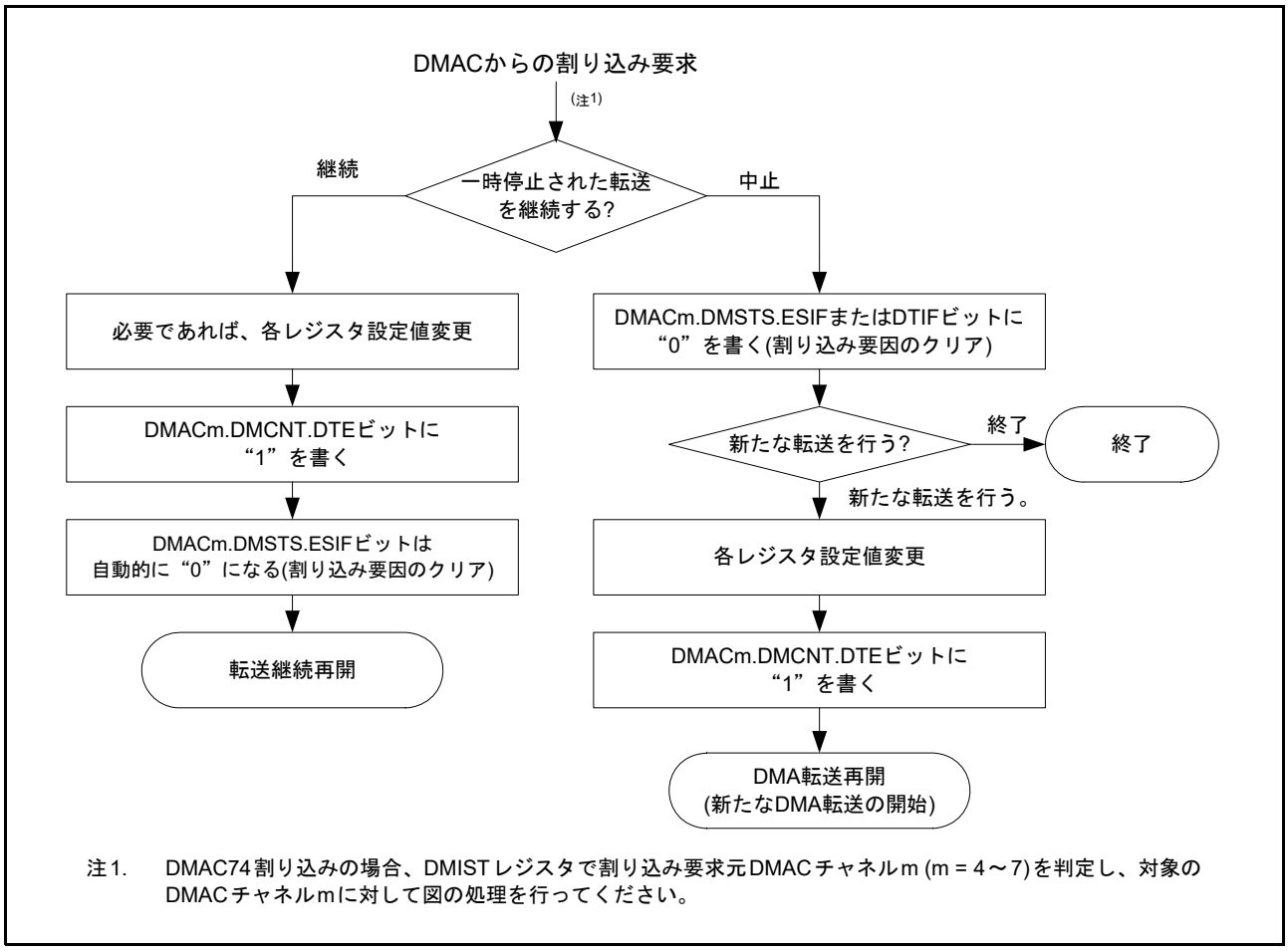
割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1)　DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに “0” を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに “1” (DMA 転送許可) を書き込んでください。

(2)　DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに “1” を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが “0” にクリア (割り込み要因がクリア) され、転送が再開します。



注1.　DMAC74割り込みの場合、DMISTレジスタで割り込み要求元DMACチャネルm (m = 4～7)を判定し、対象のDMACチャネルmに対して図の処理を行ってください。

図 17.15　DMAC 割り込み処理で DMA 転送を再開 / 中止する手順

17.6　イベントリンク

各 DMAC チャネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が「内部周辺バス」の場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

17.7 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに “0” (DMAC 停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1” (モジュールストップ状態への遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが “1” のとき、DMAC のレジスタにアクセスしないください。

MSTPCRA.MSTPA28 ビットに “0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の**「11.5.2.1 全モジュールクロックストップモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の**「11.5.3.1 ソフトウェアスタンバイモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、**「11. 消費電力低減機能」**の**「11.6.5 WAIT 命令の実行タイミング」**を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに “1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、**「14. 割り込みコントローラ (ICUG)」**の**「14.7.3 割り込み要求先の選択」**の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.8 使用上の注意事項

17.8.1 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが “0” (DMAC 停止中) になることがあります。

17.8.2 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが “1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが “1” (DMA 転送許可) の状態で、同じチャネルの設定レジスタ (DMSAR, DMDAR, DMCRA, DMCRB, DMTMD, DMINT, DMAMD, DMOFR, DMCSL) への書き込みは行わないでください。

17.8.3 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。
予約領域についての詳細は「4. アドレス空間」を参照してください。

17.8.4 DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを “1” に設定すると、1 回の DMA 転送要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に “0” クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。
割り込みフラグ、割り込み要求先変更については、「14. 割り込みコントローラ (ICUG)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

17.8.5 割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定

DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が “0” (DMA 転送を禁止) のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ (ICU.DTCERn) を “1” にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUG)」を参照してください。

17.8.6 DMA 転送の保留 / 再開方法

DMA 転送要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を “0” にしてください。DMA 転送を再開する場合は「17.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを “1” にしてください。

18. データトランスファコントローラ (DTCb)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。

DTC は、割り込み要求によって起動し、データ転送を行うことができます。

DTCb では、従来の DTC の転送方式 (ノーマル転送、リピート転送、ブロック転送、チェーン転送) に加え、これらを組み合わせて一連の転送として実行するシーケンス転送をサポートしています。シーケンス転送では、最初に転送したデータの値によって、最大 256 のシーケンスの中から 1 つを選択して実行できます。また、シーケンスの組み方によって、1 つのシーケンスを複数回に分けて実行することもできます。

18.1 概要

表 18.1 に DTC の仕様を、**図 18.1** に DTC のブロック図を示します。

表 18.1　DTCの仕様

項目	内容
転送チャネル数	• DTC起動が可能なすべての割り込み要因の数と同数
転送モード	• ノーマル転送モード 1回の起動で1つのデータを転送する • リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32 ビットで、最大1024バイト転送可能 • ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32 ビット= 1024バイト設定可能
チェーン転送機能	• 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 •「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 • シーケンス転送の起動要因は同時に1つのみ選択可能 • シーケンスは、1つの起動要因に対し最大256通り • 転送要求によって最初に転送されたデータがシーケンスを決定 • シーケンスは、1回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	• ショートアドレスモードのとき16Mバイト (“0000 0000h”～“007F FFFFh”と“FF80 0000h”～“FFFF FFFFh”のうち、予約領域以外の領域) • フルアドレスモードのとき4Gバイト (“0000 0000h”～“FFFF FFFFh”のうち、予約領域以外の領域)
データ転送単位	• 1データ：1バイト(8ビット)、1ワード(16ビット)、1ロングワード(32ビット) • 1ブロックサイズ：1～256データ
CPU割り込み要求	• DTCを起動した割り込みでCPUへの割り込み要求を発生可能 • 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	転送情報のライトバックを実行しない設定が可能
ディスプレースメント加算	転送元アドレスにディスプレースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への遷移が可能

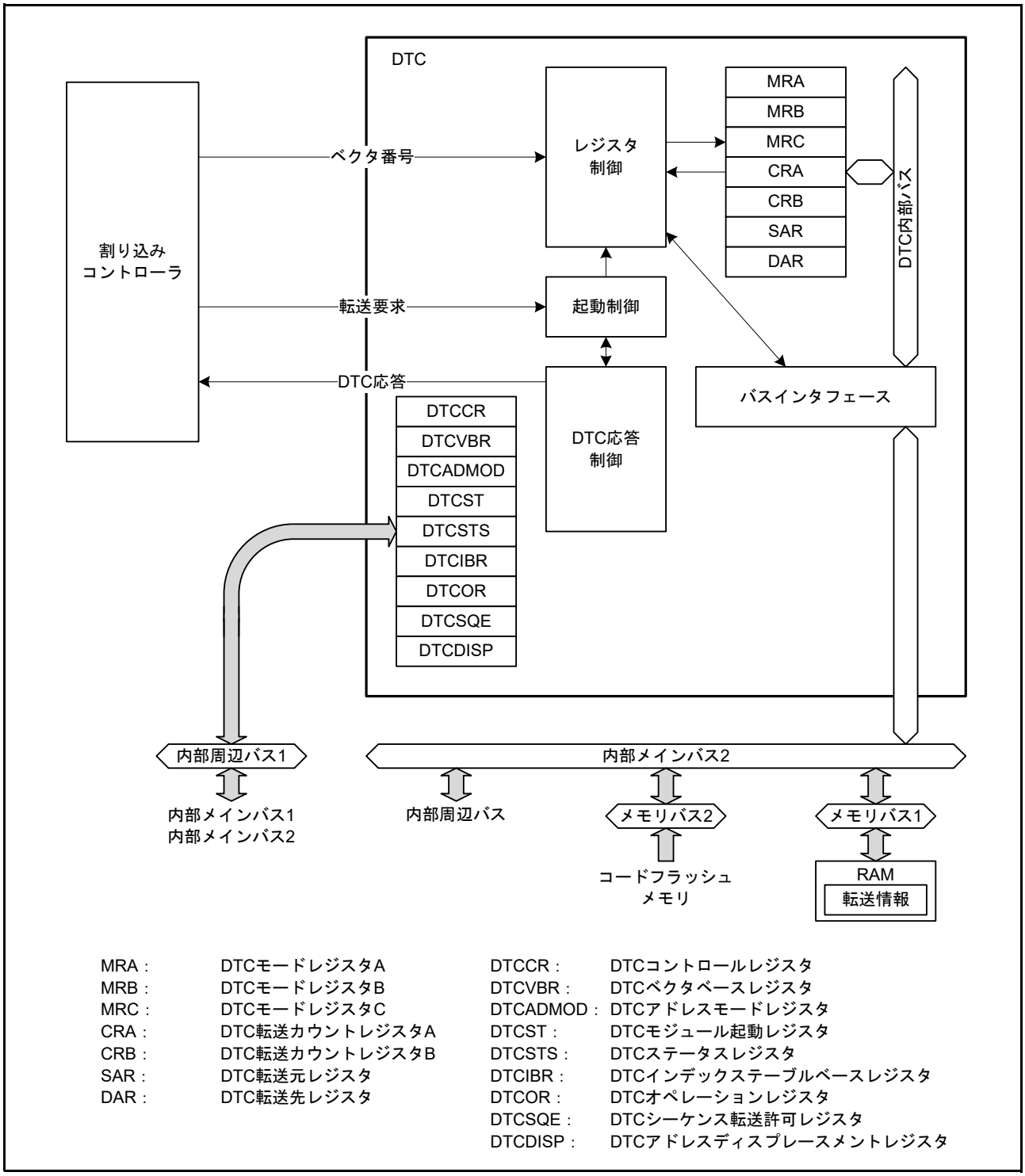


図 18.1 DTC のブロック図

18.2　レジスタの説明

MRA、MRB、MRC、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は転送要求を受け付けると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報として RAM 領域にライトバックされます。

18.2.1　DTC モードレジスタ A (MRA)

アドレス（CPUから直接アクセス不可）

	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		SZ[1:0]		SM[1:0]		—	WBDIS
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	WBDIS	ライトバックディスエーブルビット	0：データ転送終了時、転送情報をライトバックする 1：データ転送終了時、転送情報をライトバックしない	—
b1	—	予約ビット	“0”にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0：SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1：SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0：転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1：転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき–1、 “01b”のとき–2、“10b”のとき–4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0：バイト(8ビット)転送 0 1：ワード(16ビット)転送 1 0：ロングワード(32ビット)転送 1 1：設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0：ノーマル転送モード 0 1：リピート転送モード 1 0：ブロック転送モード 1 1：設定しないでください	—

MRA レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

WBDIS ビット (ライトバックディスエーブルビット)

データ転送終了時、転送情報をライトバックするかどうかを選択します。

WBDIS ビットが “0” の場合は、更新された転送情報をライトバックします。

WBDIS ビットが “1” の場合は、転送後にアドレスがインクリメントされるような設定をしていても転送情報のライトバックは行わず、転送要求ごとに毎回同じデータ転送を行います。転送情報がライトバックされないので、転送情報を ROM 上に配置することができます。

WBDIS ビットが “1” の場合、転送モードごとに下記の動作を行います。

(1) ノーマル転送モード、リピート転送モード
1 回の転送要求で、1 バイト、1 ワード、1 ロングワードの転送を行います。転送アドレス、転送回数は更新しませんので、転送要求ごとに同じ転送を繰り返します。転送回数が 1 の場合も ICU.DTCERn.DTCE ビットを “0” にせず、次の転送要求でデータ転送を継続します。

(2) ブロック転送モード
1 回の転送要求で、1 ブロックの転送を行います。転送アドレス、ブロック転送回数は更新しませんので、転送要求ごとに同じブロック転送を繰り返します。ブロック転送回数が 1 の場合も ICU.DTCERn.DTCE ビットを “0” にせず、次の転送要求でデータ転送を継続します。

なお、MRC.DISPE ビットを “1” にする場合、WBDIS ビットも “1” (ライトバックしない) にしてください。また、WBDIS ビットを “1” にした転送情報が 1 つでもある場合は、DTCCR.RRS ビットを “0” (リードスキップを行わない) にしてください。

18.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]		INDX	SQEND
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	SQEND	シーケンス転送終了ビット	0：シーケンス転送を継続 1：シーケンス転送を終了	—
b1	INDX	インデックステーブル参照ビット	0：インデックステーブルを参照しない 1：転送したデータを元にインデックステーブルを参照する(注1)	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0：DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 0 1：DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 1 0：転送後、DARレジスタをインクリメント (MRA.SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1：転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビットが“00b”のとき–1、 “01b”のとき–2、“10b”のとき–4)	—
b4	DTS	DTC転送モード選択ビット	0：転送先がリピート領域またはブロック領域 1：転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0：指定した回数のデータ転送が終了したとき、CPUへの割り込み要求が発生 1：データ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTCチェーン転送選択ビット	0：転送が終了するたびにチェーン転送を行う 1：転送カウンタが1 → 0、または1 → CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0：チェーン転送禁止 1：チェーン転送許可	—

注1. INDXビットを“1”にする場合、MRA.MD[1:0]ビットを“00b”(ノーマル転送モード)にしてください。

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

SQEND ビット (シーケンス転送終了ビット)

シーケンス転送を継続するか、終了するかを選択します。詳細は**表 18.2** を参照してください。

DTC インデックステーブルにより参照される転送情報でのみ “1” にできます。DTC ベクタテーブルにより参照される転送情報では “0” にしてください。

INDX ビット (インデックステーブル参照ビット)

INDX ビットが “1” になった転送情報が読み込まれると、シーケンス転送が開始されます。詳細は**表 18.2** を参照してください。

シーケンス転送と関係のない転送情報、シーケンス転送を開始しない転送情報では “0” にしてください。また、DTCSQE レジスタに設定した要因と異なる要因の転送情報で INDX ビットを “1” にしている場合、その要因からの転送要求が発生しないようにしてください。

表18.2　シーケンス転送におけるCHNE、SQEND、INDXビットの設定値とDTCの動作

CHNEビット	SQENDビット	INDXビット	動作	使用場所
0	0	1	シーケンス転送を開始	DTCSQEレジスタに設定した要因からの転送要求によって、最初に読み込まれる転送情報で使用
1	0	0	シーケンス転送を継続	シーケンス内の最初または途中の転送情報で使用
0	0	0	シーケンス転送を一時中断	シーケンス内の最初または途中の転送情報で使用
0	1	0	シーケンス転送を終了	シーケンス内の最後の転送情報で使用
0	1	1	シーケンス転送を終了し、新たなシーケンス転送を開始	シーケンス内の最後の転送情報で使用

注.　上記以外の設定は使用しないでください。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが “0” のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、**「表 18.4　チェーン転送の条件」**を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、**「18.4.6　チェーン転送」**を参照してください。

シーケンス転送で使用する場合の設定値については、**表 18.2** を参照してください。

18.2.3 DTC モードレジスタ C (MRC)

アドレス（CPUから直接アクセス不可）

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISPE
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	DISPE	ディスプレースメント加算ビット	0：転送元アドレスにディスプレースメント値を加算しない 1：転送元アドレスにディスプレースメント値を加算する	—
b7-b1	—	予約ビット	“0”にしてください	—

MRC レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

フルアドレスモード時のみ使用できます。ショートアドレスモードでは使用できませんので、ディスプレースメント加算機能を使う場合は DTCADMOD.SHORT ビットを “0” (フルアドレスモード) にしてください。

DISPE ビット (ディスプレースメント加算ビット)

転送元アドレスとして SAR + DTCDISP の値を使用するかどうかを指定します。

DISPE ビットを “1” にする場合は、MRA.WBDIS ビットを “1” (ライトバックしない)、DTCCR.RRS ビットを “0” (リードスキップを行わない) にしてください。

18.2.4 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

18.2.5 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

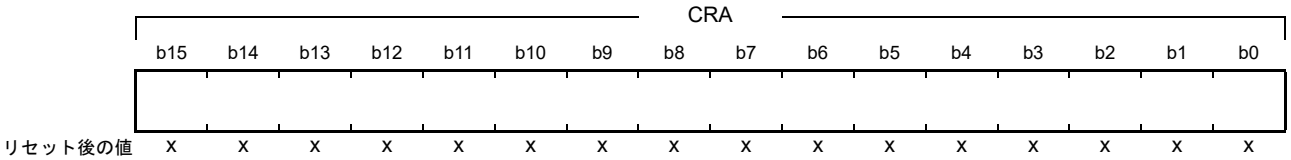
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

18.2.6　DTC 転送カウントレジスタ A (CRA)

- ノーマル転送モード

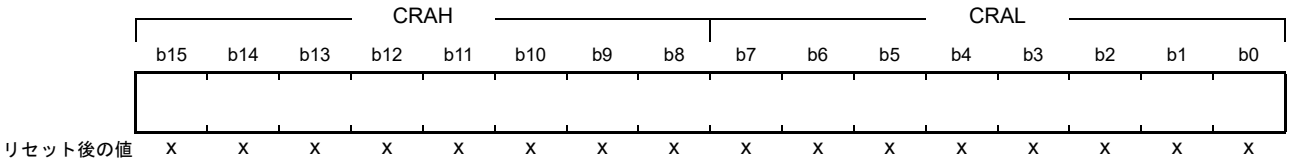
アドレス（CPUから直接アクセス不可）



x：不定

- リピート転送モード、ブロック転送モード

アドレス（CPUから直接アクセス不可）



x：不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注.　転送モードによって機能が異なります。
注.　リピート転送モード時およびブロック転送モード時は、CRAH、CRAL レジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1)　ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (–1) されます。

(2)　リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (–1) され、“00h” になると CRAH レジスタの値がリロードされます。

(3)　ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (–1) され、“00h” になると CRAH レジスタの値がリロードされます。

18.2.7 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

18.2.8 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RRS	—	—	—	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット(注1)	0：転送情報リードスキップを行わない 1：ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0”にしてください。

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが “1” のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が “0” になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が “0” になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

MRA.WBDIS ビットを “1” にした転送情報が 1 つでもある場合は、RRS ビットを “0” にしてください。なお、MRC.DISPE ビットを “1” にする場合は、MRA.WBDIS ビットも “1” にする必要があります。

また、シーケンス転送は、チェーン転送と同様に複数のデータ転送を実行しますので、前回行った最後の転送を繰り返さないように、RRS ビットを “0” にして使用してください。

18.2.9 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は “0” 固定です。書く場合、“0” を書いてください。

0000 0000h ～ 07FF FC00h、および F800 0000h ～ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.10 DTC アドレスモードレジスタ (DTCADMOD)

アドレス DTC.DTCADMOD 0008 2408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHORT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット (注1)	0：フルアドレスモード 1：ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

注1. シーケンス転送を使用するときは、“0” (フルアドレスモード)にしてください。

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ～ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ～ 007F FFFFh と FF80 0000h ～ FFFF FFFFh) のアクセスが可能です。

18.2.11　DTC モジュール起動レジスタ (DTCST)

アドレス　DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0：DTCモジュール停止 1：DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを “1” にしてください。DTCST ビットを “0” にすると新たな転送要求を受け付けません。

動作中に “0” に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを “0” にしてください。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを “1” にすると、データ転送が再開できます。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモードへの移行については「18.9　**消費電力低減機能**」、および「11.　**消費電力低減機能**」を参照してください。

18.2.12　DTC ステータスレジスタ (DTCSTS)

アドレス　DTC.DTCSTS 0008 240Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中(ACTフラグが“1”のとき)にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0：データ転送は実行していない 1：データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが “1” (データ転送実行中) であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが “0” (データ転送は実行していない) であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、**「14.　割り込みコントローラ (ICUG)」**の**「表 14.4　割り込みベクタテーブル」**を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1” になる条件]

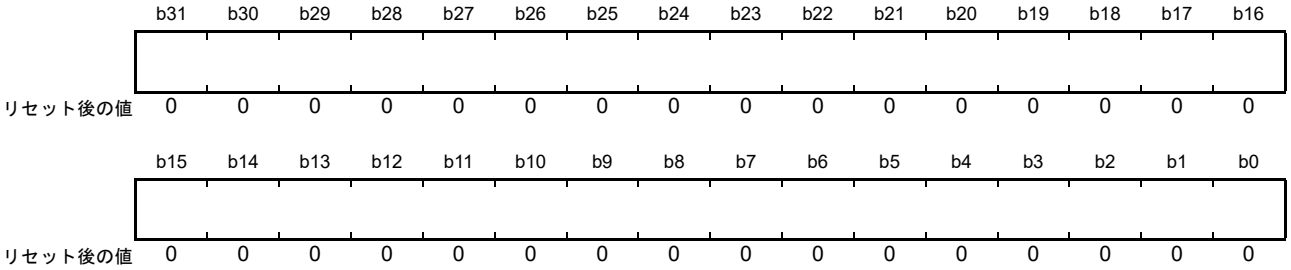
- 転送要求に対して DTC が起動したとき
- シーケンス転送が再開されたとき

[“0” になる条件]

- 1 回の転送要求に対するデータ転送が終了したとき
- シーケンス転送が一時中断したとき

18.2.13 DTC インデックステーブルベースレジスタ (DTCIBR)

アドレス DTC.DTCIBR 0008 2410h



DTCIBR レジスタは DTC インデックスの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は “0” 固定です。書く場合、“0” を書いてください。

0000 0000h ～ 07FF FC00h、および、F800 0000h ～ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.14　DTC オペレーションレジスタ (DTCOR)

アドレス　DTC.DTCOR 0008 2414h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SQTFRL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SQTFRL	シーケンス転送終了ビット	“1”を書くと実行中のシーケンス転送を強制的に終了させることができます。読むと“0”が読めます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DTCOR レジスタは、DTC モジュールのオペレーションを設定するレジスタです。

SQTFRL ビット (シーケンス転送終了ビット)

SQTFRL ビットを “1” にすると、実行中のシーケンス転送が終了します。

DTCSQE.ESPSEL ビットが “1” (シーケンス転送を使用する) の場合、**図 18.2** の手順でシーケンス転送を終了させてください。

シーケンス転送が実行されていない場合に SQTFRL ビットに “1” を書いても、何も起こりません。

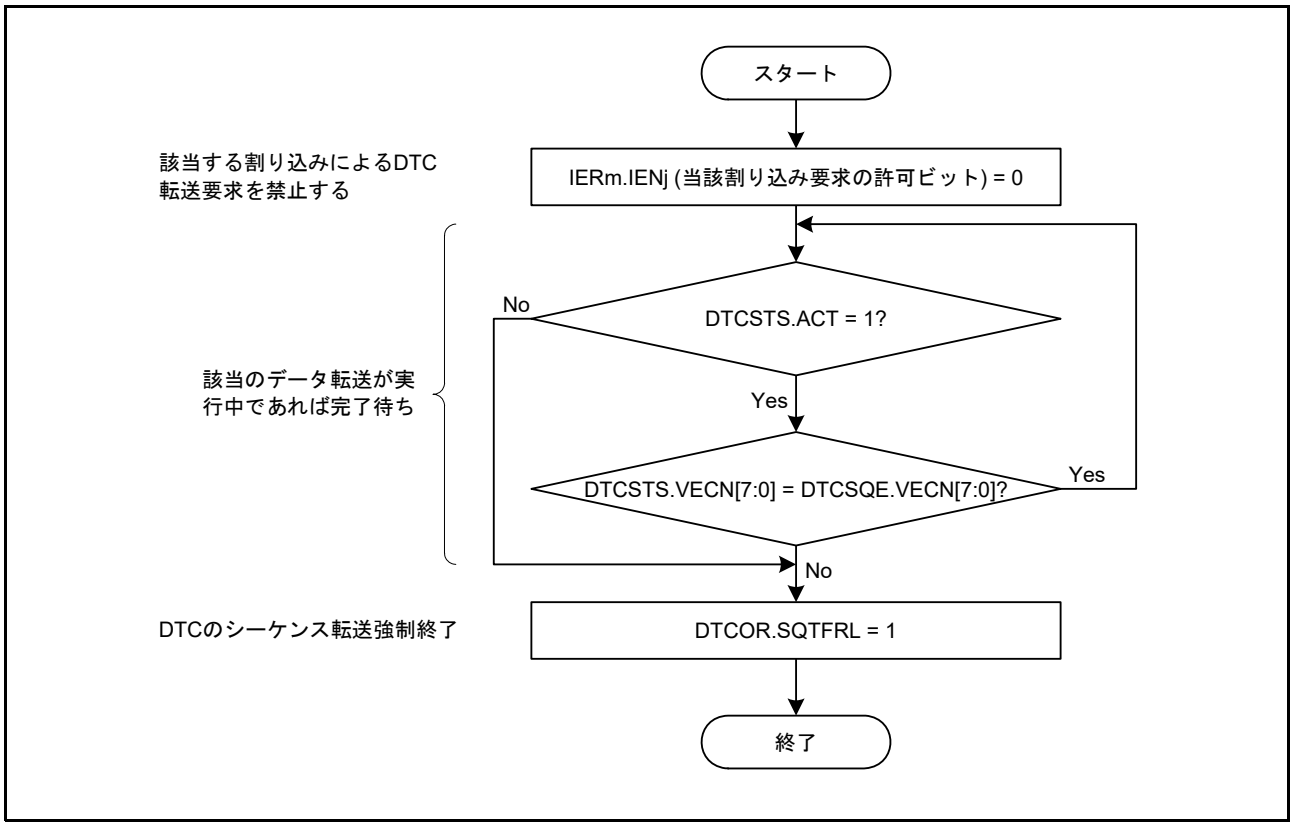


図 18.2　シーケンス転送強制終了手順

18.2.15　DTC シーケンス転送許可レジスタ (DTCSQE)

アドレス　DTC.DTCSQE 0008 2416h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ESPSEL	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	シーケンス転送ベクタ番号指定ビット	シーケンス転送を許可するベクタ番号を指定します。 ESPSEL ビットが“1”の時のみ有効です。	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	ESPSEL	シーケンス転送許可ビット	0：シーケンス転送を使用しない 1：シーケンス転送を使用する	R/W

DTCSQE レジスタは、DTC のシーケンス転送を指定するレジスタです。設定手順は**図 18.24** に従ってください。

VECN[7:0] ビット (シーケンス転送ベクタ番号指定ビット)

シーケンス転送を使用するベクタ番号を選択します。シーケンス転送は 1 つの起動要因でのみ動作可能です。

起動要因とベクタ番号の関係は**「14.　割り込みコントローラ (ICUG)」**の**「表 14.4　割り込みベクタテーブル」**を参照してください。

ESPSEL ビット (シーケンス転送許可ビット)

シーケンス転送を使用するかどうかを指定します。

ESPSEL ビットを “1” にする場合、DTCADMOD.SHORT ビットを “0” (フルアドレスモード) にしてください。

18.2.16　DTC アドレスディスプレースメントレジスタ (DTCDISP)

アドレス　DTC.DTCDISP 0008 2418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCDISP レジスタは、DTC の転送元アドレスに加算するディスプレースメント値を指定するレジスタです。

MRC.DISPE ビットが “1” の場合、転送元アドレスとして SAR + DTCDISP の値を使用します。

18.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を “1” にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、**「14. 割り込みコントローラ (ICUG)」**の**「表 14.4 割り込みベクタテーブル」**を参照してください。また、ソフトウェア起動については、**「14. 割り込みコントローラ (ICUG)」**の**「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」**および**「14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)」**を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DMAC/DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが “0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを “1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが “0” になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ただし、MRA.WBDIS ビットを “1” (ライトバックしない) にした場合は、ROM 領域に配置することもできます。ベクタ番号 n に対する転送情報 n の先頭アドレスは、DTCVBR + 4n 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADMOD.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を**図 18.3** に示します。

RAM 領域上の転送情報の配置を**図 18.4** に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、**「18.10.2 転送情報の配置」**を参照してください。

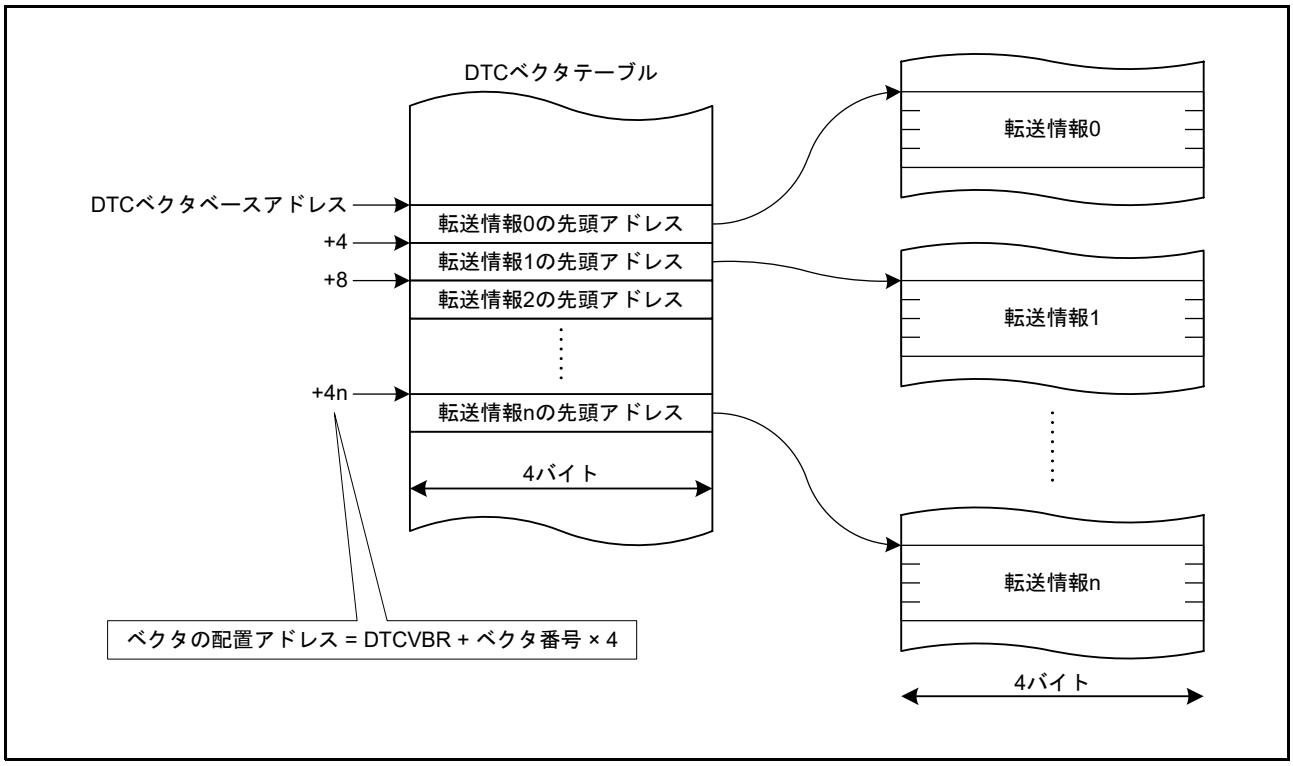


図 18.3　DTC ベクタテーブルと転送情報の対応

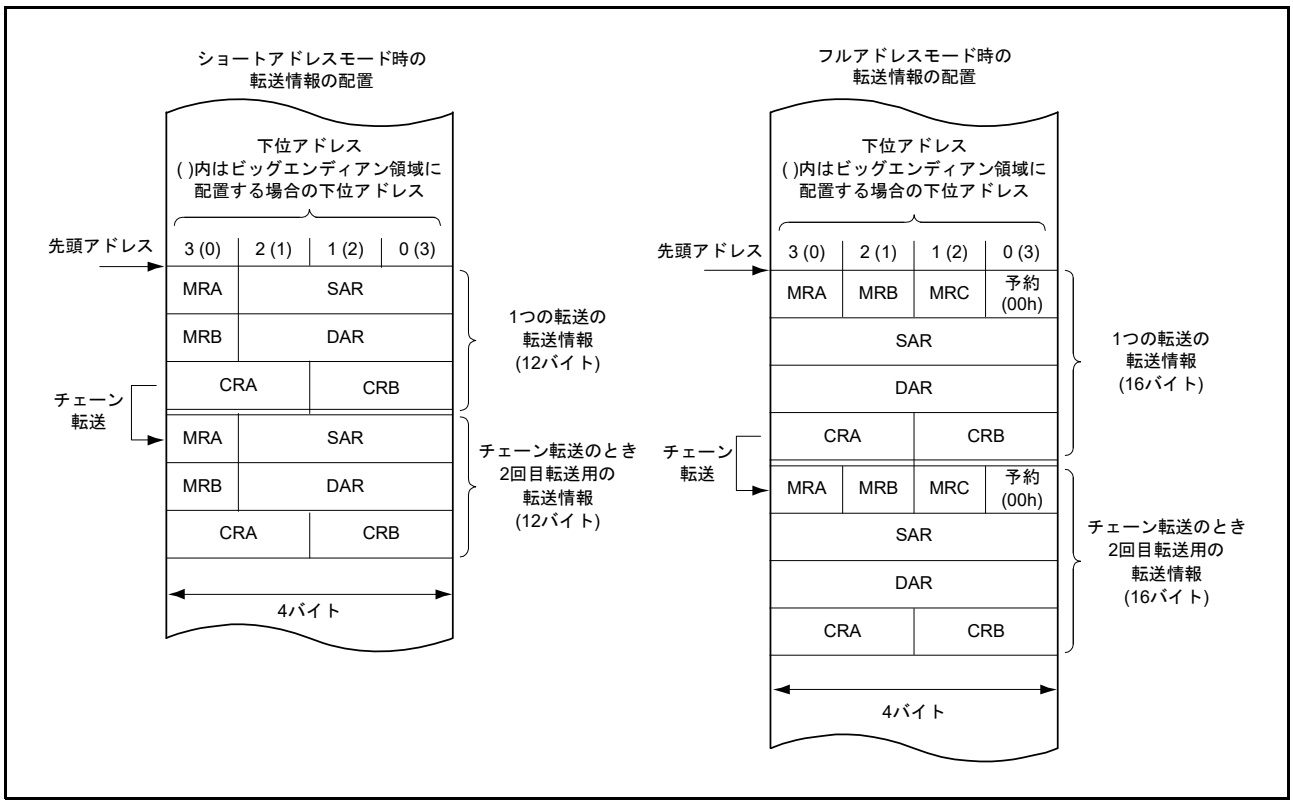


図 18.4　RAM 領域上の転送情報の配置

18.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定 (インクリメント / デクリメント / 固定) に従って、転送後に更新されます。

DTC の転送モードを**表 18.3** に示します。

表 18.3 DTCの転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定
注2. 転送元または転送先のいずれかをブロック領域に設定
注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを “1” にしておくことにより、1 回の転送要求で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを**図 18.5** に示します。チェーン転送の条件を**表 18.4** に示します。

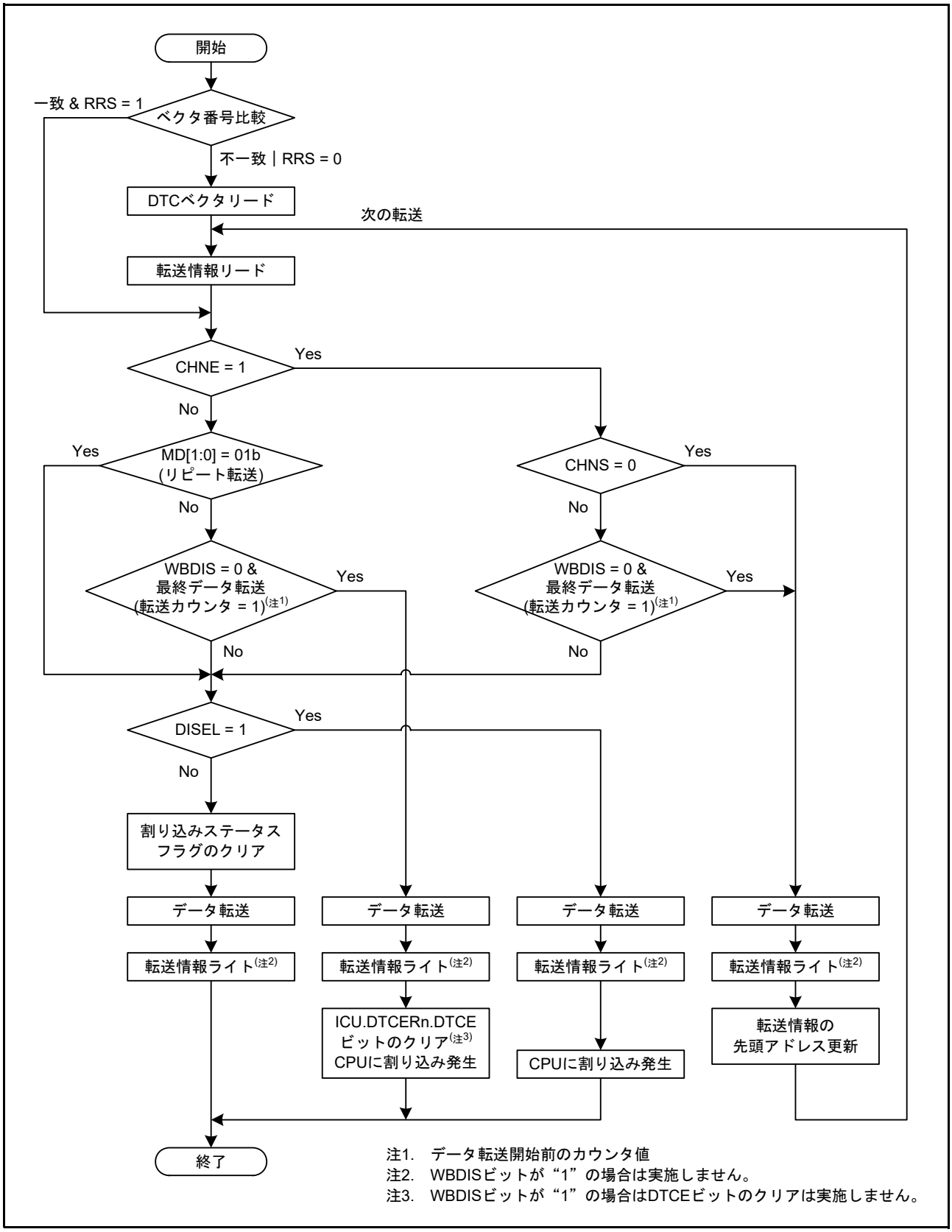


図 18.5 DTC 動作フローチャート

表18.4　チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNEビット	CHNSビット	DISELビット	転送カウンタ (注1、注2)	CHNEビット	CHNSビット	DISELビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。
ノーマル転送モード：CRAレジスタ、リピート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ
注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リピート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。
注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

18.4.1　転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが “1” のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が “0” になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が “0” になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 18.14 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを “0” にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを “1” にしてください。DTCCR.RRS ビットを “0” にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次回の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

18.4.2 転送情報ライトバックスキップ機能

18.4.2.1 アドレス固定によるライトバックスキップ

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを**表 18.5** に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタ、MRC レジスタはライトバックスキップされます。

表 18.5 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.2.2 MRA.WBDIS ビットによるライトバックスキップ

MRA.WBDIS ビットが “1” の場合、転送情報の設定内容にかかわらず転送情報 (SAR, DAR, CRA, CRB) はライトバックされません。

メモリ上の転送情報を更新しませんので、転送情報を ROM から RAM にコピーすることなく DTC のデータ転送を実行することができます。また、ライトバックを省略することで、データ転送の後処理にかかる時間が短縮できます。

18.4.3　ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を**表18.6**に、ノーマル転送モードのメモリマップを**図18.6**に示します。

表18.6　ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)
CRA	転送カウンタA	CRA－1
CRB	転送カウンタB	更新されない

注1.　MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。
注2.　アドレス固定のときは、ライトバックはスキップされます。

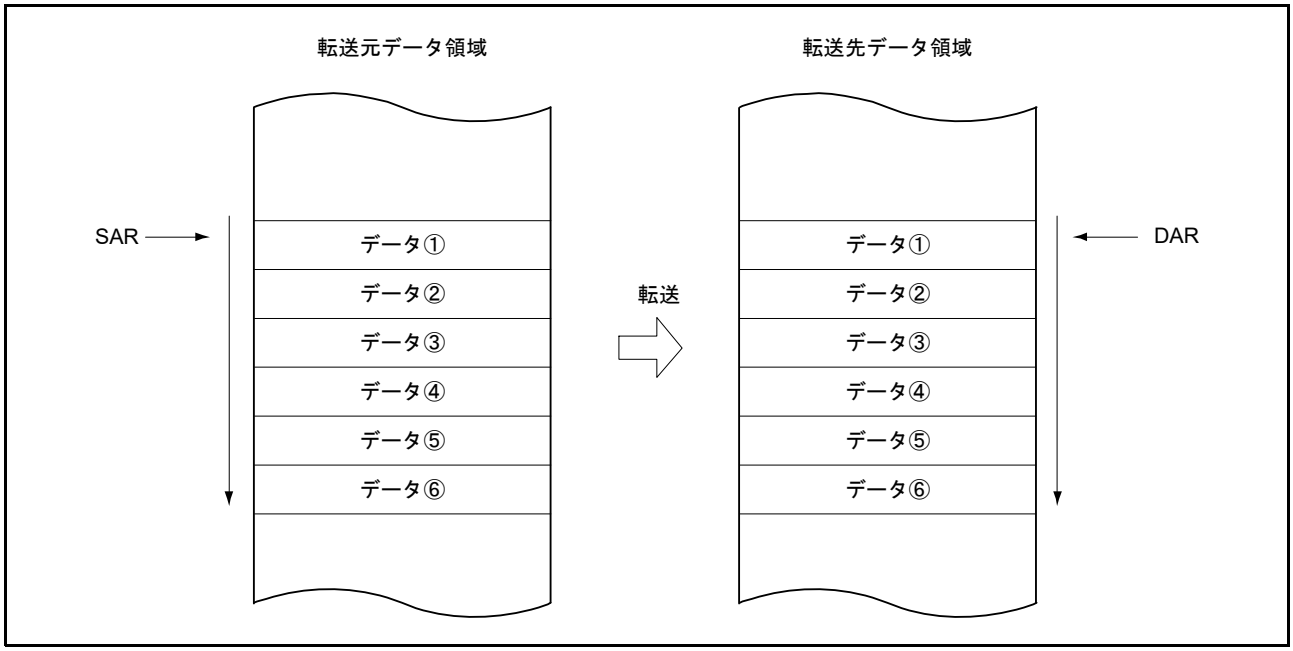


図18.6　ノーマル転送モードのメモリマップ

18.4.4　リピート転送モード

1 回の転送要求で、1 バイト、1 ワードまたは 1 ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は 1 ～ 256 まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが “00h” になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは “00h” にならないので、MRB.DISEL ビットが “0” (指定した回数のデータ転送が終了したとき、CPU への割り込みが発生) の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 18.7 に、リピート転送モードのメモリマップを図 18.7 に示します。

表 18.7　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット = 0 のとき	MRB.DTS ビット = 1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	インクリメント/デクリメント/固定(注2)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL − 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1.　MRA.WBDIS ビットが “1” のときは、ライトバックはスキップされます。
注2.　アドレス固定のときは、ライトバックはスキップされます。

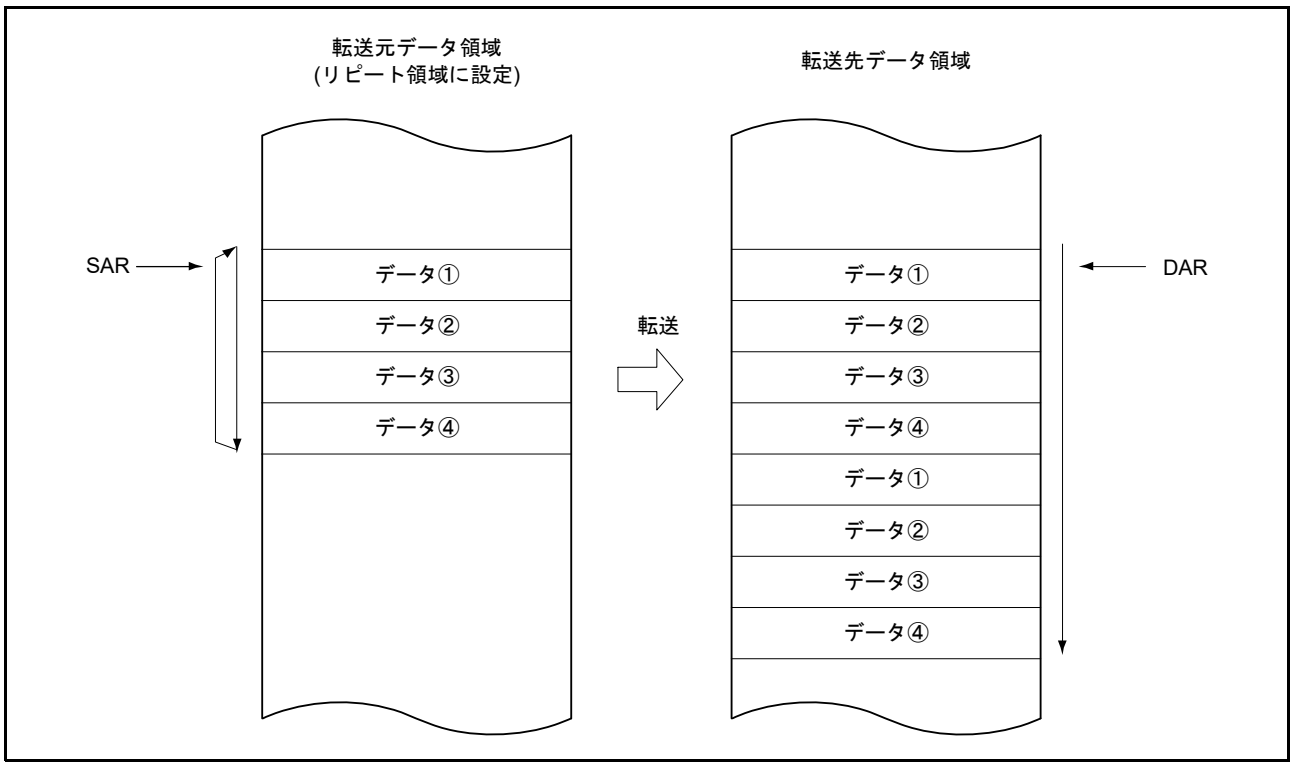


図 18.7　リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

18.4.5　ブロック転送モード

1 回の転送要求で、1 ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは 1 ～ 256 バイト、1 ～ 256 ワードまたは 1 ～ 256 ロングワードの指定が可能です。

指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが “1” のとき SAR レジスタ、DTS ビットが “0” のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1 ～ 65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 18.8 に、ブロック転送モードのメモリマップを図 18.8 に示します。

表 18.8　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)	
		MRB.DTS ビット = 0 のとき	MRB.DTS ビット = 1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	SAR レジスタの初期値
DAR	転送先アドレス	DAR レジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB − 1	

注1.　MRA.WBDIS ビットが “1” のときは、ライトバックはスキップされます。
注2.　アドレス固定のときは、ライトバックはスキップされます。

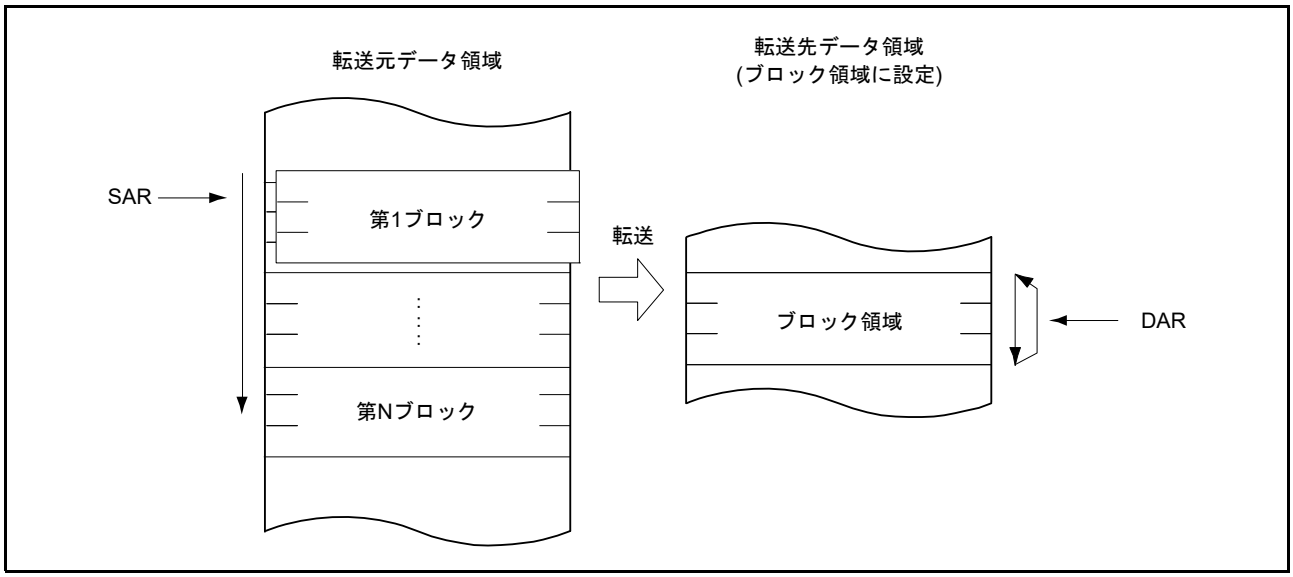


図 18.8　ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

18.4.6　チェーン転送

MRB.CHNE ビットを “1” にするとチェーン転送ができます。チェーン転送は、1 回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “0” にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを “1” (データ転送のたびに、CPU への割り込み要求が発生) にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報 (SAR, DAR, CRA, CRB, MRA, MRB, MRC) はそれぞれ個別に設定できます。**図 18.9** にチェーン転送の動作を示します。

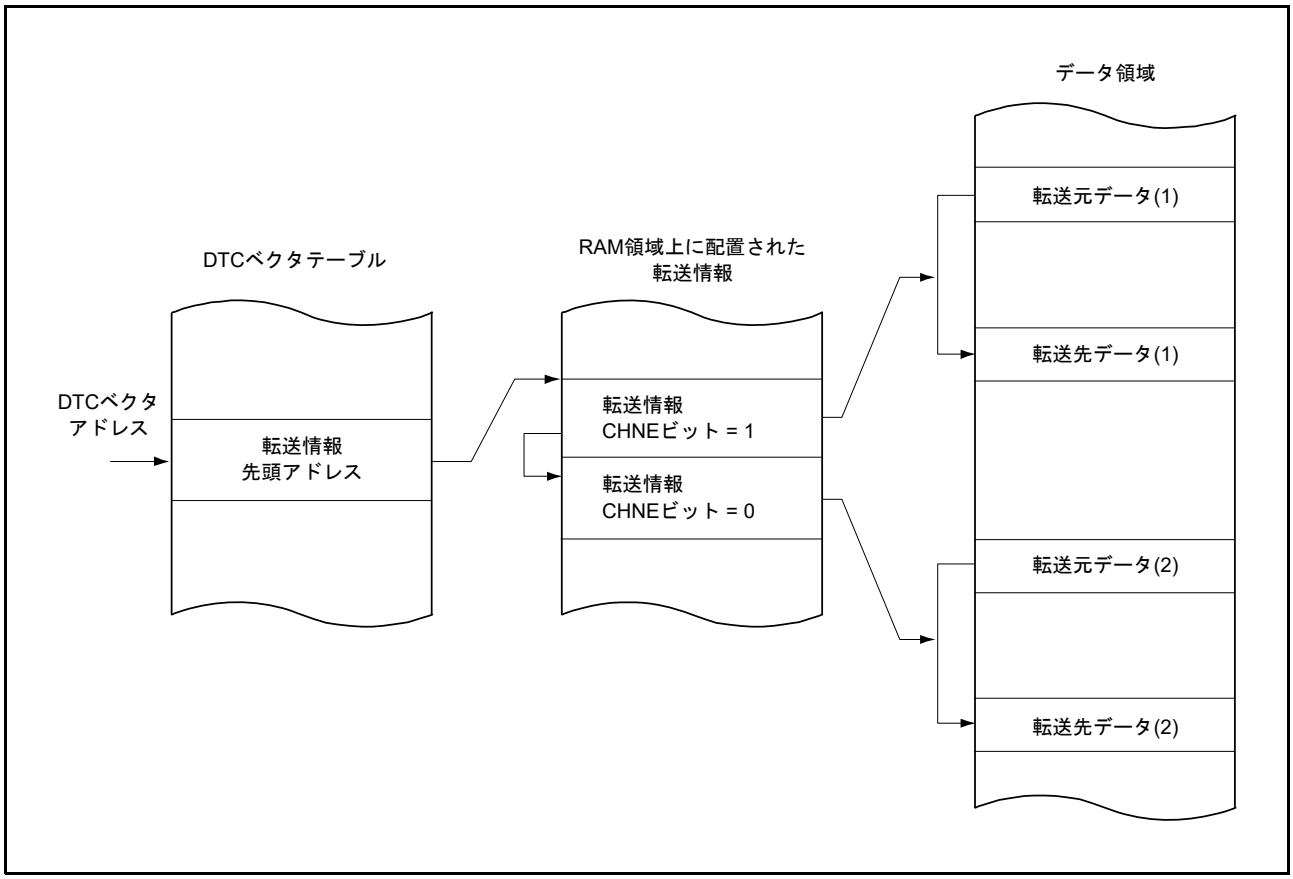


図 18.9　チェーン転送の動作

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “1” にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、**表 18.4** のチェーン転送の条件を参照してください。

18.4.7　動作タイミング

DTC の動作タイミングの例を図 18.10 ～図 18.14 に示します。

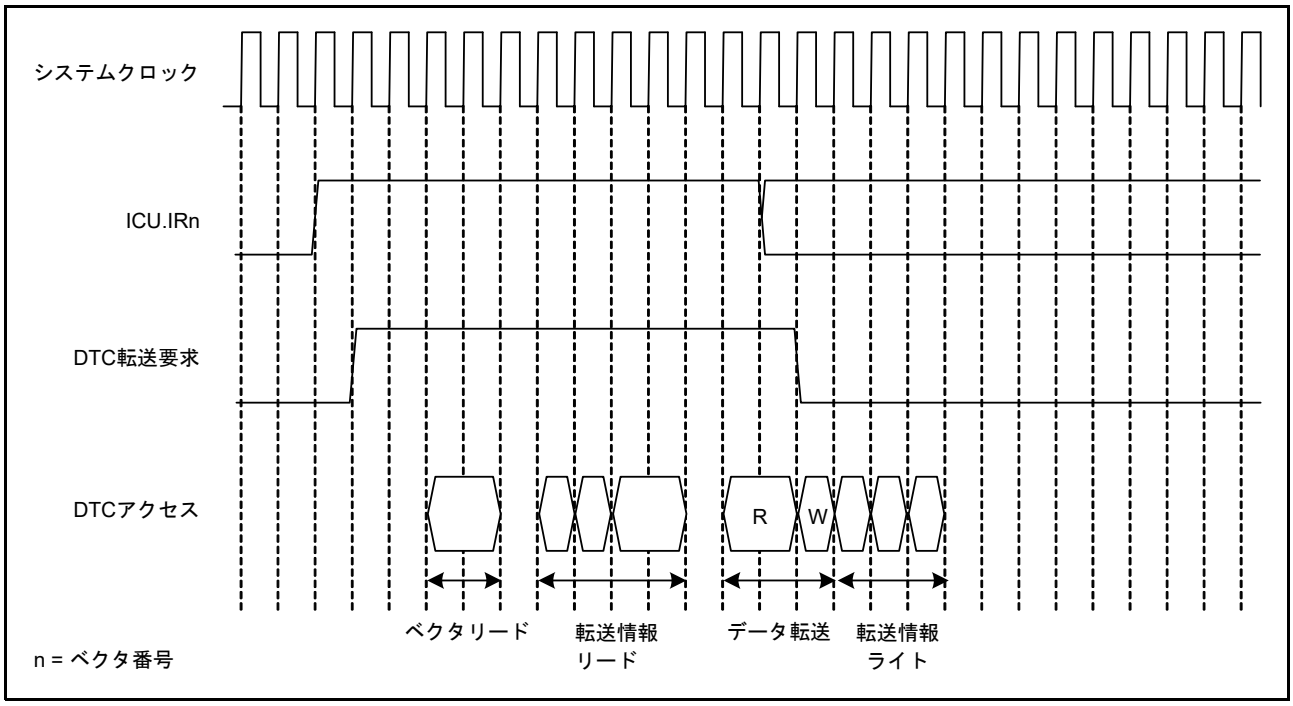


図 18.10　DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

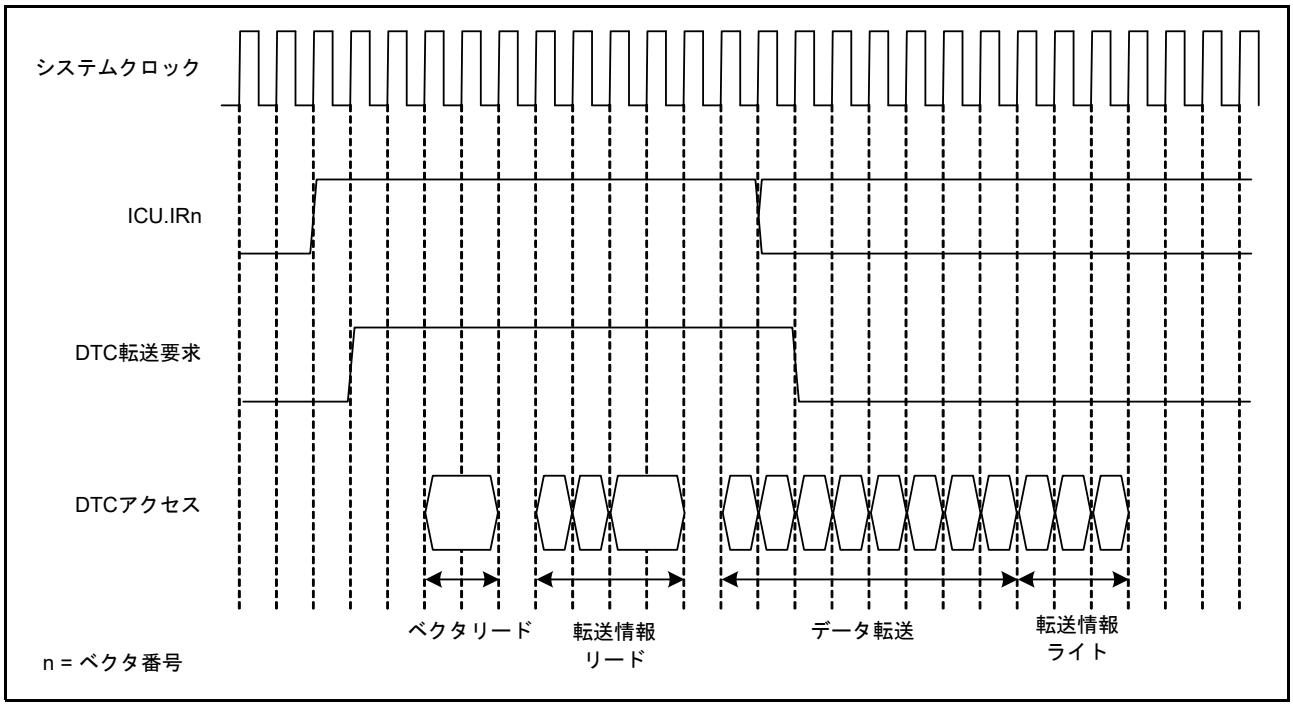


図 18.11　DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

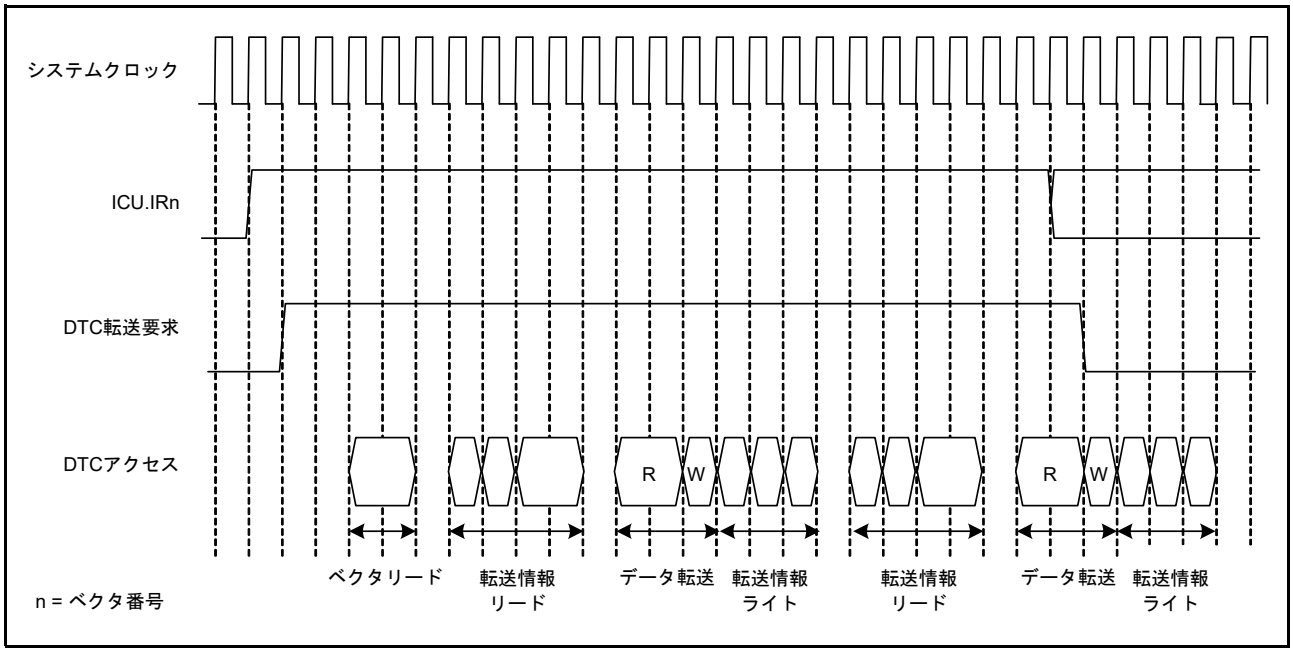


図 18.12 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

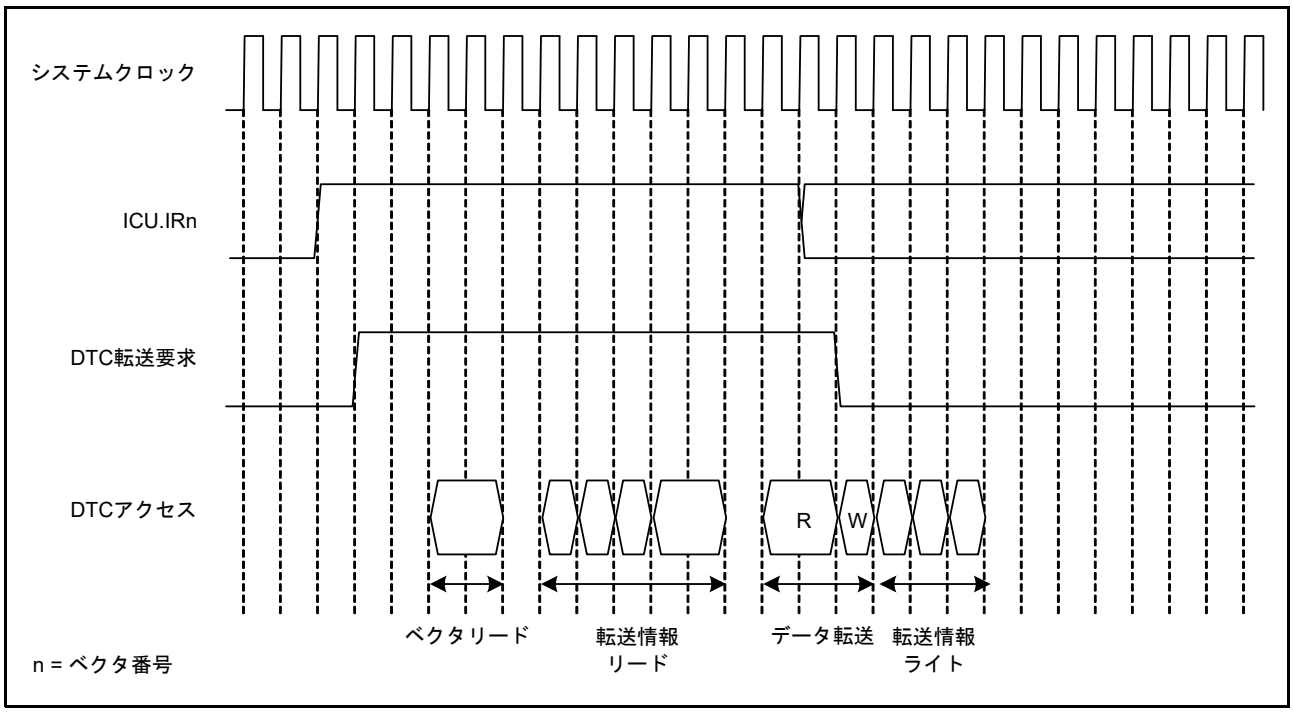
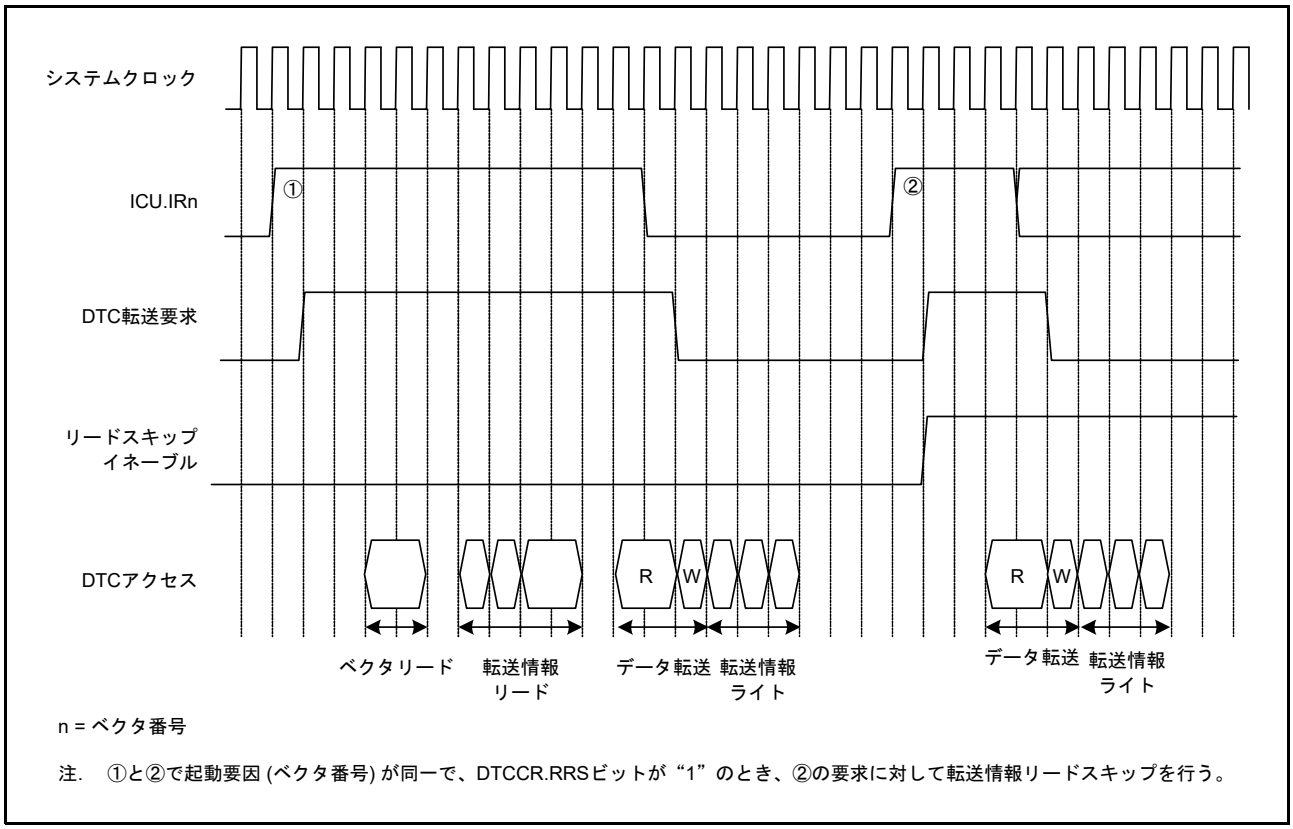


図 18.13 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)



注. ①と②で起動要因 (ベクタ番号) が同一で、DTCCR.RRSビットが“1”のとき、②の要求に対して転送情報リードスキップを行う。

図 18.14 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合)

18.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.9 に示します。
各処理状態の実施順序は、「18.4.7 動作タイミング」を参照してください。

表 18.9 DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注7)									P × Cr	P × Cw		

注1. 転送情報リードスキップのとき
注2. フルアドレスモード動作のとき
注3. ショートアドレスモード動作のとき
注4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき
注5. SAR レジスタ、または DAR レジスタがアドレス固定のとき
注6. SAR レジスタと DAR レジスタがともにアドレス固定のとき
注7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ (CRAH、CRAL レジスタの設定値)
Cv：ベクタ転送情報格納先アクセスサイクル
Ci：転送情報格納先アドレスアクセスサイクル
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル
(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)
(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「47. RAM」、「48. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」を参照してください。)

18.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。
バス調停については、「15. バス」を参照してください。

18.4.10　シーケンス転送

DTCSQE レジスタで設定した起動要因に対してシーケンス転送を実行することができます。MRB.INDX ビットを “1” にするとシーケンス転送を開始し、MRB.SQEND ビットを “1” にするとシーケンス転送を終了します。またシーケンス転送実行中でも DTCOR.SQTFRL ビットを “1” にすることでシーケンス転送を強制的に終了させ、次の DTC 転送要求でインデックステーブル参照から開始することができます。

シーケンス転送は下記の処理を行います。

(1) DTCSQE レジスタに設定された要因からの DTC 転送要求を受けて、DTC ベクタテーブルを参照し最初のデータ転送を実行

(2) (1) で転送した最初のデータの下位 8 ビットの値 (シーケンス番号) に基づいて DTC インデックステーブルを参照

(3) DTC インデックステーブルから取得したアドレスから、転送情報を読み出し

(4) 転送情報に従ってデータ転送を実行。転送後、MRB.CHNE ビットと MRB.SQEND ビットの値によって以下のいずれかの動作を実施
- CHNE ビットが “1” の場合、チェーン転送を実行 → 次の転送情報を読み出し → (4) へ
- CHNE ビットが “0” かつ SQEND ビットが “0” の場合、シーケンス転送を一時中断 → (5) へ
- CHNE ビットが “0” かつ SQEND ビットが “1” の場合、シーケンス転送を終了

(5) DTCSQE レジスタに設定された要因から DTC 転送要求が入る (注 1) と、中断していたシーケンスを再開、次の転送情報を読み出し → (4) へ

注 1. データ転送の結果 ICU.DTCERn.DTCE ビットが “0” になると、DTC 転送要求が発生しません。シーケンス転送を再開するには、DTCE ビットを “1” にしてください。DTCE ビットが “0” になる条件は、図 18.5 または「14. 割り込みコントローラ (ICUG)」を参照してください。

シーケンス転送の基本動作を図 18.15、図 18.16 に示します。

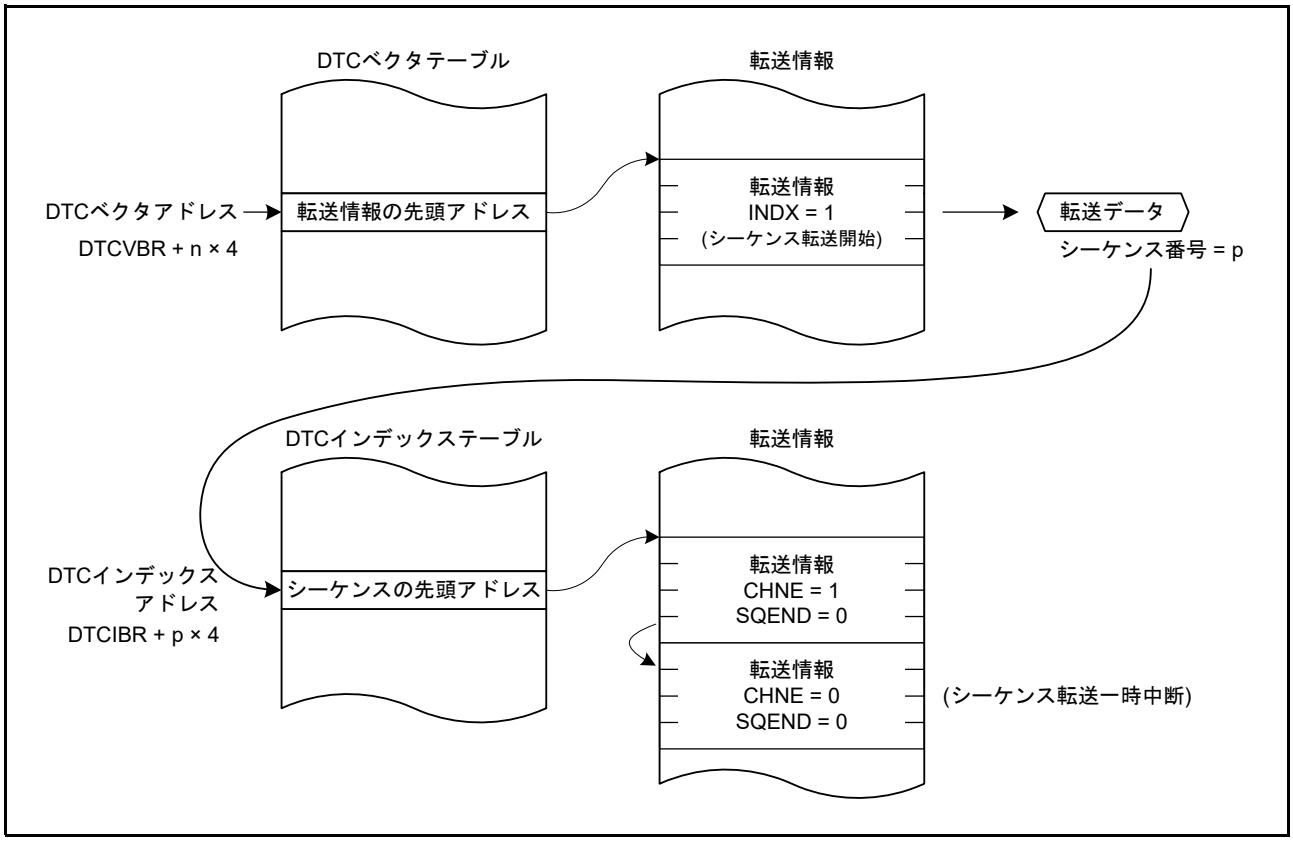


図 18.15　シーケンス転送の開始と一時中断

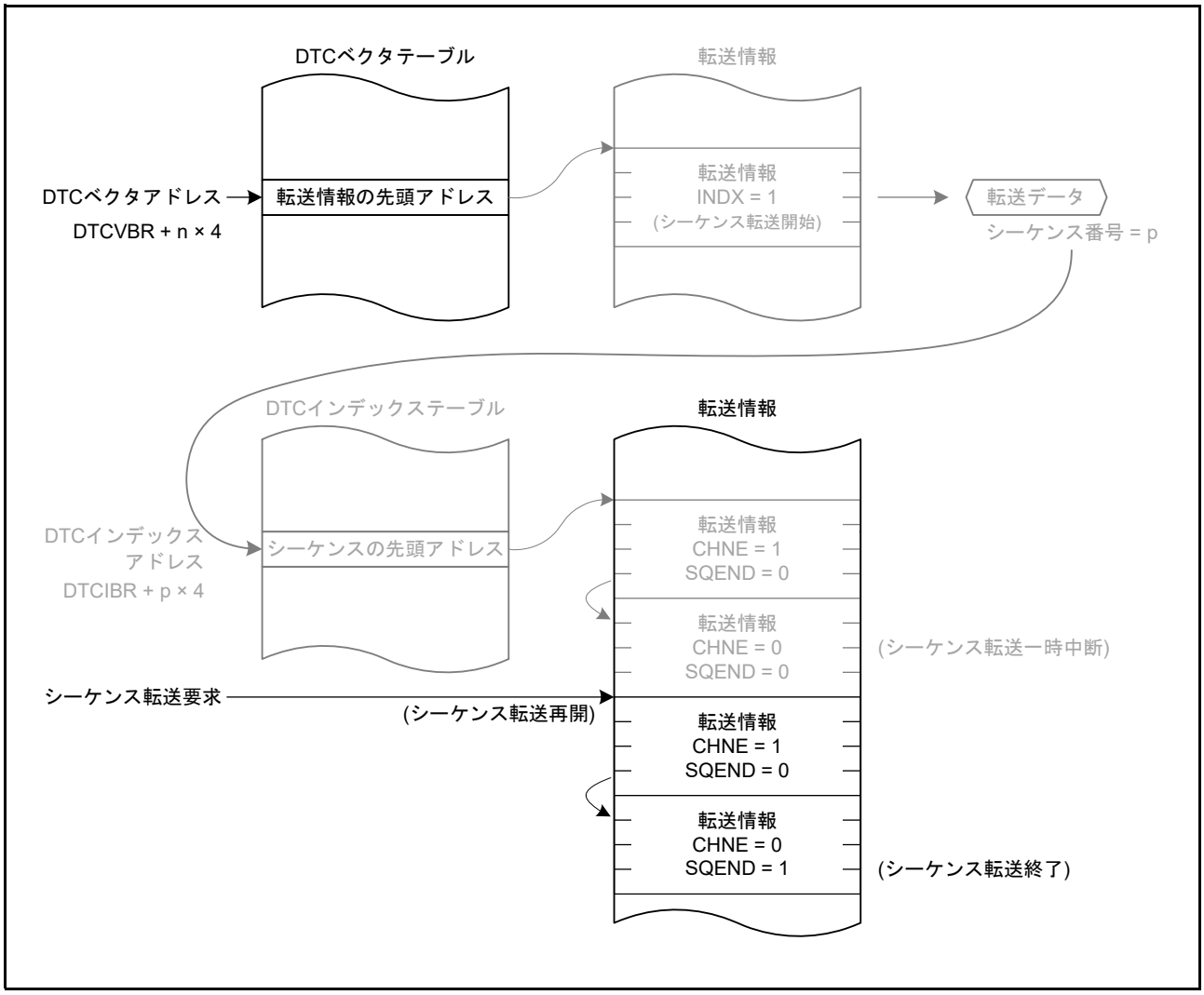


図 18.16　シーケンス転送の再開と終了

シーケンス転送実行時の CHNE、SQEND、INDX ビットの設定を**表 18.10** に示します。

表 18.10　シーケンス転送と CHNE、SQEND、INDX ビット

DTC の動作	CHNE ビット	SQEND ビット	INDX ビット
シーケンス転送開始	0	0	1(注 1)
シーケンス転送継続	1	0	0
シーケンス転送一時中断(注2)	0	0	0
シーケンス転送終了	0	1	0
シーケンス転送終了、新たなシーケンス転送を開始	0	1	1(注 1)
シーケンス転送以外	—	0	0

注.　上記以外の設定は使用しないでください。
注1.　INDX ビットを“1”にする転送情報では、MRA.MD[1:0] ビットを“00b” (ノーマル転送モード)にしてください。
注2.　シーケンス転送が一時中断した場合、ICU.DTCERn.DTCE ビットが“0”になっていることがあります。シーケンス転送を再開するには DTCE ビットを“1”にしてください。

シーケンス転送が一時中断していても、シーケンス転送が終了するまでは、新たなシーケンス転送は開始できません。シーケンス転送が一時中断しているときにシーケンス転送要求が入ると、中断していたシーケンス転送が再開されます。

18.4.11　DTC インデックステーブル

DTC インデックステーブルは、DTCIBR レジスタに設定されたアドレスを開始アドレスとする領域に配置されます。

シーケンス番号の値 p に対する転送情報テーブル p の先頭アドレスは、DTCIBR + p × 4 番地に格納してください。

DTC インデックスの上位 30 ビットには、先頭アドレスの上位 30 ビットを設定します。CPUSEL ビットには、転送情報を読み出してシーケンスを開始するか、シーケンスを開始せずに CPU に割り込み要求を出力するかを設定します。DTC では処理しきれない複雑なシーケンスに対しては、CPUSEL ビットに “1” を設定し、CPU で処理を行います。

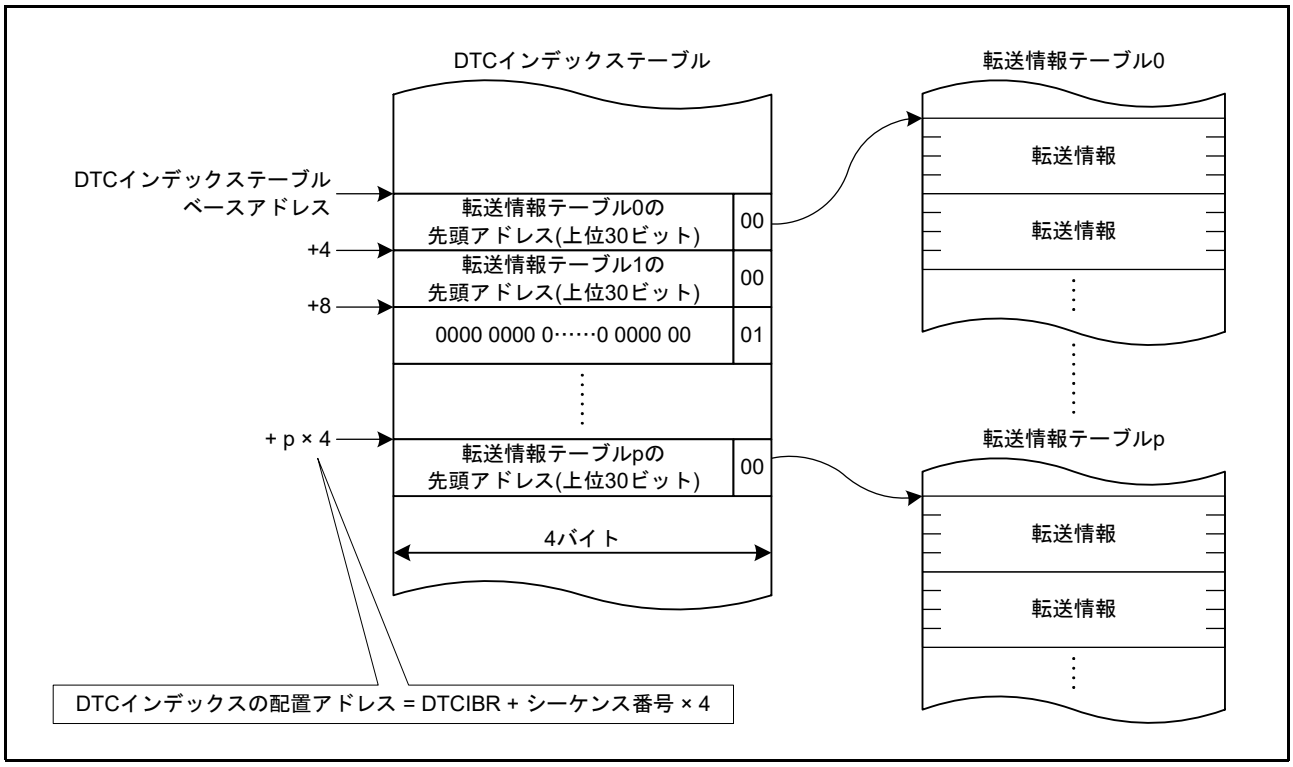
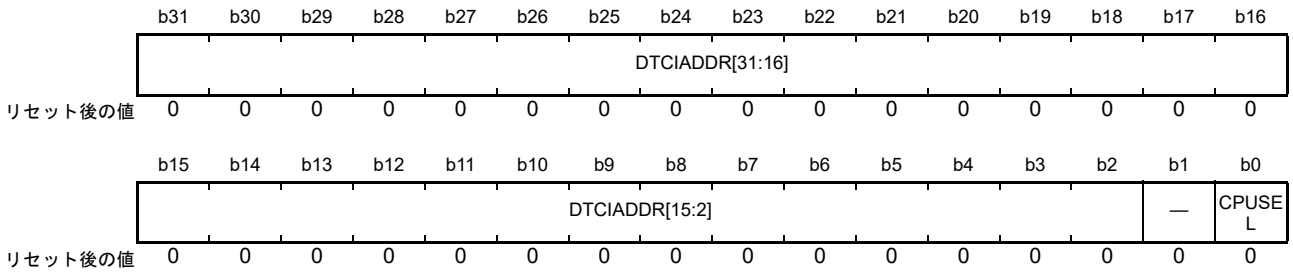


図 18.17　DTC インデックステーブル

- DTC インデックス

アドレス DTCIBR + p × 4



ビット	シンボル	ビット名	機能	R/W
b0	CPUSEL	シーケンス転送/CPU割り込み選択ビット	0：シーケンス転送を継続(シーケンスを開始) 1：シーケンス転送を終了し、CPUに割り込み要求を出力	—
b1	—	予約ビット	“0”にしてください	—
b31-b2	DTCIADDR[31:2]	転送情報テーブルアドレス	転送情報テーブルの先頭アドレスの上位30ビットを設定します。上位4ビット(b31-b28)への書き込みは無視され、b31-b28の値はb27と同じ値になります。	—

取得したシーケンス番号が示す DTC インデックスの CPUSEL ビットが “1” の場合、CPU への割り込み要求が発生します。このとき ICU.DTCERn.DTCE ビットが “0” になりますので、これ以降、DTCSQE レジスタに設定した起動要因からの割り込み要求信号は、DTC ではなく CPU に伝えられます。CPU の割り込み処理が終わったら、次のシーケンス転送が開始できるように ICU.DTCERn.DTCE ビットを “1” にして DTC 転送要求を有効にしてください。

18.4.12　シーケンス転送の動作例

シーケンス転送の代表例を図 18.18 に、図中の転送例に対する転送情報の構成を図 18.19 ～図 18.23 に示します。

これらの例では、ベクタ番号 n の割り込み要因をシーケンス転送の要因に設定 (DTCSQE.VECN[7:0] ビット = n) しています。ベクタ番号 n の割り込み要因からの DTC 転送要求 (以降、単に「転送要求 n」と記載) が入力されると、DTC は DTC ベクタテーブルを参照し、対応する転送情報を読み出します。この転送情報に従って転送されたデータの下位 8 ビットがシーケンス番号になり、256 通りのシーケンスの中から 1 つのシーケンスが選択されます。

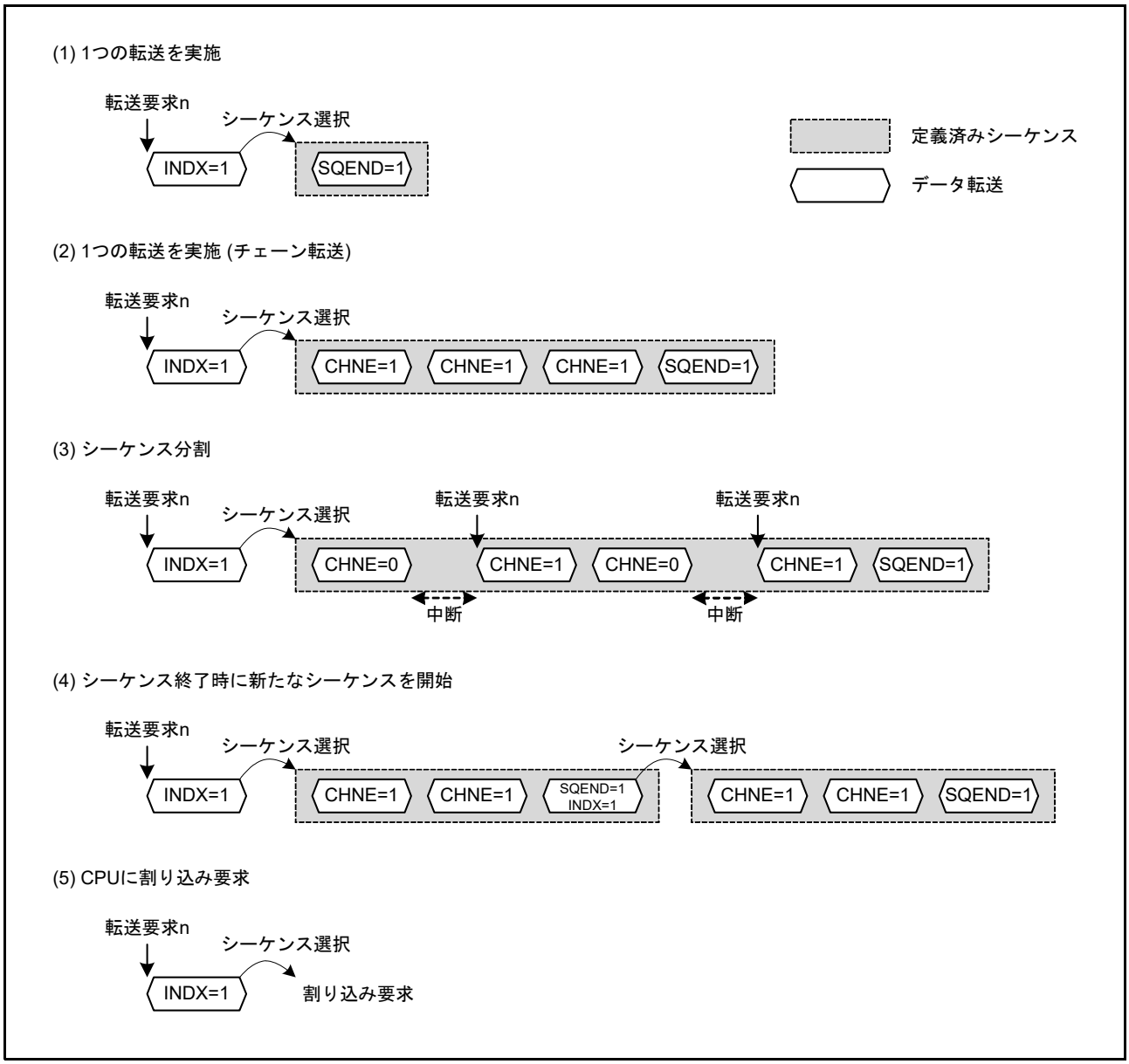


図 18.18　シーケンス転送の例

(1)　1つの転送を実施する場合

図 18.19 は、1 つの転送 (ノーマル転送、リピート転送、ブロック転送) を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 p に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” なので、指定された転送を行うとシーケンスを終了します。

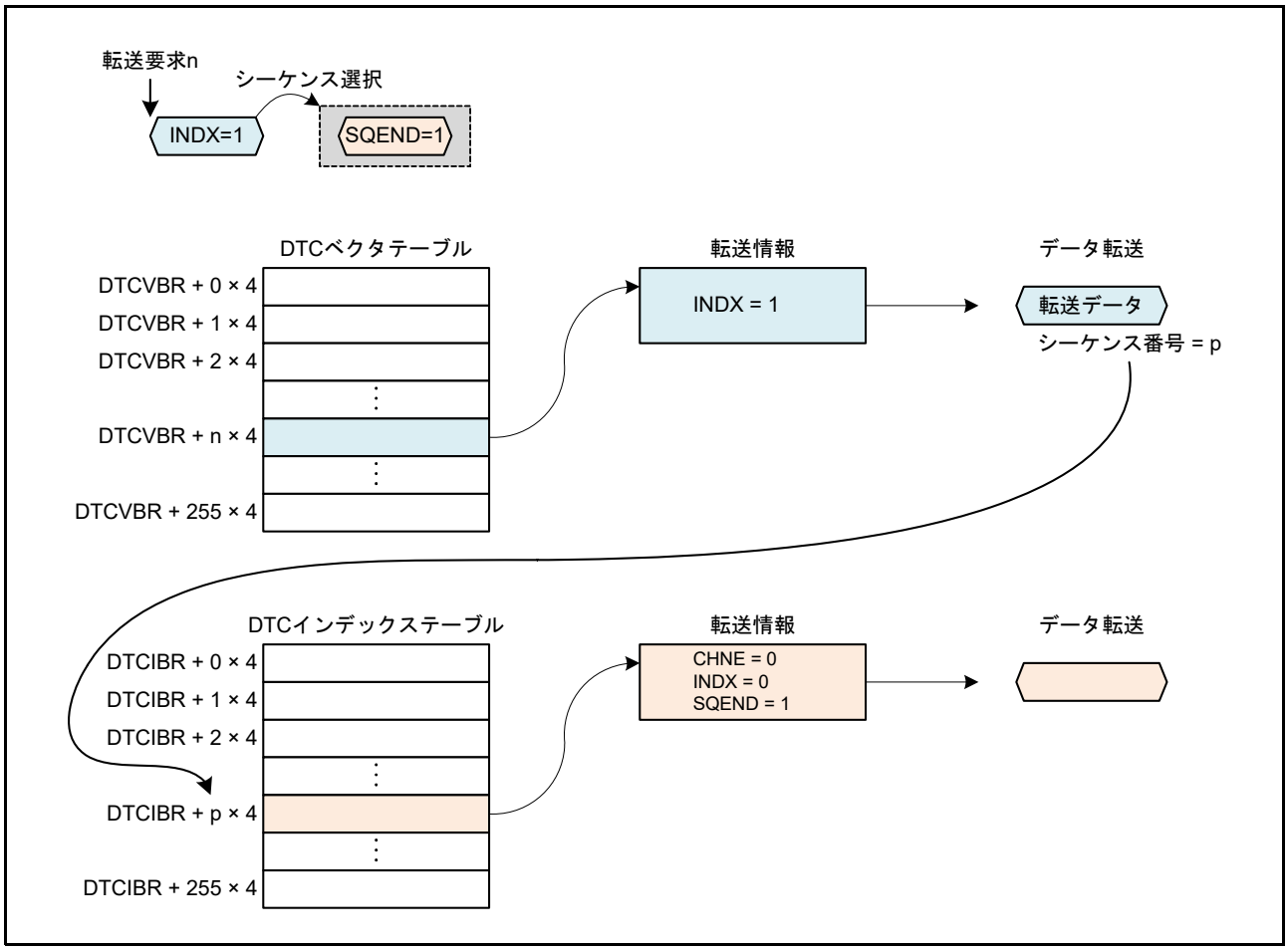


図 18.19　1 つの転送を実施するシーケンスの例

(2)　1つのチェーン転送を実施する場合

図 18.20 は、1 つのチェーン転送を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 q に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “1”、“0”、“0” の間は、指定されたチェーン転送を行います。CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

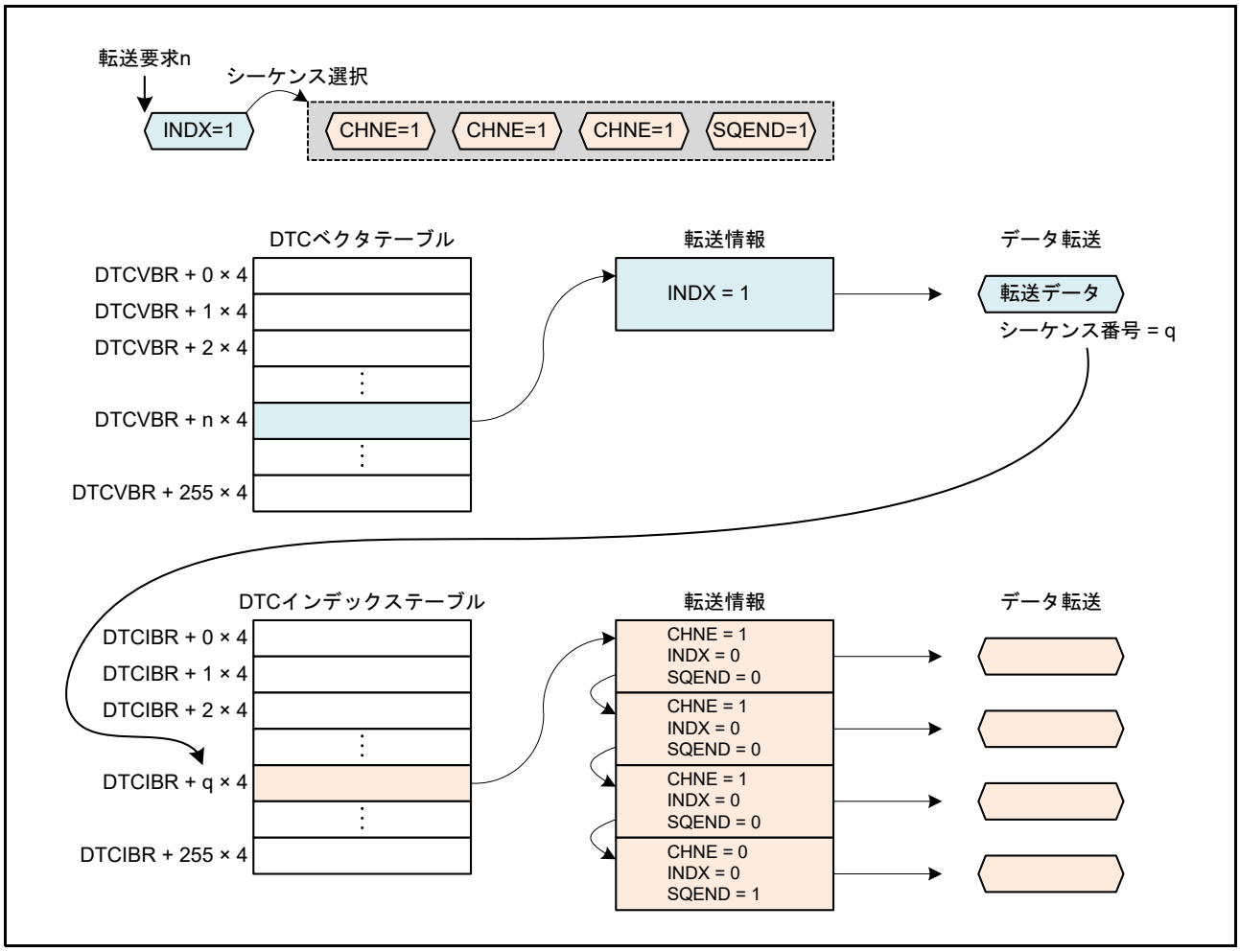


図 18.20　1 つのチェーン転送を実施するシーケンスの例

(3)　シーケンスを分割して実施する場合

図 18.21 は、1 つのシーケンスを 3 つに分割して行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 r に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“0” なので、指定された転送を行うと、シーケンスを中断して次の転送要求 n を待ちます。シーケンス転送実行中に転送要求 n が入力されると、DTC ベクタテーブルは参照されず、中断していたシーケンスが再開されます。

CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

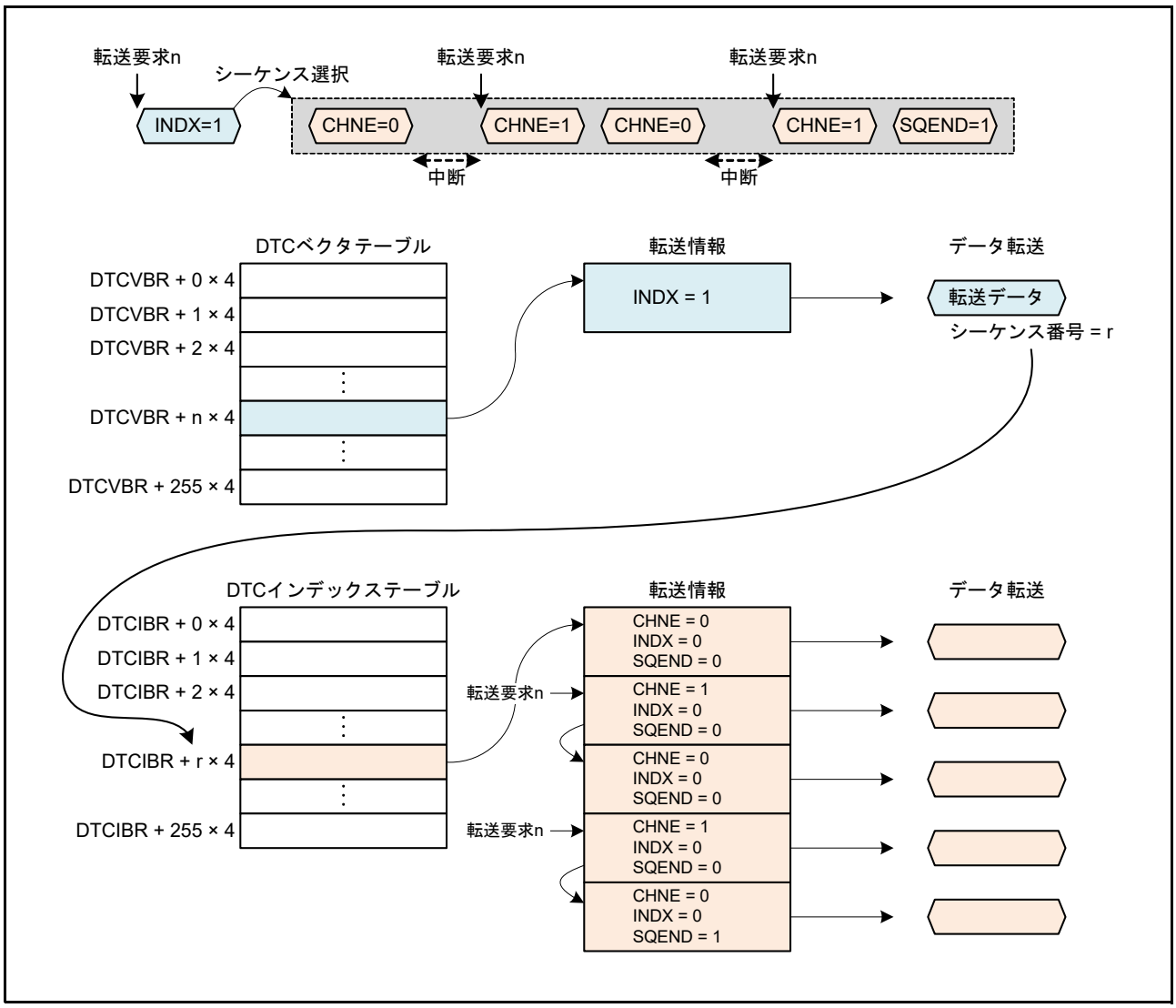


図 18.21　シーケンスを分割して実施する例

(4)　シーケンス終了時に新たなシーケンスを開始する場合

図 18.22 は、1 つ目のシーケンス転送終了時に次の新たなシーケンス転送を開始する例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 s に対応する転送情報を読み出します。

CHNE、INDX、SQEND ビットがそれぞれ “0”、“1”、“1” の転送情報を読み出すと、指定された転送を行い、転送されたデータの下位 8 ビットから新たなシーケンス番号を取得します。DTC は再び DTC インデックステーブルを参照し、取得したシーケンス番号 k に対応する転送情報を読み出し、新たなシーケンスを開始します。

CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

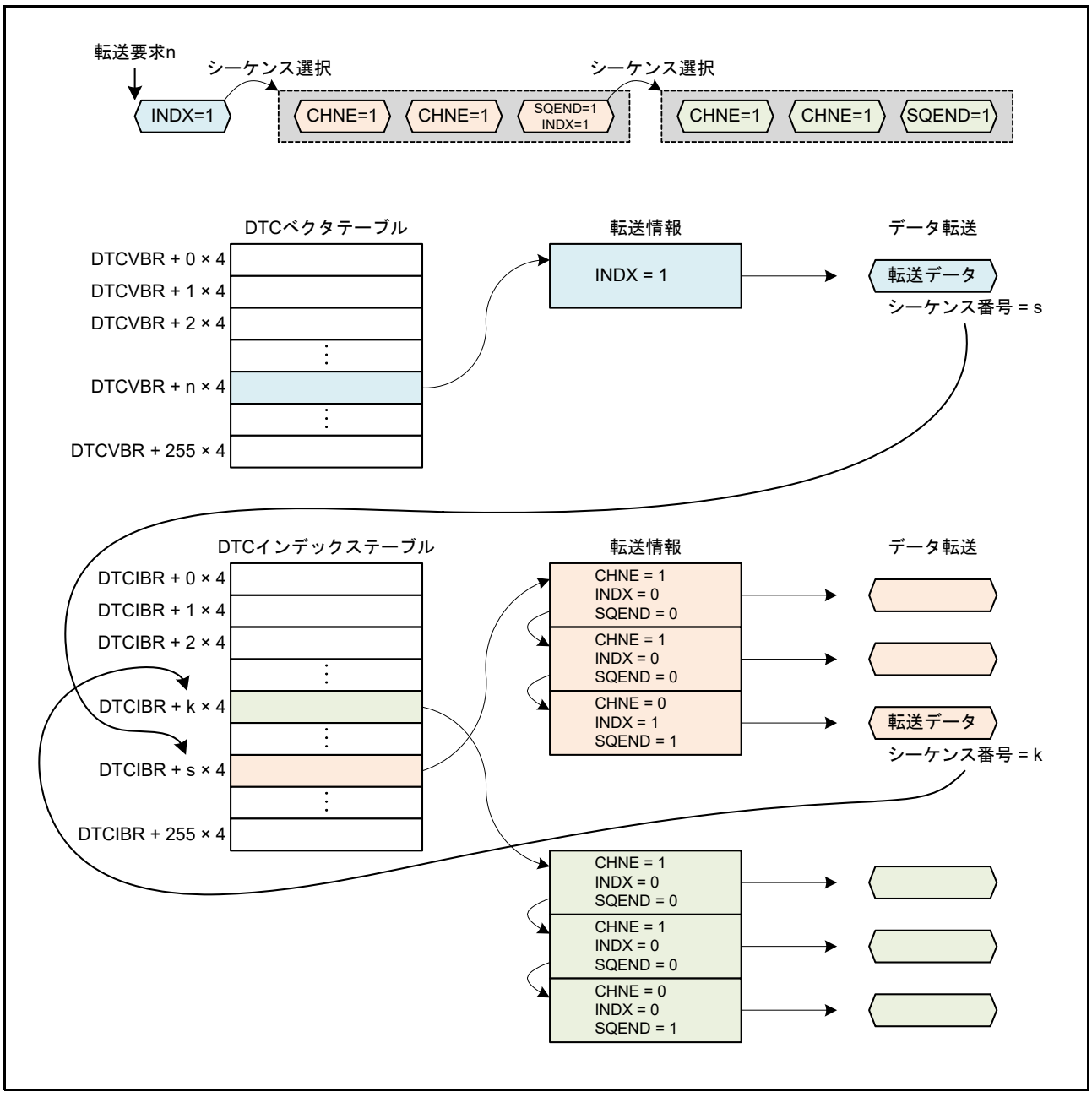


図 18.22　シーケンス終了時に新たなシーケンスを開始する例

(5) CPU に割り込み要求を出力する場合

図 18.23 は、シーケンスを開始せずに CPU に割り込み要求を出力する例です。

DTC は、取得したシーケンス番号 t に対応する DTC インデックスを取得します。取得した DTC インデックスの CPUSEL ビットが “1” であると、DTC はシーケンスを開始せずにシーケンス転送を終了し、CPU に割り込み要求を出力します。

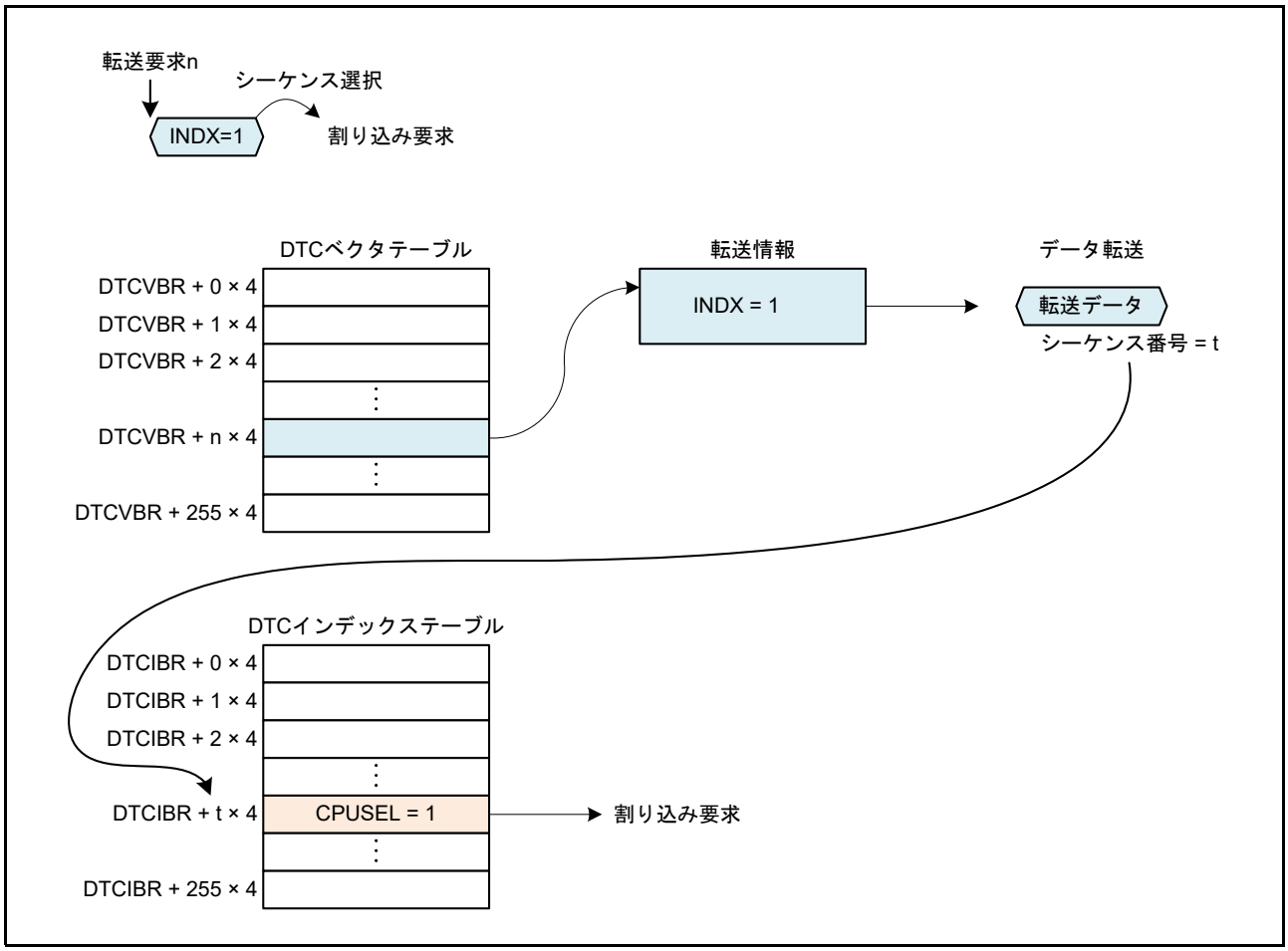


図 18.23　CPU に割り込み要求を出力する例

18.5　DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。シーケンス転送を使用する場合は DTC インデックステーブルベースレジスタ (DTCIBR) も設定してください。

図 18.24 に DTC の起動に必要な設定手順を示します。

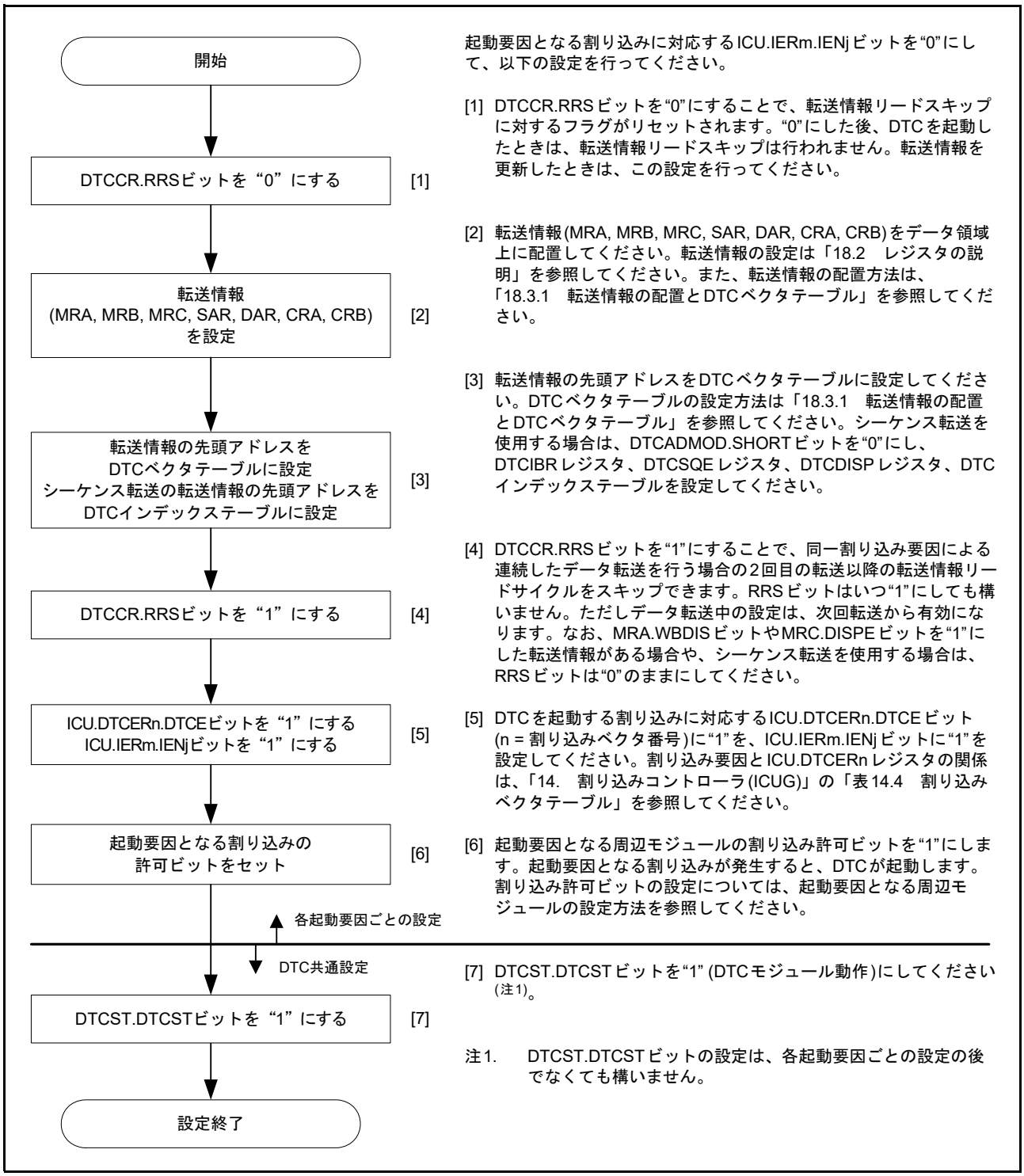


図 18.24　DTC の設定手順

18.6 DTC 使用例

18.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定
MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定
受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動
対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定
SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送
SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理
128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.2 カウンタが “0” のときのチェーン転送

第 1 のデータ転送の転送カウンタが “0” になったときのみ第 2 のデータ転送を行い、第 2 のデータ転送において第 1 の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が 256 回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ～ 21 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが “0” のときのチェーン転送を**図 18.25** に示します。

(1) 第 1 のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが “0” になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。

(2) 第 1 のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。

(3) 第 2 のデータ転送は、第 1 のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第 1 の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。

(4) DTC 転送要求を受け付けると、第 1 のデータ転送を実行します。65536 回実行して、第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が開始され、第 1 のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第 1 のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。

(5) 引き続き、DTC 転送要求を受け付けると、第 1 のデータ転送を実行します。65536 回実行して、第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が開始され、第 1 のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第 1 のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。

(6) 上記 (4)、(5) を無限に繰り返します。第 2 のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

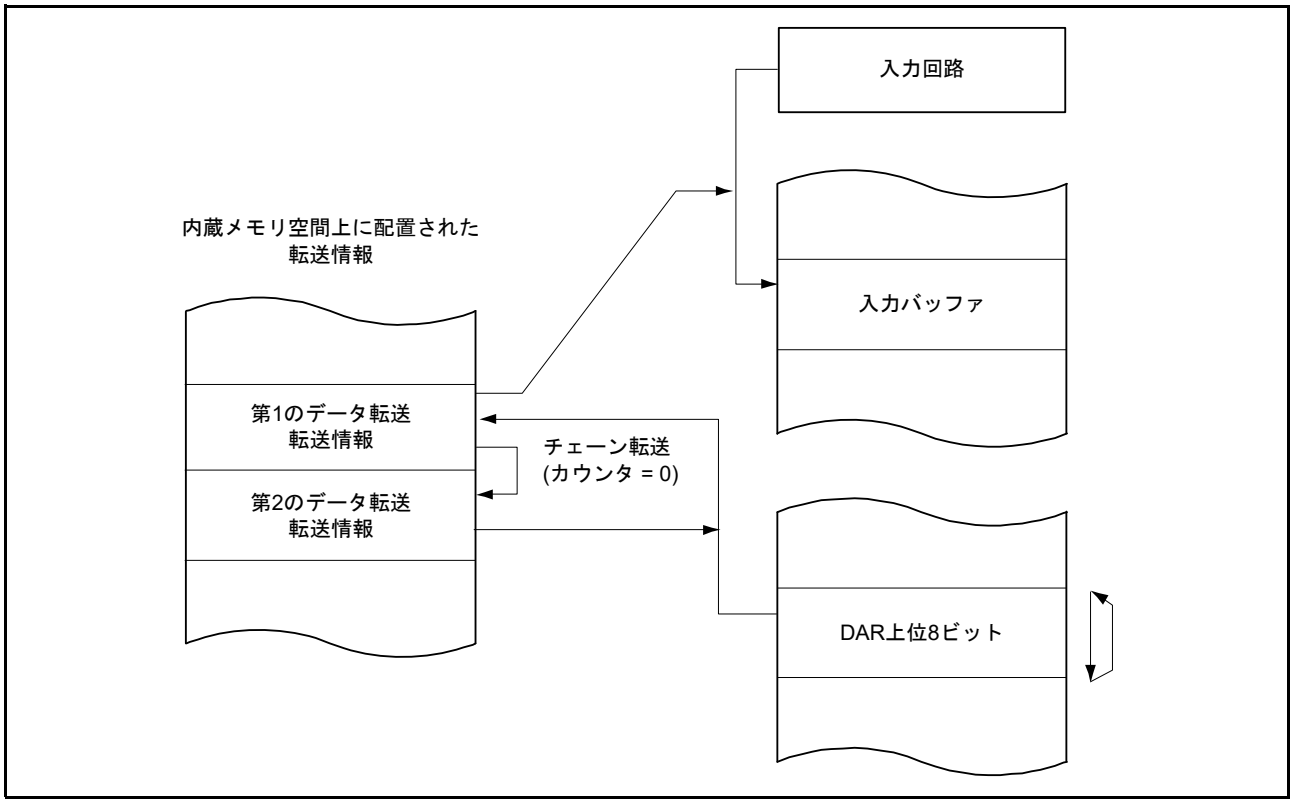


図 18.25　カウンタが “0” のときのチェーン転送

18.6.3　シーケンス転送

SCI の受信割り込みをシーケンス転送の起動要因にする例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定された回数のデータ転送が終了したとき割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタインクリメント)、INDX ビットを “1” (シーケンス転送開始)、SQEND ビットを “0” (シーケンス転送継続) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタに SCIk.RDR レジスタのアドレス、DAR レジスタにデータを格納する RAM の先頭アドレスを設定します。

WBDIS ビットを “1” (ライトバックしない) にした場合、CRA レジスタ、CRB レジスタの値は無視されます。

(2) DTC ベクタテーブルの設定

対象となる受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) DTC インデックステーブルの設定

シーケンスごとの転送情報の先頭アドレスを、DTC インデックステーブルに設定します。

(4) ICU の設定と DTC モジュールの起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(5) SCI の設定
SCIk.SCR.RIE ビットを “1” にし、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(6) シーケンス転送の開始
SCI で 1 バイトのデータ受信が完了すると RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCIk.RDR レジスタから RAM へ転送されます。この受信データの値 (シーケンス番号) によって DTC インデックステーブルを参照し、引き続きシーケンス番号に対応したデータ転送を実行します。
DTC インデックスの CPUSEL ビットが “1” の場合は、転送情報をリードせず、ICU.DTCERn.DTCE ビットを “0” にし、CPU に割り込み要求を出力してシーケンス転送を終了します。

(7) シーケンス転送一時中断中
ICU.DTCERn.DTCE ビットが “0” になっている場合は、“1” にします。対象となる RXI 割り込みによる DTC 転送要求が発生するたびに、続きのデータ転送を行います。

(8) シーケンス転送終了
シーケンス転送の最後の転送情報の MRB.SQEND ビットを “1” に設定します。このデータ転送を実行後、シーケンス転送を終了し、次に対象となる RXI 割り込みによる DTC 転送要求が発生した時は、DTC ベクタテーブルの参照から開始します。

18.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1” (データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

18.8 イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。

18.9 消費電力低減機能

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを “0” (DTC モジュール停止) にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが “1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに “0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の**「11.5.2.1 全モジュールクロックストップモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合は、データ転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の**「11.5.3.1 ソフトウェアスタンバイモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、**「11. 消費電力低減機能」**の**「11.6.5 WAIT 命令の実行タイミング」**を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを “1” にしてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、**「14. 割り込みコントローラ (ICUG)」**の**「14.7.3.1 割り込み要求先の設定手順」**の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.10 使用上の注意事項

18.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4 の倍数を指定してください。4 の倍数以外を指定すると、アドレスの最下位 2 ビットは “00b” としてアクセスします。

18.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、**図 18.26** に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は +8h (+Ch) 番地に CRA 設定データ、+Ah (+Eh) 番地に CRB 設定データを書いてください。リトルエンディアンの場合は +8h (+Ch) 番地に CRB 設定データ、+Ah (+Eh) 番地に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して +8h (+Ch) 番地に書いてください。

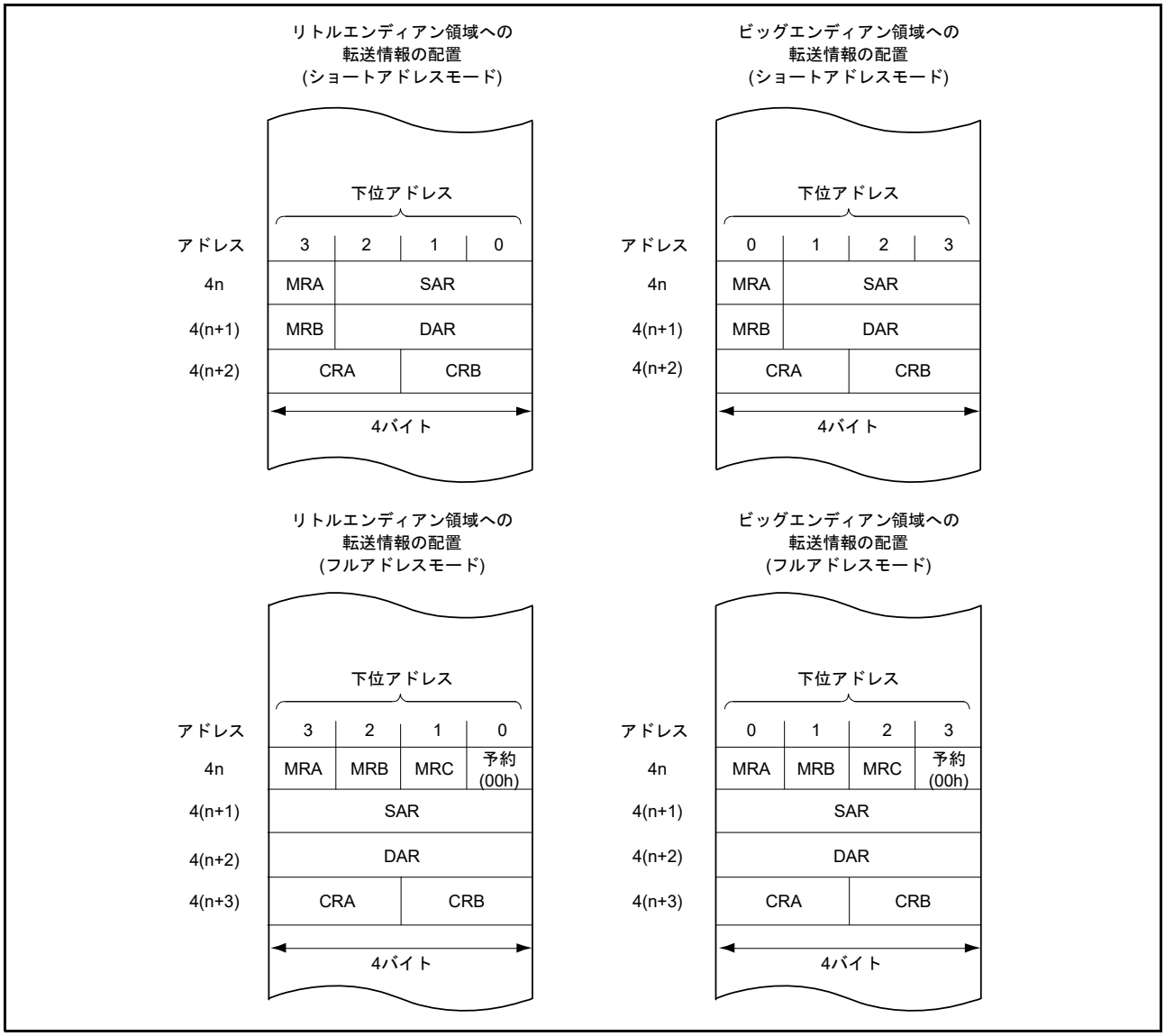


図 18.26　転送情報の配置

18.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn.DTCE ビットを “1” (DTC の起動要因に設定する) にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要因選択レジスタ (ICU.DMRSRm (m = DMAC チャネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUG)」を参照してください。

18.10.4 シーケンス転送使用時の注意事項

シーケンス転送は、DTCADMOD.SHORT ビットを “0” (フルアドレスモード)、DTCCR.RRS ビットを “0” (リードスキップを行わない) にして使用してください。

また、MRB.INDX ビットを “1” (シーケンス転送開始) にするとき、あるいは MRB.SQEND ビットを “1” (シーケンス転送終了) にするときは、MRB.CHNE ビットを “0” (チェーン転送禁止) にしてください。

19. イベントリンクコントローラ (ELC)

19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 19.1 に ELC の仕様を示します。**図** 19.1 に ELC のブロック図を示します。

表19.1 ELCの仕様

項目	内容
イベントリンク機能	• 182種類のイベント信号を、直接周辺モジュールへリンク可能 • タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 • ポートB、ポートEのイベントリンク動作が可能 シングルポート(注1) : 指定した1本のポートにイベントリンクの動作設定が可能 ポートグループ(注1) : 最大8本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。

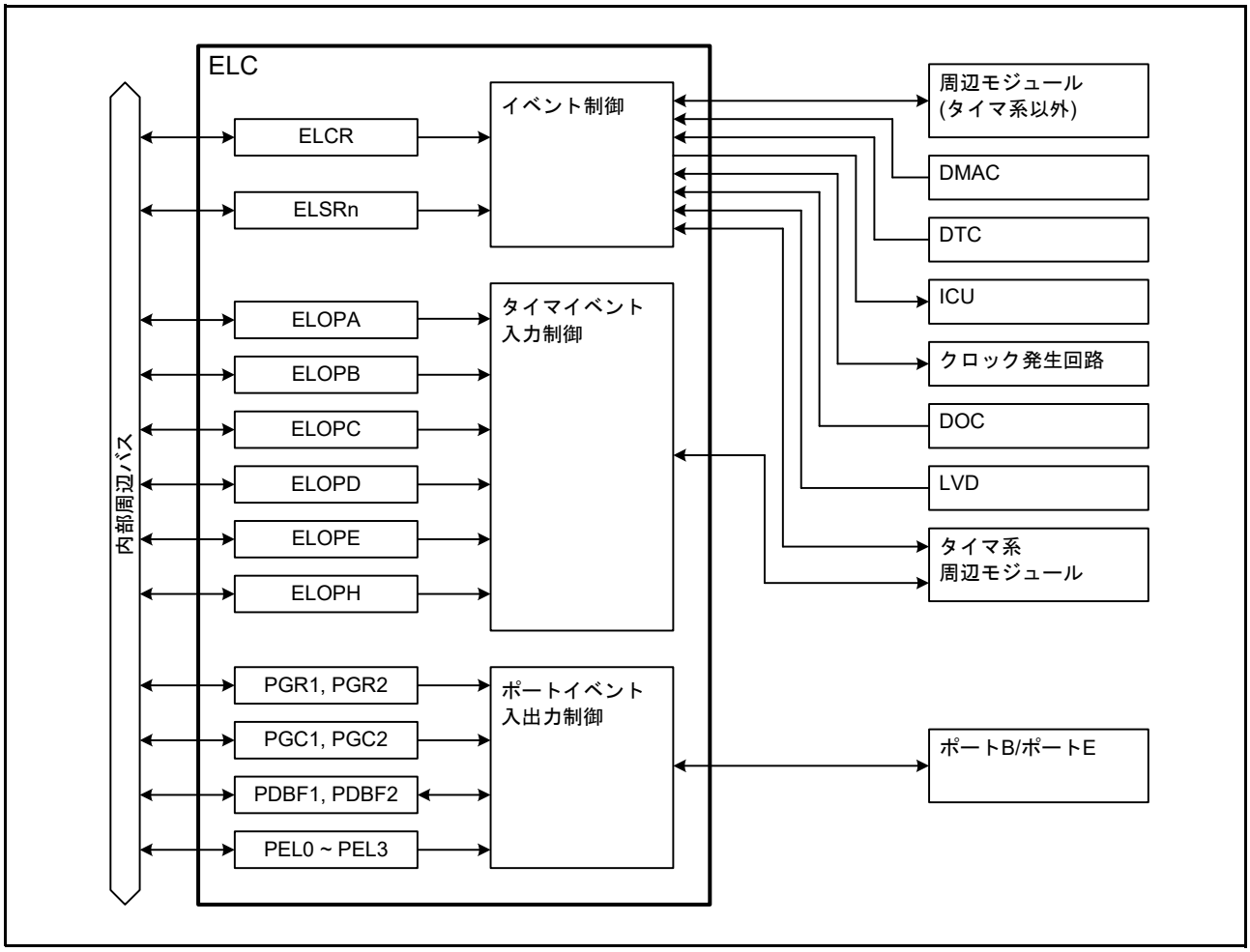


図 19.1 ELC のブロック図 (n = 0, 3, 4, 7, 10 ～ 13, 15, 16, 18 ～ 28, 30, 31, 33, 45 ～ 58)

19.2 レジスタの説明

19.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

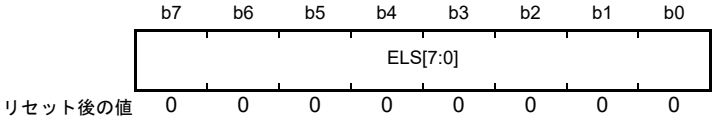
ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0：ELC機能は無効 1：ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

19.2.2 イベントリンク設定レジスタ n (ELSRn)
(n = 0, 3, 4, 7, 10 ～ 13, 15, 16, 18 ～ 28, 30, 31, 33, 45 ～ 58)

アドレス

ELC.ELSR0 0008 B101h, ELC.ELSR3 0008 B104h, ELC.ELSR4 0008 B105h, ELC.ELSR7 0008 B108h, ELC.ELSR10 0008 B10Bh, ELC.ELSR11 0008 B10Ch, ELC.ELSR12 0008 B10Dh, ELC.ELSR13 0008 B10Eh, ELC.ELSR15 0008 B110h, ELC.ELSR16 0008 B111h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h, ELC.ELSR20 0008 B115h, ELC.ELSR21 0008 B116h, ELC.ELSR22 0008 B117h, ELC.ELSR23 0008 B118h, ELC.ELSR24 0008 B119h, ELC.ELSR25 0008 B11Ah, ELC.ELSR26 0008 B11Bh, ELC.ELSR27 0008 B11Ch, ELC.ELSR28 0008 B11Dh, ELC.ELSR30 0008 B12Eh, ELC.ELSR31 0008 B12Fh, ELC.ELSR33 0008 B131h, ELC.ELSR45 0008 B13Dh, ELC.ELSR46 0008 B144h, ELC.ELSR47 0008 B145h, ELC.ELSR48 0008 B146h, ELC.ELSR49 0008 B147h, ELC.ELSR50 0008 B148h, ELC.ELSR51 0008 B149h, ELC.ELSR52 0008 B14Ah, ELC.ELSR53 0008 B14Bh, ELC.ELSR54 0008 B14Ch, ELC.ELSR55 0008 B14Dh, ELC.ELSR56 0008 B14Eh, ELC.ELSR57 0008 B14Fh, ELC.ELSR58 0008 B150h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	00h：該当する周辺モジュールへのイベント信号の出力は無効 01h～FBh：リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を**表 19.2** に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を**表 19.3** に示します。

表19.2 ELSRnレジスタと周辺モジュールの対応

レジスタ名	周辺モジュール
ELSR0	MTU0
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	TMR0
ELSR11	TMR1
ELSR12	TMR2
ELSR13	TMR3
ELSR15	S12AD (ELCTRG00N)
ELSR16	DA0
ELSR18	ICU (割り込み1)(注1)
ELSR19	ICU (割り込み2)(注1)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3
ELSR28	クロックソースをLOCOへ切り替え
ELSR30	MTU6
ELSR31	MTU7
ELSR33	CMTW0
ELSR45	S12AD1 (ELCTRG10N)
ELSR46	S12AD2 (ELCTRG20N)
ELSR47	MTU9
ELSR48	GPTWイベント要因A (全チャネル共通)
ELSR49	GPTWイベント要因B (全チャネル共通)
ELSR50	GPTWイベント要因C (全チャネル共通)
ELSR51	GPTWイベント要因D (全チャネル共通)
ELSR52	GPTWイベント要因E (全チャネル共通)
ELSR53	GPTWイベント要因F (全チャネル共通)
ELSR54	GPTWイベント要因G (全チャネル共通)
ELSR55	GPTWイベント要因H (全チャネル共通)
ELSR56	S12AD (ELCTRG01N)
ELSR57	S12AD1 (ELCTRG11N)
ELSR58	S12AD2 (ELCTRG21N)

注1. イベント信号は“EAh”～“F1h”の中から指定してください。これ以外の値は、設定しないでください。

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (1/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
01h	マルチファンクションタイマパルスユニット3	MTU0・コンペアマッチ0A
02h		MTU0・コンペアマッチ0B
03h		MTU0・コンペアマッチ0C
04h		MTU0・コンペアマッチ0D
05h		MTU0・コンペアマッチ0E
06h		MTU0・コンペアマッチ0F
07h		MTU0・オーバフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h		MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Eh		MTU6・コンペアマッチ6A
1Fh		MTU6・コンペアマッチ6B
20h		MTU6・コンペアマッチ6C
21h		MTU6・コンペアマッチ6D
22h		MTU6・オーバフロー
23h		MTU7・コンペアマッチ7A
24h		MTU7・コンペアマッチ7B
25h		MTU7・コンペアマッチ7C
26h		MTU7・コンペアマッチ7D
27h		MTU7・オーバフロー
28h		MTU7・アンダフロー
2Fh		MTU9・コンペアマッチ9A
30h		MTU9・コンペアマッチ9B
31h		MTU9・コンペアマッチ9C
32h		MTU9・コンペアマッチ9D
33h		MTU9・コンペアマッチ9E
34h		MTU9・コンペアマッチ9F
35h		MTU9・オーバフロー
37h	コンペアマッチタイマ	CMT1・コンペアマッチ1
3Ah	コンペアマッチタイマW	CMTW0・コンペアマッチ

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (2/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
3Ch	8ビットタイマ	TMR0・コンペアマッチA0
3Dh		TMR0・コンペアマッチB0
3Eh		TMR0・オーバフロー
3Fh		TMR1・コンペアマッチA1
40h		TMR1・コンペアマッチB1
41h		TMR1・オーバフロー
42h		TMR2・コンペアマッチA2
43h		TMR2・コンペアマッチB2
44h		TMR2・オーバフロー
45h		TMR3・コンペアマッチA3
46h		TMR3・コンペアマッチB3
47h		TMR3・オーバフロー
48h	汎用PWMタイマ	GPTW0・コンペアマッチA
49h		GPTW0・コンペアマッチB
4Ah		GPTW0・コンペアマッチC
4Bh		GPTW0・コンペアマッチD
4Ch		GPTW0・コンペアマッチE
4Dh		GPTW0・コンペアマッチF
4Eh		GPTW0・オーバフロー
4Fh		GPTW0・アンダフロー
50h		GPTW0・A/D変換開始要求A
51h		GPTW0・A/D変換開始要求B
52h		GPTW1・コンペアマッチA
53h		GPTW1・コンペアマッチB
54h		GPTW1・コンペアマッチC
55h		GPTW1・コンペアマッチD
56h		GPTW1・コンペアマッチE
57h		GPTW1・コンペアマッチF
58h		GPTW1・オーバフロー
59h		GPTW1・アンダフロー
5Ah		GPTW1・A/D変換開始要求A
5Bh		GPTW1・A/D変換開始要求B
5Ch		GPTW2・コンペアマッチA
5Dh		GPTW2・コンペアマッチB
5Eh		GPTW2・コンペアマッチC
5Fh		GPTW2・コンペアマッチD
60h		GPTW2・コンペアマッチE
61h		GPTW2・コンペアマッチF
62h		GPTW2・オーバフロー
63h		GPTW2・アンダフロー
64h		GPTW2・A/D変換開始要求A
65h		GPTW2・A/D変換開始要求B

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (3/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
66h	汎用PWMタイマ	GPTW3・コンペアマッチA
67h		GPTW3・コンペアマッチB
68h		GPTW3・コンペアマッチC
69h		GPTW3・コンペアマッチD
6Ah		GPTW3・コンペアマッチE
6Bh		GPTW3・コンペアマッチF
6Ch		GPTW3・オーバフロー
6Dh		GPTW3・アンダフロー
6Eh		GPTW3・A/D変換開始要求A
6Fh		GPTW3・A/D変換開始要求B
70h		GPTW4・コンペアマッチA
71h		GPTW4・コンペアマッチB
72h		GPTW4・コンペアマッチC
73h		GPTW4・コンペアマッチD
74h		GPTW4・コンペアマッチE
75h		GPTW4・コンペアマッチF
76h		GPTW4・オーバフロー
77h		GPTW4・アンダフロー
78h		GPTW4・A/D変換開始要求A
79h		GPTW4・A/D変換開始要求B
7Ah		GPTW5・コンペアマッチA
7Bh		GPTW5・コンペアマッチB
7Ch		GPTW5・コンペアマッチC
7Dh		GPTW5・コンペアマッチD
7Eh		GPTW5・コンペアマッチE
7Fh		GPTW5・コンペアマッチF
80h		GPTW5・オーバフロー
81h		GPTW5・アンダフロー
82h		GPTW5・A/D変換開始要求A
83h		GPTW5・A/D変換開始要求B
84h		GPTW6・コンペアマッチA
85h		GPTW6・コンペアマッチB
86h		GPTW6・コンペアマッチC
87h		GPTW6・コンペアマッチD
88h		GPTW6・コンペアマッチE
89h		GPTW6・コンペアマッチF
8Ah		GPTW6・オーバフロー
8Bh		GPTW6・アンダフロー
8Ch		GPTW6・A/D変換開始要求A
8Dh		GPTW6・A/D変換開始要求B

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (4/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
8Eh	汎用PWMタイマ	GPTW7・コンペアマッチA
8Fh		GPTW7・コンペアマッチB
90h		GPTW7・コンペアマッチC
91h		GPTW7・コンペアマッチD
92h		GPTW7・コンペアマッチE
93h		GPTW7・コンペアマッチF
94h		GPTW7・オーバフロー
95h		GPTW7・アンダフロー
96h		GPTW7・A/D変換開始要求A
97h		GPTW7・A/D変換開始要求B
AFh	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー
B8h	シリアルコミュニケーションインタフェース	SCI5・エラー(受信エラー・エラーシグナル検出)
B9h		SCI5・受信データフル
BAh		SCI5・送信データエンプティ
BBh		SCI5・送信完了
C8h	シリアルコミュニケーションインタフェース	RSCI11・エラー
C9h		RSCI11・受信データフル
CAh		RSCI11・送信データエンプティ
CBh		RSCI11・送信完了
CCh	I^2Cバスインタフェース	RIIC0・通信エラー、イベント発生
CDh		RIIC0・受信データフル
CEh		RIIC0・送信データエンプティ
CFh		RIIC0・送信終了
D0h	シリアルペリフェラルインタフェース	RSPI0・エラー(モードフォルト・オーバラン・アンダラン・パリティエラー)
D1h		RSPI0・アイドル
D2h		RSPI0・受信バッファフル
D3h		RSPI0・送信バッファエンプティ
D4h		RSPI0・通信完了
D6h	12ビットA/Dコンバータ	S12AD・A/D変換終了
D8h		S12AD1・A/D変換終了
DAh		S12AD2・A/D変換終了
DCh	コンパレータC	コンパレータC0・比較結果変化
DDh		コンパレータC1・比較結果変化
DEh		コンパレータC2・比較結果変化
DFh		コンパレータC3・比較結果変化
E0h		コンパレータC4・比較結果変化
E1h		コンパレータC5・比較結果変化
E2h	電圧検出回路	LVD1・電圧検出
E3h		LVD2・電圧検出
E4h	DMAコントローラ	DMAC0・転送終了
E5h		DMAC1・転送終了
E6h		DMAC2・転送終了
E7h		DMAC3・転送終了
E8h	データトランスファコントローラ	DTC・転送終了
E9h	クロック発生回路	クロック発生回路・発振停止検出

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (5/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
EAh	I/Oポート	入力ポートグループ1・入力エッジ検出
EBh		入力ポートグループ2・入力エッジ検出
ECh		シングル入力ポート0・入力エッジ検出
EDh		シングル入力ポート1・入力エッジ検出
EEh		シングル入力ポート2・入力エッジ検出
EFh		シングル入力ポート3・入力エッジ検出
F0h	イベントリンクコントローラ	ソフトウェアイベント
F1h	データ演算回路	DOC・データ演算条件成立
F2h	I3Cバスインタフェース	RI3C0・通信エラー、イベント発生
F3h		RI3C0・受信データフル
F4h		RI3C0・送信データエンプティ
F6h	シリアルペリフェラルインタフェース	RSPIA0・エラー
F7h		RSPIA0・アイドル
F8h		RSPIA0・受信バッファフル
F9h		RSPIA0・送信バッファエンプティ
FAh		RSPIA0・通信完了
FBh	汎用PWMタイマ	GPTW (OPS)・UVW相入力エッジ検出
上記以外は設定しないでください		

19.2.3　イベントリンクオプション設定レジスタ A (ELOPA)

アドレス　ELC.ELOPA 0008 B11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU3MD[1:0]		—	—	—	—	MTU0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU0MD[1:0]	MTU0動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注1) 1 1：イベント出力禁止	R/W
b5-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注2) 1 1：イベント出力禁止	R/W

注1.　MTU0.TCNT レジスタの値がMTU0.TGRA レジスタにキャプチャされます。
注2.　MTU3.TCNT レジスタの値がMTU3.TGRA レジスタにキャプチャされます。

ELOPA レジスタは、イベント信号が入力されたときの MTU0、MTU3 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.4　イベントリンクオプション設定レジスタ B (ELOPB)

アドレス　ELC.ELOPB 0008 B120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MTU4MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注1) 1 1：イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　MTU4.TCNT レジスタの値がMTU4.TGRA レジスタにキャプチャされます。

ELOPB レジスタは、イベント信号が入力されたときの MTU4 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.5　イベントリンクオプション設定レジスタ C (ELOPC)

アドレス　ELC.ELOPC 0008 B121h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMT1MD[1:0]		—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0：カウントスタート 0 1：カウントリスタート 1 0：イベントカウンタ 1 1：イベント出力禁止	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときの CMT1 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.6　イベントリンクオプション設定レジスタ D (ELOPD)

アドレス　ELC.ELOPD 0008 B122h

	b7	b6	b5	b4	b3	b2	b1	b0
	TMR3MD[1:0]		TMR2MD[1:0]		TMR1MD[1:0]		TMR0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：イベントカウンタ 1 1：イベント出力禁止	R/W
b3-b2	TMR1MD[1:0]	TMR1動作選択ビット	b3 b2 0 0：カウントスタート 0 1：カウントリスタート 1 0：イベントカウンタ 1 1：イベント出力禁止	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0：カウントスタート 0 1：カウントリスタート 1 0：イベントカウンタ 1 1：イベント出力禁止	R/W
b7-b6	TMR3MD[1:0]	TMR3動作選択ビット	b7 b6 0 0：カウントスタート 0 1：カウントリスタート 1 0：イベントカウンタ 1 1：イベント出力禁止	R/W

ELOPD レジスタは、イベント信号が入力されたときの TMR0 ～ TMR3 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.7　イベントリンクオプション設定レジスタ E (ELOPE)

アドレス　ELC.ELOPE 0008 B13Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU9MD[1:0]		—	—	MTU7MD[1:0]		MTU6MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU6MD[1:0]	MTU6動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注1) 1 1：イベント出力禁止	R/W
b3-b2	MTU7MD[1:0]	MTU7動作選択ビット	b3 b2 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注2) 1 1：イベント出力禁止	R/W
b5-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b6	MTU9MD[1:0]	MTU9動作選択ビット	b7 b6 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注3) 1 1：イベント出力禁止	R/W

注1.　MTU6.TCNT レジスタの値がMTU6.TGRA レジスタにキャプチャされます。
注2.　MTU7.TCNT レジスタの値がMTU7.TGRA レジスタにキャプチャされます。
注3.　MTU9.TCNT レジスタの値がMTU9.TGRA レジスタにキャプチャされます。

ELOPE レジスタは、イベント信号が入力されたときの MTU6、MTU7、MTU9 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.8 イベントリンクオプション設定レジスタ H (ELOPH)

アドレス ELC.ELOPH 0008 B141h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMTW0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMTW0MD[1:0]	CMTW0動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：イベントカウンタ 1 1：イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPH レジスタは、イベント信号が入力されたときの CMTW0 の動作を設定するレジスタです。
ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.9　ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

アドレス　ELC.PGR1 0008 B123h, ELC.PGR2 0008 B124h

	b7	b6	b5	b4	b3	b2	b1	b0
	PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0：ポートグループに指定しない 1：ポートグループに指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGRn レジスタは、I/O ポートのグループ設定をするレジスタです。8 ビットのポートの内、このレジスタで “1” にしたビットに対応するポートがポートグループに選択されます。

たとえば、PGR1.PGR6 ビットと PGR1.PGR3 ビットを “1” にした場合、PB6 端子と PB3 端子がポートグループに選択されます。

表 19.4 に PGRn レジスタとポートの対応を示します。

表 19.4　ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGRn)	ポートグループコントロールレジスタ (PGCn)	ポートバッファレジスタ (PDBFn)
ポートB	PGR1 レジスタ	PGC1 レジスタ	PDBF1 レジスタ
ポートE	PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ

19.2.10　ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)

アドレス　ELC.PGC1 0008 B125h, ELC.PGC2 0008 B126h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PGCO[2:0]			—	PGCOVE	PGCI[1:0]	
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0：ポートへの入力信号の立ち上がりエッジを検出して、イベント信号を出力 0 1：ポートへの入力信号の立ち下がりエッジを検出して、イベント信号を出力 1 x：ポートへの入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b2	PGCOVE	PDBF上書き指定ビット	0：PDBFnレジスタへの上書き無効 1：PDBFnレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作セレクトビット	b6 b4 0 0 0：イベント信号が入力されると、Lowを出力 0 0 1：イベント信号が入力されると、Highを出力 0 1 0：イベント信号が入力されると、トグル(反転)出力 0 1 1：イベント信号が入力されると、バッファ値を出力 1 x x：イベント信号が入力されると、ポートグループ内でビットローテート出力(MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x：Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号が入力されたときにポートから出力する信号の形式を指定するレジスタです。また、入力に設定されたポートグループに対して、PDBFn レジスタへの上書き有効 / 無効の指定およびイベント発生条件 (ポートへの入力信号の変化) の設定を行うレジスタです。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

PGCn レジスタとポートの対応については、**表 19.4** を参照してください。

19.2.11　ポートバッファレジスタ n (PDBFn) (n = 1, 2)

アドレス　ELC.PDBF1 0008 B127h, ELC.PDBF2 0008 B128h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0 ビット	イベント信号が入力されたときにPODR レジスタに転送するデータを設定します。設定した値は、PGCn.PGCO[2:0] ビットが“011b”、“1xxb”の場合に有効です。入力ポートグループに指定したビットへの書き込みは無効となります。 詳細は、「19.3　動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1 ビット		R/W
b2	PDBF2	ポートバッファ 2 ビット		R/W
b3	PDBF3	ポートバッファ 3 ビット		R/W
b4	PDBF4	ポートバッファ 4 ビット		R/W
b5	PDBF5	ポートバッファ 5 ビット		R/W
b6	PDBF6	ポートバッファ 6 ビット		R/W
b7	PDBF7	ポートバッファ 7 ビット		R/W

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、**「19.3.6　I/O ポートのイベント信号入力時の動作とイベント生成」**を参照してください。

PDBFn レジスタとポートの対応については、**表 19.4** を参照してください。

19.2.12　イベント接続ポート指定レジスタ m (PELm) (m = 0 ～ 3)

アドレス　ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah, ELC.PEL2 0008 B12Bh, ELC.PEL3 0008 B12Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSM[1:0]		PSP[1:0]		PSB[2:0]		
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0：設定無効 0 1：ポートB (PGR1 レジスタに対応) 1 0：ポートE (PGR2 レジスタに対応) 1 1：設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	• 出力ポートに設定したとき：ポート出力データを指定 b6 b5 0 0：イベント信号が入力されると、Lowを出力 0 1：イベント信号が入力されると、Highを出力 1 x：イベント信号が入力されると、トグル(反転)出力 • 入力ポートに設定したとき：イベント出力エッジ選択 b6 b5 0 0：立ち上がりエッジを検出して、イベント信号を出力 0 1：立ち下がりエッジを検出して、イベント信号を出力 1 x：立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x：Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B およびポート E のビットに対して、最大 4 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

19.2.13　イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス　ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0：通常動作 1：ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0：SEGビットへの書き込み禁止 1：SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0：ELSEGRレジスタへの書き込み許可 1：ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みはMOV命令を使用してください。

SEGビット(ソフトウェアイベント発生ビット)

WEビットが“1”の状態で、本ビットに“1”を書き込むとソフトウェアイベントが発生します。
本ビットは読むと“0”が読めます。“1”を書いても“1”になりません。

WEビット(SEGビット書き込み許可ビット)

WEビットが“1”のときのみ、SEGビットに対する書き込みが可能になります。
WEビットを“1”にするには、WIビットに“0”、WEビットに“1”を同時に書いてください。
WEビットを“0”にするには、WIビットに“0”、WEビットに“0”を同時に書いてください。

WIビット(ELSEGRレジスタ書き込み禁止ビット)

WIビットの書き込み値が“0”のときのみ、ELSEGRレジスタに対する書き込みが可能になります。
読むと“1”が読めます。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

本 MCU に内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可 / 禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが “1” になり、割り込み要求が許可のとき、CPU に対して割り込みを要求します。

これに対して、ELC は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図 19.2 に割り込み処理と ELC の関係を示します。

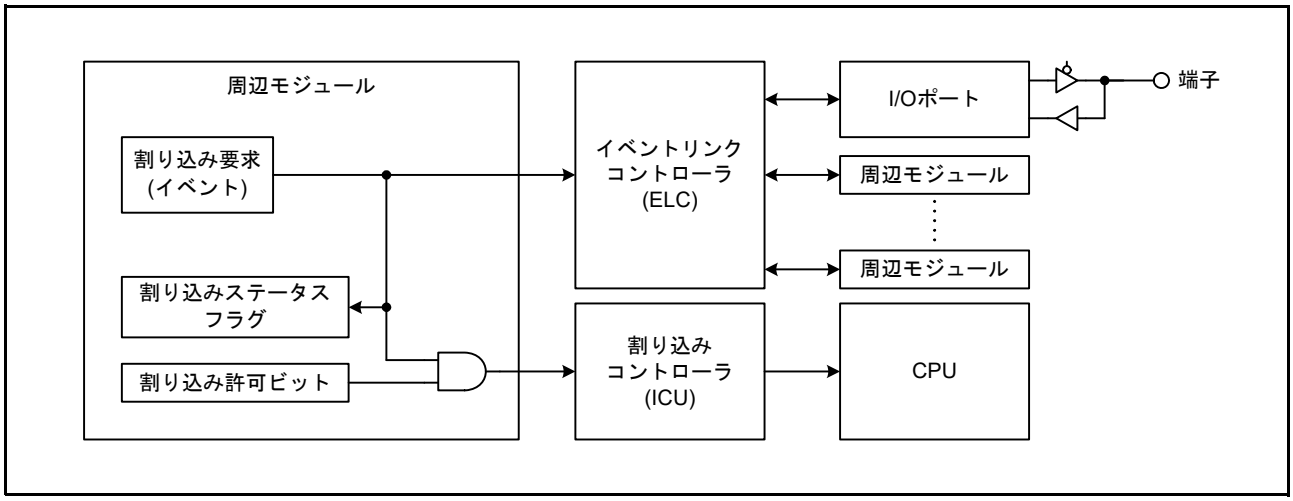


図 19.2 割り込み処理と ELC の関係

19.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1 つの周辺モジュールに、1 種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSRn レジスタを設定してください。**表 19.5** にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表19.5　イベント信号入力時の周辺モジュール別動作一覧

周辺モジュール	イベント信号入力時の動作		
MTU CMT CMTW TMR	ELOPA～ELOPE、ELOPHレジスタの設定により以下の動作が選択できます。 • イベント信号が入力されると、カウントスタート • イベント信号が入力されると、カウントリスタート • 入力したイベント数をカウント(CMT, CMTW, TMR) • イベント信号が入力されると、キャプチャ動作(MTU)		
GPTW	GPTWのレジスタ設定により以下の動作が選択できます。 • イベント信号が入力されると、カウントスタート • イベント信号が入力されると、カウントストップ • イベント信号が入力されると、カウンタクリア • イベント信号が入力されると、カウントアップ • イベント信号が入力されると、カウントダウン • イベント信号が入力されると、キャプチャ動作		
A/Dコンバータ	イベント信号が入力されると、A/D変換を開始		
D/Aコンバータ	イベント信号が入力されると、D/A変換を開始		
I/Oポート(出力)	イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が変化(出力端子のレベルが変化)	ポートグループ	• PODRレジスタの値が、指定された値に変化 • PDBFnレジスタ(n = 1, 2)の値をPODRレジスタに転送 • ローテート出力
		シングルポート	PODRレジスタの値が指定された値に変化
I/Oポート(入力)	入力端子のレベルが変化	ポートグループ	イベント発生
		シングルポート	
	イベント信号入力時	ポートグループ	入力端子の信号レベルをPDBFnレジスタに転送
		シングルポート	この組み合わせは使用できません
クロック発生回路	イベント信号が入力されると、クロックソースを低速オンチップオシレータへ切り替え(注1)		
割り込み制御	イベント信号が入力されると、CPUに割り込みを要求、DMA転送開始、DTC転送開始		

注1.　プロテクトレジスタ(PRCR.PRC0)の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b”(LOCO選択)に書き換わります。

19.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

GPTW を除くタイマ系周辺モジュールは、ELOPA ～ ELOPE、ELOPH レジスタによりイベント信号入力時の動作を設定します。

(1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット(注 1)が “1” になります。カウントスタートビットが “1” のときに入力されたイベント信号は無視されます。

(2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット(注 1)は保持されるため、カウントスタートビットが “1” のときにイベント信号を入力するとカウンタは 0 からカウントを再開します。

(3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

(4) インプットキャプチャ動作

イベント信号が入力されると、カウンタの値をキャプチャします。

注 1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

19.3.4 GPTW のイベント信号入力時の動作

ELSR48 ～ ELSR55 レジスタで指定された 8 個のイベント信号は、GPTW イベント要因 A ～ H として GPTW の全チャネルに接続されています。GPTW にイベント信号入力時の動作を設定するには、GPTW 内のレジスタ (表 19.6 参照) のイベント要因 A ～ H に対応するビットで要因を許可してください。

表 19.6 イベント入力時の動作と対応する要因選択レジスタ

イベント信号入力時の動作	レジスタシンボル	レジスタ名
カウントスタート	GTSSR	汎用PWMタイマスタート要因セレクトレジスタ
カウントストップ	GTPSR	汎用PWMタイマストップ要因セレクトレジスタ
カウンタクリア	GTCSR	汎用PWMタイマクリア要因セレクトレジスタ
カウントアップ	GTUPSR	汎用PWMタイマカウントアップ要因セレクトレジスタ
カウントダウン	GTDNSR	汎用PWMタイマカウントダウン要因セレクトレジスタ
インプットキャプチャ A	GTICASR	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA
インプットキャプチャ B	GTICBSR	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB

19.3.5 A/D コンバータ、D/A コンバータのイベント信号入力時の動作

ADCSR.ADST ビット、DACR.DAOE0 ビット(注 1)が “1” になり、A/D 変換または D/A 変換がスタートします。

注 1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

19.3.6 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B とポート E です。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク (シングルポートへのイベントリンク) と、8 本ある I/O ポートの内の任意の複数本へのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット (m = 0 ～ 3) で行います。ポートグループの設定は、PGRn レジスタ (n = 1, 2) により任意のビット (2 ビット以上) を “1” にすることで行います。PGRn レジスタで “1” にしたポートの内、出力に設定したポートは出力ポートグループに、入力に設定したポートは入力ポートグループになります。

1 本のポートに対してシングルポートとポートグループの両方の設定をした場合、入力ポートでは両方の機能が有効になり、出力ポートではポートグループの機能のみが有効になります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PELm.PSM[1:0] ビット (m = 0 ～ 3) で設定します。**図 19.3** (1) にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODR レジスタの値) が PELm.PSM[1:0] ビットで指定したとおりに変化します。**図 19.3** (2) にシングルポートのイベントリンク動作を示します。

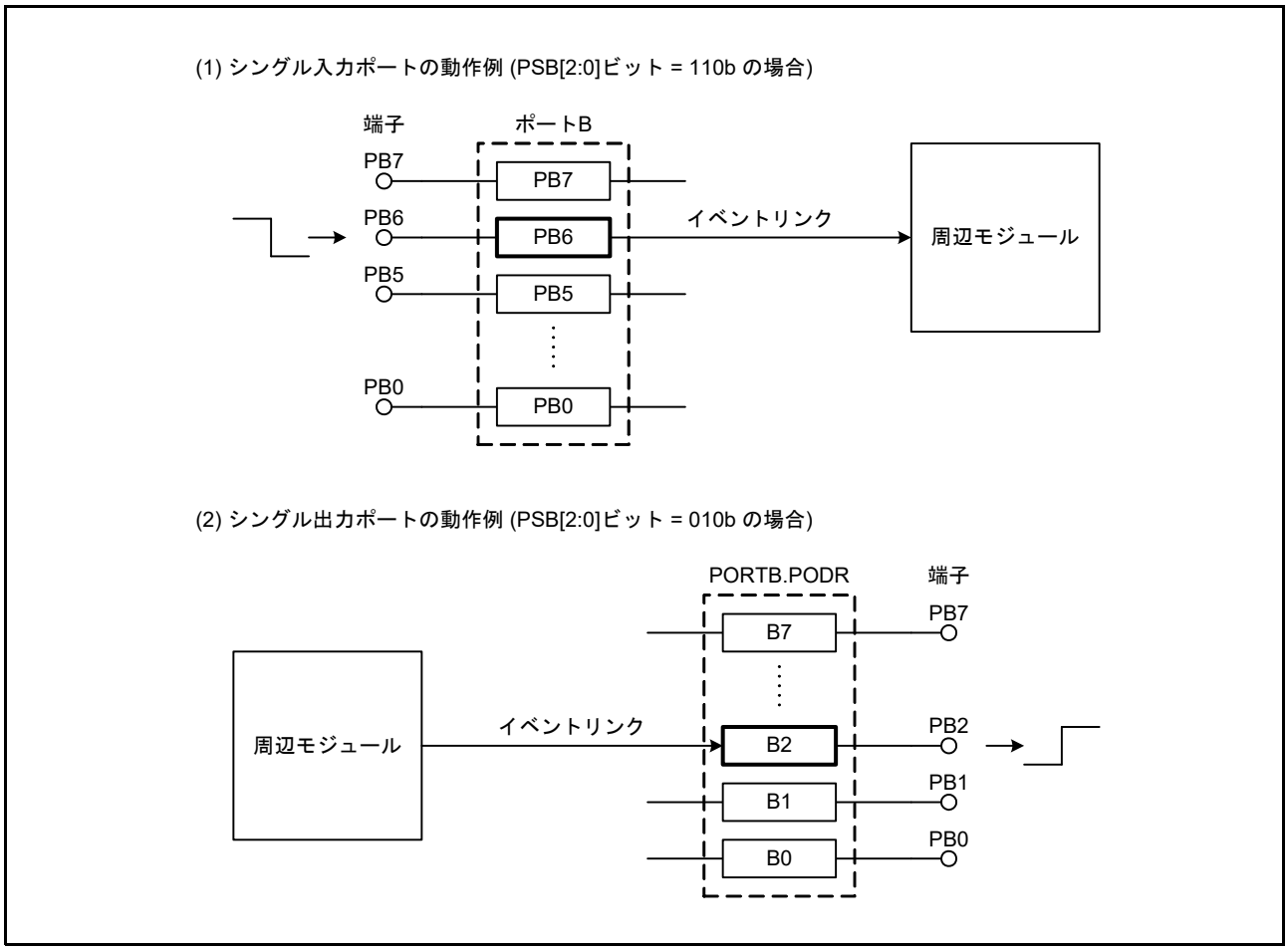


図 19.3　シングルポートのイベントリンク動作 (ポート B の場合)

(4)　入力ポートグループでのイベント発生

入力ポートグループは、対応する端子への入力信号のいずれかが変化すると、イベント信号を出力します。イベント発生条件は PGCn.PGCI[1:0] ビット (n = 1, 2) で設定します。

(5)　入力ポートグループへのイベント信号の入力

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタに転送されます。入力ポートグループに指定されていないポートに対応するビットの値は変化しません。**図 19.4** に入力ポートグループのイベントリンク動作を示します。

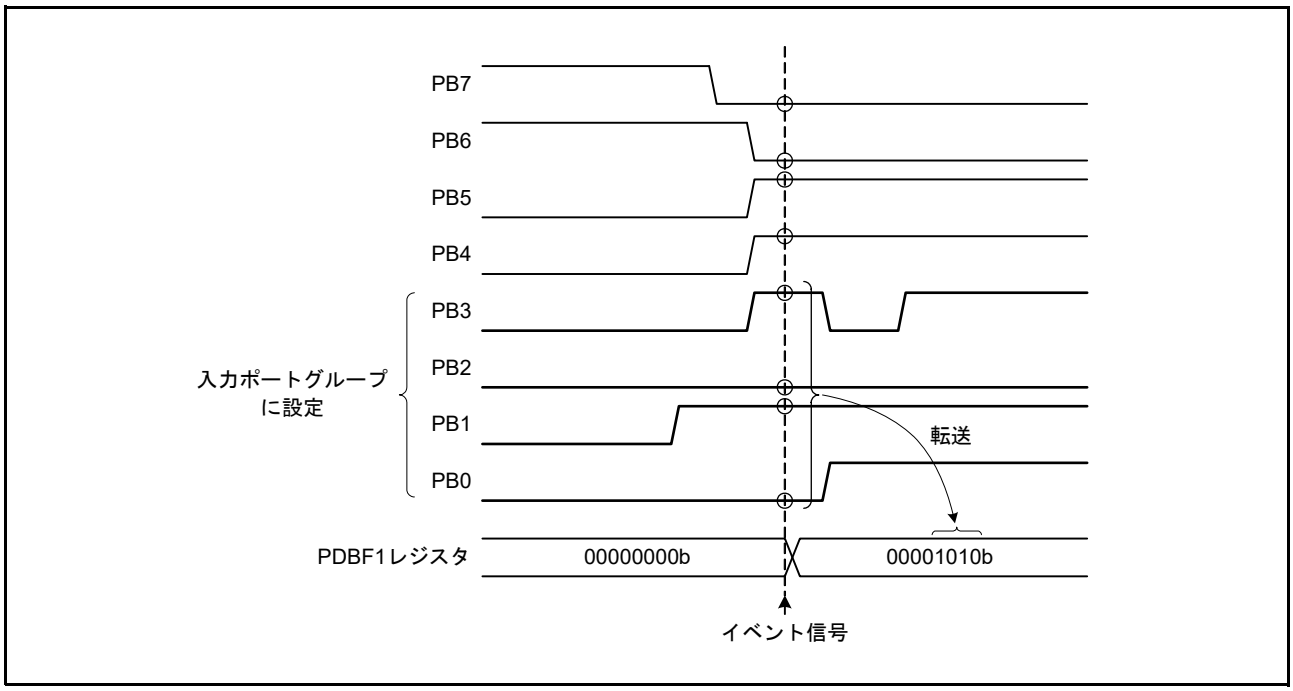


図 19.4　入力ポートグループのイベントリンク動作 (ポート B の場合)

(6)　出力ポートグループへのイベント信号の入力

出力ポートグループにイベント信号が入力されると、対応する PODR レジスタの値が PGCn.PGCO[2:0] ビット (n = 1, 2) で設定されたとおりに変化します。**図 19.5** に出力ポートグループのイベントリンク動作を示します。

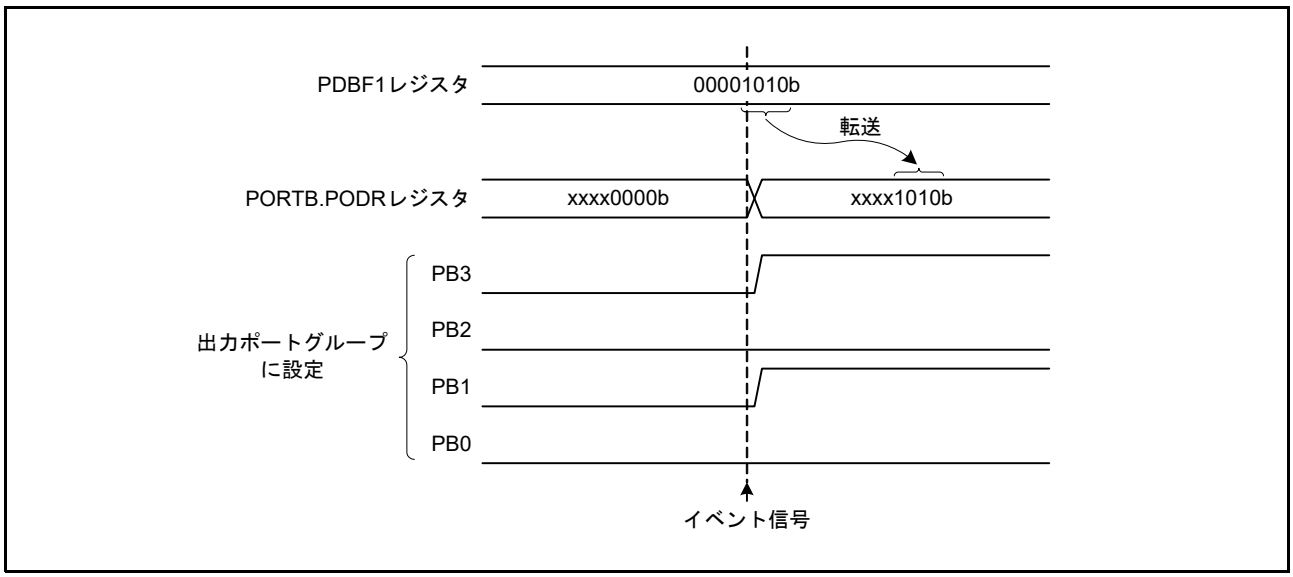


図 19.5　出力ポートグループのイベントリンク動作 (ポート B の場合)

(7)　PDBFn レジスタの動作

(a)　入力ポートグループ

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタ (n = 1, 2) に転送されます。この状態で、再度入力ポートグループにイベント信号が入力された場合、PGCn.PGCOVE ビットの設定によって以下のように異なる動作をします。

- PGCn.PGCOVE ビット = 0 (上書き無効) のとき
  前回のイベント信号入力により PDBFn レジスタに転送された値が、CPU または DTC によってリードされている場合、そのときの端子のレベルが PDBFn レジスタに転送されます。リードされていない場合、端子のレベルは PDBFn レジスタに転送されず、入力したイベント信号は無効となります。
- PGCn.PGCOVE ビット = 1 (上書き有効) のとき
  入力ポートグループにイベント信号が入力されると、対応する端子のレベルが、PDBFn レジスタに転送されます。

(b)　出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定 (PGCn.PGCO[2:0] ビット = 011b) になっている場合、出力ポートグループにイベント信号が入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。出力ポートグループに設定されていないポートに対応するビットには、データは転送されません。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xxb) に設定されている場合、1 回目のイベント信号で PDBFn レジスタから PODR レジスタにデータが転送され、2 回目以降のイベント信号で当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。

図 19.6 にビットローテートの動作を示します。

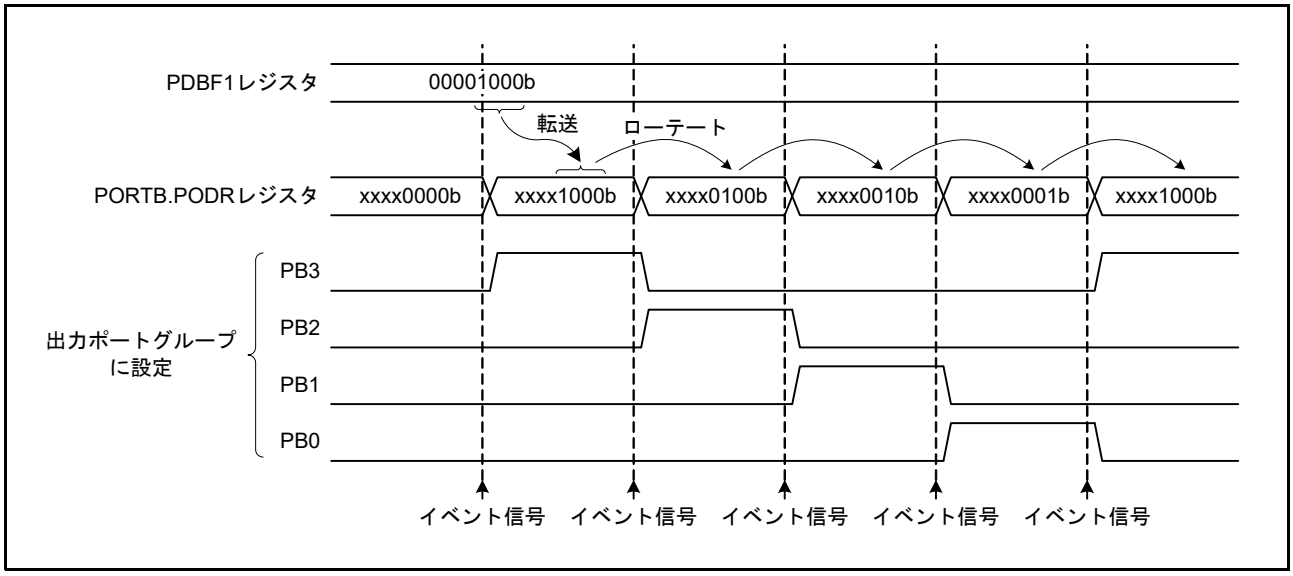


図 19.6　出力ポートグループのビットローテート動作 (ポート B の場合)

(8) PODR レジスタ、PDBFn レジスタへの書き込み制限

ELCR.ELCON ビットが “1” (ELC 機能は有効) のとき、下記の条件で PODR レジスタ、PDBFn レジスタ (n = 1, 2) への書き込みが無効となります。

- 入力ポートグループに指定しイベントリンクを設定すると、対応する PDBFn レジスタのビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、対応する PODR レジスタのビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。

19.3.7 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

(1) イベント信号により動作する (リンク先) 周辺モジュールの初期設定を行います。
(2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
PODR レジスタ： 出力に設定したポートの初期値を設定します。
PDR レジスタ： ポートの入出力方向を設定します。
PGRn レジスタ： ポートグループとして動作させる場合、グループ化の対象となるポートを設定します (n = 1, 2)。
PGCn レジスタ： ポートグループとして動作させる場合の動作を設定します。
PELm レジスタ： シングルポートとして動作させる場合、対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します (m = 0 ～ 3)。
(3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。
(4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPA ～ ELOPE、ELOPH レジスタを設定します。
(5) ELCR.ELCON ビットを “1” にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。
(6) イベント信号を出力する (リンク元) 周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。
(7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに “00h” を設定してください。また ELCR.ELCON ビットを “0” にすることにより、全周辺モジュールのイベントリンク動作が停止します。

注 . LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに “00h” を設定してから実施してください。

19.4 使用上の注意事項

19.4.1 ELSRn レジスタの設定について

(1) ELSR18、ELSR19 レジスタの設定

イベント信号は “EAh” ～ “F1h” の中から指定してください。これ以外の値は、設定しないでください。

19.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタ (n = 1, 2) の値を変更する場合、変更後に ELSRn レジスタを再設定してください。また、ビットローテート動作に使用するイベントの発生間隔は、1 PCLKB 以上にしてください。

19.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項

DMA/DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへの DMA/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

19.4.4 クロック設定について

イベントリンクを使用するには ELC の設定の他に、ELC と対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード (全モジュールクロックストップモード、ソフトウェアスタンバイモード) の場合は動作できません。

19.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. **消費電力低減機能**」を参照してください。

20. I/O ポート

20.1 概要

本 MCU の I/O ポートは、汎用入出力ポートと周辺モジュールの入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力 / 出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y = 0, 1)、入力プルアップ MOS のオン / オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR, DSCR2)、機能端子を指定するポートモードレジスタ (PMR)、端子機能を選択する汎用入出力端子選択拡張レジスタ (GPSEXT) を備えています。PMR レジスタの詳細については、**「21. マルチファンクションピンコントローラ (MPC)」**を参照してください。

また、ポートグループ単位でポートの出力データの保持を指定するポート出力保持設定レジスタ (POHSR1, POHSR2) とポート出力データの保持を制御するポート出力保持制御レジスタ (POHCR) を備え、これらのレジスタを使用することで、ポートグループ単位でポート出力を同時に切り替えることができます。ポート出力保持機能の詳細は、**「20.4 ポート出力保持機能」**を参照してください。

パッケージによって、I/O ポートの構成が異なります。**表 20.1**、**表 20.2** に I/O ポートの仕様を、**表 20.3** に I/O ポートの機能を示します。

表20.1 I/Oポートの仕様(1)

ポートシンボル	パッケージ		パッケージ		パッケージ		パッケージ	
	100ピン	本数	80ピン	本数	64ピン	本数	48ピン	本数
PORT0	P00, P01	2	P00, P01	2	P00, P01	2	P00	1
PORT1	P10, P11	2	P10, P11	2	P11	1	P10, P11	2
PORT2	P20～P24, P27	6	P20～P22, P27	4	P20～P22	3	P20, P21	2
PORT3	P30～P33, P36, P37	6	P30, P31, P36, P37	4	P36, P37	2	P36, P37	2
PORT4	P40～P47	8	P40～P47	8	P40～P47	8	P40～P44	5
PORT5	P50～P55	6	P50～P55	6	P52～P54	3	P52, P53	2
PORT6	P60～P65	6	P60, P64, P65	3	P64, P65	2	P62	1
PORT7	P70～P76	7	P70～P76	7	P70～P76	7	P71～P76	6
PORT8	P80～P82	3	—	0	—	0	—	0
PORT9	P90～P96	7	P90～P96	7	P90～P96	7	P91～P95	5
PORTA	PA0～PA5	6	PA3, PA5	2	—	0	—	0
PORTB	PB0～PB7	8	PB0～PB6	7	PB0～PB6	7	PB0～PB6	7
PORTD	PD0～PD7	8	PD2～PD7	6	PD3～PD7	5	PD3, PD5, PD7	3
PORTE	PE0～PE5	6	PE2～PE4	3	PE2	1	PE2	1
PORTN	PN6, PN7	2	PN6, PN7	2	PN6, PN7	2	PN6	1
	ポートの合計数	83	ポートの合計数	63	ポートの合計数	50	ポートの合計数	38

表20.2 I/Oポートの仕様(2)

ポートシンボル	パッケージ	
	32ピン	本数
PORT0	P00	1
PORT1	—	0
PORT2	—	0
PORT3	P36	1
PORT4	P40～P42	3
PORT5	P53	1
PORT6	P64, P65	2
PORT7	P71～P76	6
PORT8	—	0
PORT9	—	0
PORTA	—	0
PORTB	PB1～PB3	3
PORTD	PD3, PD5, PD7	3
PORTE	PE2	1
PORTN	PN6	1
	ポートの合計数	22

表20.3 I/Oポートの機能

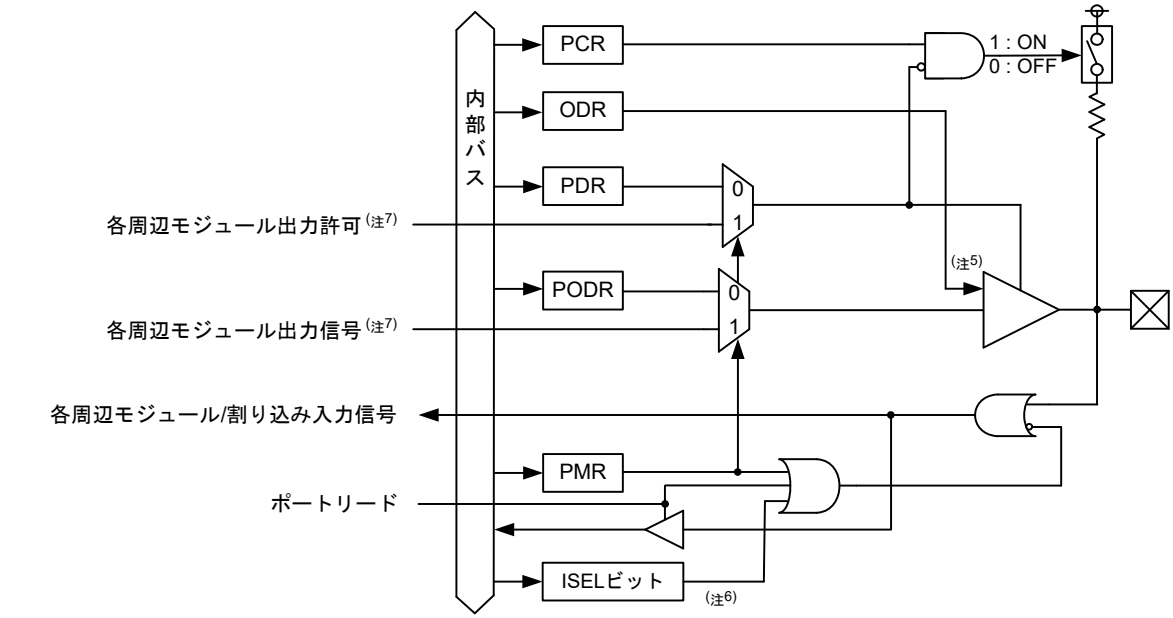
ポート シンボル	ポート	入力プルアップ機能	オープンドレイン 出力機能	駆動能力切り替え機能	5V トレラント
PORT0	P00, P01	○	○	通常 / 高駆動	—
PORT1	P10, P11	○	○	通常 / 高駆動	—
PORT2	P20～P24, P27	○	○	通常 / 高駆動	—
PORT3	P30～P33	○	○	通常 / 高駆動	—
	P36, P37	○	○	通常出力固定	—
PORT4	P40～P47	○	○	通常出力固定	—
PORT5	P50～P55	○	○	通常出力固定	—
PORT6	P60～P65	○	○	通常出力固定	—
PORT7	P70	○	○	通常 / 高駆動	—
	P71～P76	○	○	通常 / 高駆動 / 大電流出力	—
PORT8	P80, P82	○	○	通常 / 高駆動	—
	P81	○	○	通常 / 高駆動 / 大電流出力	—
PORT9	P90～P95	○	○	通常 / 高駆動 / 大電流出力	—
	P96	○	○	通常 / 高駆動	—
PORTA	PA0～PA5	○	○	通常 / 高駆動	—
PORTB	PB0, PB3, PB4, PB6, PB7	○	○	通常 / 高駆動	—
	PB1, PB2	○	○	通常出力固定	○
	PB5	○	○	通常 / 高駆動 / 大電流出力	—
PORTD	PD0～PD2, PD4～PD7	○	○	通常 / 高駆動	—
	PD3	○	○	通常 / 高駆動 / 大電流出力	—
PORTE	PE0, PE1, PE3～PE5	○	○	通常 / 高駆動	—
	PE2	—	—	—	—
PORTN	PN6 (注1)	○	○	通常 / 高駆動	—
	PN7 (注2)	○	○	通常 / 高駆動	—

注1. 初期状態は入力プルアップです。
注2. 初期状態は入力プルダウンです。

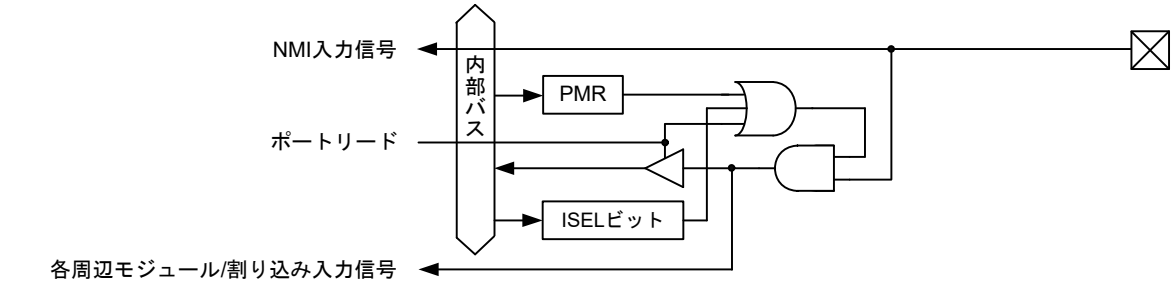
入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5V トレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

20.2 入出力ポートの構成

ポート0：P00, P01 (注1、注2)
ポート1：P10 (注1、注3), P11 (注1)
ポート2：P22 (注1、注2), P23 (注1、注4), P24 (注1、注4), P27 (注1、注2、注3)
ポート3：P30 (注1、注2、注3), P31 (注1、注2、注3), P32 (注1、注4), P33 (注1、注4)
ポート7：P70 (注1、注2)
ポート8：P80 (注1、注4), P82 (注1、注4)
ポート9：P93 (注1), P95 (注1), P96 (注1、注2)
ポートA：PA1 (注1、注4), PA5 (注1、注2、注3)
ポートB：PB0 (注1), PB1, PB3, PB4 (注1), PB6 (注1)
ポートD：PD4 (注1、注2), PD5, PD6 (注1、注2), PD7
ポートE：PE0 (注1、注4), PE1 (注1、注4), PE3 (注1、注2、注3), PE4 (注1、注2、注3), PE5 (注1、注4)
ポートN：PN7 (注1、注2)



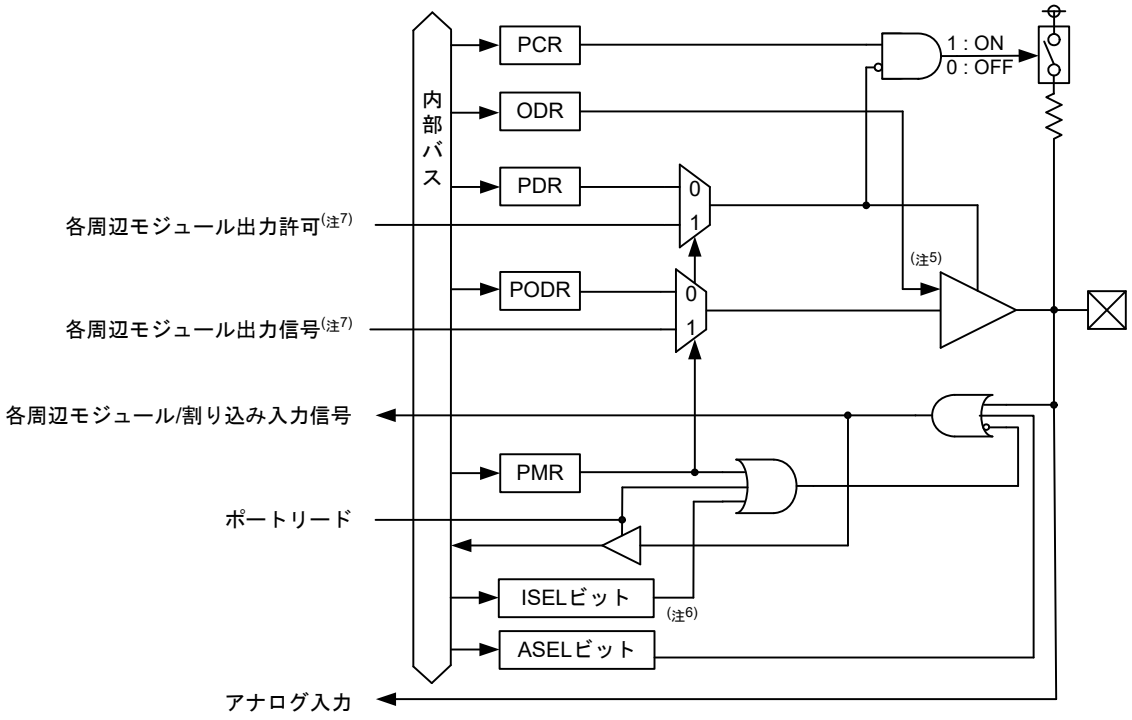
ポートE：PE2



注1. 32ピンの製品にはありません。
注2. 48ピンの製品にはありません。
注3. 64ピンの製品にはありません。
注4. 100ピンの製品のみにあります。
注5. Nチャネルオープンドレインの制御信号です。
注6. 外部割り込み機能がある端子
注7. 周辺モジュールの出力機能がある端子

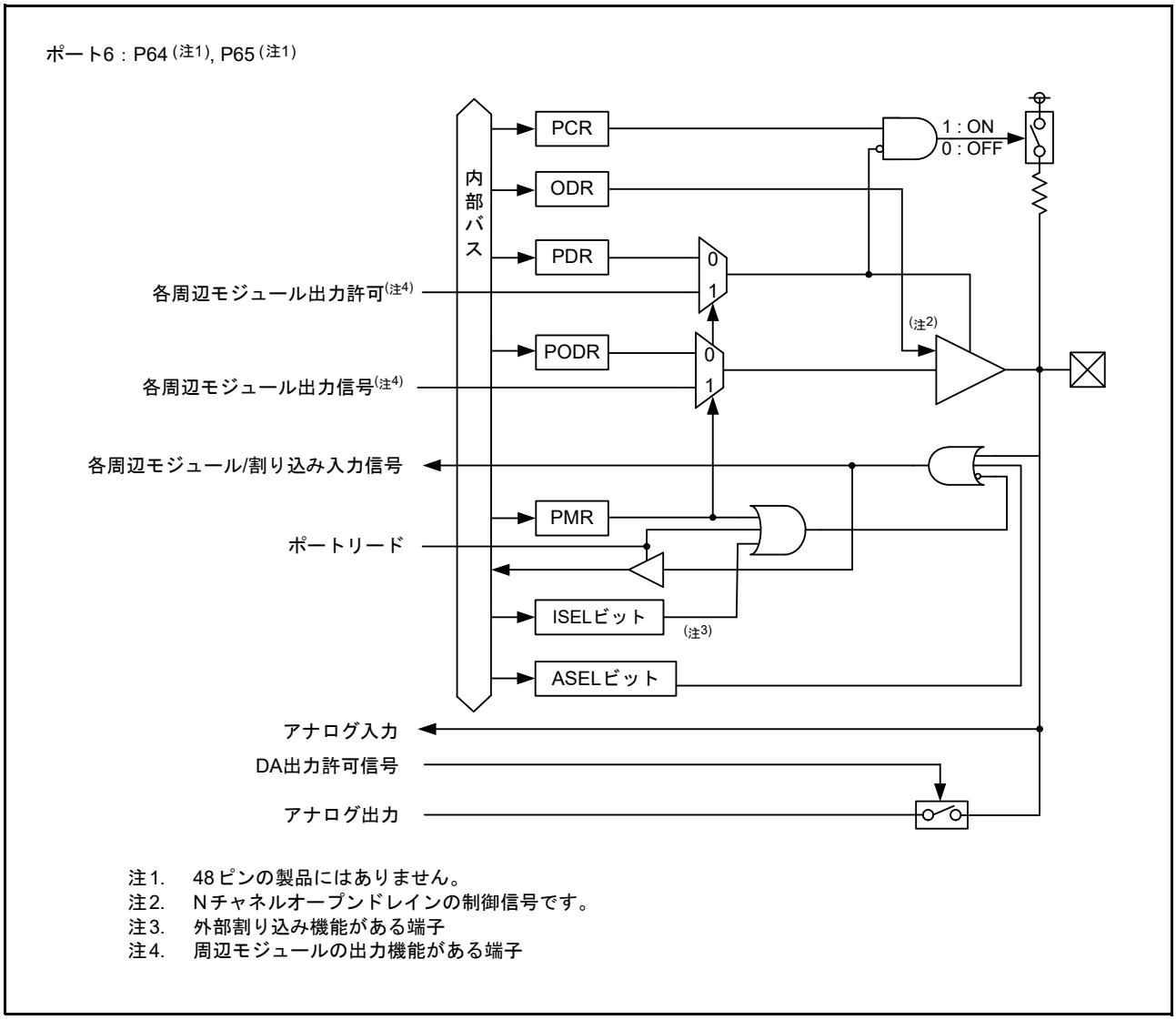
図 20.1 入出力ポートの構成 (1)

ポート2：P20 (注1), P21 (注1)
ポート5：P52 (注1), P53, P54 (注1、注2), P55 (注1、注2、注3)
ポート6：P60 (注1、注2、注3), P61 (注1、注2、注3、注4), P62 (注1、注3、注4), P63 (注1、注2、注3、注4)



注1. 32ピンの製品にはありません。
注2. 48ピンの製品にはありません。
注3. 64ピンの製品にはありません。
注4. 80ピンの製品にはありません。
注5. Nチャネルオープンドレインの制御信号です。
注6. 外部割り込み機能がある端子
注7. 周辺モジュールの出力機能がある端子

図 20.2 入出力ポートの構成 (2)



注1. 48ピンの製品にはありません。
注2. Nチャネルオープンドレインの制御信号です。
注3. 外部割り込み機能がある端子
注4. 周辺モジュールの出力機能がある端子

図 20.3 入出力ポートの構成 (3)

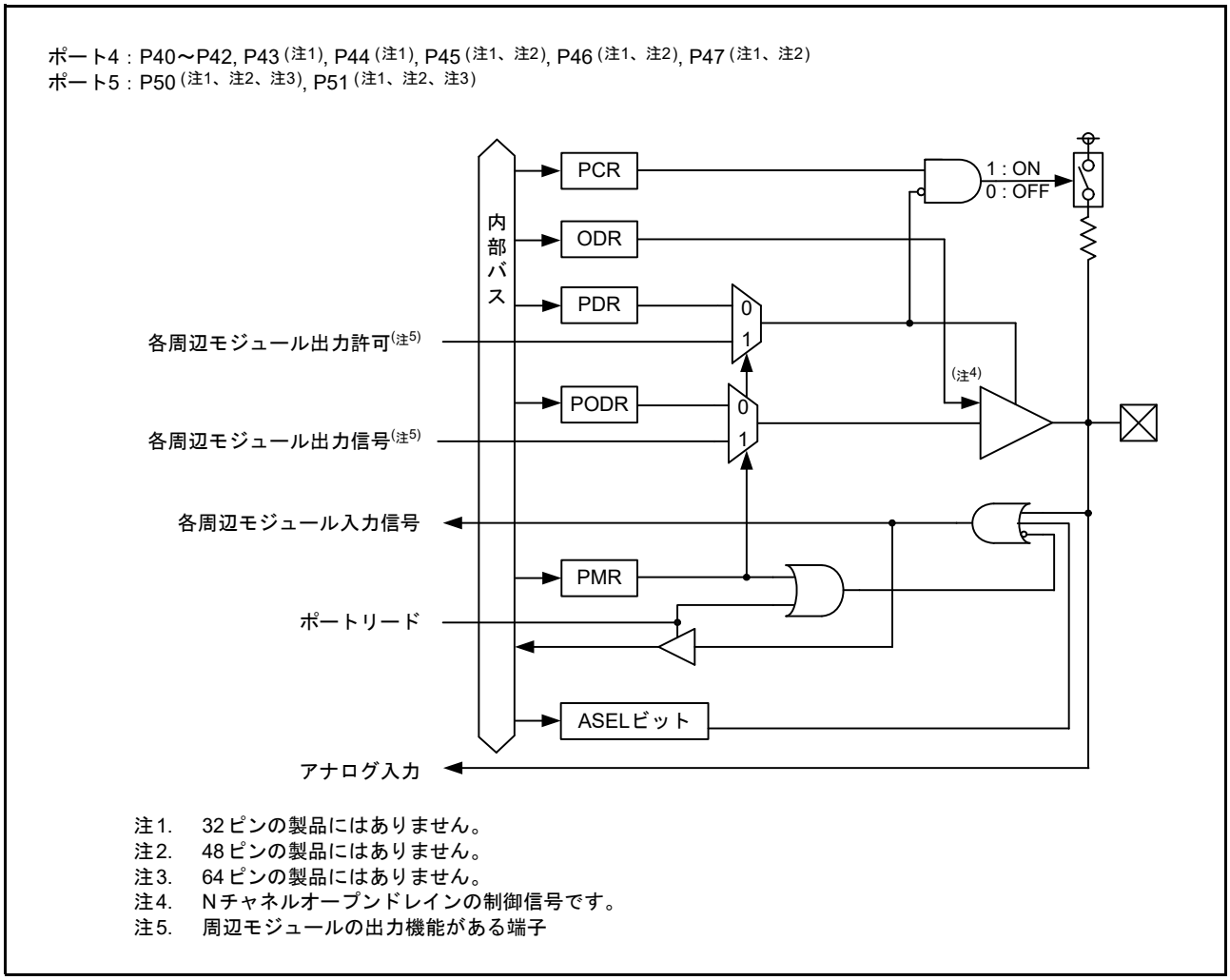
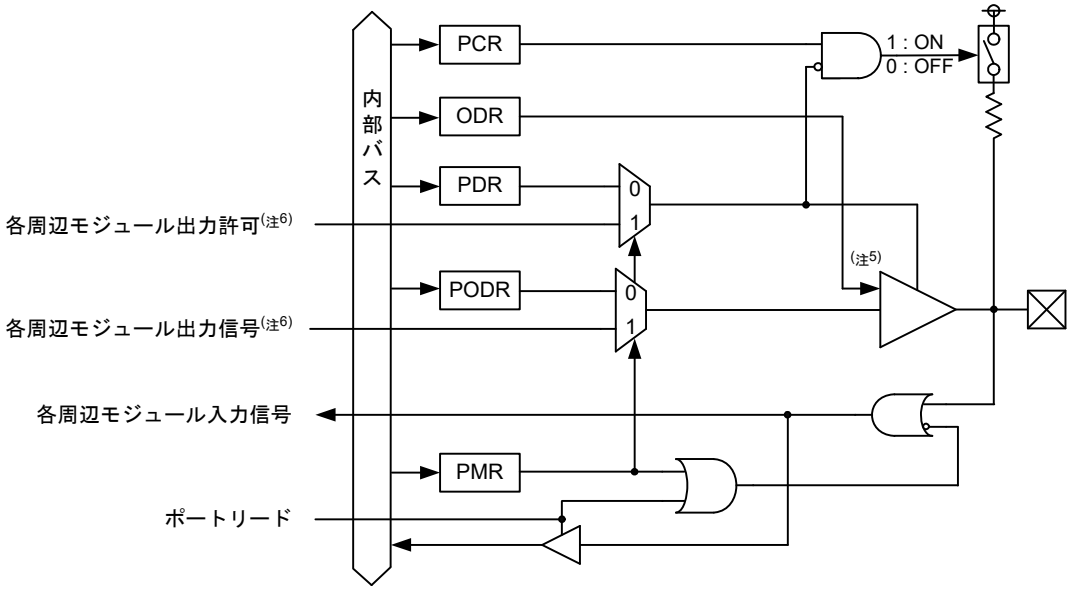


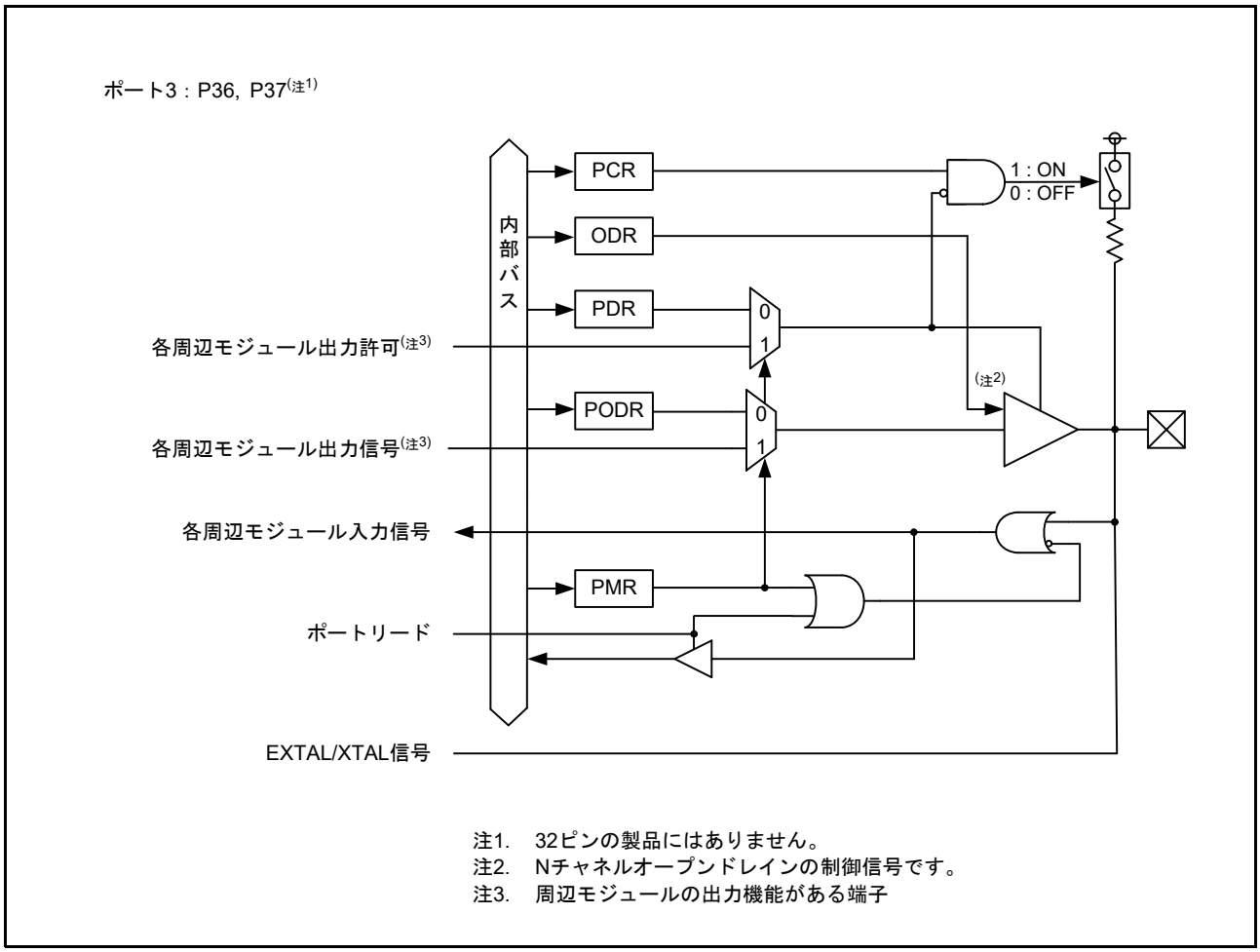
図 20.4 入出力ポートの構成 (4)

ポート7：P71～P76
ポート8：P81 (注1)
ポート9：P90 (注2、注3), P91 (注2), P92 (注2), P94 (注2)
ポートA：PA0 (注1), PA2 (注1), PA3 (注2、注3、注4), PA4 (注1)
ポートB：PB2, PB5, PB7 (注1)
ポートD：PD0 (注1), PD1 (注1), PD2 (注2、注3、注4), PD3
ポートN：PN6



注1. 100ピンの製品のみにあります。
注2. 32ピンの製品にはありません。
注3. 48ピンの製品にはありません。
注4. 64ピンの製品にはありません。
注5. Nチャネルオープンドレインの制御信号です。
注6. 周辺モジュールの出力機能がある端子

図 20.5 入出力ポートの構成 (5)



注1. 32ピンの製品にはありません。
注2. Nチャネルオープンドレインの制御信号です。
注3. 周辺モジュールの出力機能がある端子

図 20.6 入出力ポートの構成 (6)

20.3 レジスタの説明

20.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORT6.PDR 0008 C006h, PORT7.PDR 0008 C007h, PORT8.PDR 0008 C008h, PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh, PORTN.PDR 0008 C016h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0：入力(入力ポートとして機能) 1：出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ～ 9, A, B, D, E, N

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力 / 出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。

また、PE2 端子は入力専用のため、PORTE.PDR.B2 ビットは 予約ビットです。

予約ビットは、「20.5.1 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

20.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORT6.PODR 0008 C026h, PORT7.PODR 0008 C027h, PORT8.PODR 0008 C028h, PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh, PORTN.PODR 0008 C036h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0：Low出力 1：High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ～ 9, A, B, D, E, N

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

存在しないポート m の端子のビットは予約ビットです。“0” (Low 出力) を書いてください。

PE2 端子は入力専用のため、PORTE.PODR.B2 ビットは 予約ビットです。値を書いても端子に影響しません。

また、存在しない端子のビットは予約ビットです。

予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORT6.PIDR 0008 C046h, PORT7.PIDR 0008 C047h, PORT8.PIDR 0008 C048h, PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTN.PIDR 0008 C056h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	0：Low 入力 1：High 入力	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 0 ～ 9, A, B, D, E, N

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR レジスタ の値に関係なく端子の状態が読めます。

但し、PmnPFS.ASEL ビットに “1” が設定された端子は、端子状態を読むことはできません。

PE2 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

20.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h, PORT6.PMR 0008 C066h, PORT7.PMR 0008 C067h, PORT8.PMR 0008 C068h, PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTN.PMR 0008 C076h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0端子モード制御ビット	0：汎用入出力ポートとして使用 1：周辺機能として使用	R/W
b1	B1	Pm1端子モード制御ビット		R/W
b2	B2	Pm2端子モード制御ビット		R/W
b3	B3	Pm3端子モード制御ビット		R/W
b4	B4	Pm4端子モード制御ビット		R/W
b5	B5	Pm5端子モード制御ビット		R/W
b6	B6	Pm6端子モード制御ビット		R/W
b7	B7	Pm7端子モード制御ビット		R/W

m = 0 ～ 9, A, B, D, E, N

PMR レジスタは、ポートの端子機能を指定するレジスタです。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT4.ODR0 0008 C088h, PORT5.ODR0 0008 C08Ah, PORT6.ODR0 0008 C08Ch, PORT7.ODR0 0008 C08Eh, PORT8.ODR0 0008 C090h, PORT9.ODR0 0008 C092h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTD.ODR0 0008 C09Ah, PORTE.ODR0 0008 C09Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0：CMOS出力 1：Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm1出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm2出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm3出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m = 0 ～ 9, A, B, D, E

ODR0 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR0 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

存在しない端子およびオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT4.ODR1 0008 C089h, PORT5.ODR1 0008 C08Bh, PORT6.ODR1 0008 C08Dh, PORT7.ODR1 0008 C08Fh, PORT9.ODR1 0008 C093h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTD.ODR1 0008 C09Bh, PORTE.ODR1 0008 C09Dh, PORTN.ODR1 0008 C0ADh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0：CMOS出力 1：Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm5出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm6出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm7出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m = 2 ～ 7, 9, A, B, D, E, N

ODR1 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR1 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

存在しない端子およびオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORT6.PCR 0008 C0C6h, PORT7.PCR 0008 C0C7h, PORT8.PCR 0008 C0C8h, PORT9.PCR 0008 C0C9h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh, PORTN.PCR 0008 C0D6h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 入力プルアップ抵抗制御ビット	0：入力プルアップ抵抗無効 1：入力プルアップ抵抗有効	R/W
b1	B1	Pm1 入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2 入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3 入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4 入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5 入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6 入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7 入力プルアップ抵抗制御ビット		R/W

m = 0 ～ 9, A, B, D, E, N

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTm.PCR レジスタが “1” のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、“0” を設定してください。

リセット中はプルアップ抵抗が無効になります。

存在しない端子および入力プルアップ機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h, PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h, PORT7.DSCR 0008 C0E7h, PORT8.DSCR 0008 C0E8h, PORT9.DSCR 0008 C0E9h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh, PORTN.DSCR 0008 C0F6h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0駆動能力制御ビット	0：通常出力 1：高駆動出力	R/W
b1	B1	Pm1駆動能力制御ビット		R/W
b2	B2	Pm2駆動能力制御ビット		R/W
b3	B3	Pm3駆動能力制御ビット		R/W
b4	B4	Pm4駆動能力制御ビット		R/W
b5	B5	Pm5駆動能力制御ビット		R/W
b6	B6	Pm6駆動能力制御ビット		R/W
b7	B7	Pm7駆動能力制御ビット		R/W

m = 0 ～ 3, 7 ～ 9, A, B, D, E, N

DSCR レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

DSCR2 レジスタで端子を大電流出力に設定している場合、駆動能力の変更はできません。DSCR レジスタと DSCR2 レジスタによる駆動能力の設定は**「表 20.4 DSCR レジスタと DSCR2 レジスタによる駆動能力設定」**を参照ください。

存在しない端子および駆動能力が固定されている端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.9 駆動能力制御レジスタ 2 (DSCR2)

アドレス PORT7.DSCR2 0008 C12Fh, PORT8.DSCR2 0008 C130h, PORT9.DSCR2 0008 C131h, PORTB.DSCR2 0008 C133h, PORTD.DSCR2 0008 C135h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0駆動能力制御ビット2	0：通常/高駆動出力 (注1) 1：大電流出力	R/W
b1	B1	Pm1駆動能力制御ビット2		R/W
b2	B2	Pm2駆動能力制御ビット2		R/W
b3	B3	Pm3駆動能力制御ビット2		R/W
b4	B4	Pm4駆動能力制御ビット2		R/W
b5	B5	Pm5駆動能力制御ビット2		R/W
b6	B6	Pm6駆動能力制御ビット2		R/W
b7	—	予約ビット		R/W

m = 7 ～ 9, B, D

注1. DSCRレジスタによる駆動能力切り替えに対応する端子の場合、DSCRレジスタの設定に依存します。

DSCR2 レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

表 20.4 に DSCR レジスタと DSCR2 レジスタによる駆動能力設定を示します。

存在しない端子および大電流出力へ切り替えできない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

表20.4 DSCRレジスタとDSCR2レジスタによる駆動能力設定

PORTm.DSCR2.Bx	PORTm.DSCR.Bx	駆動能力 (注1)
0	0	通常駆動出力
0	1	高駆動出力
1	Don’t care	大電流出力

注1. 駆動能力が固定、またはそれぞれの駆動能力へ切り替えができない端子の駆動能力は変更できません。

20.3.10 ポート出力保持設定レジスタ 1 (POHSR1)

アドレス PORT.POHSR1 0008 C110h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	PEHLD	PDHLD	—	PBHLD	PAHLD	P9HLD	P8HLD	P7HLD	P6HLD	P5HLD	P4HLD	P3HLD	P2HLD	P1HLD	P0HLD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P0HLD	ポート0出力保持制御ビット	0：保持しない 1：保持する	R/W
b1	P1HLD	ポート1出力保持制御ビット		R/W
b2	P2HLD	ポート2出力保持制御ビット		R/W
b3	P3HLD	ポート3出力保持制御ビット		R/W
b4	P4HLD	ポート4出力保持制御ビット		R/W
b5	P5HLD	ポート5出力保持制御ビット		R/W
b6	P6HLD	ポート6出力保持制御ビット		R/W
b7	P7HLD	ポート7出力保持制御ビット		R/W
b8	P8HLD	ポート8出力保持制御ビット		R/W
b9	P9HLD	ポート9出力保持制御ビット		R/W
b10	PAHLD	ポートA出力保持制御ビット		R/W
b11	PBHLD	ポートB出力保持制御ビット		R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13	PDHLD	ポートD出力保持制御ビット	0：保持しない 1：保持する	R/W
b14	PEHLD	ポートE出力保持制御ビット		R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PmHLD ビット (ポート m 出力保持制御ビット) (m = 0 ～ 9, A, B, D, E)

ポート 0 ～ポート 9、ポート A、ポート B、ポート D、ポート E の各ポートグループ単位で、ポートの出力データを保持するか否かを設定するビットです。ポート出力保持に設定したポートグループのポート出力は、POHCR.POHE ビットを “1” に設定することで PODR レジスタに設定されているデータを保持します。保持された後に PODR レジスタを変更してもポートは保持されたデータを出力します。

PmHLD ビットを “1” から “0” に変更した場合、POHCR.POHE ビットの設定に関わらず、ポート出力は PODR レジスタのデータになります。また、本レジスタの設定は出力ポートのみ有効で入力ポートに対しては無効です。

20.3.11 ポート出力保持設定レジスタ 2 (POHSR2)

アドレス PORT.POHSR2 0008 C112h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PNHLD	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	PNHLD	ポートN出力保持制御ビット	0：保持しない 1：保持する	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PNHLD ビット (ポート N 出力保持制御ビット)

ポート N グループ単位で、ポートの出力データを保持するか否かを設定するビットです。ポート N の出力は、POHCR.POHE ビットを “1” に設定することで PODR レジスタに設定されているデータを保持します。保持された後に PODR レジスタを変更してもポートは保持されたデータを出力します。

PNHLD ビットを “1” から “0” に変更した場合、POHCR.POHE ビットの設定に関わらず、ポート出力は PODR レジスタのデータになります。また、本レジスタの設定は出力ポートのみ有効で入力ポートに対しては無効です。

20.3.12 ポート出力保持制御レジスタ (POHCR)

アドレス PORT.POHCR 0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	POHE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POHE	ポート出力保持許可ビット	0：ポート出力保持禁止 1：ポート出力保持許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

POHE ビット (ポート出力保持許可ビット)

POHSR1、POHSR2 レジスタでポート出力保持に設定したポートグループに対して、ポート出力データの保持許可、禁止を設定するビットです。“1” を書き込むことによって、PODR レジスタに設定されているデータを保持します。“1” の書き込みのみ可能で書き込み後は自動でクリアされます。

ポート出力保持機能の詳細は、「20.4 **ポート出力保持機能**」を参照してください。

20.3.13 汎用入出力端子選択拡張レジスタ (GPSEXT)

アドレス PORT.GPSEXT 0008 C122h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	GPSMD	GPSEMLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPSEMLE	EMLE端子機能選択ビット	0：EMLE機能を選択 1：EMLE機能以外を選択	R/W
b1	GPSMD	MD端子機能選択ビット	0：MD/FINED機能を選択 1：汎用入出力ポート機能を選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

GPSEMLE ビット (EMLE 端子機能選択ビット)

EMLE 機能あるいは EMLE 以外の機能を選択するビットです。

オンチップエミュレータを使用する場合、“0” に設定してください。EMLE 機能以外 “1” を設定している場合には、“0” を書き込まないでください。

48 ピンの製品では、“1” を書き込まないでください。

また RES# 端子によるリセットをする場合は、「20.5.3 EMLE 端子の処理」を参照してください。

EMLE 以外の機能を選択した場合は、EMLE 機能の持つプルダウン機能は無効となります。

GPSMD ビット (MD 端子機能選択ビット)

MD/FINED 機能あるいは汎用入出力ポート機能を選択するビットです。

汎用入出力ポート機能を選択した場合は、MD 機能の持つプルアップ機能は無効となります。

20.4 ポート出力保持機能

POHSR1、POHSR2 レジスタにてポート出力保持 (PmHLD = 1) に設定したポートグループのポート出力は、POHCR.POHE ビットに “1” を書き込むことで PODR レジスタに設定したデータが保持されます。この機能を使用することにより、ポートグループのポート出力データを同時に切り替えることができます。

図 20.7 にポート出力の同時切り替えの設定手順例を示します。

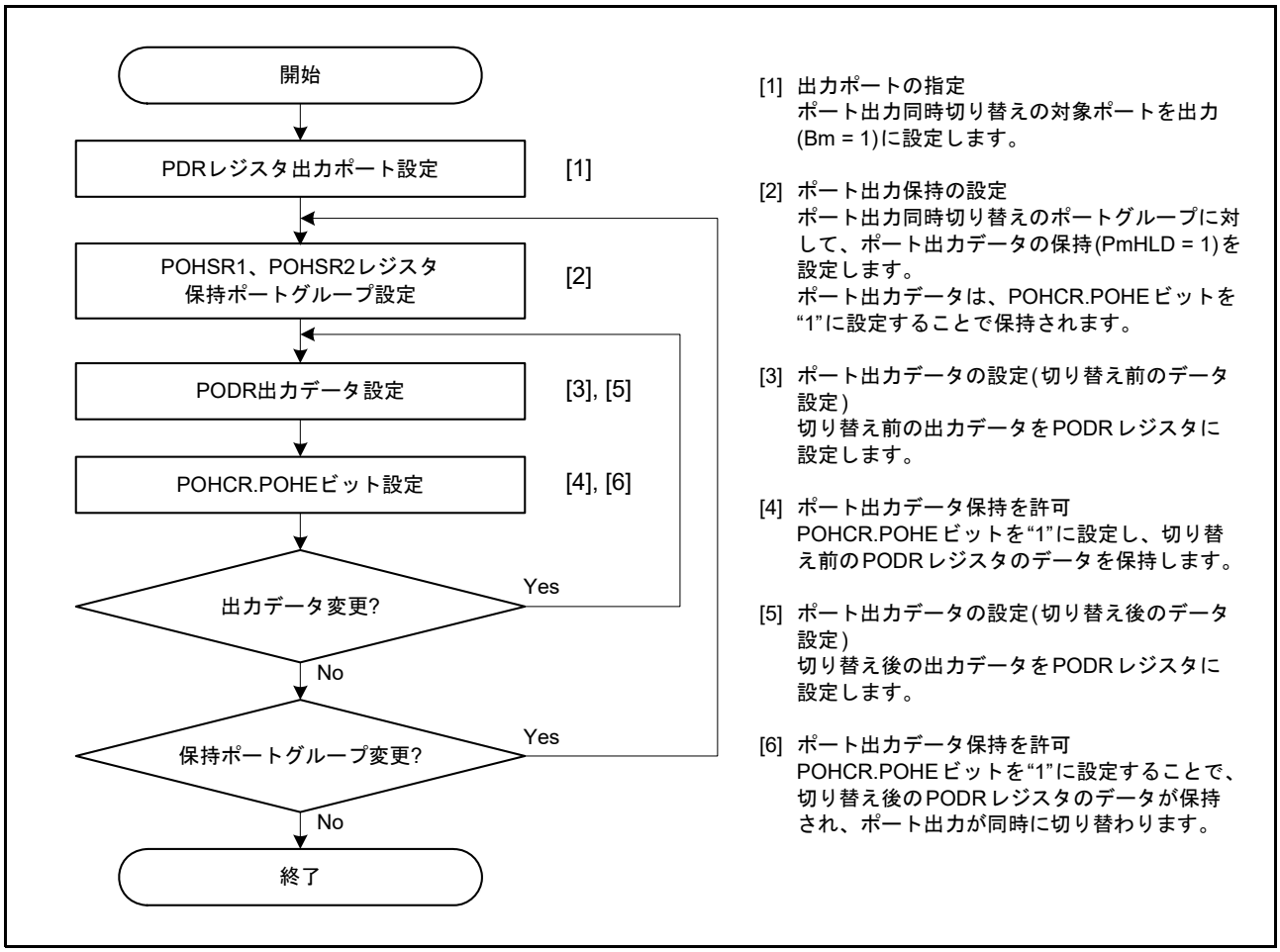


図 20.7 ポート出力同時切り替えの設定手順例

20.5 注意事項

20.5.1 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 20.5 ～表 20.9 を参照して初期化してください。

- 表 20.5 ～表 20.9 の空欄は、「表 20.1 I/O ポートの仕様 (1)」、「表 20.2 I/O ポートの仕様 (2)」に記載されている端子に対応するビットです。
  使用するシステムに応じて “1” (出力) または “0” (入力) を設定してください。
  ただし、入力専用である PE2 端子の対応する PDR レジスタの各ビットは予約ビットです。
  このビットには “0” (入力) を設定してください。
- 表 20.5 ～表 20.9 の空欄以外は、予約ビットです (入力専用端子を除く)。
  予約ビットには表 20.5 ～表 20.9 に従って “0” (入力) または “1” (出力) を設定ください。
  予約ビットを設定する場合は、バイト単位でアクセスしてください。

表20.5 100ピンのPDRレジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0		
PORT1	0	0	0	0	0	0		
PORT2		0	0					
PORT3			0	0				
PORT4								
PORT5	0	0						
PORT6	0	0						
PORT7	0							
PORT8	0	0	0	0	0			
PORT9	0							
PORTA	0	0						
PORTB								
PORTD								
PORTE	0	0				0		
PORTN			0	0	0	0	0	0

表20.6 80ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0		
PORT1	0	0	0	0	0	0		
PORT2		0	0	1	1			
PORT3			0	0	1	1		
PORT4								
PORT5	0	0						
PORT6	0	0			1	1	1	
PORT7	0							
PORT8	0	0	0	0	0	1	1	1
PORT9	0							
PORTA	0	0		1		1	1	1
PORTB	1							
PORTD							1	1
PORTE	0	0	1			0	1	1
PORTN			0	0	0	0	0	0

表20.7 64ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0		
PORT1	0	0	0	0	0	0		1
PORT2	1	0	0	1	1			
PORT3			0	0	1	1	1	1
PORT4								
PORT5	0	0	1				1	1
PORT6	0	0			1	1	1	1
PORT7	0							
PORT8	0	0	0	0	0	1	1	1
PORT9	0							
PORTA	0	0	1	1	1	1	1	1
PORTB	1							
PORTD						1	1	1
PORTE	0	0	1	1	1	0	1	1
PORTN			0	0	0	0	0	0

表20.8 48ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0	1	
PORT1	0	0	0	0	0	0		
PORT2	1	0	0	1	1	1		
PORT3			0	0	1	1	1	1
PORT4	1	1	1					
PORT5	0	0	1	1			1	1
PORT6	0	0	1	1	1		1	1
PORT7	0							1
PORT8	0	0	0	0	0	1	1	1
PORT9	0	1						1
PORTA	0	0	1	1	1	1	1	1
PORTB	1							
PORTD		1		1		1	1	1
PORTE	0	0	1	1	1	0	1	1
PORTN			0	0	0	0	0	0

表20.9 32ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0	1	
PORT1	0	0	0	0	0	0	1	1
PORT2	1	0	0	1	1	1	1	1
PORT3	1		0	0	1	1	1	1
PORT4	1	1	1	1	1			
PORT5	0	0	1	1		1	1	1
PORT6	0	0			1	1	1	1
PORT7	0							1
PORT8	0	0	0	0	0	1	1	1
PORT9	0	1	1	1	1	1	1	1
PORTA	0	0	1	1	1	1	1	1
PORTB	1	1	1	1				1
PORTD		1		1		1	1	1
PORTE	0	0	1	1	1	0	1	1
PORTN	1		0	0	0	0	0	0

20.5.2 未使用端子の処理

表 20.10 に未使用端子の処理内容を示します。

表20.10 未使用端子の処理内容

端子名	処理内容
PN7/EMLE	抵抗を介してVSSに接続(プルダウン)または、端子を開放
PN6/MD/FINED	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
PE2/NMI	抵抗を介してVCCに接続(プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP36)に設定 ポートP36としても使用しない場合は、ポート0～3、7～9、A、B、D、Eの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP37)に設定 ポートP37としても使用しない場合は、ポート0～3、7～9、A、B、D、Eの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
ポート0～3、7～9、 ポートA、B、D、E	• 入力に設定(PORTn.PDRビット= 0)し、1端子ごと抵抗を介してVCCに接続(プルアップ)、または1端子ごと抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット= 1)し、端子を開放(注1、注2)
ポート4～6	• 1端子ごと抵抗を介してアナログ電源(AVCC1/AVCC2)に接続(プルアップ)、または1端子ごと抵抗を介して アナロググランド(AVSS1/AVSS2)に接続(プルダウン)(注3) • 出力に設定(PORTn.PDRビット= 1)し、端子を開放(注1、注2、注4)

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。
注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。
注3. 抵抗を接続する電源は、P4はAVCC1/AVSS1に、P5、P6はAVCC2/AVSS2にしてください。
注4. 入力専用端子は、PORTn.PDR = 1にしないでください。

20.5.3 EMLE 端子の処理

EMLE 端子を汎用入出力ポートとして使用しているときに RES# 端子によるリセットをする場合、リセット中は、EMLE 端子に Low を入力するか、端子を開放してください。

RES# 端子によるリセット中に EMLE 端子が High 入力の期間は、PD4 にクロック (4 サイクル以上) 相当かつ、PD7 に High 入力、PD6 に特定のパルスが入力されると PD3 端子から信号が出力される可能性があります。

21. マルチファンクションピンコントローラ (MPC)

21.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 21.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、× で示します。同一機能を複数端子で有効にすることは禁止です。

表21.1　マルチプル端子の割り当て端子一覧 (1 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
割り込み		NMI (入力)	PE2	○	○	○	○	○	○	○
割り込み	IRQ0	IRQ0 (入力)	P10	○	○	×	○	×	○	×
			P52	○	○	○	○	○	○	×
			PE2	○	○	○	○	○	○	○
			PE5	○	×	×	×	×	×	×
	IRQ1	IRQ1 (入力)	P11	○	○	○	○	○	○	×
			P53	○	○	○	○	○	○	○
			P95	○	○	○	○	○	○	×
			PA5	○	○	×	×	×	×	×
			PE4	○	○	×	×	×	×	×
	IRQ2	IRQ2 (入力)	P00	○	○	○	○	○	○	○
			P54	○	○	○	×	○	×	×
			PB6	○	○	○	○	○	○	×
			PD4	○	○	○	×	○	×	×
			PE3	○	○	×	×	×	×	×
	IRQ3	IRQ3 (入力)	P55	○	○	×	×	×	×	×
			P82	○	×	×	×	×	×	×
			PB4	○	○	○	○	○	○	×
	IRQ4	IRQ4 (入力)	P01	○	○	○	×	○	×	×
			P24	○	×	×	×	×	×	×
			P60	○	○	×	×	×	×	×
			P96	○	○	○	×	○	×	×
			PB1	○	○	○	○	○	○	○
	IRQ5	IRQ5 (入力)	P61	○	×	×	×	×	×	×
			P70	○	○	○	×	○	×	×
			P80	○	×	×	×	×	×	×
			PD6	○	○	○	×	○	×	×
			PN7	○	○	○	×	○	×	×
	IRQ6	IRQ6 (入力)	P21	○	○	○	○	○	○	×
			P31	○	○	×	×	×	×	×
			P62	○	×	×	○	×	○	×
			PD5	○	○	○	○	○	○	○
	IRQ7	IRQ7 (入力)	P20	○	○	○	○	○	○	×
			P30	○	○	×	×	×	×	×
			P63	○	×	×	×	×	×	×
			PE0	○	×	×	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (2 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
割り込み	IRQ8	IRQ8 (入力)	P64	○	○	○	×	○	×	○
			PB0	○	○	○	○	○	○	×
			PD7	○	○	○	○	○	○	○
	IRQ9	IRQ9 (入力)	P65	○	○	○	×	○	×	○
			PB3	○	○	○	○	○	○	○
	IRQ10	IRQ10 (入力)	P22	○	○	○	×	○	×	×
	IRQ11	IRQ11 (入力)	P23	○	×	×	×	×	×	×
	IRQ12	IRQ12 (入力)	P32	○	×	×	×	×	×	×
	IRQ13	IRQ13 (入力)	P33	○	×	×	×	×	×	×
	IRQ14	IRQ14 (入力)	P93	○	○	○	○	○	○	×
			PA1	○	×	×	×	×	×	×
	IRQ15	IRQ15 (入力)	P27	○	○	×	×	×	×	×
			PE1	○	×	×	×	×	×	×
マルチファンクションタイマユニット3	MTU0	MTIOC0A (入出力) /MTIOC0A# (入出力)	P31	○	○	×	×	×	×	×
			P70	○	○	○	×	○	×	×
			PB3	○	○	○	○	○	○	○
		MTIOC0B (入出力) /MTIOC0B# (入出力)	P30	○	○	×	×	×	×	×
			PB2	○	○	○	○	○	○	○
		MTIOC0C (入出力) /MTIOC0C# (入出力)	P27	○	○	×	×	×	×	×
			PB1	○	○	○	○	○	○	○
		MTIOC0D (入出力) /MTIOC0D# (入出力)	PB0	○	○	○	○	○	○	×
	MTU1	MTIOC1A (入出力) /MTIOC1A# (入出力)	P27	○	○	×	×	×	×	×
			P95	○	○	○	○	○	○	×
			PA5	○	○	×	×	×	×	×
		MTIOC1B (入出力) /MTIOC1B# (入出力)	PA4	○	×	×	×	×	×	×
	MTU2	MTIOC2A (入出力) /MTIOC2A# (入出力)	P94	○	○	○	○	○	○	×
			PA3	○	○	×	×	×	×	×
		MTIOC2B (入出力) /MTIOC2B# (入出力)	PA2	○	×	×	×	×	×	×
	MTU3	MTIOC3A (入出力) /MTIOC3A# (入出力)	P11	○	○	○	○	○	○	×
			P33	○	×	×	×	×	×	×
		MTIOC3B (入出力) /MTIOC3B# (入出力)	P71	○	○	○	○	○	○	○
		MTIOC3C (入出力) /MTIOC3C# (入出力)	P32	○	×	×	×	×	×	×
		MTIOC3D (入出力) /MTIOC3D# (入出力)	P74	○	○	○	○	○	○	○
	MTU4	MTIOC4A (入出力) /MTIOC4A# (入出力)	P72	○	○	○	○	○	○	○
		MTIOC4B (入出力) /MTIOC4B# (入出力)	P73	○	○	○	○	○	○	○
		MTIOC4C (入出力) /MTIOC4C# (入出力)	P75	○	○	○	○	○	○	○
		MTIOC4D (入出力) /MTIOC4D# (入出力)	P76	○	○	○	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (3 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
マルチファンクションタイマユニット3	MTU5	MTIC5U (入力) /MTIC5U# (入力)	P24	○	×	×	×	×	×	×
			P82	○	×	×	×	×	×	×
		MTIC5V (入力) /MTIC5V# (入力)	P23	○	×	×	×	×	×	×
			P81	○	×	×	×	×	×	×
		MTIC5W (入力) /MTIC5W# (入力)	P22	○	○	○	×	○	×	×
			P80	○	×	×	×	×	×	×
	MTU6	MTIOC6A (入出力) /MTIOC6A# (入出力)	P93	○	○	○	○	○	○	×
			PA1	○	×	×	×	×	×	×
		MTIOC6B (入出力) /MTIOC6B# (入出力)	P95	○	○	○	○	○	○	×
		MTIOC6C (入出力) /MTIOC6C# (入出力)	P92	○	○	○	○	○	○	×
			PA0	○	×	×	×	×	×	×
		MTIOC6D (入出力) /MTIOC6D# (入出力)	P92	○	○	○	○	○	○	×
	MTU7	MTIOC7A (入出力) /MTIOC7A# (入出力)	P94	○	○	○	○	○	○	×
		MTIOC7B (入出力) /MTIOC7B# (入出力)	P93	○	○	○	○	○	○	×
		MTIOC7C (入出力) /MTIOC7C# (入出力)	P91	○	○	○	○	○	○	×
		MTIOC7D (入出力) /MTIOC7D# (入出力)	P90	○	○	○	×	○	×	×
	MTU9	MTIOC9A (入出力) /MTIOC9A# (入出力)	P00	○	○	○	○	○	○	○
			P21	○	○	○	○	○	○	×
			PD7	○	○	○	○	○	○	○
		MTIOC9B (入出力)	P22	○	○	○	×	○	×	×
		MTIOC9B (入出力) /MTIOC9B# (入出力)	P10	○	○	×	○	×	○	×
			PE0	○	×	×	×	×	×	×
		MTIOC9C (入出力) /MTIOC9C# (入出力)	P01	○	○	○	×	○	×	×
			P20	○	○	○	○	○	○	×
			PD6	○	○	○	×	○	×	×
		MTIOC9D (入出力)	P11	○	○	○	○	○	○	×
		MTIOC9D (入出力) /MTIOC9D# (入出力)	PE1	○	×	×	×	×	×	×
			PE5	○	×	×	×	×	×	×
			PN7	○	○	○	×	○	×	×
	MTU	MTCLKA (入力) /MTCLKA# (入力)	P21	○	○	○	○	○	○	×
			P33	○	×	×	×	×	×	×
		MTCLKB (入力) /MTCLKB# (入力)	P20	○	○	○	○	○	○	×
			P32	○	×	×	×	×	×	×
		MTCLKC (入力) /MTCLKC# (入力)	P11	○	○	○	○	○	○	×
			P31	○	○	×	×	×	×	×
			P70	○	○	○	×	○	×	×
			PE4	○	○	×	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (4 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
マルチファンクションタイマユニット3	MTU	MTCLKD (入力) /MTCLKD# (入力)	P10	○	○	×	○	×	○	×
			P22	○	○	○	×	○	×	×
			P30	○	○	×	×	×	×	×
			PE3	○	○	×	×	×	×	×
		ADSM0 (出力)	PB2	○	○	○	○	○	○	○
		ADSM1 (出力)	PB1	○	○	○	○	○	○	○
汎用PWMタイマ	GPTW0	GTIOC0A (入出力) /GTIOC0A# (入出力)	P71	○	○	○	○	○	○	○
			PD2	○	○	×	×	×	×	×
			PD7	○	○	○	○	○	○	○
		GTIOC0B (入出力) /GTIOC0B# (入出力)	P74	○	○	○	○	○	○	○
			PD1	○	×	×	×	×	×	×
			PD6	○	○	○	×	○	×	×
	GPTW1	GTIOC1A (入出力) /GTIOC1A# (入出力)	P72	○	○	○	○	○	○	○
			PD0	○	×	×	×	×	×	×
			PD5	○	○	○	○	○	○	○
		GTIOC1B (入出力) /GTIOC1B# (入出力)	P75	○	○	○	○	○	○	○
			PB7	○	×	×	×	×	×	×
			PD4	○	○	○	×	○	×	×
	GPTW2	GTIOC2A (入出力) /GTIOC2A# (入出力)	P73	○	○	○	○	○	○	○
			PB6	○	○	○	○	○	○	×
			PD3	○	○	○	○	○	○	○
		GTIOC2B (入出力) /GTIOC2B# (入出力)	P76	○	○	○	○	○	○	○
			PB5	○	○	○	○	○	○	×
			PD2	○	○	×	×	×	×	×
	GPTW3	GTIOC3A (入出力) /GTIOC3A# (入出力)	P10	○	○	×	○	×	○	×
			P32	○	×	×	×	×	×	×
			PB6	○	○	○	○	○	○	×
			PD1	○	×	×	×	×	×	×
			PD7	○	○	○	○	○	○	○
			PE5	○	×	×	×	×	×	×
		GTIOC3B (入出力) /GTIOC3B# (入出力)	P11	○	○	○	○	○	○	×
			P33	○	×	×	×	×	×	×
			PB5	○	○	○	○	○	○	×
			PD0	○	×	×	×	×	×	×
			PD6	○	○	○	×	○	×	×
	GPTW4	GTIOC4A (入出力) /GTIOC4A# (入出力)	P71	○	○	○	○	○	○	○
			P95	○	○	○	○	○	○	×
		GTIOC4B (入出力) /GTIOC4B# (入出力)	P74	○	○	○	○	○	○	○
			P92	○	○	○	○	○	○	×
	GPTW5	GTIOC5A (入出力) /GTIOC5A# (入出力)	P72	○	○	○	○	○	○	○
			P94	○	○	○	○	○	○	×
		GTIOC5B (入出力) /GTIOC5B# (入出力)	P75	○	○	○	○	○	○	○
			P91	○	○	○	○	○	○	×

表21.1　マルチプル端子の割り当て端子一覧 (5 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
汎用PWMタイマ	GPTW6	GTIOC6A (入出力) /GTIOC6A# (入出力)	P73	○	○	○	○	○	○	○
			P93	○	○	○	○	○	○	×
		GTIOC6B (入出力) /GTIOC6B# (入出力)	P76	○	○	○	○	○	○	○
			P90	○	○	○	×	○	×	×
	GPTW7	GTIOC7A (入出力) /GTIOC7A# (入出力)	P32	○	×	×	×	×	×	×
			P95	○	○	○	○	○	○	×
			PB2	○	○	○	○	○	○	○
		GTIOC7A (入出力)	PD5	○	○	○	○	○	○	○
		GTIOC7B (入出力) /GTIOC7B# (入出力)	P33	○	×	×	×	×	×	×
			P92	○	○	○	○	○	○	×
			PB1	○	○	○	○	○	○	○
		GTIOC7B (入出力)	PD3	○	○	○	○	○	○	○
	GPTW	GTETRGA (入力)	P01	○	○	○	×	○	×	×
			P11	○	○	○	○	○	○	×
			P70	○	○	○	×	○	×	×
			P96	○	○	○	×	○	×	×
			PB4	○	○	○	○	○	○	×
			PD5	○	○	○	○	○	○	○
			PE3	○	○	×	×	×	×	×
			PE4	○	○	×	×	×	×	×
		GTETRGB (入力)	P01	○	○	○	×	○	×	×
			P10	○	○	×	○	×	○	×
			P70	○	○	○	×	○	×	×
			P96	○	○	○	×	○	×	×
			PB4	○	○	○	○	○	○	×
			PD4	○	○	○	×	○	×	×
			PE3	○	○	×	×	×	×	×
			PE4	○	○	×	×	×	×	×
			PE5	○	×	×	×	×	×	×
		GTETRGC (入力)	P01	○	○	○	×	○	×	×
			P11	○	○	○	○	○	○	×
			P70	○	○	○	×	○	×	×
			P96	○	○	○	×	○	×	×
			PB4	○	○	○	○	○	○	×
			PD3	○	○	○	○	○	○	○
			PE3	○	○	×	×	×	×	×
			PE4	○	○	×	×	×	×	×
		GTETRGD (入力)	P01	○	○	○	×	○	×	×
			P10	○	○	×	○	×	○	×
			P70	○	○	○	×	○	×	×
			P96	○	○	○	×	○	×	×
			PB4	○	○	○	○	○	○	×
			PE3	○	○	×	×	×	×	×
			PE4	○	○	×	×	×	×	×
			PE5	○	×	×	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (6 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
汎用PWMタイマ	GPTW	GTADSM0 (出力)	P94	○	○	○	○	○	○	×
			PA3	○	○	×	×	×	×	×
			PB2	○	○	○	○	○	○	○
		GTADSM1 (出力)	PA2	○	×	×	×	×	×	×
			PB1	○	○	○	○	○	○	○
		GTCPPO0 (出力)	P11	○	○	○	○	○	○	×
			P33	○	×	×	×	×	×	×
			P70	○	○	○	×	○	×	×
			PB4	○	○	○	○	○	○	×
		GTCPPO4 (出力)	P96	○	○	○	×	○	×	×
			PA1	○	×	×	×	×	×	×
		GTIU (入力)	P00	○	○	○	○	○	○	○
			P21	○	○	○	○	○	○	×
			P31	○	○	×	×	×	×	×
			PB3	○	○	○	○	○	○	○
			PD7	○	○	○	○	○	○	○
		GTIV (入力)	P10	○	○	×	○	×	○	×
			P22	○	○	○	×	○	×	×
			P30	○	○	×	×	×	×	×
			PB2	○	○	○	○	○	○	○
			PE0	○	×	×	×	×	×	×
		GTIW (入力)	P01	○	○	○	×	○	×	×
			P20	○	○	○	○	○	○	×
			PB1	○	○	○	○	○	○	○
			PD6	○	○	○	×	○	×	×
		GTOULO (出力)	P74	○	○	○	○	○	○	○
			P92	○	○	○	○	○	○	×
		GTOUUP (出力)	P71	○	○	○	○	○	○	○
			P95	○	○	○	○	○	○	×
		GTOVLO (出力)	P75	○	○	○	○	○	○	○
			P91	○	○	○	○	○	○	×
		GTOVUP (出力)	P72	○	○	○	○	○	○	○
			P94	○	○	○	○	○	○	×
		GTOWLO (出力)	P76	○	○	○	○	○	○	○
			P90	○	○	○	×	○	×	×
		GTOWUP (出力)	P73	○	○	○	○	○	○	○
			P93	○	○	○	○	○	○	×

表21.1　マルチプル端子の割り当て端子一覧 (7 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
ポート アウトプット イネーブル3	POE0	POE0# (入力)	P70	○	○	○	×	○	×	×
	POE4	POE4# (入力)	P96	○	○	○	×	○	×	×
	POE8	POE8# (入力)	PB4	○	○	○	○	○	○	×
	POE9	POE9# (入力)	P11	○	○	○	○	○	○	×
			P27	○	○	×	×	×	×	×
	POE10	POE10# (入力)	PE2	○	○	○	○	○	○	○
			PE4	○	○	×	×	×	×	×
	POE11	POE11# (入力)	PE3	○	○	×	×	×	×	×
	POE12	POE12# (入力)	P01	○	○	○	×	○	×	×
			P10	○	○	×	○	×	○	×
8ビットタイマ	TMR0	TMO0 (出力)	P33	○	×	×	×	×	×	×
			PB0	○	○	○	○	○	○	×
			PD3	○	○	○	○	○	○	○
		TMCI0 (入力)	PB1	○	○	○	○	○	○	○
			PD4	○	○	○	×	○	×	×
		TMRI0 (入力)	PB2	○	○	○	○	○	○	○
			PD5	○	○	○	○	○	○	○
	TMR1	TMO1 (出力)	PD6	○	○	○	×	○	×	×
		TMCI1 (入力)	PD2	○	○	×	×	×	×	×
			PE0	○	×	×	×	×	×	×
		TMRI1 (入力)	PD7	○	○	○	○	○	○	○
	TMR2	TMO2 (出力)	P20	○	○	○	○	○	○	×
			P23	○	×	×	×	×	×	×
			P27	○	○	×	×	×	×	×
			P92	○	○	○	○	○	○	×
			PA0	○	×	×	×	×	×	×
			PD1	○	×	×	×	×	×	×
		TMCI2 (入力)	P24	○	×	×	×	×	×	×
		TMRI2 (入力)	P22	○	○	○	×	○	×	×
	TMR3	TMO3 (出力)	P11	○	○	○	○	○	○	×
		TMCI3 (入力)	P95	○	○	○	○	○	○	×
			PA5	○	○	×	×	×	×	×
		TMRI3 (入力)	P10	○	○	×	○	×	○	×
	TMR4	TMO4 (出力)	P22	○	○	○	×	○	×	×
			P82	○	×	×	×	×	×	×
			P93	○	○	○	○	○	○	×
			PA1	○	×	×	×	×	×	×
			PD2	○	○	×	×	×	×	×
		TMCI4 (入力)	P21	○	○	○	○	○	○	×
			P81	○	×	×	×	×	×	×
		TMRI4 (入力)	P20	○	○	○	○	○	○	×
			P80	○	×	×	×	×	×	×
	TMR5	TMO5 (出力)	PE1	○	×	×	×	×	×	×
		TMCI5 (入力)	PE0	○	×	×	×	×	×	×
		TMRI5 (入力)	PD7	○	○	○	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (8 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
8ビットタイマ	TMR6	TMO6 (出力)	P21	○	○	○	○	○	○	×
			P24	○	×	×	×	×	×	×
			P27	○	○	×	×	×	×	×
			P32	○	×	×	×	×	×	×
			PD0	○	×	×	×	×	×	×
		TMCI6 (入力)	P30	○	○	×	×	×	×	×
			PD4	○	○	○	×	○	×	×
		TMRI6 (入力)	P31	○	○	×	×	×	×	×
			P70	○	○	○	×	○	×	×
			PD5	○	○	○	○	○	○	○
	TMR7	TMO7 (出力)	PA2	○	×	×	×	×	×	×
		TMCI7 (入力)	PA4	○	×	×	×	×	×	×
		TMRI7 (入力)	P94	○	○	○	○	○	○	×
			PA3	○	○	×	×	×	×	×
コンペアマッチタイマW	CMTW0	TOC0 (出力)	PB6	○	○	○	○	○	○	×
		TIC0 (入力)	PB5	○	○	○	○	○	○	×
		TOC1 (出力)	PB3	○	○	○	○	○	○	○
		TIC1 (入力)	PB2	○	○	○	○	○	○	○
	CMTW1	TOC2 (出力)	PB1	○	○	○	○	○	○	○
		TIC2 (入力)	PB0	○	○	○	○	○	○	×
		TOC3 (出力)	P11	○	○	○	○	○	○	×
		TIC3 (入力)	P00	○	○	○	○	○	○	○
			P10	○	○	×	○	×	○	×
シリアルコミュニケーションインタフェース	SCI1	RXD1 (入力) /SMISO1 (入出力) /SSCL1 (入出力)	PD5	○	○	○	○	○	○	○
		TXD1 (出力) /SMOSI1 (入出力) /SSDA1 (入出力)	PD3	○	○	○	○	○	○	○
		SCK1 (入出力)	PD4	○	○	○	×	○	×	×
		CTS1# (入力) /RTS1# (出力) /SS1# (入力)	PD6	○	○	○	×	○	×	×
	SCI5	RXD5 (入力) /SMISO5 (入出力) /SSCL5 (入出力)	P37	○	○	○	○	○	○	×
			P91	○	○	○	○	○	○	×
			PB6	○	○	○	○	○	○	×
			PE0	○	×	×	×	×	×	×
		TXD5 (出力) /SMOSI5 (入出力) /SSDA5 (入出力)	P36	○	○	○	○	○	○	×
			P90	○	○	○	×	○	×	×
			PB5	○	○	○	○	○	○	×
			PD7	○	○	○	○	○	○	×
		SCK5 (入出力)	P70	○	○	○	×	○	×	×
			PB7	○	×	×	×	×	×	×
			PD2	○	○	×	×	×	×	×
		CTS5# (入力) /RTS5# (出力) /SS5# (入力)	PB4	○	○	○	○	○	○	×
			PE1	○	×	×	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (9 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
シリアルコミュニケーションインタフェース	SCI6	RXD6 (入力) /SMISO6 (入出力) /SSCL6 (入出力)	P80	○	×	×	×	×	×	×
			P95	○	○	○	○	○	○	×
			PA5	○	○	×	×	×	×	×
			PB1	○	○	○	○	○	○	○
		TXD6 (出力) /SMOSI6 (入出力) /SSDA6 (入出力)	P81	○	×	×	×	×	×	×
			PB0	○	○	○	○	○	○	×
			PB2	○	○	○	○	○	○	○
		SCK6 (入出力)	P82	○	×	×	×	×	×	×
			PA4	○	×	×	×	×	×	×
			PB3	○	○	○	○	○	○	○
		CTS6# (入力) /RTS6# (出力) /SS6# (入力)	P10	○	○	×	○	×	○	×
			PA2	○	×	×	×	×	×	×
	SCI12	RXD12 (入力) /SMISO12 (入出力) /SSCL12 (入出力) /RXDX12 (入力)	P00	○	○	○	○	○	○	○
			P22	○	○	○	×	○	×	×
			P80	○	×	×	×	×	×	×
			PB4	○	○	○	○	○	○	×
			PB6	○	○	○	○	○	○	×
			PD6	○	○	○	×	○	×	×
		TXD12 (出力) /SMOSI12 (入出力) /SSDA12 (入出力) /TXDX12 (出力) /SIOX12 (入出力)	P01	○	○	○	×	○	×	×
			P21	○	○	○	○	○	○	×
			P23	○	×	×	×	×	×	×
			P81	○	×	×	×	×	×	×
			PB3	○	○	○	○	○	○	○
			PB5	○	○	○	○	○	○	×
			PD4	○	○	○	×	○	×	×
		SCK12 (入出力)	P82	○	×	×	×	×	×	×
			PB7	○	×	×	×	×	×	×
		CTS12# (入力) /RTS12# (出力) /SS12# (入力)	PE1	○	×	×	×	×	×	×
	RSCI8	RXD008 (入力) /SMISO008 (入出力) /SSCL008 (入出力)	P20	○	○	○	○	×	×	×
			P22	○	○	○	×	×	×	×
			P95	○	○	○	○	×	×	×
			PA5	○	○	×	×	×	×	×
			PD1	○	×	×	×	×	×	×
		TXD008 (出力) /TXDA008 (出力) /SMOSI008 (入出力) /SSDA008 (入出力)	P21	○	○	○	○	×	×	×
			P23	○	×	×	×	×	×	×
			PA4	○	×	×	×	×	×	×
			PB0	○	○	○	○	×	×	×
			PD0	○	×	×	×	×	×	×
			PD7	○	○	○	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (10 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
シリアルコミュニケーションインタフェース	RSCI8	SCK008 (入出力)	P11	○	○	○	○	×	×	×
			P22	○	○	○	×	×	×	×
			P24	○	×	×	×	×	×	×
			P30	○	○	×	×	×	×	×
			P94	○	○	○	○	×	×	×
			PA3	○	○	×	×	×	×	×
			PD2	○	○	×	×	×	×	×
		TXDB008(出力)	P22	○	○	○	×	×	×	×
			P94	○	○	○	○	×	×	×
			PA3	○	○	×	×	×	×	×
			PD2	○	○	×	×	×	×	×
		CTS008# (入力) /RTS008# (出力) /SS008# (入力)	P20	○	○	○	○	×	×	×
			P24	○	×	×	×	×	×	×
			P30	○	○	×	×	×	×	×
			P96	○	○	○	×	×	×	×
		DE008(出力)	P20	○	○	○	○	×	×	×
			P24	○	×	×	×	×	×	×
			P30	○	○	×	×	×	×	×
			P96	○	○	○	×	×	×	×
	RSCI9	RXD009 (入力) /SMISO009 (入出力) /SSCL009 (入出力)	P00	○	○	○	○	×	×	×
			PA2	○	×	×	×	×	×	×
		TXD009 (出力) /TXDA009 (出力) /SMOSI009 (入出力) /SSDA009 (入出力)	P01	○	○	○	×	×	×	×
			P10	○	○	×	○	×	×	×
			P93	○	○	○	○	×	×	×
			P94	○	○	○	○	×	×	×
			PA1	○	×	×	×	×	×	×
			PA3	○	○	×	×	×	×	×
		SCK009 (入出力)	P11	○	○	○	○	×	×	×
			P92	○	○	○	○	×	×	×
			PA0	○	×	×	×	×	×	×
			PD7	○	○	○	○	×	×	×
			PE4	○	○	×	×	×	×	×
			PE5	○	×	×	×	×	×	×
		TXDB009(出力)	P11	○	○	○	○	×	×	×
			P92	○	○	○	○	×	×	×
			PA0	○	×	×	×	×	×	×
			PD7	○	○	○	○	×	×	×
			PE4	○	○	×	×	×	×	×
			PE5	○	×	×	×	×	×	×
		CTS009# (入力) /RTS009# (出力) /SS009# (入力)	P70	○	○	○	×	×	×	×
			PB3	○	○	○	○	×	×	×
			PE3	○	○	×	×	×	×	×
			PE5	○	×	×	×	×	×	×
		DE009(出力)	P70	○	○	○	×	×	×	×
			PB3	○	○	○	○	×	×	×
			PE3	○	○	×	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (11 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
シリアルコミュニケーションインタフェース	RSCI11	RXD011 (入力) /SMISO011 (入出力) /SSCL011 (入出力)	P93	○	○	○	○	×	×	×
			PA1	○	×	×	×	×	×	×
			PB6	○	○	○	○	×	×	×
			PD5	○	○	○	○	×	×	×
		TXD011 (出力) /TXDA011 (出力) /SMOSI011 (入出力) /SSDA011 (入出力)	P92	○	○	○	○	×	×	×
			PA0	○	×	×	×	×	×	×
			PB5	○	○	○	○	×	×	×
			PD3	○	○	○	○	×	×	×
		SCK011 (入出力)	PB4	○	○	○	○	×	×	×
			PB7	○	×	×	×	×	×	×
			PD4	○	○	○	×	×	×	×
		TXDB011(出力)	PB4	○	○	○	○	×	×	×
			PB7	○	×	×	×	×	×	×
			PD4	○	○	○	×	×	×	×
		CTS011# (入力) /RTS011# (出力) /SS011# (入力)	PB0	○	○	○	○	×	×	×
			PB4	○	○	○	○	×	×	×
			PD6	○	○	○	×	×	×	×
		DE011(出力)	PB0	○	○	○	○	×	×	×
			PD6	○	○	○	×	×	×	×
I²Cバスインタフェース		SCL0 (入出力)	PB1	○	○	○	○	○	○	○
		SDA0 (入出力)	PB2	○	○	○	○	○	○	○
I3Cバスインタフェース		SCL00 (入出力)	PB1	○	○	○	○	×	×	×
		SDA00 (入出力)	PB2	○	○	○	○	×	×	×
CAN FDモジュール	CANFD0	CRX0 (入力)	P22	○	○	○	×	○	×	×
			P93	○	○	○	○	○	○	×
			PA1	○	×	×	×	×	×	×
			PB4	○	○	○	○	○	○	×
			PB6	○	○	○	○	○	○	×
			PE0	○	×	×	×	×	×	×
		CTX0 (出力)	P23	○	×	×	×	×	×	×
			P92	○	○	○	○	○	○	×
			PA0	○	×	×	×	×	×	×
			PB3	○	○	○	○	○	○	×
			PB5	○	○	○	○	○	○	×
			PD7	○	○	○	○	○	○	×
シリアルペリフェラルインタフェース	RSPI0	RSPCKA (入出力)	P20	○	○	○	○	○	○	×
			P24	○	×	×	×	×	×	×
			P27	○	○	×	×	×	×	×
			PA4	○	×	×	×	×	×	×
			PB3	○	○	○	○	○	○	×
			PD0	○	×	×	×	×	×	×
		MOSIA (入出力)	P21	○	○	○	○	○	○	×
			P23	○	×	×	×	×	×	×
			PB0	○	○	○	○	○	○	×
			PD2	○	○	×	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (12 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
シリアルペリフェラルインタフェース	RSPI0	MISOA (入出力)	P22	○	○	○	×	○	×	×
			P95	○	○	○	○	○	○	×
			PA5	○	○	×	×	×	×	×
			PB4	○	○	○	○	○	○	×
			PD1	○	×	×	×	×	×	×
		SSLA0 (入出力)	P30	○	○	×	×	×	×	×
			P70	○	○	○	×	○	×	×
			P94	○	○	○	○	○	○	×
			PA3	○	○	×	×	×	×	×
			PD6	○	○	○	×	○	×	×
		SSLA1 (出力)	P31	○	○	×	×	×	×	×
			PA2	○	×	×	×	×	×	×
			PD7	○	○	○	○	○	○	×
		SSLA2 (出力)	P32	○	×	×	×	×	×	×
			P93	○	○	○	○	○	○	×
			PA1	○	×	×	×	×	×	×
			PE0	○	×	×	×	×	×	×
		SSLA3 (出力)	P33	○	×	×	×	×	×	×
			P92	○	○	○	○	○	○	×
			PA0	○	×	×	×	×	×	×
			PE1	○	×	×	×	×	×	×
	RSPIA0	RSPCK0 (入出力)	P20	○	○	○	○	×	×	×
			P24	○	×	×	×	×	×	×
			P27	○	○	×	×	×	×	×
			P70	○	○	○	×	×	×	×
			P91	○	○	○	○	×	×	×
			P96	○	○	○	×	×	×	×
			PA4	○	×	×	×	×	×	×
			PB5	○	○	○	○	×	×	×
			PD0	○	×	×	×	×	×	×
		MOSI0 (入出力)	P21	○	○	○	○	×	×	×
			P23	○	×	×	×	×	×	×
			P72	○	○	○	○	×	×	×
			P93	○	○	○	○	×	×	×
			PB0	○	○	○	○	×	×	×
			PD2	○	○	×	×	×	×	×
			PD3	○	○	○	○	×	×	×
		MISO0 (入出力)	P22	○	○	○	×	×	×	×
			P71	○	○	○	○	×	×	×
			P92	○	○	○	○	×	×	×
			P95	○	○	○	○	×	×	×
			PA5	○	○	×	×	×	×	×
			PB6	○	○	○	○	×	×	×
			PD1	○	×	×	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (13 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
シリアルペリフェラルインタフェース	RSPIA0	SSL00 (入出力)	P30	○	○	×	×	×	×	×
			P73	○	○	○	○	×	×	×
			P94	○	○	○	○	×	×	×
			PA3	○	○	×	×	×	×	×
			PD5	○	○	○	○	×	×	×
			PD6	○	○	○	×	×	×	×
		SSL01 (出力)	P31	○	○	×	×	×	×	×
			P74	○	○	○	○	×	×	×
			P90	○	○	○	×	×	×	×
			PA2	○	×	×	×	×	×	×
			PB4	○	○	○	○	×	×	×
			PD7	○	○	○	○	×	×	×
		SSL02 (出力)	P32	○	×	×	×	×	×	×
			P75	○	○	○	○	×	×	×
			P93	○	○	○	○	×	×	×
			P95	○	○	○	○	×	×	×
			PA1	○	×	×	×	×	×	×
			PD4	○	○	○	×	×	×	×
			PE0	○	×	×	×	×	×	×
		SSL03 (出力)	P33	○	×	×	×	×	×	×
			P76	○	○	○	○	×	×	×
			P92	○	○	○	○	×	×	×
			P96	○	○	○	×	×	×	×
			PA0	○	×	×	×	×	×	×
			PB7	○	×	×	×	×	×	×
			PE1	○	×	×	×	×	×	×
12ビットA/Dコンバータ		AN000 (入力)(注1)	P40	○	○	○	○	○	○	○
		AN001 (入力)(注1)	P41	○	○	○	○	○	○	○
		AN002 (入力)(注1)	P42	○	○	○	○	○	○	○
		AN003 (入力)(注1)	P43	○	○	○	○	○	○	×
		AN004 (入力) (注1、注2)	P44	×	×	×	×	○	○	×
		AN005 (入力) (注1、注2)	P45	×	×	×	×	○	×	×
		AN006 (入力) (注1、注2)	P46	×	×	×	×	○	×	×
		ADTRG0# (入力)	P20	○	○	○	○	○	○	×
			P93	○	○	○	○	○	○	×
			PA1	○	×	×	×	×	×	×
			PA4	○	×	×	×	×	×	×
		ADST0 (出力)	PD6	○	○	○	×	○	×	×
			PE5	○	×	×	×	×	×	×
			PN7	○	○	○	×	○	×	×
		AN100 (入力)(注1)	P44	○	○	○	○	×	×	×
		AN101 (入力)(注1)	P45	○	○	○	×	×	×	×
		AN102 (入力)(注1)	P46	○	○	○	×	×	×	×
		AN103 (入力)(注1)	P47	○	○	○	×	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (14 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
12ビットA/Dコンバータ		ADTRG1# (入力)	P21	○	○	○	○	×	×	×
			P95	○	○	○	○	×	×	×
			PA5	○	○	×	×	×	×	×
		ADST1 (出力)	P00	○	○	○	○	×	×	×
		AN200 (入力) (注1)	P52	○	○	○	○	○	○	×
		AN201 (入力) (注1)	P53	○	○	○	○	○	○	○
		AN202 (入力) (注1)	P54	○	○	○	×	○	×	×
		AN203 (入力) (注1)	P55	○	○	×	×	×	×	×
		AN204 (入力) (注1)	P50	○	○	×	×	×	×	×
		AN205 (入力) (注1)	P51	○	○	×	×	×	×	×
		AN206 (入力) (注1)	P47	×	×	×	×	○	×	×
			P60	○	○	×	×	×	×	×
		AN207 (入力) (注1)	P61	○	×	×	×	×	×	×
		AN208 (入力) (注1)	P62	○	×	×	○	×	○	×
		AN209 (入力) (注1)	P63	○	×	×	×	×	×	×
		AN210 (入力) (注1)	P64	○	○	○	×	○	×	○
		AN211 (入力) (注1)	P65	○	○	○	×	○	×	○
		AN216 (入力) (注1)	P20	○	○	○	○	○	○	×
		AN217 (入力) (注1)	P21	○	○	○	○	○	○	×
		ADTRG2# (入力)	P22	○	○	○	×	○	×	×
			PB0	○	○	○	○	○	○	×
		ADST2 (出力)	P01	○	○	○	×	○	×	×
12ビットD/Aコンバータ		DA0 (出力) (注1)	P64	○	○	○	×	○	×	○
		DA1 (出力) (注1)	P65	○	○	○	×	○	×	○
クロック周波数精度測定回路		CACREF (入力)	P00	○	○	○	○	○	○	○
			P23	○	×	×	×	×	×	×
			PB3	○	○	○	○	○	○	○
コンパレータ		COMP0 (出力)	P00	○	○	○	○	○	○	○
			P24	○	×	×	×	×	×	×
		COMP1 (出力)	P01	○	○	○	×	○	×	×
			P23	○	×	×	×	×	×	×
		COMP2 (出力)	P22	○	○	○	×	○	×	×
		COMP3 (出力)	P30	○	○	×	×	×	×	×
			P80	○	×	×	×	×	×	×
		COMP4 (出力)	P20	○	○	○	○	○	○	×
			P81	○	×	×	×	×	×	×
		COMP5 (出力)	P21	○	○	○	○	○	○	×
			P82	○	×	×	×	×	×	×
		CVREFC0 (入力) (注1)	P53	○	○	○	○	○	○	○
		CVREFC1 (入力) (注1)	P54	○	○	○	×	○	×	×
		CMPC00 (入力) (注1)	P40	○	○	○	○	○	○	○
		CMPC01 (入力) (注1)	P40	○	○	○	○	×	×	×
			P44	×	×	×	×	○	○	×
		CMPC02 (入力) (注1)	P52	○	○	○	○	○	○	×

表21.1　マルチプル端子の割り当て端子一覧 (15 / 15)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ						
				RAM容量 64Kバイト製品				RAM容量 48Kバイト製品		
				100ピン	80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
コンパレータ		CMPC03 (入力) (注1)	P47	×	×	×	×	○	×	×
			P60	○	○	×	×	×	×	×
		CMPC10 (入力) (注1)	P41	○	○	○	○	○	○	○
		CMPC11 (入力) (注1)	P41	○	○	○	○	×	×	×
			P45	×	×	×	×	○	×	×
		CMPC12 (入力) (注1)	P53	○	○	○	○	○	○	○
		CMPC13 (入力) (注1)	P40	×	×	×	×	○	○	○
			P61	○	×	×	×	×	×	×
		CMPC20 (入力) (注1)	P42	○	○	○	○	○	○	○
		CMPC21 (入力) (注1)	P42	○	○	○	○	×	×	×
			P46	×	×	×	×	○	×	×
		CMPC22 (入力) (注1)	P54	○	○	○	×	○	×	×
		CMPC23 (入力) (注1)	P43	×	×	×	×	○	○	×
			P63	○	×	×	×	×	×	×
		CMPC30 (入力) (注1)	P44	○	○	○	○	×	×	×
		CMPC31 (入力) (注1)		○	○	○	○	×	×	×
		CMPC32 (入力) (注1)	P55	○	○	×	×	×	×	×
		CMPC33 (入力) (注1)	P64	○	○	○	×	×	×	×
		CMPC40 (入力) (注1)	P45	○	○	○	×	×	×	×
		CMPC41 (入力) (注1)		○	○	○	×	×	×	×
		CMPC42 (入力) (注1)	P50	○	○	×	×	×	×	×
		CMPC43 (入力) (注1)	P62	○	×	×	○	×	×	×
		CMPC50 (入力) (注1)	P43	×	×	×	×	○	○	×
			P46	○	○	○	×	×	×	×
		CMPC51 (入力) (注1)	P46	○	○	○	×	×	×	×
			P62	×	×	×	×	×	○	×
		CMPC52 (入力) (注1)	P51	○	○	×	×	×	×	×
			P64	×	×	×	×	○	×	○
		CMPC53 (入力) (注1)	P65	○	○	○	×	○	×	○

注1.　この端子を使用する場合は、該当端子の設定を汎用入力にしてください(PORTm.PDR.Bnビットおよび PORTm.PMR.Bnビットに“0”を設定)。

注2.　RAM容量が64Kバイトの製品にはありません。

21.2　レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

21.2.1　書き込みプロテクトレジスタ (PWPR)

アドレス　0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0：PFSレジスタへの書き込みを禁止 1：PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0：PFSWEビットへの書き込みを許可 1：PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを “1” にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

PFSWE ビットを “1” にする場合は、B0WI ビットに “0” を書いた後、PFSWE ビットを “1” にしてください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを “0” にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0, 1)

アドレス P00PFS 0008 C140h, P01PFS 0008 C141h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.2を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P00：IRQ2 (32/48/64/80/100ピン) P01：IRQ4 (64/80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。PSEL[5:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表21.2　100ピン、80ピン、64ピン、48ピン、32ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子	
	P00	P01 (注1)
000000b (初期値)	Hi-Z	
000001b	MTIOC9A	MTIOC9C
000011b	MTIOC9A#	MTIOC9C#
000111b	CACREF	POE12#
001001b	ADST1 (注2)	ADST2
001100b	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12
010100b	—	GTETRGA
010101b	—	GTETRGB
010110b	—	GTETRGC
010111b	—	GTETRGD
011000b	GTIU	GTIW
011101b	TIC3	—
011110b	COMP0	COMP1
101100b (注3)	RXD009 SMISO009 SSCL009	TXD009 TXDA009 SMOSI009 SSDA009

—：設定しないでください。
注1.　48ピン、32ピンの製品にはありません。
注2.　RAM容量が48Kバイトの製品にはありません。
注3.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

21.2.3　P1n 端子機能制御レジスタ (P1nPFS) (n = 0, 1)

アドレス　P10PFS 0008 C148h, P11PFS 0008 C149h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.3を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P10：IRQ0 (48/80/100ピン) P11：IRQ1 (48/64/80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.3　100ピン、80ピン、64ピン、48ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子	
	P10 (注1)	P11
000000b (初期値)	Hi-Z	
000001b	MTIOC9B	MTIOC3A
000010b	MTCLKD	MTCLKC
000011b	MTIOC9B#	MTIOC3A#
000100b	MTCLKD#	MTCLKC#
000101b	TMRI3	TMO3
000111b	POE12#	POE9#
001000b	—	MTIOC9D
001010b	CTS6# RTS6# SS6#	—
010100b	GTIOC3A	GTIOC3B
010101b	GTETRGB	GTETRGA
010110b	GTIOC3A#	GTIOC3B#
010111b	GTETRGD	GTETRGC
011000b	GTIV	GTCPPO0
011101b	TIC3	TOC3
101100b (注2)	TXD009 TXDA009 SMOSI009 SSDA009	SCK009
101101b (注2)	—	SCK008
101110b (注2)	—	TXDB009

—：設定しないでください。
注1.　64ピンの製品にはありません。
注2.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

21.2.4　P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ～ 4, 7)

アドレス　P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h, P24PFS 0008 C154h, P27PFS 0008 C157h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.4～表21.6を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P20：IRQ7 (48/64/80/100ピン) P21：IRQ6 (48/64/80/100ピン) P22：IRQ10 (64/80/100ピン) P23：IRQ11 (100ピン) P24：IRQ4 (100ピン) P27：IRQ15 (80/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する P20：AN216 (48/64/80/100ピン) P21：AN217 (48/64/80/100ピン)	R/W

表21.4　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	P20	P21	P22	P23	P24	P27
000000b (初期値)	Hi-Z					
000001b	MTIOC9C	MTIOC9A	MTIC5W	MTIC5V	MTIC5U	MTIOC1A
000010b	MTCLKB	MTCLKA	MTCLKD	—	—	MTIOC0C
000011b	MTIOC9C#	MTIOC9A#	MTIC5W#	MTIC5V#	MTIC5U#	MTIOC1A#
000100b	MTCLKB#	MTCLKA#	MTCLKD#	—	—	MTIOC0C#
000101b	TMRI4	TMCI4	TMRI2	TMO2	TMCI2	TMO2
000110b	TMO2	TMO6	TMO4	—	TMO6	TMO6
000111b	—	—	—	CACREF	—	POE9#
001000b	—	—	MTIOC9B	—	—	—
001001b	ADTRG0#	ADTRG1#	ADTRG2#	—	—	—
001100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—
001101b	RSPCKA	MOSIA	MISOA	MOSIA	RSPCKA	RSPCKA
001110b	RSPCK0	MOSI0	MISO0	MOSI0	RSPCK0	RSPCK0
010000b	—	—	CRX0	CTX0	—	—
011000b	GTIW	GTIU	GTIV	—	—	—
011110b	COMP4	COMP5	COMP2	COMP1	COMP0	—
101100b	CTS008# RTS008# SS008#	TXD008 TXDA008 SMOSI008 SSDA008	RXD008 SMISO008 SSCL008	TXD008 TXDA008 SMOSI008 SSDA008	CTS008# RTS008# SS008#	—
101101b	RXD008 SMISO008 SSCL008	—	SCK008	—	SCK008	—
101110b	DE008	—	TXDB008	—	DE008	—

—：設定しないでください。

表21.5　80ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子			
	P20	P21	P22	P27
000000b (初期値)	Hi-Z			
000001b	MTIOC9C	MTIOC9A	MTIC5W	MTIOC1A
000010b	MTCLKB	MTCLKA	MTCLKD	MTIOC0C
000011b	MTIOC9C#	MTIOC9A#	MTIC5W#	MTIOC1A#
000100b	MTCLKB#	MTCLKA#	MTCLKD#	MTIOC0C#
000101b	TMRI4	TMCI4	TMRI2	TMO2
000110b	TMO2	TMO6	TMO4	TMO6
000111b	—	—	—	POE9#
001000b	—	—	MTIOC9B	—
001001b	ADTRG0#	ADTRG1#	ADTRG2#	—
001100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	—
001101b	RSPCKA	MOSIA	MISOA	RSPCKA
001110b	RSPCK0	MOSI0	MISO0	RSPCK0
010000b	—	—	CRX0	—
011000b	GTIW	GTIU	GTIV	—
011110b	COMP4	COMP5	COMP2	—
101100b	CTS008# RTS008# SS008#	TXD008 TXDA008 SMOSI008 SSDA008	RXD008 SMISO008 SSCL008	—
101101b	RXD008 SMISO008 SSCL008	—	SCK008	—
101110b	DE008	—	TXDB008	—

—：設定しないでください。

表21.6　64ピン、48ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	P20	P21	P22 (注1)
000000b (初期値)	Hi-Z		
000001b	MTIOC9C	MTIOC9A	MTIC5W
000010b	MTCLKB	MTCLKA	MTCLKD
000011b	MTIOC9C#	MTIOC9A#	MTIC5W#
000100b	MTCLKB#	MTCLKA#	MTCLKD#
000101b	TMRI4	TMCI4	TMRI2
000110b	TMO2	TMO6	TMO4
001000b	—	—	MTIOC9B
001001b	ADTRG0#	ADTRG1# (注2)	ADTRG2#
001100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12
001101b	RSPCKA	MOSIA	MISOA
001110b (注3)	RSPCK0	MOSI0	MISO0
010000b	—	—	CRX0
011000b	GTIW	GTIU	GTIV
011110b	COMP4	COMP5	COMP2
101100b (注3)	CTS008# RTS008# SS008#	TXD008 TXDA008 SMOSI008 SSDA008	RXD008 SMISO008 SSCL008
101101b (注3)	RXD008 SMISO008 SSCL008	—	SCK008
101110b (注3)	DE008	—	TXDB008

—：設定しないでください。
注1.　48ピンの製品にはありません。
注2.　RAM容量が48Kバイトの製品にはありません。
注3.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ～ 3, 6, 7)

アドレス　P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh, P36PFS 0008 C15Eh, P37PFS 0008 C15Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.7～表21.9を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P30：IRQ7 (80/100ピン) P31：IRQ6 (80/100ピン) P32：IRQ12 (100ピン) P33：IRQ13 (100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.7　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	P30	P31	P32	P33	P36	P37
000000b (初期値)	Hi-Z					
000001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A	—	—
000010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA	—	—
000011b	MTIOC0B#	MTIOC0A#	MTIOC3C#	MTIOC3A#	—	—
000100b	MTCLKD#	MTCLKC#	MTCLKB#	MTCLKA#	—	—
000101b	TMCI6	TMRI6	TMO6	TMO0	—	—
001010b	—	—	—	—	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5
001101b	SSLA0	SSLA1	SSLA2	SSLA3	—	—
001110b	SSL00	SSL01	SSL02	SSL03	—	—
010100b	—	—	GTIOC3A	GTIOC3B	—	—
010101b	—	—	GTIOC7A	GTIOC7B	—	—
010110b	—	—	GTIOC3A#	GTIOC3B#	—	—
010111b	—	—	GTIOC7A#	GTIOC7B#	—	—
011000b	GTIV	GTIU	—	GTCPPO0	—	—
011110b	COMP3	—	—	—	—	—
101100b	SCK008	—	—	—	—	—
101101b	CTS008# RTS008# SS008#	—	—	—	—	—
101110b	DE008	—	—	—	—	—

—：設定しないでください。

表21.8　80ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子			
	P30	P31	P36	P37
000000b (初期値)	Hi-Z			
000001b	MTIOC0B	MTIOC0A	—	—
000010b	MTCLKD	MTCLKC	—	—
000011b	MTIOC0B#	MTIOC0A#	—	—
000100b	MTCLKD#	MTCLKC#	—	—
000101b	TMCI6	TMRI6	—	—
001010b	—	—	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5
001101b	SSLA0	SSLA1	—	—
001110b	SSL00	SSL01	—	—
011000b	GTIV	GTIU	—	—
011110b	COMP3	—	—	—
101100b	SCK008	—	—	—
101101b	CTS008# RTS008# SS008#	—	—	—
101110b	DE008	—	—	—

—：設定しないでください。

表21.9　64ピン、48ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子	
	P36	P37
000000b (初期値)	Hi-Z	
001010b	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5

21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ～ 7)

アドレス　P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h, P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する • RAM容量が64Kバイトの製品 P40：AN000, CMPC00, CMPC01 (48/64/80/100 ピン) P41：AN001, CMPC10, CMPC11 (48/64/80/100 ピン) P42：AN002, CMPC20, CMPC21 (48/64/80/100 ピン) P43：AN003 (48/64/80/100 ピン) P44：AN100, CMPC30, CMPC31 (48/64/80/100 ピン) P45：AN101, CMPC40, CMPC41 (64/80/100 ピン) P46：AN102, CMPC50, CMPC51 (64/80/100 ピン) P47：AN103 (64/80/100 ピン) • RAM容量が48Kバイトの製品 P40：AN000, CMPC00, CMPC13 (32/48/64 ピン) P41：AN001, CMPC10 (32/48/64 ピン) P42：AN002, CMPC20 (32/48/64 ピン) P43：AN003, CMPC23, CMPC50 (48/64 ピン) P44：AN004, CMPC01 (48/64 ピン) P45：AN005, CMPC11 (64 ピン) P46：AN006, CMPC21 (64 ピン) P47：AN206, CMPC03 (64 ピン)	R/W

21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ～ 5)

アドレス　P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P53PFS 0008 C16Bh, P54PFS 0008 C16Ch, P55PFS 0008 C16Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P52：IRQ0 (48/64/80/100ピン) P53：IRQ1 (32/48/64/80/100ピン) P54：IRQ2 (64/80/100ピン) P55：IRQ3 (80/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する P50：AN204, CMPC42 (80/100ピン) P51：AN205, CMPC52 (80/100ピン) P52：AN200, CMPC02 (48/64/80/100ピン) P53：AN201, CMPC12 (32/48/64/80/100ピン) P54：AN202, CMPC22 (64/80/100ピン) P55：AN203, CMPC32 (80/100ピン)	R/W

21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ～ 5)

アドレス　P60PFS 0008 C170h, P61PFS 0008 C171h, P62PFS 0008 C172h, P63PFS 0008 C173h, P64PFS 0008 C174h, P65PFS 0008 C175h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P60：IRQ4 (80/100ピン) P61：IRQ5 (100ピン) P62：IRQ6 (48/100ピン) P63：IRQ7 (100ピン) P64：IRQ8 (32/64/80/100ピン) P65：IRQ9 (32/64/80/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する • RAM容量が64Kバイトの製品 P60：AN206, CMPC03 (80/100ピン) P61：AN207, CMPC13 (100ピン) P62：AN208, CMPC43 (48/100ピン) P63：AN209, CMPC23 (100ピン) P64：AN210, CMPC33, DA0 (64/80/100ピン) P65：AN211, CMPC53, DA1 (64/80/100ピン) • RAM容量が48Kバイトの製品 P62：AN208, CMPC51 (48ピン) P64：AN210, CMPC52, DA0 (32/64ピン) P65：AN211, CMPC53, DA1 (32/64ピン)	R/W

21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ～ 6)

アドレス　P70PFS 0008 C178h, P71PFS 0008 C179h, P72PFS 0008 C17Ah, P73PFS 0008 C17Bh, P74PFS 0008 C17Ch, P75PFS 0008 C17Dh, P76PFS 0008 C17Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.10を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P70：IRQ5 (64/80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.10　100ピン、80ピン、64ピン、48ピン、32ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子						
	P70 (注1)	P71	P72	P73	P74	P75	P76
000000b (初期値)	Hi-Z						
000001b	MTIOC0A	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
000010b	MTCLKC	—	—	—	—	—	—
000011b	MTIOC0A#	MTIOC3B#	MTIOC4A#	MTIOC4B#	MTIOC3D#	MTIOC4C#	MTIOC4D#
000100b	MTCLKC#	—	—	—	—	—	—
000101b	TMRI6	—	—	—	—	—	—
000111b	POE0#	—	—	—	—	—	—
001010b	SCK5	—	—	—	—	—	—
001101b	SSLA0	—	—	—	—	—	—
001110b (注2)	RSPCK0	MISO0	MOSI0	SSL00	SSL01	SSL02	SSL03
010100b	GTETRGA	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B	GTIOC1B	GTIOC2B
010101b	GTETRGB	GTIOC4A	GTIOC5A	GTIOC6A	GTIOC4B	GTIOC5B	GTIOC6B
010110b	GTETRGC	GTIOC0A#	GTIOC1A#	GTIOC2A#	GTIOC0B#	GTIOC1B#	GTIOC2B#
010111b	GTETRGD	GTIOC4A#	GTIOC5A#	GTIOC6A#	GTIOC4B#	GTIOC5B#	GTIOC6B#
011000b	GTCPPO0	GTOUUP	GTOVUP	GTOWUP	GTOULO	GTOVLO	GTOWLO
101100b (注2)	CTS009# RTS009# SS009#	—	—	—	—	—	—
101110b (注2)	DE009	—	—	—	—	—	—

—：設定しないでください。

注1.　48ピン、32ピンの製品にはありません。

注2.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

21.2.10　P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ～ 2)

アドレス　P80PFS 0008 C180h, P81PFS 0008 C181h, P82PFS 0008 C182h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.11を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P80：IRQ5 (100ピン) P82：IRQ3 (100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.11　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	P80	P81	P82
000000b (初期値)	Hi-Z		
000001b	MTIC5W	MTIC5V	MTIC5U
000011b	MTIC5W#	MTIC5V#	MTIC5U#
000101b	TMRI4	TMCI4	TMO4
001010b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6
001100b	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	SCK12
011110b	COMP3	COMP4	COMP5

21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ～ 6)

アドレス　P90PFS 0008 C188h, P91PFS 0008 C189h, P92PFS 0008 C18Ah, P93PFS 0008 C18Bh, P94PFS 0008 C18Ch, P95PFS 0008 C18Dh, P96PFS 0008 C18Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.12を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P93：IRQ14 (48/64/80/100ピン) P95：IRQ1 (48/64/80/100ピン) P96：IRQ4 (64/80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.12　100ピン、80ピン、64ピン、48ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子						
	P90 (注1)	P91	P92	P93	P94	P95	P96 (注1)
000000b (初期値)	Hi-Z						
000001b	MTIOC7D	MTIOC7C	MTIOC6D	MTIOC7B	MTIOC7A	MTIOC6B	—
000010b	—	—	MTIOC6C	MTIOC6A	MTIOC2A	MTIOC1A	—
000011b	MTIOC7D#	MTIOC7C#	MTIOC6D#	MTIOC7B#	MTIOC7A#	MTIOC6B#	—
000100b	—	—	MTIOC6C#	MTIOC6A#	MTIOC2A#	MTIOC1A#	—
000101b	—	—	TMO2	TMO4	TMRI7	TMCI3	—
000111b	—	—	—	—	—	—	POE4#
001001b	—	—	—	ADTRG0#	—	ADTRG1# (注2)	—
001010b	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	—	—	—	RXD6 SMISO6 SSCL6	—
001101b	—	—	SSLA3	SSLA2	SSLA0	MISOA	—
001110b (注3)	SSL01	RSPCK0	MISO0	MOSI0	SSL00	SSL02	SSL03
010000b	—	—	CTX0	CRX0	—	—	—
010100b	GTIOC6B	GTIOC5B	GTIOC4B	GTIOC6A	GTIOC5A	GTIOC4A	GTETRGA
010101b	—	—	GTIOC7B	—	GTADSM0	GTIOC7A	GTETRGB
010110b	GTIOC6B#	GTIOC5B#	GTIOC4B#	GTIOC6A#	GTIOC5A#	GTIOC4A#	GTETRGC
010111b	—	—	GTIOC7B#	—	—	GTIOC7A#	GTETRGD
011000b	GTOWLO	GTOVLO	GTOULO	GTOWUP	GTOVUP	GTOUUP	GTCPPO4
101100b (注3)	—	—	SCK009	TXD009 TXDA009 SMOSI009 SSDA009	TXD009 TXDA009 SMOSI009 SSDA009	—	CTS008# RTS008# SS008#
101101b (注3)	—	—	TXD011 TXDA011 SMOSI011 SSDA011	RXD011 SMISO011 SSCL011	SCK008	RXD008 SMISO008 SSCL008	—
101110b (注3)	—	—	TXDB009	—	TXDB008	—	DE008
110011b (注3)	—	—	SSL03	SSL02	SSL00	MISO0	RSPCK0

—：設定しないでください。
注1.　48ピンの製品にはありません。
注2.　RAM容量が48Kバイトの製品にはありません。

注3.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

21.2.12　PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ～ 5)

アドレス　PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.13～表21.14を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PA1：IRQ14 (100ピン) PA5：IRQ1 (80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.13　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	PA0	PA1	PA2	PA3	PA4	PA5
000000b (初期値)	Hi-Z					
000001b	MTIOC6C	MTIOC6A	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A
000011b	MTIOC6C#	MTIOC6A#	MTIOC2B#	MTIOC2A#	MTIOC1B#	MTIOC1A#
000101b	TMO2	TMO4	TMO7	TMRI7	TMCI7	TMCI3
001001b	—	ADTRG0#	—	—	ADTRG0#	ADTRG1#
001010b	—	—	CTS6# RTS6# SS6#	—	SCK6	RXD6 SMISO6 SSCL6
001101b	SSLA3	SSLA2	SSLA1	SSLA0	RSPCKA	MISOA
001110b	SSL03	SSL02	SSL01	SSL00	RSPCK0	MISO0
010000b	CTX0	CRX0	—	—	—	—
010100b	—	—	GTADSM1	GTADSM0	—	—
011000b	—	GTCPPO4	—	—	—	—
101100b	SCK009	TXD009 TXDA009 SMOSI009 SSDA009	—	TXD009 TXDA009 SMOSI009 SSDA009	—	—
101101b	TXD011 TXDA011 SMOSI011 SSDA011	RXD011 SMISO011 SSCL011	RXD009 SMISO009 SSCL009	SCK008	TXD008 TXDA008 SMOSI008 SSDA008	RXD008 SMISO008 SSCL008
101110b	TXDB009	—	—	TXDB008	—	—

—：設定しないでください。

表21.14　80ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子	
	PA3	PA5
000000b (初期値)	Hi-Z	
000001b	MTIOC2A	MTIOC1A
000011b	MTIOC2A#	MTIOC1A#
000101b	TMRI7	TMCI3
001001b	—	ADTRG1#
001010b	—	RXD6 SMISO6 SSCL6
001101b	SSLA0	MISOA
001110b	SSL00	MISO0
010100b	GTADSM0	—
101100b	TXD009 TXDA009 SMOSI009 SSDA009	—
101101b	SCK008	RXD008 SMISO008 SSCL008
101110b	TXDB008	—

—：設定しないでください。

21.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ～ 7)

アドレス　PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.15～表21.16を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PB0：IRQ8 (48/64/80/100ピン) PB1：IRQ4 (32/48/64/80/100ピン) PB3：IRQ9 (32/48/64/80/100ピン) PB4：IRQ3 (48/64/80/100ピン) PB6：IRQ2 (48/64/80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.15　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
000000b (初期値)	Hi-Z							
000001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—	—
000011b	MTIOC0D#	MTIOC0C#	MTIOC0B#	MTIOC0A#	—	—	—	—
000101b	TMO0	TMCI0	TMRI0	—	—	—	—	—
000111b	—	—	—	CACREF	POE8#	—	—	—
001001b	ADTRG2#	ADSM1	ADSM0	—	—	—	—	—
001010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	CTS5# RTS5# SS5#	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	SCK5
001100b	—	—	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	SCK12
001101b	MOSIA	—	—	RSPCKA	MISOA	—	—	—
001110b	MOSI0	—	—	—	SSL01	RSPCK0	MISO0	SSL03
001111b	—	SCL0	SDA0	—	—	—	—	—
010000b	—	—	—	CTX0	CRX0	CTX0	CRX0	—
010100b	—	GTADSM1	GTADSM0	—	GTETRGA	GTIOC2B	GTIOC2A	GTIOC1B
010101b	—	GTIOC7B	GTIOC7A	—	GTETRGB	GTIOC3B	GTIOC3A	—
010110b	—	—	—	—	GTETRGC	GTIOC2B#	GTIOC2A#	GTIOC1B#
010111b	—	GTIOC7B#	GTIOC7A#	—	GTETRGD	GTIOC3B#	GTIOC3A#	—
011000b	—	GTIW	GTIV	GTIU	GTCPPO0	—	—	—
011101b	TIC2	TOC2	TIC1	TOC1	—	TIC0	TOC0	—
101100b	TXD008 TXDA008 SMOSI008 SSDA008	—	—	CTS009# RTS009# SS009#	CTS011# RTS011# SS011#	—	—	—
101101b	CTS011# RTS011# SS011#	—	—	—	SCK011	TXD011 TXDA011 SMOSI011 SSDA011	RXD011 SMISO011 SSCL011	SCK011
101110b	DE011	—	—	DE009	TXDB011	—	—	TXDB011
110010b	—	SCL00	SDA00	—	—	—	—	—

—：設定しないでください。

表21.16　80ピン、64ピン、48ピン、32ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子						
	PB0 (注1)	PB1	PB2	PB3	PB4 (注1)	PB5 (注1)	PB6 (注1)
000000b (初期値)	Hi-Z						
000001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—
000011b	MTIOC0D#	MTIOC0C#	MTIOC0B#	MTIOC0A#	—	—	—
000101b	TMO0	TMCI0	TMRI0	—	—	—	—
000111b	—	—	—	CACREF	POE8#	—	—
001001b	ADTRG2#	ADSM1	ADSM0	—	—	—	—
001010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	CTS5# RTS5# SS5#	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5
001100b	—	—	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12
001101b	MOSIA	—	—	RSPCKA (注1)	MISOA	—	—
001110b (注2)	MOSI0	—	—	—	SSL01	RSPCK0	MISO0
001111b	—	SCL0	SDA0	—	—	—	—
010000b	—	—	—	CTX0 (注1)	CRX0	CTX0	CRX0
010100b	—	GTADSM1	GTADSM0	—	GTETRGA	GTIOC2B	GTIOC2A
010101b	—	GTIOC7B	GTIOC7A	—	GTETRGB	GTIOC3B	GTIOC3A
010110b	—	—	—	—	GTETRGC	GTIOC2B#	GTIOC2A#
010111b	—	GTIOC7B#	GTIOC7A#	—	GTETRGD	GTIOC3B#	GTIOC3A#
011000b	—	GTIW	GTIV	GTIU	GTCPPO0	—	—
011101b	TIC2	TOC2	TIC1	TOC1	—	TIC0	TOC0
101100b (注2)	TXD008 TXDA008 SMOSI008 SSDA008	—	—	CTS009# RTS009# SS009#	CTS011# RTS011# SS011#	—	—
101101b (注2)	CTS011# RTS011# SS011#	—	—	—	SCK011	TXD011 TXDA011 SMOSI011 SSDA011	RXD011 SMISO011 SSCL011
101110b (注2)	DE011	—	—	DE009	TXDB011	—	—
110010b (注2)	—	SCL00	SDA00	—	—	—	—

—：設定しないでください。
注1.　32ピンの製品にはありません。
注2.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

21.2.14　PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ～ 7)

アドレス　PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh, PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.17～表21.20を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PD4：IRQ2 (64/80/100ピン) PD5：IRQ6 (32/48/64/80/100ピン) PD6：IRQ5 (64/80/100ピン) PD7：IRQ8 (32/48/64/80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.17　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
000000b (初期値)	Hi-Z							
000001b	—	—	—	—	—	—	MTIOC9C	MTIOC9A
000011b	—	—	—	—	—	—	MTIOC9C#	MTIOC9A#
000101b	TMO6	TMO2	TMCI1	TMO0	TMCI0	TMRI0	TMO1	TMRI1
000110b	—	—	TMO4	—	TMCI6	TMRI6	—	TMRI5
001001b	—	—	—	—	—	—	ADST0	—
001010b	—	—	SCK5	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	TXD5 SMOSI5 SSDA5
001100b	—	—	—	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	RXD12 SMISO12 SSCL12 RXDX12	—
001101b	RSPCKA	MISOA	MOSIA	—	—	—	SSLA0	SSLA1
001110b	RSPCK0	MISO0	MOSI0	MOSI0	SSL02	SSL00	SSL00	SSL01
010000b	—	—	—	—	—	—	—	CTX0
010100b	GTIOC3B	GTIOC3A	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
010101b	GTIOC1A	GTIOC0B	GTIOC0A	GTETRGC	GTETRGB	GTETRGA	GTIOC3B	GTIOC3A
010110b	GTIOC3B#	GTIOC3A#	GTIOC2B#	GTIOC2A#	GTIOC1B#	GTIOC1A#	GTIOC0B#	GTIOC0A#
010111b	GTIOC1A#	GTIOC0B#	GTIOC0A#	GTIOC7B	—	GTIOC7A	GTIOC3B#	GTIOC3A#
011000b	—	—	—	—	—	—	GTIW	GTIU
101100b	—	—	—	—	—	—	—	SCK009
101101b	TXD008 TXDA008 SMOSI008 SSDA008	RXD008 SMISO008 SSCL008	SCK008	TXD011 TXDA011 SMOSI011 SSDA011	SCK011	RXD011 SMISO011 SSCL011	CTS011# RTS011# SS011#	TXD008 TXDA008 SMOSI008 SSDA008
101110b	—	—	TXDB008	—	TXDB011	—	DE011	TXDB009

—：設定しないでください。

表21.18　80ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	PD2	PD3	PD4	PD5	PD6	PD7
000000b (初期値)	Hi-Z					
000001b	—	—	—	—	MTIOC9C	MTIOC9A
000011b	—	—	—	—	MTIOC9C#	MTIOC9A#
000101b	TMCI1	TMO0	TMCI0	TMRI0	TMO1	TMRI1
000110b	TMO4	—	TMCI6	TMRI6	—	TMRI5
001001b	—	—	—	—	ADST0	—
001010b	SCK5	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	TXD5 SMOSI5 SSDA5
001100b	—	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	RXD12 SMISO12 SSCL12 RXDX12	—
001101b	MOSIA	—	—	—	SSLA0	SSLA1
001110b	MOSI0	MOSI0	SSL02	SSL00	SSL00	SSL01
010000b	—	—	—	—	—	CTX0
010100b	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
010101b	GTIOC0A	GTETRGC	GTETRGB	GTETRGA	GTIOC3B	GTIOC3A
010110b	GTIOC2B#	GTIOC2A#	GTIOC1B#	GTIOC1A#	GTIOC0B#	GTIOC0A#
010111b	GTIOC0A#	GTIOC7B	—	GTIOC7A	GTIOC3B#	GTIOC3A#
011000b	—	—	—	—	GTIW	GTIU
101100b	—	—	—	—	—	SCK009
101101b	SCK008	TXD011 TXDA011 SMOSI011 SSDA011	SCK011	RXD011 SMISO011 SSCL011	CTS011# RTS011# SS011#	TXD008 TXDA008 SMOSI008 SSDA008
101110b	TXDB008	—	TXDB011	—	DE011	TXDB009

—：設定しないでください。

表21.19　64ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子				
	PD3	PD4	PD5	PD6	PD7
000000b (初期値)	Hi-Z				
000001b	—	—	—	MTIOC9C	MTIOC9A
000011b	—	—	—	MTIOC9C#	MTIOC9A#
000101b	TMO0	TMCI0	TMRI0	TMO1	TMRI1
000110b	—	TMCI6	TMRI6	—	TMRI5
001001b	—	—	—	ADST0	—
001010b	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	TXD5 SMOSI5 SSDA5
001100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	RXD12 SMISO12 SSCL12 RXDX12	—
001101b	—	—	—	SSLA0	SSLA1
001110b (注1)	MOSI0	SSL02	SSL00	SSL00	SSL01
010000b	—	—	—	—	CTX0
010100b	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
010101b	GTETRGC	GTETRGB	GTETRGA	GTIOC3B	GTIOC3A
010110b	GTIOC2A#	GTIOC1B#	GTIOC1A#	GTIOC0B#	GTIOC0A#
010111b	GTIOC7B	—	GTIOC7A	GTIOC3B#	GTIOC3A#
011000b	—	—	—	GTIW	GTIU
101100b (注1)	—	—	—	—	SCK009
101101b (注1)	TXD011 TXDA011 SMOSI011 SSDA011	SCK011	RXD011 SMISO011 SSCL011	CTS011# RTS011# SS011#	TXD008 TXDA008 SMOSI008 SSDA008
101110b (注1)	—	TXDB011	—	DE011	TXDB009

—：設定しないでください。

注1.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

表21.20　48ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	PD3	PD5	PD7
000000b (初期値)	Hi-Z		
000001b	—	—	MTIOC9A
000011b	—	—	MTIOC9A#
000101b	TMO0	TMRI0	TMRI1
000110b	—	TMRI6	TMRI5
001010b	TXD1 SMOSI1 SSDA1	RXD1 SMISO1 SSCL1	TXD5 SMOSI5 SSDA5
001101b	—	—	SSLA1
001110b (注1)	MOSI0	SSL00	SSL01
010000b	—	—	CTX0
010100b	GTIOC2A	GTIOC1A	GTIOC0A
010101b	GTETRGC	GTETRGA	GTIOC3A
010110b	GTIOC2A#	GTIOC1A#	GTIOC0A#
010111b	GTIOC7B	GTIOC7A	GTIOC3A#
011000b	—	—	GTIU
101100b (注1)	—	—	SCK009
101101b (注1)	TXD011 TXDA011 SMOSI011 SSDA011	RXD011 SMISO011 SSCL011	TXD008 TXDA008 SMOSI008 SSDA008
101110b (注1)	—	—	TXDB009

—：設定しないでください。

注1.　RAM容量が48Kバイトの製品ではこの値を設定しないでください。

表21.21　32ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	PD3	PD5	PD7
000000b (初期値)	Hi-Z		
000001b	—	—	MTIOC9A
000011b	—	—	MTIOC9A#
000101b	TMO0	TMRI0	TMRI1
000110b	—	TMRI6	TMRI5
001010b	TXD1 SMOSI1 SSDA1	RXD1 SMISO1 SSCL1	—
010100b	GTIOC2A	GTIOC1A	GTIOC0A
010101b	GTETRGC	GTETRGA	GTIOC3A
010110b	GTIOC2A#	GTIOC1A#	GTIOC0A#
010111b	GTIOC7B	GTIOC7A	GTIOC3A#
011000b	—	—	GTIU

—：設定しないでください。

21.2.15 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ～ 5)

アドレス　PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h, PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.22～表21.24を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PE0：IRQ7 (100ピン) PE1：IRQ15 (100ピン) PE2：IRQ0 (32/48/64/80/100ピン) PE3：IRQ2 (80/100ピン) PE4：IRQ1 (80/100ピン) PE5：IRQ0 (100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.22　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
000000b (初期値)	Hi-Z					
000001b	MTIOC9B	MTIOC9D	—	—	—	MTIOC9D
000010b	—	—	—	MTCLKD	MTCLKC	—
000011b	MTIOC9B#	MTIOC9D#	—	—	—	MTIOC9D#
000100b	—	—	—	MTCLKD#	MTCLKC#	—
000101b	TMCI1	TMO5	—	—	—	—
000110b	TMCI5	—	—	—	—	—
000111b	—	—	POE10#	POE11#	POE10#	—
001001b	—	—	—	—	—	ADST0
001010b	RXD5 SMISO5 SSCL5	CTS5# RTS5# SS5#	—	—	—	—
001100b	—	CTS12# RTS12# SS12#	—	—	—	—
001101b	SSLA2	SSLA3	—	—	—	—
001110b	SSL02	SSL03	—	—	—	—
010000b	CRX0	—	—	—	—	—
010100b	—	—	—	GTETRGA	GTETRGA	GTIOC3A
010101b	—	—	—	GTETRGB	GTETRGB	GTETRGB
010110b	—	—	—	GTETRGC	GTETRGC	GTIOC3A#
010111b	—	—	—	GTETRGD	GTETRGD	GTETRGD
011000b	GTIV	—	—	—	—	—
101100b	—	—	—	CTS009# RTS009# SS009#	SCK009	SCK009
101101b	—	—	—	—	—	CTS009# RTS009# SS009#
101110b	—	—	—	DE009	TXDB009	TXDB009

—：設定しないでください。

表21.23　80ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	PE2	PE3	PE4
000000b (初期値)	Hi-Z		
000010b	—	MTCLKD	MTCLKC
000100b	—	MTCLKD#	MTCLKC#
000111b	POE10#	POE11#	POE10#
010100b	—	GTETRGA	GTETRGA
010101b	—	GTETRGB	GTETRGB
010110b	—	GTETRGC	GTETRGC
010111b	—	GTETRGD	GTETRGD
101100b	—	CTS009# RTS009# SS009#	SCK009
101110b	—	DE009	TXDB009

—：設定しないでください。

表21.24　64ピン、48ピン、32ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子
	PE2
000000b (初期値)	Hi-Z
000111b	POE10#

21.2.16　PN7 端子機能制御レジスタ (PN7PFS)

アドレス　PN7PFS 0008 C1F7h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.25を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PN7：IRQ5 (64/80/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.25　100ピン、80ピン、64ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子
	PN7
000000b (初期値)	Hi-Z
000001b	MTIOC9D
000011b	MTIOC9D#
001001b	ADST0

21.3 使用上の注意事項

21.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

(1) 当該端子のポートモードレジスタ (PMR) を “0” にして汎用入出力ポートに設定します。
(2) 周辺モジュールにおいて、当該端子にアサインする入出力信号を設定します。
(3) 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします。(m = 0 ～ 9, A, B, D, E, N, n = 0 ～ 7)
(4) PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します。
(5) PWPR.PFSWE ビットを “0” にして、PmnPFS レジスタへの書き込み禁止してください。
(6) 必要に応じて PMR レジスタを “1” にして、選択された端子入出力機能に切り替えます。

21.3.2 MPC レジスタ設定する場合の注意事項

(1) Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが “0” の状態で設定してください。当該端子の PMR レジスタが “1” の状態で PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は意図しないパルスが出力されたりする可能性があります。
(2) PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合動作は保証されません。
(3) MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
(4) ポート 2、4 ～ 6 は A/D コンバータ、コンパレータおよび D/A コンバータのアナログ入出力端子の機能も兼ねています。アナログ入出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットおよびポート方向レジスタ (PDR) の当該ビットを “0” にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを “1” にしてください。
(5) 複数の機能が割り当てられている端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を**表 21.26** に示します。端子状態の読み出しは、ASEL ビットが “0” のとき可能です。PSEL[5:0] ビットの変更は、PMR.Bn ビットが “0” のときに行ってください。

表21.26　レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[5:0]	
リセット解除後	0	0	0	0	000000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能(表21.2～表21.25参照)	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x(注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x(注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
JTAGインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
FINEインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
EXTAL/XTAL	0	0	x	x(注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x：設定不要
0/1：PmnPFS.ISEL ビットを “0” にすれば、IRQ 端子として機能しません
　　PmnPFS.ISEL ビットを “1” にすれば、IRQ 端子として機能します (IRQ がアサインされている場合)
注1.　PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

注 .　・端子状態の読み出しは、PmnPFS.ASEL ビットが “0” のとき可能です。
　　・PmnPFS.PSEL[5:0] ビットの変更は、PMR.Bn ビットが “0” の状態で行ってください。
　　・RIIC、RI3C をアサインしたポートは、PCR.Bn ビットを “0” にしてください (RIIC、RI3C 以外の周辺機能出力では自動的にプルアップが OFF になります)。

21.3.3　アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを “0”、ポート方向レジスタ (PDR) の当該ビットを “0” にし、当該端子を汎用入力ポートにしてから、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を “1” にしてください。

21.3.4　POE3 の汎用入出力ポート切り替え制御の注意事項

POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ (n = 0 ～ 3) の当該ビットを “1” にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ (n = 0 ～ 3) のビットを “0” にしてください。

21.3.5 MTU、GPTW 入出力端子の反転入出力機能についての注意事項

表 21.27 に示す MTU、GPTW 入出力端子は、当該端子の PmnPFS.PSEL[5:0] ビットの設定により、入力信号を 反転して取り込み、出力信号を反転して出力させることができます。正転入出力状態と反転入出力状態を切り替える場合は、当該端子の PMR レジスタが “0” の状態で設定してください。

表21.27　MTU、GPTW入出力端子 (1 / 2)

モジュール/機能	チャネル	正転入出力	反転入出力
マルチファンクション タイマユニット3	MTU0	MTIOC0A	MTIOC0A#
		MTIOC0B	MTIOC0B#
		MTIOC0C	MTIOC0C#
		MTIOC0D	MTIOC0D#
	MTU1	MTIOC1A	MTIOC1A#
		MTIOC1B	MTIOC1B#
	MTU2	MTIOC2A	MTIOC2A#
		MTIOC2B	MTIOC2B#
	MTU3	MTIOC3A	MTIOC3A#
		MTIOC3B	MTIOC3B#
		MTIOC3C	MTIOC3C#
		MTIOC3D	MTIOC3D#
	MTU4	MTIOC4A	MTIOC4A#
		MTIOC4B	MTIOC4B#
		MTIOC4C	MTIOC4C#
		MTIOC4D	MTIOC4D#
	MTU5	MTIC5U	MTIC5U#
		MTIC5V	MTIC5V#
		MTIC5W	MTIC5W#
	MTU6	MTIOC6A	MTIOC6A#
		MTIOC6B	MTIOC6B#
		MTIOC6C	MTIOC6C#
		MTIOC6D	MTIOC6D#
	MTU7	MTIOC7A	MTIOC7A#
		MTIOC7B	MTIOC7B#
		MTIOC7C	MTIOC7C#
		MTIOC7D	MTIOC7D#
	MTU9	MTIOC9A	MTIOC9A#
		MTIOC9B	MTIOC9B#
		MTIOC9C	MTIOC9C#
		MTIOC9D	MTIOC9D#
	MTU	MTCLKA	MTCLKA#
		MTCLKB	MTCLKB#
		MTCLKC	MTCLKC#
		MTCLKD	MTCLKD#

表21.27　MTU、GPTW入出力端子 (2 / 2)

モジュール/機能	チャネル	正転入出力	反転入出力
汎用PWMタイマ	GPTW0	GTIOC0A	GTIOC0A#
		GTIOC0B	GTIOC0B#
	GPTW1	GTIOC1A	GTIOC1A#
		GTIOC1B	GTIOC1B#
	GPTW2	GTIOC2A	GTIOC2A#
		GTIOC2B	GTIOC2B#
	GPTW3	GTIOC3A	GTIOC3A#
		GTIOC3B	GTIOC3B#
	GPTW4	GTIOC4A	GTIOC4A#
		GTIOC4B	GTIOC4B#
	GPTW5	GTIOC5A	GTIOC5A#
		GTIOC5B	GTIOC5B#
	GPTW6	GTIOC6A	GTIOC6A#
		GTIOC6B	GTIOC6B#
	GPTW7	GTIOC7A	GTIOC7A#
		GTIOC7B	GTIOC7B#

22. マルチファンクションタイマパルスユニット 3 (MTU3d)

22.1 概要

本 MCU は、9 チャネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3d) を内蔵しています。

表 22.1 に MTU の仕様を、**表 22.2** に MTU の機能一覧を示します。また、**図 22.1**、**図 22.2** に MTU のブロック図を示します。

表22.1　MTUの仕様

項目	内容
パルス入出力	最大28本
パルス入力	3本
カウントクロック	チャネルごとに11種類(MTU0、MTU9は14種類、MTU2は12種類、MTU5は10種類、MTU1 & MTU2 (LWA = 1のとき)は4種類)
設定可能動作	【MTU0～MTU4, MTU6, MTU7, MTU9】 • コンペアマッチによる波形出力 • インプットキャプチャ機能(ノイズフィルタ設定可能) • カウンタクリア動作 • 複数のタイマカウンタ(TCNT)への同時書き込み • コンペアマッチ/インプットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大14相のPWM出力
	【MTU0, MTU3, MTU4, MTU6, MTU7, MTU9】 • バッファ動作を設定可能
	【MTU1, MTU2】 • 独立に位相計数モードを設定可能 • MTU1、MTU2連動の32ビット位相計数モードを設定可能(TMDR3.LWA = 1設定時) • カスケード接続動作が可能
	【MTU3, MTU4, MTU6, MTU7】 • MTU3/MTU4、およびMTU6/MTU7の連動動作による相補PWM、リセット同期PWM動作で、6相のポジ/ネガ計12相の出力が可能 • 相補PWMモード時、タイマカウンタの山または谷のとき、またはバッファレジスタ(MTU4.TGRD, MTU7.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 • 相補PWMモードでダブルバッファ機能を設定可能
	【MTU3, MTU4】 • MTU0と連動させて、相補PWM、リセット同期PWMを用いたAC同期モータ(ブラシレスDCモータ)駆動モードが設定可能で、2種類(チョッピング、レベル)の波形出力が選択可能
	【MTU5】 • デッドタイム補償用カウンタとして使用することが可能
	【MTU6, MTU7】 • MTU9と連動させて、相補PWM、リセット同期PWMを用いたAC同期モータ(ブラシレスDCモータ)駆動モードが設定可能で、2種類(チョッピング、レベル)の波形出力が選択可能
割り込み間引き機能	相補PWMモード時に、カウンタの山、谷での割り込み、およびA/Dコンバータの変換スタートトリガを間引くことが可能
割り込み要因	45種類
バッファ動作	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
	A/D変換開始要求のディレイド機能により、任意のタイミングでA/D変換開始が可能。またPWM出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

表22.2　MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU9
カウントクロック	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTIOC1A	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKA MTCLKB MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—	—	—	—
ジェネラルレジスタ(TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRE
ジェネラルレジスタ/バッファレジスタ	TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	TGRC TGRD TGRF
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	MTIOC9A MTIOC9B MTIOC9C MTIOC9D
カウンタクリア機能	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRALW/TGRBLWのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力 0出力	○	○	○	○	○	○	—	○	○	○
コンペアマッチ出力 1出力	○	○	○	○	○	○	—	○	○	○
コンペアマッチ出力 トグル出力	○	○	○	○	○	○	—	○	○	○
インプットキャプチャ機能	○	○	○	○(注1)	○	○	○	○	○	○
同期動作	○	○	○	—	○	○	—	○	○	○
PWMモード1	○	○	○	—	○	○	—	○	○	○
PWMモード2	○	○	○	—	—	—	—	—	—	○
相補PWMモード	—	—	—	—	○	○	—	○	○	—
リセット同期PWMモード	—	—	—	—	○	○	—	○	○	—
AC同期モータ駆動モード	○	—	—	—	○	○	—	○	○	○
位相計数モード	—	○	○	○	—	—	—	—	—	—
バッファ動作	○	—	—	—	○	○	—	○	○	○
デッドタイム補償用カウンタ機能	—	—	—	—	—	—	○	—	—	—
DMAC/DTCの起動	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRALW/TGRBLWのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャとTCNTオーバフロー/アンダフロー(注2)	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャとTCNTオーバフロー/アンダフロー(注2)	TGRのコンペアマッチまたはインプットキャプチャ
A/D変換開始トリガ	TGRAのコンペアマッチまたはインプットキャプチャ TGREのコンペアマッチ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRALWのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー(谷)	—	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー(谷)	TGRAのコンペアマッチまたはインプットキャプチャ TGREのコンペアマッチ

表22.2　MTUの機能一覧 (2/2)

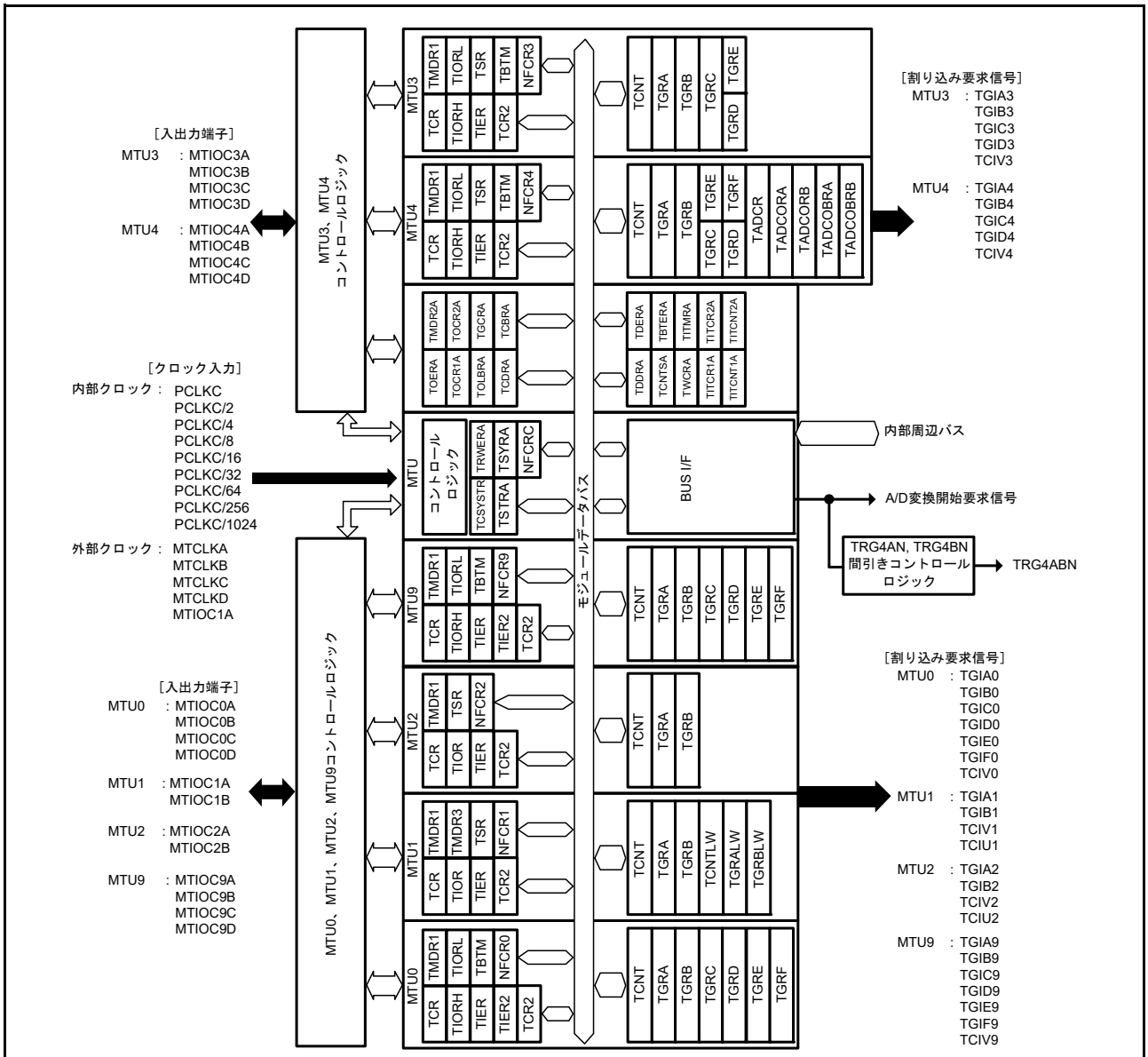
項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU9
割り込み要因	7要因 • コンペアマッチ/インプットキャプチャ 0A • コンペアマッチ/インプットキャプチャ 0B • コンペアマッチ/インプットキャプチャ 0C • コンペアマッチ/インプットキャプチャ 0D • コンペアマッチ0E • コンペアマッチ0F • オーバフロー	4要因 • コンペアマッチ/インプットキャプチャ 1A • コンペアマッチ/インプットキャプチャ 1B • オーバフロー • アンダフロー	4要因 • コンペアマッチ/インプットキャプチャ 2A • コンペアマッチ/インプットキャプチャ 2B • オーバフロー • アンダフロー	4要因 • コンペアマッチ/インプットキャプチャ 1A • コンペアマッチ/インプットキャプチャ 1B • オーバフロー • アンダフロー	5要因 • コンペアマッチ/インプットキャプチャ 3A • コンペアマッチ/インプットキャプチャ 3B • コンペアマッチ/インプットキャプチャ 3C • コンペアマッチ/インプットキャプチャ 3D • オーバフロー	5要因 • コンペアマッチ/インプットキャプチャ 4A • コンペアマッチ/インプットキャプチャ 4B • コンペアマッチ/インプットキャプチャ 4C • コンペアマッチ/インプットキャプチャ 4D • オーバフロー/アンダフロー(注2)	3要因 • コンペアマッチ/インプットキャプチャ 5U • コンペアマッチ/インプットキャプチャ 5V • コンペアマッチ/インプットキャプチャ 5W	5要因 • コンペアマッチ/インプットキャプチャ 6A • コンペアマッチ/インプットキャプチャ 6B • コンペアマッチ/インプットキャプチャ 6C • コンペアマッチ/インプットキャプチャ 6D • オーバフロー	5要因 • コンペアマッチ/インプットキャプチャ 7A • コンペアマッチ/インプットキャプチャ 7B • コンペアマッチ/インプットキャプチャ 7C • コンペアマッチ/インプットキャプチャ 7D • オーバフロー/アンダフロー(注2)	7要因 • コンペアマッチ/インプットキャプチャ 9A • コンペアマッチ/インプットキャプチャ 9B • コンペアマッチ/インプットキャプチャ 9C • コンペアマッチ/インプットキャプチャ 9D • コンペアマッチ9E • コンペアマッチ9F • オーバフロー
イベントリンク機能(出力)	7要因 • コンペアマッチ0A • コンペアマッチ0B • コンペアマッチ0C • コンペアマッチ0D • コンペアマッチ0E • コンペアマッチ0F • オーバフロー	—	—	—	5要因 • コンペアマッチ3A • コンペアマッチ3B • コンペアマッチ3C • コンペアマッチ3D • オーバフロー	6要因 • コンペアマッチ4A • コンペアマッチ4B • コンペアマッチ4C • コンペアマッチ4D • オーバフロー • アンダフロー(注2)	—	5要因 • コンペアマッチ6A • コンペアマッチ6B • コンペアマッチ6C • コンペアマッチ6D • オーバフロー	6要因 • コンペアマッチ7A • コンペアマッチ7B • コンペアマッチ7C • コンペアマッチ7D • オーバフロー • アンダフロー(注2)	7要因 • コンペアマッチ9A • コンペアマッチ9B • コンペアマッチ9C • コンペアマッチ9D • コンペアマッチ9E • コンペアマッチ9F • オーバフロー
イベントリンク機能(入力)	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	—	—	—	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	—	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作
A/D変換開始要求ディレイド機能	—	—	—	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能1	—	—	—	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注3)									

○：可能　—：不可能

注1.　LWA = 1の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ/インプットキャプチャイベントから選択可能です。TGRBLWのキャプチャ要因はMTIOC1Bからの入力、MTU0.TGRCのコンペアマッチ/インプットキャプチャイベントから選択可能です。

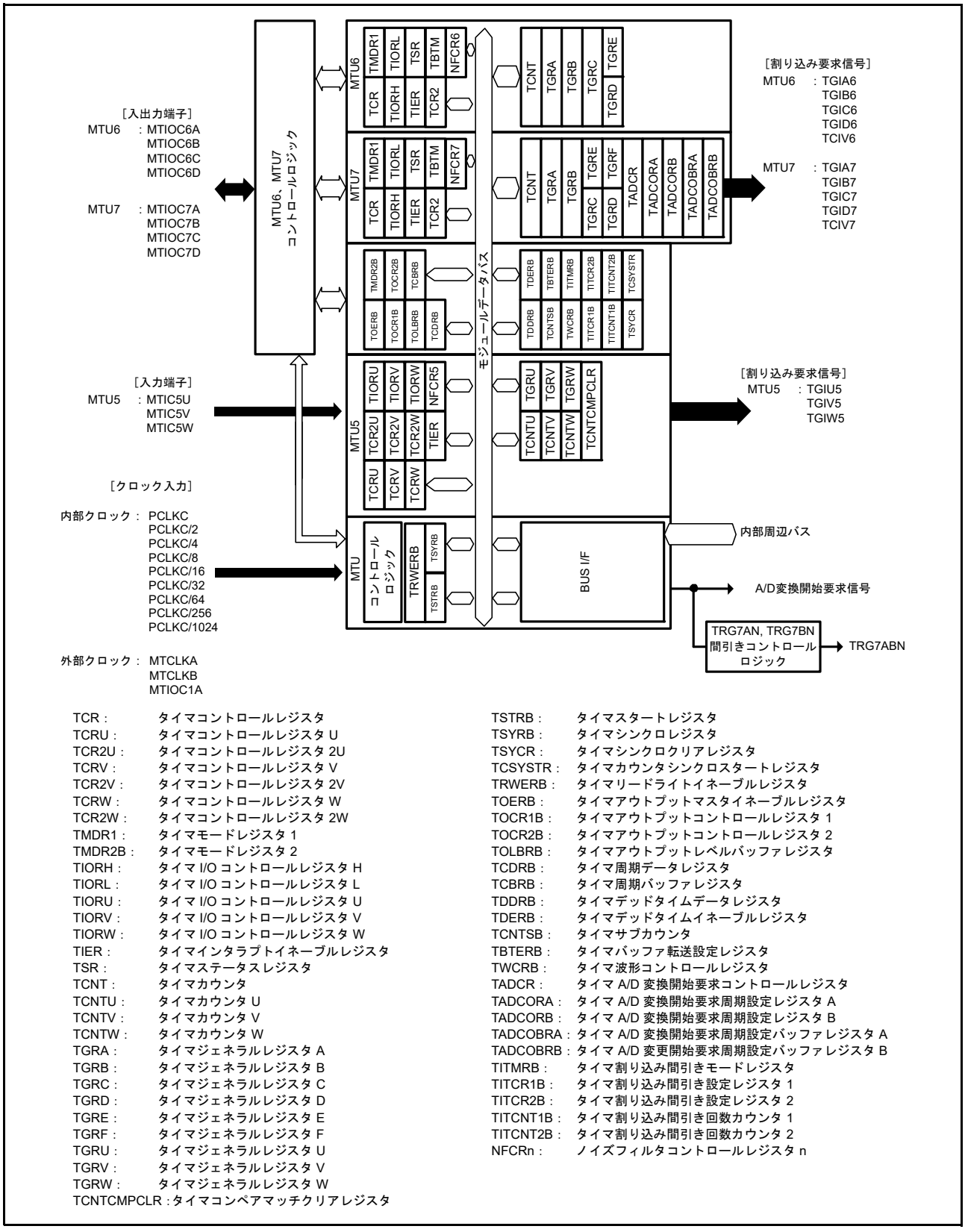
注2.　アンダフローは相補PWMモード時のみ有効。

注3.　モジュールストップの詳細については、「11.　消費電力低減機能」を参照してください。



TCR : タイマコントロールレジスタ
TCR2 : タイマコントロールレジスタ 2
TMDR1 : タイマモードレジスタ 1
TMDR2A : タイマモードレジスタ 2
TMDR3 : タイマモードレジスタ 3
TIOR : タイマ I/O コントロールレジスタ
TIORH : タイマ I/O コントロールレジスタ H
TIORL : タイマ I/O コントロールレジスタ L
TIER : タイマインタラプトイネーブルレジスタ
TIER2 : タイマインタラプトイネーブルレジスタ 2
TSR : タイマステータスレジスタ
TBTM : タイマバッファ動作転送モードレジスタ
TCNT : タイマカウンタ
TCNTLW : タイマロングワードカウンタ
TGRA : タイマジェネラルレジスタ A
TGRALW : タイマロングワードジェネラルレジスタ A
TGRB : タイマジェネラルレジスタ B
TGRBLW : タイマロングワードジェネラルレジスタ B
TGRC : タイマジェネラルレジスタ C
TGRD : タイマジェネラルレジスタ D
TGRE : タイマジェネラルレジスタ E
TGRF : タイマジェネラルレジスタ F
TSTRA : タイマスタートレジスタ
TSYRA : タイマシンクロレジスタ
TCSYSTR : タイマカウンタシンクロスタートレジスタ
TRWERA : タイマリードライトイネーブルレジスタ
TOERA: タイマアウトプットマスタイネーブルレジスタ
TOCR1A : タイマアウトプットコントロールレジスタ 1
TOCR2A : タイマアウトプットコントロールレジスタ 2
TOLBRA : タイマアウトプットレベルバッファレジスタ
TGCRA : タイマゲートコントロールレジスタ A
TCNTSA : タイマサブカウンタ
TCDRA : タイマ周期データレジスタ
TCBRA : タイマ周期バッファレジスタ
TDDRA : タイマデッドタイムデータレジスタ
TDERA : タイマデッドタイムイネーブルレジスタ
TBTERA : タイマバッファ転送設定レジスタ
TWCRA : タイマ波形コントロールレジスタ
TICCR : タイマインプットキャプチャコントロールレジスタ
TADCR : タイマ A/D 変換開始要求コントロールレジスタ
TADCORA : タイマ A/D 変換開始要求周期設定レジスタ A
TADCORB : タイマ A/D 変換開始要求周期設定レジスタ B
TADCOBRA : タイマ A/D 変換開始要求周期設定バッファレジスタ A
TADCOBRB : タイマ A/D 変換開始要求周期設定バッファレジスタ B
TITMRA : タイマ割り込み間引きモードレジスタ
TITCR1A : タイマ割り込み間引き設定レジスタ 1
TITCR2A : タイマ割り込み間引き設定レジスタ 2
TITCNT1A : タイマ割り込み間引き回数カウンタ 1
TITCNT2A : タイマ割り込み間引き回数カウンタ 2
NFCRn : ノイズフィルタコントロールレジスタ n

図 22.1　MTU のブロック図 (MTU0 ～ MTU4, MTU9)



TCR：　タイマコントロールレジスタ
TCRU：　タイマコントロールレジスタ U
TCR2U：　タイマコントロールレジスタ 2U
TCRV：　タイマコントロールレジスタ V
TCR2V：　タイマコントロールレジスタ 2V
TCRW：　タイマコントロールレジスタ W
TCR2W：　タイマコントロールレジスタ 2W
TMDR1：　タイマモードレジスタ 1
TMDR2B：　タイマモードレジスタ 2
TIORH：　タイマ I/O コントロールレジスタ H
TIORL：　タイマ I/O コントロールレジスタ L
TIORU：　タイマ I/O コントロールレジスタ U
TIORV：　タイマ I/O コントロールレジスタ V
TIORW：　タイマ I/O コントロールレジスタ W
TIER：　タイマインタラプトイネーブルレジスタ
TSR：　タイマステータスレジスタ
TCNT：　タイマカウンタ
TCNTU：　タイマカウンタ U
TCNTV：　タイマカウンタ V
TCNTW：　タイマカウンタ W
TGRA：　タイマジェネラルレジスタ A
TGRB：　タイマジェネラルレジスタ B
TGRC：　タイマジェネラルレジスタ C
TGRD：　タイマジェネラルレジスタ D
TGRE：　タイマジェネラルレジスタ E
TGRF：　タイマジェネラルレジスタ F
TGRU：　タイマジェネラルレジスタ U
TGRV：　タイマジェネラルレジスタ V
TGRW：　タイマジェネラルレジスタ W
TCNTCMPCLR：タイマコンペアマッチクリアレジスタ

TSTRB：　タイマスタートレジスタ
TSYRB：　タイマシンクロレジスタ
TSYCR：　タイマシンクロクリアレジスタ
TCSYSTR：　タイマカウンタシンクロスタートレジスタ
TRWERB：　タイマリードライトイネーブルレジスタ
TOERB：　タイマアウトプットマスタイネーブルレジスタ
TOCR1B：　タイマアウトプットコントロールレジスタ 1
TOCR2B：　タイマアウトプットコントロールレジスタ 2
TOLBRB：　タイマアウトプットレベルバッファレジスタ
TCDRB：　タイマ周期データレジスタ
TCBRB：　タイマ周期バッファレジスタ
TDDRB：　タイマデッドタイムデータレジスタ
TDERB：　タイマデッドタイムイネーブルレジスタ
TCNTSB：　タイマサブカウンタ
TBTERB：　タイマバッファ転送設定レジスタ
TWCRB：　タイマ波形コントロールレジスタ
TADCR：　タイマ A/D 変換開始要求コントロールレジスタ
TADCORA：　タイマ A/D 変換開始要求周期設定レジスタ A
TADCORB：　タイマ A/D 変換開始要求周期設定レジスタ B
TADCOBRA：タイマ A/D 変換開始要求周期設定バッファレジスタ A
TADCOBRB：タイマ A/D 変更開始要求周期設定バッファレジスタ B
TITMRB：　タイマ割り込み間引きモードレジスタ
TITCR1B：　タイマ割り込み間引き設定レジスタ 1
TITCR2B：　タイマ割り込み間引き設定レジスタ 2
TITCNT1B：　タイマ割り込み間引き回数カウンタ 1
TITCNT2B：　タイマ割り込み間引き回数カウンタ 2
NFCRn：　ノイズフィルタコントロールレジスタ n

図 22.2　MTU のブロック図 (MTU5 ～ MTU7)

表 22.3 に MTU で使用する入出力端子を示します。

表22.3　MTUの入出力端子

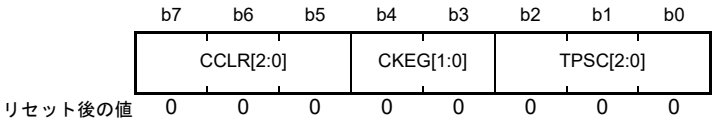
チャネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子(MTU1、MTU2の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子(MTU1、MTU2の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子(MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子(MTU2の位相計数モードB相入力)
	ADSM0	出力	A/D変換開始要求フレーム同期信号0出力端子
	ADSM1	出力	A/D変換開始要求フレーム同期信号1出力端子
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU9	MTIOC9A	入出力	MTU9.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9B	入出力	MTU9.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9C	入出力	MTU9.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9D	入出力	MTU9.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

22.2　レジスタの説明

22.2.1　タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR, MTU6.TCR, MTU7.TCR, MTU9.TCR

アドレス　MTU0.TCR 000C 1300h, MTU1.TCR 000C 1380h, MTU2.TCR 000C 1400h, MTU3.TCR 000C 1200h, MTU4.TCR 000C 1201h, MTU6.TCR 000C 1A00h, MTU7.TCR 000C 1A01h, MTU9.TCR 000C 1580h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表22.6～表22.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表22.4、表22.5を参照してください	R/W

x：Don’t care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は**表 22.6 ～表 22.9** を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

カウントクロックソース（MTIOC1A 端子含む）のエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります（例：PCLKC/4 の両エッジ = PCLKC/2 の立ち上がりエッジ）。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLKC/2 もしくはそれより遅い場合に有効です。カウントクロックソースに PCLKC/1、あるいは他のチャネルのオーバフロー / アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット（カウンタクリア要因選択ビット）

TCNT のカウンタクリア要因を選択します。詳細は**表 22.4、表 22.5** を参照してください。

表22.4　CCLR[2:0] (MTU0, MTU3, MTU4, MTU6, MTU7, MTU9)

チャネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0 MTU3 MTU4 MTU6 MTU7 MTU9	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア(注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア(注1)

注1.　同期動作の設定は、TSYRA.SYNCnビット、TSYRB.SYNCnビットを“1”にすることにより行います。
注2.　TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表22.5　CCLR[2:0] (MTU1, MTU2)

チャネル	ビット7	ビット6	ビット5	説明
	予約ビット(注2)	CCLR[1]	CCLR[0]	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRALWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRBLWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア(注1)

注1.　同期動作の設定は、TSYRA.SYNCnビット、TSYRB.SYNCnビットを“1”にすることにより行います。
注2.　MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス　MTU5.TCRU 000C 1C84h, MTU5.TCRV 000C 1C94h, MTU5.TCRW 000C 1CA4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TPSC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケーラ選択ビット	表22.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPSC[1:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。詳細は**表 22.10** を参照してください。

22.2.2　タイマコントロールレジスタ 2 (TCR2)

- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2, MTU6.TCR2, MTU7.TCR2, MTU9.TCR2

アドレス　MTU0.TCR2 000C 1328h, MTU3.TCR2 000C 124Ch, MTU4.TCR2 000C 124Dh, MTU6.TCR2 000C 1A4Ch, MTU7.TCR2 000C 1A4Dh, MTU9.TCR2 000C 15A8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

- MTU1.TCR2, MTU2.TCR2

アドレス　MTU1.TCR2 000C 1394h, MTU2.TCR2 000C 140Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCB[1:0]		TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表22.6～表22.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 には TCR2U/V/W の 3 本、計 11 本の TCR2 レジスタがあります。TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は**表 22.6 ～表 22.9** を参照してください。

PCB[1:0] ビット（位相計数モード機能拡張制御ビット）

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は**「22.3.6　位相計数モード」**を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス　MTU5.TCR2U 000C 1C85h, MTU5.TCR2V 000C 1C95h, MTU5.TCR2W 000C 1CA5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CKEG[1:0]		TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表22.10を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x：Don’t care

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。詳細は表 22.10 を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

MTIOC1A 端子によるカウントクロックソースのエッジを選択します。

表22.6　TPSC[2:0], TPSC2[2:0] (MTU0, MTU9)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0 MTU9	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKD端子入力でカウント
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	内部クロック：PCLKC/256でカウント
	1	0	1	x	x	x	内部クロック：PCLKC/1024でカウント
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	外部クロック：MTIOC1A端子入力でカウント

x：Don't care

表22.7　TPSC[2:0], TPSC2[2:0] (MTU1)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック：PCLKC/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー/アンダフロー
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	内部クロック：PCLKC/1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

注.　MTU1が位相計数モード時、この設定は無効になります。

表22.8　TPSC[2:0], TPSC2[2:0] (MTU2)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック：PCLKC/1024でカウント
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	内部クロック：PCLKC/256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

注.　MTU2が位相計数モード時、この設定は無効になります。

表22.9　TPSC[2:0], TPSC2[2:0] (MTU3, MTU4, MTU6, MTU7)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3 MTU4 MTU6 MTU7	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	内部クロック：PCLKC/256でカウント
	0	0	0	1	0	1	内部クロック：PCLKC/1024でカウント
	0	0	0	1	1	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKB端子入力でカウント
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

表22.10　TPSC[1:0], TPSC2[2:0] (MTU5)

チャネル	TCR2レジスタ			TCRレジスタ		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[1]	TPSC[0]	
MTU5	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	1	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	内部クロック：PCLKC/256でカウント
	1	0	1	x	x	内部クロック：PCLKC/1024でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック：MTIOC1A端子入力

x：Don't care

22.2.3　タイマモードレジスタ 1 (TMDR1)

- MTU0.TMDR1, MTU9.TMDR1

アドレス　MTU0.TMDR1 000C 1301h, MTU9.TMDR1 000C 1581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BFE	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

- MTU1.TMDR1, MTU2.TMDR1

アドレス　MTU1.TMDR1 000C 1381h, MTU2.TMDR1 000C 1401h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TMDR1, MTU4.TMDR1, MTU6.TMDR1, MTU7.TMDR1

アドレス　MTU3.TMDR1 000C 1202h, MTU4.TMDR1 000C 1203h, MTU6.TMDR1 000C 1A02h, MTU7.TMDR1 000C 1A03h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表22.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0：TGRAとTGRCレジスタは通常動作 1：TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0：TGRBとTGRDレジスタは通常動作 1：TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0：MTU0.TGREとMTU0.TGRF、MTU9.TGREとMTU9.TGRFは通常動作 1：MTU0.TGREとMTU0.TGRF、MTU9.TGREとMTU9.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、計 8 本の TMDR1 レジスタがあります。TMDR1 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

表22.11　MD[3:0]ビットによる動作モードの設定(MTU0～MTU4, MTU6, MTU7, MTU9)

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU6	MTU7	MTU9
MD[3]	MD[2]	MD[1]	MD[0]										
0	0	0	0	ノーマルモード	○	○	○		○	○	○	○	○
0	0	0	1	設定しないでください									
0	0	1	0	PWMモード1	○	○	○		○	○	○	○	○
0	0	1	1	PWMモード2	○	○	○						○
0	1	0	0	位相計数モード1		○	○	○					
0	1	0	1	位相計数モード2		○	○	○					
0	1	1	0	位相計数モード3		○	○	○					
0	1	1	1	位相計数モード4		○	○	○					
1	0	0	0	リセット同期PWMモード(注1)					○		○		
1	0	0	1	位相計数モード5		○	○	○					
1	0	1	x	設定しないでください									
1	1	0	0	設定しないでください									
1	1	0	1	相補PWMモード1（山で転送）(注1)					○		○		
1	1	1	0	相補PWMモード2（谷で転送）(注1)					○		○		
1	1	1	1	相補PWMモード3（山と谷で転送）(注1)					○		○		

x：Don't care

注.　各チャネルで該当以外の動作モードは設定しないでください。

注1.　リセット同期PWMモード、相補PWMモードの設定は、MTU3、MTU6のみ可能です。
MTU3、MTU6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、MTU7の設定は無効となり自動的にMTU3、MTU6の設定に従います。MTU4、MTU7には初期値（ノーマルモード）を設定してください。

BFA ビット（バッファ動作 A ビット）

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせてバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIEC ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFA ビットの設定に従い動作します。MTU4.TMDR1（MTU7.TMDR1）の BFA ビットを “0” にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、**図 22.49** を参照してください。

BFB ビット（バッファ動作 B ビット）

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせてバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIED ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFB ビットの設定に従い動作します。MTU4.TMDR1（MTU7.TMDR1）の BFB ビットを “0” にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、**図 22.49** を参照してください。

BFE ビット（バッファ動作 E ビット）

MTU0.TGRE と MTU0.TGRF、MTU9.TGRE と MTU9.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ～ MTU4、MTU6、MTU7 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

22.2.4　タイマモードレジスタ 2m (TMDR2m) (m = A, B)

アドレス　MTU.TMDR2A 000C 1270h, MTU.TMDR2B 000C 1A70h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0：ダブルバッファ機能は無効 1：ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2A、TMDR2B レジスタは、相補 PWM モード 3（山と谷で転送）時、ダブルバッファ機能の設定を行うレジスタです。MTU3（TMDR2A）、MTU6（TMDR2B）に各 1 本、計 2 本の TMDR2m レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット（ダブルバッファ選択ビット）

相補 PWM モード時、ダブルバッファ機能の有効 / 無効を選択します。

22.2.5　タイマモードレジスタ 3 (TMDR3)

アドレス　MTU1.TMDR3 000C 1391h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0：16ビットアクセス可能 1：32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	0：外部入力位相クロックはMTCLKA、MTCLKB 1：外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ（TCNTLW）、ジェネラルレジスタ A（TGRALW）、ジェネラルレジスタ B（TGRBLW）は**表 22.12** のような組み合わせでアクセスされます。

LWA ビット（ロングワードアクセス制御ビット）

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。

LWA ビットが “0” の場合、MTU1 と MTU2 はそれぞれ独立した 16 ビットタイマとして動作するため、TCNTLW、TGRALW、TGRBLW レジスタはアクセスできません。

LWA ビットが “1” の場合、MTU1 と MTU2 はカスケード接続された 32 ビットタイマとして動作し、タイマの制御は MTU1.TCR、MTU1.TCR2、MTU1.TIOR、MTU1.TMDR1 レジスタで行います。MTU2.TCR、MTU2.TCR2、MTU2.TIOR、MTU2.TMDR1 レジスタの設定は無効で、MTU1、MTU2 の 16 ビットレジスタ（TCNT、TGRA、TGRB レジスタ）へのアクセスもできません。また、MTU2 のインプットキャプチャとコンペアマッチも無効となり、MTU2 の要因で ELC との連動はできません。

なお、LWA ビットを “1” にした MTU1 と MTU2 のカスケード接続は、位相計数モードでのみ使用できます。ノーマルモード、PWM1 モード、PWM2 モードでは使用できません。LWA ビットを “1” にする場合、位相計数モードを選択してください。

LWA ビットを “1” にする場合は、事前に MTU1 と MTU2 の TCNT、TGRA、TGRB レジスタを初期化してください。

PHCKSEL ビット（外部入力位相クロック選択ビット）

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は**「表 22.66　位相計数モードクロック入力端子」**を参照してください。

表22.12　TMDR3レジスタの設定と組み合わせ

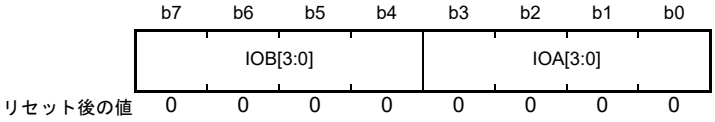
レジスタ	TMDR3.LWA = 0		TMDR3.LWA = 1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ(注1)	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタA	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタA	MTU2.TGRA	ワード		
MTU1のジェネラルレジスタB	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタB	MTU2.TGRB	ワード		

注1.　LWA = 1にした場合、MTU1のカウントクロックをMTU2.TCNTのオーバフロー/アンダフローに設定する必要はありません。

22.2.6 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH, MTU6.TIORH, MTU7.TIORH, MTU9.TIORH

アドレス　MTU0.TIORH 000C 1302h, MTU1.TIOR 000C 1382h, MTU2.TIOR 000C 1402h, MTU3.TIORH 000C 1204h, MTU4.TIORH 000C 1206h, MTU6.TIORH 000C 1A04h, MTU7.TIORH 000C 1A06h, MTU9.TIORH 000C 1582h

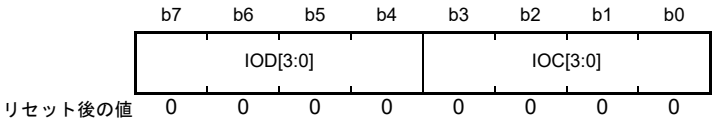


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/Oコントロール A ビット(注1)	下記の表を参照してください MTU0.TIORH：表22.27　MTU1.TIOR：表22.29 MTU2.TIOR：表22.30　MTU3.TIORH：表22.31 MTU4.TIORH：表22.33　MTU6.TIORH：表22.35 MTU7.TIORH：表22.37　MTU9.TIORH：表22.39	R/W
b7-b4	IOB[3:0]	I/Oコントロール B ビット(注1)	下記の表を参照してください MTU0.TIORH：表22.13　MTU1.TIOR：表22.15 MTU2.TIOR：表22.16　MTU3.TIORH：表22.17 MTU4.TIORH：表22.19　MTU6.TIORH：表22.21 MTU7.TIORH：表22.23　MTU9.TIORH：表22.25	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = A, B)の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL, MTU6.TIORL, MTU7.TIORL, MTU9.TIORL

アドレス　MTU0.TIORL 000C 1303h, MTU3.TIORL 000C 1205h, MTU4.TIORL 000C 1207h, MTU6.TIORL 000C 1A05h, MTU7.TIORL 000C 1A07h, MTU9.TIORL 000C 1583h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/Oコントロール C ビット(注1)	下記の表を参照してください MTU0.TIORL：表22.28　MTU3.TIORL：表22.32 MTU4.TIORL：表22.34　MTU6.TIORL：表22.36 MTU7.TIORL：表22.38　MTU9.TIORL：表22.40	R/W
b7-b4	IOD[3:0]	I/Oコントロール D ビット(注1)	下記の表を参照してください MTU0.TIORL：表22.14　MTU3.TIORL：表22.18 MTU4.TIORL：表22.20　MTU6.TIORL：表22.22 MTU7.TIORL：表22.24　MTU9.TIORL：表22.26	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = C, D)の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1C86h, MTU5.TIORV 000C 1C96h, MTU5.TIORW 000C 1CA6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IOC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/Oコントロールcビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW：表22.41	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIOR レジスタは、TGRm レジスタを制御します。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 に各 2 本、MTU1、MTU2 に各 1 本、MTU5 には MTU5.TIORU/V/W の 3 本、計 17 本の TIOR があります。TIOR レジスタは TMDR レジスタの設定が、ノーマルモード、PWM モード、位相計数モードの場合に設定します。

TIOR レジスタは TMDR1 レジスタの設定により影響を受けますので注意してください。

TIOR レジスタで指定した初期出力はカウンタ停止した（TSTRA.CSTn ビットおよび TSTRB.CSTn ビットを “0” にした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが “0000h” になった時点での出力を指定します。

TGRC レジスタ、あるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表22.13　TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注1)

x：Don't care

注1. MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.14　TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注2)

x：Don't care

注1. MTU0.TMDR1.BFBビットを“1”にして、MTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.15　TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB/TGRBLW レジスタの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表22.16　TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.17　TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.18　TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.19　TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.20　TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.21　TIORH (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.22　TIORL (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC6D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFBビットを“1”にして、MTU6.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.23　TIORH (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC7B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.24　TIORL (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC7D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFBビットを“1”にして、MTU7.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.25　TIORH (MTU9)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC9B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x：Don't care

注1. MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.26　TIORL (MTU9)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC9D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注2)

x：Don't care

注1. MTU9.TMDR1.BFBビットを“1”にして、MTU9.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.27　TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注1)

x：Don't care

注1. MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.28　TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注2)

x：Don't care

注1. MTU0.TMDR1.BFAビットを“1”にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.29　TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA/TGRALW レジスタの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表22.30　TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.31　TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.32　TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFA ビットを“1”にして、MTU3.TGRC レジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ /アウトプットコンペアは発生しません。

表22.33　TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.34　TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.35　TIORH (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC6A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.36　TIORL (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC6C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFAビットを“1”にして、MTU6.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.37　TIORH (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.38　TIORL (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFAビットを“1”にして、MTU7.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.39　TIORH (MTU9)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC9A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x：Don't care

注1. MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.40　TIORL (MTU9)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC9C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注2)

x：Don't care

注1. MTU9.TMDR1.BFAビットを“1”にして、MTU9.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.41　TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRU、TGRV、TGRWレジスタの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペアレジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ(注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x：Don't care

注1.　IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU6、MTU7と連動したデッドタイム補償用機能使用時のみとしてください。詳細は「22.3.11　外部パルス幅測定機能」、「22.3.12　デッドタイム補償用機能」を参照してください。

22.2.7　タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス　MTU5.TCNTCMPCLR 000C 1CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを禁止 1：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを禁止 1：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを禁止 1：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

22.2.8　タイマインタラプトイネーブルレジスタ (TIER)

- MTU1.TIER, MTU2.TIER

アドレス　MTU1.TIER 000C 1384h, MTU2.TIER 000C 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER, MTU6.TIER, MTU9.TIER

アドレス　MTU0.TIER 000C 1304h, MTU3.TIER 000C 1208h, MTU6.TIER 000C 1A08h, MTU9.TIER 000C 1584h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER, MTU7.TIER

アドレス　MTU4.TIER 000C 1209h, MTU7.TIER 000C 1A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0：割り込み要求（TGIA）を禁止 1：割り込み要求（TGIA）を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0：割り込み要求（TGIB）を禁止 1：割り込み要求（TGIB）を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0：割り込み要求（TGIC）を禁止 1：割り込み要求（TGIC）を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0：割り込み要求（TGID）を禁止 1：割り込み要求（TGID）を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み要求（TCIV）を禁止 1：割り込み要求（TCIV）を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0：割り込み要求（TCIU）を禁止 1：割り込み要求（TCIU）を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を禁止 1：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0：A/D変換開始要求の生成を禁止 1：A/D変換開始要求の生成を許可	R/W

n = 4, 7

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0、MTU9 に 2 本、MTU1 ～ MTU7 に各 1 本、計 11 本の TIER レジスタがあります。

TGIEA、TGIEB ビット（TGR 割り込み許可 A、B ビット）

割り込み要求（TGIm）を許可または禁止します (m = A, B)。

TGIEC、TGIED ビット（TGR 割り込み許可 C、D ビット）

割り込み要求（TGIm）を許可または禁止します (m = C, D)。

MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCIEV ビット（オーバフロー割り込み許可ビット）

割り込み要求（TCIV）を許可または禁止します。

TCIEU ビット（アンダフロー割り込み許可ビット）

割り込み要求（TCIU）を許可または禁止します。

MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

相補 PWM モードで、MTUn.TCNT のアンダフロー（谷）による A/D 変換要求の生成を許可または禁止します（n = 4, 7）。

MTU0 ～ MTU3、MTU6、MTU9 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE ビット（A/D 変換開始要求許可ビット）

TGRA レジスタのインプットキャプチャ / コンペアマッチによる A/D コンバータの開始要求の生成を許可または禁止します。

- MTU0.TIER2, MTU9.TIER2

アドレス MTU0.TIER2 000C 1324h, MTU9.TIER2 000C 15A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE2	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR割り込み許可Eビット	0：割り込み要求（TGIE）を禁止 1：割り込み要求（TGIE）を許可	R/W
b1	TGIEF	TGR割り込み許可Fビット	0：割り込み要求（TGIF）を禁止 1：割り込み要求（TGIF）を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0：MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D変換開始要求を禁止 1：MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット（TGR 割り込み許可 E、F ビット）

MTU0.TCNT と MTU0.TGRm、MTU9.TCNT と MTU9.TGRm のコンペアマッチによる割り込み要求の生成を許可または禁止します (m = E, F)。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチによる A/D 変換開始要求の生成を許可または禁止します。

- MTU5.TIER

アドレス MTU5.TIER 000C 1CB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR割り込み許可5Wビット	0：TGIW5割り込み要求を禁止 1：TGIW5割り込み要求を許可	R/W
b1	TGIE5V	TGR割り込み許可5Vビット	0：TGIV5割り込み要求を禁止 1：TGIV5割り込み要求を許可	R/W
b2	TGIE5U	TGR割り込み許可5Uビット	0：TGIU5割り込み要求を禁止 1：TGIU5割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5m ビット（TGR 割り込み許可 5m ビット）

割り込み要求（TGIm5）を許可または禁止します (m = U, V, W)。

22.2.9　タイマステータスレジスタ (TSR)

- MTU1.TSR, MTU2.TSR

アドレス　MTU1.TSR 000C 1385h, MTU2.TSR 000C 1405h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR, MTU6.TSR, MTU7.TSR

アドレス　MTU3.TSR 000C 122Ch, MTU4.TSR 000C 122Dh, MTU6.TSR 000C 1A2Ch, MTU7.TSR 000C 1A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0：TCNTはダウンカウント 1：TCNTはアップカウント	R

TSR レジスタは、各チャネルのステータスの表示を行うレジスタです。MTU1 ～ MTU4、MTU6、MTU7 に各 1 本、計 6 本の TSR レジスタがあります。

TCFD フラグ（カウント方向フラグ）

MTU1 ～ MTU4、MTU6、MTU7 の TCNT のカウント方向を示すステータスフラグです。

22.2.10　タイマバッファ動作転送モードレジスタ (TBTM)

- MTU0.TBTM, MTU9.TBTM

アドレス　MTU0.TBTM 000C 1326h, MTU9.TBTM 000C 15A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TBTM, MTU4.TBTM, MTU6.TBTM, MTU7.TBTM

アドレス　MTU3.TBTM 000C 1238h, MTU4.TBTM 000C 1239h, MTU6.TBTM 000C 1A38h, MTU7.TBTM 000C 1A39h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0：TGRCからTGRAへの転送タイミングは各チャネルのコンペアマッチA発生時 1：TGRCからTGRAへの転送タイミングは各チャネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0：TGRDからTGRBへの転送タイミングは各チャネルのコンペアマッチB発生時 1：TGRDからTGRBへの転送タイミングは各チャネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0：MTU0.TGRFからMTU0.TGRE、MTU9.TGRFからMTU9.TGREへの転送タイミングはMTU0、MTU9のコンペアマッチE発生時 1：MTU0.TGRFからMTU0.TGRE、MTU9.TGRFからMTU9.TGREへの転送タイミングはMTU0.TCNT、MTU9.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 に各 1 本、計 6 本の TBTM レジスタがあります。

TTSA ビット（タイミング選択 A ビット）

各チャネルのバッファ動作時の TGRC レジスタから TGRA レジスタへの転送タイミングを設定します。

なお、PWM モード以外で使用するチャネルでは、TTSA ビットを “1” にしないでください。

TTSB ビット（タイミング選択 B ビット）

各チャネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。

なお、PWM モード以外で使用するチャネルでは、TTSB ビットを “1” にしないでください。

TTSE ビット（タイミング選択 E ビット）

バッファ動作時の MTU0.TGRF から MTU0.TGRE、MTU9.TGRF から MTU9.TGRE への転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7 では予約ビットです。読むと “0” が読めます。書く場合、“0” にしてください。

なお、PWM モード以外で使用するチャネルでは、TTSE ビットを “1” にしないでください。

22.2.11　タイマインプットキャプチャコントロールレジスタ (TICCR)

アドレス　MTU1.TICCR 000C 1390h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

22.2.12　タイマシンクロクリアレジスタ (TSYCR)

アドレス　MTU6.TSYCR 000C 1A50h

	b7	b6	b5	b4	b3	b2	b1	b0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0：MTU2のTGIB2割り込み発生タイミングでのクリア禁止 1：MTU2のTGIB2割り込み発生タイミングでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0：MTU2のTGIA2割り込み発生タイミング(注1)でのクリア禁止 1：MTU2のTGIA2割り込み発生タイミング(注1)でのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0：MTU1のTGIB1割り込み発生タイミング(注1)でのクリア禁止 1：MTU1のTGIB1割り込み発生タイミング(注1)でのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0：MTU1のTGIA1割り込み発生タイミング(注1)でのクリア禁止 1：MTU1のTGIA1割り込み発生タイミング(注1)でのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0：MTU0のTGID0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGID0割り込み発生タイミング(注1)でのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0：MTU0のTGIC0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGIC0割り込み発生タイミング(注1)でのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0：MTU0のTGIB0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGIB0割り込み発生タイミング(注1)でのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0：MTU0のTGIA0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGIA0割り込み発生タイミング(注1)でのクリア許可	R/W

注1.　TIERn.TGIEmビットの設定値によりません（n = 0, 1, 2、m = A, B, C, D）。

TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

CEnm ビット（クリア許可 nm ビット）（n = 0, 1, 2、m = A, B, C, D）

MTUn.TGImn 割り込み発生タイミングでのクリア禁止 / 許可を設定します。

22.2.13　タイマカウンタ (TCNT)

アドレス　MTU0.TCNT 000C 1306h, MTU1.TCNT 000C 1386h, MTU2.TCNT 000C 1406h, MTU3.TCNT 000C 1210h, MTU4.TCNT 000C 1212h, MTU5.TCNTU 000C 1C80h, MTU5.TCNTV 000C 1C90h, MTU5.TCNTW 000C 1CA0h, MTU6.TCNT 000C 1A10h, MTU7.TCNT 000C 1A12h, MTU9.TCNT 000C 1586h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 に TCNTU, TCNTV, TCNTW の 3 本、計 11 本の TCNT があります。

MTU0 ～ MTU4、MTU6、MTU7、MTU9 の TCNT は、リセット時に “0000h” に初期化されます。MTU5 の TCNTU, TCNTV, TCNTW は、リセット時に “0000h” に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。MTU0 ～ MTU4、MTU6、MTU7、MTU9 の TCNT は、16 ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNT は、TMDR3.LWA = 1 のときは “0000h” が読み出されます。詳細は「22.2.5　タイマモードレジスタ 3 (TMDR3)」を参照してください。

22.2.14　タイマロングワードカウンタ (TCNTLW)

アドレス　MTU1.TCNTLW 000C 13A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TCNTLW カウンタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TCNT と MTU2.TCNT で構成される、32 ビットの読み出し / 書き込み可能なカウンタです。MTU1 に 1 本あります。

TCNTLW カウンタは、リセット時に “0000 0000h” に初期化されます。また、TMDR3.LWA = 0 のときは “0000 0000h” が読み出されます。詳細は「22.2.5　タイマモードレジスタ 3 (TMDR3)」を参照してください。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

22.2.15　タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)

アドレス

MTU0.TGRA 000C 1308h, MTU0.TGRB 000C 130Ah, MTU0.TGRC 000C 130Ch, MTU0.TGRD 000C 130Eh,
MTU0.TGRE 000C 1320h, MTU0.TGRF 000C 1322h,
MTU1.TGRA 000C 1388h, MTU1.TGRB 000C 138Ah,
MTU2.TGRA 000C 1408h, MTU2.TGRB 000C 140Ah,
MTU3.TGRA 000C 1218h, MTU3.TGRB 000C 121Ah, MTU3.TGRC 000C 1224h, MTU3.TGRD 000C 1226h,
MTU3.TGRE 000C 1272h,
MTU4.TGRA 000C 121Ch, MTU4.TGRB 000C 121Eh, MTU4.TGRC 000C 1228h, MTU4.TGRD 000C 122Ah,
MTU4.TGRE 000C 1274h, MTU4.TGRF 000C 1276h,
MTU5.TGRU 000C 1C82h, MTU5.TGRV 000C 1C92h, MTU5.TGRW 000C 1CA2h,
MTU6.TGRA 000C 1A18h, MTU6.TGRB 000C 1A1Ah, MTU6.TGRC 000C 1A24h, MTU6.TGRD 000C 1A26h,
MTU6.TGRE 000C 1A72h,
MTU7.TGRA 000C 1A1Ch, MTU7.TGRB 000C 1A1Eh, MTU7.TGRC 000C 1A28h, MTU7.TGRD 000C 1A2Ah,
MTU7.TGRE 000C 1A74h, MTU7.TGRF 000C 1A76h,
MTU9.TGRA 000C 1588h, MTU9.TGRB 000C 158Ah, MTU9.TGRC 000C 158Ch, MTU9.TGRD 000C 158Eh,
MTU9.TGRE 000C 15A0h, MTU9.TGRF 000C 15A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TGRmレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRmレジスタの初期値は、“FFFFh”です。

TGRm レジスタは、16 ビットの読み出し / 書き込み可能なレジスタです。MTU0、MTU9 に 6 本、MTU1、MTU2 に各 2 本、MTU3、MTU6 に各 5 本、MTU4、MTU7 に各 6 本、MTU5 に 3 本、計 41 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 の TGRC レジスタと TGRD レジスタは、バッファレジスタとして動作設定することができます。TGRm レジスタとバッファレジスタの組み合わせは、TGRA–TGRC、TGRB–TGRD になります。

MTU0.TGRE、MTU0.TGRF、MTU9.TGRE、MTU9.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT カウンタと MTU0.TGRE レジスタまたは MTU9.TCNT カウンタと MTU9.TGRE レジスタが一致したとき、A/D 変換開始要求を生成することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGRm レジスタとバッファレジスタの組み合わせは、TGRE–TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ / インプットキャプチャ / 外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRB レジスタは、TMDR3.LWA = 1 のときは “0000h” が読み出されます。詳細は「22.2.5　タイマモードレジスタ 3 (TMDR3)」を参照してください。

22.2.16　タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)

アドレス　MTU1.TGRALW 000C 13A4h, MTU1.TGRBLW 000C 13A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TGRmLW レジスタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TGRm レジスタと MTU2.TGRm レジスタで構成される、32 ビットの読み出し / 書き込み可能なレジスタです。MTU1 に 2 本あります。

TGRmLW レジスタは、リセット時に “FFFF FFFFh” に初期化されますが、TMDR3.LWA = 0 のときは “0000 0000h” が読み出されます。詳細は「22.2.5　タイマモードレジスタ 3 (TMDR3)」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、32 ビット位相計数モードでのみ使用可能なコンペアマッチ / インプットキャプチャ兼用のレジスタです。

22.2.17　タイマスタートレジスタ (TSTRA, TSTRB, TSTR)

- MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU9)

アドレス　MTU.TSTRA 000C 1280h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	CST9	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：MTU0.TCNTはカウント停止 1：MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0：MTU1.TCNTはカウント停止 1：MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0：MTU2.TCNTはカウント停止 1：MTU2.TCNTはカウント動作	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CST9	カウンタスタート9ビット	0：MTU9.TCNTはカウント停止 1：MTU9.TCNTはカウント動作	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0：MTU3.TCNTはカウント停止 1：MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0：MTU4.TCNTはカウント停止 1：MTU4.TCNTはカウント動作	R/W

注.　TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタは MTU0 ～ MTU4、MTU9 の TCNT の動作 / 停止を選択するレジスタです。

TSTRB レジスタは MTU6、MTU7 の TCNT の動作 / 停止を選択するレジスタです。

TSTR レジスタは MTU5 の TCNT の動作 / 停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT のカウントクロックを設定する場合は、TCNT のカウント動作を停止してから行ってください。

CSTn ビット（カウンタスタート n ビット）（n = 0, 1, 2, 3, 4, 9）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU.TSTRB (MTU6, MTU7)

アドレス MTU.TSTRB 000C 1A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST7	CST6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート6ビット	0：MTU6.TCNTはカウント停止 1：MTU6.TCNTはカウント動作	R/W
b7	CST7	カウンタスタート7ビット	0：MTU7.TCNTはカウント停止 1：MTU7.TCNTはカウント動作	R/W

注.　TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット（カウンタスタート n ビット）（n = 6, 7）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1B レジスタまたは TOCR2B レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000C 1CB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0：MTU5.TCNTWはカウント停止 1：MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0：MTU5.TCNTVはカウント停止 1：MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0：MTU5.TCNTUはカウント停止 1：MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

22.2.18　タイマシンクロレジスタ m (TSYRm) (m = A, B)

- MTU.TSYRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU9)

アドレス　MTU.TSYRA 000C 1281h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	SYNC9	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：MTU0.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU0.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b1	SYNC1	タイマ同期1ビット	0：MTU1.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU1.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b2	SYNC2	タイマ同期2ビット	0：MTU2.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU2.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b3	SYNC9	タイマ同期9ビット	0：MTU9.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU9.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0：MTU3.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU3.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b7	SYNC4	タイマ同期4ビット	0：MTU4.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU4.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W

TSYRA レジスタは MTU0 ～ MTU4、MTU9 の TCNT の独立動作または同期動作を選択するレジスタです。

TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。

対応するビットを “1” にしたチャネルが同期動作を行います。

SYNCn ビット（タイマ同期 n ビット）（n = 0, 1, 2, 3, 4, 9）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- MTU.TSYRB (MTU6, MTU7)

アドレス MTU.TSYRB 000C 1A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期6ビット	0：MTU6.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU6.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b7	SYNC7	タイマ同期7ビット	0：MTU7.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU7.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W

SYNCn ビット（タイマ同期 n ビット）（n = 6, 7）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

22.2.19　タイマカウンタシンクロスタートレジスタ (TCSYSTR)

アドレス　MTU.TCSYSTR 000C 1282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	SCH9	SCH6	SCH7
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクロスタート7ビット	0：MTU7.TCNTをシンクロスタートしない 1：MTU7.TCNTをシンクロスタートする	R/(W) (注1)
b1	SCH6	シンクロスタート6ビット	0：MTU6.TCNTをシンクロスタートしない 1：MTU6.TCNTをシンクロスタートする	R/(W) (注1)
b2	SCH9	シンクロスタート9ビット	0：MTU9.TCNTをシンクロスタートしない 1：MTU9.TCNTをシンクロスタートする	R/(W) (注1)
b3	SCH4	シンクロスタート4ビット	0：MTU4.TCNTをシンクロスタートしない 1：MTU4.TCNTをシンクロスタートする	R/(W) (注1)
b4	SCH3	シンクロスタート3ビット	0：MTU3.TCNTをシンクロスタートしない 1：MTU3.TCNTをシンクロスタートする	R/(W) (注1)
b5	SCH2	シンクロスタート2ビット	0：MTU2.TCNTをシンクロスタートしない 1：MTU2.TCNTをシンクロスタートする	R/(W) (注1)
b6	SCH1	シンクロスタート1ビット	0：MTU1.TCNTをシンクロスタートしない 1：MTU1.TCNTをシンクロスタートする	R/(W) (注1)
b7	SCH0	シンクロスタート0ビット	0：MTU0.TCNTをシンクロスタートしない 1：MTU0.TCNTをシンクロスタートする	R/(W) (注1)

注1.　“1”を書くことのみ可能です。カウントがスタートすると、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH7 ビット（シンクロスタート 7 ビット）

MTU7.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH7 ビットが “1” の状態で TSTRB.CST7 ビットを “1” にしたとき

SCH6 ビット（シンクロスタート 6 ビット）

MTU6.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH6 ビットが “1” の状態で TSTRB.CST6 ビットを “1” にしたとき

SCH9 ビット（シンクロスタート 9 ビット）

MTU9.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH9 ビットが “1” の状態で TSTRA.CST9 ビットを “1” にしたとき

SCH4 ビット（シンクロスタート 4 ビット）

MTU4.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH4 ビットが “1” の状態で TSTRA.CST4 ビットを “1” にしたとき

SCH3 ビット（シンクロスタート 3 ビット）

MTU3.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH3 ビットが “1” の状態で TSTRA.CST3 ビットを “1” にしたとき

SCH2 ビット（シンクロスタート 2 ビット）

MTU2.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH2 ビットが “1” の状態で TSTRA.CST2 ビットを “1” にしたとき

SCH1 ビット（シンクロスタート 1 ビット）

MTU1.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH1 ビットが “1” の状態で TSTRA.CST1 ビットを “1” にしたとき

SCH0 ビット（シンクロスタート 0 ビット）

MTU0.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH0 ビットが “1” の状態で TSTRA.CST0 ビットを “1” にしたとき

22.2.20　タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B)

アドレス　MTU.TRWERA 000C 1284h, MTU.TRWERB 000C 1A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0：レジスタのリードライトを禁止する 1：レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。

[“0” になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERA）**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA と MTUn.TCNT の計 24 レジスタです（n = 3, 4）。

- **誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERB）**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TGCRB, MTU.TCDRB, MTU.TDDRB と MTUn.TCNT の計 24 レジスタです（n = 6, 7）。

22.2.21　タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B)

- MTU.TOERA

アドレス　MTU.TOERA 000C 120Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ（PDR）、ポート出力データレジスタ（PODR）に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ（PMR）で汎用入出力ポート使用に切り替えてください。詳細は、「20.　I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを “0” にした後で設定してください。

- MTU.TOERB

アドレス MTU.TOERB 000C 1A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ（PDR）、ポート出力データレジスタ（PODR）に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ（PMR）で汎用入出力ポート使用に切り替えてください。詳細は、「20. I/Oポート」を参照してください。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERB レジスタの各ビットの設定をしないと正しく出力されません。TOERB レジスタは MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST6、CST7 ビットを “0” にした後で設定してください（図 22.43、図 22.47 参照）。

22.2.22　タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B)

アドレス　MTU.TOCR1A 000C 120Eh, MTU.TOCR1B 000C 1A0Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注1、注3)	表22.42を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注1、注3)	表22.43を参照してください	R/W
b2	TOCS	TOC選択ビット	0：TOCR1mの設定を有効にする（m = A, B） 1：TOCR2mの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット(注2、注4)	0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0：トグル出力を禁止 1：トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TOCR1m.TOCSビットを“0”にすることにより、本設定が有効になります。
注2.　TOCR1m.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。
注3.　デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。
注4.　リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット（出力レベル選択 P ビット）

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット（出力レベル選択 N ビット）

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット（TOC 選択ビット）

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1m レジスタと TOCR2m レジスタ（m = A, B）のどちらの設定を有効にするか選択します。

TOCL ビット（TOC レジスタ書き込み禁止ビット）

TOCR1m レジスタ（m = A, B）の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット（PWM 同期出力許可ビット）

PWM 周期に同期したトグル出力を、MTIOC3A、MTIOC6A 端子から出力するかどうかを設定します。

表22.42　出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表22.43　出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 22.3 に示します。

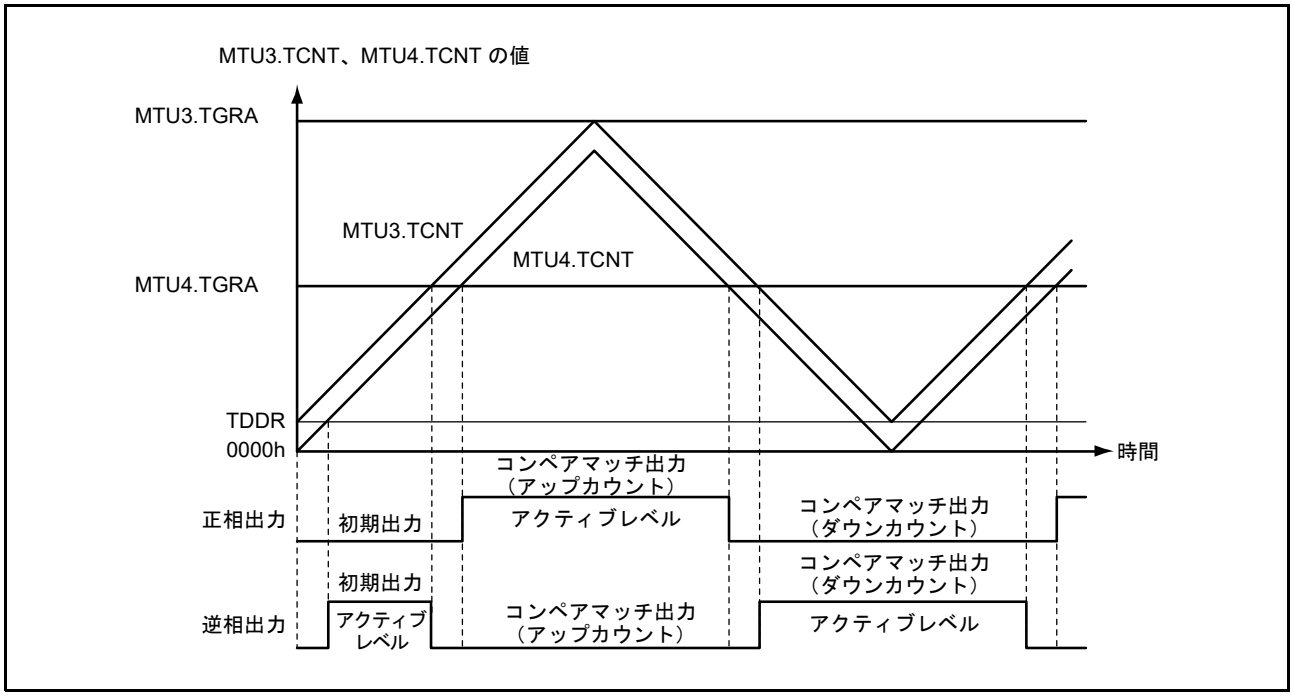


図 22.3　相補 PWM モードの出力レベルの例

22.2.23　タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B)

アドレス　MTU.TOCR2A 000C 120Fh, MTU.TOCR2B 000C 1A0Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表22.44を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表22.45を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表22.46を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表22.47を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表22.48を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表22.49を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRmからTOCR2mへのバッファ転送タイミングを選択します 詳細は表22.50を参照してください	R/W

m = A, B

注1.　TOCR1m.TOCSビットを“1”にすることにより、本設定が有効になります。

注2.　デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。(i = 1, 2, 3)

TOCR2A、TOCR2B レジスタは、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行うレジスタです。

カウンタが停止した状態では、初期出力が選択されます。

表22.44　MTIOCnB出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 3, 6

表22.45　MTIOCnD出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 3, 6

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.46　MTIOCnA出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表22.47　MTIOCnC出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.48　MTIOCnB出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表22.49　MTIOCnD出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.50　TOCR2m.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時
0	0	バッファレジスタ(TOLBRm)からTOCR2mへ転送しない	バッファレジスタ(TOLBRm)からTOCR2mへ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ(TOLBRm)からTOCR2mへ転送する	MTUk.TCNT、MTUn.TCNTカウンタクリア時にバッファレジスタ(TOLBRm)からTOCR2mへ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ(TOLBRm)からTOCR2mへ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ(TOLBRm)からTOCR2mへ転送する	設定しないでください

n = 4, 7、k = 3, 6、m = A, B

22.2.24　タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B)

アドレス　MTU.TOLBRA 000C 1236h, MTU.TOLBRB 000C 1A36h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2mのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2mのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2mのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2mのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2mのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2mのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = A, B

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 22.4 に示します。

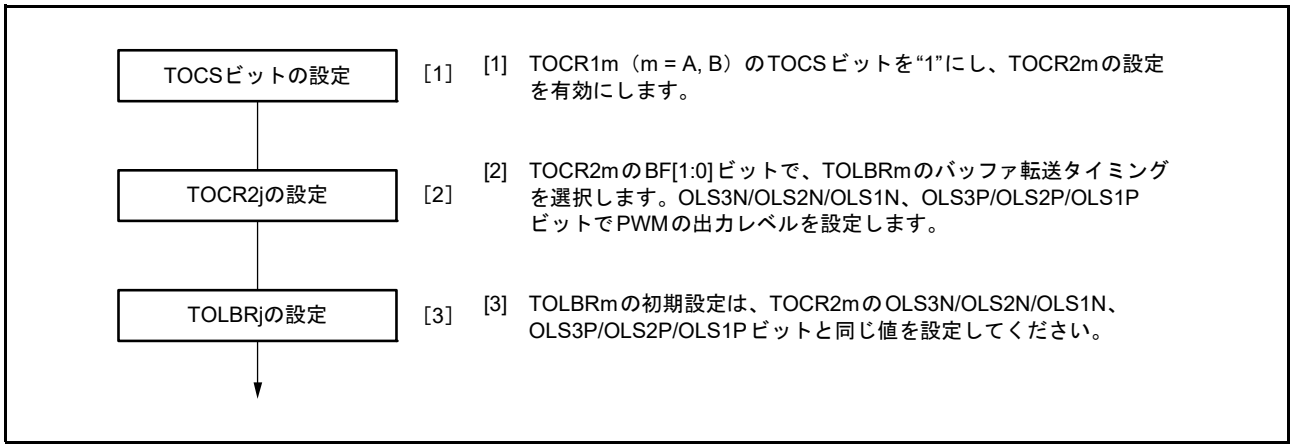


図 22.4　PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

22.2.25　タイマゲートコントロールレジスタ m (TGCRm) (m = A, B)

アドレス　MTU.TGCRA 000C 120Dh, MTU.TGCRB 000C 1A0Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。 表22.51を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0、MTU9のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRA、TGCRBのUF、VF、WFの設定値）	R/W
b4	P	正相出力(P)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力(N)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能は有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA、TGCRB レジスタは、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、TGCRA、TGCRB レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定は FB ビットが “1” のときのみ有効です。このときは、b0 ～ b2 の設定が、外部入力の代わりになります。**表 22.51** を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相 / 逆相の出力の切り替えを MTU0、MTU9 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCRA、TGCRB レジスタのビット 2 ～ 0 に “0” または “1” を書き込むことによって行うかを選択します。

TGCRA.FB ビットが “0” の場合、MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号により、MTU3、MTU4 の出力を切り替えます。

TGCRB.FB ビットが “0” の場合、MTU9 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号により、MTU6、MTU7 の出力を切り替えます。

P ビット（正相出力 (P) 制御ビット）

正相端子（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子、MTIOC6B 端子、MTIOC7A 端子、MTIOC7B 端子）を出力時、レベル出力をするか、リセット同期 PWM/ 相補 PWM 出力するかを選択します。

N ビット（逆相出力 (N) 制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子、MTIOC6D 端子、MTIOC7C 端子、

MTIOC7D 端子）を出力時、レベル出力するか、リセット同期 PWM/ 相補 PWM 出力するかの選択をします。

BDC ビット（ブラシレス DC モータビット）

TGCRA、TGCRB レジスタの機能を有効にするか、無効にするかを選択します。

表22.51　出力レベル選択機能

ビット2	ビット1	ビット0	機能					
WF	VF	UF	MTIOC3B, MTIOC6B	MTIOC4A, MTIOC7A	MTIOC4B, MTIOC7B	MTIOC3D, MTIOC6D	MTIOC4C, MTIOC7C	MTIOC4D, MTIOC7D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

22.2.26　タイマサブカウンタ m (TCNTSm) (m = A, B)

アドレス　MTU.TCNTSA 000C 1220h, MTU.TCNTSB 000C 1A20h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTSA、TCNTSBレジスタの8ビット単位でアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は “0000h” です。

22.2.27　タイマ周期データレジスタ m (TCDRm) (m = A, B)

アドレス　MTU.TCDRA 000C 1214h, MTU.TCDRB 000C 1A14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCDRA、TCDRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。
TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。
TCDRA、TCDRB レジスタのリセット後の値は “FFFFh” です。

22.2.28　タイマ周期バッファレジスタ m (TCBRm) (m = A, B)

アドレス　MTU.TCBRA 000C 1222h, MTU.TCBRB 000C 1A22h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCBRA、TCBRB レジスタの 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。

TCBRA、TCBRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、TCDRA、TCDRB レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA、TCBRB レジスタの値が TCDRA、TCDRB レジスタに転送されます。TCBRA、TCBRB レジスタのリセット後の値は “FFFFh” です。

22.2.29　タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B)

アドレス　MTU.TDDRA 000C 1216h, MTU.TDDRB 000C 1A16h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TDDRA、TDDRB レジスタの 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。

TDDRA、TDDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）カウンタをクリアして再スタートするときは、TDDRA（TDDRB）レジスタの値が MTU3.TCNT（MTU6.TCNT）カウンタにロードされカウント動作を開始します。TDDRA、TDDRB レジスタのリセット後の値は “FFFFh” です。

22.2.30　タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B)

アドレス　MTU.TDERA 000C 1234h, MTU.TDERB 000C 1A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0：デッドタイムを生成しない 1：デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TDDRA≧1、TDDRB≧1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット（デッドタイムイネーブルビット）

デッドタイムの生成をする / しないを設定します。

[“0” になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

22.2.31　タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B)

アドレス　MTU.TBTERA 000C 1232h, MTU.TBTERB 000C 1A32h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表22.52を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　対象バッファレジスタ（TBTERA）
MTU3.TGRC, MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU.TCBRA
対象バッファレジスタ（TBTERB）
MTU6.TGRC, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD, MTU.TCBRB

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する / しない、または割り込み間引き機能 1 と連動する / しないを設定するレジスタです。

表22.52　TBTERA.BTE[1:0]ビット、TBTERB.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1.　TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「22.3.8　相補PWMモード」を参照してください。
注2.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））のT3AEN、T4VEN（T6AEN, T7VEN）ビットを“0”にしたとき、またはTITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR, T7VCOR））を“0”にしたとき）は、バッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTERA（TBTERB））のBTE1ビットを“0”にする）にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

22.2.32　タイマ波形コントロールレジスタ m (TWCRm) (m = A, B)

アドレス　MTU.TWCRA 000C 1260h, MTU.TWCRB 000C 1A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	SCC	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0：TOCR1A,TOCR2A（TOCR1B,TOCR2B）レジスタで設定した初期出力値を出力 1：初期出力を抑止する	R/(W)(注3)
b1	SCC	同期クリアコントロールビット(注1、注3)	(TWCRBレジスタのみ有効) 0：MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア有効 1：MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット(注2)	0：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをしない 1：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする	R/(W)

注1.　TWCRBレジスタのみ有効です、TWCRAレジスタでは予約ビットです。
注2.　相補PWMモード1のとき以外は、“1”を書かないでください。
注3.　相補PWMモードのとき以外は、“1”を書かないでください。

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする / しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット（波形保持許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、**図 22.49** を参照してください。

[“1” になる条件]

- WRE = 0 で WRE ビットを読んだ後、WRE ビットに “1” を書いたとき

SCC ビット（同期クリアコントロールビット）

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする / しないを設定します。

本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。また、カウンタの動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の Tb 区間については、**図 22.49** を参照してください。

[“1” になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに “1” を書いたとき

TWCRA レジスタでは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モードで、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1” になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに “1” を書いたとき

22.2.33　ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ～ 4, 6, 7, 9, C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4, MTU6.NFCR6, MTU7.NFCR7, MTU9.NFCR9

アドレス　MTU0.NFCR0 000C 1290h, MTU1.NFCR1 000C 1291h, MTU2.NFCR2 000C 1292h, MTU3.NFCR3 000C 1293h, MTU4.NFCR4 000C 1294h, MTU6.NFCR6 000C 1A93h, MTU7.NFCR7 000C 1A94h, MTU9.NFCR9 000C 1296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0：MTIOCnA端子のノイズフィルタは無効 1：MTIOCnA端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0：MTIOCnB端子のノイズフィルタは無効 1：MTIOCnB端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット(注1)	0：MTIOCnC端子のノイズフィルタは無効 1：MTIOCnC端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタD許可ビット(注1)	0：MTIOCnD端子のノイズフィルタは無効 1：MTIOCnD端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/8 1 0：PCLKC/32 1 1：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　MTU1、MTU2では予約ビットです。読むと“0”が読めます。書き込みは無効です。

NFCRn レジスタ（n = 0 ～ 4, 6, 7, 9）は、対応するチャネルのインプットキャプチャ入力端子のノイズフィルタ機能を設定します。

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTIOCnA 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTIOCnB 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTIOCnC 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTIOCnD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。本ビットを “11b” に設定しカウントソースを外部クロックとした場合、本ビット設定後外部クロックを 2 回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス　MTU0.NFCRC 000C 1299h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0：MTCLKA 端子のノイズフィルタは無効 1：MTCLKA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0：MTCLKB 端子のノイズフィルタは無効 1：MTCLKB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0：MTCLKC 端子のノイズフィルタは無効 1：MTCLKC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0：MTCLKD 端子のノイズフィルタは無効 1：MTCLKD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/2 1 0：PCLKC/8 1 1：PCLKC/32	R/W
b7-b6	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

NFCRC レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTCLKA 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTCLKB 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTCLKC 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図

しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

22.2.34　ノイズフィルタコントロールレジスタ 5 (NFCR5)

アドレス　MTU5.NFCR5 000C 1A95h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		—	NFWEN	NFVEN	NFUEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0：MTIC5U端子のノイズフィルタは無効 1：MTIC5U端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0：MTIC5V端子のノイズフィルタは無効 1：MTIC5V端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0：MTIC5W端子のノイズフィルタは無効 1：MTIC5W端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/8 1 0：PCLKC/32 1 1：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット（ノイズフィルタ U 許可ビット）

MTIC5U 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット（ノイズフィルタ V 許可ビット）

MTIC5V 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット（ノイズフィルタ W 許可ビット）

MTIC5W 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

22.2.35　タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

- MTU4.TADCR

アドレス　MTU4.TADCR 000C 1240h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4BN）をTCIV4割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTCIV4割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4BN）をTGIA3割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTGIA3割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4AN）をTCIV4割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTCIV4割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4AN）をTGIA3割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTGIA3割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウントTRG4BN許可ビット(注3)	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b5	UT4BE	アップカウントTRG4BN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b6	DT4AE	ダウンカウントTRG4AN許可ビット(注3)	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b7	UT4AE	アップカウントTRG4AN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/TADCOBRB転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRBからMTU4.TADCORA、MTU4.TADCORBへの転送タイミングを選択します。詳細は表22.53を参照してください	R/W

注.　MTU4.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
注1.　割り込み間引きが禁止のときTITCR1A.T3AEN,T4VENビットを“0”にしたとき、またはTITCR1A.T3ACOR,T4VCORビットを“0”にしたときは、“0”にしてください。
注2.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注3.　相補PWMモードのとき以外は、“0”にしてください。

TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

表22.53　TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU4)

ビット15	ビット14	説明			
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止

- MTU7.TADCR

アドレス MTU7.TADCR 000C 1A40h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE	TCIV7割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7BN）をTCIV7割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTCIV7割り込み間引き機能1と連動する	R/W
b1	ITB6AE	TGIA6割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7BN）をTGIA6割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTGIA6割り込み間引き機能1と連動する	R/W
b2	ITA7VE	TCIV7割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7AN）をTCIV7割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTCIV7割り込み間引き機能1と連動する	R/W
b3	ITA6AE	TGIA6割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7AN）をTGIA6割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTGIA6割り込み間引き機能1と連動する	R/W
b4	DT7BE	ダウンカウントTRG7BN許可ビット(注3)	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b6	DT7AE	ダウンカウントTRG7AN許可ビット(注3)	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b7	UT7AE	アップカウントTRG7AN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA/TADCOBRB転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表22.54を参照してください	R/W

注.　MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
注1.　割り込み間引きが禁止のときTITCR1B.T6AEN,T7VENビットを“0”に設定したとき、またはTITCR1B.T6ACOR, T7VCORビットを“0”にしたときは、“0”にしてください。
注2.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注3.　相補PWMモードのとき以外は、“0”にしてください。

表22.54　TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU7)

ビット15	ビット14	説明			
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU6.TCNTがMTU6.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する
1	0	MTU7.TCNTの谷で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止

22.2.36　タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)

アドレス　MTU4.TADCORA 000C 1244h, MTU4.TADCORB 000C 1246h, MTU7.TADCORA 000C 1A44h, MTU7.TADCORB 000C 1A46h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TADCORA、TADCORBは8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1.　割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「22.3.9 (5)　割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は“0002h”～MTU4：TCDRAの設定値－2、MTU7：TCDRBの設定値－2の値を設定してください。

注2.　割り込み間引き機能2を使用し、かつTADCORAレジスタ値とTADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能2、間引き回数が“0”の場合
- TADCORAレジスタ値とTADCORBレジスタ値との間隔が「4」以上
- TADCORAのコンペア間隔が4 PCLKC以上（TADCORAレジスタの更新値を「前値＋4以上」、「前値－4以下」に設定）
- TADCORBのコンペア間隔が4 PCLKC以上（TADCORBレジスタの更新値を「前値＋4以上」、「前値－4以下」に設定）

(2) 間引き機能2、間引き回数が1以上の場合
- TADCORAレジスタ値とTADCORBレジスタ値との間隔が「2」以上
- TADCORBのコンペア間隔が2 PCLKC以上（TADCORBレジスタの更新値を「前値＋2以上」、「前値－2以下」に設定）

TADCORA、TADCORB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、MTUn.TCNT（n = 4, 7）と一致したとき、対応する A/D 変換開始要求を生成します。

TADCORA、TADCORB レジスタのリセット後の値は “FFFFh” です。

22.2.37　タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)

アドレス　MTU4.TADCOBRA 000C 1248h, MTU4.TADCOBRB 000C 124Ah, MTU7.TADCOBRA 000C 1A48h, MTU7.TADCOBRB 000C 1A4Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷で TADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値は “FFFFh” です。

22.2.38　タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B)

アドレス　MTU.TITMRA 000C 123Ah, MTU.TITMRB 000C 1A3Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 0：割り込み間引き機能1(注1) 1：割り込み間引き機能2(注2)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TITCR1A、TITCR1Bレジスタを設定することにより割り込み間引き機能1が有効になります。
注2.　TITCR2A、TITCR2Bレジスタを設定することにより割り込み間引き機能2が有効になります。

TITMRA、TITMRB レジスタは、2 種類の間引き機能を選択するレジスタです。

22.2.39　タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B)

- MTU.TITCR1A

アドレス　MTU.TITCR1A 000C 1230h

	b7	b6	b5	b4	b3	b2	b1	b0
	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0～7回で設定します 詳細は表22.55を参照してください	R/W
b3	T4VEN	T4VENビット	0：TCIV4割り込みの間引きを禁止する 1：TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0～7回で設定します(注1) 詳細は表22.56を参照してください	R/W
b7	T3AEN	T3AENビット	0：TGIA3割り込みの間引きを禁止する 1：TGIA3割り込みの間引きを許可する	R/W

注1.　割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VENビットを“0”にして間引き回数カウンタ（TITCNT1A）をクリアしてください。

- MTU.TITCR1B

アドレス　MTU.TITCR1B 000C 1A30h

	b7	b6	b5	b4	b3	b2	b1	b0
	T6AEN	T6ACOR[2:0]			T7VEN	T7VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7割り込み間引き回数設定ビット	TCIV7割り込みの間引き回数を0～7回で設定します。 詳細は表22.57を参照してください	R/W
b3	T7VEN	T7VENビット	0：TCIV7割り込みの間引きを禁止する 1：TCIV7割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6割り込み間引き回数設定ビット	TGIA6割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表22.58を参照してください	R/W
b7	T6AEN	T6AENビット	0：TGIA6割り込みの間引きを禁止する 1：TGIA6割り込みの間引きを許可する	R/W

注1.　割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VENビットを“0”にして間引き回数カウンタ（TITCNT1B）をクリアしてください。

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。この設定はそれぞれ TITMRA.TITM、TITMRB.TITM ビットを “0” としたときのみ有効になります。また、TITMRA.TITM（TITMRB.TITM）ビットを “1” にした場合、TITCR1A（TITCR1B）レジスタの値はクリアされます。

表22.55　T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
T4VCOR[2]	T4VCOR[1]	T4VCOR[0]	
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表22.56　T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T3ACOR[2]	T3ACOR[1]	T3ACOR[0]	
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表22.57　T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
T7VCOR[2]	T7VCOR[1]	T7VCOR[0]	
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

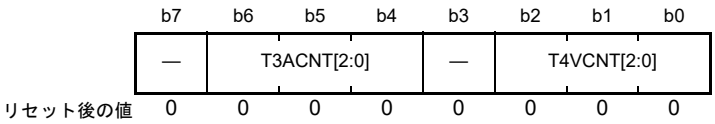
表22.58　T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T6ACOR[2]	T6ACOR[1]	T6ACOR[0]	
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

22.2.40　タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B)

- MTU.TITCNT1A

アドレス　MTU.TITCNT1A 000C 1231h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注.　TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8 ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1B は、MTU3.TCNT および MTU4.TCNT（MTU6.TCNT および MTU7.TCNT）のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット（TCIV4 割り込みカウンタビット）

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T4VEN ビットが “0” のとき
- TITCR1A.T4VCOR[2:0] ビットが “000b” のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

T3ACNT[2:0] ビット（TGIA3 割り込みカウンタビット）

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T3AEN ビットが “0” のとき
- TITCR1A.T3ACOR[2:0] ビットが “000b” のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- MTU.TITCNT1B

アドレス MTU.TITCNT1B 000C 1A31h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T6ACNT[2:0]			—	T7VCNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T6ACNT[2:0]	TGIA6割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注.　TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット（TCIV7 割り込みカウンタビット）

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T7VEN ビットが “0” のとき
- TITCR1B.T7VCOR[2:0] ビットが “000b” のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット（TGIA6 割り込みカウンタビット）

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T6AEN ビットが “0” のとき
- TITCR1B.T6ACOR[2:0] ビットが “000b” のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

22.2.41　タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B)

- MTU.TITCR2A

アドレス　MTU.TITCR2A 000C 123Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4COR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN割り込み間引き回数設定ビット	TRG4AN/TRG4BN割り込みの間引き回数を0～7回で設定します。詳細は表22.59を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN（TRG7AN と TRG7BN）の割り込み間引き回数を設定するレジスタです。

この設定は TITMRA、TITMRB レジスタを “1” にしたときのみ有効になります。

表22.59　TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR[2]	TRG4COR[1]	TRG4COR[0]	
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

- MTU.TITCR2B

アドレス MTU.TITCR2B 000C 1A3Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7COR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN/TRG7BN割り込み間引き回数設定ビット	TRG7AN/TRG7BN割り込みの間引き回数を0～7回で設定します。詳細は表22.60を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.60　TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR[2]	TRG7COR[1]	TRG7COR[0]	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

22.2.42　タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B)

- MTU.TITCNT2A

アドレス MTU.TITCNT2A 000C 123Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4CNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN（TITCNT2A）および TRG7AN、TRG7BN（TITCNT2B）が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット（TRG4AN/TRG4BN 割り込みカウンタビット）

TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0” になる条件]

- TITMRA.TITM ビットが “0” のとき
- TITCR2A.TRG4COR[2:0] ビットが “000b” のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- MTU.TITCNT2B

アドレス MTU.TITCNT2B 000C 1A3Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7CNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN/TRG7BN割り込みカウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、TRG7BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TRG7CNT[2:0] ビット（TRG7AN/TRG7BN 割り込みカウンタビット）

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0” になる条件]

- TITMRB.TITM ビットが “0” のとき
- TITCR2B.TRG7COR[2:0] ビットが “000b” のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

22.2.43　A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)

アドレス　MTU.TADSTRGR0 000C 1D30h

	b7	b6	b5	b4	b3	b2	b1	b0
	TADSMEN0	—	—	TADSTRS0[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS0[4:0]	ADSM0端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM0端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表22.61を参照してください。表22.61記載の値以外は設定しないでください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TADSMEN0	ADSM0端子出力許可ビット	0：ADSM0端子出力禁止 1：ADSM0端子出力許可	R/W

TADSTRGR0 レジスタは、ADSM0 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

22.2.44　A/D 変換開始要求選択レジスタ 1 (TADSTRGR1)

アドレス　MTU.TADSTRGR1 000C 1D32h

	b7	b6	b5	b4	b3	b2	b1	b0
	TADSMEN1	—	—	TADSTRS1[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS1[4:0]	ADSM1端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM1端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表22.61を参照してください。表22.61記載の値以外は設定しないでください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TADSMEN1	ADSM1端子出力許可ビット	0：ADSM1端子出力禁止 1：ADSM1端子出力許可	R/W

TADSTRGR1 レジスタは、ADSM1 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

表22.61　フレーム同期信号生成用A/D変換開始要求の設定 (n = 0, 1)

TADSTRSn[4:0]					要因	内容
[4]	[3]	[2]	[1]	[0]		
0	0	0	0	0	—	要因非選択
0	0	0	0	1	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	0	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	1	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	0	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	1	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー（谷）
0	0	1	1	0	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	1	1	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー（谷）
0	1	0	0	0	TRG0N	MTU0.TGREのコンペアマッチ
0	1	0	0	1	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ
0	1	0	1	0	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ
0	1	1	0	0	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）
0	1	1	0	1	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ
0	1	1	1	0	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ
1	0	0	0	0	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）
1	0	0	0	1	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ
1	0	0	1	0	TRG9N	MTU9.TGREのコンペアマッチ
1	0	0	1	1	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャとMTU9.TGREのコンペアマッチ
1	0	1	0	0	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャとMTU0.TGREのコンペアマッチ
1	0	1	0	1	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャとMTU9.TGRAのコンペアマッチ/インプットキャプチャ
1	0	1	1	0	TRG09N	MTU0.TGREのコンペアマッチとMTU9.TGREのコンペアマッチ

22.3　動作説明

22.3.1　基本動作

各チャネルには、TCNT と TGR レジスタがあります。TCNT は、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1)　カウンタの動作

TSTRA レジスタの CST0 ～ CST4、CST9 ビット、TSTRB レジスタの CST6、CST7 ビット、MTU5.TSTR レジスタの CSTU5、CSTV5、CSTW5 ビットを “1” にすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a)　カウント動作の設定手順例

カウント動作の設定手順例を図 22.5 に示します。

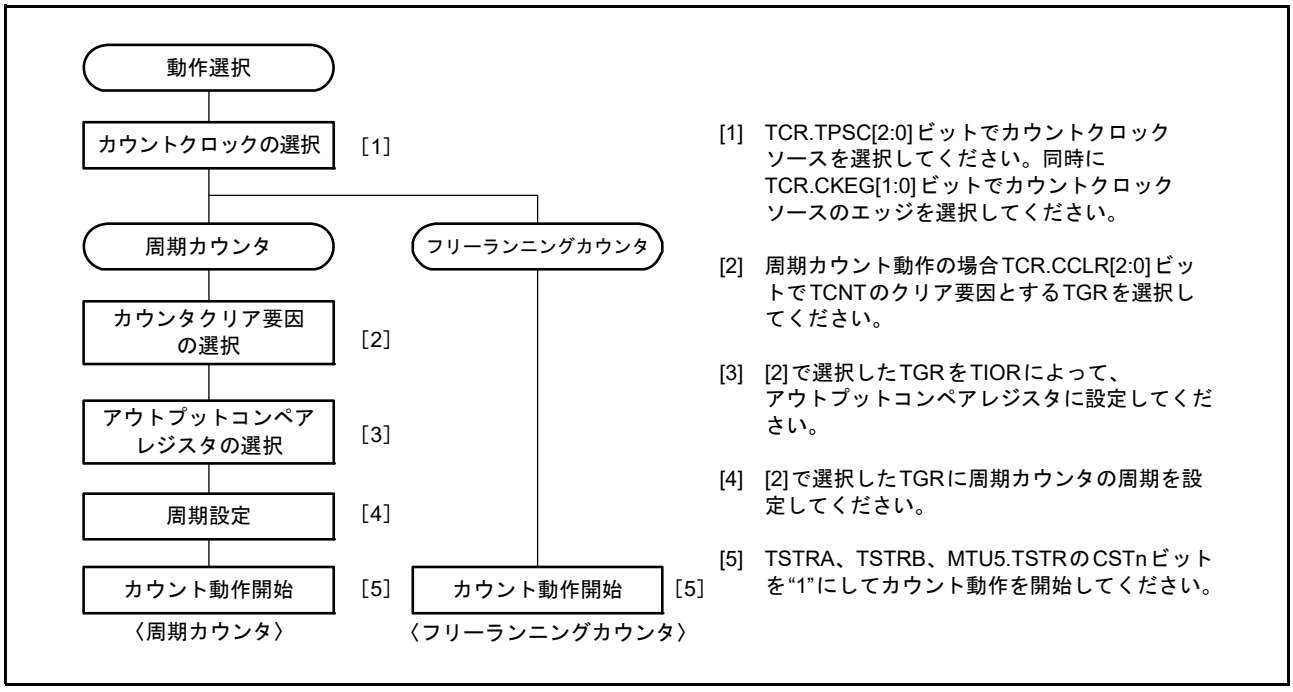


図 22.5　カウント動作設定手順例

(b)　フリーランニングカウント動作と周期カウント動作

TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTR レジスタの CSTn ビットを “1” にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（FFFFh → 0000h）すると、対応する TIER.TCIEV ビットが “1” ならば、CPU への割り込み要求を発行します。TCNT はオーバフロー後、“0000h” からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 22.6 に示します。

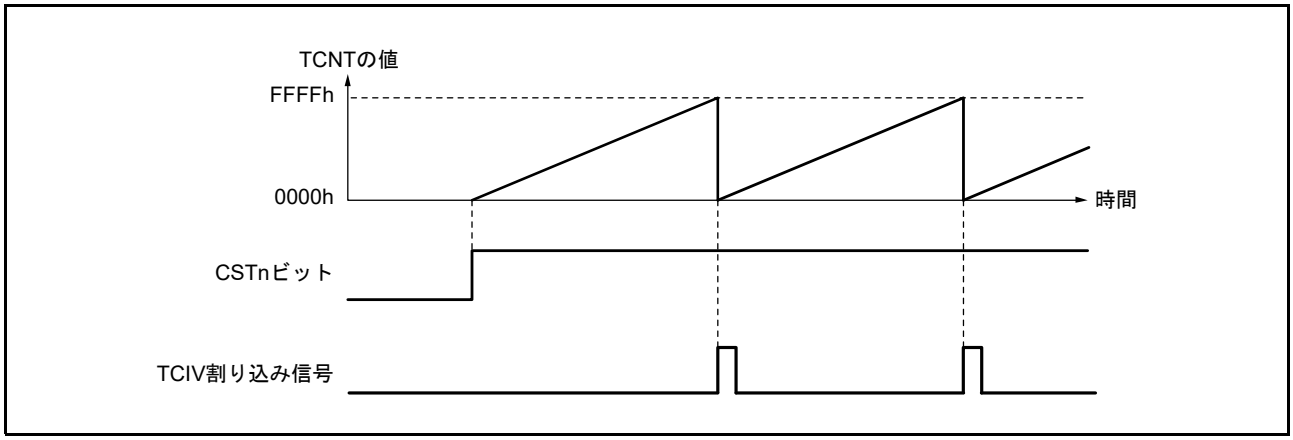


図 22.6　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTR レジスタの CSTn ビットを “1” にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TCNT は “0000h” になります。

このとき対応する TIER.TGIE ビットが “1” ならば、CPU への割り込み要求を発行します。TCNT はコンペアマッチ後、“0000h” からアップカウント動作を継続します。

周期カウンタの動作を図 22.7 に示します。

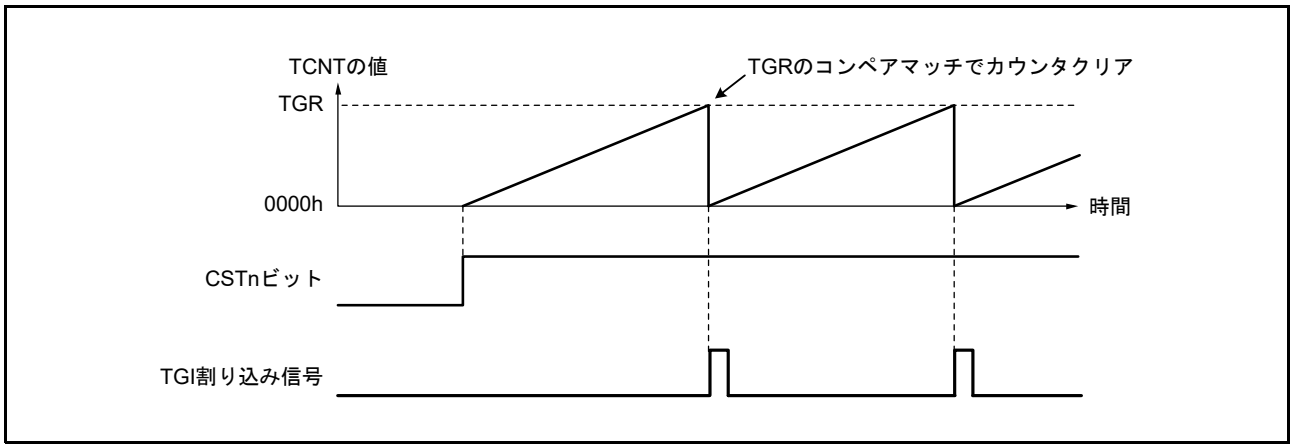


図 22.7　周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力 /High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 22.8 に示します。

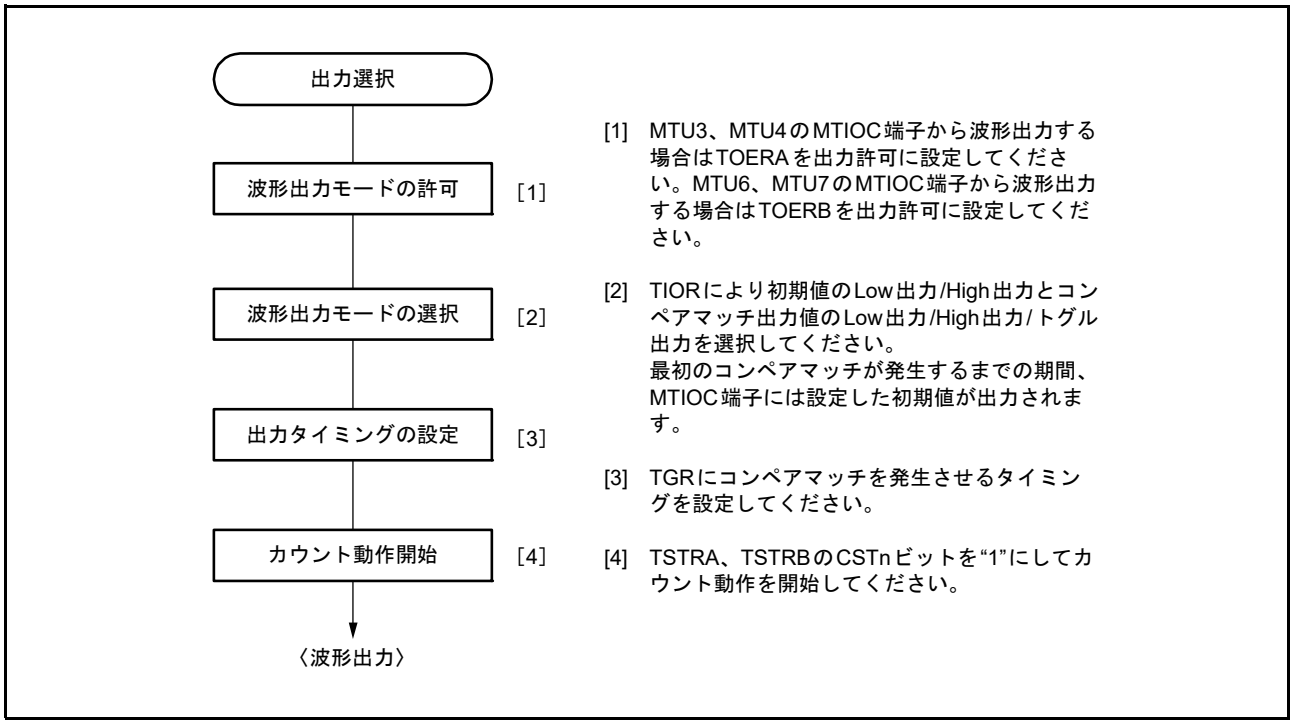


図 22.8　コンペアマッチによる波形出力動作例

(b)　波形出力動作例

Low 出力 /High 出力例を図 22.9 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

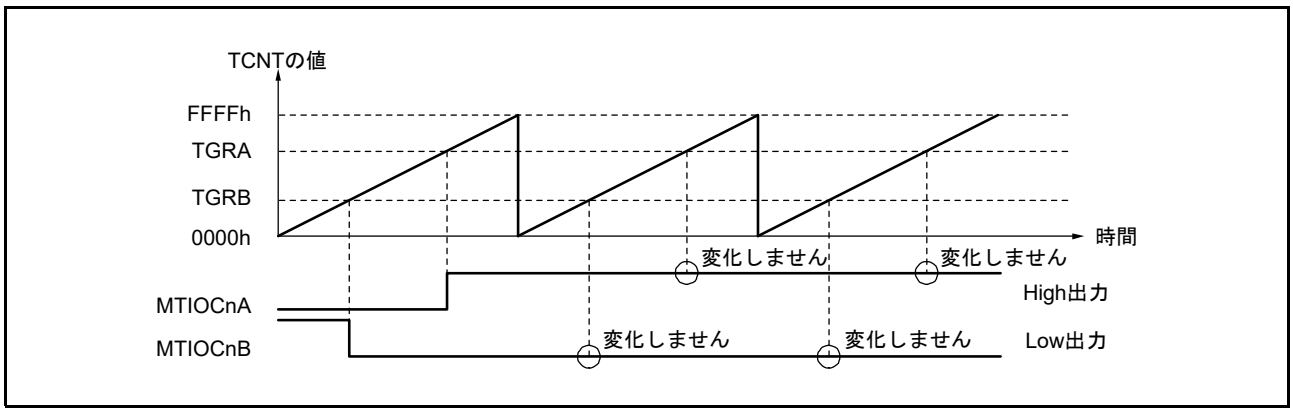


図 22.9　Low 出力 /High 出力の動作例 (n = 0 ～ 4, 6, 7, 9)

トグル出力の例を図 22.10 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

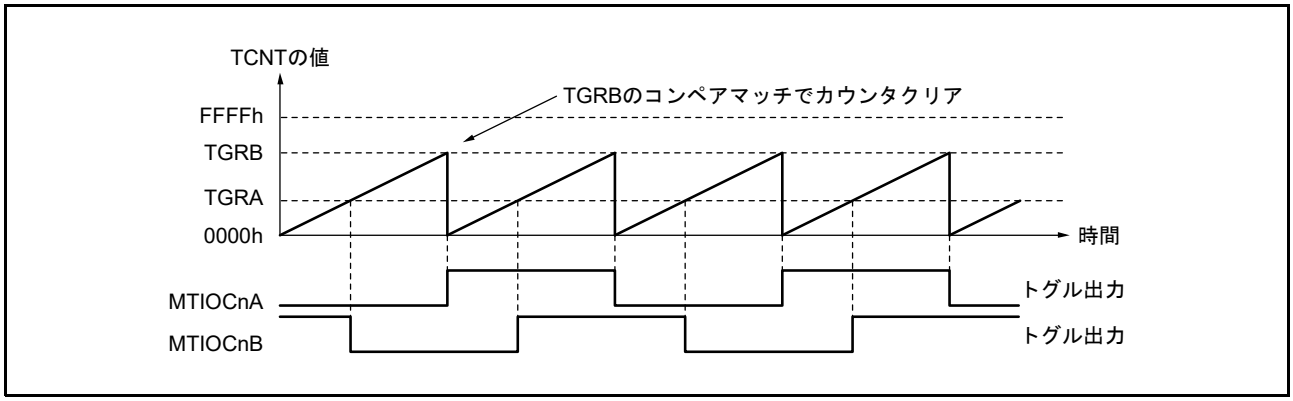


図 22.10　トグル出力の動作例 (n = 0 ～ 4, 6, 7, 9)

(3) インプットキャプチャ機能

MTIOCnm 端子（n = 0 ～ 4, 6, 7, 9、m = A ～ D）、および MTIC5m 端子（m = U, V, W）の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、MTU0、MTU1、MTU9 は別のチャネルのカウントクロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

注 . MTU0、MTU1、MTU9 で別のチャネルのカウントクロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウントクロックに PCLKC/1 を選択しないでください。PCLKC/1 を選択した場合は、インプットキャプチャは発生しません。

(a) インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 22.11 に示します。

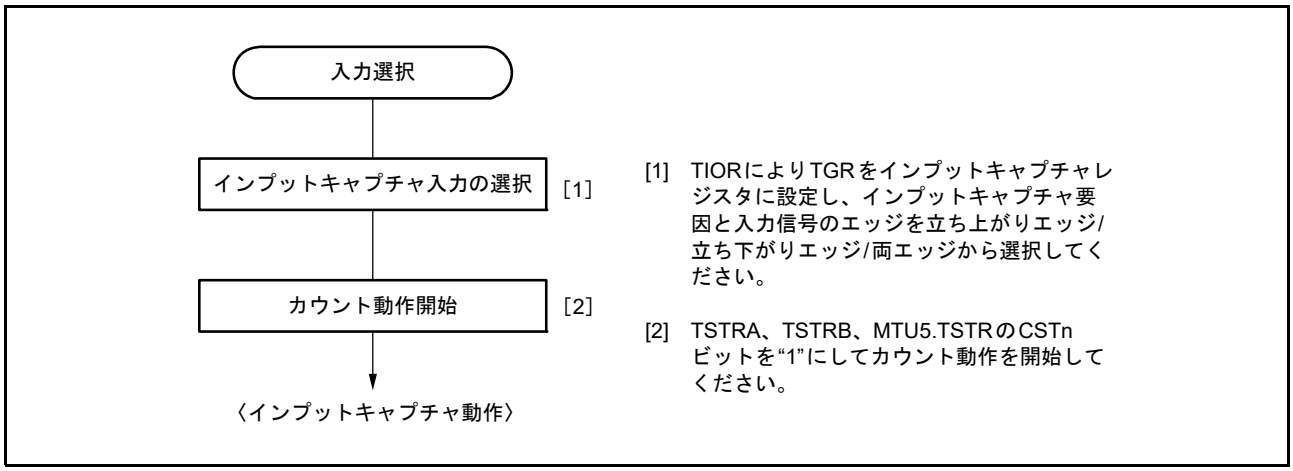


図 22.11　インプットキャプチャ動作の設定例

(b)　インプットキャプチャ動作例

インプットキャプチャ動作例を図 22.12 に示します。

MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCnB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です（n = 0 ～ 4, 6, 7, 9）。

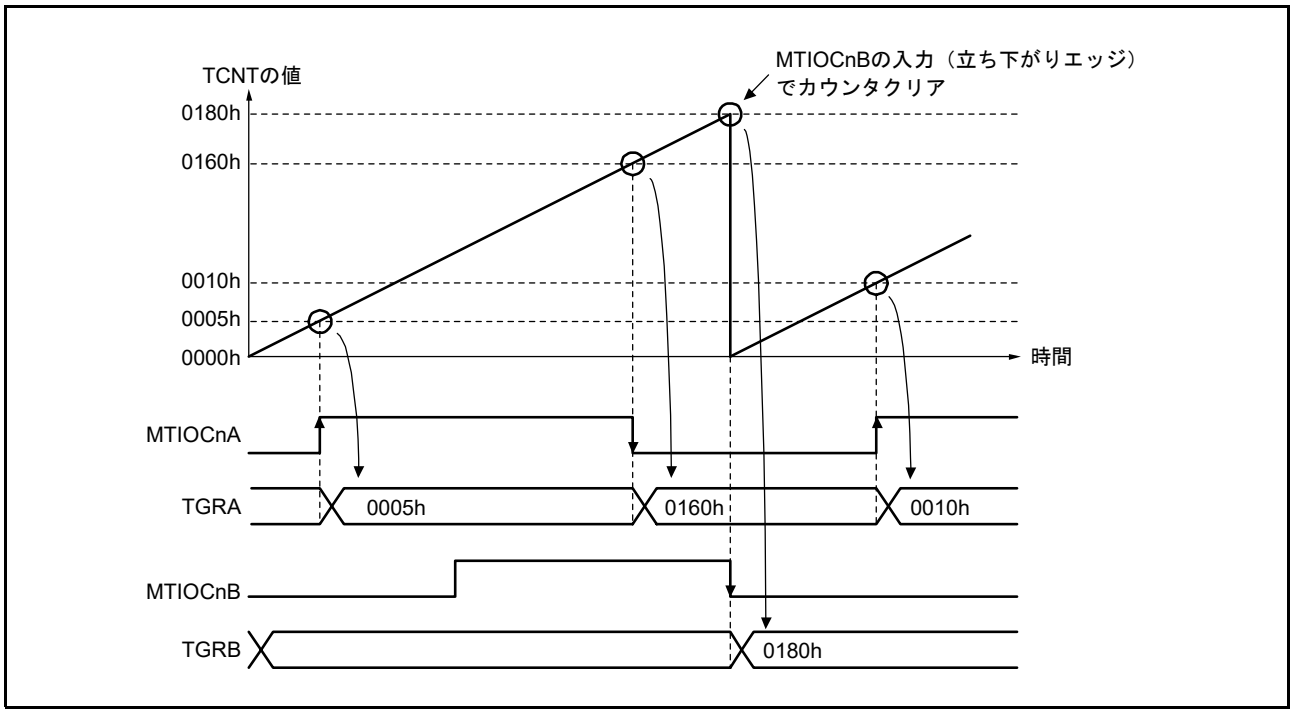


図 22.12　インプットキャプチャ動作例 (n = 0 ～ 4, 6, 7, 9)

22.3.2　同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます（同期セット）。また、TCR レジスタの設定によって複数の TCNT を同時に “0” にすることができます（同期クリア）。

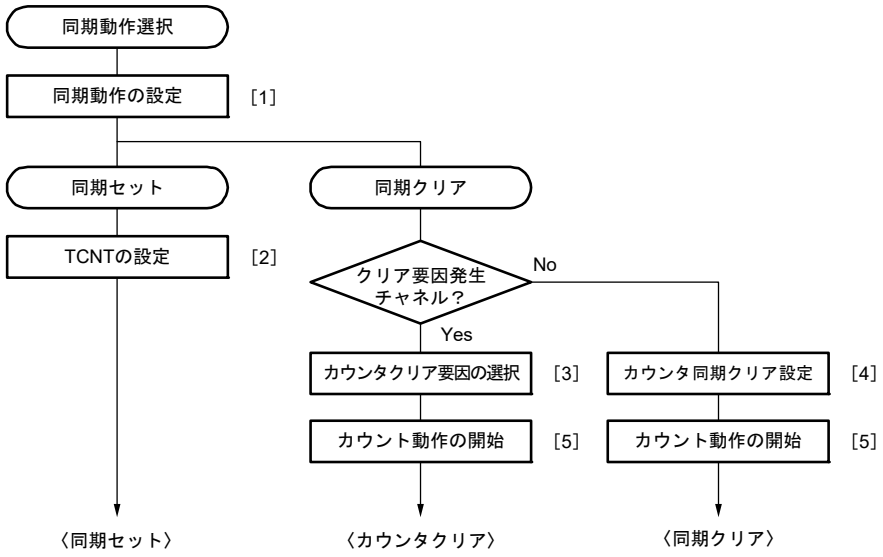
同期動作によって、1 つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ～ MTU4、MTU6、MTU7、MTU9 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1)　同期動作の設定手順例

同期動作の設定手順例を図 22.13 に示します。



[1]　同期動作に設定するチャネルに対応したTSYRA、TSYRBのSYNCビットを“1”にしてください。

[2]　同期動作に設定したチャネルのいずれかのTCNTに書くと、他のTCNTにも同じ値が同時に書かれます。

[3]　TCRのCCLR[2:0]ビットで、インプットキャプチャ/アウトプットコンペアなどでTCNTをクリアするように設定してください。

[4]　TCRのCCLR[2:0]ビットで、カウンタクリア要因を同期クリアに設定してください。

[5]　対象となるチャネルに対応するTSTRA、TSTRBのCSTnビットを“1”にしてカウント動作を開始してください。

図 22.13　同期動作の設定手順例

(2)　同期動作の例

同期動作の例を**図 22.14** に示します。

MTU0 ～ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ～ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、**「22.3.5　PWM モード」**を参照してください。

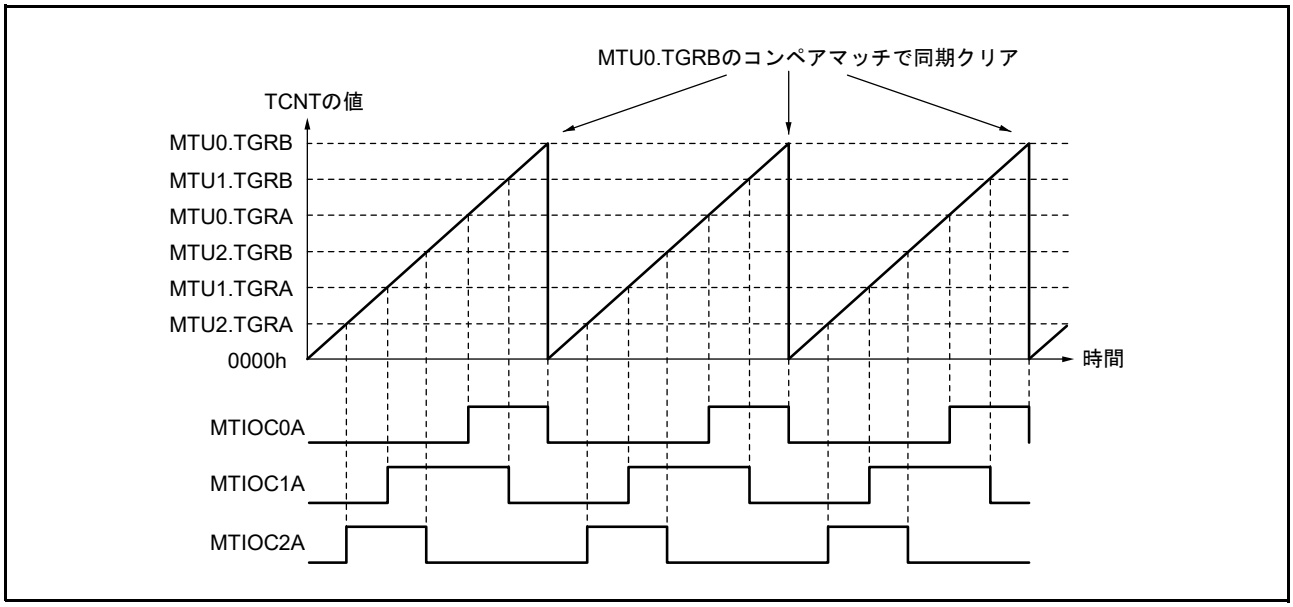


図 22.14　同期動作の動作例

22.3.3　バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0、MTU9 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注．　MTU0.TGRE、MTU9.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 22.62 にバッファ動作時のレジスタの組み合わせを示します。

表 22.62　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD
MTU9	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 22.15 に示します。

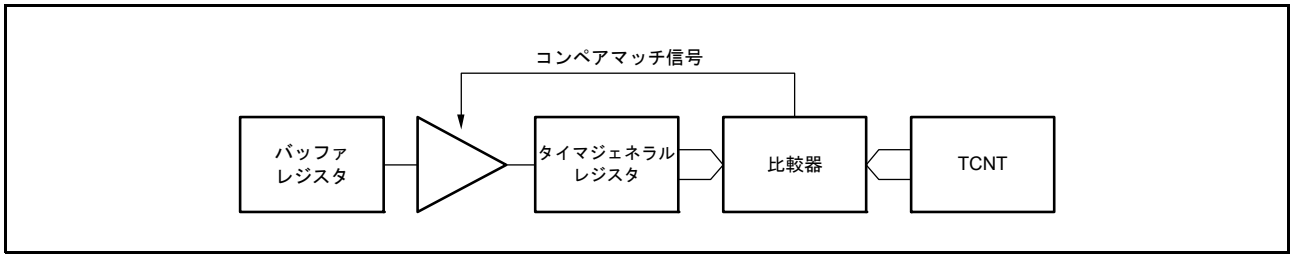


図 22.15　コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 22.16 に示します。

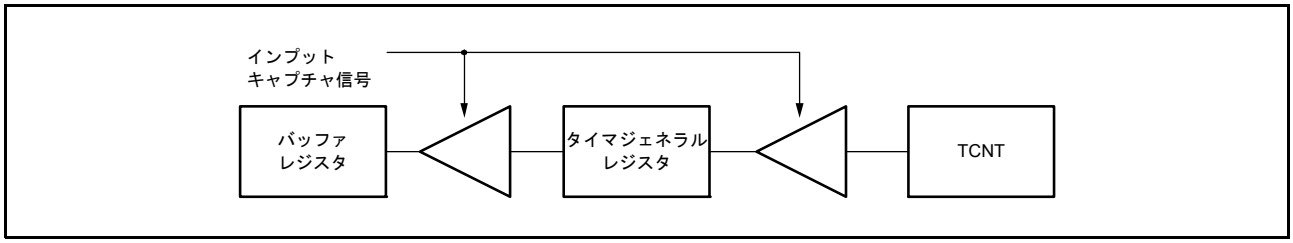


図 22.16　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 22.17 に示します。

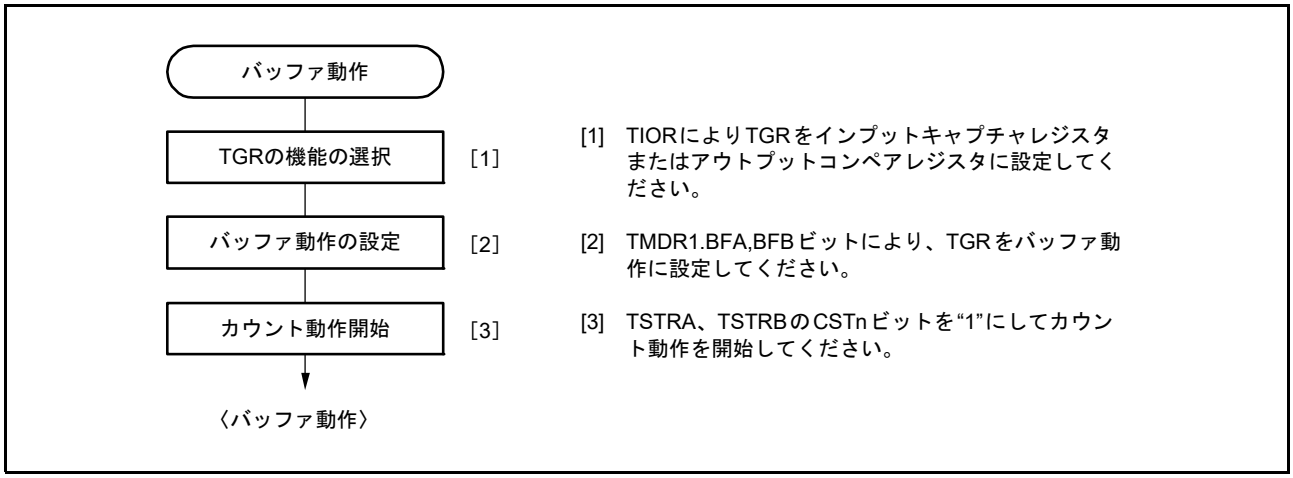


図 22.17　バッファ動作の設定手順例

(2)　バッファ動作例

(a)　TGR がアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 22.18 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは “0” にしています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「22.3.5　PWM モード」を参照してください。

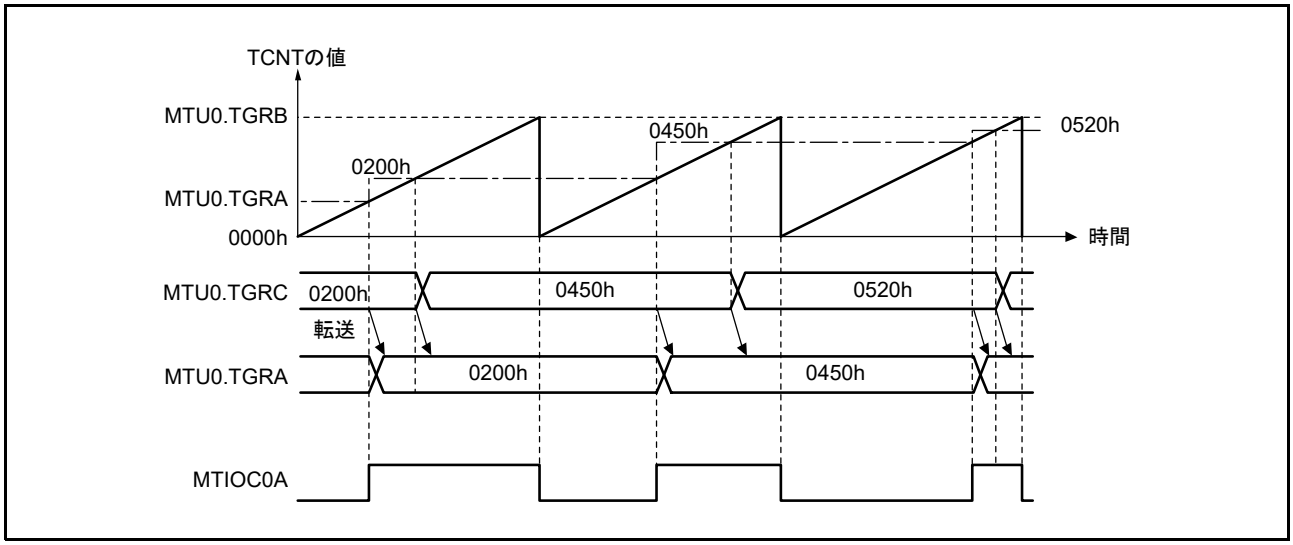


図 22.18　バッファ動作例 (1)

(b)　TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 22.19 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています（n = 0 ～ 4, 6, 7, 9）。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

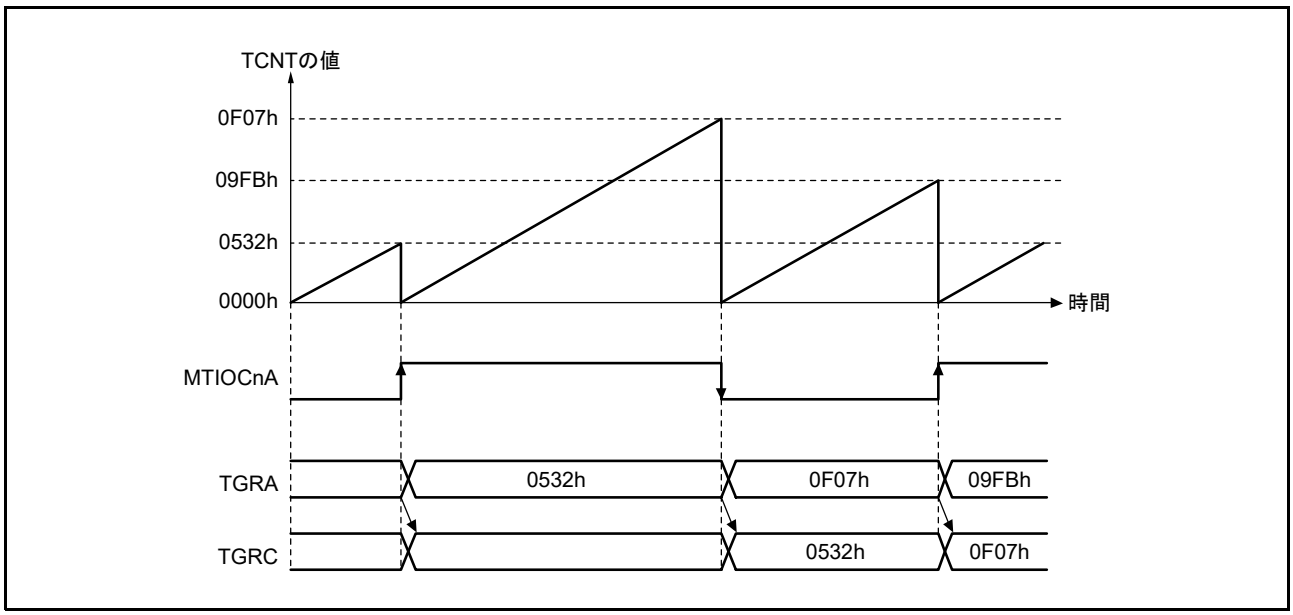


図 22.19　バッファ動作例 (2) (n = 0 ～ 4, 6, 7, 9)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ（MTUn.TBTM）（n = 0, 3, 4, 6, 7, 9）を設定することで、MTU0、MTU9 では PWM モード 1、2 時の、MTU3、MTU4、MTU6、MTU7 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（リセット後の値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバフローしたとき（FFFFh → 0000h）
- カウンタの動作中、TCNT に “0000h” が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が “0000h” になったとき

注 .　TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 22.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” にしています。

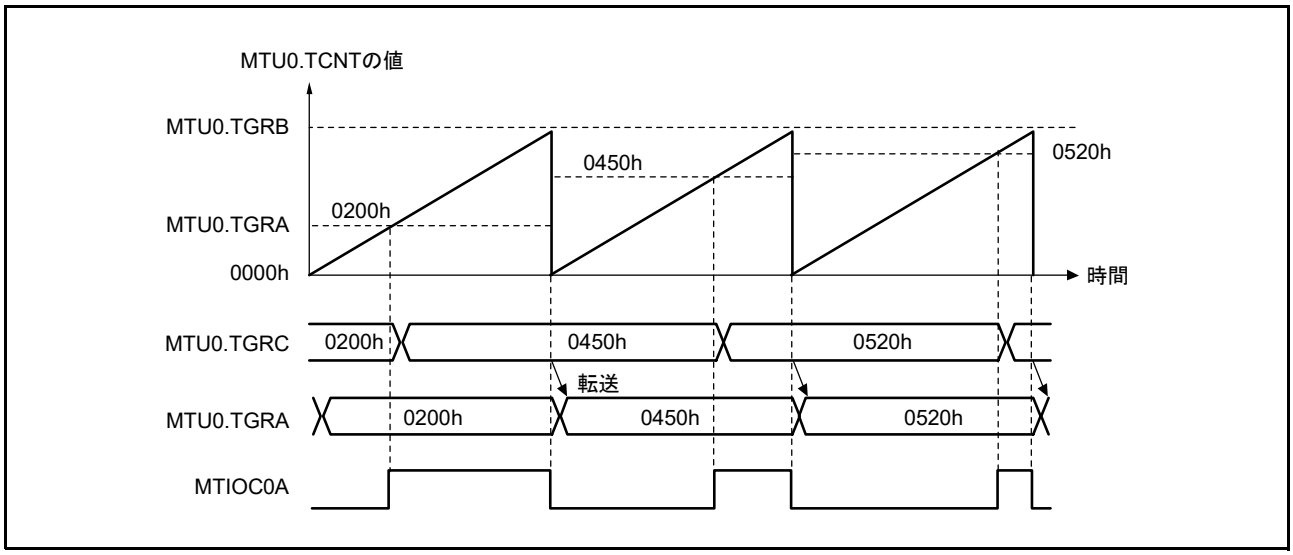


図 22.20　MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

22.3.4　カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

MTU1 と MTU2 を接続して 32 ビットカウンタとして使用する機能には、MTU1.TMDR3.LWA ビットを “0” のときに設定するカスケード接続と、MTU1.TMDR3.LWA ビットを “1” に設定するカスケード接続 32 ビット位相計数モードがあります。カスケード接続 32 ビット位相計数モードについては**「22.3.6.2　カスケード接続 32 ビット位相計数モード」**を参照してください。本章では、MTU1.TMDR3.LWA ビットを “0” のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWA ビットを “0” に設定し、MTU1.TCR.TPSC[2:0] ビットで MTU1.TCNT を MTU2.TCNT のオーバフロー / アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位 16 ビットが割り当てられた MTU2 が位相計数モードのときのみです。

表 22.63 にカスケード接続の組み合わせを示します。

注 .　MTU1 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 22.63　カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
MTU1 と MTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNT と MTU2.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ（TICCR）で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は**「(4)　カスケード接続動作例 (c)」**を参照してください。カスケード接続時のインプットキャプチャについては**「22.6.21　カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプット キャプチャ」**を参照してください。

TICCR レジスタの設定値とインプットキャプチャ入力端子の対応を**表 22.64** に示します。

表 22.64　TICCR レジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット = 0（初期値）	MTIOC1A
	I2AEビット = 1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット = 0（初期値）	MTIOC1B
	I2BEビット = 1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット = 0（初期値）	MTIOC2A
	I1AEビット = 1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット = 0（初期値）	MTIOC2B
	I1BEビット = 1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 22.21 に示します。

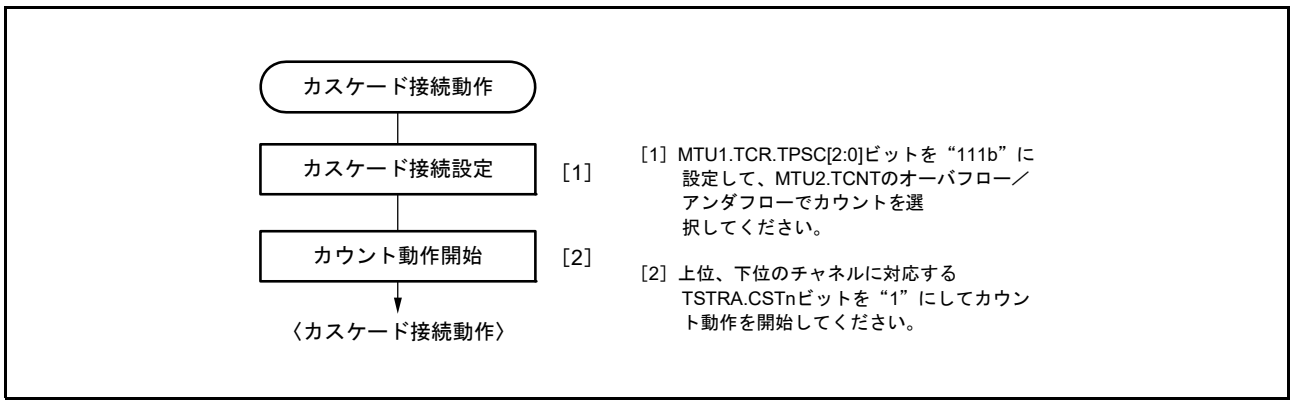


図 22.21　カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバフロー / アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 22.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

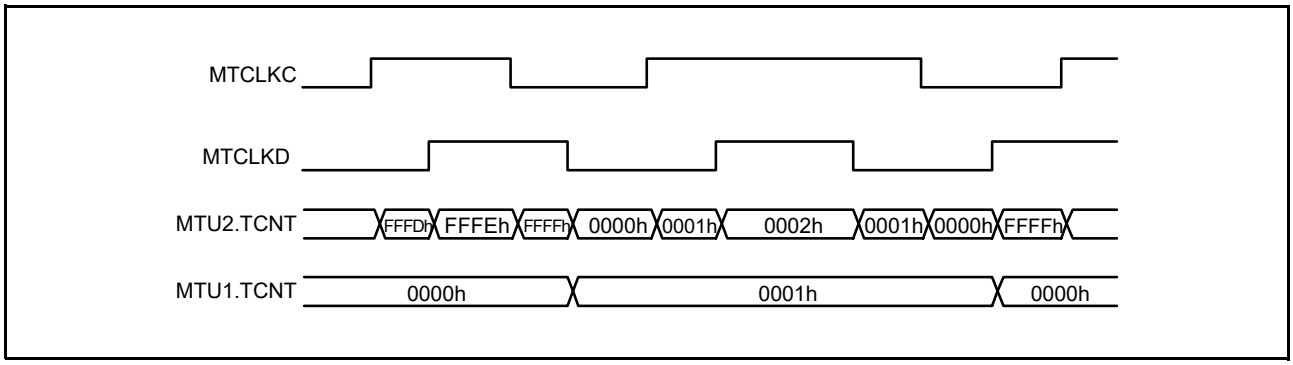


図 22.22　カスケード接続動作例 (a)

(3)　カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 22.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA のインプットキャプチャ条件に設定されます。また、MTU2.TGRA のインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

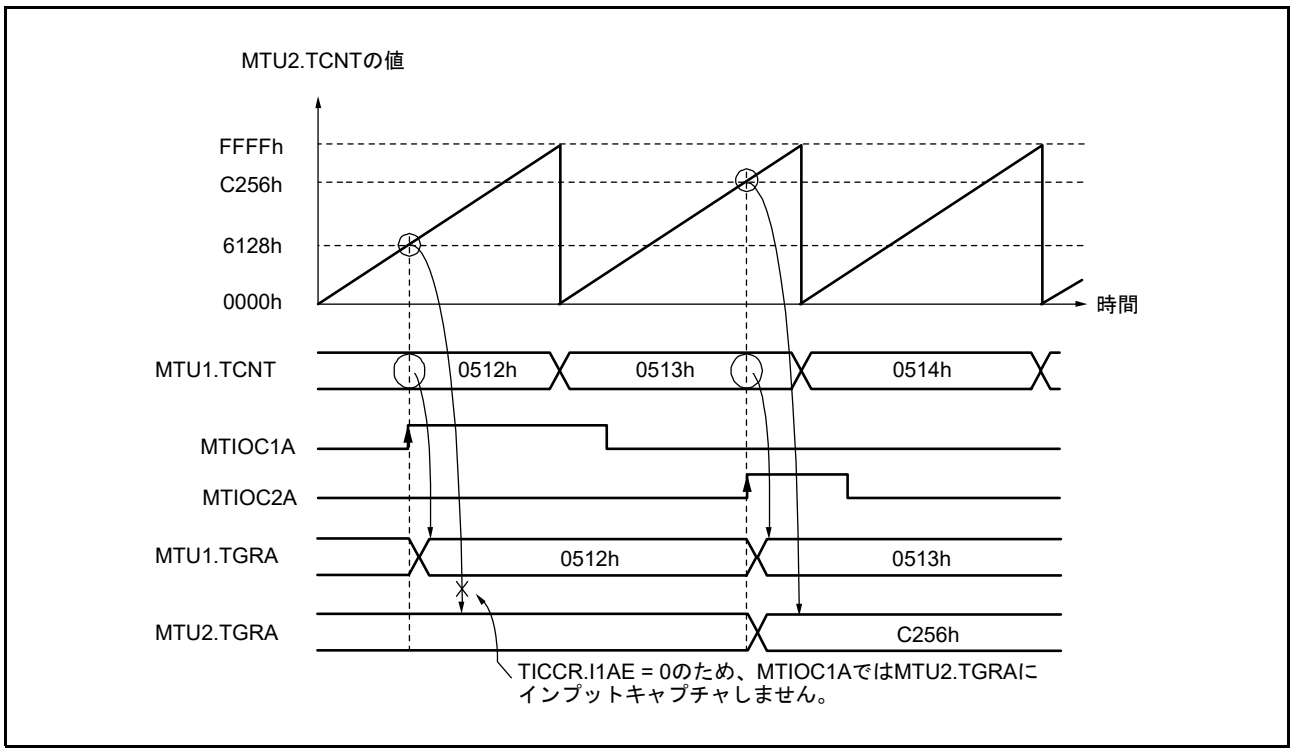


図 22.23　カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加した場合の動作を図 22.24 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA のインプットキャプチャ条件となります。

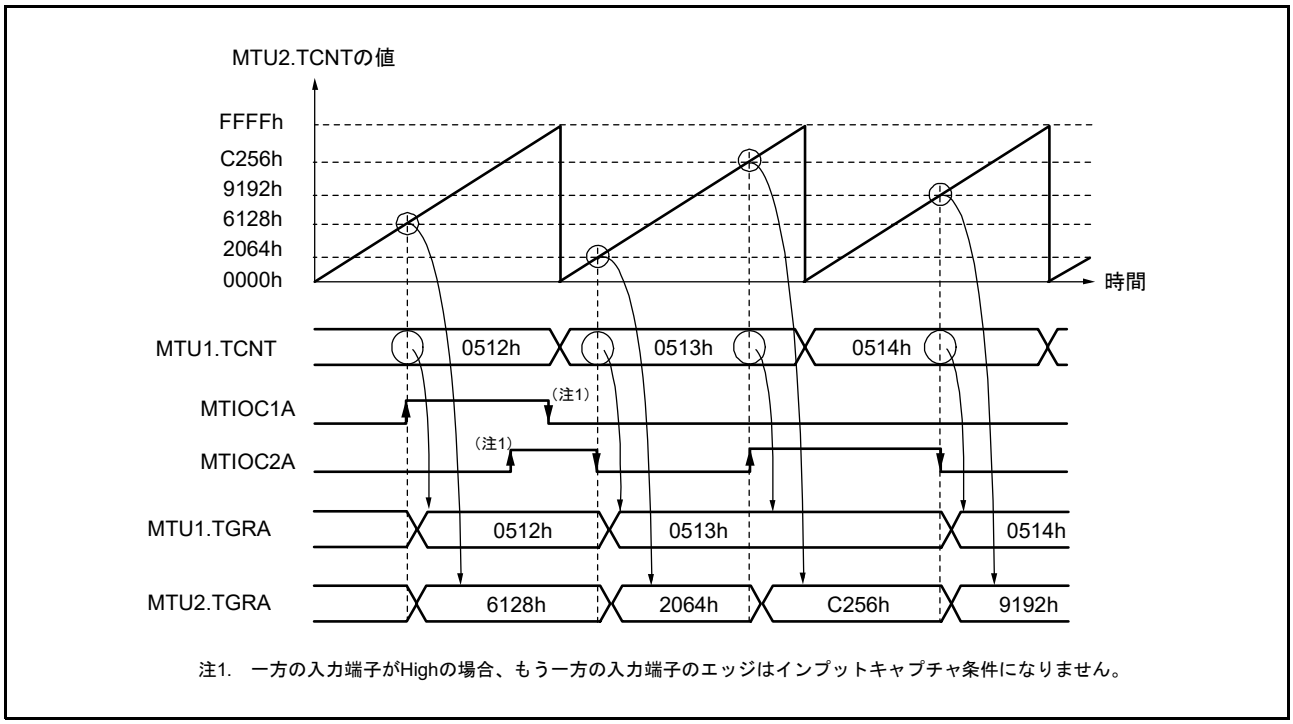


図 22.24　カスケード接続動作例 (c)

(5)　カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 22.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを “1” にしても MTIOC2A のエッジが MTU1.TGRA のインプットキャプチャ条件になることはありません。

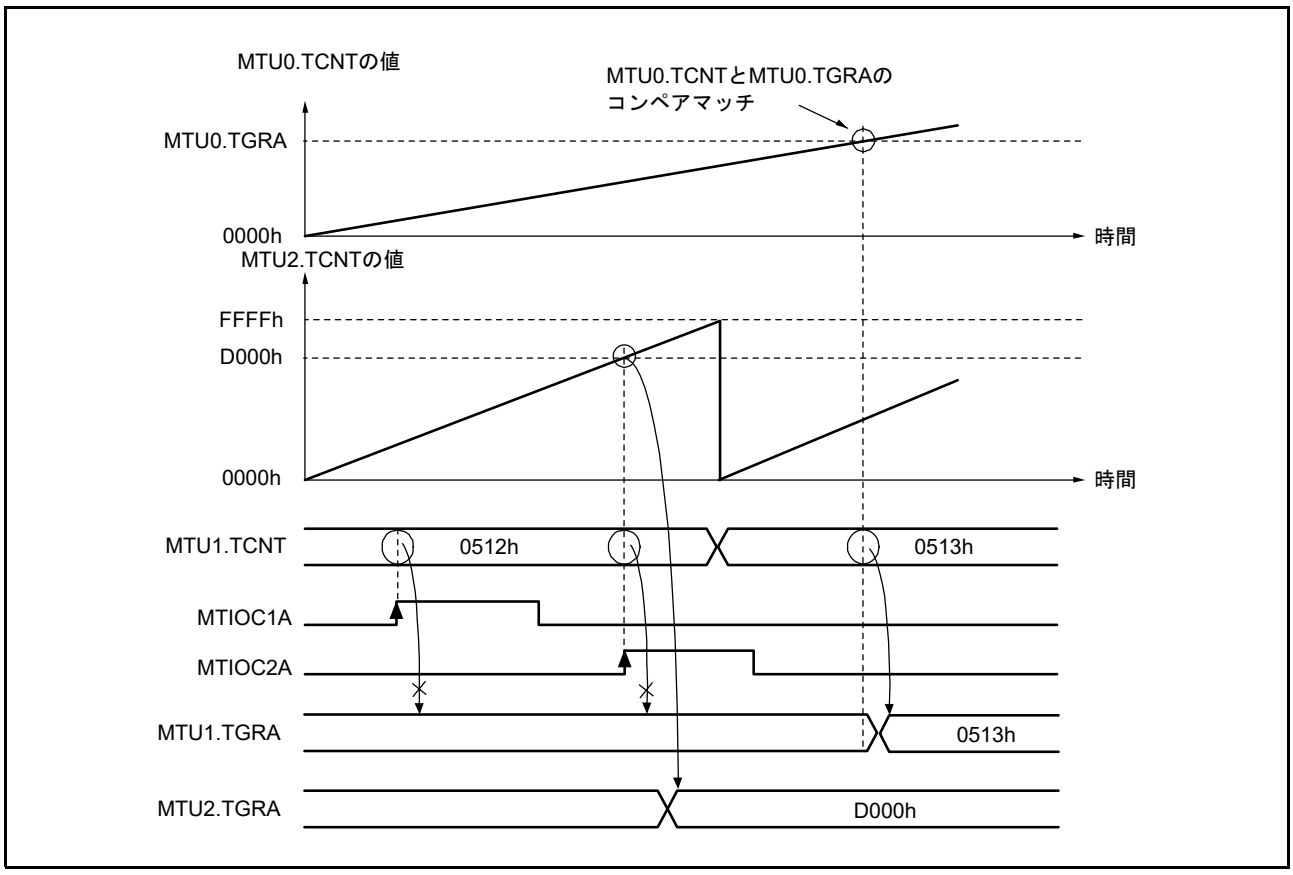


図 22.25　カスケード接続動作例 (d)

22.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 /High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ～ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。MTU5 を除くすべてのチャネルは、個々に PWM モードに設定できます。PWM モードに設定したチャネルの同期動作、および PWM モードに設定したチャネルと他のモードに設定したチャネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOCnA 端子、MTIOCnC 端子から PWM 波形を出力します。MTIOCnA 端子、MTIOCnC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います（n = 0 ～ 4, 6, 7, 9）。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 14 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャネルの同期クリアを同期動作として併用することにより最大 12 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を**表 22.65** に示します。

表22.65　各PWM出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		
MTU9	TGRA	MTIOC9A	MTIOC9A
	TGRB		MTIOC9B
	TGRC	MTIOC9C	MTIOC9C
	TGRD		MTIOC9D

注.　PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 22.26 に示します。

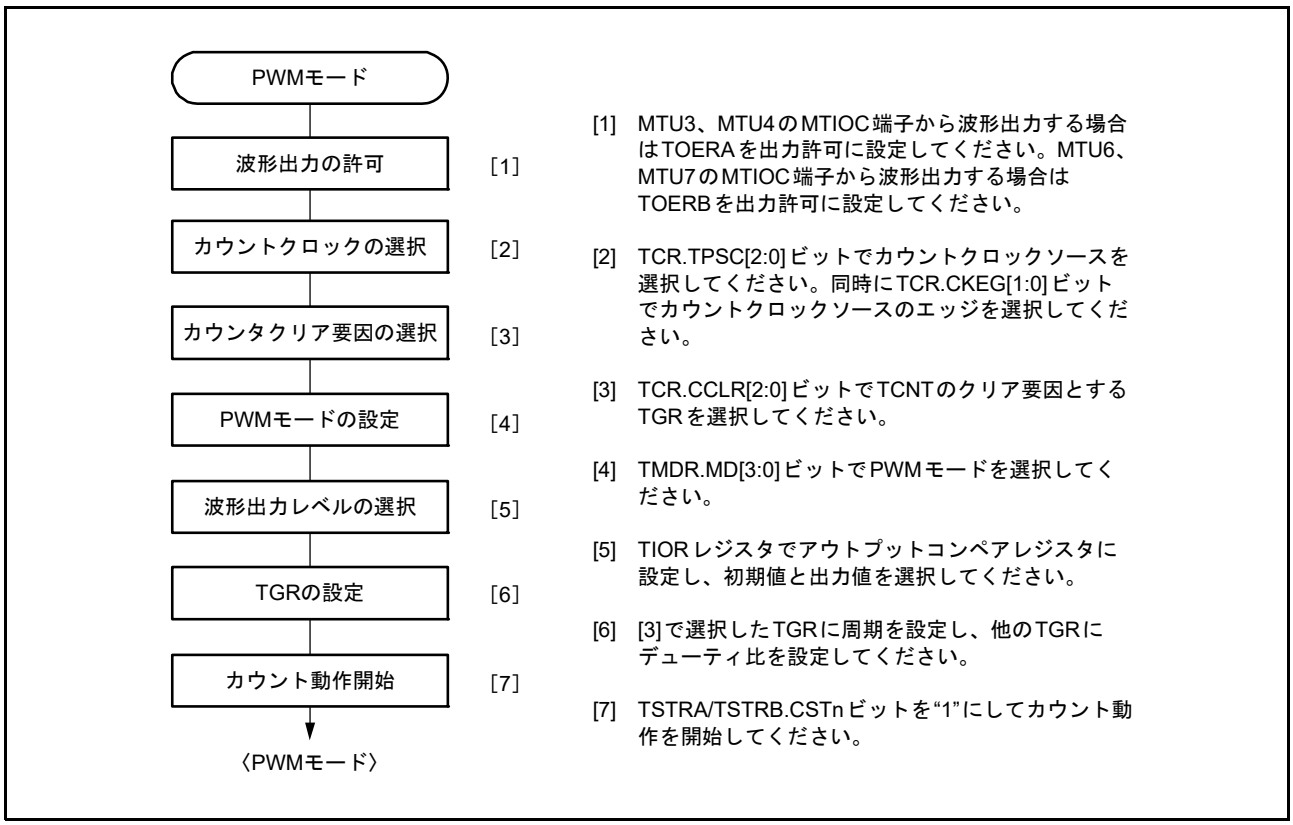


図 22.26　PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 22.27 に示します。

この図は、TCNT のクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を “0”、TGRB レジスタの出力値を “1” にした場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティ比になります。

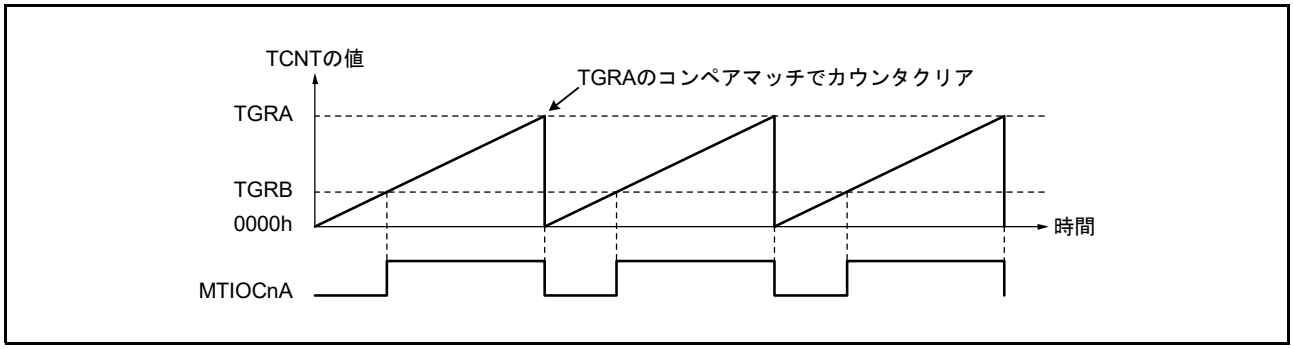


図 22.27　PWM モード 1 の動作例 (n = 0 ～ 4, 6, 7, 9)

PWM モード 2 の動作例を図 22.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）の初期出力値を Low、出力値を High にして 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）に設定した値がデューティ比になります。

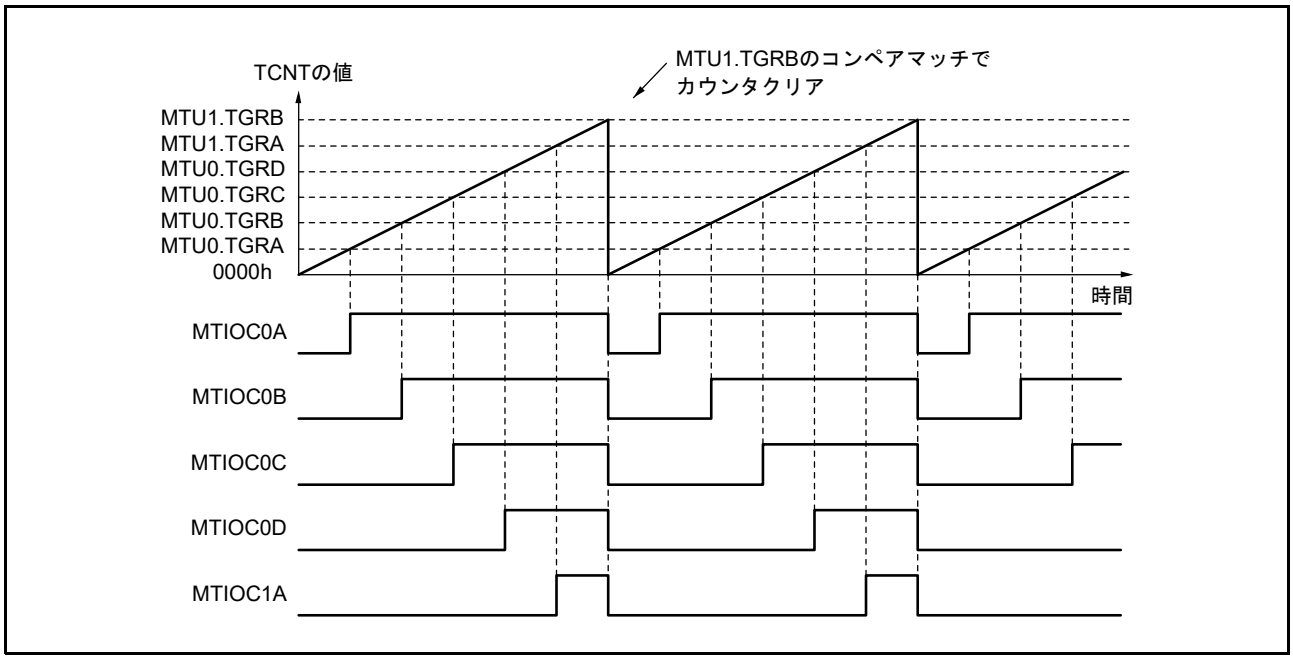


図 22.28　PWM モード 2 の動作例

PWM モード 1 で、デューティ比 0%、デューティ比 100% の PWM 波形を出力する例を図 22.29 に示します。この図は、TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TGRB レジスタの出力値を High に設定した場合の例です。

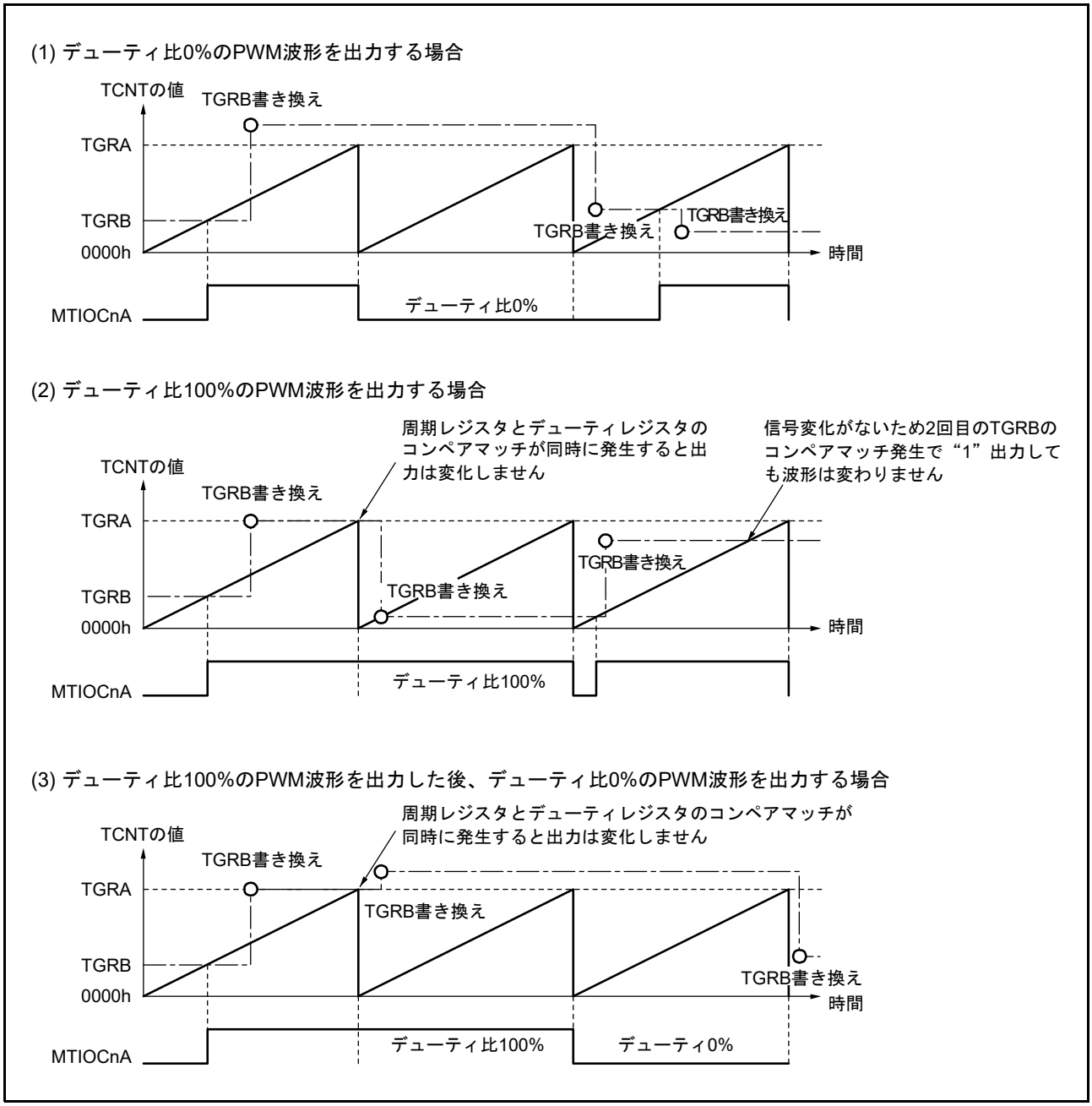


図 22.29　PWM モード動作例 (デューティ 0%、デューティ 100% の PWM 波形を出力する例)
(n = 0 ～ 4, 6, 7, 9)

22.3.6　位相計数モード

位相計数モードにはMTU1とMTU2がそれぞれ独立に動作する16ビット位相計数モードとMTU1, MTU2をカスケード接続したカスケード接続32ビット位相計数モードがあります。

位相計数モードでは2つの外部クロック入力の位相差を検出して、対応するTCNTをアップカウント/ダウンカウントします。

各位相計数モードでの2つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわりません。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モードの2つの外部クロック入力は、MTU1.TMDR3.PHCKSELで選択を行うことができます。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モード以外の位相計数モードでは、A相/B相にMTCLKA/MTCLKBが選択されます。位相計数モードでは、外部クロック端子MTCLKA、MTCLKB、MTCLKC、MTCLKDを2相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を**表22.66**に示します。

表22.66　位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSELビット	外部クロック端子	
		A相	B相
MTU1　16ビット位相計数モード	x（Don't care）	MTCLKA	MTCLKB
MTU2　16ビット位相計数モード	0	MTCLKA	MTCLKB
	1（初期値）	MTCLKC	MTCLKD
カスケード接続32ビット位相計数モード	0	MTCLKA	MTCLKB
	1（初期値）	MTCLKC	MTCLKD

22.3.6.1　16ビット位相計数モード

MTU1.TMDR3.LWA = 0のとき、MTU1とMTU2には各々独立して16ビット位相計数モードが設定できます。

16ビット位相計数モードでは、2本の外部クロック入力の位相差を検出して対応するチャネルの16ビットカウンタTCNTをアップカウント/ダウンカウントします。

16ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわらずカウントクロックは外部クロックが選択され、TCNTはアップカウンタ/ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2相エンコーダパルスの入力として使用できます。

TCNTがアップカウントしているときにオーバフローが発生すると、対応するTIER.TCIEVビットが“1”であれば、TCIV割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応するTIER.TCIEUビットが“1”であれば、TCIU割り込みが発生します。

TSR.TCFDフラグはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

(1)　16 ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 22.30 に示します。

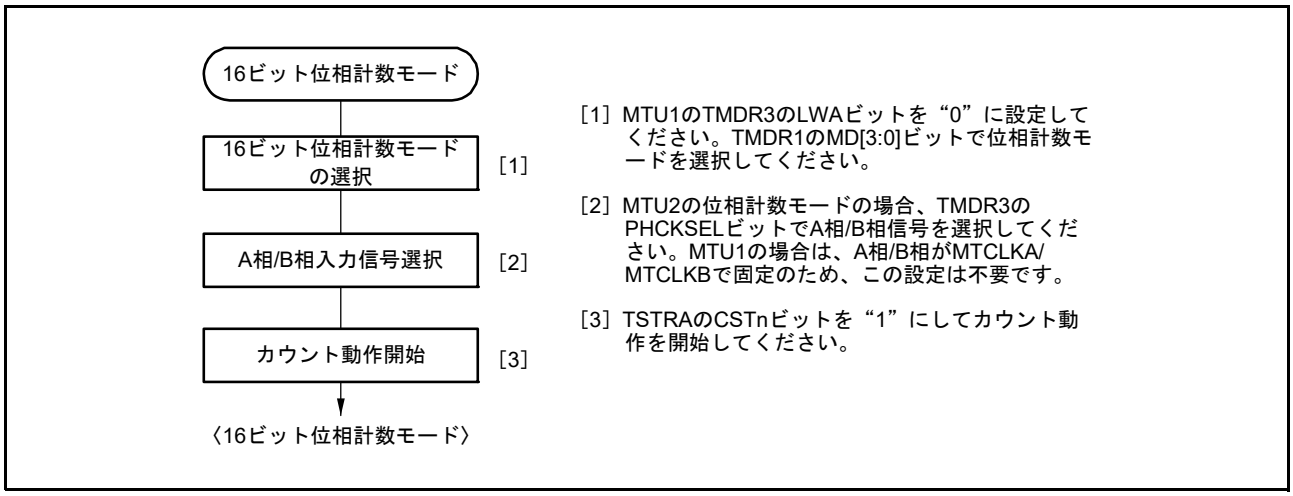


図 22.30　16 ビット位相計数モードの設定手順例

(2) 16 ビット位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップカウント / ダウンカウントします。なお、カウント条件により 5 つのモードがあり、各モードは PHCKSEL = 1 の条件で、つまり MTU1 の位相クロックは MTCLKA, MTCLKB から入力、MTU2 の位相クロックは MTCLKC, MTCLKD から入力として説明します。

(a) 位相計数モード 1

位相計数モード 1 の動作例を**図 22.31** に、TCNT のアップカウント / ダウンカウント条件を**表 22.67** に示します。

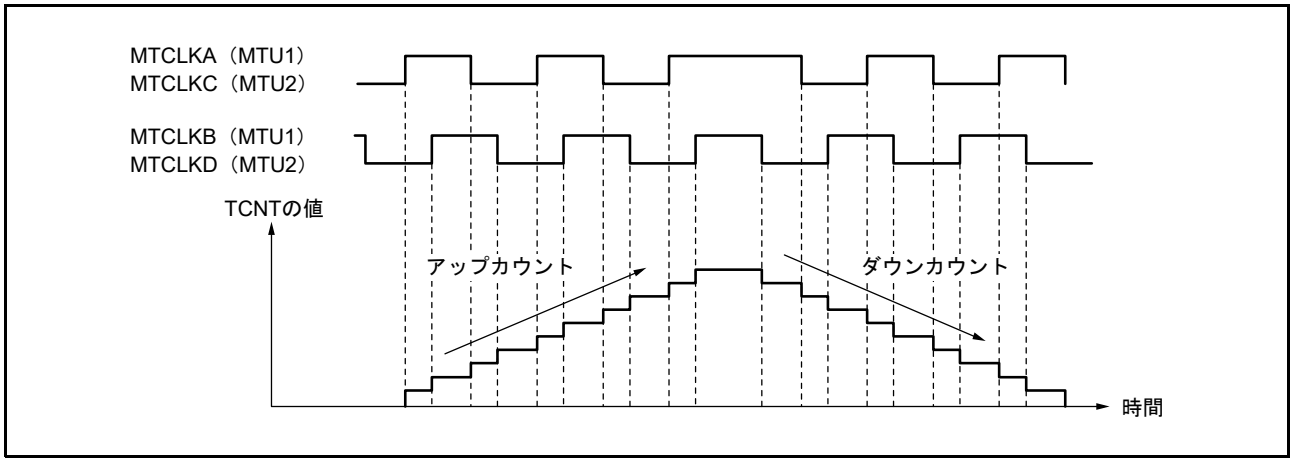


図 22.31　位相計数モード 1 の動作例

表22.67　位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b)　位相計数モード 2

位相計数モード 2 の動作例を**図 22.32 ～図 22.34** に、TCNT のアップカウント / ダウンカウント条件を**表 22.68** に示します。

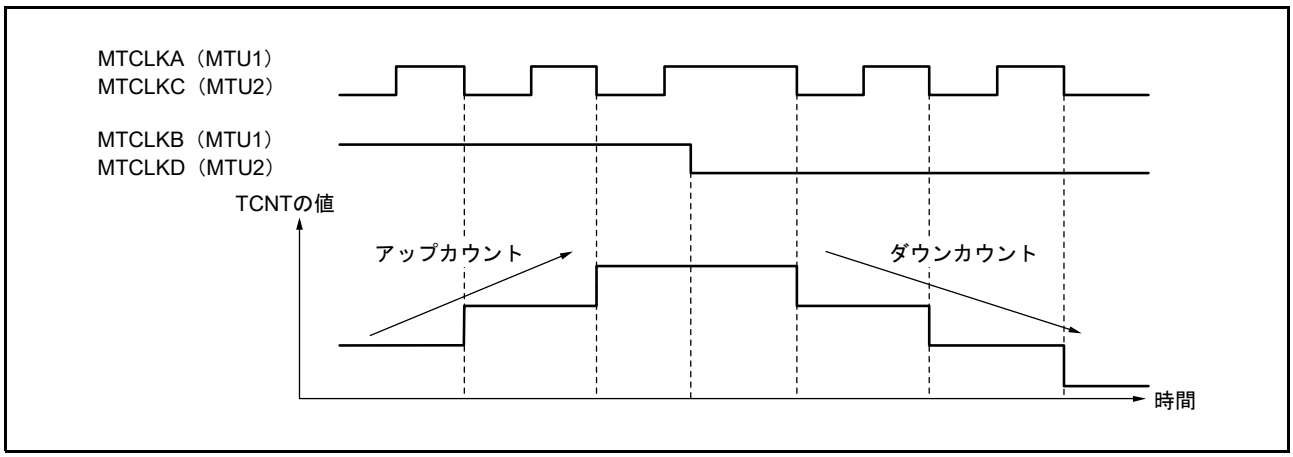


図 22.32　位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

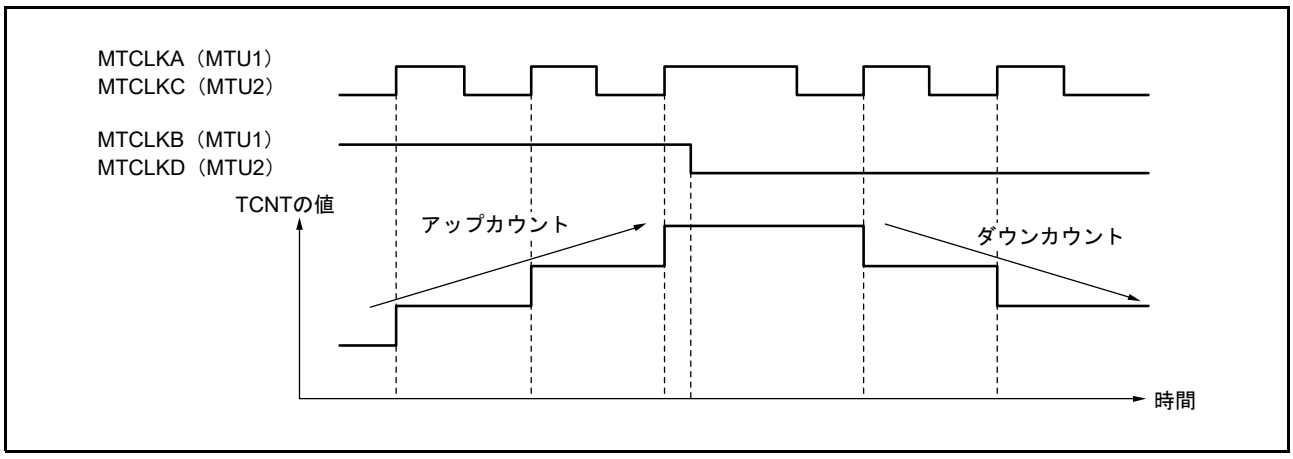


図 22.33　位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

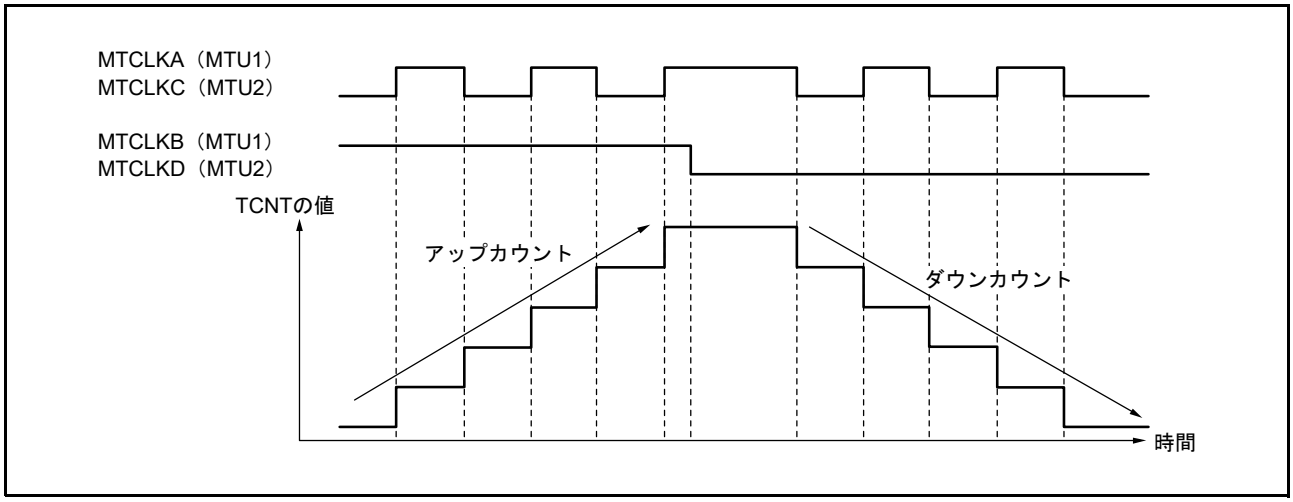


図 22.34　位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.68　位相計数モード2のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	ダウンカウント
01	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	カウントしない（Don't care）
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	アップカウント
	↓	Low	ダウンカウント

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(c)　位相計数モード 3

位相計数モード 3 の動作例を**図 22.35 ～図 22.37** に、TCNT のアップカウント / ダウンカウント条件を**表 22.69** に示します。

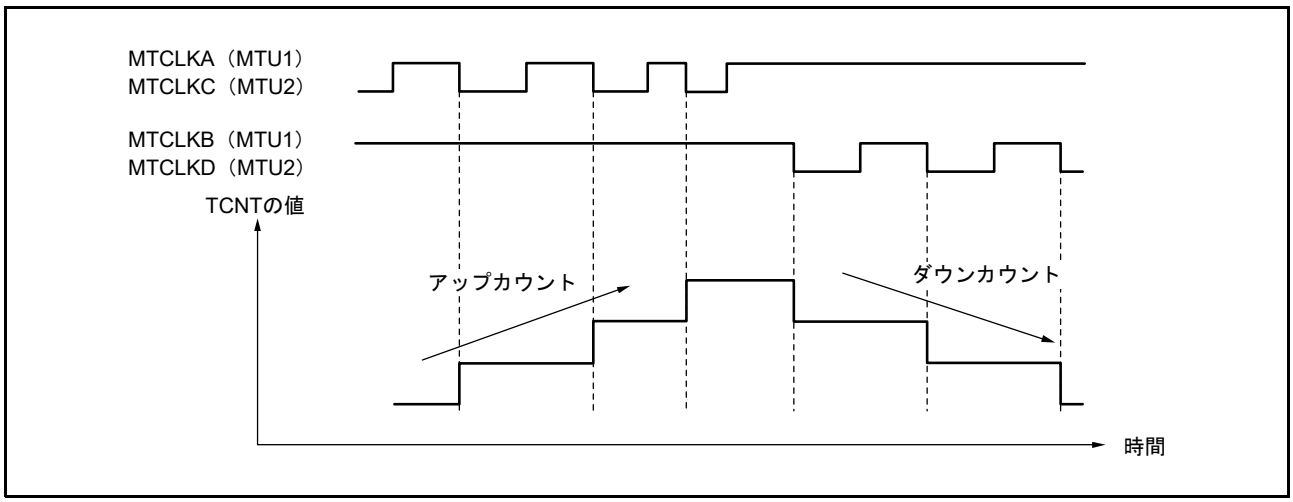


図 22.35　位相計数モード 3 の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

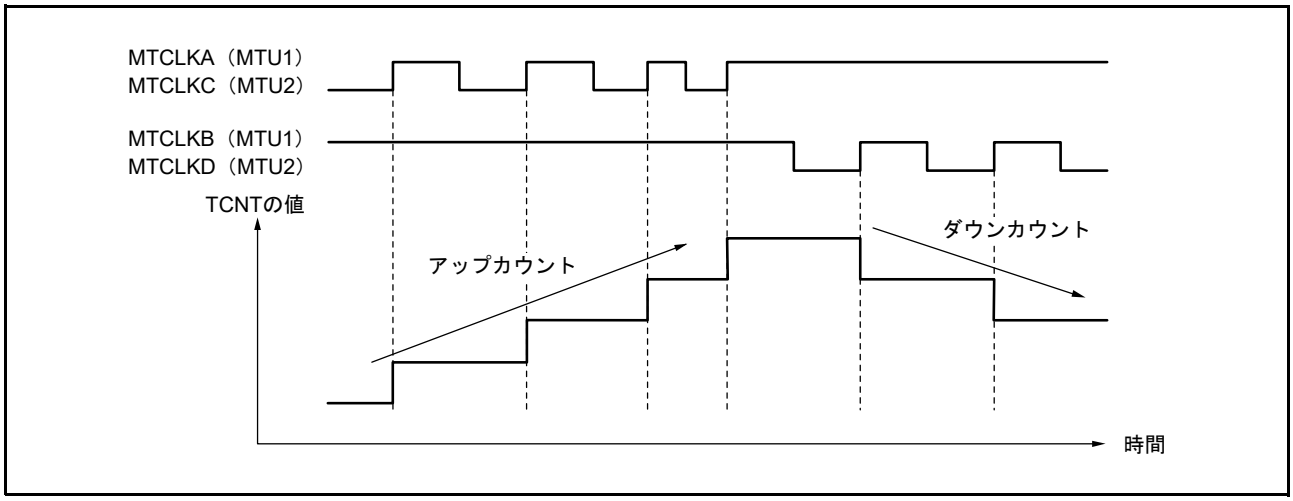


図 22.36　位相計数モード 3 の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

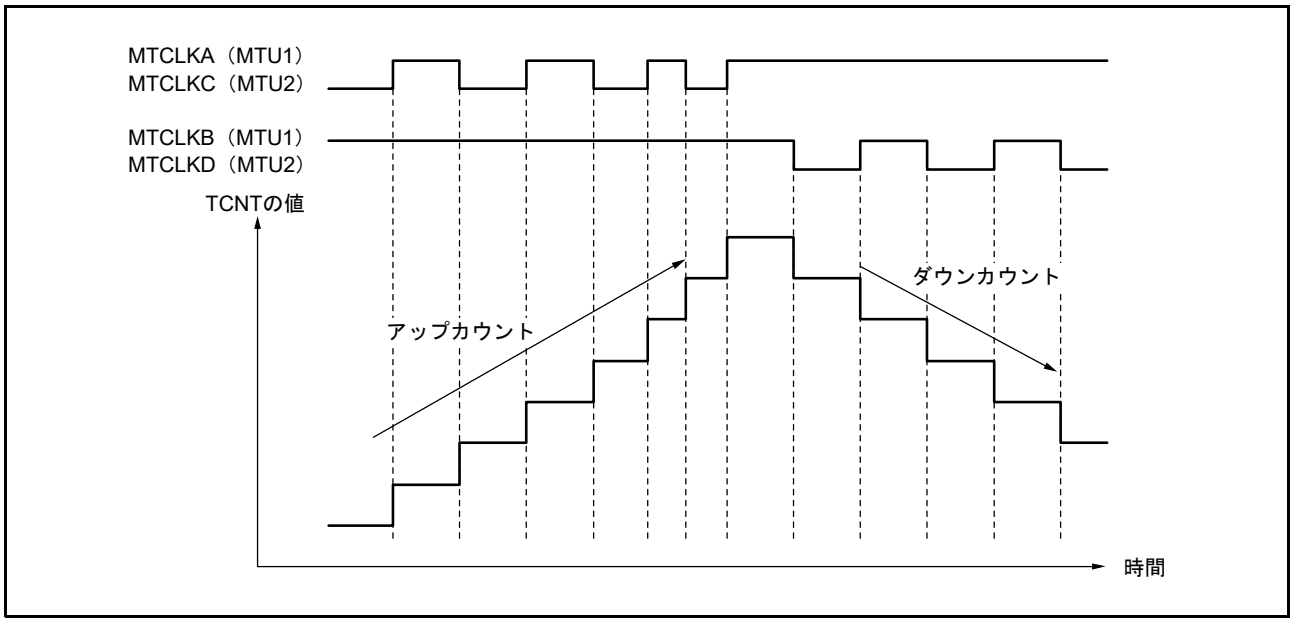


図 22.37　位相計数モード 3 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.69　位相計数モード3のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	
01	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(d)　位相計数モード 4

位相計数モード 4 の動作例を図 22.38 に、TCNT のアップカウント / ダウンカウント条件を表 22.70 に示します。

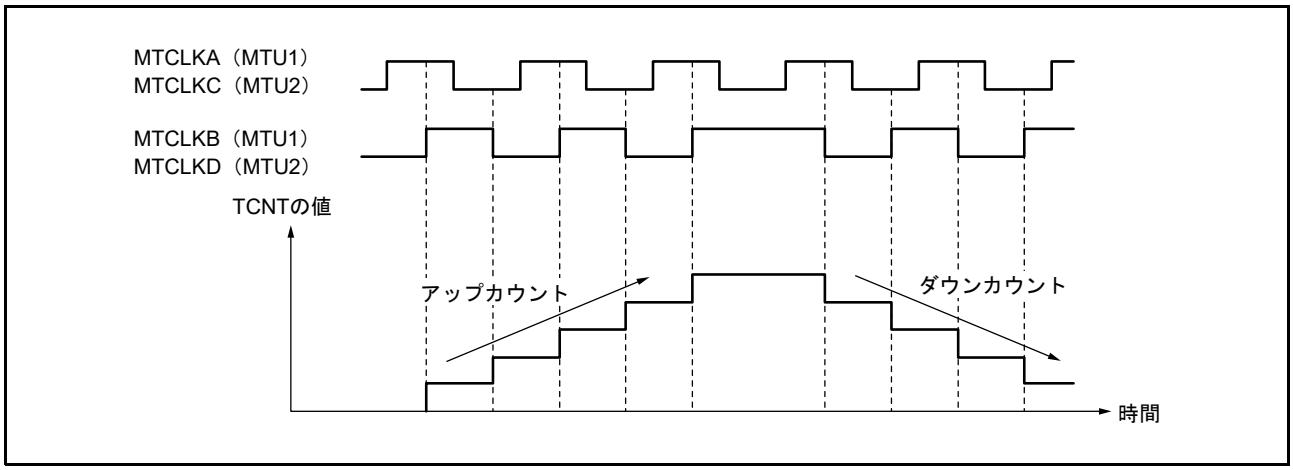


図 22.38　位相計数モード 4 の動作例

表22.70　位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない（Don't care）
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない（Don't care）
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(e)　位相計数モード 5

位相計数モード 5 の動作例を図 22.39、図 22.40 に、TCNT のアップカウント / ダウンカウント条件を表 22.71 に示します。

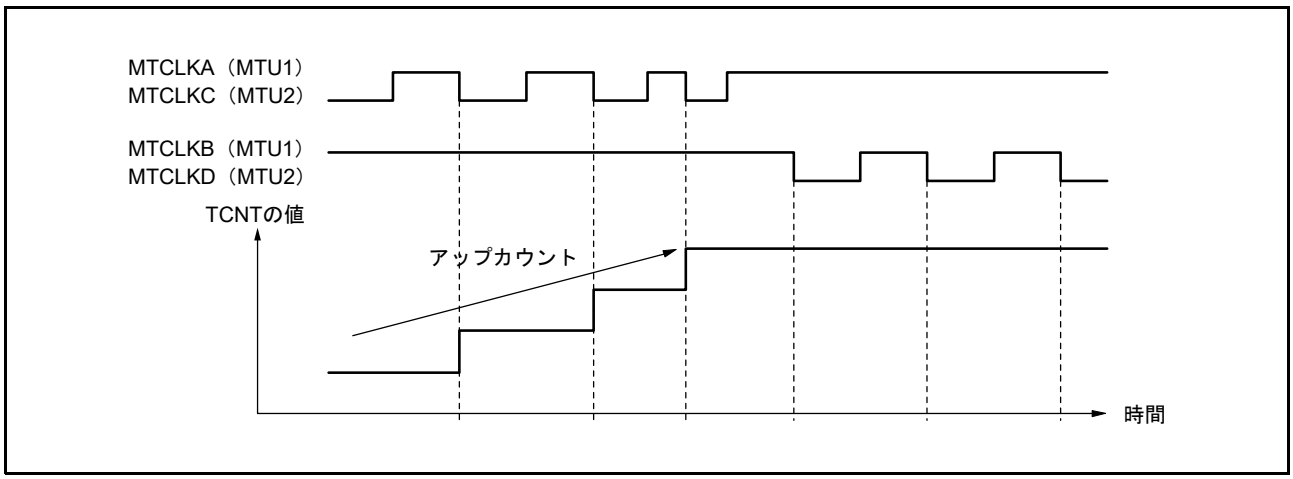


図 22.39　位相計数モード 5 の動作例 (MTUn.TCR2.PCB[1:0] = 0xb のとき (n = 1, 2))

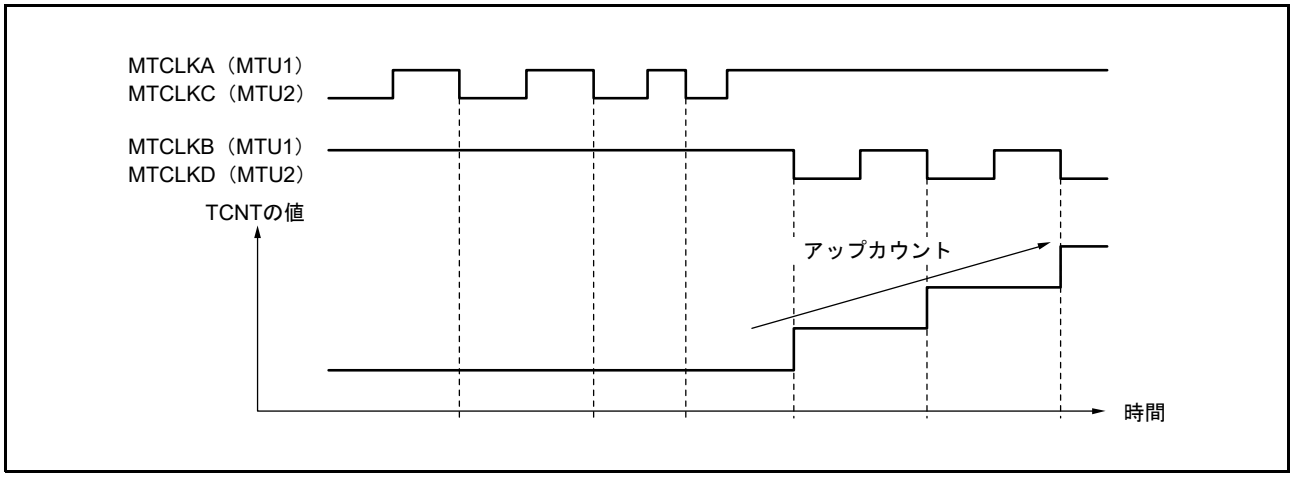


図 22.40　位相計数モード 5 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.71　位相計数モード5のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
0x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	アップカウント
1x	High	↑	カウントしない（Don't care）
	Low	↓	アップカウント
	↑	Low	カウントしない（Don't care）
	↓	High	
	High	↓	アップカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(3)　16 ビット位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 22.41 に示します。

MTU1 は位相計数モード 1 に設定し、MTCLKA と MTCLKB にエンコーダパルスの A 相、B 相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と MTU0.TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB はインプットキャプチャ機能で使用し、MTU0.TGRB と MTU0.TGRD をバッファ動作させます。MTU0.TGRB のインプットキャプチャ要因は、MTU1 のカウントクロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と MTU1.TGRB は、インプットキャプチャ機能に設定し、インプットキャプチャ要因は MTU0 の MTU0.TGRA と MTU0.TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

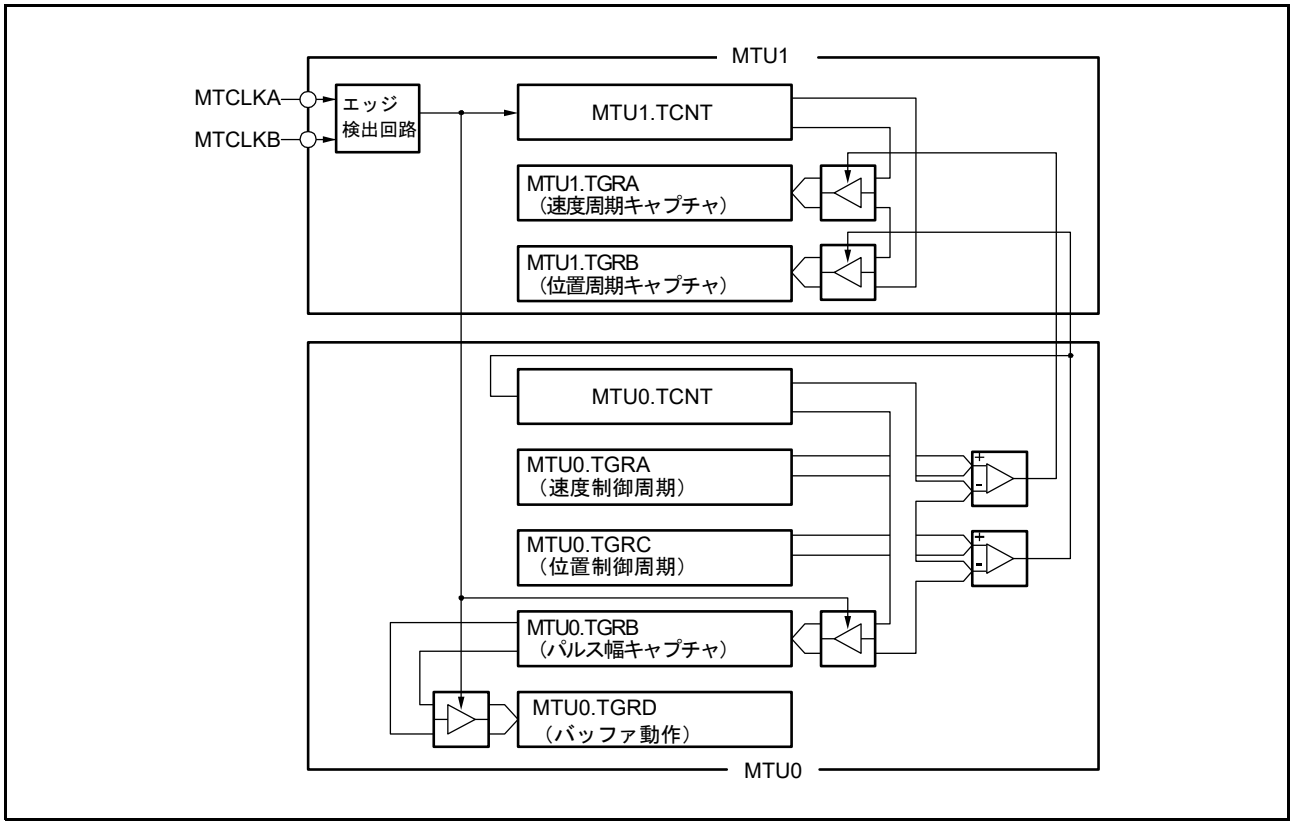


図 22.41　16 ビット位相計数モードの応用例

22.3.6.2　カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA = 1 で MTU1 に位相計数モードを設定した場合、MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、**図 22.42** を参照してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、**「22.3.4　カスケード接続動作」**を参照してください。

(1)　カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を**図 22.42** に示します。

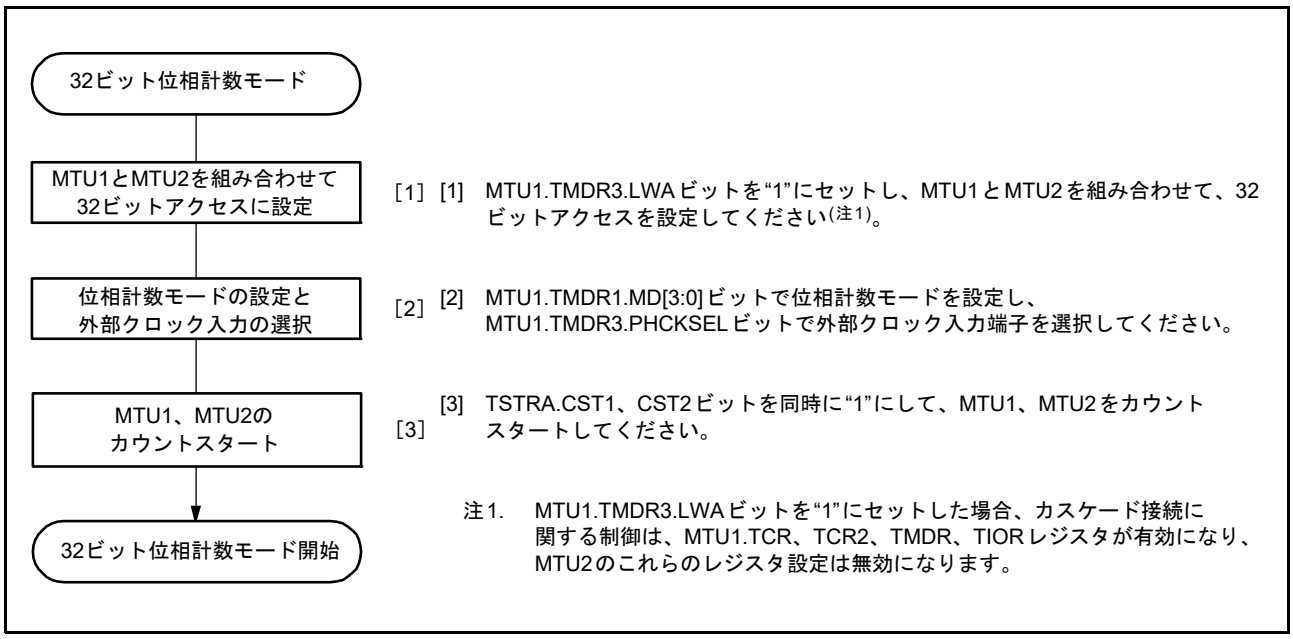


図 22.42　カスケード接続 32 ビット位相計数モード設定手順

22.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6（MTU3.TCNT, MTU6.TCNT）はアップカウンタとして機能します。

使用される PWM 出力端子を**表 22.72** に、使用するレジスタの設定を**表 22.73** に示します。

表22.72　リセット同期PWMモード時の出力端子

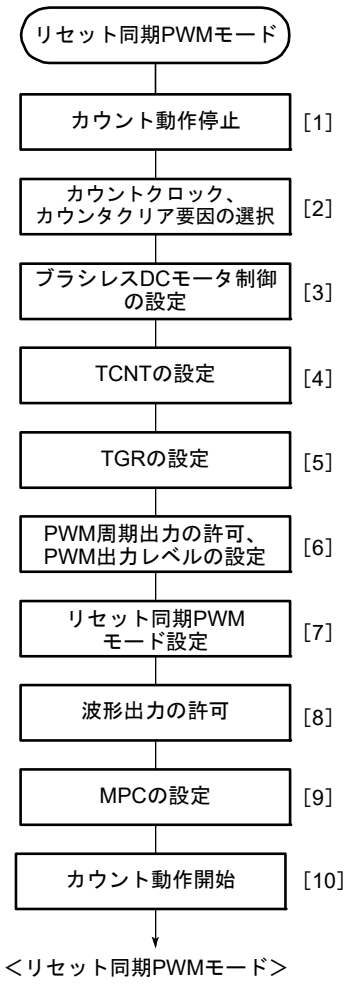
チャネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形）

表22.73　リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	“0000h”を初期設定
MTU4.TCNT	“0000h”を初期設定
MTU3.TGRA	MTU3.TCNTのカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	“0000h”を初期設定
MTU7.TCNT	“0000h”を初期設定
MTU6.TGRA	MTU6.TCNTのカウント周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 22.43 に示します。



[1] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを“0”にクリアし、TCNTのカウント動作を停止してください。
リセット同期PWMモードの設定はMTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）が停止した状態で行ってください。

[2] MTU3（MTU6）のTCR.TPSC[2:0]ビット、TCR.CKEG[1:0]ビットでMTU3（MTU6）のカウントクロックソースとクロックエッジを設定してください。
TCR.CCLR[2:0]ビットでカウンタクリア要因をTGRAのコンペアマッチに設定してください。

[3] ブラシレスDCモータ用の制御をする場合、TGCRA.BDC（TGCRB.BDC）ビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[4] MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）は“0000h”としてください。

[5] MTU3.TGRA（MTU6.TGRA）は周期レジスタです。MTU3.TGRA（MTU6.TGRA）にはPWM周期を設定してください。
MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）にはPWM出力変化タイミングを設定してください。ただし、設定値はMTU3.TCNT（MTU6.TCNT）とコンペアマッチする範囲で設定してください。

X≦MTU3.TGRA（X：設定値）

[6] TOCR1A（TOCR1B）レジスタのPSYEビットでPWM周期に同期したトグル出力の許可/禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。TOCR2A（TOCR2B）レジスタ、TOLBRA（TOLBRB）レジスタによりPWM出力レベルの設定をバッファ動作で行う場合は、「タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）」を参照してください。

[7] MTU3.TMDR1（MTU6.TMDR1）レジスタのMD[3:0]ビットを“1000b”にセットしてリセット同期PWMモードと、必要に応じてMTU3.TGRA（MTU6.TGRA）レジスタのバッファ動作（BFA = 1）、MTU3.TGRB（MTU6.TGRB）レジスタのバッファ動作（BFB = 1）を設定してください。MTU4.TMDR1（MTU7.TMDR1）レジスタには初期値（通常動作、BFA = 0、BFB = 0）を設定してください。

[8] TOERA（TOERB）レジスタでPWM出力端子の出力の許可/禁止を設定してください。その後、MTU3.TIORH（MTU6.TIORH）、MTU3.TIORL（MTU6.TIORL）、MTU4.TIORH（MTU7.TIORH）、MTU4.TIORL（MTU7.TIORL）レジスタに“00h”を設定してください。

[9] MPCとI/Oポートのポートモードレジスタ（PMR）を設定してください。

[10] TSTRA.CST3（TSTRB.CST6）ビットを“1”にして、カウント動作を開始してください。

注. X = MTU3.TGRA（MTU6.TGRA）すなわち周期=デューティ比の設定を行うと出力波形はMTU3.TCNT（MTU6.TCNT）= MTU3.TGRA（MTU6.TGRA）= Xのポイントでトグル動作します。

図 22.43　リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 22.44 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）はアップカウンタとして動作します。MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）とコンペアマッチするとカウンタはクリアされ “0000h” からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

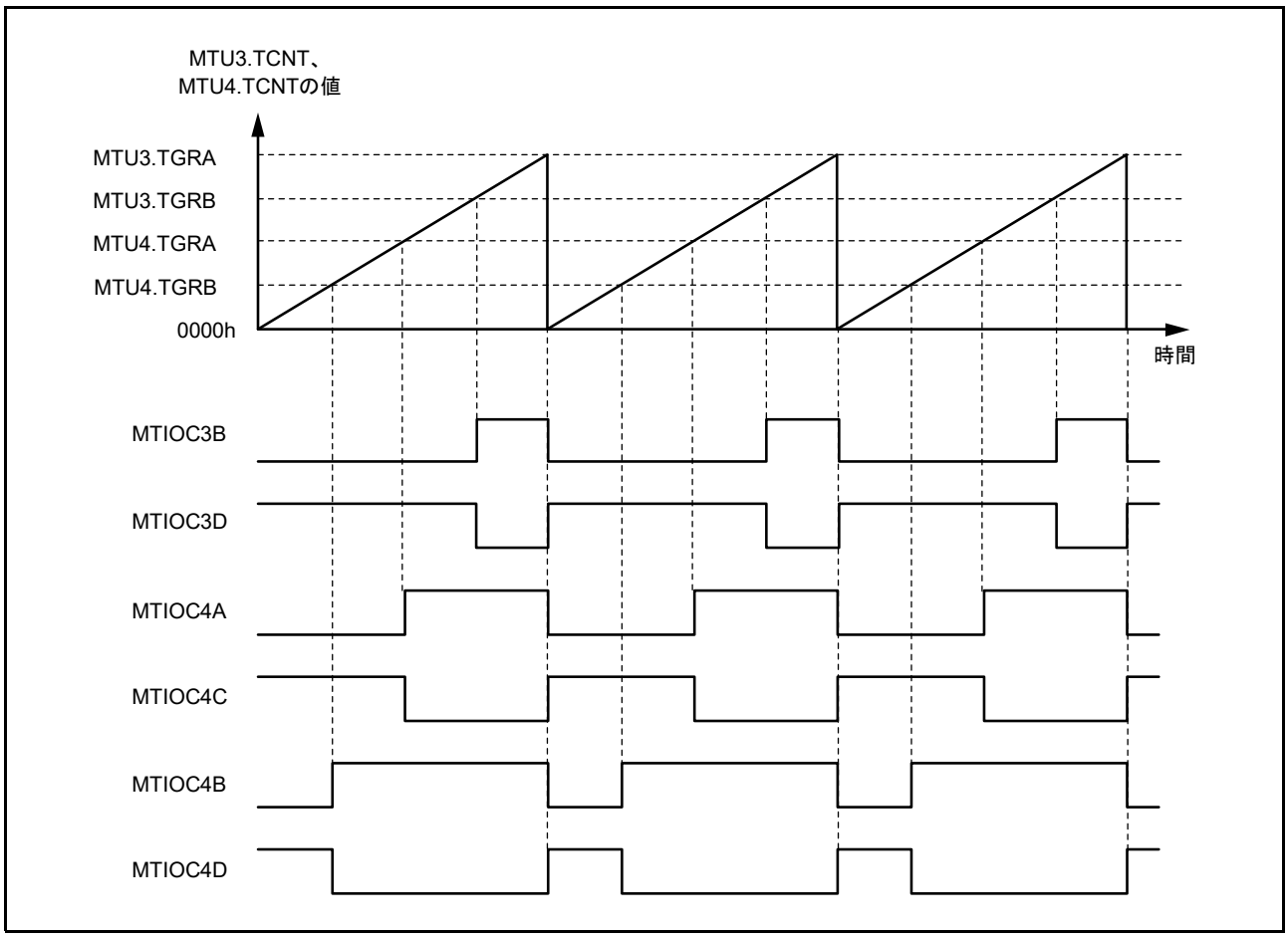


図 22.44　リセット同期 PWM モードの動作例
(MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

22.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 および MTU6、MTU7 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を**表 22.74** に、使用するレジスタの設定を**表 22.75** に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表22.74　相補PWMモード時の出力端子

チャネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3C	入出力ポート(注1)
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形出力）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形出力）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形出力）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6C	入出力ポート(注1)
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形出力）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形出力）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形出力）

注1.　MTIOC3C、MTIOC6C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表22.75　相補PWMモード時のレジスタ設定 (1/2)

チャネル	カウンタ/レジスタ	説明	CPUからの読み出し/書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	MTU3.TCNTの上限値を設定（キャリア周期の1/2 + デッドタイム）	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
MTU4	TCNT	“0000h”を初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
	TGRF	MTU4.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	MTU6.TCNTの上限値を設定（キャリア周期の1/2 + デッドタイム）	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	MTU6.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力4/MTU6.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
MTU7	TCNT	“0000h”を初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	PWM出力5/MTU7.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力6/MTU7.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可/禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可/禁止が可能です。

表22.76　相補PWMモード時のレジスタ設定 (2/2)

チャネル	カウンタ/レジスタ	説明	CPUからの読み出し/書き込み
タイマデッドタイムデータレジスタA (TDDRA)		MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERAの設定によりマスク可能(注1)
タイマデッドタイムデータレジスタB (TDDRB)		MTU7.TCNTとMTU6.TCNTのオフセット値（デッドタイムの値）を設定	TRWERBの設定によりマスク可能(注2)
タイマ周期データレジスタA (TCDRA)		MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERAの設定によりマスク可能(注1)
タイマ周期データレジスタB (TCDRB)		MTU7.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERBの設定によりマスク可能(注2)
タイマ周期バッファレジスタA (TCBRA)		TCDRAのバッファレジスタ	読み出し/書き込み可能
タイマ周期バッファレジスタB (TCBRB)		TCDRBのバッファレジスタ	読み出し/書き込み可能
サブカウンタA (TCNTSA)		デッドタイム生成のためのサブカウンタA	読み出しのみ可能
サブカウンタB (TCNTSB)		デッドタイム生成のためのサブカウンタB	読み出しのみ可能
テンポラリレジスタ1A (TEMP1A)		PWM出力1/MTU3.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ1B (TEMP1B)		PWM出力1/MTU3.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ2A (TEMP2A)		PWM出力2/MTU4.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ2B (TEMP2B)		PWM出力2/MTU4.TGRAのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ3A (TEMP3A)		PWM出力3/MTU4.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ3B (TEMP3B)		PWM出力3/MTU4.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ4A (TEMP4A)		PWM出力4/MTU6.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ4B (TEMP4B)		PWM出力4/MTU6.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ5A (TEMP5A)		PWM出力5/MTU7.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ5B (TEMP5B)		PWM出力5/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ6A (TEMP6A)		PWM出力6/MTU7.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ6B (TEMP6B)		PWM出力6/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可/禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可/禁止が可能です。

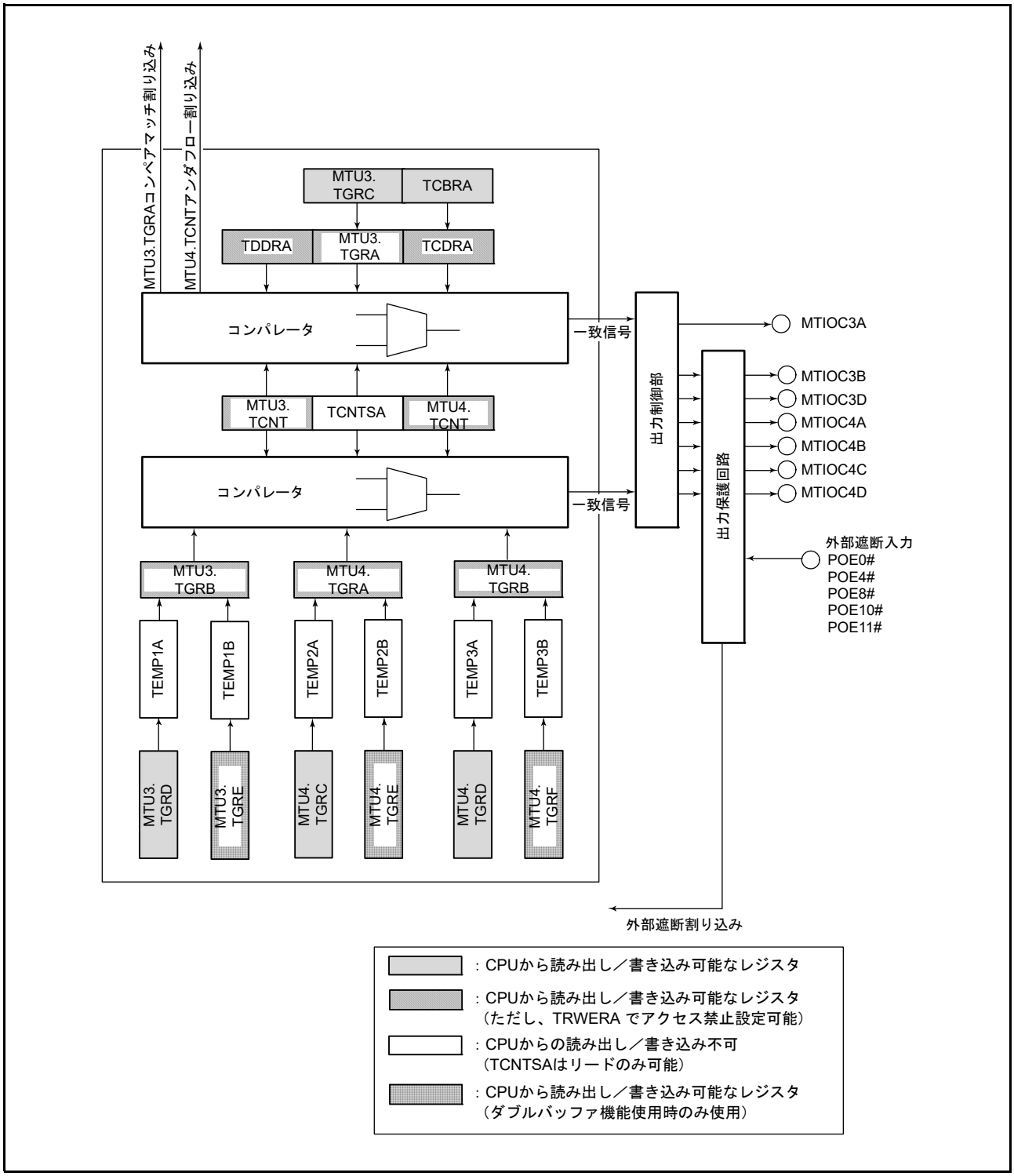


図 22.45　相補 PWM モード時の MTU3、MTU4 ブロック図

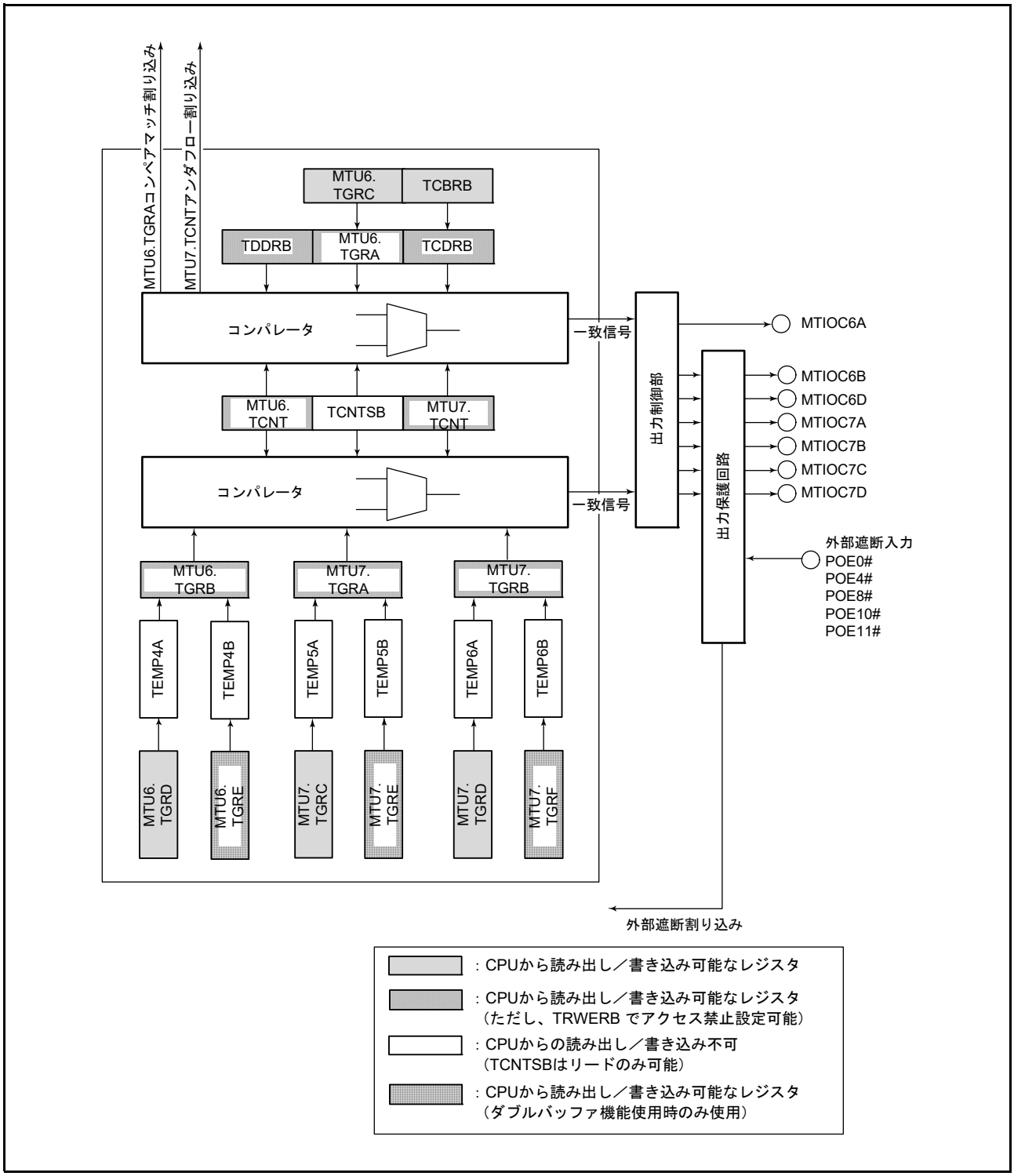
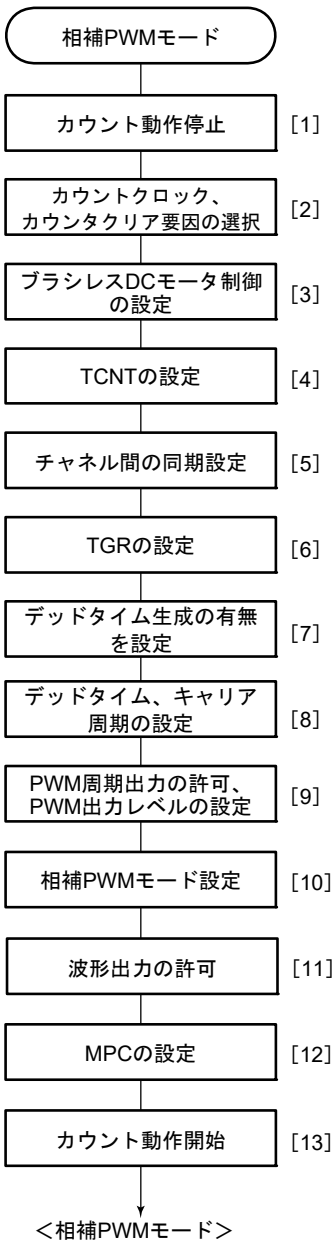


図 22.46　相補 PWM モード時の MTU6、MTU7 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 22.47 に示します。



[1] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを“0”にクリアし、TCNTのカウント動作を停止してください。
相補PWMモードの設定はMTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）が停止した状態で行ってください。

[2] MTU3, MTU4（MTU6, MTU7）のTCR.TPSC[2:0], CKEG[1:0]ビットでMTU3, MTU4（MTU6, MTU7）に同一のカウントクロックソースとクロックエッジを設定してください。
TCR.CCLR[2:0]ビットは相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。

[3] ブラシレスDCモータ用の制御をする場合、TGCRA.BDC（TGCRB.BDC）ビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[4] MTU3.TCNT（MTU6.TCNT）にはデッドタイムを設定してください。MTU4.TCNT（MTU7.TCNT）は“0000h”としてください。

[5] 相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。このときTSYRA（TSYRB）レジスタでMTU3, MTU4（MTU6, MTU7）と同期クリア発生するチャネルを同期させてください。

[6] MTU3、MTU4使用時は、PWM出力のデューティをデューティレジスタ（MTU3.TGRB, MTU4.TGRA, MTU4.TGRB）とバッファレジスタ（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD）に設定します。バッファレジスタ（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD）にもデューティレジスタ（MTU3.TGRB, MTU4.TGRA, MTU4.TGRB）と同じ値を設定してください。
またダブルバッファ機能使用時のみ、バッファレジスタ（MTU3.TGRE, MTU4.TGRE, MTU4.TGRF）を設定してください。
MTU6, MTU7使用時は、以下のレジスタに設定してください。
デューティレジスタ（MTU6.TGRB, MTU7.TGRA, MTU7.TGRB）
バッファレジスタ（MTU6.TGRD, MTU7.TGRC, MTU7.TGRD）
ダブルバッファ機能使用時のバッファレジスタ（MTU6.TGRE, MTU7.TGRE, MTU7.TGRF）

[7] デッドタイムを生成しない場合のみ設定してください。TDERA（TDERB）レジスタでデッドタイムを生成しないを選択します。

[8] TDDRA（TDDRB）レジスタにデッドタイムを設定し、TCDRA（TCDRB）レジスタ、TCBRA（TCBRB）レジスタにPWM周期の1/2を、MTU3.TGRA（MTU6.TGRA）とMTU3.TGRC（MTU6.TGRC）にPWM周期の1/2にデッドタイム分加えた値を設定してください。
デッドタイムを生成しない設定をした場合は、TDDRA（TDDRB）レジスタに“1”を、MTU3.TGRA（MTU6.TGRA）とMTU3.TGRC（MTU6.TGRC）にPWM周期の1/2 +1を設定してください。

[9] TOCR1A（TOCR1B）のPSYEビットでPWM周期に同期したトグル出力の許可/禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。
TOCR2A（TOCR2B）レジスタ、TOLBRA（TOLBRB）レジスタにより、PWM出力レベルの設定をバッファ動作で行う場合は、「22.2.24　タイマアウトプットレベルバッファレジスタm (TOLBRm) (m = A, B)」を参照してください。

[10] MTU3.TMDR1（MTU6.TMDR1）で相補PWMモードと、MTU3.TGRA（MTU6.TGRA）レジスタのバッファ動作（BFA = 1）、MTU3.TGRB（MTU6.TGRB）レジスタのバッファ動作（BFB = 1）を選択してください。
ダブルバッファ機能使用時のみ、TMDR2A（TMDR2B）レジスタでダブルバッファ機能を有効に選択してください。

[11] TOERA（TOERB）レジスタでPWM出力端子の出力の許可/禁止を設定してください。その後、MTU3.TIORH（MTU6.TIORH）、MTU3.TIORL（MTU6.TIORL）、MTU4.TIORH（MTU7.TIORH）、MTU4.TIORL（MTU7.TIORL）レジスタに“00h”を設定してください。

[12] MPCとI/Oポートのポートモードレジスタ（PMR）を設定してください。

[13] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを同時に“1”にして、カウント動作を開始してください。

図 22.47　相補 PWM モードの設定手順例

(2)　相補 PWM モードの動作概要

相補 PWM モードでは、6 相（正相 3 本、逆相 3 本）の PWM 出力が可能です。図 22.48 に相補 PWM モードのカウンタの動作 (MTU3, MTU4) を示します。図 22.49 に相補 PWM モードの動作例を示します。

(a)　カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）レジスタの 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT（MTU6.TCNT）は、相補 PWM モードに設定され TSTRA（TSTRB）の CST3 ビットが “0” のとき、TDDRA（TDDRB）に設定された値が自動的に初期値として設定されます。CST3 ビットが “1” になると、MTU3.TGRA（MTU6.TGRA）に設定された値までアップカウント動作を行い、MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT（MTU7.TCNT）が “0000h” と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT（MTU7.TCNT）には、初期値として “0000h” を設定します。CST4 ビットが “1” に設定されると、MTU3.TCNT（MTU6.TCNT）に同期して動作しアップカウントを行い、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。この後、“0000h” と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA（TCNTSB）は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）がアップカウント時、MTU3.TCNT（MTU6.TCNT）が TCDRA（TCDRB）と一致するとダウンカウントを開始し、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとアップカウントに切り替わります。

また、MTU4.TCNT（MTU7.TCNT）と TDDRA（TDDRB）が一致すると TCNTSA（TCNTSB）は MTU3.TGRA（MTU6.TGRA）の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）がダウンカウント時、MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRB）と一致するとアップカウントを開始し、MTU4.TCNT（MTU7.TCNT）が “0000h” と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT（MTU6.TCNT）と TCDRA（TCDRB）が一致すると TCNTSA（TCNTSB）は “0000h” になり、カウントを停止します。

TCNTSA（TCNTSB）は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

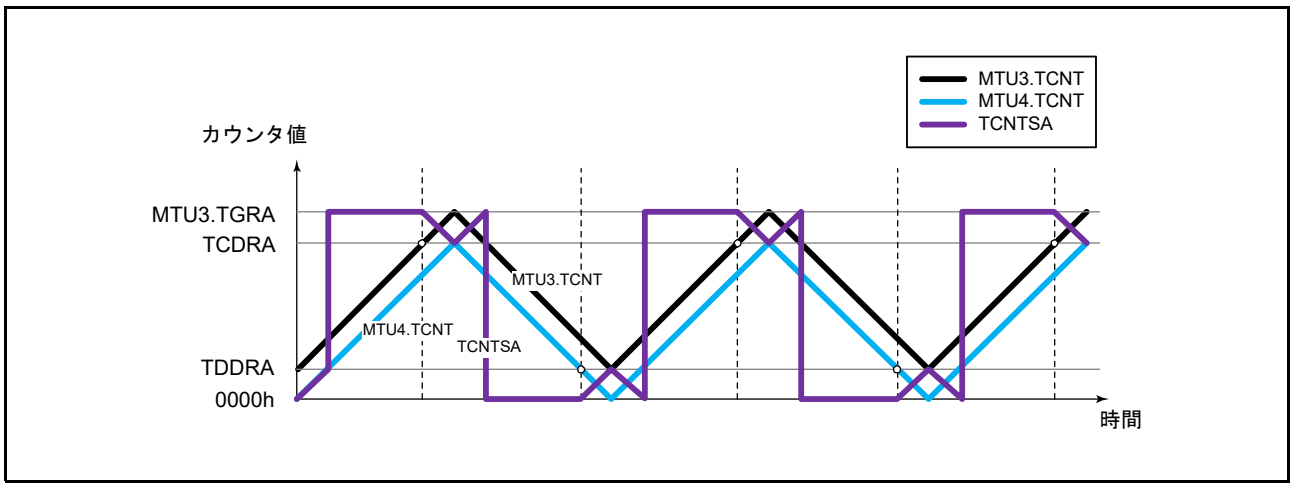


図 22.48　相補 PWM モードのカウント動作 (MTU3, MTU4)

(b)　レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用して、PWM 出力のデューティ制御を行います。**図 22.49** に相補 PWM モードの動作例 (MTU3, MTU4) を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB（MTU6.TGRB, MTU7.TGRA, MTU7.TGRB）です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ（TOCR1A, TOCR1B）の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD, MTU7.TGRC, MTU7.TGRD）です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE, MTU7.TGRE, MTU7.TGRF）も使用されます。動作の詳細は**「22.3.8 (2) (s)　相補 PWM モードのダブルバッファ機能」**を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し / 書き込みが可能です。

バッファレジスタのデータを書き替えする場合は、最後に MTU4.TGRD（MTU7.TGRD）への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA（TCBRB）レジスタ、MTU3.TGRC（MTU6.TGRC）レジスタからテンポラリレジスタへの転送も許可されます。転送は 5 本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき（TCNTSA（TCNTSB）がアップカウント時に MTU3.TGRA（MTU6.TGRA）と一致したとき）、または Tb2 区間が終了したとき（TCNTSA（TCNTSB）がダウンカウント時に “0000h” と一致したとき）にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1（TMDR1）の MD[3:0] ビットで選択できます。**図 22.49** は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb（**図 22.49** では Tb1）区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

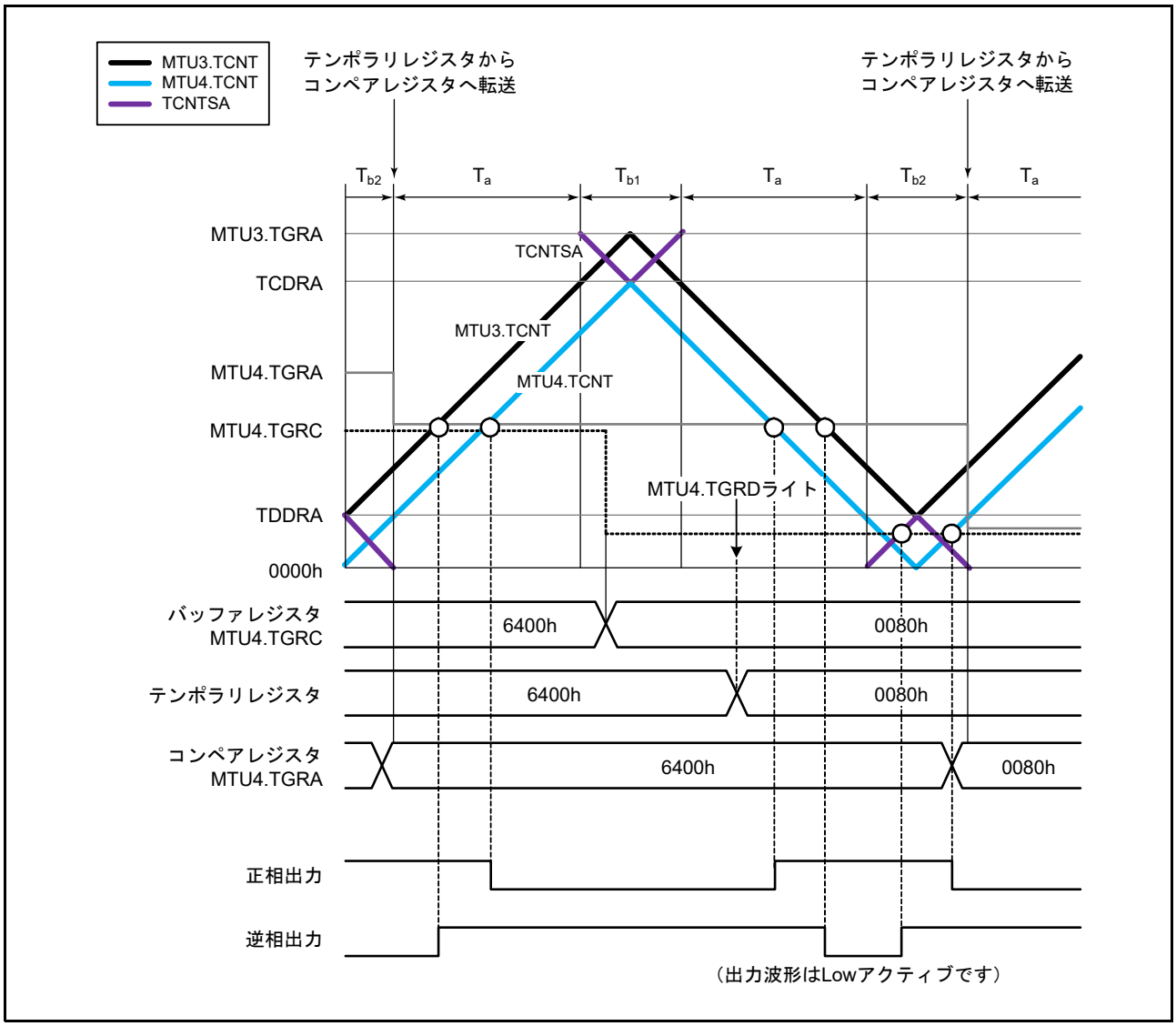


図 22.49　相補 PWM モード動作例 (MTU3, MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 9 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A、TOCR1B、TOCR2B レジスタは、PWM 出力レベルを設定します。MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして動作し、PWM 周期の 1/2 + デッドタイム Td を設定します。タイマ周期バッファレジスタ（TCBRA, TCBRB）は、タイマ周期データレジスタ（TCDRA、TCDRB）のバッファレジスタとして動作し、PWM 周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ（TDDRA, TDDRB）には、デッドタイム Td を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ（TDERA, TDERB）の TDER ビットを “0” にし、MTU3.TGRC、MTU3.TGRA（MTU6.TGRC, MTU6.TGRA）には、PWM キャリア周期の 1/2 + 1 を、TDDRA（TDDRB）を “1” にします。

バッファレジスタ A（MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD, MTU7.TGRC, MTU7.TGRD））の 3 本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B（MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE, MTU7.TGRE, MTU7.TGRF））の 3 本は、ダブルバッファ機能使用時のみ設定します。

TDDRA（TDDRB）を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT（MTU7.TCNT）は、相補 PWM モードに設定する前に “0000h” にしてください。

表 22.77　初期設定の必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TOCR1A, TOCR2A, TOCR1B, TOCR2B	PWM 出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM 周期の 1/2 + デッドタイム Td TDERA/TDERB でデッドタイム生成をなしに設定した場合は PWM 周期の 1/2 + 1）
TDDRA, TDDRB	デッドタイム Td（TDERA/TDERB でデッドタイム生成をなしに設定した場合 “1”）
TCBRA, TCBRB	PWM 周期の 1/2
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD MTU6.TGRD, MTU7.TGRC, MTU7.TGRD	各相の PWM デューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF MTU6.TGRE, MTU7.TGRE, MTU7.TGRF	各相の PWM デューティ比の初期値（ダブルバッファ機能使用時のみ）
MTU4.TCNT MTU7.TCNT	“0000h”

注.　MTU3.TGRC（MTU6.TGRC）の設定値は、TCBRA（TCBRB）に設定する PWM 周期の 1/2 の値と TDDRA（TDDRB）に設定するデッドタイム Td の値の和としてください。ただし、TDERA（TDERB）レジスタでデッドタイム生成をなしに設定した場合は、PWM 周期の 1/2 + 1 としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1（TOCR1A, TOCR1B）の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2（TOCR2A, TOCR2B）の OLS1P ～ OLS3P、OLS1N ～ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e)　デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ（TDDRA, TDDRB）に設定します。TDDRA（TDDRB）に設定した値が、MTU3.TCNT（MTU6.TCNT）のカウンタスタート値となり、MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）のノンオーバラップを生成します。TDDRA（TDDRB）の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f)　デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ（TDERA, TDERB）の TDER ビットを “0” にします。TDERA（TDERB）は、TDER ビット = 1 の状態で TDER ビットを読んだ後、TDER ビットに “0” を書いたときのみ、“0” にできます。

MTU3.TGRA、MTU3.TGRC（MTU6.TGRA, MTU6.TGRC）には PWM 周期の 1/2 + 1 を設定し、タイマデッドタイムデータレジスタ（TDDRA, TDDRB）を “1” にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 22.50 にデッドタイムを生成しない場合の動作例 (MTU3, MTU4) を示します。

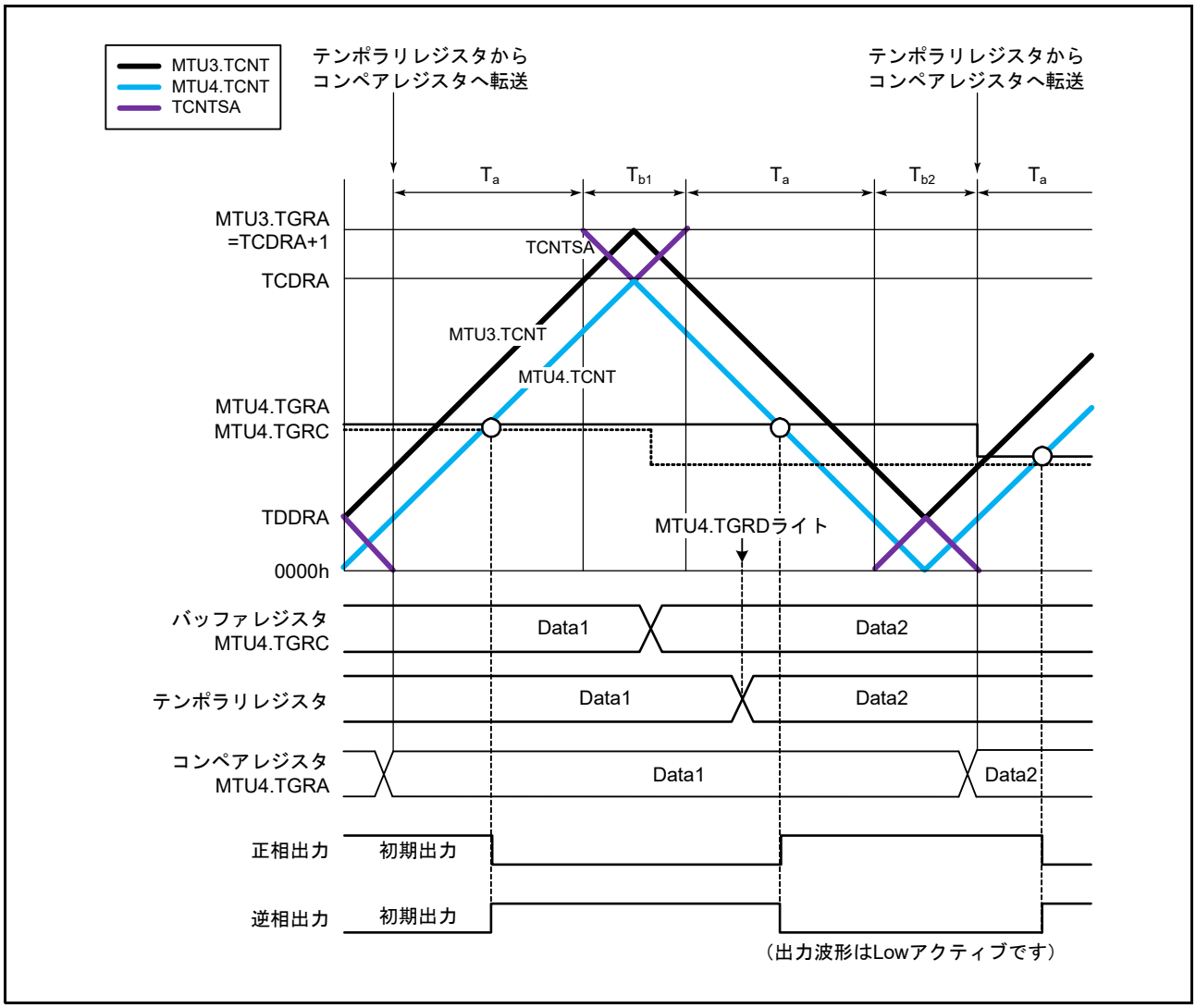


図 22.50　デッドタイムを生成しない場合の動作例 (MTU3, MTU4)

(g)　PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT（MTU6.TCNT）の上限値を設定する MTU3.TGRA（MTU6.TGRA）と MTU4.TCNT（MTU7.TCNT）の上限値を設定する TCDRA（TCDRB）の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：MTU3.TGRA（MTU6.TGRA）の設定値 = TCDRA（TCDRB）の設定値 + TDDRA（TDDRB）の設定値
デッドタイム生成なし：MTU3.TGRA（MTU6.TGRA）の設定値 = TCDRA（TCDRB）の設定値 + 1

また、TCDRA（TCDRB）レジスタと TDDRA（TDDRB）レジスタの関係が、次の関係になるように設定してください。

TCDRA（TCDRB）の設定値＞ TDDRA（TDDRB）の設定値 × 2 + 2

また、MTU3.TGRA、TCDRA（MTU6.TGRA, TCDRB）の設定は、バッファレジスタの MTU3.TGRC、TCBRA（MTU6.TGRC, TCBRB）に値を設定することで行ってください。MTU4.TGRD（MTU7.TGRD）への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA（MTU6.TGRC, TCBRB）に設定した値は、MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで選択した転送タイミングで MTU3.TGRA、TCDRA（MTU6.TGRA, TCDRB）に同時に転送されます。
変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。**図 22.51** に PWM 周期を山で変更する場合の動作例を示します。
なお、各バッファレジスタのデータの更新方法については、次項の**「(h)　レジスタデータの更新」**を参照してください。

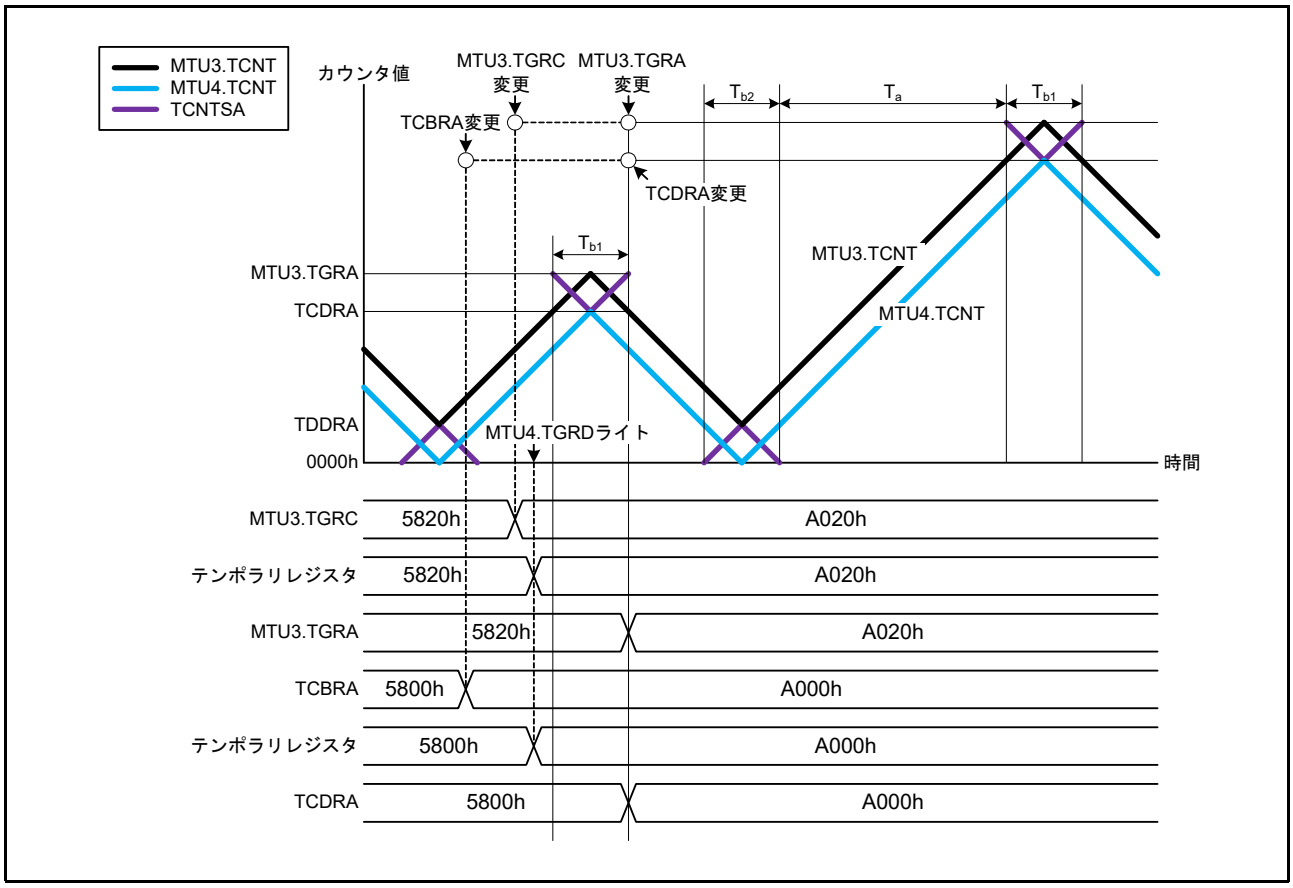


図 22.51　PWM 周期の変更例 (MTU3, MTU4)

(h)　レジスタデータの更新

相補 PWM モードで、PWM デューティ用および PWM 周期用のコンペアレジスタ（5 本）のデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA（TCNTSB）がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA（TCNTSB）がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA（TCNTSB）が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。**図 22.52** に相補 PWM モード時のデータ更新例（MTU3、MTU4）を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD（MTU7.TGRD）への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD（MTU7.TGRD）に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD（MTU7.TGRD）のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD（MTU7.TGRD）に書き込み動作を行ってください。またこのとき、MTU4.TGRD（MTU7.TGRD）に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、**「22.3.8 (2) (s)　相補 PWM モードのダブルバッファ機能」**を参照してください。

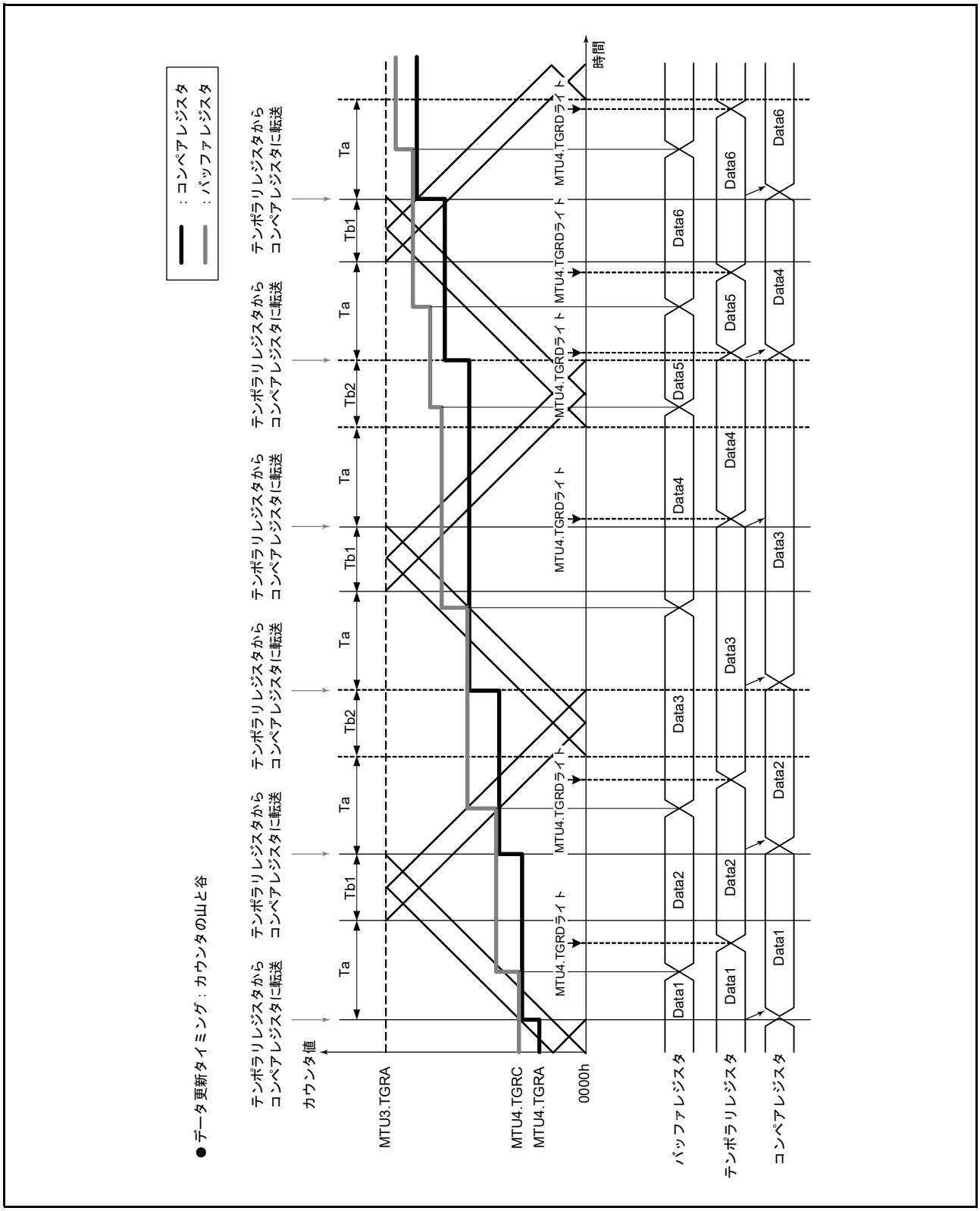


図 22.52　相補 PWM モードのデータ更新例 (MTU3, MTU4)

(i)　相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A（TOCR1B）レジスタの OLSN、OLSP ビットの設定または、TOCR2A（TOCR2B）レジスタの OLS1N ～ OLS3N、OLS1P ～ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1（MTU6.TMDR1）で相補 PWM モードを設定してから MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRB）レジスタに設定された値より大きくなるまで出力されます。**図 22.53** に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA（TDDRB）の値より小さい場合の波形例を**図 22.54** に示します。

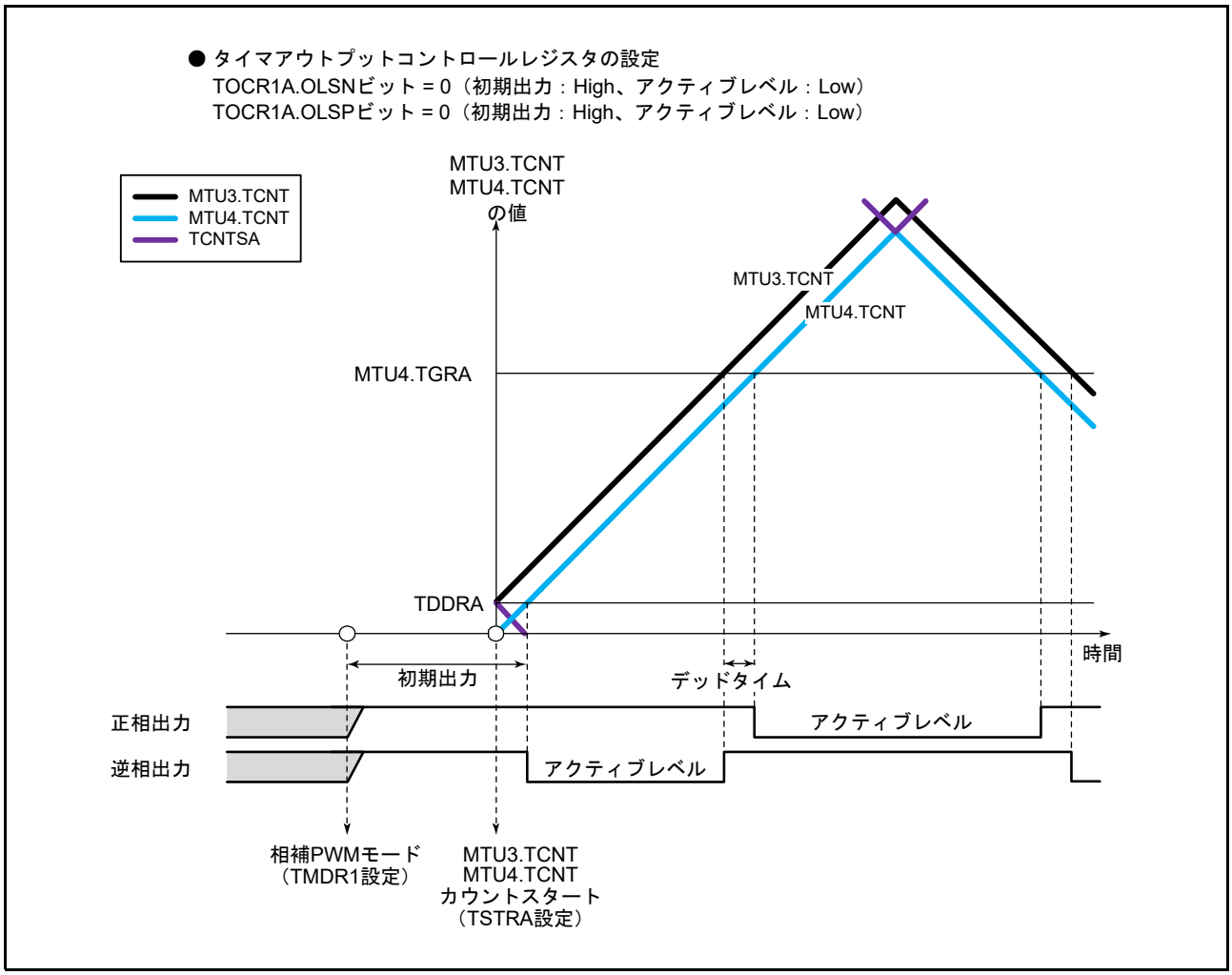


図 22.53　相補 PWM モードの初期出力例 (MTU3, MTU4) (1)

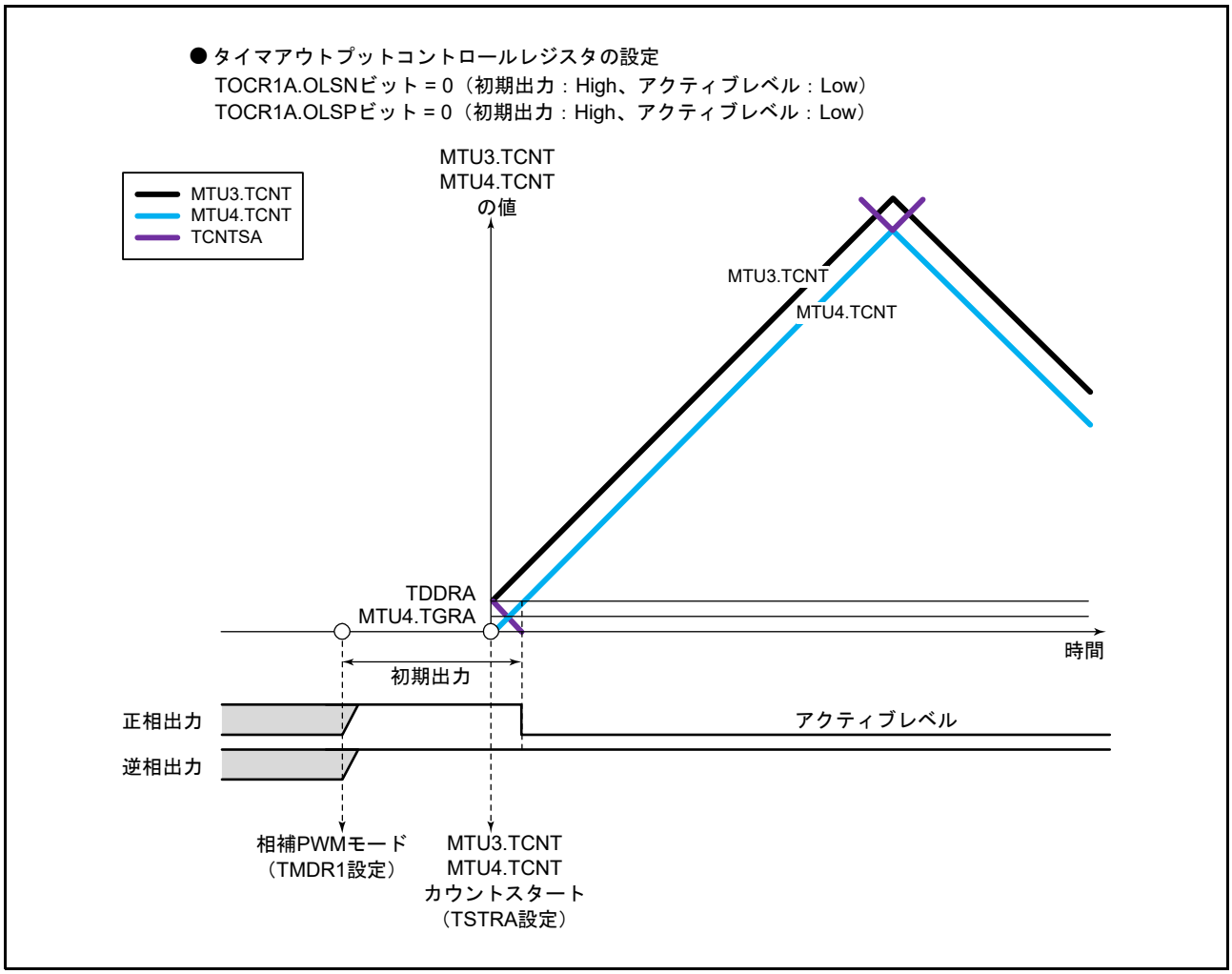


図 22.54　相補 PWM モードの初期出力例 (MTU3, MTU4) (2)

(j)　相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA（TCNTSB）がカウント動作する期間では、デューティ 0% ～ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 22.55 ～図 22.57 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 22.55 に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 22.56 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 22.57 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

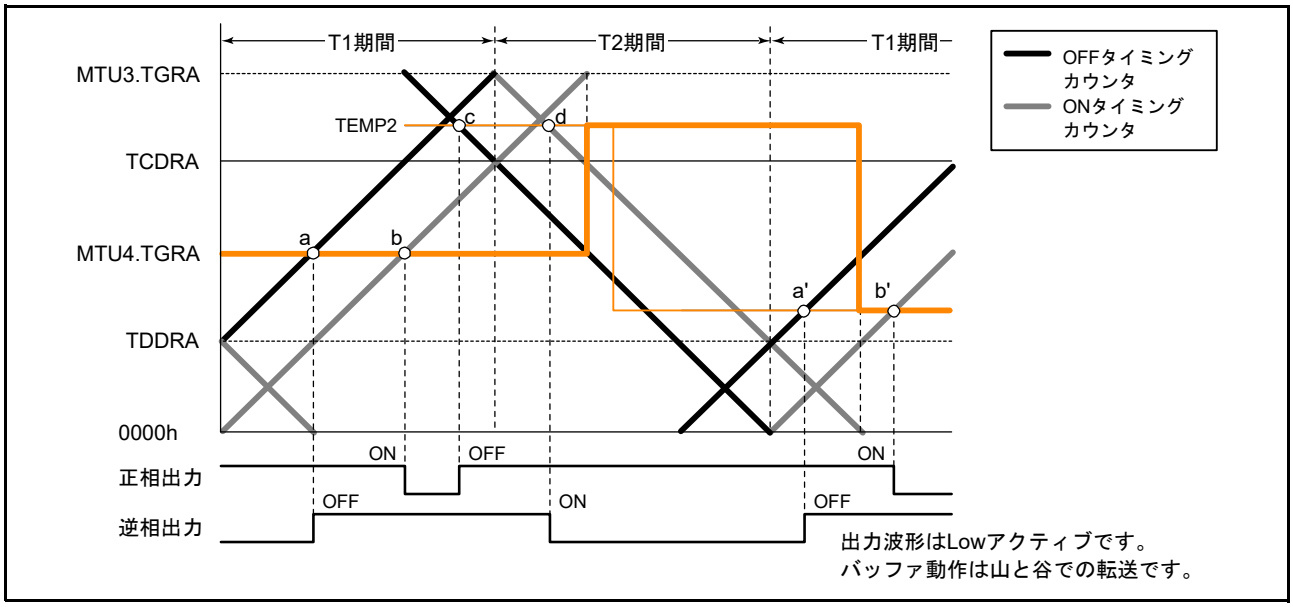


図 22.55　相補 PWM モード波形出力例 (MTU3, MTU4) (1)

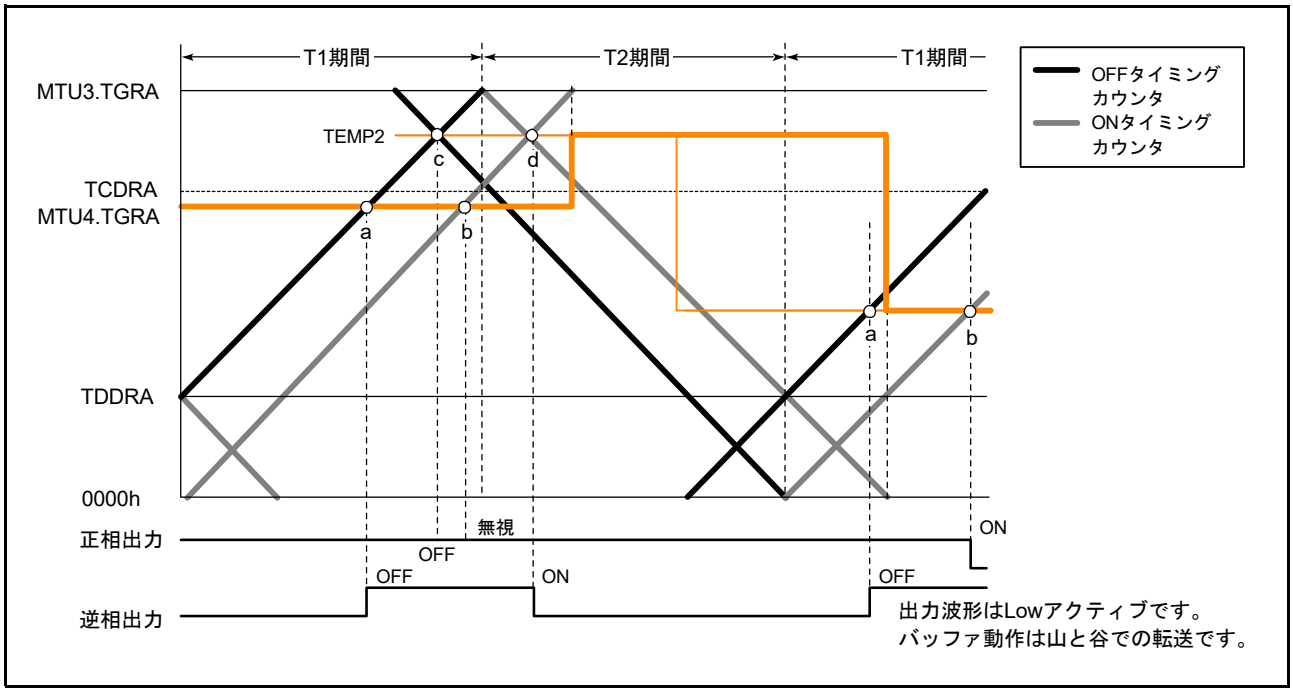


図 22.56　相補 PWM モード波形出力例 (MTU3, MTU4）(2)

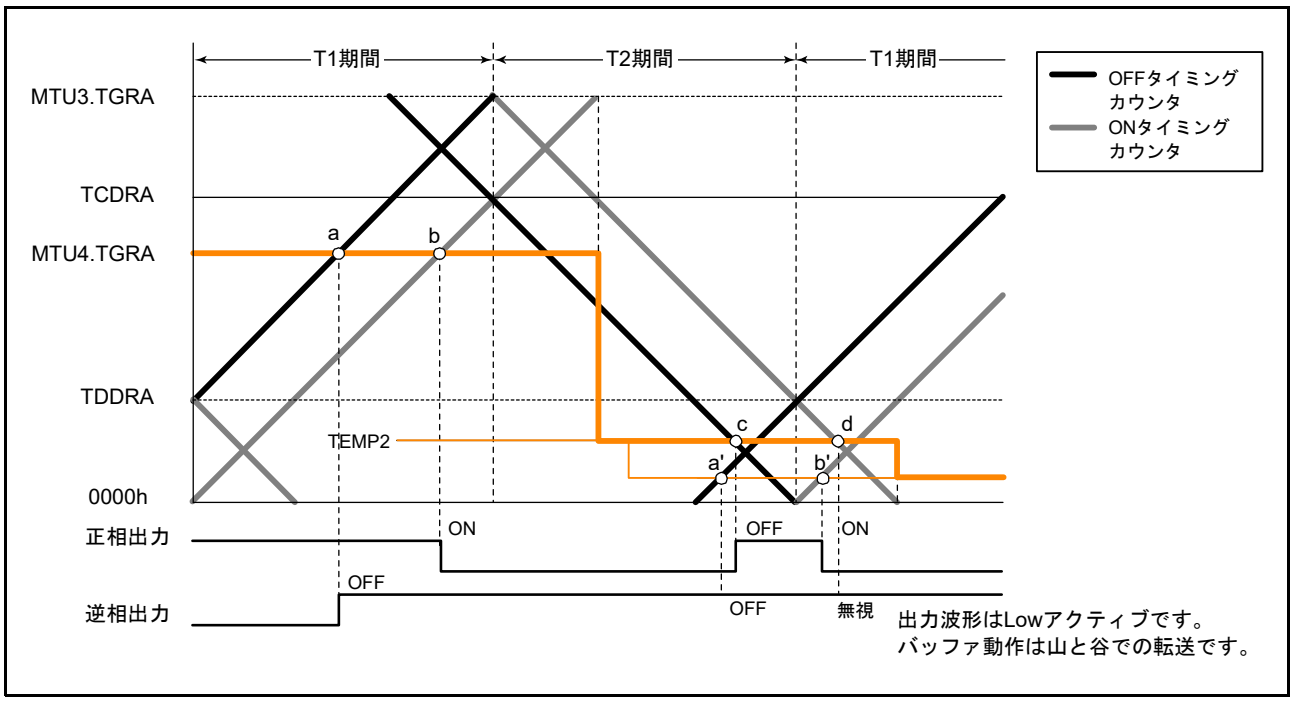


図 22.57　相補 PWM モード波形出力例 (MTU3, MTU4) (3)

(k)　相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 22.58 ～図 22.62 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を “0000h” にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA（MTU6.TGRA）の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

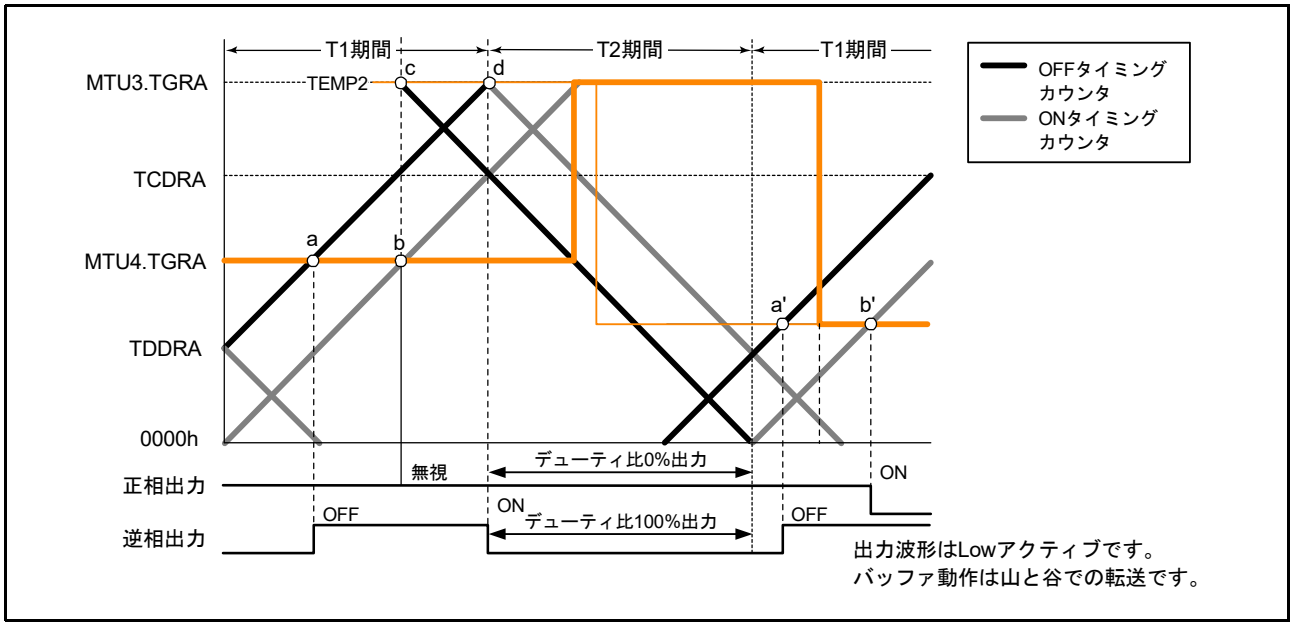


図 22.58　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (1)

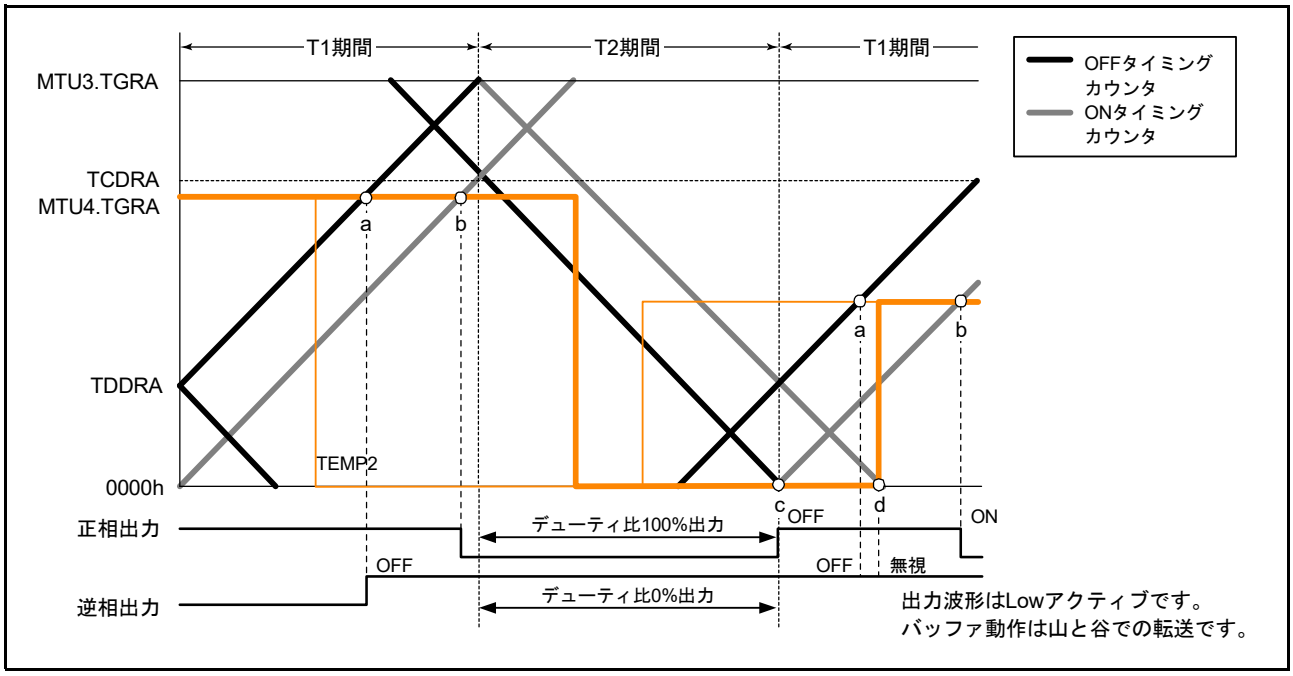


図 22.59　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (2)

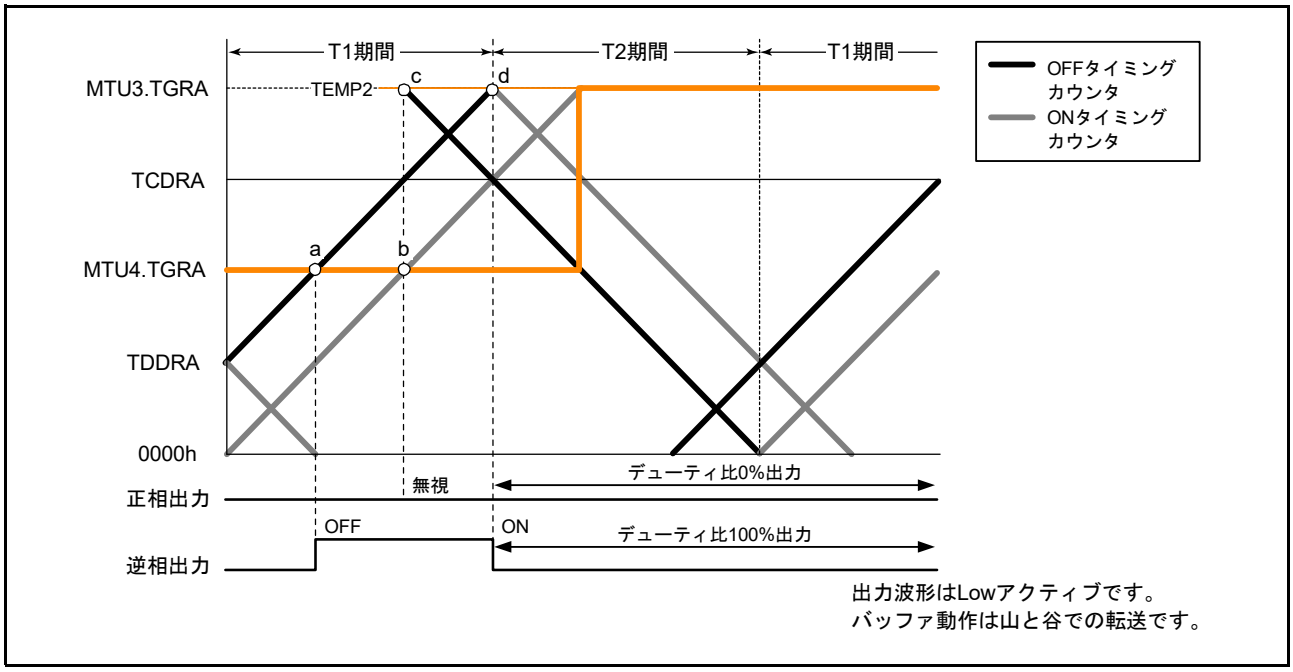


図 22.60　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (3)

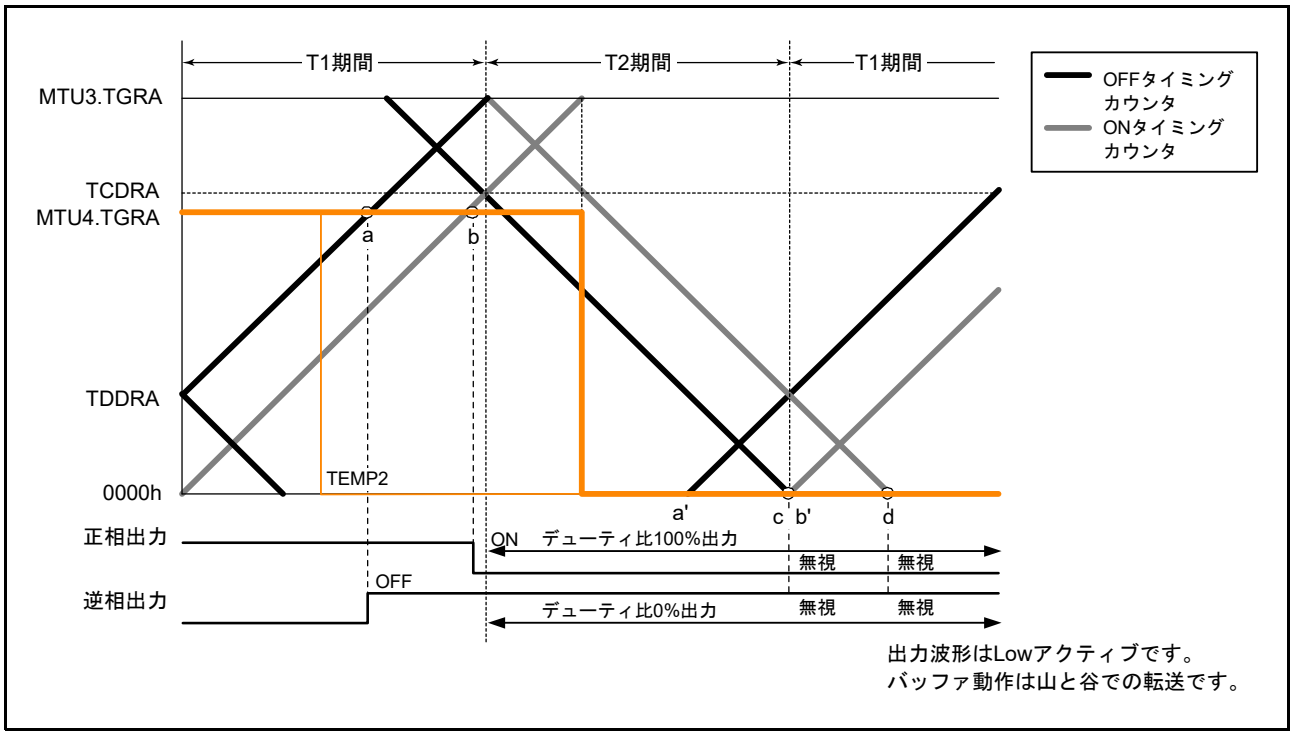


図 22.61　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (4)

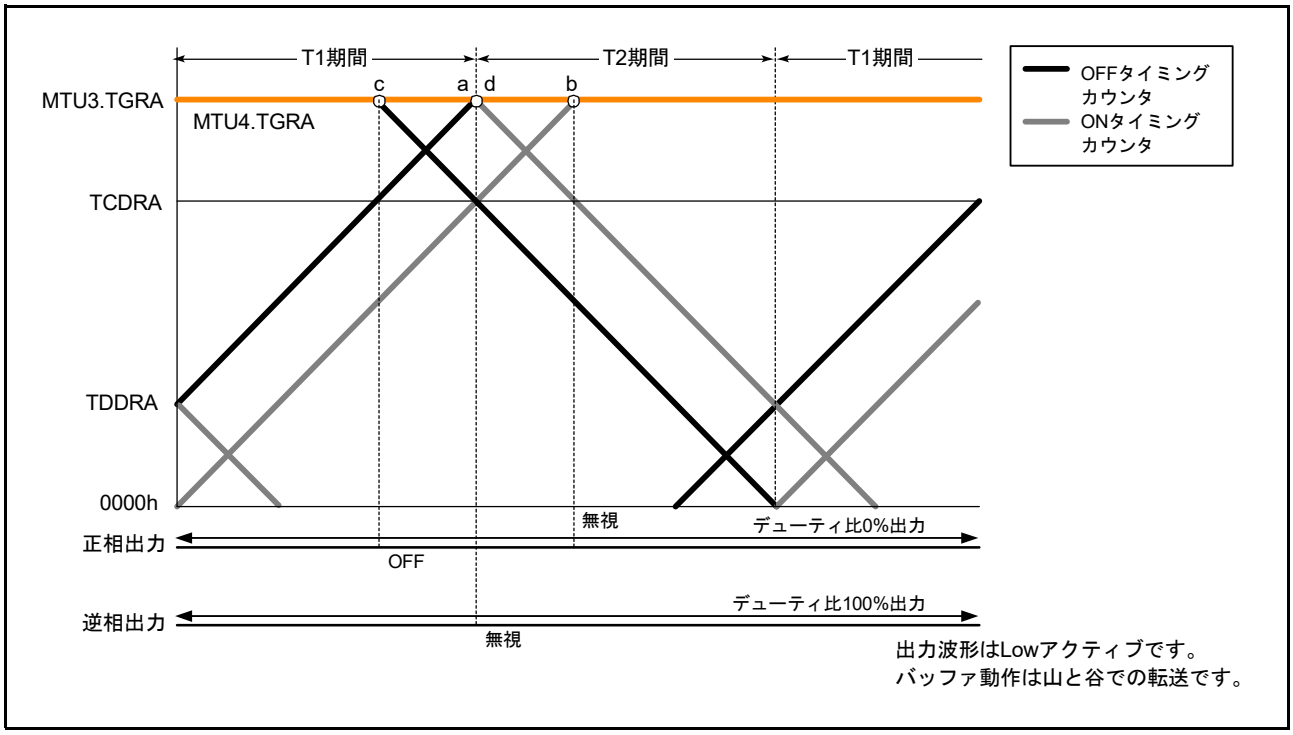


図 22.62　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (5)

(l)　PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A（TOCR1B）レジスタの PSYE ビットを “1” にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 22.63 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA（MTU6.TCNT と MTU6.TGRA）のコンペアマッチと MTU4.TCNT（MTU7.TCNT）と “0000h” のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A（MTIOC6A）端子です。また、初期出力は “High” 出力です。

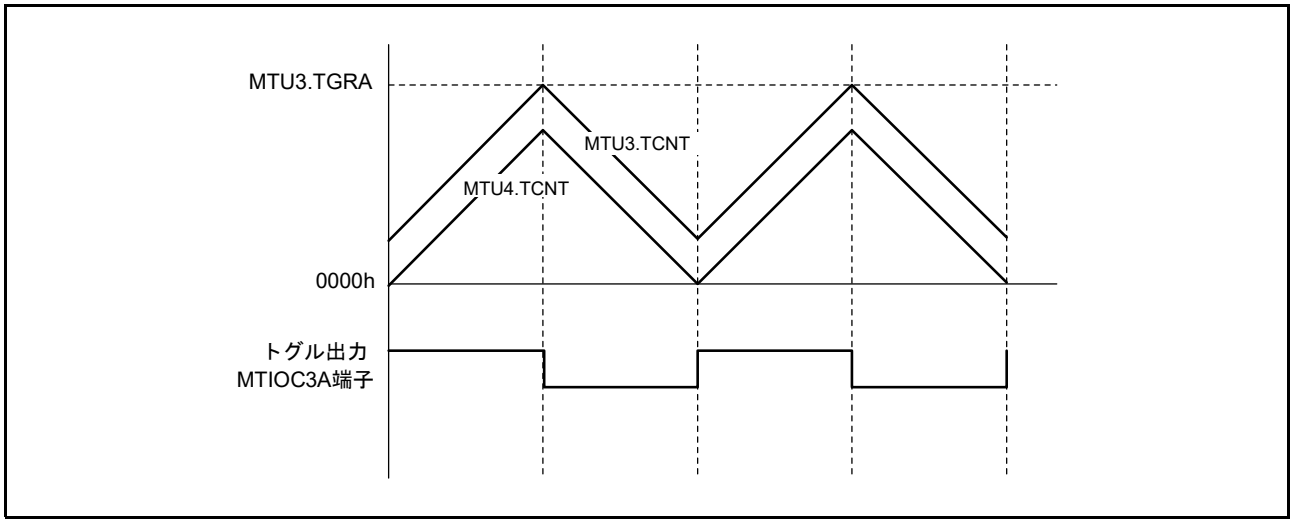


図 22.63　PWM 出力に同期したトグル出力波形例 (MTU3, MTU4)

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYRA（TSYRB）レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0]（MTU6.TCR.CCLR[2:0]）ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）をクリアをすることが可能です。

図 22.64 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

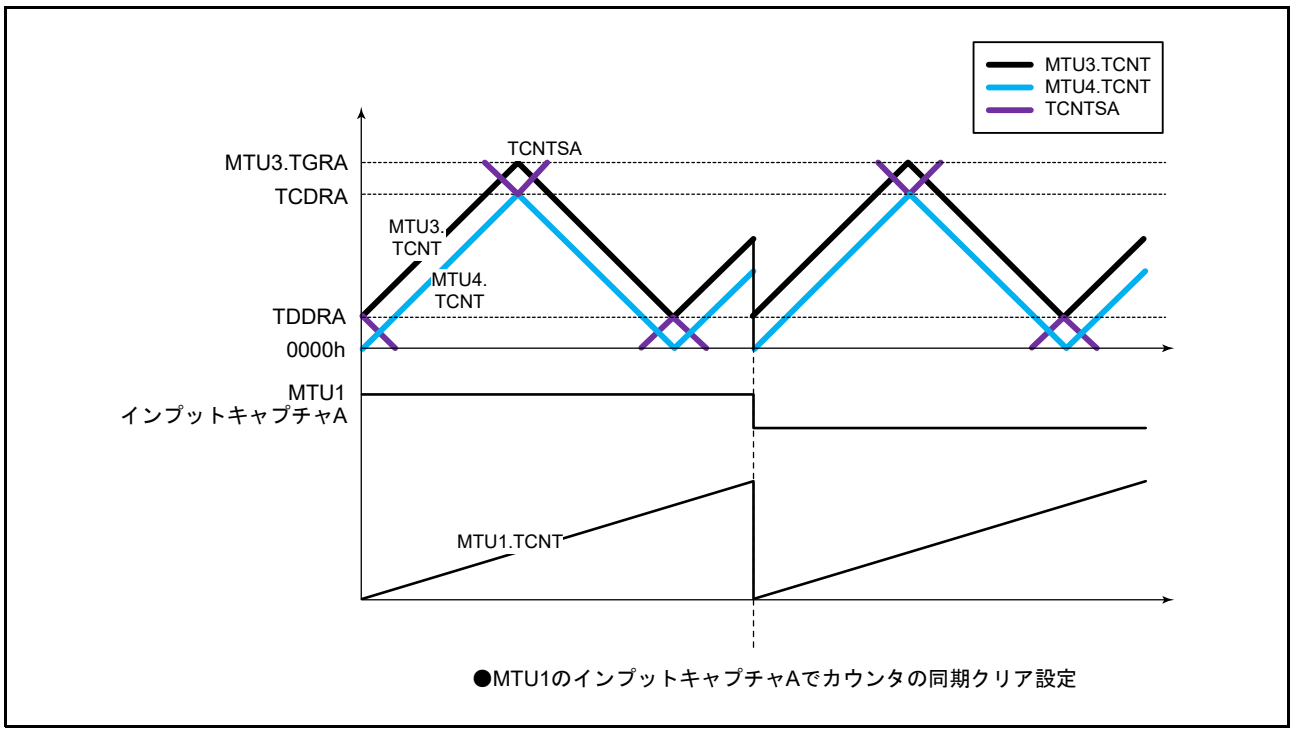


図 22.64　他のチャネルに同期したカウンタクリア (MTU3, MTU4)

(n)　相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA（TWCRB）レジスタの WRE ビットを “1” にすることにより、相補 PWM モードの谷の Tb 区間（Tb2 区間）で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを “1” にすることで初期出力を抑止することができるのは、同期クリアが**図 22.65** の⑩、⑪のような Tb2 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A（TOCR1B）レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、**図 22.65** の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4—MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4—MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ～ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ～ MTU2 のコンペアマッチ / インプットキャプチャです。

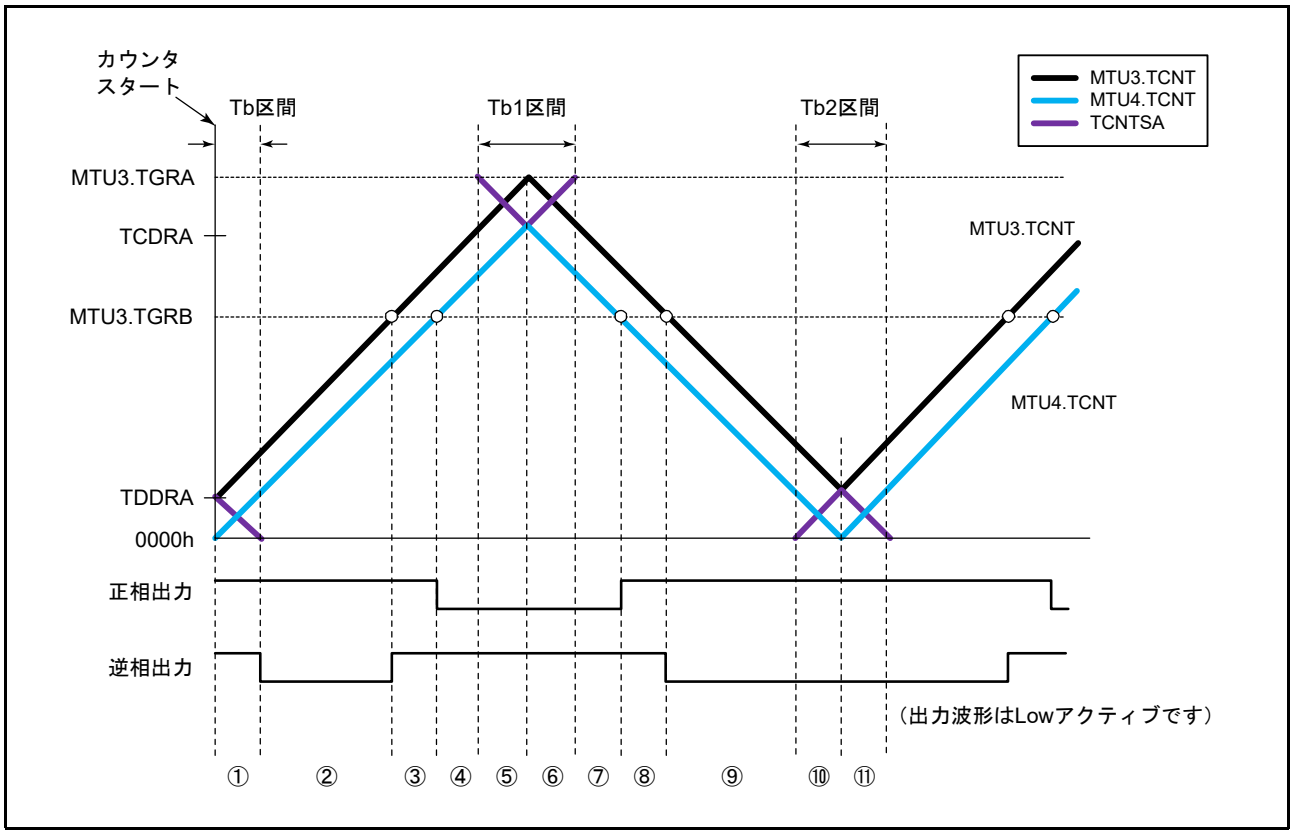


図 22.65　同期カウンタクリアタイミング (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 22.66 に示します。

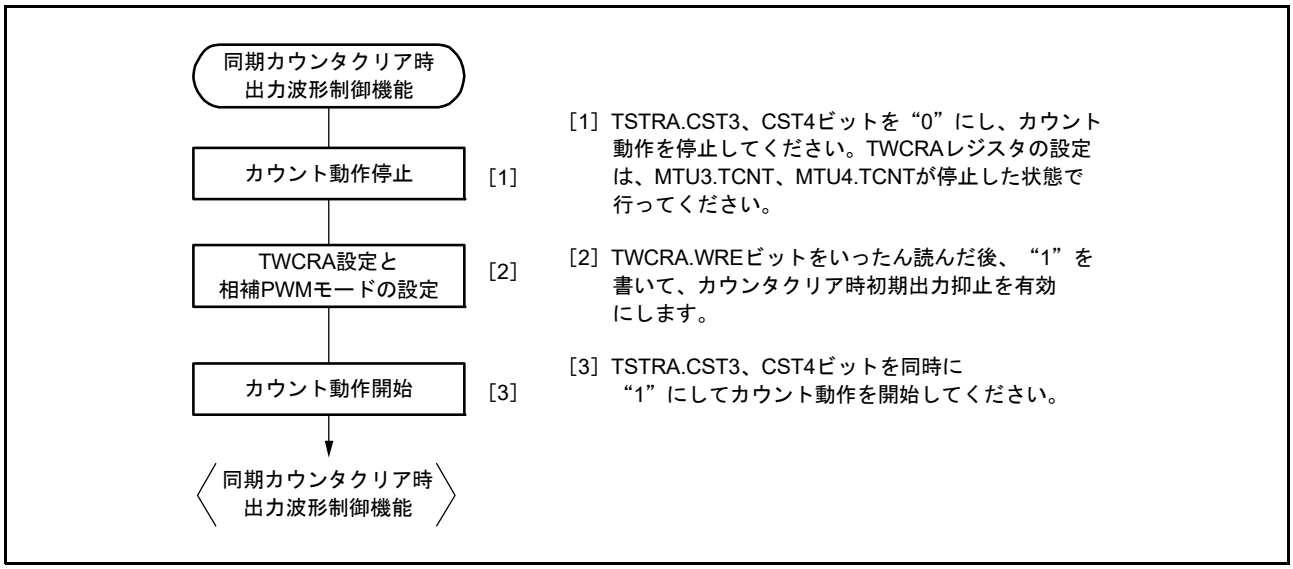


図 22.66　相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 22.67 ～図 22.70 に、TWCRA.WRE ビットを “1” にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 22.67 ～図 22.70 の同期カウンタクリアのタイミングは、それぞれ図 22.65 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRB.SCC ビットを “0”、WRE ビットを “1” にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

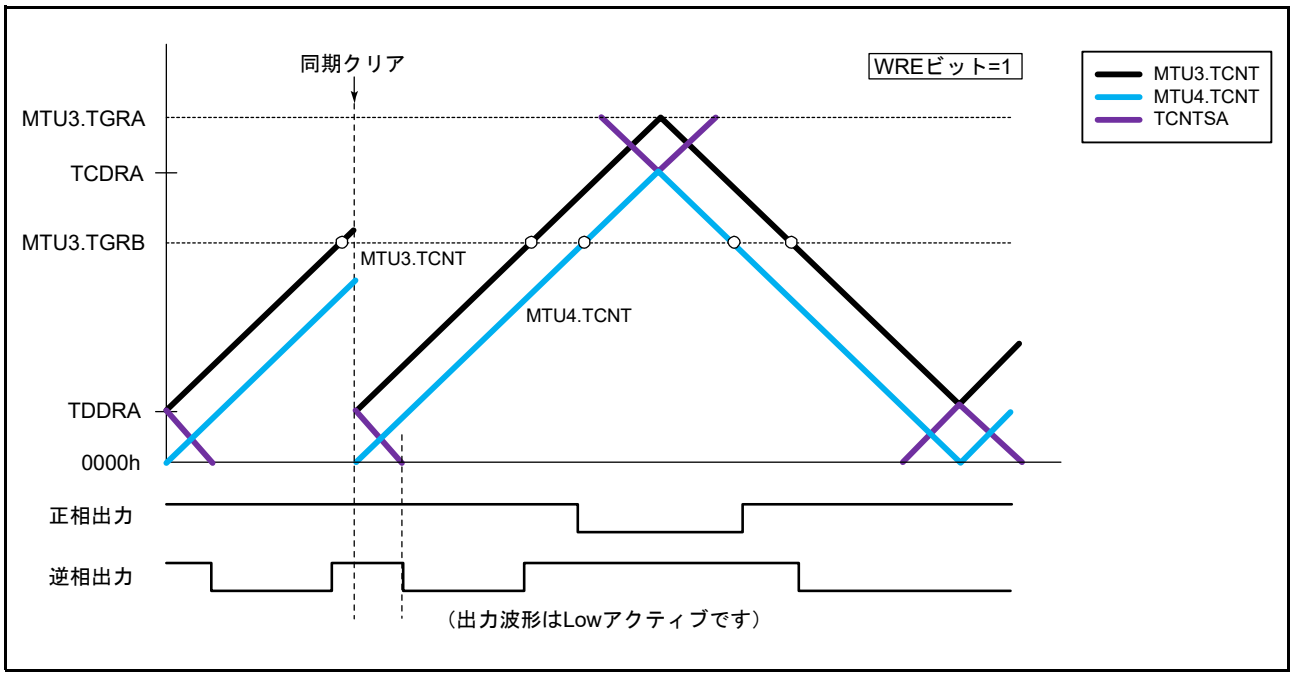


図 22.67　アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 22.65 のタイミング③、TWCRA レジスタの WRE ビット = 1)

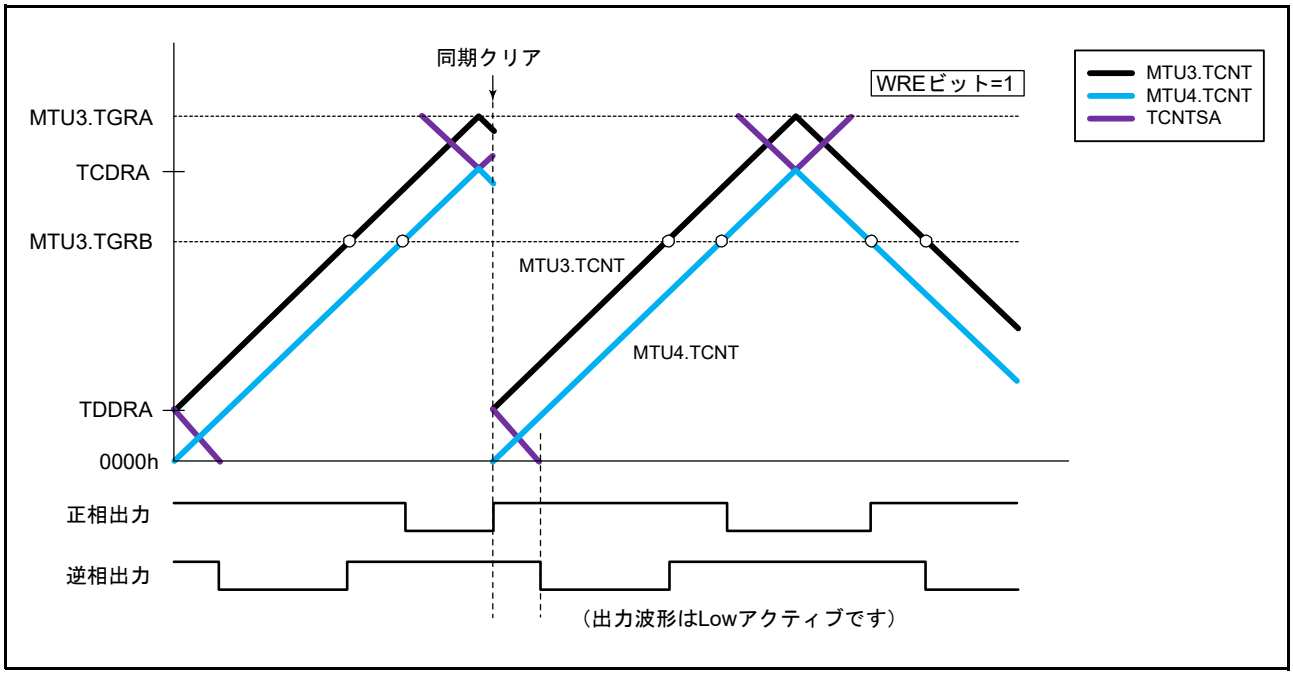


図 22.68　Tb1 区間で同期クリアが発生した場合
(図 22.65 のタイミング⑥、TWCRA レジスタの WRE ビット = 1)

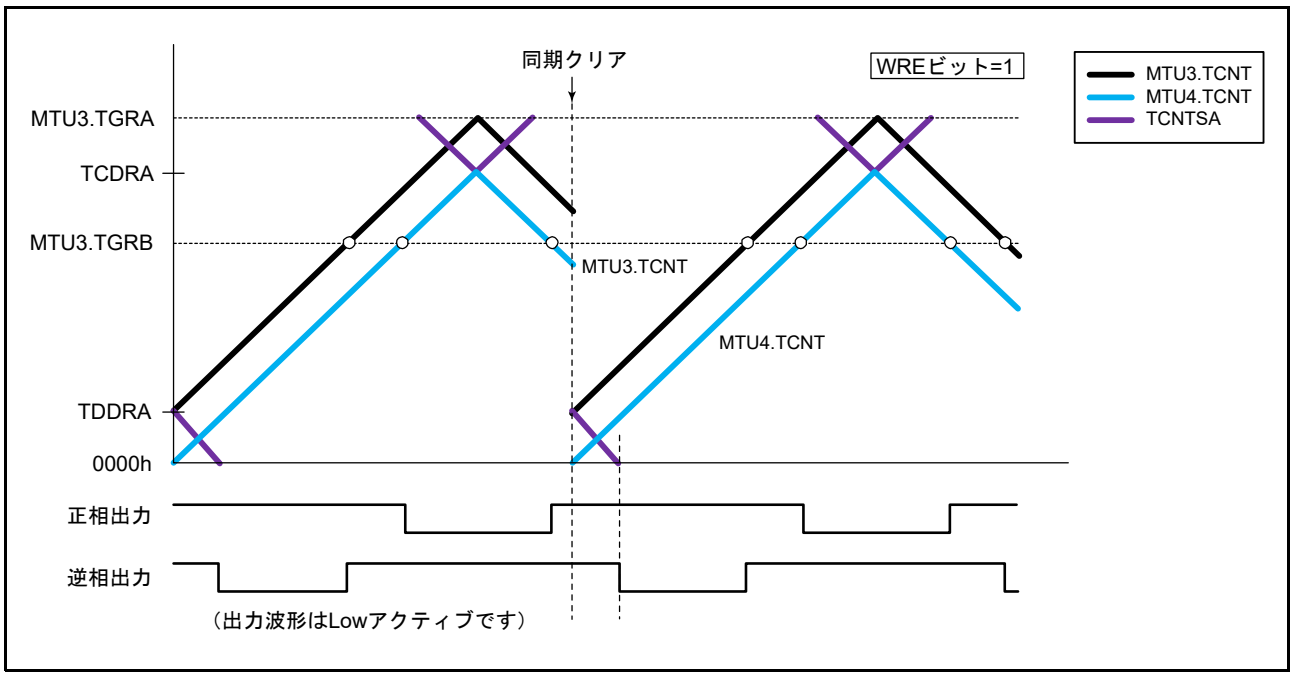


図 22.69　ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 22.65 のタイミング⑧、TWCRA レジスタの WRE ビット = 1)

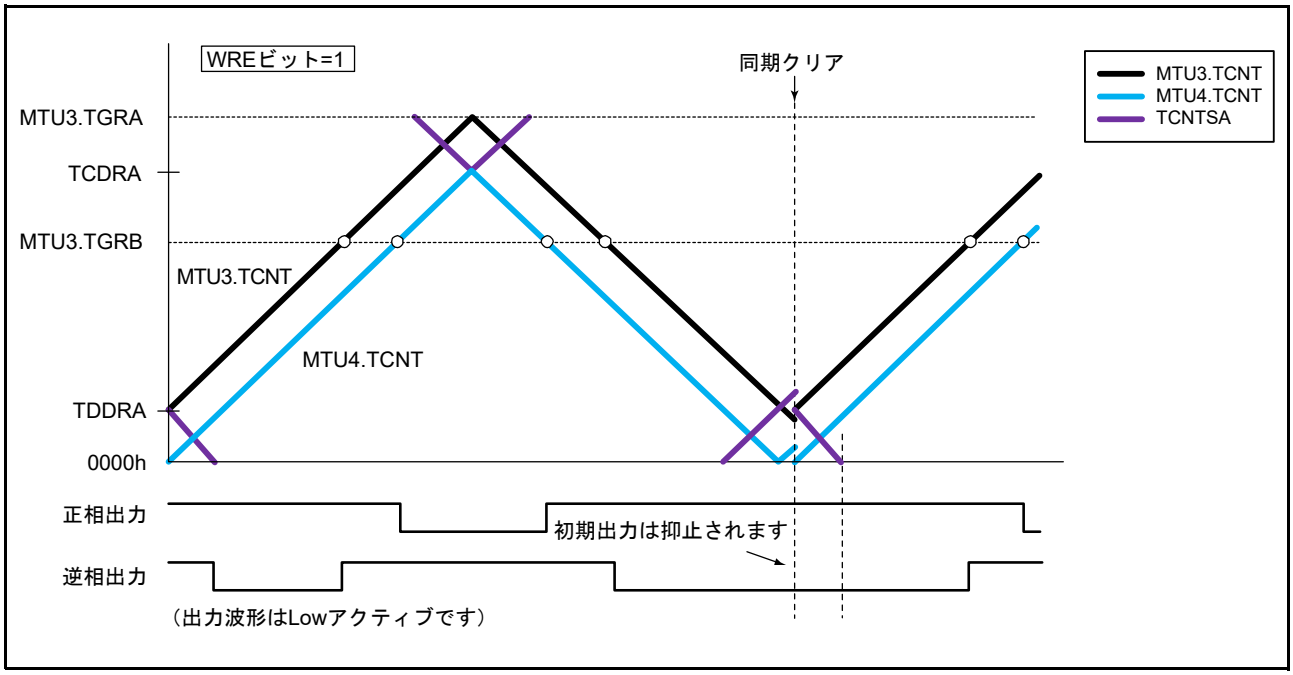


図 22.70　Tb2 区間で同期クリアが発生した場合
(図 22.65 のタイミング⑪、TWCRA レジスタの WRE ビット = 1)

(o)　MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを “1” にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、図 22.71 で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、「22.3.10 (2)　MTU6、MTU7 カウンタ同期クリア」を参照してください。

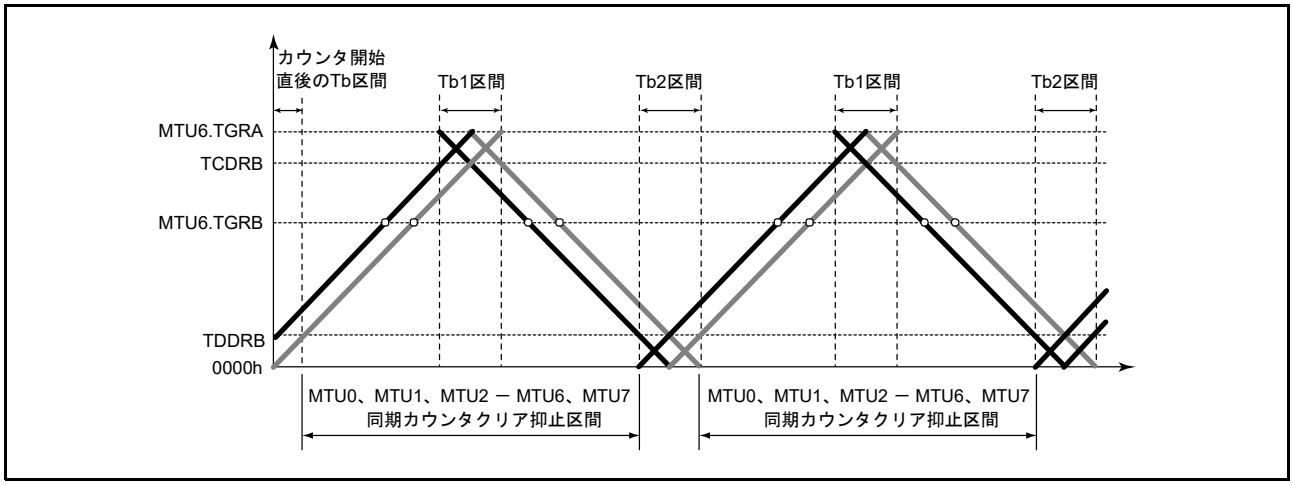


図 22.71　TWCRB.SCC ビットセットによる MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア抑止区間

- MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を図 22.72 に示します。

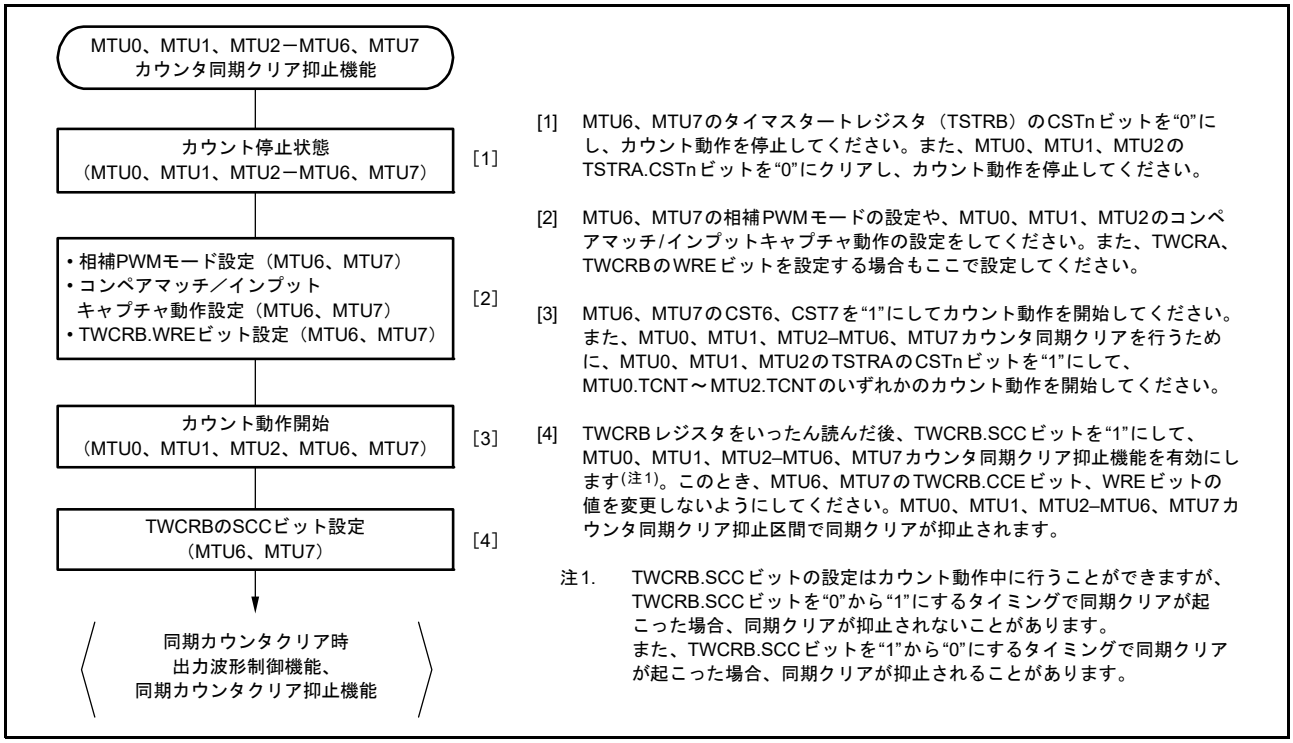


図 22.72　MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

- MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 22.73 ～図 22.76 に、MTU6、MTU7 の TWCRB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 22.73 ～図 22.76 の同期カウンタクリアのタイミングは、それぞれ図 22.65 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRB.WRE ビットは “1” にしています。

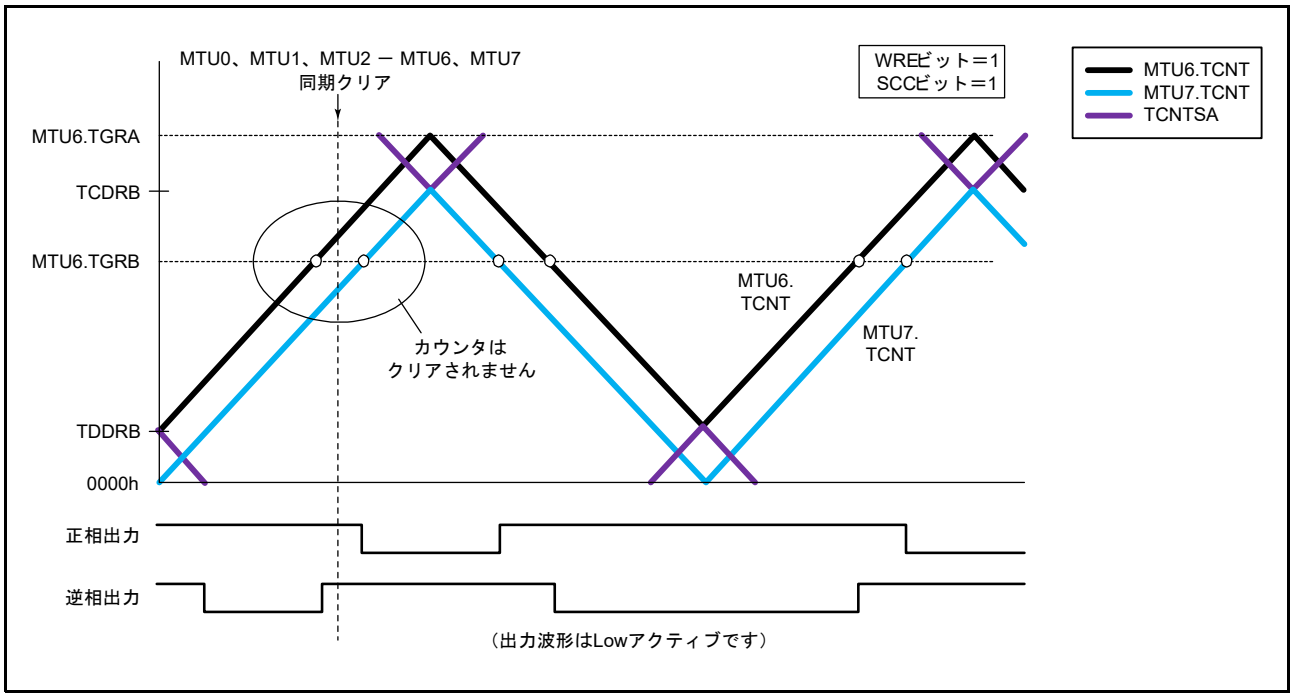


図 22.73　アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.65 のタイミング③、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

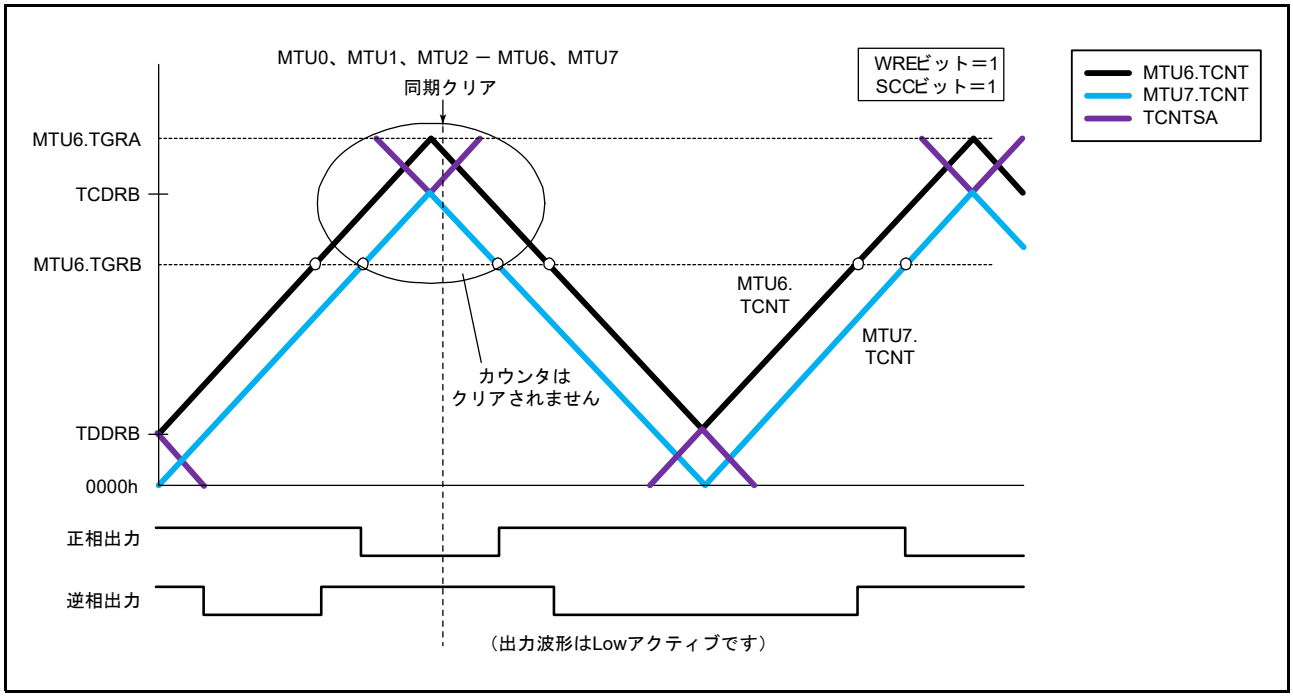


図 22.74　Tb1 区間で同期クリアが発生した場合 (図 22.65 のタイミング⑥、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

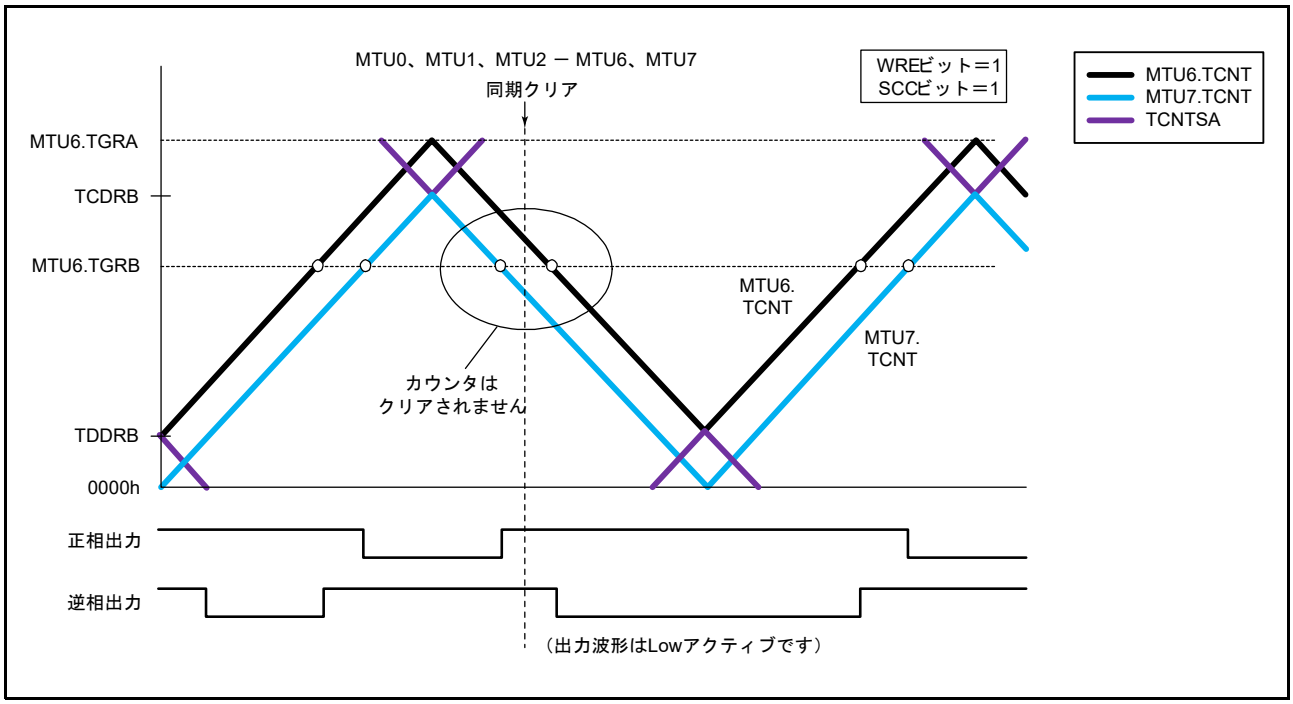


図 22.75　ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.65 のタイミング⑧、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

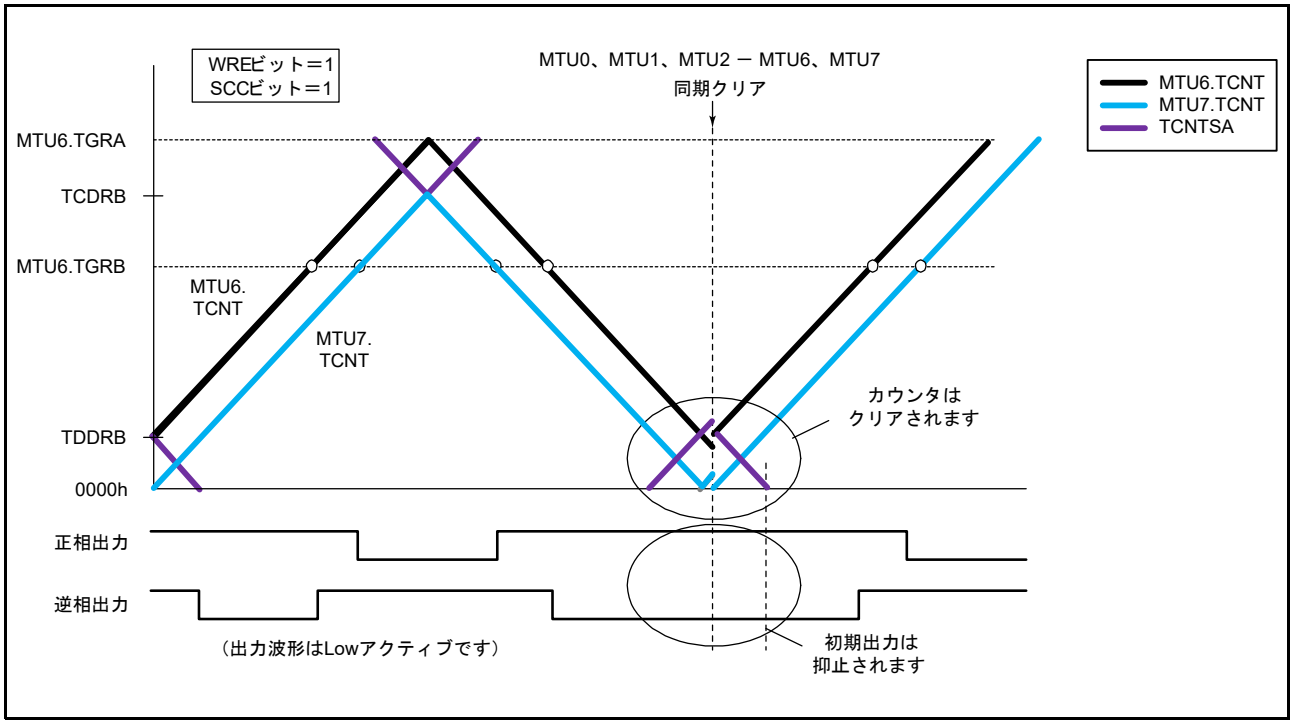


図 22.76　Tb2 区間で同期クリアが発生した場合 (図 22.65 のタイミング⑪、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

(p)　MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE（TWCRB.CCE）ビットを設定することにより、MTU3.TGRA（MTU6.TGRA）のコンペアマッチで MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）および TCNTSA（TCNTSB）をクリアすることが可能です。

図 22.77 に動作例を示します。

注 1.　相補 PWM モード 1（山で転送）でのみ使用してください。
注 2.　他のチャネルとの同期クリア機能に設定しないでください（タイマシンクロレジスタ（TSYRA、TSYRB）の SYNC0 ～ SYNC4, SYNC9 ビット、SYNC6, SYNC7 ビットを “1” に、タイマシンクロクリアレジスタ（TSYCR）の CE0A ～ CE0D ビット、CE1A, CE1B ビット、CE2A, CE2B ビットを “1” に設定しないでください）。
注 3.　PWM デューティは、“0000h” を設定しないでください。
注 4.　タイマアウトプットコントロールレジスタ 1（TOCR1A, TOCR1B）の PSYE ビットを “1” に設定しないでください。

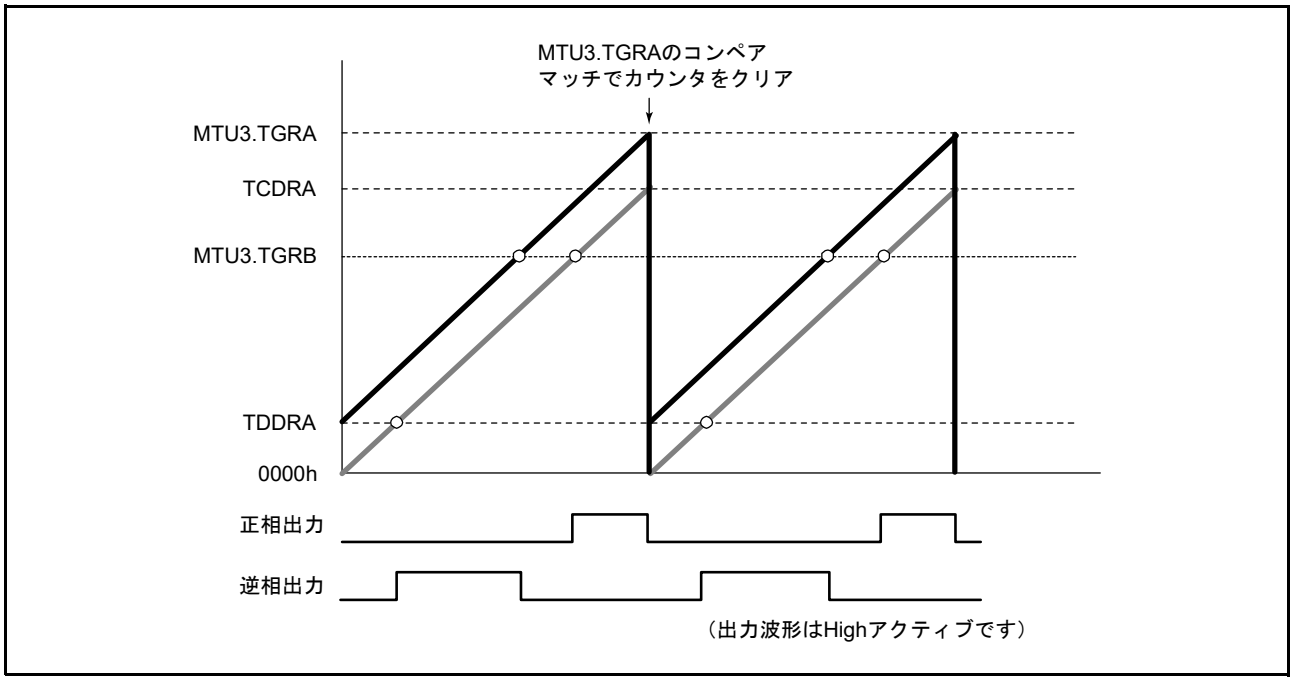


図 22.77　MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q)　AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、TGCRA（TGCRB）レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 22.78 ～図 22.81 に MTU3、MTU4 を使用したブラシレス DC モータの駆動波形例を示します。

TGCRB レジスタを使って、MTU6、MTU7 による駆動波形出力を行うブラシレス DC モータ制御も可能です。外部信号は、MTIOC9A、MTIOC9B、MTIOC9C 端子を用います。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB（TGCRB.FB）ビットを “0” にします。この場合、磁極位置を示す外部信号を MTU0（MTU9）の MTIOC0A、MTIOC0B、MTIOC0C（MTIOC9A, MTIOC9B, MTIOC9C）端子に入力します（MPC と I/O ポートのポートモードレジスタ（PMR）で設定してください）。MTIOC0A、MTIOC0B、MTIOC0C（MTIOC9A, MTIOC9B, MTIOC9C）端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB（TGCRB.FB）ビットが “1” の場合は、TGCRA（TGCRB）の UF、VF、WF ビットの各ビットを “0” または “1” にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相 PWM 出力端子から出力されます。

この 6 相出力は TGCRA（TGCRB）レジスタの N ビットまたは P ビットを “1” にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが “0” の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、TOCR1A.OLSN（TOCR1B.OLSN）、TOCR1A.OLSP（TOCR1B.OLSP）ビットで設定できます。

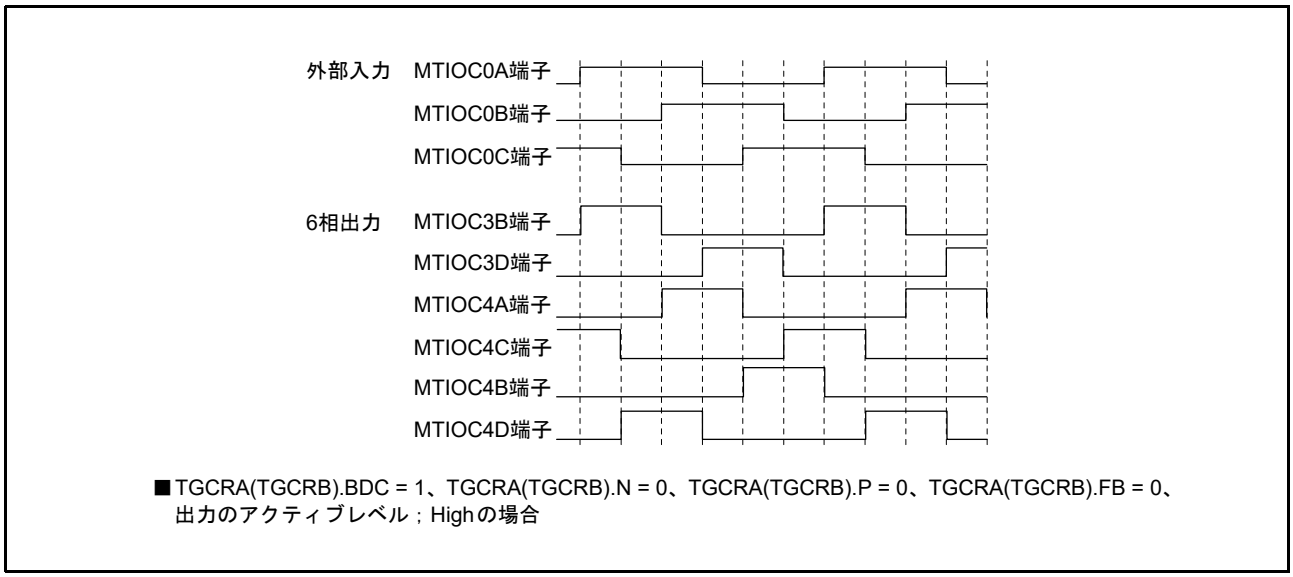
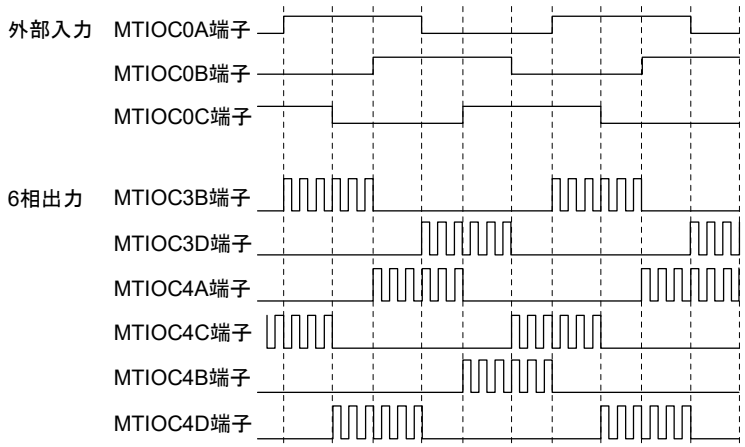
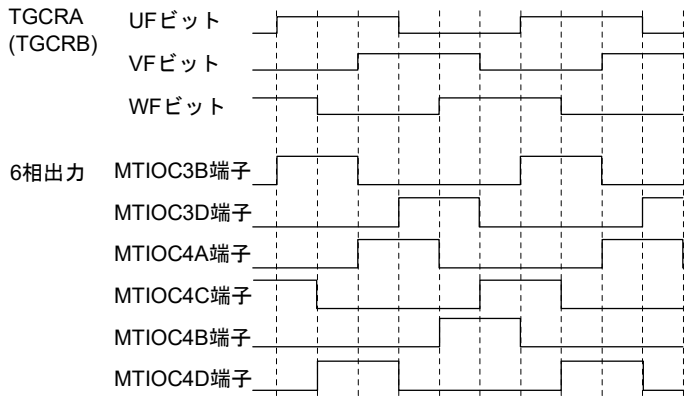


図 22.78　外部入力による出力相の切り替え動作例 (1)



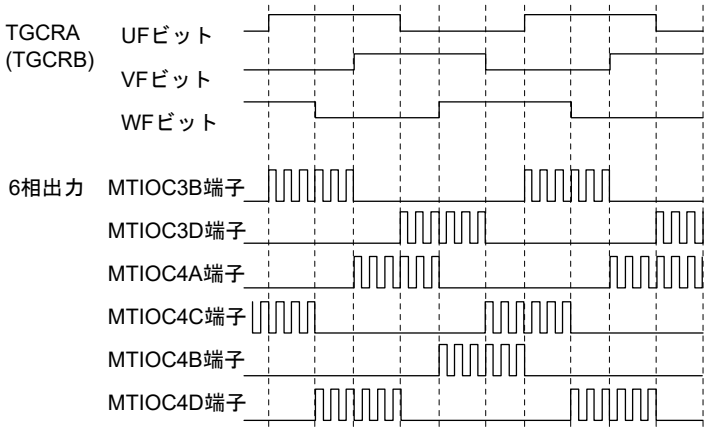
■TGCRA(TGCRB).BDC = 1、TGCRA(TGCRB).N = 1、TGCRA(TGCRB).P = 1、TGCRA(TGCRB).FB = 0、
出力のアクティブレベル；Highの場合

図 22.79　外部入力による出力相の切り替え動作例 (2)



■TGCRA(TGCRB).BDC = 1、TGCRA(TGCRB).N = 0、TGCRA(TGCRB).P = 0、TGCRA(TGCRB).FB = 1、
出力のアクティブレベル；Highの場合

図 22.80　UF、VF、WF ビット設定による出力相の切り替え動作例 (1)



■TGCRA(TGCRB).BDC = 1、TGCRA(TGCRB).N = 1、TGCRA(TGCRB).P = 1、TGCRA(TGCRB).FB = 1、
出力のアクティブレベル；Highの場合

図 22.81　UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r)　A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA（MTU6.TGRA）のコンペアマッチ、MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）、MTU3、MTU4（MTU6, MTU7）以外のチャネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA（MTU6.TGRA）のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT（MTU6.TCNT）の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを “1” にすることで設定できます。MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2（MTU7.TIER.TTGE2）ビットを “1” にすることで設定できます。

(s)　相補 PWM モードのダブルバッファ機能

相補 PWM モード 3（山と谷で転送）時、TMDR2A.DRS（TMDR2B.DRS）ビットを “1” にすることにより、PWM 変更時の PWM 出力の最小分解能を ±2 から ±1 にすることが可能です。

バッファレジスタ A（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD）を設定する際は、バッファレジスタ B（MTU3.TGRE, MTU4.TGRE, MTU4.TGRF, MTU6.TGRE, MTU7.TGRE, MTU7.TGRF）も同時に設定してください。設定手順の詳細は**「22.3.8 (1)　相補 PWM モードの設定手順例」**を参照してください。

注．　バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値を設定しない場合、PWM 出力が非対称になります。

図 22.82 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD、MTU7.TGRD（バッファ A）書き込み時に MTU4.TGRD、MTU7.TGRD（バッファ A）→ TEMP3A、TEMP6A（テンポラリ A）、および MTU4.TGRF、MTU7.TGRF（バッファ B）→ TEMP3B、TEMP6B（テンポラリ B）へのデータ転送
- ①のタイミングで TEMP3A、TEMP6A（テンポラリ A）→ MTU4.TGRB、MTU7.TGRB（コンペア）へのデータ転送
- ②のタイミングで TEMP3B、TEMP6B（テンポラリ B）→ MTU4.TGRB、MTU7.TGRB（コンペア）へのデータ転送

山区間（Tb1 区間）ではコンペアレジスタとテンポラリレジスタ A、谷区間（Tb2 区間）ではコンペアレジスタとテンポラリレジスタ B が有効

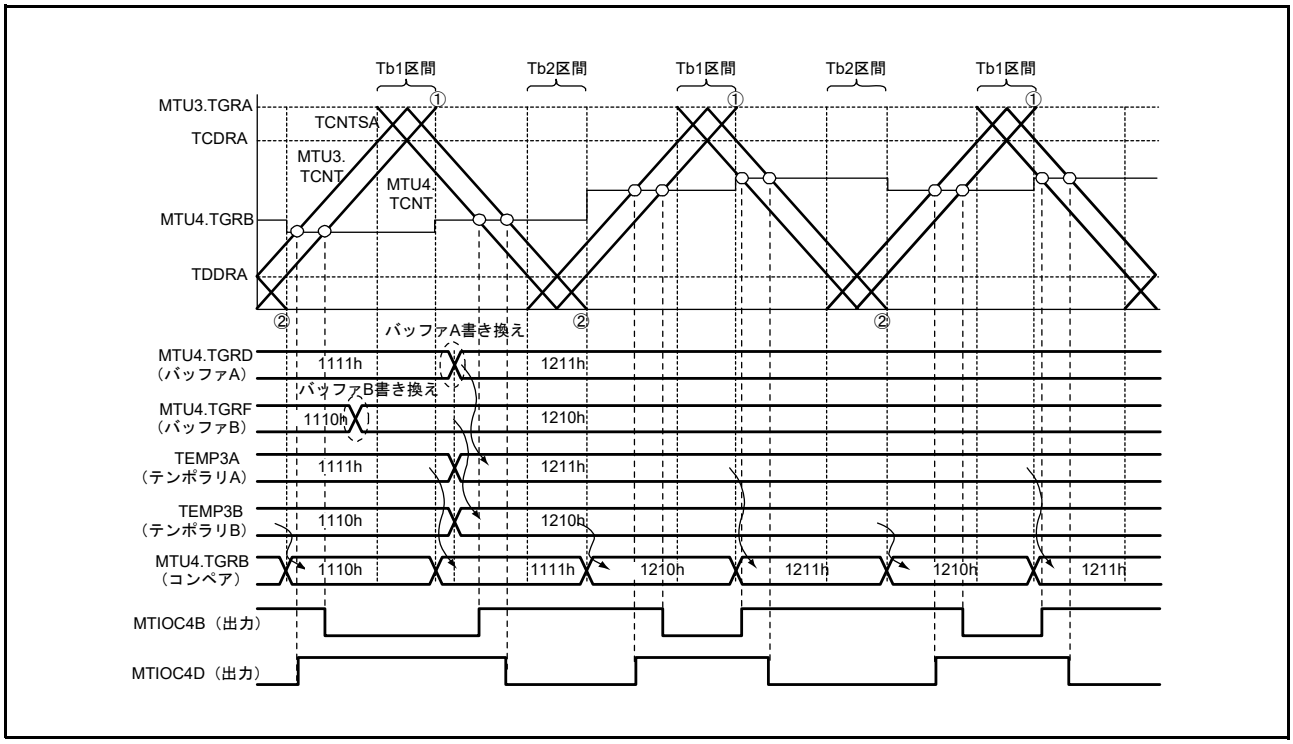


図 22.82　ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA（TDDRB）レジスタより小さい場合を図 22.83 に、TCDRA（TCDRB）レジスタより大きい場合を図 22.84 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

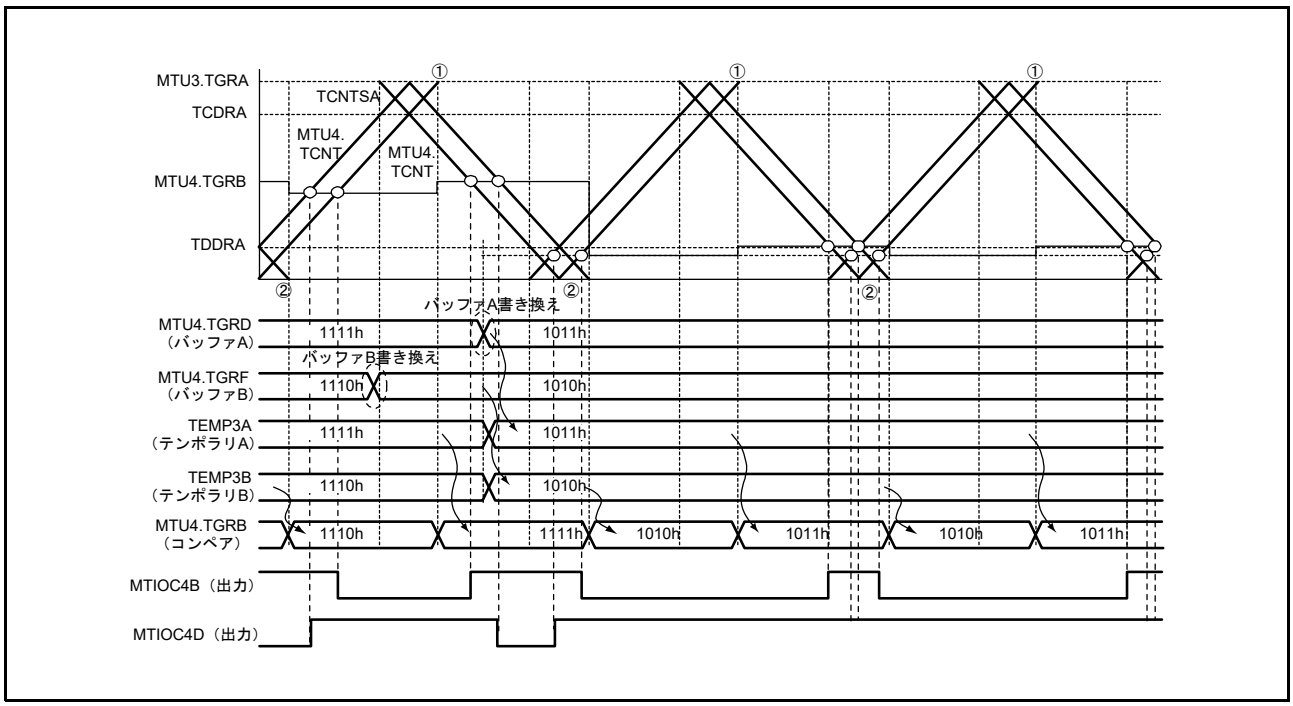


図 22.83　ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

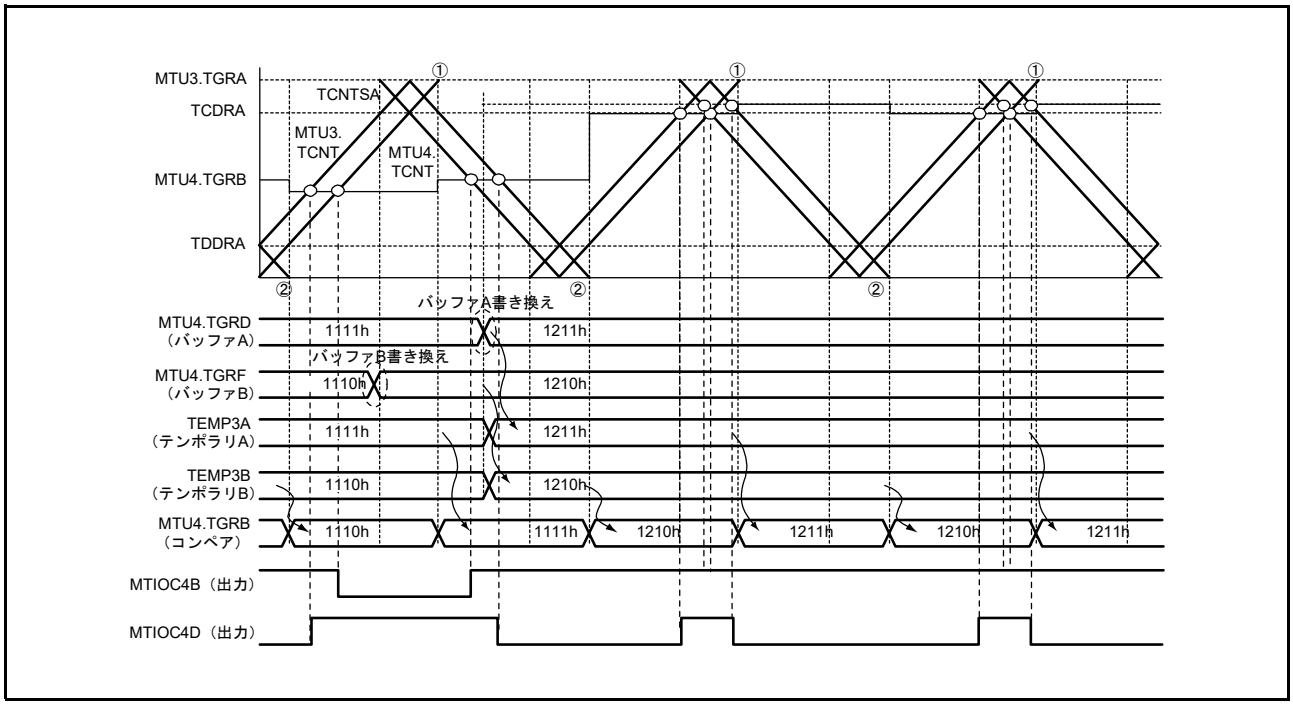


図 22.84　ダブルバッファ機能の動作例 (バッファへの書き込み値が TCDRA より大きい場合)

(3)　相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4（MTU6, MTU7）の TGIA3（TGIA6）（山の割り込み）、および TCIV4（TCIV7）（谷の割り込み）は、TITCR1A（TITCR1B）レジスタを設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

TBTERA（TBTERB）レジスタを設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、**「(c)　割り込み間引きと連動したバッファ転送制御」**を参照してください。

MTU4.TADCR（MTU7.TADCR）レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については**「22.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。

TITCR1A（TITCR1B）レジスタの設定は、タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）の TITM ビットを “0” にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER（MTU6.TIER）レジスタの設定で TGIA3（TGIA6）割り込み要求を禁止した状態、MTU4.TIER（MTU7.TIER）レジスタの設定で TCIV4（TCIV7）割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN（T6AEN）、T4VEN（T7VEN）ビットを “0” にして、間引きカウンタをクリアしてください。

(a)　割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を**図 22.85** に示します。また、割り込み間引き回数の変更可能期間を**図 22.86** に示します。

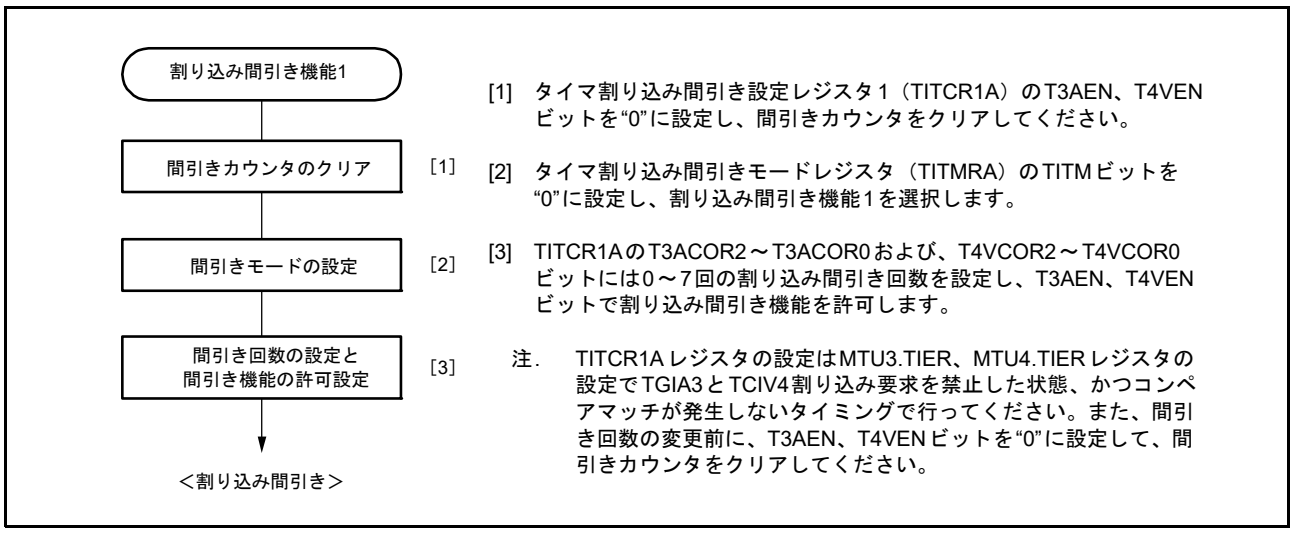


図 22.85　割り込み間引き機能 1 の設定手順例

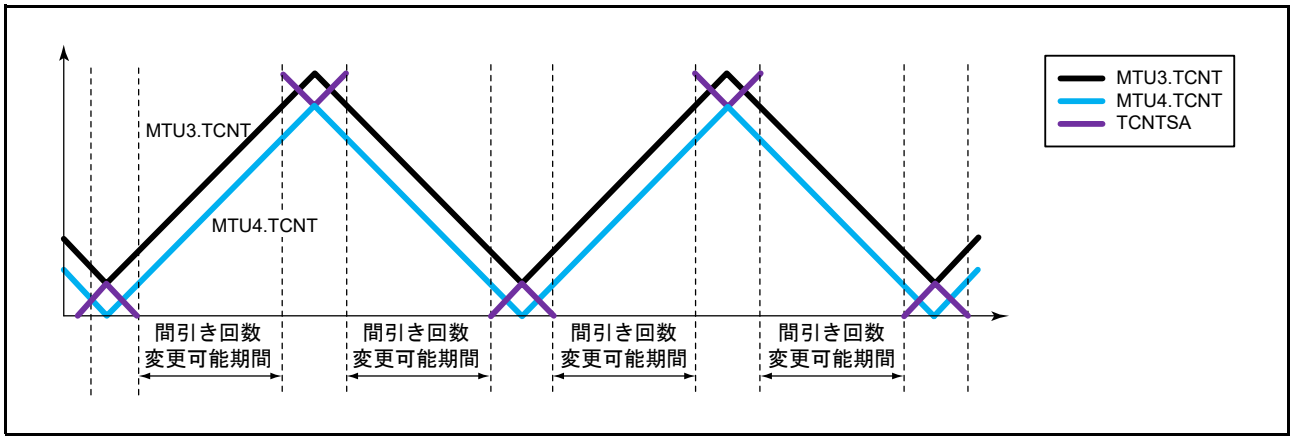


図 22.86　割り込み間引き回数の変更可能期間

(b)　割り込み間引き機能 1 の動作例

TITCR1A（TITCR1B）レジスタの T3ACOR（T6ACOR）ビットで割り込みの間引き回数を 3 回に設定し、T3AEN（T6AEN）ビットを “1” にした場合の、TGIA3（TGIA6）割り込み間引きの動作例を図 22.87 に示します。

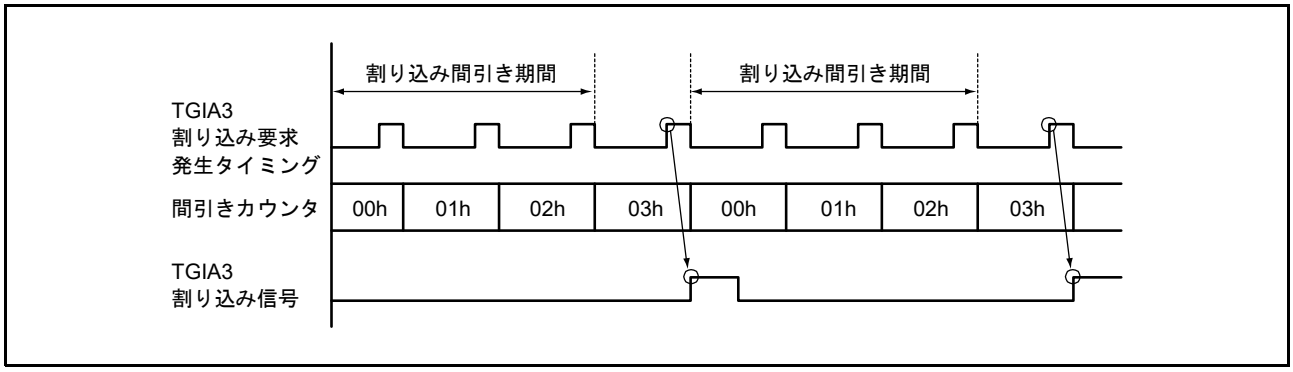


図 22.87　割り込み間引き機能 1 の動作例

(c)　割り込み間引きと連動したバッファ転送制御

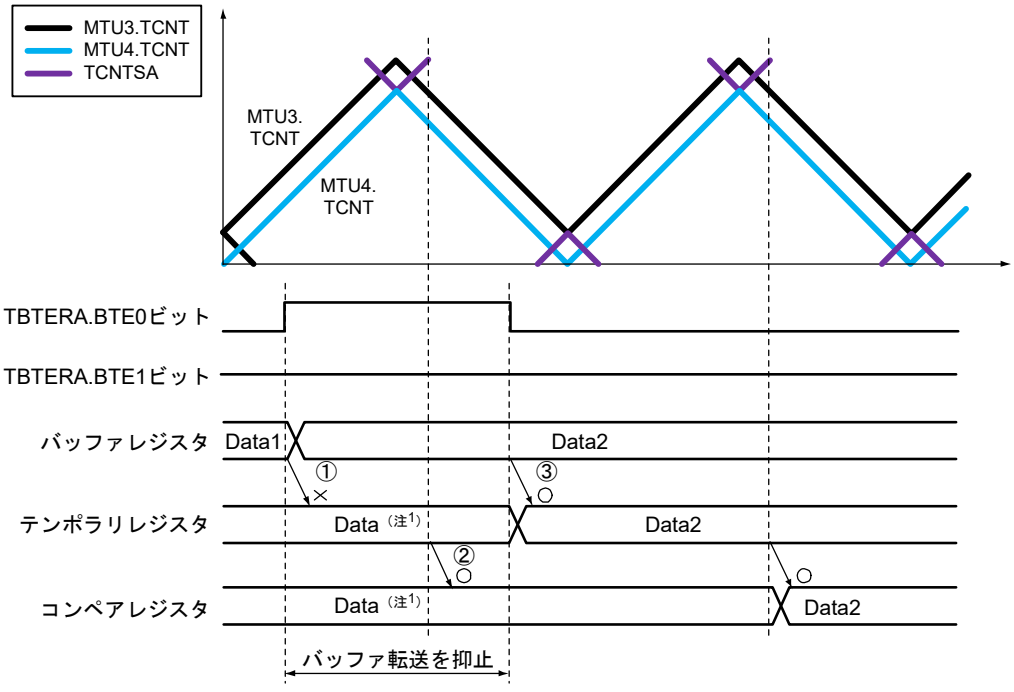
TBTERA（TBTERB）レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑止する設定（BTE[1:0] = 01b）にした場合の動作例を図 22.88 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定（BTE[1:0] = 10b）にした場合の動作例を図 22.89 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A（TITCR1B）レジスタの T3AEN（T6AEN）ビットのみを “1” にした場合、T4VEN（T7VEN）ビットのみを “1” にした場合、TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN, T7VEN）ビット両方を “1” にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN, T7VEN）ビットの設定とバッファ転送許可期間の関係を図 22.90 に示します。

注 .　本機能は、割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ 1（TITCR1A, TITCR1B）の T3AEN、T4VEN（T6AEN, T7VEN）ビットを “0” に設定したとき、または TITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR, T4VCOR（T6ACOR, T7VCOR））を “0” に設定したとき）は、バッファ転送を割り込み間引きと連動しない設定（TBTERA, TBTERB の BTE1 ビットを “0” に設定）してください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。



① バッファ転送を抑止期間中（TBTERAのBTE[1:0]ビットを “01b” に設定）は、バッファレジスタからテンポラリレジスタへの転送をしません。
② バッファ転送を抑止期間中も、テンポラリレジスタからコンペアレジスタへの転送は行われます。
③ バッファ転送を抑止解除後に、バッファレジスタからテンポラリレジスタへの転送が行われます。

注1.　山でのバッファ転送を選択時

図 22.88　バッファ転送を抑止する設定 (BTE[1:0] = 01b) にした場合の動作例

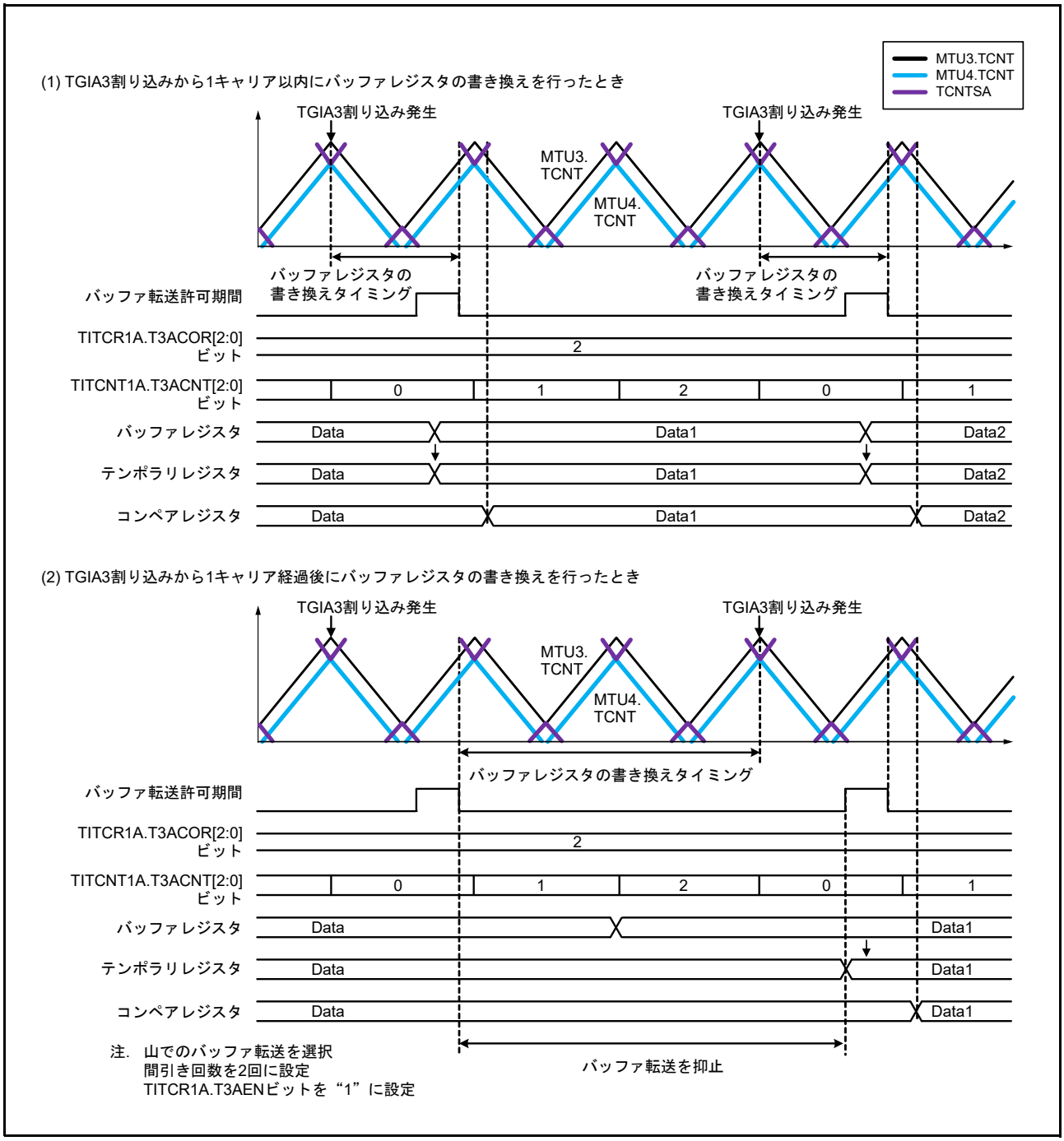


図 22.89　バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

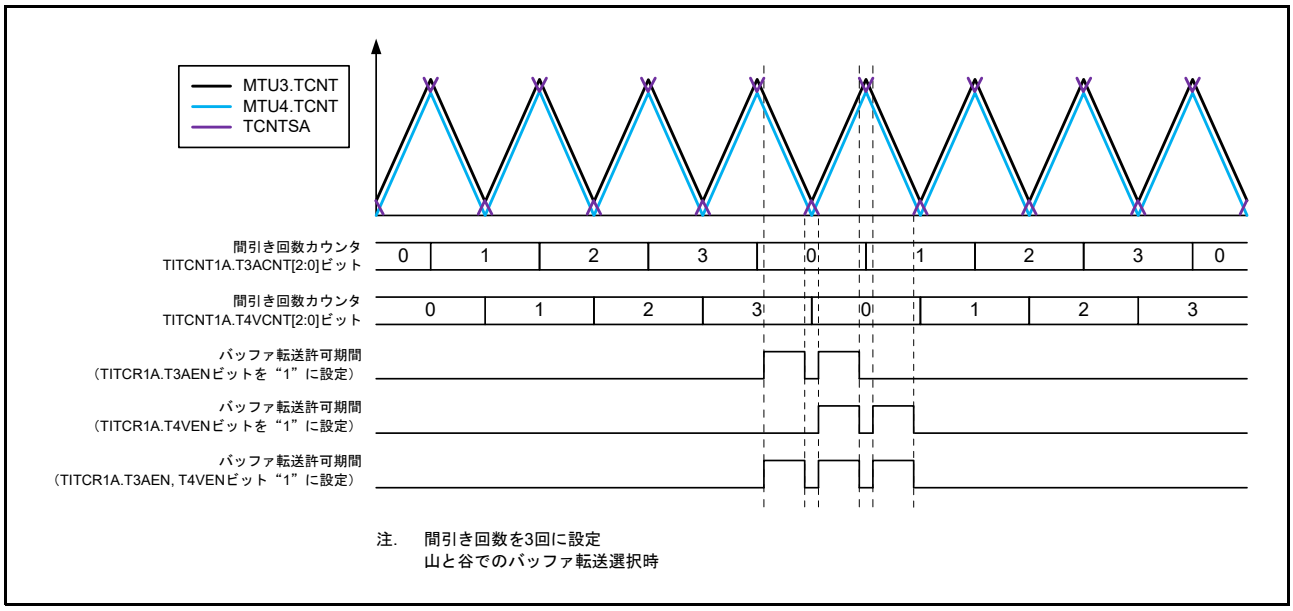


図 22.90　TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA（TRWERB）レジスタの RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR, MTU4.TCR, MTU3.TCR2, MTU4.TCR2, MTU3.TMDR1, MTU4.TMDR1, MTU3.TIORH, MTU4.TIORH, MTU3.TIORL, MTU4.TIORL, MTU3.TIER, MTU4.TIER, MTU3.TCNT, MTU4.TCNT, MTU3.TGRA, MTU4.TGRA, MTU3.TGRB, MTU4.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA,
MTU6.TCR, MTU7.TCR, MTU6.TCR2, MTU7.TCR2, MTU6.TMDR1, MTU7.TMDR1, MTU6.TIORH, MTU7.TIORH, MTU6.TIORL, MTU7.TIORL, MTU6.TIER, MTU7.TIER, MTU6.TCNT, MTU7.TCNT, MTU6.TGRA, MTU7.TGRA, MTU6.TGRB, MTU7.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TGCRB, MTU.TCDRB, MTU.TDDRB
計 48 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。

詳細は、「23. ポートアウトプットイネーブル 3 (POE3D)」を参照してください。

22.3.9　A/D 変換開始要求ディレイド機能

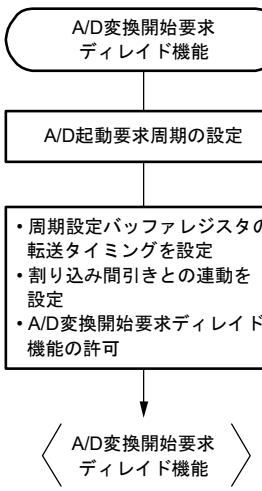
MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR, MTU7.TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB）、タイマ A/D 変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB）を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）が一致したとき、それぞれの A/D 変換の開始要求（TRG4AN, TRG4BN（TRG7AN, TRG7BN））を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（MTU7.TADCR レジスタの ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN, TRG4BN（TRG7AN, TRG7BN））を間引くことが可能です。

(1)　A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 22.91 に示します。



[1]　タイマA/D変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）とタイマA/D変換開始要求周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）に、周期を設定します。
（[2]でタイマA/D変換開始要求周期設定バッファレジスタからタイマA/D変換開始要求周期設定レジスタへのバッファ転送タイミングを谷または山と谷に設定する場合は、カウント開始直後に周期設定バッファレジスタから周期設定レジスタへの転送が行われるため、タイマA/D変換開始要求周期設定バッファレジスタにはタイマA/D変換開始要求周期設定レジスタと同じ値を設定してください。）

[2]　タイマA/D変換開始要求コントロールレジスタ（MTU4.TADCR）のBF[1:0]ビットに、タイマA/D変換開始要求周期設定バッファレジスタからタイマA/D変換開始要求周期設定レジスタへのバッファ転送タイミングを設定します。
- ITA3AE、ITA4VE、ITB3AE、ITB4VEビットで、割り込み間引き機能と連動するか設定します。
- UT4AE、DT4AE、UT4BE、DT4BEビットを設定し、A/D変換の開始要求（TRG4AN, TRG4BN）を許可します。

注.　MTU4.TADCRレジスタの設定は、MTU4.TCNTが停止した状態で行ってください。
注.　相補PWMモード以外では、MTU4.TADCR.BF1ビットを“0”にしてください。
注.　相補PWMモード以外では、ITA3AE、ITA4VE、ITB3AE、ITB4VE、DT4AE、DT4BEを“0”にしてください。
注.　割り込み間引きが禁止のときは、ITA3AE、ITA4VE、ITB3AE、ITB4VEビットを“0”にしてください。

図 22.91　A/D 変換開始要求ディレイド機能の設定手順例 (MTU3, MTU4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT（MTU7.TCNT）の谷に設定し、MTU4.TCNT（MTU7.TCNT）のダウンカウント時に A/D 変換の開始要求信号（TRG4AN（TRG7AN））を出力する設定にした場合の、A/D 変換の開始要求信号（TRG4AN（TRG7AN））の基本動作例を図 22.92 に示します。

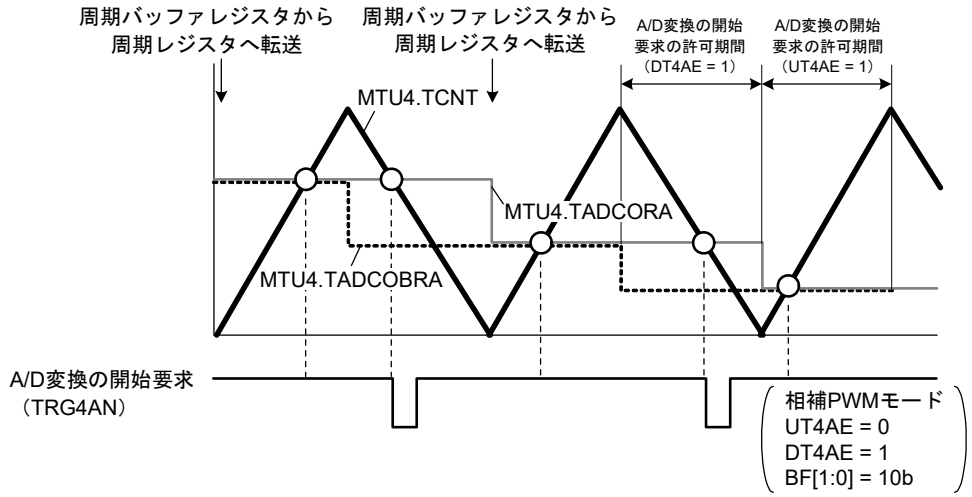


図 22.92　A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットで許可した期間内に MTU4.TCNT（MTU7.TCNT）カウンタと MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）レジスタが一致したとき、それぞれの A/D 変換の開始要求（TRG4AN, TRG4BN）を行います。

相補 PWM モードで MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットを “1” にすると、MTU4.TCNT（MTU7.TCNT）カウンタのアップカウント期間（0 ≦ MTU4.TCNT（MTU7.TCNT）≦ TCDR – 1）に A/D 変換の開始要求を許可します。MTU4.TADCR（MTU7.TADCR）レジスタの DT4AE、DT4BE（DT7AE, DT7BE）ビットを “1” にすると、MTU4.TCNT（MTU7.TCNT）カウンタのダウンカウント期間（TCDR ≧ MTU4.TCNT（MTU7.TCNT）≧ 1）に A/D 変換の開始要求を許可します（図 22.92）。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、MTU4.TADCR（MTU7.TADCR）レジスタの BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時は MTU4.TGRD（MTU7.TGRD）レジスタの書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、**「22.6.28　相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」**を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR（MTU7.TADCR）レジスタの BF1 ビットを “0” にしてください。

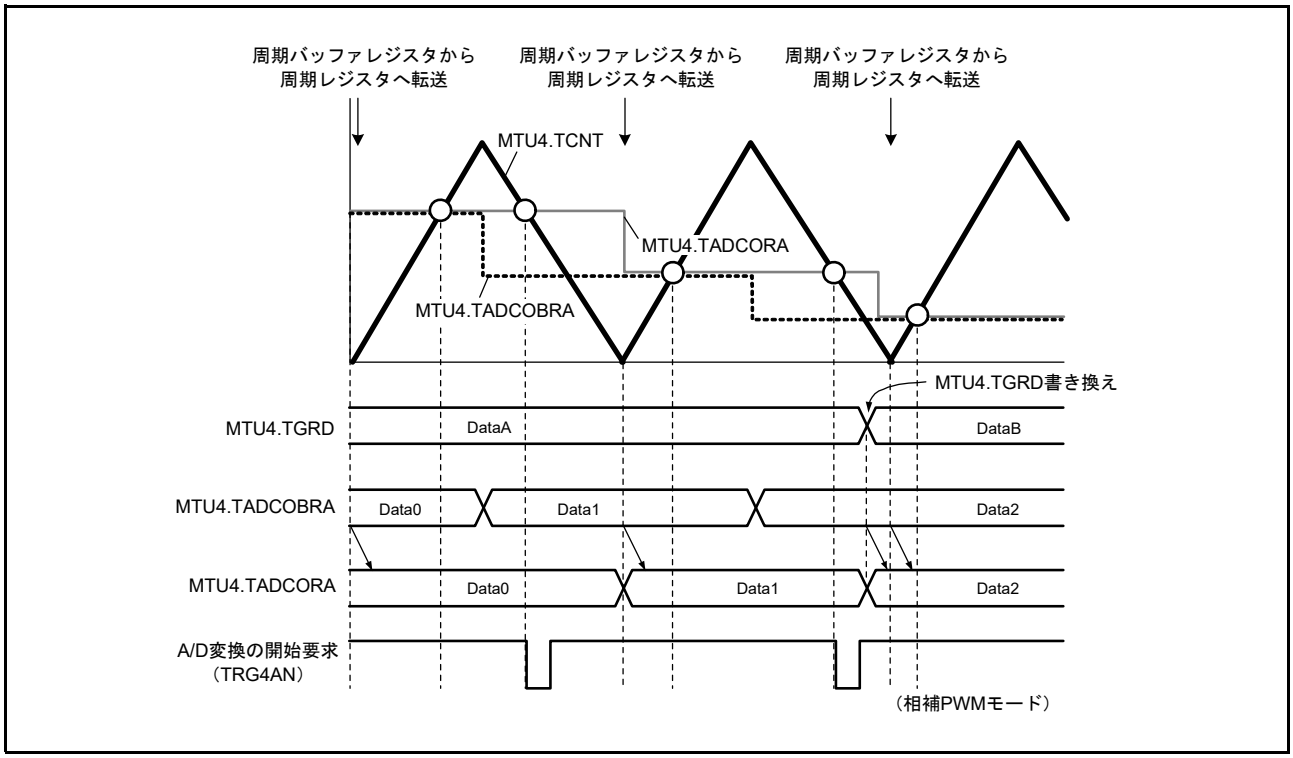


図 22.93　A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(5) 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、MTU4.TADCR（MTU7.TADCR）レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE, ITA7VE, ITB6AE, ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN, TRG4BN（TRG7AN, TRG7BN））を行うことが可能です。

MTU4.TCNT（MTU7.TCNT）のアップカウント時、およびダウンカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 22.94 に示します。

また、MTU4.TCNT（MTU7.TCNT）のアップカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 22.95 に示します。

相補 PWM モード以外では、割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCR（MTU7.TADCR）レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE, ITA7VE, ITB6AE, ITB7VE）ビットを “0” にしてください。

注 .　本機能は割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））の T3AEN、T4VEN（T6AEN, T7VEN）ビットを “0” にしたとき、または TITCR1A（TITCR1B）レジスタの間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR, T7VCOR））を “0” にしたとき）は、割り込み間引き機能 1 と連動しない（MTU4.TADCR（MTU7.TADCR））レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE, ITA7VE, ITB6AE, ITB7VE）ビットを “0” にする）設定にしてください。
また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）には “0002h” ～ TCDRA の設定値 – 2（TCDRB の設定値 – 2）の値にしてください。

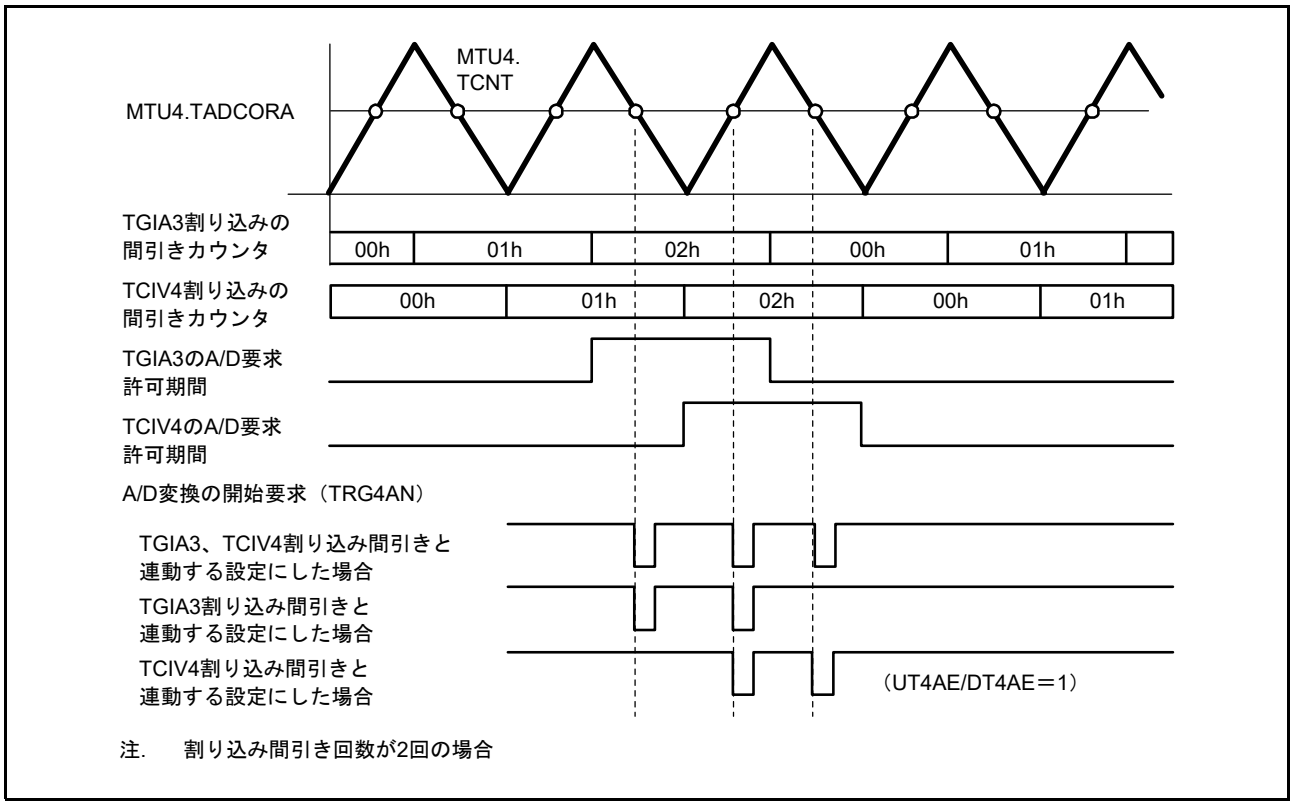


図 22.94　割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

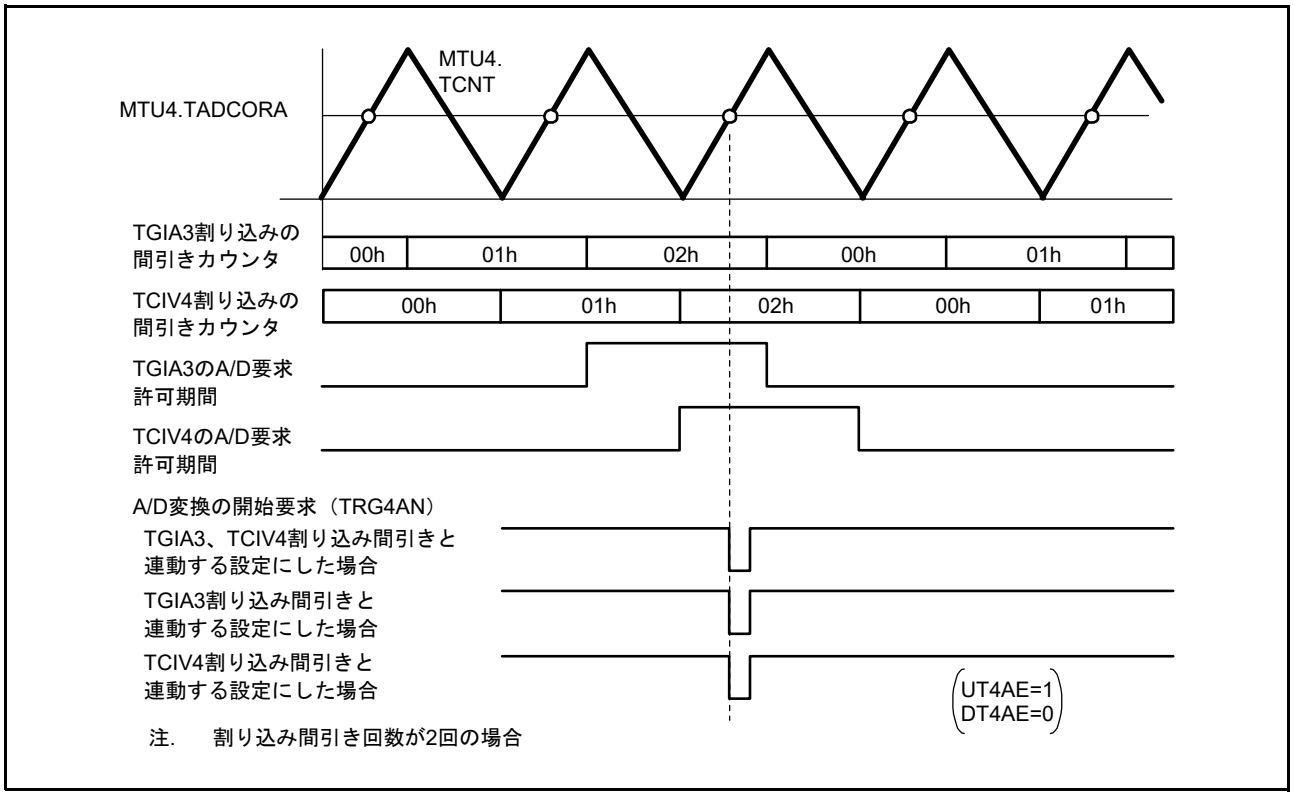


図 22.95　割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1, DT4AE = 0)

(6) 割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能

TITMRA（TITMRB）レジスタの TITM ビットを “1” にし、TITCR2A（TITCR2B）レジスタの TRG4COR[2:0]（TRG7COR[2:0]）ビットで設定した値（0 ～ 7）から、既存の A/D 変換開始トリガ（TRG4AN および TRG4BN（TRG7AN および TRG7BN））が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN および TRG4BN（TRG7AN および TRG7BN）の割り込みが有効になり、A/D 変換開始要求信号（TRG4ABN（TRG7ABN））が出力されます。

この機能は A/D 変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能 2 の設定手順例

図 22.96 に割り込み間引き機能 2 の設定手順例を示します。

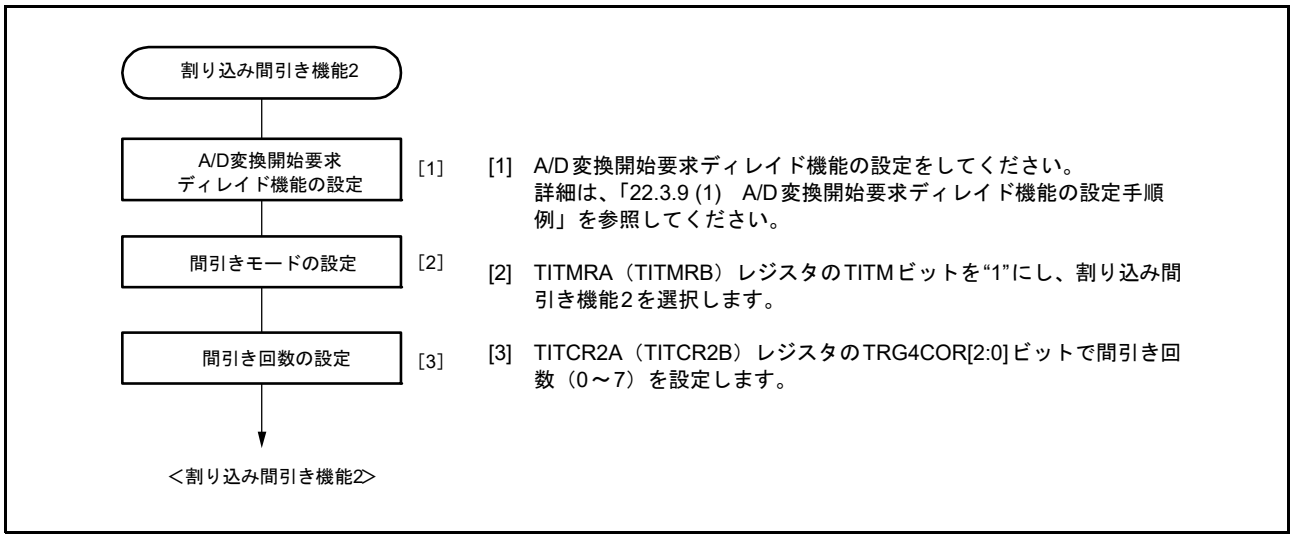


図 22.96　割り込み間引機能 2 の設定手順例

(b)　割り込み間引き機能 2 の動作例

図 22.97 に割り込み間引き機能 2 の動作例を示します。

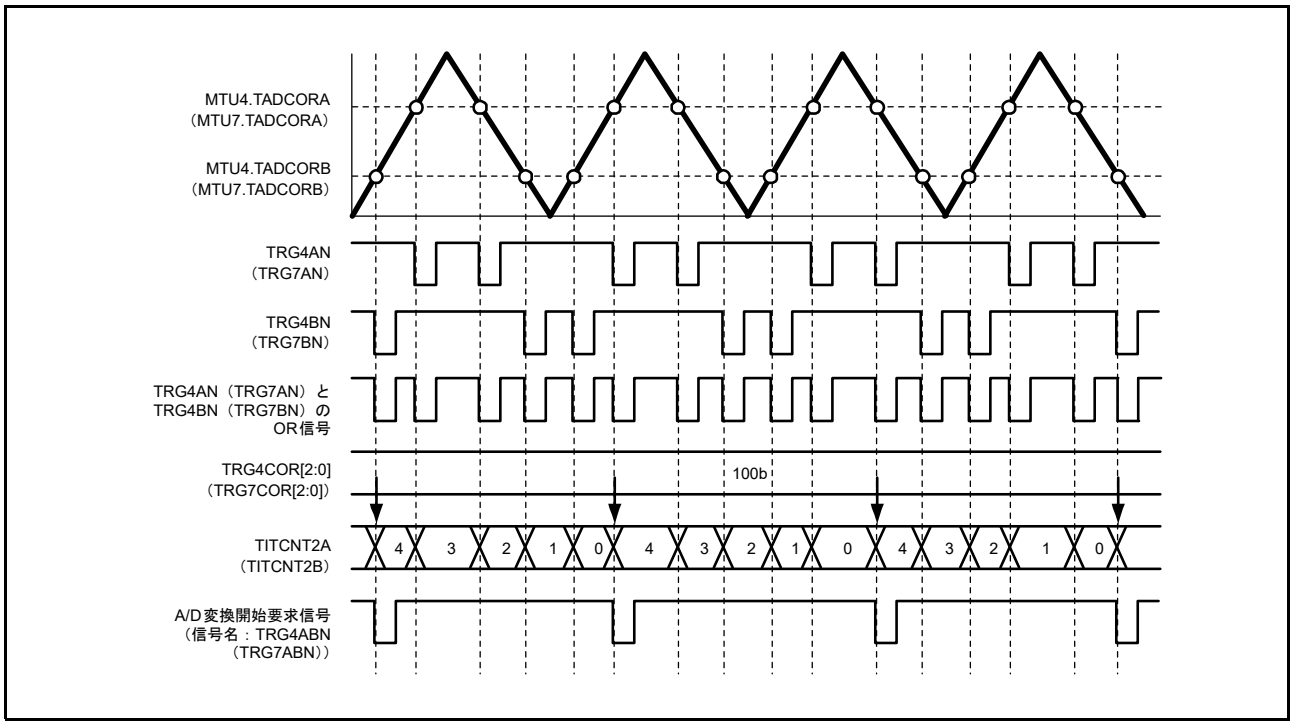


図 22.97　割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

22.3.10　MTU0 ～ MTU4、MTU6、MTU7、MTU9 の同期動作

(1)　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ～ MTU4、MTU6、MTU7、MTU9 のカウンタを同期スタートすることができます。

(a)　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例

図 22.98 に MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例を示します。

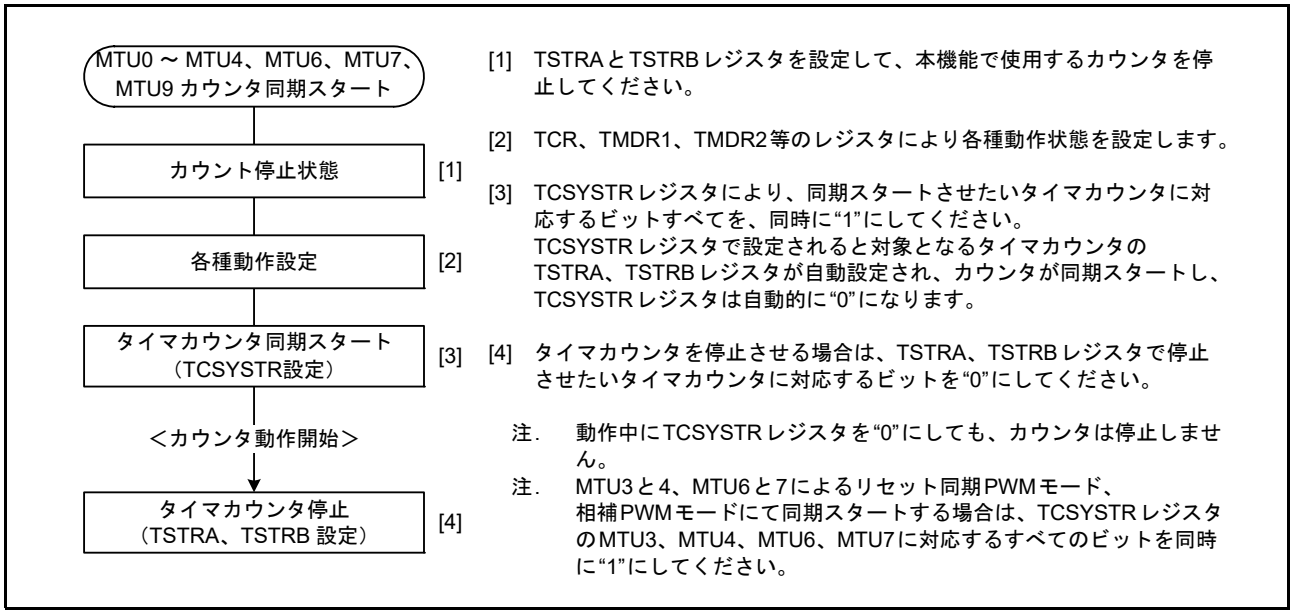


図 22.98　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例

(b)　カウンタ同期スタート動作の例

図 22.99 に MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの動作例を示します。

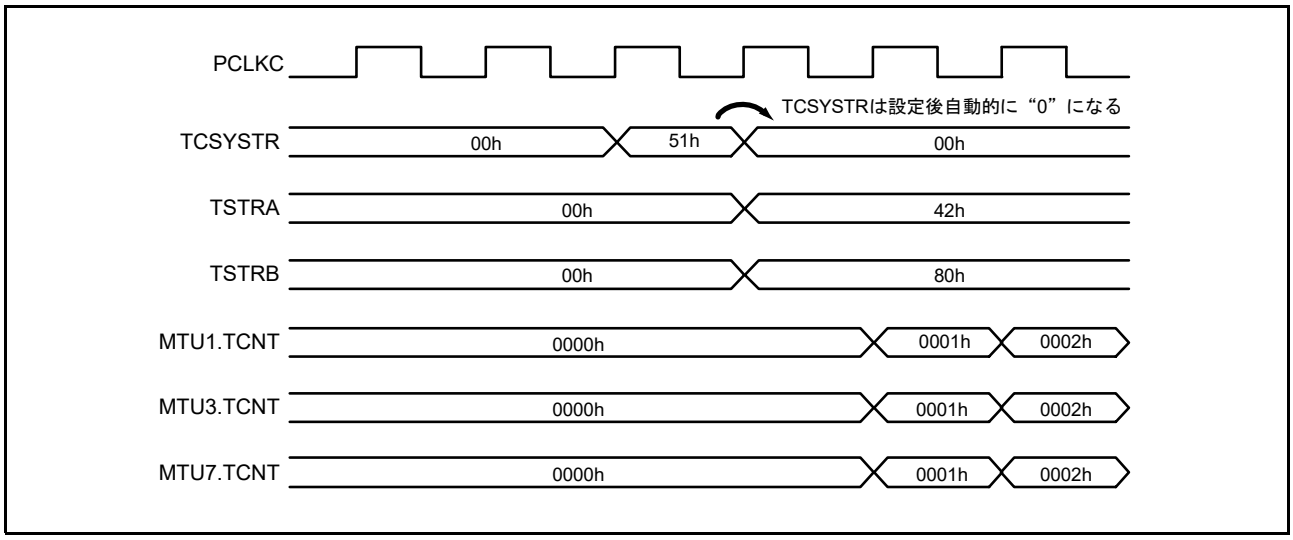


図 22.99　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの動作例

(2) MTU6、MTU7 カウンタ同期クリア

MTU6、MTU7 は TSYCR レジスタを設定することにより、TGImn 割り込み発生タイミング（m = A ～ D、n = 0 ～ 2）を利用して、カウンタクリアすることができます。

(a) MTU6、MTU7 カウンタ同期クリアの設定手順例

図 22.100 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの設定手順例を示します。

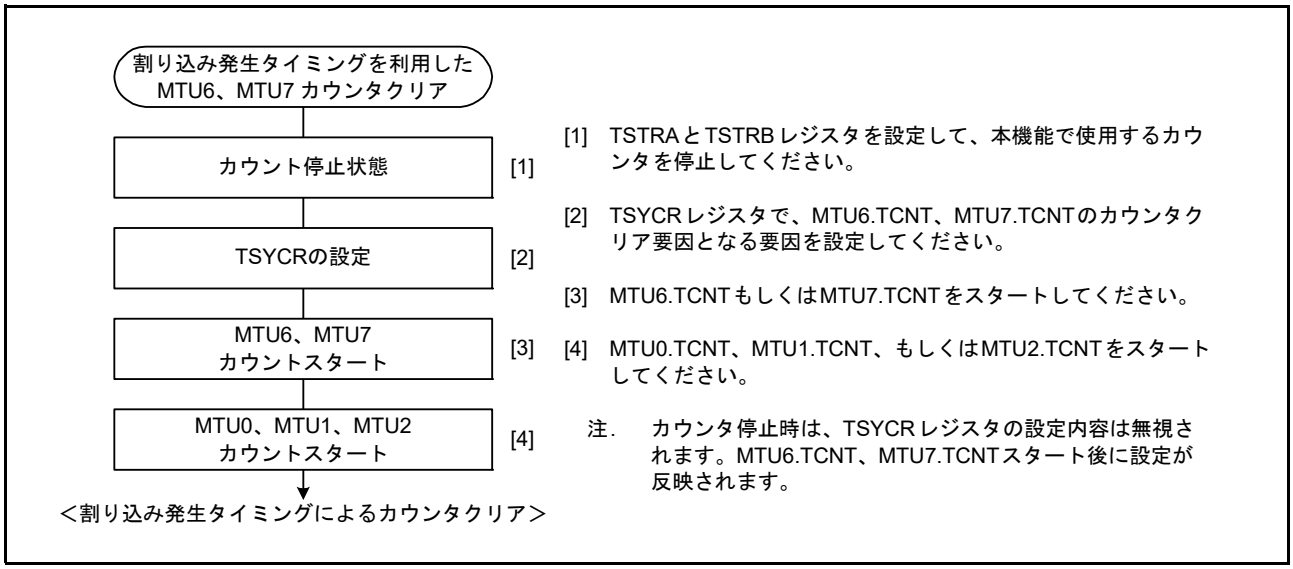


図 22.100 MTU6、MTU7 カウンタ同期クリアの設定手順例

(b) MTU6、MTU7 カウンタ同期クリアの動作例

図 22.101、図 22.102 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの動作例を示します。

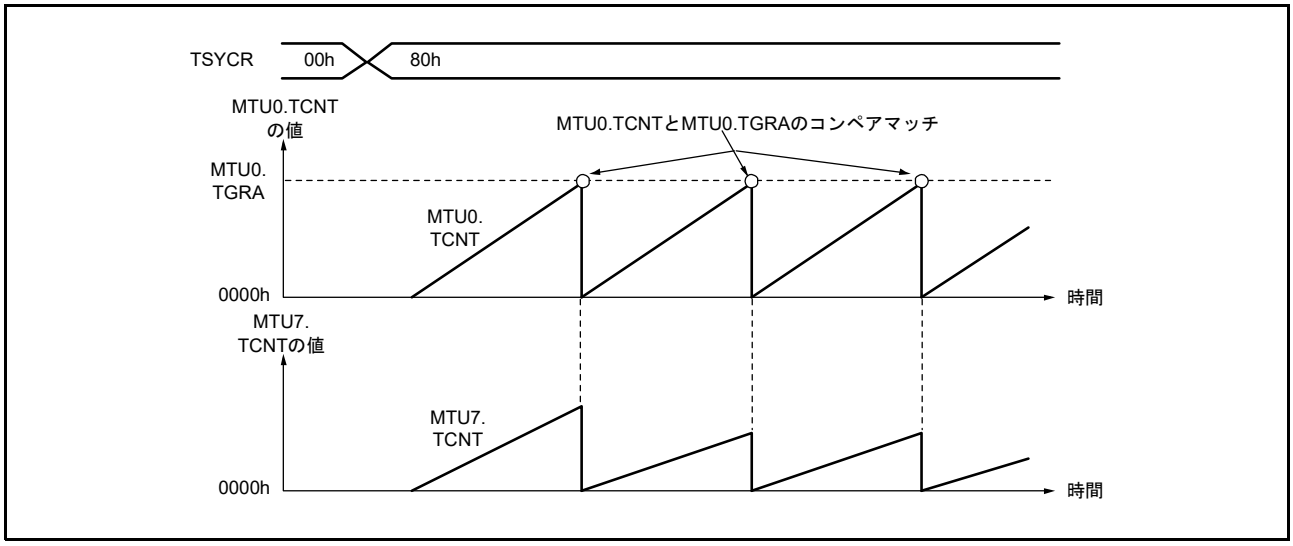


図 22.101 MTU6、MTU7 カウンタ同期クリアの動作例 (1)

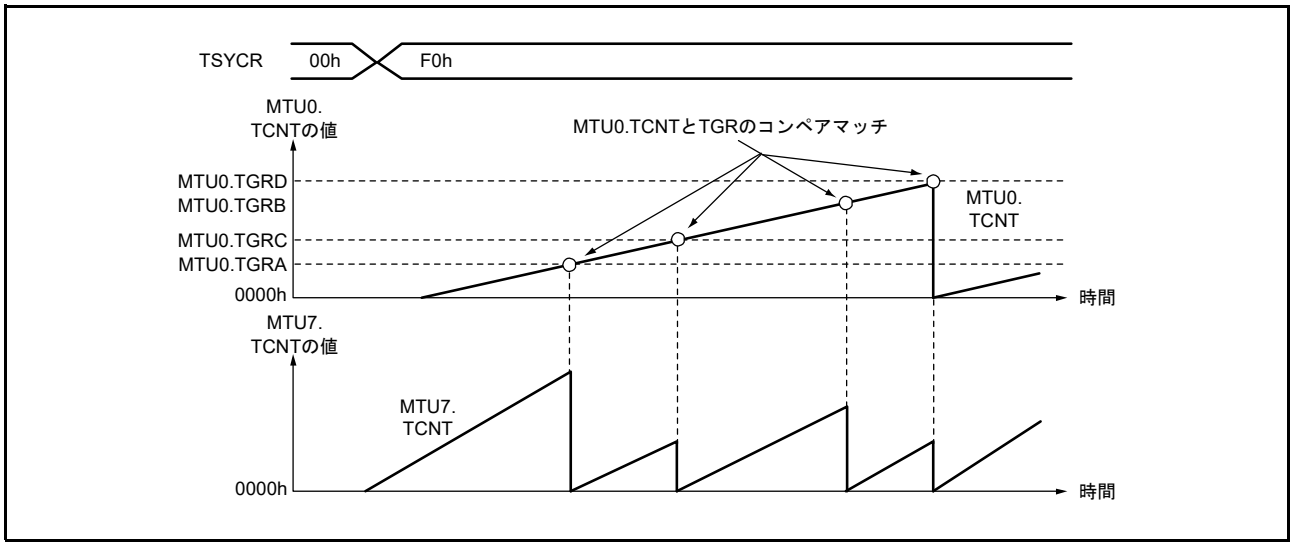


図 22.102　MTU6、MTU7 カウンタ同期クリアの動作例 (2)

22.3.11　外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 22.103 に、動作例を図 22.104 に示します。

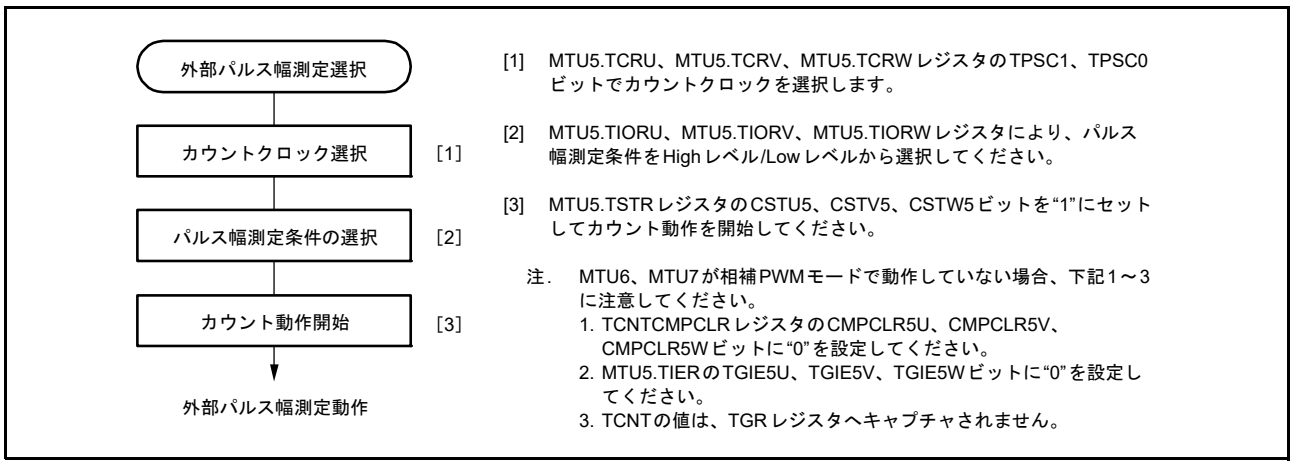


図 22.103　外部パルス幅測定の設定手順例

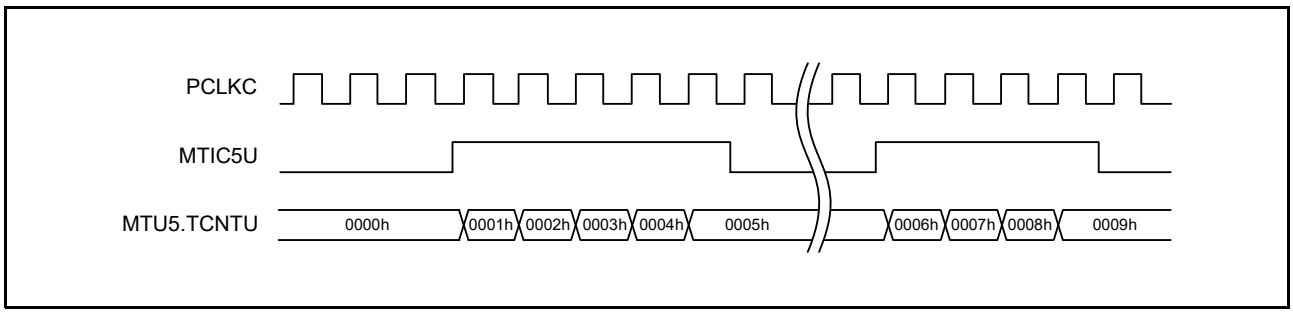


図 22.104　外部パルス幅測定の動作例 (High パルス幅測定)

22.3.12　デッドタイム補償用機能

MTU5 ～ MTU7 を組み合わせて、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を補償することができます。図 22.105 に、MTU5 ～ MTU7 を組み合わせて、デッドタイム遅れを補償するモータ制御の回路例を示します。MTU5 の外部パルス測定機能で相補 PWM 出力とインバータ出力間の遅延を測定して、PWM 出力のコンペアレジスタに設定するデューティを補正することで、MTU6、MTU7 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 22.106）。MTU5 ～ MTU7 を使用したデッドタイム補償の設定手順を図 22.107 に示します。このときの MTU5 の動作については、「22.3.13　相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作」を参照してください。

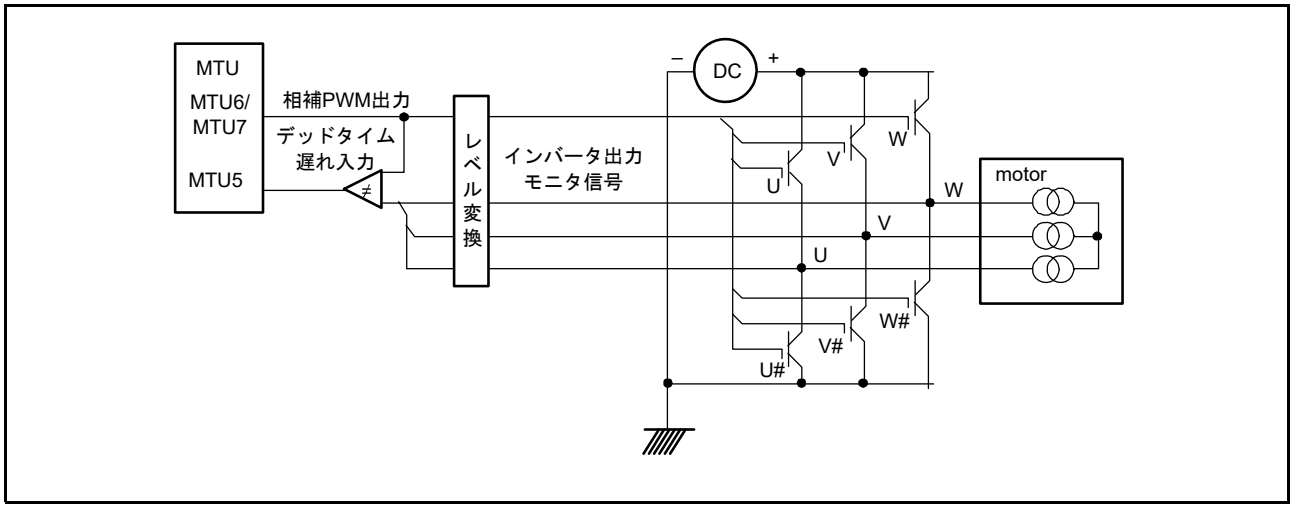


図 22.105　モータ制御回路例

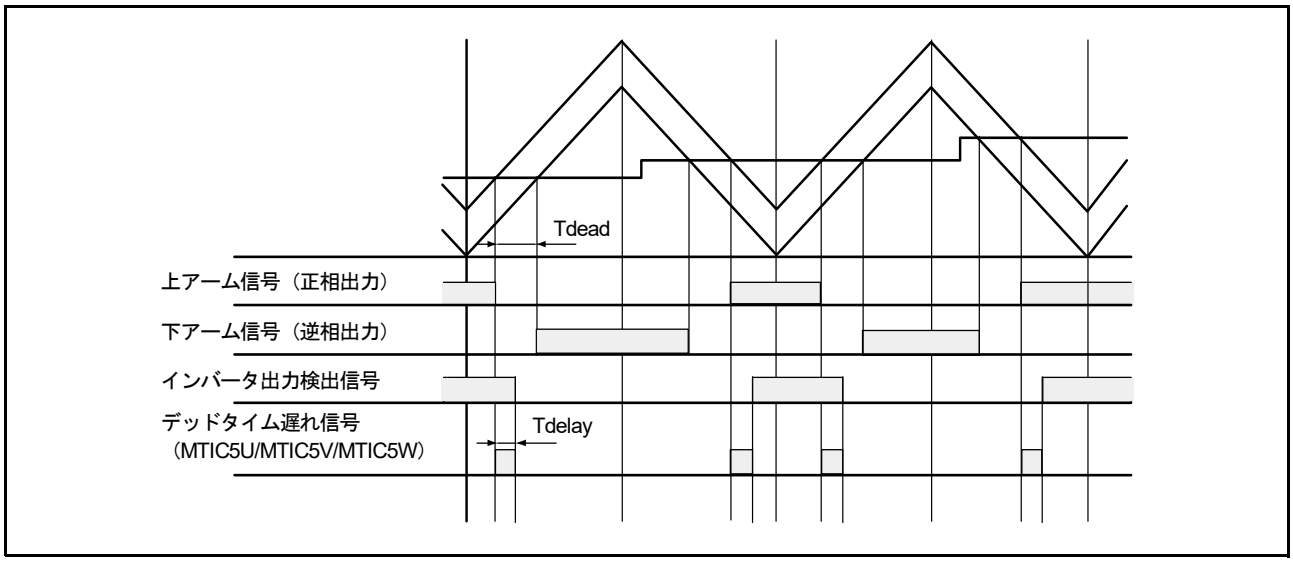
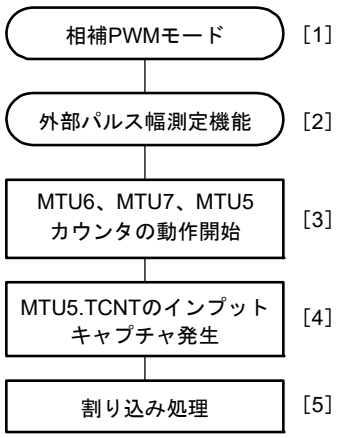


図 22.106　相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償用機能の設定手順例

MTU5 の 3 本のカウンタを使用したデッドタイム補償用機能の設定手順例を図 22.107 に示します。



[1] MTU6、MTU7に相補PWMモードの設定をします。
詳細は「22.3.8　相補PWMモード」を参照してください。

[2] 使用するMTU5のTIORに外部パルス幅測定機能の設定をします。
詳細は「22.3.11　外部パルス幅測定機能」を参照してください。

[3] TSTRBレジスタのCST6、CST7ビットとMTU5.TSTRのCSTU5、CSTV5、CSTW5を“1”にして、カウント動作を開始してください。

[4] TIORに設定したキャプチャ条件が発生したとき、MTU5.TCNTの値をMTU5.TGRに取り込みます。
TIORに設定したキャプチャ条件でMTU5.TGIm5割り込み（m = U, V, W）要求の発生を抑止するため、MTU5.TIERに割り込み要求の許可を設定しないでください。

[5] U相のデッドタイム補償は、相補PWMモードの山（TGIA6）もしくは谷（TCIV7）の割り込み処理で、MTU5.TGRUの値を読み出し、MTU6.TGRBとの時間差を算出して、補正した値をMTU6.TGRDに書き込みます。
V相とW相についても同様にMTU5.TGRVとMTU5.TGRWの値をMTU7.TGRCとTGRDに補正した値を書き込みます。
MTU5.TCNTのクリアは、TCNTCMPCLRの設定もしくはソフトウェアで行ってください。

注.　MPCとI/Oポートのポートモードレジスタ（PMR）の設定は前もって完了しておいてください。
TIORに設定したキャプチャ条件で割り込みフラグがセットされるので、MTU5.TIERに割り込み要求の許可を設定しないでください。

図 22.107　デッドタイム補償用機能の設定手順例

22.3.13　相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU6、MTU7 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送する機能です。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを “1” にすると、TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW が “0000h” になります。

なお、MTU3、MTU4 を相補 PWM モードで動作させるとき、相補 PWM の山、谷、または山と谷で MTU5 の TCNTU、TCNTV、TCNTW のキャプチャ動作は実行できません。

図 22.108 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの山と谷で TGRU にキャプチャを行った動作例です。

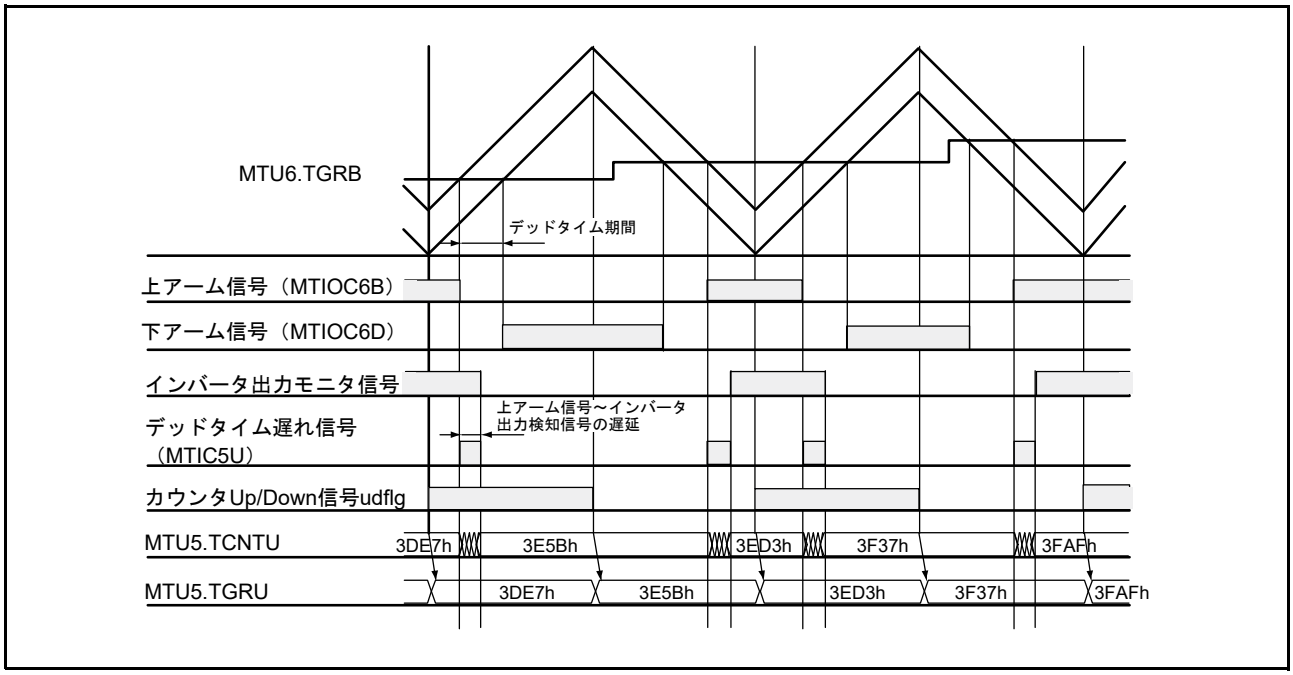


図 22.108　相補 PWM の山と谷での TCNTU キャプチャ動作

22.3.14　ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ（n = 0 ～ 7, 9, C）にノイズフィルタ機能の有効 / 無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効 / 無効は端子ごとに設定でき、サンプリングクロックの設定はチャネルごとに設定できます。図 22.109 にノイズフィルタのタイミングを示します。

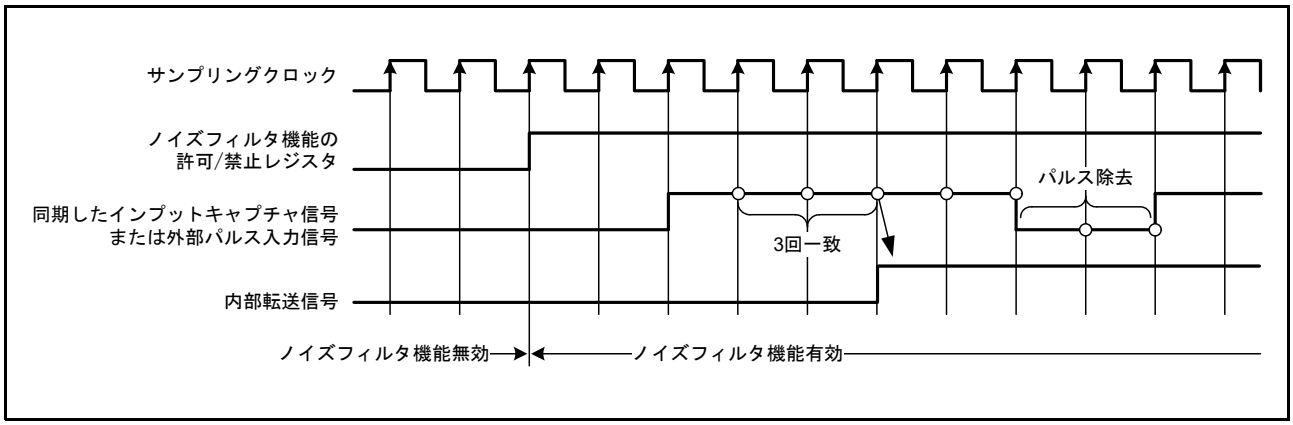


図 22.109　ノイズフィルタのタイミング

22.3.15　A/D 変換開始要求フレーム同期信号

本機能を使用すると A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。

TADSTRGRn レジスタ（n = 0, 1）でモニタしたい A/D 変換要求信号を選択し、TADSTRGRn.TADSMENn ビットで ADSMn 端子出力許可にすると ADSMn 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。

図 22.110 に A/D 変換開始要求フレーム同期信号出力例を示します。

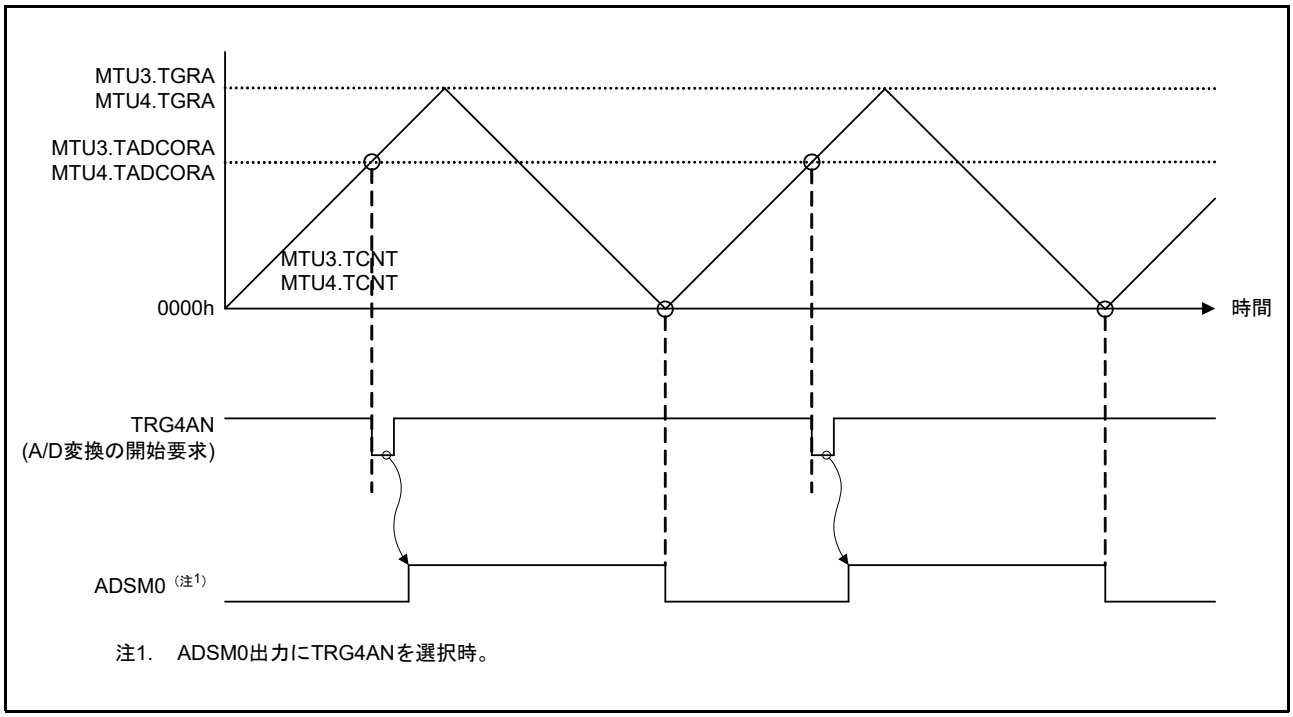


図 22.110　A/D 変換開始要求フレーム同期信号出力例

22.4　割り込み要因

22.4.1　割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用の許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可 / 禁止ビットが “1” ならば、割り込みを要求します。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「14.　割り込みコントローラ (ICUG)」を参照してください。**表 22.78** に MTU の割り込み要因の一覧を示します。

表22.78　MTU割り込み要因

チャネル	名称	割り込み要因	DMAC/DTCの起動
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV0	MTU0.TCNTのオーバフロー	不可能
	TGIE0	MTU0.TGREのコンペアマッチ	不可能
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCIV1	MTU1.TCNTのオーバフロー	不可能
	TCIU1	MTU1.TCNTのアンダフロー	不可能
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCIV2	MTU2.TCNTのオーバフロー	不可能
	TCIU2	MTU2.TCNTのアンダフロー	不可能
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV3	MTU3.TCNTのオーバフロー	不可能
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能
MTU6	TGIA6	MTU6.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB6	MTU6.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC6	MTU6.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID6	MTU6.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV6	MTU6.TCNTのオーバフロー	不可能
MTU7	TGIA7	MTU7.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB7	MTU7.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC7	MTU7.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID7	MTU7.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV7	MTU7.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU9	TGIA9	MTU9.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB9	MTU9.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC9	MTU9.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID9	MTU9.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV9	MTU9.TCNTのオーバフロー	不可能
	TGIE9	MTU9.TGREのコンペアマッチ	不可能
	TGIF9	MTU9.TGRFのコンペアマッチ	不可能

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。
注1.　アンダフローは相補PWMモード時のみ有効

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ / コンペアマッチが発生したとき、TIER.TGIE ビットが “1” であれば、割り込みを要求します。MTU には、MTU0、MTU9 に 6 本、MTU3、MTU4、MTU6、MTU7 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 35 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが “1” であれば、割り込みを要求します。MTU には、MTU5 を除く各チャネルに 1 本、計 8 本のオーバフロー割り込みがあります。

なお、相補 PWM モードで動作時は、MTU4.TCNT、MTU7.TCNT のアンダフロー発生時もオーバフロー割り込みが発生します。

(3) アンダフロー割り込み

各チャネルの TCNT のアンダフローが発生したとき、TIER.TCIEU ビットが “1” であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

22.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャネルの TGR のインプットキャプチャ / コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「18. データトランスファコントローラ (DTCb)」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU9 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインプットキャプチャ / コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャネルの TGR のインプットキャプチャ / コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DMAC を起動することができます。詳細は「17. DMA コントローラ (DMACAa)」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU9 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインプットキャプチャ / コンペアマッチ割り込み、オーバフロー割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

22.4.3　A/D コンバータの起動

MTU では、次の 3 種類の方法で A/D コンバータを起動することができます。
各割り込み要因と A/D 変換開始要求の対応を、**表 22.79** に示します。

(1)　TGRA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の MTU4.TCNT (MTU7.TCNT) の谷での A/D 起動

各チャネルの TGRA のインプットキャプチャ / コンペアマッチによって、A/D コンバータを起動することができます。また、MTU4.TIER（MTU7.TIER）の TTGE2 ビットを “1” にした状態で、相補 PWM 動作をさせた場合は、MTU4.TCNT（MTU7.TCNT）が谷（MTU4.TCNT（MTU7.TCNT）= 0000h）になったときも A/D コンバータを起動することができます。
次に示す条件で、A/D コンバータに対して A/D 変換の開始要求（TRGAnN (n = 0 ～ 4, 6, 7, 9)）を行います。

- 各チャネルの TGRA のインプットキャプチャ/ コンペアマッチが発生したとき、TIER.TTGE ビットが “1” になっていた場合
- MTU4.TIER（MTU7.TIER）の TTGE2 ビットが “1” の状態で、相補 PWM 動作をさせ、MTU4.TCNT（MTU7.TCNT）が谷（MTU4.TCNT（MTU7.TCNT）= 0000h）になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAnN が選択されていれば、A/D 変換が開始されます。

(2)　MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチによる A/D 起動

MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチによって、A/D 変換の開始要求（TRG0N, TRG9N）を行い、A/D コンバータを起動することができます。
MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチが発生したとき、MTU0.TIER2、MTU9.TIER2 の TTGE2 ビットが “1” になっていれば、A/D コンバータに対して A/D 変換の開始要求（TRG0N, TRG0AEN, TRG9N, TRG9AEN, TRG09N）を行います。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0N、TRG0AEN、TRG9N、TRG9AEN、TRG09N が選択されていれば、A/D 変換が開始されます。

(3)　A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ（MTU4.TADCR（MTU7.TADCR））の UT4AE、DT4AE、UT4BE、DT4BE（UT7AE, DT7AE, UT7BE, DT7BE）ビットを “1” にした場合、MTU4.TADCORA、MTU4.TADCORB と MTU4.TCNT（MTU7.TADCORA, MTU7.TADCORB と MTU7.TCNT）の一致によって、TRG4AN、TRG4BN（TRG7AN, TRG7BN）を生成し、A/D コンバータを起動することができます。また、TRG4AN（TRG7AN）の発生または TRG4BN（TRG7BN）の発生にて TRG4ABN（TRG7ABN）を出力し、A/D コンバータを起動することができます。詳細は**「22.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。
TRG4AN（TRG7AN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4AN（TRG7AN）が選択されているとき、TRG4BN（TRG7BN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4BN（TRG7BN）が選択されているとき、TRG4ABN（TRG7ABN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4ABN（TRG7ABN）が選択されているとき、おのおの A/D 変換が開始されます。

表22.79　各割り込み要因とA/D変換開始要求信号の対応

対象	割り込み要因	A/D変換開始要求信号
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU9.TGRAとMTU9.TCNT		TRGA9N
MTU9.TGRAとMTU9.TCNT、 MTU9.TGREとMTU9.TCNT(注1)		TRG9AEN
MTU0.TGRAとMTU0.TCNT、 MTU0.TGREとMTU0.TCNT(注1)		TRG0AEN
MTU0.TGRAとMTU0.TCNT、 MTU9.TGRAとMTU9.TCNT		TRGA09N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT(注2)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT(注2)		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N
MTU9.TGREとMTU9.TCNT		TRG9N
MTU0.TGREとMTU0.TCNT(注1)、 MTU9.TGREとMTU9.TCNT(注1)		TRG09N
MTU4.TADCORAとMTU4.TCNT		TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、 MTU4.TADCORBとMTU4.TCNT	コンペアマッチ（割り込み間引き機能2）	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、 MTU7.TADCORBとMTU7.TCNT		TRG7ABN

注1. TGREのコンペアマッチ要因はA/Dトリガ開始要因になるため、MTU0.TIER2.TTGE2, MTU9.TIER2.TTGE2ビットに”1”を設定してください。

注2. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRA（MTU7.TGRA）はMTU4.TCNT（MTU7.TCNT）だけではなく、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）ともコンペアマッチの検出を行っています。そのため、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）とコンペアマッチが起こった際もTRGA4N（TRGA7N）を生成します。MTU3、MTU4（MTU6、MTU7）を相補PWMモードで動作させて、A/D変換の開始要求を行う場合はMTU4.TCNT（MTU7.TCNT）とMTU4.TADCORA/TADCORB（MTU7.TADCORA/TADCORB）とのコンペアマッチによるA/D変換開始要求を使用してください。

22.5　動作タイミング

22.5.1　入出力タイミング

(1)　TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 22.111、図 22.112 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 22.113 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 22.114 に示します。

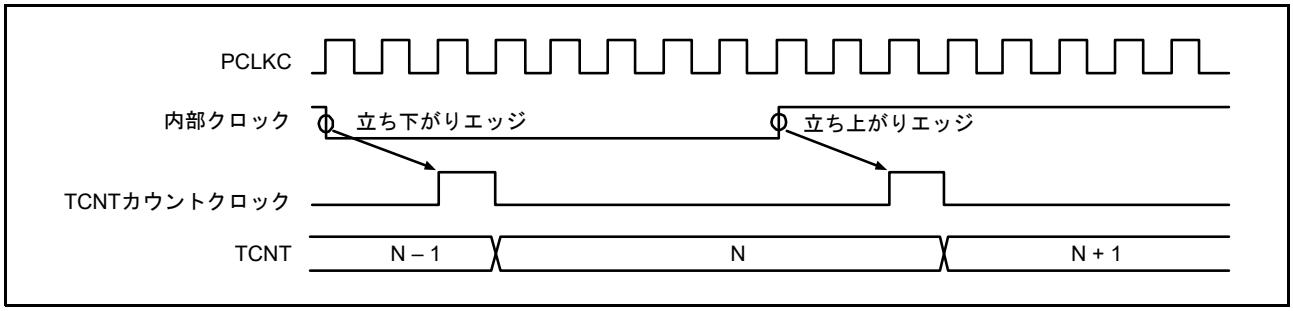


図 22.111　内部クロック動作時のカウントタイミング (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

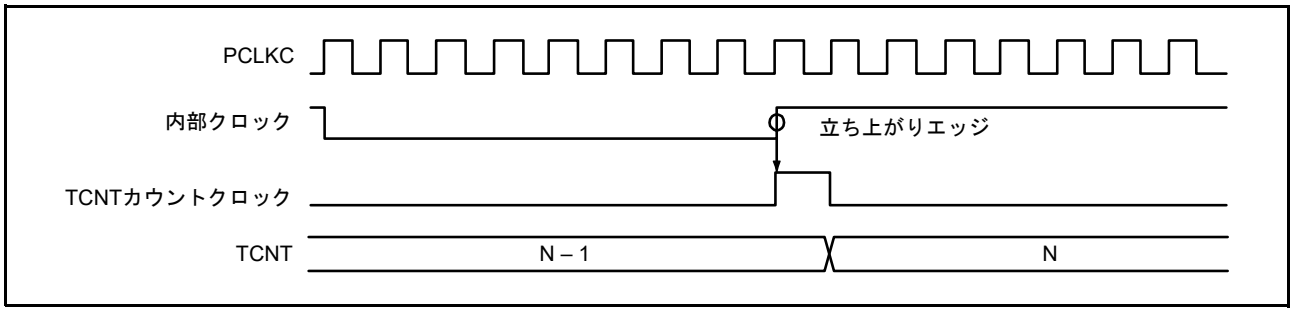


図 22.112　内部クロック動作時のカウントタイミング (MTU5)

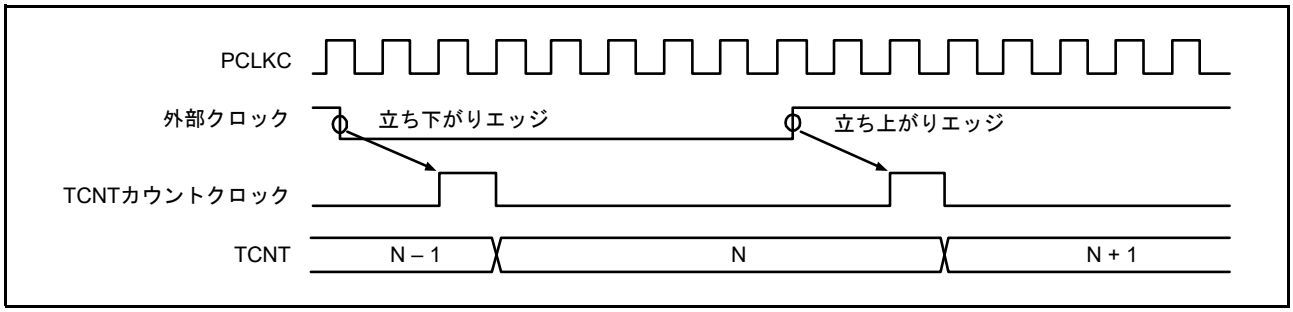


図 22.113　外部クロック動作時のカウントタイミング (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

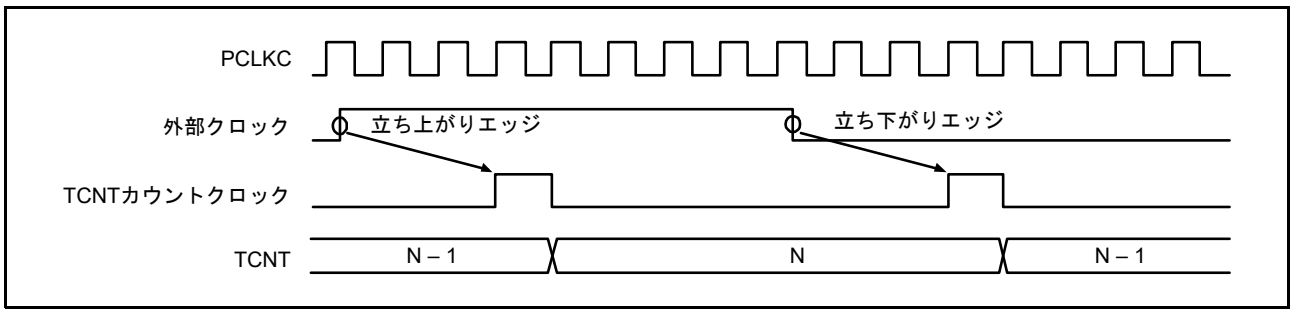


図 22.114　外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値が MTIOCnm 端子（n = 0 ～ 4, 6, 7, 9、m = A ～ D）に出力されます。TCNT と TGR が一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 22.115 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 22.116 に示します。

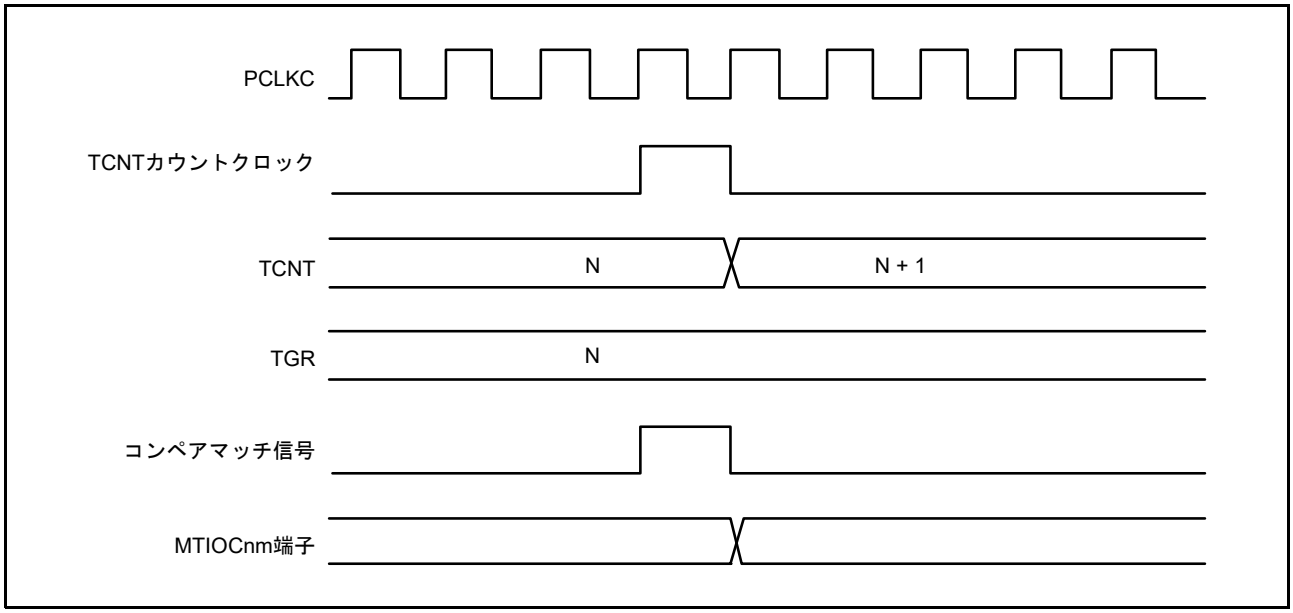


図 22.115 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)
(n = 0 ～ 4, 6, 7, 9、m = A ～ D)

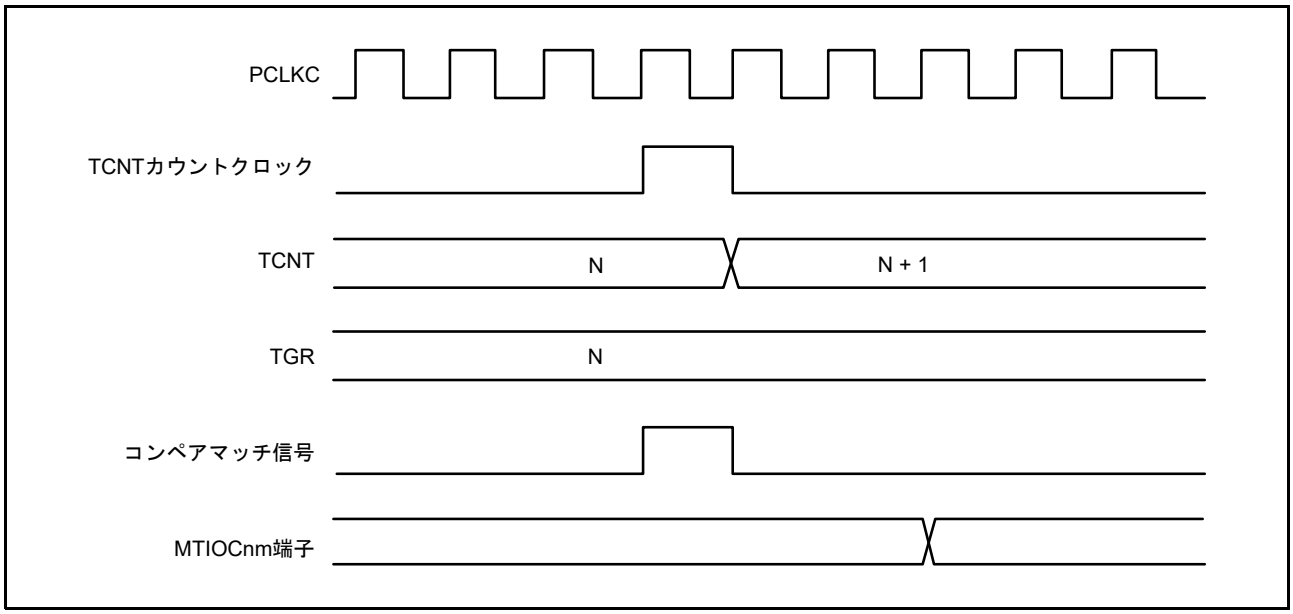


図 22.116 アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)
(n = 0 ～ 4, 6, 7, 9、m = A ～ D)

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 22.117 に示します。

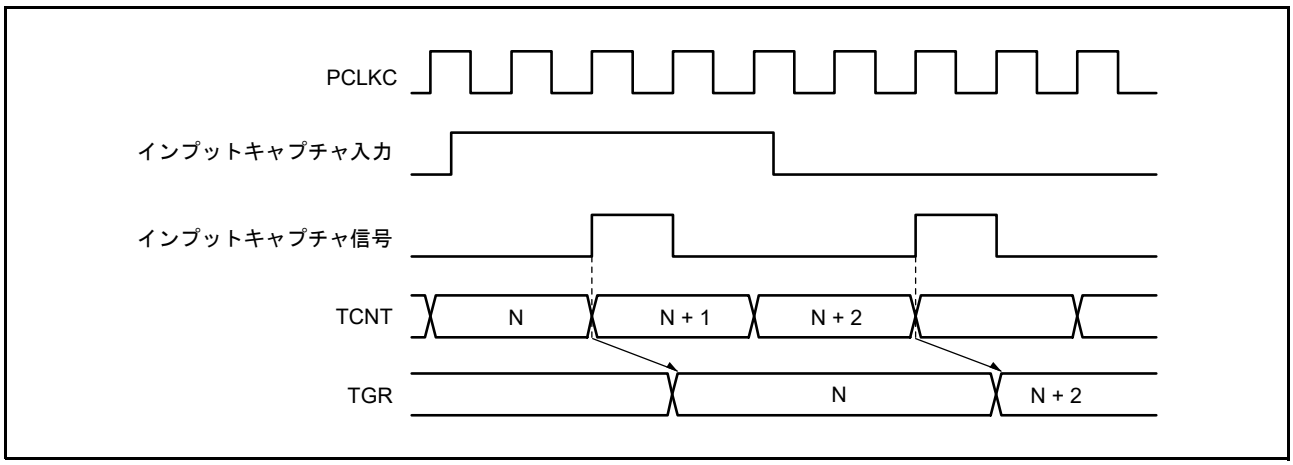


図 22.117 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ / インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 22.118、図 22.119 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 22.120 に示します。

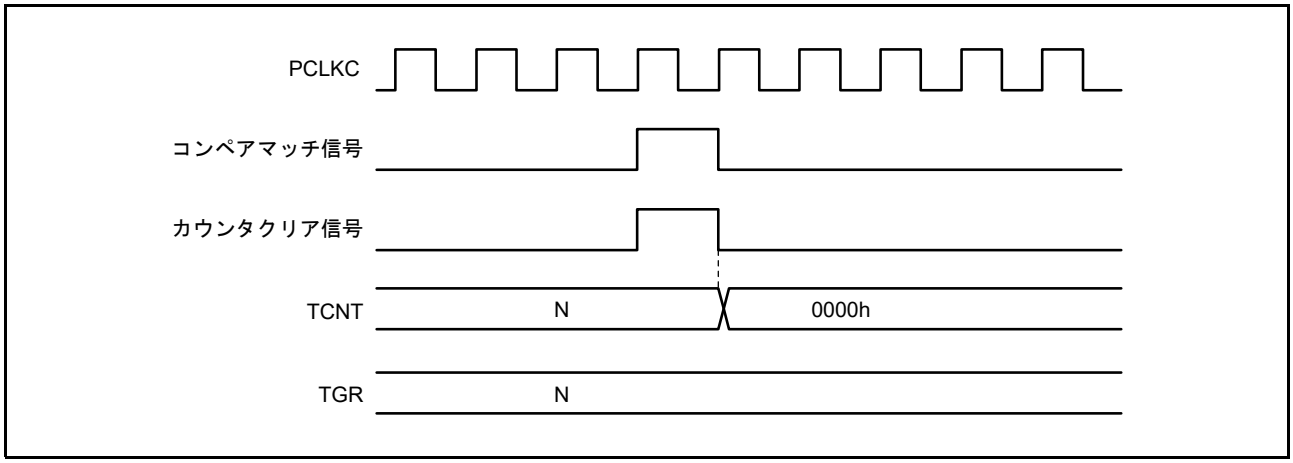


図 22.118　カウンタクリアタイミング (コンペアマッチ) (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

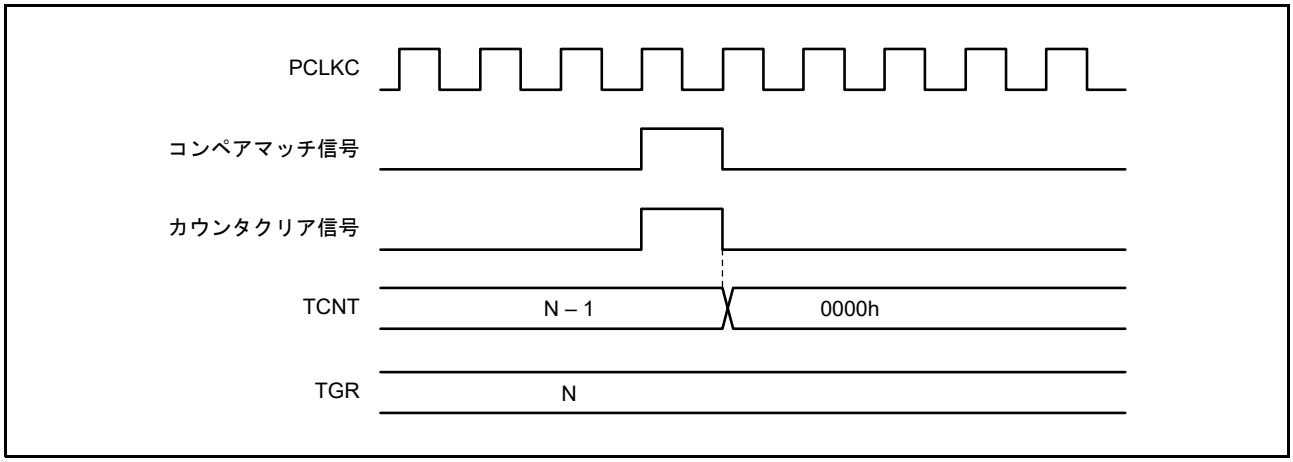


図 22.119　カウンタクリアタイミング (コンペアマッチ) (MTU5)

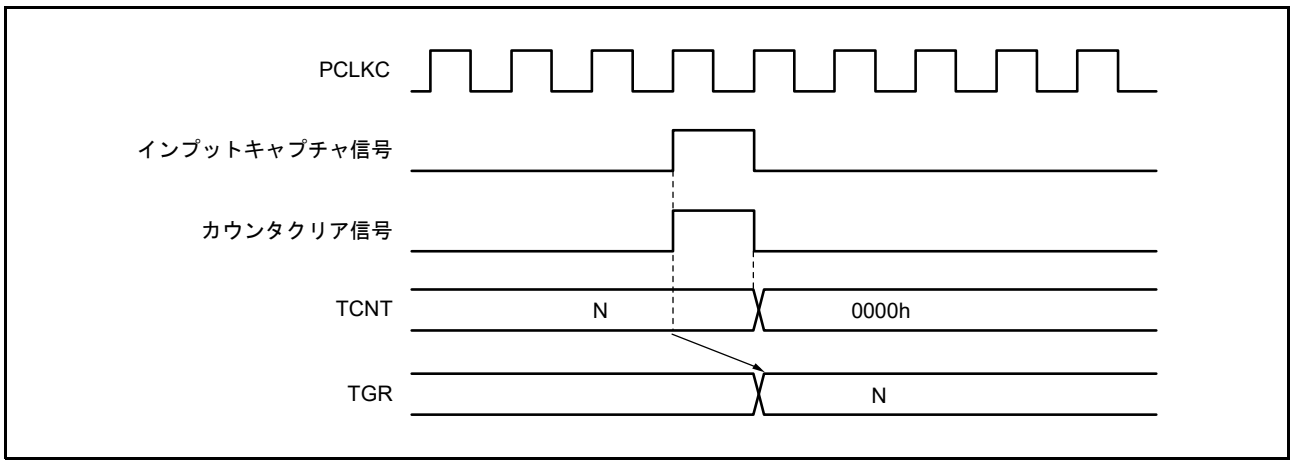


図 22.120　カウンタクリアタイミング (インプットキャプチャ) (MTU0 ～ MTU7, MTU9)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 22.121 ～図 22.123 に示します。

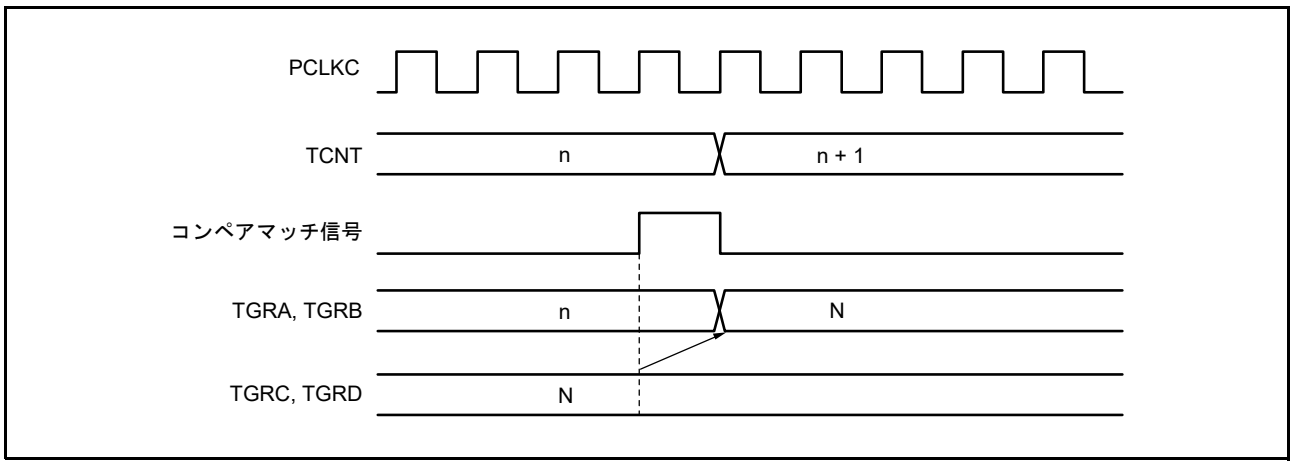


図 22.121 バッファ動作タイミング (コンペアマッチ)

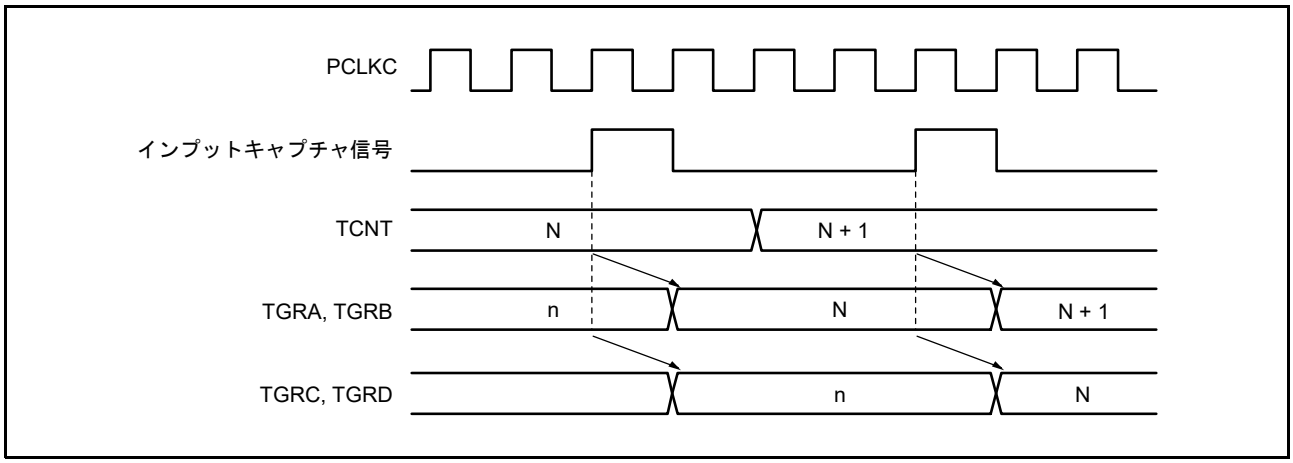


図 22.122 バッファ動作タイミング (インプットキャプチャ)

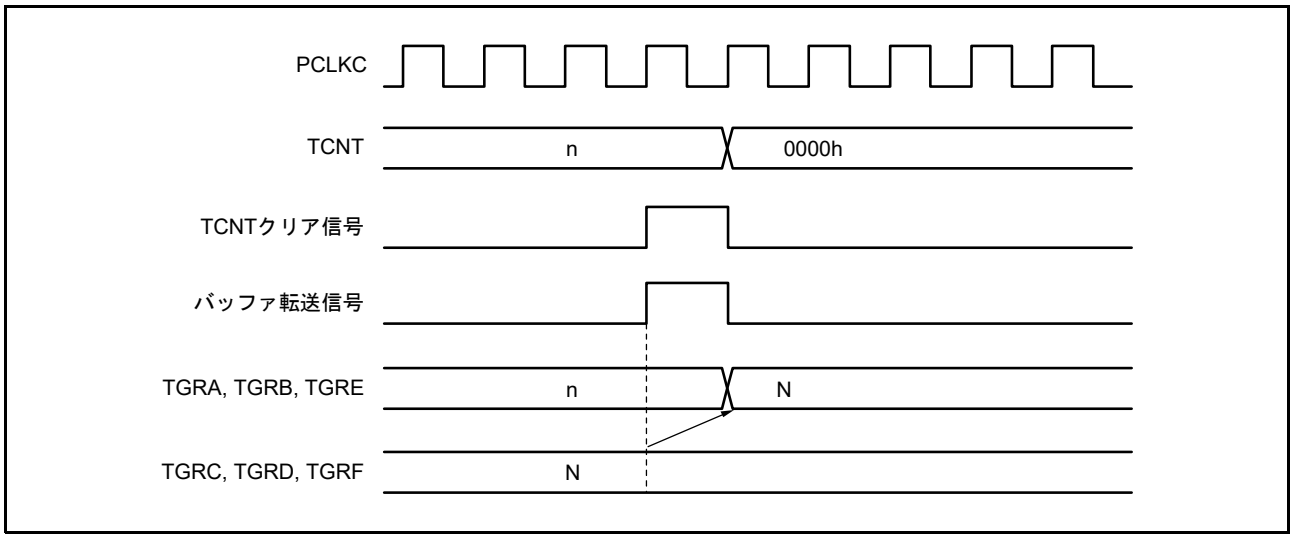


図 22.123 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 22.124 ～図 22.126 に示します。

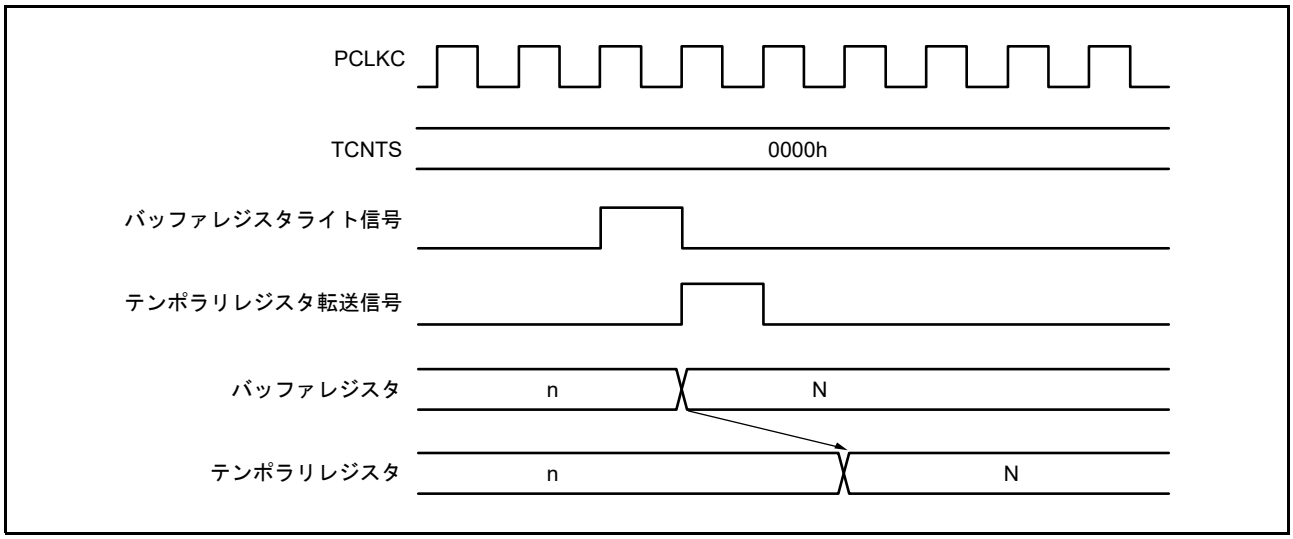


図 22.124　バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

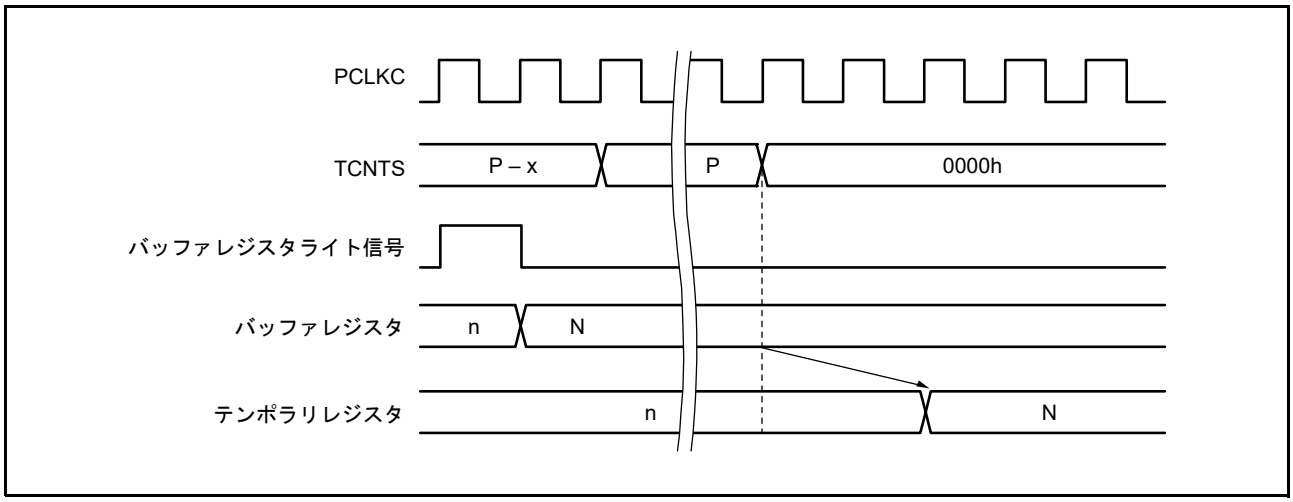


図 22.125　バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

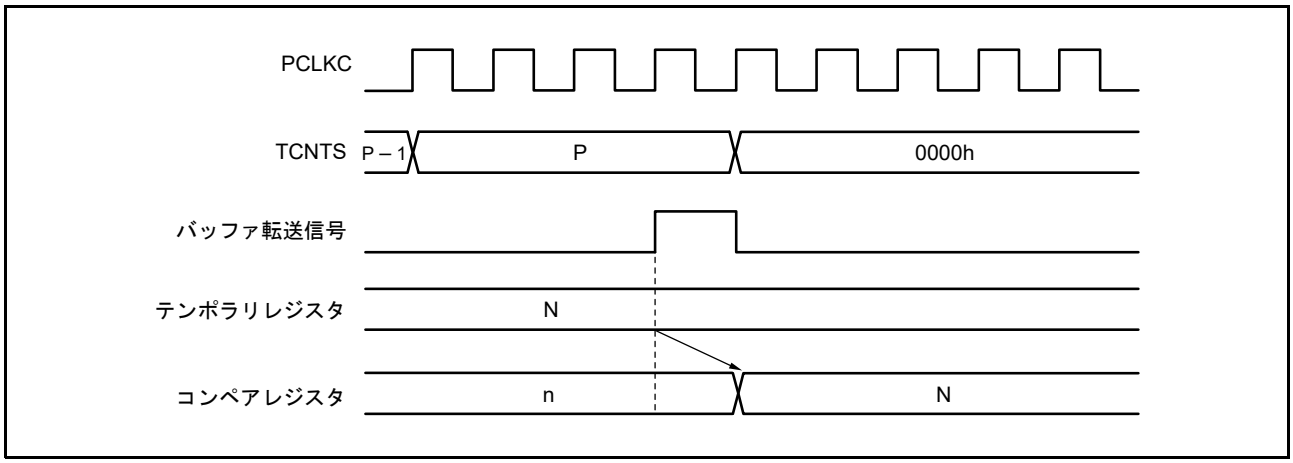


図 22.126　テンポラリレジスタからコンペアレジスタへの転送タイミング

22.5.2　割り込み信号タイミング

(1)　コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 22.127、図 22.128 に示します。

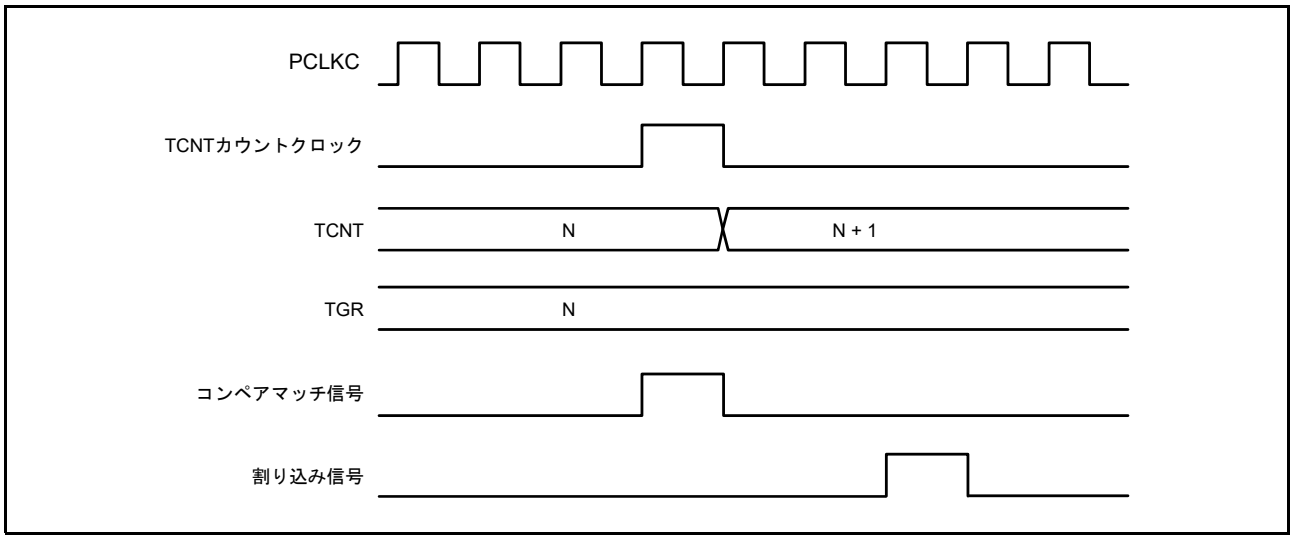


図 22.127　TGI 割り込みタイミング (コンペアマッチ) (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

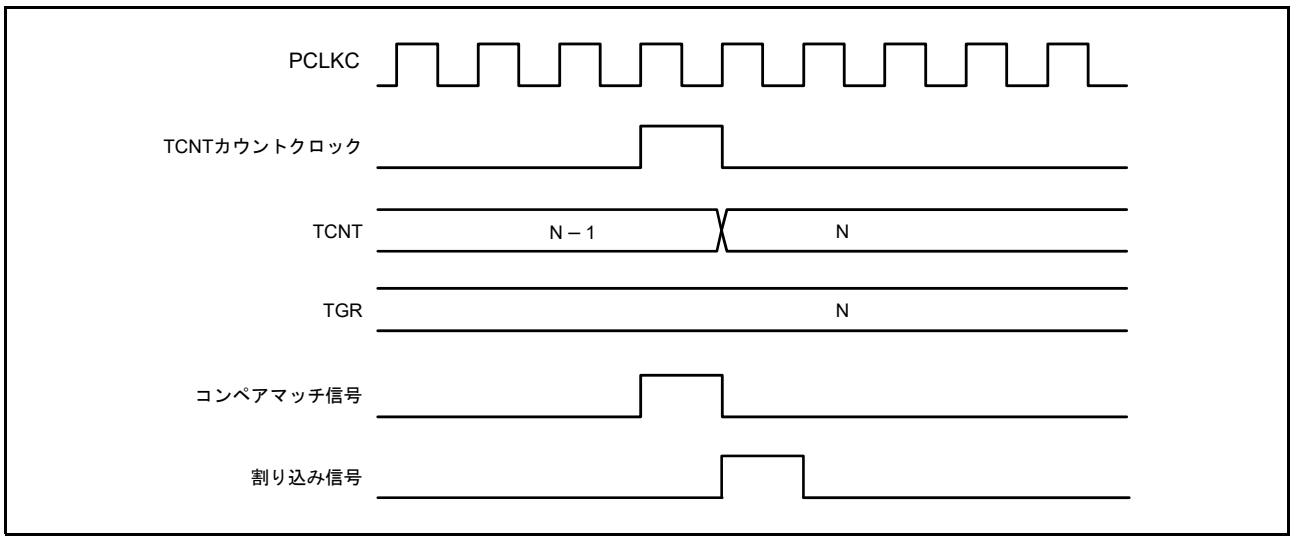


図 22.128　TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インプットキャプチャ時の TGI 割り込みタイミング

インプットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 22.129、図 22.130 に示します。

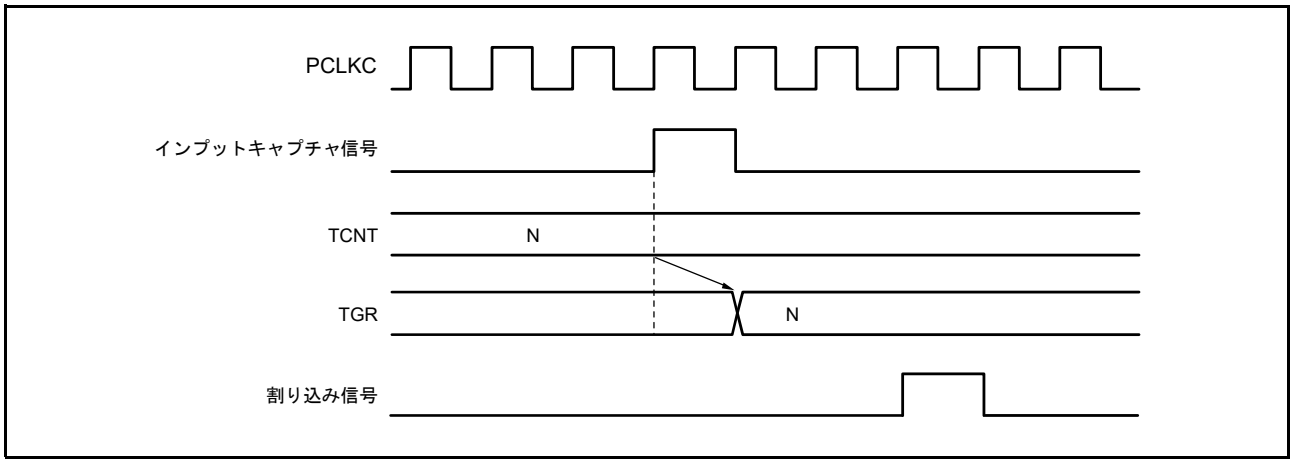


図 22.129 TGI 割り込みタイミング (インプットキャプチャ) (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

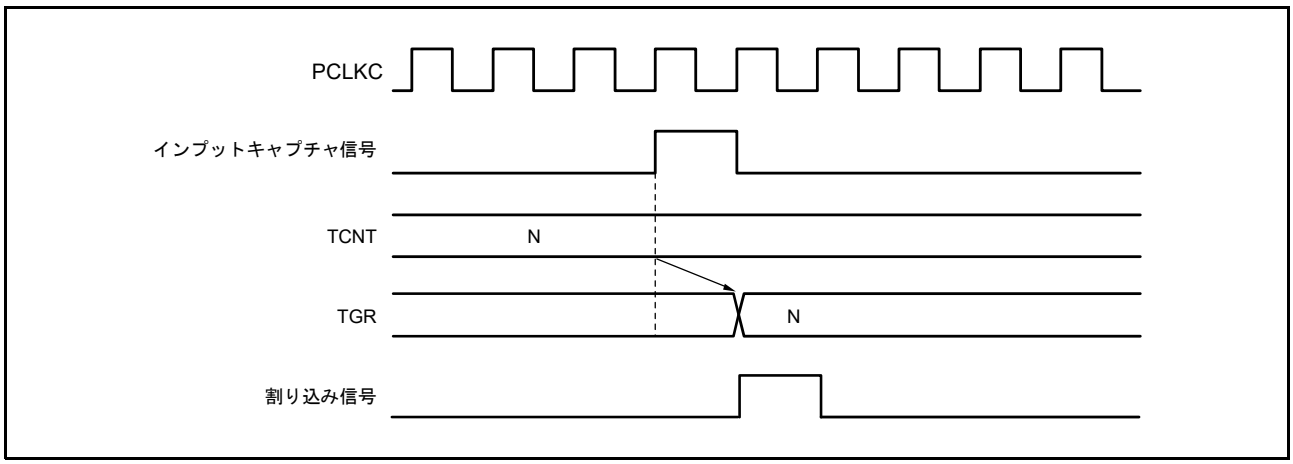


図 22.130 TGI 割り込みタイミング (インプットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバフローが発生したときの TCIV 割り込み要求信号のタイミングを図 22.131 に示します。
アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 22.132 に示します。

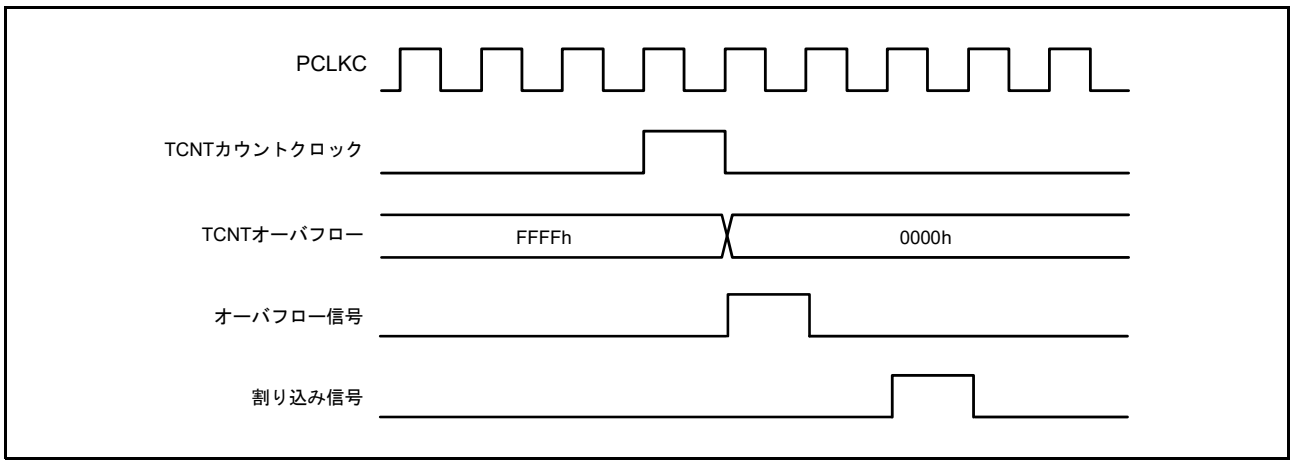


図 22.131 TCIV 割り込みタイミング

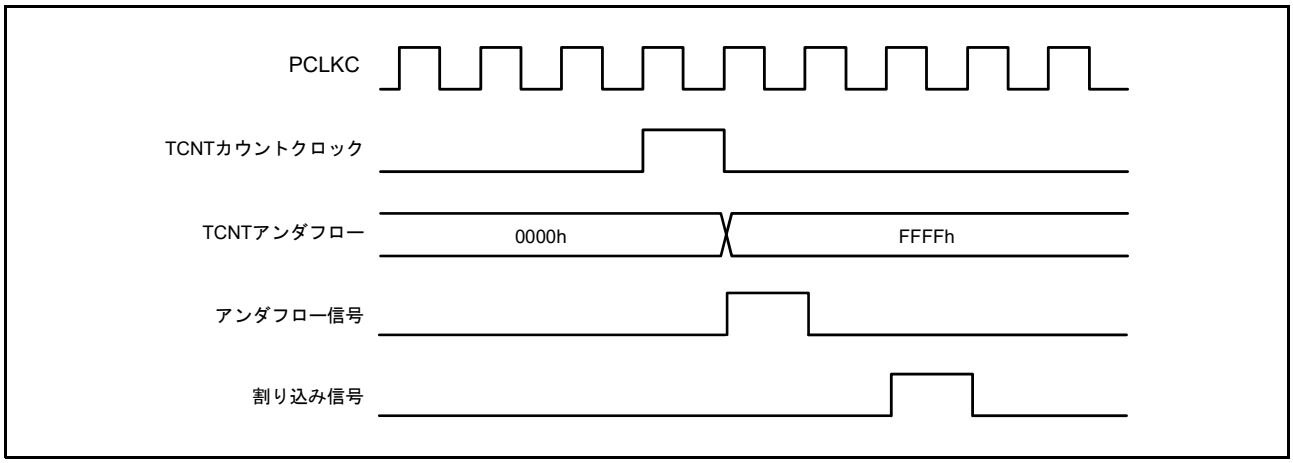


図 22.132 TCIU 割り込みタイミング

22.6　使用上の注意事項

22.6.1　モジュールストップ機能の設定

MTU は、モジュールストップコントロールレジスタにより、MTU の動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「11.　消費電力低減機能」**を参照してください。

22.6.2　カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は 1.5 PCLKC 以上、両エッジの場合は 2.5 PCLKC 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 PCLKC 以上、パルス幅は 2.5 PCLKC 以上必要です。位相計数モードの入力クロックの条件を**図 22.133** に示します。

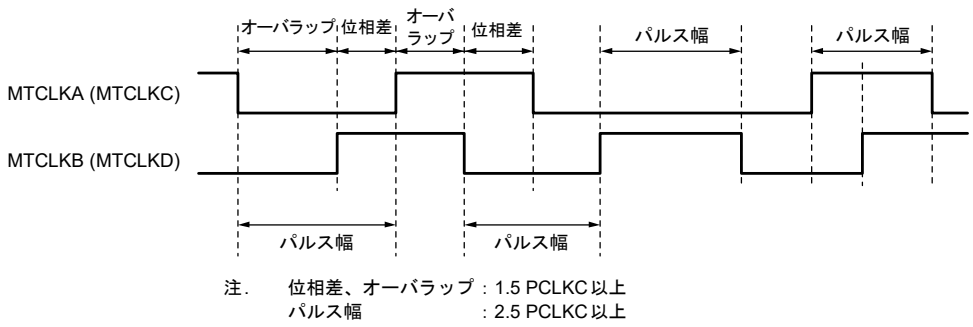


図 22.133　位相計数モード時の位相差、オーバラップ、およびパルス幅

22.6.3　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR レジスタの値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- MTU0 ～ MTU4, MTU6, MTU7, MTU9 の場合

$$f = \frac{CNTCLK}{N + 1}$$

- MTU5 の場合

$$f = \frac{CNTCLK}{N}$$

f：カウンタ周波数
CNTCLK：TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数
N：TGR の設定値

22.6.4　TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 22.134 に示します。

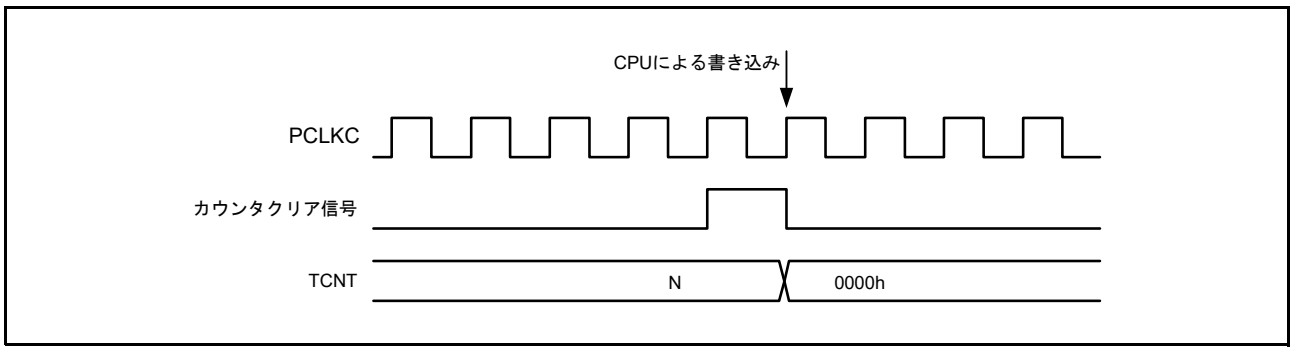


図 22.134　TCNT への書き込みとカウンタクリアの競合

22.6.5　TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 22.135 に示します。

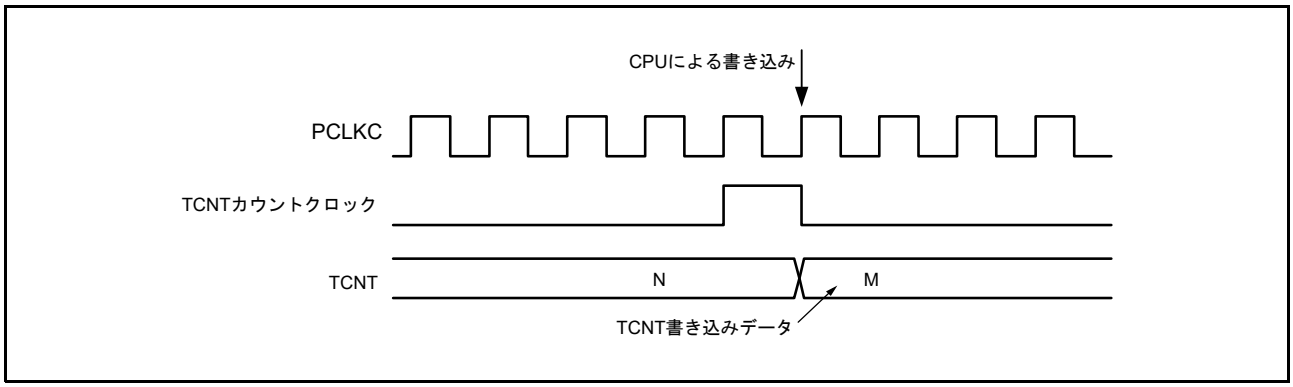


図 22.135　TCNT への書き込みとカウントアップの競合

22.6.6　TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 22.136 に示します。

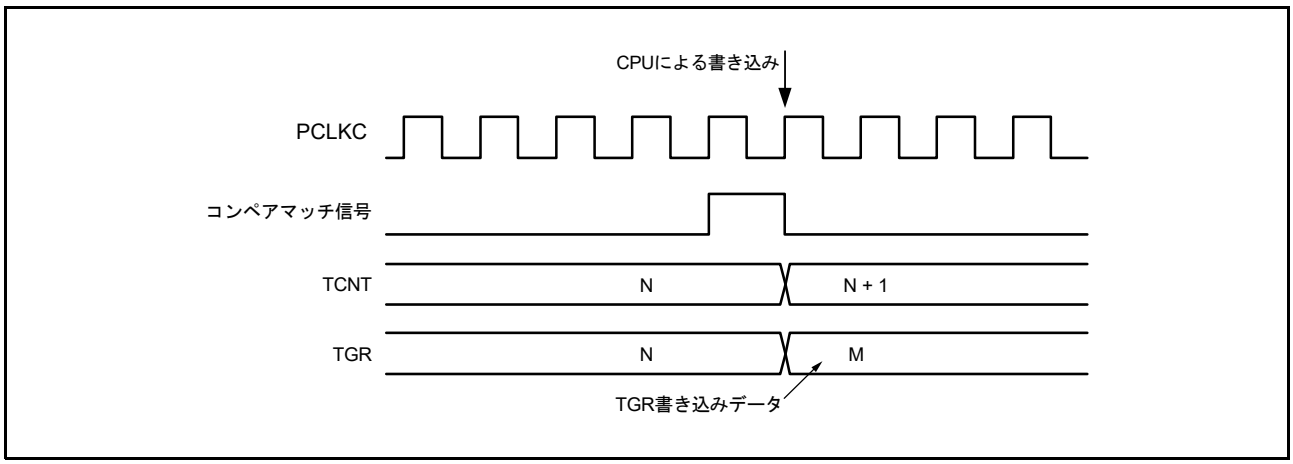


図 22.136　TGR レジスタのライトとコンペアマッチの競合

22.6.7　バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.137 に示します。

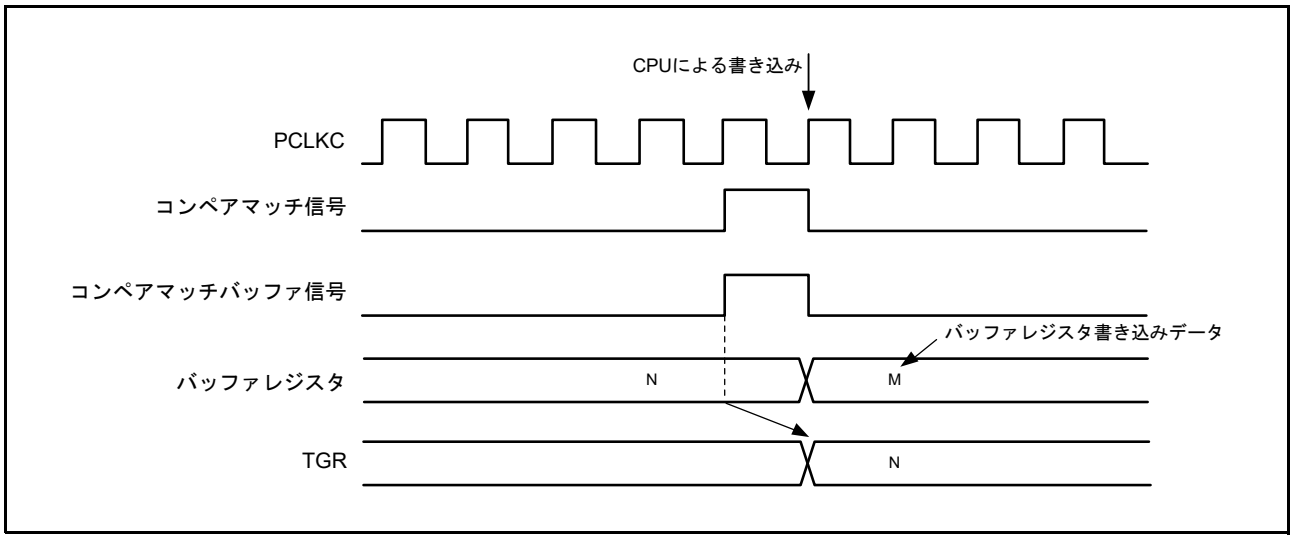


図 22.137　バッファレジスタへの書き込みとコンペアマッチの競合

22.6.8　バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ（TBTM）でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを**図 22.138** に示します。

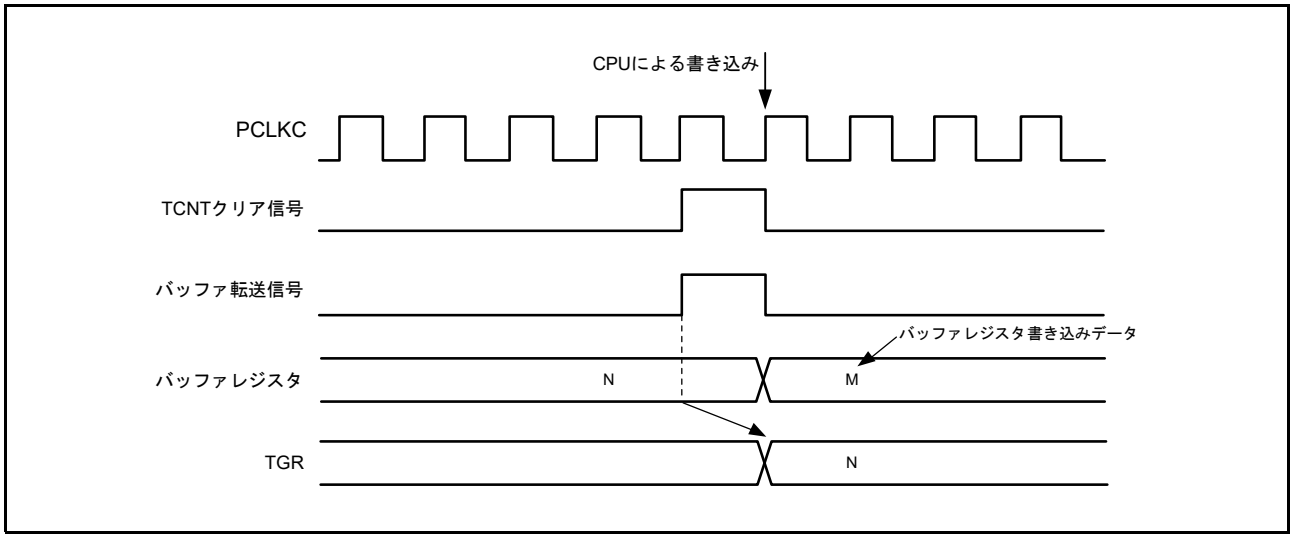


図 22.138　バッファレジスタへの書き込みと TCNT クリアの競合

22.6.9　TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを**図 22.139** に示します。

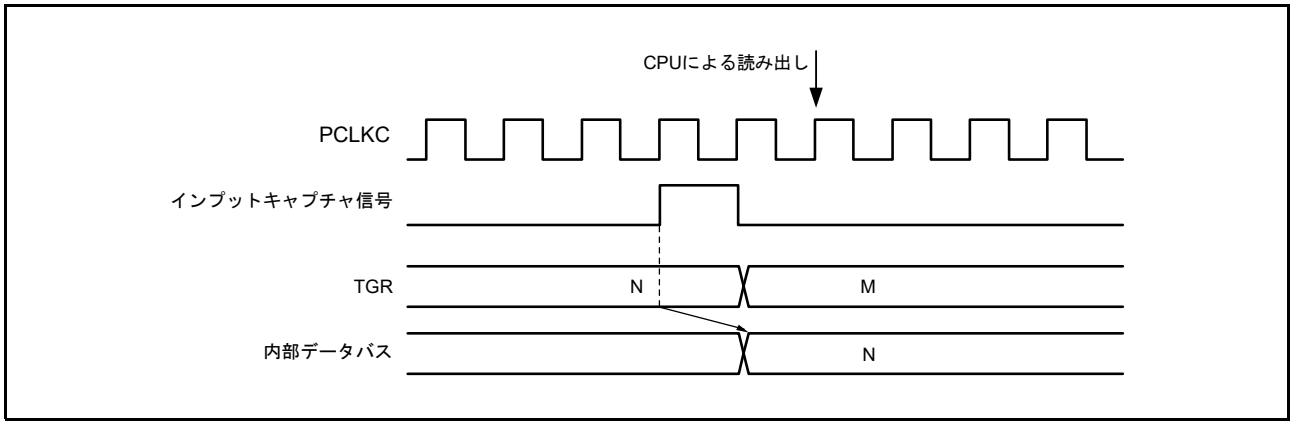


図 22.139　TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ～ MTU7, MTU9)

22.6.10　TGR レジスタへの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ～ MTU4、MTU6、MTU7、MTU9 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 22.140、図 22.141 に示します。

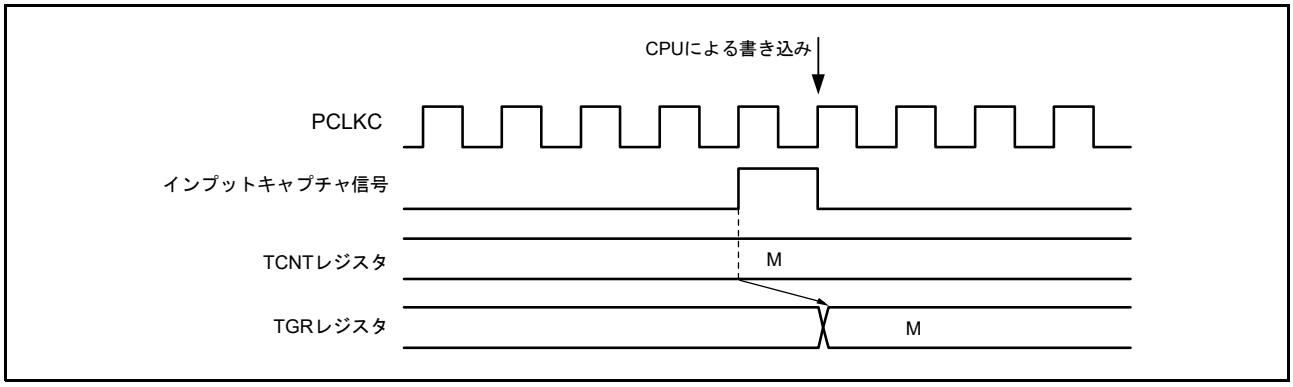


図 22.140　TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

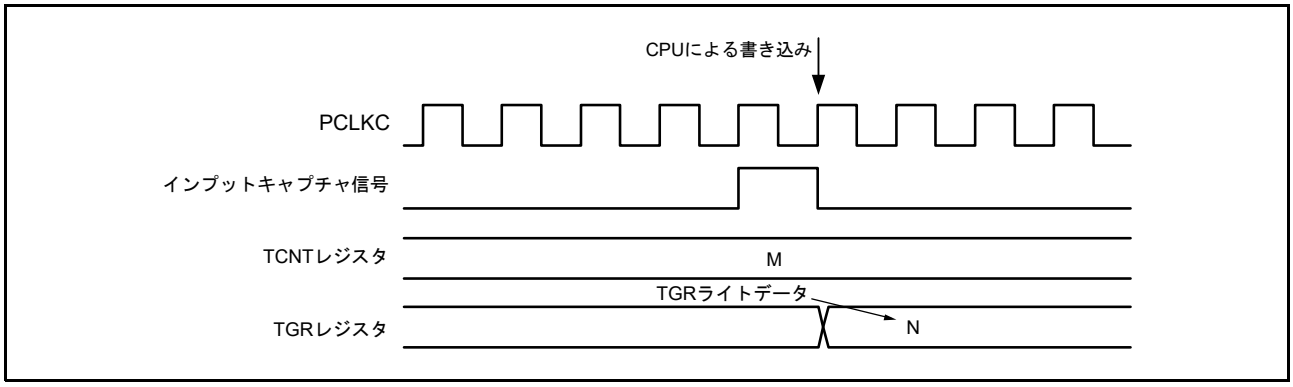


図 22.141　TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU5)

22.6.11　バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 22.142 に示します。

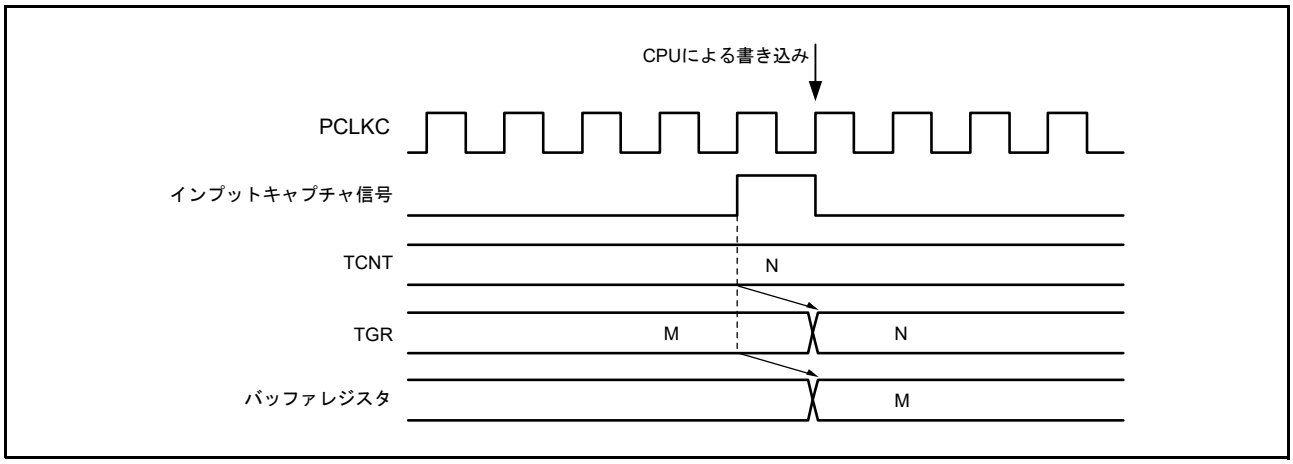


図 22.142　バッファレジスタへの書き込みとインプットキャプチャ競合

22.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー / アンダフローの競合

タイマカウンタ（MTU1.TCNT と MTU2.TCNT）をカスケード接続し、MTU1.TCNT がカウントする瞬間（MTU2.TCNT がオーバフロー / アンダフローする瞬間）と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0（MTU9）のインプットキャプチャ要因に MTU1.TCNT（MTU2.TCNT）カウントクロックを選択した場合には、MTU0.TGRA ～ TGRD（MTU9.TGRA ～ TGRD）はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ / インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 22.143 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

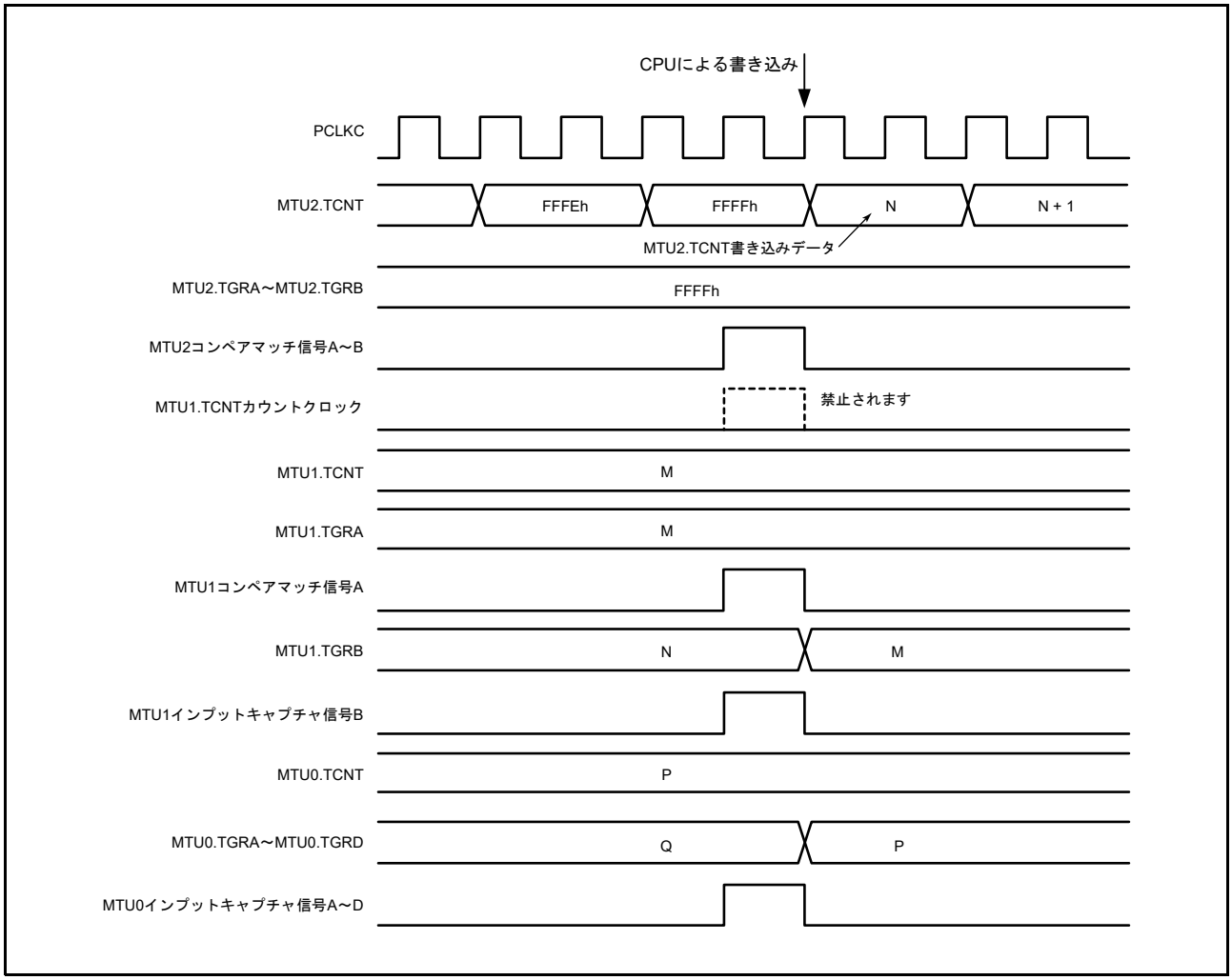


図 22.143　カスケード接続における MTU2.TCNT の書き込みとオーバフロー / アンダフローの競合

22.6.13　相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT（MTU6.TCNT）はタイマデッドタイムレジスタ（TDDRA（TDDRB））の値、MTU4.TCNT（MTU7.TCNT）は “0000h” になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を**図 22.144** に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）にカウント初期値の設定を行ってください。

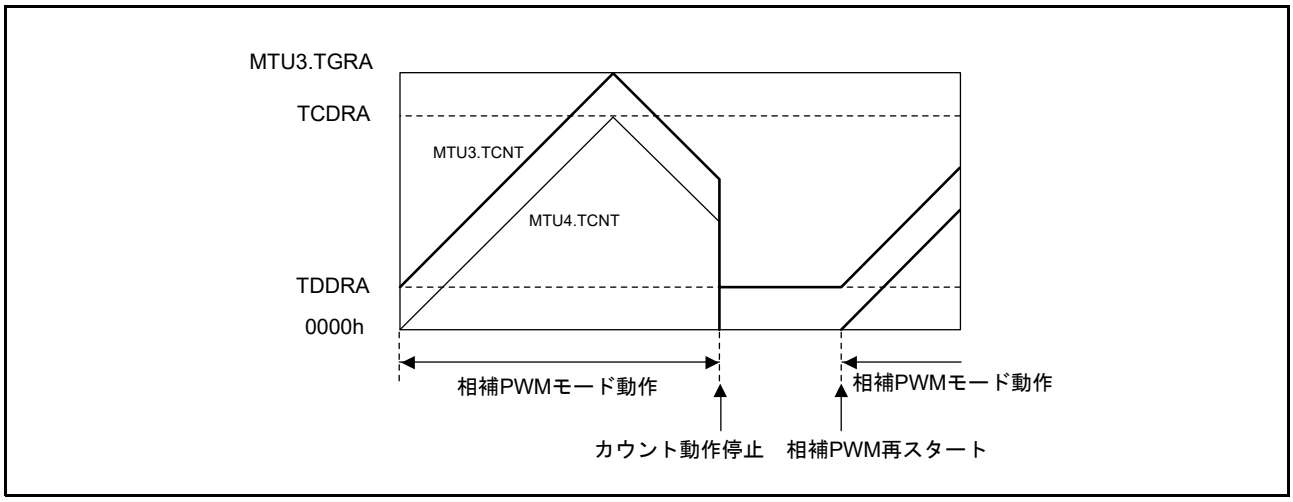


図 22.144　相補 PWM モード停止時のカウンタ値

22.6.14　相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ（MTU3.TGRA, MTU6.TGRA）、タイマ周期データレジスタ（TCDRA, TCDRB）、デューティ設定レジスタ（MTU3.TGRB, MTU3.TGRA, MTU4.TGRB, MTU6.TGRB, MTU7.TGRA, MTU7.TGRB）の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビット、MTU4.TMDR1.BFB（MTU7.TMDR1.BFB）ビットを “0” にしてください。MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビットを “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB（MTU7.TMDR1.BFB）ビットを “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1.BFA（MTU6.TMDR1.BFA）ビット、MTU3.TMDR1.BFB（MTU6.TMDR1.BFB）ビットの設定に従い動作します。MTU3.TMDR1.BFA（MTU6.TMDR1.BFA）ビットを “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能し、さらに TCBRA（TCBRB）は TCDRA（TCDRB）のバッファレジスタとして機能します。

22.6.15　リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にしてください。MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）を “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）の設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）を “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能します。

MTU3.TGRC（MTU6.TGRC）、MTU3.TGRD（MTU6.TGRD）がバッファレジスタとして動作している場合、TGImn 割り込み（m = C, D、n = 3, 4, 6, 7）は発生しません。

MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）を “1” にし、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にした場合の MTU3.TGR（MTU6.TGR）、MTU4.TGR（MTU7.TGR）、MTIOC3（MTIOC6）、MTIOC4（MTIOC7）の動作例を図 22.145 に示します。

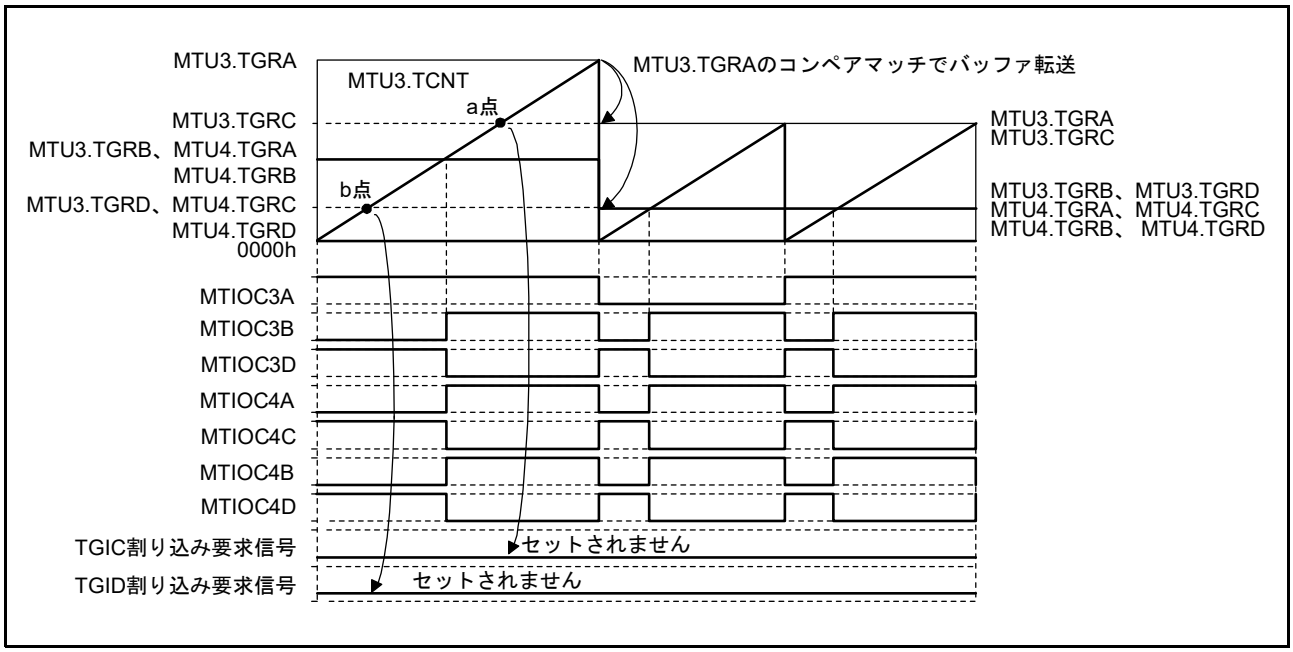


図 22.145　リセット同期 PWM モードのバッファ動作とコンペアマッチ

22.6.16　リセット同期 PWM モードのオーバフロー

リセット同期 PWM モードを設定し、TSTRA（TSTRB）の CST3（CST6）ビットを “1” にすると、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）のカウント動作が開始します。このとき、MTU4.TCNT（MTU7.TCNT）のカウントクロックソースとカウントエッジは MTU3.TCR（MTU6.TCR）の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を “FFFFh” とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）がアップカウントし “FFFFh” になると、MTU3.TGRA（MTU6.TGRA）とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）ともにクリアされます。このとき、TCIVn 割り込み（n = 3, 4, 6, 7）は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を “FFFFh” とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合の動作例を**図 22.146** に示します。

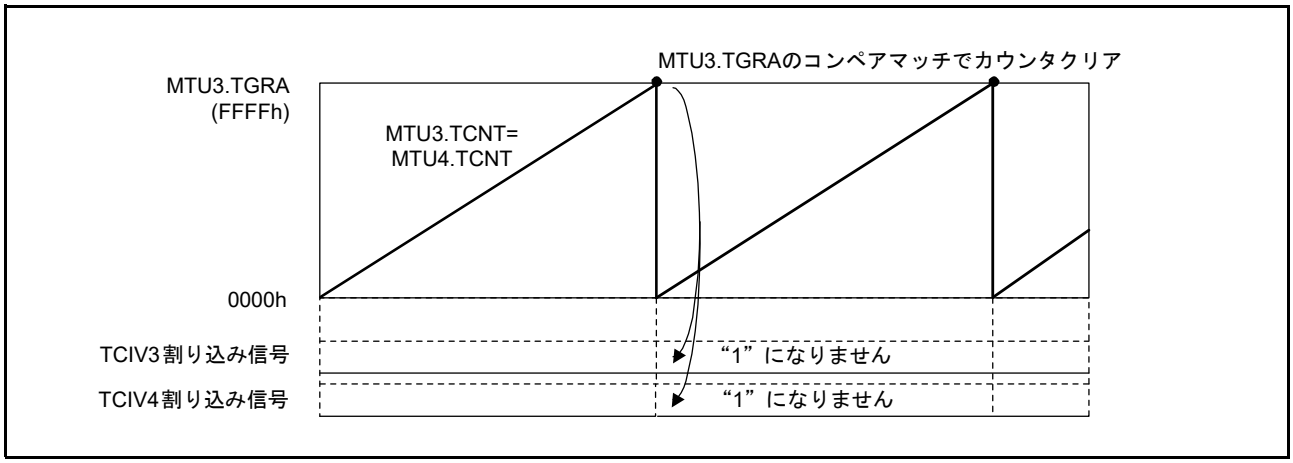


図 22.146　リセット同期 PWM モードのオーバフロー

22.6.17　オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TCIVn 割り込み（n = 0 ～ 4, 6, 7, 9）、TCIUn 割り込み（n = 1, 2）は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを “FFFFh” にした場合の動作タイミングを図 22.147 に示します。

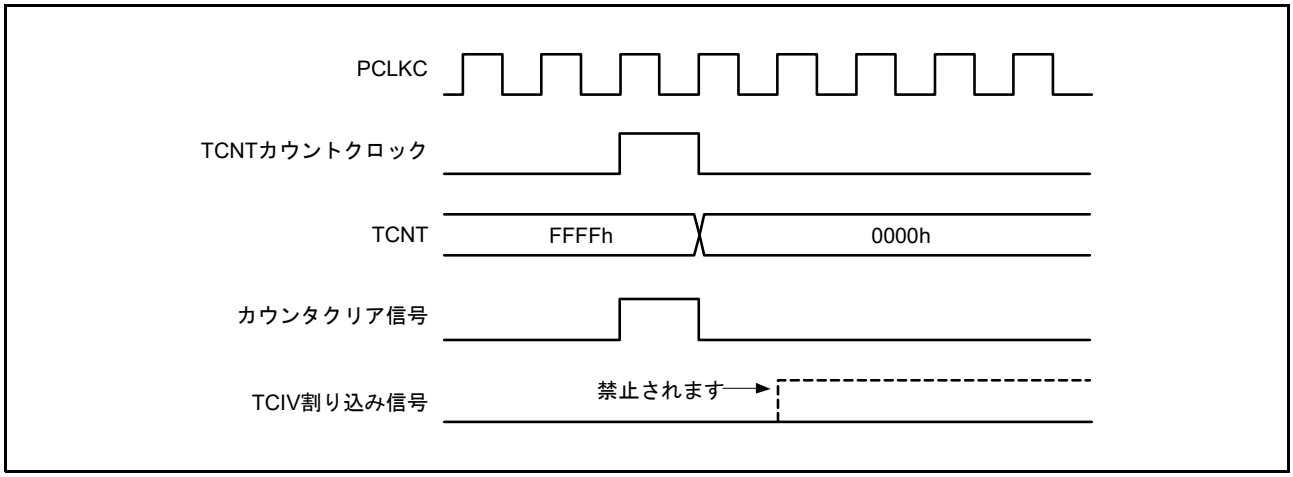


図 22.147　オーバフローとカウンタクリアの競合

22.6.18　TCNT への書き込みとオーバフロー / アンダフローの競合

TCNT の書き込みサイクルで、アップカウント / ダウンカウントが発生し、オーバフロー / アンダフローが発生しても、TCNT への書き込みが優先されます。TCIVn 割り込み（n = 0 ～ 4, 6, 7, 9）、TCIUn 割り込み（n = 1, 2）は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 22.148 に示します。

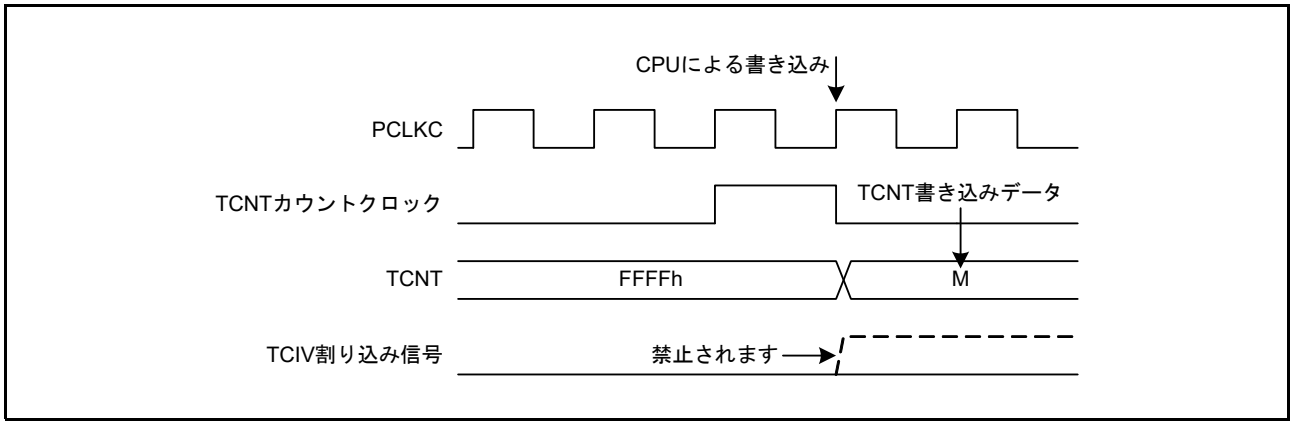


図 22.148　TCNT への書き込みとオーバフローの競合

22.6.19　ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

MTU3、MTU4（MTU6, MTU7）のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移させる場合、出力端子（MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D）を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL（MTU6.TIORH, MTU6.TIORL, MTU7.TIORH, MTU7.TIORL）レジスタに “11h” を書いて出力端子を Low に初期化した後、レジスタの初期値 “00h” を書いてからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 “00h” を書いてからリセット同期 PWM モードに遷移してください。

22.6.20　相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4（MTU6, MTU7）が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは TOCR1A.OLSP ビット、TOCR1A.OLSN ビット、TOCR1B.OLSP ビット、TOCR1B.OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR レジスタは “00h” にしてください。

相補 PWM モードで TDERA.TDER（TDERB.TDER）ビットを “0”（デッドタイムを生成しない）に設定した場合の逆相の出力レベルは、TOCR1A.OLSN（TOCR1B.OLSN）ビットの設定によらず、TOCR1A.OLSP（TOCR1B.OLSP）ビットの設定による正相出力の反転レベルとなります。

22.6.21　カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ

タイマカウンタ 1、2（MTU1.TCNT と MTU2.TCNT）をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A、または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT（上位 16 ビットのカウンタ）が MTU2.TCNT（下位 16 ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT = FFF1h、MTU2.TCNT = 0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT = FFF0h、MTU2.TCNT = 0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は「22.2.11　タイマインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

22.6.22　割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が “0” の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4 PCLKC 以上（MTU4.TADCORA レジスタの更新値を「前値 + 4 以上」、「前値 – 4 以下」に設定）
- MTU4.TADCORB のコンペア間隔が 4 PCLKC 以上（MTU4.TADCORB レジスタの更新値を「前値 + 4 以上」、「前値 – 4 以下」に設定）

(2) 間引き機能 2、間引き回数が “1” 以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2 PCLKC 以上（MTU4.TADCORB レジスタの更新値を「前値 + 2 以上」、「前値 – 2 以下」に設定）

22.6.23　相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、**「23.　ポートアウトプットイネーブル 3 (POE3D)」**を参照ください。

22.6.24　タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項

MTU5.TCNTm（m = U, V, W）のカウント動作を停止した状態で、MTU5.TGRm に MTU5.TCNTm 値 + 1 の値を設定しないでください。MTU5.TCNTm のカウント動作を停止した状態で、MTU5.TGRm に MTU5.TCNTm 値 + 1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット（MTU5.TIER.TGIE5m ビット）が “1”（許可）になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが “1”（許可）になっていると、MTU5.TCNTm カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると “0000h” に自動クリアされます。

22.6.25　相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効（TWCRA.WRE ビット = 1、または TWCRB.WRE ビット = 1）である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる（もしくは消失する）
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1　初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合（図 22.149 参照）

条件 2　初期出力の抑止期間⑩、⑪にて、MTU3.TGRB（MTU6.TGRB）≦ TDDRA（TDDRB）、MTU4.TGRA（MTU7.TGRA）≦ TDDRA（TDDRB）、MTU4.TGRB（MTU7.TGRB）≦ TDDRA（TDDRB）のいずれかが成立する状態で、同期クリアする（図 22.150 参照）

本現象は下記の方法により、回避することができます。

コンペアレジスタ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のすべてが、TDDRA レジスタ（TDDRB レジスタ）の 2 倍以上になるように設定した状態で、同期クリアする

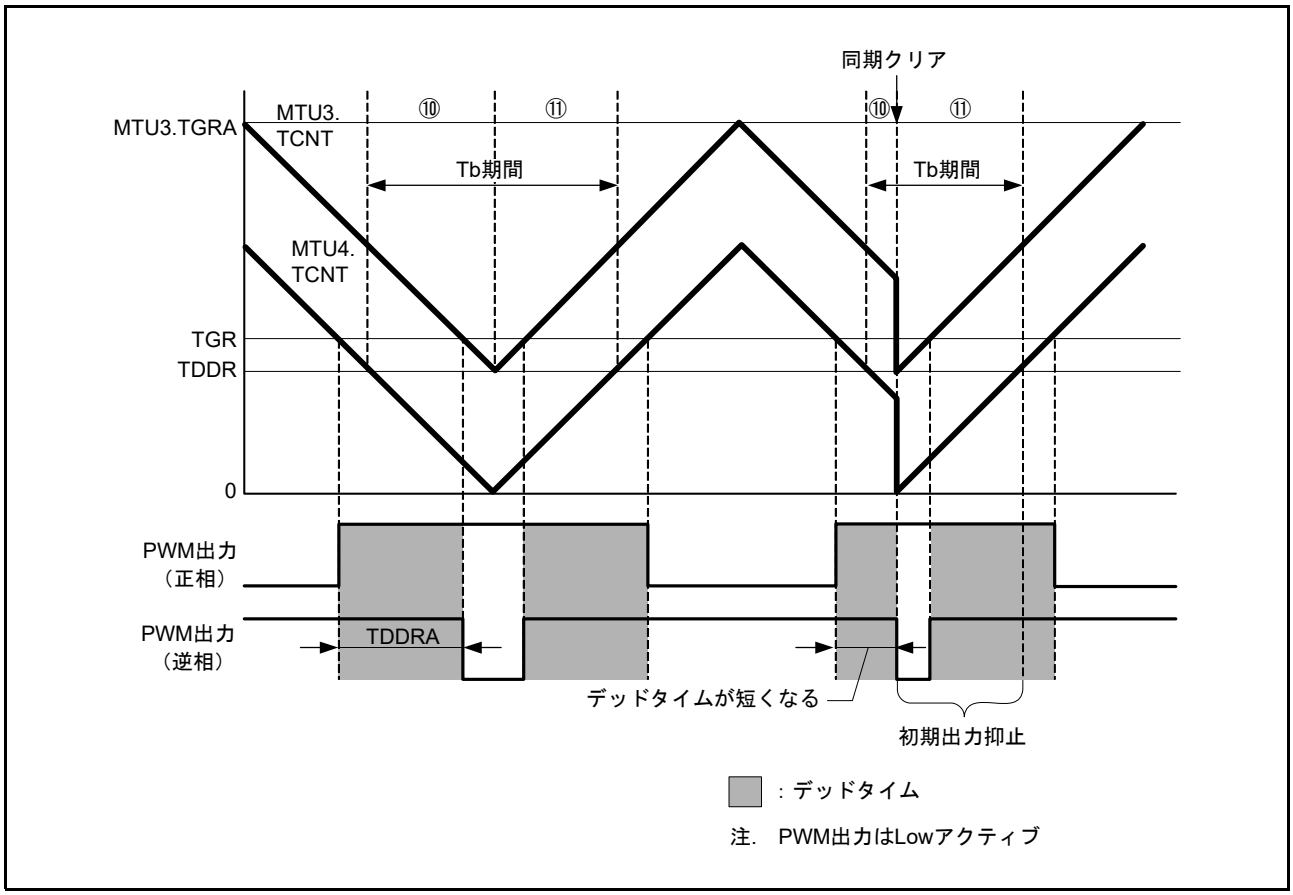


図 22.149　同期クリア例 (条件 1 の場合)

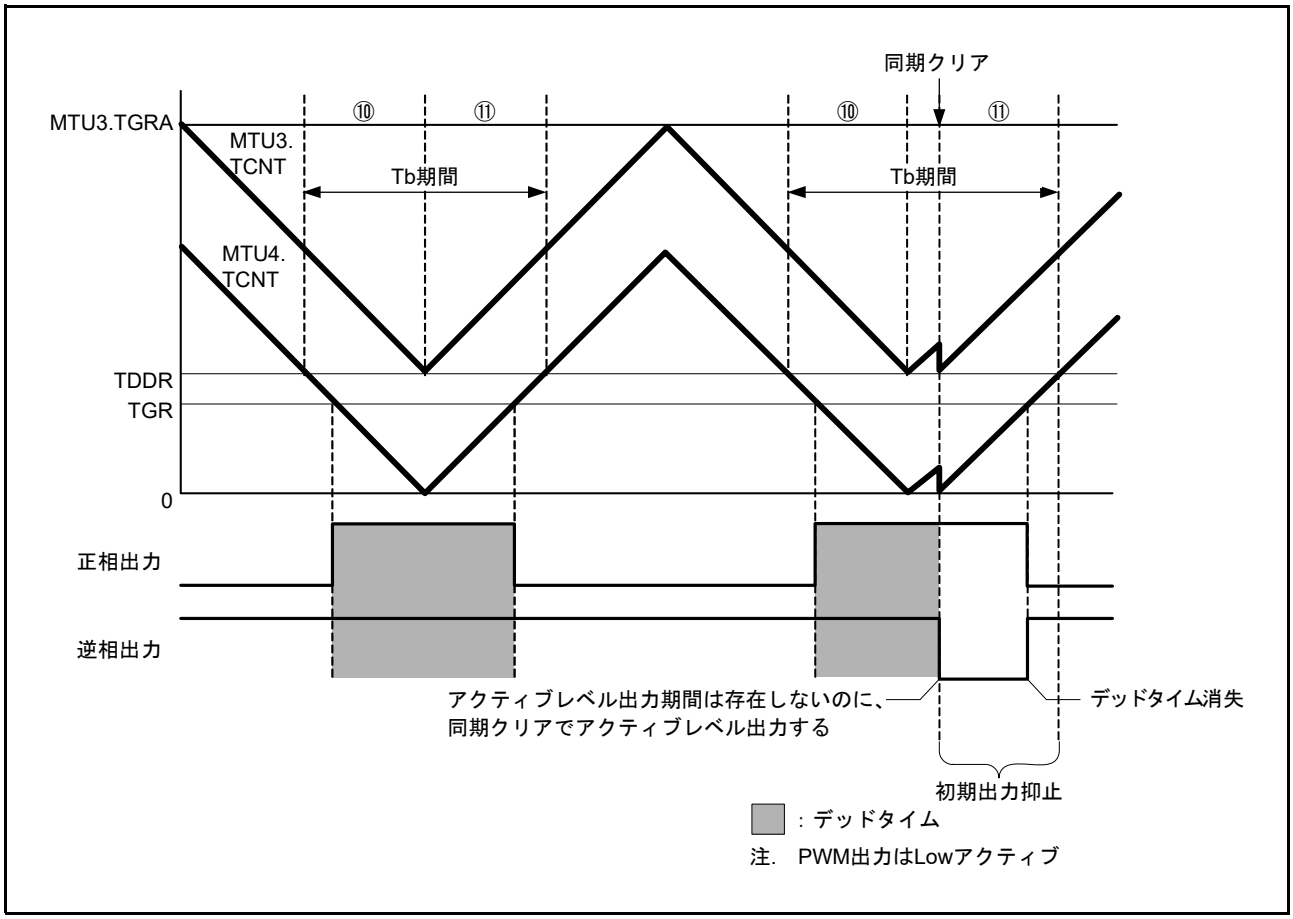


図 22.150　同期クリア例 (条件 2 の場合)

22.6.26　ELC イベント入力の時タイマモードレジスタ設定の注意事項

MTU を ELC のアクション動作に設定する場合は、該当チャネルのタイマモードレジスタ（TMDR）は初期値（00h）に設定してください。

22.6.27　コンペアマッチによる割り込み信号の連続出力

TGR レジスタに “0000h”、カウントクロックを PCLKC/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “0000h” のままとなり、割り込み信号は 1 サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2 回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 22.151 に示します。

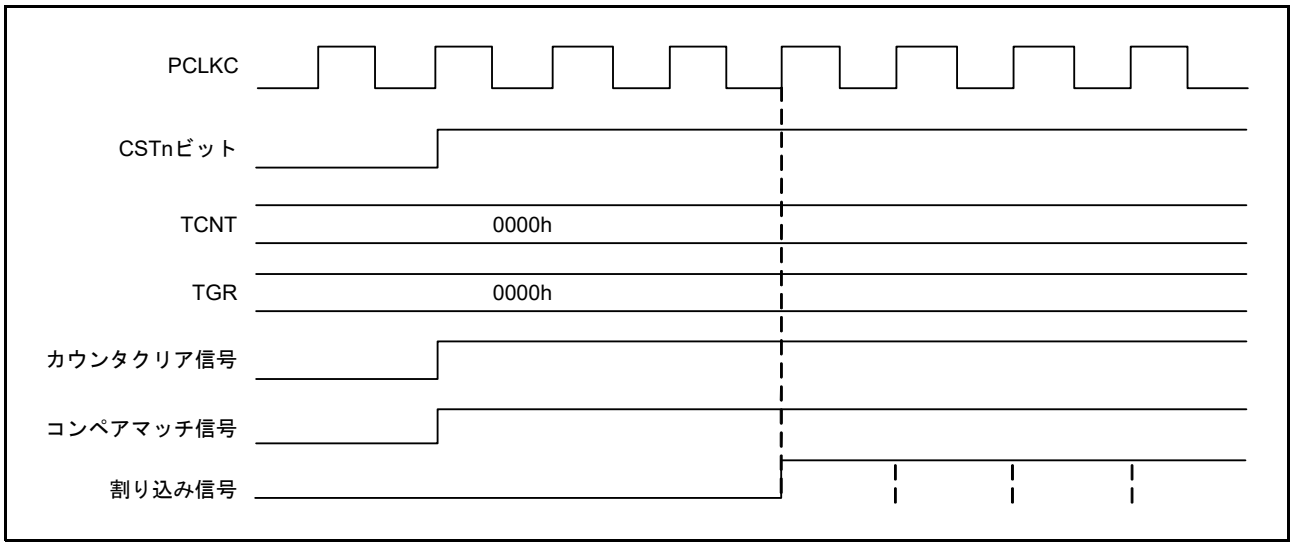


図 22.151　コンペアマッチによる割り込み信号の連続出力

22.6.28　相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB（MTU7.TADCOBRA, MTU7.TADCOBRB）レジスタに “0”、かつ、MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットに “1” を設定して、MTU4.TCNT（MTU7.TCNT）カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません（図 22.152）。
- MTU4.TADCOBRA、MTU4.TADCOBRB（MTU7.TADCOBRA, MTU7.TADCOBRB）レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR（MTU7.TADCR）レジスタの DT4AE、DT4BE（DT7AE, DT7BE）ビットに “1” を設定して、MTU4.TCNT（MTU7.TCNT）カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません（図 22.153）。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、2 ≦ MTUn.TADCORA/TADCORB ≦ TCDR – 2 を満たすように MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）レジスタを設定してください（n = 4, 7）。

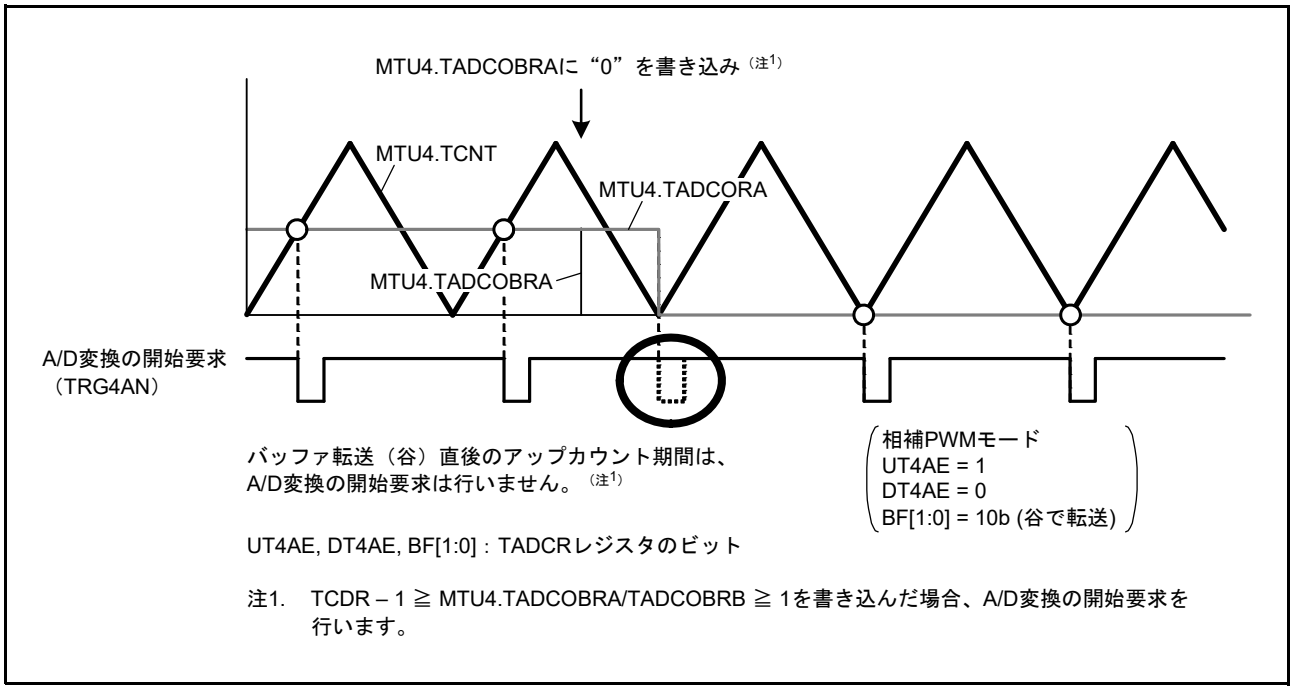


図 22.152 MTU4.TADCOBRA に “0” を書き込んだときの A/D 変換の開始要求 (MTU4)

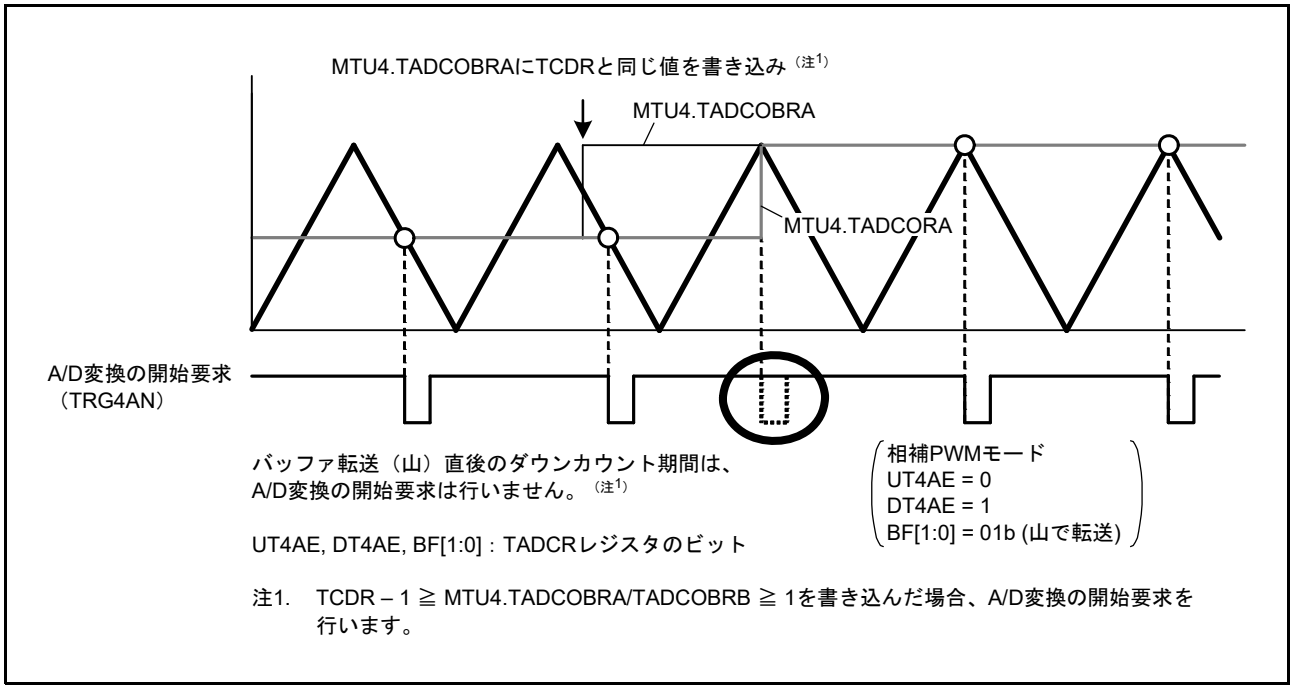


図 22.153 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求 (MTU4)

22.7 MTU 出力端子の初期化方法

22.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（MTU0 ～ MTU4, MTU6, MTU7, MTU9）
- PWM モード 1（MTU0 ～ MTU4, MTU6, MTU7, MTU9）
- PWM モード 2（MTU0 ～ MTU2, MTU9）
- 位相計数モード 1 ～ 5（MTU1, MTU2）
- 相補 PWM モード（MTU3, MTU4, MTU6, MTU7）
- リセット同期 PWM モード（MTU3, MTU4, MTU6, MTU7）

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

22.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力（MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D）は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3（POE3）を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を**表 22.80** に示します。

表 22.80　モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal：ノーマルモード
PWM1：PWM モード 1
PWM2：PWM モード 2
PCM：位相計数モード 1 ～ 5
CPWM：相補 PWM モード
RPWM：リセット同期 PWM モード

22.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ（TIOR）の設定で端子の出力レベルを選択するモード（Normal, PWM1, PWM2, PCM）に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB/MTIOCnD 端子（n = 3, 4, 6, 7）に波形が出力されません。端子の機能を MTIOCnB/MTIOCnD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。端子の機能を MTIOCnm 端子（n = 0 ～ 2, 9、m = A ～ D）に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子（n = 0, 3, 4, 6, 7, 9）に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子（n = 0, 3, 4, 6, 7, 9）に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ（TOCR1A, TOCR2A, TOCR1B, TOCR2B）の設定で端子の出力レベルを選択するモード（CPWM, RPWM）に移行する場合は、タイマアウトプットマスタイネーブルレジスタ（TOERA, TOERB）で MTU3、MTU4（MTU6, MTU7）を 1 度出力禁止にしてください。このとき、端子の機能を MTIOCnm 端子（n = 3, 4, 6, 7、m = A ～ D）に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順（TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定（TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定））に従い動作させてください。

注．　特に断りがない場合、本項記述中の n にはチャネル番号が入ります。

以下、表 22.80 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.154 に示します。

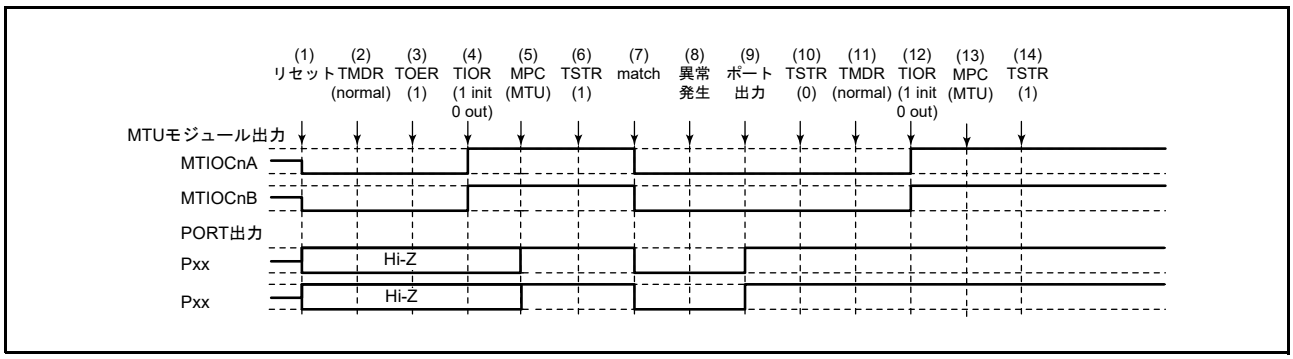


図 22.154 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
(3) MTU3、MTU4（MTU6, MTU7）では TIOR レジスタで端子を初期化する前に TOERA（TOERB）レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します。
(11) ノーマルモードで再スタートする場合は必要ありません。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.155 に示します。

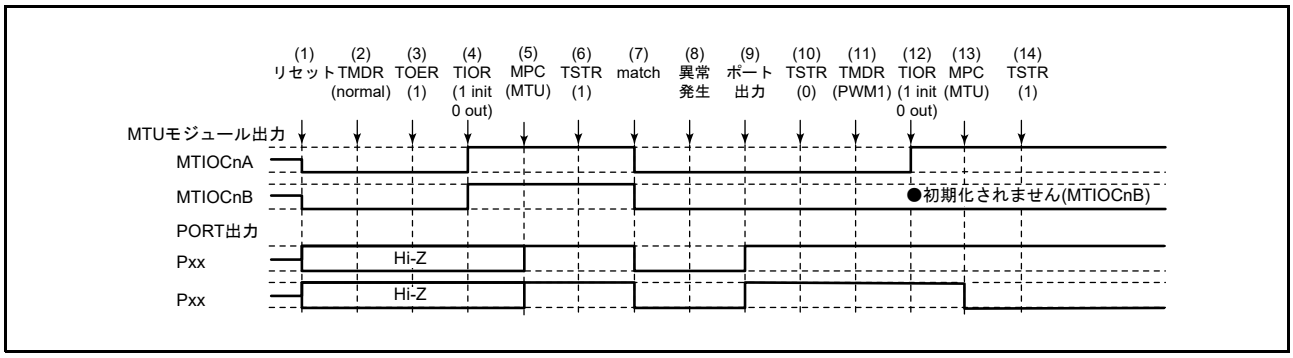


図 22.155 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.154 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.156 に示します。

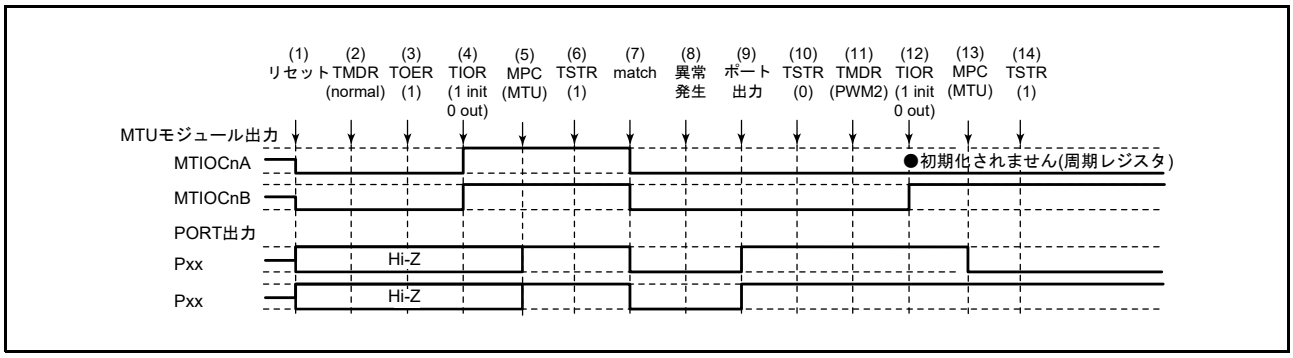


図 22.156 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (10) は図 22.154 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 . PWM モード 2 は MTU0 ～ MTU2、MTU9 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.157 に示します。

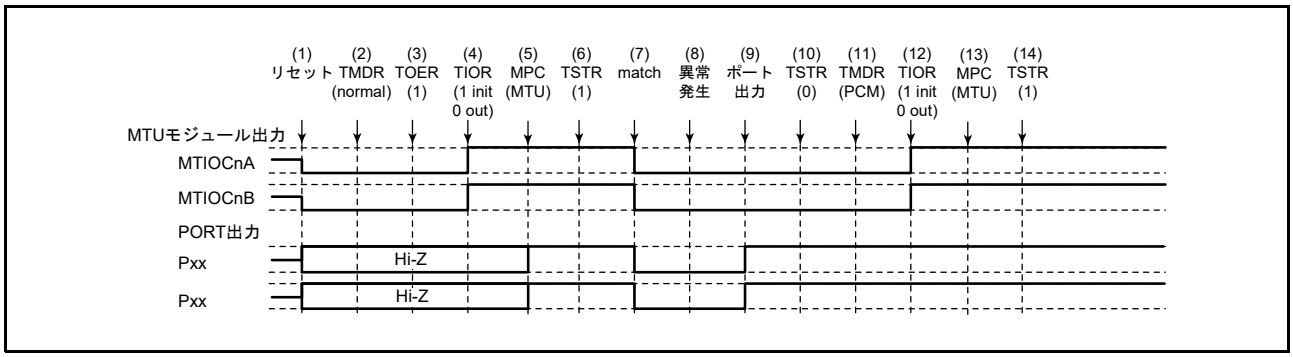


図 22.157 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (10) は図 22.154 と共通です。
(11) 位相計数モードを設定します。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

注 . 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.158 に示します。

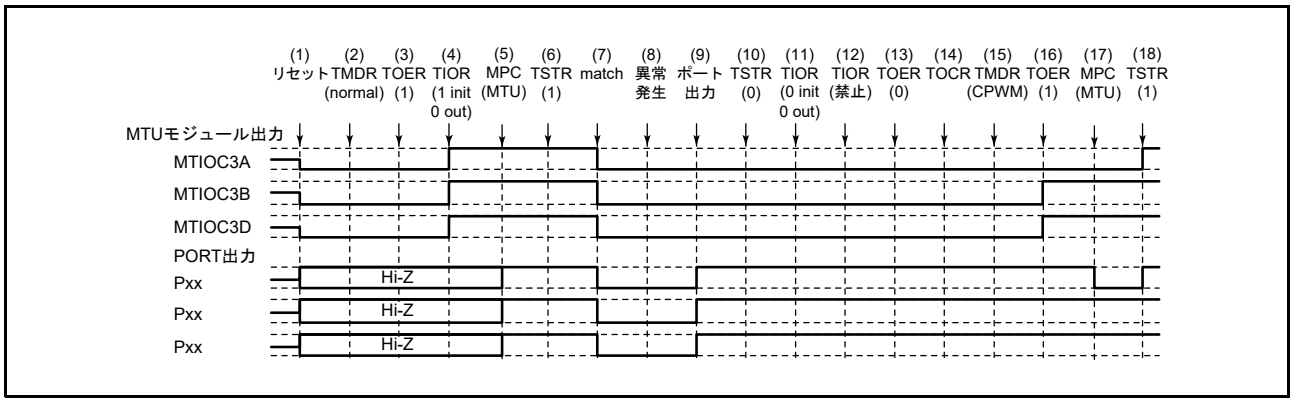


図 22.158 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.154 と共通です。

(11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。

(12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。

(13) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(14) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(18) TSTRA（TSTRB）レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.159 に示します。

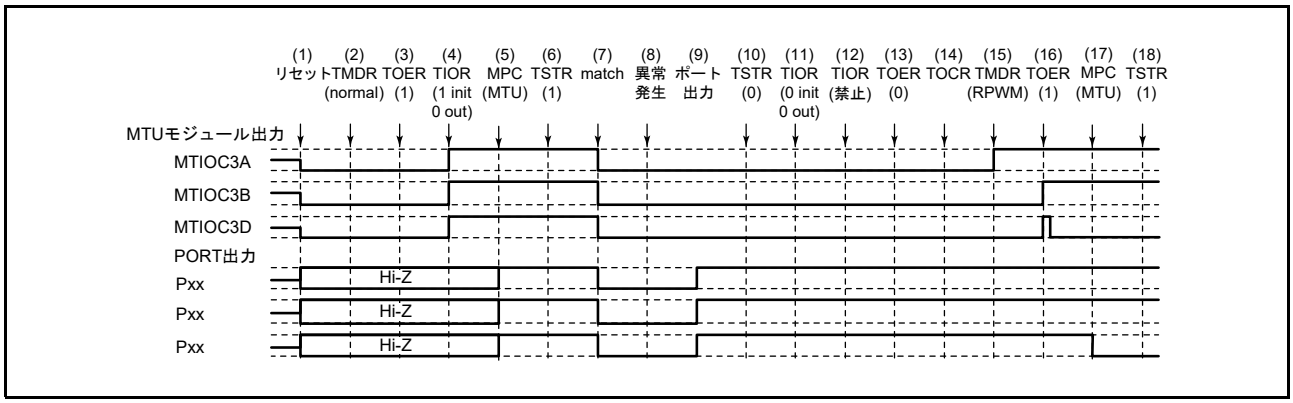


図 22.159 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (13) は図 22.158 と共通です。

(14) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(18) TSTRA（TSTRB）レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.160 に示します。

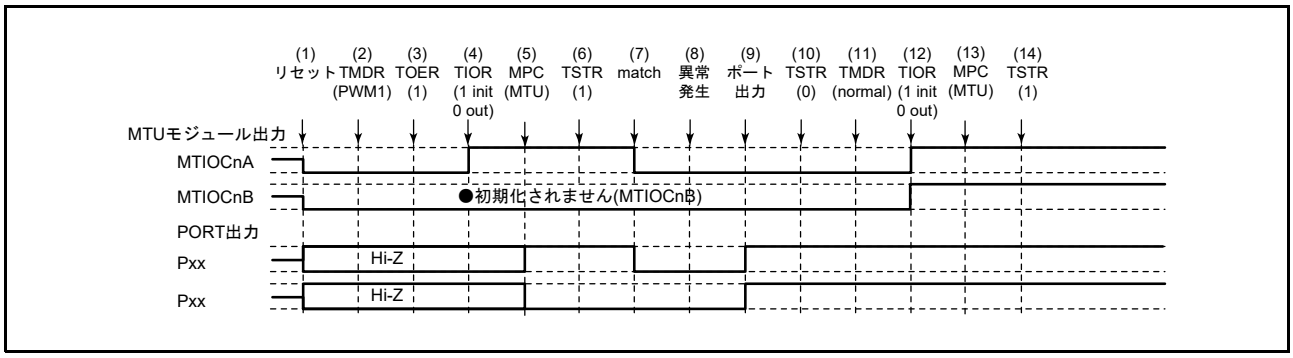


図 22.160 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 1 を設定してください。
(3) MTU3、MTU4（MTU6, MTU7）では TIOR レジスタで端子を初期化する前に TOERA（TOERB）レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します。
(11) ノーマルモードを設定してください。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(8)　PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.161 に示します。

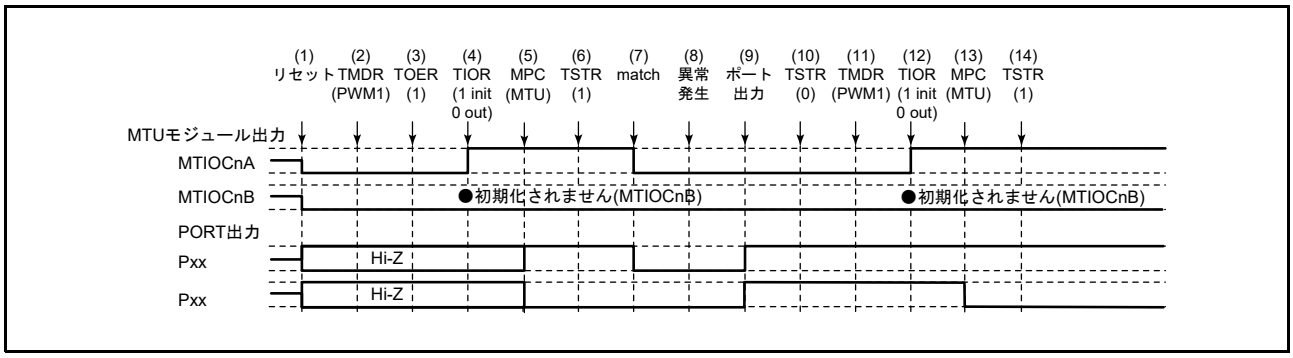


図 22.161　PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.160 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(9)　PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.162 に示します。

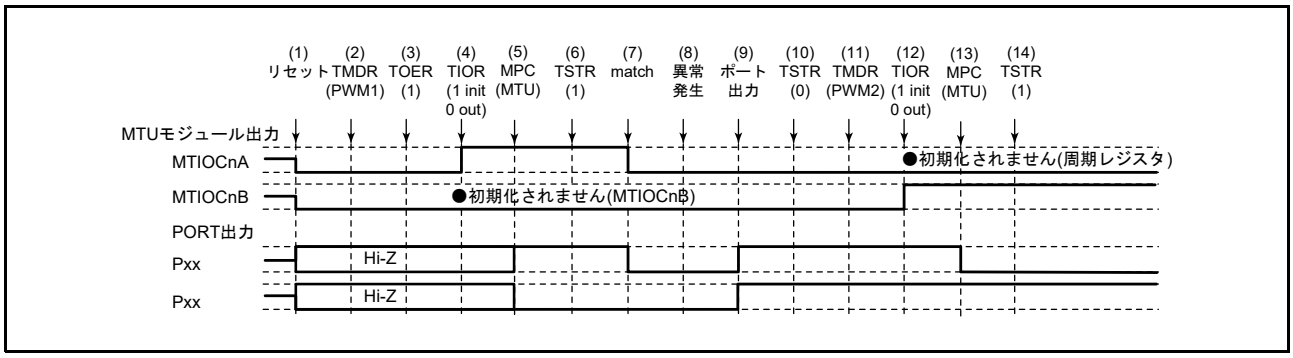


図 22.162　PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (10) は図 22.160 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　PWM モード 2 は MTU0 ～ MTU2、MTU9 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.163 に示します。

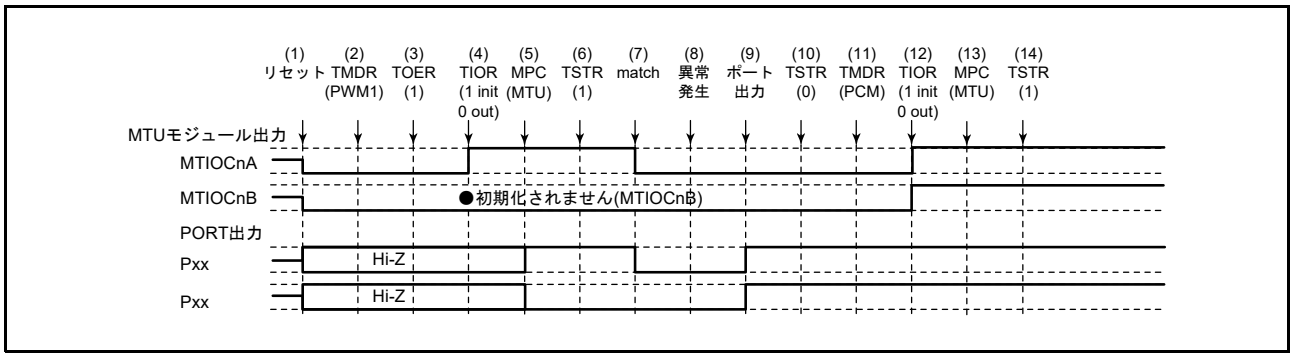


図 22.163　PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ～ (10) は図 22.160 と共通です。
(11) 位相計数モードを設定します。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

注 .　位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.164 に示します。

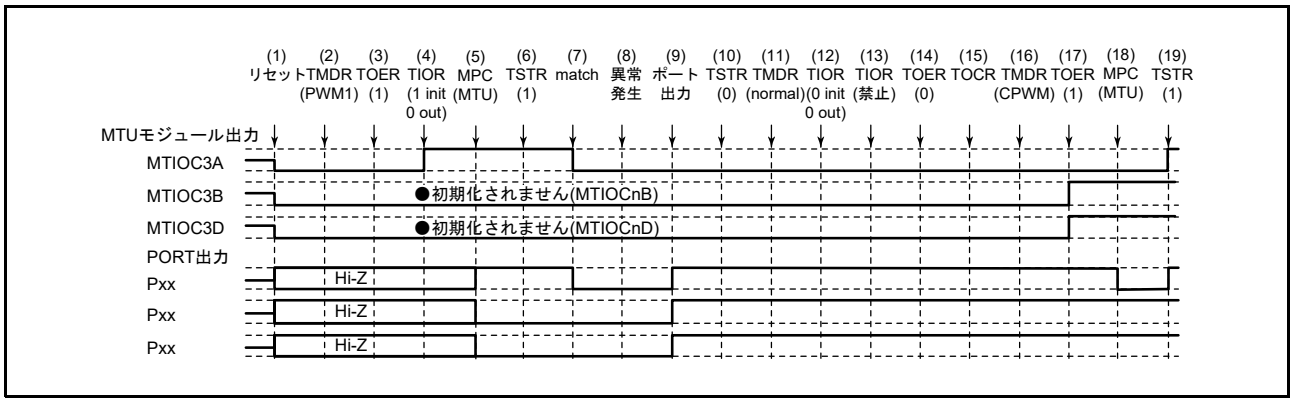


図 22.164　PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.160 と共通です。
(11) 波形生成部の初期化のためノーマルモードを設定してください。
(12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
(13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください
(14) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。
(15) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
(16) 相補 PWM を設定します。
(17) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(18) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(19) TSTRA（TSTRB）レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.165 に示します。

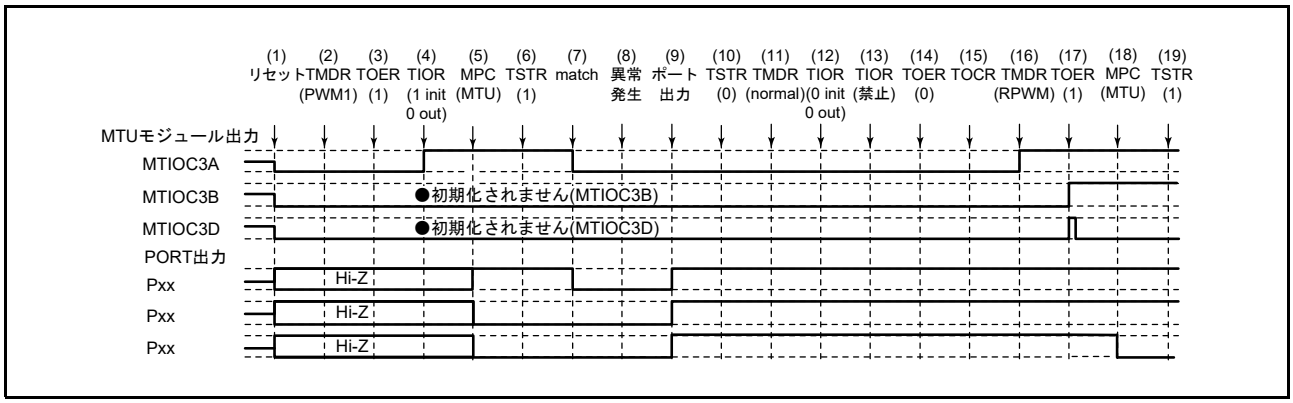


図 22.165　PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (14) は図 22.164 と共通です。

(15) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(19) TSTRA（TSTRB）レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.166 に示します。

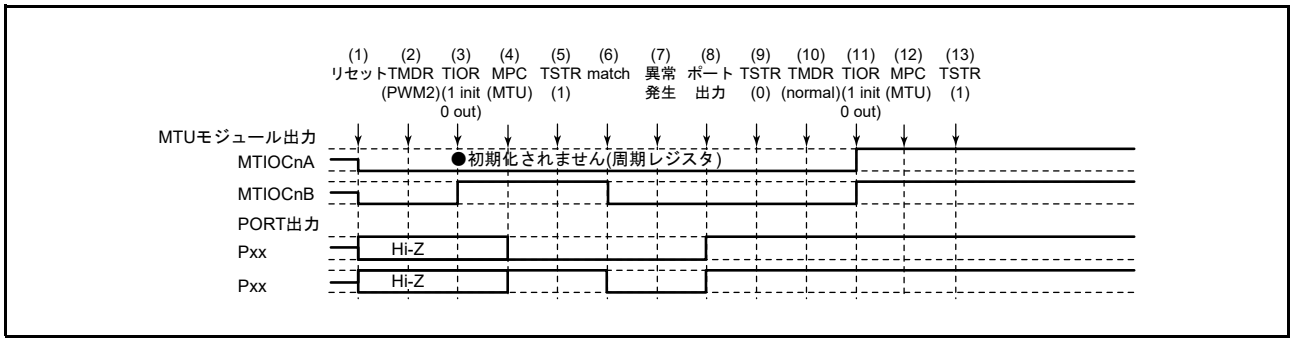


図 22.166　PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 2 を設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子は初期化されません。例は MTUn.TGRA レジスタを周期レジスタに使用した場合です）。
(4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードを設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.167 に示します。

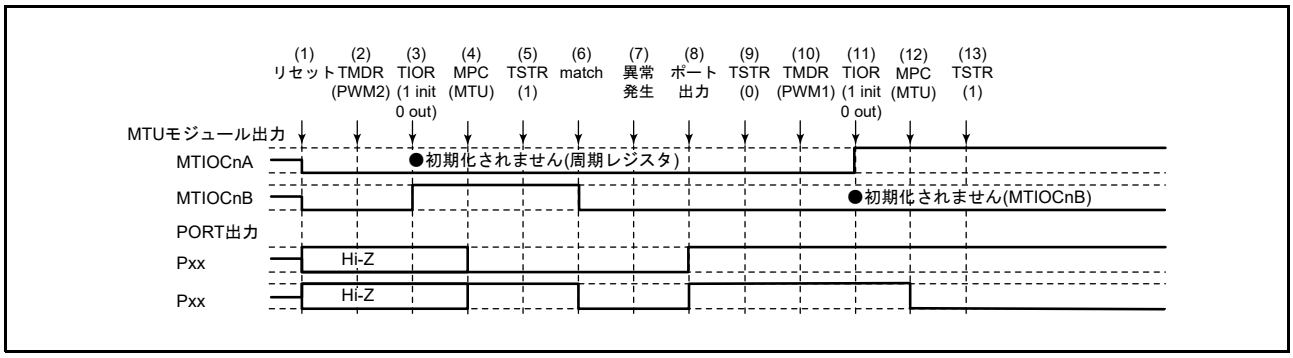


図 22.167　PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 22.166 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.168 に示します。

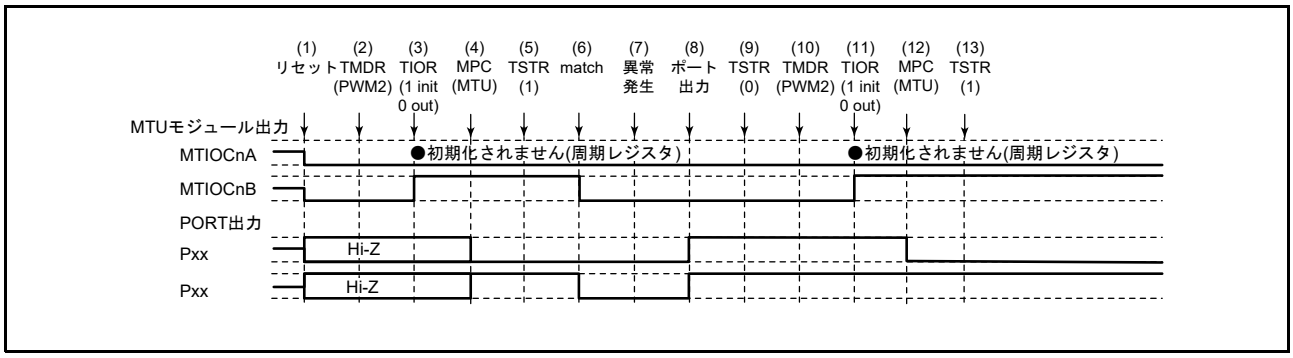


図 22.168　PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (9) は図 22.166 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.169 に示します。

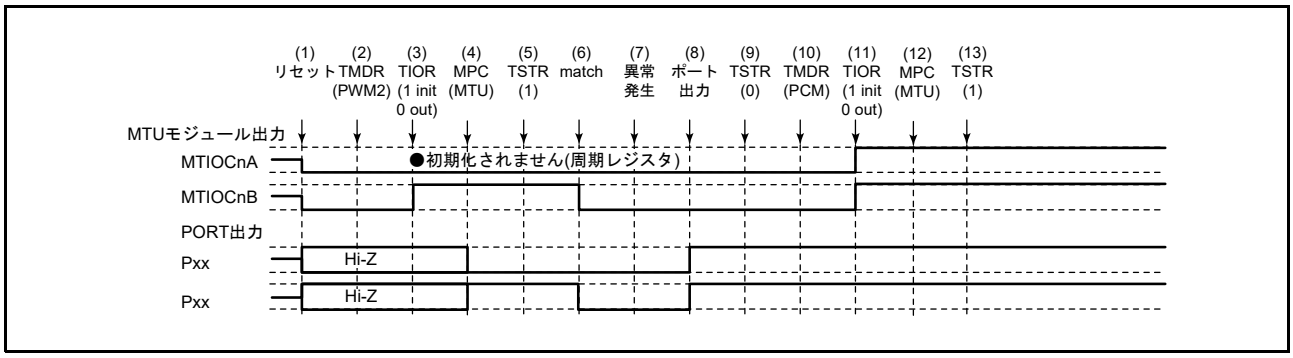


図 22.169　PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は図 22.166 と共通です。
(10) 位相計数モードを設定します。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.170 に示します。

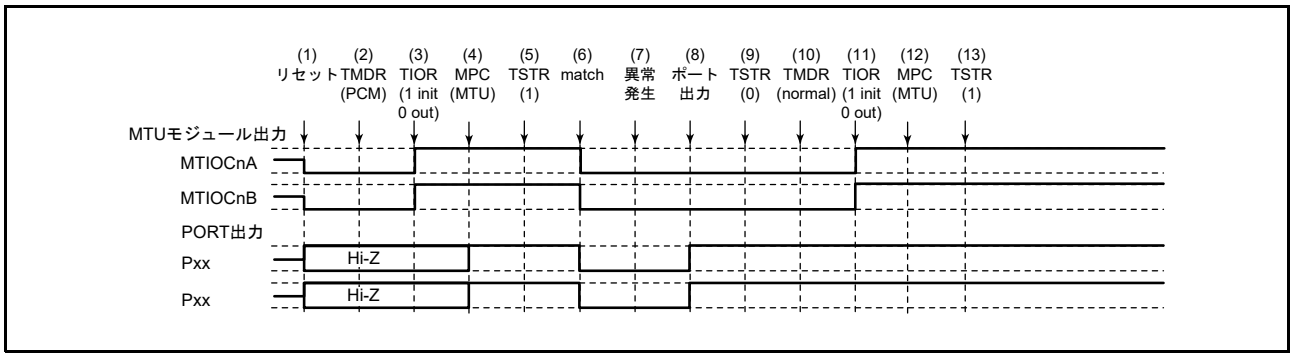


図 22.170　位相計数モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) 位相計数モードを設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードで設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.171 に示します。

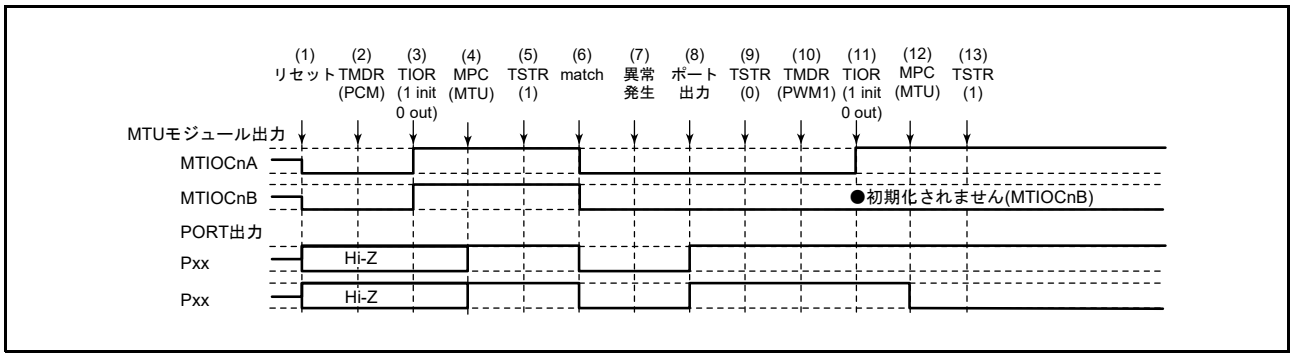


図 22.171　位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 22.170 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 22.172 に示します。

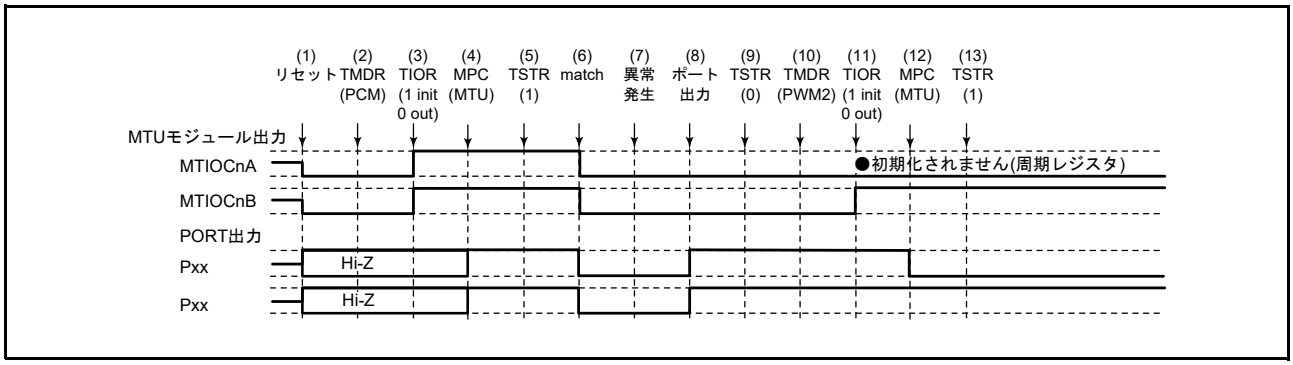


図 22.172　位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (9) は図 22.170 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.173 に示します。

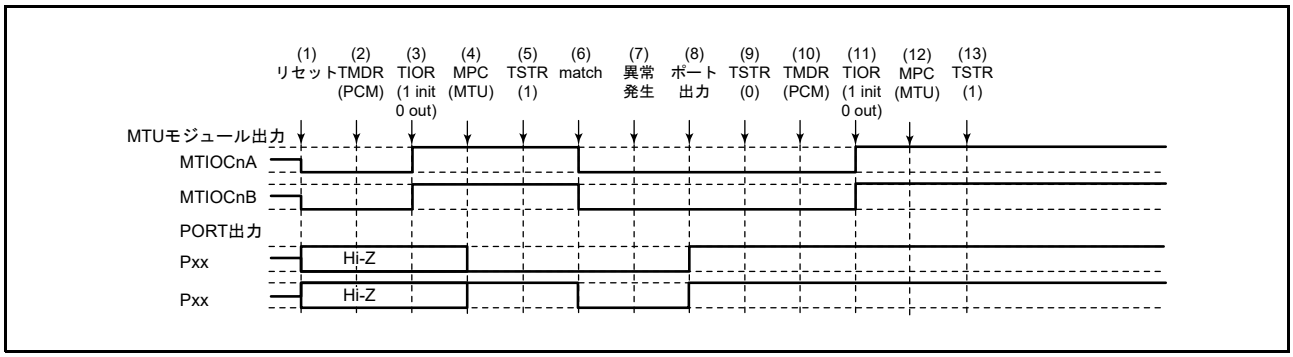


図 22.173　位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は図 22.170 と共通です。
(10) 位相計数モードで再スタートする場合には必要ありません。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.174 に示します。

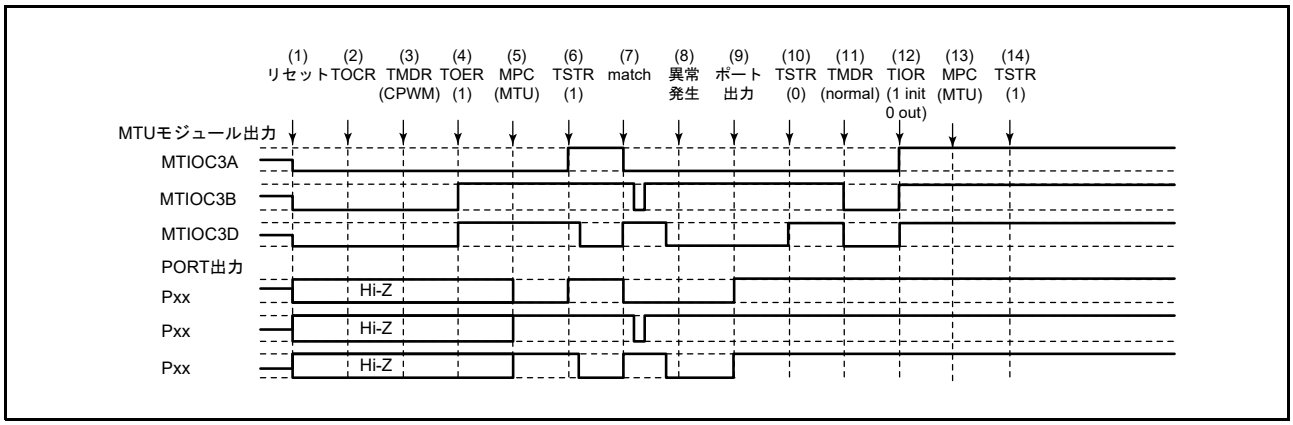


図 22.174　相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
(3) 相補 PWM を設定します。
(4) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により相補 PWM 波形を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します（MTU 出力は相補 PWM 出力初期値となります)。
(11) ノーマルモードを設定してください（MTU 出力は Low となります)。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.175 に示します。

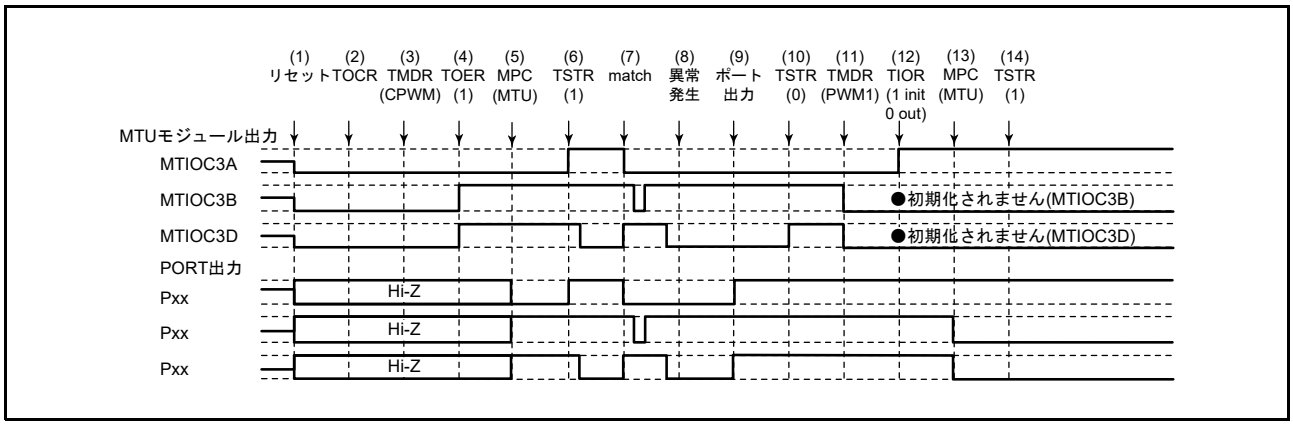


図 22.175　相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.174 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は Low となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.176 に示します（周期、デューティ設定をカウンタを止めたときの値から再スタートする場合）。

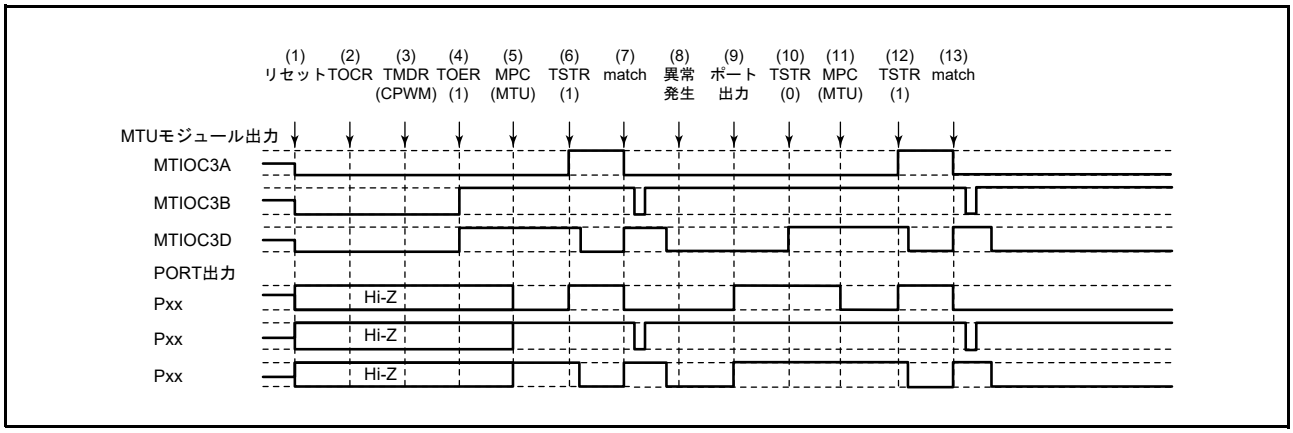


図 22.176　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ～ (10) は図 22.174 と共通です。
(11) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(12) TSTRA（TSTRB）レジスタで再スタートします。
(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.177 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

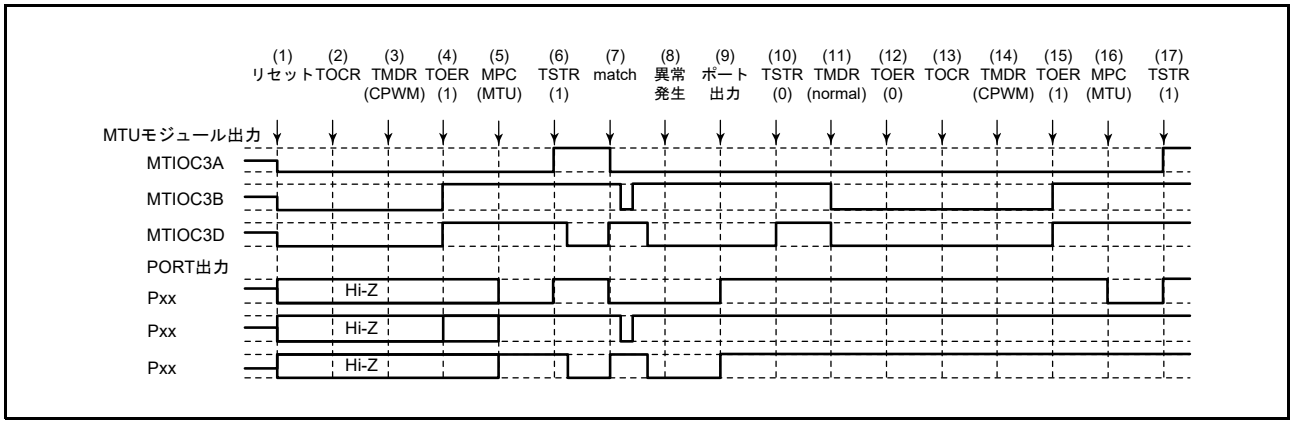


図 22.177　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ～ (10) は図 22.174 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(13) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA（TSTRB）レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.178 に示します。

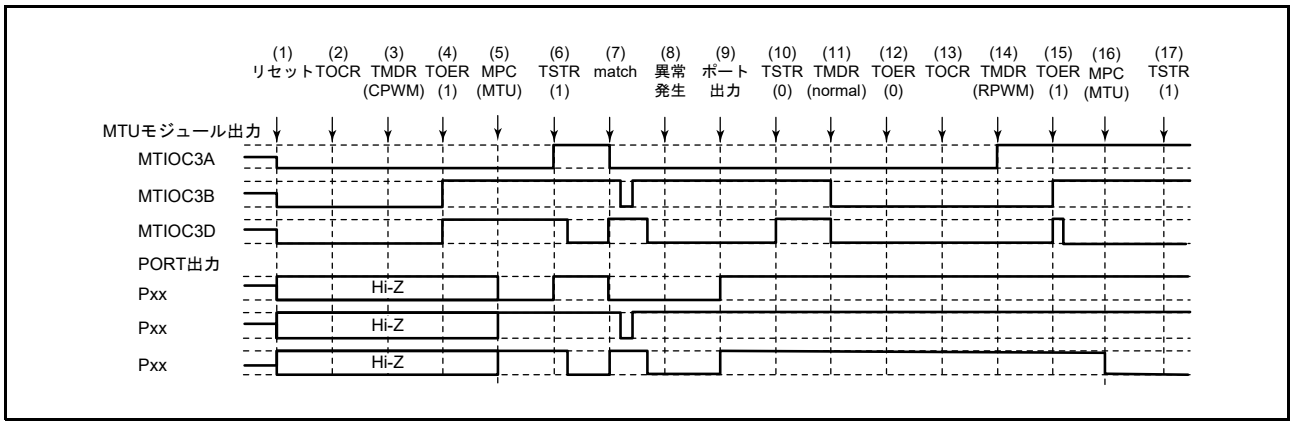


図 22.178 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (10) は図 22.174 と共通です。

(11) ノーマルモードを設定してください（MTU 出力は Low となります）。

(12) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(13) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA（TSTRB）レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.179 に示します。

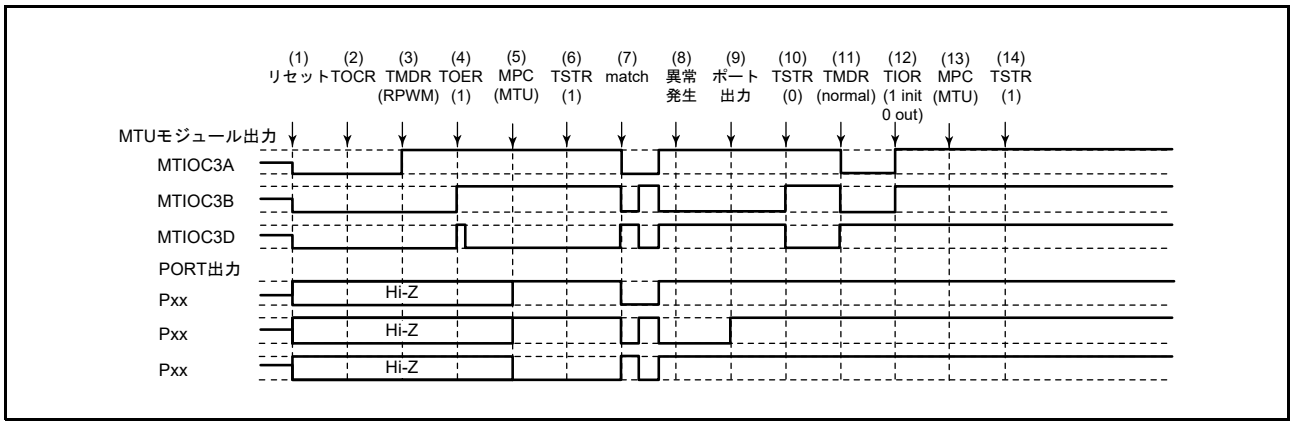


図 22.179　リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
(3) リセット同期 PWM を設定します。
(4) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します（MTU 出力はリセット同期 PWM 出力初期値となります）。
(11) ノーマルモードを設定してください（MTU 出力は正相側が Low、逆相側が High となります）。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.180 に示します。

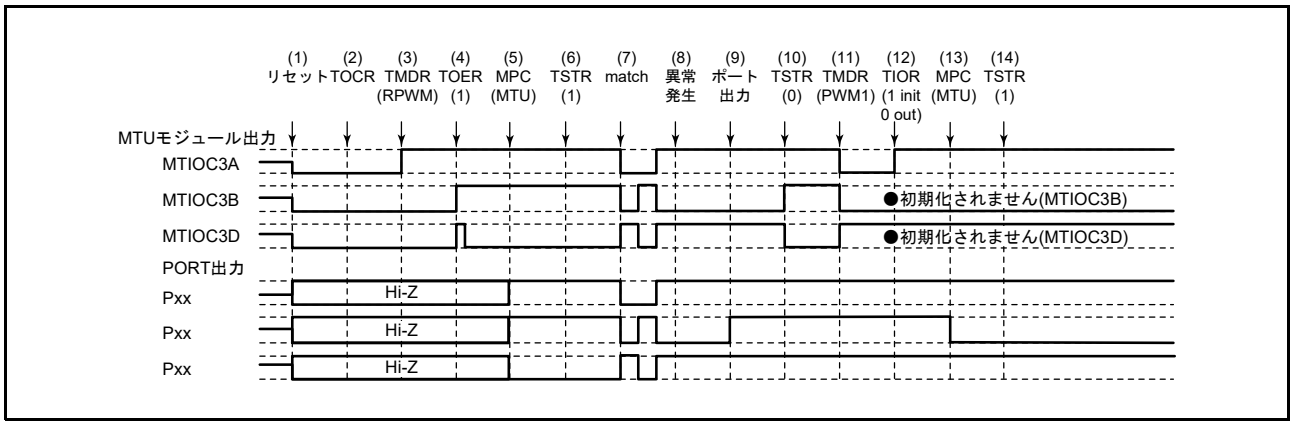


図 22.180　リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.179 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は正相側が Low、逆相側が High となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.181 に示します。

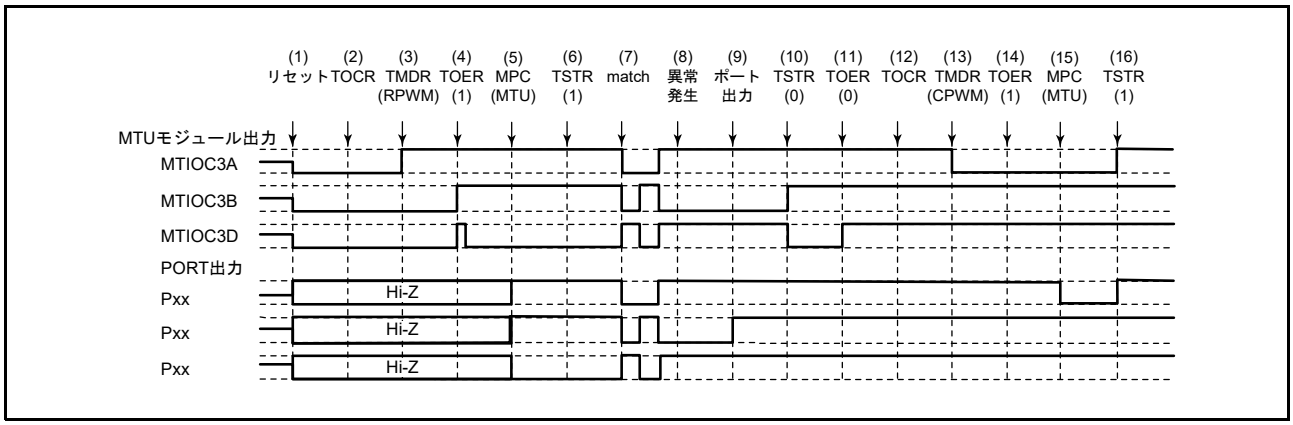


図 22.181　リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.179 と共通です。

(11) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(12) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(13) 相補 PWM を設定します（MTU の周期出力端子は Low になります）。

(14) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(15) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(16) TSTRA（TSTRB）レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.182 に示します。

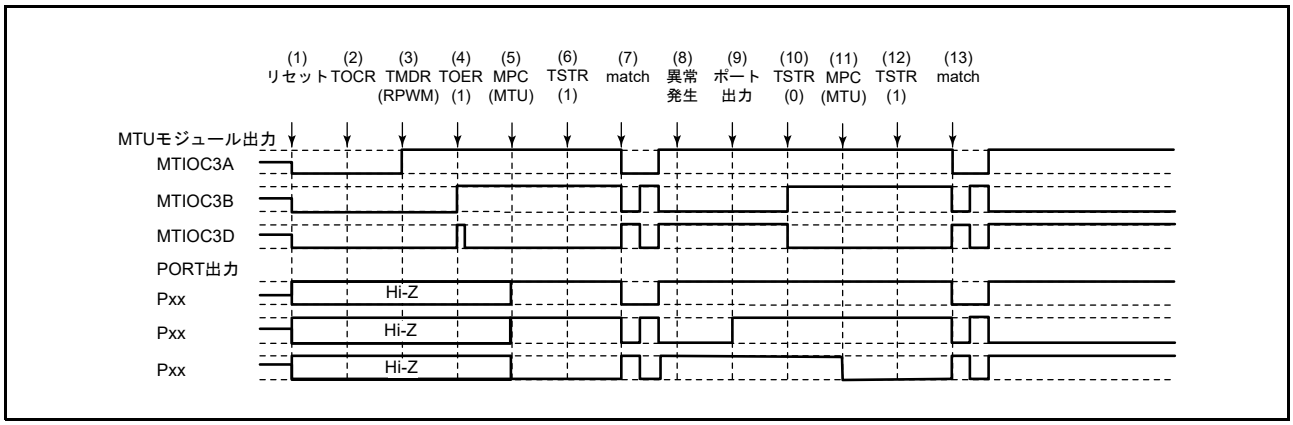


図 22.182　リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (10) は図 22.179 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(12) TSTRA（TSTRB）レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

22.8　ELC によるリンク動作

22.8.1　ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

22.8.2　ELC からのイベント信号受信によるアクション動作

MTU はイベントリンクコントローラ (ELC) の ELSRn の設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1)　カウントスタート動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のカウントスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU9 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、**表 22.81** に示した TSTRA/TSTRB レジスタの CSTn ビットが “1” になり、MTU のカウントがスタートします。

ただし、TSTRA/TSTRB レジスタの CSTn ビットが “1” になっているときに指定したイベントが発生した場合は、そのイベントは無効となります。各チャネルに対して使用する TSTRA/TSTRB レジスタのビットは**表 22.81** を参照してください。

表22.81　ELCによってセットされるカウントスタートビット

チャネル番号	カウントスタートビット
MTU0	TSTRA.CST0 ビット
MTU3	TSTRA.CST3 ビット
MTU4	TSTRA.CST4 ビット
MTU6	TSTRB.CST6 ビット
MTU7	TSTRB.CST7 ビット
MTU9	TSTRA.CST9 ビット

(2)　インプットキャプチャ動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のインプットキャプチャ動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU9 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、TCNT の値が TGR レジスタにキャプチャされます。イベントリンクによるインプットキャプチャ動作を使用する場合は、MTU の TIOR レジスタのビットをインプットキャプチャに設定し、TSTRA/TSTRB レジスタの CSTn ビットを “1” にしてカウンタをスタートさせてください。

このとき TIOCnA 端子 (インプットキャプチャ端子) の入力は無効となります。

各チャネルに対して使用するタイマジェネラルレジスタ、I/O コントロールビットは**表 22.82** を参照してください。

表22.82　ELCのインプットキャプチャ動作で使用するレジスタ、ビット

チャネル番号	タイマジェネラルレジスタ	I/Oコントロールビット
MTU0	MTU0.TGRA	MTU0.TIORH.IOA[3:0]ビット
MTU3	MTU3.TGRA	MTU3.TIORH.IOA[3:0]ビット
MTU4	MTU4.TGRA	MTU4.TIORH.IOA[3:0]ビット
MTU6	MTU6.TGRA	MTU6.TIORH.IOA[3:0]ビット
MTU7	MTU7.TGRA	MTU7.TIORH.IOA[3:0]ビット
MTU9	MTU9.TGRA	MTU9.TIORH.IOA[3:0]ビット

(3)　カウントリスタート (カウンタクリア) 動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のカウントリスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU9 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、TCNT がクリアされます。このとき TSTRA/TSTRB レジスタの CSTn ビットが “1” になっていればカウント動作を継続することができます。対応する TSTRA/TSTRB レジスタの CSTn ビットは**表 22.81** を参照してください。

22.8.3　ELC からのイベント信号受信による動作に関する注意事項

MTU をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1)　カウントスタート動作

TSTRA/TSTRB レジスタの CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTRA/TSTRB レジスタの CSTn ビットへの書き込みサイクルは行われず、イベント発生による “1” 設定が優先されます。

(2)　カウントリスタート (カウンタクリア) 動作

TCNT へのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT への書き込みサイクルは行われず、イベント発生によるカウンタのクリアが優先されます。

また、MTU3、MTU4、MTU6、MTU7 の相補 PWM モードを使用する場合、ELC によるカウントリスタート動作は使用しないでください。

23. ポートアウトプットイネーブル 3 (POE3D)

本 MCU は、各種条件で MTU や GPTW の出力を停止させることができるポートアウトプットイネーブル 3 (POE3D) を搭載しています。出力停止時の端子の状態をハイインピーダンスまたは汎用入出力ポートのいずれかから選択できます。

なお、本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に POE の仕様、**図 23.1** に POE 周辺のシステムブロック図、**図 23.2** に POE のブロック図を示します。

表23.1　POEの仕様 (1/2)

<table>
<tr><th>項目</th><th>内容</th></tr>
<tr><td>出力停止時の端子の状態</td><td>• ハイインピーダンス
• 汎用入出力ポート</td></tr>
<tr><td>出力停止制御対象端子</td><td>• MTUの出力端子
MTU0端子(MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D)
MTU3端子(MTIOC3B, MTIOC3D)
MTU4端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D)
MTU6端子(MTIOC6B, MTIOC6D)
MTU7端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D)
MTU9端子(MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D)
• GPTWの出力端子
GPTW0端子(GTIOC0A, GTIOC0B)
GPTW1端子(GTIOC1A, GTIOC1B)
GPTW2端子(GTIOC2A, GTIOC2B)
GPTW3端子(GTIOC3A, GTIOC3B)
GPTW4端子(GTIOC4A, GTIOC4B)
GPTW5端子(GTIOC5A, GTIOC5B)
GPTW6端子(GTIOC6A, GTIOC6B)
GPTW7端子(GTIOC7A, GTIOC7B)</td></tr>
<tr><td>出力停止要求発生条件</td><td>• 入力端子の変化
POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子に信号が入力されたとき
• 出力信号の短絡
以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき
<table>
<tr><th></th><th>MTU 相補 PWM 出力信号</th></tr>
<tr><td>1</td><td>MTIOC3B と MTIOC3D</td></tr>
<tr><td>2</td><td>MTIOC4A と MTIOC4C</td></tr>
<tr><td>3</td><td>MTIOC4B と MTIOC4D</td></tr>
<tr><td>4</td><td>MTIOC6B と MTIOC6D</td></tr>
<tr><td>5</td><td>MTIOC7A と MTIOC7C</td></tr>
<tr><td>6</td><td>MTIOC7B と MTIOC7D</td></tr>
</table>
<table>
<tr><th></th><th>GPTW 相補 PWM 出力信号</th></tr>
<tr><td>1</td><td>GTIOC0A と GTIOC0B</td></tr>
<tr><td>2</td><td>GTIOC1A と GTIOC1B</td></tr>
<tr><td>3</td><td>GTIOC2A と GTIOC2B</td></tr>
<tr><td>4</td><td>GTIOC4A と GTIOC4B</td></tr>
<tr><td>5</td><td>GTIOC5A と GTIOC5B</td></tr>
<tr><td>6</td><td>GTIOC6A と GTIOC6B</td></tr>
<tr><td>7</td><td>GTIOC7A と GTIOC7B</td></tr>
</table>
• SPOERレジスタを設定したとき
• メインクロック発生回路の発振停止を検出したとき
• コンパレータC (CMPC)の出力を検出したとき</td></tr>
</table>

表23.1　POEの仕様 (2/2)

項目	内容
機能	• POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子のそれぞれに立ち下がりエッジ検出、立ち上がりエッジ検出、Lowレベル検出、Highレベル検出のいずれかを選択できます。レベル検出の場合、サンプリングクロックはPCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/128から、サンプリング回数は4回、8回～16回のいずれかから選択できます • POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子への入力のエッジ検出、またはレベル検出によって、すべての制御対象端子の出力を停止できます • クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます • MTU相補PWM出力信号のレベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子の出力を停止できます • GPTW相補PWM出力信号(GPTW0～GPTW2、GPTW4～GPTW6、GPTW7)の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、GPTW出力端子の出力を停止できます • コンパレータC (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます • POEのレジスタの設定により、すべての制御対象端子の出力を停止できます • 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です • MTU出力信号(MTU0～4、MTU6、MTU7、MTU9)、GPTW出力信号(GPTW0～7)によって、POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子およびCOMP0～COMP5レベル検出信号による出力停止要求をマスクすることができます

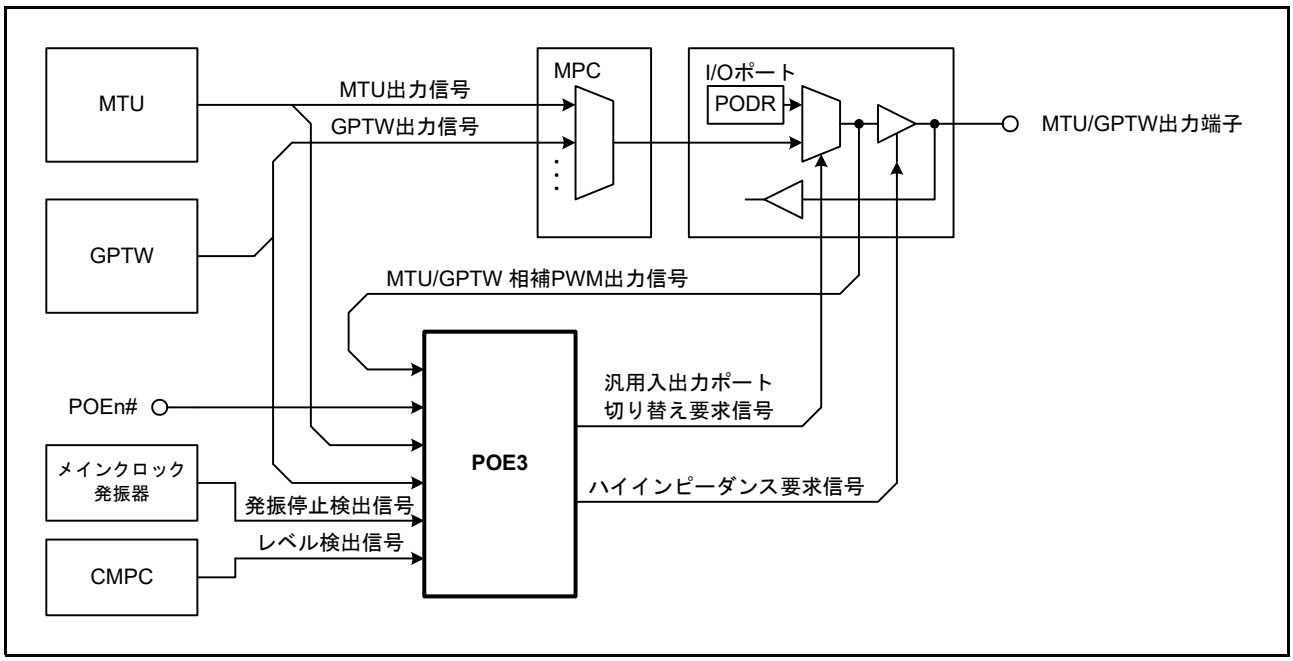


図23.1　POE システムブロック図

POEは図23.2のブロック図に示すように、入力レベル検出回路、端子選択回路、出力レベル比較回路、およびハイインピーダンス要求 / ポート切り替え要求 / 割り込み要求生成回路から構成されます。

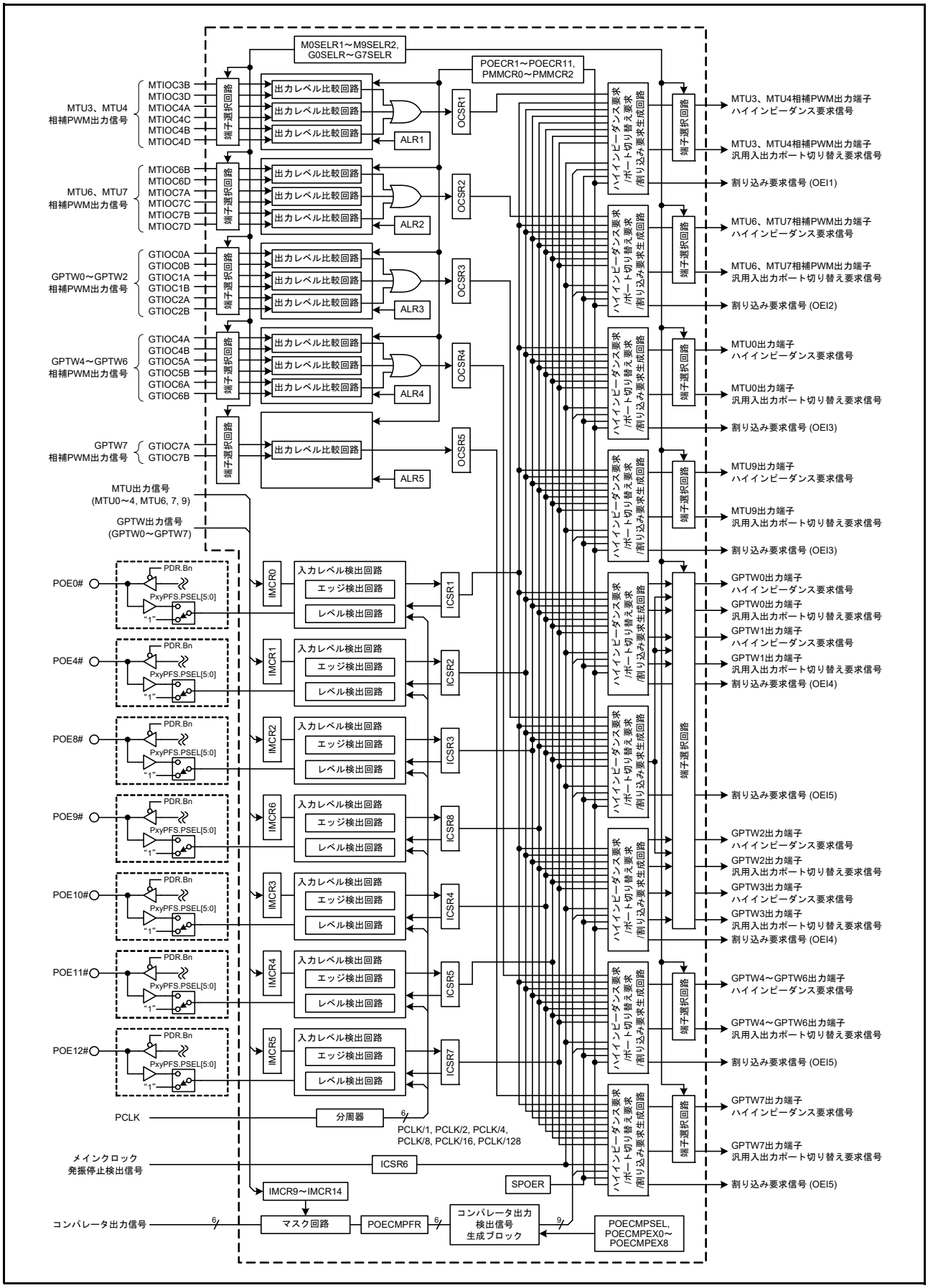


図 23.2　POE のブロック図

表 23.2 に POE で使用する入出力端子を示します。

表23.2　POEの入出力端子

端子名	入出力	機能
POE0#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU相補PWM出力端子(MTU3、MTU4端子)の出力を停止する要求信号としてアサインされています
POE4#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU相補PWM出力端子(MTU6、MTU7端子)の出力を停止する要求信号としてアサインされています
POE8#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU0端子の出力を停止する要求信号としてアサインされています
POE9#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU9端子の出力を停止する要求信号としてアサインされています
POE10#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW0、GPTW1の端子の出力を停止する要求信号としてアサインされています
POE11#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW2、GPTW3の端子の出力を停止する要求信号としてアサインされています
POE12#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW0～GPTW2端子の出力を停止する要求信号としてアサインされています

表 23.3 に示す信号の組み合わせで出力レベルの比較を行います。

表23.3　出力信号の組み合わせ

信号の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“0”のときに、MTU.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“1”のときに、MTU.TOCR2A.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“1”のときに、ALR1.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU3、MTU4端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	
MTIOC6BとMTIOC6D	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR2.OLSENビットが“0”かつMTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR2.OLSENビットが“0”かつMTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR2.OLSENビットが“1”のときに、ALR2.OLSG4A、OLSG4B、OLSG5A、OLSG5B、OLSG6A、OLSG6Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6、MTU7端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC7AとMTIOC7C	出力	
MTIOC7BとMTIOC7D	出力	
GTIOC0AとGTIOC0B	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR3.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPTW出力端子(GPTW0～GPTW2端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
GTIOC1AとGTIOC1B	出力	
GTIOC2AとGTIOC2B	出力	
GTIOC4AとGTIOC4B	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR4.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPTW出力端子(GPTW4～GPTW6端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
GTIOC5AとGTIOC5B	出力	
GTIOC6AとGTIOC6B	出力	
GTIOC7AとGTIOC7B	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR5.OLSG0A、OLSG0Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPTW7出力端子の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます

23.2 レジスタの説明

POE のレジスタは、リセットで初期化されます。

23.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

アドレス　POE.ICSR1 0009 E400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE0F	—	—	—	PIE1	POE0M2[3:0]				POE0M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE0M[3:0]	POE0モード選択ビット	b3　b0 0 0 0 0：POE0#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1：POE0#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0：POE0#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1：POE0#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0：POE0#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1：POE0#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0：POE0#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE0M2[3:0]	POE0サンプリング回数選択ビット	b7　b4 0 0 0 0：16回 0 0 0 1：4回 0 0 1 0：8回 0 0 1 1：9回 0 1 0 0：10回 0 1 0 1：11回 0 1 1 0：12回 0 1 1 1：13回 1 0 0 0：14回 1 0 0 1：15回 上記以外は設定しないでください	R/W (注1)
b8	PIE1	ポート割り込み許可ビット1	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0：POE0#端子に出力停止要求なし 1：POE0#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE0#端子入力反転ビット	0：POE0#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1：POE0#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE0M[3:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE0M2[3:0] ビット (POE0 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE1 ビット (ポート割り込み許可ビット 1)

POE0F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE0# 端子に POE0M[3:0] ビット、POE0M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE0M[3:0] ビットで Low レベル検出を設定している場合、“0” を書くには、POE0# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE0# 端子に Low を入力する必要があります。詳細は、**「23.3.10　出力停止状態の解除」**を参照してください。

INV ビット (POE0# 端子入力反転ビット)

POE0# 端子の入力信号を論理反転させるビットです。
“0” の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。
“1” にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

23.2.2　入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

アドレス　POE.ICSR2 0009 E404h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE4F	—	—	—	PIE2	POE4M2[3:0]				POE4M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE4M[3:0]	POE4モード選択ビット	b3　b0 0 0 0 0：POE4#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1：POE4#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0：POE4#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1：POE4#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0：POE4#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1：POE4#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0：POE4#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE4M2[3:0]	POE4サンプリング回数選択ビット	b7　b4 0 0 0 0：16回 0 0 0 1：4回 0 0 1 0：8回 0 0 1 1：9回 0 1 0 0：10回 0 1 0 1：11回 0 1 1 0：12回 0 1 1 1：13回 1 0 0 0：14回 1 0 0 1：15回 上記以外は設定しないでください	R/W (注1)
b8	PIE2	ポート割り込み許可ビット2	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0：POE4#端子に出力停止要求なし 1：POE4#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE4#端子入力反転ビット	0：POE4#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1：POE4#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE4M[3:0] ビット (POE4 モード選択ビット)

POE4# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE4M2[3:0] ビット (POE4 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE2 ビット (ポート割り込み許可ビット 2)

POE4F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ (POE4 フラグ)

POE4# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE4# 端子に POE4M[3:0] ビット、POE4M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE4M[3:0] ビットで Low レベル検出を設定している場合、“0” を書くには、POE4# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE4# 端子に Low を入力する必要があります。詳細は、「23.3.10　出力停止状態の解除」を参照してください。

INV ビット (POE4# 端子入力反転ビット)

POE4# 端子の入力信号を論理反転させるビットです。
“0” の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。
“1” にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

23.2.3　入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

アドレス　POE.ICSR3 0009 E408h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE8F	—	—	POE8E	PIE3	POE8M2[3:0]				POE8M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE8M[3:0]	POE8モード選択ビット	b3　b0 0 0 0 0：POE8#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1：POE8#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0：POE8#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1：POE8#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0：POE8#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1：POE8#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0：POE8#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE8M2[3:0]	POE8サンプリング回数選択ビット	b7　b4 0 0 0 0：16回 0 0 0 1：4回 0 0 1 0：8回 0 0 1 1：9回 0 1 0 0：10回 0 1 0 1：11回 0 1 1 0：12回 0 1 1 1：13回 1 0 0 0：14回 1 0 0 1：15回 上記以外は設定しないでください	R/W (注1)
b8	PIE3	ポート割り込み許可ビット3	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE8E	POE8出力停止許可ビット	0：POE8#信号により端子の出力を停止しない 1：POE8#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0：POE8#端子に出力停止要求なし 1：POE8#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE8#端子入力反転ビット	0：POE8#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1：POE8#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE8M[3:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE8M2[3:0] ビット (POE8 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE3 ビット (ポート割り込み許可ビット 3)

POE8F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 出力停止許可ビット)

POE8F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子に出力停止要求が入力されたことを示すフラグです。
[“1” になる条件]

- POE8# 端子に POE8M[3:0] ビット、POE8M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE8M[3:0]ビットでLowレベル検出を設定している場合、“0”を書くには、POE8#端子にHighを入力する必要があります。同様にHighレベル検出を設定している場合、POE8#端子にLowを入力する必要があります。詳細は、「23.3.10 出力停止状態の解除」を参照してください。

INV ビット (POE8# 端子入力反転ビット)

POE8# 端子の入力信号を論理反転させるビットです。
“0” の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。
“1” にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

23.2.4　入力レベルコントロール / ステータスレジスタ 4 (ICSR4)

アドレス　POE.ICSR4 0009 E416h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE10F	—	—	POE10E	PIE4	POE10M2[3:0]				POE10M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE10M[3:0]	POE10モード選択ビット	b3　b0 0 0 0 0：POE10#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1：POE10#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0：POE10#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1：POE10#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0：POE10#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1：POE10#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0：POE10#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE10M2[3:0]	POE10サンプリング回数選択ビット	b7　b4 0 0 0 0：16回 0 0 0 1：4回 0 0 1 0：8回 0 0 1 1：9回 0 1 0 0：10回 0 1 0 1：11回 0 1 1 0：12回 0 1 1 1：13回 1 0 0 0：14回 1 0 0 1：15回 上記以外は設定しないでください	R/W (注1)
b8	PIE4	ポート割り込み許可ビット4	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE10E	POE10出力停止許可ビット	0：POE10#信号により端子の出力を停止しない 1：POE10#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0：POE10#端子に出力停止要求なし 1：POE10#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE10#端子入力反転ビット	0：POE10#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1：POE10#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE10M[3:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE10M2[3:0] ビット (POE10 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE4 ビット (ポート割り込み許可ビット 4)

POE10F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 出力停止許可ビット)

POE10F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子に出力停止要求が入力されたことを示すフラグです。
[“1” になる条件]

- POE10# 端子に POE10M[3:0] ビット、POE10M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE10M[3:0] ビットで Low レベル検出を設定している場合、“0” を書くには、POE10# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE10# 端子に Low を入力する必要があります。詳細は、**「23.3.10　出力停止状態の解除」**を参照してください。

INV ビット (POE10# 端子入力反転ビット)

POE10# 端子の入力信号を論理反転させるビットです。
“0” の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。
“1” にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

23.2.5　入力レベルコントロール / ステータスレジスタ 5 (ICSR5)

アドレス　POE.ICSR5 0009 E418h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE11F	—	—	POE11E	PIE5	POE11M2[3:0]				POE11M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE11M[3:0]	POE11モード選択ビット	b3　b0 0 0 0 0：POE11#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1：POE11#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0：POE11#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1：POE11#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0：POE11#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1：POE11#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0：POE11#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE11M2[3:0]	POE11サンプリング回数選択ビット	b7　b4 0 0 0 0：16回 0 0 0 1：4回 0 0 1 0：8回 0 0 1 1：9回 0 1 0 0：10回 0 1 0 1：11回 0 1 1 0：12回 0 1 1 1：13回 1 0 0 0：14回 1 0 0 1：15回 上記以外は設定しないでください	R/W (注1)
b8	PIE5	ポート割り込み許可ビット5	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE11E	POE11出力停止許可ビット	0：POE11#信号により端子の出力を停止しない 1：POE11#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0：POE11#端子に出力停止要求なし 1：POE11#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE11#端子入力反転ビット	0：POE11#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1：POE11#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR5レジスタは、POE11#端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE11M[3:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE11M2[3:0] ビット (POE11 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE5 ビット (ポート割り込み許可ビット 5)

POE11F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 出力停止許可ビット)

POE11F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子に出力停止要求が入力されたことを示すフラグです。
[“1” になる条件]

- POE11# 端子に POE11M[3:0] ビット、POE11M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE11M[3:0] ビットで Low レベル検出を設定している場合、“0” を書くには、POE11# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE11# 端子に Low を入力する必要があります。詳細は、**「23.3.10　出力停止状態の解除」**を参照してください。

INV ビット (POE11# 端子入力反転ビット)

POE11# 端子の入力信号を論理反転させるビットです。
“0” の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。
“1” にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

23.2.6　入力レベルコントロール / ステータスレジスタ 6 (ICSR6)

アドレス　POE.ICSR6 0009 E41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTSTF	—	—	OSTSTE	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	発振停止時出力停止許可ビット	0：発振停止検出時に制御対象端子の出力を停止しない 1：発振停止検出時に制御対象端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	発振停止検出フラグ	0：発振停止による出力停止要求なし 1：発振停止による出力停止要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータス表示を行うレジスタです。

OSTSTE ビット (発振停止時出力停止許可ビット)

発振停止検出時に制御対象端子の出力を停止するかしないかを設定します。

OSTSTF フラグ (発振停止検出フラグ)

OSTSTF フラグは、発振停止による出力停止要求を示すステータスフラグです。

メインクロックの発振が停止すると “1” になります。OSTSTF フラグを “0” にするときは、OSTSTF フラグが “1” になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが “0” のときに “0” を書いてください。OSTDSR.OSTDF フラグが “1” のときに OSTSTF フラグに “0” を書いても “0” になりません。OSTSTF フラグをクリアした後は “0” になったことを確認してください。

[“1” になる条件]

- 発振停止を検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

23.2.7　入力レベルコントロール / ステータスレジスタ 7 (ICSR7)

アドレス　POE.ICSR7 0009 E420h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE12F	—	—	POE12E	PIE7	POE12M2[3:0]				POE12M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE12M[3:0]	POE12モード選択ビット	b3　b0 0 0 0 0：POE12#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1：POE12#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0：POE12#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1：POE12#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0：POE12#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1：POE12#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0：POE12#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE12M2[3:0]	POE12サンプリング回数選択ビット	b7　b4 0 0 0 0：16回 0 0 0 1：4回 0 0 1 0：8回 0 0 1 1：9回 0 1 0 0：10回 0 1 0 1：11回 0 1 1 0：12回 0 1 1 1：13回 1 0 0 0：14回 1 0 0 1：15回 上記以外は設定しないでください	R/W (注1)
b8	PIE7	ポート割り込み許可ビット7	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE12E	POE12出力停止許可ビット	0：POE12#信号により端子の出力を停止しない 1：POE12#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE12F	POE12フラグ	0：POE12#端子に出力停止要求なし 1：POE12#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE12#端子入力反転ビット	0：POE12#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1：POE12#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR7 レジスタは、POE12# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE12M[3:0] ビット (POE12 モード選択ビット)

POE12# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE12M2[3:0] ビット (POE12 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE7 ビット (ポート割り込み許可ビット 7)

POE12F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE12E ビット (POE12 出力停止許可ビット)

POE12F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE12F フラグ (POE12 フラグ)

POE12# 端子に出力停止要求が入力されたことを示すフラグです。
[“1” になる条件]

- POE12# 端子に POE12M[3:0] ビット、POE12M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE12M[3:0] ビットで Low レベル検出を設定している場合、“0” を書くには、POE12# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE12# 端子に Low を入力する必要があります。詳細は、**「23.3.10　出力停止状態の解除」**を参照してください。

INV ビット (POE12# 端子入力反転ビット)

POE12# 端子の入力信号を論理反転させるビットです。
“0” の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。
“1” にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

23.2.8　入力レベルコントロール / ステータスレジスタ 8 (ICSR8)

アドレス　POE.ICSR8 0009 E440h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE9F	—	—	POE9E	PIE8	POE9M2[3:0]				POE9M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE9M[3:0]	POE9モード選択ビット	b3　b0 0 0 0 0：POE9#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1：POE9#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0：POE9#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1：POE9#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0：POE9#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1：POE9#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0：POE9#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE9M2[3:0]	POE9サンプリング回数選択ビット	b7　b4 0 0 0 0：16回 0 0 0 1：4回 0 0 1 0：8回 0 0 1 1：9回 0 1 0 0：10回 0 1 0 1：11回 0 1 1 0：12回 0 1 1 1：13回 1 0 0 0：14回 1 0 0 1：15回 上記以外は設定しないでください	R/W (注1)
b8	PIE8	ポート割り込み許可ビット8	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE9E	POE9出力停止許可ビット	0：POE9#信号により端子の出力を停止しない 1：POE9#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE9F	POE9フラグ	0：POE9#端子に出力停止要求なし 1：POE9#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE9#端子入力反転ビット	0：POE9#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1：POE9#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR8 レジスタは、POE9# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE9M[3:0] ビット (POE9 モード選択ビット)

POE9# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE9M2[3:0] ビット (POE9 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE8 ビット (ポート割り込み許可ビット 8)

POE9F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE9E ビット (POE9 出力停止許可ビット)

POE9F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE9F フラグ (POE9 フラグ)

POE9# 端子に出力停止要求が入力されたことを示すフラグです。
[“1” になる条件]

- POE9# 端子に POE9M[3:0] ビット、POE9M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE9M[3:0] ビットで Low レベル検出を設定している場合、“0” を書くには、POE9# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE9# 端子に Low を入力する必要があります。詳細は、「23.3.10 出力停止状態の解除」を参照してください。

INV ビット (POE9# 端子入力反転ビット)

POE9# 端子の入力信号を論理反転させるビットです。
“0” の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。
“1” にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

23.2.9　出力レベルコントロール / ステータスレジスタ 1 (OCSR1)

アドレス　POE.OCSR1 0009 E402h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み1許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1	出力短絡時出力停止許可ビット1	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR1 レジスタは、MTU3、MTU4 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE1 ビット (出力短絡割り込み 1 許可ビット)

OSF1 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡時出力停止許可ビット 1)

OSF1 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

MTU 相補 PWM 出力信号 (MTU3, MTU4) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF1 フラグは “1” になりません。

アクティブレベルの設定については「23.2.14　アクティブレベルレジスタ 1 (ALR1)」を参照してください。

[“1” になる条件]

- POECR2.MTU3BDZE ビットが “1”、または PMMCR1.MTU3BME ビット、PMMCR1.MTU3DME ビットの少なくとも一方が “1” の場合に、MTIOC3B 信号と MTIOC3D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR2.MTU4ACZE ビットが “1”、または PMMCR1.MTU4AME ビット、PMMCR1.MTU4CME ビットの少なくとも一方が “1” の場合に、MTIOC4A 信号と MTIOC4C 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR2.MTU4BDZE ビットが “1”、または PMMCR1.MTU4BME ビット、PMMCR1.MTU4DME ビットの少なくとも一方が “1” の場合に、MTIOC4B 信号と MTIOC4D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1.　MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、MTU 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.10　出力停止状態の解除」を参照してください。

23.2.10　出力レベルコントロール / ステータスレジスタ 2 (OCSR2)

アドレス　POE.OCSR2 0009 E406h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み2許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE2	出力短絡時出力停止許可ビット2	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR2 レジスタは、MTU6、MTU7 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE2 ビット (出力短絡割り込み 2 許可ビット)

OSF2 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット (出力短絡時出力停止許可ビット 2)

OSF2 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF2 フラグ (出力短絡フラグ 2)

MTU 相補 PWM 出力信号 (MTU6, MTU7) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF2 フラグは “1” になりません。

アクティブレベルの設定については「23.2.15　アクティブレベルレジスタ 2 (ALR2)」を参照してください。

［“1” になる条件］

- POECR2.MTU6BDZE ビットが “1”、または PMMCR1.MTU6BME ビット、PMMCR1.MTU6DME ビットの少なくとも一方が “1” の場合に、MTIOC6B 信号と MTIOC6D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR2.MTU7ACZE ビットが “1”、または PMMCR1.MTU7AME ビット、PMMCR1.MTU7CME ビットの

少なくとも一方が “1” の場合に、MTIOC7A 信号と MTIOC7C 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

- POECR2.MTU7BDZE ビットが “1”、または PMMCR1.MTU7BME ビット、PMMCR1.MTU7DME ビットの少なくとも一方が “1” の場合に、MTIOC7B 信号と MTIOC7D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、MTU 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、**「23.3.10　出力停止状態の解除」**を参照してください。

23.2.11　出力レベルコントロール / ステータスレジスタ 3 (OCSR3)

アドレス　POE.OCSR3 0009 E42Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF3	—	—	—	—	—	OCE3	OIE3	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE3	出力短絡割り込み3許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE3	出力短絡時出力停止許可ビット3	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF3	出力短絡フラグ3	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR3 レジスタは、GPTW0 ～ GPTW2 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE3 ビット (出力短絡割り込み 3 許可ビット)

OSF3 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE3 ビット (出力短絡時出力停止許可ビット 3)

OSF3 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF3 フラグ (出力短絡フラグ 3)

GPTW 相補 PWM 出力信号 (GPTW0 ～ GPTW2) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF3 フラグは “1” になりません。

アクティブレベルの設定については「23.2.16　アクティブレベルレジスタ 3 (ALR3)」を参照してください。

[“1” になる条件]

- POECR3.GPT0ABZE ビットが “1”、または PMMCR2.GPT0AME ビット、PMMCR2.GPT0BME ビットの少なくとも一方が “1” の場合に、GTIOC0A 信号と GTIOC0B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT1ABZE ビットが “1”、または PMMCR2.GPT1AME ビット、PMMCR2.GPT1BME ビットの少なくとも一方が “1” の場合に、GTIOC1A 信号と GTIOC1B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT2ABZE ビットが “1”、または PMMCR2.GPT2AME ビット、PMMCR2.GPT2BME ビットの少なくとも一方が “1” の場合に、GTIOC2A 信号と GTIOC2B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1.　MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、GPTW 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.10　出力停止状態の解除」を参照してください。

23.2.12　出力レベルコントロール / ステータスレジスタ 4 (OCSR4)

アドレス　POE.OCSR4 0009 E446h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF4	—	—	—	—	—	OCE4	OIE4	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE4	出力短絡割り込み4許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE4	出力短絡時出力停止許可ビット4	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF4	出力短絡フラグ4	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR4 レジスタは、GPTW4 ～ GPTW6 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE4 ビット (出力短絡割り込み 4 許可ビット)

OSF4 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE4 ビット (出力短絡時出力停止許可ビット 4)

OSF4 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF4 フラグ (出力短絡フラグ 4)

GPTW 相補 PWM 出力信号 (GPTW4 ～ GPTW6) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF4 フラグは “1” になりません。

アクティブレベルの設定については「23.2.17　アクティブレベルレジスタ 4 (ALR4)」を参照してください。

[“1” になる条件]

- POECR3.GPT4ABZE ビットが “1”、または PMMCR2.GPT4AME ビット、PMMCR2.GPT4BME ビットの少なくとも一方が “1” の場合に、GTIOC4A 信号と GTIOC4B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT5ABZE ビットが “1”、または PMMCR2.GPT5AME ビット、PMMCR2.GPT5BME ビットの少

なくとも一方が “1” の場合に、GTIOC5A 信号と GTIOC5B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

- POECR3.GPT6ABZE ビットが “1”、または PMMCR2.GPT6AME ビット、PMMCR2.GPT6BME ビットの少なくとも一方が “1” の場合に、GTIOC6A 信号と GTIOC6B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、GPTW 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、**「23.3.10　出力停止状態の解除」**を参照してください。

23.2.13　出力レベルコントロール / ステータスレジスタ 5 (OCSR5)

アドレス　POE.OCSR5 0009 E448h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF5	—	—	—	—	—	OCE5	OIE5	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE5	出力短絡割り込み5許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE5	出力短絡時出力停止許可ビット5	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF5	出力短絡フラグ5	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR5 レジスタは、GPTW7 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE5 ビット (出力短絡割り込み 5 許可ビット)

OSF5 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE5 ビット (出力短絡時出力停止許可ビット 5)

OSF5 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF5 フラグ (出力短絡フラグ 5)

GPTW 相補 PWM 出力信号 (GPTW7) の比較する 2 相出力が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF5 フラグは “1” になりません。

アクティブレベルの設定については「23.2.18　アクティブレベルレジスタ 5 (ALR5)」を参照してください。

[“1” になる条件]

- POECR3.GPT7ABZE ビットが “1”、または PMMCR2.GPT7AME ビット、PMMCR2.GPT7BME ビットの少なくとも一方が “1” の場合に、GTIOC7A 信号と GTIOC7B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1.　MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、GPTW 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.10　出力停止状態の解除」を参照してください。

23.2.14　アクティブレベルレジスタ 1 (ALR1)

アドレス　POE.ALR1 0009 E41Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	MTIOC3D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG1A	MTIOC4A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG1B	MTIOC4C信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG2A	MTIOC4B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG2B	MTIOC4D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

ALR1 レジスタは、OCSR1 レジスタで MTU3、MTU4 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B 信号アクティブレベル設定ビット)

MTIOC3B 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (MTIOC3D 信号アクティブレベル設定ビット)

MTIOC3D 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (MTIOC4A 信号アクティブレベル設定ビット)

MTIOC4A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (MTIOC4C 信号アクティブレベル設定ビット)

MTIOC4C 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (MTIOC4B 信号アクティブレベル設定ビット)

MTIOC4B 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベ

ル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (MTIOC4D 信号アクティブレベル設定ビット)

MTIOC4D 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ～ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となり、MTU3、MTU4 出力のアクティブレベルは MTU.TOCR1A および MTU.TOCR2A レジスタの設定に従います。OLSEN ビットが “1” の場合は、MTU3、MTU4 出力のアクティブレベルは OLSGnm ビットの設定に従います。

23.2.15　アクティブレベルレジスタ 2 (ALR2)

アドレス　POE.ALR2 0009 E41Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG6B	OLSG6A	OLSG5B	OLSG5A	OLSG4B	OLSG4A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG4A	MTIOC6B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG4B	MTIOC6D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG5A	MTIOC7A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG5B	MTIOC7C信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG6A	MTIOC7B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG6B	MTIOC7D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

ALR2 レジスタは、OCSR2 レジスタで MTU6、MTU7 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG4A ビット (MTIOC6B 信号アクティブレベル設定ビット)

MTIOC6B 出力のアクティブレベルを設定します。OLSG4A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG4B ビット (MTIOC6D 信号アクティブレベル設定ビット)

MTIOC6D 出力のアクティブレベルを設定します。OLSG4B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG5A ビット (MTIOC7A 信号アクティブレベル設定ビット)

MTIOC7A 出力のアクティブレベルを設定します。OLSG5A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG5B ビット (MTIOC7C 信号アクティブレベル設定ビット)

MTIOC7C 出力のアクティブレベルを設定します。OLSG5B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG6A ビット (MTIOC7B 信号アクティブレベル設定ビット)

MTIOC7B 出力のアクティブレベルを設定します。OLSG6A ビットが “0” の場合は Low をアクティブレベ

ル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG6B ビット (MTIOC7D 信号アクティブレベル設定ビット)

MTIOC7D 出力のアクティブレベルを設定します。OLSG6B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 4 ～ 6、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となり、MTU6、MTU7 出力のアクティブレベルは MTU.TOCR1B および MTU.TOCR2B レジスタの設定に従います。OLSEN ビットが “1” の場合は、MTU6、MTU7 出力のアクティブレベルは OLSGnm ビットの設定に従います。

23.2.16　アクティブレベルレジスタ 3 (ALR3)

アドレス　POE.ALR3 0009 E42Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	GTIOC0A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	GTIOC0B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG1A	GTIOC1A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG1B	GTIOC1B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG2A	GTIOC2A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG2B	GTIOC2B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

ALR3 レジスタは、OCSR3 レジスタで GPTW0 ～ GPTW2 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (GTIOC0A 信号アクティブレベル設定ビット)

GTIOC0A 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (GTIOC0B 信号アクティブレベル設定ビット)

GTIOC0B 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (GTIOC1A 信号アクティブレベル設定ビット)

GTIOC1A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (GTIOC1B 信号アクティブレベル設定ビット)

GTIOC1B 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (GTIOC2A 信号アクティブレベル設定ビット)

GTIOC2A 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (GTIOC2B 信号アクティブレベル設定ビット)

GTIOC2B 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ～ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となります。

GPTW 出力のアクティブレベルは、OLSEN ビットが “1” のときのみ設定可能です。GPTW 出力の短絡検出を行う場合は OLSEN ビットを “1” にし、OLSGnm ビットで GPTW 出力のアクティブレベルを設定してください。

23.2.17　アクティブレベルレジスタ 4 (ALR4)

アドレス　POE.ALR4 0009 E44Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	GTIOC4A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	GTIOC4B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG1A	GTIOC5A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG1B	GTIOC5B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG2A	GTIOC6A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG2B	GTIOC6B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

ALR4 レジスタは、OCSR4 レジスタで GPTW4 ～ GPTW6 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (GTIOC4A 信号アクティブレベル設定ビット)

GTIOC4A 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (GTIOC4B 信号アクティブレベル設定ビット)

GTIOC4B 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (GTIOC5A 信号アクティブレベル設定ビット)

GTIOC5A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (GTIOC5B 信号アクティブレベル設定ビット)

GTIOC5B 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (GTIOC6A 信号アクティブレベル設定ビット)

GTIOC6A 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (GTIOC6B 信号アクティブレベル設定ビット)

GTIOC6B 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ～ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となります。

GPTW 出力のアクティブレベルは、OLSEN ビットが “1” のときのみ設定可能です。GPTW 出力の短絡検出を行う場合は OLSEN ビットを “1” にし、OLSGnm ビットで GPTW 出力のアクティブレベルを設定してください。

23.2.18　アクティブレベルレジスタ 5 (ALR5)

アドレス　POE.ALR5 0009 E44Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	—	—	—	—	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	GTIOC7A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	GTIOC7B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

ALR5 レジスタは、OCSR5 レジスタで GPTW7 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (GTIOC7A 信号アクティブレベル設定ビット)

GTIOC7A 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (GTIOC7B 信号アクティブレベル設定ビット)

GTIOC7B 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSG0m ビット (m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSG0m ビットの設定は無効となります。

GPTW 出力のアクティブレベルは、OLSEN ビットが “1” のときのみ設定可能です。GPTW 出力の短絡検出を行う場合は OLSEN ビットを “1” にし、OLSG0m ビットで GPTW 出力のアクティブレベルを設定してください。

23.2.19　ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス　POE.SPOER 0009 E42Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GPT79 HIZ	GPT46 HIZ	GPT02 HIZ	—	MTUC H9HIZ	—	GPT23 HIZ	GPT01 HIZ	MTUC H0HIZ	MTUC H67HIZ	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3、MTU4端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b1	MTUCH67HIZ	MTU6、MTU7端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b2	MTUCH0HIZ	MTU0端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b3	GPT01HIZ	GPTW0、GPTW1端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b4	GPT23HIZ	GPTW2、GPTW3端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	MTUCH9HIZ	MTU9端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT02HIZ	GPTW0～GPTW2端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b9	GPT46HIZ	GPTW4～GPTW6端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b10	GPT79HIZ	GPTW7端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子の出力停止制御を行うレジスタです。

MTUCH34HIZ ビット (MTU3、MTU4 端子出力停止許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

MTUCH67HIZ ビット (MTU6、MTU7 端子出力停止許可ビット)

MTU 相補 PWM 出力端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

MTUCH0HIZ ビット (MTU0 端子出力停止許可ビット)

MTU0 端子の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT01HIZ ビット (GPTW0、GPTW1 端子出力停止許可ビット)

GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT23HIZ ビット (GPTW2、GPTW3 端子出力停止許可ビット)

GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

MTUCH9HIZ ビット (MTU9 端子出力停止許可ビット)

MTU9 端子の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT02HIZ ビット (GPTW0 ～ GPTW2 端子出力停止許可ビット)

GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT46HIZ ビット (GPTW4 ～ GPTW6 端子出力停止許可ビット)

GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT79HIZ ビット (GPTW7 端子出力停止許可ビット)

GPTW7 端子 (GTIOC7A, GTIOC7B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

23.2.20　ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス　POE.POECR1 0009 E40Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0A端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTIOC0B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTIOC0C端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTIOC0D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンス制御を行うレジスタです。

MTU0AZE ビット (MTIOC0A 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7, 8、m = 0, 4, 8, 10, 11, 12, 9)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0AME ビットを “0” にしてください。

MTU0BZE ビット (MTIOC0B 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0BME ビットを “0” にしてください。

MTU0CZE ビット (MTIOC0C 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0CME ビットを “0” にしてください。

MTU0DZE ビット (MTIOC0D 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0DME ビットを “0” にしてください。

23.2.21　ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

アドレス　POE.POECR2 0009 E40Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3BDZE	MTU4ACZE	MTU4BDZE	—	—	—	—	—	MTU6BDZE	MTU7ACZE	MTU7BDZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTIOC7B/MTIOC7D端子ハイインピーダンス許可ビット (注2)	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	MTU7ACZE	MTIOC7A/MTIOC7C端子ハイインピーダンス許可ビット (注2)	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	MTU6BDZE	MTIOC6B/MTIOC6D端子ハイインピーダンス許可ビット (注2)	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B/MTIOC4D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTIOC4A/MTIOC4C端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTIOC3B/MTIOC3D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。
注2.　MTU6、MTU7を使用しない場合は、“0”にしてください。

POECR2 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) のハイインピーダンス制御を行うレジスタです。

MTU7BDZE ビット (MTIOC7B/MTIOC7D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7, 8、m = 0, 4, 8, 10, 11, 12, 9)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC7B 出力と MTIOC7D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU7BME ビットと MTU7DME ビットを “0” にしてください。

MTU7ACZE ビット (MTIOC7A/MTIOC7C 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7A 出力と MTIOC7C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU7AME ビットと MTU7CME ビットを “0” にしてください。

MTU6BDZE ビット (MTIOC6B/MTIOC6D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、

POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC6B 出力と MTIOC6D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU6BME ビットと MTU6DME ビットを “0” にしてください。

MTU4BDZE ビット (MTIOC4B/MTIOC4D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4B 出力と MTIOC4D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU4BME ビットと MTU4DME ビットを “0” にしてください。

MTU4ACZE ビット (MTIOC4A/MTIOC4C 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4A 出力と MTIOC4C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU4AME ビットと MTU4CME ビットを “0” にしてください。

MTU3BDZE ビット (MTIOC3B/MTIOC3D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC3B 出力と MTIOC3D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU3BME ビットと MTU3DME ビットを “0” にしてください。

23.2.22　ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)

アドレス　POE.POECR3 0009 E40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	GPT7ABZE	GPT6ABZE	GPT5ABZE	GPT4ABZE	GPT3ABZE	GPT2ABZE	GPT1ABZE	GPT0ABZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPT0ABZE	GTIOC0A/GTIOC0B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	GPT1ABZE	GTIOC1A/GTIOC1B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	GPT2ABZE	GTIOC2A/GTIOC2B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b3	GPT3ABZE	GTIOC3A/GTIOC3B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b4	GPT4ABZE	GTIOC4A/GTIOC4B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b5	GPT5ABZE	GTIOC5A/GTIOC5B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b6	GPT6ABZE	GTIOC6A/GTIOC6B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7	GPT7ABZE	GTIOC7A/GTIOC7B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR3 レジスタは、GPTW 出力端子 (GPTW0 ～ GPTW7 端子) のハイインピーダンス制御を行うレジスタです。

GPT0ABZE ビット (GTIOC0A/GTIOC0B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7, 8、m = 0, 4, 8, 10, 11, 12, 9)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5)、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC0A 出力と GTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT0AME ビットと GPT0BME ビットを “0” にしてください。

GPT1ABZE ビット (GTIOC1A/GTIOC1B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC1A 出力と GTIOC1B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT1AME ビットと GPT1BME ビットを “0” にしてください。

GPT2ABZE ビット (GTIOC2A/GTIOC2B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC2A 出力と GTIOC2B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT2AME ビットと GPT2BME ビットを “0” にしてください。

GPT3ABZE ビット (GTIOC3A/GTIOC3B 端子ハイインピーダンス許可ビット)

SPOER.GPT23HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC3A 出力と GTIOC3B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT3AME ビットと GPT3BME ビットを “0” にしてください。

GPT4ABZE ビット (GTIOC4A/GTIOC4B 端子ハイインピーダンス許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC4A 出力と GTIOC4B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT4AME ビットと GPT4BME ビットを “0” にしてください。

GPT5ABZE ビット (GTIOC5A/GTIOC5B 端子ハイインピーダンス許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC5A 出力と GTIOC5B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT5AME ビットと GPT5BME ビットを “0” にしてください。

GPT6ABZE ビット (GTIOC6A/GTIOC6B 端子ハイインピーダンス許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC6A 出力と GTIOC6B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT6AME ビットと GPT6BME ビットを “0” にしてください。

GPT7ABZE ビット (GTIOC7A/GTIOC7B 端子ハイインピーダンス許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC7A 出力と GTIOC7B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT7AME ビットと GPT7BME ビットを “0”

にしてください。

23.2.23　ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス　POE.POECR4 0009 E410h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDMT34ZE	—	IC6ADDMT34ZE	IC5ADDMT34ZE	IC4ADDMT34ZE	IC3ADDMT34ZE	IC2ADDMT34ZE	IC1ADDMT34ZE	CMADDMT34ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT34ZE	MTU3、MTU4出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT34ZE	MTU3、MTU4出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDMT34ZE	MTU3、MTU4出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDMT34ZE	MTU3、MTU4出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU3、MTU4出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU3、MTU4出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT34ZE	MTU3、MTU4出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT34ZE	MTU3、MTU4出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) の出力停止制御条件を設定するレジスタです。

CMADDMT34ZE ビット (MTU3、MTU4 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC2ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC3ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC4ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC5ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC6ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC8ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

23.2.24　ポートアウトプットイネーブルコントロールレジスタ 4B (POECR4B)

アドレス　POE.POECR4B 0009 E44Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDMT67ZE	—	IC6ADDMT67ZE	IC5ADDMT67ZE	IC4ADDMT67ZE	IC3ADDMT67ZE	IC2ADDMT67ZE	IC1ADDMT67ZE	CMADDMT67ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT67ZE	MTU6、MTU7出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT67ZE	MTU6、MTU7出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDMT67ZE	MTU6、MTU7出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDMT67ZE	MTU6、MTU7出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT67ZE	MTU6、MTU7出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT67ZE	MTU6、MTU7出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT67ZE	MTU6、MTU7出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT67ZE	MTU6、MTU7出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR4B レジスタは、MTU 相補 PWM 出力端子 (MTU6、MTU7 端子) の出力停止制御条件を設定するレジスタです。

CMADDMT67ZE ビット (MTU6、MTU7 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC2ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC3ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC4ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC5ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC6ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC8ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

23.2.25　ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス　POE.POECR5 0009 E412h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDMT0ZE	—	IC6ADDMT0ZE	IC5ADDMT0ZE	IC4ADDMT0ZE	IC3ADDMT0ZE	IC2ADDMT0ZE	IC1ADDMT0ZE	CMADDMT0ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT0ZE	MTU0出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT0ZE	MTU0出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDMT0ZE	MTU0出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDMT0ZE	MTU0出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT0ZE	MTU0出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU0出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT0ZE	MTU0出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT0ZE	MTU0出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子の出力停止制御条件を設定するレジスタです。

CMADDMT0ZE ビット (MTU0 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT0ZE ビット (MTU0 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC2ADDMT0ZE ビット (MTU0 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC3ADDMT0ZE ビット (MTU0 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC4ADDMT0ZE ビット (MTU0 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC5ADDMT0ZE ビット (MTU0 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC6ADDMT0ZE ビット (MTU0 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC8ADDMT0ZE ビット (MTU0 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

23.2.26　ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)

アドレス　POE.POECR6 0009 E414h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDGPT01ZE	—	IC6ADDGPT01ZE	IC5ADDGPT01ZE	IC4ADDGPT01ZE	IC3ADDGPT01ZE	IC2ADDGPT01ZE	IC1ADDGPT01ZE	CMADDGPT01ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT01ZE	GPTW0、GPTW1出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR6 レジスタは、GPTW0、GPTW1 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC2ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC3ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC4ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC5ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC6ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC8ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

23.2.27　ポートアウトプットイネーブルコントロールレジスタ 6B (POECR6B)

アドレス　POE.POECR6B 0009 E450h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDGPT23ZE	—	IC6ADDGPT23ZE	IC5ADDGPT23ZE	IC4ADDGPT23ZE	IC3ADDGPT23ZE	IC2ADDGPT23ZE	IC1ADDGPT23ZE	CMADDGPT23ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT23ZE	GPTW2、GPTW3出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b8	IC8ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR6B レジスタは、GPTW2、GPTW3 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC2ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC3ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC4ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC5ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC6ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC8ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

23.2.28　ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7)

アドレス　POE.POECR7 0009 E422h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MTU9DZE	MTU9CZE	MTU9BZE	MTU9AZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU9AZE	MTIOC9A端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	MTU9BZE	MTIOC9B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	MTU9CZE	MTIOC9C端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b3	MTU9DZE	MTIOC9D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR7 レジスタは、MTU9 端子のハイインピーダンス制御を行うレジスタです。

MTU9AZE ビット (MTIOC9A 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7, 8、m = 0, 4, 8, 10, 11, 12, 9)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC9A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9AME ビットを “0” にしてください。

MTU9BZE ビット (MTIOC9B 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9BME ビットを “0” にしてください。

MTU9CZE ビット (MTIOC9C 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9CME ビットを “0” にしてください。

MTU9DZE ビット (MTIOC9D 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9DME ビットを “0” にしてください。

23.2.29　ポートアウトプットイネーブルコントロールレジスタ 8 (POECR8)

アドレス　POE.POECR8 0009 E424h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDMT9ZE	—	IC6ADDMT9ZE	IC5ADDMT9ZE	IC4ADDMT9ZE	IC3ADDMT9ZE	IC2ADDMT9ZE	IC1ADDMT9ZE	CMADDMT9ZE
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT9ZE	MTU9出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDMT9ZE	MTU9出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDMT9ZE	MTU9出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDMT9ZE	MTU9出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDMT9ZE	MTU9出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDMT9ZE	MTU9出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDMT9ZE	MTU9出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT9ZE	MTU9出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR8 レジスタは、MTU9 端子の出力停止制御条件を設定するレジスタです。

CMADDMT9ZE ビット (MTU9 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT9ZE ビット (MTU9 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC2ADDMT9ZE ビット (MTU9 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC3ADDMT9ZE ビット (MTU9 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC4ADDMT9ZE ビット (MTU9 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC5ADDMT9ZE ビット (MTU9 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC6ADDMT9ZE ビット (MTU9 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC8ADDMT9ZE ビット (MTU9 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

23.2.30　ポートアウトプットイネーブルコントロールレジスタ 9 (POECR9)

アドレス　POE.POECR9 0009 E452h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDGPT02ZE	—	IC6ADDGPT02ZE	IC5ADDGPT02ZE	IC4ADDGPT02ZE	IC3ADDGPT02ZE	IC2ADDGPT02ZE	IC1ADDGPT02ZE	CMADDGPT02ZE
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT02ZE	GPTW0～GPTW2出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR9 レジスタは、GPTW0 ～ GPTW2 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC2ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC3ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC4ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC5ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC6ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC8ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

23.2.31　ポートアウトプットイネーブルコントロールレジスタ 10 (POECR10)

アドレス　POE.POECR10 0009 E454h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDGPT46ZE	—	IC6ADDGPT46ZE	IC5ADDGPT46ZE	IC4ADDGPT46ZE	IC3ADDGPT46ZE	IC2ADDGPT46ZE	IC1ADDGPT46ZE	CMADDGPT46ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT46ZE	GPTW4～GPTW6出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR10 レジスタは、GPTW4 ～ GPTW6 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC2ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC3ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC4ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC5ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC6ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC8ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

23.2.32　ポートアウトプットイネーブルコントロールレジスタ 11 (POECR11)

アドレス　POE.POECR11 0009 E456h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IC8ADDGPT79ZE	—	IC6ADDGPT79ZE	IC5ADDGPT79ZE	IC4ADDGPT79ZE	IC3ADDGPT79ZE	IC2ADDGPT79ZE	IC1ADDGPT79ZE	CMADDGPT79ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT79ZE	GPTW7出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDGPT79ZE	GPTW7出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDGPT79ZE	GPTW7出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDGPT79ZE	GPTW7出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDGPT79ZE	GPTW7出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDGPT79ZE	GPTW7出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDGPT79ZE	GPTW7出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT79ZE	GPTW7出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECR11 レジスタは、GPTW7 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT79ZE ビット (GPTW7 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT79ZE ビット (GPTW7 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。

IC2ADDGPT79ZE ビット (GPTW7 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。

IC3ADDGPT79ZE ビット (GPTW7 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。

IC4ADDGPT79ZE ビット (GPTW7 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。

IC5ADDGPT79ZE ビット (GPTW7 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。

IC6ADDGPT79ZE ビット (GPTW7 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。

IC8ADDGPT79ZE ビット (GPTW7 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW7 端子 (GTIOC7A, GTIOC7B) の出力停止制御条件に追加します。

23.2.33　ポートモードマスクコントロールレジスタ 0 (PMMCR0)

アドレス　POE.PMMCR0 0009 E430h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU9DME	MTU9CME	MTU9BME	MTU9AME	—	—	—	—	MTU0DME	MTU0CME	MTU0BME	MTU0AME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AME	MTIOC0A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU0BME	MTIOC0B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU0CME	MTIOC0C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU0DME	MTIOC0D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU9AME	MTIOC9A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	MTU9BME	MTIOC9B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	MTU9CME	MTIOC9C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	MTU9DME	MTIOC9D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

PMMCR0 レジスタは、MTU0、MTU9 端子に関連する PMR レジスタの設定をマスクするレジスタです。

MTU0AME ビット (MTIOC0A 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7, 8、m = 0, 4, 8, 10, 11, 12, 9)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR1.MTU0AZE ビットを “0” にしてください。POECR1.MTU0AZE ビットが “1” の場合、このビットの設定は無視されます。

MTU0BME ビット (MTIOC0B 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR1.MTU0BZE ビットを “0” にしてください。POECR1.MTU0BZE ビットが “1” の場合、このビットの設定は無視されます。

MTU0CME ビット (MTIOC0C 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になった

ときに、MTIOC0C 端子を汎用入出力ポートに切り替えるかどうかを設定します。
　なお、このビットを “1” にする場合は、POECR1.MTU0CZE ビットを “0” にしてください。
POECR1.MTU0CZE ビットが “1” の場合、このビットの設定は無視されます。

MTU0DME ビット (MTIOC0D 端子ポートモードマスク許可ビット)

　SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0D 端子を汎用入出力ポートに切り替えるかどうかを設定します。
　なお、このビットを “1” にする場合は、POECR1.MTU0DZE ビットを “0” にしてください。
POECR1.MTU0DZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9AME ビット (MTIOC9A 端子ポートモードマスク許可ビット)

　SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9A 端子を汎用入出力ポートに切り替えるかどうかを設定します。
　なお、このビットを “1” にする場合は、POECR7.MTU9AZE ビットを “0” にしてください。
POECR7.MTU9AZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9BME ビット (MTIOC9B 端子ポートモードマスク許可ビット)

　SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9B 端子を汎用入出力ポートに切り替えるかどうかを設定します。
　なお、このビットを “1” にする場合は、POECR7.MTU9BZE ビットを “0” にしてください。
POECR7.MTU9BZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9CME ビット (MTIOC9C 端子ポートモードマスク許可ビット)

　SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9C 端子を汎用入出力ポートに切り替えるかどうかを設定します。
　なお、このビットを “1” にする場合は、POECR7.MTU9CZE ビットを “0” にしてください。
POECR7.MTU9CZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9DME ビット (MTIOC9D 端子ポートモードマスク許可ビット)

　SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9D 端子を汎用入出力ポートに切り替えるかどうかを設定します。
　なお、このビットを “1” にする場合は、POECR7.MTU9DZE ビットを “0” にしてください。
POECR7.MTU9DZE ビットが “1” の場合、このビットの設定は無視されます。

23.2.34　ポートモードマスクコントロールレジスタ 1 (PMMCR1)

アドレス　POE.PMMCR1 0009 E432h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MTU3DME	MTU4CME	MTU4DME	MTU3BME	MTU4AME	MTU4BME	—	—	MTU6DME	MTU7CME	MTU7DME	MTU6BME	MTU7AME	MTU7BME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BME	MTIOC7B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU7AME	MTIOC7A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU6BME	MTIOC6B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU7DME	MTIOC7D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	MTU7CME	MTIOC7C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	MTU6DME	MTIOC6D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BME	MTIOC4B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	MTU4AME	MTIOC4A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	MTU3BME	MTIOC3B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	MTU4DME	MTIOC4D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b12	MTU4CME	MTIOC4C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b13	MTU3DME	MTIOC3D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

PMMCR1 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) に関連する PMR レジスタの設定をマスクするレジスタです。

MTU7BME ビット (MTIOC7B 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7, 8、m = 0, 4, 8, 10, 11, 12, 9)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC7B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7BDZE ビットを “0” にしてください。POECR2.MTU7BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU7AME ビット (MTIOC7A 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フ

ラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7ACZE ビットを “0” にしてください。POECR2.MTU7ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU6BME ビット (MTIOC6B 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC6B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU6BDZE ビットを “0” にしてください。POECR2.MTU6BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU7DME ビット (MTIOC7D 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7BDZE ビットを “0” にしてください。POECR2.MTU7BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU7CME ビット (MTIOC7C 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7ACZE ビットを “0” にしてください。POECR2.MTU7ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU6DME ビット (MTIOC6D 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC6D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU6BDZE ビットを “0” にしてください。POECR2.MTU6BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4BME ビット (MTIOC4B 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4BDZE ビットを “0” にしてください。POECR2.MTU4BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4AME ビット (MTIOC4A 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4ACZE ビットを “0” にしてください。POECR2.MTU4ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU3BME ビット (MTIOC3B 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC3B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU3BDZE ビットを “0” にしてください。POECR2.MTU3BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4DME ビット (MTIOC4D 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4BDZE ビットを “0” にしてください。POECR2.MTU4BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4CME ビット (MTIOC4C 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4ACZE ビットを “0” にしてください。POECR2.MTU4ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU3DME ビット (MTIOC3D 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC3D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU3BDZE ビットを “0” にしてください。POECR2.MTU3BDZE ビットが “1” の場合、このビットの設定は無視されます。

23.2.35　ポートモードマスクコントロールレジスタ 2 (PMMCR2)

アドレス　POE.PMMCR2 0009 E434h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GPT7BME	GPT7AME	GPT6BME	GPT6AME	GPT5BME	GPT5AME	GPT4BME	GPT4AME	GPT3BME	GPT3AME	GPT2BME	GPT2AME	GPT1BME	GPT1AME	GPT0BME	GPT0AME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPT0AME	GTIOC0A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	GPT0BME	GTIOC0B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	GPT1AME	GTIOC1A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	GPT1BME	GTIOC1B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	GPT2AME	GTIOC2A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	GPT2BME	GTIOC2B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b6	GPT3AME	GTIOC3A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b7	GPT3BME	GTIOC3B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b8	GPT4AME	GTIOC4A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	GPT4BME	GTIOC4B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	GPT5AME	GTIOC5A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	GPT5BME	GTIOC5B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b12	GPT6AME	GTIOC6A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b13	GPT6BME	GTIOC6B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b14	GPT7AME	GTIOC7A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15	GPT7BME	GTIOC7B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

PMMCR2 レジスタは、GPTW 出力端子 (GPTW0 ～ GPTW7 端子) に関連する PMR レジスタの設定をマスクするレジスタです。

GPT0AME ビット (GTIOC0A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7, 8、m = 0, 4, 8, 10, 11, 12, 9)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5)、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT0ABZE ビットを “0” にしてください。POECR3.GPT0ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT0BME ビット (GTIOC0B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT0ABZE ビットを “0” にしてください。POECR3.GPT0ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT1AME ビット (GTIOC1A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC1A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT1ABZE ビットを “0” にしてください。POECR3.GPT1ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT1BME ビット (GTIOC1B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC1B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT1ABZE ビットを “0” にしてください。POECR3.GPT1ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT2AME ビット (GTIOC2A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに GTIOC2A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT2ABZE ビットを “0” にしてください。POECR3.GPT2ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT2BME ビット (GTIOC2B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC2B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT2ABZE ビットを “0” にしてください。

POECR3.GPT2ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT3AME ビット (GTIOC3A 端子ポートモードマスク許可ビット)

SPOER.GPT23HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC3A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT3ABZE ビットを “0” にしてください。

POECR3.GPT3ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT3BME ビット (GTIOC3B 端子ポートモードマスク許可ビット)

SPOER.GPT23HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC3B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT3ABZE ビットを “0” にしてください。

POECR3.GPT3ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT4AME ビット (GTIOC4A 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC4A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT4ABZE ビットを “0” にしてください。

POECR3.GPT4ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT4BME ビット (GTIOC4B 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC4B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT4ABZE ビットを “0” にしてください。

POECR3.GPT4ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT5AME ビット (GTIOC5A 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC5A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT5ABZE ビットを “0” にしてください。

POECR3.GPT5ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT5BME ビット (GTIOC5B 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC5B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT5ABZE ビットを “0” にしてください。

POECR3.GPT5ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT6AME ビット (GTIOC6A 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC6A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT6ABZE ビットを “0” にしてください。POECR3.GPT6ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT6BME ビット (GTIOC6B 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC6B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT6ABZE ビットを “0” にしてください。POECR3.GPT6ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT7AME ビット (GTIOC7A 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC7A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT7ABZE ビットを “0” にしてください。POECR3.GPT7ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT7BME ビット (GTIOC7B 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC7B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT7ABZE ビットを “0” にしてください。POECR3.GPT7ABZE ビットが “1” の場合、このビットの設定は無視されます。

23.2.36 ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR)

アドレス POE.POECMPFR 0009 E426h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	C5FLAG	C4FLAG	C3FLAG	C2FLAG	C1FLAG	C0FLAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0FLAG	コンパレータチャネル0出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b1	C1FLAG	コンパレータチャネル1出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b2	C2FLAG	コンパレータチャネル2出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b3	C3FLAG	コンパレータチャネル3出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b4	C4FLAG	コンパレータチャネル4出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b5	C5FLAG	コンパレータチャネル5出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

CjFLAG フラグ (コンパレータチャネル j 出力検出フラグ) (j = 0 ～ 5)

各コンパレータ出力の検出 / 未検出状態を示すフラグです。

[“1” になる条件]

- コンパレータ出力の Low から High への変化を検知したとき
  - コンパレータが正転出力の場合: 基準電圧よりも低い入力電圧から高い入力電圧への変化
  - コンパレータが反転出力の場合: 基準電圧よりも高い入力電圧から低い入力電圧への変化

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

23.2.37　ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)

アドレス　POE.POECMPSEL 0009 E428h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	POEREQ5	POEREQ4	POEREQ3	POEREQ2	POEREQ1	POEREQ0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャネル0出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャネル1出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャネル2出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b3	POEREQ3	コンパレータチャネル3出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b4	POEREQ4	コンパレータチャネル4出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b5	POEREQ5	コンパレータチャネル5出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECMPSEL レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタです。

POEREQj ビット (コンパレータチャネル j 出力停止許可ビット) (j = 0 ～ 5)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

23.2.38 ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPEXm) (m = 0 ～ 8)

アドレス　POE.POECMPEX0 0009 E438h, POE.POECMPEX1 0009 E439h, POE.POECMPEX2 0009 E43Ah, POE.POECMPEX3 0009 E43Bh, POE.POECMPEX4 0009 E43Ch, POE.POECMPEX5 0009 E43Dh, POE.POECMPEX6 0009 E458h, POE.POECMPEX7 0009 E459h, POE.POECMPEX8 0009 E45Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	POEREQ5	POEREQ4	POEREQ3	POEREQ2	POEREQ1	POEREQ0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャネル0出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャネル1出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャネル2出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b3	POEREQ3	コンパレータチャネル3出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b4	POEREQ4	コンパレータチャネル4出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b5	POEREQ5	コンパレータチャネル5出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECMPEXm レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタです。POECMPSEL レジスタが全端子一括で条件を選択するのに対し、POECMPEXm レジスタでは出力端子グループごとに条件が選択できます。**表 23.4** に出力端子グループと対応する POECMPEXm レジスタを示します。

表23.4　出力端子グループと対応するPOECMPEXm レジスタ

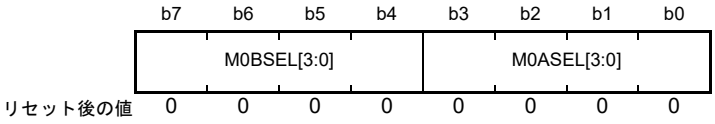
出力端子グループ	対応するPOECMPEXm レジスタ	対応するCFLAG追加ビット
MTU3, MTU4	POECMPEX0	POECR4.CMADDMT34ZE
MTU6, MTU7	POECMPEX1	POECR4B.CMADDMT67ZE
MTU0	POECMPEX2	POECR5.CMADDMT0ZE
MTU9	POECMPEX3	POECR8.CMADDMT9ZE
GPTW0, GPTW1	POECMPEX4	POECR6.CMADDGPT01ZE
GPTW2, GPTW3	POECMPEX5	POECR6B.CMADDGPT23ZE
GPTW0 ～ GPTW2	POECMPEX6	POECR9.CMADDGPT02ZE
GPTW4 ～ GPTW6	POECMPEX7	POECR10.CMADDGPT46ZE
GPTW7	POECMPEX8	POECR11.CMADDGPT79ZE

POEREQj ビット (コンパレータチャネル j 出力停止許可ビット) (j = 0 ～ 5)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

23.2.39　MTU0 端子選択レジスタ 1 (M0SELR1)

アドレス　POE.M0SELR1 0009 E460h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0ASEL[3:0]	MTU0-A (MTIOC0A)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC0A端子も出力停止制御を行わない 0 0 0 1：PB3をMTIOC0A端子として出力停止制御を行う 0 0 1 0：P31をMTIOC0A端子として出力停止制御を行う 0 0 1 1：P70をMTIOC0A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M0BSEL[3:0]	MTU0-B (MTIOC0B)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC0B端子も出力停止制御を行わない 0 0 0 1：PB2をMTIOC0B端子として出力停止制御を行う 0 0 1 0：P30をMTIOC0B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M0SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU0-A/B の端子を選択します。

M0ASEL[3:0] ビット (MTU0-A (MTIOC0A) 端子選択ビット)

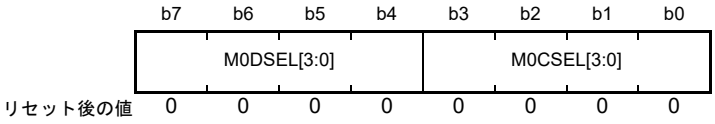
出力停止制御の対象となる MTIOC0A 端子を選択します。

M0BSEL[3:0] ビット (MTU0-B (MTIOC0B) 端子選択ビット)

出力停止制御の対象となる MTIOC0B 端子を選択します。

23.2.40　MTU0 端子選択レジスタ 2 (M0SELR2)

アドレス　POE.M0SELR2 0009 E461h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0CSEL[3:0]	MTU0-C (MTIOC0C)端子選択ビット	b3　b0 0000：どのMTIOC0C端子も出力停止制御を行わない 0001：PB1をMTIOC0C端子として出力停止制御を行う 0010：P27をMTIOC0C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M0DSEL[3:0]	MTU0-D (MTIOC0D)端子選択ビット	b7　b4 0000：どのMTIOC0D端子も出力停止制御を行わない 0001：PB0をMTIOC0D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M0SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU0-C/D の端子を選択します。

M0CSEL[3:0] ビット (MTU0-C (MTIOC0C) 端子選択ビット)

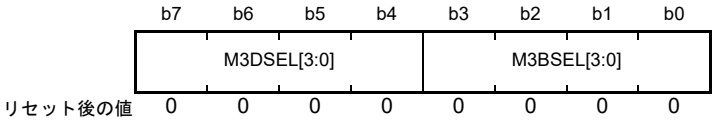
出力停止制御の対象となる MTIOC0C 端子を選択します。

M0DSEL[3:0] ビット (MTU0-D (MTIOC0D) 端子選択ビット)

出力停止制御の対象となる MTIOC0D 端子を選択します。

23.2.41　MTU3 端子選択レジスタ (M3SELR)

アドレス　POE.M3SELR 0009 E462h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M3BSEL[3:0]	MTU3-B (MTIOC3B)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC3B端子も出力停止制御を行わない 0 0 0 1：P71をMTIOC3B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M3DSEL[3:0]	MTU3-D (MTIOC3D)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC3D端子も出力停止制御を行わない 0 0 0 1：P74をMTIOC3D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M3SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU3-B/D の端子を選択します。

M3BSEL[3:0] ビット (MTU3-B (MTIOC3B) 端子選択ビット)

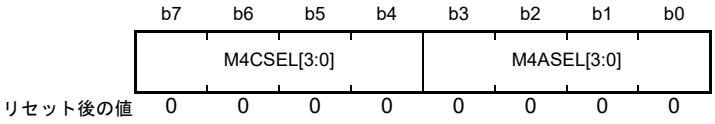
出力停止制御の対象となる MTIOC3B 端子を選択します。

M3DSEL[3:0] ビット (MTU3-D (MTIOC3D) 端子選択ビット)

出力停止制御の対象となる MTIOC3D 端子を選択します。

23.2.42　MTU4 端子選択レジスタ 1 (M4SELR1)

アドレス　POE.M4SELR1 0009 E463h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4ASEL[3:0]	MTU4-A (MTIOC4A)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC4A端子も出力停止制御を行わない 0 0 0 1：P72をMTIOC4A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M4CSEL[3:0]	MTU4-C (MTIOC4C)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC4C端子も出力停止制御を行わない 0 0 0 1：P75をMTIOC4C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M4SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU4-A/C の端子を選択します。

M4ASEL[3:0] ビット (MTU4-A (MTIOC4A) 端子選択ビット)

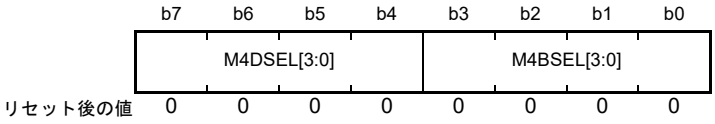
出力停止の対象となる MTIOC4A 端子を選択します。

M4CSEL[3:0] ビット (MTU4-C (MTIOC4C) 端子選択ビット)

出力停止の対象となる MTIOC4C 端子を選択します。

23.2.43　MTU4 端子選択レジスタ 2 (M4SELR2)

アドレス　POE.M4SELR2 0009 E464h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4BSEL[3:0]	MTU4-B (MTIOC4B)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC4B端子も出力停止制御を行わない 0 0 0 1：P73をMTIOC4B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M4DSEL[3:0]	MTU4-D (MTIOC4D)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC4D端子も出力停止制御を行わない 0 0 0 1：P76をMTIOC4D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M4SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU4-B/D の端子を選択します。

M4BSEL[3:0] ビット (MTU4-B (MTIOC4B) 端子選択ビット)

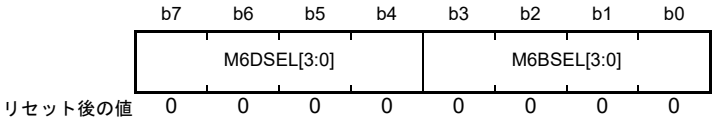
出力停止制御の対象となる MTIOC4B 端子を選択します。

M4DSEL[3:0] ビット (MTU4-D (MTIOC4D) 端子選択ビット)

出力停止制御の対象となる MTIOC4D 端子を選択します。

23.2.44　MTU6 端子選択レジスタ (M6SELR)

アドレス　POE.M6SELR 0009 E465h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M6BSEL[3:0]	MTU6-B (MTIOC6B)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC6B端子も出力停止制御を行わない 0 0 0 1：P95をMTIOC6B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M6DSEL[3:0]	MTU6-D (MTIOC6D)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC6D端子も出力停止制御を行わない 0 0 0 1：P92をMTIOC6D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M6SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU6-B/D の端子を選択します。

M6BSEL[3:0] ビット (MTU6-B (MTIOC6B) 端子選択ビット)

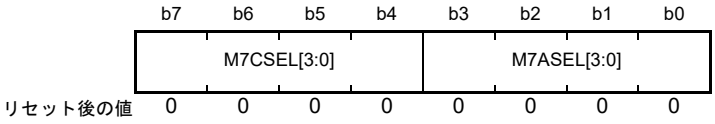
出力停止制御の対象となる MTIOC6B 端子を選択します。

M6DSEL[3:0] ビット (MTU6-D (MTIOC6D) 端子選択ビット)

出力停止制御の対象となる MTIOC6D 端子を選択します。

23.2.45　MTU7 端子選択レジスタ 1 (M7SELR1)

アドレス　POE.M7SELR1 0009 E466h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M7ASEL[3:0]	MTU7-A (MTIOC7A)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC7A端子も出力停止制御を行わない 0 0 0 1：P94をMTIOC7A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M7CSEL[3:0]	MTU7-C (MTIOC7C)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC7C端子も出力停止制御を行わない 0 0 0 1：P91をMTIOC7C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M7SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU7-A/C の端子を選択します。

M7ASEL[3:0] ビット (MTU7-A (MTIOC7A) 端子選択ビット)

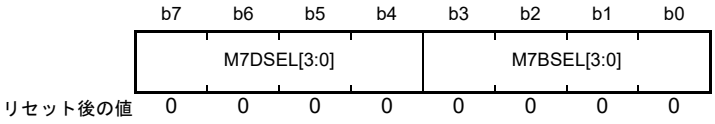
出力停止制御の対象となる MTIOC7A 端子を選択します。

M7CSEL[3:0] ビット (MTU7-C (MTIOC7C) 端子選択ビット)

出力停止制御の対象となる MTIOC7C 端子を選択します。

23.2.46　MTU7 端子選択レジスタ 2 (M7SELR2)

アドレス　POE.M7SELR2 0009 E467h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M7BSEL[3:0]	MTU7-B (MTIOC7B)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC7B端子も出力停止制御を行わない 0 0 0 1：P93をMTIOC7B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M7DSEL[3:0]	MTU7-D (MTIOC7D)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC7D端子も出力停止制御を行わない 0 0 0 1：P90をMTIOC7D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M7SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU7-B/D の端子を選択します。

M7BSEL[3:0] ビット (MTU7-B (MTIOC7B) 端子選択ビット)

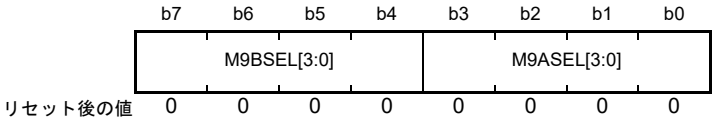
出力停止制御の対象となる MTIOC7B 端子を選択します。

M7DSEL[3:0] ビット (MTU7-D (MTIOC7D) 端子選択ビット)

出力停止制御の対象となる MTIOC7D 端子を選択します。

23.2.47　MTU9 端子選択レジスタ 1 (M9SELR1)

アドレス　POE.M9SELR1 0009 E468h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M9ASEL[3:0]	MTU9-A (MTIOC9A)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC9A端子も出力停止制御を行わない 0 0 0 1：PD7をMTIOC9A端子として出力停止制御を行う 0 0 1 0：P21をMTIOC9A端子として出力停止制御を行う 0 0 1 1：P00をMTIOC9A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M9BSEL[3:0]	MTU9-B (MTIOC9B)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC9B端子も出力停止制御を行わない 0 0 0 1：PE0をMTIOC9B端子として出力停止制御を行う 0 0 1 1：P10をMTIOC9B端子として出力停止制御を行う 0 1 0 0：P22をMTIOC9B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M9SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU9-A/B の端子を選択します。

M9ASEL[3:0] ビット (MTU9-A (MTIOC9A) 端子選択ビット)

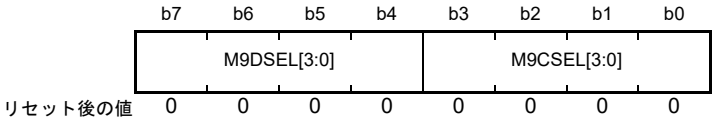
出力停止制御の対象となる MTIOC9A 端子を選択します。

M9BSEL[3:0] ビット (MTU9-B (MTIOC9B) 端子選択ビット)

出力停止制御の対象となる MTIOC9B 端子を選択します。

23.2.48　MTU9 端子選択レジスタ 2 (M9SELR2)

アドレス　POE.M9SELR2 0009 E469h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M9CSEL[3:0]	MTU9-C (MTIOC9C)端子選択ビット	b3　b0 0 0 0 0：どのMTIOC9C端子も出力停止制御を行わない 0 0 0 1：PD6をMTIOC9C端子として出力停止制御を行う 0 0 1 0：P20をMTIOC9C端子として出力停止制御を行う 0 0 1 1：P01をMTIOC9C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M9DSEL[3:0]	MTU9-D (MTIOC9D)端子選択ビット	b7　b4 0 0 0 0：どのMTIOC9D端子も出力停止制御を行わない 0 0 0 1：PE1をMTIOC9D端子として出力停止制御を行う 0 0 1 0：PN7をMTIOC9D端子として出力停止制御を行う 0 0 1 1：PE5をMTIOC9D端子として出力停止制御を行う 0 1 0 0：P11をMTIOC9D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

M9SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU9-C/D の端子を選択します。

M9CSEL[3:0] ビット (MTU9-C (MTIOC9C) 端子選択ビット)

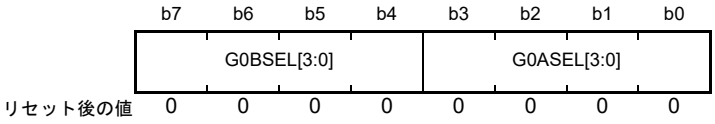
出力停止制御の対象となる MTIOC9C 端子を選択します。

M9DSEL[3:0] ビット (MTU9-D (MTIOC9D) 端子選択ビット)

出力停止制御の対象となる MTIOC9D 端子を選択します。

23.2.49　GPTW0 端子選択レジスタ (G0SELR)

アドレス　POE.G0SELR 0009 E46Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	G0ASEL[3:0]	GPTW0-A (GTIOC0A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC0A端子も出力停止制御を行わない 0 0 0 1：P71をGTIOC0A端子として出力停止制御を行う 0 0 1 0：PD7をGTIOC0A端子として出力停止制御を行う 0 1 0 0：PD2をGTIOC0A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G0BSEL[3:0]	GPTW0-B (GTIOC0B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC0B端子も出力停止制御を行わない 0 0 0 1：P74をGTIOC0B端子として出力停止制御を行う 0 0 1 0：PD6をGTIOC0B端子として出力停止制御を行う 0 1 0 0：PD1をGTIOC0B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G0SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW0-A/B の端子を選択します。

G0ASEL[3:0] ビット (GPTW0-A (GTIOC0A) 端子選択ビット)

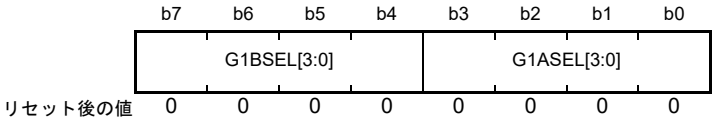
出力停止制御の対象となる GTIOC0A 端子を選択します。

G0BSEL[3:0] ビット (GPTW0-B (GTIOC0B) 端子選択ビット)

出力停止制御の対象となる GTIOC0B 端子を選択します。

23.2.50　GPTW1 端子選択レジスタ (G1SELR)

アドレス　POE.G1SELR 0009 E46Bh



ビット	シンボル	ビット名	機能	R/W
b3-b0	G1ASEL[3:0]	GPTW1-A (GTIOC1A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC1A端子も出力停止制御を行わない 0 0 0 1：P72をGTIOC1A端子として出力停止制御を行う 0 0 1 0：PD5をGTIOC1A端子として出力停止制御を行う 0 1 0 0：PD0をGTIOC1A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G1BSEL[3:0]	GPTW1-B (GTIOC1B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC1B端子も出力停止制御を行わない 0 0 0 1：P75をGTIOC1B端子として出力停止制御を行う 0 0 1 0：PD4をGTIOC1B端子として出力停止制御を行う 0 1 0 0：PB7をGTIOC1B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G1SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW1-A/B の端子を選択します。

G1ASEL[3:0] ビット (GPTW1-A (GTIOC1A) 端子選択ビット)

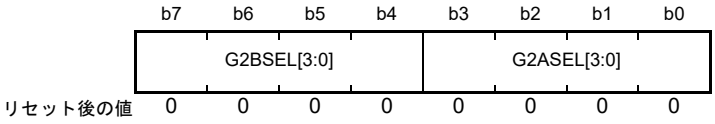
出力停止制御の対象となる GTIOC1A 端子を選択します。

G1BSEL[3:0] ビット (GPTW1-B (GTIOC1B) 端子選択ビット)

出力停止制御の対象となる GTIOC1B 端子を選択します。

23.2.51　GPTW2 端子選択レジスタ (G2SELR)

アドレス　POE.G2SELR 0009 E46Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	G2ASEL[3:0]	GPTW2-A (GTIOC2A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC2A端子も出力停止制御を行わない 0 0 0 1：P73をGTIOC2A端子として出力停止制御を行う 0 0 1 0：PD3をGTIOC2A端子として出力停止制御を行う 0 1 0 0：PB6をGTIOC2A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G2BSEL[3:0]	GPTW2-B (GTIOC2B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC2B端子も出力停止制御を行わない 0 0 0 1：P76をGTIOC2B端子として出力停止制御を行う 0 0 1 0：PD2をGTIOC2B端子として出力停止制御を行う 0 1 0 0：PB5をGTIOC2B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G2SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW2-A/B の端子を選択します。

G2ASEL[3:0] ビット (GPTW2-A (GTIOC2A) 端子選択ビット)

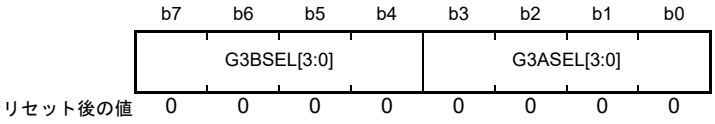
出力停止制御の対象となる GTIOC2A 端子を選択します。

G2BSEL[3:0] ビット (GPTW2-B (GTIOC2B) 端子選択ビット)

出力停止制御の対象となる GTIOC2B 端子を選択します。

23.2.52　GPTW3 端子選択レジスタ (G3SELR)

アドレス　POE.G3SELR 0009 E46Dh



ビット	シンボル	ビット名	機能	R/W
b3-b0	G3ASEL[3:0]	GPTW3-A (GTIOC3A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC3A端子も出力停止制御を行わない 0 0 0 1：P32をGTIOC3A端子として出力停止制御を行う 0 0 1 0：PD1をGTIOC3A端子として出力停止制御を行う 0 0 1 1：PE5をGTIOC3A端子として出力停止制御を行う 0 1 0 0：PD7をGTIOC3A端子として出力停止制御を行う 0 1 0 1：PB6をGTIOC3A端子として出力停止制御を行う 0 1 1 0：P10をGTIOC3A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G3BSEL[3:0]	GPTW3-B (GTIOC3B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC3B端子も出力停止制御を行わない 0 0 0 1：P33をGTIOC3B端子として出力停止制御を行う 0 0 1 0：PD0をGTIOC3B端子として出力停止制御を行う 0 0 1 1：P11をGTIOC3B端子として出力停止制御を行う 0 1 0 0：PD6をGTIOC3B端子として出力停止制御を行う 0 1 0 1：PB5をGTIOC3B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G3SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW3-A/B の端子を選択します。

G3ASEL[3:0] ビット (GPTW3-A (GTIOC3A) 端子選択ビット)

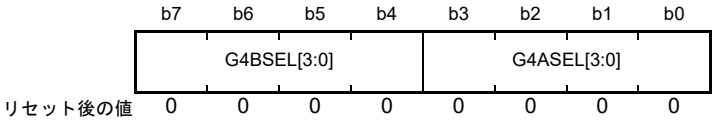
出力停止制御の対象となる GTIOC3A 端子を選択します。

G3BSEL[3:0] ビット (GPTW3-B (GTIOC3B) 端子選択ビット)

出力停止制御の対象となる GTIOC3B 端子を選択します。

23.2.53　GPTW4 端子選択レジスタ (G4SELR)

アドレス　POE.G4SELR 0009 E46Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	G4ASEL[3:0]	GPTW4-A (GTIOC4A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC4A端子も出力停止制御を行わない 0 0 0 1：P95をGTIOC4A端子として出力停止制御を行う 0 0 1 0：P71をGTIOC4A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G4BSEL[3:0]	GPTW4-B (GTIOC4B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC4B端子も出力停止制御を行わない 0 0 0 1：P92をGTIOC4B端子として出力停止制御を行う 0 0 1 0：P74をGTIOC4B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G4SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW4-A/B の端子を選択します。

G4ASEL[3:0] ビット (GPTW4-A (GTIOC4A) 端子選択ビット)

出力停止制御の対象となる GTIOC4A 端子を選択します。

G4BSEL[3:0] ビット (GPTW4-B (GTIOC4B) 端子選択ビット)

出力停止制御の対象となる GTIOC4B 端子を選択します。

23.2.54　GPTW5 端子選択レジスタ (G5SELR)

アドレス　POE.G5SELR 0009 E46Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	G5BSEL[3:0]				G5ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G5ASEL[3:0]	GPTW5-A (GTIOC5A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC5A端子も出力停止制御を行わない 0 0 0 1：P94をGTIOC5A端子として出力停止制御を行う 0 0 1 0：P72をGTIOC5A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G5BSEL[3:0]	GPTW5-B (GTIOC5B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC5B端子も出力停止制御を行わない 0 0 0 1：P91をGTIOC5B端子として出力停止制御を行う 0 0 1 0：P75をGTIOC5B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G5SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW5-A/B の端子を選択します。

G5ASEL[3:0] ビット (GPTW5-A (GTIOC5A) 端子選択ビット)

出力停止制御の対象となる GTIOC5A 端子を選択します。

G5BSEL[3:0] ビット (GPTW5-B (GTIOC5B) 端子選択ビット)

出力停止制御の対象となる GTIOC5B 端子を選択します。

23.2.55　GPTW6 端子選択レジスタ (G6SELR)

アドレス　POE.G6SELR 0009 E470h

	b7	b6	b5	b4	b3	b2	b1	b0
	G6BSEL[3:0]				G6ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G6ASEL[3:0]	GPTW6-A (GTIOC6A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC6A端子も出力停止制御を行わない 0 0 0 1：P93をGTIOC6A端子として出力停止制御を行う 0 0 1 0：P73をGTIOC6A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G6BSEL[3:0]	GPTW6-B (GTIOC6B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC6B端子も出力停止制御を行わない 0 0 0 1：P90をGTIOC6B端子として出力停止制御を行う 0 0 1 0：P76をGTIOC6B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G6SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW6-A/B の端子を選択します。

G6ASEL[3:0] ビット (GPTW6-A (GTIOC6A) 端子選択ビット)

出力停止制御の対象となる GTIOC6A 端子を選択します。

G6BSEL[3:0] ビット (GPTW6-B (GTIOC6B) 端子選択ビット)

出力停止制御の対象となる GTIOC6B 端子を選択します。

23.2.56　GPTW7 端子選択レジスタ (G7SELR)

アドレス　POE.G7SELR 0009 E471h

	b7	b6	b5	b4	b3	b2	b1	b0
	G7BSEL[3:0]				G7ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G7ASEL[3:0]	GPTW7-A (GTIOC7A)端子選択ビット	b3　b0 0 0 0 0：どのGTIOC7A端子も出力停止制御を行わない 0 0 0 1：P95をGTIOC7A端子として出力停止制御を行う 0 0 1 0：PB2をGTIOC7A端子として出力停止制御を行う 0 0 1 1：P32をGTIOC7A端子として出力停止制御を行う 0 1 0 0：PD5をGTIOC7A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G7BSEL[3:0]	GPTW7-B (GTIOC7B)端子選択ビット	b7　b4 0 0 0 0：どのGTIOC7B端子も出力停止制御を行わない 0 0 0 1：P92をGTIOC7B端子として出力停止制御を行う 0 0 1 0：PB1をGTIOC7B端子として出力停止制御を行う 0 0 1 1：P33をGTIOC7B端子として出力停止制御を行う 0 1 0 0：PD3をGTIOC7B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1.　リセット後、1回のみ書き込み可能です。

G7SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW7-A/B の端子を選択します。

G7ASEL[3:0] ビット (GPTW7-A (GTIOC7A) 端子選択ビット)

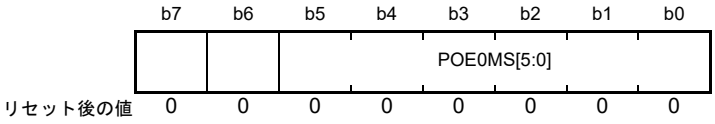
出力停止制御の対象となる GTIOC7A 端子を選択します。

G7BSEL[3:0] ビット (GPTW7-B (GTIOC7B) 端子選択ビット)

出力停止制御の対象となる GTIOC7B 端子を選択します。

23.2.57　入力信号マスク制御レジスタ 0 (IMCR0)

アドレス　POE.IMCR0 0009 E45Ch



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE0MS[5:0]	POE0マスク信号選択ビット	b5 b0 000000：POE0#信号をマスクしない 000001：MTIOC0A信号でPOE0#信号をマスクする 000010：MTIOC0B信号でPOE0#信号をマスクする 000011：MTIOC0C信号でPOE0#信号をマスクする 000100：MTIOC0D信号でPOE0#信号をマスクする 000101：MTIOC1A信号でPOE0#信号をマスクする 000110：MTIOC1B信号でPOE0#信号をマスクする 000111：MTIOC2A信号でPOE0#信号をマスクする 001000：MTIOC2B信号でPOE0#信号をマスクする 001001：MTIOC3A信号でPOE0#信号をマスクする 001010：MTIOC3B信号でPOE0#信号をマスクする 001011：MTIOC3C信号でPOE0#信号をマスクする 001100：MTIOC3D信号でPOE0#信号をマスクする 001101：MTIOC4A信号でPOE0#信号をマスクする 001110：MTIOC4B信号でPOE0#信号をマスクする 001111：MTIOC4C信号でPOE0#信号をマスクする 010000：MTIOC4D信号でPOE0#信号をマスクする 010001：MTIOC6A信号でPOE0#信号をマスクする 010010：MTIOC6B信号でPOE0#信号をマスクする 010011：MTIOC6C信号でPOE0#信号をマスクする 010100：MTIOC6D信号でPOE0#信号をマスクする 010101：MTIOC7A信号でPOE0#信号をマスクする 010110：MTIOC7B信号でPOE0#信号をマスクする 010111：MTIOC7C信号でPOE0#信号をマスクする 011000：MTIOC7D信号でPOE0#信号をマスクする 011001：MTIOC9A信号でPOE0#信号をマスクする 011010：MTIOC9B信号でPOE0#信号をマスクする 011011：MTIOC9C信号でPOE0#信号をマスクする 011100：MTIOC9D信号でPOE0#信号をマスクする 011101：GTIOC0A信号でPOE0#信号をマスクする 011110：GTIOC0B信号でPOE0#信号をマスクする 011111：GTIOC1A信号でPOE0#信号をマスクする 100000：GTIOC1B信号でPOE0#信号をマスクする 100001：GTIOC2A信号でPOE0#信号をマスクする 100010：GTIOC2B信号でPOE0#信号をマスクする 100011：GTIOC3A信号でPOE0#信号をマスクする 100100：GTIOC3B信号でPOE0#信号をマスクする 100101：GTIOC4A信号でPOE0#信号をマスクする 100110：GTIOC4B信号でPOE0#信号をマスクする 100111：GTIOC5A信号でPOE0#信号をマスクする 101000：GTIOC5B信号でPOE0#信号をマスクする 101001：GTIOC6A信号でPOE0#信号をマスクする 101010：GTIOC6B信号でPOE0#信号をマスクする 101011：GTIOC7A信号でPOE0#信号をマスクする 101100：GTIOC7B信号でPOE0#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR0 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE0# 端子による出力停止要求をマスクするためのレジスタです。

POE0MS[5:0] ビット (POE0 マスク信号選択ビット)

POE0# 信号をマスクするための信号を選択します。選択された信号が High のとき POE0# 信号がマスクされます。

23.2.58　入力信号マスク制御レジスタ 1 (IMCR1)

アドレス　POE.IMCR1 0009 E45Dh

	b7	b6	b5	b4	b3	b2	b1	b0
			POE4MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	POE4MS[5:0]	POE4マスク信号選択ビット	b5　b0 000000：POE4#信号をマスクしない 000001：MTIOC0A信号でPOE4#信号をマスクする 000010：MTIOC0B信号でPOE4#信号をマスクする 000011：MTIOC0C信号でPOE4#信号をマスクする 000100：MTIOC0D信号でPOE4#信号をマスクする 000101：MTIOC1A信号でPOE4#信号をマスクする 000110：MTIOC1B信号でPOE4#信号をマスクする 000111：MTIOC2A信号でPOE4#信号をマスクする 001000：MTIOC2B信号でPOE4#信号をマスクする 001001：MTIOC3A信号でPOE4#信号をマスクする 001010：MTIOC3B信号でPOE4#信号をマスクする 001011：MTIOC3C信号でPOE4#信号をマスクする 001100：MTIOC3D信号でPOE4#信号をマスクする 001101：MTIOC4A信号でPOE4#信号をマスクする 001110：MTIOC4B信号でPOE4#信号をマスクする 001111：MTIOC4C信号でPOE4#信号をマスクする 010000：MTIOC4D信号でPOE4#信号をマスクする 010001：MTIOC6A信号でPOE4#信号をマスクする 010010：MTIOC6B信号でPOE4#信号をマスクする 010011：MTIOC6C信号でPOE4#信号をマスクする 010100：MTIOC6D信号でPOE4#信号をマスクする 010101：MTIOC7A信号でPOE4#信号をマスクする 010110：MTIOC7B信号でPOE4#信号をマスクする 010111：MTIOC7C信号でPOE4#信号をマスクする 011000：MTIOC7D信号でPOE4#信号をマスクする 011001：MTIOC9A信号でPOE4#信号をマスクする 011010：MTIOC9B信号でPOE4#信号をマスクする 011011：MTIOC9C信号でPOE4#信号をマスクする 011100：MTIOC9D信号でPOE4#信号をマスクする 011101：GTIOC0A信号でPOE4#信号をマスクする 011110：GTIOC0B信号でPOE4#信号をマスクする 011111：GTIOC1A信号でPOE4#信号をマスクする 100000：GTIOC1B信号でPOE4#信号をマスクする 100001：GTIOC2A信号でPOE4#信号をマスクする 100010：GTIOC2B信号でPOE4#信号をマスクする 100011：GTIOC3A信号でPOE4#信号をマスクする 100100：GTIOC3B信号でPOE4#信号をマスクする 100101：GTIOC4A信号でPOE4#信号をマスクする 100110：GTIOC4B信号でPOE4#信号をマスクする 100111：GTIOC5A信号でPOE4#信号をマスクする 101000：GTIOC5B信号でPOE4#信号をマスクする 101001：GTIOC6A信号でPOE4#信号をマスクする 101010：GTIOC6B信号でPOE4#信号をマスクする 101011：GTIOC7A信号でPOE4#信号をマスクする 101100：GTIOC7B信号でPOE4#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

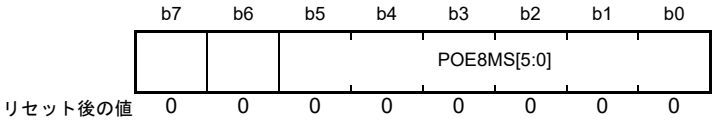
IMCR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE4# 端子による出力停止要求をマスクするためのレジスタです。

POE4MS[5:0] ビット (POE4 マスク信号選択ビット)

POE4# 信号をマスクするための信号を選択します。選択された信号が High のとき POE4# 信号がマスクされます。

23.2.59　入力信号マスク制御レジスタ 2 (IMCR2)

アドレス　POE.IMCR2 0009 E45Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE8MS[5:0]	POE8マスク信号選択ビット	b5　b0 000000：POE8#信号をマスクしない 000001：MTIOC0A信号でPOE8#信号をマスクする 000010：MTIOC0B信号でPOE8#信号をマスクする 000011：MTIOC0C信号でPOE8#信号をマスクする 000100：MTIOC0D信号でPOE8#信号をマスクする 000101：MTIOC1A信号でPOE8#信号をマスクする 000110：MTIOC1B信号でPOE8#信号をマスクする 000111：MTIOC2A信号でPOE8#信号をマスクする 001000：MTIOC2B信号でPOE8#信号をマスクする 001001：MTIOC3A信号でPOE8#信号をマスクする 001010：MTIOC3B信号でPOE8#信号をマスクする 001011：MTIOC3C信号でPOE8#信号をマスクする 001100：MTIOC3D信号でPOE8#信号をマスクする 001101：MTIOC4A信号でPOE8#信号をマスクする 001110：MTIOC4B信号でPOE8#信号をマスクする 001111：MTIOC4C信号でPOE8#信号をマスクする 010000：MTIOC4D信号でPOE8#信号をマスクする 010001：MTIOC6A信号でPOE8#信号をマスクする 010010：MTIOC6B信号でPOE8#信号をマスクする 010011：MTIOC6C信号でPOE8#信号をマスクする 010100：MTIOC6D信号でPOE8#信号をマスクする 010101：MTIOC7A信号でPOE8#信号をマスクする 010110：MTIOC7B信号でPOE8#信号をマスクする 010111：MTIOC7C信号でPOE8#信号をマスクする 011000：MTIOC7D信号でPOE8#信号をマスクする 011001：MTIOC9A信号でPOE8#信号をマスクする 011010：MTIOC9B信号でPOE8#信号をマスクする 011011：MTIOC9C信号でPOE8#信号をマスクする 011100：MTIOC9D信号でPOE8#信号をマスクする 011101：GTIOC0A信号でPOE8#信号をマスクする 011110：GTIOC0B信号でPOE8#信号をマスクする 011111：GTIOC1A信号でPOE8#信号をマスクする 100000：GTIOC1B信号でPOE8#信号をマスクする 100001：GTIOC2A信号でPOE8#信号をマスクする 100010：GTIOC2B信号でPOE8#信号をマスクする 100011：GTIOC3A信号でPOE8#信号をマスクする 100100：GTIOC3B信号でPOE8#信号をマスクする 100101：GTIOC4A信号でPOE8#信号をマスクする 100110：GTIOC4B信号でPOE8#信号をマスクする 100111：GTIOC5A信号でPOE8#信号をマスクする 101000：GTIOC5B信号でPOE8#信号をマスクする 101001：GTIOC6A信号でPOE8#信号をマスクする 101010：GTIOC6B信号でPOE8#信号をマスクする 101011：GTIOC7A信号でPOE8#信号をマスクする 101100：GTIOC7B信号でPOE8#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE8# 端子による出力停止要求をマスクするためのレジスタです。

POE8MS[5:0] ビット (POE8 マスク信号選択ビット)

POE8# 信号をマスクするための信号を選択します。選択された信号が High のとき POE8# 信号がマスクされます。

23.2.60　入力信号マスク制御レジスタ 3 (IMCR3)

アドレス　POE.IMCR3 0009 E45Fh

	b7	b6	b5	b4	b3	b2	b1	b0
			POE10MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	POE10MS[5:0]	POE10マスク信号選択ビット	b5　b0 000000：POE10#信号をマスクしない 000001：MTIOC0A信号でPOE10#信号をマスクする 000010：MTIOC0B信号でPOE10#信号をマスクする 000011：MTIOC0C信号でPOE10#信号をマスクする 000100：MTIOC0D信号でPOE10#信号をマスクする 000101：MTIOC1A信号でPOE10#信号をマスクする 000110：MTIOC1B信号でPOE10#信号をマスクする 000111：MTIOC2A信号でPOE10#信号をマスクする 001000：MTIOC2B信号でPOE10#信号をマスクする 001001：MTIOC3A信号でPOE10#信号をマスクする 001010：MTIOC3B信号でPOE10#信号をマスクする 001011：MTIOC3C信号でPOE10#信号をマスクする 001100：MTIOC3D信号でPOE10#信号をマスクする 001101：MTIOC4A信号でPOE10#信号をマスクする 001110：MTIOC4B信号でPOE10#信号をマスクする 001111：MTIOC4C信号でPOE10#信号をマスクする 010000：MTIOC4D信号でPOE10#信号をマスクする 010001：MTIOC6A信号でPOE10#信号をマスクする 010010：MTIOC6B信号でPOE10#信号をマスクする 010011：MTIOC6C信号でPOE10#信号をマスクする 010100：MTIOC6D信号でPOE10#信号をマスクする 010101：MTIOC7A信号でPOE10#信号をマスクする 010110：MTIOC7B信号でPOE10#信号をマスクする 010111：MTIOC7C信号でPOE10#信号をマスクする 011000：MTIOC7D信号でPOE10#信号をマスクする 011001：MTIOC9A信号でPOE10#信号をマスクする 011010：MTIOC9B信号でPOE10#信号をマスクする 011011：MTIOC9C信号でPOE10#信号をマスクする 011100：MTIOC9D信号でPOE10#信号をマスクする 011101：GTIOC0A信号でPOE10#信号をマスクする 011110：GTIOC0B信号でPOE10#信号をマスクする 011111：GTIOC1A信号でPOE10#信号をマスクする 100000：GTIOC1B信号でPOE10#信号をマスクする 100001：GTIOC2A信号でPOE10#信号をマスクする 100010：GTIOC2B信号でPOE10#信号をマスクする 100011：GTIOC3A信号でPOE10#信号をマスクする 100100：GTIOC3B信号でPOE10#信号をマスクする 100101：GTIOC4A信号でPOE10#信号をマスクする 100110：GTIOC4B信号でPOE10#信号をマスクする 100111：GTIOC5A信号でPOE10#信号をマスクする 101000：GTIOC5B信号でPOE10#信号をマスクする 101001：GTIOC6A信号でPOE10#信号をマスクする 101010：GTIOC6B信号でPOE10#信号をマスクする 101011：GTIOC7A信号でPOE10#信号をマスクする 101100：GTIOC7B信号でPOE10#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

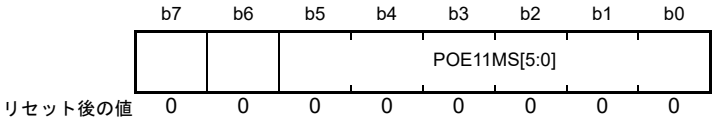
IMCR3 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE10# 端子による出力停止要求をマスクするためのレジスタです。

POE10MS[5:0] ビット (POE10 マスク信号選択ビット)

POE10# 信号をマスクするための信号を選択します。選択された信号が High のとき POE10# 信号がマスクされます。

23.2.61　入力信号マスク制御レジスタ 4 (IMCR4)

アドレス　POE.IMCR4 0009 E474h



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE11MS[5:0]	POE11マスク信号選択ビット	b5　b0 000000：POE11#信号をマスクしない 000001：MTIOC0A信号でPOE11#信号をマスクする 000010：MTIOC0B信号でPOE11#信号をマスクする 000011：MTIOC0C信号でPOE11#信号をマスクする 000100：MTIOC0D信号でPOE11#信号をマスクする 000101：MTIOC1A信号でPOE11#信号をマスクする 000110：MTIOC1B信号でPOE11#信号をマスクする 000111：MTIOC2A信号でPOE11#信号をマスクする 001000：MTIOC2B信号でPOE11#信号をマスクする 001001：MTIOC3A信号でPOE11#信号をマスクする 001010：MTIOC3B信号でPOE11#信号をマスクする 001011：MTIOC3C信号でPOE11#信号をマスクする 001100：MTIOC3D信号でPOE11#信号をマスクする 001101：MTIOC4A信号でPOE11#信号をマスクする 001110：MTIOC4B信号でPOE11#信号をマスクする 001111：MTIOC4C信号でPOE11#信号をマスクする 010000：MTIOC4D信号でPOE11#信号をマスクする 010001：MTIOC6A信号でPOE11#信号をマスクする 010010：MTIOC6B信号でPOE11#信号をマスクする 010011：MTIOC6C信号でPOE11#信号をマスクする 010100：MTIOC6D信号でPOE11#信号をマスクする 010101：MTIOC7A信号でPOE11#信号をマスクする 010110：MTIOC7B信号でPOE11#信号をマスクする 010111：MTIOC7C信号でPOE11#信号をマスクする 011000：MTIOC7D信号でPOE11#信号をマスクする 011001：MTIOC9A信号でPOE11#信号をマスクする 011010：MTIOC9B信号でPOE11#信号をマスクする 011011：MTIOC9C信号でPOE11#信号をマスクする 011100：MTIOC9D信号でPOE11#信号をマスクする 011101：GTIOC0A信号でPOE11#信号をマスクする 011110：GTIOC0B信号でPOE11#信号をマスクする 011111：GTIOC1A信号でPOE11#信号をマスクする 100000：GTIOC1B信号でPOE11#信号をマスクする 100001：GTIOC2A信号でPOE11#信号をマスクする 100010：GTIOC2B信号でPOE11#信号をマスクする 100011：GTIOC3A信号でPOE11#信号をマスクする 100100：GTIOC3B信号でPOE11#信号をマスクする 100101：GTIOC4A信号でPOE11#信号をマスクする 100110：GTIOC4B信号でPOE11#信号をマスクする 100111：GTIOC5A信号でPOE11#信号をマスクする 101000：GTIOC5B信号でPOE11#信号をマスクする 101001：GTIOC6A信号でPOE11#信号をマスクする 101010：GTIOC6B信号でPOE11#信号をマスクする 101011：GTIOC7A信号でPOE11#信号をマスクする 101100：GTIOC7B信号でPOE11#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

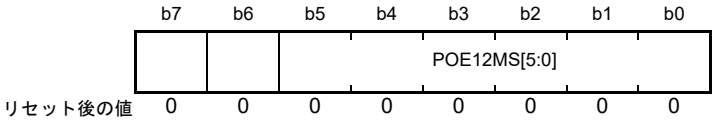
IMCR4 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE11# 端子による出力停止要求をマスクするためのレジスタです。

POE11MS[5:0] ビット (POE11 マスク信号選択ビット)

POE11# 信号をマスクするための信号を選択します。選択された信号が High のとき POE11# 信号がマスクされます。

23.2.62　入力信号マスク制御レジスタ 5 (IMCR5)

アドレス　POE.IMCR5 0009 E475h



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE12MS[5:0]	POE12マスク信号選択ビット	b5　b0 000000：POE12#信号をマスクしない 000001：MTIOC0A信号でPOE12#信号をマスクする 000010：MTIOC0B信号でPOE12#信号をマスクする 000011：MTIOC0C信号でPOE12#信号をマスクする 000100：MTIOC0D信号でPOE12#信号をマスクする 000101：MTIOC1A信号でPOE12#信号をマスクする 000110：MTIOC1B信号でPOE12#信号をマスクする 000111：MTIOC2A信号でPOE12#信号をマスクする 001000：MTIOC2B信号でPOE12#信号をマスクする 001001：MTIOC3A信号でPOE12#信号をマスクする 001010：MTIOC3B信号でPOE12#信号をマスクする 001011：MTIOC3C信号でPOE12#信号をマスクする 001100：MTIOC3D信号でPOE12#信号をマスクする 001101：MTIOC4A信号でPOE12#信号をマスクする 001110：MTIOC4B信号でPOE12#信号をマスクする 001111：MTIOC4C信号でPOE12#信号をマスクする 010000：MTIOC4D信号でPOE12#信号をマスクする 010001：MTIOC6A信号でPOE12#信号をマスクする 010010：MTIOC6B信号でPOE12#信号をマスクする 010011：MTIOC6C信号でPOE12#信号をマスクする 010100：MTIOC6D信号でPOE12#信号をマスクする 010101：MTIOC7A信号でPOE12#信号をマスクする 010110：MTIOC7B信号でPOE12#信号をマスクする 010111：MTIOC7C信号でPOE12#信号をマスクする 011000：MTIOC7D信号でPOE12#信号をマスクする 011001：MTIOC9A信号でPOE12#信号をマスクする 011010：MTIOC9B信号でPOE12#信号をマスクする 011011：MTIOC9C信号でPOE12#信号をマスクする 011100：MTIOC9D信号でPOE12#信号をマスクする 011101：GTIOC0A信号でPOE12#信号をマスクする 011110：GTIOC0B信号でPOE12#信号をマスクする 011111：GTIOC1A信号でPOE12#信号をマスクする 100000：GTIOC1B信号でPOE12#信号をマスクする 100001：GTIOC2A信号でPOE12#信号をマスクする 100010：GTIOC2B信号でPOE12#信号をマスクする 100011：GTIOC3A信号でPOE12#信号をマスクする 100100：GTIOC3B信号でPOE12#信号をマスクする 100101：GTIOC4A信号でPOE12#信号をマスクする 100110：GTIOC4B信号でPOE12#信号をマスクする 100111：GTIOC5A信号でPOE12#信号をマスクする 101000：GTIOC5B信号でPOE12#信号をマスクする 101001：GTIOC6A信号でPOE12#信号をマスクする 101010：GTIOC6B信号でPOE12#信号をマスクする 101011：GTIOC7A信号でPOE12#信号をマスクする 101100：GTIOC7B信号でPOE12#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR5 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE12# 端子による出力停止要求をマスクするためのレジスタです。

POE12MS[5:0] ビット (POE12 マスク信号選択ビット)

POE12# 信号をマスクするための信号を選択します。選択された信号が High のとき POE12# 信号がマスクされます。

23.2.63　入力信号マスク制御レジスタ 6 (IMCR6)

アドレス　POE.IMCR6 0009 E476h

	b7	b6	b5	b4	b3	b2	b1	b0
			POE9MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	POE9MS[5:0]	POE9マスク信号選択ビット	b5　b0 000000：POE9#信号をマスクしない 000001：MTIOC0A信号でPOE9#信号をマスクする 000010：MTIOC0B信号でPOE9#信号をマスクする 000011：MTIOC0C信号でPOE9#信号をマスクする 000100：MTIOC0D信号でPOE9#信号をマスクする 000101：MTIOC1A信号でPOE9#信号をマスクする 000110：MTIOC1B信号でPOE9#信号をマスクする 000111：MTIOC2A信号でPOE9#信号をマスクする 001000：MTIOC2B信号でPOE9#信号をマスクする 001001：MTIOC3A信号でPOE9#信号をマスクする 001010：MTIOC3B信号でPOE9#信号をマスクする 001011：MTIOC3C信号でPOE9#信号をマスクする 001100：MTIOC3D信号でPOE9#信号をマスクする 001101：MTIOC4A信号でPOE9#信号をマスクする 001110：MTIOC4B信号でPOE9#信号をマスクする 001111：MTIOC4C信号でPOE9#信号をマスクする 010000：MTIOC4D信号でPOE9#信号をマスクする 010001：MTIOC6A信号でPOE9#信号をマスクする 010010：MTIOC6B信号でPOE9#信号をマスクする 010011：MTIOC6C信号でPOE9#信号をマスクする 010100：MTIOC6D信号でPOE9#信号をマスクする 010101：MTIOC7A信号でPOE9#信号をマスクする 010110：MTIOC7B信号でPOE9#信号をマスクする 010111：MTIOC7C信号でPOE9#信号をマスクする 011000：MTIOC7D信号でPOE9#信号をマスクする 011001：MTIOC9A信号でPOE9#信号をマスクする 011010：MTIOC9B信号でPOE9#信号をマスクする 011011：MTIOC9C信号でPOE9#信号をマスクする 011100：MTIOC9D信号でPOE9#信号をマスクする 011101：GTIOC0A信号でPOE9#信号をマスクする 011110：GTIOC0B信号でPOE9#信号をマスクする 011111：GTIOC1A信号でPOE9#信号をマスクする 100000：GTIOC1B信号でPOE9#信号をマスクする 100001：GTIOC2A信号でPOE9#信号をマスクする 100010：GTIOC2B信号でPOE9#信号をマスクする 100011：GTIOC3A信号でPOE9#信号をマスクする 100100：GTIOC3B信号でPOE9#信号をマスクする 100101：GTIOC4A信号でPOE9#信号をマスクする 100110：GTIOC4B信号でPOE9#信号をマスクする 100111：GTIOC5A信号でPOE9#信号をマスクする 101000：GTIOC5B信号でPOE9#信号をマスクする 101001：GTIOC6A信号でPOE9#信号をマスクする 101010：GTIOC6B信号でPOE9#信号をマスクする 101011：GTIOC7A信号でPOE9#信号をマスクする 101100：GTIOC7B信号でPOE9#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR6 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE9# 端子による出力停止要求をマスクするためのレジスタです。

POE9MS[5:0] ビット (POE9 マスク信号選択ビット)

POE9# 信号をマスクするための信号を選択します。選択された信号が High のとき POE9# 信号がマスクされます。

23.2.64　入力信号マスク制御レジスタ 9 (IMCR9)

アドレス　POE.IMCR9 0009 E479h

	b7	b6	b5	b4	b3	b2	b1	b0
			CMP0MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP0MS[5:0]	COMP0マスク信号選択ビット	b5　b0 000000：COMP0レベル検出信号をマスクしない 000001：MTIOC0A信号でCOMP0レベル検出信号をマスクする 000010：MTIOC0B信号でCOMP0レベル検出信号をマスクする 000011：MTIOC0C信号でCOMP0レベル検出信号をマスクする 000100：MTIOC0D信号でCOMP0レベル検出信号をマスクする 000101：MTIOC1A信号でCOMP0レベル検出信号をマスクする 000110：MTIOC1B信号でCOMP0レベル検出信号をマスクする 000111：MTIOC2A信号でCOMP0レベル検出信号をマスクする 001000：MTIOC2B信号でCOMP0レベル検出信号をマスクする 001001：MTIOC3A信号でCOMP0レベル検出信号をマスクする 001010：MTIOC3B信号でCOMP0レベル検出信号をマスクする 001011：MTIOC3C信号でCOMP0レベル検出信号をマスクする 001100：MTIOC3D信号でCOMP0レベル検出信号をマスクする 001101：MTIOC4A信号でCOMP0レベル検出信号をマスクする 001110：MTIOC4B信号でCOMP0レベル検出信号をマスクする 001111：MTIOC4C信号でCOMP0レベル検出信号をマスクする 010000：MTIOC4D信号でCOMP0レベル検出信号をマスクする 010001：MTIOC6A信号でCOMP0レベル検出信号をマスクする 010010：MTIOC6B信号でCOMP0レベル検出信号をマスクする 010011：MTIOC6C信号でCOMP0レベル検出信号をマスクする 010100：MTIOC6D信号でCOMP0レベル検出信号をマスクする 010101：MTIOC7A信号でCOMP0レベル検出信号をマスクする 010110：MTIOC7B信号でCOMP0レベル検出信号をマスクする 010111：MTIOC7C信号でCOMP0レベル検出信号をマスクする 011000：MTIOC7D信号でCOMP0レベル検出信号をマスクする 011001：MTIOC9A信号でCOMP0レベル検出信号をマスクする 011010：MTIOC9B信号でCOMP0レベル検出信号をマスクする 011011：MTIOC9C信号でCOMP0レベル検出信号をマスクする 011100：MTIOC9D信号でCOMP0レベル検出信号をマスクする 011101：GTIOC0A信号でCOMP0レベル検出信号をマスクする 011110：GTIOC0B信号でCOMP0レベル検出信号をマスクする 011111：GTIOC1A信号でCOMP0レベル検出信号をマスクする 100000：GTIOC1B信号でCOMP0レベル検出信号をマスクする 100001：GTIOC2A信号でCOMP0レベル検出信号をマスクする 100010：GTIOC2B信号でCOMP0レベル検出信号をマスクする 100011：GTIOC3A信号でCOMP0レベル検出信号をマスクする 100100：GTIOC3B信号でCOMP0レベル検出信号をマスクする 100101：GTIOC4A信号でCOMP0レベル検出信号をマスクする 100110：GTIOC4B信号でCOMP0レベル検出信号をマスクする 100111：GTIOC5A信号でCOMP0レベル検出信号をマスクする 101000：GTIOC5B信号でCOMP0レベル検出信号をマスクする 101001：GTIOC6A信号でCOMP0レベル検出信号をマスクする 101010：GTIOC6B信号でCOMP0レベル検出信号をマスクする 101011：GTIOC7A信号でCOMP0レベル検出信号をマスクする 101100：GTIOC7B信号でCOMP0レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR9 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP0 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP0MS[5:0] ビット (COMP0 マスク信号選択ビット)

COMP0 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP0 レベル検出信号がマスクされます。

23.2.65　入力信号マスク制御レジスタ 10 (IMCR10)

アドレス　POE.IMCR10 0009 E47Ah

	b7	b6	b5	b4	b3	b2	b1	b0
			CMP1MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP1MS[5:0]	COMP1マスク信号選択ビット	b5　b0 000000：COMP1レベル検出信号をマスクしない 000001：MTIOC0A信号でCOMP1レベル検出信号をマスクする 000010：MTIOC0B信号でCOMP1レベル検出信号をマスクする 000011：MTIOC0C信号でCOMP1レベル検出信号をマスクする 000100：MTIOC0D信号でCOMP1レベル検出信号をマスクする 000101：MTIOC1A信号でCOMP1レベル検出信号をマスクする 000110：MTIOC1B信号でCOMP1レベル検出信号をマスクする 000111：MTIOC2A信号でCOMP1レベル検出信号をマスクする 001000：MTIOC2B信号でCOMP1レベル検出信号をマスクする 001001：MTIOC3A信号でCOMP1レベル検出信号をマスクする 001010：MTIOC3B信号でCOMP1レベル検出信号をマスクする 001011：MTIOC3C信号でCOMP1レベル検出信号をマスクする 001100：MTIOC3D信号でCOMP1レベル検出信号をマスクする 001101：MTIOC4A信号でCOMP1レベル検出信号をマスクする 001110：MTIOC4B信号でCOMP1レベル検出信号をマスクする 001111：MTIOC4C信号でCOMP1レベル検出信号をマスクする 010000：MTIOC4D信号でCOMP1レベル検出信号をマスクする 010001：MTIOC6A信号でCOMP1レベル検出信号をマスクする 010010：MTIOC6B信号でCOMP1レベル検出信号をマスクする 010011：MTIOC6C信号でCOMP1レベル検出信号をマスクする 010100：MTIOC6D信号でCOMP1レベル検出信号をマスクする 010101：MTIOC7A信号でCOMP1レベル検出信号をマスクする 010110：MTIOC7B信号でCOMP1レベル検出信号をマスクする 010111：MTIOC7C信号でCOMP1レベル検出信号をマスクする 011000：MTIOC7D信号でCOMP1レベル検出信号をマスクする 011001：MTIOC9A信号でCOMP1レベル検出信号をマスクする 011010：MTIOC9B信号でCOMP1レベル検出信号をマスクする 011011：MTIOC9C信号でCOMP1レベル検出信号をマスクする 011100：MTIOC9D信号でCOMP1レベル検出信号をマスクする 011101：GTIOC0A信号でCOMP1レベル検出信号をマスクする 011110：GTIOC0B信号でCOMP1レベル検出信号をマスクする 011111：GTIOC1A信号でCOMP1レベル検出信号をマスクする 100000：GTIOC1B信号でCOMP1レベル検出信号をマスクする 100001：GTIOC2A信号でCOMP1レベル検出信号をマスクする 100010：GTIOC2B信号でCOMP1レベル検出信号をマスクする 100011：GTIOC3A信号でCOMP1レベル検出信号をマスクする 100100：GTIOC3B信号でCOMP1レベル検出信号をマスクする 100101：GTIOC4A信号でCOMP1レベル検出信号をマスクする 100110：GTIOC4B信号でCOMP1レベル検出信号をマスクする 100111：GTIOC5A信号でCOMP1レベル検出信号をマスクする 101000：GTIOC5B信号でCOMP1レベル検出信号をマスクする 101001：GTIOC6A信号でCOMP1レベル検出信号をマスクする 101010：GTIOC6B信号でCOMP1レベル検出信号をマスクする 101011：GTIOC7A信号でCOMP1レベル検出信号をマスクする 101100：GTIOC7B信号でCOMP1レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR10 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP1 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP1MS[5:0] ビット (COMP1 マスク信号選択ビット)

COMP1 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP1 レベル検出信号がマスクされます。

23.2.66　入力信号マスク制御レジスタ 11 (IMCR11)

アドレス　POE.IMCR11 0009 E47Bh

	b7	b6	b5	b4	b3	b2	b1	b0
			CMP2MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP2MS[5:0]	COMP2マスク信号選択ビット	b5　b0 000000：COMP2レベル検出信号をマスクしない 000001：MTIOC0A信号でCOMP2レベル検出信号をマスクする 000010：MTIOC0B信号でCOMP2レベル検出信号をマスクする 000011：MTIOC0C信号でCOMP2レベル検出信号をマスクする 000100：MTIOC0D信号でCOMP2レベル検出信号をマスクする 000101：MTIOC1A信号でCOMP2レベル検出信号をマスクする 000110：MTIOC1B信号でCOMP2レベル検出信号をマスクする 000111：MTIOC2A信号でCOMP2レベル検出信号をマスクする 001000：MTIOC2B信号でCOMP2レベル検出信号をマスクする 001001：MTIOC3A信号でCOMP2レベル検出信号をマスクする 001010：MTIOC3B信号でCOMP2レベル検出信号をマスクする 001011：MTIOC3C信号でCOMP2レベル検出信号をマスクする 001100：MTIOC3D信号でCOMP2レベル検出信号をマスクする 001101：MTIOC4A信号でCOMP2レベル検出信号をマスクする 001110：MTIOC4B信号でCOMP2レベル検出信号をマスクする 001111：MTIOC4C信号でCOMP2レベル検出信号をマスクする 010000：MTIOC4D信号でCOMP2レベル検出信号をマスクする 010001：MTIOC6A信号でCOMP2レベル検出信号をマスクする 010010：MTIOC6B信号でCOMP2レベル検出信号をマスクする 010011：MTIOC6C信号でCOMP2レベル検出信号をマスクする 010100：MTIOC6D信号でCOMP2レベル検出信号をマスクする 010101：MTIOC7A信号でCOMP2レベル検出信号をマスクする 010110：MTIOC7B信号でCOMP2レベル検出信号をマスクする 010111：MTIOC7C信号でCOMP2レベル検出信号をマスクする 011000：MTIOC7D信号でCOMP2レベル検出信号をマスクする 011001：MTIOC9A信号でCOMP2レベル検出信号をマスクする 011010：MTIOC9B信号でCOMP2レベル検出信号をマスクする 011011：MTIOC9C信号でCOMP2レベル検出信号をマスクする 011100：MTIOC9D信号でCOMP2レベル検出信号をマスクする 011101：GTIOC0A信号でCOMP2レベル検出信号をマスクする 011110：GTIOC0B信号でCOMP2レベル検出信号をマスクする 011111：GTIOC1A信号でCOMP2レベル検出信号をマスクする 100000：GTIOC1B信号でCOMP2レベル検出信号をマスクする 100001：GTIOC2A信号でCOMP2レベル検出信号をマスクする 100010：GTIOC2B信号でCOMP2レベル検出信号をマスクする 100011：GTIOC3A信号でCOMP2レベル検出信号をマスクする 100100：GTIOC3B信号でCOMP2レベル検出信号をマスクする 100101：GTIOC4A信号でCOMP2レベル検出信号をマスクする 100110：GTIOC4B信号でCOMP2レベル検出信号をマスクする 100111：GTIOC5A信号でCOMP2レベル検出信号をマスクする 101000：GTIOC5B信号でCOMP2レベル検出信号をマスクする 101001：GTIOC6A信号でCOMP2レベル検出信号をマスクする 101010：GTIOC6B信号でCOMP2レベル検出信号をマスクする 101011：GTIOC7A信号でCOMP2レベル検出信号をマスクする 101100：GTIOC7B信号でCOMP2レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR11 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP2 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP2MS[5:0] ビット (COMP2 マスク信号選択ビット)

COMP2 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP2 レベル検出信号がマスクされます。

23.2.67　入力信号マスク制御レジスタ 12 (IMCR12)

アドレス　POE.IMCR12 0009 E47Ch

	b7	b6	b5	b4	b3	b2	b1	b0
			CMP3MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP3MS[5:0]	COMP3マスク信号選択ビット	b5　b0 000000：COMP3レベル検出信号をマスクしない 000001：MTIOC0A信号でCOMP3レベル検出信号をマスクする 000010：MTIOC0B信号でCOMP3レベル検出信号をマスクする 000011：MTIOC0C信号でCOMP3レベル検出信号をマスクする 000100：MTIOC0D信号でCOMP3レベル検出信号をマスクする 000101：MTIOC1A信号でCOMP3レベル検出信号をマスクする 000110：MTIOC1B信号でCOMP3レベル検出信号をマスクする 000111：MTIOC2A信号でCOMP3レベル検出信号をマスクする 001000：MTIOC2B信号でCOMP3レベル検出信号をマスクする 001001：MTIOC3A信号でCOMP3レベル検出信号をマスクする 001010：MTIOC3B信号でCOMP3レベル検出信号をマスクする 001011：MTIOC3C信号でCOMP3レベル検出信号をマスクする 001100：MTIOC3D信号でCOMP3レベル検出信号をマスクする 001101：MTIOC4A信号でCOMP3レベル検出信号をマスクする 001110：MTIOC4B信号でCOMP3レベル検出信号をマスクする 001111：MTIOC4C信号でCOMP3レベル検出信号をマスクする 010000：MTIOC4D信号でCOMP3レベル検出信号をマスクする 010001：MTIOC6A信号でCOMP3レベル検出信号をマスクする 010010：MTIOC6B信号でCOMP3レベル検出信号をマスクする 010011：MTIOC6C信号でCOMP3レベル検出信号をマスクする 010100：MTIOC6D信号でCOMP3レベル検出信号をマスクする 010101：MTIOC7A信号でCOMP3レベル検出信号をマスクする 010110：MTIOC7B信号でCOMP3レベル検出信号をマスクする 010111：MTIOC7C信号でCOMP3レベル検出信号をマスクする 011000：MTIOC7D信号でCOMP3レベル検出信号をマスクする 011001：MTIOC9A信号でCOMP3レベル検出信号をマスクする 011010：MTIOC9B信号でCOMP3レベル検出信号をマスクする 011011：MTIOC9C信号でCOMP3レベル検出信号をマスクする 011100：MTIOC9D信号でCOMP3レベル検出信号をマスクする 011101：GTIOC0A信号でCOMP3レベル検出信号をマスクする 011110：GTIOC0B信号でCOMP3レベル検出信号をマスクする 011111：GTIOC1A信号でCOMP3レベル検出信号をマスクする 100000：GTIOC1B信号でCOMP3レベル検出信号をマスクする 100001：GTIOC2A信号でCOMP3レベル検出信号をマスクする 100010：GTIOC2B信号でCOMP3レベル検出信号をマスクする 100011：GTIOC3A信号でCOMP3レベル検出信号をマスクする 100100：GTIOC3B信号でCOMP3レベル検出信号をマスクする 100101：GTIOC4A信号でCOMP3レベル検出信号をマスクする 100110：GTIOC4B信号でCOMP3レベル検出信号をマスクする 100111：GTIOC5A信号でCOMP3レベル検出信号をマスクする 101000：GTIOC5B信号でCOMP3レベル検出信号をマスクする 101001：GTIOC6A信号でCOMP3レベル検出信号をマスクする 101010：GTIOC6B信号でCOMP3レベル検出信号をマスクする 101011：GTIOC7A信号でCOMP3レベル検出信号をマスクする 101100：GTIOC7B信号でCOMP3レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR12 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP3 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP3MS[5:0] ビット (COMP3 マスク信号選択ビット)

COMP3 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP3 レベル検出信号がマスクされます。

23.2.68　入力信号マスク制御レジスタ 13 (IMCR13)

アドレス　POE.IMCR13 0009 E47Dh

	b7	b6	b5	b4	b3	b2	b1	b0
			CMP4MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP4MS[5:0]	COMP4マスク信号選択ビット	b5　b0 000000：COMP4レベル検出信号をマスクしない 000001：MTIOC0A信号でCOMP4レベル検出信号をマスクする 000010：MTIOC0B信号でCOMP4レベル検出信号をマスクする 000011：MTIOC0C信号でCOMP4レベル検出信号をマスクする 000100：MTIOC0D信号でCOMP4レベル検出信号をマスクする 000101：MTIOC1A信号でCOMP4レベル検出信号をマスクする 000110：MTIOC1B信号でCOMP4レベル検出信号をマスクする 000111：MTIOC2A信号でCOMP4レベル検出信号をマスクする 001000：MTIOC2B信号でCOMP4レベル検出信号をマスクする 001001：MTIOC3A信号でCOMP4レベル検出信号をマスクする 001010：MTIOC3B信号でCOMP4レベル検出信号をマスクする 001011：MTIOC3C信号でCOMP4レベル検出信号をマスクする 001100：MTIOC3D信号でCOMP4レベル検出信号をマスクする 001101：MTIOC4A信号でCOMP4レベル検出信号をマスクする 001110：MTIOC4B信号でCOMP4レベル検出信号をマスクする 001111：MTIOC4C信号でCOMP4レベル検出信号をマスクする 010000：MTIOC4D信号でCOMP4レベル検出信号をマスクする 010001：MTIOC6A信号でCOMP4レベル検出信号をマスクする 010010：MTIOC6B信号でCOMP4レベル検出信号をマスクする 010011：MTIOC6C信号でCOMP4レベル検出信号をマスクする 010100：MTIOC6D信号でCOMP4レベル検出信号をマスクする 010101：MTIOC7A信号でCOMP4レベル検出信号をマスクする 010110：MTIOC7B信号でCOMP4レベル検出信号をマスクする 010111：MTIOC7C信号でCOMP4レベル検出信号をマスクする 011000：MTIOC7D信号でCOMP4レベル検出信号をマスクする 011001：MTIOC9A信号でCOMP4レベル検出信号をマスクする 011010：MTIOC9B信号でCOMP4レベル検出信号をマスクする 011011：MTIOC9C信号でCOMP4レベル検出信号をマスクする 011100：MTIOC9D信号でCOMP4レベル検出信号をマスクする 011101：GTIOC0A信号でCOMP4レベル検出信号をマスクする 011110：GTIOC0B信号でCOMP4レベル検出信号をマスクする 011111：GTIOC1A信号でCOMP4レベル検出信号をマスクする 100000：GTIOC1B信号でCOMP4レベル検出信号をマスクする 100001：GTIOC2A信号でCOMP4レベル検出信号をマスクする 100010：GTIOC2B信号でCOMP4レベル検出信号をマスクする 100011：GTIOC3A信号でCOMP4レベル検出信号をマスクする 100100：GTIOC3B信号でCOMP4レベル検出信号をマスクする 100101：GTIOC4A信号でCOMP4レベル検出信号をマスクする 100110：GTIOC4B信号でCOMP4レベル検出信号をマスクする 100111：GTIOC5A信号でCOMP4レベル検出信号をマスクする 101000：GTIOC5B信号でCOMP4レベル検出信号をマスクする 101001：GTIOC6A信号でCOMP4レベル検出信号をマスクする 101010：GTIOC6B信号でCOMP4レベル検出信号をマスクする 101011：GTIOC7A信号でCOMP4レベル検出信号をマスクする 101100：GTIOC7B信号でCOMP4レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR13 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP4 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP4MS[5:0] ビット (COMP4 マスク信号選択ビット)

COMP4 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP4 レベル検出信号がマスクされます。

23.2.69　入力信号マスク制御レジスタ 14 (IMCR14)

アドレス　POE.IMCR14 0009 E47Eh

	b7	b6	b5	b4	b3	b2	b1	b0
			CMP5MS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP5MS[5:0]	COMP5マスク信号選択ビット	b5　b0 000000：COMP5レベル検出信号をマスクしない 000001：MTIOC0A信号でCOMP5レベル検出信号をマスクする 000010：MTIOC0B信号でCOMP5レベル検出信号をマスクする 000011：MTIOC0C信号でCOMP5レベル検出信号をマスクする 000100：MTIOC0D信号でCOMP5レベル検出信号をマスクする 000101：MTIOC1A信号でCOMP5レベル検出信号をマスクする 000110：MTIOC1B信号でCOMP5レベル検出信号をマスクする 000111：MTIOC2A信号でCOMP5レベル検出信号をマスクする 001000：MTIOC2B信号でCOMP5レベル検出信号をマスクする 001001：MTIOC3A信号でCOMP5レベル検出信号をマスクする 001010：MTIOC3B信号でCOMP5レベル検出信号をマスクする 001011：MTIOC3C信号でCOMP5レベル検出信号をマスクする 001100：MTIOC3D信号でCOMP5レベル検出信号をマスクする 001101：MTIOC4A信号でCOMP5レベル検出信号をマスクする 001110：MTIOC4B信号でCOMP5レベル検出信号をマスクする 001111：MTIOC4C信号でCOMP5レベル検出信号をマスクする 010000：MTIOC4D信号でCOMP5レベル検出信号をマスクする 010001：MTIOC6A信号でCOMP5レベル検出信号をマスクする 010010：MTIOC6B信号でCOMP5レベル検出信号をマスクする 010011：MTIOC6C信号でCOMP5レベル検出信号をマスクする 010100：MTIOC6D信号でCOMP5レベル検出信号をマスクする 010101：MTIOC7A信号でCOMP5レベル検出信号をマスクする 010110：MTIOC7B信号でCOMP5レベル検出信号をマスクする 010111：MTIOC7C信号でCOMP5レベル検出信号をマスクする 011000：MTIOC7D信号でCOMP5レベル検出信号をマスクする 011001：MTIOC9A信号でCOMP5レベル検出信号をマスクする 011010：MTIOC9B信号でCOMP5レベル検出信号をマスクする 011011：MTIOC9C信号でCOMP5レベル検出信号をマスクする 011100：MTIOC9D信号でCOMP5レベル検出信号をマスクする 011101：GTIOC0A信号でCOMP5レベル検出信号をマスクする 011110：GTIOC0B信号でCOMP5レベル検出信号をマスクする 011111：GTIOC1A信号でCOMP5レベル検出信号をマスクする 100000：GTIOC1B信号でCOMP5レベル検出信号をマスクする 100001：GTIOC2A信号でCOMP5レベル検出信号をマスクする 100010：GTIOC2B信号でCOMP5レベル検出信号をマスクする 100011：GTIOC3A信号でCOMP5レベル検出信号をマスクする 100100：GTIOC3B信号でCOMP5レベル検出信号をマスクする 100101：GTIOC4A信号でCOMP5レベル検出信号をマスクする 100110：GTIOC4B信号でCOMP5レベル検出信号をマスクする 100111：GTIOC5A信号でCOMP5レベル検出信号をマスクする 101000：GTIOC5B信号でCOMP5レベル検出信号をマスクする 101001：GTIOC6A信号でCOMP5レベル検出信号をマスクする 101010：GTIOC6B信号でCOMP5レベル検出信号をマスクする 101011：GTIOC7A信号でCOMP5レベル検出信号をマスクする 101100：GTIOC7B信号でCOMP5レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

IMCR14 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP5 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP5MS[5:0] ビット (COMP5 マスク信号選択ビット)

COMP5 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP5 レベル検出信号がマスクされます。

23.3　動作説明

以下に出力停止制御の対象になる端子と条件を示します。

(1) MTU3 端子 (MTIOC3B, MTIOC3D)

POECR2.MTU3BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU3BDZE ビットが “0”、PMMCR1.MTU3BME ビット、MTU3DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC3B 信号と MTIOC3D 信号の出力レベル比較動作
  OCSR1.OCE1 ビットが“1”の状態で、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
  POECR4.IC1ADDMT34ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR4.IC2ADDMT34ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR4.IC8ADDMT34ZE ビットと ICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
- コンパレータ出力検出
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビットまたは
  POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビットまたは
  POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビットまたは
  POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビットまたは
  POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ4 ビットまたは
  POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ5 ビットまたは
  POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(2) MTU4 端子 (MTIOC4A, MTIOC4C)

POECR2.MTU4ACZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4ACZE ビットが “0”、PMMCR1.MTU4AME ビット、MTU4CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わりま

す。

- MTIOC4A 信号と MTIOC4C 信号の出力レベル比較動作
  OCSR1.OCE1 ビットが“1”の状態で、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
  POECR4.IC1ADDMT34ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR4.IC2ADDMT34ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR4.IC8ADDMT34ZE ビットと ICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
- コンパレータ出力検出
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビットまたは
  POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビットまたは
  POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビットまたは
  POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビットまたは
  POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ4 ビットまたは
  POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ5 ビットまたは
  POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(3) MTU4 端子 (MTIOC4B, MTIOC4D)

POECR2.MTU4BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4BDZE ビットが “0”、PMMCR1.MTU4BME ビット、MTU4DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC4B 信号と MTIOC4D 信号の出力レベル比較動作
  OCSR1.OCE1 ビットが“1”の状態で、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
  POECR4.IC1ADDMT34ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき

POECR4.IC2ADDMT34ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
POECR4.IC3ADDMT34ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
POECR4.IC4ADDMT34ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
POECR4.IC5ADDMT34ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR4.IC6ADDMT34ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR4.IC8ADDMT34ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR4.CMADDMT34ZEビットが“1”、かつPOECMPEX0.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR4.CMADDMT34ZEビットが“1”、かつPOECMPEX0.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR4.CMADDMT34ZEビットが“1”、かつPOECMPEX0.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR4.CMADDMT34ZEビットが“1”、かつPOECMPEX0.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR4.CMADDMT34ZEビットが“1”、かつPOECMPEX0.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR4.CMADDMT34ZEビットが“1”、かつPOECMPEX0.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(4) MTU6 端子 (MTIOC6B, MTIOC6D)

POECR2.MTU6BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU6BDZE ビットが “0”、PMMCR1.MTU6BME ビット、MTU6DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC6B 信号と MTIOC6D 信号の出力レベル比較動作
  OCSR2.OCE2ビットが“1”の状態で、OCSR2.OSF2フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH67HIZビットを“1”にしたとき
- POECR4B レジスタで追加された条件
  POECR4B.IC1ADDMT67ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR4B.IC2ADDMT67ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR4B.IC3ADDMT67ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR4B.IC4ADDMT67ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR4B.IC5ADDMT67ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき

POECR4B.IC6ADDMT67ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR4B.IC8ADDMT67ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(5) MTU7 端子 (MTIOC7A, MTIOC7C)

POECR2.MTU7ACZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU7ACZE ビットが “0”、PMMCR1.MTU7AME ビット、MTU7CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC7A 信号と MTIOC7C 信号の出力レベル比較動作
  OCSR2.OCE2ビットが“1”の状態で、OCSR2.OSF2フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH67HIZビットを“1”にしたとき
- POECR4B レジスタで追加された条件
  POECR4B.IC1ADDMT67ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR4B.IC2ADDMT67ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR4B.IC3ADDMT67ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR4B.IC4ADDMT67ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR4B.IC5ADDMT67ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR4B.IC6ADDMT67ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR4B.IC8ADDMT67ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき

POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ1ビットまたは
POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ2ビットまたは
POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビットまたは
POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ4ビットまたは
POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ5ビットまたは
POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(6) MTU7 端子 (MTIOC7B, MTIOC7D)

POECR2.MTU7BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU7BDZE ビットが “0”、PMMCR1.MTU7BME ビット、MTU7DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC7B 信号と MTIOC7D 信号の出力レベル比較動作
  OCSR2.OCE2ビットが“1”の状態で、OCSR2.OSF2フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH67HIZビットを“1”にしたとき
- POECR4B レジスタで追加された条件
  POECR4B.IC1ADDMT67ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR4B.IC2ADDMT67ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR4B.IC3ADDMT67ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR4B.IC4ADDMT67ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR4B.IC5ADDMT67ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR4B.IC6ADDMT67ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR4B.IC8ADDMT67ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ4ビットまたは

POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ5ビットまたは
POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(7) MTU0 端子 (MTIOC0A)

POECR1.MTU0AZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0AZE ビットが “0”、PMMCR0.MTU0AME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR5.IC2ADDMT0ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR5.IC3ADDMT0ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR5.IC8ADDMT0ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(8) MTU0 端子 (MTIOC0B)

POECR1.MTU0BZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0BZE ビットが “0”、PMMCR0.MTU0BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR5.IC2ADDMT0ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR5.IC3ADDMT0ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR5.IC8ADDMT0ZE ビットと ICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
- コンパレータ出力検出
  POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ0 ビットまたは
  POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ1 ビットまたは
  POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ2 ビットまたは
  POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ3 ビットまたは
  POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ4 ビットまたは
  POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ5 ビットまたは
  POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(9) MTU0 端子 (MTIOC0C)

POECR1.MTU0CZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0CZE ビットが “0”、PMMCR0.MTU0CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR5.IC2ADDMT0ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR5.IC3ADDMT0ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”に

なったとき
POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR5.IC8ADDMT0ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(10) MTU0 端子 (MTIOC0D)

POECR1.MTU0DZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0DZE ビットが “0”、PMMCR0.MTU0DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR5.IC2ADDMT0ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR5.IC3ADDMT0ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR5.IC8ADDMT0ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビットまたは
POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビットまたは
POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ4ビットまたは
POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ5ビットまたは
POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(11) MTU9 端子 (MTIOC9A)

POECR7.MTU9AZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9AZE ビットが “0”、PMMCR0.MTU9AME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR8.IC2ADDMT9ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR8.IC3ADDMT9ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR8.IC4ADDMT9ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR8.IC5ADDMT9ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR8.IC6ADDMT9ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR8.IC8ADDMT9ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(12) MTU9 端子 (MTIOC9B)

POECR7.MTU9BZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9BZE ビットが “0”、PMMCR0.MTU9BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR8.IC2ADDMT9ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR8.IC6ADDMT9ZE ビットと ICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR8.IC8ADDMT9ZE ビットと ICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
- コンパレータ出力検出
  POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX3.POEREQ0 ビットまたは
  POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX3.POEREQ1 ビットまたは
  POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX3.POEREQ2 ビットまたは
  POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX3.POEREQ3 ビットまたは
  POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX3.POEREQ4 ビットまたは
  POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX3.POEREQ5 ビットまたは
  POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(13) MTU9 端子 (MTIOC9C)

POECR7.MTU9CZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9CZE ビットが “0”、PMMCR0.MTU9CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR8.IC2ADDMT9ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”に

なったとき
POECR8.IC4ADDMT9ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
POECR8.IC5ADDMT9ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR8.IC6ADDMT9ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR8.IC8ADDMT9ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(14) MTU9 端子 (MTIOC9D)

POECR7.MTU9DZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9DZE ビットが “0”、PMMCR0.MTU9DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR8.IC2ADDMT9ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR8.IC3ADDMT9ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR8.IC4ADDMT9ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR8.IC5ADDMT9ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR8.IC6ADDMT9ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR8.IC8ADDMT9ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ0ビットまたは

POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ1ビットまたは
POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ2ビットまたは
POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ3ビットまたは
POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ4ビットまたは
POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ5ビットまたは
POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(15) GPTW0 端子 (GTIOC0A, GTIOC0B)

POECR3.GPT0ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT0ABZE ビットが “0”、PMMCR2.GPT0AME ビット、GPT0BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC0A 信号と GTIOC0B 信号の出力レベル比較動作
  OCSR3.OCE3ビットが“1”の状態で、OCSR3.OSF3フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT01HIZビットを“1”にしたとき
  SPOER.GPT02HIZビットを“1”にしたとき
- POECR6 レジスタで追加された条件
  POECR6.IC1ADDGPT01ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6.IC2ADDGPT01ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6.IC3ADDGPT01ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR6.IC4ADDGPT01ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR6.IC5ADDGPT01ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR6.IC6ADDGPT01ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR6.IC8ADDGPT01ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- POECR9 レジスタで追加された条件
  POECR9.IC1ADDGPT02ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR9.IC2ADDGPT02ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR9.IC3ADDGPT02ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR9.IC4ADDGPT02ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR9.IC5ADDGPT02ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき

POECR9.IC6ADDGPT02ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR9.IC8ADDGPT02ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(16) GPTW1 端子 (GTIOC1A, GTIOC1B)

POECR3.GPT1ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT1ABZE ビットが “0”、PMMCR2.GPT1AME ビット、GPT1BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC1A 信号と GTIOC1B 信号の出力レベル比較動作
  OCSR3.OCE3ビットが“1”の状態で、OCSR3.OSF3フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT01HIZビットを“1”にしたとき
  SPOER.GPT02HIZビットを“1”にしたとき
- POECR6 レジスタで追加された条件
  POECR6.IC1ADDGPT01ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6.IC2ADDGPT01ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6.IC3ADDGPT01ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”に

なったとき
POECR6.IC4ADDGPT01ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
POECR6.IC5ADDGPT01ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR6.IC6ADDGPT01ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR6.IC8ADDGPT01ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき

- POECR9 レジスタで追加された条件
  POECR9.IC1ADDGPT02ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR9.IC2ADDGPT02ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR9.IC3ADDGPT02ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR9.IC4ADDGPT02ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR9.IC5ADDGPT02ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR9.IC6ADDGPT02ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR9.IC8ADDGPT02ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、

POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(17) GPTW2 端子 (GTIOC2A, GTIOC2B)

POECR3.GPT2ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT2ABZE ビットが “0”、PMMCR2.GPT2AME ビット、GPT2BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC2A 信号と GTIOC2B 信号の出力レベル比較動作
  OCSR3.OCE3ビットが“1”の状態で、OCSR3.OSF3フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT23HIZビットを“1”にしたとき
  SPOER.GPT02HIZビットを“1”にしたとき
- POECR6B レジスタで追加された条件
  POECR6B.IC1ADDGPT23ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6B.IC2ADDGPT23ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6B.IC3ADDGPT23ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR6B.IC4ADDGPT23ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR6B.IC5ADDGPT23ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR6B.IC6ADDGPT23ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR6B.IC8ADDGPT23ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- POECR9 レジスタで追加された条件
  POECR9.IC1ADDGPT02ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR9.IC2ADDGPT02ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR9.IC3ADDGPT02ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR9.IC4ADDGPT02ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR9.IC5ADDGPT02ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR9.IC6ADDGPT02ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR9.IC8ADDGPT02ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつ
  POECMPEX6.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、
  POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ1ビットまたは

POECMPSEL.POEREQ1ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(18) GPTW3 端子 (GTIOC3A, GTIOC3B)

POECR3.GPT3ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT3ABZE ビットが “0”、PMMCR2.GPT3AME ビット、GPT3BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.GPT23HIZビットを“1”にしたとき
- POECR6B レジスタで追加された条件
  POECR6B.IC1ADDGPT23ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6B.IC2ADDGPT23ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6B.IC3ADDGPT23ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR6B.IC4ADDGPT23ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR6B.IC5ADDGPT23ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR6B.IC6ADDGPT23ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR6B.IC8ADDGPT23ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ1ビットまたは

POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ2ビットまたは
POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ3ビットまたは
POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ4ビットまたは
POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ5ビットまたは
POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(19) GPTW4 端子 (GTIOC4A, GTIOC4B)

POECR3.GPT4ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT4ABZE ビットが “0”、PMMCR2.GPT4AME ビット、GPT4BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC4A 信号と GTIOC4B 信号の出力レベル比較動作
  OCSR4.OCE4ビットが“1”の状態で、OCSR4.OSF4フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT46HIZビットを“1”にしたとき
- POECR10 レジスタで追加された条件
  POECR10.IC1ADDGPT46ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR10.IC2ADDGPT46ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR10.IC3ADDGPT46ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR10.IC4ADDGPT46ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR10.IC5ADDGPT46ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR10.IC6ADDGPT46ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR10.IC8ADDGPT46ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ5ビットまたは

POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(20) GPTW5 端子 (GTIOC5A, GTIOC5B)

POECR3.GPT5ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT5ABZE ビットが “0”、PMMCR2.GPT5AME ビット、GPT5BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC5A 信号と GTIOC5B 信号の出力レベル比較動作
  OCSR4.OCE4ビットが“1”の状態で、OCSR4.OSF4フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT46HIZビットを“1”にしたとき
- POECR10 レジスタで追加された条件
  POECR10.IC1ADDGPT46ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR10.IC2ADDGPT46ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR10.IC3ADDGPT46ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR10.IC4ADDGPT46ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR10.IC5ADDGPT46ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR10.IC6ADDGPT46ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR10.IC8ADDGPT46ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(21) GPTW6 端子 (GTIOC6A, GTIOC6B)

POECR3.GPT6ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT6ABZE ビットが “0”、PMMCR2.GPT6AME ビット、GPT6BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC6A 信号と GTIOC6B 信号の出力レベル比較動作
  OCSR4.OCE4 ビットが“1”の状態で、OCSR4.OSF4 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT46HIZ ビットを“1”にしたとき
- POECR10 レジスタで追加された条件
  POECR10.IC1ADDGPT46ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR10.IC2ADDGPT46ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR10.IC3ADDGPT46ZE ビットが“1”、かつICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR10.IC4ADDGPT46ZE ビットが“1”、かつICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR10.IC5ADDGPT46ZE ビットが“1”、かつICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR10.IC6ADDGPT46ZE ビットが“1”、かつICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR10.IC8ADDGPT46ZE ビットが“1”、かつICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
- コンパレータ出力検出
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ0 ビットまたは
  POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ1 ビットまたは
  POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ2 ビットまたは
  POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ3 ビットまたは
  POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ4 ビットまたは
  POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ5 ビットまたは
  POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(22) GPTW7 端子 (GTIOC7A, GTIOC7B)

POECR3.GPT7ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT7ABZE ビットが “0”、PMMCR2.GPT7AME ビット、GPT7BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC7A 信号と GTIOC7B 信号の出力レベル比較動作
  OCSR5.OCE5 ビットが“1”の状態で、OCSR5.OSF5 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT79HIZ ビットを“1”にしたとき
- POECR11 レジスタで追加された条件
  POECR11.IC1ADDGPT79ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR11.IC2ADDGPT79ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき

POECR11.IC3ADDGPT79ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
POECR11.IC4ADDGPT79ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
POECR11.IC5ADDGPT79ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR11.IC6ADDGPT79ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR11.IC8ADDGPT79ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

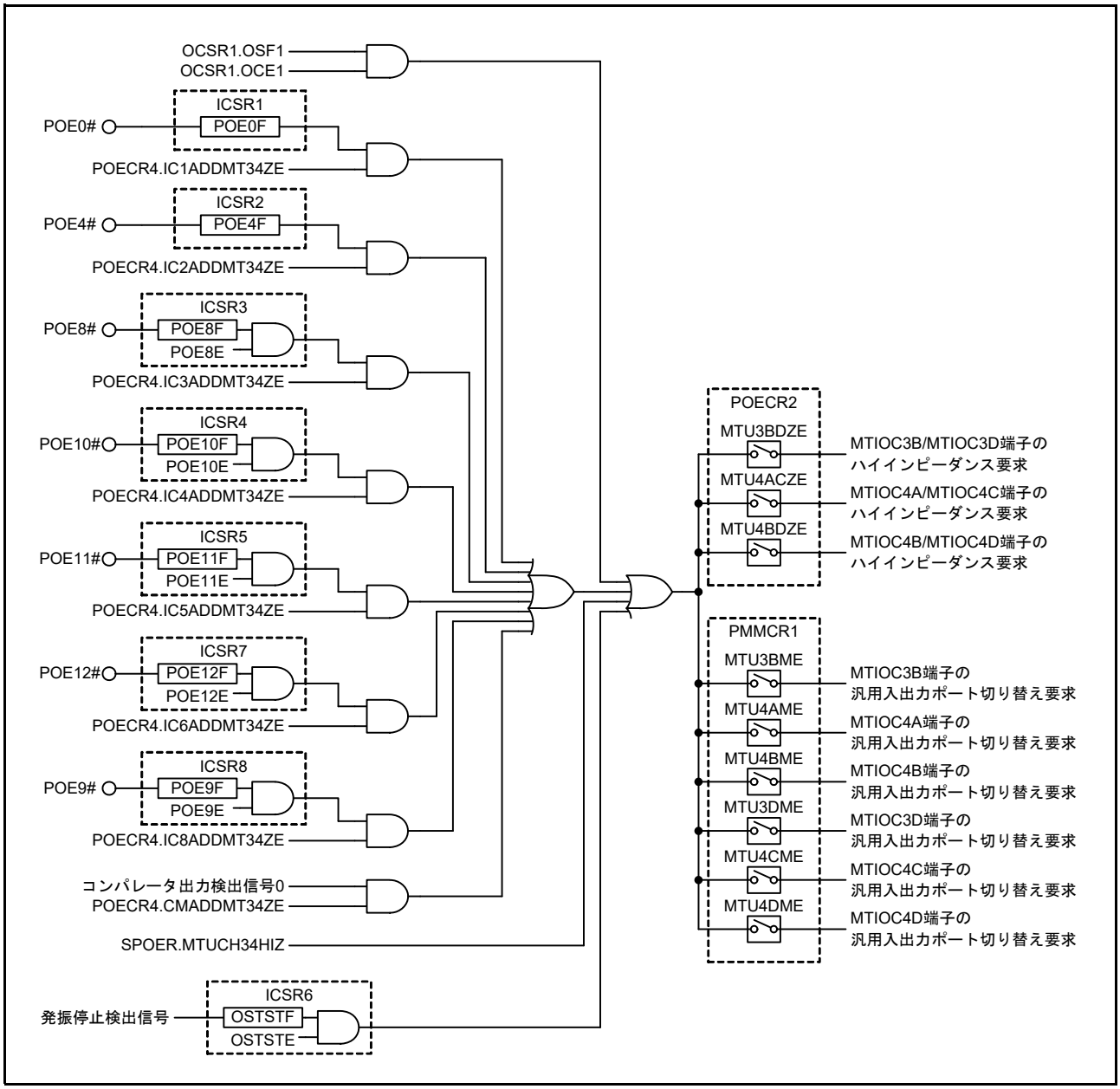


図 23.3 ハイインピーダンス制御の対象と条件 (1)

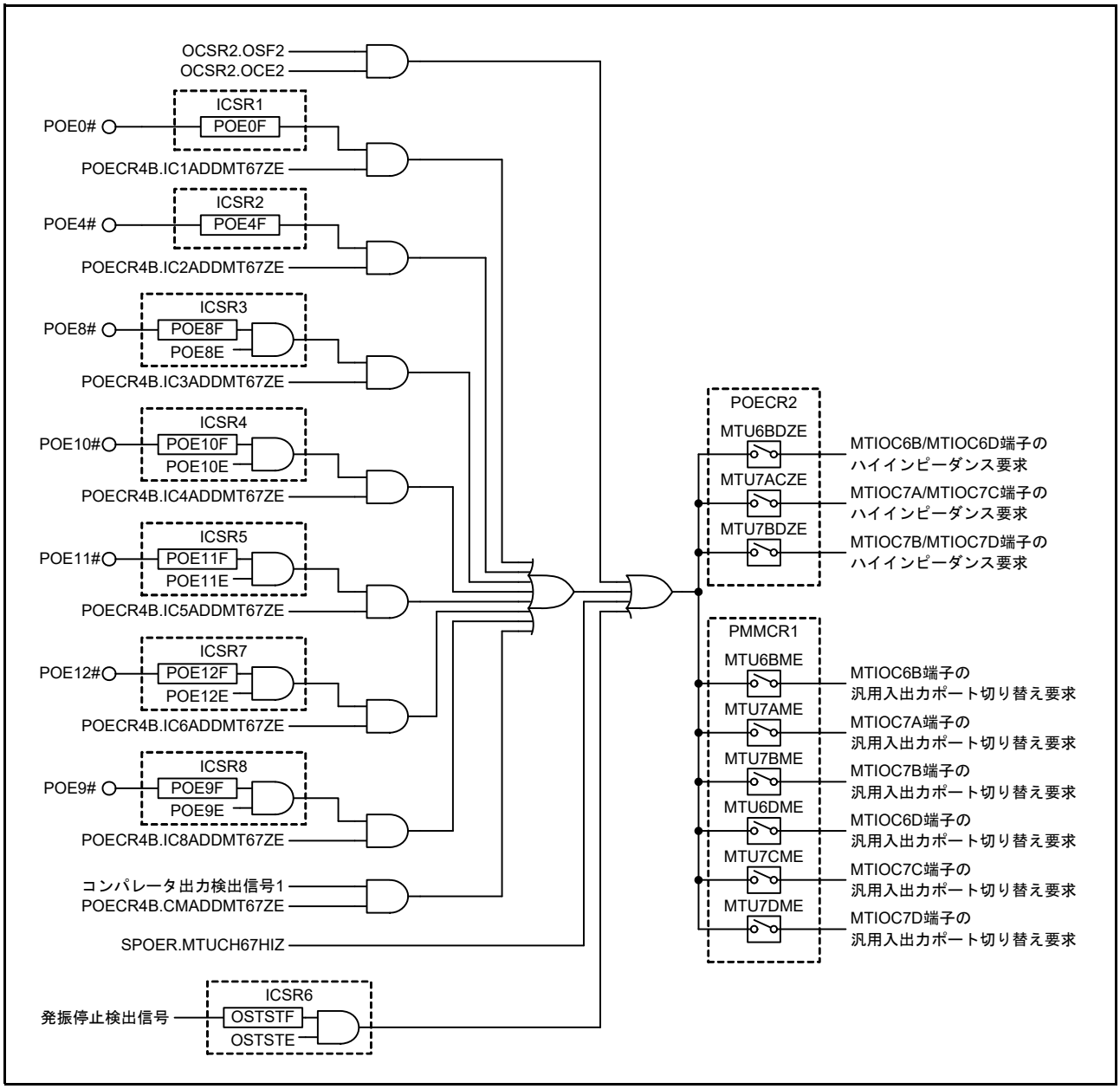


図 23.4 ハイインピーダンス制御の対象と条件 (2)

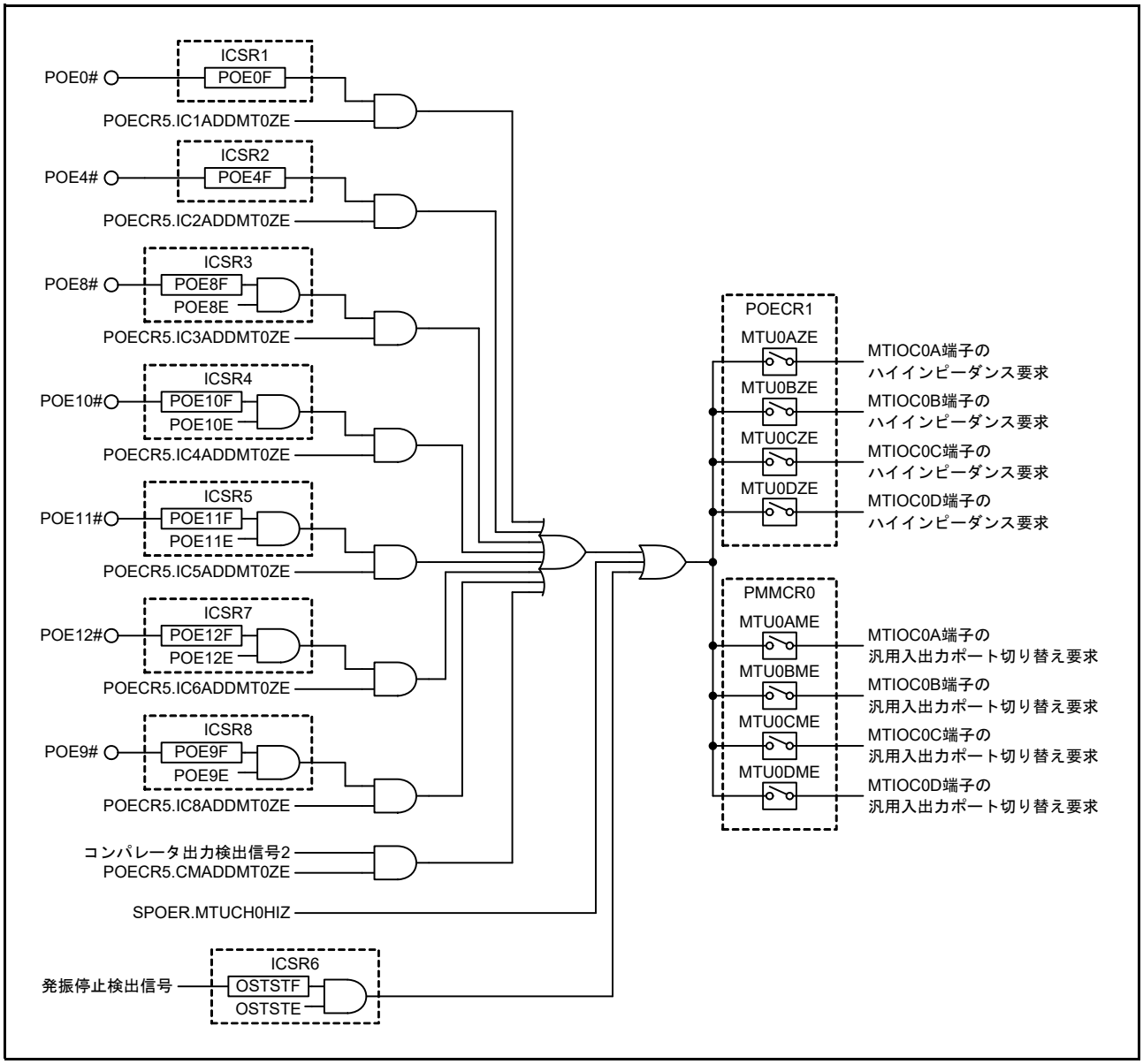


図 23.5　ハイインピーダンス制御の対象と条件 (3)

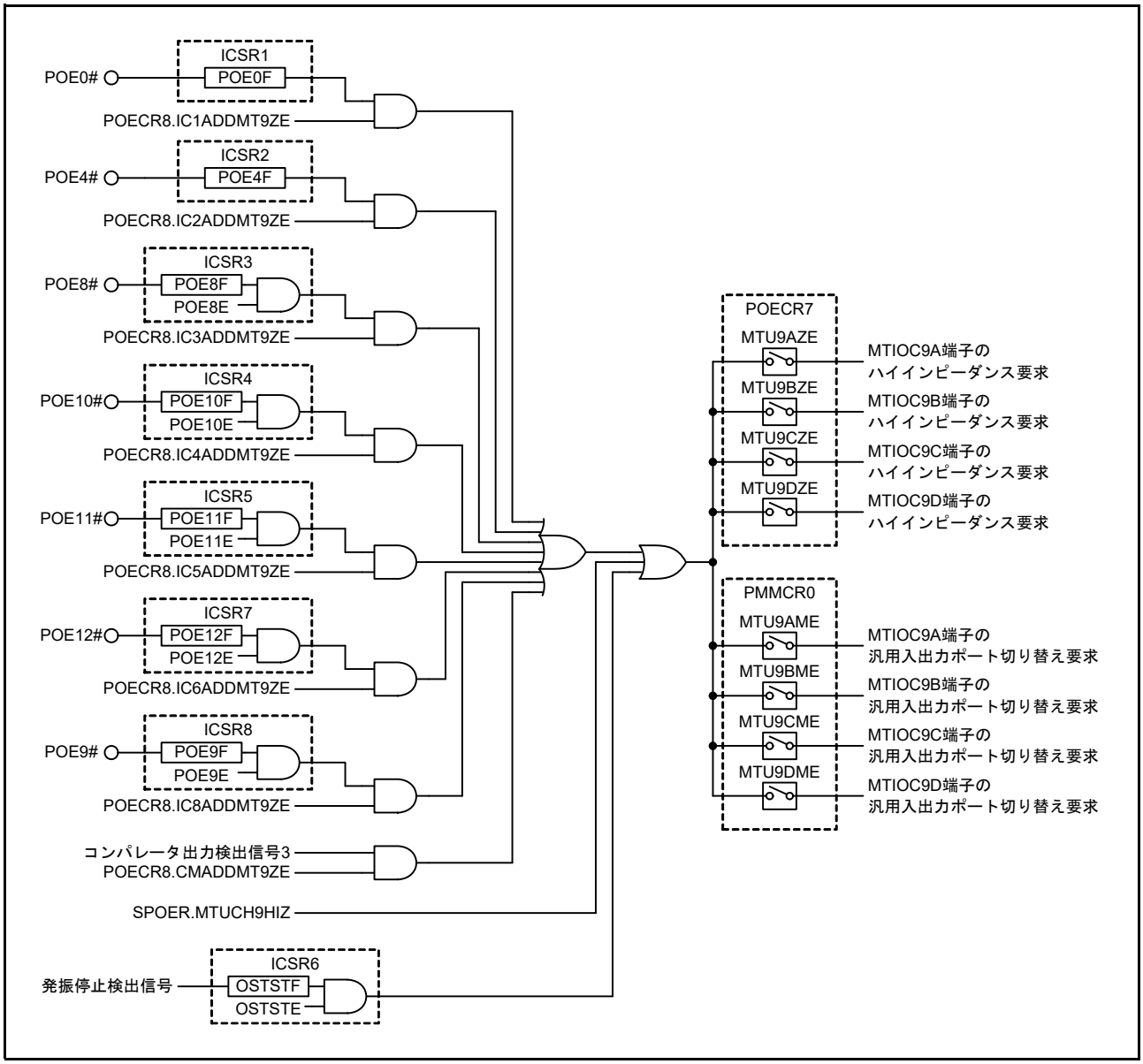


図 23.6　ハイインピーダンス制御の対象と条件 (4)

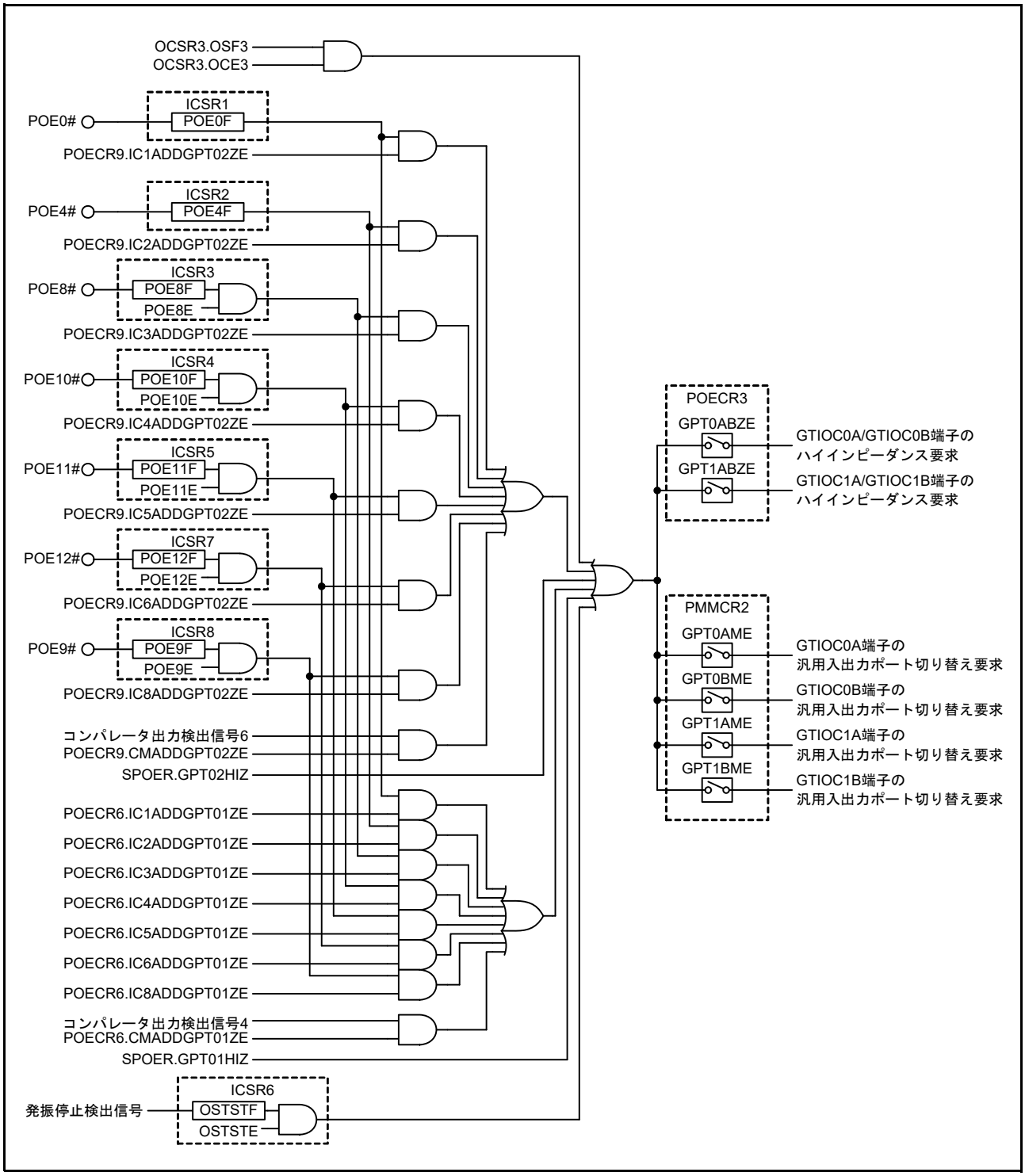


図 23.7　　ハイインピーダンス制御の対象と条件 (5)

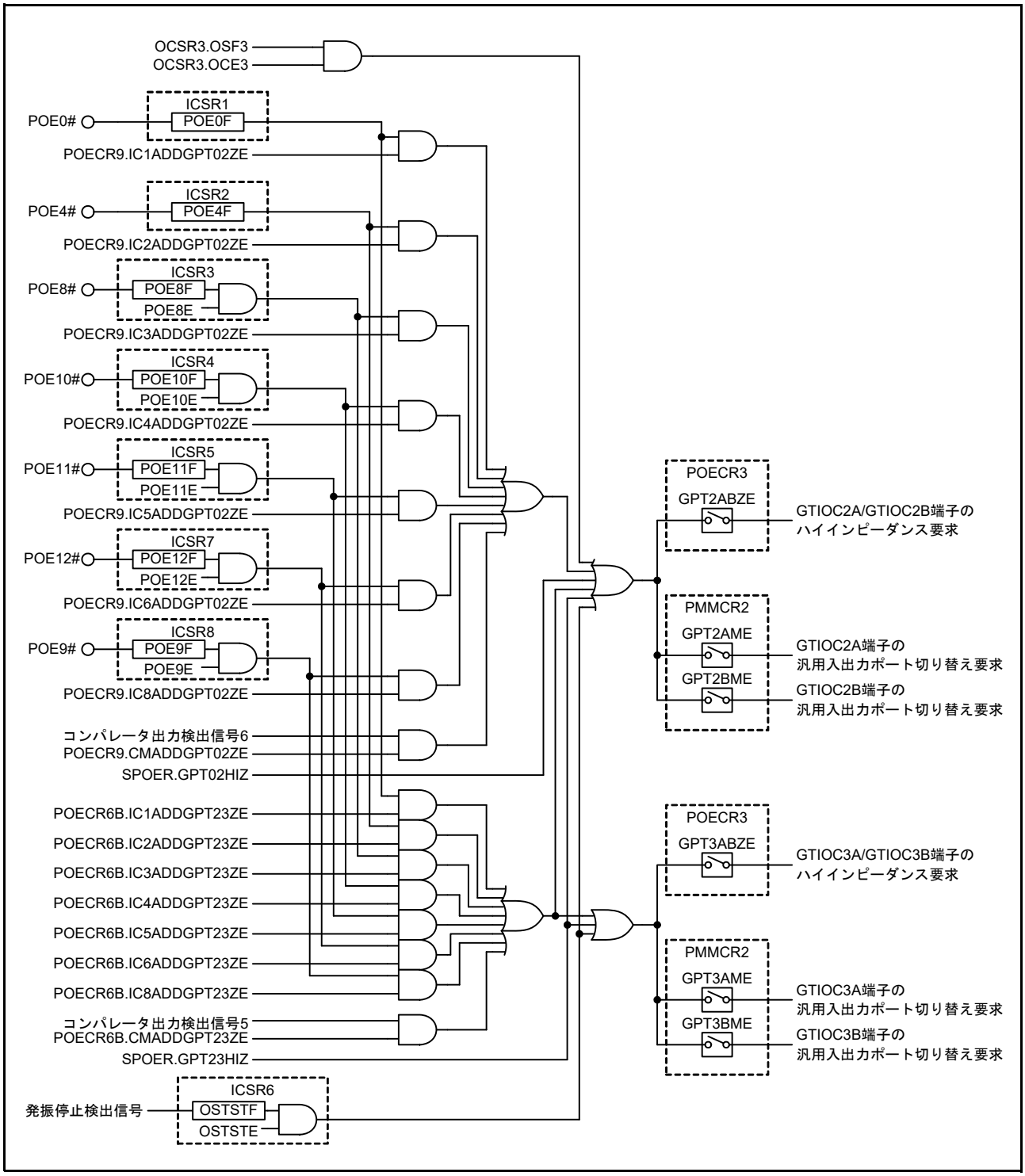


図 23.8　ハイインピーダンス制御の対象と条件 (6)

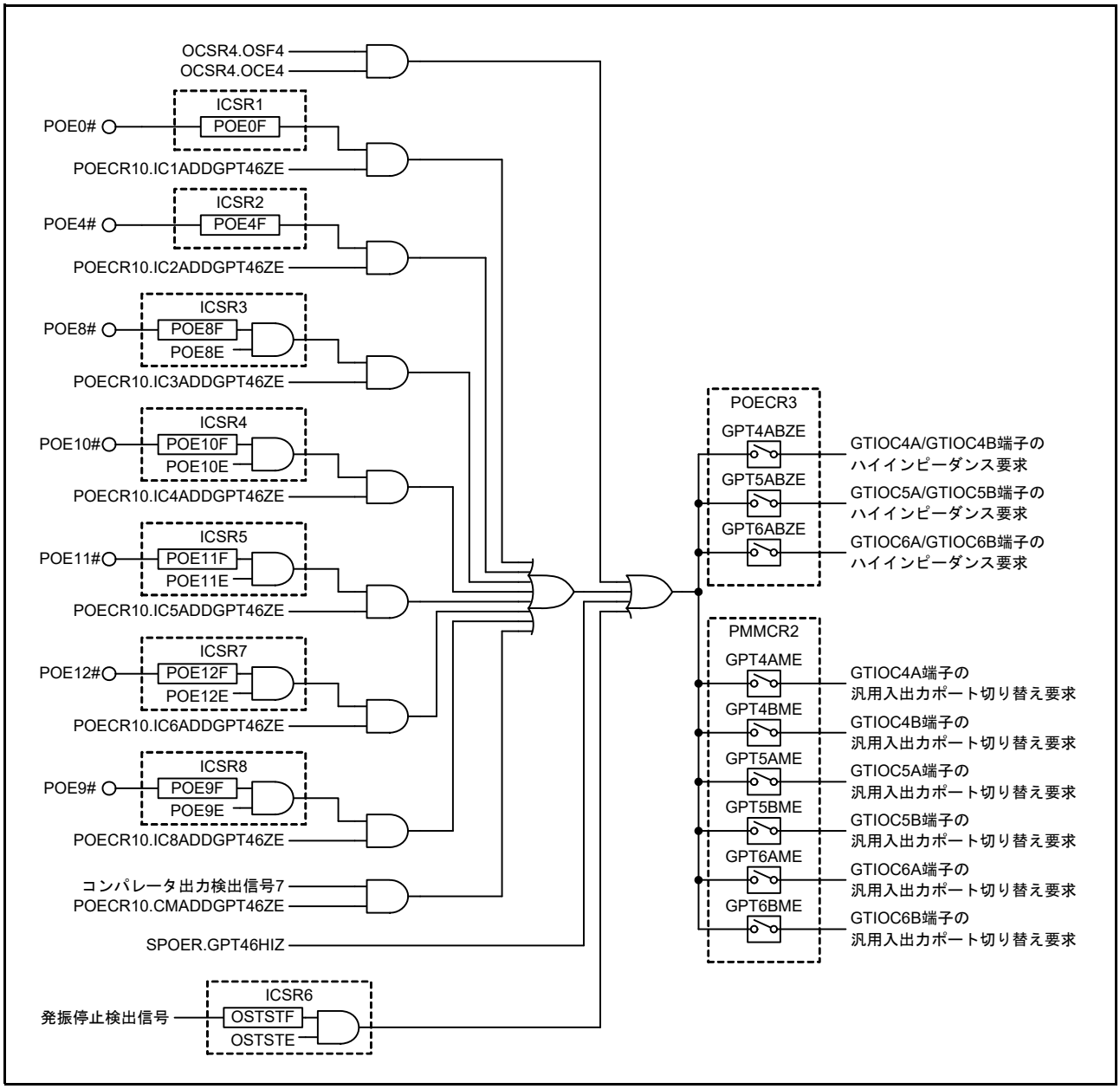


図 23.9 ハイインピーダンス制御の対象と条件 (7)

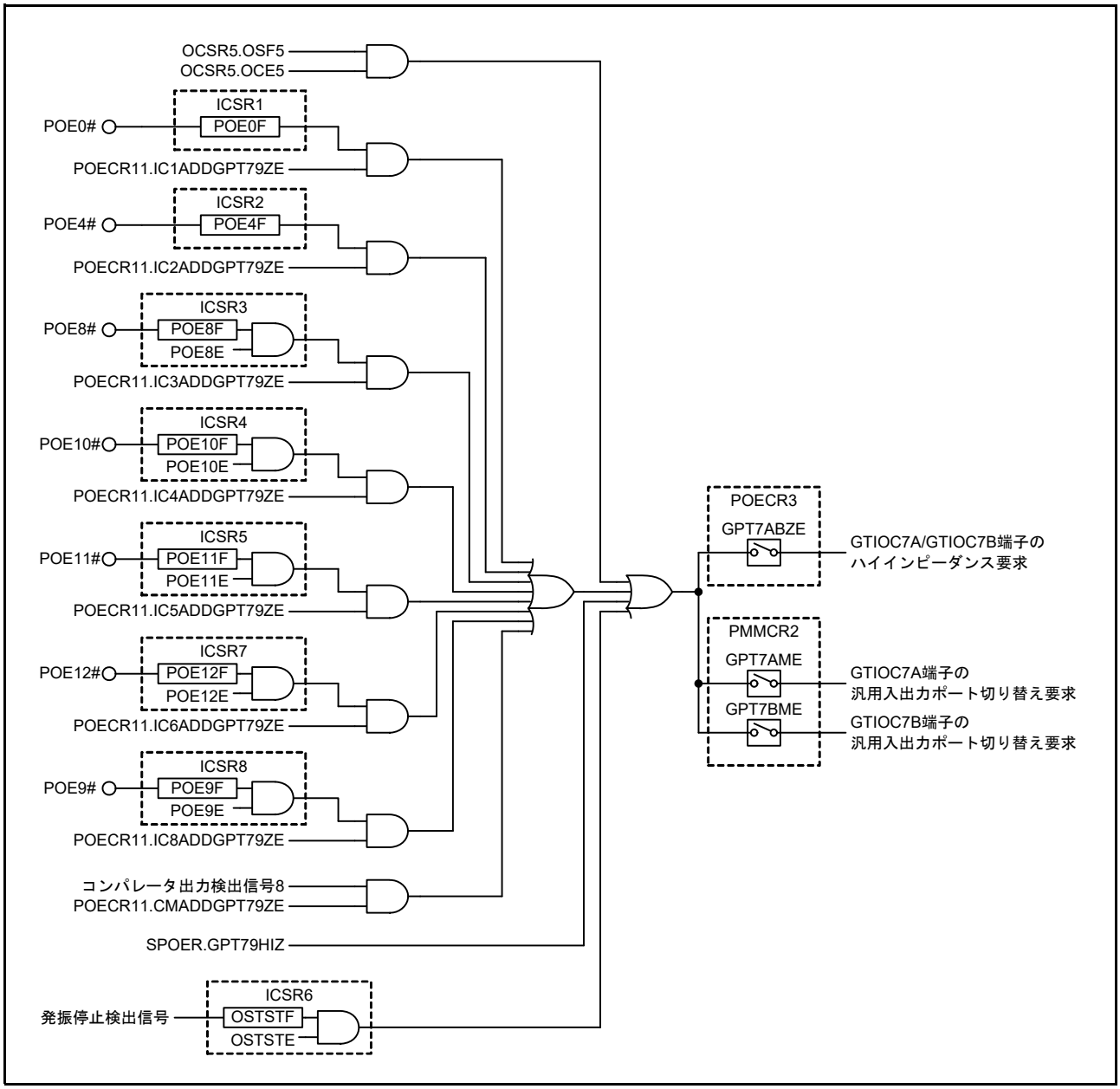


図 23.10　ハイインピーダンス制御の対象と条件 (8)

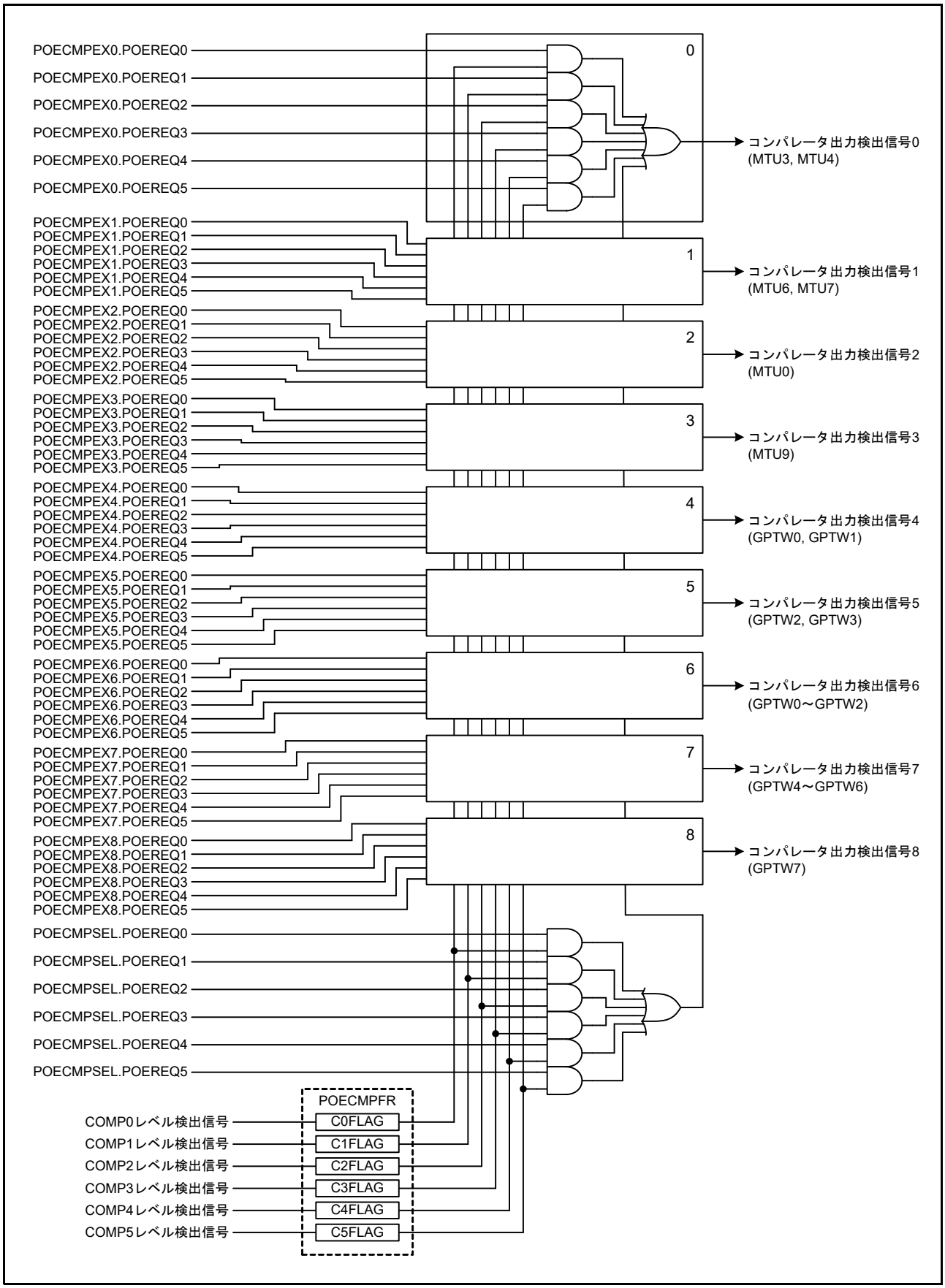


図 23.11　コンパレータ出力検出信号生成ブロック

23.3.1 MTU/GPTW 端子選択

本 MCU では、MTU/GPTW 用の各端子機能が各々複数のポートに割り当てられています。どのポートを出力停止制御の対象とするかは POE の端子選択レジスタ (M0SELR1/M0SELR2/M3SELR/M4SELR1/M4SELR2/M6SELR/M7SELR1/M7SELR2/M9SELR1/M9SELR2/G0SELR/G1SELR/G2SELR/G3SELR/G4SELR/G5SELR/G6SELR/G7SELR レジスタ) で選択できます。**表 23.5** に MTU 端子と選択レジスタの対応、**表 23.6** に GPTW 端子と選択レジスタの対応を示します。

なお、MTU/GPTW として使用する端子は、別途マルチファンクションピンコントローラ (MPC) のレジスタで設定する必要があります。POE のレジスタで選択した端子と MPC のレジスタで選択した端子に乖離がないよう注意してください。

表23.5　MTU端子と選択レジスタの対応

MTU端子機能	対応ポート	選択レジスタ
MTIOC0A	PB3	M0SELR1
	P31	
	P70	
MTIOC0B	PB2	
	P30	
MTIOC0C	PB1	M0SELR2
	P27	
MTIOC0D	PB0	
MTIOC3B	P71	M3SELR
MTIOC3D	P74	
MTIOC4A	P72	M4SELR1
MTIOC4C	P75	
MTIOC4B	P73	M4SELR2
MTIOC4D	P76	
MTIOC6B	P95	M6SELR
MTIOC6D	P92	
MTIOC7A	P94	M7SELR1
MTIOC7C	P91	
MTIOC7B	P93	M7SELR2
MTIOC7D	P90	

MTU端子機能	対応ポート	選択レジスタ
MTIOC9A	PD7	M9SELR1
	P21	
	P00	
MTIOC9B	PE0	
	P10	
	P22	
MTIOC9C	PD6	M9SELR2
	P20	
	P01	
MTIOC9D	PE1	
	PN7	
	PE5	
	P11	

表23.6　GPTW端子と選択レジスタの対応

GPTW端子機能	対応ポート	選択レジスタ
GTIOC0A	P71	G0SELR
	PD7	
	PD2	
GTIOC0B	P74	
	PD6	
	PD1	
GTIOC1A	P72	G1SELR
	PD5	
	PD0	
GTIOC1B	P75	
	PD4	
	PB7	
GTIOC2A	P73	G2SELR
	PD3	
	PB6	
GTIOC2B	P76	
	PD2	
	PB5	
GTIOC3A	P32	G3SELR
	PD1	
	PE5	
	PD7	
	PB6	
	P10	
GTIOC3B	P33	
	PD0	
	P11	
	PD6	
	PB5	

GPTW端子機能	対応ポート	選択レジスタ
GTIOC4A	P95	G4SELR
	P71	
GTIOC4B	P92	
	P74	
GTIOC5A	P94	G5SELR
	P72	
GTIOC5B	P91	
	P75	
GTIOC6A	P93	G6SELR
	P73	
GTIOC6B	P90	
	P76	
GTIOC7A	P95	G7SELR
	PB2	
	P32	
	PD5	
GTIOC7B	P92	
	PB1	
	P33	
	PD3	

23.3.2　入力レベル検出動作

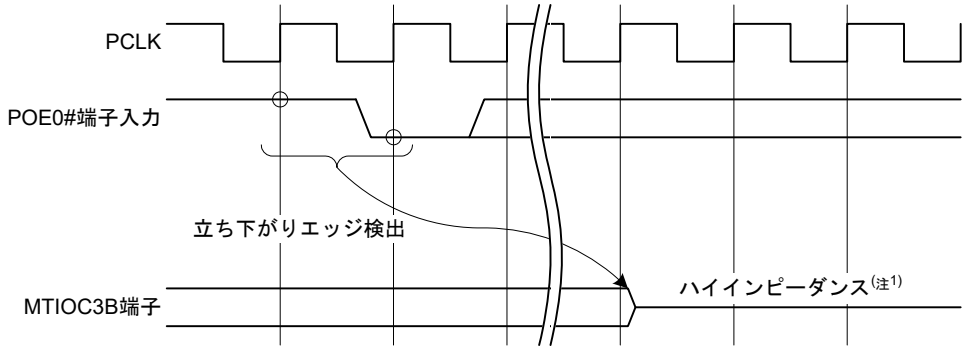
ICSR1 ～ ICSR5、ICSR7、ICSR8 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3、MTU4 または MTU6、MTU7 端子) および MTU0 端子、MTU9 端子、GPTW 端子の出力を停止します。

(1)　エッジ検出

POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9# 端子に High から Low の変化 (INV ビットが “0” の場合。INV ビットが “1” のときは Low から High の変化) が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子、MTU9 端子、GPTW 端子の出力を停止します。

エッジは、PCLK でサンプリングを行った後、検出します。POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9# 端子に 1 PCLK クロック以上の Low または High を入力してください。

POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9# 端子入力から端子がハイインピーダンスになるまでのタイミング例を図 23.12 に示します。



注1. その他の端子も同様のタイミングでハイインピーダンスになります。

図 23.12　立ち下がりエッジ検出、ハイインピーダンスを選択した場合の動作

(2)　レベル検出

図 23.13 に Low レベル検出 (INV ビットが “0”) で端子をハイインピーダンスにする場合の動作例を示します。ICSR1 ～ ICSR5、ICSR7、ICSR8 レジスタで設定したサンプリングクロックで、指定された回数連続して Low を検出すると Low が入力されたとみなし、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子および GPTW 端子の出力を停止します。このとき、一度でも High を検出した場合は Low が入力されたとみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子、MTU9 端子、GPTW 端子の出力が停止するまでの時間は、エッジ検出、レベル検出ともに同じです。

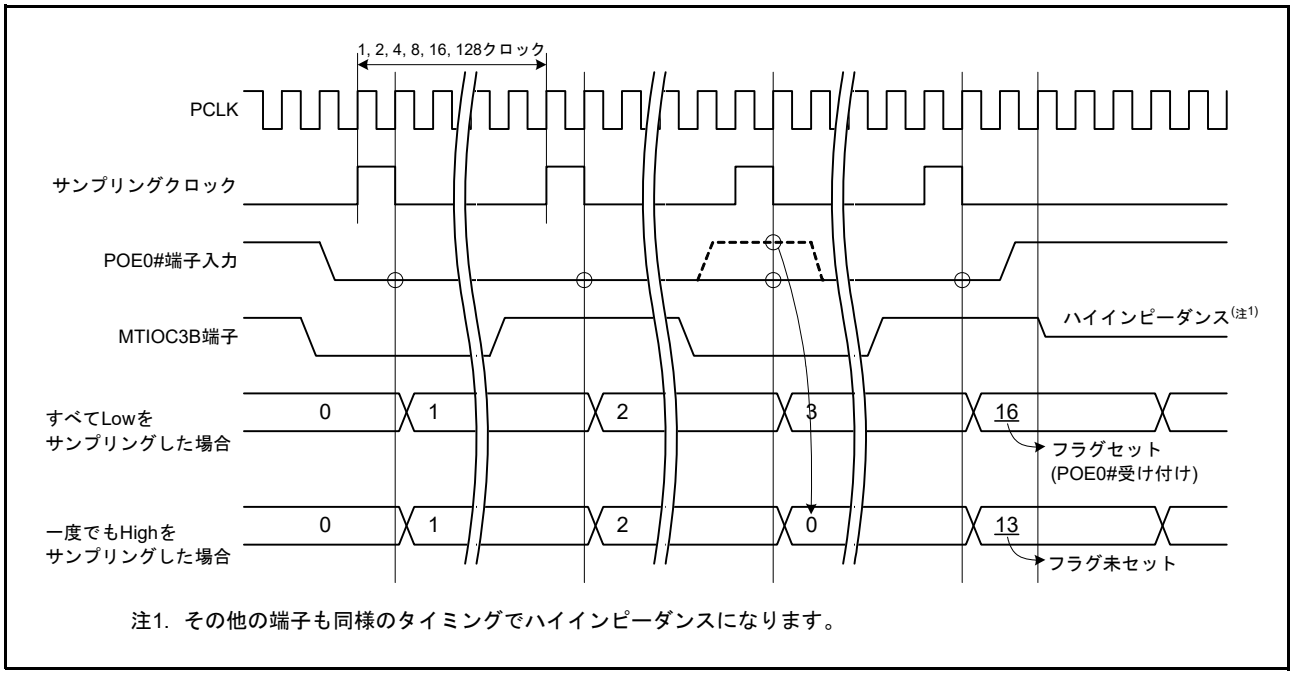


図 23.13　Low レベル検出、ハイインピーダンスを選択した場合の動作 (16 回サンプリング)

23.3.3　出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 23.14 に示します。MTIOC3B 信号と MTIOC3D 信号が PCLK の 1 サイクル以上同時にアクティブレベルになると、両端子の出力が停止します。他の信号の組み合わせ、汎用入出力ポートへの切り替えの場合についても同様です。

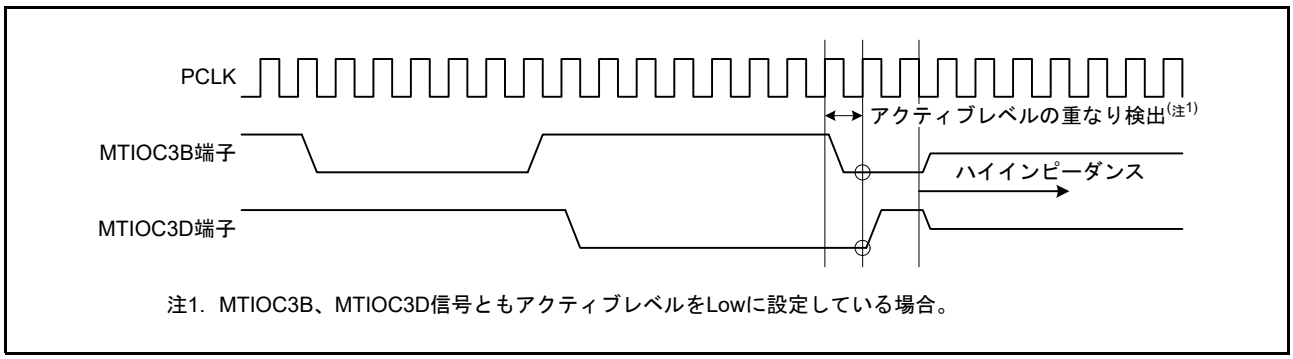


図 23.14　出力レベル検出動作

23.3.4 レジスタによる出力停止制御

SPOER レジスタにより、直接、MTU 端子 (MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 端子) および GPTW 端子 (GPTW0 ～ GPTW7 端子) の出力停止制御を行います。

たとえば、SPOER.MTUCH34HIZ ビットを “1” にすることで、POECR2 レジスタで設定した MTU3、MTU4 の端子をハイインピーダンスにできます。

他の端子についても、SPOER レジスタ内のビット設定により同様に出力停止制御が行えます。

23.3.5 発振停止検出検知による出力停止制御

ICSR6.OSTSTE ビットが “1” のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR1 ～ POECR3、POECR7 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPTW 端子をハイインピーダンスに、PMMCR0 ～ PMMCR2 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPTW 端子を汎用入出力ポートにできます。

23.3.6 コンパレータ出力検出による出力停止制御

コンパレータ出力の検出により、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPTW 端子の出力を停止することができます。

たとえば、POECR4.CMADDMT34ZE ビットを “1” にして MTU3、MTU4 の端子の出力停止制御条件に POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を追加することで、コンパレータ出力検出時に POECR2 レジスタで設定した MTU3、MTU4 の端子の出力をハイインピーダンスに、PMMCR1 レジスタで設定した MTU3、MTU4 の端子を汎用入出力ポートにできます。

他の端子についても、POECR1 ～ POECR8 レジスタ、PMMCR0 ～ PMMCR2 レジスタの設定により同様に出力停止制御が行えます。

CjFLAG フラグ (j = 0 ～ 5) を出力停止制御条件として使用するには、POECMPSEL レジスタまたは POECMPEXm レジスタ (m = 0 ～ 8) の設定が必要です。POECMPSEL.POEREQj ビットを “1” にすると、すべての制御対象端子に CjFLAG フラグが要因として追加されます。POECMPEXm.POEREQj ビットを “1” にすると、対応する制御対象端子にのみ CjFLAG フラグが要因として追加されます。

23.3.7 出力停止制御条件の追加機能

POECR4 ～ POECR6、POECR4B、POECR6B、POECR8 ～ POECR11 レジスタの設定により、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、および GPTW 端子の出力停止制御条件を追加することができます。

たとえば、MTU3、MTU4 の端子の出力停止制御条件に、下記を追加することができます。

- POECR4.CMADDMT34ZE ビットを “1” にして、コンパレータ出力検出を追加
- POECR4.IC1ADDMT34ZE ビットを “1” にして、POE0# 端子による入力レベル検出を追加
- POECR4.IC2ADDMT34ZE ビットを “1” にして、POE4# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを “1” にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを “1” にして、POE10# 端子による入力レベル検出を追加
- POECR4.IC5ADDMT34ZE ビットを “1” にして、POE11# 端子による入力レベル検出を追加
- POECR4.IC6ADDMT34ZE ビットを “1” にして、POE12# 端子による入力レベル検出を追加
- POECR4.IC8ADDMT34ZE ビットを “1” にして、POE9# 端子による入力レベル検出を追加

他の端子についても、POECR4 ～ POECR6、POECR4B、POECR6B、POECR8 ～ POECR11 レジスタの設

定により同様に出力停止制御条件の追加が行えます。

23.3.8　出力停止制御信号のマスク

POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9# 端子からの入力信号、およびコンパレータレベル検出信号による出力停止要求を、IMCRn レジスタ (n = 0 ～ 6, 9 ～ 14) によってマスクすることができます。

IMCRn.POEmMS[5:0] ビット (n = 0 ～ 6、m = 0, 4, 8, 10, 11, 12, 9) によって選択された信号が High のとき、POEm# 端子からの入力信号がマスクされ、IMCRn.CMPjMS[5:0] ビット (n = 9 ～ 14、j = 0 ～ 5) によって選択された信号が High のとき、コンパレータレベル検出信号がマスクされます。

図 23.15 に立ち下がりエッジ検出を選択したときの入力信号のマスク動作例を示します。

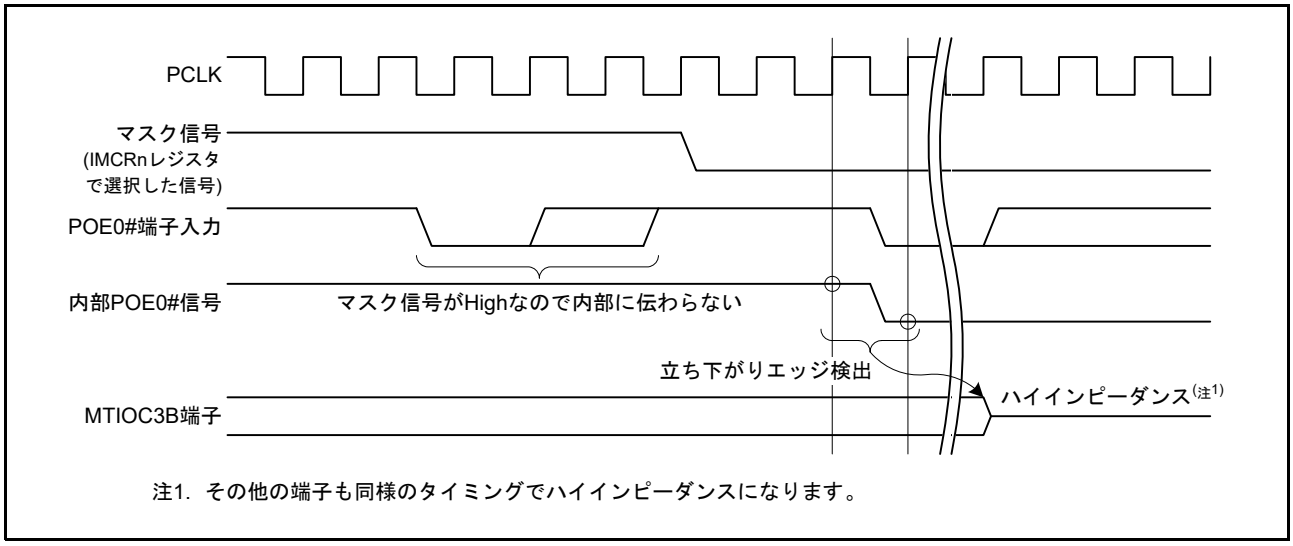


図 23.15　POEm# 信号のマスク動作 (立ち下がりエッジ検出時)

23.3.9　出力停止要求発生時の制御

出力停止要求が発生したとき、POECR1 ～ POECR3、POECR7 レジスタの対応するビットを “1” にした端子はハイインピーダンスになり、PMMCR0 ～ PMMCR2 レジスタの対応するビットを “1” にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを “1” にした場合は、POECR1 ～ POECR3、POECR7 レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。

23.3.10　出力停止状態の解除

入力レベル検出で出力が停止した端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE11F フラグ、ICSR7.POE12F フラグ、ICSR8.POE9F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[3:0] ビット、ICSR2.POE4M[3:0] ビット、ICSR3.POE8M[3:0] ビット、ICSR4.POE10M[3:0] ビット、ICSR5.POE11M[3:0] ビット、ICSR7.POE12M[3:0] ビット、ICSR8.POE9M[3:0] ビットで Low レベル検出に設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9# 端子から High を入力して High を検出した後でないと、フラグに対して “0” を書いても無効となりフラグは “0” になりません。同様に、High レベル

検出に設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9# 端子から Low を入力して Low を検出した後でないと、フラグに対して “0” を書いても無効となりフラグは “0” になりません。

出力短絡検出で出力が停止した端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグ、OCSR3.OSF3 フラグ、OCSR4.OSF4 フラグ、OCSR5.OSF5 フラグを “0” にすることによって解除されます。ただし、当該信号を非アクティブレベルにした後でないと、フラグに対して “0” を書いても無効となりフラグは “0” になりません。非アクティブレベル出力は、MTU の場合はカウント動作停止後に初期出力状態にすることで、GPTW の場合は「24.9.2　動作中の異常などによる端子の初期化」の手順で行うことができます。

コンパレータ出力検出で出力が停止した端子は、リセットで初期状態に戻すか、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を “0” にすることによって解除されます。POECMPFR.CjFLAG フラグを “0” にする場合は、コンパレータ出力検出を行ったアナログ入力信号が適正値に戻ったことを A/D 変換実施等で確認した後に実施してください。アナログ入力信号が適正値に戻ったことを確認しないで当該フラグをクリアしたときで、かつコンパレータが正転出力の場合にアナログ入力信号が基準電圧よりも高い、またはコンパレータが反転出力の場合にアナログ入力信号が基準電圧よりも低いままだった場合、前述の POECMPFR.CjFLAG フラグは再び “1” にはなりませんのでご注意ください。

発振停止検出で出力が停止した端子は、リセットで初期状態に戻すか、SYSTEM.OSTDSR.OSTDF フラグを “0” にして ICSR6.OSTSTF フラグを “0” にすることによって解除されます。

23.4　POE 設定手順

POE の設定手順を図 23.16 に示します。例として MTU3 信号 (MTIOC3B/MTIOC3D) の出力レベル比較によるハイインピーダンス制御を示します。図 23.16 では MTIOC3B 信号を P71 端子、MTIOC3D 信号を P74 端子に割り当てます。

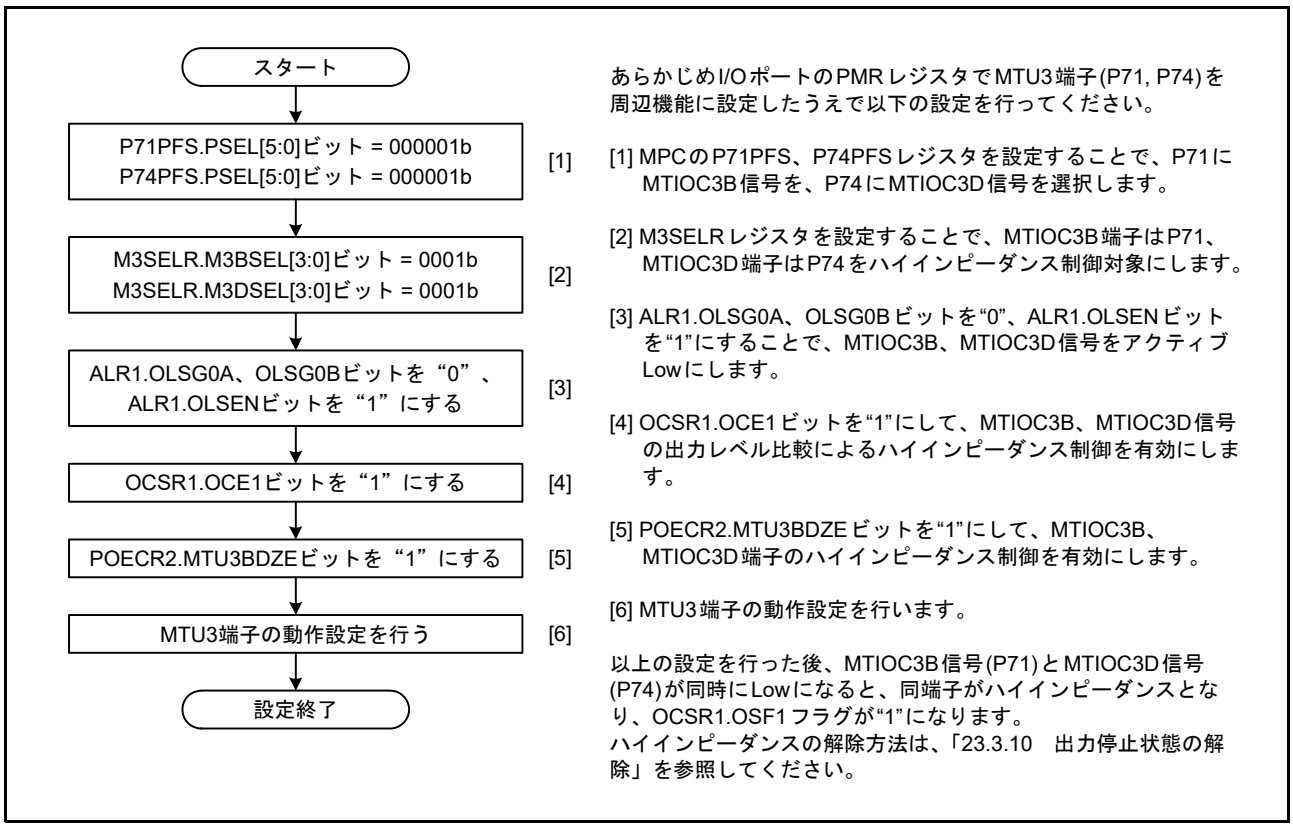


図 23.16　POE の設定手順

23.5 割り込み

POE は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 23.7 に割り込みの種類と割り込み要求を出す条件を示します。

表23.7　割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, OSF1	ICSR1.PIE1ビットが“1”の状態でICSR1.POE0Fフラグが“1”になったとき、またはOCSR1.OIE1ビットが“1”の状態でOCSR1.OSF1フラグが“1”になったとき
OEI2	アウトプットイネーブル割り込み2	POE4F, OSF2	ICSR2.PIE2ビットが“1”の状態でICSR2.POE4Fフラグが“1”になったとき、またはOCSR2.OIE2ビットが“1”の状態でOCSR2.OSF2フラグが“1”になったとき
OEI3	アウトプットイネーブル割り込み3	POE8F, POE9F	ICSR3.PIE3ビットが“1”の状態でICSR3.POE8Fフラグが“1”になったとき、またはICSR8.PIE8ビットが“1”の状態でICSR8.POE9Fフラグが“1”になったとき
OEI4	アウトプットイネーブル割り込み4	POE10F, POE11F	ICSR4.PIE4ビットが“1”の状態でICSR4.POE10Fフラグが“1”になったとき、またはICSR5.PIE5ビットが“1”の状態でICSR5.POE11Fフラグが“1”になったとき
OEI5	アウトプットイネーブル割り込み5	POE12F, OSF3, OSF4, OSF5	ICSR7.PIE7ビットが“1”の状態でICSR7.POE12Fフラグが“1”になったとき、OCSR3.OIE3ビットが“1”の状態でOCSR3.OSF3フラグが“1”になったとき、OCSR4.OIE4ビットが“1”の状態でOCSR4.OSF4フラグが“1”になったとき、またはOCSR5.OIE5ビットが“1”の状態でOCSR5.OSF5フラグが“1”になったとき

23.6 使用上の注意事項

23.6.1 低消費電力モードへの遷移

POE を使用する場合は、ソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードでは、POE の動作が停止するため、端子の出力停止制御はできません。

23.6.2 MTU/GPTW 端子非選択時の出力停止制御

POECR1 ～ POECR3、POECR7 レジスタ、PMMCR0 ～ PMMCR2 レジスタで MTU/GPTW 端子の出力停止制御を有効にしているときに制御条件を満たすと、端子選択レジスタによって制御対象になった端子は MPC の PxyPFS レジスタで MTU/GPTW 機能を選択していない場合でも、出力が停止します。

意図せず端子の出力が停止するのを避けるため、MPC の PxyPFS レジスタで選択した MTU/GPTW 端子と、POE の端子選択レジスタで選択した MTU/GPTW 端子が一致するように設定を行ってください。

23.6.3 POE を使用しない場合について

POE による端子の出力停止制御は、リセット後から有効となっている端子があります。POE を使用しない場合でも、POECR2 レジスタの対象ビットに “0” を書いてください。また、端子選択レジスタ (M0SELR1, M0SELR2, M3SELR, M4SELR1, M4SELR2, M6SELR, M7SELR1, M7SELR2, M9SELR1, M9SELR2, G0SELR, G1SELR, G2SELR, G3SELR, G4SELR, G5SELR, G6SELR, G7SELR) の対象ビットにも “0000b” を書いてください。

23.6.4 MTU/GPTW 反転出力設定時のアクティブレベル設定について

本 MCU では、MPC.PxyPFS レジスタにより MTU/GPTW の出力を正転出力 / 反転出力から選択することができます。

MTU の反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2j レジスタ (j = A, B) で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1、ALR2 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTW の反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3 ～ ALR5 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

23.6.5 ハイインピーダンス時の端子の読み出しについて

POE によって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

23.6.6 POE と POEG を併用した場合の注意事項

POE と POEG を併用する場合、同一の GPTW 出力端子に対して、POE と POEG の両方で出力停止制御を行わないでください。

23.6.7　ICSRn.INV ビットを “1” にして使用するときの注意事項

ICSRn.INV ビット (n = 1 ～ 5, 7, 8) を “1” (立ち上がりエッジまたは High レベル検出) にして使用する場合、リセット解除時の POEm# 端子 (m = 0, 4, 8, 10, 11, 12, 9) には Low が入力されているはずです。この状態で MPC.PxyPFS レジスタにより POEm# 信号を選択すると、内部信号が High から Low に変化するため、出力停止要求が生成されてしまいます (図 23.17 (1) 参照)。先に ICSRn レジスタを設定してから PxyPFS レジスタを設定してください。

なお、ICSRn.POEmM[3:0] ビット、POEmM2[3:0] ビットの設定によっては、ICSRn レジスタを設定してから PxyPFS レジスタを設定するまでの間に出力停止要求が生成される場合があります (図 23.17 (2) 参照)。この場合は、「23.3.10　出力停止状態の解除」に従って、ICSRn.POEmF フラグをクリアしてください。

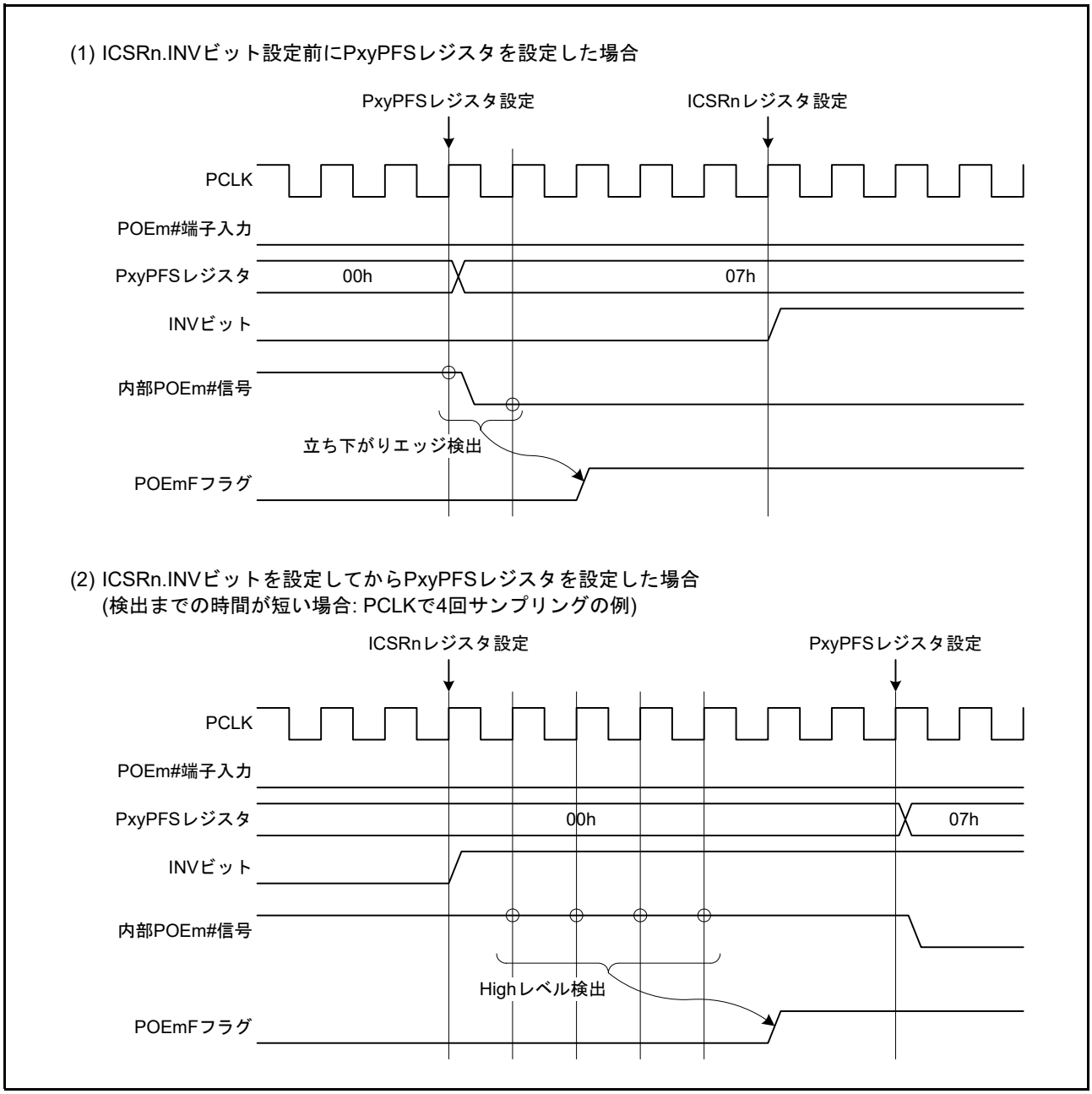


図 23.17　ICSRn.INV ビットと PxyPFS レジスタの設定タイミング

24. 汎用 PWM タイマ (GPTWa)

本 MCU は、8 チャネルの 32 ビットタイマにより構成される汎用 PWM タイマ (GPTW) を内蔵しています。

24.1 概要

表 24.1 に GPTW の仕様を、**表 24.2** に GPTW の機能一覧を示します。**図 24.1**、**図 24.2** に GPTW のブロック図を示します。

表24.1 GPTWの仕様

項目	仕様
機能	• 32ビット×8チャネル(RAM容量が64Kバイトの製品) • 16ビット×8チャネル(RAM容量が48Kバイトの製品) • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • PWM動作の際にデッドタイム生成が可能 • PWM出力100%/0%近傍のデューティを高精度に生成可能 • アウトプットコンペア動作時にコンペアレジスタの設定を即時反映し、デッドタイムを確保したPWM波形を生成可能 • 任意のチャネルのカウンタを同時スタート/ストップ/クリア可能 • ELC設定により、最大8つのELCイベントによるカウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 2本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 最大4本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • デッドタイムエラー、POEGからの出力停止要求による出力ネゲート制御機能 • A/D変換開始トリガ生成機能 • コンペアマッチA～Fイベント信号、オーバフロー/アンダフローイベント信号をELCへ出力可能 • インプットキャプチャ入力はノイズフィルタ機能を選択可能 • サイクルカウント機能 • 外部入力のパルス幅測定機能 • チャネル間でコンペアマッチ出力の論理演算が可能 • チャネル間で同期セット/クリア/インプットキャプチャが可能 • バスクロック：PCLKA、GPTWカウント基準クロック：PCLKC 周波数比PCLKA：PCLKC = 1：1, 1：2

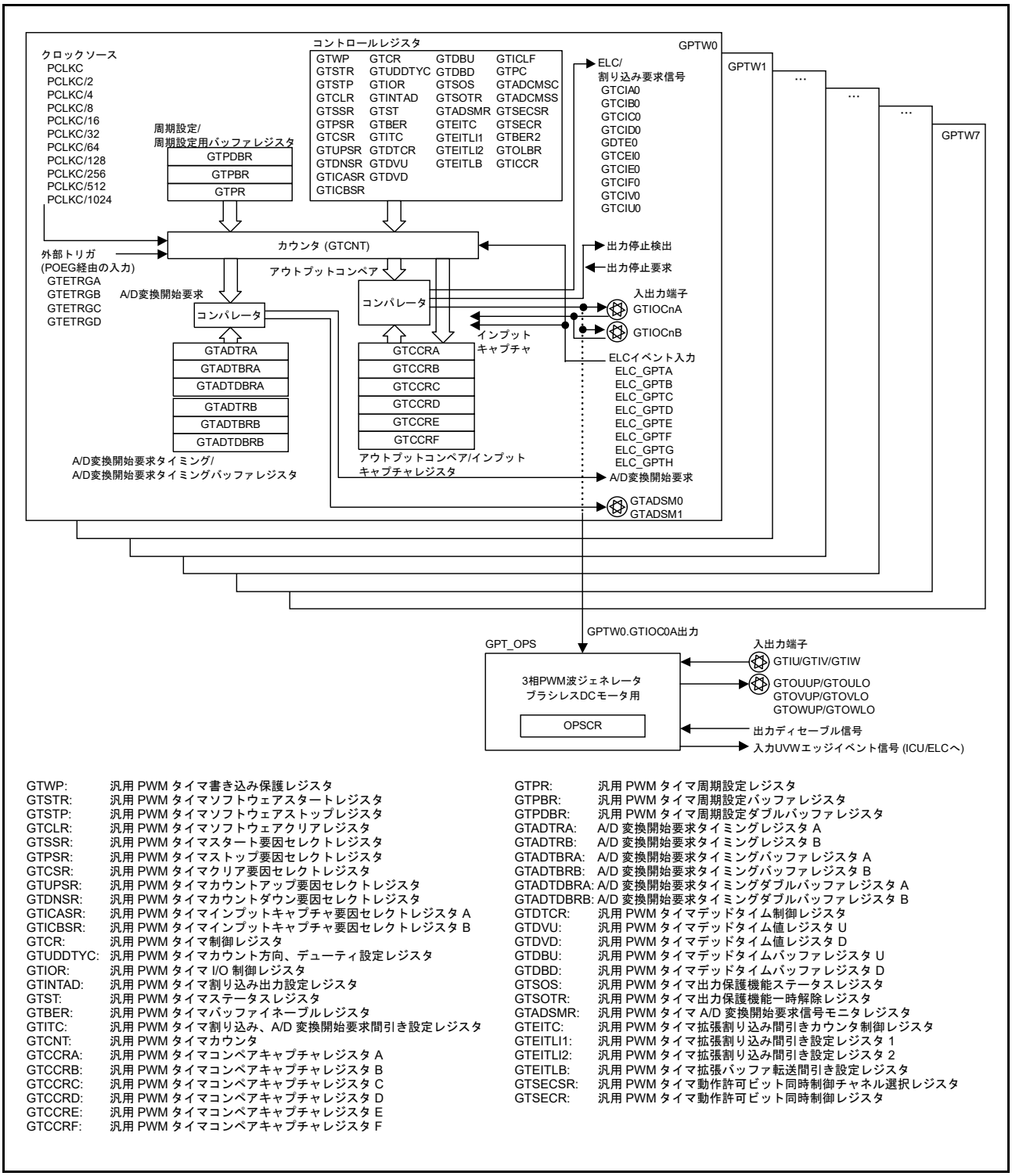
表24.2　GPTWの機能一覧 (1/2)

項目		GPTW0～GPTW2	GPTW3	GPTW4～GPTW6	GPTW7
タイマカウンタ		16ビット/32ビット			
カウントクロック		PCLKC, PCLKC/2, PCLKC/4, PCLKC/8, PCLKC/16, PCLKC/32, PCLKC/64, PCLKC/128, PCLKC/256, PCLKC/512, PCLKC/1024, GTETRGA, GTETRGB, GTETRGC, GTETRGD			
アウトプットコンペア/インプットキャプチャレジスタ(GTCCR)		GTCCRA, GTCCRB			
コンペア/バッファレジスタ		GTCCRC, GTCCRD, GTCCRE, GTCCRF			
周期設定レジスタ		GTPR			
周期設定バッファレジスタ		GTPBR, GTPDBR			
インプットキャプチャ入力/コンペアマッチ出力/PWM出力端子		GTIOCnA, GTIOCnB			
外部トリガ入力端子(POEG経由)		GTETRGA, GTETRGB, GTETRGC, GTETRGD			
カウンタクリア要因		GTPRレジスタのコンペアマッチ、インプットキャプチャ、ELC入力、入力端子状態、外部トリガ入力、GTCCRレジスタのコンペアマッチ、他チャネルのクリア要因			
サイクルカウント機能		○			
コンペアマッチ出力	Low出力	○			
	High出力	○			
	トグル出力	○			
インプットキャプチャ機能		○			
デッドタイム自動設定機能		○			
PWMモード	のこぎり波PWMモード1	○	○	○	○
	のこぎり波PWMモード2	○	—	○	—
	のこぎり波ワンショットパルスモード	○	○	○	○
	三角波PWMモード1、2、3	○	○	○	○
	相補PWMモード1、2、3、4	○	—	○	—
位相計数機能		○			
外部入力パルス幅測定機能		○			
バッファ動作	ダブルバッファ	○			
	複数チャネル同時動作禁止制御	○			
	カウンタクリア/コンペアマッチによるバッファ転送	○			
ワンショット動作		○			
DMAC/DTCの起動		すべての割り込み要因			
A/D変換開始トリガ		GTADTRA、GTADTRBレジスタのコンペアマッチ			
ブラシレスDCモータ制御用三相PWM波形生成機能		○(全体で1機能)			

表24.2　GPTWの機能一覧 (2/2)

項目	GPTW0～GPTW2	GPTW3	GPTW4～GPTW6	GPTW7
割り込み要因	10要因 • GTCCRAレジスタコンペアマッチ/インプットキャプチャ (GTCIAn) • GTCCRBレジスタコンペアマッチ/インプットキャプチャ (GTCIBn) • GTCCRCレジスタコンペアマッチ(GTCICn) • GTCCRDレジスタコンペアマッチ(GTCIDn) • デッドタイムエラー (GDTEn) • GTCCREレジスタコンペアマッチ(GTCIEn) • GTCCRFレジスタコンペアマッチ(GTCIFn) • GTCNTカウンタオーバフロー (GTPRレジスタコンペアマッチ) (GTCIVn) • GTCNTカウンタアンダフロー (GTCIUn) • サイクルカウント終了(GTCEIn)			
割り込み間引き機能	GTCNTカウンタオーバフロー (GTPRレジスタコンペアマッチ) (GTCIVn)/GTCNTカウンタアンダフロー (GTCIUn)割り込みを間引き(他の割り込み、およびA/D変換開始要求との連動機能あり)、GTADTRA、GTADTRBレジスタのコンペアマッチを間引き			
ELCによるイベント動作	○			
ノイズフィルタ機能	○			
チャネル出力間論理演算	○			
同期クリア/セット/インプットキャプチャ	○			

○：可能



GTWP: 汎用 PWM タイマ書き込み保護レジスタ
GTSTR: 汎用 PWM タイマソフトウェアスタートレジスタ
GTSTP: 汎用 PWM タイマソフトウェアストップレジスタ
GTCLR: 汎用 PWM タイマソフトウェアクリアレジスタ
GTSSR: 汎用 PWM タイマスタート要因セレクトレジスタ
GTPSR: 汎用 PWM タイマストップ要因セレクトレジスタ
GTCSR: 汎用 PWM タイマクリア要因セレクトレジスタ
GTUPSR: 汎用 PWM タイマカウントアップ要因セレクトレジスタ
GTDNSR: 汎用 PWM タイマカウントダウン要因セレクトレジスタ
GTICASR: 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A
GTICBSR: 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B
GTCR: 汎用 PWM タイマ制御レジスタ
GTUDDTYC: 汎用 PWM タイマカウント方向、デューティ設定レジスタ
GTIOR: 汎用 PWM タイマ I/O 制御レジスタ
GTINTAD: 汎用 PWM タイマ割り込み出力設定レジスタ
GTST: 汎用 PWM タイマステータスレジスタ
GTBER: 汎用 PWM タイマバッファイネーブルレジスタ
GTITC: 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ
GTCNT: 汎用 PWM タイマカウンタ
GTCCRA: 汎用 PWM タイマコンペアキャプチャレジスタ A
GTCCRB: 汎用 PWM タイマコンペアキャプチャレジスタ B
GTCCRC: 汎用 PWM タイマコンペアキャプチャレジスタ C
GTCCRD: 汎用 PWM タイマコンペアキャプチャレジスタ D
GTCCRE: 汎用 PWM タイマコンペアキャプチャレジスタ E
GTCCRF: 汎用 PWM タイマコンペアキャプチャレジスタ F

GTPR: 汎用 PWM タイマ周期設定レジスタ
GTPBR: 汎用 PWM タイマ周期設定バッファレジスタ
GTPDBR: 汎用 PWM タイマ周期設定ダブルバッファレジスタ
GTADTRA: A/D 変換開始要求タイミングレジスタ A
GTADTRB: A/D 変換開始要求タイミングレジスタ B
GTADTBRA: A/D 変換開始要求タイミングバッファレジスタ A
GTADTBRB: A/D 変換開始要求タイミングバッファレジスタ B
GTADTDBRA: A/D 変換開始要求タイミングダブルバッファレジスタ A
GTADTDBRB: A/D 変換開始要求タイミングダブルバッファレジスタ B
GTDTCR: 汎用 PWM タイマデッドタイム制御レジスタ
GTDVU: 汎用 PWM タイマデッドタイム値レジスタ U
GTDVD: 汎用 PWM タイマデッドタイム値レジスタ D
GTDBU: 汎用 PWM タイマデッドタイムバッファレジスタ U
GTDBD: 汎用 PWM タイマデッドタイムバッファレジスタ D
GTSOS: 汎用 PWM タイマ出力保護機能ステータスレジスタ
GTSOTR: 汎用 PWM タイマ出力保護機能一時解除レジスタ
GTADSMR: 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ
GTEITC: 汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ
GTEITLI1: 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1
GTEITLI2: 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2
GTEITLB: 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ
GTSECSR: 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ
GTSECR: 汎用 PWM タイマ動作許可ビット同時制御レジスタ

図 24.1　GPTW のブロック図 (のこぎり波 PWM モード、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3 の場合)

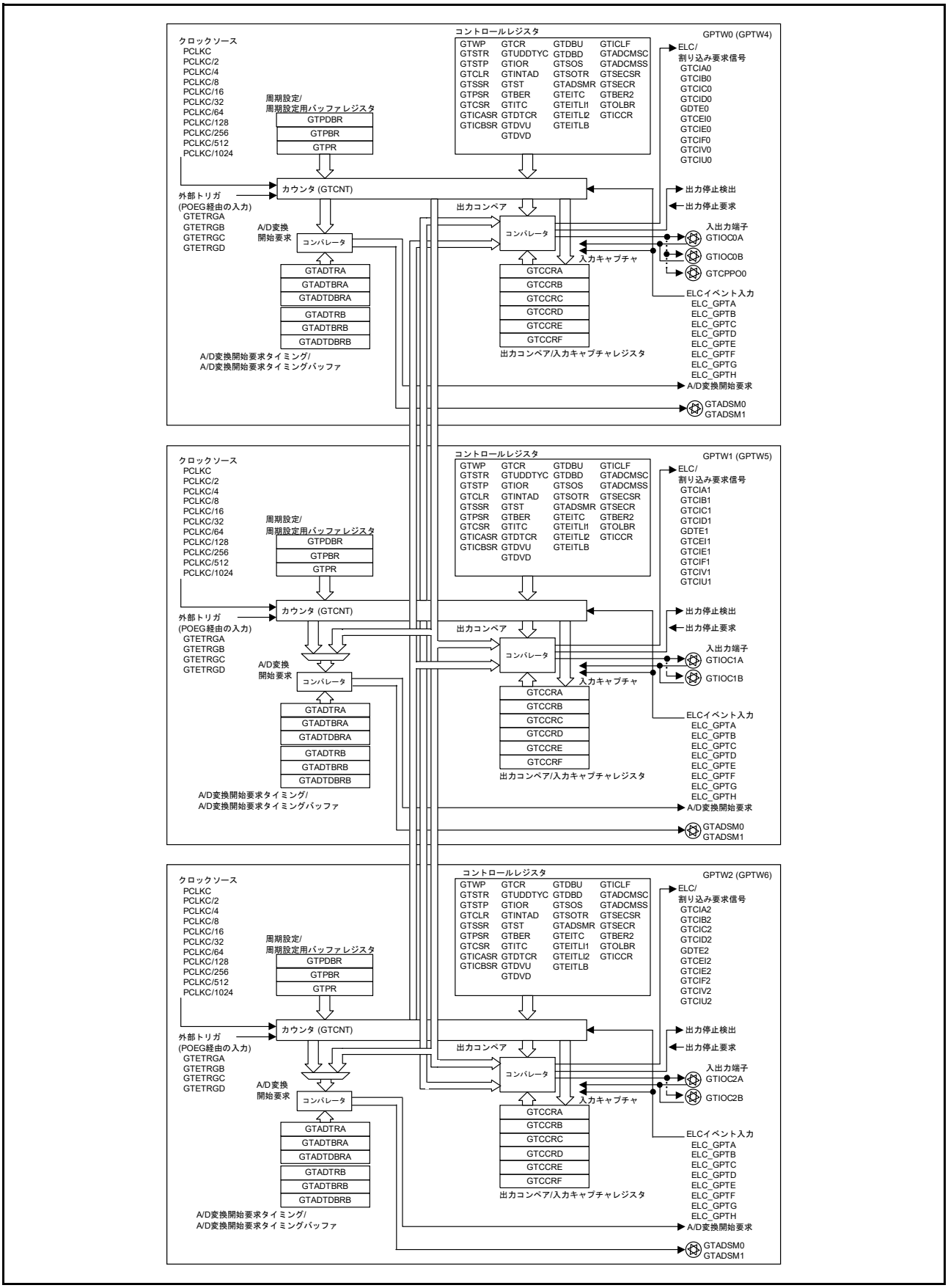


図 24.2　GPTW のブロック図 (のこぎり波 PWM モード 1、2、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2，3、相補 PWM モード 1、2、3、4 の場合)

本 MCU では、相補 PWM モードを実現する連続する 3 チャネルを相補 PWM モードチャネルグループと称し、3 チャネルの最下位チャネルから順にマスタチャネル、スレーブチャネル 1、スレーブチャネル 2 と称しています。

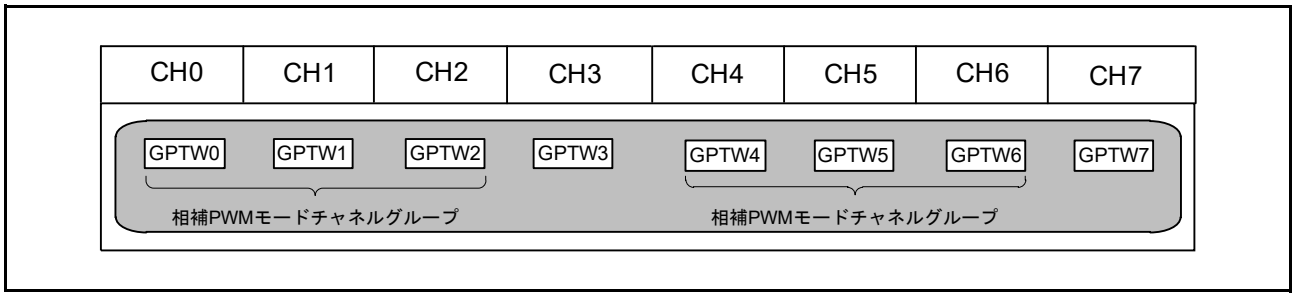


図 24.3　相補 PWM モードチャネルグループと GPTW の各チャネルの関係

表 24.3 に GPTW で使用する入出力端子を示します。

表24.3 GPTWの入出力端子(n = 0～7)

チャネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (POEG経由による入力)
	GTETRGB	入力	外部トリガ入力端子B (POEG経由による入力)
	GTETRGC	入力	外部トリガ入力端子C (POEG経由による入力)
	GTETRGD	入力	外部トリガ入力端子D (POEG経由による入力)
	GTADSM0	出力	A/D変換開始要求モニタ0出力端子
	GTADSM1	出力	A/D変換開始要求モニタ1出力端子
GPTWn	GTIOCnA	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOCnB	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTCPPO0	出力	PWM周期同期出力
	GTCPPO4	出力	PWM周期同期出力
OPS	GTIU	入力	ホール素子入力端子U
	GTIV	入力	ホール素子入力端子V
	GTIW	入力	ホール素子入力端子W
	GTOUUP	出力	BLDCモータ制御三相PWM出力(正相U相)
	GTOULO	出力	BLDCモータ制御三相PWM出力(逆相U相)
	GTOVUP	出力	BLDCモータ制御三相PWM出力(正相V相)
	GTOVLO	出力	BLDCモータ制御三相PWM出力(逆相V相)
	GTOWUP	出力	BLDCモータ制御三相PWM出力(正相W相)
	GTOWLO	出力	BLDCモータ制御三相PWM出力(逆相W相)

24.2　レジスタの説明

24.2.1　汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス　GPTW0.GTWP 000C 2000h, GPTW1.GTWP 000C 2100h, GPTW2.GTWP 000C 2200h, GPTW3.GTWP 000C 2300h, GPTW4.GTWP 000C 2400h, GPTW5.GTWP 000C 2500h, GPTW6.GTWP 000C 2600h, GPTW7.GTWP 000C 2700h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止ビット	0：レジスタへの書き込みを許可 1：レジスタへの書き込みを禁止	R/W
b1	STRWP	GTSTR.CSTRTビット書き込み禁止ビット	0：ビットへの書き込みを許可 1：ビットへの書き込みを禁止	R/W
b2	STPWP	GTSTP.CSTOPビット書き込み禁止ビット	0：ビットへの書き込みを許可 1：ビットへの書き込みを禁止	R/W
b3	CLRWP	GTCLR.CCLRビット書き込み禁止ビット	0：ビットへの書き込みを許可 1：ビットへの書き込みを禁止	R/W
b4	CMNWP	共通レジスタ書き込み禁止ビット	0：レジスタへの書き込みを許可 1：レジスタへの書き込みを禁止	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	GTWPキーコードビット	読むと“0”が読めます。 WP、STRWP、STPWP、CLRWP、CMNWPビットを書き換える場合、“A5h”としてください。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可 / 禁止するレジスタです。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。

CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

GTWP レジスタの設定で、書き込み許可 / 禁止が反映されるレジスタは、**「24.8.1　レジスタの書き込み保護」**を参照してください。

WP ビット (レジスタ書き込み禁止ビット)

GPTW のレジスタへの書き込みの許可 / 禁止を選択します。

書き込みの許可 / 禁止の対象となるレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB, GTICLF, GTPC, GTADCMSC, GTADCMSS, GTBER2, GTOLBR, GTICCR

STRWP ビット (GTSTR.CSTRT ビット書き込み禁止ビット)

チャネル番号に対応する GTSTR レジスタの CSTRT ビットへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSTR レジスタの各 CSTRT ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTSTR レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの STRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する CSTRT ビットの更新のみを制御します。

従って、STRWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する CSTRT ビットは更新されませんが、STRWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する CSTRT ビットは更新されます。たとえば、GPTW0.GTWP.STRWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが “0” のとき、“1” を書き込むと GPTW0.GTSTR.CSTRT0 ビットが “0” から “1” に更新され GPTW0.GTCNT カウンタが動作を開始します。GPTW0.GTWP.STRWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが “0” のとき、“1” を書き込んでも GPTW0.GTSTR.CSTRT0 ビットは “0” から “1” に更新されず GPTW0.GTCNT カウンタは動作を開始しません。

GTSTR レジスタの更新を完全に保護したい場合は、全てのチャネルの STRWP ビットを “1” に設定してください。

STPWP ビット (GTSTP.CSTOP ビット書き込み禁止ビット)

チャネル番号に対応する GTSTP レジスタの CSTOP ビットへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSTP レジスタの各 CSTOP ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTSTP レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの STPWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する CSTOP ビットの更新のみを制御します。

従って、STPWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する CSTOP ビットは更新されませんが、STPWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する CSTOP ビットは更新されます。たとえば、GPTW0.GTWP.STPWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが “0” のとき、“1” を書き込むと GPTW0.GTSTP.CSTOP0 ビットが “0” から “1” に更新され GPTW0.GTCNT カウンタが動作を停止します。GPTW0.GTWP.STPWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが “0” のとき、“1” を書き込んでも GPTW0.GTSTP.CSTOP0 ビットは “0” から “1” に更新されず GPTW0.GTCNT カウンタは動作を停止しません。

GTSTP レジスタの更新を完全に保護したい場合は、全てのチャネルの STPWP ビットを “1” に設定してください。

CLRWP ビット (GTCLR.CCLR ビット書き込み禁止ビット)

チャネル番号に対応する GTCLR レジスタの CCLR ビットへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTCLR レジスタの各 CCLR ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTCLR レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの CLRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する CCLR ビットの更新のみを制御します。

従って、CLRWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する CCLR ビットは更新されませんが、CLRWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する CCLR ビットは更新されます。たとえば、GPTW0.GTWP.CLRWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTCLR.CCLR0 ビットが “0” のとき、“1” を書き込むと GPTW0.GTCLR.CCLR0 ビットが “0” から “1” に更新され GPTW0.GTCNT カウンタがクリアされます。GPTW0.GTWP.STPWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTCLR.CCLR0

ビットが “0” のとき、“1” を書き込んでも GPTW0.GTCLR.CCLR0 ビットは “0” から “1” に更新されず GPTW0.GTCNT カウンタはクリアされません。

GTCLR レジスタの更新を完全に保護したい場合は、全てのチャネルの CLRWP ビットを “1” に設定してください。

CMNWP ビット (共通レジスタ書き込み禁止ビット)

チャネル番号に対応する GTSECSR レジスタの SECSELn ビット (n = 0 ～ 7)、および GTSECR レジスタへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTSECSR レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。GTSECR レジスタは、どのチャネルのレジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの CMNWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する SECSEL ビット、および GTSECR レジスタ値の更新のみを制御します。

従って、CMNWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されませんが、CMNWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されます。

たとえば、GPTW0.GTWP.CMNWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行うと GPTW0.GTSECSR.SECSEL0 ビットが更新されます。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行うと GPTW0.GTSECR レジスタが更新されます。GPTW0.GTWP.CMNWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行っても GPTW0.GTSECSR.SECSEL0 ビットは更新されません。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行っても GPTW0.GTSECR レジスタは更新されません。

GTSECSR レジスタおよび GTSECR レジスタの更新を完全に保護したい場合は、全てのチャネルの CMNWP ビットを “1” に設定してください。

PRKEY[7:0] ビット (GTWP キーコードビット)

WP、STRWP、STPWP、CLRWP、CMNWP ビットの書き換えの可否を制御します。

24.2.2　汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス　GPTW0.GTSTR 000C 2004h, GPTW1.GTSTR 000C 2104h, GPTW2.GTSTR 000C 2204h, GPTW3.GTSTR 000C 2304h, GPTW4.GTSTR 000C 2404h, GPTW5.GTSTR 000C 2504h, GPTW6.GTSTR 000C 2604h, GPTW7.GTSTR 000C 2704h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CSTRT7	CSTRT6	CSTRT5	CSTRT4	CSTRT3	CSTRT2	CSTRT1	CSTRT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTRT0	チャネル0カウントスタートビット	【読み出し時】 0：カウンタは停止中 1：カウンタは動作中 【書き込み時】 0：無視されます 1：カウンタの動作を開始します	R/W
b1	CSTRT1	チャネル1カウントスタートビット		R/W
b2	CSTRT2	チャネル2カウントスタートビット		R/W
b3	CSTRT3	チャネル3カウントスタートビット		R/W
b4	CSTRT4	チャネル4カウントスタートビット		R/W
b5	CSTRT5	チャネル5カウントスタートビット		R/W
b6	CSTRT6	チャネル6カウントスタートビット		R/W
b7	CSTRT7	チャネル7カウントスタートビット		R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTR レジスタは、GTCNT カウンタの動作を開始するレジスタです。

GTSTR レジスタのビット位置がチャネル番号を表します。各チャネルの GTSTR レジスタは、共通のレジスタであり、どのチャネルの GTSTR レジスタを更新しても、“1” を書き込んだビット位置のチャネルの GTCNT カウンタの動作を開始することが可能です。“0” の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

相補 PWM モード時は、マスタチャネルとなるチャネルに対応するビットのみ有効です。スレーブチャネルに対応するビットは、マスタチャネルに対応するビットの値が反映されます。

CSTRTn ビット (チャネル n カウントスタートビット) (n = 0 ～ 7)

チャネル n の GTCNT カウンタの動作を開始します。

読み出した値は、各チャネルのカウンタの動作状態 (GTCR.CST ビット) を表します。“0” のビットはカウンタ停止中、“1” のビットはカウンタ動作中を表します。

24.2.3　汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス　GPTW0.GTSTP 000C 2008h, GPTW1.GTSTP 000C 2108h, GPTW2.GTSTP 000C 2208h, GPTW3.GTSTP 000C 2308h, GPTW4.GTSTP 000C 2408h, GPTW5.GTSTP 000C 2508h, GPTW6.GTSTP 000C 2608h, GPTW7.GTSTP 000C 2708h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CSTOP7	CSTOP6	CSTOP5	CSTOP4	CSTOP3	CSTOP2	CSTOP1	CSTOP0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CSTOP0	チャネル0カウントストップビット	【読み出し時】 0：カウンタは動作中 1：カウンタは停止中 【書き込み時】 0：無視されます 1：カウンタの動作を停止します	R/W
b1	CSTOP1	チャネル1カウントストップビット		R/W
b2	CSTOP2	チャネル2カウントストップビット		R/W
b3	CSTOP3	チャネル3カウントストップビット		R/W
b4	CSTOP4	チャネル4カウントストップビット		R/W
b5	CSTOP5	チャネル5カウントストップビット		R/W
b6	CSTOP6	チャネル6カウントストップビット		R/W
b7	CSTOP7	チャネル7カウントストップビット		R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTP レジスタは、GTCNT カウンタの動作を停止するレジスタです。

GTSTP レジスタのビット位置がチャネル番号を表します。各チャネルの GTSTP レジスタは、共通のレジスタであり、どのチャネルの GTSTP レジスタを更新しても、“1” を書き込んだビット位置のチャネルの GTCNT カウンタの動作を停止することが可能です。“0” の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

相補 PWM モード時は、マスタチャネルとなるチャネルに対応するビットのみ有効です。スレーブチャネルに対応するビットは、マスタチャネルに対応するビットの値が反映されます。

CSTOPn ビット (チャネル n カウントストップビット) (n = 0 ～ 7)

チャネル n の GTCNT カウンタの動作を停止します。

読み出した値は、各チャネルのカウンタの動作状態 (GTCR.CST ビットの反転) を表します。“0” のビットはカウンタ動作中、“1” のビットはカウンタ停止中を表します。

24.2.4　汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス　GPTW0.GTCLR 000C 200Ch, GPTW1.GTCLR 000C 210Ch, GPTW2.GTCLR 000C 220Ch, GPTW3.GTCLR 000C 230Ch, GPTW4.GTCLR 000C 240Ch, GPTW5.GTCLR 000C 250Ch, GPTW6.GTCLR 000C 260Ch, GPTW7.GTCLR 000C 270Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CCLR7	CCLR6	CCLR5	CCLR4	CCLR3	CCLR2	CCLR1	CCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLR0	チャネル0カウンタクリアビット	0：無視されます 1：カウンタをクリアします	W
b1	CCLR1	チャネル1カウンタクリアビット		W
b2	CCLR2	チャネル2カウンタクリアビット		W
b3	CCLR3	チャネル3カウンタクリアビット		W
b4	CCLR4	チャネル4カウンタクリアビット		W
b5	CCLR5	チャネル5カウンタクリアビット		W
b6	CCLR6	チャネル6カウンタクリアビット		W
b7	CCLR7	チャネル7カウンタクリアビット		W
b31-b8	—	予約ビット	書く場合、“0”としてください	W

GTCLR レジスタは、書き込み専用のレジスタで GTCNT カウンタのクリアを設定するレジスタです。

GTCLR レジスタのビット位置がチャネル番号を表します。各チャネルの GTCLR レジスタは、共通のレジスタであり、どのチャネルの GTCLR レジスタを更新しても、“1” を書き込んだビット位置のチャネルの GTCNT カウンタが “0” になります。“0” の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

相補 PWM モード時は、マスタチャネルとなるチャネルに対応するビットのみ有効です。スレーブチャネルに対応するビットは、マスタチャネルに対応するビットの値が反映されます。

CCLRn ビット (チャネル n カウンタクリアビット) (n = 0 ～ 7)

GTCR.MD[2:0] ビット、または GTCR.MD[3:0] ビットでのこぎり波を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態で “1” を書くとチャネル n の GTCNT カウンタが GTPR レジスタの値になります。それ以外の設定の場合は “0000 0000h” になります。

24.2.5 汎用 PWM タイマスタート要因セレクトレジスタ (GTSSR)

アドレス　GPTW0.GTSSR 000C 2010h, GPTW1.GTSSR 000C 2110h, GPTW2.GTSSR 000C 2210h, GPTW3.GTSSR 000C 2310h, GPTW4.GTSSR 000C 2410h, GPTW5.GTSSR 000C 2510h, GPTW6.GTSSR 000C 2610h, GPTW7.GTSSR 000C 2710h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントスタートの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントスタート 1 0：GTETRGA信号の立ち下がりエッジでカウントスタート 1 1：GTETRGA信号の両エッジでカウントスタート	R/W (注1)
b1	SSGTRGAF			R/W (注1)
b2	SSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントスタートの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントスタート 1 0：GTETRGB信号の立ち下がりエッジでカウントスタート 1 1：GTETRGB信号の両エッジでカウントスタート	R/W (注1)
b3	SSGTRGBF			R/W (注1)
b4	SSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントスタートの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントスタート 1 0：GTETRGC信号の立ち下がりエッジでカウントスタート 1 1：GTETRGC信号の両エッジでカウントスタート	R/W (注1)
b5	SSGTRGCF			R/W (注1)
b6	SSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントスタートの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントスタート 1 0：GTETRGD信号の立ち下がりエッジでカウントスタート 1 1：GTETRGD信号の両エッジでカウントスタート	R/W (注1)
b7	SSGTRGDF			R/W (注1)
b8	SSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット(注2)	b9 b8 0 0：カウントスタートの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントスタート 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントスタート 1 1：GTIOCnA信号の立ち上がりエッジでカウントスタート	R/W
b9	SSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	SSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット(注2)	b11 b10 0 0：カウントスタートの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントスタート 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントスタート 1 1：GTIOCnA信号の立ち下がりエッジでカウントスタート	R/W
b11	SSCAFBH			R/W
b12	SSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット(注2)	b13 b12 0 0：カウントスタートの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントスタート 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントスタート 1 1：GTIOCnB信号の立ち上がりエッジでカウントスタート	R/W
b13	SSCBRAH			R/W
b14	SSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット(注2)	b15 b14 0 0：カウントスタートの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントスタート 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントスタート 1 1：GTIOCnB信号の立ち下がりエッジでカウントスタート	R/W
b15	SSCBFAH			R/W
b16	SSELCA	ELCAイベント要因カウントスタート許可ビット	0：ELCAイベント入力によるカウントスタートを禁止 1：ELCAイベント入力によるカウントスタートを許可	R/W (注1)
b17	SSELCB	ELCBイベント要因カウントスタート許可ビット	0：ELCBイベント入力によるカウントスタートを禁止 1：ELCBイベント入力によるカウントスタートを許可	R/W (注1)
b18	SSELCC	ELCCイベント要因カウントスタート許可ビット	0：ELCCイベント入力によるカウントスタートを禁止 1：ELCCイベント入力によるカウントスタートを許可	R/W (注1)
b19	SSELCD	ELCDイベント要因カウントスタート許可ビット	0：ELCDイベント入力によるカウントスタートを禁止 1：ELCDイベント入力によるカウントスタートを許可	R/W (注1)
b20	SSELCE	ELCEイベント要因カウントスタート許可ビット	0：ELCEイベント入力によるカウントスタートを禁止 1：ELCEイベント入力によるカウントスタートを許可	R/W (注1)
b21	SSELCF	ELCFイベント要因カウントスタート許可ビット	0：ELCFイベント入力によるカウントスタートを禁止 1：ELCFイベント入力によるカウントスタートを許可	R/W (注1)
b22	SSELCG	ELCGイベント要因カウントスタート許可ビット	0：ELCGイベント入力によるカウントスタートを禁止 1：ELCGイベント入力によるカウントスタートを許可	R/W (注1)
b23	SSELCH	ELCHイベント要因カウントスタート許可ビット	0：ELCHイベント入力によるカウントスタートを禁止 1：ELCHイベント入力によるカウントスタートを許可	R/W (注1)
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTRT	ソフトウェア要因カウントスタート許可ビット	0：GTSTRレジスタによるカウントスタートを禁止 1：GTSTRレジスタによるカウントスタートを許可	R/W (注1)

n = 0 ～ 7

注1. 相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。

注2. GPTW0～GPTW2、GPTW4～GPTW6の相補PWMモード時は、無効です。

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.6 汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR)

アドレス　GPTW0.GTPSR 000C 2014h, GPTW1.GTPSR 000C 2114h, GPTW2.GTPSR 000C 2214h, GPTW3.GTPSR 000C 2314h, GPTW4.GTPSR 000C 2414h, GPTW5.GTPSR 000C 2514h, GPTW6.GTPSR 000C 2614h, GPTW7.GTPSR 000C 2714h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントストップの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントストップ 1 0：GTETRGA信号の立ち下がりエッジでカウントストップ 1 1：GTETRGA信号の両エッジでカウントストップ	R/W (注1)
b1	PSGTRGAF			R/W (注1)
b2	PSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントストップの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントストップ 1 0：GTETRGB信号の立ち下がりエッジでカウントストップ 1 1：GTETRGB信号の両エッジでカウントストップ	R/W (注1)
b3	PSGTRGBF			R/W (注1)
b4	PSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントストップの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントストップ 1 0：GTETRGC信号の立ち下がりエッジでカウントストップ 1 1：GTETRGC信号の両エッジでカウントストップ	R/W (注1)
b5	PSGTRGCF			R/W (注1)
b6	PSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントストップの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントストップ 1 0：GTETRGD信号の立ち下がりエッジでカウントストップ 1 1：GTETRGD信号の両エッジでカウントストップ	R/W (注1)
b7	PSGTRGDF			R/W (注1)
b8	PSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット(注2)	b9 b8 0 0：カウントストップの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントストップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントストップ 1 1：GTIOCnA信号の立ち上がりエッジでカウントストップ	R/W
b9	PSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	PSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット(注2)	b11 b10 0 0：カウントストップの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントストップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントストップ 1 1：GTIOCnA信号の立ち下がりエッジでカウントストップ	R/W
b11	PSCAFBH			R/W
b12	PSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット(注2)	b13 b12 0 0：カウントストップの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントストップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントストップ 1 1：GTIOCnB信号の立ち上がりエッジでカウントストップ	R/W
b13	PSCBRAH			R/W
b14	PSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット(注2)	b15 b14 0 0：カウントストップの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントストップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントストップ 1 1：GTIOCnB信号の立ち下がりエッジでカウントストップ	R/W
b15	PSCBFAH			R/W
b16	PSELCA	ELCAイベント要因カウントストップ許可ビット	0：ELCAイベント入力によるカウントストップを禁止 1：ELCAイベント入力によるカウントストップを許可	R/W (注1)
b17	PSELCB	ELCBイベント要因カウントストップ許可ビット	0：ELCBイベント入力によるカウントストップを禁止 1：ELCBイベント入力によるカウントストップを許可	R/W (注1)
b18	PSELCC	ELCCイベント要因カウントストップ許可ビット	0：ELCCイベント入力によるカウントストップを禁止 1：ELCCイベント入力によるカウントストップを許可	R/W (注1)
b19	PSELCD	ELCDイベント要因カウントストップ許可ビット	0：ELCDイベント入力によるカウントストップを禁止 1：ELCDイベント入力によるカウントストップを許可	R/W (注1)
b20	PSELCE	ELCEイベント要因カウントストップ許可ビット	0：ELCEイベント入力によるカウントストップを禁止 1：ELCEイベント入力によるカウントストップを許可	R/W (注1)
b21	PSELCF	ELCFイベント要因カウントストップ許可ビット	0：ELCFイベント入力によるカウントストップを禁止 1：ELCFイベント入力によるカウントストップを許可	R/W (注1)
b22	PSELCG	ELCGイベント要因カウントストップ許可ビット	0：ELCGイベント入力によるカウントストップを禁止 1：ELCGイベント入力によるカウントストップを許可	R/W (注1)
b23	PSELCH	ELCHイベント要因カウントストップ許可ビット	0：ELCHイベント入力によるカウントストップを禁止 1：ELCHイベント入力によるカウントストップを許可	R/W (注1)
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTOP	ソフトウェア要因カウントストップ許可ビット	0：GTSTPレジスタによるカウントストップを禁止 1：GTSTPレジスタによるカウントストップを許可	R/W (注1)

n = 0 ～ 7

注1. 相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。

注2. GPTW0～GPTW2、GPTW4～GPTW6の相補PWMモード時は、無効です。

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.7　汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR)

アドレス　GPTW0.GTCSR 000C 2018h, GPTW1.GTCSR 000C 2118h, GPTW2.GTCSR 000C 2218h, GPTW3.GTCSR 000C 2318h, GPTW4.GTCSR 000C 2418h, GPTW5.GTCSR 000C 2518h, GPTW6.GTCSR 000C 2618h, GPTW7.GTCSR 000C 2718h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCLR	—	—	—	CP1CCE	CSCMSC[2:0]			CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウンタクリアの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGA信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGA信号の両エッジでカウンタクリア	R/W (注1)
b1	CSGTRGAF			R/W (注1)
b2	CSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウンタクリアの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGB信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGB信号の両エッジでカウンタクリア	R/W (注1)
b3	CSGTRGBF			R/W (注1)
b4	CSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウンタクリアの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGC信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGC信号の両エッジでカウンタクリア	R/W (注1)
b5	CSGTRGCF			R/W (注1)
b6	CSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウンタクリアの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGD信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGD信号の両エッジでカウンタクリア	R/W (注1)
b7	CSGTRGDF			R/W (注1)
b8	CSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット(注2)	b9 b8 0 0：カウンタクリアの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 1：GTIOCnA信号の立ち上がりエッジでカウンタクリア	R/W
b9	CSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	CSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット(注2)	b11 b10 0 0：カウンタクリアの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウンタクリア 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウンタクリア 1 1：GTIOCnA信号の立ち下がりエッジでカウンタクリア	R/W
b11	CSCAFBH			R/W
b12	CSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット(注2)	b13 b12 0 0：カウンタクリアの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウンタクリア 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウンタクリア 1 1：GTIOCnB信号の立ち上がりエッジでカウンタクリア	R/W
b13	CSCBRAH			R/W
b14	CSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット(注2)	b15 b14 0 0：カウンタクリアの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウンタクリア 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウンタクリア 1 1：GTIOCnB信号の立ち下がりエッジでカウンタクリア	R/W
b15	CSCBFAH			R/W
b16	CSELCA	ELCAイベント要因カウンタクリア許可ビット	0：ELCAイベント入力によるカウンタクリアを禁止 1：ELCAイベント入力によるカウンタクリアを許可	R/W (注1)
b17	CSELCB	ELCBイベント要因カウンタクリア許可ビット	0：ELCBイベント入力によるカウンタクリアを禁止 1：ELCBイベント入力によるカウンタクリアを許可	R/W (注1)
b18	CSELCC	ELCCイベント要因カウンタクリア許可ビット	0：ELCCイベント入力によるカウンタクリアを禁止 1：ELCCイベント入力によるカウンタクリアを許可	R/W (注1)
b19	CSELCD	ELCDイベント要因カウンタクリア許可ビット	0：ELCDイベント入力によるカウンタクリアを禁止 1：ELCDイベント入力によるカウンタクリアを許可	R/W (注1)
b20	CSELCE	ELCEイベント要因カウンタクリア許可ビット	0：ELCEイベント入力によるカウンタクリアを禁止 1：ELCEイベント入力によるカウンタクリアを許可	R/W (注1)
b21	CSELCF	ELCFイベント要因カウンタクリア許可ビット	0：ELCFイベント入力によるカウンタクリアを禁止 1：ELCFイベント入力によるカウンタクリアを許可	R/W (注1)
b22	CSELCG	ELCGイベント要因カウンタクリア許可ビット	0：ELCGイベント入力によるカウンタクリアを禁止 1：ELCGイベント入力によるカウンタクリアを許可	R/W (注1)
b23	CSELCH	ELCHイベント要因カウンタクリア許可ビット	0：ELCHイベント入力によるカウンタクリアを禁止 1：ELCHイベント入力によるカウンタクリアを許可	R/W (注1)
b26-b24	CSCMSC[2:0]	コンペアマッチ/インプットキャプチャ/同期クリアクリア要因カウンタクリア許可ビット	b26 b24 0 0 0：コンペアマッチ/インプットキャプチャ/同期クリアグループ要因によるクリア禁止 0 0 1：GTCCRAのコンペアマッチ/インプットキャプチャでカウンタクリア 0 1 0：GTCCRBのコンペアマッチ/インプットキャプチャでカウンタクリア 0 1 1：GTCCRCのコンペアマッチ/インプットキャプチャでカウンタクリア 1 0 0：GTCCRDのコンペアマッチ/インプットキャプチャでカウンタクリア 1 0 1：GTCCREのコンペアマッチ/インプットキャプチャでカウンタクリア 1 1 0：GTCCRFのコンペアマッチ/インプットキャプチャでカウンタクリア 1 1 1：同期クリアグループのクリア要因でGTCNTカウンタクリア	R/W
b27	CP1CCE	相補PWMモード1山要因カウンタクリア許可ビット(注3)	0：相補PWMモード1時の山でのカウンタクリアを禁止 1：相補PWMモード1時の山でのカウンタクリアを許可	R/W (注1)
b30-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可ビット	0：GTCLRレジスタによるカウンタクリアを禁止 1：GTCLRレジスタによるカウンタクリアを許可	R/W (注1)

n = 0 ～ 7

注1. 相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。
注2. GPTW0～GPTW2、GPTW4～GPTW6の相補PWMモード時は、無効です。
注3. GPTW3、GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST ビット = 1) の場合でも、停止中 (GTCR.CST ビット = 0) の場合でも、実行することが可能です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

CSCMSC[2:0] ビット (コンペアマッチ / インプットキャプチャ / 同期クリアクリア要因カウンタクリア許可ビット)

コンペアマッチ、インプットキャプチャ、同期クリアグループのクリア要因によるカウンタクリア許可 / 禁止を選択します。コンペアマッチ、インプットキャプチャによるカウンタクリアを許可した場合、**「24.3.8.3　チャネル間連携による同期クリア動作」**で説明するチャネル間連携による同期クリアの要因として扱うことができます。

他チャネル要因によるインプットキャプチャ (GTICASR.ASOC または GTICBSR.BSOC を “1” に設定) をインプットキャプチャによるカウンタクリアの要因として、使用することができます。他チャネル要因によるインプットキャプチャは、チャネル間連携による同期クリアの要因にはなりませんが、自チャネルのカウンタクリア要因として使用することができます。

バッファ動作 (波形モード固有の場合を含む) を行っているレジスタによるコンペアマッチは発生しないため、該当する動作モードにおいて対象となるレジスタをコンペアマッチ要因とするカウンタクリア許可の設定は無効です。

相補 PWM モードの場合、GTCCRB、GTCCRE、GTCCRF レジスタはバッファ動作を行わない状態においても、コンペアマッチを要因とするクリア許可は無効です。

CP1CCE ビット (相補 PWM モード 1 山要因カウンタクリア許可ビット)

相補 PWM モード 1 において、山による GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

同ビットを許可状態にする場合、GTIOR.PSYE ビットを “1” にしないでください。

相補 PWM モードのマスタチャネルのみで有効です。マスタチャネルの設定でスレーブチャネル 1/ スレーブチャネル 2 のカウンタの相補 PWM モードにおけるカウンタクリアも行います。

24.2.8 汎用 PWM タイマカウントアップ要因セレクトレジスタ (GTUPSR)

アドレス　GPTW0.GTUPSR 000C 201Ch, GPTW1.GTUPSR 000C 211Ch, GPTW2.GTUPSR 000C 221Ch, GPTW3.GTUPSR 000C 231Ch, GPTW4.GTUPSR 000C 241Ch, GPTW5.GTUPSR 000C 251Ch, GPTW6.GTUPSR 000C 261Ch, GPTW7.GTUPSR 000C 271Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	USILVL[3:0]				USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントアップの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントアップ 1 0：GTETRGA信号の立ち下がりエッジでカウントアップ 1 1：GTETRGA信号の両エッジでカウントアップ	R/W
b1	USGTRGAF			R/W
b2	USGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントアップの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントアップ 1 0：GTETRGB信号の立ち下がりエッジでカウントアップ 1 1：GTETRGB信号の両エッジでカウントアップ	R/W
b3	USGTRGBF			R/W
b4	USGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントアップの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントアップ 1 0：GTETRGC信号の立ち下がりエッジでカウントアップ 1 1：GTETRGC信号の両エッジでカウントアップ	R/W
b5	USGTRGCF			R/W
b6	USGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントアップの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントアップ 1 0：GTETRGD信号の立ち下がりエッジでカウントアップ 1 1：GTETRGD信号の両エッジでカウントアップ	R/W
b7	USGTRGDF			R/W
b8	USCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：カウントアップの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントアップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントアップ 1 1：GTIOCnA信号の立ち上がりエッジでカウントアップ	R/W
b9	USCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	USCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：カウントアップの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントアップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントアップ 1 1：GTIOCnA信号の立ち下がりエッジでカウントアップ	R/W
b11	USCAFBH			R/W
b12	USCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：カウントアップの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントアップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントアップ 1 1：GTIOCnB信号の立ち上がりエッジでカウントアップ	R/W
b13	USCBRAH			R/W
b14	USCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：カウントアップの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントアップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントアップ 1 1：GTIOCnB信号の立ち下がりエッジでカウントアップ	R/W
b15	USCBFAH			R/W
b16	USELCA	ELCAイベント要因カウントアップ許可ビット	0：ELCAイベント入力によるカウントアップを禁止 1：ELCAイベント入力によるカウントアップを許可	R/W
b17	USELCB	ELCBイベント要因カウントアップ許可ビット	0：ELCBイベント入力によるカウントアップを禁止 1：ELCBイベント入力によるカウントアップを許可	R/W
b18	USELCC	ELCCイベント要因カウントアップ許可ビット	0：ELCCイベント入力によるカウントアップを禁止 1：ELCCイベント入力によるカウントアップを許可	R/W
b19	USELCD	ELCDイベント要因カウントアップ許可ビット	0：ELCDイベント入力によるカウントアップを禁止 1：ELCDイベント入力によるカウントアップを許可	R/W
b20	USELCE	ELCEイベント要因カウントアップ許可ビット	0：ELCEイベント入力によるカウントアップを禁止 1：ELCEイベント入力によるカウントアップを許可	R/W
b21	USELCF	ELCFイベント要因カウントアップ許可ビット	0：ELCFイベント入力によるカウントアップを禁止 1：ELCFイベント入力によるカウントアップを許可	R/W
b22	USELCG	ELCGイベント要因カウントアップ許可ビット	0：ELCGイベント入力によるカウントアップを禁止 1：ELCGイベント入力によるカウントアップを許可	R/W
b23	USELCH	ELCHイベント要因カウントアップ許可ビット	0：ELCHイベント入力によるカウントアップを禁止 1：ELCHイベント入力によるカウントアップを許可	R/W
b27-b24	USILVL[3:0]	外部入力レベル要因カウントアップ許可ビット	b27　b24 0 0 0 0：外部入力レベル要因カウントアップ禁止 0 0 0 1：設定禁止 0 0 1 0：GTIOCnA端子Low要因カウントアップ許可 0 0 1 1：GTIOCnA端子High要因カウントアップ許可 0 1 0 0：GTIOCnB端子Low要因カウントアップ許可 0 1 0 1：GTIOCnB端子High要因カウントアップ許可 0 1 1 0：設定禁止 0 1 1 1：設定禁止 1 0 0 0：GTETRGA端子Low要因カウントアップ許可 1 0 0 1：GTETRGA端子High要因カウントアップ許可 1 0 1 0：GTETRGB端子Low要因カウントアップ許可 1 0 1 1：GTETRGB端子High要因カウントアップ許可 1 1 0 0：GTETRGC端子Low要因カウントアップ許可 1 1 0 1：GTETRGC端子High要因カウントアップ許可 1 1 1 0：GTETRGD端子Low要因カウントアップ許可 1 1 1 1：GTETRGD端子High要因カウントアップ許可	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 7

GTUPSR レジスタは、GTCNT カウンタのカウントアップの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCR.TPCS[3:0] ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで “1” となっている要因によるカウントアップを行います。

複数の要因が同時に発生しても、カウントアップ数は 1 です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.9 汎用 PWM タイマカウントダウン要因セレクトレジスタ (GTDNSR)

アドレス　GPTW0.GTDNSR 000C 2020h, GPTW1.GTDNSR 000C 2120h, GPTW2.GTDNSR 000C 2220h, GPTW3.GTDNSR 000C 2320h, GPTW4.GTDNSR 000C 2420h, GPTW5.GTDNSR 000C 2520h, GPTW6.GTDNSR 000C 2620h, GPTW7.GTDNSR 000C 2720h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	DSILVL[3:0]				DSELCH	DSELCG	DSELCF	DSELCE	DSELCD	DSELCC	DSELCB	DSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントダウンの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントダウン 1 0：GTETRGA信号の立ち下がりエッジでカウントダウン 1 1：GTETRGA信号の両エッジでカウントダウン	R/W
b1	DSGTRGAF			R/W
b2	DSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントダウンの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントダウン 1 0：GTETRGB信号の立ち下がりエッジでカウントダウン 1 1：GTETRGB信号の両エッジでカウントダウン	R/W
b3	DSGTRGBF			R/W
b4	DSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントダウンの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントダウン 1 0：GTETRGC信号の立ち下がりエッジでカウントダウン 1 1：GTETRGC信号の両エッジでカウントダウン	R/W
b5	DSGTRGCF			R/W
b6	DSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントダウンの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントダウン 1 0：GTETRGD信号の立ち下がりエッジでカウントダウン 1 1：GTETRGD信号の両エッジでカウントダウン	R/W
b7	DSGTRGDF			R/W
b8	DSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：カウントダウンの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントダウン 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントダウン 1 1：GTIOCnA信号の立ち上がりエッジでカウントダウン	R/W
b9	DSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	DSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：カウントダウンの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントダウン 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントダウン 1 1：GTIOCnA信号の立ち下がりエッジでカウントダウン	R/W
b11	DSCAFBH			R/W
b12	DSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：カウントダウンの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントダウン 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントダウン 1 1：GTIOCnB信号の立ち上がりエッジでカウントダウン	R/W
b13	DSCBRAH			R/W
b14	DSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：カウントダウンの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントダウン 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントダウン 1 1：GTIOCnB信号の立ち下がりエッジでカウントダウン	R/W
b15	DSCBFAH			R/W
b16	DSELCA	ELCAイベント要因カウントダウン許可ビット	0：ELCAイベント入力によるカウントダウンを禁止 1：ELCAイベント入力によるカウントダウンを許可	R/W
b17	DSELCB	ELCBイベント要因カウントダウン許可ビット	0：ELCBイベント入力によるカウントダウンを禁止 1：ELCBイベント入力によるカウントダウンを許可	R/W
b18	DSELCC	ELCCイベント要因カウントダウン許可ビット	0：ELCCイベント入力によるカウントダウンを禁止 1：ELCCイベント入力によるカウントダウンを許可	R/W
b19	DSELCD	ELCDイベント要因カウントダウン許可ビット	0：ELCDイベント入力によるカウントダウンを禁止 1：ELCDイベント入力によるカウントダウンを許可	R/W
b20	DSELCE	ELCEイベント要因カウントダウン許可ビット	0：ELCEイベント入力によるカウントダウンを禁止 1：ELCEイベント入力によるカウントダウンを許可	R/W
b21	DSELCF	ELCFイベント要因カウントダウン許可ビット	0：ELCFイベント入力によるカウントダウンを禁止 1：ELCFイベント入力によるカウントダウンを許可	R/W
b22	DSELCG	ELCGイベント要因カウントダウン許可ビット	0：ELCGイベント入力によるカウントダウンを禁止 1：ELCGイベント入力によるカウントダウンを許可	R/W
b23	DSELCH	ELCHイベント要因カウントダウン許可ビット	0：ELCHイベント入力によるカウントダウンを禁止 1：ELCHイベント入力によるカウントダウンを許可	R/W
b27-b24	DSILVL[3:0]	外部入力レベル要因カウントダウン許可ビット	b27　b24 0 0 0 0：外部入力レベル要因カウントダウン禁止 0 0 0 1：設定禁止 0 0 1 0：GTIOCnA端子0要因カウントダウン許可 0 0 1 1：GTIOCnA端子1要因カウントダウン許可 0 1 0 0：GTIOCnB端子0要因カウントダウン許可 0 1 0 1：GTIOCnB端子1要因カウントダウン許可 0 1 1 0：設定禁止 0 1 1 1：設定禁止 1 0 0 0：GTETRGA端子0要因カウントダウン許可 1 0 0 1：GTETRGA端子1要因カウントダウン許可 1 0 1 0：GTETRGB端子0要因カウントダウン許可 1 0 1 1：GTETRGB端子1要因カウントダウン許可 1 1 0 0：GTETRGC端子0要因カウントダウン許可 1 1 0 1：GTETRGC端子1要因カウントダウン許可 1 1 1 0：GTETRGD端子0要因カウントダウン許可 1 1 1 1：GTETRGD端子1要因カウントダウン許可	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 7

GTDNSR レジスタは、GTCNT カウンタのカウントダウンの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCR.TPCS[3:0] ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで “1” となっている要因によるカウントダウンを行います。

複数の要因が同時に発生しても、カウントダウン数は “1” です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.10 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR)

アドレス　GPTW0.GTICASR 000C 2024h, GPTW1.GTICASR 000C 2124h, GPTW2.GTICASR 000C 2224h, GPTW3.GTICASR 000C 2324h, GPTW4.GTICASR 000C 2424h, GPTW5.GTICASR 000C 2524h, GPTW6.GTICASR 000C 2624h, GPTW7.GTICASR 000C 2724h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ASOC	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTETRGA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTETRGA信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b1	ASGTRGAF			R/W
b2	ASGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTETRGB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTETRGB信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b3	ASGTRGBF			R/W
b4	ASGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTETRGC信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTETRGC信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b5	ASGTRGCF			R/W
b6	ASGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTETRGD信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTETRGD信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b7	ASGTRGDF			R/W
b8	ASCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b9	ASCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	ASCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b11	ASCAFBH			R/W
b12	ASCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b13	ASCBRAH			R/W
b14	ASCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b15	ASCBFAH			R/W
b16	ASELCA	ELCAイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCAイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCAイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELCBイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCBイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCBイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELCCイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCCイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCCイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELCDイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCDイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCDイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b20	ASELCE	ELCEイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCEイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCEイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b21	ASELCF	ELCFイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCFイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCFイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b22	ASELCG	ELCGイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCGイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCGイベント入力によるGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ASELCH	ELCHイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCHイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCHイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b24	ASOC	他チャネル要因GTCCRAインプットキャプチャ許可ビット	0：他チャネル要因によるGTCCRAインプットキャプチャを禁止 1：他チャネル要因によるGTCCRAインプットキャプチャを許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 7

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

ASOC ビット (他チャネル要因 GTCCRA インプットキャプチャ許可ビット)

他チャネルの GTICCR レジスタで設定したチャネル間連携によるインプットキャプチャを要因とする GTCCRA レジスタへのインプットキャプチャの許可 / 禁止を選択します。

本ビットで許可した他チャネル要因のインプットキャプチャは、GTICCR.ICAFA、ICBFA ビットで設定する他チャネルのインプットキャプチャ要因の対象にはなりません。

24.2.11　汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR)

アドレス　GPTW0.GTICBSR 000C 2028h, GPTW1.GTICBSR 000C 2128h, GPTW2.GTICBSR 000C 2228h, GPTW3.GTICBSR 000C 2328h, GPTW4.GTICBSR 000C 2428h, GPTW5.GTICBSR 000C 2528h, GPTW6.GTICBSR 000C 2628h, GPTW7.GTICBSR 000C 2728h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	BSOC	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGA信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b1	BSGTRGAF			R/W (注1)
b2	BSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGB信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b3	BSGTRGBF			R/W (注1)
b4	BSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGC信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGC信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b5	BSGTRGCF			R/W (注1)
b6	BSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGD信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGD信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b7	BSGTRGDF			R/W (注1)
b8	BSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b9	BSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	BSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b11	BSCAFBH			R/W
b12	BSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b13	BSCBRAH			R/W
b14	BSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b15	BSCBFAH			R/W
b16	BSELCA	ELCAイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCAイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCAイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b17	BSELCB	ELCBイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCBイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCBイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b18	BSELCC	ELCCイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCCイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCCイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b19	BSELCD	ELCDイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCDイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCDイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b20	BSELCE	ELCEイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCEイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCEイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b21	BSELCF	ELCFイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCFイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCFイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b22	BSELCG	ELCGイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCGイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCGイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b23	BSELCH	ELCHイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCHイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCHイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b24	BSOC	他チャネル要因GTCCRBインプットキャプチャ許可ビット	0：他チャネル要因によるGTCCRBインプットキャプチャを禁止 1：他チャネル要因によるGTCCRBインプットキャプチャを許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 7

注1. 相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

BSOC ビット (他チャネル要因 GTCCRB インプットキャプチャ許可ビット)

他チャネルの GTICCR レジスタで設定したチャネル間連携によるインプットキャプチャを要因とする GTCCRB レジスタへのインプットキャプチャの許可 / 禁止を選択します。

本ビットで許可した他チャネル要因のインプットキャプチャは、GTICCR.ICAFB、ICBFB ビットで設定する他チャネルのインプットキャプチャ要因の対象にはなりません。

24.2.12　汎用 PWM タイマ制御レジスタ (GTCR)

- GPTW0.GTCR, GPTW1.GTCR, GPTW2.GTCR, GPTW4.GTCR, GPTW5.GTCR, GPTW6.GTCR

アドレス　GPTW0.GTCR 000C 202Ch, GPTW1.GTCR 000C 212Ch, GPTW2.GTCR 000C 222Ch, GPTW4.GTCR 000C 242Ch, GPTW5.GTCR 000C 252Ch, GPTW6.GTCR 000C 262Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CKEG[1:0]		TPCS[3:0]				—	—	—	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCEN	—	—	—	SSCGRP[1:0]		SCGTIOC	ICDS	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタートビット	0：カウント停止 1：カウント動作	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ICDS	カウント停止時インプットキャプチャ動作選択ビット	0：カウント停止時にインプットキャプチャ動作する 1：カウント停止時にインプットキャプチャ動作しない	R/W
b9	SCGTIOC	GTIOC入力要因同期クリア許可ビット	0：GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用禁止 1：GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用許可	R/W
b11-b10	SSCGRP[1:0]	同期セット/クリアグループ選択ビット	b11 b10 0 0：同期セット/クリアグループAを選択 0 1：同期セット/クリアグループBを選択 1 0：同期セット/クリアグループCを選択 1 1：同期セット/クリアグループDを選択	R/W (注1)
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSCEN	同期セット/リセット許可ビット	0：GTCNTカウンタの同期セット/同期クリアを禁止 1：GTCNTカウンタの同期セット/同期クリアを許可	R/W (注1)
b19-b16	MD[3:0]	モード選択ビット	b19 b16 0 0 0 0：のこぎり波PWMモード1 (シングル/ダブルバッファ可能) 0 0 0 1：のこぎり波ワンショットパルスモード (バッファ動作固定) 0 0 1 0：のこぎり波PWMモード2 (シングル/ダブルバッファ可能) 0 0 1 1：設定しないでください 0 1 0 0：三角波PWMモード1(谷32ビット転送) (シングル/ダブルバッファ可能) 0 1 0 1：三角波PWMモード2(山/谷32ビット転送) (シングル/ダブルバッファ可能) 0 1 1 0：三角波PWMモード3(谷64ビット転送) (バッファ動作固定) 0 1 1 1：設定しないでください 1 0 0 0：設定しないでください 1 0 0 1：設定しないでください 1 0 1 0：設定しないでください 1 0 1 1：設定しないでください 1 1 0 0：相補PWMモード1(山転送) 1 1 0 1：相補PWMモード2(谷転送) 1 1 1 0：相補PWMモード3(山/谷転送) 1 1 1 1：相補PWMモード4(即時転送)	R/W (注1)
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b23	TPCS[3:0]	タイマプリスケーラ選択ビット	b26 b23 0 0 0 0 : PCLKC 0 0 0 1 : PCLKC/2 0 0 1 0 : PCLKC/4 0 0 1 1 : PCLKC/8 0 1 0 0 : PCLKC/16 0 1 0 1 : PCLKC/32 0 1 1 0 : PCLKC/64 0 1 1 1 : PCLKC/128 1 0 0 0 : PCLKC/256 1 0 0 1 : PCLKC/512 1 0 1 0 : PCLKC/1024 1 0 1 1 : 設定しないでください 1 1 0 0 : GTETRGA (POEG経由) 1 1 0 1 : GTETRGB (POEG経由) 1 1 1 0 : GTETRGC (POEG経由) 1 1 1 1 : GTETRGD (POEG経由)	R/W (注1)
b28-b27	CKEG[1:0]	クロックエッジ選択ビット	b28 b27 0 0 : GTETRGの立ち上がりエッジでカウント 0 1 : GTETRGの立ち下がりエッジでカウント 1 0 : GTETRGの両エッジでカウント 1 1 : GTETRGの両エッジでカウント	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタートビット)

GTCNT カウンタの動作 / 停止を制御します。

[“1” になる条件]

- GTSSR.CSTRT ビットが “1” の状態で、GTSTR レジスタのチャネル番号に対応するビットに “1” を書いたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA、GTIOCnB 端子入力 (n = 0 ～ 2, 4 ～ 6) 条件が発生したとき
- ソフトウェアで直接 “1” を書いたとき

[“0” になる条件]

- GTPSR.CSTOP ビットが “1” の状態で、GTSTP レジスタのチャネル番号に対応するビットに “1” を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA、GTIOCnB 端子入力条件が発生したとき
- GTPC.ASTP ビットが “1” の状態で、サイクルカウントが終了したとき
- ソフトウェアで直接 “0” を書いたとき

ICDS ビット (カウント停止時インプットキャプチャ動作選択ビット)

インプットキャプチャ機能を選択している場合のカウント停止時のインプットキャプチャ動作を選択します。

SCGTIOC ビット (GTIOC 入力要因同期クリア許可ビット)

GTCSR レジスタで選択された GTIOCnA/GTIOCnB 端子を要因とする他チャネルのクリア要因として使用することの許可 / 禁止を選択します。

SSCGRP[1:0] ビット (同期セット / クリアグループ選択ビット)

同期セット / クリアを行うチャネルのグループを選択します。

SSCEN ビット (同期セット / リセット許可ビット)

同期セット / クリアの許可 / 禁止を選択します。

相補 PWM モード時は、マスタチャネルの SSCEN ビットの設定でスレーブチャネルも制御します。

MD[3:0] ビット (モード選択ビット)

GPTW の動作モードを選択します。

相補 PWM モード時は、マスタチャネルの MD[3:0] ビットの設定でスレーブチャネルも制御します。

インプットキャプチャ時は、MD[3:2] ビットだけが有効です。MD[3:2] ビットが、“00b” の場合はのこぎり波のカウントを行い、“01b” の場合は三角波のカウントを行います。

MD[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

イベントカウント動作時 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合) は、MD[3:0] ビットは初期値 (“0000b”) にしてください。

TPCS[3:0] ビット (タイマプリスケーラ選択ビット)

GTCNT カウンタのクロックを選択します。各チャネル独立にクロックソースを選択することができます。

TPCS[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

TPCS[3:0] ビットで GTETRG 入力を選択した場合に、GTCNT カウンタのクロックとして用いる GTETRG のエッジを選択します。

CKEG[1:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

- GPTW3.GTCR, GPTW7.GTCR

アドレス　GPTW3.GTCR 000C 232Ch, GPTW7.GTCR 000C 272Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CKEG[1:0]		TPCS[3:0]				—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCEN	—	—	—	SSCGRP[1:0]		SCGTIOC	ICDS	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタートビット	0：カウント停止 1：カウント動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ICDS	カウント停止時インプットキャプチャ動作選択ビット	0：カウント停止時にインプットキャプチャ動作する 1：カウント停止時にインプットキャプチャ動作しない	R/W
b9	SCGTIOC	GTIOC入力要因同期クリア許可ビット	0：GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用禁止 1：GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用許可	R/W
b11-b10	SSCGRP[1:0]	同期セット/クリアグループ選択ビット	b11 b10 0 0：同期セット/クリアグループAを選択 0 1：同期セット/クリアグループBを選択 1 0：同期セット/クリアグループCを選択 1 1：同期セット/クリアグループDを選択	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSCEN	同期セット/リセット許可ビット	0：GTCNTカウンタの同期セット/同期クリアを禁止 1：GTCNTカウンタの同期セット/同期クリアを許可	R/W
b18-b16	MD[2:0]	モード選択ビット	b18 b16 000：のこぎり波PWMモード(シングル/ダブルバッファ可能) 001：のこぎり波ワンショットパルスモード(バッファ動作固定) 010：設定しないでください 011：設定しないでください 100：三角波PWMモード1(谷32ビット転送)(シングル/ダブルバッファ可能) 101：三角波PWMモード2(山/谷32ビット転送)(シングル/ダブルバッファ可能) 110：三角波PWMモード3(谷64ビット転送)(バッファ動作固定) 111：設定しないでください	R/W
b22-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b23	TPCS[3:0]	タイマプリスケーラ選択ビット	b26 b23 0 0 0 0 : PCLKC 0 0 0 1 : PCLKC/2 0 0 1 0 : PCLKC/4 0 0 1 1 : PCLKC/8 0 1 0 0 : PCLKC/16 0 1 0 1 : PCLKC/32 0 1 1 0 : PCLKC/64 0 1 1 1 : PCLKC/128 1 0 0 0 : PCLKC/256 1 0 0 1 : PCLKC/512 1 0 1 0 : PCLKC/1024 1 0 1 1 : 設定しないでください 1 1 0 0 : GTETRGA (POEG経由) 1 1 0 1 : GTETRGB (POEG経由) 1 1 1 0 : GTETRGC (POEG経由) 1 1 1 1 : GTETRGD (POEG経由)	R/W
b28-b27	CKEG[1:0]	クロックエッジ選択ビット	b28 b27 0 0 : GTETRGの立ち上がりエッジでカウント 0 1 : GTETRGの立ち下がりエッジでカウント 1 0 : GTETRGの両エッジでカウント 1 1 : GTETRGの両エッジでカウント	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタートビット)

GTCNT カウンタの動作 / 停止を制御します。

[“1” になる条件]

- GTSSR.CSTRT ビットが “1” の状態で、GTSTR レジスタのチャネル番号に対応するビットに “1” を書いたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA、GTIOCnB 端子入力 (n = 3, 7) 条件が発生したとき
- ソフトウェアで直接 “1” を書いたとき

[“0” になる条件]

- GTPSR.CSTOP ビットが “1” の状態で、GTSTP レジスタのチャネル番号に対応するビットに “1” を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA、GTIOCnB 端子入力条件が発生したとき
- GTPC.ASTP ビットが “1” の状態で、サイクルカウントが終了したとき
- ソフトウェアで直接 “0” を書いたとき

ICDS ビット (カウント停止時インプットキャプチャ動作選択ビット)

インプットキャプチャ機能を選択している場合のカウント停止時のインプットキャプチャ動作を選択します。

SCGTIOC ビット (GTIOC 入力要因同期クリア許可ビット)

GTCSR レジスタで選択された GTIOCnA/GTIOCnB 端子を要因とする他チャネルのクリア要因として使用することの許可 / 禁止を選択します。

SSCGRP[1:0] ビット (同期セット / クリアグループ選択ビット)

同期セット / クリアを行うチャネルのグループを選択します。

SSCEN ビット (同期セット / リセット許可ビット)

同期セット / クリアの許可 / 禁止を選択します。

相補 PWM モード時は、マスタチャネルの SSCEN ビットの設定でスレーブチャネルも制御します。

MD[2:0] ビット (モード選択ビット)

GPTW の動作モードを選択します。

インプットキャプチャ時は、MD[2] ビットだけが有効です。MD[2] ビットが、“0” の場合はのこぎり波のカウントを行い、“1” の場合は三角波のカウントを行います。

MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

イベントカウント動作時 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合) は、MD[2:0] ビットは初期値 (“000b”) にしてください。

TPCS[3:0] ビット (タイマプリスケーラ選択ビット)

GTCNT カウンタのクロックを選択します。各チャネル独立にクロックソースを選択することができます。

TPCS[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

TPCS[3:0] ビットで GTETRG 入力を選択した場合に、GTCNT カウンタのクロックとして用いる GTETRG のエッジを選択します。

CKEG[1:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

24.2.13　汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス　GPTW0.GTUDDTYC 000C 2030h, GPTW1.GTUDDTYC 000C 2130h, GPTW2.GTUDDTYC 000C 2230h, GPTW3.GTUDDTYC 000C 2330h, GPTW4.GTUDDTYC 000C 2430h, GPTW5.GTUDDTYC 000C 2530h, GPTW6.GTUDDTYC 000C 2630h, GPTW7.GTUDDTYC 000C 2730h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定ビット	0：GTCNTカウンタはダウンカウント 1：GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定ビット	0：カウント方向を強制設定しない 1：カウント方向を強制設定する	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	OADTY[1:0]	GTIOCnA端子出力デューティ設定ビット	b17b16 0 x：コンペアマッチでGTIOCnA端子出力のデューティが決まる 1 0：GTIOCnA端子出力のデューティ 0% 1 1：GTIOCnA端子出力のデューティ 100%	R/W
b18	OADTYF	GTIOCnA端子出力デューティ強制設定ビット	0：GTIOCnA端子出力デューティを強制設定しない 1：GTIOCnA端子出力デューティを強制設定する	R/W
b19	OADTYR	GTIOCnA端子出力0%/100%デューティ設定解除後出力	0：0%/100%デューティ設定解除後にデューティ設定されていた出力値に対してGTIOA[3:2]ビットの機能を適用する 1：0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOA[3:2]ビットの機能を適用する	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	OBDTY[1:0]	GTIOCnB端子出力デューティ設定ビット	b25b24 0 x：コンペアマッチでGTIOCnB端子出力のデューティが決まる 1 0：GTIOCnB端子出力のデューティ 0% 1 1：GTIOCnB端子出力のデューティ 100%	R/W
b26	OBDTYF	GTIOCnB端子出力デューティ強制設定ビット	0：GTIOCnB端子出力デューティを強制設定しない 1：GTIOCnB端子出力デューティを強制設定する	R/W
b27	OBDTYR	GTIOCnB端子出力0%/100%デューティ設定解除後出力	0：0%/100%デューティ設定解除後にデューティ設定されていた出力値に対してGTIOB[3:2]ビットの機能を適用する 1：0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOB[3:2]ビットの機能を適用する	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 7

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向 (アップカウント / ダウンカウント) を設定、GTIOCnA、GTIOCnB 端子出力のデューティ設定を行うレジスタです。

イベントカウント動作時、のこぎり波 PWM モード 2 動作時、相補 PWM モード動作時は無効です。

(1) カウント方向設定

- のこぎり波の場合

アップカウント動作中にUDビットを“0”にした場合、オーバフロー(GTCNTカウンタ値がGTPRレジスタ状態でのカウントクロック)時にカウント方向が切り替わります。

ダウンカウント動作中にUDビットを“1”にした場合、アンダフロー(GTCNTカウンタ値が“0000 0000h”状態でのカウントクロック)時にカウント方向が切り替わります。

カウントストップ中にUDFビットが“0”の状態でUDビットを“1”から“0”に変更した場合、最初のカウント動作はアップカウントとなり、オーバフロー(GTCNTカウンタ値がGTPRレジスタ状態でのカウントクロック)時にカウント方向が切り替わります。

カウントストップ中にUDFビットが“0”の状態でUDビットを“0”から“1”に変更した場合、最初のカウント動作はダウンカウントとなり、アンダフロー(GTCNTカウンタ値が“0000 0000h”状態でのカウントクロック)時にカウント方向が切り替わります。

カウントストップ中にUDFビットを“1”にすると、そのときのUDビットの値がカウントスタート時のカウント方向に反映されます。

- 三角波の場合

カウント中にUDビット値を変化させてもカウント方向には反映されません。

カウントストップ中にUDFビットが“0”の状態でUDビットの値を変化させても、カウントスタート後のカウント方向には反映されません。

カウントストップ中にUDFビットを“1”にすると、そのときのUDビットの値がカウントスタート時のカウント方向に反映されます。

UDビット(カウント方向設定ビット)

GTCNTカウンタのカウント方向(アップ/ダウン)を設定します。

UDFビット(カウント方向強制設定ビット)

GTCNTカウンタのスタート時のカウント方向を強制的にUDビットの値に設定します。

カウント中の書き込みは“0”としてください。

カウントストップ中に“1”を書いた場合、カウントスタートまでに“0”に戻してください。

(2) 出力デューティ設定

- のこぎり波の場合

アップカウント動作中にOADTY[1:0]/OBDTY[1:0]ビットを変更した場合、オーバフロー時に変更したデューティ設定が反映されます。

ダウンカウント動作中にOADTY[1:0]/OBDTY[1:0]ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中にOADTYF/OBDTYFビットが“0”の状態で、OADTY[1:0]/OBDTY[1:0]ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アップカウントの場合はオーバフロー時に、ダウンカウントの場合はアンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中にOADTYF/OBDTYFビットが“1”の状態で、OADTY[1:0]/OBDTY[1:0]ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

- 三角波の場合

カウント動作中にOADTY[1:0]/OBDTY[1:0]ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中にOADTYF/OBDTYFビットが“0”の状態で、OADTY[1:0]/OBDTY[1:0]ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アンダフロー時に変更した

デューティ設定が反映されます。
カウントストップ中にOADTYF/OBDTYFビットが“1”の状態で、OADTY[1:0]/OBDTY[1:0]ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

のこぎり波の場合でも三角波の場合でも、カウントストップ中にOADTYF/OBDTYFビットを“1”にして、カウントスタート後の最初の周期のデューティをOADTY[1:0]/OBDTY[1:0]ビットで設定すると、OADTYF/OBDTYFビットを“0”にして、OADTY[1:0]/OBDTY[1:0]ビットを再設定しても、カウントスタートすると最初の周期と次の周期のデューティはカウントストップ中に設定したOADTY[1:0]/OBDTY[1:0]ビットのデューティ設定となります。

OmDTY[1:0]ビット(GTIOCnm端子出力デューティ設定ビット)(n = 0～7、m = A, B)
GTIOCnm端子からの出力のデューティ(0%/100%/コンペアマッチによる制御)を設定します。

OmDTYFビット(GTIOCnm端子出力デューティ強制設定ビット)(n = 0～7、m = A, B)
GTCNTカウンタ動作開始時のデューティを強制的にOmDTY[1:0]ビットに設定します。
カウント動作中の書き込みは常に“0”としてください。
カウント動作停止中に“1”を書いた場合、カウントスタート後の最初の周期の終わりまでに“0”に戻して、次の周期の設定をしてください。

OmDTYRビット(GTIOCnm端子出力0%/100%デューティ設定解除後出力ビット)(n = 0～7、m = A, B)
GTIOCnm端子に対して0%/100%デューティ設定からコンペアマッチによる制御に変更し、GTIOR.GTIOm[3:2]ビットが“00b”で周期の終わりで出力保持、または“11b”で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を選択します。
デューティ0%/100%設定の動作中、GPTW内部ではコンペアマッチ動作は継続しています。OmDTYRビットが“1”の場合、このコンペアマッチ動作による周期の終わりでの値をGTIOm[3:2]ビットの対象とします。

24.2.14 汎用 PWM タイマ I/O 制御レジスタ (GTIOR)

アドレス　GPTW0.GTIOR 000C 2034h, GPTW1.GTIOR 000C 2134h, GPTW2.GTIOR 000C 2234h, GPTW3.GTIOR 000C 2334h, GPTW4.GTIOR 000C 2434h, GPTW5.GTIOR 000C 2534h, GPTW6.GTIOR 000C 2634h, GPTW7.GTIOR 000C 2734h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCSB[1:0]		NFBEN	—	OBEOCD	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NFCSA[1:0]		NFAEN	PSYE	OAEOCD	OADF[1:0]		OAE	OAHLD	OADFLT	CPSCIR	GTIOA[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCnA端子機能選択ビット	表24.4、表24.5を参照してください。	R/W
b5	CPSCIR	相補PWMモード同期クリア初期出力抑止ビット(注1)	0：相補PWMモードの谷での同期クリア発生時、GTIOA[4:0]、GTIOB[4:0]ビットで設定した初期出力値を出力 1：初期出力を抑制する	R/W
b6	OADFLT	GTIOCnA端子カウントストップ時の出力値ビット	0：カウントストップ時にGTIOCnA端子からLowを出力 1：カウントストップ時にGTIOCnA端子からHighを出力	R/W
b7	OAHLD	GTIOCnA端子カウントスタート/ストップ時の出力保持ビット	0：カウントスタート/ストップ時のGTIOCnA端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート/ストップ時にGTIOCnA端子の出力レベルを保持する	R/W
b8	OAE	GTIOCnA端子出力イネーブルビット	0：端子出力しない 1：端子出力する	R/W
b10-b9	OADF[1:0]	GTIOCnA端子ネゲート値設定ビット	b10 b9 0 0：下記要因を設定しない 0 1：出力ネゲート制御時にGTIOCnA端子を“Hi-Z”にする 1 0：出力ネゲート制御時にGTIOCnA端子を“Low”にする 1 1：出力ネゲート制御時にGTIOCnA端子を“High”にする	R/W
b11	OAEOCD	GTCCRAレジスタコンペアマッチ時周期の終わり出力設定無効ビット(注1)	0：GTIOA[3:0]ビットの設定有効 1：GTIOA[3:0]ビットの設定無効(GTIOCnA端子出力保持)	R/W
b12	PSYE	PWM周期同期出力許可ビット(注2)	0：GTCPPO0、GTCPPO4出力端子からの出力を禁止 1：GTCPPO0、GTCPPO4出力端子からの出力を許可	R/W
b13	NFAEN	GTIOCnA端子入力ノイズフィルタイネーブルビット	0：GTIOCnA端子入力のノイズフィルタを禁止 1：GTIOCnA端子入力のノイズフィルタを許可	R/W
b15-b14	NFCSA[1:0]	GTIOCnA端子入力ノイズフィルタサンプリングクロック選択ビット	b15b14 0 0：PCLKC 0 1：PCLKC/4 1 0：PCLKC/16 1 1：PCLKC/64	R/W
b20-b16	GTIOB[4:0]	GTIOCnB端子機能選択ビット	表24.4を参照してください。	R/W
b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22	OBDFLT	GTIOCnB端子カウントストップ時の出力値ビット	0：カウントストップ時にGTIOCnB端子からLowを出力 1：カウントストップ時にGTIOCnB端子からHighを出力	R/W
b23	OBHLD	GTIOCnB端子カウントスタート/ストップ時の出力保持ビット	0：カウントスタート/ストップ時のGTIOCnB端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート/ストップ時にGTIOCnB端子の出力レベルを保持する	R/W
b24	OBE	GTIOCnB端子出力イネーブルビット	0：端子出力しない 1：端子出力する	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b25	OBDF[1:0]	GTIOCnB端子ネゲート値設定ビット	b26b25 0 0：下記要因を設定しない 0 1：出力ネゲート制御時にGTIOCnB端子を“Hi-Z”にする 1 0：出力ネゲート制御時にGTIOCnB端子を“Low”にする 1 1：出力ネゲート制御時にGTIOCnB端子を“High”にする	R/W
b27	OBEOCD	GTCCRBレジスタコンペアマッチ時周期の終わり出力設定無効ビット(注1)	• のこぎり波PWMモード1の場合 0：GTIOB[3:2]ビットの設定有効 1：GTIOB[3:2]ビットの設定無効(GTIOCnB端子出力保持) • のこぎり波PWMモード2の場合 0：GTIOA[3:2]ビットの設定有効 1：GTIOA[3:2]ビットの設定無効(GTIOCnA端子出力保持)	R/W
b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29	NFBEN	GTIOCnB端子入力ノイズフィルタイネーブルビット	0：GTIOCnB端子入力のノイズフィルタを禁止 1：GTIOCnB端子入力のノイズフィルタを許可	R/W
b31-b30	NFCSB[1:0]	GTIOCnB端子入力ノイズフィルタサンプリングクロック選択ビット	b31b30 0 0：PCLKC 0 1：PCLKC/4 1 0：PCLKC/16 1 1：PCLKC/64	R/W

n = 0 ～ 7

注1. GPTW3、GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2. GPTW1～GPTW3、GPTW5～GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTIOR レジスタは、GTIOCnA、GTIOCnB、GTCPPO0、および GTCPPO4 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット (GTIOCnA 端子機能選択ビット) (n = 0 ～ 7)

GTIOCnA 端子の機能を選択します。詳細は、**表 24.4** を参照してください。

CPSCIR ビット (相補 PWM モード同期クリア初期出力抑止ビット)

相補 PWM モードで同期クリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、CPSCIR ビットの設定によらず、GTIOA[4] / GTIOB[4] ビットで設定した初期値を出力します。また、カウントスタート直後の谷で同期クリアが発生した場合も、GTIOA[4] / GTIOB[4] ビットで設定した初期値を出力します。

OADFLT ビット (GTIOCnA 端子カウントストップ時の出力値ビット) (n = 0 ～ 7)

カウントストップ時に、GTIOCnA 端子から Low を出力するか、High を出力するかを設定します。

OAHLD ビット (GTIOCnA 端子カウントスタート / ストップ時の出力保持ビット) (n = 0 ～ 7)

カウントスタート / ストップ時に、GTIOCnA 端子の出力レベルを保持するか、レジスタ設定に従うかを設定します。

[**OAHLD ビットを “0” にした場合**]

- カウントスタート時に、GTIOA[4:0] ビットのビット 4 で指定した値を出力する。
- カウントストップ時に、OADFLT ビットで指定した値を出力する。
- カウントストップ中に、OADFLT ビットの値を変更した場合は、ただちに出力に反映されます。

[**OAHLD ビットを “1” にした場合**]

- カウントスタート / ストップ時に、出力を保持します。

OAE ビット (GTIOCnA 端子出力イネーブルビット) (n = 0 ～ 7)

GTIOCnA 端子出力をする / しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくともひとつのビットが “1” の場合) は、OAE ビットの設定に関わらず GTIOCnA 端子出力を行いません。

OADF[1:0] ビット (GTIOCnA 端子ネゲート値設定ビット) (n = 0 ～ 7)

POEG からの出力停止要求によって GTIOCnA 端子から出力する値を選択します。

OAEOCD ビット (GTCCRA レジスタコンペアマッチ時周期の終わり出力設定無効ビット)

のこぎり波 PWM モード 1、2 で周期の終わりと GTCCRA レジスタのコンペアマッチのタイミングが一致する場合、GTIOA[3:2] ビットの設定の無効 / 有効を選択します。“1”(無効) を設定すると周期の終わりと GTCCRA レジスタのコンペアマッチのタイミングが一致する場合、GTIOCnm 端子は出力を保持します。

PSYE ビット (PWM 周期同期出力許可ビット)

相補 PWM モードと三角波の山 / 谷 /GTCNT カウンタクリア、のこぎり波の周期の終わりでトグルする PWM 周期に同期した信号 GTCPPO0、GTCPPO4 出力端子から出力の許可 / 禁止を設定します。

GTCPPO0、GTCPPO4 出力端子の初期出力は Low、カウントスタートによって High になります。

NFAEN ビット (GTIOCnA 端子入力ノイズフィルタイネーブルビット) (n = 0 ～ 7)

GTIOCnA 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCSA[1:0] ビット (GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択ビット) (n = 0 ～ 7)

GTIOCnA 端子の入力に対するノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

GTIOB[4:0] ビット (GTIOCnB 端子機能選択ビット) (n = 0 ～ 7)

GTIOCnA 端子の機能を選択します。詳細は、**表 24.4** を参照してください。

のこぎり波 PWM モード 2 の場合、GTIOB[1:0] ビットのみが有効となり、GTCCRB レジスタのコンペアマッチにより、GTIOCnB 端子ではなく GTIOCnA 端子の出力を選択します。

OBDFLT ビット (GTIOCnB 端子カウントストップ時の出力値ビット) (n = 0 ～ 7)

カウントストップ時に、GTIOCnB 端子から Low を出力するか、High を出力するかを設定します。

OBHLD ビット (GTIOCnB 端子カウントスタート / ストップ時の出力保持ビット) (n = 0 ～ 7)

カウントスタート / ストップ時に、GTIOCnB 端子の出力レベルを保持するか、レジスタ設定に従うかを設定します。

[**OBHLD ビットを “0” にした場合**]

- カウントスタート時に、GTIOB[4:0] ビットのビット 4 で指定した値を出力する。
- カウントストップ時に、OBDFLT ビットで指定した値を出力する。
- カウントストップ中に、OBDFLT ビットの値を変更した場合は、ただちに出力に反映されます。

[**OBHLD ビットを “1” にした場合**]

- カウントスタート / ストップ時に、出力を保持します。

OBE ビット (GTIOCnB 端子出力イネーブルビット) (n = 0 ～ 7)

GTIOCnB 端子出力をする / しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくともひとつのビットが “1” の場合) は、OBE ビットの設定に関わらず GTIOCnB 端子出力を行いません。

OBDF[1:0] ビット (GTIOCnB 端子ネゲート値設定ビット) (n = 0 ～ 7)

POEG からの出力停止要求によって GTIOCnB 端子から出力する値を選択します。

OBEOCD ビット (GTCCRB レジスタコンペアマッチ時周期の終わり出力設定無効ビット)

のこぎり波 PWM モード 1、2 で周期の終わりと GTCCRB レジスタのコンペアマッチのタイミングが一致する場合、のこぎり波 PWM モード 1 では GTIOB[3:2] ビット、のこぎり波 PWM モード 2 では GTIOA[3:2] ビットの設定の無効 / 有効を選択します。“1”(無効) を設定すると周期の終わりと GTCCRB レジスタのコンペアマッチのタイミングが一致する場合、のこぎり波 PWM モード 1 では GTIOCnB 端子は出力を保持し、のこぎり波 PWM モード 2 では GTIOCnA 端子が出力を保持します。

NFBEN ビット (GTIOCnB 端子入力ノイズフィルタイネーブルビット) (n = 0 ～ 7)

GTIOCnB 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCSB[1:0] ビット (GTIOCnB 端子入力ノイズフィルタサンプリングクロック選択ビット) (n = 0 ～ 7)

GTIOCnB 端子の入力に対するノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

表 24.4　GTIOA[4:0] (GTIOB[4:0]) ビットの設定 (のこぎり波、三角波の場合) (1/2)

GTIOA[4:0] (GTIOB[4:0]) ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力Low	周期の終わりで出力保持	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力

表24.4　GTIOA[4:0] (GTIOB[4:0])ビットの設定(のこぎり波、三角波の場合) (2/2)

GTIOA[4:0] (GTIOB[4:0])ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	1	1	0	0	初期出力Low	周期の終わりでトグル出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	0	0	0	0	初期出力High	周期の終わりで出力保持	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	1	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	1	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	1	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	1	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力

注.　周期の終わりとは、のこぎり波のときはオーバフロー(アップカウント時にGTCNTカウンタ値がGTPRレジスタ値から“0”になる)、アンダフロー(ダウンカウント時にGTCNTカウンタ値が“0”からGTPRレジスタ値になる)、GTCNTカウンタクリアを、三角波のときは谷(GTCNTカウンタ値が“0”から“1”になる)を示します。

注.　コンペアマッチ動作時、周期の終わりとGTCCRA/GTCCRBレジスタのコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではOAEOCD、OBEOCDビットが“0”となって周期に終わり出力が許可されていると、b3-b2の設定が優先され、それ以外のモードではb1-b0の設定が優先されます。

注.　イベントカウント動作時(GTUPSRレジスタまたはGTDNSRレジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合)、b3-b2の設定は無効です。

注.　のこぎり波PWMモード2の場合、GTIOB[4:2]ビットは無効です。出力端子はGTIOCnA端子のみとなるので、初期出力はGTIOA[4]ビットに設定してください。周期の終わりは、GTIOA[3:2]ビットに設定してください。

表24.5　GTIOA[4:0] (GTIOB[4:0])ビットの設定(相補PWMモードの場合)

GTIOA[4:0] (GTIOB[4:0])ビット					機能		
					初期出力 アクティブレベル	アップカウント時の コンパマッチ出力	ダウンカウント時の コンパマッチ出力
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	1	1	0	初期出力：Low アクティブレベル：High	Low出力	High出力
0	1	0	0	1		High出力	Low出力
1	0	1	1	0	初期出力：High アクティブレベル：Low	Low出力	High出力
1	1	0	0	1		High出力	Low出力

注.　相補PWMモードでは、GTIOA[4:0]ビットに設定可能な値は、“01001b”、“10110b”です。他の値の設定は禁止です。
注.　相補PWMモードでは、GTIOB[4:0]ビットに設定可能な値は、“00110b”、“11001b”です。他の値の設定は禁止です。
注.　相補PWMモードでは、GTIOB[4:0]ビットの設定はGTCCRBレジスタのコンペアマッチを用いません。コンペアマッチの対象となるカウンタとレジスタの組み合わせは、相補PWMモードの動作の動作区間によって異なります。詳細は、「(7)　相補PWMモード1、2、3」を参照してください。

24.2.15　汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス　GPTW0.GTINTAD 000C 2038h, GPTW1.GTINTAD 000C 2138h, GPTW2.GTINTAD 000C 2238h, GPTW3.GTINTAD 000C 2338h, GPTW4.GTINTAD 000C 2438h, GPTW5.GTINTAD 000C 2538h, GPTW6.GTINTAD 000C 2638h, GPTW7.GTINTAD 000C 2738h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	GTINTPC	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCFPU	SCFPO	SCFF	SCFE	SCFD	SCFC	SCFB	SCFA	GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	GTINTB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b2	GTINTC	GTCCRCレジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3	GTINTD	GTCCRDレジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b4	GTINTE	GTCCREレジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	GTINTF	GTCCRFレジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTPRレジスタコンペアマッチ割り込み許可ビット	b7 b6 0 0：割り込み要求を禁止 0 1：のこぎり波のときにオーバフロー、三角波のときに(山)で割り込み要求を許可 1 0：のこぎり波のときにアンダフロー、三角波のときに(谷)で割り込み要求を許可 1 1：のこぎり波のときにオーバフロー/アンダフロー両方、三角波のときに(山/谷)両方で割り込み要求を許可	R/W
b8	SCFA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ要因同期クリア許可ビット	0：GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用禁止 1：GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用許可	R/W
b9	SCFB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ要因同時クリア許可ビット	0：GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用禁止 1：GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用許可	R/W
b10	SCFC	GTCCRCレジスタコンペアマッチ要因同時クリア許可ビット	0：GTCCRCレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1：GTCCRCレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b11	SCFD	GTCCRDレジスタコンペアマッチ要因同時クリア許可ビット	0：GTCCRDレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1：GTCCRDレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b12	SCFE	GTCCREレジスタコンペアマッチ要因同時クリア許可ビット	0：GTCCREレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1：GTCCREレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b13	SCFF	GTCCRFレジスタコンペアマッチ要因同時クリア許可ビット	0：GTCCRFレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1：GTCCRFレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b14	SCFPO	オーバフロー要因同時クリア許可ビット	0：オーバフローを他チャネルのクリア要因に使用禁止 1：オーバフローを他チャネルのクリア要因に使用許可	R/W
b15	SCFPU	アンダフロー要因同時クリア許可ビット	0：アンダフローを他チャネルのクリア要因に使用禁止 1：アンダフローを他チャネルのクリア要因に使用許可	R/W
b16	ADTRAUEN	GTADTRAレジスタコンペアマッチ(アップカウント)A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b17	ADTRADEN	GTADTRAレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b18	ADTRBUEN	GTADTRBレジスタコンペアマッチ(アップカウント)A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b19	ADTRBDEN	GTADTRBレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	GRP[1:0]	出力停止グループ選択ビット	b25b24 0 0：グループAを選択 0 1：グループBを選択 1 0：グループCを選択 1 1：グループDを選択	R/W
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	GRPDTE	デッドタイムエラー出力停止検出許可ビット	0：デッドタイムエラー出力停止検出を禁止 1：デッドタイムエラー出力停止検出を許可	R/W
b29	GRPABH	同時High出力停止検出許可ビット	0：同時High出力停止検出を禁止 1：同時High出力停止検出を許可	R/W
b30	GRPABL	同時Low出力停止検出許可ビット	0：同時Low出力停止検出を禁止 1：同時Low出力停止検出を許可	R/W
b31	GTINTPC	サイクルカウント終了割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W

GTINTADレジスタは、割り込み要求、A/D変換開始要求、および出力停止検出の許可 / 禁止を設定するレジスタです。

GTINTAビット(GTCCRAレジスタコンペアマッチ / インプットキャプチャ要因同期クリア許可ビット)

GTCCRAレジスタのコンペアマッチ / インプットキャプチャによる割り込み要求(GTCIA)を許可 / 禁止します。

GTINTBビット(GTCCRBレジスタコンペアマッチ / インプットキャプチャ要因同時クリア許可ビット)

GTCCRBレジスタのコンペアマッチ / インプットキャプチャによる割り込み要求(GTCIB)を許可 / 禁止します。

GTINTC ビット (GTCCRC レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRC レジスタのコンペアマッチによる割り込み要求 (GTCIC) を許可 / 禁止します。

GTINTD ビット (GTCCRD レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRD レジスタのコンペアマッチによる割り込み要求 (GTCID) を許可 / 禁止します。

GTINTE ビット (GTCCRE レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRE レジスタのコンペアマッチによる割り込み要求 (GTCIE) を許可 / 禁止します。

GTINTF ビット (GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRF レジスタのコンペアマッチによる割り込み要求 (GTCIF) を許可 / 禁止します。

GTINTPR[1:0] ビット (GTPR レジスタコンペアマッチ割り込み許可ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー)/GTCNT カウンタのアンダフローによる割り込み要求 (GTCIV/GTCIU) を許可 / 禁止します。

SCFA ビット (GTCCRA レジスタコンペアマッチ / インプットキャプチャ要因同期クリア許可ビット)

GTCCRA レジスタのコンペアマッチ / インプットキャプチャを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFB ビット (GTCCRB レジスタコンペアマッチ / インプットキャプチャ要因同時クリア許可ビット)

GTCCRB レジスタのコンペアマッチ / インプットキャプチャを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFC ビット (GTCCRC レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRC レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFD ビット (GTCCRD レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRD レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFE ビット (GTCCRE レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRE レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFF ビット (GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRF レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFPO ビット (オーバフロー要因同時クリア許可ビット)

オーバフローを他チャネルの同期クリア要因とするをこと許可 / 禁止を選択します。

相補 PWM モードではマスタチャネルのみ有効です。

SCFPU ビット (アンダフロー要因同時クリア許可ビット)

アンダフローを他チャネルの同期クリア要因とするをこと許可 / 禁止を選択します。

相補 PWM モードではマスタチャネルのみ有効です。

ADTRAUEN ビット (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

ADTRADEN ビット (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

ADTRBUEN ビット (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

ADTRBDEN ビット (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

GRP[1:0] ビット (出力停止グループ選択ビット)

GPTW から POEG に出力する出力停止検出と POEG から GPTW に入力する出力停止要求のグループを選択します。

POEG に出力するデッドタイムエラー、同時 High 出力、同時 Low 出力の各停止検出は、それぞれの出力停止検出許可ビットが “1” のとき、GRP[1:0] ビットで選択されたグループに出力されます。

GRP[1:0] ビットで選択されたグループの POEG からの出力停止要求は、GTST.ODF フラグでモニタすることができます。

GRP[1:0] ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットがともに “0” の状態で行ってください。

GRPDTE ビット (デッドタイムエラー出力停止検出許可ビット)

デッドタイムエラーによる出力停止検出を許可 / 禁止します。

イベントカウント動作時は、デッドタイムエラー出力停止検出は発生しません。

GRPABH ビット (同時 High 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に High になったときの出力停止検出を許可 / 禁止します。

GRPABL ビット (同時 Low 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に Low になったときの出力停止検出を許可 / 禁止します。

GTINTPC ビット (サイクルカウント終了割り込み許可ビット)

サイクルカウントの終了割り込みの要求 (GTCEI) を許可 / 禁止します。

24.2.16　汎用 PWM タイマステータスレジスタ (GTST)

アドレス　GPTW0.GTST 000C 203Ch, GPTW1.GTST 000C 213Ch, GPTW2.GTST 000C 223Ch, GPTW3.GTST 000C 233Ch, GPTW4.GTST 000C 243Ch, GPTW5.GTST 000C 253Ch, GPTW6.GTST 000C 263Ch, GPTW7.GTST 000C 273Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PCF	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	ITCNT[2:0]			TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	コンペアマッチ/インプットキャプチャフラグA	0：GTCCRAレジスタコンペアマッチ/インプットキャプチャの発生なし 1：GTCCRAレジスタコンペアマッチ/インプットキャプチャの発生あり	R/(W) (注1)
b1	TCFB	コンペアマッチ/インプットキャプチャフラグB	0：GTCCRBレジスタコンペアマッチ/インプットキャプチャの発生なし 1：GTCCRBレジスタコンペアマッチ/インプットキャプチャの発生あり	R/(W) (注1)
b2	TCFC	コンペアマッチフラグC	0：GTCCRCレジスタコンペアマッチの発生なし 1：GTCCRCレジスタコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	コンペアマッチフラグD	0：GTCCRDレジスタコンペアマッチの発生なし 1：GTCCRDレジスタコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	コンペアマッチフラグE	0：GTCCREレジスタコンペアマッチの発生なし 1：GTCCREレジスタコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	コンペアマッチフラグF	0：GTCCRFレジスタコンペアマッチの発生なし 1：GTCCRFレジスタコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバフローフラグ	0：オーバフロー、または(山)の発生なし 1：オーバフロー、または(山)の発生あり	R/(W) (注1)
b7	TCFPU	アンダフローフラグ	0：アンダフロー、または(谷)の発生なし 1：アンダフロー、または(谷)の発生あり	R/(W) (注1)
b10-b8	ITCNT[2:0]	GTCIV/GTCIU割り込み間引き回数カウンタ	タイマ割り込み間引き回数カウンタ	R
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TUCF	カウント方向フラグ	0：GTCNTカウンタはダウンカウント 1：GTCNTカウンタはアップカウント	R
b16	ADTRAUF	GTADTRAレジスタコンペアマッチ(アップカウント)A/D変換開始要求フラグ	0：アップカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1：アップカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b17	ADTRADF	GTADTRAレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求フラグ	0：ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1：ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b18	ADTRBUF	GTADTRBレジスタコンペアマッチ(アップカウント)A/D変換開始要求フラグ	0：アップカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1：アップカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b19	ADTRBDF	GTADTRBレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求フラグ	0：ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1：ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b24	ODF	出力停止要求フラグ	0：出力停止要求なし 1：出力停止要求あり	R
b27-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	DTEF	デッドタイムエラーフラグ	0：デッドタイムエラーの発生なし 1：デッドタイムエラーの発生あり	R
b29	OABHF	同時High出力フラグ	0：GTIOCnA端子とGTIOCnB端子の同時“1”発生なし 1：GTIOCnA端子とGTIOCnB端子の同時“1”発生あり	R
b30	OABLF	同時Low出力フラグ	0：GTIOCnA端子とGTIOCnB端子の同時“0”発生なし 1：GTIOCnA端子とGTIOCnB端子の同時“0”発生あり	R
b31	PCF	サイクルカウント終了フラグ	0：サイクルカウントの動作中 1：サイクルカウントの終了	R/(W) (注1)

n = 0 ～ 7

注1. フラグをクリアするための“0”書き込みのみ可能です。ADTRAUF、ADTRADF、ADTRBUFフラグまたはADTRBDFフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、クリアしたくないフラグには“1”を書き込んでください。

GTST レジスタは、GPTW の状態を示します。

TCFA フラグ (コンペアマッチ / インプットキャプチャフラグ A)

GTCCRA レジスタのコンペアマッチ / インプットキャプチャの発生を示すステータスフラグです。

[“1” になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT = GTCCRA になったとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

[“0” になる条件]

- TCFA フラグに “0” を書いたとき

TCFB フラグ (コンペアマッチ / インプットキャプチャフラグ B)

GTCCRB レジスタのコンペアマッチ / インプットキャプチャの発生を示すステータスフラグです。

[“1” になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT = GTCCRB になったとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[“0” になる条件]

- TCFB フラグに “0” を書いたとき

TCFC フラグ (コンペアマッチフラグ C)

GTCCRC レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRC レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1” になる条件]

- GTCNT = GTCCRC になったとき

[“0” になる条件]

- **TCFC フラグに** “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)

- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

TCFD フラグ (コンペアマッチフラグ D)

GTCCRD レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRD レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1” になる条件]

- GTCNT = GTCCRD になったとき

[“0” になる条件]

- TCFD フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

TCFE フラグ (コンペアマッチフラグ E)

GTCCRE レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRE レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1” になる条件]

- GTCNT = GTCCRE になったとき

[“0” になる条件]

- TCFE フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b, 10b, 11b (GTCCRE レジスタがバッファ動作)

TCFF フラグ (コンペアマッチフラグ F)

GTCCRF レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRF レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1” になる条件]

- GTCNT = GTCCRF になったとき

[“0” になる条件]

- TCFF フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b, 11b (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバフローフラグ)

オーバフロー、または山の発生を示すフラグです。

[“1” になる条件]

- のこぎり波の場合、オーバフロー(アップカウント動作中に GTCNT カウンタが GTPR レジスタの値から

“0” になる) が発生
- 三角波の場合、山 (GTCNT カウンタが GTPR レジスタの値から GTPR レジスタ –1 になる) が発生
- ハードウェア要因にカウント動作の場合、オーバフロー(アップカウント動作によって GTCNT カウンタが GTPR レジスタの値から “0” になる) が発生

[“0” になる条件]
- TCFPO フラグに “0” を書いたとき

TCFPU フラグ (アンダフローフラグ)

アンダフロー、または谷の発生を示すフラグです。

[“1” になる条件]
- のこぎり波の場合、アンダフロー(ダウンカウント動作中に GTCNT カウンタが “0” から GTPR レジスタの値になる) が発生
- 三角波の場合、山 (GTCNT カウンタが “0” から “1” になる) が発生
- ハードウェア要因にカウント動作の場合、アンダフロー(ダウンカウント動作によって GTCNT カウンタが “0” から GTPR レジスタの値になる) が発生

[“0” になる条件]
- TCFPU フラグに “0” を書いたとき

ITCNT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数カウンタ)

GTCIV/GTCIU 割り込み間引き機能を使用時 (GTITC.IVTC[1:0] ビットを “00b” 以外に設定時)、IVTC[1:0] ビットで選択された GTCIV/GTCIU 割り込み要因が発生するごとに 1 カウントアップします。

GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

[“0” になる条件]
- GTCIV/GTCIU割り込み間引き機能を未使用時(IVTC[1:0] ビットが “00b” のとき、GTITC.IVTT[2:0] ビットが “000b” のとき)
- GTCIV/GTCIU割り込み間引き回数が一致したとき(IVTT[2:0]ビットで設定した間引き回数とITCNT[2:0]ビット値が一致したとき)
- カウント動作停止中

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示すフラグです。

イベントカウント動作時は、アップカウントすると “1”、ダウンカウントすると “0” になります。

ADTRAUF フラグ (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]
- アップカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

[“0” になる条件]
- ADTRAUF フラグに “0” を書いたとき

ADTRADF フラグ (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]
- ダウンカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

["0" になる条件]

- ADTRADF フラグに "0" を書いたとき

ADTRBUF フラグ (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- アップカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

["0" になる条件]

- ADTRBUF フラグに "0" を書いたとき

ADTRBDF フラグ (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- ダウンカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

["0" になる条件]

- ADTRBDF フラグに "0" を書いたとき

ODF フラグ (出力停止要求フラグ)

GTINTAD.GRP[1:0] ビットで選択したグループの出力停止要求をモニタします。

出力停止要求が行われた後に要求が解除されても、PWM 端子のネゲート制御の解除は、PWM 周期の終わりまで待たされます。

DTEF フラグ (デッドタイムエラーフラグ)

デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたことを示すフラグです。

デッドタイム自動設定後の波形変化ポイントが、カウント周期内に戻ると "0" に戻ります。DTEF フラグは読み出しのみ可能です。("0" 書き込みによって "0" にすることはできません)

DTEF フラグによる割り込みを許可している (GTINTAD.GRPDTE ビット = 1) 場合、DTEF フラグを POEG に出力停止検出として出力し、DTEF フラグが "0" から "1" に変化するたびに GDTE 割り込みが発生します。

["1" になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたとき (以下の場合)
  三角波でアップカウントの場合 : GTCCRA レジスタ – GTDVU レジスタ ≦ 0 のとき
  三角波でダウンカウントの場合 : GTCCRA レジスタ – GTDVD レジスタ < 0 のとき
  のこぎり波ワンショットパルスモードでアップカウントの場合 :
  GTCCRA レジスタ – GTDVU レジスタ < 0 または GTCCRA レジスタ + GTDVD レジスタ > GTPR レジスタのとき
  のこぎり波ワンショットパルスモードでダウンカウントの場合 :
  GTCCRA レジスタ + GTDVU レジスタ > GTPR レジスタまたは GTCCRA レジスタ – GTDVD レジスタ < 0 のとき

["0" になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期内にあるとき

OABHF フラグ (同時 High 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に "1" を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が "0" になると "0" に戻ります。

OABHF フラグは読み出しのみ可能です。("0" 書き込みよって "0" にすることはできません)

OABHF フラグによる出力停止検出を許可している (GTINTAD.GRPABH ビット＝ 1) 場合、OABHF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 High 出力の割り込みはありません。割り込みを行いたい場合は、POEG 側の割り込みを利用してください。

[“1” になる条件]

- GTIOR.OAE ビットと GTIOR.OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “1” を出力しているとき

[“0” になる条件]

- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が異なる値を出力しているとき
- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “0” を出力しているとき
- OAE ビットまたは OBE ビットの少なくとも一方が “0” のとき

OABLF フラグ (同時 Low 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に “0” を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が “1” になると “0” に戻ります。

OABLF フラグは読み出しのみ可能です。(“0” 書き込みよって “0” にすることはできません)

OABLF フラグによる出力停止検出を許可している (GTINTAD.GRPABL ビット＝ 1) 場合、OABLF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 Low 出力の割り込みはありません。割り込みを行いたい場合は、POEG 側の割り込みを利用してください。

[“1” になる条件]

- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “0” を出力しているとき

[“0” になる条件]

- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が異なる値を出力しているとき
- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “1” を出力しているとき
- OAE ビットまたは OBE ビットの少なくとも一方が “0” のとき

OABHF/OABLF フラグを生成するための出力値の比較は、コンペアマッチ出力 (PWM 出力) が、出力ネゲート機能によってマスクされる前の値です。出力ネゲート状態でも、内部ではコンペアマッチ動作は継続しており、その結果の値に従って OABHF/OABLF フラグは更新されます。

PCF フラグ (サイクルカウント終了フラグ)

サイクルカウントの終了を示すステータスフラグです。

[“1” になる条件]

- GTPC.PCEN ビットが “1” かつ GTPC.PCNT カウンタが “1” の状態の周期の終わり
- GTPC.PCEN ビットが “1” かつ GTPC.PCNT カウンタが “0” の状態のカウントクロック

[“0” になる条件]

- PCF フラグに “0” を書いたとき

24.2.17　汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス　GPTW0.GTBER 000C 2040h, GPTW1.GTBER 000C 2140h, GPTW2.GTBER 000C 2240h, GPTW3.GTBER 000C 2340h, GPTW4.GTBER 000C 2440h, GPTW5.GTBER 000C 2540h, GPTW6.GTBER 000C 2640h, GPTW7.GTBER 000C 2740h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBRTSADB	DBRTEADB	DBRTSADA	DBRTEADA	DBRTSCB	DBRTECB	DBRTSCA	DBRTECA	—	—	—	—	BD[3]	BD[2]	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット	0：バッファ動作許可 1：バッファ動作禁止	R/W
b1	BD[1]	GTPR レジスタのバッファ動作禁止ビット		R/W (注1)
b2	BD[2]	GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット		R/W
b3	BD[3]	GTDVU/GTDVD レジスタのバッファ動作禁止ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DBRTECA	GTCCRA レジスタのダブルバッファリピート動作許可ビット	0：GTCCRA レジスタのダブルバッファリピート動作禁止 1：GTCCRA レジスタのダブルバッファリピート動作許可	R/W
b9	DBRTSCA	GTCCRA レジスタのダブルバッファリピート動作期間選択ビット	0：谷を周期として、GTCCRA レジスタへの中間バッファからの転送を繰り返す 1：山を周期として、GTCCRA レジスタへの中間バッファからの転送を繰り返す	R/W
b10	DBRTECB	GTCCRB レジスタのダブルバッファリピート動作許可ビット	0：GTCCRB レジスタのダブルバッファリピート動作禁止 1：GTCCRB レジスタのダブルバッファリピート動作許可	R/W
b11	DBRTSCB	GTCCRB レジスタのダブルバッファリピート動作期間選択ビット	0：谷を周期として、GTCCRB レジスタへの中間バッファからの転送を繰り返す 1：山を周期として、GTCCRB レジスタへの中間バッファからの転送を繰り返す	R/W
b12	DBRTEADA	GTADTRA レジスタのダブルバッファリピート動作許可ビット	0：GTADTRA レジスタのダブルバッファリピート動作禁止 1：GTADTRA レジスタのダブルバッファリピート動作許可	R/W
b13	DBRTSADA	GTADTRA レジスタのダブルバッファリピート期間選択ビット	0：谷を周期として、GTADTRA レジスタへの中間バッファからの転送を繰り返す 1：山を周期として、GTADTRA レジスタへの中間バッファからの転送を繰り返す	R/W
b14	DBRTEADB	GTADTRB レジスタのダブルバッファリピート動作許可ビット	0：GTADTRB レジスタのダブルバッファリピート動作禁止 1：GTADTRB レジスタのダブルバッファリピート動作許可	R/W
b15	DBRTSADB	GTADTRB レジスタのダブルバッファリピート期間選択ビット	0：谷を周期として、GTADTRB レジスタへの中間バッファからの転送を繰り返す 1：山を周期として、GTADTRB レジスタへの中間バッファからの転送を繰り返す	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	CCRA[1:0]	GTCCRAレジスタのバッファ動作ビット	b17b16 0 0：バッファ動作しない 0 1：シングルバッファとして動作する (GTCCRAレジスタ⇔GTCCRCレジスタ) 1 x：ダブルバッファとして動作する (GTCCRAレジスタ⇔GTCCRCレジスタ⇔GTCCRDレジスタ)	R/W
b19-b18	CCRB[1:0]	GTCCRBレジスタのバッファ動作ビット	b19b18 0 0：バッファ動作しない 0 1：シングルバッファとして動作する (GTCCRBレジスタ⇔GTCCREレジスタ) 1 x：ダブルバッファとして動作する (GTCCRBレジスタ⇔GTCCREレジスタ⇔GTCCRFレジスタ)	R/W
b21-b20	PR[1:0]	GTPRレジスタのバッファ動作ビット	b21b20 0 0：バッファ動作しない 0 1：シングルバッファとして動作する (GTPBRレジスタ⇒GTPRレジスタ) 1 x：ダブルバッファとして動作する (GTPDBRレジスタ⇒GTPBRレジスタ⇒GTPRレジスタ)	R/W
b22	CCRSWT	GTCCRA/GTCCRBレジスタの強制バッファ動作ビット	“1”を書くとGTCCRA、GTCCRBレジスタのバッファ転送を強制的に行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	ADTTA[1:0]	GTADTRAレジスタのバッファ転送タイミング選択ビット	• 三角波、相補PWMモードの場合 b25b24 0 0：転送しない 0 1：(山)で転送 1 0：(谷)で転送 1 1：(谷/山)両方で転送 • のこぎり波の場合 b25b24 0 0：転送しない 0 0以外：アンダフロー(ダウンカウント時)、オーバフロー(アップカウント時)、カウンタクリアで転送	R/W
b26	ADTDA	GTADTRAレジスタのダブルバッファ動作ビット	0：シングルバッファとして動作する (GTADTBRAレジスタ⇒GTADTRAレジスタ) 1：ダブルバッファとして動作する (GTADTDBRAレジスタ⇒GTADTBRAレジスタ⇒GTADTRAレジスタ)	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29-b28	ADTTB[1:0]	GTADTRBレジスタのバッファ転送タイミング選択ビット	• 三角波、相補PWMモードの場合 b29b28 0 0：転送しない 0 1：(山)で転送 1 0：(谷)で転送 1 1：(谷/山)両方で転送 • のこぎり波の場合 b29b28 0 0：転送しない 0 0以外：アンダフロー(ダウンカウント時)、オーバフロー(アップカウント時)、カウンタクリアで転送	R/W
b30	ADTDB	GTADTRBレジスタのダブルバッファ動作ビット	0：シングルバッファとして動作する (GTADTBRBレジスタ⇒GTADTRBレジスタ) 1：ダブルバッファとして動作する (GTADTDBRBレジスタ⇒GTADTBRBレジスタ⇒GTADTRBレジスタ)	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。

GTBER レジスタは、バッファ動作の設定を行うレジスタです。
BD[3:0] ビットを除く GTBER レジスタの設定は、GTCNT カウンタが停止した状態で行ってください。

BD[0] ビット (GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。
GTCCRB レジスタは、のこぎり波ワンショットパルスモードまたは三角波では、GTDTCR.TDE ビットが “1” の場合、BD[0] ビット = 0 に設定しても、バッファ動作せず、デッドタイム付き逆相波形用のコンペアマッチ値が自動設定されます。
相補 PWM モードの場合、GTCCRC、GTCCRE レジスタのバッファ動作に対してのみ有効です。GTCCRA レジスタのバッファ動作は禁止できません。また。GTCCRB レジスタへのバッファ動作による転送は行われません。GTCCRE、GTCCRF レジスタのバッファ動作は、GTBER2.CP3DB ビットで許可 / 禁止されます。
GTSECR レジスタの SBDCE ビットまたは SBDCD ビットに “1” を書き込むことによって、GTSECSR レジスタで “1” となっているビット位置のチャネルの BD[0] ビットに値を設定することができます。
DBRTECm (m = A, B) ビットが “1” の場合、のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および三角波 PWM モード 2 のダブルバッファを使用すると、BD[0] = 1 に設定しても、中間バッファから GTCCRm レジスタへのバッファ動作を行います。

BD[1] ビット (GTPR レジスタのバッファ動作禁止ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。
GTSECR レジスタの SBDPE ビットまたは SBDPD ビットに “1” を書き込むことによって、GTSECSR レジスタで “1” となっているビット位置のチャネルの BD[1] ビットに値を設定することができます。
相補 PWM モードでは、マスタチャネルの GTCNT カウンタの BD[1] ビットの設定でスレーブチャネルも制御します。

BD[2] ビット (GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。
イベントカウント動作時は無効となり、GTADTRA、GTADTRB レジスタはバッファ動作を行いません。
GTSECR レジスタの SBDAE ビットまたは SBDAD ビットに “1” を書き込むことによって、GTSECSR レジスタで “1” となっているビット位置のチャネルの BD[2] ビットに値を設定することができます。
DBRTECm (m = A, B) ビットが “1” の場合、三角波を用い、GTADTRm レジスタをダブルバッファ動作させ、バッファ転送タイミングを谷 / 山両方 (GTBER.ADTTm[1:0] ビットが “11b”) にすると、BD[2] ビットを “1” にしても、中間バッファから GTADTRm レジスタへのバッファ動作行います。

BD[3] ビット (GTDVU/GTDVD レジスタのバッファ動作禁止ビット)

のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、三角波で、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。
GTDVD レジスタは、GTDTCR.TDFER ビットが “1” の場合、BD[3] ビット = 0 に設定しても、バッファ動作せず、GTDVU レジスタの値が自動設定されます。
のこぎり波 PWM モード 2 および相補 PWM モードでは無効となり、GTDVU、GTDVD レジスタはバッファ動作を行いません。
イベントカウント動作時は無効となり、GTDVU、GTDVD レジスタはバッファ動作を行いません。
GTSECR レジスタの SBDDE ビットまたは SBDDD ビットに “1” を書き込むことによって、GTSECSR レ

ジスタで “1” となっているビット位置のチャネルの BD[3] ビットに値を設定することができます。

DBRTECm ビット (GTCCRm レジスタのダブルバッファリピート動作許可ビット) (m = A, B)

GTCCRm レジスタをダブルバッファ動作させる場合、バッファ転送禁止期間中に、中間バッファから GTCCRm レジスタへの転送を周期単位で繰り返す動作を許可します。

のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3、および GTCCRm レジスタをダブルバッファ (GTBER.CCRm[1] ビットが “1”) させる三角波 PWM モード 2 で有効です。

バッファ転送の禁止期間は、BD[0] ビットの設定 (CPU 書き込み、または GTSECSR レジスタによるバッファ動作同時制御) および GTEITLB レジスタによるバッファ転送拡張間引き (谷 / 山両方をカウントして間引く場合を除く) のいずれにも対応します。

DBRTECm ビットが “1” の場合、GTCCRm レジスタに CPU 書き込みを行うと、テンポラリレジスタ x (x = C, E) にも同じ値が書きこまれます。また、強制バッファ転送によって、GTCCRx (x = C, E) レジスタの値が、テンポラリレジスタ x (x = C, E) に転送されます。

DBRTSCm ビット (GTCCRm レジスタのダブルバッファリピート動作期間選択ビット) (m = A, B)

GTCCRm ダブルバッファリピート動作を許可した場合、リピート動作の対象となる期間を選択します。三角波 PWM モード 2 の場合に有効です。

GTCNT カウンタのカウント動作中にバッファ転送の禁止 / 許可を変更する場合、DBRTSCm ビットで設定した周期期間と同じ時間を単位とする期間で変更してください。

DBRTEADm ビット (GTADTRm レジスタのダブルバッファリピート動作許可ビット) (m = A, B)

GTADTRm レジスタをダブルバッファ動作させる場合、バッファ転送が禁止された期間中に、中間バッファから GTADTRm レジスタへの転送を周期単位で繰り返す動作を許可します。

三角波および相補 PWM モードを用い、GTADTRm レジスタをダブルバッファ動作 (GTBER.ADTDm ビットが “1”) させ、バッファ転送タイミングが谷 / 山両方 (GTBER.ADTTm[1:0] ビットが “11b”) の場合に有効です。

バッファ転送の禁止期間は、BD[2] ビットの設定 (CPU 書き込み、または GTSECSR レジスタによるバッファ動作制御)、GTEITLB レジスタによるバッファ転送拡張間引き (三角波で谷 / 山両方をカウントして間引く場合を除く)、GTADCMSS レジスタで選択される、A/D 変換開始要求コンペアマッチ間引きによるバッファ転送間引きのいずれにも対応します。

ADTDm ビットが “1” かつ DBRTEADm ビットが “1” の場合、GTADTRm レジスタに CPU 書き込みを行うと、テンポラリレジスタ ADm (m = A, B) にも同じ値が書き込まれます。

DBRTSADm ビット (GTADTRm レジスタのダブルバッファ動作期間選択ビット) (m = A, B)

GTADTRm ダブルバッファリピート動作を許可した場合、リピート動作の対象となる期間を選択します。

GTCNT カウンタのカウント動作中に、バッファ転送の禁止 / 許可を変更する場合、DBRTSADm ビットで設定した周期期間と同じ期間で変更してください。

CCRA[1:0] ビット (GTCCRA レジスタのバッファ動作ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注 1)

CCRB[1:0] ビット (GTCCRB レジスタのバッファ動作ビット)

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が

優先されます。(注 1)

PR[1:0] ビット (GTPR レジスタのバッファ動作ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を設定します。

相補 PWM モードでは無効です。PR[1:0] ビットの設定値に関わらず、相補 PWM モード固有のバッファ動作を行います。

CCRSWT ビット (GTCCRA/GTCCRB レジスタの強制バッファ動作ビット)

CCRSWT ビットに “1” を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。“1” を書いた後、自動的に “0” に戻ります。読むと “0” が読めます。

カウントストップ中かつコンペアマッチ動作設定時のみ有効です。

相補 PWM モードでは無効です。

ADTTA[1:0] ビット (GTADTRA レジスタのバッファ転送タイミング選択ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作時は無効です。

ADTDA ビット (GTADTRA レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作時は無効です。

ADTTB[1:0] ビット (GTADTRB レジスタのバッファ転送タイミング選択ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作時は無効です。

ADTDB ビット (GTADTRB レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作時は無効です。

注 1. のこぎり波ワンショットパルスモード、三角波 PWM モード 3 (谷 64 ビット転送)、または相補 PWM モードの場合、バッファ動作は固定となります。

24.2.18　汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス　GPTW0.GTITC 000C 2044h, GPTW1.GTITC 000C 2144h, GPTW2.GTITC 000C 2244h, GPTW3.GTITC 000C 2344h, GPTW4.GTITC 000C 2444h, GPTW5.GTITC 000C 2544h, GPTW6.GTITC 000C 2644h, GPTW7.GTITC 000C 2744h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRC レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRD レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCRE レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRF レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV/GTCIU割り込み間引き機能選択ビット	b7 b6 0 0：間引きしない 0 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(山)をカウントして間引く 1 0：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷)をカウントして間引く 1 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷/山)両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV/GTCIU割り込み間引き回数選択ビット	b10　b8 0 0 0：間引きしない 0 0 1：間引き回数：1回 0 1 0：間引き回数：2回 0 1 1：間引き回数：3回 1 0 0：間引き回数：4回 1 0 1：間引き回数：5回 1 1 0：間引き回数：6回 1 1 1：間引き回数：7回	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADTAL	GTADTRA レジスタ A/D 変換開始要求連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	ADTBL	GTADTRB レジスタ A/D 変換開始要求連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b31-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTITC レジスタは、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) 割り込み (GTCIV)/ アンダフロー割り込み (GTCIU) の間引き機能の設定と他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、POEG への出力

停止検出、デッドタイムエラー割り込みはGTCIV/GTCIU割り込み間引き機能と連動することはできません。なお、割り込み間引き機能を設定した場合、ステータスフラグの変化も間引かれます。
イベントカウント動作時は無効です。
GTEITCレジスタによる拡張割り込み間引きとは独立して動作します。

ITLAビット(GTCCRAレジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット)
GTCCRAレジスタのコンペアマッチ/インプットキャプチャ割り込み(GTCIA)が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

ITLBビット(GTCCRBレジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット)
GTCCRBレジスタのコンペアマッチ/インプットキャプチャ割り込み(GTCIB)が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

ITLCビット(GTCCRCレジスタコンペアマッチ割り込み連動ビット)
GTCCRCレジスタのコンペアマッチ割り込み(GTCIC)が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

ITLDビット(GTCCRDレジスタコンペアマッチ割り込み連動ビット)
GTCCRDレジスタのコンペアマッチ割り込み(GTCID)が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

ITLEビット(GTCCREレジスタコンペアマッチ割り込み連動ビット)
GTCCREレジスタのコンペアマッチ割り込み(GTCIE)が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

ITLFビット(GTCCRFレジスタコンペアマッチ割り込み連動ビット)
GTCCRFレジスタのコンペアマッチ割り込み(GTCIF)が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

IVTC[1:0]ビット(GTCIV/GTCIU割り込み間引き機能選択ビット)
GTPRレジスタのコンペアマッチ(GTCNTカウンタのオーバフロー)割り込み(GTCIV)/GTCNTカウンタのアンダフロー割り込み(GTCIU)の間引き機能を選択します。

IVTT[2:0]ビット(GTCIV/GTCIU割り込み間引き回数選択ビット)
GTPRレジスタのコンペアマッチ(GTCNTカウンタのオーバフロー)割り込み(GTCIV)/GTCNTカウンタのアンダフロー割り込み(GTCIU)の間引き回数を選択します。
IVTT[2:0]ビットを変更する場合は、IVTC[1:0]ビットを“00b”にしてから行ってください。

ADTALビット(GTADTRAレジスタA/D変換開始要求連動ビット)
GTADTRAレジスタのコンペアマッチでのA/D変換開始要求が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

ADTBLビット(GTADTRBレジスタA/D変換開始要求連動ビット)
GTADTRBレジスタのコンペアマッチでのA/D変換開始要求が、GTCIV/GTCIU割り込み間引き機能と連動する/しないを設定します。

24.2.19　汎用 PWM タイマカウンタ (GTCNT)

アドレス　GPTW0.GTCNT 000C 2048h, GPTW1.GTCNT 000C 2148h, GPTW2.GTCNT 000C 2248h, GPTW3.GTCNT 000C 2348h, GPTW4.GTCNT 000C 2448h, GPTW5.GTCNT 000C 2548h, GPTW6.GTCNT 000C 2648h, GPTW7.GTCNT 000C 2748h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCNT カウンタは、32 ビットの読み書き可能なカウンタで、各チャネルに 1 本ずつあります。カウント停止時のみ書き込み可能で、カウント中 (CST = 1 の時) の書き込みは無効です。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。GTCNT カウンタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GPTW0 ～ GPTW2、GPTW4 ～ GPTW6 でのこぎり波および三角波を使用する場合、GTCNT カウンタは、0 ≦ GTCNT カウンタ≦ GTPR レジスタの範囲内に設定してください。

24.2.20　汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ～ F)

アドレス　GPTW0.GTCCRA 000C 204Ch, GPTW1.GTCCRA 000C 214Ch, GPTW2.GTCCRA 000C 224Ch,
GPTW3.GTCCRA 000C 234Ch, GPTW4.GTCCRA 000C 244Ch, GPTW5.GTCCRA 000C 254Ch,
GPTW6.GTCCRA 000C 264Ch, GPTW7.GTCCRA 000C 274Ch,
GPTW0.GTCCRB 000C 2050h, GPTW1.GTCCRB 000C 2150h, GPTW2.GTCCRB 000C 2250h,
GPTW3.GTCCRB 000C 2350h, GPTW4.GTCCRB 000C 2450h, GPTW5.GTCCRB 000C 2550h,
GPTW6.GTCCRB 000C 2650h, GPTW7.GTCCRB 000C 2750h,
GPTW0.GTCCRC 000C 2054h, GPTW1.GTCCRC 000C 2154h, GPTW2.GTCCRC 000C 2254h,
GPTW3.GTCCRC 000C 2354h, GPTW4.GTCCRC 000C 2454h, GPTW5.GTCCRC 000C 2554h,
GPTW6.GTCCRC 000C 2654h, GPTW7.GTCCRC 000C 2754h,
GPTW0.GTCCRE 000C 2058h, GPTW1.GTCCRE 000C 2158h, GPTW2.GTCCRE 000C 2258h,
GPTW3.GTCCRE 000C 2358h, GPTW4.GTCCRE 000C 2458h, GPTW5.GTCCRE 000C 2558h,
GPTW6.GTCCRE 000C 2658h, GPTW7.GTCCRE 000C 2758h,
GPTW0.GTCCRD 000C 205Ch, GPTW1.GTCCRD 000C 215Ch, GPTW2.GTCCRD 000C 225Ch,
GPTW3.GTCCRD 000C 235Ch, GPTW4.GTCCRD 000C 245Ch, GPTW5.GTCCRD 000C 255Ch,
GPTW6.GTCCRD 000C 265Ch, GPTW7.GTCCRD 000C 275Ch,
GPTW0.GTCCRF 000C 2060h, GPTW1.GTCCRF 000C 2160h, GPTW2.GTCCRF 000C 2260h,
GPTW3.GTCCRF 000C 2360h, GPTW4.GTCCRF 000C 2460h, GPTW5.GTCCRF 000C 2560h,
GPTW6.GTCCRF 000C 2660h, GPTW7.GTCCRF 000C 2760h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1.　RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTCCRm レジスタは、32 ビットの読み書き可能なレジスタです。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTCCRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTCCRA、GTCCRB レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。

GTCCRC、GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA、GTCCRB レジスタのバッファレジスタとして動作させることもできます。

GTCCRD、GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC、GTCCRE レジスタのバッファレジスタ (GTCCRA、GTCCRB レジスタのダブルバッファレジスタ) として動作させることもできます。

24.2.21　汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス　GPTW0.GTPR 000C 2064h, GPTW1.GTPR 000C 2164h, GPTW2.GTPR 000C 2264h, GPTW3.GTPR 000C 2364h, GPTW4.GTPR 000C 2464h, GPTW5.GTPR 000C 2564h, GPTW6.GTPR 000C 2664h, GPTW7.GTPR 000C 2764h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1.　RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTPR レジスタは、32 ビットの読み書き可能なレジスタで、GTCNT カウンタのカウント最大値を設定するレジスタです。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTPR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

のこぎり波 PWM モード 2 では無効です。のこぎり波 PWM モード 2 以外ののこぎり波の場合は、GTPR レジスタ値 + 1 がカウント周期になります。三角波、相補 PWM モードの場合は、GTPR レジスタ値 × 2 がカウント周期になります。

相補 PWM モード時は、マスタチャネル / スレーブチャネル 1/ スレーブチャネル 2 のどのレジスタに書き込んでも、3 つのチャネルに同時に書き込まれます。

24.2.22　汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス　GPTW0.GTPBR 000C 2068h, GPTW1.GTPBR 000C 2168h, GPTW2.GTPBR 000C 2268h, GPTW3.GTPBR 000C 2368h, GPTW4.GTPBR 000C 2468h, GPTW5.GTPBR 000C 2568h, GPTW6.GTPBR 000C 2668h, GPTW7.GTPBR 000C 2768h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1.　RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTPBR レジスタは、32 ビットの読み書き可能なレジスタで、GTPR レジスタのバッファレジスタとして動作します。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTPBR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

のこぎり波 PWM モード 2 では無効です。相補 PWM モード時は、マスタチャネル / スレーブチャネル 1/ スレーブチャネル 2 のどのレジスタに書き込んでも、3 つのチャネルに同時に書き込まれます。

24.2.23　汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス　GPTW0.GTPDBR 000C 206Ch, GPTW1.GTPDBR 000C 216Ch, GPTW2.GTPDBR 000C 226Ch, GPTW3.GTPDBR 000C 236Ch, GPTW4.GTPDBR 000C 246Ch, GPTW5.GTPDBR 000C 256Ch, GPTW6.GTPDBR 000C 266Ch, GPTW7.GTPDBR 000C 276Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1.　RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTPDBR レジスタは、32 ビットの読み書き可能なレジスタで、GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTPDBR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

のこぎり波 PWM モード 2 では無効です。相補 PWM モード時は、マスタチャネル / スレーブチャネル 1/ スレーブチャネル 2 のどのレジスタに書き込んでも、3 つのチャネルに同時に書き込まれます。

24.2.24 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)

アドレス

GPTW0.GTADTRA 000C 2070h, GPTW1.GTADTRA 000C 2170h, GPTW2.GTADTRA 000C 2270h, GPTW3.GTADTRA 000C 2370h, GPTW4.GTADTRA 000C 2470h, GPTW5.GTADTRA 000C 2570h, GPTW6.GTADTRA 000C 2670h, GPTW7.GTADTRA 000C 2770h,
GPTW0.GTADTRB 000C 207Ch, GPTW1.GTADTRB 000C 217Ch, GPTW2.GTADTRB 000C 227Ch, GPTW3.GTADTRB 000C 237Ch, GPTW4.GTADTRB 000C 247Ch, GPTW5.GTADTRB 000C 257Ch, GPTW6.GTADTRB 000C 267Ch, GPTW7.GTADTRB 000C 277Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1. RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTADTRm レジスタは、32 ビットの読み書き可能なレジスタで、A/D 変換開始要求のタイミングを設定します。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTADTRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を生成します。

相補 PWM モードで動作している場合は、マスタチャネルの GTCNT カウンタと一致したとき、A/D 変換開始要求を生成します。

24.2.25 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)

アドレス

GPTW0.GTADTBRA 000C 2074h, GPTW1.GTADTBRA 000C 2174h, GPTW2.GTADTBRA 000C 2274h, GPTW3.GTADTBRA 000C 2374h, GPTW4.GTADTBRA 000C 2474h, GPTW5.GTADTBRA 000C 2574h, GPTW6.GTADTBRA 000C 2674h, GPTW7.GTADTBRA 000C 2774h,
GPTW0.GTADTBRB 000C 2080h, GPTW1.GTADTBRB 000C 2180h, GPTW2.GTADTBRB 000C 2280h, GPTW3.GTADTBRB 000C 2380h, GPTW4.GTADTBRB 000C 2480h, GPTW5.GTADTBRB 000C 2580h, GPTW6.GTADTBRB 000C 2680h, GPTW7.GTADTBRB 000C 2780h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1. RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTADTBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTADTBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)

アドレス　GPTW0.GTADTDBRA 000C 2078h, GPTW1.GTADTDBRA 000C 2178h, GPTW2.GTADTDBRA 000C 2278h, GPTW3.GTADTDBRA 000C 2378h, GPTW4.GTADTDBRA 000C 2478h, GPTW5.GTADTDBRA 000C 2578h, GPTW6.GTADTDBRA 000C 2678h, GPTW7.GTADTDBRA 000C 2778h,
GPTW0.GTADTDBRB 000C 2084h, GPTW1.GTADTDBRB 000C 2184h, GPTW2.GTADTDBRB 000C 2284h, GPTW3.GTADTDBRB 000C 2384h, GPTW4.GTADTDBRB 000C 2484h, GPTW5.GTADTDBRB 000C 2584h, GPTW6.GTADTDBRB 000C 2684h, GPTW7.GTADTDBRB 000C 2784h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1.　RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTADTDBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTBRm レジスタのバッファレジスタ (GTADTRm レジスタのダブルバッファレジスタ) として動作します。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTADTDBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.27　汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR)

アドレス　GPTW0.GTDTCR 000C 2088h, GPTW1.GTDTCR 000C 2188h, GPTW2.GTDTCR 000C 2288h, GPTW3.GTDTCR 000C 2388h, GPTW4.GTDTCR 000C 2488h, GPTW5.GTDTCR 000C 2588h, GPTW6.GTDTCR 000C 2688h, GPTW7.GTDTCR 000C 2788h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0：GTDVU、GTDVD レジスタを使用しないで、GTCCRB レジスタを個別に設定する 1：GTDVU、GTDVD レジスタを使用して、デッドタイム付き逆相波形用コンペアマッチ値をGTCCRB レジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TDBUE	GTDVU レジスタのバッファ動作許可ビット	0：GTDVU レジスタのバッファ動作を禁止 1：GTDVU レジスタのバッファ動作を許可	R/W
b5	TDBDE	GTDVD レジスタのバッファ動作許可ビット	0：GTDVD レジスタのバッファ動作を禁止 1：GTDVD レジスタのバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TDFER	GTDVD レジスタ設定ビット	0：GTDVU、GTDVD レジスタを個別に設定する 1：GTDVU レジスタに書き込んだ値を、GTDVD レジスタにも自動設定する	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形用コンペアマッチ値の自動設定を許可するレジスタです。

イベントカウント動作時は無効です。

のこぎり波 PWM モード 2 および相補 PWM モード時は無効です。

TDE ビット (逆相波形設定ビット)

GTDVU、GTDVD レジスタを使用する / しないを設定します。GTDVU、GTDVD レジスタを使用する場合、正相波形用のコンペアマッチ値 (GTCCRA レジスタ) とデッドタイム値 (GTDVU、GTDVD レジスタ) から算出したデッドタイム付き逆相波形用コンペアマッチ値が、GTCCRB レジスタに自動設定されます。

のこぎり波 PWM モードでは TDE ビットの設定は無視され、GTCCRB レジスタの自動設定は行われません。

自動設定される GTCCRB レジスタの上限値 / 下限値は以下のようになります。

- 三角波 PWM モードの場合
  上限値：GTPR レジスタの設定値 – 1
  下限値：アップカウント時 “1”、ダウンカウント時 “0”
- のこぎり波ワンショットパルスモードの場合
  上限値：GTPR レジスタの設定値
  下限値：“0”

算出された GTCCRB レジスタ値が上限値 / 下限値の範囲外となる場合は、GTCCRB レジスタには上限値 /

下限値が設定され、GTST.DTEF フラグが “1” になります。ただし、三角波で上限値を超える場合は、DTEF フラグは “0” になります。

TDBUE ビット (GTDVU レジスタのバッファ動作許可ビット)

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。
バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDBDE ビット (GTDVD レジスタのバッファ動作許可ビット)

GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。
バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。
TDFER ビットを同時に “1” にした場合、TDFER ビットの設定が優先されます。

TDFER ビット (GTDVD レジスタ設定ビット)

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

24.2.28　汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D)

アドレス　GPTW0.GTDVU 000C 208Ch, GPTW1.GTDVU 000C 218Ch, GPTW2.GTDVU 000C 228Ch, GPTW3.GTDVU 000C 238Ch, GPTW4.GTDVU 000C 248Ch, GPTW5.GTDVU 000C 258Ch, GPTW6.GTDVU 000C 268Ch, GPTW7.GTDVU 000C 278Ch, GPTW0.GTDVD 000C 2090h, GPTW1.GTDVD 000C 2190h, GPTW2.GTDVD 000C 2290h, GPTW3.GTDVD 000C 2390h, GPTW4.GTDVD 000C 2490h, GPTW5.GTDVD 000C 2590h, GPTW6.GTDVD 000C 2690h, GPTW7.GTDVD 000C 2790h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1.　RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTDVm レジスタは、32 ビットの読み書き可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。

GTDVm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

のこぎり波 PWM モード 2 では無効です。

相補 PWM モードの場合、GTDVD レジスタは無効となり、アップカウント時もダウンカウント時も GTDVU レジスタをデッドタイム値として用います。GTDVU レジスタは、マスタチャネル / スレーブチャネル 1/ スレーブチャネル 2 のどのレジスタに書き込んでも、3 つのチャネルに同時に書き込まれます。

三角波の場合、GTDVU レジスタは、アップカウント用です。GTDVD レジスタは、ダウンカウント用です。

のこぎり波の場合、アップカウントでもダウンカウントでも GTDVU レジスタは前側のデッドタイム、GTDVD レジスタは後側のデッドタイムになります。

GTDVm レジスタに、GTDVm レジスタ≧ GTPR レジスタとなる値の設定は禁止です。

- GTDVU > 0
- GTDVU < GTPR / 2
- GTDVU + GTPR ≦ FFFF FFFFh

また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRB レジスタを読むことで自動計算された逆相波形の変化ポイントがわかります。GTDVm レジスタを使用する場合は GTCCRB レジスタへの書き込みは禁止です。相補 PWM モード以外では、値を “0” にすれば、デッドタイムなしの波形が出力されます。

GTDTCR.TDFER ビットが “1” の場合、GTDVD レジスタへの書き込みは無効となり、GTDVD レジスタを読むと GTDVU レジスタの値が読めます。

24.2.29　汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U, D)

アドレス　GPTW0.GTDBU 000C 2094h, GPTW1.GTDBU 000C 2194h, GPTW2.GTDBU 000C 2294h, GPTW3.GTDBU 000C 2394h, GPTW4.GTDBU 000C 2494h, GPTW5.GTDBU 000C 2594h, GPTW6.GTDBU 000C 2694h, GPTW7.GTDBU 000C 2794h, GPTW0.GTDBD 000C 2098h, GPTW1.GTDBD 000C 2198h, GPTW2.GTDBD 000C 2298h, GPTW3.GTDBD 000C 2398h, GPTW4.GTDBD 000C 2498h, GPTW5.GTDBD 000C 2598h, GPTW6.GTDBD 000C 2698h, GPTW7.GTDBD 000C 2798h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)	0/1 (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注 1.　RAM 容量が 64K バイトの製品は “1”、RAM 容量が 48K バイトの製品は “0” です。

GTDBm レジスタは、32 ビットの読み書き可能なレジスタで、GTDVm レジスタのバッファレジスタとして動作します。RAM 容量が 48K バイトの製品では、上位 16 ビットは予約ビットです。読むと “0” が読めます。GTDBm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.30　汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)

アドレス　GPTW0.GTSOS 000C 209Ch, GPTW1.GTSOS 000C 219Ch, GPTW2.GTSOS 000C 229Ch, GPTW3.GTSOS 000C 239Ch, GPTW4.GTSOS 000C 249Ch, GPTW5.GTSOS 000C 259Ch, GPTW6.GTSOS 000C 269Ch, GPTW7.GTSOS 000C 279Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
リセット後の値	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS[1:0]	出力保護機能ステータスビット	b1 b0 0 0：通常動作 0 1：保護状態(谷もしくは山の転送でGTCCRAレジスタ = 0が設定された) 1 0：保護状態(谷の転送でGTCCRAレジスタ≧GTPRレジスタが設定された) 1 1：保護状態(山の転送でGTCCRAレジスタ≧GTPRレジスタが設定された)	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b9-b8	—	予約ビット	読んだ場合、その値は不定	R
b31-b10	—	予約ビット	読むと“0”が読めます	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイム自動設定されている (GTDTCR.TDE = 1) 場合のみ有効になります。

SOS[1:0] ビット (出力保護機能ステータスビット)

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「24.8.4　GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 7、m = A, B)」を参照してください。

24.2.31　汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)

アドレス　GPTW0.GTSOTR 000C 20A0h, GPTW1.GTSOTR 000C 21A0h, GPTW2.GTSOTR 000C 22A0h, GPTW3.GTSOTR 000C 23A0h, GPTW4.GTSOTR 000C 24A0h, GPTW5.GTSOTR 000C 25A0h, GPTW6.GTSOTR 000C 26A0h, GPTW7.GTSOTR 000C 27A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除ビット	0：保護状態を解除しない 1：保護状態を解除する	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSOTR レジスタは、出力保護状態時に GTIOCnB 端子出力 (n = 0 ～ 7) の保護状態を一時的に解除します。

GTSOS.SOS[1:0] = 10b (谷の転送で GTCCRA レジスタ≧ GTPR レジスタとなったことを示す保護状態) の場合のみ、解除することができます。他の保護状態の場合には解除されません。

SOTR ビット (出力保護機能一時解除ビット)

出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するかしないかを設定します。

SOTR ビットを “1” にすると、最初に現れる “ 谷 ” 以降の出力保護機能を解除します。また、SOTR ビットを “0” にすると、最初に現れる “ 谷 ” 以降の出力保護を再開します。

24.2.32　汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR)

アドレス　GPTW0.GTADSMR 000C 20A4h, GPTW1.GTADSMR 000C 21A4h, GPTW2.GTADSMR 000C 22A4h, GPTW3.GTADSMR 000C 23A4h, GPTW4.GTADSMR 000C 24A4h, GPTW5.GTADSMR 000C 25A4h, GPTW6.GTADSMR 000C 26A4h, GPTW7.GTADSMR 000C 27A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	—	—	ADSMS1[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	—	—	ADSMS0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADSMS0[1:0]	A/D変換開始要求信号モニタ0選択ビット	b1 b0 0 0：GTADTRAによるアップカウント時のA/D変換開始要求信号 0 1：GTADTRAによるダウンカウント時のA/D変換開始要求信号 1 0：GTADTRBによるアップカウント時のA/D変換開始要求信号 1 1：GTADTRBによるダウンカウント時のA/D変換開始要求信号	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ADSMEN0	A/D変換開始要求信号モニタ0出力許可ビット	0：A/D変換開始要求信号モニタ0出力禁止 1：A/D変換開始要求信号モニタ0出力許可	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	ADSMS1[1:0]	A/D変換開始要求信号モニタ1選択ビット	b17b16 0 0：GTADTRAによるアップカウント時のA/D変換開始要求信号 0 1：GTADTRAによるダウンカウント時のA/D変換開始要求信号 1 0：GTADTRBによるアップカウント時のA/D変換開始要求信号 1 1：GTADTRBによるダウンカウント時のA/D変換開始要求信号	R/W
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	ADSMEN1	A/D変換開始要求信号モニタ1出力許可ビット	0：A/D変換開始要求信号モニタ1出力禁止 1：A/D変換開始要求信号モニタ1出力許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTADSMR レジスタは、フレーム同期化された A/D 変換開始要求信号のモニタを制御するレジスタです。

ADSMSk[1:0] ビット (A/D 変換開始要求信号モニタ k 選択ビット) (k = 0, 1)

GTADSMk 端子でモニタするフレーム同期化された A/D 変換開始要求信号を選択します。

三角波 PWM モード、相補 PWM モードの場合、下記設定は禁止です。

- GTADTRA = 0 で ADSMSk[1:0] ビットを “00b”(アップカウント時の A/D 変換開始要求) に設定
- GTADTRB = 0 で ADSMSk[1:0] ビットを “10b”(アップカウント時の A/D 変換開始要求) に設定
- GTADTRA = GTPR かつ ADSMSk[1:0] ビットを “01b”(ダウンカウント時の A/D 変換開始要求) に設定
- GTADTRB = GTPR かつ ADSMSk[1:0] ビットを “11b”(ダウンカウント時の A/D 変換開始要求) に設定

ADSMENk ビット (A/D 変換開始要求信号モニタ k 出力許可ビット) (k = 0, 1)

GTADSMk 端子へのモニタ出力を許可 / 禁止します。

禁止に設定した場合、GTADSMk 端子は Low になります。

ADSMENk ビットが “1” のとき、ADSMSk[1:0] ビットで選択した A/D 変換開始要求信号が発生すると、GTADSMk 端子は High になり、選択した A/D 変換開始要求信号を生成するチャネルのタイマの周期の終わりで Low になります。カウンタが停止した場合、出力はカウント停止時の値を保持します。出力を Low にするには、ADSMENk ビットを “0” にしてください。

周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。

複数のチャネルで同じ A/D 変換開始要求信号モニタ出力に出力許可した場合、OR された信号が出力されます。

24.2.33　汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ (GTEITC)

アドレス　GPTW0.GTEITC 000C 20A8h, GPTW1.GTEITC 000C 21A8h, GPTW2.GTEITC 000C 22A8h, GPTW3.GTEITC 000C 23A8h, GPTW4.GTEITC 000C 24A8h, GPTW5.GTEITC 000C 25A8h, GPTW6.GTEITC 000C 26A8h, GPTW7.GTEITC 000C 27A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EITCNT2[3:0]				EITCNT2IV[3:0]				EIVTT2[3:0]				—	—	EIVTC2[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EITCNT1[3:0]				—	—	—	—	EIVTT1[3:0]				—	—	EIVTC1[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	EIVTC1[1:0]	拡張割り込み間引きカウンタ1カウント要因選択ビット	b1 b0 0 0：カウントしない(間引かない) 0 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波、相補PWM モードのときに(山)をカウント 1 0：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波、相補PWM モードのときに(谷)をカウント 1 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波、相補PWM モードのときに(谷/山)両方をカウント	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	EIVTT1[3:0]	拡張割り込み間引き1間引き回数設定ビット	拡張割り込み間引き1間引き回数	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	EITCNT1[3:0]	拡張割り込み間引きカウンタ1	拡張割り込み間引きカウンタ1	R
b17-b16	EIVTC2[1:0]	拡張割り込み間引きカウンタ2カウント要因選択ビット	b17b16 0 0：カウントしない(間引かない) 0 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波、相補PWM モードのときに(山)をカウント 1 0：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波、相補PWM モードのときに(谷)をカウント 1 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波、相補PWM モードのときに(谷/山)両方をカウント	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b20	EIVTT2[3:0]	拡張割り込み間引き2間引き回数設定ビット	拡張割り込み間引き2間引き回数	R/W
b27-b24	EITCNT2IV[3:0]	拡張割り込み間引きカウンタ2初期値ビット	拡張割り込み間引きカウンタ2初期値	R/W (注1)
b31-b28	EITCNT2[3:0]	拡張割り込み間引きカウンタ2	拡張割り込み間引きカウンタ2	R

注1.　EIVTC2[1:0]ビットが“00b”の状態で、“00b”以外の値を書く場合のみ、書き込み可能です。

GTEITC レジスタは、GTCNT カウンタのオーバフロー / アンダフローをカウントして、割り込み、A/D 変換開始要求、バッファ転送それぞれ独立して間引く拡張割り込み間引き機能を設定するレジスタです。

GTITC および GTADCMSC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

GTEITC レジスタへの 8 ビット単位でのアクセスは禁止です。

EIVTCk[1:0] ビット (拡張割り込み間引き k カウント要因選択ビット) (k = 1, 2)

拡張割り込み間引きカウンタ k のカウント方法を選択します。

本ビットを設定しただけでは、割り込み、A/D 変換開始要求、バッファ転送は間引かれません。GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで、間引く対象となる割り込み、A/D 変換開始要求、バッファ転送の間引き機能を個々に設定してください。

EIVTTk[3:0] ビット (拡張割り込み間引き k 間引き回数設定ビット) (k = 1, 2)

EIVTCk[1:0] ビットで選択したカウント要因の発生を区間の区切りとして、連続して間引く区間の回数を間引き回数として設定します。

EIVTTk[3:0] ビットが EITCNTk[3:0] ビットと一致した状態で、カウント要因が発生すると、EITCNTk[3:0] ビットは “0” に戻ります。

“0000b” の場合は、間引きを行いません。

EITCNT1[3:0] ビット (拡張割り込み間引きカウンタ 1)

EIVTC1[1:0] ビットによって選択されたカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生するごとに 1 カウントアップします。

“0” から EIVTT1[3:0] ビットの範囲を周期的にカウントします。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタの停止時の値を保持します。

[“0” になる条件]

- EIVTC1[1:0] ビットに “00b” を書いたとき
- EIVTT1[3:0] ビットに “0000b” を書いたとき
- EIVTT1[3:0]ビットで設定した拡張割り込み間引き1間引き回数とEITCNT1[3:0]ビットの値が一致した状態で EIVTC1[1:0] ビットで選択したカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生したとき

EITCNT2IV[3:0] ビット (拡張割り込み間引きカウンタ 2 初期値ビット)

拡張割り込み間引き 2 の初期値です。EITCNT2IV[3:0] ビットへの書き込みが行われるのは、EITCNT2[3:0] ビットがカウントしない設定 (EIVTC2[1:0] ビットが “00b”) の状態で、GTEITC レジスタへの書き込みが上位 16 ビットまたは 32 ビットでのアクセスによって行われ、EIVTC2[1:0] ビットへの書き込み値が “00b” 以外の場合だけです。EITCNT2IV[3:0] ビットの書き込みと同時に、EITCNT2IV[3:0] ビットへの書き込み値が、EITCNT2[3:0] ビットにも書き込まれます。

EITCNT2[3:0] ビットが、カウントを行う設定 (EIVTC2[1:0] ビットが “00b” 以外) の状態、またはカウントしない設定 (EIVTC2[1:0] ビットへの “00b” の書き込み) を行った場合には、EITCNT2IV[3:0] ビットへの書き込みは無視されます。

EIVTC2[1:0] ビットへの “00b” の書き込みによって、EITCNT2IV[3:0] ビットのリセットは行われません。

EITCNT2[3:0] ビット (拡張割り込み間引きカウンタ 2)

EIVTC2[1:0] ビットによって選択されたカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生するごとに 1 カウントアップします。

“0” から EIVTT2[3:0] ビットの範囲を周期的にカウントします。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタの停止時の値を保持します。

EITCNT2[3:0] ビットの初期値の設定は、拡張割り込み間引きカウンタ 2 がカウントしない設定 (EIVTC2[1:0] ビットが “00b”) の状態で、GTEITC レジスタへの書き込みが上位 16 ビットまたは 32 ビットのアクセスによって行われ、EIVTC2[1:0] ビットへの書き込み値が “00b” 以外の場合にのみ行われます。

初期値設定の書き込み時、EITCNT2IV[3:0] ビットへの書き込み値が、初期値として EITCNT2[3:0] ビット

に書きこまれます。
[“0” になる条件]

- EIVTC2[1:0] ビットに “00b” を書いたとき
- EIVTT2[3:0] ビットに “0000b” を書いたとき
- EIVTC2[1:0] ビットが “00b” の状態で、EIVTC2[1:0] ビットに “00b” 以外の値、EITCNT2IV[3:0] ビットに “0000b” を同時に書き込んだ場合
- EIVTT2[3:0]ビットで設定した拡張割り込み間引き2間引き回数とEITCNT2[3:0]ビットの値が一致した状態で EIVTC2[1:0] ビットで選択したカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生したとき

24.2.34　汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1 (GTEITLI1)

アドレス　GPTW0.GTEITLI1 000C 20ACh, GPTW1.GTEITLI1 000C 21ACh, GPTW2.GTEITLI1 000C 22ACh, GPTW3.GTEITLI1 000C 23ACh, GPTW4.GTEITLI1 000C 24ACh, GPTW5.GTEITLI1 000C 25ACh, GPTW6.GTEITLI1 000C 26ACh, GPTW7.GTEITLI1 000C 27ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	EITLU[2:0]			—	EITLV[2:0]			—	EITLF[2:0]			—	EITLE[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EITLD[2:0]			—	EITLC[2:0]			—	EITLB[2:0]			—	EITLA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EITLA[2:0]	GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	EITLB[2:0]	GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	EITLC[2:0]	GTCCRC レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b12	EITLD[2:0]	GTCCRD レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	EITLE[2:0]	GTCCRE レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22-b20	EITLF[2:0]	GTCCRF レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	EITLV[2:0]	オーバフロー割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	EITLU[2:0]	アンダフロー割り込み拡張間引き機能選択ビット	表24.6を参照してください	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTEITLI1 レジスタは、コンペアマッチ / インプットキャプチャ、オーバフロー、アンダフローの各割り込みの拡張間引き機能を設定するレジスタです。

本レジスタを設定しただけでは、間引きを行いません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

GTITC レジスタおよび GTADCMSC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

EITLm[2:0] ビット (GTCCRm レジスタコンペアマッチ / インプットキャプチャ割り込み拡張間引き機能選択ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ / インプットキャプチャ割り込み (GTCIm) を間引く拡張割り込み間引き機能を選択します。

表 24.6 を参照してください。

EITLx[2:0] ビット (GTCCRx レジスタコンペアマッチ割り込み拡張間引き機能選択ビット) (x = C, D, E, F)

GTCCRx レジスタのコンペアマッチ割り込み (GTCIx) を間引く拡張割り込み間引き機能を選択します。

表 24.6 を参照してください。

EITLV[2:0] ビット (オーバフロー割り込み拡張間引き機能選択ビット)

オーバフロー割り込みを間引く拡張割り込み間引き機能を選択します。

表 24.6 を参照してください。

EITLU[2:0] ビット (アンダフロー割り込み拡張間引き機能選択ビット)

アンダフロー割り込みを間引く拡張割り込み間引き機能を選択します。

表 24.6 を参照してください。

表24.6 GTEITLI1 レジスタの機能選択ビットの設定

EITLy[2:0] ビット	機能
0 0 0	拡張割り込み間引きを行わない
0 0 1	拡張割り込み間引きカウンタ 1 の値が“0”以外の期間で割り込みを間引く (EITCNT1 ビット = 0 の期間では割り込みを出力する)
0 1 0	拡張割り込み間引きカウンタ 2 の値が“0”以外の期間で割り込みを間引く (EITCNT2 ビット = 0 の期間では割り込みを出力する)
0 1 1	拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が“0”以外の期間で割り込みを間引く (EITCNT1 ビット = EITCNT2 ビット = 0 の期間では割り込みを出力する)
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外の期間で割り込みを間引く (EITCNT1 ビット = EIVTT1 ビットの期間では割り込みを出力する)
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間で割り込みを間引く (EITCNT2 ビット = EIVTT2 ビットの期間では割り込みを出力する)
1 1 1	拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間で割り込みを間引く (EITCNT1 ビット = EIVTT1 ビットかつ EITCNT2 ビット = EIVTT2 ビットの期間では割り込みを出力する)

y = A, B, C, D, E, F, V, U、k = 1, 2

注. 対象となる間引きカウンタがカウントしない設定 (EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0000b) となっている場合、間引きを行いません。

注. EITLy[2:0] ビットが、“011b”または“111b”の場合、間引きカウンタ 1、間引きカウンタ 2 のどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

24.2.35　汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 (GTEITLI2)

アドレス　GPTW0.GTEITLI2 000C 20B0h, GPTW1.GTEITLI2 000C 21B0h, GPTW2.GTEITLI2 000C 22B0h, GPTW3.GTEITLI2 000C 23B0h, GPTW4.GTEITLI2 000C 24B0h, GPTW5.GTEITLI2 000C 25B0h, GPTW6.GTEITLI2 000C 26B0h, GPTW7.GTEITLI2 000C 27B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	EADTBL[2:0]			—	EADTAL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EADTAL[2:0]	GTADTRA A/D変換開始要求拡張間引き機能選択ビット	表24.7を参照してください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	EADTBL[2:0]	GTADTRB A/D変換開始要求拡張間引き機能選択ビット	表24.7を参照してください	R/W
b31-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTEITLI2 レジスタは、A/D 変換開始要求の拡張間引き機能を選択するレジスタです。

本レジスタを設定しただけでは、間引きを行いません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

GTITC レジスタおよび GTADCMSC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

EADTmL[2:0] ビット (GTADTRm A/D 変換開始要求拡張間引き機能選択ビット) (m = A, B)

GTADTRm レジスタのコンペアマッチでの A/D 変換開始要求を間引く拡張割り込み間引き機能を選択します。

表 24.7 を参照してください。

表24.7　GTEITLI2レジスタの機能選択ビットの設定

EADTmL[2:0]ビット	機能
0 0 0	拡張割り込み間引きを行わない
0 0 1	拡張割り込み間引きカウンタ1の値が“0”以外の期間でA/D変換開始要求を間引く (EITCNT1ビット= 0の期間ではA/D変換開始要求を出力する)
0 1 0	拡張割り込み間引きカウンタ2の値が“0”以外の期間でA/D変換開始要求を間引く (EITCNT2ビット= 0の期間ではA/D変換開始要求を出力する)
0 1 1	拡張割り込み間引きカウンタ1または拡張割り込み間引きカウンタ2の値が“0”以外の期間でA/D変換開始要求を間引く(EITCNT1ビット= EITCNT2 ビット= 0の期間ではA/D変換開始要求を出力する)
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ1の値が間引き回数以外の期間でA/D変換開始要求を間引く (EITCNT1ビット= EIVTT1ビットの期間ではA/D変換開始要求を出力する)
1 1 0	拡張割り込み間引きカウンタ2の値が間引き回数以外の期間でA/D変換開始要求を間引く (EITCNT2ビット= EIVTT2ビットの期間ではA/D変換開始要求を出力する)
1 1 1	拡張割り込み間引きカウンタ1または拡張割り込み間引きカウンタ2の値が間引き回数以外の期間でA/D変換開始要求を間引く(EITCNT1ビット= EIVTT1ビットかつEITCNT2ビット= EIVTT2ビットの期間ではA/D変換開始要求を出力する)

m = A, B、k = 1, 2

注.　対象となる間引きカウンタがカウントしない設定(EIVTCk[1:0]ビット= 00bまたはEIVTTk[3:0]ビット= 0000b)となっている場合、間引きを行いません。

注.　EADTmL[2:0]ビットが、“011b”または“111b”の場合、間引きカウンタ1、間引きカウンタ2のどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

24.2.36　汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ (GTEITLB)

アドレス　GPTW0.GTEITLB 000C 20B4h, GPTW1.GTEITLB 000C 21B4h, GPTW2.GTEITLB 000C 22B4h, GPTW3.GTEITLB 000C 23B4h, GPTW4.GTEITLB 000C 24B4h, GPTW5.GTEITLB 000C 25B4h, GPTW6.GTEITLB 000C 26B4h, GPTW7.GTEITLB 000C 27B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	EBTLDVD[2:0]			—	EBTLDVU[2:0]			—	EBTLADB[2:0]			—	EBTLADA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EBTLPR[2:0]			—	EBTLCB[2:0]			—	EBTLCA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EBTLCA[2:0]	GTCCRA レジスタのバッファ転送拡張間引き機能選択ビット	表24.8を参照してください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	EBTLCB[2:0]	GTCCRB レジスタのバッファ転送拡張間引き機能選択ビット	表24.8を参照してください	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	EBTLPR[2:0]	GTPR レジスタのバッファ転送拡張間引き機能選択ビット	表24.8を参照してください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	EBTLADA[2:0]	GTADTRA レジスタのバッファ転送拡張間引き機能選択ビット	表24.8を参照してください	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22-b20	EBTLADB[2:0]	GTADTRB レジスタのバッファ転送拡張間引き機能選択ビット	表24.8を参照してください	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	EBTLDVU[2:0]	GTDVU レジスタのバッファ転送拡張間引き機能選択ビット	表24.8を参照してください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	EBTLDVD[2:0]	GTDVD レジスタのバッファ転送拡張間引き機能選択ビット	表24.8を参照してください	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTEITLB レジスタは、バッファ転送の拡張間引き機能を選択するレジスタです。

本レジスタを設定しただけでは、間引きを行いません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

GTITC レジスタによる割り込み間引きとは独立して動作します。

GTOLBR レジスタから GTIOR.GTIOA[4:0]、GTIOB[4:0] ビットへのバッファ転送は拡張間引き機能の対象外です。

イベントカウント動作時は無効です。

EBTLCA[2:0] ビット (GTCCRA レジスタのバッファ転送拡張間引き機能選択ビット)

GTCCRA レジスタのバッファ転送 (GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ、テンポラリレジスタ A 間の転送) を間引く拡張バッファ転送間引き機能を選択します。

GTCCRA レジスタのバッファ転送の拡張間引きは、カウント停止中の GTBER.CCRSWT ビットによる強制バッファ転送に対しても有効です。GTCCRA レジスタの強制バッファ転送を行う場合は、GTCCRA バッ

ファ転送が拡張バッファ転送間引きを行わない状態で行ってください。
相補 PWM モード時の GTCCRC、GTCCRE レジスタと GTCCRA レジスタ間のバッファ転送を間引くことはできません。

EBTLCB[2:0] ビット (GTCCRB レジスタのバッファ転送拡張間引き機能選択ビット)

GTCCRB レジスタのバッファ転送 (GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ、テンポラリレジスタ B 間の転送) を間引く拡張バッファ転送間引き機能を選択します。
GTCCRB レジスタのバッファ転送の拡張間引きは、カウント停止中の GTBER.CCRSWT ビットによる強制バッファ転送に対しても有効です。GTCCRB レジスタの強制バッファ転送を行う場合は、GTCCRB バッファ転送が拡張バッファ転送間引きを行わない状態で行ってください。

EBTLPR[2:0] ビット (GTPR レジスタのバッファ転送拡張間引き機能選択ビット)

GTPR レジスタのバッファ転送 (GTPR レジスタ、GTPBR レジスタ、GTPDBR レジスタ間の転送) を間引く拡張バッファ転送間引き機能を選択します。
相補 PWM モード時に GTPR レジスタからバッファ転送を間引く場合、マスタチャネルとスレーブチャネルのバッファ転送タイミングが一致するように、スレーブチャネルの GTEITC レジスタの設定はマスタチャネルに合わせてください。

EBTLADm[2:0] ビット (GTADTRm レジスタのバッファ転送拡張間引き機能選択ビット) (m = A, B)

GTADTRm レジスタのバッファ転送 (GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタ間の転送) を間引く拡張バッファ転送間引き機能を選択します。

EBTLDVm[2:0] ビット (GTDVm レジスタのバッファ転送拡張間引き機能選択ビット) (m = U, D)

GTDVm レジスタのバッファ転送 (GTDVm レジスタ、GTDBm レジスタ間の転送) を間引く拡張バッファ転送間引き機能を選択します。

表24.8　GTEITLB レジスタの機能選択ビットの設定

EBTLx[2:0]ビット	機能
0 0 0	拡張割り込み間引きを行わない
0 0 1	拡張割り込み間引きカウンタ1の値が“0”以外の期間でバッファ転送を間引く (EITCNT1ビット= 0の期間ではバッファ転送する)
0 1 0	拡張割り込み間引きカウンタ2の値が“0”以外の期間でバッファ転送を間引く (EITCNT2ビット= 0の期間ではバッファ転送する)
0 1 1	拡張割り込み間引きカウンタ1または拡張割り込み間引きカウンタ2の値が“0”以外の期間でバッファ転送を間引く(EITCNT1ビット= EITCNT2 ビット= 0の期間ではバッファ転送する)
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ1の値が間引き回数以外の期間でバッファ転送を間引く (EITCNT1ビット= EIVTT1ビットの期間ではバッファ転送する)
1 1 0	拡張割り込み間引きカウンタ2の値が間引き回数以外の期間でバッファ転送を間引く (EITCNT2ビット= EIVTT2ビットの期間ではバッファ転送する)
1 1 1	拡張割り込み間引きカウンタ1または拡張割り込み間引きカウンタ2の値が間引き回数以外の期間でバッファ転送を間引く(EITCNT1ビット= EIVTT1ビットかつEITCNT2ビット= EIVTT2ビットの期間ではバッファ転送する)

x = CA, CB, PR, ADA, ADB, DVU, DVD、k = 1, 2
注.　対象となる間引きカウンタがカウントしない設定(EIVTCk[1:0]ビット= 00bまたはEIVTTk[3:0]ビット= 0000b)となっている場合、間引きを行いません。
注.　EBTLx[2:0]ビットが、“011b”または“111b”の場合、間引きカウンタ1、間引きカウンタ2のどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

24.2.37　汎用 PWM タイマチャネル間論理演算レジスタ (GTICLF)

アドレス　GPTW0.GTICLF 000C 20B8h, GPTW1.GTICLF 000C 21B8h, GPTW2.GTICLF 000C 22B8h, GPTW3.GTICLF 000C 23B8h, GPTW4.GTICLF 000C 24B8h, GPTW5.GTICLF 000C 25B8h, GPTW6.GTICLF 000C 26B8h, GPTW7.GTICLF 000C 27B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	ICLFSELD[5:0]						—	ICLFB[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ICLFSELC[5:0]						—	ICLFA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ICLFA[2:0]	GTIOCnA出力論理演算選択ビット	b2 b0 0 0 0 : A (遅延なし) 0 0 1 : NOT A (遅延なし) 0 1 0 : C (1 PCLKC 遅延) 0 1 1 : NOT C (1 PCLKC 遅延) 1 0 0 : A AND C (1 PCLKC 遅延)(注2) 1 0 1 : A OR C (1 PCLKC 遅延)(注2) 1 1 0 : A EXOR C (1 PCLKC 遅延)(注2) 1 1 1 : A NOR C (1 PCLKC 遅延)(注2)	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b4	ICLFSELC[5:0]	チャネル間信号C選択ビット (注1、注2)	b9 b4 0 0 0 0 0 0 : GTIOC0A 0 0 0 0 0 1 : GTIOC0B 0 0 0 0 1 0 : GTIOC1A 0 0 0 0 1 1 : GTIOC1B 0 0 0 1 0 0 : GTIOC2A 0 0 0 1 0 1 : GTIOC2B 0 0 0 1 1 0 : GTIOC3A 0 0 0 1 1 1 : GTIOC3B 0 0 1 0 0 0 : GTIOC4A 0 0 1 0 0 1 : GTIOC4B 0 0 1 0 1 0 : GTIOC5A 0 0 1 0 1 1 : GTIOC5B 0 0 1 1 0 0 : GTIOC6A 0 0 1 1 0 1 : GTIOC6B 0 0 1 1 1 0 : GTIOC7A 0 0 1 1 1 1 : GTIOC7B 上記以外は設定しないでください	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	ICLFB[2:0]	GTIOCnB出力論理演算選択ビット	b18 b16 0 0 0 : B (遅延なし) 0 0 1 : NOT B (遅延なし) 0 1 0 : D (1 PCLKC 遅延) 0 1 1 : NOT D (1 PCLKC 遅延) 1 0 0 : B AND D (1 PCLKC 遅延)(注3) 1 0 1 : B OR D (1 PCLKC 遅延)(注3) 1 1 0 : B EXOR D (1 PCLKC 遅延)(注3) 1 1 1 : B NOR D (1 PCLKC 遅延)(注3)	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b25-b20	ICLFSELD[5:0]	チャネル間信号D選択ビット (注1、注3)	b25 b20 0 0 0 0 0 0 : GTIOC0A 0 0 0 0 0 1 : GTIOC0B 0 0 0 0 1 0 : GTIOC1A 0 0 0 0 1 1 : GTIOC1B 0 0 0 1 0 0 : GTIOC2A 0 0 0 1 0 1 : GTIOC2B 0 0 0 1 1 0 : GTIOC3A 0 0 0 1 1 1 : GTIOC3B 0 0 1 0 0 0 : GTIOC4A 0 0 1 0 0 1 : GTIOC4B 0 0 1 0 1 0 : GTIOC5A 0 0 1 0 1 1 : GTIOC5B 0 0 1 1 0 0 : GTIOC6A 0 0 1 1 0 1 : GTIOC6B 0 0 1 1 1 0 : GTIOC7A 0 0 1 1 1 1 : GTIOC7B 上記以外は設定しないでください	R/W
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 出力停止前の信号です。
注2. 同じチャネルのGTIOCnAを選択した場合、Cは“1”として論理演算をします。
注3. 同じチャネルのGTIOCnBを選択した場合、Dは“1”として論理演算をします。

GTICLF レジスタは、コンペアマッチ出力間での論理演算の設定をするレジスタです。
論理演算は、コンペアマッチ出力制御後にデューティ 0%/100% 処理を行った信号に対して行います。
出力停止処理は、論理演算後の信号に対して行われます。
GTICLF レジスタの 8 ビット単位でのアクセスは禁止です。

ICLFm[2:0] ビット (GTIOCnm 出力論理演算設定ビット) (n = 0 ～ 7、m = A, B)

出力停止処理前の GTIOCnm 信号に対して行う論理演算を選択します。
同じ信号間での AND、OR、EXOR、NOR 演算となる選択を行った場合、一方を “1” として論理演算を行います。

ICLFSELk[5:0] ビット (チャネル間信号 k 設定ビット) (k = C, D)

出力停止処理前の GTIOCnm 信号と論理演算を行う信号 k を選択します。

24.2.38　汎用 PWM タイマサイクルカウントレジスタ (GTPC)

アドレス　GPTW0.GTPC 000C 20BCh, GPTW1.GTPC 000C 21BCh, GPTW2.GTPC 000C 22BCh, GPTW3.GTPC 000C 23BCh, GPTW4.GTPC 000C 24BCh, GPTW5.GTPC 000C 25BCh, GPTW6.GTPC 000C 26BCh, GPTW7.GTPC 000C 27BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	PCNT[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ASTP	—	—	—	—	—	—	—	PCEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCEN	サイクルカウント機能許可ビット	0：サイクルカウント機能を禁止 1：サイクルカウント機能を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ASTP	自動停止機能許可ビット	0：自動停止機能を禁止 1：自動停止機能を許可	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b16	PCNT[11:0]	サイクルカウンタ	サイクル数のカウンタ	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTPC レジスタは、周期回数をカウントします。

PCEN ビット (サイクルカウント機能許可ビット)

サイクルカウント機能を許可します。

GTCNT カウンタの動作中でも書き込み可能です。

GTSECR レジスタの SPCE ビットまたは SPCD ビットのどちか一方に “1” を書くと、GTSECSR レジスタで “1” となっているチャネルの PCEN ビットに同時に値を設定することができます。

ASTP ビット (自動停止機能許可ビット)

サイクルカウント終了後、GTCNT カウンタの自動停止を許可します。

PCEN ビットが “0” の時、書き込み可能です。

PCEN ビットが “1” の時、書き込むことはできません。

PCEN ビットが “1” かつ ASTP ビットが “1” で、PCNT カウンタが “0” となってカウントを停止する場合、GTCNT カウンタも停止します。ASTP ビットが “0” の場合、GTCNT カウンタはカウント動作を継続します。

PCNT[11:0] カウンタ (サイクルカウンタ)

サイクル数をカウントします。

PCEN ビットが “0” の時、書き込み可能です。

PCEN ビットが “1” の時、書き込むことはできず、周期の終わりでダウンカウントします。周期の終わりは、のこぎり波の場合、オーバフロー、アンダフロー、GTCNT カウンタクリア、三角波および相補 PWM モードの場合は谷になります。

PCNT カウンタが “1” で周期の終わりが発生した時、PCNT カウンタは “0” になってカウントを停止します。

サイクルカウント機能が動作中に、GTCNT カウンタが停止した場合、PCNT カウンタは値を保持します。GTCNT カウンタがカウントを再開すると、PCEN ビットが “1” であれば PCNT カウンタは保持している値からダウンタウンを再開します。

PCNT カウンタが “0”、ASTP ビットが “ 1” の状態で、PCEN ビットを “0” から “1” に変更した場合、直後のカウントクロックで GTCNT カウンタは停止します。

24.2.39 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き制御レジスタ (GTADCMSC)

アドレス　GPTW0.GTADCMSC 000C 20C0h, GPTW1.GTADCMSC 000C 21C0h, GPTW2.GTADCMSC 000C 22C0h, GPTW3.GTADCMSC 000C 23C0h, GPTW4.GTADCMSC 000C 24C0h, GPTW5.GTADCMSC 000C 25C0h, GPTW6.GTADCMSC 000C 26C0h, GPTW7.GTADCMSC 000C 27C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ADCMSCNT2[3:0]				ADCMSCNT2IV[3:0]				ADCMST2[3:0]				—	—	ADCMSC2[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADCMSCNT1[3:0]				ADCMSCNT1IV[3:0]				ADCMST1[3:0]				—	—	ADCMSC1[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADCMSC1[1:0]	A/D変換開始要求コンペアマッチ間引きカウンタ1カウント要因選択ビット	b1 b0 0 0：カウントしない(間引かない) 0 1：GTADTRAレジスタコンペアマッチをカウント 1 0：GTADTRBレジスタコンペアマッチをカウント 1 1：GTADTRAレジスタコンペアマッチをカウントとGTADTRBレジスタコンペアマッチをカウントの両方をカウント	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	ADCMST1[3:0]	A/D変換開始要求コンペアマッチ間引き1間引き回数設定ビット	A/D変換開始要求コンペアマッチ間引き1間引き回数	R/W
b11-b8	ADCMSCNT1IV[3:0]	A/D変換開始要求コンペアマッチ間引きカウンタ1初期値	A/D変換開始要求コンペアマッチ間引きカウンタ1初期値	R/W (注1)
b15-b12	ADCMSCNT1[3:0]	A/D変換開始要求コンペアマッチ間引きカウンタ1	A/D変換開始要求コンペアマッチ間引きカウンタ1	R/W
b17-b16	ADCMSC2[1:0]	A/D変換開始要求コンペアマッチ間引きカウンタ2カウント要因選択ビット	b17 b16 0 0：カウントしない(間引かない) 0 1：GTADTRAレジスタコンペアマッチをカウント 1 0：GTADTRBレジスタコンペアマッチをカウント 1 1：GTADTRAレジスタコンペアマッチをカウントとGTADTRBレジスタコンペアマッチをカウントの両方をカウント	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b20	ADCMST2[3:0]	A/D変換開始要求コンペアマッチ間引き2間引き回数設定ビット	A/D変換開始要求コンペアマッチ間引き2間引き回数	R/W
b27-b24	ADCMSCNT2IV[3:0]	A/D変換開始要求コンペアマッチ間引きカウンタ2初期値	A/D変換開始要求コンペアマッチ間引きカウンタ2初期値	R/W (注2)
b31-b28	ADCMSCNT2[3:0]	A/D変換開始要求コンペアマッチ間引きカウンタ2	A/D変換開始要求コンペアマッチ間引きカウンタ2	R/W

注1.　ADCMSC1[1:0]ビットが“00b”の状態で、ADCMSC1[1:0]ビットに“00b”以外の値を書く場合のみ、書き込み可能です。
注2.　ADCMSC2[1:0]ビットが“00b”の状態で、ADCMSC2[1:0]ビットに“00b”以外の値を書く場合のみ、書き込み可能です。

GTADCMSC レジスタは、GTADTRA、GTADTRB レジスタのコンペアマッチをカウントして、A/D 変換開始要求、バッファ転送をそれぞれ独立して間引く A/D 変換開始要求コンペアマッチ間引き機能の間引きカウンタを制御するレジスタです。

GTITC、GTEITC レジスタによる割り込み間引きとは独立して動きます。

イベントカウント動作時は無効です。

GTADCMSC レジスタの 8 ビット単位でのアクセスは禁止です。

ADCMSCk[1:0] ビット (A/D 変換開始要求コンペアマッチ間引きカウンタ k カウント要因選択ビット) (k = 1, 2)

A/D 変換開始要求コンペアマッチ間引きカウンタ k のカウント要因を選択します。

本ビットを設定しただけでは、A/D 変換開始要求、バッファ転送は間引かれません。GTADCMSS レジスタで、間引く対象となる A/D 変換開始要求、バッファ転送の機能を個々に設定してください。

ADCMSTk[3:0] ビット (A/D 変換開始要求コンペアマッチ間引き k 回数設定ビット) (k = 1, 2)

ADCMSCk[1:0] ビットで選択したカウント要因の発生を区間の区切りとして、連続して間引く区間の回数を間引き回数として設定します。

ADCMSTk[3:0] ビットが ADCMSCNTk[3:0] カウンタと一致した状態で、カウント要因が発生すると、ADCMSCNTk[3:0] カウンタは “0000b” に戻ります。

ADCMSTk[3:0] ビットが “0000b” の場合は、間引きを行いません。

ADCMSCNTkIV[3:0] ビット (A/D 変換開始要求コンペアマッチ間引きカウンタ k 初期値) (k = 1, 2)

A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値です。

ADCMSCNTkIV[3:0] ビットへの書き込みが行われるのは、ADCMSCNTk[3:0] カウンタがカウントとしない設定 (ADCMSCk[1:0] ビットが “00b”) の状態で、GTADCMSC レジスタへの書き込みが 16 ビットまたは 32 ビットのアクセスによって行われ、ADCMSCk[1:0] ビットへの書き込む値が “00b” 以外の場合だけです。

ADCMSCNTkIV[3:0] ビットが、カウントを行う設定 (ADCMSCk[1:0] ビットが “00b” 以外) の状態、またはカウントしない設定 (ADCMSCk[1:0] ビットへの “00b” の書き込み) を行った場合は、ADCMSCNTkIV[3:0] ビットへの書き込みは無視されます。

ADCMSCk[1:0] ビットへの “00b” の書き込みによって、ADCMSCNTkIV[3:0] ビットのリセットは行われません。

ADCMSCNTk[3:0] カウンタ (A/D 変換開始要求コンペアマッチ間引きカウンタ k) (k = 1, 2)

ADCMSCk[1:0] ビットで選択したカウント要因が発生するごとに 1 カウントアップします。

“0” から ADCMSTk[3:0] ビットの範囲で周期的にカウントします。

GTCNT カウンタはが停止しても、値はクリアされず、GTCNT カウンタの提出時の値を保持します。

ADCMSCNTk[3:0] カウンタの初期値の設定は、ADCMSCNTk[3:0] カウンタがカウントしない設定 (ADCMSCk[1:0] ビットが “00b”) の状態で、GTADCMSC レジスタへの書き込みが 16 ビットまたは 32 ビットのアクセスで、ADCMSCk[3:0] ビットへの書き込み値が “00b” 以外の場合にのみ行われます。

初期値設定の書き込み時、ADCMSCNTkIV[3:0] ビットへの書き込み値が、ADCMSCNTk[3:0] カウンタに初期値として書き込まれます。

[“0” になる条件]

- ADCMSCk[1:0] ビットに “00b” を書いたとき
- ADCMSTk[3:0] ビットに “0000b” を書いたとき
- ADCMSCk[1:0] ビットが “00b” の状態で、ADCMSCk[1:0] ビットに “00b” 以外の値、ADCMSCNTkIV[3:0] ビットに “0000b” を同時に書き込んだ場合
- ADCMSTk[3:0] ビットで設定した A/D 変換開始要求コンペアマッチ間引き k 間引き回数と ADCMSCNTk[3:0] ビットの値が一致した状態で ADCMSCk[1:0] ビットで選択したカウント要因が発生したとき

24.2.40 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ (GTADCMSS)

アドレス　GPTW0.GTADCMSS 000C 20C4h, GPTW1.GTADCMSS 000C 21C4h, GPTW2.GTADCMSS 000C 22C4h, GPTW3.GTADCMSS 000C 23C4h, GPTW4.GTADCMSS 000C 24C4h, GPTW5.GTADCMSS 000C 25C4h, GPTW6.GTADCMSS 000C 26C4h, GPTW7.GTADCMSS 000C 27C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ADCMBSB[2:0]			—	ADCMBSA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ADCMSBL[2:0]			—	ADCMSAL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADCMSAL[2:0]	GTADTRA レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択ビット	表 24.9 を参照してください。	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	ADCMSBL[2:0]	GTADTRB レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択ビット	表 24.9 を参照してください。	R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	ADCMBSA[2:0]	A/D 変換開始要求コンペアマッチ間引きによる GTADTRA レジスタのバッファ転送間引き機能選択ビット	表 24.10 を参照してください。	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22-b20	ADCMBSB[2:0]	A/D 変換開始要求コンペアマッチ間引きによる GTADTRB レジスタのバッファ転送間引き機能選択ビット	表 24.10 を参照してください。	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTADCMSS レジスタは、A/D 変換開始要求コンペアマッチ間引き機能および A/D 変換開始要求コンペアマッチ間引きによる GTADTRm レジスタ (m = A, B) バッファ転送を選択するレジスタです。

GTADCMSS レジスタを設定しただけでは、間引きを行いません。対応する A/D 変換開始要求コンペアマッチ間引きカウンタがカウント動作するように GTADCMSC レジスタを設定してください。

GTITC レジスタおよび GTEITC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

ADCMSmL[2:0] ビット (GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択ビット) (m = A, B)

GTADTRm レジスタのコンペアマッチでの A/D 変換開始要求コンペアマッチ間引き機能を選択します。詳細は、**表 24.9** を参照してください。

表24.9　A/D変換開始要求コンペアマッチ間引き機能選択ビット

ADCMSmL[2:0]ビット	機能
0 0 0	A/D変換開始要求コンペアマッチ間引きを行わない
0 0 1	A/D変換開始要求コンペアマッチ間引きカウンタ1の値が“0000b”以外の期間でA/D変換開始要求を間引く (ADCMSCNT1[3:0] = 0000bの期間ではA/D変換開始要求を出力する)
0 1 0	A/D変換開始要求コンペアマッチ間引きカウンタ2の値が“0000b”以外の期間でA/D変換開始要求を間引く (ADCMSCNT2[3:0] = 0000bの期間ではA/D変換開始要求を出力する)
0 1 1	A/D変換開始要求コンペアマッチ間引きカウンタ1またはA/D変換開始要求コンペアマッチ間引きカウンタ2の値が“0000b”以外の期間でA/D変換開始要求を間引く (ADCMSCNT1[3:0] = ADCMSCNT2[3:0] = 0000bの期間ではA/D変換開始要求を出力する)
1 0 0	設定禁止
1 0 1	A/D変換開始要求コンペアマッチ間引きカウンタ1の値が間引き回数以外の期間でA/D変換開始要求を間引く (ADCMSCNT1[3:0] = ADCMST1[3:0]の期間ではA/D変換開始要求を出力する)
1 1 0	A/D変換開始要求コンペアマッチ間引きカウンタ2の値が間引き回数以外の期間でA/D変換開始要求を間引く (ADCMSCNT2[3:0] = ADCMST2[3:0]の期間ではA/D変換開始要求を出力する)
1 1 1	A/D変換開始要求コンペアマッチ間引きカウンタ1またはA/D変換開始要求コンペアマッチ間引きカウンタ2の値が間引き回数以外の期間でA/D変換開始要求を間引く (ADCMSCNT1[3:0] = ADCMST1[3:0]かつADCMSCNT2[3:0] = ADCMST2[3:0]の期間ではA/D変換開始要求を出力する)

m = A, B

注.　対象となる間引きカウンタがカウントしない設定(ADCMSCk[1:0] = 00bまたはADCMSTk[3:0] = 0000b)となっている場合、間引きを行いません。(k = 1, 2)

注.　ADCMSmL[2:0]ビットが、“011b”または“111b”の場合、間引きカウンタ1、間引きカウンタ2のどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

ADCMBSm[2:0] ビット (A/D 変換開始要求コンペアマッチ間引きによる GTADTRm レジスタのバッファ転送間引き機能選択ビット) (m = A, B)

GTADTRm レジスタのバッファ転送 (GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタ間の転送) を間引く A/D 変換開始要求コンペアマッチ間引きによるバッファ転送間引き機能を選択します。詳細は、**表 24.10** を参照してください。

表24.10　A/D変換開始要求コンペアマッチ間引きによるGTADTRmレジスタバッファ転送間引き機能選択ビット

ADCMBSm[2:0]ビット	機能
0 0 0	A/D変換開始要求コンペアマッチ間引きによるバッファ転送間引きを行わない
0 0 1	A/D変換開始要求コンペアマッチ間引きカウンタ1の値が“0000b”以外の期間でバッファ転送を間引く (ADCMSCNT1[3:0] = 0000bの期間ではバッファ転送する)
0 1 0	A/D変換開始要求コンペアマッチ間引きカウンタ2の値が“0000b”以外の期間でバッファ転送を間引く (ADCMSCNT2[3:0] = 0000bの期間ではバッファ転送する)
0 1 1	A/D変換開始要求コンペアマッチ間引きカウンタ1またはA/D変換開始要求コンペアマッチ間引きカウンタ2の値が“0000b”以外の期間でバッファ転送を間引く (ADCMSCNT1[3:0] = ADCMSCNT2[3:0] = 0000bの期間ではバッファ転送する)
1 0 0	設定禁止
1 0 1	A/D変換開始要求コンペアマッチ間引きカウンタ1の値が間引き回数以外の期間でバッファ転送を間引く (ADCMSCNT1[3:0] = ADCMST1[3:0]の期間ではバッファ転送する)
1 1 0	A/D変換開始要求コンペアマッチ間引きカウンタ2の値が間引き回数以外の期間でバッファ転送を間引く (ADCMSCNT2[3:0] = ADCMST2[3:0]の期間ではバッファ転する)
1 1 1	A/D変換開始要求コンペアマッチ間引きカウンタ1またはA/D変換開始要求コンペアマッチ間引きカウンタ2の値が間引き回数以外の期間でバッファ転送を間引く (ADCMSCNT1[3:0] = ADCMST1[3:0]かつADCMSCNT2[3:0] = ADCMST2[3:0]の期間ではバッファ転送する)

m = A, B

注. 対象となる間引きカウンタがカウントしない設定(ADCMSCk[1:0] = 00bまたはADCMSTk[3:0] = 0000b)となっている場合、間引きを行いません。(k = 1, 2)

注. ADCMBSm[2:0]ビットが、“011b”または“111b”の場合、間引きカウンタ1、間引きカウンタ2のどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

24.2.41　汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ (GTSECSR)

アドレス　GPTW0.GTSECSR 000C 20D0h, GPTW1.GTSECSR 000C 21D0h, GPTW2.GTSECSR 000C 22D0h, GPTW3.GTSECSR 000C 23D0h, GPTW4.GTSECSR 000C 24D0h, GPTW5.GTSECSR 000C 25D0h, GPTW6.GTSECSR 000C 26D0h, GPTW7.GTSECSR 000C 27D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SECSEL7	SECSEL6	SECSEL5	SECSEL4	SECSEL3	SECSEL2	SECSEL1	SECSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SECSEL0	チャネル0動作許可ビット同時制御チャネル選択ビット	0：同時制御禁止 1：同時制御許可	R/W
b1	SECSEL1	チャネル1動作許可ビット同時制御チャネル選択ビット		R/W
b2	SECSEL2	チャネル2動作許可ビット同時制御チャネル選択ビット		R/W
b3	SECSEL3	チャネル3動作許可ビット同時制御チャネル選択ビット		R/W
b4	SECSEL4	チャネル4動作許可ビット同時制御チャネル選択ビット		R/W
b5	SECSEL5	チャネル5動作許可ビット同時制御チャネル選択ビット		R/W
b6	SECSEL6	チャネル6動作許可ビット同時制御チャネル選択ビット		R/W
b7	SECSEL7	チャネル7動作許可ビット同時制御チャネル選択ビット		R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSECSR レジスタは、GTSECR レジスタによる動作許可ビットの更新の対象となるチャネルを選択するレジスタです。

GTSECSR レジスタのビット位置がチャネル番号を表します。各チャネルの GTSECSR レジスタは、共通のレジスタであり、どのチャネルの GTSECSR レジスタを更新しても、“1” を書き込んだビット位置のチャネルが GTSECR レジスタによって動作許可ビットが同時制御される対象チャネルとなります。

GTSECSR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SECSELn ビット (動作許可ビット同時制御チャネル選択ビット) (n = 0 ～ 7)

チャネル n の動作許可ビットの同時制御を許可 / 禁止します。

“1” の場合に同時制御を許可し、“0” の場合に禁止します。

24.2.42　汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR)

アドレス　GPTW0.GTSECR 000C 20D4h, GPTW1.GTSECR 000C 21D4h, GPTW2.GTSECR 000C 22D4h, GPTW3.GTSECR 000C 23D4h, GPTW4.GTSECR 000C 24D4h, GPTW5.GTSECR 000C 25D4h, GPTW6.GTSECR 000C 26D4h, GPTW7.GTSECR 000C 27D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	SSCD	SPCD	—	—	—	—	—	—	SSCE	SPCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SBDDD	SBDAD	SBDPD	SBDCD	—	—	—	—	SBDDE	SBDAE	SBDPE	SBDCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SBDCE	GTCCRレジスタのバッファ動作同時許可ビット	0：GTCCRレジスタのバッファ動作を同時許可しない 1：GTCCRレジスタのバッファ動作を同時許可する	R/W
b1	SBDPE	GTPRレジスタのバッファ動作同時許可ビット	0：GTPRレジスタのバッファ動作を同時許可しない 1：GTPRレジスタのバッファ動作を同時許可する	R/W (注1)
b2	SBDAE	GTADTRレジスタのバッファ動作同時許可ビット	0：GTADTRレジスタのバッファ動作を同時許可しない 1：GTADTRレジスタのバッファ動作を同時許可する	R/W
b3	SBDDE	GTDVレジスタのバッファ動作同時許可ビット	0：GTDVレジスタのバッファ動作を同時許可しない 1：GTDVレジスタのバッファ動作を同時許可する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SBDCD	GTCCRレジスタのバッファ動作同時禁止ビット	0：GTCCRレジスタのバッファ動作を同時禁止しない 1：GTCCRレジスタのバッファ動作を同時禁止する	R/W
b9	SBDPD	GTPRレジスタのバッファ動作同時禁止ビット	0：GTPRレジスタのバッファ動作を同時禁止しない 1：GTPRレジスタのバッファ動作を同時禁止する	R/W (注1)
b10	SBDAD	GTADTRレジスタのバッファ動作同時禁止ビット	0：GTADTRレジスタのバッファ動作を同時禁止しない 1：GTADTRレジスタのバッファ動作を同時禁止する	R/W
b11	SBDDD	GTDVレジスタのバッファ動作同時禁止ビット	0：GTDVレジスタのバッファ動作を同時禁止しない 1：GTDVレジスタのバッファ動作を同時禁止する	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	SPCE	サイクルカウント機能同時許可ビット	0：サイクルカウント機能を同時許可しない 1：サイクルカウント機能を同時許可する	R/W
b17	SSCE	同期セット/クリア同時許可ビット	0：同期セット/クリア機能を同時許可しない 1：同期セット/クリア機能を同時許可する	R/W (注1)
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	SPCD	サイクルカウント機能同時禁止ビット	0：サイクルカウント機能を同時禁止しない 1：サイクルカウント機能を同時禁止する	R/W
b25	SSCD	同期セット/クリア同時禁止ビット	0：同期セット/クリア機能を同時禁止しない 1：同期セット/クリア機能を同時禁止する	R/W (注1)
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。

GTSECR レジスタは、GTSECSR レジスタによって設定されたチャネルの動作許可ビットの値を同時に更新するレジスタです。

どのチャネルの GTSECR レジスタを更新しても、GTSECSR レジスタで “1” となっているすべてのビット位置のチャネルの動作許可ビットを同時に更新します。同じ動作許可ビットに対して、GTSECR レジスタの許可ビットと禁止ビットを同時に “1” にすることは禁止です。

“1” を書いたビットは、自動的に “0” に戻ります。GTSECR レジスタを読むと “0” が読めます。

GTSECR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット (GTCCR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[0] ビットに同時に “0” を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を許可します。

SBDCE ビットと SBDCD ビットに同時に “1” を設定することは禁止です。

SBDPE ビット (GTPR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[1] ビットに同時に “0” を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を許可します。

SBDPE ビットと SBDPD ビットに同時に “1” を設定することは禁止です。

SBDAE ビット (GTADTR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[2] ビットに同時に “0” を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を許可します。

SBDAE ビットと SBDAD ビットに同時に “1” を設定することは禁止です。

SBDDE ビット (GTDV レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[3] ビットに同時に “0” を設定し、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

SBDDE ビットと SBDDD ビットに同時に “1” を設定することは禁止です。

SBDCD ビット (GTCCR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[0] ビットに同時に “1” を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

SBDCE ビットと SBDCD ビットに同時に “1” を設定することは禁止です。

SBDPD ビット (GTPR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの BD[1] ビットに同時に “1” を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

SBDPE ビットと SBDPD ビットに同時に “1” を設定することは禁止です。

SBDAD ビット (GTADTR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの BD[2] ビットに同時に “1” を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

SBDAE ビットと SBDAD ビットに同時に “1” を設定することは禁止です。

SBDDD ビット (GTDV レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの BD[3] ビットに同時に “1” を設定し、

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。

SBDDE ビットと SBDDD ビットに同時に “1” を設定することは禁止です。

SPCE ビット (サイクルカウント機能同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTPC.PCEN ビットに同時に “1” を設定し、サイクルカウント機能を許可します。

SPCE ビットと SPCD ビットに同時に “1” を設定することは禁止です。

SSCE ビット (同期セット / クリア同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTCR.SSCEN ビットに同時に “1” を設定し、同期セット / クリア機能を許可します。

SSCE ビットと SSCD ビットに同時に “1” を設定することは禁止です。

SPCD ビット (サイクルカウント機能同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTPC.PCEN ビットに同時に “0” を設定し、サイクルカウント機能を禁止します。

SPCE ビットと SPCD ビットに同時に “1” を設定することは禁止です。

SSCD ビット (同期セット / クリア同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTCR.SSCEN ビットに同時に “0” を設定し、同期セット / クリア機能を禁止します。

SSCE ビットと SSCD ビットに同時に “1” を設定することは禁止です。

24.2.43　汎用 PWM タイマバッファイネーブルレジスタ 2(GTBER2)

アドレス　GPTW0.GTBER2 000C 20E0h, GPTW1.GTBER2 000C 21E0h, GPTW2.GTBER2 000C 22E0h, GPTW3.GTBER2 000C 23E0h, GPTW4.GTBER2 000C 24E0h, GPTW5.GTBER2 000C 25E0h, GPTW6.GTBER2 000C 26E0h, GPTW7.GTBER2 000C 27E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	OLTTB[1:0]		OLTTA[1:0]		CPBTD	CP3DB	—	—	CPTDV	CPTADB	CPTADA	CPTPR	CPTCB	CPTCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMTADB	CMTADA	—	CMTCB[1:0]		CMTCA[1:0]		—	—	CCTDV	CCTADB	CCTADA	CCTPR	CCTCB	CCTCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCTCA	カウンタクリアGTCCRAバッファ転送禁止ビット	0：カウンタクリアによるGTCCRAレジスタバッファ転送を許可する 1：カウンタクリアによるGTCCRAレジスタバッファ転送を許可しない	R/W
b1	CCTCB	カウンタクリアGTCCRBバッファ転送禁止ビット	0：カウンタクリアによるGTCCRBレジスタバッファ転送を許可する 1：カウンタクリアによるGTCCRBレジスタバッファ転送を許可しない	R/W
b2	CCTPR	カウンタクリアGTPRバッファ転送禁止ビット	0：カウンタクリアによるGTPRレジスタバッファ転送を許可する 1：カウンタクリアによるGTPRレジスタバッファ転送を許可しない	R/W
b3	CCTADA	カウンタクリアGTADTRAバッファ転送禁止ビット	0：カウンタクリアによるGTADTRAレジスタバッファ転送を許可する 1：カウンタクリアによるGTADTRAレジスタバッファ転送を許可しない	R/W
b4	CCTADB	カウンタクリアGTADTRBバッファ転送禁止ビット	0：カウンタクリアによるGTADTRBレジスタバッファ転送を許可する 1：カウンタクリアによるGTADTRBレジスタバッファ転送を許可しない	R/W
b5	CCTDV	カウンタクリアGTDVU/GTDVDバッファ転送禁止ビット	0：カウンタクリアによるGTDVU/GTDVDレジスタバッファ転送を許可する 1：カウンタクリアによるGTDVU/GTDVDレジスタバッファ転送を許可しない	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	CMTCA[1:0]	コンペアマッチGTCCRAバッファ転送許可ビット	b9 b8 0 0：GTCCRAおよびGTCCRBコンペアマッチによるGTCCRAバッファ転送を許可しない 0 1：GTCCRAコンペアマッチによるGTCCRAバッファ転送を許可する 1 0：GTCCRBコンペアマッチによるGTCCRAバッファ転送を許可する 1 1：GTCCRAおよびGTCCRBコンペアマッチによるGTCCRAバッファ転送を許可する	R/W
b11-b10	CMTCB[1:0]	コンペアマッチGTCCRBバッファ転送許可ビット	b11 b10 0 0：GTCCRAおよびGTCCRBコンペアマッチによるGTCCRBバッファ転送を許可しない 0 1：GTCCRAコンペアマッチによるGTCCRBバッファ転送を許可する 1 0：GTCCRBコンペアマッチによるGTCCRBバッファ転送を許可する 1 1：GTCCRAおよびGTCCRBコンペアマッチによるGTCCRBバッファ転送を許可する	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b13	CMTADA	コンペアマッチGTADTRAバッファ転送許可ビット	0：GTADTRAコンペアマッチによるGTADTRAバッファ転送を許可しない 1：GTADTRAコンペアマッチによるGTADTRAバッファ転送を許可する	R/W
b14	CMTADB	コンペアマッチGTADTRBバッファ転送許可ビット	0：GTADTRBコンペアマッチによるGTADTRBバッファ転送を許可しない 1：GTADTRBコンペアマッチによるGTADTRBバッファ転送を許可する	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	CPTCA	オーバフロー/アンダフローGTCCRAバッファ転送禁止ビット	0：オーバフロー/アンダフローによるGTCCRAバッファ転送を許可する 1：オーバフロー/アンダフローによるGTCCRAバッファ転送を禁止する	R/W
b17	CPTCB	オーバフロー/アンダフローGTCCRBバッファ転送禁止ビット	0：オーバフロー/アンダフローによるGTCCRBバッファ転送を許可する 1：オーバフロー/アンダフローによるGTCCRBバッファ転送を禁止する	R/W
b18	CPTPR	オーバフロー/アンダフローGTPRバッファ転送禁止ビット	0：オーバフロー/アンダフローによるGTPRバッファ転送を許可する 1：オーバフロー/アンダフローによるGTPRバッファ転送を禁止する	R/W
b19	CPTADA	オーバフロー/アンダフローGTADTRAバッファ転送禁止ビット	0：オーバフロー/アンダフローによるGTADTRAバッファ転送を許可する 1：オーバフロー/アンダフローによるGTADTRAバッファ転送を禁止する	R/W
b20	CPTADB	オーバフロー/アンダフローGTADTRBバッファ転送禁止ビット	0：オーバフロー/アンダフローによるGTADTRBバッファ転送を許可する 1：オーバフロー/アンダフローによるGTADTRBバッファ転送を禁止する	R/W
b21	CPTDV	オーバフロー/アンダフローGTDVU/GTDVDバッファ転送禁止ビット	0：オーバフロー/アンダフローによるGTDVU/GTDVDバッファ転送を許可する 1：オーバフロー/アンダフローによるGTDVU/GTDVDバッファ転送を禁止する	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	CP3DB	相補PWMモード3、4ダブルバッファ転送選択ビット(注1)	0：相補PWMモード3、4時、ダブルバッファ機能は無効 1：相補PWMモード3、4時、ダブルバッファ機能は有効	R/W
b25	CPBTD	相補PWMモードバッファ転送禁止ビット(注1)	0：テンポラリレジスタからGTCCRCレジスタおよびGTPBRレジスタへの転送を許可する 1：テンポラリレジスタからGTCCRCレジスタおよびGTPBRレジスタへの転送を禁止する	R/W
b27-b26	OLTTA[1:0]	GTIOCnA出力レベルバッファ転送タイミング選択ビット(注1)	• 三角波、相補PWMモードの場合 b27 b26 0 0：転送しない 0 1：(山)で転送 1 0：(谷)で転送 1 1：(谷/山)で転送 • のこぎり波の場合 b27 b26 0 0：転送しない 0 1：周期の終わりで転送 1 0：GTCCRAコンペアマッチで転送 1 1：設定禁止	R/W

ビット	シンボル	ビット名	機能	R/W
b29-b28	OLTTB[1:0]	GTIOCnB出力レベルバッファ転送タイミング選択ビット(注1)	• 三角波、相補PWMモードの場合 b29 b28 0 0：転送しない 0 1：(山)で転送 1 0：(谷)で転送 1 1：(谷/山)で転送 • のこぎり波の場合 b29 b28 0 0：転送しない 0 1：周期の終わりで転送 1 0：GTCCRBコンペアマッチで転送 1 1：設定禁止	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GPTW3、GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTBER2 レジスタは、バッファ動作の設定を行うレジスタです。

CP3DB、OLTTm[1:0] ビット (m = A, B) の設定は、GTCNT カウンタが停止した状態で行ってください。

CCTCm ビット (カウンタクリア GTCCRm バッファ転送禁止ビット) (m = A, B)

カウンタクリア時の GTCCRm レジスタと GTCCRn、GTCCRx レジスタを組み合わせたバッファ転送を禁止します。(m = A, B、n = C, E、x = D, F)

のこぎり波で、GTBER.BD[0] ビットが “0”(バッファ転送許可)、かつ GTBER.CCRm[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波、相補 PWM モードの場合は無効です。CCTCm ビットが “0” であっても、カウンタクリアによるバッファ転送は行いません。

CMTCm ビットの設定と競合した場合、CCTCm ビットの設定が優先されます。

イベントカウント動作時は無効です。

CCTPR ビット (カウンタクリア GTPR バッファ転送禁止ビット)

カウンタクリア時の GTPR レジスタと GTPBR、GTPDBR レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で GTBER.BD[1] ビットが “0”(バッファ転送許可)、かつ GTBER.PR[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波、相補 PWM モードの場合は無効です。CCTPR ビットが “0” であっても、カウンタクリアによるバッファ転送は行いません。

イベントカウント動作時は無効です。

CCTADm ビット (カウンタクリア GTADTRm バッファ転送禁止ビット) (m = A, B)

カウンタクリア時の GTADTRm レジスタと GTADTBRm レジスタと GTADTDBRm レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、GTBER.BD[2] ビットが “0” (バッファ動作許可)、GTBER.ADTTm[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波、相補 PWM モードの場合は無効です。CCTADm ビットが “0” であっても、カウンタクリアによるバッファ転送は行いません。

CMTADm ビットの設定と競合した場合、CCTADm ビットの設定が優先されます。

イベントカウント動作時は無効です。

CCTDV ビット (カウンタクリア GTDVU/GTDVD バッファ転送禁止ビット)

カウンタクリア時の GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ転送、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、GTBER.BD[3] ビットが “0” (バッファ動作許可)、GTDTCR.TDBUE ビットおよび GTDTCR.TDBDE ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。CCTDV ビットが “0” であっても、カウンタクリアによるバッファ転送は行いません。
イベントカウント動作時は無効です。

CMTCA[1:0] ビット (コンペアマッチ GTCCRA バッファ転送許可ビット)

GTCCRA レジスタのコンペアマッチ時、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ転送を許可します。
のこぎり波で、GTBER.BD[0] ビットが “0” (バッファ動作許可)、GTBER.CCRA[1:0] ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。
CCTCA ビットの設定と競合した場合、CCTCA ビットの設定が優先されます。
イベントカウント動作時は無効です。

CMTCB[1:0] ビット (コンペアマッチ GTCCRB バッファ転送許可ビット)

GTCCRB レジスタのコンペアマッチ時、GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ転送を許可します。
のこぎり波で、GTBER.BD[0] ビットが “0” (バッファ動作許可)、GTBER.CCRB[1:0] ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。
CCTCB ビットの設定と競合した場合、CCTCB ビットの設定が優先されます。
イベントカウント動作時は無効です。

CMTADm ビット (コンペアマッチ GTADTRm バッファ転送許可ビット) (m = A, B)

GTADTRm レジスタのコンペアマッチ時、GTADTRm レジスタと GTADTBRm レジスタと GTADTDBRm レジスタを組み合わせたバッファ転送を許可します。
のこぎり波で、GTBER.BD[2] ビットが “0” (バッファ動作許可)、GTBER.ADTTm[1:0] ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。
CCTADm ビットの設定と競合した場合、CCTADm ビットの設定が優先されます。
イベントカウント動作時は無効です。

CPTCA ビット (オーバフロー / アンダフロー GTCCRA バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ転送を禁止します。
のこぎり波で、CCTCA ビットが “0” (カウンタクリアによる GTCCRA バッファ転送を許可)、GTBER.BD[0] ビットが “0” (バッファ動作許可)、GTBER.CCRA[1:0] ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。
イベントカウント動作時は無効です。

CPTCB ビット (オーバフロー / アンダフロー GTCCRB バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ転送を禁止します。
のこぎり波で、CCTCB ビットが “0” (カウンタクリアによる GTCCRB バッファ転送を許可)、GTBER.BD[0] ビットが “0” (バッファ動作許可)、GTBER.CCRB[1:0] ビットでバッファ動作が選択されてい

る場合に有効です。
三角波、相補 PWM モードの場合は無効です。
イベントカウント動作時は無効です。

CPTPR ビット (オーバフロー / アンダフロー GTPR バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ転送を禁止します。
のこぎり波で、CCTPR ビットが “0” (カウンタクリアによる GTPR バッファ転送を許可)、GTBER.BD[1] ビットが “0” (バッファ動作許可)、GTBER.PR[1:0] ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。
イベントカウント動作時は無効です。

CPTADm ビット (オーバフロー / アンダフロー GTADTRm バッファ転送禁止ビット) (m = A, B)

のこぎり波のオーバフロー / アンダフロー時、GTADTRm レジスタと GTADTBRm レジスタと GTADTDBRm レジスタを組み合わせたバッファ転送を禁止します。
のこぎり波で、CCTADm ビットが “0” (カウンタクリアによる GTADTRm バッファ転送を許可)、GTBER.BD[2] ビットが “0” (バッファ動作許可)、GTBER.ADTTm[1:0] ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。
イベントカウント動作時は無効です。

CPTDV ビット (オーバフロー / アンダフロー GTDVU/GTDVD バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ転送、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ転送を禁止します。
のこぎり波で、CCTDV ビットが “0” (カウンタクリアによる GTDVU/GTDVD バッファ転送を許可)、GTBER.BD[3] ビットが “0” (バッファ動作許可)、GTDTCR.TDBUE ビットおよび GTDTCR.TDBDE ビットでバッファ動作が選択されている場合に有効です。
三角波、相補 PWM モードの場合は無効です。
イベントカウント動作時は無効です。

CP3DB ビット (相補 PWM モード 3、4 ダブルバッファ転送選択ビット)

相補 PWM モード 3、4 時、GTCCRA レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ転送を許可します。

CPBTD ビット (相補 PWM モードバッファ転送禁止ビット)

相補 PWM モード 1、2、3 のカウンタ動作時、テンポラリレジスタ (テンポラリレジスタ A およびテンポラリレジスタ P) から GTCCRC レジスタおよび GTPBR レジスタへのバッファ転送を禁止します。CP3DB ビットが “1” の場合はテンポラリレジスタ B から GTCCRE レジスタへのバッファ転送も禁止します。相補 PWM モード 4 の場合は無効です。

OLTTm[1:0] ビット (GTIOCnm 出力レベルバッファ転送タイミング選択ビット) (m = A, B)

GTOLBR.GTIOmB[4:0] ビットから GTIOR.GTIOm[4:0] ビットへのバッファ転送タイミングを設定します。
イベントカウント動作時は無効です。

24.2.44　汎用 PWM タイマ出力レベルバッファレジスタ (GTOLBR)

アドレス　GPTW0.GTOLBR 000C 20E4h, GPTW1.GTOLBR 000C 21E4h, GPTW2.GTOLBR 000C 22E4h, GPTW4.GTOLBR 000C 24E4h, GPTW5.GTOLBR 000C 25E4h, GPTW6.GTOLBR 000C 26E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	GTIOBB[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	GTIOAB[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOAB[4:0]	GTIOAバッファビット	GTIOA[4:0]バッファ	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20-b16	GTIOBB[4:0]	GTIOBバッファビット	GTIOB[4:0]バッファ	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTOLBR レジスタは、GTIOR.GTIOA[4:0]、GTIOB[4:0] ビットのバッファレジスタです。

GTIOmB[4:0] ビット (GTIOm バッファビット) (m = A, B)

GTIOR.GTIOm[4:0] ビットのバッファとして動作します。

GTBER2.OLTTm[1:0] ビットで選択した転送タイミングで、GTIOR.GTIOm[4:0] ビットに転送されます。

24.2.45 汎用 PWM タイマチャネル間連携インプットキャプチャ制御レジスタ (GTICCR)

アドレス　GPTW0.GTICCR 000C 20ECh, GPTW1.GTICCR 000C 21ECh, GPTW2.GTICCR 000C 22ECh, GPTW3.GTICCR 000C 23ECh, GPTW4.GTICCR 000C 24ECh, GPTW5.GTICCR 000C 25ECh, GPTW6.GTICCR 000C 26ECh, GPTW7.GTICCR 000C 27ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ICBGRP[1:0]		—	—	—	—	—	ICBCLK	ICBFPU	ICBFPO	ICBFF	ICBFE	ICBFD	ICBFC	ICBFB	ICBFA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ICAGRP[1:0]		—	—	—	—	—	ICACLK	ICAFPU	ICAFPO	ICAFF	ICAFE	ICAFD	ICAFC	ICAFB	ICAFA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICAFA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b1	ICAFB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b2	ICAFC	GTCCRCレジスタコンペアマッチ要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：GTCCRCレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：GTCCRCレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b3	ICAFD	GTCCRDレジスタコンペアマッチ要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：GTCCRDレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：GTCCRDレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b4	ICAFE	GTCCREレジスタコンペアマッチ要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：GTCCREレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：GTCCREレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b5	ICAFF	GTCCRFレジスタコンペアマッチ要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：GTCCRFレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：GTCCRFレジスタコンペアマッチを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b6	ICAFPO	オーバフロー要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：のこぎり波の場合はオーバフロー、三角波と相補PWMモードの場合は山を他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：のこぎり波の場合はオーバフロー、三角波と相補PWMモードの場合は山を他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b7	ICAFPU	アンダフロー要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：のこぎり波の場合はアンダフロー、三角波と相補PWMモードの場合は谷を他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：のこぎり波の場合はアンダフロー、三角波と相補PWMモードの場合は谷を他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b8	ICACLK	カウントクロック要因他チャネルGTCCRAインプットキャプチャ許可ビット	0：カウントクロックを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1：カウントクロックを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b13-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ICAGRP[1:0]	GTCCRAインプットキャプチャグループ設定ビット	b15 b14 0 0：グループAを選択 0 1：グループBを選択 1 0：グループCを選択 1 1：グループDを選択	R/W
b16	ICBFA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b17	ICBFB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b18	ICBFC	GTCCRCレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：GTCCRCレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：GTCCRCレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b19	ICBFD	GTCCRDレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：GTCCRDレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：GTCCRDレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b20	ICBFE	GTCCREレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：GTCCREレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：GTCCREレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b21	ICBFF	GTCCRFレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：GTCCRFレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：GTCCRFレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b22	ICBFPO	オーバフロー要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：のこぎり波の場合はオーバフロー、三角波と相補PWMモードの場合は山を他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：のこぎり波の場合はオーバフロー、三角波と相補PWMモードの場合は山を他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ICBFPU	アンダフロー要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：のこぎり波の場合はアンダフロー、三角波と相補PWMモードの場合は谷を他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：のこぎり波の場合はアンダフロー、三角波と相補PWMモードの場合は谷を他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b24	ICBCLK	カウントクロック要因他チャネルGTCCRBインプットキャプチャ許可ビット	0：カウントクロックを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1：カウントクロックを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b29-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b30	ICBGRP[1:0]	GTCCRBインプットキャプチャグループ設定ビット	b31 b30 0 0：グループAを選択 0 1：グループBを選択 1 0：グループCを選択 1 1：グループDを選択	R/W

GTICCR レジスタは、チャネル間の連携によるインプットキャプチャを制御するレジスタです。

連携によってインプットキャプチャが行われるチャネルでは、インプットキャプチャの発生する GTCCRA レジスタまたは GTCCRB レジスタに対応するインプットキャプチャ要因の許可ビットは無効です。

ICAFm ビット (GTCCRm レジスタコンペアマッチ / インプットキャプチャ要因他チャネル GTCCRA インプットキャプチャ許可ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ / インプットキャプチャを他チャネルの GTCCRA レジスタインプットキャプチャ要因として使用することを許可 / 禁止します。

ICAFn ビット (GTCCRn レジスタコンペアマッチ要因他チャネル GTCCRA インプットキャプチャ許可ビット) (n = C, D, E, F)

GTCCRn レジスタのコンペアマッチ要因を他チャネルの GTCCRA レジスタインプットキャプチャ要因として使用することを許可 / 禁止します。

ICAFPO ビット (オーバフロー要因他チャネル GTCCRA インプットキャプチャ許可ビット)

のこぎり波の場合はオーバフロー、三角波と相補 PWM モードの場合は山を他チャネルの GTCCRA レジスタのインプットキャプチャ要因として使用することを許可 / 禁止します。

ICAFPU ビット (アンダフロー要因他チャネル GTCCRA インプットキャプチャ許可ビット)

のこぎり波の場合はアンダフロー、三角波と相補 PWM モードの場合は谷を他チャネルの GTCCRA レジスタのインプットキャプチャ要因として使用することを許可 / 禁止します。

ICACLK ビット (カウントクロック要因他チャネル GTCCRA インプットキャプチャ許可ビット)

カウントクロックを他チャネルの GTCCRA レジスタのインプットキャプチャ要因として使用することを許可 / 禁止します。

ICAGRP[1:0] ビット (GTCCRA インプットキャプチャグループ設定ビット)

GTCCRA レジスタのインプットキャプチャ要因をチャネル間で連携させるグループを選択します。

他チャネルからのインプットキャプチャ要因によって GTCCRA レジスタのインプットキャプチャを行うチャネルでは、GTICASR.ASOC ビットを “1” に設定し、ICAGRP[1:0] ビットで連携させるグループを選択してください。

ICBFm ビット (GTCCRm レジスタコンペアマッチ / インプットキャプチャ要因他チャネル GTCCRB インプットキャプチャ許可ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ / インプットキャプチャを他チャネルの GTCCRB レジスタインプットキャプチャ要因として使用することを許可 / 禁止します。

ICBFn ビット (GTCCRn レジスタコンペアマッチ要因他チャネル GTCCRB インプットキャプチャ許可ビット) (n = C, D, E, F)

GTCCRn レジスタのコンペアマッチ要因を他チャネルの GTCCRB レジスタインプットキャプチャ要因として使用することを許可 / 禁止します。

ICBFPO ビット (オーバフロー要因他チャネル GTCCRB インプットキャプチャ許可ビット)

のこぎり波の場合はオーバフロー、三角波と相補 PWM モードの場合は山を他チャネルの GTCCRB レジスタのインプットキャプチャ要因として使用することを許可 / 禁止します。

ICBFPU ビット (アンダフロー要因他チャネル GTCCRB インプットキャプチャ許可ビット)

のこぎり波の場合はアンダフロー、三角波と相補 PWM モードの場合は谷を他チャネルの GTCCRB レジスタのインプットキャプチャ要因として使用することを許可 / 禁止します。

ICBCLK ビット (カウントクロック要因他チャネル GTCCRB インプットキャプチャ許可ビット)

カウントクロックを他チャネルの GTCCRB レジスタのインプットキャプチャ要因として使用することを許可 / 禁止します。

ICBGRP[1:0] ビット (GTCCRB インプットキャプチャグループ設定ビット)

GTCCRB レジスタのインプットキャプチャ要因をチャネル間で連携させるグループを選択します。

他チャネルからのインプットキャプチャ要因によって GTCCRB レジスタのインプットキャプチャを行うチャネルでは、GTICBSR.BSOC ビットを “1” に設定し、ICBGRP[1:0] ビットで連携させるグループを選択してください。

24.2.46　出力位相スイッチ制御レジスタ (OPSCR)

アドレス　GPTW.OPSCR 000C 2B00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	RV	INV	N	P	FB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定ビット	入力相の設定をソフトウェアで行います。 このビット設定はFBビット = 1のときに有効です。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	U	入力U相モニタビット	入力相の状態をモニタリングします。 • FBビット = 0 外部入力(PCLKCモニタリング) • FBビット = 1 ソフトウェア設定値(UF/VF/WF)	R
b5	V	入力V相モニタビット		R
b6	W	入力W相モニタビット		R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EN	出力イネーブルビット	0：出力しない(外部ポートはHi-Z) 1：出力する(注1)	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	FB	外部フィードバック信号イネーブルビット	0：外部入力 1：ソフト設定	R/W
b17	P	正相出力(P)制御ビット	0：レベル出力 1：PWM出力(GPTW0のPWM)	R/W
b18	N	逆相出力(N)制御ビット	0：レベル出力 1：PWM出力(GPTW0のPWM)	R/W
b19	INV	出力極性選択ビット	0：正論理(アクティブHigh)出力 1：負論理(アクティブLow)出力	R/W
b20	RV	出力相回転方向反転ビット	0：正回転 1：逆回転	R/W
b21	ALIGN	入力相アライメントビット	0：入力相をPCLKCに同調させます。 1：入力相をPWM立ち下がりエッジに同調させます。	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	GRP[1:0]	出力ディセーブル要因選択ビット	b25 b24 0　0：Aグループ出力ディセーブル要求 0　1：Bグループ出力ディセーブル要求 1　0：Cグループ出力ディセーブル要求 1　1：Dグループ出力ディセーブル要求	R/W
b26	GODF	グループ出力ディセーブル許可ビット	0：本機能の停止 1：GRP[1:0]ビットで選択した要因の信号がHighになると、ENビットをクリア	R/W
b28-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29	NFEN	外部入力ノイズフィルタイネーブルビット	0：外部入力ノイズフィルタを使用しない 1：外部入力ノイズフィルタを使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタサンプリングクロック選択ビット	b31 b30 0 0 : PCLKC/1 0 1 : PCLKC/4 1 0 : PCLKC/16 1 1 : PCLKC/64	R/W

注1. GODF = 1かつGRP[1:0]ビットで選択した要因の信号値が“High”になると、ENビットをクリアします。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。

UF、VF、WF ビット (入力相ソフト設定ビット)

入力相の設定をソフトウェアで行います。

このビットは FB ビットが “1” のときに有効となり、UF、VF、WF ビットの設定値が外部入力 (U 相、V 相、W 相) の代わりになります。

U、V、W ビット (入力相モニタビット)

FB ビットが “0” のとき、外部入力 (U 相、V 相、W 相) を PCLKC に同期してモニタリングします。

FB ビットが “1” のときは、UF、VF、WF ビットの設定値になります。

EN ビット (出力イネーブルビット)

出力相 (正相 / 逆相) の出力許可ビットで、“1” のときに出力します。

EN ビットを “0” にして、FB、UF、VF、WF、P、N、INV、RV、ALIGN、GRP[1:0]、GODF、NFEN、NFCS[1:0] ビットを設定し、EN ビットを “1” にして出力相を出力してください。

EN ビットの設定は、POEG からの出力ディセーブル要求が発生している状態で行ってください。

また、GODF ビットが “1” かつ GRP[1:0] ビットで選択した要因が “High”(出力ディセーブル要求) になると、EN ビットがクリアされます。出力相を再出力するには、出力ディセーブル要求をクリア後、EN ビットを “1” にしてください。

- EN ビットの優先順位 (競合)

EN ビットに対して出力ディセーブル要求によるクリアと CPU による “1” 書き込みが競合した場合、出力ディセーブル要求によるクリアが優先されます。

FB ビット (外部フィードバック信号イネーブルビット)

入力相にホール素子等の外部入力を用いるか、ソフトウェアで設定したレジスタ値 (UF、VF、WF ビット) を用いるかを選択します。

P ビット (正相出力 (P) 制御ビット)

正相出力端子 (GTOUUP、GTOVUP、GTOWUP 端子) から出力時、レベルを出力するか、GTIOC0A 端子出力によるチョッピングを実施するかを選択します。

N ビット (逆相出力 (N) 制御ビット)

逆相出力端子 (GTOULO、GTOVLO、GTOWLO 端子) から出力時、レベルを出力するか、GTIOC0A 端子出力によるチョッピングを実施するかを選択します。

INV ビット (出力極性選択ビット)

出力相の出力極性 (正相 / 逆相) を選択します。

RV ビット (出力相回転方向反転ビット)

モータの回転方向を反転させます。

ALIGN ビット (入力相アライメントビット)

FB ビットで選択した入力のサンプリングに用いるタイミングを PCLKC と GTIOC0A 端子出力の立ち下りから選択します。

ALIGN ビットが “0” のとき、PCLKC でサンプリングします。

注 . チョッピングを行う場合、出力相が切り替わるタイミングとチョッピングに用いる PWM の位相に依存して、出力相の切り替わり前後では、出力相の PWM の幅がチョッピングに用いるより短くなることがあります。

ALIGN ビットが “1” のとき、GTIOC0A 端子の立ち下がりでサンプリングします。

GRP[1:0] ビット (出力ディセーブル要因選択ビット)

出力ディセーブル要因を選択します。

本ビットの設定は、GODF ビットが “0” の状態で設定してください。

GODF ビット (グループ出力ディセーブル許可ビット)

本ビットが “1” かつ GRP[1:0] ビットで選択した要因の信号が “High” になると、EN ビットがクリアされます。

本ビットが “0” のとき、本機能は無効です。

本ビットの設定は、POEG からの出力ディセーブル要求が発生していない状態で行ってください。

NFEN ビット (外部入力ノイズフィルタイネーブルビット)

外部入力に対するノイズフィルタを有効にします。

注 . 本ビットを切り替えたとき、意図しない内部エッジが発生しまするとがあるため、本ビットを書き換えるときは EN ビットを “0” にしてください。

NFCS[1:0] ビット (外部入力ノイズフィルタサンプリングクロック選択ビット)

外部入力ノイズフィルタのクロックを選択します。

1. 本ビットを設定します。
2. 設定したサンプリングクロックで 2 クロック待ちます。
3. EN ビットを “1” にします。

24.3 動作説明

24.3.1 基本動作

各チャネルのタイマは、カウントクロックまたはハードウェア要因によるサイクルカウント動作を行います。GTCNT カウンタは、アップカウント動作、ダウンカウント動作が可能です。タイマ周期は GTPR レジスタまたは GTCCRm レジスタ (m = A ～ F) によって制御されます。

GTCNT カウンタ値が GTCCRA、GTCCRB レジスタの値と一致すると、それぞれ GTIOCnA、GTIOCnB 端子出力 (n = 0 ～ 7) を変化させることができます。また、GTCCRA、GTCCRB レジスタをハードウェア要因によるインプットキャプチャレジスタとして使用することができます。

GTCCRC、GTCCRD レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRE、GTCCRF レジスタは GTCCRB レジスタのバッファレジスタとして動作させることができます。

24.3.1.1 カウンタの動作

(1) カウンタのスタート / ストップ

各チャネルのカウンタは、GTCR.CST ビットを “1” にするとカウント動作を開始し、“0” にすると停止します。

CST ビットの値は、下記の要因で変更することが可能です。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが “1” の状態での GTSTR レジスタのチャネル番号に対応するビットへの “1” 書き込み
- GTPSR.CSTOP ビットが “1” の状態での GTSTP レジスタのチャネル番号に対応するビットへの “1” 書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因
- GTPC.ASTP ビットが “1” の状態でのサイクルカウントの終了

(2) サイクルカウント動作 (カウントクロックによるアップカウント時)

各チャネルのカウンタは、GTUPSR レジスタおよび GTDNSR レジスタが “0000 0000h” の状態で、CST ビットを “1” にするとアップカウントを開始します。GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になる (オーバフロー) か、またはのこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0] ビットで選択された GTCCRm レジスタ値 (m = A ～ F) から “0000 0000h” になると、GTST.TCFPO フラグが “1” になり、GTINTAD.GTINTPR[0] ビットが “1” ならば、GTCIV 割り込み要求が発生します。GTCNT カウンタはオーバフロー後、“0000 0000h” からアップカウントを継続します。

図 24.4 にカウントクロックによるアップカウント時のサイクルカウント動作例を示します。

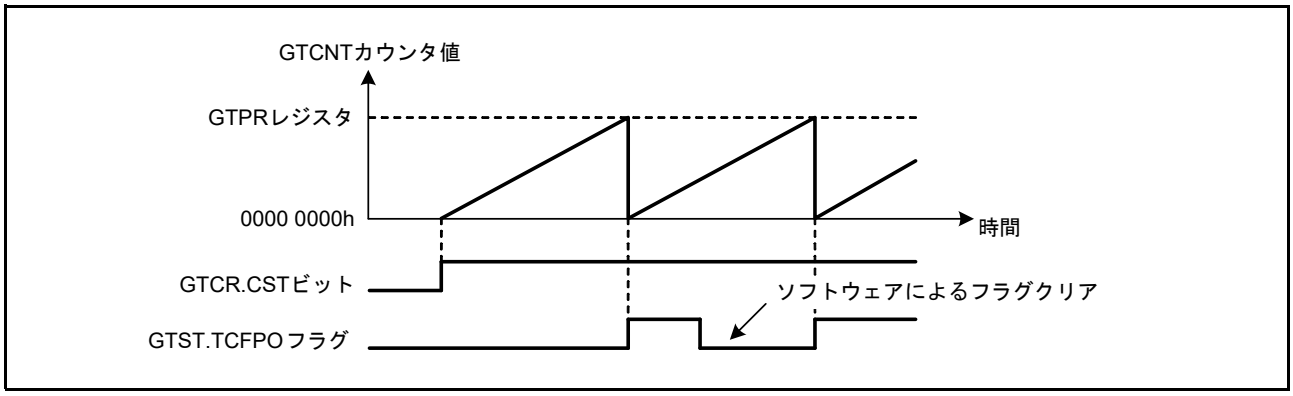


図 24.4 サイクルカウント動作例 (カウントクロックによるアップカウント時)

図 24.5 にアップカウント時のサイクルカウント動作例を示します。

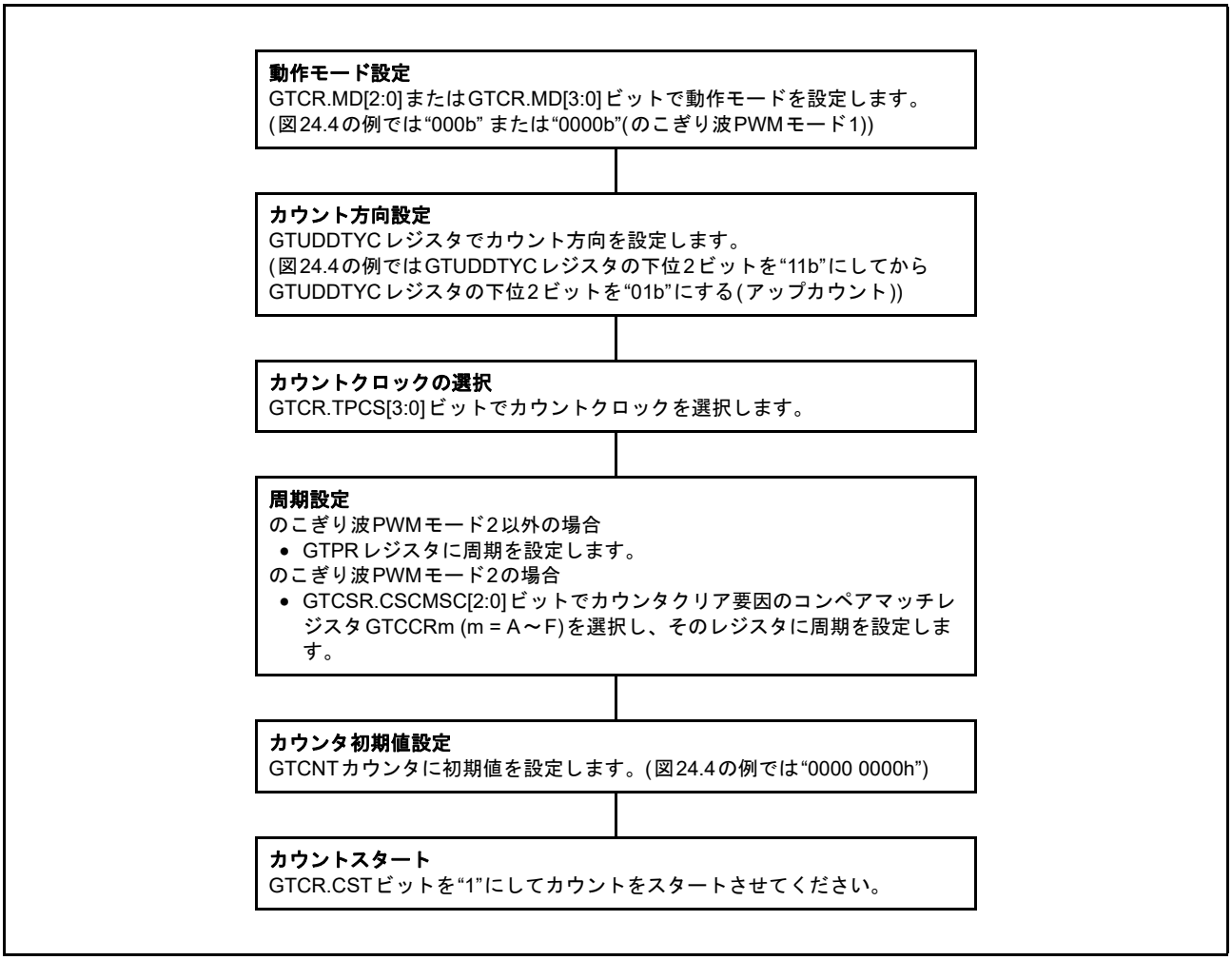


図 24.5　サイクルカウント動作設定例 (カウントクロックによるアップカウント時)

(3) サイクルカウント動作 (カウントクロックによるダウンカウント時)

各チャネルのカウンタは、GTUPSR レジスタおよび GTDNSR レジスタが “0000 0000h” の状態で、GTUDDTYC.UD ビットを設定することで、ダウンカウントを行うことが可能です。GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になる (アンダフロー) と、GTST.TCFPU フラグが “1” になり、GTINTAD.GTINTPR[1] ビットが “1” ならば、GTCIU 割り込み要求が発生します。GTCNT カウンタはアンダフロー後、GTPR レジスタ値からダウンカウントを継続します。

図 24.6 にカウントクロックによるダウンカウント時のサイクルカウント動作例を示します。

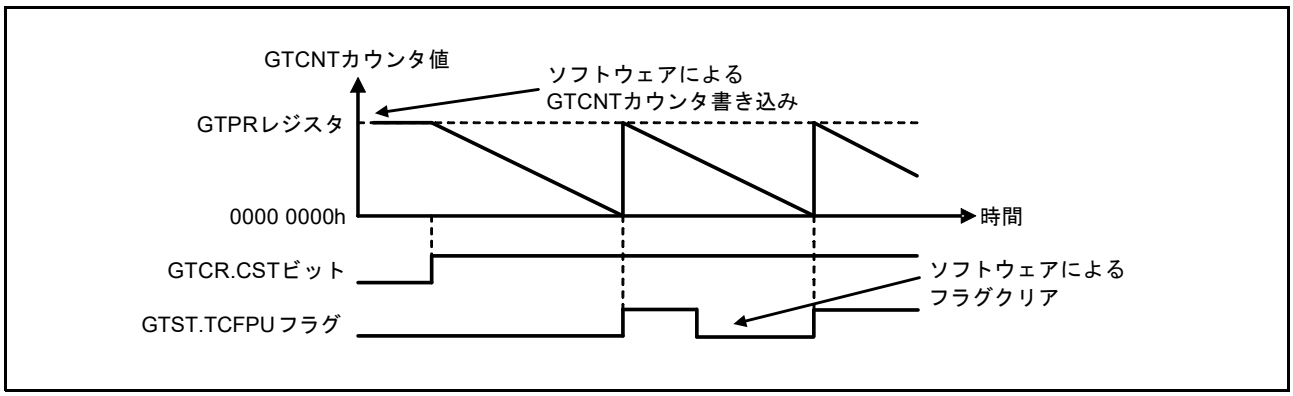


図 24.6　サイクルカウント動作例 (カウントクロックによるダウンカウント時)

図 24.7 にカウントクロックによるダウンカウント時のサイクルカウント動作設定例を示します。

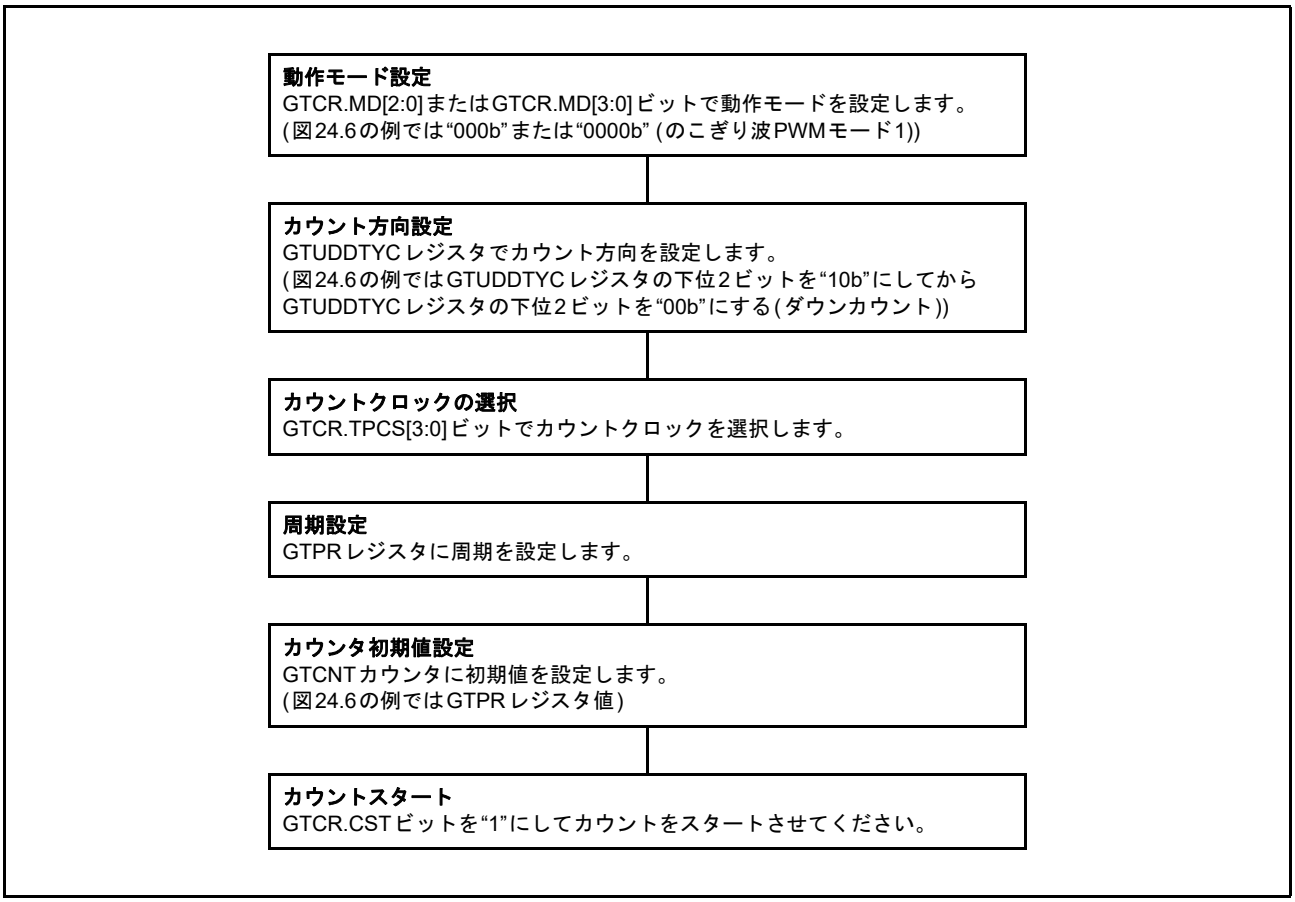


図 24.7　サイクルカウント動作設定例 (カウントクロックによるダウンカウント時)

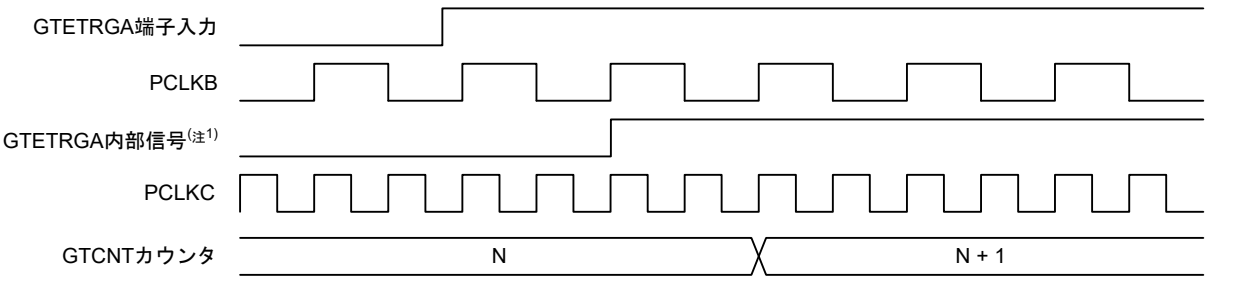
(4) イベントカウント動作 (ハードウェア要因によるアップカウント時)

各チャネルのカウンタは、GTUPSR レジスタを設定することで、ハードウェア要因によるアップカウント動作を行う事が可能です。GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0] ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。

ハードウェア要因によるアップカウント動作におけるオーバフローによる動作は、カウントクロックによるサイクルカウント動作と同様です。

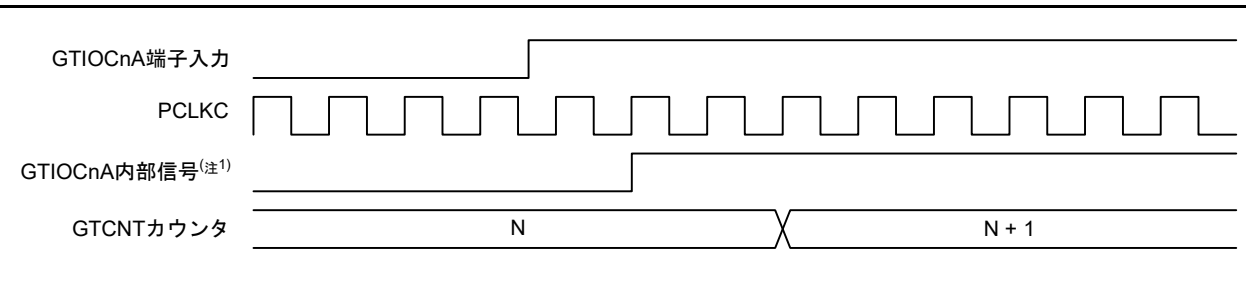
ハードウェア要因によるアップカウントを行うためには、GTCR.CST ビットを “1” にして、カウント動作を開始してください。カウント動作の開始は、TPCS[3:0] ビットで選択されたカウントクロックに同期しているため、CST ビットを “1” にした後、1 カウントクロック期間は、アップカウント動作を行う事はできません。CST ビットを “1” にした 1 PCLKC 後からアップカウントを行うためには、TPCS[3:0] ビットを “0000b” にしてください。

図 24.8、図 24.9 にハードウェア要因 (GTETRGA 端子入力の立ち上がり、GTIOCnA 端子入力の立ち上がり) によるアップカウント動作例を示します。



注1. POEGでGTETRGA端子のデジタルノイズフィルタを未使用とした場合におけるGPTWへの入力信号を表しています。

図 24.8　イベントカウント動作例 (GTETRGA 端子入力の立ち上がりによるアップカウント)



注1. デジタルノイズフィルタを未使用とした場合。

図 24.9　イベントカウント動作例 (GTIOCnA 端子入力の立ち上がりによるアップカウント)

図 24.10 にハードウェア要因が ELC イベント入力の場合のイベントカウント動作例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択して出力し、その信号により GPTW1.GTCNT カウンタのイベントカウント動作を行った場合の例です。

PCLKC に同期します GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、PCLKB で 1 クロック後に GPTW イベント要因 A を出力します。

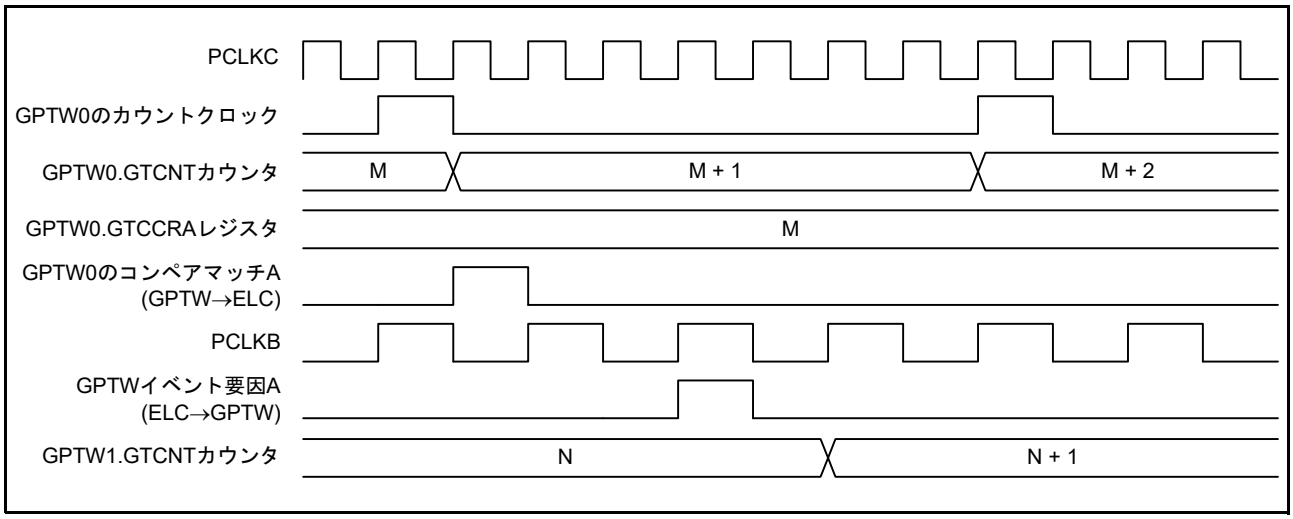


図 24.10　イベントカウント動作例 (ELCA イベント入力によるアップカウント)

図 24.11 にハードウェア要因によるアップカウント時のサイクルカウント動作設定例を示します。

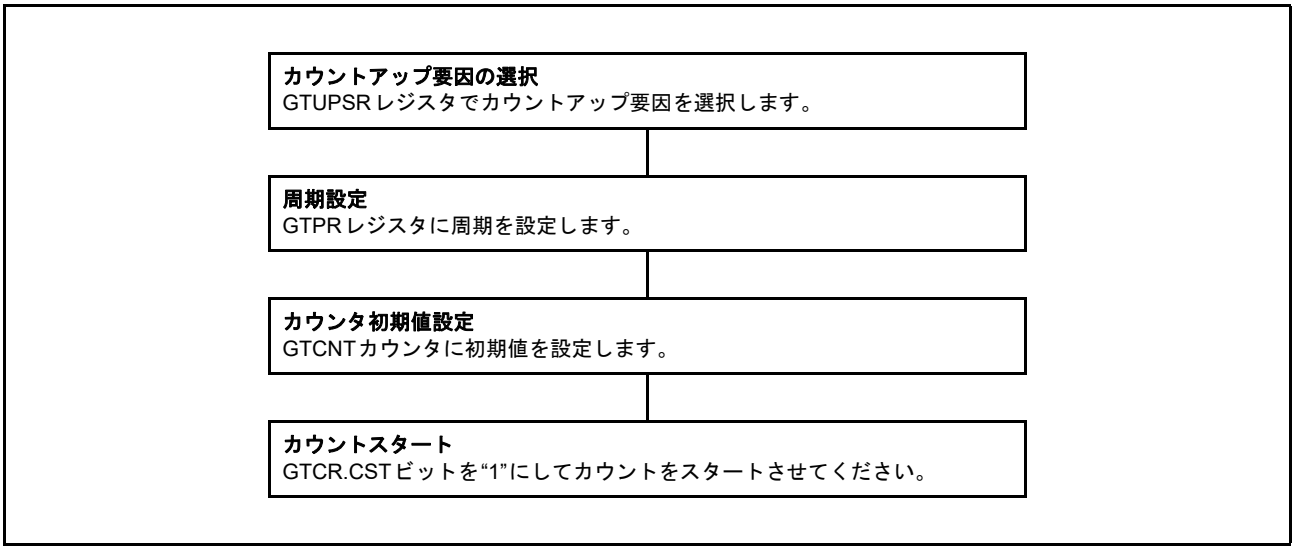


図 24.11　イベントカウント動作設定例 (ハードウェア要因によるアップカウント時)

(5) イベントカウント動作 (ハードウェア要因によるダウンカウント時)

各チャネルのカウンタは、GTDNSR レジスタを設定することで、ハードウェア要因によるダウンカウント動作を行う事が可能です。GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0] ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。

ハードウェア要因によるダウンカウント動作におけるアンダフローによる動作は、カウントクロックによるサイクルカウント動作と同様です。

ハードウェア要因によるダウンカウントを行うためには、GTCR.CST ビットを “1” にして、カウント動作を開始してください。カウント動作の開始は、TPCS[3:0] ビットで選択されたカウントクロックに同期しているため、CST ビットを “1” にした後、1 カウントクロック期間は、ダウンカウント動作を行う事はできません。CST ビットを “1” にした 1 PCLKC 後からダウンカウントを行うためには、TPCS[3:0] ビットを “0000b” にしてください。

図 24.12 にハードウェア要因によるダウンカウント動作例を示します。

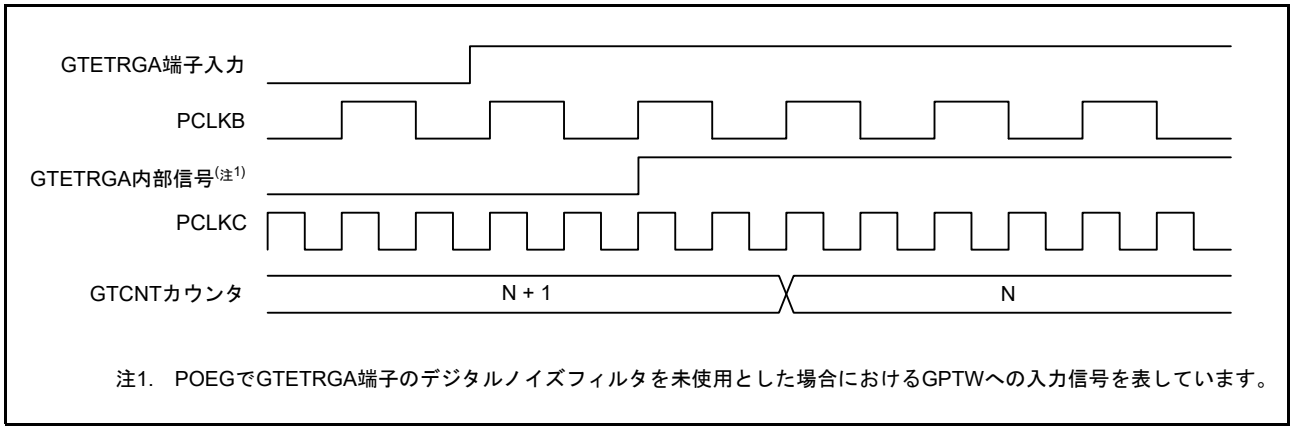


図 24.12　イベントカウント動作例 (GTETRGA 端子入力の立ち上がりによるダウンカウント)

図 24.13 にハードウェア要因によるダウンカウント時のサイクルカウント動作設定例を示します。

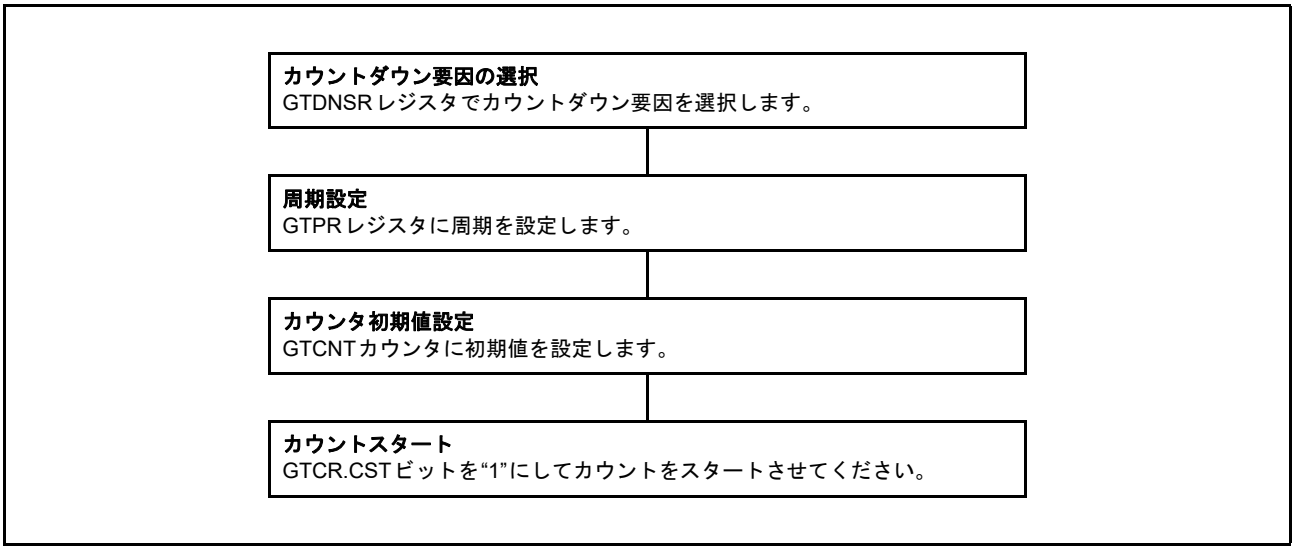


図 24.13　イベントカウント動作設定例 (ハードウェア要因によるダウンカウント時)

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT カウンタへの書き込み
- GTCSR.CCLRビットが“1”の状態でのGTCLRレジスタのチャネル番号に対応するビットへの“1”書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント中 (CST = 1 の時) の書き込みは無効です。

GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中 (GTCR.CST ビット = 1) の場合でも、停止中 (CST ビット = 0) の場合でも実行することが可能です。GTCR.MD[2:0] ビット、または GTCR.MD[3:0] ビットでのこぎり波 (のこぎり波 PWM モード 2 を除く) を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態での GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中でも停止中でも、GTCNT カウンタ値は GTPR レジスタの値になります。それ以外の設定の場合は “0000 0000h” になります。

イベントカウント動作に設定されている場合 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合)、GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、クリア要因発生直後に行います (PCLKC で動作します)。それ以外の設定の場合は、GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期してクリアを行います。

24.3.1.2　コンペアマッチによる波形出力機能

GTCNT カウンタ値が GTCCRA、GTCCRB レジスタの値と一致することをコンペアマッチと呼びます。コンペアマッチ発生後のカウントクロック (イベントカウントを含む) のタイミングで GTIOCnA、GTIOCnB 端子出力 (n = 0 ～ 7) を Low 出力 /High 出力 / トグル出力にすることができます。

また、GTPR レジスタおよびのこぎり波 PWM モード 2 において GTCSR.CSCMSC[2:0] ビットでカウンタクリア要因として選択された GTCCRm レジスタ (m = A ～ F) により決まる “ 周期の終わり ” でも、GTIOCnA、GTIOCnB 端子出力を Low 出力 /High 出力 / トグル出力にすることができます。“ 周期の終わり ” とは、以下を示します。

- のこぎり波 (のこぎり波 PWM モードを 2 を除く) でアップカウントの場合 : GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になるとき (オーバフロー)
- のこぎり波 (のこぎり波 PWM モード 2 を除く) でダウンカウントの場合 : GTCNT カウンタ値が “0000 0000h” から GTPR レジスタ値になるとき (アンダフロー)
- のこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0] ビットでカウンタクリア要因として GTCCRm レジスタを選択している場合 : GTCNT カウンタ値が GTCCRm レジスタ値から “0000 000h” になるとき
- のこぎり波で GTCNT カウンタクリアの場合
- 三角波および相補 PWM モードの場合 : GTCNT カウンタ値が “0000 0000h” から “0000 0001h” になるとき (谷)

(1)　Low 出力 /High 出力

図 24.14 に GTCCRA、GTCCRB レジスタとのコンペアマッチによる Low 出力 /High 出力動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPTW0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

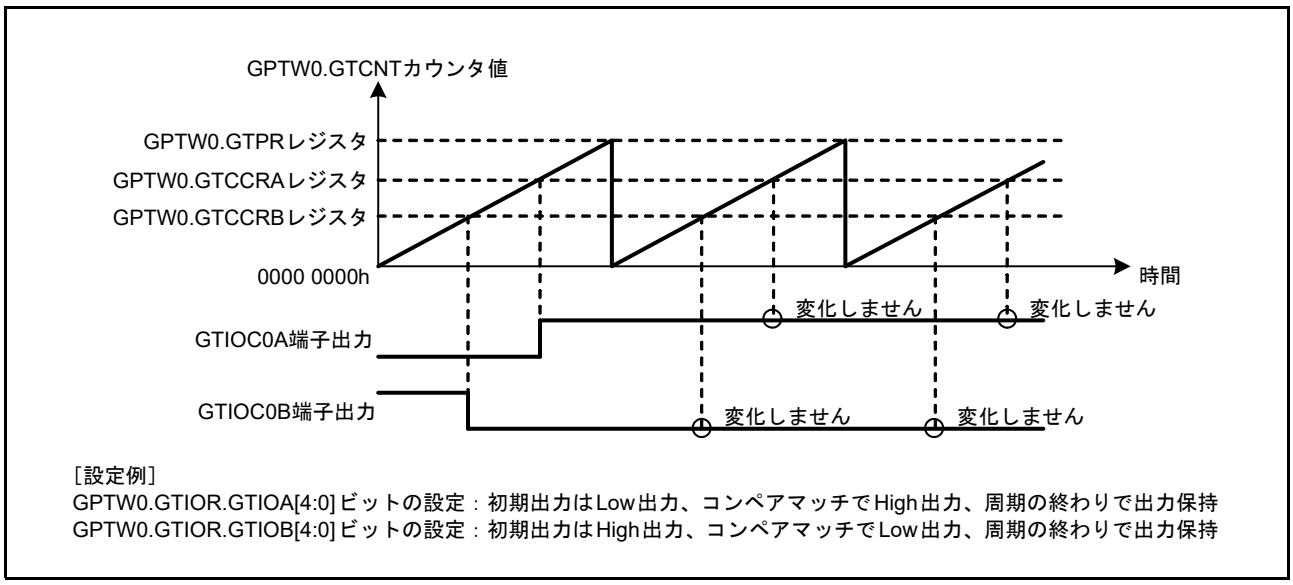
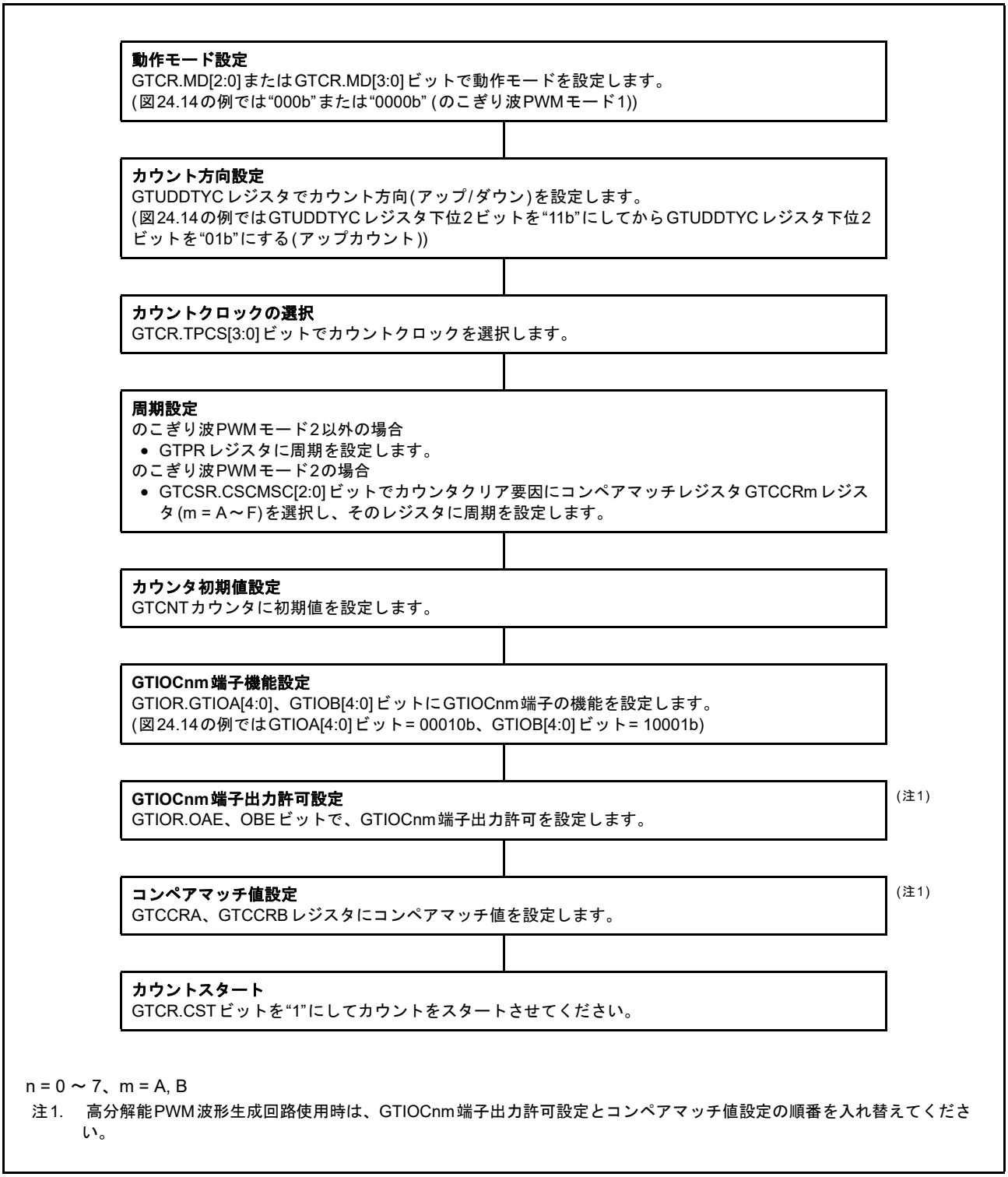


図 24.14　Low 出力 /High 出力動作例

図 24.15 に Low 出力 /High 出力動作設定例を示します。



n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.15　Low 出力 /High 出力動作設定例

(2) トグル出力

図 24.16、図 24.17 に GTCCRA、GTCCRB レジスタとのコンペアマッチによるトグル出力動作例を示します。

図 24.16 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA、GTCCRB レジスタとのコンペアマッチによりそれぞれ GTIOC0A、GTIOC0B 端子をトグル出力となるように設定した場合の例です。

図 24.17 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。

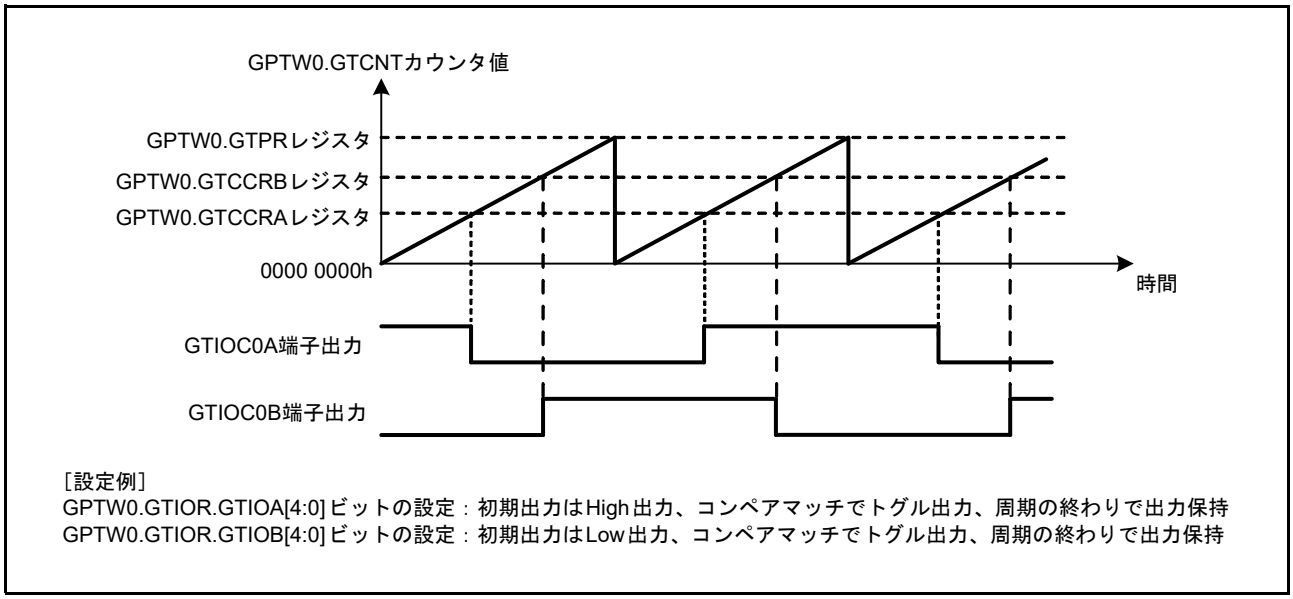


図 24.16　トグル出力動作例 (1)

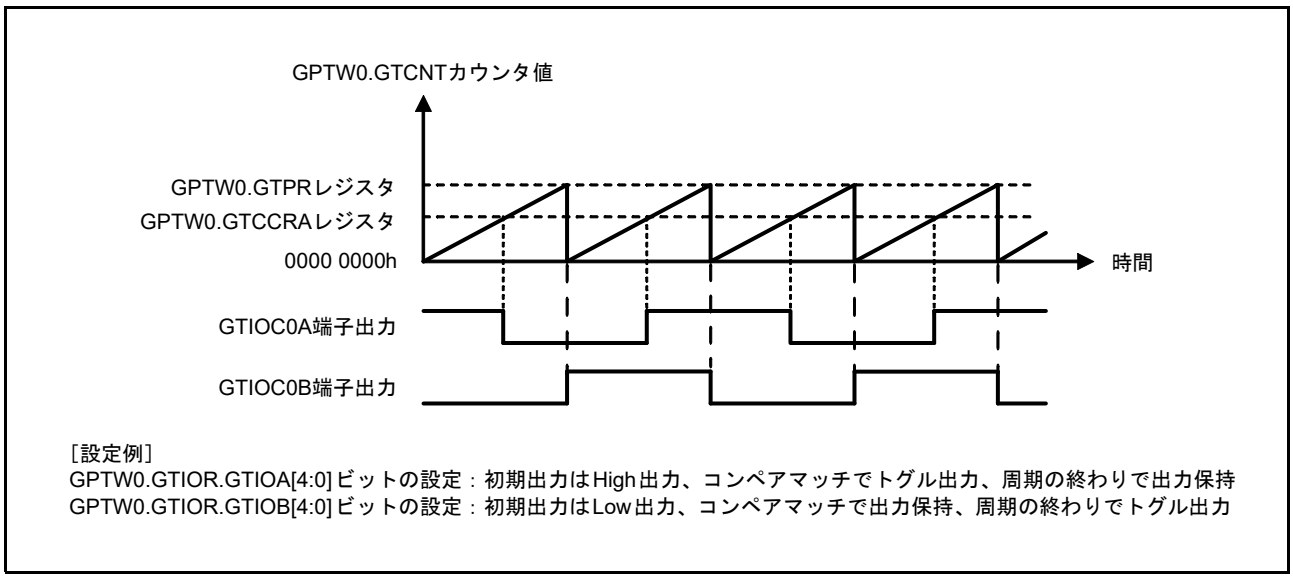
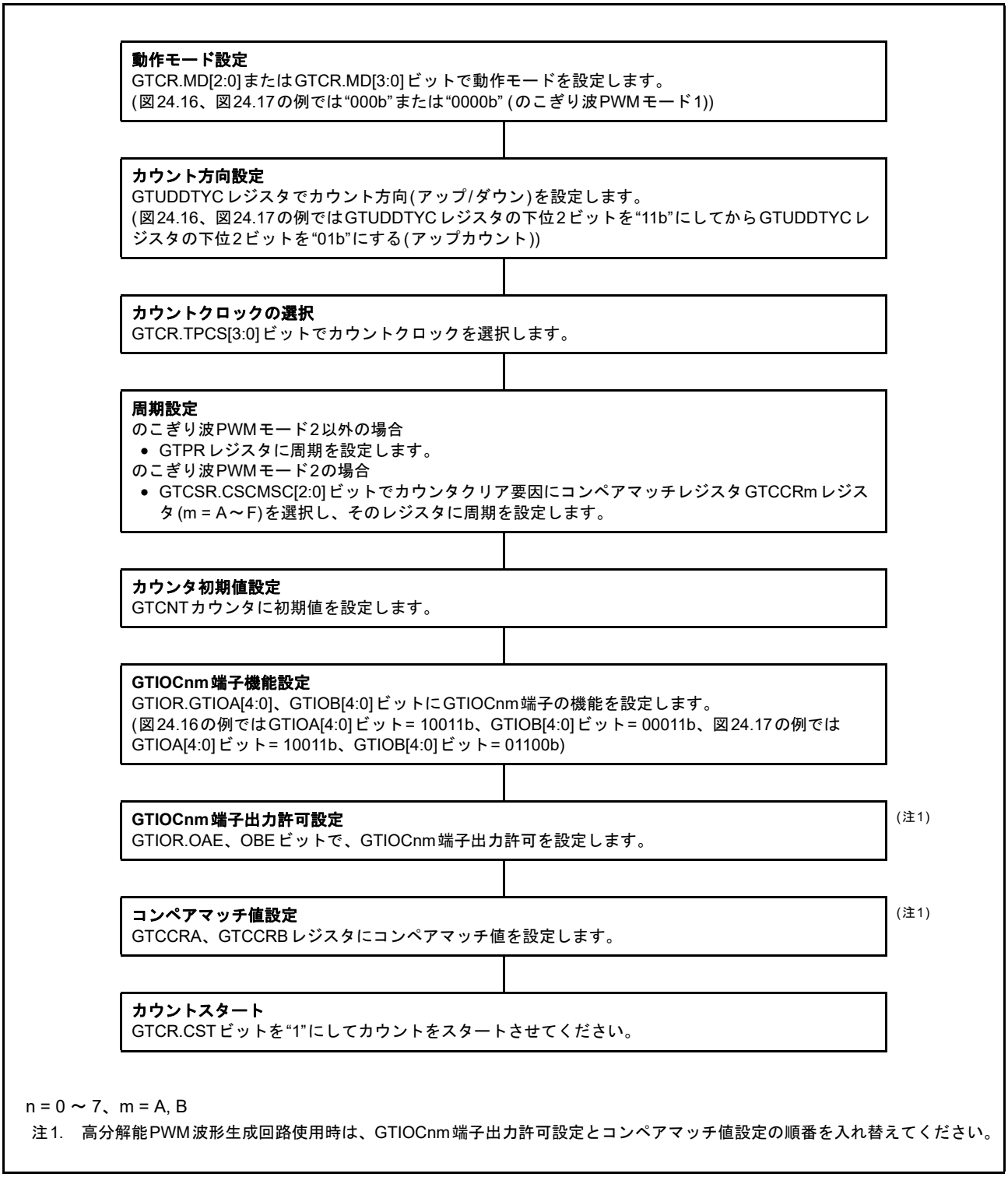


図 24.17　トグル出力動作例 (2)

図 24.18 にトグル出力動作設定例を示します。



n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.18　トグル出力動作設定例

24.3.1.3　インプットキャプチャ機能

GTICASR、GTICBSR レジスタで選択したハードウェア要因を検出して、GTCNT カウンタの値をそれぞれ GTCCRA、GTCCRB レジスタに転送することができます。

相補 PWM モードでは、GTCCRA、GTCCRB レジスタはインプットキャプチャレジスタとして機能しません。

図 24.19 にインプットキャプチャ機能の動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GTIOC0A 端子入力の両エッジでインプットキャプチャ、GTIOC0B 端子入力の立ち上がりエッジでインプットキャプチャとなるように設定した場合の例です。

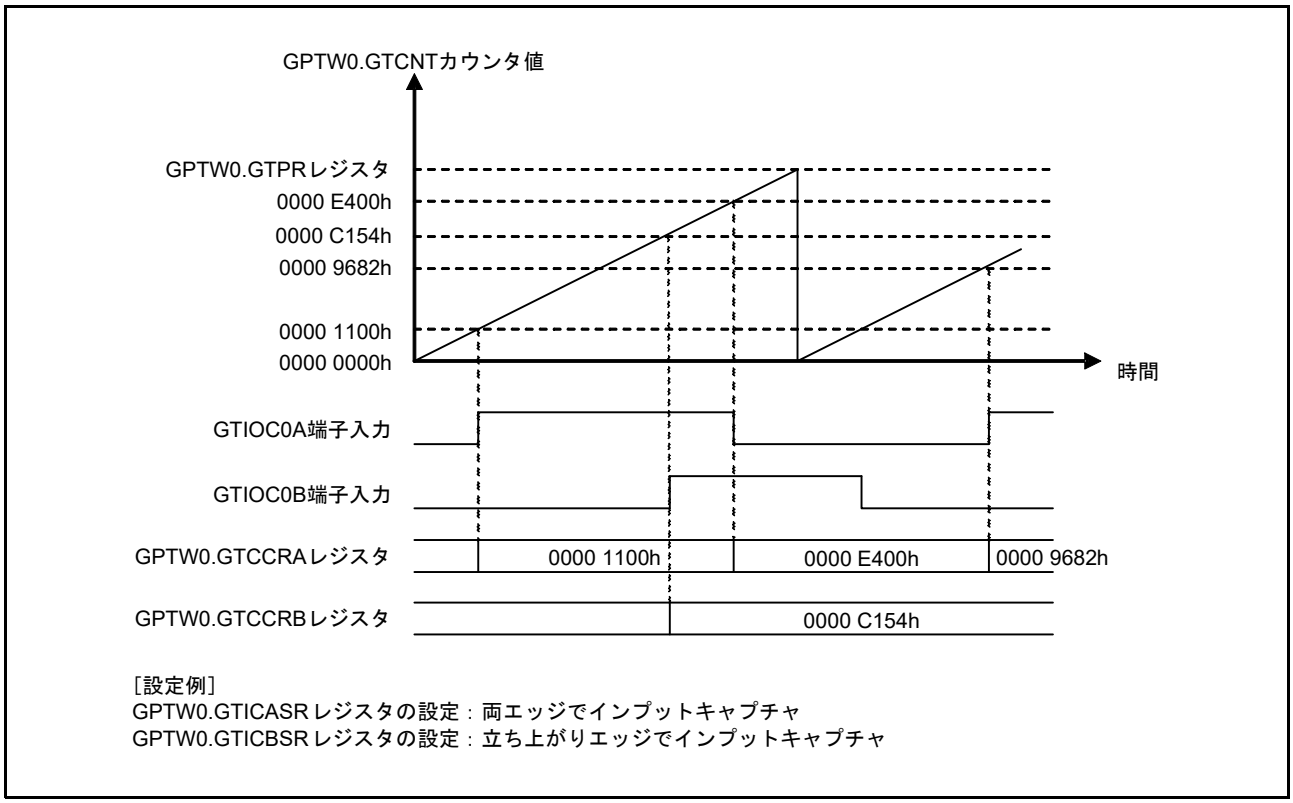


図 24.19　インプットキャプチャ動作例

図 24.20 にインプットキャプチャ動作設定例を示します。

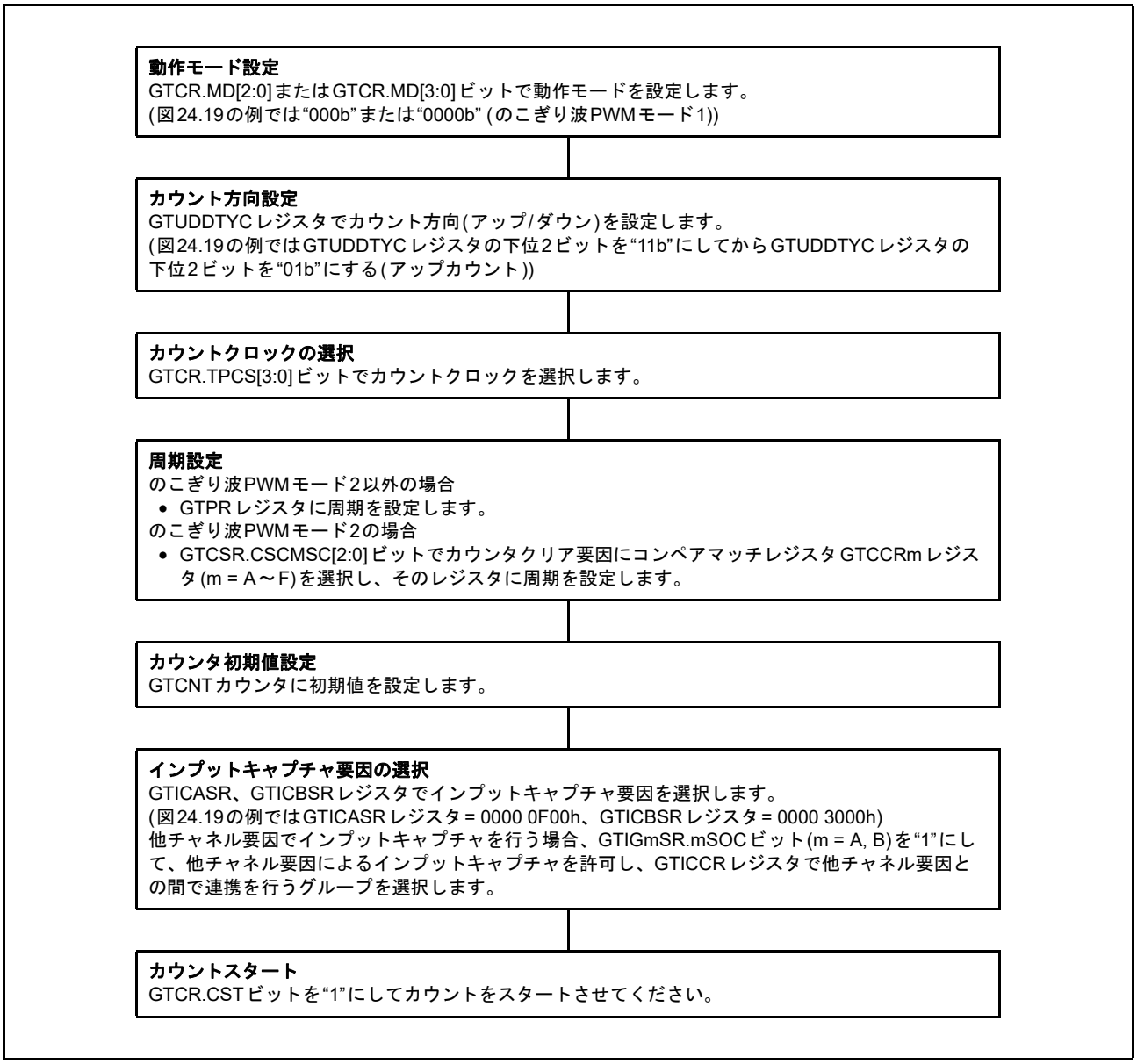
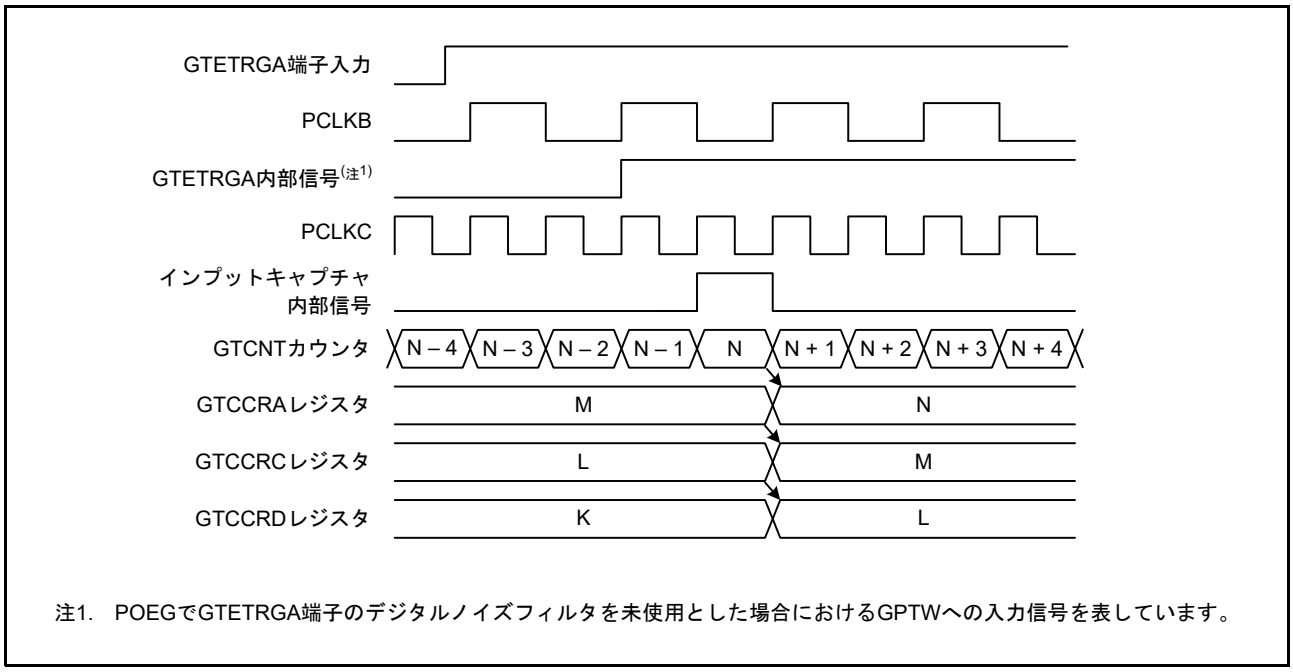


図 24.20　インプットキャプチャ動作設定例

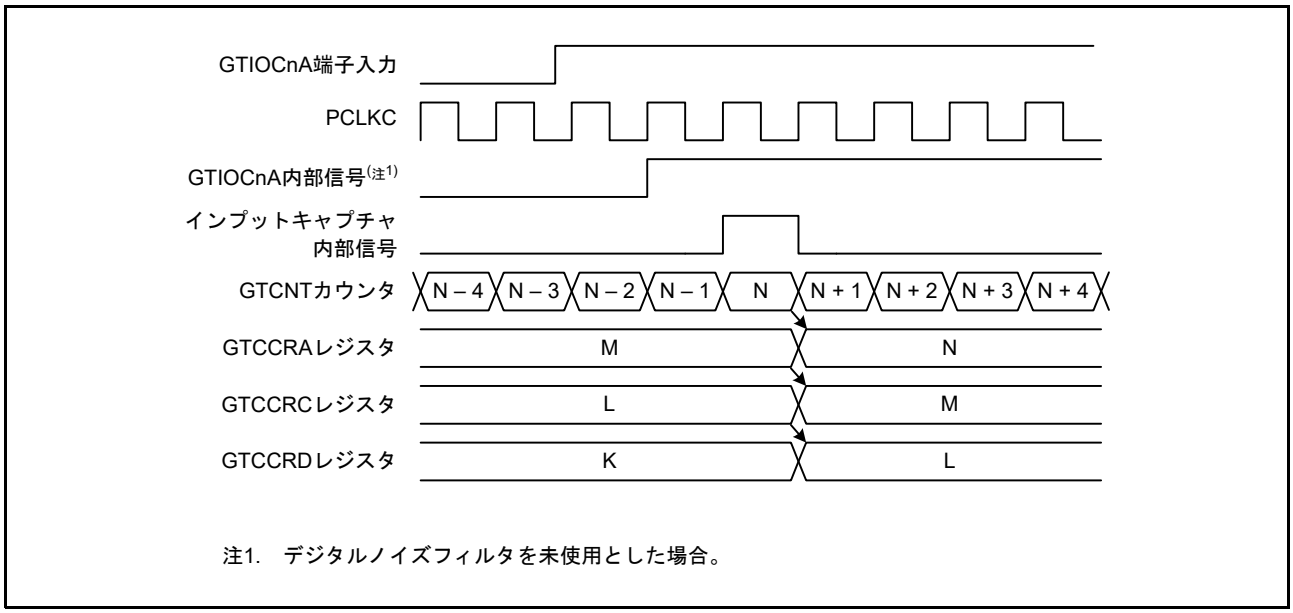
図 24.21 に GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。



注1.　POEGでGTETRGA端子のデジタルノイズフィルタを未使用とした場合におけるGPTWへの入力信号を表しています。

図 24.21　GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 24.22 に GTIOCnA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。



注1.　デジタルノイズフィルタを未使用とした場合。

図 24.22　GTIOCnA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 24.23 に ELCA イベント入力によるインプットキャプチャ動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCCRA レジスタへのインプットキャプチャ動作を行った場合の例です。PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

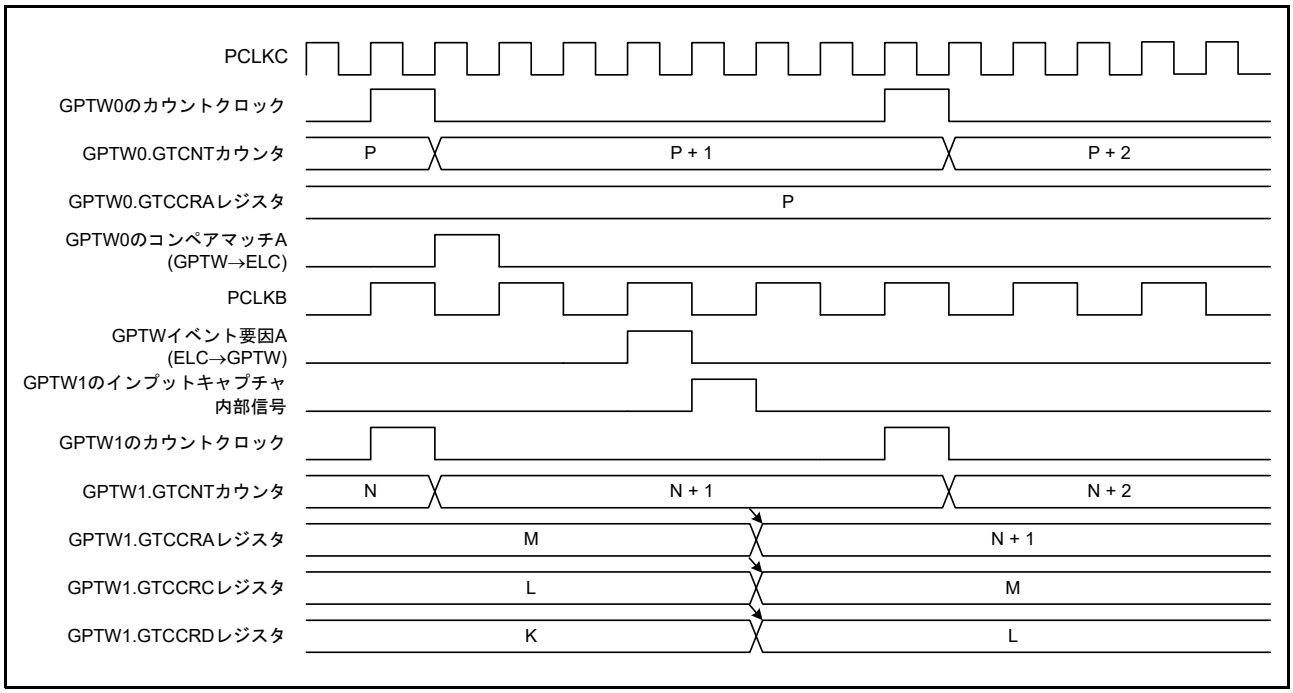


図 24.23　ELCA イベント入力によるインプットキャプチャ動作タイミング例

図 24.24 に他チャネルのカウンタクロックによるインプットキャプチャ動作タイミングを示します。

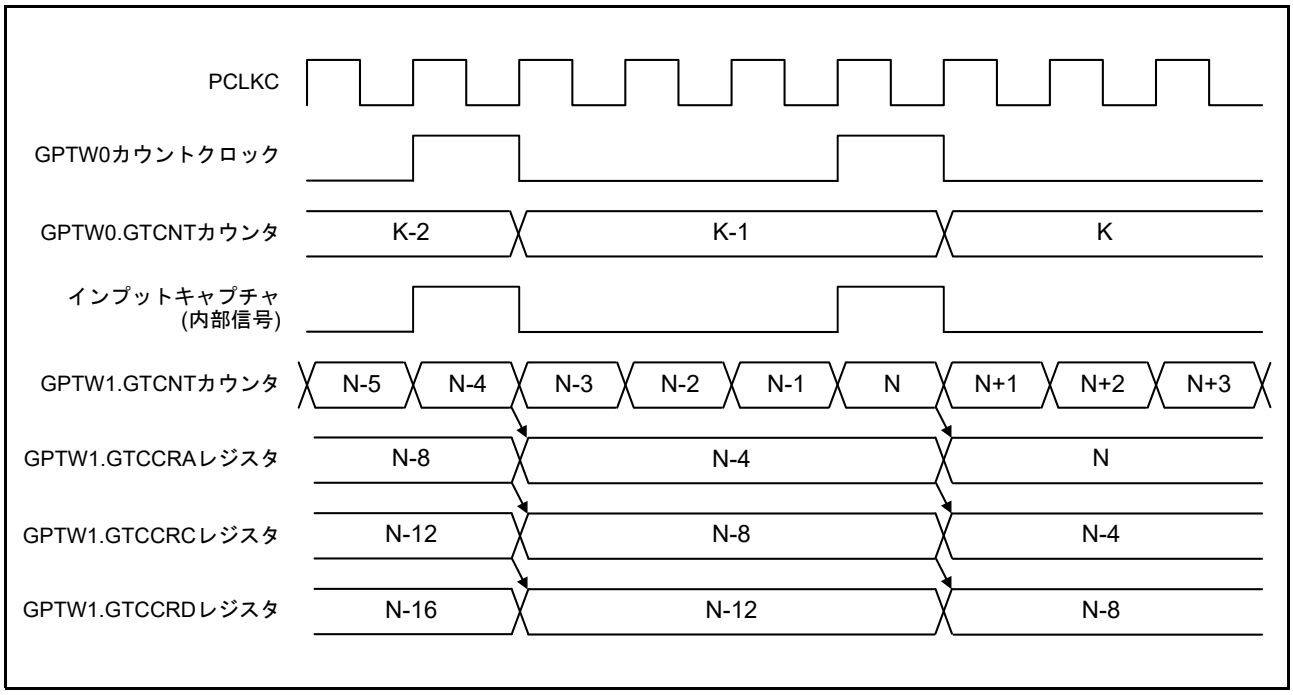


図 24.24　他チャネルのカウンタクロックによるインプットキャプチャ動作タイミング例

24.3.2 バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTPR レジスタと GTPBR、GTPDBR レジスタを組み合わせたバッファ動作
- GTCCRA レジスタと GTCCRC、GTCCRD レジスタを組み合わせたバッファ動作
- GTCCRB レジスタと GTCCRE、GTCCRF レジスタを組み合わせたバッファ動作
- GTADTRA レジスタと GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作
- GTADTRB レジスタと GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作

GTDTCR レジスタを設定することにより、以下のバッファ動作も可能です。

- GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作
- GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作

また、GTBER2 レジスタを設定することにより、以下のバッファ動作も可能です。

- GTCCRA レジスタと GTCCRE､GTCCRF レジスタを組み合わせたバッファ動作 (相補 PWM モード 3､4 の場合)
- GTOLBR.GTIOAB[4:0] ビット GTIOR.GTIOA[4:0] ビットを組み合わせたバッファ動作
- GTOLBR.GTIOBB[4:0] ビット GTIOR.GTIOB[4:0] ビットを組み合わせたバッファ動作

24.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。

相補 PWM モードの場合、マスタチャネル (GPTWn) のみで、GTPDBR レジスタからテンポラリレジスタ P への転送を行います。テンポラリレジスタ P は、マスタチャネル、スレーブチャネル 1 (GPTWn+1)、スレーブチャネル 2 (GPTWn+2) の各 GTPBR レジスタに転送されます。GTPBR レジスタから GTPR レジスタへの転送は、3 つのチャネルで同時に行われます。これにより、3 つのチャネルの同名レジスタには同じ値が格納されます。マスタチャネルの GTPR レジスタは、3 つのチャネルの GTCNT カウンタの周期を表します。スレーブチャネルでは、GTPR レジスタ値と GTDVU レジスタ値を用いて、周期が制御されます。

のこぎり波 PWM モード 2 では無効です。

バッファ転送のタイミングは、のこぎり波およびイベントカウントの場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時) または三角波の場合は谷となります。

のこぎり波およびイベントカウントの場合は、カウント動作中、下記に示すカウンタクリアが発生した場合でも、バッファ転送を行います。

- ハードウェア要因クリア
  (GTCSR.CSGTRGAR、CSGTRGAF、CSGTRGBR、CSGTRGBF、CSGTRGCR、CSGTRGCF、CSGTRGDR、CSGTRGDF、CSCARBL、CSCARBH、CSCAFBL、CSCAFBH、CSCBRAL、CSCBRAH、CSCBFAL、CSCBFAH、CSELCA、CSELCB、CSELCC、CSELCD、CSELCE、CSELCF、CSELCG、CSELCH、CSCMSC[2:0]、CP1CCE ビットで選択したクリア要因)
- ソフトウェアによるクリア
  (GTCSR.CCLR ビットが “1” の状態で、GTCLR.CCLRn ビットに “1” を書いた場合) (n = 0 ～ 7)

のこぎり波の場合、GTBER2.CCTPR ビットによって、カウンタクリアによるバッファ転送を禁止することが可能です。

相補 PWM モードの場合のバッファ転送タイミングを**表 24.11** に示します。

表24.11　相補PWMモードのGTPRバッファ転送タイミング

	相補PWMモード1	相補PWMモード2	相補PWMモード3 相補PWMモード4
GTPDBR ↓ テンポラリレジスタP	カウント動作中 • スレーブチャネル2(GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後 カウント停止中 • GTPDBRレジスタ書き込みの1 PCLKC後	カウント動作中 • スレーブチャネル2(GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後 カウント停止中 • GTPDBRレジスタ書き込みの1 PCLKC後	カウント動作中 • スレーブチャネル2(GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後 カウント停止中 • GTPDBRレジスタ書き込みの1 PCLKC後
テンポラリレジスタP ↓ GTPBR	アップカウント中間区間でテンポラリレジスタPに転送した場合 • テンポラリレジスタPに転送した1 PCLKC後 アップカウントの中間区間以外でテンポラリレジスタPに転送した場合 • 谷区間の終わり	ダウンカウント中間区間でテンポラリレジスタPに転送した場合 • テンポラリレジスタPに転送した1 PCLKC後 ダウンカウントの中間区間以外でテンポラリレジスタPに転送した場合 • 山区間の終わり	中間区間でテンポラリレジスタPに転送した場合 • テンポラリレジスタPに転送した1 PCLKC後 中間区間以外でテンポラリレジスタPに転送した場合 • 山/谷区間の終わり
GTPBR ↓ GTPR	山区間の終わり • アップカウント中間区間および山区間におけるカウンタクリア(GTCSR.CP1CCEビットの設定によるカウンタクリアを含む)	谷区間の終わり • ダウンカウント中間区間および谷区間におけるカウンタクリア	山区間の終わり 谷区間の終わり • カウンタクリア

GTPR レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットを “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

相補 PWM モードの場合は、GTBER.PR[1:0] ビットの設定にかかわらず、相補 PWM モード固有のバッファ動作を行います。

図 24.25 ～図 24.27 に GTPR レジスタのバッファ動作例を、**図 24.31** に GTPR レジスタのバッファ動作設定例を示します。

相補 PWM モードの場合の動作設定の詳細は**「24.3.3　PWM 出力動作モード」**を参照してください。

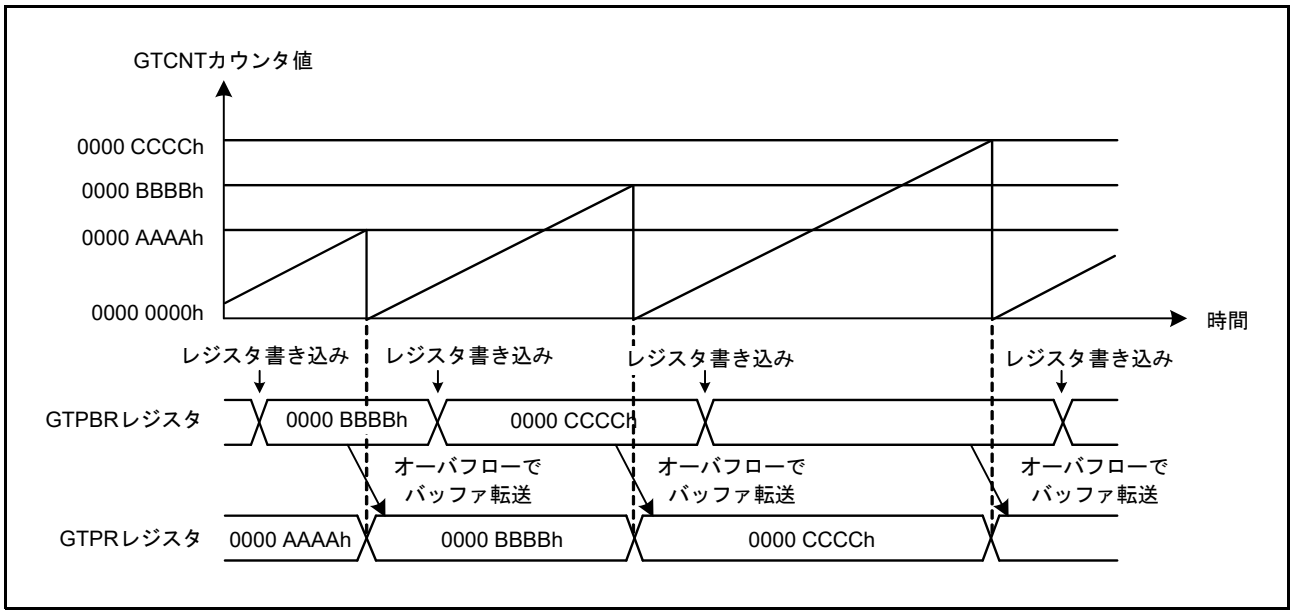


図 24.25　GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

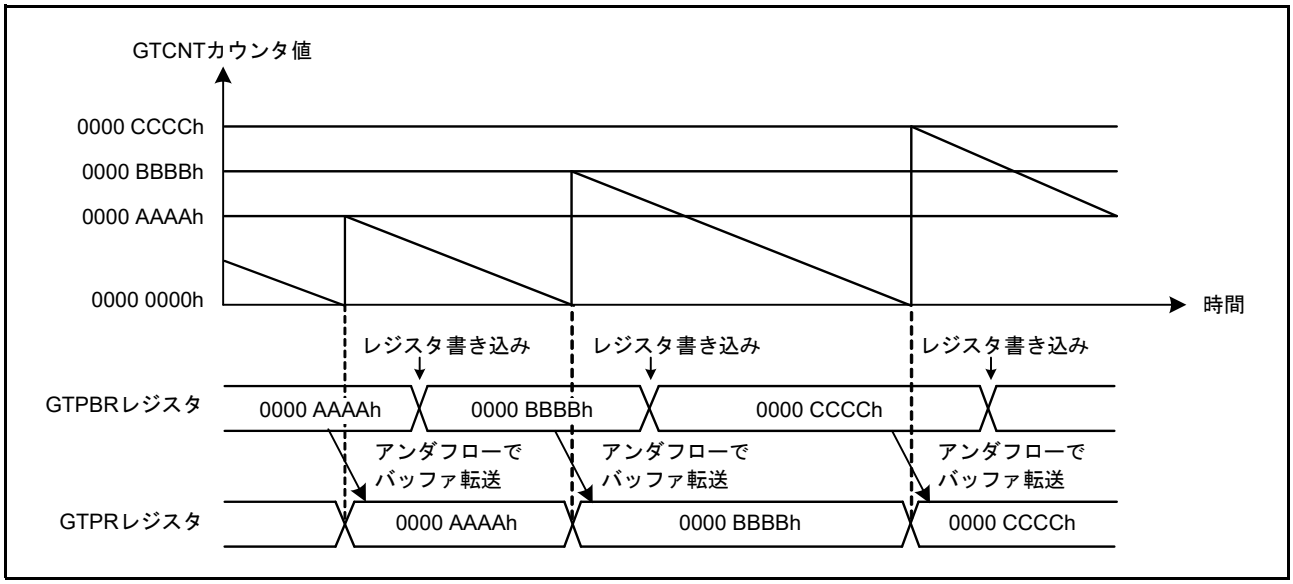


図 24.26　GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

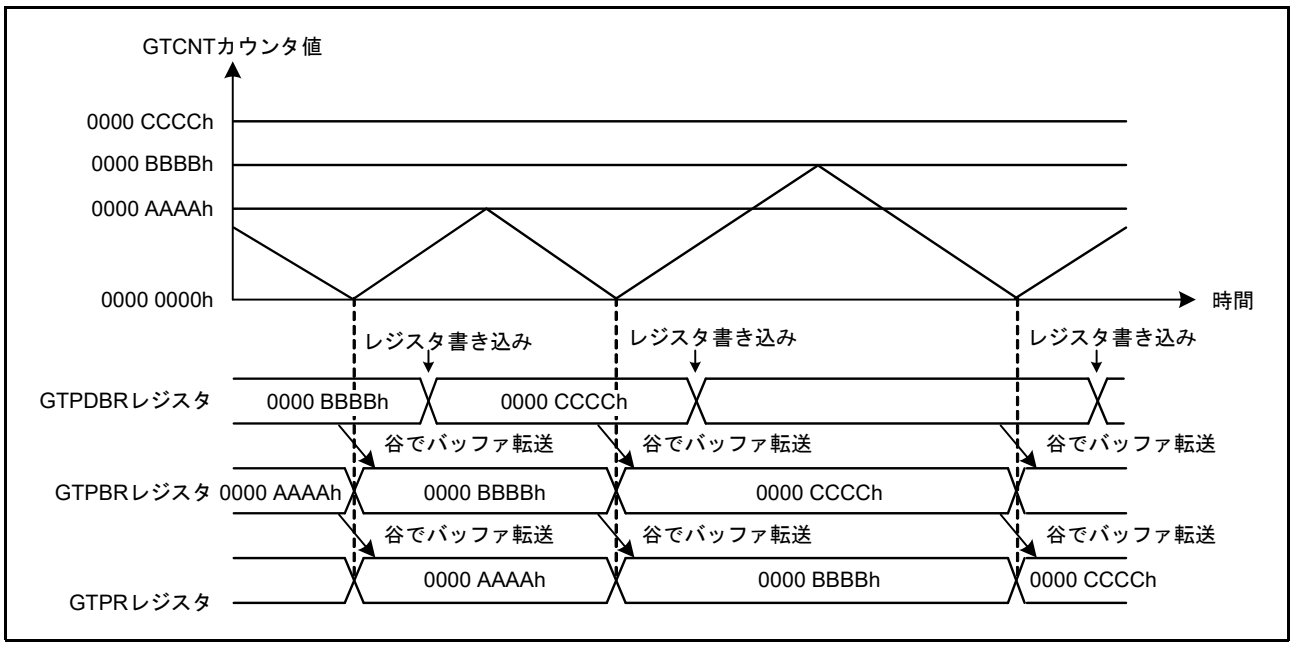


図 24.27　GTPR レジスタのダブルバッファ動作例 (三角波の場合)

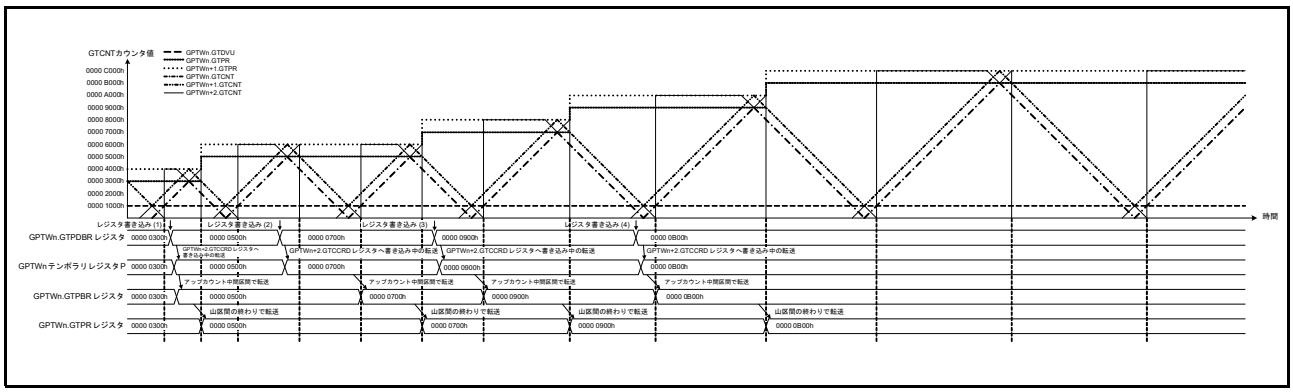


図 24.28　GTPR レジスタのダブルバッファ動作例 (相補 PWM モード 1 の場合)

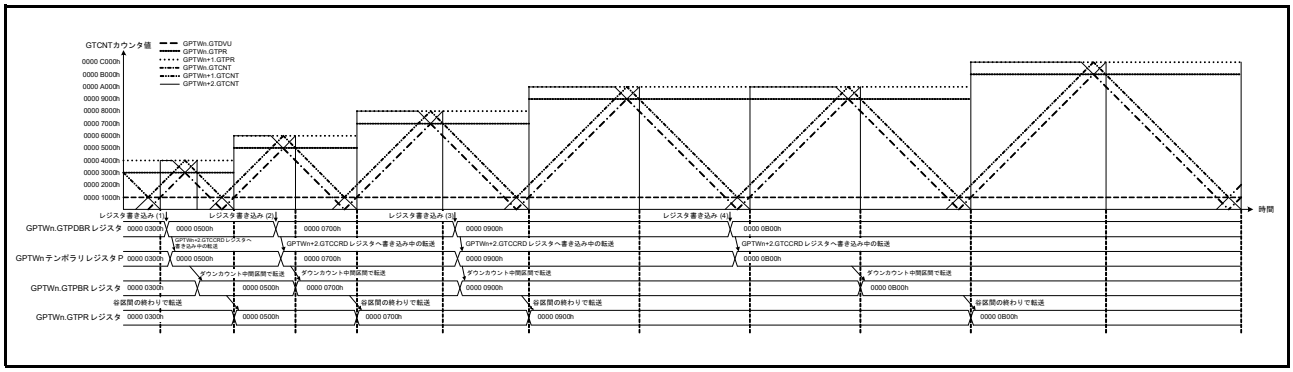


図 24.29　GTPR レジスタのダブルバッファ動作例 (相補 PWM モード 2 の場合)

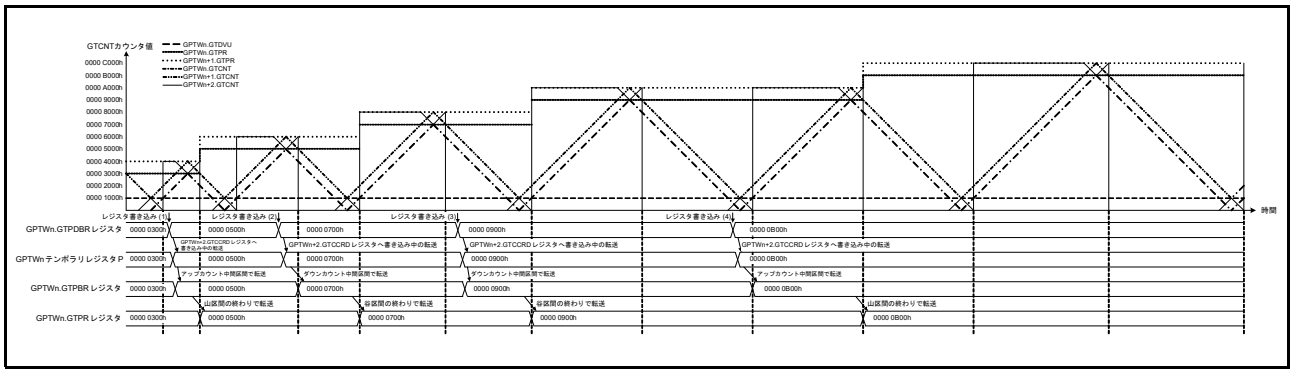


図 24.30　GTPR レジスタのダブルバッファ動作例 (相補 PWM モード 3、相補 PWM モード 4 の場合)

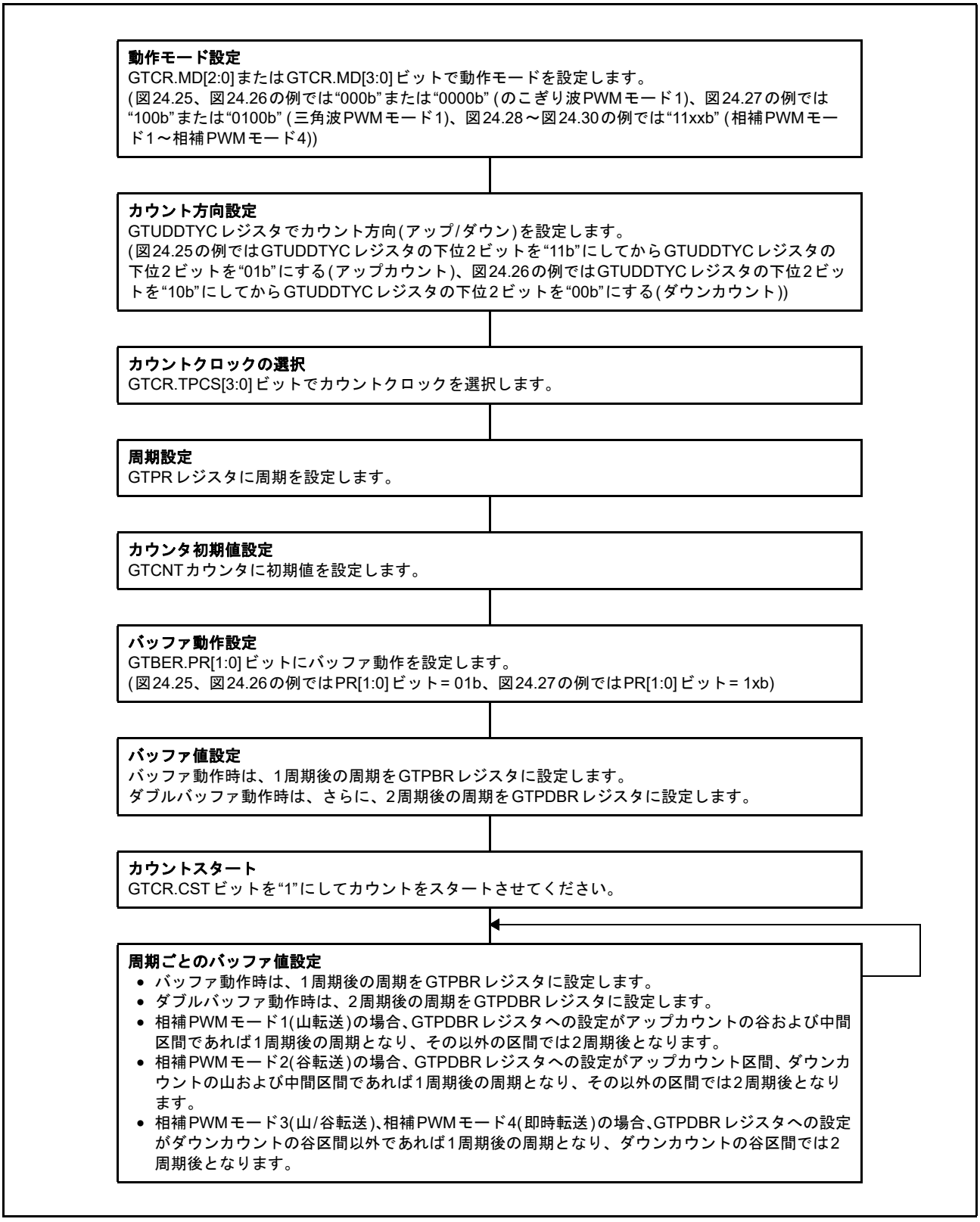


図 24.31 GTPR レジスタのバッファ動作設定例

24.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ (GTCCRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ (GTCCRB レジスタのダブルバッファレジスタ) として動作します。

GTCCRA、GTCCRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0]、CCRB[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、相補 PWM モードの場合、GTBER.CCRA[1:0]、CCRB[1:0] ビットの設定に関わらず、PWM 出力動作モード固有のバッファ動作を行います。

以下、アウトプットコンペア動作時、インプットキャプチャ動作時のバッファ動作について説明します。

(1) GTCCRA、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、相補 PWM モードの場合、バッファ転送は、GTBER.CCRA[1:0]、CCRB[1:0] ビットの設定に関わらず、PWM 出力動作モード固有の操作を行います。詳細は「24.3.3 PWM 出力動作モード」を参照してください。これらを除く、PWM 出力動作モードにおける通常のバッファ転送は、下記の 4 ケースがあります。

- オーバフロー / アンダフローによるバッファ転送
  のこぎり波およびイベントカウント動作の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷 (三角波 PWM モード 1) または山 / 谷 (三角波 PWM モード 2) でバッファ転送を行います。
- カウンタクリアによるバッファ転送
  のこぎり波およびイベントカウント動作の場合は、カウント動作中、「24.3.2.1 GTPR レジスタのバッファ動作」と同様のカウンタクリア要因によって、オーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時) の場合と同じバッファ転送を行います。
  のこぎり波の場合、GTBER2.CCTCm (m = A, B) ビットによって、カウンタクリアによる GTCCRm レジスタのバッファ転送を禁止することが可能です。
  三角波の場合は、カウンタクリアによるバッファ転送を行いません。
- コンペアマッチによるバッファ転送
  のこぎり波の場合、GTBER2.CMTCm (m = A, B) ビットよるバッファ転送許可によって GTCCRm レジスタのコンペアマッチによる GTCCRm レジスタのバッファ転送を行います。
- 強制バッファ転送
  のこぎり波、三角波、およびイベントカウントの場合ともに、カウントストップ中に GTBER.CCRSWT ビットに “1” を書くと、GTCCRA、GTCCRB レジスタのバッファ転送を強制的に行います。
  のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、カウントストップ中の強制バッファ転送により、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B のバッファ転送も行います。

GTBER.DBRTECm (m = A, B) ビットを “1” にして、のこぎり波ワンショットパルスモード、三角波 PWM モード 3 を使用すると、GTBER.BD[0] ビットまたはバッファ転送拡張間引き機能によって、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、「24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」を参照してください。

図 24.32 ～図 24.35 に GTCCRA、GTCCRB レジスタのバッファ動作例を、図 24.36 に GTCCRA、

GTCCRB レジスタのバッファ動作設定例を示します。

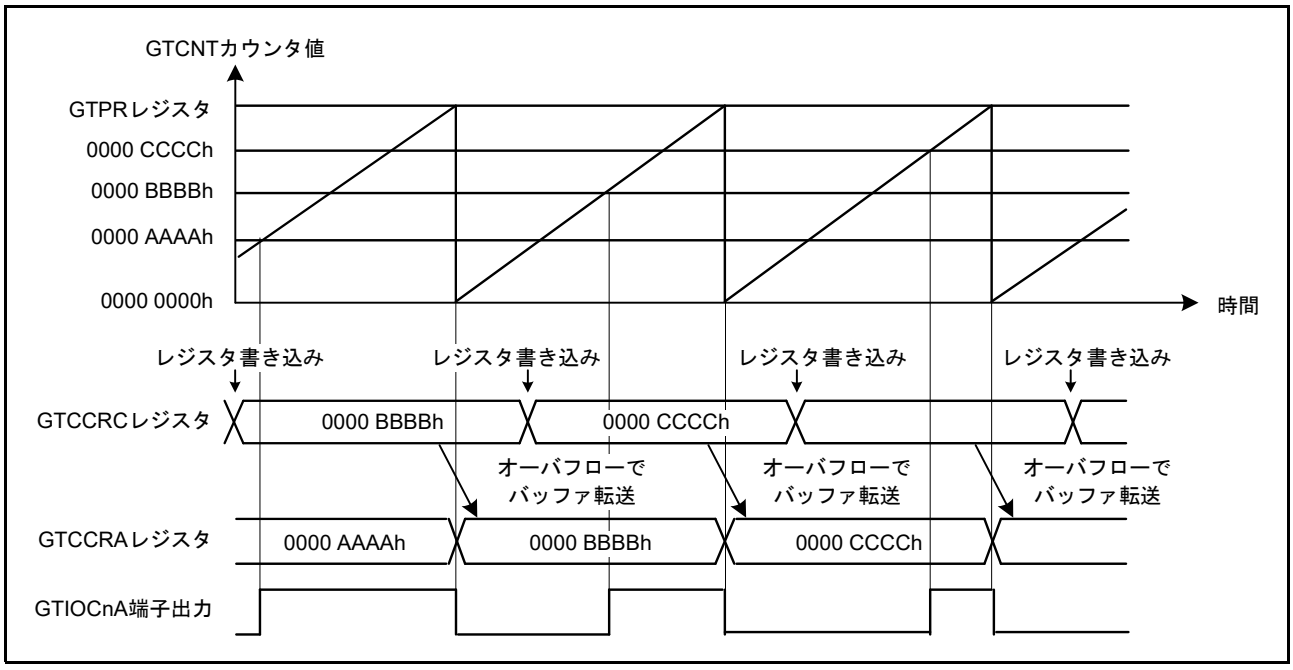


図 24.32　GTCCRA、GTCCRB レジスタのバッファ動作例
(アウトプットコンペア、のこぎり波またはのこぎり波 PWM モード 1 でアップカウント、
GTCCRA レジスタコンペアマッチで High 出力、周期の終わりで Low 出力の場合) (n = 0 ～ 7)

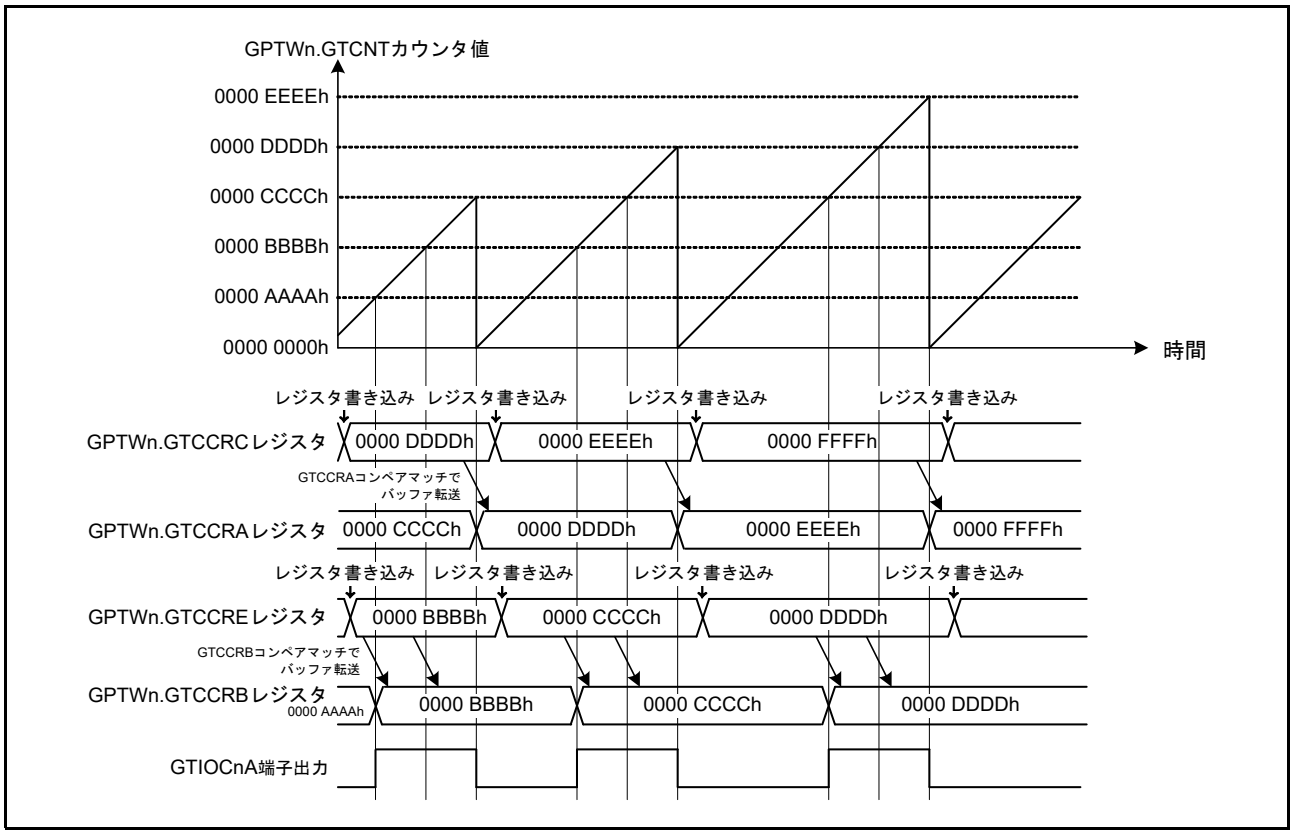


図 24.33　GTCCRA、GTCCRB レジスタのバッファ動作例
(アウトプットコンペア、のこぎり波 PWM モード 2、GTCCRA レジスタコンペアマッチでバッファ転送、カウンタクリア、Low 出力、GTCCRB レジスタコンペアマッチでバッファ転送、
High 出力の場合) (n = 0 ～ 7)

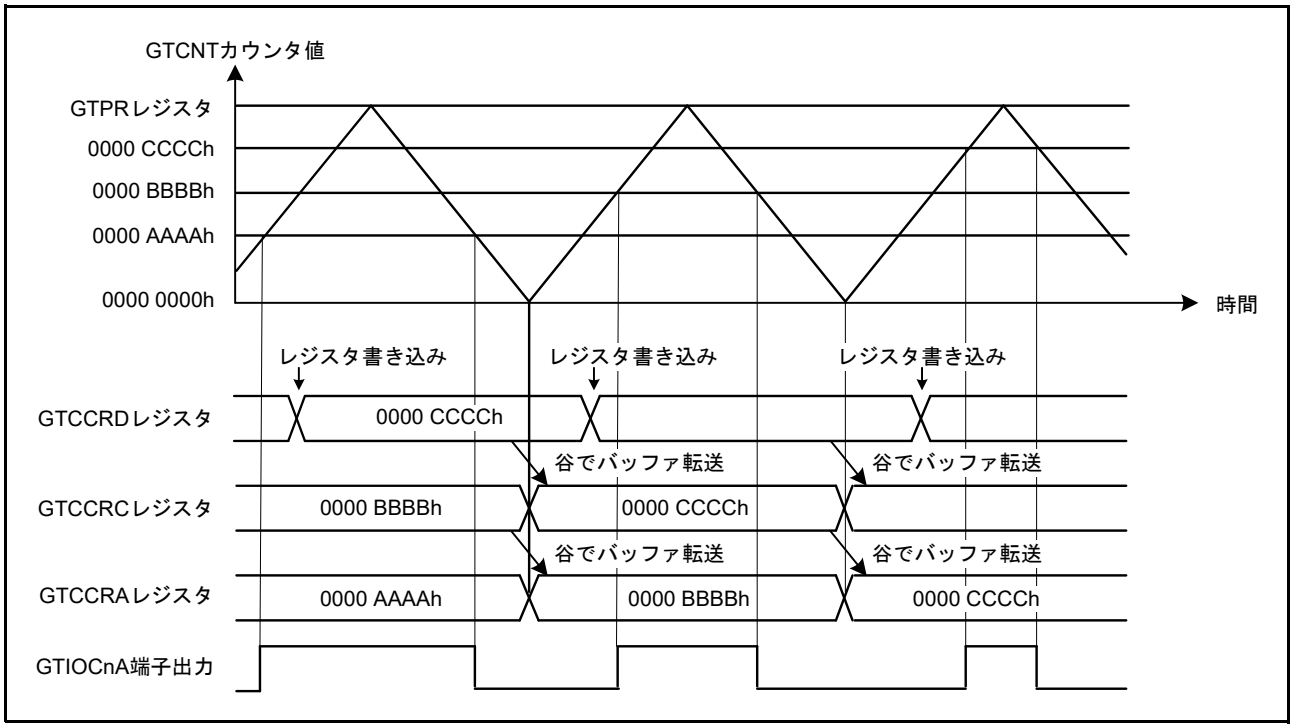


図 24.34　GTCCRA、GTCCRB レジスタのダブルバッファ動作例
(アウトプットコンペア、三角波、谷でバッファ転送、GTCCRA レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 7)

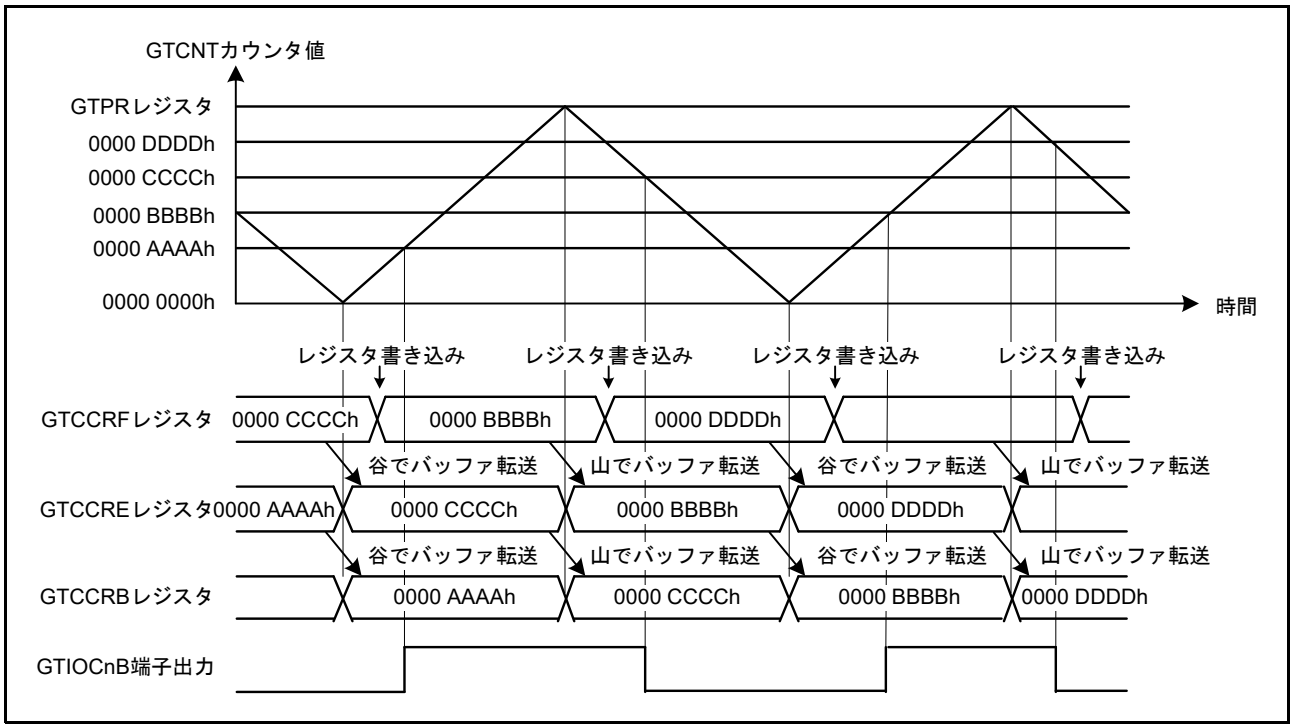
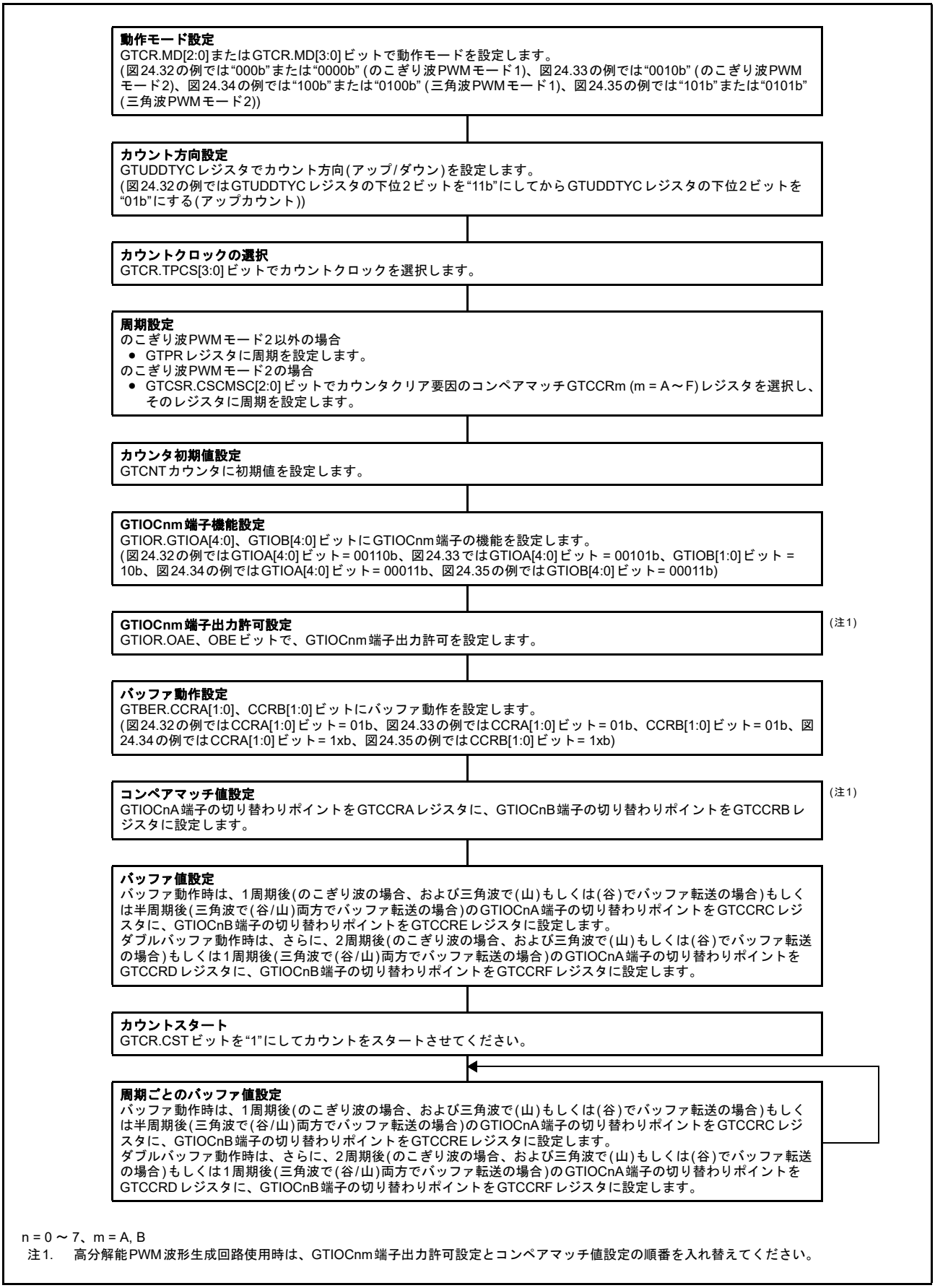


図 24.35　GTCCRA、GTCCRB レジスタのダブルバッファ動作例
(アウトプットコンペア、三角波、谷 / 山両方でバッファ転送、GTCCRB レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 7)



n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.36　GTCCRA、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNT カウンタの値を GTCCRA、GTCCRB レジスタに転送すると同時に、それまで格納されていた GTCCRA、GTCCRB レジスタの値をバッファレジスタに転送します。インプットキャプチャでは、カウンタクリアによるバッファ転送を行いません。

図 24.37、図 24.38 に GTCCRA、GTCCRB レジスタのバッファ動作例を、図 24.39 に GTCCRA、GTCCRB レジスタのバッファ動作設定例を示します。

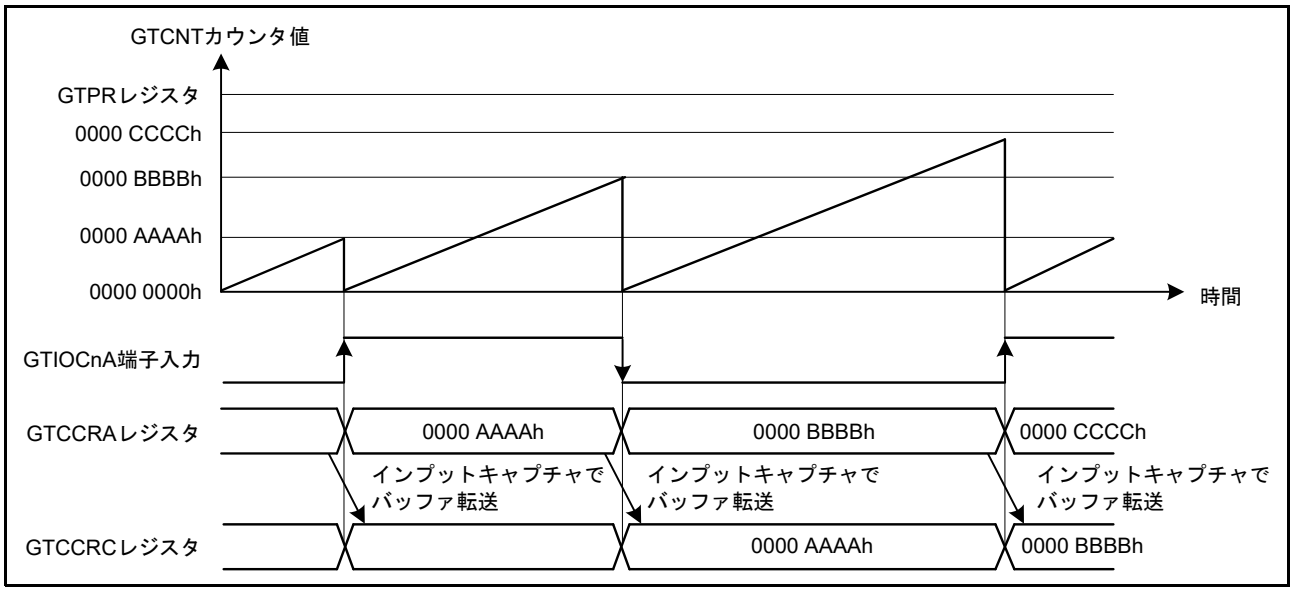


図 24.37　GTCCRA、GTCCRB レジスタのバッファ動作例
(のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ～ 7)

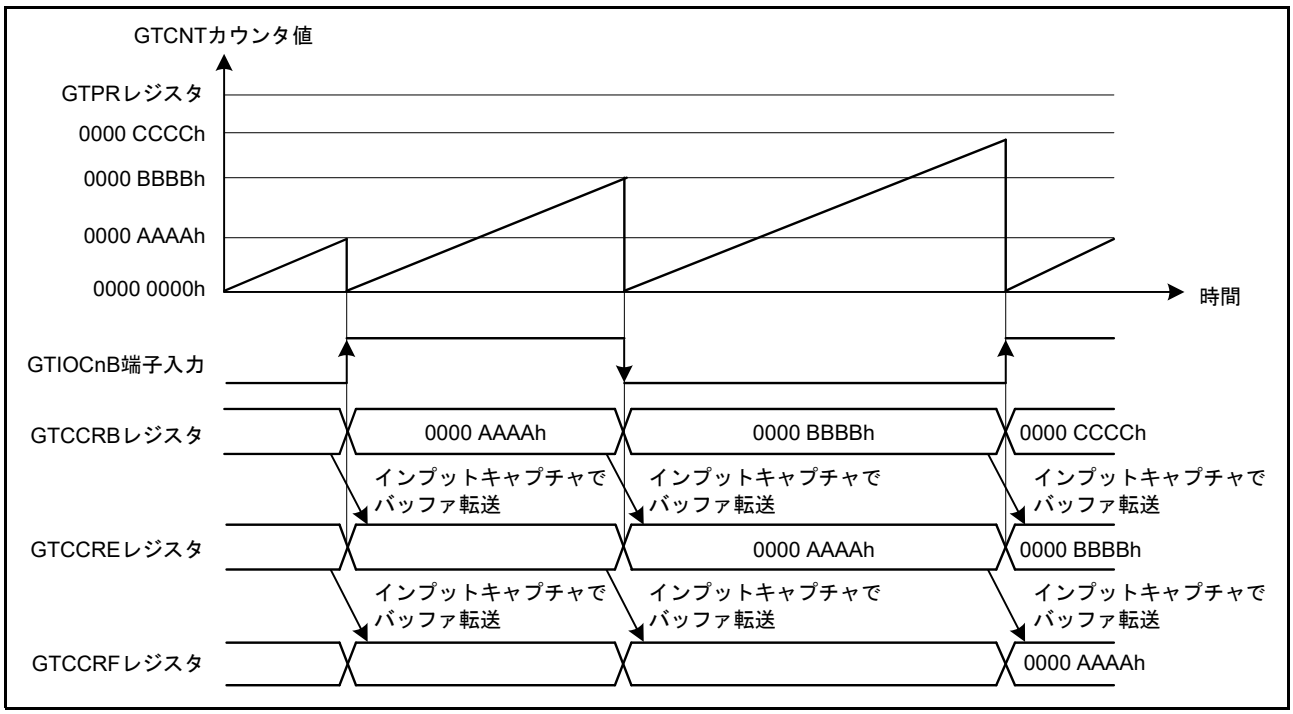


図 24.38　GTCCRA、GTCCRB レジスタのダブルバッファ動作例
(のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ～ 7)

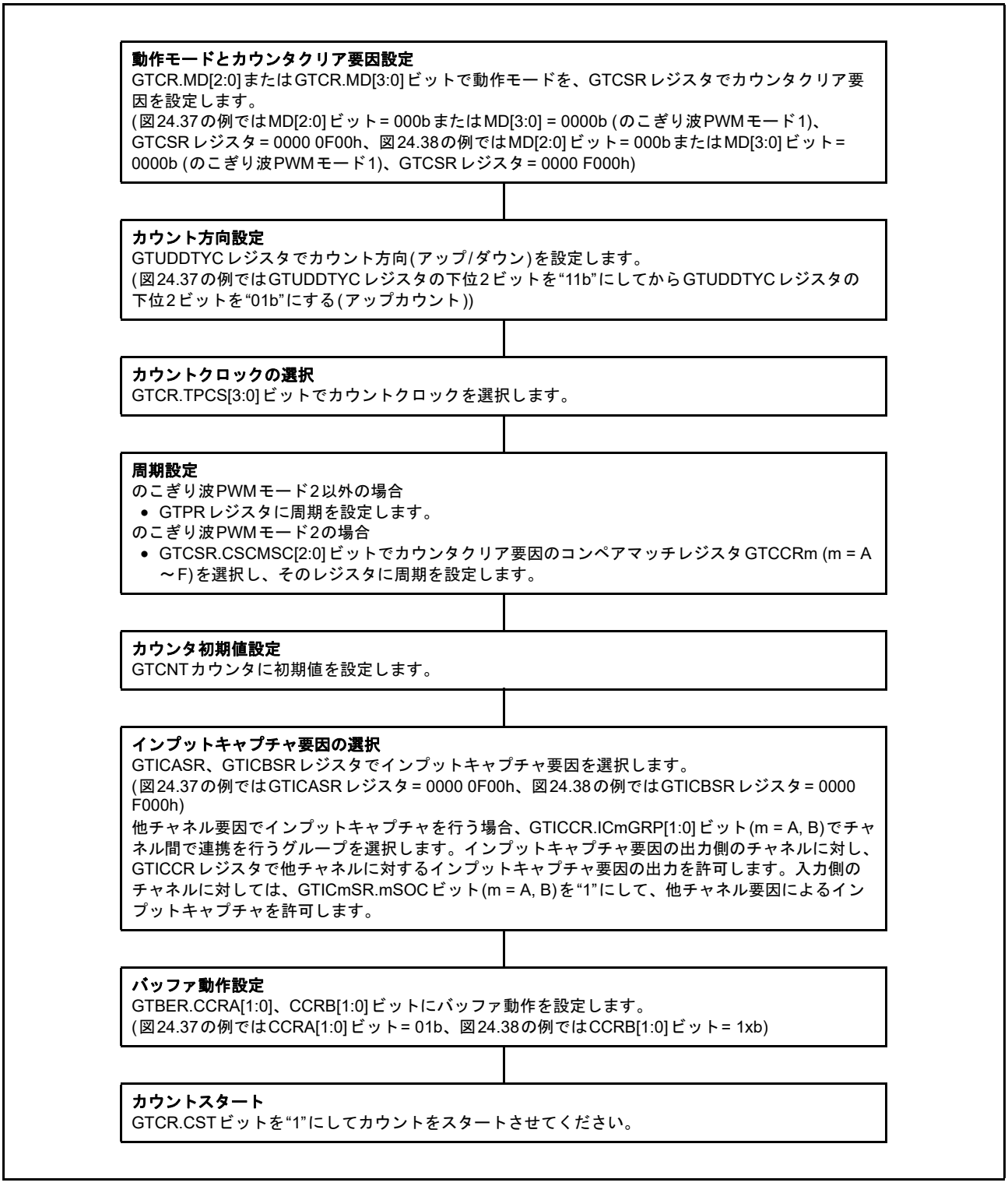


図 24.39 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

24.3.2.3　GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ (GTADTRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ (GTADTRB レジスタのダブルバッファレジスタ) として動作します。

GTADTRA、GTADTRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA、ADTDB ビットを “1” に、シングルバッファ動作させる場合には “0” にします。GTADTRA、GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0]、ADTTB[1:0] ビットを “00b” にします。

バッファ転送のタイミングは ADTTA[1:0]、ADTTB[1:0] ビットで設定でき、のこぎり波の場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時)、または三角波および相補 PWM モードの場合は ADTTA[1:0]、ADTTB[1:0] ビットが “01b” のときは山、“10b” のときは谷、“11b” のときは谷 / 山の両方となります。

のこぎり波の場合は、カウント動作中かつ ADTTA[1:0]、ADTTB[1:0] ビットの設定が “00b” 以外の条件で、「24.3.2.1　GTPR レジスタのバッファ動作」と同様のカウンタクリア要因によって、オーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時) の場合と同じバッファ転送を行います。

相補 PWM モードの場合、スレーブチャネル 2 の GTCCRD レジスタへの書き込みの 1 PCLK 後にバッファ転送を行います。

のこぎり波の場合、GTBER2.CCTADm (m = A, B) ビットによって、カウンタクリアによる GTADTRm レジスタのバッファ転送を禁止することが可能です。また GTBER2.CMTADm ビットによるバッファ転送許可によって GTADTRm レジスタのコンペアマッチによる GTADTRm レジスタのバッファ転送を行います。

図 24.40 ～図 24.44 に GTADTRA、GTADTRB レジスタのバッファ動作例を、図 24.45 に GTADTRA、GTADTRB レジスタのバッファ動作設定例を示します。

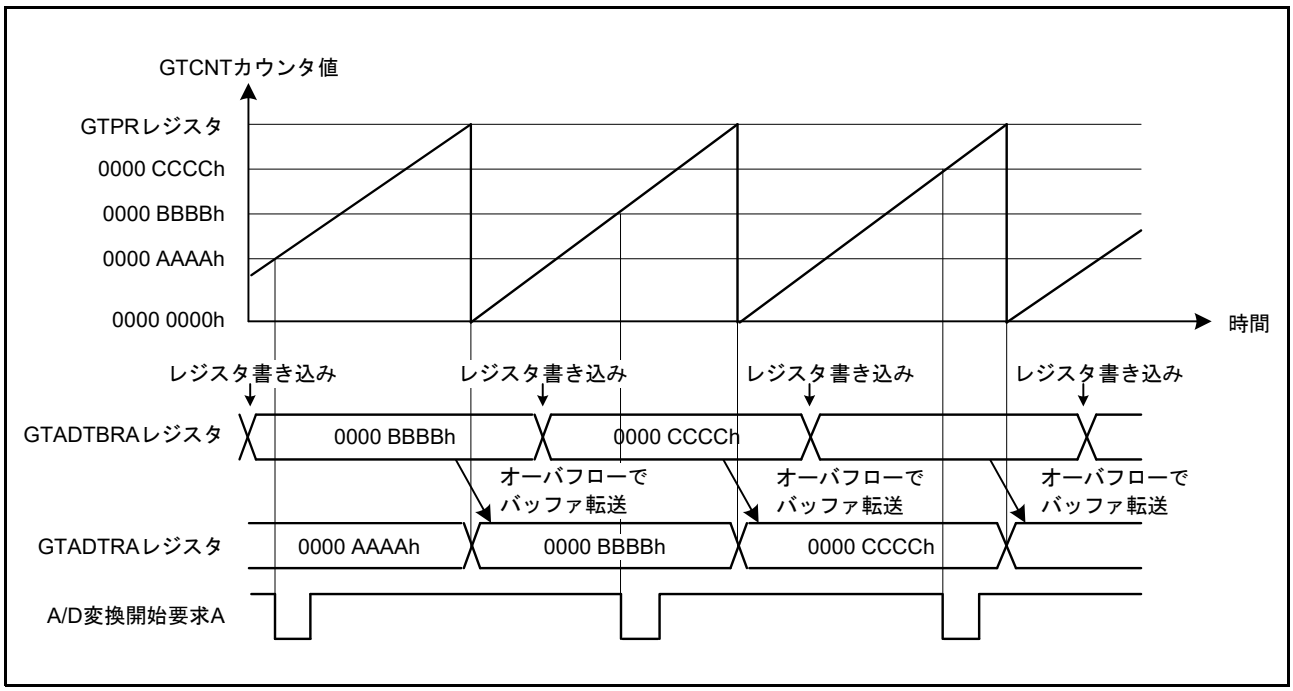


図 24.40　GTADTRA、GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合)

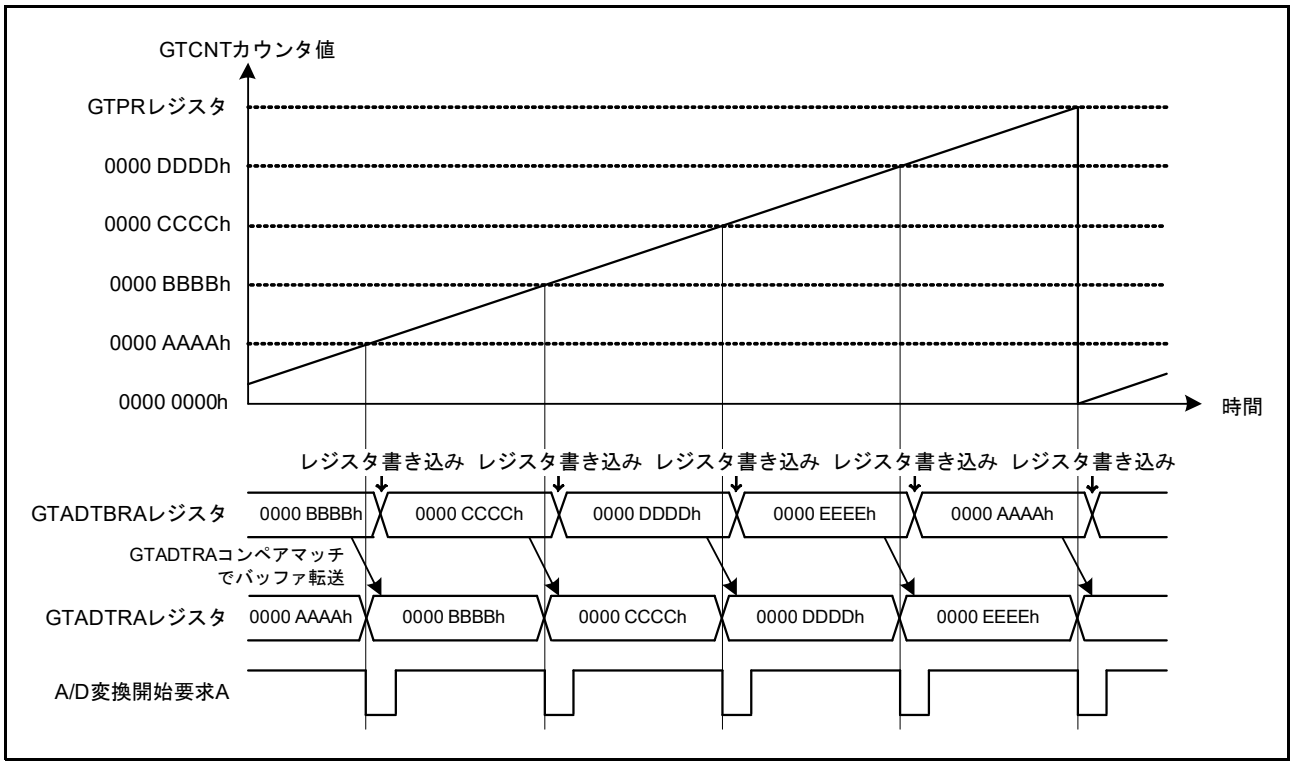


図 24.41　GTADTRA、GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、GTADTRA レジスタコンペアマッチでバッファ転送、アップカウントで A/D 変換開始要求発生の場合)

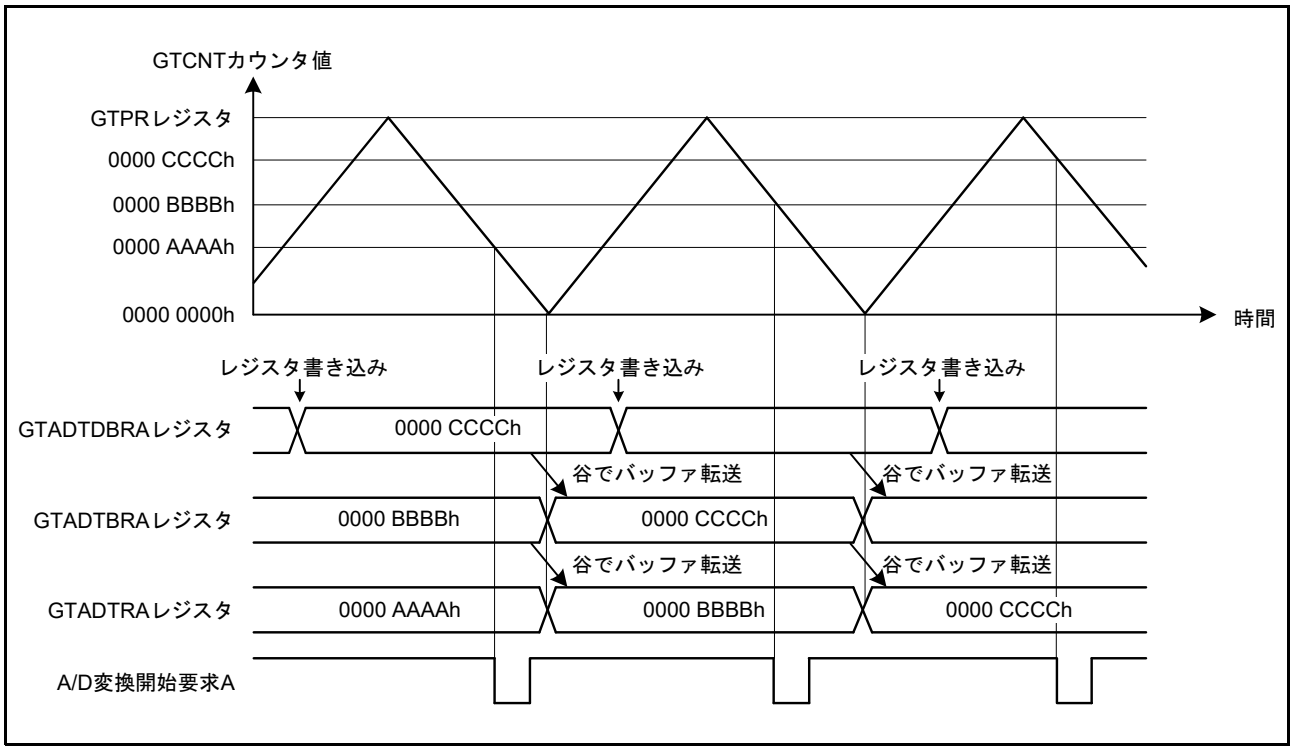


図 24.42　GTADTRA、GTADTRB レジスタのダブルバッファ動作例
(三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合)

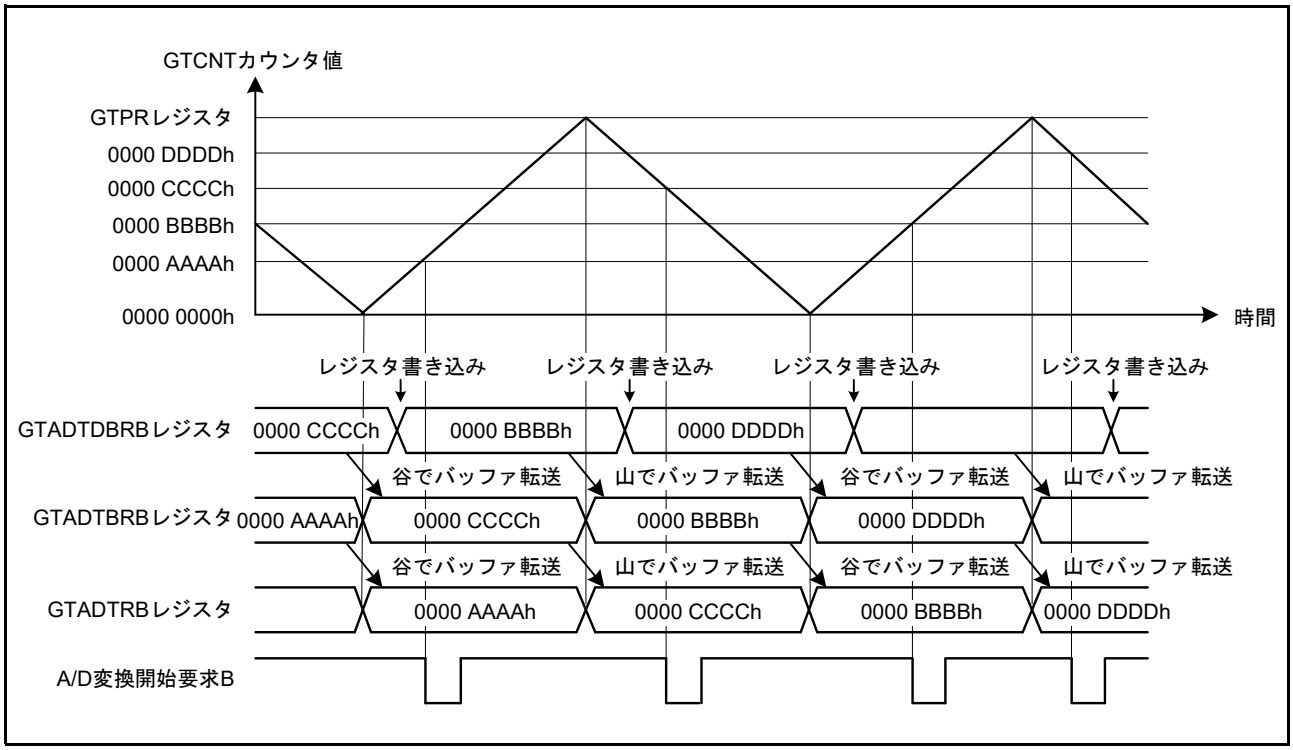


図 24.43 GTADTRA、GTADTRB レジスタのダブルバッファ動作例
(三角波、谷 / 山両方でバッファ転送、アップカウント / ダウンカウント両方で A/D 変換開始要求発生の場合)

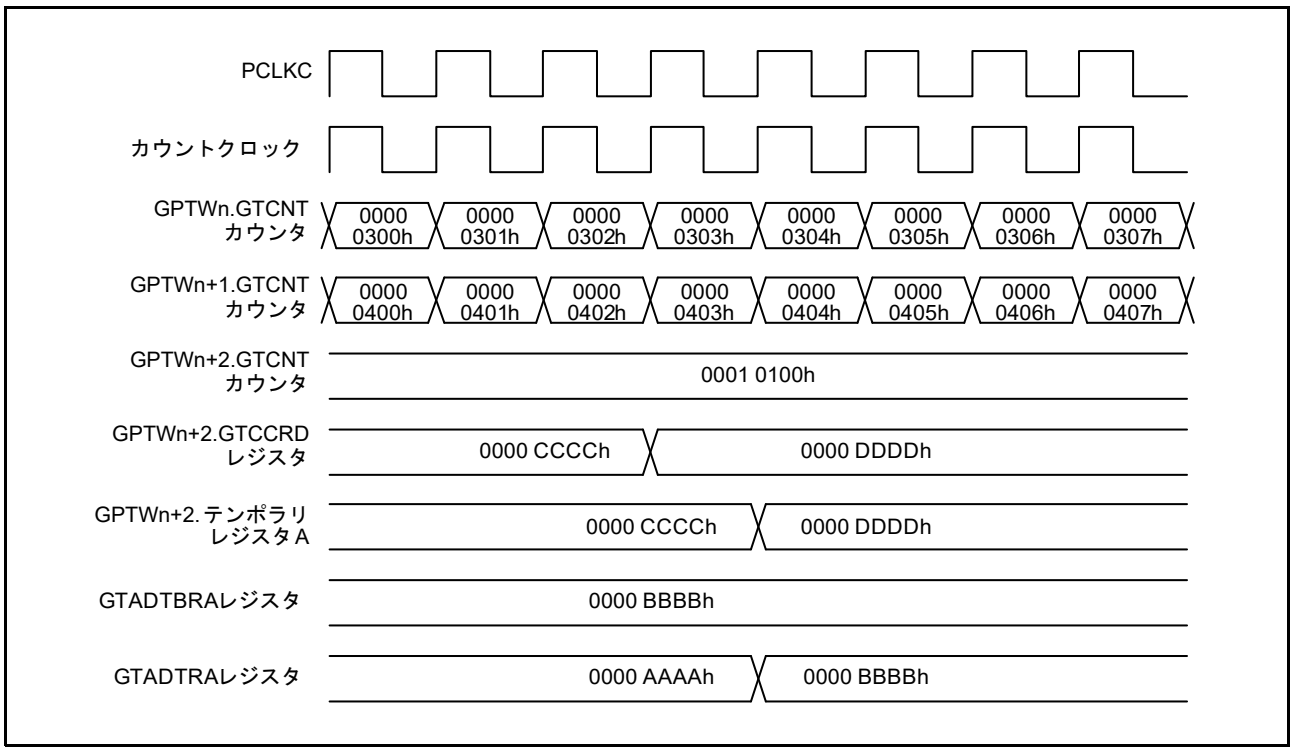


図 24.44 GTADTRA、GTADTRB レジスタの相補 PWM モードにおける
スレーブチャネル 2 の GTCCRD レジスタ更新時のバッファ動作例

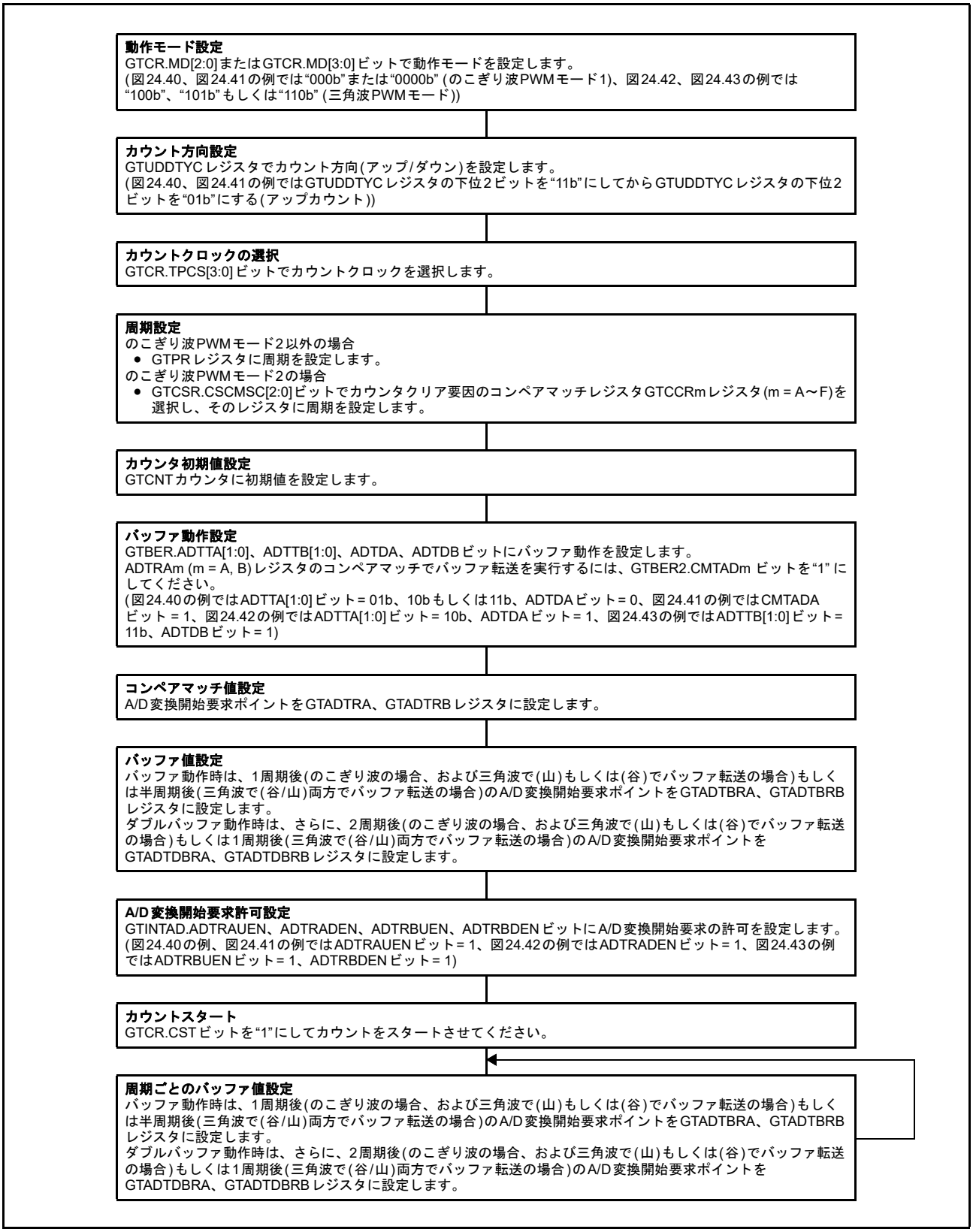


図 24.45　GTADTRA、GTADTRB レジスタのバッファ動作設定例

24.3.2.4　GTIOA[4:0]、GTIOB[4:0] ビットのバッファ動作

GTOLBR.GTIOAB[4:0] ビットは、GTIOR.GTIOA[4:0] ビットのバッファレジスタ、GTOLBR.GTIOBB[4:0] ビットは、GTIOR.GTIOB[4:0] ビットのバッファレジスタとして動きます。

バッファ転送のタイミングは、GTBER2.OLTTm[1:0] ビット (m = A, B) で設定でき、のこぎり波の場合は周期の終わり、GTCCR レジスタのコンペアマッチから選択でき、三角波、相補 PWM モードの場合は山、谷、山 / 谷両方から選択でます。GTBER2.OLTTm[1:0] ビットが “00b” の場合は、バッファ転送を行いません。

相補 PWM モードの場合、バッファ転送により相補 PWM のデッドタイム期間に GTIOA、GTIOB が変換する設定を禁止します。バッファ転送により GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0] ビットを変更する場合、山でバッファ転送する場合は GTCCRm (m = A, C, E) < GTPR、谷でバッファ転送する場合は GTDVU < GTCCRm となるように GTCCRm レジスタを設定し、山、谷のタイミングがデッドタイム期間に入らない設定にして、GTOLBR.GTIOAB[4:0]、GTOLBR.GTIOBB[4:0] ビットを変更してください。

GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0] ビットのバッファ動作例を図 24.46 ～図 24.48 に、GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0] ビットのバッファ動作設定例を図 24.49 に示します。

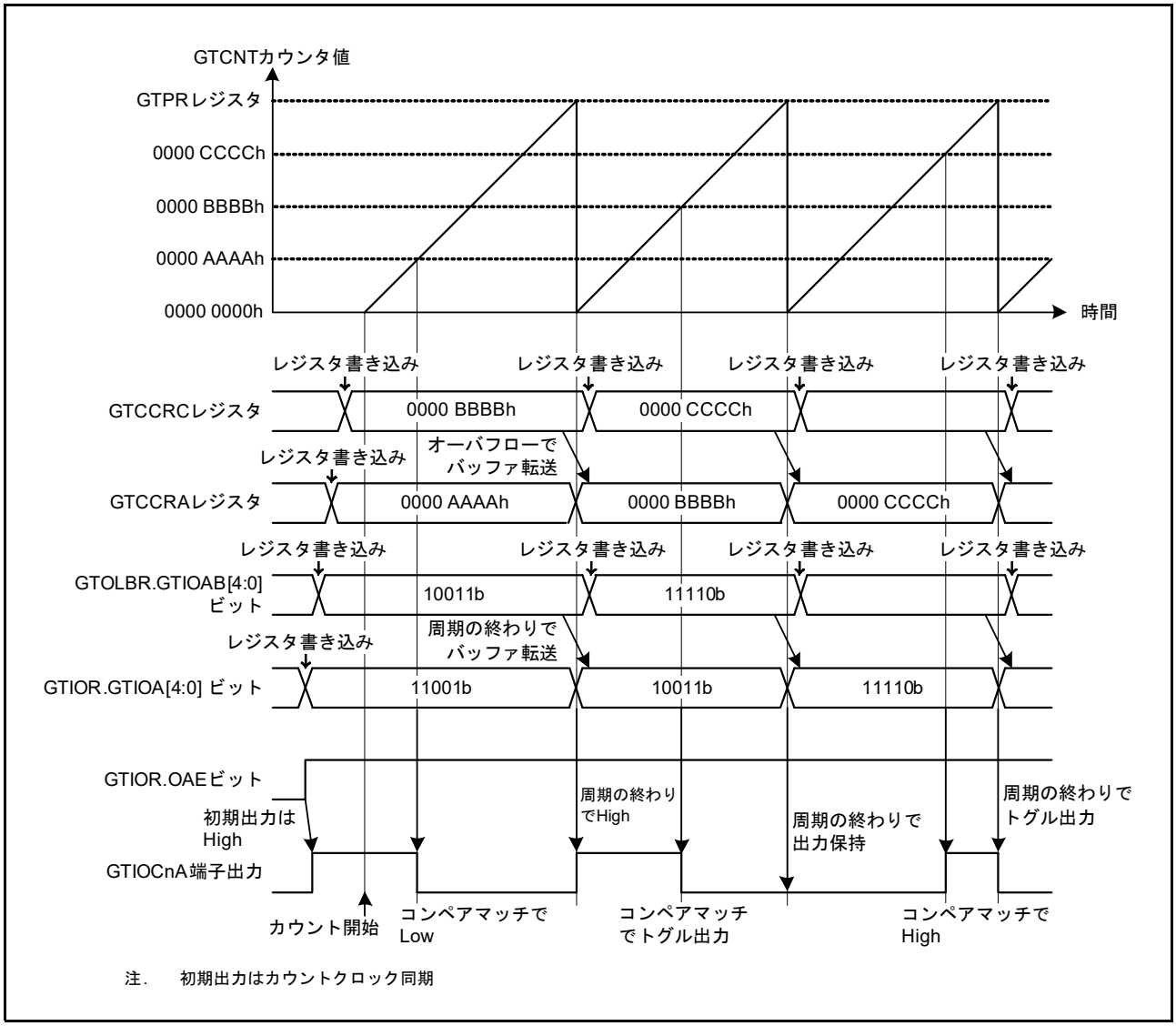
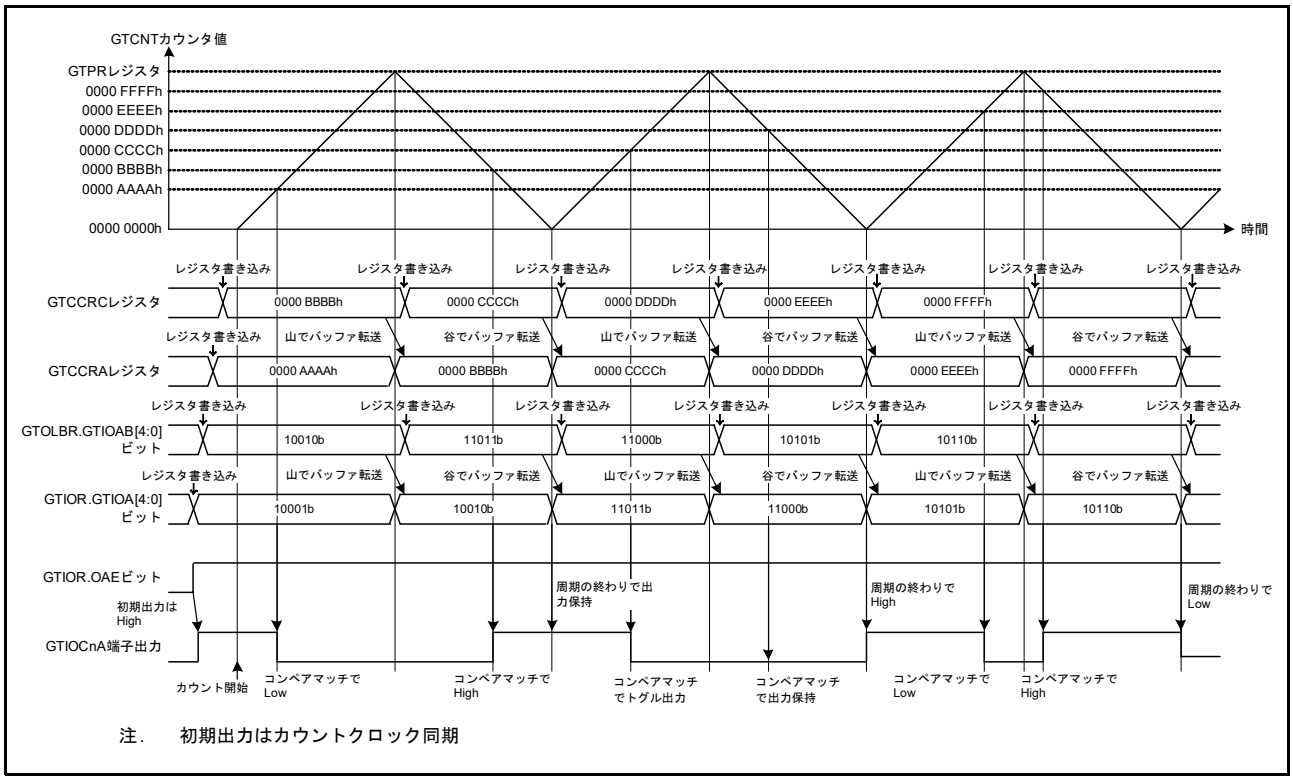
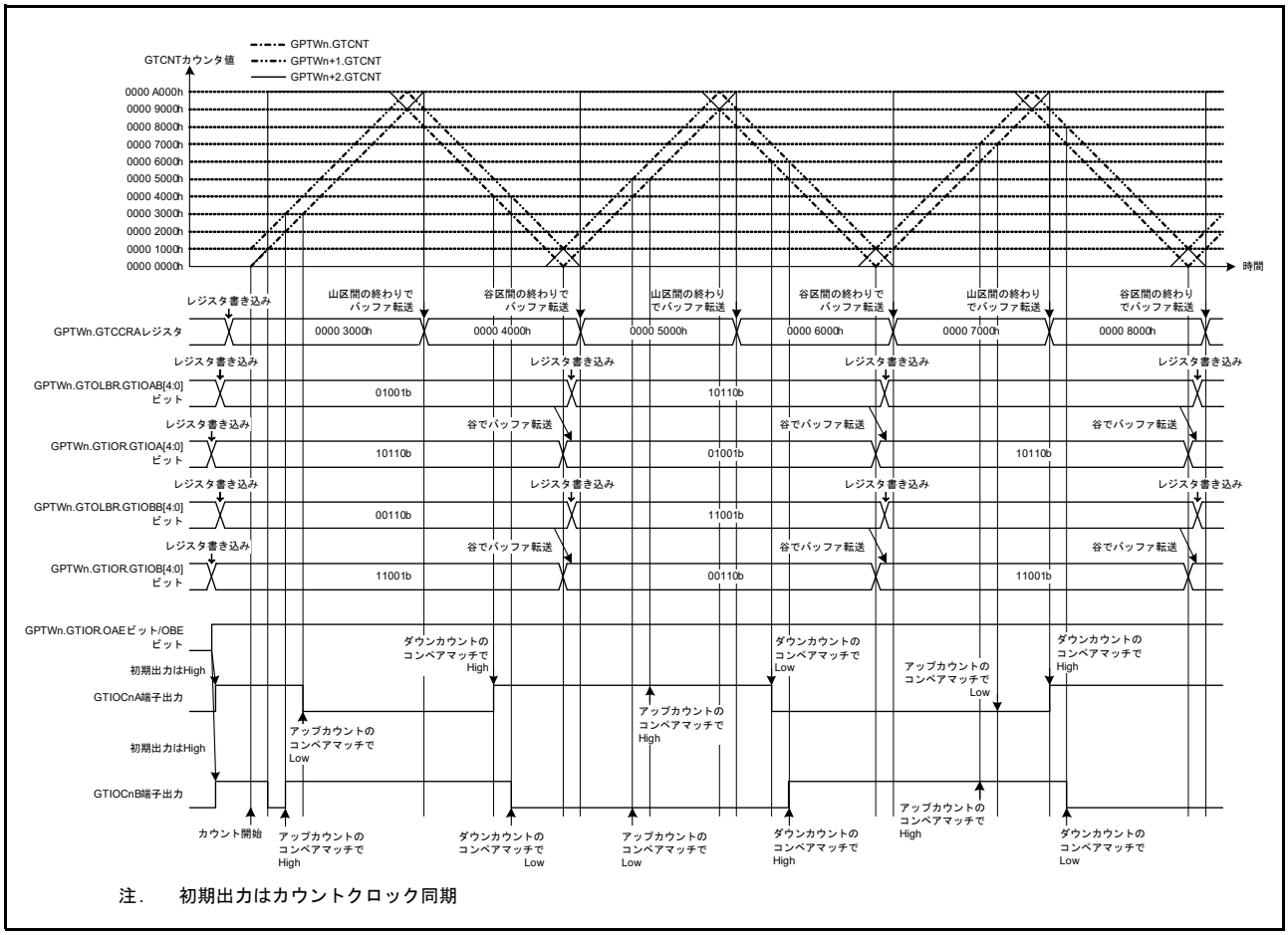


図 24.46　GTIOA[4:0]、GTIOB[4:0] ビットのバッファ動作例
(のこぎり波 PWM モード 1 でアップカウント、周期の終わりでバッファ転送の場合)



注. 初期出力はカウントクロック同期

図 24.47 GTIOA[4:0]、GTIOB[4:0] ビットのバッファ動作例
(三角波 PWM モード 2、山と谷でバッファ転送の場合)



注.　初期出力はカウントクロック同期

図 24.48　GTIOA[4:0]、GTIOB[4:0] ビットのバッファ動作例
(相補 PWM モード 3、谷でバッファ転送の場合)

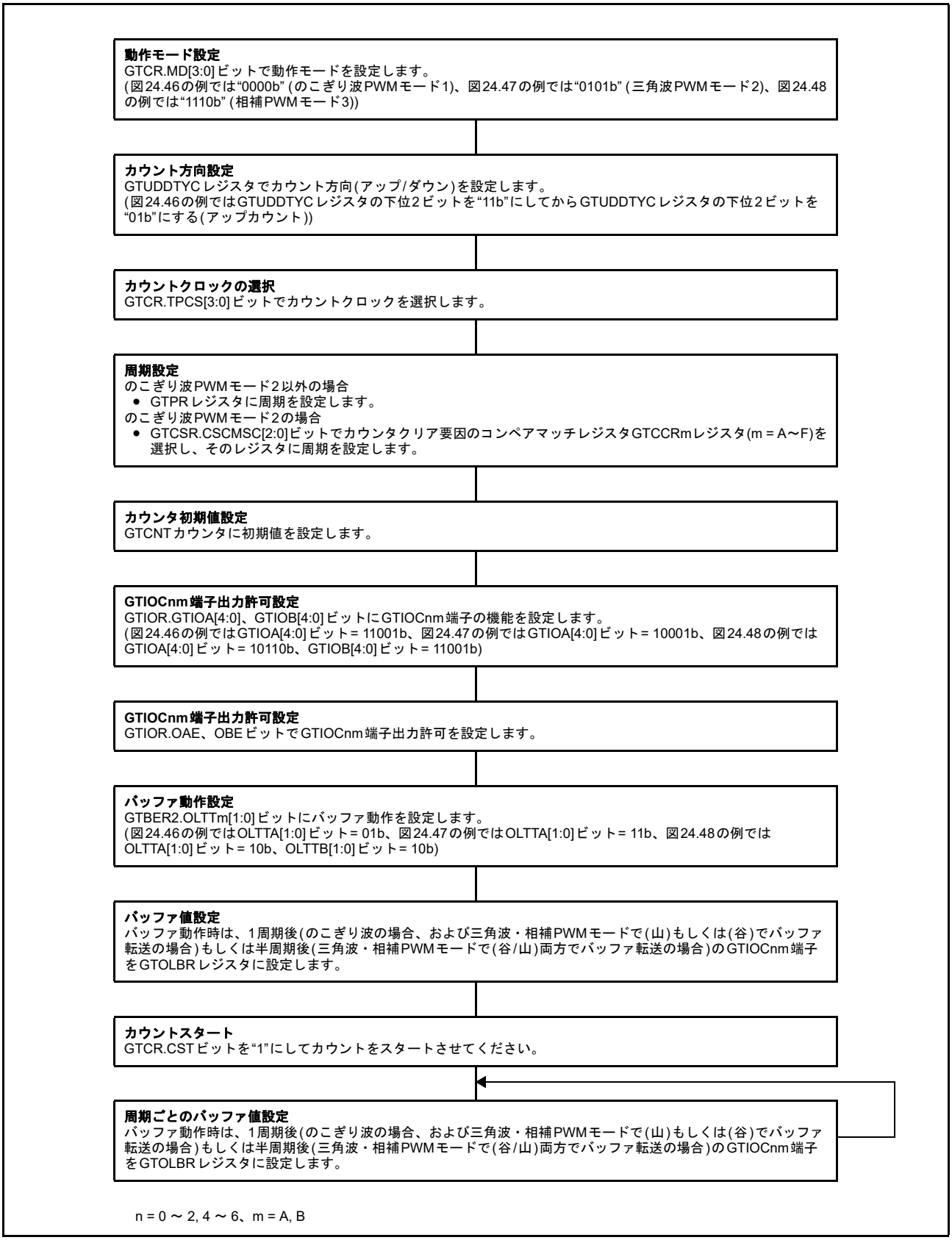


図 24.49　GTIOA[4:0]、GTIOB[4:0] ビットのバッファ動作設定例

24.3.3 PWM 出力動作モード

GTCNT カウンタと GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子 (n = 0 ～ 7) に PWM 波形を出力することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

相補 PWM モードでは、デューティ 0%、100% 近傍の PWM 出力パルス幅のリニアリティを保証したデッドタイム付き PWM 波形 (正相、逆相) を出力することができます。

のこぎり波、三角波、相補 PWM モード時にマスタチャネルとなるチャネルでは、のこぎり波 PWM モード 2 以外の PWM 出力動作モードの場合、GTIOR.PSYE ビットを “1” に設定することにより、のこぎり波の場合は周期の終わり、三角波と相補 PWM モードの場合は山 / 谷 /GTCNT カウンタクリアでトグルする PWM 周期に同期した信号を GTCPPO0、GTCPPO4 出力端子から出力することができます。GTCPPO0、GTCPPO4 出力端子の初期出力は Low、カウントスタートによって High になります。

(1) のこぎり波 PWM モード 1

のこぎり波 PWM モード 1 は、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波 (半波) 動作させ、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子に PWM 波形を出力するモードです。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

GTIOR.OmEOCD ビットに “0” が設定され、周期の終わりと GTCCRm レジスタ (m = A, B) のコンペアマッチのタイミングが一致する場合、GTIOR.GTIOm[3:2] ビットに設定した周期の終わりで PWM 出力動作を行います。

GTIOR.OmEOCD ビットに “1” が設定されている場合は、GTIOCnm 端子は出力を保持します。

図 24.50 にのこぎり波 PWM モード 1 の動作例を、**図 24.51** にのこぎり波 PWM モード 1 の設定例を示します。

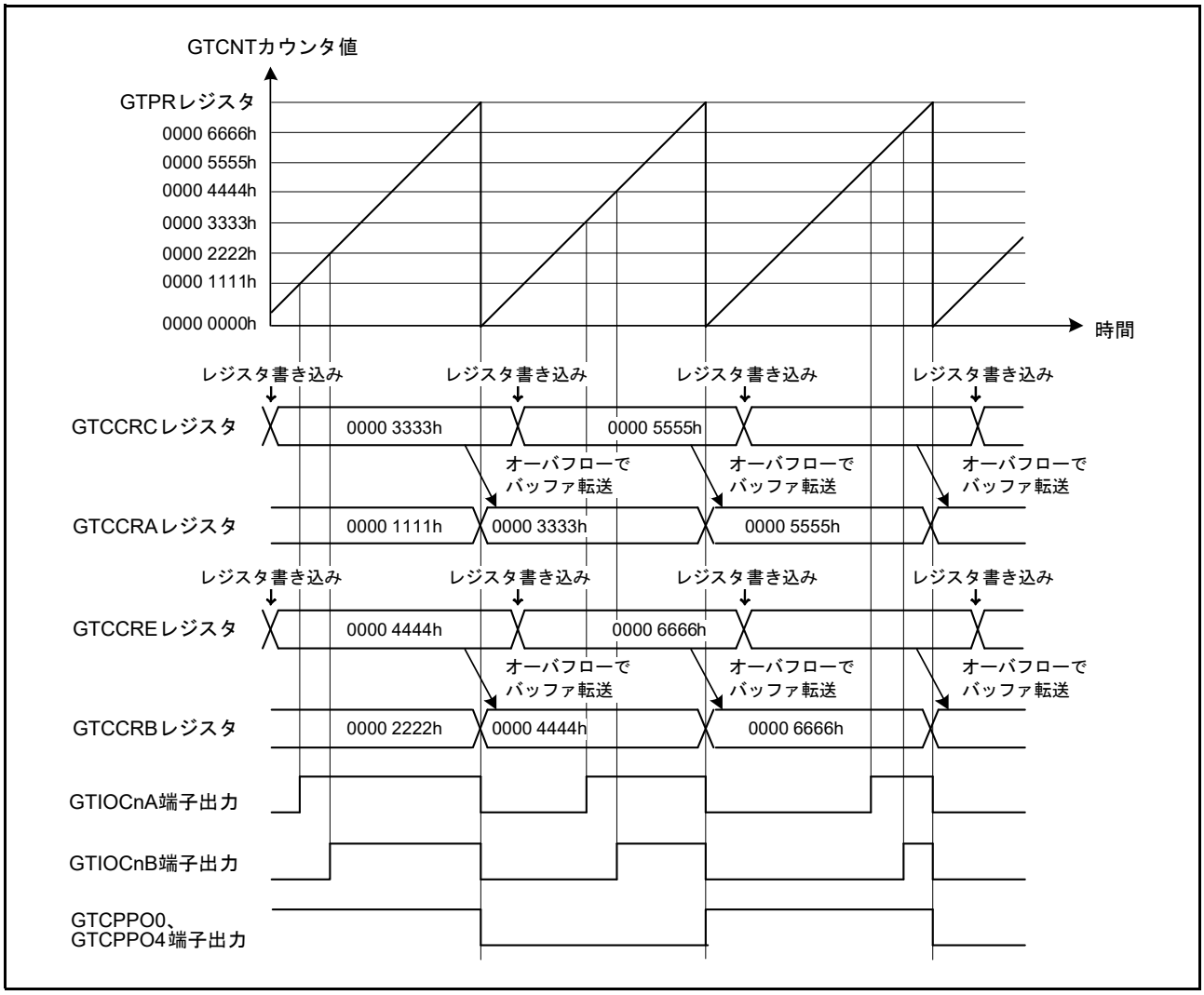
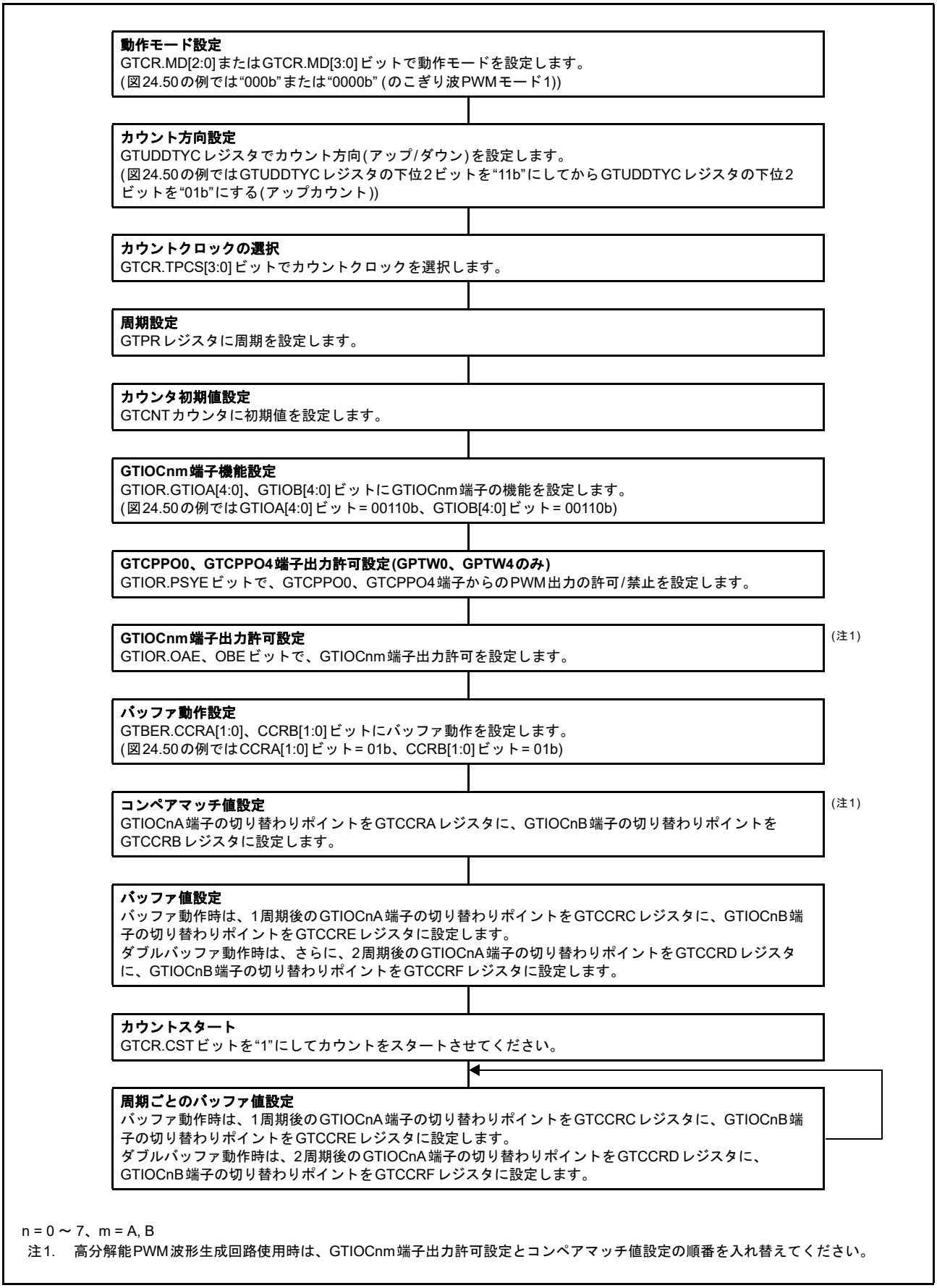


図 24.50 のこぎり波 PWM モード 1 動作例
(アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合 (n = 0 ～ 7)、GTIOR.PSYE ビット = 1 の場合 (GPTW0、GPTW4 のみ))



n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.51　のこぎり波 PWM モード 1 設定例

(2) のこぎり波 PWM モード 2

のこぎり波 PWM モード 2 は、GTPR レジスタを用いず、GTCNT カウンタをアップカウントでのこぎり波動作させ、GTCCRA、GTCCRB レジスタのコンペアマッチにより、PWM 波形を出力するモードです。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力を設定することができます。

出力端子は GTIOCnA 端子になります。GTIOCnA 端子の GTCCRB レジスタのコンペアマッチによる出力設定は GTIOR.GTIOB[1:0] ビットで設定してください。

GTCSR レジスタで選択された GTCNT カウンタのクリア要因によりカウンタクリアが発生した場合、これを周期の終わりとして扱い、GTIOR.GTIOA[3:2] ビットで選択された周期の終わりにおける PWM 出力動作を行います。カウンタクリア (周期の終わり) と GTCCRm レジスタ (m = A, B) コンペアマッチにより PWM 出力変化が競合した場合、GTIOR.OmEOCD ビットが “0” であれば周期の終わりにおける PWM 出力動作を行い、GTIOR.OmEOCD ビットが “1” であれば出力を保持します。

図 24.52 ～図 24.54 にのこぎり波 PWM モード 2 の動作例を、**図 24.55** にのこぎり波 PWM モード 2 の設定例を示します。

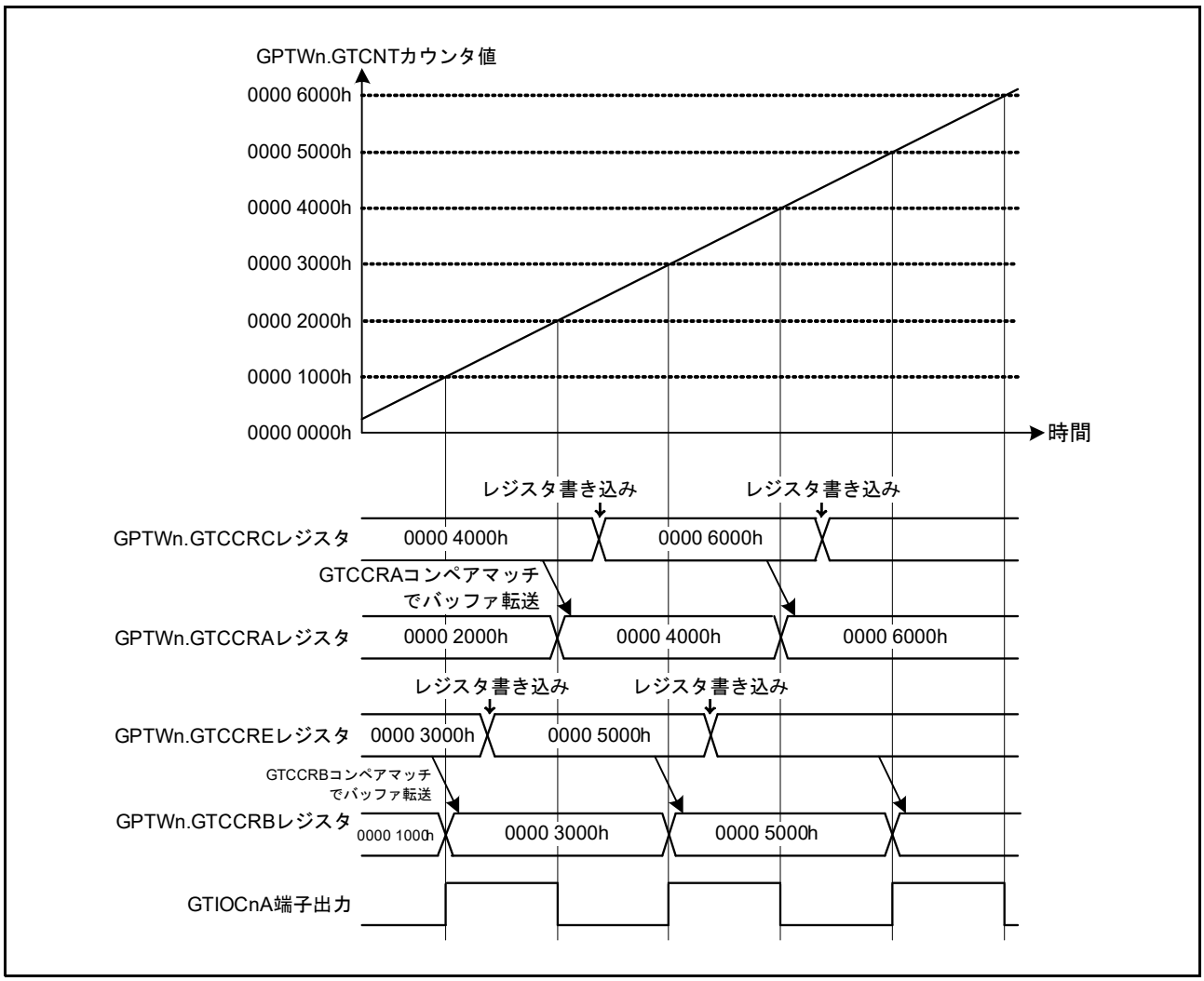


図 24.52　のこぎり波 PWM モード 2 動作例
(GTCCRA レジスタのコンペアマッチで Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、シングルバッファ動作、クリア設定無しの場合) (n = 0 ～ 2, 4 ～ 6)

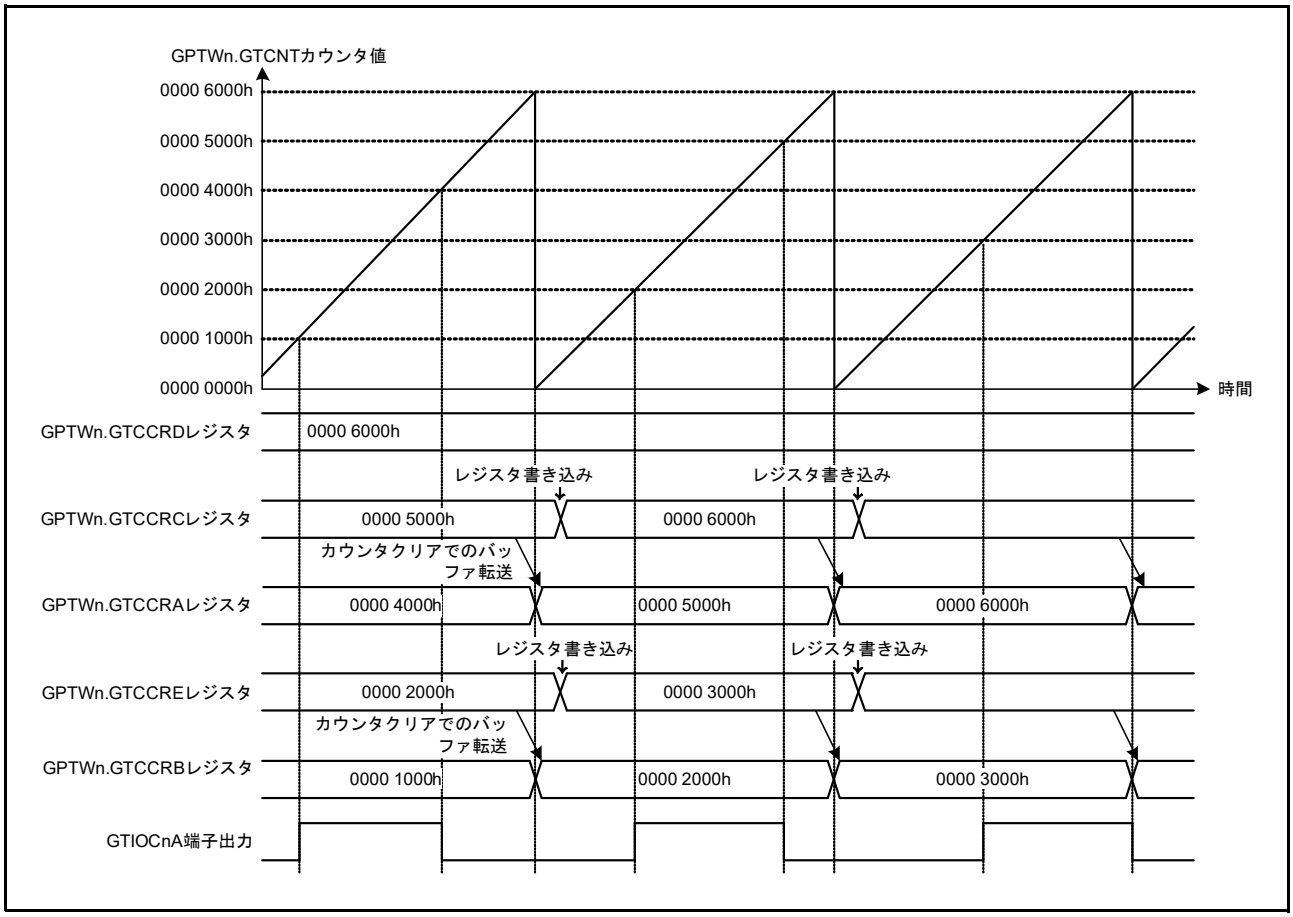


図 24.53 のこぎり波 PWM モード 2 動作例
(GTCCRA レジスタのコンペアマッチで Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチでクリア、GTIOR.OAEOCD ビット = 0 場合) (n = 0 ～ 2, 4 ～ 6)

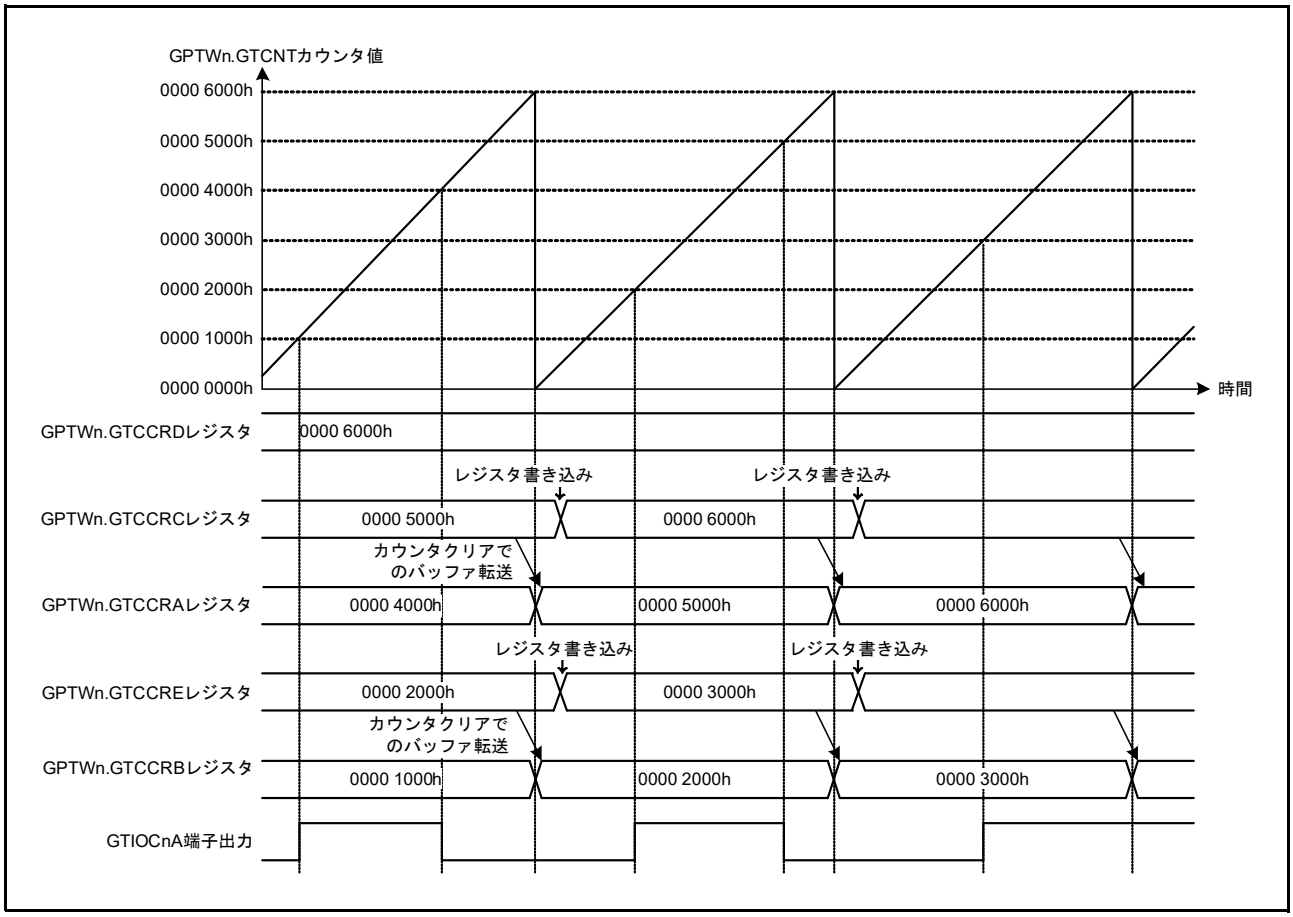
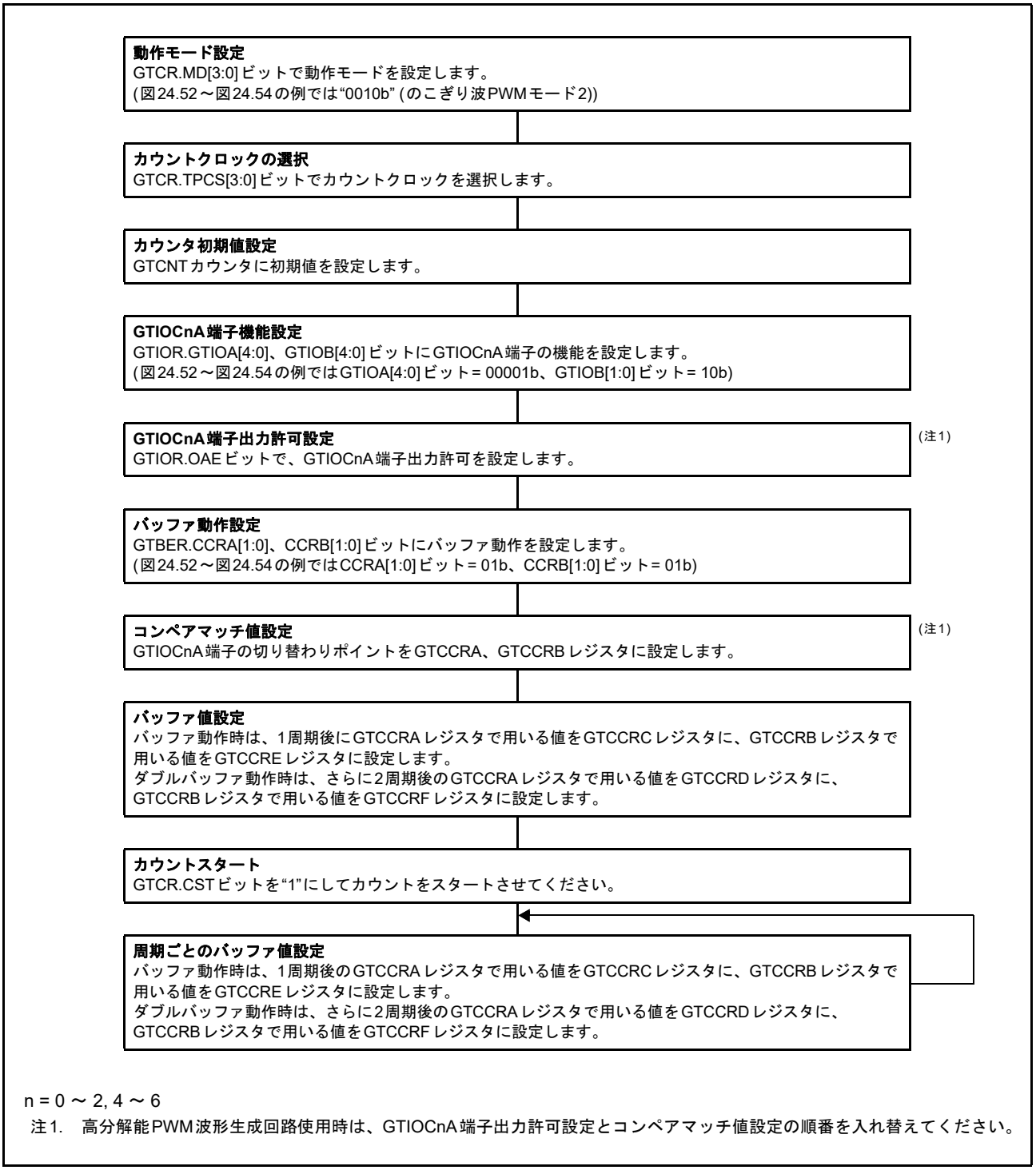


図 24.54 のこぎり波 PWM モード 2 動作例
(GTCCRA レジスタのコンペアマッチで Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチでクリア、GTIOR.OAEOCD ビット = 1 の場合) (n = 0 ～ 2, 4 ～ 6)



n = 0 ～ 2, 4 ～ 6

注1.　高分解能PWM波形生成回路使用時は、GTIOCnA端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.55　のこぎり波 PWM モード 2 設定例

(3) のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波 (半波) 動作させ、バッファ動作固定で、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子 (n = 0 ～ 7) に PWM 波形を出力するモードです。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRC レジスタから GTCCRA レジスタに、GTCCRE レジスタから GTCCRB レジスタに、GTCCRD レジスタからテンポラリレジスタ A に、GTCCRF レジスタからテンポラリレジスタ B にバッファ転送され、さらに、GTCCRA レジスタのコンペアマッチでテンポラリレジスタ A から GTCCRA レジスタに、GTCCRB レジスタのコンペアマッチでテンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

テンポラリレジスタ A およびテンポラリレジスタ B は、カウント停止中に GTBER.CCRSWT ビットに “1” を書くことで、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B に強制バッファ転送を行うことで設定可能です。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

GTBER.DBRTECm (m = A, B) ビットを “1” にすると、GTCCRx (x = C, E) レジスタと GTCCRm (m = A, B) レジスタの中間バッファとなるテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m (m = A, B) を用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、**「24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」**を参照してください。

図 24.56 にのこぎり波ワンショットパルスモードの動作例を、**図 24.57** にのこぎり波ワンショットパルスモードの設定例を示します。

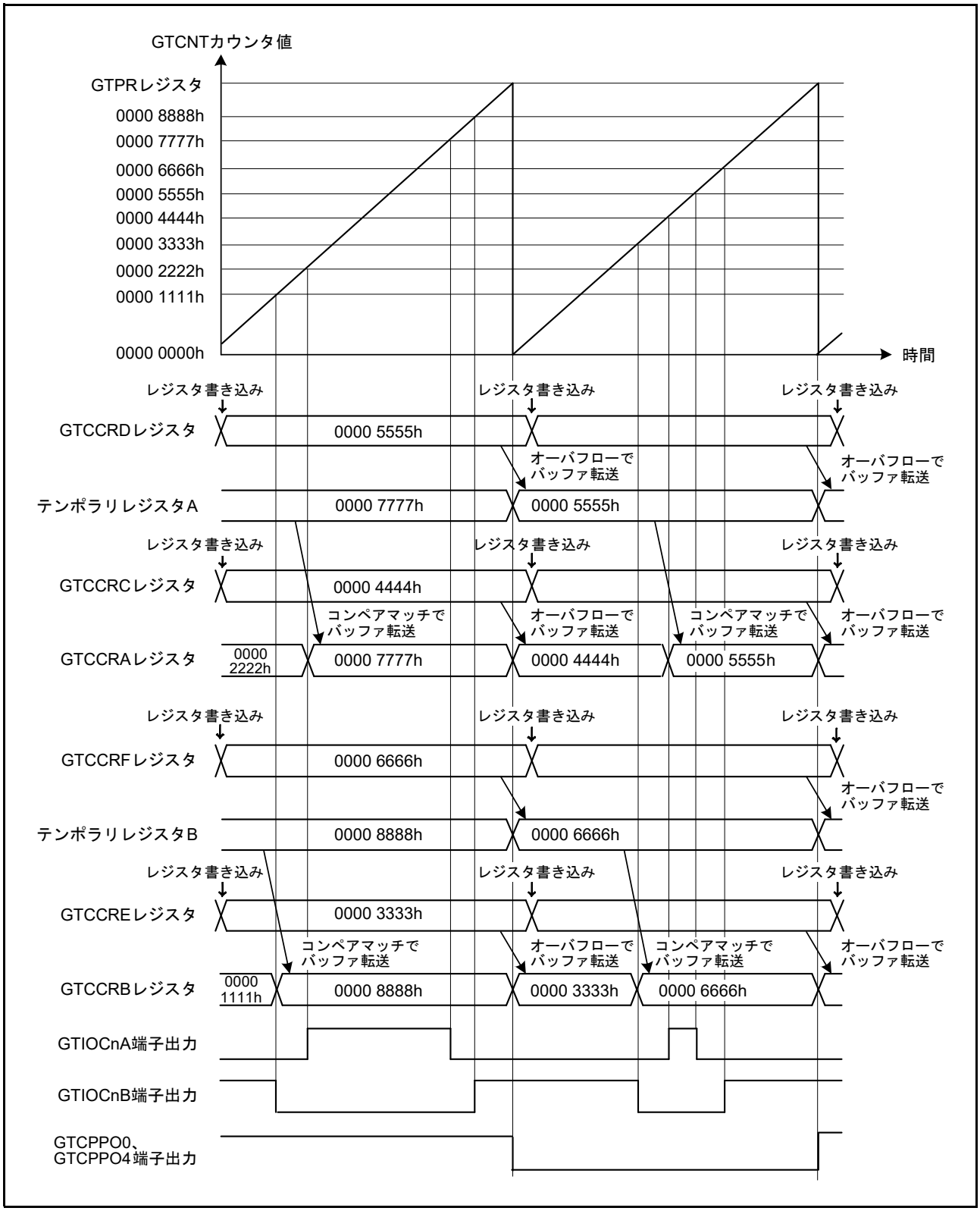
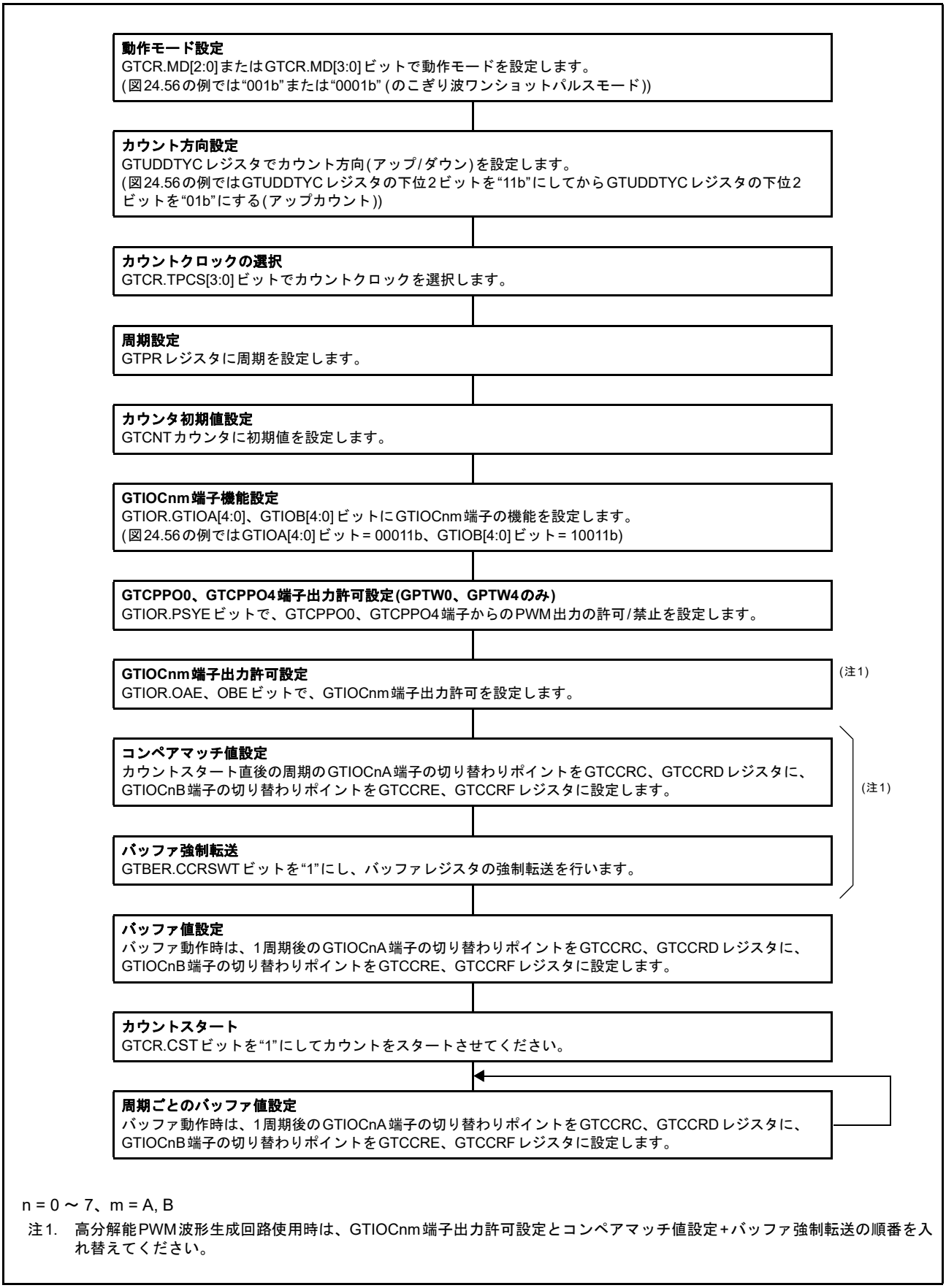


図 24.56 のこぎり波ワンショットパルスモード動作例 (アップカウント、初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ～ 7)、GTIOR.PSYE ビット = 1 の場合 (GPTW0、GPTW4 のみ))



n = 0 ～ 7、m = A, B

注1. 高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定+バッファ強制転送の順番を入れ替えてください。

図 24.57　のこぎり波ワンショットパルスモード設定例

(4) 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子 (n = 0 ～ 7) に PWM 波形を出力するモードです。バッファ動作のタイミングは、谷となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することによって、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 24.58 に三角波 PWM モード 1 の動作例を、図 24.59 に三角波 PWM モード 1 の設定例を示します。

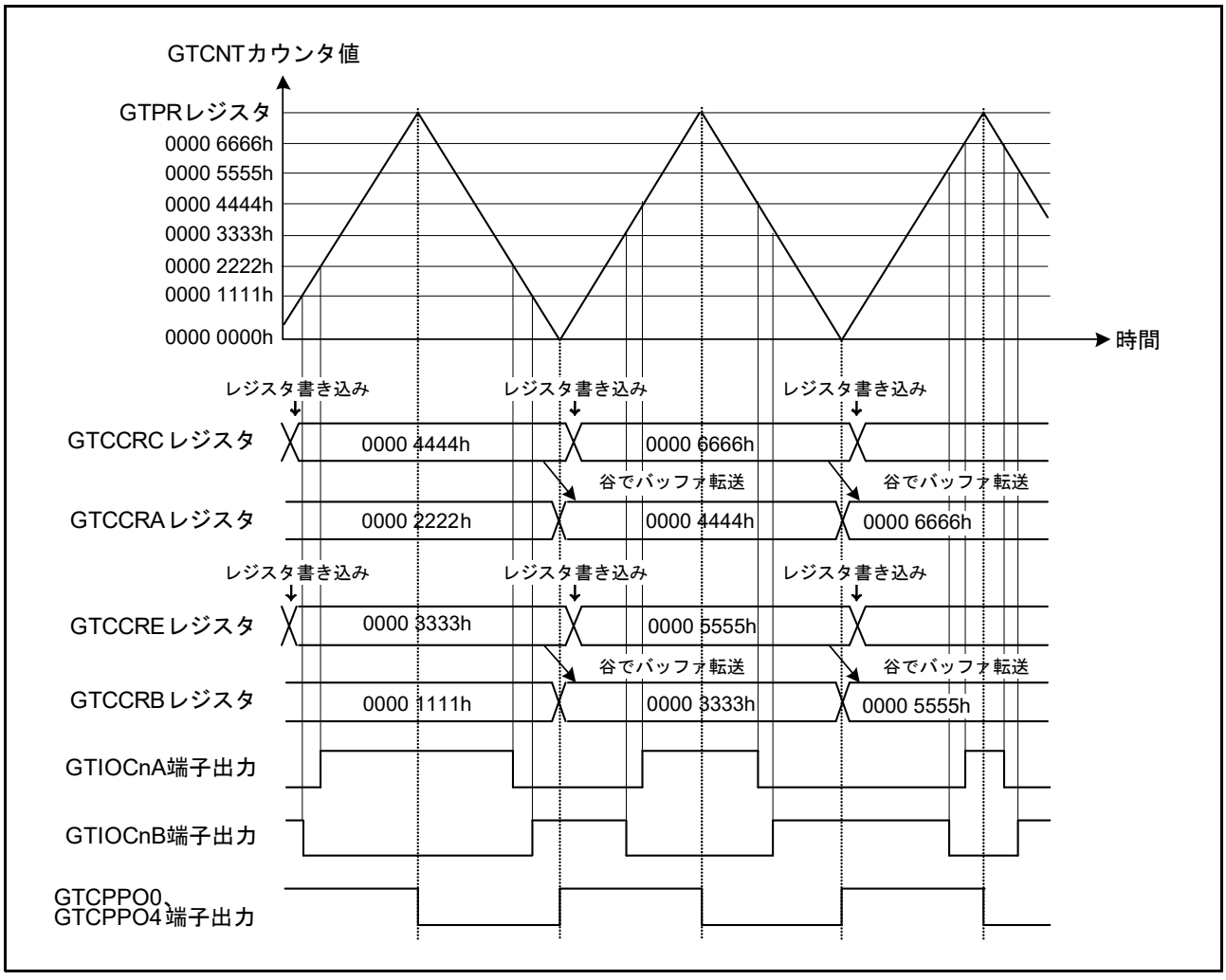


図 24.58　三角波 PWM モード 1 動作例 (バッファ動作、初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ～ 7)、GTIOR.PSYE ビット = 1 の場合 (GPTW0、GPTW4 のみ))

n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.59　三角波 PWM モード 1 設定例

(5)　三角波 PWM モード 2 (山 / 谷 32 ビット転送)

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子 (n = 0 ～ 7) に PWM 波形を出力するモードですが、バッファ動作のタイミングは山 / 谷の両方となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

GTCCRm (m = A, B) レジスタをダブルバッファ動作させている場合、GTBER.DBRTECm (m = A, B) ビットを “1” にすると、GTCCRx (x = C, E) レジスタと GTCCRm (m = A, B) レジスタの中間バッファとなるテンポラリレジスタ x (x = C, E) と GTCCRx (x = C, E) レジスタを用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は**「24.8.2.2　GTCCR バッファ転送抑止時ダブルバッファリピート動作」**を参照してください。

図 24.60 に三角波 PWM モード 2 の動作例を、**図 24.61** に三角波 PWM モード 2 の設定例を示します。

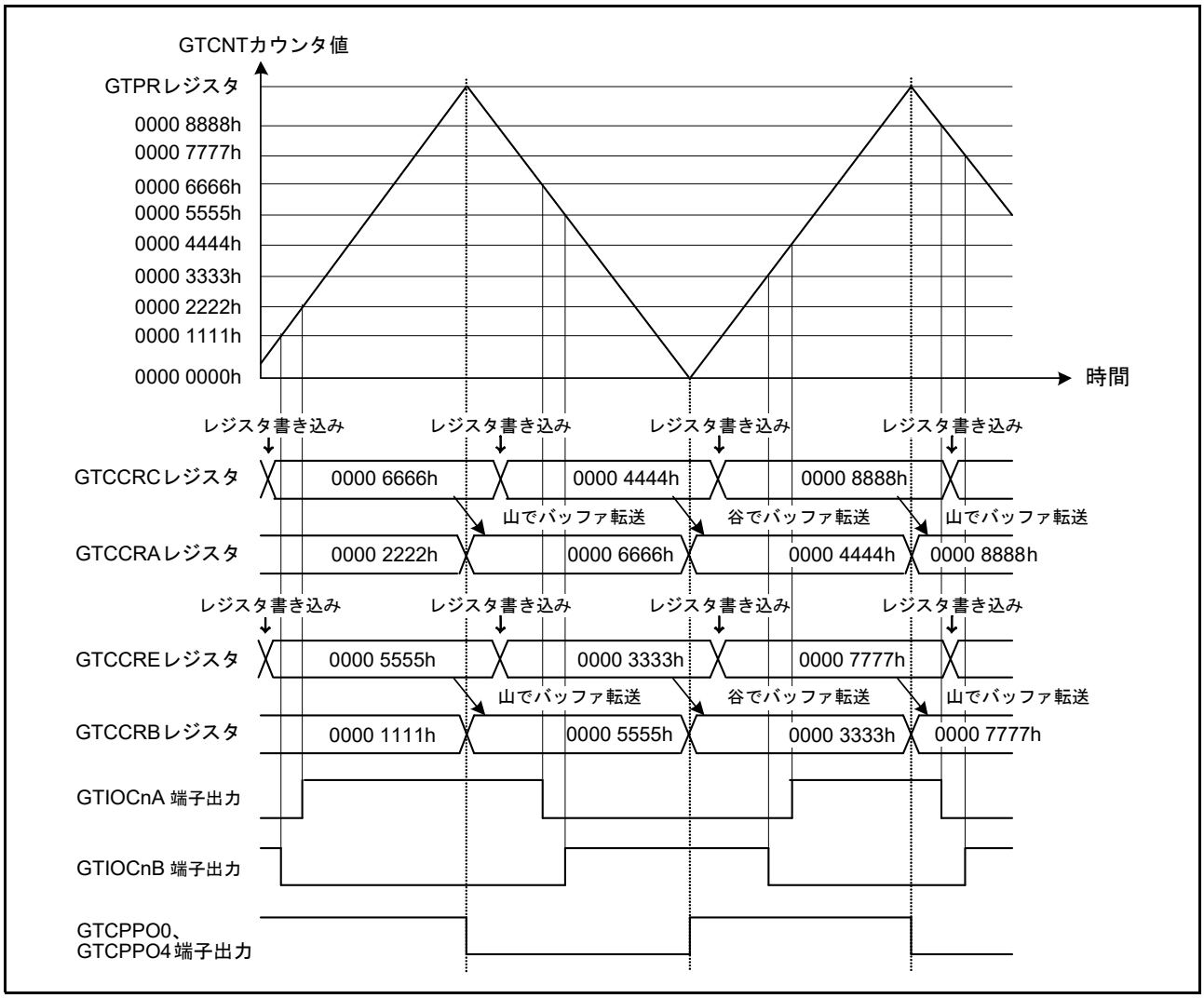
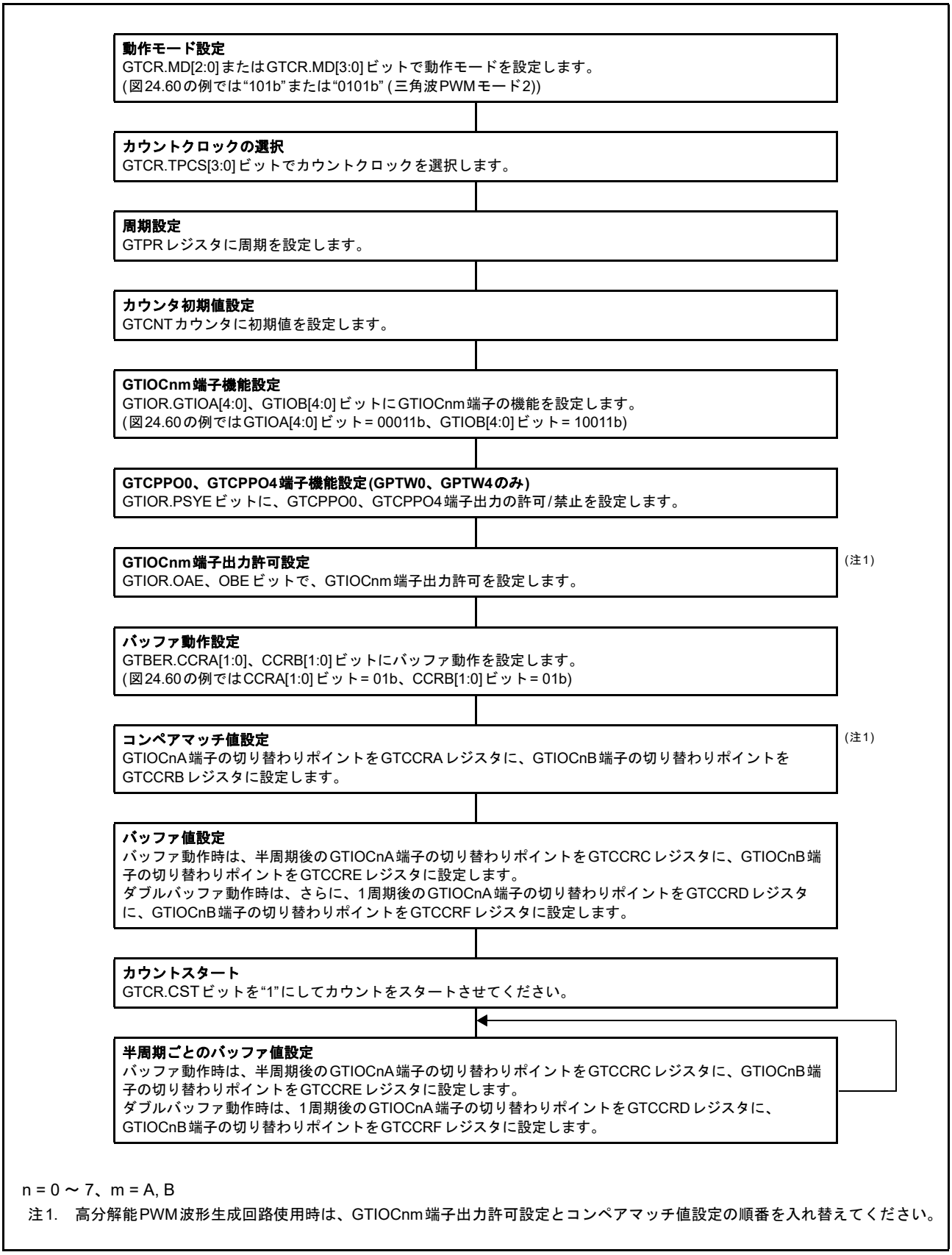


図 24.60　三角波 PWM モード 2 動作例 (バッファ動作、初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ～ 7)、GTIOR.PSYE ビット = 1 の場合 (GPTW0、GPTW4 のみ))



n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.61　三角波 PWM モード 2 設定例

(6) 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子 (n = 0 ～ 7) に PWM 波形を出力するモードです。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC レジスタから GTCCRA レジスタに、GTCCRE レジスタから GTCCRB レジスタに、GTCCRD レジスタからテンポラリレジスタ A に、GTCCRF レジスタからテンポラリレジスタ B にバッファ転送され、さらに、山で、テンポラリレジスタ A から GTCCRA レジスタに、テンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

GTBER.DBRTECm (m = A, B) ビットを “1” にすると、GTCCRx (x = C, E) レジスタと GTCCRm (m = A, B) レジスタの中間バッファとなるテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m (m = A, B) を用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、**「24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」**を参照してください。

図 24.62 に三角波 PWM モード 3 の動作例を、**図 24.63** に三角波 PWM モード 3 の設定例を示します。

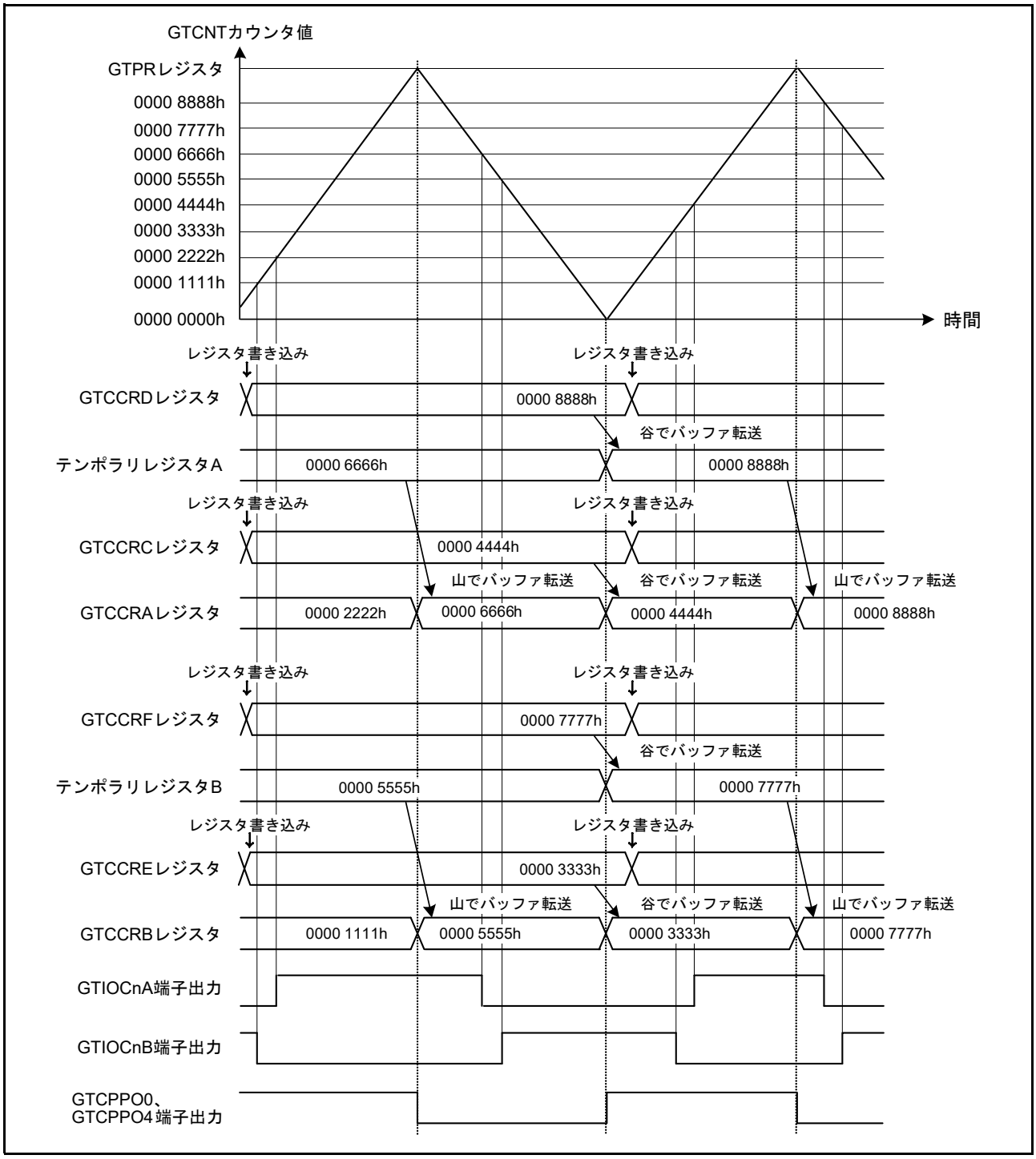
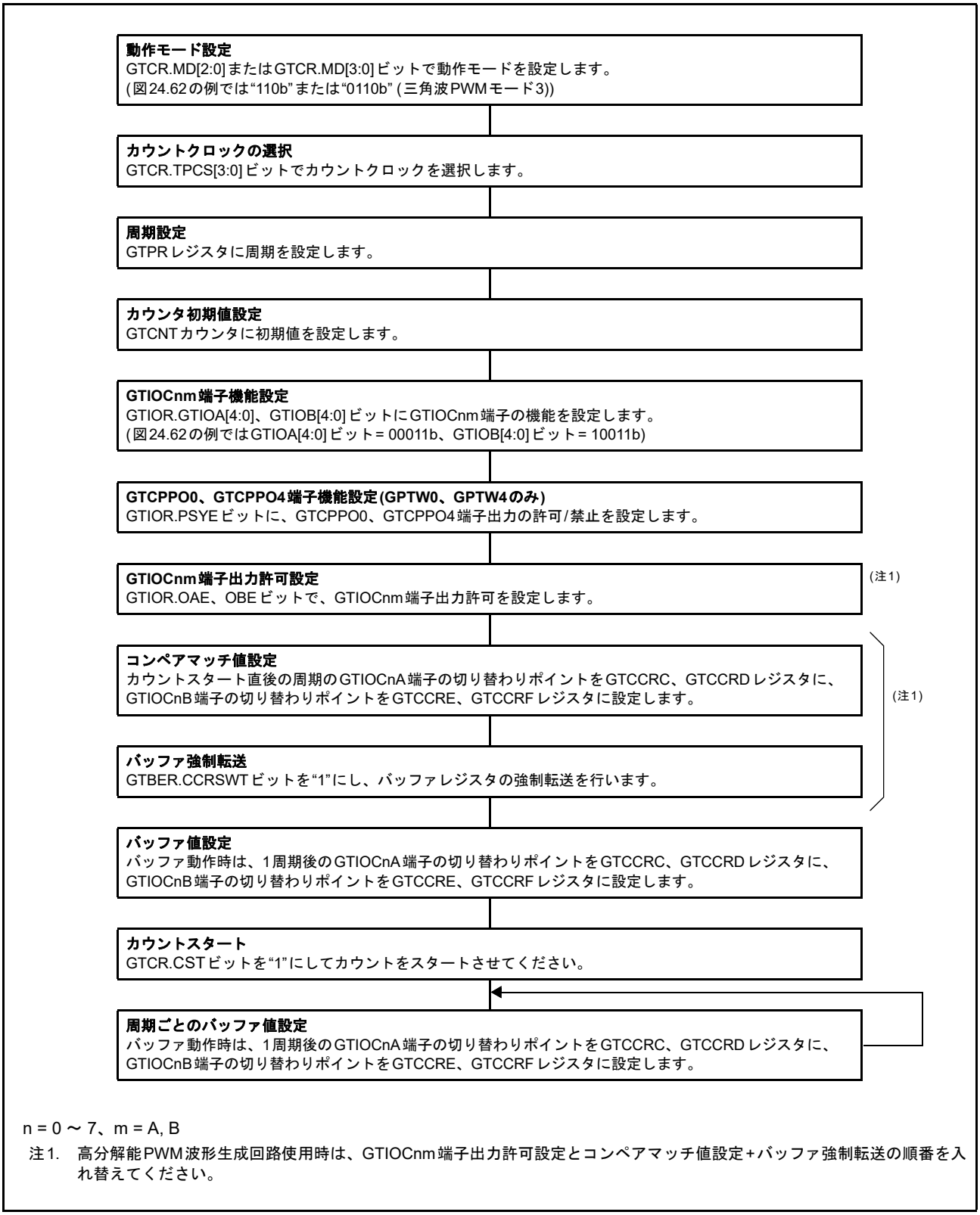


図 24.62　三角波 PWM モード 3 動作例 (初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ～ 7)、GTIOR.PSYE ビット = 1 の場合 (GPTW0、GPTW4 のみ))



n = 0 ～ 7、m = A, B

注1. 高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定+バッファ強制転送の順番を入れ替えてください。

図 24.63　三角波 PWM モード 3 設定例

(7)　相補 PWM モード 1、2、3

相補 PWM モードは連続する 3 チャネルの GTCNT カウンタを用いて、デューティ 0%、100% 近傍のリニアリティが保証されたデッドタイム付きの 3 相 PWM 波形を出力するモードです。バッファ動作の違いにより、相補 PWM モード 1 (山転送)、相補 PWM モード 2 (谷転送)、相補 PWM モード 3 (山 / 谷転送)、相補 PWM モード 4 (即時転送) の 4 種類のモードがあります。**図 24.64** に相補 PWM モード 1、2、3 のときのブロック図を示します。

連続する 3 チャネルの最下位チャネルをマスタチャネル、その隣接する上位 2 チャネルを下位から順に、スレーブチャネル 1、スレーブチャネル 2 と称します。

各チャネルの GTCNT カウンタは、マスタチャネルによる周期動作の制御の下で、それぞれ独自のカウント動作を行います。各チャネルでは、動作区間によって 3 つの GTCNT カウンタを選別しながら GTCCRA レジスタとのコンペアマッチ動作を行い、マスタチャネルの GTDVU レジスタに設定されたデッドタイム値のノンオーバラップ期間をもって GTIOCnA 端子 (n = 0 ～ 2, 4 ～ 6) から正相波形、GTIOCnB 端子 (n = 0 ～ 2, 4 ～ 6) から逆相波形がそれぞれ出力されます。

GTCCRA レジスタは、GTCCRC レジスタ、テンポラリレジスタ A、GTCCRD レジスタによるバッファ動作を行います。相補 PWM モード 3 の場合、GTBER2.CP3DB ビットを “1” にすると、GTCCRA レジスタは、GTCCRE レジスタ、テンポラリレジスタ B、GTCCRF レジスタによるバッファ動作も可能となり、ダブルバッファ動作を行います。

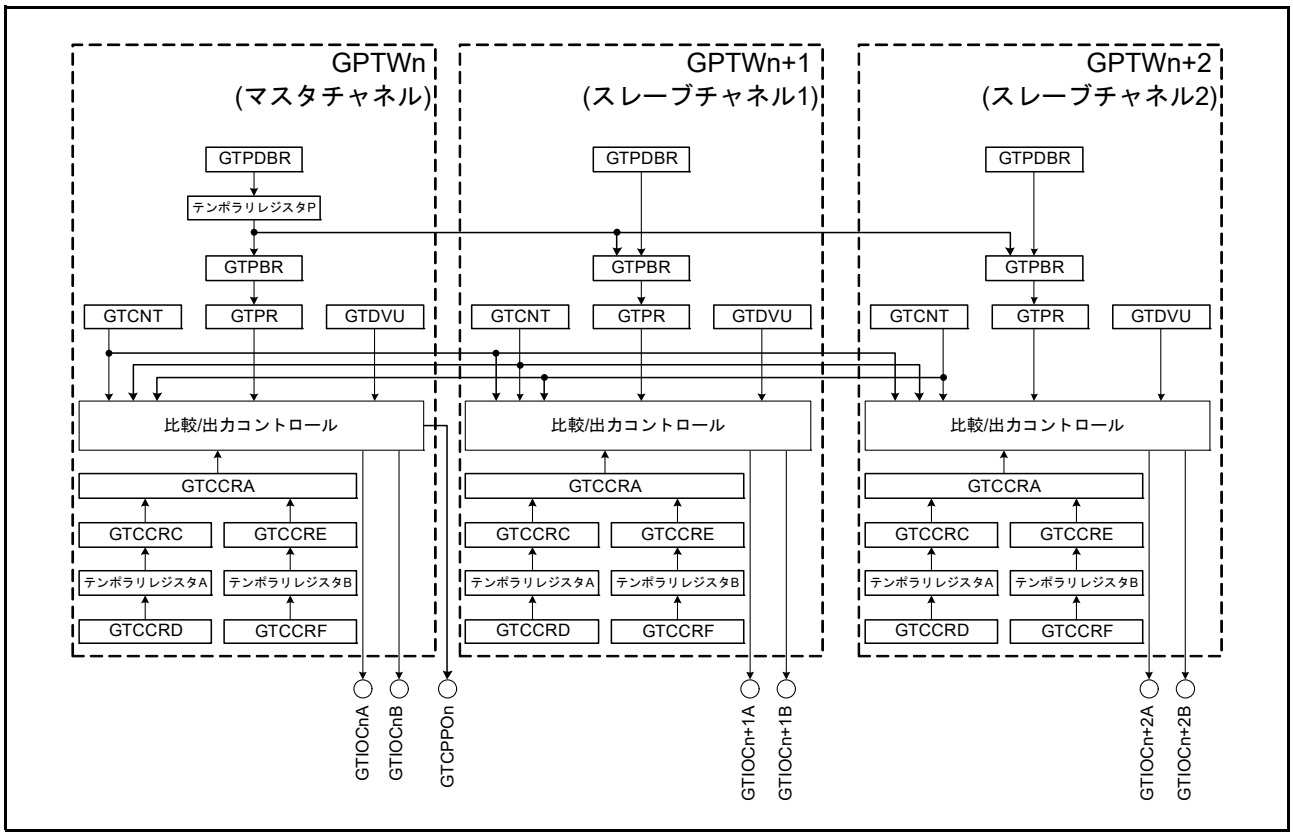


図 24.64　相補 PWM モード 1、2、3 のときのブロック (n = 0, 4)

GPTWn.GTCNT カウンタは、GPTWn.GTPR レジスタを周期レジスタとする三角波のカウント動作をします。GPTWn.GTCNT カウンタの値が、デッドタイム値以下の区間を谷区間と称します。

GPTWn+1.GTCNT カウンタは、GPTWn.GTCNT カウンタに GPTWn.GTDVU レジスタに設定されたデッドタイム値が加算された値でカウントを行います。GPTWn+1.GTCNT カウンタの値が、GPTWn.GTPR レジスタの値以上の区間を山区間と称します。

山区間と谷区間は、更にカウント方向によって、アップカウント山区間、ダウンカウント山区間、アップカウント谷区間、ダウンカウント谷区間と称します。谷区間と山区間の間の区間は、カウント方向によって、アップカウント中間区間、ダウンカウント中間区間と称します。カウントスタート後のアップカウント谷区間に相当する区間は、初期出力区間と称して、他のアップカウント谷区間とは動作が一部異なります。

GPTWn+2.GTCNT カウンタは、デューティ 0%、100% 近傍のリニアリティを保証するためのカウンタとして動作します。

山区間では、GPTWn.GTPR レジスタの値にデッドタイム値を加算した値を初期値として、GPTWn.GTPR レジスタの値を谷とする三角波 (ダウンカウント後にアップカット) のカウント動作を行い、山区間の終わりで 0 になり、次の谷区間まではカウントを停止します。谷区間では、初期値 0 で、デッドタイム値を山とする三角波のカウントを行い、谷区間の終わりで GPTWn.GTPR レジスタの値にデッドタイム値を加算した値になり、次の山区間まではカウントを停止します。ただし、初期出力区間では、初期値 0 でデッドタイム値までアップカウントした後に GPTWn.GTPR レジスタの値にデッドタイム値を加算した値になります。

相補 PWM モード中にカウントを停止し、再度カウントスタートした場合、カウントスタート後は各チャネルのカウンタが初期値に戻り、初期出力区間からカウントを開始します。

表 24.12、表 24.13 に各区間におけるカウント動作 (カウント方向、カウント範囲) を示します。表中のレジスタ名にチャネル位置の識別がしるされていないものは、マスタチャネル、スレーブチャネル 1、スレーブチャネル 2 で同じ値が格納されていることを表しています。

表24.12　相補PWMモードのカウント動作(1) (n = 0, 4)

カウンタ	初期値	初期出力区間 (スタート後)	アップカウント 中間区間	アップカウント 山区間	ダウンカウント 山区間
GPTWn.GTCNT	0	アップカウント 0 ～ GTDVU	アップカウント GTDVU +1 ～ GTPR – GTDVU	アップカウント GTPR – GTDVU + 1 ～ GTPR	ダウンカウント GTPR – 1 ～ GTPR – GTDVU
GPTWn+1.GTCNT	GTDVU	アップカウント GTDVU ～ GTDVU×2	アップカウント GTDVU × 2 + 1 ～ GTPR	アップカウント GTPR + 1 ～ GTPR + GTDVU	ダウンカウント GTPR + GTDVU – 1 ～ GTPR
GPTWn+2.GTCNT	0	アップカウント 0 ～ GTDVU	停止 GTPR + GTDVU	ダウンカウント GTPR + GTDVU – 1 ～ GTPR	アップカウント GTPR + 1 ～ GTPR + GTDVU

表24.13　相補PWMモードのカウント動作(2) (n = 0, 4)

カウンタ	ダウンカウント 中間区間	ダウンカウント 谷区間	アップカウント 谷区間
GPTWn.GTCNT	ダウンカウント GTPR – GTDVU – 1 ～ GTDVU	ダウンカウント GTDVU – 1 ～ 0	アップカウント 1 ～ GTDVU
GPTWn+1.GTCNT	ダウンカウント GTPR – 1 ～ GTDVU × 2	ダウンカウント GTDVU × 2 – 1 ～ GTDVU	アップカウント GTDVU + 1 ～ GTDVU × 2
GPTWn+2.GTCNT	停止 0	アップカウント 1 ～ GTDVU	ダウンカウント GTDVU – 1 ～ 0

相補 PWM モードの GTCCRA レジスタのバッファ動作は、通常のバッファ動作と異なります。

各チャネルの GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B への転送は、GPTWn+2.GTCCRD レジスタへの書き込みによって、3 チャネル同時に行われます。

テンポラリレジスタ A から GTCCRC レジスタ、テンポラリレジスタ B から GTCCRE レジスタへの転送は、テンポラリレジスタ A およびテンポラリレジスタ B への転送タイミングによって異なります。GTCCRC レジスタおよび GTCCRE レジスタから GTCCRA レジスタへの転送は、相補 PWM モード 1 は山転送、相補 PWM モード 2 は谷転送、相補 PWM モード 3 は山 / 谷転送で行います。

相補 PWM モードの GTPR レジスタのバッファ動作については、**「24.3.2.1　GTPR レジスタのバッファ動作」**で説明します。相補 PWM モードでは、GTDVU レジスタはバッファ動作させないでください。

表 24.14 に相補 PWM モード 1、2、3 におけるシングルバッファ動作時のバッファ転送タイミング、表 24.15 に相補 PWM モード 3 におけるダブルバッファ動作時のバッファ転送タイミングを示します。

表24.14　相補PWMモード1、2、3のシングルバッファ転送タイミング (n = 0, 4)

バッファ転送	相補PWMモード1	相補PWMモード2	相補PWMモード3 (シングルバッファ)
GTCCRD ↓ テンポラリレジスタA	スレーブチャネル2 (GPTWn+2) のGTCCRDレジスタ書き込みの1 PCLKC後	スレーブチャネル2 (GPTWn+2) のGTCCRDレジスタ書き込みの1 PCLKC後	スレーブチャネル2 (GPTWn+2) のGTCCRDレジスタ書き込みの1 PCLKC後
テンポラリレジスタA ↓ GTCCRC	(1)アップカウント中間区間でテンポラリレジスタAに転送した場合 • テンポラリレジスタAに転送した1 PCLKC後 (2)アップカウント中間区間以外でテンポラリレジスタAに転送した場合 • 谷区間の終わり	(1)ダウンカウント中間区間でテンポラリレジスタAに転送した場合 • テンポラリレジスタAに転送した1 PCLKC後 (2)ダウンカウント中間区間以外でテンポラリレジスタAに転送した場合 • 山区間の終わり	(1)中間区間でテンポラリレジスタAに転送した場合 • テンポラリレジスタAに転送した1 PCLKC後 (2)中間区間以外でテンポラリレジスタAに転送した場合 • 区間(山/谷)の終わり
GTCCRC ↓ GTCCRA	• 山区間の終わり • アップカウント中間区間および山区間におけるカウンタクリア	• 初期出力区間を除く谷区間の終わり • ダウンカウント中間区間および谷区間におけるカウンタクリア	• 山区間の終わり • 初期出力区間を除く谷区間の終わり • カウンタクリア

表24.15　相補PWMモード3のダブルバッファ転送タイミング (n = 0, 4)

バッファ転送	転送タイミング
GTCCRD ↓ テンポラリレジスタA	スレーブチャネル2 (GPTWn+2) のGTCCRDレジスタ書き込みの1 PCLKC後
テンポラリレジスタA ↓ GTCCRC	(1)中間区間でテンポラリレジスタAに転送した場合 • テンポラリレジスタAに転送した1 PCLKC後 (2)中間区間以外でテンポラリレジスタAに転送した場合 • 区間(山/谷)の終わり
GTCCRC ↓ GTCCRA	山区間の終わり カウンタクリア

バッファ転送	転送タイミング
GTCCRF ↓ テンポラリレジスタB	スレーブチャネル2 (GPTWn+2) のGTCCRDレジスタ書き込みの1 PCLKC後
テンポラリレジスタB ↓ GTCCRE	(1)中間区間でテンポラリレジスタBに転送した場合 • テンポラリレジスタBに転送した1 PCLKC後 (2)中間区間以外でテンポラリレジスタBに転送した場合 • 区間(山/谷)の終わり
GTCCRE ↓ GTCCRA	初期出力区間を除く谷区間の終わり

GTIOCnA 端子 (n = 0 ～ 2, 4 ～ 6) から出力する正相波形、GTIOCnB 端子 (n = 0 ～ 2, 4 ～ 6) から出力する逆相波形の変化は、動作区間ごとに決められたカウンタとレジスタの組み合わせのコンペアマッチで発生します。中間区間では、正相波形は GPTWn.GTCNT カウンタと GTCCRA レジスタのコンペアマッチ、逆相波形は GPTWn+1.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで出力レベルが変化します。山区間と谷区間では、デューティ 0%、100% 近傍のリニアリティを保証するため、GPTWn+2.GTCNT カウンタ、GTCCRC レジスタ、GTCCRE レジスタも用いてコンペアマッチ動作を行います。

コンペアマッチ値が GPTWn.GTPR レジスタの値以上の場合、デューティ 0%、(正相波形 OFF、逆相波形 ON) になります。コンペアマッチ値が 0 の場合、デューティ 100%、(正相波形 ON、逆相波形 OFF) になります。

表 24.16 に各動作区間における正相波形および逆相波形の生成のためのコンペアマッチ動作に用いるカウンタの組み合わせを示します。

表24.16　相補PWMモード時におけるコンペアマッチ動作対象のカウンタとレジスタの組み合わせ

	アップカウント中間区間	アップカウント山区間	ダウンカウント山区間	ダウンカウント中間区間	ダウンカウント谷区間	アップカウント谷区間
逆相 OFF	GPTWn+1.GTCNT	GPTWn+1.GTCNT	—	GPTWn+2.GTCNT(注1)	GPTWn+2.GTCNT	GPTWn+1.GTCNT
	GTCCRA	GTCCRA	—	GTCCRC(ダブルバッファ動作時GTCCRE)	GTCCRC(ダブルバッファ動作時GTCCRE)	GTCCRC(ダブルバッファ動作時GTCCRE)
正相 ON	GPTWn.GTCNT	GPTWn.GTCNT	GPTWn+2.GTCNT	—	GPTWn+2.GTCNT(注1)	GPTWn+2.GTCNT
	GTCCRA	GTCCRA	GTCCRA	—	GTCCRC(ダブルバッファ動作時GTCCRE)	GTCCRC(ダブルバッファ動作時GTCCRE)
正相 OFF	GPTWn+2.GTCNT(注1)	GPTWn+2.GTCNT	GPTWn.GTCNT	GPTWn.GTCNT	GPTWn.GTCNT	—
	GTCCRC	GTCCRC	GTCCRC	GTCCRA	GTCCRA	—
逆相 ON	—	GPTWn+1.GTCNT(注1)	GPTWn+1.GTCNT	GPTWn+1.GTCNT	GPTWn+1.GTCNT	GPTWn+2.GTCNT
	—	GTCCRC	GTCCRC	GTCCRA	GTCCRA	GTCCRA

注1.　対象区間の最終カウントのみコンペアマッチ。最終カウント以外のカウント値ではコンペアマッチしない。

通常の相補 PWM モード波形の場合、PWM 波形の変化は、逆相 OFF →正相 ON →正相 OFF →逆相 ON の順番で発生しますが、動作区間とレジスタの値によっては順番が前後する場合があります。この場合、谷区間ではアップカット、山区間ではダウンカウントの処理が優先され、逆相の場合、谷区間は OFF 優先、山区間は ON 優先、正相の場合、谷区間は ON 優先、山区間は OFF 優先となります。優先するコンペアマッチと同時、もしくはその後に発生した低優先のコンペアマッチは無視されます。

初期出力は、初期出力区間では GTIOR レジスタで設定した値が保持されます。初期出力区間の終わりで、GTCCRA レジスタの値が GTDVU レジスタの値より大きい場合は逆相が ON し、GTCCRA レジスタの値が GTDVU レジスタの値以下の場合は正相が ON します。

コンペアマッチ動作が中間区間で発生する通常の相補 PWM モード波形の動作例として、図 24.65、図 24.66 に相補 PWM モード 1、図 24.67、図 24.68 に相補 PWM モード 2、図 24.69、図 24.70 にシングルバッファの場合の相補 PWM モード 3、図 24.71、図 24.72 にダブルバッファの場合の相補 PWM モード 3 を示します。

コンペアマッチ動作が山区間、谷区間で発生し、コンペアマッチの発生順序による相補 PWM モード波形の違いを図 24.73 から図 24.84 に示します。

GTCCRA レジスタの値の違いにより初期出力の動作例を図 24.85、図 24.86 に示します。

相補 PWM モード 1、2、3 の設定例を図 24.87 に示します。

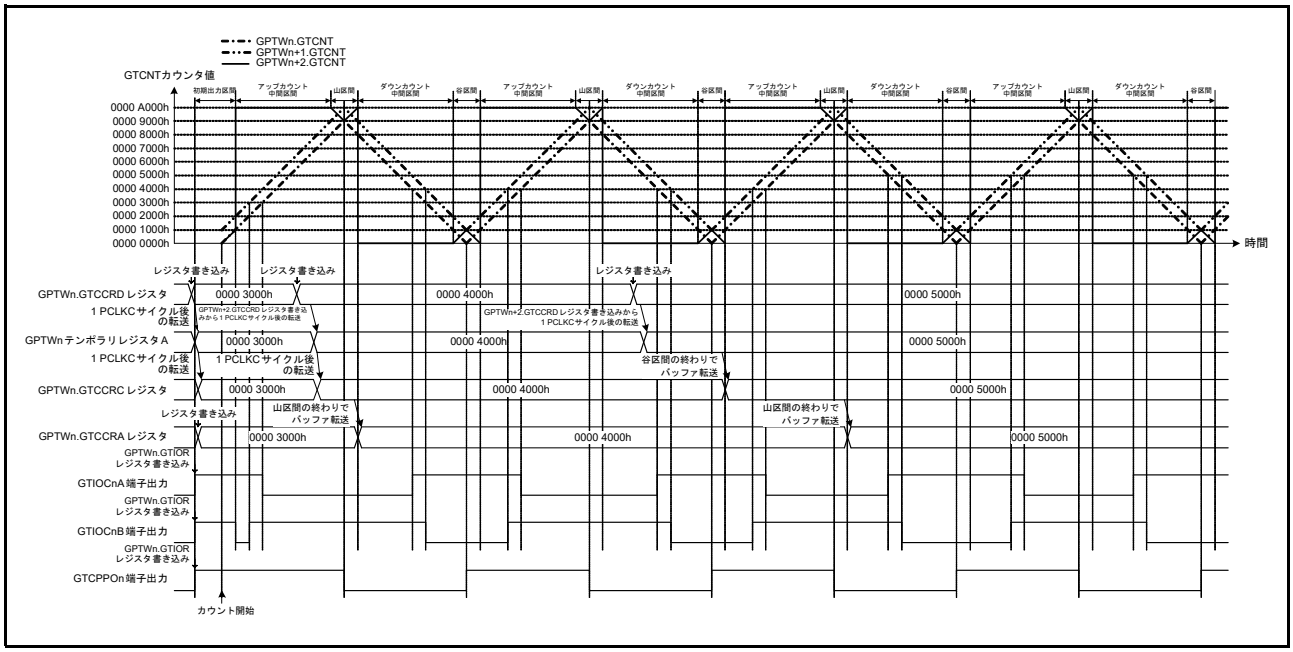


図 24.65　相補 PWM モード 1 の動作例 (1)
(初期出力で GTIOCnA 端子 = High 出力 /GTIOCnB 端子 = High 出力、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、中間区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

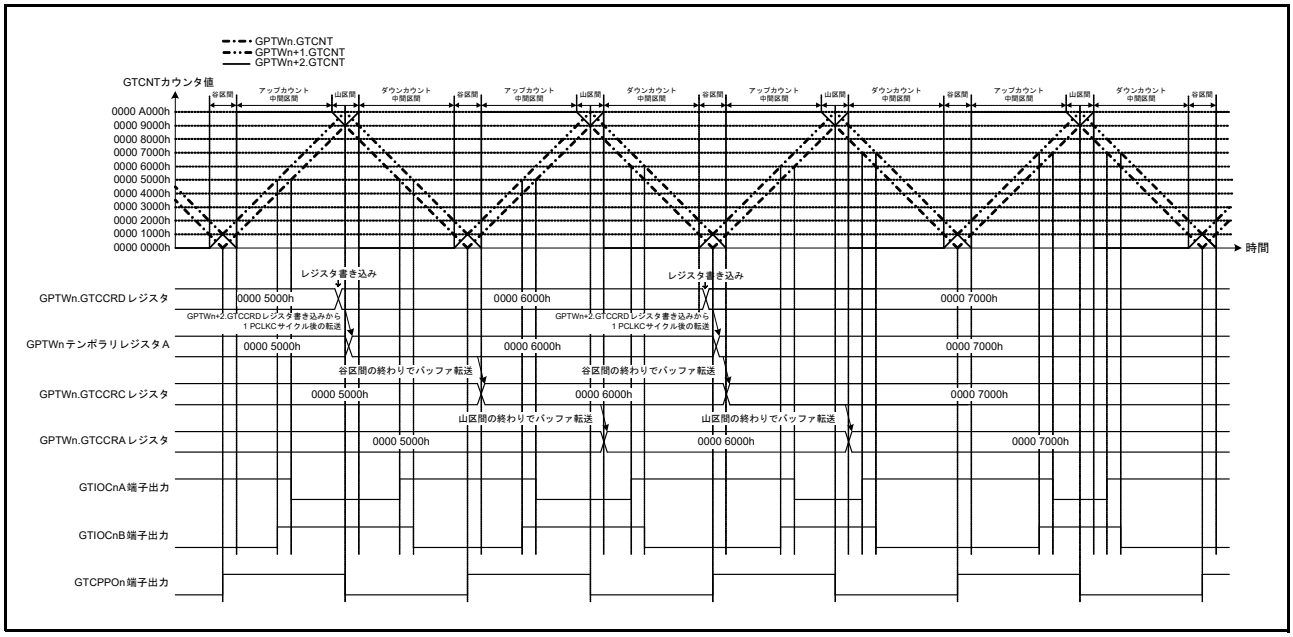


図 24.66　相補 PWM モード 1 の動作例 (2)
(アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、山 / 谷区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

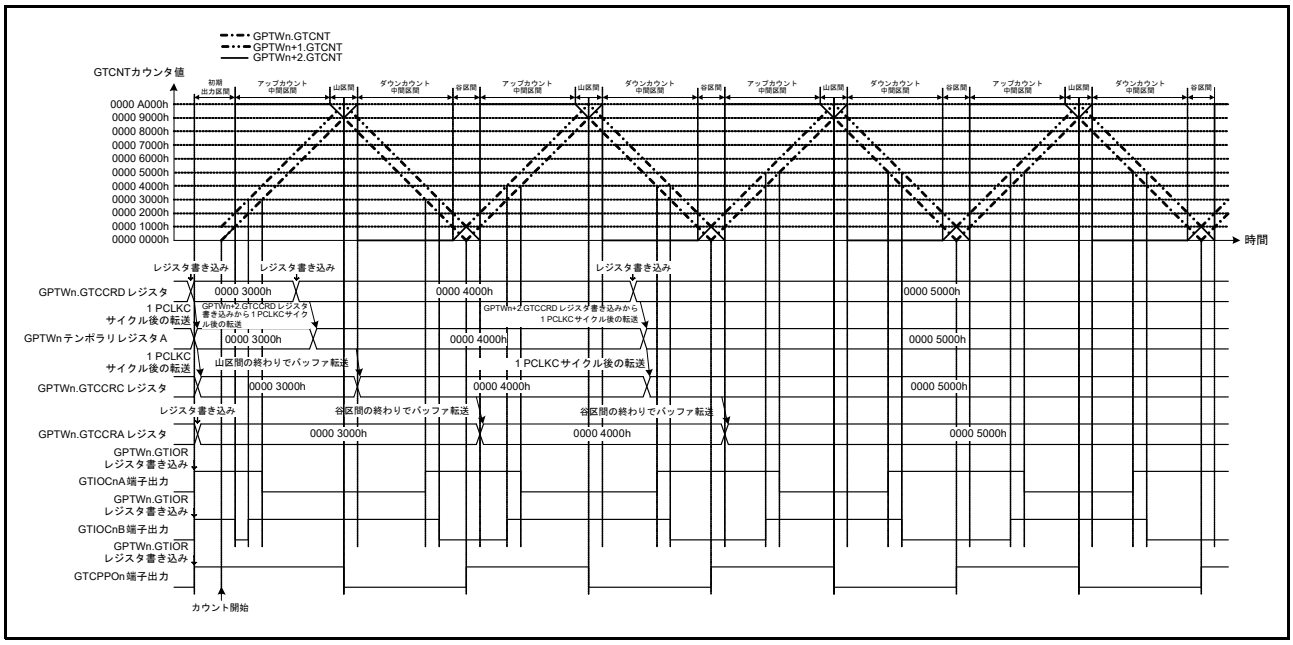


図 24.67　相補 PWM モード 2 の動作例 (1)
(初期出力で GTIOCnA 端子 = High 出力 /GTIOCnB 端子 = High 出力、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、中間区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

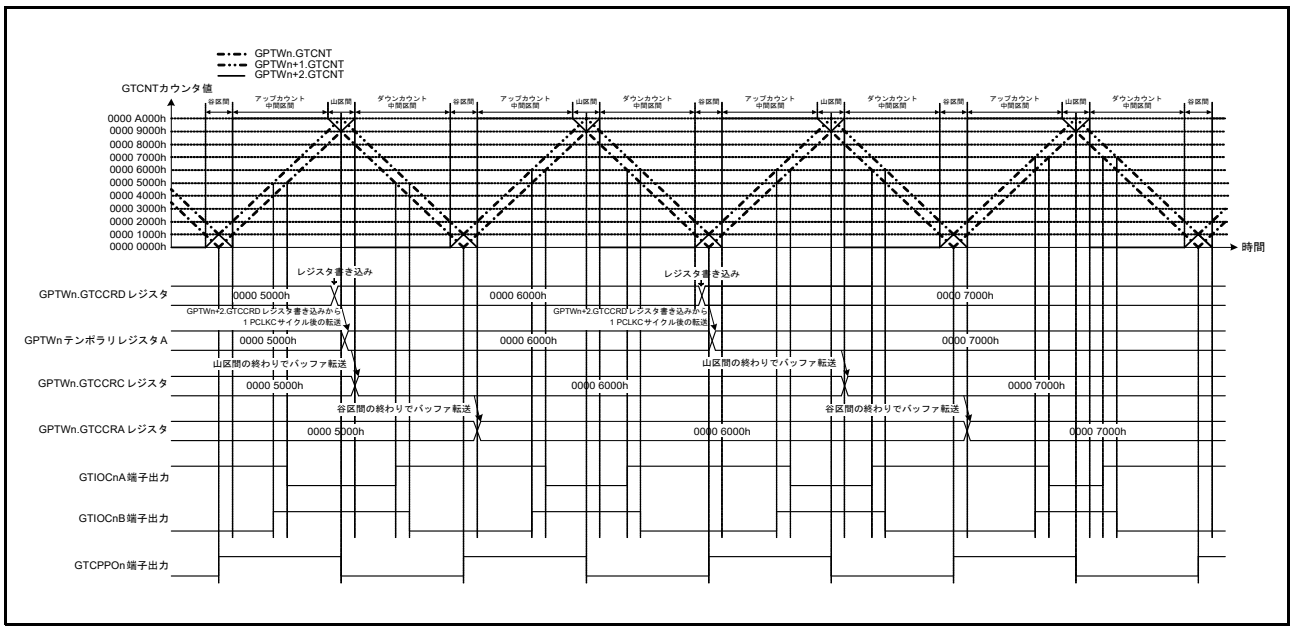


図 24.68　相補 PWM モード 2 の動作例 (2)
(アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、山 / 谷区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

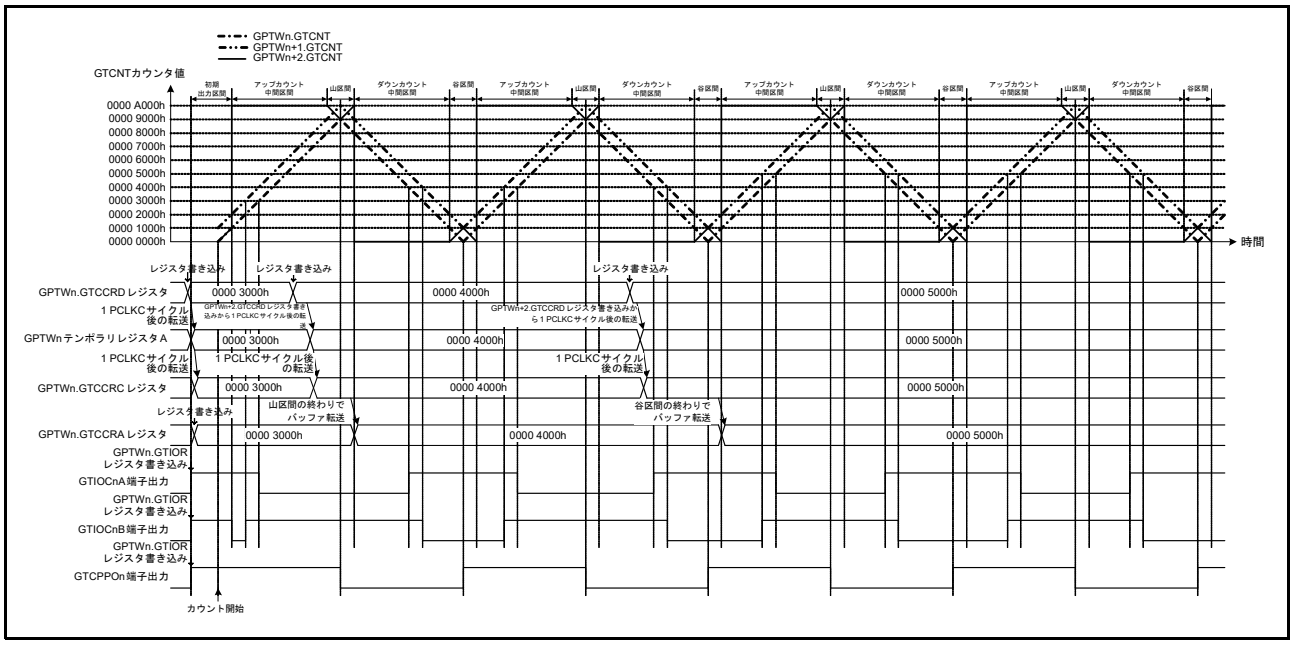


図 24.69　相補 PWM モード 3 の動作例 (1)
(シングルバッファ動作、初期出力で GTIOCnA 端子 = High 出力 /GTIOCnB 端子 = High 出力、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 /
GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 /
GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、中間区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

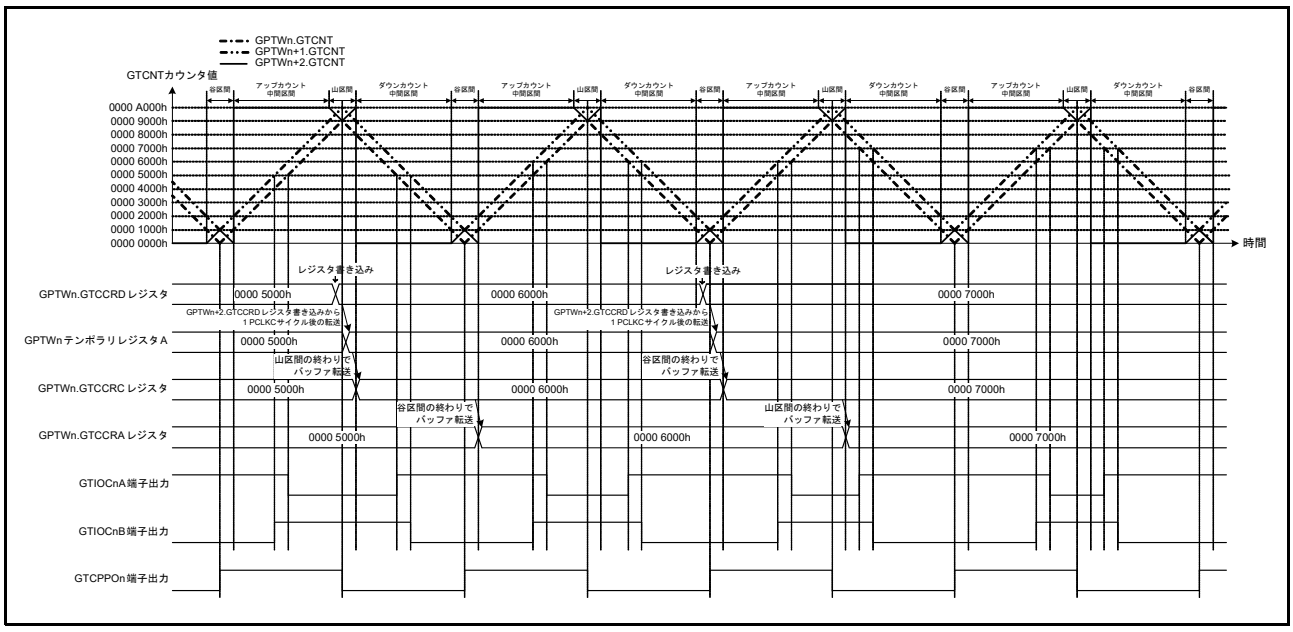


図 24.70　相補 PWM モード 3 の動作例 (2)
(シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 /
GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 /
GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、山 / 谷区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

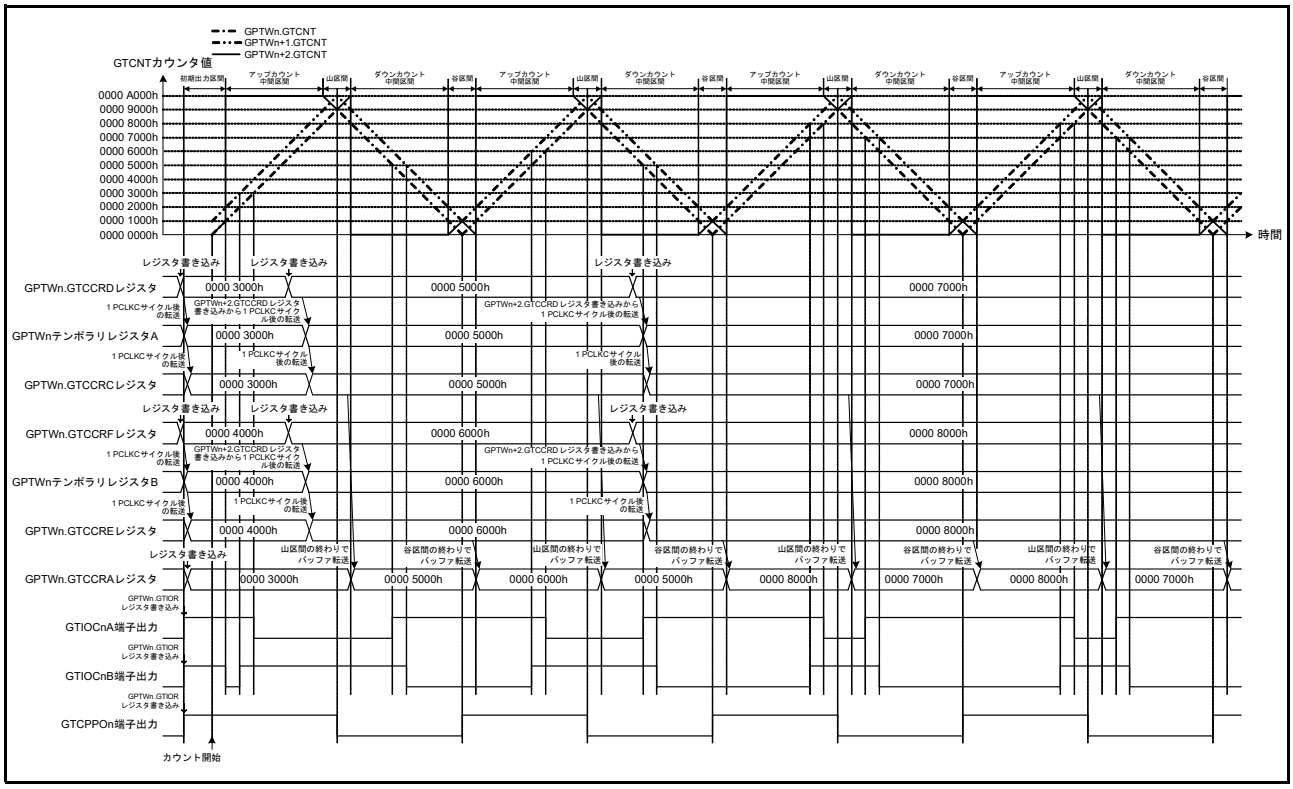


図 24.71　相補 PWM モード 3 の動作例 (3)
(ダブルバッファ動作、初期出力で GTIOCnA 端子 = High 出力 /GTIOCnB 端子 = High 出力、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 /
GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 /
GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、中間区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

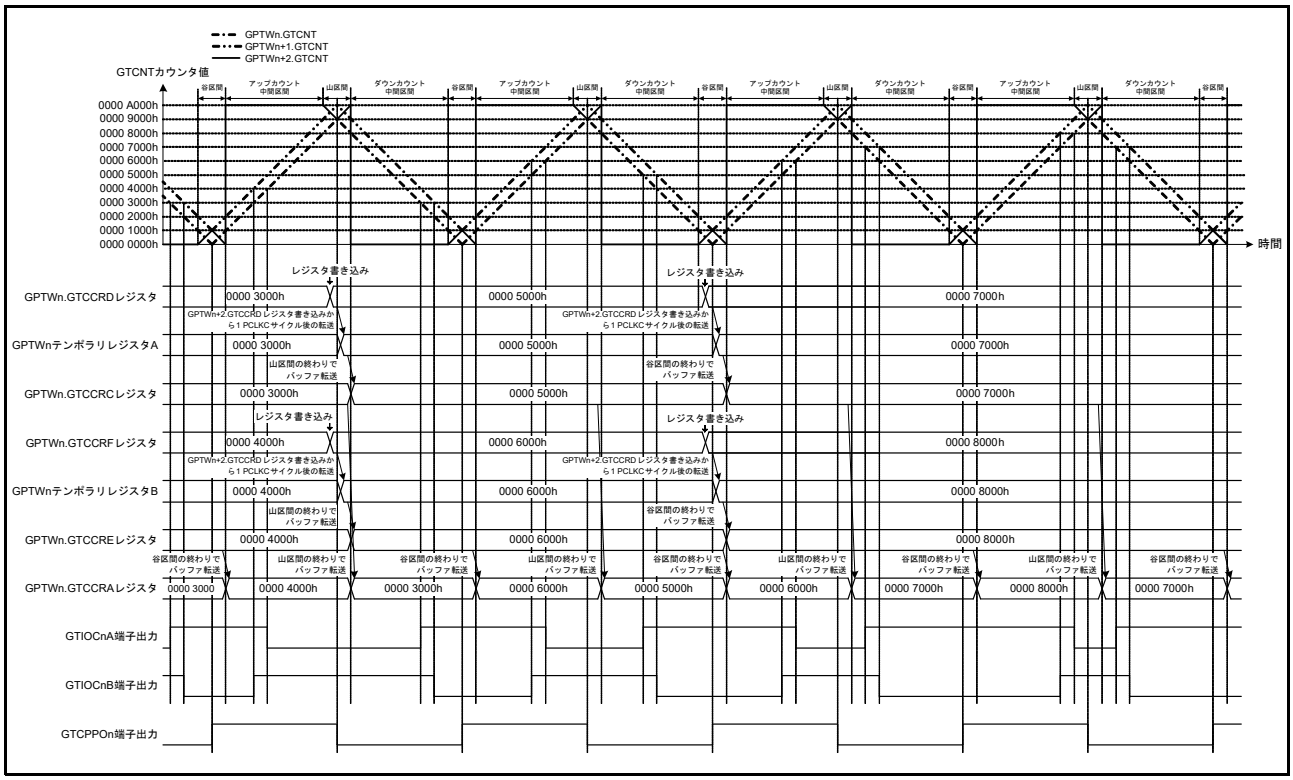


図 24.72　相補 PWM モード 3 の動作例 (4)
(ダブルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、山 / 谷区間で GTCCRD レジスタ更新の場合) (n = 0, 4)

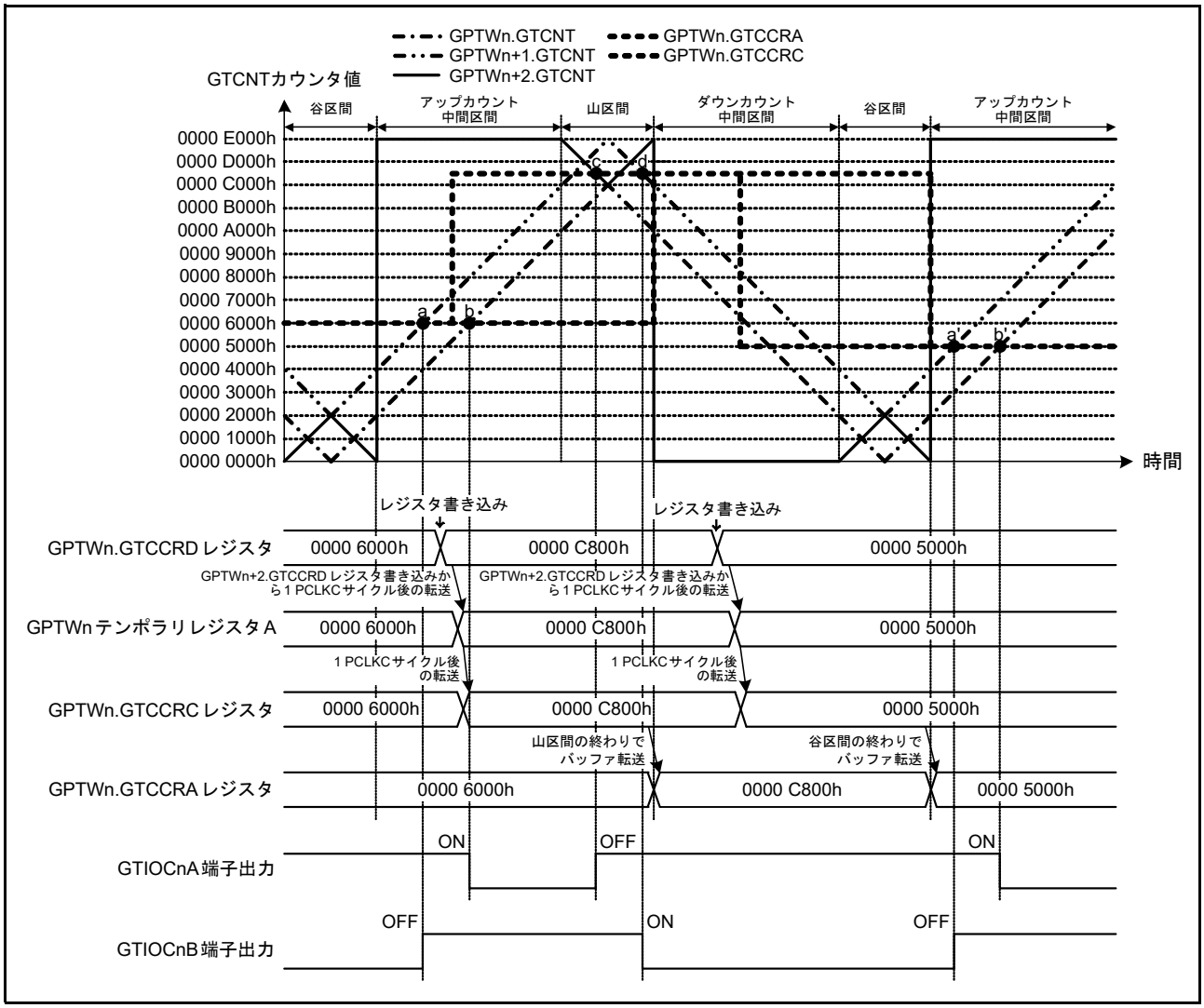


図 24.73　相補 PWM モードコンペアマッチ発生順の動作例 (1)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a → b → c → d の場合) (n = 0, 4)

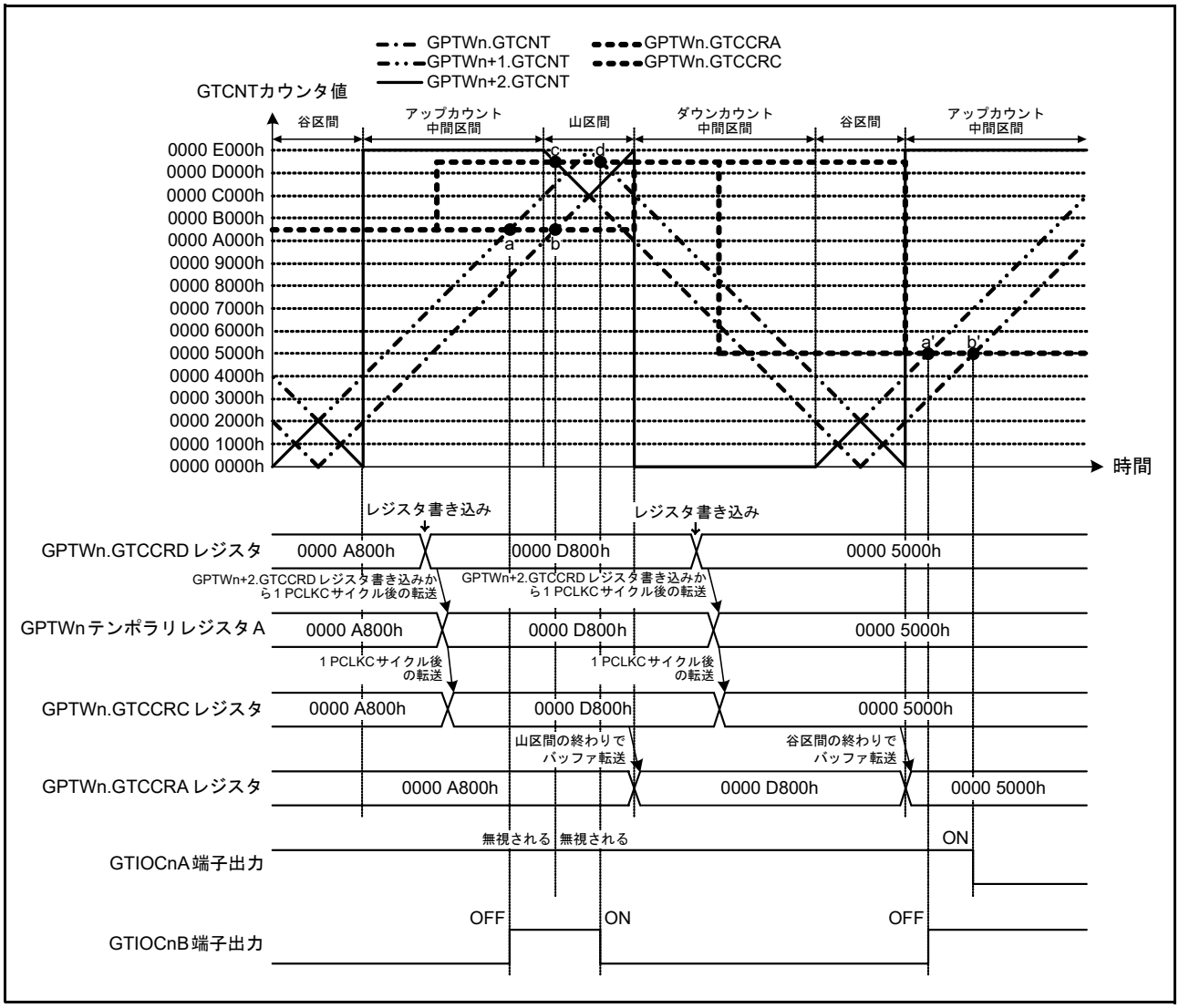


図 24.74　相補 PWM モードコンペアマッチ発生順の動作例 (2)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a → (b, c) → d の場合) (n = 0, 4)

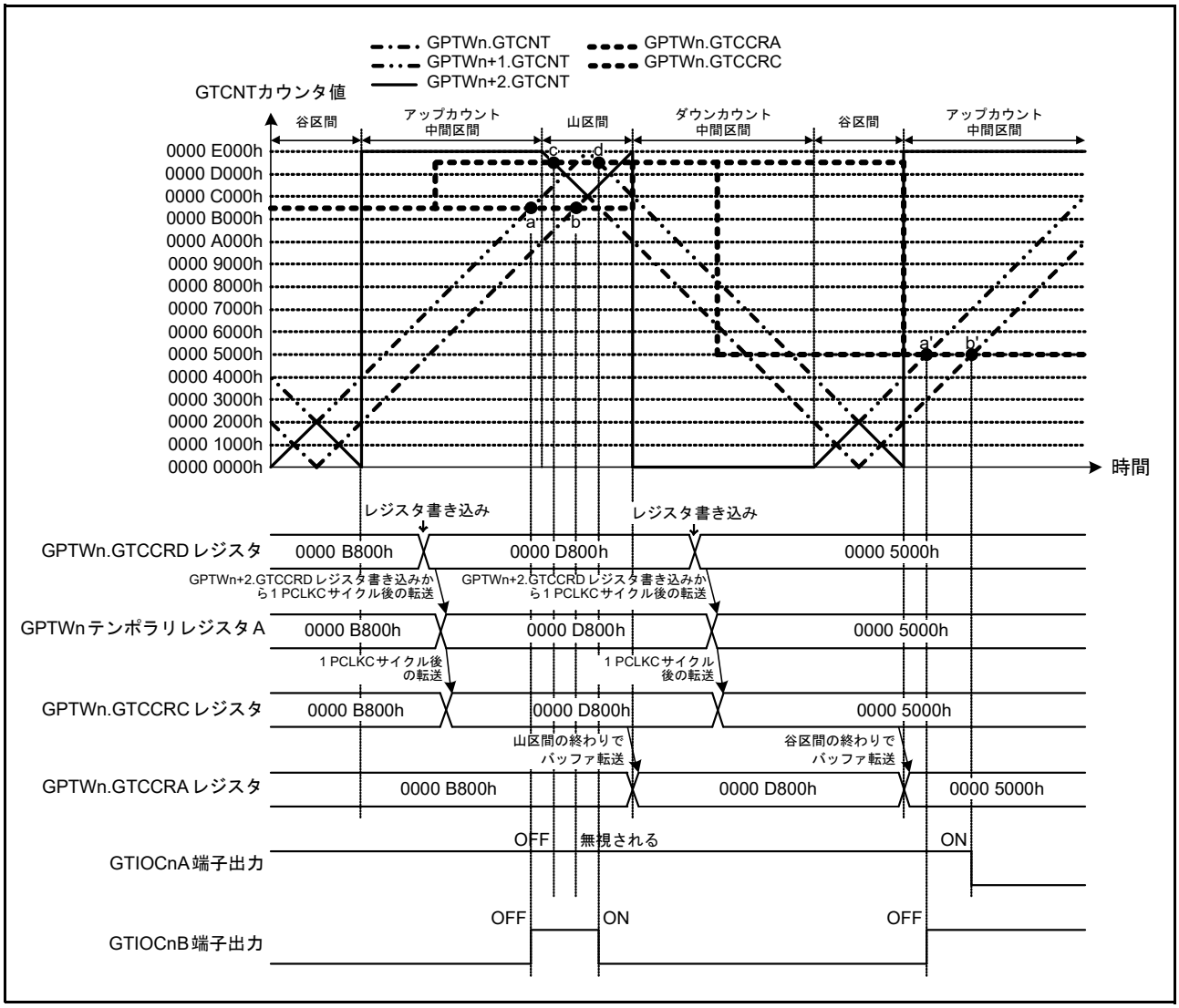


図 24.75　相補 PWM モードコンペアマッチ発生順の動作例 (3)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a → c → b → d の場合) (n = 0, 4)

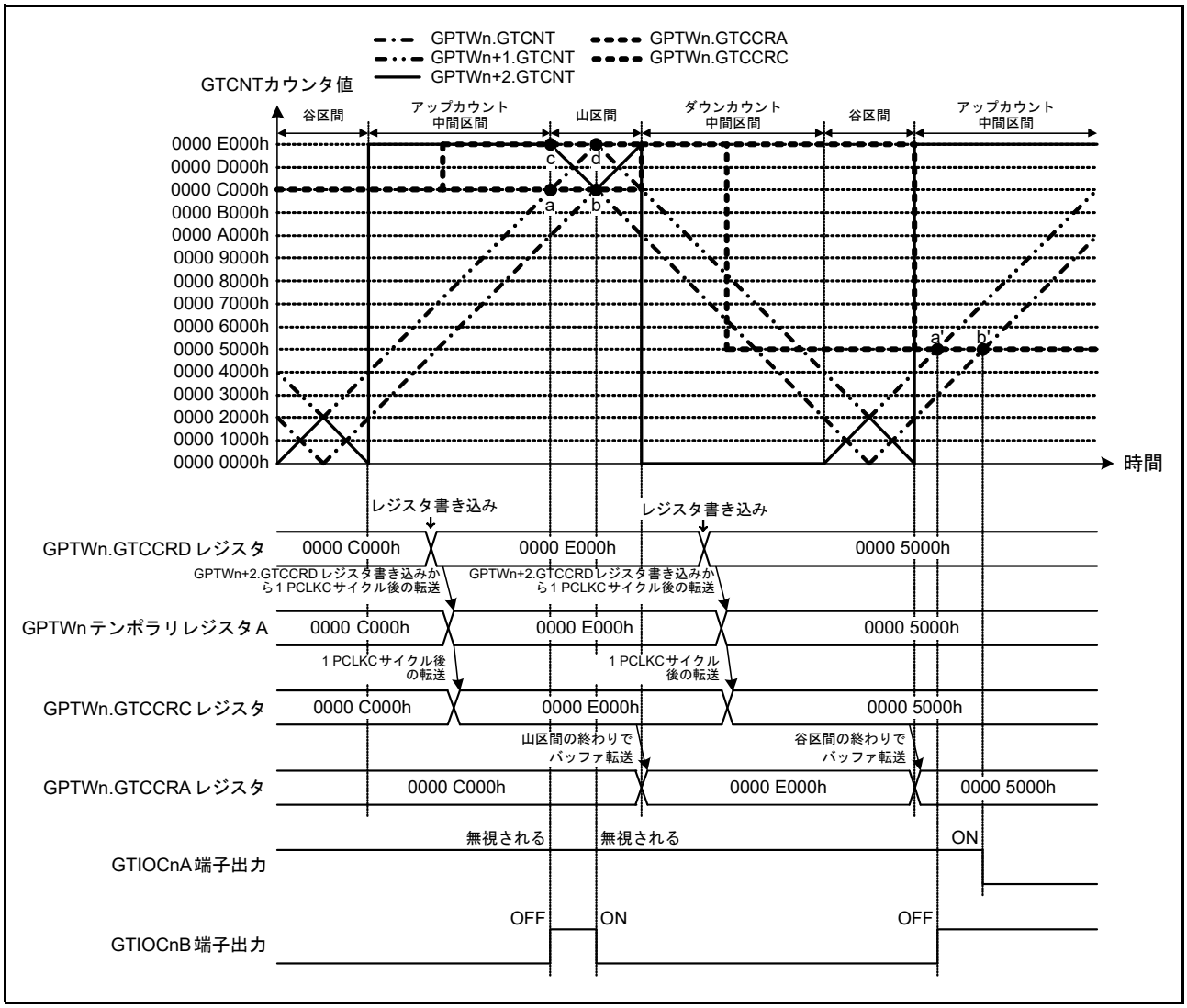


図 24.76　相補 PWM モードコンペアマッチ発生順の動作例 (4)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 (a, c) → (b, d) の場合) (n = 0, 4)

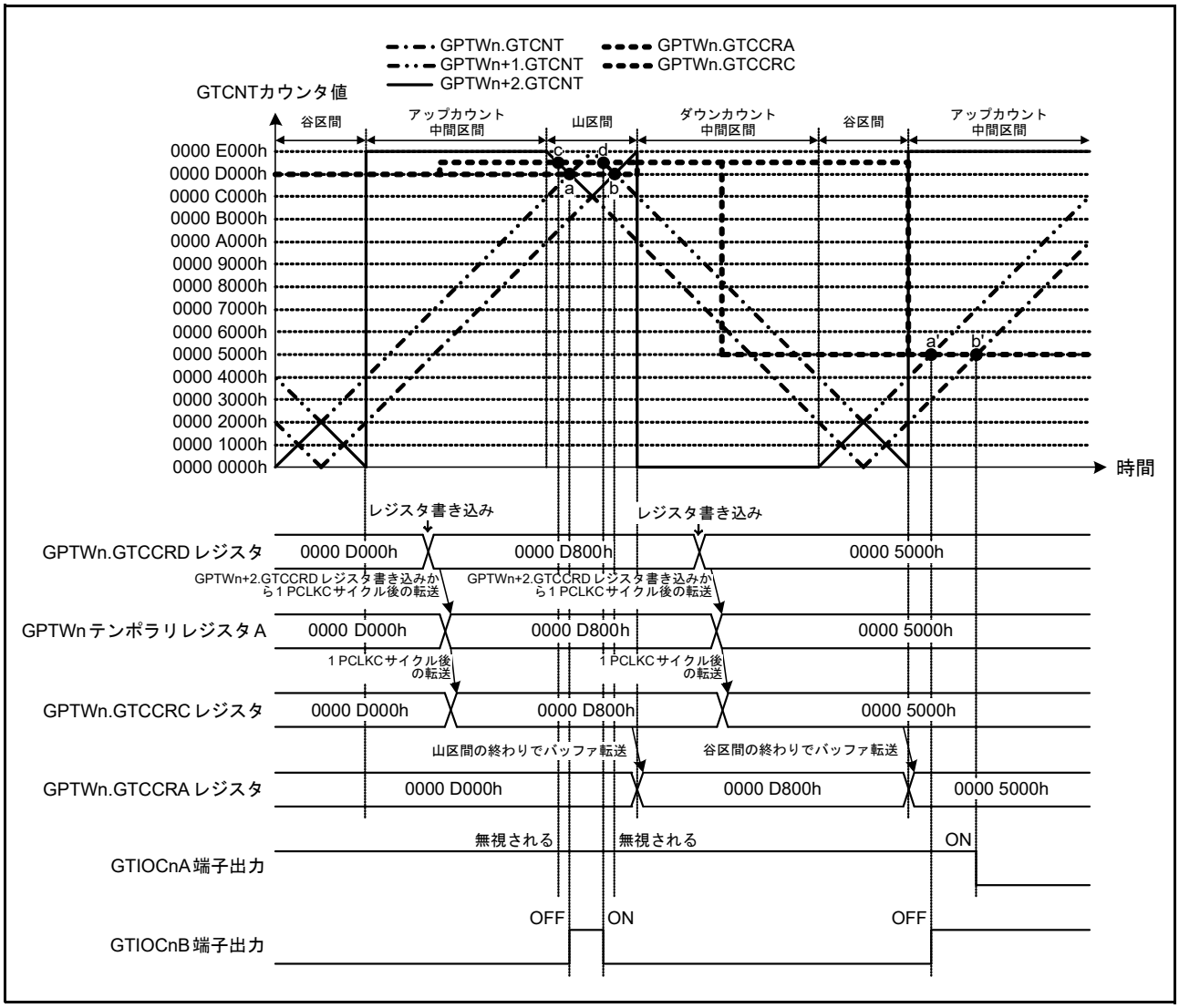


図 24.77 相補 PWM モードコンペアマッチ発生順の動作例 (5)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 c → a → d → b の場合) (n = 0, 4)

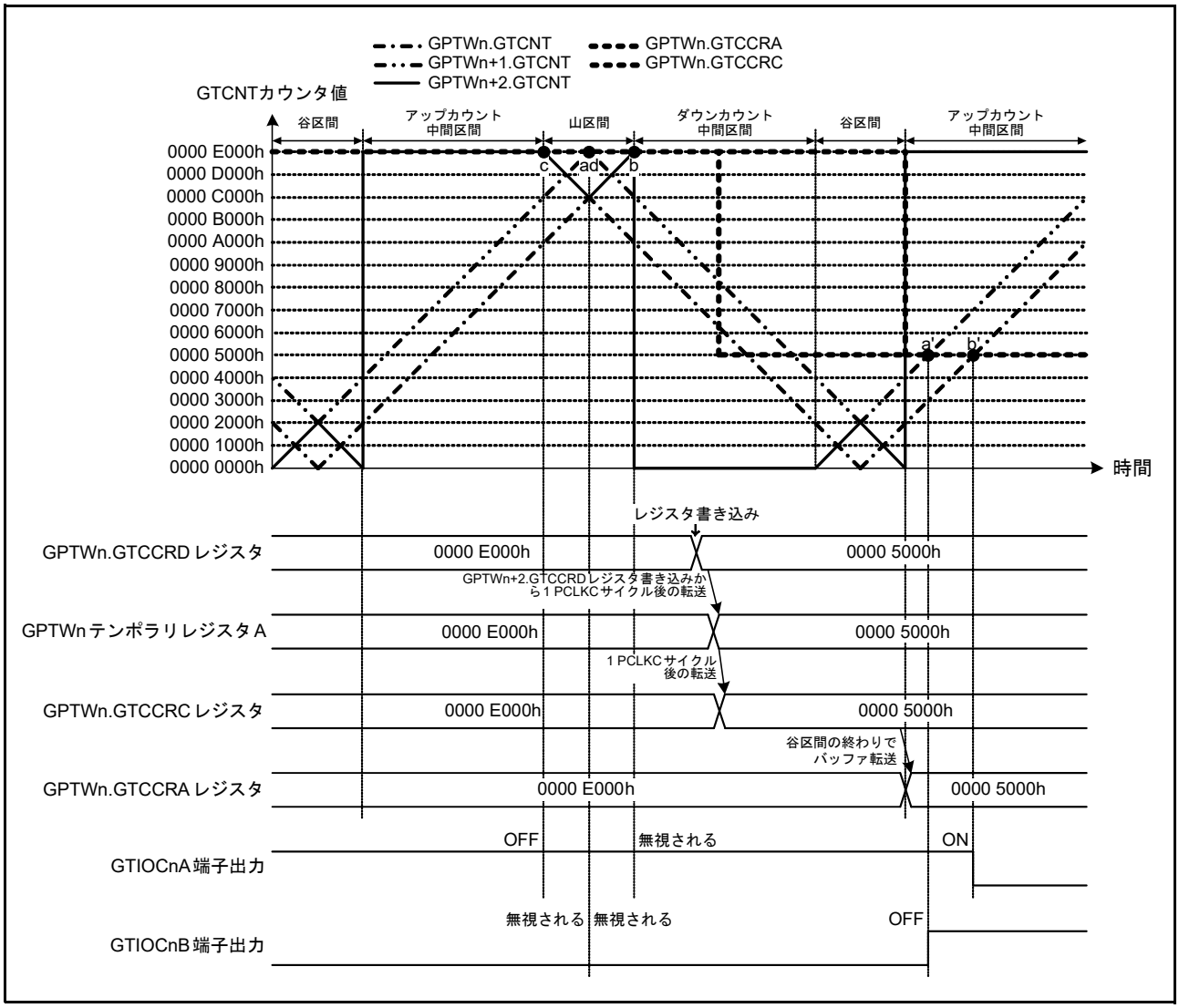


図 24.78　相補 PWM モードコンペアマッチ発生順の動作例 (6)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 c → (a, d) → b の場合) (n = 0, 4)

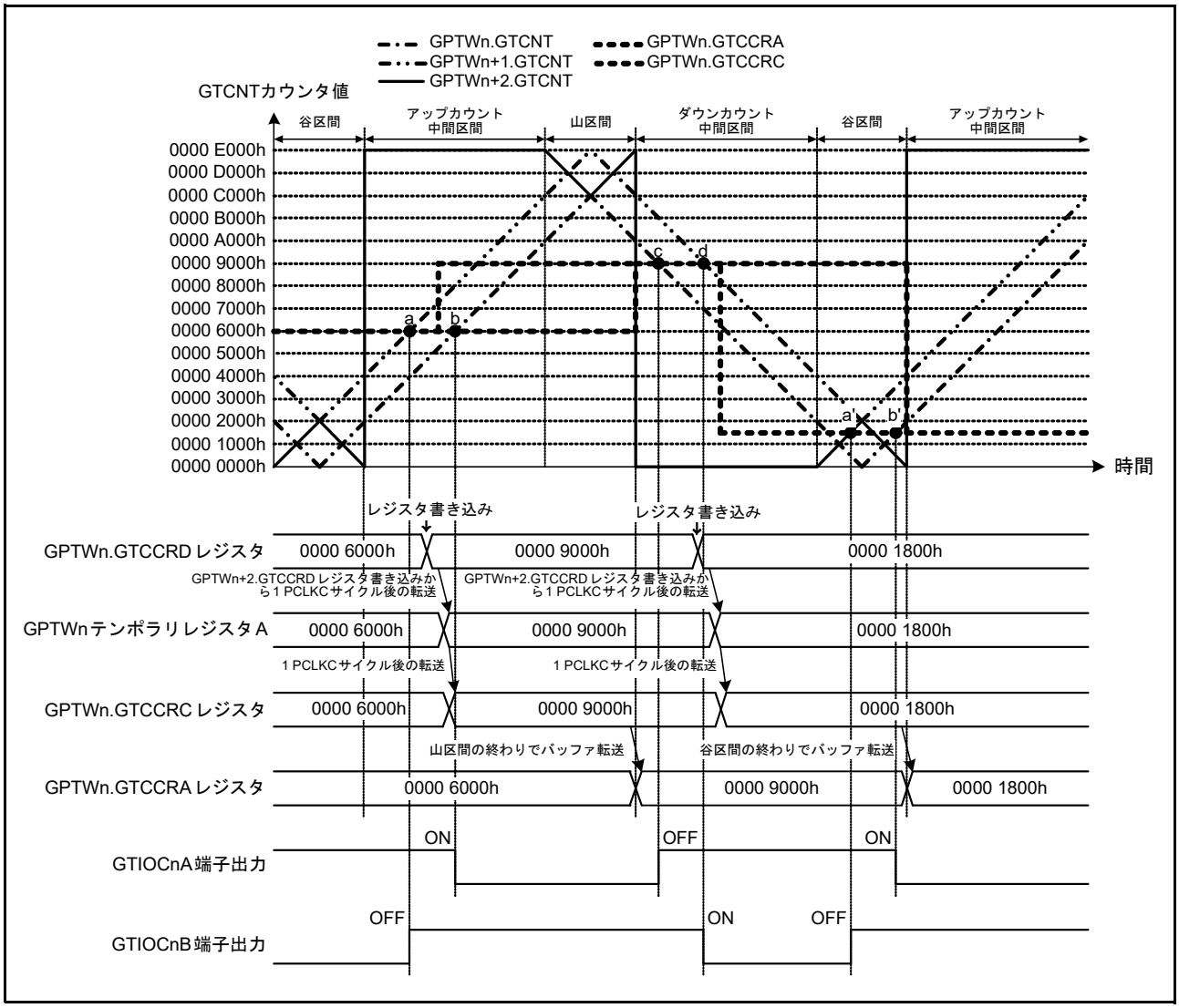


図 24.79　相補 PWM モードコンペアマッチ発生順の動作例 (7)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 c → d → a’ → b’ の場合) (n = 0, 4)

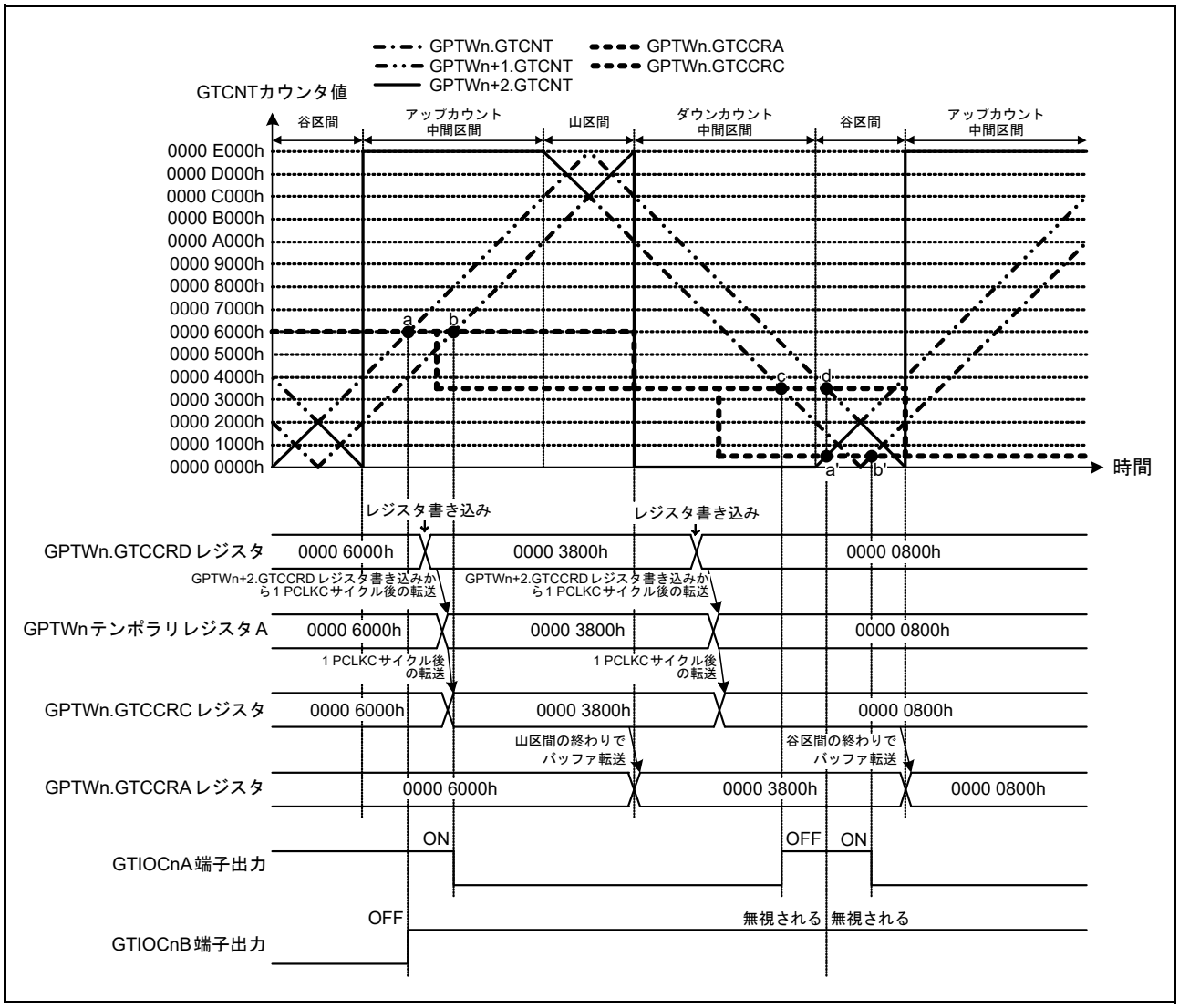


図 24.80　相補 PWM モードコンペアマッチ発生順の動作例 (8)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 c → (d, a’) → b’ の場合) (n = 0, 4)

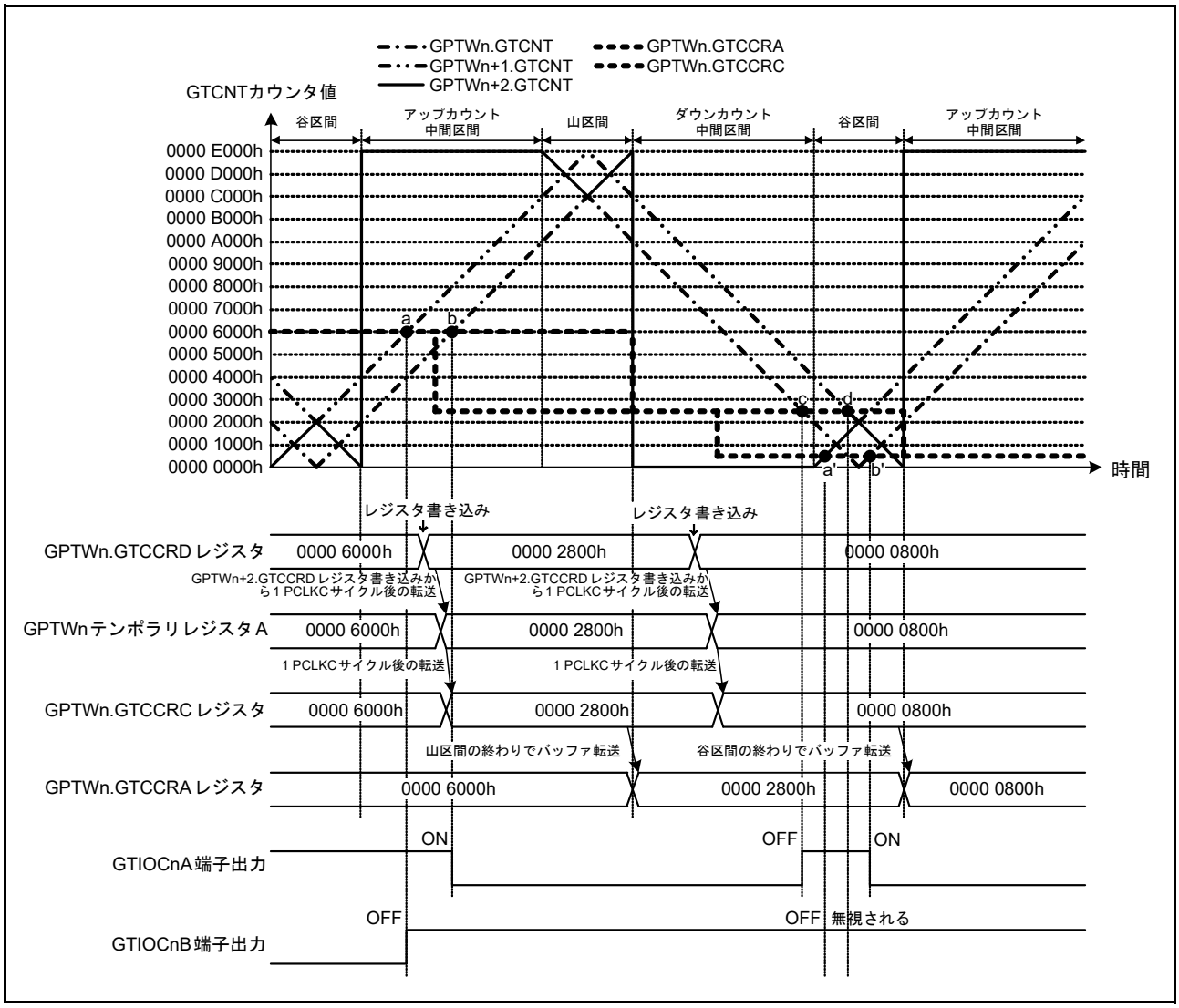


図 24.81　相補 PWM モードコンペアマッチ発生順の動作例 (9)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 c → a’ → d → b’ の場合) (n = 0, 4)

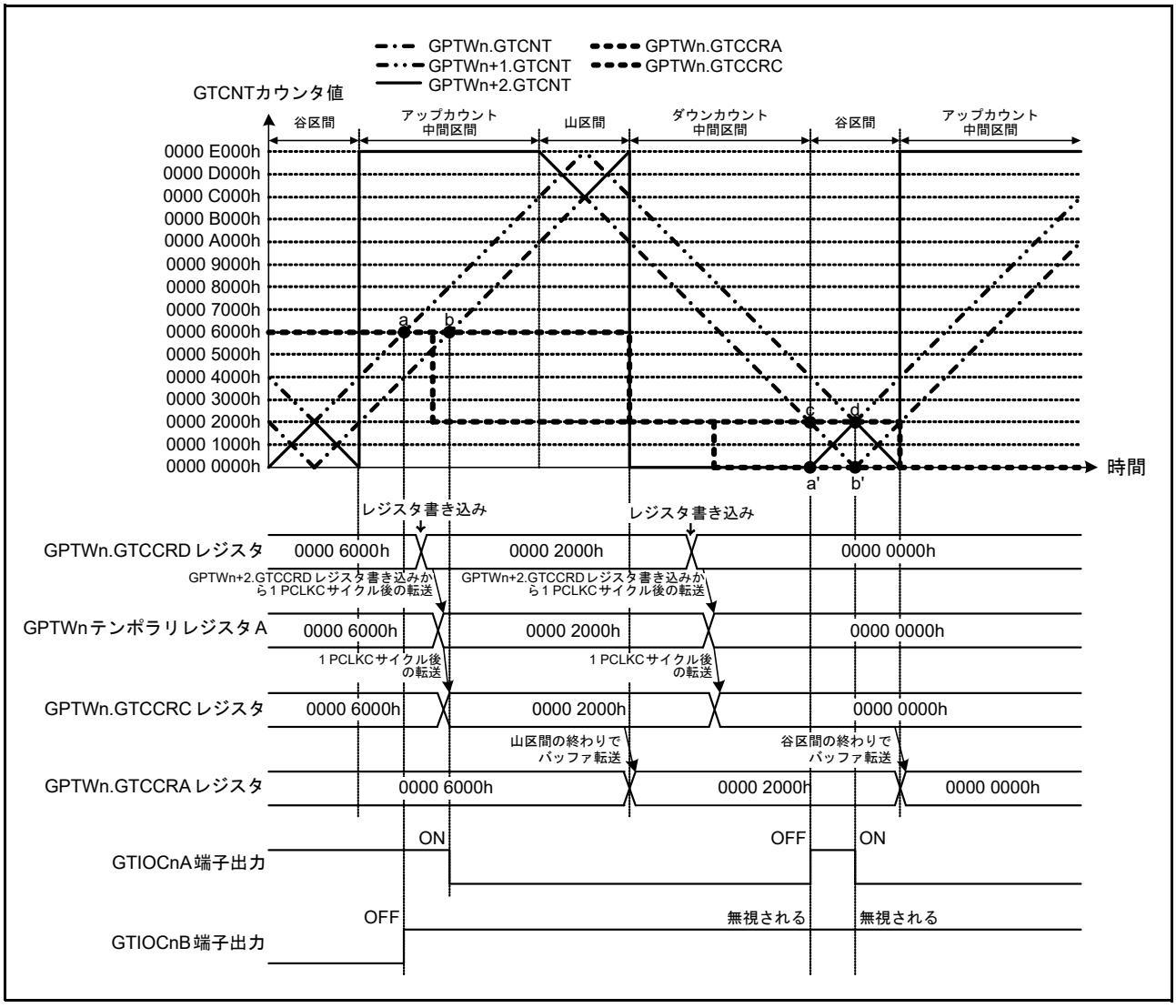


図 24.82　相補 PWM モードコンペアマッチ発生順の動作例 (10)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 (c, a’) → (d, b’) の場合) (n = 0, 4)

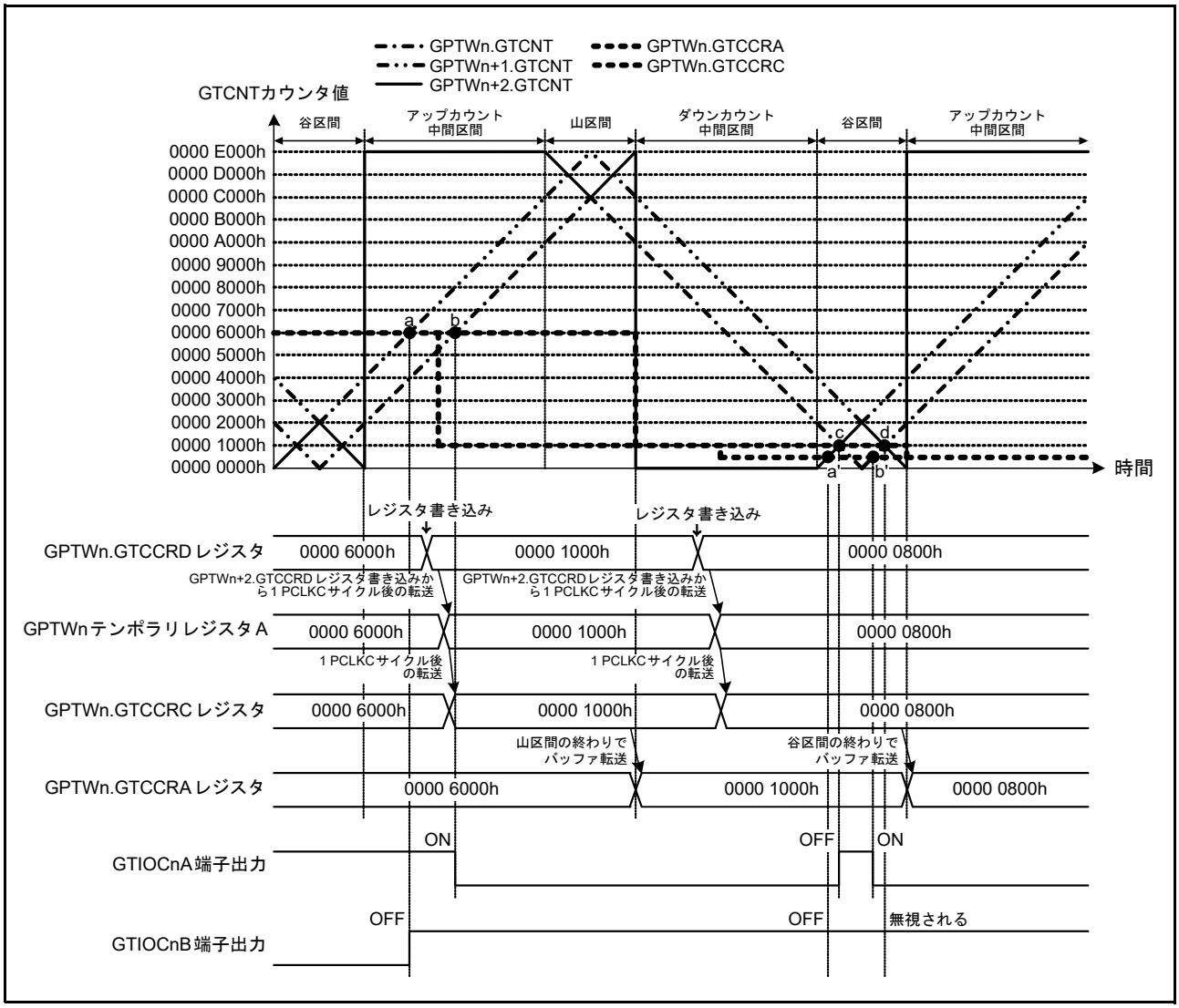


図 24.83　相補 PWM モードコンペアマッチ発生順の動作例 (11)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a’ → c → b’ → d の場合) (n = 0, 4)

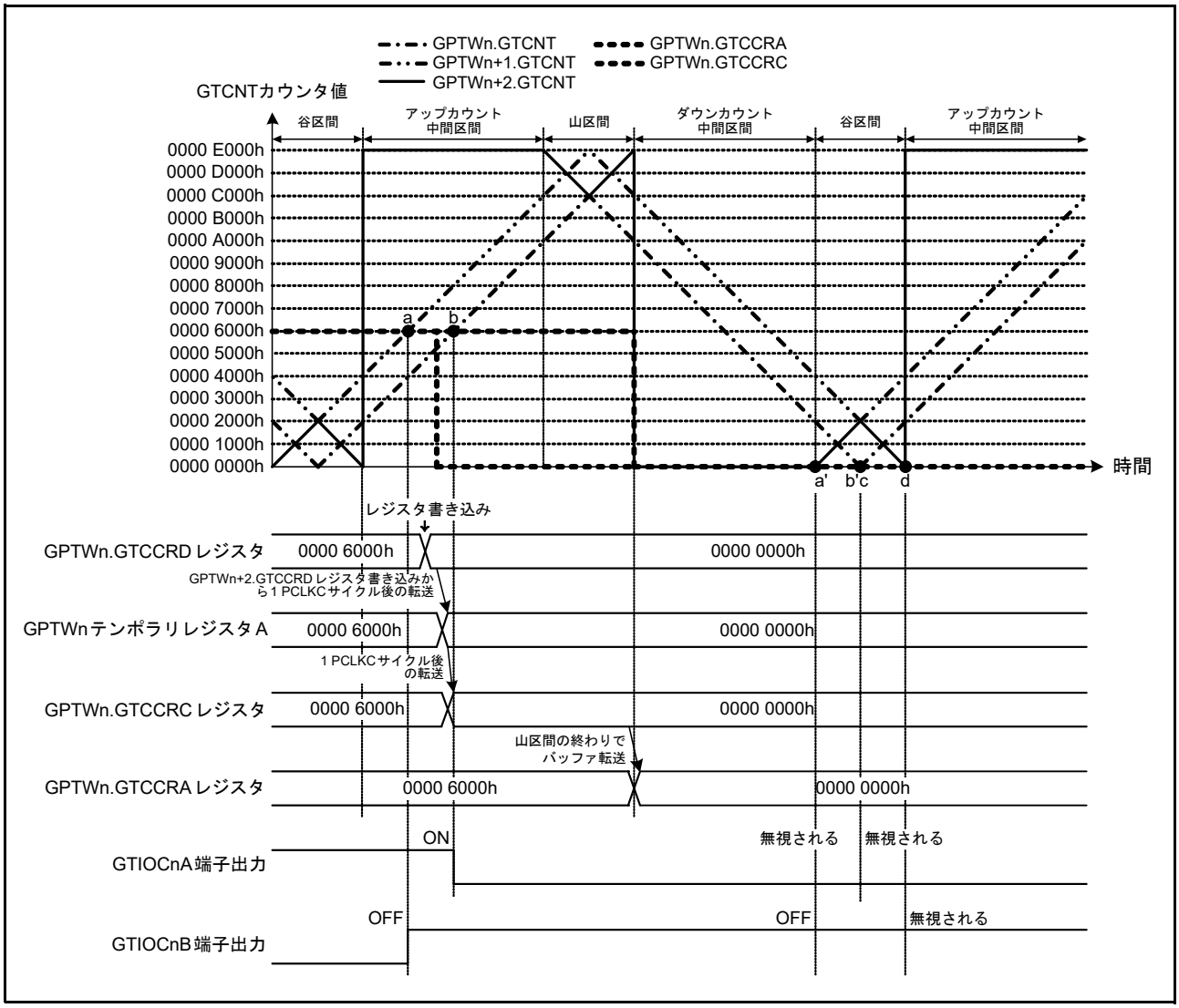


図 24.84　相補 PWM モードコンペアマッチ発生順の動作例 (12)
(相補 PWM モード 3 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a’ → (b’, c) → d の場合) (n = 0, 4)

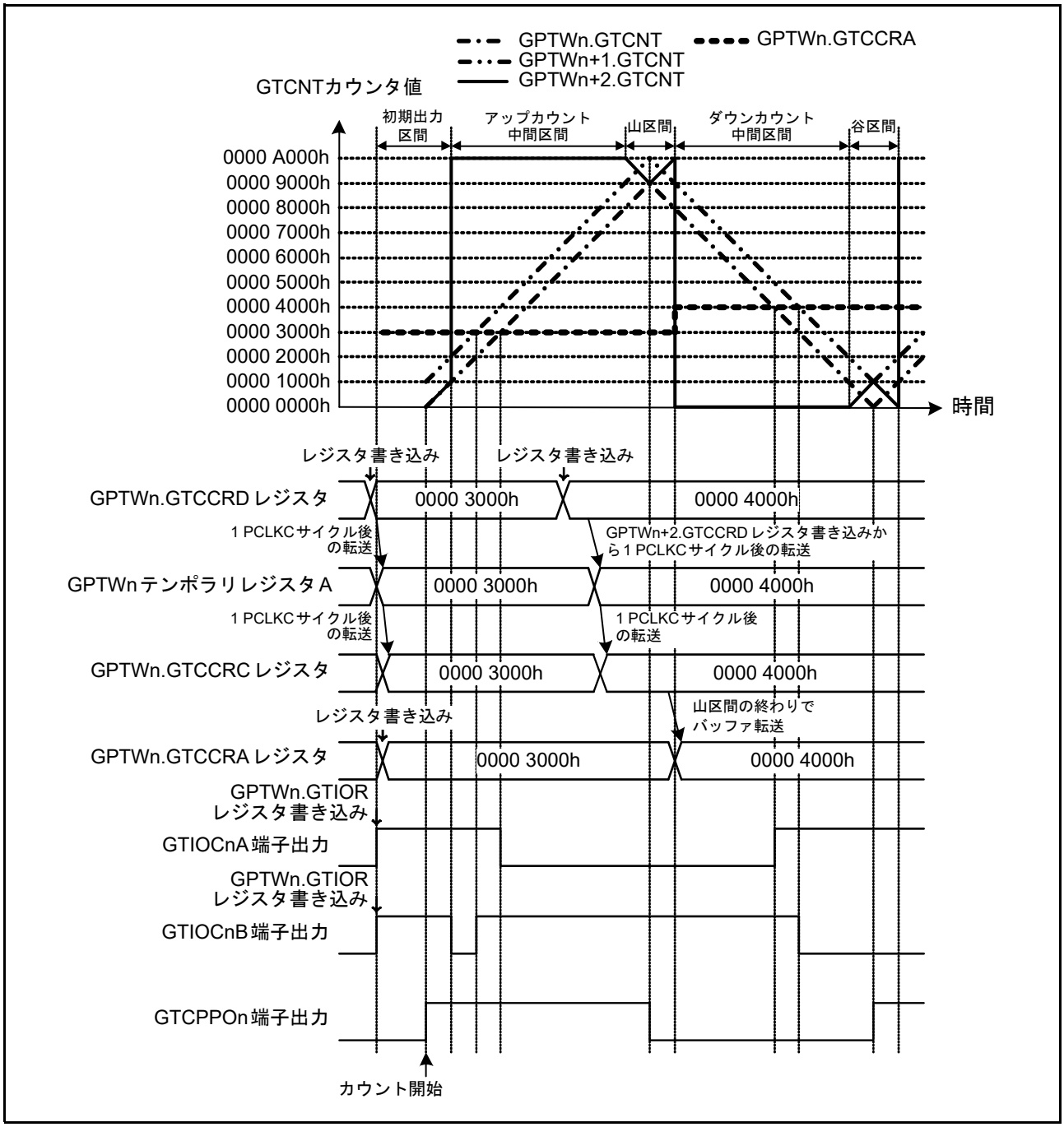


図 24.85 相補 PWM モード初期出力の動作例 (1)
(相補 PWM モード 1 動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、初期 GTCCRA レジスタの値がデッドタイム値よりも大きい場合) (n = 0, 4)

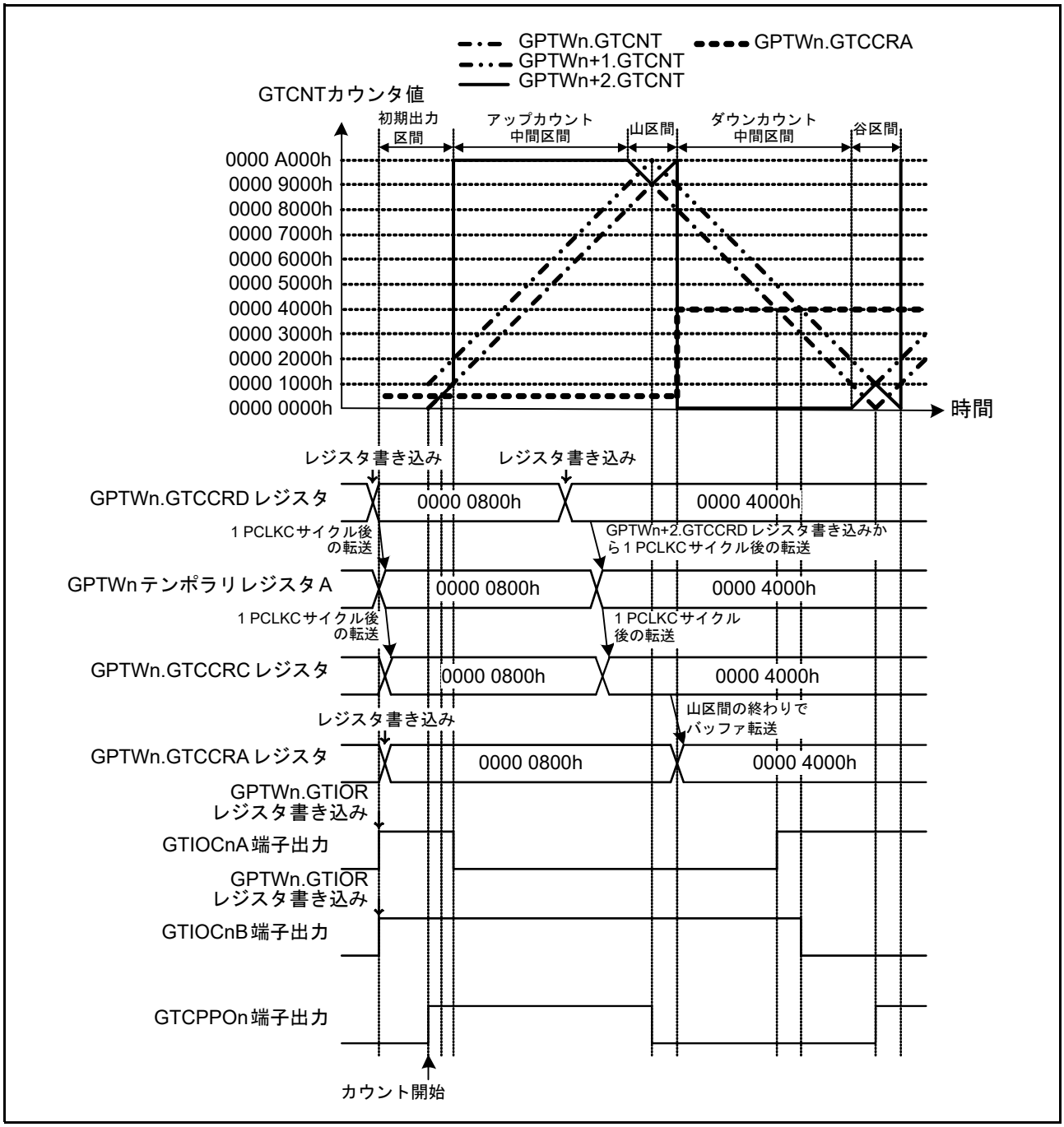


図 24.86 相補 PWM モード初期出力の動作例 (2)
(相補 PWM モード 1 動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
デッドタイム値 “0000 1000h”、初期 GTCCRA レジスタの値がデッドタイム値以下の場合) (n = 0, 4)

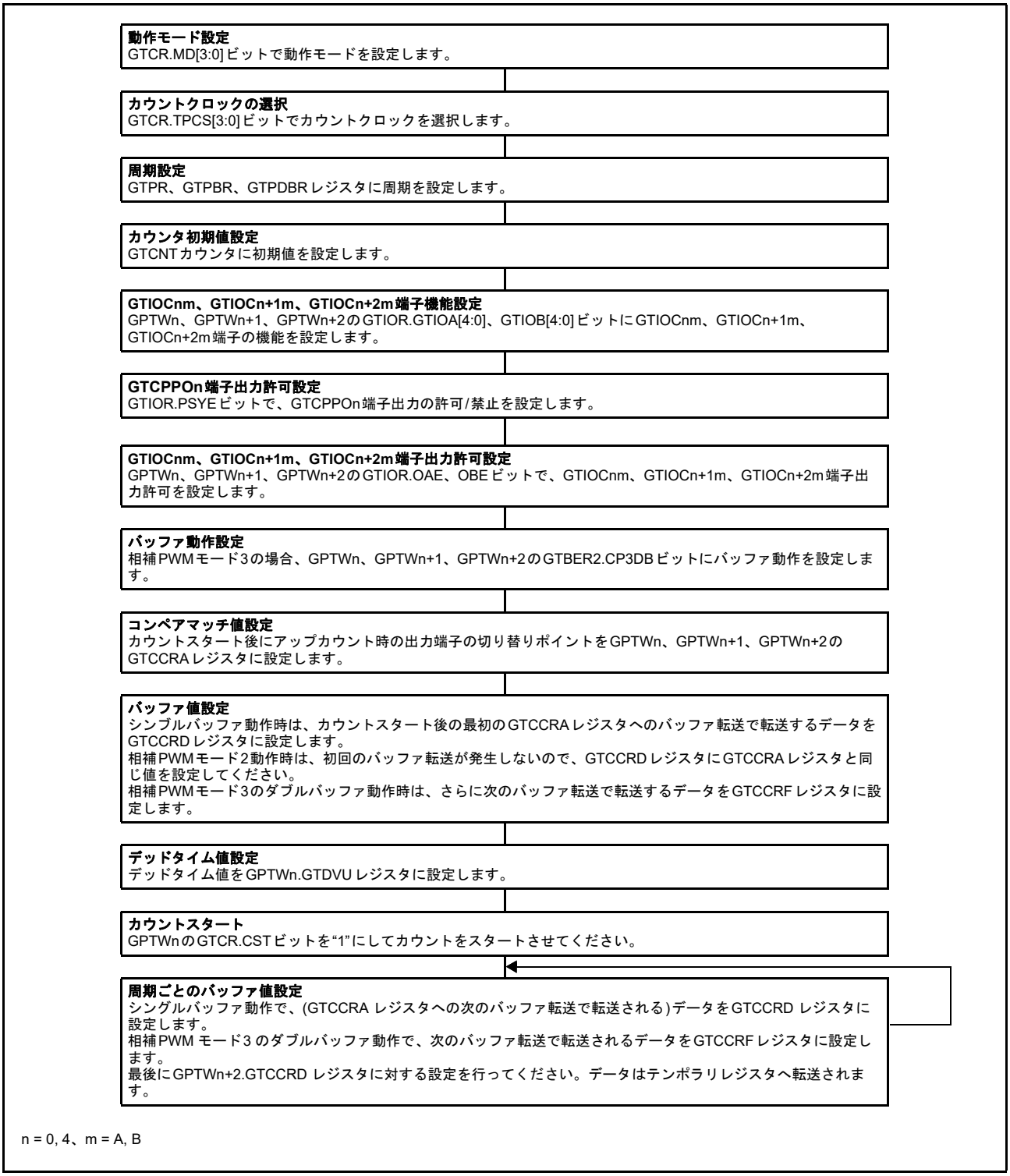


図 24.87　相補 PWM モード 1、2、3 の設定例

(8)　相補 PWM モード 4

相補 PWM モード 4 は、テンポラリレジスタへのバッファ転送時に GTCCRA レジスタにも転送を行うことで、GTCCRD レジスタおよび GTCCRF レジスタに書き込んだ値を山もしくは谷の転送タイミングを待たず、即時にコンペアマッチ動作に反映させるモードです。

図 24.88 に相補 PWM モード 4 時のブロック図を示します。

構成は、図 24.64 に示す他の相補 PWM モード時に対して、GTCCRD レジスタから GTCCRC レジスタ、GTCCRA レジスタへのバッファ転送経路、および GTCCRF レジスタから GTCCRE レジスタ、GTCCRA レジスタへのバッファ転送経路が追加されたものとなります。

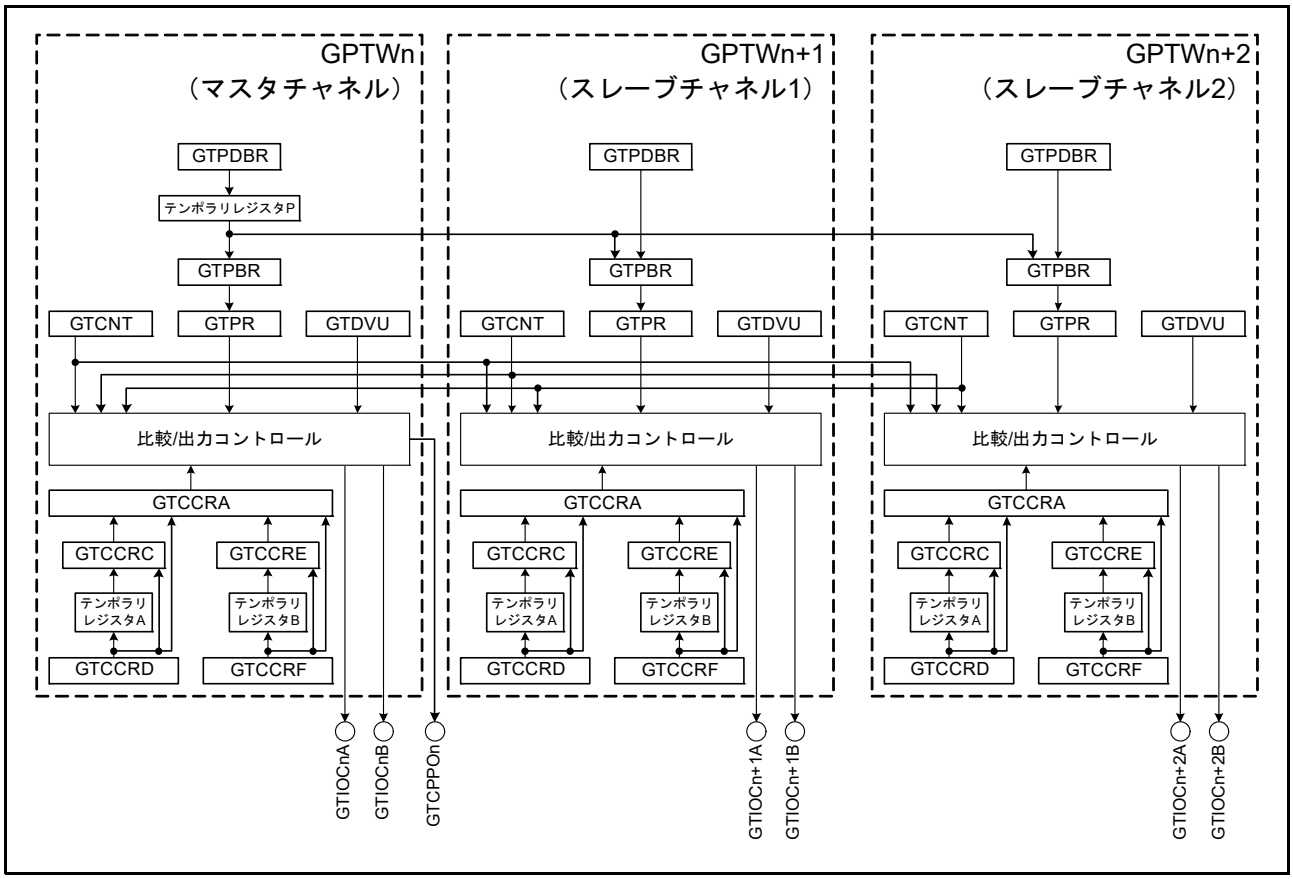


図 24.88　相補 PWM モード 4 時のブロック図 (n = 0, 4)

カウント動作は、相補 PWM モード 1、2、3 と同じです。表 24.12、表 24.13 を参照してください。

相補 PWM モード 4 のバッファ動作および PWM 波形の変化は、相補 PWM モード 3 の動作を基本として、GTCCRD レジスタおよび GTCCRF レジスタから図 24.88 に示すバッファ転送が追加され、動作区間、GTCCRA レジスタとの比較状態、書き込み値によって、バッファ転送および PWM 波形が制御されます。

GTBER2.CP3DB ビットによって、GTCCRF レジスタへの書き込みによるダブルバッファ機能の有効 / 無効を選択可能です。ダブルバッファ動作の場合、GTCCRD レジスタに書き込んだ値は、ダウンカウント時に正相を OFF(逆相を ON) するコンペアマッチ値として用い、GTCCRF レジスタに書き込んだ値は、アップカウント時に逆相を OFF(正相を ON) するコンペアマッチ値として用い、書き込みを行った動作区間、GTCCRA レジスタとの比較状態、書き込み値によって、転送するレジスタ、転送する値、PWM 出力の変化が制御されます。

ダブルバッファ動作時は、アップカウント中間およびダウンカウント中間区間でのみ動作を保証します。コンペアマッチ値として、デッドタイム値以下およびカウント周期以上の値を設定することは禁止です。

シングルバッファ動作の場合、コンペアマッチ値の書き込みはGTCCRDレジスタだけとなり、書き込みを行った、動作区間、GTCCRAレジスタとの比較状態、書き込み値によって、転送するレジスタ、転送する値、PWM出力の変化が制御されます。

GTCCRDレジスタからテンポラリレジスタA、GTCCRFレジスタからテンポラリレジスタBへの転送は、その他の相補PWMモードと同様で、GPTWn+2.GTCCRDレジスタへの書きこみによって、3チャネル同時に行われます。GTCCRDレジスタからGTCCRCレジスタ、GTCCRAレジスタ、テンポラリレジスタB、GTCCREレジスタへの転送、およびGTCCRFレジスタからGTCCREレジスタ、GTCCRAレジスタへの転送を行う場合は、前述のテンポラリレジスタへの転送と同じタイミングで行われます。

表24.17、表24.18に相補PWMモード4のシングルバッファ動作時のGTCCRDレジスタへの書き込みによるGTCCRCレジスタおよびGTCCRAレジスタへの即時バッファ転送(GPTWn+2.GTCCRDレジスタ書き込みによるテンポラリレジスタへの転送時)を各動作区間におけるコンペアマッチ状態ごとに示します。**表24.17、表24.18**以外の転送(GTCCRDレジスタからテンポラリレジスタAへの転送、テンポラリレジスタAからGTCCRCレジスタへの転送、GTCCRCレジスタからGTCCRAレジスタへの転送)は、**表24.14**の相補PWMモード3のシングルバッファ転送と同じです。

表24.19、表24.20に相補PWMモード4のダブルバッファ動作時のGTCCRDレジスタおよびGTCCRFレジスタへの書き込みによる各レジスタへの即時バッファ転送(GPTWn+2.GTCCRDレジスタ書き込みによるテンポラリレジスタへの転送時)を各動作区間におけるコンペアマッチ状態ごとに示します。**表24.19、表24.20**以外の転送(GTCCRDレジスタからテンポラリレジスタAへの転送、GTCCRFレジスタからテンポラリレジスタBへの転送、テンポラリレジスタAからGTCCRCレジスタへの転送、テンポラリレジスタBからGTCCREレジスタへの転送、GTCCRCレジスタおよぶGTCCREレジスタからGTCCRAレジスタへの転送)は、**表24.15**の相補PWMモード3のダブルバッファ転送と同じです。

表24.17　相補PWMモード4のシングルバッファ時のGTCCRDレジスタからの即時転送(1) (n = 0, 4)

動作区間	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
アップカウント中間区間	アップカウントのコンペアマッチ前	GTCCRD	• GTCCRD > GPTWn+1.GTCNTの場合 GTCCRD • GTCCRD ≦ GPTWn+1.GTCNTの場合 GPTWn+1.GTCNT 逆相をOFF
	アップカウントのデッドタイム期間	GTCCRD	転送なし
	アップカウントのコンペアマッチ後	GTCCRD	転送なし
アップカウント山区間	アップカウントのコンペアマッチ前	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	ダウンカウントのコンペアマッチ前 • GTCCRD > GPTWn+1.GTCNTの場合 GTCCRD • GTCCRD ≦ GPTWn+1.GTCNTの場合 GPTWn+1.GTCNT 逆相をOFF ダウンカウントのデッドタイム開始後 転送なし
	アップカウントのデッドタイム期間	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	転送なし
	アップカウントのコンペアマッチ後	ダウンカウントのコンペアマッチ前 • GTCCRD < GPTWn+2.GTCNTの場合 GTCCRD • GTCCRD ≧ GPTWn+2.GTCNTの場合 GPTWn+2.GTCNT 正相をOFF ダウンカウントのデッドタイム開始後 転送なし	転送なし
ダウンカウント山区間	ダウンカウントのコンペアマッチ前	アップカウントのデッドタイム期間 • GTCCRD < GPTWn+1.GTCNTの場合 GTCCRD • GTCCRD ≧ GPTWn+1.GTCNTの場合 GPTWn+1.GTCNT 逆相をOFF アップカウントのコンペアマッチ後 • GTCCRD < GPTWn.GTCNTの場合 GTCCRD • GTCCRD ≧ GPTWn.GTCNTの場合 GPTWn.GTCNT 正相をOFF	転送なし
	ダウンカウントのデッドタイム期間	転送なし	転送なし
	ダウンカウントのコンペアマッチ後	転送なし	転送なし

表24.18　相補PWMモード4のシングルバッファ時のGTCCRDレジスタからの即時転送(2) (n = 0, 4)

動作区間	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント中間区間	ダウンカウントのコンペアマッチ前	GTCCRD	• GTCCRD < GPTWn.GTCNTの場合 GTCCRD • GTCCRD ≧ GPTWn.GTCNTの場合 GPTWn.GTCNT 正相をOFF
	ダウンカウントのデッドタイム期間	GTCCRD	転送なし
	ダウンカウントのコンペアマッチ後	GTCCRD	転送なし
ダウンカウント谷区間	ダウンカウントのコンペアマッチ前	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	アップカウントのコンペアマッチ前 • GTCCRD < GPTWn.GTCNTの場合 GTCCRD • GTCCRD ≧ GPTWn.GTCNTの場合 GPTWn.GTCNT 正相をOFF アップカウントのデッドタイム開始後 転送なし
	ダウンカウントのデッドタイム期間	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	転送なし
	ダウンカウントのコンペアマッチ後	アップカウントのコンペアマッチ前 • GTCCRD > GPTWn+2.GTCNTの場合 GTCCRD • GTCCRD ≦ GPTWn+2.GTCNTの場合 GPTWn+2.GTCNT 逆相をOFF アップカウントのデッドタイム開始後 転送なし	転送なし
アップカウント谷区間	アップカウントのコンペアマッチ前	ダウンカウントのデッドタイム期間 • GTCCRD > GPTWn.GTCNTの場合 GTCCRD • GTCCRD ≦ GPTWn.GTCNTの場合 GPTWn.GTCNT 正相をON ダウンカウントのコンペアマッチ後 • GTCCRD > GPTWn+1.GTCNTの場合 GTCCRD • GTCCRD ≦ GPTWn+1.GTCNTの場合 GPTWn+1.GTCNT 逆相をOFF	転送なし
	アップカウントのデッドタイム期間	転送なし	転送なし
	アップカウントのコンペアマッチ後	転送なし	転送なし

表24.19　相補 PWM モード 4 のダブルバッファ時の GTCCRD レジスタおよび GTCCRF レジスタからの即時転送 (1) (n = 0, 4)

動作区間	コンペアマッチ状態	即時転送先レジスタ		
		GTCCRC	GTCCRE	GTCCRA
アップカウント中間区間	アップカウントのコンペアマッチ前	GTCCRD	GTCCRF	• GTCCRF > GPTWn+1.GTCNTの場合 GTCCRF • GTCCRF ≦ GPTWn+1.GTCNTの場合 GPTWn+1.GTCNT 逆相をOFF
	アップカウントのデッドタイム期間	GTCCRD	GTCCRF	転送なし
	アップカウントのコンペアマッチ後	GTCCRD	GTCCRF	転送なし

表24.20　相補 PWM モード 4 のダブルバッファ時の GTCCRD レジスタおよび GTCCRF レジスタからの即時転送 (2) (n = 0, 4)

動作区間	コンペアマッチ状態	即時転送先レジスタ		
		GTCCRC	GTCCRE	GTCCRA
ダウンカウント中間区間	ダウンカウントのコンペアマッチ前	GTCCRD	GTCCRF	• GTCCRD < GPTWn+1.GTCNTの場合 GTCCRD • GTCCRD ≧ GPTWn.GTCNTの場合 GPTWn.GTCNT 正相をOFF
	ダウンカウントのデッドタイム期間	GTCCRD	GTCCRF	転送なし
	ダウンカウントのコンペアマッチ後	GTCCRD	GTCCRF	転送なし

相補 PWM モード 4 のシングルバッファ動作時の動作例を動作区間ごとに示します。

- アップカウント中間区間：図 24.89
- アップカウント山区間：図 24.90
- ダウンカウント山区間：図 24.91
- ダウンカウント中間区間：図 24.92
- ダウンカウント谷区間：図 24.93

相補 PWM モード 4 のダブルバッファ動作時の動作例を動作区間ごとに示します。

- アップカウント中間区間：図 24.94 ～図 24.95
- ダウンカウント中間区間：図 24.96 ～図 24.97

相補 PWM モード 4 の設定例を図 24.98 に示します。

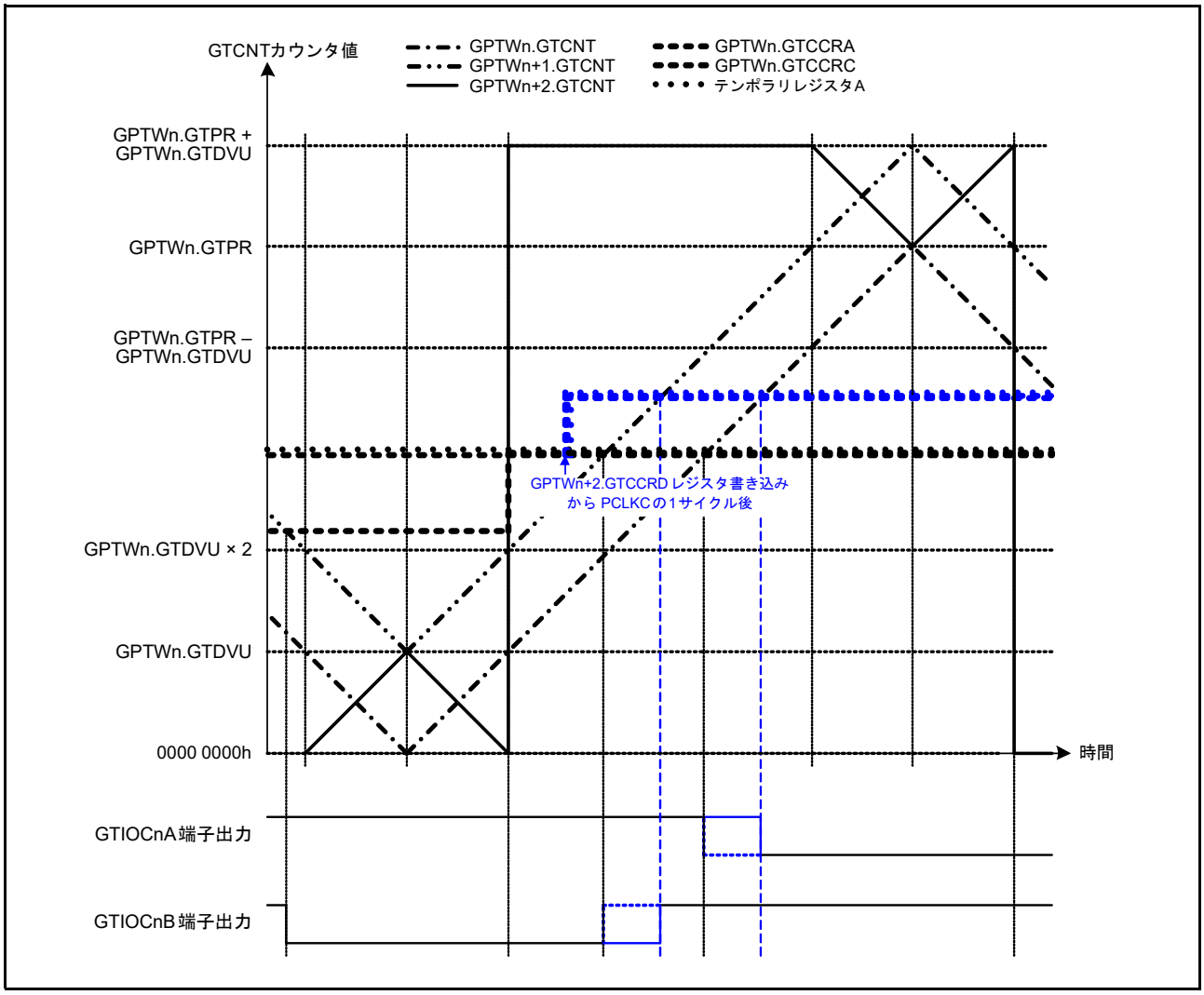


図 24.89　相補 PWM モード 4 シングルバッファの動作例 (アップカウント中間区間)
(相補 PWM モード 4 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
アップカウントのコンペアマッチ前に GPTWn+1.GTCNT よりも大きい値を GTCCRD レジスタに書き込んだ場合) (n = 0, 4)

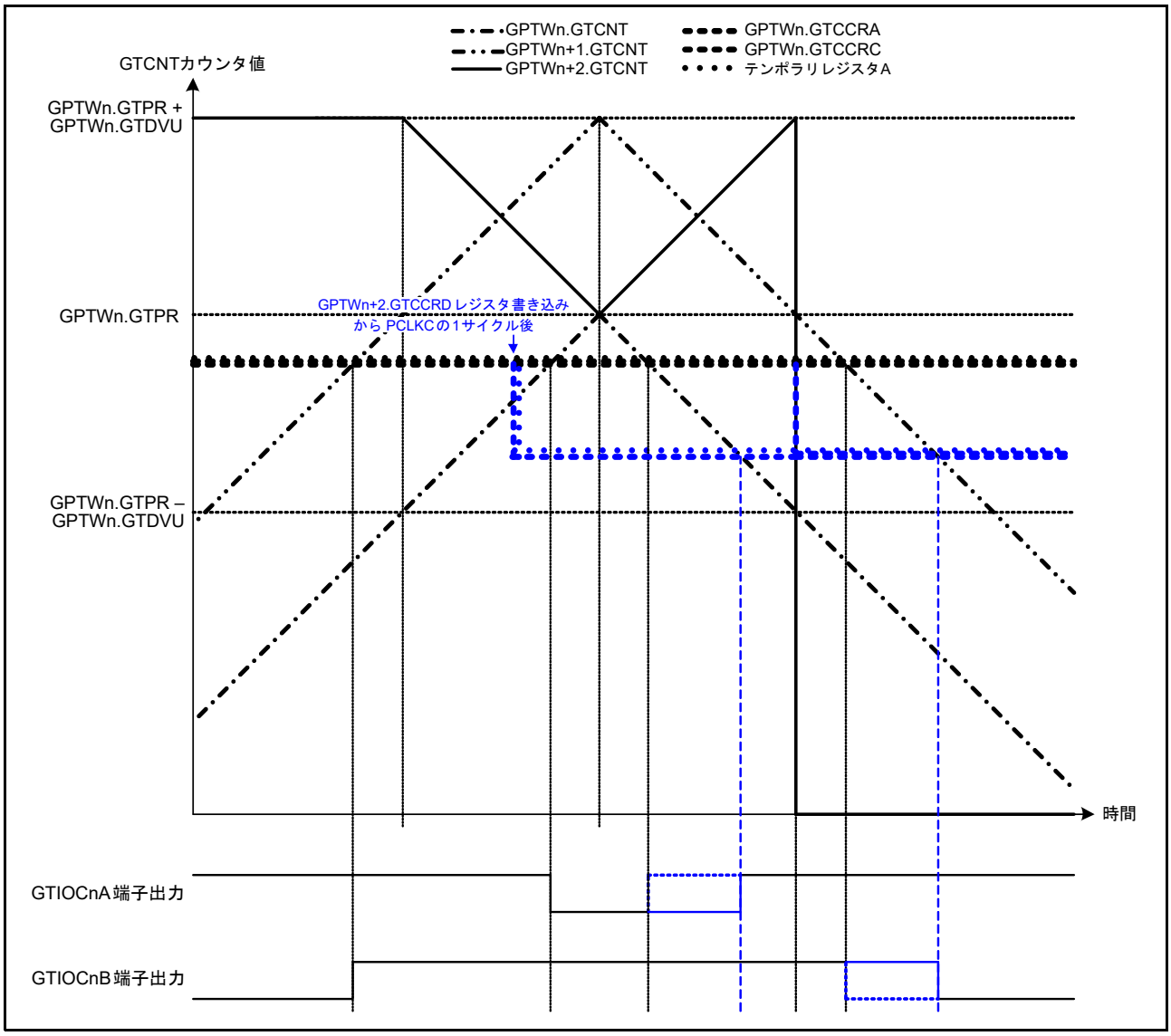


図 24.90 相補 PWM モード 4 シングルバッファの動作例 (アップカウント山区間)
(相補 PWM モード 4 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
アップカウントのデッドタイム期間に GTCCRD レジスタに書き込んだ場合) (n = 0, 4)

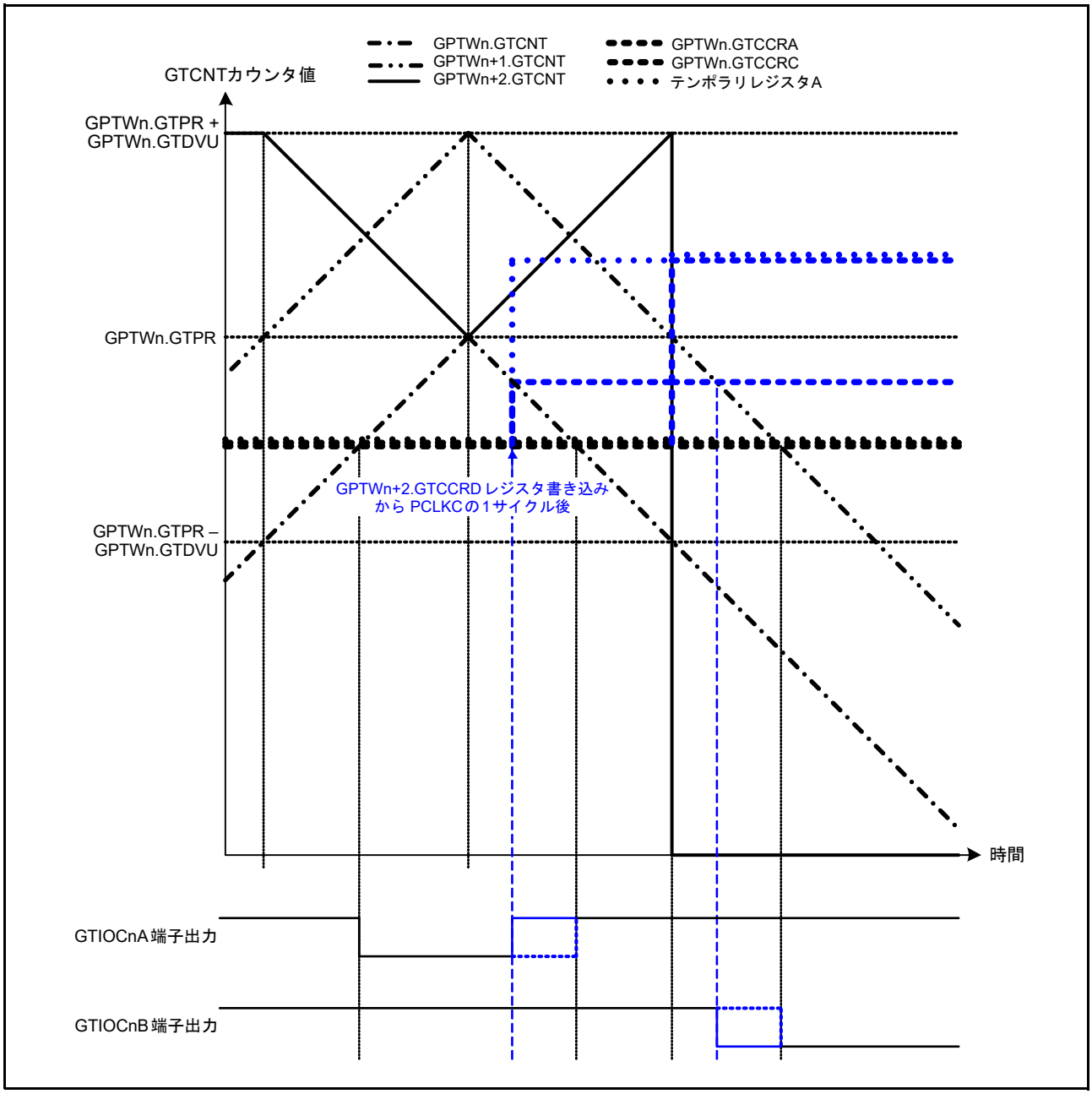


図 24.91 相補 PWM モード 4 シングルバッファの動作例 (ダウンカウント山区間)
(相補 PWM モード 4 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
アップカウントのコンペアマッチ後かつダウンカウントのコンペアマッチ前に GPTWn.GTCNT 以上の値を GTCCRD レジスタに書き込んだ場合) (n = 0, 4)

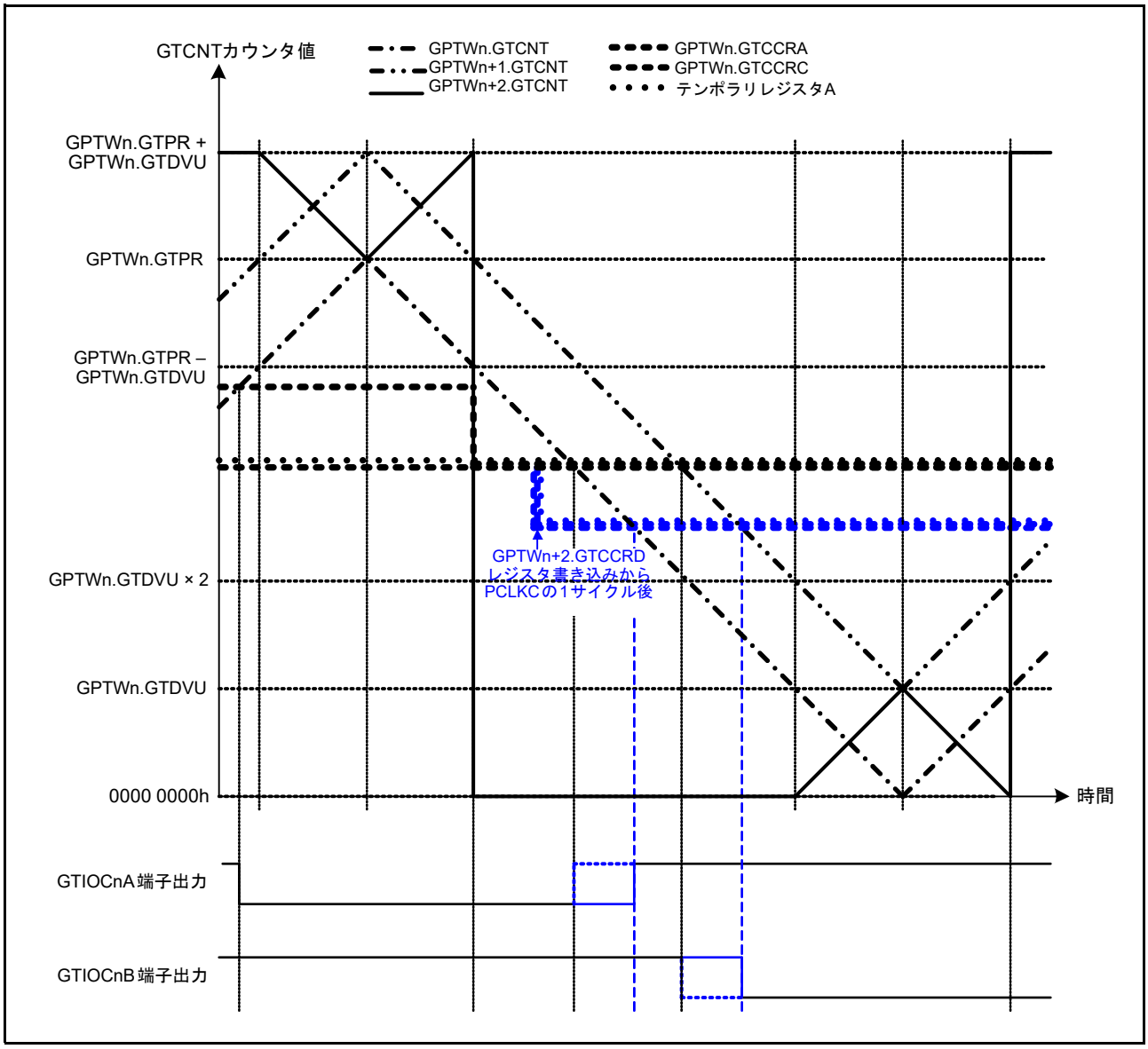


図 24.92 相補 PWM モード 4 シングルバッファの動作例 (ダウンカウント中間区間)
(相補 PWM モード 4 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
ダウンカウントのコンペアマッチ前に GPTWn.GTCNT 未満の値を GTCCRD レジスタに書き込んだ場合) (n = 0, 4)

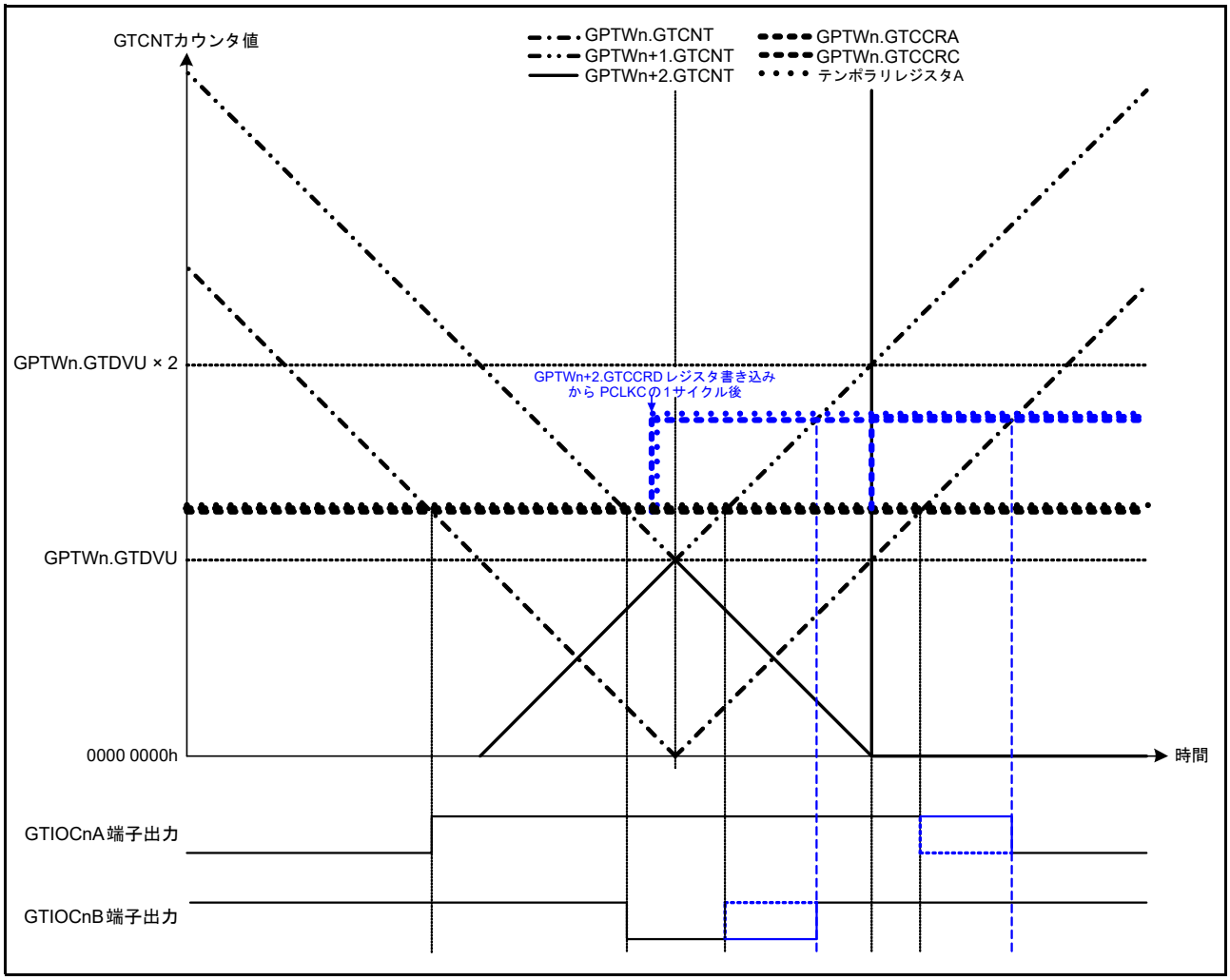


図 24.93 相補 PWM モード 4 シングルバッファの動作例 (ダウンカウント谷区間)
(相補 PWM モード 4 シングルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
ダウンカウントのコンペアマッチ後に GPTWn+2.GTCNT よりも大きい値を GTCCRD レジスタに書き込んだ場合) (n = 0, 4)

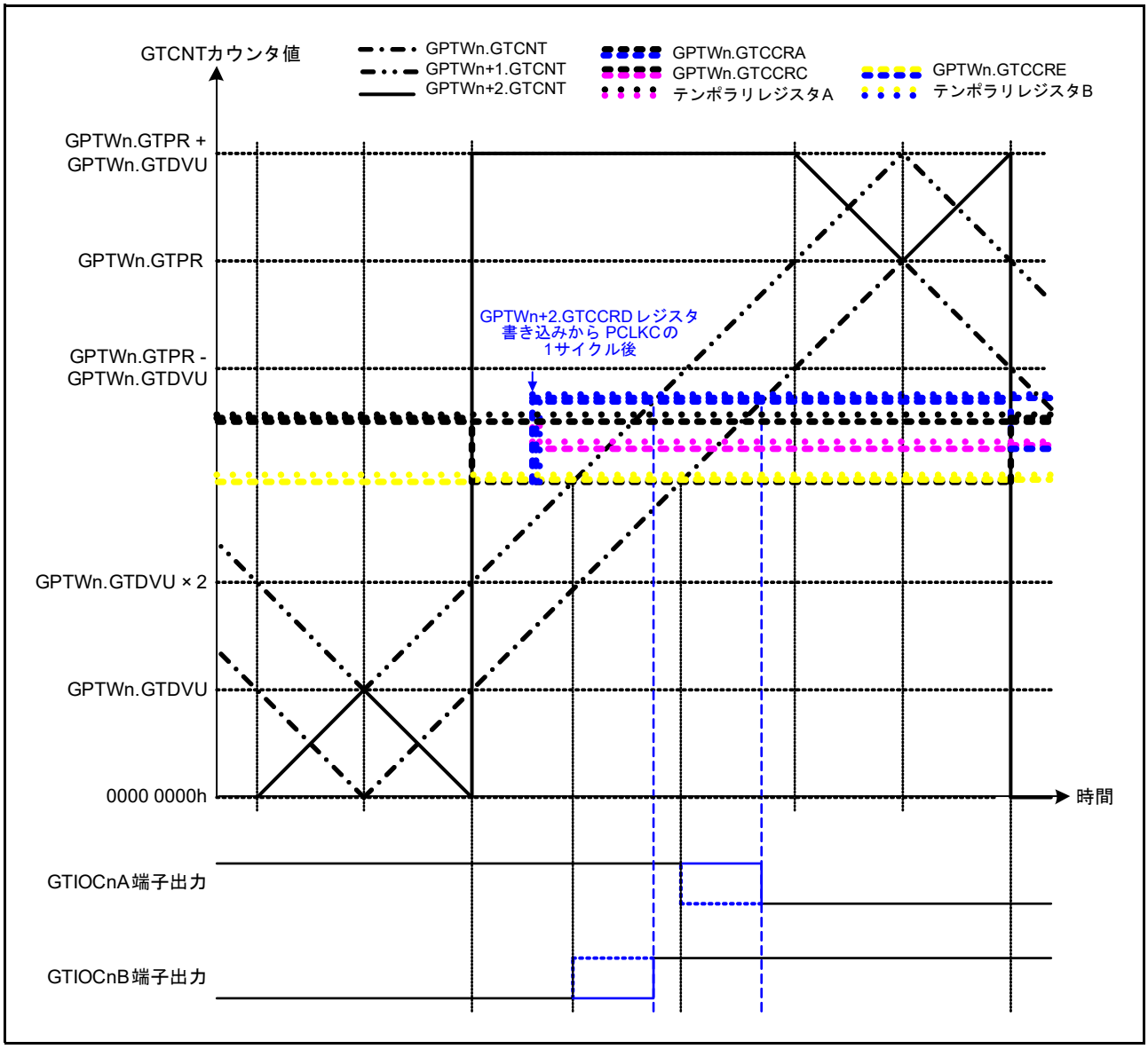


図 24.94　相補 PWM モード 4 ダブルバッファの動作例 (アップカウント中間区間)
(相補 PWM モード 4 ダブルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
アップカウントのコンペアマッチ前に GPTWn+1.GTCNT よりも大きい値を GTCCRF レジスタに書き込んだ場合) (n = 0, 4)

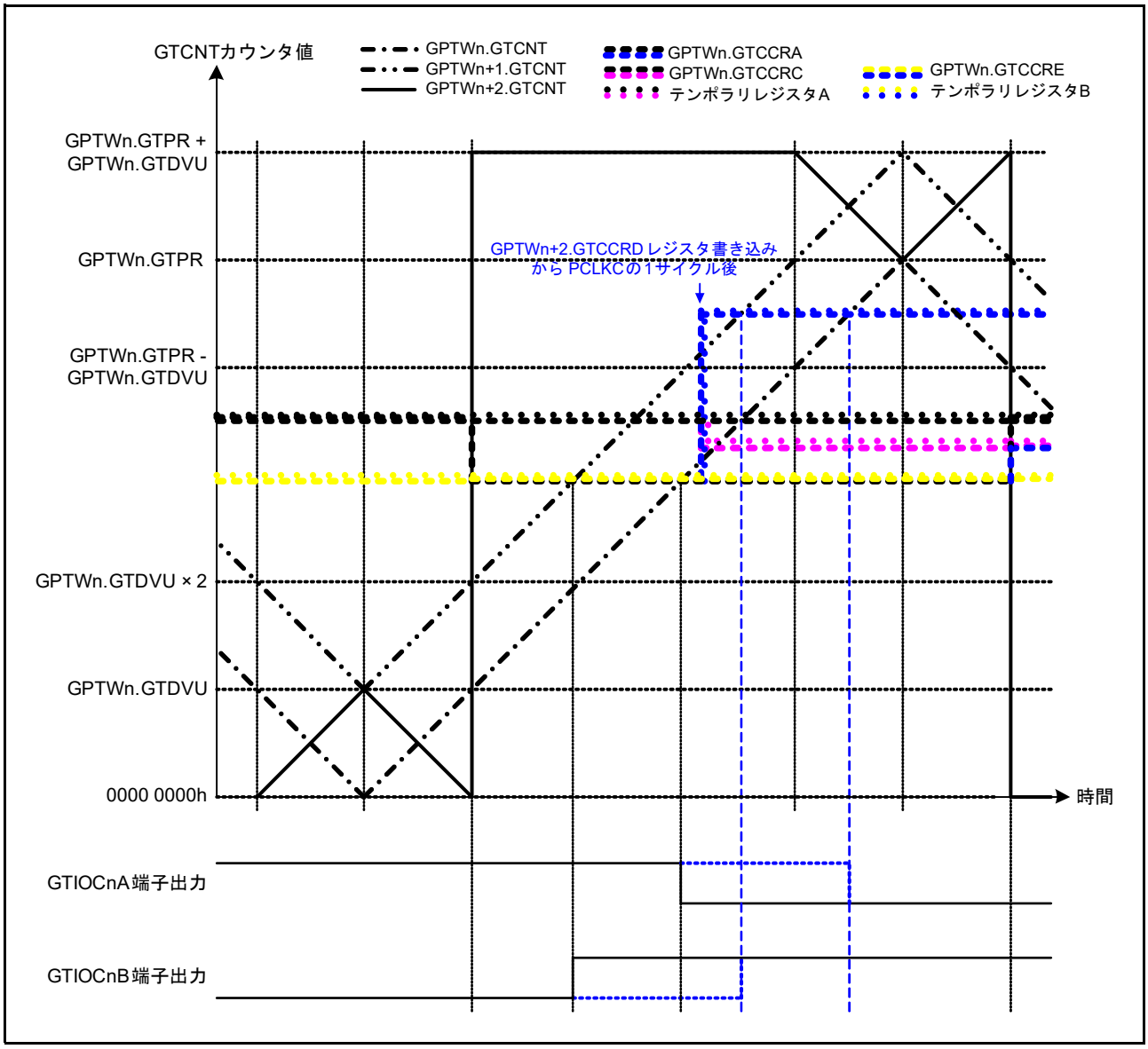


図 24.95　相補 PWM モード 4 ダブルバッファの動作例 (アップカウント中間区間)
(相補 PWM モード 4 ダブルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
アップカウントのコンペアマッチ後に GTCCRF レジスタに書き込んだ場合) (n = 0, 4)

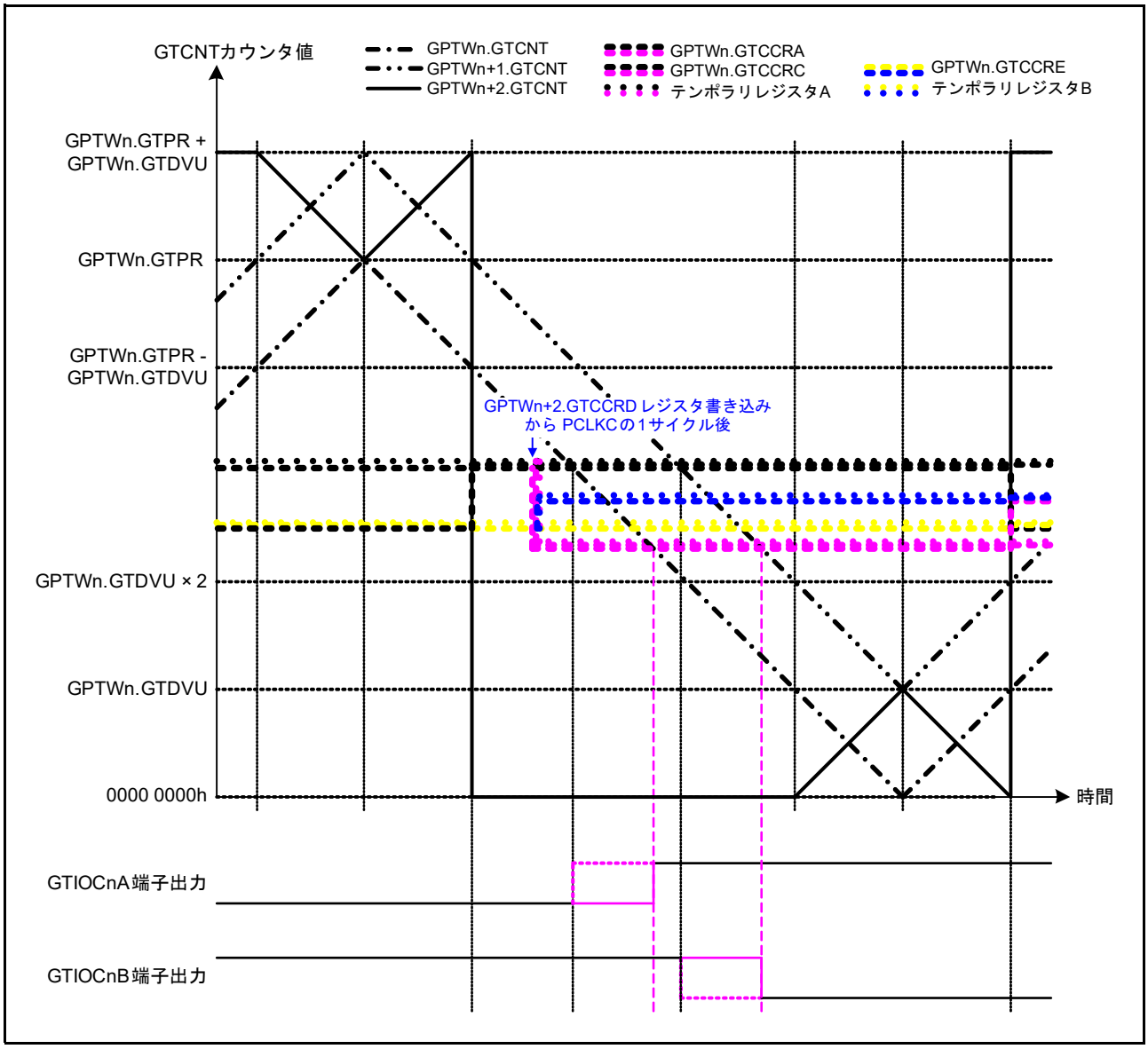


図 24.96　相補 PWM モード 4 ダブルバッファの動作例 (ダウンカウント中間区間)
(相補 PWM モード 4 ダブルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
ダウンカウントのコンペアマッチ前に GPTWn.GTCNT 未満の値を GTCCRD レジスタに書き込んだ場合) (n = 0, 4)

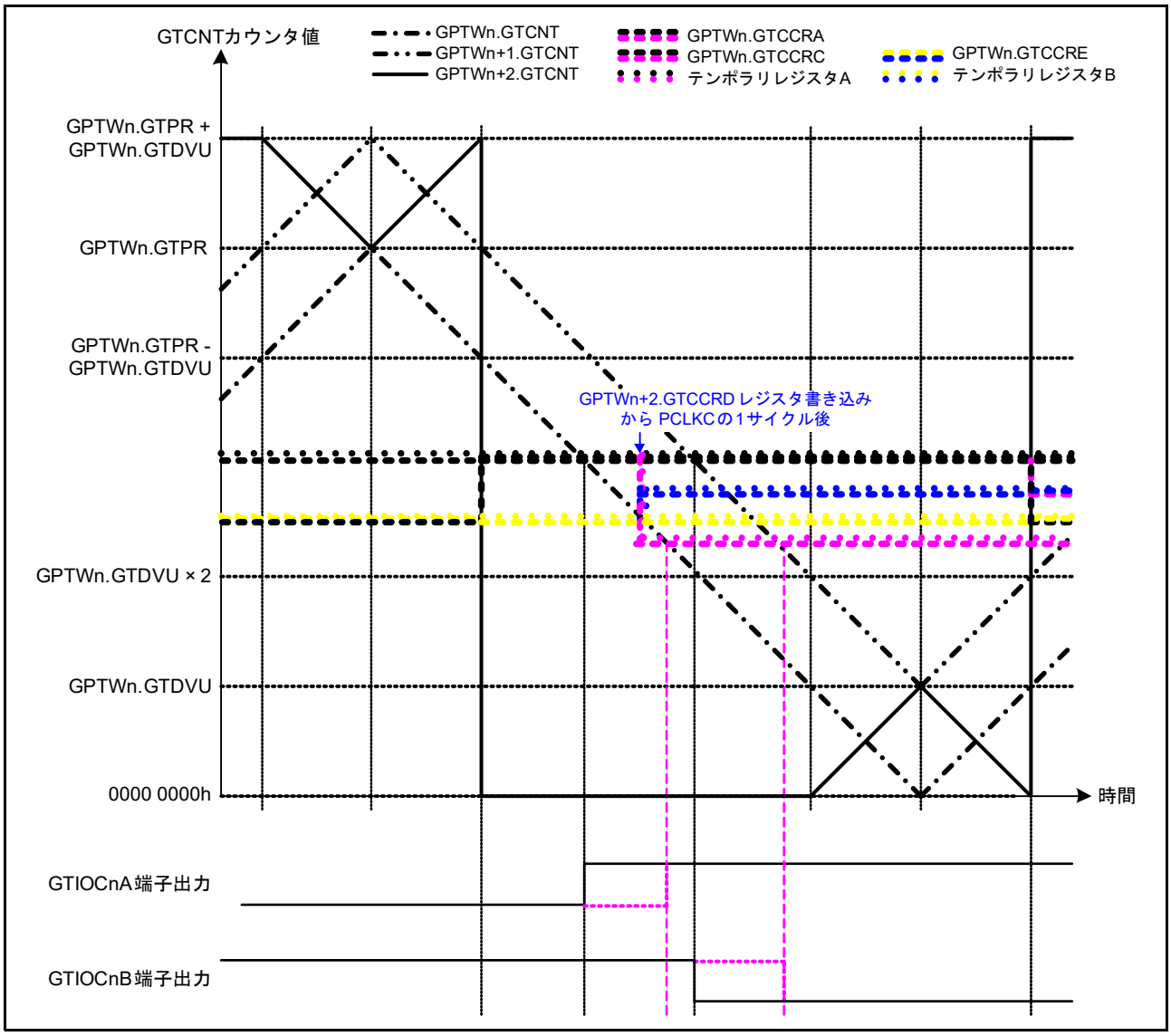


図 24.97 相補 PWM モード 4 ダブルバッファの動作例 (ダウンカウント中間区間)
(相補 PWM モード 4 ダブルバッファ動作、
アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、
ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOCnA 端子 = High 出力 / GTIOCnB 端子 = Low 出力、
ダウンカウントのデッドタイム期間に GTCCRD レジスタに書き込んだ場合) (n = 0, 4)

図 24.98　相補 PWM モード 4 の設定例

24.3.4　デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA レジスタ値) とデッドタイム値 (GTDVU、GTDVD レジスタ値) からデッドタイム付き逆相波形用コンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは前側 / 後側で独立に設定でき、逆相波形の前側の切り替わりポイントに対するデッドタイムを GTDVU レジスタで設定し、後側の切り替わりポイントに対するデッドタイムを GTDVD レジスタで設定します。GTDTCR.TDFER ビットに “1” を設定することによって、デッドタイムを前側 / 後側で共通にすることもできます。

また、GTDBU レジスタを GTDVU レジスタのバッファレジスタとして使用することができ、同様に、GTDBD レジスタを GTDVD レジスタのバッファレジスタとして使用することができます。バッファ転送タイミングはカウント周期の終わり (のこぎり波の場合は GTCNT カウンタのオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時)、GTCNT カウンタのクリア、または三角波の場合は谷) です。

デッドタイム自動設定による逆相波形の変化ポイントは、GTCCRB レジスタ値を読むことで確認できます。デッドタイム自動設定機能を使用するときは、GTCCRB レジスタへの書き込みは禁止です。

波形の変化ポイントがカウント周期を超えるようなデッドタイム設定は禁止です。デッドタイムエラーの発生条件となるようなデッドタイム設定を行った場合、**表 24.21** に示すように正相波形と逆相波形の変化するポイントを補正して、デッドタイムを確保した波形を生成します。補正された逆相波形の変化ポイントは、GTCCRB レジスタに自動設定されますが、正相波形の変化ポイントの判定には内部信号を用いており、GTCCRA レジスタを補正値で更新することはありません。

のこぎり波ワンショットパルスモードで、デッドタイムエラー発生による波形変化ポイントの補正によって変化ポイントの順番が乱れた場合や、補正した後もカウント周期を超えている場合は、正相と逆相の相補関係を保証できません。

三角波 PWM モードで、GTCCRA レジスタに “0” または GTPR レジスタ設定値以上の値を設定することで、カウント周期を超えるようなデッドタイム設定になった場合、出力保護機能によって出力変化が抑止されます (「24.8.4　GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 7、m = A, B)」参照)。GTCCRA レジスタ≧ GTPR レジスタ + GTDVm レジスタ (m = U, D) の場合、GTCCRB レジスタには上限値として、GTPR レジスタ – 1 が設定されます。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値の算出に用いるレジスタ値が更新された次のカウントクロックで行われます。三角波の場合は、山の次のカウントクロックでも行われます。

表 24.21　デッドタイムエラー発生時の変化ポイント補正

PWM出力動作モード	カウント方向	区間	デッドタイムエラー条件	補正後の正相波形変化ポイント	補正後の逆相波形変化ポイント
のこぎり波ワンショットパルスモード	アップカウント	前側	GTCCRA – GTDVU < 0	GTDVU	0
		後側	GTCCRA + GTDVD > GTPR (GTCCRA + GTDVU > GTPR)(注 1)	GTPR – GTDVD (GTPR – GTDVU)(注 1)	GTPR
	ダウンカウント	前側	GTCCRA + GTDVU > GTPR	GTPR – GTDVU	GTPR
		後側	GTCCRA – GTDVD < 0 (GTCCRA – GTDVU < 0)(注 1)	GTDVD (GTDVU)(注 1)	0
三角波PWMモード1/2/3	アップカウント	(前側)	GTCCRA – GTDVU ≦ 0	GTDVU + 1	1
	ダウンカウント	(後側)	GTCCRA – GTDVD < 0 (GTCCRA – GTDVU < 0)(注 1)	GTDVD (GTDVU)(注 1)	0

注1.　GTDTCR.TDFER ビットが “1” の場合

図 24.99 ～**図 24.102** にデッドタイム自動設定機能の動作例を、**図 24.103**、**図 24.104** に設定例を示します。

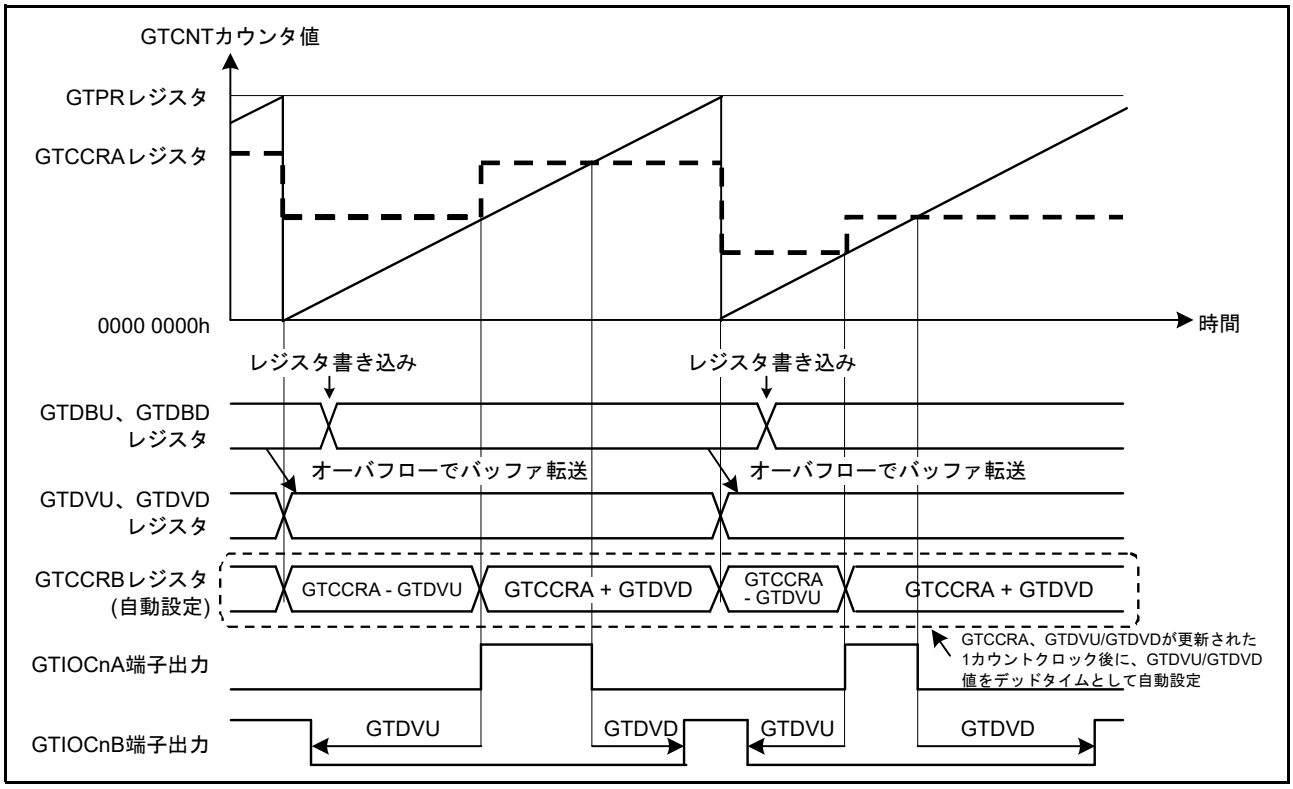


図 24.99　デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 7)

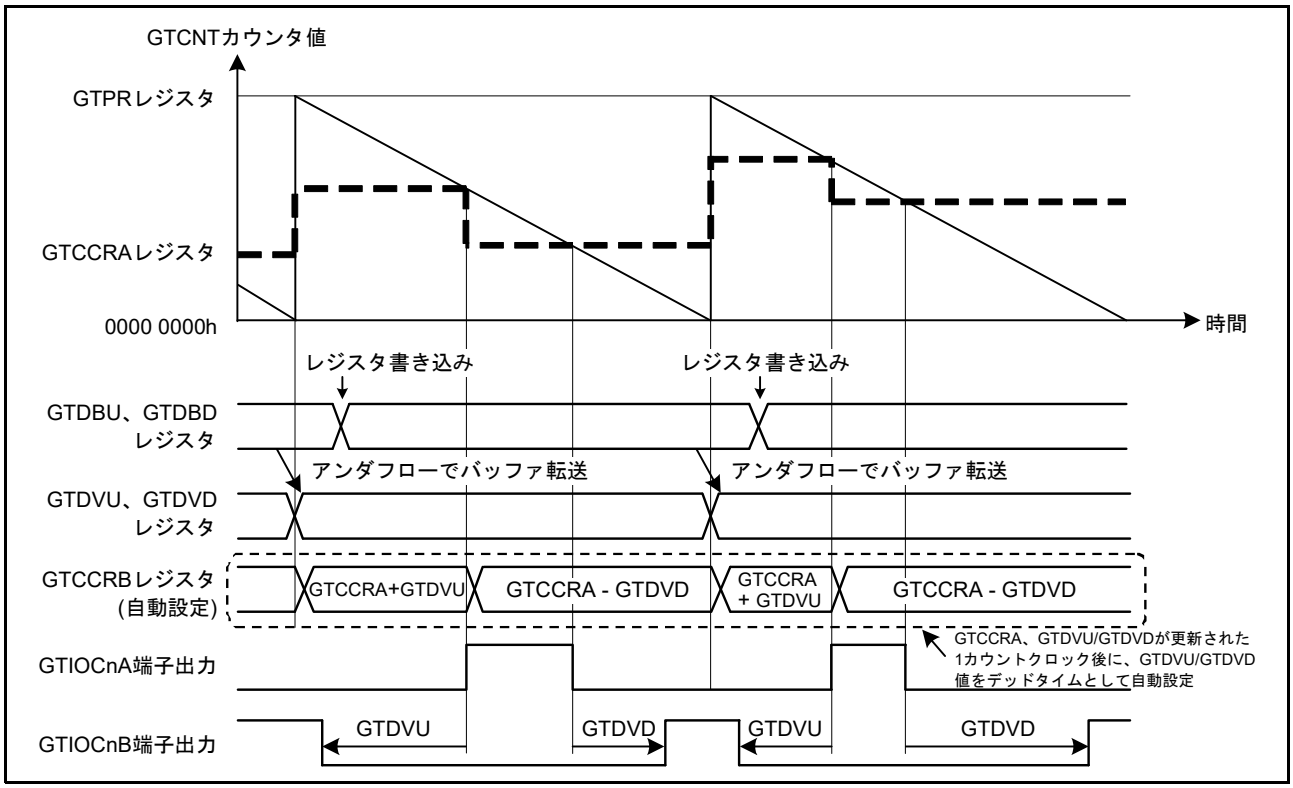


図 24.100　デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 7)

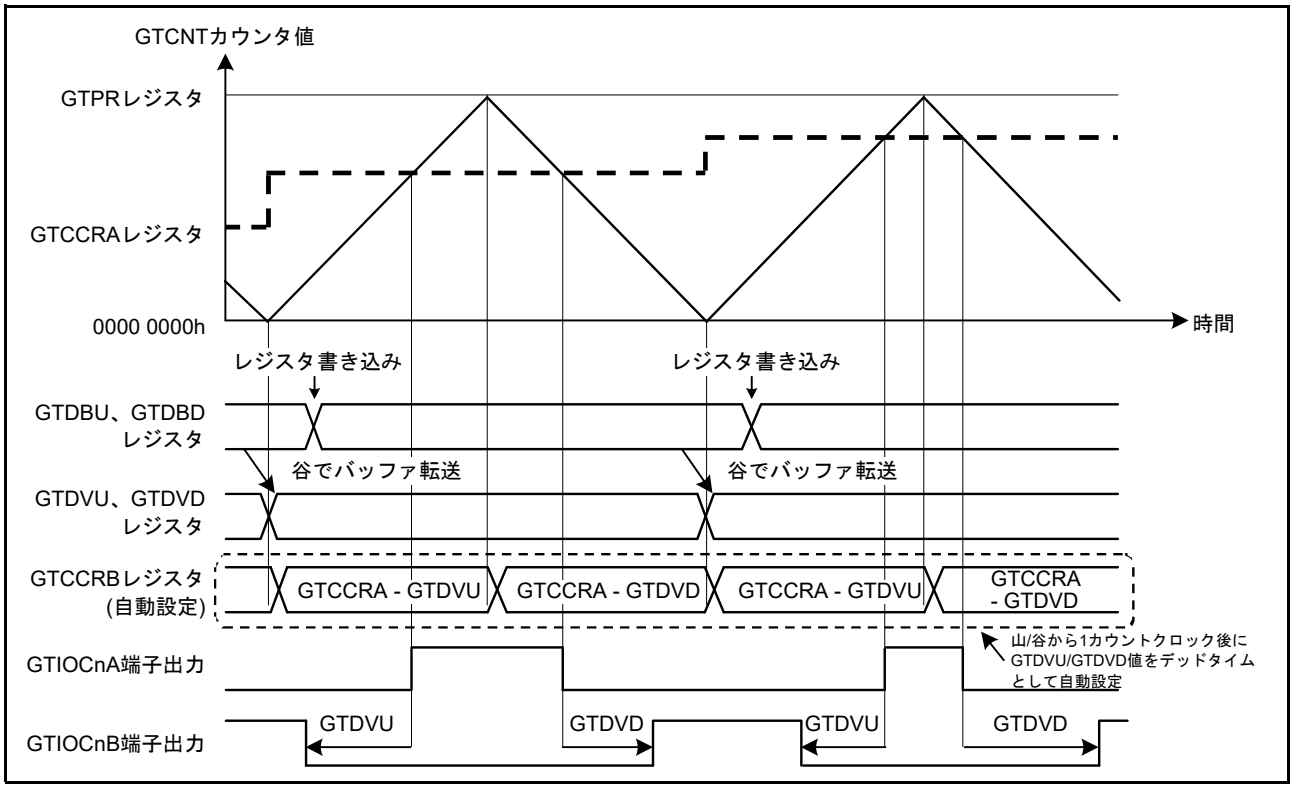


図 24.101 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 7)

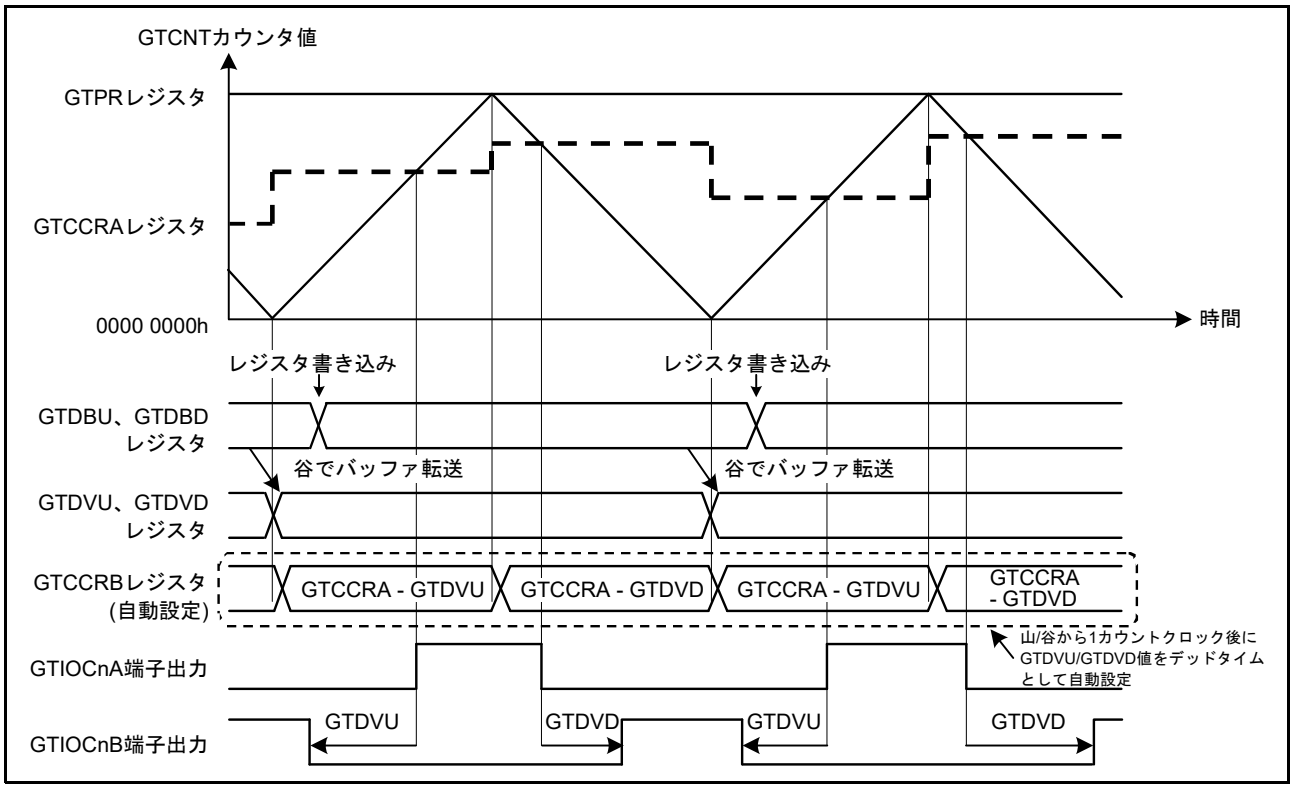
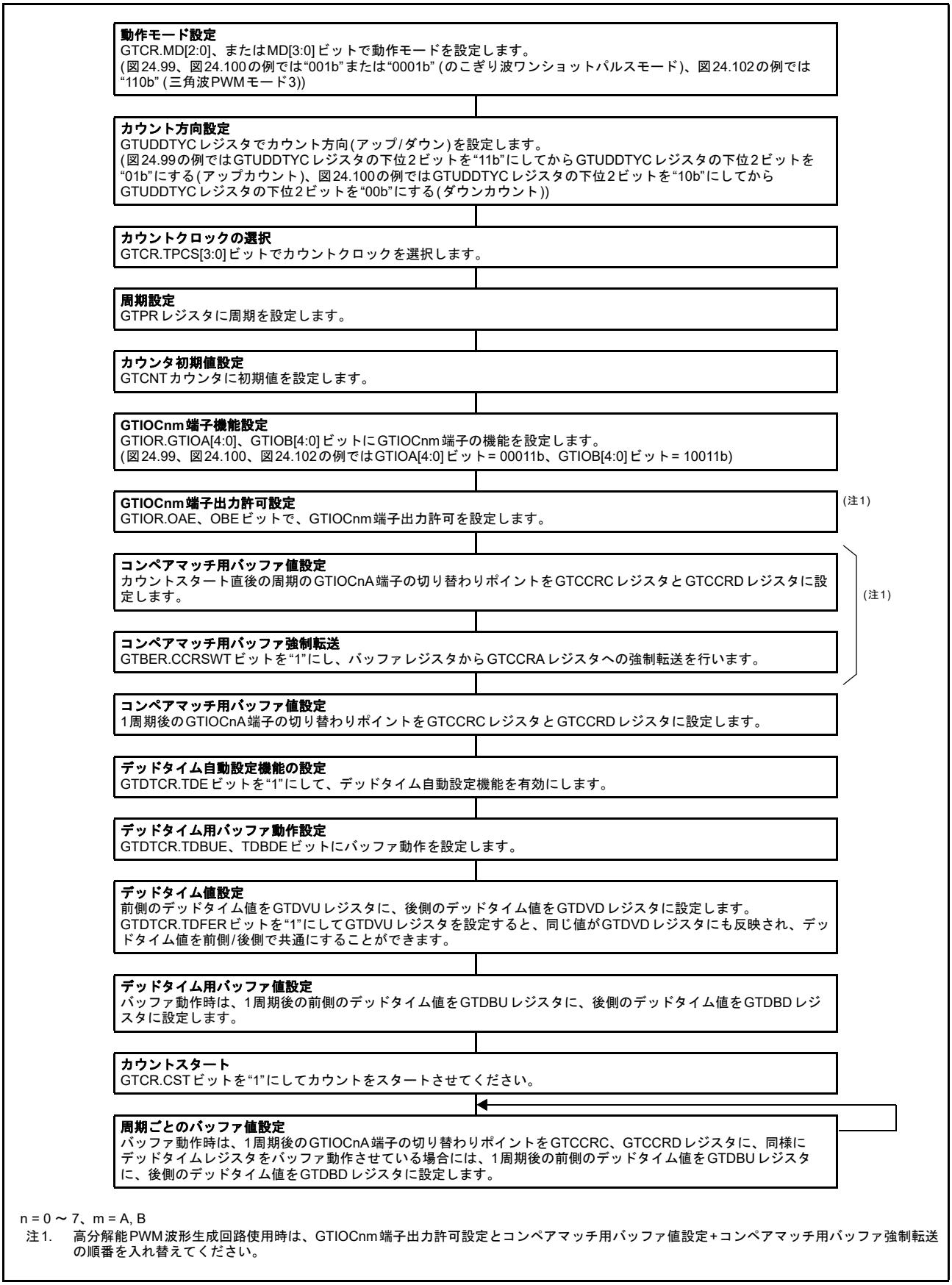


図 24.102 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2/3、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 7)



n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ用バッファ値設定+コンペアマッチ用バッファ強制転送の順番を入れ替えてください。

図 24.103　デッドタイム自動設定機能の設定例
(のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時)

n = 0 ～ 7、m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.104　デッドタイム自動設定機能の設定例 (三角波 PWM モード 1/2 時)

24.3.5　カウント方向切り替え機能

GTUDDTYC.UD ビットの値を変更することにより、GTCNT カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント中に UD ビット値を変更すると、オーバフロー (アップカウント中に変更した場合) もしくはアンダフロー (ダウンカウント中に変更した場合) 発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で UD ビット値を変更すると、カウントスタート時には反映されず、オーバフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビット値がカウントスタート時から反映されます。

三角波の場合、カウント動作中に GTUDDTYC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で GTUDDTYC.UD ビット値を変更しても反映されません。カウントストップ中に GTUDDTYC.UDF ビットを “1” にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時から反映されます。

のこぎり波でカウント中にカウント方向を切り替えた場合、アップカウント時はアップカウントスタート後の GTPR レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウントスタート後の GTPR レジスタ値がカウント周期に反映されます。

図 24.105 にカウント方向切り替え機能の動作例を示します。

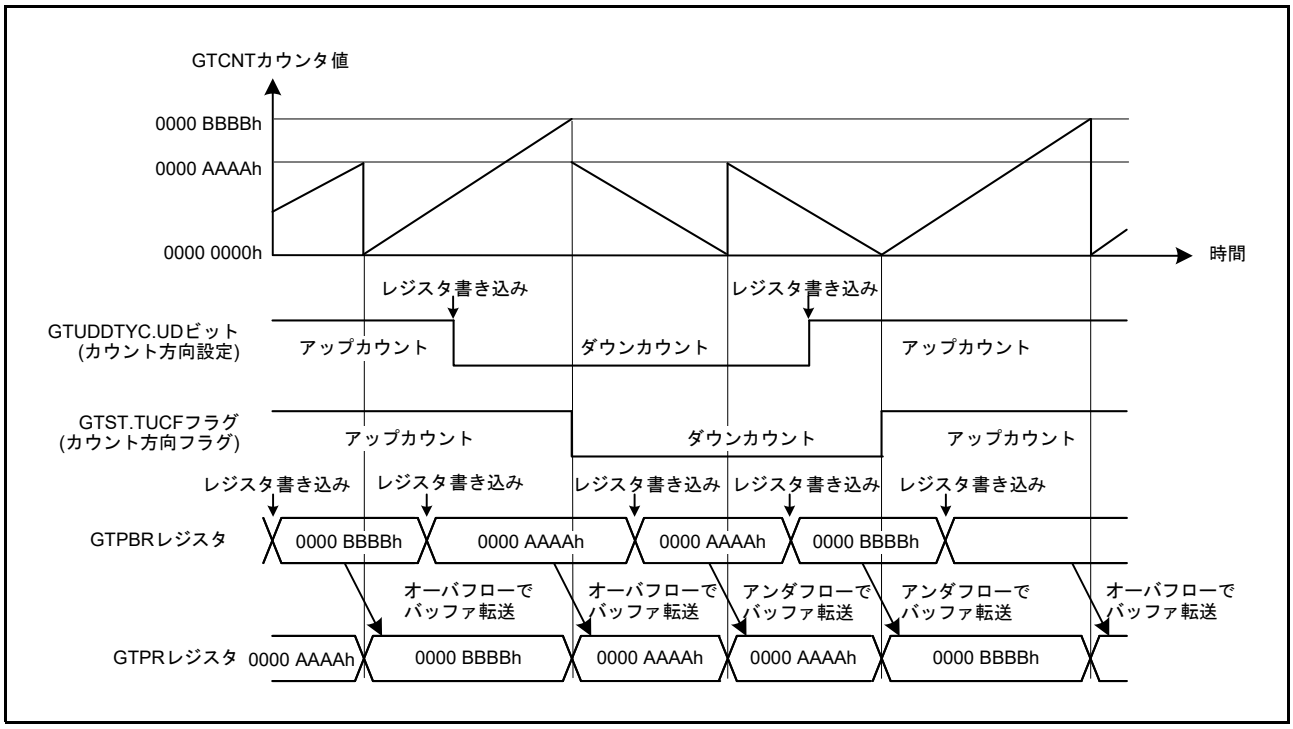


図 24.105　カウント方向切り替え機能の動作例 (バッファ動作時)

24.3.6 デューティ 0%/100% 出力機能

GTUDDTYC.OADTY[1:0]、OBDTY[1:0] ビットの値を変更することにより、GTIOCnA、GTIOCnB 端子 (n = 0 ～ 7) の出力デューティを 0%/100% にすることができます。

のこぎり波 PWM モード 2 および相補 PWM モードの場合、本機能は無効です。

のこぎり波の場合、カウント動作中に OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、オーバフロー (アップカウント動作中に変更した場合) もしくはアンダフロー (ダウンカウント動作中に変更した場合) 発生時に変更した出力デューティ設定が反映されます。カウント停止中に GTUDDTYC.OADTYF、OBDTYF ビットが “0” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、オーバフローもしくはアンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF、OBDTYF ビットが “1” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0]、OBDTY[1:0] ビットの値がカウント開始時から反映されます。

三角波の場合、カウント動作中に OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、アンダフロー発生時に変更した出力デューティ設定が反映されます。

カウント停止中に OADTYF、OBDTYF ビットが “0” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、アンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF、OBDTYF ビットが “1” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0]、OBDTY[1:0] ビットの値がカウント開始時から反映されます。

デューティ 0%/100% 設定の動作中、GPTW 内部ではコンペアマッチ動作は継続し、割り込み出力、バッファ動作を行います。

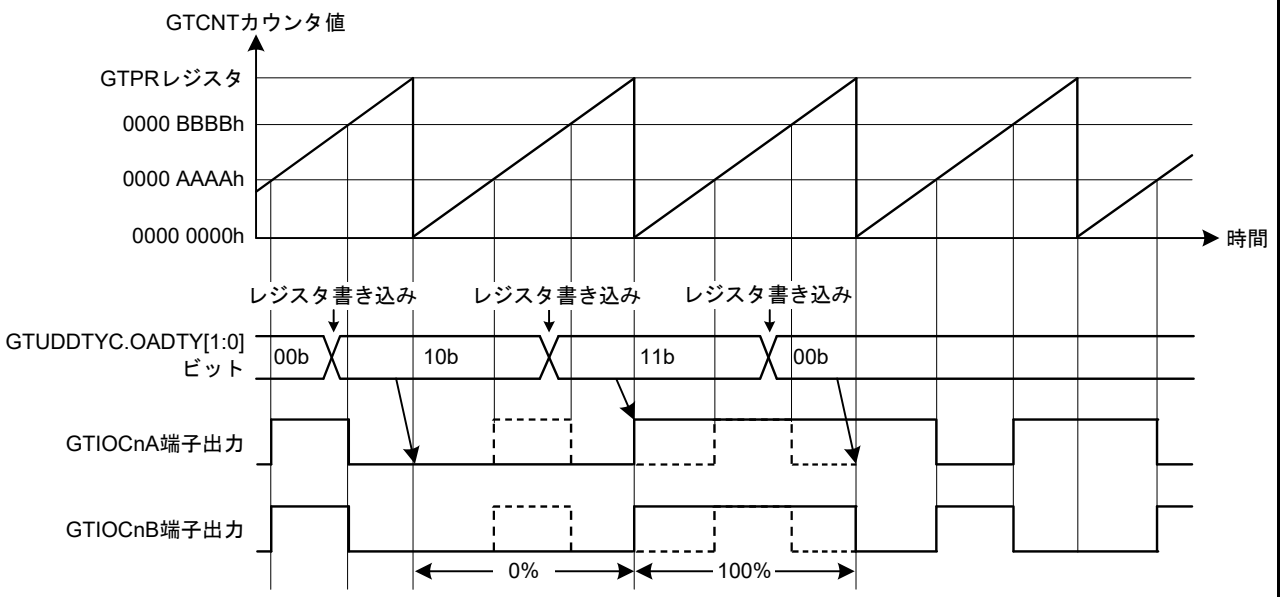
出力デューティを 0% または 100% の設定からコンペアマッチによる出力の設定に変更した場合の周期の終わりでの出力値は、GTIOCnA 端子は GTIOR.GTIOA[3:2] ビットと OADTYR ビット、GTIOCnB 端子は GTIOR.GTIOB[3:2] ビットと OBDTYR ビットによって決まります。GTIOA[3:2]、GTIOB[3:2] ビットが、“01b” の場合は周期の終わりで “Low” を出力し、“10b” の場合は周期の終わりで “High” を出力します。“00b” で周期の終わりで出力保持、または “11b” で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を、OADTYR、OBDTYR ビットで選択します。デューティ 0%/100% 設定からコンペアマッチによる出力に設定を変更した場合の周期の終わりの出力値を**表 24.22** に示します。

表24.22 デューティ 0%/100%解除後の出力値

GTIOR.GTIOm[3:2]ビット	デューティ 0%/100%によってマスクされていたコンペアマッチ出力の周期の終わりでの値	デューティ 0%設定時のGTUDDTYC.OmDTYRビット		デューティ 100%設定時のGTUDDTYC.OmDTYRビット	
		0	1	0	1
00b (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01b (周期の終わりでLow出力)	—	0	0	0	0
10b (周期の終わりでHigh出力)	—	1	1	1	1
11b (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

m = A, B

図 24.106 にデューティ 0%/100% 出力機能の動作例 (n = 0 ～ 7) を示します。



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：　“00011b”
初期出力はLow、コンペアマッチでトグル出力、周期の終わりで出力保持
GTUDDTYC.OADTYRビットの設定：“0”
0%/100%デューティ設定解除後にデューティ設定された出力値に対してGTIOA[3:2]ビットの機能を適用
GTIOR.GTIOB[4:0]ビットの設定：　“00011b”
初期出力はLow、コンペアマッチでトグル出力、周期の終わりで出力保持
GTUDDTYC.OBDTYRビットの設定：“1”
0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOB[3:2]ビットの機能を適用

図 24.106　デューティ 0%/100% 出力機能の動作例 (n = 0 ～ 7)

24.3.7 ハードウェアカウントスタート、カウントストップ、カウンタクリア動作

本 MCU 内蔵のハードウェア要因により、GTCNT カウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、外部トリガ入力、ELC イベント入力、GTIOCnm 端子入力 (n = 0 ～ 7、m = A, B) の 3 種類の要因があります。

24.3.7.1 ハードウェアスタート動作

ハードウェア要因により、GTCNT カウンタのスタート制御が可能です。GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択してカウントスタートを許可します。

図 24.107 にハードウェア要因によるカウントスタートの動作例を、図 24.108 に設定例を示します。

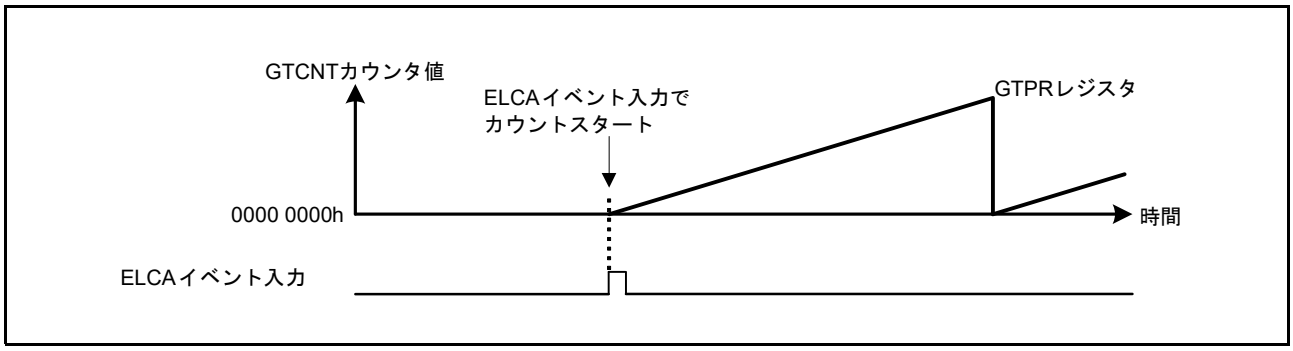


図 24.107 ハードウェア要因によるカウントスタート動作例 (ELCA イベントによるスタート時)

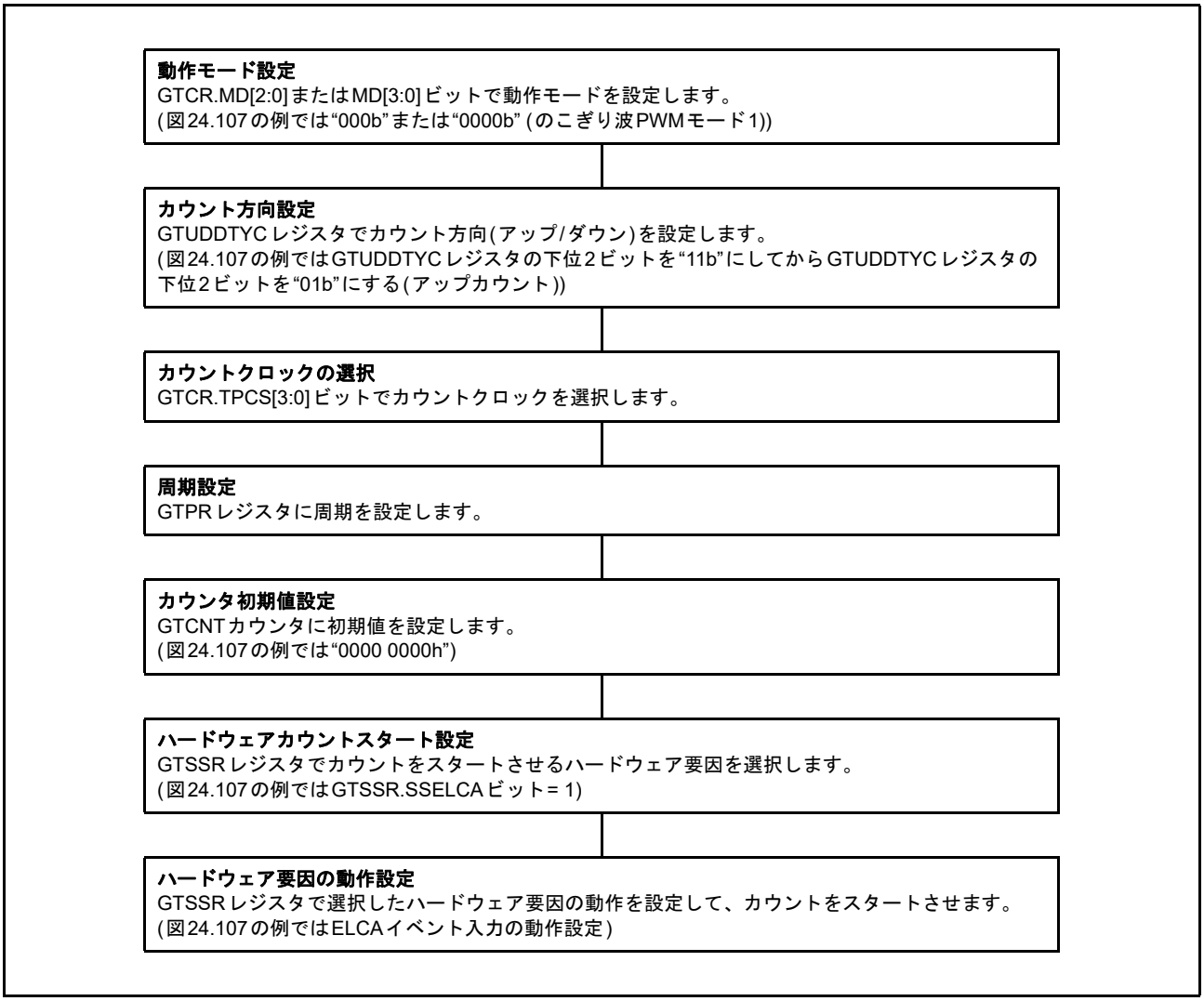


図 24.108　ハードウェア要因によるカウントスタート動作設定例

図 24.109 に GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

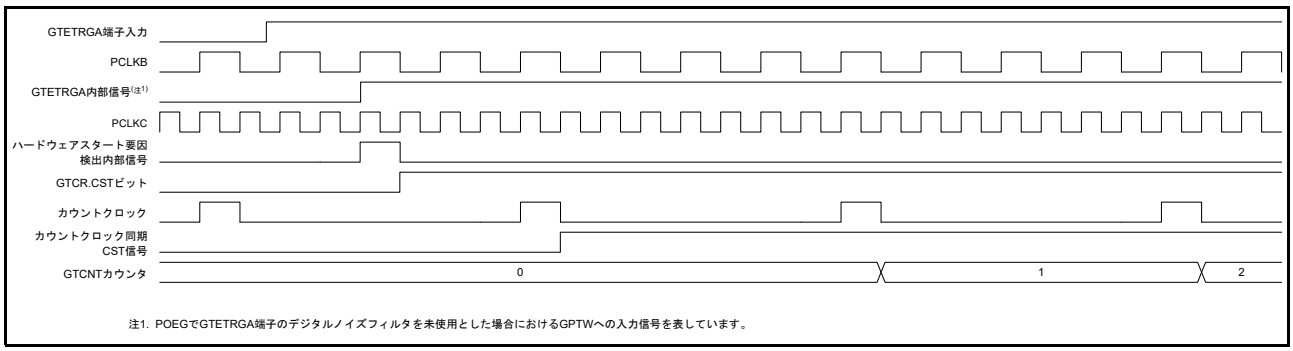


図 24.109　GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例

図 24.110 に GTIOCnA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

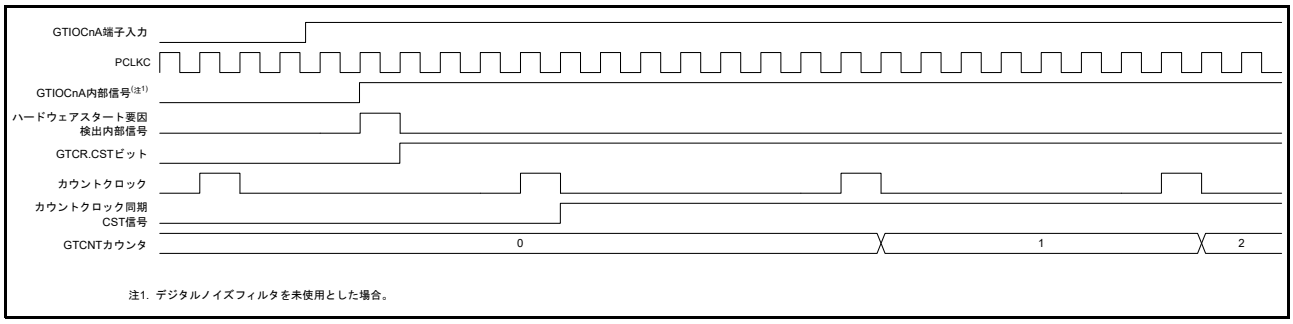


図 24.110　GTIOCnA 端子入力の立ち上がりによるカウントスタート動作タイミング例

図 24.111 に ELCA イベント入力によるカウントスタート動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのカウントスタート動作を行った場合の例です。PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

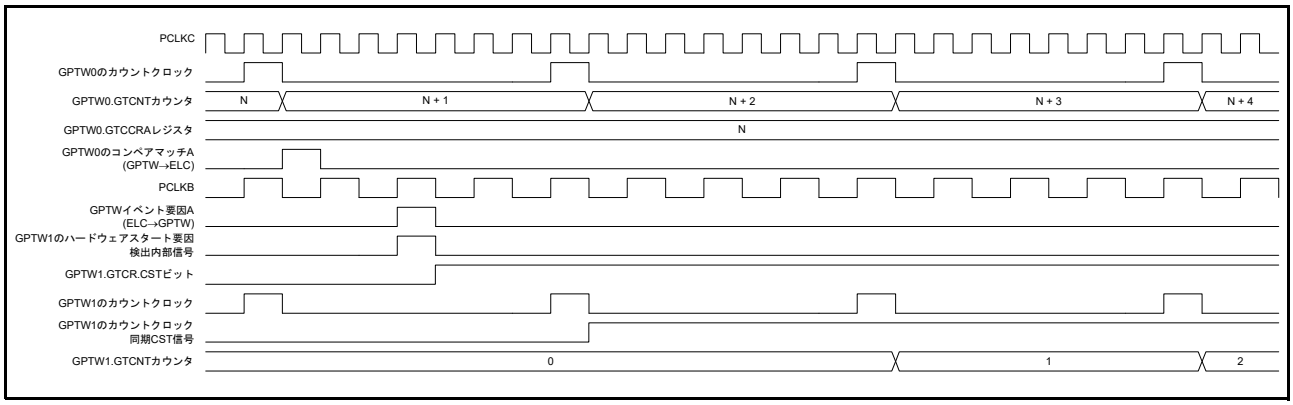


図 24.111　ELCA イベント入力によるカウントスタート動作タイミング例

24.3.7.2　ハードウェアストップ動作

ハードウェア要因により、GTCNT カウンタのストップ制御が可能です。GTPSR レジスタでカウントをストップさせるハードウェア要因を選択してカウントストップを許可します。

図 24.112 にハードウェア要因によるカウントストップの動作例を、**図 24.113** に設定例を示します。ELCA イベント入力によりストップ、ELCB イベント入力により再スタートする例です。

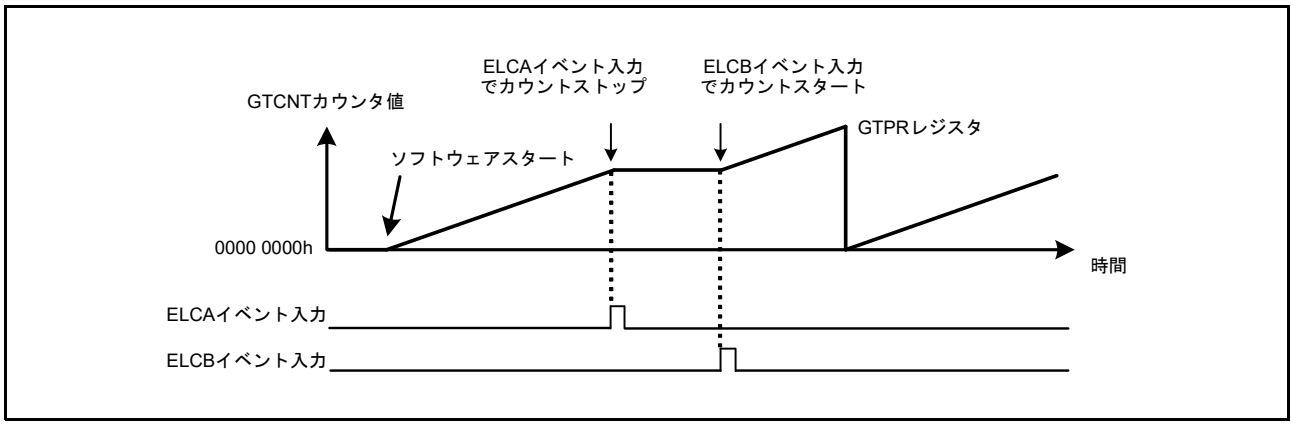


図 24.112　ハードウェア要因によるカウントストップ動作例
(ソフトウェアでスタート、ELCA イベント入力でストップ、ELCB イベント入力で再スタート時)

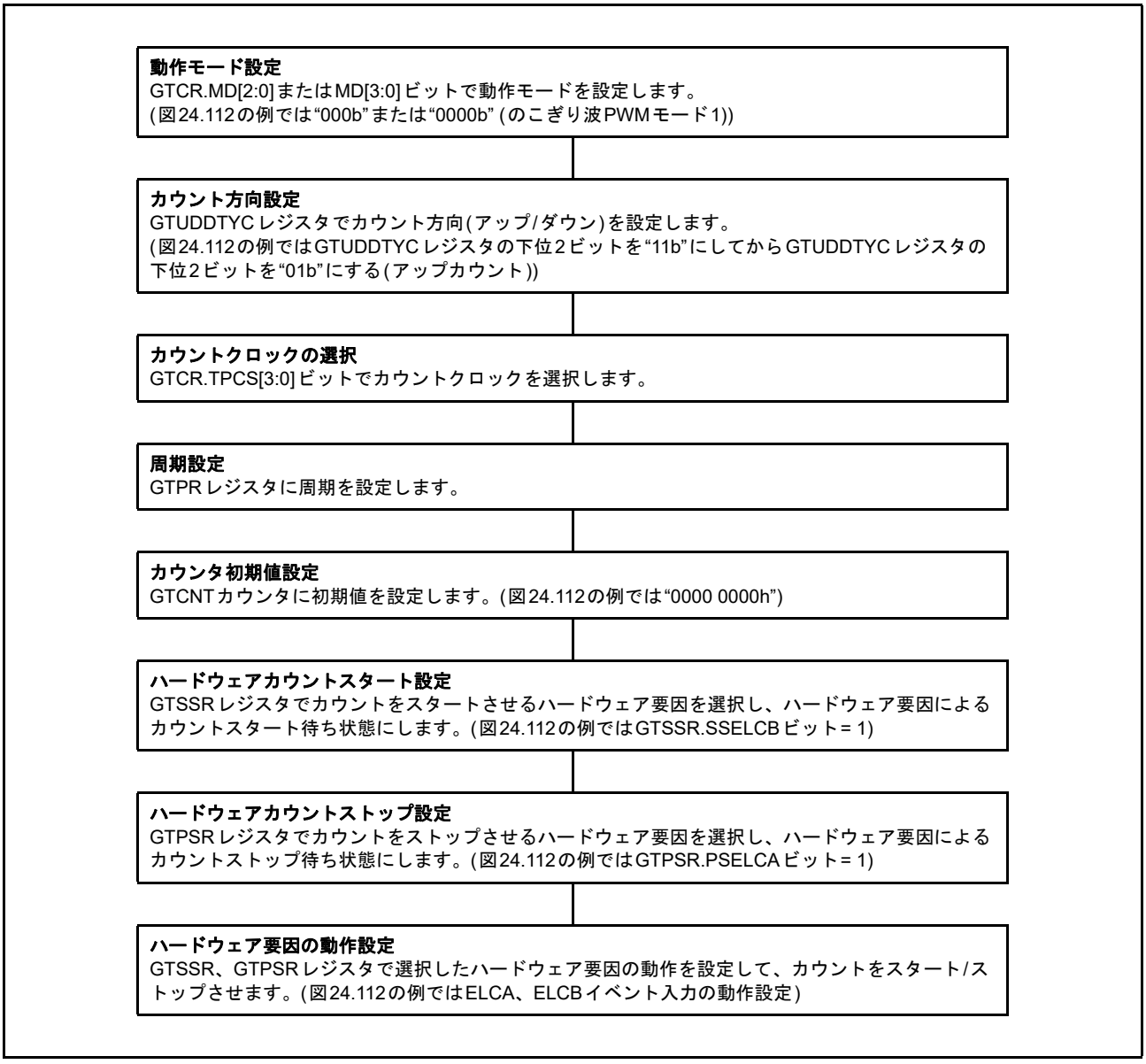


図 24.113 ハードウェア要因によるカウントストップ動作設定例

図 24.114 にハードウェア要因によるカウントスタート / ストップの動作例を、図 24.115 に設定例を示します。外部入力トリガ GTETRGA 端子が High の区間でカウント動作する例です。

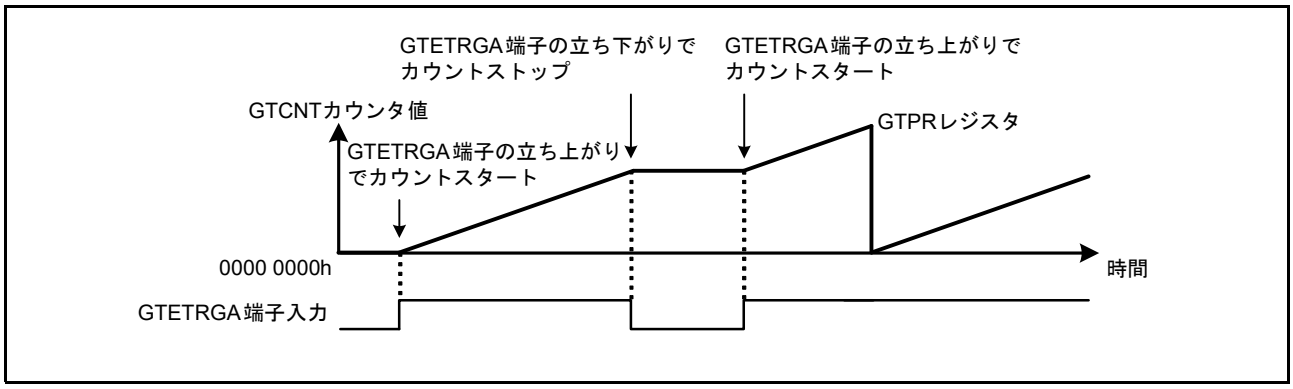


図 24.114　ハードウェア要因によるカウントスタート / ストップ動作例
(GTETRGA 端子入力の立ち上がりでスタート、GTETRGA 端子入力の立ち下がりでストップ時)

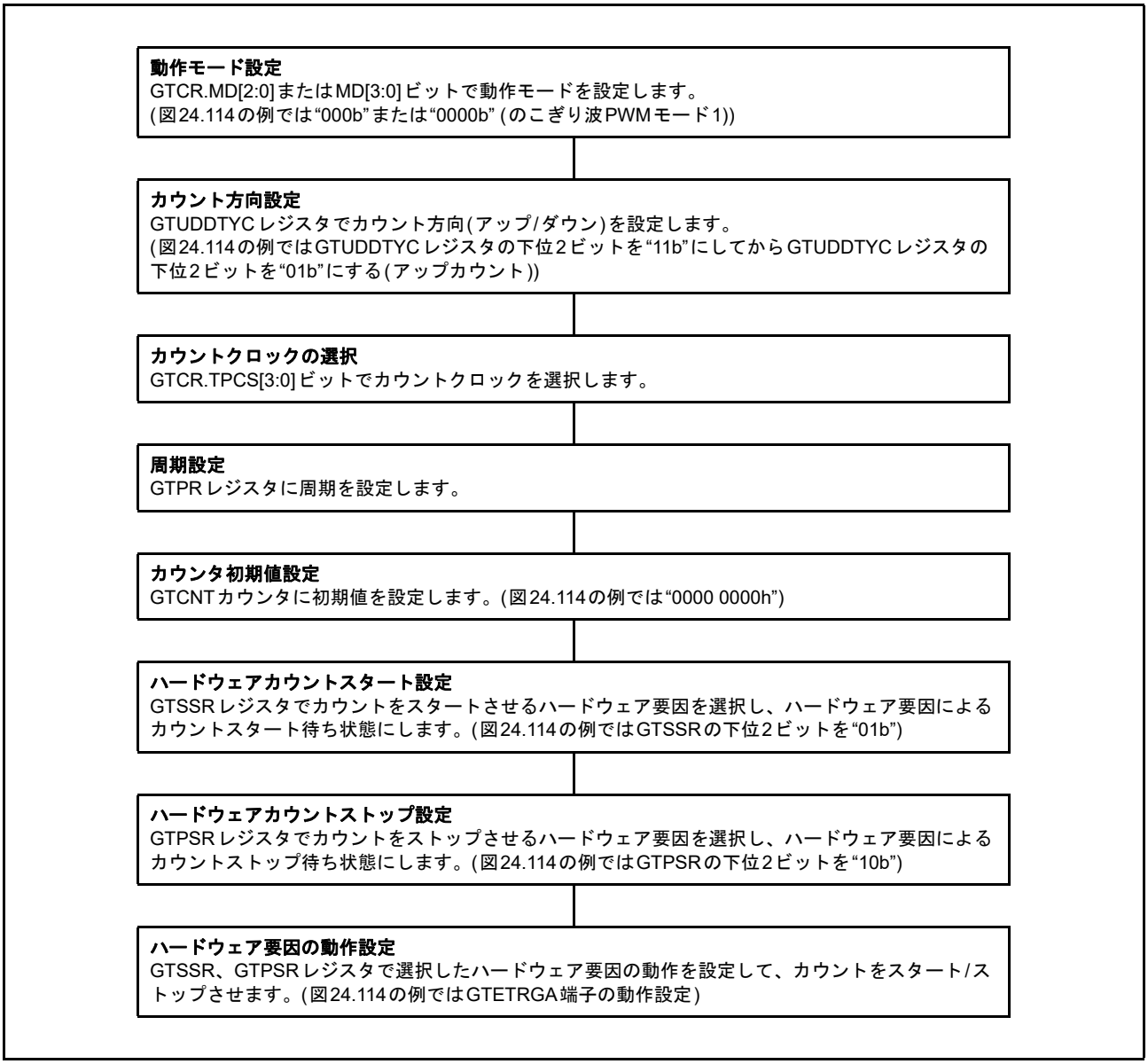


図 24.115　ハードウェア要因によるカウントスタート / ストップ動作設定例

図 24.116 に GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

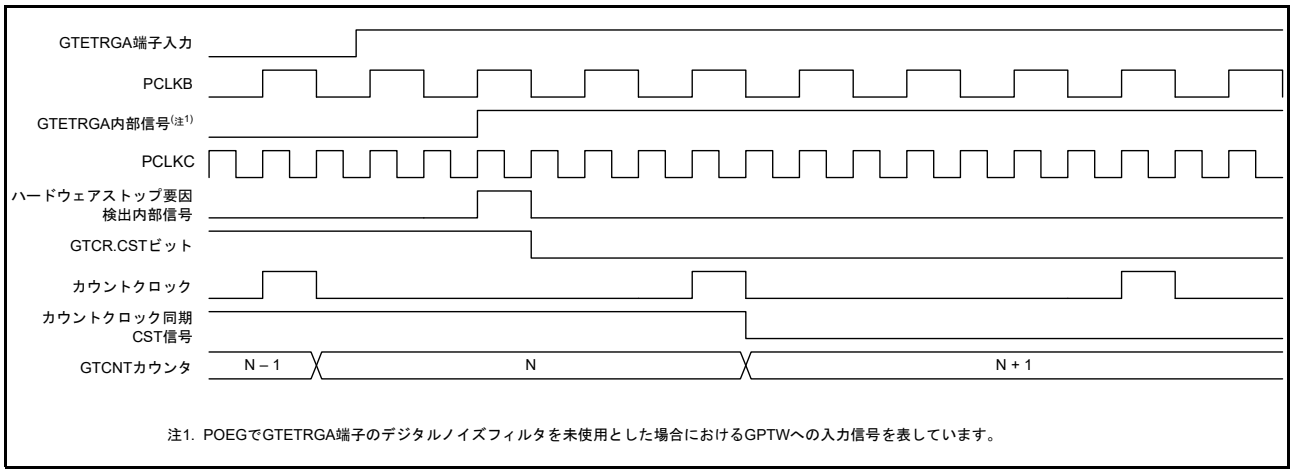


図 24.116　GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例

図 24.117 に GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

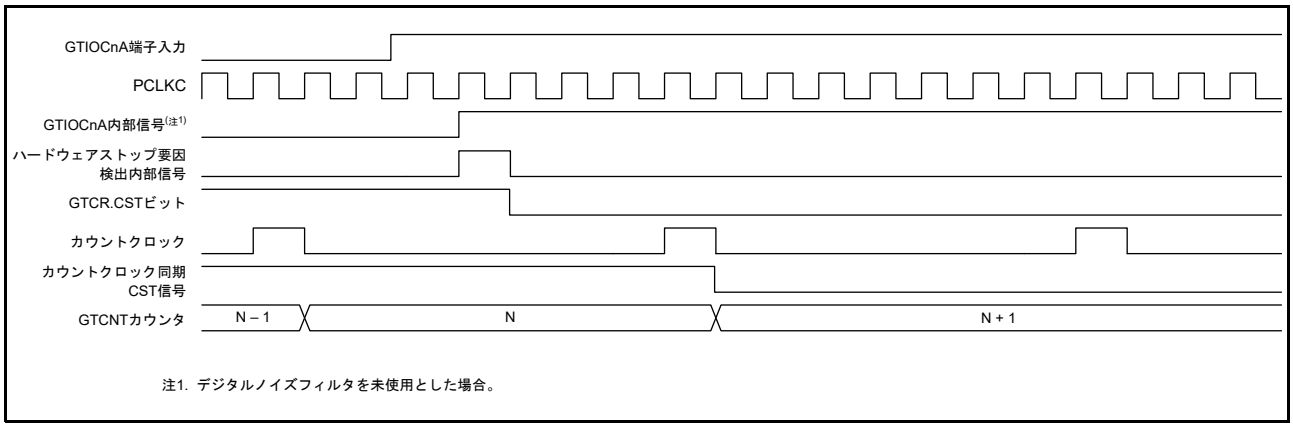


図 24.117　GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例

図 24.118 に ELCA イベント入力によるカウントストップ動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのカウントストップ動作を行った場合の例です。PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

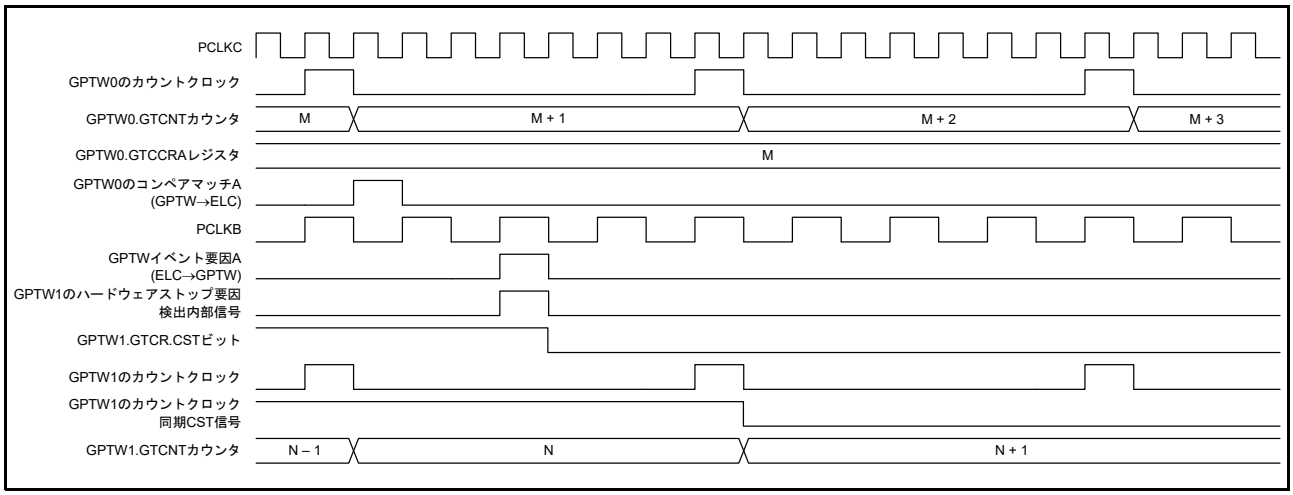


図 24.118　ELCA イベント入力によるカウントストップ動作タイミング例

24.3.7.3　ハードウェアクリア動作

ハードウェア要因によって、GTCNT カウンタのクリア制御が可能です。GTCSR レジスタでカウンタをクリアさせるハードウェア要因を選択してカウンタクリアを許可します。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV/GTCIU 割り込み (オーバフロー / アンダフロー割り込み) は発生しません。

図 24.119、**図 24.120** にハードウェア要因によるカウンタクリアの動作例を、**図 24.121** に設定例を示します。ELCA イベント入力によりスタート、ELCB イベント入力によりカウントストップ / クリアする例です。

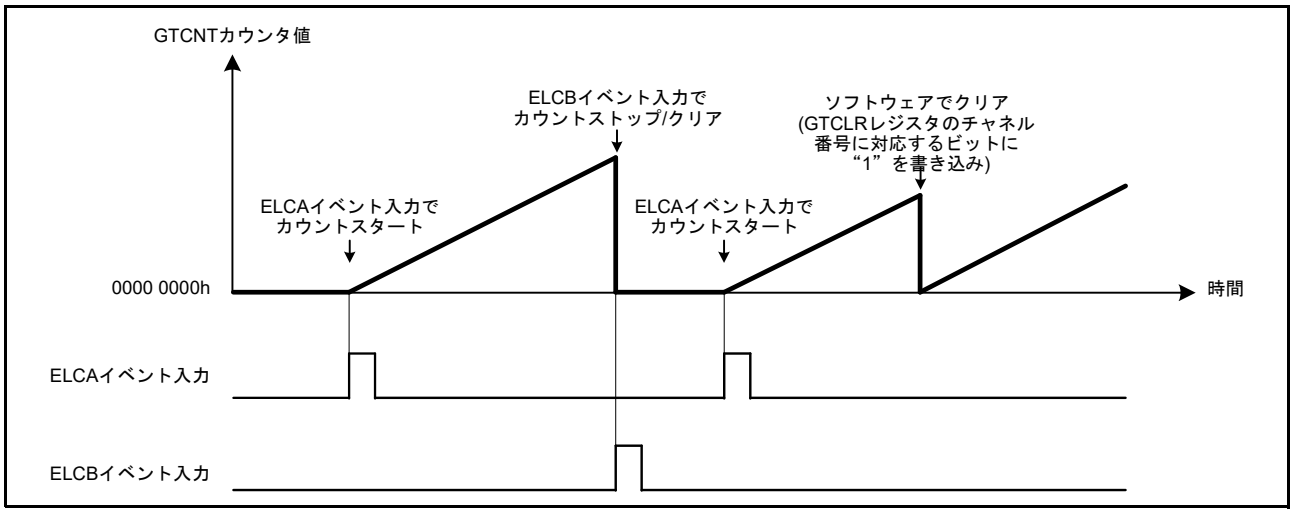


図 24.119　ハードウェア要因によるカウンタクリア動作例 (のこぎり波でアップカウント、ELCA イベント入力でスタート、ELCB イベント入力でカウントストップ / クリア時)

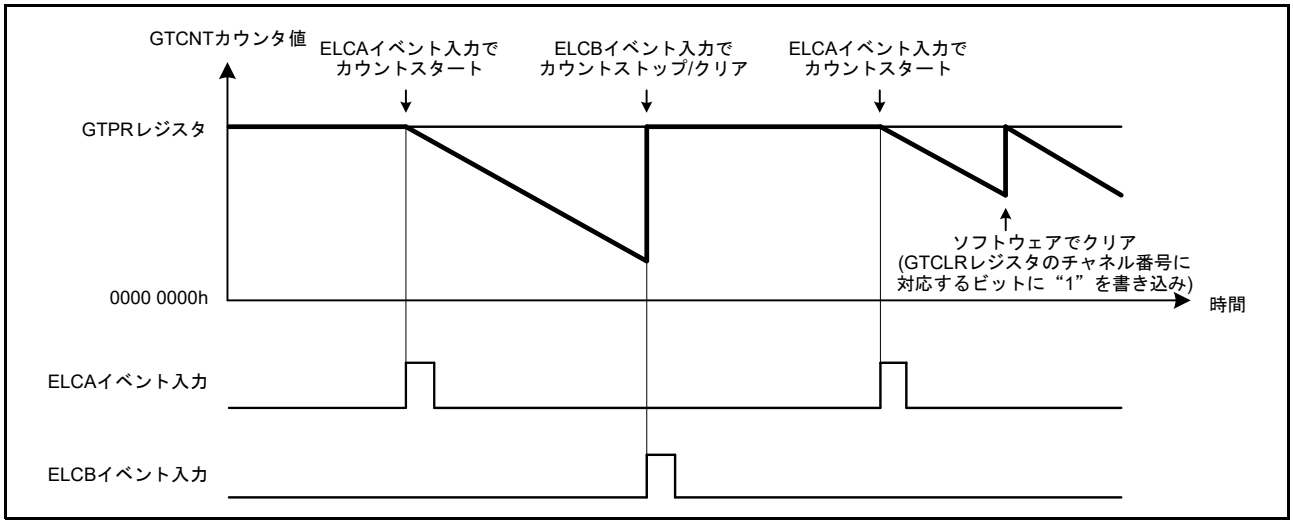


図 24.120　ハードウェア要因によるカウンタクリア動作例 (のこぎり波でダウンカウント、ELCA イベント入力でスタート、ELCB イベント入力でカウントストップ / クリア時)

図 24.121 ハードウェア要因によるカウンタクリア動作設定例

ハードウェア要因によるカウンタクリアを行っても、GTCIV/GTCIU 割り込み (オーバフロー / アンダフロー割り込み) は発生しません。同様に、ソフトウェアでのカウンタクリアを行った場合も、GTCIV/GTCIU 割り込みは発生しません。

図 24.122 にハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係を示します。

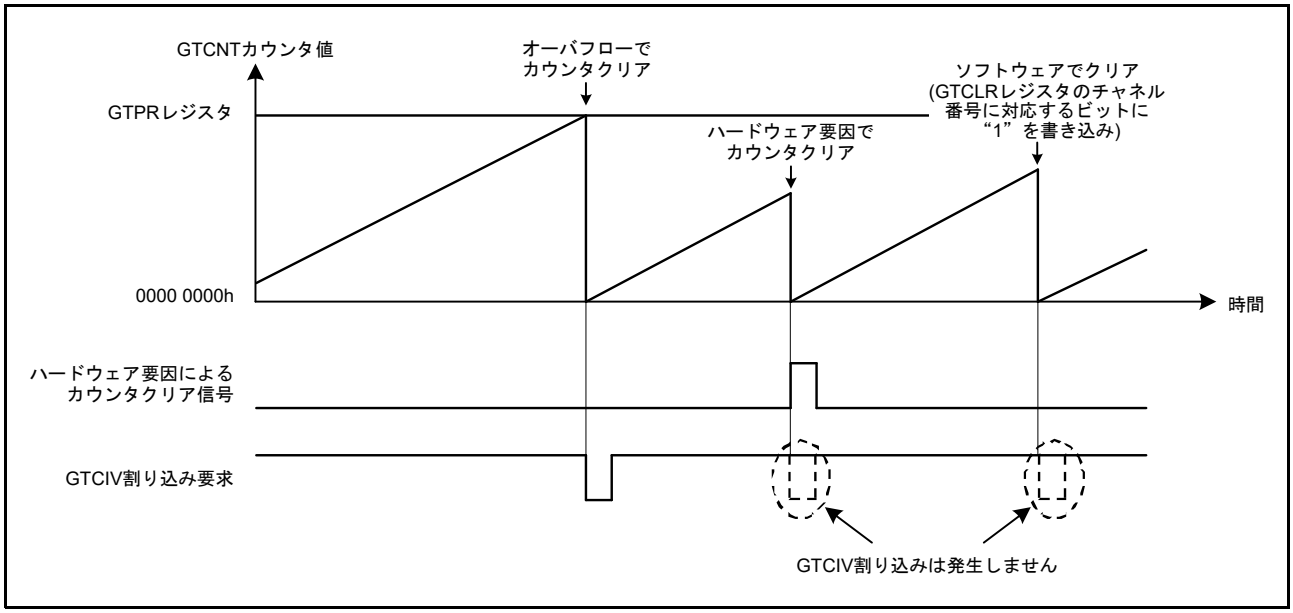


図 24.122　ハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係

図 24.123 に GTCNT カウンタのカウントクロックに PCLKC の分周クロックを選択した場合における GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。

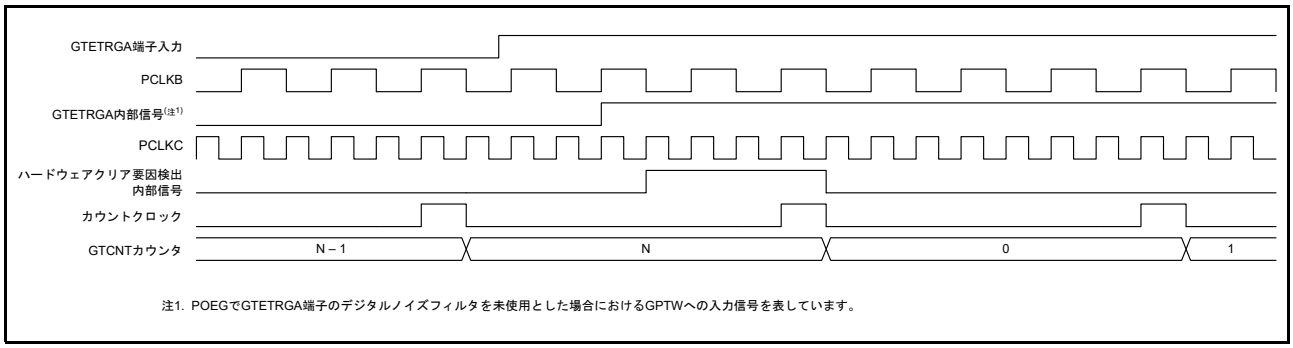


図 24.123　GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKC の分周クロックによるカウント動作時)

図 24.124 に GTCNT カウンタのカウントクロックに PCLKC の分周クロックを選択した場合における GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。

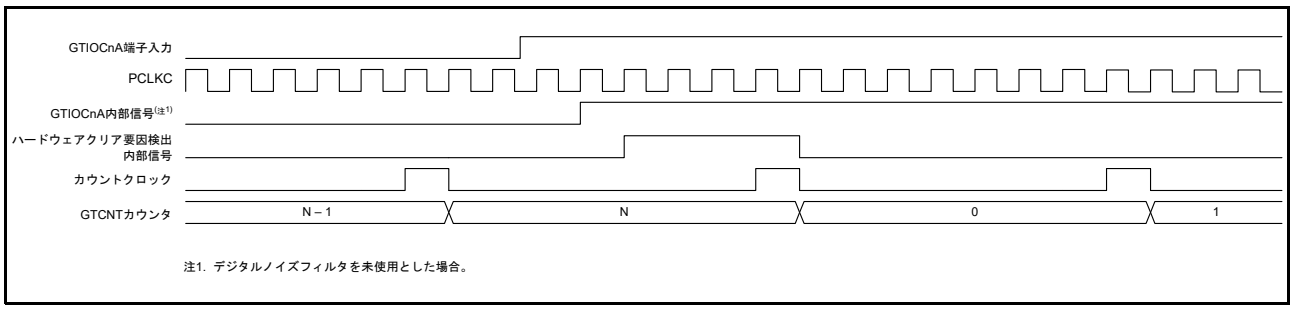


図 24.124　GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKC の分周クロックによるカウント動作時)

図 24.125 に GTCNT カウンタのカウントクロックに PCLKC の分周クロックを選択した場合における ELCA イベント入力によるカウンタクリア動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのクリア動作を行った場合の例です。

PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。

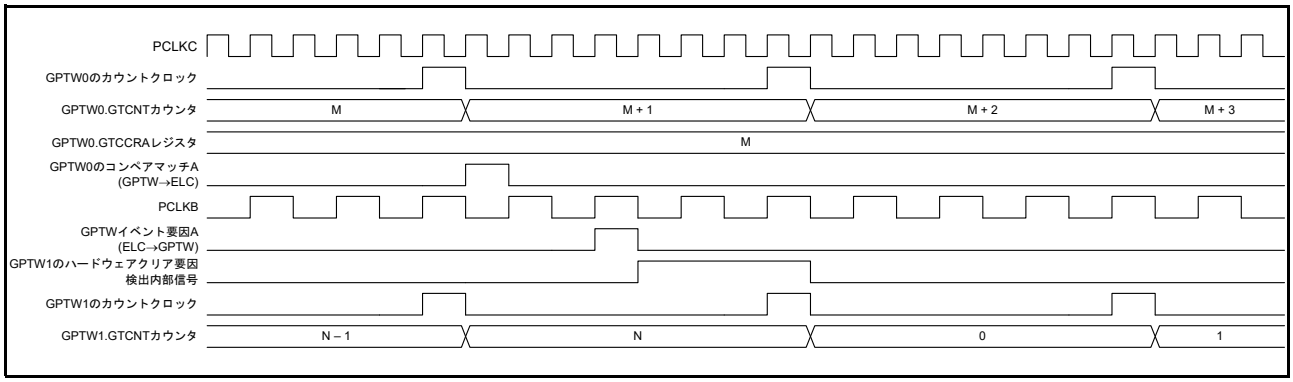


図 24.125　ELCA イベント入力によるカウンタクリア動作タイミング例 (PCLKC の分周クロックによるカウント動作時)

図 24.126 にハードウェア要因によるカウント動作とした場合における GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKC に同期してクリアされます。

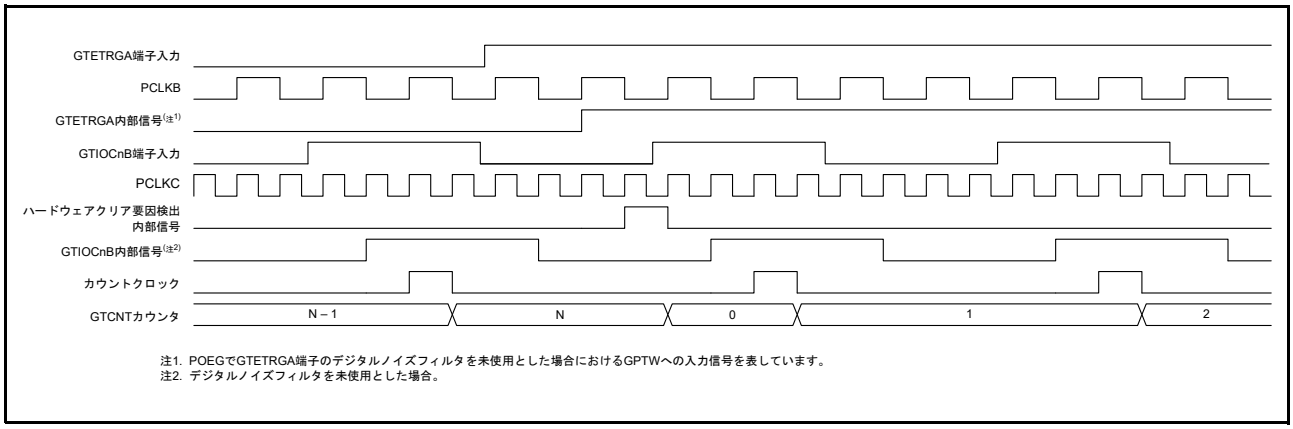


図 24.126　GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

図 24.127 にハードウェア要因によるカウント動作とした場合における GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKC に同期してクリアされます。

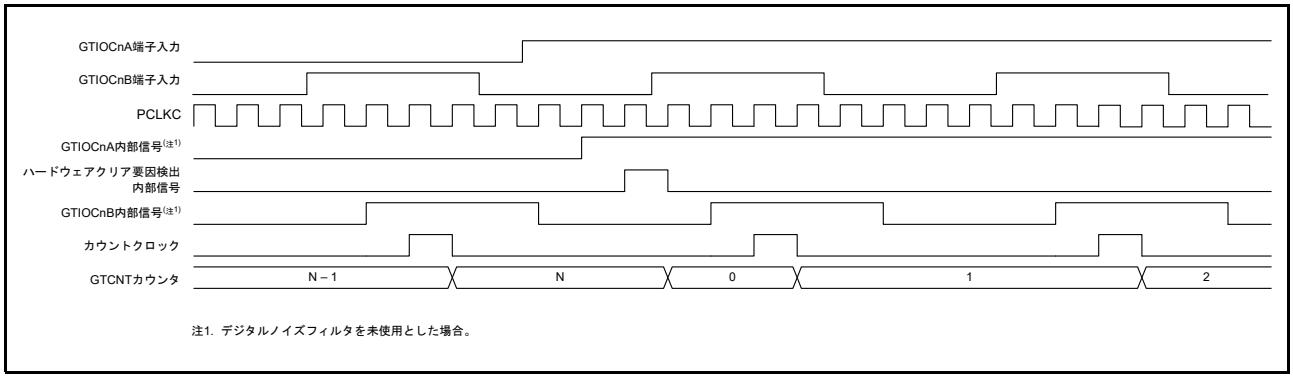


図 24.127　GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

図 24.128 にハードウェア要因によるカウント動作とした場合における ELCA イベント入力によるカウンタクリア動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのクリア動作を行った場合の例です。

PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKC に同期してクリアされます。

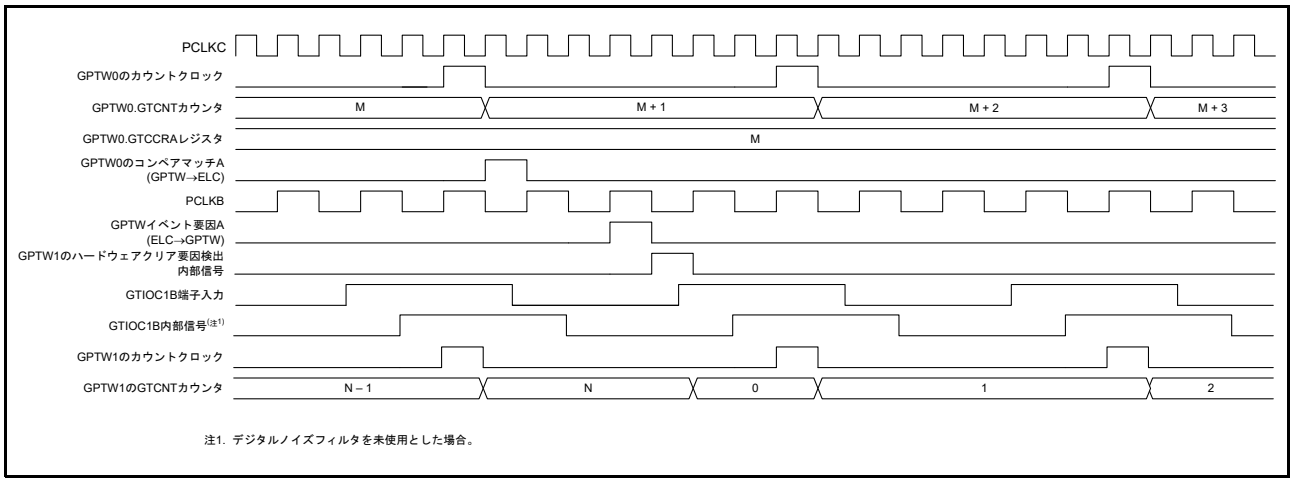


図 24.128 ELCA イベント入力によるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

24.3.8 同期動作

チャネル間の同期動作 (同時スタート / ストップ / クリア) が可能です。

24.3.8.1 ソフトウェアによる同期動作

GTSTR、GTSTP、GTCLR レジスタの複数ビットを同時に “1” にすることによって、各チャネルのカウント動作を同時にスタート、ストップ、クリアすることができます。

カウントスタート前に各チャネルの GTCNT カウンタ値を設定しておき、GTSTR レジスタの複数のビットを同時に “1” にすることにより、各チャネル間に位相差をつけたカウントスタートすることができます。

GTCNT カウンタの値の設定は、GTCR.SSCEN ビットで同期セットされ、GTCR.SSCGRP[1:0] ビットで同じグループに設定された複数のチャネルに同時に書き込むことができます。相補 PWM モードに設定されているチャネルに対しては、同期セットは無効です。GTSECR.SSCE ビットまたは SSCD ビットのどちらか一方に “1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTCR.SSCEN ビットに同時に値が設定され、同期セットが複数のチャネルで同時に許可、禁止されます。

カウント動作は、GTCR.TPCS[3:0] ビットで選択したカウントクロックでおこなうため、同時にスタート、ストップ、クリアを行う複数のチャネルのカウントクロックが異なる場合、完全に同じタイミングでのスタート、ストップ、クリア動作を行うことはできません。

図 24.129 は、4 つのチャネルを、ソフトウェアによる同時スタート / ストップ / クリアさせた例です。図 24.130 は、4 つのチャネルを、ソフトウェアによる位相スタートをさせた例です。図 24.131 ～図 24.133 はカウントクロックが異なる場合のソフトウェアによる同時スタート / ストップ / クリアさせた例です。

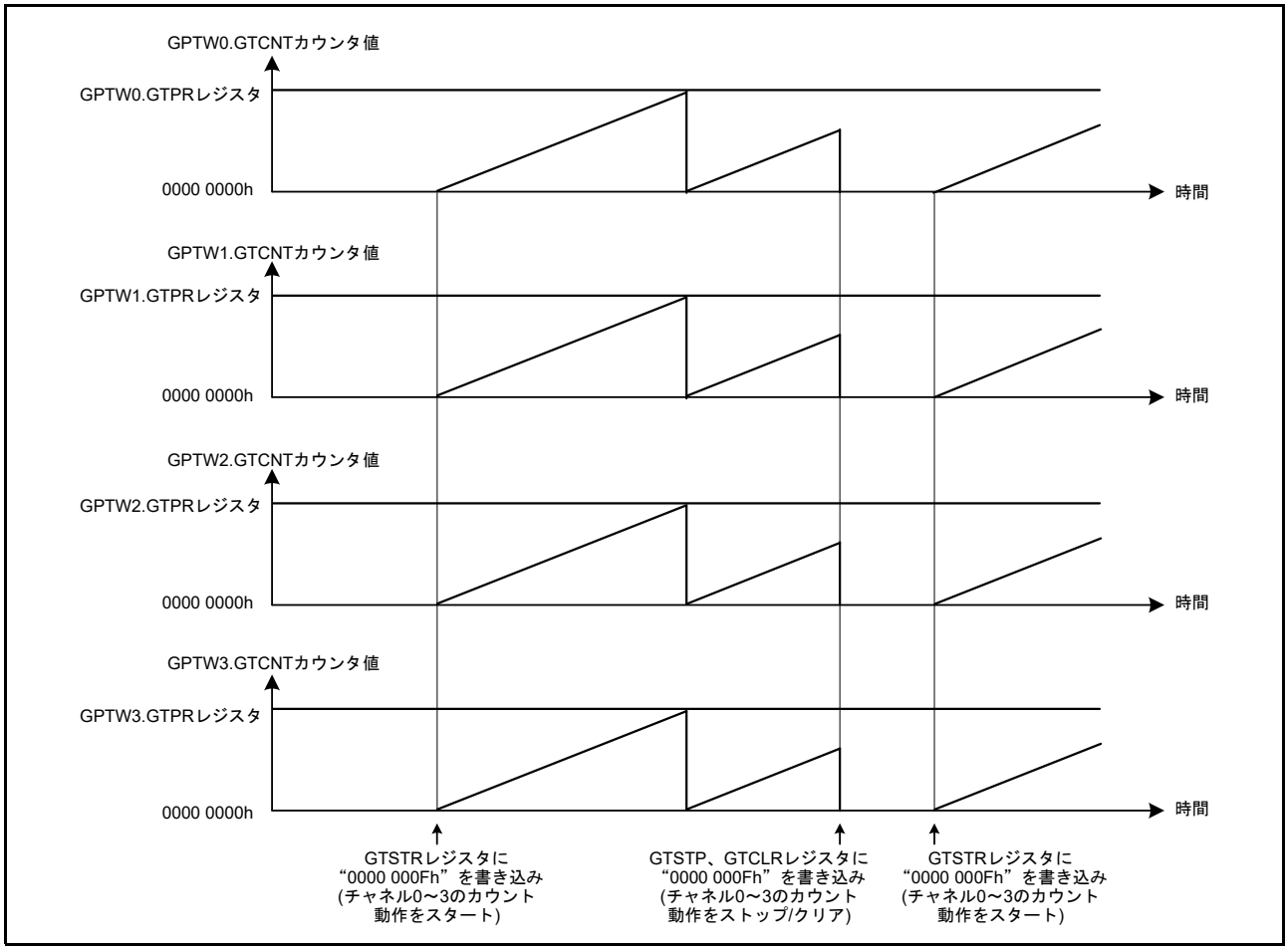


図 24.129 ソフトウェアによる同時スタート / ストップ / クリア動作例
(カウント周期 (GTPR レジスタ値) が同一のとき)

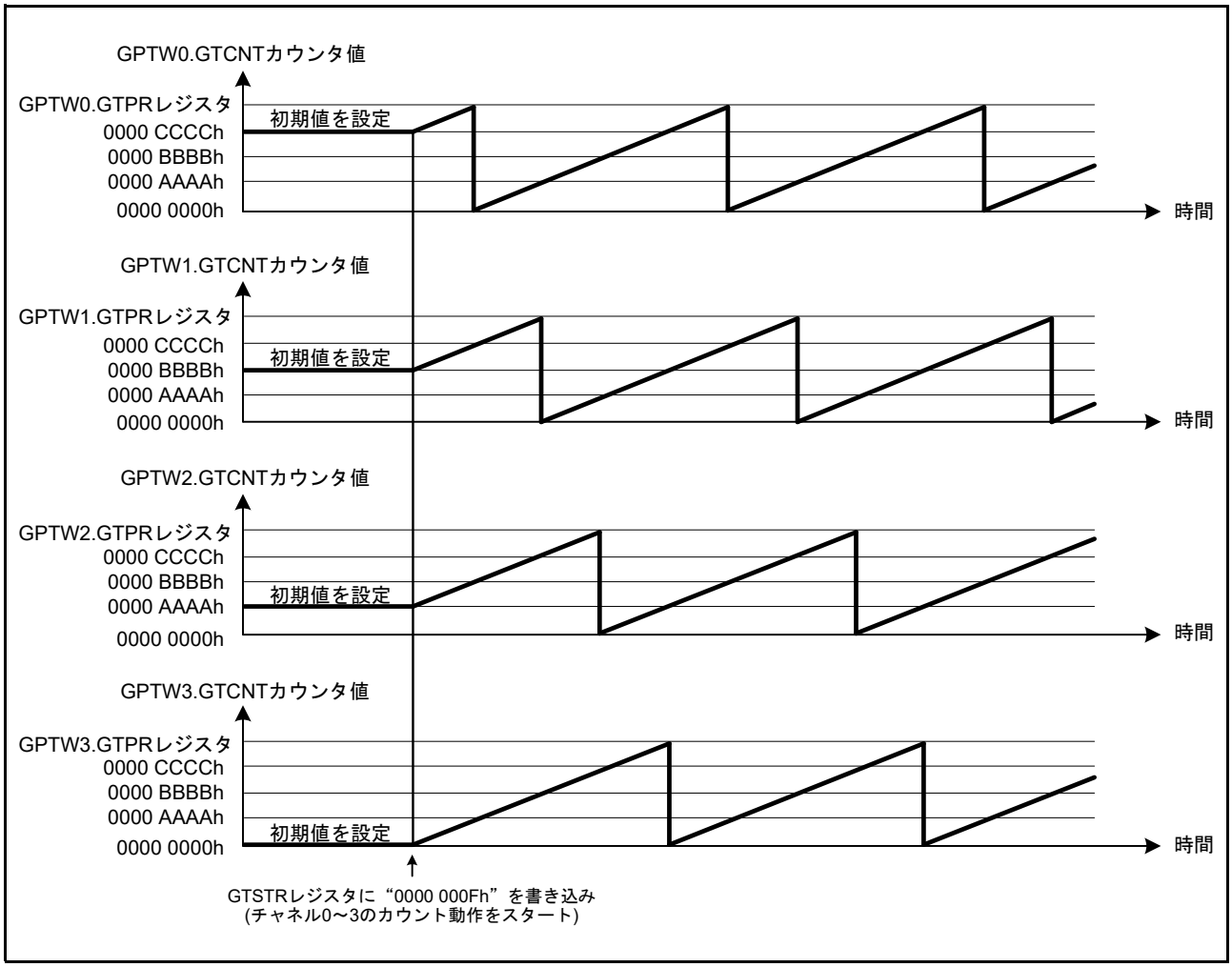


図 24.130 ソフトウェアによる位相シフトスタート動作例
(カウント周期 (GTPR レジスタ値) が同一のとき)

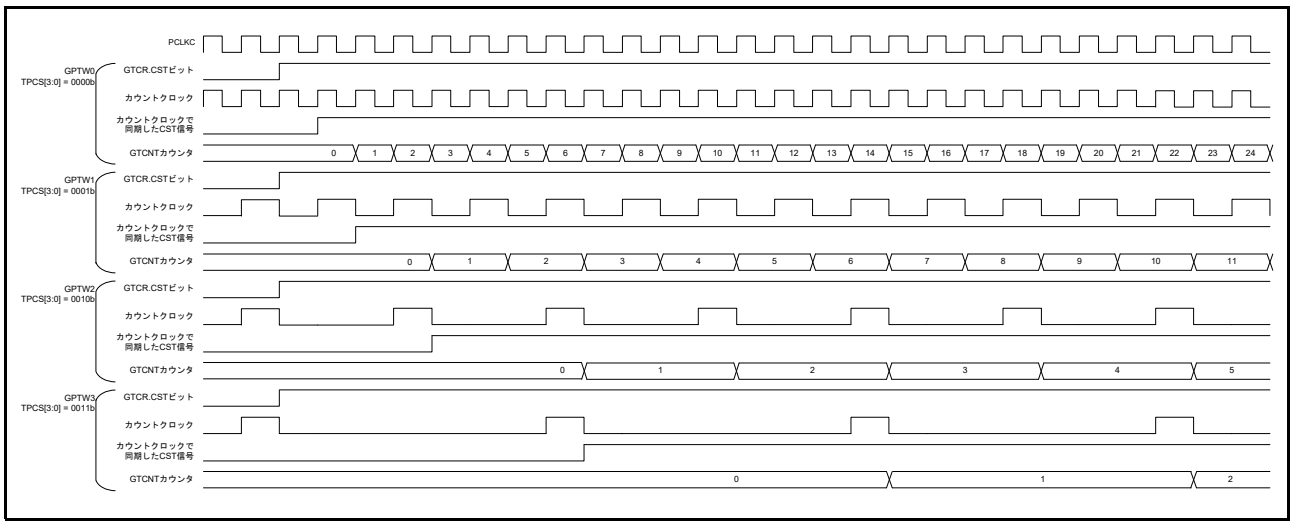


図 24.131 ソフトウェアによる同時スタート動作例 (チャネルごとにカウントクロックが異なる場合)

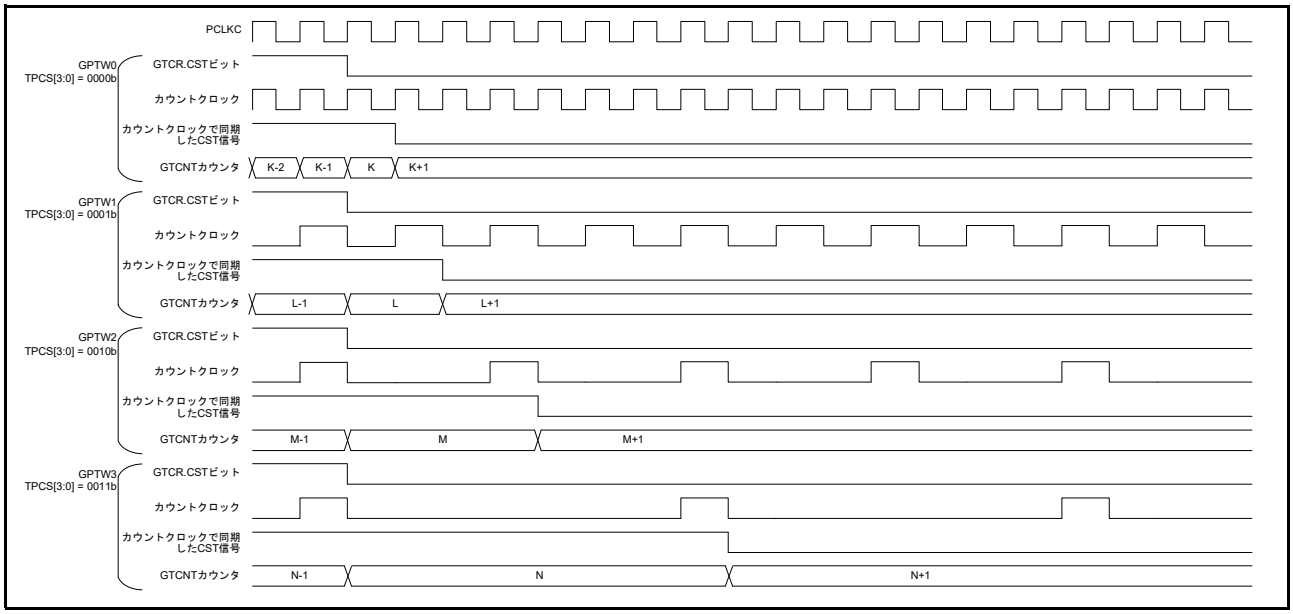


図 24.132 ソフトウェアによる同時ストップ動作例 (チャネルごとにカウントクロックが異なる場合)

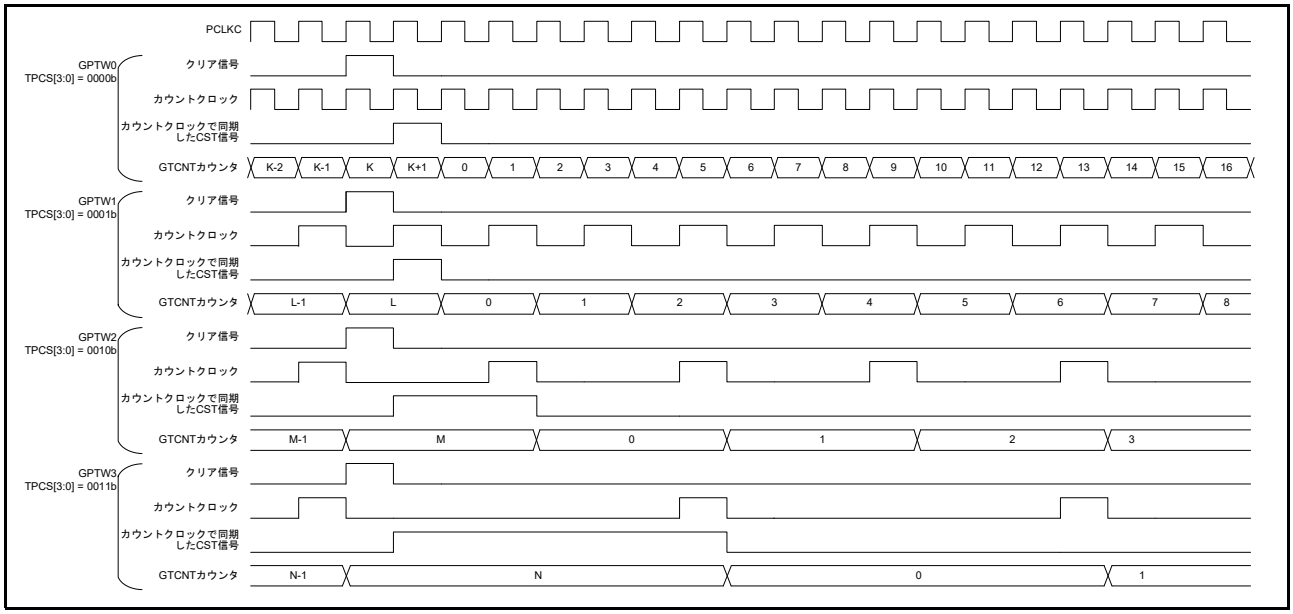


図 24.133 ソフトウェアによる同時クリア動作例 (チャネルごとにカウントクロックが異なる場合)

24.3.8.2　ハードウェア要因による同期動作

ハードウェア要因により、各チャネルのカウント動作を同時にスタート、ストップ、クリアすることができます。

同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOCnA、GTIOCnB 端子入力 (n = 0 ～ 7) による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで実現できます。

図 24.134 は、4 つのチャネルを、ハードウェア要因による同時スタート / ストップ / クリア動作させた例です。

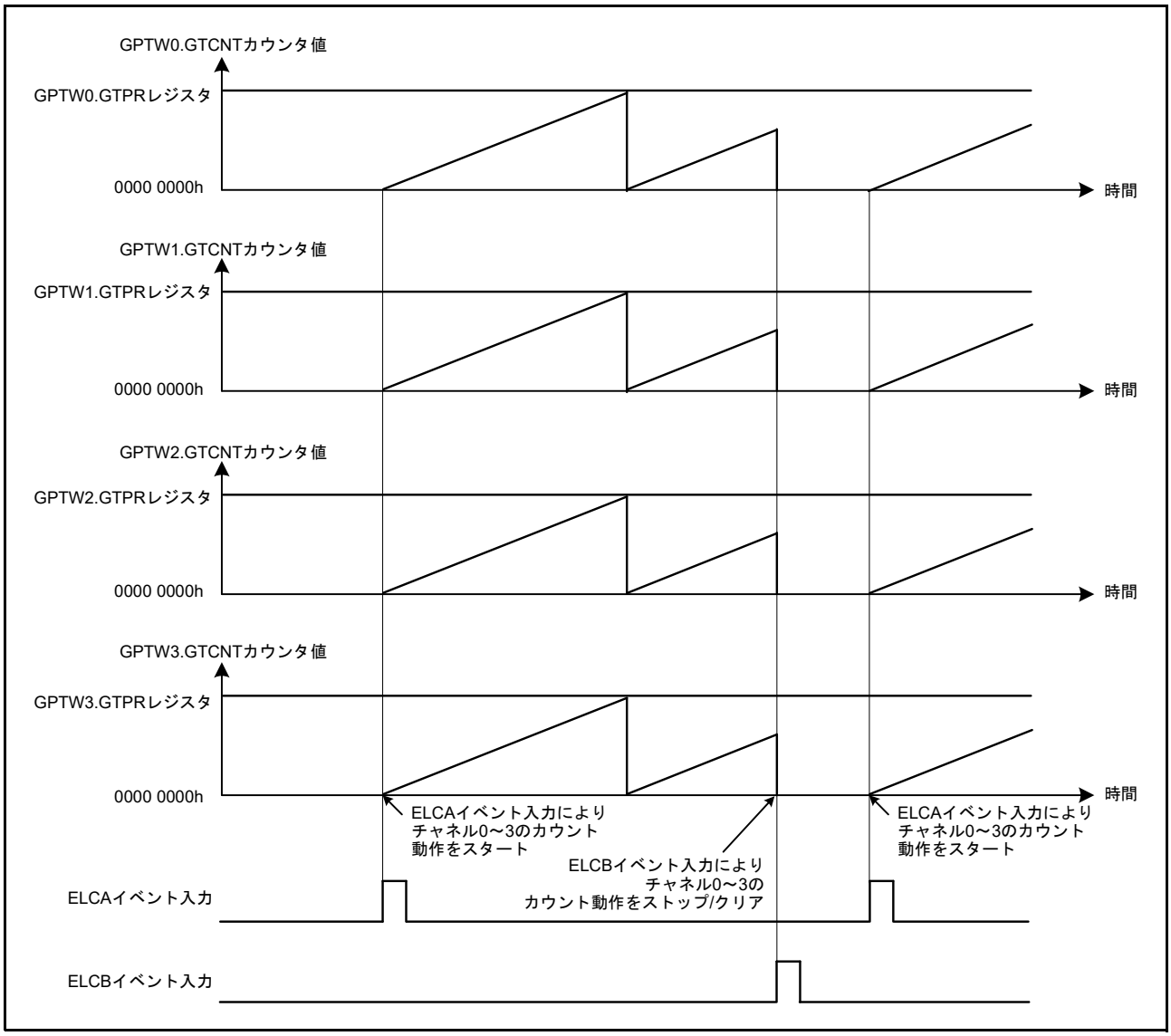


図 24.134　ハードウェア要因による同時スタート / ストップ / クリア動作例
(カウント周期 (GTPR レジスタ値) が同一のとき)

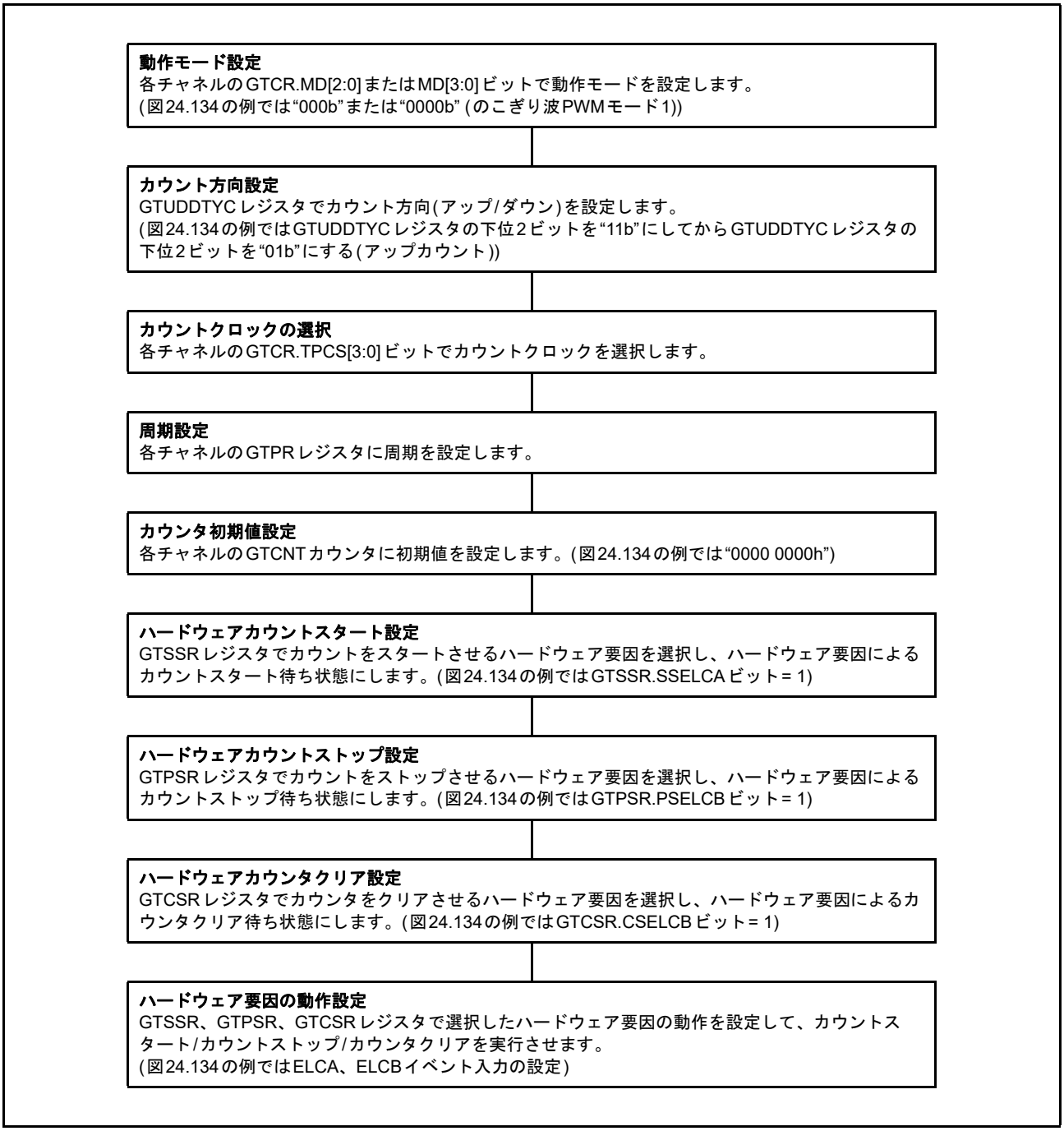


図 24.135 ハードウェア要因による同時スタート設定例

24.3.8.3　チャネル間連携による同期クリア動作

コンペアマッチ、インプットキャプチャ、のこぎり波アップカウントのオーバフロー、のこぎり波ダウンカウントのアンダフロー、GTCSR レジスタで選択された GTIOCnA/GTIOCnB 端子を要因とするクリアにより、他のチャネルのカウンタを同時にクリアすることができます。

GTCLR レジスタによるクリア、GTCSR レジスタで選択された外部トリガ入力および ELC イベント入力によるクリアは、同時にクリアさせるチャネルのクリア要因を同じものに設定することで同時クリアが実現できるため、チャネル間連携による同期クリアの要因としては用いません。

同期クリアの要因を生成するチャネルと同期クリアされるチャネルは、GTCR.SSCGRP[1:0] ビットで同じ同期セット / クリアグループに設定してください。

「24.3.8.1　ソフトウェアによる同期動作」と同様に、GTCR.TPCS[3:0] ビットで選択するカウントクロックが個々のチャネルで異なる場合、完全に同じタイミングでの同期クリア動作を行うことはできません。**図 24.133** のソフトウェアによる同期クリア動作例と同様に、カウントクロックが異なる場合、同期クリアされるチャネルの同期クリア要因は、そのチャネルのカウントクロックで同期化してクリアを行います。

GTSECR.SSCE ビットまたは SSCD ビットのどちらか一方に “1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTCR.SSCEN ビットに同時に値が設定され、同期セットが複数のチャネルで同時に許可、禁止されます。

表 24.23 に同期クリア要因を設定するレジスタの設定値を示します。**図 24.136** にチャネル間連携による同期クリア動作例を示します。**図 24.137** に設定例を示します。

表24.23　同期クリア要因レジスタの設定

チャネル間連携の同期クリア要因	設定レジスタ.ビット	設定値
GTCCRA レジスタコンペアマッチ/インプットキャプチャ	GTINTAD.SCFA	1b
	GTCSR.CSCMSC[2:0]	001b
GTCCRB レジスタコンペアマッチ/インプットキャプチャ	GTINTAD.SCFB	1b
	GTCSR.CSCMSC[2:0]	010b
GTCCRC レジスタコンペアマッチ	GTINTAD.SCFC	1b
	GTCSR.CSCMSC[2:0]	011b
GTCCRD レジスタコンペアマッチ	GTINTAD.SCFD	1b
	GTCSR.CSCMSC[2:0]	100b
GTCCRE レジスタコンペアマッチ	GTINTAD.SCFE	1b
	GTCSR.CSCMSC[2:0]	101b
GTCCRF レジスタコンペアマッチ	GTINTAD.SCFF	1b
	GTCSR.CSCMSC[2:0]	110b
のこぎり波アップカウントのオーバフロー	GTINTAD.SCFPO	1b
のこぎり波ダウンカウントのアンダフロー	GTINTAD.SCFPU	1b
GTIOCnA/GTIOCnB端子を要因とするクリア	GTCR.SCGTIOC	1b

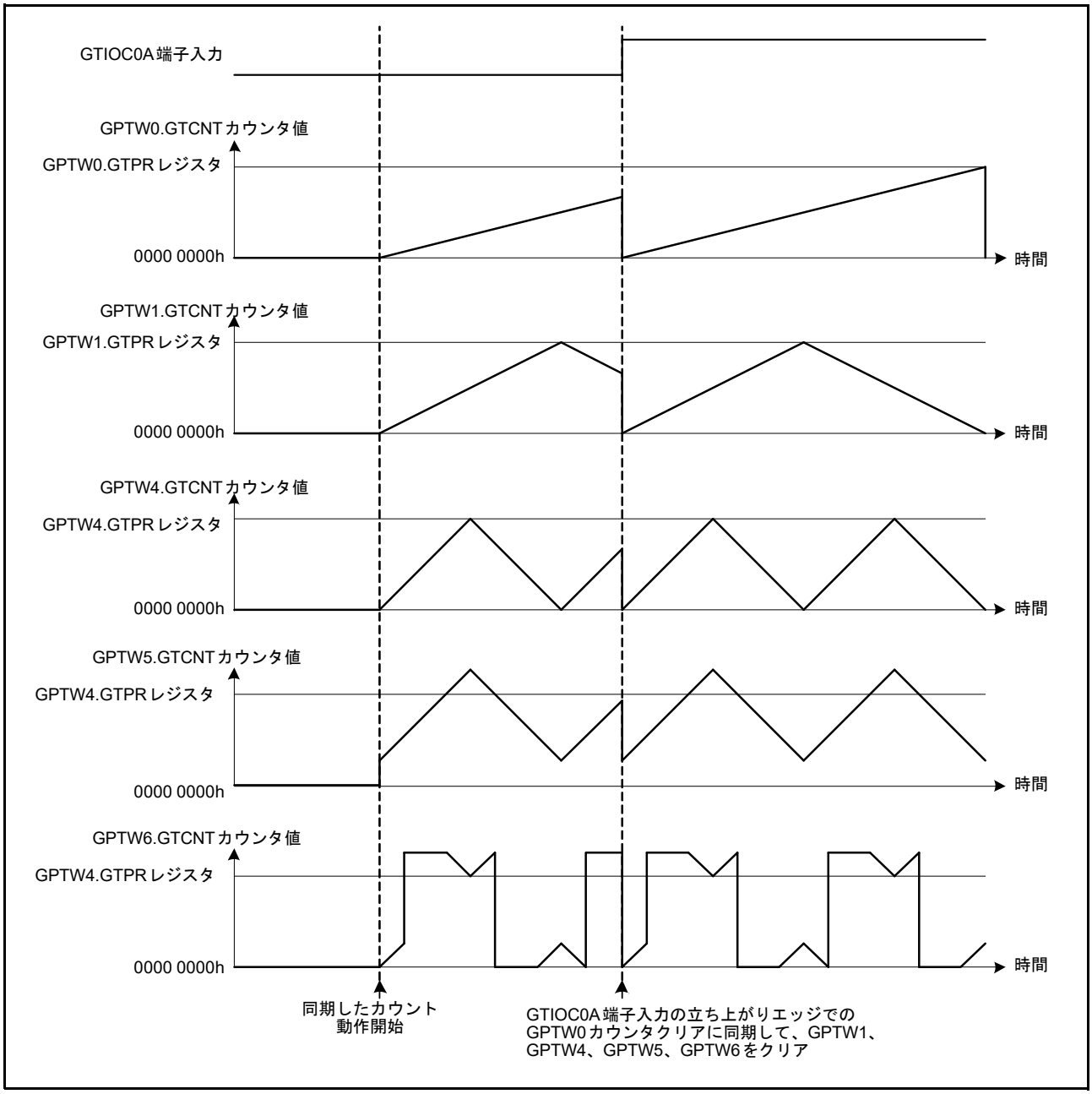


図 24.136 チャネル間連携による同期クリア動作例 (GTIOCnA/GTIOCnB 端子を要因とするクリア)
(GPTW0 はのこぎり波で GTIOC0A 信号の立ち上がりエッジでカウンタクリア、
GPTW1 は三角波で、GPTW4、GPTW5、GPTW6 は相補 PWM モード、
GPTW0、GPTW1、GPTW4、GPTW5、GPTW6 は同じ同期セット / クリアグループの場合)

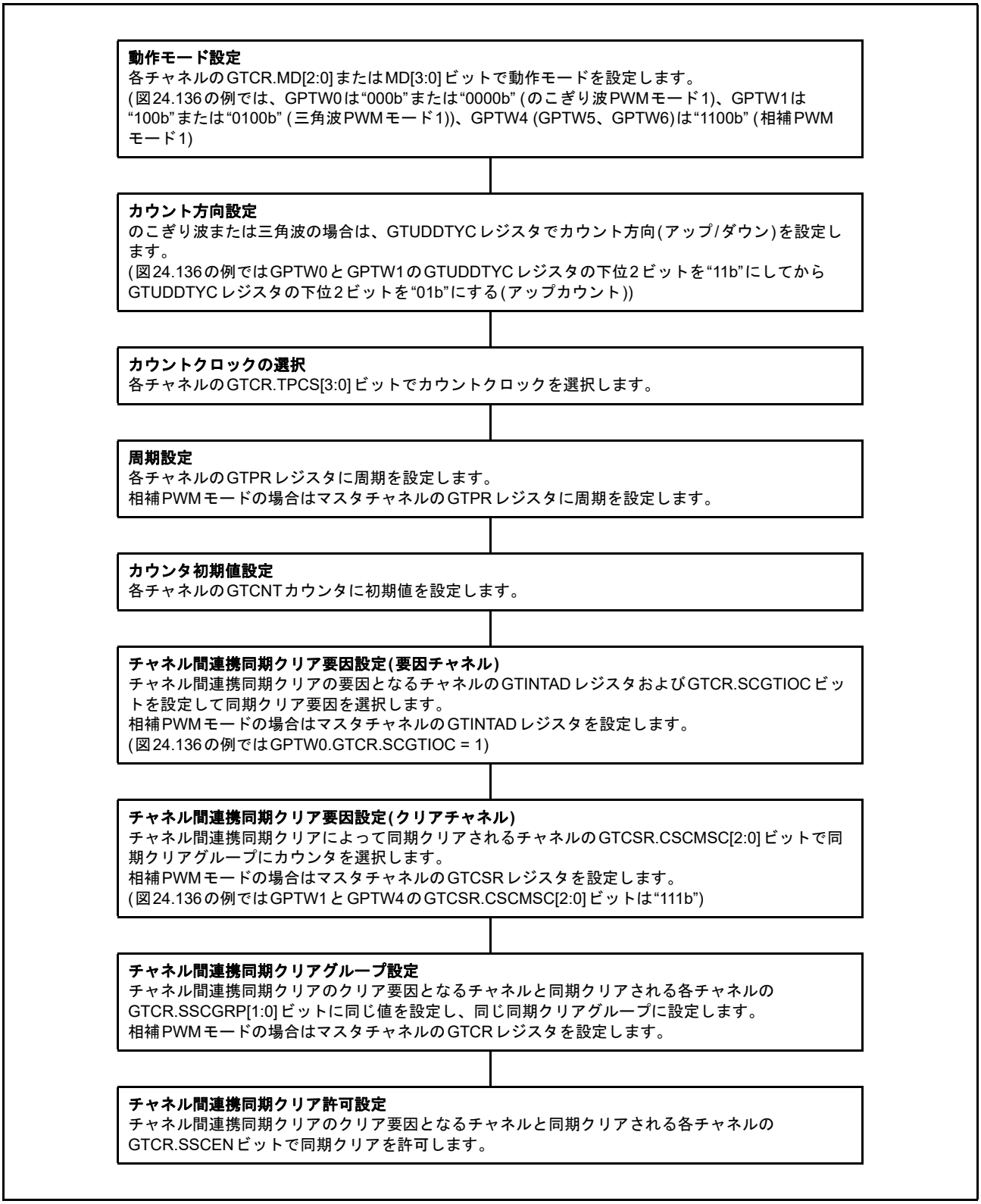


図 24.137 チャネル間連携による同期クリアの設定例 (GTIOCnA/GTIOCnB 端子を要因とするクリア)

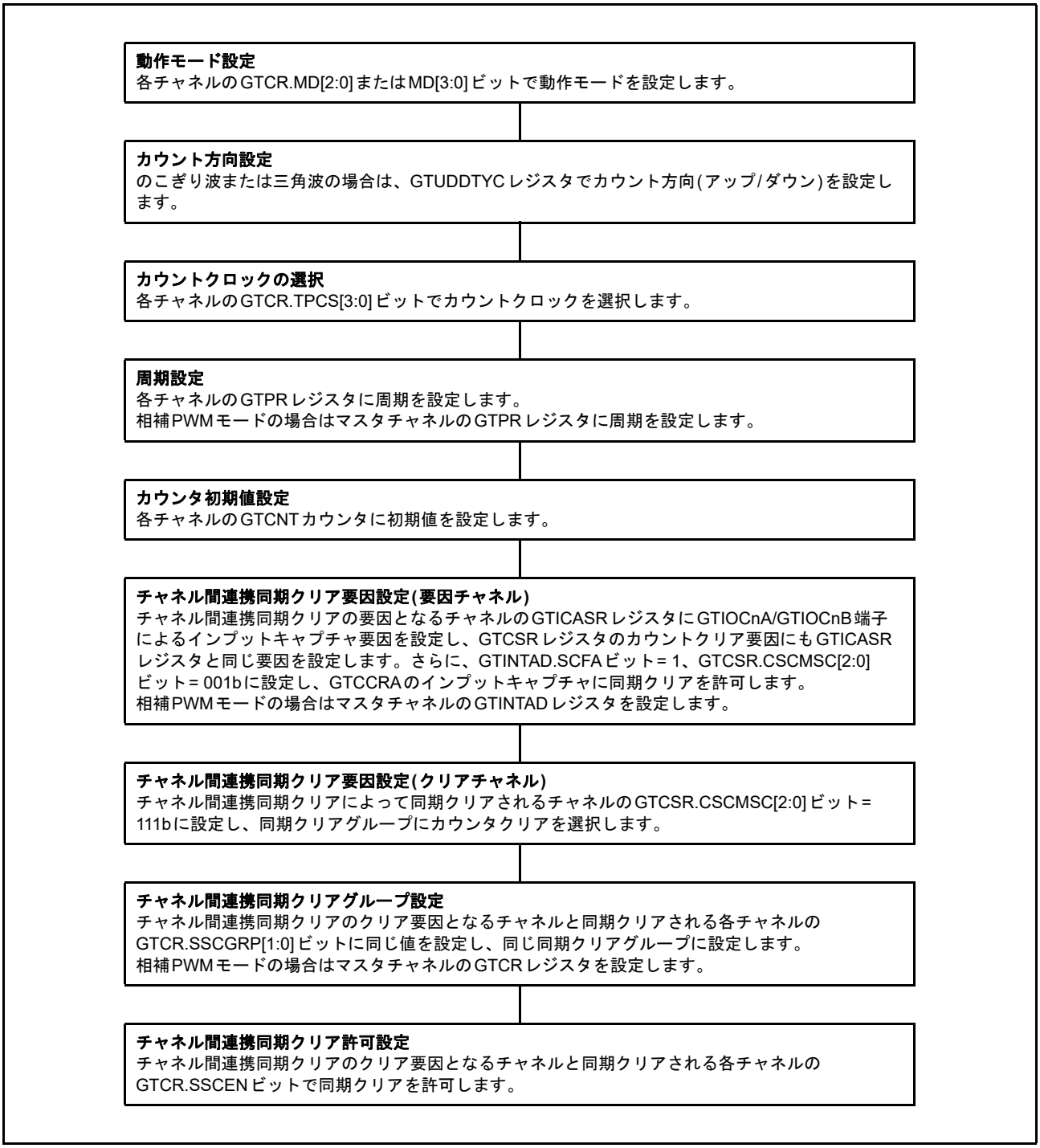


図 24.138 チャネル間連携による同期クリアの設定例 (GTIOCnA/GTIOCnB 端子による GTCCRA のインプットキャプチャを要因とするクリア)

24.3.8.4　チャネル間連携によるインプットキャプチャ動作

コンペアマッチ、インプットキャプチャ、のこぎり波のオーバフロー、アンダフロー、三角波、相補PWMの山、谷、カウントクロックを、他チャネルのGTCCRmレジスタ(m = A, B)のインプットキャプチャ要因として使用することができます。

インプットキャプチャ要因を生成するチャネルのGTICCRレジスタにインプットキャプチャの要因を設定し、インプットキャプチャされるチャネルのGTICmSR.mSOCビット(m = A, B)により他チャネル要因によるインプットキャプチャを許可します。インプットキャプチャの要因を生成するチャネルとインプットキャプチャされるチャネルは、GTICCR.ICmGRP[1:0]ビット(m = A, B)で同じインプットキャプチャグループに設定してください。

図24.139にチャネル間連携によるインプットキャプチャの動作例、図24.140にチャネル間連携によるインプットキャプチャの設定例を示します。

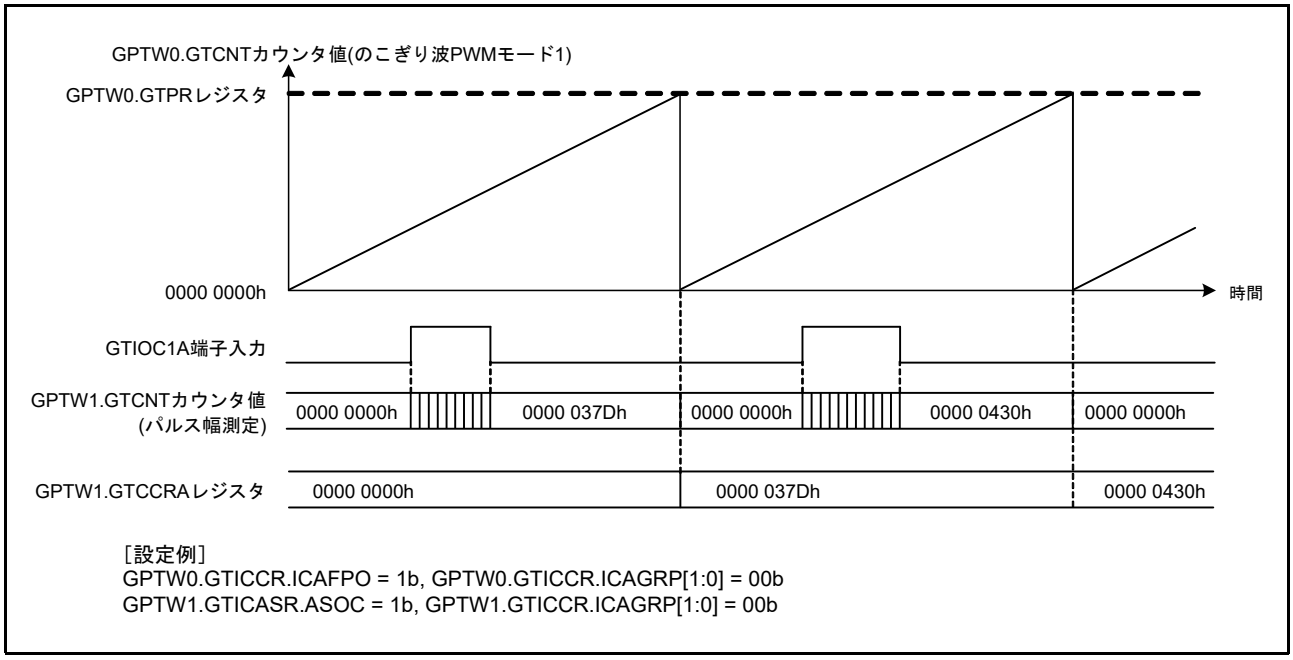


図24.139　チャネル間連携によるインプットキャプチャ動作例(チャネル0のオーバフローでチャネル1をインプットキャプチャ)

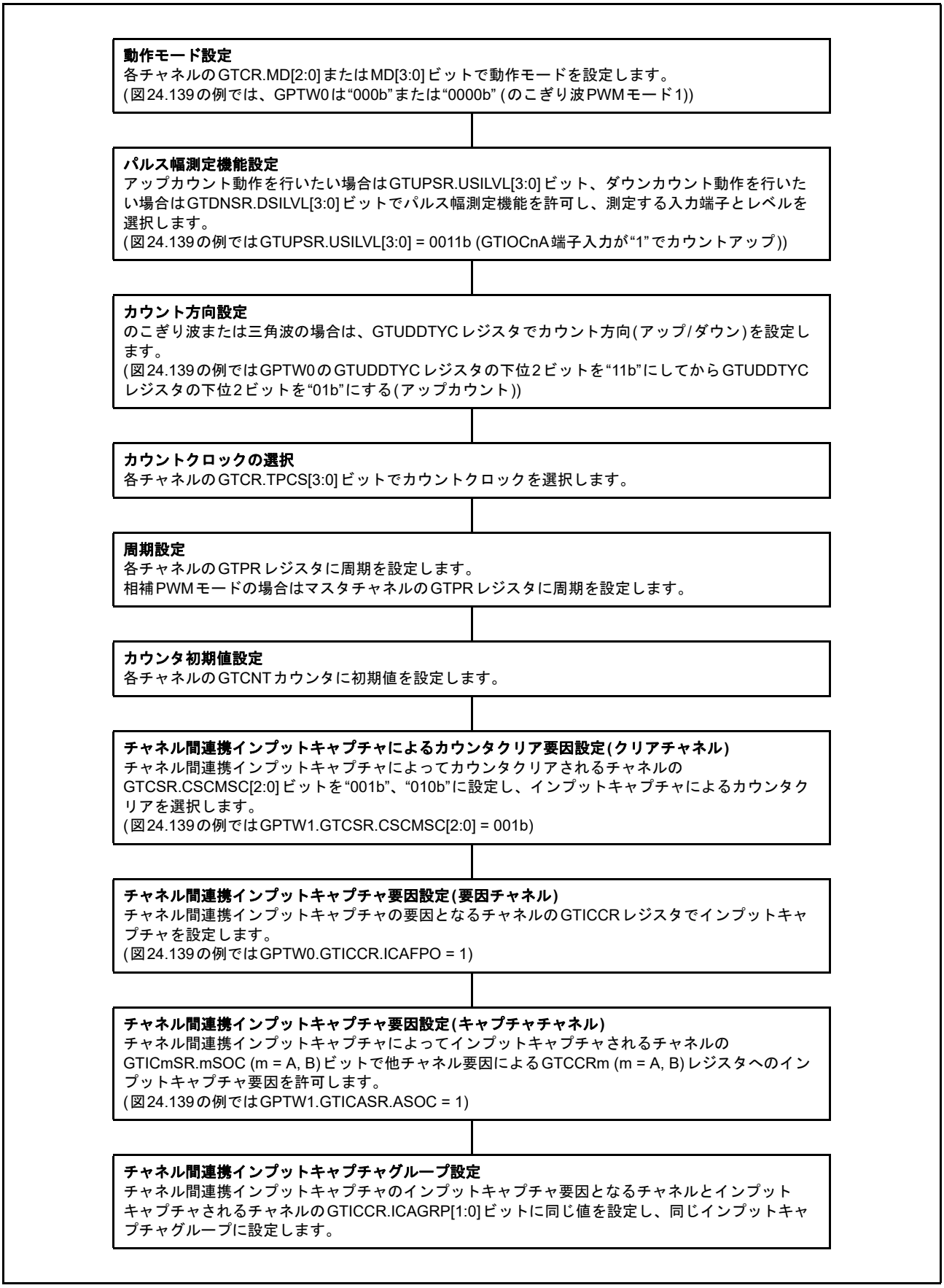


図 24.140　チャネル間連携によるインプットキャプチャ設定例

24.3.9 PWM 出力動作例

(1) 同期 PWM 出力

チャネル間の同期動作をすることにより、1 チャネル 2 相、最大 8 チャネル 16 相の連動した PWM 波形を出力できます。

図 24.141 は、4 つのチャネルを、のこぎり波 PWM モード 1 で同期動作させ、8 相の PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 3) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。

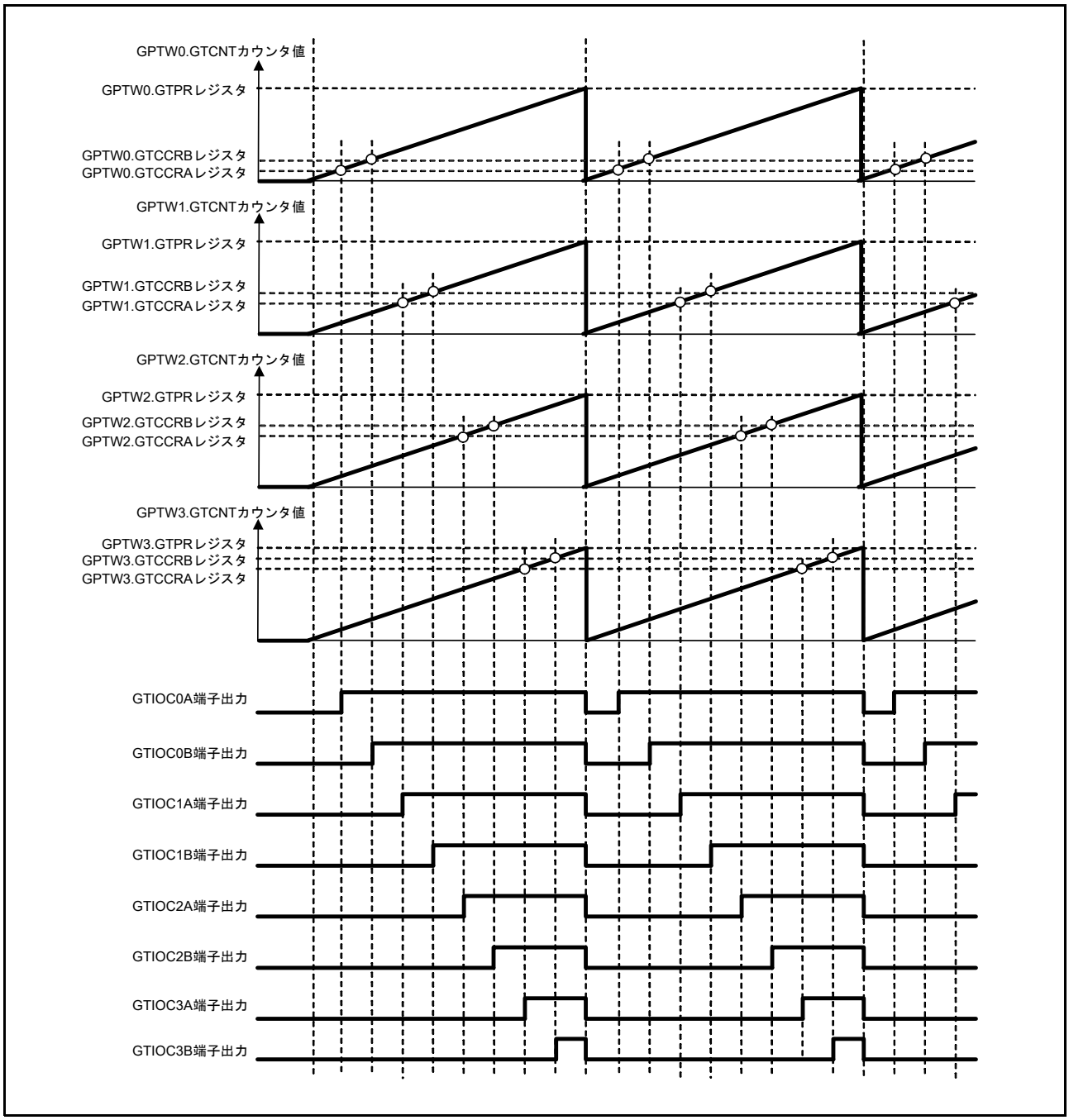


図 24.141 同期 PWM 出力例

(2) のこぎり波3相相補PWM出力

図24.142は、3つのチャネルをのこぎり波PWMモード1で同期動作させ、3相相補PWM波形を出力させた例です。GTIOCnA端子出力(n = 0 ～ 2)の設定は、初期出力はLow出力、GTCCRAレジスタのコンペアマッチでHigh出力、周期の終わりでLow出力とし、GTIOCnB端子出力の設定は、初期出力はHigh出力、GTCCRBレジスタのコンペアマッチでLow出力、周期の終わりでHigh出力とした例です。

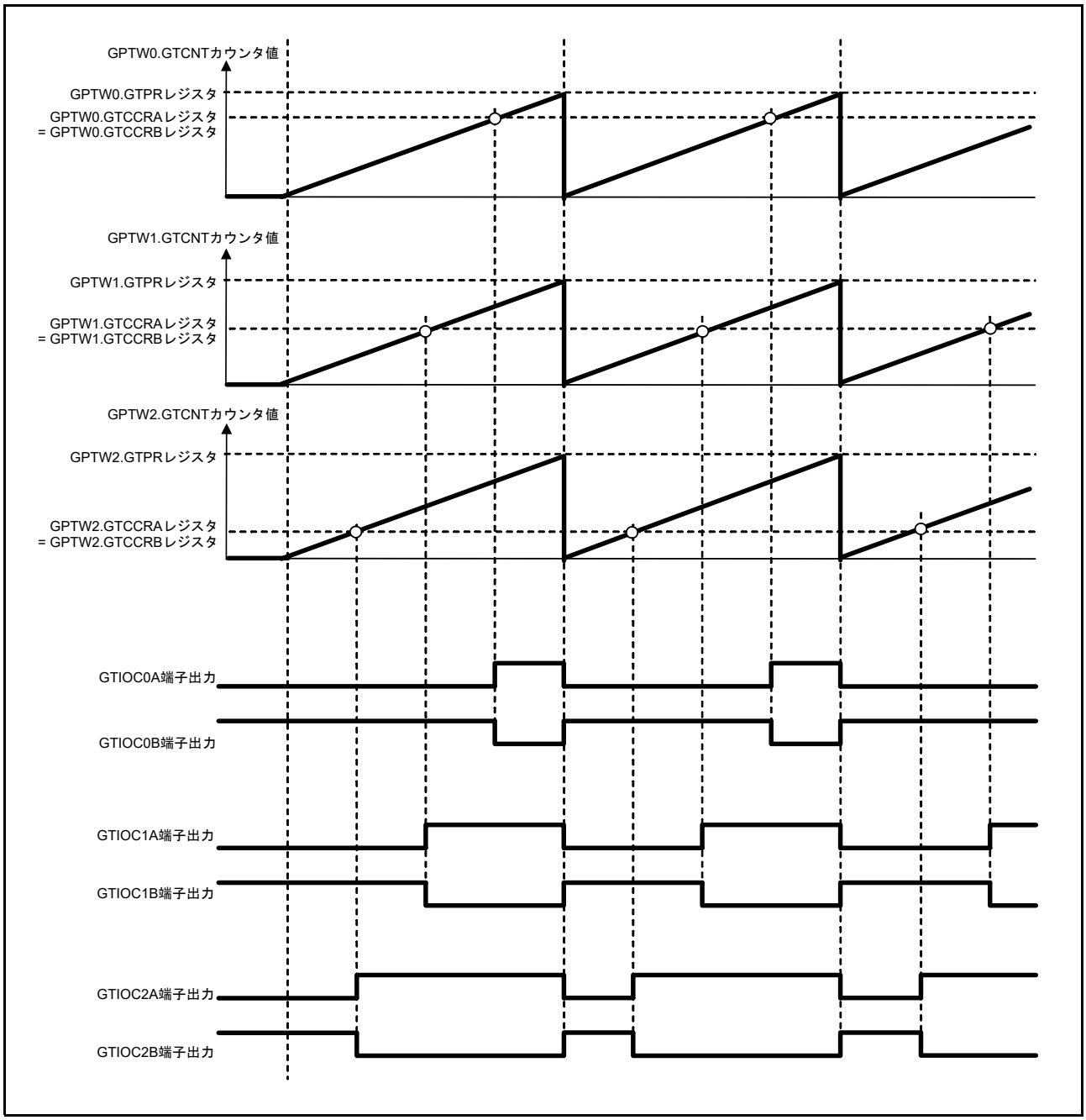


図24.142　のこぎり波3相相補PWM出力

(3) のこぎり波3相相補PWM出力(デッドタイム自動設定)

図24.143は、3つのチャネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3相相補PWM波形を出力させた例です。GTIOCnA端子出力(n = 0 ～ 2)の設定は、初期出力はLow出力、GTCCRAレジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB端子出力の設定は、初期出力はHigh出力、GTCCRBレジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

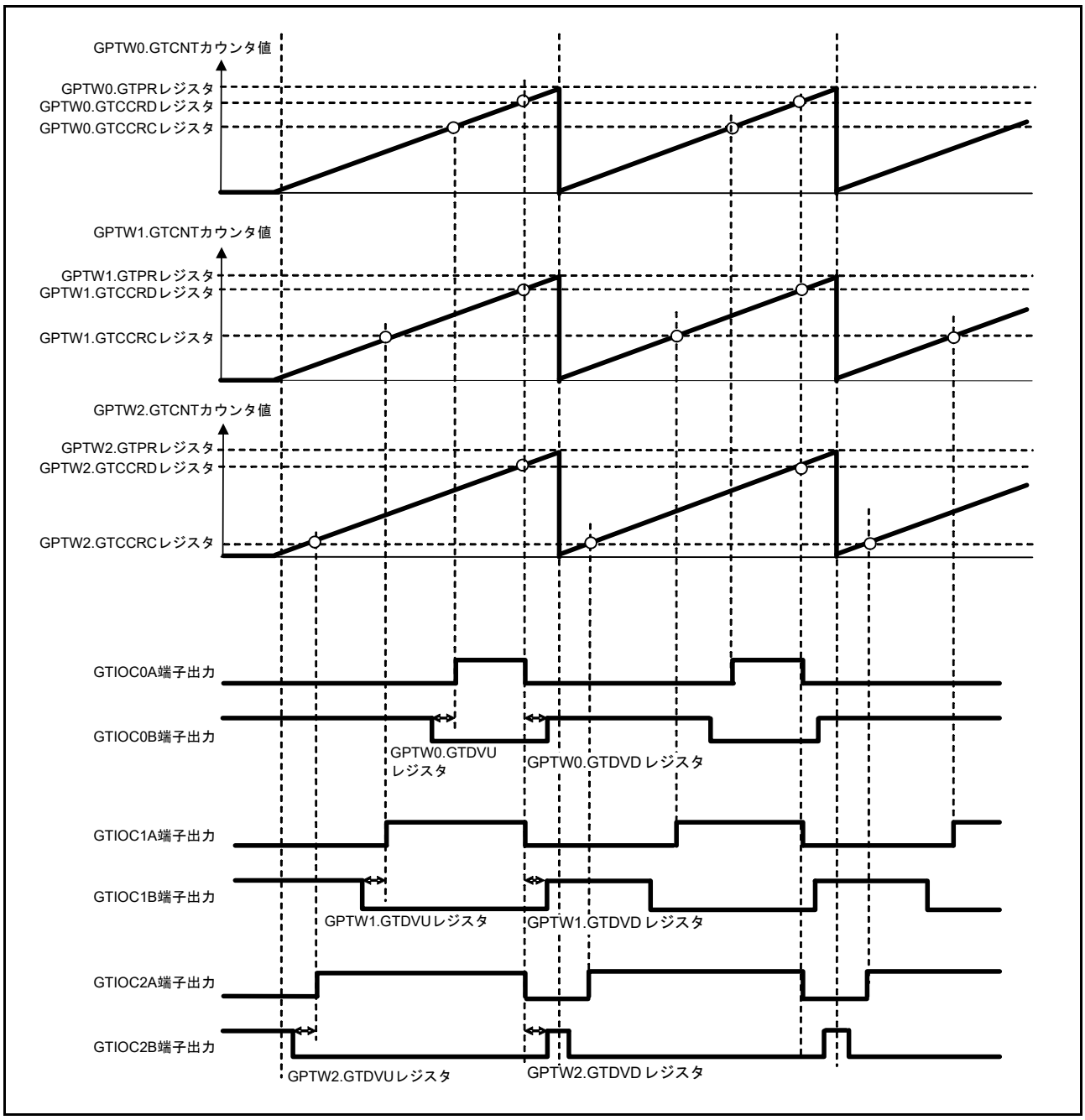


図24.143 のこぎり波3相相補PWM出力例(デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 24.144 は、3 つのチャネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

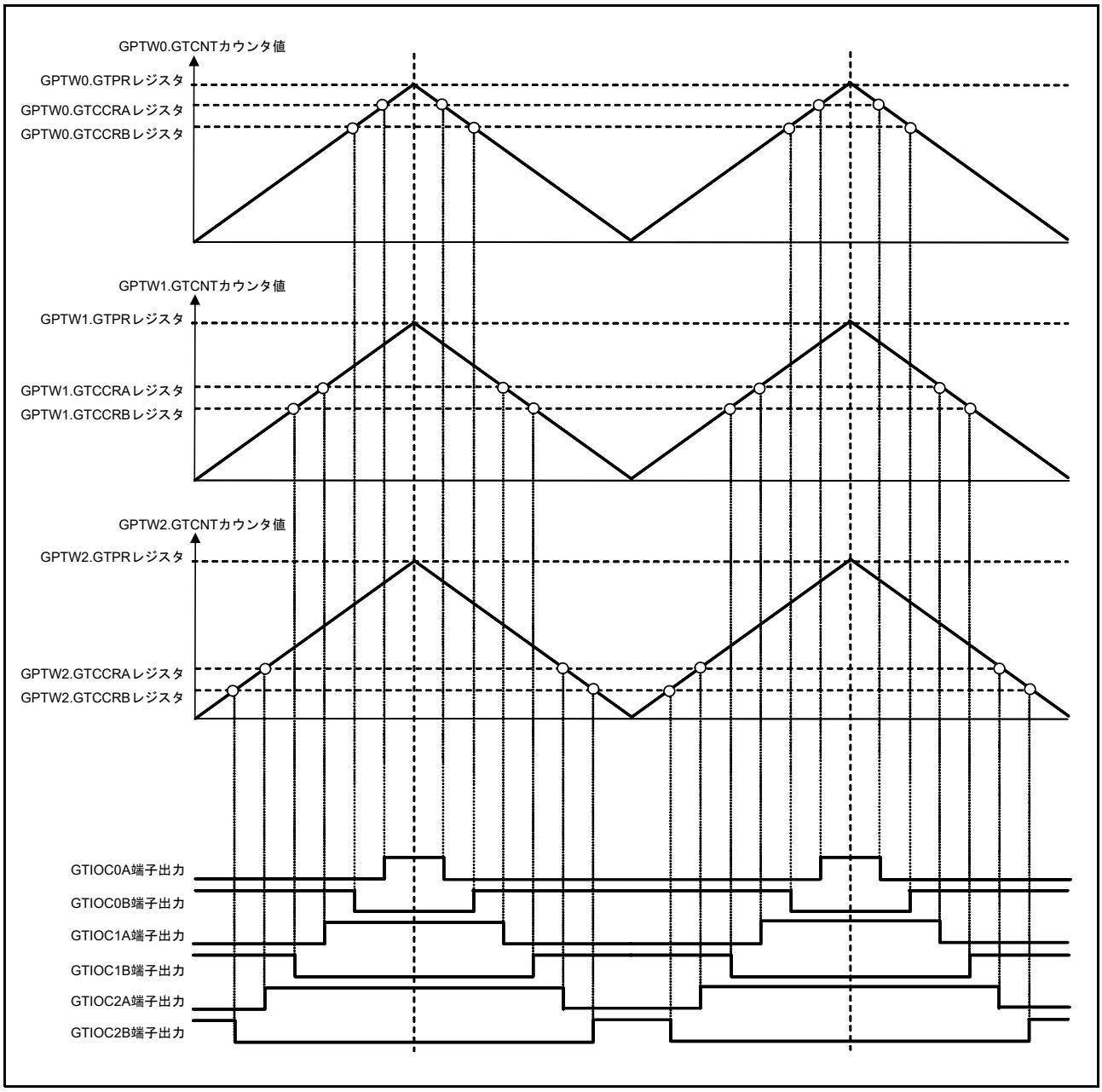


図 24.144 三角波 3 相相補 PWM 出力

(5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.145 は、3 つのチャネルを、デッドタイムを自動設定した三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

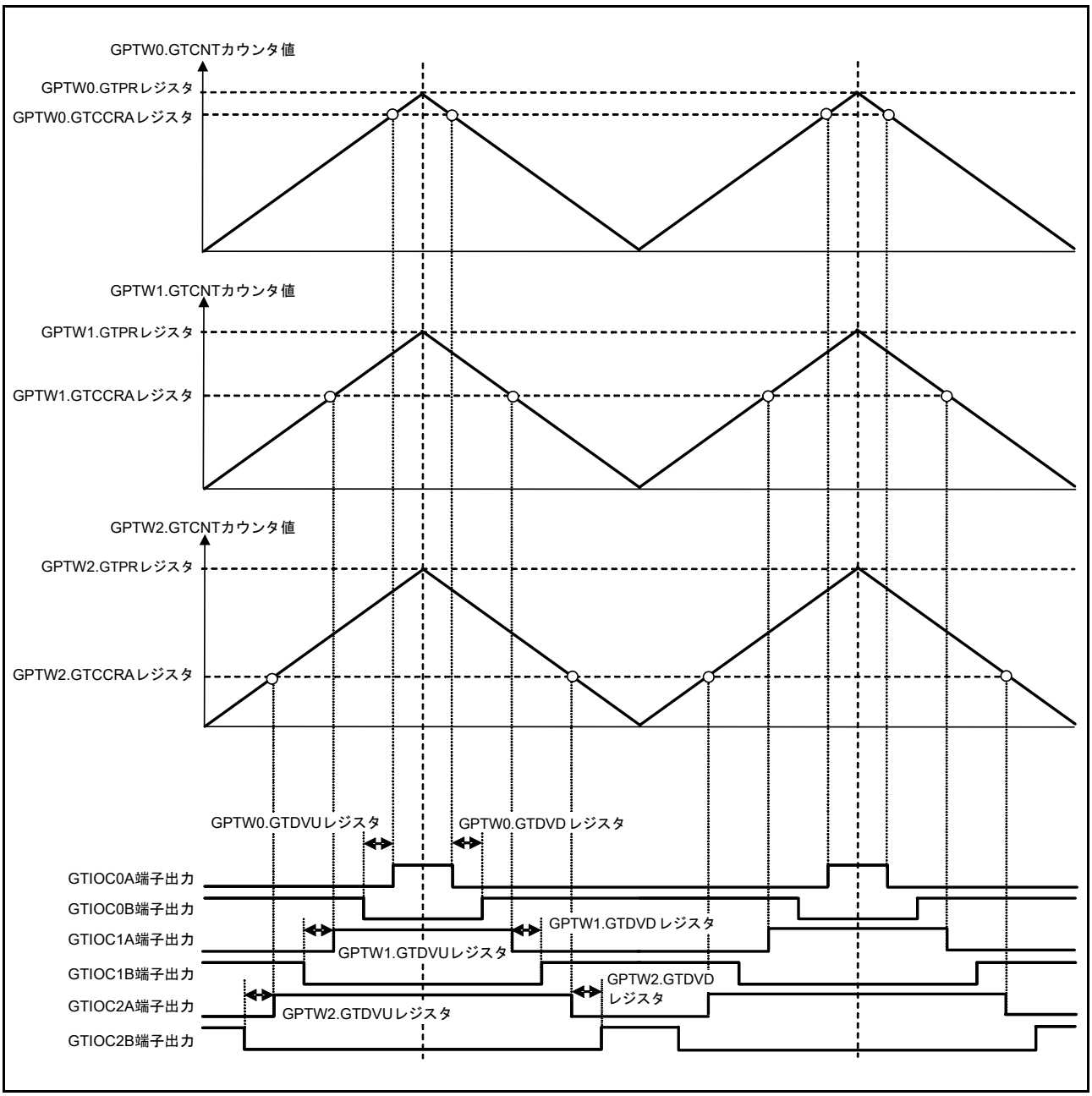


図 24.145 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.146 は、3 つのチャネルを、デッドタイムを自動設定した三角波 PWM モード 3 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

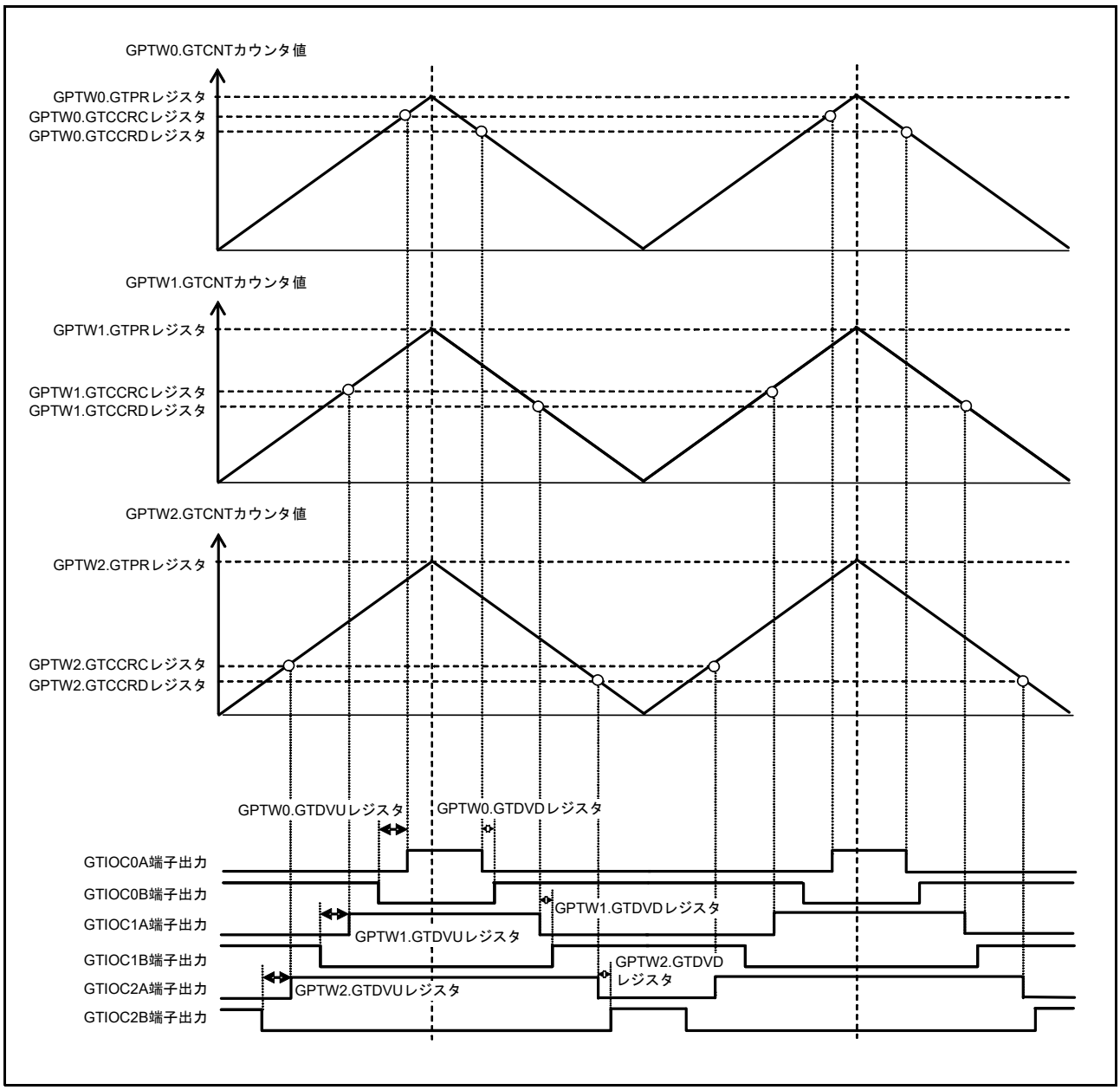


図 24.146 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

24.3.10　サイクルカウント機能

GTPC レジスタの設定により、周期の終わりをカウントすることができます。

カウントする周期回数は、GTPC.PCEN ビットが “0” の状態で GTPC.PCNT カウンタに設定してください。PCEN ビットが “1” のとき、PCNT カウンタは、読み出し可能ですが、書き込みはできません。PCEN ビットが “1” の状態の周期の終わりで、PCNT カウンタはダウンカウントを行います。PCNT カウンタが “1” で周期の終わりが発生したとき、PCNT カウンタは “0” となってカウントを停止し、サイクルカウントが終了します。このとき、GTST.PCF フラグがセットされ、GTINTAD.GTINTPC ビットが “1” であればサイクルカウント終了割り込み (GTCEIn) が発生します。GTPC.ASTP ビットが “1” の場合、サイクルカウントの終了と同時に GTCNT カウンタも停止します。

サイクルカウント機能が動作中に、GTCNT カウンタが停止した場合、PCNT カウンタは値を保持します。GTCNT カウンタがカウントを再開すると、PCEN ビットが “1” であれば PCNT カウンタは保持している値からダウンカウントを再開します。

PCNT カウンタが “0”、ASTP ビットが “1” の状態で、PCEN ビットを “0” から “1” に変更した場合、直後のカウントクロックで GTCNT カウンタは停止します。

GTSECR.SPCE ビットまたは SPCD ビットのどちらか一方に “1” を書くと、GTSECSR レジスタで “1” となっているチャネルの PCEN ビットに同時に値が設定され、サイクルカウント機能が複数のチャネルで同時に許可、禁止されます。

図 24.147、図 24.148 にサイクルカウント機能の動作例を示します。

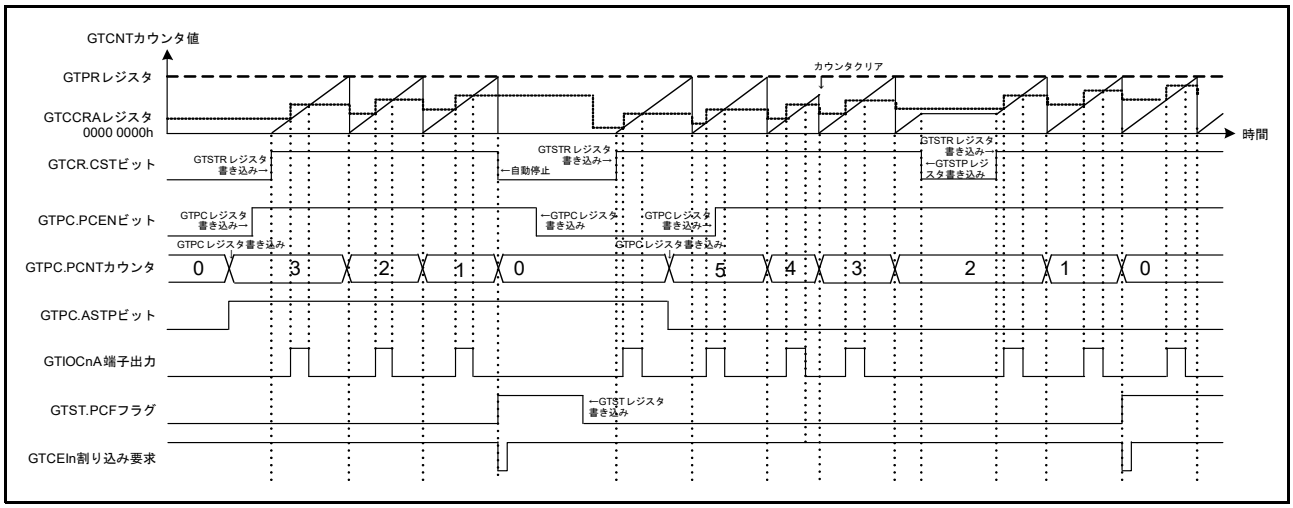


図 24.147　サイクルカウント動作例 (のこぎり波ワンショットパルスモード) (n = 0 ～ 7)

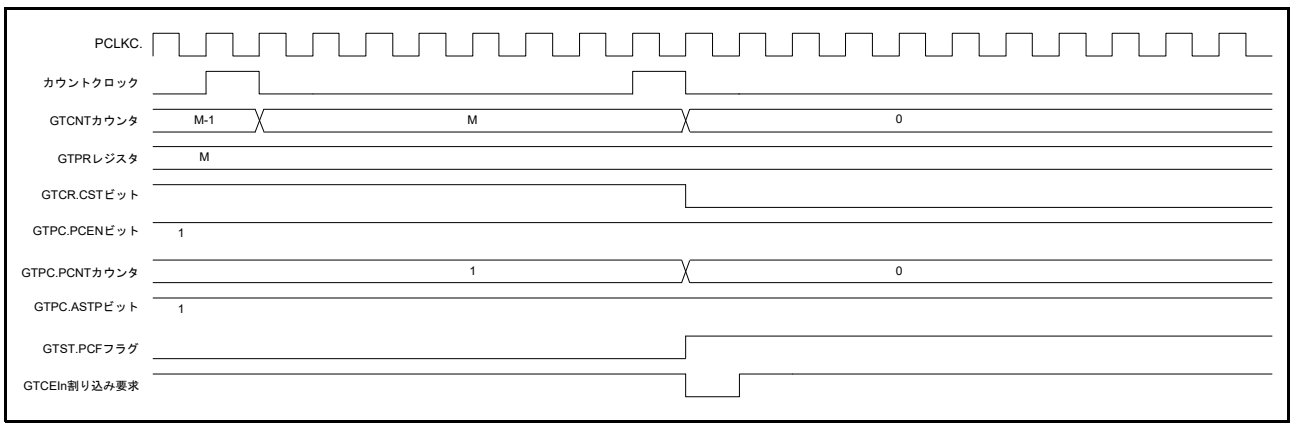


図 24.148　サイクルカウント動作タイミング例
(のこぎり波、アップカウントの場合) (n = 0 ～ 7)

24.3.11　位相計数機能

GTIOCnA 端子入力 (n = 0 ～ 7) と GTIOCnB 端子入力の位相差を検出して、GTCNT カウンタをアップカウント / ダウンカウントすることができます。検出したい位相差は、GTUPSR レジスタと GTDNSR レジスタで、GTIOCnA 端子入力と GTIOCnB 端子入力のエッジとレベルの関係を設定することで任意の組み合わせが可能です。カウント動作については、**「24.3.1.1　カウンタの動作」**を参照してください。

図 24.149 ～**図 24.158** に位相計数モード 1 ～ 5 の動作例を、**表 24.24** ～**表 24.33** にアップカウント条件とダウンカウント条件、GTUPSR レジスタと GTDNSR レジスタの設定を示します。

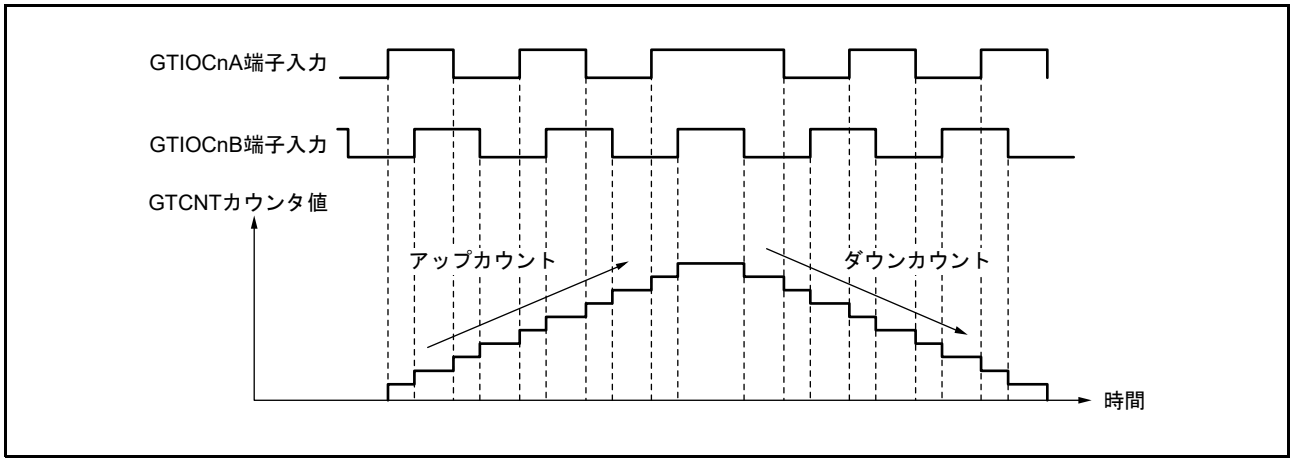


図 24.149　位相計数モード 1 の動作例 (n = 0 ～ 7)

表24.24　位相計数モード1のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	アップカウント	GTUPSR = 0000 6900h GTDNSR = 0000 9600h
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

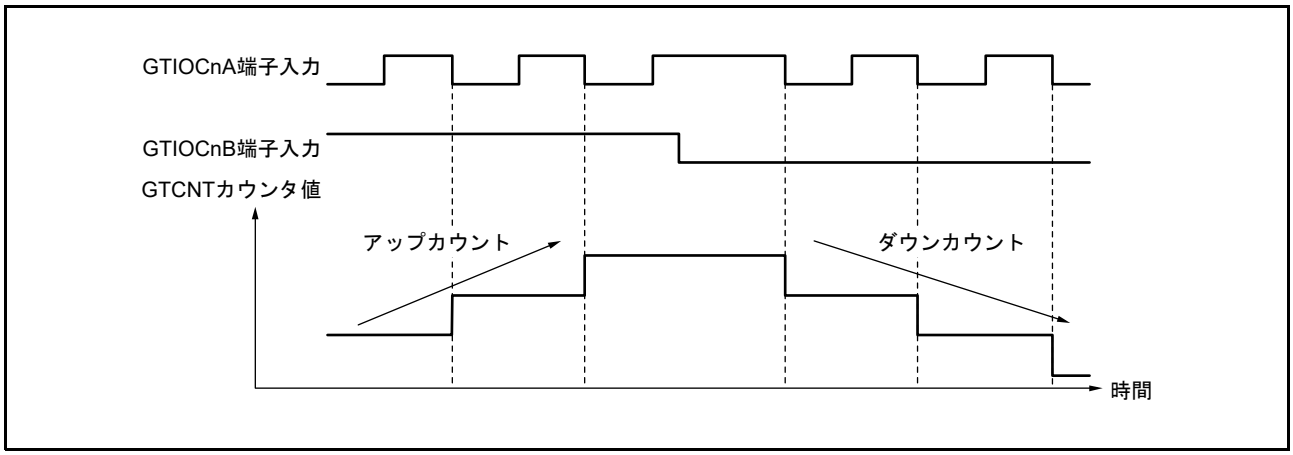


図 24.150　位相計数モード 2 の動作例 (n = 0 ～ 7)

表24.25　位相計数モード2のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 0400h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low	ダウンカウント	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

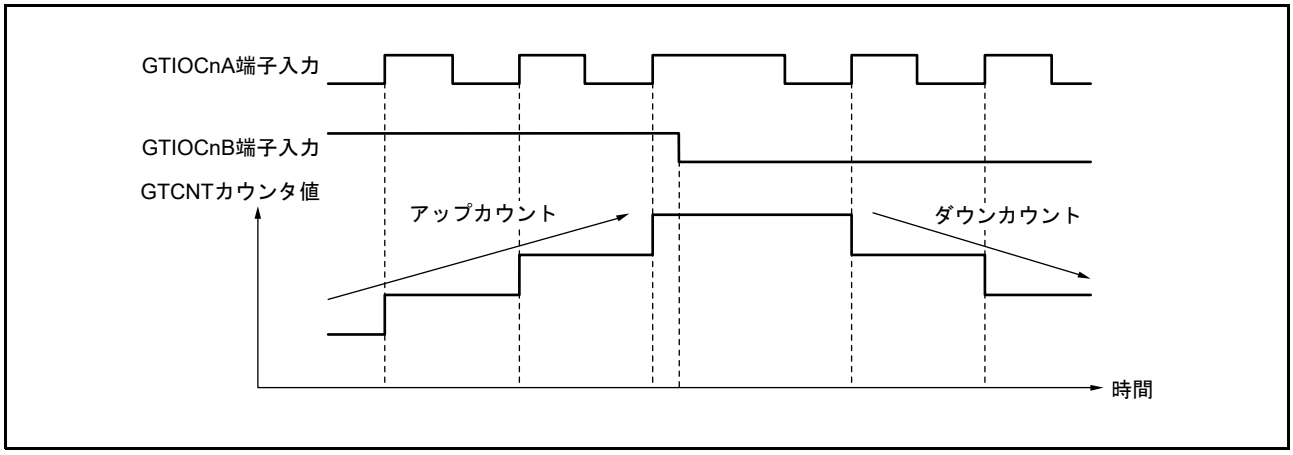


図 24.151　位相計数モード 2 の動作例 (n = 0 ～ 7)

表24.26　位相計数モード2のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0200h GTDNSR = 0000 0100h
Low	↓		
↑	Low	ダウンカウント	
↓	High	Don't care	
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

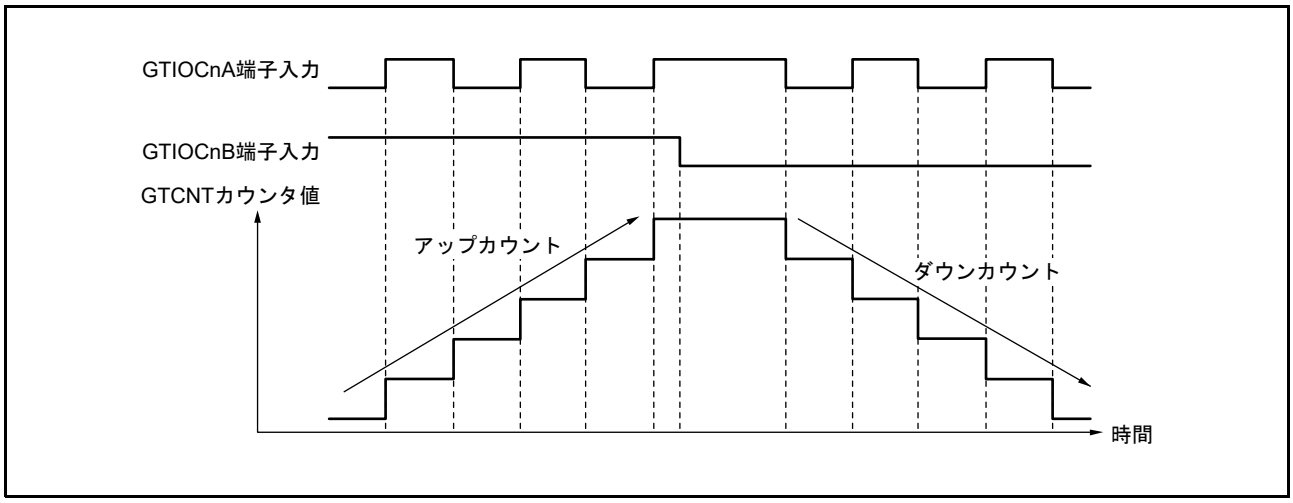


図 24.152　位相計数モード 2 の動作例 (n = 0 ～ 7)

表24.27　位相計数モード2のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0A00h GTDNSR = 0000 0500h
Low	↓		
↑	Low	ダウンカウント	
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

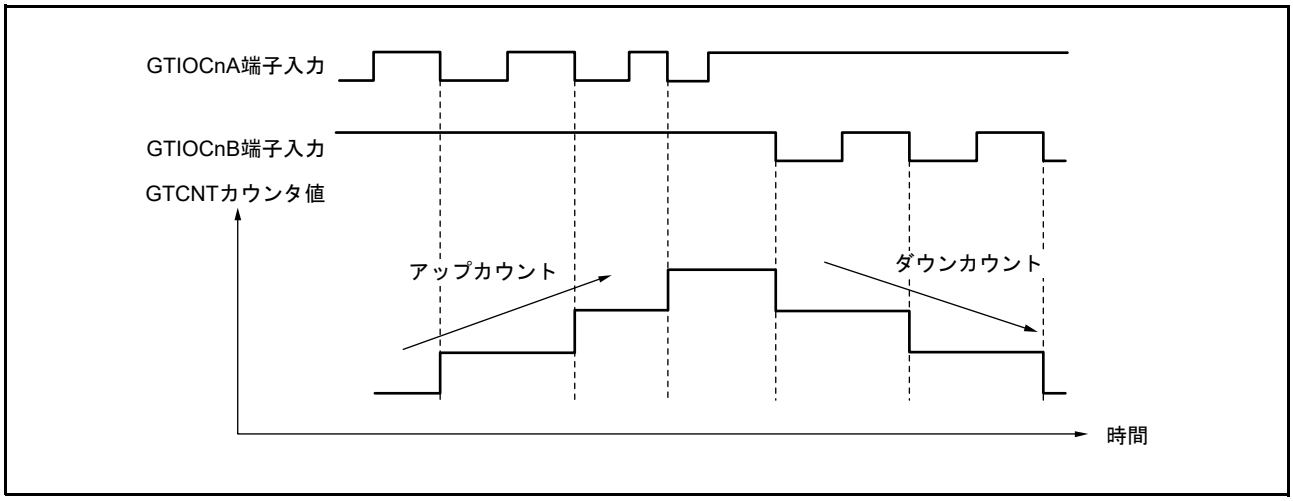


図 24.153 位相計数モード 3 の動作例 (n = 0 ～ 7)

表24.28 位相計数モード3のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 8000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

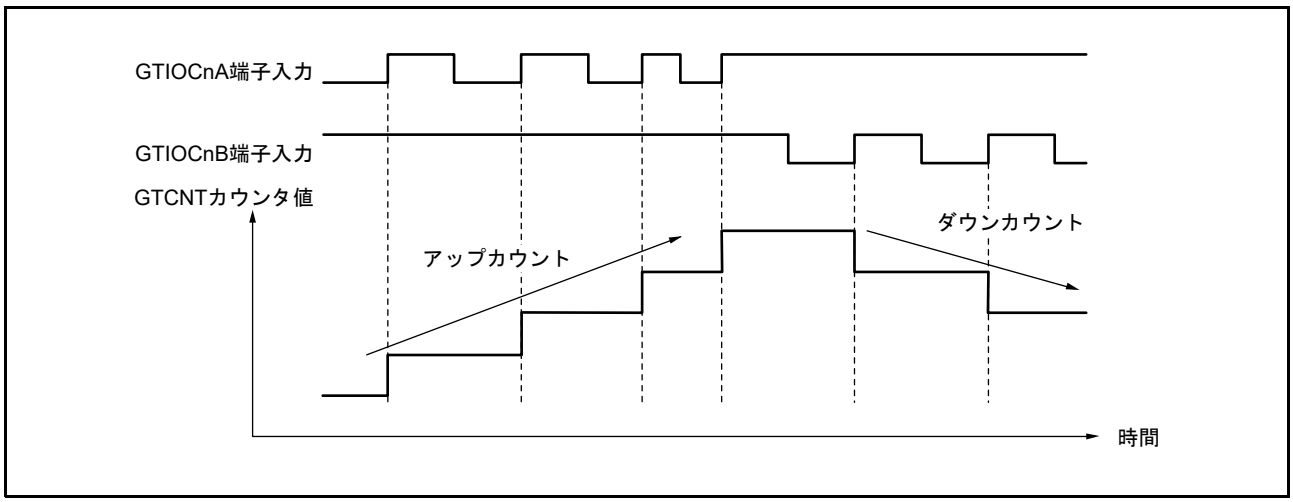


図 24.154 位相計数モード 3 の動作例 (n = 0 ～ 7)

表24.29　位相計数モード3のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	ダウンカウント	GTUPSR = 0000 0200h GTDNSR = 0000 2000h
Low	↓	Don't care	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

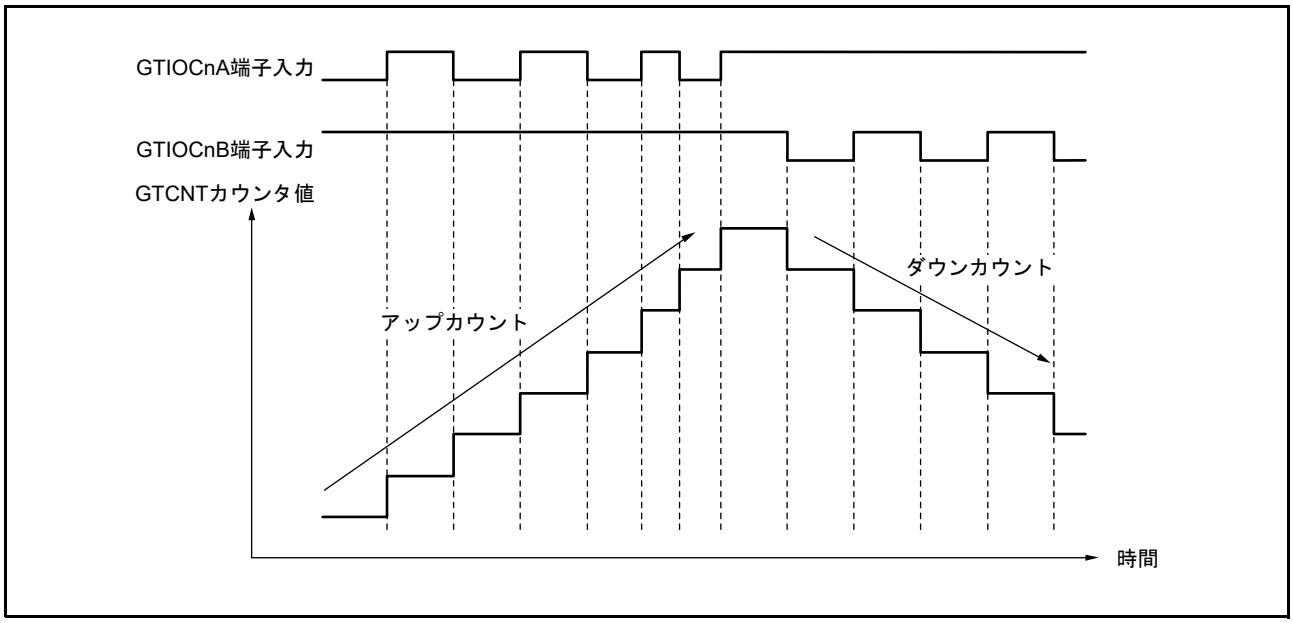


図 24.155　位相計数モード 3 の動作例 (n = 0 ～ 7)

表24.30　位相計数モード3のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	ダウンカウント	GTUPSR = 0000 0A00h GTDNSR = 0000 A000h
Low	↓	Don't care	
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	Don't care	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

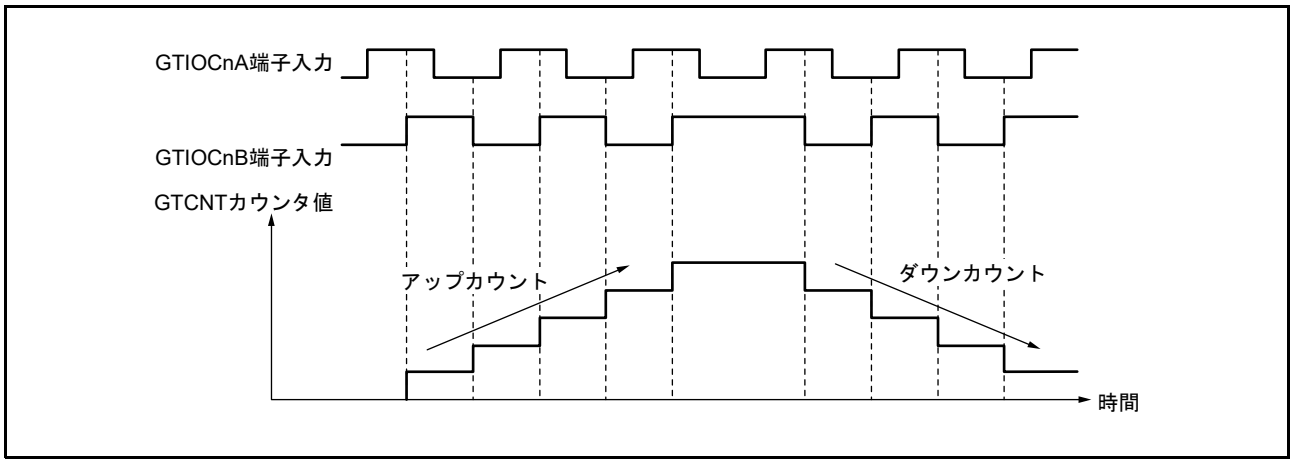


図 24.156　位相計数モード 4 の動作例 (n = 0 ～ 7)

表24.31　位相計数モード4のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	アップカウント	GTUPSR = 0000 6000h GTDNSR = 0000 9000h
Low	↓		
↑	Low	Don't care	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	Don't care	
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

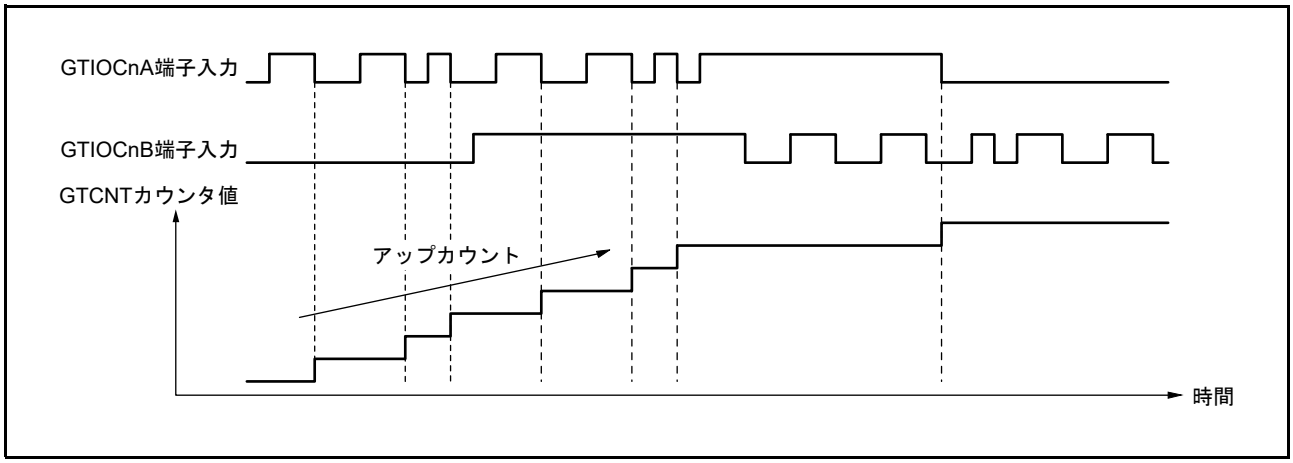


図 24.157 位相計数モード 5 の動作例 (n = 0 ～ 7)

表24.32 位相計数モード5のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0C00h GTDNSR = 0000 0000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low	アップカウント	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

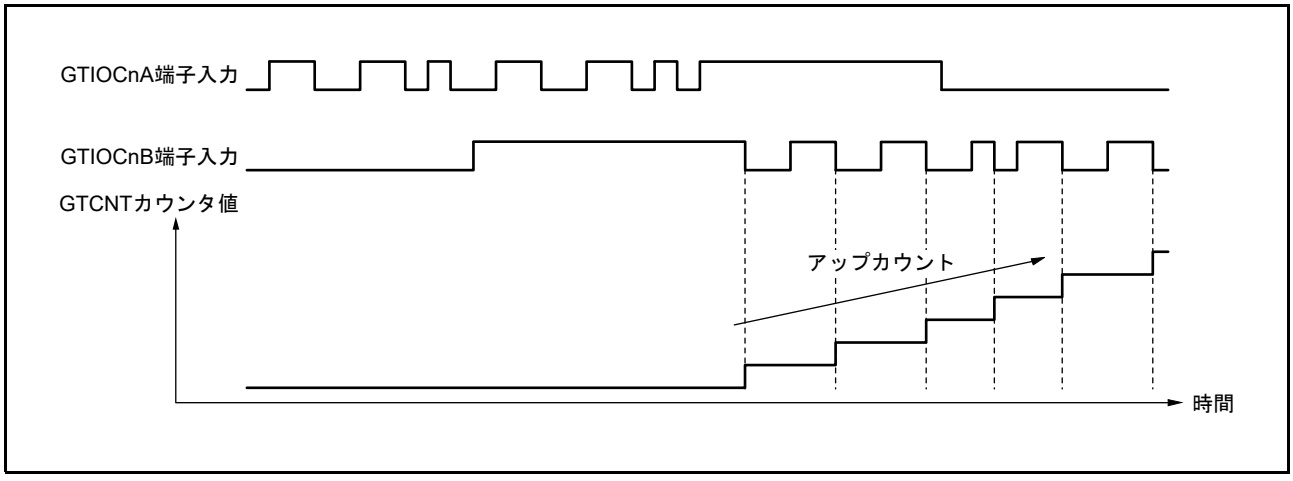


図 24.158 位相計数モード 5 の動作例 (n = 0 ～ 7)

表24.33　位相計数モード5のアップカウント/ダウンカウント条件(n = 0～7)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 C000h GTDNSR = 0000 0000h
Low	↓	アップカウント	
↑	Low	Don't care	
↓	High		
High	↓	アップカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

24.3.12　パルス幅測定機能

GTIOCnA 端子入力 (n = 0 ～ 7)、GTIOCnB 端子入力、GTETRGA、GTETRGB、GTETRGC、GTETRGD 端子入力のパルス幅を測定することができます。

GTUPSR.USILVL[3:0] ビットで、GTCNT カウンタのカウントアップの許可 / 禁止とパルス幅を測定する端子入力とレベルを選択します。

GTDNSR.DSILVL[3:0] ビットで、GTCNT カウンタのカウントダウンの許可 / 禁止とパルス幅を測定する端子入力とレベルを選択します。

カウントアップとカウントダウンの同時許可は禁止です。

カウント動作は、GTPR レジスタの値を周期とするサイクルカウントを行います。

位相計数機能とパルス幅測定機能を同時許可した場合、パルス幅測定機能は動作せず、位相計数機能が動作します。

図 24.159、**図 24.160** にパルス幅測定機能の動作例を、**図 24.161** にパルス幅測定機能の設定例を示します。

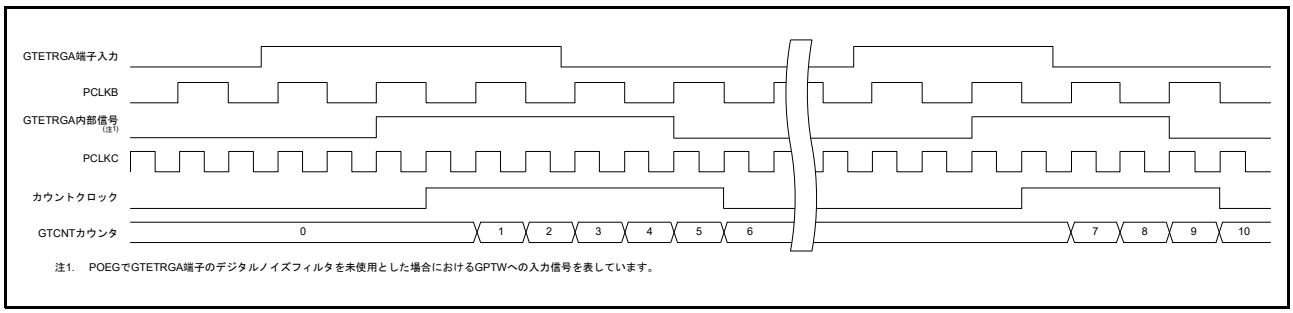


図 24.159　パルス幅測定機能の動作例 (アップカウント)

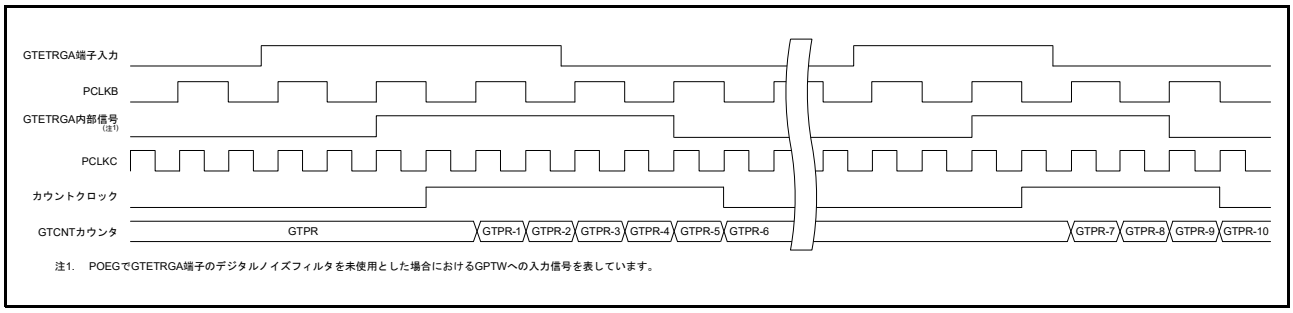


図 24.160　パルス幅測定機能の動作例 (ダウンカウント)

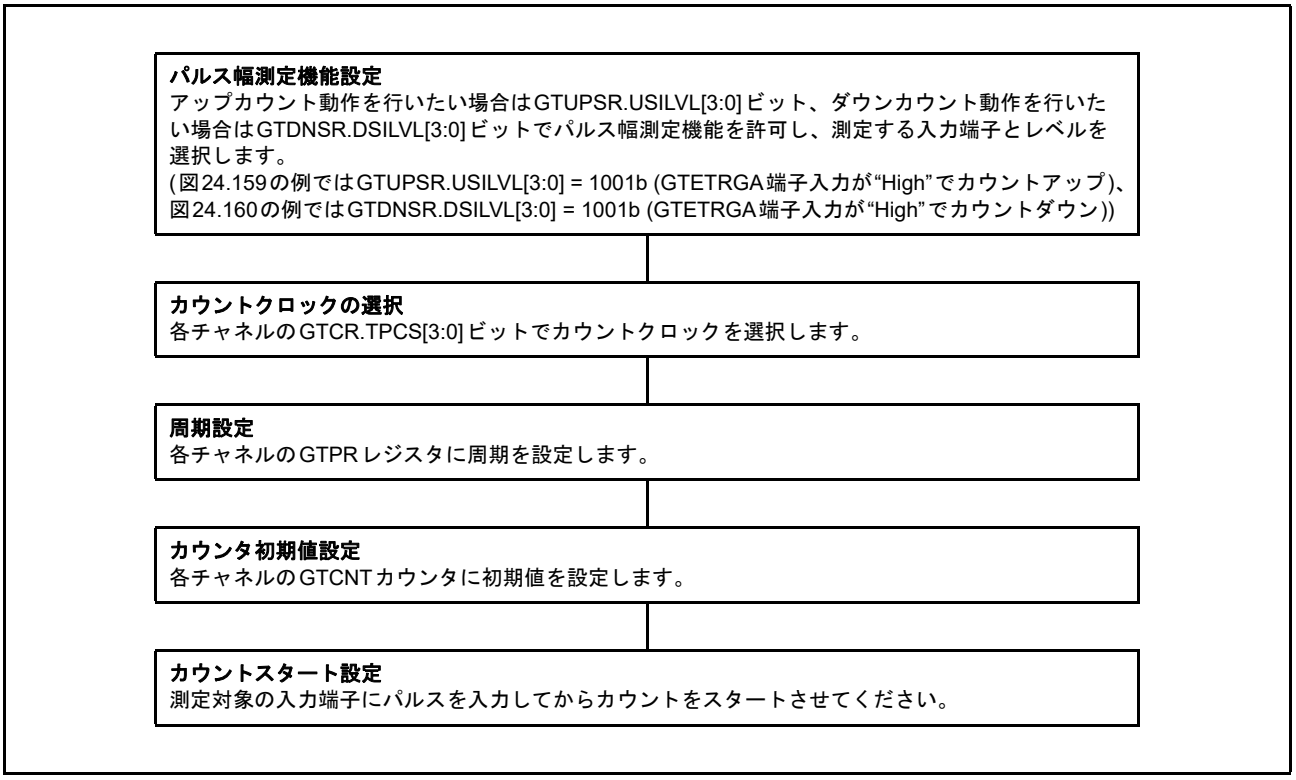


図 24.161 パルス幅測定機能の設定例

24.3.13　出力位相スイッチコントロール (OPS) 機能

OPS は、出力位相スイッチコントロールレジスタ (OPSCR) を使ってブラシレス DC モータを簡単に制御することができます。

ホール素子で検出した外部信号またはソフトウェアで設定した設定値 (OPSCR.UF、VF、WF ビット) を入力として、モータ制御用の 6 相 (U 正相 /U 逆相、V 正相 /V 逆相、W 正相 /W 逆相) のレベル信号または GPTW0 の PWM 波形でチョッピングされた信号を出力します。

図 24.162 に OPS のブロック図を示します。

GPT_UVWEDGE 出力信号は、入力信号のエッジ検出により生成される ELC への出力信号です。

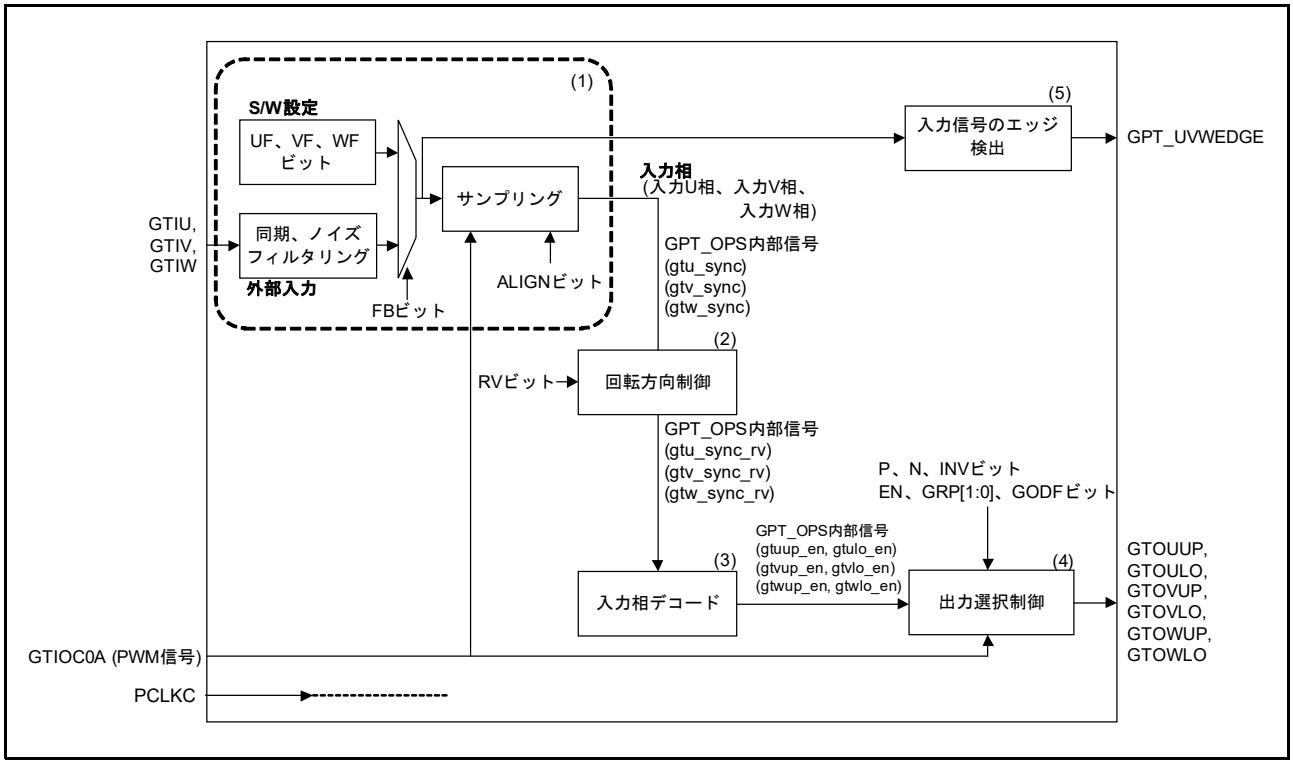


図 24.162　OPS ブロック図

図 24.163、図 24.164 に OPS の出力動作例を示します。

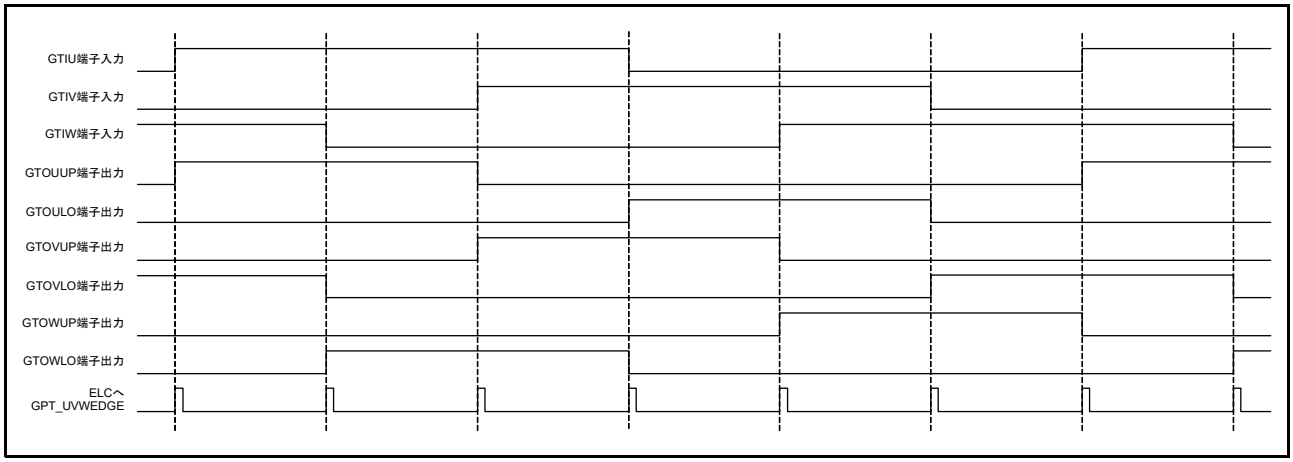


図 24.163　OPS レベル出力動作の例 (正回転) (FB = 0, RV = 0, P = 0, N = 0, INV = 0)

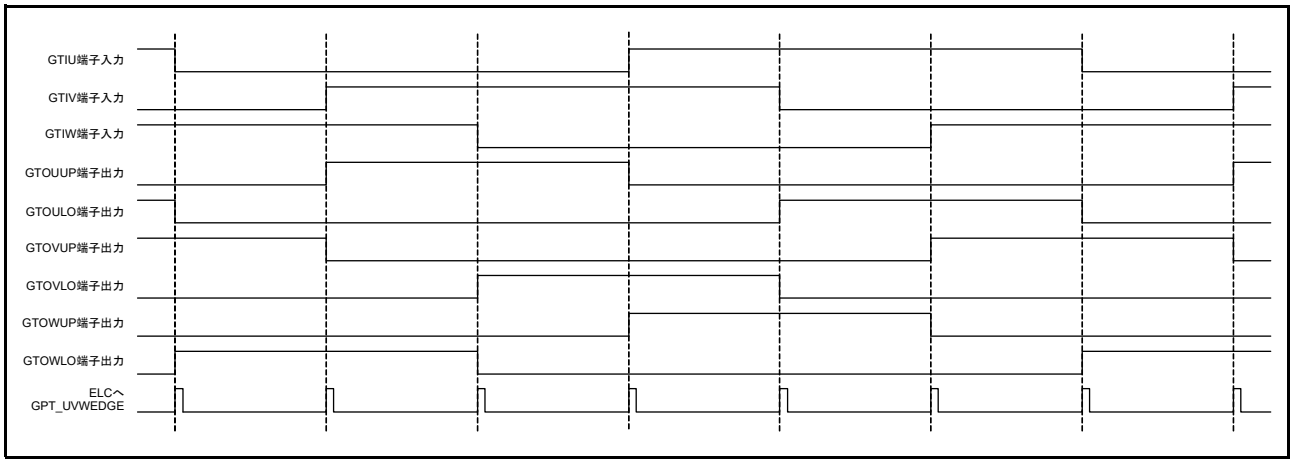


図 24.164 OPS レベル出力動作例 (逆回転) (FB = 0, RV = 1, P = 0, N = 0, INV = 0)

図 24.165、図 24.166 に OPS のチョッピング出力動作例を示します。

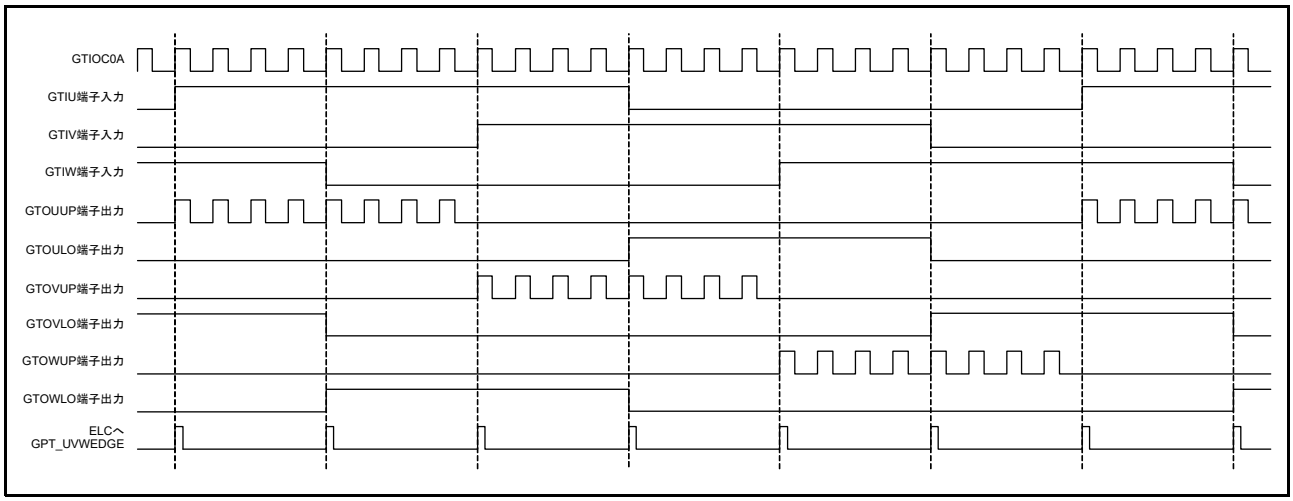


図 24.165 OPS チョッピング出力動作の例 (正相 120 度) (FB = 0, RV = 0, P = 1, N = 0, INV = 0)

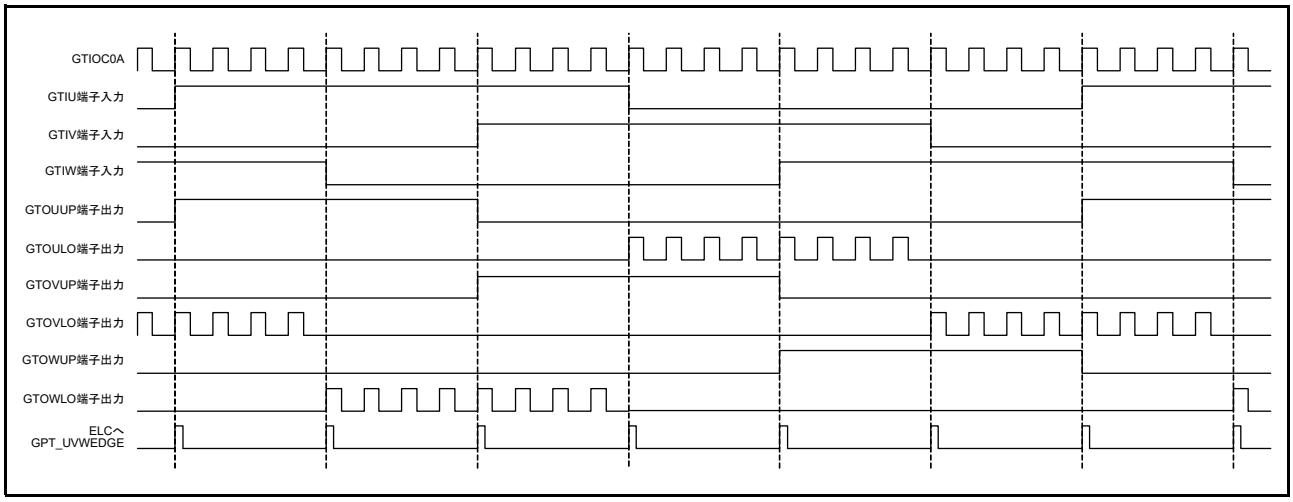


図 24.166 OPS チョッピング出力動作の例 (逆相 120 度) (FB = 0, RV = 0, P = 0, N = 1, INV = 0)

図 24.167 に OPS の出力ディセーブル制御の動作例を示します。

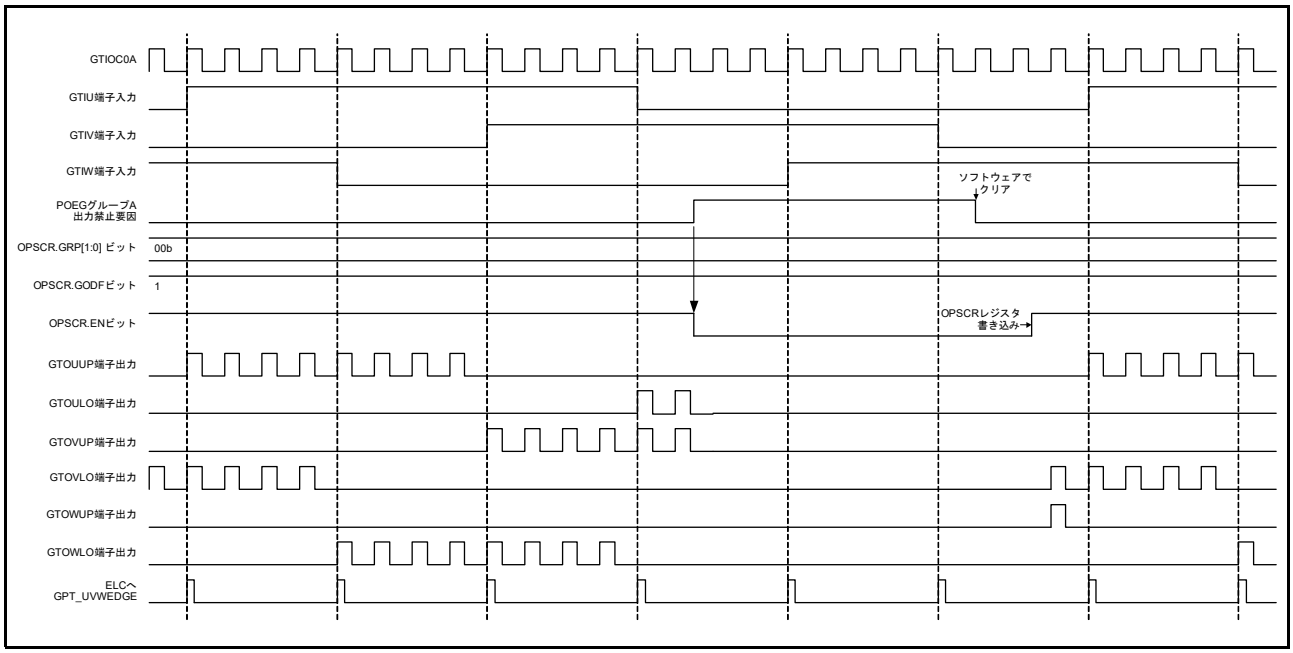


図 24.167　OPS 出力ディセーブル制御動作の例 (FB = 0, RV = 0, P = 1, N = 1, INV = 0)

24.3.13.1 入力選択とサンプリング

FB ビットによって、“ 外部入力 ” と “ ソフト設定値 ” から OPS に用いる入力を選択します。

FB ビットが “0” のとき、GTIU、GTIV、GTIW 外部入力に対して、GPTW カウント基準クロック (PCLKC) の同期化とノイズフィルタが実施された信号を OPS の入力として選択します。

FB ビットが “1” のとき、ソフト設定 (UF、VF、WF ビット) を OPS の入力として選択します。

選択された入力は、ALIGN ビットで選択される方法で、サンプリングされて、OPS の入力相となります。

ALIGN ビットが “0” のとき、入力は、PCLKC でサンプリングされます。

ALIGN ビットが “1” のとき、入力は、GTIOC0A の立ち下がりエッジでサンプリングされます。

サンプリング後の入力相は、U、V、W ビットでモニタリングできます。

表 24.34 に FB ビットと ALIGN ビットによる入力選択とサンプリング方法を示します。

表24.34 入力選択とサンプリング方法

OPSCR レジスタ		入力選択 サンプリング方法	入力相 (OPS内部信号)
FBビット	ALIGNビット		
0	0	外部入力 GTIU、GTIV、GTIW PCLKC サンプリング	入力 U 相 (gtu_sync) 入力 V 相 (gtv_sync) 入力 W 相 (gtw_sync)
	1	外部入力 GTIU、GTIV、GTIW GTIOC0A 立ち下がりサンプリング	
1	0	ソフト設定 UF、VF、WF PCLKC サンプリング	
	1	ソフト設定 UF、VF、WF GTIOC0A 立ち下がりサンプリング	

24.3.13.2 回転方向制御

モータの回転方向が逆回転の場合 (RV = 1)、入力相を反転します。

24.3.13.3　入力相デコード

回転方向制御後の入力相をデコードし、6 相の信号を生成します。

表 24.35、**表 24.36** に、モータの回転方向が正回転 (RV = 0) の場合と逆回転 (RV = 1) の場合のデコード表を示します。

表24.35　入力相デコード表(正回転)

入力相			回転方向制御後入力相			6相信号					
U相	V相	W相	U相	V相	W相	U正相	U逆相	V正相	V逆相	W正相	W逆相
gtu_sync	gtv_sync	gtw_sync	gtu_sync_rv	gtv_sync_rv	gtw_sync_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
1	0	1	1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	1	0	0	0	0	1
1	1	0	1	1	0	0	0	1	0	0	1
0	1	0	0	1	0	0	1	1	0	0	0
0	1	1	0	1	1	0	1	0	0	1	0
0	0	1	0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	0	0	0	0	0	0

表24.36　入力相デコード表(逆回転)

入力相			回転方向制御後入力相			6相信号					
U相	V相	W相	U相	V相	W相	U正相	U逆相	V正相	V逆相	W正相	W逆相
gtu_sync	gtv_sync	gtw_sync	gtu_sync_rv	gtv_sync_rv	gtw_sync_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
1	0	1	0	1	0	0	1	1	0	0	0
1	0	0	0	1	1	0	1	0	0	1	0
1	1	0	0	0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	0	0	1	0	0
0	1	1	1	0	0	1	0	0	0	0	1
0	0	1	1	1	0	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	0	0	0	0	0	0

24.3.13.4 出力選択制御

EN、P、N、INV ビットによって出力波形の選択を実施します。

EN ビットは、6 相出力相の出力許可を行います。EN ビットが “1” の場合に 6 相出力相の出力が許可され、“0” の場合、外部出力端子は “Hi-Z” となります。

P、N ビットによって、正相、逆相へのチョッピング有無を選択します。P、N ビットが “1” の場合、GTIOC0A 端子にチョッピングを行います。

チョッピングを行う場合、出力相が切り替わるタイミングとチョッピングに用いる PWM の位相に依存して、出力相の切り替わり前後では、出力相の PWM の幅がチョッピングに用いる PWM よりも短くなることがあります。

INV ビットによって、出力相の極性 (正論理または負論理) を選択します。

表 24.37、表 24.38 に正相と逆相の出力選択制御方式を示します。

表24.37 出力選択制御方法(正相)

ENビット	Pビット	INVビット	GTOnUP
0	—	—	0 (外部端子は Hi-Z)
1	0	0	正論理レベル出力 (gtmup_en)
1	0	1	負論理レベル出力 (~gtmup_en)
1	1	0	正論理チョッピング出力 (GTIOC0A & gtmup_en)
1	1	1	負論理チョッピング出力 (~(GTIOC0A & gtmup_en))

n = U, V, W
m = u, v, w

表24.38 出力選択制御方法(逆相)

ENビット	Pビット	INVビット	GTOnLO
0	—	—	0 (外部端子は Hi-Z)
1	0	0	正論理レベル出力 (gtmlo_en)
1	0	1	負論理レベル出力 (~gtmlo_en)
1	1	0	正論理チョッピング出力 (GTIOC0A & gtmlo_en)
1	1	1	負論理チョッピング出力 (~(GTIOC0A & gtmlo_en))

n = U, V, W
m = u, v, w

24.3.13.5　出力選択制御 (グループ出力ディセーブル機能)

グループ出力ディセーブル機能は、GODF ビットが “1” かつ GRP[1:0] ビットで選択した要因の信号値が “High”(出力ディセーブル要求) になると、非同期で出力を “Hi-Z” にします。PCLKC で同期化した出力ディセーブル要求信号は、EN ビットを “0” にします。

復帰は、ソフトウェアで出力ディセーブル要求をクリア後、EN ビットを “1” にしてください。

EN ビットが “0” になるタイミングは、出力ディセーブル要求の PCLKC で 3 クロック後です。確実な出力ディセーブル制御を行うためには、出力ディセーブル要求のクリアは出力ディセーブル要求の発生から PCLKC で 4 クロック以上後になるように POEG のフラグをクリアしてください。

グループ出力ディセーブル機能の動作例は、前述の図 24.167 を参照してください。

24.3.13.6　イベントコントローラ (ELC) 出力

U 相、V 相、W 相の各入力信号の立ち上がりエッジと立ち下がりエッジを検出したパルスの論理和を、イベントリンクコントローラ (ELC) へ出力します。論理和で生成しているため、入力相の High 期間が短い場合、エッジ検出した結果が ELC に正しく伝わらない場合があります。

24.3.13.7　OPS スタート動作設定フロー

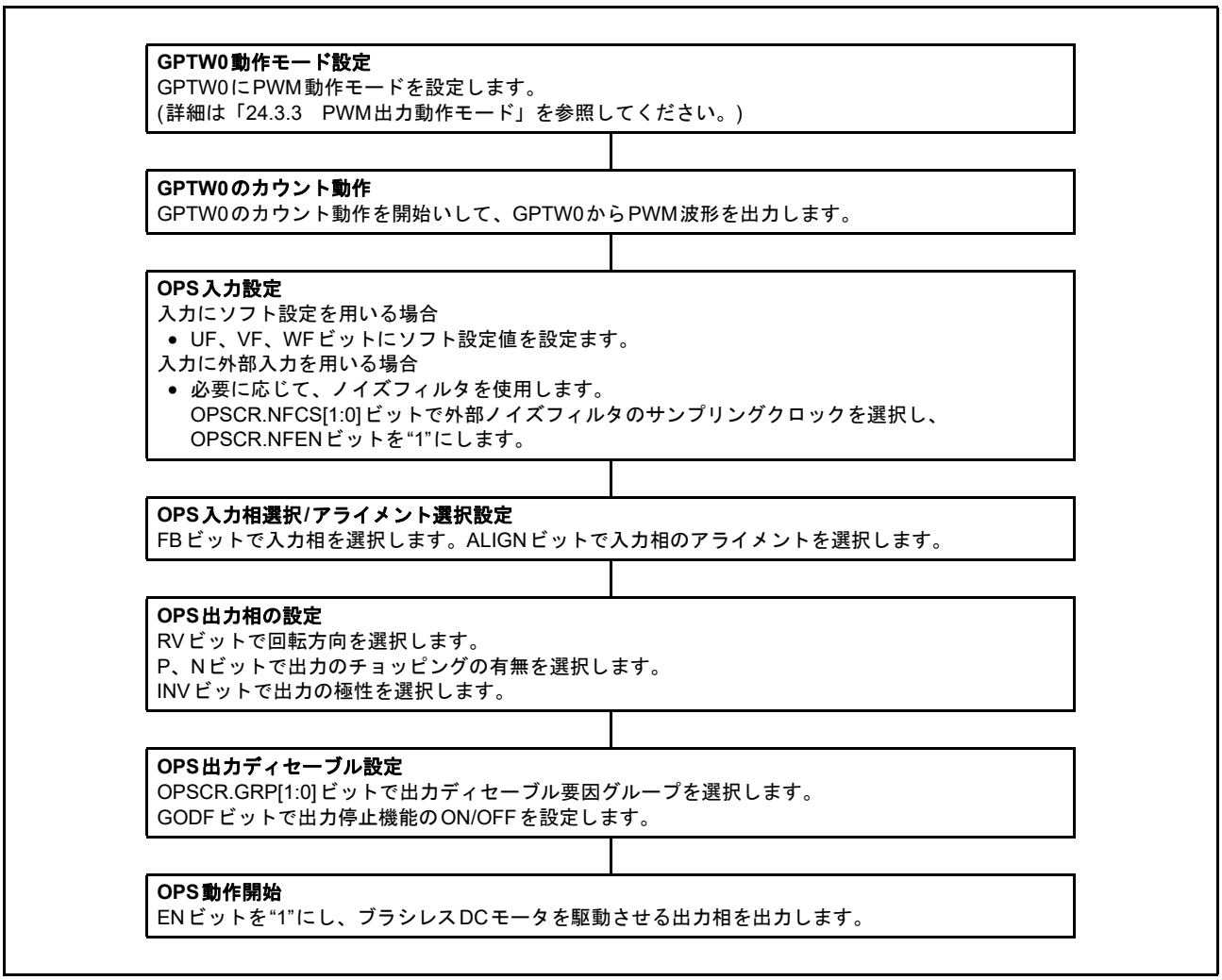


図 24.168　OPS スタート動作設定例

24.3.14　チャネル出力間論理演算機能

出力ディセーブル処理前のコンペアマッチ出力信号間で論理演算を行うことができます。

図 24.169 にチャネル出力間論理演算のブロック図を示します。

2 つの信号の論理演算による出力のハザードを防止するために、出力ディセーブル機能は、論理演算結果を PCLKC で取り込ます。

PCLKC で 1 クロックの遅延を伴う処理を選択した場合、出力イネーブル信号も PCLKC で 1 クロック遅れて出力ディセーブル機能に入力されます。割り込み、A/D 変換開始要求、ELC へのイベント信号出力は、論理演算の有無に関係なく、遅延しません。

同じ信号間での AND、OR、EXOR、NOR 演算となる選択を行った場合、一方を “1” として論理演算を行います。A 出力端子の場合、C として同じチャネルの A を選択すると、AND は “A”、OR は “1”、EXOR は “NOT A”、NOR は “0” となります。

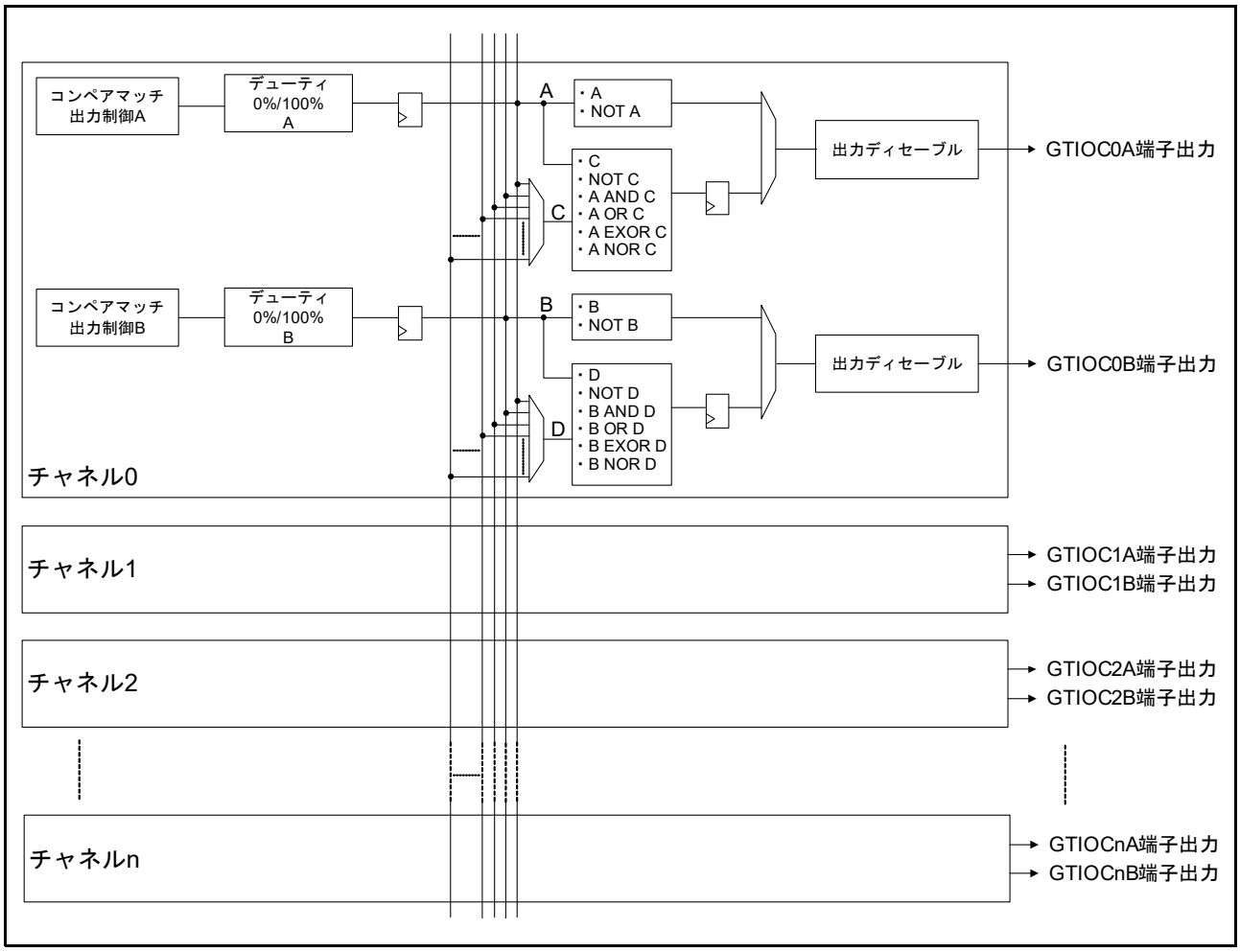


図 24.169　チャネル出力間論理演算ブロック図

図 24.170 にチャネル出力間論理演算の動作例を示します。

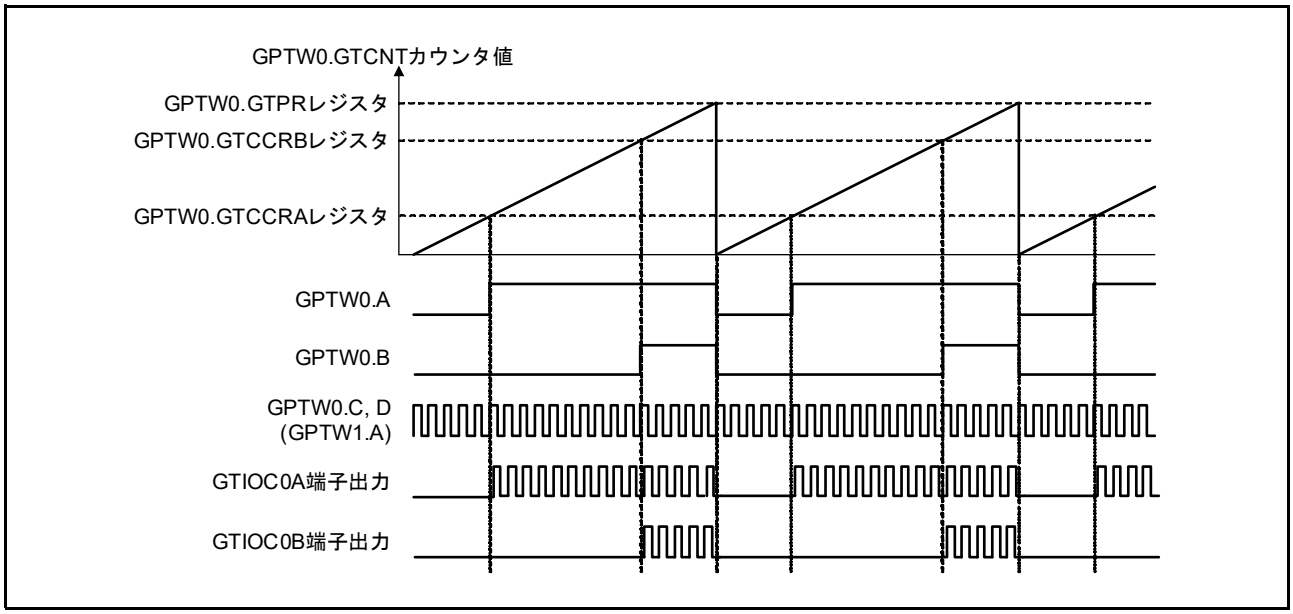


図 24.170 チャネル出力間論理演算動作の例
(GPTW0.GTICLF.ICLFA[2:0] = 100b、ICLFB[2:0] = 100b、
GPTW0.GTICLF.ICLFSELC[5:0] = 000010b、ICLFSELD[5:0] = 000010b の場合)

24.4 割り込み要因

24.4.1 割り込み要因と優先順位

割り込み要因には、GTCCRm レジスタ (m = A ～ F) のインプットキャプチャ / コンペアマッチ、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)/ アンダフロー、サイクルカウントの終了、デッドタイムエラーの 4 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと割り込み要求発生の制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、GTST レジスタの対応するステータスフラグが “1” になります。このとき GTINTAD レジスタの対応する割り込み要求許可 / 禁止ビットが “1” であれば、割り込み要求が発生します。

GTST レジスタの対応するステータスフラグは、書き込みでクリアできます。フラグのセットとクリアが競合する場合、セットよりクリアが優先されます。

詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。表 24.39 に GPTW の割り込み要因の一覧を示します。

表24.39 GPTWの割り込み要因(n = 0～7)

チャネル	名称	割り込み要因	割り込みフラグ
GPTWn	GTCIAn	GTCCRA レジスタのインプットキャプチャ /コンペアマッチ	GPTWn.GTST.TCFA
	GTCIBn	GTCCRB レジスタのインプットキャプチャ /コンペアマッチ	GPTWn.GTST.TCFB
	GTCICn	GTCCRC レジスタのコンペアマッチ	GPTWn.GTST.TCFC
	GTCIDn	GTCCRD レジスタのコンペアマッチ	GPTWn.GTST.TCFD
	GDTEn	デッドタイムエラー	GPTWn.GTST.DTEF
	GTCEIn	サイクルカウントの終了	GPTWn.GTST.PCF
	GTCIEn	GTCCRE レジスタのコンペアマッチ	GPTWn.GTST.TCFE
	GTCIFn	GTCCRF レジスタのコンペアマッチ	GPTWn.GTST.TCFF
	GTCIVn	GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)	GPTWn.GTST.TCFPO
	GTCIUn	GTCNT カウンタのアンダフロー	GPTWn.GTST.TCFPU

(1) GTCIAn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTA ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRA レジスタと一致したとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき
  相補 PWM モードの場合、GTCCRA レジスタはインプットキャプチャとしては機能しません。

(2) GTCIBn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTB ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタと一致したとき
  相補 PWM モードの場合、GTCCRB レジスタはコンペアマッチレジスタとして機能しません。
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき
  相補 PWM モードの場合、GTCCRB レジスタはインプットキャプチャレジスタとしては機能しません。

(3) GTCICn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTC ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRC レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

(4) GTCIDn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTD ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRD レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

(5) GTCIEn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTE ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRE レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b, 10b, 11b (GTCCRE レジスタがバッファ動作)

(6) GTCIFn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTF ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRF レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b, 11b (GTCCRF レジスタがバッファ動作)

(7) GTCIVn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTPR[0] ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、オーバフロー(アップカウント動作中に GTCNT カウンタ値が GTPR レジスタ値から “0” になる) が発生
- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合、オーバフロー(アップカウント動作中に GTCNT カウンタ値が GTPR レジスタ値から “0” になる) が発生
- のこぎり波 PWM モード 2 の場合、オーバフロー(GTCSR.CSCMSC[2:0] ビットで選択された GTCCRm レジスタ値 (m = A ～ F) から “0000 0000h” になる) が発生するか、GTCNT カウンタ値が GTPR レジスタ値と一致
- 三角波の場合、山 (GTCNT カウンタ値が GTPR レジスタ値から GTPR レジスタ値 –1 になる) が発生
- 相補PWMモードの場合、山(マスタチャネルのGTCNTカウンタ値がGTPRレジスタ値からGTPRレジスタ –1 になる)
- ハードウェア要因によるカウント動作 (パルス幅測定機能時を含む) の場合、オーバフロー(アップカウント動作によって GTCNT カウンタ値が GTPR レジスタ値から “0” になる) が発生

(8) GTCIUn 割り込み (n = 0 ～ 7)

GTINTAD.GTINTPR[1] ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、アンダフロー(ダウンカウント動作中に GTCNT カウンタ値が “0” から GTPR レジスタ値になる) が発生
- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合、アンダフロー(ダウンカウント動作時に GTCNT カウンタ値が “0” から GTPR レジスタ値になる) が発生
- 三角波の場合、谷 (GTCNT カウンタ値が “0” から “1” になる) が発生
- 相補 PWM モードの場合、谷 (マスタチャネルの GTCNT カウンタ値が “0” から “1” になる) が発生
- ハードウェア要因によるカウント動作 (パルス幅測定機能時を含む) の場合、アンダフロー(ダウンカウント動作によって GTCNT カウンタ値が “0” から GTPR レジスタ値になる) が発生

(9) GDTEn 割り込み (n = 0 ～ 7)

デッドタイムの自動設定がなされているとき、自動設定後の波形変化ポイントがカウント周期を超えると GTST.DTEF フラグが “1” になります。このとき、GTINTAD.GRPDTE ビットが “1” であれば、デッドタイムエラー割り込み (GDTE) 要求が発生します。

なお、GTST.DTEF フラグはデッドタイム自動設定後の波形変化ポイントがカウント周期内に戻ると “1” から “0” になります。

(10) GTCEIn 割り込み (n = 0 ～ 7)

GTPC.PCEN ビットが “1” かつ GTPC.PCNT カウンタが “1” の状態で、周期の終わりとなったとき、GTINTAD.GTINTPC ビットが “1” であれば、サイクルカウント終了割り込み (GTCEI) 要求が発生します。

表 24.40 割り込み信号、割り込み許可ビットの関係 (n = 0～7)

割り込み信号	割り込み許可ビット	ステータスフラグ
GTCIAn	GTINTAD.GTINTA ビット	GTST.TCFA フラグ
GTCIBn	GTINTAD.GTINTB ビット	GTST.TCFB フラグ
GTCICn	GTINTAD.GTINTC ビット	GTST.TCFC フラグ
GTCIDn	GTINTAD.GTINTD ビット	GTST.TCFD フラグ
GDTEn	GTINTAD.GRPDTE ビット	GTST.DTEF フラグ
GTCEIn	GTINTAD.GTINTPC ビット	GTST.PCF フラグ

表24.40 割り込み信号、割り込み許可ビットの関係(n = 0～7)

割り込み信号	割り込み許可ビット	ステータスフラグ
GTCIEn	GTINTAD.GTINTEビット	GTST.TCFEフラグ
GTCIFn	GTINTAD.GTINTFビット	GTST.TCFFフラグ
GTCIVn	GTINTAD.GTINTPR[1:0]ビット	GTST.TCFPOフラグ
GTCIUn		GTST.TCFPUフラグ

24.4.2 DMAC/DTC の起動

各チャネルの割り込み要求によって、DMAC/DTC を起動することができます。詳細は「14. 割り込みコントローラ (ICUG)」、「17. DMA コントローラ (DMACAa)」、「18. データトランスファコントローラ (DTCb)」を参照してください。

24.4.3 割り込み、A/D 変換開始要求の間引き機能

24.4.3.1 GTITC レジスタによる割り込み間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)/ アンダフロー割り込み (GTCIV/GTCIU) を間引くことができます。また、他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動して間引くことができます。ただし、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。なお、割り込みを間引いた場合は対応するステータスフラグの変化も間引かれ、ステータスフラグが “1” になっている間も間引き機能は動作を続けます。

割り込み間引き機能は、GTITC レジスタの設定だけに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。割り込み許可ビットは、間引き後の割り込み信号の出力制御だけに用います。

また、三角波で谷 / 山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込み要求が発生しません。三角波で谷 / 山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバフロー / アンダフロー両方をカウントして間引く場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバフロー / アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き状態を十分検討のうえ、使用してください。

なお、間引き回数を変更する場合は、間引き機能をいったん解除 (GTITC.IVTC[1:0] ビット = 00b) してから行ってください。

間引き機能の動作例を図 24.171 ～図 24.176 に示します。

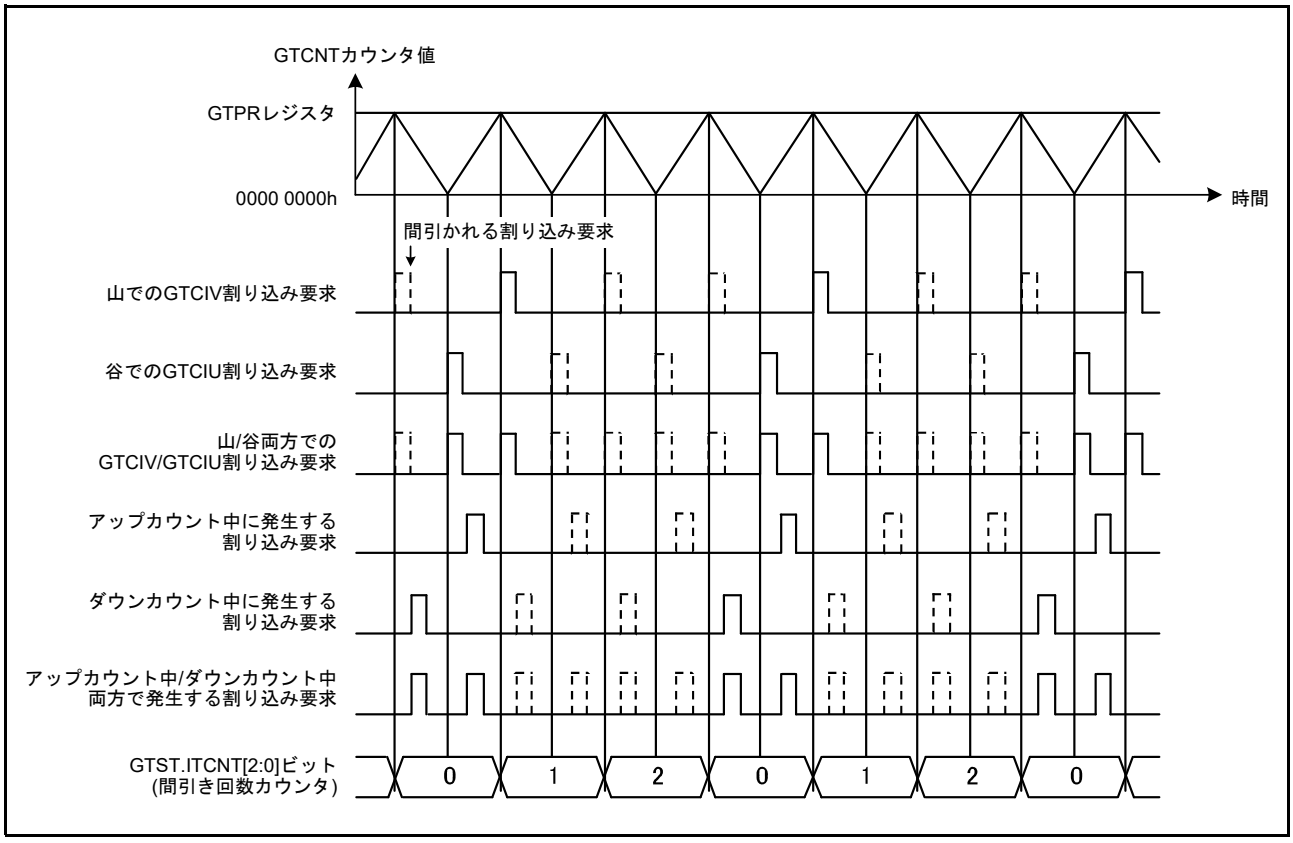


図 24.171 割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

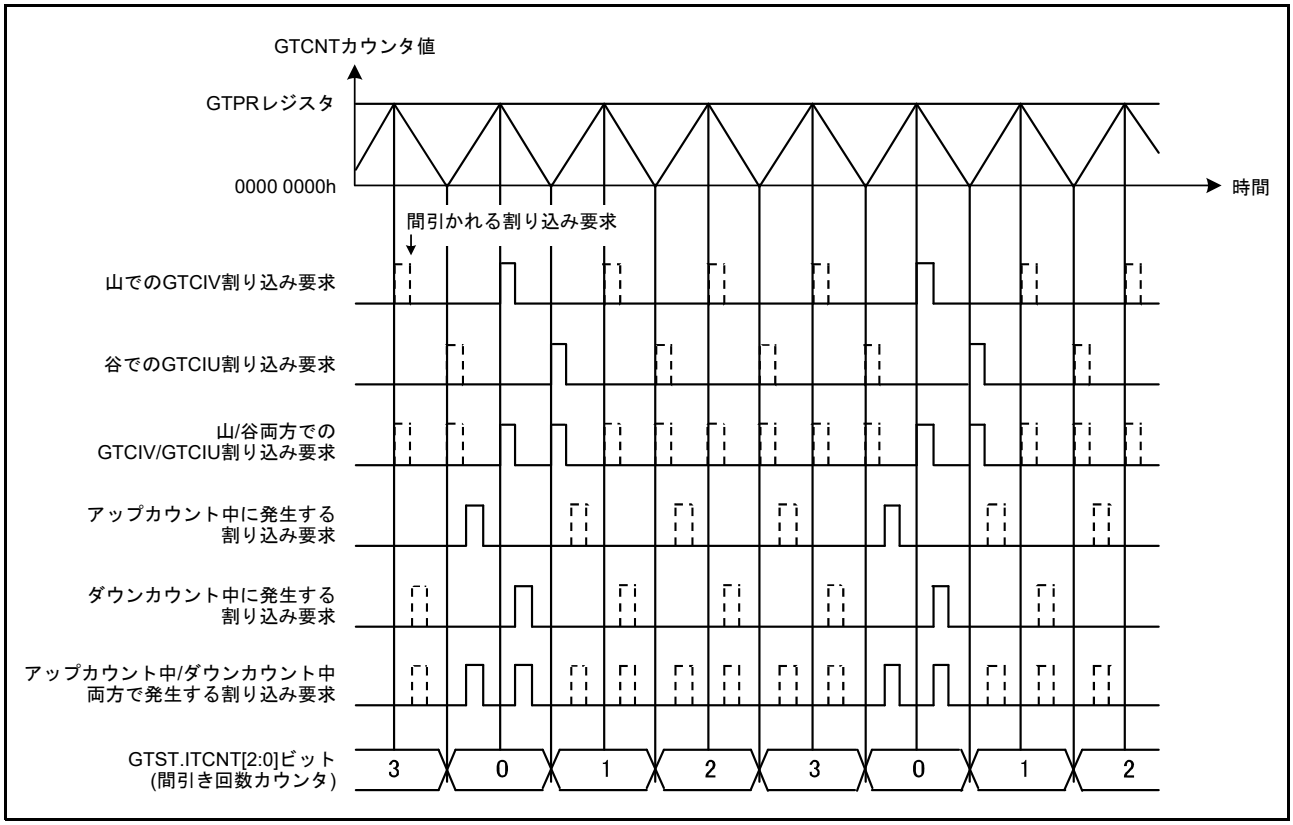


図 24.172 割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

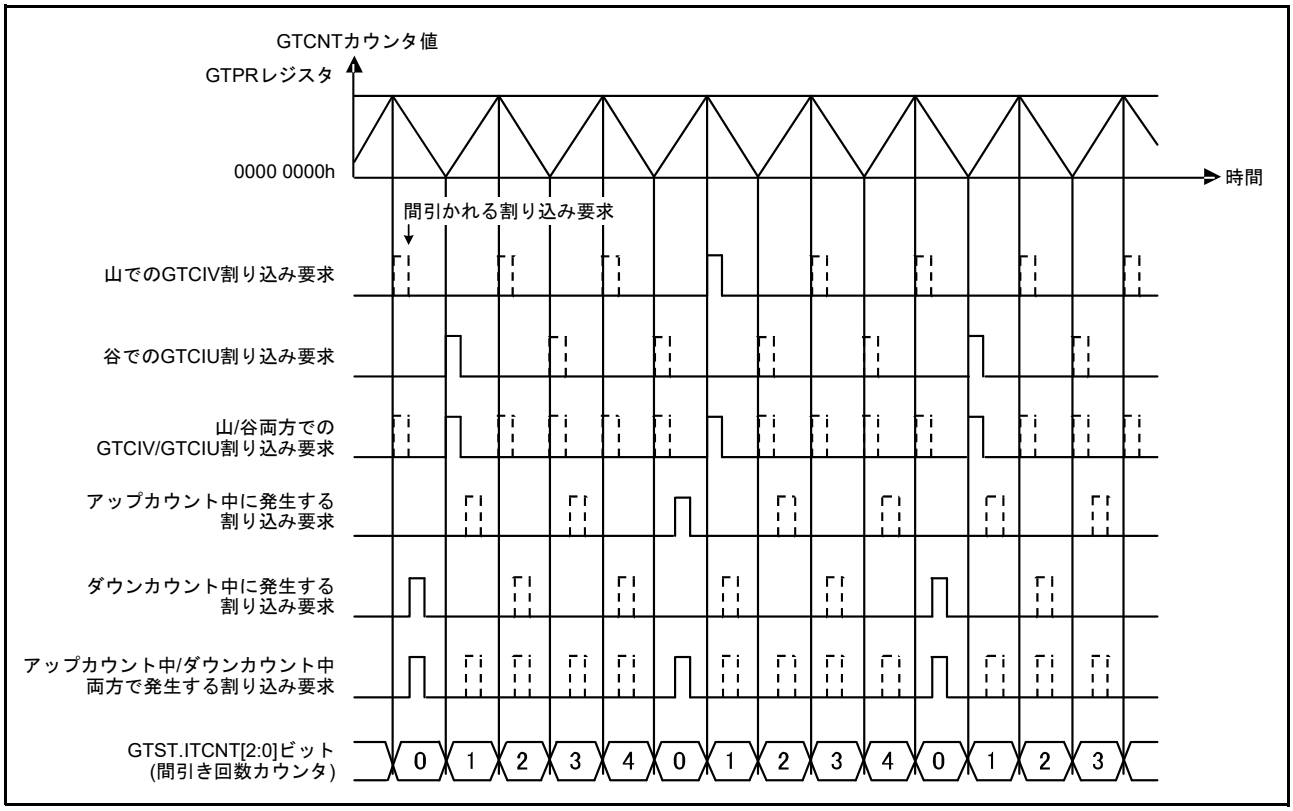


図 24.173 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 4 の場合)

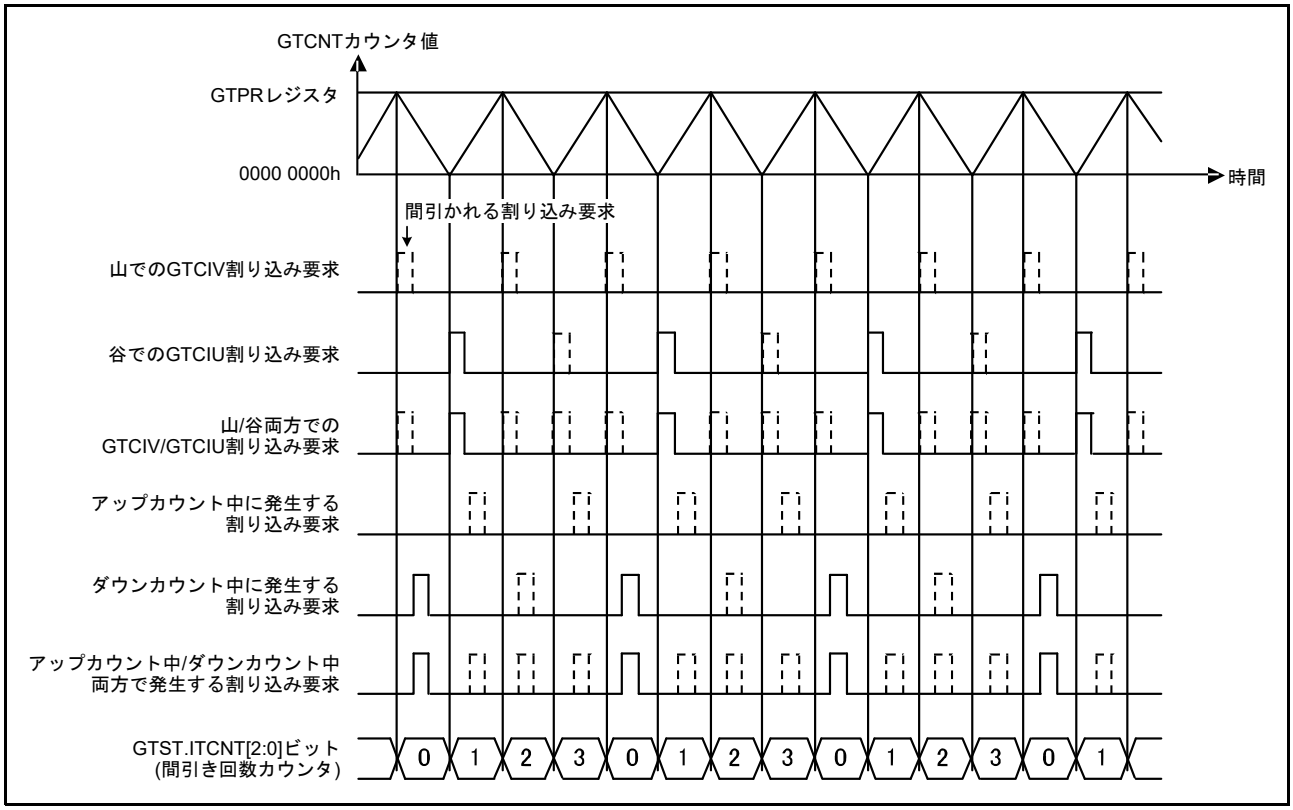


図 24.174 割り込み間引き機能の動作例
(三角波、谷 / 山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)

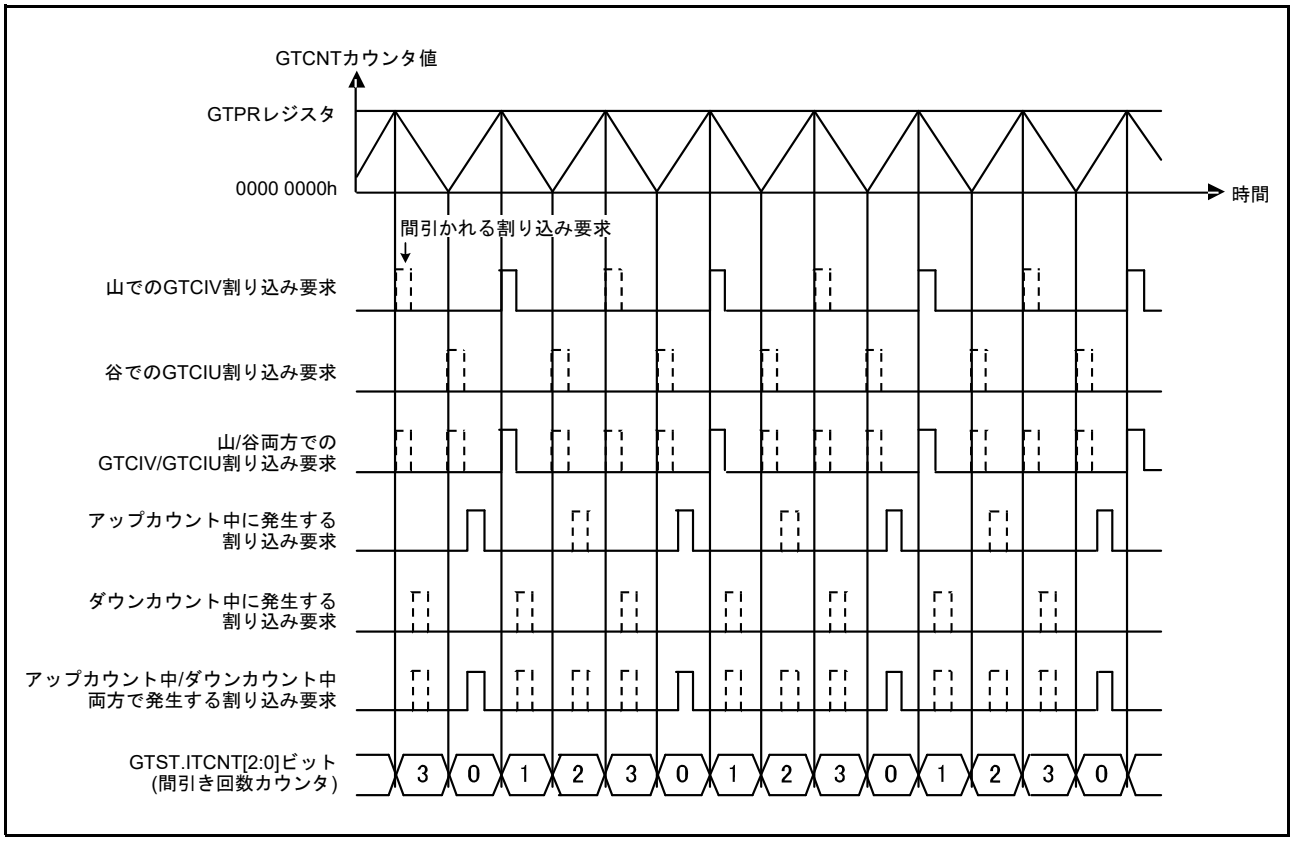


図 24.175 割り込み間引き機能の動作例
(三角波、谷 / 山両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合)

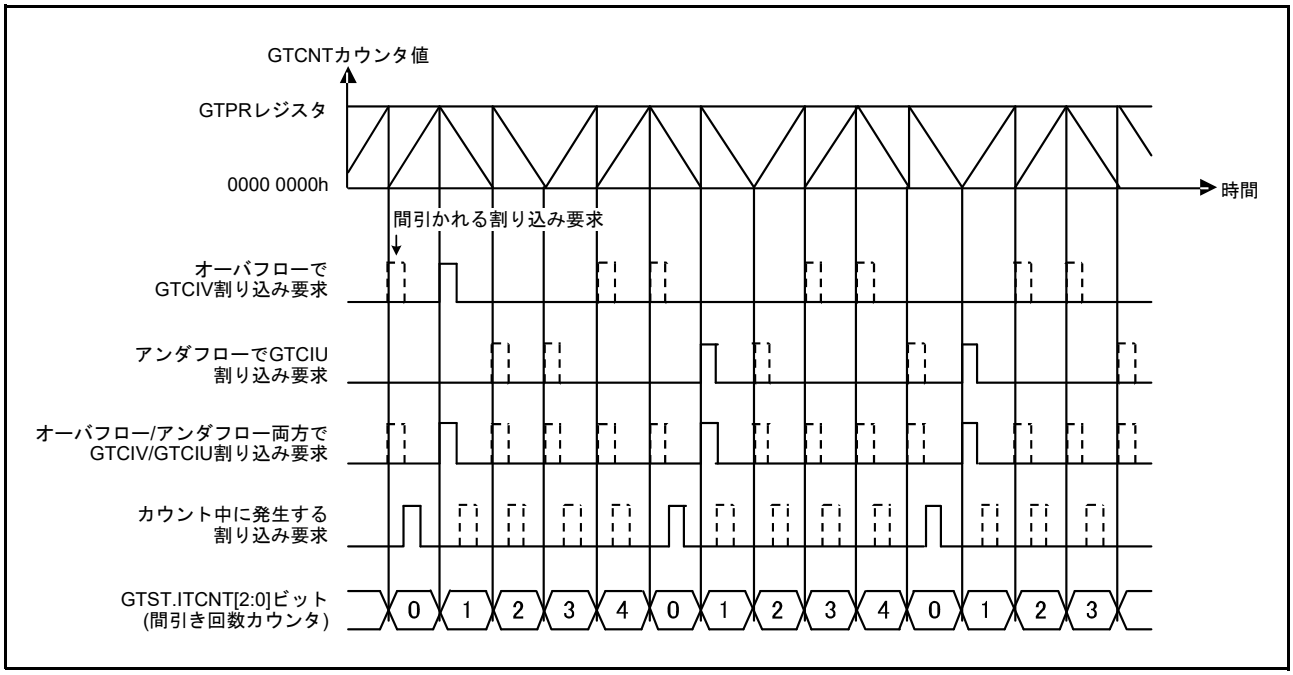


図 24.176 割り込み間引き機能の動作例
(のこぎり波でカウント方向を切替えながら動作、オーバフロー / アンダフロー両方をカウントして間引き、間引き回数 4 の場合)

24.4.3.2 拡張割り込み間引き機能

GTEITC、GTEITLI1、GTEITLI2、GTEITLB レジスタの設定により、GTCNT カウンタのオーバフローまたはアンダフローをカウントして、オーバフロー / アンダフロー割り込み、コンペアマッチ / インプットキャプチャ割り込み、A/D 変換開始要求、バッファ転送を間引くことができます。デッドタイムエラー割り込みを間引くことはできません。

間引きの有無と間引く期間は、GTEITLI1、GTEITLI2、GTEITLB レジスタで、オーバフロー / アンダフロー割り込み、コンペアマッチ / インプットキャプチャ割り込み、A/D 変換開始要求、バッファ転送を、それぞれ個別に設定できます。

間引く期間は、独立した 2 つの拡張割り込み間引きカウンタ (GTEITC.EITCNT1[3:0]、EITCNT2[3:0] ビット) の動作と関連付けて、カウンタ値が “0” 以外の期間または間引き回数以外の期間として設定します。一方の間引きカウンタだけでなく、2 つのカウンタがともに “0” 以外または共に間引き回数以外の場合も選択可能です。

図 24.177 に GTITC レジスタによる割り込み間引きと拡張割り込み間引きのカウンタの動作例を示します。

拡張割り込み間引きカウンタの動作は、GTEITC レジスタで設定します。

EITCNT1[3:0] ビットは、初期値 “0” で、拡張割り込み間引きカウンタ 1 カウント要因選択ビット (EIVTC1[1:0] ビット) で選択したカウント要因 (**図 24.177** の場合は山) をカウントし、拡張割り込み間引き 1 間引き回数設定ビット (EIVTT1[3:0] ビット) で設定した間引き回数 (**図 24.177** の場合は 2) に達すると、“0” に戻るカウントを繰り返します。

EITCNT2[3:0] ビットは、初期値を与えることができ、拡張割り込み間引きカウンタ 2 カウント要因選択ビット (EIVTC2[1:0] ビット) で選択したカウント要因 (**図 24.177** の場合は谷) をカウントし、EIVTT2[3:0] ビットで設定した間引き回数 (**図 24.177** の場合は 2) に達すると、“0” に戻るカウントを繰り返します。初期値の設定は、拡張割り込み間引きカウンタ 2 がカウントしない設定 (EIVTC2[1:0] ビットが “00b”) の状態で、GTEITC レジスタへの書き込みが上位 16 ビットまたは 32 ビットのアクセスによって行われ、EIVTC2[1:0] ビットへの書き込み値が “00b” 以外の場合にのみ行われます。初期値設定の書き込み時、拡張割り込み間引きカウンタ 2 初期値ビット (EITCNT2IV[3:0] ビット) への書き込み値が、初期値として EITCNT2[3:0] ビットに設定されます。

拡張割り込み間引きカウンタは、カウントしない設定からカウントを行う設定に書き換えた後の最初のカウントクロックで、アップカウントを行います。

GTITC レジスタによる割り込み間引き機能の割り込み間引き回数カウンタ (GTST.ITCNT[2:0] ビット) は、GTCNT カウンタの動作停止によって、“000b” にリセットされますが、拡張割り込み間引き機能の EITCNT1[3:0]、EITCNT2[3:0] ビットは、GTCNT カウンタの動作の停止後も値を保持し、GTCNT カウンタの動作を再開すると停止前の値でカウントを再開できます。EITCNT1[3:0]、EITCNT2[3:0] ビットの値をリセット (“0000b”) したい場合は、EIVTC1[1:0]、EIVTC2[1:0] ビットをカウントしない (間引かない) (“00b”) に設定してください。

間引き回数を変更する場合は、間引きカウンタの動作を停止 (EIVTC1[1:0] ビットまたは EIVTC2[1:0] ビットに “00b” を設定) してから行ってください。

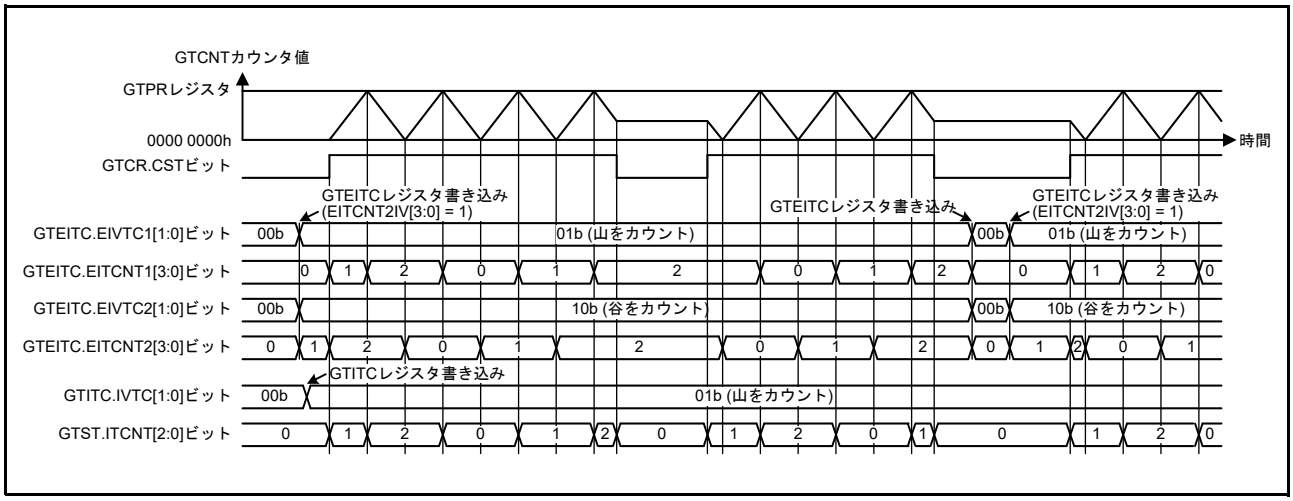


図 24.177 割り込み間引きのカウンタの動作

GTEITLI1 レジスタによる割り込みの間引きと GTEITLI2 レジスタによる A/D 変換開始要求の間引きは、GTITC レジスタおよび GTADCMSC レジスタによる割り込み間引きと同時に使用可能です。この場合の間引き期間は、それぞれの間引き期間を OR した期間になります。

図 24.178 に同時に使用した場合の動作例を示します。

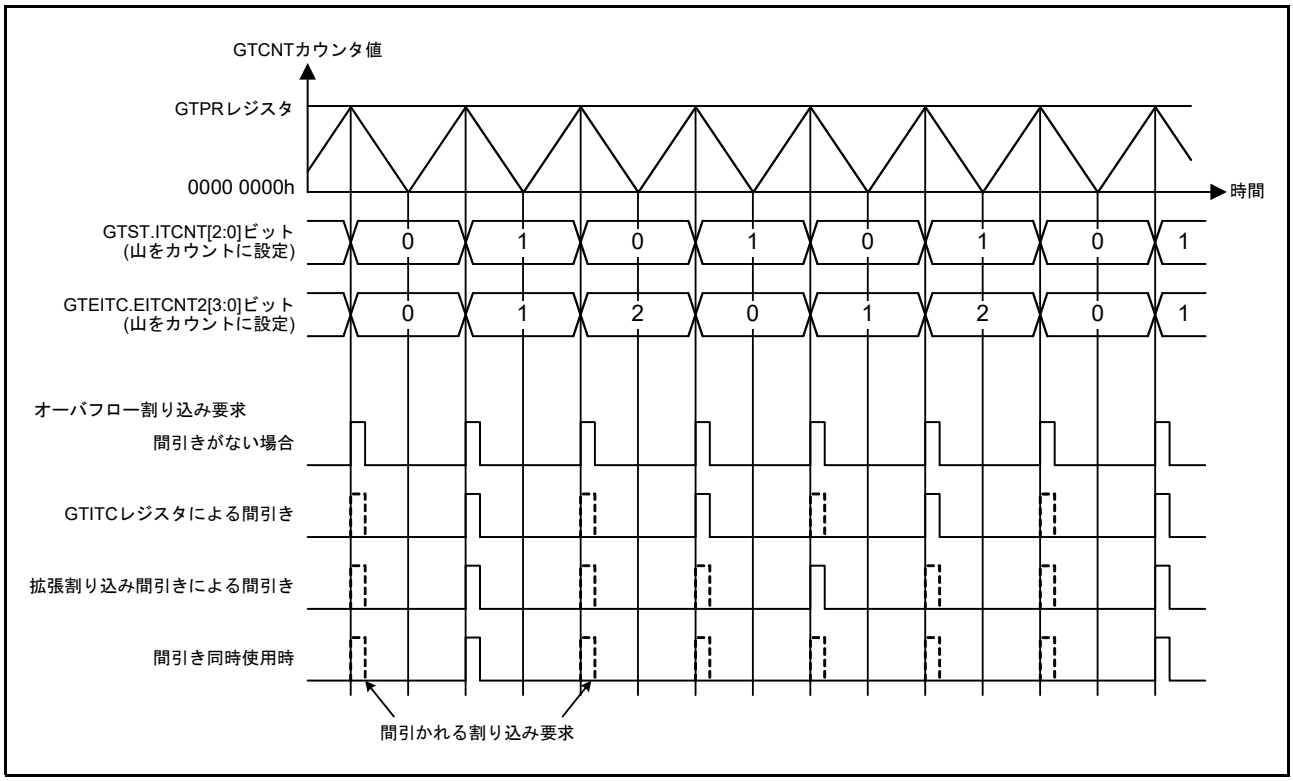


図 24.178 割り込み間引きの動作例
(GTITC レジスタによる間引き：山をカウント、拡張割り込み間引き：EIVTC1[1:0] ビット = 00b、EIVTC2[1:0] ビット = 01b、EITLV[2:0] ビット = 010b)

GTEITLI1 レジスタで設定可能な割り込みの間引きを行った場合、対応するステータスフラグの変化も間引かれ、ステータスフラグが “1” になっている間も間引き機能は動作を続けます。

GTEITLI2 レジスタで設定可能な A/D 変換開始要求の間引きを行った場合、対応するステータスフラグの変化も間引かれ、ステータスフラグが “1” になっている間も間引き機能は動作を続けます。

GTEITLI2 レジスタで設定可能な A/D 変換開始要求の間引きを行った場合、対応するステータスフラグの変化も間引かれ、ステータスフラグが “1” になっている間も間引き機能は動作を続けます。GTEITLI2 レジスタで設定可能な A/D 変換開始要求に対応するステータスフラグの更新、ELC イベント出力の間引きは、GTITC レジスタおよび拡張割り込み間引きのレジスタ設定だけに依存し、GTINTAD レジスタの A/D 変換開始要求許可ビットに依存しません。A/D 変換開始要求許可ビットは、間引き後の A/D 変換開始要求 (ELC イベント出力) の出力制御だけに用います。

GTEITLB レジスタによるバッファ転送の間引きは、GTBER レジスタ、GTDTCR レジスタおよび GTBER2 レジスタで有効となっているバッファ動作、のこぎり波ワンショットパルスモード、三角波 PWM モード 3 または相補 PWM モード (GTCCRC、GTCCRE レジスタから GTCCRA レジスタへのバッファ転送を除く) で行われるすべてのバッファ動作が対象となります。

割り込みの間引きとバッファ転送の間引きは独立して動作します。割り込みの出力を伴うバッファ転送に対して、バッファ転送を行わず割り込みを出力することも、割り込みを出力せずバッファ転送を行うことも可能です。

図 24.179 ～図 24.186 に間引き機能の動作例を示します。

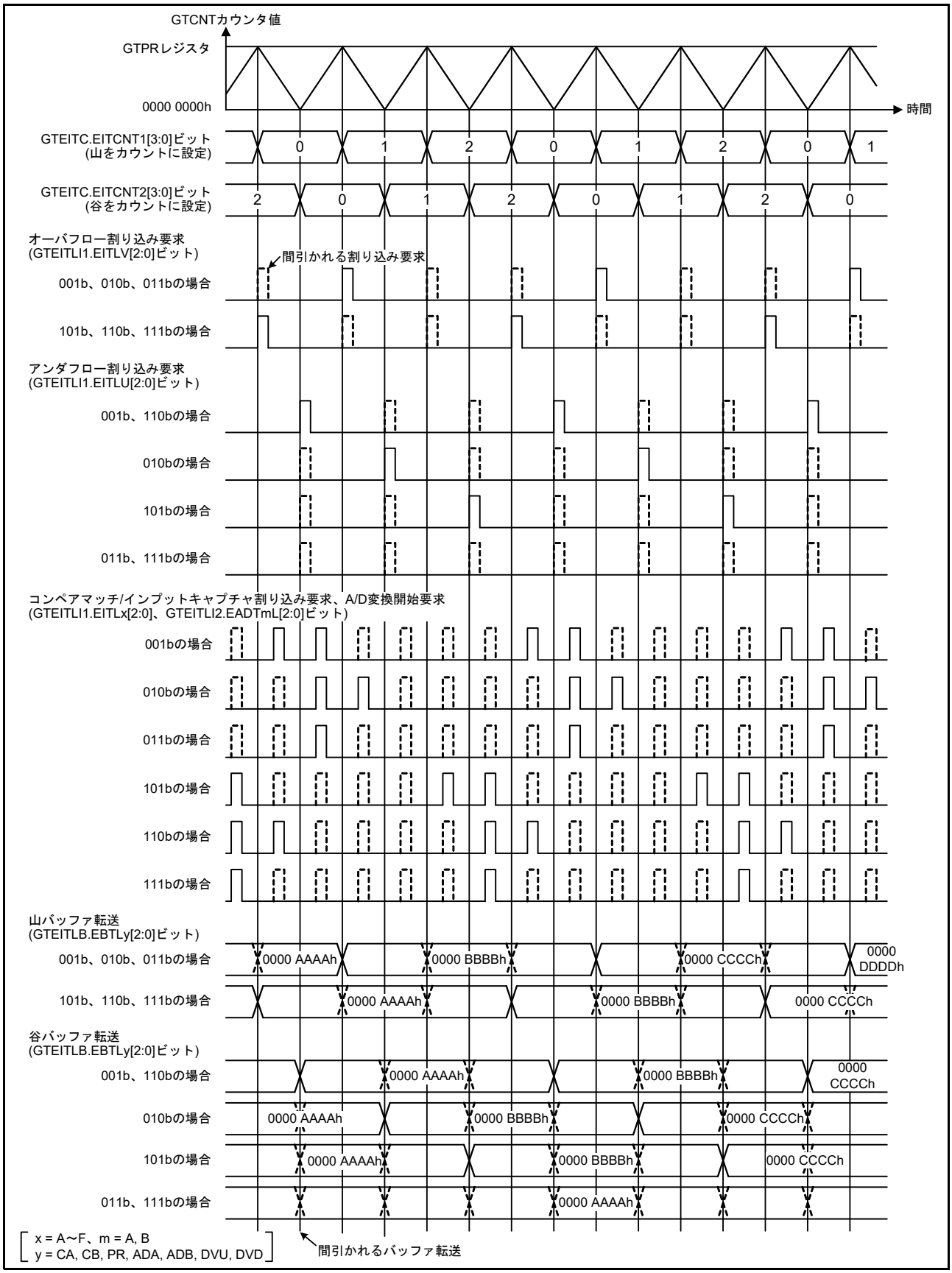


図 24.179 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で谷をカウント、拡張割り込み間引きカウンタ 2 初期値 “0” の場合)

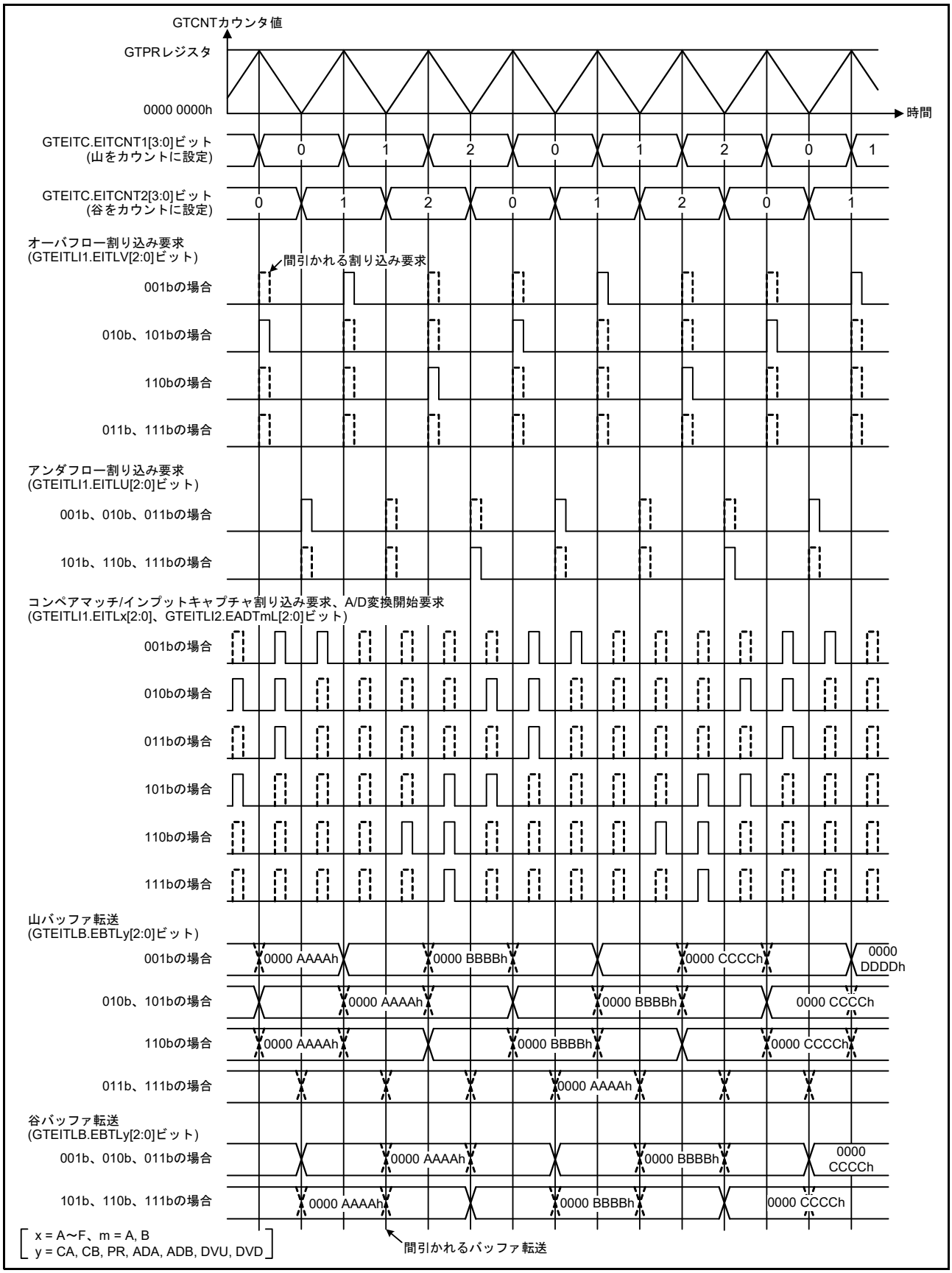


図 24.180 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で谷をカウント、拡張割り込み間引きカウンタ 2 初期値 “1” の場合)

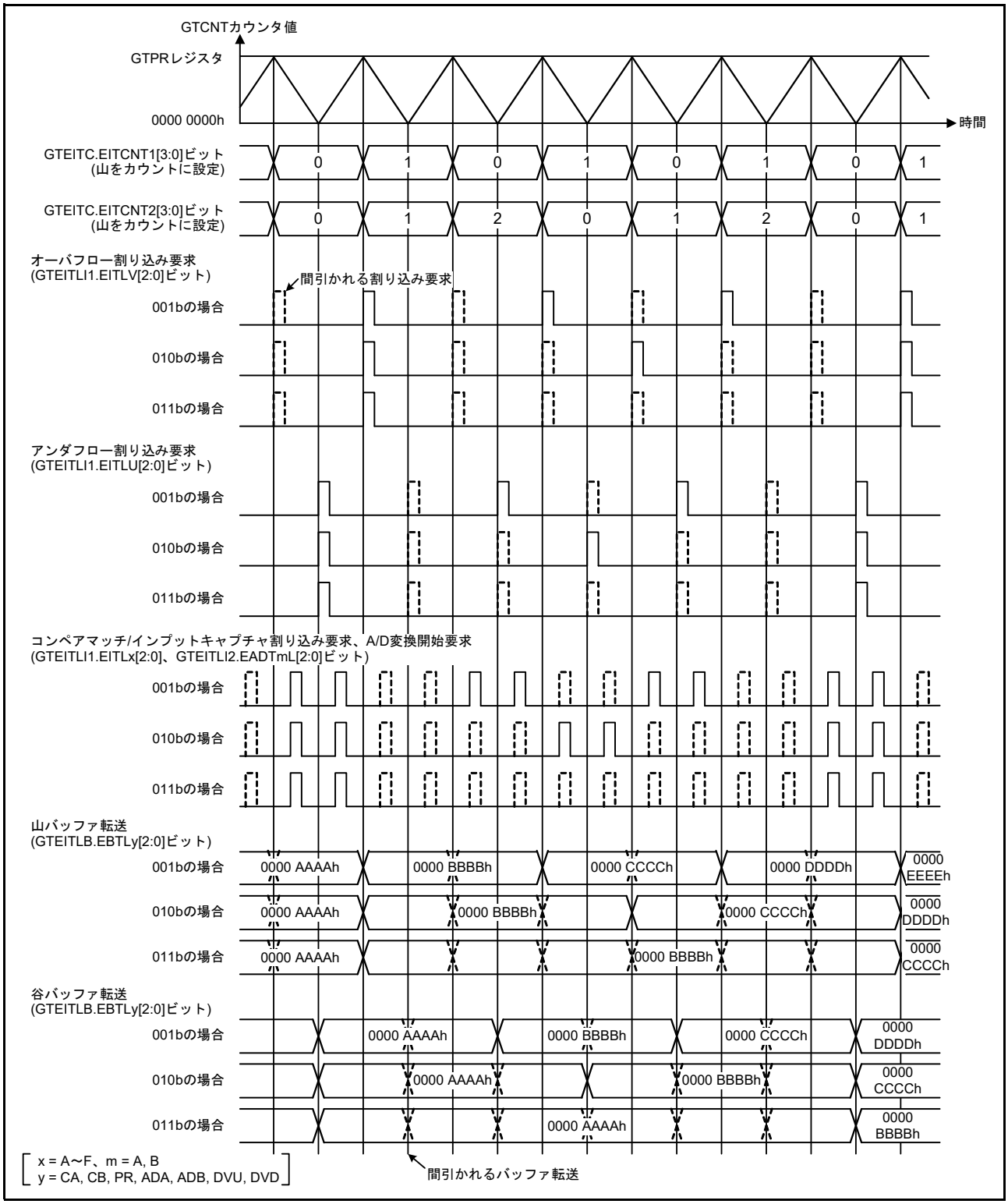


図 24.181 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 1 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で山をカウント、拡張割り込み間引きカウンタ 2 初期値 “0” の場合 GTEITC.EITCNTk ビット (k = 1, 2) が “0” 以外の期間で間引く場合)

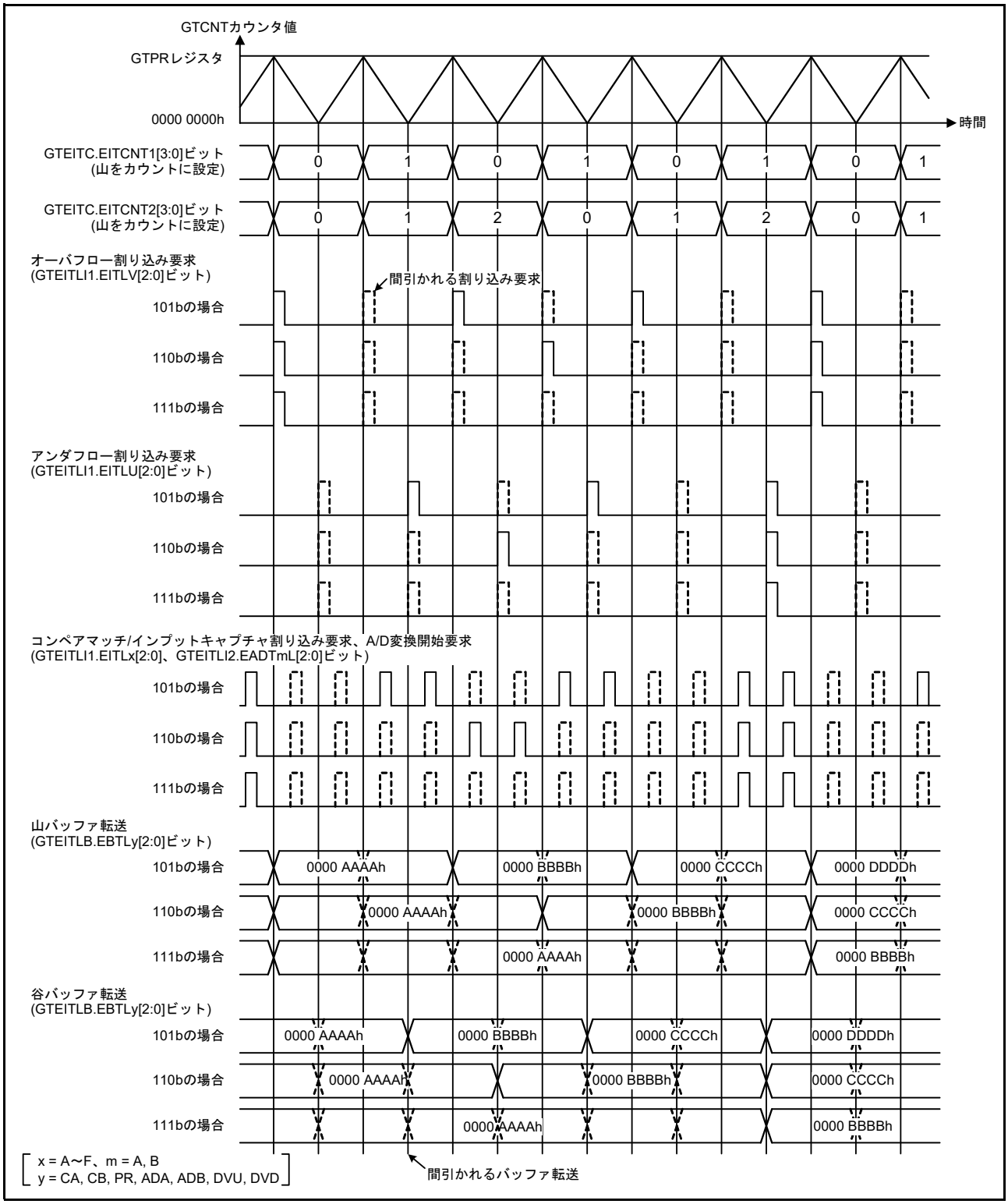


図 24.182 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 1 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で山をカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引く場合)

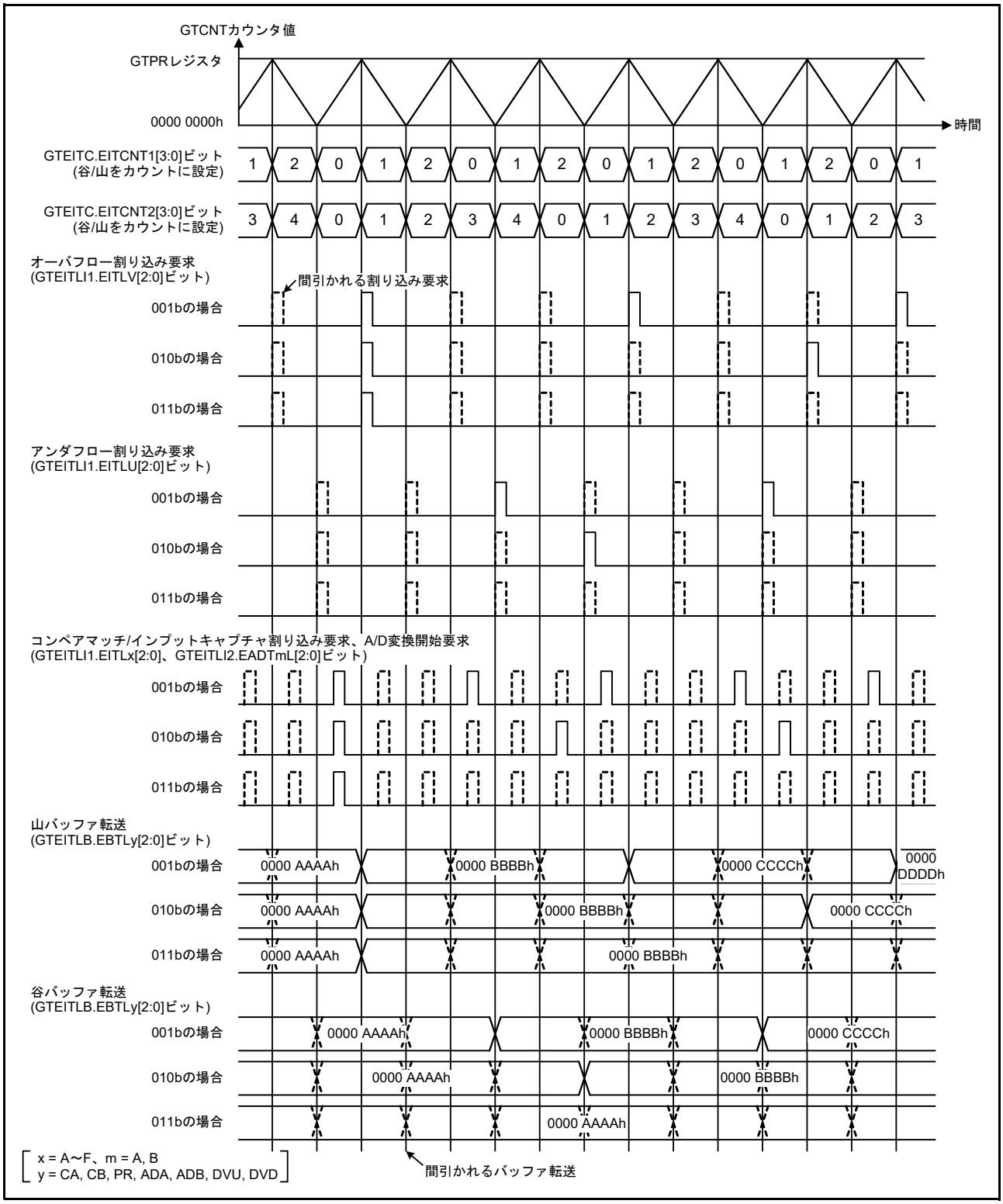


図 24.183 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で谷 / 山両方をカウント、拡張割り込み間引き 2 間引き回数 4 で谷 / 山両方をカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が “0” 以外の期間で間引く場合)

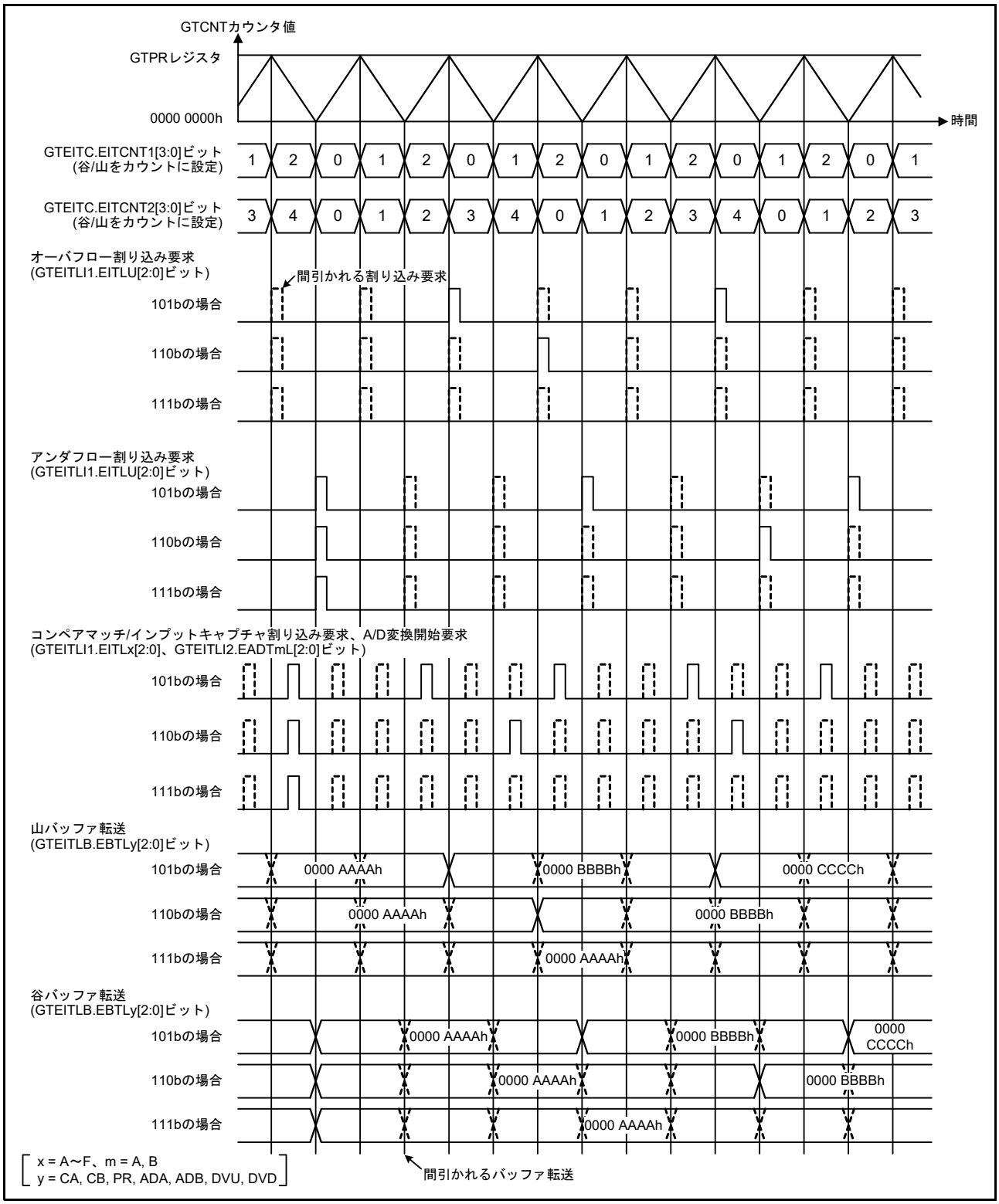


図 24.184 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で谷 / 山両方をカウント、拡張割り込み間引き 2 間引き回数 4 で谷 / 山両方をカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引く場合)

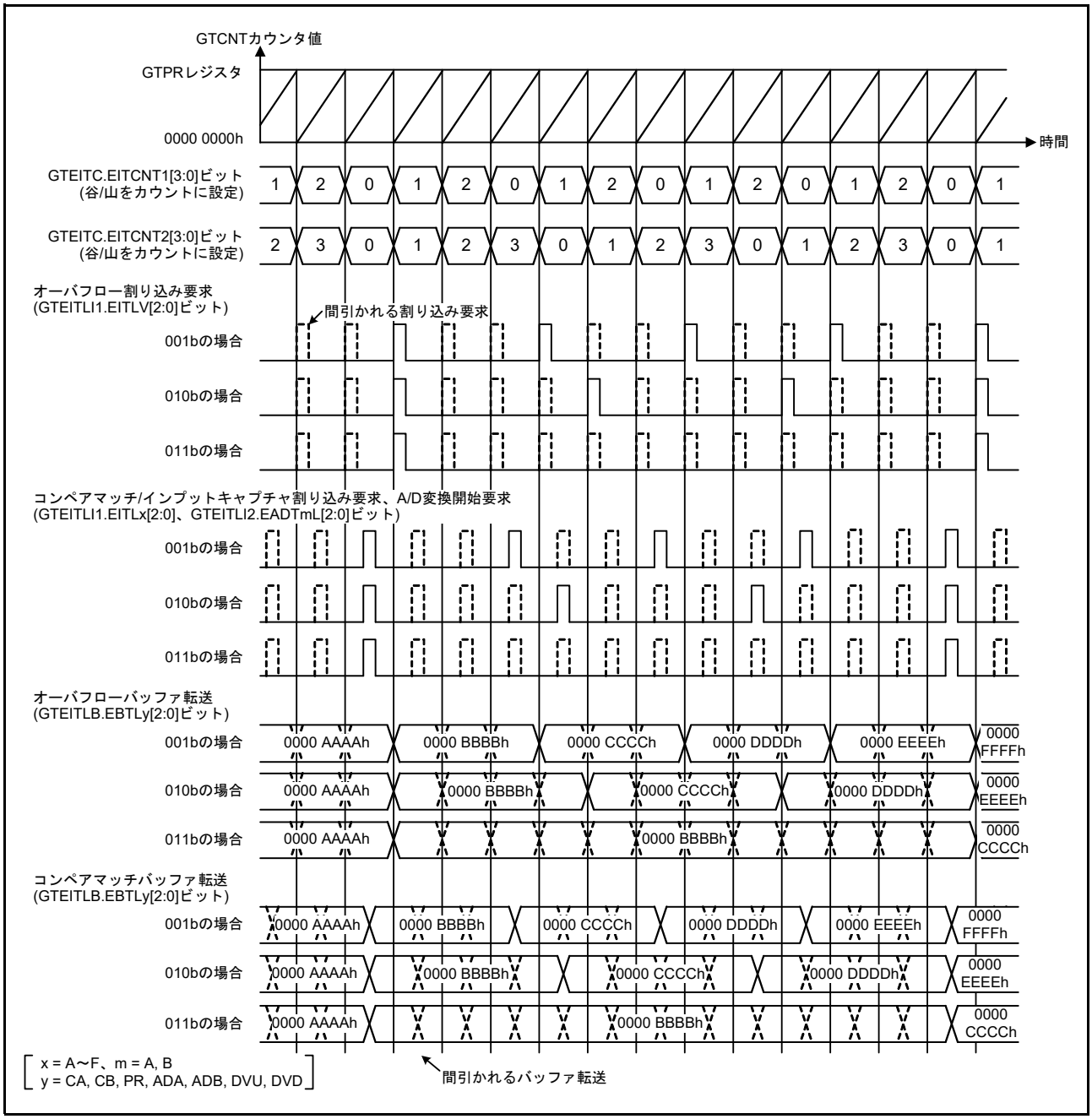


図 24.185　拡張割り込み間引き機能の動作例
(のこぎり波アップカウント、拡張割り込み間引き 1 間引き回数 2 でオーバフローをカウント、拡張割り込み間引き 2 間引き回数 3 でオーバフローをカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が “0” 以外の期間で間引く場合)

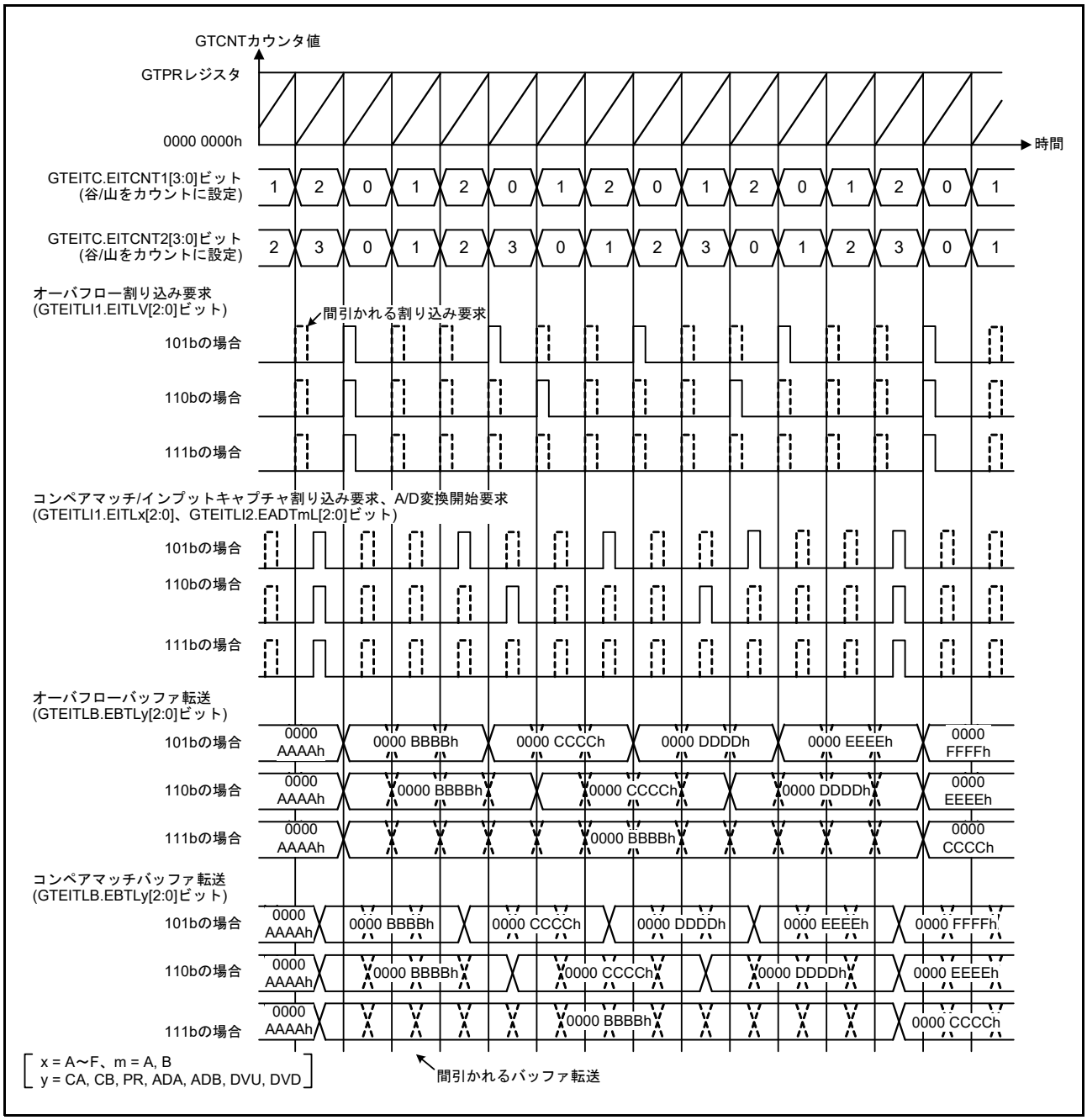


図 24.186 拡張割り込み間引き機能の動作例
(のこぎり波アップカウント、拡張割り込み間引き 1 間引き回数 2 でオーバフローをカウント、拡張割り込み間引き 2 間引き回数 3 でオーバフローをカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引く場合)

図 24.187 にインプットキャプチャに対する拡張割り込み間引きの動作例を示します。GTCNT カウンタのカウントストップ時にインプットキャプチャ動作を行う設定 (GTCR.ICDS = 0) にしている場合、インプットキャプチャによる割り込みとバッファ転送の拡張間引きは、GTCNT カウンタのカウントストップ時も有効です。ICDS ビットに “0” を設定して、GTCNT カウンタのカウントが停止している状態で、インプットキャプチャが発生すると、間引きカウンタの値が、各間引き機能選択ビットで設定された間引き期間であれば、割り込みおよびバッファ転送は間引かれます。

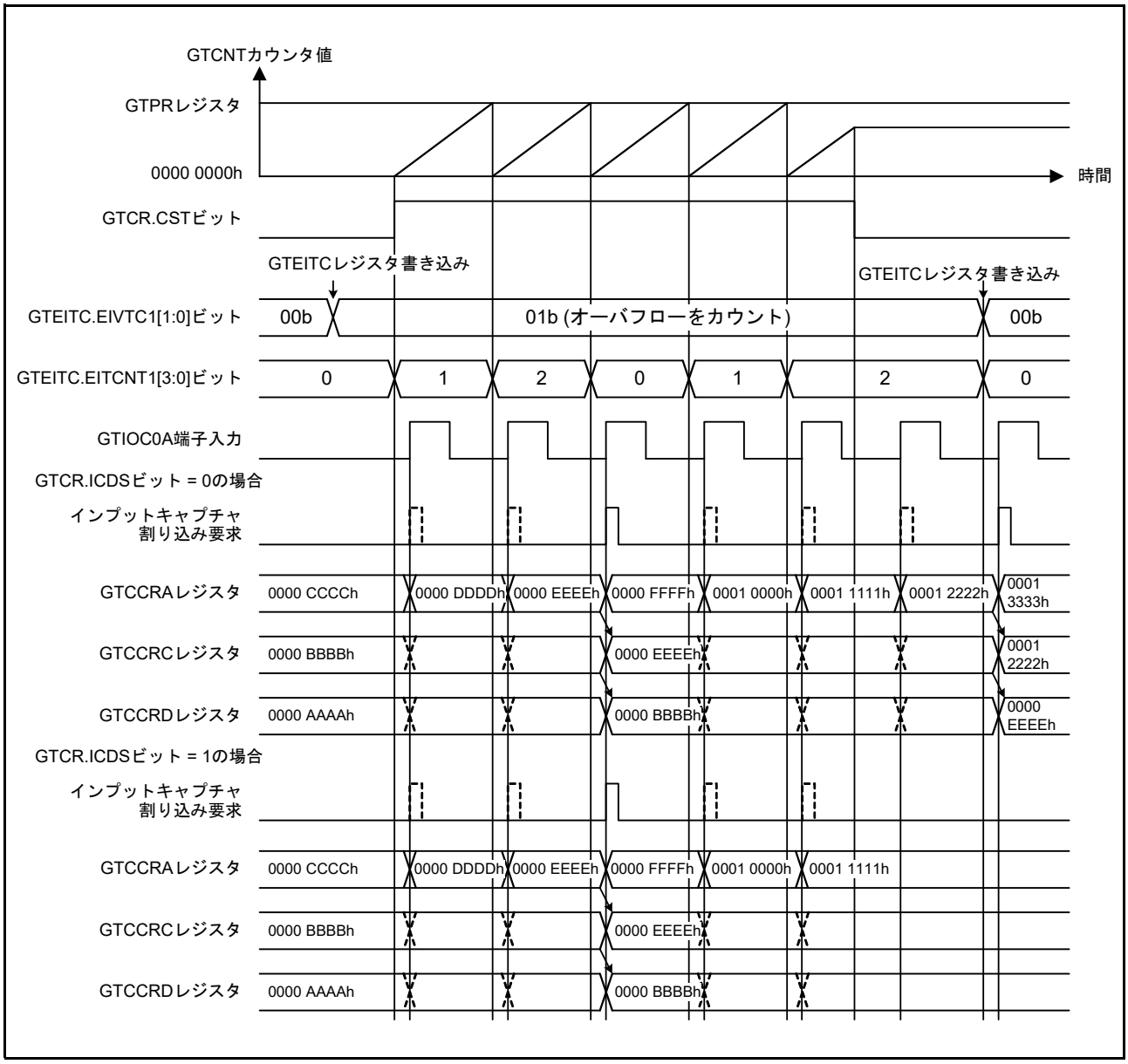


図 24.187 拡張割り込み間引き機能のインプットキャプチャ動作例
(のこぎり波アップカウント、拡張割り込み間引き 1 間引き回数 2 でオーバフローをカウント、EITCNT1 が “0” 以外の期間で間引く、入力の立ち上がりでインプットキャプチャの場合)

図 24.188 に拡張割り込み間引きの設定例を示します。

拡張割り込み間引きカウンタ 2 の初期値設定は、拡張割り込み間引きカウンタ 2 のカウント要因をカウントしない設定 (GTEITC.EIVTC2[1:0] ビット = 00b) からカウントを行う設定 (EIVTC2[1:0] ビット = 00b 以外) に変更する場合の ETICNT2IV[3:0] ビットへの書き込み値で行われます。拡張割り込み間引きカウンタ 2 の初期値ビット (ETICNT2IV[3:0] ビット) の書き込みは、前記の拡張割り込み間引きカウンタ 2 の初期値設定の書き込み時にのみ行われます。

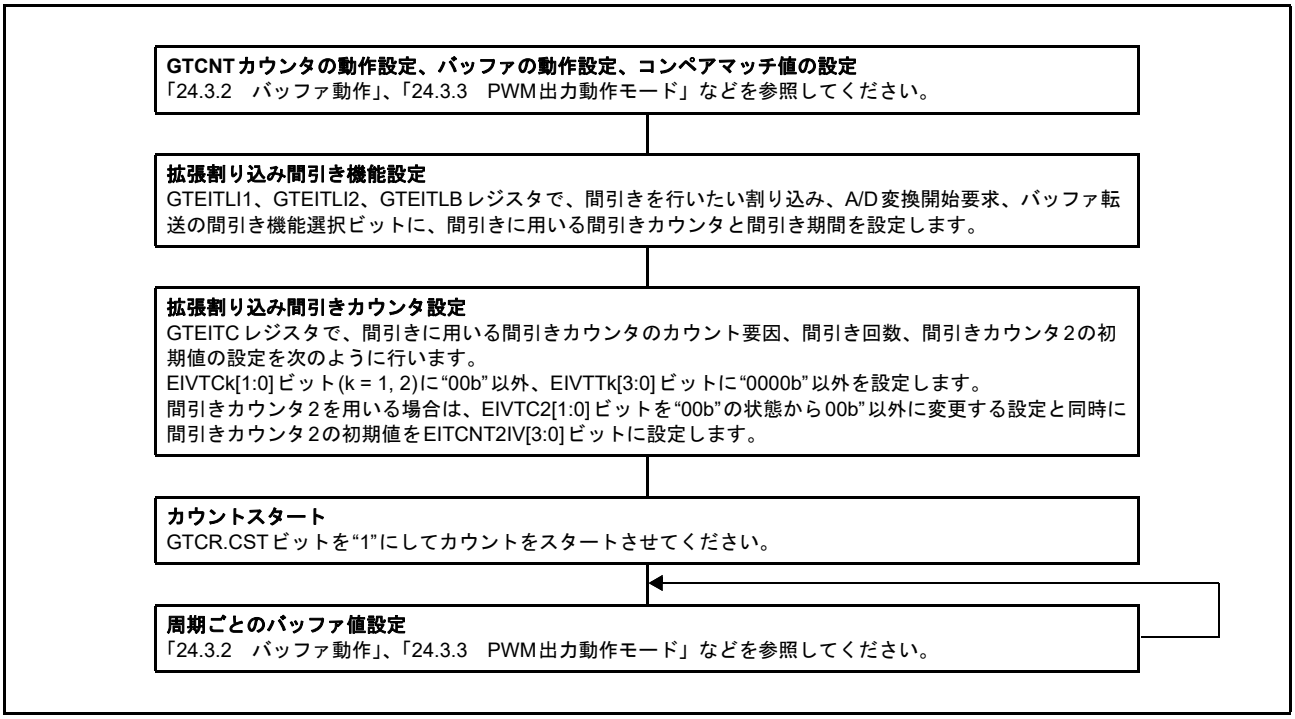


図 24.188　拡張割り込み間引きの設定例

24.4.3.3　A/D 変換開始要求コンペアマッチ間引き機能

GTADCMSC、GTADCMSS レジスタの設定により、GTADTRA、GTADTRB レジスタのコンペアマッチをカウントして、A/D 変換開始要求、GTADTR レジスタバッファ転送を間引くことができます。

間引く期間は、独立した 2 つの A/D 変換開始要求コンペアマッチ間引きカウンタ (GTADCMSC.ADCMSCNT1[3:0]、ADCMSCNT2[3:0] ビット) の動作と関連付けて、カウンタ値が “0” 以外の期間または間引き回数以外の期間として設定します。一方の間引きカウンタだけでなく、2 つのカウンタがともに “0” 以外またはともに間引き回数以外の場合も選択可能です。

A/D 変換開始要求コンペアマッチ間引きのカウンタの動作例を**図 24.189** に示します。

A/D 変換開始要求コンペアマッチ間引きカウンタの動作は、GTADCMSC レジスタで設定します。

ADCMSCNT1[3:0] ビットは、A/D 変換開始要求コンペアマッチ間引きカウンタ 1 カウント要因選択ビット (ADCMSC1[1:0] ビット) で選択したカウント要因 (**図 24.189** の場合は山) をカウントし、A/D 変換開始要求コンペアマッチ間引き 1 間引き回数設定ビット (ADCMST1[3:0] ビット) で設定した間引き回数 (**図 24.189** の場合は 2) に達すると、“0” に戻るカウントを繰り返します。

ADCMSCNT2[3:0] ビットは、A/D 変換開始要求コンペアマッチ間引きカウンタ 2 カウント要因選択ビット (ADCMSC2[1:0] ビット) で選択したカウント要因 (**図 24.189** の場合は谷) をカウントし、A/D 変換開始要求コンペアマッチ間引き 2 間引き回数設定ビット (ADCMST2[3:0] ビット) で設定した間引き回数 (**図 24.189** の場合は 2) に達すると、“0” に戻るカウントを繰り返します。

ADCMSCNTk[3:0] (k = 1, 2) は、初期値の設定が可能です。初期値の設定は、A/D 変換開始要求コンペアマッチ間引きカウンタ k がカウントしない設定 (ADCMSCk[1:0] ビットが “00b”) の状態で、GTADCMSC レジスタへの書き込みが 16 ビットまたは 32 ビットのアクセスによって行われた、ADCMSCk[1:0] ビットへの書き込み値が “00b” 以外の場合にのみ行われます。初期値設定の書き込み時、A/D 変換開始要求コンペアマッチ間引きカウンタ k 初期値ビット (ADCMSCNTkIV[3:0] ビット) への書き込み値が、初期値として ADCMSCNTk[3:0] ビットに設定されます。

A/D 変換開始要求コンペアマッチ間引きカウンタは、カウントしない設定からカウントを行う設定に書き換えた後の最初のカウントクロックで、アップカウントを行います。

A/D 変換開始要求コンペアマッチ間引き機能の ADCMSCNT1[3:0]、ADCMSCNT2[3:0] ビットは、GTCNT カウンタがカウント停止後も保持し、GTCNT カウンタがカウントを再開すると停止前の値からカウントを再開します。

ADCMSCNT1[3:0]、ADCMSCNT2[3:0] ビットの値をリセット (“0000b”) したい場合は、ADCMSC1[1:0]、ADCMSC2[1:0] ビットをカウントしない (間引かない) (“00b”) に設定してください。

間引き回数を変更する場合は、間引きカウンタの動作を停止 (ADCMSC1[1:0] ビットまたは ADCMSC2[1:0] ビットを “00b”) してから行ってください。

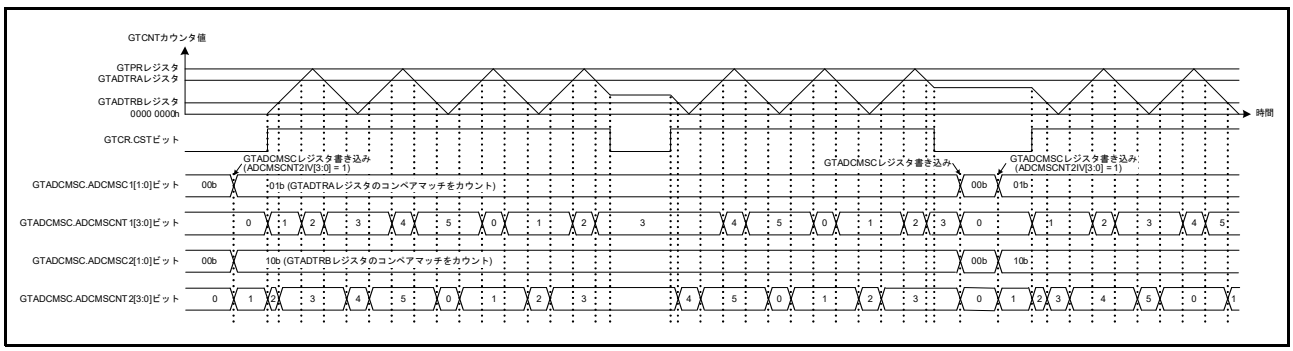


図 24.189　A/D 変換開始要求コンペアマッチ間引きの動作例

ADCMSC レジスタによる間引きは、GTITC レジスタおよび GTEITC レジスタによる間引きと同時に使用可能です。この場合の間引き期間は、そのぞれの間引き期間を OR した期間になります。

図 24.190 に同時に使用した場合の動作例を示します。

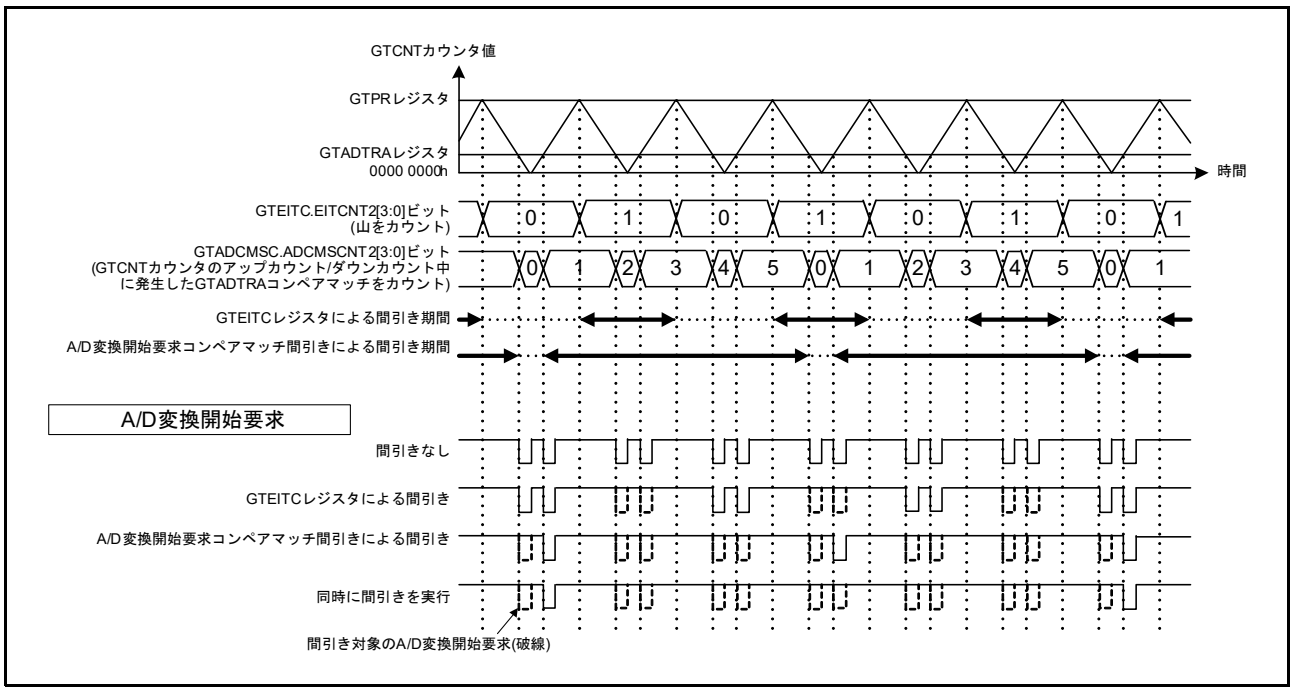


図 24.190　A/D 変換開始要求コンペアマッチ間引き動作の例
(GTADTRA レジスタコンペアマッチ：GTINTAD.ADTRAUEN = 1、ADTRADEN = 1、
拡張割り込み間引き：GTEITC.EIVTT2[3:0] = 001b、EIVTC2[1:0] = 01b、GTEITLI2.EADTAL[2:0] = 010b、
A/D 変換開始要求コンペアマッチ間引き：GTADCMSC.ADCMST2[3:0] = 101b、ADCMSC2[1:0] = 01b、ADCMSAL[2:0] = 010b)

GTADCMSS レジスタで設定可能な A/D 変換開始要求の間引きを行った場合、対応するステータスフラグの更新、ELC イベント出力は、GTINTAD レジスタの A/D 変換開始要求許可ビットに依存します。GTINTAD レジスタで禁止した A/D 変換開始要求による動作はすべて行われません。

GTADCMSS レジスタによるバッファ転送の間引きは、GTBER レジスタおよび GTBER2 レジスタで有効となっているバッファ転送、のこぎり波ワンショットパルスモード、三角波 PWM モード 3 または相補 PWM モード (GTCCRC、GTCCRE レジスタから GTCCRA レジスタへのバッファ転送を除く) で行われるすべてのバッファ動作が対象となります。

A/D 変換開始要求の間引きとバッファ転送の間引きは独立して動作します。

間引き機能の動作例を図 24.191、図 24.192 に示します。

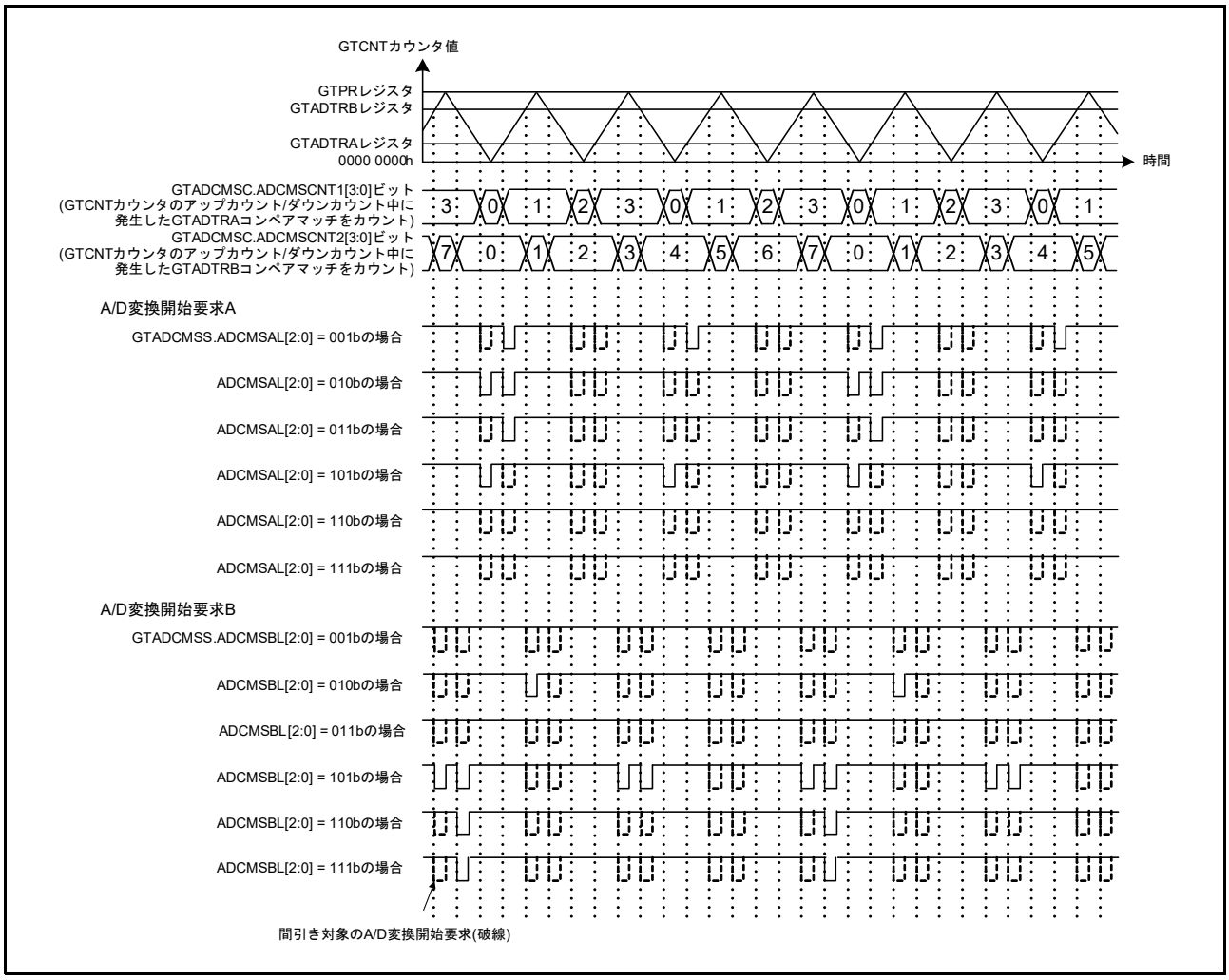


図 24.191　A/D 変換開始要求コンペアマッチ間引き機能動作の例
(三角波、A/D 変換開始要求コンペアマッチ間引き 1 間引き回数 “3” で GTADTRA レジスタでコンペアマッチをカウント：GTINTAD.ADTRAUEN = 1、ADTRADEN = 1、GTADCMSS.ADCMSC1[1:0] = 01b、ADCMST1[3:0] = 011b、
A/D 変換開始要求コンペアマッチ間引き 2 間引き回数 “7” で GTADTRB レジスタのコンペアマッチをカウント：GTINTAD.ADTRBUEN = 1、ADTRBDEN = 1、GTADCMSS.ADCMSC2[1:0] = 10b、ADCMST2[3:0] = 111b)

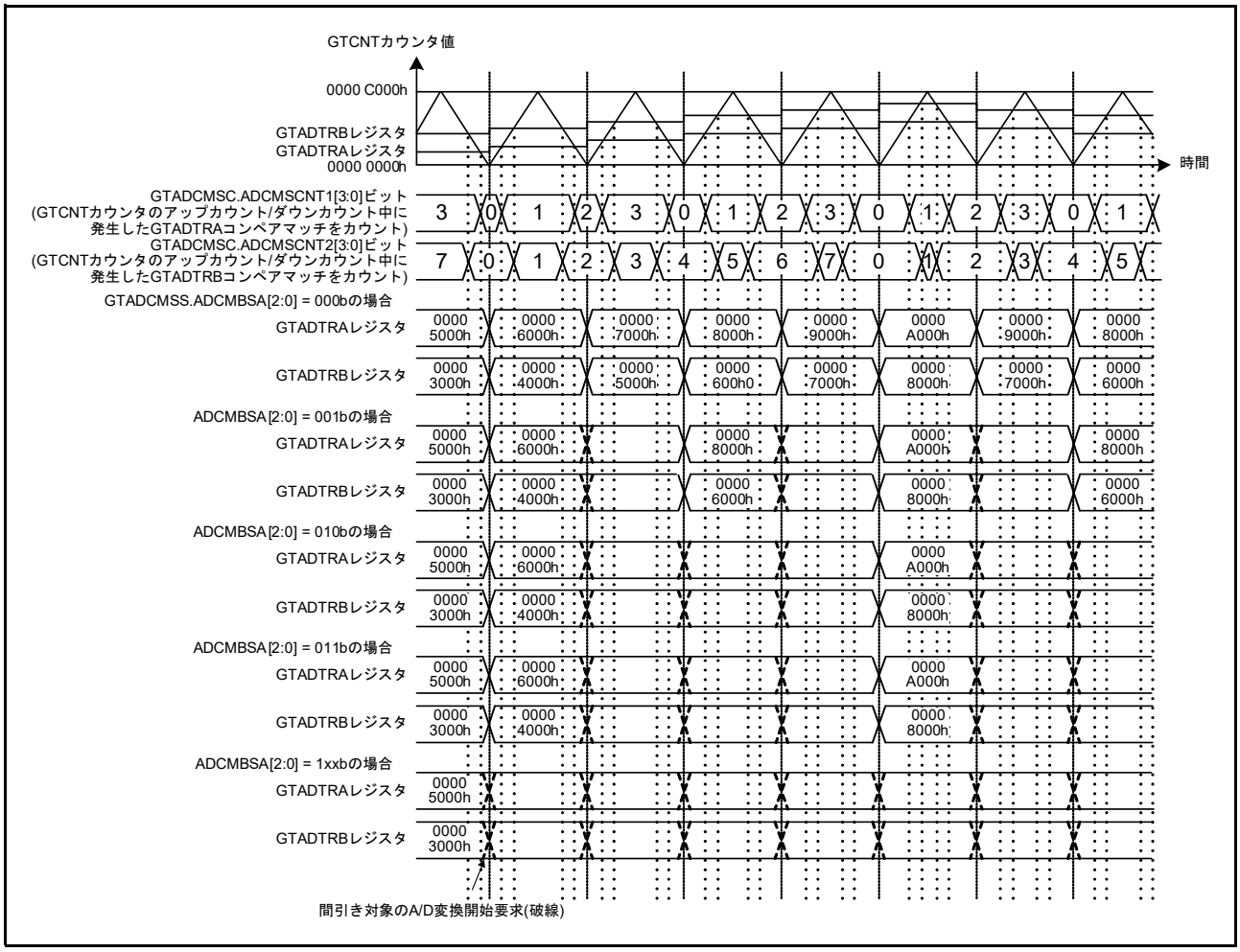


図 24.192 A/D 変換開始要求コンペアマッチ間引き機能動作の例
(三角波、A/D 変換開始要求コンペアマッチ間引き 1 間引き回数 “3” で GTADTRA レジスタでコンペアマッチをカウント：GTINTAD.ADTRAUEN = 1、ADTRADEN = 1、GTADCMSS.ADCMSC1[1:0] = 01b、ADCMST1[3:0] = 011b、
A/D 変換開始要求コンペアマッチ間引き 2 間引き回数 “7” で GTADTRB レジスタのコンペアマッチをカウント：GTINTAD.ADTRBUEN = 1、ADTRBDEN = 1、GTADCMSS.ADCMSC2[1:0] = 10b、ADCMST2[3:0] = 111b、
GTADTRA、GTADTRB レジスタのバッファ転送タイミングは谷：GTBER.BD[2] = 1、ADTTA[1:0] = 10b)

図 24.193 に A/D 変換開始要求コンペアマッチ間引きの設定例を示します。

A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値設定は、A/D 変換開始要求コンペアマッチ間引き 2 のカウント要因をカウントしない設定 (GTADCMSC.ADCMSC2[1:0] = 00b) からカウントを行う設定 (GTADCMSC.ADCMSC2[1:0] = 00b 以外) に変更する場合の ADCMSCNT2IV[3:0] ビットへの書き込み値で行われます。A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値ビット (ADCMSCNT2IV[3:0] ビット) の書き込みは、前述の A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値設定の書き込み時にのみ行われます。

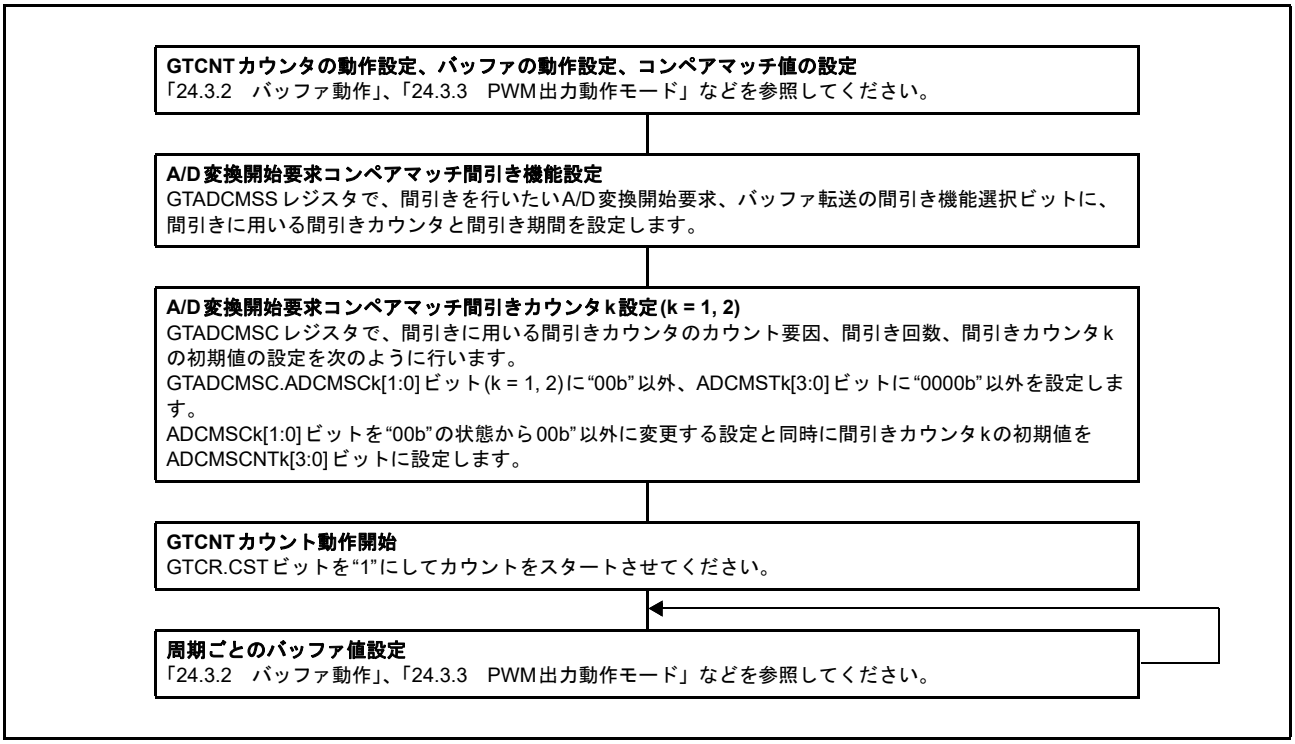


図 24.193 A/D 変換開始要求コンペアマッチ間引き設定例

24.5 A/D 変換開始要求

GTCNT カウンタと GTADTRA、GTADTRB レジスタのコンペアマッチで、A/D 変換開始要求を発生させることができます。GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウント / ダウンカウント両方で A/D 変換開始要求を発生させることができます。

相補 PWM モードで動作している場合は、マスタチャネルの GTCNT カウンタとの一致で、A/D 変換開始要求を発生します。

イベントカウント動作時は A/D 変換開始要求を発生させることはできません。

A/D 変換開始要求は、直接 A/D コンバータに出力されず、割り込み、ELC へのイベント信号を出力します。

GTADTRA、GTADTRB レジスタにはバッファレジスタがそれぞれ 2 本ずつあり、GTADTRA レジスタと GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作、GTADTRB レジスタと GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

A/D 変換開始要求の発生タイミングは、外部端子でモニタすることができます。GTADSMR.ADSMSk ビット (k = 0, 1) でモニタしたい A/D 変換開始要求信号を選択し、ADSMENk ビットで出力許可にすると、GTADSMk 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマの周期の終わりで Low 出力となるタイマの周期フレームに同期した信号を出力します。周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。A/D 変換開始要求信号の生成要因となっているレジスタ (GTADTRA, GTADTRB) とカウント方向は、GTST レジスタの A/D 変換開始要求フラグ (ADTRAUF, ADTRADF, ADTRBUF, ADTRBDF) で確認することができます。複数のチャネルで同じ A/D 変換開始要求信号モニタ出力に出力許可した場合、OR された信号が GPTW から出力されます。

図 24.194 に A/D 変換開始要求の動作例を、図 24.195 に A/D 変換開始要求の動作設定例を、図 24.196 に A/D 変換開始要求動作タイミング例を示します。

図 24.196 は、GTADTRA レジスタのコンペアマッチによる ELC への A/D 変換開始要求 A 出力を、ELC が A/D コンバータへの起動要因 0 として選択出力した場合の例です。PCLKC に同期した A/D 変換開始要求 A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に A/D 起動要因 0 を出力します。

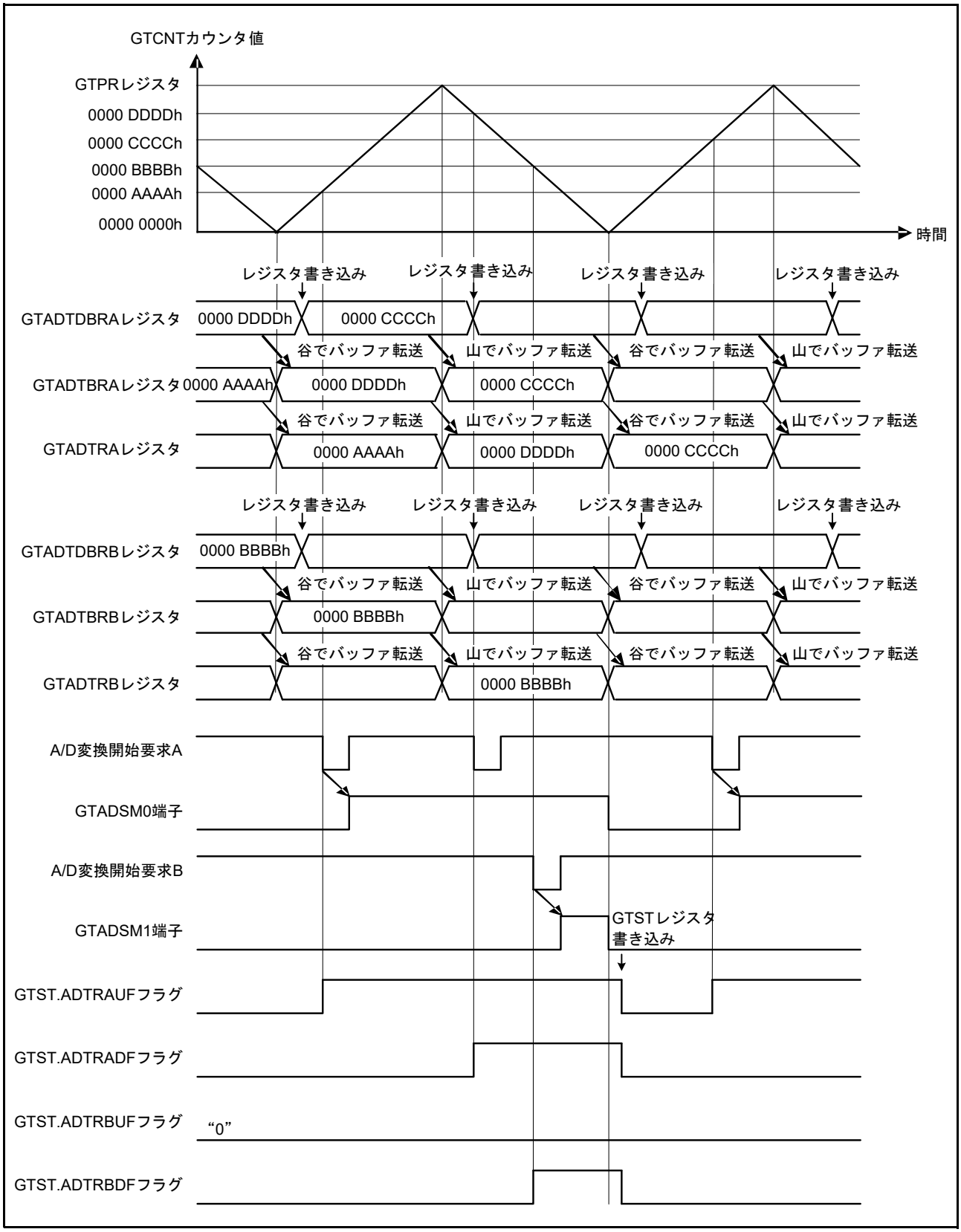


図 24.194　A/D 変換開始要求の動作例
(三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送、GTADTRA レジスタはアップカウント / ダウンカウント両方で A/D 変換開始要求、GTADTRB レジスタはダウンカウントで A/D 変換開始要求を発生、GTADSM0 端子は GTADTRA レジスタのアップカウントをモニタ、GTADSM1 端子は GTADTRB レジスタのダウンカウントをモニタの場合)

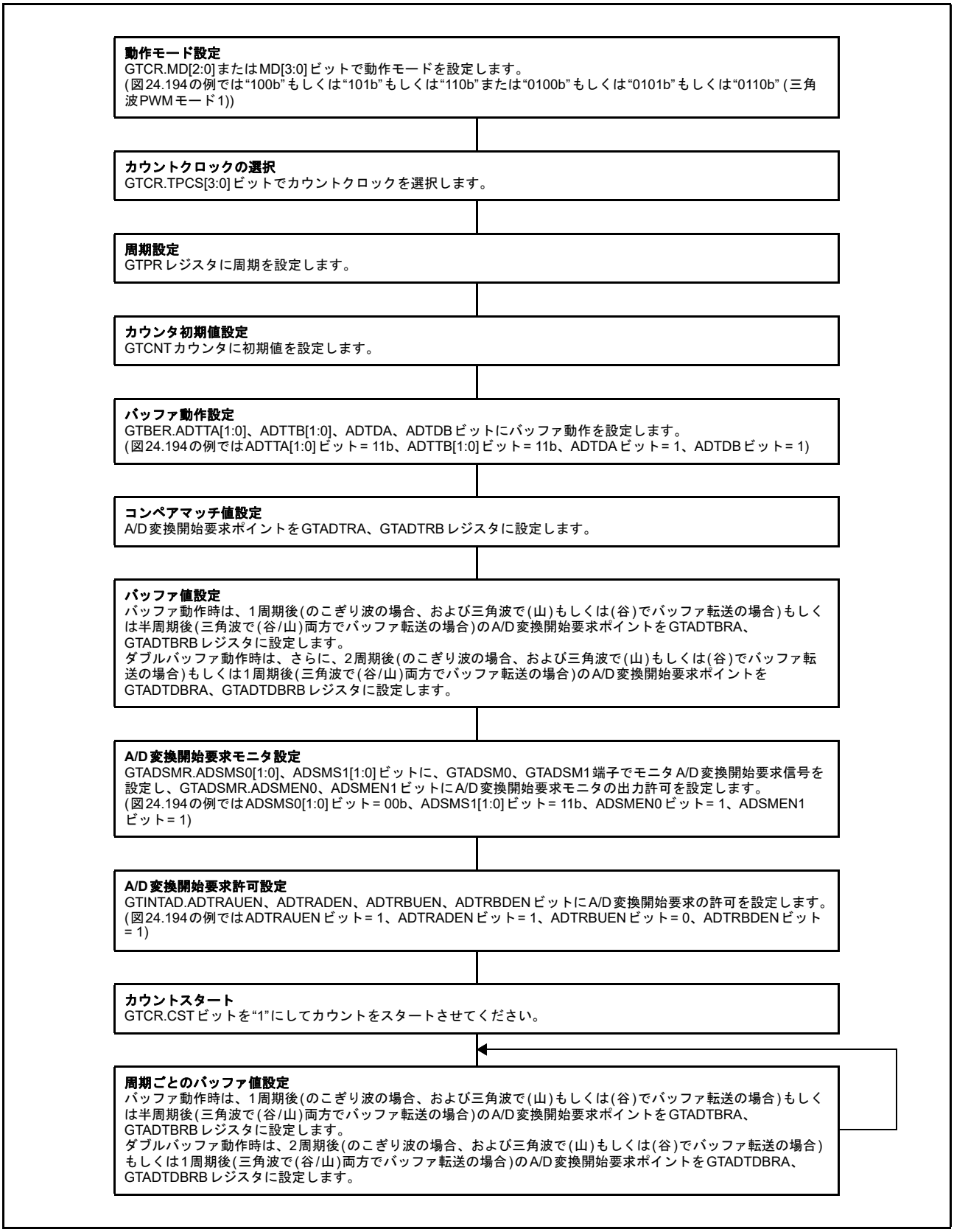


図 24.195 A/D 変換開始要求の動作設定例

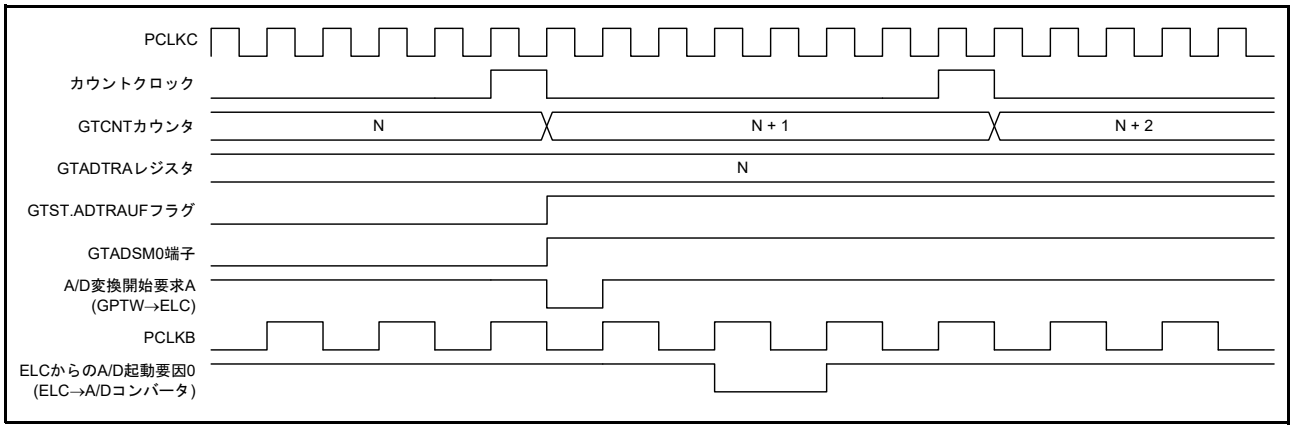


図 24.196 A/D 変換開始要求動作タイミング例

24.6 ELCによるリンク動作

24.6.1 ELCへのイベント信号出力

GPTWはイベントリンクコントローラ(ELC)により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、A/D変換開始要求を除いて、該当する割り込み要求許可ビットの設定に関係なく出力することができます。A/D変換開始要求は、ELCへの出力のA/D変換開始要求許可ビットによって、アップカウント時とダウンカウント時のA/D変換開始要求を個々に許可/禁止できます。

GPTWのELCへのイベント信号には、以下に示すように、チャネルごとの11本の信号と、共通信号が1本あります。デッドタイムエラー割り込みは、対応するイベント信号はありません。

- コンペアマッチA割り込みの発生
- コンペアマッチB割り込みの発生
- コンペアマッチC割り込みの発生
- コンペアマッチD割り込みの発生
- コンペアマッチE割り込みの発生
- コンペアマッチF割り込みの発生
- オーバフロー割り込みの発生
- アンダフロー割り込みの発生
- A/D変換開始要求Aの発生
- A/D変換開始要求Bの発生
- サイクルカウント終了
- GPTW(OPS)・UVW相入力エッジ検出

24.6.2 ELCからのイベント信号による動作

GPTWはELCから出力されるイベント要因A～Hまでの信号により、以下の動作が可能です。各イベント信号は全チャネルに供給され、動作に対するイベント要因の選択は、チャネル内の動作別要因セレクトレジスタで行います。

- カウントスタート/カウントストップ/カウンタクリア動作
- アップカウント/ダウンカウント動作
- インプットキャプチャA、B動作

各動作は、「24.3.1.1 **カウンタの動作**」におけるハードウェア要因による動作を参照してください。

24.7 ノイズフィルタ機能

GPTW のインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可 / 停止およびサンプリングクロックが設定可能です。

図 24.197 にノイズフィルタのタイミングチャートを示します。

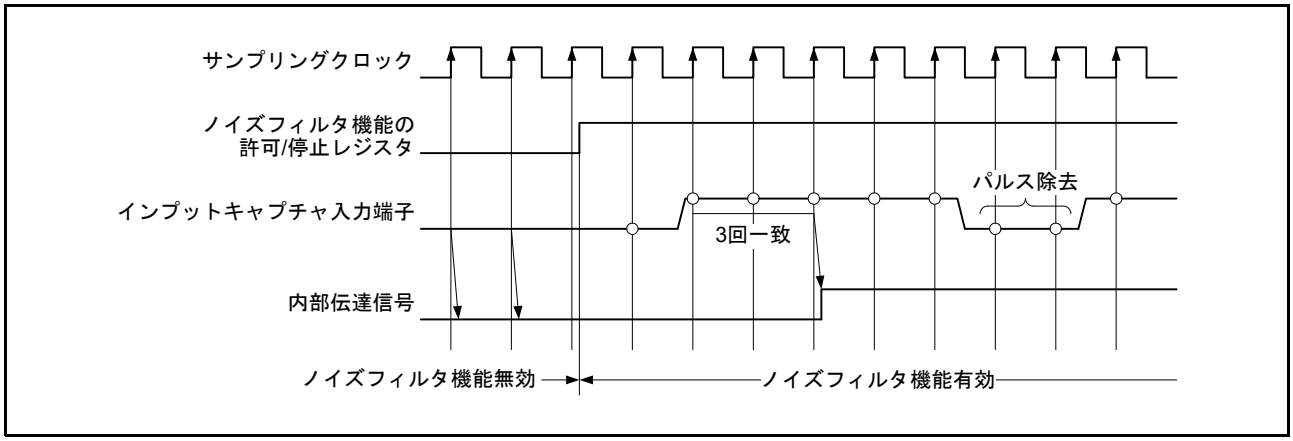


図 24.197 ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力に対するノイズフィルタリングによって最短で「サンプリングサイクル × 2 + PCLKC」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

24.8 保護機能

24.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防ぐために、GTWP.WP ビットの設定でレジスタへの書き込みをチャネルごとに許可 / 禁止することができます。

書き込み許可 / 禁止が可能なレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB, GTICLF, GTPC, GTADCMSC, GTADCMSS, GTBER2, GTOLBR, GTICCR

どのチャネルのレジスタを更新しても全チャネルを制御できる GTSTR、GTSTP、GTCLR レジスタは、それぞれ GTWP.STRWP、STPWP、CLRWP ビットの設定で、チャネル番号に対応するビットへの書き込みをチャネルごとに許可 / 禁止することで誤書き込みを防ぐことができます。

同様に全チャネルを制御できる GTSECSR、GTSECR レジスタは、GTWP.CMNWP ビットの設定で、チャネルごとにそのチャネルでの GTSECSR、GTSECR レジスタへの書き込みを許可 / 禁止することができます。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

24.8.2 バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBER.BD[0]、BD[1]、BD[2]、BD[3] ビットの設定でバッファ動作を禁止することができます。

バッファレジスタの書き込み前に BD[0]、BD[1]、BD[2]、BD[3] ビットの対応するビットを “1” (バッファ動作禁止) にしておき、すべてのバッファレジスタの書き込み終了後に “0” (バッファ動作許可) にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

BD[0]、BD[1]、BD[2]、BD[3] ビットの設定は、チャネルごとに直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャネルを GTSECR レジスタによって同時に設定する方法があります。

図 24.198 にチャネル 0 を例にしたバッファ動作の抑止動作例を示します。

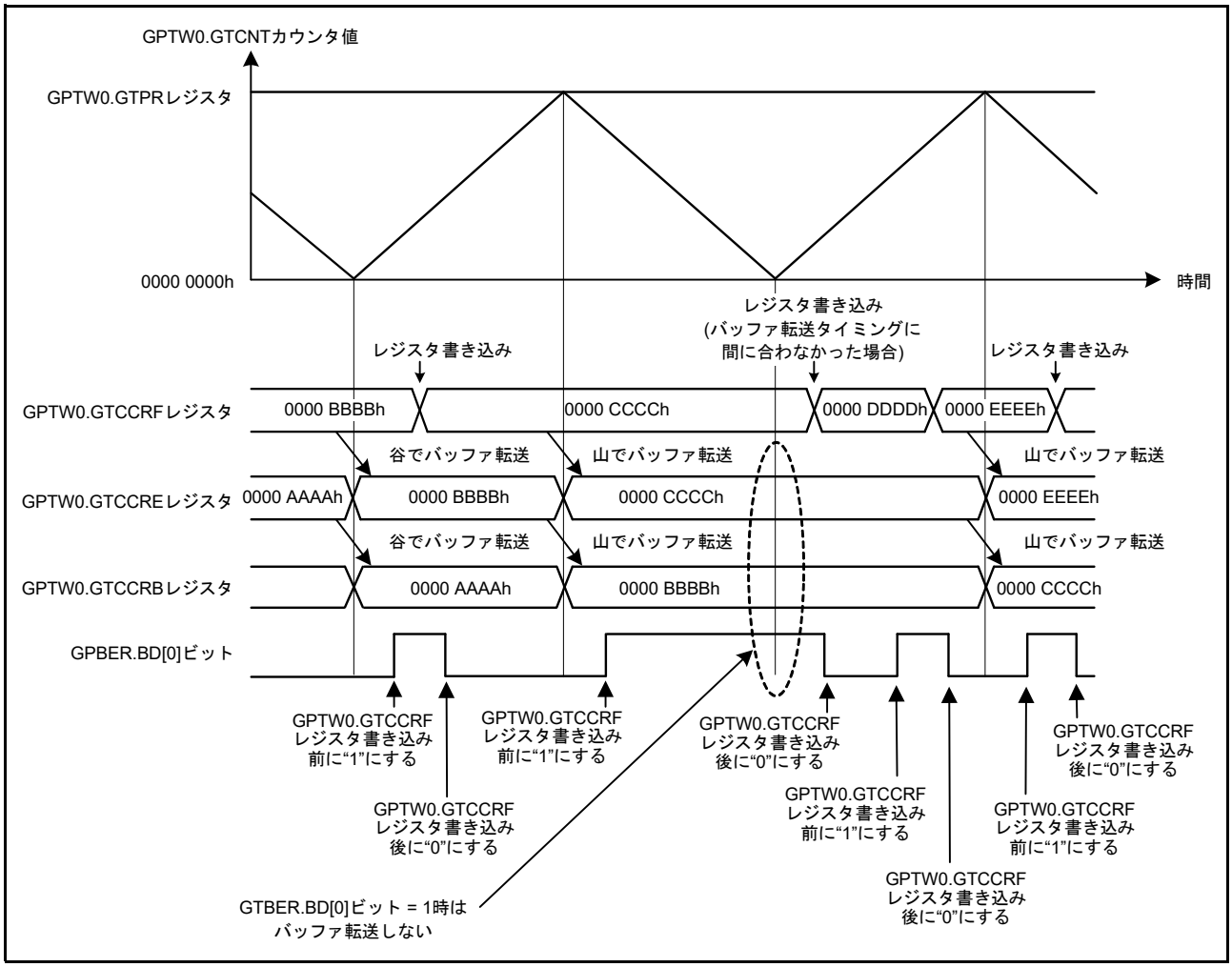


図 24.198 バッファ動作の抑止動作例 (三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送の場合)

24.8.2.1 バッファ動作の複数チャネル同時制御

GTBER.BD ビットの設定は、チャネルごとに直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャネルを GTSECR レジスタによって同時に設定する方法があります。

複数のチャネルの GTBER.BD ビットの同時設定は、以下の手順で実施してください。

(1) 同時設定するチャネルの選択 (GTSECSR レジスタの設定)

GTBER.BD ビットを同時に設定する対象となるチャネルに該当するビット位置が “1” となるように GTSECSR レジスタを設定してください。GTSECSR レジスタは、どのチャネルに書き込んでも、全てのチャネルの GTSECSR レジスタが更新されます。

(2) GTBER.BD ビットの同時設定 (GTSECR レジスタの更新)

同時に設定する GTBER.BD ビットの内容 (バッファ動作の禁止 / 許可) を GTSECR レジスタに設定してください。GTSECR レジスタは、どのチャネルに書き込んでも、GTSECSR レジスタで “1” となっているビットに対応する全てのチャネルの GTBER.BD ビットが、一斉に GTSECR レジスタへの書き込み値に従って、更新されます。**図 24.199**、**図 24.200** に複数のチャネルのバッファ動作の禁止 / 許可を同時に制御する動作例を示します。

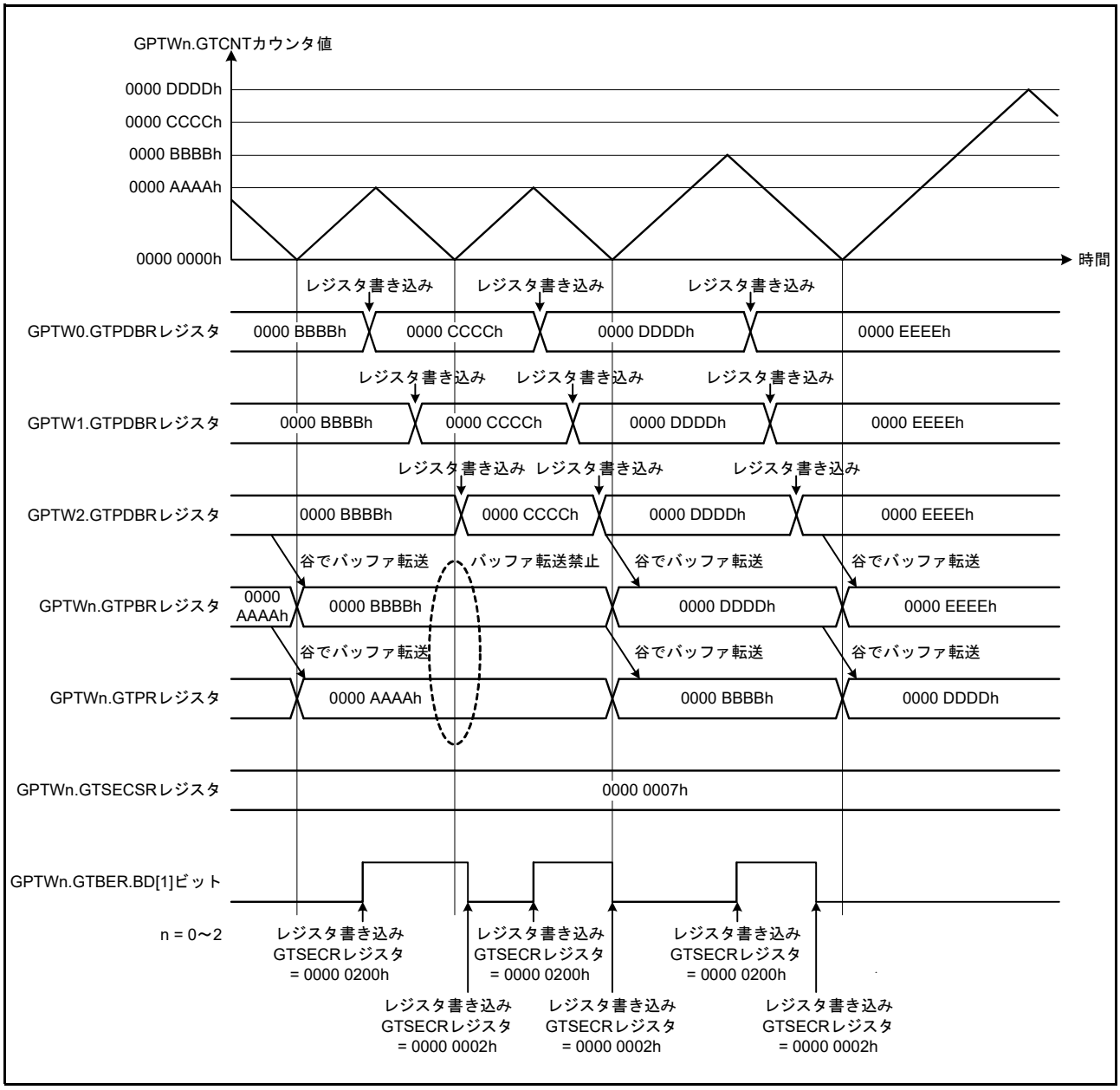


図 24.199 複数チャネルのバッファ動作の同時制御例 (三角波、ダブルバッファ動作の場合)

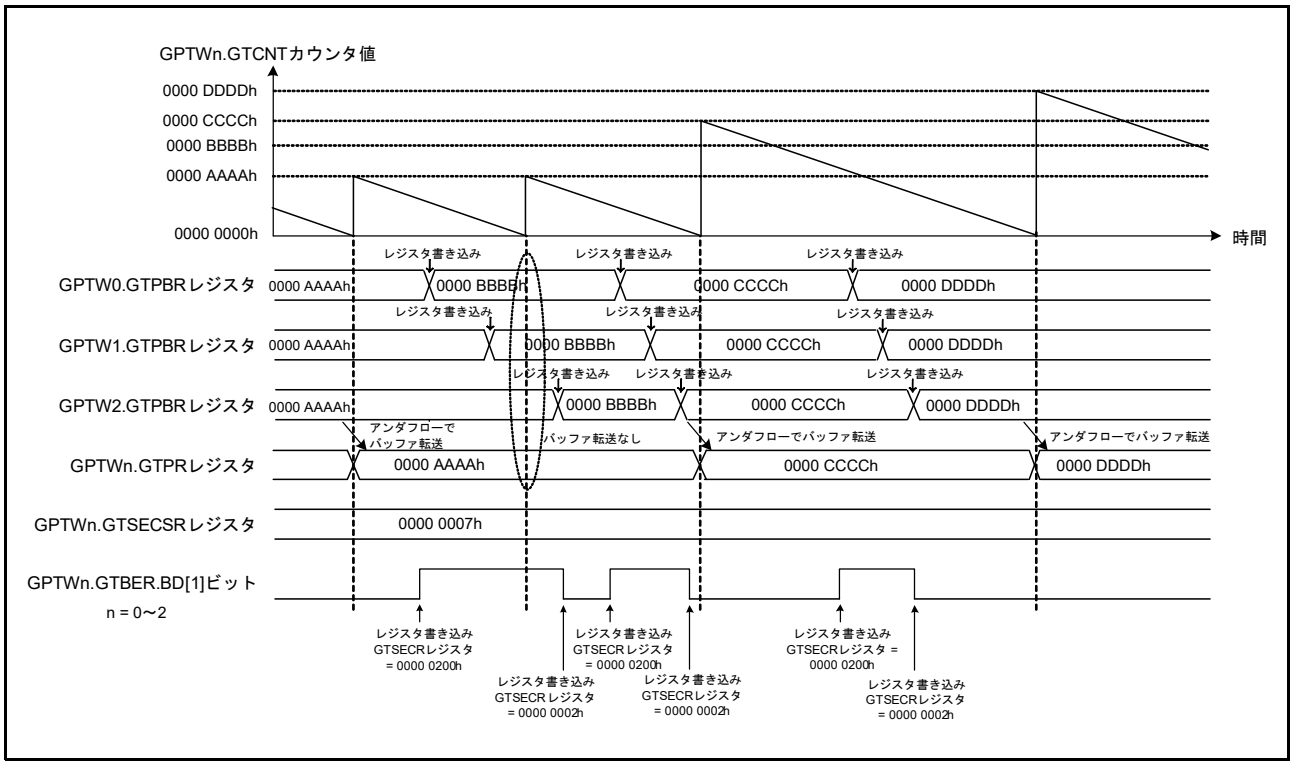


図 24.200 複数チャネルのバッファ動作の同時制御例 (のこぎり波、シングルルバッファ動作の場合)

24.8.2.2　GTCCRバッファ転送抑止時ダブルバッファリピート動作

のこぎり波ワンショットパルスモード、三角波PWMモード3を使用する場合、GTBER.DBRTECm (m = A, B) ビットに“1”を設定すると、GTBER.BD[0] ビットまたはバッファ転送拡張間引き機能によって、バッファ転送が抑止されている状態であっても、中間バッファからGTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します。

(1)　のこぎり波ワンショットパルスモードの場合

のこぎり波ワンショットパルスモードの場合、リピート動作時のコンペアマッチ値は、GTCCRx (x = C, E) レジスタの中間バッファとしてテンポラリレジスタx (x = C, E) に周期の前半のコンペアマッチ値、GTCCRy (y = D, F) レジスタの中間バッファとしてテンポラリレジスタm (m = A, B) に周期の後半のコンペアマッチ値がそれぞれ格納され、これらが交互にGTCCRm (m = A, B) レジスタに転送されます。

表24.41 にのこぎり波ワンショットパルスモードのカウント動作時におけるGTCCRバッファのバッファ転送を示します。カウント停止時、テンポラリレジスタへの値の設定は、強制バッファ転送によって行われます。強制バッファ転送では、テンポラリレジスタm (m = A, B) にはGTCCRy (y = D, F) レジスタ、テンポラリレジスタx (x = C, E) にはGTBER.DBRTECm (m = A, B) ビットが“1”の場合にGTCCRx (x = C, E) レジスタの値が、それぞれ転送されます。

また、GTBER.DBRTECm (m = A, B) ビットが“1”の場合、GTCCRm (m = A, B) レジスタへのCPU書き込みを行うと、テンポラリレジスタx (x = C, E) にも同じ値が書きこまれます。

表24.41　のこぎり波ワンショットパルスモードにおけるGTCCRバッファ動作

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタx	テンポラリレジスタx ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタm	テンポラリレジスタm ↓ GTCCRm
0	可能期間	オーバフロー/アンダフロー	転送なし	転送なし	オーバフロー/アンダフロー	GTCCRmコンペアマッチ
	抑止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	可能期間	オーバフロー/アンダフロー	オーバフロー/アンダフロー	転送なし	オーバフロー/アンダフロー	GTCCRmコンペアマッチ
	抑止期間	転送なし	転送なし	オーバフロー/アンダフロー	転送なし	GTCCRmコンペアマッチ

図24.201 に、のこぎり波ワンショットパルスモードでのGTCCRバッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を拡張バッファ転送間引きで生成した場合を示します。

図24.202 に、のこぎり波ワンショットパルスモードでのGTCCRバッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間をGTBER.BD[0] ビットの更新で生成した場合を示します。

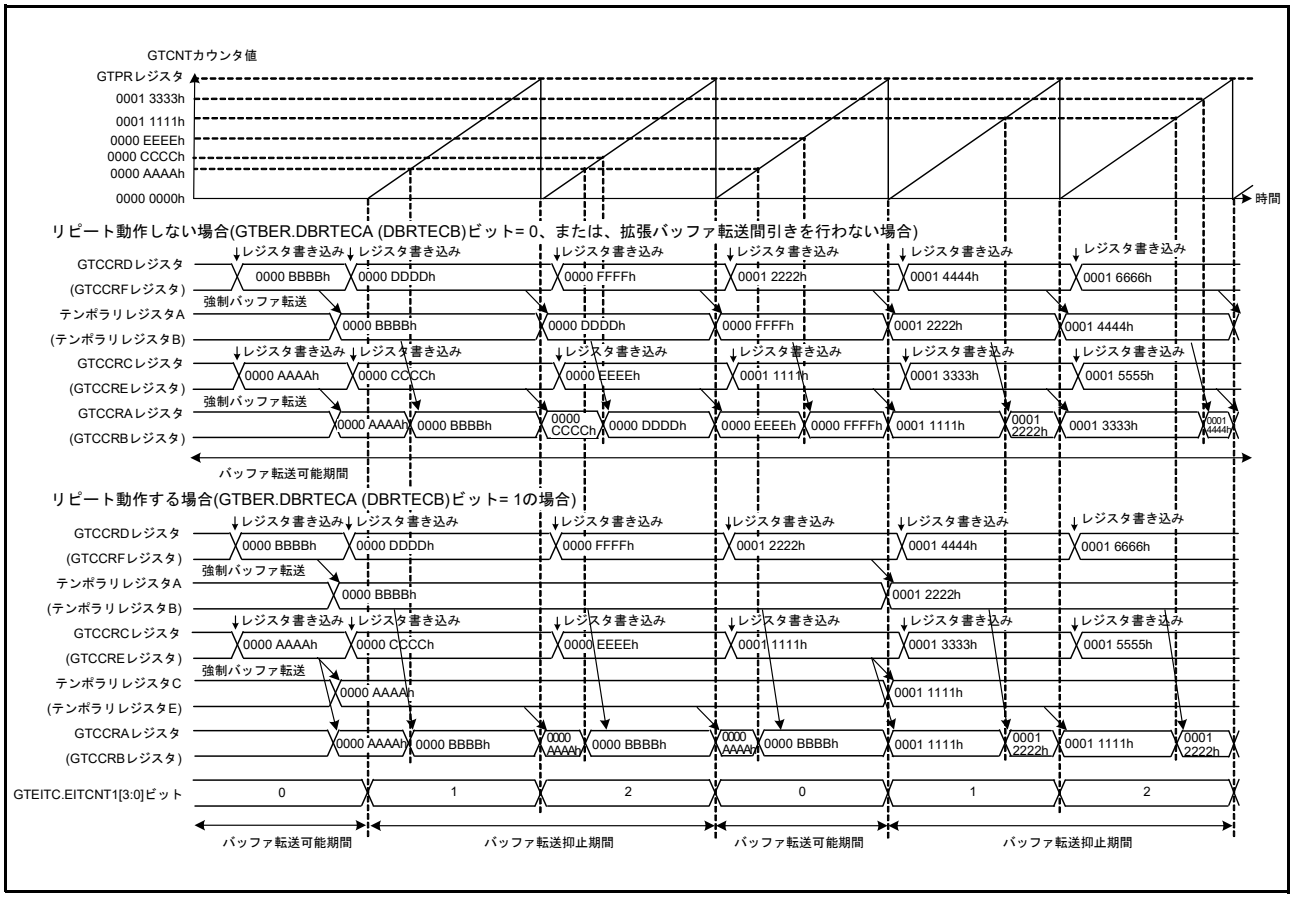


図 24.201 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (のこぎり波ワンショットパルスモード、拡張バッファ転送間引き使用、GTBER.BD[0] ビットは常時 “0” の場合)

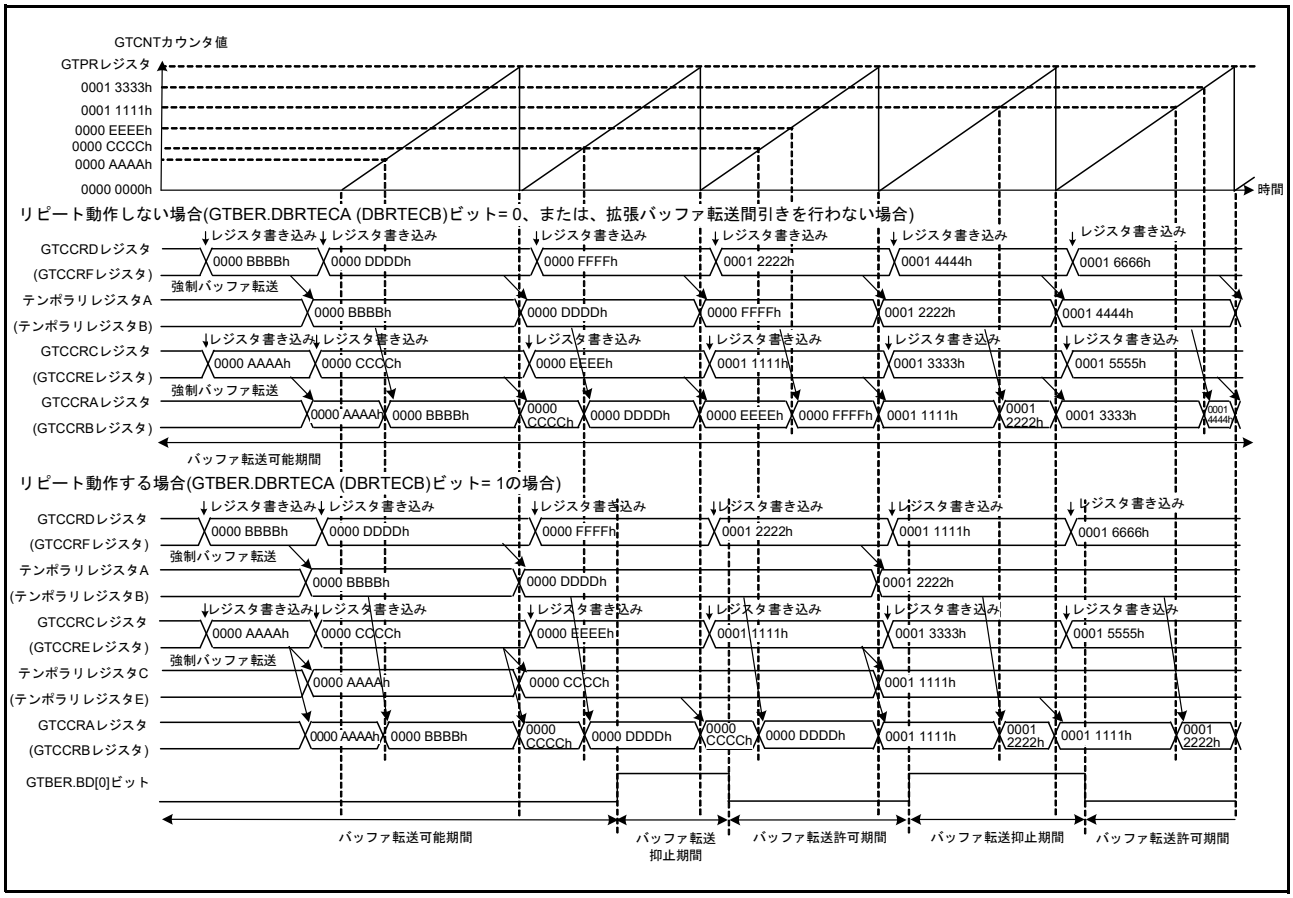


図 24.202 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (のこぎり波ワンショットパルスモード、GTBER.BD[0] ビットを更新する場合)

(2) 三角波 PWM モード 3 の場合

三角波 PWM モード 3 の場合、リピート動作時のコンペアマッチ値は、GTCCRx (x = C, E) レジスタの中間バッファとしてテンポラリレジスタ x (x = C, E) に周期の前半のコンペアマッチ値 GTCCRy (y = D, F) レジスタの中間バッファとしてテンポラリレジスタ m (m = A, B) に周期の後半のコンペアマッチ値がそれぞれ格納され、これらが交互に GTCCRm (m = A, B) レジスタに転送されます。

表 24.42 に三角波 PWM モード 3 のカウント動作時における GTCCR バッファのバッファ転送を示します。

カウント停止時、テンポラリレジスタへの値の設定は、強制バッファ転送によって行われます。強制バッファ転送では、テンポラリレジスタ m (m = A, B) には GTCCRy (y = D, F) レジスタ、テンポラリレジスタ x (x = C, E) には GTBER.DBRTECm (m = A, B) ビットが “1” の場合に GTCCRx (x = C, E) レジスタの値が、それぞれ転送されます。

また、GTBER.DBRTECm (m = A, B) ビットが “1” の場合、GTCCRm (m = A, B) レジスタへの CPU 書き込みを行うと、テンポラリレジスタ x (x = C, E) にも同じ値が書きこまれます。

表24.42　三角波PWMモード3におけるGTCCRバッファ動作

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタx	テンポラリレジスタx ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタm	テンポラリレジスタm ↓ GTCCRm
0	可能期間	谷	転送なし	転送なし	谷	山
	抑止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	可能期間	谷	谷	転送なし	谷	山
	抑止期間	転送なし	転送なし	谷	転送なし	山

図 24.203 に、三角波 PWM モード 3 での GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を拡張バッファ転送間引きで生成した場合を示します。

図 24.204 に、三角波 PWM モード 3 での GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を GTBER.BD[0] ビットの更新で生成した場合を示します。

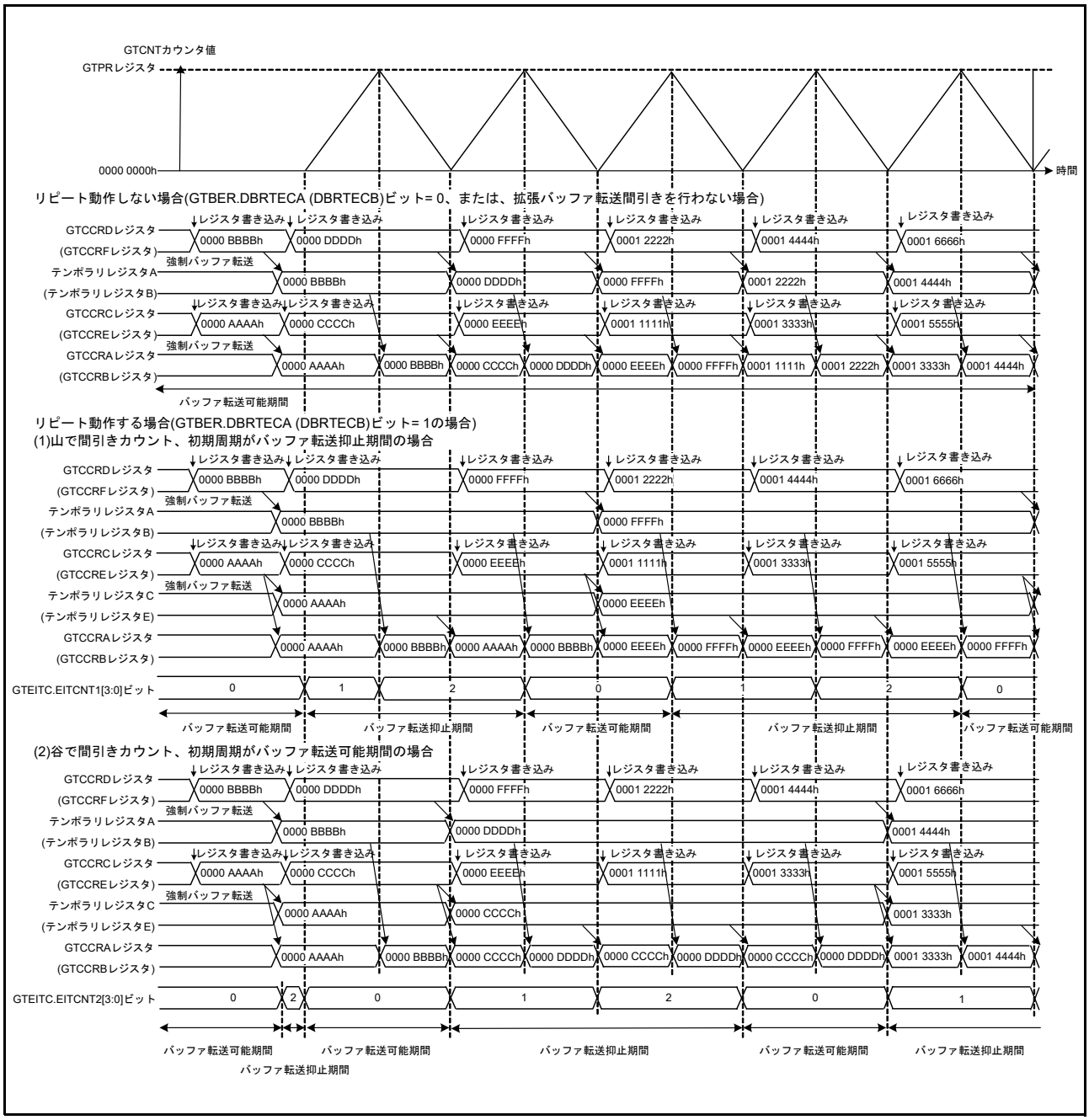


図 24.203 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (三角波 PWM モード 3、拡張バッファ転送間引き使用、GTBER.BD[0] ビットは常時 “0” の場合)

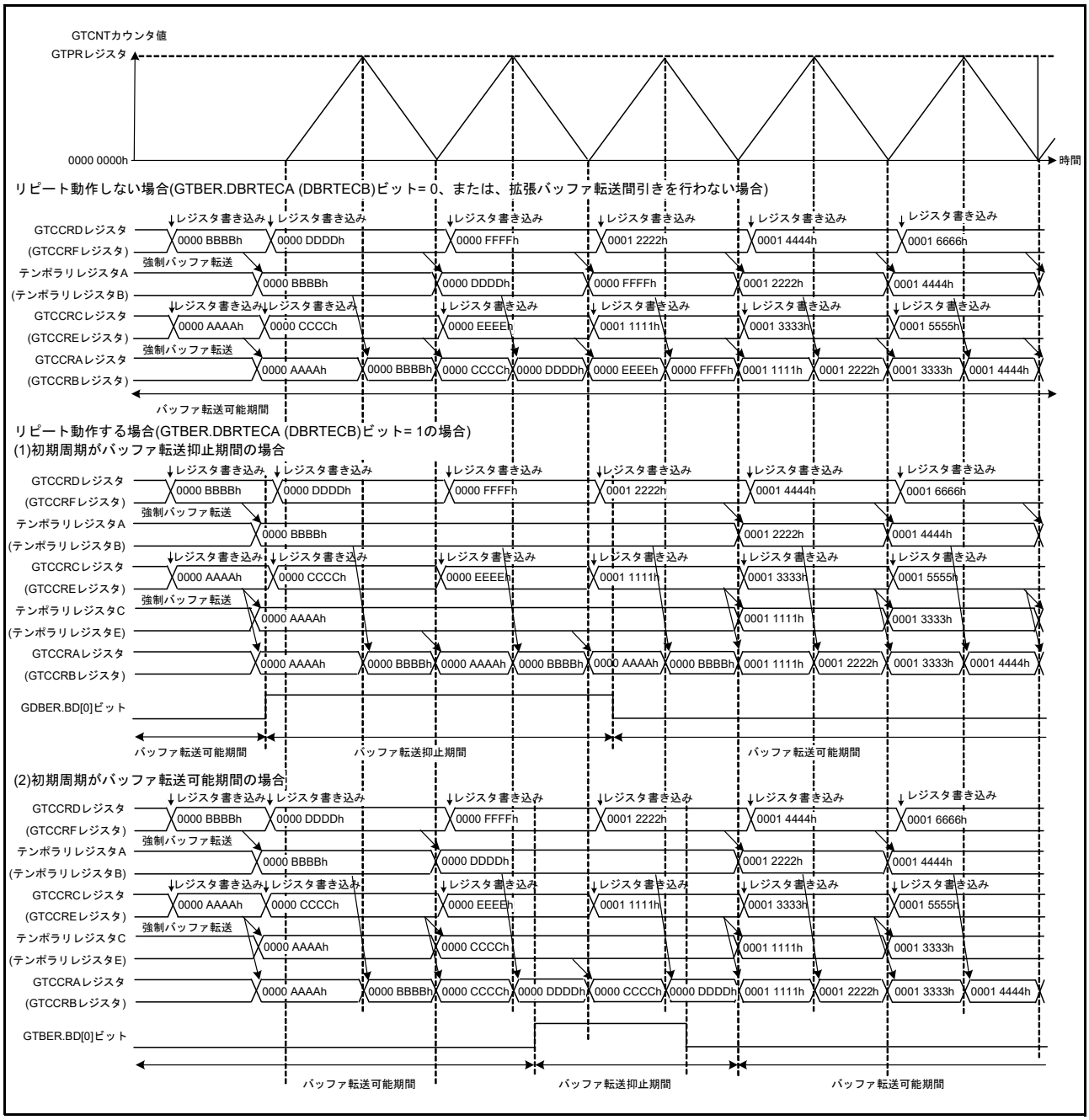


図 24.204 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (三角波 PWM モード 3、GTBER.BD[0] ビットを更新する場合)

24.8.3　GTIOCnm 端子出力の出力ネゲート制御 (n = 0 ～ 7、m = A, B)

システム異常時の保護のため、POEG からの出力停止要求によって、GTIOCnm 端子出力を強制的に変更する出力ネゲート制御を行うことができます。

出力保護が必要な状態として、デッドタイムエラーおよび GTIOCnA 端子と GTIOCnB 端子の出力値が同じ場合を検出して、GTINTAD.GRPDTE、GRPABH、GRPABL ビットの出力停止検出許可ビットの設定に従って GTINTAD.GRP[1:0] ビットで設定された POEG のグループに出力停止検出を出力します。POEG では、他の出力停止検出と論理和がとられたあと、POEG から GPTW に出力停止要求が出力されます。

GTINTAD.GRP[1:0] ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力停止要求信号として、POEG から入力される 4 グループの出力停止要求から 1 グループを選択することができます。選択された出力停止要求は、GTST.ODF フラグを読むことにより確認することができます。出力ネゲート制御時の出力状態は、GTIOCnA 端子は GTIOR.OADF[1:0] ビット、GTIOCnB 端子は GTIOR.OBDF[1:0] ビットで設定することができます。

POEG からの出力停止要求の発生による出力ネゲート状態への遷移は非同期で行いますが、出力停止要求の消滅による出力ネゲート状態の解除は、周期の終わりで行います。出力停止要求が消滅して出力ネゲート状態が解除されるのは、最短で 3 PCLKC 後です。確実な出力ネゲート制御を行うために、出力停止要求の消滅は、出力停止要求の発生から、4 PCLKC 以上後となるように POEG のフラグクリアを行ってください。

イベントカウント動作時、のこぎり波 PWM モード 2 動作時、および周期の終わりを待たずに出力ネゲート状態を解除したい場合は、GTIOCnA 端子は OADF[1:0] ビット、GTIOCnB 端子は OBDF[1:0] ビットを “00b” にしてください。

図 24.205 に GTIOCnm 端子出力の出力ネゲート制御動作を示します。

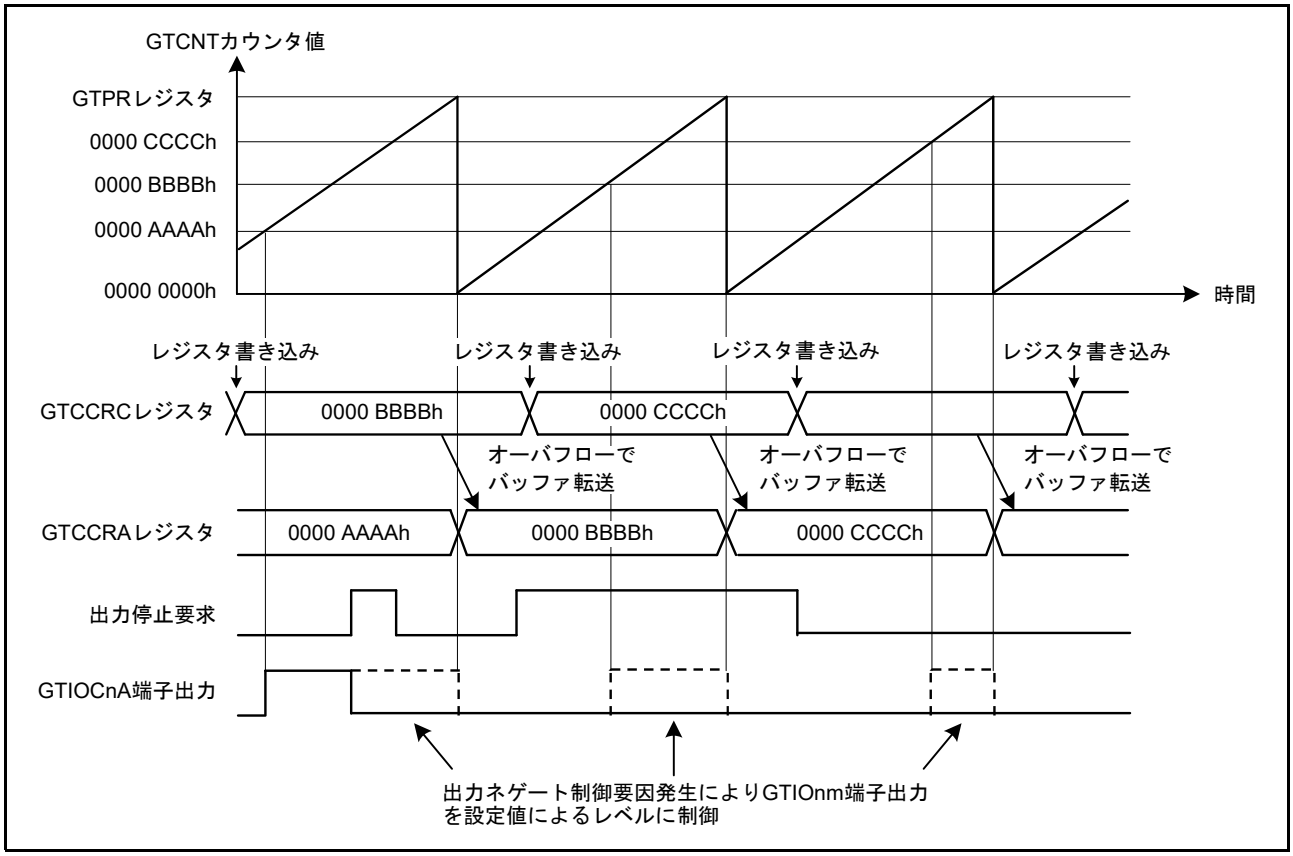


図 24.205　GTIOCnm 端子出力の出力ネゲート制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベルは High (GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力)、出力ネゲート時に Low 出力) (n = 0 ～ 7、m = A, B)

24.8.4　GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 7、m = A, B)

GTCCRA レジスタに異常値 (“0000 0000h” または GTPR レジスタ設定値以上の値) が設定された場合に備え、三角波 PWM モードでデッドタイム自動設定 (GTDTCR.TDE ビットが “1”) をしている場合、GTIOCnm 端子出力の出力保護機能 (抑止機能) が動作します。

出力保護機能の動作状態は、GTSOS.SOS[1:0] ビットで確認することができます。

図 24.206 に出力保護機能の状態遷移を示します。

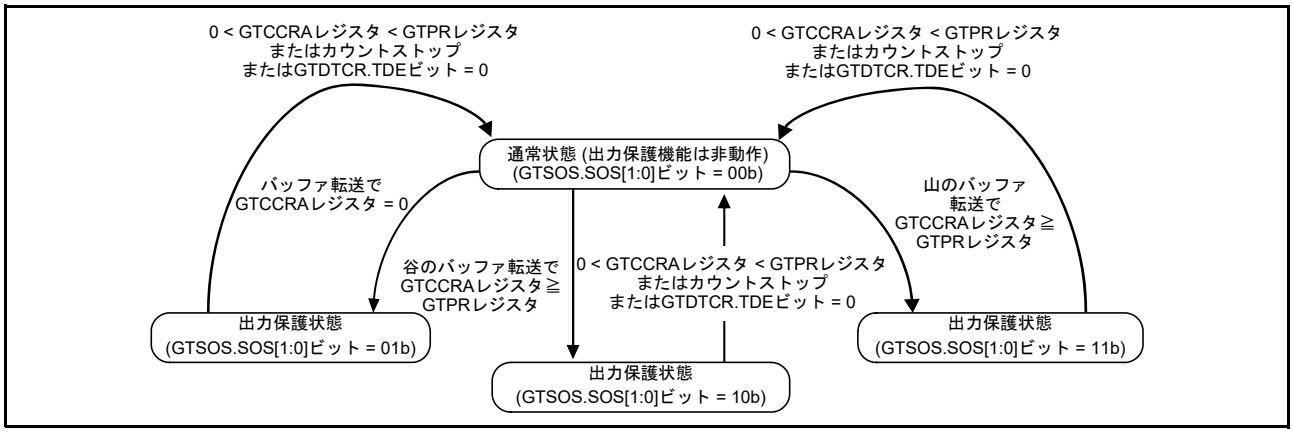
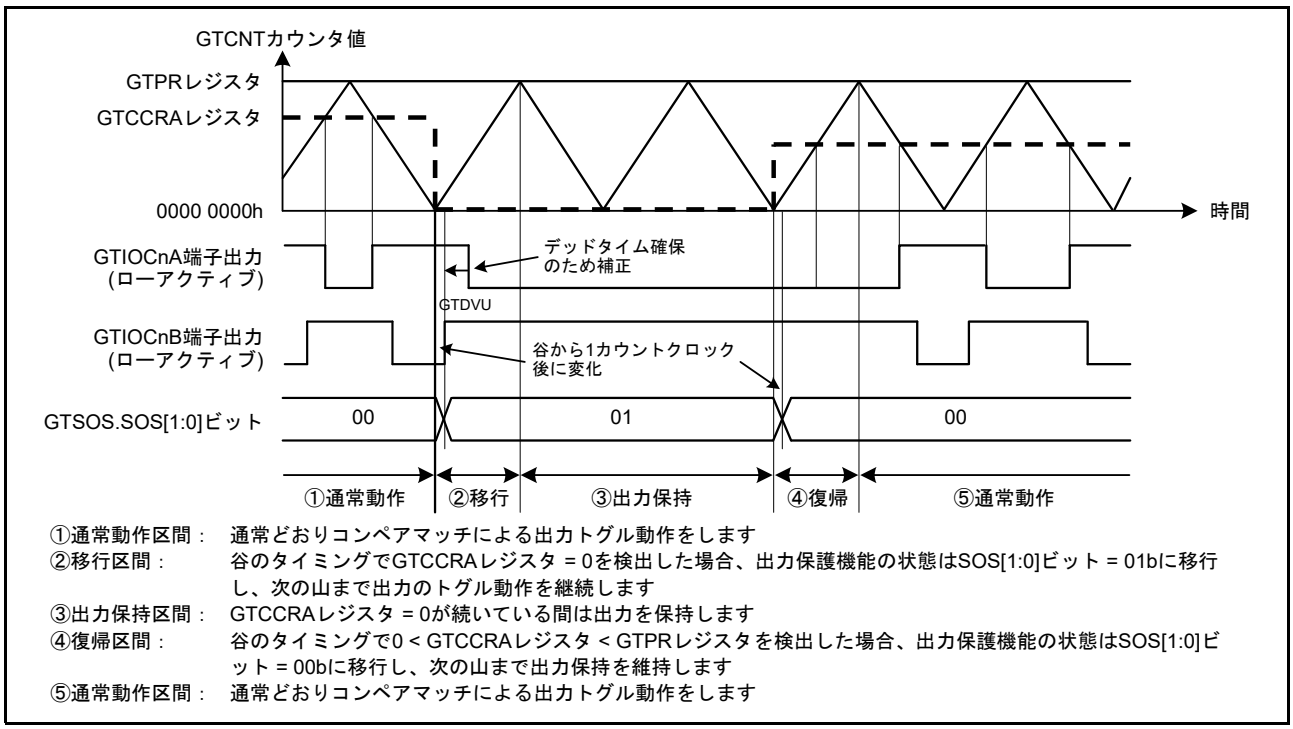


図 24.206　出力保護機能

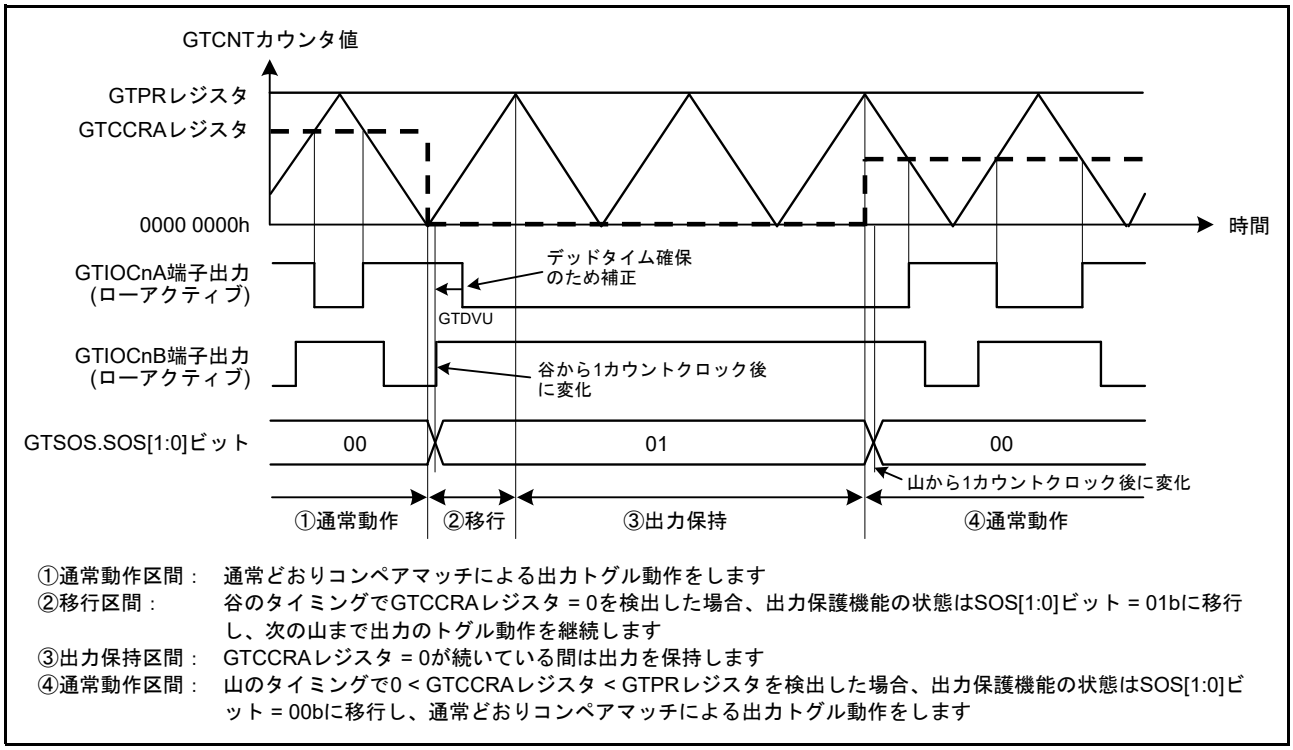
(1)　バッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能

図 24.207、図 24.208 に谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合、図 24.209、図 24.210 に山のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例を示します。



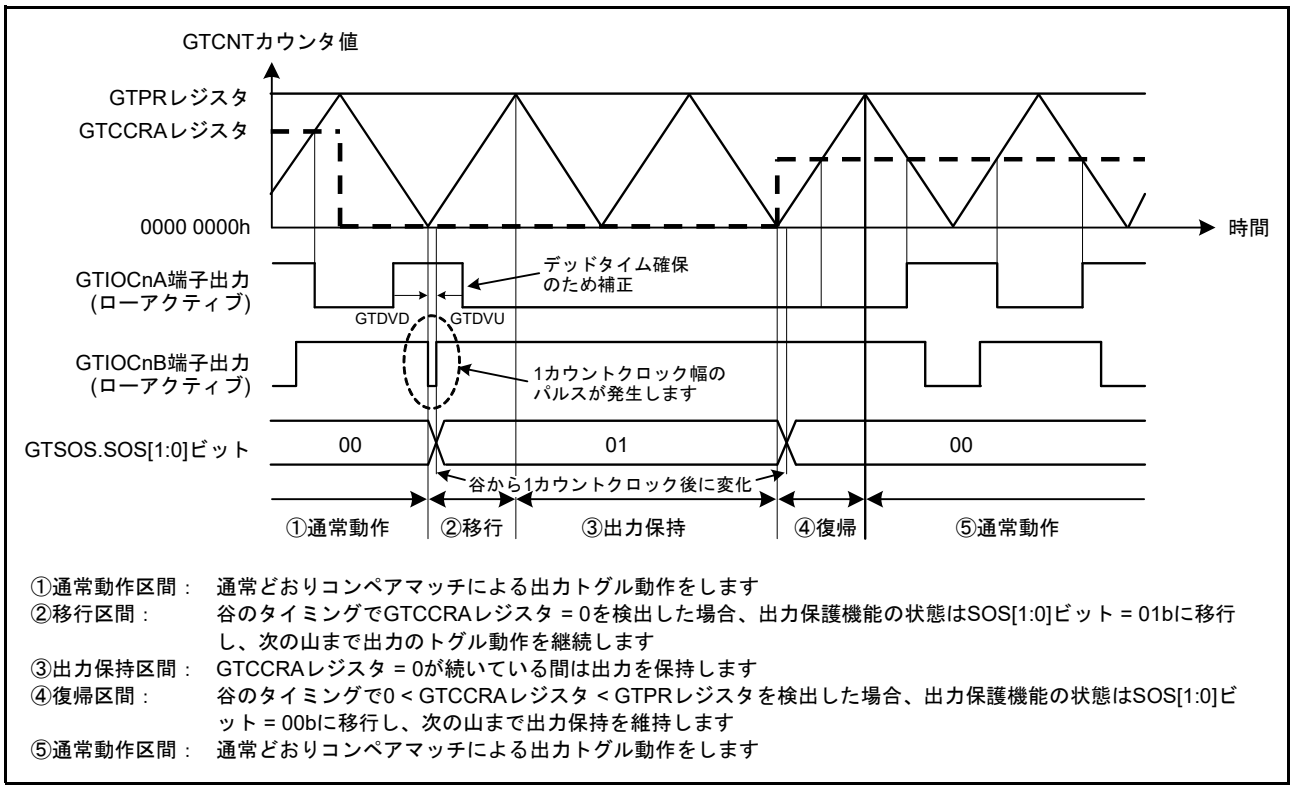
①通常動作区間：　通常どおりコンペアマッチによる出力トグル動作をします
②移行区間：　谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はSOS[1:0]ビット = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間：　GTCCRAレジスタ = 0が続いている間は出力を保持します
④復帰区間：　谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、次の山まで出力保持を維持します
⑤通常動作区間：　通常どおりコンペアマッチによる出力トグル動作をします

図 24.207　谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)



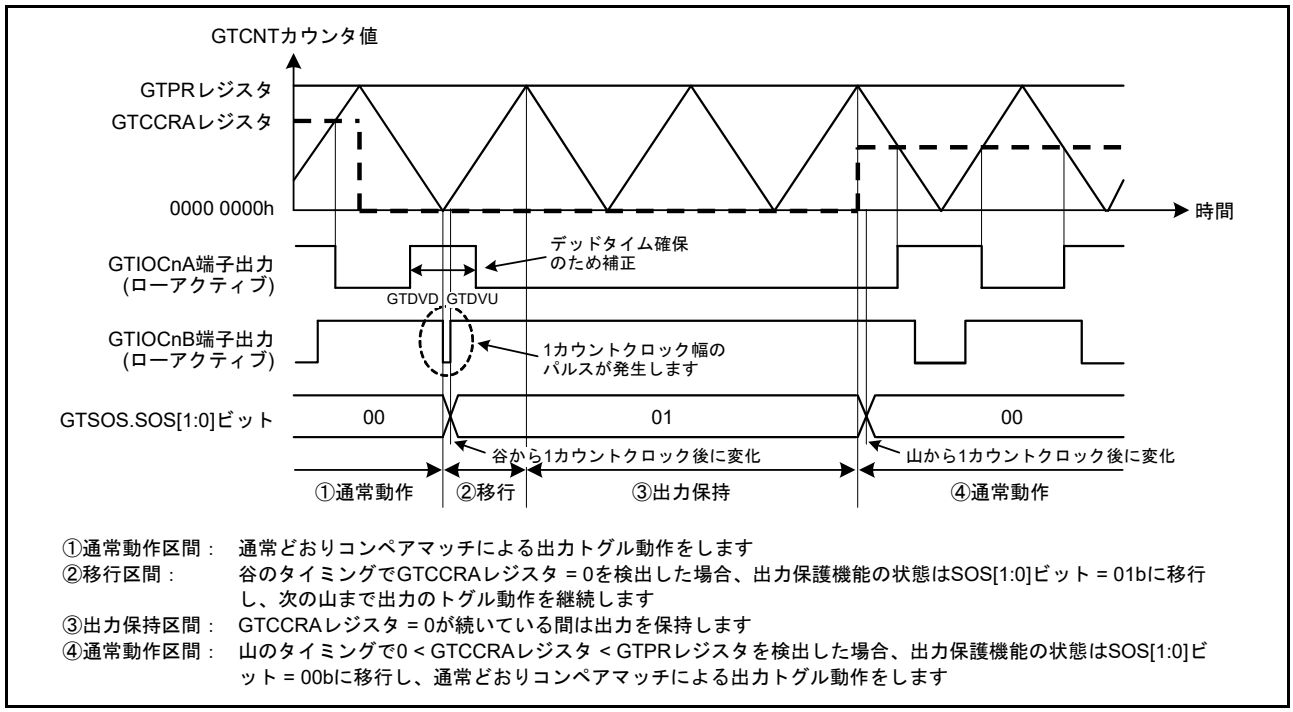
①通常動作区間：　通常どおりコンペアマッチによる出力トグル動作をします
②移行区間：　谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はSOS[1:0]ビット = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間：　GTCCRAレジスタ = 0が続いている間は出力を保持します
④通常動作区間：　山のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、通常どおりコンペアマッチによる出力トグル動作をします

図 24.208　谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)



①通常動作区間：　通常どおりコンペアマッチによる出力トグル動作をします
②移行区間：　谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はSOS[1:0]ビット = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間：　GTCCRAレジスタ = 0が続いている間は出力を保持します
④復帰区間：　谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、次の山まで出力保持を維持します
⑤通常動作区間：　通常どおりコンペアマッチによる出力トグル動作をします

図 24.209　山のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)

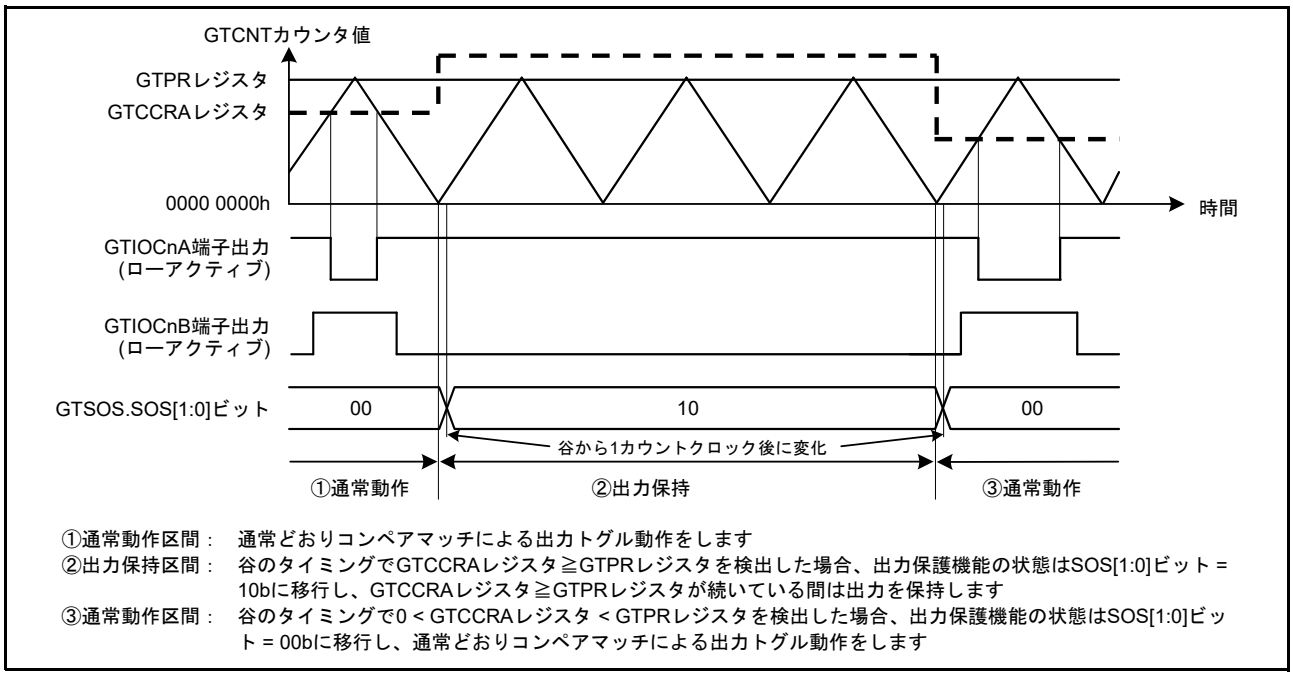


①通常動作区間：　通常どおりコンペアマッチによる出力トグル動作をします
②移行区間：　谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はSOS[1:0]ビット = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間：　GTCCRAレジスタ = 0が続いている間は出力を保持します
④通常動作区間：　山のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、通常どおりコンペアマッチによる出力トグル動作をします

図 24.210　山のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)

(2)　谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能

図 24.211、図 24.212 に谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例を示します。



①通常動作区間：　通常どおりコンペアマッチによる出力トグル動作をします
②出力保持区間：　谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 10bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します
③通常動作区間：　谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、通常どおりコンペアマッチによる出力トグル動作をします

図 24.211　谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)

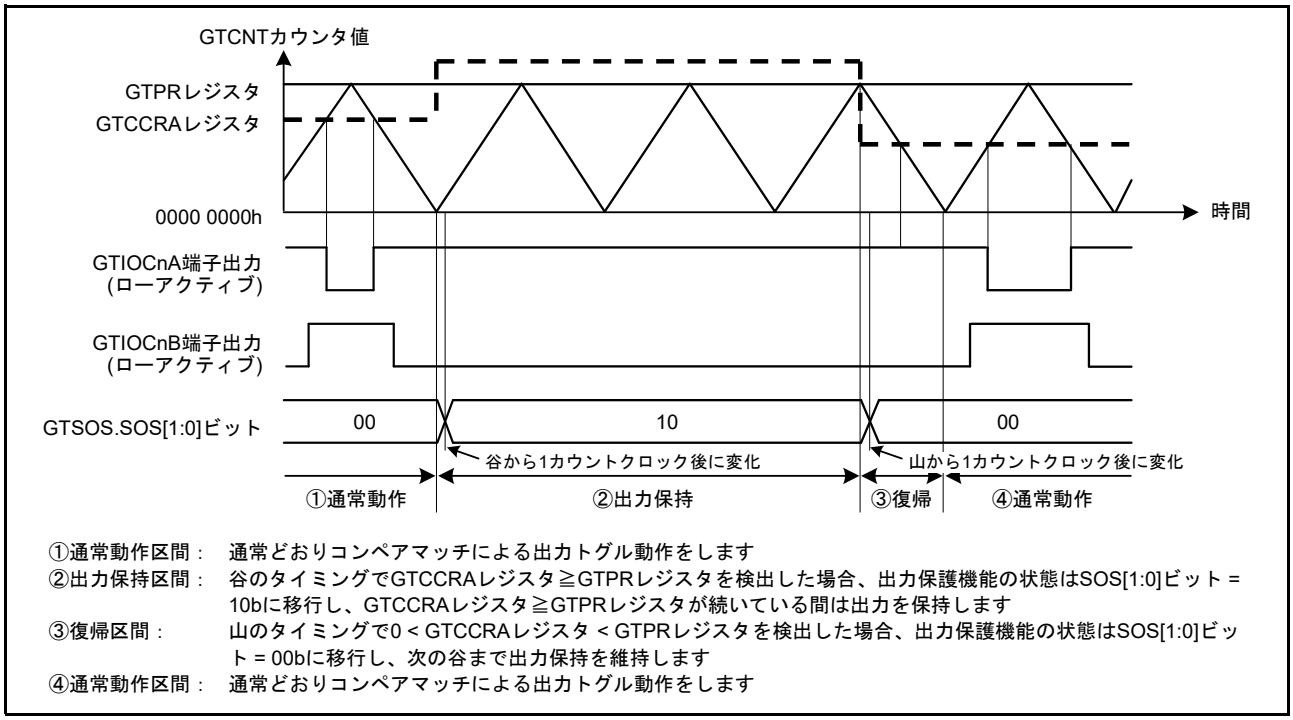


図 24.212　谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)

(3)　山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能

図 24.213、図 24.214 に山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例を示します。

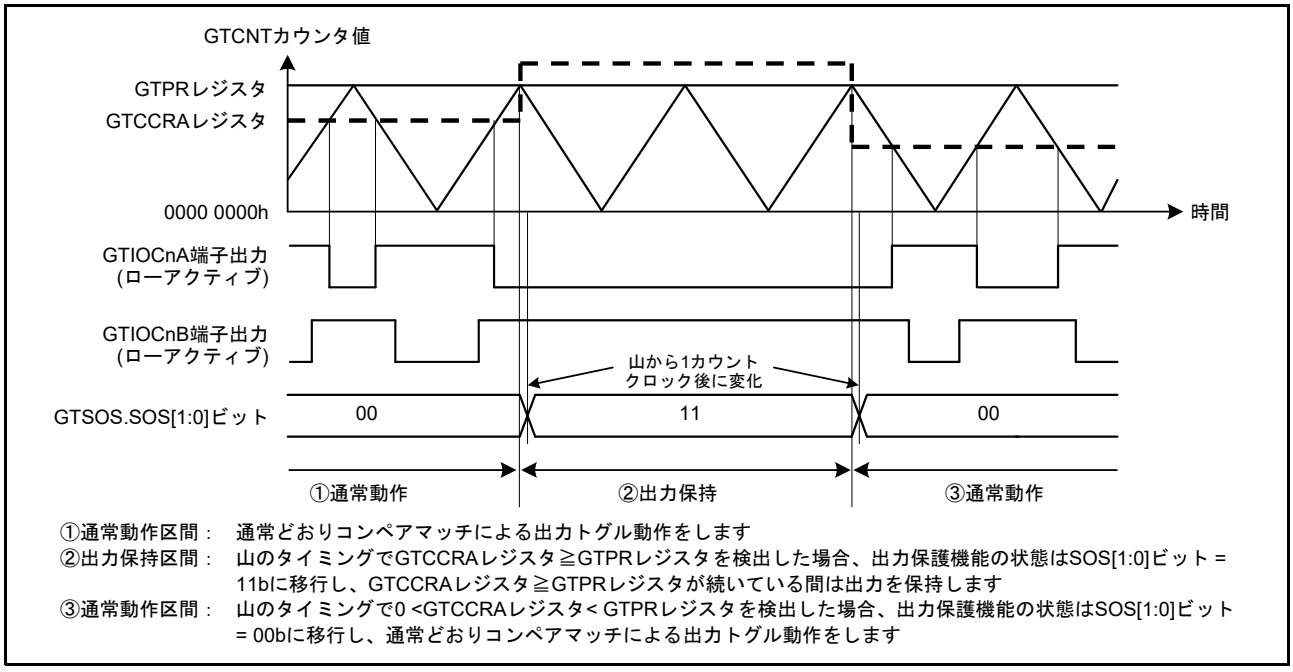


図 24.213　山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)

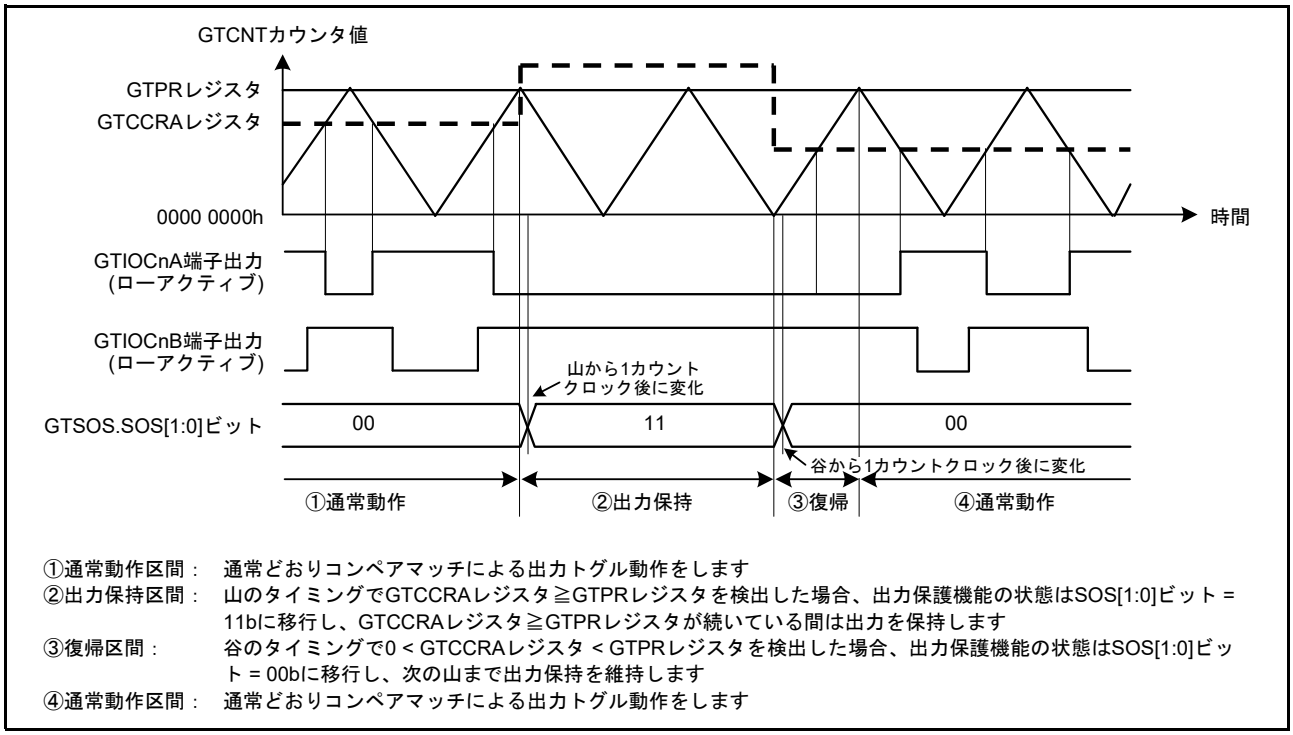


図 24.214 山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)

(4) 出力保護機能の注意事項

出力保護機能は、カウント動作中に GTCCRA レジスタに異常値 (“0000 0000h” または GTPR レジスタ設定値以上の値) が設定された場合にも正相 / 逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、下記の条件を満足しない場合、正常に機能しません。

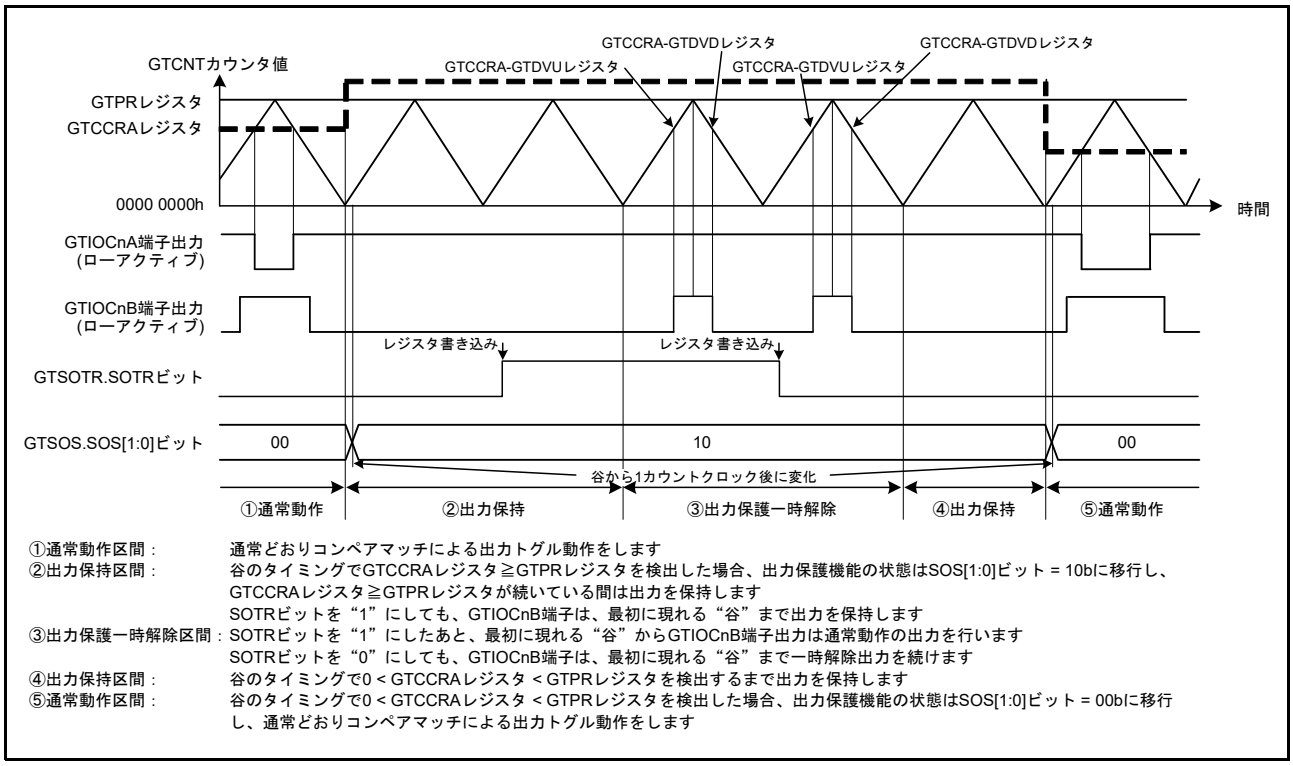
- カウント開始時の GTCCRA レジスタの値が “0000 0001h” 以上 GTPR レジスタ設定値未満

(5) 出力保護機能一時解除

GTSOS.SOS[1:0] ビットが “10b” (谷の転送で GTCCRA レジスタ≧ GTPR レジスタとなったことを示す保護状態) の場合、GTSOTR.SOTR ビットを “1” にすると、GTIOCnB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、SOS[1:0] ビットは “10b” を保持します。

また、SOTR ビットを “0” にすると、GTIOCnB 端子出力保護を再開できます。

図 24.215 に谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能一時解除の動作例を示します。



①通常動作区間： 通常どおりコンペアマッチによる出力トグル動作をします
②出力保持区間： 谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 10bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します
SOTRビットを“1”にしても、GTIOCnB端子は、最初に現れる“谷”まで出力を保持します
③出力保護一時解除区間： SOTRビットを“1”にしたあと、最初に現れる“谷”からGTIOCnB端子出力は通常動作の出力を行います
SOTRビットを“0”にしても、GTIOCnB端子は、最初に現れる“谷”まで一時解除出力を続けます
④出力保持区間： 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出するまで出力を保持します
⑤通常動作区間： 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、通常どおりコンペアマッチによる出力トグル動作をします

図 24.215 谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能一時解除の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 7)

24.9　出力端子の初期化方法

24.9.1　リセット後の端子設定

GPTW のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE、OBE ビットの設定によって、GPTW が外部端子に出力する初期設定を行った後、カウント動作を開始してください。

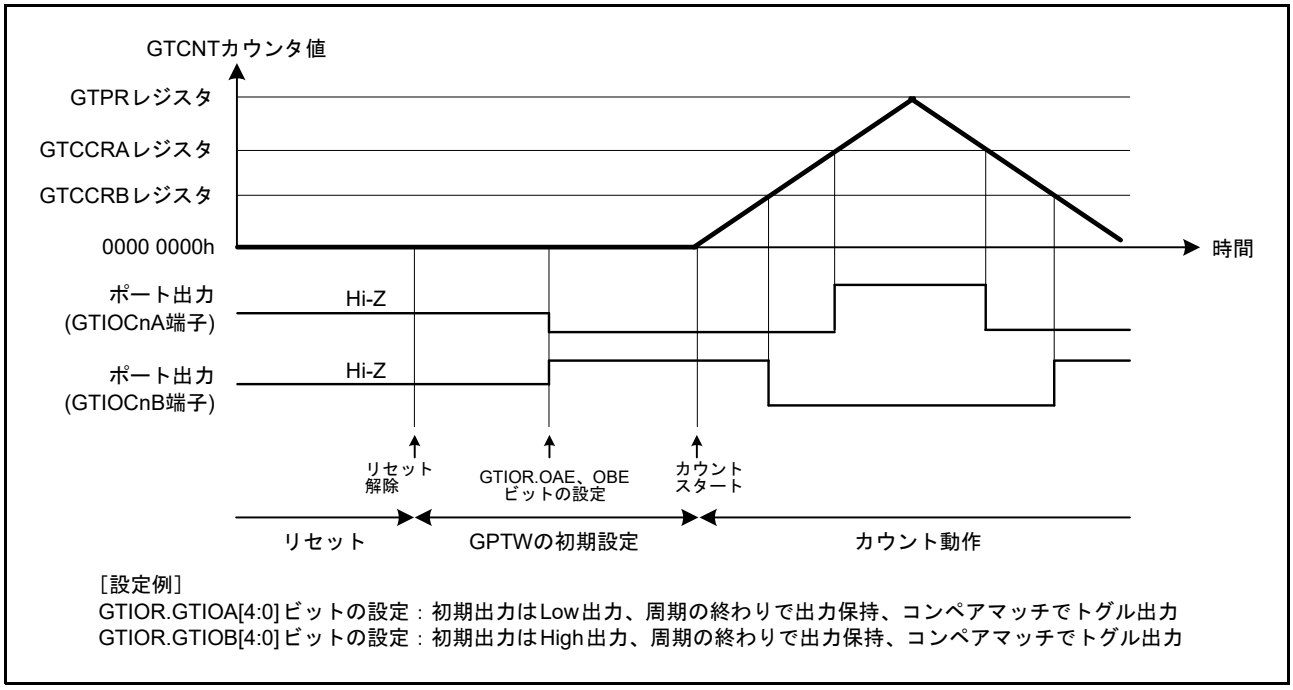


図 24.216　リセット後の端子設定例 (n = 0 ～ 7)

24.9.2　動作中の異常などによる端子の初期化

GPTW の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

(1) GTIOR.OAHLD、OBHLD ビットを “1” にしておき、カウントストップ時に出力を保持
(2) OAHLD、OBHLD ビットを “0” にし、GTIOR.OADFLT、OBDFLT ビットに任意の出力値を設定しておき、カウントストップ時に任意の値を出力
(3) あらかじめ I/O ポートの PDR、PODR レジスタと PMR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTIOR.OAE、OBE ビットを “0” に、PMR レジスタの当該端子の制御ビットを “0” にして、端子を汎用出力ポートとして任意の値を出力
(4) POEG 機能を使用し、出力をハイインピーダンス化

デッドタイムの自動設定を行っている場合は、カウントストップ後に GTDTCR.TDE ビットをいったん “0” にしてください。

カウントストップ時、GPTW 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作をストップした場合は、各レジスタを初期化してからカウント動作を再開してください。

24.10 使用上の注意事項

24.10.1 モジュールストップ機能の設定

GPTW は、モジュールストップコントロールレジスタにより、GPTW の動作禁止 / 許可を設定することが可能です。リセット後、GPTW は動作を停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「11. 消費電力低減機能」**を参照してください。

24.10.2 コンペアマッチ動作時の GTCCRm レジスタの設定 (m = A ～ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行っている場合

GTCCRA レジスタは、

GTCCRA レジスタ > GTDVU レジスタ

GTCCRA レジスタ > GTDVD レジスタ

GTCCRA レジスタ < GTPR レジスタ

を満たすように設定してください。

カウント動作中に GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタ設定値以上の値が設定されると出力保護機能が動作します。

ただし、下記の条件を満足しない場合、正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が “0000 0001h” 以上 GTPR レジスタ設定値未満

詳細は、**「24.8.4 GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 7、m = A, B)」**を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行っていない場合

GTCCRA レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRC、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：

  GTCCRC レジスタ < GTCCRD レジスタ

  GTCCRC レジスタ > GTDVU レジスタ

  GTCCRD レジスタ < GTPR レジスタ – GTDVD レジスタ

- ダウンカウント時：

  GTCCRC レジスタ > GTCCRD レジスタ

  GTCCRC レジスタ < GTPR レジスタ – GTDVU レジスタ

  GTCCRD レジスタ > GTDVD レジスタ

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC レジスタ < GTCCRD レジスタ < GTPR レジスタ
- ダウンカウント時：GTPR レジスタ > GTCCRC レジスタ > GTCCRD レジスタ > 0

同様に、GTCCRE、GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE レジスタ < GTCCRF レジスタ < GTPR レジスタ
- ダウンカウント時：GTPR レジスタ > GTCCRE レジスタ > GTCCRF レジスタ > 0

(5) のこぎり波 PWM モード 1 の場合

GTCCRA レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

(6) 相補 PWM モード 1、2、3 の場合

GTCCRn レジスタには、“0000 0000h” 以上、(GTPR レジスタ + GTDVU レジスタ) 以下の値を設定してください。

(7) 相補 PWM モード 4 の場合

シングルバッファ動作時、GTCCRn レジスタには、“0000 0000h” 以上、(GTPR レジスタ + GTDVU レジスタ) 以下の値を設定してください。

ダブルバッファ動作時、GTCCRn レジスタには、GTDVU レジスタよりも大きく、GTPR レジスタより小さい値を設定してください。

24.10.3 相補 PWM モード中の GTPBR、GTPDBR レジスタの設定範囲

相補 PWM モード 1、3、4 で山区間の終わりで GTPR レジスタのバッファ転送が発生する場合、転送後の GTPR レジスタが、下記の範囲になるように GTPBR、GTPDBR レジスタを設定してください。

山区間の終わりのマスタチャネルの GTCNT カウンタ (転送前の GTPR レジスタ − GTDVU レジスタ) より小さくならない範囲 (GTPBR レジスタ≧ GTPR レジスタ − GTDVU レジスタ、GTPDBR レジスタ≧ GTPR レジスタ − GTDVU レジスタ)。

谷区間の終わりかカウンタクリアで GTPR レジスタをバッファ転送する場合、GTPBR、GTPDBR レジスタの設定範囲に制限はありません。

24.10.4 GTCNT カウンタ値の設定範囲

のこぎり波 PWM モード 2 および相補 PWM モード以外の動作モードの場合、GTCNT カウンタは、0 ≦ GTCNT カウンタ≦ GTPR レジスタの範囲内に設定してください。

24.10.5 GTCNT カウンタのスタート / ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート / ストップの制御は、GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期しています。CST ビットが更新されてから TPCS[3:0] ビットで選択されたカウントクロック後に、GTCNT カウンタはスタート / ストップするので、実際に GTCNT カウンタがスタートするまでのイベントは無視され、CST ビットが “0” になったあとにイベントを受け付けたり、割り込みが発生する場合があります。

24.10.6 イベントの優先順序

(1) GTCNT カウンタ

GTCNT カウンタを更新するイベントの優先順序を示します。

表 24.43 GTCNT カウンタ更新の優先順序

GTCNT カウンタの更新要因	優先順序
CPU 書き込み (GTCNT カウンタ書き込み / GTCLR レジスタ書き込み)	高 ↑ 低
GTCSR レジスタで設定されたハードウェア要因によるクリア	
GTUPSR、GTDNSR レジスタで設定されたハードウェア要因によるカウントアップ / カウントダウン	
カウント動作	

GTUPSR レジスタによるカウントアップと GTDNSR レジスタによるカウントダウンが競合した場合は、カウンタの値は更新されません。

GTCNT カウンタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(2) GTCR.CST ビット

GTSSR、GTPSR レジスタで設定されたハードウェア要因によるスタート / ストップと CPU 書き込み (GTCR レジスタ書き込み /GTSTR レジスタ書き込み /GTSTP レジスタ書き込み) が競合した場合、CPU 書き込みが優先されます。

サイクルカウント機能によるストップと CPU 書き込み (GTCR レジスタ書き込み /GTSTR レジスタ書き込み) によるスタートが競合した場合、サイクルカウント機能は GTST.PCF フラグをセットして動作を終了しますが、CST ビットの状態は変わらず、カウントを継続します。

GTSSR レジスタで設定されたハードウェア要因によるスタートと GTPSR レジスタで設定されたハードウェア要因によるストップが競合した場合は、CST ビットの状態は変わりません。

CST ビットの更新と CPU 読み出し (GTCR レジスタ読み出し /GTSTR レジスタ読み出し /GTSTP レジスタ読み出し) が競合した場合、更新前のデータが読めます。

(3) GTCCRm レジスタ (m = A ～ F)

GTCCRm レジスタへの書き込みとインプットキャプチャ / バッファ転送が競合した場合、インプットキャプチャ / バッファ転送より GTCCRm レジスタへの書き込みが優先されます。

インプットキャプチャとカウンタへの CPU 書き込みまたはハードウェア要因によるカウンタの更新が競合した場合、更新前のカウンタの値がキャプチャされます。

GTCCRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(4) GTPR レジスタ

バッファ転送と GTPR レジスタへの書き込みが競合した場合、バッファ転送より GTPR レジスタへの書き込みが優先されます。

GTPR レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(5) GTADTRm レジスタ (m = A, B)

バッファ転送と GTADTRm レジスタへの書き込みが競合した場合、バッファ転送より GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(6) GTDVm レジスタ (m = U, D)

バッファ転送と GTDVm レジスタへの書き込みが競合した場合、バッファ転送より GTDVm レジスタへの書き込みが優先されます。

GTDVm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(7) GTIOR.GTIOm ビット (m = A, B)

バッファ転送と GTIOR.GTIOm ビットへの書き込みが競合した場合、バッファ転送より GTIOR.GTIOm ビットへの書き込みが優先されます。

GTIOR.GTIOm ビットの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

24.10.7 相補 PWM モード動作中のカウンタクリアに関する注意事項

相補 PWM モード動作中にカウンタクリアをする場合、谷区間の終わり (初期出力区間の終わりを含む) でカウンタクリアは禁止です。

相補 PWM モードでカウンタクリアをする場合、「24.3.8.3 チャネル間連携による同期クリア動作」で説明しているコンペアマッチ要因による同期クリアを使用することで、他のチャネルのコンペアマッチ設定により初期出力区間および谷区間の終わりでのカウンタクリアを回避することが可能です。その他のカウンタクリアを使用する場合、谷区間の終わり (初期出力区間の終わりを含む) でカウンタクリアが発生しないようにタイミングを調整してください。

24.10.8 相補 PWM モードで同期クリア後の PWM 初期出力を抑止する際の注意事項

GTIOR.CPSCIR ビット = 1 に設定し、相補 PWM モードの谷区間での同期クリア後の GTIOCnA、GTIOCnB 端子の初期出力抑止を有効にする場合、コンペアマッチレジスタ (GTCCRA, GTCCRC, GTCCRD, GTCCRE, GTCCRF) の設定値は GTDVU レジスタの 2 倍より大きな値に設定してください。

25. 高分解能 PWM 波形生成回路 (HRPWM)

25.1 概要

本 MCU は、GPTW0 ～ GPTW3 が生成する PWM 波形を最小約 260 ps の分解能で整形する高分解能 PWM 波形生成回路 (HRPWM) を内蔵しています。HRPWM を使用することにより、変換効率の高いデジタル電源制御などが実現可能です。**表 25.1** に HRPWM の仕様、**図 25.1** に HRPWM のブロック図、**表 25.2** に HRPWM の入出力端子を示します。

表25.1　HRPWMの仕様

項目	内容
機能	• 最大4チャネルの相補PWM波形を高分解能化 • DLL (Delay Locked Loop)回路により、PCLKC周期の1/32 (最小約260 ps)の高分解能を実現 • PWM波形の立ち上がり、および立ち下がりタイミングを個別に調整可能 (注1) • HRPWMをバイパスしてGPTWが生成した波形をそのまま出力することも可能
動作周波数(f(PCLKC))	80～120 MHz

注1.　調整はGPTW0～GPTW3から出力されるPWM信号の立ち上がり、または立ち下がりタイミングをPCLKC周期の1/32の分解能で遅延させることで実現しています。

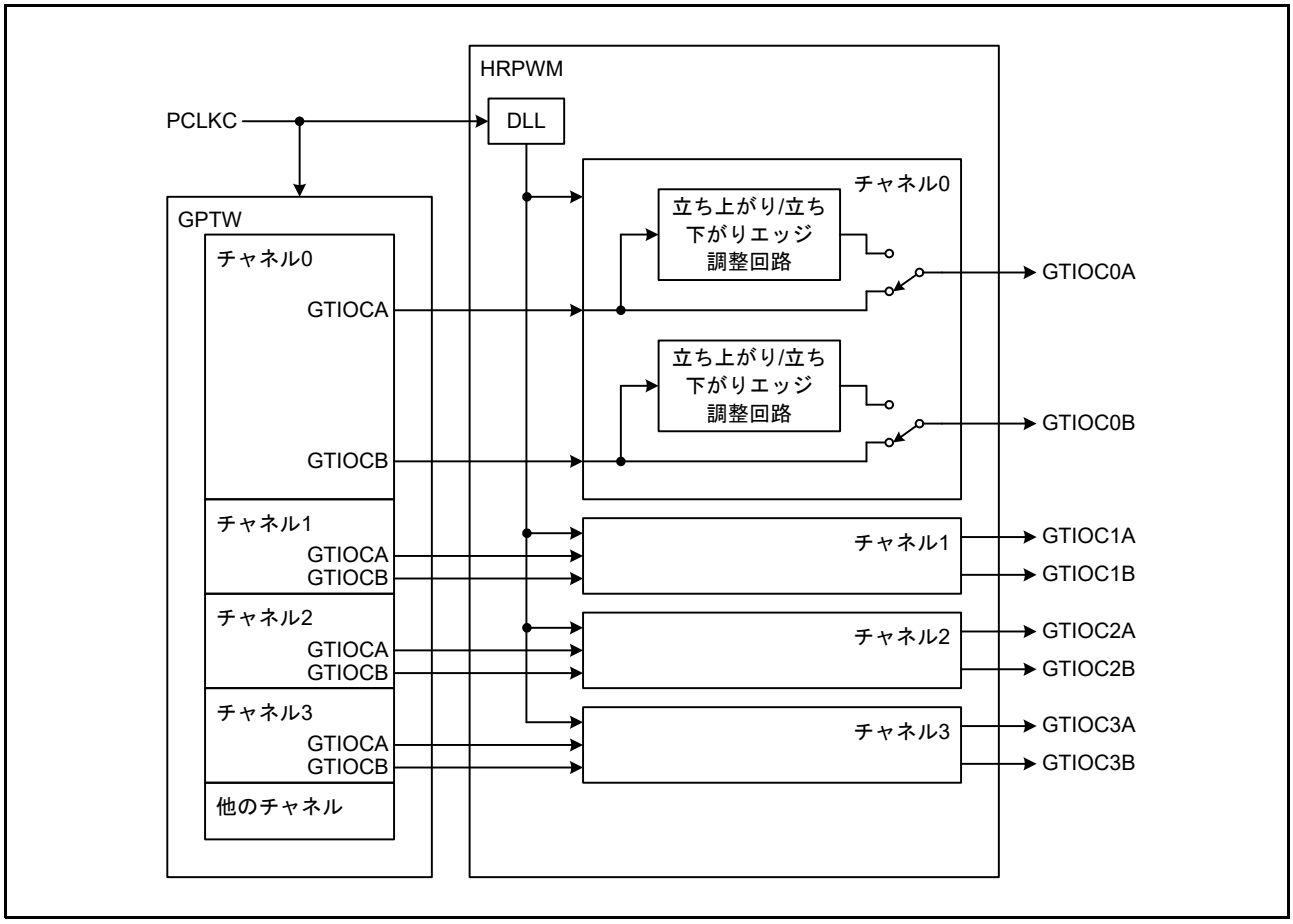


図 25.1　HRPWM のブロック図

表25.2 HRPWMの入出力端子

端子名	入出力	機能
GTIOC0A	出力	GPTW0が生成するPWM波形の高分解能化出力
GTIOC0B	出力	GPTW0が生成するPWM波形の高分解能化出力
GTIOC1A	出力	GPTW1が生成するPWM波形の高分解能化出力
GTIOC1B	出力	GPTW1が生成するPWM波形の高分解能化出力
GTIOC2A	出力	GPTW2が生成するPWM波形の高分解能化出力
GTIOC2B	出力	GPTW2が生成するPWM波形の高分解能化出力
GTIOC3A	出力	GPTW3が生成するPWM波形の高分解能化出力
GTIOC3B	出力	GPTW3が生成するPWM波形の高分解能化出力

25.2　レジスタの説明

25.2.1　HRPWM 動作制御レジスタ (HROCR)

アドレス　HRPWM.HROCR 000C 2A00h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HRRST	DLLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLLEN	DLL動作許可ビット	0：DLL動作を禁止 1：DLL動作を許可	R/W
b1	HRRST	高分解能PWM波形生成回路リセットビット	0：リセット解除 1：リセット	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HROCR レジスタは、HRPWM モジュール全体の動作を制御するレジスタです。

本レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTW0.GTWP.WP = 0) のときに書き込むことができます。

DLLEN ビット (DLL 動作許可ビット)

HRPWM 内部の DLL を起動させるかどうかを選択します。起動後は、DLL の出力が安定するまで 20µs 待ってください。

HRRST ビット (高分解能 PWM 波形生成回路リセットビット)

HRPWM の内部状態をリセットします。リセット解除後は、PCLKC で 12 サイクル待ってください。また、動作中にリセットした場合、PCLKC で 5 サイクル後に PWM 出力が Low に固定されます。

25.2.2 HRPWM 動作制御レジスタ 2 (HROCR2)

アドレス HRPWM.HROCR2 000C 2A02h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HRDIS3	HRDIS2	HRDIS1	HRDIS0	—	—	—	—	HRSEL3	HRSEL2	HRSEL1	HRSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HRSEL0	チャネル0高分解能PWM波形出力選択ビット	0：GTIOC0A/GTIOC0B端子からGPTW0が生成したPWM波形をそのまま出力 1：GTIOC0A/GTIOC0B端子から高分解能PWM波形を出力	R/W
b1	HRSEL1	チャネル1高分解能PWM波形出力選択ビット	0：GTIOC1A/GTIOC1B端子からGPTW1が生成したPWM波形をそのまま出力 1：GTIOC1A/GTIOC1B端子から高分解能PWM波形を出力	R/W
b2	HRSEL2	チャネル2高分解能PWM波形出力選択ビット	0：GTIOC2A/GTIOC2B端子からGPTW2が生成したPWM波形をそのまま出力 1：GTIOC2A/GTIOC2B端子から高分解能PWM波形を出力	R/W
b3	HRSEL3	チャネル3高分解能PWM波形出力選択ビット	0：GTIOC3A/GTIOC3B端子からGPTW3が生成したPWM波形をそのまま出力 1：GTIOC3A/GTIOC3B端子から高分解能PWM波形を出力	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	HRDIS0	チャネル0立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル0立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル0立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b9	HRDIS1	チャネル1立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル1立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル1立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b10	HRDIS2	チャネル2立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル2立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル2立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b11	HRDIS3	チャネル3立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル3立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル3立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HROCR2 レジスタは、HRPWM モジュールをチャネルごとに制御するレジスタです。

本レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTW0.GTWP.WP = 0) のときに書き込むことができます。

HRSELn ビット (チャネル n 高分解能 PWM 波形出力選択ビット) (n = 0 ～ 3)

GTIOCnA、および GTIOCnB 端子 (n = 0 ～ 3) から、HRPWM で生成した波形を出力するか、回路をバイパスして GPTW の出力をそのまま出力するかを選択します。

HRPWM で生成された PWM 波形は、遅延量を 0 にした場合でもバイパスしたときより PCLKC で 3 サイクル分遅れて出力されます。

HRDISn ビット (チャネル n 立ち上がり / 立ち下がりエッジ調整回路停止ビット) (n = 0 ～ 3)

対応する GPTW のチャネルごとに立ち上がり / 立ち下がりエッジ調整回路の動作を許可 / 禁止します。使

用しないチャネルでは、“1” にしてください。

25.2.3　GTIOCnA 端子立ち上がりエッジ調整レジスタ (HRREARnA) (n = 0 ～ 3)

アドレス　HRPWM.HRREAR0A 000C 2A18h, HRPWM.HRREAR1A 000C 2A1Ch, HRPWM.HRREAR2A 000C 2A20h, HRPWM.HRREAR3A 000C 2A24h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : PCLKC周期の0/32倍の遅延を適用 0 0 0 0 1 : PCLKC周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKC周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKC周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKC周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKC周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKC周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKC周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKC周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKC周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKC周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKC周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKC周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKC周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKC周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKC周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKC周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKC周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKC周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKC周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKC周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKC周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKC周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKC周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKC周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKC周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKC周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKC周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKC周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKC周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKC周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKC周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRREARnA レジスタは、GTIOCnA 端子から出力される PWM 波形の立ち上がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

本レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。また、書いた後は値が書き換わったことを確認してから次の処理を実施してください。

25.2.4　GTIOCnA 端子立ち下がりエッジ調整レジスタ (HRFEARnA) (n = 0 ～ 3)

アドレス　HRPWM.HRFEAR0A 000C 2A28h, HRPWM.HRFEAR1A 000C 2A2Ch, HRPWM.HRFEAR2A 000C 2A30h, HRPWM.HRFEAR3A 000C 2A34h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : PCLKC周期の0/32倍の遅延を適用 0 0 0 0 1 : PCLKC周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKC周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKC周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKC周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKC周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKC周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKC周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKC周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKC周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKC周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKC周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKC周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKC周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKC周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKC周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKC周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKC周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKC周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKC周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKC周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKC周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKC周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKC周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKC周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKC周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKC周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKC周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKC周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKC周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKC周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKC周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRFEARnA レジスタは、GTIOCnA 端子から出力される PWM 波形の立ち下がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

本レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。また、書いた後は値が書き換わったことを確認してから次の処理を実施してください。

25.2.5　GTIOCnB 端子立ち上がりエッジ調整レジスタ (HRREARnB) (n = 0 ～ 3)

アドレス　HRPWM.HRREAR0B 000C 2A1Ah, HRPWM.HRREAR1B 000C 2A1Eh, HRPWM.HRREAR2B 000C 2A22h, HRPWM.HRREAR3B 000C 2A26h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : PCLKC周期の0/32倍の遅延を適用 0 0 0 0 1 : PCLKC周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKC周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKC周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKC周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKC周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKC周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKC周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKC周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKC周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKC周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKC周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKC周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKC周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKC周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKC周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKC周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKC周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKC周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKC周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKC周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKC周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKC周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKC周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKC周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKC周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKC周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKC周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKC周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKC周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKC周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKC周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRREARnB レジスタは、GTIOCnB 端子から出力される PWM 波形の立ち上がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

本レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。また、書いた後は値が書き換わったことを確認してから次の処理を実施してください。

25.2.6　GTIOCnB 端子立ち下がりエッジ調整レジスタ (HRFEARnB) (n = 0 ～ 3)

アドレス　HRPWM.HRFEAR0B 000C 2A2Ah, HRPWM.HRFEAR1B 000C 2A2Eh, HRPWM.HRFEAR2B 000C 2A32h, HRPWM.HRFEAR3B 000C 2A36h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : PCLKC周期の0/32倍の遅延を適用 0 0 0 0 1 : PCLKC周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKC周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKC周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKC周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKC周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKC周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKC周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKC周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKC周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKC周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKC周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKC周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKC周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKC周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKC周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKC周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKC周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKC周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKC周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKC周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKC周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKC周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKC周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKC周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKC周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKC周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKC周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKC周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKC周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKC周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKC周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRFEARnB レジスタは、GTIOCnB 端子から出力される PWM 波形の立ち下がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

本レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。また、書いた後は値が書き換わったことを確認してから次の処理を実施してください。

25.3　動作説明

25.3.1　PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整

HRPWM は、PCLKC を基準位相として動作する DLL (Delay Locked Loop) を元に、GPTW から出力された PWM 信号の立ち上がり、および立ち下がりタイミングを PCLKC 周期 (tC(PCLKC)) の 1/32 の分解能 (最小約 260 ps) で遅延させます。遅延させられた PWM 信号は、GTIOCnA および GTIOCnB 端子 (n = 0 ～ 3) から出力されます。

遅延量は tC(PCLKC) の 0/32 ～ 31/32 の範囲で調整できます。この範囲を超える遅延量は設定できません。この範囲を超える遅延量を設定する場合は、GPTW の汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) の値を変更してください。

HRPWM は DLL を内蔵しているため、動作前に HROCR.DLLEN ビットを “1” にして安定時間を待つ必要があります。さらに PWM 波形を確実に出力するために、HROCR.HRRST ビットを “0” にした後、PCLKC で 12 サイクル待ってください。詳細は、**図 25.2** の手順を参照してください。

遅延量の設定は、GTIOCnA 端子は HRREARnA と HRFEARnA レジスタで、GTIOCnB 端子は HRREARnB と HRFEARnB レジスタで行います。PWM 波形は、立ち上がり遅延用と立ち下がり遅延用に各設定レジスタがありますので、High 幅と Low 幅の微調整をすることができます。端子とレジスタの対応関係は、**表 25.3** を参照してください。

各レジスタで設定した遅延量はテンポラリレジスタを介して端子に反映されます。反映タイミングは汎用 PWM タイマの PWM 出力動作モードにより異なります。詳細は「**25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)**」を参照してください。

HRPWM は、DLL 許可 / 禁止、リセット設定 / 解除はチャネル共通の設定になりますが、それ以外はチャネル毎に設定可能です。

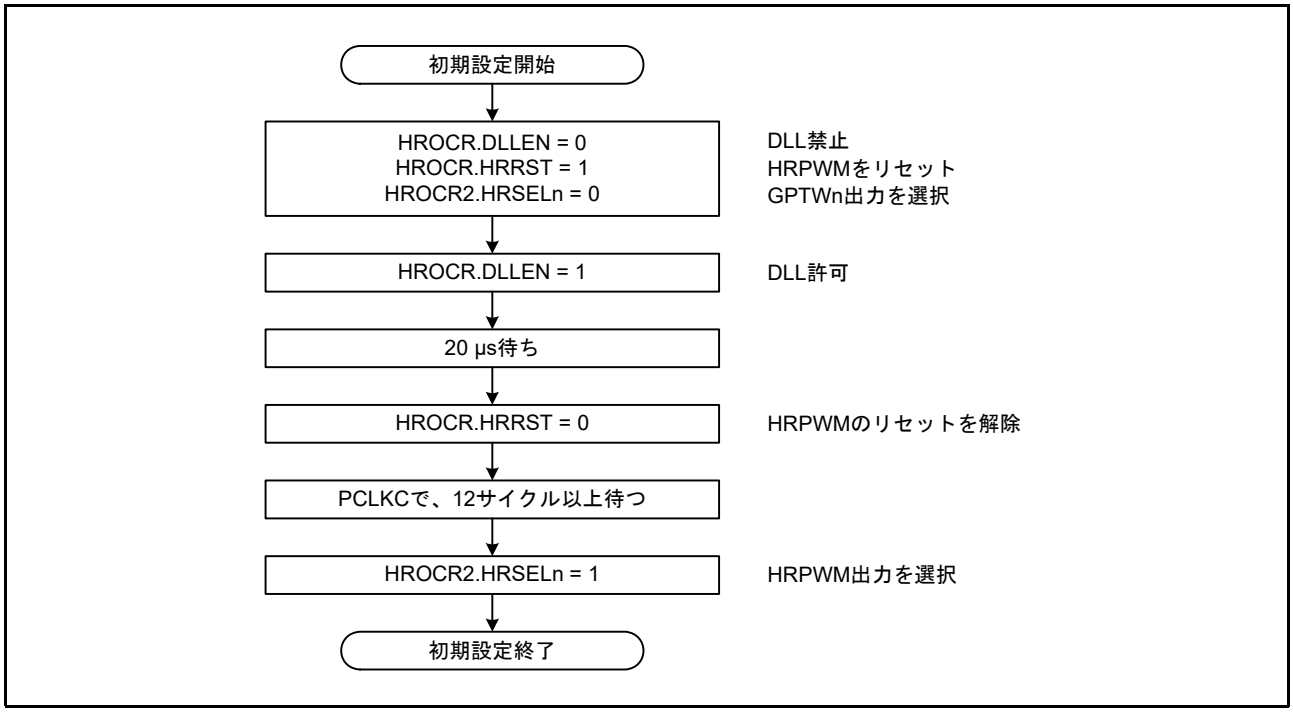


図 25.2　HRPWM 初期設定フロー (n = 0 ～ 3)

表25.3 PWM波形出力端子と遅延設定レジスタの対応関係

PWM波形出力端子	立ち上がりエッジ調整レジスタ	立ち下がりエッジ調整レジスタ
GTIOC0A	HRREAR0A	HRFEAR0A
GTIOC0B	HRREAR0B	HRFEAR0B
GTIOC1A	HRREAR1A	HRFEAR1A
GTIOC1B	HRREAR1B	HRFEAR1B
GTIOC2A	HRREAR2A	HRFEAR2A
GTIOC2B	HRREAR2B	HRFEAR2B
GTIOC3A	HRREAR3A	HRFEAR3A
GTIOC3B	HRREAR3B	HRFEAR3B

25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の転送タイミング (n = 0 ～ 3)

HRREARnA、HRREARnB、HRFEARnA、および HRFEARnB レジスタの設定値は、最初にテンポラリレジスタに転送され、その後、GTIOCnA および GTIOCnB 端子の PWM 波形の遅延量に反映されます。テンポラリレジスタへは、PWM 周期の終わり (のこぎり波の場合はオーバフロー時 (アップカウント中) またはアンダフロー時 (ダウンカウント中)、三角波の場合は谷) に転送されます。

動作例を図 25.3 と図 25.4 に示します。

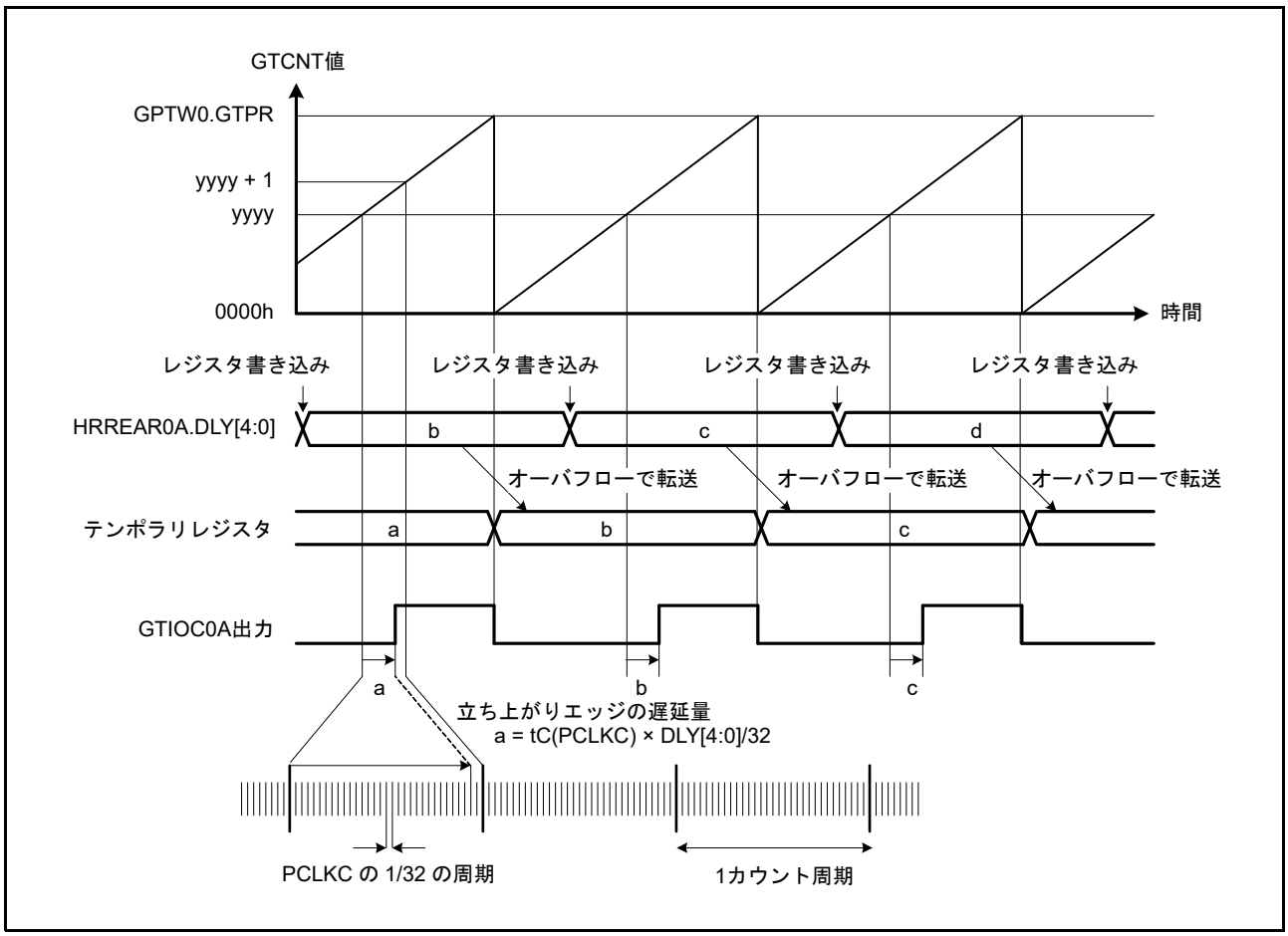


図 25.3　HRREAR0A レジスタ変更時の動作例 (のこぎり波の場合)

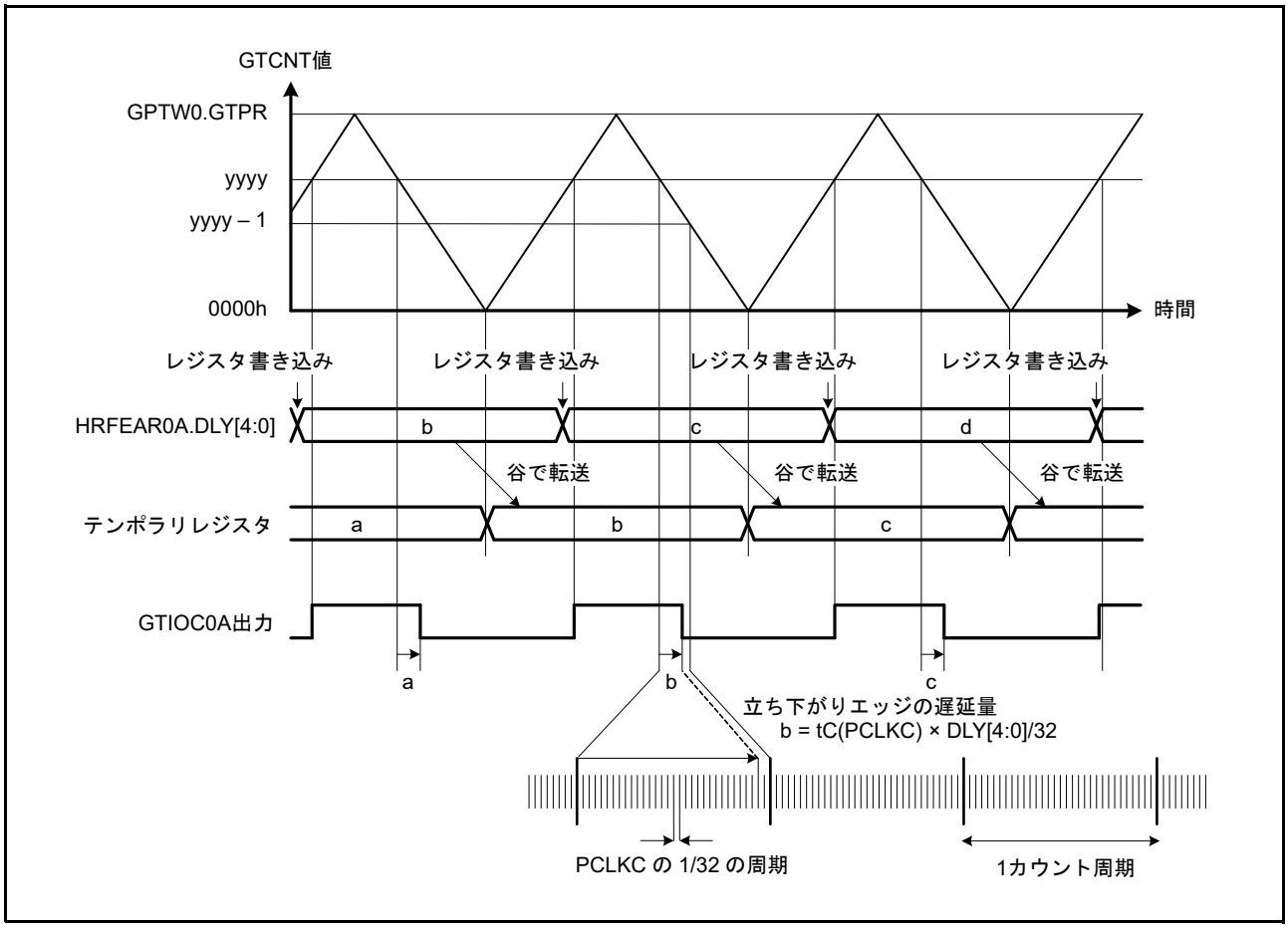


図 25.4 HRFEAR0A レジスタ変更時の動作例 (三角波の場合)

25.4 使用上の注意事項

25.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ (MSTPCRA) により、HRPWM の動作を禁止 / 許可できます。リセット後の初期状態では、HRPWM の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. **消費電力低減機能**」を参照してください。

25.4.2 HRPWM 使用時の GTCNT カウンタのタイマプリスケーラ選択に関する注意事項

GPTW から出力される PWM 信号は、GPTWn.GTCR.TPCS[3:0] ビット (n = 0 ～ 3) に設定したクロックの 1 周期に相当する分解能で動作する GTCNT カウンタを元に生成されます。TPCS[3:0] ビットが “0000b” (PCLKC/1) 以外の場合、GPTWn.GTCCRm レジスタ (m = A ～ F) の値を変更すると、選択したクロックを基準に生成された分解能の低い PWM 信号のエッジに対し 0/32 × tC(PCLKC) ～ 31/32 × tC(PCLKC) の遅延が適用されますので注意してください。

25.4.3 HRPWM の遅延設定に関する注意事項

PWM 周期の終了から PCLKC の 3 サイクル以内にある場合は HRFEARnA、HRREARnA、HRFEARnB、および HRREARnB レジスタを変更しないでください。上記の期間中に変更した場合、PWM 波形の 1 周期分遅れて反映されます。

26. GPTW 用ポートアウトプットイネーブル (POEGb)

26.1 概要

POEG は汎用 PWM タイマ (GPTW) に対し、出力端子の出力停止要求を発行します。POE3 とは異なり、停止させる出力端子の組み合わせはどのチャネルからでも指定することができます。MTU3 と GPTW の出力端子を同時に停止する場合は、POE3 を使用してください。出力停止の検出方法は以下から選択します。

- GTETRGx 端子 (x = A ～ D) の入力レベルまたはエッジ検出
- GPTW による出力停止条件検出
- コンパレータによる検出 (エッジ検出、レベル検出)
- メインクロック発振停止検出回路からの発振停止検出
- レジスタ設定

GTETRGx 端子は、GPTW への外部トリガ入力端子としても使用可能です。

表 26.1 に POEG の仕様、図 26.1 に POEG 周辺のシステムブロック図、図 26.2 に POEG のブロック図、表 26.2 に入力端子を示します。

表26.1　POEGの仕様(x = A～D)

項目	内容
GTETRGx端子の入力レベルまたはエッジ検出による停止要求	• GTETRGx端子の入力レベルまたはエッジ検出によって、POEGGx.PIDFフラグが“1”になると、GPTWに出力停止要求を発行 • GTETRGx端子の入力信号から直接GPTWに出力停止要求を発行
GPTWからの出力停止条件検出信号による停止要求	• GPTWがGTIOCAとGTIOCB端子の同時アクティブレベル(Highレベル、Lowレベル)を検出し、POEGGx.IOCFフラグが“1”になると、GPTWに出力停止要求を発行 • GPTWがデッドタイムエラーを検出し、POEGGx.IOCFフラグが“1”になると、GPTWに出力停止要求を発行
コンパレータからの検出信号による停止要求	• COMPnエッジ検出信号によって、POEGGx.IOCFフラグが“1”になると、GPTWに出力停止要求を発行 • COMPnレベル検出信号から直接GPTWに出力停止要求を発行 • GPTWから出力されたPWM信号によって、出力停止要求のマスクが可能
発振停止検出による停止要求	メインクロック用発振停止検出回路が発振停止を検出し、POEGGx.OSTPFフラグが“1”になると、GPTWに出力停止要求を発行
ソフトウェアによる停止要求	ソフトウェアでPOEGGx.SSFビットを“1”にすることによって、GPTWに出力停止要求を発行
割り込み	• POEGGx.PIDFフラグによる停止要求で割り込みを発生 • POEGGx.IOCFフラグによる停止要求で割り込みを発生
GPTWに対する外部トリガ出力	GTETRGx端子からの入力信号をGPTWへ外部トリガとして出力
ノイズ除去	GTETRGx端子にデジタルノイズフィルタを内蔵 • 8種類のサンプリングクロックを選択可能 • 一致検出回数を3回～6回の範囲で設定可能

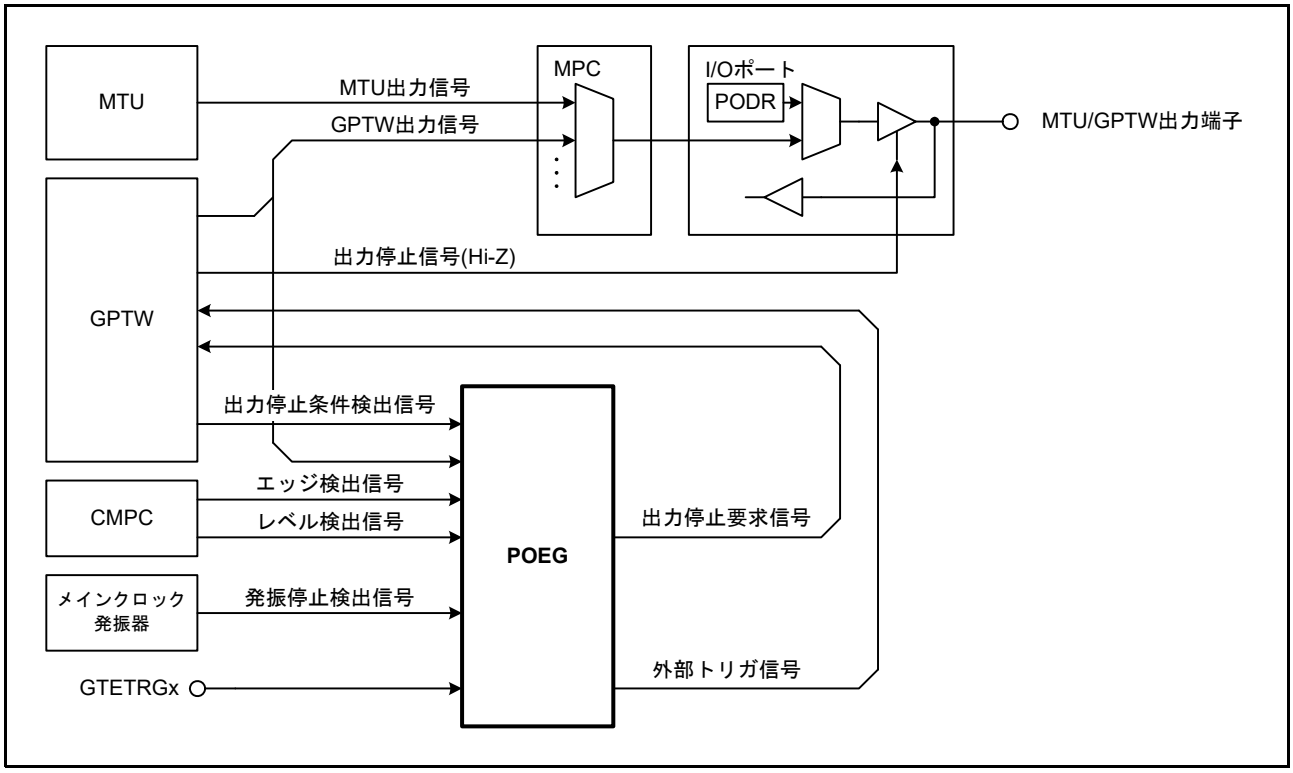


図 26.1　POEG システムブロック図

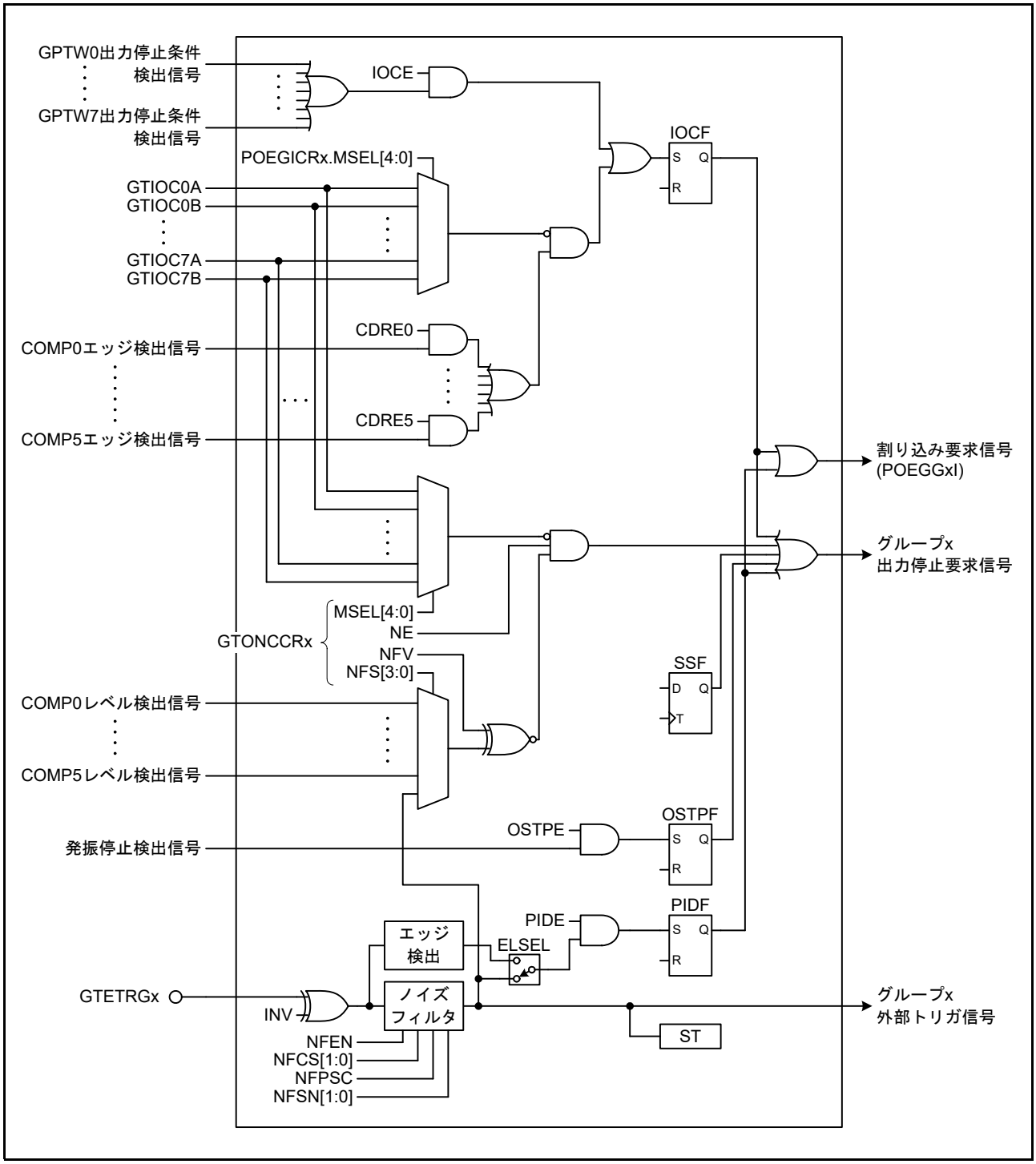


図 26.2　　POEG のブロック図 (x = A ～ D)

表26.2　　POEGの入出力端子

端子名	入出力	機能
GTETRGA	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子A
GTETRGB	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子B
GTETRGC	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子C
GTETRGD	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子D

26.2 レジスタの説明

26.2.1 POEG グループ x 設定レジスタ (POEGGx) (x = A ～ D)

アドレス　POEG.POEGGA 0009 E000h, POEG.POEGGB 0009 E100h, POEG.POEGGC 0009 E200h, POEG.POEGGD 0009 E300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]		NFEN	INV	NFSN[1:0]		ELSEL	NFPSC	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CDRE5	CDRE4	CDRE3	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0：GTETRGx信号による出力停止要求なし 1：GTETRGx信号による出力停止要求あり	R/(W) (注1)
b1	IOCF	GPTW/CMPC出力停止条件検出フラグ	0：GPTWの出力停止条件検出信号またはCOMPnエッジ検出信号による出力停止要求なし 1：GPTWの出力停止条件検出信号またはCOMPnエッジ検出信号による出力停止要求あり	R/(W) (注1)
b2	OSTPF	発振停止検出フラグ	0：発振停止による出力停止要求なし 1：発振停止による出力停止要求あり	R/(W) (注1)
b3	SSF	ソフトウェア出力停止要求ビット	0：ソフトウェアによる出力停止要求を発行しない 1：ソフトウェアによる出力停止要求を発行する	R/W
b4	PIDE	ポート入力信号許可ビット	0：GTETRGx信号による出力停止要求を禁止 1：GTETRGx信号による出力停止要求を許可	R/W (注2)
b5	IOCE	GPTW出力停止条件検出信号許可ビット	0：GPTWの出力停止条件検出信号による出力停止要求を禁止 1：GPTWの出力停止条件検出信号による出力停止要求を許可	R/W (注2)
b6	OSTPE	発振停止検出信号許可ビット	0：発振停止検出信号による出力停止要求を禁止 1：発振停止検出信号による出力停止要求を許可	R/W (注2)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CDRE0	COMP0エッジ検出信号許可ビット	0：COMP0エッジ検出信号による出力停止要求を禁止 1：COMP0エッジ検出信号による出力停止要求を許可	R/W (注2)
b9	CDRE1	COMP1エッジ検出信号許可ビット	0：COMP1エッジ検出信号による出力停止要求を禁止 1：COMP1エッジ検出信号による出力停止要求を許可	R/W (注2)
b10	CDRE2	COMP2エッジ検出信号許可ビット	0：COMP2エッジ検出信号による出力停止要求を禁止 1：COMP2エッジ検出信号による出力停止要求を許可	R/W (注2)
b11	CDRE3	COMP3エッジ検出信号許可ビット	0：COMP3エッジ検出信号による出力停止要求を禁止 1：COMP3エッジ検出信号による出力停止要求を許可	R/W (注2)
b12	CDRE4	COMP4エッジ検出信号許可ビット	0：COMP4エッジ検出信号による出力停止要求を禁止 1：COMP4エッジ検出信号による出力停止要求を許可	R/W (注2)
b13	CDRE5	COMP5エッジ検出信号許可ビット	0：COMP5エッジ検出信号による出力停止要求を禁止 1：COMP5エッジ検出信号による出力停止要求を許可	R/W (注2)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	ST	GTETRGx信号ステータスフラグ	0：GPTWに出力しているGTETRGx信号はLow 1：GPTWに出力しているGTETRGx信号はHigh	R
b23-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	NFPSC	ノイズフィルタクロック選択ビット	NFCS[1:0]ビットと組み合わせて、ノイズフィルタのサンプリングクロックを設定します	R/W

ビット	シンボル	ビット名	機能	R/W
b25	ELSEL	GTETRGx入力エッジ・レベル検出選択ビット	0：レベル検出 1：エッジ検出	R/W
b27-b26	NFSN[1:0]	ノイズフィルター致検出回数選択ビット	b27 b26 0　0：3回 0　1：4回 1　0：5回 1　1：6回	R/W
b28	INV	GTETRGx入力反転ビット	0：GTETRGx端子からの入力信号を反転しない 1：GTETRGx端子からの入力信号を反転する	R/W
b29	NFEN	ノイズフィルタ許可ビット	0：GTETRGx端子のデジタルノイズフィルタを禁止 1：GTETRGx端子のデジタルノイズフィルタを許可	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択ビット	• NFPSCビット= 0の場合 b31 b30 0　0：GTETRGx端子からの入力信号をPCLKB/1クロックごとにサンプリングする 0　1：GTETRGx端子からの入力信号をPCLKB/8クロックごとにサンプリングする 1　0：GTETRGx端子からの入力信号をPCLKB/32クロックごとにサンプリングする 1　1：GTETRGx端子からの入力信号をPCLKB/128クロックごとにサンプリングする • NFPSCビット= 1の場合 b31 b30 0　0：GTETRGx端子からの入力信号をPCLKB/2クロックごとにサンプリングする 0　1：GTETRGx端子からの入力信号をPCLKB/4クロックごとにサンプリングする 1　0：GTETRGx端子からの入力信号をPCLKB/16クロックごとにサンプリングする 1　1：GTETRGx端子からの入力信号をPCLKB/64クロックごとにサンプリングする	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。
注2.　リセット後、1回のみ書き込み可能です。

POEGGx レジスタは、各種検出信号を元に、GPTW に対して出力停止要求や外部トリガを制御するレジスタです。

SSF ビット (ソフトウェア出力停止要求ビット)

本ビットに “1” を書くと、GPTW に対し出力停止要求を発行し、“0” を書くと出力停止要求を解除します。

26.2.2 POEG グループ x 入力制御レジスタ (POEGICRx) (x = A ～ D)

アドレス　POEG.POEGICRA 0009 E004h, POEG.POEGICRB 0009 E104h, POEG.POEGICRC 0009 E204h, POEG.POEGICRD 0009 E304h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	MSEL[4:0]	出力停止要求マスク信号選択ビット	選択した信号がHighのとき、POEGGx.CDREnビット(n = 0～5)で許可したCOMPnエッジ検出信号による出力停止要求をマスクします。 b4　b0 ００００：出力停止要求をマスクしない ００００１：GTIOC0A信号で出力停止要求をマスクする ００００１０：GTIOC0B信号で出力停止要求をマスクする ００００１１：GTIOC1A信号で出力停止要求をマスクする ００１００：GTIOC1B信号で出力停止要求をマスクする ００１０１：GTIOC2A信号で出力停止要求をマスクする ００１１０：GTIOC2B信号で出力停止要求をマスクする ００１１１：GTIOC3A信号で出力停止要求をマスクする ０１０００：GTIOC3B信号で出力停止要求をマスクする ０１００１：GTIOC4A信号で出力停止要求をマスクする ０１０１０：GTIOC4B信号で出力停止要求をマスクする ０１０１１：GTIOC5A信号で出力停止要求をマスクする ０１１００：GTIOC5B信号で出力停止要求をマスクする ０１１０１：GTIOC6A信号で出力停止要求をマスクする ０１１１０：GTIOC6B信号で出力停止要求をマスクする ０１１１１：GTIOC7A信号で出力停止要求をマスクする １００００：GTIOC7B信号で出力停止要求をマスクする 上記以外は設定しないでください。	R/W (注1)
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

26.2.3 GPTW 出力停止制御グループ x 書き込み保護レジスタ (GTONCWPx) (x = A ～ D)

アドレス　POEG.GTONCWPA 0009 E040h, POEG.GTONCWPB 0009 E140h, POEG.GTONCWPC 0009 E240h, POEG.GTONCWPD 0009 E340h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	—	—	—	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止ビット	0：GTONCCRx レジスタへの書き込みを許可 1：GTONCCRx レジスタへの書き込みを禁止	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	キーコードビット	WP ビットの書き換えの可否を制御します	R/W (注2)

注1.　PRKEY[7:0] ビットを“A5h”にした 16 ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注2.　書いた値は保持されません。読んだ場合“00h”が読めます。

GTONCWPx レジスタは、誤書き込み防止のため GTONCCRx レジスタへの書き込みを許可 / 禁止するレジスタです。

26.2.4 GPTW 出力停止制御グループ x コントロールレジスタ (GTONCCRx) (x = A ～ D)

アドレス　POEG.GTONCCRA 0009 E044h, POEG.GTONCCRB 0009 E144h, POEG.GTONCCRC 0009 E244h, POEG.GTONCCRD 0009 E344h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSEL[4:0]					—	—	NFV	NFS[3:0]				—	—	—	NE
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NE	直接出力停止要求許可ビット	0：直接出力停止要求を許可しない 1：直接出力停止要求を許可する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	NFS[3:0]	直接出力停止要求要因選択ビット	b7 b4 0 0 0 0：COMP0 レベル検出信号 0 0 0 1：COMP1 レベル検出信号 0 0 1 0：COMP2 レベル検出信号 0 1 0 0：COMP3 レベル検出信号 0 1 0 1：COMP4 レベル検出信号 0 1 1 0：COMP5 レベル検出信号 0 1 1 1：GTETRGx端子入力信号(High/Low) 上記以外は設定しないでください。	R/W
b8	NFV	直接出力停止要求極性ビット	0：検出信号が“0”のときに出力停止を要求 1：検出信号が“1”のときに出力停止を要求	R/W
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b11	MSEL[4:0]	出力停止要求マスク信号選択ビット	選択した信号がHighのとき、NFS[3:0]ビットで選択した要因による出力停止要求をマスクします。 b15 b11 0 0 0 0 0：出力停止要求をマスクしない 0 0 0 0 1：GTIOC0A信号で出力停止要求をマスクする 0 0 0 1 0：GTIOC0B信号で出力停止要求をマスクする 0 0 0 1 1：GTIOC1A信号で出力停止要求をマスクする 0 0 1 0 0：GTIOC1B信号で出力停止要求をマスクする 0 0 1 0 1：GTIOC2A信号で出力停止要求をマスクする 0 0 1 1 0：GTIOC2B信号で出力停止要求をマスクする 0 0 1 1 1：GTIOC3A信号で出力停止要求をマスクする 0 1 0 0 0：GTIOC3B信号で出力停止要求をマスクする 0 1 0 0 1：GTIOC4A信号で出力停止要求をマスクする 0 1 0 1 0：GTIOC4B信号で出力停止要求をマスクする 0 1 0 1 1：GTIOC5A信号で出力停止要求をマスクする 0 1 1 0 0：GTIOC5B信号で出力停止要求をマスクする 0 1 1 0 1：GTIOC6A信号で出力停止要求をマスクする 0 1 1 1 0：GTIOC6B信号で出力停止要求をマスクする 0 1 1 1 1：GTIOC7A信号で出力停止要求をマスクする 1 0 0 0 0：GTIOC7B信号で出力停止要求をマスクする 上記以外は設定しないでください。	R/W

GTONCCRx レジスタは、直接出力停止要求を設定するためのレジスタです。

NE ビット (直接出力停止要求許可ビット)

NE ビットに “1” を書くと、NFS[3:0] ビットで選択された検出信号が、出力停止要求信号として直接 GPTW に出力されます。

26.3　動作説明

POEG には A ～ D の 4 つのグループがあり、各グループの動作はすべて同じで、それぞれ独立して動作します。

GPTW の各チャネルの出力信号は POEG のすべてのグループに接続されており、POEG の各グループの出力信号は GPTW のすべてのチャネルに接続されています。GPTW のチャネルをどのグループで制御するかは、GPTW のレジスタで設定します。

26.3.1　GTETRGx 端子 (x = A ～ D) の入力レベルまたは入力エッジ検出による出力停止要求

GTETRGx 端子による出力停止要求には、POEGGx.PIDF フラグ経由で行う方法と、入力信号から直接行う方法の 2 種類あります。

(1)　PIDF フラグ経由の出力停止要求

POEGGx.PIDE ビットが “1” のとき、POEGGx.NFCS[1:0] ビット、NFEN ビット、NFSN[1:0] ビット、NFPSC ビット、ELSEL ビット、および INV ビットで設定されたレベルまたはエッジが検出されると、PIDF フラグが “1” になり、GPTW の全チャネルに出力停止要求が発行されます。

出力停止要求の解除は PIDF フラグのクリアで行います。詳細は、「26.3.6.2　POEGGx レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

(2)　入力信号による直接出力停止要求

GTONCCRx.NFS[3:0] ビットが “0111b” (GTETRGx 端子入力信号)、NE ビットが “1” のとき、POEGGx.NFCS[1:0] ビット、NFEN ビット、NFSN[1:0] ビット、NFPSC ビット、INV ビット、および GTONCCRx.NFV ビットで設定されたレベルが検出されると、直接 GPTW の全チャネルに出力停止要求が発行されます。出力停止要求は、GTETRGx 端子のレベルが発行条件に一致しなくなると解除されます。

詳細は、「26.3.7　入力信号による直接出力停止要求と解除」を参照してください。

26.3.1.1　デジタルノイズフィルタ

GTETRGx 端子 (x = A ～ D) には、デジタルノイズフィルタ機能があります。図 26.3 にデジタルノイズフィルタの動作例を示します。この例は、POEGGx.INV ビット = 0 (反転しない = High 検出)、NFSN[1:0] ビット = 00b (3 回)、NFEN ビット = 1 (ノイズフィルタ許可) の場合です。

POEGGx.NFPSC ビット、NFCS[1:0] ビットで選択したサンプリングクロックで GTETRGx 端子のレベルをサンプリングし、3 回連続で High が検出されると、High が入力されたと判断し、GPTW に出力停止要求を発行します。

このとき、一度でも Low を検出した場合は High が入力されたと判断されません。なお、サンプリングタイミングとサンプリングタイミングの間で起こった GTETRGx 端子のレベル変化は無視されます。

デジタルノイズフィルタの出力は、POEGGx.PIDF フラグによる出力停止要求、検出信号による直接出力停止要求、および GPTW に出力する外部トリガのすべてに使用されます。

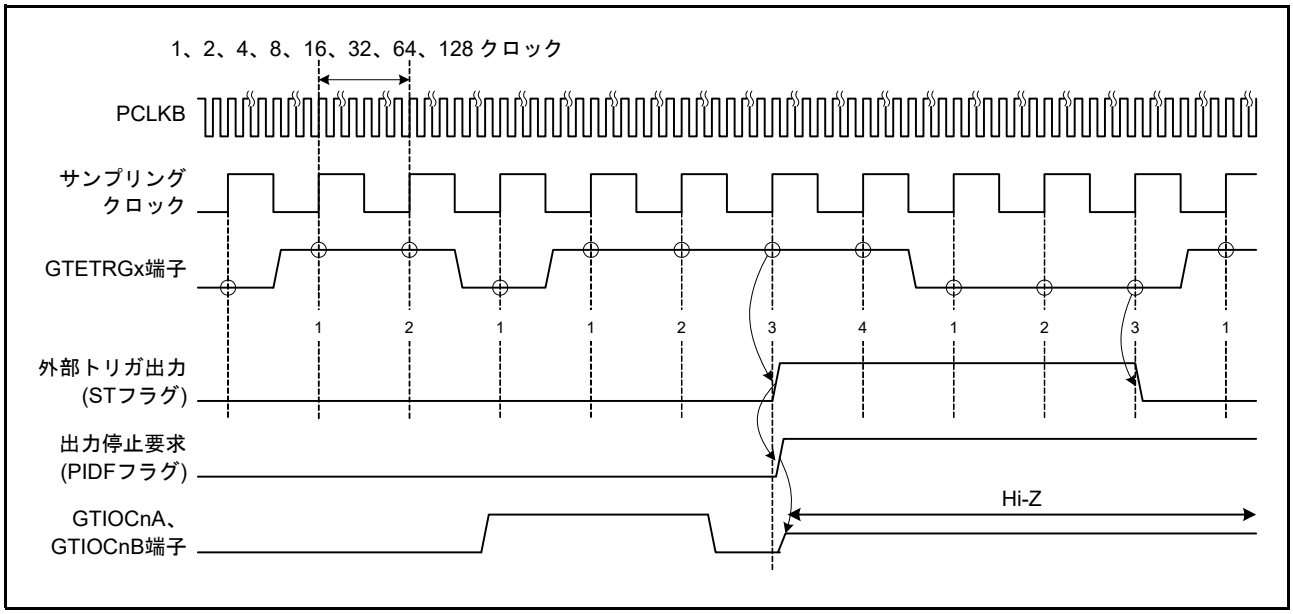


図 26.3　デジタルノイズフィルタの動作例 (x = A ～ D)

26.3.2　GPTW の出力停止条件検出信号による出力停止要求

POEGGx.IOCE ビットが “1” のとき、GPTW がデッドタイムエラー、同時 High 出力、同時 Low 出力のいずれかを検出すると、IOCF フラグが “1” になり、GPTW の全チャネルに出力停止要求が発行されます。IOCF フラグは、COMPn エッジ検出による出力停止要求と兼用になっています。

出力停止要求の解除は IOCF フラグのクリアで行います。詳細は、**「26.3.6.2　POEGGx レジスタのフラグクリアによる出力停止要求の解除」**を参照してください。

GPTW でデッドタイムエラー、同時 High 出力、および同時 Low 出力を検出するには、それぞれ GPTWn.GTINTAD.GRPDTE、GRPABH、GRPABL ビットを “1” にする必要があります。また、GPTW の各チャネルで生成された出力停止条件検出信号は、GPTWn.GTINTAD.GRP[1:0] ビットで選択した POEG グループにのみ出力されます。詳細は、**「24.2.15　汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)」**を参照してください。

26.3.3　コンパレータの検出信号による出力停止要求

コンパレータによる出力停止要求には、COMPnエッジ検出信号によってPOEGGx.IOCFフラグ(x = A～D)経由で行う方法と、COMPnレベル検出信号から直接行う方法の2種類あります。

また、コンパレータによる出力停止要求は、POEGICRx.MSEL[4:0]ビットやGTONCCRx.MSEL[4:0]ビットで選択したGPTW出力信号がHighの間、マスクすることができます。

(1)　IOCFフラグ経由の出力停止要求

POEGGx.CDREnビットが“1”のとき、COMPnエッジ検出信号が“1”になると、IOCFフラグが“1”になり、GPTWの全チャネルに出力停止要求が発行されます。IOCFフラグは、GPTWによる出力停止要求と兼用になっています。

出力停止要求の解除はIOCFフラグのクリアで行います。詳細は、**「26.3.6.2　POEGGxレジスタのフラグクリアによる出力停止要求の解除」**を参照してください。

(2)　COMPnレベル検出信号による直接出力停止要求

GTONCCRx.NEビットが“1”のとき、NFS[3:0]ビットで選択したCOMPnレベル検出信号が、NFVビットで設定した値と一致すると、GPTWの全チャネルに出力停止要求が発行されます。出力停止要求は、COMPnレベル検出信号がNFVビットの値と一致しなくなると解除されます。

詳細は、**「26.3.7　入力信号による直接出力停止要求と解除」**を参照してください。

26.3.4　発振停止検出信号による出力停止要求

POEGGx.OSTPEビットが“1”のとき、クロック発生回路内にある発振停止検出回路がメインクロックの発振停止を検出すると、OSTPFフラグが“1”になり、GPTWの全チャネルに出力停止要求が発行されます。

出力停止要求の解除はOSTPFフラグのクリアで行います。詳細は、**「26.3.6.2　POEGGxレジスタのフラグクリアによる出力停止要求の解除」**を参照してください。

26.3.5　レジスタによる出力停止要求

POEGGx.SSFビットを“1”にすると、GPTWの全チャネルに出力停止要求が発行されます。

出力停止要求の解除はSSFビットを“0”にすることで行います。詳細は、**「26.3.6.2　POEGGxレジスタのフラグクリアによる出力停止要求の解除」**を参照してください。

26.3.6　出力停止要求の解除

出力停止要求の解除方法には、以下の 3 通りの方法があります。

- リセット (初期状態に復帰)
- POEGGx レジスタのフラグのクリア
- 入力信号のネゲート

26.3.6.1　リセットによる出力停止要求の解除

すべてのリセットで出力停止要求を解除することができます。リセットに関する詳細は、「6.　リセット」を参照してください。

26.3.6.2　POEGGx レジスタのフラグクリアによる出力停止要求の解除

下記フラグ / ビットの内、“1” になっているフラグ / ビットをすべて “0” にすると、出力停止要求が解除されます。

- POEGGx.PIDF フラグ
- POEGGx.IOCF フラグ
- POEGGx.OSTPF フラグ
- POEGGx.SSF ビット

出力停止要求が解除されると、GPTW は次の PWM 周期の終了タイミングでこの信号を取り込み、最短で 3 PCLKC 後から PWM 出力の停止状態を解除します。図 26.4 に、出力停止状態の解除タイミングを示します。

フラグをクリアするときは、そのフラグを “1” にした入力信号が “0” になっていることを確認してから、“0” を書いてください。入力信号が “1” のときにフラグに “0” を書いても、フラグはクリアされません。COMPn エッジ検出信号や GTETRGx 信号のエッジ検出信号は、要因を検出した直後のみ入力信号が “1” になり、その後は “0” に戻るため、いつ “0” を書いてもフラグがクリアされます。

入力信号の状態は下記のステータスフラグで確認できます。

- GTETRGx 端子入力信号：　POEGGx.ST フラグ (GTETRGx 信号ステータスフラグ)
- 出力停止条件検出信号：　GPTWn.GTST.DTEF フラグ (デッドタイムエラーフラグ)
  GPTWn.GTST.OABHF フラグ (同時 High 出力フラグ)
  GPTWn.GTST.OABLF フラグ (同時 Low 出力フラグ)
- 発振停止検出信号：　OSTDSR.OSTDF フラグ (発振停止検出フラグ)

また、エッジを検出する前のコンパレータの比較結果 (COMPn レベル検出信号) の状態は下記のステータスフラグで確認できます。

- COMPn レベル検出信号：　CMPCn.CMPMON.CMPMON0 フラグ (コンパレータ出力モニタフラグ)

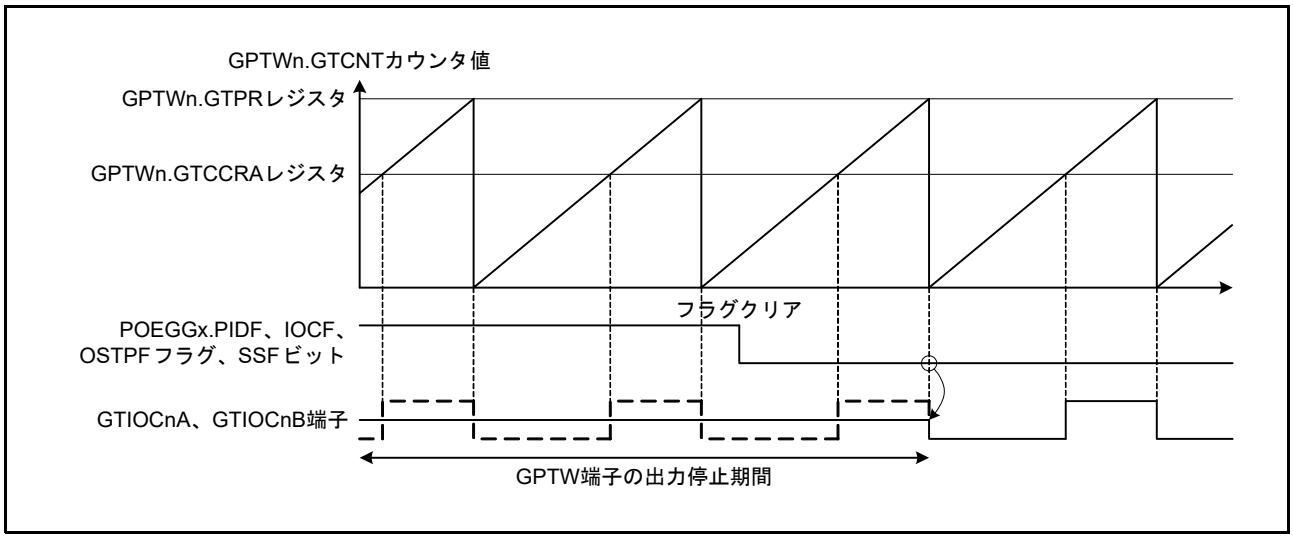


図 26.4　出力停止要求の解除による GPTW 端子の出力停止解除タイミング

26.3.6.3　入力信号のネゲートによる直接出力停止要求の解除

GTETRGx 端子入力信号と COMPn レベル検出信号による直接出力停止要求は、選択された信号の入力レベルが NFV ビットの値と一致しなくなると解除されます。

詳細は「26.3.7　**入力信号による直接出力停止要求と解除**」を参照してください。

26.3.7　入力信号による直接出力停止要求と解除

入力信号による直接出力停止要求は、GTETRGx 端子 (x = A ～ D) からの入力信号と COMPn レベル検出信号 (n = 0 ～ 5) で可能です。要因として使用する信号は、GTONCCRx.NFS[3:0] ビットで選択します。NE ビットが “1” のときに、選択した信号のレベルが INV ビット、NFV ビットで設定した値と一致すると、GPTW に出力停止要求が発行されます。

出力停止要求は、GTETRGx 端子からの入力信号や COMPn レベル検出信号のレベルが、発行条件を満たさなくなると解除されます。なお、要求を解除するときは、他の要因による出力停止要求が発行されていない (POEGGx.PIDF、IOCF フラグが “0” になっている) ことを確認してください。

図 26.5 に COMP0 レベル検出信号による出力停止動作の例を示します。この例では、GPTW0 が GTIOC0A 端子から PWM 波形を出力しているときに、CMPC0 のアナログ入力電圧がリファレンス入力電圧より高くなり、COMP0 レベル検出信号が High になります。POEG は、この信号をもとに出力停止要求を GPTW0 に出力し、GPTW0 は直ちに出力を停止します。

GPTW0 は、PWM 周期の終了前に出力停止要求が解除されても、PWM 周期が終了するまで出力停止状態を維持します。また、PWM 周期の終了時に出力停止要求が解除されていなかった場合、GPTW0 は次の PWM 周期の終了時まで出力停止状態を継続します。

なお、出力停止要求の有無は、GPTW の GTST.ODF フラグで確認することができます。詳細は、「24.2.16　汎用 PWM タイマステータスレジスタ (GTST)」の ODF フラグを参照してください。

図 26.6 に COMP0 レベル検出信号による直接出力停止要求の設定手順の例を示します。

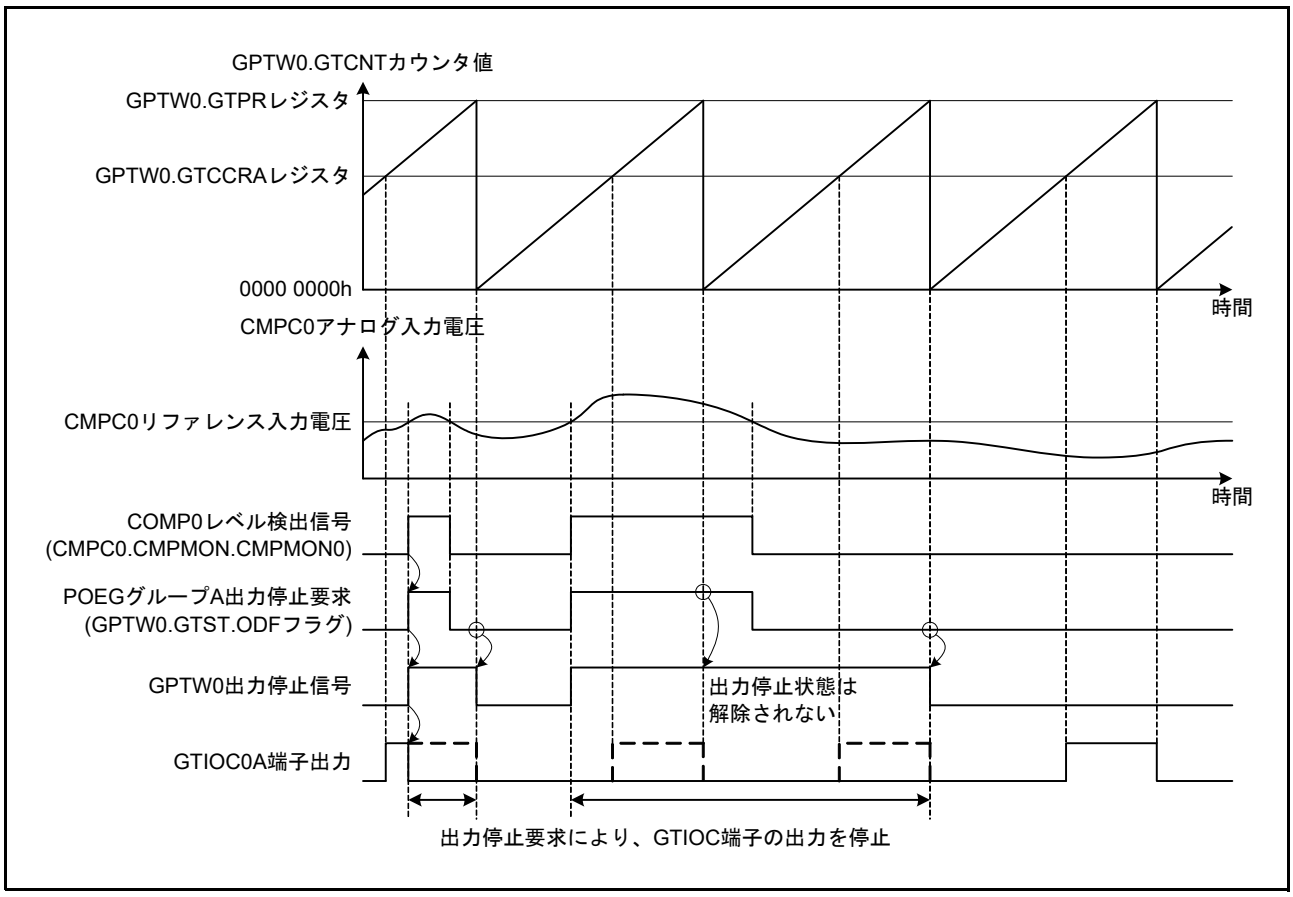
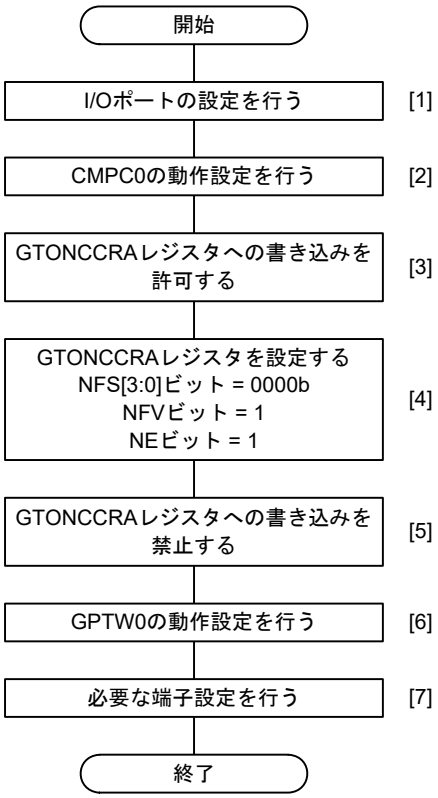


図 26.5　COMP0 レベル検出信号による GTIOC 端子の出力停止動作の例



[1] CMPC0のアナログ入力端子、GPTW0の出力端子を使用するため、PMRレジスタの対応するビットを“0”にして、当該端子を汎用入出力ポートに設定します。詳細は「20. I/Oポート」を参照してください。

[2] アナログ入力電圧とリファレンス入力電圧の比較により、POEGに対してCOMP0レベル検出信号を出力するようにCMPC0の動作を設定します(注1)。詳細は、「45. コンパレータC (CMPCa)」を参照してください。

[3] GTONCWPAレジスタに“A500h”を書き込んで、GTONCCRAレジスタへの書き込みを許可します。

[4] GTONCCRA.NFS[3:0]ビットを“0000b”にして、COMP0レベル検出信号を選択します。GTONCCRA.NFVビットを“1”にして、選択された要因が“1”のときに出力停止要求が発行されるようにします。GTONCCRA.NEビットを“1”にして、出力停止要求を許可します。

[5] GTONCWPAレジスタに“A501h”を書き込んで、GTONCCRAレジスタへの書き込みを禁止します。

[6] GTIOC0A端子にPWM波形が出力されるように、GPTW0の動作を設定します。詳細は、「24. 汎用PWMタイマ(GPTWa)」を参照してください。

[7] CMPC0のアナログ入力端子、GPTW0の出力端子を使用するために、I/Oポート、マルチファンクションピンコントローラの設定をします。詳細は、「20. I/Oポート」、「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

以上の設定により、GPTWの端子からPWM波形を出力しているときに、アナログ入力電圧とリファレンス入力電圧の比較により出力停止要求が発行され、GPTWの端子が出力を停止するようになります。

注1. 本例では、コンパレータ出力は非反転です。

図 26.6　COMP0 レベル検出信号による GTIOC 端子の出力停止の設定例

26.4　割り込み要因

POEG には、グループごとに下記の割り込み要因があります。

- GTETRGx 端子の入力レベル / エッジ検出 (x = A ～ D)
- GPTW からの出力停止条件検出信号の検出
- COMPn エッジ検出信号の検出 (n = 0 ～ 5)

表 26.3 に、割り込み要因の一覧を示します。

表26.3　割り込み要因

割り込み名称	シンボル	対応するフラグ	割り込み要因
グループA割り込み	POEGGAI	POEGGA.PIDF	GTETRGA端子からの入力信号
		POEGGA.IOCF	GPTWからの出力停止条件検出信号
			COMPnエッジ検出信号
グループB割り込み	POEGGBI	POEGGB.PIDF	GTETRGB端子からの入力信号
		POEGGB.IOCF	GPTWからの出力停止条件検出信号
			COMPnエッジ検出信号
グループC割り込み	POEGGCI	POEGGC.PIDF	GTETRGC端子からの入力信号
		POEGGC.IOCF	GPTWからの出力停止条件検出信号
			COMPnエッジ検出信号
グループD割り込み	POEGGDI	POEGGD.PIDF	GTETRGD端子からの入力信号
		POEGGD.IOCF	GPTWからの出力停止条件検出信号
			COMPnエッジ検出信号

26.5　GPTW に対する外部トリガ出力

POEG は、GTETRGx 端子 (x = A ～ D) からの入力信号を、極性変換、デジタルノイズフィルタを経由させて、外部トリガ信号として GPTW に出力します。外部トリガ信号は、POEGGx.ST フラグでモニタすることができます。GPTW は外部トリガ信号により、以下の動作を行うことができます。

- カウントスタート
- カウントストップ
- カウンタクリア
- カウントアップ
- カウントダウン
- インプットキャプチャ

詳細は、「24.　汎用 PWM タイマ (GPTWa)」を参照してください。

26.6　使用上の注意事項

26.6.1　低消費電力モードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移しないでください。このモードでは POEG が停止するため、出力停止要求をすることができません。

26.6.2　モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) により、POEG の動作を禁止 / 許可することが可能です。リセット解除後は、POEG の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、**「11.　消費電力低減機能」**を参照してください。なお、POEG のモジュールストップビットは GPTW と兼用になっています。

26.6.3　出力停止要求の重複について

フラグ経由の出力停止要求は、POEGGx.PIDF フラグ (x = A ～ D)、IOCF フラグ、OSTPF フラグ、SSF ビットの出力の論理和になっているため、どれか一つでもフラグが “1” になっていると、出力停止要求は解除されませんので注意してください。

また、GTONCCRx レジスタで設定した入力信号による直接出力停止要求についても、上記のいずれかのフラグが “1” になっていると、入力信号がネゲートされても出力停止要求は解除されません。

27. 8 ビットタイマ (TMRb)

本 MCU は、8 ビットのカウンタをベースにした 2 チャネルの 8 ビットタイマ (TMR) を 4 ユニット (ユニット 0、ユニット 1、ユニット 2、ユニット 3)、合計 8 チャネル内蔵しています。外部イベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット 0、ユニット 1、ユニット 2、ユニット 3 は同一機能です。ユニット 0 とユニット 1 は、SCI の基本クロックを生成することができます。

本章に記載している PCLK とは PCLKB を指します。

27.1 概要

表 27.1 に TMR の仕様を、**表 27.2**、**表 27.3** に TMR の機能一覧を示します。

図 27.1 にユニット 0、**図 27.2** にユニット 1、**図 27.3** にユニット 2、**図 27.4** にユニット 3 のブロック図を示します。

表27.1 TMRの仕様

項目	仕様
カウントクロック	• 内部クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 • 外部クロック：外部カウントクロック
チャネル数	(8ビット×2チャネル)×4ユニット
コンペアマッチ	• 8ビットモード(コンペアマッチA、コンペアマッチB) • 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャネルのカスケード接続	• 16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位、TMR4を上位、TMR5を下位、TMR6を上位、TMR7を下位)とする16ビットタイマ • コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント、TMR5はTMR4のコンペアマッチをカウント、TMR7はTMR6のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー(TMR0～3)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作(TMR0～3) (2) イベントカウンタ動作(TMR0～3) (3) カウントリスタート動作(TMR0～3)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2、TMR4、TMR6のコンペアマッチA
SCIの基本クロック生成	SCIの基本クロックを生成(注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

注1. 詳細は「32. シリアルコミュニケーションインタフェース(SCIk, SCIh)」を参照してください。

表27.2　TMRの機能一覧 (1)

項目		ユニット0			ユニット1		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRI0	TMR1.TCORA TMR1.TCORB TMRI1	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRI0	TMR2.TCORA TMR2.TCORB TMRI2	TMR3.TCORA TMR3.TCORB TMRI3	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRI2
コンペアマッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1 のオーバフロー	TMR0 のコンペアマッチ A	—	TMR3 のオーバフロー	TMR2 のコンペアマッチ A	—
A/Dコンバータの変換開始トリガ (注1)		○	—	○	○	—	○
SCIの基本クロックの生成 (注2)		○		—	○		—
ELC出力イベント	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	○	○	○	○	○	○
ELC入力イベント	カウントスタート	○	○	—	○	○	—
	イベントカウンタ	○	○	—	○	○	—
	カウントリスタート	○	○	—	○	○	—
モジュールストップの設定 (注3)		(ユニット 0) MSTPCRA.MSTPA5 ビット、(ユニット 1) MSTPCRA.MSTPA4 ビット					

表27.3　TMRの機能一覧 (2)

項目		ユニット2			ユニット3		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャネル		TMR4	TMR5	TMR4 + TMR5	TMR6	TMR7	TMR6 + TMR7
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI4	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI5	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI5	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI6	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI7	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI7
カウンタクリア		TMR4.TCORA TMR4.TCORB TMRI4	TMR5.TCORA TMR5.TCORB TMRI5	TMR4.TCORA + TMR5.TCORA TMR4.TCORB + TMR5.TCORB TMRI4	TMR6.TCORA TMR6.TCORB TMRI6	TMR7.TCORA TMR7.TCORB TMRI7	TMR6.TCORA + TMR7.TCORA TMR6.TCORB + TMR7.TCORB TMRI6
コンペアマッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA4	CMIA5	CMIA4	CMIA6	CMIA7	CMIA6
	コンペアマッチB	CMIB4	CMIB5	CMIB4	CMIB6	CMIB7	CMIB6
	TCNTのオーバフロー	OVI4	OVI5	OVI4	OVI6	OVI7	OVI6
カスケード接続		TMR5 のオーバフロー	TMR4 のコンペアマッチ A	—	TMR7 のオーバフロー	TMR6 のコンペアマッチ A	—
A/Dコンバータの変換開始トリガ (注1)		○	—	○	○	—	○
SCIの基本クロックの生成 (注2)		—	—	—	—	—	—
ELC出力イベント	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	○	○	○	○	○	○
ELC入力イベント	カウントスタート	○	○	—	○	○	—
	イベントカウンタ	○	○	—	○	○	—
	カウントリスタート	○	○	—	○	○	—
モジュールストップの設定 (注3)		(ユニット 2) MSTPCRA.MSTPA3 ビット、(ユニット 3) MSTPCRA.MSTPA2 ビット					

○：可能
—：不可能
注1.　詳細は「42.　12ビットA/Dコンバータ(S12ADHa)」を参照してください。
注2.　詳細は「32.　シリアルコミュニケーションインタフェース(SCIk, SCIh)」を参照してください。
注3.　詳細は「11.　消費電力低減機能」を参照してください。

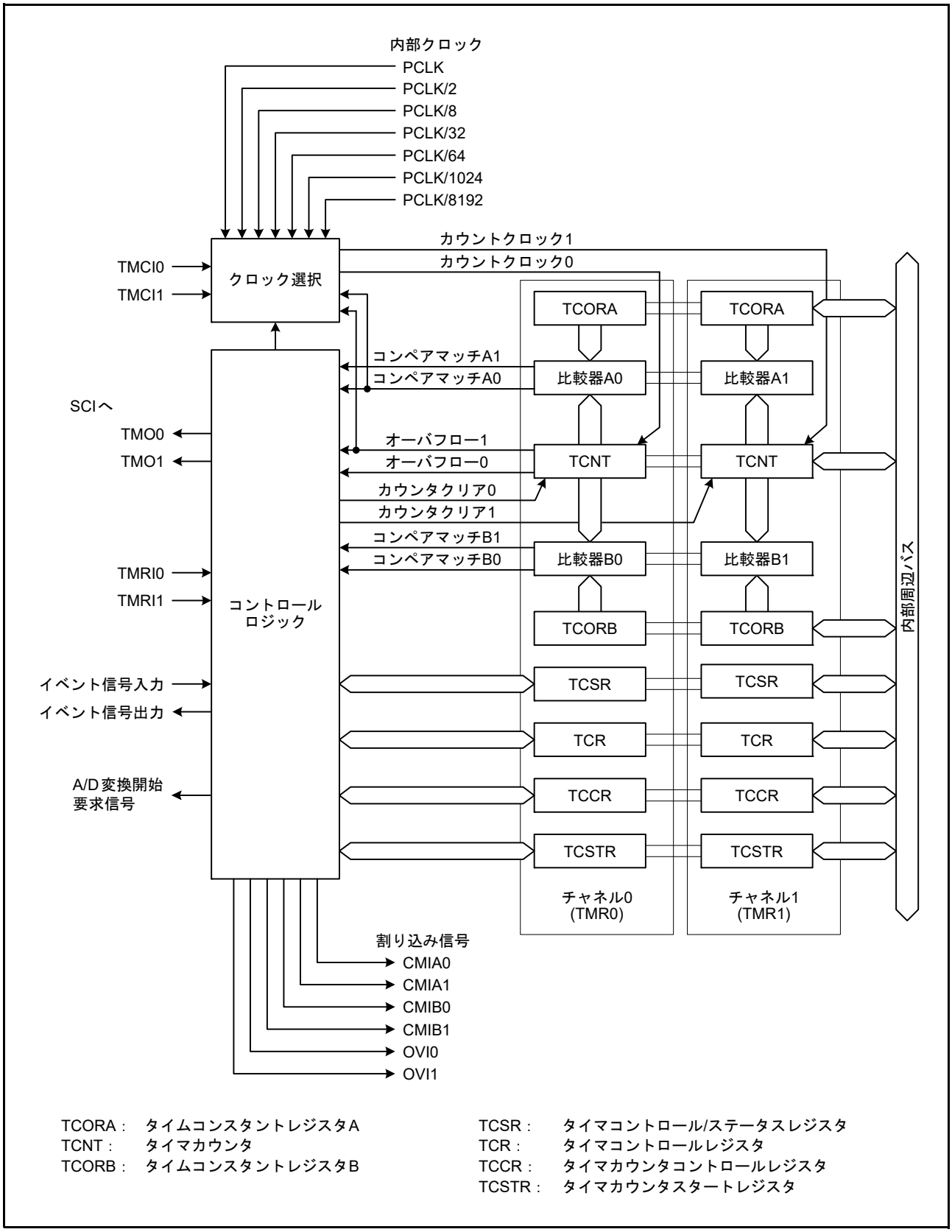


図 27.1　TMR (ユニット 0) のブロック図

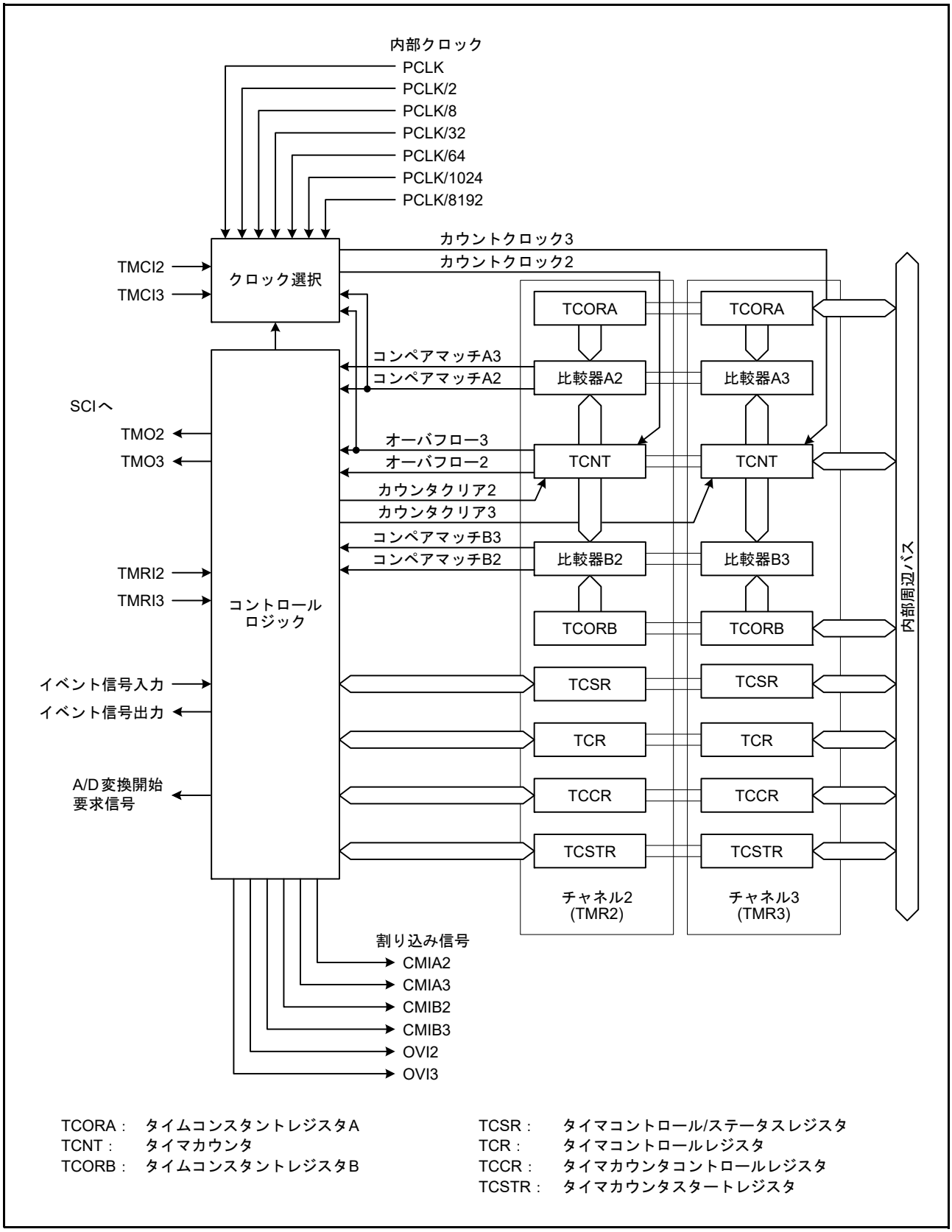


図 27.2 TMR (ユニット 1) のブロック図

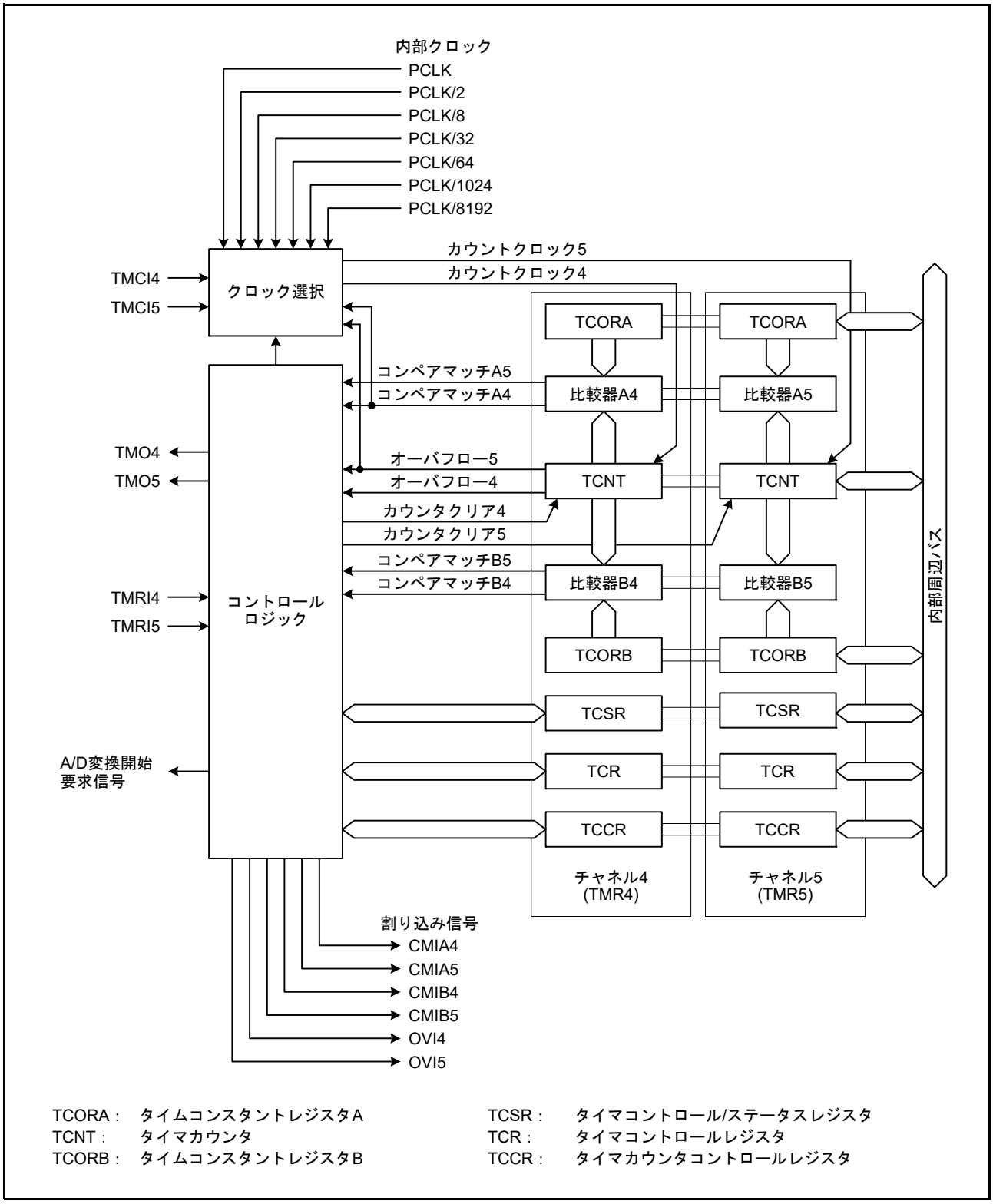


図 27.3 TMR (ユニット 2) のブロック図

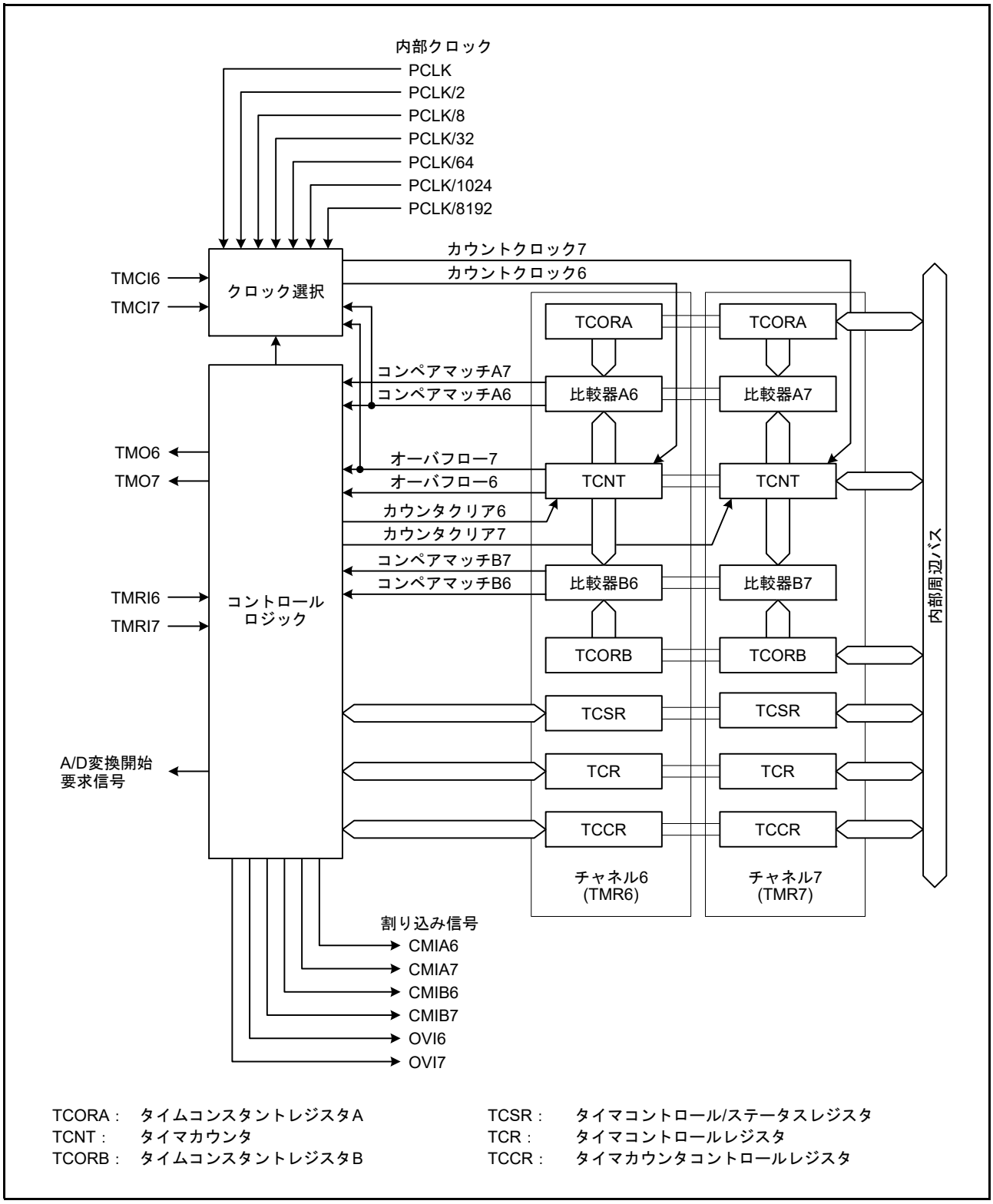


図 27.4 TMR (ユニット 3) のブロック図

表 27.4 に TMR で使用する入出力端子を示します。

表27.4 TMRの入出力端子

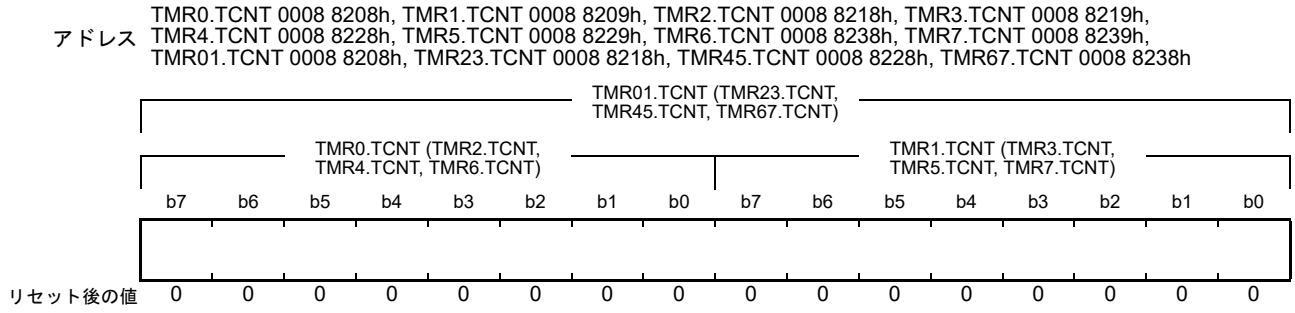
ユニット	チャネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCI0	入力	外部カウントクロック入力
		TMRI0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCI1	入力	外部カウントクロック入力
		TMRI1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCI2	入力	外部カウントクロック入力
		TMRI2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCI3	入力	外部カウントクロック入力
		TMRI3	入力	外部カウンタリセット入力
ユニット2	TMR4	TMO4	出力	コンペアマッチ出力
		TMCI4	入力	外部カウントクロック入力
		TMRI4	入力	外部カウンタリセット入力
	TMR5	TMO5	出力	コンペアマッチ出力
		TMCI5	入力	外部カウントクロック入力
		TMRI5	入力	外部カウンタリセット入力
ユニット3	TMR6	TMO6	出力	コンペアマッチ出力
		TMCI6	入力	外部カウントクロック入力
		TMRI6	入力	外部カウンタリセット入力
	TMR7	TMO7	出力	コンペアマッチ出力
		TMCI7	入力	外部カウントクロック入力
		TMRI7	入力	外部カウンタリセット入力

27.2　レジスタの説明

表27.5　16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR
0008 8228h	TMR45.TCNT	TMR4.TCNT	TMR5.TCNT
0008 8224h	TMR45.TCORA	TMR4.TCORA	TMR5.TCORA
0008 8226h	TMR45.TCORB	TMR4.TCORB	TMR5.TCORB
0008 822Ah	TMR45.TCCR	TMR4.TCCR	TMR5.TCCR
0008 8238h	TMR67.TCNT	TMR6.TCNT	TMR7.TCNT
0008 8234h	TMR67.TCORA	TMR6.TCORA	TMR7.TCORA
0008 8236h	TMR67.TCORB	TMR6.TCORB	TMR7.TCORB
0008 823Ah	TMR67.TCCR	TMR6.TCCR	TMR7.TCCR

27.2.1　タイマカウンタ (TCNT)



TCNT カウンタは、8 ビットのリード / ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ、TMR4.TCNT カウンタと TMR5.TCNT カウンタ、TMR6.TCNT カウンタと TMR7.TCNT カウンタ) を 16 ビットカウンタ (TMR01.TCNT, TMR23.TCNT, TMR45.TCNT, TMR67.TCNT) として 16 ビット単位でアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

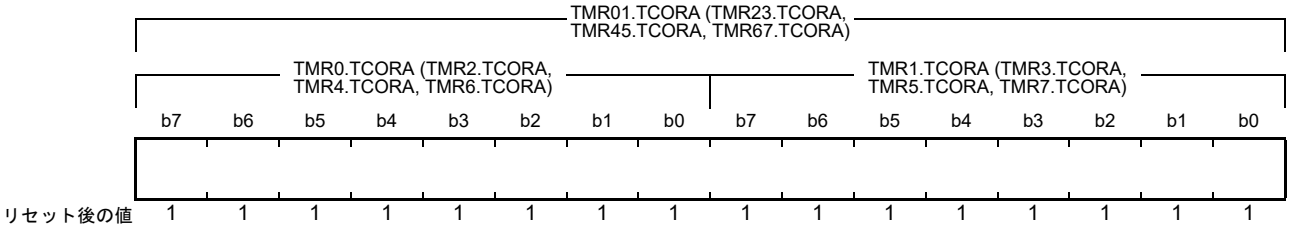
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバフロー割り込みを出力します。

なお、対応する割り込みベクタ番号は、**「14.　割り込みコントローラ (ICUG)」**と**「表 27.7　TMR の割り込み要因」**を参照してください。

27.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h, TMR4.TCORA 0008 8224h, TMR5.TCORA 0008 8225h, TMR6.TCORA 0008 8234h, TMR7.TCORA 0008 8235h, TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h, TMR45.TCORA 0008 8224h, TMR67.TCORA 0008 8234h



TCORA レジスタは、8 ビットのリード / ライト可能なレジスタです。

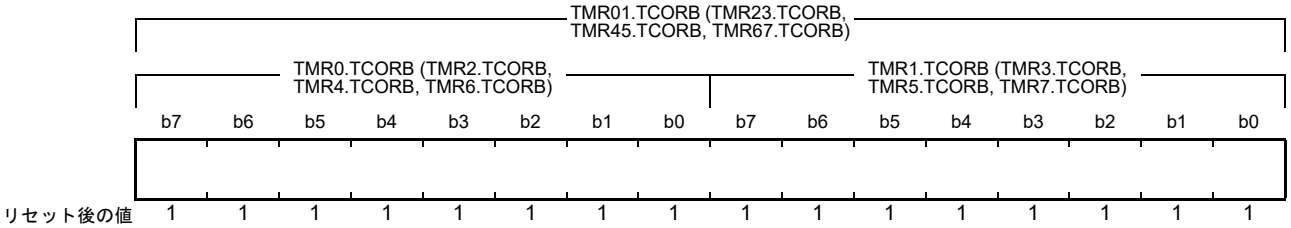
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ、TMR4.TCORA レジスタと TMR5.TCORA レジスタ、TMR6.TCORA レジスタと TMR7.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA, TMR45.TCORA, TMR67.TCORA) として 16 ビット単位でアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込みを出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMOn 端子からのタイマ出力を制御することができます。

27.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h, TMR4.TCORB 0008 8226h, TMR5.TCORB 0008 8227h, TMR6.TCORB 0008 8236h, TMR7.TCORB 0008 8237h, TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h, TMR45.TCORB 0008 8226h, TMR67.TCORB 0008 8236h



TCORB レジスタは、8 ビットのリード / ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ、TMR4.TCORB レジスタと TMR5.TCORB レジスタ、TMR6.TCORB レジスタと TMR7.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB, TMR45.TCORB, TMR67.TCORB) として 16 ビット単位でアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込みを出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMOn 端子からのタイマ出力を制御することができます。

27.2.4　タイマコントロールレジスタ (TCR)

アドレス　TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h, TMR4.TCR 0008 8220h, TMR5.TCR 0008 8221h, TMR6.TCR 0008 8230h, TMR7.TCR 0008 8231h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット	b4 b3 0 0：クリアを禁止 0 1：コンペアマッチAによりクリア 1 0：コンペアマッチBによりクリア 1 1：外部カウンタリセット信号によりクリア(注1) (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	オーバフロー割り込み許可ビット	0：オーバフローによる割り込み要求(OVIn)を禁止 1：オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチA割り込み許可ビット	0：コンペアマッチAによる割り込み要求(CMIAn)を禁止 1：コンペアマッチAによる割り込み要求(CMIAn)を許可	R/W
b7	CMIEB	コンペアマッチB割り込み許可ビット	0：コンペアマッチBによる割り込み要求(CMIBn)を禁止 1：コンペアマッチBによる割り込み要求(CMIBn)を許可	R/W

注1.　外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「20.　I/Oポート」、および「21.　マルチファンクションピンコントローラ(MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (オーバフロー割り込み許可ビット)

TCNT カウンタのオーバフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ A 割り込み許可ビット)

TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAn) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ B 割り込み許可ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBn) の許可または禁止を選択します。

27.2.5　タイマカウンタコントロールレジスタ (TCCR)

アドレス　TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh, TMR4.TCCR 0008 822Ah, TMR5.TCCR 0008 822Bh, TMR6.TCCR 0008 823Ah, TMR7.TCCR 0008 823Bh, TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah, TMR45.TCCR 0008 822Ah, TMR67.TCCR 0008 823Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表27.6を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表27.6を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0：外部カウンタリセット信号の立ち上がりでクリア 1：外部カウンタリセット信号のHighでクリア	R/W

注1.　外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20.　I/Oポート」、および「21.　マルチファンクションピンコントローラ(MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する 8 ビットのレジスタです。偶数チャネルのアドレスに対して 16 ビットアクセスすると、同時に 2 つの TCCR レジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)
CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよび CSS[1:0] ビットは、カウントクロックを選択します。詳細は、**表 27.6** を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが “11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表27.6　TCNTカウンタに入力するクロックとカウント条件

チャネル	TCCRレジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0 (TMR2, TMR4, TMR6)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント (注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
				1	0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
				1	0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT, TMR5.TCNT, TMR7.TCNT)のオーバフロー信号でカウント (注2)
TMR1 (TMR3, TMR5, TMR7)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント (注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
				1	0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
				1	0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT, TMR4.TCNT, TMR6.TCNT)のコンペアマッチAでカウント (注2)

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

注2. TMR0 (TMR2, TMR4, TMR6)のクロック入力をTMR1.TCNT (TMR3.TCNT, TMR5.TCNT, TMR7.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3, TMR5, TMR7)のクロック入力をTMR0.TCNT (TMR2.TCNT, TMR4.TCNT, TMR6.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウントクロックが発生しません。この設定は行わないでください。

27.2.6 タイマコントロール / ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR、TMR4.TCSR、TMR6.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h, TMR4.TCSR 0008 8222h, TMR6.TCSR 0008 8232h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット	0：コンペアマッチAによるA/D変換開始要求を禁止 1：コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMOn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMOn 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMOn 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR、TMR5.TCSR、TMR7.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h, TMR5.TCSR 0008 8223h, TMR7.TCSR 0008 8233h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMOn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMOn 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMOn 端子の出力方法を選択します。

27.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR1.TCSTR 0008 820Dh, TMR2.TCSTR 0008 821Ch, TMR3.TCSTR 0008 821Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0：ELCによるカウント停止状態 1：ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウントの状態を確認できます。

読み出し値が “1” のとき、ELC よるタイマ開始状態で、“0” のとき、タイマカウント停止状態です。

このビットをクリアするには、“0” を書いてください。“1” の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみ有効となります。

詳細は、「27.7 ELC によるリンク動作」および、「19. イベントリンクコントローラ (ELC)」を参照してください。

27.3 動作説明

27.3.1 パルス出力

任意のデューティパルスを出力させる例を図 27.5 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

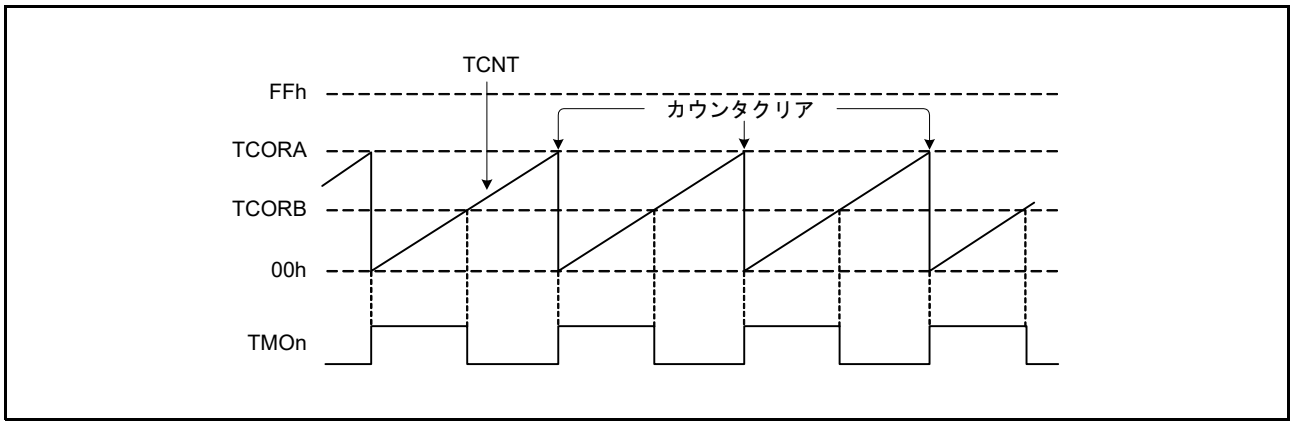


図 27.5 パルス出力例 (n = 0 ～ 7)

27.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 27.6 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを “1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

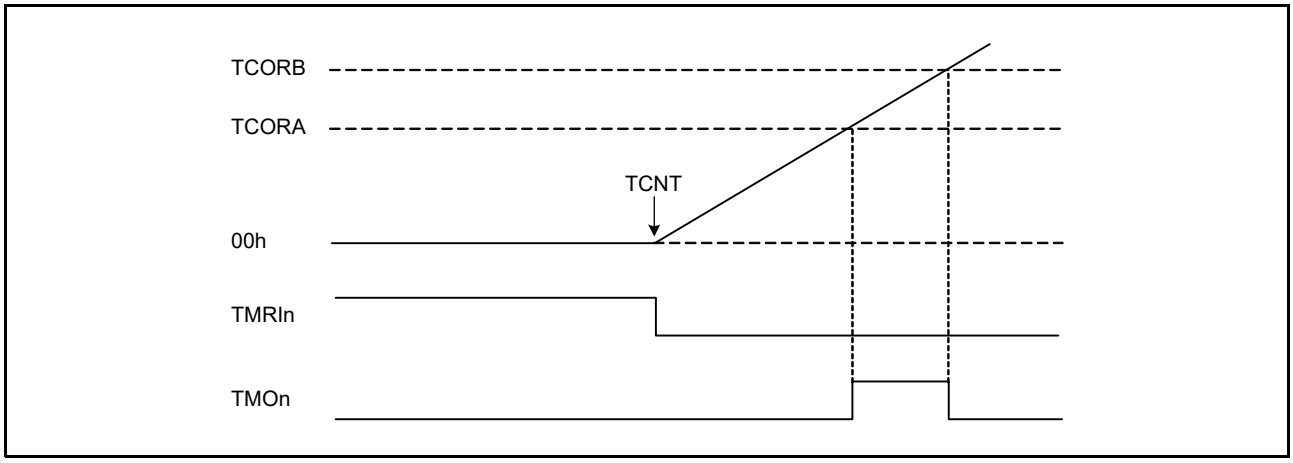


図 27.6 外部カウンタリセット信号入力例 (n = 0 ～ 7)

27.4　動作タイミング

27.4.1　TCNT カウンタのカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 27.7 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 27.8 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

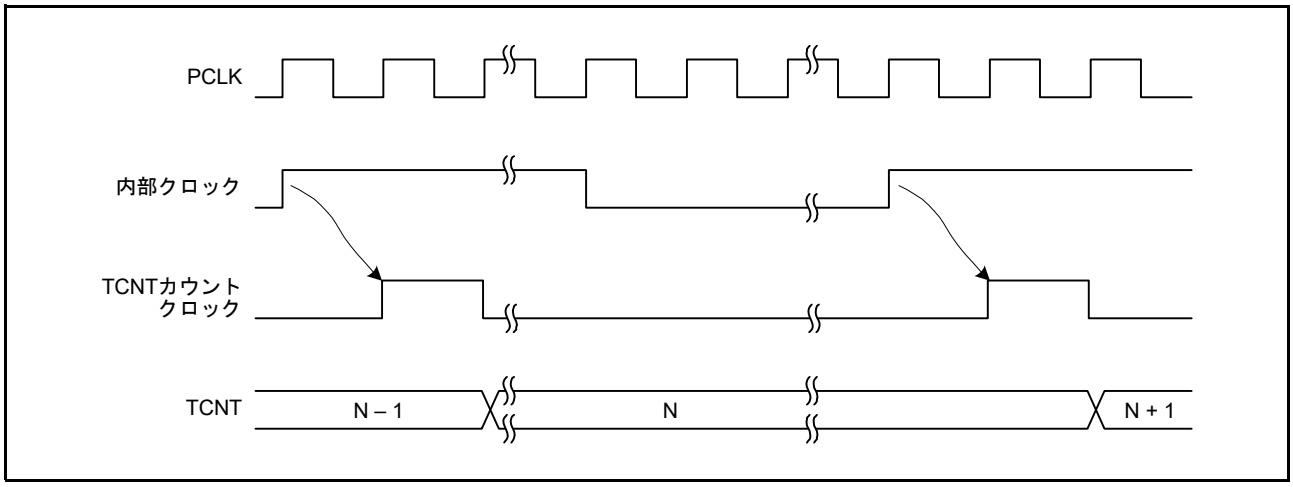


図 27.7　内部クロック動作時のカウントタイミング

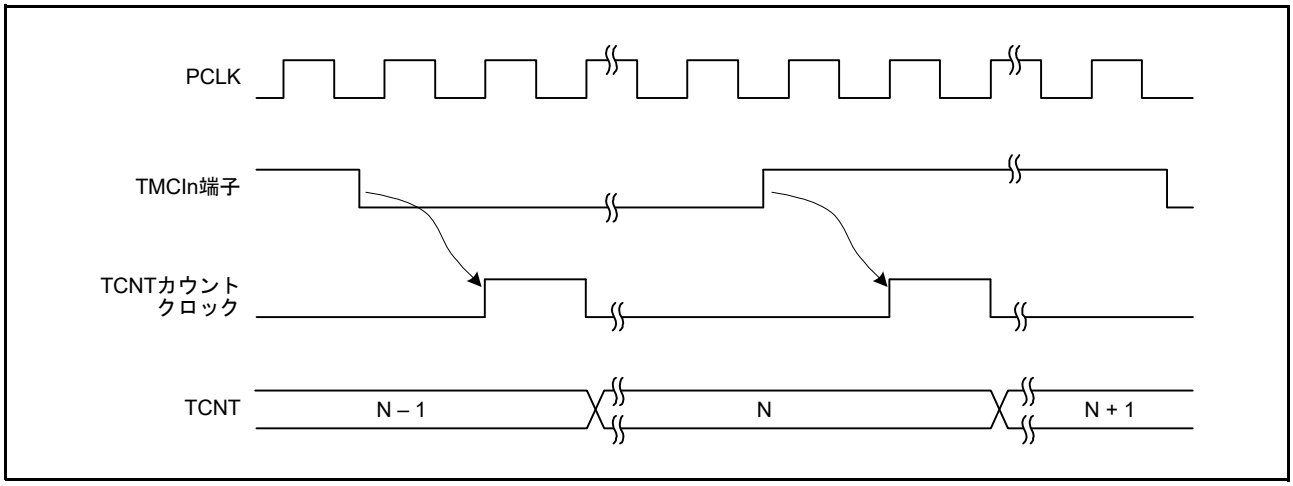


図 27.8　外部クロック動作時のカウントタイミング (両エッジの場合)

27.4.2　コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを**図 27.9** に示します。

なお、対応する割り込みベクタ番号は、**「14.　割り込みコントローラ (ICUG)」**と**表 27.7** を参照してください。

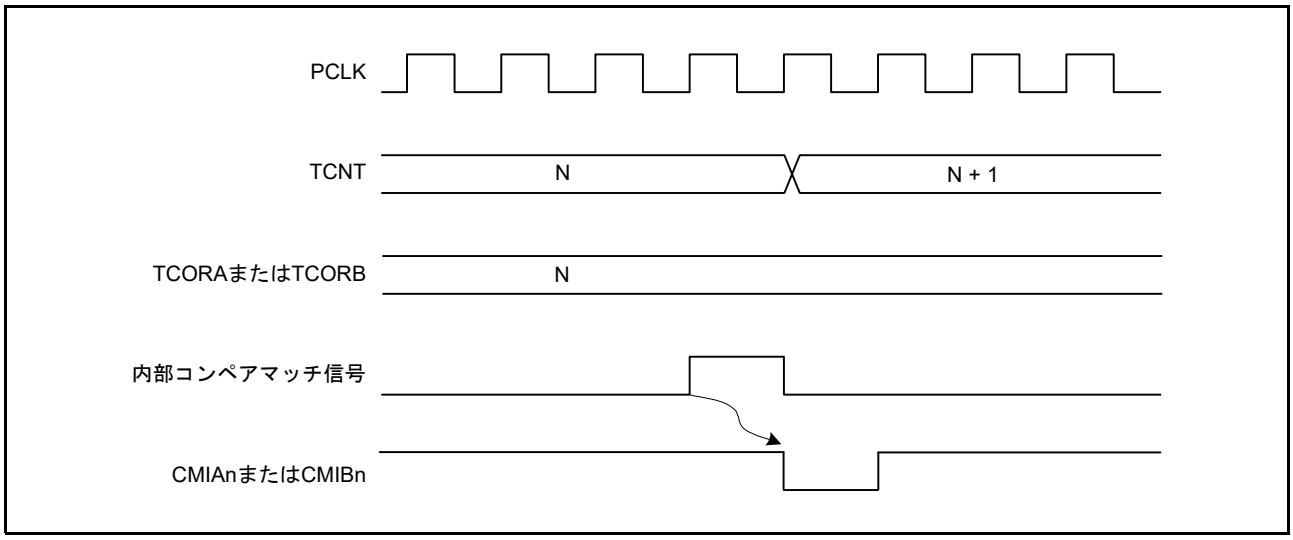


図 27.9　コンペアマッチ時の割り込みタイミング (n = 0 ～ 7)

27.4.3　コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMOn) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを**図 27.10** に示します。

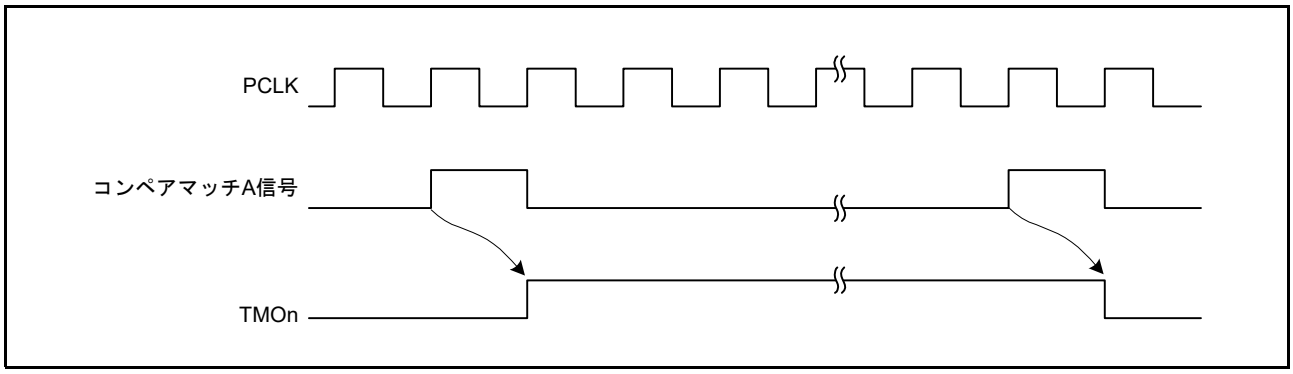


図 27.10　コンペアマッチ A 信号による出力信号タイミング (n = 0 ～ 7)

27.4.4　コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 27.11 に示します。

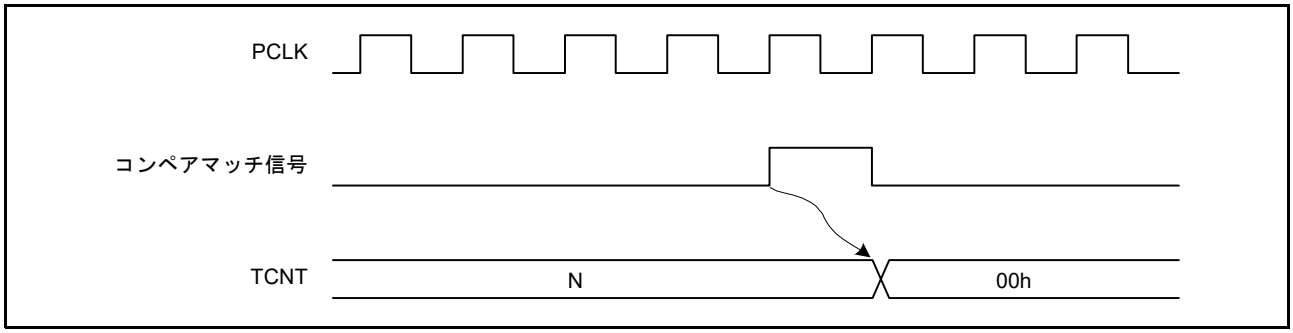


図 27.11　コンペアマッチによるカウンタクリアタイミング

27.4.5　TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 27.12、図 27.13 に示します。

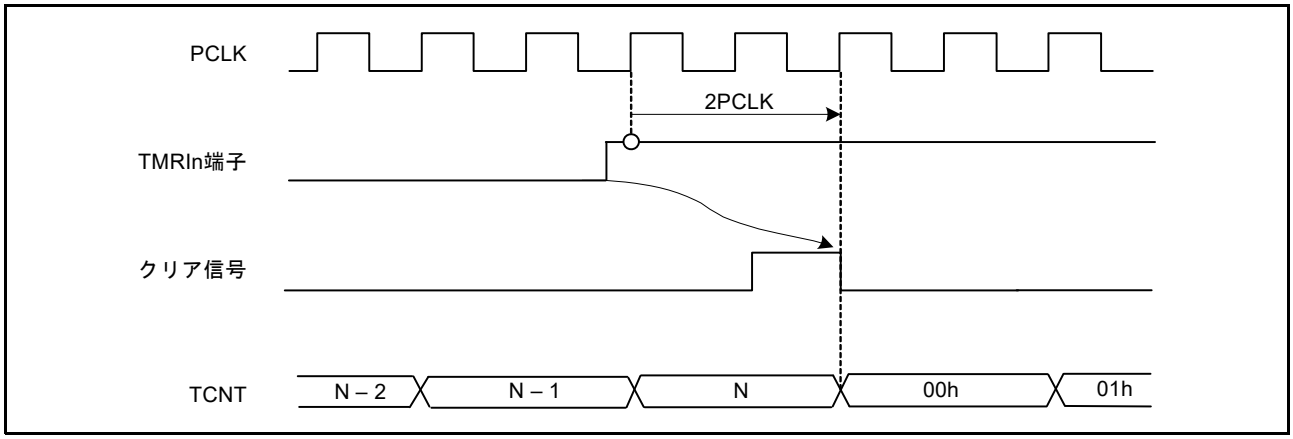


図 27.12　外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

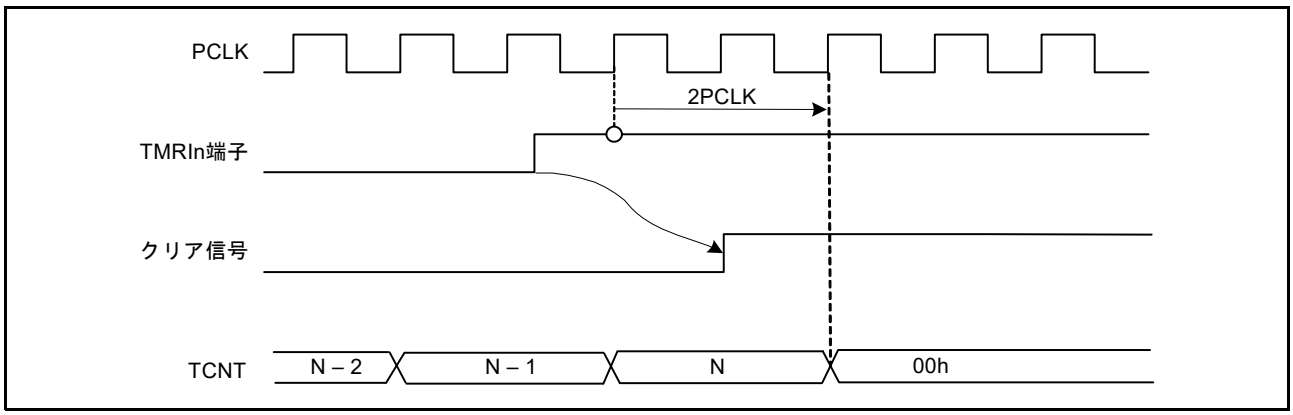


図 27.13　外部カウンタリセット信号によるクリアタイミング (High)

27.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 27.14 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUG)」と表 27.7 を参照してください。

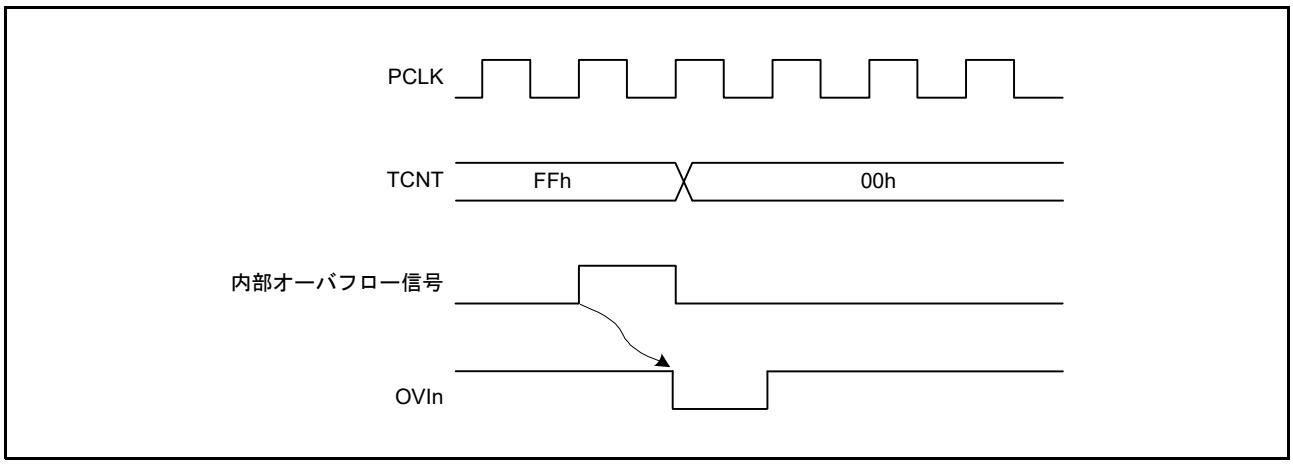


図 27.14 オーバフローによる割り込みタイミング (n = 0 ～ 7)

27.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを “11b” にすると、2 チャネルの TMR はカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット 0 について説明しています。ユニット 1、ユニット 2、ユニット 3 のカスケード接続時の動作についても、ユニット 0 と同様です。

27.5.1 16 ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが “11b” のとき、TMR0 を上位 8 ビット、TMR1 を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が 16 ビットカウンタに対して有効になります。
  TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生すると 16 ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMRI0 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16 ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位 8 ビットのコンペアマッチ条件に従います。

27.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが “11b” のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMOn 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャネルの設定に従います。

27.6 割り込み要因

27.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIAn、CMIBn、OVIn の 3 種類があります。**表 27.7** に各割り込み要因と優先順位を示します。

なお、CMIAn、CMIBn 割り込みにより DTC を起動することができます。

表27.7 TMRの割り込み要因

名称	割り込み要因	DTCの起動
CMIA0	TMR0.TCORAのコンペアマッチ	可能
CMIB0	TMR0.TCORBのコンペアマッチ	可能
OVI0	TMR0.TCNTのオーバフロー	不可能
CMIA1	TMR1.TCORAのコンペアマッチ	可能
CMIB1	TMR1.TCORBのコンペアマッチ	可能
OVI1	TMR1.TCNTのオーバフロー	不可能
CMIA2	TMR2.TCORAのコンペアマッチ	可能
CMIB2	TMR2.TCORBのコンペアマッチ	可能
OVI2	TMR2.TCNTのオーバフロー	不可能
CMIA3	TMR3.TCORAのコンペアマッチ	可能
CMIB3	TMR3.TCORBのコンペアマッチ	可能
OVI3	TMR3.TCNTのオーバフロー	不可能
CMIA4	TMR4.TCORAのコンペアマッチ	可能
CMIB4	TMR4.TCORBのコンペアマッチ	可能
OVI4	TMR4.TCNTのオーバフロー	不可能
CMIA5	TMR5.TCORAのコンペアマッチ	可能
CMIB5	TMR5.TCORBのコンペアマッチ	可能
OVI5	TMR5.TCNTのオーバフロー	不可能
CMIA6	TMR6.TCORAのコンペアマッチ	可能
CMIB6	TMR6.TCORBのコンペアマッチ	可能
OVI6	TMR6.TCNTのオーバフロー	不可能
CMIA7	TMR7.TCORAのコンペアマッチ	可能
CMIB7	TMR7.TCORBのコンペアマッチ	可能
OVI7	TMR7.TCNTのオーバフロー	不可能

27.6.2 A/D コンバータの起動

TMR0、TMR2、TMR4、TMR6 のコンペアマッチ A で、A/D コンバータを起動することができます。

TMRn.TCSR.ADTE ビットが “1” (コンペアマッチ A による A/D 変換開始要求を許可) の状態で、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

表27.8 A/Dコンバータの起動

A/Dコンバータ	TMRユニット番号	対象	A/D変換開始要求
S12AD, S12AD1, S12AD2 (12ビットA/Dコンバータ)	0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1
	2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	TMTRG0AN_2
	3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	TMTRG0AN_3

27.7 ELC によるリンク動作

27.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャネルは TMR0 ～ TMR3 です。

イベント信号は該当する割り込み要求許可ビット (TMRn.TCR.OVIE, TMRn.TCR.CMIEA, TMRn.TCR.CMIEB (n = 0 ～ 3)) の設定に関係なく出力することができます。詳細は、**「19. イベントリンクコントローラ (ELC)」**を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

27.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが “1” にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが “1” にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ “0” を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD[1:0]、ELOPD.TMR1MD[1:0]、ELOPD.TMR2MD[1:0]、ELOPD.TMR3MD[1:0] ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウント動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウント動作を継続することができます。

27.7.3 ELC からのイベント信号受信による TMR の注意事項

以下に TMR をイベントリンクによる動作で使用するときの注意事項を示します。

(1) カウントスタート動作

TCSTR.TCS ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットへの書き込みサイクルは行われずイベント発生による “1” の設定が優先されます。

(2) イベントカウンタ動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

27.8 使用上の注意事項

27.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「11. 消費電力低減機能」**を参照してください。

27.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f : カウンタ周波数、PCLK : 動作周波数、N : TCORA、TCORB レジスタの設定値)。

$$f = PCLK/(N + 1)$$

27.8.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 27.15 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

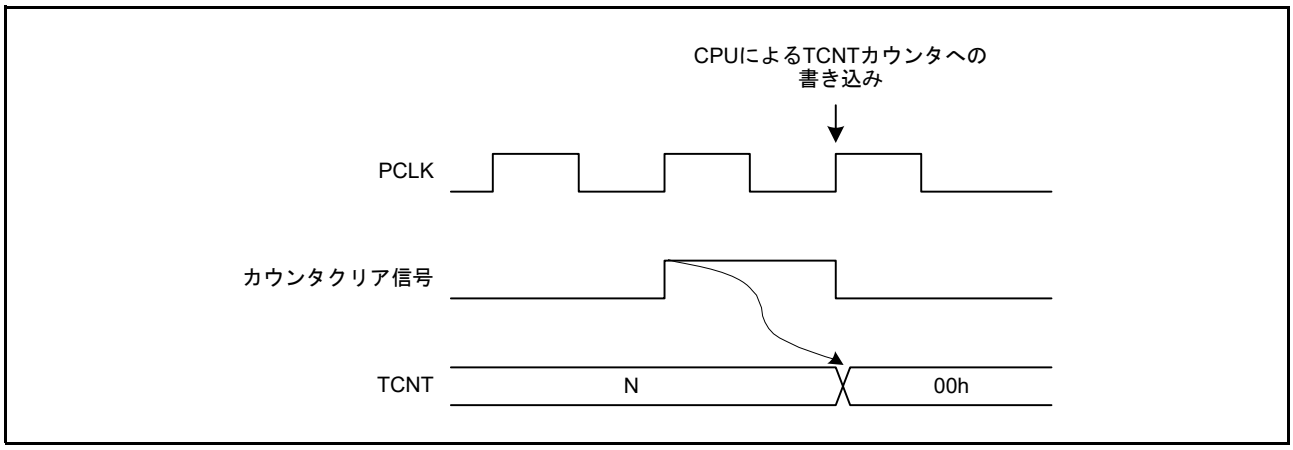


図 27.15 TCNT カウンタへの書き込みとカウンタクリアの競合

27.8.4　TCNT カウンタへの書き込みとカウントアップの競合

図 27.16 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

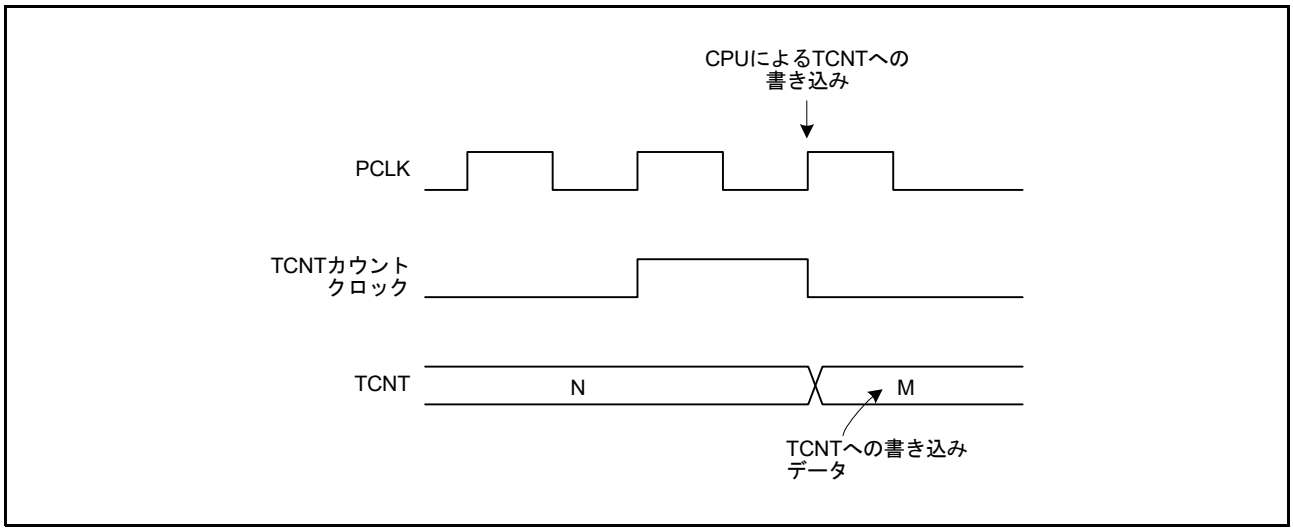


図 27.16　TCNT カウンタへの書き込みとカウントアップの競合

27.8.5　TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 27.17 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペマッチ信号は High になりません。

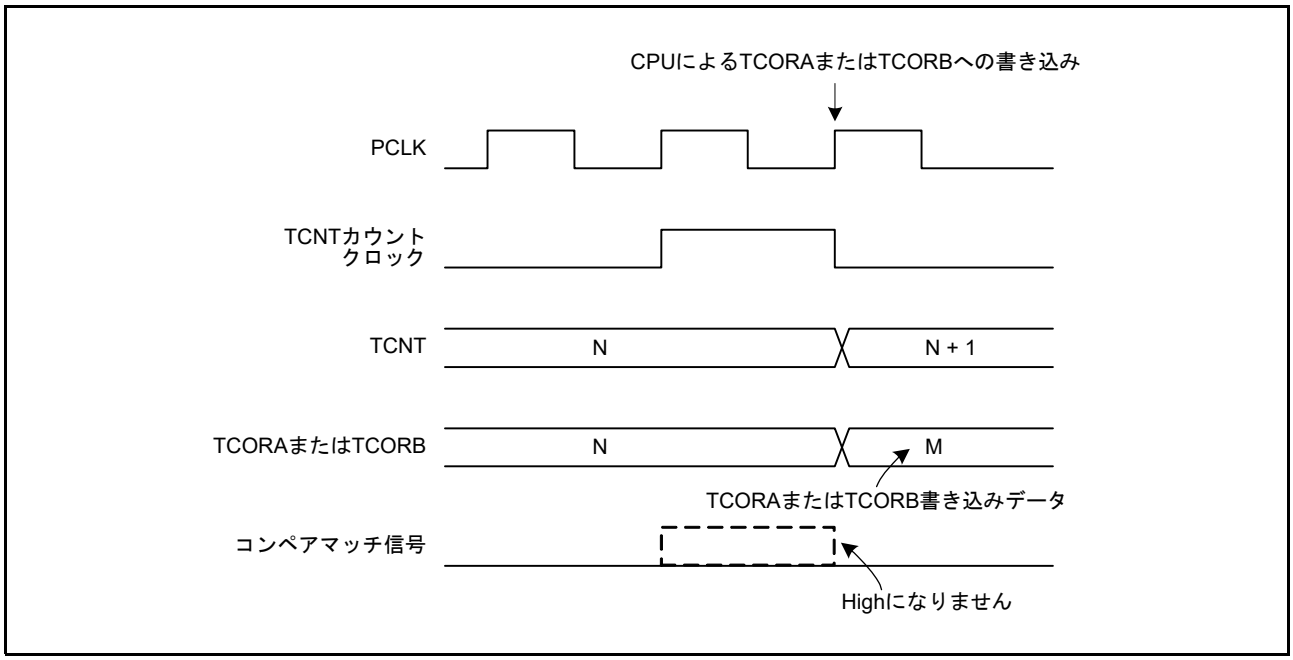


図 27.17　TCORA、TCORB レジスタのライトとコンペアマッチの競合

27.8.6　コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、**表 27.9** に示す出力設定の優先順位の高い方が出力されます。

表27.9　タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

27.8.7　内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を**表 27.10** に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば**表 27.10** の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表27.10　内部クロックの切り替えとTCNTカウンタの動作 (1/2)

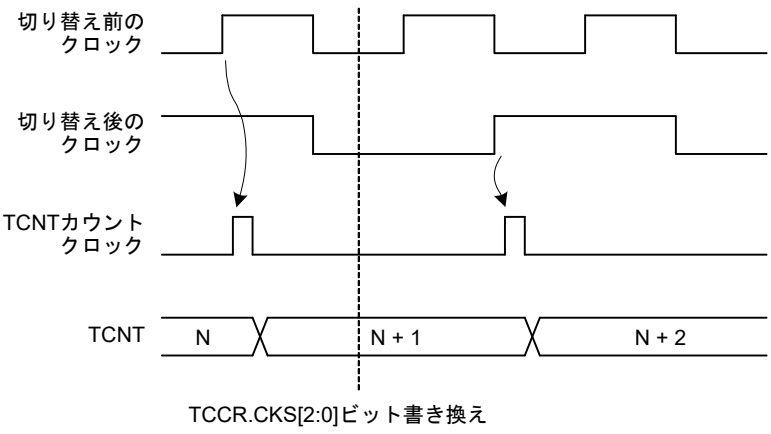
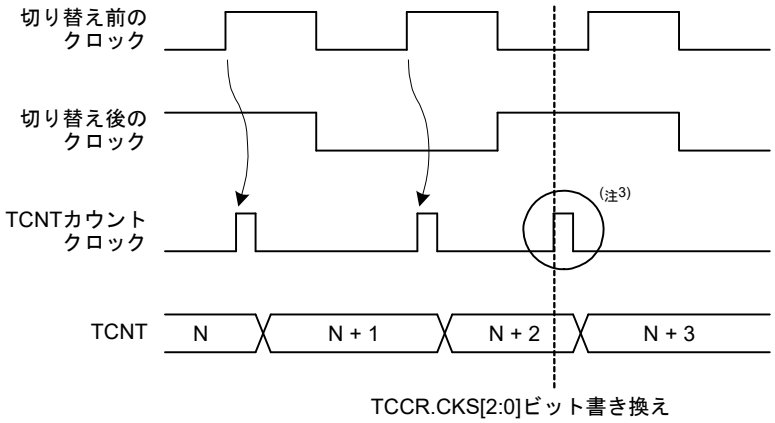
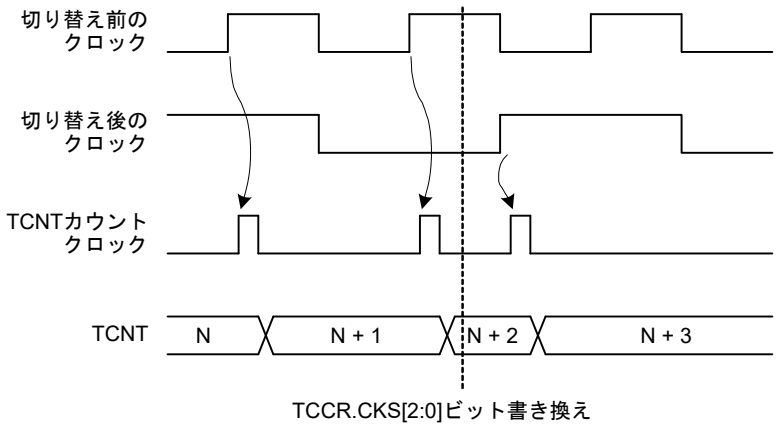
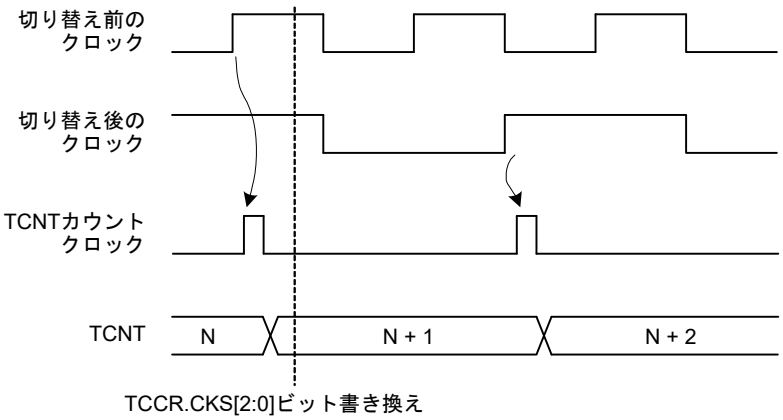
No.	TCCR.CKS[2:0]ビット 書き換えタイミング	TCNTカウンタの動作
1	Low→Low (注1)の切り替え	

表27.10　内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット 書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	
3	High→Low (注4)の切り替え	
4	High→Highの切り替え	

注1.　Low→停止、および停止→Lowの場合を含みます。
注2.　停止→Highの場合を含みます。
注3.　切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
注4.　High→停止の場合を含みます。

27.8.8 カスケード接続時のクロックソース設定

16 ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ、TMR4.TCNT、TMR5.TCNT カウンタ、TMR6.TCNT、TMR7.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

27.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを “00h” に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “00h” のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは 2 つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 27.18 に示します。

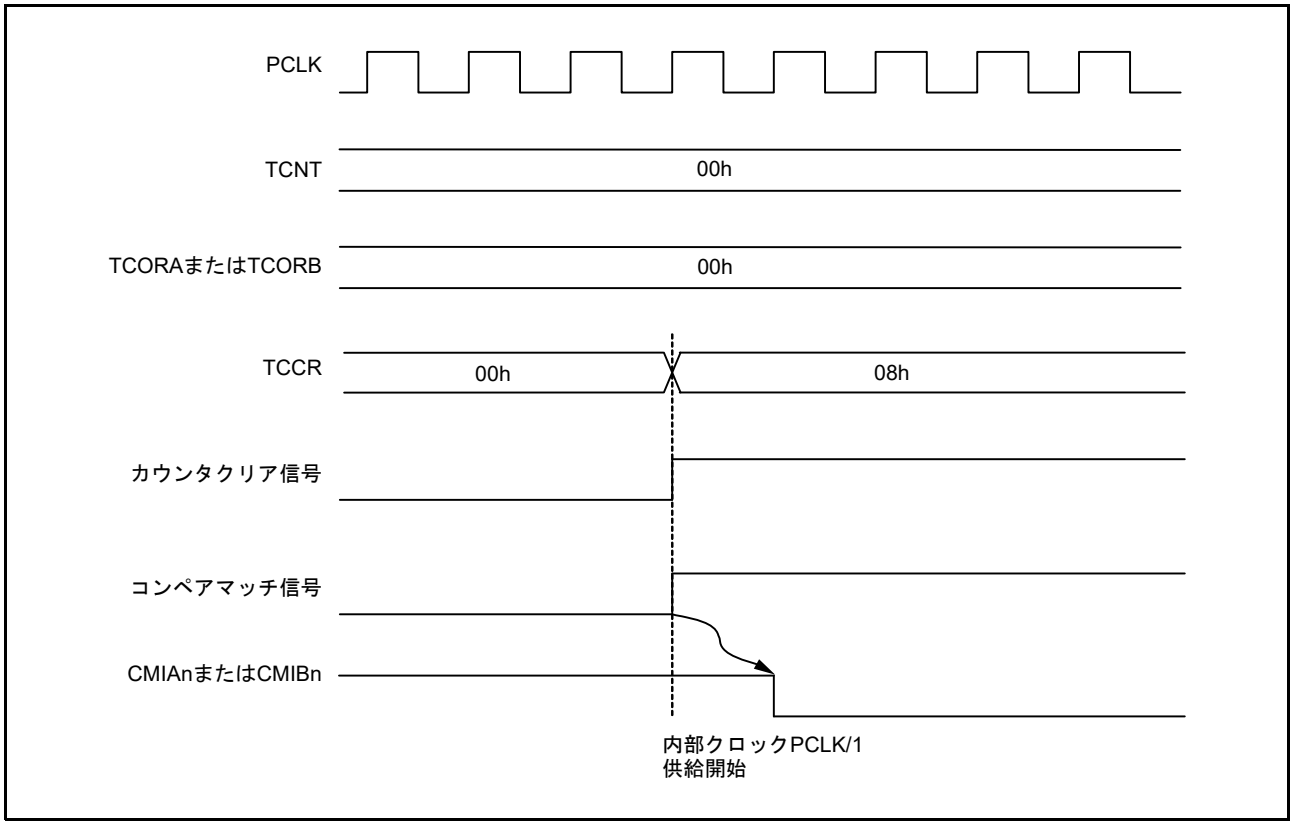


図 27.18 コンペアマッチ割り込みの連続出力 (n = 0 ～ 7)

28. コンペアマッチタイマ (CMT)

本 MCU は、2 チャネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

28.1 概要

表 28.1 に CMT の仕様を示します。

図 28.1 に CMT (ユニット 0) のブロック図を示します。2 チャネルの CMT で 1 ユニットを構成し、ユニット 0 とユニット 1 は同じ仕様です。ユニット 0 のコンペアマッチタイマスタートレジスタ 0 (CMSTR0)、コンペアマッチ割り込み (CMI0, CMI1) が、ユニット 1 ではコンペアマッチタイマスタートレジスタ 1 (CMSTR1)、コンペアマッチ割り込み (CMI2, CMI3) に対応します。

表28.1 CMTの仕様

項目	機能
カウントクロック	• 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

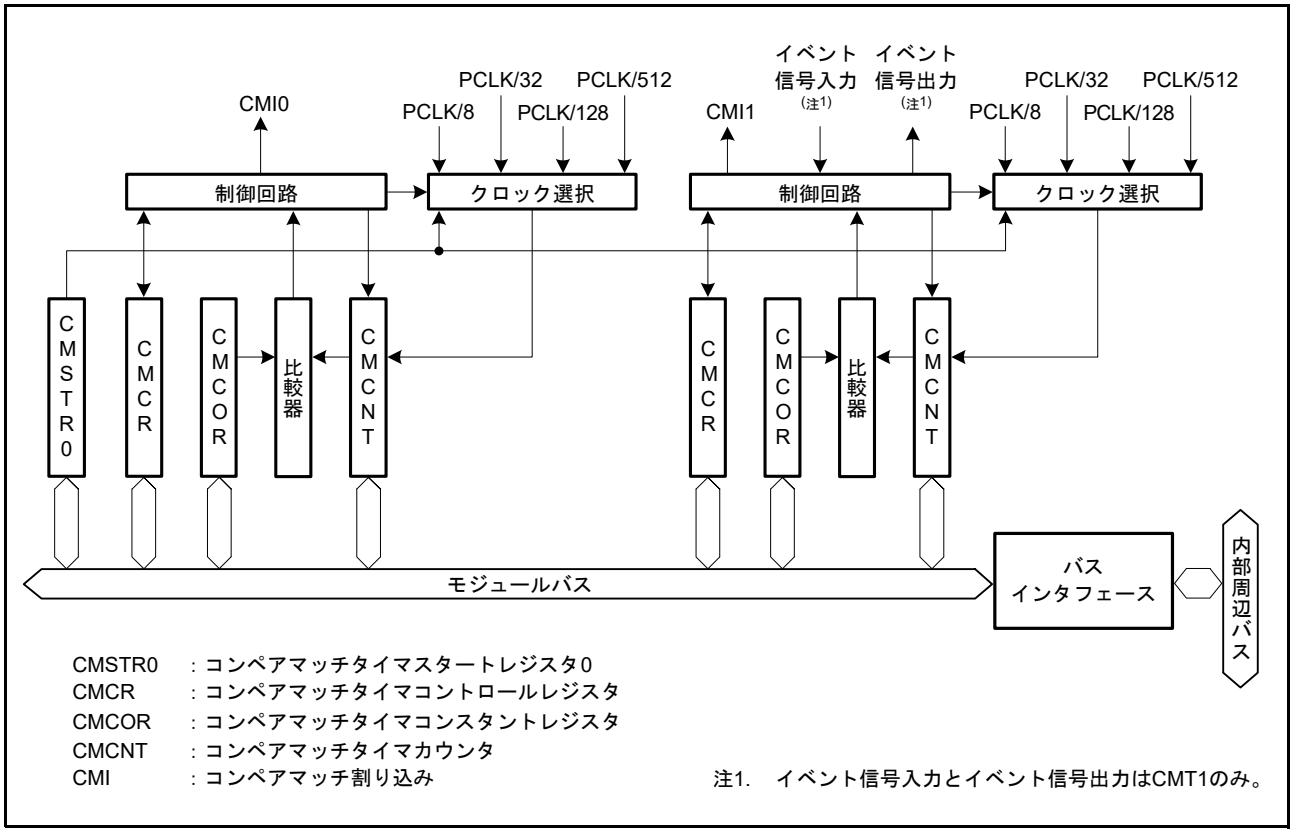


図 28.1 CMT (ユニット 0) のブロック図

28.2　レジスタの説明

28.2.1　コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス　CMT.CMSTR0 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0：CMT0.CMCNTカウンタのカウント動作停止 1：CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	0：CMT1.CMCNTカウンタのカウント動作停止 1：CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.2　コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス　CMT.CMSTR1 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0：CMT2.CMCNTカウンタのカウント動作停止 1：CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3ビット	0：CMT3.CMCNTカウンタのカウント動作停止 1：CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.3　コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス　CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：PCLK/8 0 1：PCLK/32 1 0：PCLK/128 1 1：PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0：コンペアマッチ割り込み(CMIn)を禁止 1：コンペアマッチ割り込み(CMIn)を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

CMSTRm.STRn ビット (m = 0, 1、n = 0 ～ 3) を “1” に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) の発生を許可するか禁止するかを選択します。

28.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1、n = 0 ～ 3) を “1” にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) が発生します。

28.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

28.3　動作説明

28.3.1　周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット (m = 0, 1、n = 0 ～ 3) を “1” にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) が発生します。CMCNT カウンタは “0000h” からカウントアップを再開します。CMCNT カウンタの動作を図 28.2 に示します。

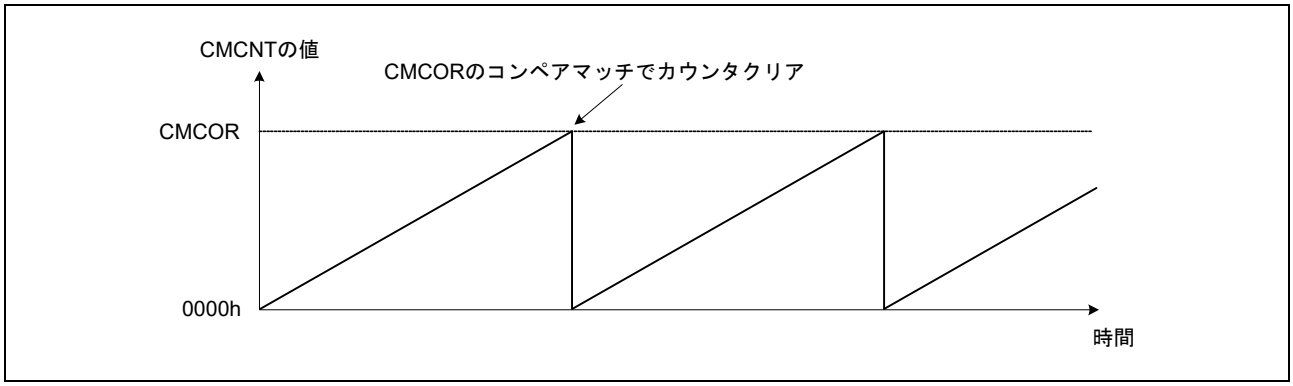


図 28.2　CMCNT カウンタの動作

28.3.2　CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 28.3 に示します。

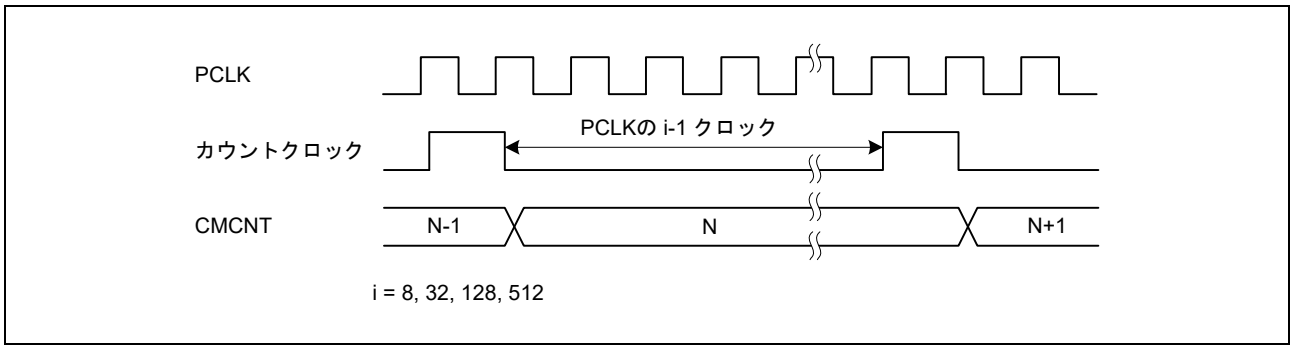


図 28.3　CMCNT カウンタのカウントタイミング

28.4 割り込み

28.4.1 割り込み要因

CMT は、チャネルごとにコンペアマッチ割り込み (CMIn) (n = 0 ～ 3) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUG)」を参照してください。

表 28.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能
CMI2	CMT2のコンペアマッチ	可能	可能
CMI3	CMT3のコンペアマッチ	可能	可能

28.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 28.4 に示します。

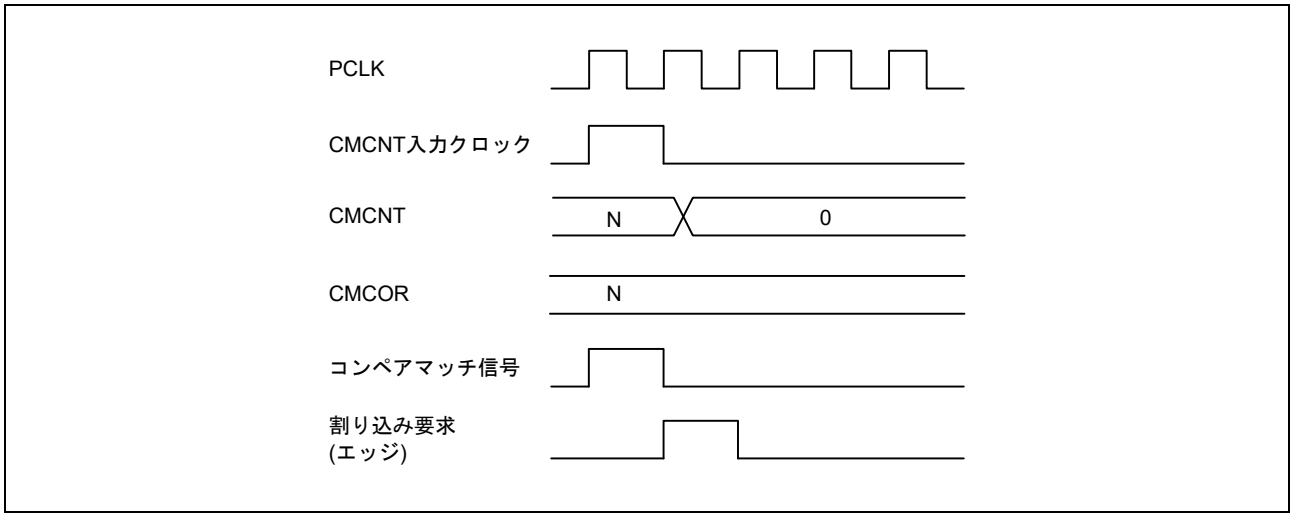


図 28.4 コンペアマッチ割り込みタイミング

28.5 ELC によるリンク動作

28.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

28.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが “1” になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが “1” になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが “1” の状態で、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウント動作を行います。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPC レジスタで CMT のカウントリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが “1” の状態であればカウント動作を継続することができます。

28.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用するときの注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による “1” の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウント値の初期化が優先されます。

28.6 使用上の注意事項

28.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作を禁止 / 許可することが可能です。リセット後、CMT はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

28.6.2 CMCNT カウンタへの書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 28.5 に示します。

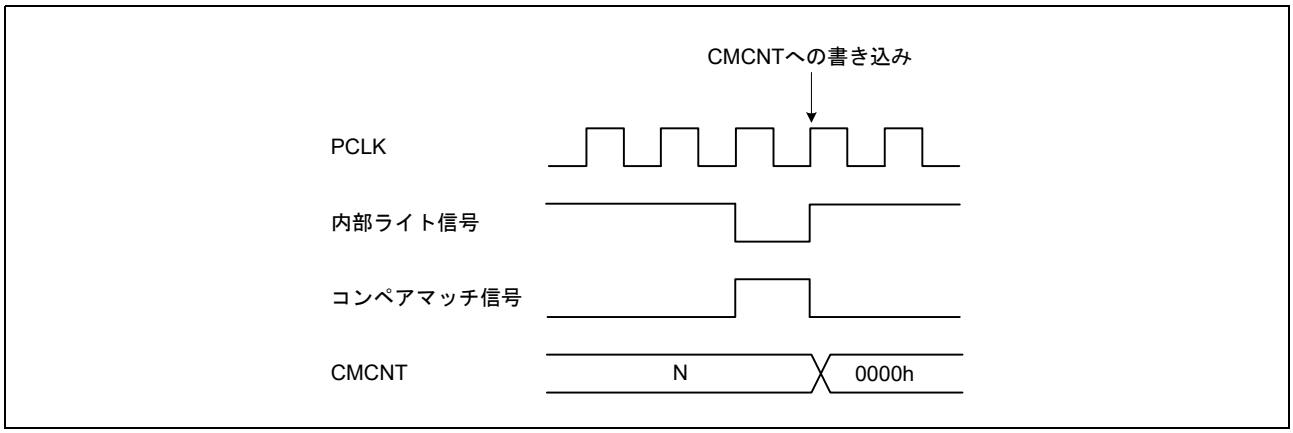


図 28.5 CMCNT カウンタへの書き込みとコンペアマッチの競合

28.6.3 CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへの書き込みと、カウントアップが競合した場合、CMCNT カウンタへの書き込みが優先されます。このタイミングを図 28.6 に示します。

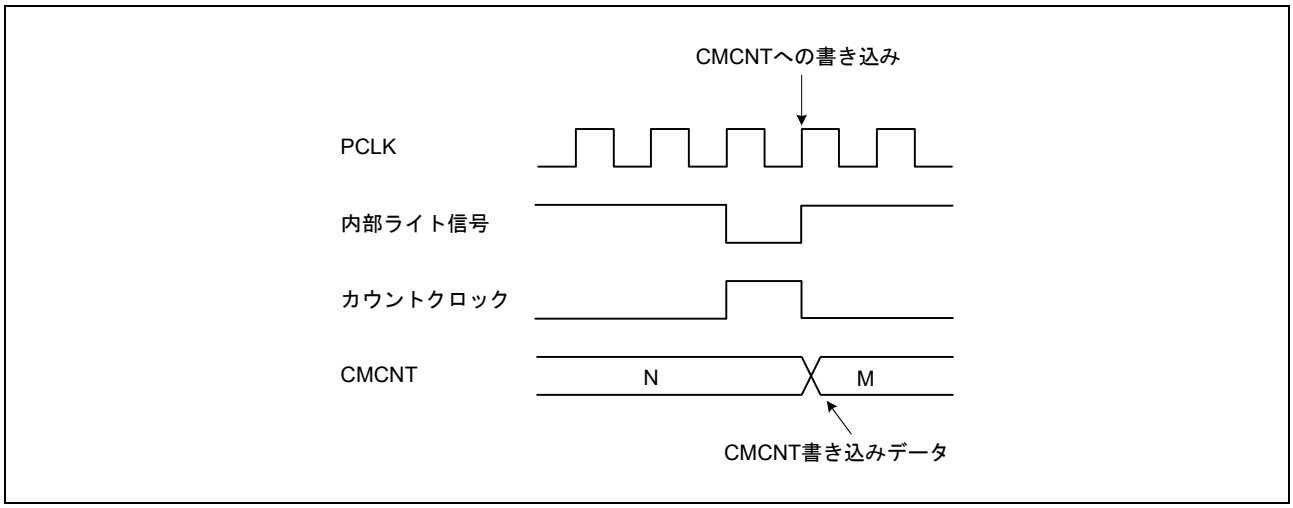


図 28.6 CMCNT カウンタへの書き込みとカウントアップの競合

29. コンペアマッチタイマ W (CMTW)

本 MCU は、1 チャネルの 32 ビットタイマにより構成されるコンペアマッチタイマ W (CMTW) を 2 ユニット (ユニット 0、ユニット 1)、合計 2 チャネル内蔵しています。CMTW は、32 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

29.1 概要

表 29.1 に CMTW の仕様を示します。

図 29.1 に CMTW0 のブロック図を、**図 29.2** に CMTW1 のブロック図を示します。

表29.1 CMTWの仕様

項目	機能
チャネル数	2チャネル(ユニット0、ユニット1)
タイマカウンタ	16ビット/32ビット切り替え可能なアップカウンタ コンペアマッチ後に0000 0000hに戻る
プリスケーラ	4種類の分周クロックを出力 PCLK/8, PCLK/32, PCLK/128, PCLK/512の中から選択可能
インプットキャプチャ	最大2本のインプットキャプチャ入力が可能
アウトプットコンペア	最大2本のアウトプットコンペア出力が可能
コンペアマッチ	1本のコンペアマッチが可能(アウトプットコンペア出力端子なし)
割り込み	コンペアマッチ割り込み インプットキャプチャ 0、インプットキャプチャ 1割り込み アウトプットコンペア0、アウトプットコンペア1割り込み
イベントリンク機能(出力) (ユニット0)	コンペアマッチ
イベントリンク機能(入力) (ユニット0)	イベント受け付けにより、3種類のうち1つの動作が可能 • カウントスタート動作 • イベントカウント動作 • カウントリスタート動作
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

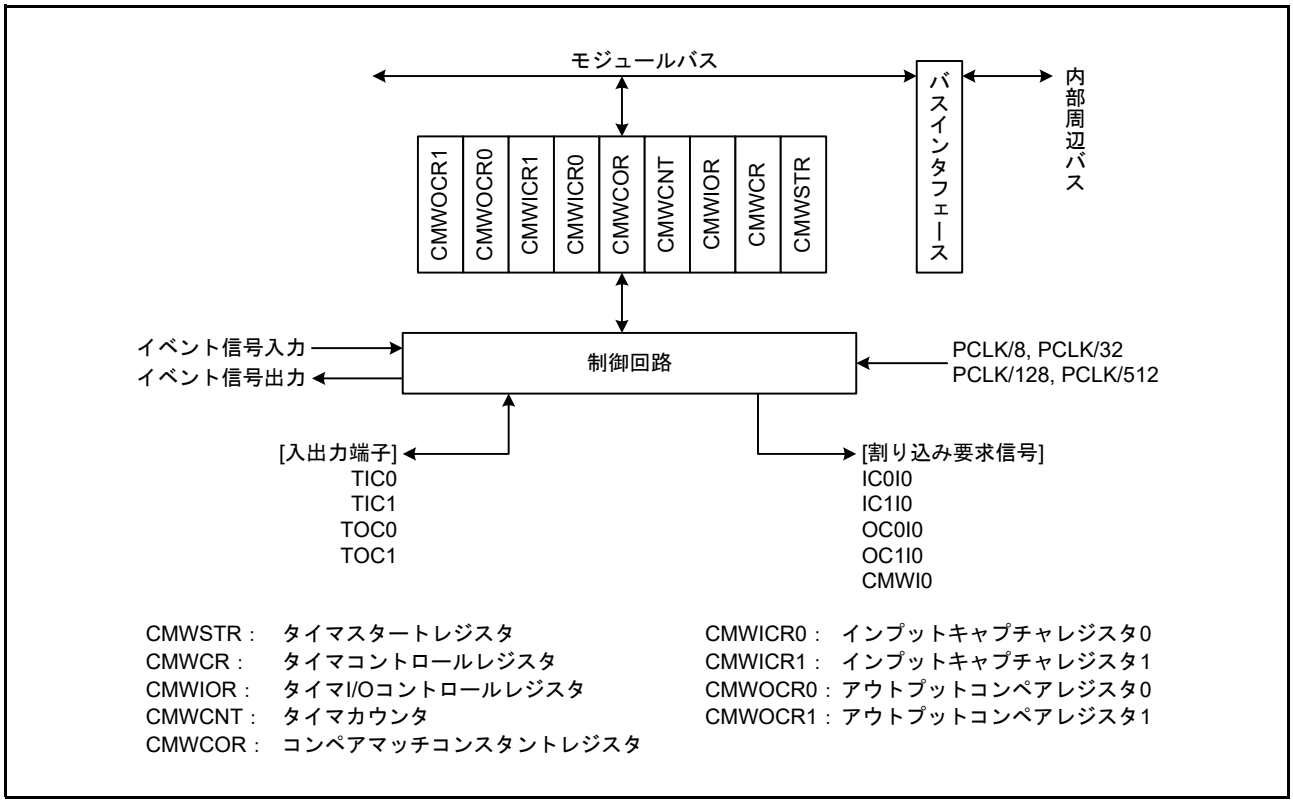


図 29.1 CMTW0 のブロック図

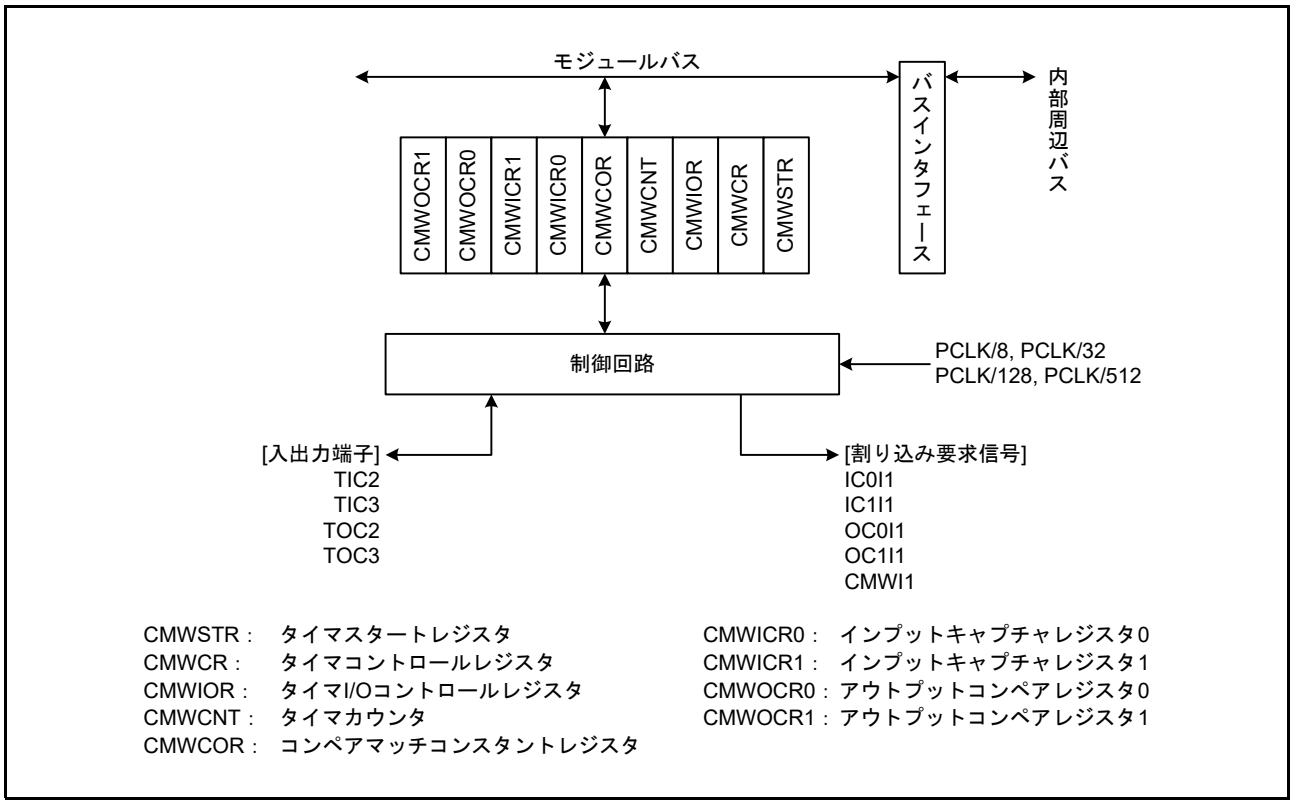


図 29.2 CMTW1 のブロック図

表 29.2 に CMTW の入出力端子を示します。

表29.2 CMTWの入出力端子

ユニット	端子名	入出力	機能
CMTW0	TIC0	入力	CMTW0.CMWICR0 レジスタのインプットキャプチャ入力
	TIC1	入力	CMTW0.CMWICR1 レジスタのインプットキャプチャ入力
	TOC0	出力	CMTW0.CMWOCR0 レジスタのアウトプットコンペア出力
	TOC1	出力	CMTW0.CMWOCR1 レジスタのアウトプットコンペア出力
CMTW1	TIC2	入力	CMTW1.CMWICR0 レジスタのインプットキャプチャ入力
	TIC3	入力	CMTW1.CMWICR1 レジスタのインプットキャプチャ入力
	TOC2	出力	CMTW1.CMWOCR0 レジスタのアウトプットコンペア出力
	TOC3	出力	CMTW1.CMWOCR1 レジスタのアウトプットコンペア出力

29.2　レジスタの説明

29.2.1　タイマスタートレジスタ (CMWSTR)

アドレス　CMTW0.CMWSTR 0009 4200h, CMTW1.CMWSTR 0009 4280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	カウントスタートビット	0：CMWCNTカウンタはカウントを停止 (カウント動作停止直前の値を保持して、カウント動作を停止) 1：CMWCNTカウンタはカウントを開始	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

STR ビット (カウントスタートビット)

タイマカウンタの動作 / 停止を選択します。STR ビットの設定に従って、対応するプリスケーラも連動して動作 / 停止します。

29.2.2　タイマコントロールレジスタ (CMWCR)

アドレス　CMTW0.CMWCR 0009 4204h, CMTW1.CMWCR 0009 4284h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CCLR[2:0]			—	—	—	CMS	—	OC1IE	OC0IE	IC1IE	IC0IE	CMWIE	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：PCLK/8 0 1：PCLK/32 1 0：PCLK/128 1 1：PCLK/512	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CMWIE	コンペアマッチ割り込み要求許可ビット	0：割り込み要求(CMWI)を禁止 1：割り込み要求(CMWI)を許可	R/W
b4	IC0IE	インプットキャプチャ0割り込み要求許可ビット	0：割り込み要求(IC0I)を禁止 1：割り込み要求(IC0I)を許可	R/W
b5	IC1IE	インプットキャプチャ1割り込み要求許可ビット	0：割り込み要求(IC1I)を禁止 1：割り込み要求(IC1I)を許可	R/W
b6	OC0IE	アウトプットコンペア0割り込み要求許可ビット	0：割り込み要求(OC0I)を禁止 1：割り込み要求(OC0I)を許可	R/W
b7	OC1IE	アウトプットコンペア1割り込み要求許可ビット	0：割り込み要求(OC1I)を禁止 1：割り込み要求(OC1I)を許可	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMS	タイマカウンタサイズビット	0：32ビット 1：16ビット	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b13	CCLR[2:0]	カウンタクリアビット	b15 b13 0 0 0：CMWCORレジスタのコンペアマッチでCMWCNTカウンタのクリア 0 0 1：CMWCNTカウンタのクリア禁止 0 1 0：CMWCNTカウンタのクリア禁止 0 1 1：CMWCNTカウンタのクリア禁止 1 0 0：CMWICR0レジスタのインプットキャプチャでCMWCNTカウンタのクリア 1 0 1：CMWICR1レジスタのインプットキャプチャでCMWCNTカウンタのクリア 1 1 0：CMWOCR0レジスタのコンペアマッチでCMWCNTカウンタのクリア 1 1 1：CMWOCR1レジスタのコンペアマッチでCMWCNTカウンタのクリア	R/W

CMWCR レジスタの設定は、CMWCNT カウンタの動作が停止した状態で行ってください。

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周した 4 種類の内部クロックから CMWCNT カウンタに入力するクロックを選択します。CMWSTR.STR ビットを “1” に設定すると、CMWCR.CKS[1:0] ビットにより選択されたクロックでカウントを開始します。

CMWIE ビット (コンペアマッチ割り込み要求許可ビット)

CMWCNT カウンタと CMWCOR レジスタの値が一致したとき、コンペアマッチ割り込み要求 (CMWI) の発生を許可するか禁止するかを選択します。

IC0IE ビット (インプットキャプチャ 0 割り込み要求許可ビット)

CMWICR0 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ 0 割り込み要求 (IC0I) の発生を許可するか禁止するかを選択します。

IC1IE ビット (インプットキャプチャ 1 割り込み要求許可ビット)

CMWICR1 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ 1 割り込み要求 (IC1I) の発生を許可するか禁止するかを選択します。

OC0IE ビット (アウトプットコンペア 0 割り込み要求許可ビット)

CMWCNT カウンタと CMWOCR0 レジスタの値が一致したとき、アウトプットコンペア 0 割り込み要求 (OC0I) の発生を許可するか禁止するかを選択します。

OC1IE ビット (アウトプットコンペア 1 割り込み要求許可ビット)

CMWCNT カウンタと CMWOCR1 レジスタの値が一致したとき、アウトプットコンペア 1 割り込み要求 (OC1I) の発生を許可するか禁止するかを選択します。

CMS ビット (タイマカウンタサイズビット)

CMWCNT カウンタを 16 ビットカウンタとして使うか 32 ビットカウンタとして使うかを選択します。CMS ビットで設定したサイズが CMWCOR、CMWICR0、CMWICR1、CMWOCR0、CMWOCR1 レジスタで有効ビットサイズになります。

CCLR[2:0] ビット (カウンタクリアビット)

CMWCNT カウンタのカウンタクリア要因を選択します。

29.2.3 タイマ I/O コントロールレジスタ (CMWIOR)

アドレス CMTW0.CMWIOR 0009 4208h, CMTW1.CMWIOR 0009 4288h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMWE	—	OC1E	OC0E	OC1[1:0]		OC0[1:0]		—	—	IC1E	IC0E	IC1[1:0]		IC0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IC0[1:0]	インプットキャプチャ0制御ビット	b1 b0 0 0：立ち上がりエッジでインプットキャプチャ 0 1：立ち下がりエッジでインプットキャプチャ 1 0：両エッジでインプットキャプチャ 1 1：設定しないでください	R/W
b3-b2	IC1[1:0]	インプットキャプチャ1制御ビット	b3 b2 0 0：立ち上がりエッジでインプットキャプチャ 0 1：立ち下がりエッジでインプットキャプチャ 1 0：両エッジでインプットキャプチャ 1 1：設定しないでください	R/W
b4	IC0E	インプットキャプチャ0許可ビット	0：インプットキャプチャ0動作を禁止 1：インプットキャプチャ0動作を許可	R/W
b5	IC1E	インプットキャプチャ1許可ビット	0：インプットキャプチャ1動作を禁止 1：インプットキャプチャ1動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	OC0[1:0]	アウトプットコンペア0制御ビット	b9 b8 0 0：出力保持 (注1) 0 1：初期出力はLow出力 コンペアマッチでトグル出力 1 0：初期出力はHigh出力 コンペアマッチでトグル出力 1 1：設定しないでください	R/W
b11-b10	OC1[1:0]	アウトプットコンペア1制御ビット	b11 b10 0 0：出力保持 (注1) 0 1：初期出力はLow出力 コンペアマッチでトグル出力 1 0：初期出力はHigh出力 コンペアマッチでトグル出力 1 1：設定しないでください	R/W
b12	OC0E	アウトプットコンペア0許可ビット	0：アウトプットコンペア0動作を禁止 1：アウトプットコンペア0動作を許可	R/W
b13	OC1E	アウトプットコンペア1許可ビット	0：アウトプットコンペア1動作を禁止 1：アウトプットコンペア1動作を許可	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	CMWE	コンペアマッチ許可ビット	0：コンペア動作を禁止 1：コンペア動作を許可	R/W

注1. リセット後、CMWIORレジスタを設定するまではLowが出力されます。

29.2.4 タイマカウンタ (CMWCNT)

アドレス CMTW0.CMWCNT 0009 4210h, CMTW1.CMWCNT 0009 4290h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMWCNT カウンタは、書き込み / 読み出し可能なアップカウンタです。

カウント動作を開始する前に、CMWCR レジスタの設定を完了してください。CMWCR.CMS ビットで 16 ビットカウントに設定した場合、CMWCNT カウンタの b15 ～ b0 が有効となります。書き込む際には、上位 16 ビットを “0000h” にして 32 ビットで書き込みを行ってください。CMWCNT カウンタはロングワードアクセスのみ可能です。

なお、CMWSTR.STR ビットを “1” にした場合は、CMWCNT カウンタはカウント動作を開始し、CMWSTR.STR ビットを “0” にした場合は、CMWCNT カウンタはカウント動作停止直前の値を保持して停止します。

29.2.5 コンペアマッチコンスタントレジスタ (CMWCOR)

アドレス CMTW0.CMWCOR 0009 4214h, CMTW1.CMWCOR 0009 4294h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CMWCOR レジスタは書き込み / 読み出し可能なレジスタで、CMWCNT カウンタとコンペアマッチするまでの期間を設定します。CMWCR.CMS ビットで 16 ビットカウンタに設定した場合、CMWCOR レジスタの b15 ～ b0 が有効となります。書き込む際には、上位 16 ビットを “0000h” にして 32 ビットで書き込みを行ってください。CMWCOR レジスタはロングワードアクセスのみ可能です。オーバフロー検出は、CMWCOR レジスタを “FFFF FFFFh” (32 ビットカウント動作) または “0000 FFFFh” (16 ビットカウント動作) に設定し、CMWCNT カウンタが “0” になったときにコンペアマッチ割り込み要求 (CMWI) をオーバフロー検出信号として使用できます。

29.2.6 インプットキャプチャレジスタ n (CMWICRn) (n = 0, 1)

アドレス CMTW0.CMWICR0 0009 4218h, CMTW0.CMWICR1 0009 421Ch,
CMTW1.CMWICR0 0009 4298h, CMTW1.CMWICR1 0009 429Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMWICRn レジスタは、インプットキャプチャ時の CMWCNT カウンタの値を格納する読み出し専用のレジスタです。

CMWCR.CMS ビットで 16 ビットカウンタに設定した場合、CMWICRn レジスタの b15 ～ b0 が有効となります。CMWICRn レジスタへの書き込みは無効です。CMWICRn レジスタはロングワードアクセスのみ可能です。

29.2.7 アウトプットコンペアレジスタ n (CMWOCRn) (n = 0, 1)

アドレス CMTW0.CMWOCR0 0009 4220h, CMTW0.CMWOCR1 0009 4224h,
CMTW1.CMWOCR0 0009 42A0h, CMTW1.CMWOCR1 0009 42A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CMWOCRn レジスタは、アウトプットコンペア時のコンペア値を設定する書き込み / 読み出し可能なレジスタです。

CMWCR.CMS ビットで 16 ビットカウンタに設定した場合、CMWOCRn レジスタの b15 ～ b0 が有効となります。書き込む際には、上位 16 ビットを “0000h” にして 32 ビットで書き込みを行ってください。CMWOCRn レジスタはロングワードアクセスのみ可能です。CMWOCR0 レジスタ、CMWOCR1 レジスタの初期値は、“FFFF FFFFh” です。

29.3 動作説明

CMTW は CMWCR レジスタの設定後に CMWSTR.STR ビットを “1” にすることによって、カウント動作を開始します。CMWSTR.STR ビットを “0” にすることによって、CMWCNT カウンタはカウント動作停止直前の値を保持して、カウント動作を停止します。また、CMWIOR レジスタを設定することにより、コンペアマッチ機能、インプットキャプチャ入力機能、およびアウトプットコンペア出力機能を使用することが可能です。

29.3.1 周期カウント動作

CMWCR.CKS[1:0] ビットでカウンタクロックを選択し、CMWSTR.STR ビットを “1” にすると、選択したクロックによって CMWCNT カウンタはカウント動作を開始します。CMWCR.CCLR[2:0] ビットでカウンタクリアを選択した場合は、カウンタクリア要因が発生すると CMWCNT カウンタは “0000 0000h” になり、カウント動作を続けます。カウンタクリアを選択しない場合、32 ビットカウント動作時は “FFFF FFFFh” → “0000 0000h”、16 ビットカウント動作時は “0000 FFFFh” → “0000 0000h” でオーバフローが発生し、カウント動作を続けます。

29.3.2 コンペアマッチ機能

CMWCNT カウンタの値が CMWCOR レジスタの値と一致すると、CMWCNT カウンタは “0000 0000h” になります。このとき、コンペアマッチ割り込み要求 (CMWI) が発生します。CMWCNT カウンタは “0000 0000h” からカウント動作を再開します。

オーバフロー検出を行いたい場合は、CMWCOR レジスタの値を “FFFF FFFFh” (32 ビットカウント動作時) または、“0000 FFFFh” (16 ビットカウント動作時) にしてください。CMWCNT カウンタの値が CMWCOR レジスタの値と一致すると、CMWCNT カウンタは “0000 0000h” になります。このとき、コンペアマッチ割り込み要求 (CMWI) が発生します。CMWCNT カウンタは “0000 0000h” からカウント動作を再開します。

コンペアマッチ動作の設定手順例を図 29.3 に示します。

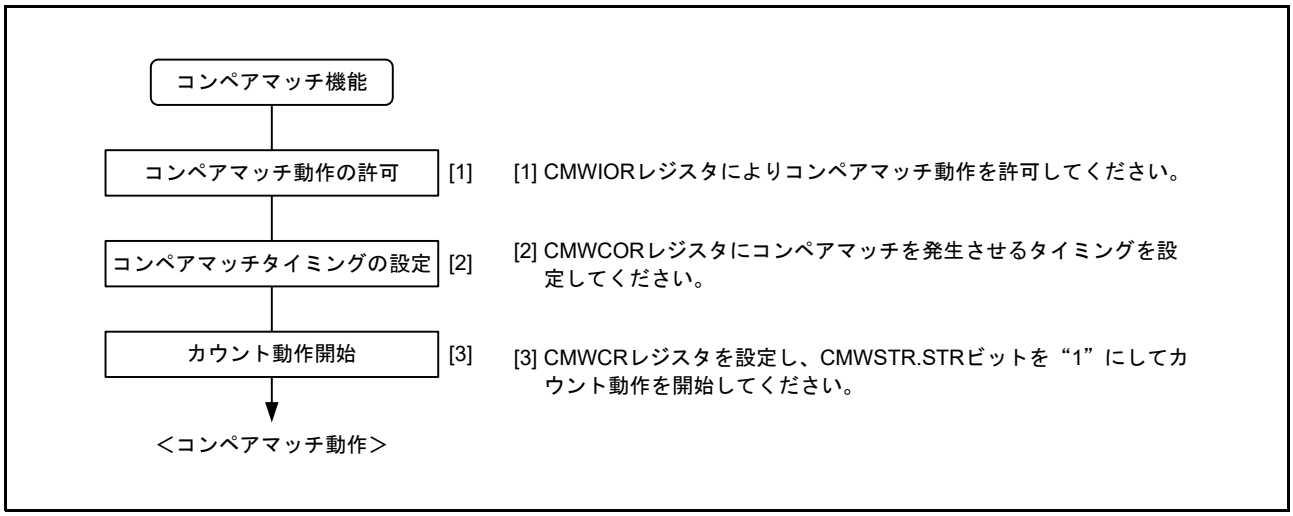


図 29.3 コンペアマッチ動作の設定手順例

CMWCOR レジスタとのコンペアマッチをカウンタクリア要因とした場合の例を図 29.4 に示します。

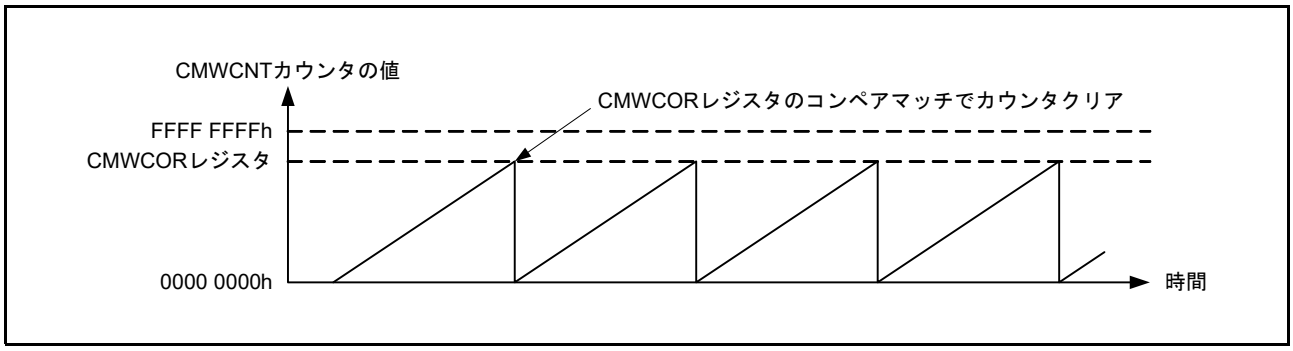


図 29.4 コンペアマッチ動作例

CMWCOR レジスタ = FFFF FFFFh とし、オーバフロー検出をした場合の例を図 29.5 に示します。

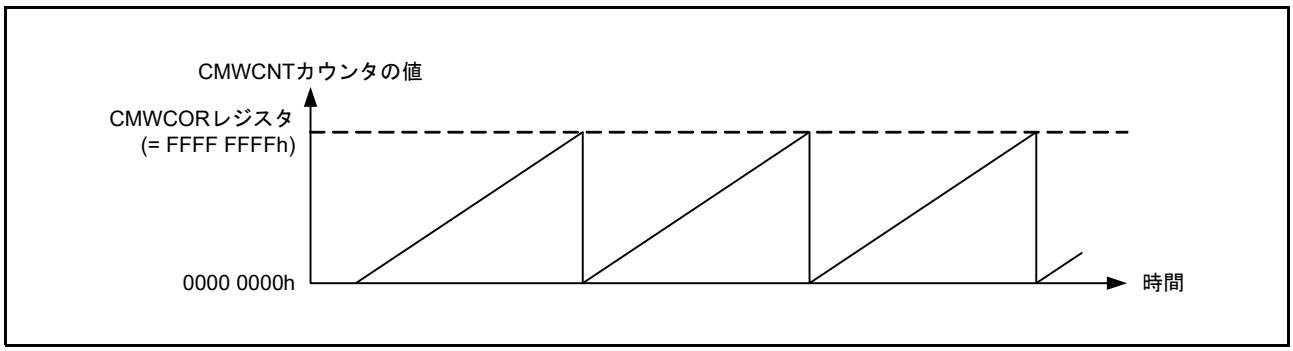


図 29.5 コンペアマッチ動作例 (オーバフロー検出時)

29.3.3　アウトプットコンペア機能

アウトプットコンペアにより対応する出力端子からトグル波形出力を行うことができます。CMWCNT カウンタの値が CMWOCR0 レジスタまたは CMWOCR1 レジスタの値と一致すると、アウトプットコンペア割り込み要求 (OC0I または OC1I) が発生します。アウトプットコンペア動作の設定手順例を図 29.6 に示します。

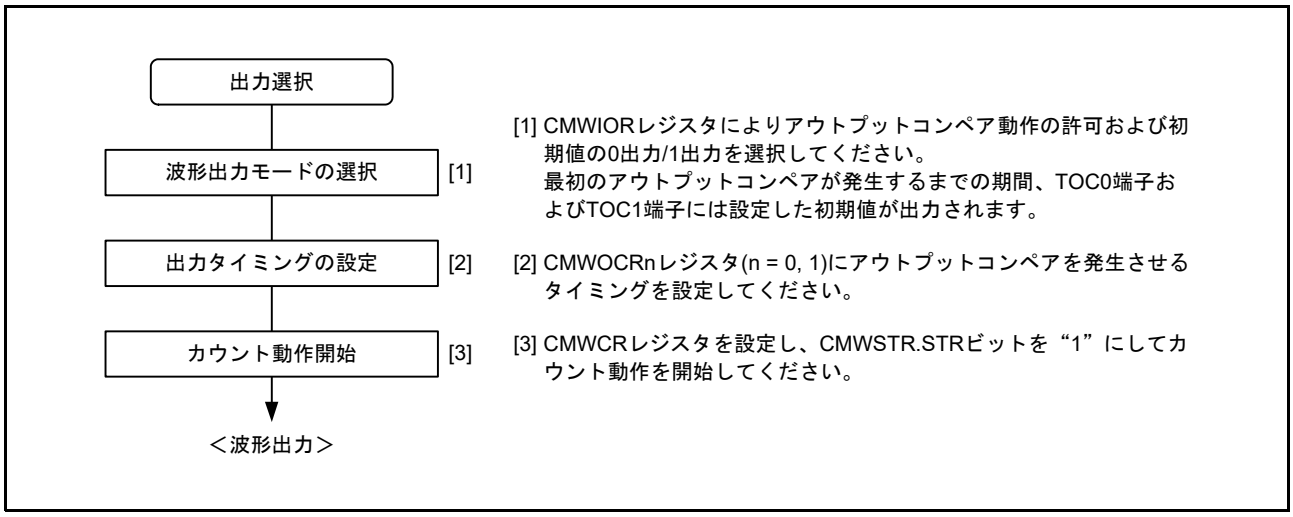


図 29.6　アウトプットコンペア動作の設定手順例

CMWOCR1 レジスタのコンペアマッチでカウンタがクリアされるように設定した場合の、TOC0 端子および TOC1 端子のトグル出力波形の例を図 29.7 に示します。

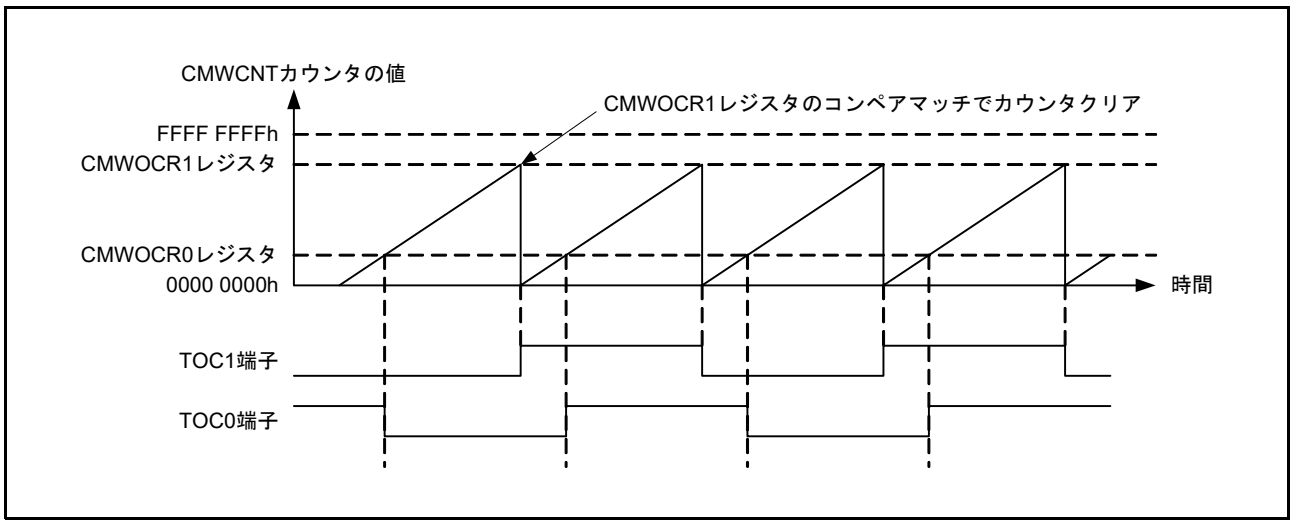


図 29.7　アウトプットコンペア動作例 (ユニット 0)

29.3.4　インプットキャプチャ機能

TIC0 端子、TIC1 端子の入力エッジを検出して CMWCNT カウンタの値を CMWICR0 レジスタ、CMWICR1 レジスタにそれぞれ転送することができます。検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、インプットキャプチャにより CMWCNT カウンタの値が CMWICR0 レジスタまたは CMWICR1 レジスタに転送されると、インプットキャプチャ割り込み要求 (IC0I または IC1I) が発生します。インプットキャプチャ動作の設定手順例を図 29.8 に示します。

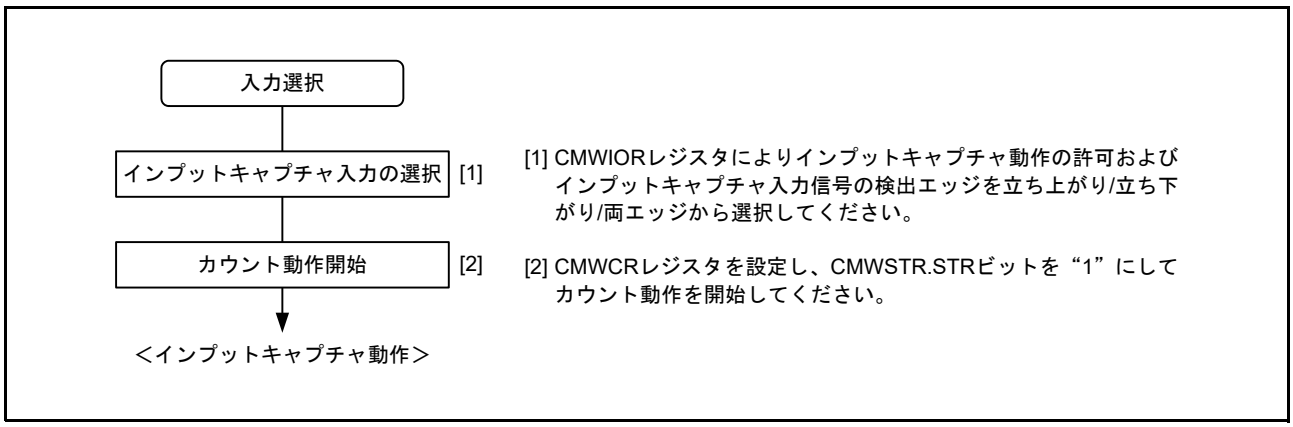


図 29.8　インプットキャプチャ動作の設定手順例

TIC0 端子のインプットキャプチャ検出エッジは両エッジ、TIC1 端子は立ち下がりエッジを選択し、CMWICR1 レジスタのインプットキャプチャで CMWCNT カウンタがクリアされるように設定した場合の例を図 29.9 に示します。

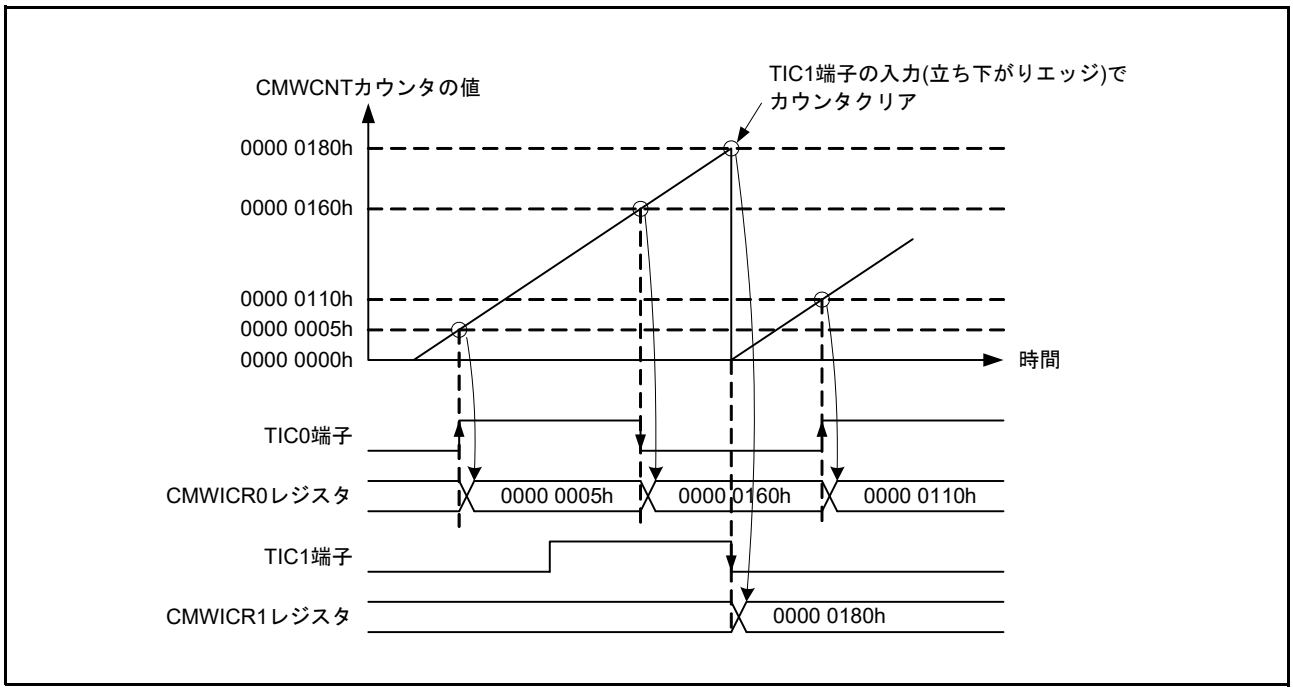


図 29.9　インプットキャプチャ動作例 (ユニット 0)

29.3.5 カウンタサイズ

CMTW はカウンタサイズを 16 ビットまたは 32 ビットから選択可能です。カウンタサイズの選択は CMWCR.CMS ビットで行います。

16 ビットカウンタとして使う場合、CMWCOR レジスタの値は上位 16 ビットを “0000h” にして 32 ビットで設定してください。オーバフロー検出を行うときは “0000 FFFFh” にします。CMWOCR0 レジスタ、CMWOCR1 レジスタの値は上位 16 ビットを “0000h” にして 32 ビットで設定してください。CMWICR0 レジスタ、CMWICR1 レジスタは 32 ビットで読み出してください。上位 16 ビットは “0000h” が読み出せます。

29.3.6 CMWCNT カウンタのカウントタイミング

CMWCR.CKS[1:0] ビットにより、周辺モジュールクロック (PCLK) を分周して得られた 4 種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) から CMWCNT カウンタに入力するカウンタクロックを選択できます。PCLK/8 選択時の CMWCNT カウンタのカウントタイミングを図 29.10 に示します。

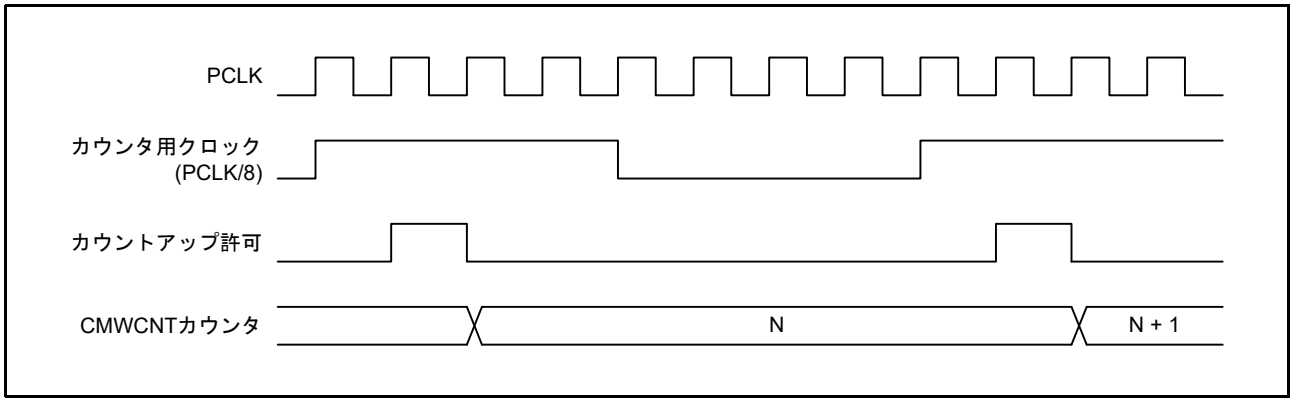


図 29.10 CMWCNT カウンタのカウントタイミング (PCLK/8 のとき)

29.3.7　アウトプットコンペア出力タイミング

CMWOCRn レジスタ (n = 0, 1) と CMWCNT カウンタが一致した最後のステート (CMWCNT カウンタの値が更新されるタイミング) でコンペアマッチ信号が発生します。CMWOCRn レジスタと CMWCNT カウンタが一致した後、CMWCNT カウンタのカウントアップ許可信号が入力されるとコンペアマッチ信号が発生します。コンペアマッチ信号が発生したとき、アウトプットコンペア出力端子 (TOC 端子) の出力がトグルします。アウトプットコンペア出力タイミングを図 29.11 に示します。

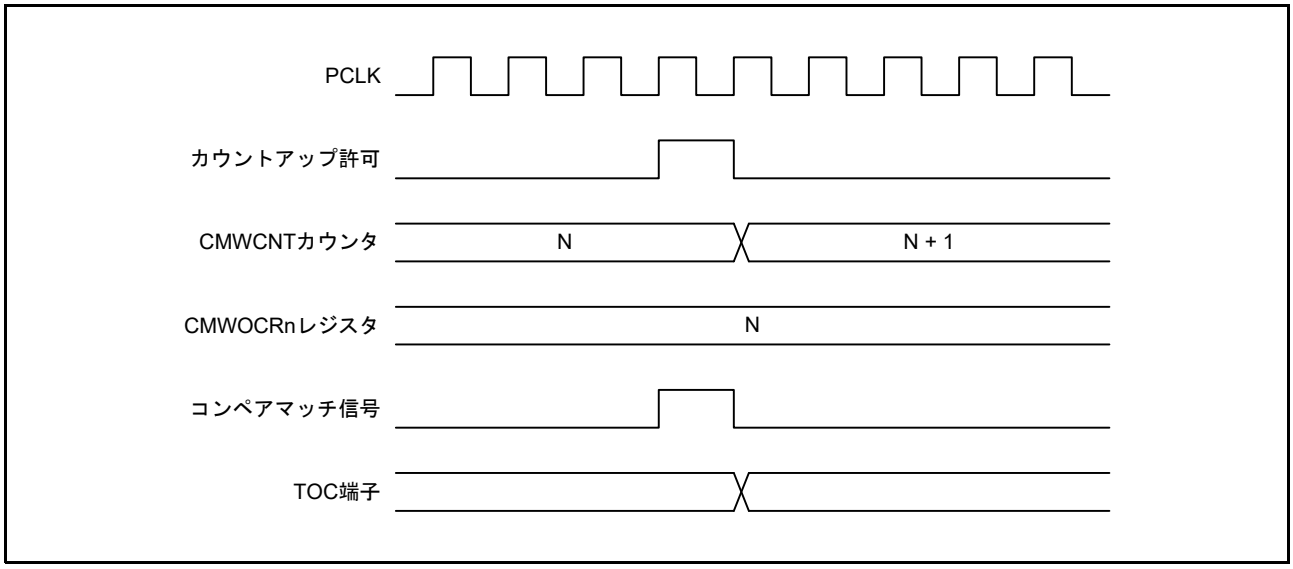


図 29.11　アウトプットコンペア出力タイミング

29.3.8　インプットキャプチャタイミング

両エッジでインプットキャプチャ動作したときのタイミングを図 29.12 に示します。

TIC0 端子、TIC1 端子のエッジ検出により、CMWCNT カウンタの値を CMWICR0 レジスタ、CMWICR1 レジスタにそれぞれ転送することができます。

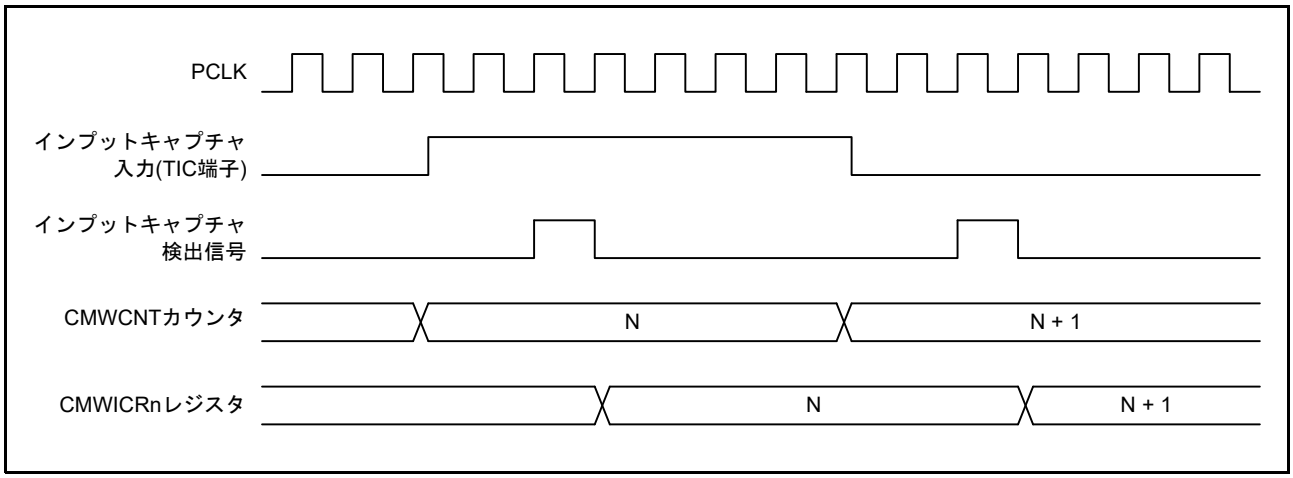


図 29.12　インプットキャプチャタイミング (ユニット 0、両エッジ検出) (n = 0, 1)

29.4 割り込み

29.4.1 CMTW の割り込み要因と DMAC/DTC

CMTW はインプットキャプチャ割り込み要求 (IC0I, IC1I)、アウトプットコンペア割り込み要求 (OC0I, OC1I) と、コンペアマッチ割り込み要求 (CMWI) の 5 種類の割り込み要因を持っています。

表 29.3 に各割り込み要因を示します。各割り込み要因は、CMWCR.IC0IE、IC1IE、OC0IE、OC1IE、CMWIE ビットで許可または禁止ができます。各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

また、各割り込み要求で、DMAC または DTC を起動することができます。DMAC によるデータ転送時は、CPU への割り込み要求は発生しません。DTC によるデータ転送時の CPU への割り込み要求の発生については、「18. データトランスファコントローラ (DTCb)」を参照してください。

表 29.3 CMTWの割り込み要因

ユニット	名称	割り込み要因	割り込み要求許可ビット	DMAC/DTC の起動
CMTW0	CMWI0	CMTW0.CMWCOR レジスタのコンペアマッチ	CMTW0.CMWCR.CMWIE	可能
	IC0I0	CMTW0.CMWICR0 レジスタのインプットキャプチャ	CMTW0.CMWCR.IC0IE	可能
	IC1I0	CMTW0.CMWICR1 レジスタのインプットキャプチャ	CMTW0.CMWCR.IC1IE	可能
	OC0I0	CMTW0.CMWOCR0 レジスタのアウトプットコンペア	CMTW0.CMWCR.OC0IE	可能
	OC1I0	CMTW0.CMWOCR1 レジスタのアウトプットコンペア	CMTW0.CMWCR.OC1IE	可能
CMTW1	CMWI1	CMTW1.CMWCOR レジスタのコンペアマッチ	CMTW1.CMWCR.CMWIE	可能
	IC0I1	CMTW1.CMWICR0 レジスタのインプットキャプチャ	CMTW1.CMWCR.IC0IE	可能
	IC1I1	CMTW1.CMWICR1 レジスタのインプットキャプチャ	CMTW1.CMWCR.IC1IE	可能
	OC0I1	CMTW1.CMWOCR0 レジスタのアウトプットコンペア	CMTW1.CMWCR.OC0IE	可能
	OC1I1	CMTW1.CMWOCR1 レジスタのアウトプットコンペア	CMTW1.CMWCR.OC1IE	可能

29.4.2　コンペアマッチ割り込みの発生タイミング

CMWCNT カウンタと CMWCOR レジスタの値が一致したときに、コンペマッチ割り込み要求 (CMWI) が発生します。コンペアマッチ信号は、一致した最後のステート (CMWCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMWCNT カウンタの値と CMWCOR レジスタの値とが一致した後、カウントアップ許可信号が発生するまでコンペアマッチ信号は発生しません。**図 29.13** にコンペアマッチ割り込みの発生タイミングを示します。

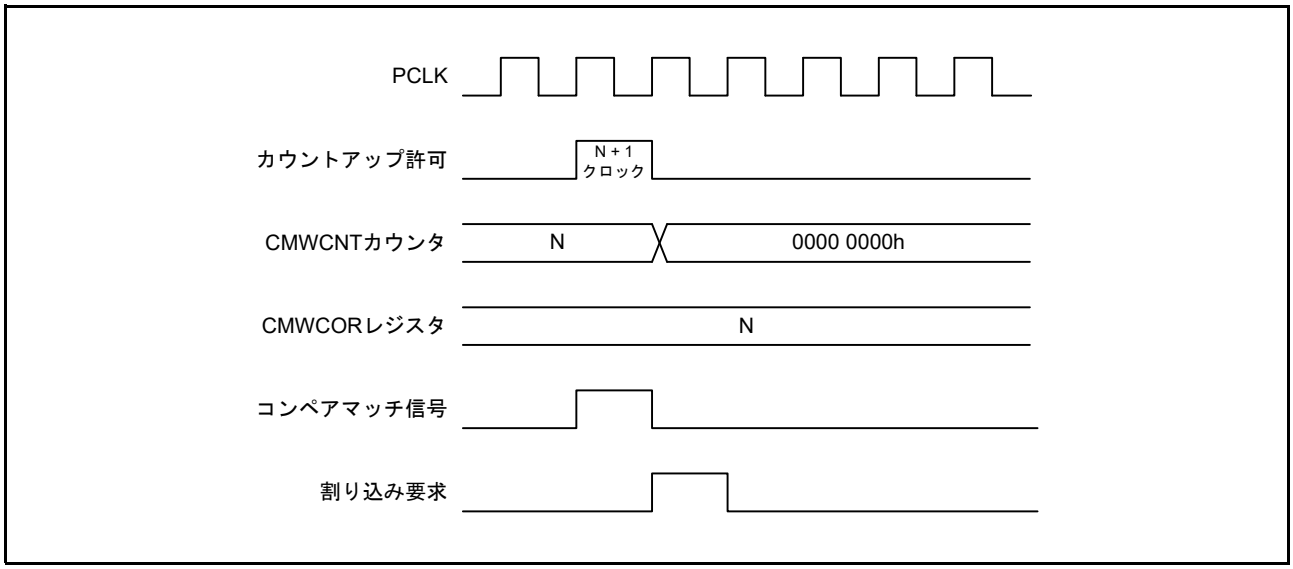


図 29.13　コンペアマッチ割り込みの発生タイミング

(a)　アウトプットコンペア割り込みの発生タイミング

図 29.14 にアウトプットコンペア割り込みの発生タイミングを示します。

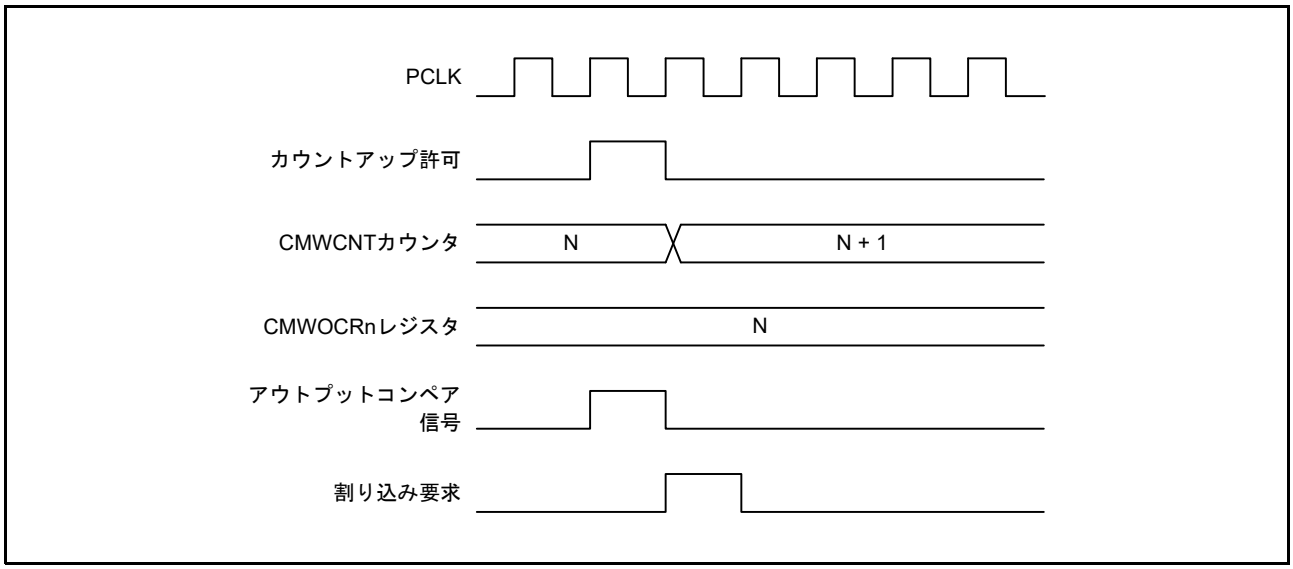


図 29.14　アウトプットコンペア割り込みの発生タイミング (n = 0, 1)

(b) インプットキャプチャ割り込みの発生タイミング

図 29.15 にインプットキャプチャ割り込みの発生タイミングを示します。

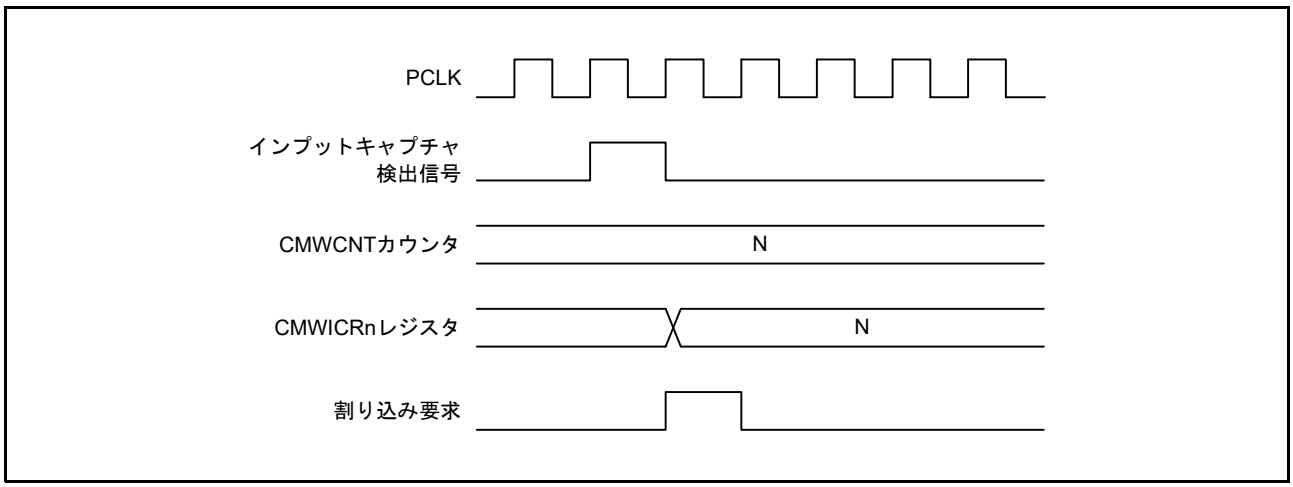


図 29.15 インプットキャプチャ割り込みの発生タイミング (n = 0, 1)

29.5 ELC によるリンク動作

29.5.1 ELC へのイベント信号出力

CMTW はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

CMTW はコンペアマッチのイベント信号を出力します。対応するチャネルはチャネル 0 です。イベント信号は該当する割り込み要求許可ビット (CMWCR.CMWIE ビット) の設定に関係なく出力することができます。

詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

(1) コンペアマッチイベント

CMTW はコンペアマッチが発生すると割り込みを要求しますが、同時に ELC へコンペアマッチイベントを発行します。このイベントは、対応する割り込みの割り込み要求許可ビット (CMWCR.CMWIE ビット) の設定に関係なく発行されます。

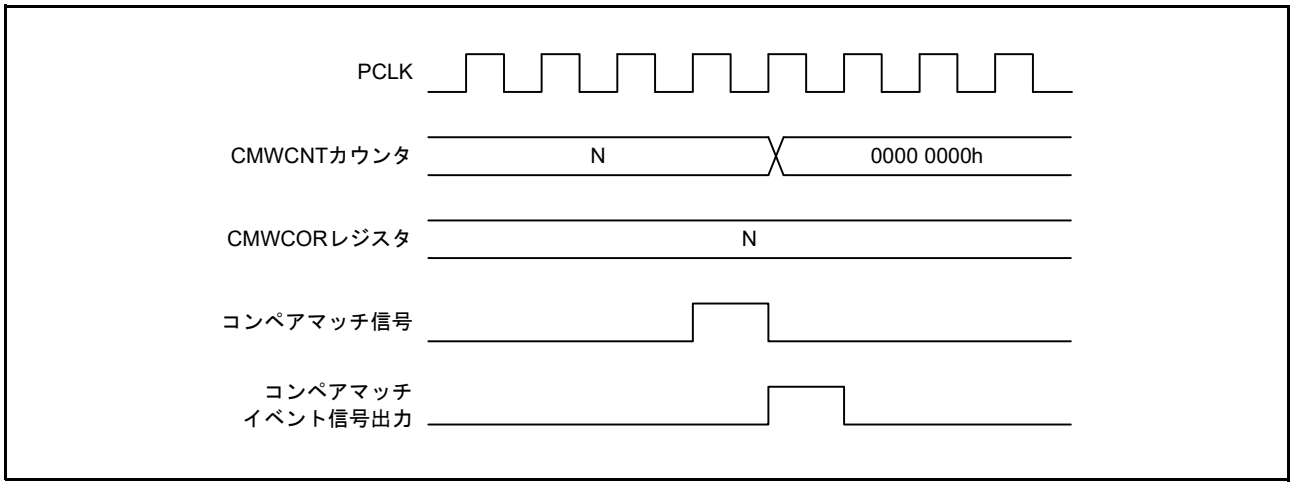


図 29.16 コンペアマッチイベント発行タイミング

29.5.2　ELC からのイベント信号受信による CMTW の動作

CMTW は、ELC の ELSRn レジスタにあらかじめ設定したイベントにより、次の動作が可能です。

(1)　カウントスタート動作

ELC の ELOPH レジスタで CMTW のカウントスタート動作を選択します。

ELSRn レジスタで指定したイベントが発生すると、CMWSTR.STR ビットが “1” になり、CMTW のカウントがスタートします。

CMWSTR.STR ビットが “1” になった状態で指定したイベントが発生した場合、そのイベントは無効となります。

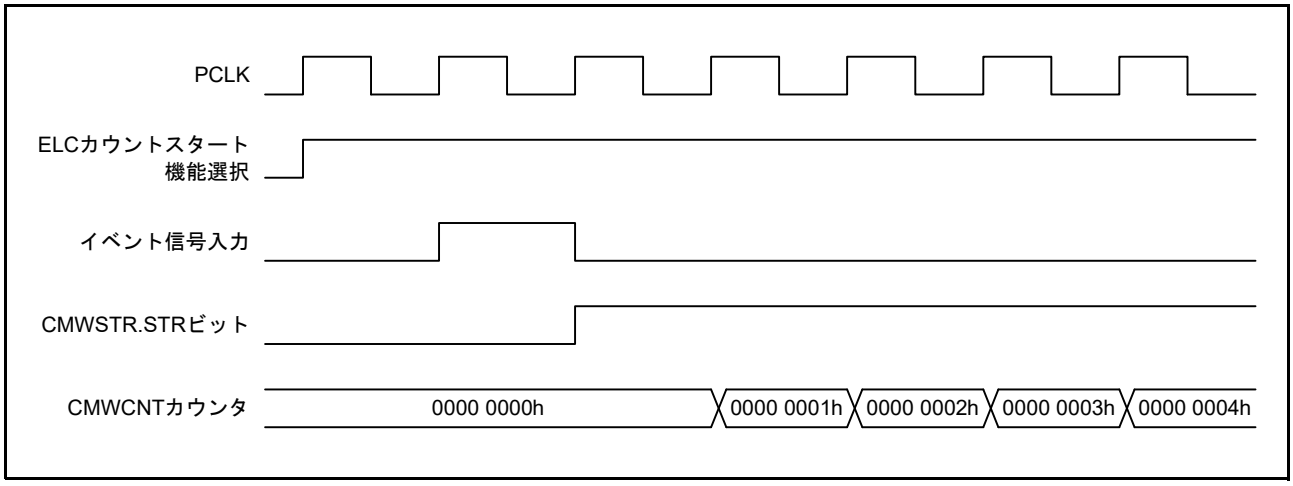


図 29.17　イベント受け付けによるカウントスタート動作

(2)　イベントカウント動作

ELC の ELOPH レジスタで CMTW のイベントカウント動作を選択します。

CMWSTR.STR ビットが “1” のときに、ELSRn レジスタで指定したイベントが発生すると、CMWCR.CKS[1:0] ビットの設定に関係なく、そのイベントをカウントソースとして、イベントカウント動作を行います。

カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

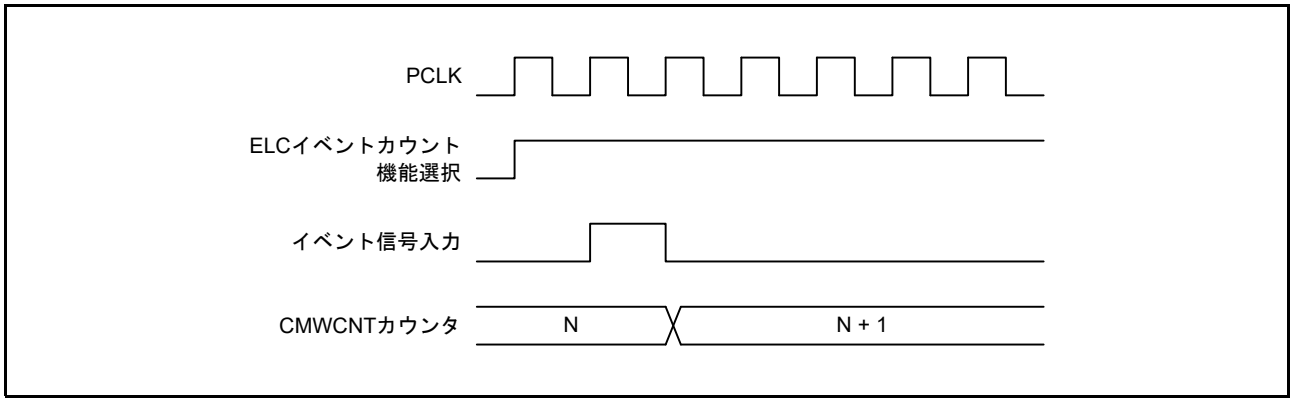


図 29.18　イベント受け付けによるイベントカウント動作

(3) カウントリスタート動作

ELC の ELOPH レジスタで CMTW のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、CMWCNT カウンタの値が “0000 0000h” になります。CMWSTR.STR ビットが “1” のときはカウント動作を継続することができます。

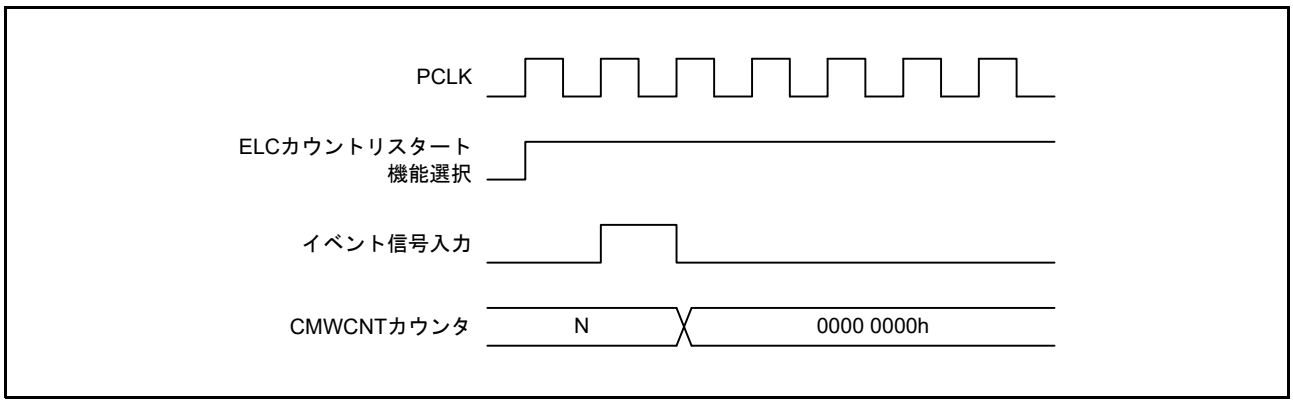


図 29.19 イベント受け付けによるカウントリスタート動作

29.5.3　イベントリンク動作とレジスタアクセスの競合

CMTW をイベントリンクによる動作で使用するときの注意事項を以下に示します。

表 29.4 にイベントリンク動作とレジスタアクセス競合時のカウント動作を示します。

表29.4　イベントリンク動作とレジスタアクセス競合時のカウント動作(n = 0, 1)

イベントリンク動作	レジスタアクセス	CMWCNTの状態	実行される動作
カウントスタート	CMWSTR.STRビットへの書き込み	停止状態	カウントスタート
		コンペアマッチ	カウントスタート
		カウントアップ	カウントスタート
イベントカウント	CMWCNTカウンタへの書き込み	—	イベントカウント
	CMWCORレジスタへの書き込み	コンペアマッチ	コンペアマッチ
カウントリスタート	CMWCNTカウンタへの書き込み	コンペアマッチ以外	カウントリスタート
	CMWCNTカウンタへの書き込み	コンペアマッチ	コンペアマッチ
	(レジスタアクセスなし)	コンペアマッチ	コンペアマッチ
(イベントなし)	CMWCNTカウンタへの書き込み	コンペアマッチ	コンペアマッチの割り込み要求を出力 CMWCNTカウンタへの書き込み
		カウントアップ	CMWCNTカウンタへの書き込み
	CMWCORレジスタへの書き込み	コンペアマッチ	コンペアマッチ
	CMWOCRnレジスタへの書き込み	コンペアマッチ	コンペアマッチ
	CMWCNTカウンタの読み出し	カウントアップ	カウントアップと その前の値の読み出し

(1)　カウントスタート動作

CMWSTR.STR ビットへのライトアクセスとイベント受け付けが競合すると、CMWSTR.STR ビットへの書き込みは行われず、イベント受け付けによる “1” の設定が優先されます。

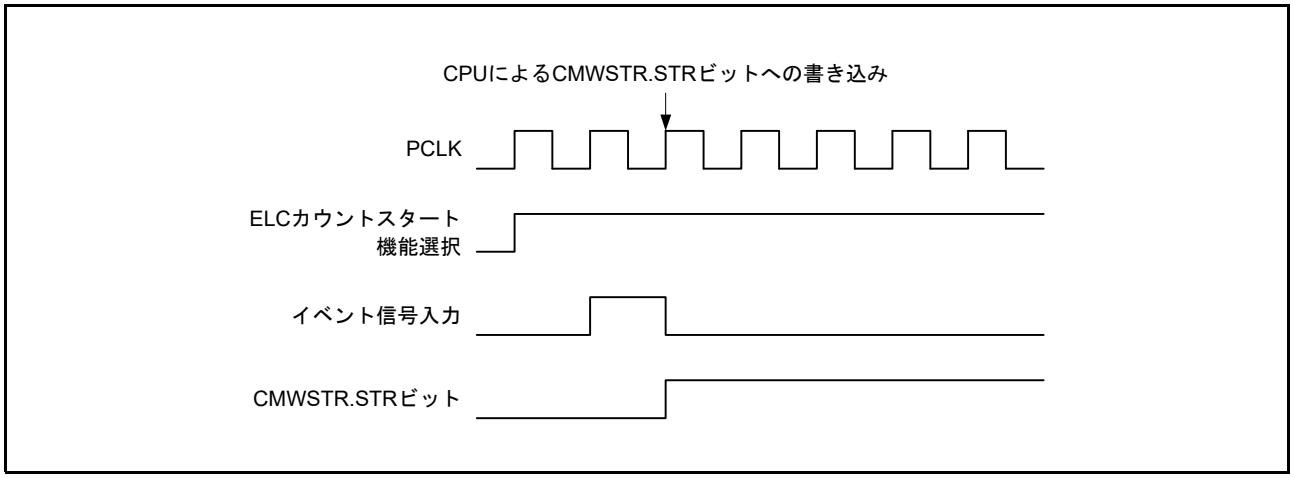


図 29.20　カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2) イベントカウント動作

CMWCNT カウンタへのライトアクセスとイベント受け付けが競合すると、CMWCNT カウンタへの書き込みは行われず、イベント受け付けによるカウント動作が優先されます。

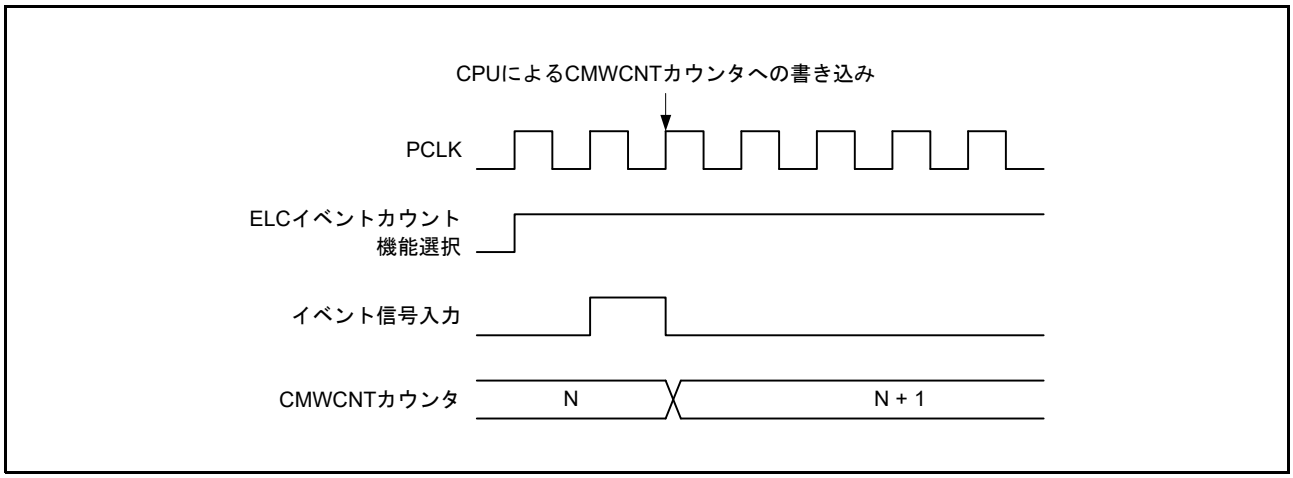


図 29.21 イベントカウント動作でのイベント受け付けとレジスタアクセスの競合

(3) カウントリスタート動作

CMWCNT カウンタへのライトアクセスとイベント受け付けが競合すると、CMWCNT カウンタへの書き込みは行われず、イベント受け付けによるカウント値の初期化が優先されます。

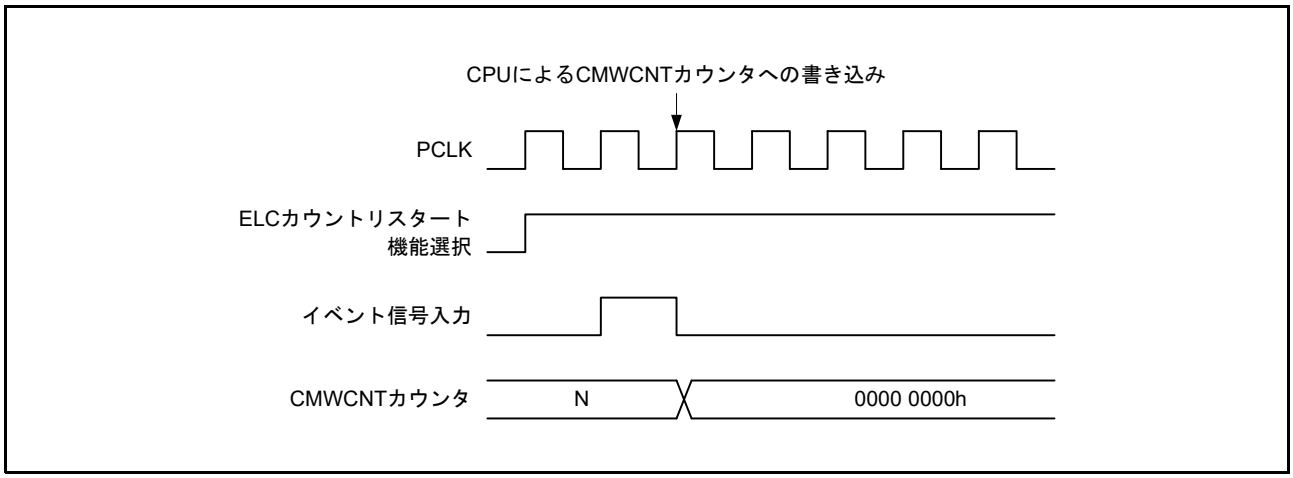


図 29.22 カウントリスタート動作でのイベント受け付けとレジスタアクセスの競合

29.6 使用上の注意事項

29.6.1 モジュールストップ機能の設定

MSTPCRA レジスタにより、CMTW の動作を禁止 / 許可することが可能です。リセット解除後、CMTW の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. **消費電力低減機能**」を参照してください。

29.6.2 CMWCNT カウンタへの書き込みとコンペアマッチの競合

CMWCNT カウンタへの書き込みサイクル中にコンペアマッチ信号が発生しても、コンペアマッチ割り込み要求は出力されますが、CMWCNT カウンタはクリアされずに CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 29.23 に示します。

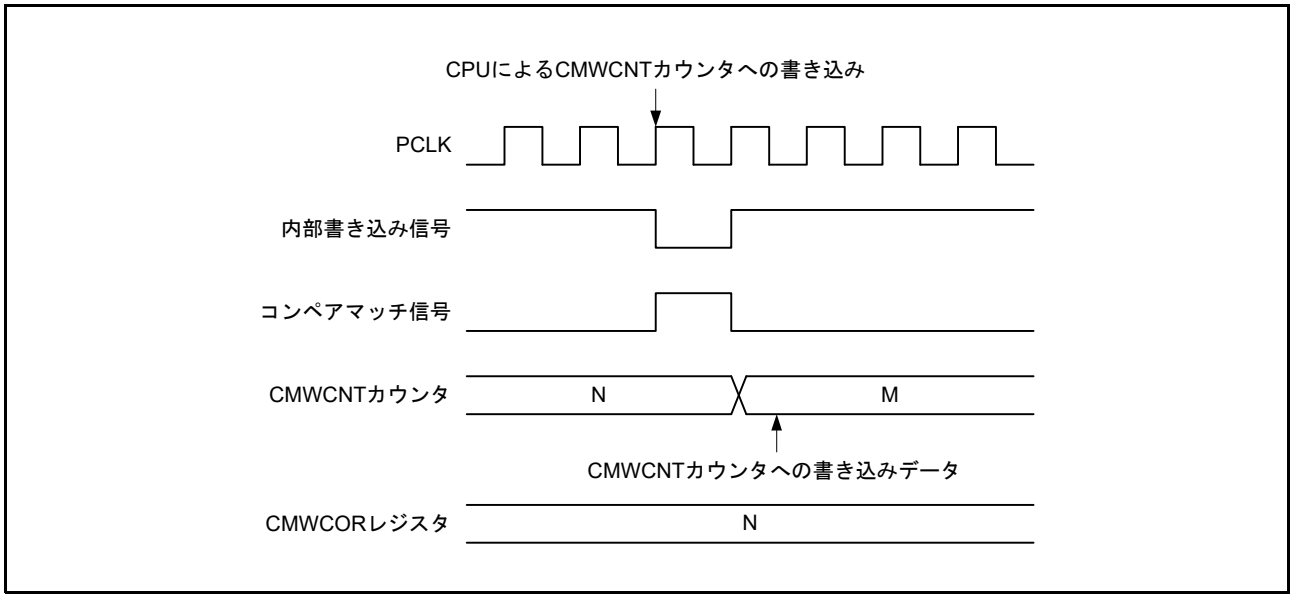


図 29.23 CMWCNT カウンタへの書き込みとコンペアマッチの競合

29.6.3 CMWCNT カウンタへの書き込みとカウントアップ / カウンタクリアの競合

CMWCNT カウンタへの書き込み中にカウントアップまたはカウンタクリアが発生しても、CMWCNT カウンタはカウントアップまたはクリアされずに CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 29.24 に示します。

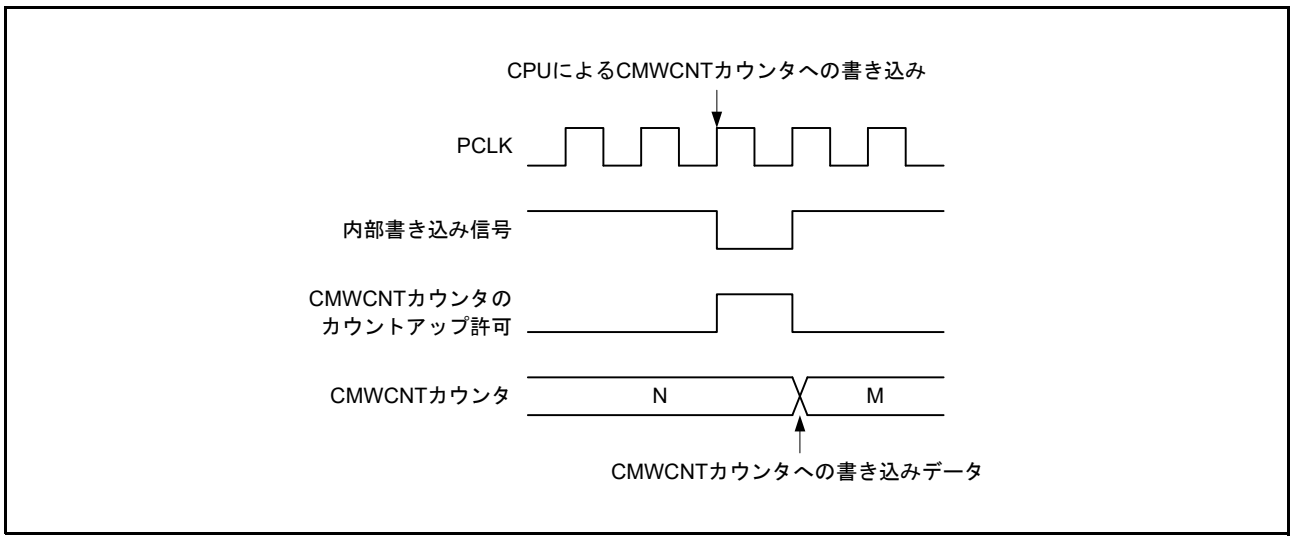


図 29.24 CMWCNT カウンタへの書き込みとカウントアップの競合

29.6.4 CMWCOR レジスタへの書き込みとコンペアマッチの競合

CMWCOR レジスタへの書き込みサイクル中にコンペアマッチが発生した場合、CMWCOR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 29.25 に示します。

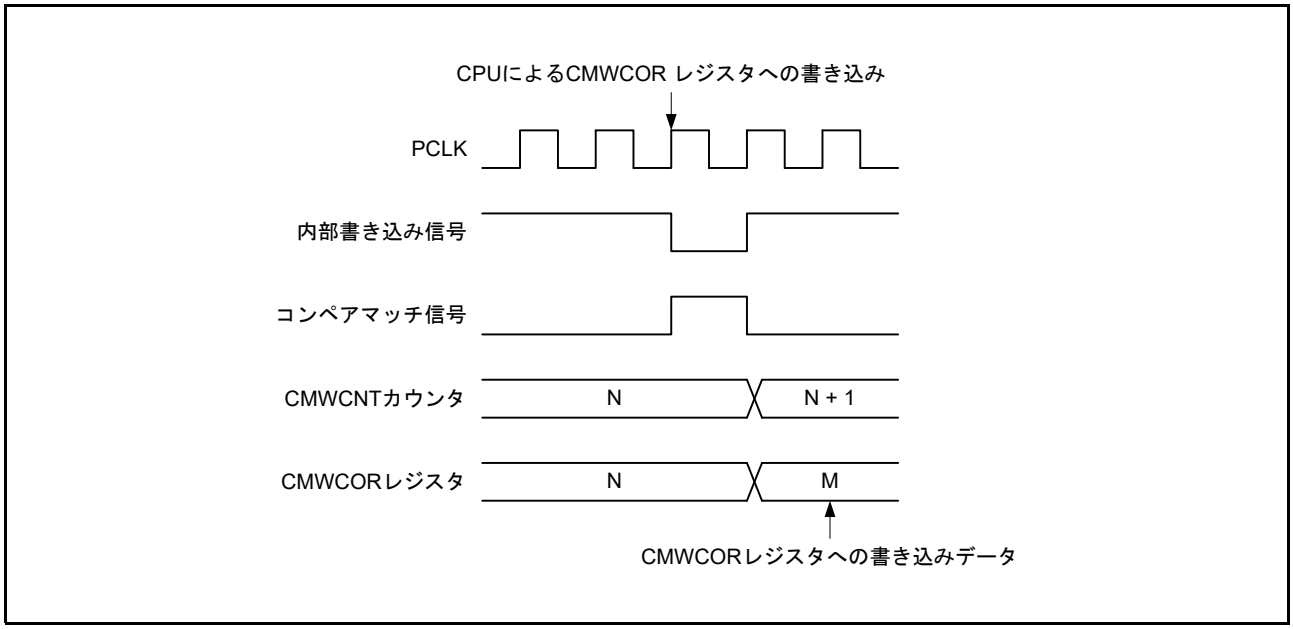


図 29.25 CMWCOR レジスタへの書き込みとコンペアマッチの競合

29.6.5　CMWOCRn レジスタへの書き込みとコンペアマッチの競合 (n = 0, 1)

CMWOCRn レジスタへの書き込みサイクル中にコンペアマッチが発生した場合、CMWOCRn レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 29.26 に示します。

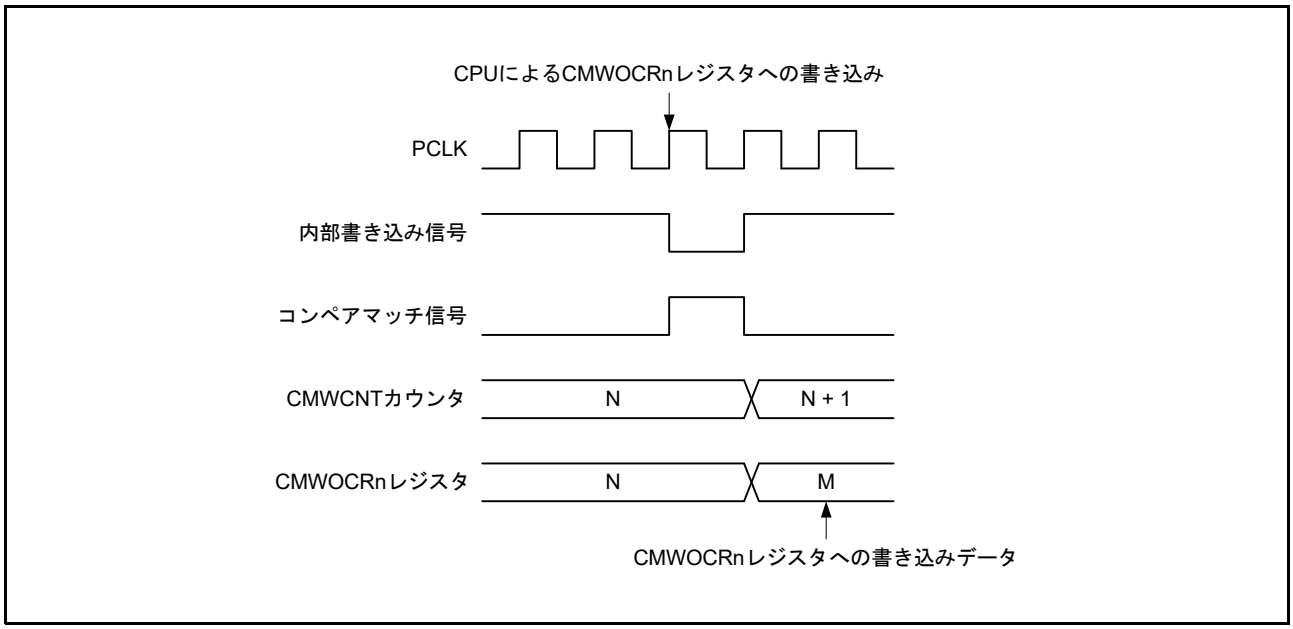


図 29.26　CMWOCRn レジスタへの書き込みとコンペアマッチの競合

29.6.6　CMWCNT カウンタの読み出しとカウントアップ / カウンタクリアの競合

CMWCNT カウンタのデータの読み出しと同時にカウントアップまたはカウンタクリアが発生した場合、読み出し値はカウントアップまたはカウンタクリア前のカウント値が読み出されます。

CMWCNT カウンタの読み出しとカウントアップが競合した場合のタイミングを図 29.27 に示します。

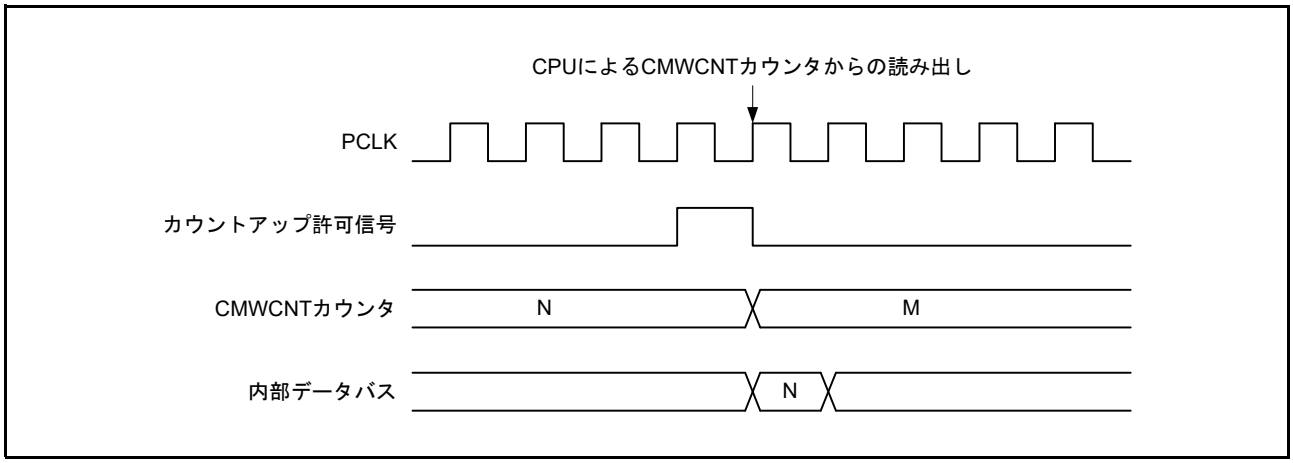


図 29.27　CMWCNT カウンタの読み出しとカウントアップの競合

29.6.7　CMWICRn レジスタの読み出しとインプットキャプチャの競合 (n = 0, 1)

CMWICRn レジスタの読み出しと同時にインプットキャプチャ検出信号が発生した場合、読み出し値はインプットキャプチャ転送前の値が読み出されます。

CMWICRn レジスタの読み出しとインプットキャプチャが競合した場合のタイミングを図 29.28 に示します。

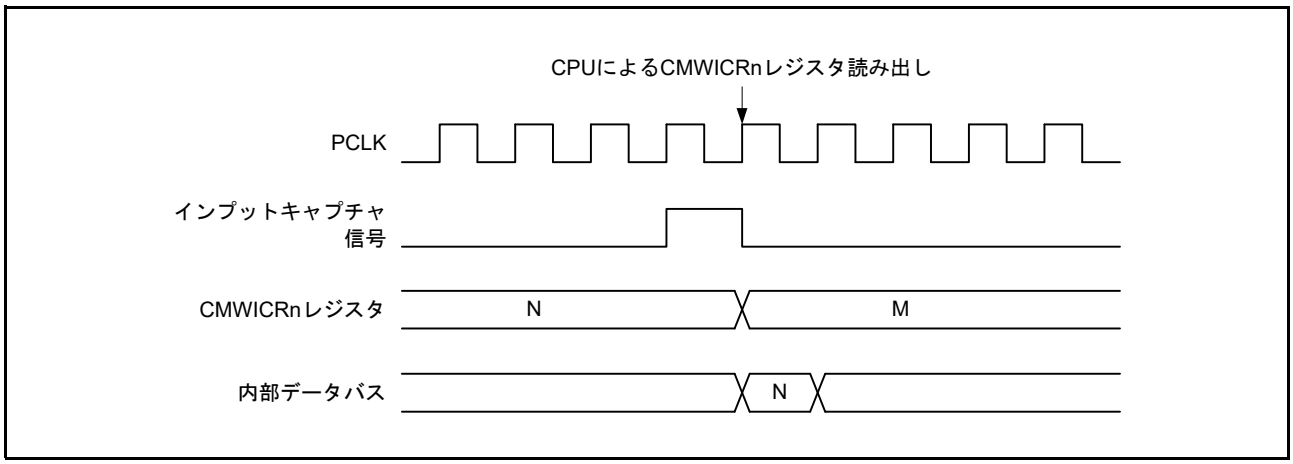


図 29.28　CMWICRn レジスタの読み出しとインプットキャプチャの競合

30. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタで、システムの暴走などによりカウンタの値がリフレッシュされずにアンダフローすると、MCU をリセットします。

また、アンダフロー時に、ノンマスカブル割り込みやマスカブル割り込みを発生させることもできます。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、同許可期間を暴走検知の条件とすることができます。

30.1 概要

表 30.1 に WDT の仕様を、**図 30.1** に WDT のブロック図を示します。

表30.1　WDTの仕様

項目	内容
カウントソース	周辺モジュールクロック(PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	• オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作(WDTRRレジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	• リセット • 低消費電力状態 • アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
リセット出力要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
ノンマスカブル割り込み/マスカブル割り込み要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、カウンタのカウント値の読み出しが可能

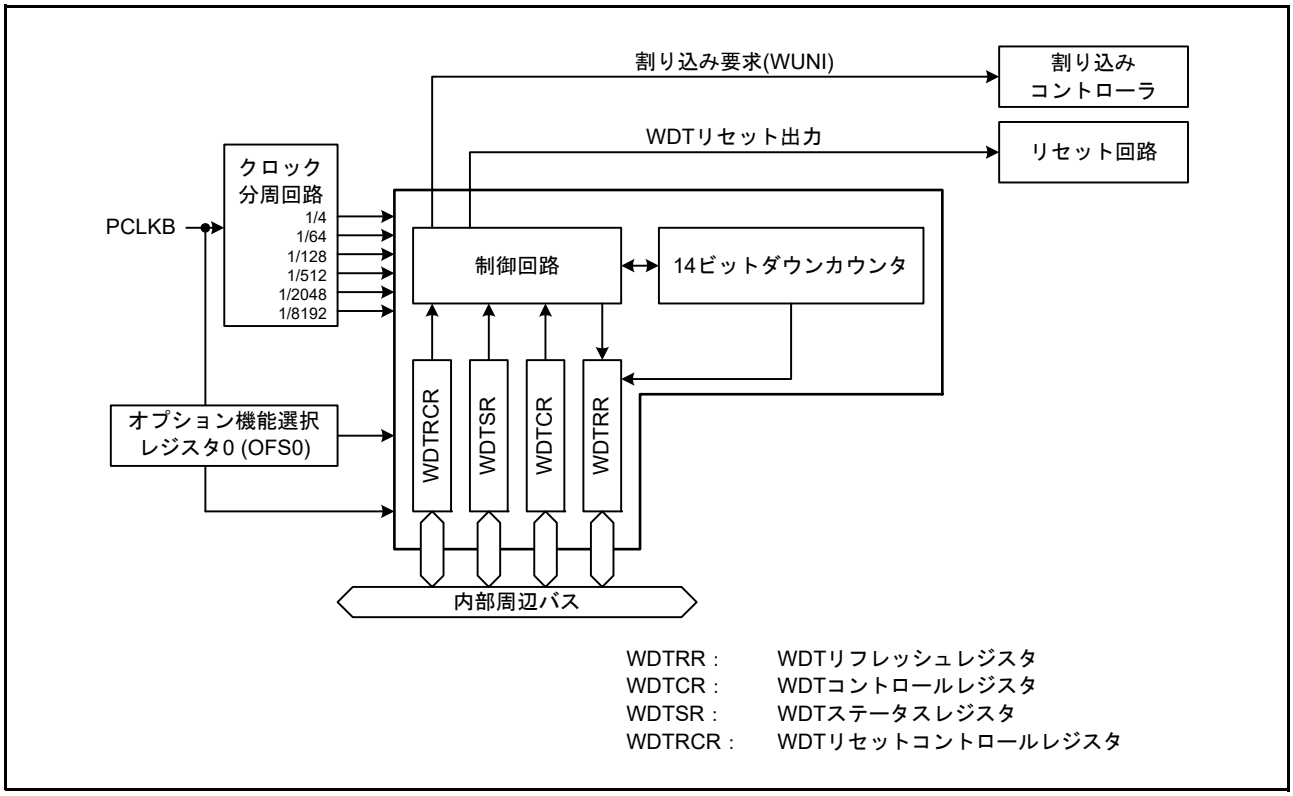
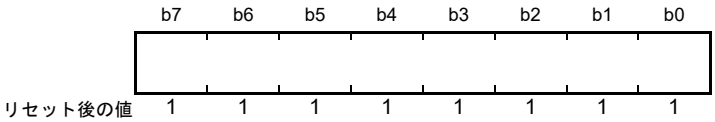


図 30.1 WDT のブロック図

30.2 レジスタの説明

30.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス WDT.WDTRR 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む (リフレッシュ動作) ことにより WDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の WDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「30.3.2 リフレッシュ動作」を参照してください。

30.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 0008 8022h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1：4分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 1 0：512分周 0 1 1 1：2048分周 1 0 0 0：8192分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「30.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 30.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLKB 数の関係を示します。

表30.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	4分周	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	512分周	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	2048分周	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	8192分周	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

カウンタで使用するクロックの分周比を設定します。分周比は、PCLKB の 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択できます。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLKB の 4096 ～ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウの終了位置はタイムアウト期間の、75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウの開始位置はタイムアウト期間の、25%、50%、75%、100% から選択します。

設定値は、ウィンドウ開始位置 > ウィンドウ終了位置となるように設定してください。

ウィンドウ開始位置≦ウィンドウ終了位置と設定した場合、ウィンドウ終了位置は、0% になります。

RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 30.3 に、設定されるリフレッシュ許可期間を図 30.2 に示します。

表30.3　ウィンドウ開始、終了位置とカウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始、終了のカウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始(%)	終了(%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

注.　「ウィンドウ終了≧ウインドウ開始」の設定を行った場合、ウィンドウ終了位置は0%になります。

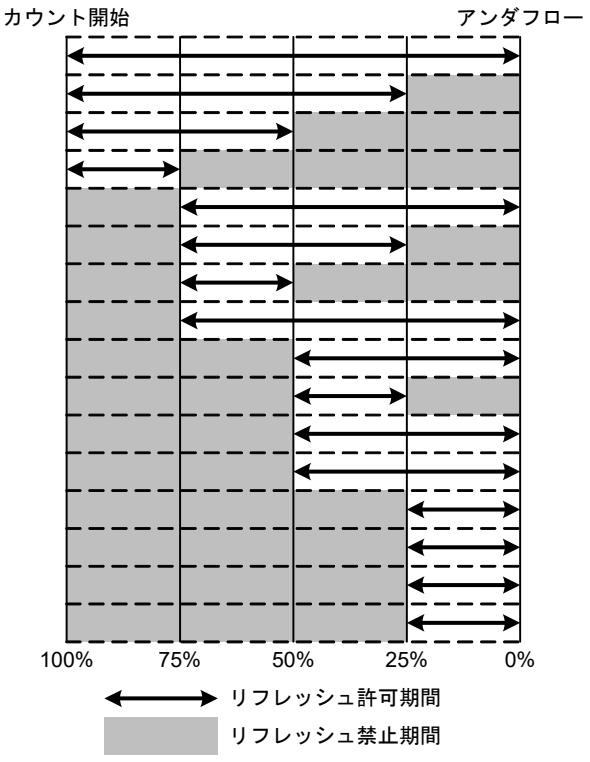


図 30.2　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

30.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 0008 8024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REFEF	UNDFF	CNTVAL[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が “1” のとき、カウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

30.2.4　WDT リセットコントロールレジスタ (WDTRCR)

アドレス　WDT.WDTRCR 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、またはマスカブル割り込み要求を出力 1：リセット信号を出力	R/W

注.　本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「30.3.6　オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

30.2.5　オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「30.3.6　オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

30.3 動作説明

30.3.1 カウント開始条件別の各動作

WDT はリセット解除後、自動的にカウントを開始するオートスタートモードと、リフレッシュ動作 (レジスタ書き込み) によりカウントを開始するレジスタスタートモードの 2 種類のモードがあります。

オートスタートモードは、リセット解除後、オプション機能選択レジスタ 0 (OFS0) の設定に従い、自動的にカウントを開始します。

レジスタスタートモードは、リセット解除後に各レジスタの設定後、リフレッシュ動作 (レジスタ書き込み) により、カウントを開始します。

オートスタートモード、もしくはレジスタスタートモードの選択は、OFS0 レジスタの WDTSTRT ビットで行います。

オートスタートモード選択時は、WDTCR レジスタ、WDTRCR レジスタの設定は無効となり、OFS0 レジスタの設定が有効となります。

一方、レジスタスタートモード選択時は、OFS0 レジスタの設定は無効となり、WDTCR レジスタ、WDTRCR レジスタの設定が有効となります。

30.3.1.1 レジスタスタートモード

OFS0.WDTSTRT ビットが “1” の場合、レジスタスタートモードとなり、WDTCR レジスタ、WDTRCR レジスタが有効となります。

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、また WDTRCR レジスタにリセット信号出力 / 割り込み要求出力の設定を行います。その後、リフレッシュ動作を行うことにより、カウンタは、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセット信号、もしくは割り込み要求 (WUNI) を出力します。リセット信号出力、または割り込み要求出力の選択は、WDTRCR.RSTIRQS ビットの設定により行います。

図 30.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

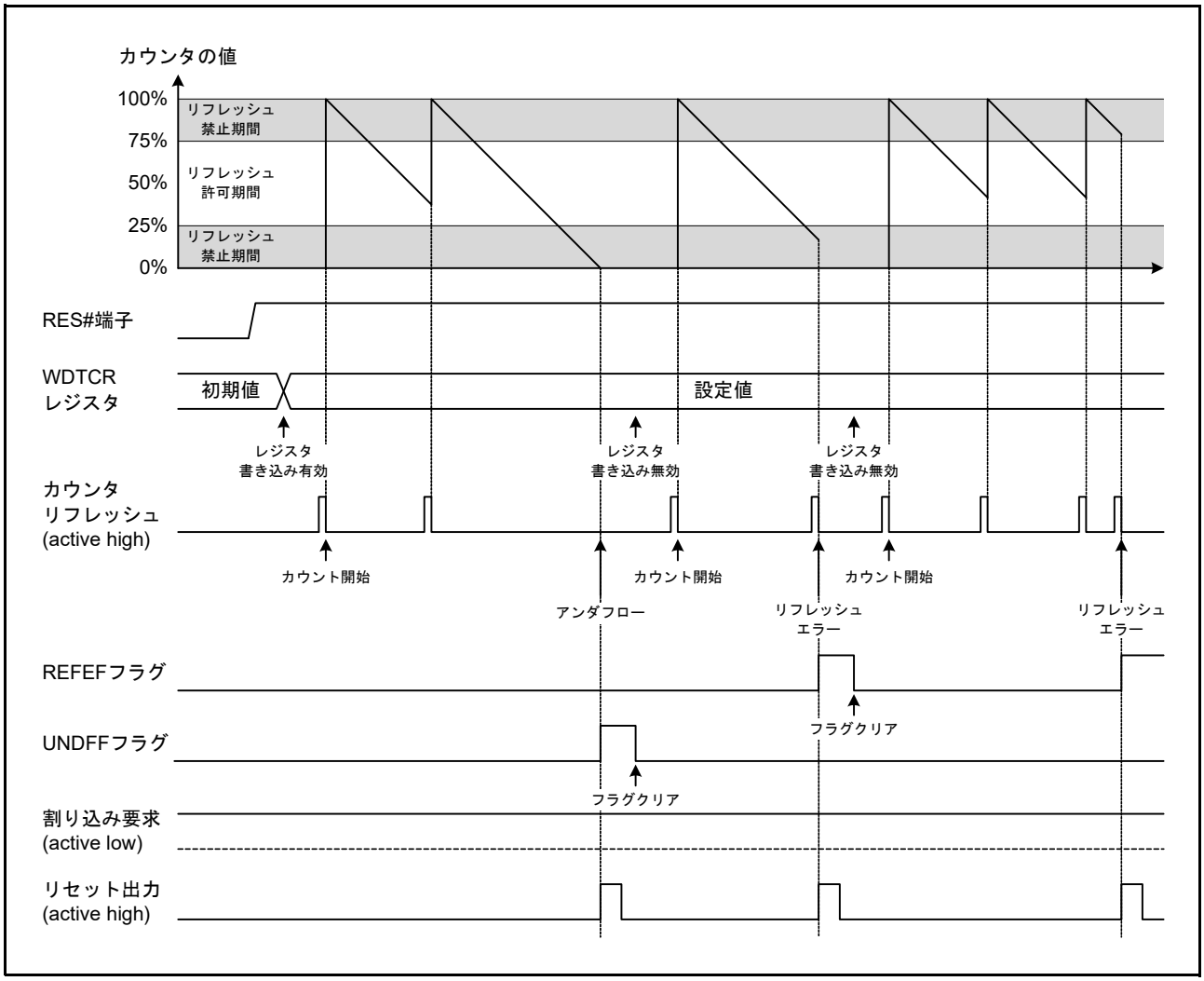


図 30.3 レジスタスタートモード動作例

30.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDTSTRT ビットが “0” の場合、オートスタートモードとなり、WDTCR レジスタ、WDTRCR レジスタが無効となり、OFS0 レジスタの設定が有効になります。

リセット期間中に OFS0 レジスタの設定値 (クロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、リセット出力 / 割り込み要求) が WDT のレジスタに設定されます。その後、リセット解除でカウンタに OFS0.WDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセット信号、もしくは割り込み要求 (WUNI) を出力します。リセット信号または割り込み要求を 1 カウントサイクル出力後、カウンタはタイムアウト期間の値がセットされ、カウント動作を再開します。リセット信号出力、または割り込み要求出力の選択は、OFS0.WDTRSTIRQS ビットの設定により行います。

図 30.4 に以下の条件での動作例 (ノンマスカブル割り込み) を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.WDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

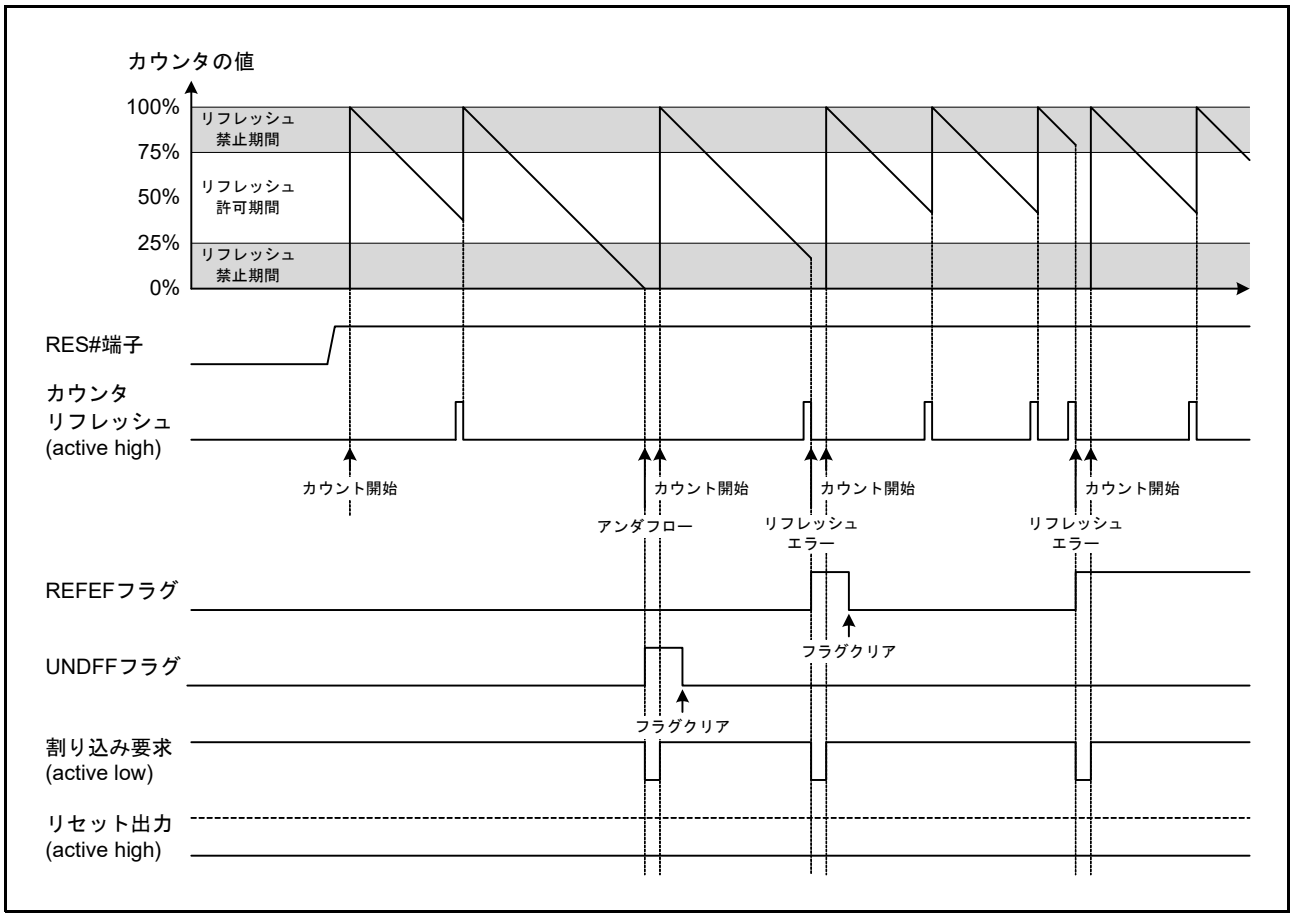


図 30.4 オートスタートモード動作例

30.3.2　リフレッシュ動作

カウンタのリフレッシュを行うには、WDTRR レジスタへ “00h” を書き込んだ後、続けて “FFh” 書き込みを行ってください。“00h” の書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

WDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、WDTRR レジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

リフレッシュのための書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh” の書き込み時に行っています。このため “00h” の書き込みがリフレッシュ許可期間外であってもリフレッシュは正常に行われます。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは WDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

カウンタがリフレッシュされるタイミングは、WDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります。そのため、カウンタがアンダフローする 4 カウント前までに、WDTRR レジスタへの “FFh” 書き込みを完了してください。

図 30.5 にカウントクロックが PCLKB/64 の場合の WDT リフレッシュ動作波形を示します。

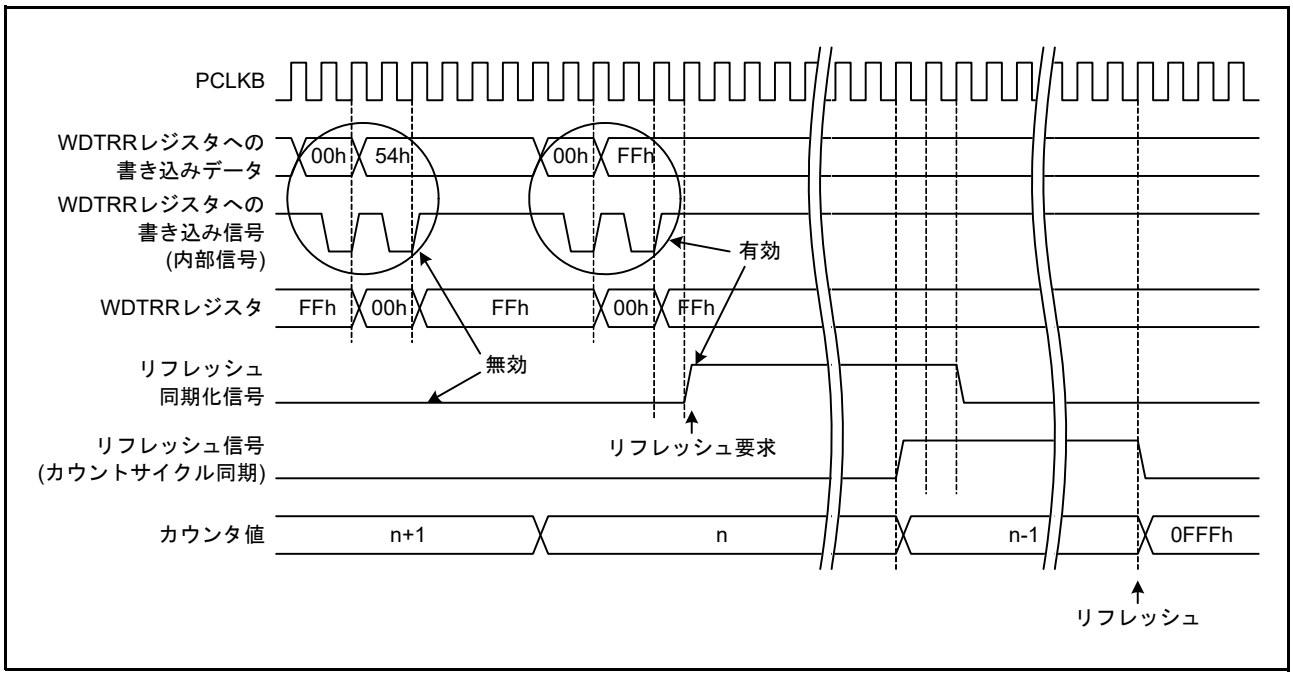


図 30.5　WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

30.3.3　リセット出力

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを “1” にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

30.3.4　割り込み要因

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを “0” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを “0” にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスカブル割り込みまたはマスカブル割り込みとして使用できます。詳細は、**「14.　割り込みコントローラ (ICUG)」**を参照してください。

表 30.4　WDT の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

30.3.5　カウンタ値の読み出し

WDT はカウンタ値を WDTSR.CNTVAL[13:0] ビットに格納します。WDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、カウンタ値を確認することができます。

図 30.6 にカウントクロックが PCLKB/64 の場合のカウンタ値の読み出し処理を示します。

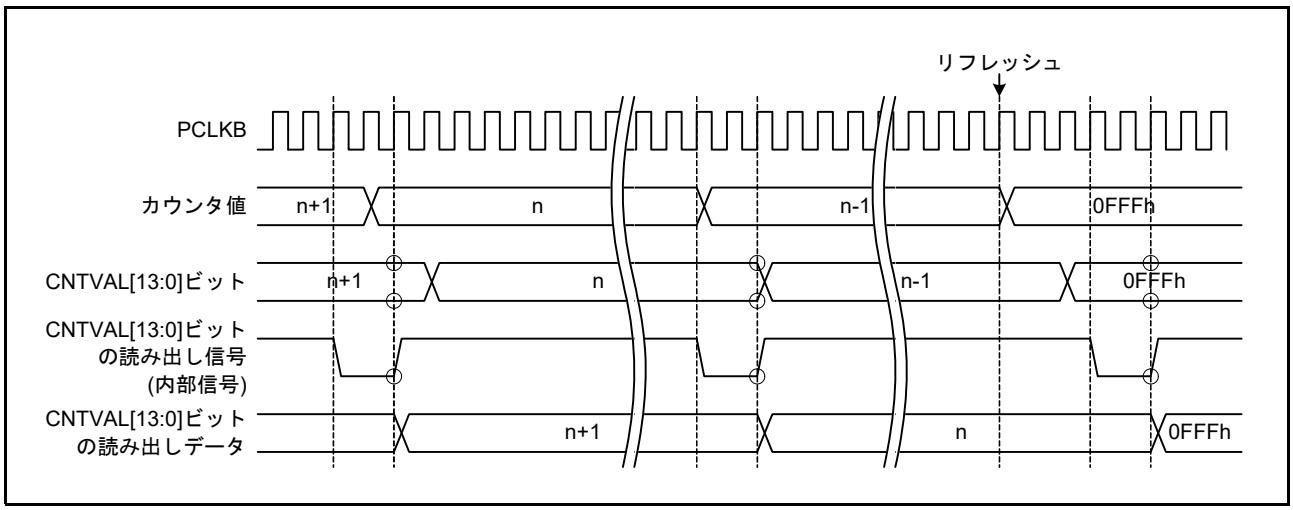


図 30.6　WDT カウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

30.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 30.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.3 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表30.5 オプション機能選択レジスタ0 (OFS0)とWDTレジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS

31. 独立ウォッチドッグタイマ (IWDTa)

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースはIWDT 専用クロック (IWDTCLK) を分周したもの (周辺モジュールクロックの影響を受けない)
- 低消費電力状態で、カウンタを停止させない選択が可能 (IWDTCSTPR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

31.1 概要

表 31.1 に IWDT の仕様を示します。

表31.1　IWDTの仕様

項目	内容
カウントソース(注1)	IWDT専用クロック(IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	• オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作(IWDTRRレジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	• リセット • 低消費電力状態(レジスタ設定による(注2)) • アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
リセット出力要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
ノンマスカブル割り込み/マスカブル割り込み要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、カウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	• カウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
オートスタートモード(オプション機能選択レジスタ0 (OFS0)制御)	• リセット後のクロック分周比の選択(OFS0.IWDTCKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択(OFS0.IWDTTOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択(OFS0.IWDTRPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択(OFS0.IWDTRPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択(OFS0.IWDTRSTIRQSビット) • 低消費電力状態でのカウンタ動作/停止の選択(OFS0.IWDTSLCSTPビット)
レジスタスタートモード(IWDTレジスタ制御)	• リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCR.TOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択(IWDTCR.RPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択(IWDTCR.RPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択(IWDTRCR.RSTIRQSビット) • 低消費電力状態でのカウンタ動作/停止の選択(IWDTCSTPR.SLCSTPビット)

注1.　周辺モジュールクロック(PCLKB)周波数≧4 × (カウントソースの分周後周波数)となるようにしてください。
注2.　オートスタートモード時、OFS0.IWDTSLCSTPビットが“1”の場合、レジスタスタートモード時、IWDTCSTPR.SLCSTPビットが“1”の場合。

図 31.1 に IWDT のブロック図を示します。

IWDT では、バスインタフェース部とレジスタ部は周辺モジュールクロック (PCLKB) で動作し、14 ビットダウンカウンタと制御回路は IWDTCLK で動作します。

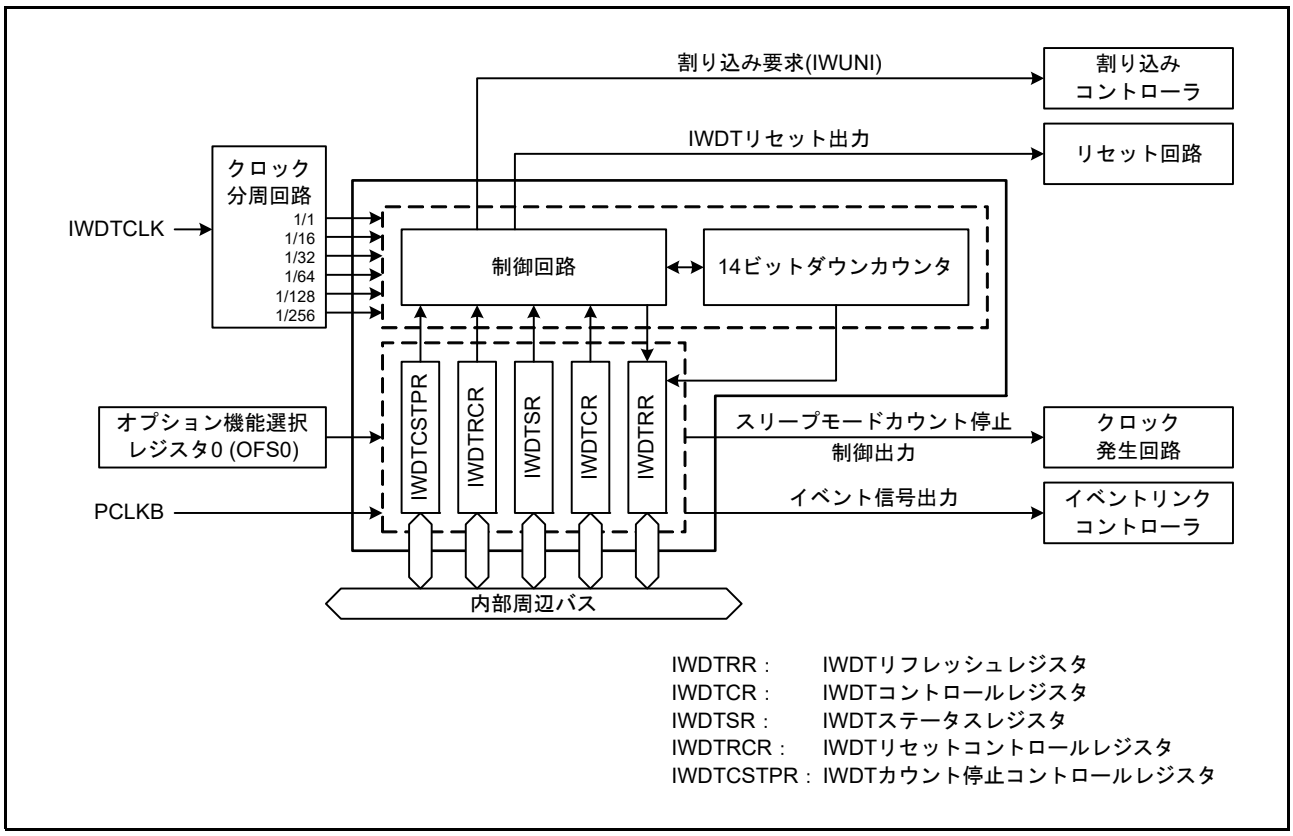
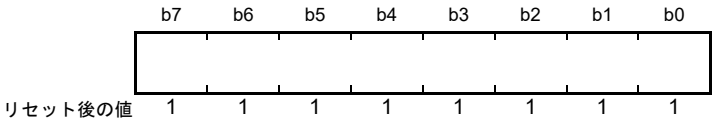


図 31.1　IWDT のブロック図

31.2 レジスタの説明

31.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む (リフレッシュ動作) ことにより IWDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「31.3.2 リフレッシュ動作」を参照してください。

31.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「31.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 31.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表31.2　　タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	16分周	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	32分周	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	256分周	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック分周比選択ビット)

IWDTCLK を分周する分周比設定を 1 分周 /16 分周 /32 分周 /64 分周 /128 分周 /256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 1024 ～ 4194304 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 31.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表31.3　　タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 31.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始(%)	終了(%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

注.　「ウィンドウ終了≧ウインドウ開始」の設定を行った場合、ウィンドウ終了位置は0%になります。

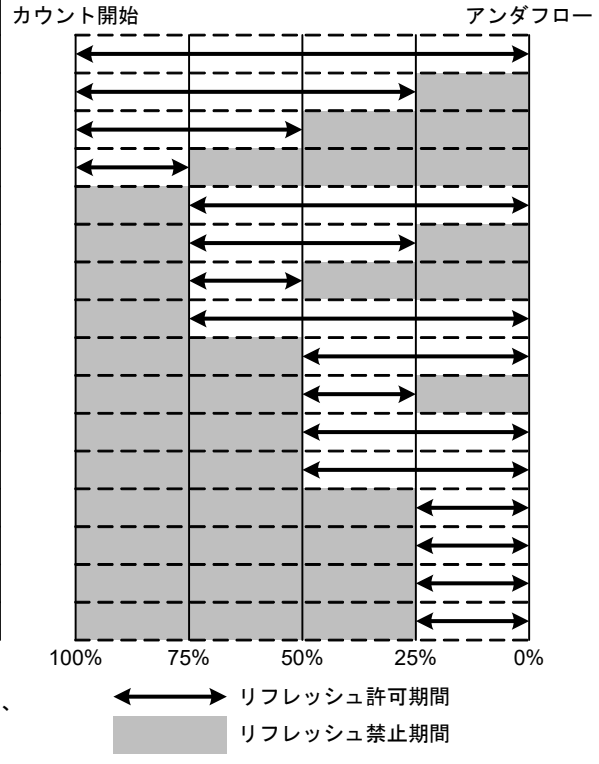
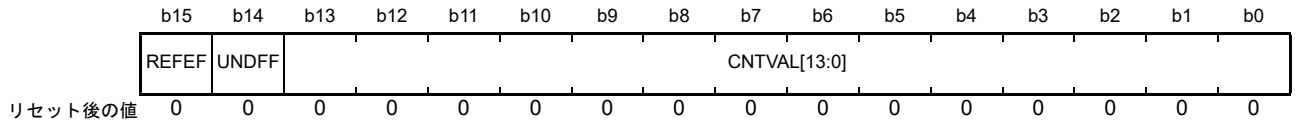


図 31.2　　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

31.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が “1” のとき、カウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

31.2.4　IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス　IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、またはマスカブル割り込み要求を出力 1：リセット信号を出力	R/W

注.　本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「31.3.7　オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

31.2.5　IWDT カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス　IWDT.IWDTCSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0：低消費電力状態でもカウンタが動作(注1) 1：低消費電力状態でカウンタが停止	R/W

注.　本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。
注1.　スリープモード、全モジュールクロックストップモード、またはソフトウェアスタンバイモードでカウンタがカウントを継続します。

レジスタスタートモード使用時に、低消費電力状態でカウンタを動作させるかどうかを設定するレジスタです。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「31.3.7　オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

低消費電力状態でのカウンタの動作 / 停止を選択します。

31.2.6　オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「31.3.7　オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

31.3 動作説明

31.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが “1” (レジスタスタートモード) の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが “0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

31.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが “1” の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力 / 割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態におけるカウンタ動作 / 停止の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 31.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

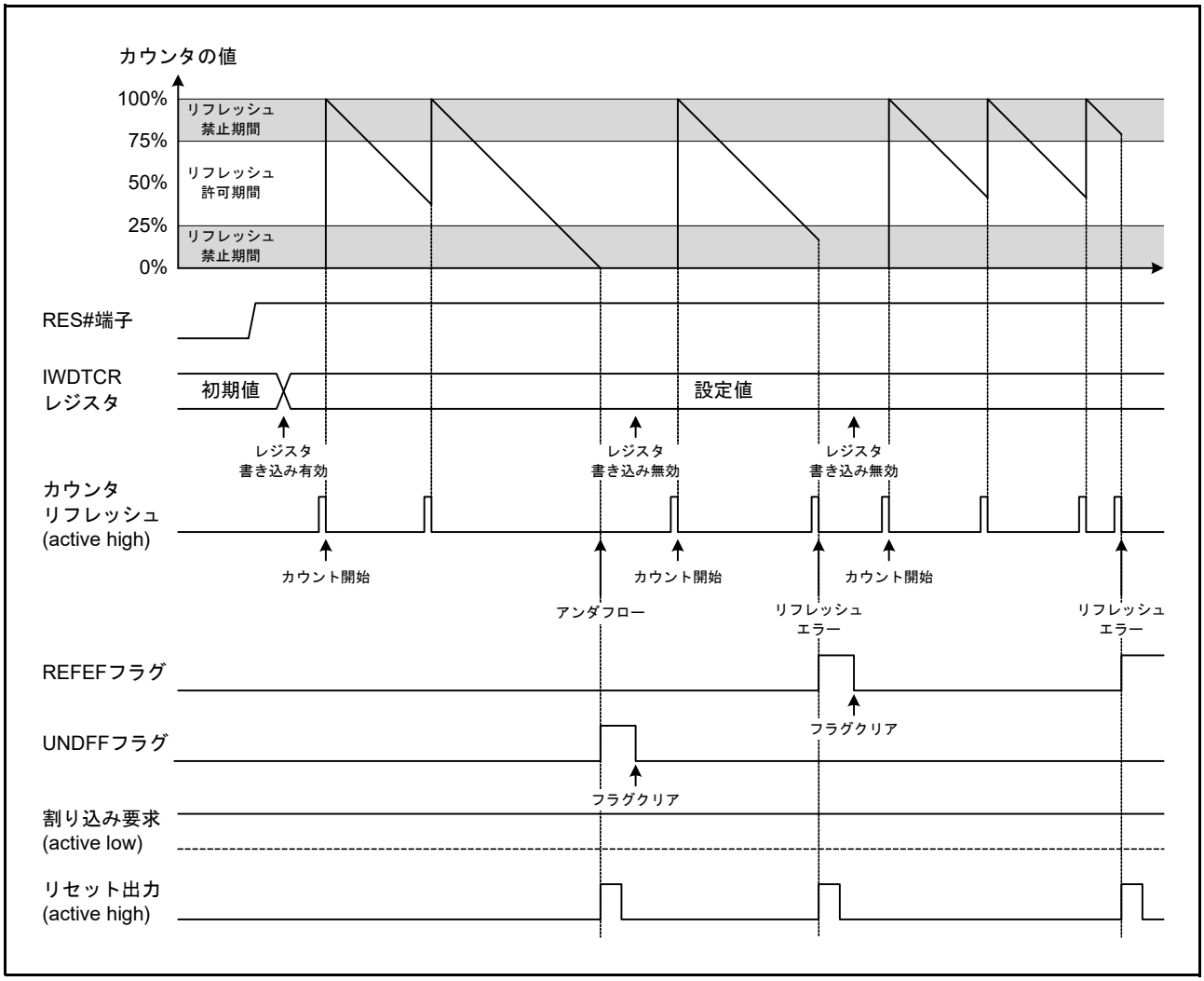


図 31.3　レジスタスタートモード動作例

31.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが “0” の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、リセット出力 / 割り込み要求出力、また低消費電力状態におけるカウンタ動作 / 停止の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。リセット信号または割り込み要求を出力後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。OFS0.IWDTRSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 31.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.IWDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

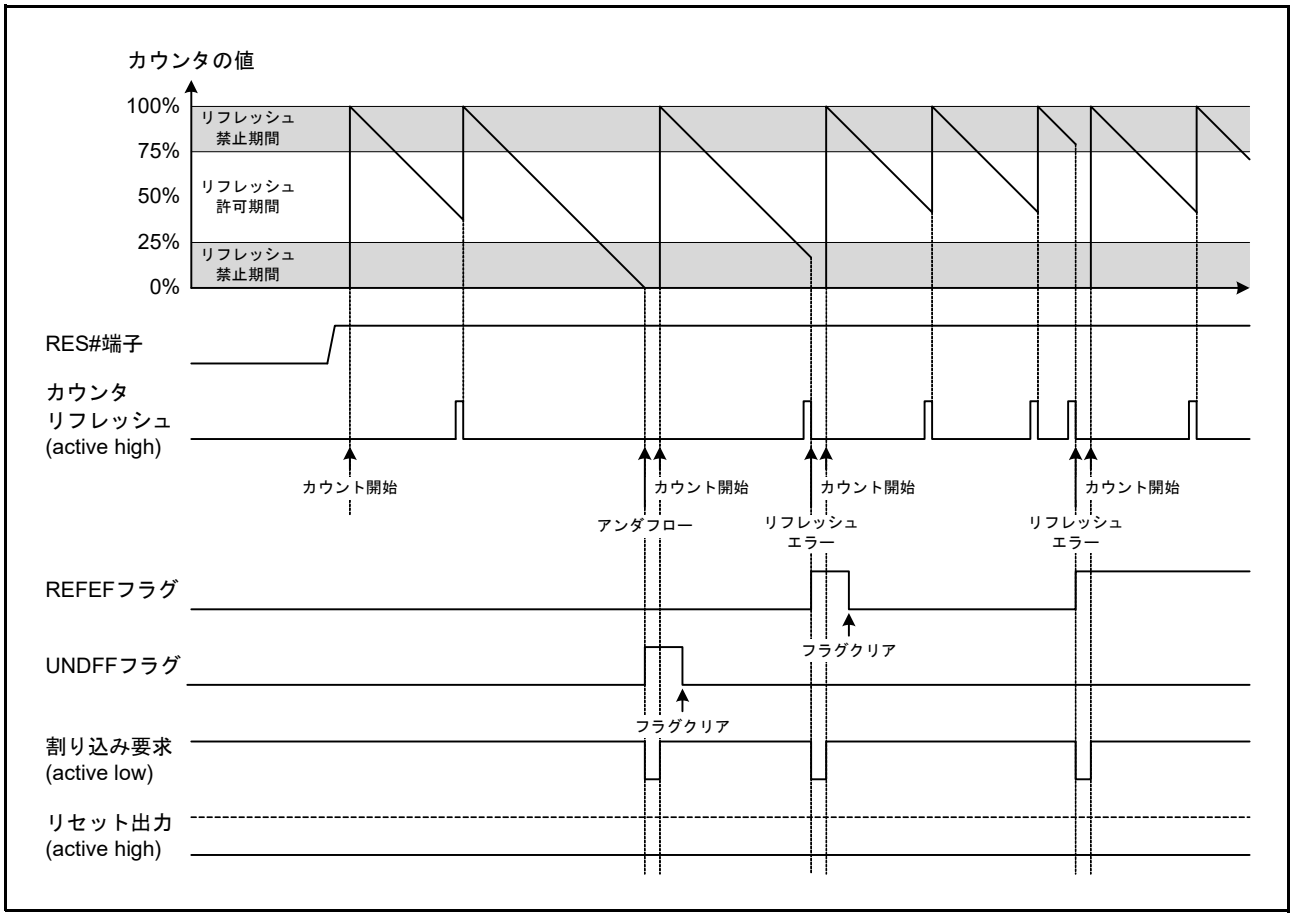


図 31.4 オートスタートモード動作例

31.3.2 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始 (リフレッシュによるカウント開始) を行うには、IWDTRR レジスタへの “00h” 書き込みに続けて “FFh” 書き込みを行います。“00h” 書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後 “FFh” を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h” 以前の書き込みが “00h” 以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの “00h” の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの “FFh” の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTCLK の数は、IWDTCR.CKS[3:0] ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの “FFh” 書き込みを完了してください。カウンタの値は IWDTSR.CNTVAL[13:0] ビットで確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を “01FFh” とした場合、IWDTRR レジスタへの “00h” の書き込みが “01FFh” より前 (たとえば “0202h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が “01FFh” になってから、IWDTRR レジスタへ “FFh” を書き込めばリフレッシュを行います。
- ウィンドウ終了位置を “01FFh” とした場合、IWDTRR レジスタへ “00h” → “FFh” を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “0203h” (“01FFh” の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h” までがリフレッシュ許可期間である場合、アンダフロー直前までリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ “00h” → “FFh” を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 31.5 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT リフレッシュ動作波形を示します。

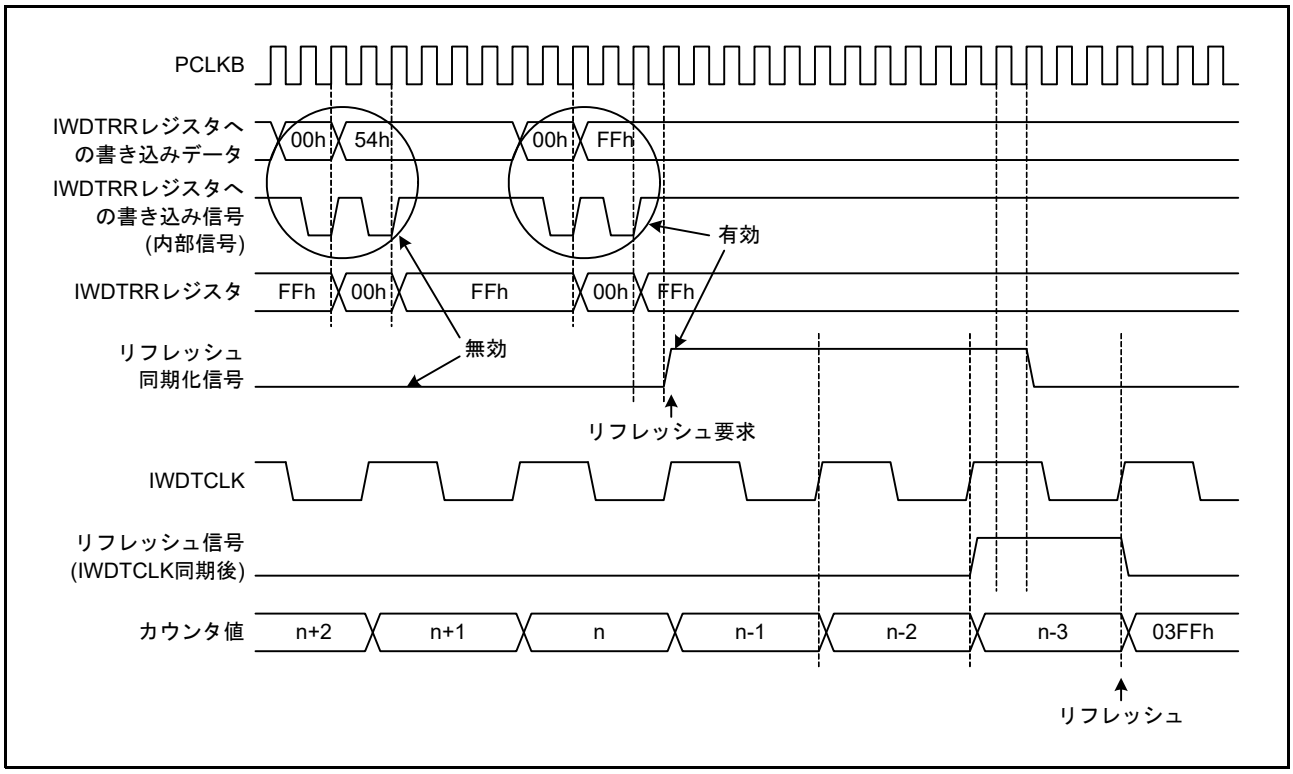


図 31.5　IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 00b)

31.3.3 ステータスフラグ

IWDTSR.REFEF フラグ、IWDTSR.UNDFF フラグは、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDFF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を “0” にするには “0” を書き込んでください。“1” の書き込みは無効です。

各フラグは、“0” にしなくても動作に影響を与えません。“0” にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに “0” を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLKB 2 クロック必要です。

31.3.4 リセット出力

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTRSTIRQS ビットを “1” にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

31.3.5 割り込み要因

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを “0” にした場合、またはオートスタートモード時、OFS0.IWDTRSTIRQS ビットを “0” にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生すると、割り込み (IWUNI) が発生します。本割り込みはノンマスカブル割り込みまたはマスカブル割り込みとして使用できます。詳細は、「14. 割り込みコントローラ (ICUG)」を参照してください。

表31.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
IWUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

31.3.6 カウンタ値の読み出し

IWDT のカウンタは IWDTCLK で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を PCLKB で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 31.6 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT カウンタ値の読み出し処理を示します。

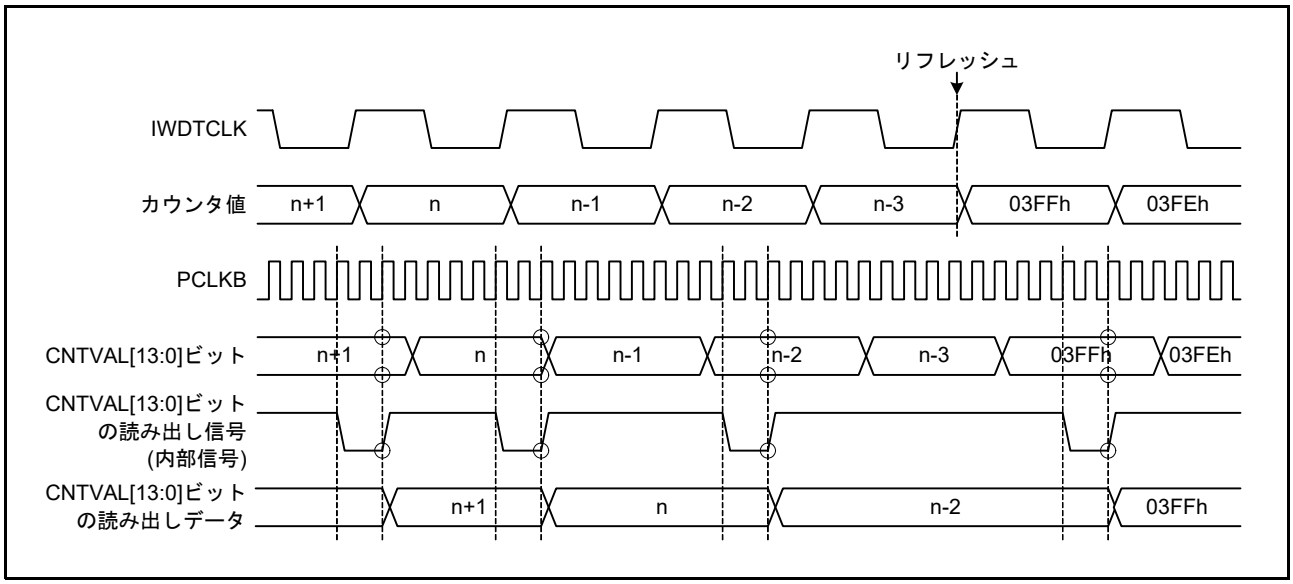


図 31.6 IWDT カウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 00b)

31.3.7　オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 31.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.3　オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表31.5　オプション機能選択レジスタ0 (OFS0)とIWDTレジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDTRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDTRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDTRSTIRQS	IWDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

31.4　ELC によるリンク動作

イベントリンクコントローラ (ELC) は IWDT が生成する割り込み要求をイベント信号として使用します。IWDT が割り込み要求を出力すると、あらかじめ設定したモジュールに対してイベントが発生します。カウンタのアンダフロー、およびリフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時の IWDTRCR.RSTIRQS ビット、もしくはオートスタートモード時の OFS0.IWDTRSTIRQS ビットの設定に関わらず、イベント信号を出力します。また、IWDTSR.REFEF フラグ、または IWDTSR.UNDFF フラグが、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「19.　イベントリンクコントローラ (ELC)」を参照してください。

31.5　使用上の注意事項

31.5.1　リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLKB と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

31.5.2　クロック分周比の設定

PCLKB の周波数≧ 4 × (カウントソースの分周後周波数) となるようにしてください。

32. シリアルコミュニケーションインタフェース (SCIk, SCIh)

本 MCU は、独立した 4 チャネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIk モジュール (SCI1, SCI5, SCI6) と、SCIh モジュール (SCI12) から構成されています。

SCIk (SCI1, SCI5, SCI6) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I^2C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIh (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

32.1 概要

表 32.1 に SCIk の仕様を、**表 32.2** に SCIh の仕様を、**表 32.3** に SCI チャネル別機能一覧を示します。

図 32.1 に SCI1 のブロック図を、**図 32.2** に SCI5、SCI6 のブロック図を、**図 32.3** に SCI12 (SCIh) のブロック図を示します。

表32.1　SCIkの仕様 (1/2)

項目	内容
シリアル通信方式	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I^2Cバス • 簡易SPIバス
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表32.4～表32.6参照
データ転送	LSBファースト/MSBファースト選択可能(注1)
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
RXD入力信号選択機能(SCI5のみ対応)	伝送線路の影響によりRXD信号が減衰した場合、コンパレータをレシーバ代わりに使用して改善可能
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、データ一致 開始条件/再開始条件/停止条件生成終了(簡易I^2Cモード用)
消費電力低減機能	チャネルごとにモジュールストップ状態への遷移が可能

表32.1　SCIkの仕様 (2/2)

項目		内容
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Lowまたは立ち下がりエッジを選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がりエッジまたは立ち上がりエッジのいずれかを遅延させることが可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出す、またはSPTR.RXDMONフラグを読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能(SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I²Cモード	通信フォーマット	I²Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「32.2.11　ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能(SCI5のみ対応)		エラー(受信エラー・エラーシグナル検出)イベント出力
		受信データフルイベント出力
		送信データエンプティイベント出力
		送信終了イベント出力

注1.　簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表32.2　SCIhの仕様 (1/3)

項目	内容
シリアル通信方式	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I²Cバス • 簡易SPIバス

表32.2　SCIhの仕様 (2/3)

項目		内容
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表32.4～表32.7参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー 開始条件/再開始条件/停止条件生成終了(簡易I2Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I2Cモード	通信フォーマット	I2Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「32.2.11　ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能

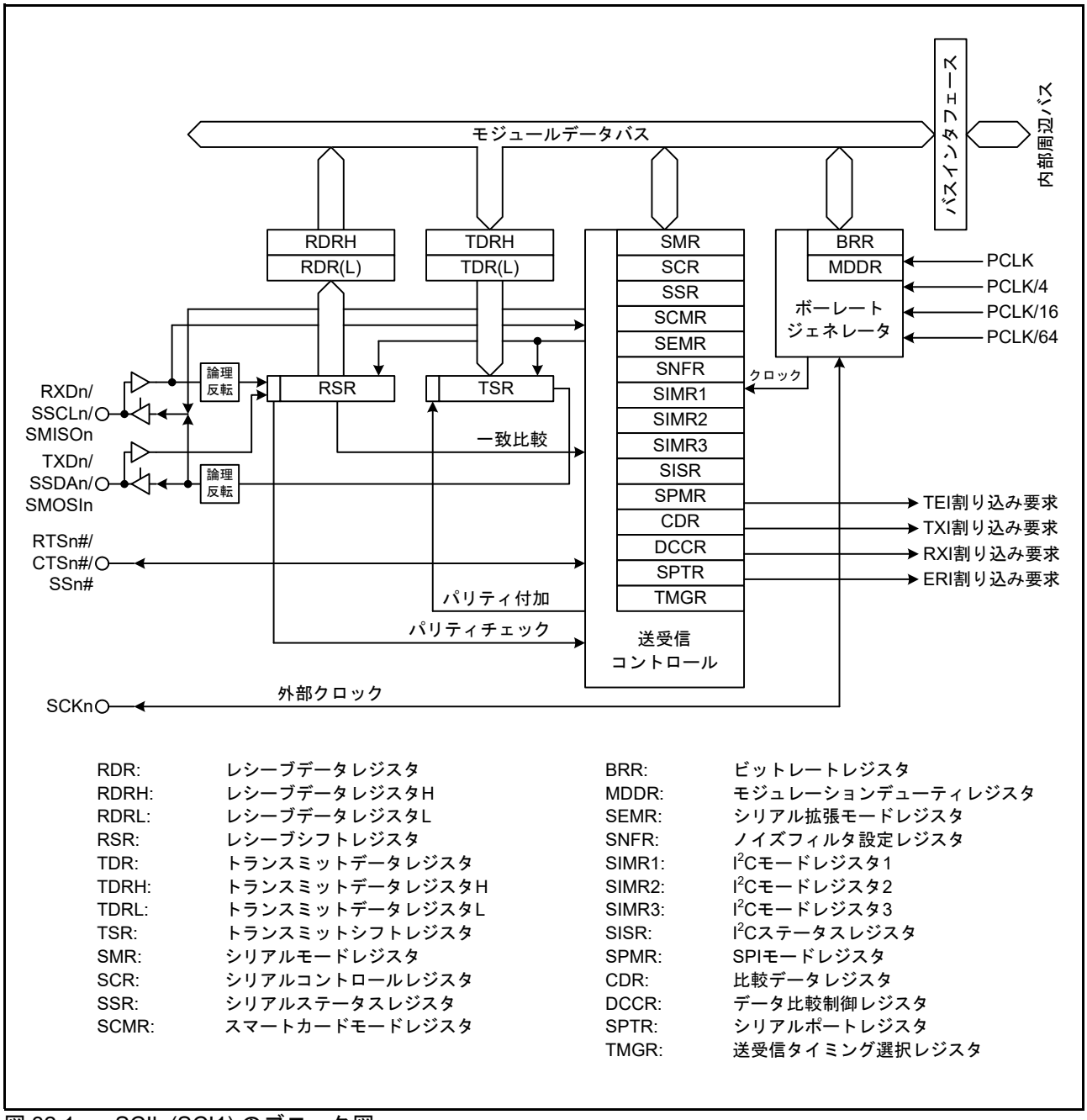
表32.2　SCIhの仕様 (3/3)

項目		内容
拡張シリアルモード	Start Frame送信	• Break Field Low widthの出力が可能/出力完了割り込み機能あり • バス衝突検出機能あり/検出割り込み機能あり
	Start Frame受信	• Break Field Low widthの検出が可能/検出完了割り込み機能あり • Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり • Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 • Control Field 1にプライオリティインタラプトビットを設定可能 • Break FieldがないStart Frameにも対応可能 • Control Field 0がないStart Frameにも対応可能 • ビットレート測定機能あり
	入出力制御機能	• TXDX12/RXDX12信号の極性選択が可能 • RXDX12信号にデジタルフィルタ機能を設定可能 • RXDX12端子とTXDX12端子を兼用した半二重通信が可能 • RXDX12端子受信データサンプリングタイミング選択可能
	タイマ機能	• リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注1.　簡易I2Cモードでは、MSBファーストでのみ使用可能です。

表32.3　SCIチャネル別機能一覧

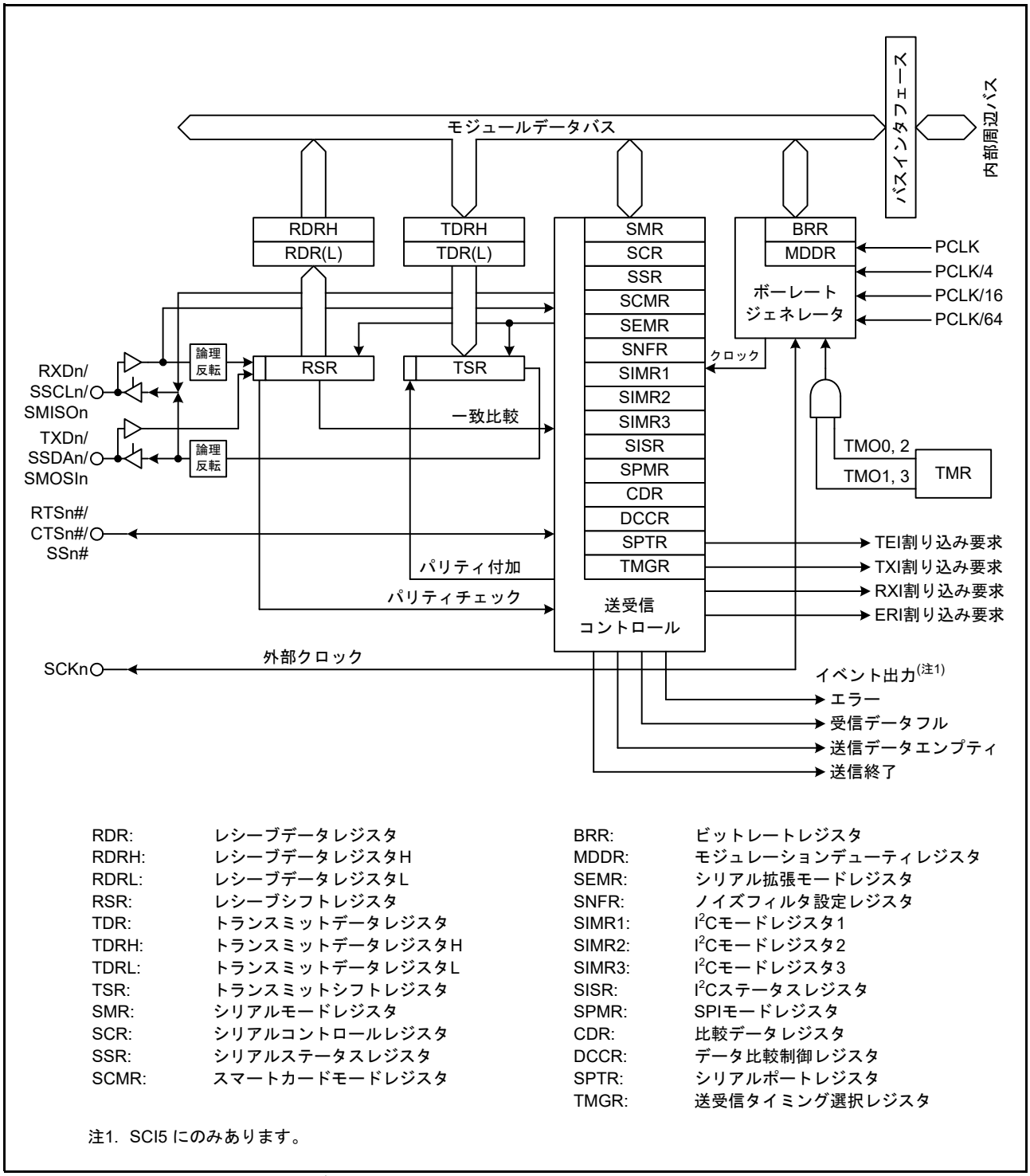
項目	SCI1	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I2Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
データ一致検出	○	○	○	—
拡張シリアルモード	—	—	—	○
TMRクロック入力	—	○	○	○
イベントリンク機能	—	○	—	—



RDR:	レシーブデータレジスタ
RDRH:	レシーブデータレジスタH
RDRL:	レシーブデータレジスタL
RSR:	レシーブシフトレジスタ
TDR:	トランスミットデータレジスタ
TDRH:	トランスミットデータレジスタH
TDRL:	トランスミットデータレジスタL
TSR:	トランスミットシフトレジスタ
SMR:	シリアルモードレジスタ
SCR:	シリアルコントロールレジスタ
SSR:	シリアルステータスレジスタ
SCMR:	スマートカードモードレジスタ

BRR:	ビットレートレジスタ
MDDR:	モジュレーションデューティレジスタ
SEMR:	シリアル拡張モードレジスタ
SNFR:	ノイズフィルタ設定レジスタ
SIMR1:	I^2Cモードレジスタ1
SIMR2:	I^2Cモードレジスタ2
SIMR3:	I^2Cモードレジスタ3
SISR:	I^2Cステータスレジスタ
SPMR:	SPIモードレジスタ
CDR:	比較データレジスタ
DCCR:	データ比較制御レジスタ
SPTR:	シリアルポートレジスタ
TMGR:	送受信タイミング選択レジスタ

図 32.1　SCIk (SCI1) のブロック図



RDR:	レシーブデータレジスタ	BRR:	ビットレートレジスタ
RDRH:	レシーブデータレジスタH	MDDR:	モジュレーションデューティレジスタ
RDRL:	レシーブデータレジスタL	SEMR:	シリアル拡張モードレジスタ
RSR:	レシーブシフトレジスタ	SNFR:	ノイズフィルタ設定レジスタ
TDR:	トランスミットデータレジスタ	SIMR1:	I^2Cモードレジスタ1
TDRH:	トランスミットデータレジスタH	SIMR2:	I^2Cモードレジスタ2
TDRL:	トランスミットデータレジスタL	SIMR3:	I^2Cモードレジスタ3
TSR:	トランスミットシフトレジスタ	SISR:	I^2Cステータスレジスタ
SMR:	シリアルモードレジスタ	SPMR:	SPIモードレジスタ
SCR:	シリアルコントロールレジスタ	CDR:	比較データレジスタ
SSR:	シリアルステータスレジスタ	DCCR:	データ比較制御レジスタ
SCMR:	スマートカードモードレジスタ	SPTR:	シリアルポートレジスタ
		TMGR:	送受信タイミング選択レジスタ

注1. SCI5 にのみあります。

図 32.2　SCIk (SCI5, SCI6) のブロック図

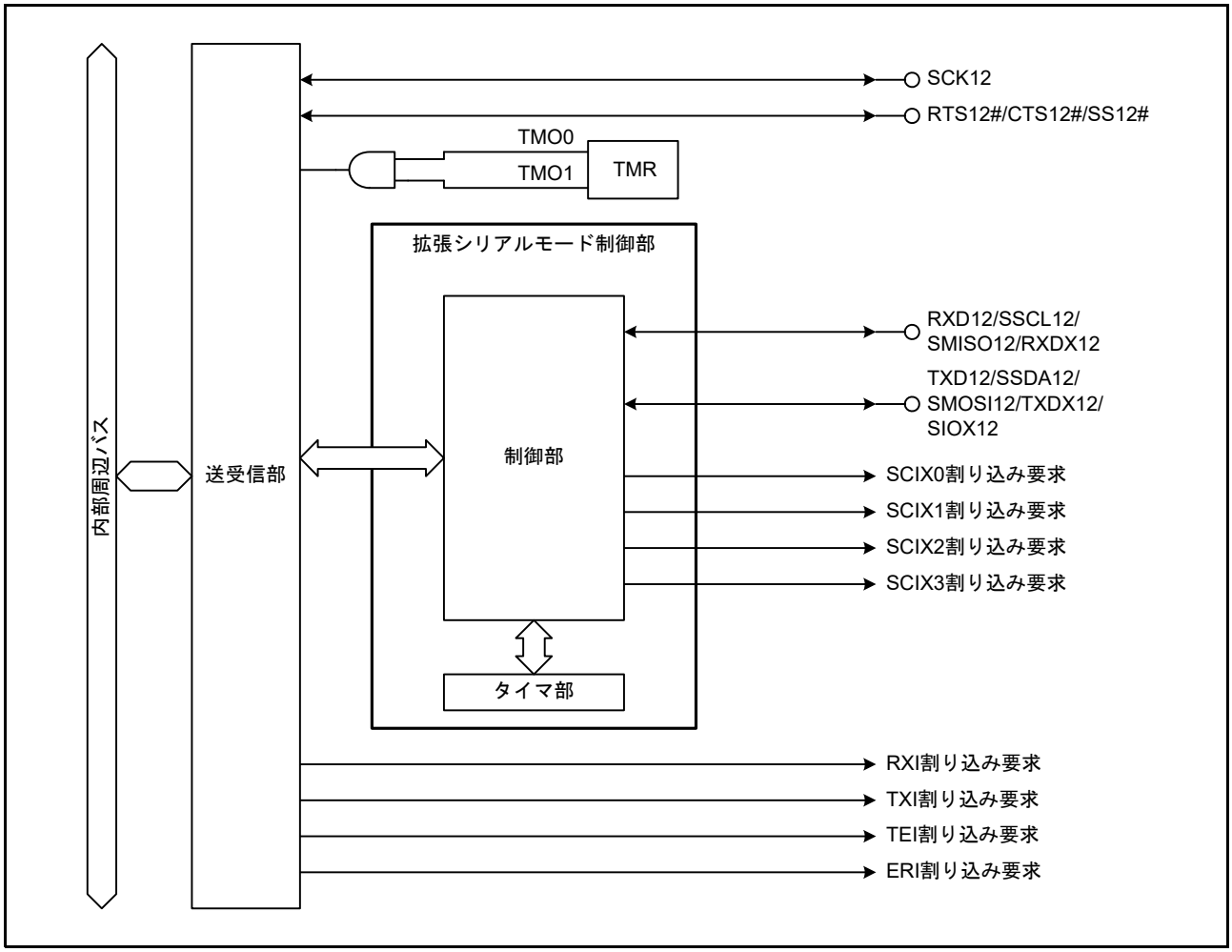


図 32.3　SCIh (SCI12) のブロック図

表 32.4 ～表 32.7 に SCI の入出力端子をモード別に示します。

表32.4　SCIの入出力端子(調歩同期式/クロック同期式モード)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表32.5　SCIの入出力端子(簡易I^2Cモード)

チャネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1のI^2Cクロック入出力端子
	SSDA1	入出力	SCI1のI^2Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI^2Cクロック入出力端子
	SSDA5	入出力	SCI5のI^2Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI^2Cクロック入出力端子
	SSDA6	入出力	SCI6のI^2Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI^2Cクロック入出力端子
	SSDA12	入出力	SCI12のI^2Cデータ入出力端子

表32.6　SCIの入出力端子(簡易SPIモード) (1/2)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子

表32.6　SCIの入出力端子(簡易SPIモード) (2/2)

チャネル	端子名	入出力	機能
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表32.7　SCIの入出力端子(拡張シリアルモード)

チャネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

32.2 レジスタの説明

32.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

32.2.2 レシーブデータレジスタ (RDR)

アドレス　SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI12.RDR 0008 B305h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

32.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)

- レシーブデータレジスタ H (RDRH)

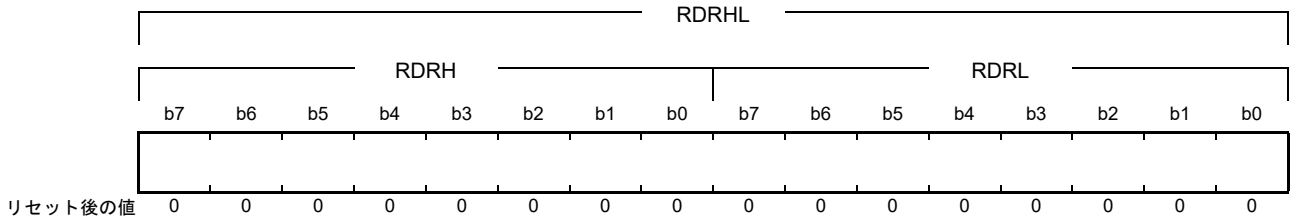
  アドレス SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

  アドレス SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

  アドレス SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドーとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は “0” に固定されており、読むと “0” が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

32.2.4 トランスミットデータレジスタ (TDR)

アドレス SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI12.TDR 0008 B303h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード / ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

32.2.5　トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)

- トランスミットデータレジスタ H (TDRH)

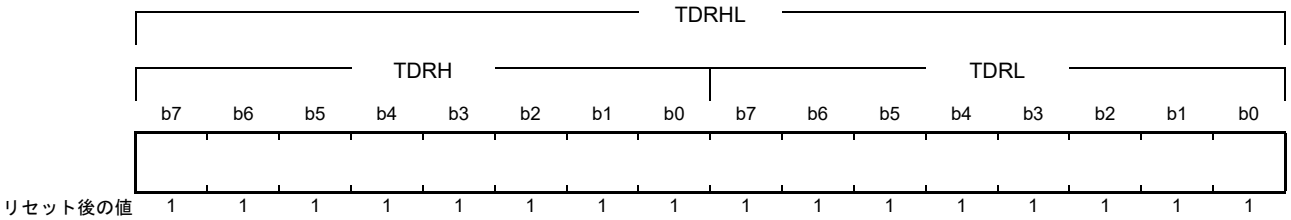
  アドレス　SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

  アドレス　SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

  アドレス　SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドーとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDRH レジスタおよび TDRL レジスタは CPU からリード / ライト可能です。TDRH レジスタの b1 から b7 は “1” に固定されており、読むと “1” が読めます。書く場合、“1” としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

32.2.6　トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

32.2.7　シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1)　非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス　SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PE ビット = 1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1 ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I²Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1.　nは設定値の10進表示で、「32.2.11　ビットレートレジスタ (BRR)」中のnの値を表します。
注2.　調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。
注3.　LSB ファースト固定となり、送信ではTDR レジスタのMSB (b7)は送信されません。
注4.　SCR.TE ビット = 0、SCR.RE ビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「32.2.11　ビットレートレジスタ (BRR)」を参照してください。

MP ビット（マルチプロセッサモードビット）

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット（ストップビットレングスビット）

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が “0” の場合は次の送信フレームのスタートビットと見なします。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティイネーブルビット）

PE ビットが “1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット（キャラクタレングスビット）

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMCI1.SMR 0008 A020h, SMCI5.SMR 0008 A0A0h, SMCI6.SMR 0008 A0C0h, SMCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：PCLK (n = 0)(注1) 0 1：PCLK/4 (n = 1)(注1) 1 0：PCLK/16 (n = 2)(注1) 1 1：PCLK/64 (n = 3)(注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表32.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット= 1のときのみ有効) 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0：非ブロック転送モードで動作します 1：ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0：非GSMモードで動作します 1：GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「32.2.11　ビットレートレジスタ(BRR)」中のnの値を表します。
注2. SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「32.2.11　ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット（基本クロック パルスビット）

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「32.6.4　受信データサンプリングタイミングと受信マージン」を参照してください。

表32.8　SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック(S = 93)(注1)
0	0	1	128クロック(S = 128)(注1)
0	1	0	186クロック(S = 186)(注1)
0	1	1	512クロック(S = 512)(注1)
1	0	0	32クロック(S = 32)(注1)(初期値)
1	0	1	64クロック(S = 64)(注1)
1	1	0	372クロック(S = 372)(注1)
1	1	1	256クロック(S = 256)(注1)

注1. Sは「32.2.11　ビットレートレジスタ(BRR)」中のSの値を表します。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「32.6.2　データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット（パリティ イネーブルビット）

PE ビットは “1” にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット（ブロック転送 モードビット）

BLK ビットを “1” にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「32.6.3　ブロック転送モード」を参照してください。

GM ビット（GSM モードビット）

GM ビットを “1” にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「32.6.6　シリアルデータの送信 (ブロック転送モードを除く)」、「32.6.8　クロック出力制御」を参照してください。

32.2.8　シリアルコントロールレジスタ (SCR)

注 .　SCR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1)　非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス　SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0：内蔵ボーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロックまたはTMRクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) b1 b0 0 x：内部クロック SCKn端子はクロック出力端子となります 1 x：外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンドインタラプトイネーブルビット	0：TEI割り込み要求を禁止 1：TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	(調歩同期式モードで、SMR.MPビット= 1のとき有効) 0：通常の受信動作 1：マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF, ORER, FERの各ステータスフラグのセット(“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブルビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

x: Don’t care
注1.　TEビット= 0、REビット= 0の場合のみ書き込み可能です。
注2.　SCI5、SCI6、SCI12のみ選択可能。
注3.　SMR.CMビットが“1”のときは、TEビット= 0、REビット= 0の場合のみ“1”を書き込み可能です。
一度、TE、REビットのいずれかを“1”にした後は、TEビット= 0、REビット= 0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット（クロックイネーブルビット）

クロックソースおよびSCKn端子の機能を選択します。

内蔵TMRクロックはSEMR.ACS0ビットと組み合わせて設定します。

TEIE ビット（トランスミットエンド インタラプトイネーブルビット）

TEI割り込み要求を許可、または禁止します。

TEI割り込み要求の禁止は、TEIEビットを“0”にすることで行うことができます。

簡易I^2Cモードでは、開始 / 再開始 / 停止条件生成完了割り込み (STI割り込み) がTEI割り込みに割り当てられます。その場合もTEIEビットによりSTI割り込み要求を許可、または禁止することができます。

MPIE ビット（マルチプロセッサインタラプト イネーブルビット）

MPIEビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、ORER、FERフラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は**「32.4　マルチプロセッサ通信機能」**を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSRレジスタからRDRレジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FERの各フラグのセット(“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPBビットを“1”にし、MPIEビットを自動的に“0”にし、RXI、ERI割り込み要求（SCRのRIEビットが“1”の場合）と、RDRF、ORER、FERフラグのセット(“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIEビットには“0”を書き込んでください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

REビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、REビットを“1”にする前にSMRレジスタの設定を行い、受信フォーマットを決定してください。

REビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRFの各フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TEビットを“1”にすると、TDRレジスタに送信データを書き込むことでシリアル送信を開始します。なお、TEビットを“1”にする前にSMRレジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXIおよびERI割り込み要求を許可、または禁止します。

RXI割り込み要求の禁止は、RIEビットを“0”にすることで行うことができます。

ERI割り込み要求の解除は、SSRレジスタのORER、FER、PERフラグをすべてクリアするか、RIEビットを“0”にすることで行うことができます。

TIE ビット（トランスミットインタラプト イネーブルビット）

TXI割り込み要求を許可、または禁止します。

TXI割り込み要求の禁止は、TIEビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMCI1.SCR 0008 A022h, SMCI5.SCR 0008 A0A2h, SMCI6.SCR 0008 A0C2h, SMCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	• SMR.GMビット = 0の場合 b1 b0 0 0 : 出力ディセーブル SCKn端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください • SMR.GMビット = 1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don’t care

注1. TEビット = 0、REビット = 0の場合のみ書き込み可能です。
注2. TEビット = 0、REビット = 0の場合のみ“1”を書き込み可能です。
一度、TE、REビットのいずれかを“1”にした後は、TEビット = 0、REビット = 0の書き込みのみ行ってください。

各割り込み要求については、「32.12　割り込み要因」を参照してください。

CKE[1:0] ビット（クロックイネーブルビット）

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「32.6.8　クロック出力制御」を参照してください。

TEIE ビット（トランスミットエンド インタラプトイネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

MPIE ビット（マルチプロセッサインタラプト イネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを “1” にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを “0” にすることで行うことができます。

TIE ビット（トランスミットインタラプト イネーブルビット）

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” にすることで行うことができます。

32.2.9　シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1)　非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス　SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0：データ送信サイクル 1：ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0：データ送信サイクル 1：ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0：RDRレジスタに有効なデータなし 1：RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0：TDRレジスタに未送信のデータあり 1：TDRレジスタにデータなし	R/(W) (注2)

注1.　フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。
注2.　書く場合“1”としてください。

MPB ビット（マルチプロセッサビット）

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが “0” のときは変化しません。

TEND フラグ（トランスミットエンドフラグ）

送信が終了したことを表示します。

[“1” になる条件]

- SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[“0” になる条件]

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき
  TEND フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- データ一致検出機能が無効の場合に、受信中にパリティエラーを検出したとき (SCI1, SCI5, SCI6)
- 受信中にパリティエラーを検出したとき (SCI12)
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” になった状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  PER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- データ一致検出機能が無効の場合に、ストップビットの “0” を検出したとき (SCI1, SCI5, SCI6)
- ストップビットが “0” のとき (SCI12)
  2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが “1” になった状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  FER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。
  SCR.RE ビットを “0” にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが “1” になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  ORER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

[“1” になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0” になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

[“1” になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0” になる条件]

- TDR レジスタへ送信データを書いたとき

(2)　スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス　SMCI1.SSR 0008 A024h, SMCI5.SSR 0008 A0A4h, SMCI6.SSR 0008 A0C4h, SMCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0”としてください	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0：RDRレジスタに有効なデータなし 1：RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0：TDRレジスタに未送信のデータあり 1：TDRレジスタにデータなし	R/(W) (注2)

注1.　フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2.　書く場合“1”としてください。

TEND フラグ（トランスミットエンドフラグ）

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき “1” になります。

[“1” になる条件]

- SCR.TE ビット = 0（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないときセットされるタイミングは、レジスタの設定により以下のように異なります。
  SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
  SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
  SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
  SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

[“0” になる条件]

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき
  TEND フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” になった状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  PER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

[“1” になる条件]

- エラーシグナル Low をサンプリングしたとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  ERS フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。
  SCR.RE ビットを “0” にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが “1” になった状態では、以降のシリアル受信を続けることはできません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  ORER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

[“1” になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0” になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

[“1” になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0” になる条件]

- TDR レジスタへ送信データを書いたとき

32.2.10　スマートカードモードレジスタ (SCMR)

アドレス　SCI1.SCMR 0008 A026h, SCI5.SCMR 0008 A0A6h, SCI6.SCMR 0008 A0C6h, SCI12.SCMR 0008 B306h,
SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h, SMCI6.SCMR 0008 A0C6h, SMCI12.SCMR 0008 B306h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0：非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I²Cモード) 1：スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット (注2、注3)	0：TDRレジスタのデータビットをそのままTSRレジスタに転送、RSRレジスタのデータビットをそのままRDRレジスタに転送 1：TDRレジスタのデータビットを反転してTSRレジスタに転送、RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データトランスファディレクションビット (注2、注4)	0：LSBファーストで送受信 1：MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1 (注5)	SMR.CHRビットと組み合わせて選択します CHR1 CHR 0 0：データ長9ビットで送受信 0 1：データ長9ビットで送受信 1 0：データ長8ビットで送受信(初期値) 1 1：データ長7ビットで送受信 (注6)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表32.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1.　SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。
注2.　スマートカードインタフェースモード、調歩同期式モード(マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。
注3.　簡易I²Cモードで動作させる場合は、“0”にしてください
注4.　簡易I²Cモードで動作させる場合は、“1”にしてください
注5.　調歩同期式モードでのみ有効です。調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。
注6.　LSBファースト固定となり、送信ではTDRレジスタのMSB (b7)は送信されません。

SMIF ビット（スマートカードインタフェース モードセレクトビット）

スマートカードインタフェースモードで動作させるときは、“1” を設定します。

非スマートカードインタフェースモードである調歩同期式（マルチプロセッサモード含む）、クロック同期式モード、簡易 SPI モード、および簡易 I²C モードで動作させるときは、“0” を設定します。

SINV ビット（送受信データインバートビット）

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

CHR1 ビット（キャラクタレングスビット 1）

送受信データのデータ長を選択します。

SMR.CHR ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット（基本クロックパルスビット 2）

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

表32.9　SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック(S = 93)(注1)
0	0	1	128クロック(S = 128)(注1)
0	1	0	186クロック(S = 186)(注1)
0	1	1	512クロック(S = 512)(注1)
1	0	0	32クロック(S = 32)(注1)(初期値)
1	0	1	64クロック(S = 64)(注1)
1	1	0	372クロック(S = 372)(注1)
1	1	1	256クロック(S = 256)(注1)

注1.　Sは「32.2.11　ビットレートレジスタ(BRR)」中のSの値を表します。

32.2.11 ビットレートレジスタ (BRR)

アドレス SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI12.BRR 0008 B301h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を**表 32.10**、**表 32.11** に示します。

BRR レジスタへの書き込みは、SCR.TE ビット＝0、SCR.RE ビット＝0 の場合のみ可能です。

表32.10　BRRレジスタの設定値NとビットレートBの関係(SCI1, SCI5, SCI6)

モード	SEMRレジスタの設定			BRRレジスタの設定値	誤差 (%)
	BGDMビット	ABCSビット	ABCSEビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I²C (注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)
N: BRR レジスタの設定値 (0 ≦ N ≦ 255)
PCLK: 周辺モジュールクロック周波数 (MHz)
n と S: 表 32.13、表 32.14 のとおり SMR、SCMR レジスタの設定値によって決まります。
注1.　簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表32.11　BRRレジスタの設定値Nとビットレート Bの関係(SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDMビット	ABCSビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{\frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{\frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{\frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
クロック同期式、簡易SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 $= \left\{\frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\right\} \times 100$
簡易I^2C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)
N: BRR レジスタの設定値 (0 ≦ N ≦ 255)
PCLK: 周辺モジュールクロック周波数 (MHz)
n と S: 表 32.13、表 32.14 のとおり SMR、SCMR レジスタの設定値によって決まります。
注1.　簡易I^2CモードでのSCL出力のHigh/Low幅がI^2C-bus規格を満たすようビットレートを調整してください。

表32.12　SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I^2C	High幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表32.13　クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表32.14　スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を**表 32.15** に、各動作周波数における設定可能な最高ビットレートを**表 32.17** に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を**表 32.20** に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を**表 32.22** に、簡易 I^2C モードにおける BRR レジスタの値 N の設定例を**表 32.24** に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は**「32.6.4　受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表 32.18**、**表 32.21** に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを “1” にしたときのビットレートは**表 32.15** の 2 倍に、両ビットとも “1” にしたときのビットレートは 4 倍になります。

表32.15　ビットレートに対するBRRの設定例(調歩同期式モード)

ビットレート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	–0.26	2	177	–0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	–1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	–2.34	0	19	0.00
31250	0	7	0.00	0	9	–1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	–2.34	0	9	0.00

ビットレート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	–0.17	3	70	0.03	3	75	0.48	3	79	–0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	–0.93	0	51	0.16	0	55	0.00	0	58	–0.69	0	63	0.00
19200	0	22	–0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	–1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	–2.34	0	15	0.00

ビットレート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	–0.25	3	110	–0.02	3	132	0.13	3	145	0.33	3	177	–0.25
150	3	64	0.16	3	80	0.47	3	97	–0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	–0.15	2	194	0.16	2	214	–0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	–0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	–0.15	1	194	0.16	1	214	–0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	–0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	–0.15	0	194	0.16	0	214	–0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	–0.35	0	106	0.39	0	129	0.16
19200	0	32	–1.36	0	40	–0.76	0	48	–0.35	0	53	–0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	–0.54	0	32	–1.36

ビットレート (bps)	動作周波数PCLK (MHz)					
	50			60		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	–0.02			
150	3	162	–0.15	3	194	0.16
300	3	80	0.47	3	97	–0.35
600	2	162	–0.15	3	48	–0.35
1200	2	80	0.47	2	97	–0.35
2400	1	162	–0.15	2	48	–0.35
4800	1	80	0.47	1	97	–0.35
9600	0	162	–0.15	1	48	–0.35
19200	0	80	0.47	0	97	–0.35
31250	0	49	0.00	0	59	0.00
38400	0	40	–0.76	0	48	–0.35

注.　SEMR.ABCSビット、SEMR.ABCSEビット、SEMR.BGDMビットがすべて“0”のときの例です。
ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
ABCSビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
ABCSEビットを“1”にしたときは、ビットレートが16/3倍になります。

表32.16　各動作周波数における最高ビットレート(調歩同期式モード) (SCI1, SCI5, SCI6)

PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)
	BGDMビット	ABCSビット	ABCSEビット	n	N			BGDMビット	ABCSビット	ABCSEビット	n	N	
8	0	0	0	0	0	250000	9.8304	0	0	0	0	0	307200
		1	0	0	0	500000			1	0	0	0	614400
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1000000			1	0	0	0	1228800
	任意	任意	1	0	0	1333333		任意	任意	1	0	0	1638400
10	0	0	0	0	0	312500	12	0	0	0	0	0	375000
		1	0	0	0	625000			1	0	0	0	750000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1250000			1	0	0	0	1500000
	任意	任意	1	0	0	1666667		任意	任意	1	0	0	2000000
12.288	0	0	0	0	0	384000	14	0	0	0	0	0	437500
		1	0	0	0	768000			1	0	0	0	875000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1536000			1	0	0	0	1750000
	任意	任意	1	0	0	2048000		任意	任意	1	0	0	2333333
16	0	0	0	0	0	500000	17.2032	0	0	0	0	0	537600
		1	0	0	0	1000000			1	0	0	0	1075200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2000000			1	0	0	0	2150400
	任意	任意	1	0	0	2666667		任意	任意	1	0	0	2867200
18	0	0	0	0	0	562500	19.6608	0	0	0	0	0	614400
		1	0	0	0	1125000			1	0	0	0	1228800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2250000			1	0	0	0	2457600
	任意	任意	1	0	0	3000000		任意	任意	1	0	0	3276800
20	0	0	0	0	0	625000	25	0	0	0	0	0	781250
		1	0	0	0	1250000			1	0	0	0	1562500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2500000			1	0	0	0	3125000
	任意	任意	1	0	0	3333333		任意	任意	1	0	0	4166667
30	0	0	0	0	0	937500	33	0	0	0	0	0	1031250
		1	0	0	0	1875000			1	0	0	0	2062500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	3750000			1	0	0	0	4125000
	任意	任意	1	0	0	5000000		任意	任意	1	0	0	5500000
40	0	0	0	0	0	1250000	50	0	0	0	0	0	1562500
		1	0	0	0	2500000			1	0	0	0	3125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	5000000			1	0	0	0	6250000
	任意	任意	1	0	0	6666667		任意	任意	1	0	0	8333333
60	0	0	0	0	0	1875000							
		1	0	0	0	3750000							
	1	0	0	0	0								
		1	0	0	0	7500000							
	任意	任意	1	0	0	10000000							

表32.17　各動作周波数における最高ビットレート(調歩同期式モード) (SCI12)

PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)
	BGDMビット	ABCSビット	n	N			BGDMビット	ABCSビット	n	N	
8	0	0	0	0	250000	9.8304	0	0	0	0	307200
		1	0	0	500000			1	0	0	614400
	1	0	0	0			1	0	0	0	
		1	0	0	1000000			1	0	0	1228800
10	0	0	0	0	312500	12	0	0	0	0	375000
		1	0	0	625000			1	0	0	750000
	1	0	0	0			1	0	0	0	
		1	0	0	1250000			1	0	0	1500000
12.288	0	0	0	0	384000	14	0	0	0	0	437500
		1	0	0	768000			1	0	0	875000
	1	0	0	0			1	0	0	0	
		1	0	0	1536000			1	0	0	1750000
16	0	0	0	0	500000	17.2032	0	0	0	0	537600
		1	0	0	1000000			1	0	0	1075200
	1	0	0	0			1	0	0	0	
		1	0	0	2000000			1	0	0	2150400
18	0	0	0	0	562500	19.6608	0	0	0	0	614400
		1	0	0	1125000			1	0	0	1228800
	1	0	0	0			1	0	0	0	
		1	0	0	2250000			1	0	0	2457600
20	0	0	0	0	625000	25	0	0	0	0	781250
		1	0	0	1250000			1	0	0	1562500
	1	0	0	0			1	0	0	0	
		1	0	0	2500000			1	0	0	3125000
30	0	0	0	0	937500	33	0	0	0	0	1031250
		1	0	0	1875000			1	0	0	2062500
	1	0	0	0			1	0	0	0	
		1	0	0	3750000			1	0	0	4125000
40	0	0	0	0	1250000	50	0	0	0	0	1562500
		1	0	0	2500000			1	0	0	3125000
	1	0	0	0			1	0	0	0	
		1	0	0	5000000			1	0	0	6250000
60	0	0	0	0	1875000						
		1	0	0	3750000						
	1	0	0	0							
		1	0	0	7500000						

表32.18　外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCSビット= 0	SEMR.ABCSビット= 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000

表32.19　TMRクロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	TMRクロック(MHz)	最高ビットレート (bps)	
		SEMR.ABCSビット= 0	SEMR.ABCSビット= 1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000
33	16.5	1031250	2062500
40	20	1250000	2500000
50	25	1562500	3125000
60	30	1875000	3750000

表32.20　ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)																			
	8		10		16		20		25		30		33		40		50		60	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																				
250	3	124	3	155	3	249														
500	2	249	3	77	3	124	3	155	3	194	3	233	3	255						
1k	2	124	2	155	2	249	3	77	3	97	3	116	3	128	3	155	3	194	3	233
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29
1M	0	1			0	3	0	4	—	—			—	—	0	9	—	—	0	14
2.5M			0	0 (注1)			0	1			0	2			0	3	0	4	0	5
5M							0	0 (注1)							0	1			0	2
7.5M											0	0 (注1)							0	1

空欄 : 誤差が 5% を超えるため、設定できません。

— : 設定可能ですが 1 ～ 5% の誤差があります。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表32.21　外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667
50	8.3333	8.3333
60	10.0000	10.0000

表32.22　ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn = 0、S = 372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	–30.00
	10.7136	0	1	–25.00
	13.00	0	1	–8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	–15.99
	20.00	0	2	–6.66
	25.00	0	3	–12.49
	30.00	0	3	5.01
	33.00	0	4	–7.59
	40.00	0	5	–6.66
	50.00	0	6	0.01
	60.00	0	7	5.01

表32.23　各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0

表32.24　ビットレートに対するBRRの設定例(簡易I²Cモード)

ビットレート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	–0.8	0	77	0.2
25k	0	9	0.0	0	12	–3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	–3.8	2	0	–2.3
100k	0	2	–16.7	1	0	–21.9	0	4	0.0	0	6	–10.7	1	1	–2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	–16.7	0	2	4.2
350k										0	1	–10.7	0	2	–25.6

ビットレート (bps)	動作周波数PCLK (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	93	–0.3	0	102	0.1	0	124	0.0	1	38	0.2	1	46	–0.3
25k	0	37	–1.3	0	40	0.6	0	49	0.0	0	62	–0.8	0	74	0.0
50k	0	18	–1.3	0	20	–1.8	0	24	0.0	0	30	0.8	0	37	–1.3
100k	0	9	–6.3	0	10	–6.3	0	12	–3.8	2	0	–2.3	0	18	–1.3
250k	1	0	–6.3	1	0	3.1	0	4	0.0	0	5	4.2	1	1	–6.3
350k	0	2	–10.7	0	2	–1.8	1	0	–10.7	0	4	–10.7	0	4	7.1

表32.25　各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (µs)	n	N	SCL High/Low幅 min値 (µs)	n	N	SCL High/Low幅 min値 (µs)	n	N	SCL High/Low幅 min値 (µs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビットレート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値 (µs)	n	N	SCL High/Low幅 min値 (µs)	n	N	SCL High/Low幅 min値 (µs)	n	N	SCL High/Low幅 min値 (µs)
10k	0	77	43.68/49.92	0	93	43.87/50.13	0	102	43.70/49.94	0	124	43.75/50.00
25k	0	30	17.36/19.84	0	37	17.73/20.27	0	40	17.39/19.88	0	49	17.50/20.00
50k	2	0	8.96/10.24	0	18	8.87/10.13	0	20	8.91/10.18	0	24	8.75/10.00
100k	1	1	4.48/5.12	0	9	4.67/5.33	0	10	4.67/5.33	0	12	4.55/5.20
250k	0	2	1.68/1.92	1	0	1.87/2.13	1	0	1.70/1.94	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60

ビットレート (bps)	動作周波数PCLK (MHz)					
	50			60		
	n	N	SCL High/Low幅 min値 (µs)	n	N	SCL High/Low幅 min値 (µs)
10k	1	38	43.68/49.92	1	46	43.87/50.13
25k	0	62	17.64/20.16	0	74	17.50/20.00
50k	0	30	8.68/9.92	0	37	8.87/10.13
100k	2	0	4.48/5.12	0	18	4.43/5.07
250k	0	5	1.68/1.92	1	1	1.87/2.13
350k	0	4	1.40/1.60	0	4	1.17/1.33

32.2.12　モジュレーションデューティレジスタ (MDDR)

アドレス　SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI12.MDDR 0008 B312h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが “1” にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR レジスタの設定値 M とビットレート B の関係を**表 32.26**、**表 32.27** に示します。

MDDR レジスタに設定できる値の範囲は、“80h” 以上 “FFh” 以下です。これ以外の値は設定できません。

MDDR レジスタへの書き込みは、SCR.TE ビット＝0、SCR.RE ビット＝0 の場合のみ可能です。

表32.26　ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係(SCI1, SCI5, SCI6)

モード	SEMRレジスタの設定			BRRレジスタの設定値	誤差 (%)
	BGDMビット	ABCSビット	ABCSEビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI (注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I²C (注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 (128 ≦ M ≦ 255)

N: ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)

PCLK: 動作周波数 (MHz)

n と S: 「32.2.11　ビットレートレジスタ (BRR)」表 32.13、表 32.14 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期式モードおよび簡易SPIモードの最高速設定(SMR.CKS[1:0]ビット= 00b、かつSCR.CKE[1]ビット= 0、かつBRR = 0)では、本機能を使用しないでください。
注2. 簡易I²Cモードでの SCL出力の High/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表32.27　ビットレートモジュレーション機能使用時のMDDRレジスタ設定値Mとビットレート Bの関係(SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDMビット	ABCSビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I²C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)
M: MDDR レジスタの設定値 (128 ≦ M ≦ 255)
N: ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
PCLK: 動作周波数 (MHz)
n と S:「32.2.11　ビットレートレジスタ (BRR)」表 32.13、表 32.14 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期式モードおよび簡易SPIモードの最高速設定(SMR.CKS[1:0]ビット= 00b、かつSCR.CKE[1]ビット= 0、かつBRR = 0)では、本機能を使用しないでください。
注2. 簡易I²Cモードでの SCL出力の High/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

なお、SMR.CKS[1:0] ビットの設定値を小さく、BRR レジスタの設定値を大きくした方が、1 ビット期間の長さの長短差が小さくなります。

32.2.13　シリアル拡張モードレジスタ (SEMR)

アドレス　SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI12.SEMR 0008 B307h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	ITE	ACS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0：外部クロック 1：TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	ITE	即時送信許可ビット (注2)	(調歩同期式モードでのみ有効) 0：送信許可からデータ送信の開始までに内部待機期間あり 1：送信許可にするとともにデータ送信開始	R/W (注1)
b2	BRME	ビットレートモジュレーションイネーブルビット	0：ビットレートモジュレーション機能無効 1：ビットレートモジュレーション機能有効	R/W (注1)
b3	ABCSE	調歩同期基本クロックセレクト拡張ビット (注2)	(調歩同期式モードで内蔵ボーレートジェネレータ使用時のみ有効) 0:1ビット期間の転送レートはBGDMビットとABCSビットの設定に従う 1：基本クロック6サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0：基本クロック16サイクルの期間が1ビット期間の転送レートになります 1：基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0：RXDn入力信号のノイズ除去機能無効 1：RXDn入力信号のノイズ除去機能有効 (簡易I²Cモード) 0：SSCLn、SSDAn入力信号のノイズ除去機能無効 1：SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ボーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ボーレートジェネレータ使用時のみ有効) 0：ボーレートジェネレータから通常の周波数のクロックを出力 1：ボーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0：RXDn端子入力のLowレベルでスタートビットを検出 1：RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W (注1)

注1.　SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。
注2.　SCI12では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

SEMR レジスタは、調歩同期式モード時の 1 ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット（調歩同期クロックソースセレクトビット）

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード（SMR.CM ビット = 0）で、外部クロック入力（SCR.CKE[1:0] ビット = 10b、11b）のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを “0” にしてください。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMOn (n = 0 ～ 3 出力を基本クロックソースにすることができます。詳細は**表 32.28** を参照してください。

SCI1 の ACS0 ビットは予約ビットです。SCI1 では “0” にしてください。

表32.28　SCIのチャネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット0	TMO0, TMO1
SCI6	ユニット1	TMO2, TMO3
SCI12	ユニット0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を**図 32.4** に示します。

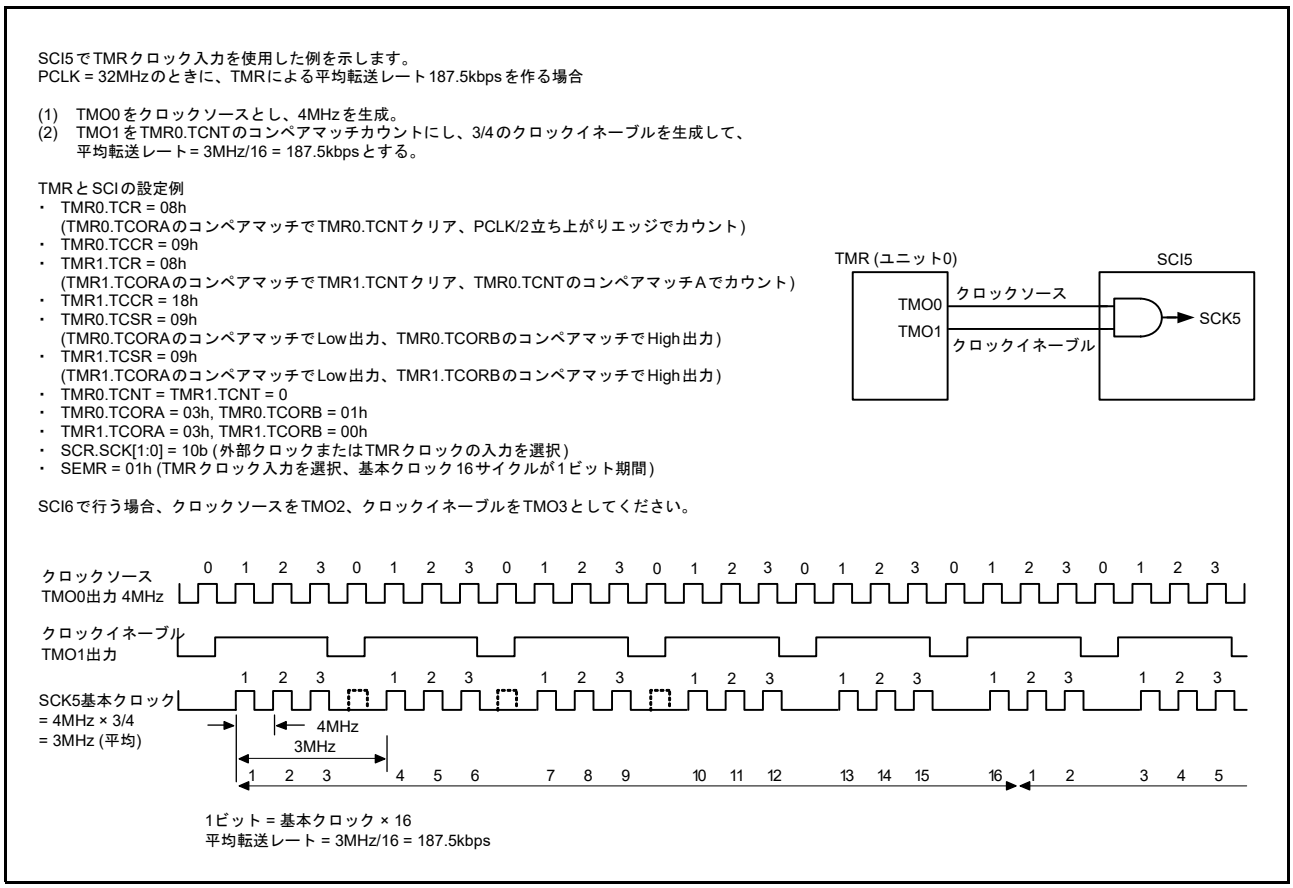


図 32.4　TMR クロック入力時の平均転送レート設定例

ITE ビット（即時送信許可ビット）

調歩同期式モードにおいて、内部待機期間なしでデータ送信を開始させるためのビットです。“0” の場合、SCR.TE ビットを “1” にしてからデータ送信が開始されるまでに、1 フレーム分の内部待機期間を確保します。“1” にすると、SCR.TE ビットを “1” にした直後にデータ送信が開始されます。

BRME ビット（ビットレートモジュレーションイネーブルビット）

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

ABCSE ビット（調歩同期基本クロックセレクト拡張ビット）

このビットを “1” にすると、基本クロック 6 サイクルの期間が 1 ビット期間の転送レートになります。また、内蔵ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。

調歩同期式モード（SMR.CM ビット = 0）で、クロックソースに内蔵ボーレートジェネレータを選択（SCR.CKE[1] ビット = 0）したときに有効です。

なお、ビットレートを PCLK の 1/6 の周波数にする場合は、このビットを “1” にするとともに、SMR.CKS[1:0] ビットを “00b” に、BRR レジスタを “00h” にしてください。

NFEN ビット（デジタルノイズフィルタ機能イネーブルビット）

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット（ボーレートジェネレータ倍速モードセレクトビット）

ボーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード（SMR.CM ビット = 0）で、クロックソースに内蔵ボーレートジェネレータを選択 SCR.CKE[1] ビット = 0）したときに有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では “0” を設定してください。

RXDESEL ビット（調歩同期スタートビットエッジ検出セレクトビット）

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレーク時の動作が異なります。ブレーク中に受信動作を停止させたい場合、およびブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は “1” を設定してください。

調歩同期式モード以外では “0” を設定してください。

32.2.14　ノイズフィルタ設定レジスタ (SNFR)

アドレス　SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI12.SNFR 0008 B308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	NFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2　b0 ０ ０ ０：1分周のクロックをノイズフィルタに使用 簡易I²Cモード時、SMR.CKS[1:0]ビットで選択した内蔵ボーレートジェネレータのクロックソース基準で b2　b0 ０ ０ １：1分周のクロックをノイズフィルタに使用 ０ １ ０：2分周のクロックをノイズフィルタに使用 ０ １ １：4分周のクロックをノイズフィルタに使用 １ ０ ０：8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

NFCS[2:0] ビット（ノイズフィルタクロックセレクトビット）

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b” を設定してください。簡易 I²C モード時は“001b” ～ “100b” の中で設定してください。

32.2.15 I²C モードレジスタ 1 (SIMR1)

アドレス SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI12.SIMR1 0008 B309h

	b7	b6	b5	b4	b3	b2	b1	b0
	IICDL[4:0]					—	—	IICM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I²Cモードセレクトビット	SMIF IICM 0 0：調歩同期式モード、マルチプロセッサモード、クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易SPIモード) 0 1：簡易I²Cモード 1 0：スマートカードインタフェースモード 1 1：設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ボーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0：出力遅延なし 0 0 0 0 1：0～1サイクル 0 0 0 1 0：1～2サイクル 0 0 0 1 1：2～3サイクル 0 0 1 0 0：3～4サイクル 0 0 1 0 1：4～5サイクル ：　： 1 1 1 1 0：29～30サイクル 1 1 1 1 1：30～31サイクル	R/W (注1)

注1. SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット（簡易 I²C モードセレクトビット）

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット（SSDA 出力遅延セレクトビット）

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ボーレートジェネレータのクロックソースを 1 サイクルとし、遅延なし～ 31 サイクルまでの選択が可能です。内蔵ボーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では “00000b” を設定してください。簡易 I²C モード時は、“00001b” ～ “11111b” のいずれかを設定してください。

32.2.16 I²C モードレジスタ 2 (SIMR2)

アドレス SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACKT	—	—	—	IICCSC	IICINTM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I²C割り込みモードセレクトビット	0：ACK/NACK割り込みを使用 1：受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0：クロック同期を行わない 1：クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0：ACK送信 1：NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット（I²C 割り込みモードセレクトビット）

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化ビット）

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに “1” を設定します。

IICCSC ビットに “0” を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには “1” を設定してください。

IICACKT ビット（ACK 送信データビット）

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は “1” を設定してください。

32.2.17 I²C モードレジスタ 3 (SIMR3)

アドレス SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI12.SIMR3 0008 B30Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTP REQ	IICRST AREQ	IICSTA REQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0：開始条件を生成しない 1：開始条件を生成(注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開始条件生成ビット	0：再開始条件を生成しない 1：再開始条件を生成(注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0：停止条件を生成しない 1：停止条件を生成(注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開始/停止条件生成完了フラグ	0：各条件生成要求がない状態、または生成中の状態 1：各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0：シリアルデータ出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SSDAn端子はLowを出力 1 1：SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0：シリアルクロック出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SSCLn端子はLowを出力 1 1：SSCLn端子はハイインピーダンス状態	R/W

注1. SSCLn端子とSSDAn端子が両方ともHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。
注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”)のときに再開始条件生成または停止条件生成を行ってください。
注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。
注5. “1”の状態で“0”を書き込まないでください。“1”の状態で“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット（開始条件生成ビット）

開始条件の生成を行うときは、IICSTAREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開始条件生成ビット）

再開始条件の生成を行うときは、IICRSTAREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

［“1” になる条件］

- “1” を書き込んだとき

［“0” になる条件］

- 再開始条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成ビット）

停止条件の生成を行うときは、IICSTPREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

［“1” になる条件］

- “1” を書き込んだとき

［“0” になる条件］

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始 / 再開始 / 停止条件生成完了フラグ）

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを “0” にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが “1” の場合に開始 / 再開始 / 停止条件生成完了割り込み (STI) 要求が出力されます。

［“1” になる条件］

- 開始 / 再開始 / 停止の各条件の生成が完了したとき（ただし “0” になる条件と競合した場合は “0” になる条件が優先されます。）

［“0” になる条件］

- “0” を書き込んだとき（IICSTIF フラグが “0” になったことを確認してください。）
- SIMR1.IICM ビットが “0” のとき（簡易 I^2C モード以外のとき）
- SCR.TE ビットが “0” のとき

IICSDAS[1:0] ビット（SSDA 出力セレクトビット）

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット（SSCL 出力セレクトビット）

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

32.2.18 I²C ステータスレジスタ (SISR)

アドレス SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0：ACK受信 1：NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ（ACK 受信データフラグ）

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

32.2.19 SPI モードレジスタ (SPMR)

アドレス SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI12.SPMR 0008 B30Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0：SSn#端子機能禁止 1：SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0：CTS機能禁止(RTS出力機能有効) 1：CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0：SMOSIn端子：送信、SMISOn端子：受信(マスタモード) 1：SMOSIn端子：受信、SMISOn端子：送信(スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0：モードフォルトエラーなし 1：モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0：クロック極性反転なし 1：クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0：クロック遅れなし 1：クロック遅れあり	R/W (注1)

注1. SCR.TE ビット = 0、SCR.RE ビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。
注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット（SSn# 端子機能イネーブルビット）

SSn# 端子を用いて送受信制御を行う場合（簡易 SPI モード）は “1” を設定します。それ以外の通信モードでは “0” を設定してください。なお、簡易 SPI モードでも、マスタモード（SCR.CKE[1:0] ビット = 00b かつ MSS ビット = 0）かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは “0” を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください（設定した場合、両ビット共に “0” にしたときと同じ動作となります）。

CTSE ビット（CTS イネーブルビット）

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は “1” を設定します。“0” を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I^2C モード時は “0” を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください（設定した場合、両ビット共に “0” にしたときと同じ動作となります）。

MSS ビット（マスタスレーブセレクトビット）

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを “1” にすると、SMOSIn 端子から受信データを入力し、SMISOn 端子から送信データを出力します。

簡易 SPI モード以外では “0” にしてください。

MFF フラグ（モードフォルトフラグ）

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1” になる条件]

- 簡易 SPI モードのマスタモード設定時（SSE ビット = 1 かつ MSS ビット = 0）に、SSn# 端子入力が Low になったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

CKPOL ビット（クロック極性セレクトビット）

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 32.62 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

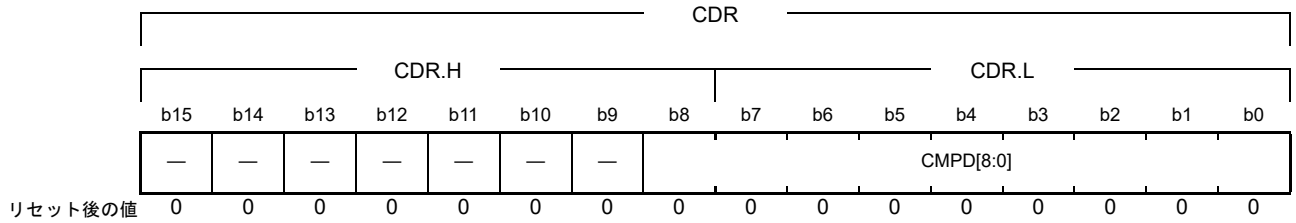
CKPH ビット（クロック位相セレクトビット）

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 32.62 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

32.2.20　比較データレジスタ (CDR)

アドレス　SCI1.CDR 0008 A03Ah, SCI5.CDR 0008 A0BAh, SCI6.CDR 0008 A0DAh,
SCI1.CDR.H 0008 A03Ah, SCI5.CDR.H 0008 A0BAh, SCI6.CDR.H 0008 A0DAh,
SCI1.CDR.L 0008 A03Bh, SCI5.CDR.L 0008 A0BBh, SCI6.CDR.L 0008 A0DBh



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	データー致検出機能を使用する場合の比較元データを設定します	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

CMPD[8:0] ビット（比較データビット）

データ一致検出機能で使用します。有効ビット長は、SMR.CHR ビットと SCMR.CHR1 ビットで設定したキャラクタ長と同じです。

受信データとこのビットに設定した値が一致すると、DCCR.DCMF フラグが “1” になります。

32.2.21　データ比較制御レジスタ (DCCR)

アドレス　SCI1.DCCR 0008 A033h, SCI5.DCCR 0008 A0B3h, SCI6.DCCR 0008 A0D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データー致フラグ	0：データ不一致 1：データー致	R/(W) (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DPER	一致データパリティエラーフラグ	0：一致したデータにパリティエラーなし 1：一致したデータにパリティエラーあり	R/(W) (注1)
b4	DFER	一致データフレーミングエラーフラグ	0：一致したデータにフレーミングエラーなし 1：一致したデータにフレーミングエラーあり	R/(W) (注1)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IDSEL	IDフレーム選択ビット (注2)	0：すべての受信データを比較する 1：マルチプロセッサビットが“1”の受信データのみ比較する	R/W
b7	DCME	データー致検出機能許可ビット (注2)	0：データー致検出機能無効 1：データー致検出機能有効	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアするには、“1”であることを確認した後、“0”を書いてください。
注2.　調歩同期式モードでのみ有効です。

DCMF フラグ（データー致フラグ）

受信データと CDR レジスタの値を比較した結果を示します。

[“1” になる条件]

- DCME ビットが “1” の場合に、受信データと CDR レジスタの値が一致したとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

SCR.RE ビットを “0” にしても、DCMF フラグは影響を受けず以前の状態を保持します。

DPER フラグ（一致データパリティエラーフラグ）

一致したデータのパリティエラーの有無を示します。

[“1” になる条件]

- データ一致を検出した受信データにパリティエラーがあったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

DPER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを “0” にしても、DPER フラグは影響を受けず以前の状態を保持します。

DFER フラグ（一致データフレーミングエラーフラグ）

一致したデータのフレーミングエラーの有無を示します。

[“1” になる条件]

- データ一致を検出した受信フレームのストップビットが “0” であったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

DFER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

SCR.RE ビットを “0” にしても、DFER フラグは影響を受けず以前の状態を保持します。

IDSEL ビット（ID フレーム選択ビット）

比較する受信データの条件を指定します。DCME ビットが “1” のときのみ有効です。

このビットを “1” にすると、マルチプロセッサビットが “1” の受信フレーム (ID フレーム) 内のデータだけを比較します。

このビットを “0” にすると、すべての受信データを比較します。

DCME ビット（データ一致検出機能許可ビット）

データ一致検出機能の有効 / 無効を設定するビットです。データ一致検出機能は調歩同期式モードでのみ有効です。これ以外のモードでは “0” にしてください。

このビットは、データの一致を検出すると自動的に “0” に戻ります。

32.2.22　シリアルポートレジスタ (SPTR)

アドレス　SCI1.SPTR 0008 A03Ch, SCI5.SPTR 0008 A0BCh, SCI6.SPTR 0008 A0DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	TTADJ	RTADJ	TINV	RINV	—	SPB2IO	SPB2DT	RXDMON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	RXDラインモニタフラグ	RINVビットが“0”のとき 0：RXDn端子はLow 1：RXDn端子はHigh RINVビットが“1”のとき 0：RXDn端子はHigh 1：RXDn端子はLow	R
b1	SPB2DT	シリアルポートブレークデータビット (注1)	SCR.TEビット、SPB2DTビット、SPB2IOビット、TINVビットを組み合わせて、TXDn端子を制御します。詳細は表32.29を参照してください	R/W
b2	SPB2IO	シリアルポートブレーク入出力ビット (注1)		R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	RINV	受信入力反転ビット (注2)	0：RXD端子からの入力信号を反転しない 1：RXD端子からの入力信号を反転する	R/W (注3)
b5	TINV	送信出力反転ビット (注2)	0：TXD端子への出力信号を反転しない 1：TXD端子への出力信号を反転する	R/W (注3)
b6	RTADJ	受信データサンプリングタイミング調整ビット (注4)	0：受信データのサンプリングポイントを調整しない 1：受信データのサンプリングポイントを調整する	R/W (注3)
b7	TTADJ	送信信号変化タイミング調整ビット (注4)	0：送信データの変化タイミングを調整しない 1：送信データの変化タイミングを調整する	R/W (注3)

注1.　調歩同期式モードでのみ有効です。
注2.　スマートカードインタフェースモード、簡易I²Cモードで動作させる場合は、“0”にしてください。
注3.　SCR.TEビットとREビットがともに“0”のときのみ書き換え可能です。
注4.　調歩同期式モードで、クロックソースに内蔵ボーレートジェネレータを選択したときのみ有効です。

RXDMON フラグ（RXD ラインモニタフラグ）

RXDn 端子のレベルをモニタするためのフラグです。

SPB2DT ビット（シリアルポートブレークデータビット）

SCR.TE ビットが “0” のときに、TXDn 端子の出力レベルを指定するビットです。詳細は**表 32.29** を参照してください。

SPB2IO ビット（シリアルポートブレーク入出力ビット）

SCR.TE ビットが “0” のときに、TXDn 端子の入出力を指定するビットです。TXDn 端子をソフトウェアで制御する場合は、“1”（出力）に設定してください。

表32.29　TXDn端子の制御

SCR.TEビットの設定値	SPB2IOビットの設定値	SPB2DTビットの設定値	TINVビットの設定値	TXDn端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
	1 (出力)	0	0	Low を出力
			1	High を出力
		1	0	High を出力
			1	Low を出力
1 (送信許可)	任意	任意	任意	送信データ出力端子

RINV ビット（受信入力反転ビット）

RXDn 端子からの入力信号をレシーブシフトレジスタの手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

TINV ビット（送信出力反転ビット）

トランスミットシフトレジスタの出力信号を TXDn 端子の手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

RTADJ ビット（受信データサンプリングタイミング調整ビット）

受信データのサンプリングポイントを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、受信信号の High/Low 幅が変化してしまった場合などに、受信マージンを改善するために使用します。通常は “0” にしてください。

TTADJ ビット（送信信号変化タイミング調整ビット）

送信信号の High/Low が変化するタイミングを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、送信信号の High/Low 幅が変化することが予想される場合などに、相手デバイスの受信マージンを改善するために使用します。通常は “0” にしてください。

32.2.23　送受信タイミング選択レジスタ (TMGR)

アドレス　SCI1.TMGR 0008 A03Dh, SCI5.TMGR 0008 A0BDh, SCI6.TMGR 0008 A0DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	TTMG[3:0]				RTMG[3:0]			
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	RTMG[3:0]	受信データサンプリングタイミング選択ビット (注1)	b3　b0 1111：デフォルト位置から7クロック前でサンプリング 1110：デフォルト位置から6クロック前でサンプリング 1101：デフォルト位置から5クロック前でサンプリング 1100：デフォルト位置から4クロック前でサンプリング 1011：デフォルト位置から3クロック前でサンプリング 1010：デフォルト位置から2クロック前でサンプリング 1001：デフォルト位置から1クロック前でサンプリング x000：デフォルト位置でサンプリング 0001：デフォルト位置から1クロック後でサンプリング 0010：デフォルト位置から2クロック後でサンプリング 0011：デフォルト位置から3クロック後でサンプリング 0100：デフォルト位置から4クロック後でサンプリング 0101：デフォルト位置から5クロック後でサンプリング 0110：デフォルト位置から6クロック後でサンプリング 0111：デフォルト位置から7クロック後でサンプリング	R/W (注2)
b7-b4	TTMG[3:0]	送信信号変化タイミング選択ビット (注3)	b7　b4 1111：“1”から“0”への変化を7クロック遅らせる 1110：“1”から“0”への変化を6クロック遅らせる 1101：“1”から“0”への変化を5クロック遅らせる 1100：“1”から“0”への変化を4クロック遅らせる 1011：“1”から“0”への変化を3クロック遅らせる 1010：“1”から“0”への変化を2クロック遅らせる 1001：“1”から“0”への変化を1クロック遅らせる x000：波形を変化させない 0001：“0”から“1”への変化を1クロック遅らせる 0010：“0”から“1”への変化を2クロック遅らせる 0011：“0”から“1”への変化を3クロック遅らせる 0100：“0”から“1”への変化を4クロック遅らせる 0101：“0”から“1”への変化を5クロック遅らせる 0110：“0”から“1”への変化を6クロック遅らせる 0111：“0”から“1”への変化を7クロック遅らせる	R/W (注4)

注1.　SPTR.RTADJ ビットが“1”のときのみ有効です。
注2.　SPTR.RTADJ ビットが“0”のときのみ書き換え可能です。
注3.　SPTR.TTADJ ビットが“1”のときのみ有効です。
注4.　SPTR.TTADJ ビットが“0”のときのみ書き換え可能です。

TMGR レジスタは受信データのサンプリングタイミングや送信データの変化タイミングを調整するレジスタです。調歩同期式モードで、クロックソースに内蔵ボーレートジェネレータを選択したときのみ有効です。本レジスタは、SCI12 にはありません。

RTMG[3:0] ビット（受信データサンプリングタイミング選択ビット）

受信データのサンプリングポイントを選択するビットです。SPTR.RTADJ ビットが “1” のときのみ有効です。RTMG[3] ビットが “0” の場合、デフォルト位置より後ろで、“1” の場合、前でサンプリングします。

RTMG[2:0] ビットにはサンプリングポイントの移動量を基本クロックの数で設定します。設定可能な値の範囲については、**表 32.30** を参照してください。

表32.30　RTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16サイクル	0～7 (“000b”～“111b”)
0	1	8サイクル	0～3 (“000b”～“011b”)
1	任意	6サイクル	0～2 (“000b”～“010b”)

TTMG[3:0] ビット（送信信号変化タイミング選択ビット）

トランスミットシフトレジスタにおける送信信号の変化タイミングを選択するビットです。SPTR.TTADJビットが “1” のときのみ有効です。

TTMG[3] ビットが “0” の場合、“0” から “1” に変化するタイミングを、TTMG[3] ビットが “1” の場合、“1” から “0” に変化するタイミングを遅らせます。SPTR.TINV ビットの値により、TXDn 端子からの出力波形は以下のように変化します。

(1) SPTR.TINV ビットが “0” の場合

TTMG[3] ビットが “0” の場合、Low から High への変化 (立ち上がりエッジ) が遅れるため、High 幅が Low 幅より短くなります。

TTMG[3] ビットが “1” の場合、High から Low への変化 (立ち下がりエッジ) が遅れるため、High 幅が Low 幅より長くなります。

(2) TINV ビットが “1” の場合

TTMG[3] ビットが “0” の場合、High から Low への変化 (立ち下がりエッジ) が遅れるため、High 幅が Low 幅より長くなります。

TTMG[3] ビットが “1” の場合、Low から High への変化 (立ち上がりエッジ) が遅れるため、High 幅が Low 幅より短くなります。

TTMG[2:0] ビットには遅延量を基本クロックの数で設定します。設定可能な値の範囲については、**表 32.31** を参照してください。

表32.31　TTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16サイクル	0～7 (“000b”～“111b”)
0	1	8サイクル	0～7 (“000b”～“111b”)
1	任意	6サイクル	0～5 (“000b”～“101b”)

32.2.24　拡張シリアルモード有効レジスタ (ESMER)

アドレス　SCI12.ESMER 0008 B320h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ESME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0：拡張シリアルモード無効 1：拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット（拡張シリアルモード有効ビット）

ESME ビットが “1” の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを “0” にすると、拡張シリアルモード制御部は初期化された状態になります。

表32.32　ESMEビットの設定とタイマ動作モード

ESMEビット	タイマモード	Break Field Low width判定モード	Break Field Low width出力モード
0	使用可能 (注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1.　PCLK選択時のみ動作します。

32.2.25　コントロールレジスタ 0 (CR0)

アドレス　SCI12.CR0 0008 B321h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	BRME	RXDSF	SFSF	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0：Start Frame検出機能無効状態 1：Start Frame検出機能有効状態	R
b2	RXDSF	RXDX12入力ステータスフラグ	0：RXDX12入力許可状態 1：RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0：ビットレート測定無効 1：ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.26　コントロールレジスタ 1 (CR1)

アドレス　SCI12.CR1 0008 B322h

	b7	b6	b5	b4	b3	b2	b1	b0
	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0RE	BFE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0：Break Fieldの検出が無効 1：Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0：Control Field 0受信無効 1：Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ選択ビット	b3 b2 0 0：PCF1DRを比較データに選択 0 1：SCF1DRを比較データに選択 1 0：PCF1DRおよびSCF1DRを比較データに選択 1 1：設定しないでください	R/W
b4	PIBE	プラリオリティインタラプトビットイネーブルビット	0：プライオリティインタラプトビット無効 1：プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プラリオリティインタラプトビットセレクトビット	b7　b5 0 0 0：Control Field 1　0ビット目 0 0 1：Control Field 1　1ビット目 0 1 0：Control Field 1　2ビット目 0 1 1：Control Field 1　3ビット目 1 0 0：Control Field 1　4ビット目 1 0 1：Control Field 1　5ビット目 1 1 0：Control Field 1　6ビット目 1 1 1：Control Field 1　7ビット目	R/W

32.2.27　コントロールレジスタ 2 (CR2)

アドレス　SCI12.CR2 0008 B323h

	b7	b6	b5	b4	b3	b2	b1	b0
	RTS[1:0]		BCCS[1:0]		—	DFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタクロック選択ビット	b2　b0 0 0 0：フィルタ無効 0 0 1：フィルタクロックは基本クロック (注1、注2) 0 1 0：フィルタクロックはPCLK/8 0 1 1：フィルタクロックはPCLK/16 1 0 0：フィルタクロックはPCLK/32 1 0 1：フィルタクロックはPCLK/64 1 1 0：フィルタクロックはPCLK/128 1 1 1：設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択ビット	• SEMR.BGDMビットが“0”または、SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”以外の場合 b5 b4 0 0：基本クロック 0 1：基本クロックの2分周 1 0：基本クロックの4分周 1 1：設定しないでください • SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合 b5 b4 0 0：基本クロックの2分周 0 1：基本クロックの4分周 1 0：設定しないでください 1 1：設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリングタイミング選択ビット	• SCI12.SEMR.ABCSビット= 0の場合 b7 b6 0 0：基本クロックの8クロック目の立ち上がり 0 1：基本クロックの10クロック目の立ち上がり 1 0：基本クロックの12クロック目の立ち上がり 1 1：基本クロックの14クロック目の立ち上がり • SCI12.SEMR.ABCSビット= 1の場合 b7 b6 0 0：基本クロックの4クロック目の立ち上がり 0 1：基本クロックの5クロック目の立ち上がり 1 0：基本クロックの6クロック目の立ち上がり 1 1：基本クロックの7クロック目の立ち上がり	R/W

注.　基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。
注1.　基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。
注2.　SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

32.2.28　コントロールレジスタ 3 (CR3)

アドレス　SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0：Start Frameの検出を行わない 1：Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット（Start Frame 検出開始ビット）

SDST ビットを “1” にすると Start Frame の検出を開始します。読むと “0” が読み出されます。

32.2.29　ポートコントロールレジスタ (PCR)

アドレス　SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXPS	TXDXPS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0：TXDX12信号極性を反転せずに出力 1：TXDX12信号極性を反転して出力	R/W
b1	RXDXPS	RXDX12信号極性選択ビット	0：RXDX12極性を反転せずに入力 1：RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXDX12端子兼用選択ビット	0：TXDX12端子、RXDX12端子独立 1：TXDX12/RXDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット（TXDX12/RXDX12 端子兼用選択ビット）

SHARPS ビットが “1” の場合、TXDX12/RXDX12 端子を兼用した半二重通信が可能となります。

32.2.30　割り込みコントロールレジスタ (ICR)

アドレス　SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0：Break Field Low width検出割り込み禁止 1：Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0：Control Field 0一致割り込み禁止 1：Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0：Control Field 1一致割り込み禁止 1：Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0：プライオリティインタラプトビット検出割り込み禁止 1：プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0：バス衝突検出割り込み禁止 1：バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0：有効エッジ検出割り込み禁止 1：有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.31　ステータスレジスタ (STR)

アドレス　SCI12.STR 0008 B327h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	[“1”になる条件] • Break Field Low width検出したとき • Break Field Low width出力完了したとき • タイマがアンダフローしたとき [“0”になる条件] • STCR.BFDCLビットに“1”を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	[“1”になる条件] • Control Field 0受信データが設定データと一致したとき [“0”になる条件] • STCR.CF0MCLビットに“1”を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	[“1”になる条件] • Control Field 1受信データが設定データと一致したとき [“0”になる条件] • STCR.CF1MCLビットに“1”を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	[“1”になる条件] • プライオリティインタラプトビットを検出したとき [“0”になる条件] • STCR.PIBDCLビットに“1”を書いたとき	R
b4	BCDF	バス衝突検出フラグ	[“1”になる条件] • バス衝突を検出したとき [“0”になる条件] • STCR.BCDCLビットに“1”を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	[“1”になる条件] • 有効エッジを検出したとき [“0”になる条件] • STCR.AEDCLビットに“1”を書いたとき	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

32.2.32　ステータスクリアレジスタ (STCR)

アドレス　SCI12.STCR 0008 B328h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDCL	BCDCL	PIBDCL	CF1MCL	CF0MCL	BFDCL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCL	BFDFクリアビット	BFDCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCL	PIBDFクリアビット	PIBDCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.33　Control Field 0 データレジスタ (CF0DR)

アドレス　SCI12.CF0DR 0008 B329h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

32.2.34　Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス　SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0 ビットコンペアイネーブルビット	0：Control Field 0 ビット0コンペア無効 1：Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1 ビットコンペアイネーブルビット	0：Control Field 0 ビット1コンペア無効 1：Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2 ビットコンペアイネーブルビット	0：Control Field 0 ビット2コンペア無効 1：Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3 ビットコンペアイネーブルビット	0：Control Field 0 ビット3コンペア無効 1：Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4 ビットコンペアイネーブルビット	0：Control Field 0 ビット4コンペア無効 1：Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5 ビットコンペアイネーブルビット	0：Control Field 0 ビット5コンペア無効 1：Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6 ビットコンペアイネーブルビット	0：Control Field 0 ビット6コンペア無効 1：Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7 ビットコンペアイネーブルビット	0：Control Field 0 ビット7コンペア無効 1：Control Field 0 ビット7コンペア有効	R/W

32.2.35　Control Field 0 受信データレジスタ (CF0RR)

アドレス　SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

32.2.36　プライマリ Control Field 1 データレジスタ (PCF1DR)

アドレス　SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

32.2.37　セカンダリ Control Field 1 データレジスタ (SCF1DR)

アドレス　SCI12.SCF1DR 0008 B32Dh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

32.2.38　Control Field 1 コンペアイネーブルレジスタ (CF1CR)

アドレス　SCI12.CF1CR 0008 B32Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	CF1CE7	CF1CE6	CF1CE5	CF1CE4	CF1CE3	CF1CE2	CF1CE1	CF1CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0 ビットコンペアイネーブルビット	0：Control Field 1 ビット0コンペア無効 1：Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1 ビットコンペアイネーブルビット	0：Control Field 1 ビット1コンペア無効 1：Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2 ビットコンペアイネーブルビット	0：Control Field 1 ビット2コンペア無効 1：Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3 ビットコンペアイネーブルビット	0：Control Field 1 ビット3コンペア無効 1：Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4 ビットコンペアイネーブルビット	0：Control Field 1 ビット4コンペア無効 1：Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5 ビットコンペアイネーブルビット	0：Control Field 1 ビット5コンペア無効 1：Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6 ビットコンペアイネーブルビット	0：Control Field 1 ビット6コンペア無効 1：Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7 ビットコンペアイネーブルビット	0：Control Field 1 ビット7コンペア無効 1：Control Field 1 ビット7コンペア有効	R/W

32.2.39　Control Field 1 受信データレジスタ (CF1RR)

アドレス　SCI12.CF1RR 0008 B32Fh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

32.2.40　タイマコントロールレジスタ (TCR)

アドレス　SCI12.TCR 0008 B330h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0：タイマカウント停止 1：タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.41　タイマモードレジスタ (TMR)

アドレス　SCI12.TMR 0008 B331h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TCSS[2:0]			TWRC	—	TOMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0：タイマモード 0 1：Break Field Low width 判定モード 1 0：Break Field Low width 出力モード 1 1：設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0：リロードレジスタとカウンタへの書き込み 1：リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6　b4 0 0 0：PCLK 0 0 1：PCLK/2 0 1 0：PCLK/4 0 1 1：PCLK/8 1 0 0：PCLK/16 1 0 1：PCLK/32 1 1 0：PCLK/64 1 1 1：PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

TWRC ビット（カウンタ書き込み制御ビット）

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

32.2.42　タイマプリスケーラレジスタ (TPRE)

アドレス SCI12.TPRE 0008 B332h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

32.2.43　タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

32.2.44　製品機能選択レジスタ 0 (PRDFR0)

アドレス SYSTEM.PRDFR0 0008 00D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	SCI11RXD[1:0]		—	—	SCI9RXD[1:0]		SCI8RXD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SCI5RXD[1:0]		—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	SCI5RXD[1:0]	SCI5 RXD入力信号選択ビット	SCI5のRXD端子に入力する信号を選択します b11 b10 0　0：RXD5端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	SCI8RXD[1:0]	RSCI8 RXD入力信号選択ビット	RSCI8のRXD端子に入力する信号を選択します b17 b16 0　0：RXD008端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b19-b18	SCI9RXD[1:0]	RSCI9 RXD入力信号選択ビット	RSCI9のRXD端子に入力する信号を選択します b19 b18 0　0：RXD009端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b21-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b22	SCI11RXD[1:0]	RSCI11 RXD入力信号選択ビット	RSCI11のRXD端子に入力する信号を選択します b23 b22 0　0：RXD011端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

伝送線路の影響によりRXD信号が減衰し、VIH/VILの規格を満たさなくなってしまった場合、コンパレータを介在させることで改善できます。

コンパレータを使用する場合、RXD信号をCMPC30～CMPC33、CMPC40～CMPC43端子のいずれかに接続してください。また、コンパレータのノイズフィルタは無効にしてください。このとき、RXD5端子は使用しません。

32.3　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを**図 32.5** に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード / ライトができ、連続送受信が可能です。

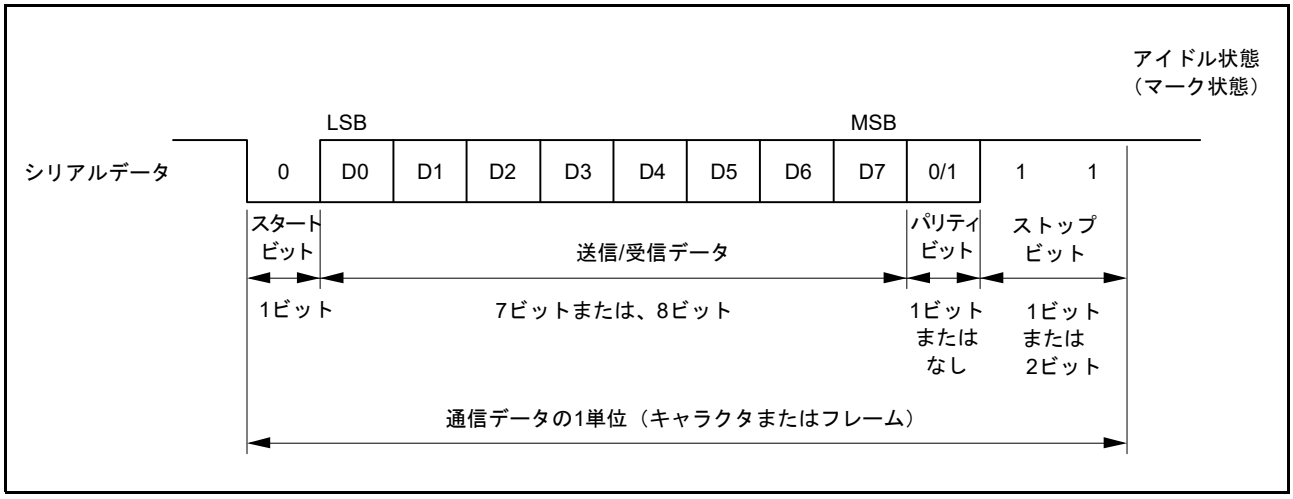


図 32.5　調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり /2 ストップビットの例)

32.3.1　シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを**表 32.33** に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「**32.4　マルチプロセッサ通信機能**」を参照してください。

表32.33　シリアル送信/受信フォーマット(調歩同期式モード)

SCMRの設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長
CHR1	CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	S 9ビットデータ STOP
0	0	0	0	1	S 9ビットデータ STOP STOP
0	0	1	0	0	S 9ビットデータ P STOP
0	0	1	0	1	S 9ビットデータ P STOP STOP
1	0	0	0	0	S 8ビットデータ STOP
1	0	0	0	1	S 8ビットデータ STOP STOP
1	0	1	0	0	S 8ビットデータ P STOP
1	0	1	0	1	S 8ビットデータ P STOP STOP
1	1	0	0	0	S 7ビットデータ STOP
1	1	0	0	1	S 7ビットデータ STOP STOP
1	1	1	0	0	S 7ビットデータ P STOP
1	1	1	0	1	S 7ビットデータ P STOP STOP
0	0	—	1	0	S 9ビットデータ MPB STOP
0	0	—	1	1	S 9ビットデータ MPB STOP STOP
1	0	—	1	0	S 8ビットデータ MPB STOP
1	0	—	1	1	S 8ビットデータ MPB STOP STOP
1	1	—	1	0	S 7ビットデータ MPB STOP
1	1	—	1	1	S 7ビットデータ MPB STOP STOP

S:　スタートビット
STOP: ストップビット
P:　パリティビット
MPB:　マルチプロセッサビット

32.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 32.6 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央 (注 2) でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ (\%) \quad \text{...式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSE ビットが “0”、かつ SEMR.ABCS ビットが “0” のとき N = 16
- SEMR.ABCSE ビットが “0”、かつ SEMR.ABCS ビットが “1” のとき N = 8
- SEMR.ABCSE ビットが “1” のとき N = 6

D: クロックのデューティ (D = 0.5 ～ 1.0)

L: フレーム長 (L = 9 ～ 13)

F: クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、

M = {0.5 – 1/(2 × 16)} × 100 (%) = 46.875 (%)

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30% の余裕を持たせてください。

注 1.　いずれも SEMR.ABCSE ビットが “0”、かつ SEMR.ABCS ビットが “0” のときの値です。ABCSE ビットが “0”、かつ ABCS ビットが “1” のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。また、ABCSE ビットが “1” のときは、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 番目の立ち上がりエッジでサンプリングします。

注 2.　SPTR.RTADJ ビットが “0” の場合。

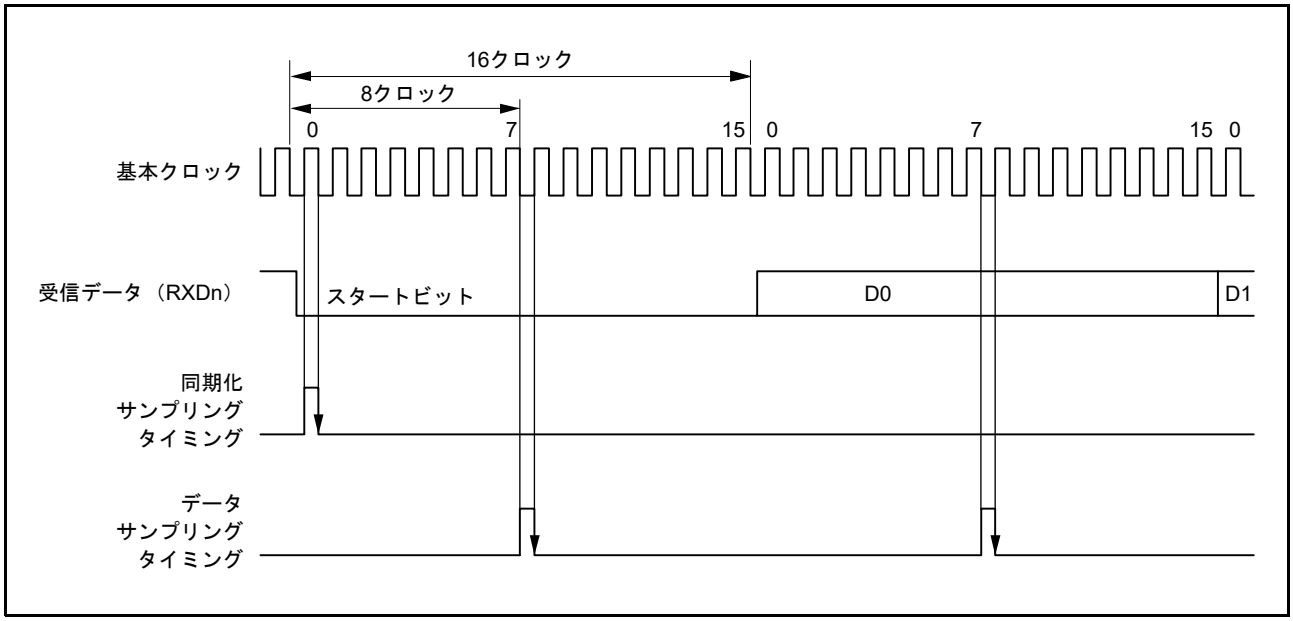


図 32.6　調歩同期式モードの受信データサンプリングタイミング

SCI1、SCI5、SCI6 には、通信線路上のデバイスの影響などにより信号の High 幅や Low 幅が変わってしまう場合に備え、受信データのサンプリングタイミングや送信データの変化タイミングを変更する機能があります。

32.3.2.1　受信データのサンプリングタイミング調整

立ち上がり時間と立ち下がり時間の差が大きく、High 幅と Low 幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low 幅が短い場合はサンプリングタイミングを早め、High 幅が短い場合はサンプリングタイミングを遅らせます。

TMGR.RTMG[3:0] ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SPTR.RTADJ ビットを “1” にすると、設定した位置で受信データをサンプリングします。

図 32.7 にサンプリングタイミングの調整例を示します。

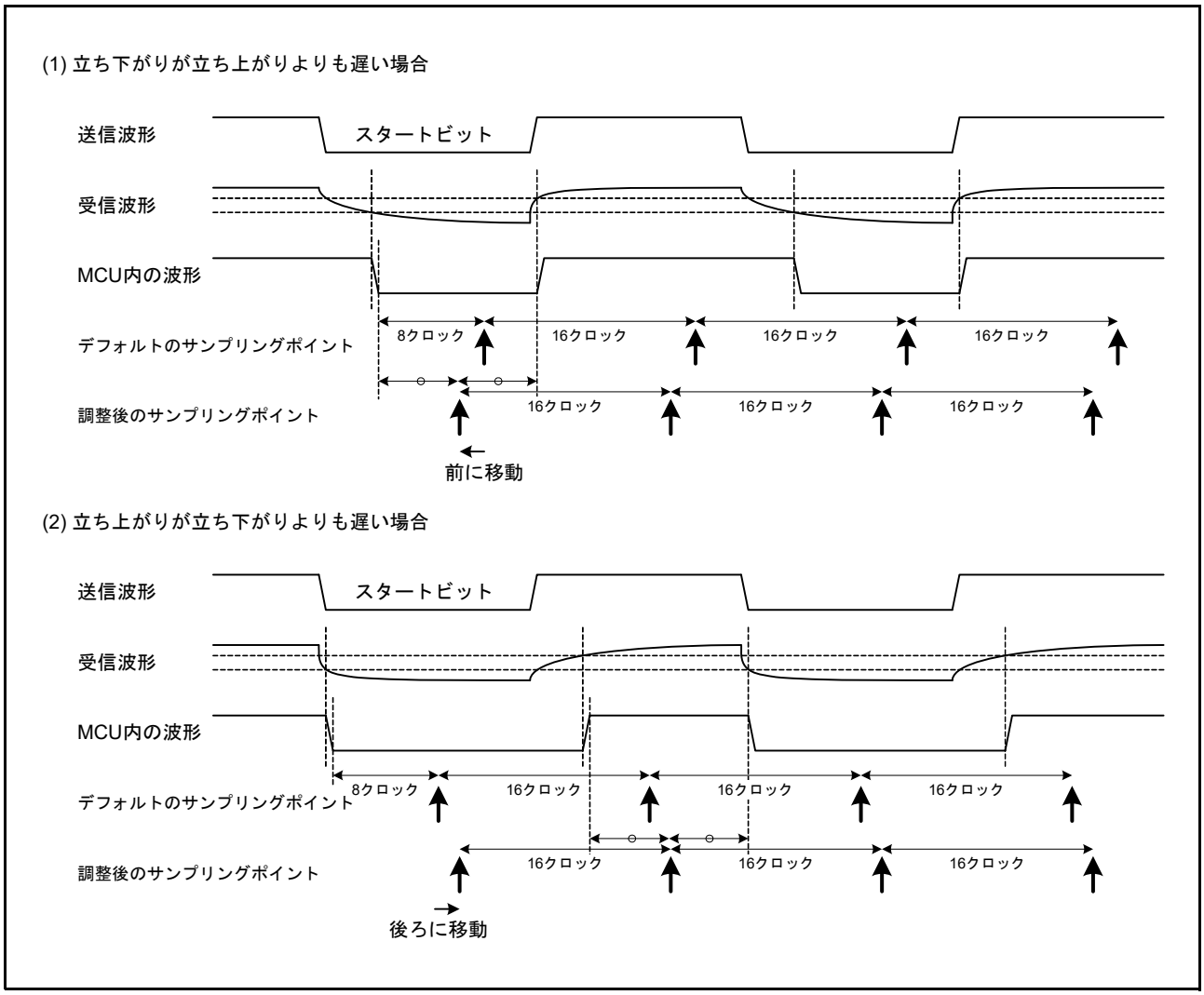


図 32.7　サンプリングタイミングの調整例 (SEMR.ABCSE ビット = 0, SEMR.ABCS ビット = 0)

32.3.2.2　送信データの変化タイミング調整

逆に、本 MCU が送信した波形が受信側のデバイスで High 幅と Low 幅に差ができてしまうような場合に、送信時に前もって High 幅と Low 幅に差を持たせて、受信側で差がなくなるように調整することもできます。受信側で High 幅が短くなる場合は立ち下がりエッジを遅らせることで送信時の High 幅を拡げ、Low 幅が短くなる場合は立ち上がりエッジを遅らせることで送信時の Low 幅を拡げます。

TMGR.TTMG[3:0] ビットに変化させるエッジとその遅延量を設定し、SPTR.TTADJ ビットを “1” にすると、設定した位置で送信データが変化します。

図 32.8 に変化タイミングの調整例を示します。

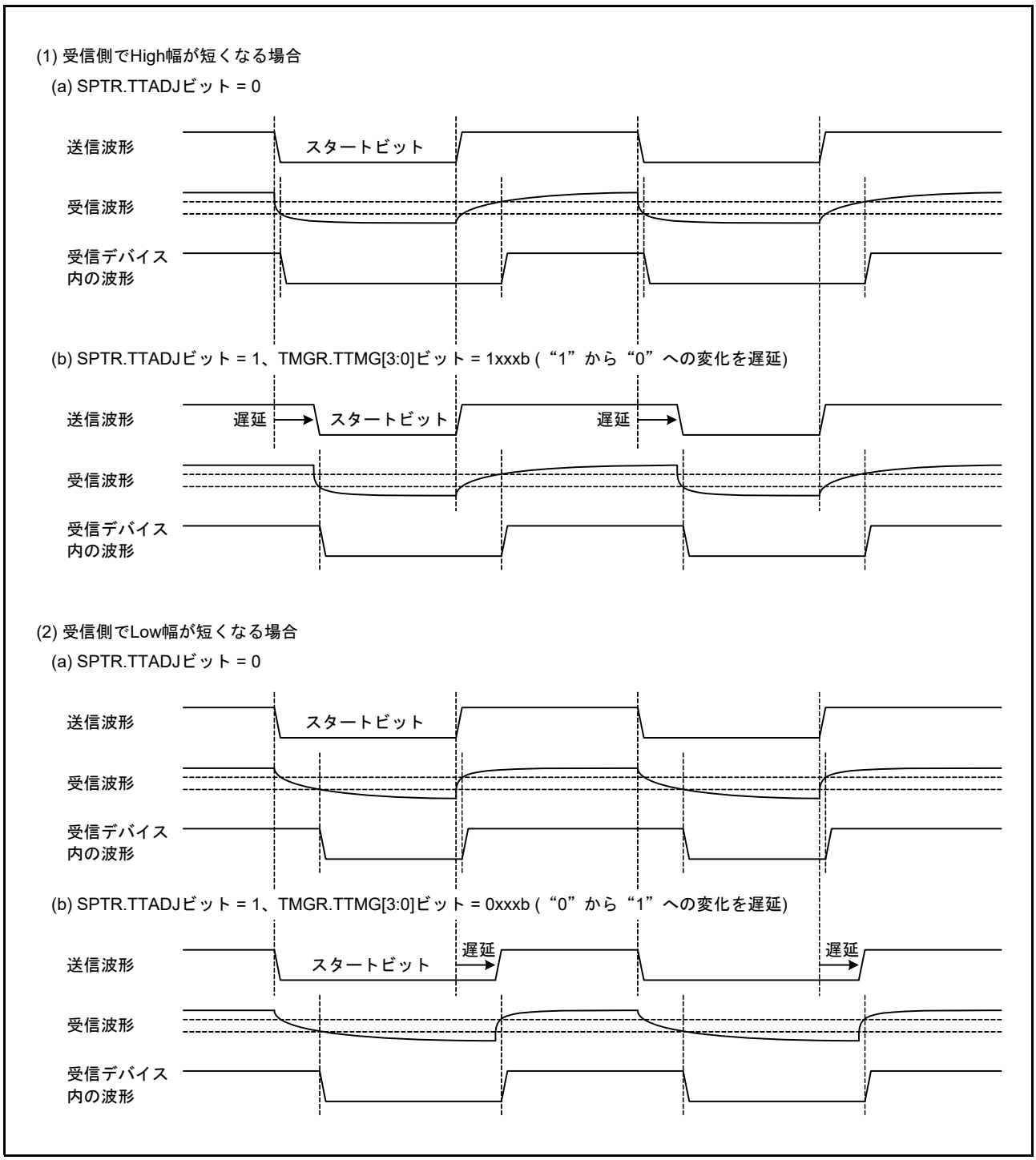


図 32.8　変化タイミングの調整例

32.3.3　クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット = 0 のとき）、8 倍（SEMR.ABCS ビット = 1 のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0 ビット (n = 5, 6, 12) の設定により、TMR0、TMR1 からの基本クロックを選択することが可能です。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は**図 32.9** に示すように送信データの中央でクロックが立ち上がります。

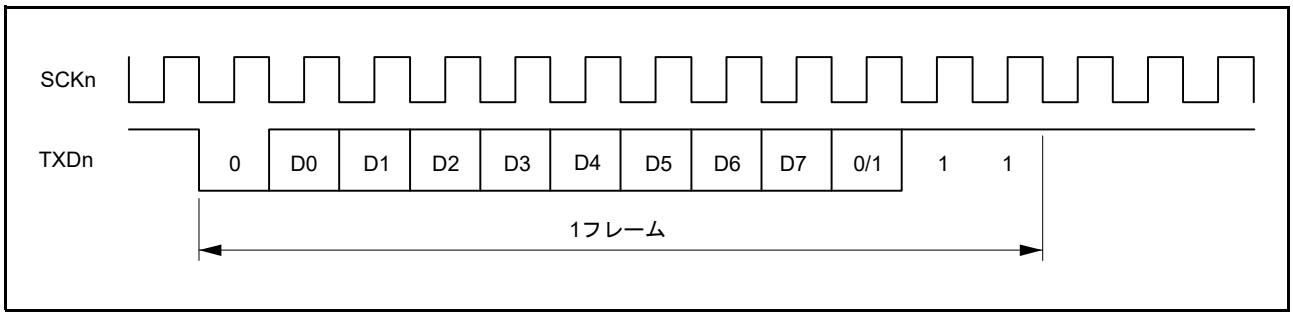


図 32.9　出力クロックと送信データの位相関係
(調歩同期式モード : SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

32.3.4　倍速モードと 6 分周モード

SEMR.BGDM ビットを “1” にすることによって内蔵ボーレートジェネレータの出力クロック周波数が 2 倍となり、ビットレートが 2 倍の高速通信が可能となります。また、この状態から SEMR.ABCS ビットを “1” にすると基本クロックのサイクル数が 16 から 8 になるため、ビットレートは初期状態から 4 倍に高速化されます。

また、SEMR.ABCSE ビットを “1” にすると、1 ビット期間中の基本クロックパルス数が 6、かつ基本クロックの周期が 1/2 になり、SEMR レジスタの ABCS ビット、BGDM ビット、ABCSE ビットがすべて “0” の場合に比べ 16/3 倍のビットレートで動作します。

なお、**「32.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン」**の式 (1) が示すとおり、SEMR.ABCS ビットを “1” にするとサイクル数が 8 になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート 2 倍の高速通信は、SEMR.BGDM ビットを “0”、SEMR.ABCS ビットを “1” にするよりも、SEMR.BGDM ビットを “1”、SEMR.ABCS ビットを “0” にする設定を推奨します。

32.3.5　CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを “1” にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTSn# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して送信要求を行う機能で、受信可能状態になると Low を出力します。RTSn# 端子から Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが “1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて “0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

32.3.6　データ一致検出機能

データ一致検出機能は、SCI1、SCI5、SCI6 の調歩同期式モードで利用可能です。

DCCR.DCME ビットを “1” にすると、受信データと CDR.CMPD[8:0] ビットの内容が比較 (注 1) され、値が一致すると受信データフル割り込み (RXI) 要求が発生します。

SMR.MP ビットが “0” の場合は、すべての受信データが比較されます。

SMR.MP ビットを “1” にすると、DCCR.IDSEL ビットが “1” の場合は、マルチプロセッサビットが “1” のデータのみが比較され、“0” のデータは無視されます。DCCR.IDSEL ビットが “0” の場合は、マルチプロセッサビットの値にかかわらずすべての受信データが比較されます。

受信データが CDR.CMPD[8:0] ビットの値と一致するまでは、受信データの格納は行われず、フラグも更新されません。データが一致すると、DCCR.DCME ビットは自動的に “0” になり、DCMF フラグが “1” になります。このとき、DCCR.IDSEL ビットが “1” であると、SCR.MPIE ビットも自動的に “0” になります。また、SCR.RIE ビットが “1” であると、受信データフル割り込み (RXI) 要求が発生します。

一致したデータにフレーミングエラーがあった場合は、DCCR.DFER フラグが “1” になり、パリティエラーがあった場合は DCCR.DPER フラグが “1” になります。CDR.CMPD[8:0] ビットの値と一致した受信データは受信バッファに格納されず、SSR.RDRF フラグも “1” になりません。

データの一致を検出し、DCCR.DCME ビットが “0” になった後は、通常通りデータの受信が行われます。

DCCR.DFER フラグまたは DCCR.DPER フラグが “1” のときは、データの一致は検出されません。データ一致検出機能を有効にする前に、これらのフラグは “0” にしてください。

注 1.　比較対象は SMR.CHR ビット、SCMR.CHR1 ビットで指定したキャラクタ長に相当する部分です。

図 32.10、図 32.11 にデータ一致検出の例を示します。

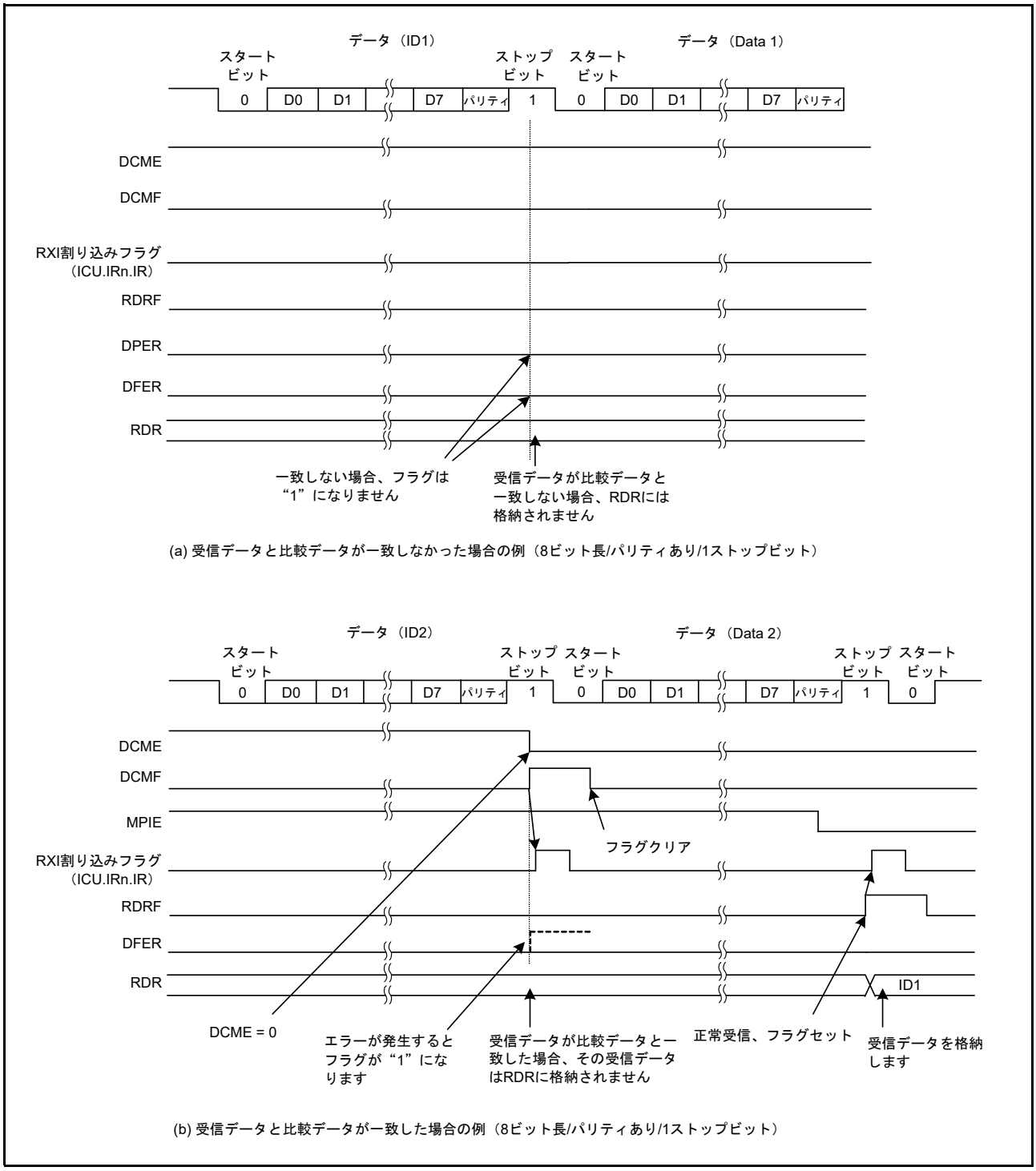


図 32.10　データ一致検出の例 (1) 非マルチプロセッサモード

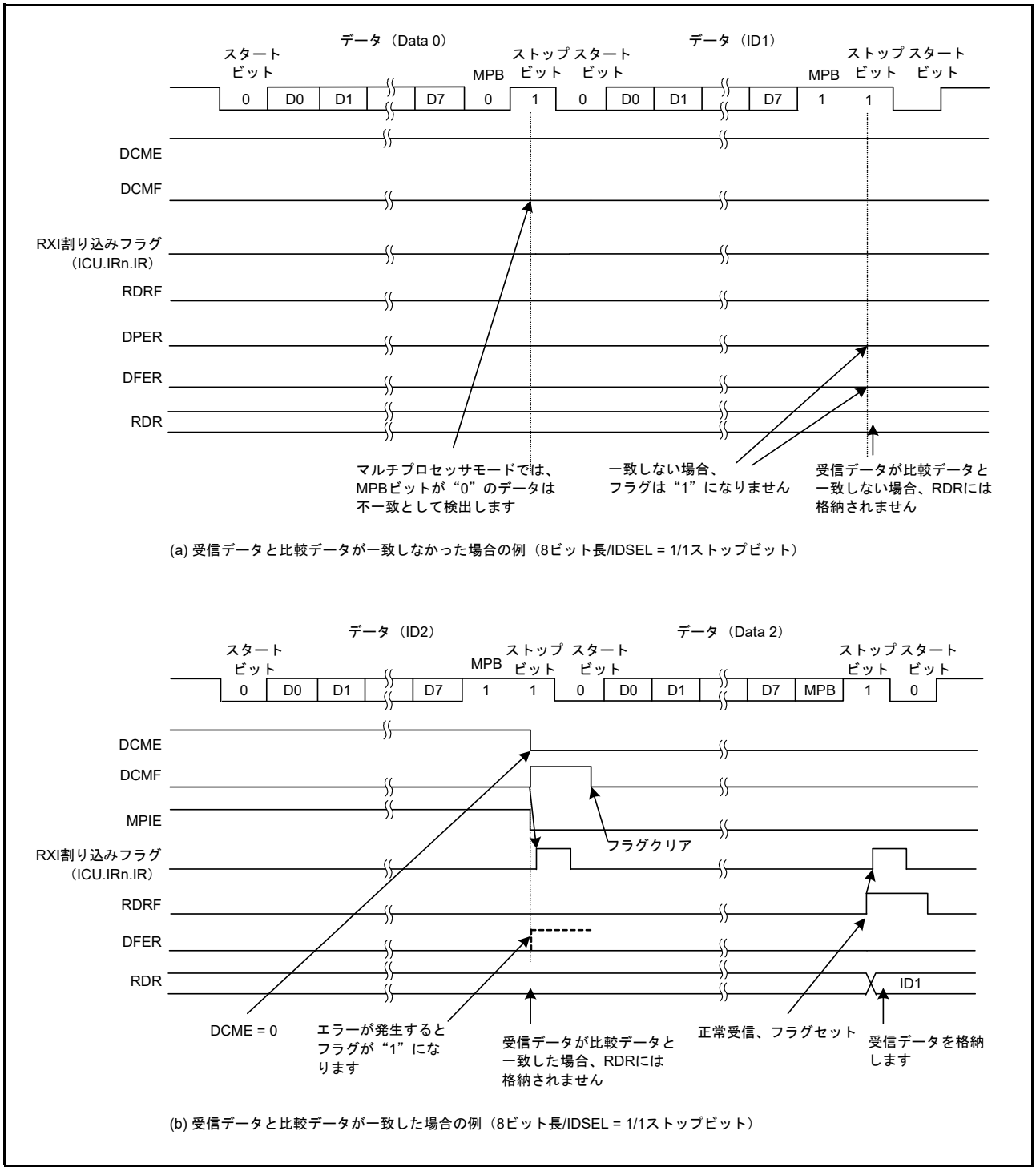


図 32.11　データ一致検出の例 (2) マルチプロセッサモード

32.3.7　SCI の初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 32.12 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグおよび RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンプティ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

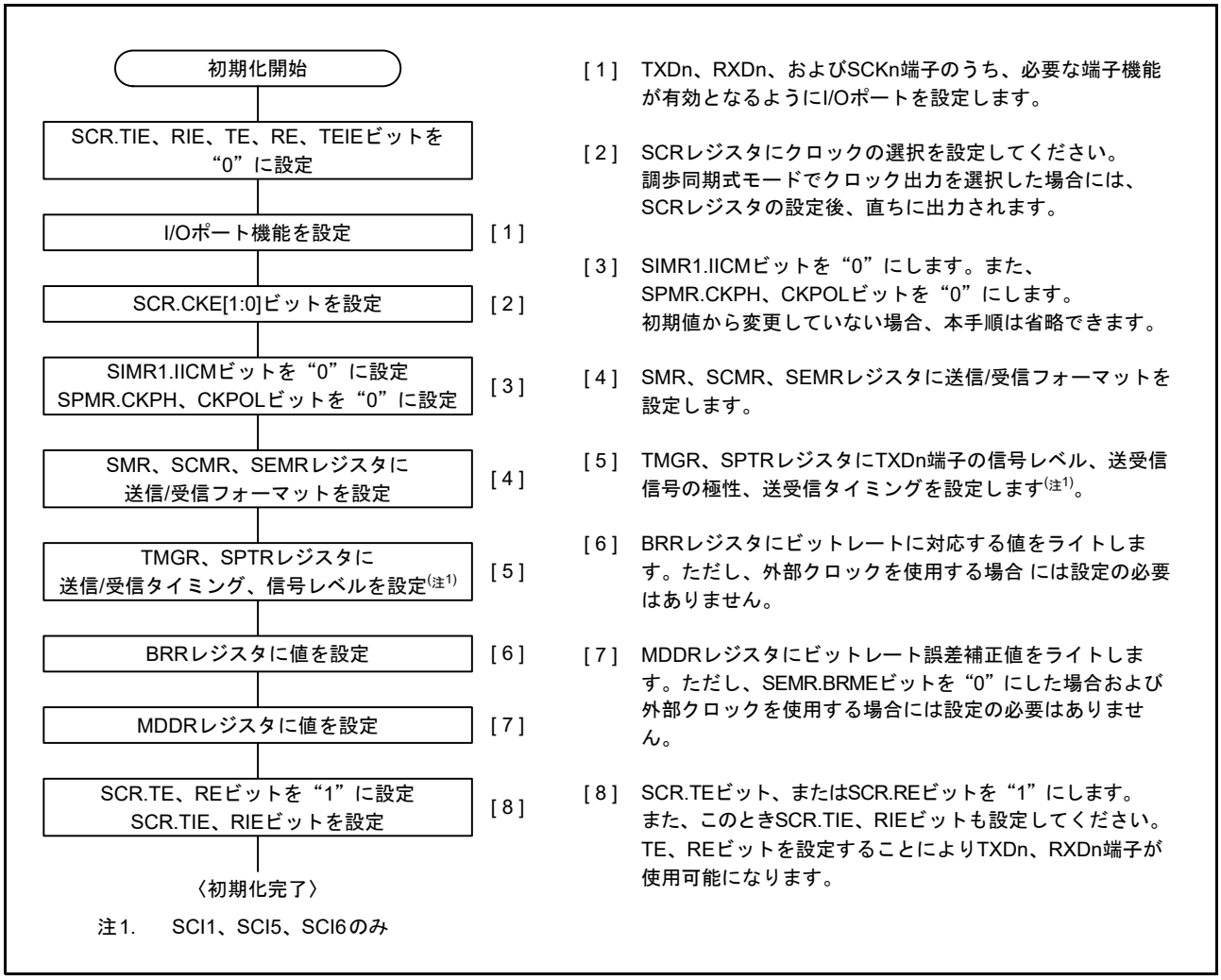


図 32.12　SCI の初期化フローチャートの例 (調歩同期式モード)

図 32.13 は、リセット解除後に図 32.12 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが “0” であるため端子はハイインピーダンスです。TE ビットを “1” にした後送信データを書くと、データ送信が開始されます。TE ビットを “1” にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります (注 1)。調歩同期式モードでは、この期間 TXD 端子は High になります。

注 1.　SEMR.ITE ビットが “0” の場合。ITE ビットが “1” の場合、この内部待機期間はありません。

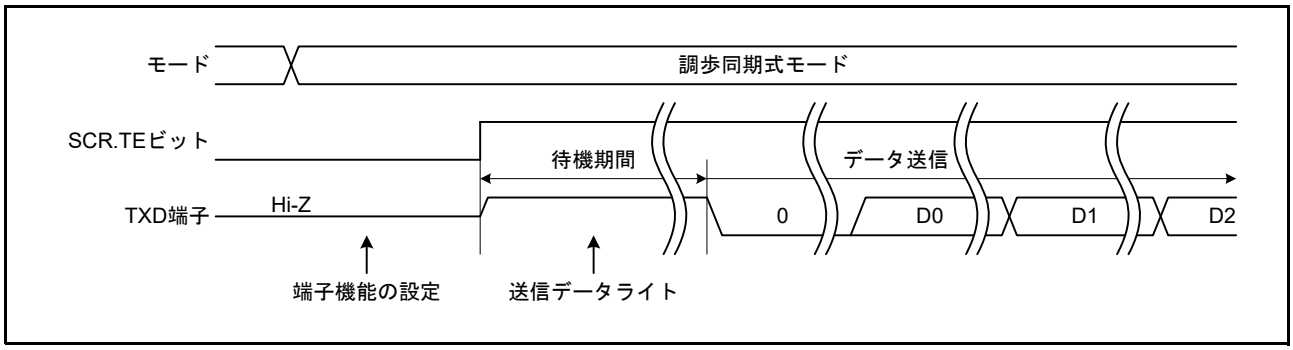


図 32.13　調歩同期式モード時のデータ送信タイミング例

32.3.8 シリアルデータの送信 (調歩同期式モード)

図 32.14 ～図 32.16 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

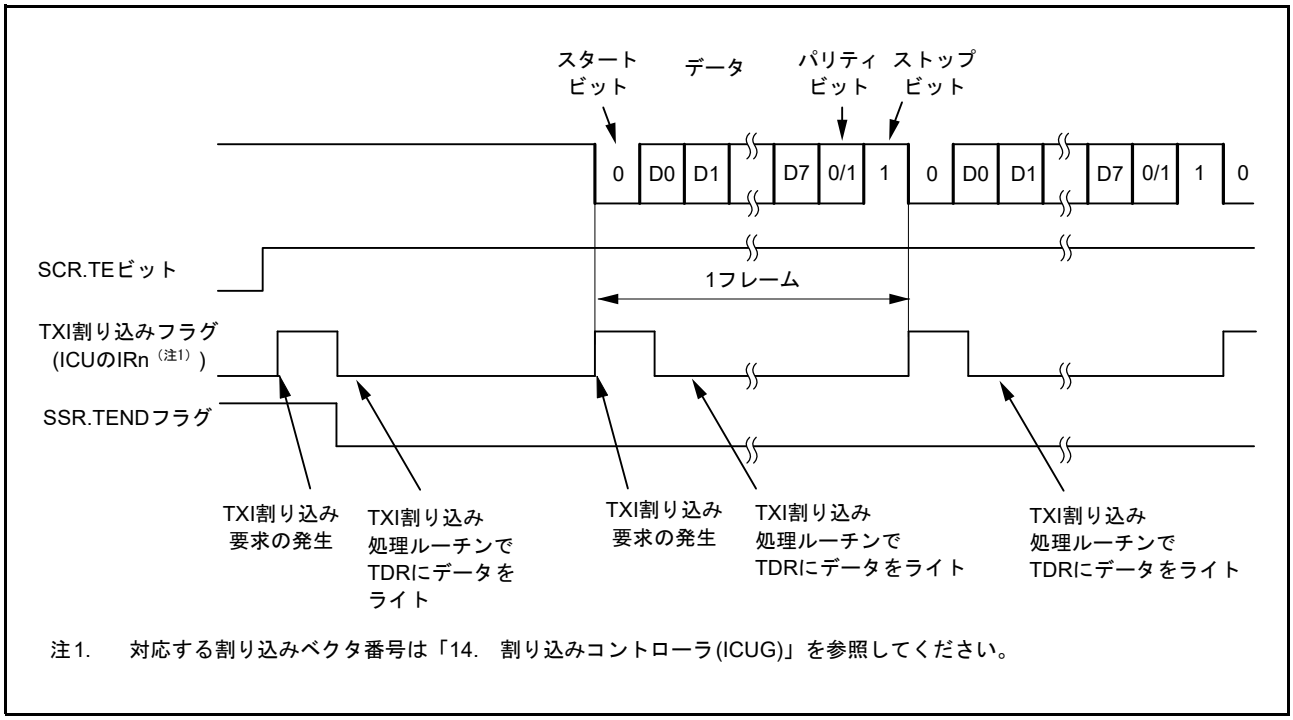
1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. SPMR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新（書き込み）をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” であると、SSR.TEND フラグが “1” になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

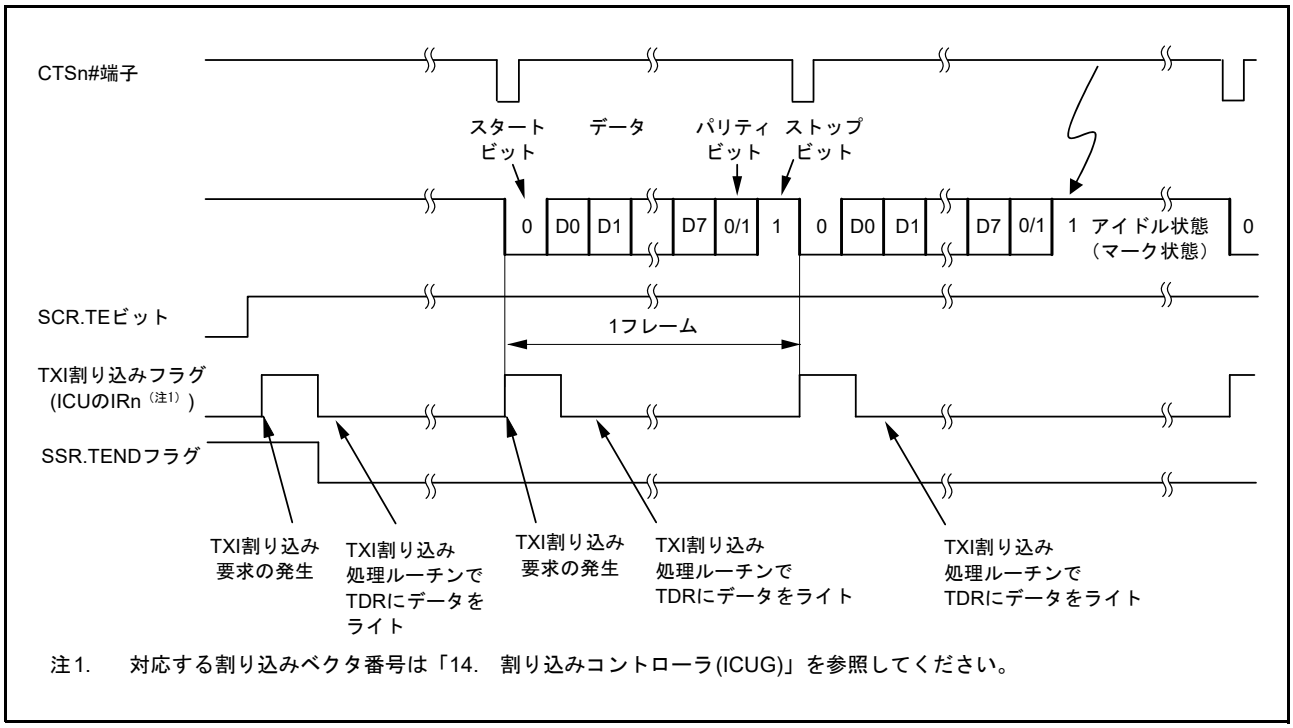
注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 32.17 にシリアル送信のフローチャートの例を示します。



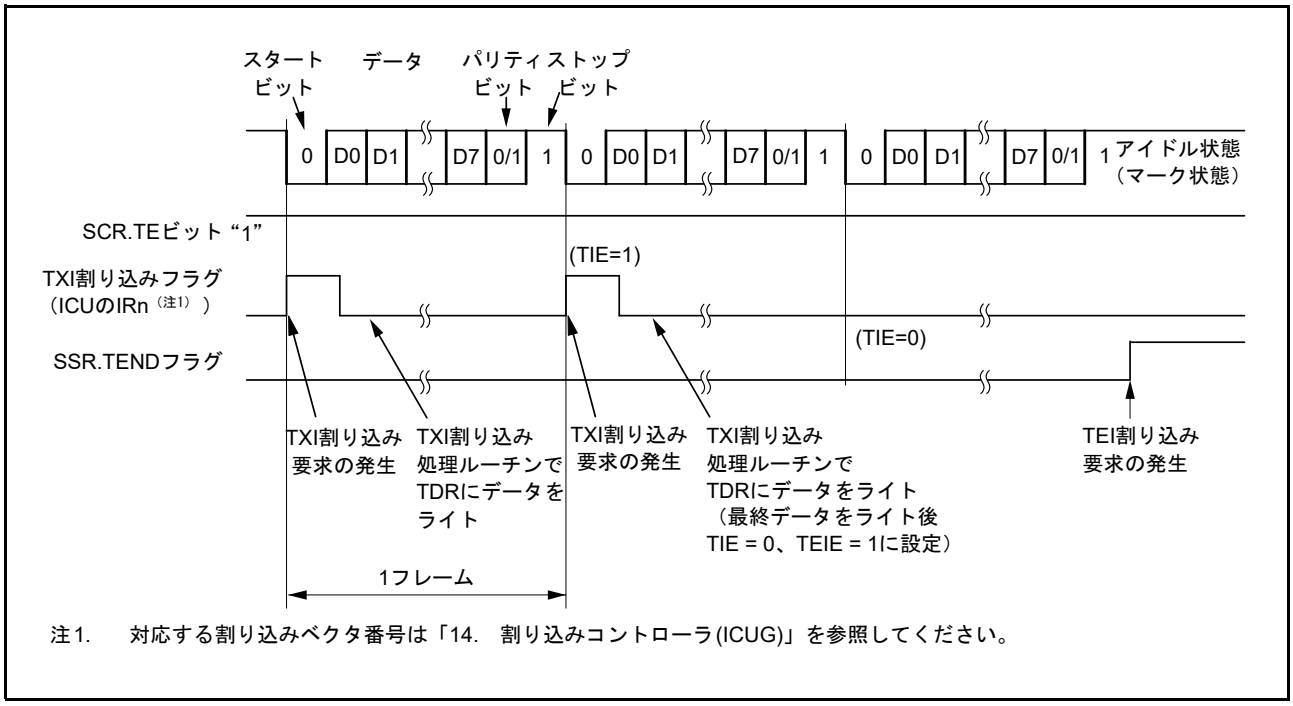
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.14　調歩同期式モードのシリアル送信の動作例 (1)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用しない / 送信開始時)



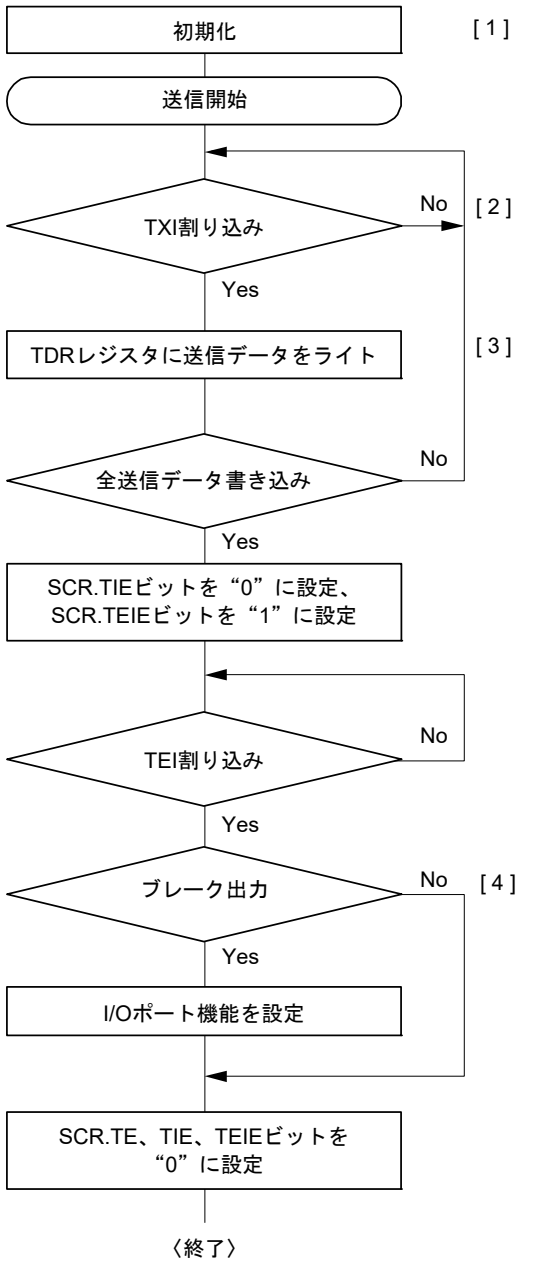
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.15　調歩同期式モードのシリアル送信の動作例 (2)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用する / 送信開始時)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.16　調歩同期式モードのシリアル送信の動作例 (3)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用しない / 送信中～送信終了時)



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを“1”にした後、1フレーム分のHighを出力して(注1)送信可能状態になります。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み(TXI)要求が発生します。
TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけライトしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけライトしてください。
TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TXDn端子に対応するI/Oポート機能を設定(Low出力に設定)し、TXDn端子を汎用入出力ポート機能に切り替えた後、SCR.TEビットを“0”にします。

注. TDRレジスタは、データ長9ビット選択時は、TDRHレジスタおよびTDRLレジスタになります。TDRH、TDRLレジスタの順にデータを書き込んでください。

注1. SEMR.ITEビットが“0”の場合。ITEビットが“1”の場合は、TEビットを“1”にした直後に送信可能状態になります。

図 32.17　調歩同期式モードのシリアル送信のフローチャート例

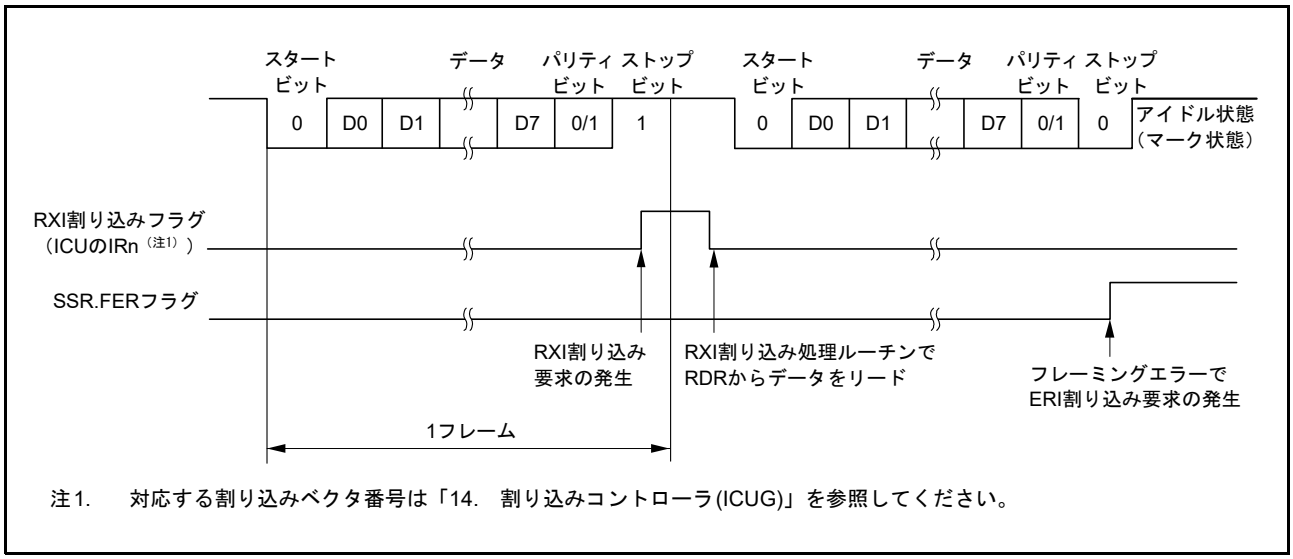
32.3.9　シリアルデータの受信 (調歩同期式モード)

図 32.18、図 32.19 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ (注 1) に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが “0” のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが “1” であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ (注 1) に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ (注 2) に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

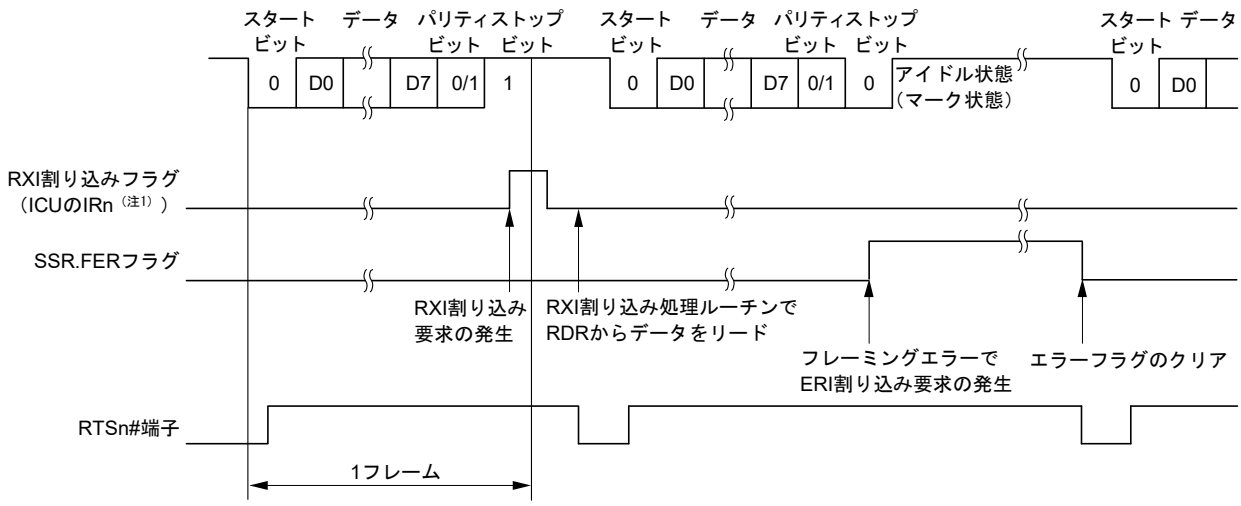
注 1.　データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2.　データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.18　調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり /1 ストップビットの例)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.19　調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8 ビットデータ / パリティあり /1 ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を**表 32.34** に示します。

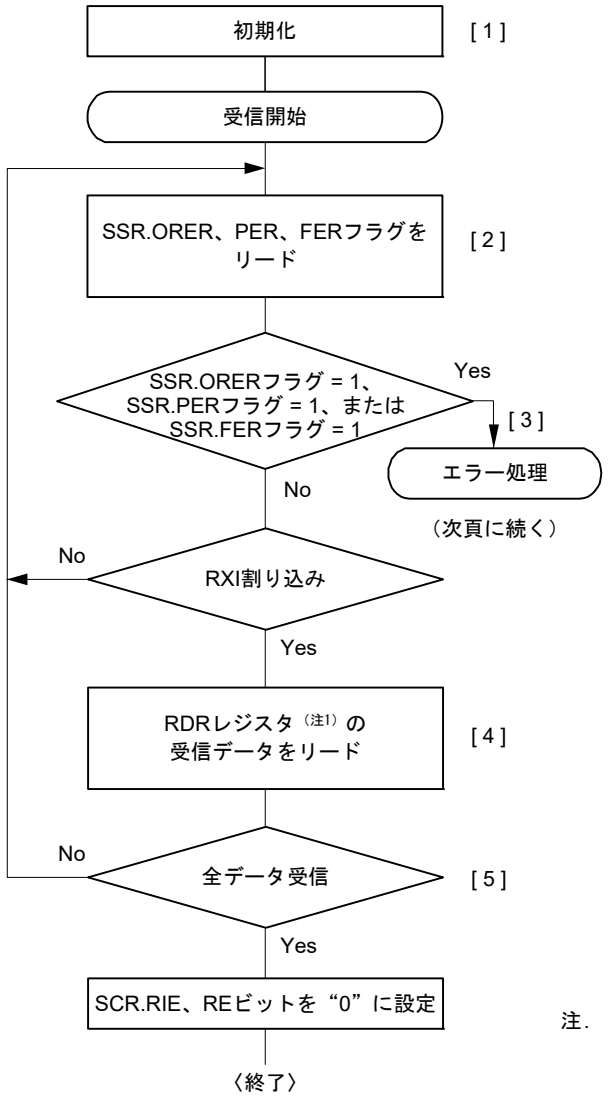
受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを “0” にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 32.20、**図 32.21** にシリアル受信のフローチャートの例を示します。

表32.34　SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

注1.　データ長9ビット選択時はRDRH、RDRLレジスタになります。



[1] SCIの初期化：
データ受信に設定します。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、ERI割り込みが発生します。SSRレジスタのORER、PER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、PER、FERフラグをすべて“0”にしてください。ORER、PER、FERフラグのいずれかが“1”になった状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

[4] RXI割り込みルーチンで、RDRレジスタの受信データを1回リードします。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RXI割り込みルーチンでRDRレジスタの値をリードします。DMACまたはDTCを起動し、RDRレジスタの値をリードすることも可能です。

注. RDRレジスタは、データ長9ビット選択時は、RDRHレジスタおよびRDRLレジスタになります。RDRH、RDRLレジスタの順にデータを読み出してください。

図 32.20　調歩同期式モードのシリアル受信のフローチャート例 (1)

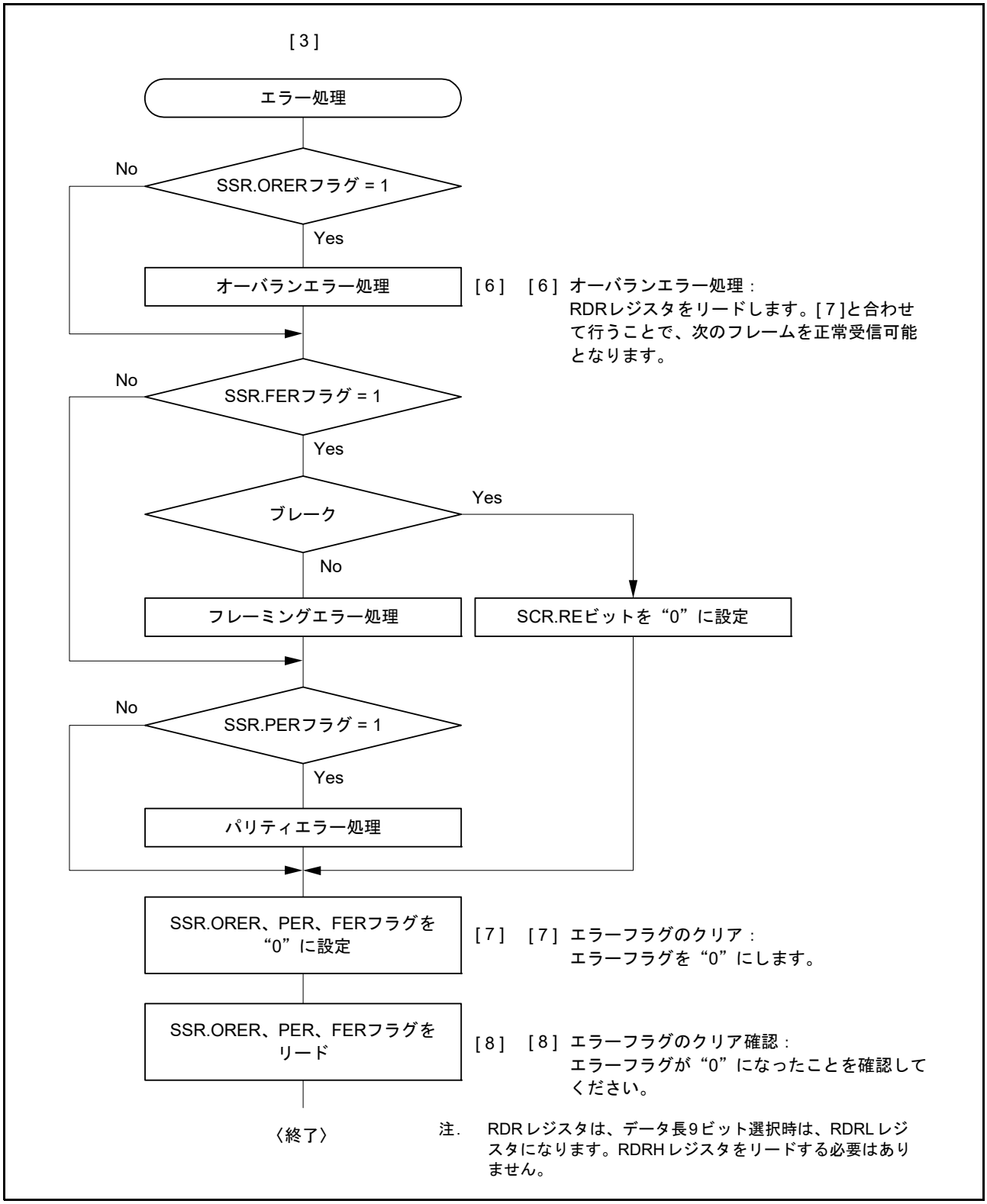


図 32.21　調歩同期式モードのシリアル受信のフローチャート例 (2)

32.4　マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが “1” のとき ID 送信サイクル、“0” のときデータ送信サイクルとなります。図 32.22 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが “1” の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが “1” の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを “1” にすると、マルチプロセッサビットが “1” のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが “1” の受信キャラクタを受け取ると、SSR.MPB フラグが “1” になるとともに SCR.MPIE ビットが “0” になって通常の受信動作に戻ります。このとき SCR.RIE ビットが “1” であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

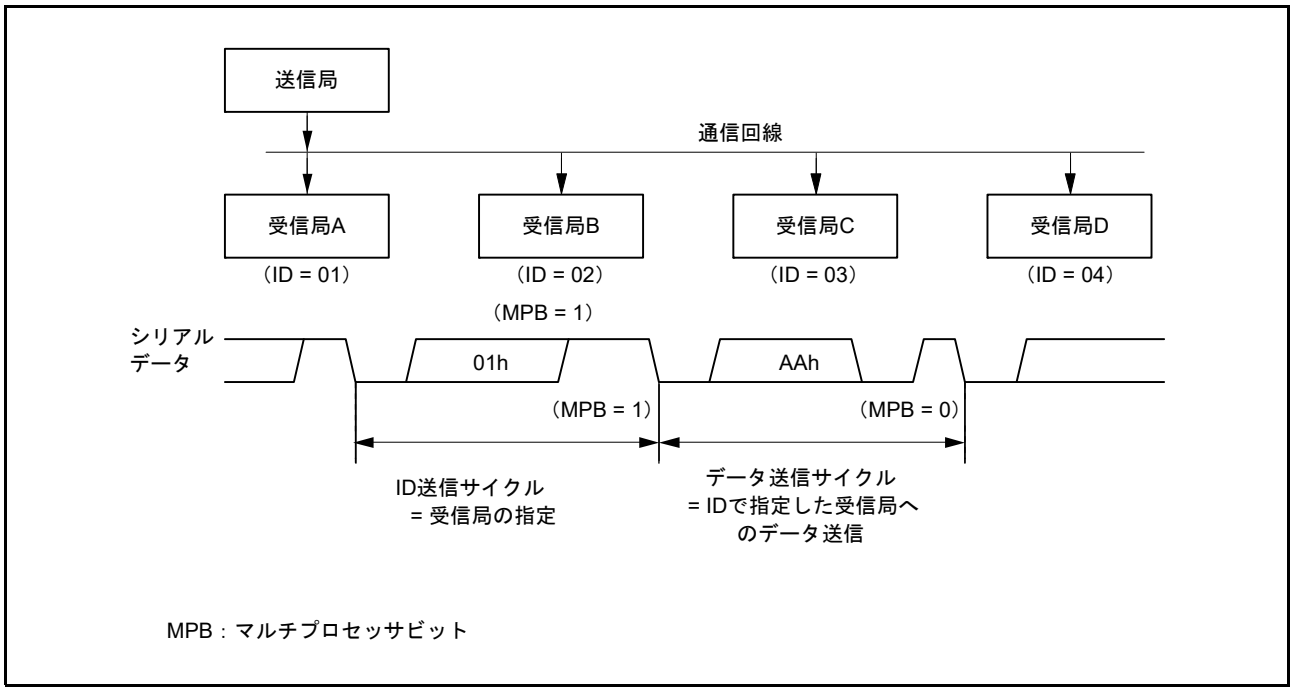


図 32.22　マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ “AAh” の送信の例)

32.4.1　マルチプロセッサシリアルデータ送信

図 32.23 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを “1” にして送信してください。データ送信サイクルでは SSR.MPBT ビットを “0” にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

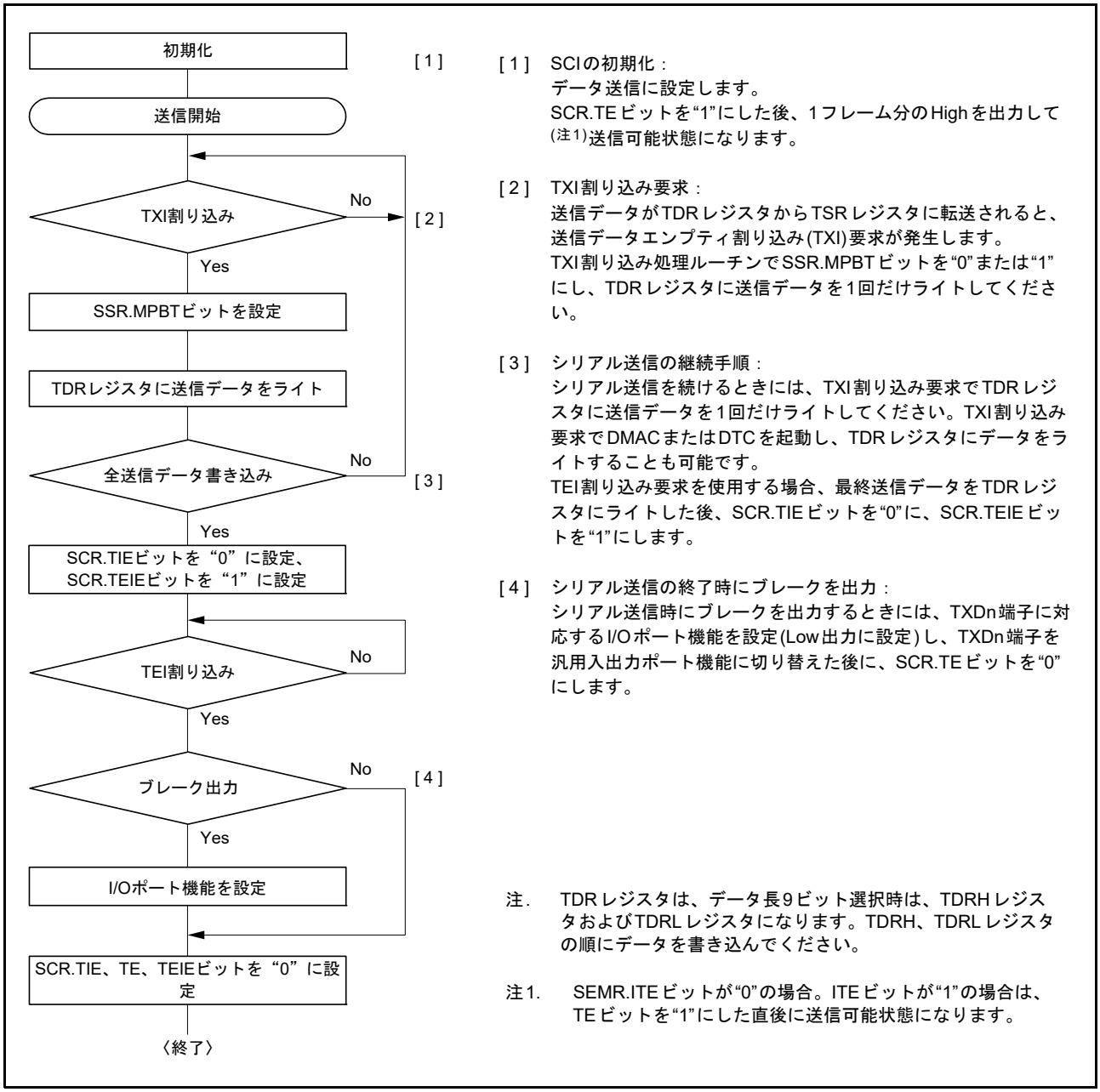
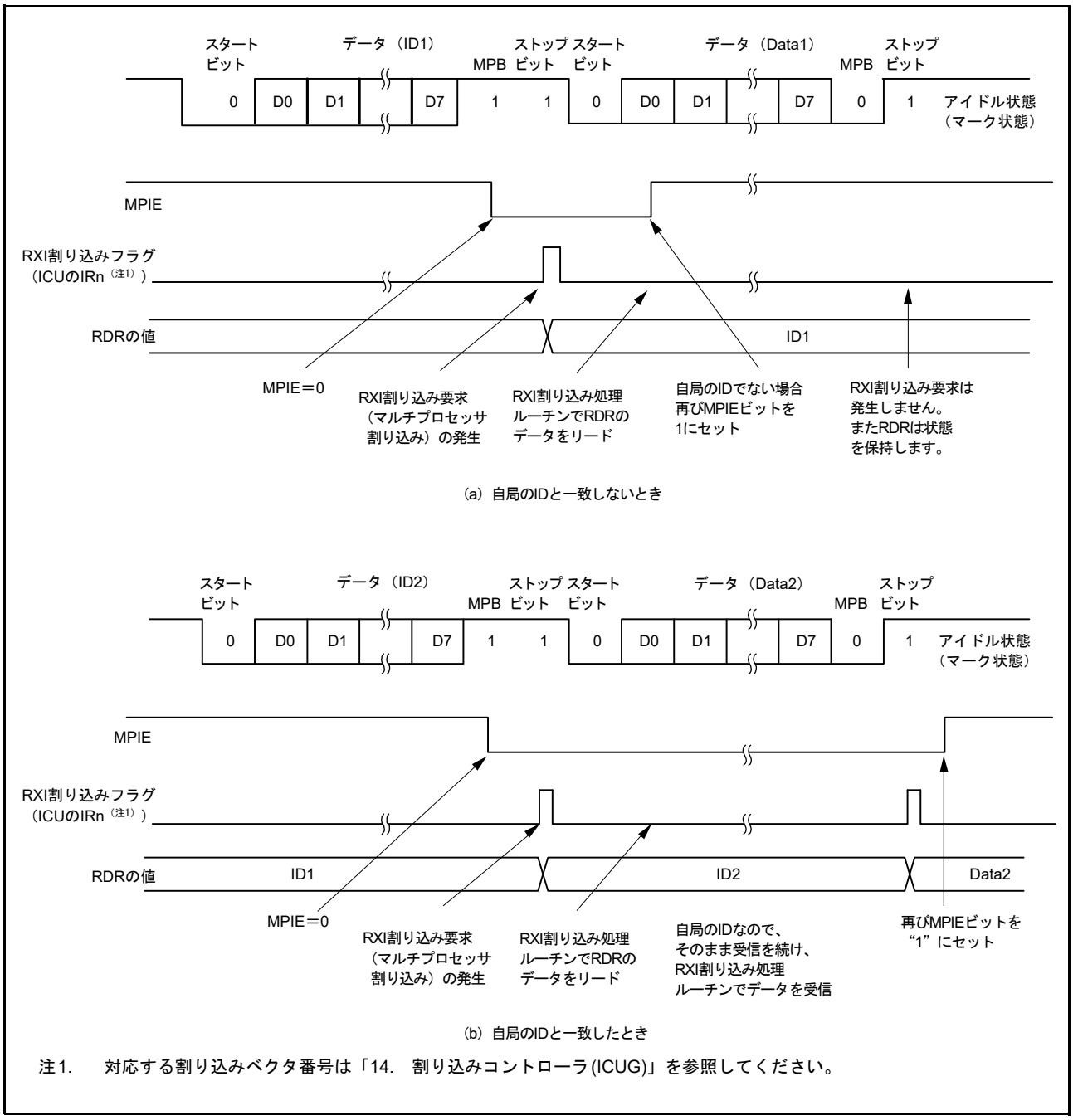


図 32.23　マルチプロセッサシリアル送信のフローチャートの例

32.4.2　マルチプロセッサシリアルデータ受信

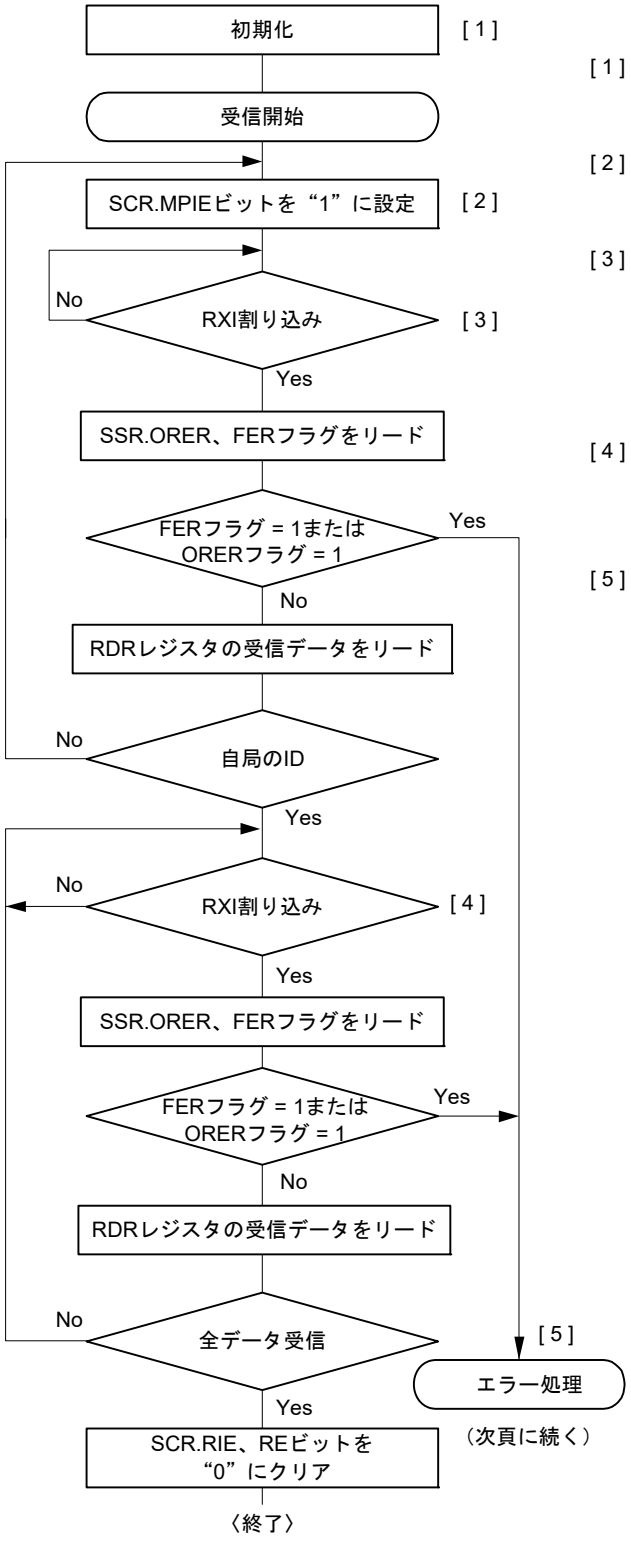
図 32.25、図 32.26 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを “1” にするとマルチプロセッサビットが “1” の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが “1” の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 32.24 に受信時の動作例を示します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.24　SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり /1 ストップビットの例)



[1] SCIの初期化：
データ受信に設定します。

[2] ID受信サイクル：
SCR.MPIEビットを“1”にし、ID受信を待ちます。

[3] SCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRレジスタのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びSCR.MPIEビットを“1”にしてRXI割り込み要求を待ちます。

[4] RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRレジスタのデータを1回リードします。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグをすべて“0”にしてください。ORER、FERフラグのいずれかが“1”になった状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

注.　RDRレジスタは、データ長9ビット選択時は、RDRHレジスタおよびRDRLレジスタになります。RDRH、RDRLレジスタの順にデータを読み出してください。

図 32.25　マルチプロセッサシリアル受信のフローチャートの例 (1)

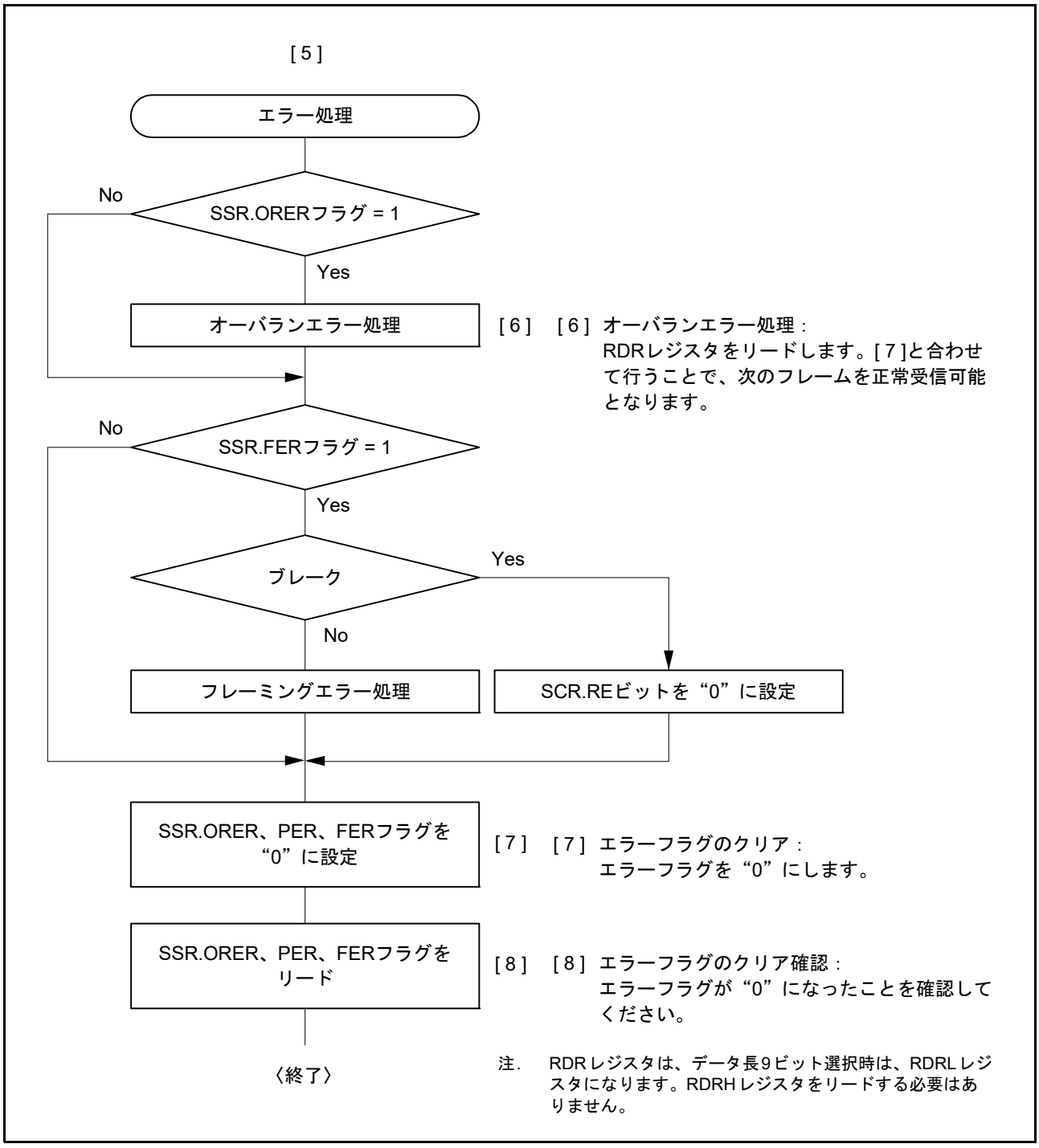


図 32.26　マルチプロセッサシリアル受信のフローチャートの例 (2)

32.5　クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 32.27 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

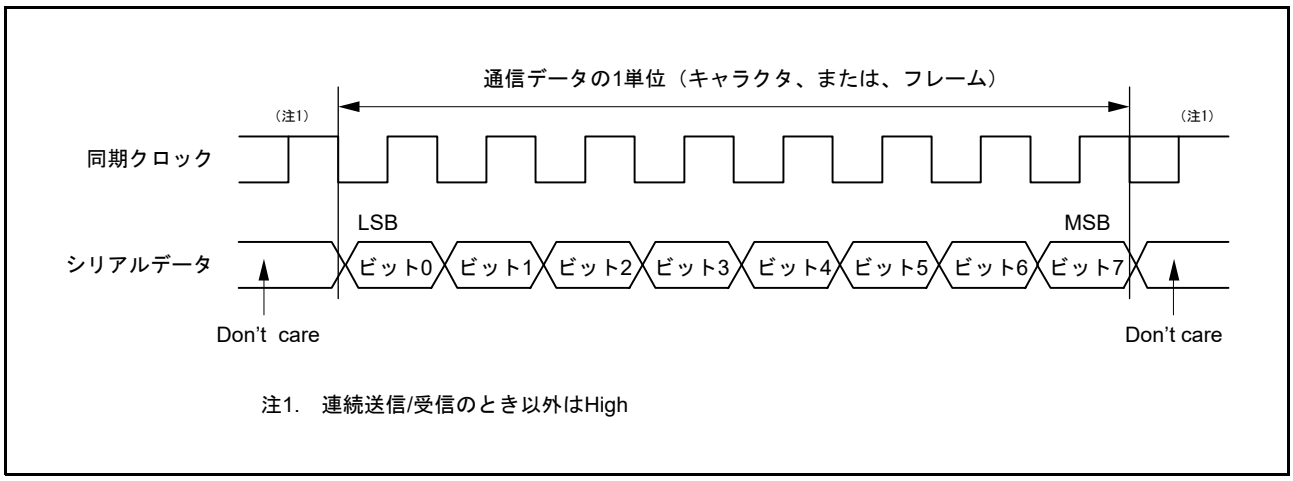


図 32.27　クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

32.5.1　クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを “1” にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを “0” にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが “0” のときに CTSn# 端子入力が High であれば、SCR.RE ビットを “1” にしてもクロック出力を開始しません。SCR.RE ビットを “1” にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを “0” にすると、同期クロックは High レベルで停止します。

32.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを “1” にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが “1”
- 送受信動作中でない
- 未読の受信データがない (SCR.RE ビットが “1” のとき)
- 未送信のデータがある (SCR.TE ビットが “1” のとき)
- SSR.ORER フラグが “0”

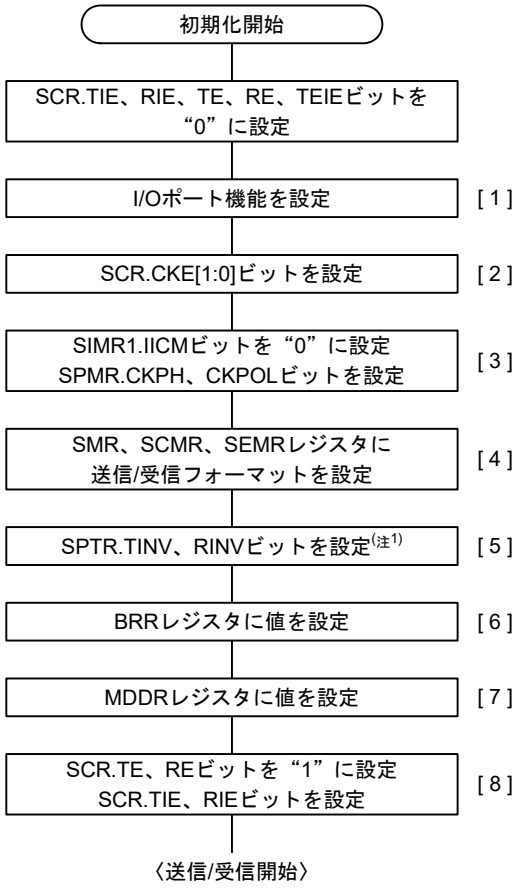
[High になる条件]

Low になる条件を満たさない場合

32.5.3　SCI の初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 32.28 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。



[1] TXDn、RXDn、およびSCKn端子のうち、必要な入力/出力機能が有効となるようにI/Oポートを設定します。

[2] SCRレジスタにクロックの選択を設定してください。
内部クロックを選択した場合は、SCK端子が出力になります。

[3] SIMR1.IICMビットを“0”にします。
また、SPMR.CKPH、CKPOLビットを設定します。
初期値から変更していない場合、本手順は省略できます。

[4] SMR、SCMR、SEMRレジスタに送信/受信フォーマットを設定します。

[5] SPTR.TINV、RINVビットで送受信信号の極性を設定します(注1)。

[6] BRRレジスタにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合 には設定の必要はありません。

[7] MDDRレジスタにビットレート誤差補正値をライトします。ただし、SEMR.BRMEビットを“0”にした場合および外部クロックを使用する場合には設定の必要はありません。

[8] SCR.TEビット、またはSCR.REビットを“1”にします。
また、このときSCR.TIE、RIEビットも設定してください。
TE、REビットを設定することによりTXDn、RXDn端子が使用可能になります。

注.　送受信同時動作の場合は、SCR.TE、RE ビットの “0” 設定、“1” 設定は、同時に行ってください。
注1.　SCI1、SCI5、SCI6のみ

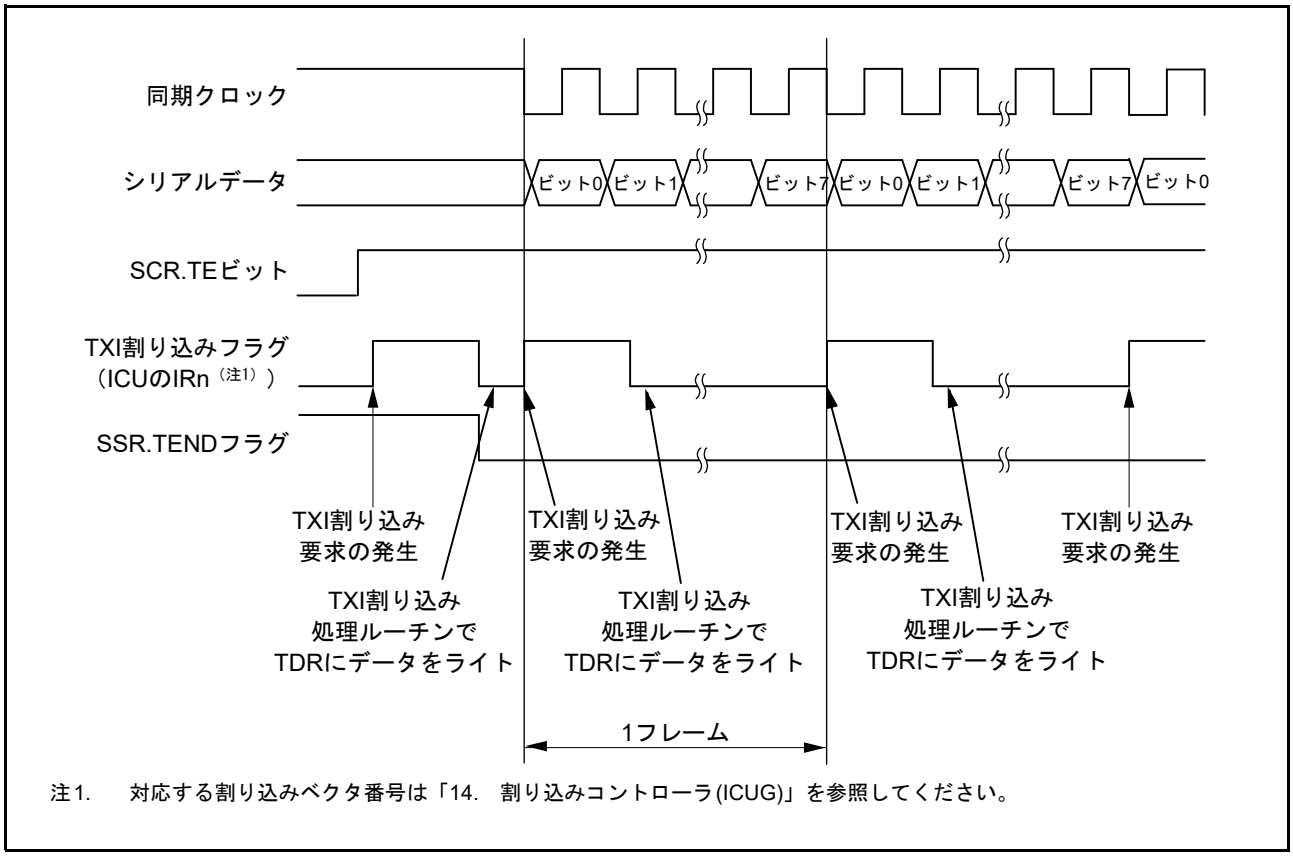
図 32.28　SCI の初期化フローチャートの例 (クロック同期式モード)

32.5.4　シリアルデータの送信 (クロック同期式モード)

図 32.29、図 32.30、図 32.31 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

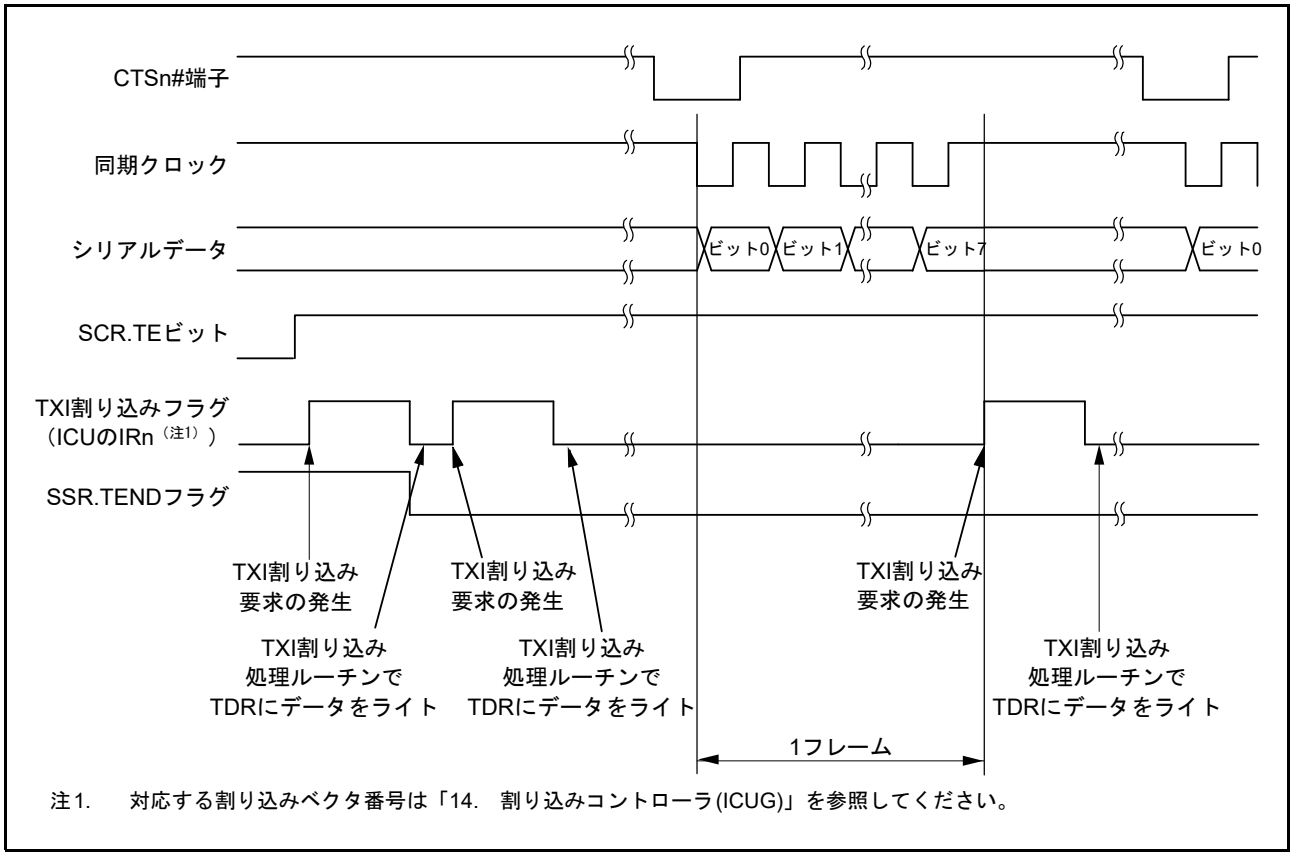
1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが “1”（CTS 機能許可）のとき、CTS 信号入力が Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが “1” であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 32.32 にシリアル送信のフローチャートの例を示します。
受信エラーフラグ (SSR.ORER, FER, PER) が “1” になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを “0” にしてください。また、受信エラーフラグは SCR.RE ビットを “0” にしただけではクリアされませんので注意してください。



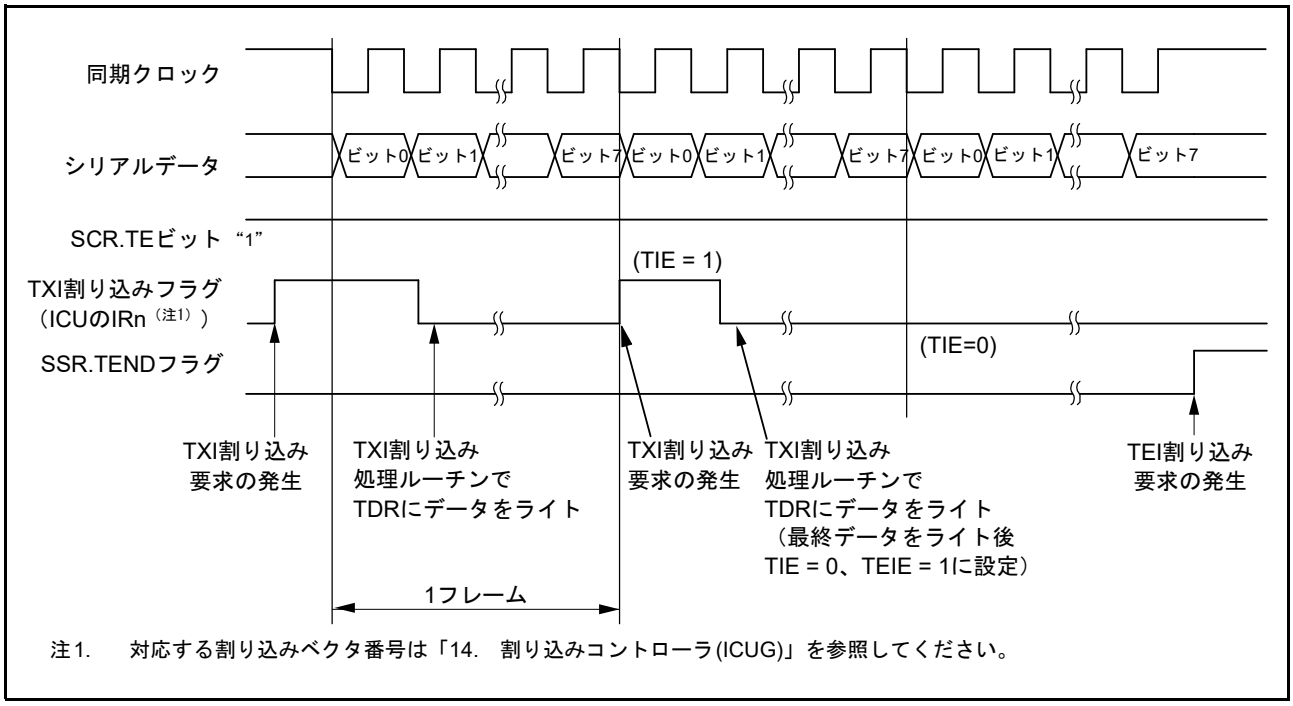
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.29　クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)



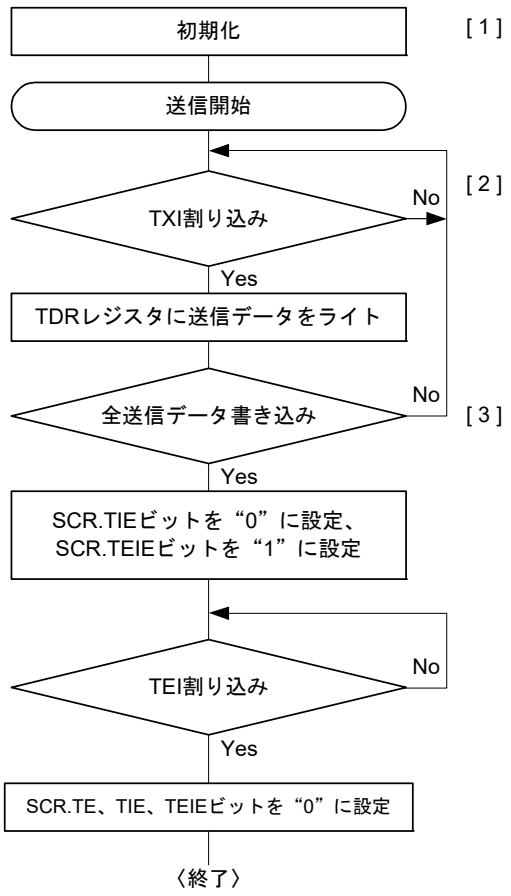
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.30　クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.31　クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)



[1] SCIの初期化：
データ送信に設定します。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み(TXI)要求が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回ライトします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、送信データエンプティ割り込み(TXI)要求によりTDRレジスタにデータをライトしてください。TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

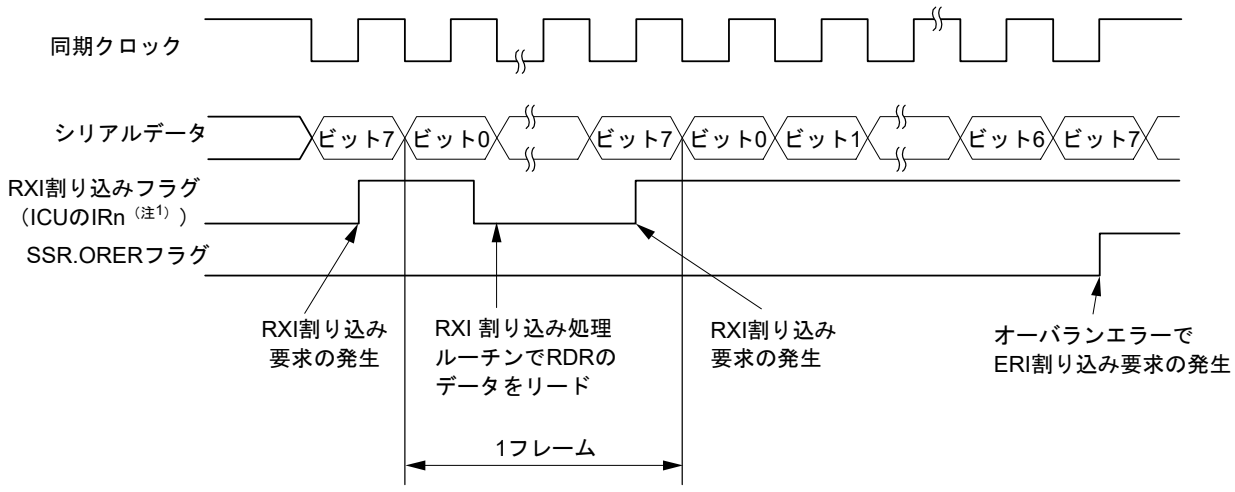
注. 外部クロック（SCR.CKE[1:0]ビット = 10b、11b）のときは、最終ビットのSCK端子立ち上がりでSSR.TENDフラグが“1”になります。このとき、SCR.TEビットを直ぐ“0”にすると受信デバイス側の受信データのホールド時間が不足する場合があります。

図 32.32　クロック同期式モードのシリアル送信のフローチャート例

32.5.5　シリアルデータの受信 (クロック同期式モード)

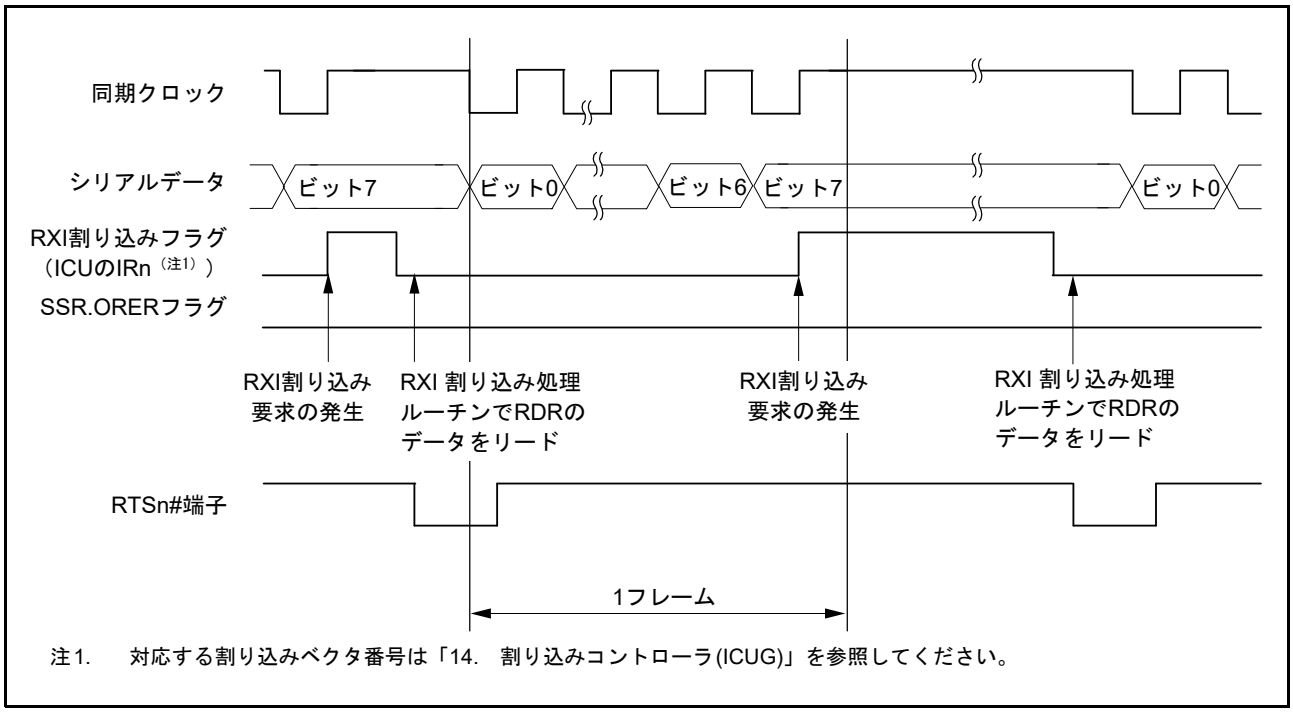
図 32.33、図 32.34 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTSn# 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが “1” であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時）。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.33　クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

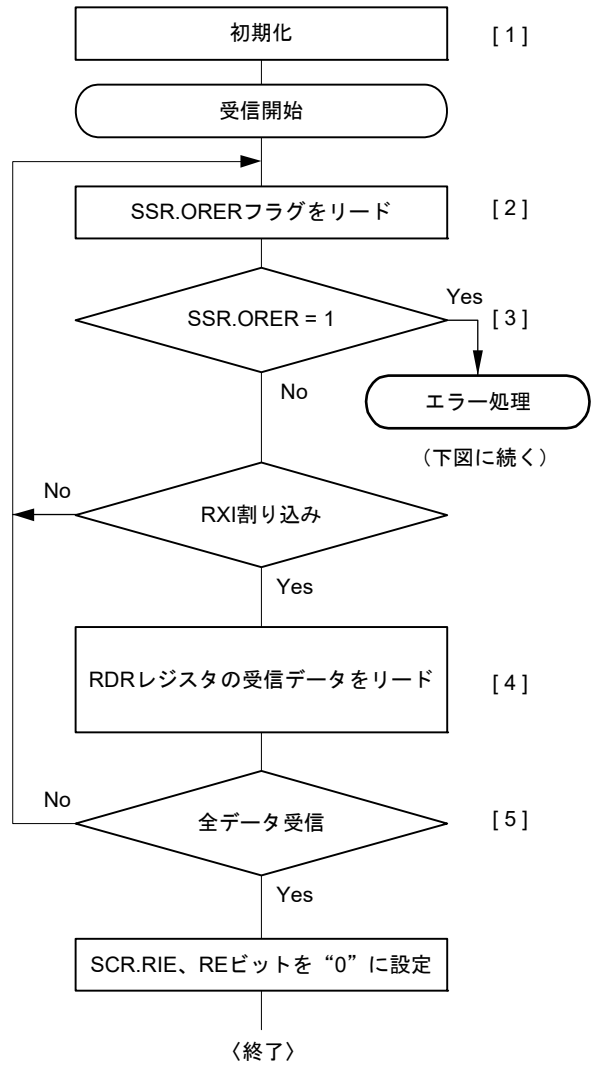


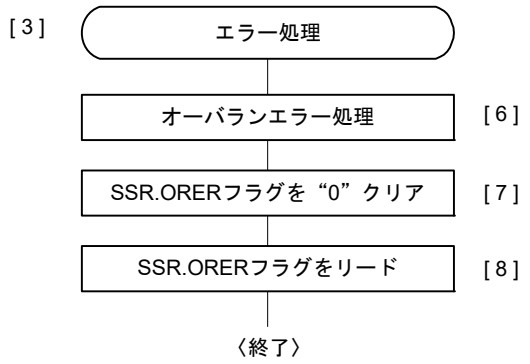
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.34　クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを “0” にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 32.35 にシリアル受信のフローチャートの例を示します。





[1] SCIの初期化：
RXDn端子として使用するポートを入力に設定してください。

[2][3]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは、受信を再開できません。

[4] 受信データフル割り込み(RXI)要求でRDRレジスタの受信データを1回リードしてください。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB(ビット7)を受信する前に、RDRレジスタのリードを終了しておいてください。受信データフル割り込み(RXI)要求でDMACまたはDTCを起動し、RDRの値をリードすることも可能です。

[6] オーバランエラー処理：
RDRレジスタをリードします。[7]と合わせて行うことで、次のフレームを正常受信可能となります。

[7] エラーフラグのクリア：
エラーフラグを“0”にします。

[8] エラーフラグのクリア確認：
エラーフラグが“0”になったことを確認してください。

図 32.35　クロック同期式モードのシリアル受信のフローチャート例

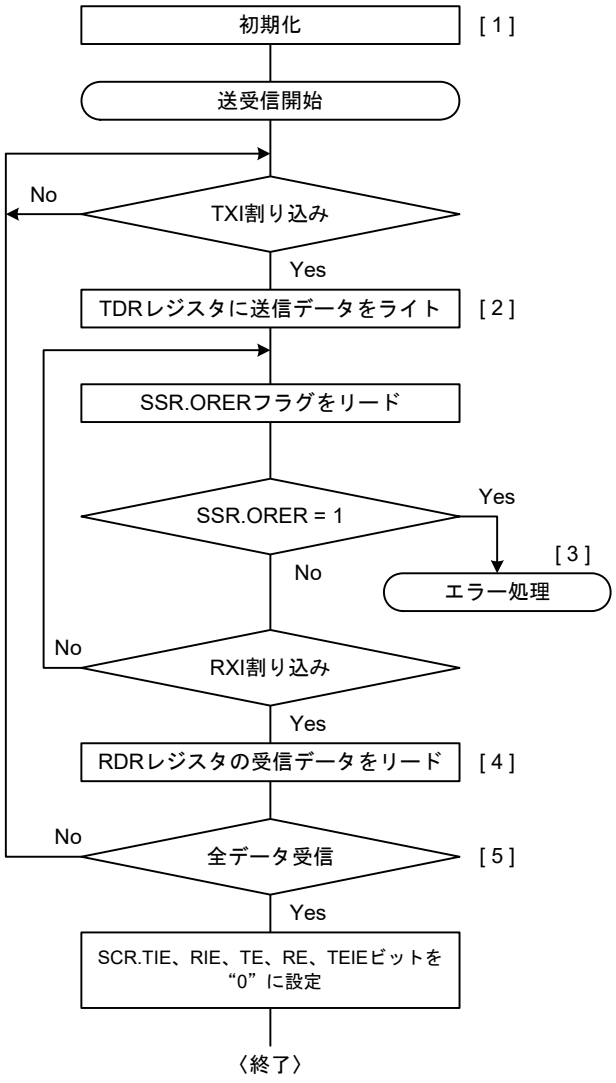
32.5.6　シリアルデータの送受信同時動作 (クロック同期式モード)

図 32.36 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが “1” になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に “1” にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを “0” にしてから、エラーフラグ (SSR.ORER, FER, PER) が “0” であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に “1” にしてください。



[1]　SCI初期化：
TXDn端子は送信データ出力端子に、RXDn端子は受信データ入力端子にして送受信同時動作可能状態になります。

[2]　送信データのライト：
TXI割り込みでTDRレジスタに送信データを1回ライトします。

[3]　受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは受信を再開できません。

[4]　受信データのリード：
RXI割り込みでRDRレジスタの受信データを1回リードします。

[5]　シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB (ビット7) を受信する前にRXI割り込みでRDRレジスタのリードを終了しておいてください。また、現在のフレームのMSB (ビット7) を送信する前にTXI割り込みでTDRレジスタにデータをライトしてください。
送信データエンプティ割り込み(TXI)要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることや、受信データフル割り込み(RXI)要求でDMACまたはDTCを起動し、RDRレジスタの値をリードすることも可能です。

注.　送信、または受信動作から同時送受信に切り替えるときは、
SCR.TIE、RIE、TE、RE、TEIEビットを “0” にしてから、
SCR.TIE、RIE、TE、REビットを同時に “1” にしてください。

図 32.36　クロック同期式モードのシリアル送受信同時動作のフローチャート例

32.6　スマートカードインタフェースモードの動作

SCI の拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

32.6.1　接続例

図 32.37 にスマートカード (IC カード) との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

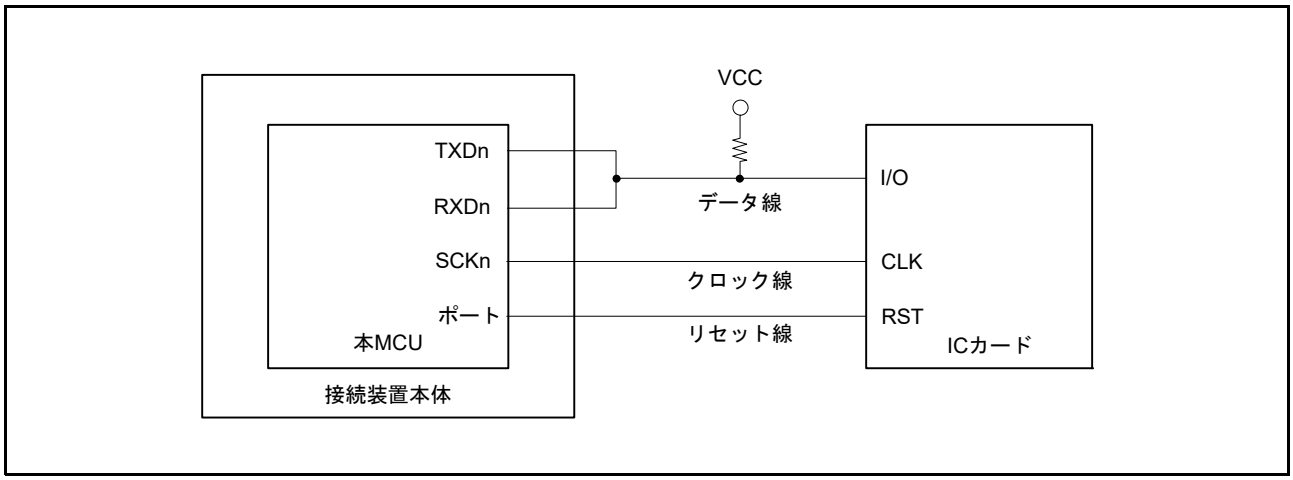


図 32.37　スマートカード (IC カード) との接続例

32.6.2　データフォーマット (ブロック転送モード時を除く)

図 32.38 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

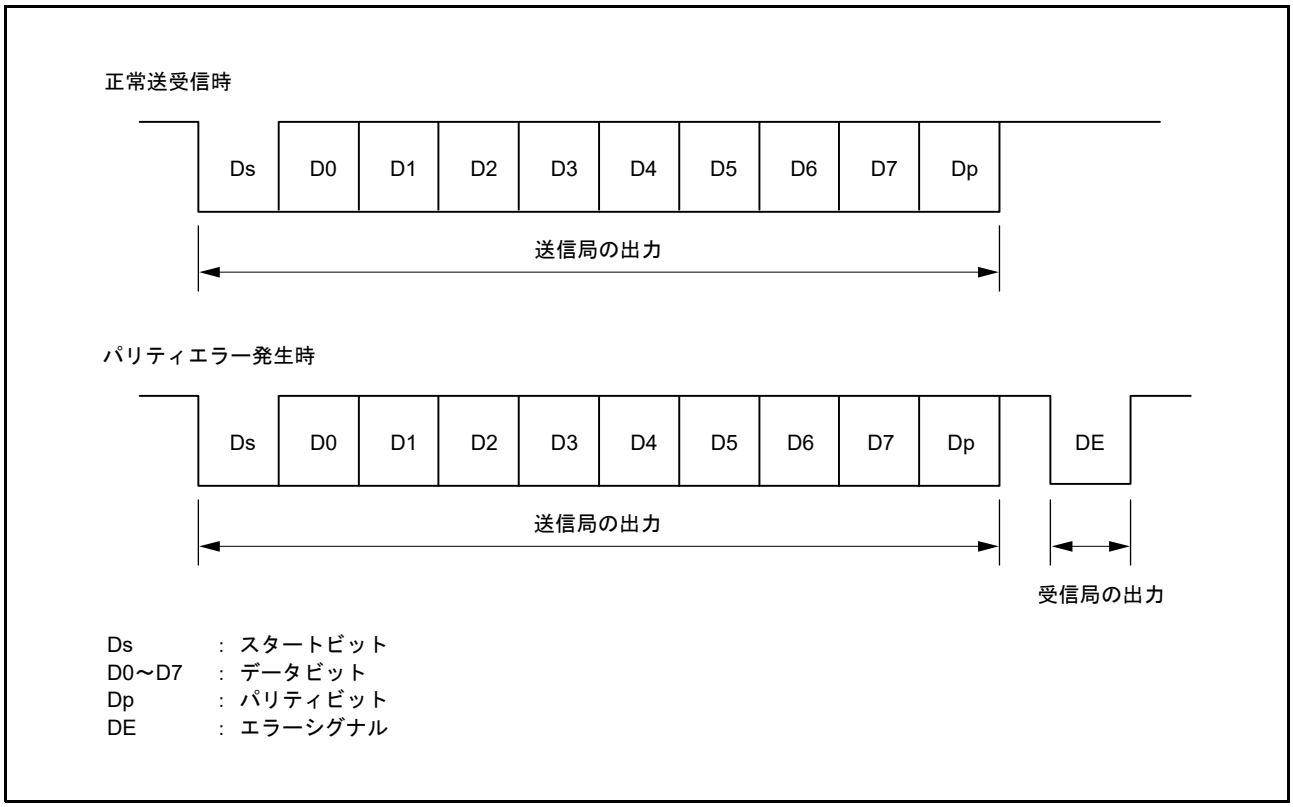


図 32.38　スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 32.39 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 32.39 の開始キャラクタでは、データは “3Bh” となります。

ダイレクトコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに “0” にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには “0” を設定してください。

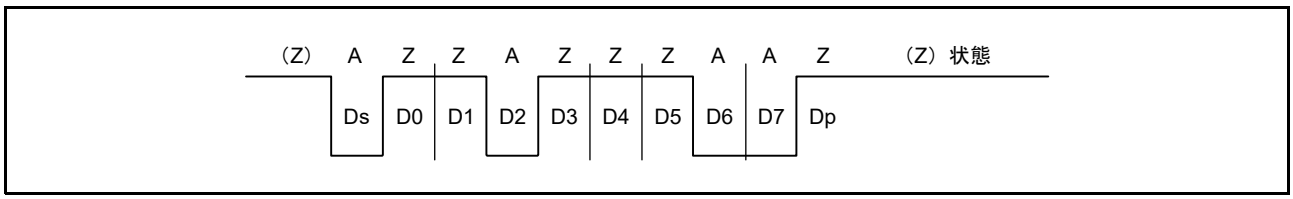


図 32.39　ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 32.40 の開始キャラクタでは、データは “3Fh” となります。

インバースコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに “1” にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7 ～ D0 のみ反転させます。このため、送受信とも SMR.PM ビットに “1” を設定してパリティビットを反転させてください。

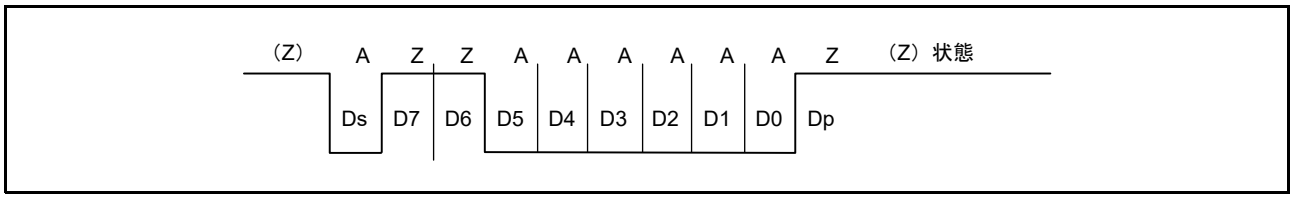


図 32.40　インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

32.6.3　ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため “0” となります。

32.6.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして同期化します。**図 32.41** に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ (\%)$$

M:　受信マージン(%)
N:　クロックに対するビットレートの比(N = 32, 64, 372, 256)
D:　クロックデューティ (D = 0～1.0)
L:　フレーム長(L = 10)
F:　クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

M = {0.5 – 1/(2 × 372)} × 100 (%) = 49.866 (%)

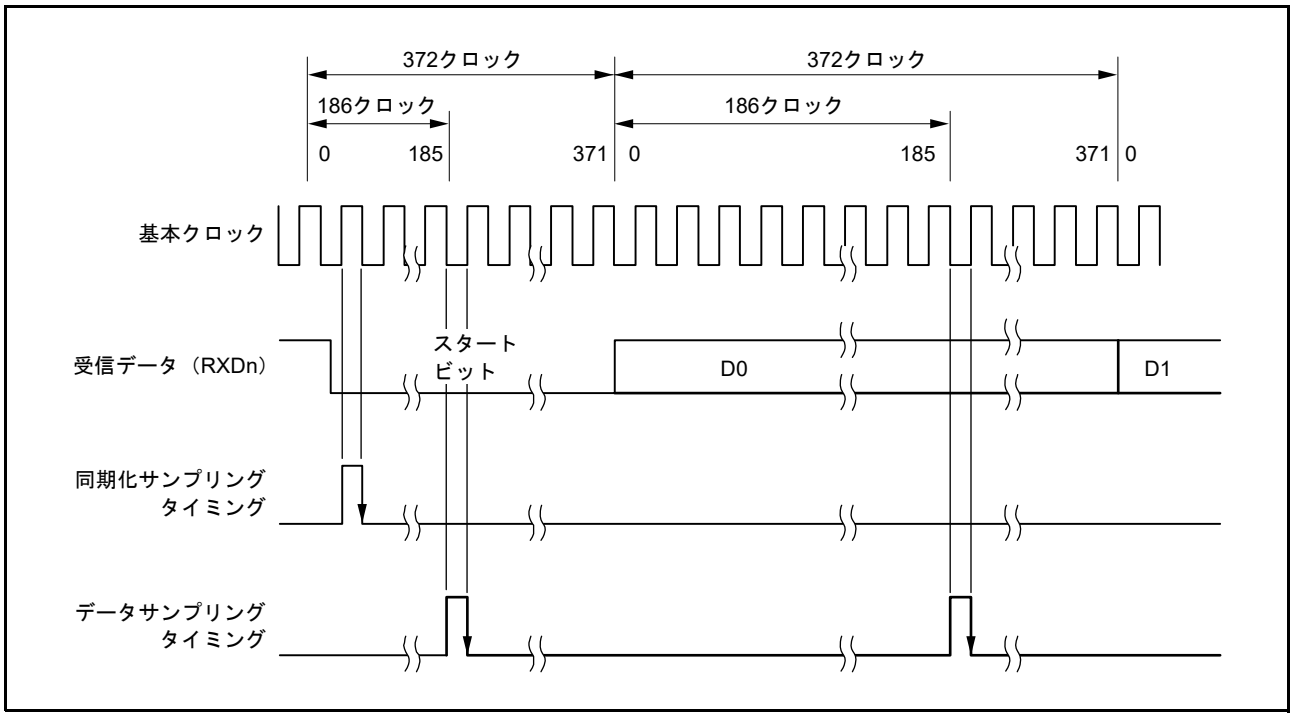


図 32.41　スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

32.6.5　SCI の初期化 (スマートカードインタフェースモード)

図 32.42 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを “00b” にする必要はありません。なお、RE ビットを “0” にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 32.42 の [1] と [3] を実施し、[11] で TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 32.42 の [1] と [3] を実施し、[11] で TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

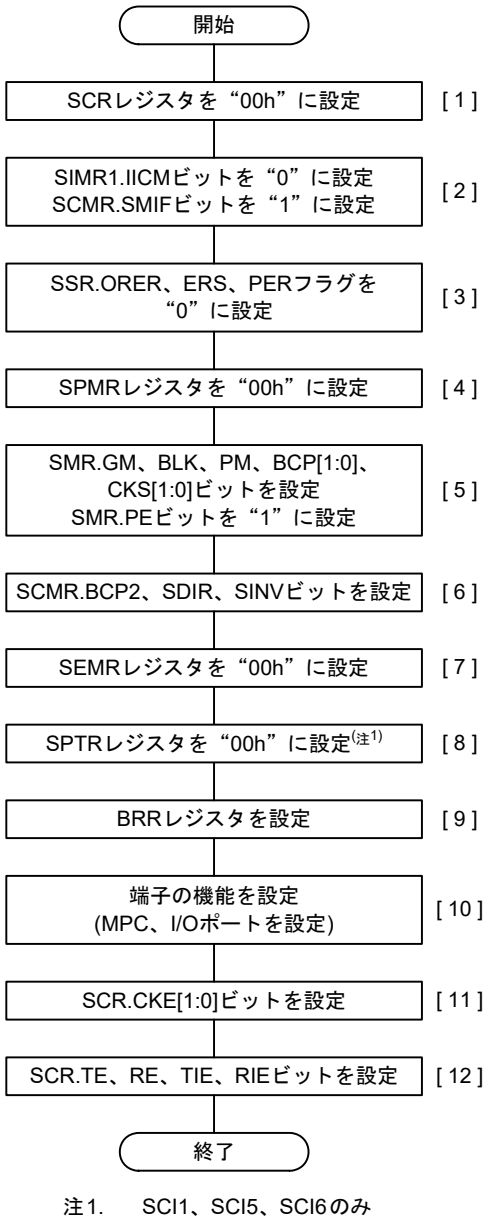


図 32.42　SCI の初期化フローチャートの例 (スマートカードインタフェースモード)

図 32.43 は、リセット解除後に図 32.42 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが “0” であるため端子はハイインピーダンスです。CKE[0] ビットを “1” にすると SCK 端子からクロックが出力されます。TE ビットを “1” にした後送信データを書くと、データ送信が開始されます。TE ビットを “1” にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に “0” になっている場合でも、CKE[0] ビットが “1” (クロック出力) であれば、クロックを出力し続けます。

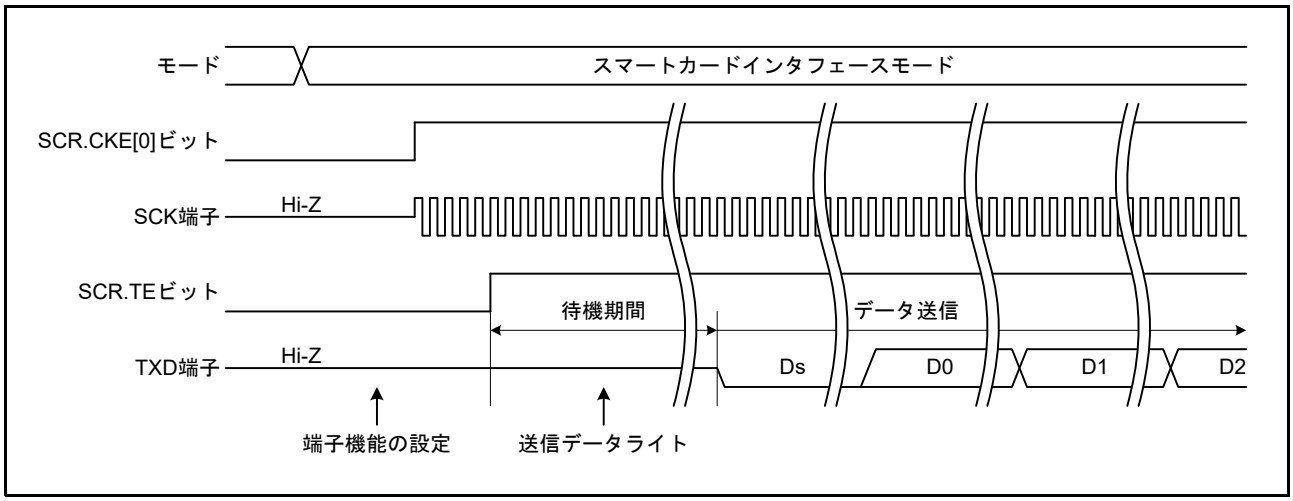


図 32.43　スマートカードインタフェースモード時のデータ送信タイミング例

32.6.6　シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再送信動作を図 32.44 に示します。

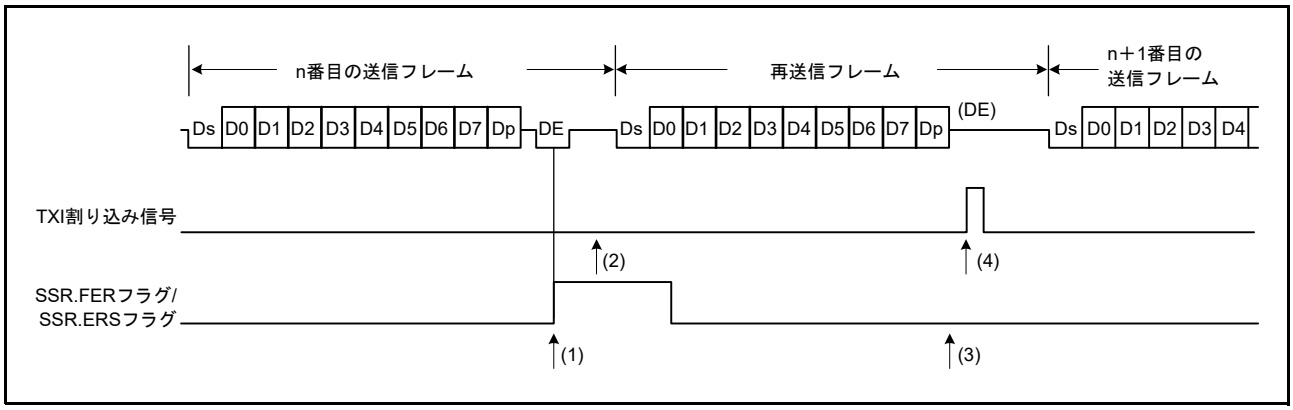


図 32.44　SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

(1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが “1” になります。このとき SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。

(2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。

(3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。

(4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが “1” であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 32.45 に示します。

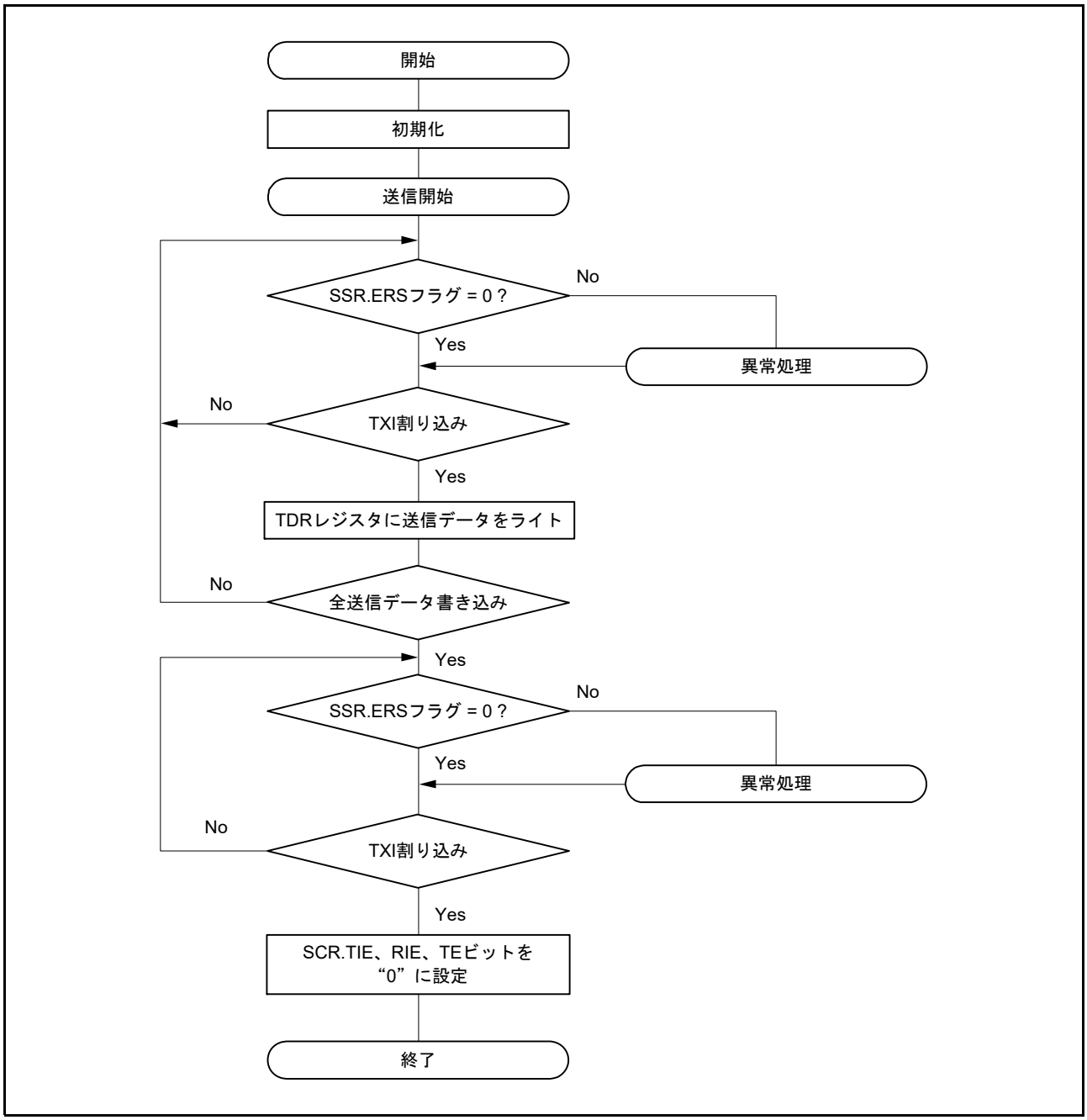


図 32.45　スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを “1” にしておくと、SSR.TEND フラグが “1” になったときに TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に “0” になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的

にはクリアされませんので、RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「18.　データトランスファコントローラ (DTCb)」、「17.　DMA コントローラ (DMACAa)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 32.46 に TEND フラグ発生タイミングを示します。

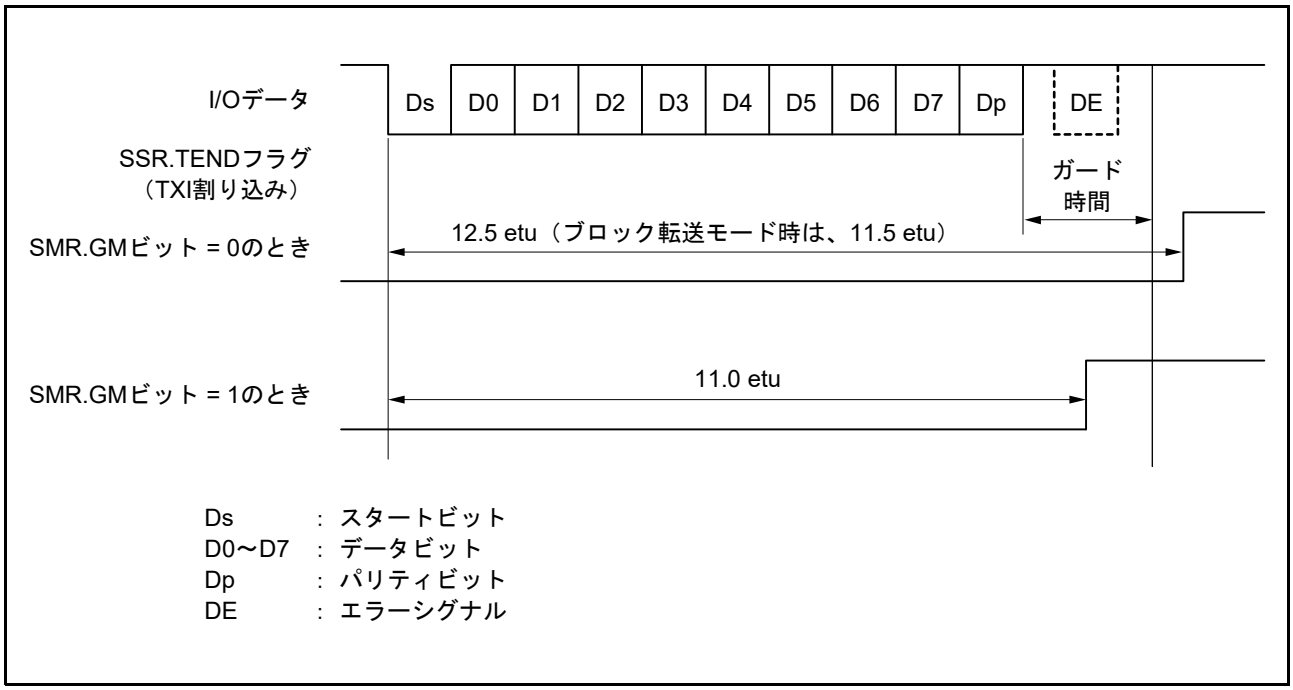


図 32.46　送信時の SSR.TEND フラグの発生タイミング

32.6.7　シリアルの受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 32.47 に示します。

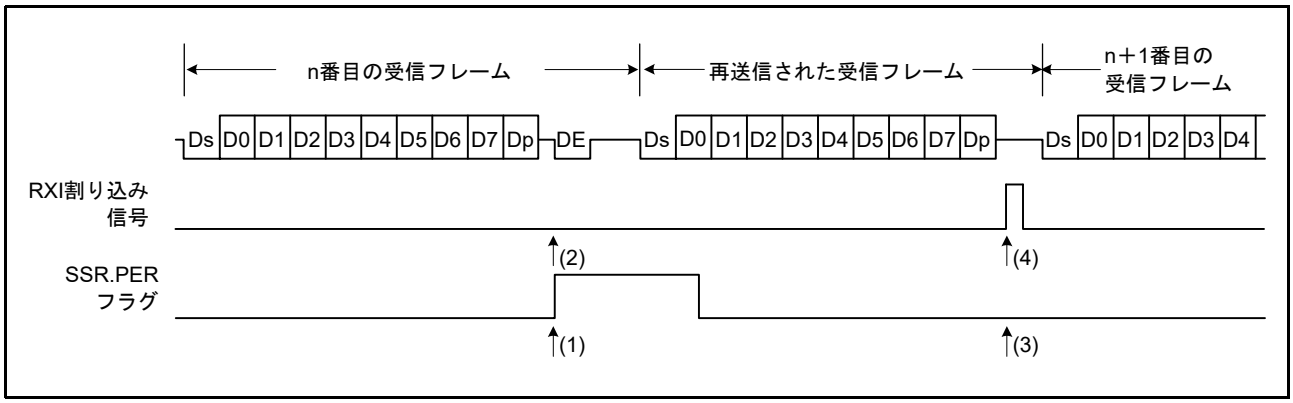


図 32.47　SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

(1) 受信データにパリティエラーを検出すると SSR.PER フラグが “1” になります。このとき、SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
(2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
(3) パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
(4) 正常に受信を完了したと判断して、RIE ビットが “1” であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 32.48 に示します。

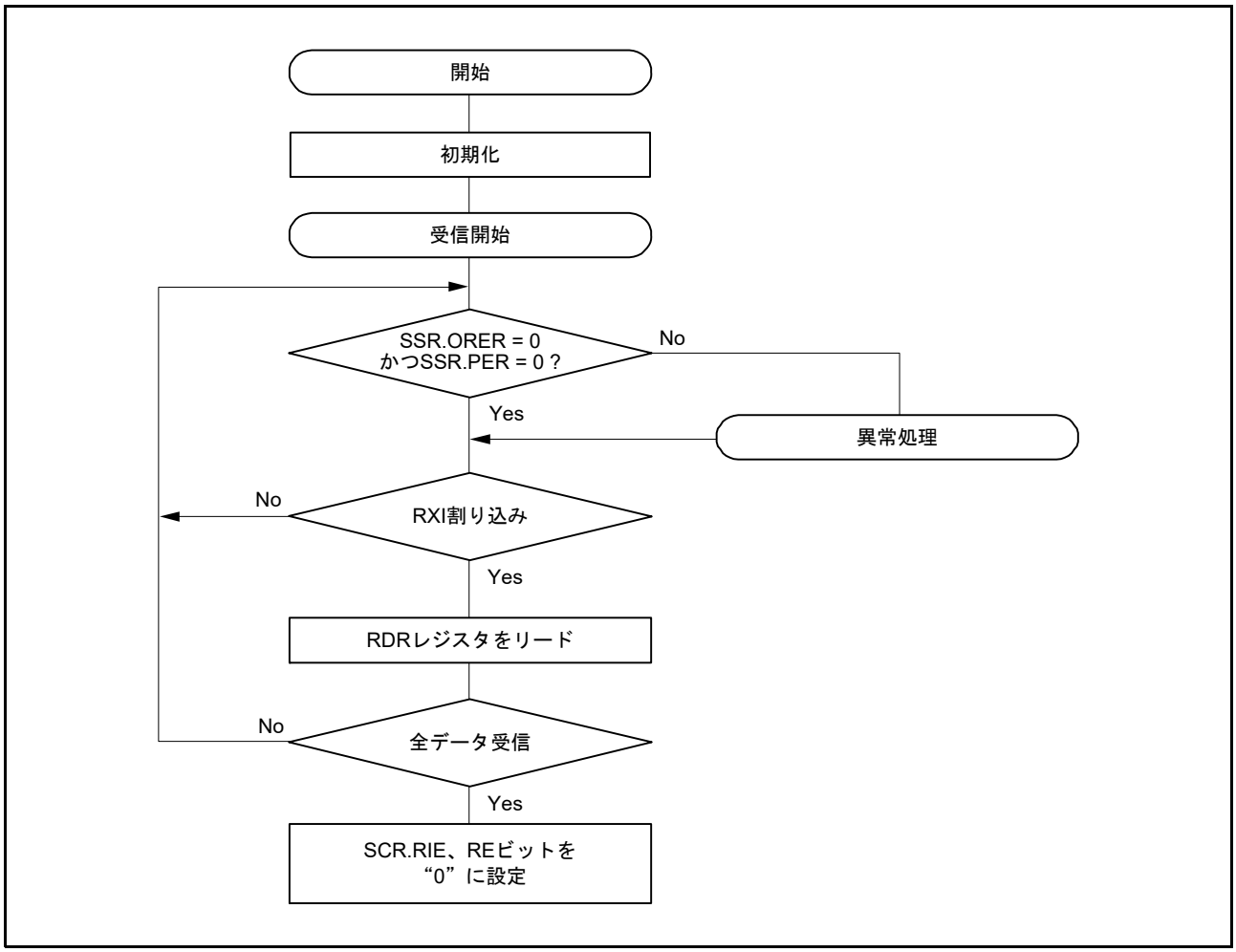


図 32.48　スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを “1” にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが “1” になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが “1” になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注 .　ブロック転送モードの場合は、「32.3　調歩同期式モードの動作」を参照してください。

32.6.8　クロック出力制御

SMR.GM ビットが “1” であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを “01b” (クロック出力) にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数 (ビットレート) の設定については、「32.2.11　ビットレートレジスタ (BRR)」を参照してください。CKE[1:0] ビットを “00b” (Low 出力固定) や “10b” (High 出力固定) にすると、SCK 端子から Low や High を出力できます。

図 32.49 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが ”0” (非 GSM モード) の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

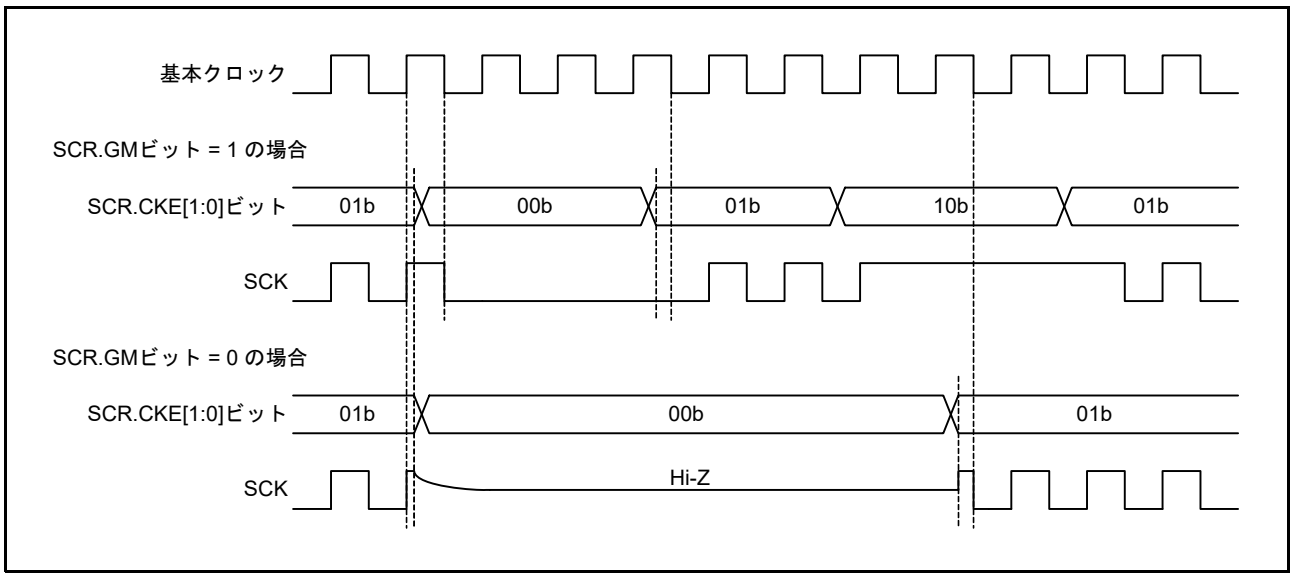


図 32.49　クロック出力制御

32.7　簡易 I2C モードの動作

簡易 I2C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 32.50 に I2C バスフォーマットを、図 32.51 に I2C バスタイミングを示します。

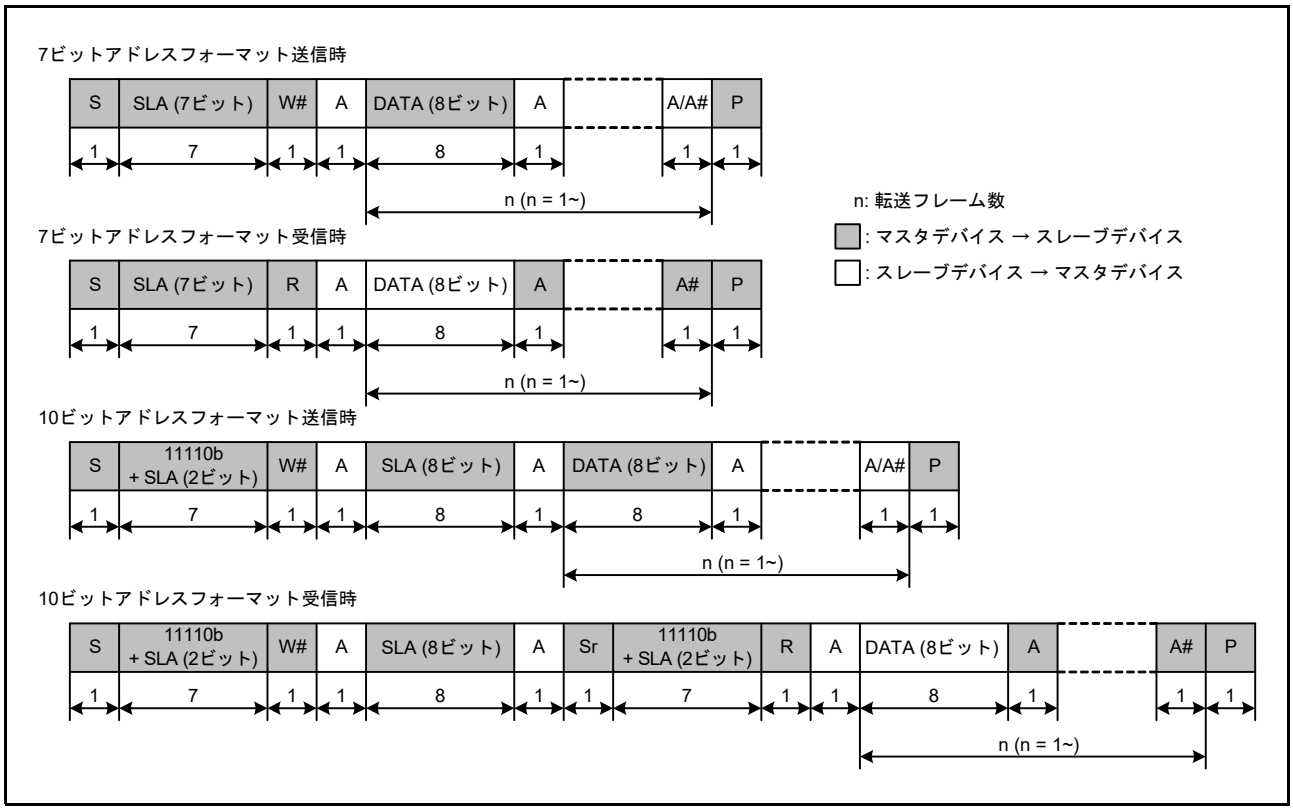


図 32.50　I2C バスフォーマット

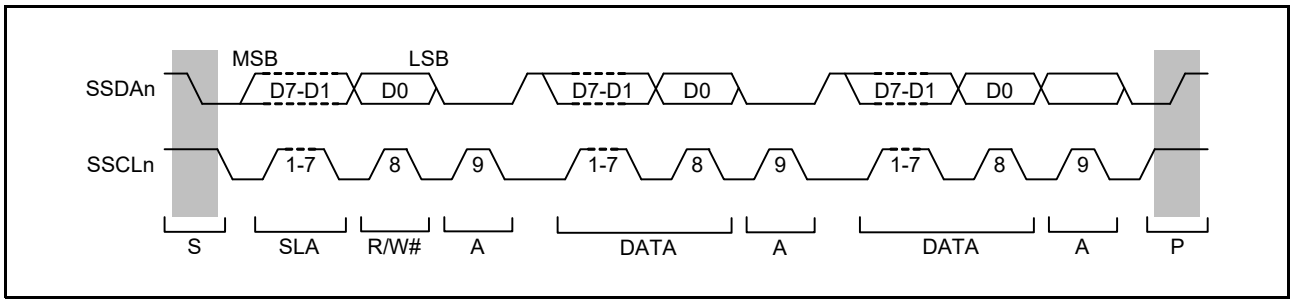


図 32.51　I2C バスタイミング (SLA = 7 ビットの場合)

S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインがHighからLowに変化します。

SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A/A#: アクノリッジを示します(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。

Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。

DATA: 送受信データを示します。

P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインがLowからHighに変化します。

32.7.1 開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに “1” を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ（High から Low に遷移）、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ（High から Low に遷移）、SIMR3.IICSTAREQ ビットは “0” にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに “1” を書き込むことにより、再開始条件生成を行います。再開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放（Low から High に遷移）
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開始条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ（High から Low に遷移）
- BRR レジスタで設定したビットレートの半分の時間、再開始条件のホールド時間を確保
- SSCLn ラインを立ち下げ（High から Low に遷移）、SIMR3.IICRSTAREQ ビットは “0” にし、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに “1” を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ（High から Low に遷移）、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放（Low から High に遷移）
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放（Low から High に遷移）、SIMR3.IICSTPREQ ビットは “0” にし、停止条件生成割り込み要求を出力

図 32.52 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

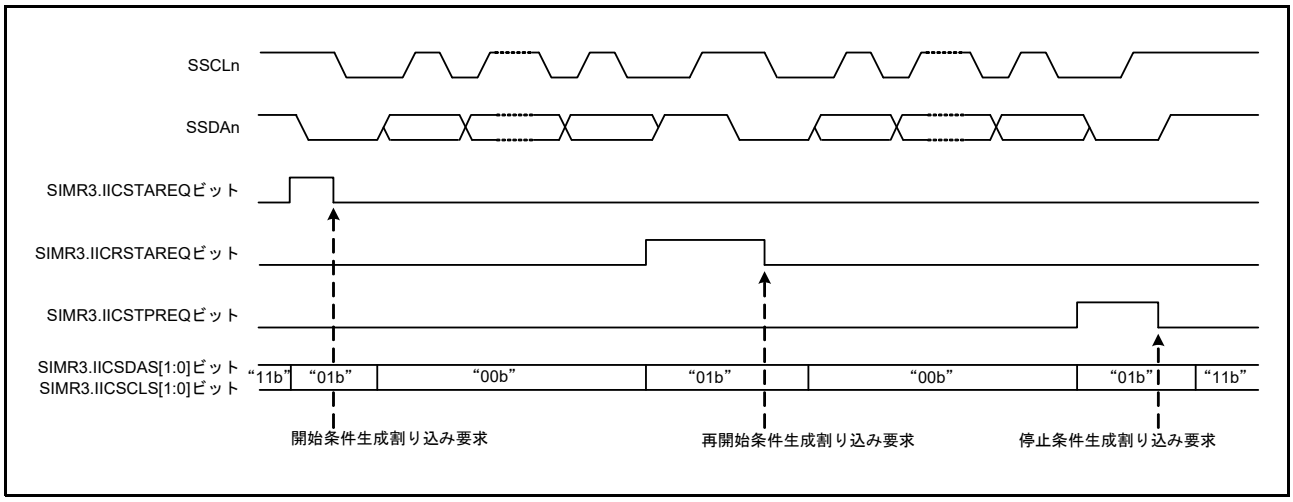


図 32.52　開始条件、再開始条件、停止条件生成の動作タイミング

32.7.2　クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに “1” を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが “1” の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2 ～ 3 サイクル）、内部処理遅延（PCLK で 1 ～ 2 サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが “1” の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが “0” の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開始条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 32.53 にクロック同期化の動作例を示します。

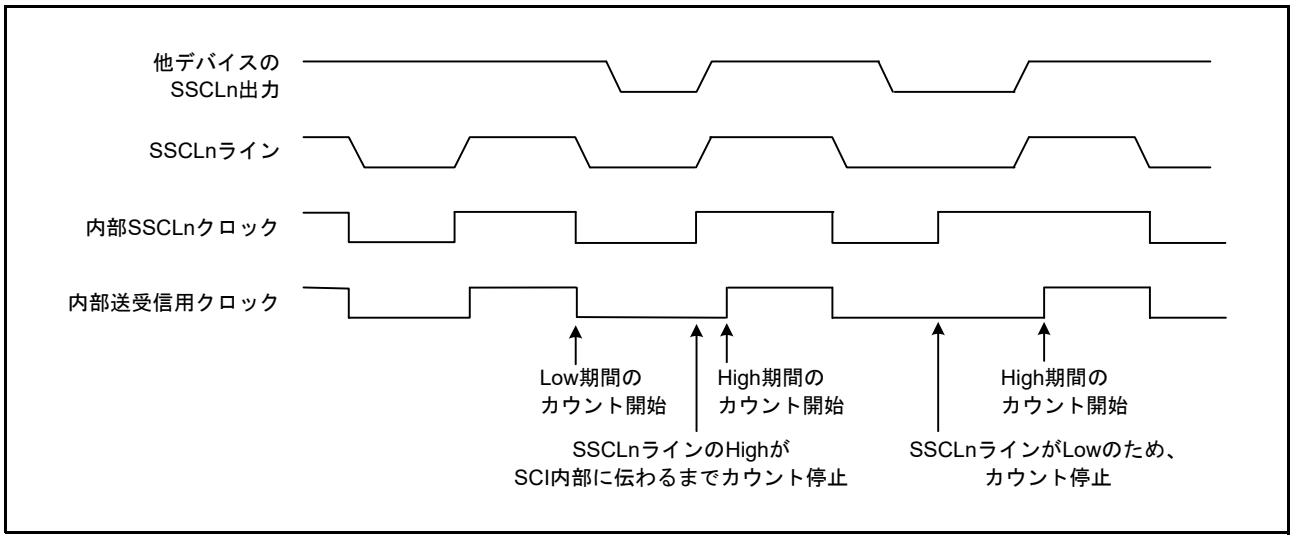


図 32.53　クロック同期化の動作例

32.7.3　SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ボーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I^2C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 32.54 に SSDA 出力遅延のタイミングを示します。

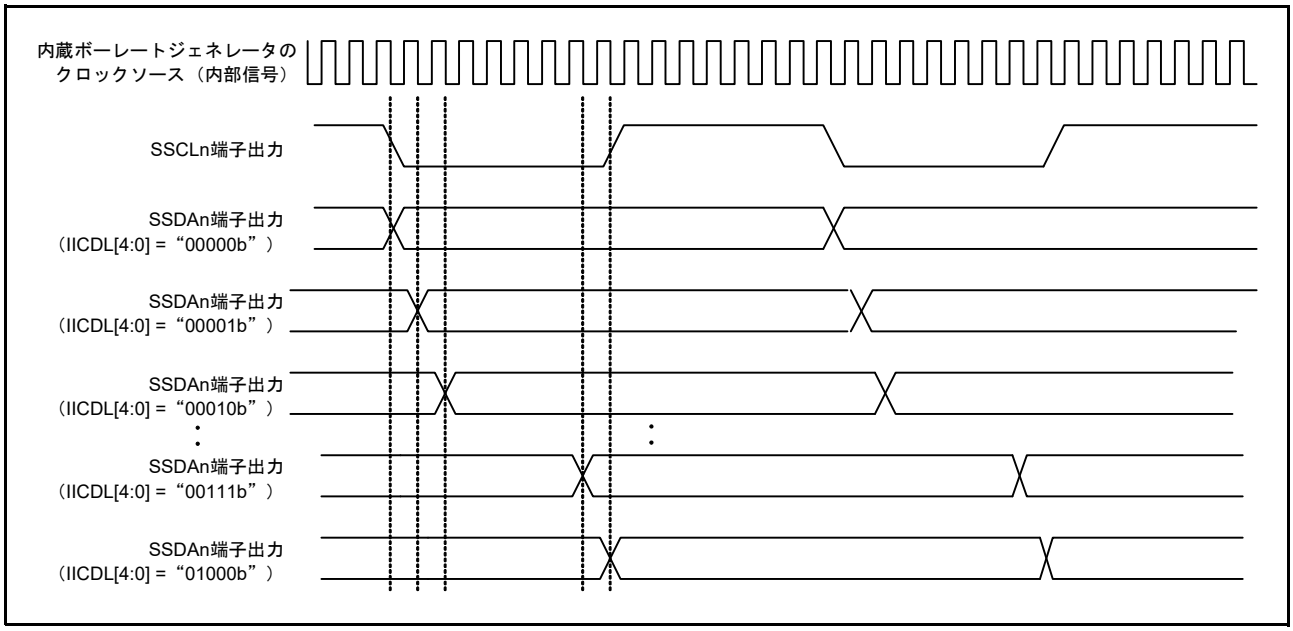
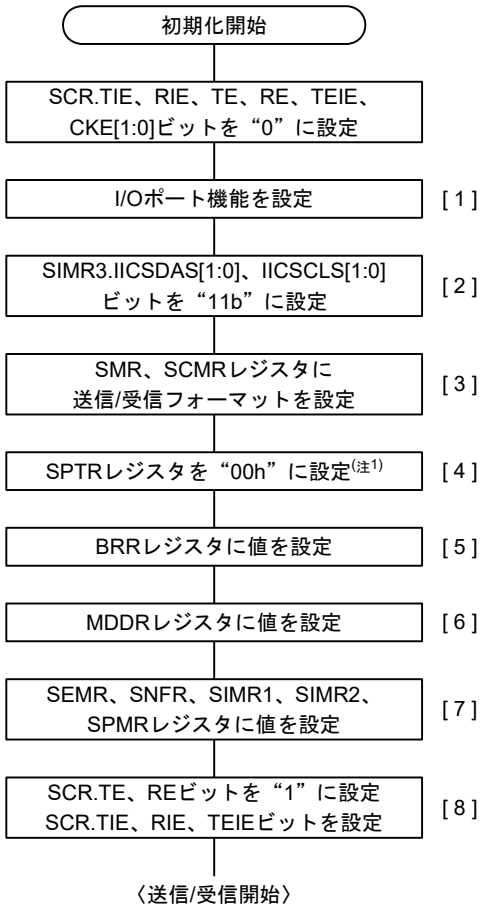


図 32.54　SSDA 出力遅延のタイミング

32.7.4　SCI の初期化 (簡易 I2C モード)

データの送受信前に、SCR レジスタに初期値 “00h” を書き込み、図 32.55 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR レジスタを初期値にしてから変更してください。また、簡易 I2C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。



[1] SSCLn端子、SSDAn端子機能が有効 (Nチャネルオープンドレイン出力) かつハイインピーダンスになるようにI/Oポート機能を設定します。

[2] SSCLn端子、SSDAn端子の出力値を設定します。

[3] SMR、SCMRレジスタに送信/受信フォーマットを設定します。
SMRレジスタはCKS[1:0]ビットを設定し、それ以外のビットを“0”にします。
SCMRレジスタはSDIRビットを“1”、SINVビットを“0”、SMIFビットを“0”にします。

[4] SPTRレジスタを“00b”にします(注1)。

[5] BRRレジスタにビットレートに対応する値をライトします。

[6] MDDRレジスタにビットレート誤差補正値をライトします。
ただし、SEMR.BRMEビットを“0”にする場合には設定の必要はありません。

[7] SEMR、SNFR、SIMR1、SIMR2、SPMRレジスタに値を設定します。
SEMRレジスタは、NFENビット、BRMEビットを設定します。
SNFRレジスタは、NFCS[2:0]ビットを設定します。
SIMR1レジスタは、IICMビットを“1”にし、IICDL[4:0]ビットを設定します。
SIMR2レジスタは、IICACKT、IICCSCビットを“1”にし、IICINTMビットを設定します。
SPMRレジスタは、全ビット“0”にします。

[8] SCR.TE、REビットを“1”にします。また、このとき SCR.TIE、RIE、TEIEビットも設定してください。
(送信動作かつSIMR2.IICINTM = “1”のときはRIEビットを“0”にします。)
TE、RE両ビットを“1”にすることによりSSCLn、SSDAn端子が使用可能になります。

注.　SCR.TE、RE ビットの “0” 設定、 “1” 設定は、同時に行ってください。
注1.　SCI1、SCI5、SCI6のみ

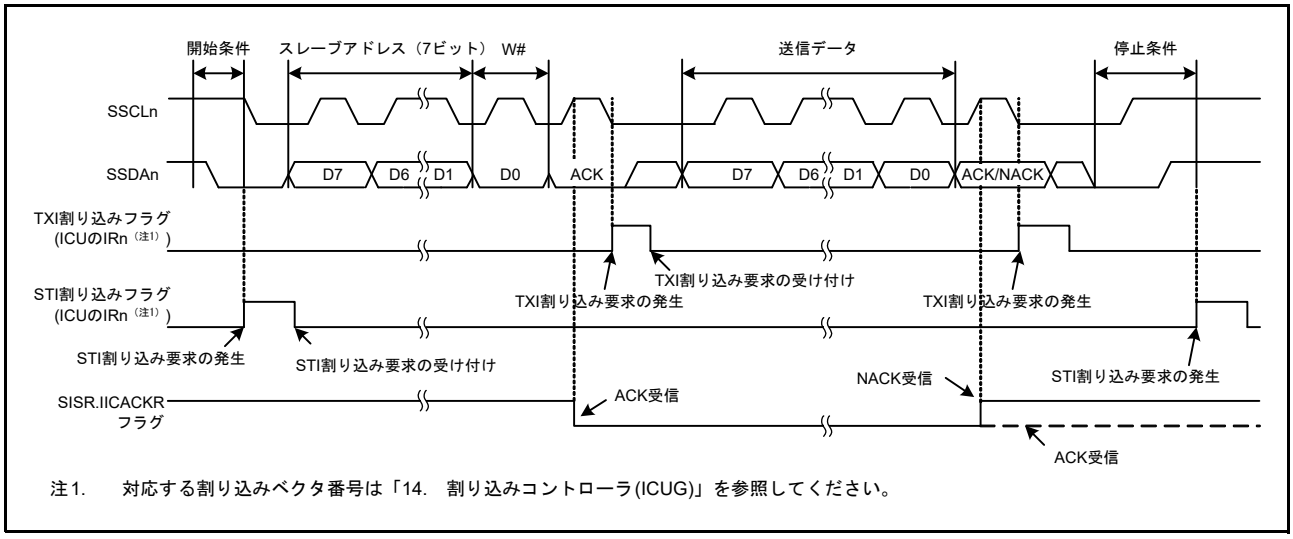
図 32.55　SCI の初期化フローチャート例 (簡易 I2C モード)

32.7.5　マスタ送信動作 (簡易 I2C モード)

図 32.56、図 32.57 に簡易 I2C モードのマスタ送信の動作例を、図 32.58 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 32.39 を参照してください。

10 ビットスレーブアドレス時は、図 32.58 の [3] ～ [4] の手順を 2 回繰り返します。

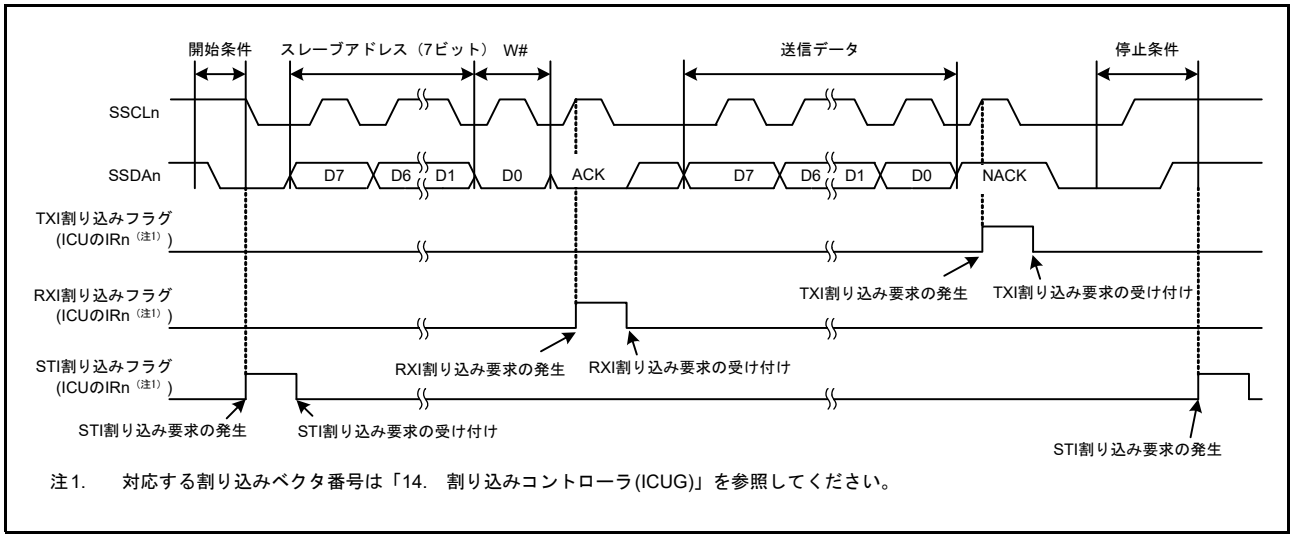
簡易 I2C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

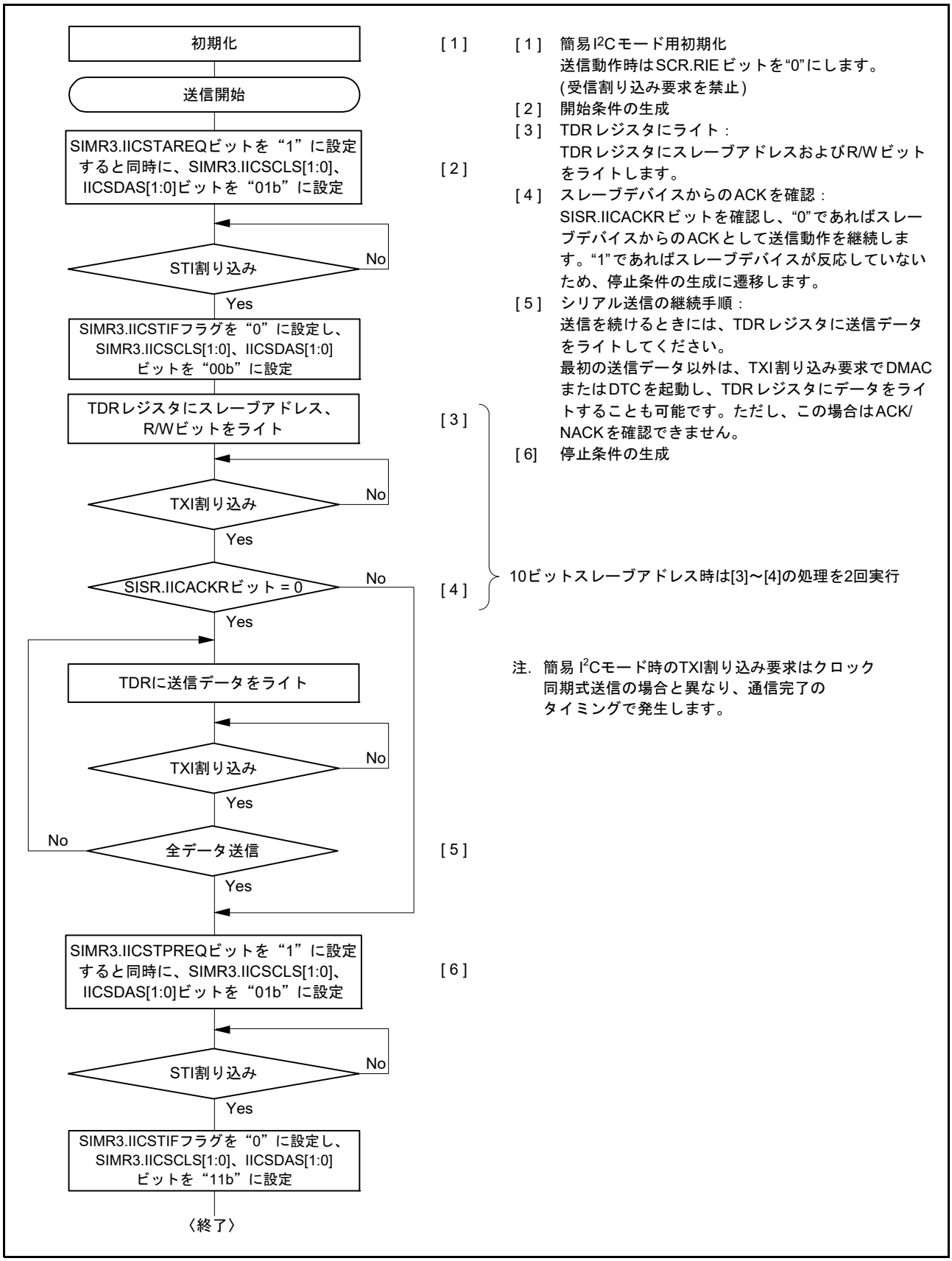
図 32.56　簡易 I2C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを “0”（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.57　簡易 I2C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)



[1] 簡易I²Cモード用初期化
送信動作時はSCR.RIEビットを“0”にします。
(受信割り込み要求を禁止)

[2] 開始条件の生成

[3] TDRレジスタにライト：
TDRレジスタにスレーブアドレスおよびR/Wビットをライトします。

[4] スレーブデバイスからのACKを確認：
SISR.IICACKRビットを確認し、“0”であればスレーブデバイスからのACKとして送信動作を継続します。“1”であればスレーブデバイスが反応していないため、停止条件の生成に遷移します。

[5] シリアル送信の継続手順：
送信を続けるときには、TDRレジスタに送信データをライトしてください。
最初の送信データ以外は、TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。ただし、この場合はACK/NACKを確認できません。

[6] 停止条件の生成

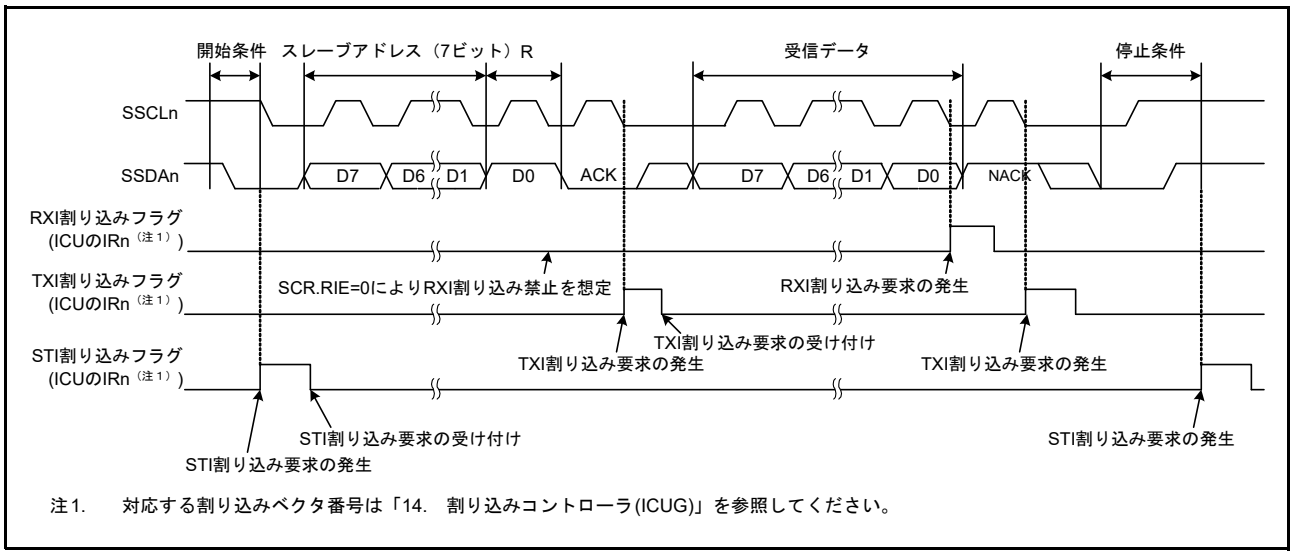
注. 簡易 I²Cモード時のTXI割り込み要求はクロック同期式送信の場合と異なり、通信完了のタイミングで発生します。

図 32.58　簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

32.7.6　マスタ受信動作 (簡易 I2C モード)

図 32.59 に簡易 I2C モードのマスタ受信の動作例を、図 32.60 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを “1”（受信割り込み、送信割り込みを使用）を想定しています。

簡易 I2C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.59　簡易 I2C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

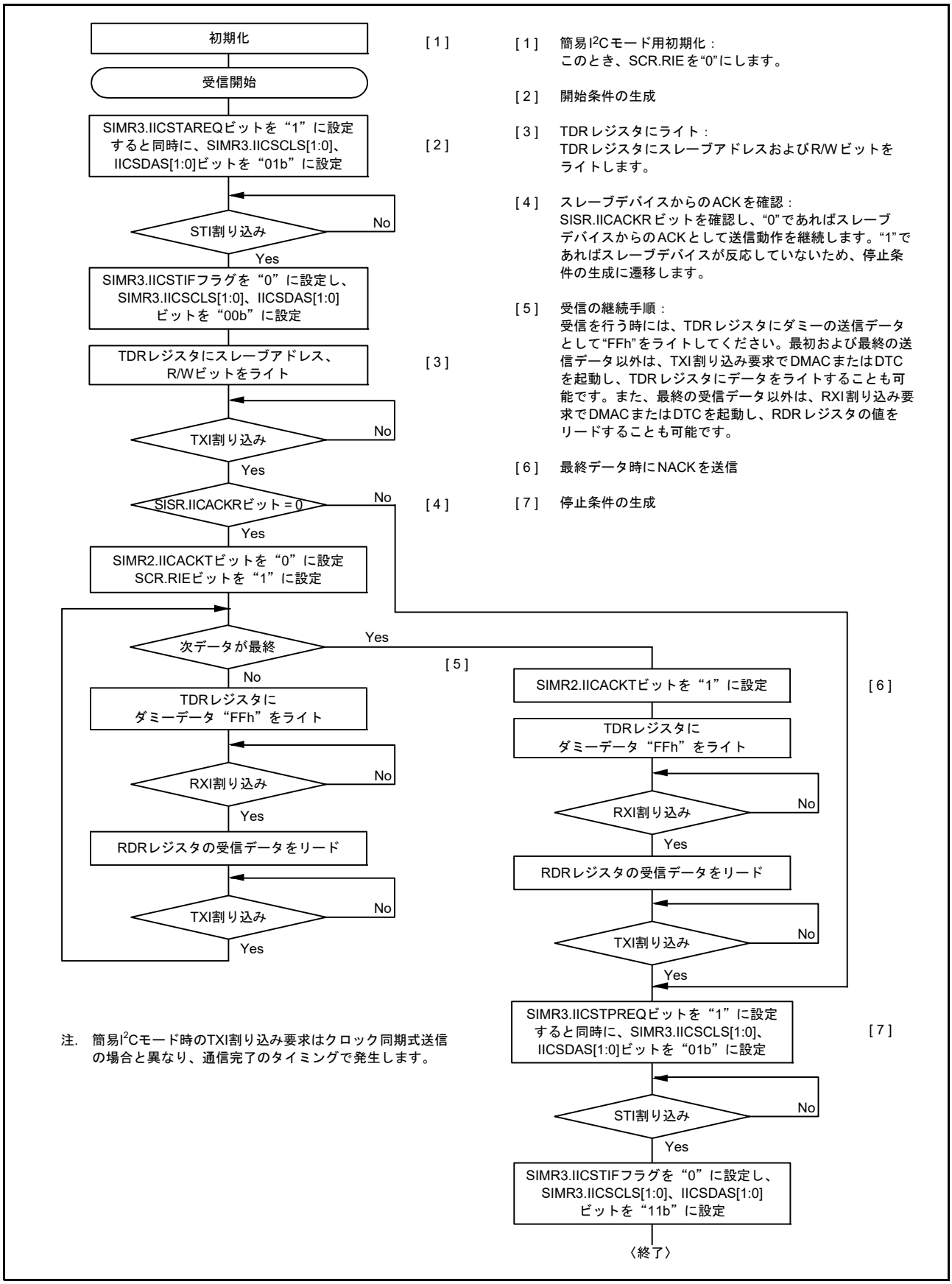


図 32.60　簡易 I2C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

32.7.7　バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

(1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
(2) SIMR3 レジスタを “F0h” にして、バスを解放する。
(3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
(4) SCR.TE ビットと RE ビットを同時に “1” にする。

32.8　簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定（SCMR.SMIF ビット = 0、SIMR1.IICM ビット = 0、SMR.CM ビット = 1）、かつ、SPMR.SSE ビットを “1” にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを “0” にします。

図 32.61 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを “1” にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

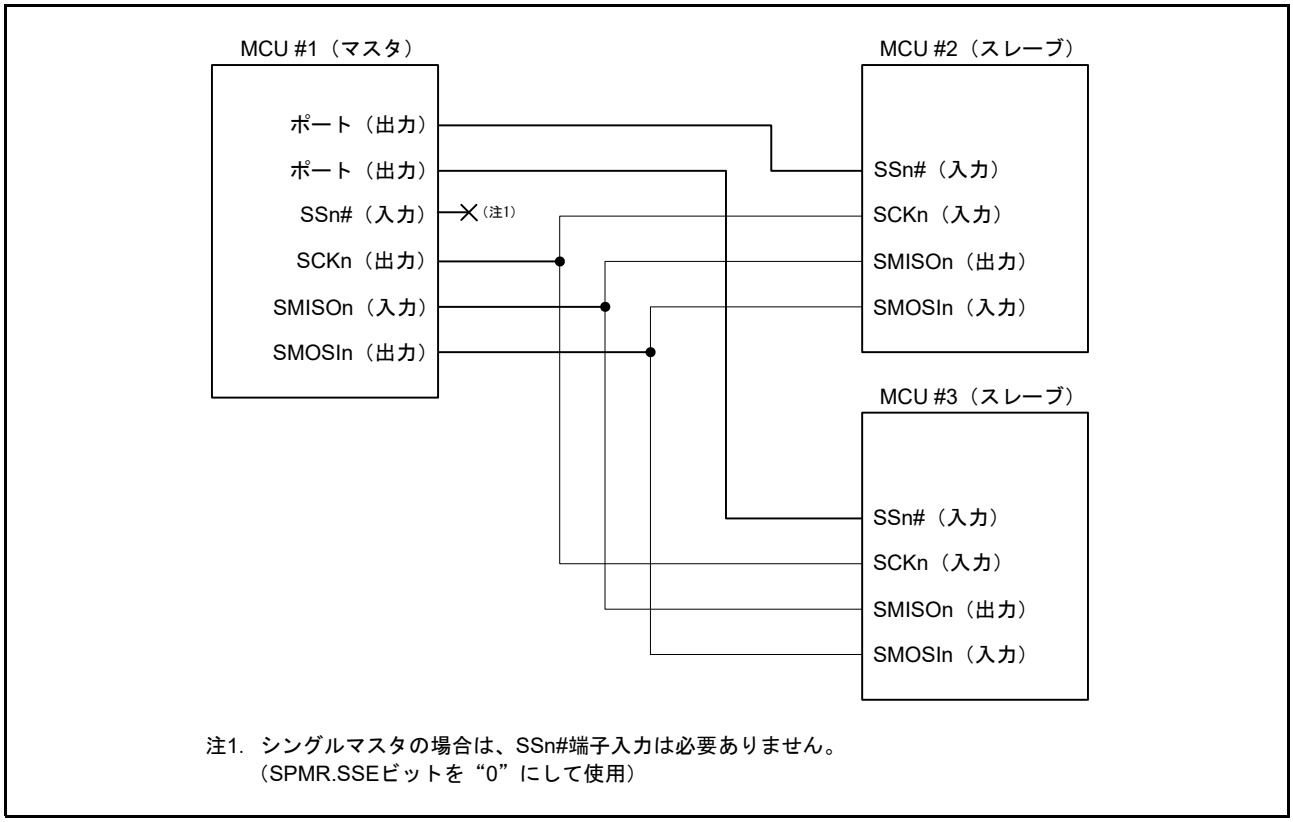


図 32.61　簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

32.8.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0）とスレーブモード（SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1）で各端子の入出力方向が変わります。

表 32.35 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表32.35　モードおよびSSn#端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn端子状態	SMISOn端子状態	SCKn端子状態
マスタモード(注1)	High (通信可能)	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力(無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力(無効)	ハイインピーダンス	クロック入力(無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1.　シングルマスタ時(SPMR.SSE ビット= 0)は、SSn#端子の入力レベルに関わらず通信可能(SSn#端子入力がHighのときと等価)となります。SSn#端子は未使用であり、別の用途として使用できます。
注2.　送信禁止時(SCR.TE ビット= 0)はハイインピーダンスです。
注3.　マルチマスタ(SPMR.SSE ビット= 1)かつ送受信禁止時(SCR.TE, RE ビット= 00b)はハイインピーダンスです。

32.8.2　マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時（SPMR.SSE ビット = 0）は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時（SPMR.SSE ビット = 1）、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時（SPMR.SSE ビット = 1）、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

32.8.3　スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

32.8.4　クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを 4 種類から選択可能です。クロックと送受信データの関係を図 32.62 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

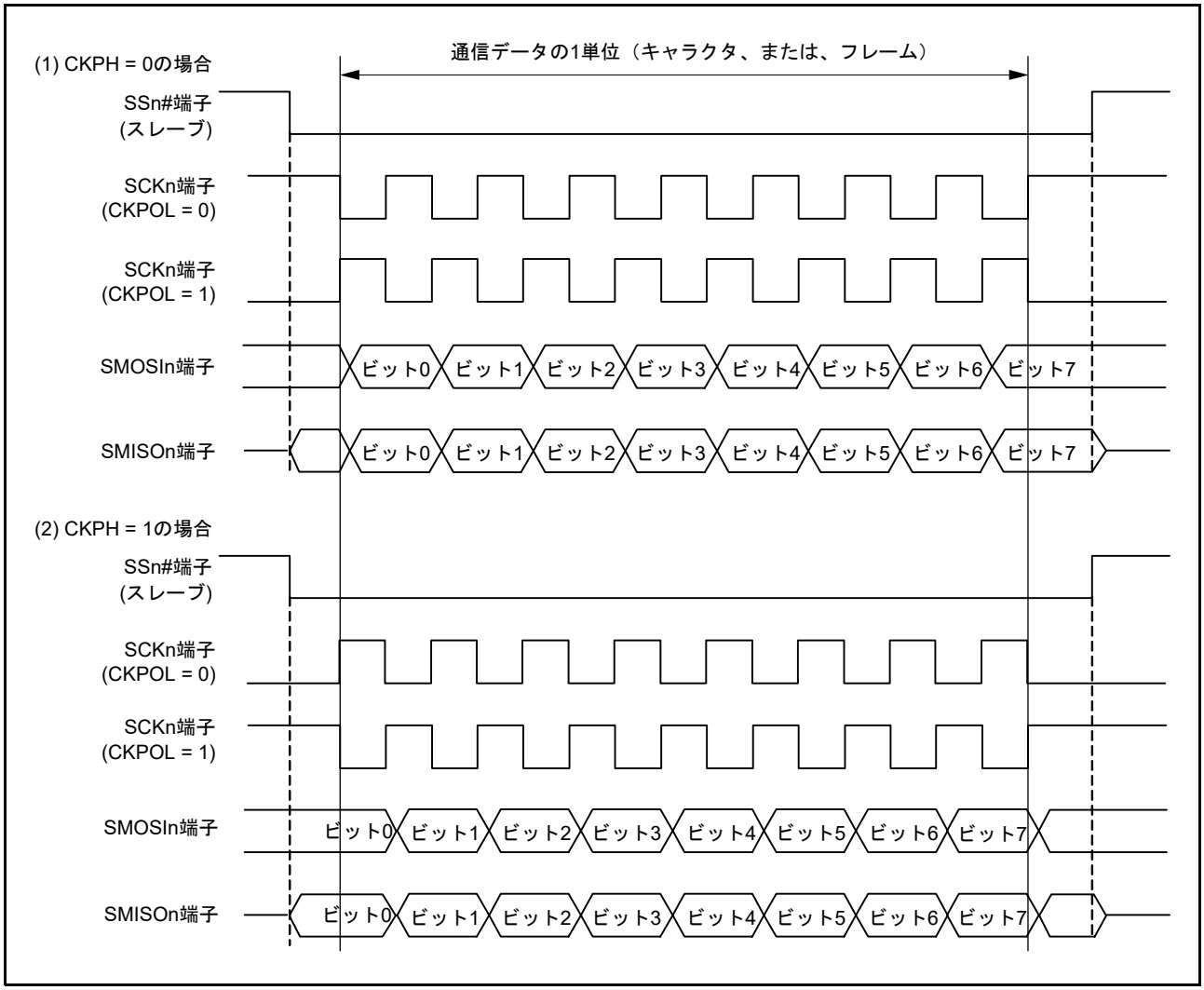


図 32.62　簡易 SPI モードのクロックと送受信データの関係

32.8.5　SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順（図 32.28 の SCI の初期化フローチャート例）と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

32.8.6　シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

32.9　ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが “1” のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが “00b” で、BRR レジスタが “00h”、MDDR レジスタが “160” のときの例を、**図 32.63** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注 .　クロック同期式モードおよび簡易 SPI モードでは、最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) で本機能を使用しないでください。

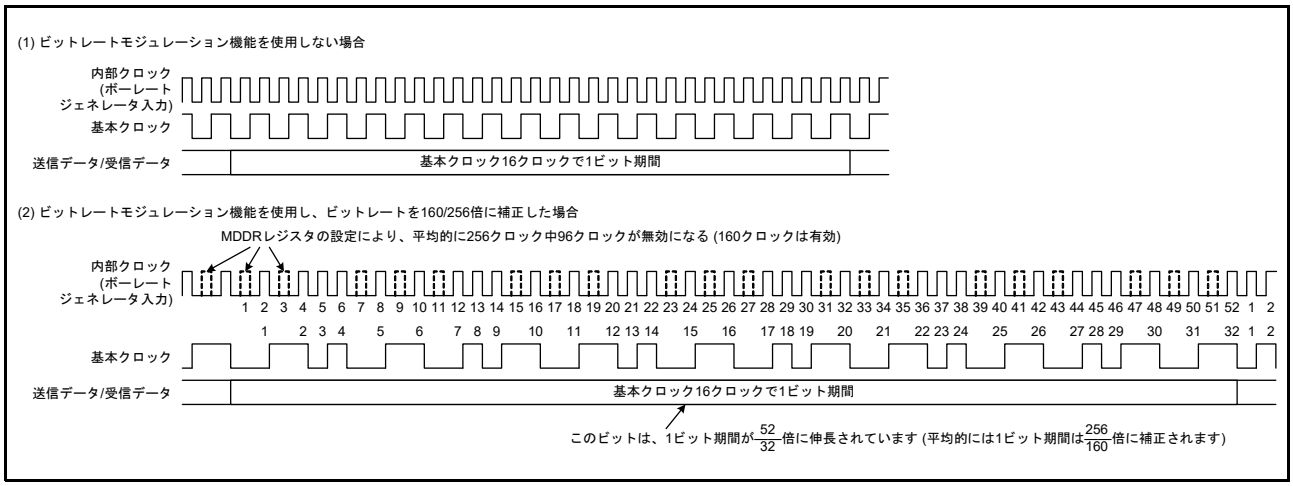


図 32.63　ビットレートモジュレーション機能使用時の基本クロックの例

なお、ボーレートジェネレータに入力されるクロックの周期が短いほど、生成される基本クロックの周期の差が小さくなり、また、ボーレートジェネレータの分周比も大きくなるため、結果として 1 ビット期間の長さの差も小さくなります。

32.10 拡張シリアルモード制御部の動作説明

32.10.1 シリアル通信プロトコル

SCI12 の拡張シリアルモード制御部は、図 32.64 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

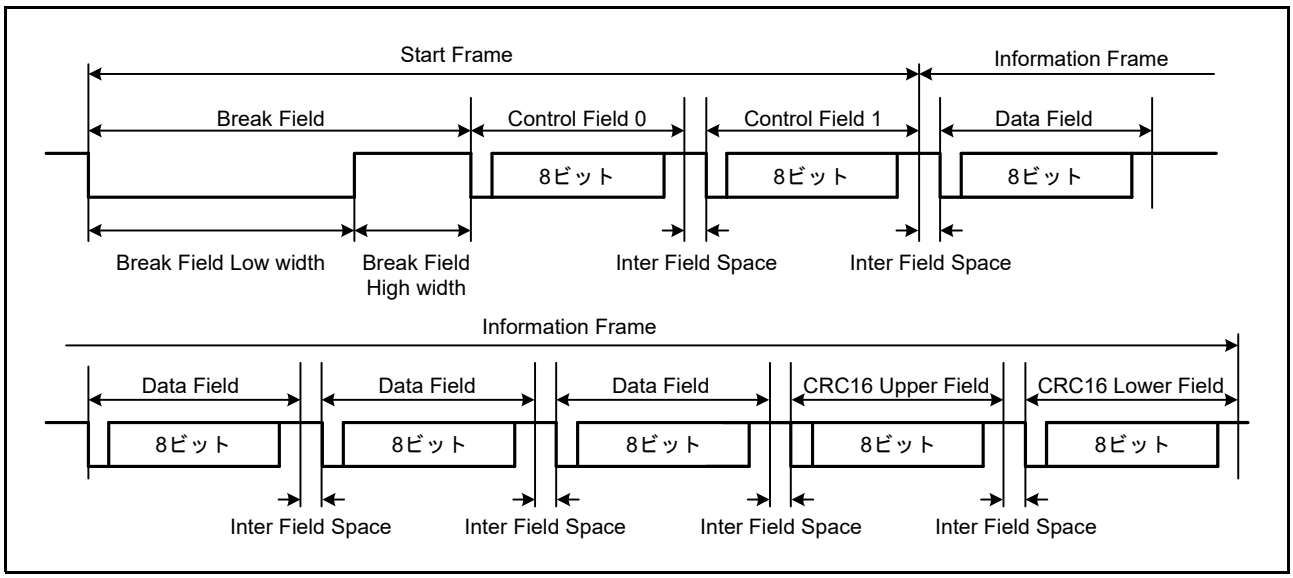


図 32.64　拡張シリアルモード制御部シリアル通信プロトコル

32.10.2 Start Frame 送信

図 32.65 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 32.66、図 32.67 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

(1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに “1” を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
(2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。
(3) TCR.TCST ビットに “0” を書き込んでタイマのカウントを停止させた後、Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
(4) Control Field 0 のデータの送信が完了した後、Control Field 1 のデータを送信します。
(5) Control Field 1 のデータの送信が完了した後、Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

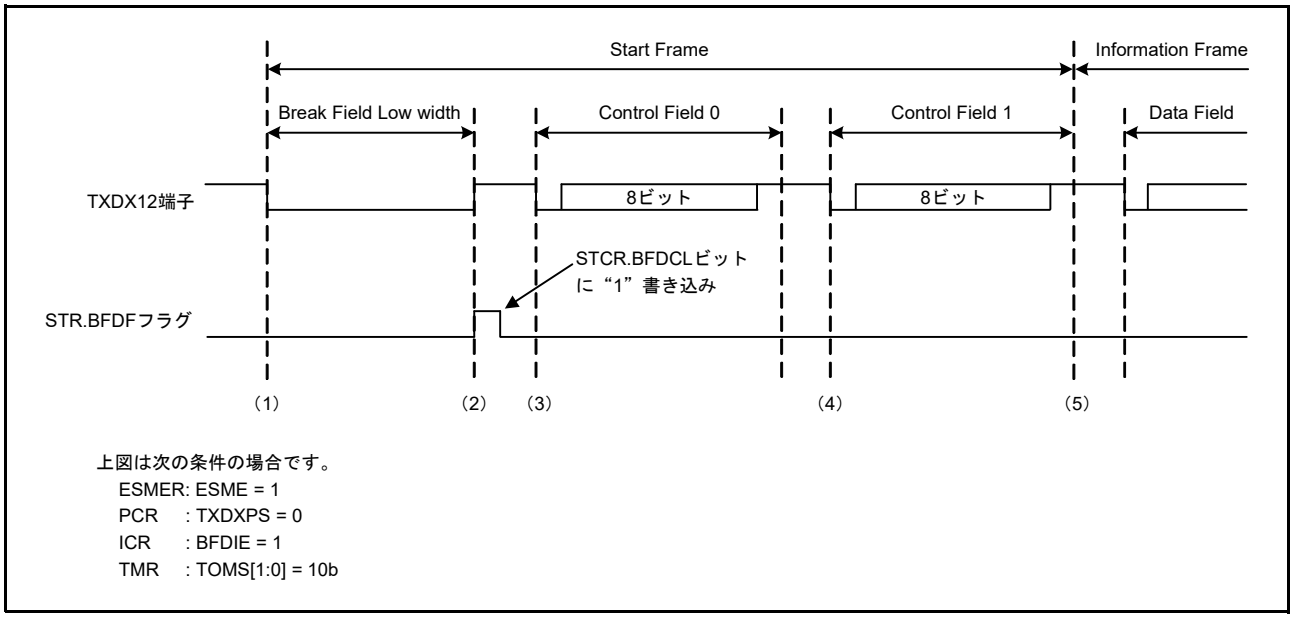


図 32.65　Start Frame 送信時の動作例

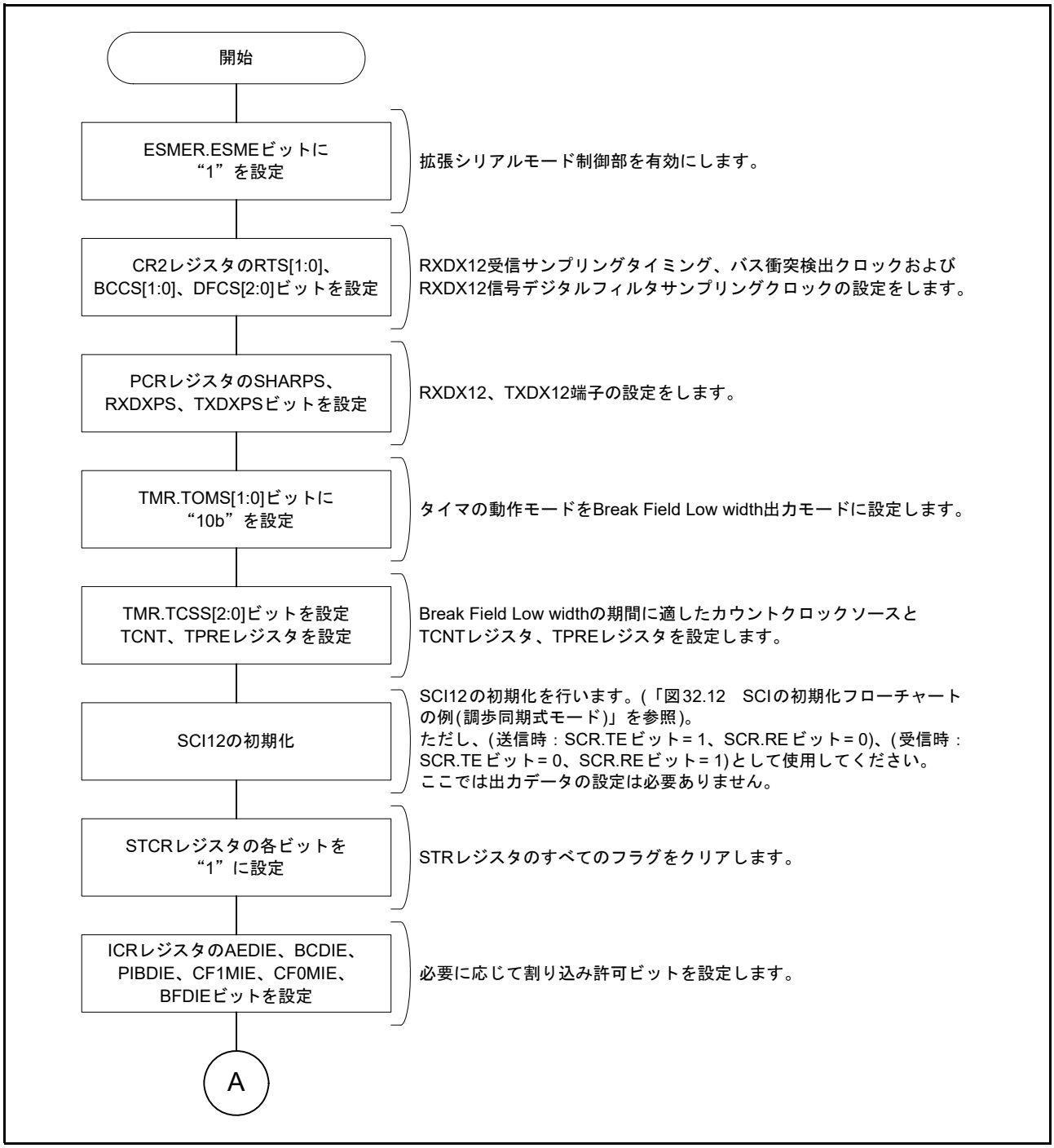


図 32.66　Start Frame 送信フローチャート例 (1)

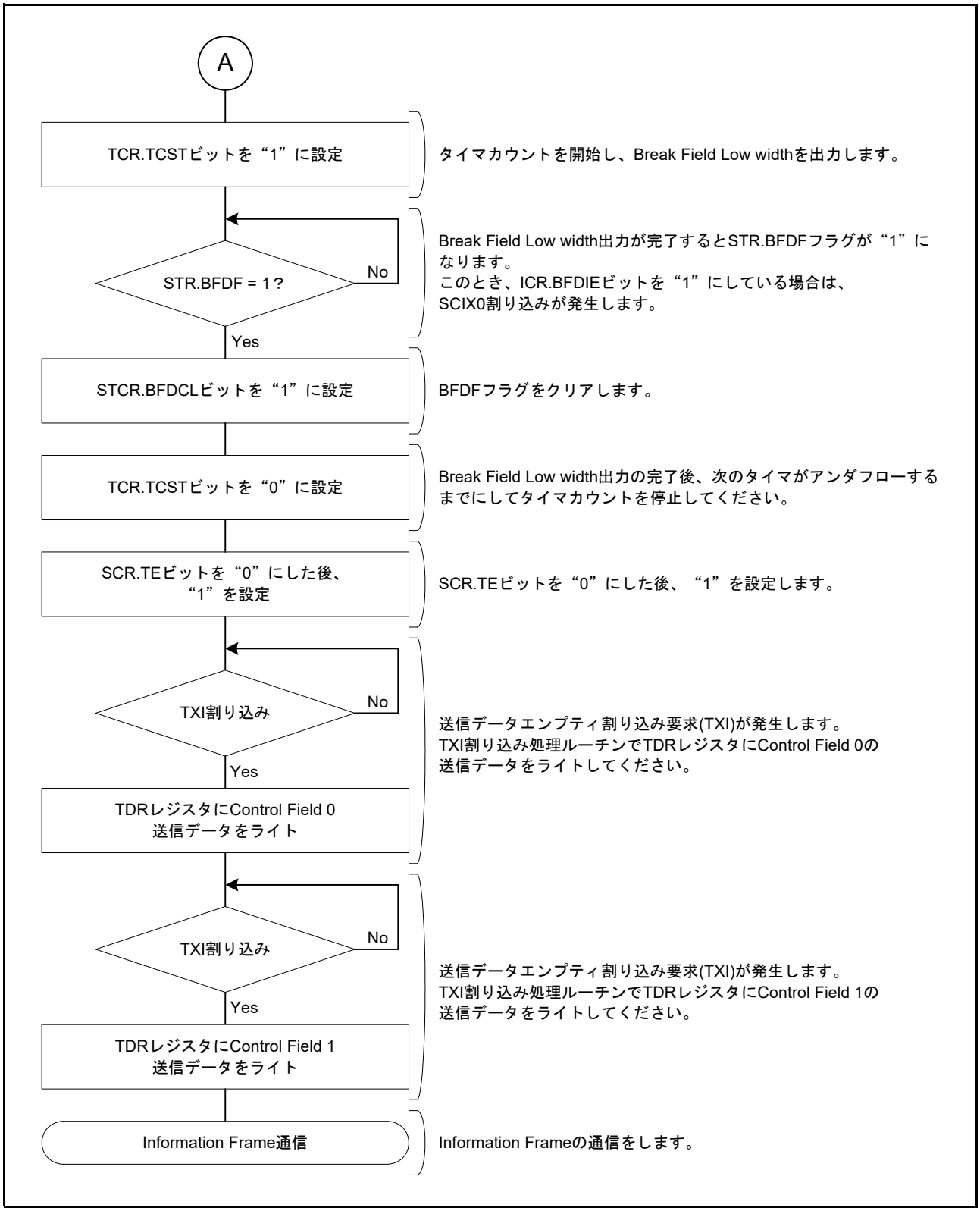


図 32.67　Start Frame 送信フローチャート例 (2)

32.10.3 Start Frame 受信

拡張シリアルモード制御部では、**表 32.36** のような構成の Start Frame を検出することができます。

表32.36　Start Frameの構成

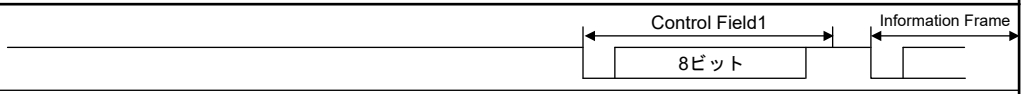
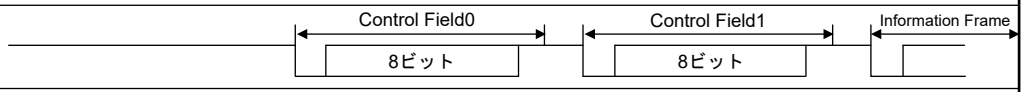
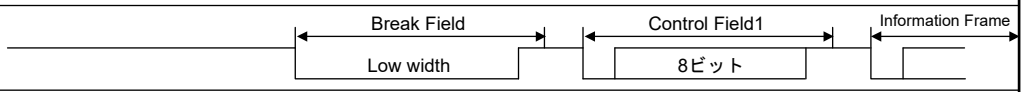
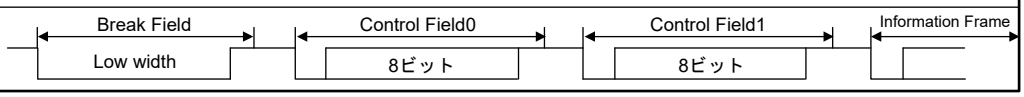
ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 32.68 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、**図 32.69**、**図 32.70** に Start Frame の受信を行うためのフローチャート、**図 32.71** に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

(1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに “1” を書き込むと、Break Field Low width 検出が可能になります。

(2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。

(3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが “0” になり、Control Field 0 の受信を開始します。

(4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが “1” になります。また、ICR.CF0MIE ビットを “1” にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。

(5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが “1” になります。また、ICR.CF1MIE ビットを “1” にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

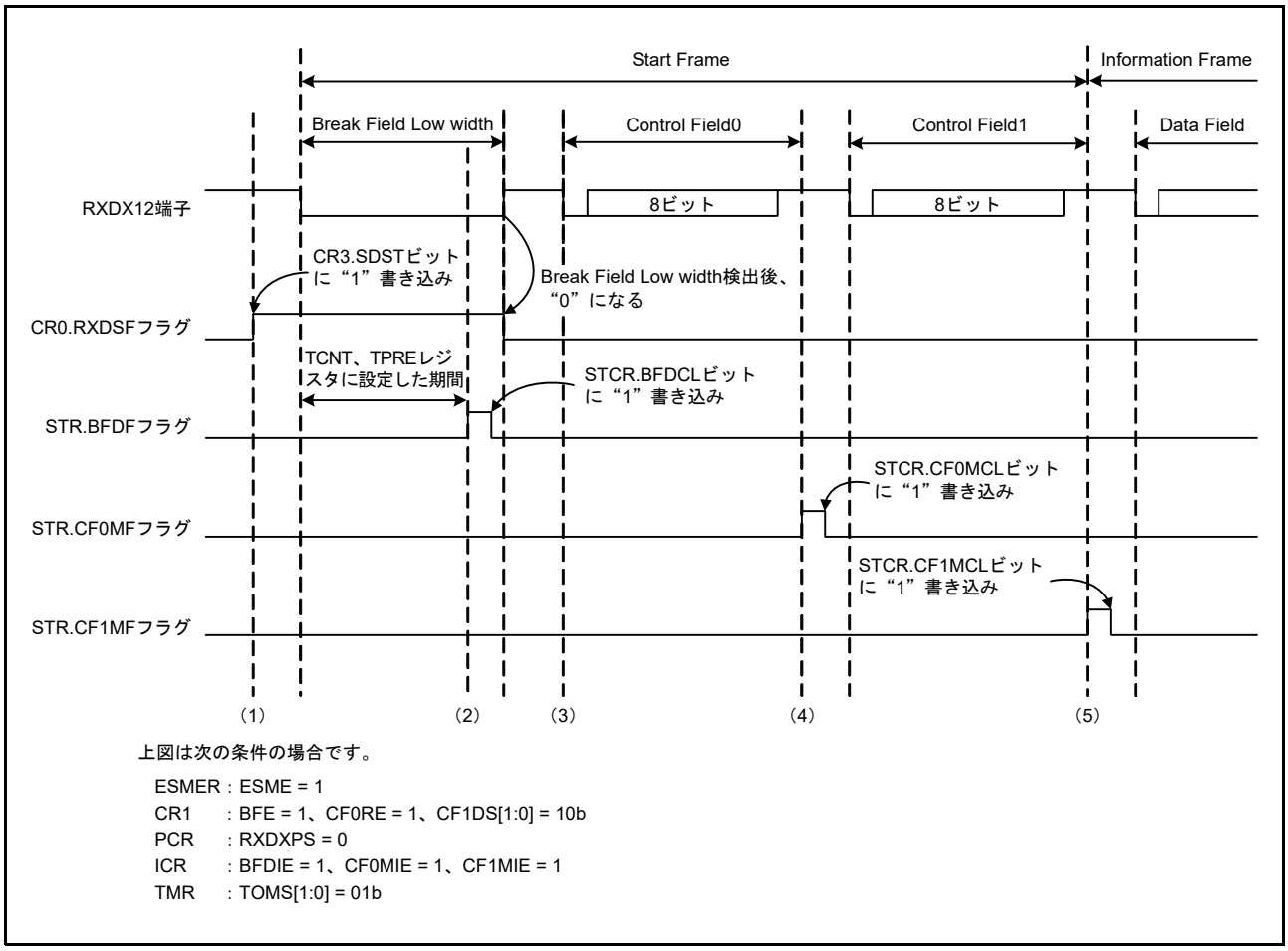


図 32.68　Start Frame 受信時の動作例

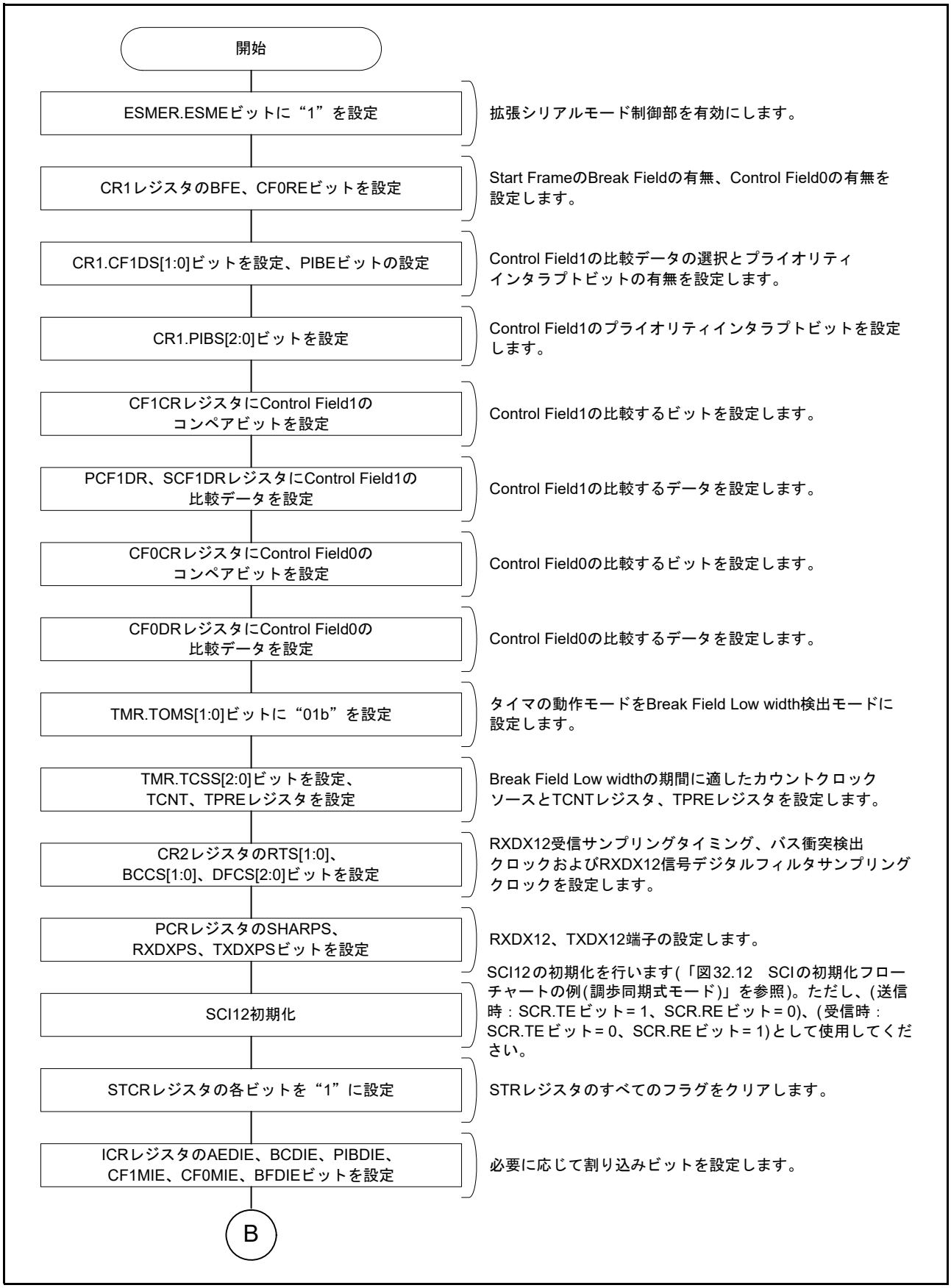


図 32.69　Start Frame 受信フローチャート例 (1)

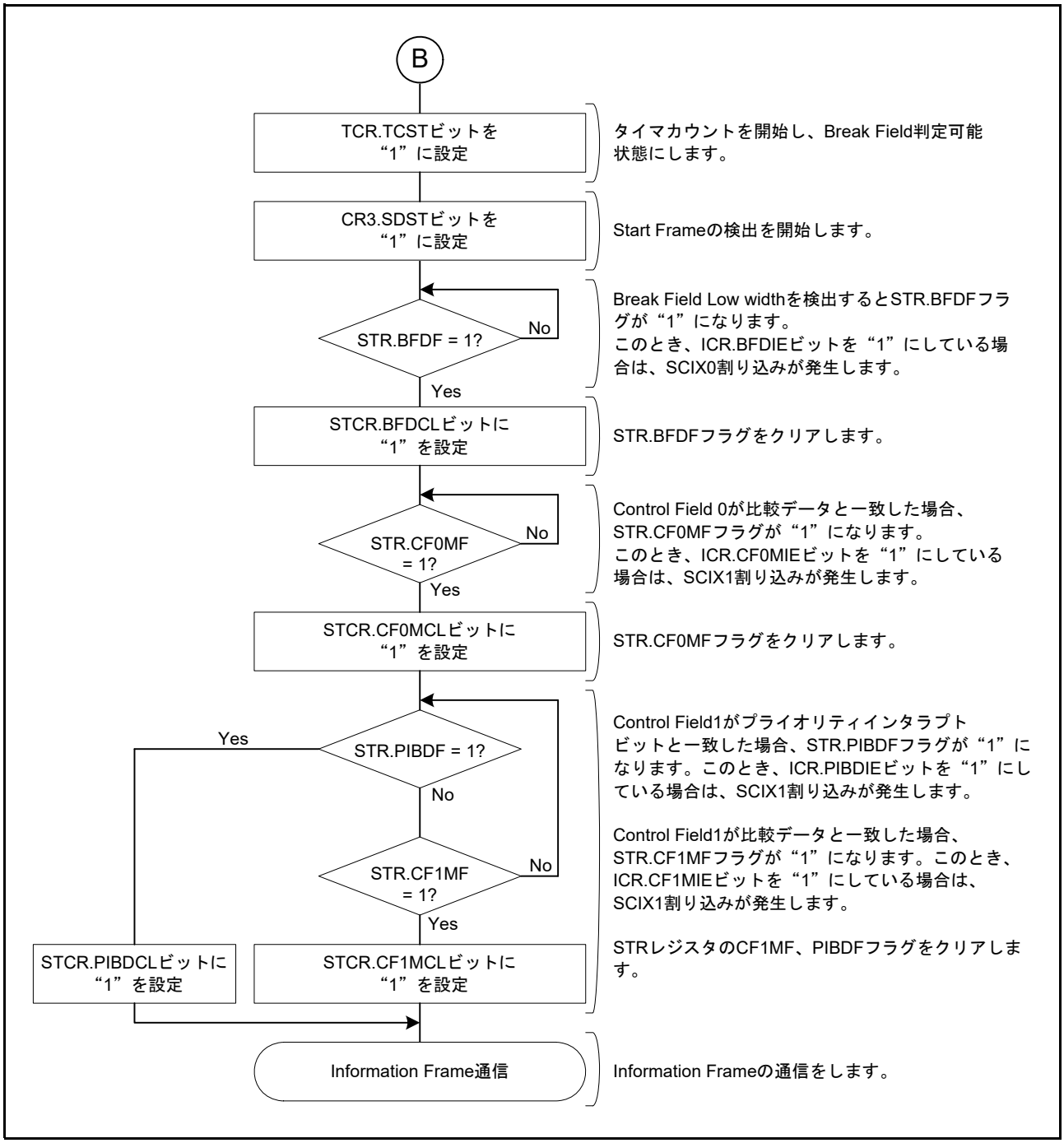


図 32.70　Start Frame 受信フローチャート例 (2)

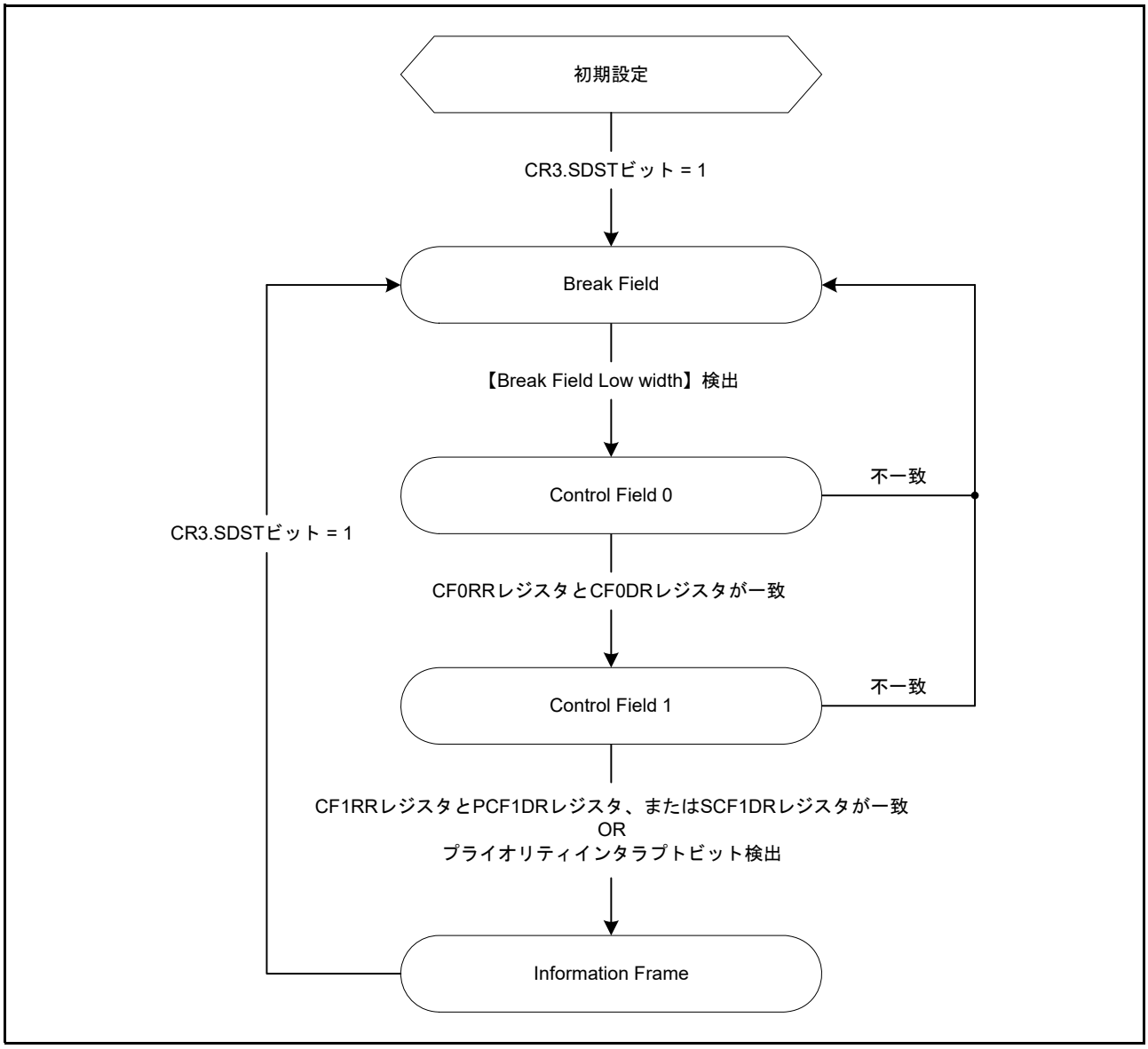


図 32.71　Start Frame 受信時の状態遷移図

32.10.3.1　プライオリティインタラプトビット

図 32.72 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを “1” にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

(1) ～ (4) は図 32.68 の Start Frame 受信時の動作例 (1) ～ (4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが “1” になります。また、ICR.PIBDIE ビットを “1” にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

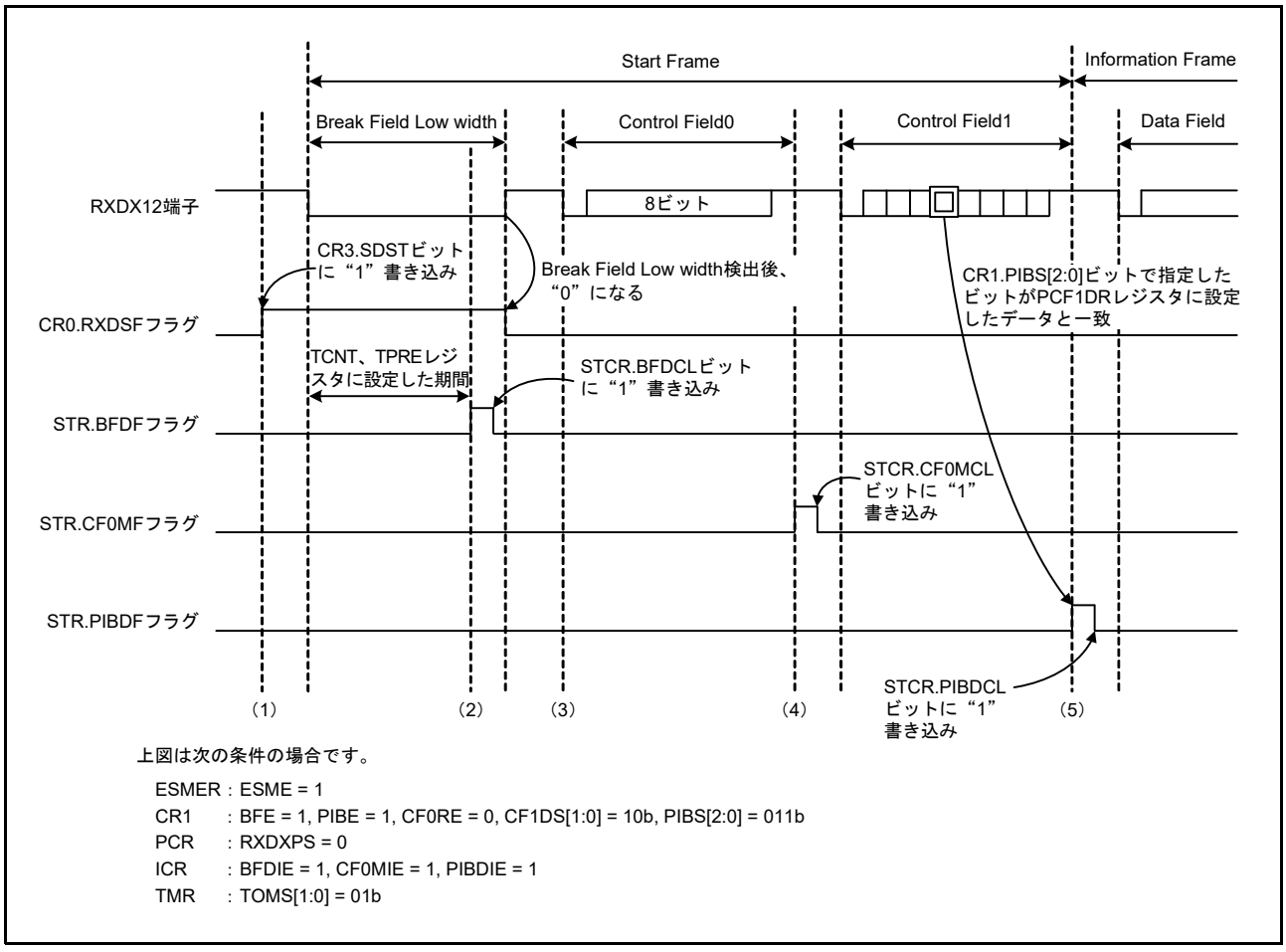


図 32.72　Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

32.10.4　バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 32.73 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが “1” になります。また、ICR.BCDIE ビットを “1” にしている場合は、SCIX2 割り込みが発生します。

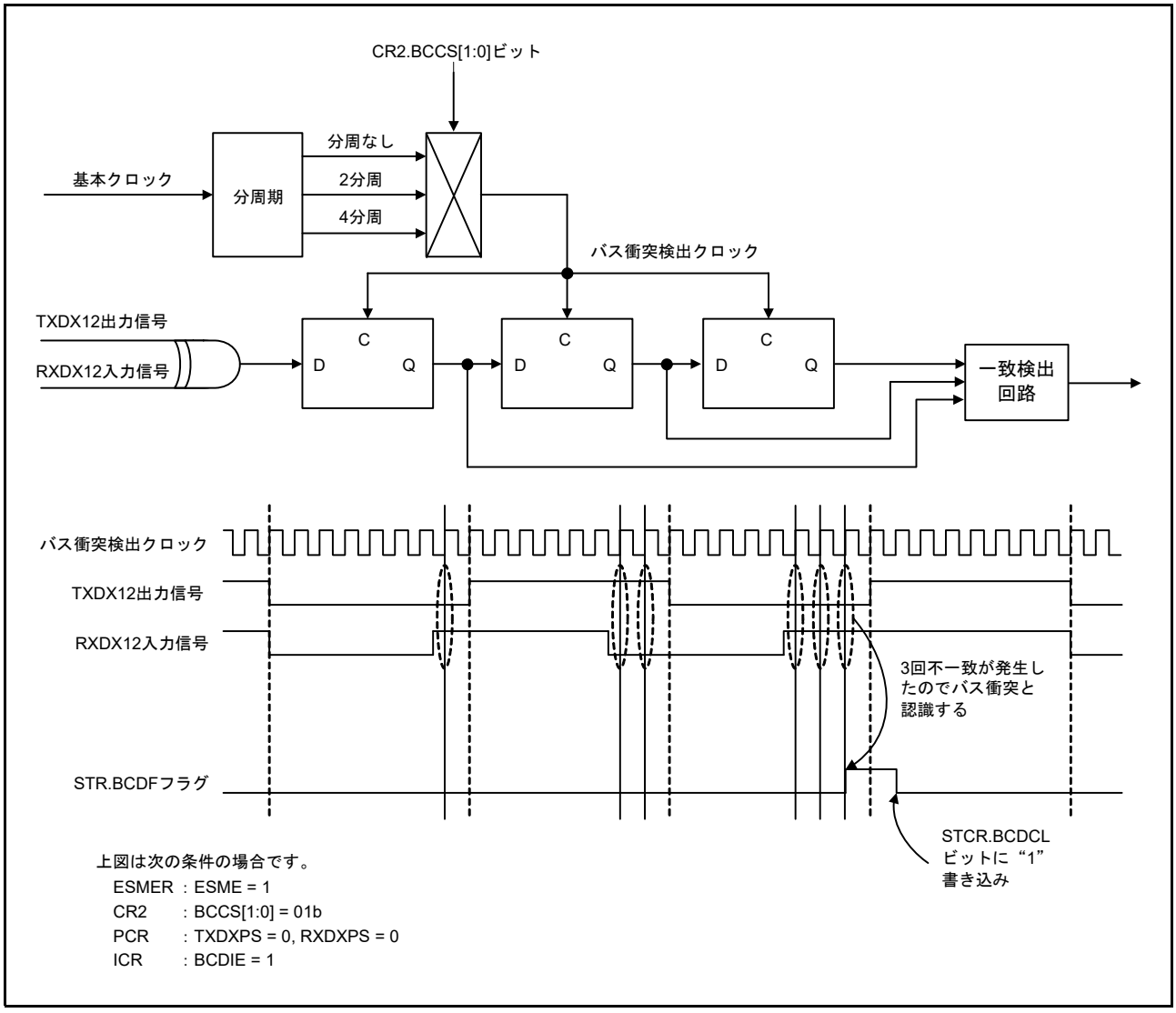


図 32.73　バス衝突検出機能の動作例

32.10.5　RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。**図 32.74** にデジタルフィルタ機能の動作例を示します。

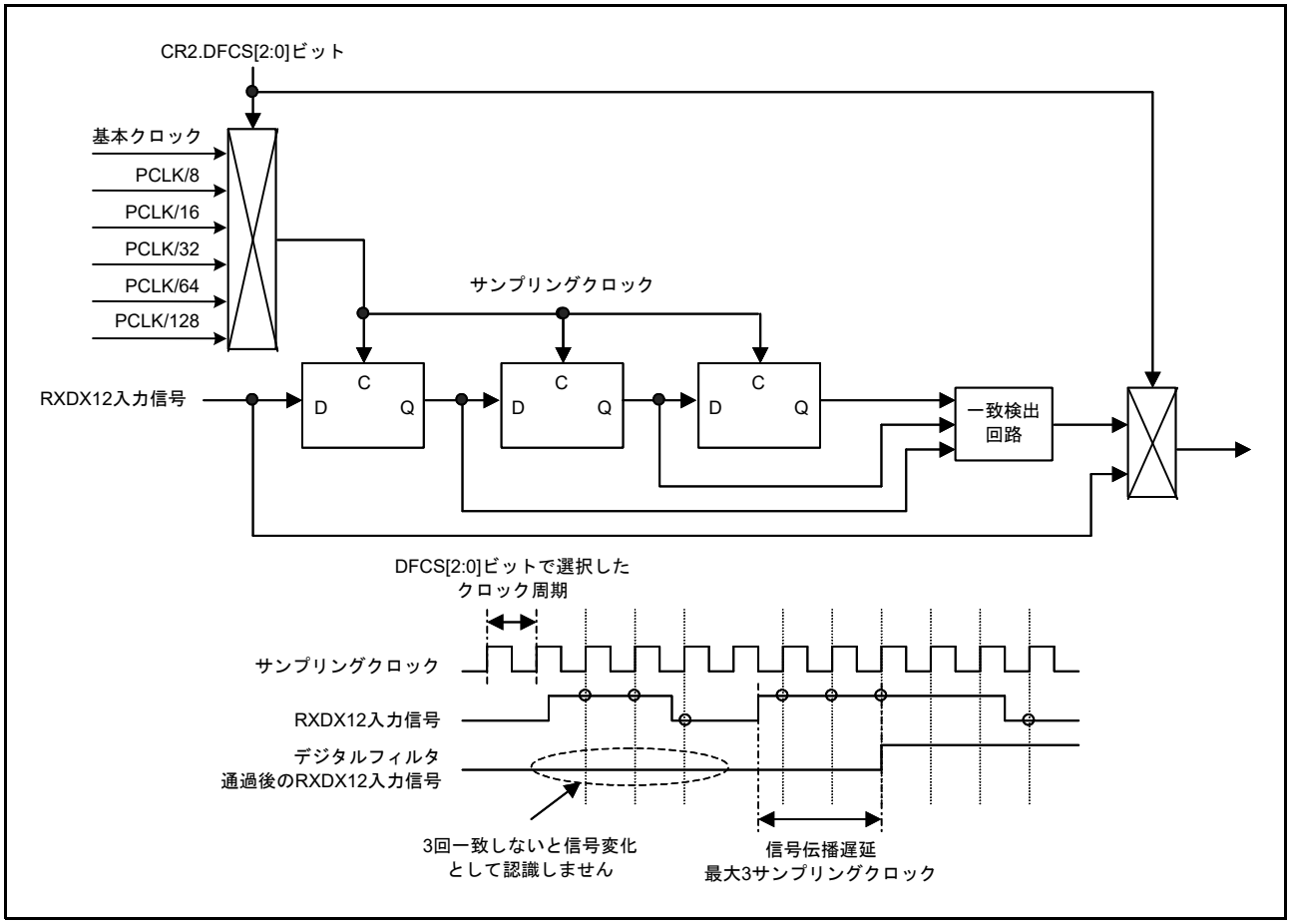
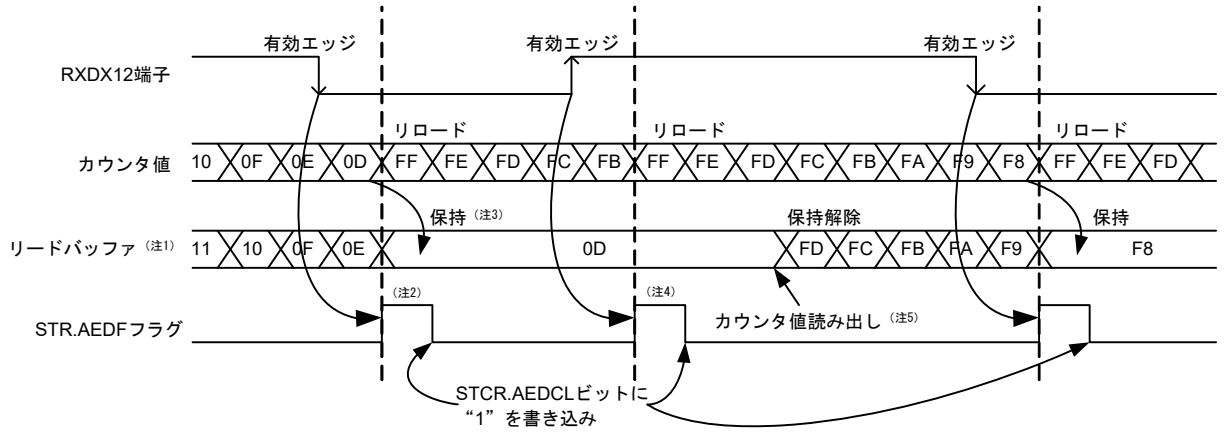


図 32.74　デジタルフィルタ機能の動作例

32.10.6　ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 32.75 にビットレート測定機能の動作例を示します。

(1) CR0.BRME ビットに “1” を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ “1” を設定してください。また、BRME ビットを “1” にしても Break Field 中は、ビットレートの測定動作を行いません。
(2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
(3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウント値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを “1” にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
(4) 有効エッジ間のカウント値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに “0” を書き込んでください。



注1. TCNT、TPREレジスタを読むと、リードバッファの内容が読めます。
注2. 有効エッジを検出するとSTR.AEDFフラグが “1” になります。
注3. 有効エッジを検出すると、現在のカウンタ値をリードバッファへ保持します。
注4. 一度有効エッジを検出しリードバッファに保持した値は、再び有効エッジを検出しても更新されません。
注5. 有効エッジによりリードバッファに保持された値は、TCNT、TPREレジスタをリードすることで保持が解除されます。

図 32.75　ビットレート測定機能動作例

32.10.7　RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが “1” の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 32.76 に RXDX12 受信データサンプリングタイミングを示します。

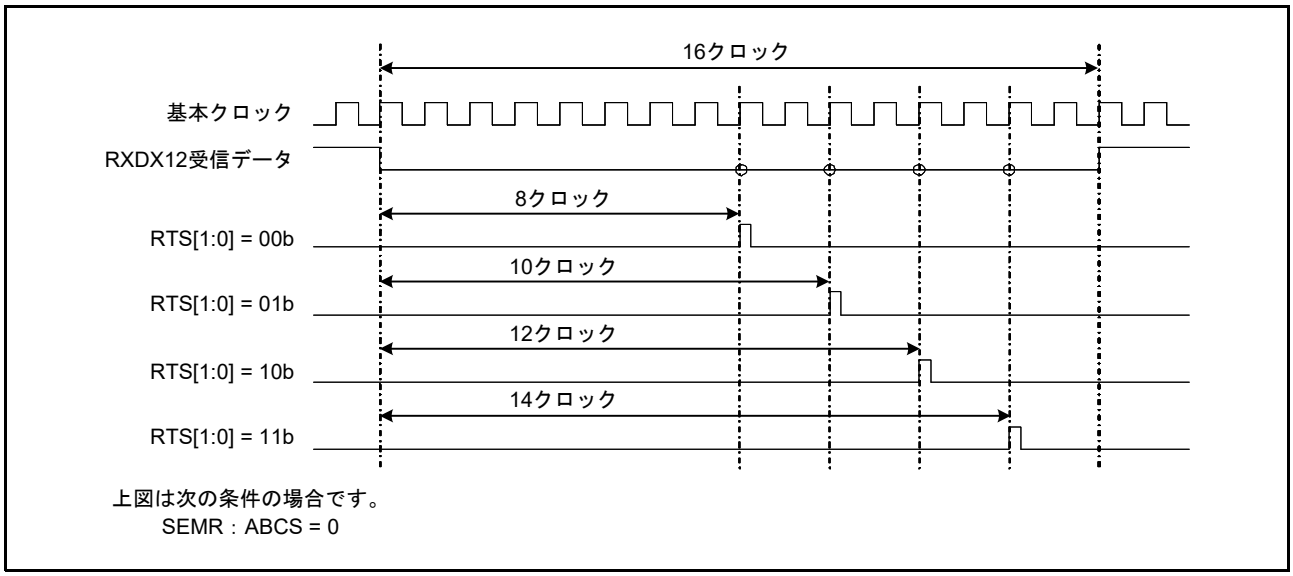


図 32.76　RXDX12 受信データサンプリングタイミング

32.10.8　タイマ

タイマには次の動作モードがあります。

(1)　Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを “10b” に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに “0” を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 32.77 に Break Field Low width 出力モードの動作例を示します。

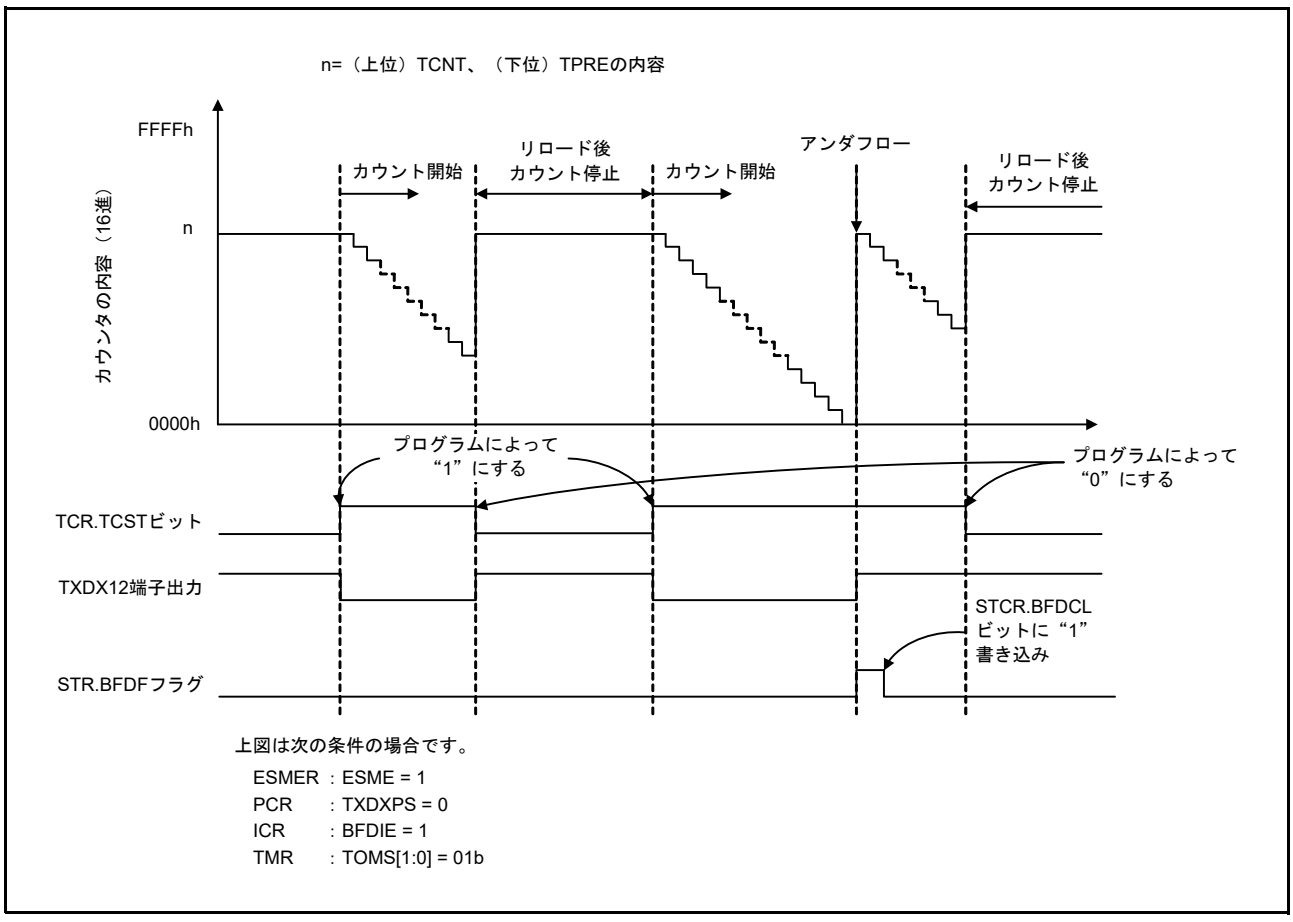


図 32.77　Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを “01b” に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRE レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 32.78 に Break Field Low width 判定モードの動作例を示します。

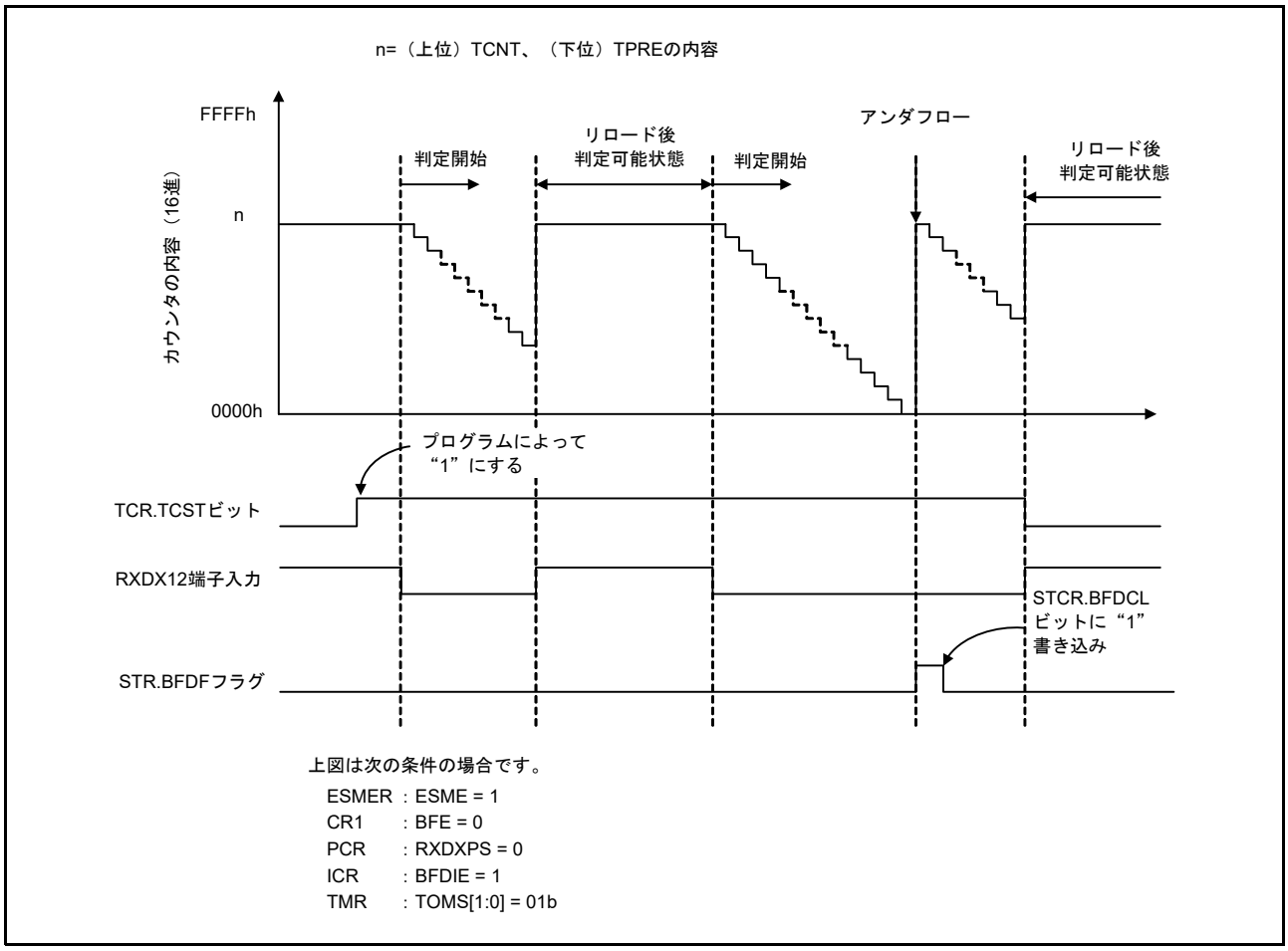


図 32.78　Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを “00b” に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、カウントを開始し、TCST ビットに “0” を書き込むとカウントを停止します。TPRE レジスタに入力するカウントクロックソースの周期で TPRE レジスタがダウンカウントします。TPRE レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。

32.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 32.79 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期（SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 のとき 1 ビット期間の 1/16、SEMR.ABCSE = 0 かつ SEMR.ABCS = 1 のとき 1 ビット期間の 1/8、SEMR.ABCSE = 1 のとき 1 ビット期間の 1/6）となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて “1” に初期化され、受信再開時の入力データが “1” の場合は一致検出として内部信号に伝えられます。“0” の場合は 3 回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

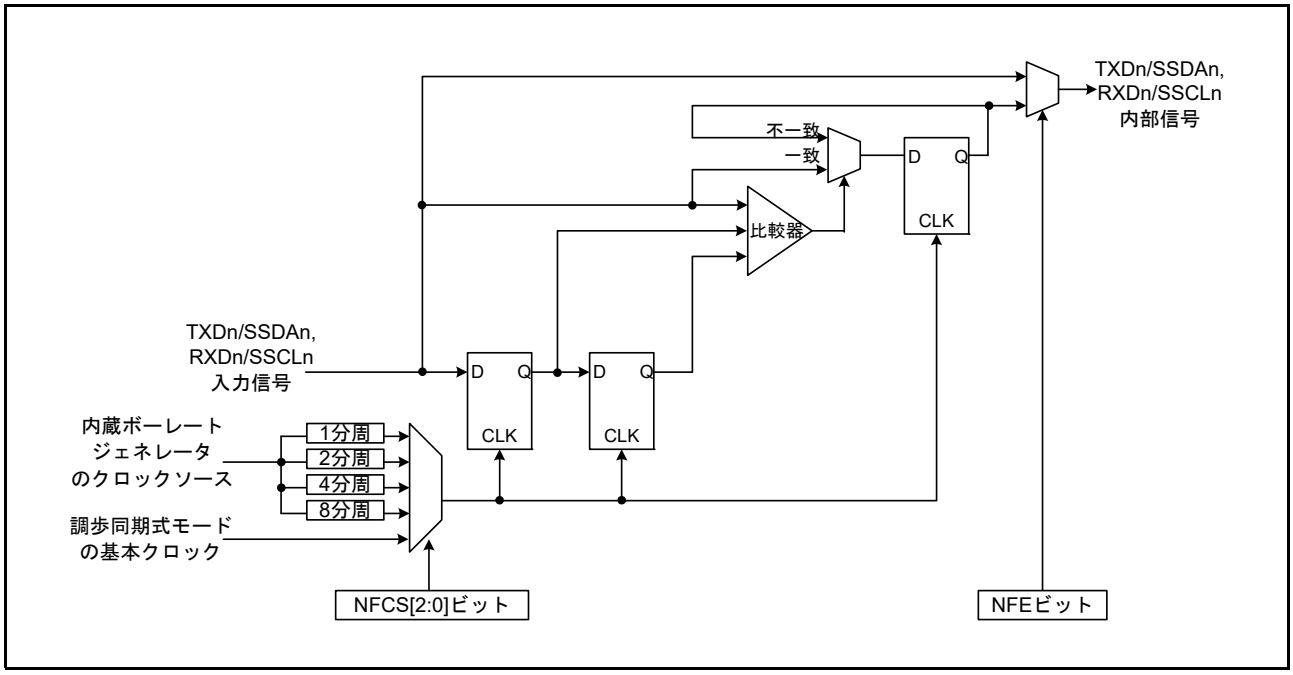


図 32.79　デジタルノイズフィルタのブロック図

32.12 割り込み要因

32.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが “1” のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが “0” になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” にすることでもクリアできます。

32.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 32.37 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが “1” のとき、送信データが TDR レジスタ、または TDRL レジスタ (注 1) から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを “1” にした後で SCR.TE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に “1” にすることでも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが “0” の状態で SCR.TE ビットを “1” にした場合、および SCR.TE ビットが “1” の状態で SCR.TIE ビットを “1” にした場合には発生しません。(注 2)

ただし、SCR.TIE ビットが “1” の状態で SCR.TE ビットを “0” にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ (注 1) に次のデータをライトしていないと SSR.TEND フラグが “1” になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを “1” にしてから TDR レジスタ、または TDRL レジスタ (注 1) に送信データをライトするまでの間は、SSR.TEND フラグは “1” を保持しており、SCR.TEIE ビットを “1” にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ (注 1) にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが “1” のとき、受信データが RDR レジスタ、または RDRL レジスタ (注 1) に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが “1” のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが “1” になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表32.37　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER (注1), DPER (注1)	不可能	不可能
RXI	受信データフル	RDRF	可能	可能
	データー致 (注1)	DCMF (注1)		
TXI	送信データエンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

注1.　SCI1、SCI5、SCI6にのみ存在します。

32.12.3　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、**表 32.38** の割り込み要因があります。送信終了割り込み(TEI) 要求は使用できません。

表32.38　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	不可能
RXI	受信データフル	—	可能	可能
TXI	送信データエンプティ	TEND	可能	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが “1” になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に “0” になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「**18.　データトランスファコントローラ (DTCb)**」、「**17.　DMA コントローラ (DMACAa)**」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

32.12.4　簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 32.39 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが “1” のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目（アクノリッジビット）の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが “0” のとき、9 ビット目（アクノリッジビット）の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開始条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 32.39　SCI割り込み要因

名称	割り込み要因		割り込みフラグ	DTCの起動	DMACの起動
	IICINTMビット= 0	IICINTMビット= 1			
RXI	ACK検出	受信	—	可能	可能
TXI	NACK検出	送信	—	可能 (注 1)	可能 (注 1)
STI	開始条件、再開始条件、停止条件生成終了		IICSTIF	不可能	不可能

注1.　SIMR2.IICINTMビット= 1 (受信割り込み、送信割り込みを選択)の場合のみDTC、DMACの起動が可能です。

32.12.5　拡張シリアルモード制御部の割り込み要求

SCIh の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが “1” になります。表 32.40 に各割り込み要求の内容を示します。

表32.40　拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0割り込み (Break Field Low width検出)	BFDF	• タイマに設定した期間より長いBreak Field Low widthを検出したとき • タイマに設定した期間、Break Field Low width出力が完了したとき • タイマがアンダフローしたとき
SCIX1割り込み (Control Field 0一致)	CF0MF	Control Field 0の受信データがCF0DRに設定したデータと一致したとき
SCIX1割り込み (Control Field 1一致)	CF1MF	Control Field 1の受信データがPCF1DRまたはSCF1DRに設定したデータと一致したとき
SCIX1割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータがPCF1DRに設定したデータと一致したとき
SCIX2割り込み (バス衝突検出)	BCDF	TXDX12端子の出力とRXDX12端子の入力をバス衝突検出クロックでサンプリングし、3回連続不一致が発生とき
SCIX3割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

32.13 イベントリンク機能

SCI5 は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが “1” の状態で次の割り込み要因が発生した場合でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データがレシーブデータレジスタ (RDR レジスタ、または RDRL レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが “0” のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが “1” のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが “1” のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR.TE ビットが “0” から “1” に変化したことを示します。
- トランスミットデータレジスタ (TDR レジスタ、または TDRL レジスタ) からトランスミットシフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが “0” のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが “1” のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで開始条件、再開始条件、停止条件の生成が完了したことを示します。

32.14 使用上の注意事項

32.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、**「11. 消費電力低減機能」**を参照してください。

32.14.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すか、SCI1、SCI5、SCI6 では SPTR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが “1”（フレーミングエラーの発生あり）になり、また SSR.PER フラグも “1”（パリティエラーの発生あり）になる可能性があります。SEMR.RXDESEL ビットが “0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを “0”（フレーミングエラーの発生なし）にしても、再び FER フラグが “1” になりますので注意してください。
SEMR.RXDESEL ビットが “1” のとき、SCI は、SSR.FER フラグを “1” にし、次のフレームのスタートビット検出待ちの状態で受信動作を停止します。このとき SSR.FER フラグを “0” にすれば、ブレーク中は SSR.FER フラグの “0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットの始まりを検出し、受信動作を開始します。

32.14.3 マーク状態とブレークの送出

SCR.TE ビットが “0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを “1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを “1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを “1” にしてから PMR レジスタの対応するビットを “1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送出したいときは、対応する PODR レジスタのビットを “0” (Low 出力) にした後、PMR レジスタの対応するビットを “0” (汎用入出力ポート) にします。TE ビットを “0” にする場合、この後実施してください。TE ビットを “0” にすると現在の送信状態とは無関係に送信部は初期化されます。

SPTR レジスタがある場合、汎用出力ポートに切り替えることなくマーク / スペースを出力できます。SPTR.SPB2IO ビットを “1” (出力)、SPB2DT ビットを “1” (マーク) または “0” (スペース) にした後、TE ビットを “0” にしてください。

32.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が “1” になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを “0” にしておいてください。また、SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても受信エラーフラグは “0” になりませんので注意してください。

32.14.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

32.14.6　クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

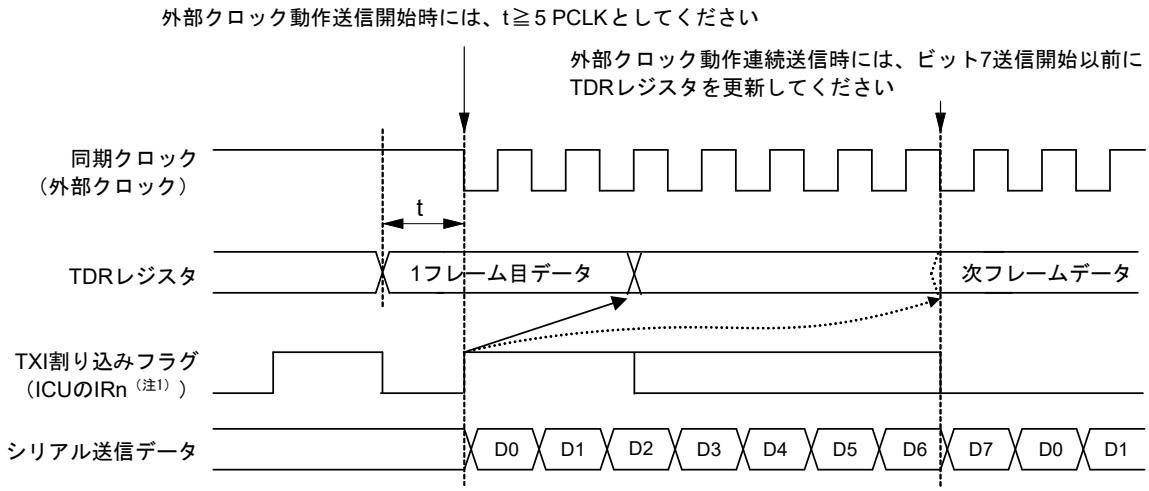
(1)　送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください（図 32.80 参照）。

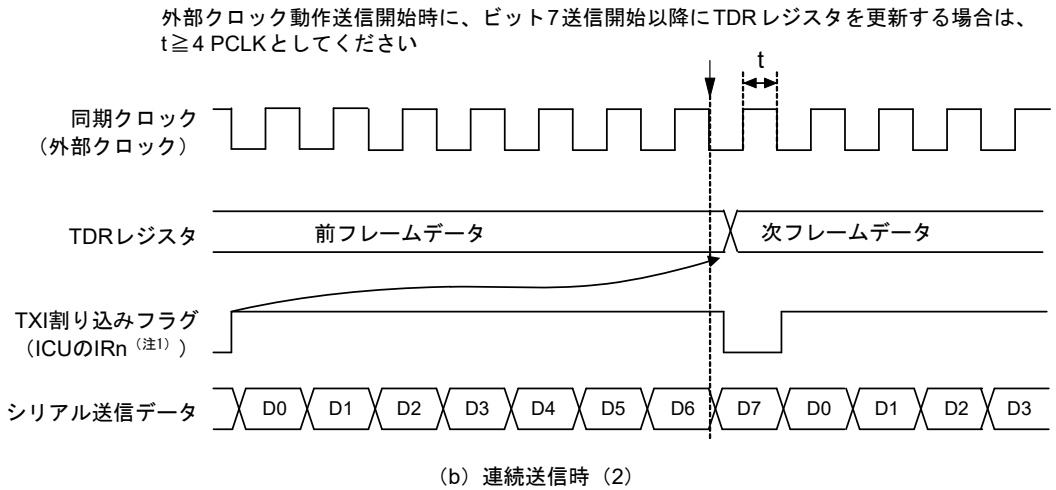
(2)　連続送信時

(a)　ビット7の送信クロックの立ち下がり以前に、TDR レジスタまたはTDRL レジスタに次の送信データを書き込んでください（図32.80参照）。

(b)　ビット7送信開始以降にTDR レジスタを更新する場合は、同期クロックがLowの期間にTDR レジスタを更新し、かつビット7の送信クロックのHigh幅を、4 PCLK以上にしてください（図32.80参照）。



（a）送信開始時および連続送信時（1）



（b）連続送信時（2）

注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 32.80　クロック同期式モード送信での外部クロック使用の制約事項

32.14.7　DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

32.14.8　通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ（IRn.IR ビット）が “1” のときは、動作許可（SCR.TE ビットを “1” に設定、または SCR.RE ビットを “1” に設定）前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、**「14.　割り込みコントローラ (ICUG)」**を参照してください。

- 通信が停止していること（SCR.TE ビットまたは SCR.RE ビットが “0” となっていること）を確認
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” に設定
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を読み出し、“0” を確認
- 割り込みコントローラの割り込みステータスフラグ（IRn.IR ビット）に “0” を設定

32.14.9　低消費電力状態時の動作について

(1)　送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えるか、SPTR レジスタで出力レベルを固定 (SCI1, SCI5, SCI6) した後、動作を停止（SCR.TIE ビット = 0、TE ビット = 0、TEIE ビット = 0）してから行ってください。TE ビットを “0” にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定または SPTR レジスタの設定 (SCI1, SCI5, SCI6) に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット = 1 に設定し、SSR レジスタリード→ TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 32.81 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。**図 32.82**、**図 32.83** にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC/DMA 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止（TE ビット = 0）してから行ってください。解除後、DTC/DMAC による送信を再開する場合は、TE ビット = 1、TIE ビット = 1 に設定すると TXI 割り込みフラグが立ち、DTC/DMAC による送信が始まります。

(2)　受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止（SCR.RE ビット = 0）してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット = 1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 32.84 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

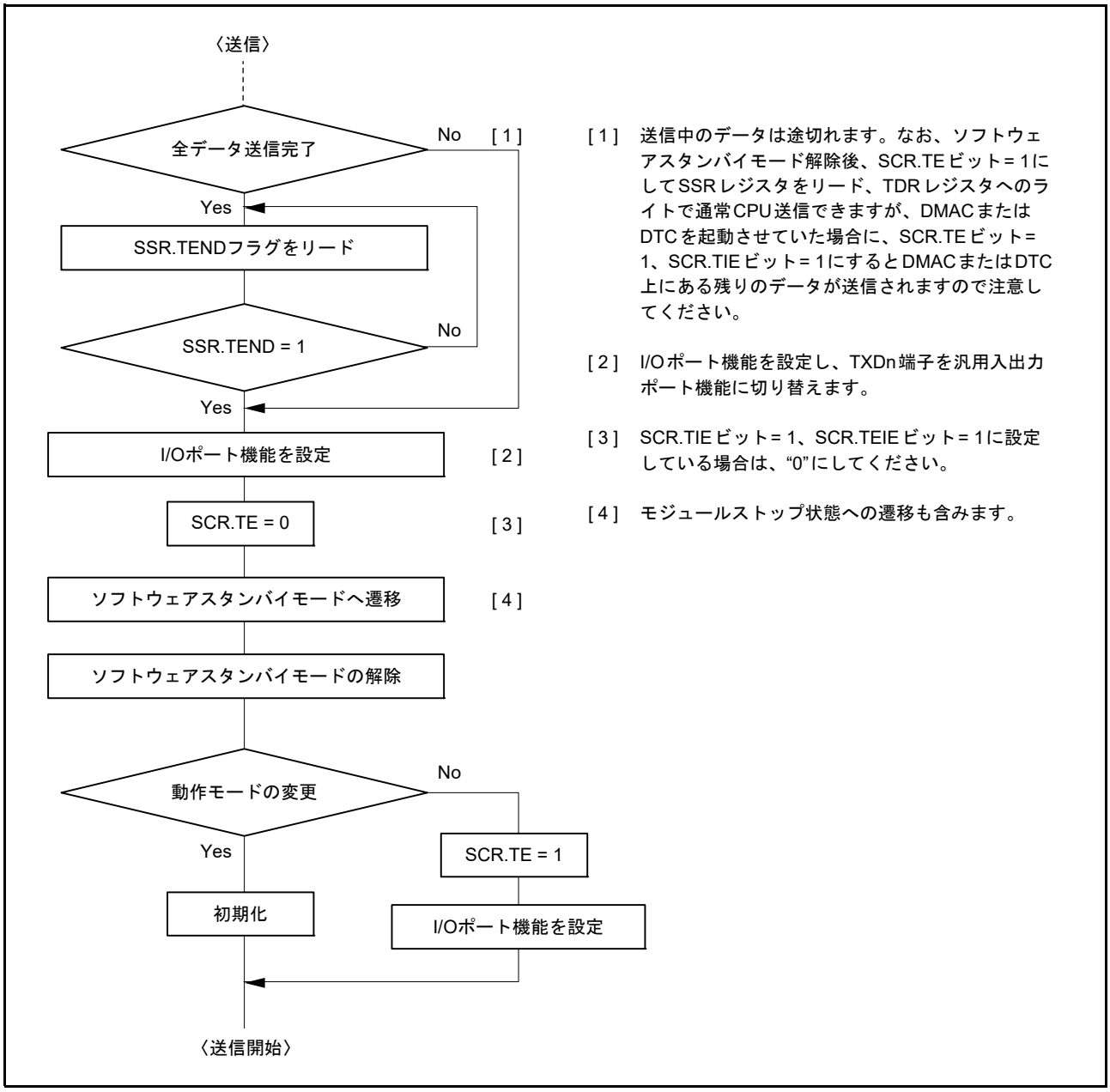


図 32.81　送信時のソフトウェアスタンバイモード遷移フローチャートの例

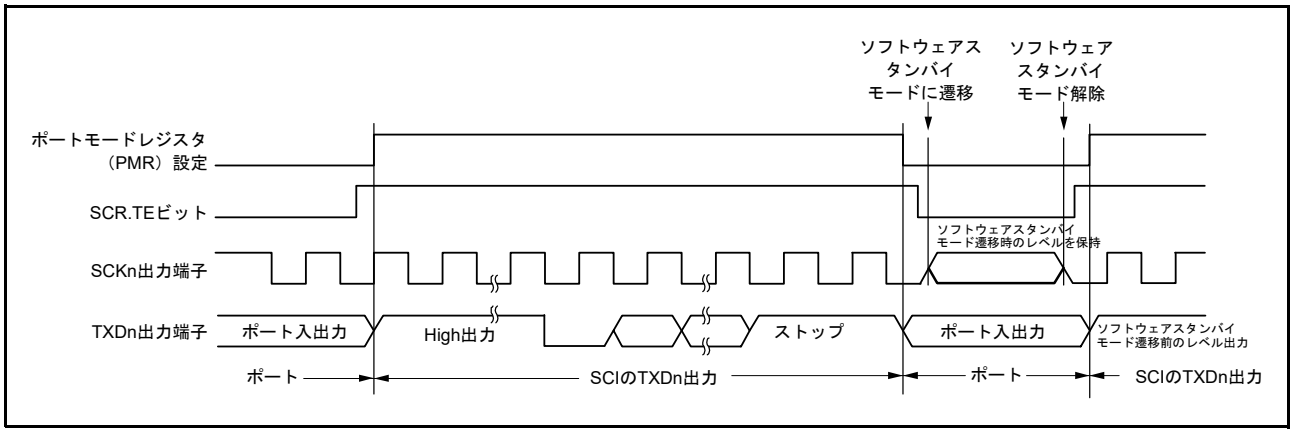


図 32.82　ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

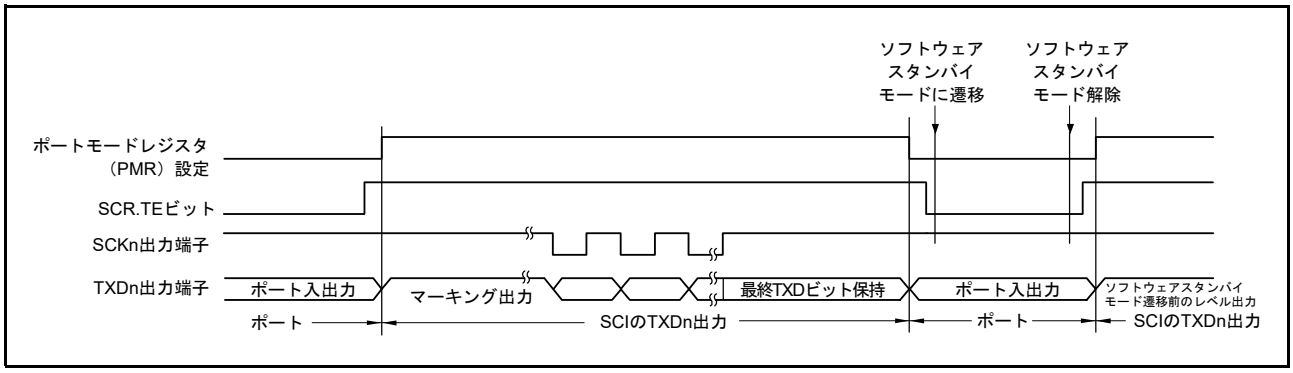


図 32.83　ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

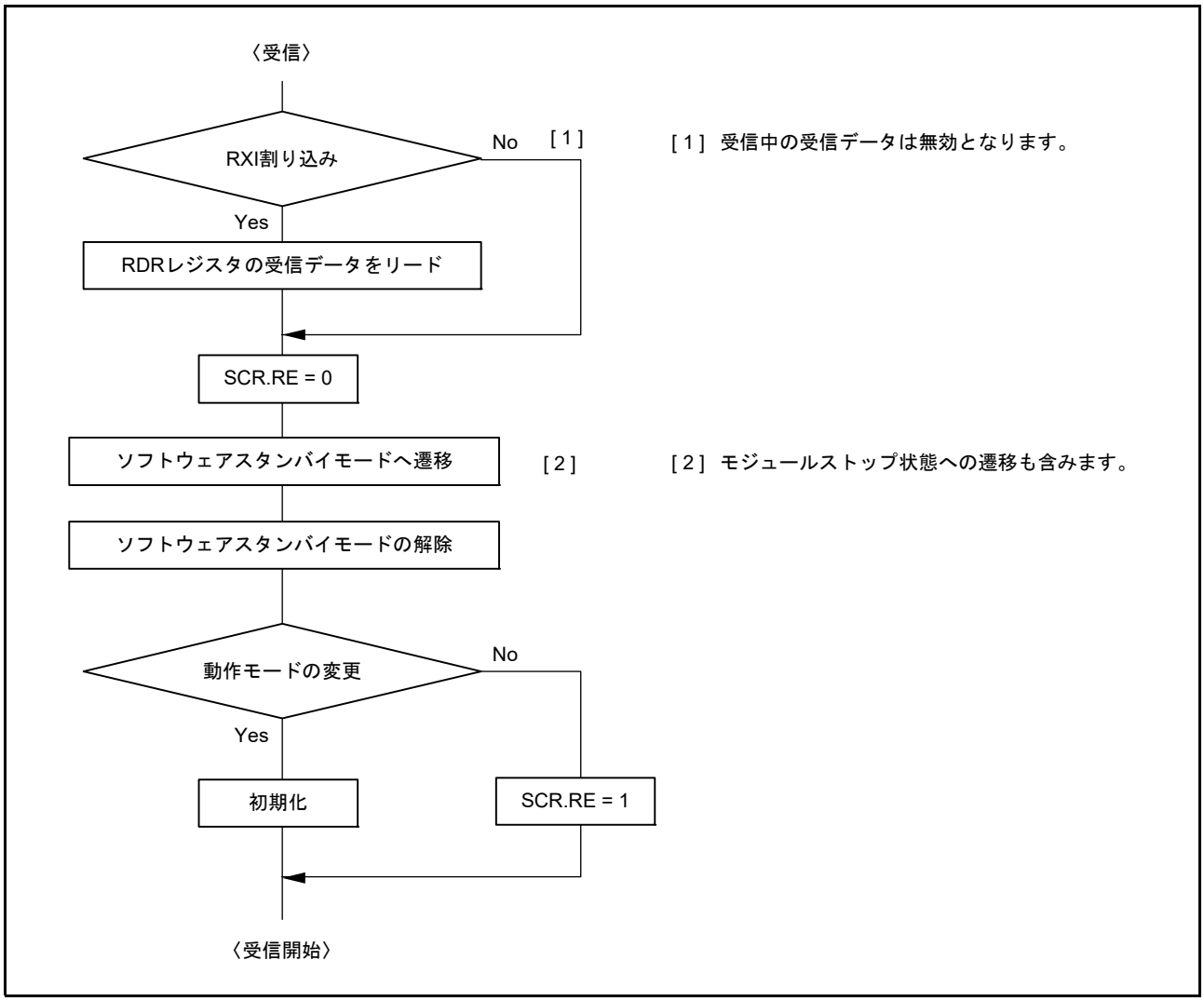


図 32.84　受信時のソフトウェアスタンバイモード遷移フローチャートの例

32.14.10　クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

32.14.11　簡易 SPI モードの制約事項

(1)　マスタモード

- SPMR.SSE ビットが “1” のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
  SCR.TE ビットを “0” にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを “0” から “1” にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが “0” のときは、SCR.TE ビットを “0” にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット = 1) の場合、図 32.85 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に “0” に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

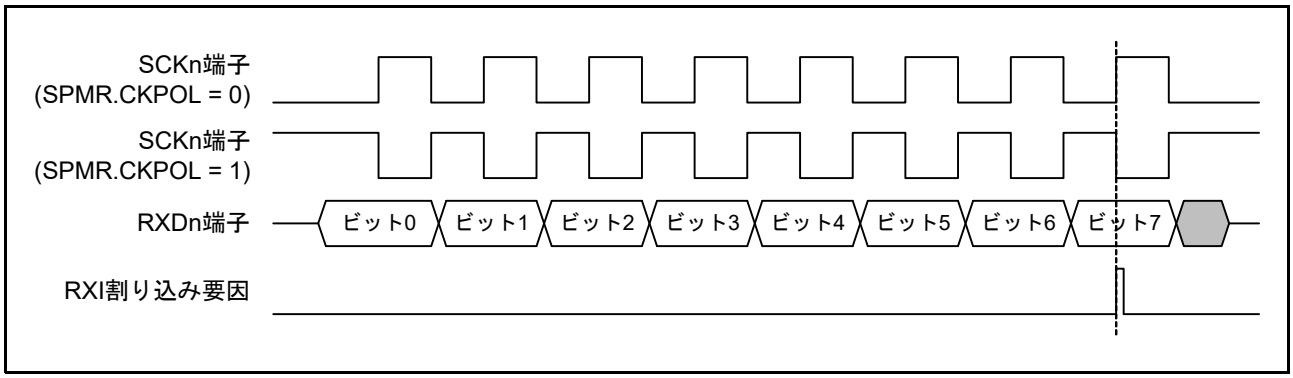


図 32.85　簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2)　スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを “0” にし、再設定後、1 バイト目から転送をやり直してください。

32.14.12　拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを “1” にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを “1” にしたとき
  (TCR.TCST ビットを “1” にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCR.TE ビットが “1” のとき

32.14.13　拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、図 32.86 のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

(1) SCR.RIE ビットを “0” にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、SCR.RIE ビットを “1” に切り替えてください。

(2) SCR.RIE ビットを “1” にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

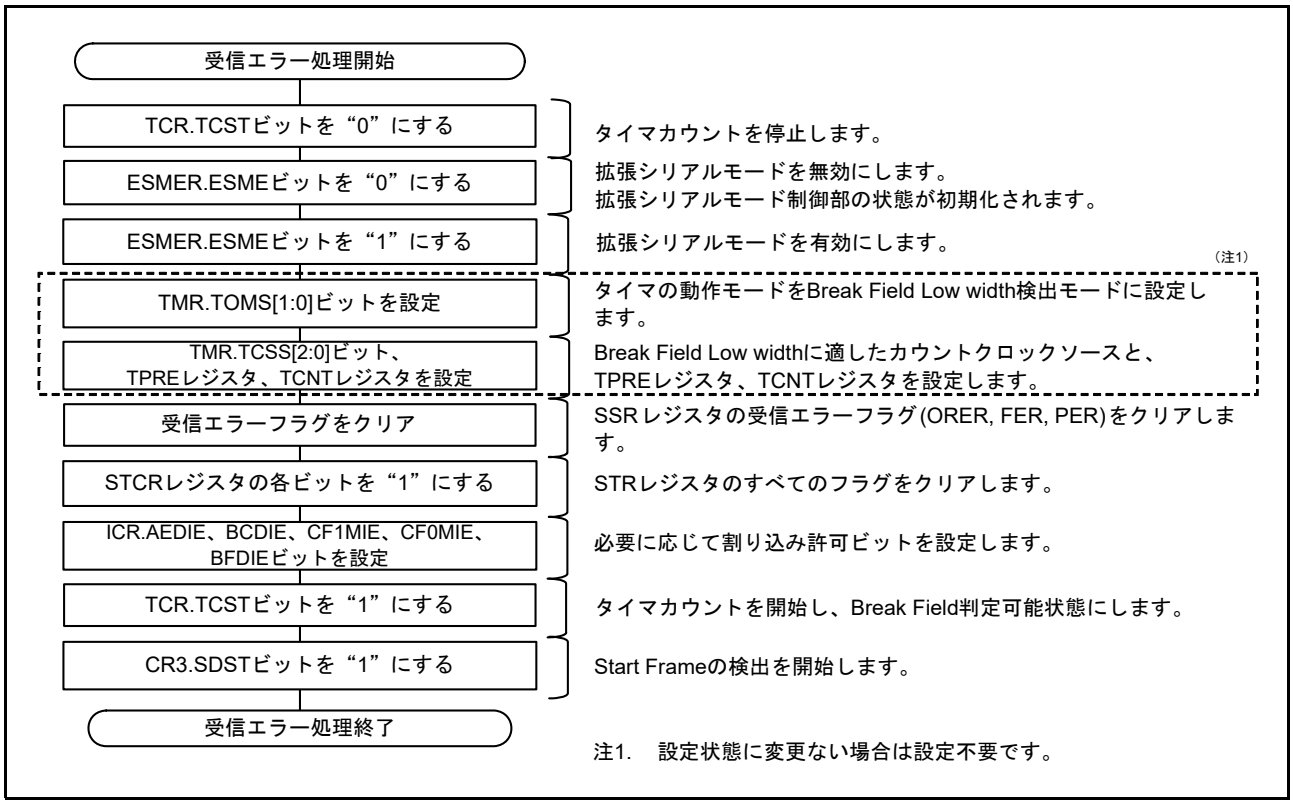


図 32.86　受信エラー処理のフローチャートの例 (Start Frame 受信中)

32.14.14　トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが “0” (シリアル送信動作を禁止) のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを “0” にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

(1) TXDn ラインにプルアップ抵抗またはプルダウン抵抗を接続する。

(2) TE ビットを “1” にしてから、端子の機能を「TXDn」に切り替える (注 1)。また、TE ビットを “0” にする前に、端子の機能を「汎用入出力ポート」に切り替えて、High または Low を出力させる。

(3) SPTR.SPB2IO ビットを “1” にしてから、端子の機能を「TXDn」にする。また、その後も SPB2IO ビットを “1” にしたままにする (SCI1, SCI5, SCI6)。

注 1. TXI 割り込みが許可されているときに TE ビットを “1” にすると、割り込みが発生します。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICU.IERm.IENj ビットを “1” にしてください。

32.14.15　調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを “0” にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを “0” にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが “0” になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

33. シリアルコミュニケーションインタフェース (RSCI)

本章に記載している PCLK とは、RSCI8、RSCI9 では PCLKB を、RSCI11 では PCLKA を指します。

33.1 概要

RSCI は、調歩同期式とクロック同期式のシリアル通信が可能です。また送信 / 受信部に 32 段の FIFO バッファ構成を選択可能で、効率的な連続通信が可能です。

調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェース、マンチェスタコードによる通信、拡張シリアル通信をサポートしています。また、簡易 I2C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。さらに、調歩同期式では、ホームバスシステム (HBS) 通信で使用する 50% デューティ負論理 AMI 符号を生成するためのサポート機能があります。

表 33.1 に RSCI の仕様を、**表 33.2** にチャネル別の機能一覧を示します。

表33.1　RSCIの仕様 (1/3)

項目	内容
シリアル通信方式	• 調歩同期式 • マンチェスタ • クロック同期式 • スマートカードインタフェース • 簡易I2C • 簡易SPI (4線式シリアルバス) • 拡張シリアル
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
半二重通信	TXDn端子を用いた半二重通信が可能
データ転送	LSBファースト/MSBファースト選択可能
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
RXD入力信号選択機能	伝送線路の影響によりRXD信号が減衰した場合、コンパレータをレシーバ代わりに使用して改善可能
割り込み要因	送信完了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、受信データ一致 Break Field検出/送出、バス衝突検出、有効エッジ検出 スタートコンディション/リスタートコンディション/ストップコンディション生成終了
RS-485 ドライバ制御機能	外部トランシーバーの送信モードを有効にするDE信号を出力
ループバック機能	IP内部でTXDとRXDを接続することで通信機能の自己診断が可能
消費電力低減機能	チャネルごとにモジュールストップ状態への遷移が可能

表33.1　RSCIの仕様 (2/3)

項目		内容
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
	データー致検出機能	受信データと比較データ内容との一致を検出して割り込み要求を出力可能
	スタートビットの検出	RXDn端子のLowレベル/立ち下がりエッジ検出を選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がりエッジまたは立ち上がりエッジのいずれかを遅延させる
	ブレーク検出	フレーミングエラー発生時、レジスタをリードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
	HBSサポートモード	反転RZI (Return to Zero, Inverted)符号による送受信が可能
マンチェスタモード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー、マンチェスタコードエラー、プリフェースエラー、スタートビットエラー、受信Syncエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	クロックソース	内部クロックを使用(マンチェスタモード時、外部クロックは、動作保証対象外のため、設定禁止です)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
	マンチェスタ符号化/復号化機能	送受信データをマンチェスタ符号化/復号化し、マンチェスタコードを用いて通信する機能
	プリフェース設定/検出機能	プリフェースパターンからフレーム先頭を検出する機能。プリフェースパターンは4種から選択が可能。長さも0～15bitで可変可能
	スタートビット設定/検出機能	スタートビット長を1bitか3bitに設定可能。3bit長の場合は2種類のパターンで後続のデータの種類を判定することが可能
	受信リタイミング機能	マンチェスタコードがビット中央にエッジを持つことを利用して、ビット中央エッジごとにタイミング補正を行う機能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
拡張シリアルモード	Start Frame送信	Break Field送出可能、Break Field送出完了割り込み出力可能、バス衝突検出可能、バス衝突検出割り込み出力可能
	Start Frame受信	Break Field検出可能、Break Field検出割り込み出力可能 Control Field 0/1データの比較機能 Control Field 1にはプライマリ/セカンダリの2種類の比較データの設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 ビットレート測定機能あり

表33.1　RSCIの仕様 (3/3)

項目		内容
簡易I²Cモード	通信フォーマット	I²Cバスフォーマット
	動作モード	マスタ(マルチマスタ動作は不可)
	転送速度	ファストモード対応(転送速度の設定については「33.2.7　制御レジスタ2 (SCR2)」を参照してください)
	ノイズ除去	SCL、SDA入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅は調整可能
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	クロックソース	内部クロック(マスタ)/外部クロック(スレーブ)の選択が可能
	倍速モード	ボーレートジェネレータの倍速モードを選択可能
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
簡易SPI (4線式シリアルバス)モード	データ長	8ビット
	エラーの検出	オーバランエラー
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	クロックソース	内部クロック(マスタ)/外部クロック(スレーブ)の選択が可能
	倍速モード	ボーレートジェネレータの倍速モードを選択可能
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能		エラー(受信エラー・エラーシグナル検出)イベント出力 受信データフルイベント出力 送信データエンプティイベント出力 送信完了イベント出力

表33.2　チャネル別機能一覧

項目	RSCI8	RSCI9	RSCI11
調歩同期式モード	○	○	○
マンチェスタモード	—	○	○
スマートカードインタフェースモード	○	○	○
拡張シリアルモード	—	○	○
簡易I²Cモード	○	○	○
クロック同期式モード	○	○	○
簡易SPIモード	○	○	○
FIFOバッファ	—	—	○
イベントリンク機能	—	—	○
周辺モジュールクロック	PCLKB	PCLKB	PCLKA

図 33.1、図 33.2、図 33.3 に RSCI のブロック図を示します。

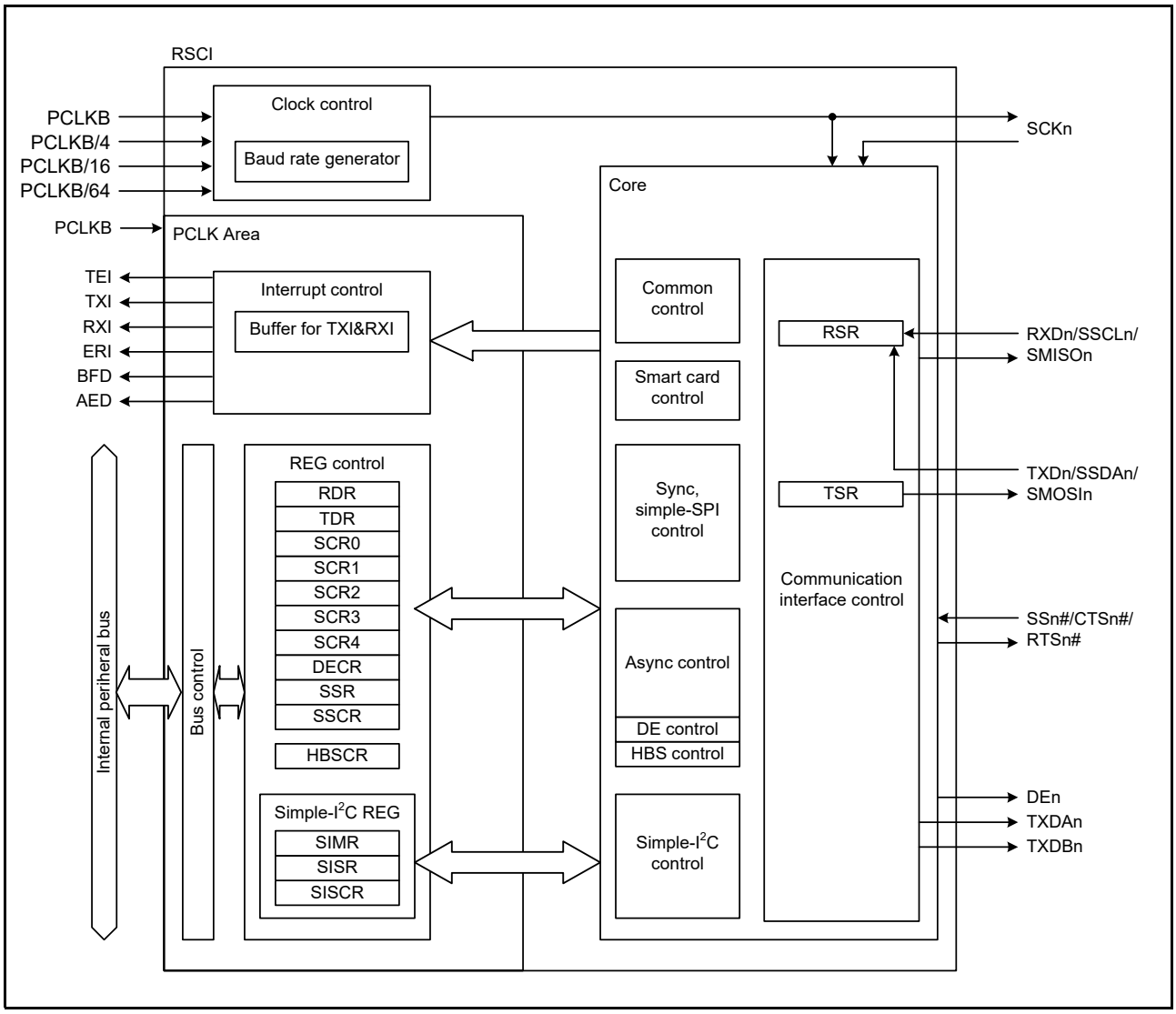


図 33.1　RSCI のブロック図 (n = 008)

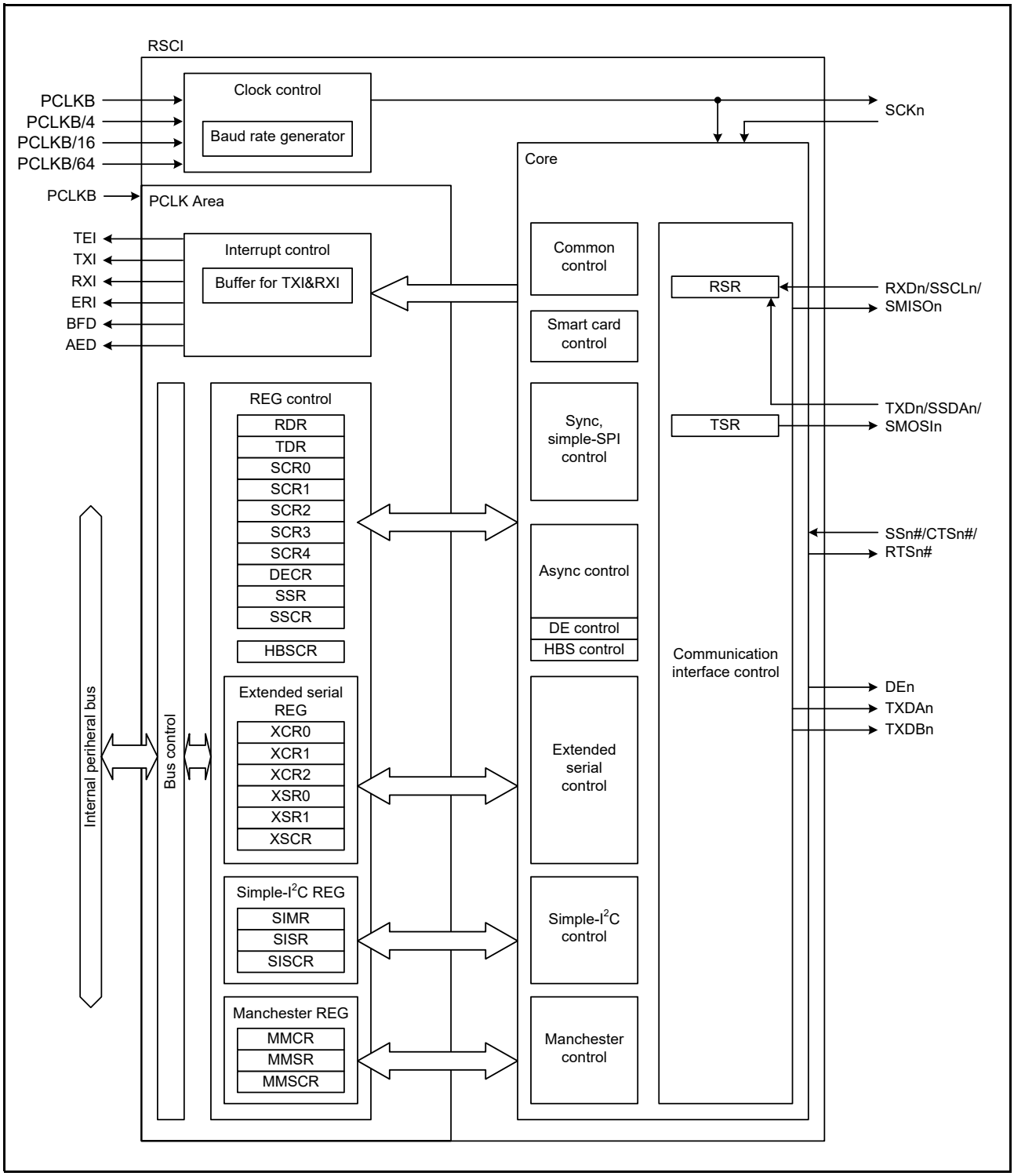


図 33.2　RSCI のブロック図 (n = 009)

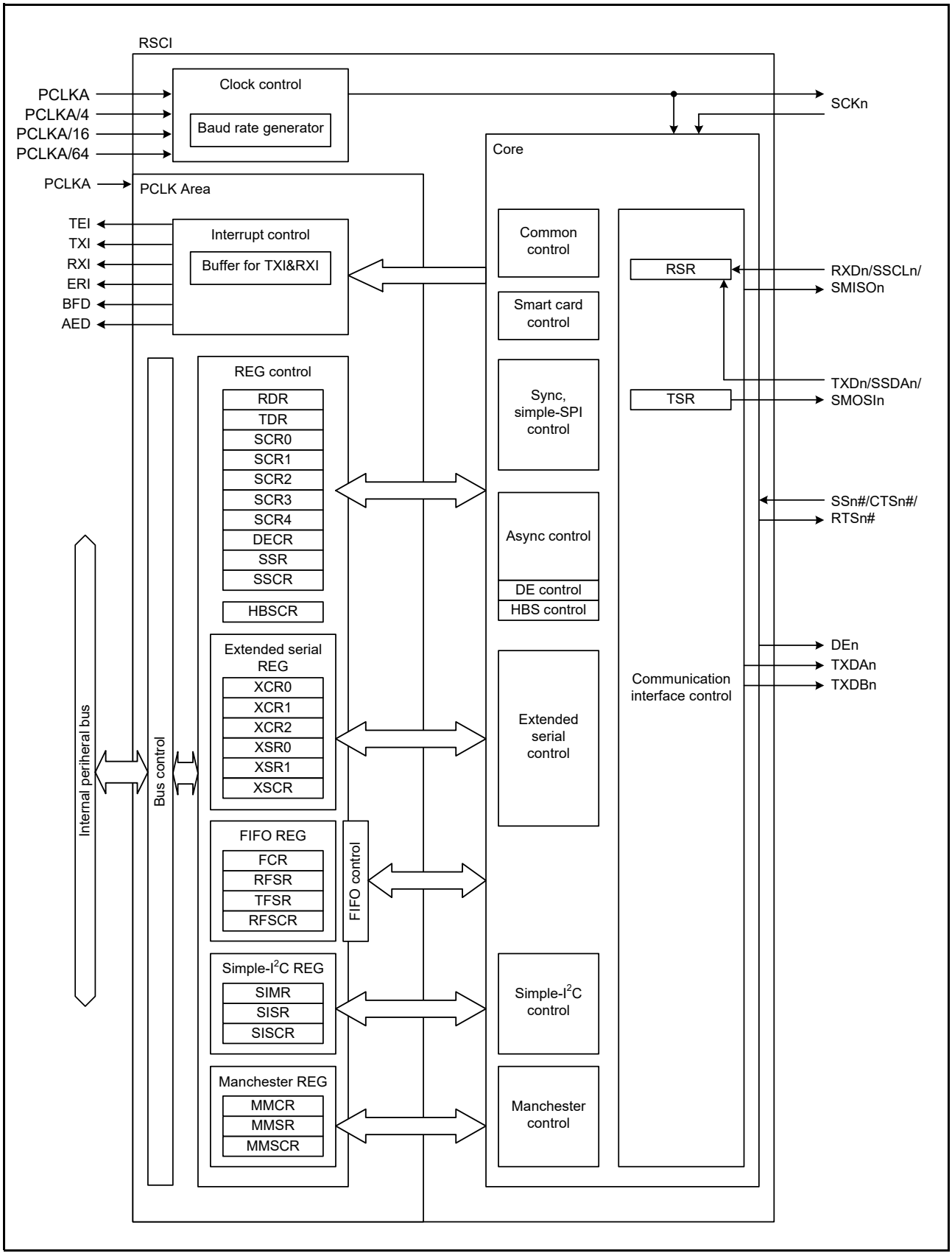


図 33.3　RSCI のブロック図 (n = 011)

表 33.3 ～表 33.6 に RSCI で使用する入出力端子を示します。

表33.3　RSCIの入出力端子(調歩同期式モード/クロック同期式モード/マンチェスタモード/拡張シリアルモード)

チャネル	端子名	入出力	機能
RSCI8	SCK008	入出力	RSCI8のクロック入出力端子
	RXD008	入力	RSCI8の受信データ入力端子
	TXD008	出力	RSCI8の送信データ出力端子
	RTS008#	出力	RSCI8の送信要求信号出力端子
	CTS008#	入力	RSCI8の送信開始制御用入力端子
	DE008	出力	RSCI8のRS-485ドライバ制御用出力端子
RSCI9	SCK009	入出力	RSCI9のクロック入出力端子
	RXD009	入力	RSCI9の受信データ入力端子
	TXD009	出力	RSCI9の送信データ出力端子
	RTS009#	出力	RSCI9の送信要求信号出力端子
	CTS009#	入力	RSCI9の送信開始制御用入力端子
	DE009	出力	RSCI9のRS-485ドライバ制御用出力端子
RSCI11	SCK011	入出力	RSCI11のクロック入出力端子
	RXD011	入力	RSCI11の受信データ入力端子
	TXD011	出力	RSCI11の送信データ出力端子
	RTS011#	出力	RSCI11の送信要求信号出力端子
	CTS011#	入力	RSCI11の送信開始制御用入力端子
	DE011	出力	RSCI11のRS-485ドライバ制御用出力端子

表33.4　RSCIの入出力端子(簡易I^2Cモード)

チャネル	端子名	入出力	機能
RSCI8	SSCL008	入出力	RSCI8のI^2Cクロック入出力端子
	SSDA008	入出力	RSCI8のI^2Cデータ入出力端子
RSCI9	SSCL009	入出力	RSCI9のI^2Cクロック入出力端子
	SSDA009	入出力	RSCI9のI^2Cデータ入出力端子
RSCI11	SSCL011	入出力	RSCI11のI^2Cクロック入出力端子
	SSDA011	入出力	RSCI11のI^2Cデータ入出力端子

表33.5　RSCIの入出力端子(簡易SPIモード)

チャネル	端子名	入出力	機能
RSCI8	SCK008	入出力	RSCI8のクロック入出力端子
	SMISO008	入出力	RSCI8のスレーブ送出データ入出力端子
	SMOSI008	入出力	RSCI8のマスタ送出データ入出力端子
	SS008#	入力	RSCI8のスレーブセレクト入力端子
RSCI9	SCK009	入出力	RSCI9のクロック入出力端子
	SMISO009	入出力	RSCI9のスレーブ送出データ入出力端子
	SMOSI009	入出力	RSCI9のマスタ送出データ入出力端子
	SS009#	入力	RSCI9のスレーブセレクト入力端子
RSCI11	SCK011	入出力	RSCI11のクロック入出力端子
	SMISO011	入出力	RSCI11のスレーブ送出データ入出力端子
	SMOSI011	入出力	RSCI11のマスタ送出データ入出力端子
	SS011#	入力	RSCI11のスレーブセレクト入力端子

表33.6　RSCIの入出力端子(HBSサポートモード)

チャネル	端子名	入出力	機能
RSCI8	RXD008	入力	RSCI8の受信データ入力端子
	TXD008	出力	RSCI8の送信データ出力端子
	TXDA008/TXDB008	出力	RSCI8の送信データ出力端子(交互出力時)
RSCI9	RXD009	入力	RSCI9の受信データ入力端子
	TXD009	出力	RSCI9の送信データ出力端子
	TXDA009/TXDB009	出力	RSCI9の送信データ出力端子(交互出力時)
RSCI11	RXD011	入力	RSCI11の受信データ入力端子
	TXD011	出力	RSCI11の送信データ出力端子
	TXDA011/TXDB011	出力	RSCI11の送信データ出力端子(交互出力時)

33.2　レジスタの説明

この章は RSCI が持つレジスタの説明と機能仕様、動作仕様について説明します。

33.2.1　受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。CPU から直接アクセスすることはできません。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

33.2.2　受信データレジスタ (RDR)

アドレス　RSCI8.RDR 000A 1400h, RSCI9.RDR 000A 1480h, RSCI11.RDR 000E 2080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	AFER	APER	—	—	ORER	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FER	PER	DR	MPB	RDAT[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	受信データビット	受信データを格納するための9ビットの領域です。 受信データは、7ビットデータ長選択時はRDAT[6:0]ビットに、8ビットデータ長選択時はRDAT[7:0]ビットに、9ビットデータ長選択時はRDAT[8:0]ビットに格納され、未使用のビットには“0”が格納されます	R
b9	MPB	マルチプロセッサビットモニタフラグ	0：データ送信サイクル 1：ID送信サイクル	R
b10	DR	受信データレディフラグ	RFSR.DR値が読み出せます	R
b11	PER	パリティエラーフラグ	(調歩同期式モードのみ有効) 0：受信FIFO (RDRレジスタ)から読み出したデータにパリティエラーがない 1：受信FIFO (RDRレジスタ)から読み出したデータにパリティエラーがある	R
b12	FER	フレーミングエラーフラグ	(調歩同期式モードのみ有効) 0：受信FIFO (RDRレジスタ)から読み出したデータにフレーミングエラーがない 1：受信FIFO (RDRレジスタ)から読み出したデータにフレーミングエラーがある	R
b23-b13	—	予約ビット	読むと“0”が読めます	R
b24	ORER	オーバランエラーフラグ	SSR.ORER値が読み出せます	R
b26-b25	—	予約ビット	読むと“0”が読めます	R
b27	APER	総合パリティエラーフラグ	SSR.APER値が読み出せます	R
b28	AFER	総合フレーミングエラーフラグ	SSR.AFER値が読み出せます	R
b31-b29	—	予約ビット	読むと“0”が読めます	R

本レジスタは、FIFO モード (SCR3.FM ビット = 1) 時は、32 段の FIFO バッファ構成となります。

RDAT[8:0] ビット (受信データビット)

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

非 FIFO モード時、RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

また、FIFO モード時、32 段の FIFO バッファがいっぱいになるまで連続で受信できます。受信 FIFO (RDR レジスタ) に受信データがないときに受信 FIFO (RDR レジスタ) を読み出すと不定値が読めます。受信 FIFO (RDR レジスタ) が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

RDR レジスタへは CPU から書き込みできません。

また、調歩同期式、マンチェスタモードの 7 ビットおよび 8 ビット通信時は、受信されないビット位置 (RDAT[8] や RDAT[7]) には “0” が格納されます。

MPB フラグ (マルチプロセッサビットモニタフラグ)

調歩同期式モードおよびマンチェスタモードで、マルチプロセッサ通信 (SCR3.MP ビット = 1) 時、受信データ (RDAT[8:0]) に対応するマルチプロセッサビットの値が読み出せます。

PER フラグ (パリティエラーフラグ)

受信 FIFO から読み出したデータのパリティエラー有無を示します。

また、FER フラグと PER フラグは FIFO モード時のみ受信データのエラー情報が格納されます。非 FIFO モード時は、“0” が格納されます。

FER フラグ (フレーミングエラーフラグ)

受信 FIFO から読み出したデータのフレーミングエラー有無を示します。

また、FER フラグと PER フラグは FIFO モード時のみ受信データのエラー情報が格納されます。非 FIFO モード時は、“0” が格納されます。

33.2.3　送信データレジスタ (TDR)

アドレス　RSCI8.TDR 000A 1404h, RSCI9.TDR 000A 1484h, RSCI11.TDR 000E 2084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SYNC	—	—	MPBT	TDAT[8:0]								
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	送信データビット	送信データを設定するための9ビットの領域です。 送信データは、7ビットデータ長選択時はTDAT[6:0]ビットに、8ビットデータ長選択時はTDAT[7:0]ビットに、9ビットデータ長選択時はTDAT[8:0]ビットに書き込んでください。 バイトアクセス時は、TDR.LHを書いた後にTDR.LLを書いてください	R/W
b9	MPBT	送信マルチプロセッサビット	送信フレームに付加するマルチプロセッサビットの値の設定ビットです。本ビットは、調歩同期式モード、マンチェスタモード時に使用します。未使用時に書き込む場合は初期値を書いてください。 0：データ送信サイクル 1：ID送信サイクル	R/W
b11-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b12	SYNC	Syncパルス選択ビット	マンチェスタモードでMMCR.SBLENビット= 1かつMMCR.SYNCEビット= 1の場合有効となります。未使用時に書き込む場合は初期値を書いてください 0：スタートビットはデータSyncを出力 1：スタートビットはコマンドSyncを出力	R/W
b31-b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R

本レジスタは、FIFO モード (SCR3.FM ビット = 1) 時は、32 段の FIFO バッファ構成となります。

TDAT[8:0] ビット (送信データビット)

TDR レジスタは、送信データを格納するための 9 ビットの領域です。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

非 FIFO モード時、TDR レジスタは CPU から常にリード / ライト可能です。TDR レジスタへの送信データの書き込みは、SCR0.TE ビット = 1 の状態で、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

また、FIFO モード時は、32 段の FIFO バッファが空になるまで連続で送信できます。FIFO が送信データでいっぱいになると、次の送信データを書き込むことはできません。書き込みを試みても、書き込んだデータは無視されます。

また、バイトアクセス時は、TDR.LH を書いた後に TDR.LL を書いてください。

MPBT ビット (送信マルチプロセッサビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。

SYNC ビット (Sync パルス選択ビット)

本ビットはマンチェスタモード (SCR3.MOD[2:0] ビット = 101b) かつ MMCR.SYNCE ビット、MMCR.SBLEN ビットを “1” にした場合に有効になります。

送信フレームスタートビット領域の Sync 種別をデータ Sync かコマンド Sync に設定することができます。

33.2.4 送信シフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。CPU からは直接アクセスすることはできません。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

33.2.5 制御レジスタ 0 (SCR0)

アドレス RSCI8.SCR0 000A 1408h, RSCI9.SCR0 000A 1488h, RSCI11.SCR0 000E 2088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	SSE	—	—	TEIE	TIE	—	—	—	RIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IDSEL	DCME	MPIE	—	—	—	TE	—	—	—	RE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RE	受信許可ビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W (注1、注2)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TE	送信許可ビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	MPIE	マルチプロセッサ割り込み許可ビット	(調歩同期式モードおよびマンチェスタモードで、SCR3.MPビット= 1のとき有効) 本ビットはスマートカードインタフェースモード時、“0”としてください 0：マルチプロセッサ機能を用いない受信動作 1：マルチプロセッサビットが“0”の受信データは読み飛ばし、各ステータスフラグのセット(“1”)を禁止します マルチプロセッサビットが“1”のデータを受信すると、このビットは自動的にクリア(“0”)され、マルチプロセッサ機能を用いない受信動作に戻ります。続けてマルチプロセッサ機能を用いた受信動作を行う場合は、次のフレームのSTOPビット受信より前に本ビットを“1”にしてください	R/W (注3)
b9	DCME	データー致検出機能許可ビット	(調歩同期式モードで有効) 0：データー致検出機能無効 1：データー致検出機能有効	R/W (注3)
b10	IDSEL	IDフレーム選択ビット	(調歩同期式モードかつマルチプロセッサモードで有効) 0：マルチプロセッサビットの値によらず常に比較する 1：マルチプロセッサビットが“1”のデータ(IDデータ)のみ比較する	R/W (注4)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RIE	受信割り込み許可ビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TIE	送信割り込み許可ビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W
b21	TEIE	送信完了割り込み許可ビット	本ビットはスマートカードインタフェースモード時、“0”としてください 0：TEI割り込み要求を禁止 1：TEI割り込み要求を許可	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	SSE	SSn#端子機能許可ビット	(簡易SPIモードで有効) スレーブモード(SCR3.CKE[1:0]ビット= 1xb)時は“1”を設定してください 0：SS端子機能禁止 1：SS端子機能許可	R/W (注4)
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. クロック同期式モード(SCR3.MOD[2:0]ビット= 010b)と簡易SPIモード(SCR3.MOD[2:0]ビット= 011b)、および簡易I²Cモード(SCR3.MOD[2:0]ビット= 100b)のときは、TEビット= 0、REビット= 0の場合のみ“1”を書き込み可能です。いったん、TE、REビットのいずれかを“1”にした後はTEビット= 0、REビット= 0の書き込みのみ可能になります。それ以外のモードのときは任意のタイミングで書き込み可能です。
注2. クロック同期式モード、簡易SPIモードでは、内部クロック(マスタモード)時の受信オンリー設定は禁止です(TE = 0かつRE = 1設定は禁止)。
注3. 本ビットはハードウェアクリアされるビットです。本ビット以外のビットにビット操作命令で書き込むと、リードモディファイライト動作により、本ビットを意図せず“1”にしてしまう場合があります。
注4. SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にすると、受信可能状態になります。調歩同期式モードの場合はスタートビットを、マンチェスタモード時は RXD 入力の立ち下がりを、クロック同期式モードの場合は同期クロック入力を、スマートカードインタフェースモード時はスタートビットをそれぞれ検出するとシリアル受信を開始します。

なお、RE ビットを “1” にする前に SCR0、SCR3 レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、非 FIFO モード時の SSR.RDRF、AFER、APER、ORER、および MMSR.MCER、SBER、SYER、PFER の各フラグ、FIFO モード時の RFSR.DR フラグ、スマートカードインタフェースモード時の SSR.AFER、APER、ORER の各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、送信可能状態になります。TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SCR0、SCR3 レジスタの設定を行い、送信フォーマットを決定してください。

MPIE ビット (マルチプロセッサ割り込み許可ビット)

MPIE ビットを “1” にすると、マルチプロセッサビットが “0” の受信データは読み飛ばし、SSR.RDRF、AFER、ORER、RFSR.DR および MMSR.MCER、SBER、SYER、PFER の各ステータスフラグは “1” にセットされません。マルチプロセッサビットが “1” のデータを受信すると、MPIE ビットは自動的にクリアされ、マルチプロセッサ機能を用いない受信動作に戻ります。詳細は「33.4　マルチプロセッサ通信機能」を参照してください。続けてマルチプロセッサ機能を用いて受信動作をしたい場合は、次の受信フレームの STOP ビット受信より十分早く、本ビットを “1” にしてください。

マルチプロセッサビットが “0” の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、AFER および MMSR.MCER、SBER、SYER、PFER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが “1” の受信データを受信すると、MPB フラグを “1” にし、MPIE ビットを自動的に “0” にし、RXI、ERI 割り込み要求 (SCR0.RIE ビットが “1” に設定されている場合) と、AFER、ORER および MCER、SBER、SYER、PFER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには “0” をライトして使用してください。

DCME ビット (データ一致検出機能許可ビット)

データ一致検出機能を選択します。

DCME ビット = 1 のとき、受信したデータと SCR4.CMPD[8:0] ビットに設定された値との一致を検出すると、DCME ビットは自動的にクリアされ、データ一致検出機能を用いない受信動作に戻ります。

詳細は「33.3.6　データ一致検出機能」を参照してください。

調歩同期式モード以外では “0” を設定してください。

IDSEL ビット (ID フレーム選択ビット)

データ一致検出機能を選択時に、マルチプロセッサビットの値によらず比較するか、マルチプロセッサビットが “1” のデータ (ID フレーム) のみを比較するか選択します。どちらを選択するか、データ一致検出機能選択時に同時に設定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI および ERI 割り込み要求の禁止は、RIE ビットを “0” にクリアすることで行うことができます。

ERI 割り込み要求の解除は、SSR.AFER、APER、ORER の各フラグをクリアすることでも行うことができます。

マンチェスタモードの場合は MMSR.MCER、SBER、SYER、PFER の各フラグもエラー割り込み要求の要因となるため同様の処置が必要です。これらのフラグの詳細は「33.2.12　**マンチェスタモード制御レジスタ (MMCR)**」、「33.2.21　**マンチェスタモードステータスレジスタ (MMSR)**」を参照してください。

TIE ビット (送信割り込み許可ビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” クリアすることで行うことができます。

送信開始時は TE と TIE を同時に “1” にしてください、TXI 割り込みが発生します。

TEIE ビット (送信完了割り込み許可ビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを “0” にクリアすることで行うことができます。

簡易 I^2C モードでは、スタートコンディション / リスタートコンディション / ストップコンディション生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も同様に本ビットにより STI 割り込み要求を許可、また禁止することができます。

SSE ビット (SSn# 端子機能許可ビット)

簡易 SPI モード時に使用するビットです。それ以外の通信モードでは “0” を設定してください。CTSE ビットと両方を有効にしないでください (設定した場合、両ビットともに “0” を設定したときと同じ動作となります)。

スレーブモード (SCR3.CKE[1:0] ビット = 10b または 11b) 時は SSE ビットは “1” を設定してください。

マスタモード (SCR3.CKE[1:0] ビット = 00b または 01b) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であるため、SSE ビットは “0” を設定します。

33.2.6 制御レジスタ 1 (SCR1)

アドレス RSCI8.SCR1 000A 140Ch, RSCI9.SCR1 000A 148Ch, RSCI11.SCR1 000E 208Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	NFEN	—	NFCS[2:0]			—	—	—	HDSEL	—	—	—	LOOP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RINV	TINV	—	—	PM	PE	—	—	SPB2IO	SPB2DT	—	—	CRSEP	CTSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSE	CTS機能許可ビット	0：CTS機能禁止(RTS出力機能有効) 1：CTS機能許可	R/W (注1)
b1	CRSEP	CTS/RTS分離ビット (注2)	0：CTS機能、RTS機能のいずれかを使用 1：CTS機能、RTS機能の両方を同時に使用	R/W (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SPB2DT	シリアルポートブレークデータビット	SCR0.TEビット= 0かつSPB2IOビット= 1のときにTXDn (TXDAn/TXDBn (注3))端子に出力するレベルを選択します (注4) TINVビット= 0のとき 0：TXDn (TXDAn/TXDBn (注3))端子にLowレベルを出力 1：TXDn (TXDAn/TXDBn (注3))端子にHighレベルを出力 TINVビット= 1のとき 0：TXDn (TXDAn/TXDBn (注3))端子にHighレベルを出力 1：TXDn (TXDAn/TXDBn (注3))端子にLowレベルを出力	R/W
b5	SPB2IO	シリアルポートブレーク入出力ビット	SCR0.TEビット= 0のときのTXDn (TXDAn/TXDBn (注3))端子への出力有無を選択します (注4) 0：TXDn (TXDAn/TXDBn (注3))端子にSPB2DTビットの値を出力しない 1：TXDn (TXDAn/TXDBn (注3))端子にSPB2DTビットの値を出力する	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	PE	パリティイネーブルビット	(調歩同期式モードおよびマンチェスタモードで有効、スマートカードインタフェース時は“1”にしてください) 送信時 0：パリティビットなし 1：パリティビットを付加 受信時 0：パリティなしで受信 1：パリティチェックを行う	R/W (注1)
b9	PM	パリティモードビット	(PEビット= 1のとき有効なビットです) 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	TINV	送信出力反転ビット (注5)	0：TXDn (TXDAn/TXDBn (注3))端子からの出力を反転しない 1：TXDn (TXDAn/TXDBn (注3))端子から出力を反転する	R/W (注1)
b13	RINV	受信入力反転ビット (注5)	0：RXDn端子からの入力を反転しない 1：RXDn端子からの入力を反転する	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	LOOP	ループバックモード設定ビット	調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時に使用可能です 0：通常モード 1：ループバックモード	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	HDSEL	半二重通信モード選択ビット	本ビットはスマートカードインタフェースモード時、簡易I2Cモード時、および簡易SPIモード時は使用しないでください(設定値“0”で使用してください) 0：TXDn端子、RXDn端子独立 1：TXDn/RXDn端子兼用(TXDn端子を用いた半二重通信が可能)	R/W (注1)
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26-b24	NFCS[2:0]	ノイズフィルタクロック選択ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード、および簡易I2Cモード時のみ有効) ノイズフィルタのクロックソースを選択します b26　b24 ０００：基本クロック1分周 ００１：内蔵ボーレートジェネレータソースクロック(注6)　1分周 ０１０：内蔵ボーレートジェネレータソースクロック(注6)　2分周 ０１１：内蔵ボーレートジェネレータソースクロック(注6)　4分周 １００：内蔵ボーレートジェネレータソースクロック(注6)　8分周 上記以外：設定禁止 簡易I2Cモードでは“000b”を選択しないでください	R/W (注1)
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	NFEN	デジタルノイズフィルタ許可ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード) 0：RXDn入力信号のノイズ除去機能無効 1：RXDn入力信号のノイズ除去機能有効 (簡易I2Cモード) 0：SSCLn、SSDAn入力信号のノイズ除去機能無効 1：SSCLn、SSDAn入力信号のノイズ除去機能有効	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。
注2.　調歩同期式モード、マンチェスタモードでのみ有効です。その他のモードでは“0”にしてください。
注3.　HBSサポートモードで交互出力時
注4.　本ビットでTXDn端子状態を制御するのは調歩同期式モードおよびマンチェスタモードのみとしてください。他のモードの動作は保証しません。
注5.　スマートカードインタフェースモードと簡易I2CモードではRINVビット= TINVビット= 0としてください。
注6.　SCR2.CKS[1:0]ビットで選択したクロック

CTSE ビット (CTS 機能許可ビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は “1” を設定します。“0” を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I2C モード、拡張シリアルモード時は “0” を設定してください。

SSE ビットと両方を有効にしないでください (設定した場合、両ビットともに無効となります)。

CRSEP ビット (CTS/RTS 分離ビット)

CTSE ビットが “1” のとき、CTS/RTS 機能使用時の端子使用方法を選択します。

CTS 機能と RTS 機能のいずれかを使用する場合は “0” にしてください。

CTS 機能と RTS 機能の両方を同時に使用する場合は “1” にしてください。

CTSE ビットが “0” のとき、このビットは “0” にしてください。

CRSEP ビット、CTSE ビットの設定値と端子の機能の関係については**表 33.7** を参照してください。

表33.7　CRSEPビット、CTSEビットの設定と端子の機能

CTSEビット	CRSEPビット	CTSn#/RTSn#兼用端子	CTSn#専用端子	RTSn#専用端子
0	0	RTSn# 信号出力	無効	RTSn# 信号出力
1	0	CTSn# 信号入力	CTSn# 信号入力	無効
1	1	RTSn# 信号出力	CTSn# 信号入力	RTSn# 信号出力

SPB2DT ビット (シリアルポートブレークデータビット)、
SPB2IO ビット (シリアルポートブレーク入出力ビット)

SCR0.TE ビット、SCR1.SPB2IO ビット、SCR1.SPB2DT ビットの組み合わせで決まる TXDn (TXDAn/TXDBn) 端子の状態を**表 33.8** に示します。

表33.8　TXDn (TXDAn/TXDBn)端子の制御

SCR0.TEビット	SPB2IOビット	SPB2DTビット	TINVビット	TXDn (TXDAn/TXDBn)端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
	1 (出力)	0	0	Lowを出力
			1	Highを出力
		1	0	Highを出力
			1	Lowを出力
1 (送信許可)	任意	任意	任意	送信データ出力端子

PE ビット (パリティイネーブルビット)

このビットが “1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、このビットの設定にかかわらずパリティビットの付加、チェックは行いません。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。マルチプロセッサモードでは、このビットの設定は無効です。

スマートカードインタフェースモードにおけるこのビットの使用方法については、**「33.7.2　データフォーマット (ブロック転送モード時を除く)」**を参照してください。

TINV ビット (送信出力反転ビット)、RINV ビット (受信入力反転ビット)

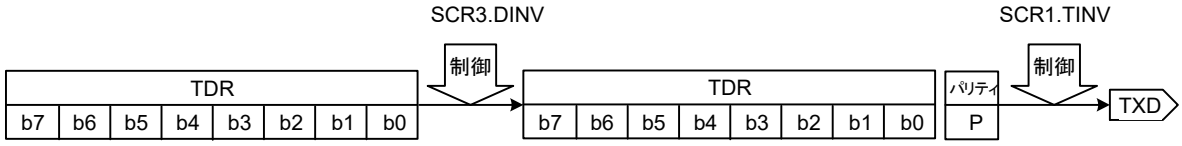
RDR レジスタに格納する値は、RINV ビットと SCR3.DINV ビットの組合せで決まります。また、TXDn 端子からの出力レベルは、TINV ビットと SCR3.DINV ビットの組合せで決まります。RINV/TINV ビットによる制御は、RXDn/TXDn 端子に対して行うため、全ての通信データを制御します (データビットだけでなく、スタートビット、ストップビット、パリティビット等を含みます)。詳細説明は、**図 33.4** を参照してください。TXDAn/TXDBn 端子使用時は、同様に TINV 値によってデータ反転します。

半二重通信時、および簡易 SPI モードでスレーブ動作時は、受信時に TXDn 端子を用いるため、受信データの反転制御は TINV ビットで設定してください。

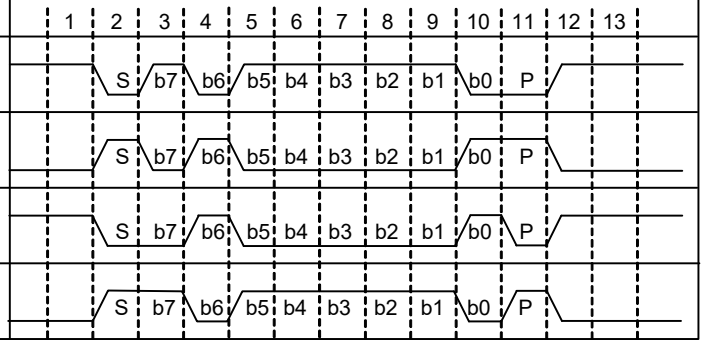
注 .　本書内の説明文、タイミングチャートは、TINV/RINV 設定値を明記してない場合は、通信端子反転機能が OFF の条件 (SCR1.TINV ビット = 0、SCR1.RINV ビット = 0) で記載しています。

送信/受信データ制御説明(データ長8ビット、パリティチェック有効、MSBファースト送受信時)

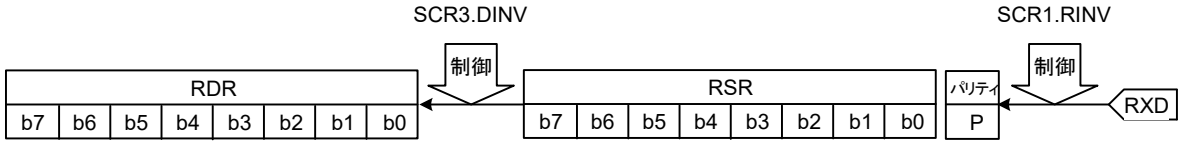
送信データはSCR1.TINVとSCR3.DINVビットの組合せで制御します。



SCR3. DINV	SCR1. TINV	TDR 格納値	TSR 格納値	パリティ (偶数)	TXDn端子波形
0	0	BEh	BEh	0	
0	1	BEh	BEh	0	
1	0	BEh	41h	0	
1	1	BEh	41h	0	



受信データはSCR1.RINVとSCR3.DINVビットの組合せで制御します。



SCR3. DINV	SCR1. RINV	RDR 格納値	RSR 格納値	パリティ (偶数)	RXDn端子波形
0	0	BEh	BEh	0	
1	0	41h	BEh	0	
0	1	BEh	BEh	0	
1	1	41h	BEh	0	

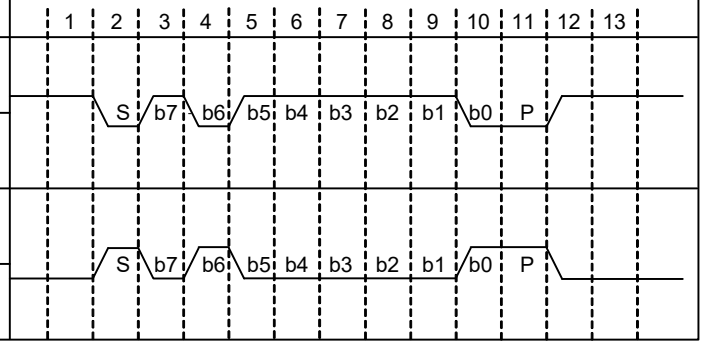


図 33.4　送信 / 受信データ値制御説明

LOOP ビット (ループバックモード設定ビット)

本ビットを “1” にすると、RSCI は RXD からの入力経路を遮断し、TXD への出力経路を受信データレジスタへ接続します (ループバックモード)。

TINV ビットと組み合わせることで、送信データを反転して受信することが可能です。

クロック同期式モードスレーブ動作時と調歩同期式モード外部クロック使用時、および拡張シリアルモード時は “0” を設定してください。

HDSEL ビット (半二重通信モード選択ビット)

本ビットを “1” にすると TXDn 端子を用いて半二重通信ができます。ただし、簡易 SPI モード、簡易 I2C モードおよびスマートカードインタフェースモードでは使用できません。

本ビットが “1” の設定のときに、SCR0.TE ビット = 1、SCR0.RE ビット = 0 とすると TXDn 端子が通信出力になり、SCR0.TE ビット = 0、SCR0.RE ビット = 1 とすると TXDn 端子が通信入力になります。詳細については「33.16　半二重通信機能」を参照してください。

NFCS[2:0] ビット (ノイズフィルタクロック選択ビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード、マンチェスタモード、および拡張シリアルモード時にノイズフィルタを使用する場合、“000b” ～ “100b” を設定してください。

簡易 I2C モード時は、“001b” ～ “100b” の中から選択してください。

NFEN ビット (デジタルノイズフィルタ許可ビット)

デジタルノイズフィルタ機能の有効、無効を選択します。有効にすると、調歩同期式モード、マンチェスタモード、および拡張シリアルモードの場合は、受信 RXDn 入力端子、簡易 I2C モードの場合は SSCLn/SSDAn 入力端子のノイズ除去を行います。それ以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

33.2.7 制御レジスタ 2 (SCR2)

アドレス RSCI8.SCR2 000A 1410h, RSCI9.SCR2 000A 1490h, RSCI11.SCR2 000E 2090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MDDR[7:0]								—	—	CKS[1:0]		—	—	—	BRME
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BRR[7:0]								—	ABCSE	ABCS	BGDM	—	BCP[2:0]		
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BCP[2:0]	基本クロックパルスビット	スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロックパルス数を選択します b2 b0 0 0 0：93クロック(S = 93)(注2) 0 0 1：128クロック(S = 128)(注2) 0 1 0：186クロック(S = 186)(注2) 0 1 1：512クロック(S = 512)(注2) 1 0 0：32クロック(S = 32)(注2)(初期値) 1 0 1：64クロック(S = 64)(注2) 1 1 0：372クロック(S = 372)(注2) 1 1 1：256クロック(S = 256)(注2)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	BGDM	ボーレートジェネレータ倍速モード選択ビット	ボーレートジェネレータの出力クロックの周期を選択します。本ビットは、調歩同期式/マンチェスタ/クロック同期式/簡易SPIモードで、SCR3.CKE[1]ビット= 0のとき有効です 0：ボーレートジェネレータから1倍の周波数のクロックを出力 1：ボーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b5	ABCS	調歩同期基本クロック選択ビット	(調歩同期式モード、マンチェスタモードおよび拡張シリアルモードのみ有効) 0：基本クロック16サイクルの期間が1ビット期間の転送レートになります 1：基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b6	ABCSE	調歩同期基本クロック選択拡張ビット	(調歩同期式モードで、SCR3.CKE[1]ビット= 0のときのみ有効) 0：1ビット期間あたりの基本クロック数はSCR2.BGDMビットおよびSCR2.ABCSビットの組み合せで決まります 1：基本クロック6サイクルの期間が1ビット期間の転送レートになり、かつボーレートジェネレータから2倍の周波数のクロックを出力します	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	BRR[7:0]	ビットレート設定ビット	ビットレートを調整するための8ビットの領域です	R/W (注1)
b16	BRME	ビットレートモジュレーション許可ビット	0：ビットレートモジュレーション機能無効 1：ビットレートモジュレーション機能有効	R/W (注1)
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	CKS[1:0]	クロック選択ビット	b21 b20 0 0：PCLK (n = 0)(注3) 0 1：PCLK/4 (n = 1)(注3、注4) 1 0：PCLK/16 (n = 2)(注3、注4) 1 1：PCLK/64 (n = 3)(注3、注4)	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b31-b24	MDDR[7:0]	モジュレーションデューティ設定ビット	BRR[7:0]ビットにより調整されたビットレートを補正するためのビットです	R/W (注1)

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。
注2.　SはBRR[7:0]ビット説明中のSの値を表します。
注3.　nは設定値の10進表示で、BRR[7:0]ビット説明中のnの値を表します。
注4.　RSCI8、RSCI9では設定禁止です。

BCP[2:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロックパルス数を選択します。

詳細は、「33.7.4　受信データサンプリングタイミングと受信マージン」を参照してください。

BGDM ビット (ボーレートジェネレータ倍速モード選択ビット)

調歩同期式モード (SCR3.MOD[2:0] ビット = 000b)、マンチェスタモード (SCR3.MOD[2:0] ビット = 101b)、クロック同期式モード (SCR3.MOD[2:0] ビット = 010b)、および簡易 SPI (SCR3.MOD[2:0] ビット = 011b) で、クロックソースに内蔵ボーレートジェネレータを選択 (SCR3.CKE[1] ビット = 0) のときに有効です。外部クロック選択時 (SCR3.CKE[1] ビット = 1) のときは、“0” を設定してください。内蔵ボーレートジェネレータから 1 倍の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI 以外では “0” を設定してください。

ABCS ビット (調歩同期基本クロック選択ビット)

1 ビット期間の基本クロックのパルス数を選択します。

調歩同期式モードとマンチェスタモードと拡張シリアルモード以外では、“0” にしてください。

ABCSE ビット (調歩同期基本クロック選択拡張ビット)

1 ビット期間の基本クロックのパルス数 6、かつ、ボーレートジェネレータから 2 倍の周波数のクロック出力を選択します。

SCR2.CKS[1:0] ビット = 00b かつ BRR[7:0] ビット = 0 にしてビットレートをバスクロックの 6 分周に設定するときのみ使用してください。

調歩同期式モード以外では、“0” にしてください。調歩同期式モードで外部クロック選択時も “0” にしてください。

表33.9　1bitあたりの基本クロックサイクル数早見表

ABCSEビット	ABCSビット	BGDMビット	1ビット期間の基本クロック数	ボーレートジェネレータの出力周波数
0	0	0	16	1倍
0	0	1	16	2倍
0	1	0	8	1倍
0	1	1	8	2倍
1	任意	任意	6	2倍

BRR[7:0] ビット (ビットレート設定ビット)

BRR[7:0] ビットはビットレートを調整するための 8 ビットの領域です。

RSCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。調歩同期式モード、マンチェスタモード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モードにおける BRR[7:0] ビットの設定値 N とビットレート B の関係を表 33.10 に示します。

表33.10　BRR[7:0]ビットの設定値NとビットレートBの関係

モード	SCR2 レジスタの設定 BGDM ビット	SCR2 レジスタの設定 ABCS ビット	SCR2 レジスタの設定 ABCSE ビット	BRR[7:0] ビットの設定値	誤差(%)
調歩同期式モード、マルチプロセッサ通信機能、マンチェスタモード(注1)、拡張シリアルモード(注2)	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	N = 0 (注3)	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式モード、簡易SPIモード	0	0	0	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
	1	0	0	$N = \frac{PCLK \times 10^6}{4 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェースモード				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I²Cモード(注4)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR[7:0] ビットの設定値 (0 ≦ N ≦ 255)

PCLK: 動作周波数 (MHz)

n と S:「表 33.12　クロックソースの設定」と「表 33.13　スマートカードインタフェースモード時の基本クロックの設定」のとおり SCR2 レジスタの設定値によって決まります。

スマートカードインタフェース時のみ、分母は $2^{(2n+1)}$ です。他は $2^{(2n-1)}$ であることに注意してください。

注1.　マンチェスタモード時、ABCSE ビットは“0”にしてください。

注2.　拡張シリアルモード時、BGDM ビット、ABCSE ビットは“0”にしてください。

注3.　ABCSE ビットを“1”にする場合、N = 0、n = 0にしてください。

注4.　簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表33.11　SCL High/Low幅算出式

モード	SCL	算出式(s)
I²C	High幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表33.12　クロックソースの設定

SCR2レジスタの設定値 CKS[1:0]ビット	クロックソース	n
0 0	PCLK	0
0 1 (注1)	PCLK/4	1
1 0 (注1)	PCLK/16	2
1 1 (注1)	PCLK/64	3

注1.　RSCI8、RSCI9では設定禁止です。

表33.13　スマートカードインタフェースモード時の基本クロックの設定

SCR2レジスタの設定値 BCP[2:0]ビット	1ビット期間中の基本クロックパルス数	S
0 0 0	93クロック	93
0 0 1	128クロック	128
0 1 0	186クロック	186
0 1 1	512クロック	512
1 0 0	32クロック	32
1 0 1	64クロック	64
1 1 0	372クロック	372
1 1 1	256クロック	256

調歩同期式モードおよびマンチェスタモードにおけるBRR[7:0]ビットの値Nの設定例を**表33.14**、**表33.15**に、各動作周波数における設定可能な最高ビットレートを**表33.16**に示します。また、クロック同期式モードおよび簡易SPIモードにおけるBRR[7:0]ビットの値Nの設定例を**表33.18**に、スマートカードインタフェースモードにおけるBRR[7:0]ビットの値Nの設定例を**表33.20**に、簡易I^2CモードにおけるBRR[7:0]ビットの値Nの設定例を**表33.22**に示します。スマートカードインタフェースモードでは1ビット転送期間の基本クロック数Sを選択できます。詳細は**「33.7.4　受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表33.17**、**表33.19**に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードおよびマンチェスタモードでSCR2レジスタの調歩同期基本クロックセレクトビット(ABCSビット)またはボーレートジェネレータ倍速モードセレクトビット(BGDMビット)のいずれか一方のビットを“1”にしたときのビットレートは**表33.14**、**表33.15**の2倍に、両ビットとも“1”にしたときのビットレートは4倍になります。

表33.14　ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード) (1)

ビットレート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	141	0.03	2	174	–0.26	2	177	–0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	–1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	–2.34	0	19	0.00
31250	0	7	0.00	0	9	–1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	–2.34	0	9	0.00

ビットレート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	248	–0.17	3	70	0.03	3	75	0.48	3	79	–0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	–0.93	0	51	0.16	0	55	0.00	0	58	–0.69	0	63	0.00
19200	0	22	–0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	–1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	–2.34	0	15	0.00

注.　SCR2.ABCSビット= 0、SCR2.BGDMビット= 0、SCR2.ABCSEビット= 0のときの例です。
ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
ABCSビット= 1かつBGDMビット= 1にしたときは、ビットレートが4倍になります。

表33.15　ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード) (2)

ビットレート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	88	–0.25	3	110	–0.02	3	132	0.13	3	145	0.33	3	177	–0.25
150	3	64	0.16	3	80	0.47	3	97	–0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	–0.15	2	194	0.16	2	214	–0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	–0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	–0.15	1	194	0.16	1	214	–0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	–0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	–0.15	0	194	0.16	0	214	–0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	–0.35	0	106	0.39	0	129	0.16
19200	0	32	–1.36	0	40	–0.76	0	48	–0.35	0	53	–0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	–0.54	0	32	–1.36

ビットレート (bps)	動作周波数PCLK (MHz)											
	50			60			100			120		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	221	–0.02	—	—	—	—	—	—	—	—	—
150	3	162	–0.15	3	194	0.16	—	—	—	—	—	—
300	3	80	0.47	3	97	–0.35	3	162	–0.15	3	194	0.16
600	2	162	–0.15	2	194	0.16	3	80	0.47	3	97	–0.35
1200	2	80	0.47	2	97	–0.35	2	162	–0.15	2	194	0.16
2400	1	162	–0.15	1	194	0.16	2	80	0.47	2	97	–0.35
4800	1	80	0.47	1	97	–0.35	1	162	–0.15	1	194	0.16
9600	0	162	–0.15	0	194	0.16	1	80	0.47	1	97	–0.35
19200	0	80	0.47	0	97	–0.35	0	162	–0.15	0	194	0.16
31250	0	49	0.00	0	59	0.00	1	24	0.00	0	119	0.00
38400	0	40	–0.76	0	48	–0.35	0	80	0.47	0	97	–0.35

注.　SCR2.ABCSビット= 0、SCR2.BGDMビット= 0、SCR2.ABCSEビット= 0のときの例です。
ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
ABCSビット= 1かつBGDMビット= 1にしたときは、ビットレートが4倍になります。

表33.16　各動作周波数における最高ビットレート(調歩同期式モードおよびマンチェスタモード) (1/2)

PCLK (MHz)	SCR2レジスタの設定値					最高ビットレート(bps)	PCLK (MHz)	SCR2レジスタの設定値					最高ビットレート(bps)
	BGDMビット	ABCSビット	ABCSEビット	n	N			BGDMビット	ABCSビット	ABCSEビット	n	N	
8	0	0	0	0	0	250000	9.8304	0	0	0	0	0	307200
		1	0	0	0	500000			1	0	0	0	614400
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1000000			1	0	0	0	1228800
	任意	任意	1	0	0	1333333		任意	任意	1	0	0	1638400
10	0	0	0	0	0	312500	12	0	0	0	0	0	375000
		1	0	0	0	625000			1	0	0	0	750000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1250000			1	0	0	0	1500000
	任意	任意	1	0	0	1666667		任意	任意	1	0	0	2000000
12.288	0	0	0	0	0	384000	14	0	0	0	0	0	437500
		1	0	0	0	768000			1	0	0	0	875000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1536000			1	0	0	0	1750000
	任意	任意	1	0	0	2048000		任意	任意	1	0	0	2333333
16	0	0	0	0	0	500000	17.2032	0	0	0	0	0	537600
		1	0	0	0	1000000			1	0	0	0	1075200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2000000			1	0	0	0	2150400
	任意	任意	1	0	0	2666667		任意	任意	1	0	0	2867200
18	0	0	0	0	0	562500	19.6608	0	0	0	0	0	614400
		1	0	0	0	1125000			1	0	0	0	1228800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2250000			1	0	0	0	2457600
	任意	任意	1	0	0	3000000		任意	任意	1	0	0	3276800
20	0	0	0	0	0	625000	25	0	0	0	0	0	781250
		1	0	0	0	1250000			1	0	0	0	1562500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2500000			1	0	0	0	3125000
	任意	任意	1	0	0	3333333		任意	任意	1	0	0	4166667
30	0	0	0	0	0	937500	33	0	0	0	0	0	1031250
		1	0	0	0	1875000			1	0	0	0	2062500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	3750000			1	0	0	0	4125000
	任意	任意	1	0	0	5000000		任意	任意	1	0	0	5500000
40	0	0	0	0	0	1250000	50	0	0	0	0	0	1562500
		1	0	0	0	2500000			1	0	0	0	3125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	5000000			1	0	0	0	6250000
	任意	任意	1	0	0	6666667		任意	任意	1	0	0	8333333

表33.16　各動作周波数における最高ビットレート(調歩同期式モードおよびマンチェスタモード) (2/2)

PCLK (MHz)	SCR2レジスタの設定値					最高ビットレート(bps)	PCLK (MHz)	SCR2レジスタの設定値					最高ビットレート(bps)
	BGDMビット	ABCSビット	ABCSEビット	n	N			BGDMビット	ABCSビット	ABCSEビット	n	N	
60	0	0	0	0	0	1875000	120	0	0	0	0	0	3750000
		1	0	0	0	3750000			1	0	0	0	7500000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	7500000			1	0	0	0	15000000
	任意	任意	1	0	0	10000000		任意	任意	1	0	0	20000000

表33.17　外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部クロック最高周波数(MHz)	最高ビットレート(bps)	
		SCR2.ABCSビット= 0	SCR2.ABCSビット= 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
120	30.0000	1875000	3750000

表33.18　ビットレートに対するBRR[7:0]ビットの設定例(クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)														
	8			10			30			60			120		
	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N
250	0	3	124	0	3	155	—	—	—	—	—	—	—	—	—
500	0	2	249	0	3	77	0	3	233	—	—	—	—	—	—
1k	0	2	124	0	3	38	0	3	116	0	3	233	—	—	—
2.5k	0	2	49	0	1	249	0	3	46	0	3	93	0	3	187
5k	0	2	24	0	1	124	0	2	93	0	3	46	0	3	93
10k	0	1	49	0	0	249	0	2	46	0	2	93	0	3	46
25k	0	2	4	0	1	24	0	1	74	0	1	149	0	2	74
50k	0	1	9	0	0	49	0	0	149	0	1	74	0	1	149
100k	0	1	4	0	0	24	0	0	74	0	0	149	0	1	74
250k	0	1	1	0	0	9	0	0	29	0	1	14	0	1	29
500k	0	1	0	0	0	4	0	0	14	0	0	29	0	1	14
1M	0	0	1	1	0	4	1	0	14	0	0	14	0	0	29
2.5M	—	—	—	0	0	0	0	0	2	0	0	5	0	1	2
5M	—	—	—	1	0	0	1	0	2	0	0	2	0	0	5
7.5M	—	—	—	—	—	—	0	0	0	0	0	1	0	1	0
60M	—	—	—	—	—	—	—	—	—	—	—	—	1	0	0

—：設定可能ですが 10% 以上の誤差がでます。

表33.19　外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部クロック最高周波数(MHz)	最高ビットレート(Mbps)
8	4	4
10	5	5
12	6	6
14	7	7
16	8	8
18	9	9
20	10	10
25	12.5	12.5
30	15	15
33	16.5	16.5
40	20	20
50	25	25
60	30	30
120	60	60

表33.20　ビットレートに対するBRR[7:0]ビットの設定例(スマートカードインタフェースモードでS = 372のとき)

ビットレート(bps)	PCLK (MHz)	n	N	誤差(%)
9600	7.1424	0	0	0.00
	10.00	0	1	–30.00
	10.7136	0	1	–25.00
	13.00	0	1	–8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	–15.99
	20.00	0	2	–6.66
	25.00	0	3	–12.49
	30.00	0	3	5.01
	33.00	0	4	–7.59
	40.00	0	5	–6.66
	50.00	0	6	0.01
	60.00	0	7	5.01
	120.00	0	16	–1.17

表33.21　各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLK (MHz)	最高ビットレート(bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00	1875000	0	0

表33.22　ビットレートに対するBRR[7:0]ビットの設定例(簡易I²Cモード)

ビットレート(bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	–0.8	0	77	0.2
25k	0	9	0.0	0	12	–3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	–3.8	2	0	–2.3
100k	0	2	–16.7	1	0	–21.9	0	4	0.0	0	6	–10.7	1	1	–2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	–16.7	0	2	4.2
350k										0	1	–10.7	0	2	–25.6
384k										0	1	–18.6	0	2	–32.2

ビットレート(bps)	動作周波数PCLK (MHz)														
	30			33			40			50			60		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
10k	0	93	–0.3	0	102	0.1	0	124	0.0	1	38	0.2	1	46	–0.3
25k	0	37	–1.3	0	40	0.6	0	49	0.0	0	62	–0.8	0	74	0.0
50k	0	18	–1.3	0	20	–1.8	0	24	0.0	0	30	0.8	0	37	–1.3
100k	0	9	–6.3	0	10	–6.3	0	12	–3.8	2	0	–2.3	0	18	–1.3
250k	1	0	–6.3	1	0	3.1	0	4	0.0	0	5	4.2	1	1	–6.3
350k	0	2	–10.7	0	2	–1.8	1	0	–10.7	0	4	–10.7	0	4	7.1
384k	0	2	–18.6	0	2	–10.5	1	0	–18.6	0	4	–18.6	0	4	–2.3

ビットレート(bps)	動作周波数PCLK (MHz)		
	120		
	n	N	誤差(%)
10k	1	93	–0.3
25k	0	149	0.0
50k	0	74	0.0
100k	0	37	–1.3
250k	0	14	0.0
350k	0	10	–2.6
384k	0	9	–2.3

表33.23　各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビットレート(bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
384k										0	1	1.40/1.60

ビットレート(bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)
10k	0	77	43.68/49.92	0	93	43.87/50.13	0	102	43.70/49.94	0	124	43.75/50.00
25k	0	30	17.36/19.84	0	37	17.73/20.27	0	40	17.39/19.88	0	49	17.50/20.00
50k	2	0	8.96/10.24	0	18	8.87/10.13	0	20	8.91/10.18	0	24	8.75/10.00
100k	1	1	4.48/5.12	0	9	4.67/5.33	0	10	4.67/5.33	0	12	4.55/5.20
250k	0	2	1.68/1.92	1	0	1.87/2.13	1	0	1.70/1.94	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60
384k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60

ビットレート(bps)	動作周波数PCLK (MHz)								
	50			60			120		
	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)	n	N	SCL High/Low幅min値(μs)
10k	1	38	43.68/49.92	1	46	43.87/50.13	1	93	43.87/50.13
25k	0	62	17.64/20.16	0	74	17.50/20.00	0	149	17.50/20.00
50k	0	30	8.68/9.92	0	37	8.87/10.13	0	74	8.75/10.00
100k	2	0	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	5	1.68/1.92	1	1	1.87/2.13	0	14	17.5/2.00
350k	0	4	1.40/1.60	0	4	1.17/1.33	0	10	1.28/1.47
384k	0	4	1.40/1.60	0	4	1.17/1.33	0	9	1.17/1.33

BRME ビット (ビットレートモジュレーション許可ビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

調歩同期式モード、簡易 I²C モードでのみ “1” にできます。クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、拡張シリアルモードでは、“0” にしてください。

CKS[1:0] ビット (クロック選択ビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、本章の BRR[7:0] ビット説明を参照してください。

MDDR[7:0] ビット (モジュレーションデューティ設定ビット)

BRME ビットが “1” のとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR[7:0] ビットの設定値 M とビットレート B の関係を**表 33.24** に示します。

MDDR[7:0] ビットの初期値は “FFh” です。ビット 7 は “1” に固定されています。

表33.24　ビットレートモジュレーション機能使用時のMDDR[7:0]ビット設定値Mとビットレートの関係

モード (注1)	SCR2 レジスタの設定			BRR[7:0]ビットの設定値	誤差(%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	N = 0 (注2)	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易 I²C (注3)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR[7:0] ビットの設定値 (128 ≦ M ≦ 255)

N: BRR[7:0] ビットの設定値 (0 ≦ N ≦ 255)

PCLK: 動作周波数 (MHz)

n: 「表 33.12　クロックソースの設定」のとおり SCR2.CKS[1:0] ビットの設定値によって決まります。

注1.　クロック同期式モード、簡易SPIモード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

注2.　ABCSEビットを“1”にする場合、N = 0、n = 0にしてください。

注3.　簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

調歩同期式モードにおける BRR[7:0] ビットの値 N と MDDR[7:0] ビットの値 M の設定例を**表 33.25**、**表 33.26** に示します。

表33.25　ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (1)

ビットレート (bps)	動作周波数PCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	–0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビットレート (bps)	動作周波数PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	–0.17	0	2	202	1	–0.11
460800	0	0	157	1	–0.18	0	0	154	1	0.26	0	0	135	1	0.14

ビットレート (bps)	動作周波数PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	–0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	–0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	–0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	–0.20	0	0	210	0	0.14

注.　SCR2.ABCSビット= 0、SCR2.ABCSEビット= 0のときの例です。
注1.　ビットレートモジュレーション機能無効(SCR2.BRMEビット= 0)設定(M = 256に相当)を意味します。

表33.26　ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (2)

ビットレート(bps)	動作周波数PCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)
38400	0	15	(256)(注1)	0	0.00	0	10	173	0	–0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビットレート(bps)	動作周波数PCLK (MHz)														
	30					33					40				
	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	–0.01
57600	0	10	173	0	–0.01	0	9	143	0	0.01	0	38	230	1	–0.01
115200	0	10	173	1	–0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	–0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

ビットレート(bps)	動作周波数PCLK (MHz)														
	50					60					120				
	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)	n	N	M	BGDMビット	誤差(%)
38400	0	23	151	0	0.00	0	36	194	0	0.01	0	73	194	0	0.01
57600	0	15	151	0	0.00	0	21	173	0	–0.01	0	58	232	0	0.00
115200	0	7	151	0	0.00	0	10	173	0	–0.01	0	21	173	0	–0.01
230400	0	3	151	0	0.00	0	10	173	1	–0.01	0	10	173	0	–0.01
460800	0	1	151	0	0.00	0	6	220	1	–0.09	0	10	173	1	–0.01

注.　SCR2.ABCSビット= 0、SCR2.ABCSEビット= 0のときの例です。
注1.　ビットレートモジュレーション機能無効(SCR2.BRMEビット= 0)設定(M = 256に相当)を意味します。

33.2.8 制御レジスタ 3 (SCR3)

アドレス RSCI8.SCR3 000A 1414h, RSCI9.SCR3 000A 1494h, RSCI11.SCR3 000E 2094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	BLK	GM	—	—	CKE[1:0]		—	—	DEEN	FM	MP	MOD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	STOP	DINV	DDIR	—	—	CHR[1:0]		SYNDIS	—	—	—	—	—	CPOL	CPHA
リセット後の値	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	クロック位相セレクトビット	(簡易SPIモードおよびクロック同期式モードのみ有効です。SCR0.TEビット= 0かつREビット= 0のとき、設定してください) 0：奇数エッジでデータサンプル、偶数エッジでデータ変化(クロック遅れあり) 1：奇数エッジでデータ変化、偶数エッジでデータサンプル(クロック遅れなし)	R/W (注1)
b1	CPOL	クロック極性セレクトビット	(簡易SPIモードおよびクロック同期式モードのみ有効です。SCR0.TEビット= 0かつREビット= 0のとき、設定してください) 0：アイドル時のSCKnが“0” 1：アイドル時のSCKnが“1”	R/W (注1)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	SYNDIS	同期化回路無効ビット	“1”にしてください	R/W
b9-b8	CHR[1:0]	キャラクタ長選択ビット	送受信データのデータ長を選択します (調歩同期式モードおよびマンチェスタモードのみ有効 (注2)) b9 b8 0 0：データ長9ビットで送受信 0 1：データ長9ビットで送受信 1 0：データ長8ビットで送受信(初期値) 1 1：データ長7ビットで送受信 (注3)	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	DDIR	転送データ方向選択ビット	0：MSBファーストで送受信 1：LSBファーストで送受信 簡易I²Cモードで動作させる場合は“0”、拡張シリアルモードで動作させる場合は“1”にしてください	R/W (注1)
b13	DINV	転送データ反転ビット	0：TDRレジスタ格納データをそのままTSRレジスタへ転送、RSRレジスタ格納データをそのままRDRレジスタに格納 1：TDRレジスタ格納データを反転してTSRレジスタへ転送、RSRレジスタ格納データを反転してRDRレジスタに格納 簡易I²Cモードで動作させる場合は、“0”にしてください。 通信端子(TXDn/RXDn)データの最終的な信号レベルは、本ビットとSCR1.TINV/RINVビットの組合せで決まります。詳細は図33.4を参照してください	R/W (注1)
b14	STOP	ストップビット長選択ビット	(調歩同期式モードおよびマンチェスタモード、拡張シリアルモードのみ有効) 0：1ストップビット/Break delimiter長= 1ビット長 1：2ストップビット/Break delimiter長= 2ビット長	R/W (注1)
b15	RXDESEL	調歩同期スタートビットエッジ検出選択ビット	(調歩同期式モードのみ有効) 拡張シリアルモードで動作させる場合は、“1”にしてください 0：RXDn端子入力のLowレベルでスタートビットを検出 1：RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b18-b16	MOD[2:0]	通信モード選択ビット	RSCIの通信モードを選択します b18 b16 0 0 0：調歩同期式モード 0 0 1：スマートカードインタフェースモード 0 1 0：クロック同期式モード 0 1 1：簡易SPIモード 1 0 0：簡易I^2Cモード 1 0 1：マンチェスタモード 1 1 0：拡張シリアル 1 1 1：設定禁止	R/W (注1)
b19	MP	マルチプロセッサモードビット	(調歩同期式モードおよびマンチェスタモードのみ有効) 0：マルチプロセッサ通信禁止 1：マルチプロセッサ通信許可	R/W (注1)
b20	FM	FIFOモード選択ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) 0：TDRレジスタ、RDRレジスタが非FIFOバッファ構成 1：TDRレジスタ、RDRレジスタがFIFOバッファ構成	R/W (注1)
b21	DEEN	ドライバ制御機能有効ビット	(調歩同期式モードで有効) 0：RS-485ドライバ制御機能は無効です 1：RS-485ドライバ制御機能は有効です	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	CKE[1:0]	クロックイネーブルビット	調歩同期式モードの場合 b25 b24 0 0：内蔵ボーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロック SCKn端子からビットレートの16倍(SCR2.ABCSビット= 0のとき)または8倍(SCR2.ABCSビット= 1のとき)の周波数のクロックを入力してください マンチェスタ/拡張シリアルモードの場合 b25 b24 0 0：内蔵ボーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 上記以外：設定禁止 クロック同期式/簡易SPIモードの場合 b25 b24 0 x：内部クロック(マスタモード) SCKn端子はクロック出力端子となります 1 x：外部クロック(スレーブモード) SCKn端子はクロック入力端子となります スマートカードインタフェースモードの場合 SCR3.GMビット= 0の場合 b25 b24 0 0：出力ディスエーブル(I/Oポートの設定によりSCKn端子は入出力ポートとして使用可) 0 1：クロック出力 1 x：設定禁止 SCR3.GMビット= 1の場合 b25 b24 0 0：Lowレベル出力固定 0 1：クロック出力 1 0：Highレベル出力固定 1 1：クロック出力	R/W (注1)
b26	—	予約ビット	“0”にしてください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	GM	GSMモードビット	(スマートカードインタフェースモードのみ有効) 0：非GSMモードで動作します 1：GSMモードで動作します	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b29	BLK	ブロック転送モードビット	(スマートカードインタフェースモードのみ有効) 0：非ブロック転送モードで動作します 1：ブロック転送モードで動作します	R/W (注1)
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。
注2.　調歩同期式モードおよびマンチェスタモード以外では、設定は無効でデータ長は8ビット固定です。拡張シリアルモードでは“10b” (8ビット)にしてください。
注3.　LSBファースト固定となり、送信ではTDRレジスタのMSB (b7)は送信されません。

CPHA ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。

詳細は、図 33.110 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “1” を設定してください。

CPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。

詳細は、図 33.110 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “1” を設定してください。

SYNDIS ビット (同期化回路無効ビット)

本 MCU では、このビットを “1” にしてください。

CHR[1:0] ビット (キャラクタ長選択ビット)

送受信データのデータ長を選択します。

調歩同期式モードおよびマンチェスタモード以外では、データ長は 8 ビット固定です。

DDIR ビット (転送データ方向選択ビット)

送受信データのデータを MSB ファーストで送受信するか LSB ファーストで送受信するか選択します。

DINV ビット (転送データ反転ビット)

送信データを TDR レジスタから TSR レジスタへ転送するタイミングでビット反転制御します。また、受信データを RSR レジスタから RDR レジスタへ転送するタイミングでビット反転制御します。DINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCR1.PM ビットを反転してください。

STOP ビット (ストップビット長選択ビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が “0” の場合は次の送信フレームのスタートビットと見なします。

また、拡張シリアルモードで Start Frame 送信時、Break delimiter 長設定として使用します。

RXDESEL ビット (調歩同期スタートビットエッジ検出選択ビット)

調歩同期式モード受信動作における、スタートビットの検出方法を選択します。本ビットの設定によりブレーク時の動作が異なります。ブレーク中に受信動作を停止させたい場合、およびブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は “1” を設定してください。

拡張シリアルモード時は、“1” を設定してください。調歩同期式モード、拡張シリアルモード以外では “0” を設定してください。

MOD[2:0] ビット (通信モード選択ビット)

RSCI の通信モードを選択します。

表 33.27　通信モード選択ビット (MOD[2:0]) とその他動作モード設定ビット

通信モード	調歩同期								スマートカード I/F	クロック同期	簡易 SPI				簡易 I²C	マンチェスタ		拡張シリアル
SCR3.MOD[2:0]	000b								001b	010b	011b				100b	101b		110b
SCR3.MP	0				1				—	—	—				—	0	1	—
SCR3.FM	0		1		0		1		—	0	1	0		1	—	—		—
SCR3.DEEN	0	1	0	1	0	1	0	1	—	—		—			—	—		—
SCR3.SSE	—								—	—	0	1	0	1	—	—		—

— : 設定禁止

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

FM ビット (FIFO モード選択ビット)

FM ビットを “1” にすると、TDR レジスタ /RDR レジスタが FIFO 構成に切り替わり、シリアル送信 / 受信に送信 FIFO (TDR レジスタ)/ 受信 FIFO (RDR レジスタ) を使用できます。

DEEN ビット (ドライバ制御機能有効ビット)

RS-485 ドライバ制御機能の有効 / 無効を選択します。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

スマートカードインタフェースモード時、SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、**「33.7.8　クロック出力制御」**を参照してください。

GM ビット (GSM モードビット)

GM ビットを “1” にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu：Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、**「33.7.6　シリアルデータの送信 (ブロック転送モードを除く)」**、**「33.7.8　クロック出力制御」**を参照してください。

BLK ビット (ブロック転送モードビット)

BLK ビットを “1” にすると、ブロック転送モードで動作します。

ブロック転送モードについては、**「33.7.3　ブロック転送モード」**を参照してください。

33.2.9 制御レジスタ 4 (SCR4)

アドレス RSCI8.SCR4 000A 1418h, RSCI9.SCR4 000A 1498h, RSCI11.SCR4 000E 2098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TTMG[3:0]				RTMG[3:0]				—	—	—	—	—	—	TTADJ	RTADJ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	(調歩同期式モード時のみ有効なビットです) データ一致検出機能を使用する場合の比較元データを設定します	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RTADJ	受信データサンプリングタイミング変更ビット	(調歩同期式モード内部クロック選択時、拡張シリアルモード内部クロック選択時、クロック同期式モードマスタ動作時、簡易SPIモードマスタ動作時に有効なビットです) 0：受信サンプリングタイミング調整機能無効 1：受信サンプリングタイミング調整機能有効	R/W (注1)
b17	TTADJ	送信信号変化タイミング変更ビット	(調歩同期式モードで内部クロック選択時のみ有効なビットです) 0：送信タイミング調整機能無効 1：送信タイミング調整機能有効	R/W (注1)
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b27-b24	RTMG[3:0]	受信データサンプリングタイミング選択ビット	調歩同期式/拡張シリアルモードの場合 b27 b24 １１１１：デフォルト位置から7クロック前でサンプリング １１１０：デフォルト位置から6クロック前でサンプリング １１０１：デフォルト位置から5クロック前でサンプリング １１００：デフォルト位置から4クロック前でサンプリング １０１１：デフォルト位置から3クロック前でサンプリング １０１０：デフォルト位置から2クロック前でサンプリング １００１：デフォルト位置から1クロック前でサンプリング ｘ０００：デフォルト位置でサンプリング ０００１：デフォルト位置から1クロック後でサンプリング ０００１：デフォルト位置から2クロック後でサンプリング ０００１：デフォルト位置から3クロック後でサンプリング ０１００：デフォルト位置から4クロック後でサンプリング ０１０１：デフォルト位置から5クロック後でサンプリング ０１１０：デフォルト位置から6クロック後でサンプリング ０１１１：デフォルト位置から7クロック後でサンプリング クロック同期式/簡易SPIモードの場合 b27 b24 ０００１：1PCLK遅延 ０００１：2PCLK遅延 ０００１：3PCLK遅延 ０００１：4PCLK遅延 上記以外：設定禁止	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b31-b28	TTMG[3:0]	送信信号変化タイミング選択ビット	b31　b28 １１１１：“1”から“0”への変化を7クロック遅らせる １１１０：“1”から“0”への変化を6クロック遅らせる １１０１：“1”から“0”への変化を5クロック遅らせる １１００：“1”から“0”への変化を4クロック遅らせる １０１１：“1”から“0”への変化を3クロック遅らせる １０１０：“1”から“0”への変化を2クロック遅らせる １００１：“1”から“0”への変化を1クロック遅らせる x０００：波形を変化させない ０００１：“0”から“1”への変化を1クロック遅らせる ０００１０：“0”から“1”への変化を2クロック遅らせる ０００１１：“0”から“1”への変化を3クロック遅らせる ０１００：“0”から“1”への変化を4クロック遅らせる ０１０１：“0”から“1”への変化を5クロック遅らせる ０１１０：“0”から“1”への変化を6クロック遅らせる ０１１１：“0”から“1”への変化を7クロック遅らせる	R/W (注1)

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

CMPD[8:0] ビット (比較データビット)

データ一致検出機能有効 (SCR0.DCME ビット = 1) 時に、受信データと比較するデータを設定します。SCR0.DCME ビット = 0 のときに書き換えを行ってください。

比較するデータには、7 ビットデータ長選択時は CMPD[6:0] ビット、8 ビットデータ長選択時は CMPD[7:0] ビット、9 ビットデータ長選択時は CMPD[8:0] ビットを使用します。

RTADJ ビット (受信データサンプリングタイミング変更ビット)

本ビットが “1” のとき、受信サンプリングタイミング調整機能が有効になります。調歩同期式、拡張シリアルモードとクロック同期式、簡易 SPI モードではそれぞれ制御が異なります。

調歩同期式モード内部クロック選択時の動作説明は**「33.3.10　調歩同期式モードの受信サンプリングタイミング調整機能」**を参照してください。

拡張シリアルモード内部クロック選択時の動作は調歩同期式モード内部クロック選択時と同じです。

クロック同期式モードマスタ動作時、および簡易 SPI モードマスタ動作時の動作説明は**「33.10.7　クロック同期式モード内部クロック使用時の受信サンプリングタイミング 調整機能」**を参照してください。本ビットで制御できるのは、マスタモード受信サンプリングクロック (MRCLK) のデジタル遅延のみです。MRCLK のアナログ遅延は制御できません。

TTADJ ビット (送信信号変化タイミング変更ビット)

本ビットが “1” のとき、送信信号変化タイミング調整機能が有効になります。送信信号変化タイミング調整機能は、TXDn 端子から出力する波形のエッジタイミングを調整することができます。詳細は、**「33.3.11　調歩同期式モードの送信タイミング調整機能」**を参照してください。

RTMG[3:0] ビット (受信データサンプリングタイミング選択ビット)

RTADJ ビットが “1” のとき、本ビット設定値に応じて受信サンプリングタイミングを調整することができます。調歩同期式モード、拡張シリアルモード時の調整値は、基本クロック × RTMG[2:0] 設定値です。

TTMG[3:0] ビット (送信信号変化タイミング選択ビット)

TTMG[3:0] ビットで指定した TXDn 端子のエッジタイミングを、基本クロック × TTMG[2:0] 設定値で調整します。TTMG[2:0] ビットの設定値が 1 ビット期間の基本クロック数以上にならないようにしてください。

33.2.10 I²C モードレジスタ (SIMR)

アドレス RSCI8.SIMR 000A 1420h, RSCI9.SIMR 000A 14A0h, RSCI11.SIMR 000E 20A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	IICSCLS[1:0]		IICSDAS[1:0]		—	IICSTPREQ	IICRSTAREQ	IICSTAREQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACKT	—	—	—	IICCSC	IICINTM	—	—	—	IICDL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IICDL[4:0]	SDA出力遅延セレクトビット	内蔵ボーレートジェネレータのクロックソース基準で b4 b0 0 0 0 0 0：出力遅延なし 0 0 0 0 1：0～1サイクル 0 0 0 1 0：1～2サイクル 0 0 0 1 1：2～3サイクル 0 0 1 0 0：3～4サイクル 0 0 1 0 1：4～5サイクル ：　： 1 1 1 1 0：29～30サイクル 1 1 1 1 1：30～31サイクル	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	IICINTM	I²C割り込みモード選択ビット	0：ACK/NACK割り込みを使用 1：受信割り込み、送信割り込みを使用	R/W (注1)
b9	IICCSC	クロック同期化ビット	0：クロック同期を実施しない 1：クロック同期を実施する	R/W (注1)
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b13	IICACKT	ACK送信データビット	0：ACK送信 1：NACK送信またはACK/NACK受信	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	IICSTAREQ	スタートコンディション生成ビット	0：スタートコンディションを生成しない 1：スタートコンディションを生成する(注2、注4、注5、注6)	R/W
b17	IICRSTAREQ	リスタートコンディション生成ビット	0：リスタートコンディションを生成しない 1：リスタートコンディションを生成する(注3、注4、注5、注6)	R/W
b18	IICSTPREQ	ストップコンディション生成ビット	0：ストップコンディションを生成しない 1：ストップコンディションを生成する(注3、注4、注5、注6)	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	IICSDAS[1:0]	SDA出力セレクトビット	b21 b20 0 0：シリアルデータ出力 0 1：スタートコンディション、リスタートコンディション、ストップコンディションの生成 1 0：SSDAn端子はLowレベルを出力 1 1：SSDAn端子はHighレベルを出力	R/W
b23-b22	IICSCLS[1:0]	SCL出力セレクトビット	b23 b22 0 0：シリアルクロック出力 0 1：スタートコンディション、リスタートコンディション、ストップコンディションの生成 1 0：SSCLn端子はLowレベルを出力 1 1：SSCLn端子はHighレベルを出力	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。
注2. バスフリー状態のときに、スタートコンディション生成を行ってください。
注3. バスビジー状態のときに、図33.80、図33.81で説明しているアクノリッジ後のSSCLn端子がLowレベルのときにリスタート

コンディション生成またはストップコンディション生成を行ってください。
注4. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
注5. コンディション生成完了フラグ(IICSTIFフラグ)を“0”にしてから各コンディション生成を行ってください。
注6. “1”の状態で“0”を書き込まないでください。“1”の状態で“0”を書き込むとコンディション生成が中断します。

IICDL[4:0] ビット (SDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。

内蔵ボーレートジェネレータのクロックソース基準で、遅延なし～ 31 サイクルの中から選択可能です。内蔵ボーレートジェネレータのクロックソースとして、PCLK に対して SCR2.CKS[1:0] ビットの設定により選択された分周比のクロックが供給されます。

簡易 I2C モード以外では “00000b” を設定してください。

簡易 I2C モード時は、“00001b” ～ “11111b” のいずれかを設定してください。

IICINTM ビット (I2C 割り込みモード選択ビット)

簡易 I2C モード時の割り込み要求要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で SSCLn 端子を Low レベルにした時、内部で生成する SCL を同期化する場合は IICCSC ビットに “1” を設定します。

IICCSC ビットに “0” を設定すると内部 SCL の同期化は行いません。SSCLn 端子入力のレベルに関わらず、BRR[7:0] ビットで設定したビットレートに従って SCL を生成します。

デバッグ時を除いて IICCSC ビットには “1” を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は “1” を設定してください。

IICSTAREQ ビット (スタートコンディション生成ビット)

スタートコンディションの生成を行う時は、IICSTAREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

ストップコンディション生成後にスタートコンディション生成を行う場合は、ストップコンディション生成割り込み要求出力から、ビットレートの半周期期間をおいて、スタートコンディション生成を開始してください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- スタートコンディションの生成が完了したとき

IICRSTAREQ ビット (リスタートコンディション生成ビット)

リスタートコンディションの生成を行う時は、IICRSTAREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- リスタートコンディションの生成が完了したとき

IICSTPREQ ビット (ストップコンディション生成ビット)

ストップコンディションの生成を行う時は、IICSTPREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- ストップコンディションの生成が完了したとき

IICSDAS[1:0] ビット (SDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

IICSCLS[1:0] ビット (SCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

33.2.11 FIFO 制御レジスタ (FCR)

アドレス RSCI11.FCR 000E 20A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	RSTRG[4:0]					RFRST	—	—	RTRG[4:0]				
リセット後の値	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TFRST	—	—	TTRG[4:0]					—	—	—	—	—	—	—	DRES
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRES	受信データレディ割り込み選択ビット	(調歩同期式モードのみで有効) 受信データレディを検出したときに発生させる割り込み要求を選択します 0：受信データフル割り込み(RXI) 1：受信エラー割り込み(ERI)	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	TTRG[4:0]	送信FIFOしきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) b12 b8 00000：しきい値0 ：　： 11111：しきい値31	R/W (注1)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	TFRST	送信FIFOリセットビット	(SCR3.FMビット= 1のときのみ有効) 0：無効、動作に影響しない 1：送信FIFO (TDRレジスタ)に格納されたデータ数を“0”にする 読み出し時は、常に“0”となります	W (注1)
b20-b16	RTRG[4:0]	受信FIFOしきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) b20 b16 00000：しきい値0 ：　： 11111：しきい値31	R/W (注1)
b22-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b23	RFRST	受信FIFOリセットビット	(SCR3.FMビット= 1のときのみ有効) 0：無効、動作に影響しない 1：送信FIFO (RDRレジスタ)に格納されたデータ数を“0”にする 読み出し時は、常に“0”となります	W (注1)
b28-b24	RSTRG[4:0]	RTS#出力しきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モードで、SCR3.FMビット= 1、SCR1.CTSEビット= 0、かつSCR0.SSEビット= 0のときのみ有効) b28 b24 00000：しきい値0 ：　： 11111：しきい値31	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

DRES ビット (受信データレディ割り込み選択ビット)

受信データレディを検出 (RFSR.DR フラグ = 1) したことを、RXI 割り込み要求の要因とするか、ERI 割り込み要求の要因とするかを選択します。

TTRG[4:0] ビット (送信 FIFO しきい値設定ビット)

送信 FIFO (TDR レジスタ) に格納されたデータ数が送信 FIFO しきい値以下になったとき、SSR.TDRE フラグが “1” になります。その際、SCR0.TIE ビットが “1” であれば、送信 FIFO データエンプティ割り込み (TXI) 要求が発生します。

TFRST ビット (送信 FIFO リセットビット)

TFRST ビットを “1” にすると、送信 FIFO (TDR レジスタ) に格納された送信データの数を “0” にします。

RTRG[4:0] ビット (受信 FIFO しきい値設定ビット)

受信 FIFO (RDR レジスタ) に格納されたデータ数が受信 FIFO しきい値以上になったとき、SSR.RDRF フラグが “1” になります。その際、SCR0.RIE ビットが “1” であれば、受信 FIFO データフル割り込み (RXI) 要求が発生します。受信 FIFO しきい値を “0” にした場合は、1 つ以上のデータを受信しなければ RDRF フラグはセットされません。

RFRST ビット (受信 FIFO リセットビット)

RFRST ビットを “1” にすると、受信 FIFO (RDR レジスタ) に格納された受信データの数を “0” にします。

RSTRG[4:0] ビット (RTS# 出力しきい値設定ビット)

受信 FIFO (RDR レジスタ) に格納された受信データ数が RTS# 出力しきい値以上になったとき、RTSn# 信号が High になります。RTS# 出力しきい値を “0” にした場合は、1 つ以上のデータを受信しなければ RTSn# 信号は High になりません。

33.2.12　マンチェスタモード制御レジスタ (MMCR)

アドレス　RSCI9.MMCR 000A 14ACh, RSCI11.MMCR 000E 20ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	SBERIE	SYERIE	PFERIE	—	—	RPPAT[1:0]		RPLEN[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TPPAT[1:0]		TPLEN[3:0]				—	SBLEN	SYNCE	SBPTN	—	SADJE	ENCS	DECS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DECS	デコード規則選択ビット	受信マンチェスタコードの極性設定 0：Low→Highの信号変化を“0”、High→Lowの信号変化を“1”に変換します 1：High→Lowの信号変化を“0”、Low→Highの信号変化を“1”に変換します	R/W (注1)
b1	ENCS	エンコード規則選択ビット	送信マンチェスタコードの極性設定 0：“0”をLow→Highの信号変化に、“1”をHigh→Lowの信号変化に変換します 1：“0”をHigh→Lowの信号変化に、“1”をLow→Highの信号変化に変換します	R/W (注1)
b2	SADJE	受信タイミング自己調整許可ビット	受信リタイミング機能の設定 0：受信リタイミング機能をディセーブルとします 1：受信リタイミング機能をイネーブルとします	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SBPTN	スタートビットパターン選択ビット	マンチェスタコード中のスタートビットのSync種別を設定します <スタートビットが1bitの場合(SBLEN = 0)> • 送信時 0：スタートビットは0→1遷移として付加します 1：スタートビットは1→0遷移として付加します • 受信時 0：スタートビットは0→1遷移のみ受信、それ以外はエラーと判定 1：スタートビットは1→0遷移のみ受信、それ以外はエラーと判定 <スタートビットが3bitの場合(SBLEN = 1)> • 送信時 0：スタートビットは0→1遷移として付加 1：スタートビットは1→0遷移として付加 • 受信時 本ビットの値によらず、スタートビットが3bitの場合、受信します	R/W (注1)
b5	SYNCE	Sync許可ビット	0：スタートビットのパターンはSBPTNビットで設定 1：スタートビットのパターンはSYNCビットで設定	R/W (注1)
b6	SBLEN	スタートビット長選択ビット	0：スタートビットは1bit 1：スタートビットはコマンドSync/データSync (3bit)	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b11-b8	TPLEN[3:0]	送信プリフェース長設定ビット	マンチェスタモード時、送信データのプリフェース長(ビット長)を設定します。“0000b”の場合、送信プリフェースの生成は行いません	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b13-b12	TPPAT[1:0]	送信プリフェースパターン選択ビット	送信データのプリフェースパターン設定です b13 b12 0 0：ALL ZERO 0 1：ZERO ONE 1 0：ONE ZERO 1 1：ALL ONE	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b19-b16	RPLEN[3:0]	受信プリフェース長設定ビット	マンチェスタモードイネーブル時、受信フレームのプリフェース長(ビット長)を設定します。“0000b”の場合、受信プリフェースの確認は行いません	R/W (注1)
b21-b20	RPPAT[1:0]	受信プリフェースパターン選択ビット	受信フレームのプリフェースパターン設定です b21 b20 0 0：ALL ZERO 0 1：ZERO ONE 1 0：ONE ZERO 1 1：ALL ONE	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	PFERIE	プリフェースエラー割り込み許可ビット	プリフェースエラーを割り込み要因として扱うかどうかを設定するビットです 0：プリフェースエラーは割り込みとして扱わない 1：プリフェースエラーを割り込みとして扱う	R/W (注1)
b25	SYERIE	Syncエラー割り込み許可ビット	受信Syncエラーを割り込み要因として扱うかどうかを設定するビットです 0：受信Syncエラーは割り込みとして扱わない 1：受信Syncエラーを割り込みとして扱う	R/W (注1)
b26	SBERIE	スタートビットエラー割り込み許可ビット	スタートビットエラーを割り込み要因として扱うかどうかを設定するビットです 0：スタートビットエラーは割り込みとして扱わない 1：スタートビットエラーを割り込みとして扱う	R/W (注1)
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

DECS ビット (デコード規則選択ビット)

受信マンチェスタコードの極性を設定できます。データ受信に関する詳細は「33.5.7　マンチェスタデータ受信」を参照してください。

ENCS ビット (エンコード規則選択ビット)

送信マンチェスタコード極性を設定できます。データ送信に関する詳細は「33.5.6　マンチェスタデータ送信」を参照してください。

SADJE ビット (受信タイミング自己調整許可ビット)

マンチェスタモード受信リタイミング機能の設定ができます。受信リタイミング機能については、「33.5.9　受信リタイミング」を参照してください。

SBPTN ビット (スタートビットパターン選択ビット)

本ビットの設定は、SYNCE ビットを “0” にした場合に有効になります。

また、本ビットと SBLEN ビットの組み合わせで Sync 種別を設定することが可能です。

本ビットと SBLEN ビットの組み合わせで決定されるスタートビット領域については、図 33.38、図 33.39 を参照してください。

SYNCE ビット (Sync 許可ビット)

本ビットは SBLEN ビットを “1” にした場合のみ、有効になります。

マンチェスタフレームに付加するスタートビット領域の Sync 種別の設定参照先を決定します。

本ビットを “0” にした場合、SBPTN ビットを参照します。

“1” にした場合、TDR.SYNC ビットを参照します。

SBLEN ビット (スタートビット長選択ビット)

本ビットはマンチェスタフレームのスタートビット領域に対する設定となります。

本ビットを “1” にした場合、フレームに付加されるスタートビット領域が 3 ビットになり、SYNCE、SBPTN ビットの設定が有効になります。

“0” にした場合、フレームに付加されるスタートビット領域が 1 ビットになります。

TPLEN[3:0] ビット (送信プリフェース長設定ビット)

本ビットでマンチェスタモード時の送信プリフェースビット長を設定します。

“0h” ～ “Fh” (0 ～ 15) で設定が可能で、“0h” で設定した場合、送信プリフェースはディセーブルとなり付加されません。

TPPAT[1:0] ビット (送信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動作イメージについて、図 33.37 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 で設定します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0 → 1 → 0 → 1… と繰り返すパターンとして設定します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1 → 0 → 1 → 0… と繰り返すパターンとして設定します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で設定します。

RPLEN[3:0] ビット (受信プリフェース長設定ビット)

本ビットでマンチェスタモード時の受信プリフェースビット長を設定します。

“0h” ～ “Fh” (0 ～ 15) で設定が可能で、“0h” で設定した場合、受信プリフェースはディセーブルとなり付加されていないものとして処理します。“1h” ～ “Fh” を設定した場合、設定値をそのまま受信プリフェースビット長として処理します。

RPPAT[1:0] ビット (受信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動作イメージについて、図 33.37 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 として処理します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0 → 1 → 0 → 1… と繰り返すパターンとして処理します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1 → 0 → 1 → 0… と繰り返すパターンとして処理します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で処理します。

PFERIE ビット (プリフェースエラー割り込み許可ビット)

本ビットはプリフェースエラーを割り込みとして扱うかどうかを設定するビットです。

“0” の場合は、プリフェースエラーは割り込みとして扱いません。“1” の場合はプリフェースエラーを割り込みとして扱います。

SYERIE ビット (Sync エラー割り込み許可ビット)

本ビットは受信 Sync エラーを割り込みとして扱うかどうかを設定するビットです。

“0” の場合は、受信 Sync エラーは割り込みとして扱いません。“1” の場合は受信 Sync エラーを割り込みとして扱います。

SBERIE ビット (スタートビットエラー割り込み許可ビット)

本ビットはスタートビットエラーを割り込みとして扱うかどうかを設定するビットです。

“0” の場合は、スタートビットエラーは割り込みとして扱いません。“1” の場合はスタートビットエラーを割り込みとして扱います。

33.2.13 DE 信号制御レジスタ (DECR)

アドレス RSCI8.DECR 000A 1430h, RSCI9.DECR 000A 14B0h, RSCI11.DECR 000E 20B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	DEHLD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DESU[4:0]					—	—	—	—	—	—	—	DELVL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DELVL	DE信号アクティブレベル選択ビット	(調歩同期式モードのみ有効) 0：DE信号は、アクティブHigh 1：DE信号は、アクティブLow	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	DESU[4:0]	DE信号セットアップ時間設定ビット	(調歩同期式モードのみ有効) DE信号セットアップ時間を基本クロックのサイクル数で設定します。SCR3.DEENビットが“1”のとき有効です。 “00000b”は設定しないでください。	R/W (注1)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20-b16	DEHLD[4:0]	DE信号ホールド時間設定ビット	(調歩同期式モードのみ有効) DE信号ホールド時間を基本クロックのサイクル数で設定します。SCR3.DEENビットが“1”のとき有効です。 “00000b”は設定しないでください。	R/W (注1)
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

DELVL ビット (DE 信号アクティブレベル選択ビット)

DE (Driver Enable) 信号のアクティブレベルを選択します。

DESU[4:0] ビット (DE 信号セットアップ時間設定ビット)

DE 信号セットアップ時間 (DE 信号のアサートからスタートビット送出開始までの時間) を設定します。基本クロック (1/6、1/8 または 1/16 ビット時間) のサイクル数で指定します。なお、実際のスタートビットの送出は、ここで設定したセットアップ時間と送信待ち時間が経過した後に開始されます。

DEHLD[4:0] ビット (DE 信号ホールド時間設定ビット)

DE 信号ホールド時間 (最終送信メッセージのストップビット送出完了から DE 信号のネゲートまでの時間) を設定します。基本クロック (1/6、1/8 または 1/16 ビット時間) のサイクル数で指定します。ホールド時間中に送信データを書き込んだ場合、そのタイミングによって送信開始動作が異なります (DE 信号をネゲートせずに、送信待ち時間経過後にスタートビットの送出が開始される場合と、DE 信号が一旦ネゲートされて、セットアップ時間 + 送信待ち時間経過後に、スタートビットの送出が開始される場合があります)。

33.2.14　拡張シリアルモード制御レジスタ 0 (XCR0)

アドレス　RSCI9.XCR0 000A 14B4h, RSCI11.XCR0 000E 20B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	BCCS[1:0]		—	AEDIE	COFIE	BFDIE	—	—	BCDIE	BFOIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0RE	BFE	—	—	—	—	—	—	TCSS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCSS[1:0]	タイマカウントクロックソース選択ビット	拡張シリアルモジュール内のタイマカウントのクロックソースを選択します b1 b0 0 0：PCLK 0 1：PCLK/4 (注3) 1 0：PCLK/16 (注3) 1 1：PCLK/64 (注3)	R/W (注1、注2)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	BFE	Break Field検出許可ビット	Start FrameのBreak Field有無を設定します 0：Break Fieldなし 1：Break Fieldあり	R/W (注1、注4)
b9	CF0RE	Control Field 0受信許可ビット	Start FrameのControl Field 0有無を設定します 0：Control Field 0なし 1：Control Field 0あり	R/W (注1、注4)
b11-b10	CF1DS[1:0]	Control Field 1比較データ選択ビット	Control Field 1の比較データを選択します b11 b10 0 0：XCR1.PCF1D[7:0]ビットを比較データに選択 0 1：XCR1.SCF1D[7:0]ビットを比較データに選択 1 0：XCR1.PCF1D[7:0]ビットおよびXCR1.SCF1D[7:0]ビットを比較データに選択 1 1：設定禁止	R/W (注1、注4)
b12	PIBE	プライオリティインタラプトビット許可ビット	0：プライオリティインタラプトビット無効 1：プライオリティインタラプトビット有効	R/W (注1、注4)
b15-b13	PIBS[2:0]	プライオリティインタラプトビット選択ビット	Control Field 1の0～7ビット目のいずれかをプライオリティインタラプトビットに指定します b15 b13 0 0 0：Control Field 1、0ビット目 0 0 1：Control Field 1、1ビット目 0 1 0：Control Field 1、2ビット目 0 1 1：Control Field 1、3ビット目 1 0 0：Control Field 1、4ビット目 1 0 1：Control Field 1、5ビット目 1 1 0：Control Field 1、6ビット目 1 1 1：Control Field 1、7ビット目	R/W (注1、注4)
b16	BFOIE	Break Field Low width送出完了割り込み許可ビット	Break Field送出完了をTXI割り込み要因に入れるかどうかを選択します 0：Break Field送出完了を割り込み要因に入れない 1：Break Field送出完了をTXI割り込み要因に入れる	R/W (注1)
b17	BCDIE	バス衝突検出割り込み許可ビット	バス衝突検出時、ERI割り込みを出力するかどうかを選択します 0：バス衝突検出をERIに割り込み要因に入れない 1：バス衝突検出をERI割り込み要因に入れる	R/W (注1)
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b20	BFDIE	Break Field Low width検出割り込み許可ビット	Break Field検出時、BFD割り込みを出力するかどうかを選択します 0：Break Field検出割り込み禁止 1：Break Field検出割り込み許可	R/W (注1)
b21	COFIE	カウントオーバフロー割り込み許可ビット	カウントオーバフローをERI割り込み要因に入れるかどうかを選択します 0：カウントオーバフローをERI割り込み要因に入れない 1：カウントオーバフローをERI割り込み要因に入れる	R/W (注1)
b22	AEDIE	有効エッジ検出割り込み許可ビット	有効エッジ検出時、AED割り込みを出力するかどうかを選択します 0：有効エッジ検出割り込み禁止 1：有効エッジ検出割り込み許可	R/W (注1)
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	BCCS[1:0]	バス衝突検出クロック選択ビット	バス衝突検出回路のサンプリングクロックを選択します。SCR2.ABCSビット= 1設定時は、本ビットBCCS[1:0]ビット= 1xb設定は禁止です b25 b24 0 0：基本クロック (注5) 0 1：基本クロックの2分周 1 0：基本クロックの4分周 1 1：設定禁止	R/W (注1)
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。
注2. TCSS[1:0]ビットの書き替えはタイマ停止時(XCR1.TCSTビット= 0、XCR1.SDSTビット= 0、かつXCR1.BRMEビット= 0)に行ってください。
注3. RSCI9では設定禁止です。
注4. 本ビットは、Start Frame受信動作に必要な設定ビットです。Start Frame受信動作、送信動作していない時(XCR1.SDSTビット= 0かつXCR1.TCSTビット= 0)に書き換えてください。
注5. RSCI基本クロック：SCR2.ABCSビット= 0の場合、1ビット期間の1/16の周期、SCR2.ABCSビット= 1の場合、1ビット期間の1/8の周期。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

拡張シリアルモジュール内のタイマカウントのクロックソースを選択します。

BFE ビット (Break Field 検出許可ビット)

Start Frame の Break Field 有無を選択します。

CF0RE ビット (Control Field 0 受信許可ビット)

Start Frame の Control Field 0 有無を選択します。

CF1DS[1:0] ビット (Control Field 1 比較データ選択ビット)

Control Field 1 の比較データを選択します。

PIBE ビット (プライオリティインタラプトビット許可ビット)

Control Field 1 のプライオリティインタラプトビット比較を有効にするかどうかを選択します。本ビットが “1” のとき、XCR1.CF1CE[7:0] ビット設定値によらず、PIBS[2:0] ビットで指定したビットの値を Control Field 1 のプライマリ比較データ (XCR1.PCF1D[7:0] ビット) の該当ビット値と比較します。

PIBS[2:0] ビット (プライオリティインタラプトビット選択ビット)

Control Field 1 のビット N (N = 0 ～ 7) をプライオリティインタラプトビットに指定します。

BFOIE ビット (Break Field Low width 送出完了割り込み許可ビット)

Break Field 送出完了を TXI 割り込み要因に入れるかどうかを選択します。Break Field 送出完了で TXI を出力するためには、SCR0.TIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCDIE ビット (バス衝突検出割り込み許可ビット)

バス衝突検出時、ERI 割り込みを出力するかどうかを選択します。拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、かつ BCDIE = 1 時は、SCR0.RIE ビット = 0 であってもバス衝突検出時に、ERI 割り込みが出ます。

COFIE ビット (カウントオーバフロー割り込み許可ビット)

カウントオーバフローを ERI 割り込み要因に入れるかどうかを選択します。カウントオーバフローで ERI 割り込みを出力するためには、SCR0.RIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

AEDIE ビット (有効エッジ検出割り込み許可ビット)

有効エッジ検出時、AED 割り込みを出力するかどうかを選択します。有効エッジ検出で AED 割り込みを出力するためには、XCR1.BRME ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCCS[1:0] ビット (バス衝突検出クロック選択ビット)

バス衝突検出回路のサンプリングクロックを選択します。

33.2.15　拡張シリアルモード制御レジスタ 1 (XCR1)

アドレス　RSCI9.XCR1 000A 14B8h, RSCI11.XCR1 000E 20B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CF1CE[7:0]								SCF1D[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCF1D[7:0]								—	—	BRME	SDST	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	Break Field Low width出力タイマカウント開始ビット	0：Break Field送出タイマカウント停止 1：Break Field送出タイマカウント開始 本ビットとSDSTビットを同時に“1”にしないでください	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SDST	Start Frame検出開始ビット	0：Start Frame/Break Fieldの検出無効 1：Start Frame/Break Fieldの検出有効 本ビットとTCSTビットを同時に“1”にしないでください	R/W (注1)
b5	BRME	ビットレート測定許可ビット	0：ビットレート測定無効 1：ビットレート測定有効 本ビットを“1”にする時はSDSTビットと同時に“1”にしてください。本ビットを“0”にする時は任意のタイミングで“0”にできます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	PCF1D[7:0]	プライマリControl Field 1比較データビット	Control Field 1のプライマリ比較データ	R/W (注1)
b23-b16	SCF1D[7:0]	セカンダリControl Field 1比較データビット	Control Field 1のセカンダリ比較データ	R/W (注1)
b31-b24	CF1CE[7:0]	Control Field 1比較許可ビット	Control Field 1のbit Nをコンペアするかどうかを選択します(N = 0～7) 0：Control Field 1 bit Nコンペア無効 1：Control Field 1 bit Nコンペア有効	R/W (注1)

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

TCST ビット (Break Field Low width 出力タイマカウント開始ビット)

[0 になる条件]

- TCST ビットに “0” を書き込んだとき。Break Field 送出タイマカウントを停止し、TXDn 端子の出力はアイドルレベルになります。
- XCR2.BFLW[15:0] ビットに設定した期間の Break Field 送出が完了したとき。

[1 になる条件]

- TCST ビットに “1” を書き込んだとき。TXDn 端子から Break Field 送出を開始します。Break Field 送出中 “1” を保持します。

SDST ビット (Start Frame 検出開始ビット)

このビットに “1” を書くと Start Frame の検出を開始します。XCR0.BFE ビット = 1 設定時は、Start Frame 検出中および、Start Frame 検出後も本ビットが “1” の間、Break Field を検出できます。XCR0.BFE ビット = 0 設定時は、Break Field を検出しません。

このビットに “0” を書くと Start Frame 検出および、Break Field 検出を停止します。ただし、停止時に XSR0.RXDSF フラグ = 0 であった場合、本ビットでデータ受信を停止することはできません。SCR0.RE ビットを “0” にし、受信動作を停止するか、受信完了後に受信完了処理 (SSR.RDRF フラグのクリア、もしくは RDR レジスタの読み出し) をしてください。

BRME ビット (ビットレート測定許可ビット)

本ビットを “1” にする場合は SDST ビットと同時に “1” にしてください。本ビットを “1” にすると、Control Field 0、Control Field 1 データの有効エッジ間隔を測定します。

PCF1D[7:0] ビット (プライマリ Control Field 1 比較データビット)

Control Field 1 のプライマリ比較データを設定します。

SCF1D[7:0] ビット (セカンダリ Control Field 1 比較データビット)

Control Field 1 のセカンダリ比較データを設定します。

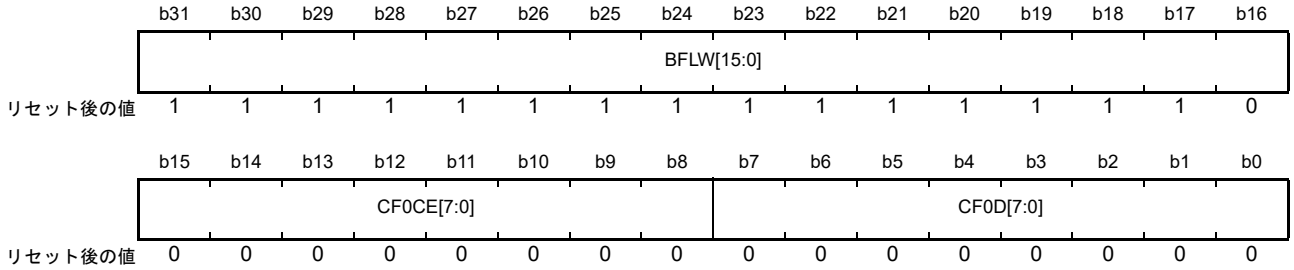
CF1CE[7:0] ビット (Control Field 1 比較許可ビット)

Control Field 1 のビット N (N = 0 ～ 7) を比較するかどうかを設定します。

本ビットを全て “0” 設定した場合 (CF1CE[7:0] ビット = 00h)、受信完了時に Control Field 1 一致と判定し、XSR0.CF1MF フラグをセットします。本ビットは PCF1D[7:0] ビットもしくは SCF1D[7:0] ビットとの比較イネーブルであり、プライオリティインタラプトビットの比較イネーブルではありません。

33.2.16　拡張シリアルモード制御レジスタ 2 (XCR2)

アドレス　RSCI9.XCR2 000A 14BCh, RSCI11.XCR2 000E 20BCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CF0D[7:0]	Control Field 0比較データビット	Control Field 0の比較データ	R/W (注1)
b15-b8	CF0CE[7:0]	Control Field 0比較許可ビット	Control Field 0のbit Nをコンペアするかどうかを選択します (N = 0～7) 0：Control Field 0 bit Nコンペア無効 1：Control Field 0 bit Nコンペア有効	R/W (注1)
b31-b16	BFLW[15:0]	Break Field Low width設定ビット	Break Field長を設定するビットです。 Break Field長は、(BFLW[15:0]設定値+ 1) ×タイマカウントクロックとなります。 本レジスタの設定許可上限値は、“FFFEh”です(“FFFFh”は設定禁止)	R/W (注1)

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

CF0D[7:0] ビット (Control Field 0 比較データビット)

Control Field 0 の比較データを設定します。

CF0CE[7:0] ビット (Control Field 0 比較許可ビット)

Control Field 0 のビット N (N = 0 ～ 7) を比較するかどうかを設定します。本ビットを全て “0” 設定した場合 (CF0CE[7:0] ビット = 00h)、受信完了時に Control Field 0 一致と判定し、XSR0.CF0MF フラグをセットします。

BFLW[15:0] ビット (Break Field Low width 設定ビット)

BFLW[15:0] ビットは、16 ビットの Break Field 長設定ビットで、初期値は “FFFEh” です。

Break Field 長は 1 フレーム長以上を設定してください。LIN 規格では Break Field 長は 13bit 長以上と規定されています。

Break Field 送出時、TCST ビットに “1” を書き込むと、TXDn 端子から Break Field 送出を開始すると同時に、XCR0.TCSS[1:0] ビットで選択されたタイマカウントクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、アップカウントを停止し、TXDn 端子からの Break Field 送出も停止します。

Break Field 検出時、SDST ビットに “1” を書き込むことにより、Start Frame 検出が可能になります。RXDn 信号の立ち下がりエッジを起点に、XCR0.TCSS[1:0] ビットで選択されたタイマカウントクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、Break Field 検出と判定します。アップカウントは、次の有効エッジもしくは、カウンタがオーバフローするまで継続します。

33.2.17　ステータスレジスタ (SSR)

アドレス　RSCI8.SSR 000A 1448h, RSCI9.SSR 000A 14C8h, RSCI11.SSR 000E 20C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRF	TEND	TDRE	AFER	APER	MFF	—	ORER	—	—	—	—	—	DFER	DPER	DCMF
リセット後の値	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXDMON	—	—	—	—	—	—	—	—	—	—	ERS	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます	R
b4	ERS	エラーシグナルステータスフラグ	本ビットは、スマートカードインタフェースモード時のみ有効です 0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R
b14-b5	—	予約ビット	読むと“0”が読めます	R
b15	RXDMON	RXDラインモニタフラグ	RXDn端子の状態を示します RINVビット= 0のとき 0：RXDn端子状態はLowレベル 1：RXDn端子状態はHighレベル RINVビット= 1のとき 0：RXDn端子状態はHighレベル 1：RXDn端子状態はLowレベル	R
b16	DCMF	データー致フラグ	(調歩同期式モードのみ有効) 0：データの一致検出なし 1：データの一致検出あり	R
b17	DPER	一致データパリティエラーフラグ	(調歩同期式モードのみ有効) 0：パリティエラーの発生なし 1：パリティエラーの発生あり	R
b18	DFER	一致データフレーミングエラーフラグ	(調歩同期式モードのみ有効) 0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R
b23-b19	—	予約ビット	読むと“0”が読めます	R
b24	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R
b25	—	予約ビット	読むと“0”が読めます	R
b26	MFF	モードフォルトフラグ	本ビットは、簡易SPIモード時のみ有効です 0：モードフォルトなし 1：モードフォルトあり	R
b27	APER	総合パリティエラーフラグ	[非FIFOモード(SCR3.FMビット= 0)時] 0：パリティエラーなし 1：パリティエラーあり [FIFOモード(SCR3.FMビット= 1)時] 0：FIFO内の全受信データにパリティエラーの発生なし 1：FIFO内の1つ以上の受信データにパリティエラーの発生あり	R
b28	AFER	総合フレーミングエラーフラグ	[非FIFOモード(SCR3.FMビット= 0)時] 0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり [FIFOモード(SCR3.FMビット= 1)時] 0：FIFO内の全受信データにフレーミングエラーの発生なし 1：FIFO内の1つ以上の受信データにフレーミングエラーの発生あり	R

ビット	シンボル	ビット名	機能	R/W
b29	TDRE	送信データエンプティフラグ	[非FIFOモード(SCR3.FMビット= 0)時] 0：TDRレジスタに書き込みデータあり 1：TDRレジスタに書き込みデータなし [FIFOモード(SCR3.FMビット= 1)時] 0：送信FIFOに書き込んだ送信データの数が、送信FIFOしきい値より多い 1：送信FIFOに書き込んだ送信データの数が、送信FIFOしきい値以下	R
b30	TEND	送信完了フラグ	0：キャラクタを送信待機中または送信中 1：キャラクタを送信完了またはBreak Field送出中	R
b31	RDRF	受信データフルフラグ	[非FIFOモード(SCR3.FMビット= 0)時] 0：RDRレジスタに受信データなし 1：RDRレジスタに受信データあり [FIFOモード(SCR3.FMビット= 1)時] 0：受信FIFO (RDRレジスタ)に格納された受信データ数が、受信FIFOしきい値より少ない 1：受信FIFO (RDRレジスタ)に格納された受信データ数が、受信FIFOしきい値以上	R

ERS フラグ (エラーシグナルステータスフラグ)

[“1” になる条件]

- エラーシグナル Low をサンプリングしたとき

[“0” になる条件]

- SSCR.ERSC ビットに “1” を書き込んだとき

DCMF フラグ (データー致フラグ)

受信したデータと SCR4.CMPD[8:0] ビットの一致を検出したことを示します。

SCR0.RE ビットをクリアしても、DCMF フラグは影響を受けず以前の状態を保持します。

[“1” になる条件]

- SCR0.DCME ビットが “1” (データ一致検出機能有効) の状態で、受信完了したデータと SCR4.CMPD[8:0] ビットの値が一致したとき

[“0” になる条件]

- SSCR.DCMFC ビットに “1” を書き込んだとき

DPER フラグ (一致データパリティエラーフラグ)

データ一致検出時にパリティエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DPER フラグは影響を受けず以前の状態を保持します。

[“1” になる条件]

- データ一致を検出したフレームでパリティエラーを検出したとき

[“0” になる条件]

- SSCR.DPERC ビットに “1” を書き込んだとき

DPER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

DFER フラグ (一致データフレーミングエラーフラグ)

データ一致検出時にフレーミングエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DFER フラグは影響を受けず以前の状態を保持します。

[“1” になる条件]

- データ一致を検出したフレームのストップビットが “0” のとき
  2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。

[“0” になる条件]

- SSCR.DFERC ビットに “1” を書き込んだとき

DFER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。簡易 I^2C モードでは本ビットは使用しません。

[“1” になる条件：非 FIFO モード (SCR3.FM ビット = 0) 時]

- 有効な受信エラーがない受信データが RDR レジスタに格納された状態で、RDR レジスタをリードしないで次のデータを受信したとき

RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに “1” がセットされた状態では、以降の受信データは RDR レジスタに転送されません。なお、クロック同期式モード、簡易 SPI モードでは、シリアル受信動作が停止します。

[“1” になる条件：FIFO モード (SCR3.FM ビット = 1) 時]

- 受信 FIFO (RDR レジスタ) に 32 個のデータが格納されているときに、次のシリアルデータの受信を完了したとき

[“0” になる条件]

- SSCR.ORERC ビットに “1” を書き込んだとき

ORER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

MFF フラグ (モードフォルトフラグ)

モードフォルトが発生したことを表示します。

マルチマスタ時は本ビットの読み出しによりモードフォルト判定を行ってください。

[“1” になる条件]

- 簡易 SPI モードのマスタモード設定時 (SCR3.CKE[1:0] ビット = 00b または 01b) に、SSn# 端子入力が Low レベルになったとき

[“0” になる条件]

- SSCR.MFFC ビットに “1” を書き込んだとき

APER フラグ (総合パリティエラーフラグ)

受信時にパリティエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、APER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I^2C モードでは本ビットは使用しません。

[“1” になる条件]

- 受信時にパリティエラーを検出したとき (非 FIFO モード時)
- 受信 FIFO (RDR レジスタ) 内の一つ以上の受信データにパリティエラーを検出したとき (FIFO モード時)

非 FIFO モード時にパリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、APER フラグが “1” にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- SSCR.APERC ビットに “1” を書き込んだとき

APER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

AFER フラグ (総合フレーミングエラーフラグ)

受信時にフレーミングエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、AFER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I^2C モードでは本ビットは使用しません。

[“1” になる条件]

- 受信時にストップビットに “0” をサンプリングしたとき (非 FIFO モード時)
- 受信 FIFO (RDR レジスタ) 内の一つ以上の受信データにフレーミングエラーを検出したとき (FIFO モード時)
- ストップビット 1 ビットに対して 1/4 と 3/4 のサンプリングポイントの 2 回のサンプリング結果が両方とも “1” でない場合 (マンチェスタモード時)

2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。

なお、非 FIFO モード時にフレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、AFER フラグが “1” にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

拡張シリアルモードで XCR1.SDST ビット = 1 時、“1” になる条件が発生しても、Break Field である可能性があるため、最長で Break Field 判定タイミングまで AFER セットタイミングが遅れます。Break Field 判定タイミング前に RXD 信号にエッジを検出した場合は、AFER 検出となります。Break Field 判定タイミングまでに RXD 信号にエッジを検出しなかった場合は、Break Field 検出となります。

[“0” になる条件]

- SSCR.AFERC ビットに “1” を書き込んだとき

AFER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

TDRE フラグ (送信データエンプティフラグ)

(1) 非 FIFO モード (SCR3.FM ビット = 0) 時

TDR レジスタ内の送信データの有無を示します。

SCR0.TE ビット = 0 の条件は、“0” になる条件より優先されます。

これ以外の “1” になる条件と “0” になる条件が同時に成立した場合、TDRE フラグは “0” になります。

[“1” になる条件]

- SCR0.TE ビットが “0” のとき
- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0” になる条件]

- SSCR.TDREC ビットに “1” を書き込んだとき
- SCR0.TE ビットが “1” の状態で TDR レジスタにデータを書き込んだとき

(2) FIFO モード (SCR3.FM ビット = 1) 時

送信 FIFO から TSR レジスタにデータが転送され、送信 FIFO のデータ数が送信 FIFO しきい値以下になったことを示します。

“1” になる条件と “0” になる条件が同時に成立した場合、TDRE フラグは “0” になります。その後、送信 FIFO に格納されたデータ数を再判定し、しきい値以下であれば 1 PCLK 後に再度 “1” になります。

[“1” になる条件]

- 送信 FIFO に書き込んだ送信データの数が送信 FIFO しきい値以下のとき (注 1)

[“0” になる条件]

- SSCR.TDREC ビットに “1” を書き込んだとき
- DTC/DMA 転送 (ブロック転送時は、ブロックの最終転送) により、TDR レジスタに送信データを書き込んだとき

注 1. 送信 FIFO (TDR レジスタ) は 32 段の FIFO レジスタであるため、TDRE フラグが “1” のときに書き込むことができるデータの最大数は、「32 – TFSR.T[5:0]」になります。それ以上のデータを書き込もうとしてもデータは無視されます。

TEND フラグ (送信完了フラグ)

(1) 非 FIFO モード (SCR3.FM ビット = 0)、かつ非スマートカードインタフェースモード (SCR3.MOD[2:0] ビット≠ 001b) 時

送信が終了したことを表示します

[“1” になる条件]

- SCR0.TE ビットが “0” のとき
- SCR0.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき
- DE 制御機能有効時 (SCR3.DEEN ビット = 1) は、DE 信号ホールド時間終了時、TDR レジスタが更新されていないとき
- Break Field 送出中

[“0” になる条件]

- SCR0.TE ビットが “1” の状態で、TDR レジスタへ送信データを書き込んだとき
- SCR0.TE ビットが “1” の状態で、SSCR.TDREC ビットに “1” を書き込んだとき

TEND フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

(2) 非 FIFO モード (SCR3.FM ビット = 0)、かつスマートカードインタフェースモード (SCR3.MOD[2:0] ビット = 001b) 時

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったときセットされます。

[“1” になる条件]

- SCR0.TE ビット = 0 のとき
- SCR0.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないときセットされるタイミングは、レジスタの設定により以下のように異なります。
  GM = 0、BLK = 0 のとき、送信開始から 12.5 etu 後
  GM = 0、BLK = 1 のとき、送信開始から 11.5 etu 後
  GM = 1、BLK = 0 のとき、送信開始から 11.0 etu 後
  GM = 1、BLK = 1 のとき、送信開始から 11.0 etu 後

[“0” になる条件]

- SCR0.TE ビットが “1” の状態で TDR レジスタへの送信データ書き込み後
- SCR0.TE ビットが “1” の状態で、SSCR.TDREC ビットに “1” を書き込んだとき

(3) FIFO モード (SCR3.FM ビット = 1) 時

送信待機中または送信フレームの最後尾ビットの送信時に送信 FIFO (TDR レジスタ) に有効なデータがなく、送信を終了したことを示します。

[“1” になる条件]

- 1 フレームの送信時、最後尾ビットを送信したときに送信 FIFO (TDR レジスタ) に送信データがないとき
- DE 制御機能有効時 (SCR3.DEEN ビット = 1) は、DE 信号ホールド時間終了時、TDR レジスタが更新されていないとき

[“0” になる条件]

- SCR0.TE ビットが “1” の状態で、TDR.TDAT[7:0] ビットへの送信データ書き込み後

RDRF フラグ (受信データフルフラグ)

(1) 非 FIFO モード (SCR3.FM ビット = 0) 時

RDR レジスタ内の受信データの有無を示します。

[“1” になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタに受信データが転送されたとき

[“0” になる条件]

- SSCR.RDRFC ビットに “1” を書き込んだとき
- RDR レジスタからデータを読み出したとき

(2) FIFO モード (SCR3.FM ビット = 1) 時

受信データが受信 FIFO (RDR レジスタ) に転送されたときに、受信 FIFO (RDR レジスタ) に格納されたデータの数が、受信 FIFO しきい値以上になったことを示します。受信 FIFO しきい値を “0” にした場合は、1 つ以上のデータを受信しなければフラグはセットされません。

[“1” になる条件]

- 受信 FIFO しきい値以上の受信データが受信 FIFO (RDR レジスタ) に格納されたとき (注 2)

[“0” になる条件]

- SSCR.RDRFC ビットに “1” を書き込んだとき
- DTC/DMA 転送 (ブロック転送時は、ブロックの最終転送) により、受信 FIFO (RDR レジスタ) から受信データを読み出したとき

“1” になる条件と “0” になる条件が同時に成立した場合、RDRF フラグは “0” になります。その後、受信 FIFO (RDR レジスタ) に格納されたデータ数を再判定し、しきい値以上であれば 1clkp 後に再度 “1” になります。

注 2. 受信 FIFO は 32 段の FIFO レジスタであるため、RDRF フラグが “1” のときに読み出すことができるデータの最大数は、RFSR.R[5:0] ビットで示されます。受信 FIFO のすべてのデータを読み出した後、さらに読み出しを続けると不定が読めます。

注 . 非 FIFO モード時、通信を中断する場合以外は、SSCR レジスタによって RDRF フラグと TDRE フラグをクリアしないでください。

33.2.18 I²C ステータスレジスタ (SISR)

アドレス RSCI8.SISR 000A 144Ch, RSCI9.SISR 000A 14CCh, RSCI11.SISR 000E 20CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF	—	—	IICACKR
リセット後の値	0	0	0	0	0	0	0	0	0	0	x	x	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0：ACK受信 1：NACK受信	R
b1	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと不定値が読めます	R
b3	IICSTIF	コンディション生成完了フラグ	0：各コンディション生成要求がない状態、または生成中の状態 1：各コンディション生成が完了した状態	R
b5-b4	—	予約ビット	読むと不定値が読めます	R
b31-b6	—	予約ビット	読むと“0”が読めます	R

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出せます。

本フラグの更新は、ACK/NACK を受信するビットの SSCLn の立ち上がりタイミングで行われます。

IICSTIF フラグ (コンディション生成完了フラグ)

各コンディション生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各コンディションの生成を行うときは、本フラグをクリアしてから生成を実行してください。

SCR0.TEIE ビットで割り込み要求が許可された状態で、本フラグが “1” の場合にスタートコンディション / リスタートコンディション / ストップコンディション生成完了 (STI) 割り込み要求が出力されます。

[“1” になる条件]

- スタート/リスタート/ストップの各コンディションの生成が完了したとき (ただし“0”になる条件と競合した場合は “0” になる条件が優先されます)

[“0” になる条件]

- SISCR.IICSTIFC ビットに “1” を書き込んだとき
- 簡易 I²C モード以外のとき
- TE ビットが “0” のとき

33.2.19　受信 FIFO ステータスレジスタ (RFSR)

アドレス　RSCI11.RFSR 000E 20D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	FEC[5:0]						—	—	PEC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	R[5:0]						—	—	—	—	—	—	—	DR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0：受信中、または正常に受信を完了した後受信FIFO (RDR レジスタ)の受信データをすべて読み出した(受信FIFOが空) 1：しきい値未満のデータを受信FIFO (RDRレジスタ)に格納した後、次の受信データが一定期間来ない	R
b1	—	予約ビット	読み出し値は不定です	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b13-b8	R[5:0]	受信FIFOデータカウントビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで、SCR3.FMビット= 1のときのみ有効) 受信FIFO (RDRレジスタ)に格納された受信データの数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます	R
b21-b16	PEC[5:0]	パリティエラーカウントビット	(調歩同期式モードで有効です) 受信FIFO (RDRレジスタ)に格納されている受信データのうち、パリティエラーが発生したデータの数を示します	R
b23-b22	—	予約ビット	読むと“0”が読めます	R
b29-b24	FEC[5:0]	フレーミングエラーカウントビット	(調歩同期式モードで有効です) 受信FIFO (RDRレジスタ)に格納されている受信データのうち、フレーミングエラーが発生したデータの数を示します	R
b31-b30	—	予約ビット	読むと“0”が読めます	R

DR フラグ (受信データレディフラグ)

受信後に受信 FIFO に格納されたデータの数が受信 FIFO しきい値より少ない状態で 15 etu 経過したことを示します。このフラグは調歩同期式モード (マルチプロセッサモードを含む) で FIFO バッファを有効にしたときのみ “1” になり、他の動作モードでは “1” になりません。

[“1” になる条件]

SSR.AFER、APER フラグが “0” でかつ受信 FIFO しきい値未満のデータが受信 FIFO (RDR レジスタ) に格納されたときに、最後のストップビットの検出から 15 etu (注 1) の時間が経過した後も次のデータが受信されないとき

[“0” になる条件]

- SCR3.FM ビットが “0” のとき
- 受信FIFO (RDR レジスタ)内の受信データをすべて読み出し、RFSCR.DRC ビットに“1”を書き込んだとき

FCR.DRES ビットを “1” にして DR フラグを受信エラー割り込み要因に設定した場合、DR フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

注 1. 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します (etu：Element Time Unit：要素時間単位)。

R[5:0] ビット (受信 FIFO データカウントビット)

受信 FIFO (RDR レジスタ) に格納された受信データの数を示します。

“00h” は受信データがないことを、“20h” は受信 FIFO (RDR レジスタ) がいっぱいであることを示します。

PEC[5:0] ビット (パリティエラーカウントビット)

受信 FIFO (RDR レジスタ) に格納されている受信データのうち、パリティエラーが発生したデータの数を示します。

FEC[5:0] ビット (フレーミングエラーカウントビット)

受信 FIFO (RDR レジスタ) に格納されている受信データのうち、フレーミングエラーが発生したデータの数を示します。

33.2.20　送信 FIFO ステータスレジスタ (TFSR)

アドレス　RSCI11.TFSR 000E 20D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	T[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	T[5:0]	送信FIFOデータカウントビット	(調歩同期式モード(マルチプロセッサモードを含む)またはクロック同期式モード、簡易SPIモードで、SCR3.FMビット=1のときのみ有効) 送信FIFO (TDRレジスタ)に格納された未送信データの数を示します	R
b31-b6	—	予約ビット	読むと“0”が読めます	R

T[5:0] ビット (送信 FIFO データカウントビット)

送信 FIFO (TDR レジスタ) に格納された未送信データの数を示します。

“00h” は未送信データがないことを示します。“20h” は送信 FIFO (TDR レジスタ) がいっぱいであることを示します。

33.2.21　マンチェスタモードステータスレジスタ (MMSR)

アドレス　RSCI9.MMSR 000A 14D8h, RSCI11.MMSR 000E 20D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RSYNC	—	MCER	—	SBER	SYER	PFER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PFER	プリフェースエラーフラグ	プリフェース検出で、パターン不一致を検出した場合にセットされます 0：プリフェースエラー検出なし 1：プリフェースエラー検出あり	R
b1	SYER	Syncエラーフラグ	受信リタイミング動作時に、補正可能範囲にエッジを検出できなかった場合にセットされます 0：受信Syncエラー検出なし 1：受信Syncエラー検出あり	R
b2	SBER	スタートビットエラーフラグ	スタートビット検出時に、パターン不一致を検出した場合にセットされます 0：スタートビットエラー検出なし 1：スタートビットエラー検出あり	R
b3	—	予約ビット	読むと“0”が読めます	R
b4	MCER	マンチェスタコードエラーフラグ	マンチェスタモード時のみ有効 0：マンチェスタコードエラー発生なし 1：マンチェスタコードエラー発生あり	R
b5	—	予約ビット	読むと“0”が読めます	R
b6	RSYNC	受信Syncデータビット	マンチェスタモードで、MMCR.SBLENビット= 1の場合有効となり、それ以外の場合読み出し値としては“0”となります 0：スタートビットはデータSyncを受信 1：スタートビットはコマンドSyncを受信	R
b31-b7	—	予約ビット	読むと“0”が読めます	R

PFER フラグ (プリフェースエラーフラグ)

マンチェスタモードでフレーム受信時にプリフェースエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、PFER フラグは影響を受けず以前の状態を保持します。

[“1” になる条件]

- マンチェスタモードで受信を行い、プリフェースエラーを検出したとき

プリフェースエラーが発生したとき、以下の動作をします。

<MMCR.PFERIE ビット = 1 の場合 >

受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生します。なお、PFER フラグが “1” にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

<MMCR.PFERIE ビット = 0 の場合 >

受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。PFER フラグが “1” にセットされた状態でも、以降の受信動作に影響ありません。

［“0” になる条件］

- MMSCR.PFERC ビットに “1” を書き込んだとき

PFER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

SYER フラグ (Sync エラーフラグ)

マンチェスタモードで、かつマンチェスタエッジリタイミングイネーブル設定時 (MMCR.SADJE ビット = 1) の場合、フレーム受信時に受信 Sync エラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SYER フラグは影響を受けず以前の状態を保持します。

［“1” になる条件］

- マンチェスタモードで受信を行い、受信 Sync エラーを検出したとき

受信 Sync エラーが発生したとき、以下の動作をします。

<MMCR.SYERIE ビット = 1 の場合 >

受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生せず、ERI 割り込み要求が発生します。なお、SYER フラグが “1” にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

<MMCR.SYERIE ビット = 0 の場合 >

受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SYER フラグが “1” にセットされた状態でも、以降の受信動作に影響ありません。

［“0” になる条件］

- MMSCR.SYERC ビットに “1” を書き込んだとき

SYER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

SBER フラグ (スタートビットエラーフラグ)

マンチェスタモードでフレーム受信時にスタートビットエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SBER フラグは影響を受けず以前の状態を保持します。

［“1” になる条件］

- マンチェスタモードで受信を行い、スタートビットエラーを検出したとき

スタートビットエラーが発生したとき、以下の動作をします。

<MMCR.SBERIE ビット = 1 の場合 >

受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生します。なお、SBER フラグが “1” にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

<MMCR.SBERIE ビット = 0 の場合 >

受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SBER フラグが “1” にセットされた状態でも、以降の受信動作に影響ありません。

［“0” になる条件］

- MMSCR.SBERC ビットに “1” を書き込んだとき

SBER フラグを “0” にして割り込み処理ルーチンを終了する場合は、**「14.5.2　レベル検出割り込み」**の手順を参照してください。

MCER フラグ (マンチェスタコードエラーフラグ)

マンチェスタモードでデータ受信時にマンチェスタコードのエラーを検出して異常終了したことを表示します。

SCR0.RE ビットをクリアしても、MCER フラグは影響を受けず以前の状態を保持します。

[“1” になる条件]

- マンチェスタモードで受信を行い、受信フレームのデータ領域 (パリティ / マルチプロセッサビットを含む) でマンチェスタコードエラーを検出した場合

エラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なおマンチェスタコードエラーフラグが “1” にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

マンチェスタコードエラーについて、詳細は「33.5.11　マンチェスタモードにおけるエラー」を参照してください。

[“0” になる条件]

- MMSCR.MCERC ビットに “1” を書き込んだとき

MCER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。

RSYNC ビット (受信 Sync データビット)

マンチェスタモード選択時 (SCR3.MOD[2:0] ビット = 101b) で MMCR.SBLEN ビット = 1 に設定されている場合、有効となり受信データ中のスタートビットの Sync モード (データ Sync/ コマンド Sync) を示します。それ以外の場合、読み出し値は “0” となります。

33.2.22　拡張シリアルモードステータスレジスタ 0 (XSR0)

アドレス　RSCI9.XSR0 000A 14DCh, RSCI11.XSR0 000E 20DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CF1RD[7:0]								CF0RD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AEDF	COF	PIBDF	CF1MF	CF0MF	BFDF	BCDF	BFOF	—	—	—	—	—	—	RXDSF	SFSF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFSF	Start Frameステータスフラグ	0：Start Frame検出機能無効状態、またはStart Frame検出完了 1：Start Frame検出前、または検出中	R(注1)
b1	RXDSF	RXD入力ステータスフラグ	0：RSCIコア部へのRXD入力許可状態 1：RSCIコア部へのRXD入力禁止状態 (RSCIコア部へRXDは入力されない)	R(注1)
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	BFOF	Break Field Low width送出完了フラグ	0：Break Field送出中または送出していない 1：Break Fieldの送出を完了した	R
b9	BCDF	バス衝突検出フラグ	0：バス衝突を検出していない 1：バス衝突を検出した	R
b10	BFDF	Break Field Low width検出フラグ	0：Break Fieldを検出していない 1：Break Fieldを検出した	R
b11	CF0MF	Control Field 0一致フラグ	0：Control Field 0受信データが設定データと不一致 1：Control Field 0受信データが設定データと一致	R
b12	CF1MF	Control Field 1一致フラグ	0：Control Field 1受信データが設定データと不一致 1：Control Field 1受信データが設定データと一致	R
b13	PIBDF	プライオリティインタラプトビット検出フラグ	0：プライオリティインタラプトビットを検出していない 1：プライオリティインタラプトビットを検出した	R
b14	COF	カウントオーバフローフラグ	0：Break Field検出用カウンタがオーバフローしていない 1：Break Field検出用カウンタがオーバフローした	R
b15	AEDF	有効エッジ検出フラグ	0：有効エッジを検出していない 1：有効エッジを検出した	R
b23-b16	CF0RD[7:0]	Control Field 0受信データビット	Control Field 0の受信データ	R
b31-b24	CF1RD[7:0]	Control Field 1受信データビット	Control Field 1の受信データ	R

注1.　受信データフル割り込み(RXI)から1 PCLKサイクル以上待ってから本レジスタを読み出してください。

SFSF フラグ (Start Frame ステータスフラグ)

Start Frame 検出中かどうかを示します。

[“1” になる条件]

- XCR1.SDST ビットに “1” を書いたとき
- Control Field 0、Control Field 1、Imformation Field フェーズで Break Field を検出し、Control Field 0 または Control Field 1 の受信ステートに遷移したとき

[“0” になる条件]

- XCR1.SDST ビットが “0” のとき
- Start Frame 検出完了したとき

RXDSF フラグ (RXD 入力ステータスフラグ)

RSCI コア部への RXD 入力ステータスを示します。本ビットが “1” のとき、RXD 入力は拡張シリアルモジュールでのみ受信して Break Field を検出しており、RSCI コア部へは入力されません。

33.2.23　拡張シリアルモードステータスレジスタ 1 (XSR1)

アドレス　RSCI9.XSR1 000A 14E0h, RSCI11.XSR1 000E 20E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CCV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CCV[15:0]	取得カウント値ビット	16ビットのカウンタキャプチャ値を格納します	R
b31-b16	—	予約ビット	読むと“0”が読めます	R

CCV[15:0] ビット (取得カウント値ビット)

拡張シリアルモジュール内の 16 ビットカウンタのキャプチャ値を格納します。

Start Frame 送信時

本レジスタは、前値を保持します。

Start Frame 受信 (ビットレート測定無効時)

Break Field 検出ステート (図 33.75) で Break Field を検出した場合は、Break Field 長をキャプチャし、保持します (RXD 立ち上がりエッジでカウント値をキャプチャ)。

Break Field 検出ステート以外で Break Field を検出した場合は、前値を保持します。

カウンタがオーバフローした場合は、キャプチャしません。

Start Frame 受信 (ビットレート測定有効時)

有効エッジ (RXD 両エッジ) でカウント値をキャプチャし保持します。ただし、Break Field 検出ステートでは有効エッジが発生してもカウント値をキャプチャしません。なお、カウンタキャプチャ値の保持は、本レジスタを読み出すことにより解除されます。読む前に有効エッジが発生しても、カウント値はキャプチャされません。

33.2.24　ステータスクリアレジスタ (SSCR)

アドレス　RSCI8.SSCR 000A 1468h, RSCI9.SSCR 000A 14E8h, RSCI11.SSCR 000E 20E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRFC	—	TDREC	AFERC	APERC	MFFC	—	ORERC	—	—	—	—	—	DFERC	DPERC	DCMFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	ERSC	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ERSC	ERSクリアビット	本ビットを“1”にすると、SSR.ERSフラグをクリアします。 読み出し値は常に“0”です	W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	DCMFC	DCMFクリアビット	本ビットを“1”にすると、SSR.DCMFフラグをクリアします。 読み出し値は常に“0”です	W
b17	DPERC	DPERクリアビット	本ビットを“1”にすると、SSR.DPERフラグをクリアします。 読み出し値は常に“0”です	W
b18	DFERC	DFERクリアビット	本ビットを“1”にすると、SSR.DFERフラグをクリアします。 読み出し値は常に“0”です	W
b23-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	ORERC	ORERクリアビット	本ビットを“1”にすると、SSR.ORERフラグをクリアします。 読み出し値は常に“0”です	W
b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26	MFFC	MFFクリアビット	本ビットを“1”にすると、SSR.MFFフラグをクリアします。 読み出し値は常に“0”です	W
b27	APERC	APERクリアビット	本ビットを“1”にすると、SSR.APERフラグをクリアします。 読み出し値は常に“0”です	W
b28	AFERC	AFERクリアビット	本ビットを“1”にすると、SSR.AFERフラグをクリアします。 読み出し値は常に“0”です	W
b29	TDREC	TDREクリアビット	本ビットを“1”にすると、SSR.TDREフラグをクリアします。 読み出し値は常に“0”です	W
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	RDRFC	RDRFクリアビット	本ビットを“1”にすると、SSR.RDRFフラグをクリアします。 読み出し値は常に“0”です	W

33.2.25 I²C ステータスクリアレジスタ (SISCR)

アドレス RSCI8.SISCR 000A 146Ch, RSCI9.SISCR 000A 14ECh, RSCI11.SISCR 000E 20ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIFC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	IICSTIFC	IICSTIFクリアビット	本ビットを“1”にすると、SISR.IICSTIFフラグをクリアします。 読み出し値は常に“0”です	W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

33.2.26 受信 FIFO ステータスクリアレジスタ (RFSCR)

アドレス RSCI11.RFSCR 000E 20F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRC	DRクリアビット	本ビットを“1”にすると、RFSR.DRフラグをクリアします。 読み出し値は常に“0”です	W
b1	—	予約ビット	読むと“0”が読めます	R
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

33.2.27　マンチェスタモードステータスクリアレジスタ (MMSCR)

アドレス　RSCI9.MMSCR 000A 14F4h, RSCI11.MMSCR 000E 20F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MCERC	—	SBERC	SYERC	PFERC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PFERC	PFERクリアビット	本ビットを“1”にすると、MMSR.PFERフラグをクリアします。 読み出し値は常に“0”です	W
b1	SYERC	SYERクリアビット	本ビットを“1”にすると、MMSR.SYERフラグをクリアします。 読み出し値は常に“0”です	W
b2	SBERC	SBERクリアビット	本ビットを“1”にすると、MMSR.SBERフラグをクリアします。 読み出し値は常に“0”です	W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	MCERC	MCERクリアビット	本ビットを“1”にすると、MMSR.MCERフラグをクリアします。 読み出し値は常に“0”です	W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

33.2.28　拡張シリアルモードステータスクリアレジスタ (XSCR)

アドレス　RSCI9.XSCR 000A 14F8h, RSCI11.XSCR 000E 20F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AEDCL	COFC	PIBDCL	CF1MCL	CF0MCL	BFDCL	BCDCL	BFOC	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	BFOC	BFOFクリアビット	本ビットを“1”にすると、XSR0.BFOFフラグをクリアします。 読み出し値は常に“0”です	W
b9	BCDCL	BCDFクリアビット	本ビットを“1”にすると、XSR0.BCDFフラグをクリアします。 読み出し値は常に“0”です	W
b10	BFDCL	BFDFクリアビット	本ビットを“1”にすると、XSR0.BFDFフラグをクリアします。 読み出し値は常に“0”です	W
b11	CF0MCL	CF0MFクリアビット	本ビットを“1”にすると、XSR0.CF0MFフラグをクリアします。 読み出し値は常に“0”です	W
b12	CF1MCL	CF1MFクリアビット	本ビットを“1”にすると、XSR0.CF1MFフラグをクリアします。 読み出し値は常に“0”です	W
b13	PIBDCL	PIBDFクリアビット	本ビットを“1”にすると、XSR0.PIBDFフラグをクリアします。 読み出し値は常に“0”です	W
b14	COFC	COFクリアビット	本ビットを“1”にすると、XSR0.COFフラグをクリアします。 読み出し値は常に“0”です	W
b15	AEDCL	AEDFクリアビット	本ビットを“1”にすると、XSR0.AEDFフラグをクリアし、XSR1レジスタ保持を解除します。 読み出し値は常に“0”です	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

33.2.29　HBS サポートモード制御レジスタ (HBSCR)

アドレス　RSCI8.HBSCR 000A 141Eh, RSCI9.HBSCR 000A 149Eh, RSCI11.HBSCR 000E 209Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LPS	AOE	—	HBSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HBSE	HBSサポートモード許可ビット	0：データ“0”のパルス幅を100%にする(NRZ符号) 1：データ“0”のパルス幅を50%にする(RZI符号化してさらに論理反転)	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	AOE	交互出力許可ビット	0：TXDn端子から出力 1：TXDAn端子とTXDBn端子からデータ“0”を交互に出力	R/W (注1)
b3	LPS	先行出力端子選択ビット	0：HBSEビット= 1かつAOEビット= 1時、TXDAn端子から通信開始 1：HBSEビット= 1かつAOEビット= 1時、TXDBn端子から通信開始	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SCR0.TEビット= 0、SCR0.REビット= 0のとき、書き込み可能です。

HBSE ビット (HBS サポートモード許可ビット)

本ビットが “1” のとき送信データを負論理 RZI 符号にエンコードして送信し、受信信号を NRZ 符号にデコードして受信します。また TXDAn/TXDBn 端子から送信データを出力することもできます。調歩同期式モード時でのみ使用してください。

AOE ビット (交互出力許可ビット)

HBS サポートモード時に、TXDn 端子から出力するか、データ “0” を TXDAn 端子と TXDBn 端子に交互に出力するかを選択するビットです。

LPS ビット (先行出力端子選択ビット)

HBS サポートモード時で、AOE ビット = 1 のときに使用するビットです。

“0” にした場合、TXDAn 端子からスタートビットを送信し、TXDBn 端子 /TXDAn 端子交互にデータ “0” を出力します。

“1” にした場合、TXDBn 端子からスタートビットを送信し、TXDAn 端子 /TXDBn 端子交互にデータ “0” を出力します。

詳細は、「33.6　HBS サポートモード」の動作説明を参照ください。

33.2.30　製品機能選択レジスタ 0 (PRDFR0)

アドレス SYSTEM.PRDFR0 0008 00D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	SCI11RXD[1:0]		—	—	SCI9RXD[1:0]		SCI8RXD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SCI5RXD[1:0]		—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	SCI5RXD[1:0]	SCI5 RXD入力信号選択ビット	SCI5のRXD端子に入力する信号を選択します b11 b10 0　0：RXD5端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	SCI8RXD[1:0]	RSCI8 RXD入力信号選択ビット	RSCI8のRXD端子に入力する信号を選択します b17 b16 0　0：RXD008端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b19-b18	SCI9RXD[1:0]	RSCI9 RXD入力信号選択ビット	RSCI9のRXD端子に入力する信号を選択します b19 b18 0　0：RXD009端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b21-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b22	SCI11RXD[1:0]	RSCI11 RXD入力信号選択ビット	RSCI11のRXD端子に入力する信号を選択します b23 b22 0　0：RXD011端子からの入力信号 0　1：COMP3レベル検出信号 1　0：COMP4レベル検出信号 上記以外は設定しないでください	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

伝送線路の影響によりRXD信号が減衰し、VIH/VILの規格を満たさなくなってしまった場合、コンパレータを介在させることで改善できます。

コンパレータを使用する場合、RXD信号をCMPC30～CMPC33、CMPC40～CMPC43端子のいずれかに接続してください。また、コンパレータのノイズフィルタは無効にしてください。このとき、当該チャネルのRXD端子は使用しません。

33.3　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 33.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

RSCI は通信回線を監視し、SCR3.RXDESEL ビットが “0” のときはスペース (Low) を、SCR3.RXDESEL ビットが “1” のときはスペース (Low) への立ち下がりエッジを検出するとスタートビットとみなしてシリアル通信を開始します。

RSCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造 (FIFO バッファ構成も選択可能) になっていますので、送信および受信中にデータのリード / ライトができ、連続送受信が可能です。

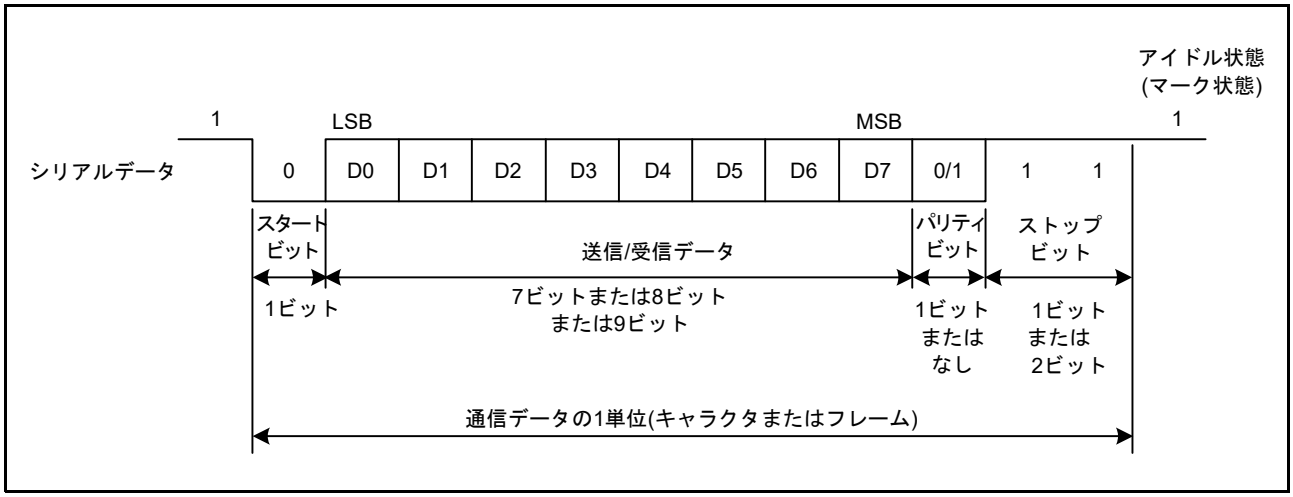


図 33.5　調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり /2 ストップビットの例)

33.3.1　シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 33.28 に示します。

フォーマットは 18 種類あり、SCR1 レジスタおよび SCR3 レジスタの設定により選択できます。マルチプロセッサ機能の詳細については「33.4　マルチプロセッサ通信機能」を参照してください。

表33.28　シリアル送信/受信フォーマット(調歩同期式モード)

SCR3の設定		SCR1の設定	SCR3の設定		シリアル送信/受信フォーマットとフレーム長
CHR[1]	CHR[0]	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	S 9ビットデータ STOP
0	0	0	0	1	S 9ビットデータ STOP STOP
0	0	1	0	0	S 9ビットデータ P STOP
0	0	1	0	1	S 9ビットデータ P STOP STOP
1	0	0	0	0	S 8ビットデータ STOP
1	0	0	0	1	S 8ビットデータ STOP STOP
1	0	1	0	0	S 8ビットデータ P STOP
1	0	1	0	1	S 8ビットデータ P STOP STOP
1	1	0	0	0	S 7ビットデータ STOP
1	1	0	0	1	S 7ビットデータ STOP STOP
1	1	1	0	0	S 7ビットデータ P STOP
1	1	1	0	1	S 7ビットデータ P STOP STOP
0	0	—	1	0	S 9ビットデータ MPB STOP
0	0	—	1	1	S 9ビットデータ MPB STOP STOP
1	0	—	1	0	S 8ビットデータ MPB STOP
1	0	—	1	1	S 8ビットデータ MPB STOP STOP
1	1	—	1	0	S 7ビットデータ MPB STOP
1	1	—	1	1	S 7ビットデータ MPB STOP STOP

S:　スタートビット
STOP: ストップビット
P:　パリティビット
MPB:　マルチプロセッサビット

33.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、RSCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します (注 2)。また、サンプリング調整未実施時 (SCR4.RTADJ ビット = 0、あるいは、SCR4.RTADJ ビット = 1 かつ SCR4.RTMG[2:0] ビット = 000b) は、図 33.6 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ (\%) \quad \text{...式 (1)}$$

M：受信マージン
N：クロックに対するビットレートの比
- SCR2.ABCSE ビットが“0”、かつ SCR2.ABCS ビットが“0”のとき N = 16
- SCR2.ABCSE ビットが“0”、かつ SCR2.ABCS ビットが“1”のとき N = 8
- SCR2.ABCSE ビットが“1”のとき N = 6

D：クロックのデューティ (D = 0.5 ～ 1.0)
L：フレーム長 (L = 9 ～ 13)
F：クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

M = {0.5 – 1/(2 × 16)} × 100 (%) = 46.875 (%)

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30% の余裕を持たせてください。

注 1. SCR2.ABCSE ビットが “0”、かつ SCR2.ABCS ビットが “0” のときの例です。ABCSE ビットが “0”、かつ ABCS ビットが “1” のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。また、ABCSE ビットが “1” のときは、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 番目の立ち上がりエッジでサンプリングします。

注 2. スタートビット判定条件を以下に示す。
受信サンプリングタイミング調整機能 OFF (RTADJ ビット = 0) 時：
スタートビット判定条件は、Low レベル検出から、半ビット長の Low が継続していることであり、データのサンプリングタイミングと一致しています。
図 33.6 の例の場合、1 ビット長が 16 クロックなので、Low レベルを検出してから、半ビット長 (8 クロック) の Low が継続する必要があります。半ビット長の Low が継続しなかった場合、立ち下がり検出はノイズであったと判断し、受信を開始せず次のスタートビットを待ちます。
受信サンプリングタイミング調整機能 ON (RTADJ ビット = 1) 時：
スタートビット判定条件は、Low レベル検出からデータサンプリングタイミングまで、Low が継続していることです。
そのため、サンプリングタイミングを前 (RTMG[3] ビット = 1) に調整した場合は、ノイズをスタートビットと誤判定する可能性が高くなります。

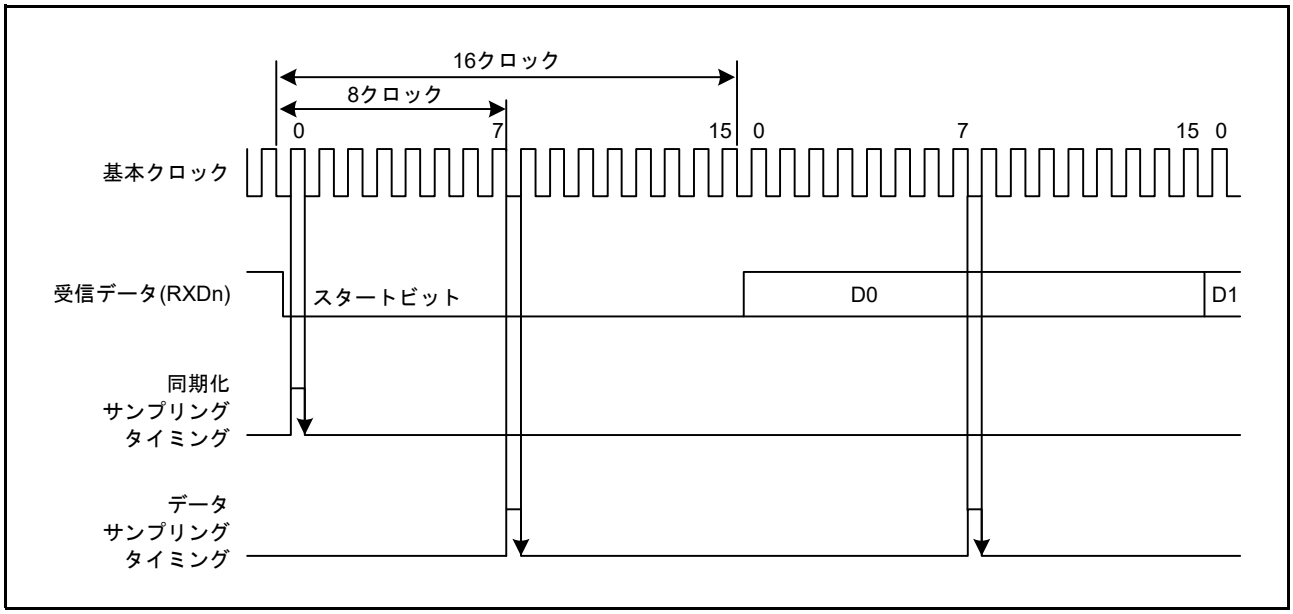


図 33.6　調歩同期式モードの受信データサンプリングタイミング

33.3.3　クロック

RSCI の送受信クロックは、SCR3.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍 (SCR2.ABCS ビット = 0 のとき)、8 倍 (SCR2.ABCS ビット = 1 のとき) の周波数のクロックを入力してください。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は**図 33.7** に示すように送信データの中央でクロックが立ち上がります。クロック出力を選択した場合は、SCR0.TE ビット = 1 もしくは SCR0.RE ビット = 1 に設定した後でクロック出力が行われます。

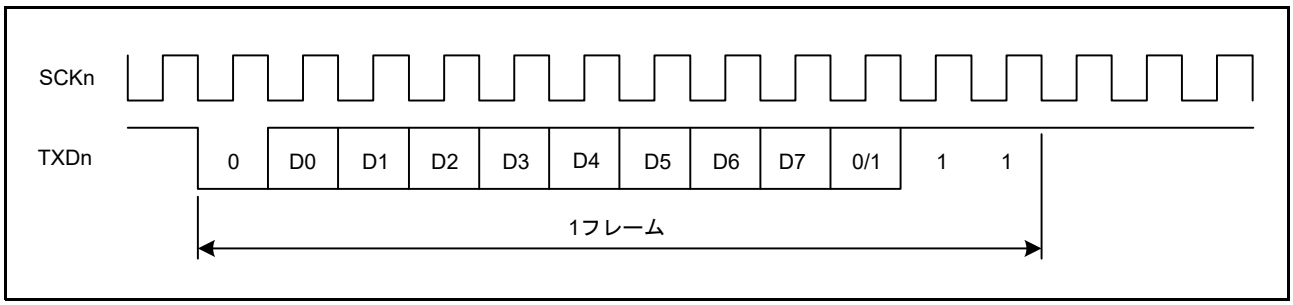


図 33.7　出力クロックと送信データの位相関係
(調歩同期式モード : SCR1.PE ビット = 1、SCR3.CHR[1:0] ビット = 10b、MP ビット = 0、STOP ビット = 1)

33.3.4　倍速モードと 6 分周モード

SCR2.ABCS ビットを “1” にすると、ABCS ビットを “0” に設定した場合の 2 倍のビットレートで動作します。また、SCR2.BGDM ビットを “1” に設定すると、基本クロックの周期が 1/2 倍になり、BGDM ビットを “0” に設定した場合の 2 倍のビットレートで動作します。SCR3.CKE[1] ビットを “0” に設定し内蔵ボーレートジェネレータを選択した時は、ABCS ビットを “1” かつ BGDM ビットを “1” に設定することで、ABCS ビットを “0” かつ BGDM ビットを “0” にした場合の 4 倍のビットレートで動作することができます。

また、SCR2.ABCSE ビットを “1” にすると、1 ビット期間中の基本クロックパルス数が 6、かつ基本クロックの周期が 1/2 になり、ABCS ビット、BGDM ビット、ABCSE ビットがすべて “0” の場合に比べ 16/3 倍のビットレートで動作します。

なお、**「33.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン」**の式 (1) が示すとおり、ABCS ビットまたは ABCSE ビットを “1” にすると受信マージンが減少します。ABCS ビットを “0”、ABCSE ビットを “0” にしても所望のビットレートが得られるのであれば、ABCS ビットを “0”、ABCSE ビットを “0” で使用することを推奨します。

33.3.5　CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SCR1.CTSE ビットを “1” にすると CTS 機能が有効になります。また、CTSn#/RTSn# 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTSn# 端子が High になっても、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して送信要求を行う機能で、受信可能状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

(a)　SCR3.FM ビットが “0” (非 FIFO モード) の場合

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが “1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグがすべて “0”

[High になる条件]

- Low になる条件を満たさない場合

(b)　SCR3.FM ビットが “1” (FIFO モード) の場合

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが “1”
- FIFO に格納された受信データの数が、FCR.RSTRG[4:0] 設定値より少ない
- SSR.ORER (RDR.ORER) フラグが “0”

[High になる条件]

- Low になる条件を満たさない場合

33.3.6　データ一致検出機能

データ一致検出機能は調歩同期式モードのみ使用できます。

SCR0.DCME ビットを “1” に設定 (注 1) すると、1 フレームごとの受信完了時に、受信したデータと SCR4.CMPD[8:0] ビットに設定した値との比較を行い、一致を検出したときに RXI 割り込み要求を出力することができます。

SCR3.MP ビットを “0” に設定した場合、受信したデータにおけるデータビットのみを SCR4.CMPD[8:0] ビット (注 2) と比較します。SCR3.MP ビットを “1” (マルチプロセッサモード) に設定した場合、SCR0.IDSEL ビットを “1” に設定すると、マルチプロセッサビット (MPB) が “1” の受信データでは一致 / 不一致の検出を行い、MPB が “0” の受信データについては不一致を検出します。SCR0.IDSEL ビットを “0” に設定すると、受信データの MPB の値によらず、受信完了の度に一致 / 不一致の検出を行います。

RSCI は、受信したデータと SCR4.CMPD[8:0] ビットとの不一致を検出したときは、SSR.DFER、DPER フラグはセットしません。

受信したデータと SCR4.CMPD[8:0] ビットとの一致を検出すると、SCR0.DCME ビットが “0” になり、SSR.DCMF フラグが “1” になります。SCR0.IDSEL ビットを “1” に設定している場合、SCR0.MPIE ビットが “0” になり、SCR0.IDSEL ビットを “0” に設定している場合、SCR0.MPIE ビットの値は保持されます。このとき SCR0.RIE ビットが “1” であれば RXI 割り込み要求を発生します。一致を検出したフレームでフレーミ

ングエラーを検出した場合はSSR.DFERフラグが“1”になり、パリティエラーを検出した場合はSSR.DPERフラグが“1”になります。なお、一致を検出した受信データとMPBはRDRレジスタには格納せず、SSR.RDRFフラグは“0”を保持します。

受信したデータとSCR4.CMPD[8:0]ビットとの一致を検出しSCR0.DCMEビットが“0”になった後は、その時点のレジスタ設定に従い受信動作を継続します。

SSR.DFER、SSR.DPERフラグがセットされた状態ではデータの一致を検出しません。データ一致検出機能を有効にする前に、SSR.DFER、およびSSR.DPERフラグを“0”にしてください。

図33.8、図33.9にデータ一致検出の例を示します。

注1. データー致検出を行う受信フレームの、スタートビット受信前にSCR0.DCMEビットを“1”にしてください。

注2. 7ビット長選択時はCMPD[6:0]ビットを、8ビット長選択時はCMPD[7:0]ビットを、9ビット長選択時はCMPD[8:0]ビットと比較します。

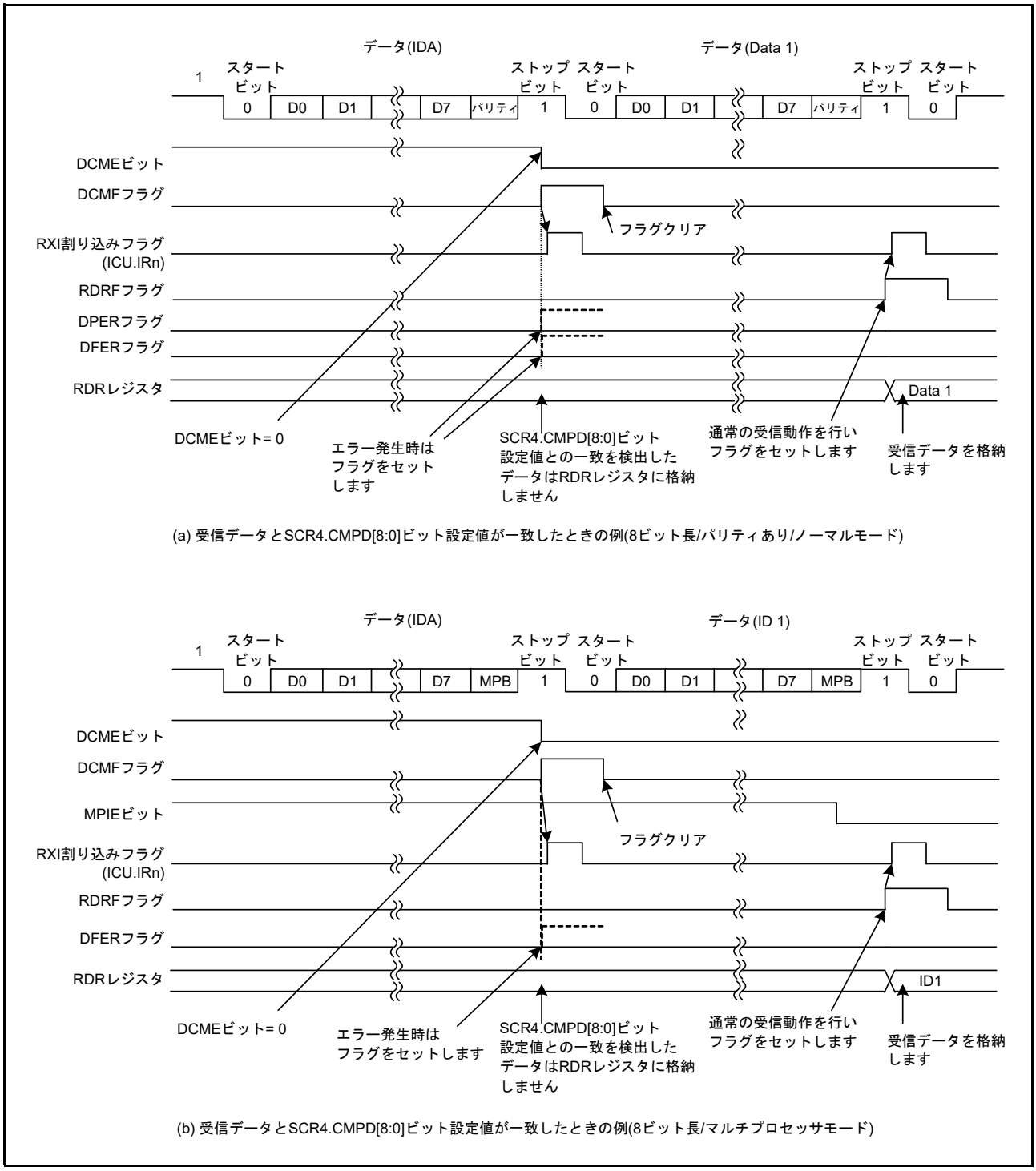
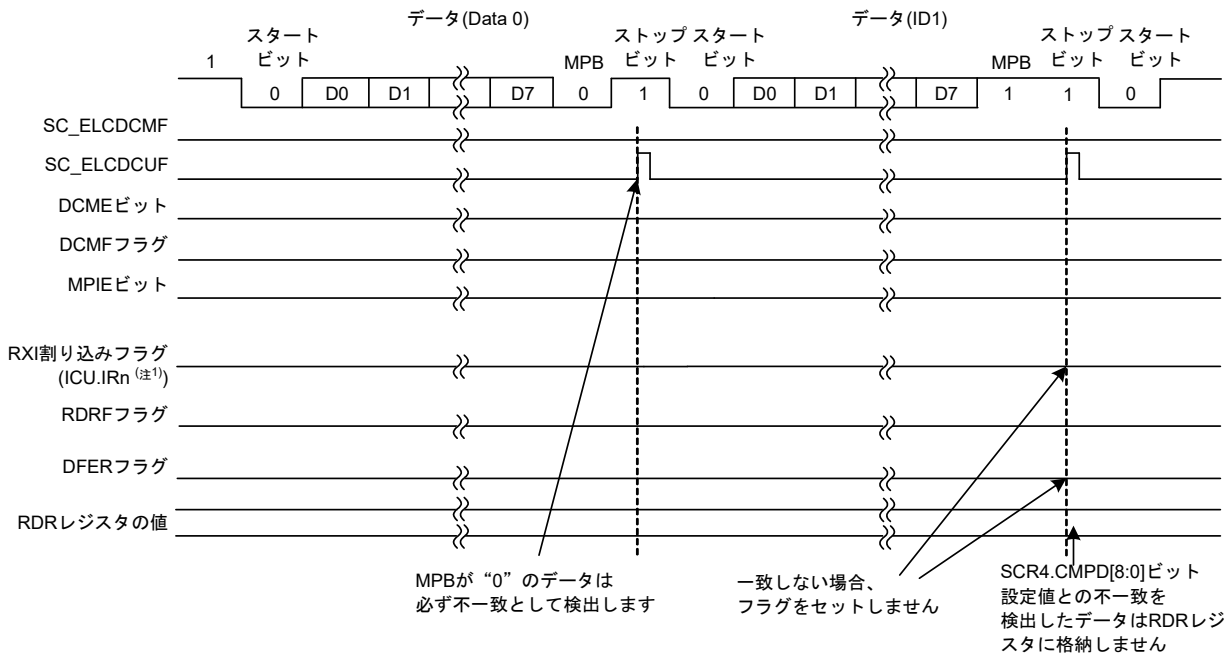
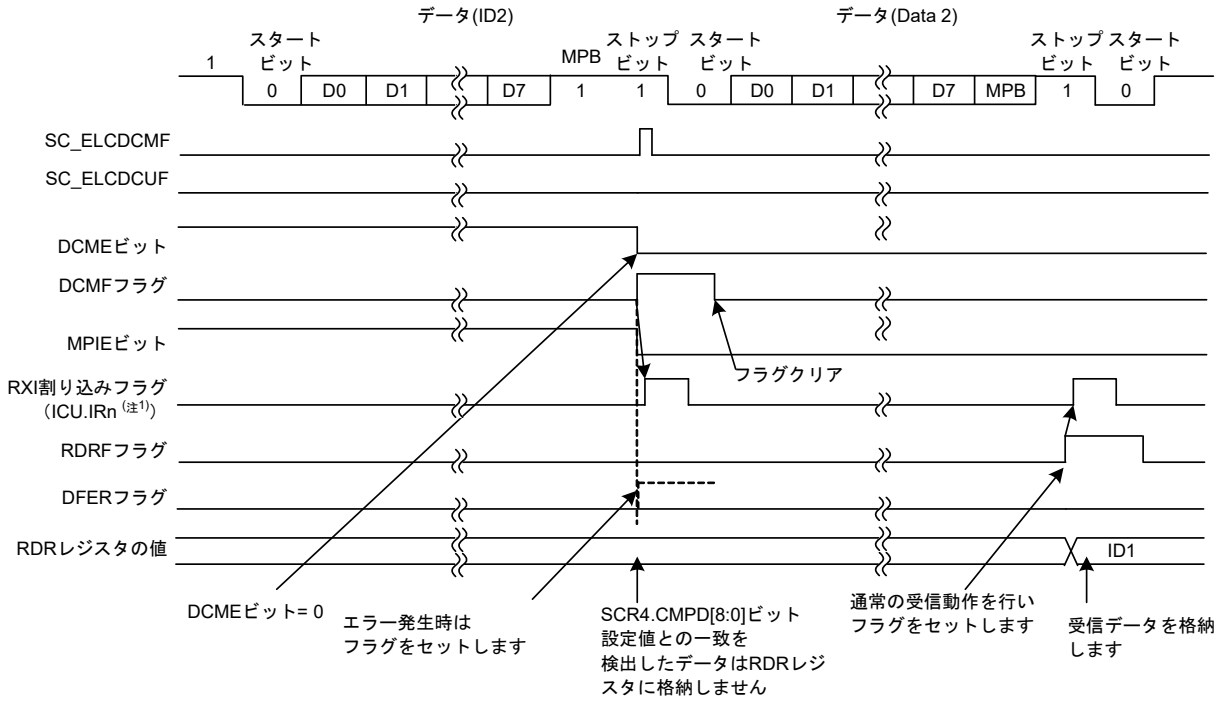


図 33.8　データー致検出の例 (1) (8 ビットデータ)



(a) 受信データとSCR4.CMPD[8:0]ビット設定値が一致しなかったときの例(8ビット長/IDSELビット= 1)



(b) 受信データとSCR4.CMPD[8:0]ビット設定値が一致したときの例(8ビット長/IDSELビット= 1)

注1.　対応する割り込み要因番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

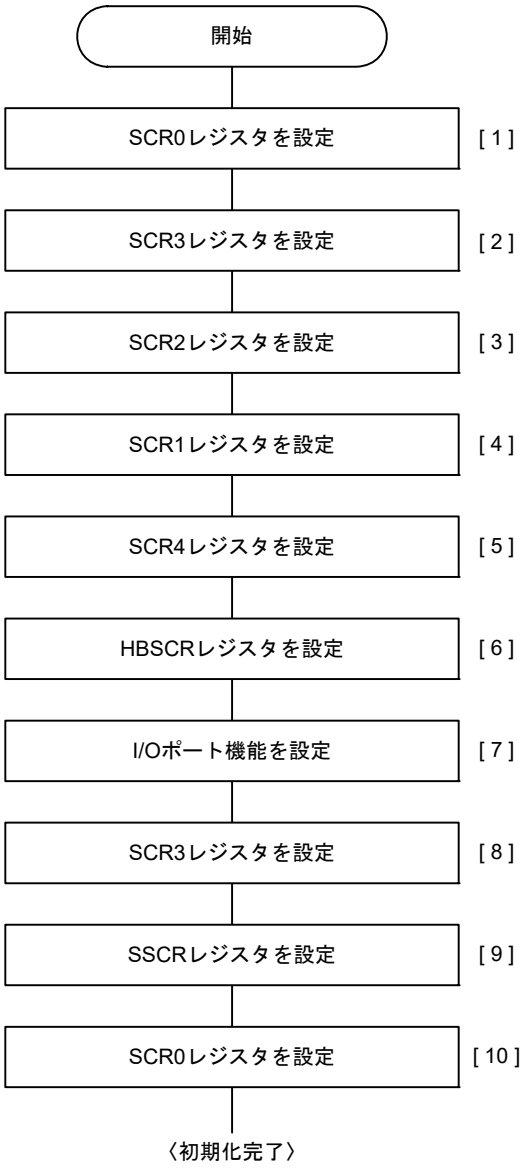
図 33.9　データー致検出の例 (2) (8 ビットデータ / マルチプロセッサモード)

33.3.7　RSCI の初期化 (調歩同期式モード)

データの送受信前に、SCR0.TE ビットと SCR0.RE ビットに “0” を書き込み (SCR0 レジスタに初期値を書き込むでも可)、非 FIFO モード時は図 33.10、FIFO モード時は図 33.11 のフローチャート例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も SCR0.TE ビットと SCR0.RE ビットに “0” を書き込んでから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、RE ビットを “0” に設定しても、ORER、AFER、APER、RDRF、DR の各フラグ、および RDR レジスタは初期化されませんので注意してください。また、TE ビットを “0” に設定しても FIFO モード時の TEND フラグは初期化されませんので注意してください。動作モードの変更時にも注意してください。



[1] SCR0 レジスタの以下のビットを“0”に設定します。
TEIE, TIE, RIE, TE, RE
初期値から変更していない場合、本手順は省略できます。

[2] ドライバ制御機能、FIFO機能、マルチプロセッサ通信、通信モード(MOD[2:0]ビット= 000b)、送信/受信フォーマット、クロックイネーブルの設定をします。調歩同期式モードでクロック出力する場合、CKE[1:0]ビットはここでは初期値のままとしてください。未使用ビット(CPOLビット/CPHAビット)は初期値のままとしてください。

[3] ビットレートモジュレーション機能(注1、注2)、クロック選択、ビットレート(注2)の設定をします。

[4] ノイズフィルタ、ループバック制御、通信端子状態、パリティチェック、CTS/RTS機能の設定をします。

[5] 受信サンプリングタイミング調整機能、送信波形調整機能の設定をします。

[6] HBSサポートモード使用時は、機能の許可や各種設定を実施します。この機能を使用しないときは初期値のままとします。

[7] TXDn (TXDAn/TXDBn)、RXDn、SCKn端子のうち、必要な端子機能が有効となるようにI/Oポートを設定します。

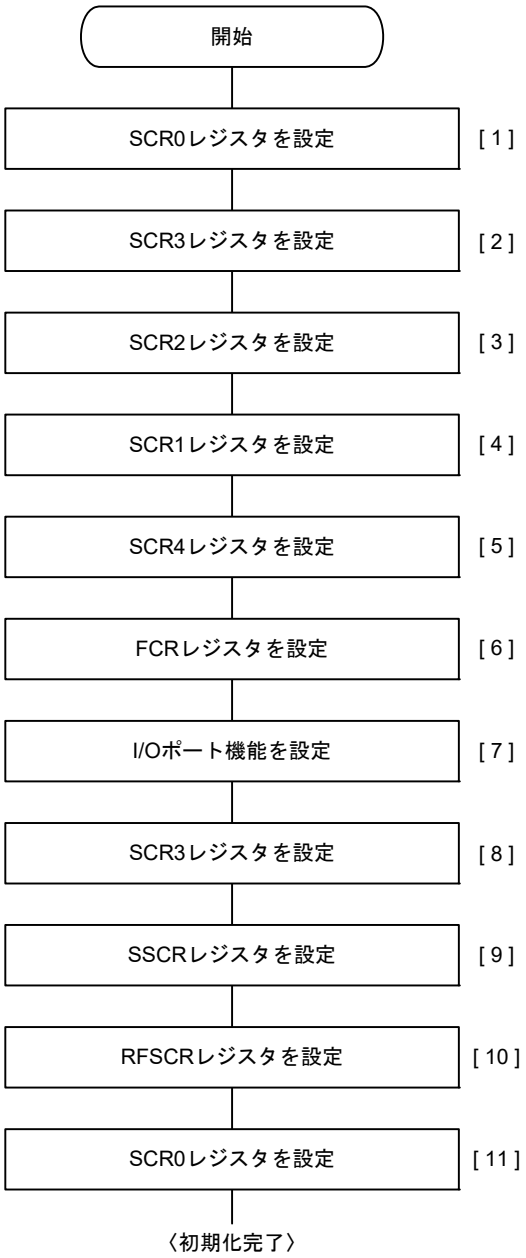
[8] 調歩同期式モードでクロック出力を選択する場合、ここでCKE[1:0]ビットを設定してください。設定後、端子が出力モードになります(クロックは、TEビットまたはREビットを“1”にした後出力されます)。

[9] SSCRレジスタの以下のクリアビットに“1”を設定し、対象フラグをクリアします。
SSCR.RDRFC, AFERC, APERC, MFFC, ORERC, DFERC, DPERC, DCMFC, ERSC
リセット後の初期設定の場合、本手順は省略できます。

[10] TEビットまたはREビットを“1”に設定します。
割り込みを許可する場合は、TEビットとTIEビットを、REビットとRIEビットを同時に1命令で“1”に設定してください。また、データー致検出機能、マルチプロセッサ機能の設定をします。
TE、REビットを設定することによりTXDn (TXDAn/TXDBn)、RXDn端子が使用可能となります。

注1.　ビットレートモジュレーション機能を使わない場合は設定の必要はありません。
注2.　外部クロックを使用する場合は設定の必要はありません。

図 33.10　RSCI の初期化フローチャート例 (調歩同期式モード / 非 FIFO モード時)



[1] SCR0レジスタの以下のビットを“0”に設定します。
TEIE, TIE, RIE, TE, RE
初期値から変更していない場合、本手順は省略できます。

[2] ドライバ制御機能、FIFO機能ON (FMビット= 1)、マルチプロセッサ通信、通信モード（MOD[2:0]ビット= 000b）、送信/受信フォーマット、クロックイネーブルの設定をします。調歩同期式モードでクロック出力する場合、CKE[1:0]ビットはここでは初期値のままとしてください。未使用ビット(CPOLビット/CPHAビット)は初期値のままとしてください。

[3] ビットレートモジュレーション機能(注1、注2)、クロック選択、ビットレート(注2)の設定をします。

[4] ノイズフィルタ、ループバック制御、通信端子状態、パリティチェック、CTS/RTS機能の設定をします。

[5] 受信サンプリングタイミング調整機能、送信波形調整機能の設定をします。

[6] FCR.TFRSTビット/RFRSTビットを“1”にし、FIFOバッファ内のデータを空にします。また、
RSTRG[4:0]、RTRG[4:0]、TTRG[4:0]、DRESビットを設定します。

[7] TXDn、RXDn、SCKn端子のうち、必要な端子機能が有効となるようにI/Oポートを設定します。

[8] 調歩同期式モードでクロック出力を選択する場合、ここでCKE[1:0]ビットを設定してください。設定後、端子が出力モードになります(クロックは、TEビットまたはREビットを“1”にした後出力されます)。

[9] SSCRレジスタの以下のクリアビットに“1”を設定し、対象フラグをクリアします。
SSCR.RDRFC, AFERC, APERC, MFFC, ORERC, DFERC, DPERC, DCMFC, ERSC
リセット後の初期設定の場合、本手順は省略できます。

[10] RFSCRレジスタのDRCビットに“1”を設定し、対象フラグをクリアします。
リセット後の初期設定の場合、本手順は省略できます。

[11] TEビットまたはREビットを“1”に設定します。
割り込みを許可する場合は、TEビットとTIEビットを、REビットとRIEビットを同時に1命令で“1”に設定してください。また、データー致検出機能、マルチプロセッサ機能の設定をします。
TE、REビットを設定することによりTXDn、RXDn端子が使用可能となります。

注1.　ビットレートモジュレーション機能を使わない場合は設定の必要はありません。
注2.　外部クロックを使用する場合は設定の必要はありません。

図 33.11　RSCI の初期化フローチャート例 (調歩同期式モード /FIFO モード時)

図 33.12 は、リセット解除後に図 33.10 もしくは図 33.11 に従って RSCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXDn 端子に設定した時点では、SCR0.TE ビットが “0” であるため端子はハイインピーダンスです。TE ビットを “1” にしてから送信データを書くと、データ送信が開始されます。TDR レジスタに送信データをライトしてからデータ送信が開始されるまでの送信待ち時間があります。調歩同期式モードでは、この期間 TXDn 端子は High になります。

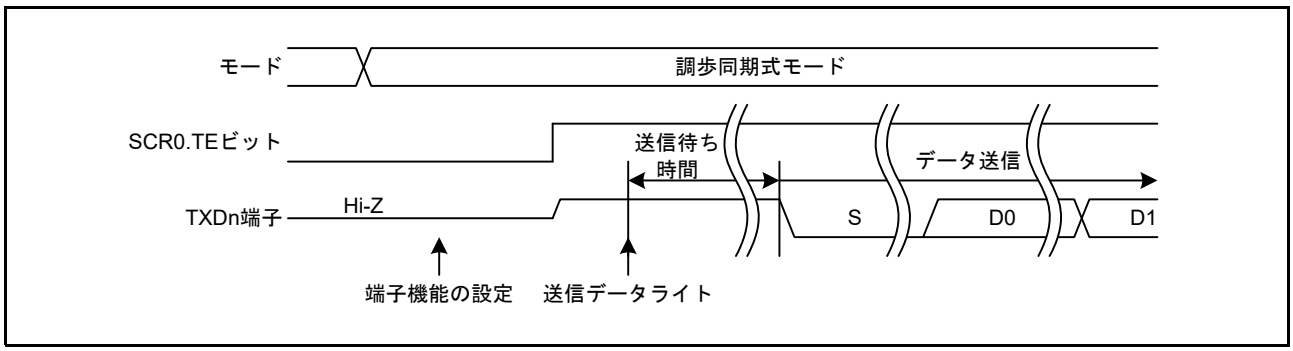


図 33.12　調歩同期式モード時のデータ送信タイミング例

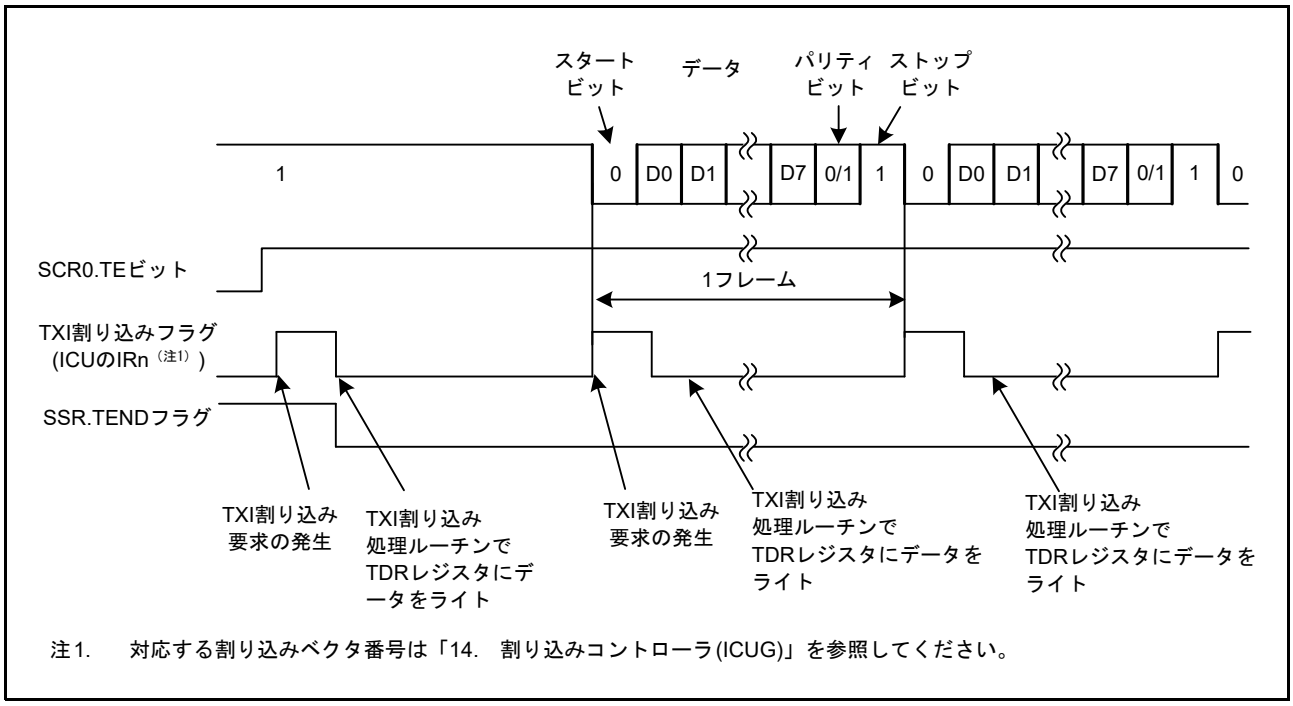
33.3.8　シリアルデータの送信 (調歩同期式モード)

(1)　非 FIFO モード時

図 33.13 ～図 33.15 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、RSCI は以下のように動作します。

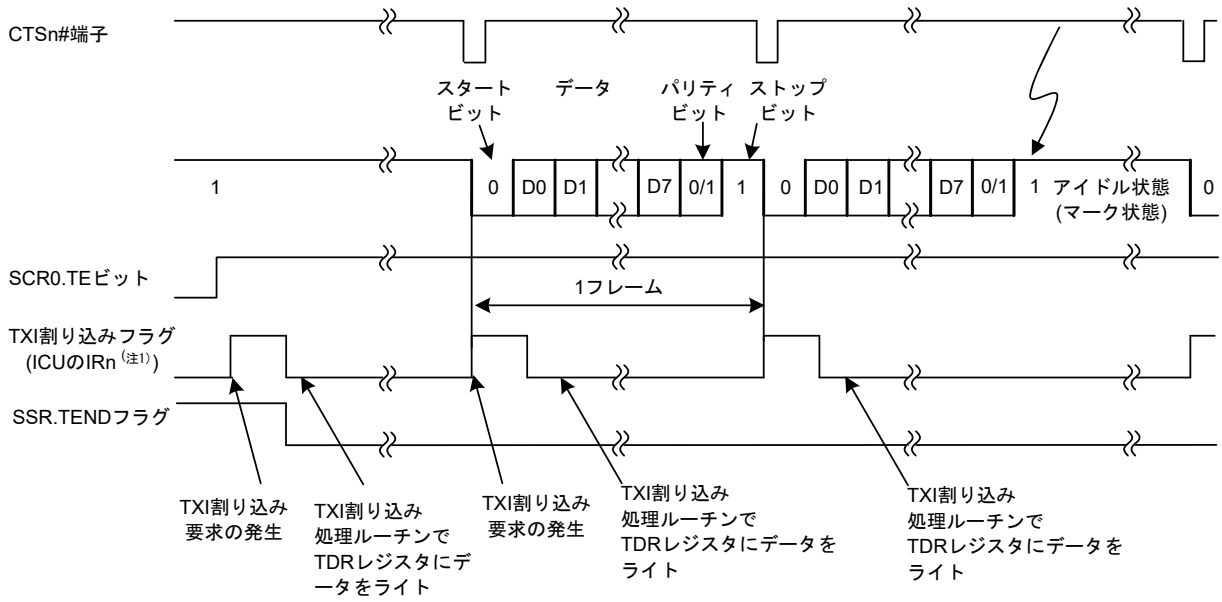
1. RSCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に “1” にしてください。すると TXI 割り込み要求を発生します。
2. SCR1.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR0.TIE ビットが “1” であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを TDR レジスタに書き込み、送信が開始した後 (TXI 割り込み要求出力後) に、SCR0.TIE ビットを “0” に、SCR0.TEIE ビットを “1” にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていると、SCR1.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、“1” を出力してマーク状態になります。このとき、SCR0.TEIE ビットが “1” であると TEI 割り込み要求が発生します。

図 33.17 にデータ送信のフローチャートの例を示します。



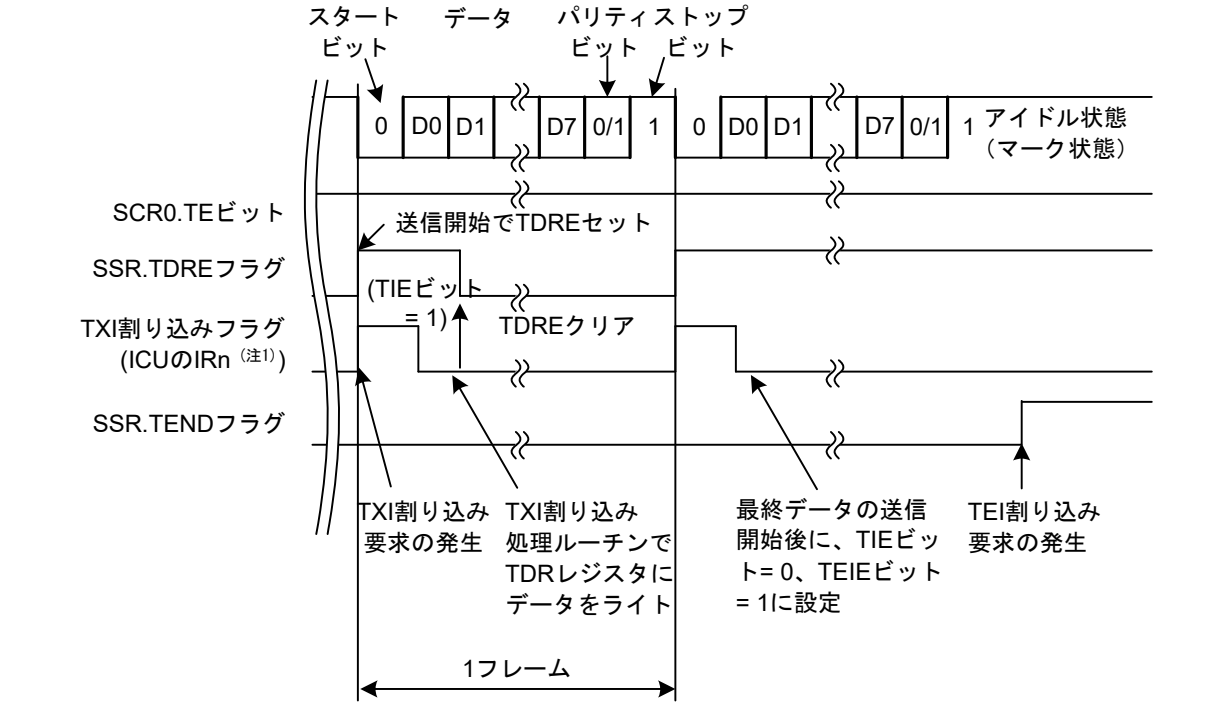
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.13　調歩同期式モードのシリアル送信の動作例 (1)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用しない / 送信開始時)



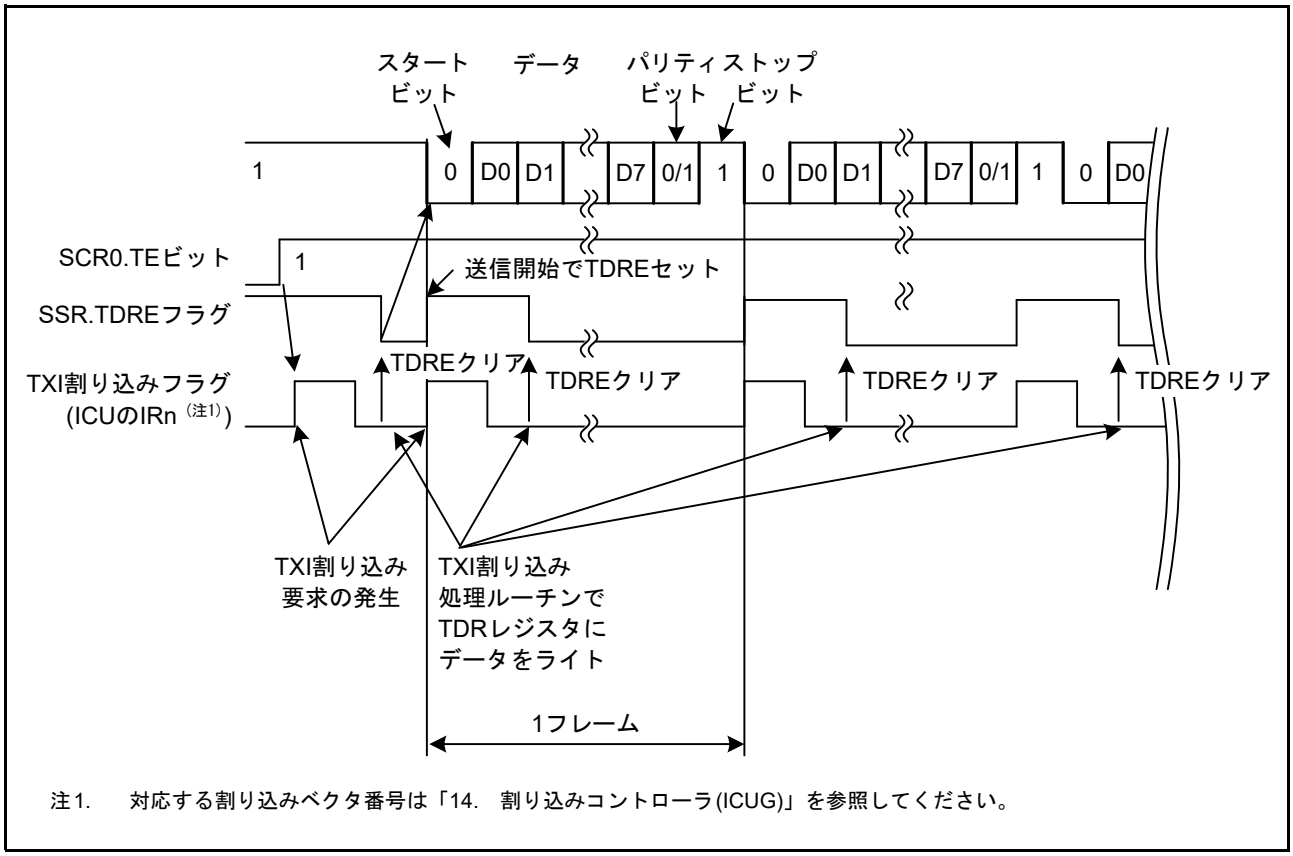
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.14　調歩同期式モードのシリアル送信の動作例 (2)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用する / 送信開始時)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.15　調歩同期式モードのシリアル送信の動作例 (3)
(8 ビットデータ / パリティあり /1 ストップビット / 送信中～送信完了時)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.16　調歩同期式モードのシリアル送信の動作例 (4)
(8 ビットデータ / パリティあり /1 ストップビット / 送信中)

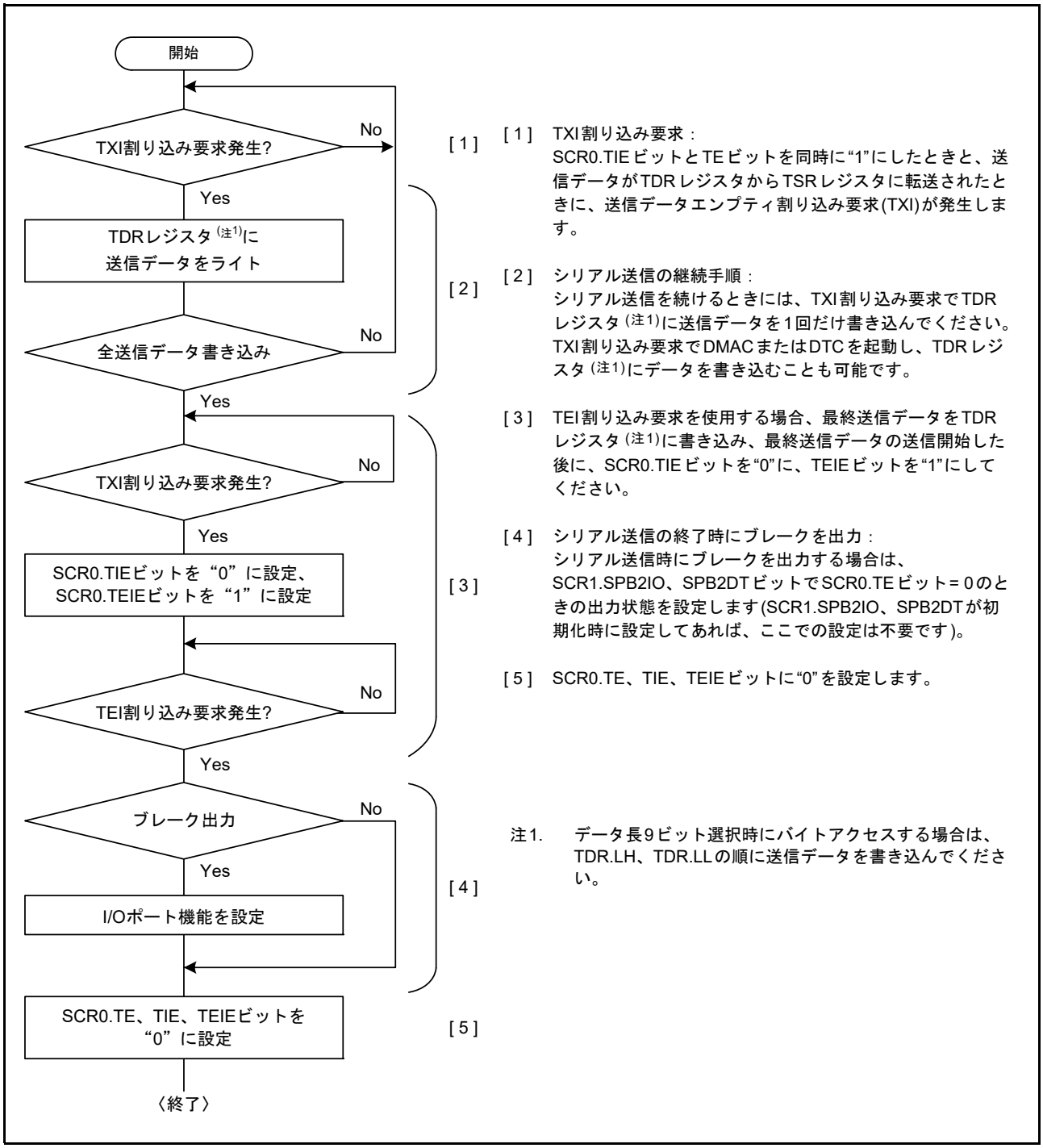


図 33.17　調歩同期式モードのシリアル送信のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

表 33.29 に調歩同期式モードで FIFO バッファを選択したときの、送信 FIFO (TDR レジスタ) への書き込みデータフォーマットを示します。

MPBT ビットは送信 FIFO (TDR レジスタ) のビット 9 に書き込んでください。データについては、7 ビットデータ長選択時は TDR.TDAT[6:0] ビットに、8 ビットデータ長選択時は TDR.TDAT[7:0] ビットに、9 ビットデータ長選択時は TDR.TDAT[8:0] ビットに書き込みます。未使用のビットには “0” を書き込んでください。なお、バイトアクセス時の書き込みは、TDR.LH、TDR.LL の順に行ってください。

表33.29　シリアル送信データの送信FIFO (TDRレジスタ)書き込みデータフォーマット(FIFOモード時)

データ長	レジスタの設定		TDR.L レジスタの送信データ															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	TDAT[6:0]						
8ビット	1	0	—	—	—	—	—	—	MPBT	—	TDAT[7:0]							
9ビット	0	任意	—	—	—	—	—	—	MPBT	TDAT[8:0]								

—：使用しません。“0” にしてください。

シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込み処理ルーチンで送信 FIFO (TDR レジスタ) にデータが書き込まれると、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送します。書き込み可能な送信データバイト数は (32 – 送信 FIFO (TDR レジスタ) に格納された未送信データ数) です。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に “1” にしてください。すると TXI 割り込み要求を発生します。
2. SCR1.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力が Low レベルで、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、送信を開始します。送信 FIFO (TDR レジスタ) に格納されたデータの数が送信 FIFO しきい値以下になると、SSR.TDRE フラグが “1” になります。このとき、SCR0.TIE ビットが “1” にセットされていると TXI 割り込み要求を発生します。TXI 割り込み処理ルーチンで、送信 FIFO (TDR レジスタ) に書き込んだデータの送信が終了するまでに送信 FIFO (TDR レジスタ) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを送信 FIFO (TDR レジスタ) に書き込んだ後、SCR0.TIE ビットを “0” に、TEIE ビットを “1” にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. RSCI は、ストップビットを送り出すタイミングで送信 FIFO (TDR レジスタ) に未送信のデータがあるかどうかをチェックします。
5. 送信 FIFO (TDR レジスタ) にデータがある場合、SCR1.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力が Low レベルで、次の送信データを送信 FIFO (TDR レジスタ) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. 送信 FIFO (TDR レジスタ) にデータがない場合、SSR.TEND フラグを “1” にし、ストップビット送出後、“1” を出力してマーク状態になります。このとき SCR0.TEIE ビットが “1” にセットされていると TEI 割り込み要求を発生します。

図 33.18 に FIFO バッファを選択したときのデータ送信のフローチャートの例を示します。

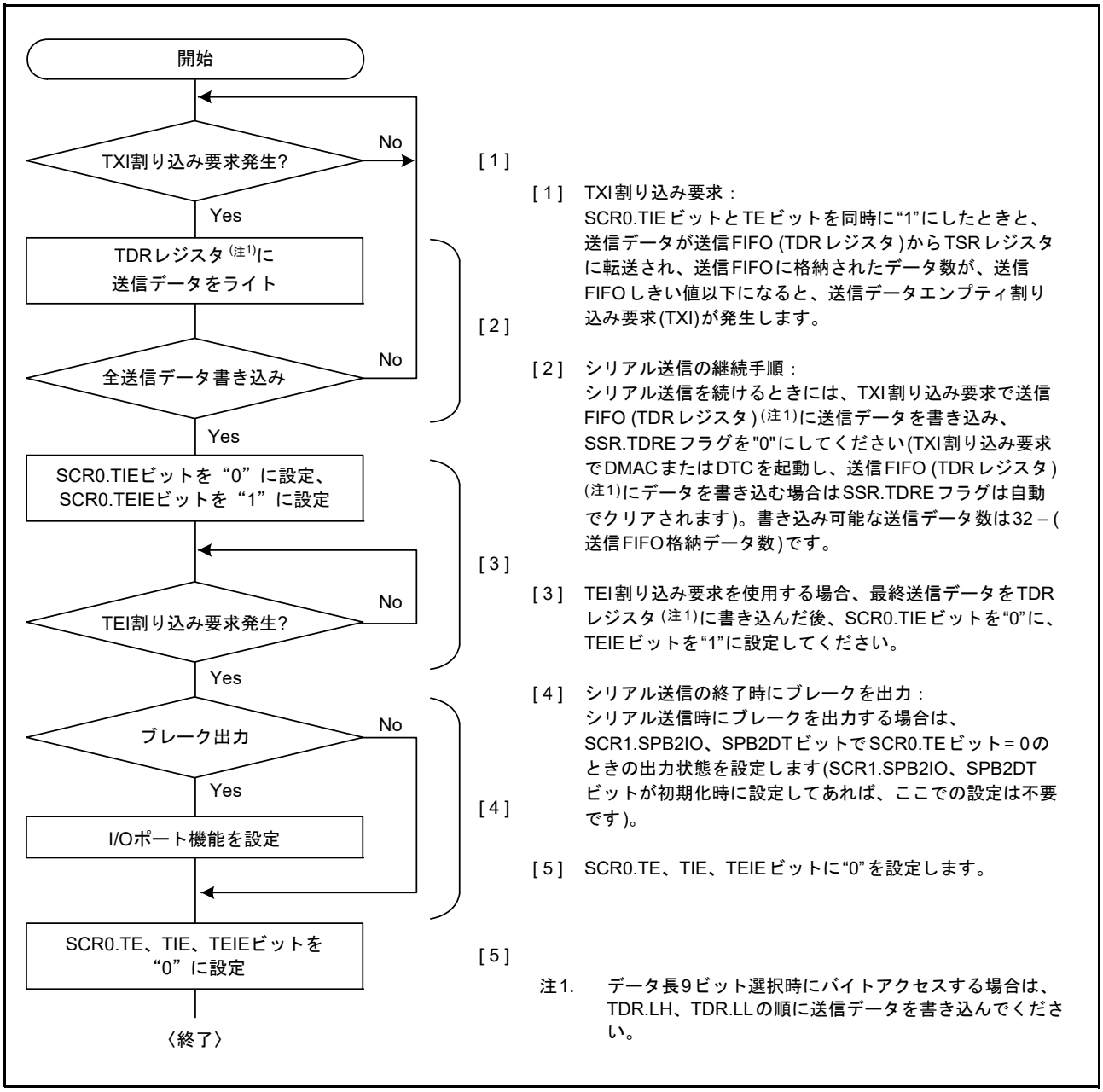


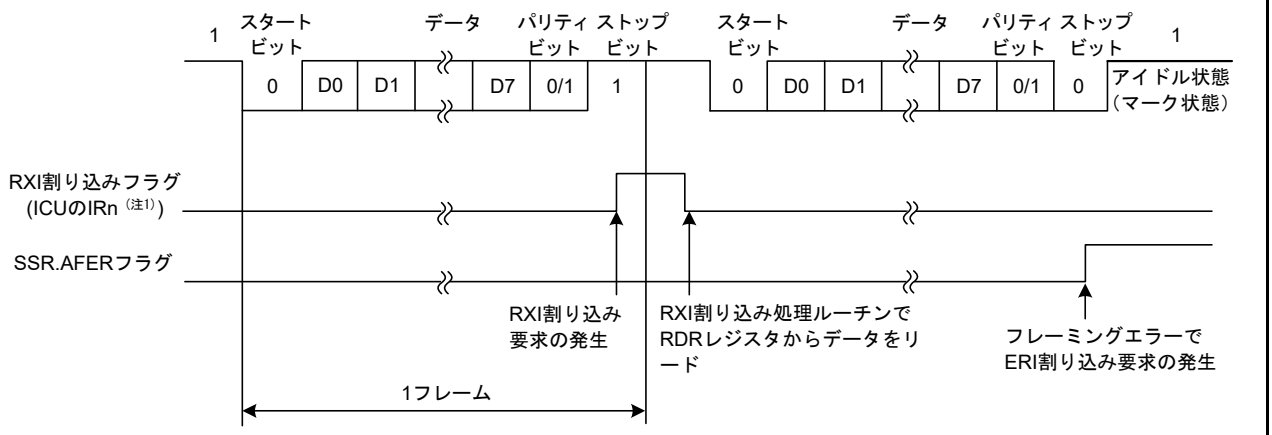
図 33.18　調歩同期式モードのシリアル送信のフローチャート例 (FIFO モード時)

33.3.9　シリアルデータの受信 (調歩同期式モード)

(1)　非 FIFO モード時

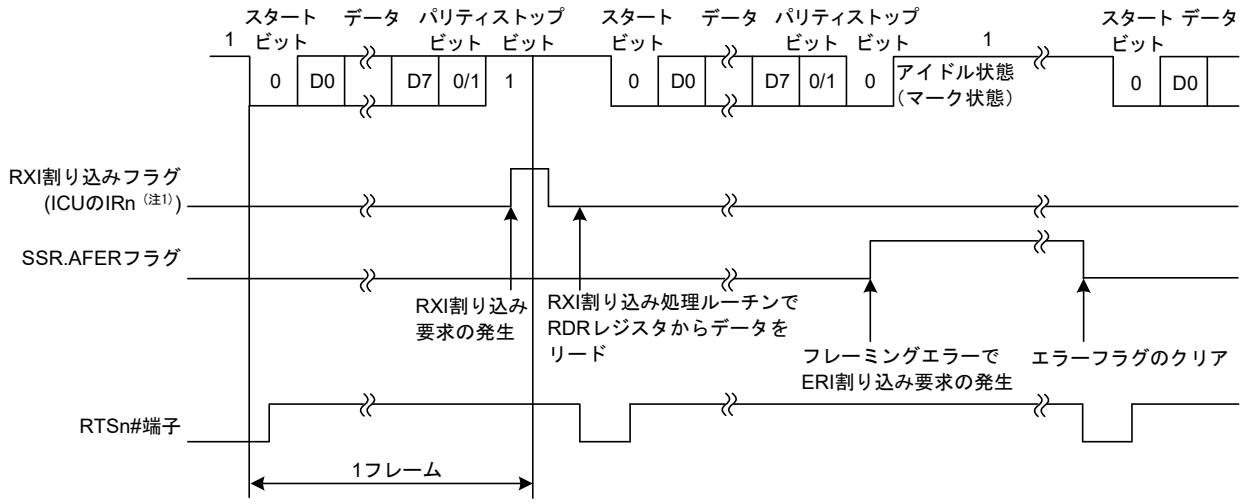
図 33.19、図 33.20 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、RSCI は以下のように動作します。

1. SCR0.RE ビットが “1” になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが “1” であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.APER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが “0” のとき) を検出した場合は SSR.AFER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE ビットを “0” にしてください。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.19　調歩同期式モードのシリアル受信時の動作例 (1)
(8 ビットデータ / パリティあり /1 ストップビット /RTS 機能使用しない)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.20　調歩同期式モードのシリアル受信時の動作例 (2)
(8 ビットデータ / パリティあり /1 ストップビット /RTS 機能使用する)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 33.30 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、および APER フラグを “0” にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 33.21、図 33.22 にシリアル受信のフローチャートの例を示します。

表 33.30　SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	AFER	APER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

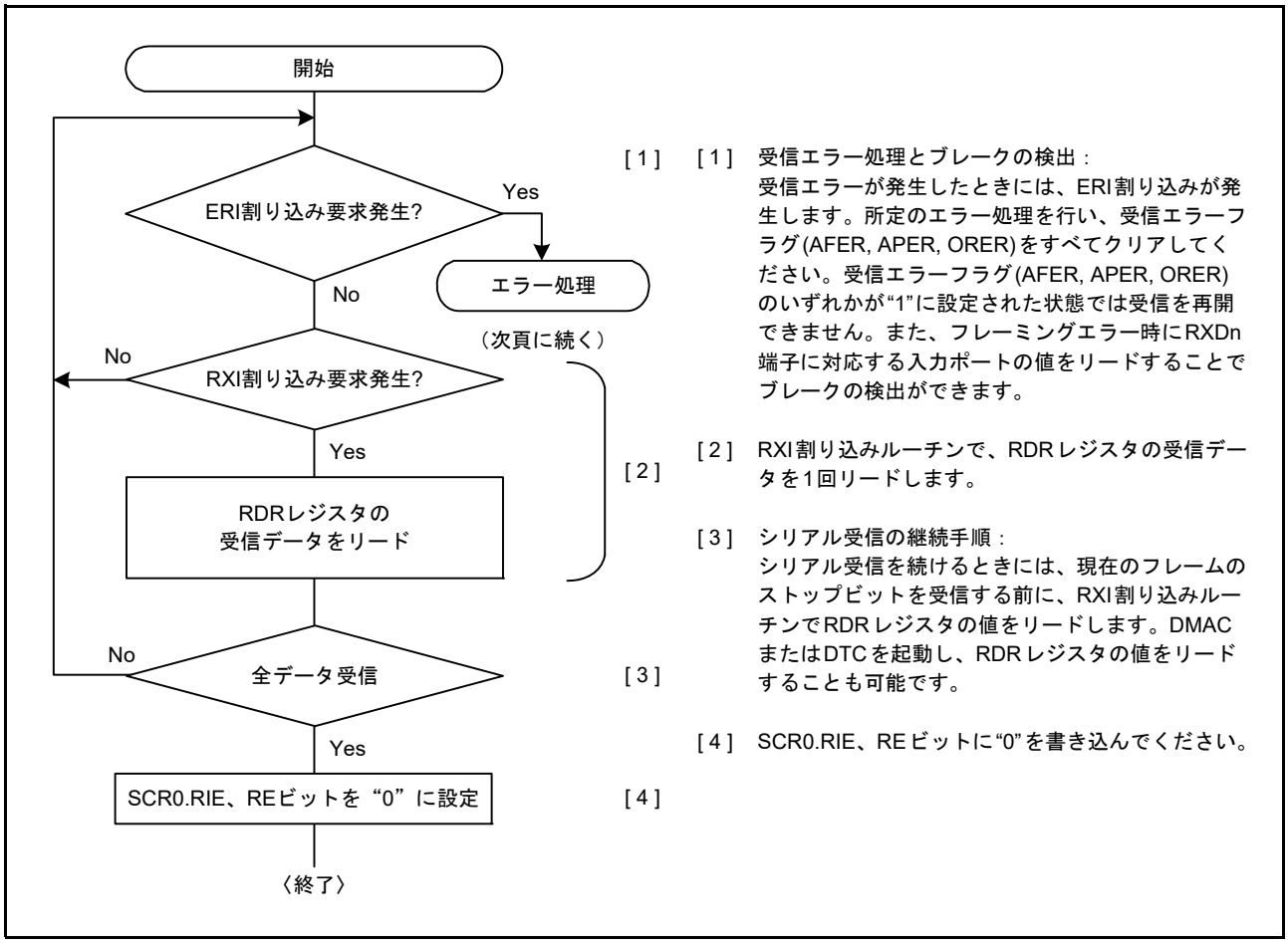


図 33.21　調歩同期式モードのシリアル受信のフローチャート例 (1) (非 FIFO モード時)

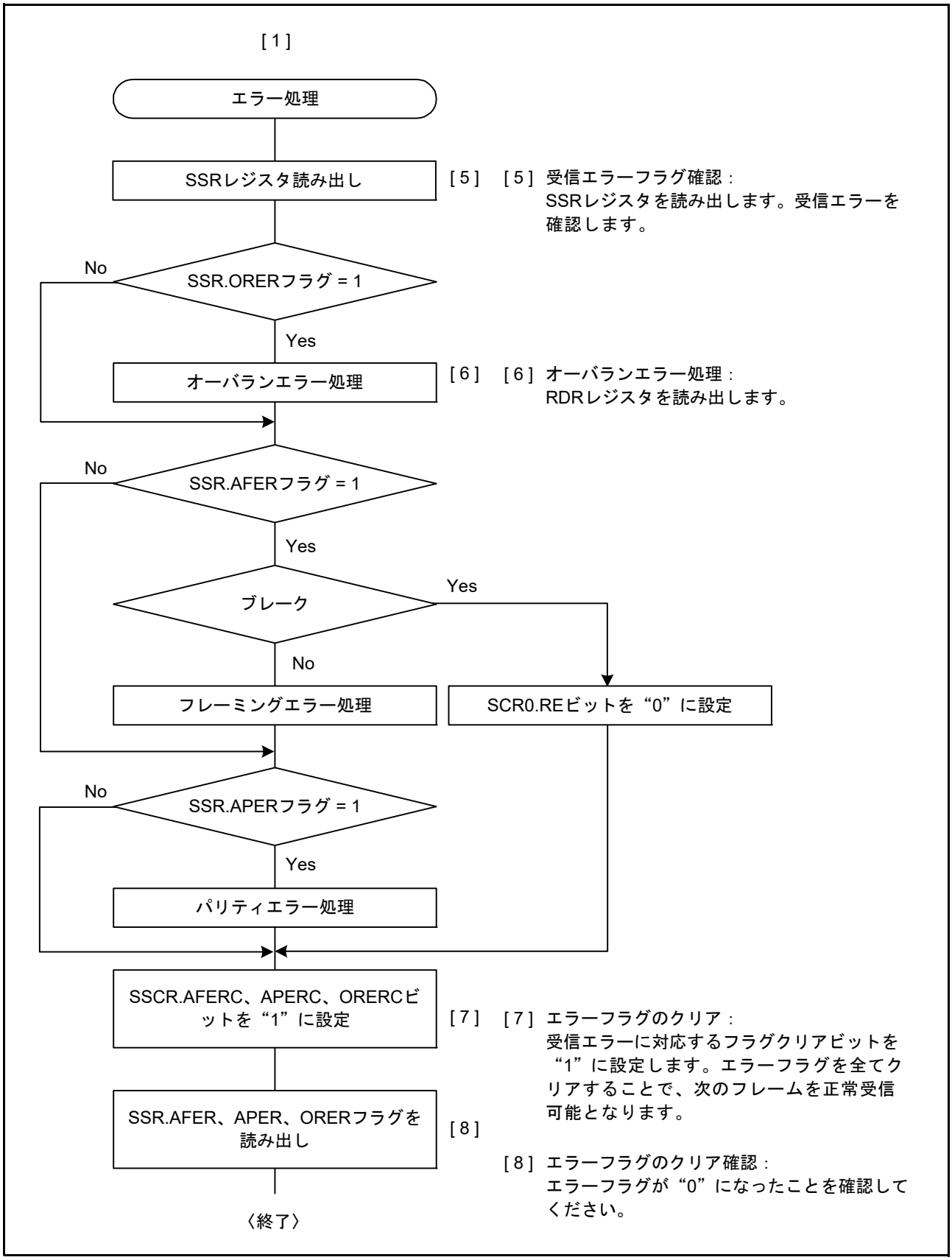


図 33.22　調歩同期式モードのシリアル受信のフローチャート例 (2) (非 FIFO モード時)

(2) FIFO モード時

表 33.31 に調歩同期式モードで FIFO バッファを選択したときの、受信 FIFO (RDR レジスタ) に格納される受信データフォーマットを示します。

MPB フラグ (受信 FIFO (RDR レジスタ) のビット 9) には “0” が格納されます。受信データは、7 ビットデータ長選択時は RDR.RDAT[6:0] ビットに、8 ビットデータ長選択時は RDR.RDAT[7:0] ビットに、9 ビットデータ長選択時は RDR.RDAT[8:0] ビットに格納され、未使用のビットには “0” が格納されます。受信 FIFO (RDR レジスタ) を読み出すと FER、PER フラグおよび受信データ (RDAT[8:0] ビット) が、次のデータに更新されます。受信 FIFO (RDR レジスタ) の AFER、APER、ORER、DR フラグには、SSR レジスタ、RFSR レジスタの対応するフラグの状態が常に反映されます。

表33.31　シリアル受信データの受信FIFO (RDRレジスタ)格納フォーマット(FIFOモード時)

データ長	レジスタの設定		RDR レジスタ内の受信フラグ、MPB フラグおよび受信データの配置															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	FER	PER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	—	—	—	FER	PER	DR	MPB	0	RDAT[7:0]							
9ビット	0	任意	—	—	—	FER	PER	DR	MPB	RDAT[8:0]								
データ長	SCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	—	—	—	AFER	APER	—	—	ORER	—	—	—	—	—	—	—	—
8ビット	1	0	—	—	—	AFER	APER	—	—	ORER	—	—	—	—	—	—	—	—
9ビット	0	任意	—	—	—	AFER	APER	—	—	ORER	—	—	—	—	—	—	—	—

注.　MPB フラグ (RDR レジスタのビット 9) からは常に “0” が読み出されます。
7 ビットデータ長選択時、RDAT[8:7] ビットからは “0” が読み出されます。
8 ビットデータ長選択時、RDAT[8] ビットからは “0” が読み出されます。

FIFO モード時に受信エラーを検出した場合の、各ステータスフラグの状態と受信データの処理を表 33.32 に示します。図 33.23、図 33.24 に FIFO モード時のシリアル受信のフローチャートの例を示します。

シリアルデータ受信時 RSCI は以下のように動作します。

1. SCR0.RE ビットが “1” になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. 受信 FIFO (RDR レジスタ) に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが “1” であると、ERI 割り込み要求を生成します。受信データは受信 FIFO (RDR レジスタ) に転送しません。
4. パリティエラーを検出した場合は、エラーフラグおよび受信データを受信 FIFO (RDR レジスタ) に転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求を生成します。
5. フレーミングエラー (ストップビットが “0” のとき) を検出した場合は、エラーフラグおよび受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求を生成します。
6. フレーミングエラーを検出した後、1 フレーム分の受信データすべてに “0” をサンプリングすると、受信動作が停止します。
7. 受信 FIFO (RDR レジスタ) に格納した受信データの数が受信 FIFO しきい値未満のとき、最後に受信したデータのストップビットから 15 etu の期間が経過しても次のデータが受信されない (FIFO にデータが格納されない) と、RFSR.DR フラグを “1” にします。このとき、SCR0.RIE ビットが “1” であると、

FCR.DRES ビットが “0” のときは RXI 割り込み要求を発生し、FCR.DRES ビットが “1” のときは ERI 割り込み要求を発生します。

8. 正常に受信したときは、受信データを受信 FIFO (RDR レジスタ) に転送します。受信 FIFO (RDR レジスタ) に格納したデータの数がしきい値以上になると、SSR.RDRF フラグを “1” にします。このとき、RIE ビットが “1” であると、RXI 割り込み要求を生成します。この RXI 割り込み処理ルーチンで、受信 FIFO (RDR レジスタ) に転送された受信データをオーバランエラーが発生するまでにリードすることで連続受信が可能です。受信 FIFO (RDR レジスタ) に転送された受信データが読み出され、RTS# 出力しきい値より少なくなると、RTSn# 端子出力を Low にします (RTS 機能使用時)。

表 33.32　FIFO モード時受信エラー検出時のステータスフラグの状態と受信データの処理

SSR レジスタ			受信データ	受信エラーの状態
ORER	AFER (注1)	APER (注1)		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	0	0	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

注1.　受信完了時に受信データ内にエラーがあるかどうかを示すフラグです。

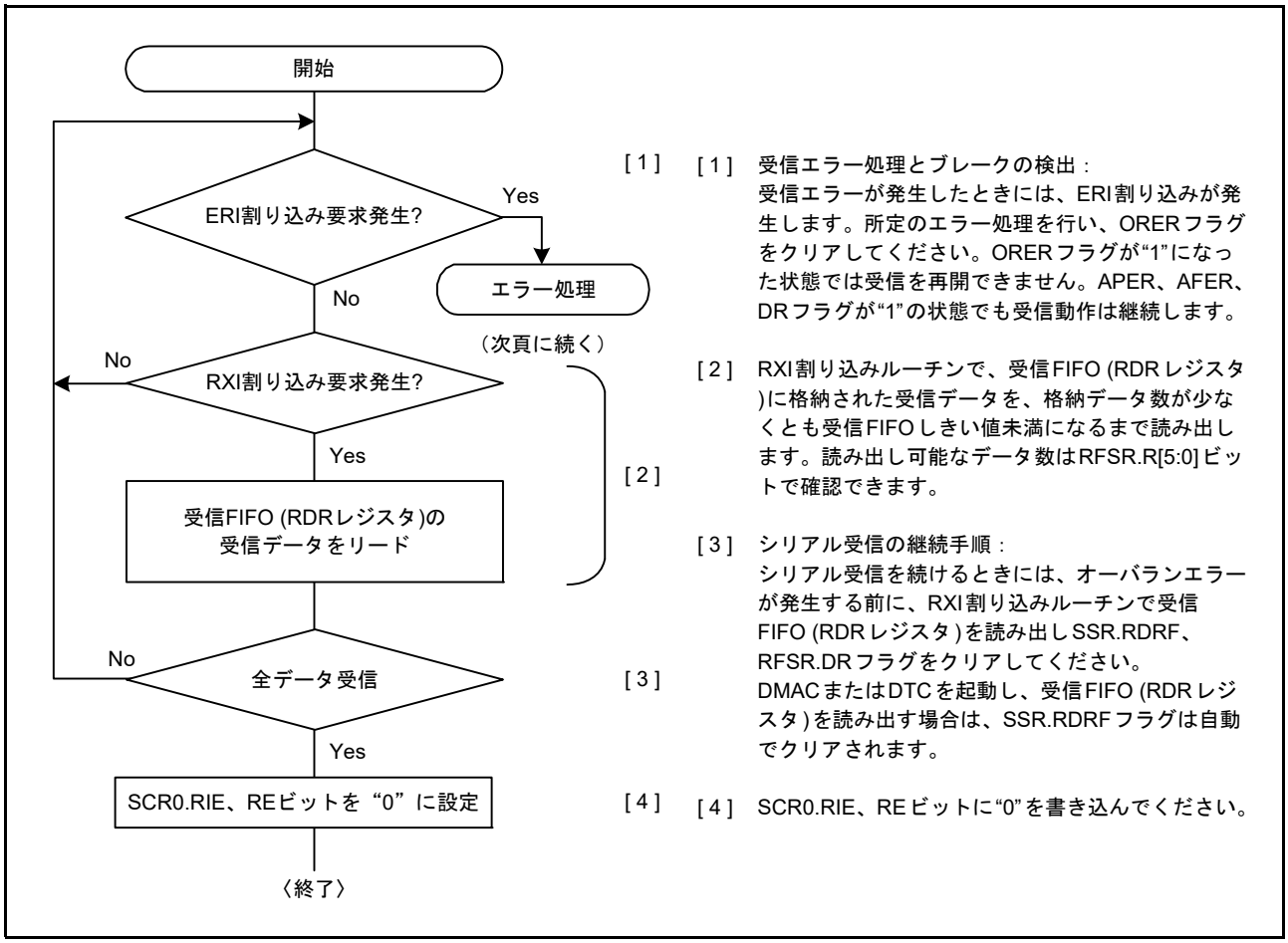


図 33.23　調歩同期式モードのシリアル受信のフローチャート例 (1) (FIFO モード時)

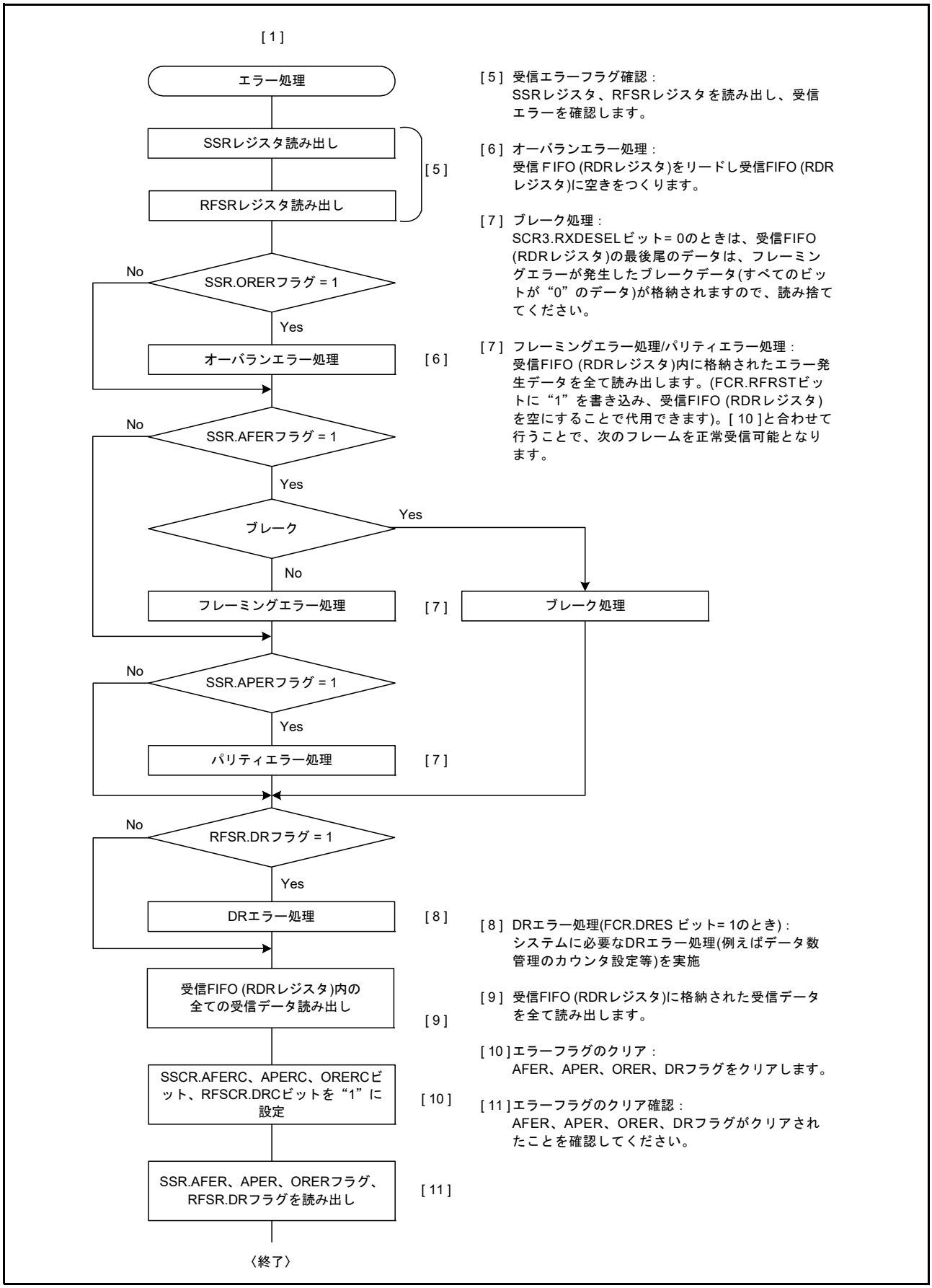


図 33.24　調歩同期式モードのシリアル受信のフローチャート例 (2) (FIFO モード時)

33.3.10　調歩同期式モードの受信サンプリングタイミング調整機能

立ち上がり時間と立ち下がり時間の差が大きく、High 幅と Low 幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low 幅が短い場合はサンプリングタイミングを早め、High 幅が短い場合はサンプリングタイミングを遅らせます。

SCR4.RTMG[3:0] ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SCR4.RTADJ ビットを “1” にすると、設定した位置で受信データをサンプリングします。

図 33.25 にサンプリングタイミングの調整例を示します。

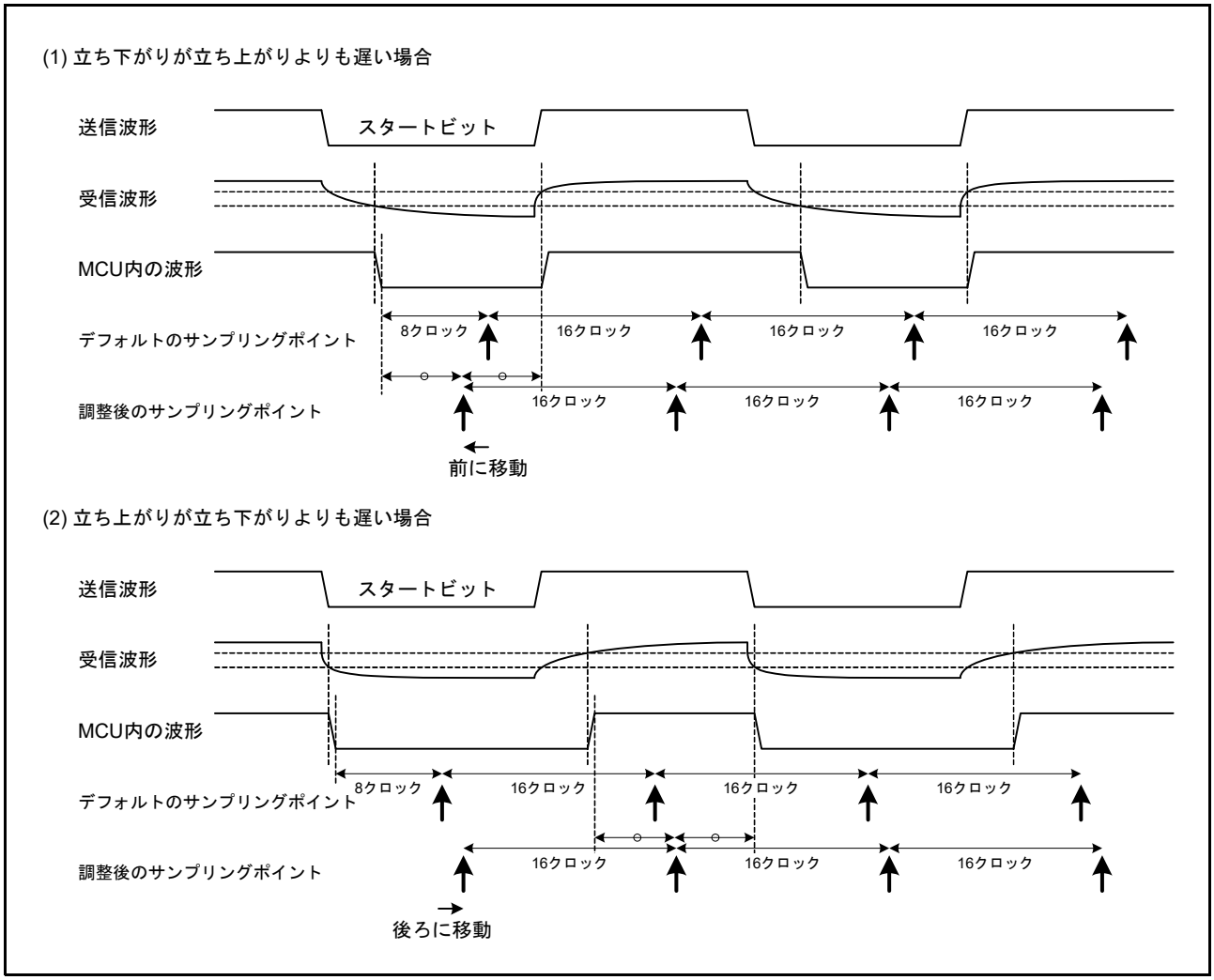


図 33.25　サンプリングタイミングの調整例 (SCR2.ABCSE ビット = 0、SCR2.ABCS ビット = 0)

33.3.11　調歩同期式モードの送信タイミング調整機能

本 MCU が送信した波形が受信側のデバイスで High 幅と Low 幅に差ができてしまうような場合に、送信時に前もって High 幅と Low 幅に差を持たせて、受信側で差がなくなるように調整することができます。受信側で High 幅が短くなる場合は立ち下がりエッジを遅らせることで送信時の High 幅を拡げ、Low 幅が短くなる場合は立ち上がりエッジを遅らせることで送信時の Low 幅を拡げます。

SCR4.TTMG[3:0] ビットに変化させるエッジとその遅延量を設定し、SCR4.TTADJ ビットを “1” にすると、設定した位置で送信データが変化します。

図 33.26 に変化タイミングの調整例を示します。

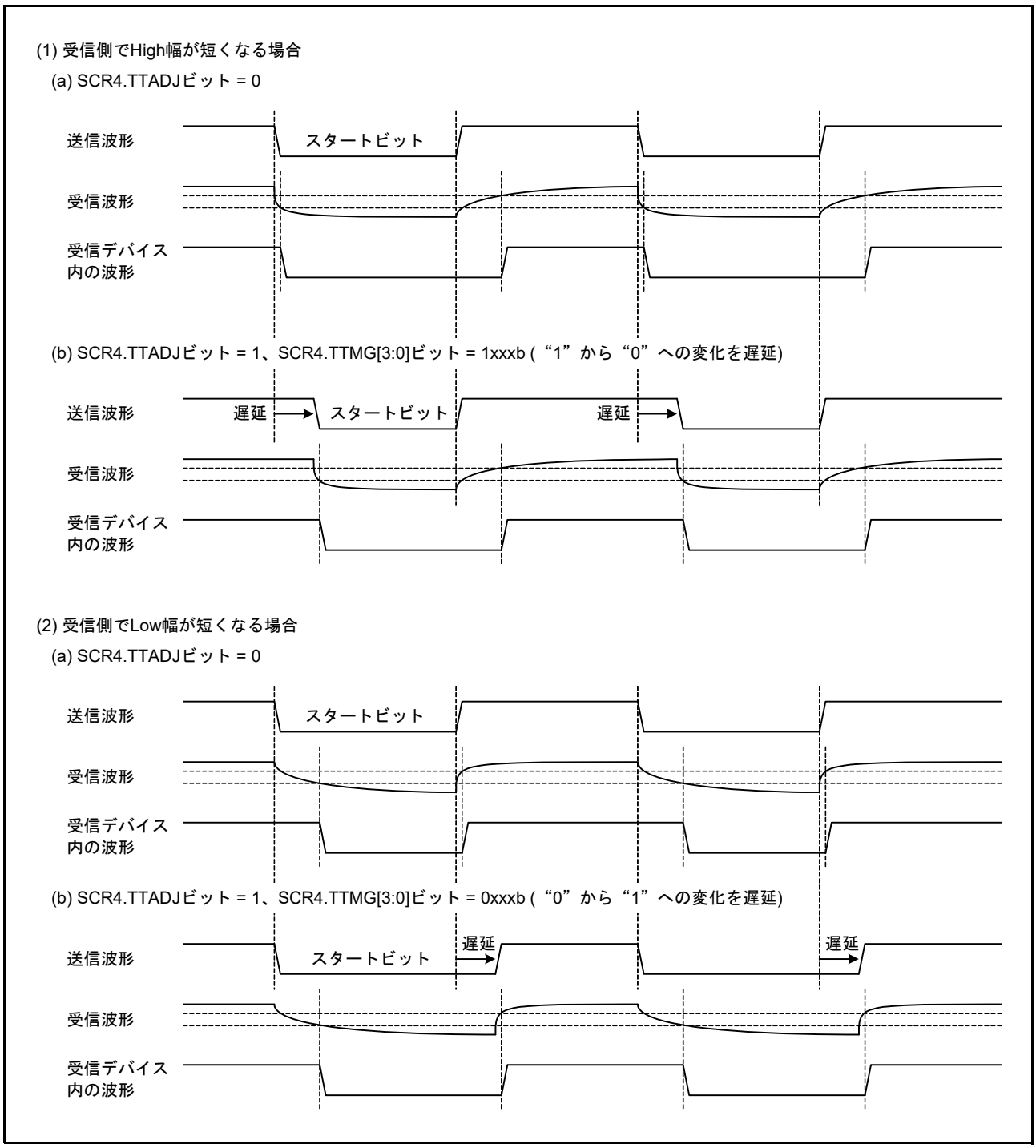


図 33.26　変化タイミングの調整例

33.4　マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが “1” のとき ID 送信サイクル、“0” のときデータ送信サイクルとなります。図 33.27 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが “1” の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが “1” の通信データを受信するまで通信データを読みとばします。

このように 1 対多通信対応の機能なので、マルチプロセッサ通信機能の使用時は、RTS 制御は使えません。

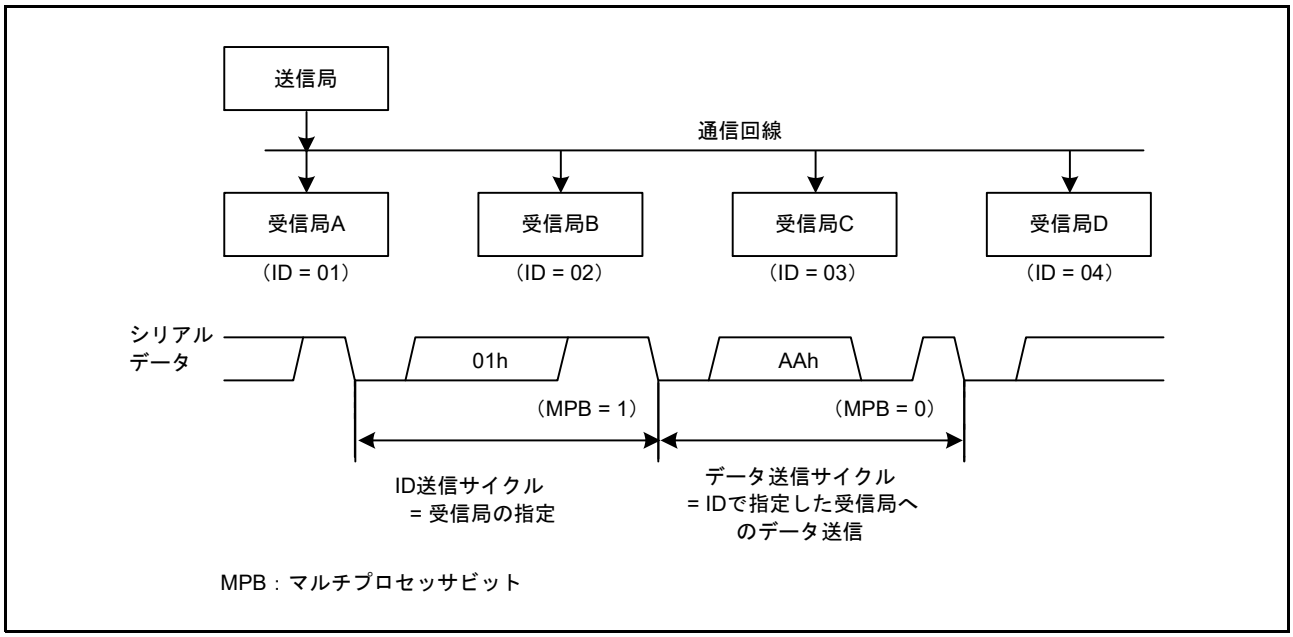


図 33.27　マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ “AAh” の送信の例)

(1)　非 FIFO モード時

RSCI はこの機能をサポートするため、SCR0.MPIE ビットを設けてあります。MPIE ビットを “1” にすると、マルチプロセッサビットが “1” のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.RDRF、ORER、AFER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが “1” の受信キャラクタを受け取ると、RDR.MPB フラグが “1” にセットされるとともに SCR0.MPIE ビットが自動的にクリアされて非マルチプロセッサの受信動作に戻ります。このとき SCR0.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は非マルチプロセッサの調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも非マルチプロセッサの調歩同期式モードと同一です。

(2) FIFO モード時

送信時には、送信フレームに付加するマルチプロセッサトランスファビットを、送信 FIFO (TDR レジスタ) の MPBT ビットに、TDAT[8:0] ビットへの送信データの書き込み時にいっしょに書き込んでください。受信時には、受信データに付加されたマルチプロセッサビットの値は、受信 FIFO (RDR レジスタ) の RDAT[8:0] ビットへの受信データの格納と同時に RDR.MPB フラグに格納されます。

SCR0.MPIE ビットを “1” にすると、マルチプロセッサビットが “1” のデータを受け取るまで RSR レジスタから RDR.RDAT[8:0] ビットへの受信データの転送、DR の検出、および受信エラーの検出と SSR.RDRF、AFER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが “1” の受信キャラクタを受け取ると、マルチプロセッサビットの値を RDR.MPB フラグに反映するとともに受信 FIFO (RDR レジスタ) に受信データを格納し、SCR0.MPIE ビットが自動的にクリアされて非マルチプロセッサの受信動作に戻ります。このとき SCR0.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は非マルチプロセッサの調歩同期式モードで FIFO バッファを選択したときの動作と変わりません。

33.4.1　マルチプロセッサシリアルデータ送信

(1)　非 FIFO モード時

図 33.28 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは TDR.MPBT ビットを “1” にして送信してください。データ送信サイクルでは TDR.MPBT ビットを “0” にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

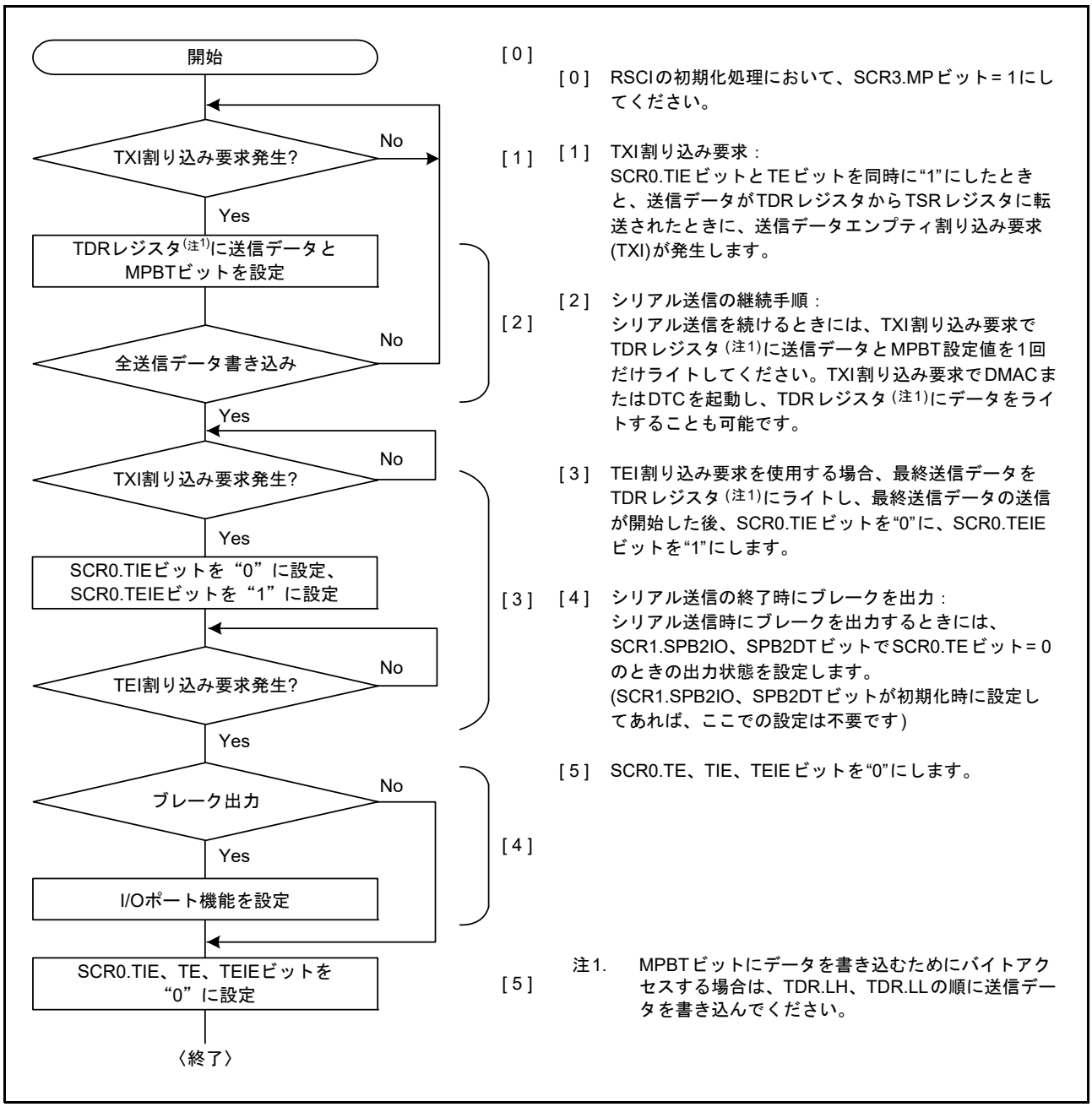


図 33.28　マルチプロセッサシリアル送信のフローチャートの例 (非 FIFO モード時)

(2) FIFO モード時

表 33.33 にマルチプロセッサデータ送信で FIFO バッファを選択したときの、送信 FIFO (TDR レジスタ) への書き込みデータフォーマットを示します。

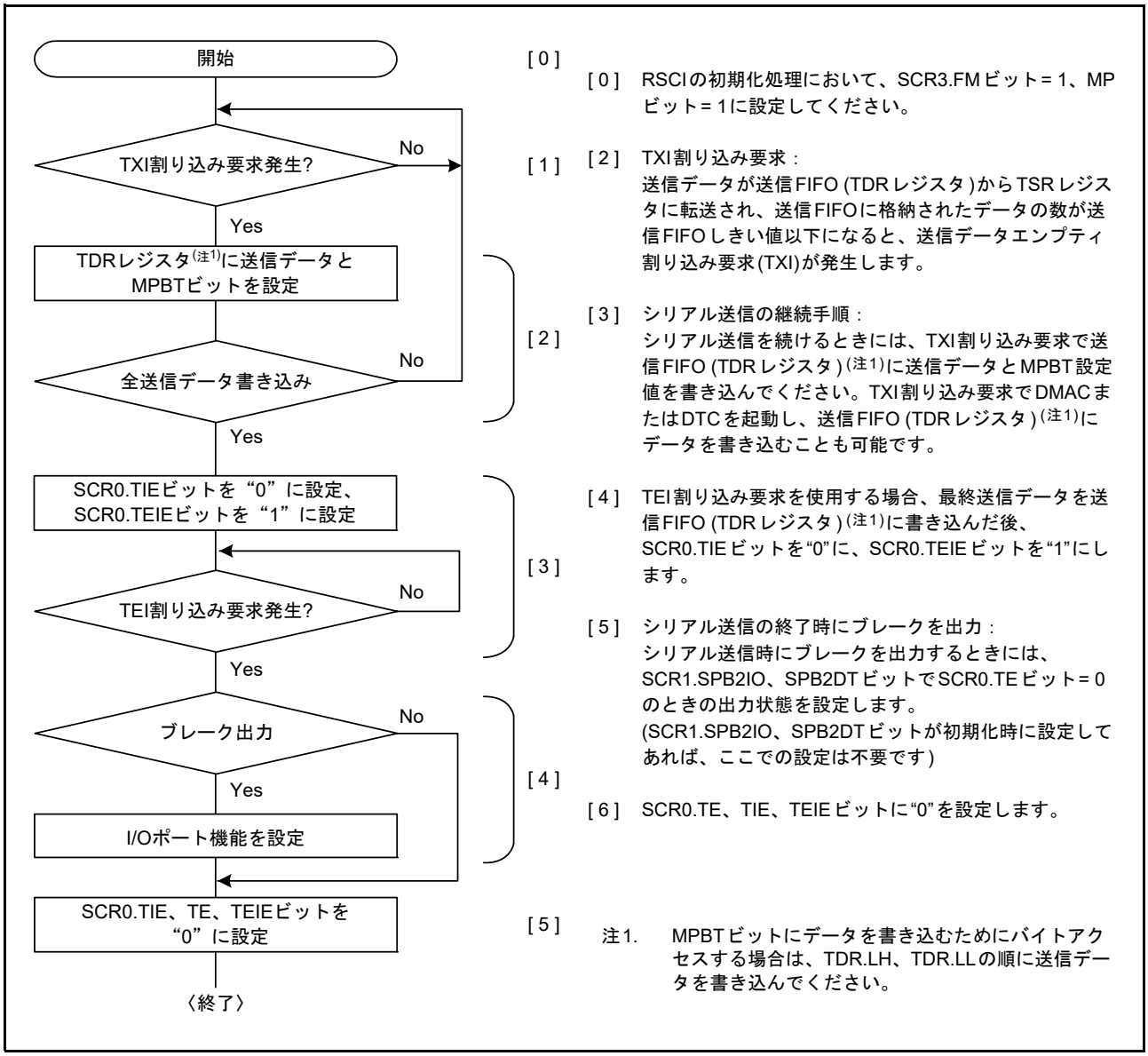
MPBT ビットは送信 FIFO (TDR レジスタ) のビット 9 に書き込んでください。データについては、7 ビットデータ長選択時は TDR.TDAT[6:0] ビットに、8 ビットデータ長選択時は TDR.TDAT[7:0] ビットに、9 ビットデータ長選択時は TDR.TDAT[8:0] ビットに書き込みます。未使用のビットには “0” を書き込んでください。

表33.33　マルチプロセッサシリアル送信データの送信FIFO (TDRレジスタ)書き込みデータフォーマット(FIFOモード時)

データ長	レジスタの設定		TDR.L レジスタの送信データ															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	TDAT[6:0]						
8ビット	1	0	—	—	—	—	—	—	MPBT	—	TDAT[7:0]							
9ビット	0	任意	—	—	—	—	—	—	MPBT	TDAT[8:0]								

—：使用しません。“0” にしてください。

図 33.29 にマルチプロセッサデータ送信で FIFO バッファを選択したときのフローチャートの例を示します。ID 送信サイクルでは TDR.MPBT ビットを “1” にして送信してください。データ送信サイクルでは MPBT ビットを “0” にして送信してください。その他の動作は調歩同期式モードで FIFO バッファを選択したときの動作と同じです。



[0]　RSCIの初期化処理において、SCR3.FMビット= 1、MPビット= 1に設定してください。

[1]　[2]　TXI割り込み要求：
送信データが送信FIFO (TDRレジスタ)からTSRレジスタに転送され、送信FIFOに格納されたデータの数が送信FIFOしきい値以下になると、送信データエンプティ割り込み要求(TXI)が発生します。

[2]　[3]　シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求で送信FIFO (TDRレジスタ)(注1)に送信データとMPBT設定値を書き込んでください。TXI割り込み要求でDMACまたはDTCを起動し、送信FIFO (TDRレジスタ)(注1)にデータを書き込むことも可能です。

[3]　[4]　TEI割り込み要求を使用する場合、最終送信データを送信FIFO (TDRレジスタ)(注1)に書き込んだ後、SCR0.TIEビットを“0”に、SCR0.TEIEビットを“1”にします。

[4]　[5]　シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、SCR1.SPB2IO、SPB2DTビットでSCR0.TEビット= 0のときの出力状態を設定します。
(SCR1.SPB2IO、SPB2DTビットが初期化時に設定してあれば、ここでの設定は不要です)

[5]　[6]　SCR0.TE、TIE、TEIEビットに“0”を設定します。

注1.　MPBTビットにデータを書き込むためにバイトアクセスする場合は、TDR.LH、TDR.LLの順に送信データを書き込んでください。

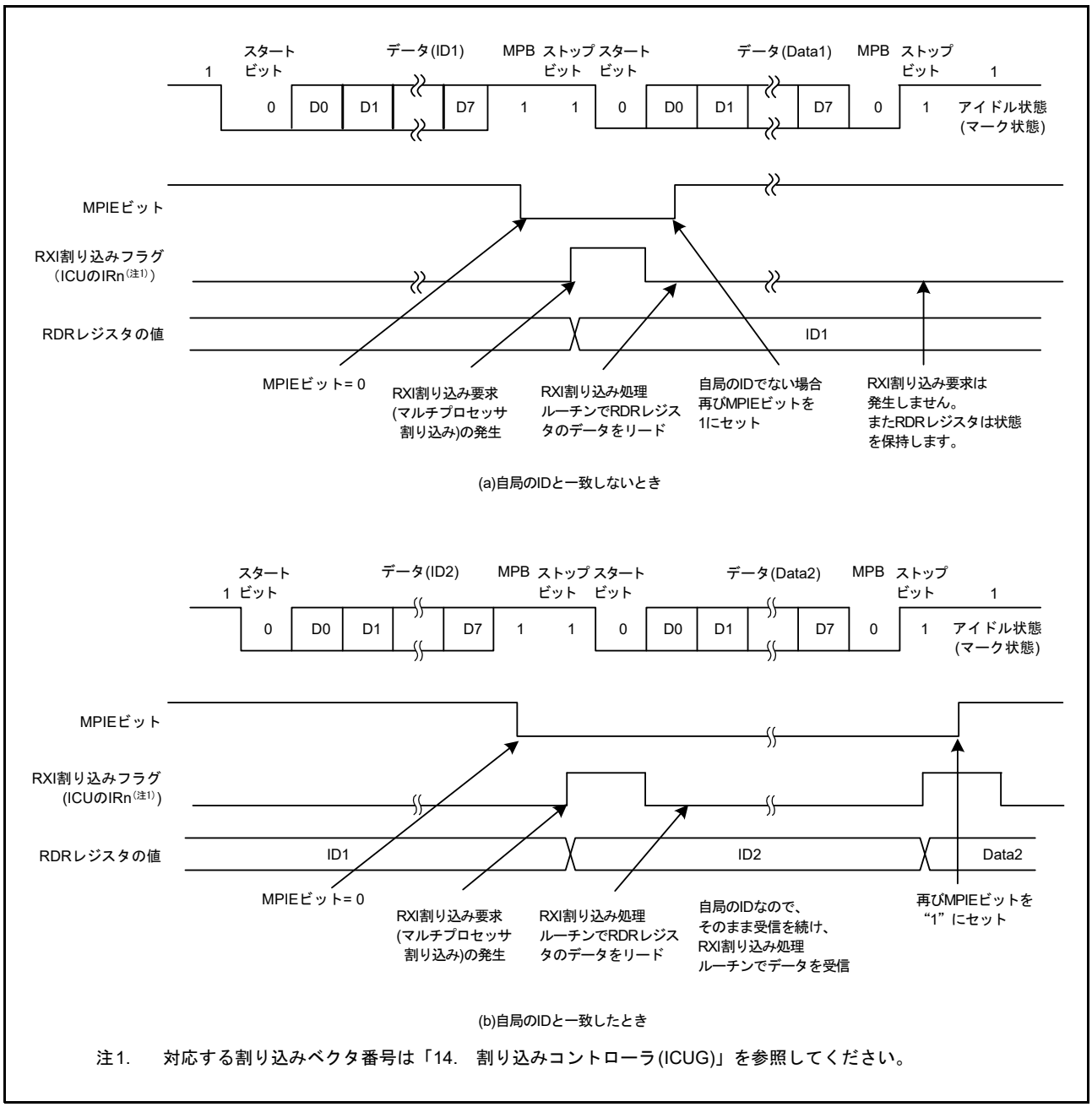
図 33.29　マルチプロセッサシリアル送信のフローチャートの例 (FIFO モード時)

33.4.2　マルチプロセッサシリアルデータ受信

(1)　非 FIFO モード時

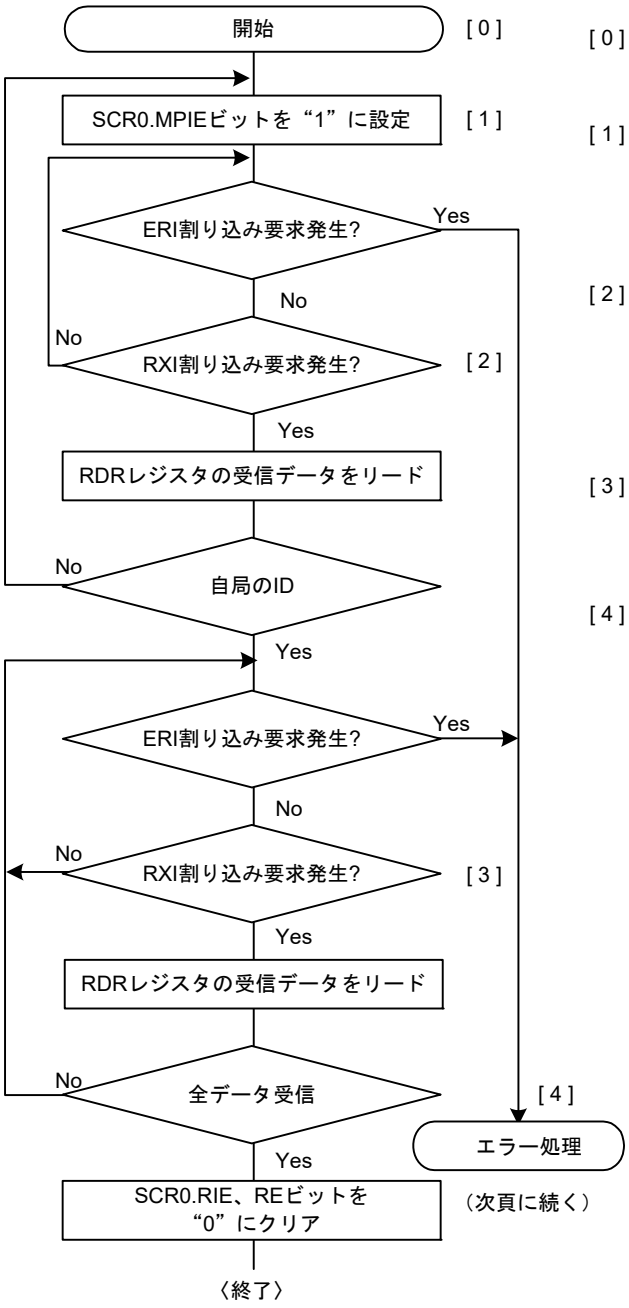
図 33.31、図 33.32 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR0.MPIE ビットを “1” にするとマルチプロセッサビットが “1” の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが “1” の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 33.30 に受信時の動作例を示します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.30　RSCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり /1 ストップビットの例)



[0]　RSCIの初期化処理において、SCR3.MPビット= 1にしてください。

[1]　ID受信サイクル：
SCR0.MPIEビットを“1”にし、ID受信を待ちます。初期化処理で設定済みの場合は、本手順を省略できます。

[2]　RSCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRレジスタのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びSCR0.MPIEビットを“1”にしてRXI割り込み要求を待ちます。

[3]　RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRレジスタのデータを1回リードします。

[4]　受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER、AFERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、AFERフラグをすべて“0”にしてください。ORER、AFERフラグのいずれかが“1”になった状態では受信を再開できません。また、フレーミングエラー時にSSR.RXDMONフラグの値をリードすることでブレークの検出ができます。

図 33.31　マルチプロセッサシリアル受信のフローチャートの例 (1) (非 FIFO モード時)

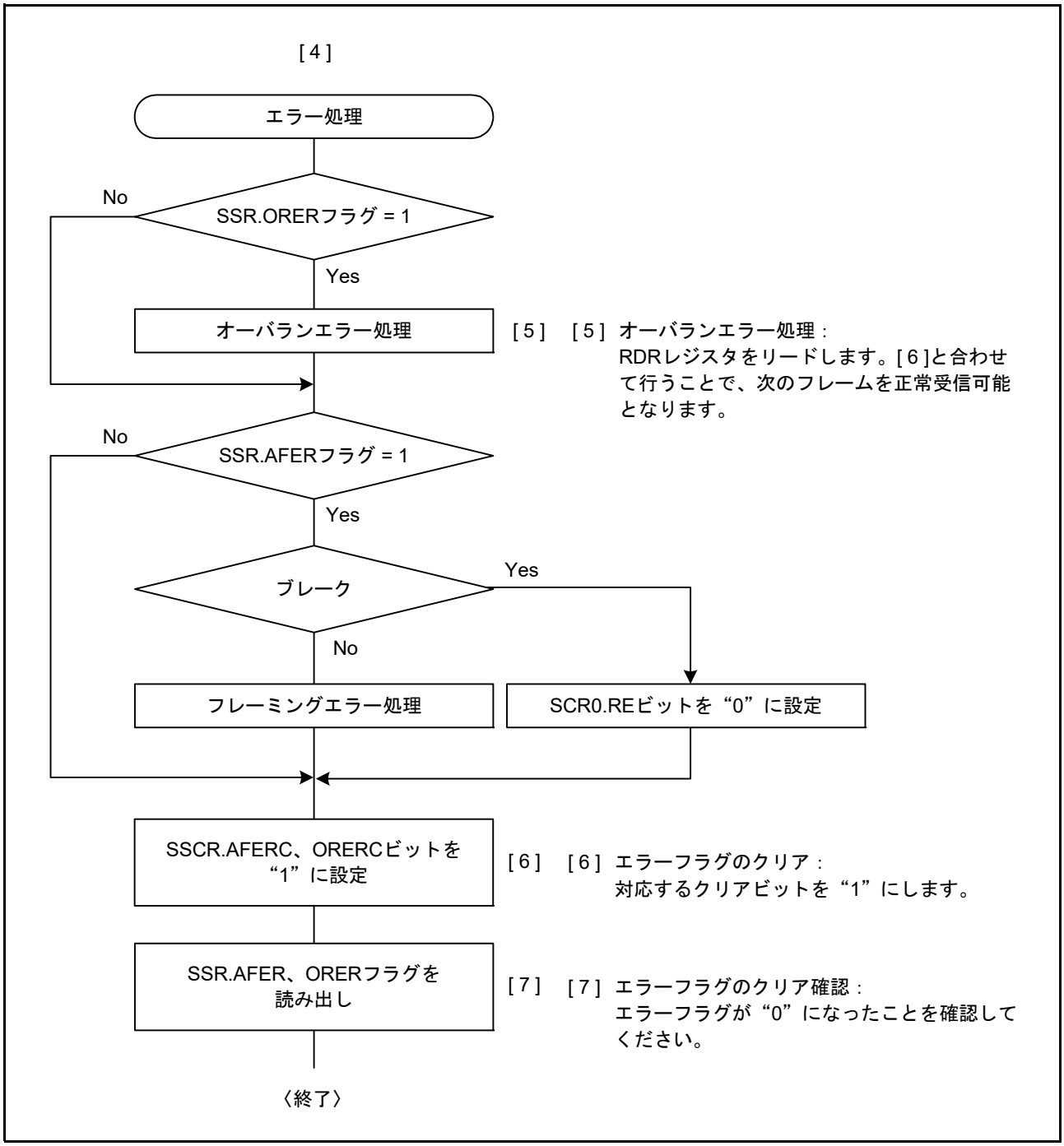


図 33.32　マルチプロセッサシリアル受信のフローチャートの例 (2) (非 FIFO モード時)

(2) FIFO モード時

表 33.34 にマルチプロセッサデータ受信で FIFO バッファを選択したときの、受信 FIFO (RDR レジスタ) に格納される受信データフォーマットを示します。

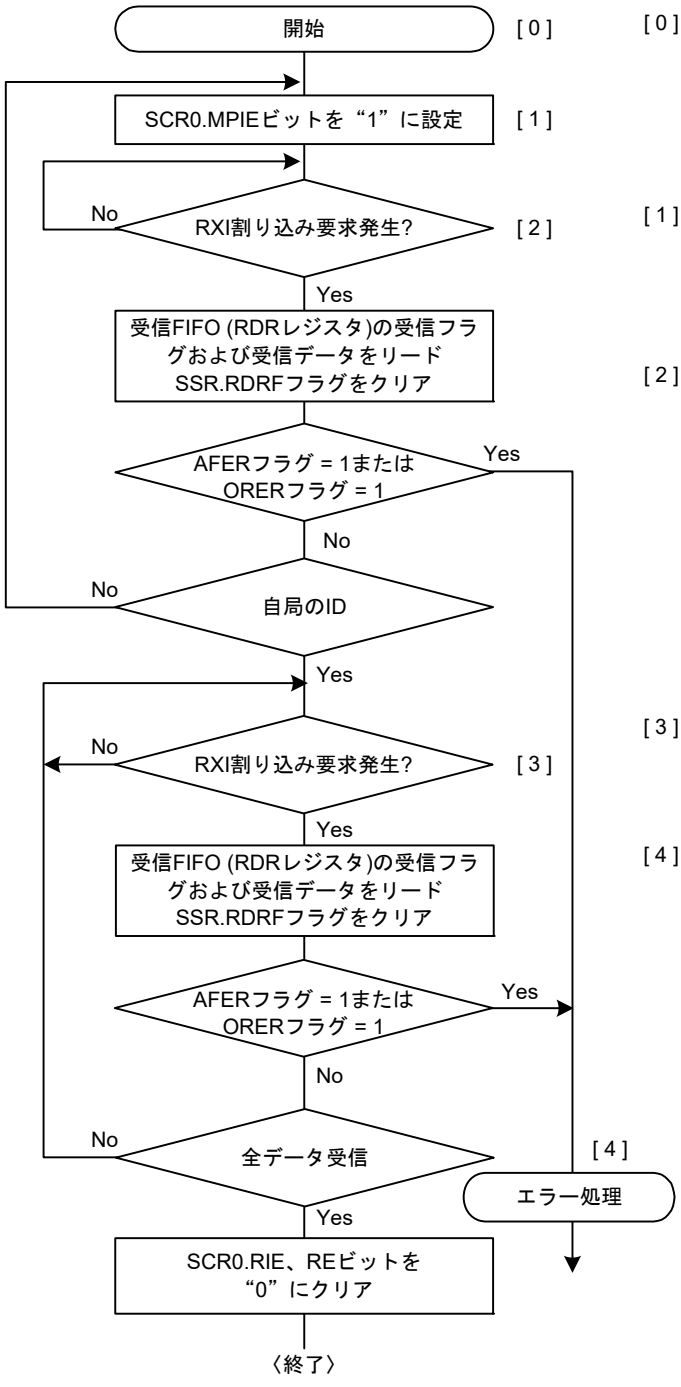
MPB フラグは RDR レジスタのビット 9 に格納され APER フラグ、PER フラグには “0” が格納されます。受信データは、7 ビットデータ長選択時は RDR.RDAT[6:0] ビットに、8 ビットデータ長選択時は RDR.RDAT[7:0] ビットに、9 ビットデータ長選択時は RDR.RDAT[8:0] ビットに格納され、未使用のビットには “0” が格納されます。受信 FIFO (RDR レジスタ) を読み出すと受信 FIFO (RDR レジスタ) 内の FER、PER、MPB フラグおよび受信データ (RDAT[8:0] ビット) が、次のデータに更新されます。受信 FIFO (RDR レジスタ) の AFER、APER、ORER フラグには、SSR レジスタ、RFSR レジスタの対応するフラグの状態が常に反映されます。

表33.34　マルチプロセッサシリアル受信データの受信FIFO (RDRレジスタ)格納フォーマット(FIFOモード時)

データ長	レジスタの設定		RDR レジスタの受信データ															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	0	0	0	FER	PER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	0	0	0	FER	PER	DR	MBT	0	RDAT[7:0]							
9ビット	0	任意	0	0	0	FER	PER	DR	MPB	RDAT[8:0]								
データ長	SCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0
8ビット	1	0	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0
9ビット	0	任意	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0

注.　7ビットデータ長選択時、RDAT[8:7]ビットからは“0”が読み出されます。
8ビットデータ長選択時、RDAT[8]ビットからは“0”が読み出されます。

図 33.33 にマルチプロセッサデータ受信で FIFO バッファを選択したときのフローチャートの例を示します。SCR0.MPIE ビットを “1” にするとマルチプロセッサビットが “1” の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが “1” の通信データを受信すると、MPIE ビットが “0” になり、受信フレーム中の MPB フラグと受信データ、および受信時に検出したフレーミングエラーの有無を、受信 FIFO (RDR レジスタ) に転送します。フレーミングエラーが発生し SSR.AFER フラグが “1” になった後、SSR.AFER フラグが “1” の状態でも受信動作は継続します。その他の動作は調歩同期式モードで FIFO バッファを選択したときの動作と同じです。



[0] RSCIの初期化処理において、SCR3.FMビット = 1、MPビット = 1にしてください。
また、MPBフラグが“1”のデータを受信したときにRXI割り込みを発生させるために、FCR.RTRG[4:0]ビット = 00001b、DRESビット = 0にしてください。

[1] ID受信サイクル：
SCR0.MPIEビットを“1”にし、ID受信を待ちます。初期化処理で設定済みの場合は、本手順を省略できます。

[2] RSCIの状態を確認して、IDの受信と比較：
RSCIは、MPBフラグが“1”のデータを受信するまで、受信データを読み飛ばします。MPBフラグが“1”のデータを受信すると、RSCIはRXI割り込み要求を生成します。
RXI割り込みで、受信FIFO (RDRレジスタ)のデータをリードし、自局のIDと比較します。自局のIDでないときには、再びMPIEビットを“1”にしてRXI割り込み要求を待ちます。自局のIDであった場合、受信FIFOのしきい値を所望の値に設定します。

[3] RXI割り込みでデータの受信：
RXI割り込みルーチンで、受信FIFO (RDRレジスタ)のデータをリードします。

[4] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、受信データといっしょに読み出したORER、AFERフラグでエラーを判定します(あらためてSSR.ORER、AFERフラグを読み出しても問題ありません)。所定のエラー処理を行った後、SSR.ORER、AFERフラグを“0”にしてください。フレーミングエラー時にSSR.RXDMONフラグの値を読み出すことでブレークの検出ができます。

図 33.33　マルチプロセッサシリアル受信のフローチャートの例 (1) (FIFO モード時)

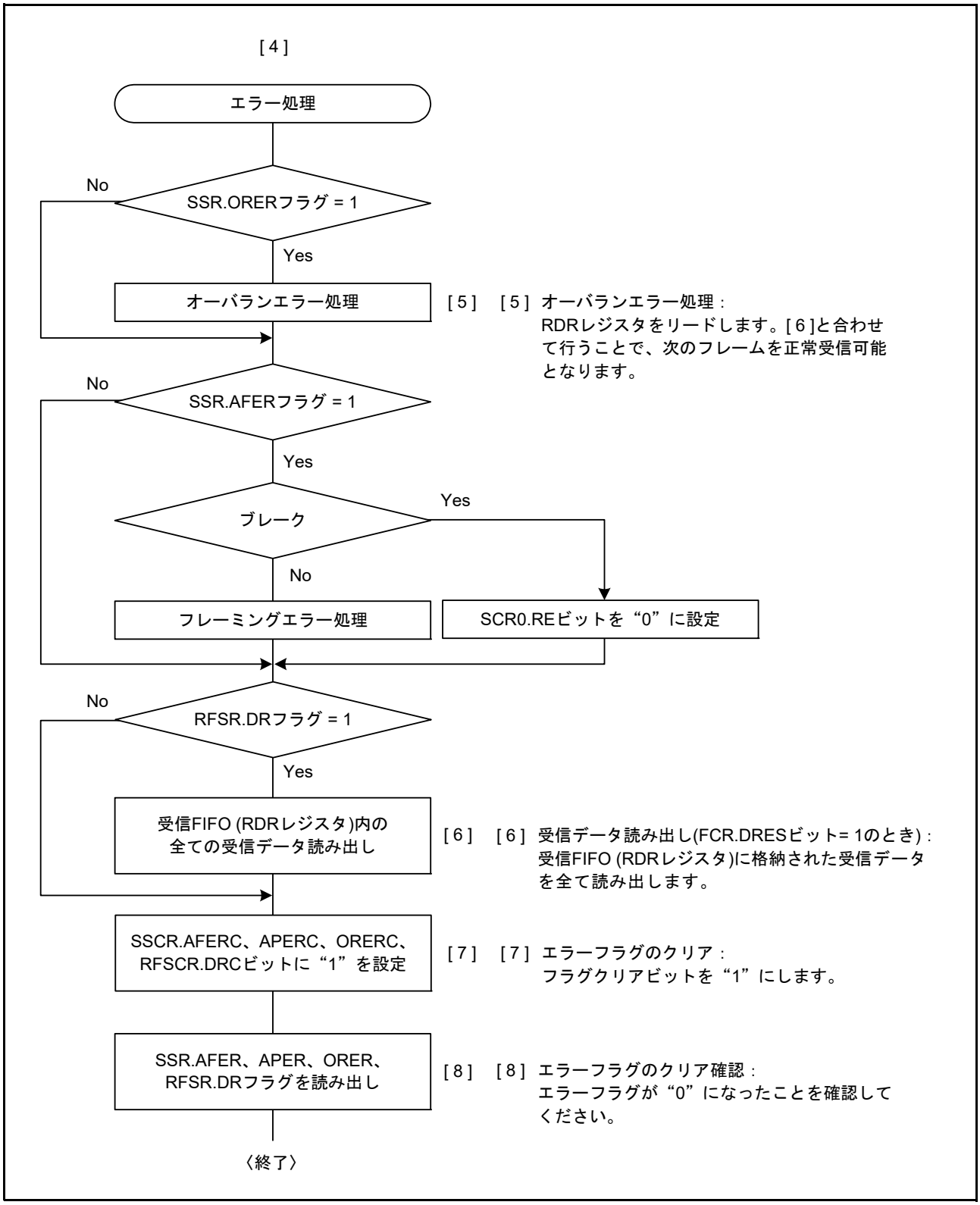


図 33.34　マルチプロセッサシリアル受信のフローチャートの例 (2) (FIFO モード時)

33.5　マンチェスタモード

マンチェスタモードを使用すると、送受信シリアルデータをマンチェスタコードで扱います。
マンチェスタ符号化のイメージを図 33.35 に示します。

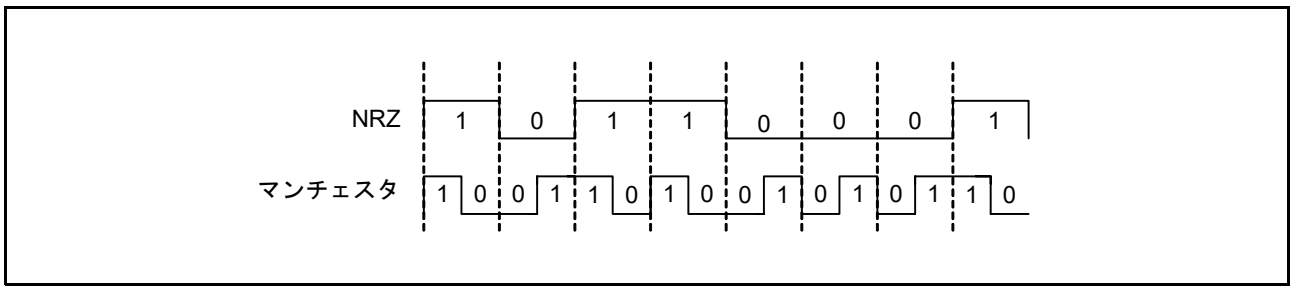


図 33.35　マンチェスタ符号化の例

マンチェスタモード時はレジスタに設定した送信データに対してプリフェースとスタートビット領域を付加し送信フレームを構築します。送信時はマンチェスタ符号化し、受信時は送信と同じフォーマットのフレームを検出し、NRZ 符号化してデータを受信します。
フレームフォーマットの詳細については「33.5.1　フレームフォーマット」を参照ください。

33.5.1　　フレームフォーマット

図 33.36 がマンチェスタモードを使用した場合のフレームフォーマットです。
図の上部に記載しているのは、関連する設定レジスタです。
マンチェスタ符号化する領域は、プリフェース領域とデータ領域となります。

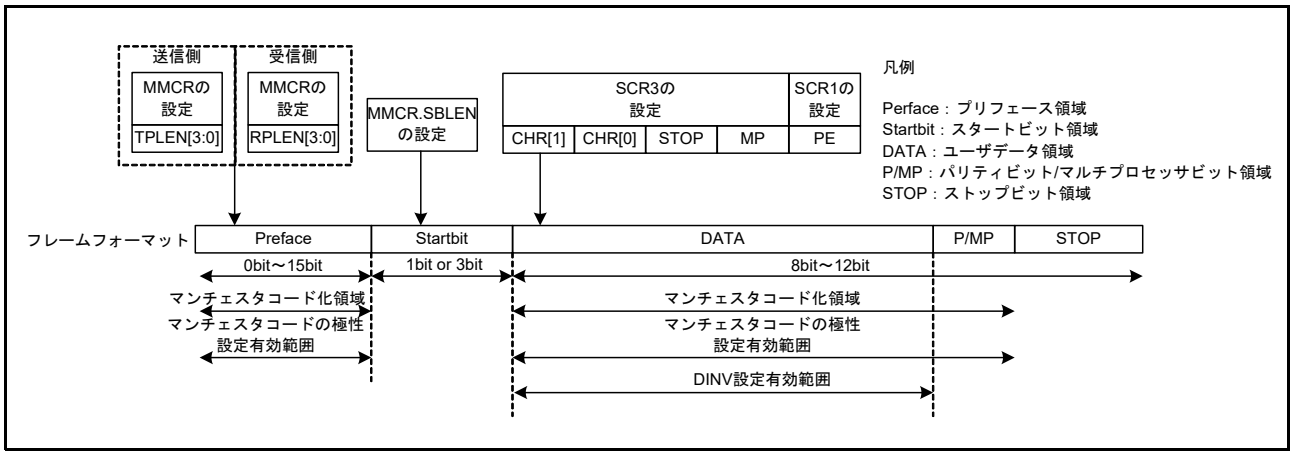


図 33.36　マンチェスタモード時のフレームフォーマット

(1)　プリフェース領域

フレームの先頭を示す固定パターン領域です。
プリフェース領域は送信と受信で設定レジスタが異なります。送信時は MMCR.TPLEN[3:0] ビットの設定、受信時は MMCR.RPLEN[3:0] ビットの設定でプリフェース長が決定されます。
“0” にした場合、プリフェースはディセーブルとなり付加されません。1d ～ 15d に設定した場合、プリフェースはその設定に従った長さが付加されます (例えば 1d なら 1 ビット、15d なら 15 ビットになります)。
また、プリフェースパターンは設定で可変することが可能で、送信時は MMCR.TPPAT[1:0] ビット、受信

時は MMCR.RPPAT[1:0] ビットを設定することで 4 種類のパターンから選択できます。

プリフェースパターンの設定イメージを図 33.37 に示します。このプリフェース / スタートビット領域は毎通信に付加されます。

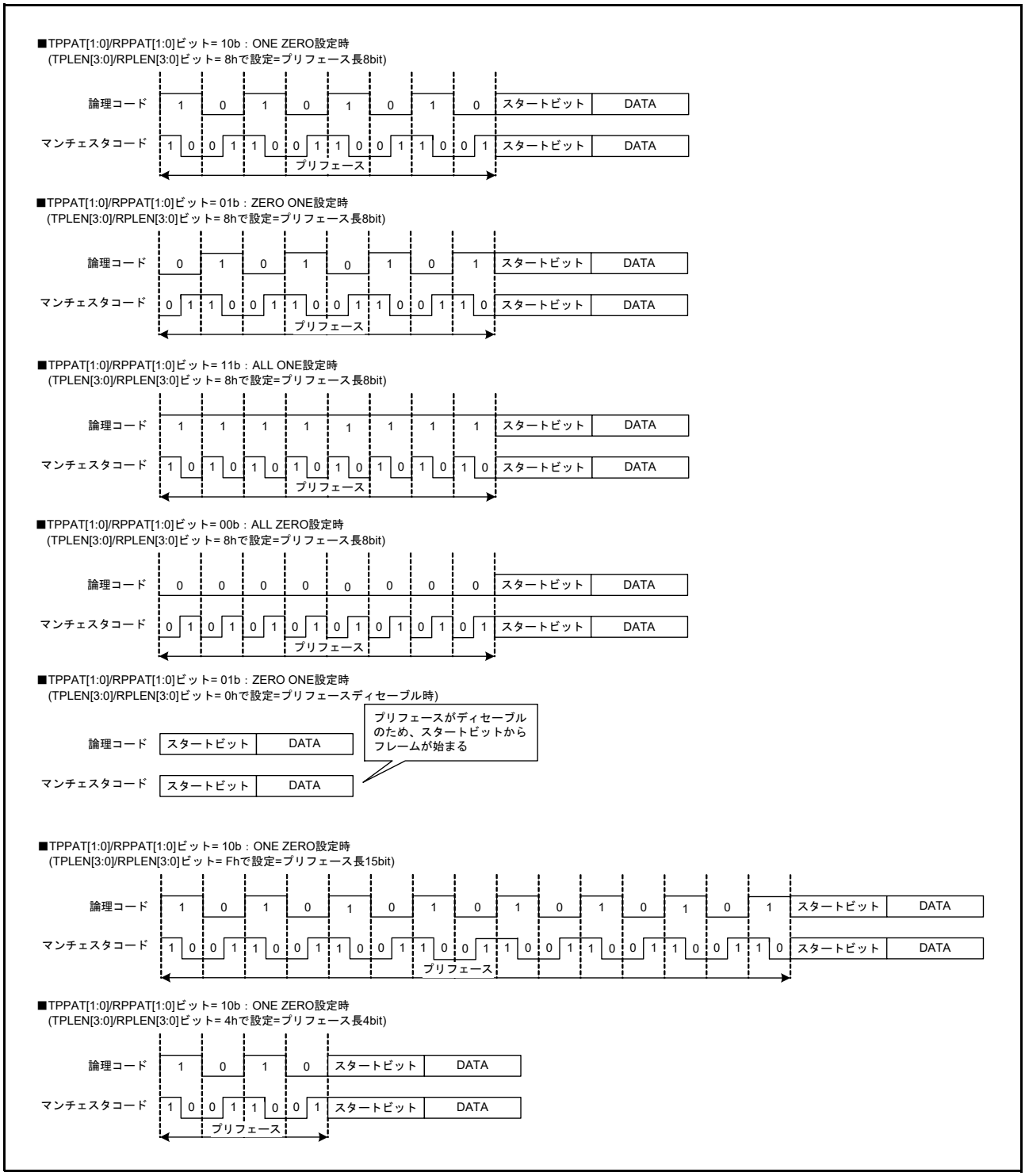


図 33.37　プリフェースパターン設定例

(2) スタートビット領域

フレームの有効データ先頭を示す領域です。プリフェース領域の後にアサインされています。

MMCR.SBLEN ビットの設定でスタートビット長が決定されます。MMCR.SBLEN ビット = 0 のときは、スタートビットは 1 ビットとなります。MMCR.SBLEN ビット = 1 のときは、スタートビットは 3 ビットとなります。

MMCR.SBLEN ビットを “1” にすると、Sync 種別を < コマンド Sync> と < データ Sync> の 2 種の中から設定することが可能です。

< コマンド Sync> とは、スタートビットが 3bit であるときに、1 → 0 遷移を行うパターンです。

また、< データ Sync> とは、スタートビットが 3bit であるときに、0 → 1 遷移を行うパターンです。

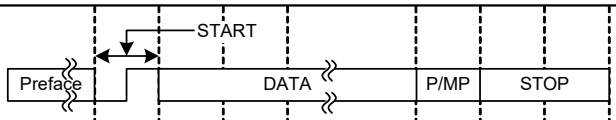
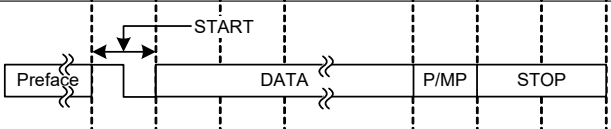
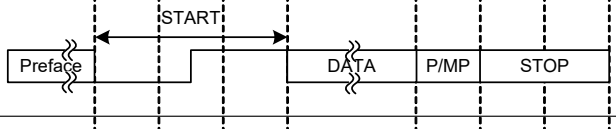
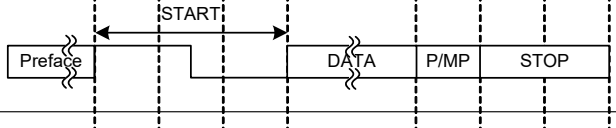
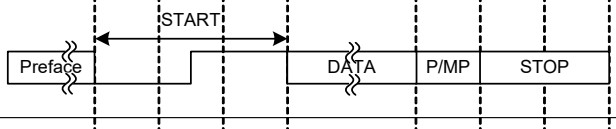
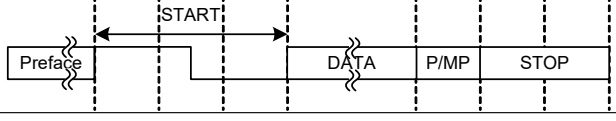
Sync 種別に関しては、MMCR.SYNCE と MMCR.SBPTN 設定および TDR.SYNC ビットの設定によって決定されます (受信時は MMSR.RSYNC ビットに受信結果が反映されます)。

MMCR.SBLEN ビットを “0” にすると、0 → 1 遷移または 1 → 0 遷移を設定することが可能です。この選択は MMCR.SBPTN 設定によって決定されます。

MMCR.SYNCE ビットで、送信時の設定の参照先を指定します。“1” にした場合は MMCR.SBPTN ビットの設定を参照し、“0” にした場合は TDR.SYNC ビットの設定を参照します。

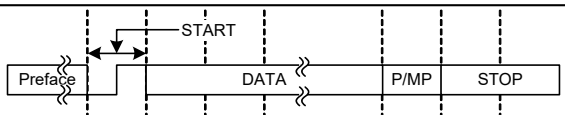
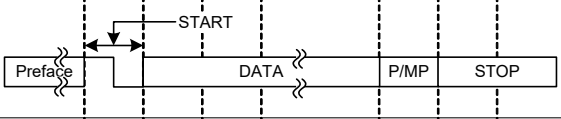
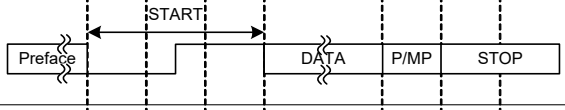
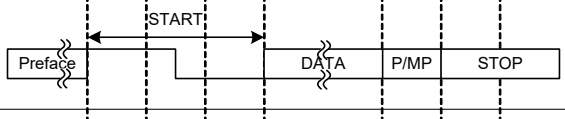
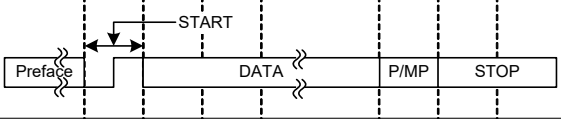
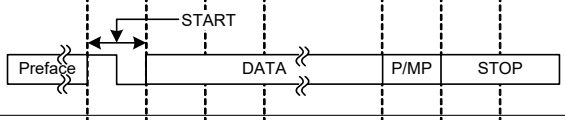
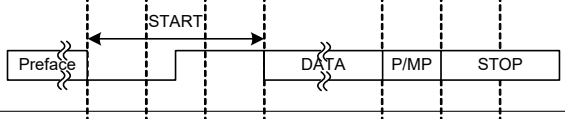
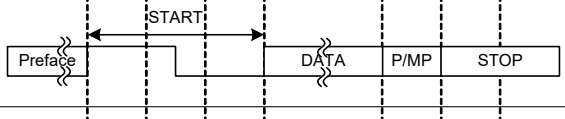
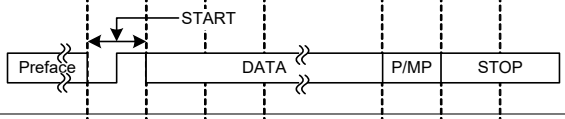
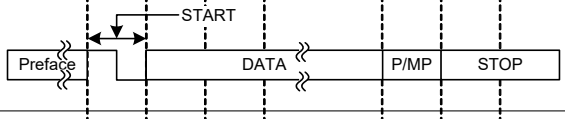
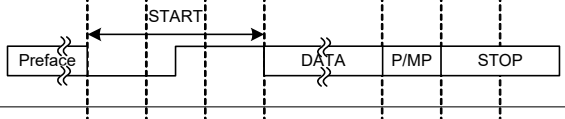
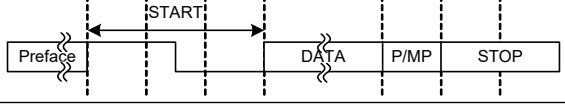
上記のスタートビット関連レジスタ (MMCR.SYNCE, MMCR.SBPTN, TDR.SYNC) を設定した場合のスタートビット領域の状態を、送信と受信に分けてそれぞれ**図 33.38**、**図 33.39** に示します。

スタートビットは MMCR.ENCS/DECS ビットの設定の影響は受けません。

レジスタ設定				信号出力	スタートビット出力
MMCR			TDR	TXD出力波形	
SBLEN	SYNCE	SBPTN	SYNC		
0	d.c.	0	d.c.		1bit 0 → 1遷移
0	d.c.	1	d.c.		1bit 1 → 0遷移
1	0	0	d.c.		3bit 0 → 1遷移
1	0	1	d.c.		3bit 1 → 0遷移
1	1	d.c.	0		3bit 0 → 1遷移
1	1	d.c.	1		3bit 1 → 0遷移

d.c.：任意
Preface：プリフェース領域
START：スタートビット領域
DATA：データ領域
P：パリティビット領域
MP：マルチプロセッサビット領域
STOP：ストップビット領域

図 33.38　送信時のスタートビット関連設定とフォーマット

レジスタ設定				信号入力	スタートビット検出結果 (注1)	レジスタ表示
MMCR			TDR	RXD入力波形		MMSR.RSYNC
SBLEN	SYNCE	SBPTN	SYNC			
0	d.c.	0	d.c.		スタートビット正常 (1bit 0 → 1遷移)	0
					スタートビットエラー	0
					スタートビットエラー	0
					スタートビットエラー	0
0	d.c.	1	d.c.		スタートビットエラー	0
					スタートビット正常 (1bit 1 → 0遷移)	0
					スタートビットエラー	0
					スタートビットエラー	0
1	d.c.	d.c.	d.c.		スタートビットエラー	0
					スタートビットエラー	0
					データSync	0
					コマンドSync	1

d.c.：任意
Preface：プリフェース領域
START：スタートビット領域
DATA：データ領域
P：パリティビット領域
MP：マルチプロセッサビット領域
STOP：ストップビット領域

注1.　スタートビット以外は正常と仮定。

図 33.39　受信時のスタートビット関連設定と判定

(3) DATA

DATA 部分のフォーマットは調歩同期式モードと同じ設定になるので、「33.3.1 シリアル送信 / 受信フォーマット」を参照ください。

図 33.36 マンチェスタモード時のフレームフォーマットにも記載していますが、マンチェスタ符号化範囲にストップビットは含まれていませんので注意してください。

33.5.2 クロック

マンチェスタモードの送受信クロックは、SCR2.CKS[1:0] ビットを設定し、内蔵ボーレートジェネレータで生成するクロックを使用します。

また、SCR2.ABCS ビットでオーバサンプリング (1 ビット期間の転送レート) を設定することが可能です。SCR2.ABCS ビット = 0 に設定すると基本クロック 16 サイクルの期間を 1 ビット期間の転送レートとするオーバサンプリング 16 倍が選択され、SCR2.ABCS ビット = 1 にすると基本クロック 8 サイクルの期間を 1 ビット期間の転送レートとするオーバサンプリング 8 倍を選択できます。

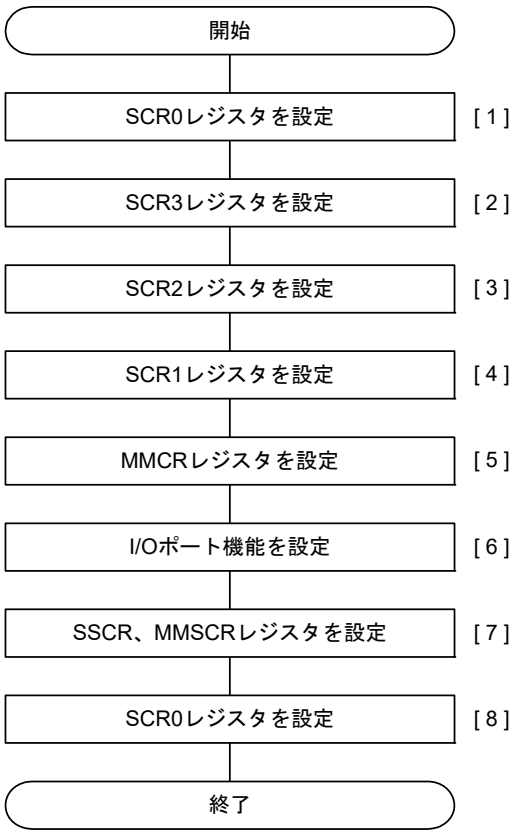
33.5.3 マンチェスタモード時の RSCI 初期化

マンチェスタモードの初期化処理は、データの送受信前に、SCR0.TE ビットと SCR0.RE ビットに “0” を書き込み (SCR0 レジスタに初期値を書き込むでも可)、図 33.40 のフローチャート例に従って初期化してください。

動作モードの変更、通信フォーマットの変更の場合も SCR0.TE ビットと SCR0.RE ビットに “0” を書き込んでから変更してください。

なお SCR0.RE ビットを “0” にしても、SSR.ORER、AFER、APER、RDRF および MMSR.MCER、SYER、PFER、SBER の各フラグ、および RDR レジスタは初期化されませんので注意してください。

また SCR0.TIE ビットが “1” の場合、SCR0.TE ビットを “0” から “1” にすると、TXI 割り込み要求が発生します。



[1] SCR0レジスタの以下のビットを“0”にします。
TEIE, TIE, RIE, TE, RE
初期値から変更していない場合、本手順は省略できます。

[2] ドライバ制御機能、マルチプロセッサ通信、通信モード(MOD[2:0]ビット=101b)、送信/受信フォーマット、クロックイネーブルの設定をします。CPOL/CPHAビットなどの使用しない機能のビットは初期値のままとしてください。

[3] クロック選択、ビットレートの設定をします。使用しない機能のビットは初期値のままとしてください。

[4] ノイズフィルタ、ループバック制御、通信端子状態、パリティチェック、CTS/RTS機能の設定をします。

[5] マンチェスタ送受信を設定します。
スタートビット設定、リタイミング設定、マンチェスタ極性設定、送信プリフェース設定、受信プリフェース設定

[6] TXDn、RXDn、およびSCKn端子のうち必要な端子機能が有効となるようにI/Oポートを設定します。

[7] SSCRレジスタ、MMSCRレジスタの以下のクリアビットを“1”にし、対象フラグをクリアします。
SSCR.RDRFC, AFERC, APERC, MFFC, ORERC, DFERC, DPERC, DCMFC, ERSC
MMSCR.MCERC, SBERC, SYERC, PFERC
リセット後の初期設定の場合、本手順は省略できます。

[8] SCR0.TEビット、またはSCR0.REビットを“1”にします。割り込みを許可する場合は、TEビットとTIEビット、REビットとRIEビットを同時に1命令で“1”にしてください。また、マルチプロセッサ機能の設定をします。TE、REビットを設定することによりTXDn、RXDn端子が使用可能になります。

図 33.40　マンチェスタモード時の RSCI 初期化フロー

33.5.4　倍速動作

SCR2.ABCS ビットを “1” にし 1 ビット期間中の基本クロックパルス数 8 を選択すると、SCR2.ABCS ビットを “0” にした場合の 2 倍のビットレートで動作します。

また、SCR2.BGDM ビットを “1” にすると、基本クロックの周期が 1/2 倍になり、SCR2.BGDM ビットを “0” にした場合の 2 倍のビットレートで動作します。

SCR2.ABCS ビット = 1 かつ SCR2.BGDM ビット = 1 にすることで、SCR2.ABCS ビット = 0 かつ SCR2.BGDM ビット = 0 の場合の 4 倍のビットレートで動作することができます。

33.5.5　CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。SCR1.CTSE ビットを “1” にすると CTS 機能が有効になります。また、CTSn#/RTSn# 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTSn# 端子が High になっても、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して送信要求を行う機能です。受信可能状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

［Low になる条件］

以下の条件を全て満たす場合

- SCR0.RE ビットが “1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグおよび MMSR.MCER、SBER (SBERIE = 1 の場合)、SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合) フラグが全て “0”

［High になる条件］

Low になる条件を満たさない場合

33.5.6　マンチェスタデータ送信

データをマンチェスタ符号化して送信します。

極性設定 (MMCR.ENCS ビット) が “0” に設定されている場合、論理コード 0 をマンチェスタコード 0 → 1 遷移に、論理コード 1 をマンチェスタコード 1 → 0 遷移に符号化します。

極性設定 (MMCR.ENCS ビット) が “1” に設定されている場合、論理コード 0 をマンチェスタコード 1 → 0 遷移に、論理コード 1 をマンチェスタコード 0 → 1 遷移に符号化します。

そのため個々の論理データの中間でマンチェスタ符号化したデータはレベル遷移が発生します (図 33.35 参照)。

送信部では、データに対してプリフェース領域の付加、スタートビット領域の設定を極性設定に従って、送信フレームのフォーマットを構築してシリアルデータの送信を行います。

フレームフォーマットについては「33.5.1　フレームフォーマット」を参照してください。

送信時のフローチャートは、図 33.41 に示します。送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に “1” にしてください。すると TXI 割り込み要求を発生します。

また、図 33.42 ～図 33.44 にマンチェスタモードのシリアル送信の動作例を示します。

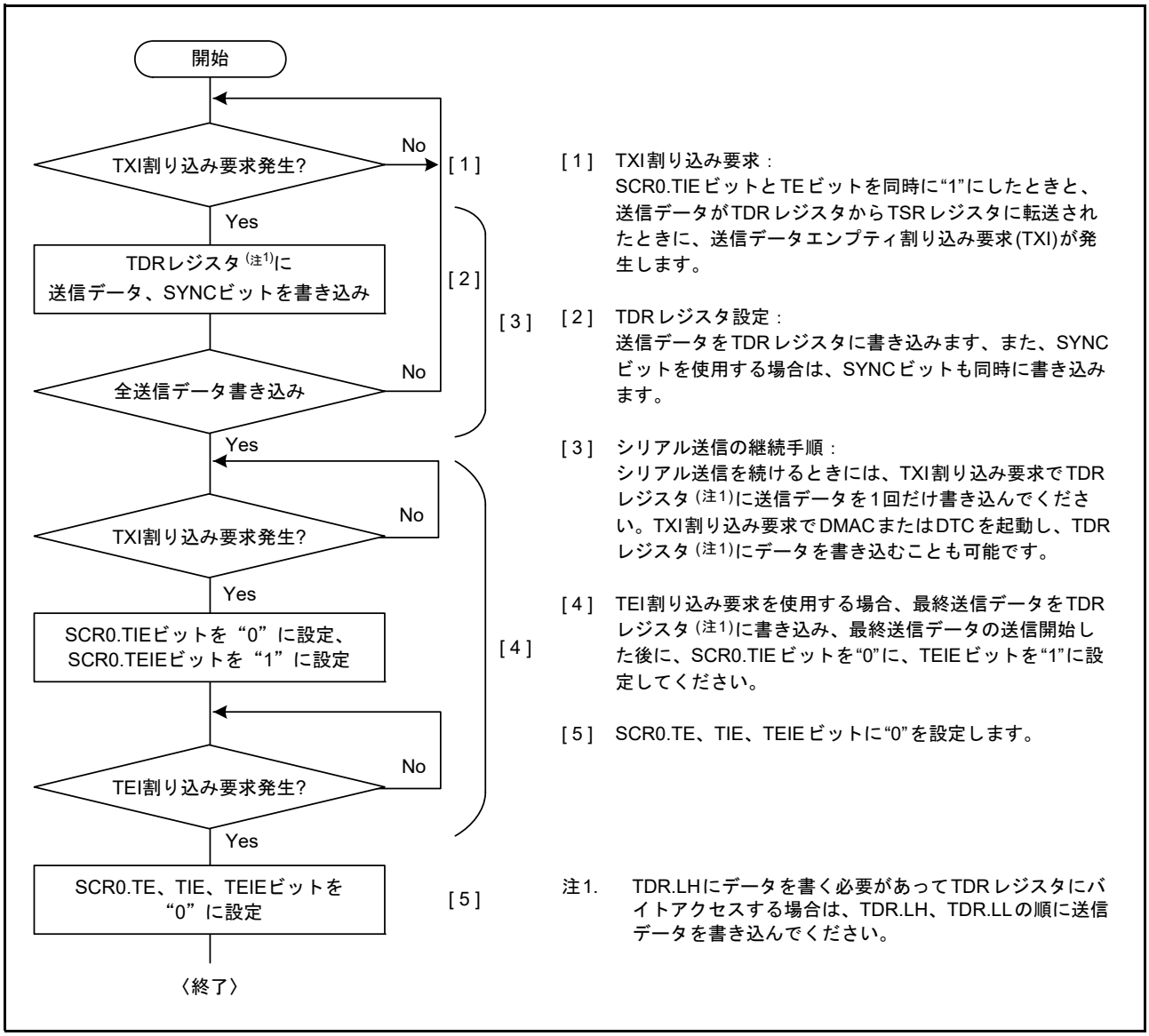
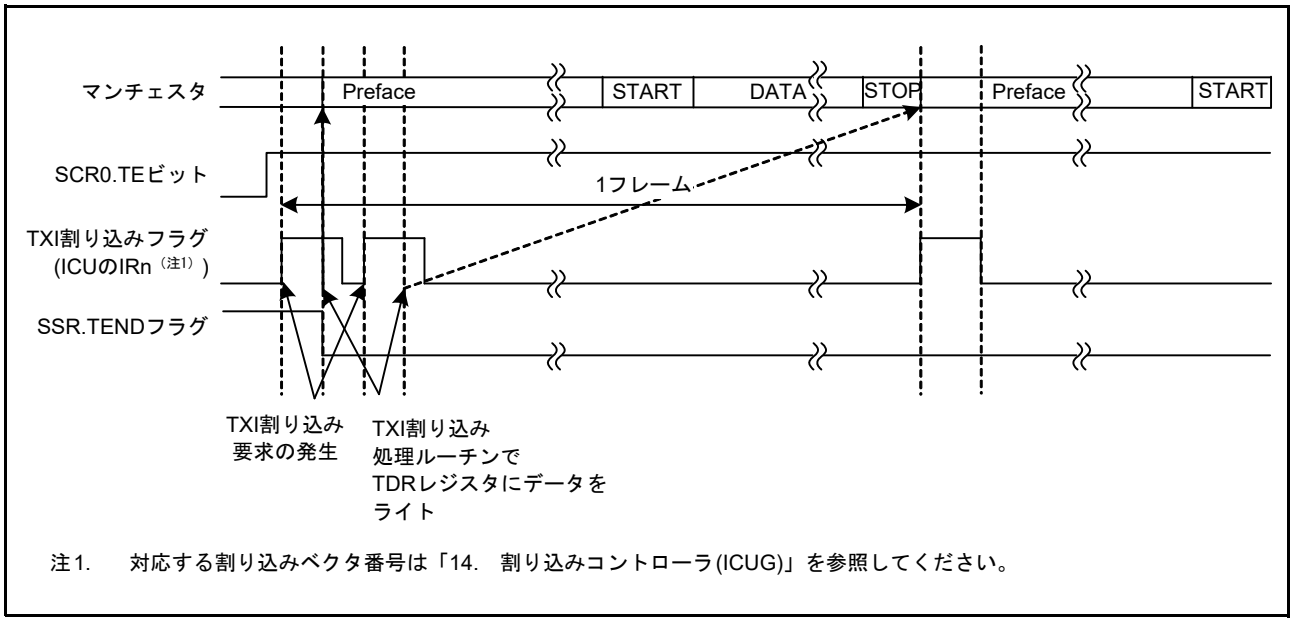
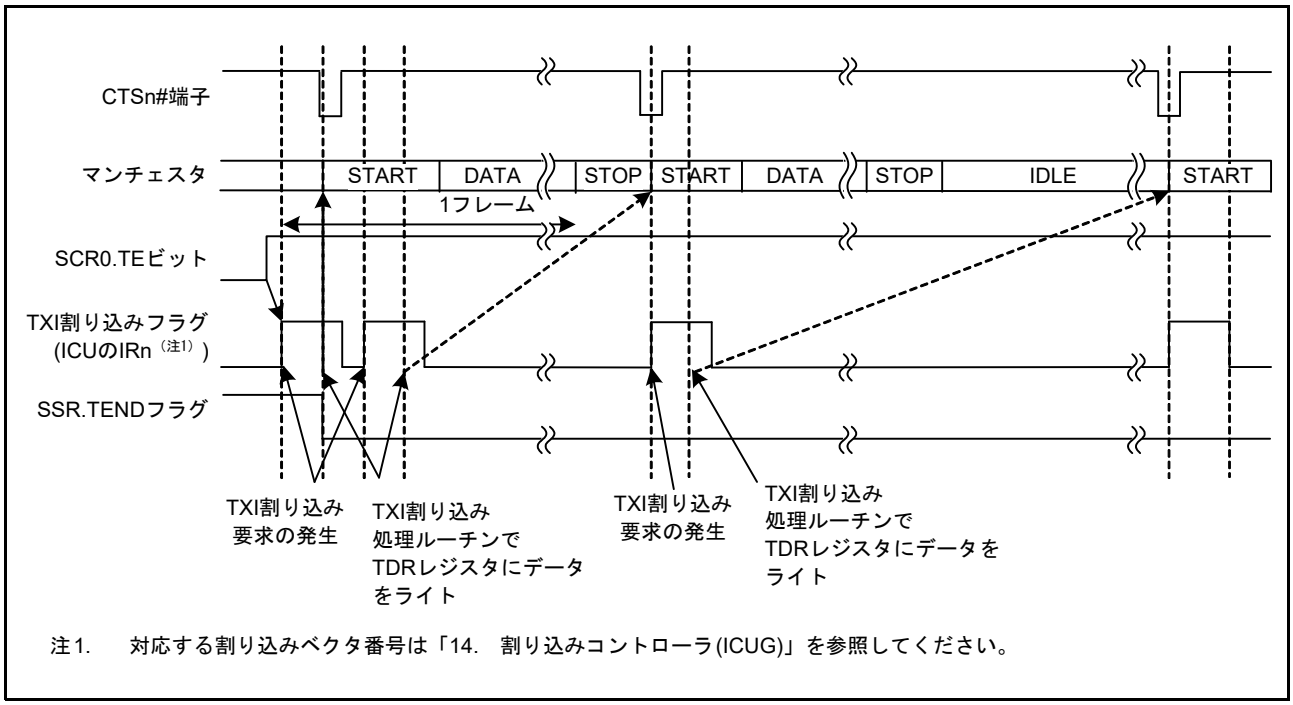


図 33.41　マンチェスタ送信フローチャート



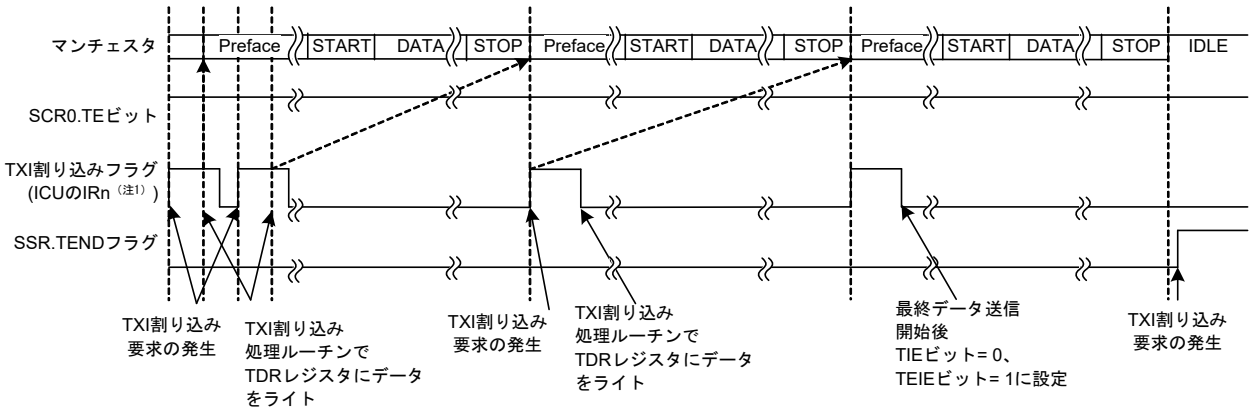
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.42　マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信開始)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.43　マンチェスタデータ送信例 (プリフェース無 /CTS 機能 ON/ 送信開始)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.44　マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信完了)

33.5.7　マンチェスタデータ受信

マンチェスタモードでは、RSCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。受信時は受信データの立ち下がりを基本クロックでサンプリングして受信を開始します。図 33.45 に示すように、受信データの立ち下がりから受信を開始し、1/4 ビットまで受信データが Low を維持すればその後の受信を続けます。1/4 ビット以前に受信データが High に戻った場合は、再度立ち下がりエッジを待ちます。

ビット前半が High を期待する受信データの場合は、基本クロック 1 サイクル分の Low であればノイズと判断し、その Low への変化を無視します。

注 1.　SCR2.ABCS ビット = 0 の場合です。SCR2.ABCS ビット = 1 の場合は、ビットレートの 8 倍の周波数の基本クロックで動作します。

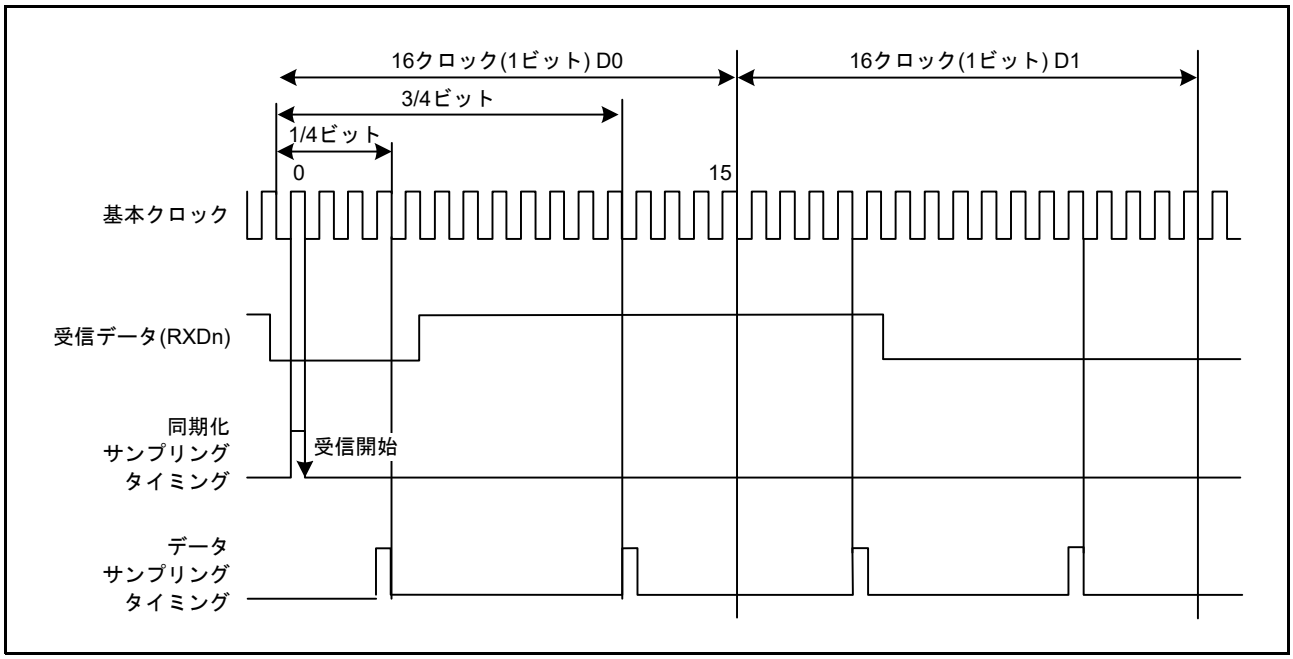


図 33.45　マンチェスタモードのデータ受信サンプリングタイミング

マンチェスタデータ受信では、まずプリフェースとスタートビットの検出を行います。

RXDn 端子からの入力に対して、MMCR.RPLEN[3:0] ビットの設定値からプリフェースが付加されているか判定します。

プリフェース無効 (MMCR.RPLEN[3:0] ビット = 0) 設定時は、プリフェース検出を行わずにスタートビット検出に移行します。

プリフェース有効時は、MMCR.RPPAT[1:0] ビットの設定値からプリフェースパターンを認識し、RXD 入力とパターン一致比較を行いプリフェースパターンの検出を行います。

プリフェースパターン一致を検出した時点で、正常プリフェースと判定し、スタートビット検出に遷移します。

プリフェースパターン不一致を検出した場合もしくはプリフェース領域でマンチェスタコードエラーを検出した場合は、プリフェースエラーと判定し、プリフェースエラーフラグ (PFER) をアサートします。

スタートビット検出はレジスタ設定 (MMCR.SBLEN ビット、SBPTN ビット) から期待値を選択し、RXD 入力に対してパターン一致比較を行い、スタートビットを検出します。スタートビットパターン一致を検出した時点で、正常スタートビットと判定しデータ処理に遷移します。

プリフェース検出とスタートビット検出が正常の場合のみ、続くデータ受信を行います。

スタートビットパターン不一致を検出した時点で、スタートビットエラーフラグ (SBER) をアサートします。

データ処理ではレジスタ設定 (SCR3.CHR[1:0] ビット) から受信データ長の期待値分のデータを、RSR レ

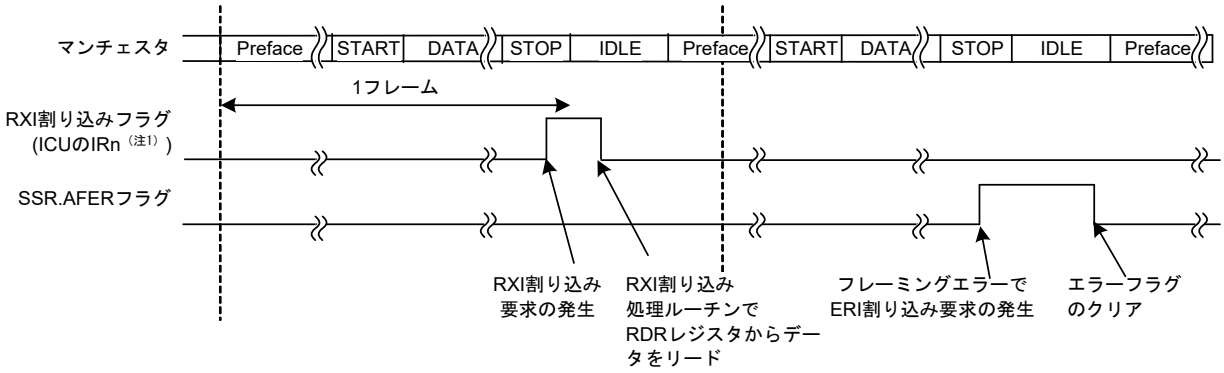
ジスタを通してシフトしていきます。受信データの 1 ビット内で 2 点のサンプリング点が同一である場合、マンチェスタコードエラーとして判断します。詳しくは、「33.5.11　マンチェスタモードにおけるエラー」(4) を参照してください。

パリティ機能がディセーブル (SCR1.PE ビット = 0) の場合、ストップビット検出に移行します。パリティ機能がイネーブル (SCR1.PE ビット = 1) の場合、パリティチェックを行います。パリティエラーを検出した場合、パリティエラーフラグ (APER) をアサートしその後、ストップビット検出に移行します。

ストップビット検出では受信フレームのストップビット領域で以下をチェックします。

1 ビット内に 2 点のサンプリング点を持ち、2 点とも High であれば正常なストップビットと認識し RDR レジスタへデータを格納します。1 点でも Low であれば、異常なストップビットと判定しフレーミングエラーフラグ (AFER) をセットします。エラー検出時も異常データとして受信データは RDR レジスタへ格納します。

図 33.46 にマンチェスタモードの受信の動作例を示します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.46　マンチェスタデータ受信 (プリフェースあり)

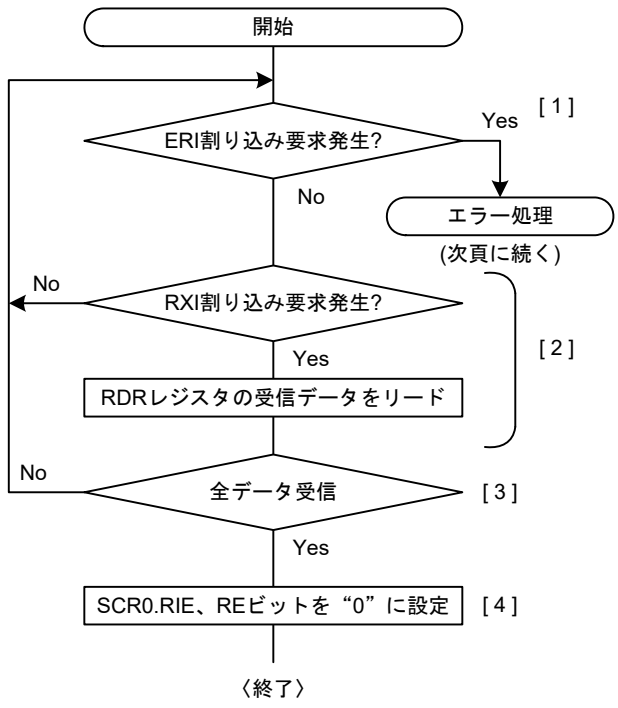
受信エラーを検出した場合の、SSR レジスタおよび MMSR レジスタの各ステータスフラグの状態と RXD 入力の処理に関しては、「33.5.11　マンチェスタモードにおけるエラー」を参照してください。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、APER、MCER、SYER (注 2)、PFER (注 2)、SBER (注 2) フラグをクリアしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 33.47、図 33.48 にシリアル受信のフローチャートの例を示します。

注 2.　対応するイネーブルビットが “1” の場合有効となります



[1] 受信エラー処理：
受信エラーが発生したときには、ERI割り込みが発生します。所定のエラー処理を行い、受信エラーフラグ(AFER, APER, ORER, MCER, SBER, SYER, PFER)をすべてクリアしてください。受信エラーフラグ(AFER, APER, ORER, MCER, SBER, SYER, PFER)のいずれかが“1”に設定された状態では受信を再開できません。

注．PFER、SYER、SBER フラグはそれぞれイネーブルビット (MMCR.PFERIE、SYERIE、SBERIE) を持っています。イネーブルビットが無効 (= 0) の場合、フラグ値は通信動作に影響しないので、必要に応じでエラー処理を行ってください。

[2] RXI割り込みルーチンで、RDR レジスタの受信データを1回読み出します。

[3] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RXI割り込みルーチンでRDR レジスタの受信データ値を読み出します。DMACまたはDTC を起動し、RDR レジスタの受信データ値を読み出すことも可能です。

[4] SCR0.RIE、RE ビットに“0”を書き込んでください。

図 33.47　マンチェスタ受信フローチャート例 (通常)

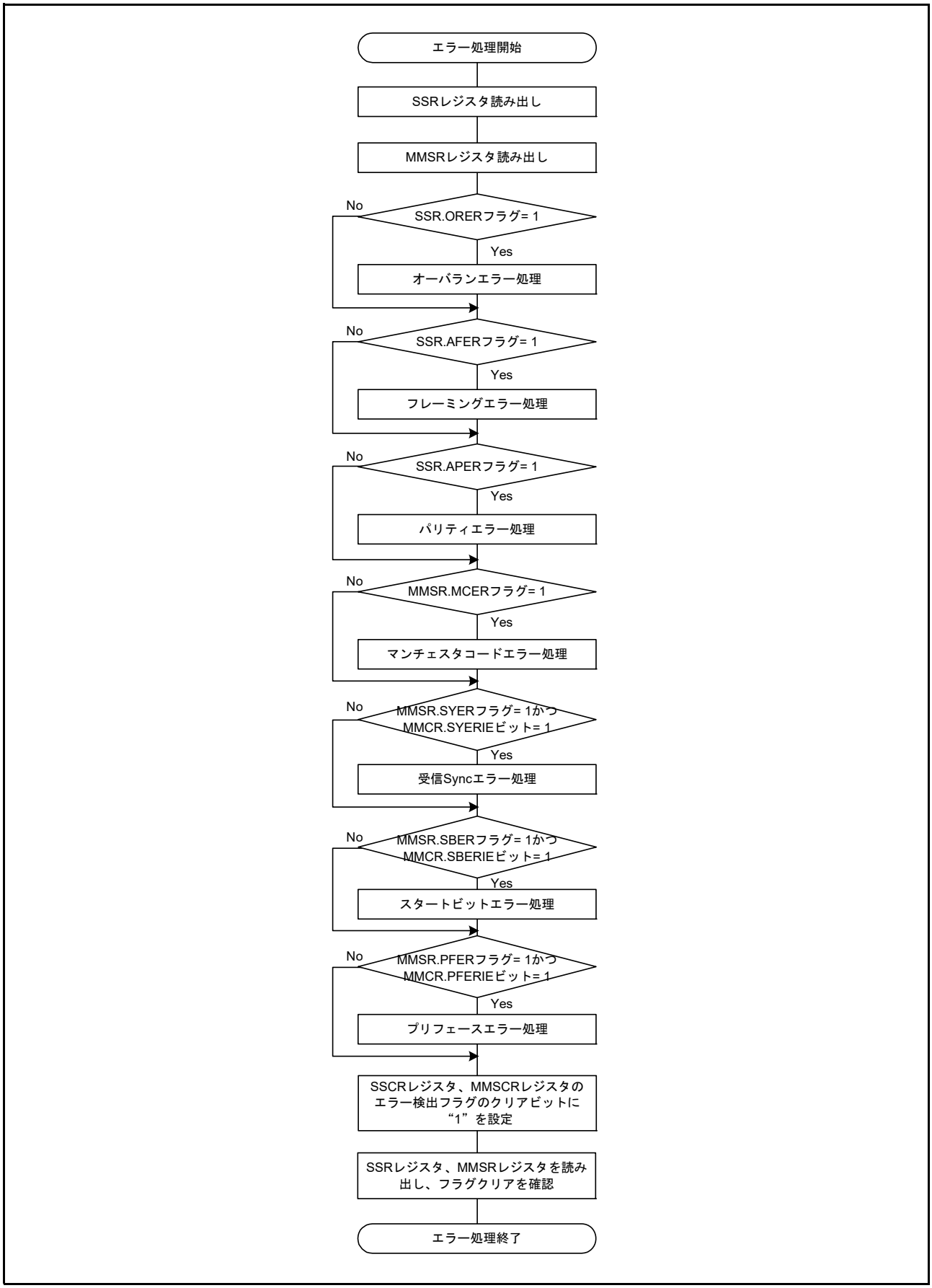


図 33.48　マンチェスタデータ受信フローチャート例 (エラー時)

33.5.8　マルチプロセッサビット使用時の動作

マルチプロセッサモード使用時のマンチェスタモードの動作については、「33.4　マルチプロセッサ通信機能」(1) と同じ動作になるので、そちらを参照してください。

マンチェスタモード時はフレームフォーマットにプリフェース、スタートビットを付加した形で読み替えてください。受信時のフローチャート (図 33.31) のエラー時処理については、マンチェスタモード時は図 33.48 を参照してください。各種エラー検出時の動作状態は、表 33.37 を参照してください。

33.5.9　受信リタイミング

マンチェスタコードがビット中央にエッジを持つことを利用して、そのビット中央エッジごとにタイミング補正を行う機能です。

受信リタイミング機能はレジスタ MMCR.SADJE ビットの設定によって、ON/OFF 設定が可能です。

受信リタイミング機能 OFF 時 (MMCR.SADJE ビット = 0) はリタイミングが行われないため、内部クロックと RXD 入力のずれが蓄積され、受信マージンが低下します

受信リタイミング機能 ON 時 (MMCR.SADJE ビット = 1) はプリフェース領域、スタートビット領域 (注 1) およびデータ領域 (ストップビットを除く) でタイミング補正を行います。

注 1.　スタートビット領域に関して「プリフェース長 = 0」かつ「スタートビット 3 ビット」設定時はリタイミング対象外です。

例としてオーバサンプリング 16 倍設定時の受信リタイミングを示します。

RXD 入力のエッジを予定受信サイクルの 2 ～ 4 サイクル前に検出した場合、Sampling CLK で 1 サイクル受信処理を短縮します。

RXD 入力のエッジを予定受信サイクルの 2 ～ 3 サイクル後で検出した場合、Sampling CLK で 1 サイクル受信処理を伸長します (クロックとデータのずれが 2 サイクル以上あっても、1 ビットあたりの補正幅としては 1 サイクルずつ補正します)。

図 33.49 に受信リタイミング範囲のイメージを示します。

図中の Tolerance 領域でエッジを検出した場合、補正は行わず、データを受け取ります。

図中の SyncJump 領域でエッジを検出した場合、補正を行い、データを受け取ります。

図中の SyncError 領域でエッジを検出した場合、補正は行わず、異常データとしてデータは受け取ります。

また、マンチェスタコードエラー (1/4 位相と 3/4 位相のサンプリングポイントでデータが一致した場合) はコードエラーとして値を受け取ります。

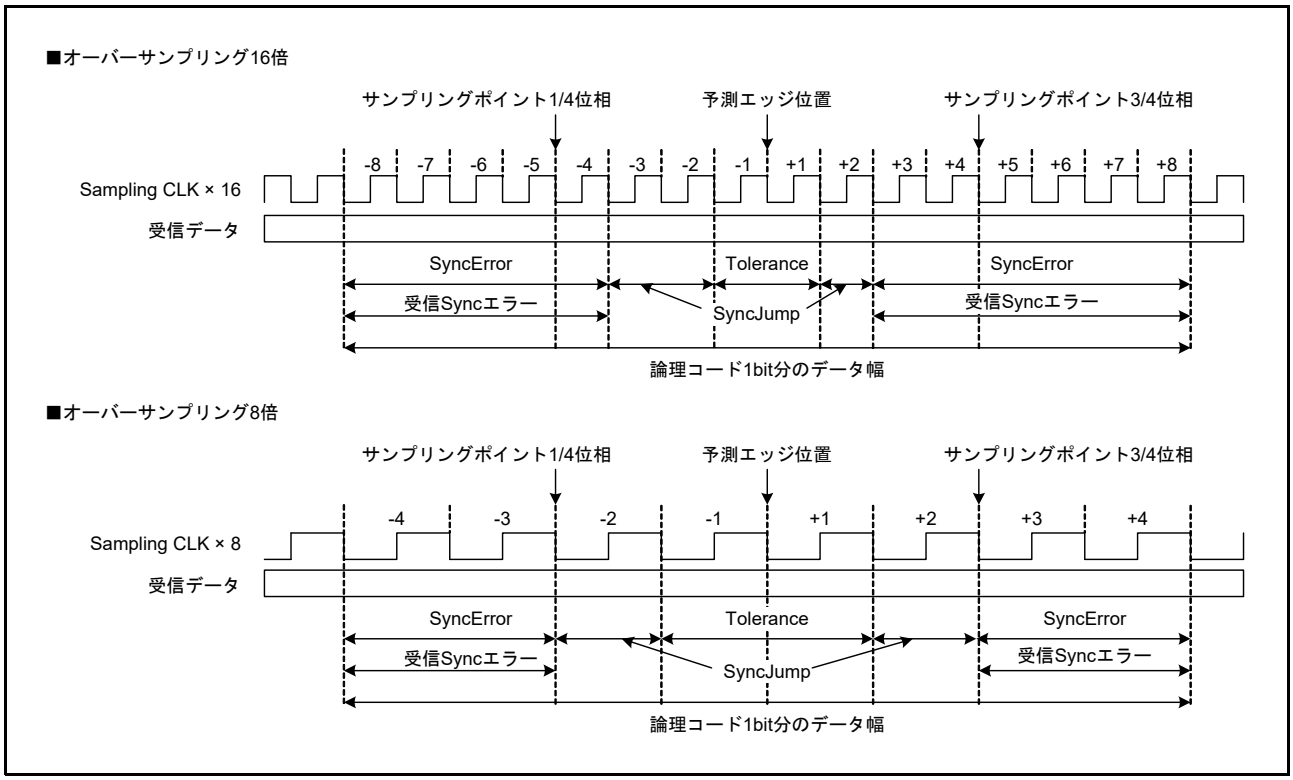


図 33.49　受信リタイミング範囲イメージ

33.5.10　マンチェスタコードの極性設定

マンチェスタモード制御レジスタ (MMCR) で、マンチェスタコードの極性設定が可能です。

送受信で別々に設定することが可能で、送信は MMCR.ENCS ビット、受信は MMCR.DECS ビットにて設定することができます。

マンチェスタコードの極性設定の有効範囲はプリフェース領域、データ領域、パリティ / マルチプロセッサ領域となります。

マンチェスタコードの極性を初期設定 (ENCS/DECS ビット = 0) で処理した場合、論理コード 0 をマンチェスタコードで 0 → 1 遷移、論理コード 1 をマンチェスタコードで 1 → 0 遷移となりますが、設定を変更すると (ENCS/DECS ビット = 1)、論理コード 0 をマンチェスタコードで 1 → 0 遷移、論理コード 1 をマンチェスタコードで 0 → 1 遷移となります。設定と動作イメージを**図 33.50** に示します。

また、データ領域に関しては上記機能とは別に送受信データインバート機能 (SCR3.DINV ビット) で送受信データを反転することできます。マンチェスタコードの極性設定 (MMCR.ENCS/DECS ビット) と送受信データインバート機能 (SCR3.DINV ビット) は、各々設定可能なので両方を反転 (MMCR.ENCS/DECS ビット = 1、SCR3.DINV ビット = 1) にした場合、両方の設定の有効範囲になっている送受信データは初期状態 (反転 + 反転→正転) となります。

スタートビット領域は、上記とは別なレジスタで極性を設定することが可能です。

設定レジスタが異なるため、上記のマンチェスタコードの極性設定の影響は受けません。

スタートビット領域の設定については、**「33.5.1　フレームフォーマット」**(2) を参照してください。

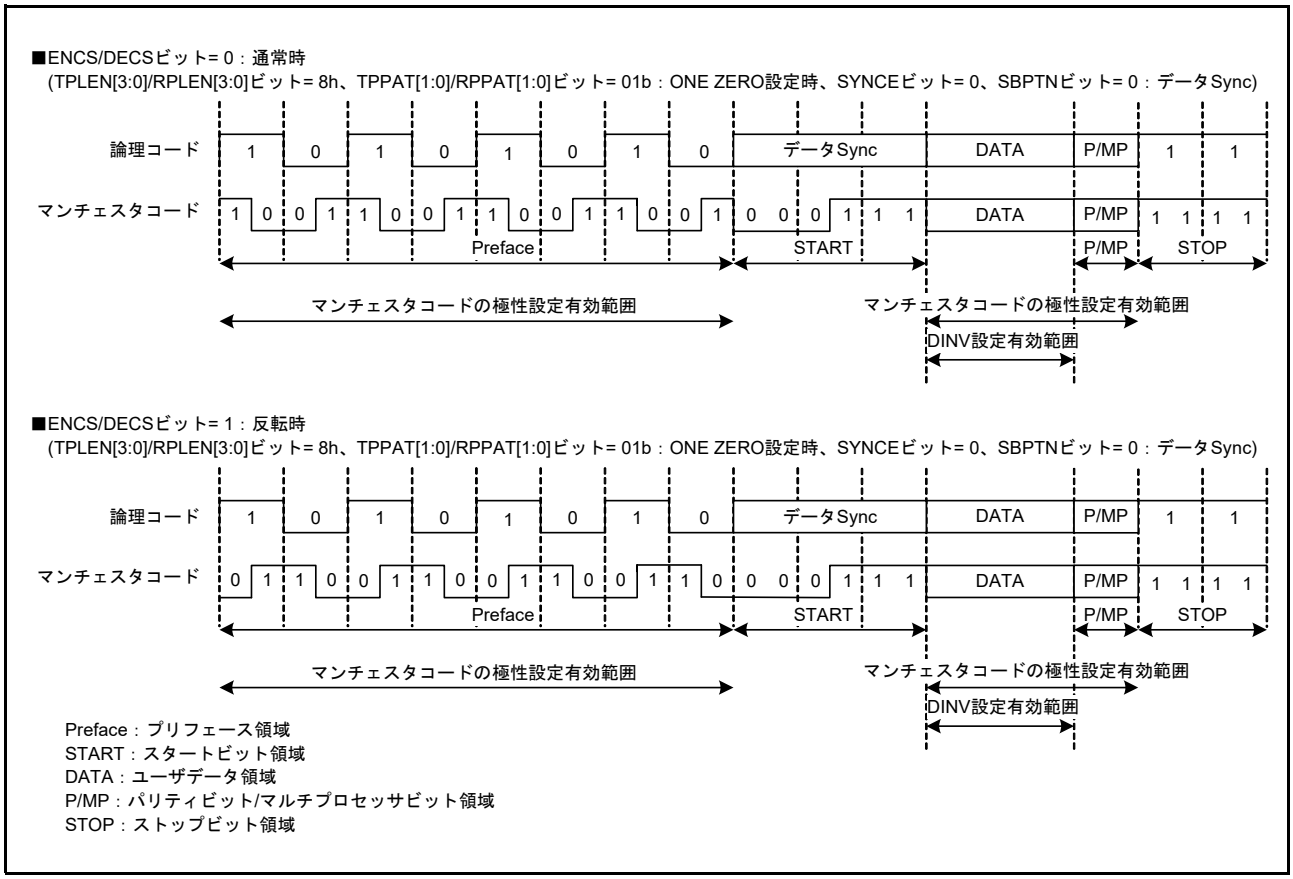


図 33.50　マンチェスタコードの極性設定有効範囲

33.5.11　マンチェスタモードにおけるエラー

マンチェスタモードでは、エラーに以下の種類があります。

(1) パリティエラー
(2) オーバランエラー
(3) フレーミングエラー
(4) マンチェスタコードエラー
(5) プリフェースエラー
(6) スタートビットエラー
(7) 受信 Sync エラー

(1) ～ (3) のエラーに関しては、調歩同期式モードと同内容なので、**「33.3.9　シリアルデータの受信 (調歩同期式モード)」** (1) を参照してください。

各種エラーは各領域でその判定を行いますが、フラグや動作への反映は、STOP ビットの 3/4 ビットサンプリングのタイミングで行います。プリフェースエラーかスタートビットエラーを検出した場合は、以降のデータを受信しません。したがって、その他のエラー検出も行われず、エラーフラグは以前の情報を保持します。

エラーを検出した場合のシリアルステータスレジスタの状態と RDR レジスタへデータセットするかどうかの判定を**表 33.35** に示します。また、マンチェスタフレームの各領域で検出可能なエラーを**表 33.36** に示します。また、以前のフレームにエラーが検出されていた場合は、データを受信しませんが、プリフェース領域とスタートビット領域のエラーはそのフラグを更新します。この場合のフラグと動作を表したものを**表 33.37** に示します。

(4)　マンチェスタコードエラー

マンチェスタコードエラーは、マンチェスタコードのエラーを検出した場合にセットするエラーです。マンチェスタコードではビットの中央にエッジ (遷移) がないことはありえません。

受信フレームのデータ領域 (パリティ / マルチプロセッサビットを含む) で受信した 1 ビットごとのデータに対して、1/4 と 3/4 のサンプリングポイントの値をチェックし、この 2 点の値が一致した場合マンチェスタコードエラーと判定します。

マンチェスタコードエラーを検出した場合、マンチェスタコードエラーフラグ (MMSR.MCER) をアサートします。

マンチェスタコードエラーが発生した場合、割り込み要因、イベント要因になります。エラーを検出した場合、フラグをクリアするまで次の受信を行いません。

(5)　プリフェースエラー

プリフェースエラーは、プリフェースパターン不一致または、プリフェース領域でマンチェスタコードエラーを検出した場合にセットするエラーです。プリフェースエラーを検出した場合、プリフェースエラーフラグ (MMSR.PFER フラグ) をアサートします。

また MMCR レジスタの設定でプリフェースエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.PFERIE ビット = 1 の場合、プリフェースエラーは、割り込み要因、イベント要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.PFERIE ビット = 0 の場合、プリフェースエラーが発生しても割り込み要因、イベント要因にはならず、次の受信を停止することもありません。ただしプリフェースエラーとして、MMSR.PFER フラグに通知は行われます。

(6)　スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域に対して設定されたスタートビットパターンと比較し、不一致だった場合にセットするエラーです。スタートビットエラーを検出した場合、スタート

ビットエラーフラグ (MMSR.SBER) をアサートします。

また MMCR レジスタの設定でスタートビットエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SBERIE ビット = 1 の場合、スタートビットエラーは、割り込み要因、イベント要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SBERIE ビット = 0 の場合、スタートビットエラーが発生しても割り込み要因、イベント要因にはならず、次の受信を停止することもありません。ただしスタートビットエラーとして、MMSR.SBER フラグに通知は行われます。

(7)　受信 Sync エラー (SyncError)

「33.5.9　受信リタイミング」で記載した受信リタイミングイネーブルを ON とすると受信リタイミング動作を行います。

受信リタイミング動作が行われている時に、受信リタイミングの範囲内 (**図 33.49** 内 SyncroError の領域) でエッジ検出しなかった場合にセットするエラーです。受信 Sync エラーを検出した場合、受信 Sync エラーフラグ (MMSR.SYER) をアサートします。受信リタイミング対象外の領域では受信 Sync エラーは検出されません。

受信リタイミング動作が行われる、プリフェース領域 (注 1)、スタートビット領域 (注 1、注 2) およびデータ領域 (ストップビットを除く) でチェックを行います

また、MMCR レジスタの設定で受信 Sync エラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SYERIE ビット = 1 の場合、受信 Sync エラーは、割り込み要因、イベント要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SYERIE ビット = 0 の場合、受信 Sync エラーが発生しても割り込み要因、イベント要因にはならず、次の受信を停止することもありません。ただし、受信 Sync エラーとして、MMSR.SYER フラグに通知は行われます。

注 1.　ビットの前半が High を期待するパターンで開始するフレームの場合は、リタイミング対象外です (プリフェース、およびスタートビット領域)。

注 2.　スタートビット領域において、「プリフェース長 = 0」かつ「スタートビット 3 ビット」設定時はリタイミング対象外です。また、スタートビット 3 ビット設定時のスタートビット領域の 1 ビット目と 2 ビット目もリタイミング対象外です。

表33.35　ステータスフラグの状態と受信データの処理(マンチェスタモード)

SSRレジスタのステータスフラグ			MMSRレジスタのステータスフラグ				受信データ	受信エラーの状態(ERI割り込み/イベント生成)
ORER	AFER	APER	MCER	SBER (注1)	PFER (注1)	SYER		
0	0	0	0	0	0	0	RDRへ転送	エラーなし
0	1	0	0	0	0	0	RDRへ転送	フレーミングエラー
0	0	1	0	0	0	0	RDRへ転送	パリティエラー
0	1	1	0	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー
0	0	0	1	0	0	0	RDRへ転送	マンチェスタコードエラー
0	1	0	1	0	0	0	RDRへ転送	フレーミングエラー+マンチェスタコードエラー
0	0	1	1	0	0	0	RDRへ転送	パリティエラー+マンチェスタコードエラー
0	1	1	1	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー+マンチェスタコードエラー
1	0	0	0	0	0	0	消失	オーバランエラー
1	1	0	0	0	0	0	消失	オーバランエラー+フレーミングエラー
1	0	1	0	0	0	0	消失	オーバランエラー+パリティエラー
1	1	1	0	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー
1	0	0	1	0	0	0	消失	オーバランエラー+マンチェスタコードエラー
1	1	0	1	0	0	0	消失	オーバランエラー+フレーミングエラー+マンチェスタコードエラー
1	0	1	1	0	0	0	消失	オーバランエラー+パリティエラー+マンチェスタコードエラー
1	1	1	1	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー+マンチェスタコードエラー
0	上記エラー組み合わせ			0	0	1	RDRへ転送	上記エラー+受信Syncエラー (注2)
1				0	0	1	消失	上記エラー+受信Syncエラー (注2)
保持	保持	保持	保持	0	1	0	消失	プリフェースエラー (注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー (注3)
保持	保持	保持	保持	0	1	1	消失	プリフェースエラー (注3)+受信Syncエラー (注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー (注3)+受信Syncエラー (注2)

注1.　プリフェースエラーとスタートビットエラーは、同時に"1"にセットされません。
注2.　MMCR.SYERIE = 1の場合、SYER要因でERI割り込み/イベントが生成されます。
注3.　MMCR.PFERIE = 1およびMMCR.SBERIE = 1の場合に、対応するフラグセットされるとERI割り込み/イベントが生成されます。

表33.36　各領域で検出可能なエラー

	プリフェースエラー (PFER)	スタートビットエラー (SBER)	マンチェスタコードエラー (MCER)	受信Syncエラー (SYER)	パリティエラー (APER)	フレーミングエラー (AFER)
プリフェース領域	○	—	—(注1)	○(注2)	—	—
スタートビット領域	—	○	—	○(注2)	—	—
データ領域	—	—	○	○	—	—
パリティビット領域	—	—	○	○	○	—
マルチプロセッサビット領域	—	—	○	○	—	—
ストップビット領域	—	—	—	—	—	○

○：検出、—：未検出
注1.　プリフェース領域でマンチェスタコードエラーが発生した場合、プリフェースエラーになります。
注2.　受信Syncエラー検出の対象外の場合があります。詳細は「33.5.11　マンチェスタモードにおけるエラー」(7)の注記を参照してください。

表33.37　以前のフレームのエラー有無による動作状態およびマルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット=0の場合)

以前のフレーム	当該フレームの各領域					PFER IE	SBER IE	SYER IE	受信データ	エラーフラグ	割り込み	イベント
	プリフェース	スタートビット	データ	パリティビット	ストップビット							
エラーなし	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力しない	出力しない
						1					出力する	出力する
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—	消失	SBERセット(注1)	出力しない	出力しない
							1				出力する	出力する
	SYERあり、PFERなし	エラーなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない	出力しない
								1	消失		出力する	出力する
	エラーなし	SYERあり、SBERなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない	出力しない
								1	消失		出力する	出力する
	エラーなし	エラーなし	SYERあり		エラーなし	—	—	0	RDRへ転送	SYERセット	出力しない	出力しない
								1			出力する	出力する
	エラーなし	エラーなし	MCERあり		エラーなし	—	—	—	RDRへ転送	MCERセット	出力する	出力する
	エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—	RDRへ転送	APERセット	出力する	出力する
	エラーなし	エラーなし	—	—	AFERあり	—	—	—	RDRへ転送	AFERセット	出力する	出力する
	エラー含むORERあり					—	—	—	消失	セットする(注2)	出力する	出力する
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし、ORERあり	—	—	—	消失	ORERセット	出力する	出力する
エラーあり(注3、注6)	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力する(注4)	出力しない(注5)
						1						
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—		SBERセット(注1)		
							1					
	SYERあり、PFERなし	エラーなし	—	—	—	—	—	0		SYERセット		
								1				
	エラーなし	SYERあり、SBERなし	—	—	—	—	—	0		SYERセット		
								1				
	エラーなし	エラーなし	SYERあり		エラーなし	—	—	0		セットしない		
								1				
	エラーなし	エラーなし	MCERあり		エラーなし	—	—	—				
	エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—				
	エラーなし	エラーなし	—	—	AFERあり	—	—	—				
	エラー含むORERあり					—	—	—				
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし、ORERあり	—	—	—				

注1. SYERもあった場合は、SYERフラグもセットされ、他の動作は表のとおりです。
注2. ORER含む、その他のエラーフラグをセットします。
注3. STOPビット判定前にエラー要因が取り除かれ、フラグがクリアされた場合は、上記の以前のフレームにエラーなしと同じ動作となります。
注4. ERIエラーはレベル出力のため、当該フレームのエラー有無にかかわらず、以前のフレームのエラーによりアクティブのままとなります。
注5. ERIイベントはエラー要因が継続して発生しているため、当該フレームのエラー有無にかかわらず、新たに出力しません。
注6. MMSR.PFER、SBER、SYERフラグについては、各ENビットがディセーブル設定時はエラーなしとして扱います。

表33.38　マルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット= 1の場合)

MPB (注1)	当該フレームの各領域					PFERIE	SBERIE	SYERIE	受信データ	エラーフラグ	割り込み	イベント
	プリフェース	スタートビット	データ	パリティビット	ストップビット							
1	エラーなし	エラーなし	—	—	—	—	—	—	RDRへ転送	エラーあればそれを反映	出力する (注2)	出力する (注2)
	PFERなし、SYERあり (注3)	SBERなし、SYERあり (注3)	—	—	—	—	—	0				
								1	消失	セットしない	出力しない	出力しない
	PFERあり	エラーなし	—	—	—	—	—	—				
	エラーなし	SBERあり	—	—	—	—	—					

注1.　受信したMPBフラグ= 0なら受信せず、表の受信データ消失と同じ動作となります。
注2.　エラーがない場合はRXIの割り込みやイベントを出力、エラー検出の場合はERIの割り込みやイベントを出力します。
注3.　SYERがプリフェース領域かスタートビット領域で検出された場合、MMCR.SYERIEビットによってエラーとして扱うかの動作が変わります。

33.6　HBS サポートモード

HBSCR.HBSE ビットを “1” にすると、ホームバスシステムが要求する信号波形 (AMI、50% デューティ、負論理) を生成するための負論理 RZI 符号に対応します。本機能は調歩同期式モードでのみ動作するため、設定や送信、受信フローは調歩同期式モードを参照してください。

33.6.1　HBS サポートモードの受信

HBS サポートモードの受信では、RXDn 端子からの入力の立ち下がりエッジを検出し、スタートビットと認識した以降の信号を受信します。設定したビットレートに従って 1 フレーム分のサンプリングを行い、STOP ビットまでエラー無く正しく受信できた場合、受信データレジスタ RDR にデータ値を格納します。

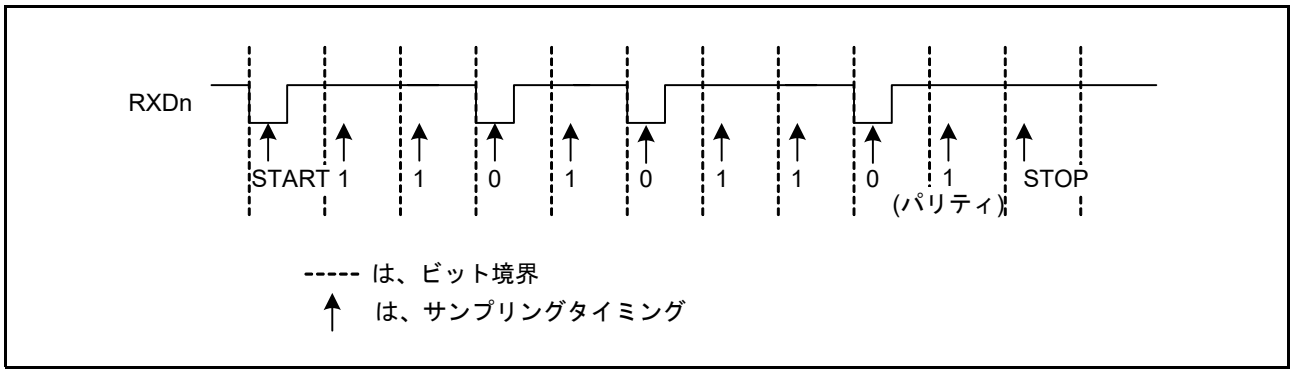


図 33.51　HBS サポートモードの受信タイミング図

HBS サポートモードの受信は、1 ビット期間の前半のパルスを取り込むために、1 ビットの 1/4 のタイミングでサンプリングする必要があります。サンプリングは、調歩同期式と同じくビットレートの 16 倍 (注 1) の周波数を基本クロックとして動作します。スタートビットの検出は RXD の立ち下がりから Low を基本クロックで連続 4 回検出することで行います。途中で High を検出した場合、ノイズとみなし次の立ち下がりを待ちます。

サンプリングタイミングを 1 ビット期間の 1/4 の位置にするため、SCR4.RTADJ ビットで受信サンプリングタイミング調整機能を有効にし、SCR4.RTMG[3:0] ビットを “1100b” にして、調整前のサンプリングタイミングであるビット中央から基本クロックの 4 クロック分前方に調整します。

受信サンプリングタイミング調整機能を使ってサンプリングタイミングを前後に調整することができるため、受信状態に応じてこのタイミングを調整することが可能になります。RTMG[3:0] ビット値を “1100b” から大きくするとサンプリングタイミングを前に、小さくすると後ろに移動させることができます。調整の詳細は「33.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン」を参照してください。

スタートビットの認識後は、設定したビットレートに従ったタイミングのサンプリングを行いますが、波形の Low 幅や High 幅のチェックは行いません。したがって、通常の調歩同期式波形でも受信可能です。

注 1.　HBS サポートモードでは SCR2.ABCS ビット = 0 かつ SCR2.ABCSE ビット = 0 のみサポートします。

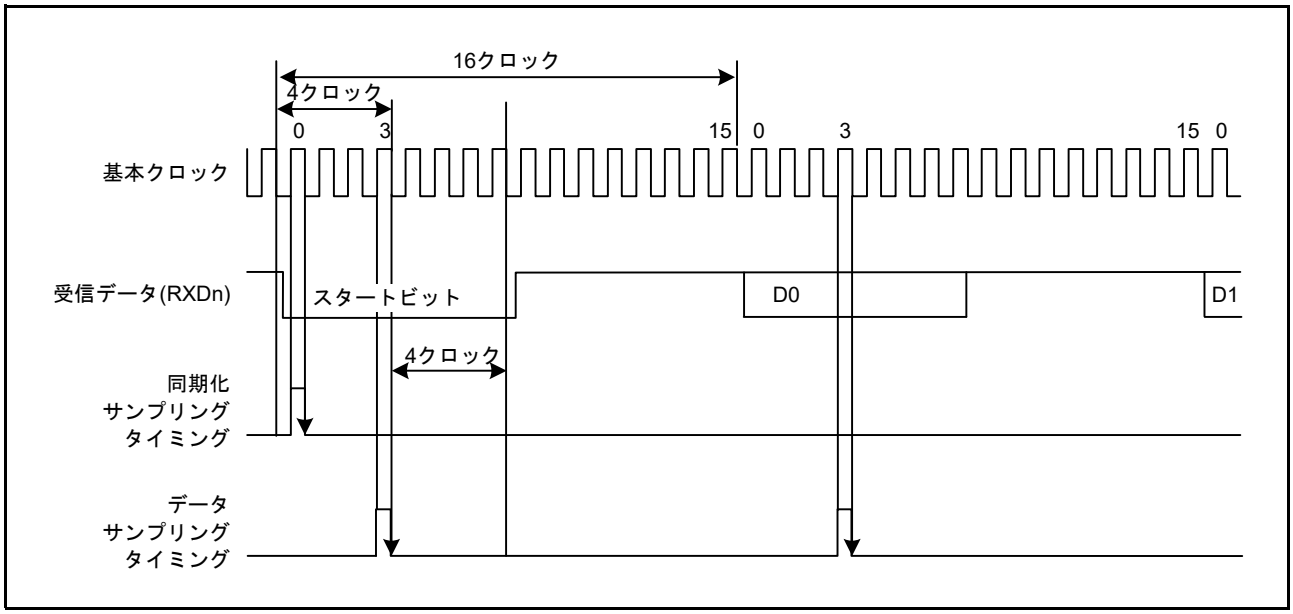


図 33.52　HBS サポートモードの受信サンプリングタイミング詳細

33.6.2　HBS サポートモードの送信

HBS サポートモードの送信は、データ “0” を 1 ビット期間の前半だけ Low パルスとして出力します。

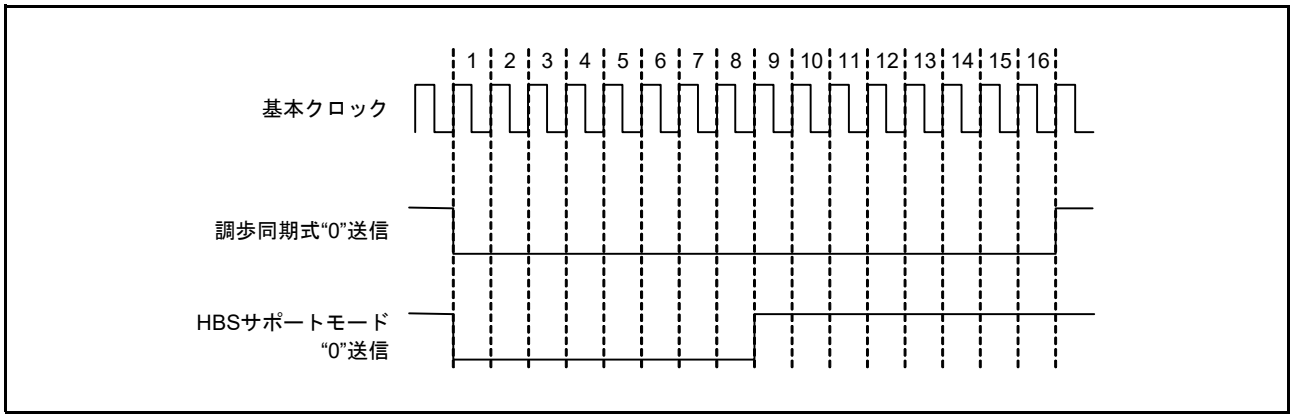


図 33.53　HBS サポートモードの送信波形

HBSCR.AOE ビット = 0 の場合はすべてのビットを TXDn 端子から出力し、HBSCR.AOE ビット = 1 の場合はデータ “0” を TXDAn 端子と TXDBn 端子から交互に出力します。どちらの送信端子からスタートビットの出力を開始するかを HBSCR.LPS ビットで選択します。

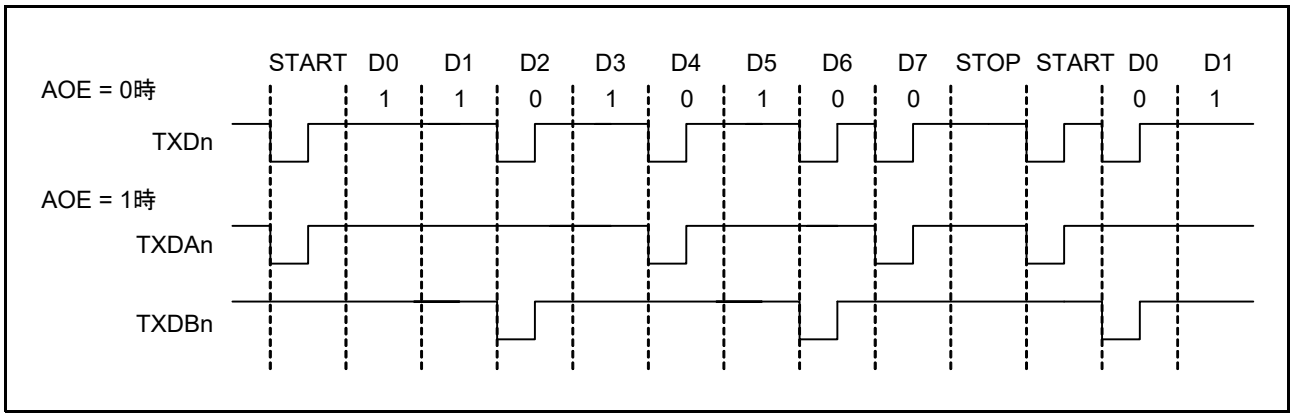


図 33.54　AOE ビットによる送信波形の違い (LPS ビット = 0 時)

図 33.54 は、HBSCR.AOE ビットの値による送信波形の違いの例です。AOE ビット = 0 のときは、TXDn 端子から波形が出力されますが、AOE ビット = 1 のときは、スタートビットを含むデータ “0” が TXDAn 端子と TXDBn 端子から交互に出力されます。

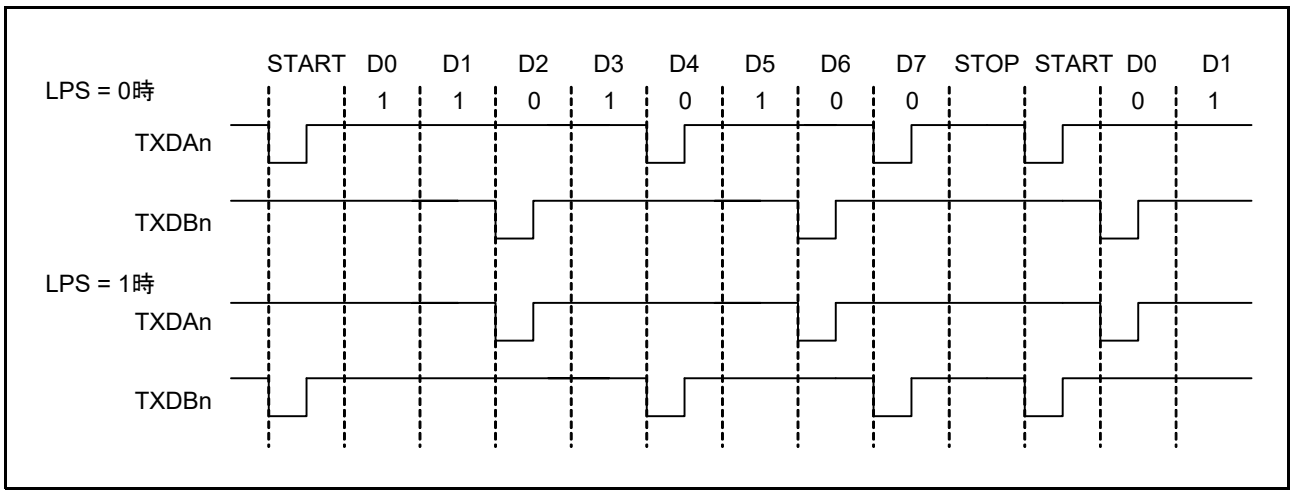


図 33.55　LPS ビットによる送信波形の違い (AOE ビット = 1 時)

図 33.55 は、HBSCR.LPS ビットの値による送信波形の違いの例です。LPS ビット = 0 のときは TXDAn 端子から、LPS ビット = 1 のときは TXDBn 端子からスタートビットの出力を開始し、データ “0” をそれぞれの端子から交互に出力します。次のフレームのスタートビットは、再び LPS ビットで指定した端子から出力開始します。

他のビットの設定に関わらず、HBSCR.HBSE ビット = 0 の場合は、TXDBn 端子は High になります。SCR0.TE ビット = 0 の場合は TXDn/TXDAn/TXDBn 端子ともハイインピーダンスになりますが、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットによって制御することができます。このとき、TXDn/TXDAn/TXDBn 端子とも同じ出力になります。

33.6.3 HBS サポートモードのレジスタ設定

HBS サポートモードは調歩同期式の 1 機能ですが、本機能ではサポートしていない設定があります。制御レジスタの各ビットを表 33.39 のように設定して使用してください。未記載のレジスタ、ビットは調歩同期式と同様の設定が可能です。

表33.39　HBSサポートモードの制御レジスタ設定値

レジスタビット	設定値	備考
SCR0.DCME	0	データ一致検出機能無効で使用してください
SCR1.NFCS[2:0]	000b	ノイズフィルタ使用時はこの設定としてください
SCR1.HDSEL	0	TXDn端子での半二重通信は使用できません
SCR1.CTSE	0	CTS機能禁止で使用してください
SCR2.BRME	0	モジュレーション機能は使用できません
SCR2.ABCSE	0	基本クロック6サイクルで1ビットの設定は使用できません
SCR2.ABCS	0	基本クロック16サイクルで1ビットの設定のみ使用可能です
SCR3.CKE[1:0]	00b	内部クロック、出力なしで使用してください
SCR3.DEEN	0	RS-485 ドライバ機能は無効で使用してください
SCR3.FM	0	FIFOモードは無効で使用してください
SCR3.MOD[2:0]	000b	調歩同期式モードに設定してください
SCR3.RXDESEL	1	RXDn端子入力の立ち下がりエッジでスタートビットを検出して通信してください
SCR3.STOP	0	1ストップビットで使用してください
SCR3.DINV	0	データ反転せずに使用してください
SCR3.DDIR	1	LSBファーストで通信してください
SCR3.CHR[1:0]	10b	8ビット長で通信してください
SCR4.RTMG[3:0]	1100b	HBSサポートモードの受信時はこの設定にしてください 注.　有効パルスの中央タイミングです。必要な場合は調整可能です
SCR4.TTADJ	0	送信タイミング調整機能は無効で使用してください
SCR4.RTADJ	1	HBSサポートモードの受信時はこの設定にしてください

33.7　スマートカードインタフェースモードの動作

RSCI の拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

33.7.1　接続例

図 33.56 にスマートカード (IC カード) との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR0.TE ビット = 1、SCR0.RE ビット = 1 にすると、閉じた送信 / 受信が可能となり自己診断をすることができます。

RSCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

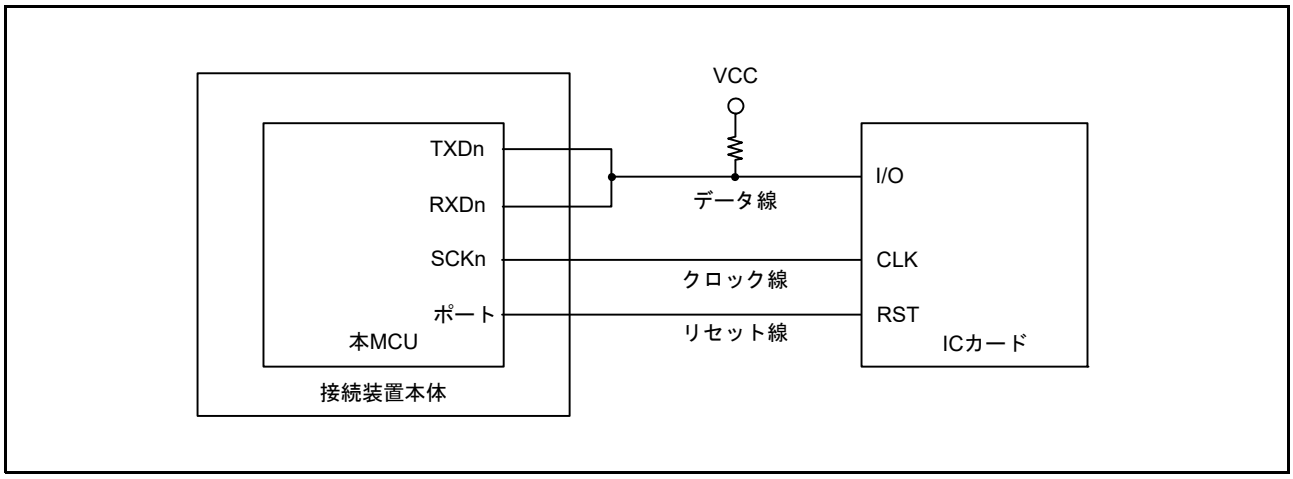


図 33.56　スマートカード (IC カード) との接続例

33.7.2　データフォーマット (ブロック転送モード時を除く)

図 33.57 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

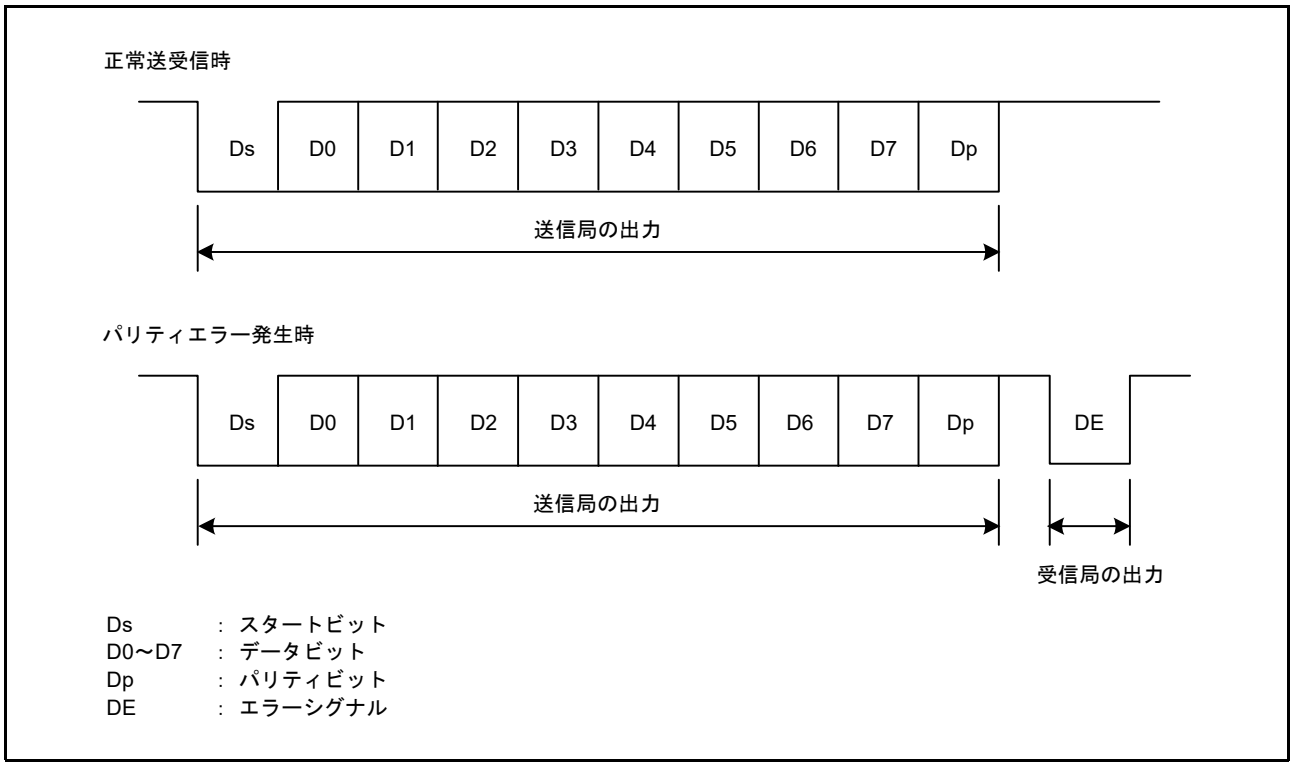


図 33.57　スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 33.58 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 33.58 の開始キャラクタでは、データは “3Bh” となります。

ダイレクトコンベンションタイプでは、SCR3.DDIR ビットを “1” に SCR3.DINV ビットを “0” にしてください。また、スマートカードの規定により偶数パリティとなるよう SCR1.PM ビットを “0” にしてください。

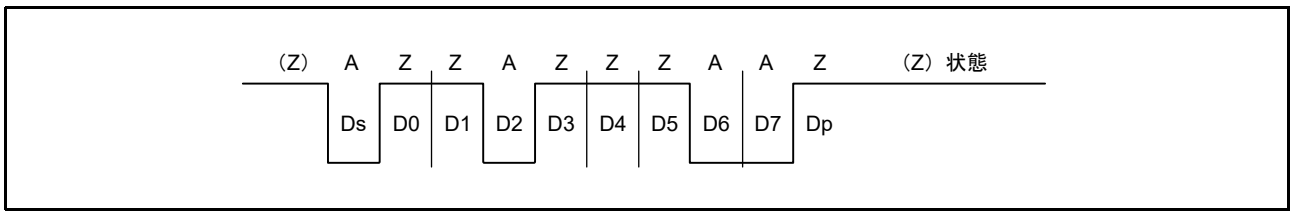


図 33.58　ダイレクトコンベンション
(SCR3.DDIR ビット = 1、SCR3.DINV ビット = 0、SCR1.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 33.59 の開始キャラクタでは、データは “3Fh” となります。

インバースコンベンションタイプでは、SCR3.DDIR ビットを “0” に SCR3.DINV ビットを “1” にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、DINV ビットはデータビット D7 ～ D0 のみ反転させます。このため、送受信とも SCR1.PM ビットを “1” にしてパリティビットを反転させてください。

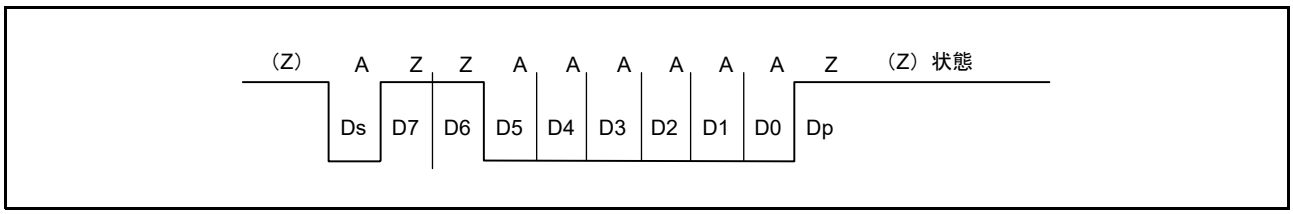


図 33.59　インバースコンベンション
(SCR3.DDIR ビット = 0、SCR3.DINV ビット = 1、SCR1.PM ビット = 1)

33.7.3　ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSR.APER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため “0” となります。

33.7.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCR2.BCP[2:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして同期化します。図 33.60 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ (\%)$$

M:　受信マージン(%)
N:　クロックに対するビットレートの比(N = 32, 64, 372, 256)
D:　クロックデューティ (D = 0～1.0)
L:　フレーム長(L = 10)
F:　クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

M = {0.5 – 1/(2 × 372)} × 100 (%) = 49.866 (%)

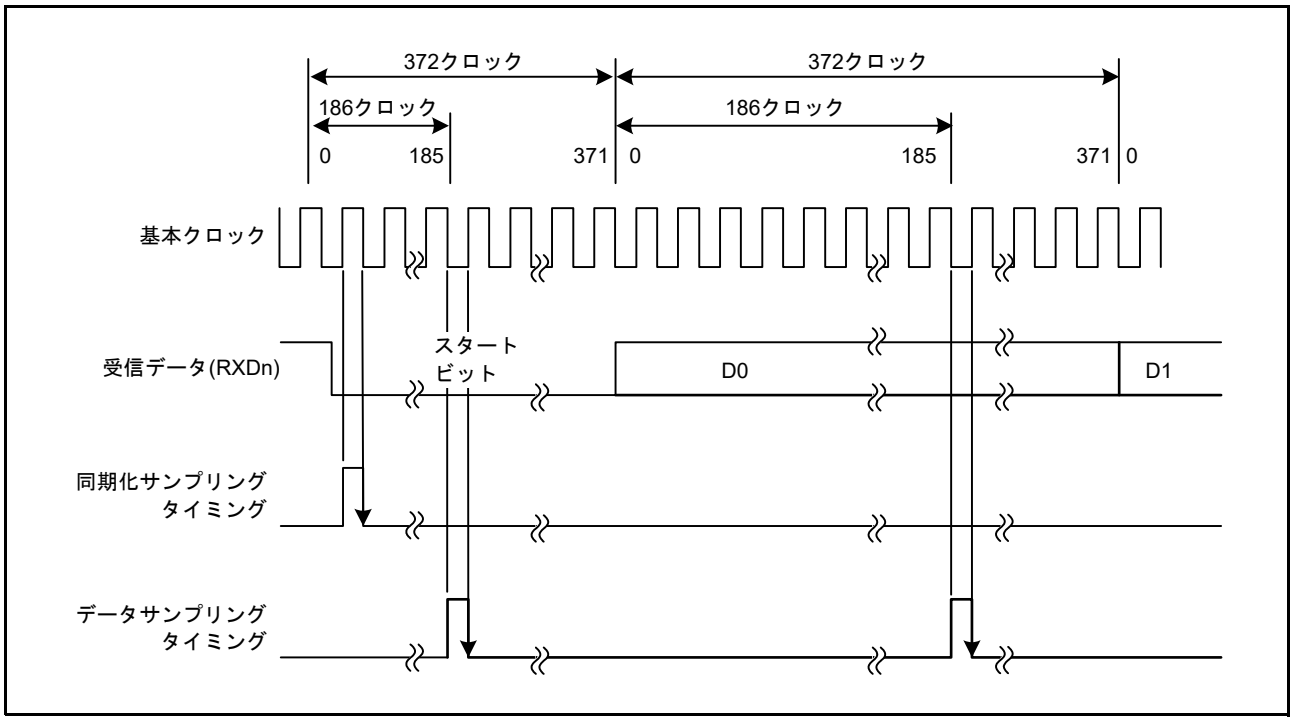
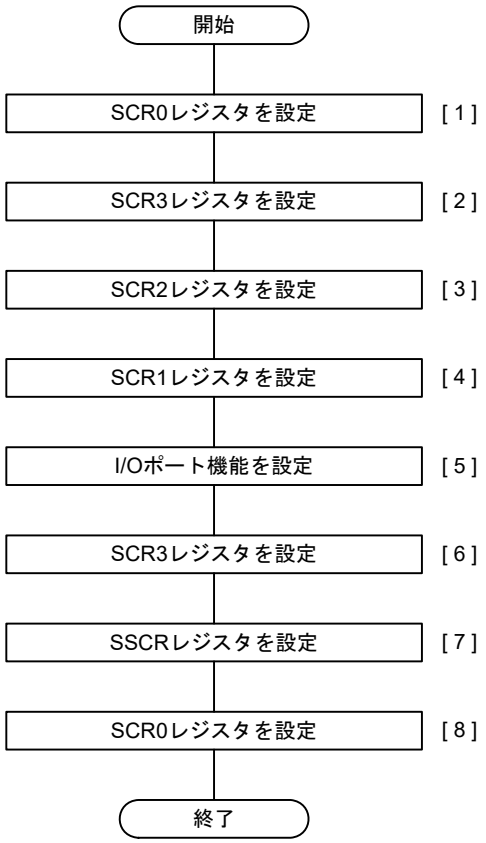


図 33.60　スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

33.7.5　RSCI の初期化 (スマートカードインタフェースモード)

データの送受信の前に、SCR0.TE ビットと SCR0.RE ビットに “0” を書き込み (SCR0 レジスタに初期値を書き込むでも可)、図 33.61 のフローチャート例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいては、SCR0.TIE、RIE、TE、RE、TEIE ビットを初期値にしてから変更してください。なお、RE ビットを “0” にしても RDR レジスタは初期化されません。また、送信モード時、TIE ビットは TE ビットと同時に “1” にしてください。すると TXI 割り込み要求を発生します。受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット = 1、RE ビット = 0 にしてください。受信動作の完了は、RXI 割り込み要求、SSR.ORER、あるいは APER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット = 0、RE ビット = 1 にしてください。送信動作の完了は SSR.TEND フラグで確認できます。



[1] SCR0.TEIE、TIE、RIE、TE、REビットを“0”にします。初期値から変更していない場合、本手順は省略できます。

[2] 通信モード(MOD[2:0]ビット= 001b)、BLKビット、GMビット、DINVビットを設定します。その他のビットは初期値を設定してください。

[3] クロック選択、ビットレートの設定をします。BRMEビットを“0”にしてください。

[4] ノイズフィルタ、通信端子状態の設定をします。NFEN、CTSEビットを“0”に、PEビットを“1”にしてください。

[5] TXDn、RXDn、SCKn端子のうち、必要な端子機能が有効となるようにI/Oポートを設定します。

[6] CKE[1:0]ビットを設定します。GMビットの値によって動作が変わりますが、CKE[0]ビットを“1”にした場合は、SCKn端子からクロックを出力します。

[7] SSCR.RDRFC、AFERC、APERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSCビットを“1”にし、対象フラグをクリアします。

[8] TEビットまたはREビットを“1”にします。また、割り込み許可ビット(TIE、RIEビット)を設定してください。自己診断以外はTEビットとREビットを同時に“1”にしないでください。

図 33.61　RSCI の初期化フローチャートの例 (スマートカードインタフェースモード)

図 33.62 は、前記フローチャートに従って、スマートカードインタフェースモードへ遷移させて、データ送信を行った場合のタイミング図です。図は SCR3.GM ビット = 0 の場合を示します。図に示すように、端子機能を SCKn 端子に設定した時点では、SCR3.CKE[0] ビットが “0” であるため SCKn 端子はハイインピーダンスです。また、TXDn 端子に設定した時点では SCR0.TE ビットが “0” であるため TXDn 端子はハイインピーダンスです。SCR3.CKE[0] ビット = 1 のクロック出力設定で SCKn 端子にクロック出力を開始し、SCR0.TE ビット = 1 の後、送信データのライトによって、データ送信を開始します。

スマートカードインタフェースモードでは、SCR0.TE ビット = 0 および SCR0.RE ビット = 0 の通信をしていない場合でも、クロック出力設定としていればクロックを出力し続けます。

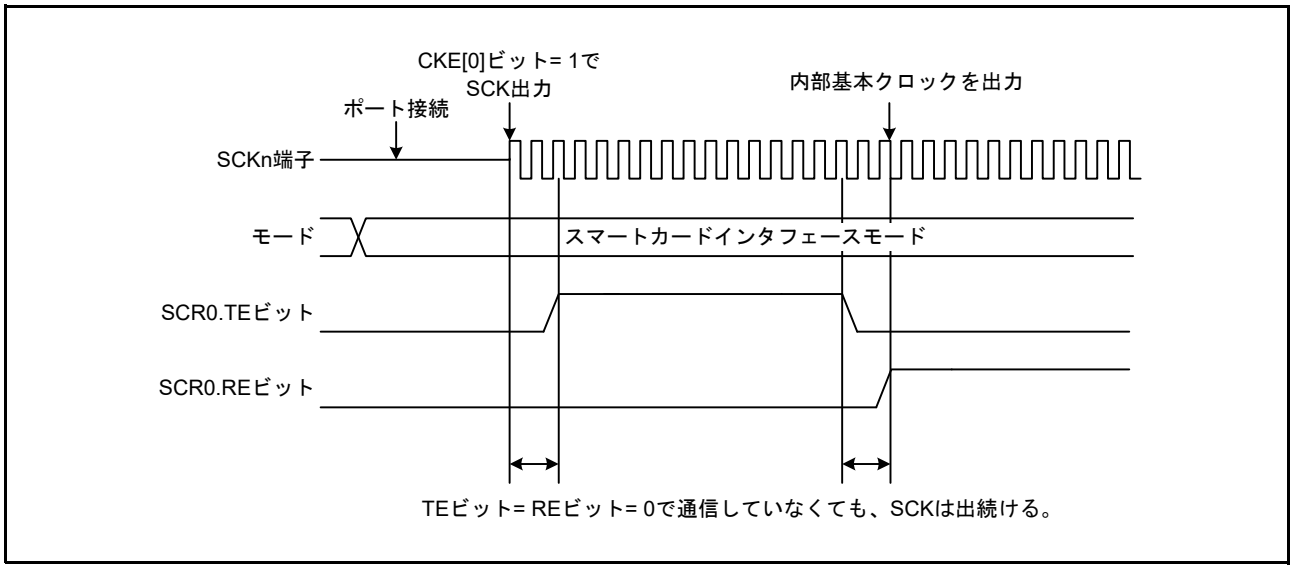
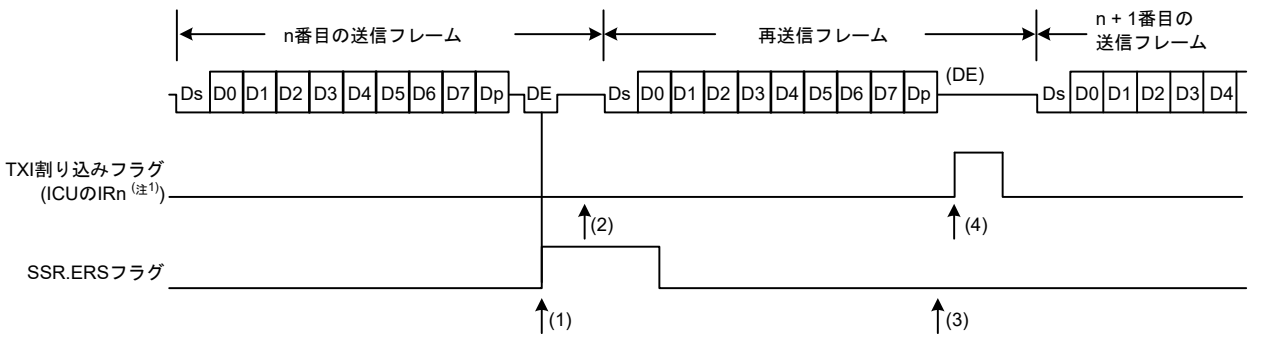


図 33.62　スマートカードインタフェースモード時のデータ送信タイミング例

33.7.6　シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 33.63 に示します。

(1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが “1” になります。このとき SCR0.RIE ビットが “1” であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
(2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
(3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
(4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR0.TIE ビットが “1” であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。



注1.　対応する割り込み要因番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.63　RSCI 送信モードの場合の再送信動作 (送信時の再送信動作)

送信処理フローの例を図 33.65 に示します。これら一連の処理は TXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。

送信動作では、TEND フラグが “1” にセットされると、SCR0.TIE ビットを “1” に設定しておくと TXI 割り込み要求を発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にはクリアされませんので、RIE ビットを “1” にし、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSCI の設定を行ってください。

DTC または DMAC の設定方法は「17.　DMA コントローラ (DMACAa)」、「18.　データトランスファコントローラ (DTCb)」を参照してください。

なお、SCR3.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 33.64 に

TEND フラグをセットするタイミングを示します。

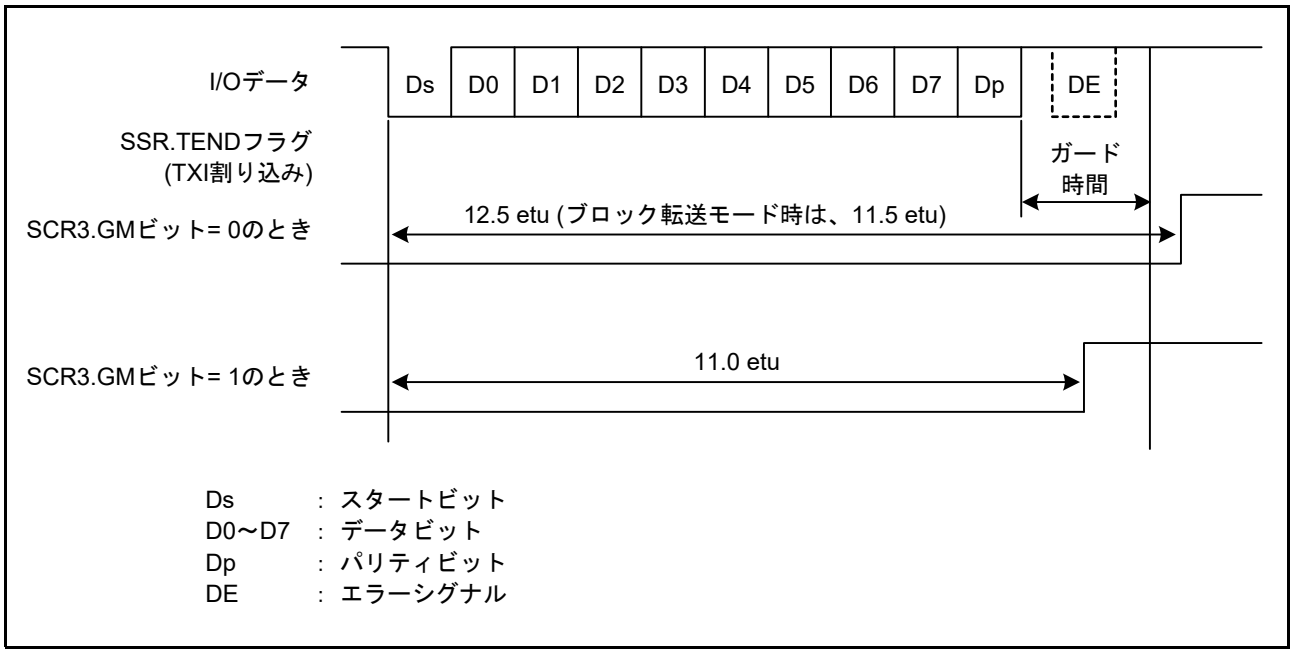


図 33.64　送信時の SSR.TEND フラグセットタイミング

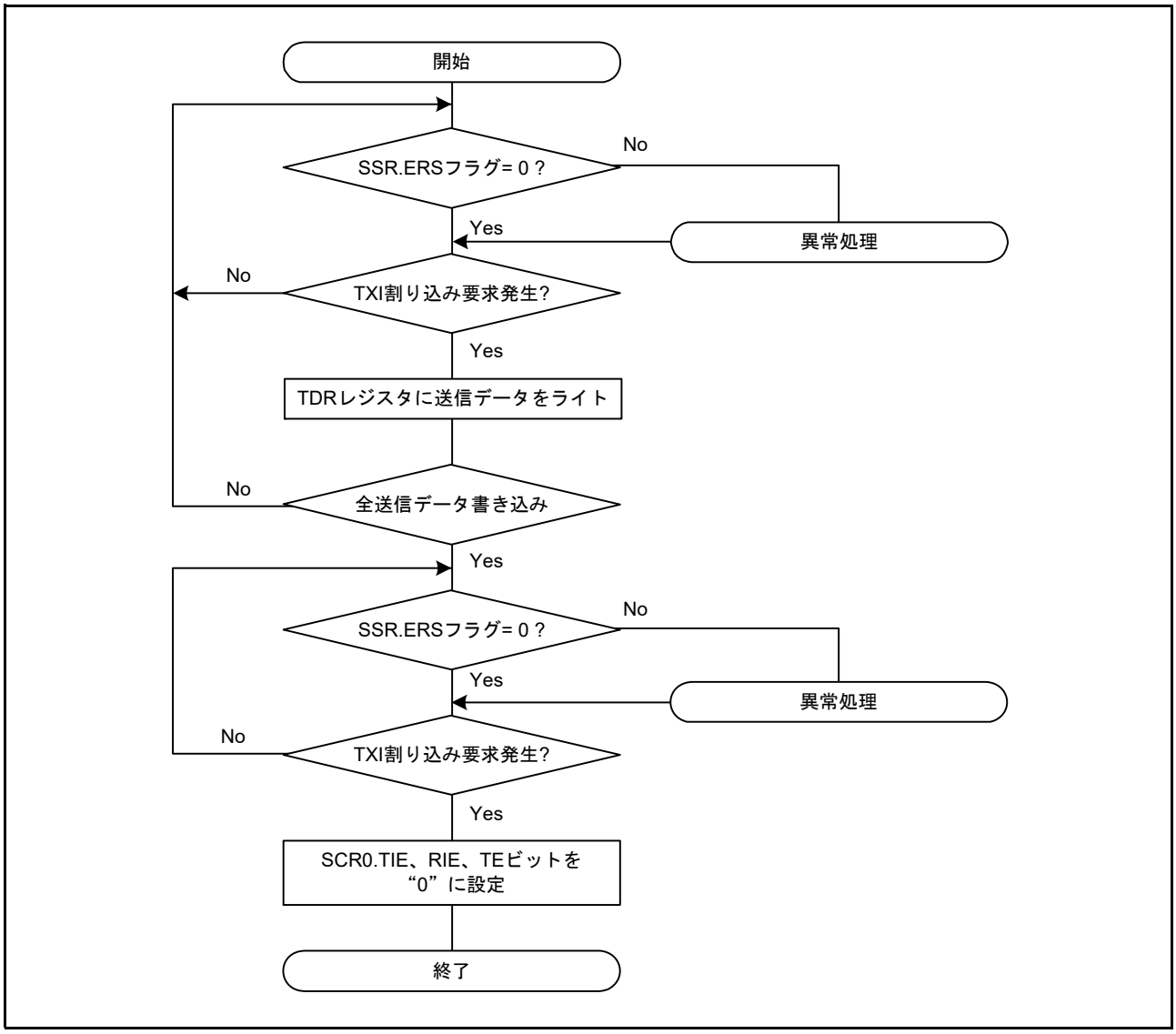
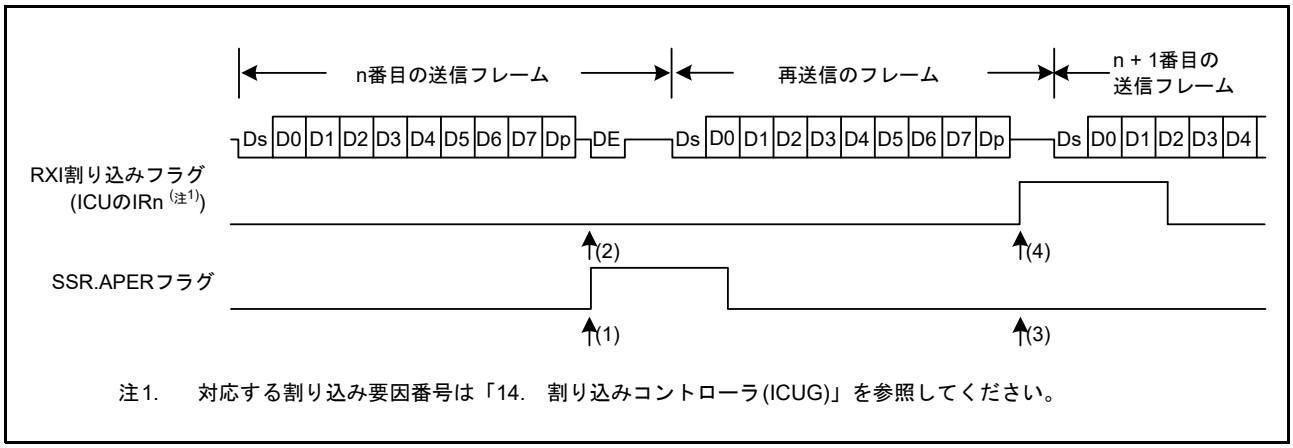


図 33.65　スマートカードインタフェース送信のフローチャート例

33.7.7　シリアルの受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 33.66 に示します。

(1) 受信データにパリティエラーを検出すると SSR.APER フラグが “1” になります。このとき、SCR0.RIE ビットが “1” であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに APER フラグをクリアしてください。
(2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
(3) パリティエラーが検出されない場合は、SSR.APER フラグはセットされません。
(4) 正常に受信を完了したと判断して、RIE ビットが “1” であれば、RXI 割り込み要求を生成します。



注1.　対応する割り込み要因番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.66　RSCI 受信モードの場合の再送信動作 (受信時の再送信動作)

受信フローチャートの例を図 33.67 に示します。

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを “1” にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、APER フラグのいずれかが “1” になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し APER フラグが “1” になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注．　ブロック転送モードの場合は、「33.3　調歩同期式モードの動作」を参照してください。

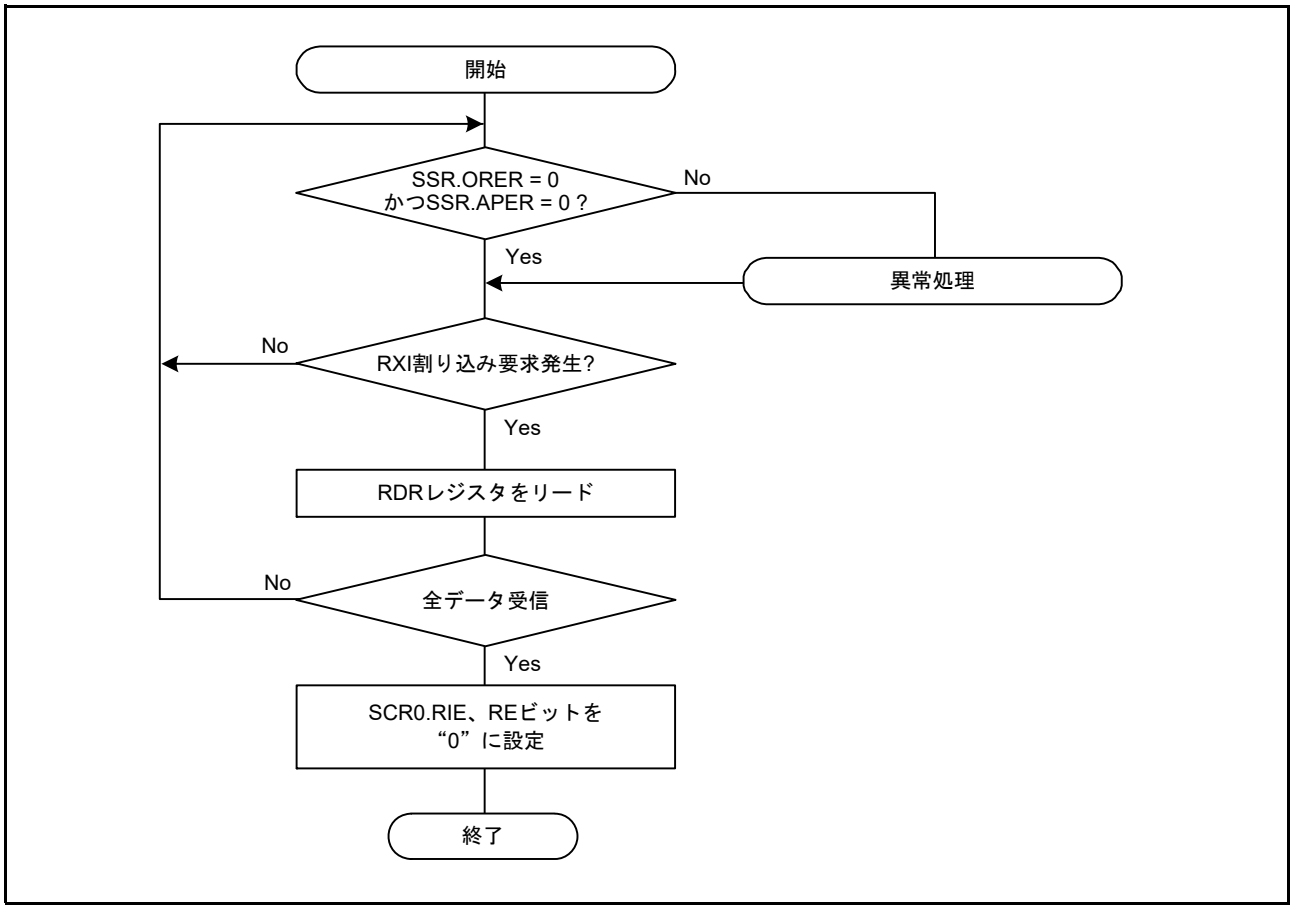


図 33.67　スマートカードインタフェース受信のフローチャート例

33.7.8　クロック出力制御

SCR3.GM ビットが “1” であるとき、SCR3.CKE[1:0] ビットによってクロック出力を制御することができます。制御の内容は、「33.2.8　制御レジスタ 3 (SCR3)」の SCR3.CKE[1:0] ビットの説明を参照してください。クロック出力の設定を行うと、「33.7.4　受信データサンプリングタイミングと受信マージン」に記載の基本クロックが出力されるため、クロックパルスの幅をビットレートの設定で指定した幅に保つことができます。ビットレートは、「33.2.7　制御レジスタ 2 (SCR2)」に記載しているように、SCR2.CKS[1:0] ビット、SCR2.BCP[2:0] ビット、BRR[7:0] ビットにより設定されます。

図 33.68 にクロック出力制御を説明したタイミングチャートを示します。SCR3.CKE[1] ビット = 0 とし、SCR3.CKE[0] ビットを制御した場合の例です。

SCR3.GM ビットが “0” の場合は、SCR3.CKE[0] ビットによる出力制御がすぐに SCKn 端子に反映されるため、SCKn 端子から意図しない幅のパルスが出力される可能性があります。

SCR3.GM ビットが “1” の場合は、SCR3.CKE[0] ビットによる出力制御は基本クロックの状態を元に制御するため、設定されたパルス幅を保ちます。

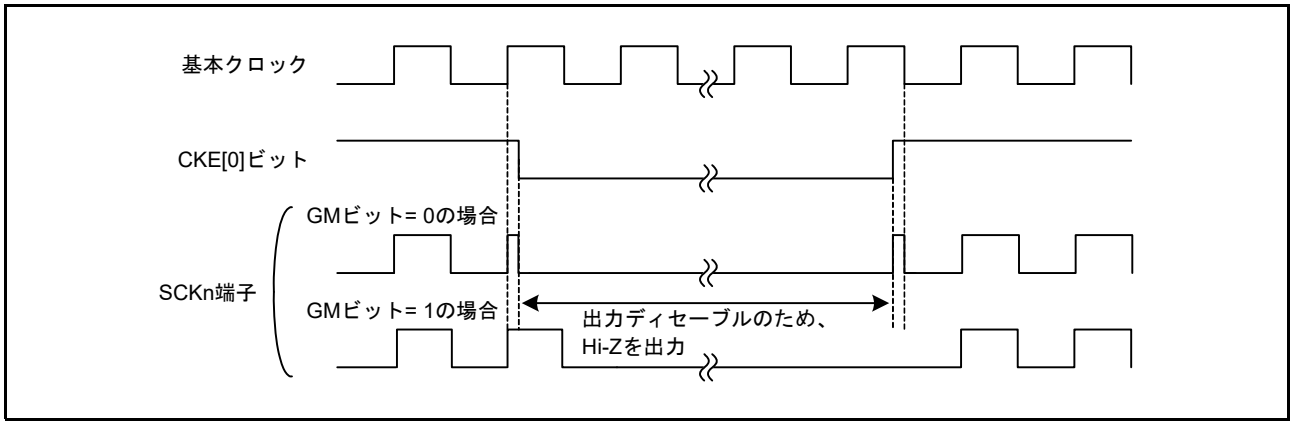


図 33.68　SCR3.GM ビットによるクロック制御の違いを表すタイミング図

33.8　拡張シリアルモードの動作

33.8.1　シリアル通信プロトコル

RSCI は、Start Frame、Information Frame から構成されるシリアル通信プロトコル (図 33.69) に対応することができます。SCR3.MOD[2:0] ビット = 110b にすることにより拡張シリアルモードになります。拡張シリアルモードは、Break Field 以外の送信 / 受信の制御は調歩同期式モードと同じ回路を使用しますので、通信の基本設定は調歩同期式モードと同様 (ただし SCR3.RXDESEL ビットは “1”) にしてください。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

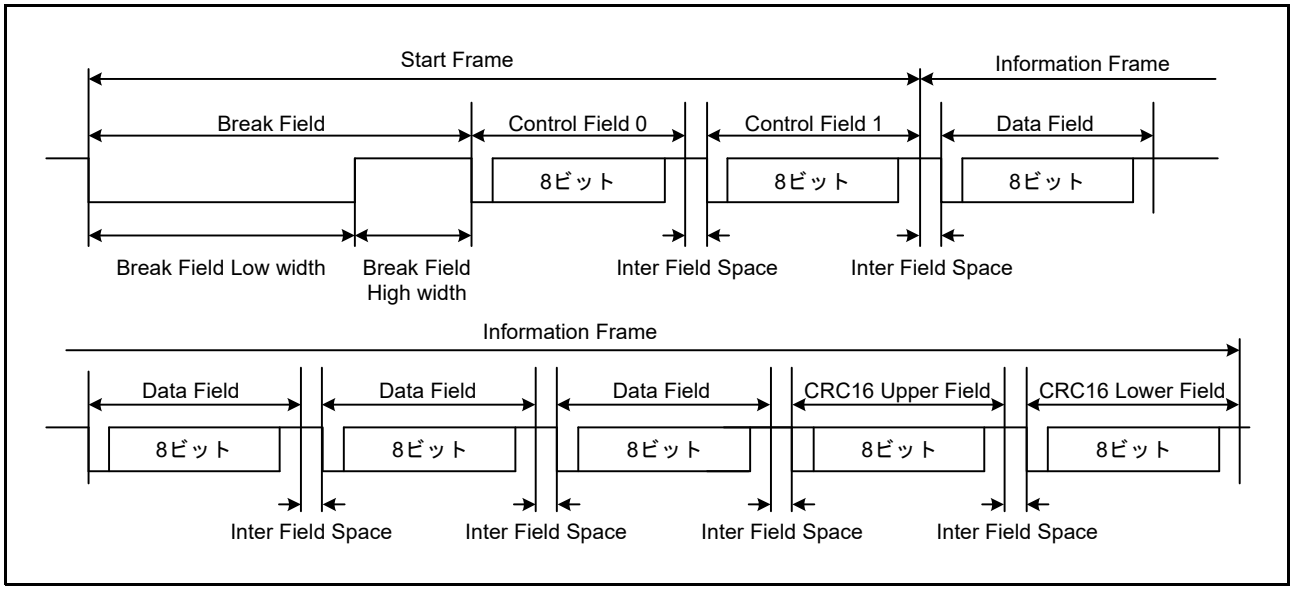


図 33.69　拡張シリアルモードのシリアル通信プロトコル

以降に拡張シリアルモード時の動作を説明します。本章の動作説明は、通信端子 (RXDn/TXDn) レベル反転機能を OFF (RINV ビット = TINV ビット = 0) の条件で記載しています。通信端子 (RXDn/TXDn) レベル反転機能 ON で使用する際は、RXD/TXD 信号レベルを反転して読み替えてください。

33.8.2 Start Frame 送信

図 33.70 に Break Field、Control Field 0 および Control Filed 1 で構成される Start Frame の送信時の動作例を示します (Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください)。

また、図 33.71 に Start Frame の送信を行うためのフローチャートを示します。

RSCI は、Start Frame 送信時、以下のように動作します。

(1) 調歩同期式モードの RSCI 初期化フロー (図 33.10) を参照して RSCI の初期設定をします。ただし、拡張シリアルモード時には、Break Field 前に TXI が出力することを避けるため、SCR0.TE ビットと TIE ビットを同時に “1” に設定しないでください。そのため、調歩同期式モードの RSCI 初期化フロー手順 [10] は以下の通り 2 段階に分けて設定してください。

- SCR0.TIE ビット以外の設定ビットを設定する (SCR0.TIE ビット = 0、SCR0.TE ビット = 1、かつ SCR0.RE ビット = 0)
- SCR0.TIE ビットを “1” にする

(2) TCST に “1” を書き込むと、拡張シリアルモジュール内のタイマがカウントを開始し、XCR2.BFLW[15:0] ビットに設定した期間、TXDn 端子から Low (Break Field) を出力します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。
なお、XCR1.TCST ビットに “0” を書き込むことで、Break Field の送出を中断できます。中断後は SCR0.TE ビット = 0 として送信状態も OFF にしてください。

(3) タイマカウント値が XCR2.BFLW[15:0] ビット設定値と一致するとカウントを停止し、TXDn 端子の出力を反転し、XSR0.BFOF フラグを “1” にします (注 1)。また、XCR0.BFOIE ビットが “1” の場合は、TXI 割り込みが発生します。

(4) BFOF フラグが “1” になっていることを確認した後、Control Field 0 のデータを送信します (注 2)。

(5) Control Field 0 のデータの送信が完了後、Control Field 1 データを TDR レジスタに書き込み、送信します。

(6) Control Field 1 のデータの送信が完了後、Information Frame の通信を行います。

注 1. XSR0.BFOF セット後、クリアしないまま XCR1.TCST ビットに “1” を書き込んだ場合、Break Field 送出完了タイミングで TXI 割り込みは出力されません。XCR1.TCST ビット書き込み前に XSR0.BFOF フラグをクリアしてください。

注 2. LIN 通信は Break Field 送出完了から次のデータ送信開始まで、1bit 長以上の Break delimiter (IDLE 期間) が必要です。そのため、Break Field 送出完了後、Break delimiter 長をカウントします。Break delimiter 長カウント中に送信データを書き込んだ場合、Break delimiter 長カウント完了まで送信開始しません。Break delimiter 長カウント完了後にデータ書き込んだ場合、通常のデータ送信と同じタイミングで送信開始します。
Break Field 送出後の Break delimiter 長カウント時間 : SCR3.STOP ビット = 0 時、1 ～ 2bit 長
SCR3.STOP ビット = 1 時、2 ～ 3bit 長

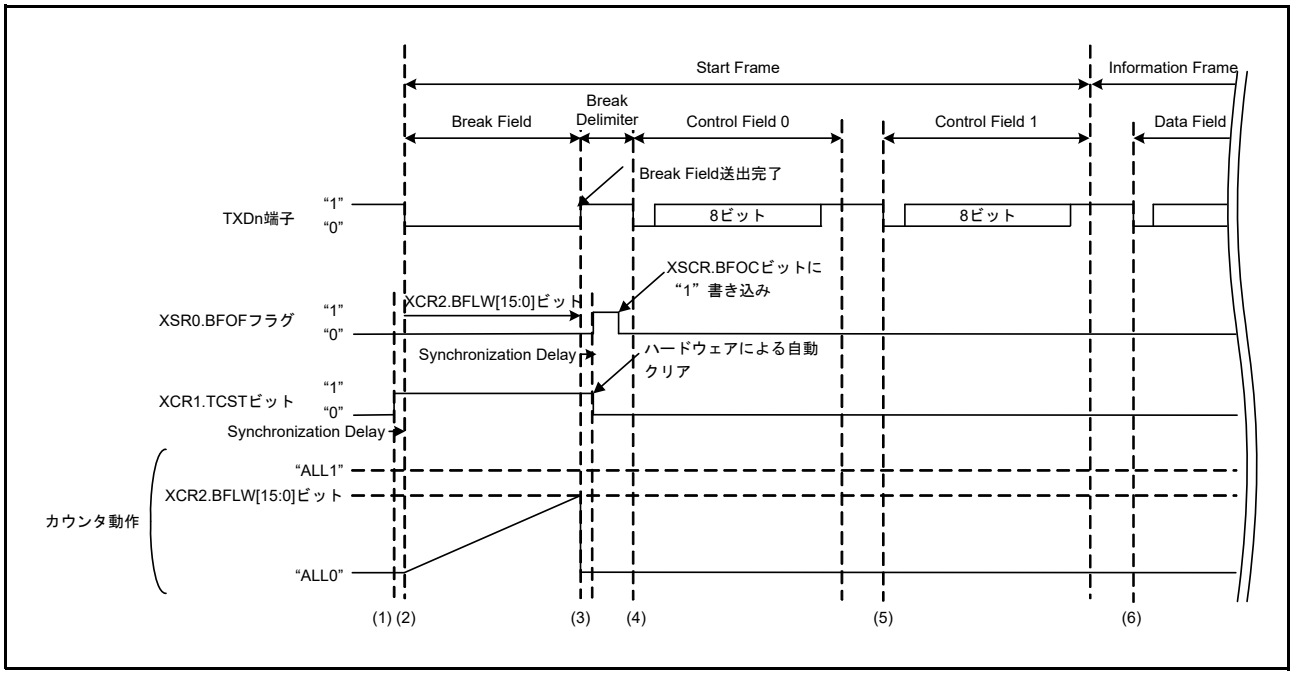


図 33.70　Start Frame 送信時の動作例

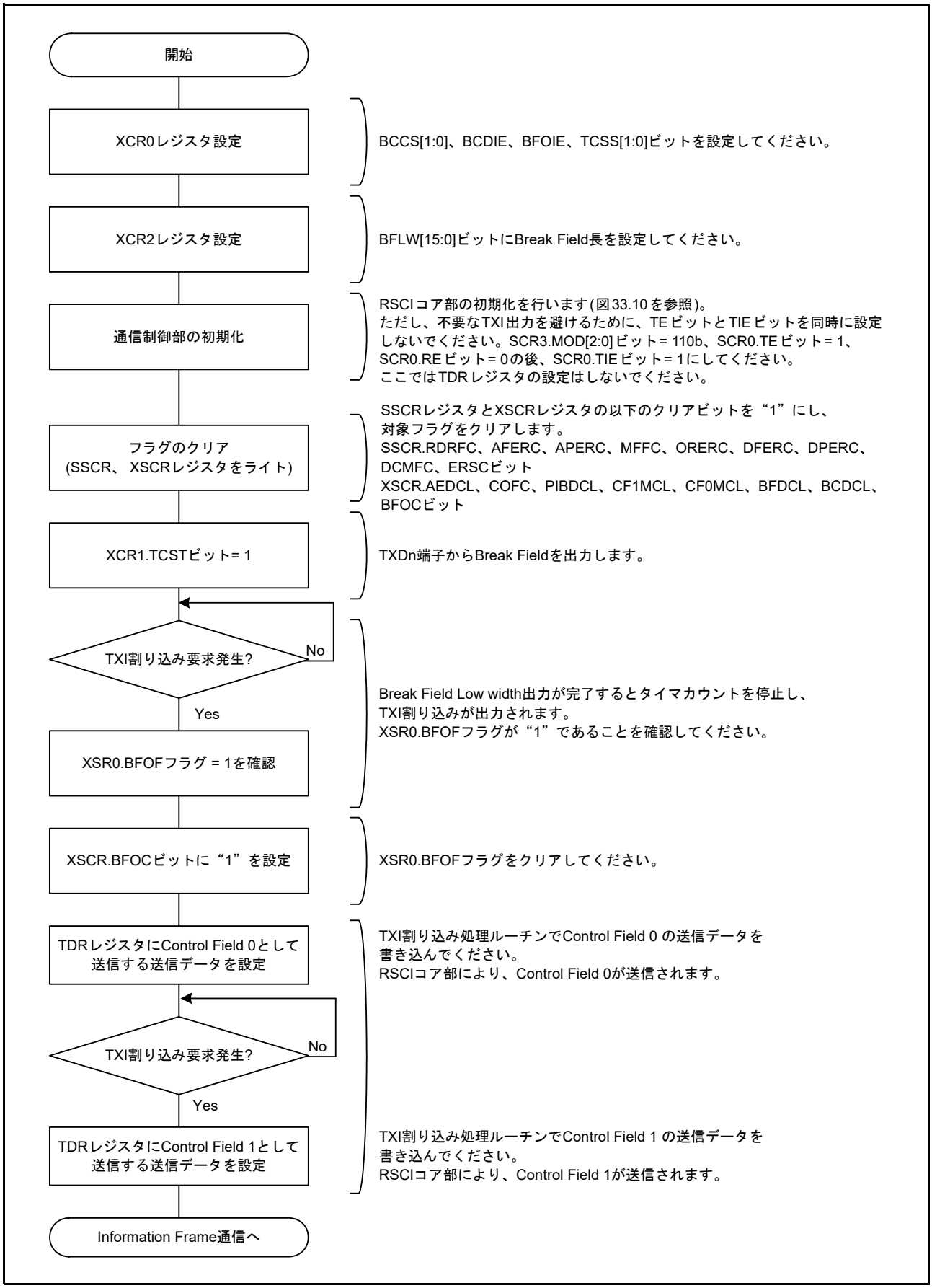
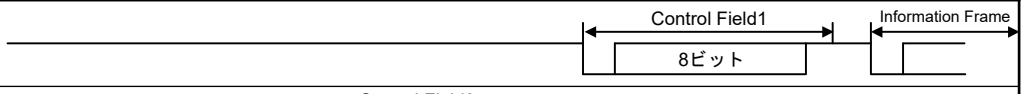
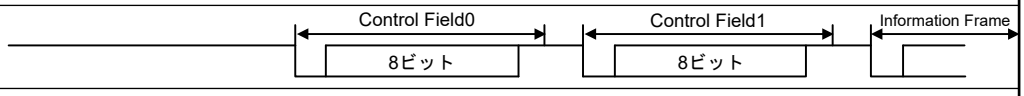
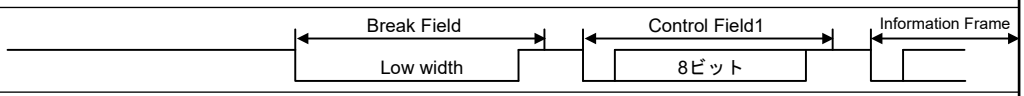
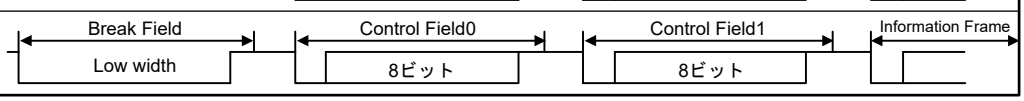


図 33.71　Start Frame 送信フローチャート例

33.8.3　Start Frame 受信

RSCI では、表 33.40 のような構成の Start Frame を検出することができます。

表 33.40　Start Frameの構成

XCR0の設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

33.8.3.1　PIB 未使用時、ノーマル受信

図 33.72 に Break Field、Control Field 0 および Control Field 1 で構成される Start Frame 受信時の動作例を示します。図 33.73 に、Control Field 1 途中で Break Field 検出を行う受信動作例を示します。また、図 33.74 に Start Frame の受信を行うためのフローチャート、図 33.75 に状態遷移図を示します。

RSCI は、Start Frame 受信時、以下のように動作します。Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

(1) XCR1.SDST ビットに “1” を書き込むと、Start Frame の検出が可能になります。XCR0.BFE ビット = 1 のとき、Break Field を検出するまで、RSCI コア部への RXD 入力は禁止となります (XSR0.RXDSF フラグが “1” にセットされます)。一度 Break Field が検出されると、RSCI コア部で RXD 入力の受信が可能になります (XSR0.RXDSF フラグ = 0)。

(2) RXDn 端子から Low が入力されると、Break Field 検出カウントを開始します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。

(3) XCR2.BFLW[15:0] ビットに設定した期間以上の Low が RXDn 端子から入力されると、Break Field と判定します。このとき、XSR0.BFDF フラグが “1” にセットされます。また、XCR0.BFDIE ビットを “1” にしている場合は、BFD 割り込みが発生します。
タイマカウントは、RXD 立ち上がりエッジもしくはカウントオーバフローまで継続します。

(4) Break Field 検出後、RXDn 端子からの入力が High になると、XCR1.BRME ビット = 0 の場合は、XSR1.CCV[15:0] ビットにカウント値をキャプチャします。このとき、XSR0.RXDSF フラグが “0” になり、RSCI コア部で RXD 入力の受信を開始します。

(5) RSCI コア部で Control Field 0 の受信を開始しますが、拡張シリアル制御部で継続してエッジ間隔をカウントしており、XCR2.BFLW[15:0] ビットに設定した期間以上の Low を Break Field 検出と判定します。Control Field 0 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます (図 33.73)。

(6) Control Field 0 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF0RD[7:0] ビットに Control Field 0 データが格納されます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致した場合、XSR0.CF0MF フラグが “1” にセットされます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致しなかった場合、Break Field 検出前の状態に遷移します。

(7) RSCI コア部で Control Field 1 の受信を開始します。BFE ビット = 1 の場合、Control Field 0 と同様に、SDST ビット = 1 の間、Break Field 検出機能は常に有効であり、Control Field 1 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます。

(8) Control Field 1 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF1RD[7:0] ビットに Control Field 1 データが格納されます。受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータと一致した場合、XSR0.CF1MF フラグが “1” にセットされます。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致しない場合は、Break Field 検出前の状態に遷移します。

(9) RSCI コア部で Information Frame の通信を行います。

(10) 通信が終了したら、XCR1.SDST ビットに “0” を書き込み、SCR0.RE ビットに “0” を書き込んで受信を停止させます。

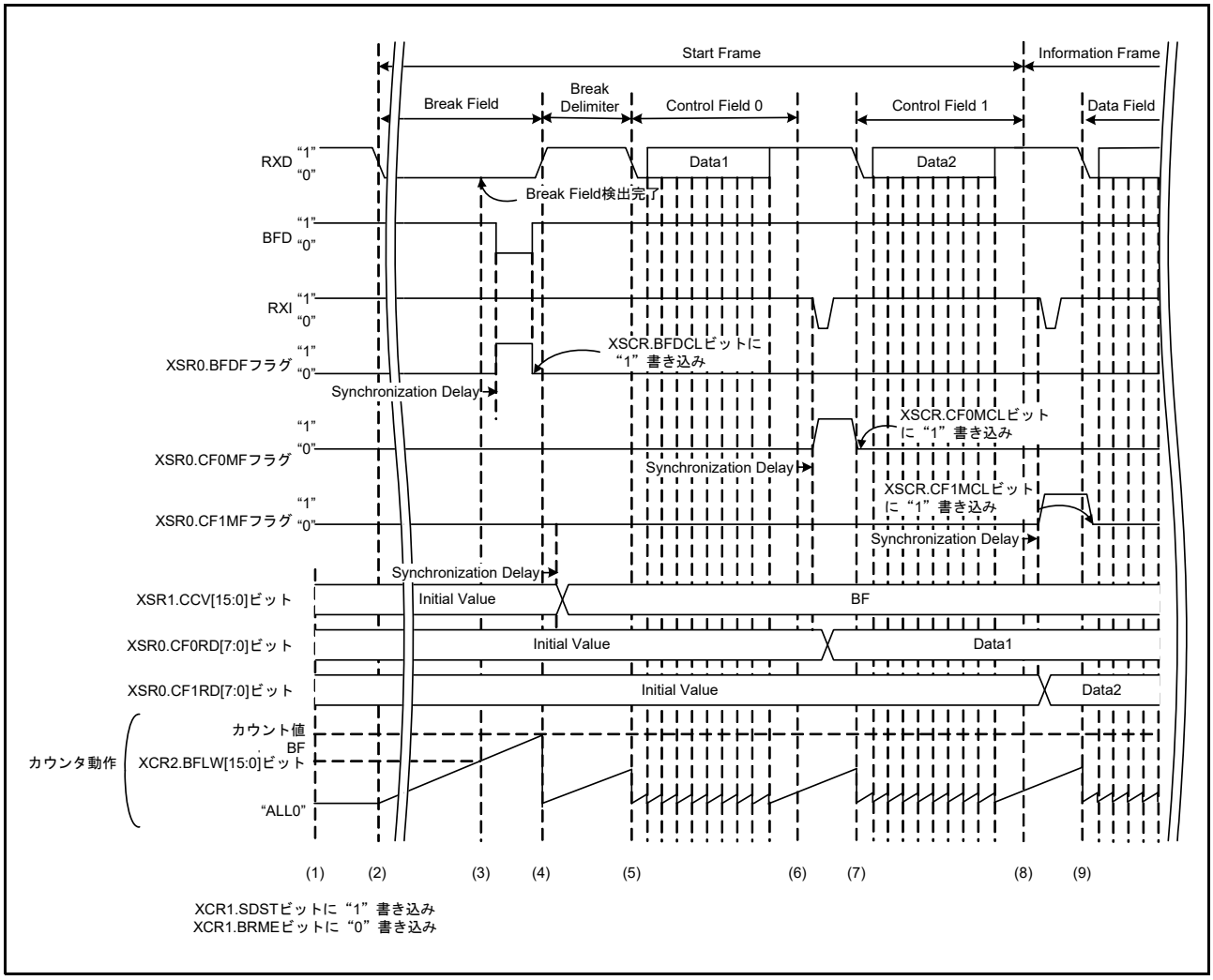


図 33.72　Start Frame 受信時の動作例 (PIB 未使用時) ノーマル受信

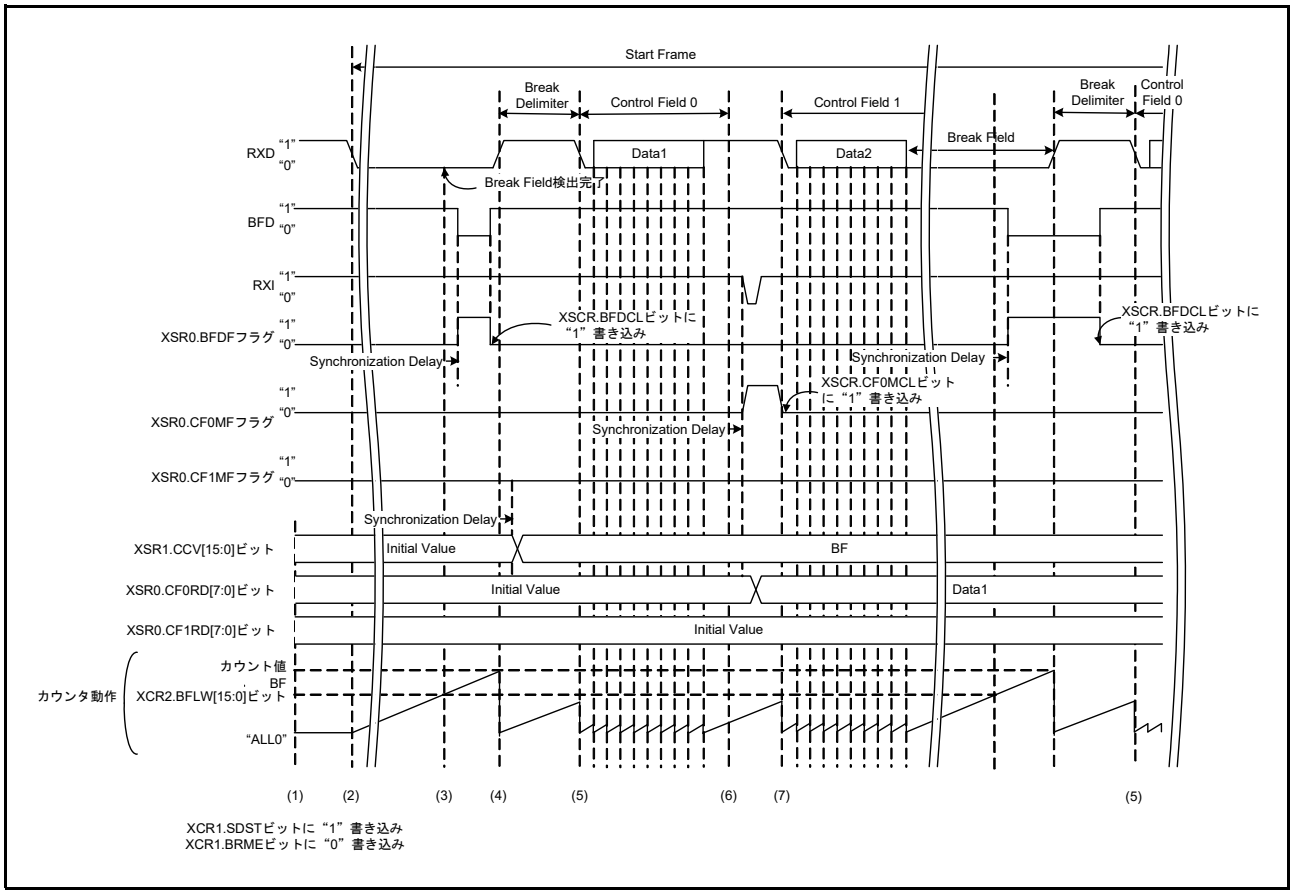


図 33.73　Start Frame 受信時の動作例 (PIB 未使用時)Control Field 1 で Break Field 検出

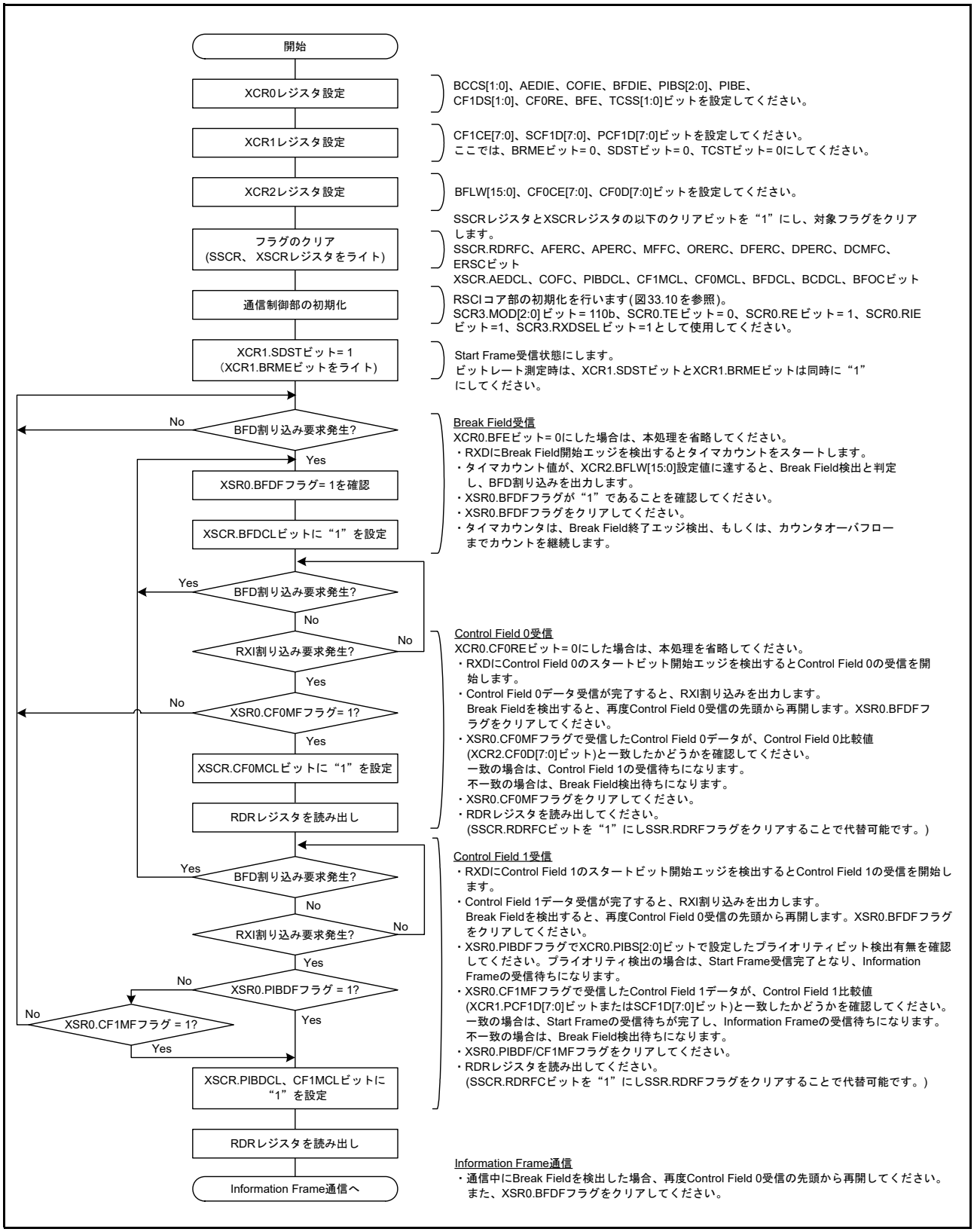


図 33.74　Start Frame 受信フローチャート例

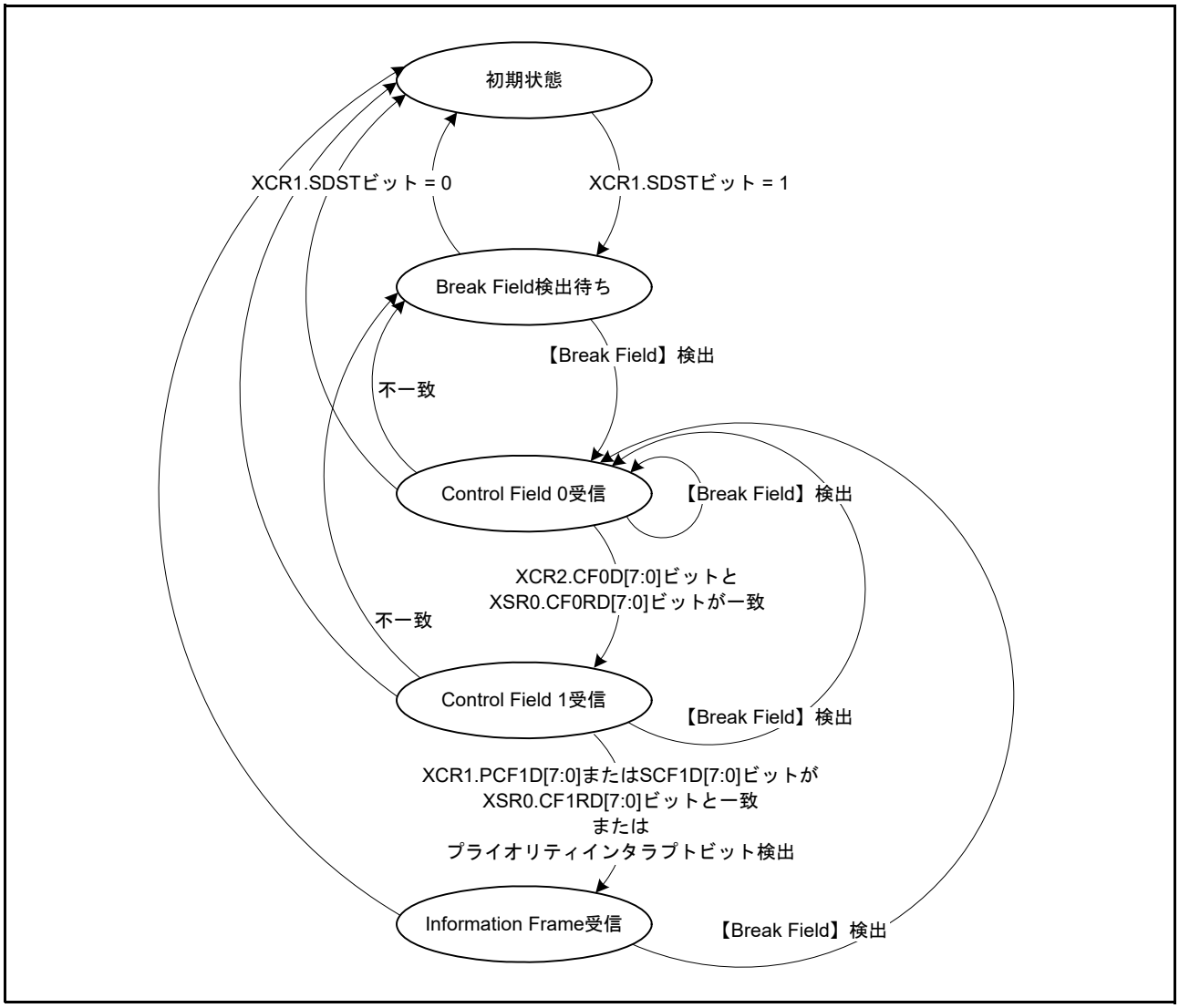


図 33.75　Start Frame 受信時の状態遷移図

33.8.3.2　プライオリティインタラプトビット

図 33.76 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは XCR0.PIBE ビットを “1” にすることで有効となります。

RSCI は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

(1) ～ (7) は図 33.72 の Start Frame 受信時の動作例 (1) ～ (7) と同様になります。

(8) XCR0.PIBS[2:0] ビットで指定したビットの値が XCR1.PCF1D[7:0] ビットに設定した値と一致した場合、XSR0.PIBDF フラグが “1” になります。そして、RSCI コア部により、Information Frame の通信を行います。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field 検出前の状態に遷移します。

(9) RSCI コア部で Information Frame の通信を行います。

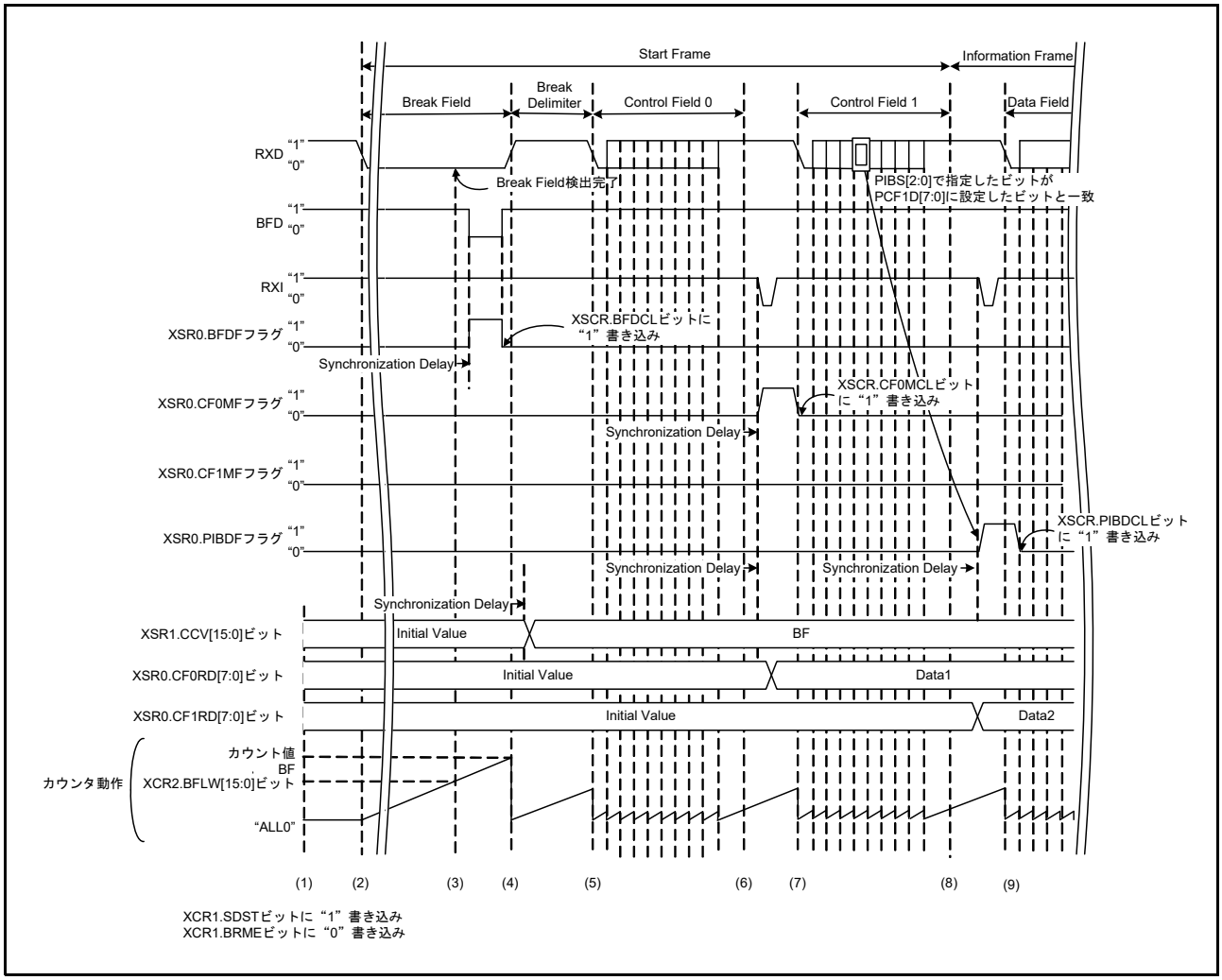


図 33.76　Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

33.8.4　バス衝突検出機能

拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) で、TE ビット = 1 の場合、Break Field 送出中およびデータ送信中にバス衝突検出機能が動作します。

図 33.77 にバス衝突検出機能の動作例を示します。TXDn 端子の出力と RXDn 端子の入力を XCR0.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると XSR0.BCDF フラグが “1” になります。また、XCR0.BCDIE ビットを “1” にしている場合は、ERI 割り込みが発生します。

ERI 割り込みが発生した場合、図 33.78 に従って、送信動作を停止させてください。送信動作の再開は、バスの状態を確認して判断してください。

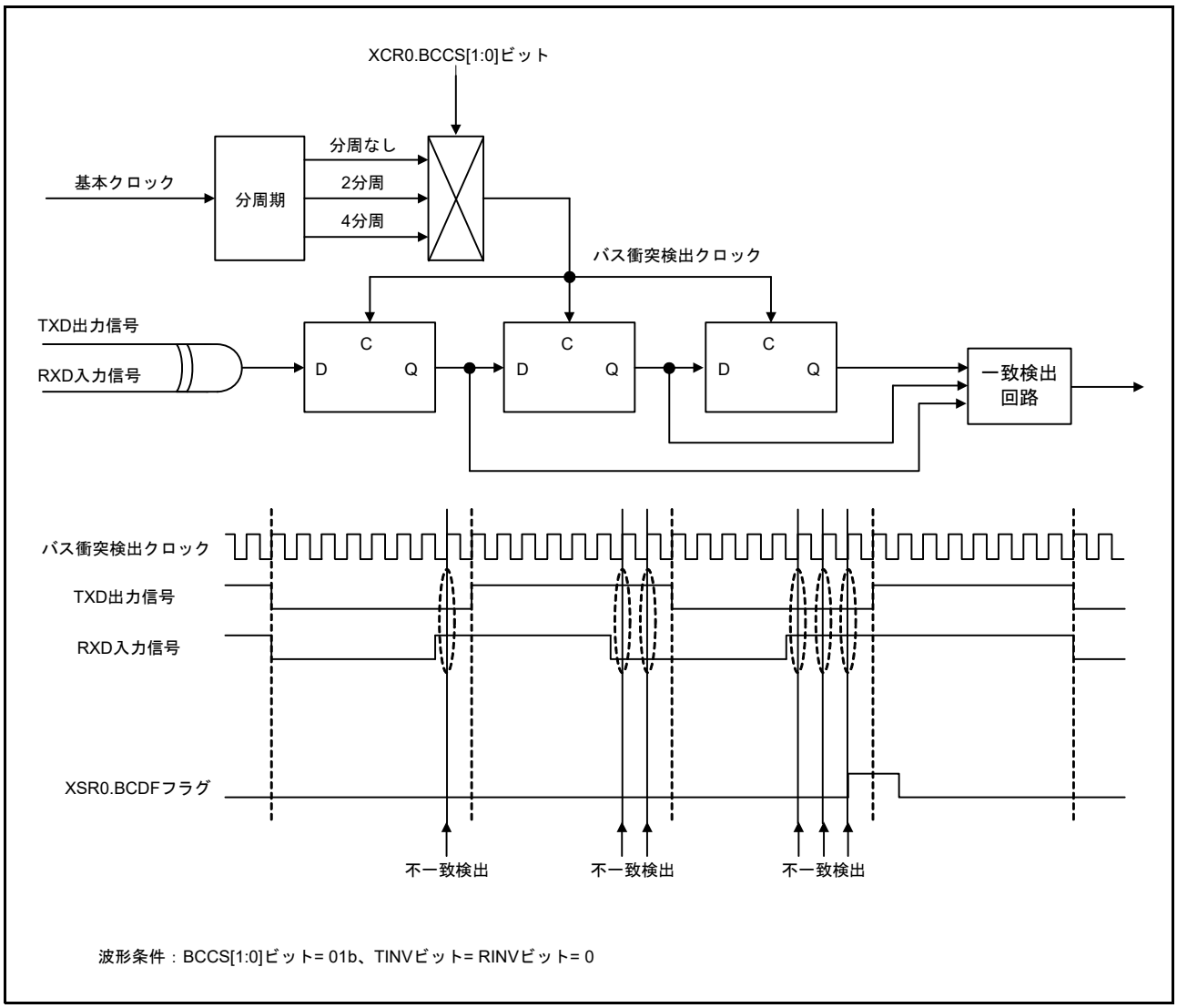


図 33.77　バス衝突検出機能の動作例

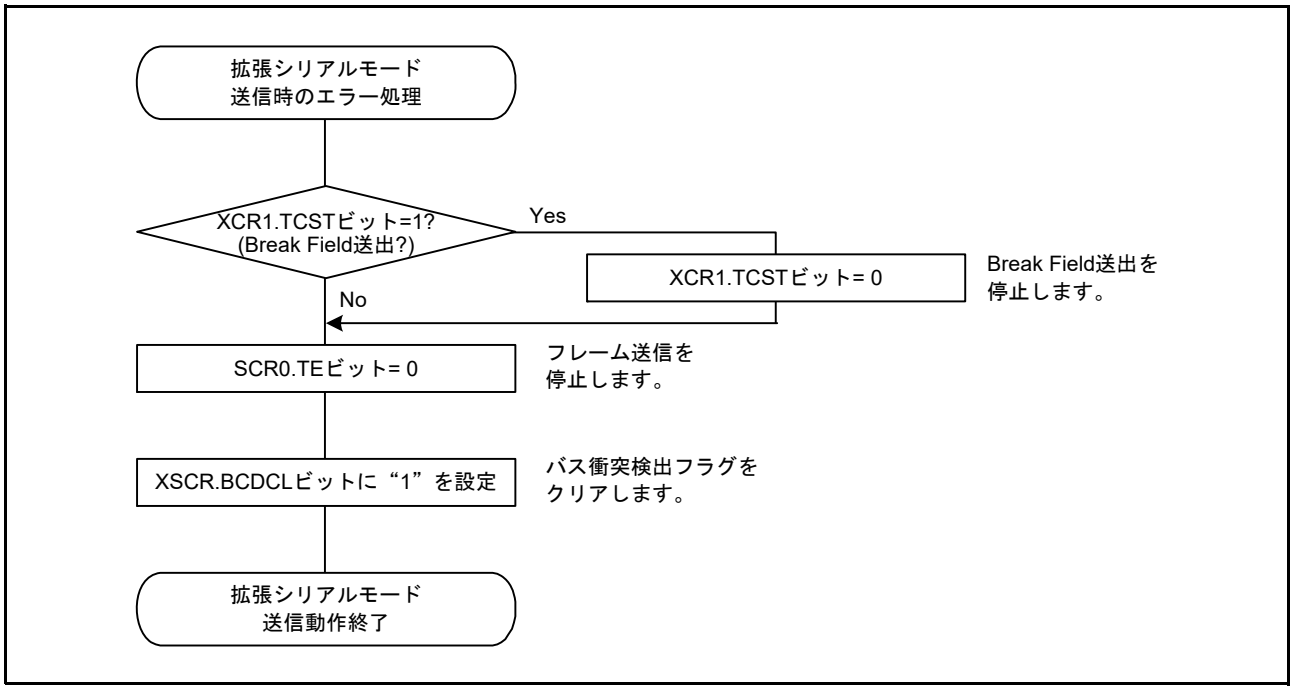


図 33.78　拡張シリアルモード送信動作時の ERI 割り込み処理フロー

33.8.5　ビットレート測定機能

RXDn 端子から入力される信号の有効エッジ間を測定する機能です。**図 33.79** にビットレート測定機能の動作例を示します。

(1) XCR1.SDST ビットと XCR1.BRME ビットに “1” を書き込むとビットレート測定が有効となり、Control Field 0 と Control Field 1 の有効エッジ間を測定します。Break Field と Break Delimiter の間は、ビットレートの測定動作を行いません。
XCR1.BRME ビットは、測定を行いたいときのみ、XCR1.SDST ビットと同時に “1” にしてください。
(2) Break Field 中はビットレート測定動作を行わないため、Break Field 終了の立ち上がりエッジでは、有効エッジ検出フラグはセットされません。また、XSR1.CCV[15:0] ビットにカウンタのキャプチャ値は格納されません。
(3) Control Field 0 のスタートビットの立ち下がりからカウントスタートします。Break Delimiter のカウント値は XSR1.CCV[15:0] ビットにキャプチャされません。
(4) スタートビットの立ち上がりエッジを有効エッジとして検出し、XSR0.AEDF フラグをセットします。このとき、XCR0.AEDIE ビット = 1 の場合は、AED 割り込みが出力されます。また、スタートビットのカウント値が XSR1.CCV[15:0] ビットに保持されます。XSR1.CCV[15:0] ビットは、有効キャプチャ値が読み出されるまで保持します。
(5) RXD 入力端子から有効エッジが入ってきても、XSR1.CCV[15:0] ビットが読み出されておらず、保持が解除されていないため、この有効エッジタイミングのカウント値はキャプチャされません。この場合、AED 割り込みは出力しません。
(6) XSR1.CCV[15:0] ビットを読み出します。これにより、XSR1.CCV[15:0] ビットの保持が解除され、ハードウェアにより、XSR0.AEDF フラグがクリアされます。
(7) XSR1.CCV[15:0] ビット保持が解除されたため、有効エッジでカウント値がキャプチャされ保持します。同時に XSR0.AEDF フラグがセットされ、XCR0.AEDIE ビット = 1 の場合は、AED 割り込みが出力されます。有効エッジ間のカウント値からビットレートをソフトウェアにて算出し、RSCI の設定を変更することで、ビットレートを調整することができます
(8) ビットレート測定動作を無効にする場合は、XCR1.BRME ビットに “0” を書き込んでください。
(9) ビットレート測定機能が無効であるため、有効エッジタイミングで XSR0.AEDF フラグ、XSR1.CCV[15:0] ビットは変化しません。

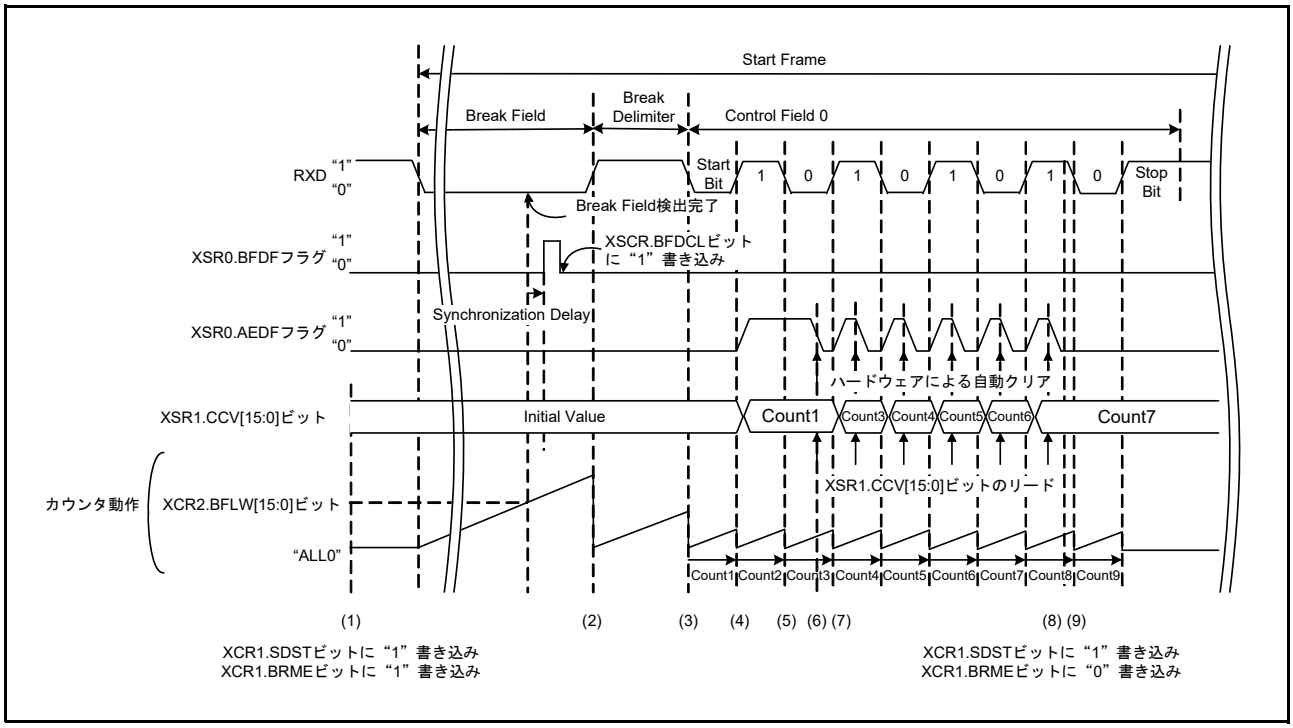


図 33.79　ビットレート測定機能動作例

33.9　簡易 I2C モードの動作

簡易 I2C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。スタートコンディション / リスタートコンディションに続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、ストップコンディションまで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 33.80 に I2C バスフォーマットを、図 33.81 に I2C バスタイミングを示します。

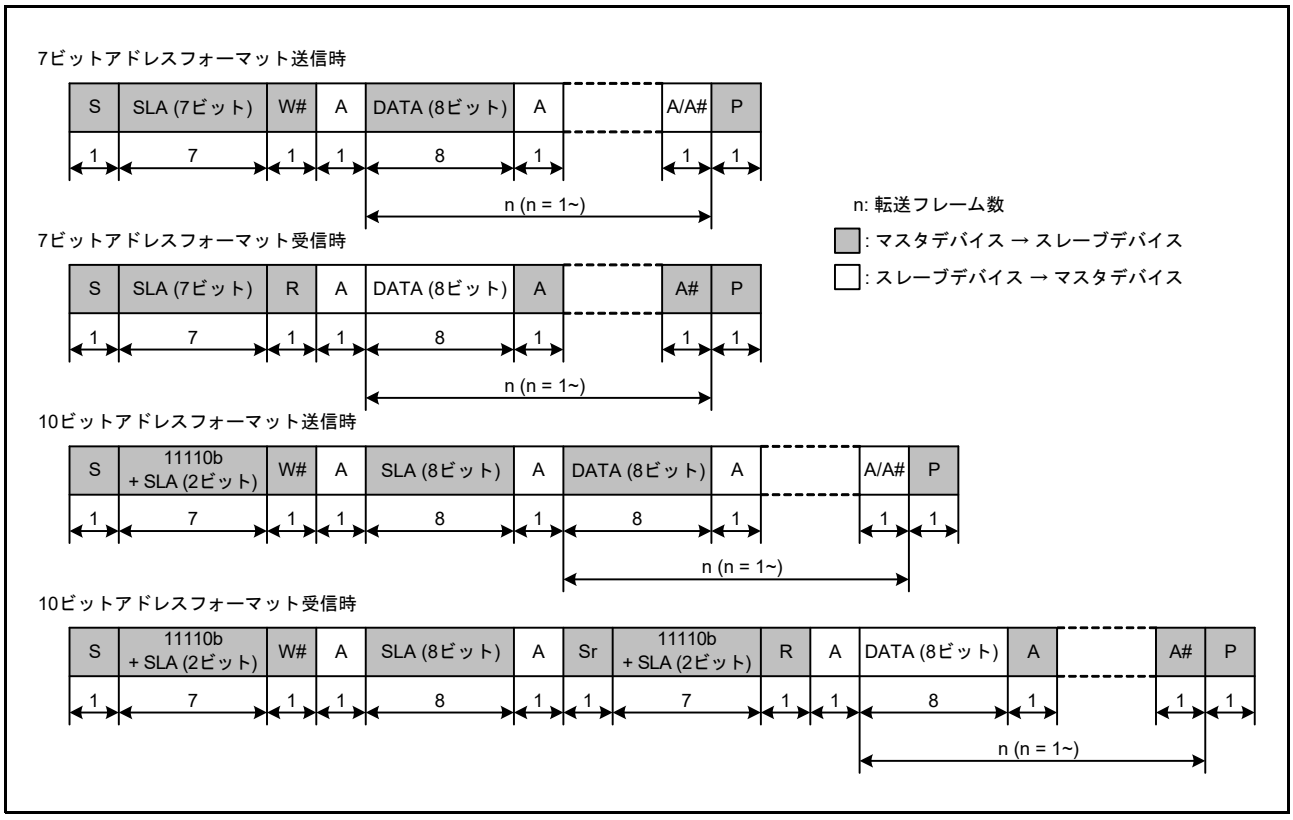


図 33.80　I2C バスフォーマット

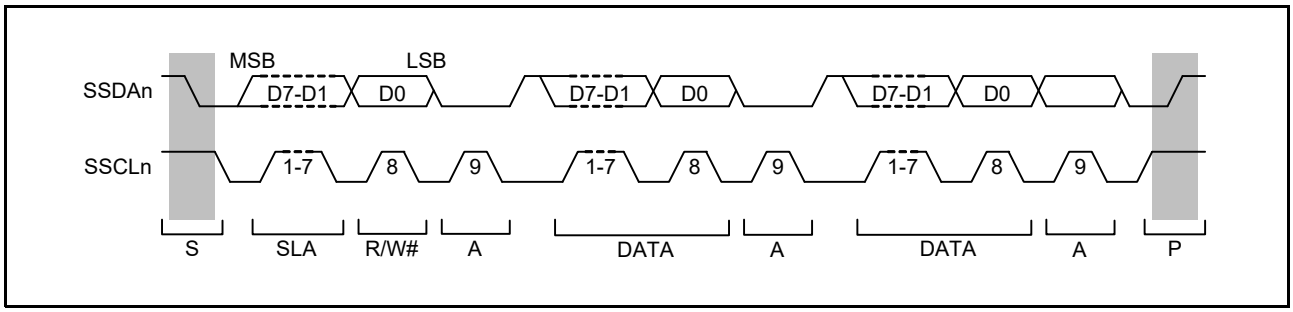


図 33.81　I2C バスタイミング (SLA = 7 ビットの場合)

S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインがHighからLowに変化します。

SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#: 送信/受信の方向を示します。Highのときスレーブデバイスからマスタデバイスへ、Lowのときマスタデバイスからスレーブデバイスへデータを送信します。

A/A#: アクノリッジを示します(マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。

Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でセットアップ時間経過後にSSDAnラインをHighからLowに遷移させます。

DATA: 送受信データを示します。

P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインをLowからHighに遷移させます。

33.9.1 スタートコンディション、リスタートコンディション、ストップコンディションの生成

SIMR.IICSTAREQ ビットに “1” を書き込むことにより、スタートコンディションの生成を行います。スタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、スタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICSTAREQ ビットを “0” にし、スタートコンディション生成割り込み要求を出力

SIMR.IICRSTAREQ ビットに “1” を書き込むことにより、リスタートコンディションの生成を行います。リスタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションののセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICRSTAREQ ビットを “0” にし、リスタートコンディション生成割り込み要求を出力

SIMR.IICSTPREQ ビットに “1” を書き込むことにより、ストップコンディションの生成を行います。ストップコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、ストップコンディションのセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR.IICSTPREQ ビットを “0” にし、ストップコンディション生成割り込み要求を出力

図 33.82 にスタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミングを示します。

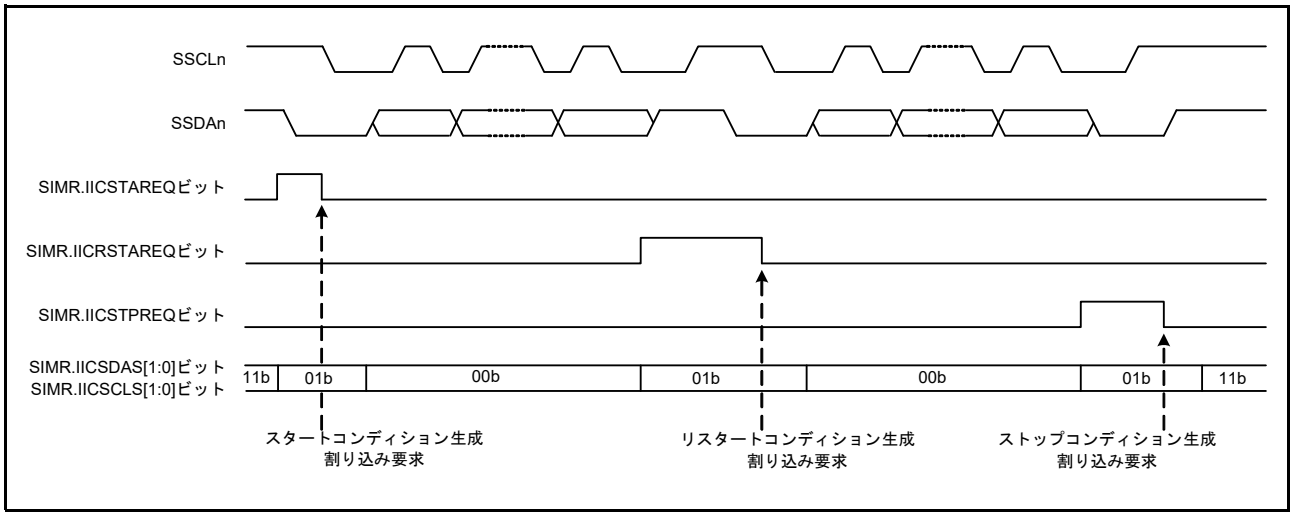


図 33.82　スタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミング

33.9.2　クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR.IICCSC ビットを “1” にすると、内部 SCL が SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR.IICCSC ビットが “1” の場合、内部 SCL が Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延 (ノイズフィルタのサンプリングクロックで 2 ～ 3 サイクル)、内部処理遅延 (PCLK で 1 ～ 2 サイクル) の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SCL の High 期間は延長されます。

SIMR.IICCSC ビットが “1” の場合、データ送信および受信は、SSCLn 端子入力と内部 SCL の論理積に同期して行われます。SIMR.IICCSC ビットが “0” の場合、データ受信および送信は、内部 SCL に同期して行われます。

スタートコンディション、リスタートコンディションおよびストップコンディション生成要求発行後、内部 SCL が Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SCL が High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 33.83 にクロック同期化の動作例を示します。

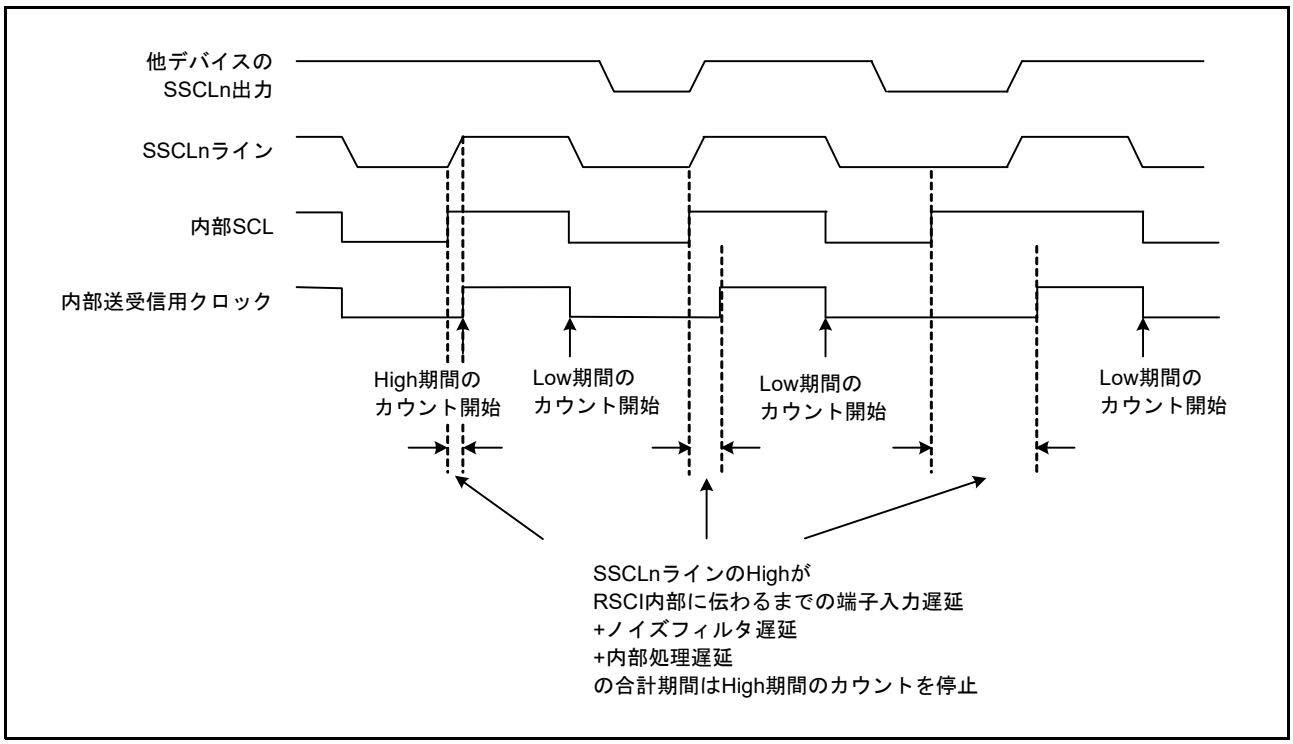


図 33.83　クロック同期化の動作例

33.9.3　SDA 出力遅延

SIMR.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ボーレートジェネレータのクロックソース基準 (PCLK ベースに SCR2.CKS[1:0] ビットで選択された分周クロック) で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、スタートコンディション / リスタートコンディション / ストップコンディション信号と 8 ビットの送信データおよびアクノリッジです。

SDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値 (I^2C の標準モード、ファストモードでは 300 ns) より大きくなるように設定してください。

図 33.84 に SDA 出力遅延のタイミングを示します。

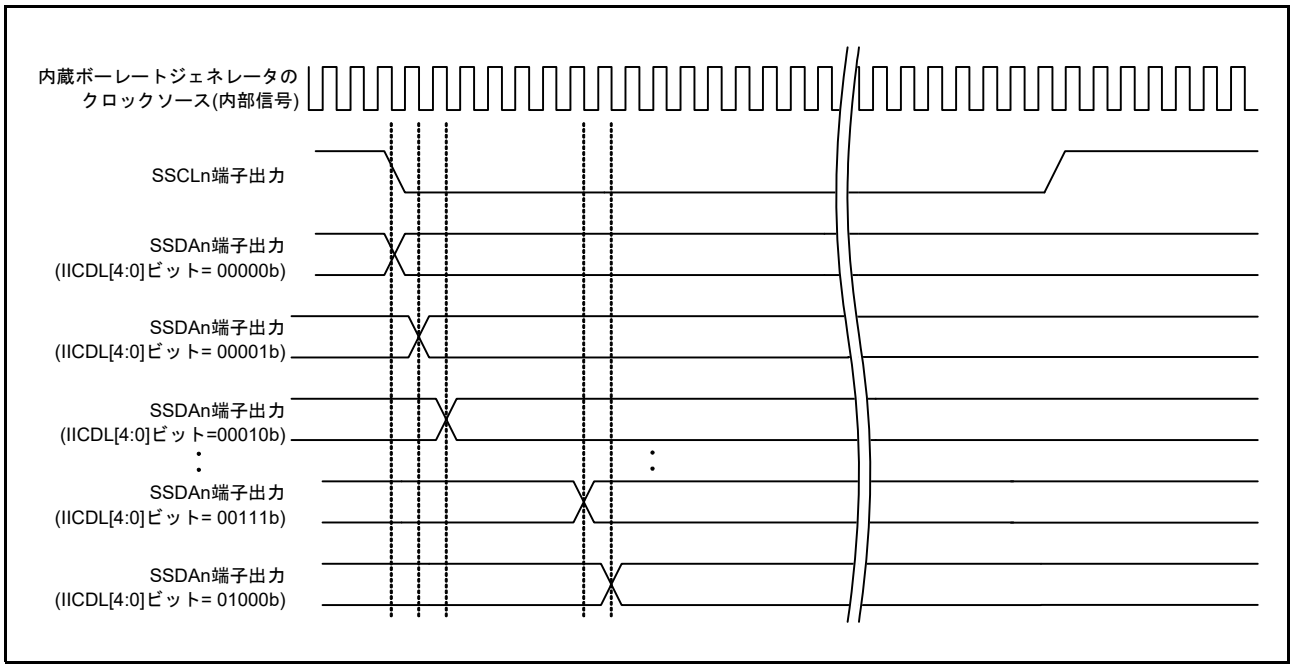
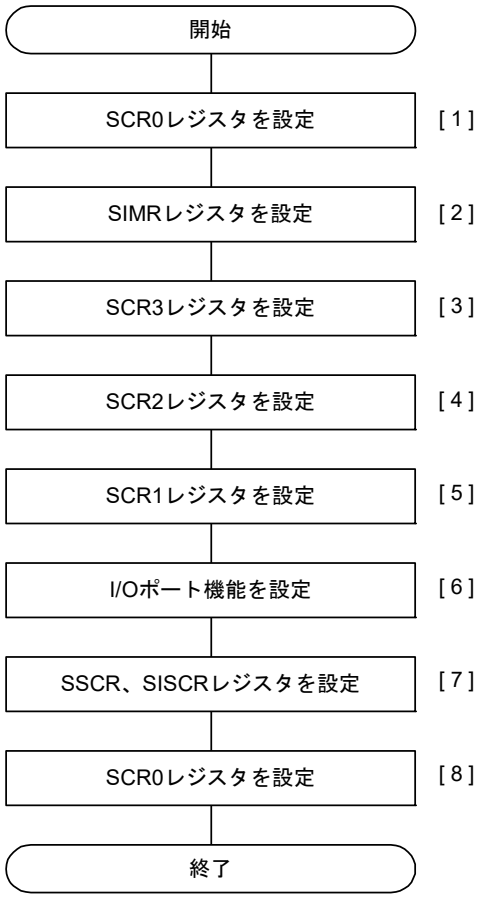


図 33.84　SDA 出力遅延のタイミング

33.9.4　RSCI の初期化 (簡易 I2C モード)

データの送受信前に、SCR0 レジスタに初期値 “0000 0000h” を書き込み、図 33.85 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR0.TE ビットと SCR0.RE ビットに “0” を書き込んで (SCR0 レジスタに初期値を書き込むでも可) から変更してください。また、簡易 I2C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。



[1] SCR0レジスタの以下のビットを“0”にします。
TEIE, TIE, RIE, TE, RE
初期値から変更していない場合、本手順は省略できます。

[2] IICSDAS[1:0]、IICSCLS[1:0]ビットを“11b”に、
IICACKT、IICCSCビットを“1”にします。
IICDL[4:0]、IICINTMビットを設定します。

[3] 通信モード(MOD[2:0]ビット= 100b）、CKE[1:0]ビット= 00b、送信/受信フォーマットを設定します。

[4] ビットレートモジュレーション機能(注1)、クロック選択、ビットレートの設定をします。

[5] ノイズフィルタ、通信端子状態、パリティチェック、CTS/RTS機能の設定をします。

[6] SSCLn端子、SSDAn端子機能が有効(NMOSオープンドレイン出力)かつハイインピーダンスになるようにI/Oポート機能を設定します。

[7] SSCRレジスタとSISCRレジスタの以下のクリアビットを“1”にし、対象フラグをクリアします。
SSCR.RDRFC, AFERC, APERC, MFFC, ORERC, DFERC, DPERC, DCMFC, ERSC
SISCR.IICSTIFC

[8] TEビットとREビットを“1”にします。
割り込みを許可する場合はTEビットとTIEビット、REビットとRIEビットを同時に1命令で“1”にしてください。
(送信動作かつSIMR.IICINTMビット= 1の時はRIEビットを“0”にします)
TE、RE両ビットを“1”にすることによりSSCLn、SSDAn端子が使用可能になります。

注1.　ビットレートモジュレーション機能を使わない場合は設定の必要はありません。
注.　SCR0.TE、RE ビットの “0” 設定、“1” 設定は、同時に行ってください。

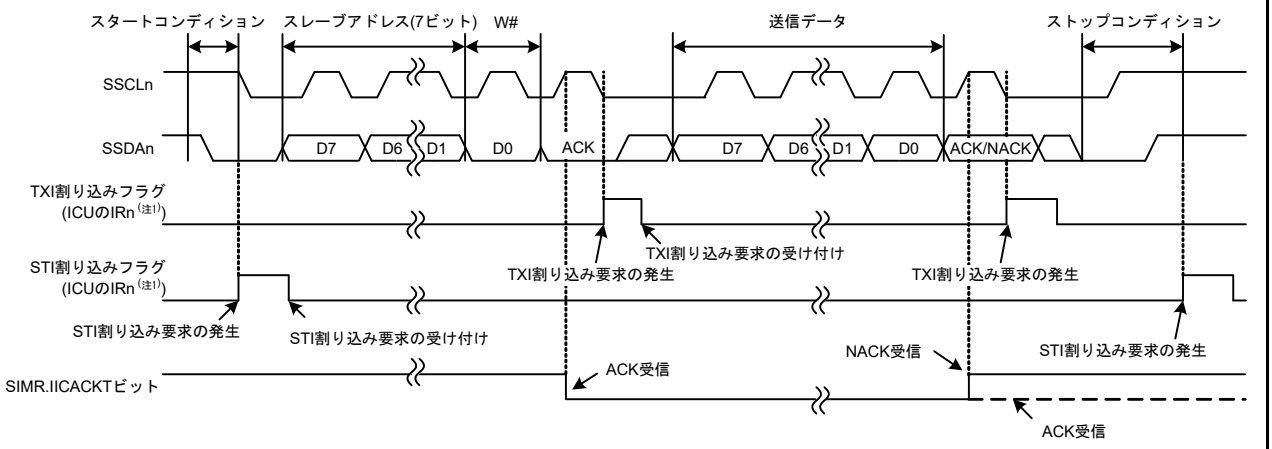
図 33.85　RSCI の初期化フローチャート例 (簡易 I2C モード)

33.9.5　マスタ送信動作 (簡易 I2C モード)

図 33.86、図 33.87 に簡易 I2C モードのマスタ送信の動作例を、図 33.88 ～図 33.90 にマスタ送信のフローチャートの例を示します。STI 割り込みについては、表 33.47 を参照してください。

図 33.86 は、SIMR.IICINTM ビットを “1” (受信割り込み、送信割り込みを使用) にした場合の動作例を示します。この場合、TXI 割り込みをトリガに DTC または DMAC を起動することができますが、DTC または DMAC を使うと ACK/NACK の確認ができませんので、ACK/NACK の確認が必要な場合は CPU による送信データの準備を行ってください。簡易 I2C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。また、マスタ送信動作では受信割り込みを使用しないので、SCR0.RIE ビットを “0” にしてください。

図 33.88 に SIMR.IICINTM ビット = 1 でアドレス送信に CPU、データ送信に DTC または DMAC を使用した場合を、図 33.89 にアドレス送信とデータ送信に CPU を使用した場合のフローチャートを示します。いずれも、10 ビットスレーブアドレス時は、図 33.88 の [3] ～ [4] の手順を 2 回繰り返します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

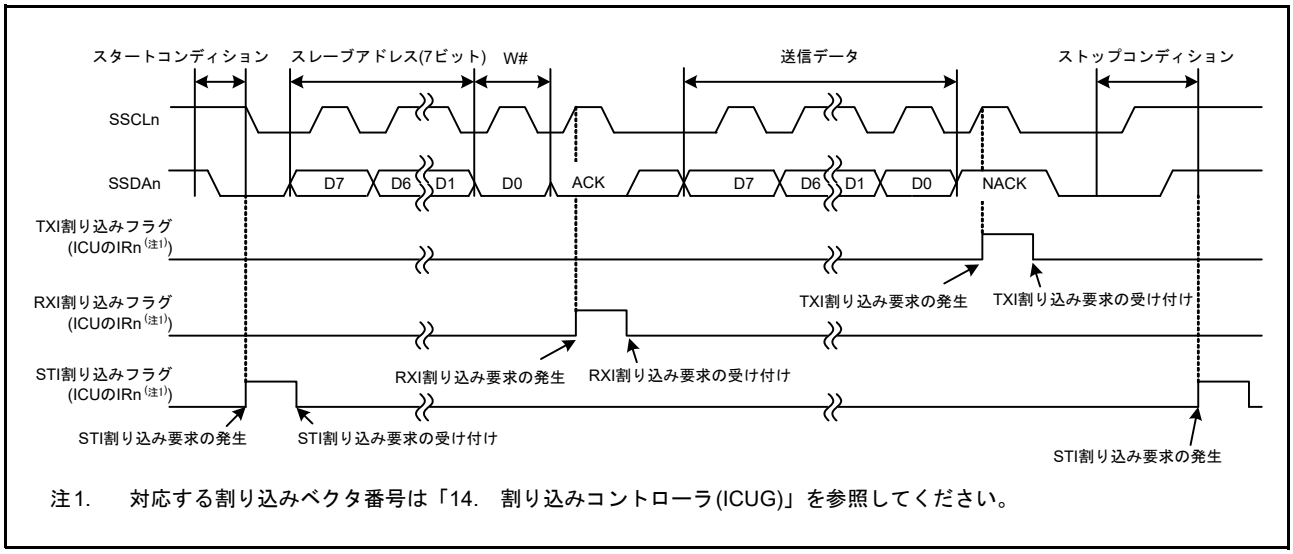
図 33.86　簡易 I2C モードのマスタ送信の動作例 (1)
(7 ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

図 33.87 は、SIMR.IICINTM ビットを “0” (ACK 割り込み、NACK 割り込みを使用) にした場合の動作例を示します。この場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

図 33.90 に SIMR.IICINTM ビット = 0 の場合のフローチャートを示します。

TDR に送信データを書いた後に、何らかの都合で通信を中断したあと再開する場合は、以下の手順を行ってください。

1. SCR0.TE ビットと SCR0.RE ビットを “0” に設定し、通信を停止する。
2. SIMR.IICSCLS[1:0] ビットと SIMR.IICSDAS[1:0] ビットを “11b” にし、I2C バスを解放し、各種条件生成要求をクリアする。
3. SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF ビットを “0” にする。
4. SCR0.TE ビットと SCR0.RE ビットを “1” にし、通信を再開する。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.87　簡易 I2C モードのマスタ送信の動作例 (2)
(7 ビットスレーブアドレス、ACK 割り込み /NACK 割り込み使用 (SIMR.IICINTM ビット = 0 時)

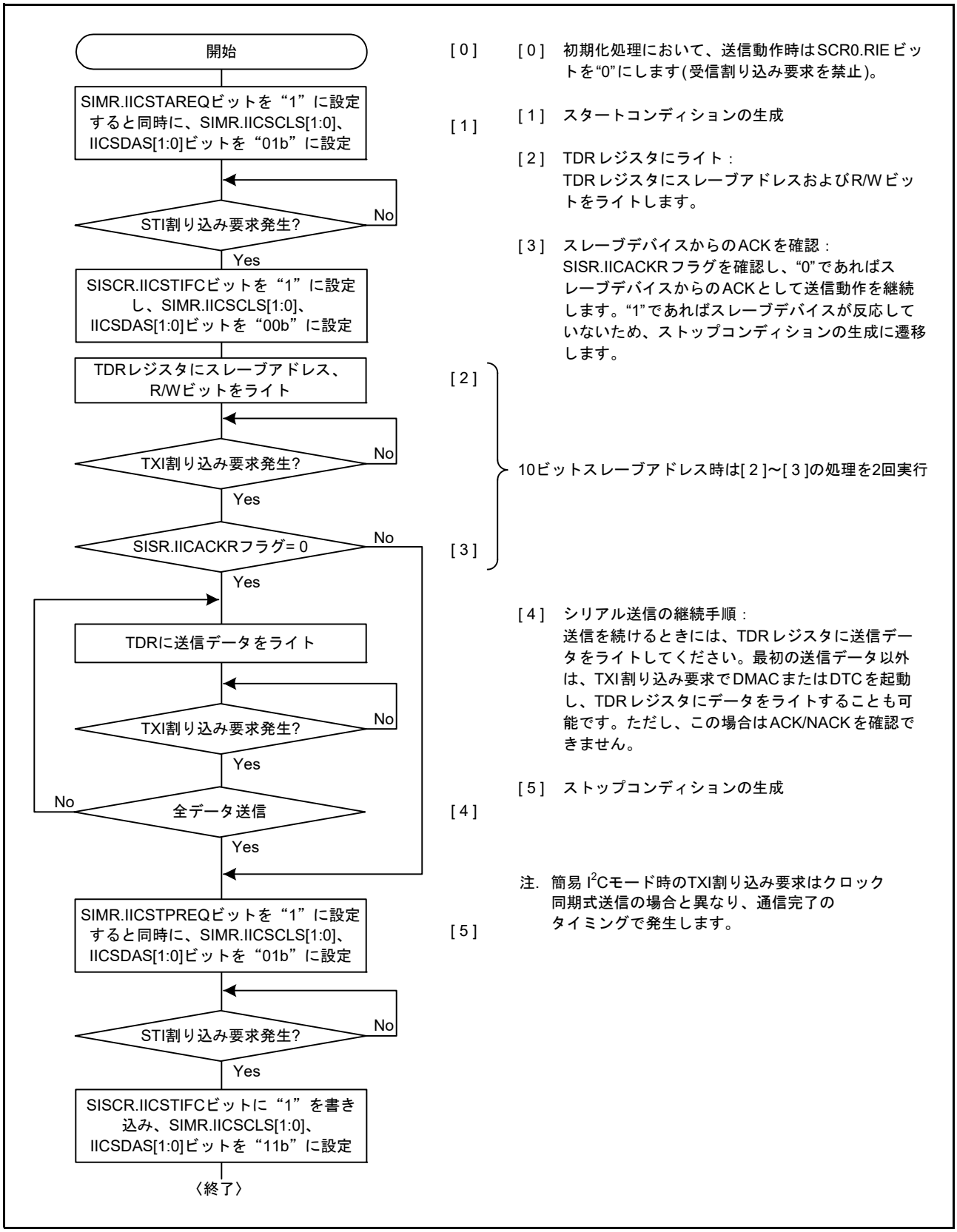


図 33.88　簡易 I2C モードのマスタ送信動作のフローチャート例
(SIMR.IICINTM ビット = 1 設定時、アドレス送信のみで ACK/NACK を確認する場合)

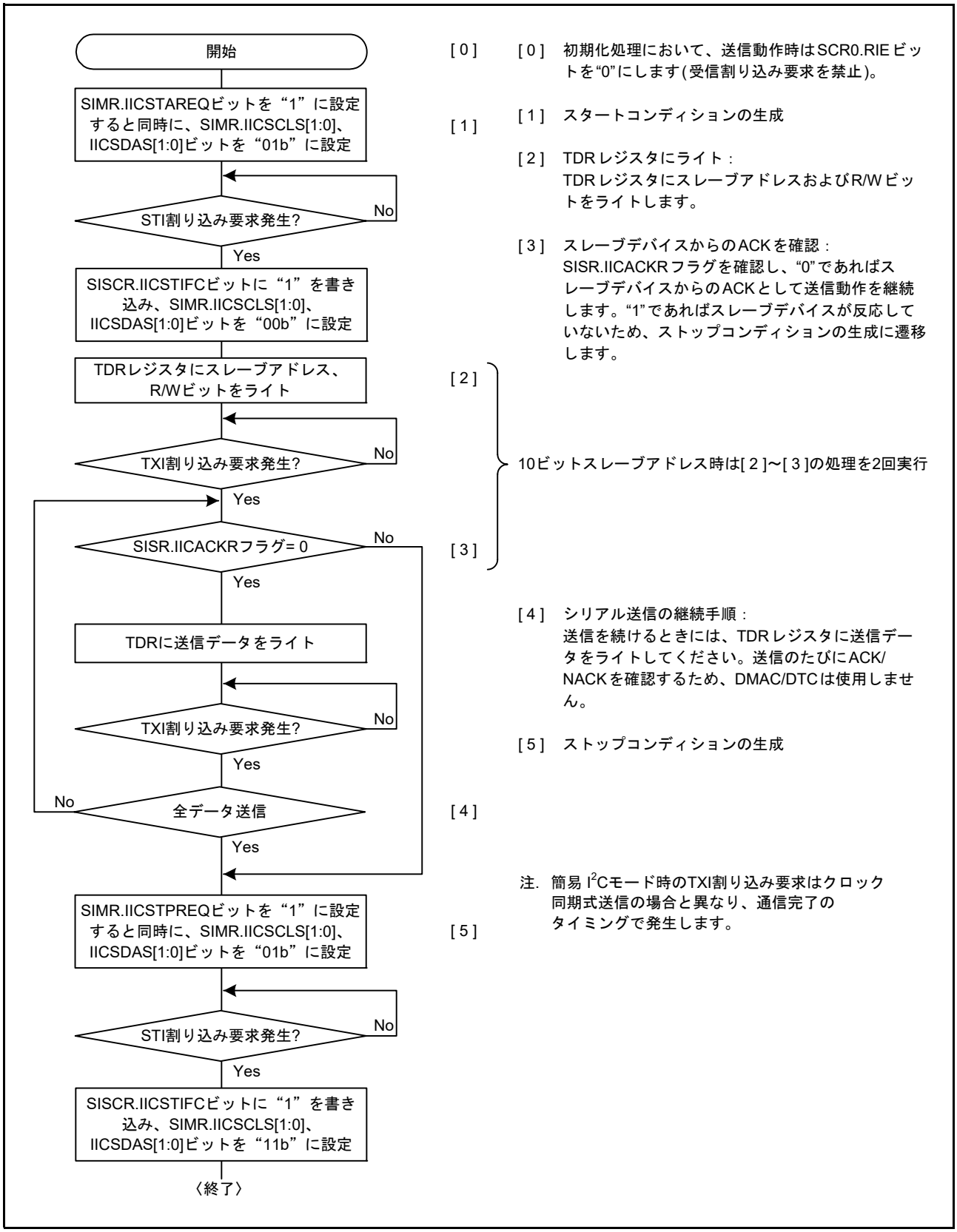


図 33.89　簡易 I2C モードのマスタ送信動作のフローチャート例
(SIMR.IICINTM ビット = 1 設定時、全ての送信で ACK/NACK を確認する場合)

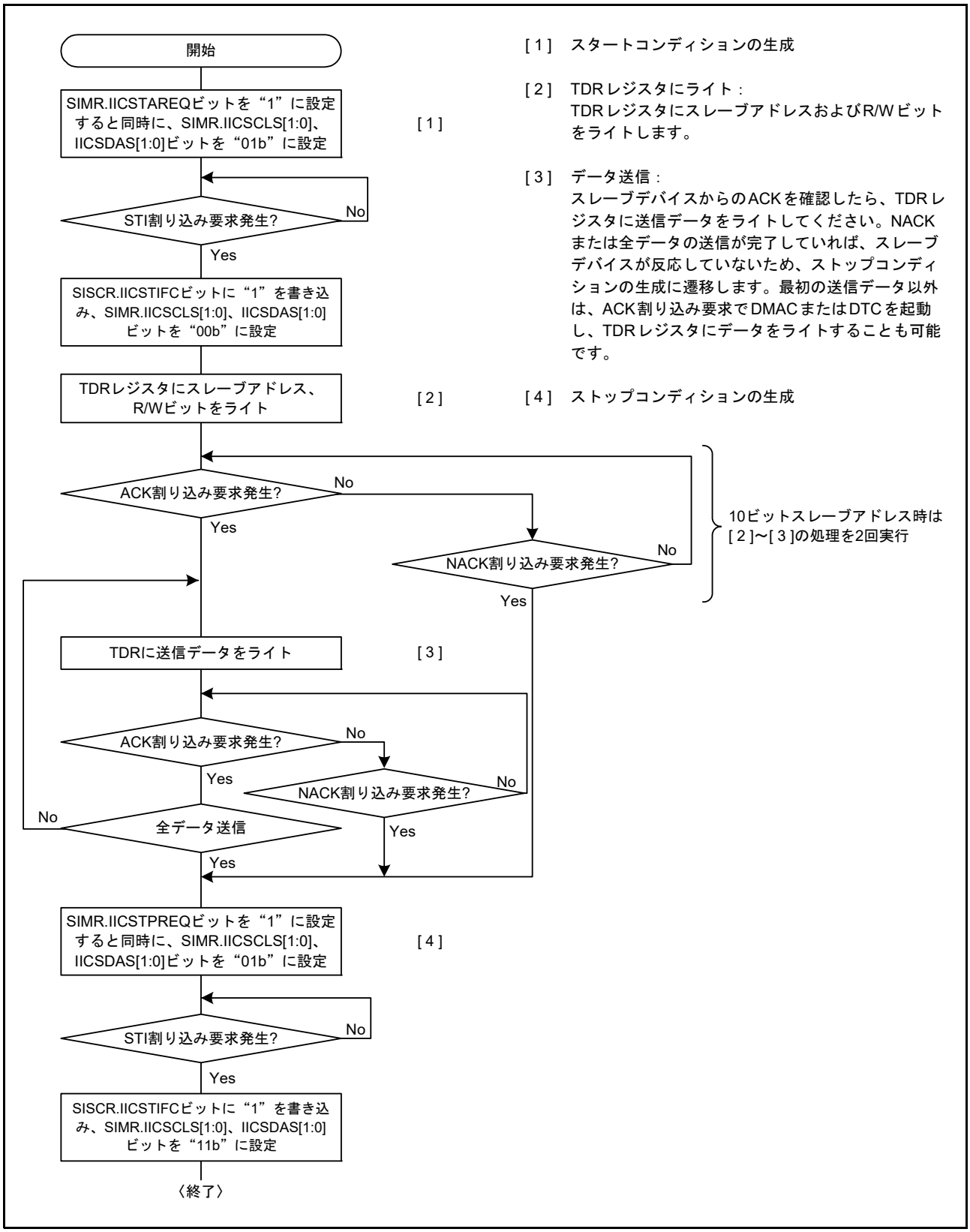
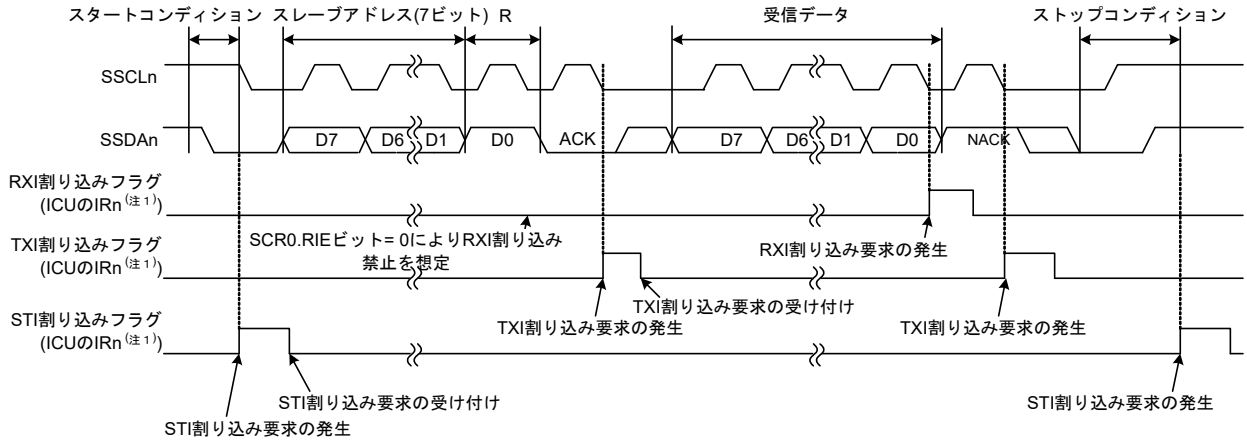


図 33.90　簡易 I2C モードのマスタ送信動作のフローチャート例 (SIMR.IICINTM ビット = 0 設定時)

33.9.6　マスタ受信動作 (簡易 I2C モード)

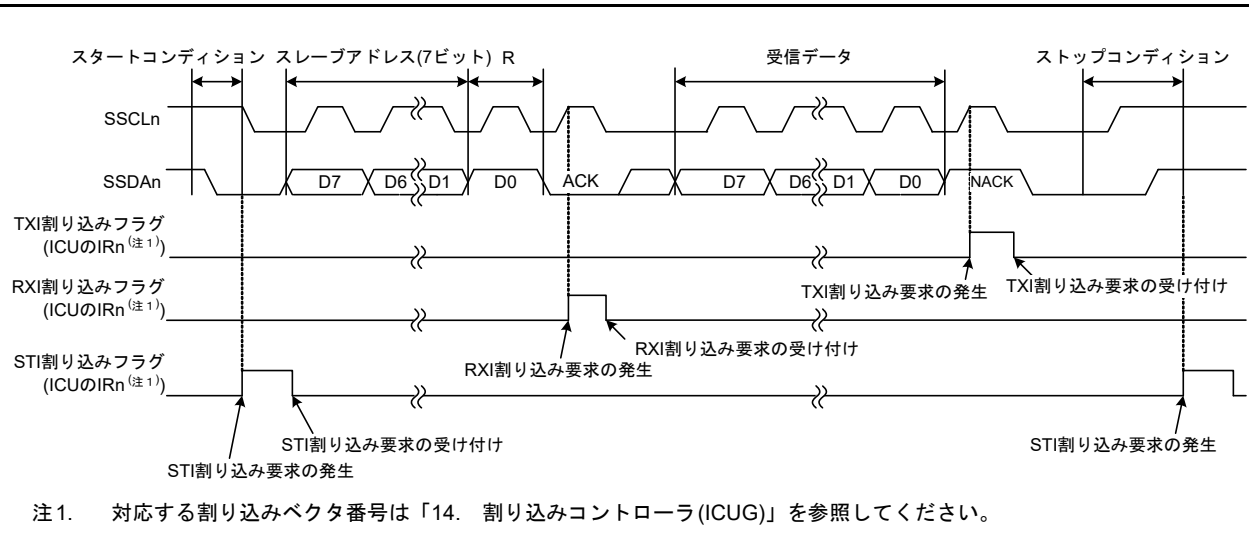
図 33.91、図 33.92 に簡易 I2C モードのマスタ受信の動作例を、図 33.93、図 33.94 にマスタ受信のフローチャートの例を示します。ともに SIMR.IICINTM ビットを “1” (受信割り込み、送信割り込みを使用) にした場合と SIMR.IICINTM ビットを “0” (ACK 割り込み、NACK 割り込みを使用) にした場合を想定しています。

簡易 I2C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.91　簡易 I2C モードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.92　簡易 I2C モードのマスタ受信の動作例
(7 ビットスレーブアドレス、ACK 割り込み /NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

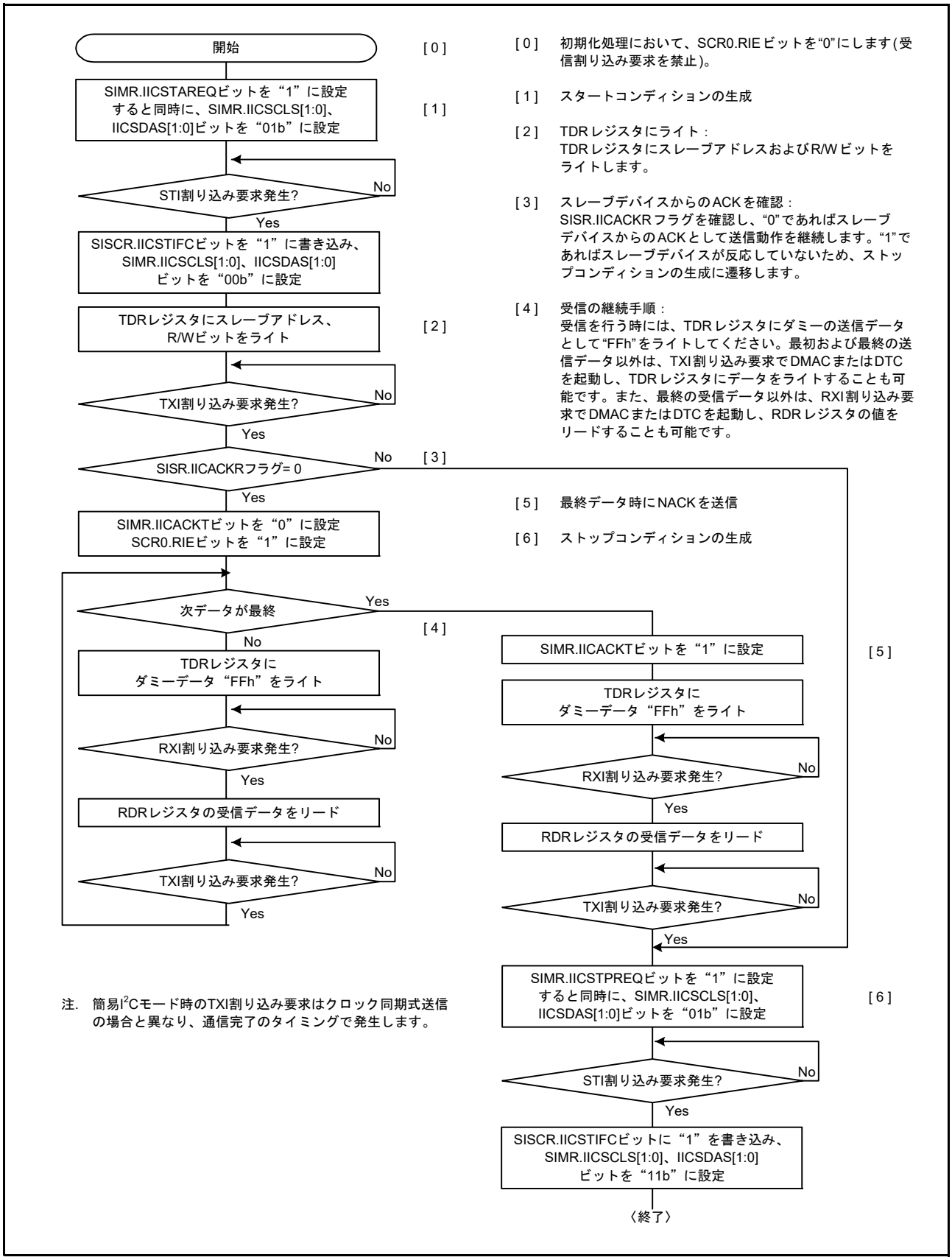


図 33.93　簡易 I2C モードのマスタ受信動作のフローチャート例 (送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

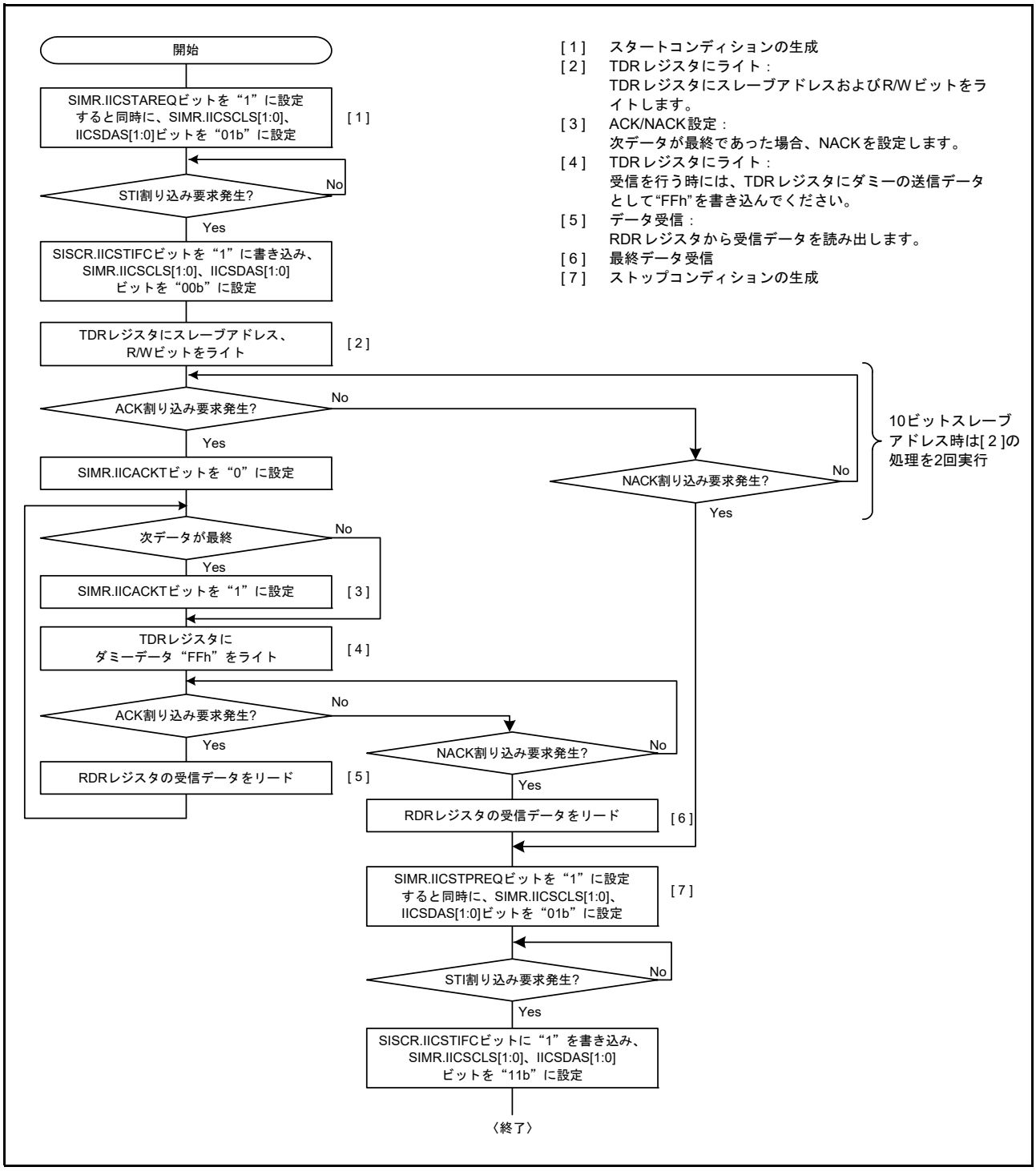


図 33.94　簡易 I2C モードのマスタ受信動作のフローチャート例
(ACK 割り込み /NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

33.10 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 33.95 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

RSCI は、CPHA ビット = 1 かつ CPOL ビット = 1 のとき、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。ただし、CPHA ビット = 0 かつスレーブ通信時は先頭ビット値に戻って保持されます。

RSCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

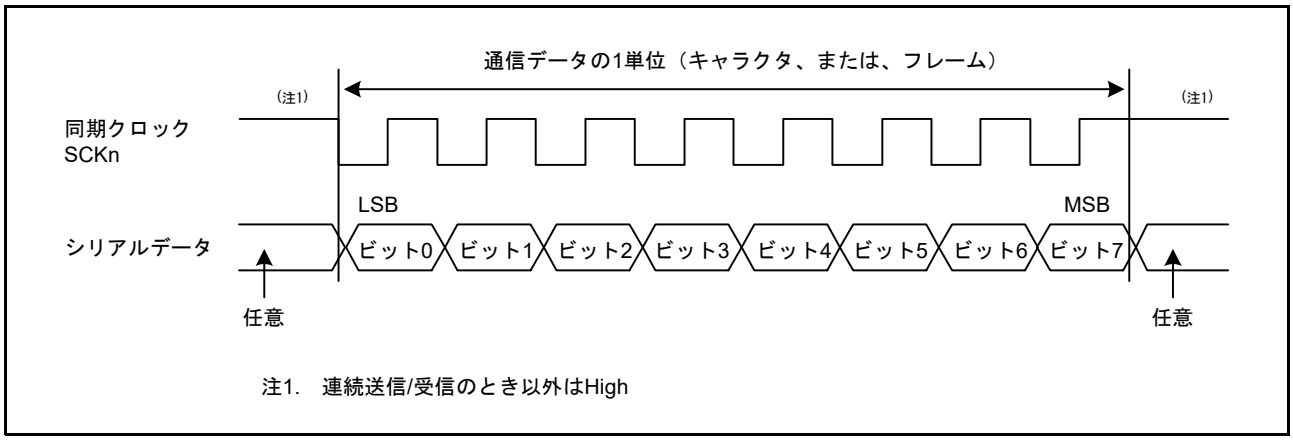


図 33.95 クロック同期式シリアル通信のデータフォーマット (LSB ファースト、CPHA ビット = 1、CPOL ビット = 1 の場合)

33.10.1 クロック

(1) 内部クロック選択時

SCR3.CKE[1:0] ビットを “00b” または “01b” にすると (マスタモード)、内蔵ボーレートジェネレータが生成する内部クロックを選択でき、SCKn 端子から同期クロックを出力します。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High (注 1) に固定されます。また、送信のみおよび送受信時、送信データを準備しないと同期クロックを出力しません。

また、内部クロック選択時は受信サンプリングクロックに SCKn から遅延をつけたクロックを使用します。これにより高速通信時のデータセットアップホールド時間を確保します。

注 1. SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 1、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 1 のときは High で停止します。また、SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 0、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 0 のときは Low で停止します。

(2) 外部クロック選択時

SCR3.CKE[1:0] ビットを “10b” または “11b” にすると (スレーブモード)、SCKn 端子から入力される外部クロックを使用して送受信を行います。

33.10.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SCR1.CTSE ビットを “1” にすると、CTS 機能が有効になります。クロック同期通信では内部クロック時に CTS 機能、外部クロック時に RTS 機能が使用可能ですので、CTS 機能と RTS 機能を同時に使うことはできません。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作および送信動作を開始します。

FIFO 使用時は、送信前から CTSn# 信号が High を維持した場合、送信開始しませんが、“TDR レジスタへ書き込んだ数 – 1” がデータ格納数となります (調歩同期式モードの FIFO 使用時と異なります)。これは、TDR レジスタ書き込み後に TSR レジスタへデータが転送されるためですが、CTSn# 信号を Low レベルにすると、TSR レジスタから送信が開始されるので、問題ありません。

送受信および送信動作中に CTSn# 端子を High にした場合、送受信および送信中のフレームは影響を受けず送受信および送信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用してシリアル通信開始要求を行う機能で、シリアル通信が可能な状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下のとおりです。

(a) SCR3.FM ビットが “0” (非 FIFO モード) の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR0.RE ビットまたは SCR0.TE ビットが “1”
- 読み出し前の受信データがない、かつ受信中でない (SCR0.RE ビットが “1” のとき)
- TDR レジスタに書いたデータが送信可能な状態になっている (SCR0.TE ビットが “1” のとき)
- SSR.ORER フラグが “0”

[High になる条件]

Low になる条件を満たさない場合

受信完了後 RDR レジスタを読み出さずに SCR0.RE ビット = 0 にして受信を終了させる場合は High のままです。この時は SCR0.RE ビット = 0 を書き込んでください。

(b) SCR3.FM ビットが “1” (FIFO モード) の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR0.RE ビットまたは SCR0.TE ビットが “1”
- 受信 FIFO (RDR レジスタ) 内に格納されているデータ数がしきい値 (FCR.RSTRG[4:0] ビット) 未満 (SCR0.RE ビットが “1” のとき)
- 送信FIFO (TDR レジスタ)に書いた送信データが送信可能な状態になっている (SCR0.TE ビットが “1” のとき)
- SSR.ORER フラグが “0”

[High になる条件]

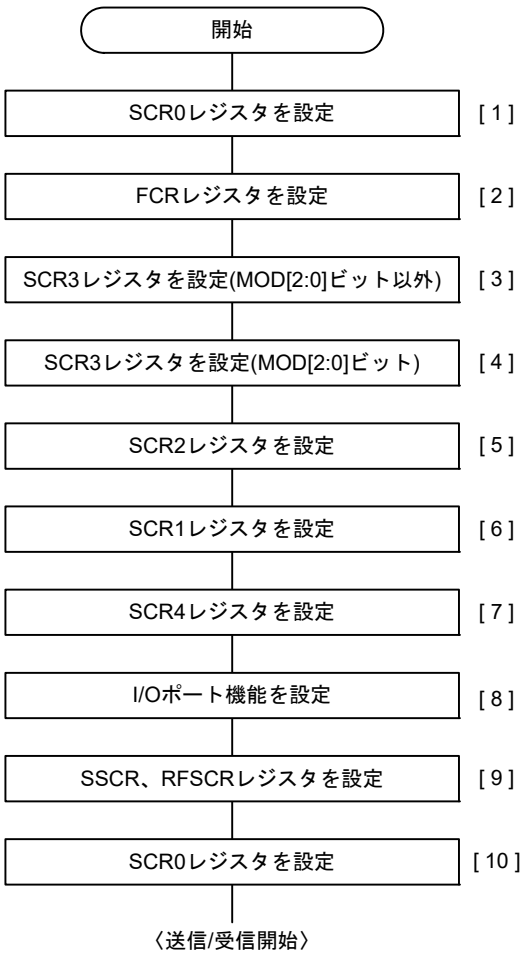
Low になる条件を満たさない場合

33.10.3　RSCI の初期化 (クロック同期式モード)

データの送受信前に SCR0.TE ビットと SCR0.RE ビットに “0” を書き込み (SCR0 レジスタに初期値を書き込むでも可)、図 33.96 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、TE ビットと RE ビットに “0” を書き込んでから変更してください。

RE ビットを “0” にしても、SSR レジスタの ORER、AFER、APER、RDRF フラグおよび RDR レジスタは初期化されませんので注意してください。また、TE ビットを “0” にしても FIFO モード時の SSR.TEND フラグは初期化されませんので注意してください。動作モードの変更時にも注意してください。

TE ビットを “0” から “1” にすると、SCR0.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。



[1]　SCR0レジスタの以下のビットを “0” にします(注1)。
TEIE, TIE, RIE, TE, RE
初期値から変更していない場合、本手順は省略できます。

[2]　FCR.TFRST/RFRSTビットを “1” にし送信FIFO/受信FIFOを初期化してください。また、TTRG[4:0]、RTRG[4:0]、RSTRG[4:0]ビットを設定してください。

[3]　FIFO機能、送信/受信フォーマット、クロック設定をしてください。未使用ビット(SCR3.CHR[1:0], STOP, RXDESEL, MP, DEEN, GM, BLK)は初期値のままとしてください。(注2)

[4]　通信モード(MOD[2:0]ビット= 010b)を設定してください。(注2)

[5]　クロック選択、ビットレート(注3)の設定をします。未使用ビット(SCR2.BCP[2:0], ABCS, ABCSE, BRME, MDDR[7:0])は初期値のままとしてください。

[6]　半二重制御、ループバック制御、通信端子状態、CTS/RTS機能の設定をします。

[7]　受信サンプリングタイミング調整機能の設定をします。
未使用ビット(SCR4.CMPD[8:0])は初期値のままとしてください。

[8]　TXDn、RXDn、およびSCKn端子のうち必要な入力/出力機能が有効となるようにI/Oポートを設定します。

[9]　SSCRレジスタ、RFSCRレジスタの以下のクリアビットを “1” にし、対象フラグをクリアします。
SSCR.RDRFC, AFERC, APERC, MFFC, ORERC, DFERC, DPERC, DCMFC, ERSC
RFSCR.DRC

[10]　SCR0.TEビット、またはSCR0.REビットを “1” にします(注4)。
割り込みを許可する場合は、TEビットとTIEビット、REビットとRIEビットを同時に1命令で “1” にしてください。
TE、REビットを設定することによりTXDn、RXDn端子が使用可能になります。

注1.　送受信同時動作の場合は、SCR0.TE、RE ビットの “0” 設定、 “1” 設定は、同時に行ってください。
注2.　通信モード設定前にクロック設定(CPOL、CPHAビット)してください。
注3.　外部クロック使用時は、設定の必要はありません。
注4.　内部クロック使用(マスタ)時、受信のみ設定は禁止です。

図 33.96　RSCI の初期化フローチャートの例 (クロック同期式モード)

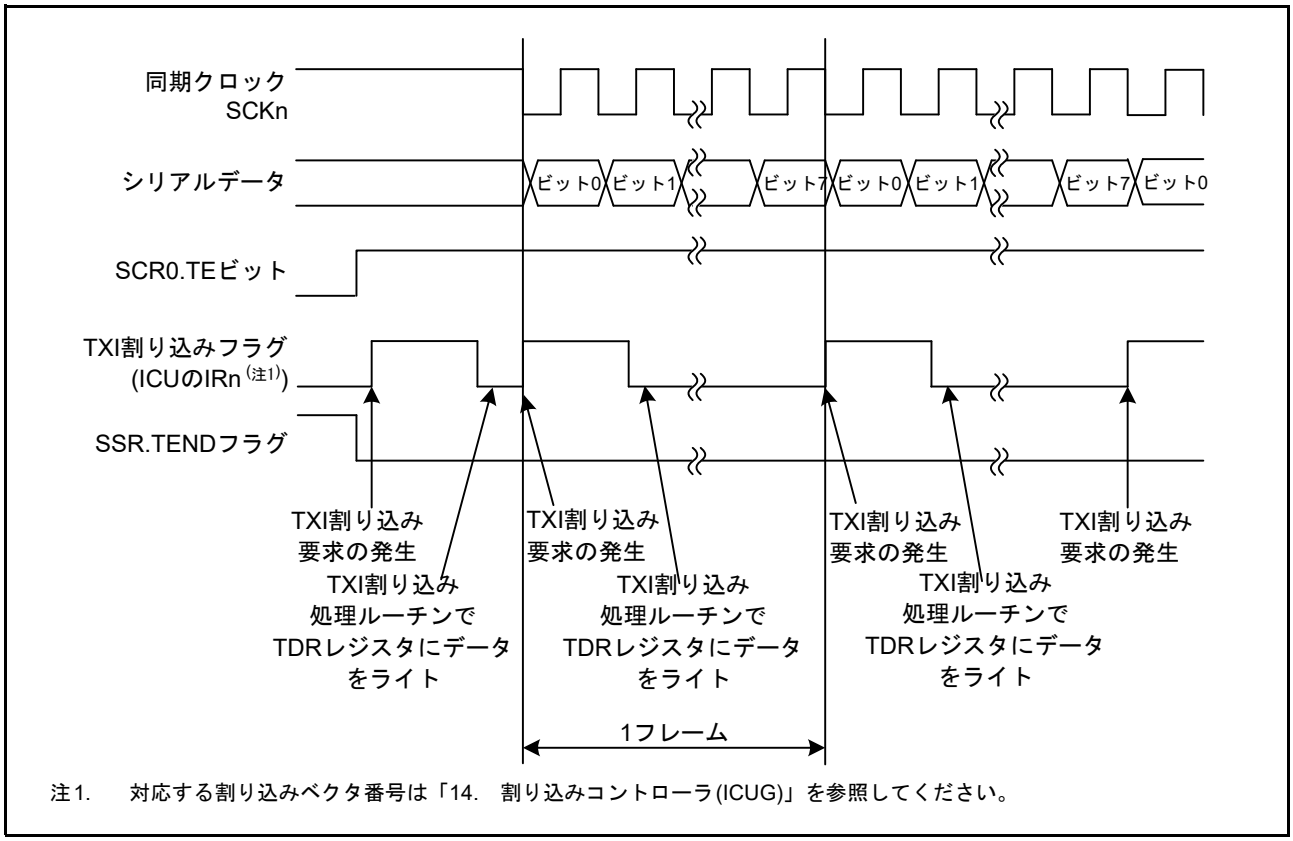
33.10.4 シリアルデータの送信 (クロック同期式モード)

(1) 非 FIFO モード時

図 33.97 ～図 33.99 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、RSCI は以下のように動作します。

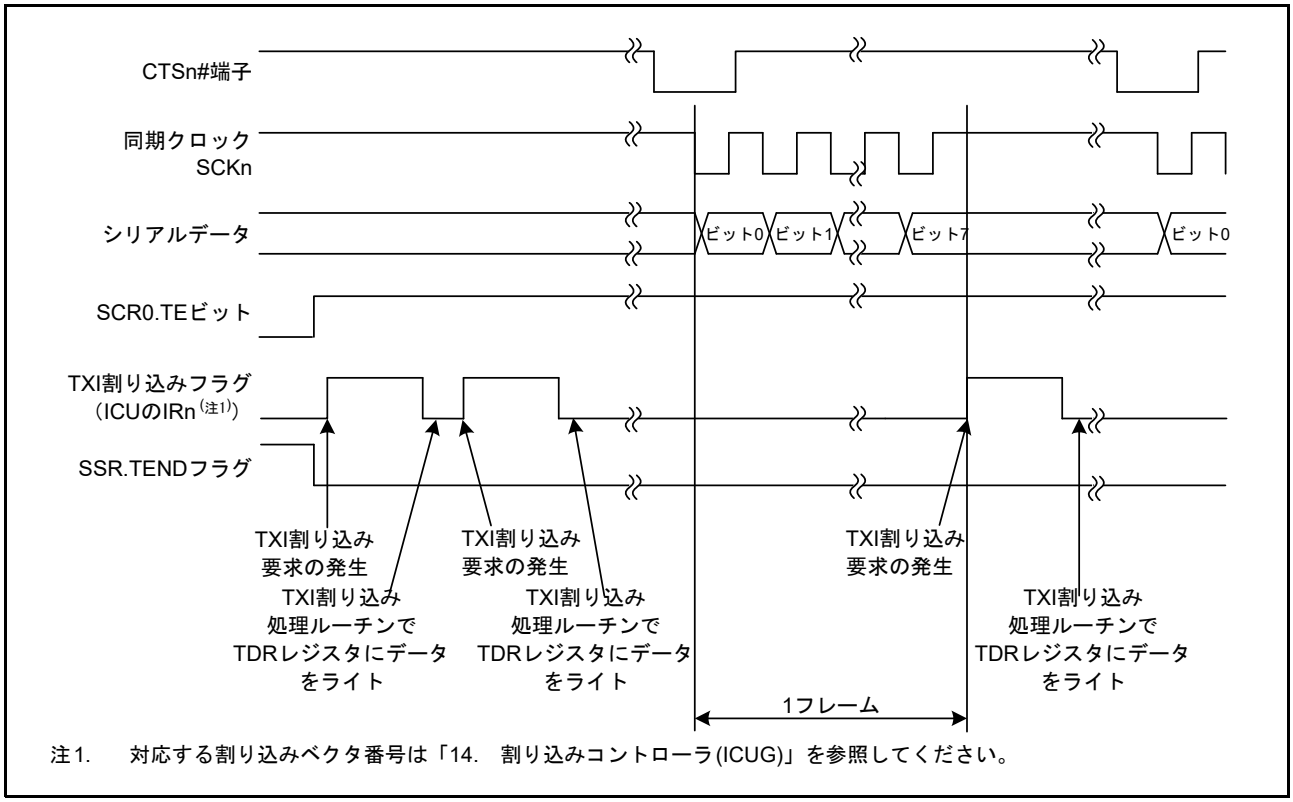
1. RSCI は TXI 割り込みルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に “1” にしてください。すると TXI 割り込み要求を発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR0.TIE ビットが “1” であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR0.TIE ビットを “0” (TXI 割り込み要求を禁止) に、SCR0.TEIE ビットを “1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SCR1.CTSE ビットが “1” (CTS 機能許可) のとき、CTS 信号入力が Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、最終ビット出力状態を保持します。このとき SCR0.TEIE ビットが “1” であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 33.100 にデータ送信のフローチャートの例を示します。



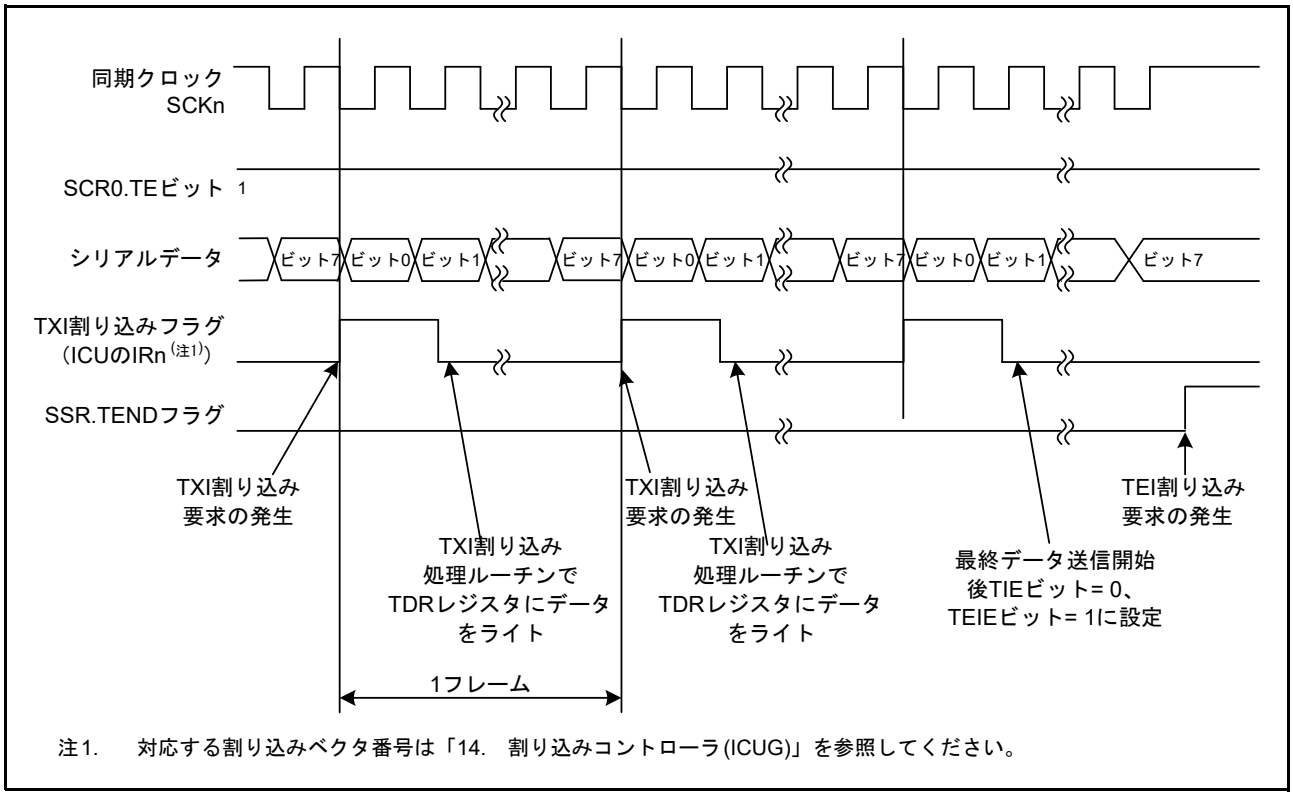
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.97　クロック同期式モードのシリアル送信の動作例 (1) (CTS 機能未使用時 / 送信開始時 /CPHA ビット = 1、CPOL ビット = 1)



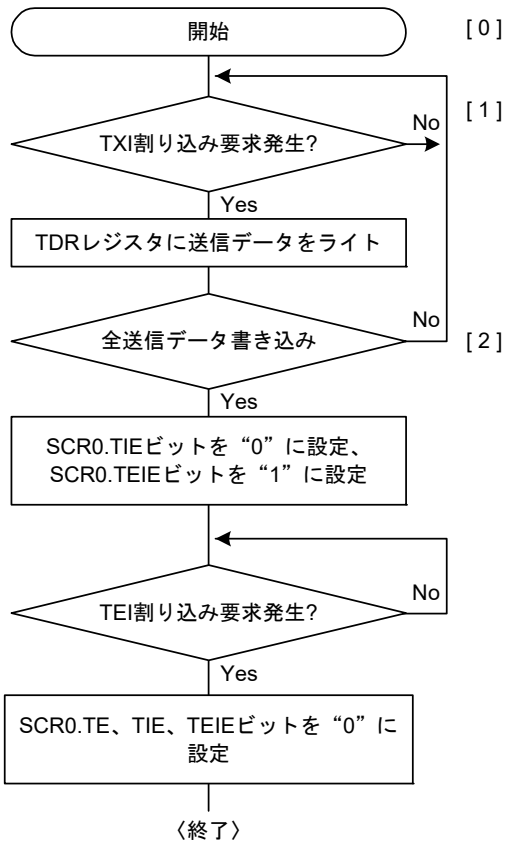
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.98　クロック同期式モードのシリアル送信の動作例 (2) (CTS 機能使用時 / 送信開始時 /CPHA ビット = 1、CPOL ビット = 1)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.99　クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信完了時 /CPHA ビット = 1、CPOL ビット = 1)



[0] 初期化処理において、SCR0.TEビット、TIEビットを“1”にします。

[1] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み(TXI)要求が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回ライトします。

[2] シリアル送信の継続手順：
シリアル送信を続けるときには、送信データエンプティ割り込み(TXI)要求によりTDRレジスタにデータをライトしてください。TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR0.TIEビットを“0”に、SCR0.TEIEビットを“1”にします。

注. 外部クロック(SCR3.CKE[1:0]ビット = 10b、11b)のときは、最終ビットのSCKn端子立ち上がりでSSR.TENDフラグが“1”になります。このとき、SCR0.TEビットを直ぐ“0”にすると受信デバイス側の受信データのホールド時間が不足する場合があります。

図 33.100　クロック同期式モードのシリアル送信のフローチャート例 (非 FIFO モード時)

(2)　FIFO モード時

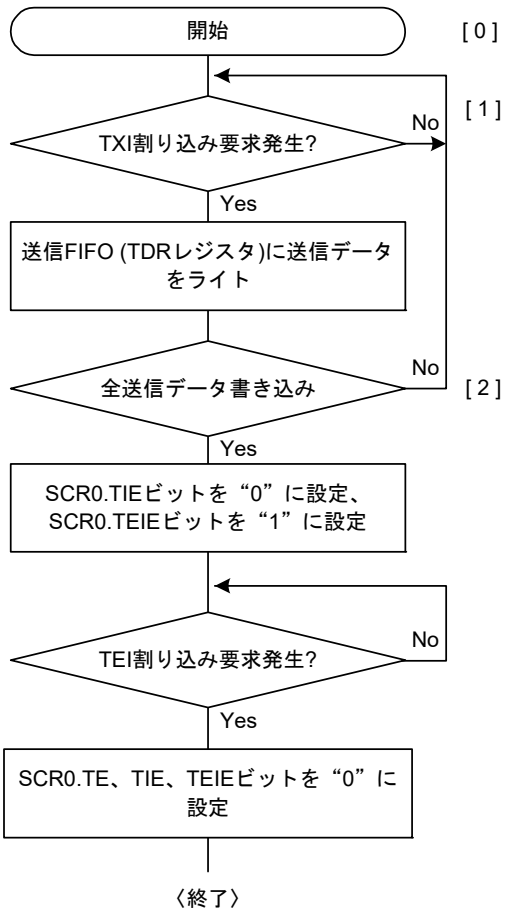
図 33.101 に FIFO モード時のクロック同期式モードのシリアル送信時のフローチャートの例を示します。シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込みルーチンで送信 FIFO (TDR レジスタ) にデータが書き込まれると、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送します。書き込み可能な送信データバイト数は “32 – 送信 FIFO (TDR レジスタ) に格納された未送信データ数 ” です。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを同時に “1” にすると、TXI 割り込み要求が生成されます。
2. 送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、送信を開始します。送信 FIFO (TDR レジスタ) に格納されたデータの数が送信 FIFO しきい値以下になると、SSR.TDRE フラグが “1” になります。このとき、SCR0.TIE ビットが “1” にセットされていると TXI 割り込み要求を発生します。TXI 割り込みルーチンで、送信 FIFO (TDR レジスタ) に書き込んだデータの送信が終了するまでに送信 FIFO (TDR レジスタ) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを送信 FIFO (TDR レジスタ) に書き込んだ後、SCR0.TIE ビットを “0” に、TEIE ビットを “1” にします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入

力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SCR1.CTSE ビットが “1” (CTS 機能許可) の場合、CTSn# 端子に Low が入力されるまで待って送信を開始します。

4. RSCI は、最終ビットを送り出すタイミングで送信 FIFO (TDR レジスタ) (注 1) に未送信データが残っているかどうかを確認します。
5. 送信 FIFO (TDR レジスタ) に未送信データがあった場合、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. 送信 FIFO (TDR レジスタ) に未送信データがなかった場合、SSR.TEND フラグを “1” にし、最終ビット出力状態を保持します。このとき SCR0.TEIE ビットが “1” であると、TEI 割り込み要求を生成します。SCKn 端子は High に固定されます。

注 1.　送信 FIFO (TDR レジスタ) に格納された未送信データの数は TFSR.T[5:0] ビットで確認できます。



[0]　初期化処理において、SCR0.TE ビット、TIE ビットを “1” にします。

[1]　TXI 割り込み要求で送信データを送信 FIFO (TDR レジスタ) にライト :
送信データが送信 FIFO (TDR レジスタ) から TSR レジスタに転送され、送信 FIFO (TDR レジスタ) に格納されたデータの数が送信 FIFO しきい値以下になると、送信データエンプティ割り込み要求 (TXI) が発生します。

[2]　シリアル送信の継続手順 :
シリアル送信を続けるときには、送信データエンプティ割り込み (TXI) 要求により送信 FIFO (TDR レジスタ) にデータをライトした後、SSR.TDRE フラグを “0” にしてください。書き込み可能な送信データ数は 32 – 送信 FIFO 格納データ数になります。
TXI 割り込み要求で DMAC または DTC を起動し、送信 FIFO (TDR レジスタ) にデータを書き込む場合は、SSR.TDRE フラグは自動でクリアされるので、SSR.TDRE フラグの操作はしないでください。
TEI 割り込み要求を使用する場合、最終送信データを送信 FIFO (TDR レジスタ) にライトした後、SCR0.TIE ビットを “0” に、SCR0.TEIE ビットを “1” にします。

注.　外部クロック (SCR3.CKE[1:0] ビット = 10b、11b) のときは、最終ビットの SCKn 端子立ち上がりで SSR.TEND フラグが “1” になります。このとき、SCR0.TE ビットを “0” にすると受信デバイス側の受信データのホールド時間が不足する場合があります。

図 33.101　クロック同期式モードのシリアル送信のフローチャート例 (FIFO モード時)

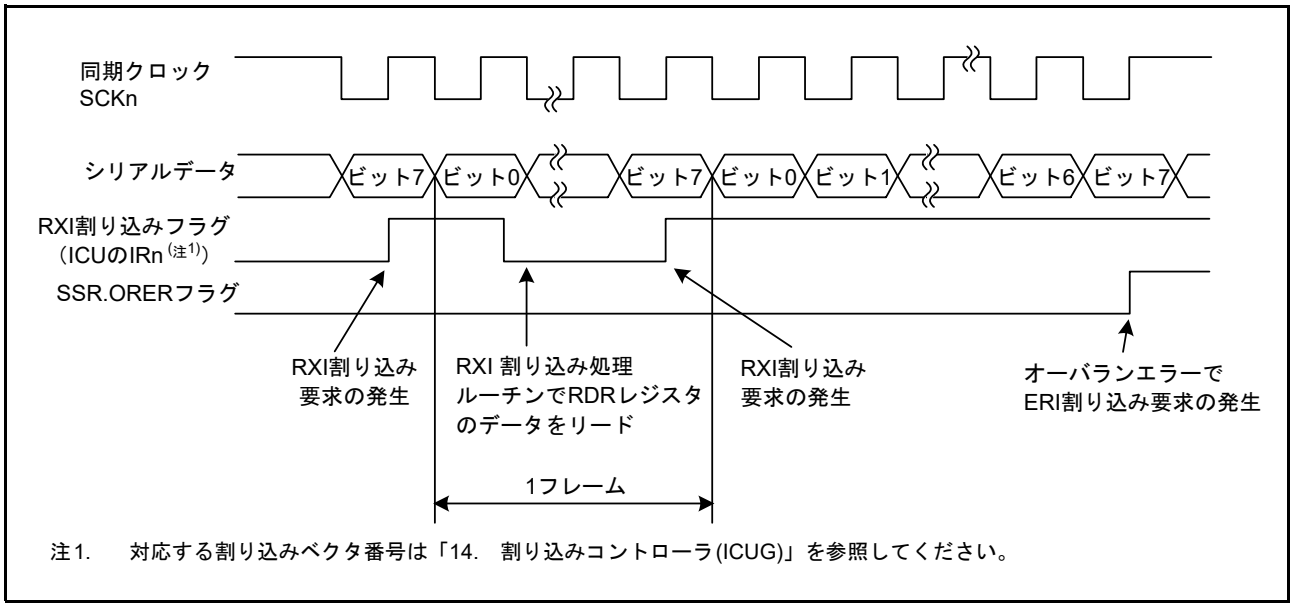
33.10.5　シリアルデータの受信 (クロック同期式モード)

(1)　非 FIFO モード時

図 33.102、図 33.103 にクロック同期式モードのシリアル受信時の動作例を示します。

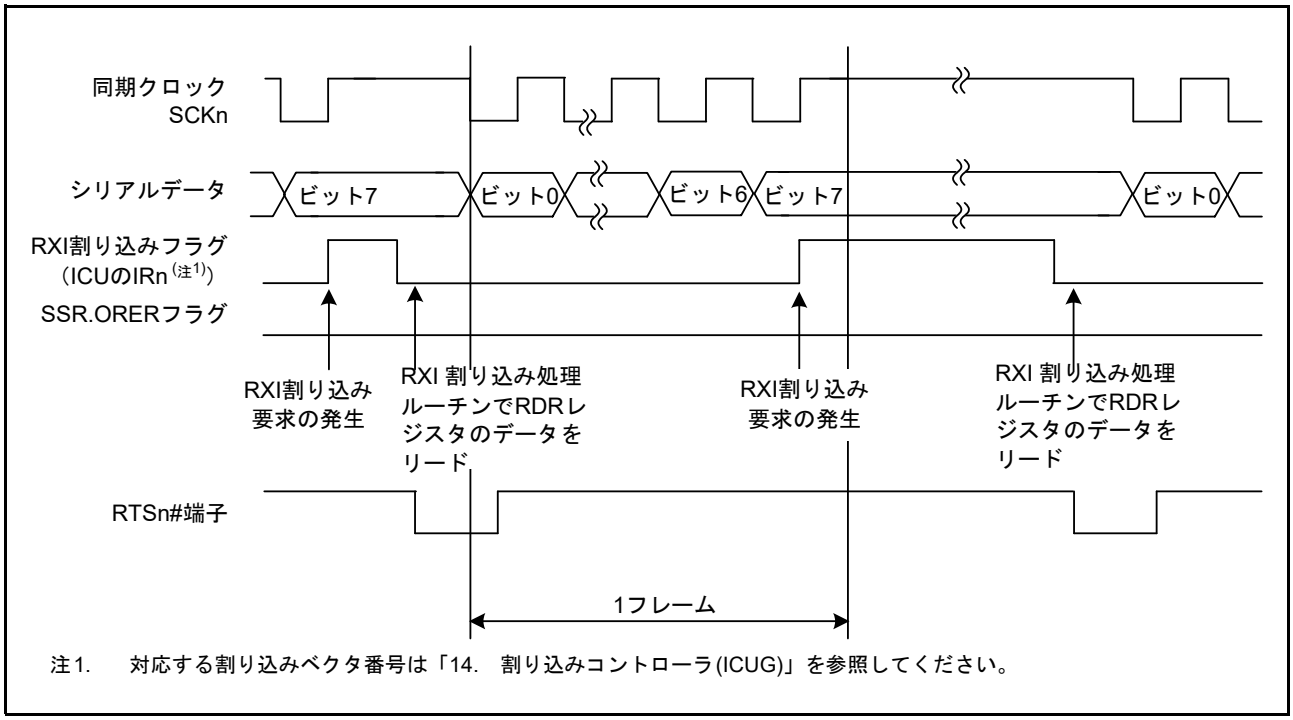
シリアルデータの受信時、RSCI は以下のように動作します。また、受信のみ動作はスレーブモード時のみ可能です (マスタモード時は受信のみ動作は禁止です)。

1. SCR0.RE ビットが “1” になると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。
2. RSCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR0.RIE ビットが “1” であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが “1” であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタを読み出す前に、SCR0.RE ビットを “0” にしてください。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.102　クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時 /CPHA ビット = 1、CPOL ビット = 1)

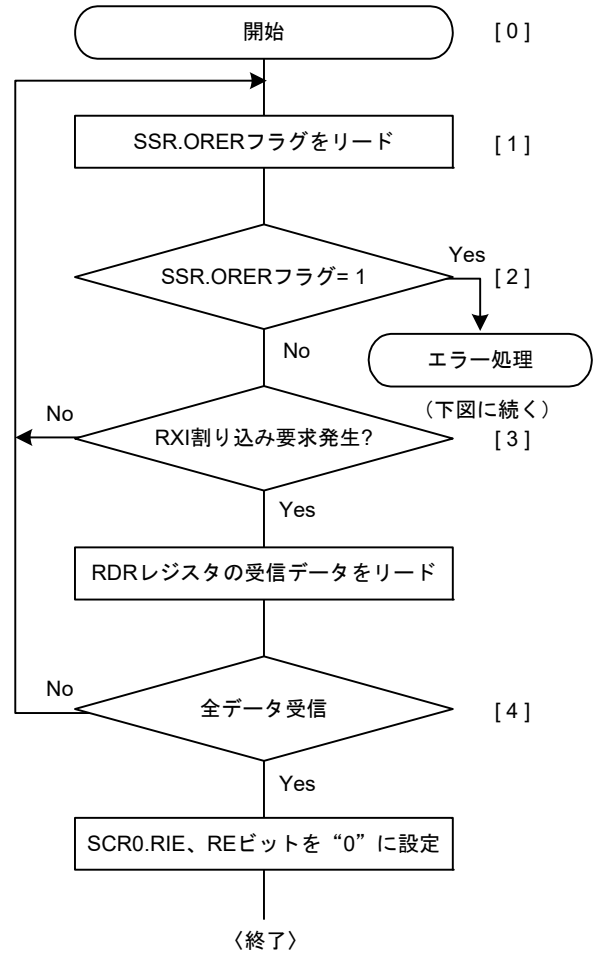


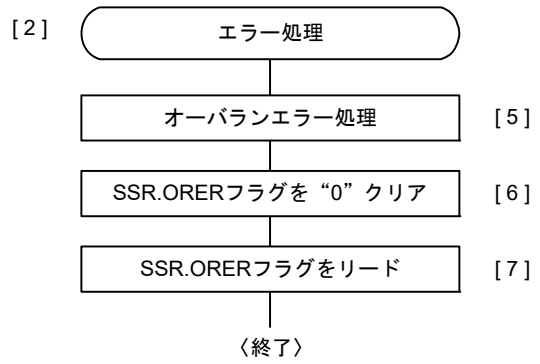
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.103　クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時 /CPHA ビット = 1、CPOL ビット = 1)

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、AFER、APER フラグを “0” にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 33.104 にシリアル受信のフローチャートの例を示します。





[0] 初期化処理において、SCR0.REビット、RIEビットを“1”にします。

[1][2]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは、受信を再開できません。

[3] RXI割り込み要求(RXI)でRDRレジスタの受信データを1回読み出してください。

[4] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB(ビット7)を受信する前に、RDRレジスタのリードを終了しておいてください。受信データフル割り込み(RXI)要求でDMACまたはDTCを起動し、RDRの値をリードすることも可能です。

[5] オーバランエラー処理：
RDRレジスタをリードします。[6]と合わせて行うことで、次のフレームを正常受信可能となります。

[6] エラーフラグのクリア：
エラーフラグを“0”にします。

[7] エラーフラグのクリア確認：
エラーフラグが“0”になったことを確認してください。

図 33.104　クロック同期式モードのシリアル受信のフローチャート例 (非 FIFO モード時)

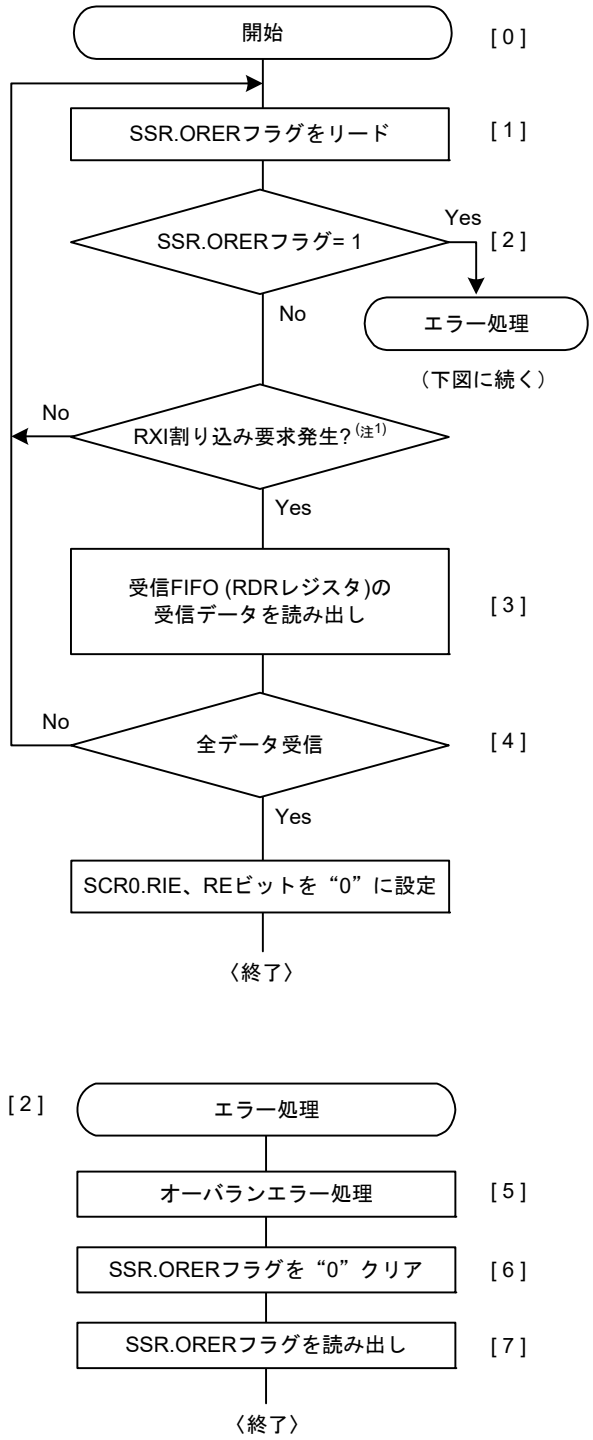
(2) FIFO モード時

図 33.105 に FIFO モード時のクロック同期式モードのシリアル受信時のフローチャートの例を示します。

シリアルデータの受信時、RSCI は以下のように動作します。また、受信のみ動作はスレーブモード時のみ可能です (マスタモード時は受信のみ動作は禁止です)。

1. SCR0.RE ビットが “1” になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. RSCI は同期クロックの入力、または出力に同期して受信を開始し、受信データを受信 FIFO (RDR レジスタ) に取り込みます。
3. オーバランエラーが発生したときは SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが “1” であると、ERI 割り込み要求を生成します。受信データは受信 FIFO (RDR レジスタ) (注 1) に転送しません。
4. 正常に受信したときは、受信データを受信 FIFO (RDR レジスタ) (注 1) に転送します。受信 FIFO (RDR レジスタ) に格納した受信データの数が受信 FIFO しきい値以上になると、SSR.RDRF フラグが “1” になります。このとき RIE ビットが “1” にセットされていると RXI 割り込み要求を発生します。RXI 割り込み処理ルーチンで受信 FIFO (RDR レジスタ) に転送された受信データをオーバランエラーが発生するまでに読み出すことで連続受信が可能です。受信 FIFO (RDR レジスタ) に転送された受信データが読み出され、RTS# 出力しきい値より少なくなると、RTSn# 端子出力を Low にします (RTS 機能使用時)。

注 1. RDR.RDAT[8] ビットは使用しません。



[0] 初期化処理において、SCR0.REビット、RIEビットを“1”にします。

[1][2]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは、受信を再開できません。

[3] 受信FIFO (RDRレジスタ)に格納された受信データのうち、少なくとも受信FIFOしきい値に設定した数を読み出します。RDRレジスタを読み出すと、SSR.RDRFフラグが“0”にクリアされます。読み出し可能なデータ数はRFSR.R[5:0]ビットにより確認できます。

[4] シリアル受信の継続手順：
シリアル受信を続けるときには、オーバランエラーが発生する前に、RDRレジスタを読み出してください。受信データフル割り込み(RXI)要求でDMACまたはDTCを起動し、RDRの値を読み出すことも可能です。

[5] オーバランエラー処理：
RDRレジスタを読み出します。[6]と合わせて行うことで、次のフレームを正常受信可能となります。

[6] エラーフラグのクリア：
エラーフラグを“0”にします。

[7] エラーフラグのクリア確認：
エラーフラグが“0”になったことを確認してください。

注1. 全受信データは受信FIFOしきい値の整数倍にしてください。整数倍でない場合、RXI割り込みが出なくなり無限ループになりますので、別途タイマ等を用いてタイムアウト時間を設定する等してください。

図 33.105 クロック同期式モードのシリアル受信のフローチャート例 (FIFO モード時)

33.10.6　シリアルデータの送受信同時動作 (クロック同期式モード)

クロック同期式モードでは送受信が同時に行われるため、送信データの数と受信データの数は同じです。

(1)　非 FIFO モード時

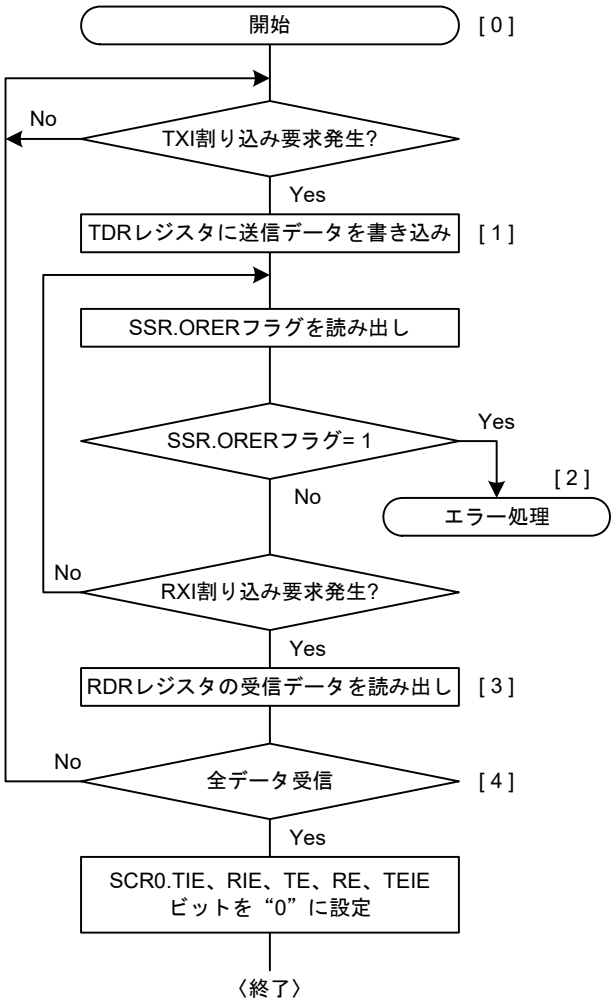
図 33.106 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、RSCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、RSCI が送信完了状態であることを SSR.TEND フラグが “1” であることで確認してください。その後、SCR0 レジスタの TE、RE ビットを “0” にしてから SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に “1” にしてください。

受信から同時送受信へ切り替えるときには、RSCI が受信完了状態であることを確認した後、SCR0 レジスタの TE、RE ビットを “0” にしてから、エラーフラグ (SSR.ORER, AFER, APER) が “0” であることを確認した後、SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に “1” にしてください。

送受信同時動作での RTS 機能使用時に、受信時と同様に最終データ受信後の RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE と TE ビットを同時に “0” にしてください。



[0]　初期化処理において、SCR0.TEビット、REビット、TIEビット、RIEビットを“1”にします。

[1]　送信データのライト：
TXI割り込みでTDRレジスタに送信データを1回書き込みます。

[2]　受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは受信を再開できません。

[3]　受信データのリード：
RXI割り込みでRDRレジスタの受信データを1回読み出します。

[4]　シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB (ビット7) を受信する前にRXI割り込みでRDRレジスタの読み出しを終了しておいてください。また、現在のフレームのMSB (ビット7) を送信する前にTXI割り込みでTDRレジスタにデータをライトしてください。
送信データエンプティ割り込み(TXI)要求でDMACまたはDTCを起動し、TDRレジスタにデータを書き込むことや、受信データフル割り込み(RXI)要求でDMACまたはDTCを起動し、RDRレジスタの値を読み出すことも可能です。

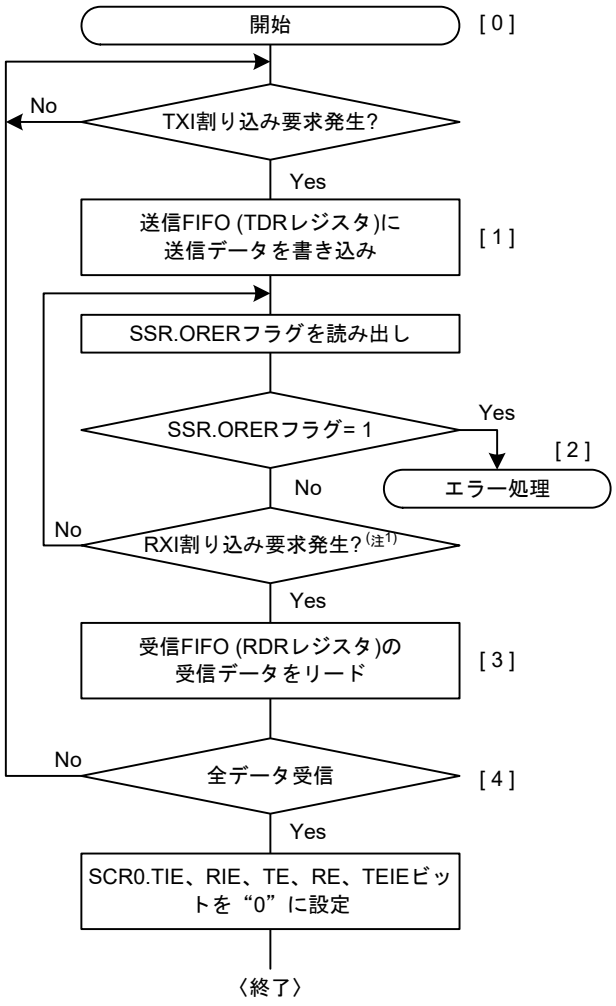
図 33.106　クロック同期式モードのシリアル送受信同時動作のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

図 33.107 に FIFO モード時のクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は RSCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、RSCI が送信完了状態であることを、SSR.TEND フラグが “1” であることで確認してください。その後、SCR0.TE ビット = 0 かつ RE ビット = 0 にしてから、SCR0.TE、および RE、TIE、RIE ビットを 1 命令で同時に “1” にしてください。

受信から同時送受信へ切り替えるときには、RSCI が受信完了状態であることを確認した後、SCR0.TE ビット = 0 かつ RE ビット = 0 にしてから、エラーフラグ (SSR.ORER, AFER, APER) が “0” であることを確認した後、SCR0.TE、および RE、TIE、RIE ビットを 1 命令で同時に “1” にしてください。



注1. 全受信データ数は受信FIFOしきい値の整数倍にしてください。整数倍でない場合、RXI割り込みが出なくなり無限ループになる恐れがありますので、別途タイマ等を用いてタイムアウト時間を設定する等してください。

[0] 初期化処理において、SCR0.TE ビット、RE ビット、TIE ビット、RIE ビットを “1” にします。

[1] 送信データのライト :
TXI 割り込みで送信 FIFO (TDR レジスタ) に送信データを書き込みます。書き込むデータの数は、受信 FIFO しきい値に指定した数と一致させてください。

[2] 受信エラー処理 :
受信エラーが発生したときには、SSR.ORER フラグを読み出してから、所定のエラー処理 (通信を停止し、受信データをすべて読み出して SSR.RDRF フラグをクリアする) を行った後、ORER フラグを “0” にしてください。ORER フラグが “1” のままでは受信を再開できません。

[3] 受信データのリード :
受信 FIFO (RDR レジスタ) に格納された受信データを、受信 FIFO しきい値に指定した数と同じだけ読み出します。

[4] シリアル送受信の継続手順 :
シリアル送受信を続けるときには、オーバランエラーが発生する前に、受信 FIFO (RDR レジスタ) を読み出し SSR.RDRF フラグを “0” にしてください。また、送信 FIFO (TDR レジスタ) に書き込んだデータの送信が完了する前に TXI 割り込みで送信 FIFO (TDR レジスタ) にデータを書き込み SSR.TDRE フラグを “0” にしてください。送信 FIFO データエンプティ割り込み (TXI) 要求で DMAC または DTC を起動し、送信 FIFO (TDR レジスタ) にデータを書き込むことや、受信 FIFO データフル割り込み (RXI) 要求で DMAC または DTC を起動し受信 FIFO (RDR レジスタ) の値を読み出すことも可能です。この場合、SSR.TDRE、RDRF フラグは自動でクリアされるので、フラグの操作はしないでください。

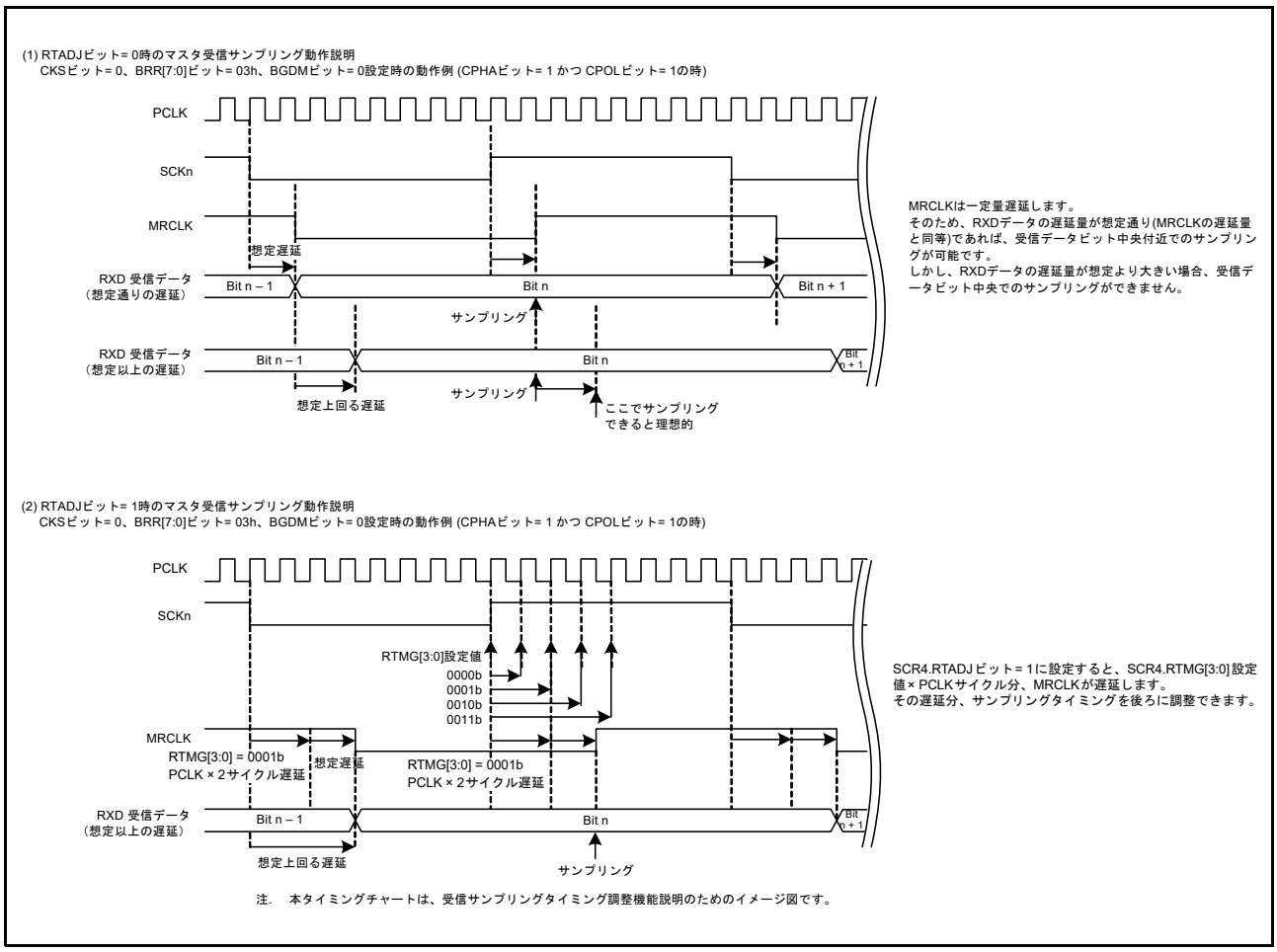
図 33.107　クロック同期式モードのシリアル送受信同時動作のフローチャート例 (FIFO モード時)

33.10.7　クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能

クロック同期式モード内部クロック使用 (マスタモード) 時、受信サンプリングクロックに、MRCLK を使用します。

本機能は、MRCLK を 1 PCLK ～ 4 PCLK 遅延させデジタル遅延を付加することで、受信サンプリングタイミングを調整する機能です。MRCLK のアナログ遅延は調整できません。

本機能は、SCR4.RTADJ ビット = 1 とすることで使用可能です、遅延値は、SCR4.RTMG[3:0] ビットで設定します。



注.　本タイミングチャートは、受信サンプリングタイミング調整機能説明のためのイメージ図です。

図 33.108　クロック同期式モードマスタ動作時、および簡易 SPI モードマスタ動作時の受信サンプリングタイミング調整動作説明

33.11 簡易 SPI モードの動作

RSCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

簡易 SPI モードの設定 (SCR3.MOD[2:0] ビット = 011b)、かつ、SCR0.SSE ビットを “1” にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SCR0.SSE ビットを “0” にします。

図 33.109 に簡易 SPI モードの接続例を示します。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。

RSCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

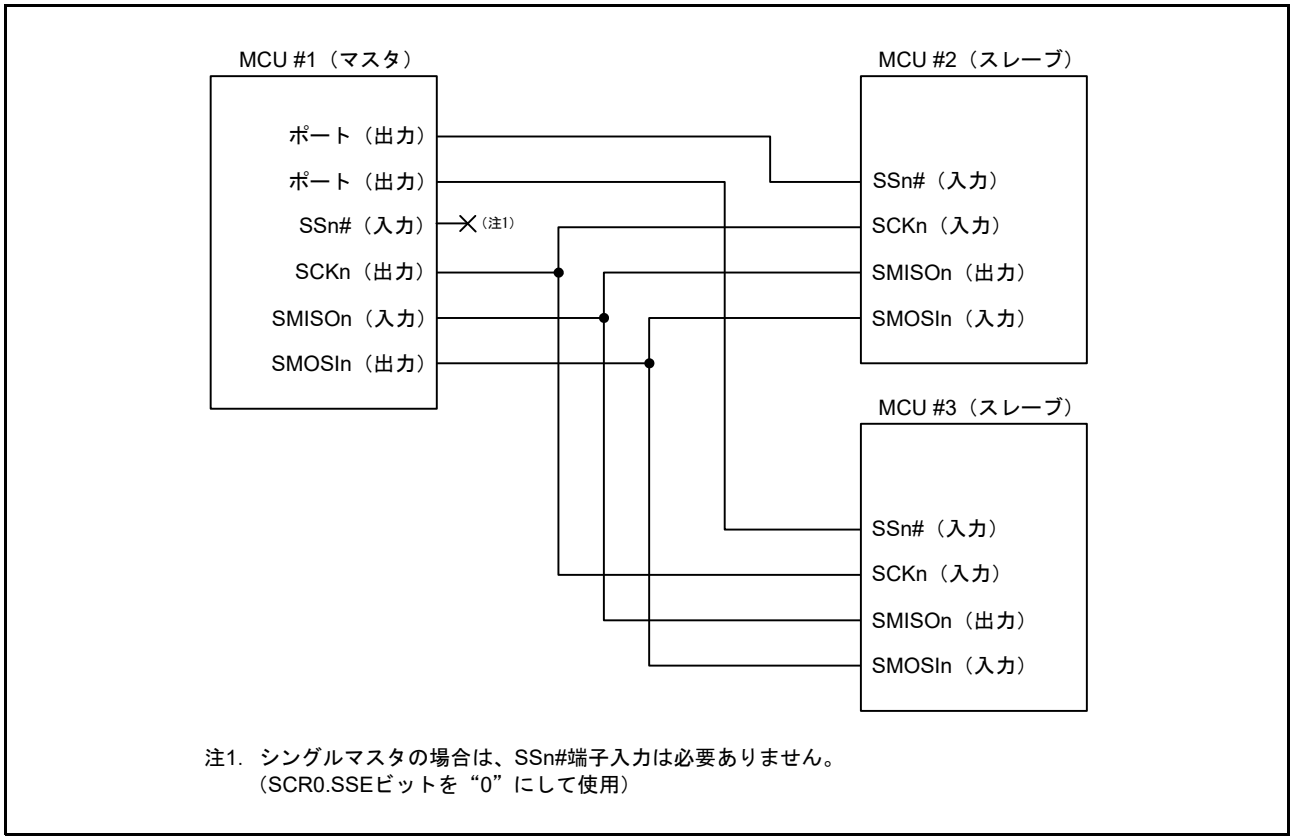


図 33.109 簡易 SPI モードの接続例

33.11.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR3.CKE[1:0] ビット = 00b または 01b) とスレーブモード (SCR3.CKE[1:0] ビット = 10b または 11b) で各端子の入出力方向が変わります。

表 33.41 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表33.41　モードおよびSSn#端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn端子状態	SMISOn端子状態	SCKn端子状態
マスタモード(注1)	High (通信可能)	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力(無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力(無効)	ハイインピーダンス	クロック入力(無効)
	Low (通信可能)	受信データ入力	送信データ出力(注2)	クロック入力

注1.　シングルマスタ時(SCR0.SSE ビット = 0)は、SSn#端子の入力レベルに関わらず通信可能(SSn#端子入力がHighのときと等価)となります。SSn#端子は未使用であり、別の用途として使用できます。
注2.　送信禁止時(SCR0.TE ビット = 0)はハイインピーダンスです。
注3.　マルチマスタ (SCR0.SSE ビット = 1)かつ送受信禁止時(SCR0.TE ビット = 0、RE ビット = 0)はハイインピーダンスです。

33.11.2　マスタモード時の SS 機能

SCR3.CKE[1:0] ビットを “00b” または “01b” に設定することで、マスタモードになります。

シングルマスタ時 (SCR0.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。SSn# 端子は別の用途で使用可能です。

マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき RSCI は TXDn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトとして SSR.MFF フラグが “1” になります。マルチマスタ時は SSR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生した場合、SSn# 端子入力が Low の期間中は SCKn 端子、TXDn 端子出力をハイインピーダンスにします。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

マスタモード時の SS 信号出力については、汎用ポートで制御してください。

33.11.3　スレーブモード時の SS 機能

SCR3.CKE[1:0] ビットを “10b” または “11b” に設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、RXDn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、RXDn 端子出力をハイインピーダンスにし、即座に送受信動作を停止します。送信動作中であった場合、SSR.TEND フラグはセットせず、送信完了割り込みも出力しない、異常停止状態となりますので、スレーブ送受信動作中に SSn# 端子をネゲートしないでください。異常停止状態となった場合、SCR0.RE ビットかつ SCR0.TE ビットを “0” にし送受信動作を停止させてください。送受信動作を再開する場合は、PCLK × 3 サイクル以上空けてから SCR0.RE、TE ビットを “1” にしてください。

33.11.4　クロックと送受信データの関係

SCR3.CPOL、CPHA ビットにより、送受信に用いるクロックを 4 種類から選択可能です。クロックと送受信データの関係を図 33.110 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

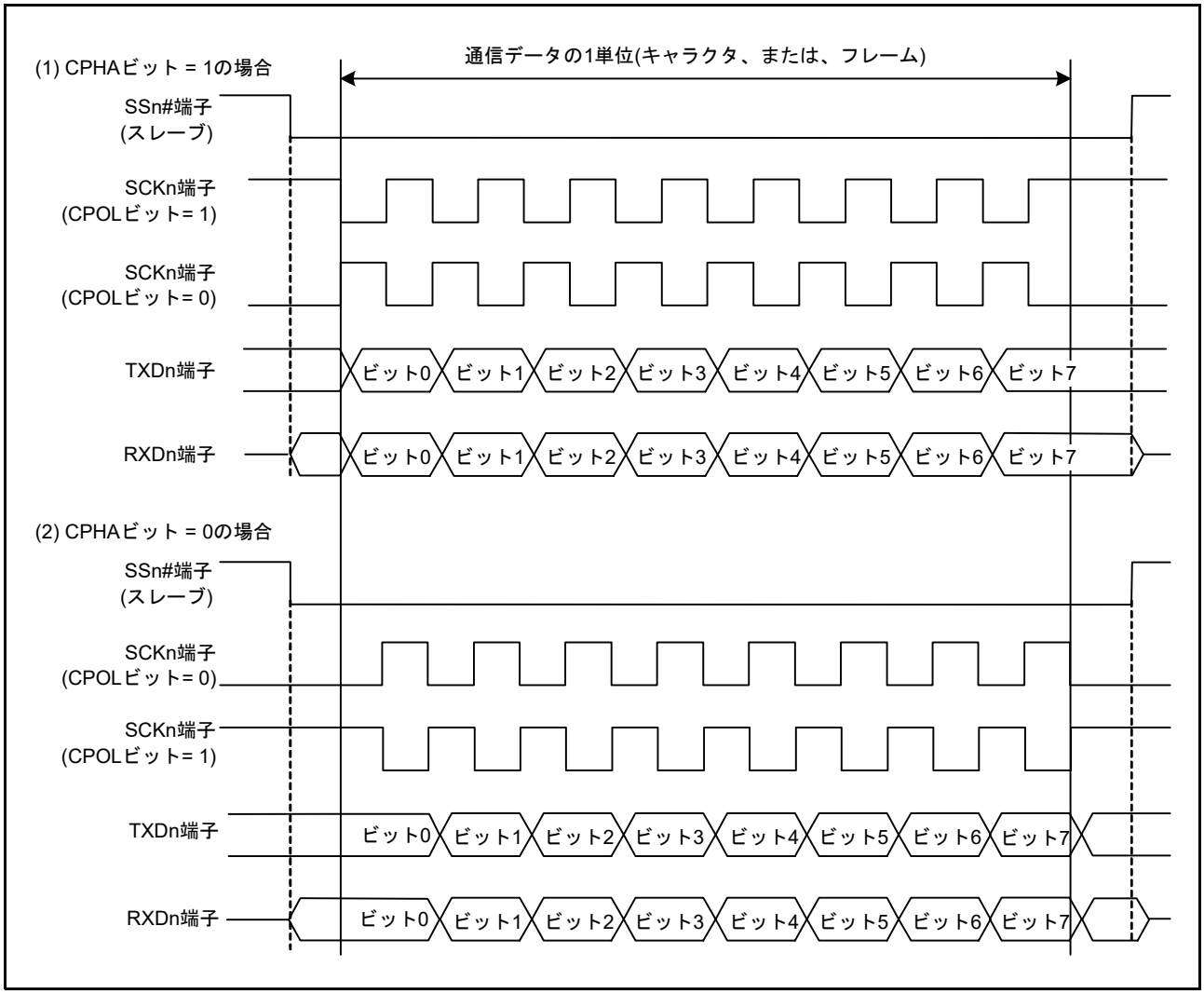


図 33.110　簡易 SPI モードのクロックと送受信データの関係

33.11.5　RSCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 33.96 の RSCI の初期化フローチャート例) と同様です。SCR3 レジスタの CPOL、CPHA ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、通信を停止 (SCR0.RE ビット = 0 かつ SCR0.TE ビット = 0) してから変更してください。

RE ビットを “0” にしても、SSR レジスタの ORER、AFER、APER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを “0” から “1” にすると、SCR0.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

33.11.6　シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にしてください。送受信が終了したら、送受信先のスレーブデバイスの SSn# 端子を High にしてください。マスタモード時でも SCR0.SSE ビット = 1 としたマルチマスタ動作の場合、SSn# 端子が Low ではモードフォルトとなります。そのため、通信開始前にモードフォルトが発生していないことを確認して通信を開始し、通信終了後にもモードフォルトが発生していないことを確認してください。モードフォルトが発生していたら、通信が不完全な可能性があるので、再送などの対策が必要になります。これ以外の手順はクロック同期式モードと同様です。

スレーブモード時は、SSn# 端子入力レベルに応じて動作します。それ以外の手順はクロック同期式モードと同様です。

33.11.7　簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能

簡易 SPI モードの受信サンプリンタイミング調整機能は、クロック同期式モードの受信サンプリングタイミング調整機能と同じです。動作説明は、**「33.10.7　クロック同期式モード内部クロック使用時の受信サンプリングタイミング 調整機能」**を参照してください。

33.12　ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCR2.CKS[1:0] ビットで指定された内部クロックを、その 256 クロック中で SCR2.MDDR[7:0] ビットで指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで SCR2.CKS[1:0] ビットで PCLK を選択し、BRR[7:0] ビットが “00h”、MDDR[7:0] ビットが “160” のときの例を、**図 33.111** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意してください。

注 .　クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

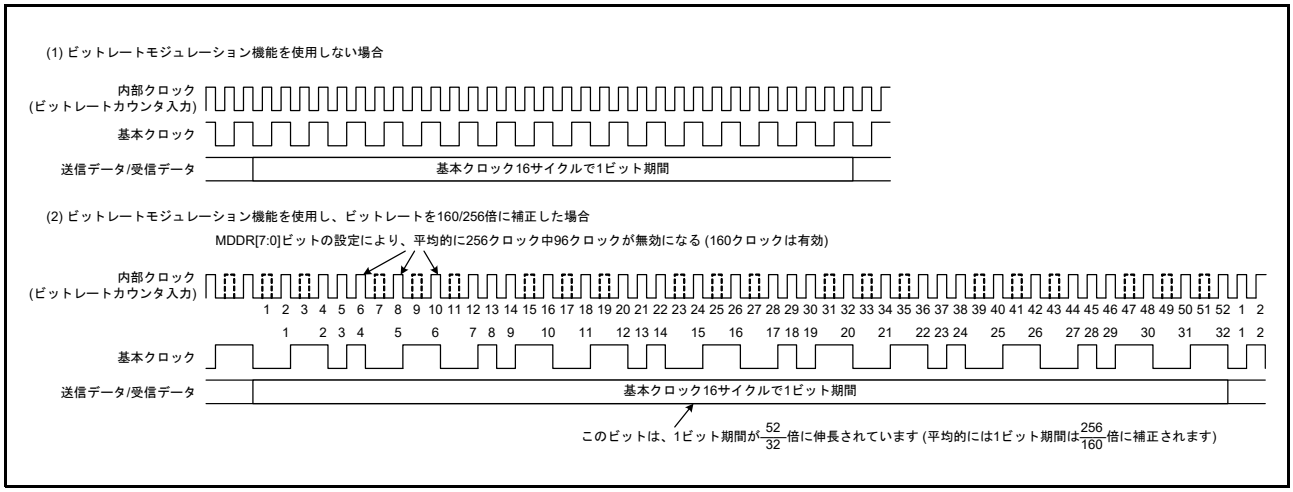


図 33.111　ビットレートモジュレーション機能使用時の基本クロックの例

33.13 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 33.112 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致すると、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード、マンチェスタモード、および拡張シリアルモード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SCR2.ABCSE ビット = 0 かつ SCR2.ABCS ビット = 0 のとき 1 ビット期間の 1/16、ABCSE ビット = 0 かつ ABCS ビット = 1 のとき 1 ビット期間の 1/8、ABCSE ビット = 1 のとき 1 ビット期間の 1/6)、および内蔵ボーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SCR1.NFCS[2:0] ビットの設定により選択します。なお、ABCSE ビットを “1” にするときは、NFCS[2:0] ビットを “000b” または “001b” にしてください。

簡易 I^2C モード時は TXDn/SSDAn 端子、RXDn/SSCLn 端子からの各入力に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR0.TE ビット = 0、SCR0.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて “1” に初期化され、受信再開時の入力データが “1” の場合は一致検出として内部信号に伝えられます。“0” の場合は 3 回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

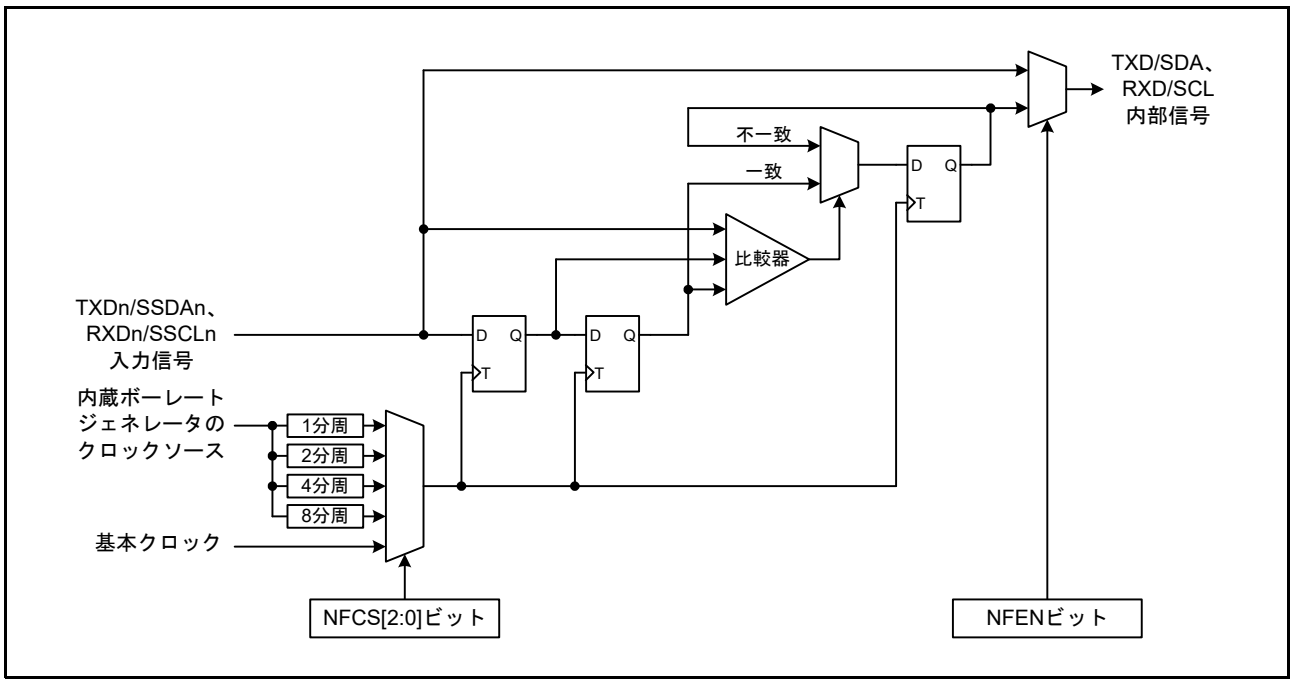


図 33.112 デジタルノイズフィルタのブロック図

33.14 RS-485 ドライバ制御機能

RSCI 制御レジスタ 3 (SCR3) の DEEN ビットを “1” にすることで、RS-485 ドライバ制御機能が有効になり、外部トランシーバーの送信モードを有効にする DE (Driver Enable) 信号を生成します。

DE 信号は、データ送信前後にセットアップ時間とホールド時間を付加した期間、有効レベルを出力します。DE 信号の有効レベルは、DE 信号制御レジスタ (DECR) の DELVL ビットで設定します。

セットアップ時間とは、DE 信号の有効からスタートビットの開始までの時間です。DE 信号制御レジスタ (DECR) の DESU[4:0] ビットで設定します。

ホールド時間とは、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間です。DE 信号制御レジスタ (DECR) の DEHLD[4:0] ビットで設定します。

DESU[4:0] ビットおよび DEHLD[4:0] ビットは RSCI 基本クロック単位 (1/6、1/8 または 1/16 ビット時間) で表されます。詳細は、「33.2.13　DE 信号制御レジスタ (DECR)」を参照してください。

また、本機能使用時 (DEEN ビット = 1)、TEND セットタイミングと TEI 割り込み出力タイミングは DE 信号ホールド時間終了時になります。

送信が終了し、DE 信号がネゲートされるまでに次の送信データが書き込まれない場合、一度 DE 信号はネゲートされます。次の送信データを書き込むタイミングが上記に間に合わなかった場合、DE 信号はネゲート後再びアサートされ、設定したセットアップ時間を挿入して次のデータを送信します。DE 信号をアサートしたまま、次の送信を行いたい場合は、十分早く次の送信データを TDR へ書き込んでください。

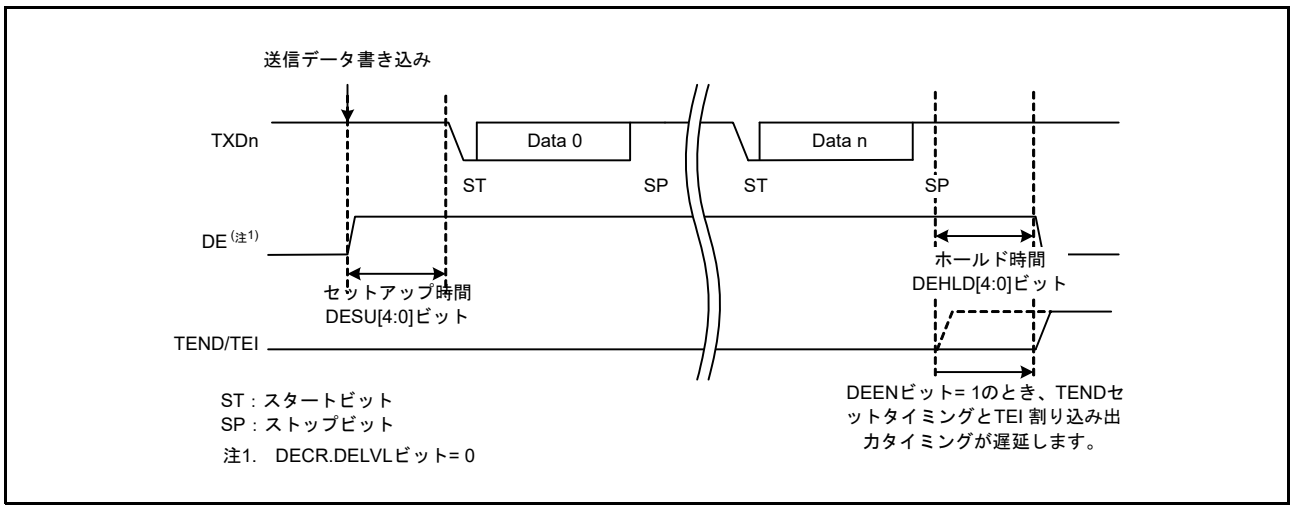


図 33.113　RS-485 ドライバ制御 DE 信号出力イメージ波形

33.15 ループバック機能

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時に使用可能です。

SCR1 レジスタの LOOP ビットに “1” を書き込むと、RSCI は、外部入力 (RXD) の経路を遮断し、送信データレジスタの出力経路と受信データレジスタの入力経路を接続します。

また、TINV ビット = 1 で本機能を利用すると、RSCI の送信データの反転が RSCI の受信データになります。ただし、TINV ビット = 1 で本機能を使用できるのは、クロック同期式モード内部クロック動作時のみです。

TINV ビット、LOOP ビットの設定と受信データの関係を**表 33.42** に示します。

表 33.42　TINV ビット、LOOP ビットの設定と受信データ

TINV	LOOP	受信データ	使用許可モード		
			調歩同期式 内部クロック動作	マンチェスタ 内部クロック動作	クロック同期式 内部クロック動作
—	0	RXDn端子からの入力データ	可	可	可
0	1	送信データ	可	可	可
1	1	送信データの反転	不可	不可	可

ー：任意

図 33.114 に、ループバックモードのシフトレジスタ入出力経路の構成を示します。

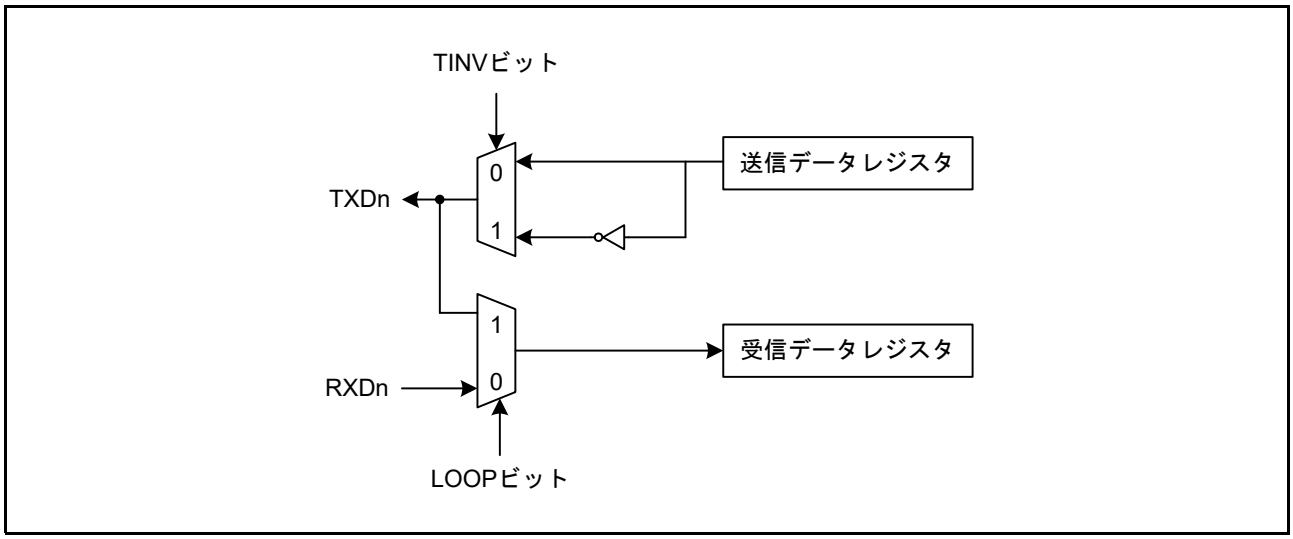


図 33.114　ループバックモード時のシフトレジスタ入出力構成イメージ図

33.16 半二重通信機能

半二重通信機能は、簡易 I²C モード時、および簡易 SPI モード時、スマートカードインタフェースモード時は使用しないでください。

その他の通信モード時、SCR1.HDSEL ビットを “1” にした場合、TXDn 端子を用いて半二重通信が可能になります。半二重通信を行う場合、送信と受信は排他的に行ってください、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) は禁止です。

ただし、クロック同期式モード時にマスタとして半二重通信の受信を行う場合は、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) をし、ダミー送信を行ってください。ダミー送信 (任意の送信データを TDR に書き込む) により、SCKn が出力され、受信動作が可能になります。なお、ダミー送信データは、IP 内部で破棄され実際に送信されることはありません。

半二重通信時、使用する通信ポート端子は TXDn 端子のみです。SCR0.TE ビット = 1 のとき出力、SCR0.TE ビット = 0 のとき入力となります。

33.17　割り込み信号

RSCI が有する割り込み信号を**表 33.43** に示します。

各動作モードに応じた割り込み説明を 33.17.2 ～ 33.17.5 に記載しています。また、TXI と RXI には割り込みバッファ機能があります。**「33.17.1　TXI 割り込みおよび RXI 割り込みバッファ動作」**を参照してください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSCI の設定を行ってください。DTC または DMAC の設定方法は、**「18.　データトランスファコントローラ (DTCb)」**、**「17.　DMA コントローラ (DMACAa)」**を参照してください。

表 33.43　RSCI割り込み一覧表

割り込みシンボル	割り込みの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック	備考
ERI	エラー割り込み バス衝突検出割り込み	レベル	—	Low	PCLK	
RXI	簡易I²C：受信完了割り込み その他：受信データフル割り込み	パルス	1cycle	Low	PCLK	
TXI	簡易I²C、スマートカードインタフェース：送信完了割り込み その他：送信データエンプティ割り込み、Break Field送出完了割り込み	パルス	1cycle	Low	PCLK	
TEI	簡易I²C：スタートコンディション、リスタートコンディション、ストップコンディション生成終了(STI割り込み) その他：送信完了割り込み	レベル	—	Low	PCLK	
AED	有効エッジ検出割り込み	パルス	1cycle	Low	PCLK	拡張シリアルモード時のみ
BFD	Break Field検出割り込み	レベル	—	Low	PCLK	

33.17.1　TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みと RXI 割り込みには、割り込みバッファ機能があり、最初の割り込み要求が発生し、その割り込み処理中 (割り込みコントローラ (ICU) のステータスフラグが “1” のとき) に次の割り込み要求が発生した場合、RSCI は割り込み要求を出力せず、内部で保持します。保持できる割り込みは、1 要求までです。

33.17.2　調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

各割り込み要因には異なる割り込みベクタが割り当てられており、SCR0 レジスタのイネーブルビットにより独立にイネーブルにすることができます。

(1)　非 FIFO モード時

表 33.44 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

SCR0.TIE ビットが “1” のとき、TDR レジスタから TSR レジスタに送信データが転送されると TXI 割り込み要求が発生します。また送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを 1 命令で同時に “1” にします。すると TXI 割り込み要求を発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、TE ビットが “1” の状態で TIE ビットを “1” にした場合には発生しません (注 1)。

SCR0.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが “1” になり、TEI 割り込み要求が発生します。また、SCR0.TE ビットを “1” にしてから TDR レジスタに送信データをライトするまでの間は、TEND フラグは “1” を保持しており、TEIE ビットを “1” にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR0.RIE ビットが “1” のとき、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR0.RIE ビットが “1” のとき、SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合) (注 2)、PFER (PFERIE = 1 の場合) (注 2)、SBER (SBERIE = 1 の場合) (注 2) フラグのいずれかが “1” にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合) (注 2)、PFER (PFERIE = 1 の場合) (注 2)、SBER(SBERIE = 1 の場合) (注 2) のすべてのフラグをクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1.　最終データの送信時など、TXI 割り込みを一時的に禁止し、送信完了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

注 2.　マンチェスタモード時のみ、ERI 割り込みの要因に MMSR.SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合)、SBER (SBERIE = 1 の場合) フラグが追加となります。

(2)　FIFO モード時

表 33.45 に FIFO モード時の割り込み要因を示します。

SCR0.TIE ビットが “1” のとき、送信 FIFO (TDR レジスタ) に格納されたデータ数がしきい値以下になるとき TXI 割り込み要求が発生します。また送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に “1” にします。すると TXI 割り込み要求を発生します。

TXI 割り込み要求は、SCR0.TIE ビットが “0” の状態で TE ビットを “1” にした場合、および TE ビットが “1” の状態で TIE ビットを “1” にした場合には発生しません。

SCR0.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに送信 FIFO (TDR レジスタ) に次のデータをライトしていないと SSR.TEND フラグが “1” になり、TEI 割り込み要求が発生します。

SCR0.RIE ビットが “1” のとき、受信 FIFO (RDR レジスタ) に格納されたデータ数がしきい値以上になる

とき RXI 割り込み要求が発生します。しきい値を “0” にした場合は、1 つ以上のデータを受信しなければ RXI 割り込み要求は発生しません。

SCR0.RIE ビットが “1” のとき、SSR.ORER フラグが “1” にセットされるか、フレーミングエラーまたはパリティエラーの発生したデータが受信 FIFO (RDR レジスタ) に格納されると ERI 割り込み要求が発生します。このとき受信 FIFO (RDR レジスタ) に格納したデータ数がしきい値以上であれば RXI 割り込み要求も発生します。SSR.ORER、AFER、APER のすべてのフラグをクリアすることにより ERI 割り込み要求を取り下げることができます。

表33.44　RSCI割り込み要因(非FIFOモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー	ORER, AFER, APER, DFER, DPER, MCER, SYER (SYERIE = 1の場合), PFER (PFERIE = 1の場合), SBER (SBERIE = 1の場合)	RIE	不可
RXI	受信データフル	RDRF	RIE	可
	受信データ一致	DCMF		
TXI	送信データエンプティ	TDRE	TIE	可
	TE = 0 → 1検出時			
TEI	送信完了	TEND	TEIE	不可

表33.45　RSCI割り込み要因(FIFOモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー	ORER, AFER, APER, DFER, DPER, DR (FCR.DRESビット= 1のとき)	RIE	不可
RXI	受信FIFOデータフル	RDRF	RIE	可
	受信データレディ	DR (FCR.DRESビット= 0のとき)		
	受信データ一致	DCMF		
TXI	送信FIFOデータエンプティ	TDRE	TIE	可
	TE = 0 → 1検出時			
TEI	送信完了	TEND	TEIE	不可

33.17.3　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、**表 33.46** の割り込み要因があります。送信完了割り込み(TEI) 要求は使用できません。

表33.46　RSCI割り込み要因(スマートカードインタフェースモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, APER, ERS	RIE	不可
RXI	受信データフル	RDRF	RIE	可
TXI	送信完了	TEND	TIE	可
	TE = 0 → 1検出時			

スマートカードインタフェースモードの場合も DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが “1” にセットされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に “0” にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR0.RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、かわりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。DTC または DMAC の設定方法は「**18.　データトランスファコントローラ (DTCb)**」、「**17.　DMA コントローラ (DMACAa)**」を参照してください。

33.17.4　簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 33.47 の割り込み要因があります。

STI 割り込みは TEI 割り込み要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR.IICINTM ビットが “1” のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送が行えます (この場合は ACK/NACK を確認することができません)。

SIMR.IICINTM ビットが “0” のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low レベルだと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High レベルだと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。また、送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。

SIMR.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いてスタートコンディション、リスタートコンディション、ストップコンディションを生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 33.47　RSCI割り込み要因(簡易I²Cモード時)

名称	割り込み要因		割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
	IICINTM = 1	IICINTM = 0			
RXI	受信完了	—	—	RIE	可 (注1)
	—	ACK検出	—		可
TXI	送信完了	—	—	TIE	可 (注1)
	—	NACK検出	—		可
STI	スタートコンディション、 リスタートコンディション、 ストップコンディション生成終了		IICSTIF	TEIE	不可

注1.　DTC、DMAC使用時は、ACK/NACKの確認はできません。

33.17.5　拡張シリアルモードにおける割り込み

拡張シリアルモードでは、**表 33.48** の割り込み要因があります。

表33.48　RSCI割り込み要因(拡張シリアルモード時)

名称	割り込み要因	割り込み要因フラグ	割り込み要因ではないが確認が必要なフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	エラー	ORER, AFER, APER	—	RIE	不可
		BCDF		BCDIE	
		COF		RIE, COFIE	
RXI	受信データフル	RDRF	CF0MF, CF1MF, PIBDF	RIE	XSR0.SFSF フラグ = 0：可 XSR0.SFSF フラグ = 1：不可
AED	有効エッジ検出	AEDF	—	AEDIE	可
TXI	送信データエンプティ	TDRE	—	TIE	可
	TE = 0 → 1検出時				
	Break Field送出完了	BFOF	—	TIE, BFOIE	
TEI	送信完了	TEND	—	TEIE	不可
BFD	Break Field検出	BFDF	—	BFDIE	不可(不要)

拡張シリアルモード時、受信エラー (オーバランエラー、フレーミングエラー、パリティエラー) に加え、送信時のバス衝突検出時、拡張シリアルモジュールのカウントオーバフロー発生時にも ERI 割り込み要求が出力されます、このとき、RXI 割り込み要求は出力しません。全てのフラグをクリアすることにより、ERI 割り込み要求を取り下げることができます。

Start Frame 送信時、SCR0.TIE ビット = 1 かつ XCR0.BFOIE ビット = 1 のとき、Break Field 送出が完了すると TXI 割り込み要求が出力されます。Control Field 0 データを TDR レジスタに書き込むとデータ送信を開始します。そのため、DTC または DMAC を用いた送信が可能です。

最後の送信データを TDR レジスタに書き込み、送信が開始した後 (TXI 出力後)、SCR0.TEIE ビット = 1 にしてください。

Start Frame 受信中 (XSR0.SFSF フラグ = 1) は、RXI 割り込みによる DTC または DMAC を用いた受信はできません。SSR レジスタと XSR0 レジスタを確認し、受信状態 (**図 33.74**) を確認後、フラグをクリアしてください。また、データを受信した場合はオーバランエラーにならないように RDR レジスタを読み出してください (受信データ値の確認が不要であれば、RDR レジスタを読み出さずに RDRF フラグクリアしてください)。Control Field 1 の受信が完了 (XSR0.CF1MF フラグ = 1) すると、Start Frame 検出無効状態 (XSR0.SFSF フラグ = 0) となり、DTC または DMAC を用いた受信が可能です。前記と同様に RDR レジスタを読み出してください。

Start Frame/Break Field 検出有効 (XCR1.SDST ビット = 1) 時、XCR2.BFLW[15:0] ビットで設定した期間以上の Break Field を受信すると、BFDF フラグをセットし、BFD 割り込み要求を出力し、RSCI は Start Frame 受信状態になります。BFDF フラグをクリアしてください。

Start Frame/Break Field 検出有効時 (XCR1.SDST ビット = 1) かつビットレート測定機能有効 (XCR1.BRME ビット = 1) 時、有効エッジを検出すると AED 割り込み要因を出力します。タイマカウントキャプチャ値 (XSR1.CCV[15:0] ビット) を読み出してください。

33.18 イベントリンク機能

RSCI は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが “1” の状態で次の割り込み要因が発生した場合でもイベントは出力可能です。

イベント出力は全てパルス出力で、アサートされた 1 PCLK 後にネゲートされます。

表 33.49 に RSCI が有するイベントリンク信号一覧を示します。

表33.49　RSCIイベントリンク信号一覧

イベントの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック
エラーイベント	パルス	1cycle	High	PCLK
受信データフルイベント	パルス	1cycle	High	PCLK
送信データエンプティイベント	パルス	1cycle	High	PCLK
送信完了イベント	パルス	1cycle	High	PCLK

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- 受信時にマンチェスタコードエラーが発生して異常終了したことを示します (マンチェスタモード時のみ)
- 受信時にプリフェースエラーが発生して異常終了したことを示します (マンチェスタモード時かつ MMCR.PFERIE ビット = 1 の場合のみ)
- 受信時にスタートビットエラーが発生して異常終了したことを示します (マンチェスタモード時かつ MMCR.SBERIE ビット = 1 の場合のみ)
- 受信時に受信 Sync エラーが発生して異常終了したことを示します (マンチェスタモード時かつ MMCR.SYERIE ビット = 1 の場合のみ)
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。
- FIFO モードかつ FCR.DRES ビット = 1 設定時に、SSR.AFER、APER フラグが “0” でかつ受信 FIFO しきい値より少ない受信データが受信 FIFO (RDR レジスタ) にセットされ、15 etu の時間が経過したことを示します。
- 拡張シリアルモード時、拡張シリアルモジュール内 16 ビットカウンタがオーバフローしたことを示します。
- 拡張シリアルモードで、送信動作時 (SCR0.TE ビット = 1) にバス衝突を検出したことを示します。

(2) 受信データフルイベント出力

- 非 FIFO モード時に、受信データが受信データレジスタ (RDR レジスタ) にセットされたことを示します。
- FIFO モード時に、受信 FIFO しきい値以上の受信データが受信 FIFO データレジスタ (RDR レジスタ) にセットされたことを示します。受信 FIFO しきい値を “0” にした場合は、1 つ以上のデータを受信しなければイベント出力は発生しません。しかし、FIFO モード時はイベントを処理する場合に不都合が起きるため、使用禁止とします。
- FIFO モード時かつ FCR.DRES ビット = 0 設定時に、SSR.AFER、APER フラグが “0” でかつ受信 FIFO しきい値より少ない受信データが受信 FIFO (RDR レジスタ) にセットされ、15 etu の時間が経過したことを示します。

- 簡易 I²C モードで、SIMR.IICINTM ビットが “0” のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR.IICINTM ビットが “1” のとき、8 ビット目の SSCLn 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR.IICINTM ビットが “1” のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR0.TE ビットが “0” から “1” に変化したことを示します。
- 非 FIFO モード時に、送信データレジスタ (TDR レジスタ) から送信シフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- FIFO モード時に、送信 FIFO (TDR レジスタ) のデータ数が送信 FIFO しきい値以下になったことを示します。しかし、FIFO モード時はイベントを処理する場合に不都合が起きるため、使用禁止とします。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR.IICINTM ビットが “0” のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR.IICINTM ビットが “1” のとき、9 ビット目の SSCLn 端子立ち下がりを検出したことを示します。
- 拡張シリアルモードで、Break Field 送出が完了したことを示します。

(4) 送信完了イベント出力

- 送信が完了したことを示します。しかし、FIFO モード時はイベントを処理する場合に不都合が起きるため、使用禁止とします。
- 簡易 I²C モードでスタートコンディション、リスタートコンディション、ストップコンディションの生成が完了したことを示します。
- スマートカードインタフェースモードでは、送信完了イベントは出力しません。

33.19 使用上の注意事項

33.19.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、RSCI の動作を禁止 / 許可することができます。リセット後の値では、RSCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、**「11. 消費電力低減機能」**を参照してください。

33.19.2 消費電力低減機能の注意事項

(1) 送信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、送信動作停止後 (SSR.TEND フラグ = 1) に低消費電力状態へ遷移させてください。このとき、SCR1.SPB2DT、SCR1.SPB2IO ビットに送信動作停止後の出力端子状態を設定したあと、動作を停止 (SCR0.TIE ビット = 0、TE ビット = 0、TEIE ビット = 0) してください。送信中に遷移させると、送信中のデータは不確定になります。

低消費電力状態からの解除のあと、動作モードを変えないで送信する場合は、TE ビット = 1 にし、SSR レジスタリード→ TDR レジスタライトで送信開始できます。動作モードを変えて送信する場合は、初期設定から行ってください。

また、解除後に DMAC または DTC による送信を継続する場合は、TE ビット = 1、TIE ビット = 1 を同時に設定すると TXI 割り込みが発生し、その割り込みによって DMAC または DTC が送信データを書き込むことで送信が始まります。

図 33.115 に送信時のモード遷移フローチャートの例を示します。**図 33.116**、**図 33.117** にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2) 受信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、受信動作を停止 (SCR0.RE ビット = 0) してから行ってください。受信中に遷移させると、受信中のデータは無効になります。

図 33.118 に受信時のモード遷移フローチャートの例を示します。

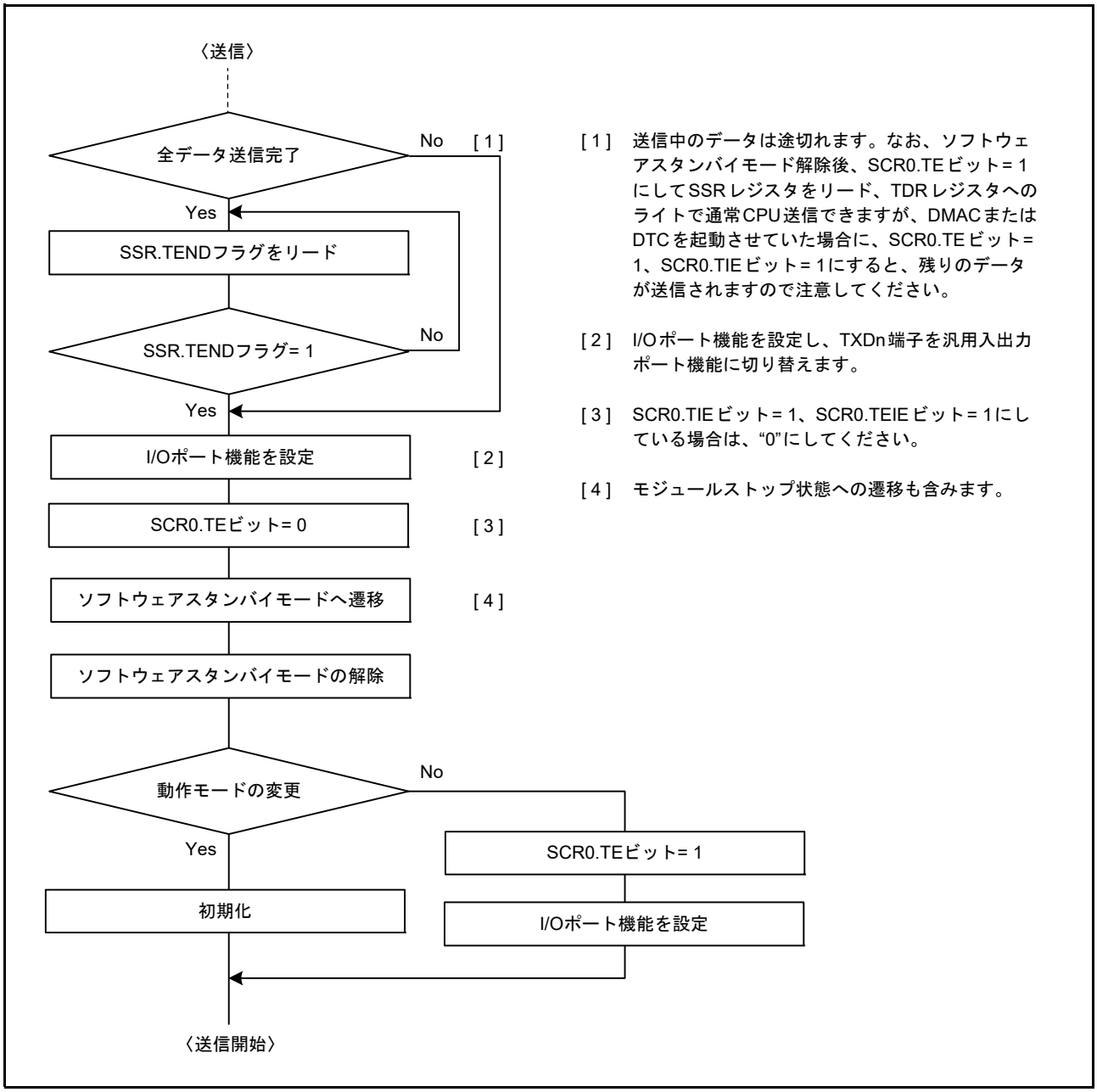


図 33.115　送信時のソフトウェアスタンバイモード遷移フローチャートの例

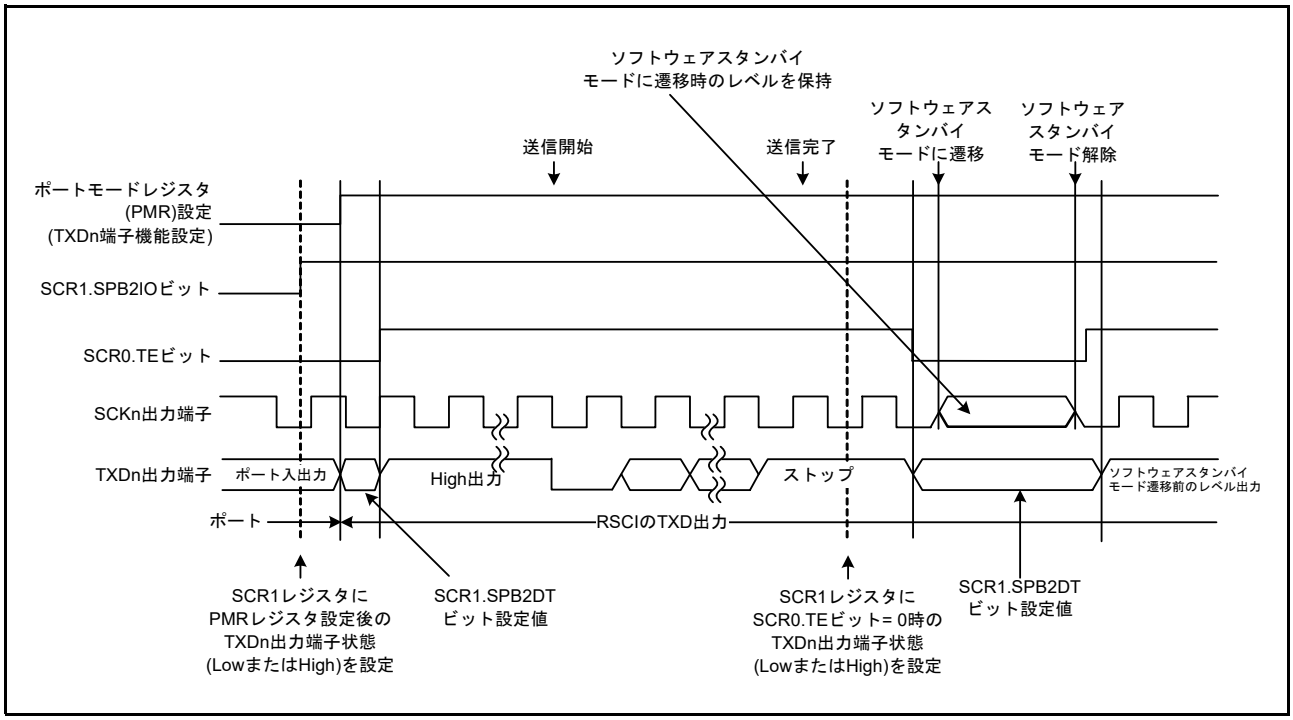


図 33.116　ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

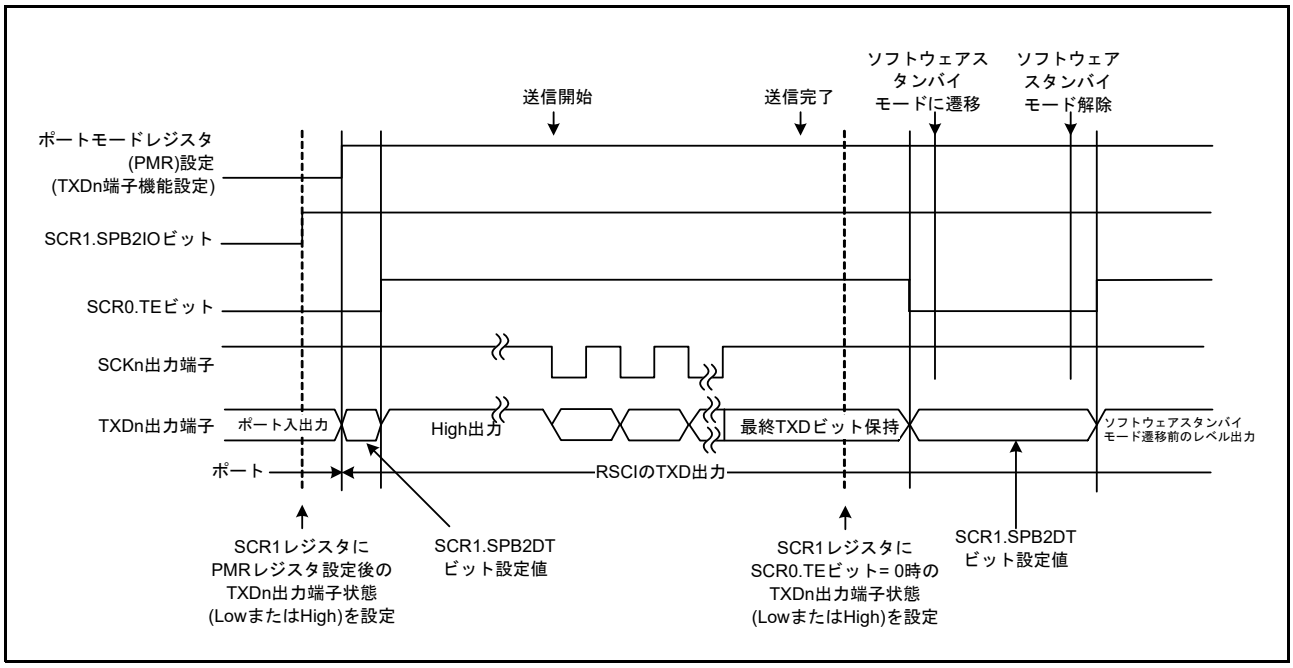


図 33.117　ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

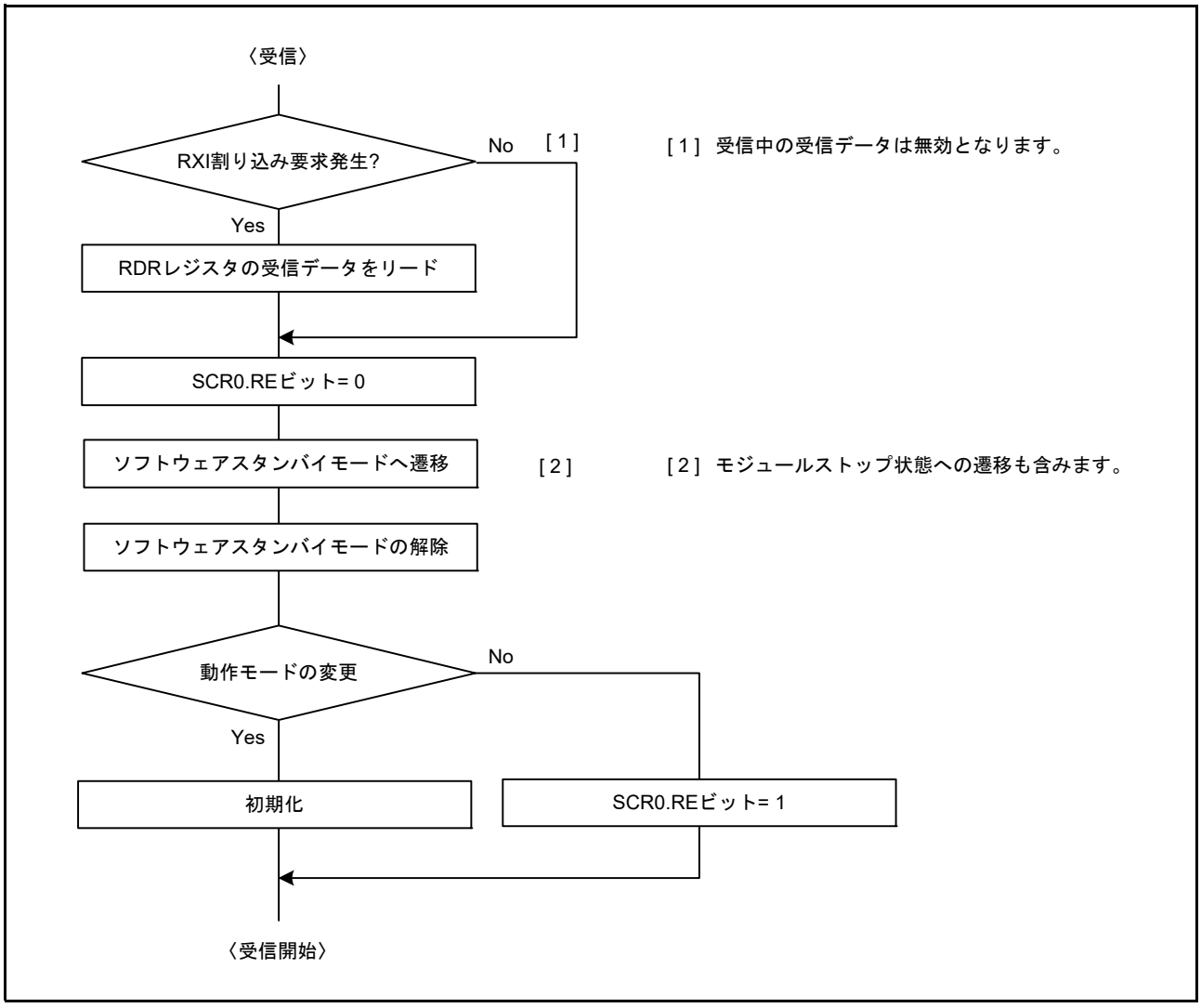


図 33.118　受信時のソフトウェアスタンバイモード遷移フローチャートの例

33.19.3　ブレークの検出と処理について

(1)　非 FIFO モード時

フレーミングエラー検出時に、SSR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.AFER フラグが “1” (フレーミングエラーの発生あり) になり、また SSR.APER フラグも “1” (パリティエラーの発生あり) になる可能性があります。SCR3.RXDESEL ビットが “0” のとき、RSCI は、ブレークを受信した後も受信動作を続けます。したがって AFER フラグを “0” (フレーミングエラーの発生なし) にしても、再び AFER フラグが “1” になりますので注意してください。SCR3.RXDESEL ビットが “1” のとき、RSCI は、SSR.AFER フラグを “1” にし、次のフレームのスタートビット検出待ちの状態で受信動作を停止します。このとき SSR.AFER フラグを “0” にすれば、ブレーク中は SSR.AFER フラグの “0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットを検出し、受信動作を開始します。

(2)　FIFO モード時

フレーミングエラーを検出した時点から、引き続き 1 フレーム以上のスペース (Low) を受信すると受信 FIFO (RDR レジスタ) へそのデータを格納した後に受信動作が停止します。フレーミングエラー検出時に、SSR.RXDMON フラグの値を読み出すことでブレークを検出できます。なお、RXD 信号がマーク状態になりブレークが終了したあとは受信 FIFO (RDR レジスタ) への受信データの格納が再開します。

33.19.4　マーク状態とブレークの送出

SCR0.TE ビットが “0” (シリアル送信動作を禁止) のときの TXDn 端子の状態とレベルは SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで設定できます。これを利用して TXDn 端子をマーク状態にしたりブレークを送出したりすることができます。

SCR0.TE ビットを “1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで High を出力したあと、I/O ポート機能により TXDn 端子に切り替えます。一方、データ送信時にブレークを送出したいときは、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで Low を出力したあと、SCR0.TE ビットを “0” にします。TE ビットを “0” にすると現在の送信状態とは無関係に送信部は初期化されます。

33.19.5　受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が “1” になった状態でも、TDR レジスタにデータをライトすると送信動作可能です。ただし、受信動作はできません。また、SCR0.RE ビットを “0” (シリアル受信動作を禁止) にしても受信エラーフラグは “0” になりませんので注意してください。

33.19.6 TDR レジスタへのライト

(1) 非 FIFO モード時

TDR レジスタへのデータのライトは、TE ビット = 1 のとき、行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータをライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。DTC または DMAC を使用する場合は、TDR レジスタへの送信データの書き込みは、TXI 割り込み要求によって行ってください。

(2) FIFO モード時

送信 FIFO (TDR レジスタ) へのデータのライトは、TE ビット = 1 のとき、行うことができます。TFSR.T[5:0] ビットで書き込み可能なデータ数を確認してください。

33.19.7 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

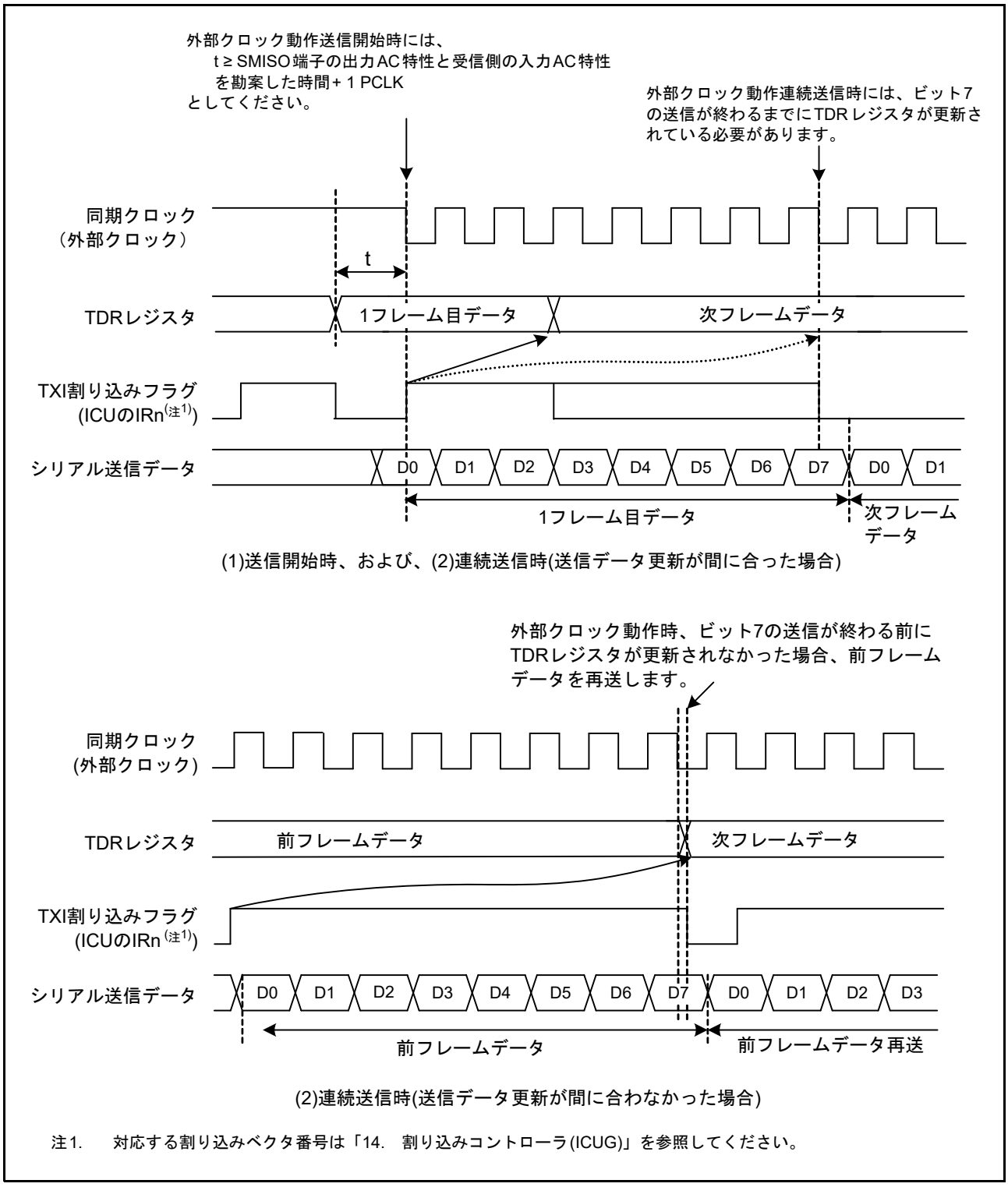
(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、本製品の SMISO 端子の出力 AC 特性とマスタ受信の入力 AC 特性を勘案した時間 + 1 PCLK 以上経過した後に送信クロックを入力してください (図 33.119 参照)。

(2) 連続送信時

ビット 7 の送信クロックの立ち下がり (注 1) 以前に、TSR レジスタに次の送信データが転送されている必要があります。これを考慮して TDR レジスタに次の送信データを書き込んでください (図 33.119 参照)。送信データの書き込みが間に合わなかった場合、前フレームデータを再送します (図 33.119 参照)。

注 1. SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 1 の場合です。SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 1 の場合は、立ち上がりになります。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUG)」を参照してください。

図 33.119　クロック同期式モード送信での外部クロック使用の制約事項

33.19.8 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 RSCI の受信データフル割り込み (RXI) に設定してください。

DMAC または DTC によるシリアル送信中 / 受信中に、DMAC/DTC の転送情報を再設定しないでください。

33.19.9 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が “1” のときは、動作許可 (SCR0.TE ビットを “1” に設定、または SCR0.RE ビットを “1” に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUG)」を参照してください。

- 通信が停止していること (SCR0.TE ビットまたは SCR0.RE ビットが “0” となっていること) を確認
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット) を “0” に設定
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット) を読み出し、“0” を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に “0” を設定

33.19.10 簡易 SPI モードの制約事項

(1) マスタモード

- SCR0.SSE ビットが “1” のとき、SCR3.CPOL、CPHA ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ (プルダウン) してください。
  SCR0.TE ビットを “0” にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR0.TE ビットを “0” から “1” にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SCR0.SSE ビットが “0” のときは、SCR0.TE ビットを “0” にしてもクロック線はハイインピーダンスになりませんのでプルアップ (プルダウン) は不要です。
- クロック遅れあり設定 (SCR3.CPHA ビット = 0) の場合、図 33.120 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR0 レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に “0” にすると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

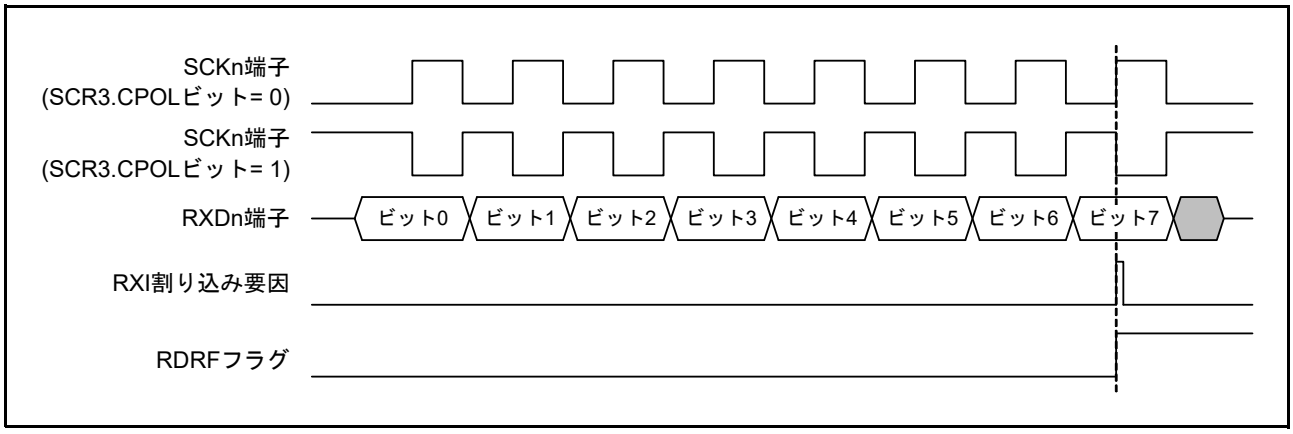


図 33.120　簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2)　スレーブモード

- TDR レジスタへの送信データの書き込みから RXDn 端子にデータが出力されるまで、「1 PCLK +データ出力遅延時間 (AC 特性)」かかります。これらを考慮して外部クロック入力開始を行ってください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn#端子へのLowレベル入力から外部クロック入力開始まではSS入力セットアップ時間(AC特性)を確保してください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR0 レジスタの TE、RE ビットを “0” にし、再設定後、1 バイト目から転送をやり直してください。

33.19.11　トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR0.TE ビットを “0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります (レジスタ初期値)。
以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。
(a)　TXDn ラインにプルアップ抵抗またはプルダウン抵抗を接続。
(b)　SCR1 レジスタを設定して、TE ビット = 0 時の TXDn 端子のレベルを決定。

33.19.12　拡張シリアルモードに関する注意事項

- 拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、CTS、RTS 機能、マルチプロセッサ通信機能、ビットモジュレーション機能、ループバック機能は使用できません。また、FIFO バッファ構成を選択できません。

33.19.13　RS-485 ドライバ制御機能に関する注意事項

- RS-485 ドライバ制御機能は、調歩同期式モード時のみ、使用可能です。
- RS-485 ドライバ制御機能使用時(SCR3.DEEN ビット = 1)、TEND セットタイミング /TEI 出力タイミングが以下の通り変わります。RS-485 ドライバ制御機能使用時は、TEI 割り込みを待って、TE ビットを “0” にしてください。
  RS-485 ドライバ制御機能未使用時 (DEEN ビット = 0) の
  TEND セットタイミング /TEI 出力タイミング：STOP ビット出力完了時
  RS-485 ドライバ制御機能使用時 (DEEN ビット = 1) の
  TEND セットタイミング /TEI 出力タイミング：DE 信号ホールド時間終了時

33.19.14　ループバック機能に関する注意事項

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時にのみ、使用可能です。

調歩同期式の HBS サポートモード時も動作可能であり、HBSCR.AOE ビット = 1 時は TXDAn/TXDBn 端子出力の論理積をとった信号をループバックします (TINV ビット = RINV ビット = 0 で使用してください)。

33.19.15　動作中断時の注意事項

データ受信中に SCR0.RE ビットに “0” を書き込み、受信動作を中断した場合、タイミングによっては不正な状態になる可能性があるため、受信データ (RDR レジスタ格納値)、および各ステータスレジスタのフラグ値は使用しないでください。受信動作を中断する場合は、受信関連の割り込みやイベントリンクを禁止してから SCR0.RE ビットに “0” を書いてください。

34. I²C バスインタフェース (RIICa)

本 MCU は、1 チャネルの I²C バスインタフェース (RIIC0) を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

34.1 概要

表 34.1 に RIIC の仕様を、**図 34.1** に RIIC のブロック図を、**表 34.2** に RIIC で使用する入出力端子を示します。

表34.1　RIICの仕様 (1/2)

項目	内容
通信フォーマット	• I²Cバスフォーマット/SMBusフォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応(～400 kbps)
シリアルクロック(SCL)	マスタ時、SCLのデューティ比を4%～96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	• 異なるスレーブアドレスを3種類まで設定可能 • 7ビット/10ビットアドレスフォーマット対応(混在可能) • ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ応答のソフトウェア制御が可能
ウェイト機能	• 受信時、SCLラインのLowホールドによるウェイトが可能 8クロック目と9クロック目の間でウェイト 9クロック目と1クロック目の間でウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 他のマスタとのSCL衝突時、SCLの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 • バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) • ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 • スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4種類 • 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 • 受信データフル(スレーブアドレス一致時含む) • 送信データエンプティ(スレーブアドレス一致時含む) • 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表34.1　RIICの仕様 (2/2)

項目	内容
RIICの動作モード	• 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能(出力)	4種類(RIIC0) • 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 • 受信データフル(スレーブアドレス一致時含む) • 送信データエンプティ(スレーブアドレス一致時含む) • 送信終了

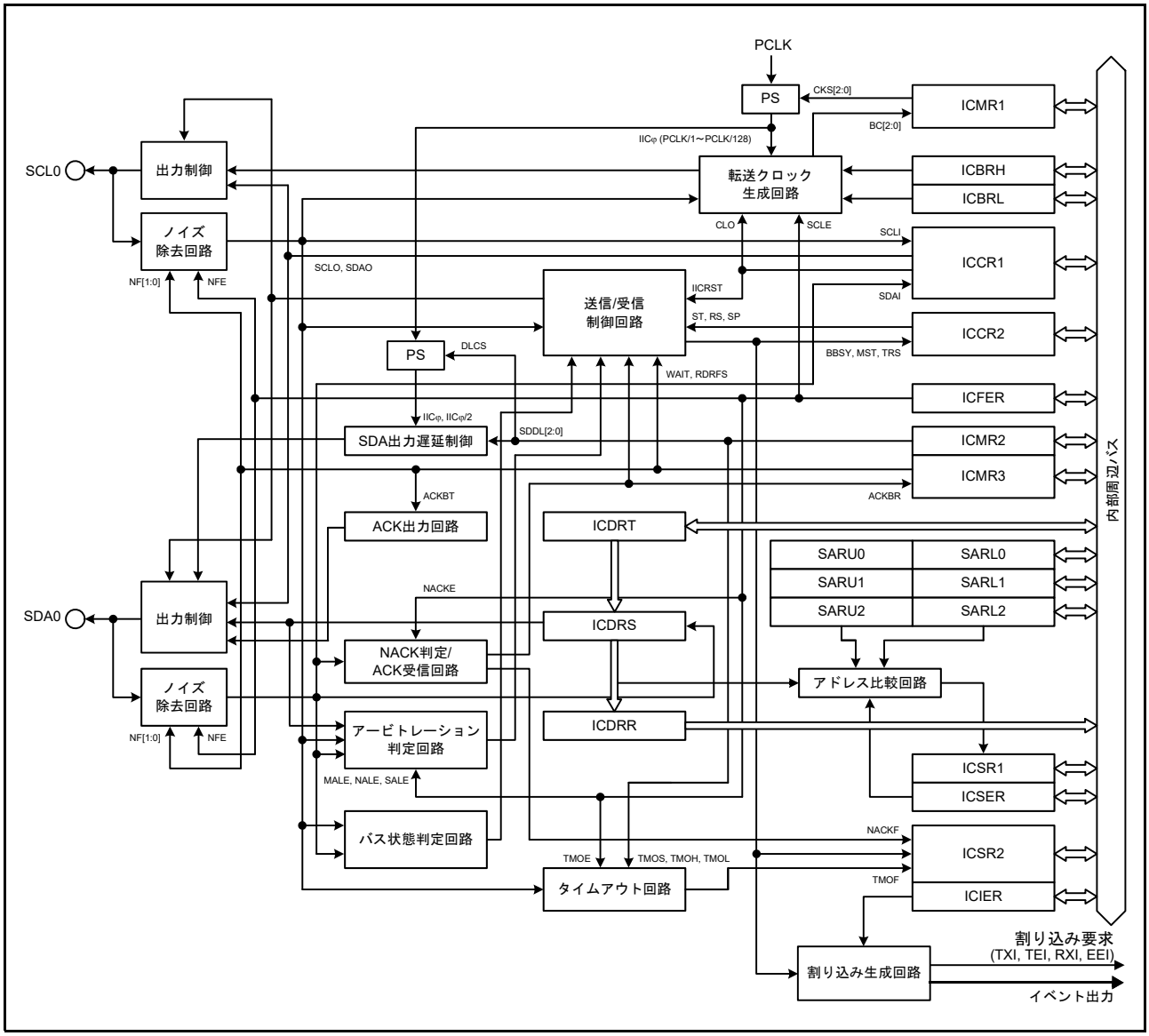


図 34.1　RIIC のブロック図

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表34.2　RIICの入出力端子

チャネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

34.2　レジスタの説明

34.2.1　I2C バスコントロールレジスタ 1 (ICCR1)

アドレス　RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0：SDA0ラインはLow 1：SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0：SCL0ラインはLow 1：SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	• リード時 0：SDA0端子をLowにしている 1：SDA0端子を解放している • ライト時 0：SDA0端子をLowにする 1：SDA0端子を解放する (外部プルアップ抵抗によりHigh出力)	R/W
b3	SCLO	SCL出力制御/モニタビット	• リード時 0：SCL0端子をLowにしている 1：SCL0端子を解放している • ライト時 0：SCL0端子をLowにする 1：SCL0端子を解放する (外部プルアップ抵抗によりHigh出力)	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0：SCLO、SDAOビットの書き換え許可 1：SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL追加出力ビット	0：SCLを追加で出力しない(通常状態) 1：SCLを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I2Cバスインタフェース内部リセットビット	0：RIICリセット、内部リセット解除 1：RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0出力ラッチを解除)	R/W
b7	ICE	I2Cバスインタフェース許可ビット	0：禁止(SCL0、SDA0端子非駆動状態) 1：許可(SCL0、SDA0端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA0 信号、SCL0 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも “0” を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。

通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、**「34.11.2　SCL 追加出力機能」**を参照してください。

IICRST ビット (I2C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。**表 34.3** に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I2C バスシフトレジスタ (ICDRS)、I2C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、**「34.14　リセット時 / コンディション検出時のレジスタおよび機能の初期化」**を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注 .　スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、スレーブモード時に内部リセットを行う場合は、バスフリー中に実施してください。なお、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 34.3　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I2C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については**「表 34.3　RIIC のリセットの種類」**を参照してください。

RIIC を使用するときは、ICE ビットを “1” に設定してください。ICE ビットが “1” のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを “0” に設定してください。ICE ビットが “0” のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

34.2.2　I2C バスコントロールレジスタ 2 (ICCR2)

アドレス　RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0：受信モード 1：送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0：スレーブモード 1：マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0：I2Cバスが解放状態(バスフリー状態) 1：I2Cバスが占有状態(バスビジー状態)	R

注1.　ICMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが “1” になるとスタートコンディションの発行を要求し、BBSY フラグが “0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、**「34.10　スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」**を参照してください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ST ビットは、BBSY フラグが “0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。
BBSY フラグが “1” (バスビジー) のとき、ST ビットを “1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1” (バスビジー) でかつ MST ビットが “1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、**「34.10　スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」**を参照してください。

[“1” になる条件]

- ICCR2.BBSY フラグが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ストップコンディション発行中に RS ビットを “1” にしないでください。

注 .　スレーブモードでは RS ビットに “1” (リスタートコンディション発行要求) を書いた場合、リスタートコンディションは発行されずに RS ビットは “1” のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1” (バスビジー) でかつ MST ビットが “1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、**「34.10　スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」**を参照してください。

[“1” になる条件]

- ICCR2.BBSY フラグが “1” でかつ ICCR2.MST ビットが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　BBSY フラグが “0” (バスフリー) のとき書き込みはできません。

注 .　リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で “1” または “0” になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1” になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが “1” の状態で、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが “1” の状態で、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ / スレーブモードビット)

マスタモード / スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行 / 検出などで “1” または “0” になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1” になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが “1” の状態で、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I2C バスの占有 (バスビジー)/ 解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき “0” になります。

[“1” になる条件]

- スタートコンディションを検出したとき

[“0” になる条件]

- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

タートコンディションを検出しなかったとき

- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

34.2.3 I2C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h

	b7	b6	b5	b4	b3	b2	b1	b0
	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可(読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック(IICφ)ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数 + 1 を指定し (データにアクノリッジ 1 ビットが付加されて転送される)、転送バイト間でかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に “000b” に戻ります。

34.2.4　I²C バスモードレジスタ 2 (ICMR2)

アドレス　RIIC0.ICMR2 0008 8303h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0：SCL0ラインがLow期間中のカウントアップを禁止 1：SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0：SCL0ラインがHigh期間のカウントアップを禁止 1：SCL0ラインがHigh期間のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCSビット= 0 (IICφ)のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1サイクル 0 1 0：IICφの2サイクル 0 1 1：IICφの3サイクル 1 0 0：IICφの4サイクル 1 0 1：IICφの5サイクル 1 1 0：IICφの6サイクル 1 1 1：IICφの7サイクル • ICMR2.DLCSビット= 1 (IICφ/2)のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1～2サイクル 0 1 0：IICφの3～4サイクル 0 1 1：IICφの5～6サイクル 1 0 0：IICφの7～8サイクル 1 0 1：IICφの9～10サイクル 1 1 0：IICφの11～12サイクル 1 1 1：IICφの13～14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0：SDA出力遅延カウンタのクロックソースに内部基準クロック(IICφ)を選択 1：SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周(IICφ/2)を選択(注1)	R/W

注1.　SCL端子がLowのときのみDLCSビット= 1 (IICφ/2)の設定が有効になります。SCL端子がHighのときDLCSビット= 1の設定は無効となり内部基準クロック(IICφ)となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL0 ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「34.11.1　タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウト L カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCL0 ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I2C バス仕様 (データ有効時間 / アクノリッジ有効時間 (注 1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 – データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、**「34.5　SDA 出力遅延機能」**を参照してください。

注 1.　データ有効時間 / アクノリッジ有効時間
3,450 ns (～ 100 kbps：スタンダードモード (Sm))
900 ns (～ 400 kbps：ファストモード (Fm))

34.2.5　I²C バスモードレジスタ 3 (ICMR3)

アドレス　RIIC0.ICMR3 0008 8304h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0：1 IICφ以下のノイズを除去(フィルタは1段) 0 1：2 IICφ以下のノイズを除去(フィルタは2段) 1 0：3 IICφ以下のノイズを除去(フィルタは3段) 1 1：4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0：アクノリッジビットに“0”を受信(ACK受信) 1：アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0：アクノリッジビットに“0”を送出(ACK送信) 1：アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0：ACKBTビットへの書き込み禁止 1：ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセットタイミング選択ビット	0：9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりでSCL0ラインをLowにホールドしない) 1：8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりでSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0：WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1：WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I²Cバス選択ビット	0：I²Cバス選択 1：SMBus選択	R/W

注1.　ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。
注2.　WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「34.6　デジタルノイズフィルタ回路」を参照してください。

注 .　ノイズフィルタで除去するノイズ幅の設定は、SCL0 ラインの High/Low 幅よりも狭くしてください。ノイズフィルタ幅を、[SCL の High 幅または Low 幅のいずれか短い方] – 1.5 × t_{IICcyc} (内部基準クロック (IICφ) の周期) と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1” になる条件]

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “1” を受信したとき

[“0” になる条件]

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “0” を受信したとき

- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1” になる条件]

- ACKWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ACKWP ビットが “1” の状態で “0” を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが “1” の状態でストップコンディションを検出したとき)
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりで SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが “0”) または NACK (ACKBT ビットが “1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I2C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL の 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注 . WAIT ビットを “0” にする場合は、ICDRR レジスタを先に読んでから “0” にしてください。

SMBS ビット (SMBus/I2C バス選択 ビット)

SMBS ビットを “1” にすると、SMBus が選択され ICSER.HOAE ビットが有効になります。

34.2.6　I2C バスファンクション許可レジスタ (ICFER)

アドレス　RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0：タイムアウト検出機能無効 1：タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0：マスタアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1：マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0：NACK送信アービトレーションロスト検出禁止 1：NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0：NACK受信時、転送を中断しない(転送中断禁止) 1：NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0：デジタルノイズフィルタを使用しない 1：デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0：SCL同期回路無効 1：SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「34.11.1　タイムアウト検出機能」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は “1” にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。

NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが “0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「34.8.2　NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は “1” にしてください。

SCLE ビットを “0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I2C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

34.2.7 I²C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0：SARL0、SARU0の設定値は無効 1：SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0：SARL1、SARU1の設定値は無効 1：SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0：SARL2、SARU2の設定値は無効 1：SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0：デバイスIDアドレス検出は無効 1：デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0：ホストアドレス検出は無効 1：ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ～ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを “1” にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを “0” にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write)：All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ～ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「34.7.3　デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが “1” の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが “1” でかつ HOAE ビットが “1” の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ～ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが “0” または HOAE ビットが “0” の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

34.2.8 I2C バス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0：タイムアウト割り込み(TMOI)要求の禁止 1：タイムアウト割り込み(TMOI)要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0：アービトレーションロスト割り込み(ALI)要求の禁止 1：アービトレーションロスト割り込み(ALI)要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0：スタートコンディション検出割り込み(STI)要求の禁止 1：スタートコンディション検出割り込み(STI)要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0：ストップコンディション検出割り込み(SPI)要求の禁止 1：ストップコンディション検出割り込み(SPI)要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0：NACK受信割り込み(NAKI)要求の禁止 1：NACK受信割り込み(NAKI)要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0：受信データフル割り込み(RXI)要求の禁止 1：受信データフル割り込み(RXI)要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0：送信終了割り込み(TEI)要求の禁止 1：送信終了割り込み(TEI)要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0：送信データエンプティ割り込み(TXI)要求の禁止 1：送信データエンプティ割り込み(TXI)要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが “1” になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが “1” になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが “1” になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが “1” になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが “1” になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが “1” になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが “1” になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが 1” になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

34.2.9 I2C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0：スレーブアドレス0未検出 1：スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0：スレーブアドレス1未検出 1：スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0：スレーブアドレス2未検出 1：スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0：デバイスIDアドレス未検出 1：デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス(1111 100b) + 0 (write)と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0：ホストアドレス未検出 1：ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ～ 2)

[“1” になる条件]

【7 ビットアドレスフォーマット選択時：SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの 9 個目の SCL の立ち上がり

【10 ビットアドレスフォーマット選択時：SARUy.FS ビット = 1】

- ICSER.SARyEビットが“1” (スレーブアドレスy検出有効)の状態で、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時：SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

【10 ビットアドレスフォーマット選択時：SARUy.FS ビット = 1】

- ICSER.SARyEビットが“1” (スレーブアドレスy検出有効)の状態で、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

- ICSER.SARyEビットが“1”(スレーブアドレスy検出有効)の状態で、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

[“1” になる条件]

- ICSER.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1” になる条件]

- ICSER.DIDEビットが“1”(デバイスIDアドレス検出有効)の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.DIDEビットが“1”(デバイスIDアドレス検出有効)の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICSER.DIDEビットが“1”(デバイスIDアドレス検出有効)の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

[“1” になる条件]

- ICSER.HOAEビットが“1”(ホストアドレス検出有効)の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.HOAEビットが“1”(ホストアドレス検出有効)の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

34.2.10 I2C バスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0：タイムアウト未検出 1：タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0：スタートコンディション未検出 1：スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0：ストップコンディション未検出 1：ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0：NACK未検出 1：NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0：ICDRRレジスタに受信データなし 1：ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0：データ送信中 1：データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0：ICDRTレジスタに送信データあり 1：ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0 ラインの状態が一定期間変化しない場合、タイムアウトを認識して “1” になります。

[“1” になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効) で、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0 ラインの状態に変化がないとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA0 ラインのレベルを監視し、出力データと SDA0 ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時の NACK 送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1” になる条件]

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信 (スレーブアドレス送信含む) において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき (内部 SDA 出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求) の状態でスタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき
- ICCR2.BBSY フラグが“1”の状態でICCR2.ST ビットが“1”(スタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時：ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 34.4　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態でスタートコンディション検出時に出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき
					ICCR2.BBSY フラグが“1”の状態でICCR2.ST ビットを“1”にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x：Don’t care

START フラグ (スタートコンディション検出フラグ)

[“1” になる条件]

- スタートコンディション (リスタートコンディション含む) を検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1” になる条件]

- ストップコンディションを検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

[“1” になる条件]

- ICFER.NACKE ビットが “1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 . NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ (受信データフルフラグ)

[“1” になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで “1” になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが “0” のとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1” になる条件]

- TDRE フラグが “1” の状態で、9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1” になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが “1” になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

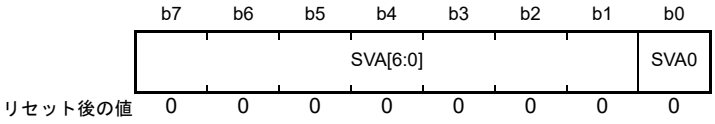
[“0” になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが “0” になったとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 . ICFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが “0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは “1” になりません。

34.2.11　スレーブアドレスレジスタ Ly (SARLy) (y = 0 ～ 2)

アドレス　RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが “0” のとき設定値は無視されます。

34.2.12　スレーブアドレスレジスタ Uy (SARUy) (y = 0 ～ 2)

アドレス　RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレス フォーマット選択ビット	0：7ビットアドレスフォーマット選択 1：10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット /10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが “0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

34.2.13　I2C バスビットレート Low レジスタ (ICBRL)

アドレス　RIIC0.ICBRL 0008 8310h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRL[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「34.8　SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間 (注 1) 以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

注 1.　データセットアップ時間 (tSU;DAT)
250 ns (～ 100 kbps：スタンダードモード (Sm))
100 ns (～ 400 kbps：ファストモード (Fm))

34.2.14 I2C バスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRH[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I2C 転送速度および SCL のデューティ比は以下の式で算定します。

転送速度 = 1 / { ((ICBRH + 1) + (ICBRL + 1)) / IICφ (注 1) + SCL0 ライン立ち上がり時間 (tr)
+ SCL0 ライン立ち下がり時間 (tf) }

デューティ比 = {SCL0 ライン立ち上がり時間 (tr) (注 2) + (ICBRH + 1) / IICφ} / {SCL0 ライン立ち下がり時間 (tf) (注 2)
+ (ICBRL + 1) / IICφ}

注 1. IICφ = PCLK × 分周比

注 2. SCL0 ライン立ち上がり時間 (tr)、SCL0 ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I2C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を**表 34.5** に示します。

表34.5　転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	30			32			33		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)	110b	22 (F6h)	26 (FAh)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)	100b	17 (F1h)	20 (F4h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)	011b	16 (F0h)	19 (F3h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)	001b	9 (E9h)	21 (F5h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	40			50			60		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	111b	13 (EDh)	15 (EFh)	111b	16 (F0h)	20 (F4h)	111b	20 (F4h)	24 (F8h)
50	100b	21 (F5h)	24 (F8h)	100b	26 (FAh)	31 (FFh)	101b	15 (EFh)	18 (F2h)
100	011b	19 (F3h)	23 (F7h)	011b	24 (F8h)	29 (FDh)	100b	14 (EEh)	17 (F1h)
400	001b	11 (EBh)	25 (F9h)	010b	7 (E7h)	16 (F0h)	010b	8 (E8h)	19 (F3h)

注.　SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

34.2.15 I2C バス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

I2C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

34.2.16 I2C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

1 バイトのデータの受信が終了すると、受信したデータは I2C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま (ICSR2.RDRF フラグが “1” の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に “1” になるタイミングの 1 つ手前の SCL0 の立ち下がりで SCL0 ラインを Low にホールドします。

34.2.17 I2C バスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA0 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

34.3　動作説明

34.3.1　通信データフォーマット

I2C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 34.2 に I2C バスフォーマットを、図 34.3 に I2C バスタイミングを示します。

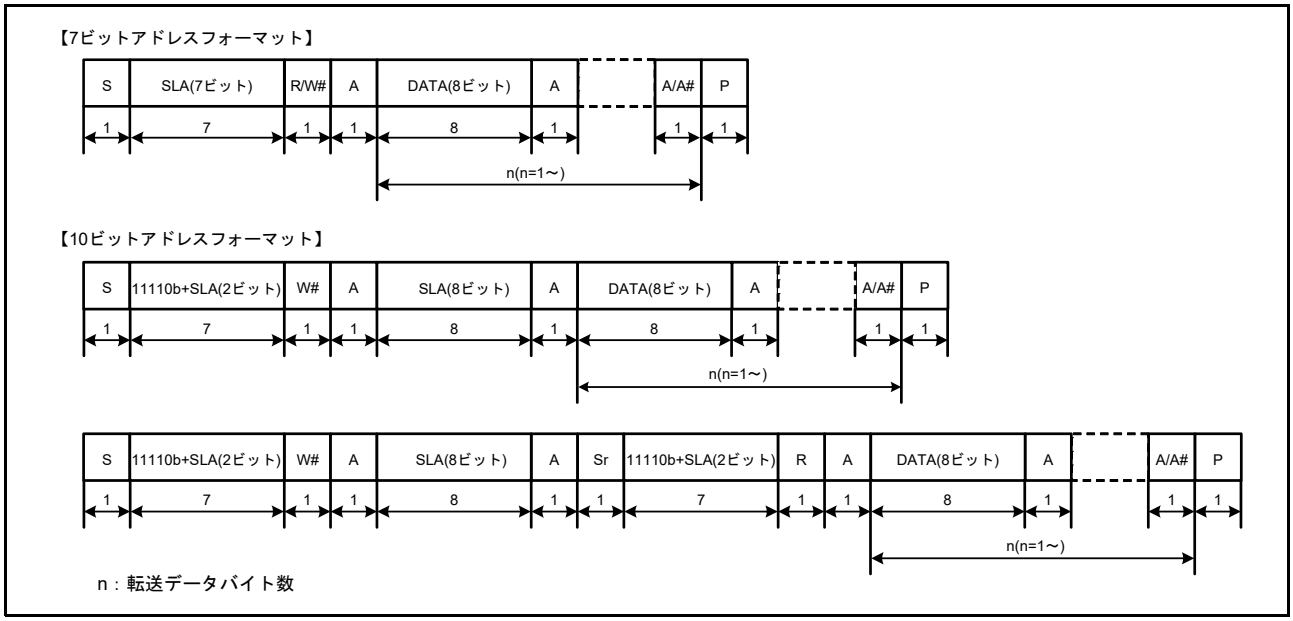


図 34.2　I2C バスフォーマット

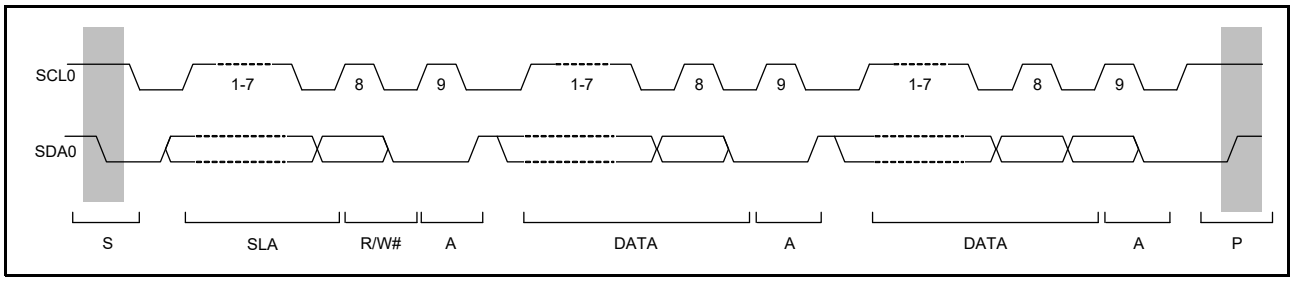


図 34.3　I2C バスタイミング (SLA = 7 ビットの場合)

S：　スタートコンディションを示します。マスタデバイスが、SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化します。

SLA：　スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#：　送信 / 受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A：　アクノリッジを示します。受信デバイスが SDA0 ラインを Low にします (マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します)。

A#：　ノットアクノリッジを示します。受信デバイスが SDA0 ラインを High にします。

Sr：　リスタートコンディションを示します。マスタデバイスが、SCL0 ラインが High の状態でセットアップ時間経過後に SDA0 ラインが High から Low に変化します。

DATA：　送受信データを示します。

P：　ストップコンディションを示します。マスタデバイスが、SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化します。

34.3.2　初期設定

データの送信 / 受信を開始する場合、図 34.4 に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを “0” (SCL0、SDA0 端子非駆動状態) にしたまま ICCR1.IICRST ビットを “1” (RIIC リセット) にした後、ICCR1.ICE ビットを “1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 34.4 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを “0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

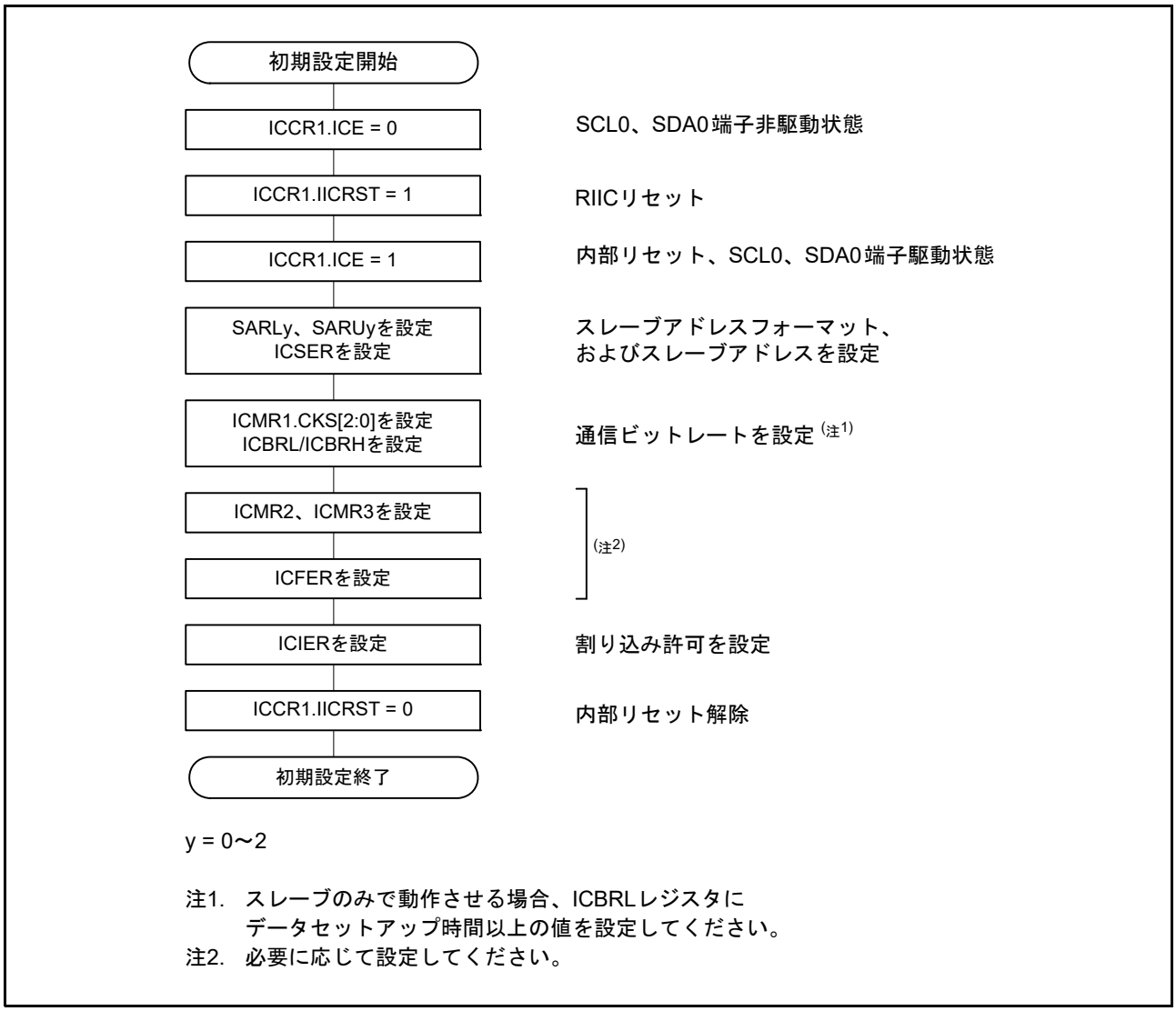


図 34.4　RIIC の初期化フローチャート例

34.3.3　マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。**図 34.5** にマスタ送信の使用例を、**図 34.6 ～図 34.8** にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) 初期設定を行います。詳細は**「34.3.2　初期設定」**を参照してください。

(2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが “1” になることにより自動的に “1” になります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビットが “0” の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) ICSR2.TDRE フラグが “1” であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。

(5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.NACKF フラグが “1” になるか、ICSR2.TEND フラグが “1” になるまで待ってから ICCR2.SP ビットに “1” を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に “0” になり、ICSR2.STOP フラグが “1” になります。

(7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

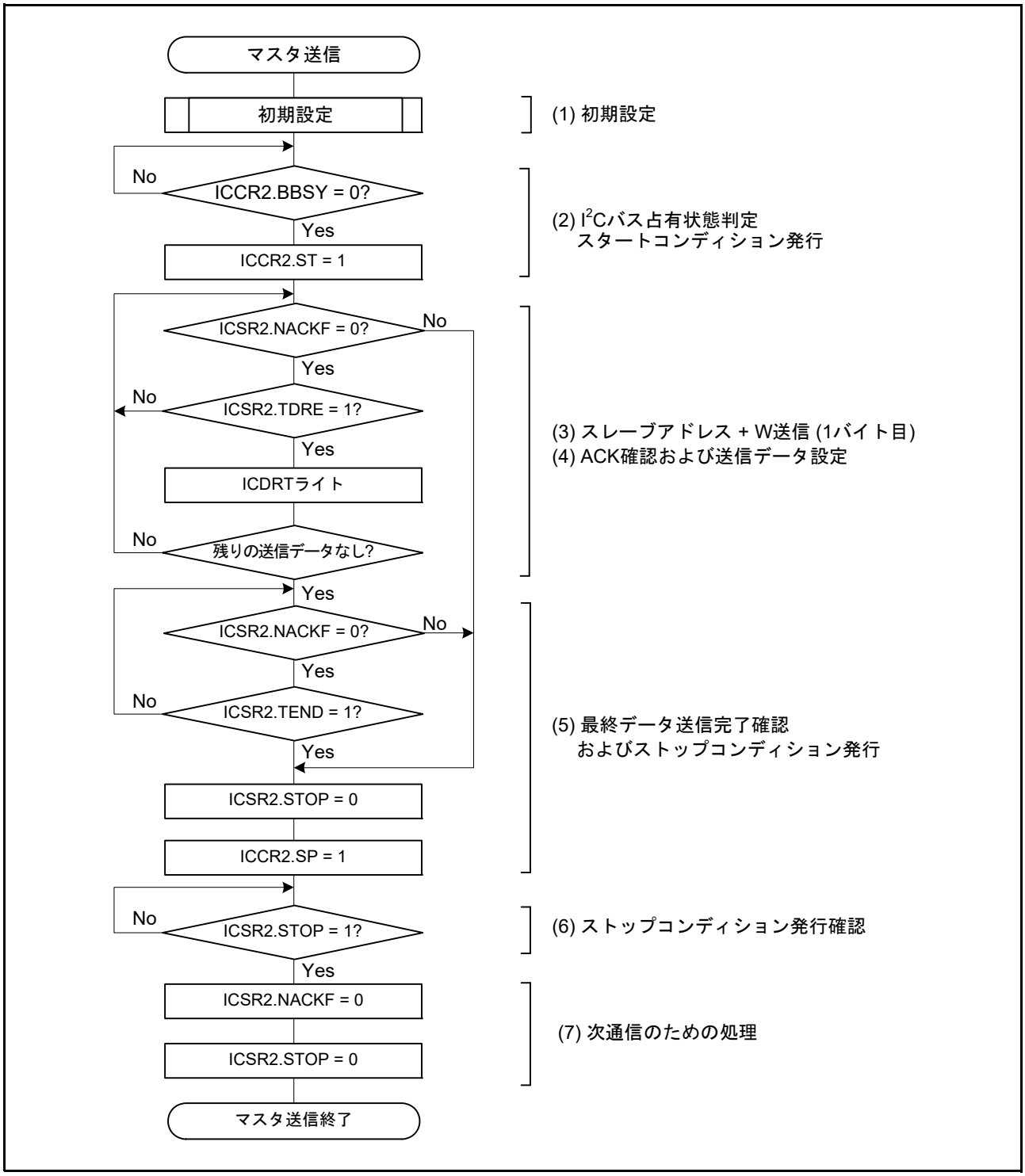


図 34.5　マスタ送信のフローチャート例

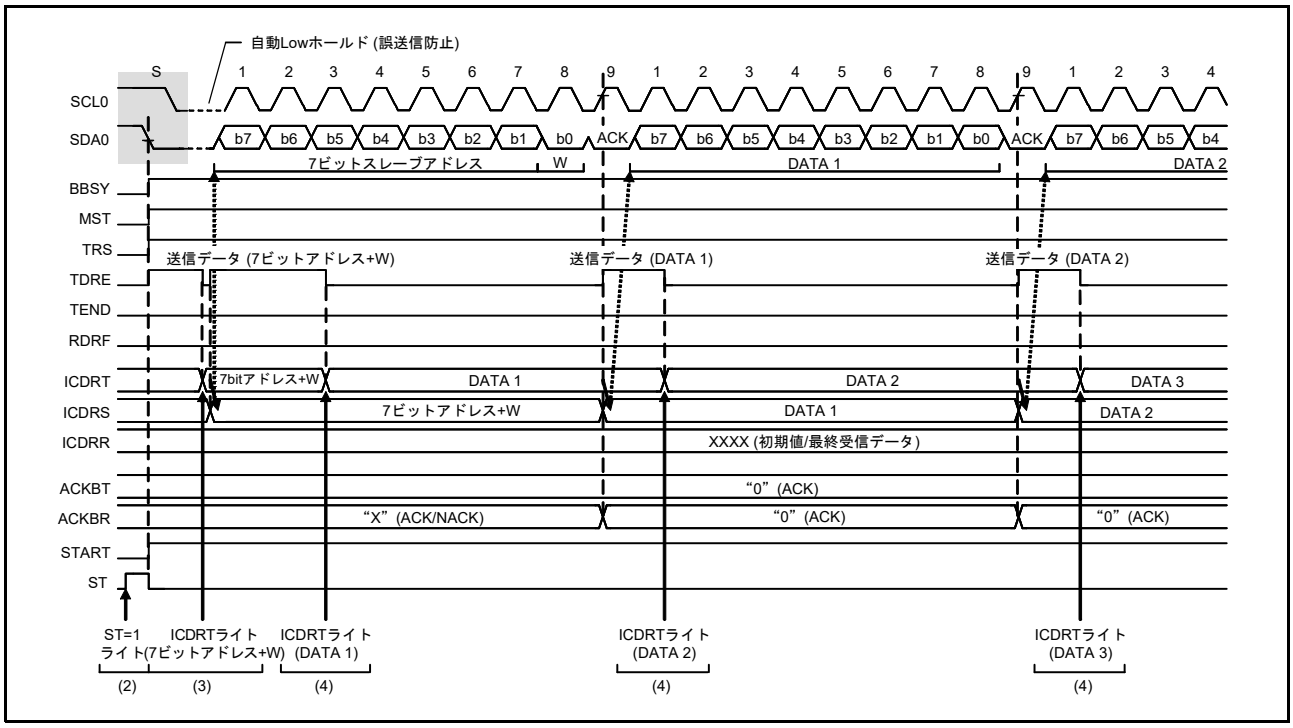


図 34.6　マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマットのとき)

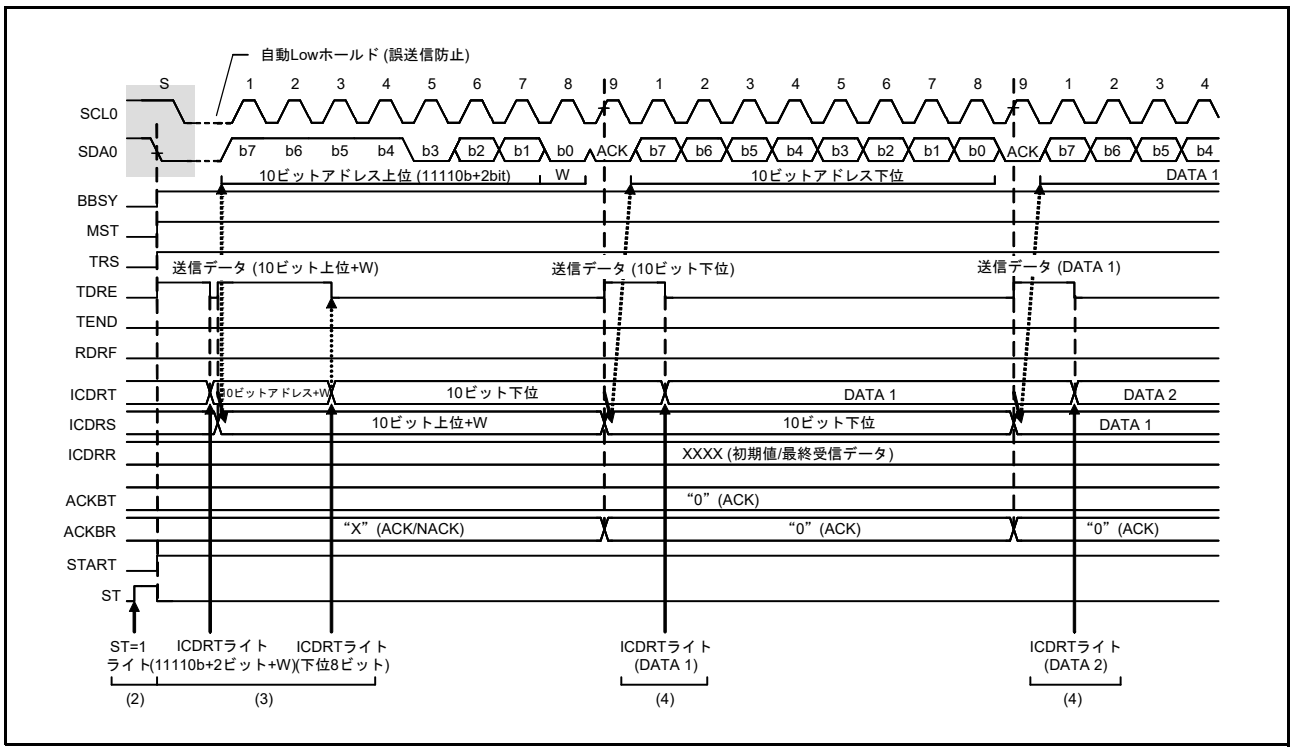


図 34.7　マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマットのとき)

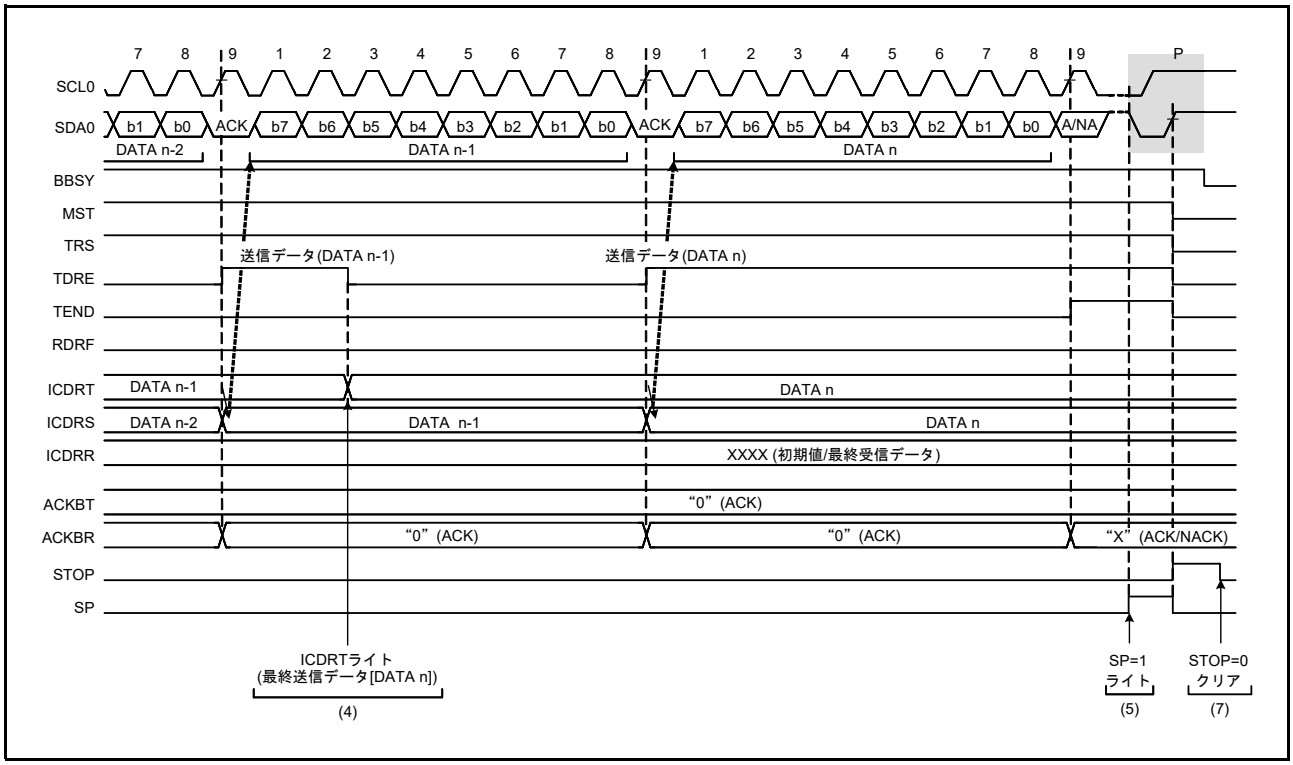


図 34.8　マスタ送信の動作タイミング (3)

34.3.4　マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 34.9、図 34.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 34.11 ～図 34.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

(1) 初期設定を行います。詳細は「34.3.2　初期設定」を参照してください。

(2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが “1” になることにより自動的に “1” になります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビットが “1” の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信

モードに移行します。このとき TDRE フラグは “0” に、ICSR2.RDRF フラグは自動的に “1” になります。
このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

(4) ICSR2.RDRF フラグが “1” であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが “1” になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト – 1 の場合、ICDRR レジスタ (最終バイト – 2 バイト目) を読む前に ICMR3.WAIT ビットを “1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを “1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

(6) ICMR3.RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを “1” (NACK) にしてください。

(7) ICDRR レジスタ (最終バイト – 1 バイト目) 読み出し後、ICSR2.RDRF フラグが “1” であることを確認してから、ICCR2.SP ビットに “1” を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。

(8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが “1” になります。

(9) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

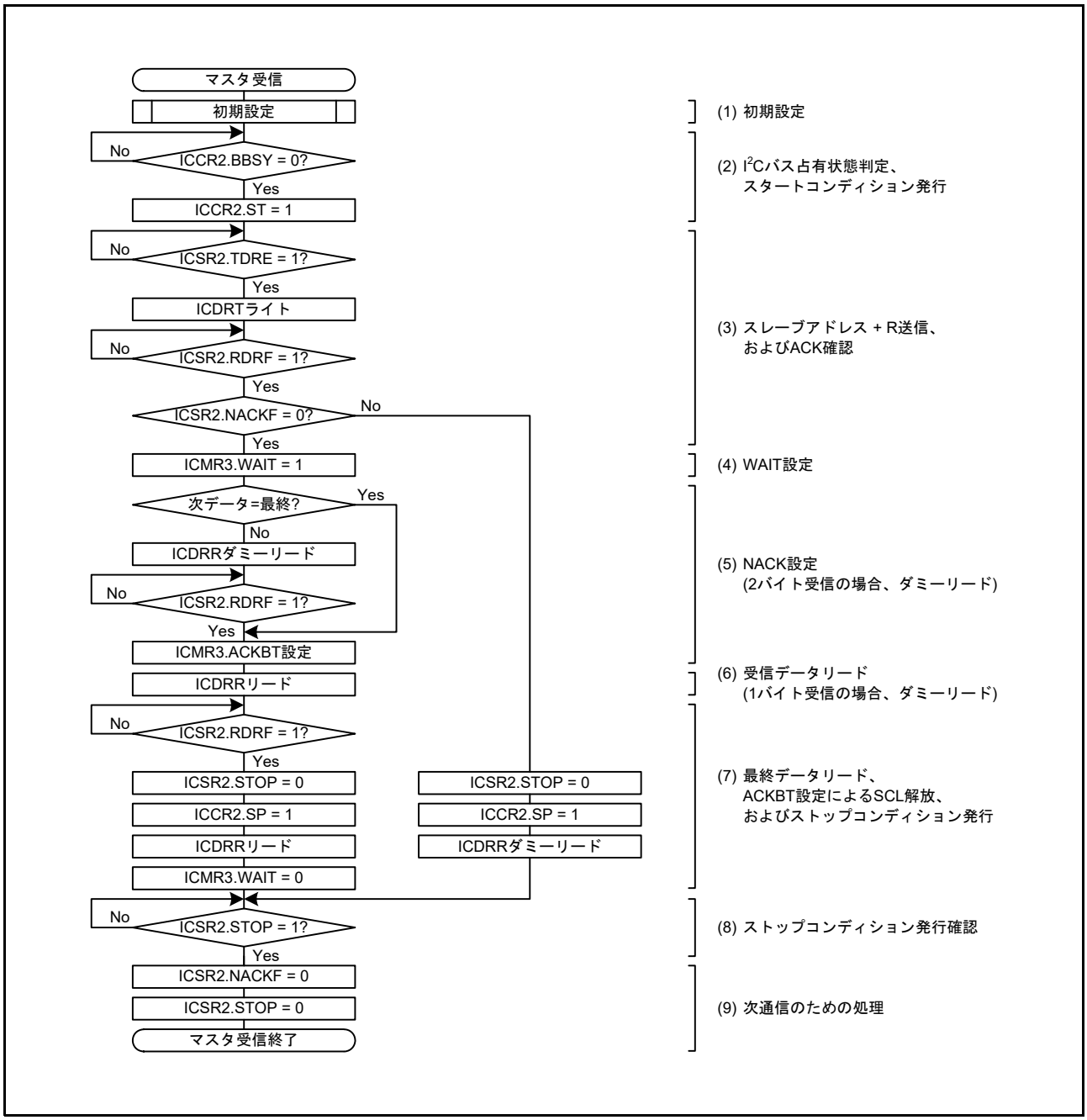


図 34.9　マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

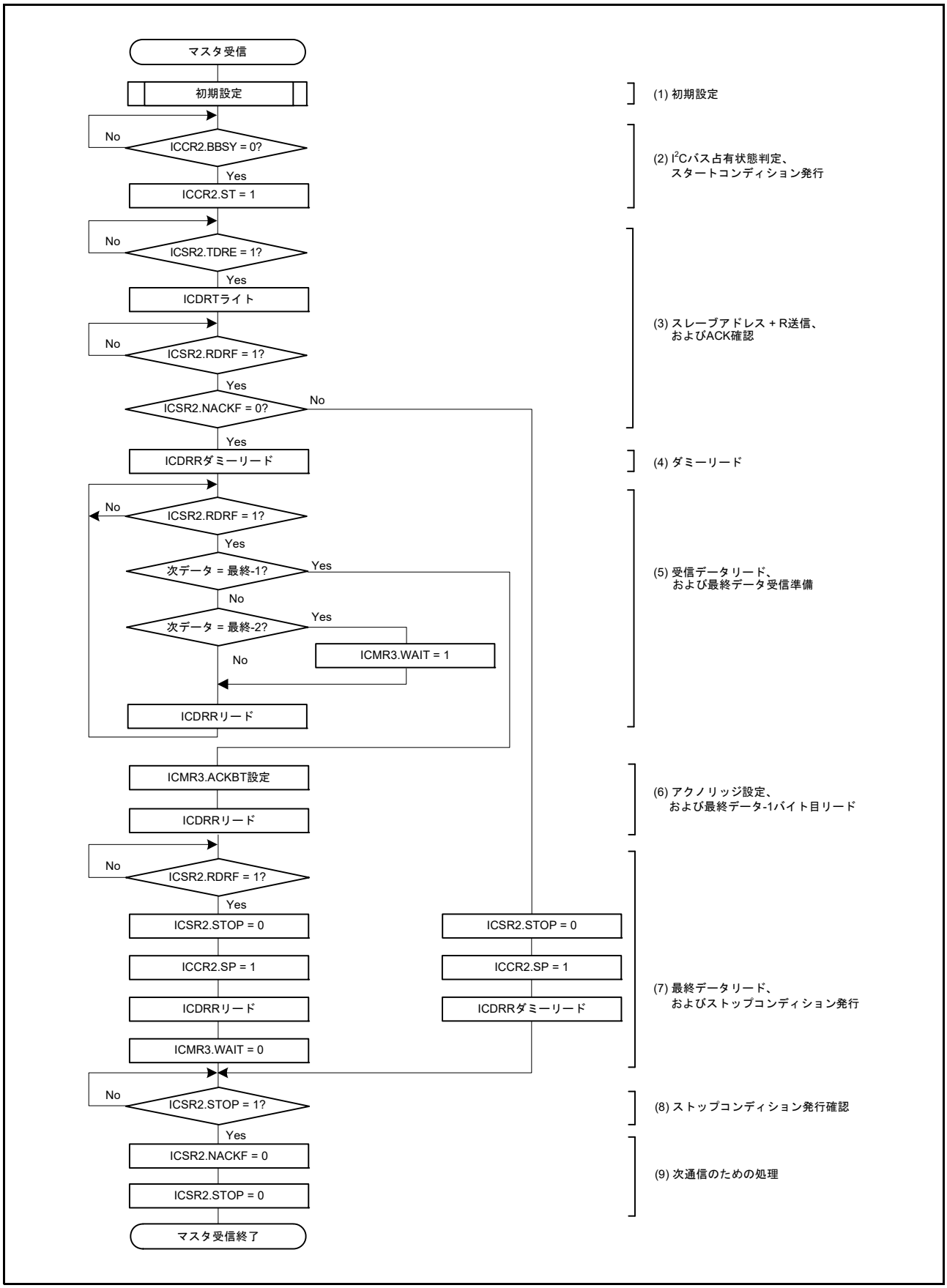


図 34.10　マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合)

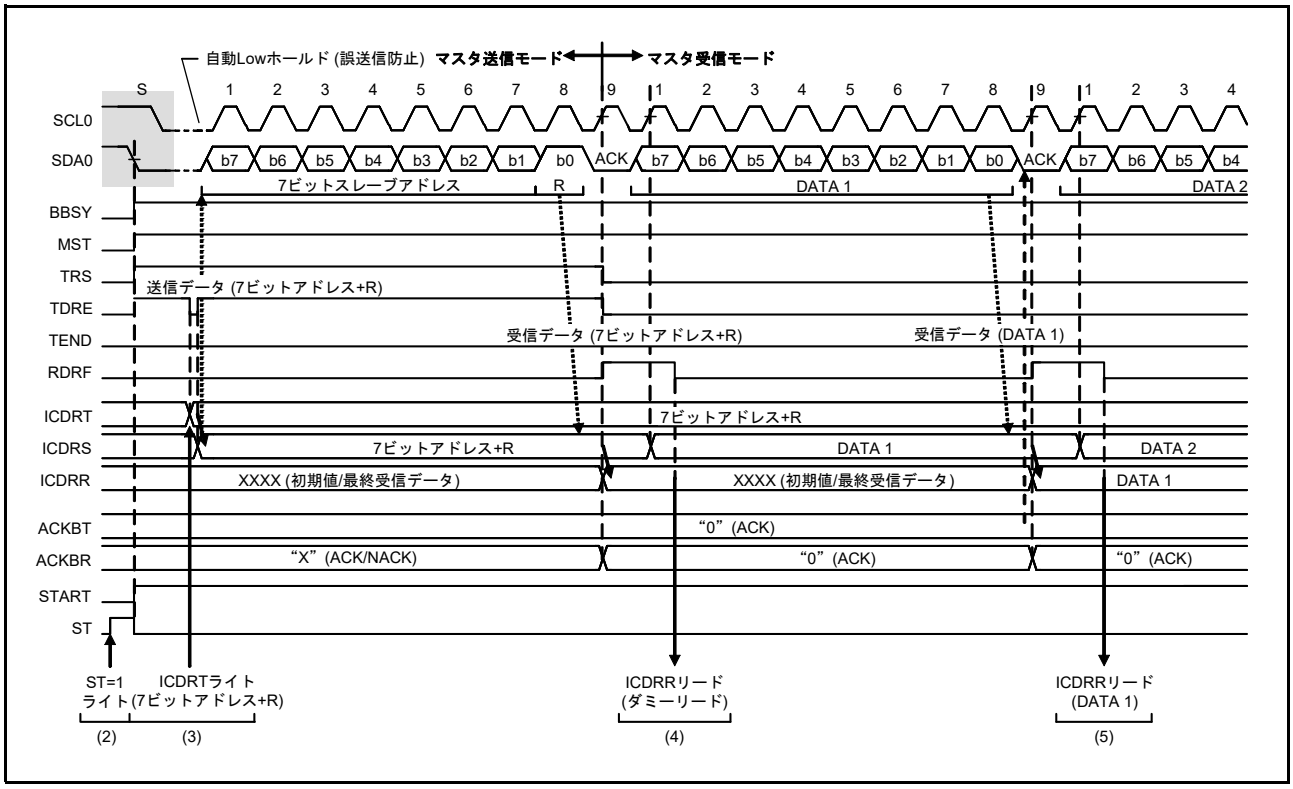


図 34.11　マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

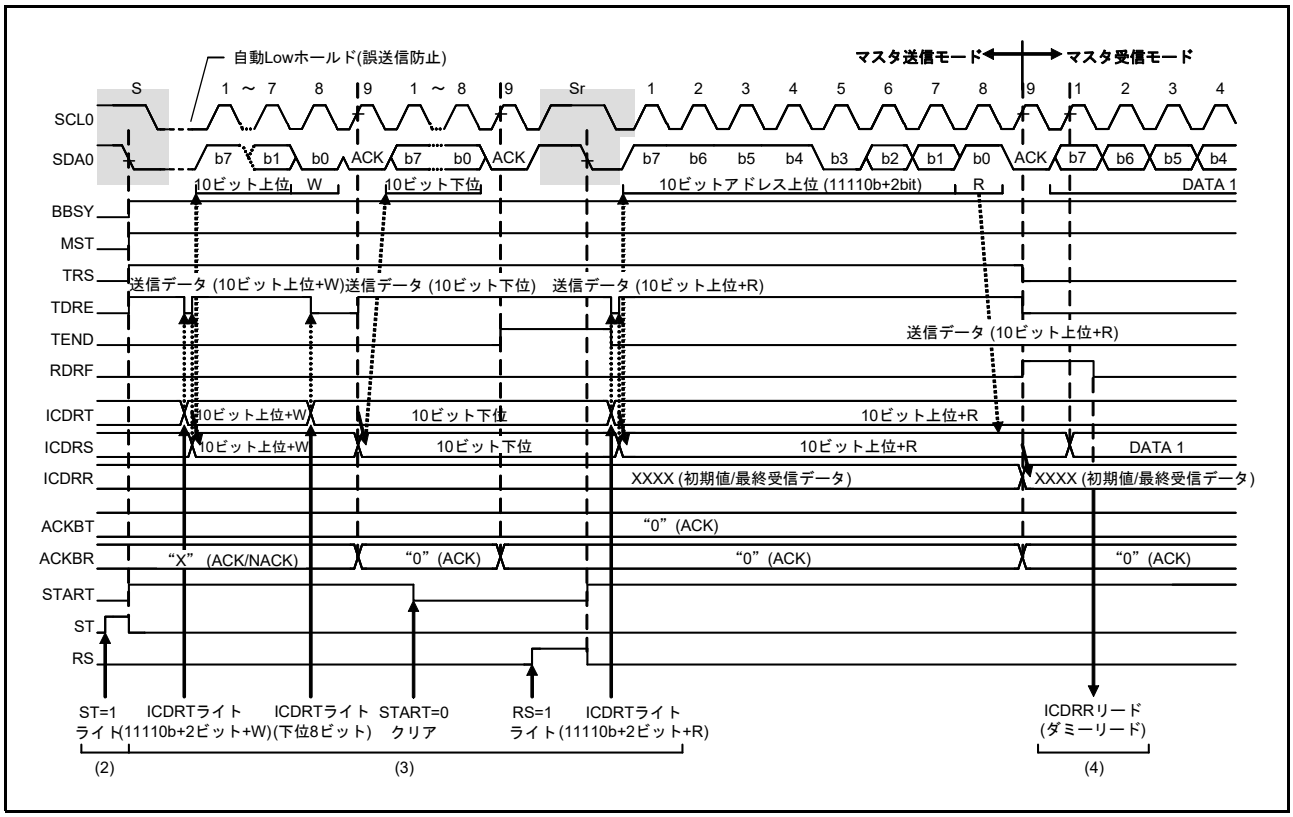


図 34.12　マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

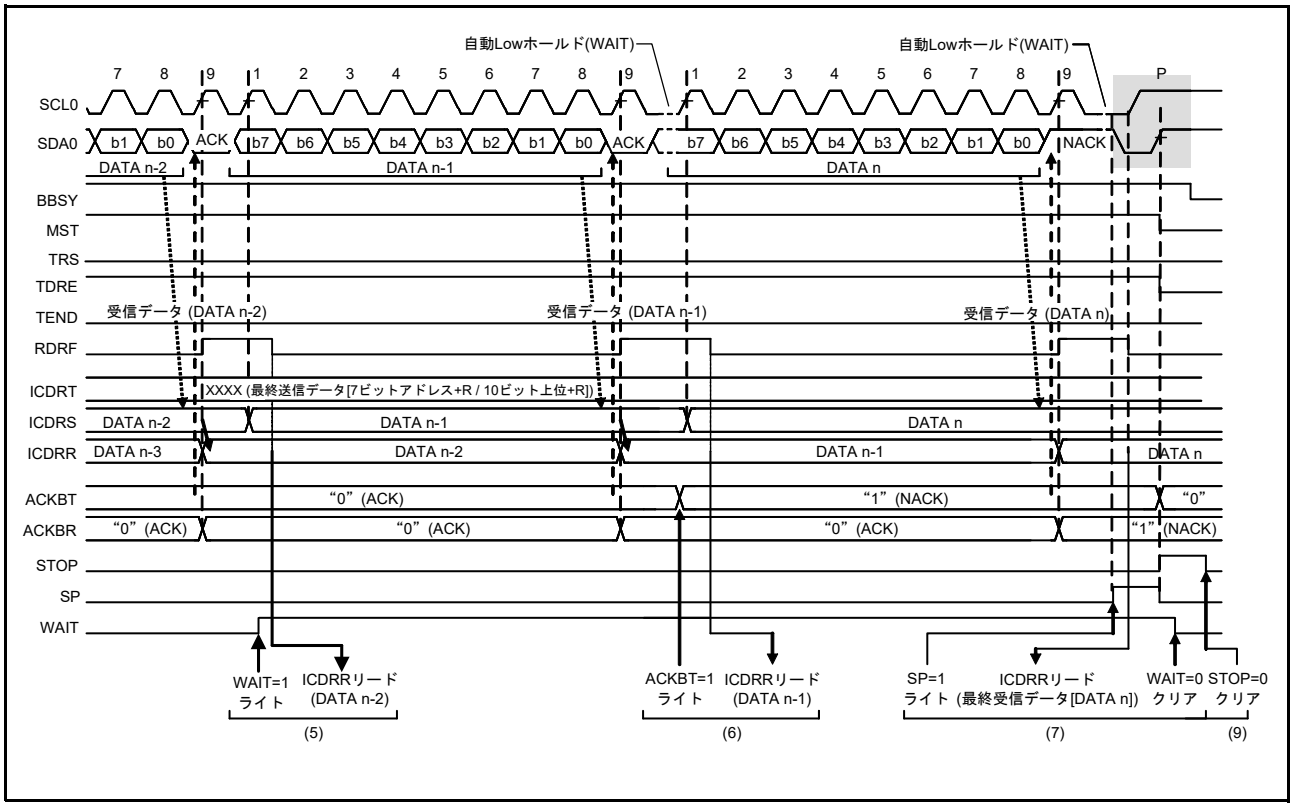


図 34.13　マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

34.3.5　スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 34.14 にスレーブ送信の使用例を示します。**図 34.15**、**図 34.16** にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) 初期設定を行います。詳細は**「34.3.2　初期設定」**を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。

(4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。
ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。

(5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。

(6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。

(7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

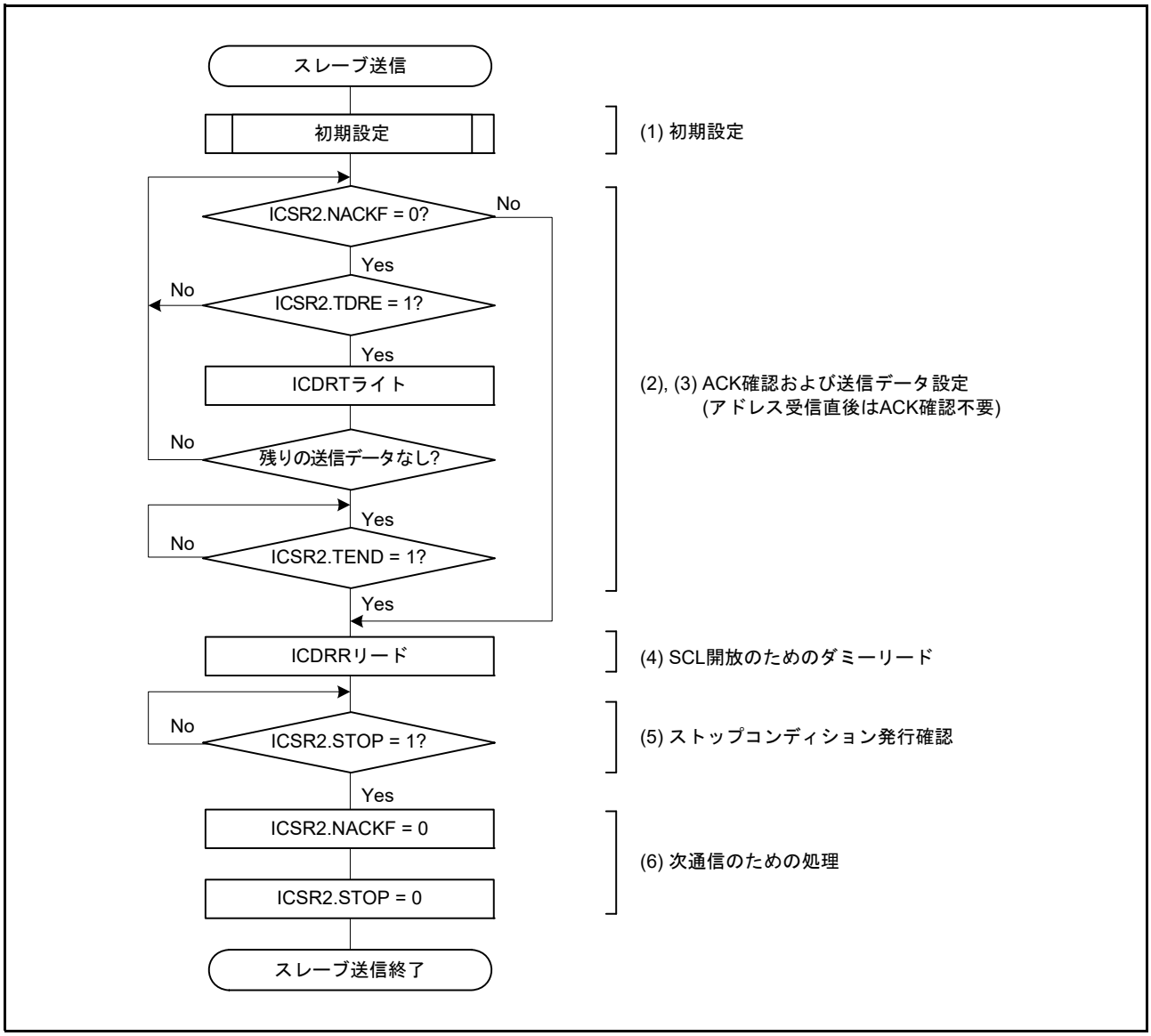


図 34.14　スレーブ送信のフローチャート例

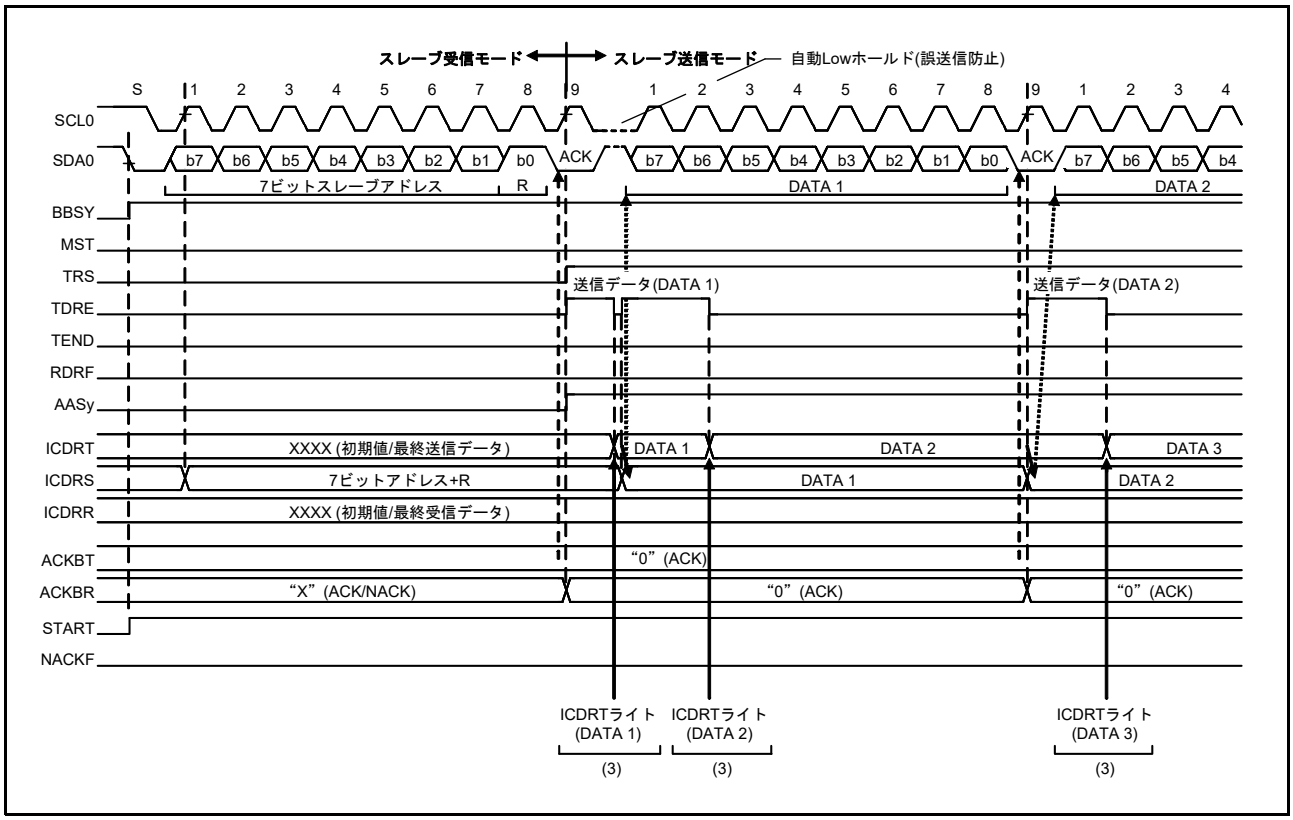


図 34.15　スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマットのとき)

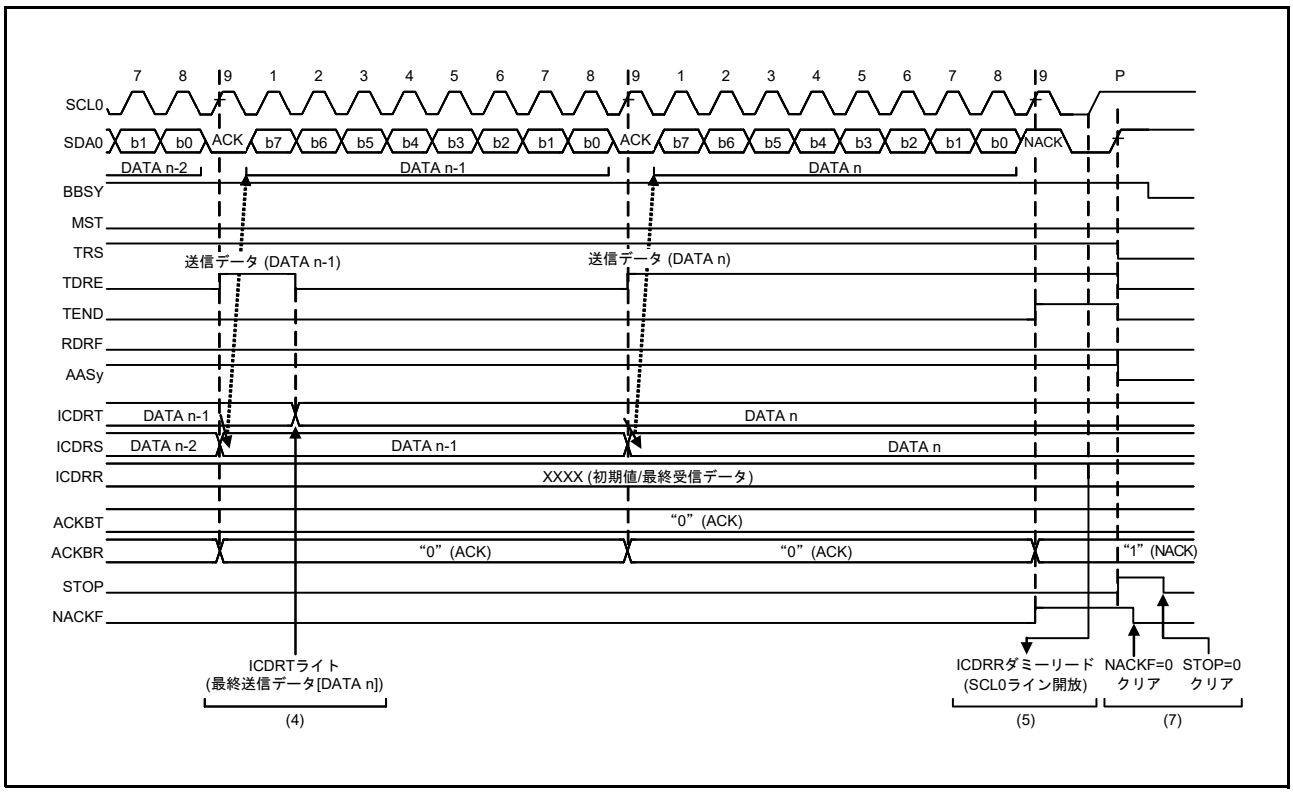


図 34.16　スレーブ送信の動作タイミング (2)

34.3.6　スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 34.17 にスレーブ受信の使用例を**図 34.18**、**図 34.19** にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) 初期設定を行います。詳細は**「34.3.2　初期設定」**を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。

(3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。

(4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL 立ち下がりで SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。
ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) を自動的に “0” にします。

(6) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.STOP フラグを “0” にしてください。

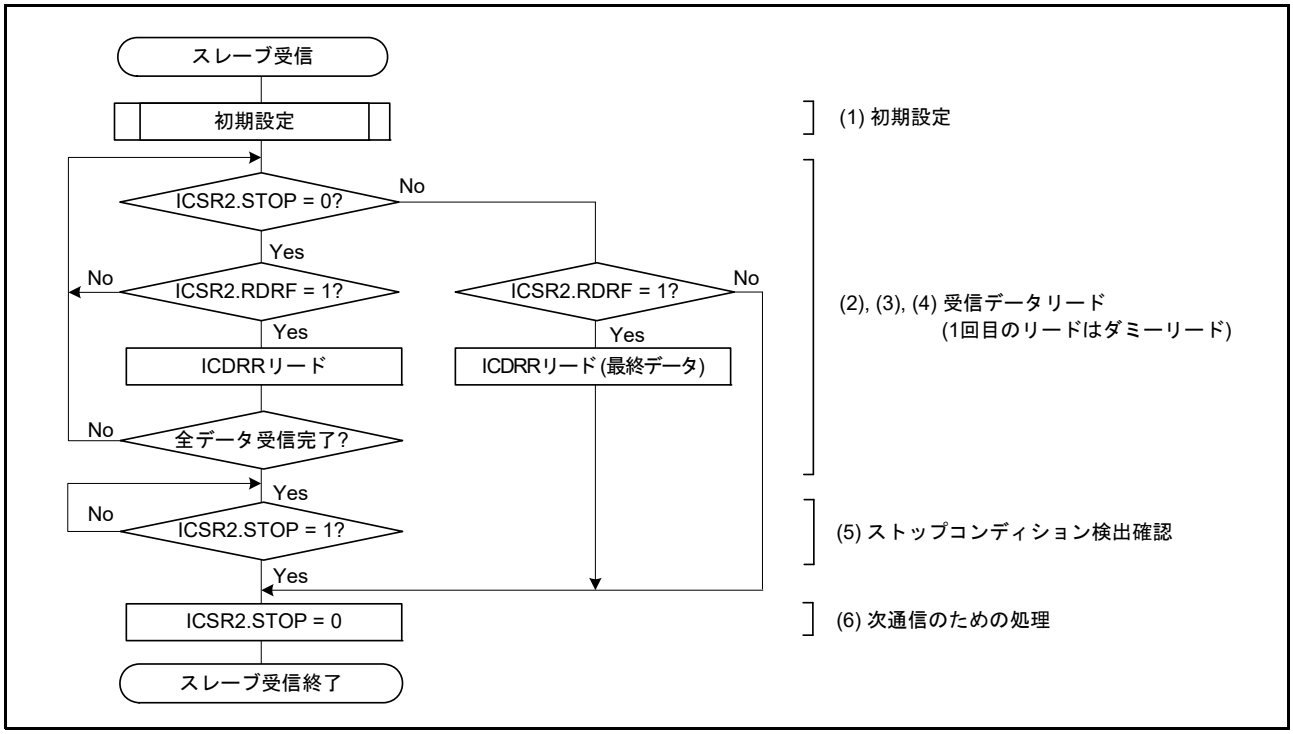


図 34.17　スレーブ受信のフローチャート例

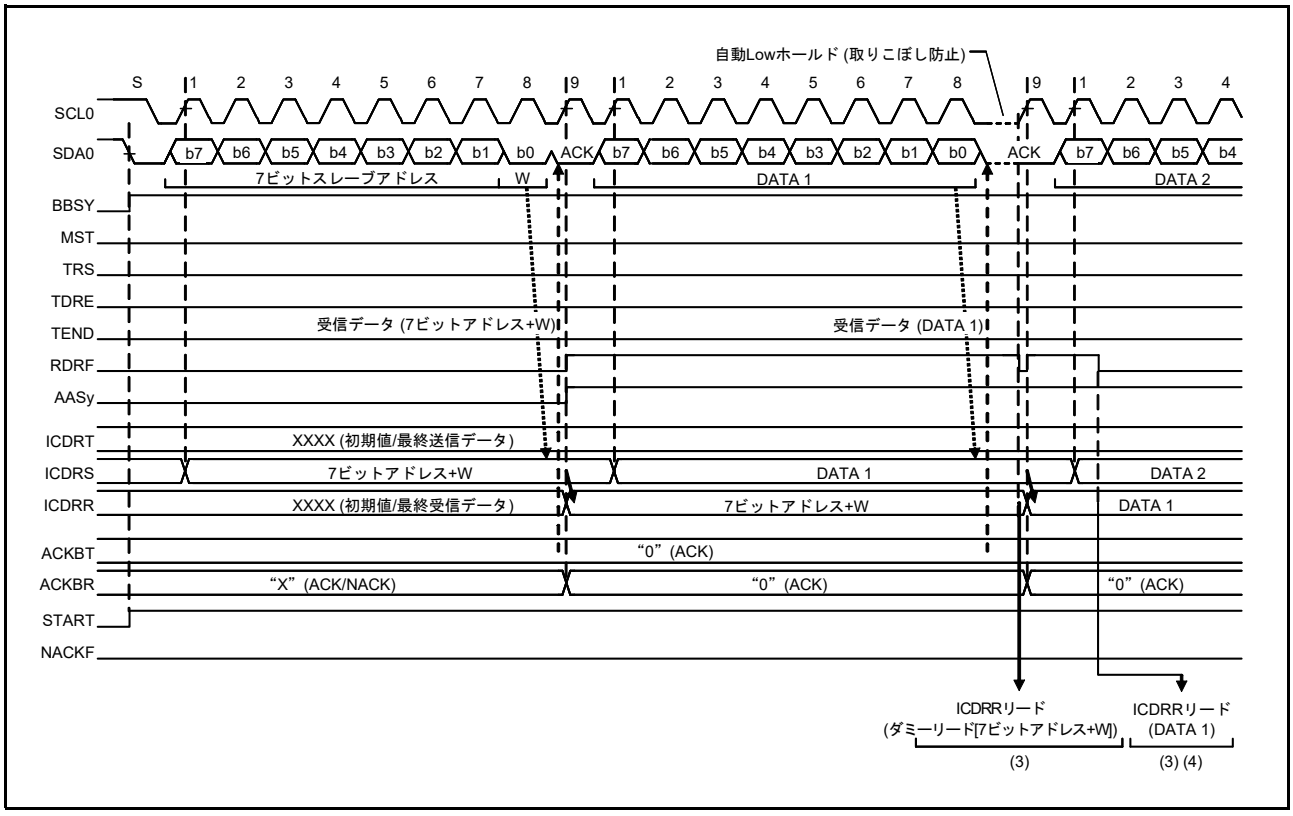


図 34.18　スレーブ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

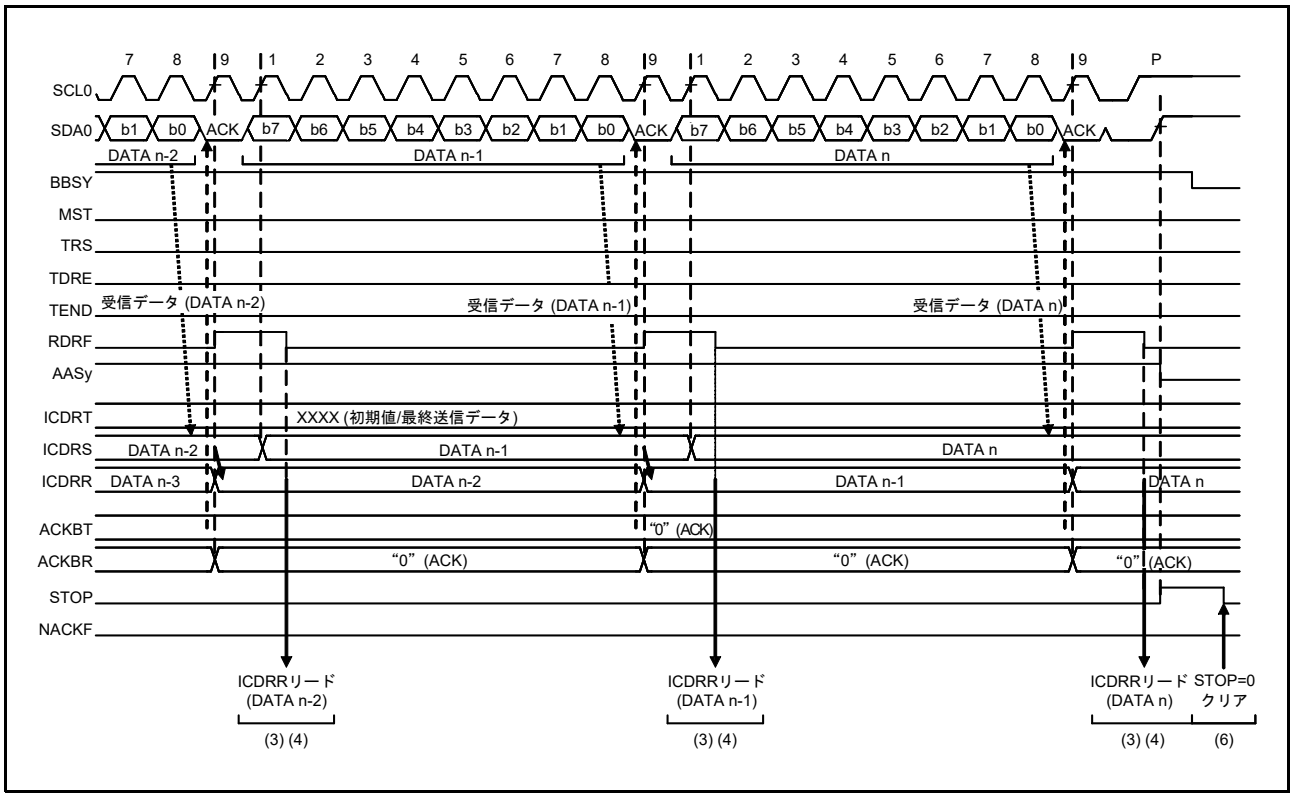


図 34.19　スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

34.4　SCL 同期回路

RIIC の SCL 生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL を生成します。

I2C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL 出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが “1” のとき有効です。

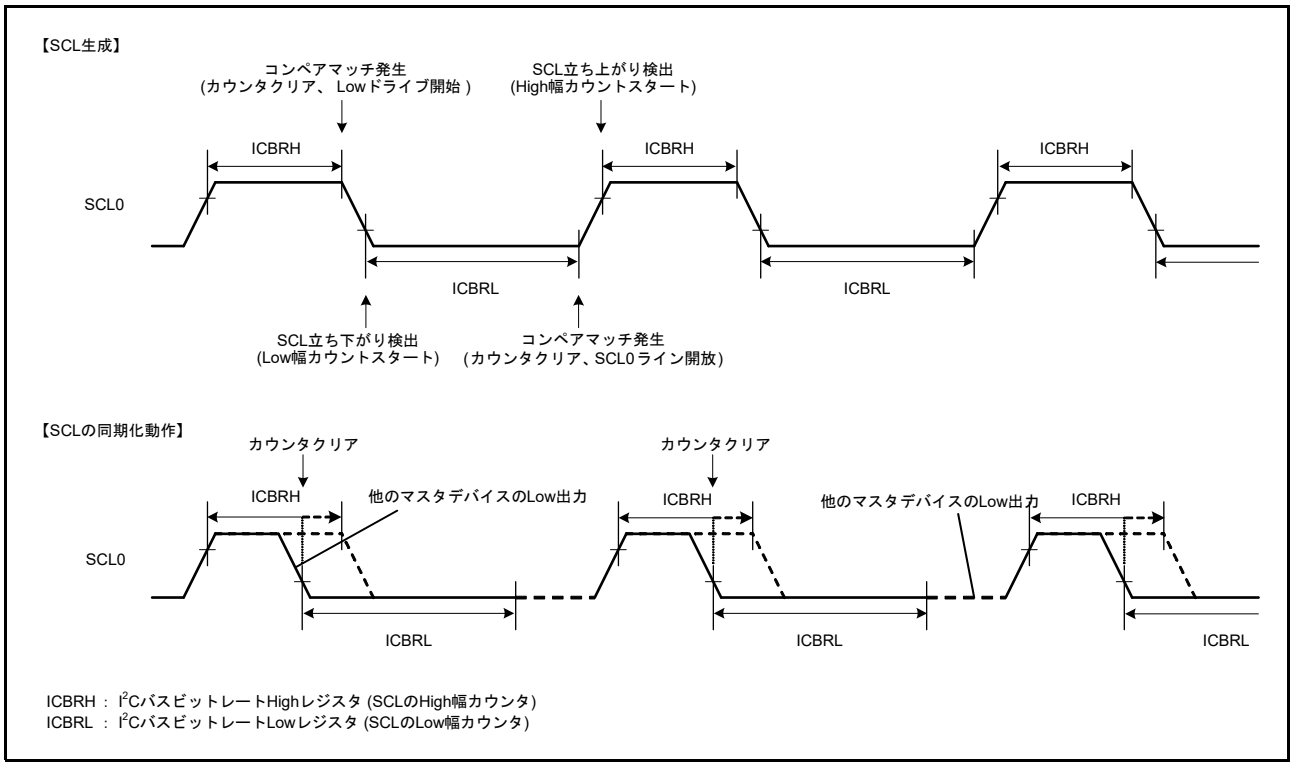


図 34.20　RIIC の SCL 生成および SCL 同期化動作

34.5　SDA 出力遅延機能

RIIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を遅延させることができます。

SDA 出力遅延機能は、SCL の立ち下がり検出から SDA 出力を遅延させ、確実に SCL の Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBus のデータホールド時間：300 ns (min) の仕様を満たす目的でも使用することができます。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効 (SDDL[2:0] ビットが “000b” 以外) のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック (IICφ) またはその 2 分周クロック (IICφ/2) をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力 (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を行います。

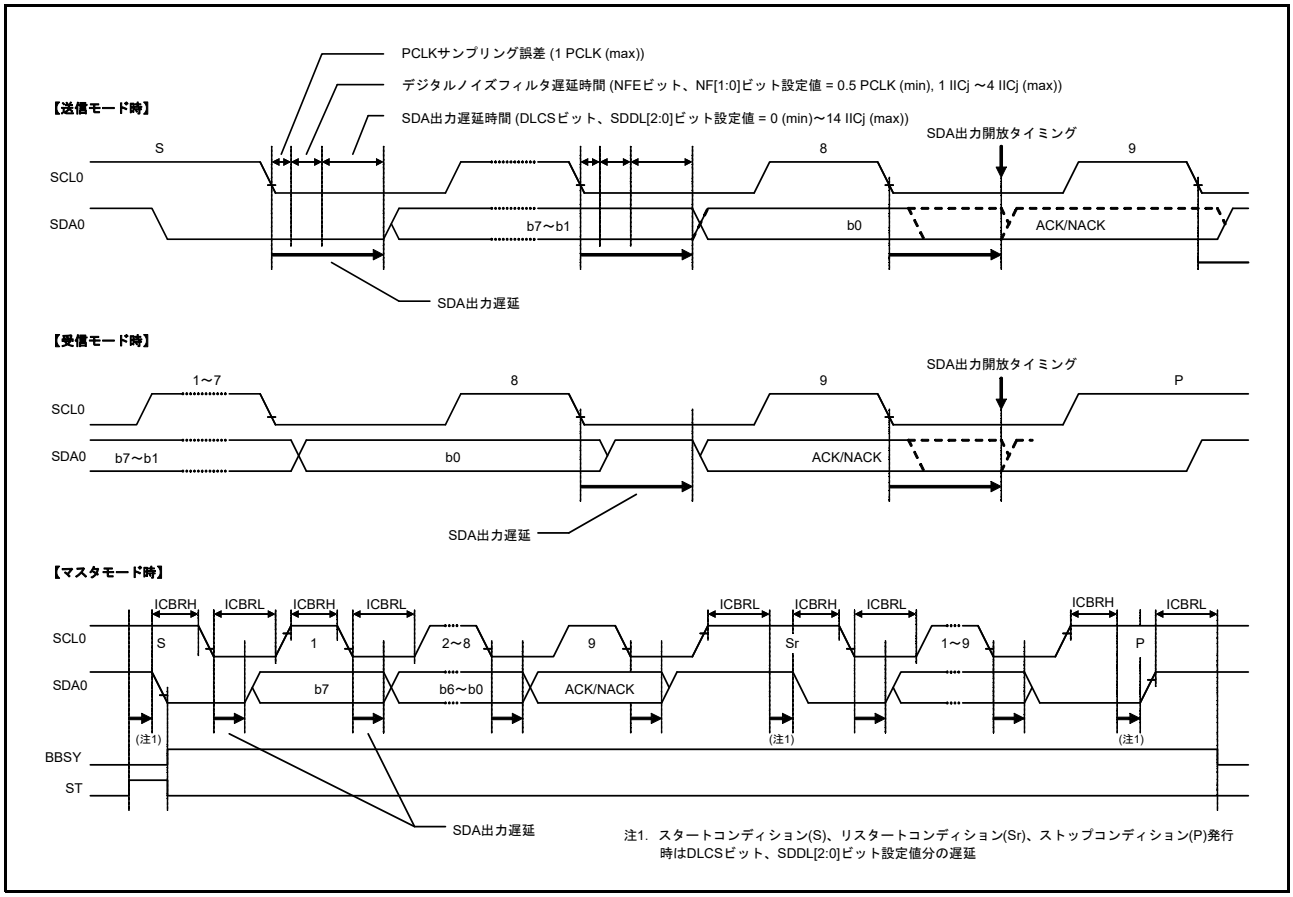


図 34.21　SDA 出力遅延タイミング

34.6　デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。図 34.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 IICφ ～ 4 IICφ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は IICφ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4 MHz 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合がありますので注意してください。

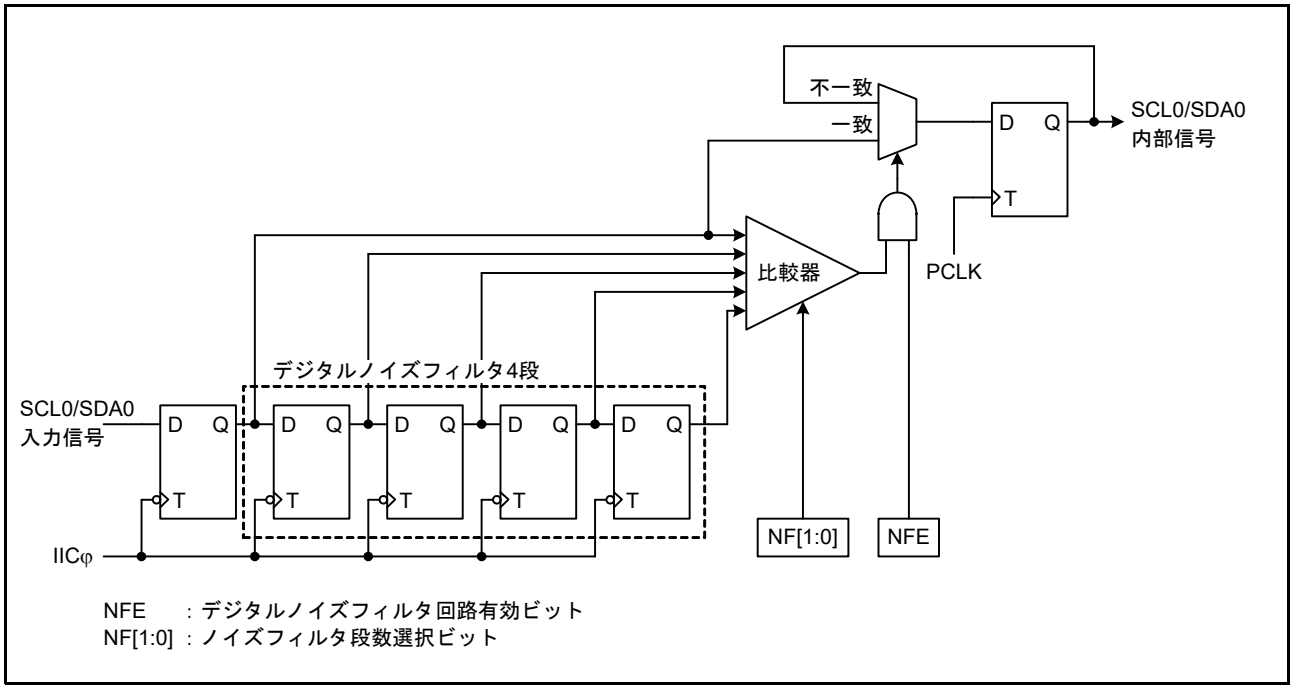


図 34.22　デジタルノイズフィルタ回路のブロック図

34.7　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

34.7.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット (y = 0 ～ 2) が “1” のとき、SARUy/SARLy レジスタ (y = 0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、9 個目の SCL の立ち上がりで該当する ICSR1.AASy フラグ (y = 0 ～ 2) を “1” にし、このとき受信した R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み (RXI) または送信データエンプティ割り込み (TXI) を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 34.23 ～図 34.25 に AASy フラグが “1” になるタイミングを示します。

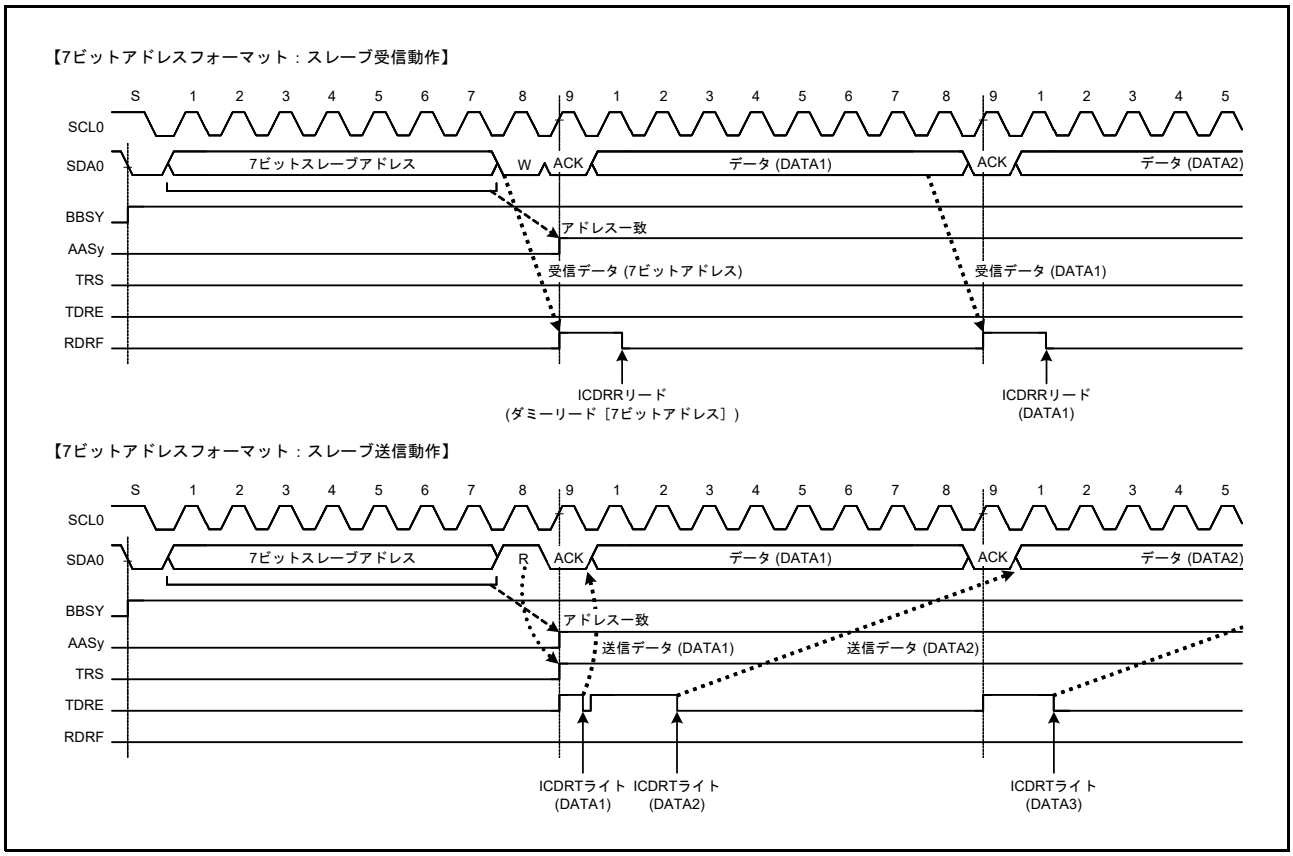


図 34.23　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

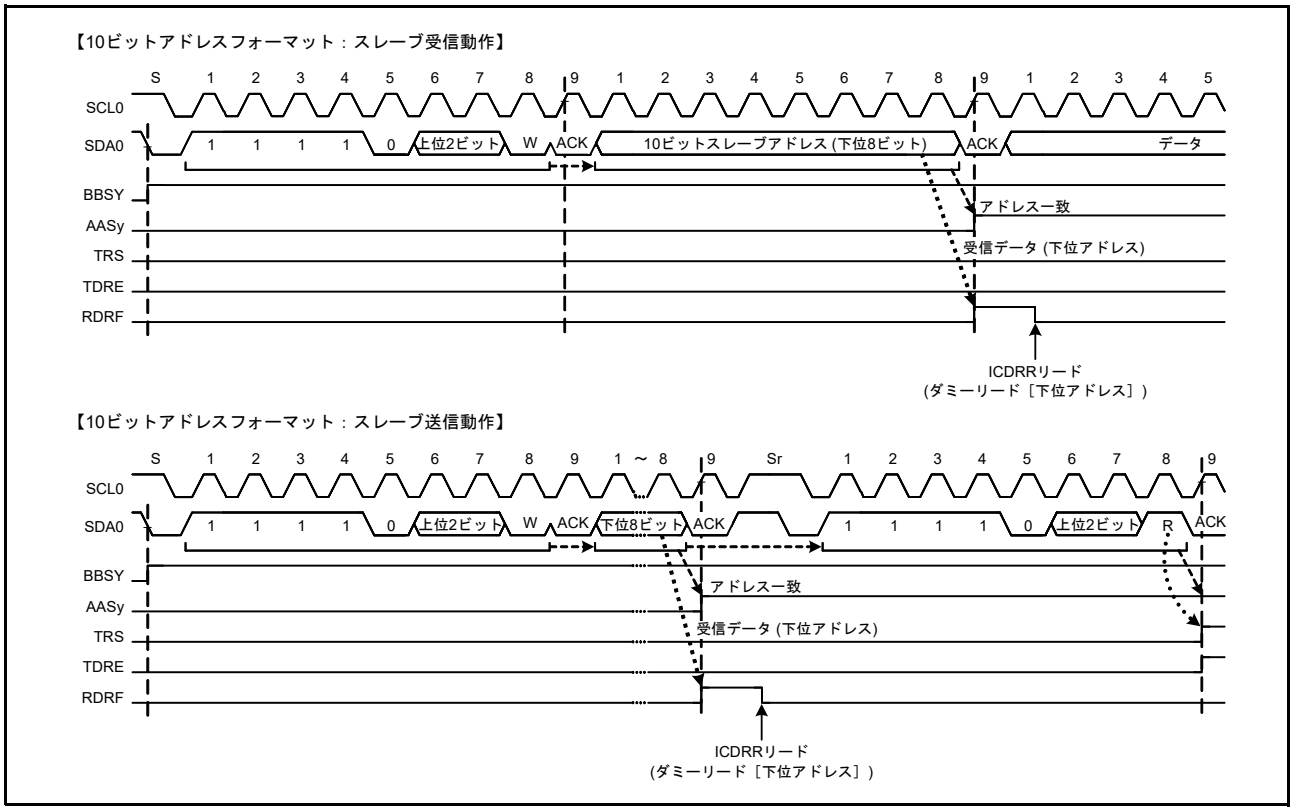


図 34.24　10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

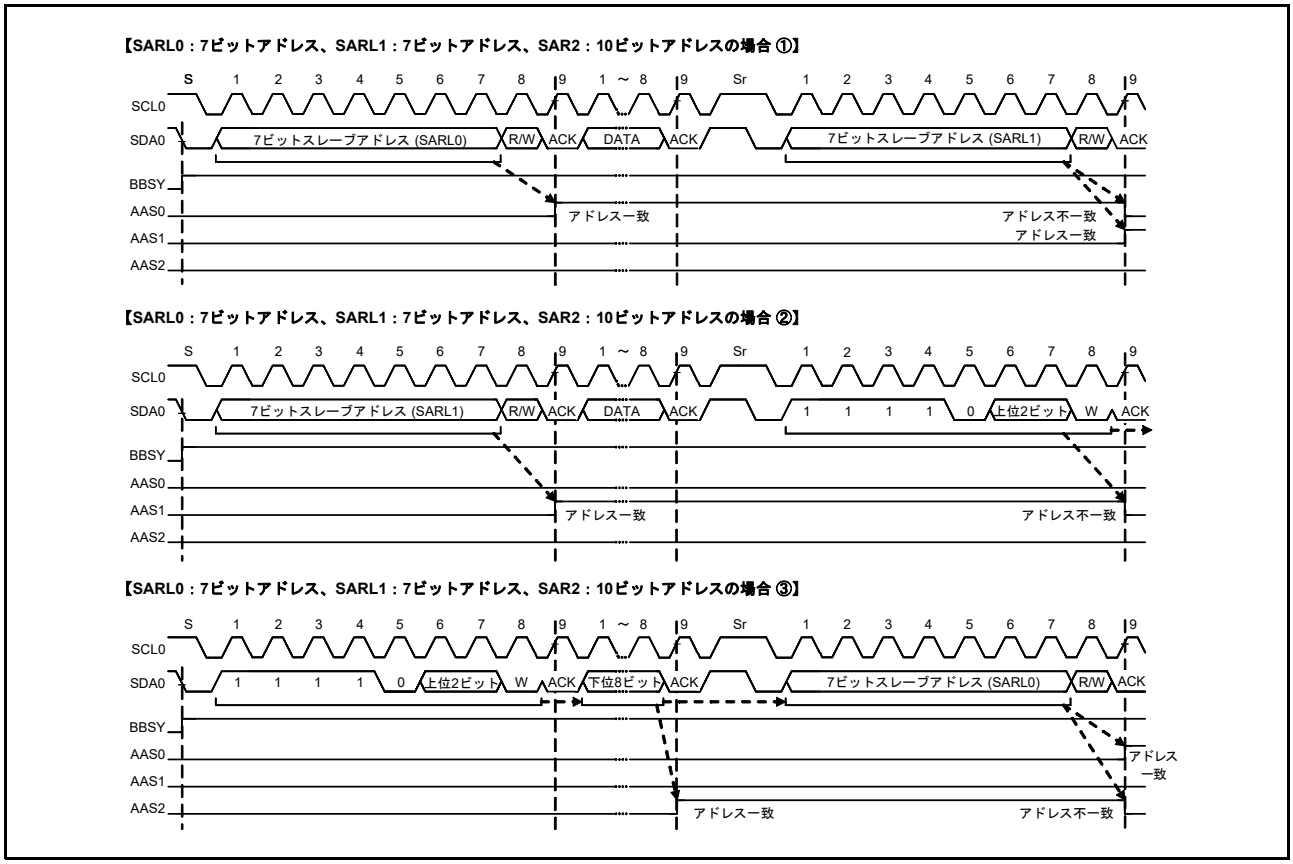


図 34.25　7 ビット /10 ビットアドレスフォーマット混在時に AASy フラグが “1” または “0” になるタイミング

34.7.2　ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIIC はこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.GCA フラグを “1” にし、同時に ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

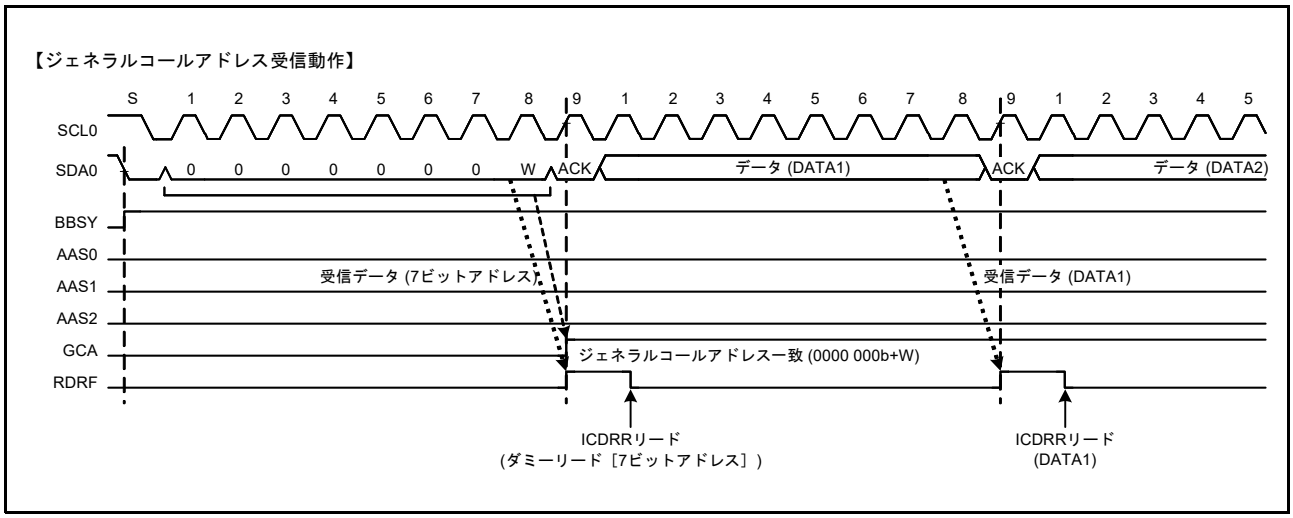


図 34.26　ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

34.7.3 デバイス ID アドレス検出機能

RIIC は I2C バス仕様に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき 9 個目の SCL の立ち上がりで ICSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y = 0 ～ 2) が “1” になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが “1” のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが “0” のとき DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE フラグが “1” であることを確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分：メーカ [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

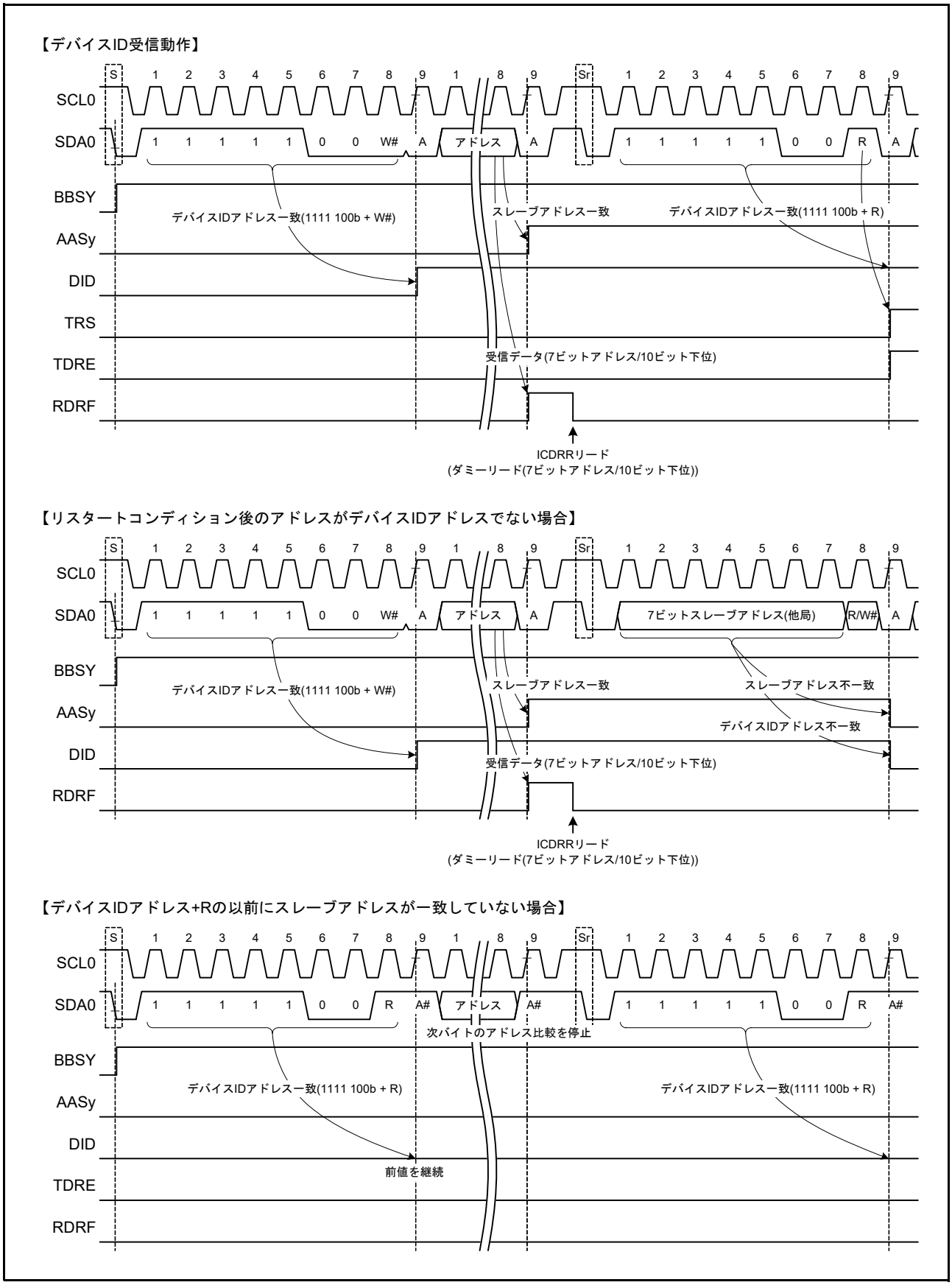


図 34.27　デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

34.7.4　ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが “1” のとき ICSER.HOAE ビットを “1” にすると、スレーブ受信モード (ICCR2.MST, TRS ビット = 00b) にホストアドレス (0001 000b) を検出することが可能です。

RIIC はホストアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.HOA フラグを “1” にし、Wr ビット (R/W# ビットに “0” を受信) のとき ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに “1” を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

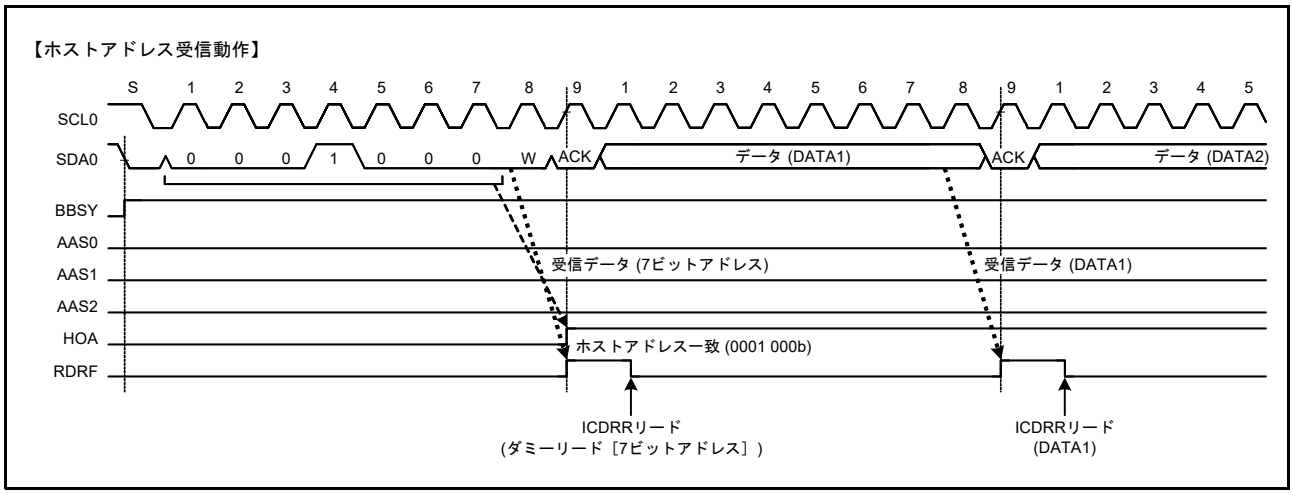


図 34.28　ホストアドレス受信時に HOA フラグが “1” になるタイミング

34.8　SCL の自動 Low ホールド機能

34.8.1　送信データ誤送信防止機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1)、シフトレジスタ (ICDRS レジスタ) が空の状態でかつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL0 ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション / リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の間の Low 区間

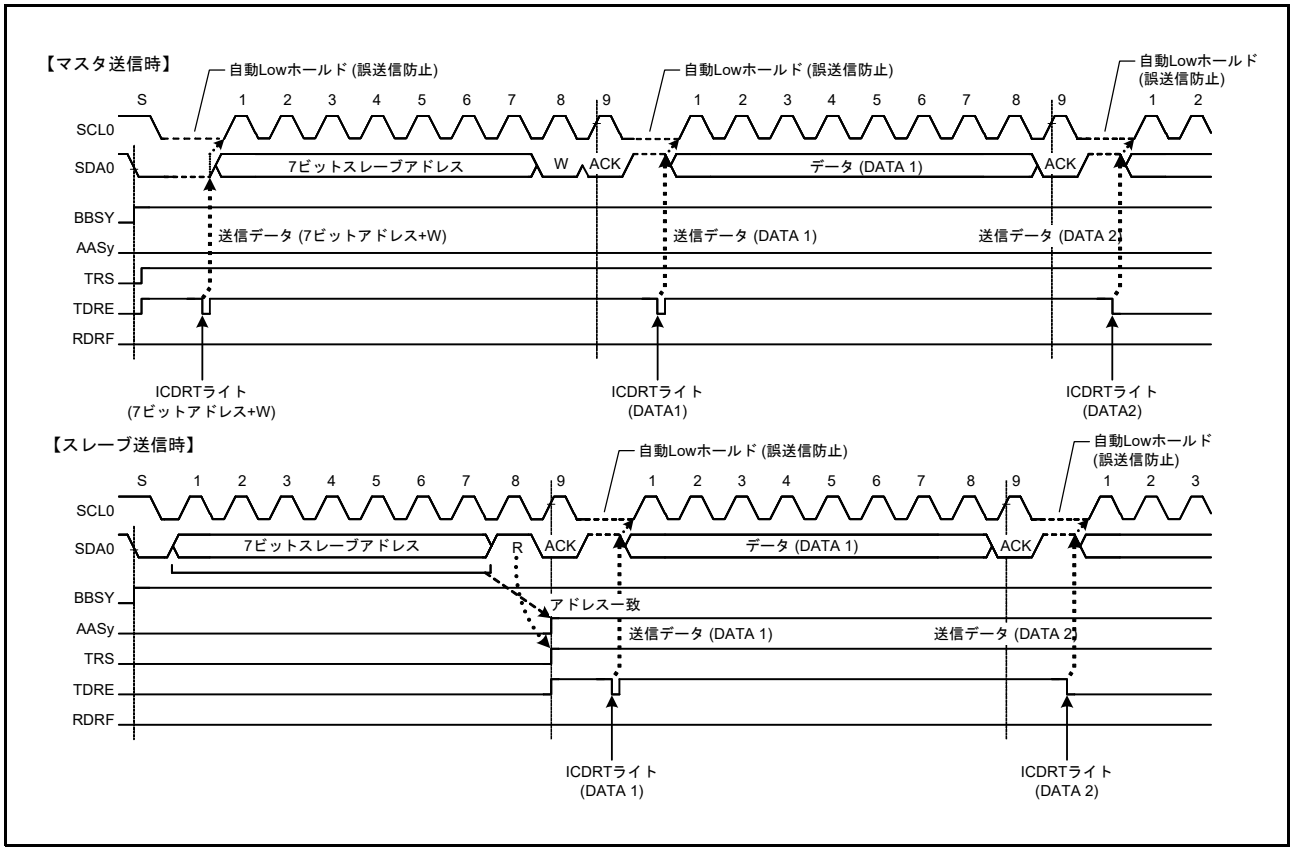


図 34.29　送信モードの自動 Low ホールド動作

34.8.2　NACK 受信転送中断機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、9 個目の SCL の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。

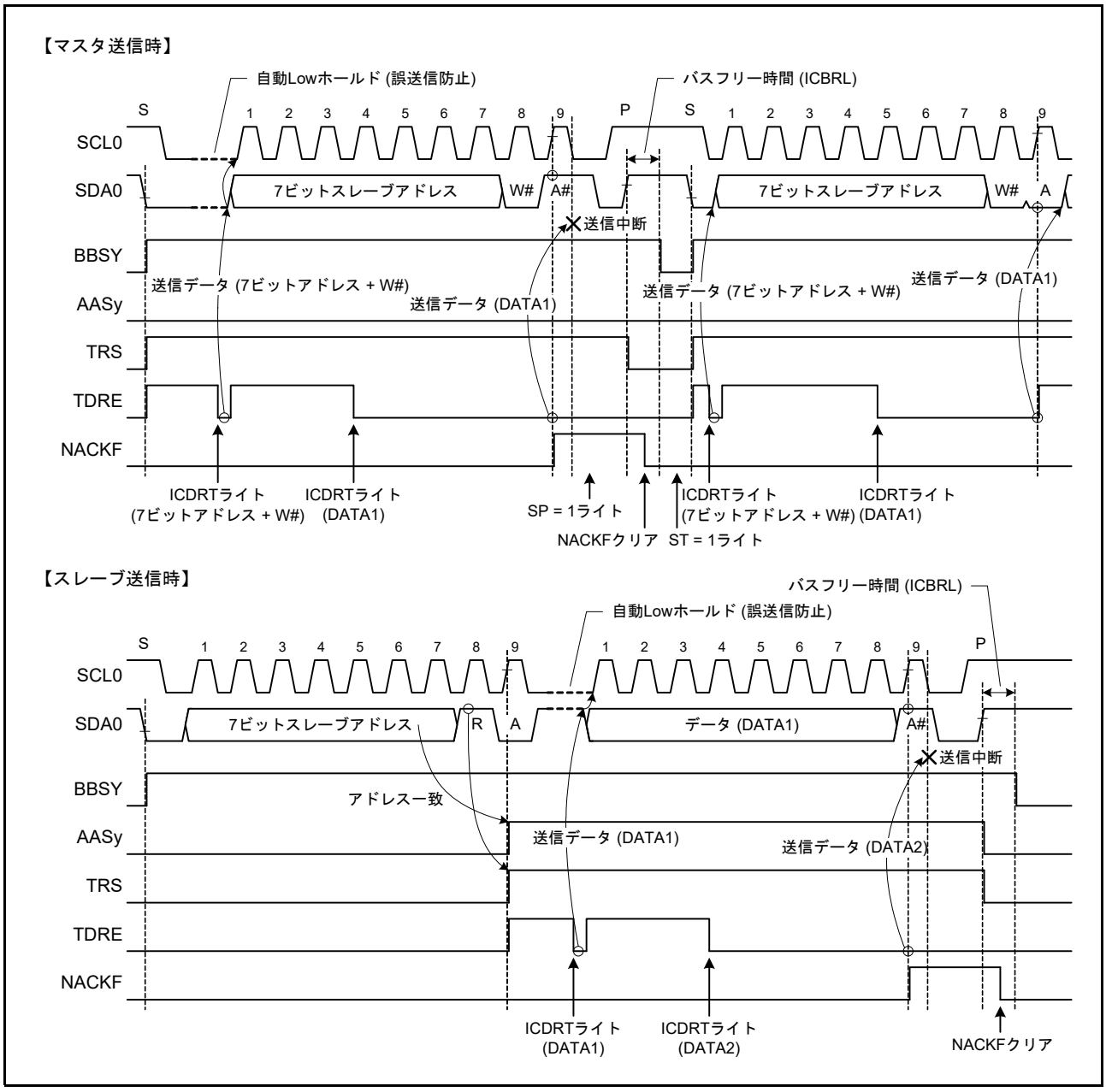


図 34.30　NACK 受信時の転送中断動作 (NACKE ビット = 1 のとき)

34.8.3 受信データ取りこぼし防止機能

RIIC は受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを “1” にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが “0” のとき、RIIC は SCL の 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御)/ 自動 Low ホールド機能

ICMR3.RDRFS ビットを “1” にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が “1” になるタイミングが 8 個目の SCL の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

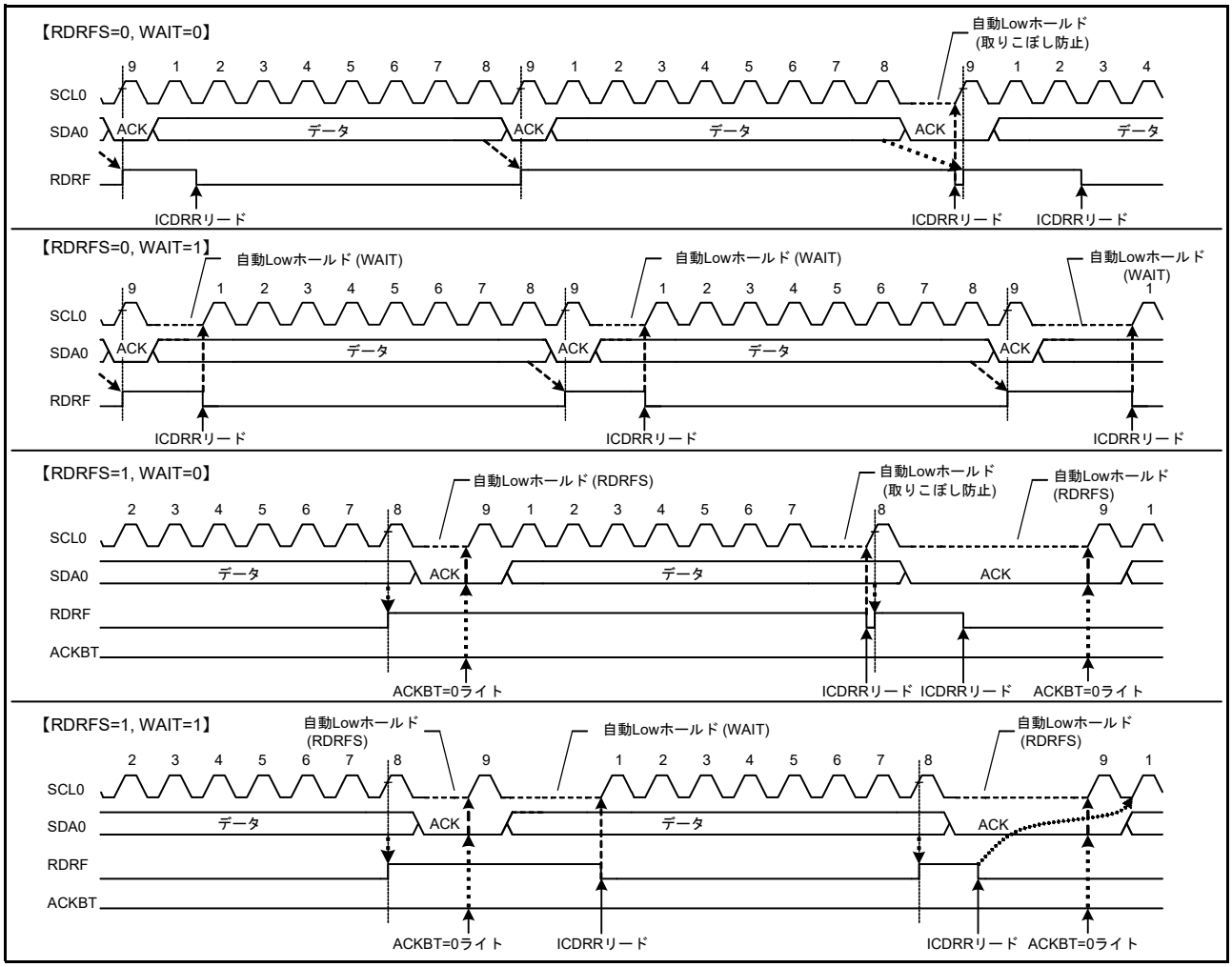


図 34.31　受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

34.9 アービトレーションロスト検出機能

RIIC には I2C バス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

34.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIIC はスタートコンディション発行の際 SDA0 ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDA0 ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に ICCR2.BBSY フラグが “1” (バスビジー) のときに ICCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ (SDA 信号) と SDA0 ラインに不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なお RIIC は、ICFER.MALE ビットが “1” (マスタアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICCR2.BBSYフラグが“0”の状態でICCR2.STビットを“1”にしてスタートコンディションを発行したときに、SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”の状態でICCR2.STビットを“1”にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRS ビット= 11b)、アクノリッジを除く送信データ (SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

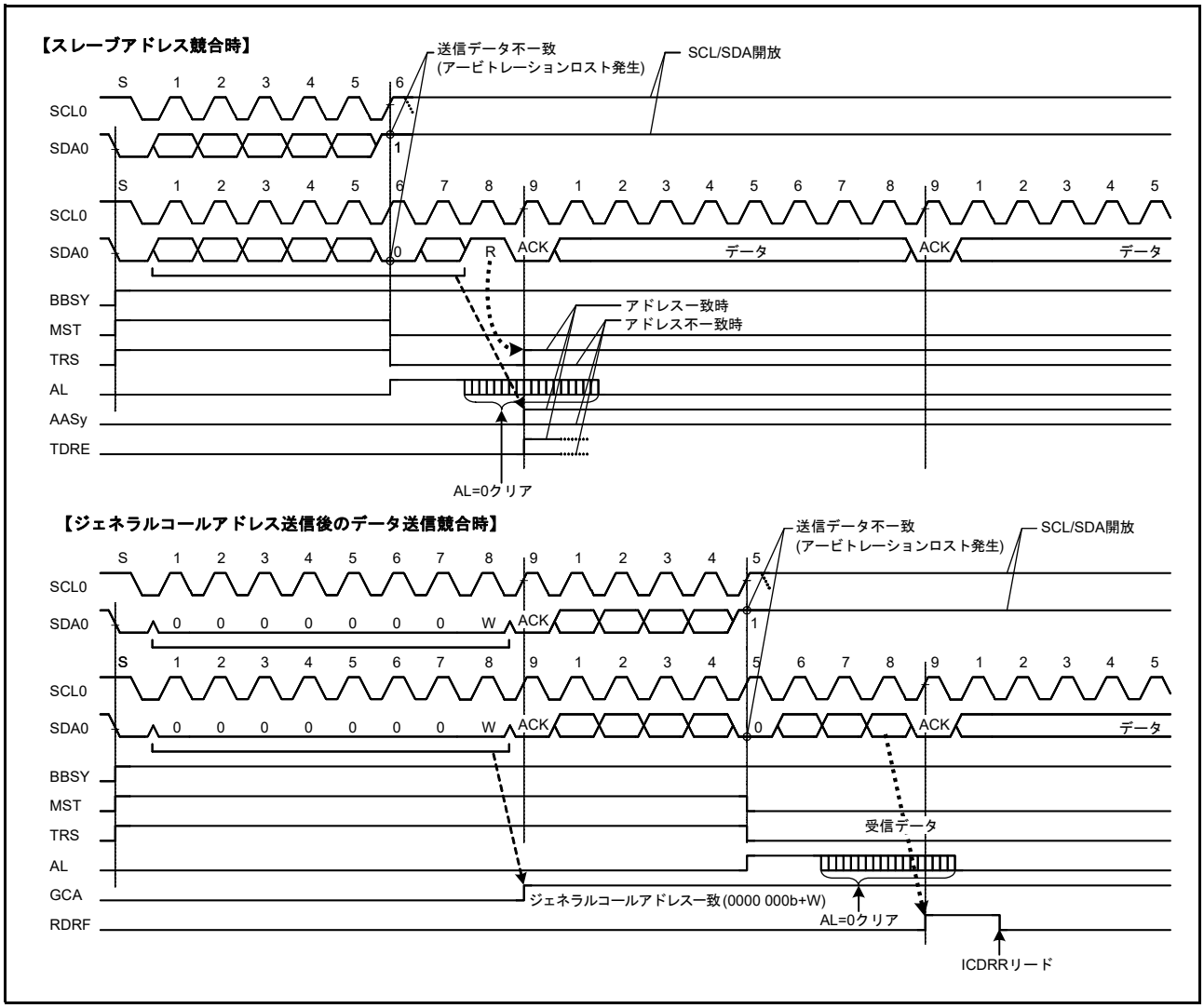


図 34.32　マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

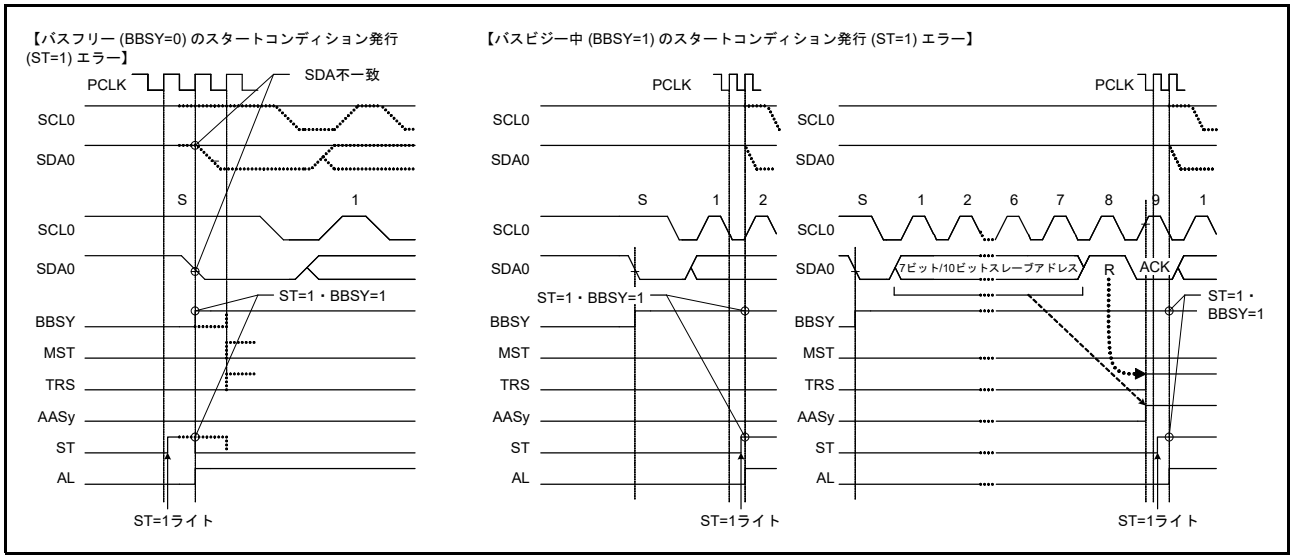


図 34.33　スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

34.9.2　NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIIC は受信モード時で NACK 送信時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致の場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。NACK 送信アービトレーションロストは、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 34.34 に NACK 送信アービトレーションロスト検出動作例を示します。

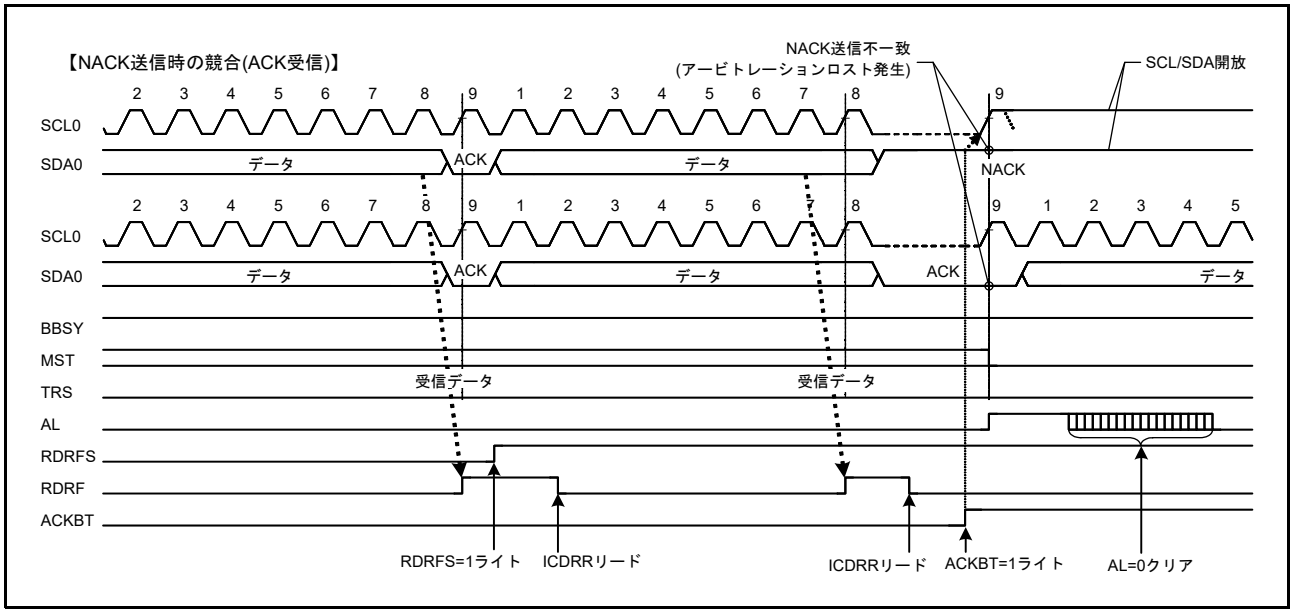


図 34.34　NACK 送信アービトレーションロスト検出動作例 (NALE ビット = 1 のとき)

2 つのマスタデバイス (マスタ A、マスタ B) と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト目の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。このような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL 出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、アービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、Assign Address の UDID (Unique Device Identifier) 不一致時の NACK 送信以降、および Assign Address 確定後の Get UDID (General) の NACK 送信以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.NALE ビットが “1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロスト検出条件

- NACK送信時(ICMR3.ACKBTビット=1)、出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき (ACK を受信したとき)

34.9.3　スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (Unique Device Identifier) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.SALE ビットが “1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

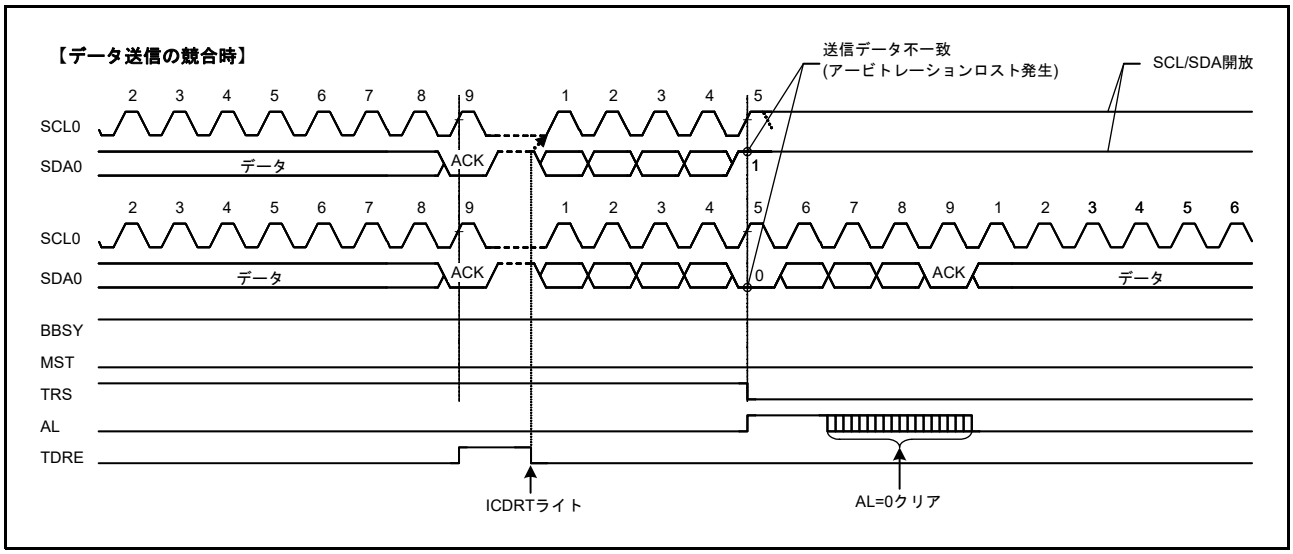


図 34.35　スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

34.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

34.10.1 スタートコンディション発行動作

RIIC は、ICCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ ICCR2.BBSY フラグが “0” (バスフリー) の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

(1) SDA0 ラインを立ち下げ (High から Low に遷移)
(2) ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
(3) SCL0 ラインを立ち下げ (High から Low に遷移)
(4) SCL0 ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保

34.10.2 リスタートコンディション発行動作

RIIC は ICCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にするとリスタートコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1” (バスビジー) の状態でかつ ICCR2.MST ビットが “1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

(1) SDA0 ラインを開放
(2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
(3) SCL0 ラインを開放 (Low から High に遷移)
(4) SCL0 ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
(5) SDA0 ラインを立ち下げ (High から Low に遷移)
(6) ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
(7) SCL0 ラインを立ち下げ (High から Low に遷移)
(8) SCL0 ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保

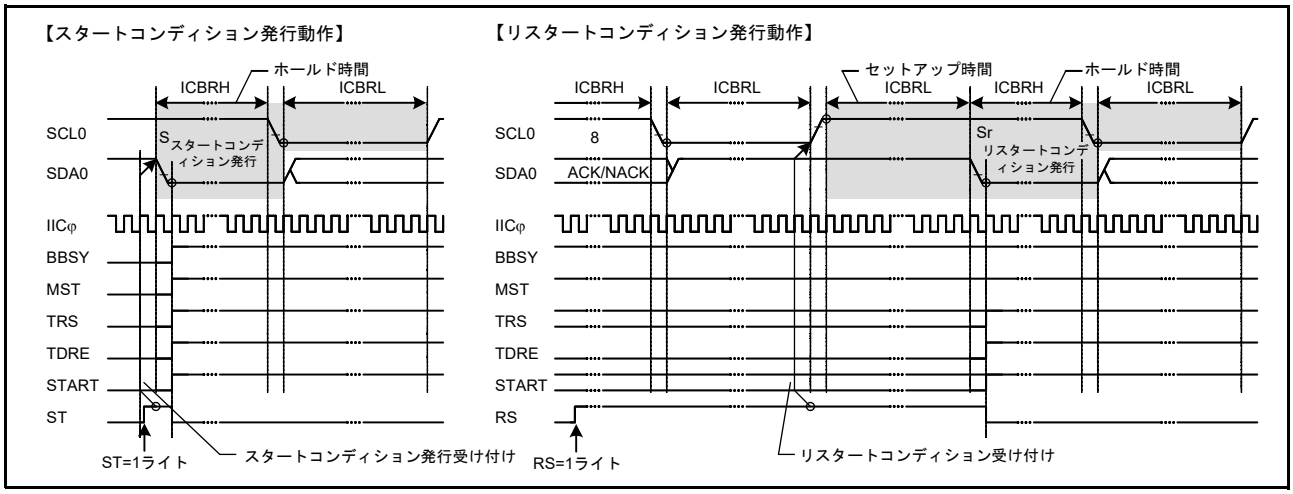


図 34.36　スタートコンディション / リスタートコンディション発行動作タイミング (ST、RS ビット)

34.10.3　ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1” (バスビジー) の状態でかつ ICCR2.MST ビットが “1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

(1)　SDA0 ラインを立ち下げ (High から Low に遷移)
(2)　ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
(3)　SCL0 ラインを開放 (Low から High に遷移)
(4)　SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
(5)　SDA0 ラインを開放 (Low から High に遷移)
(6)　ICBRL レジスタで設定した時間、バスフリー時間を確保
(7)　BBSY フラグクリア (バス権解放)

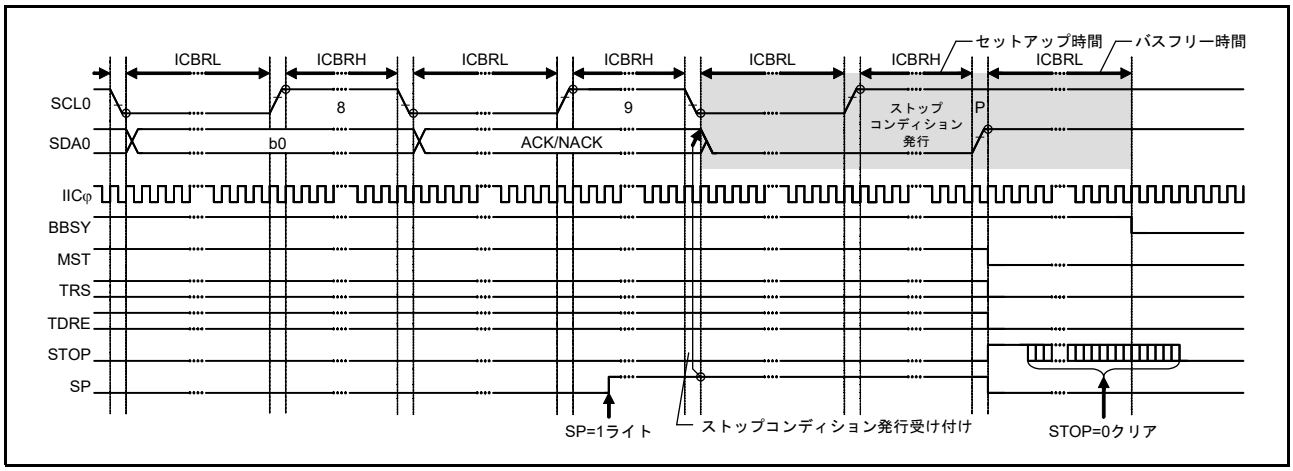


図 34.37　ストップコンディション発行動作タイミング (SP ビット)

34.11 バスハングアップ

I2C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0 ラインや SDA0 ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCL0 ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するための SCL 追加出力機能および RIIC リセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCL0 ライン /SDA0 ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

34.11.1 タイムアウト検出機能

RIIC には SCL0 ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は、SCL0 ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL0 ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCL0 ラインに変化 (立ち上がり / 立ち下がり) があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0 ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが “1” のとき有効で、以下の期間に SCL0 ラインの Low 固定または High 固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16 ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0 ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

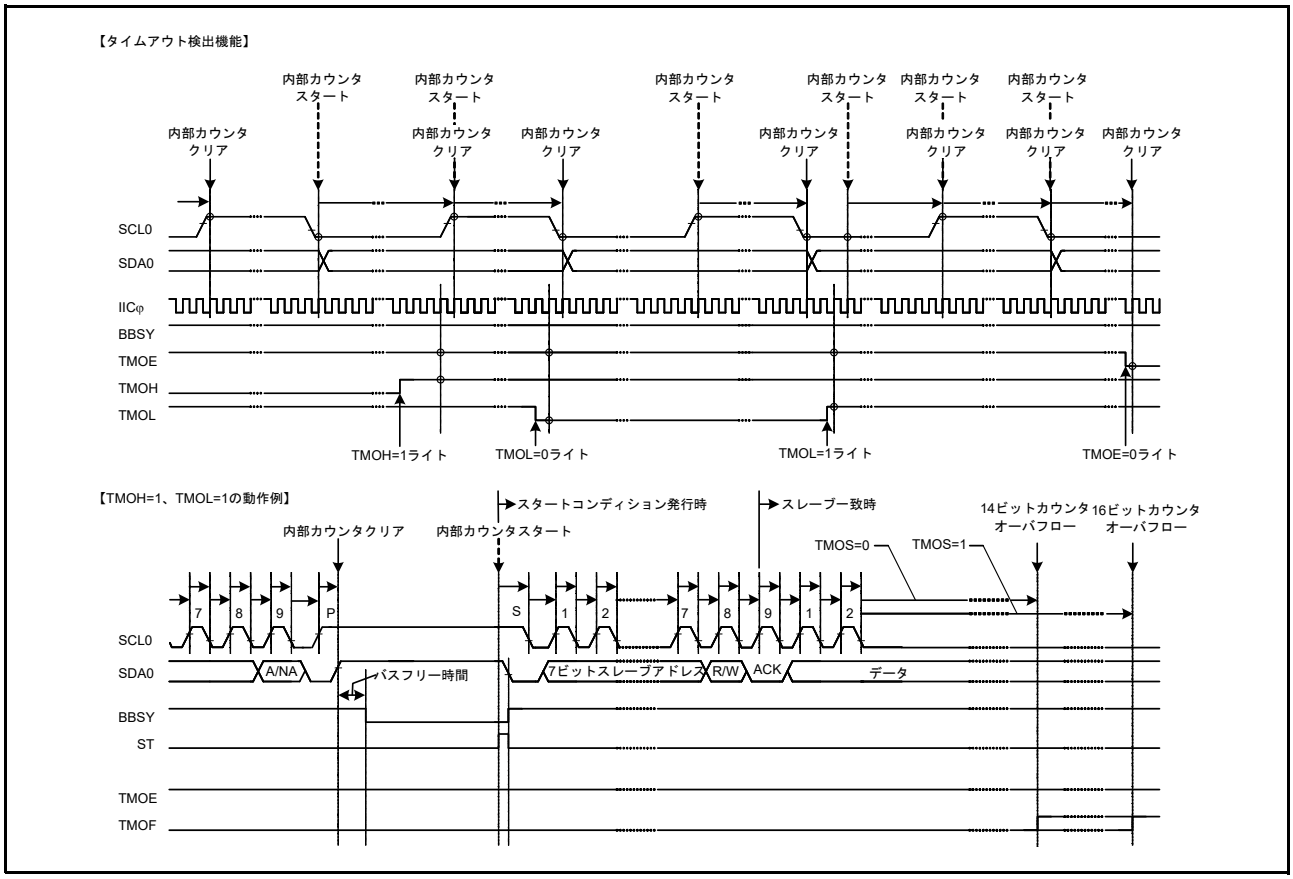


図 34.38　タイムアウト検出機能

34.11.2　SCL 追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスの SDA0 ライン Low 固定状態を開放するための SCL 追加出力機能を備えています。

SCL 追加出力機能は、SCL を 1 クロックずつ追加で出力する機能で、主にマスタモード時にスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICCR1.CLO ビットを “1” にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された周波数のクロックが SCL0 端子から 1 クロック分追加で出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。このとき ICCR2.BBSY フラグが “1” であると SCL0 端子は Low になり、BBSY フラグが “0” であると SCL0 端子は High になります。CLO ビットが “0” であることを確認した後 “1” を書くことにより、追加クロックを連続して出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL 追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA0 ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを “0” (マスタアービトレーションロスト検出禁止) にして使用してください。

ICCR1.CLO ビットの使用条件

- バスフリー状態(ICCR2.BBSY フラグ = 0) またはマスタモード(ICCR2.MST ビット = 1、BBSY フラグ = 1 の状態) のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 34.39 に SCL 追加出力機能 (CLO ビット) を示します。

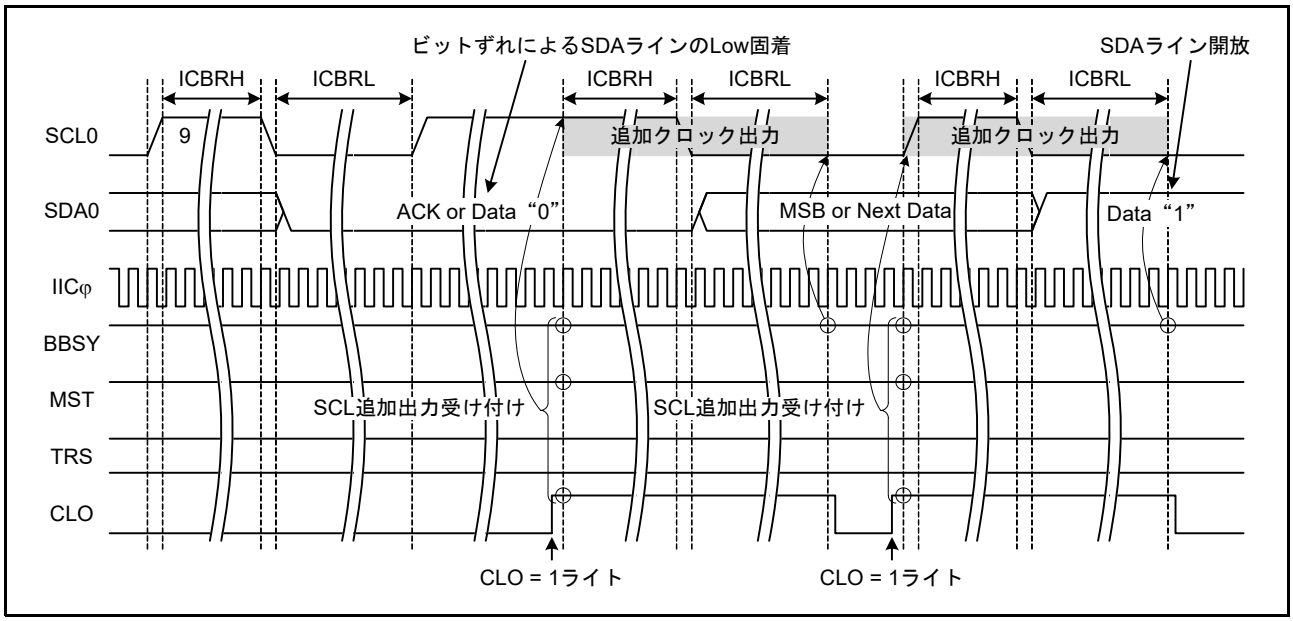


図 34.39　SCL 追加出力機能 (CLO ビット)

34.11.3　RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL0 端子 /SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、**「34.14　リセット時 / コンディション検出時のレジスタおよび機能の初期化」**を参照してください。

34.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを “1” にしてください。転送速度は SMBus 仕様の 10 kbps ～ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ～ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y = 0 ～ 2) (7 ビット /10 ビットアドレスフォーマット選択ビット) を “0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (Unique Device Identifier) 送信時には、ICFER.SALE ビットを “1” にしてスレーブアービトレーションロスト検出機能を有効にしてください。

34.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔：$t_{LOW:SEXT}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $t_{LOW:SEXT}$：25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト $t_{TIMEOUT}$：25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに “1” を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 /SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔：$t_{LOW:MEXT}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $t_{LOW:MEXT}$：10 ms (max) 以内である必要があり、スタートコンディションからストップコンディションまでのすべての $t_{LOW:MEXT}$ を加算した結果が $t_{LOW:SEXT}$：25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $t_{LOW:MEXT}$: 10 ms (max) または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $t_{TIMEOUT}$: 25 ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

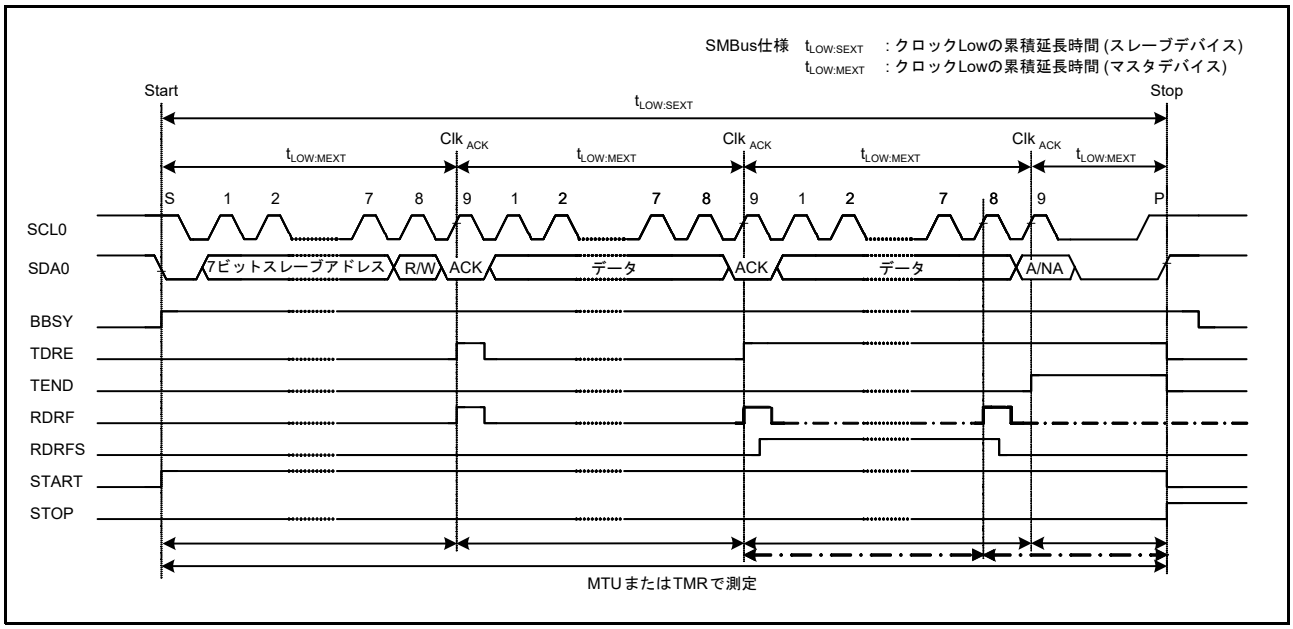


図 34.40　SMBus タイムアウト測定

34.12.2　パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「39.　CRC 演算器 (CRCA)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドしてください。

34.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを “1”、ICSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

34.13 割り込み要因

RIIC の割り込み要因には、通信エラー / 通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の 4 種類があります。

表 34.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表34.6　割り込み要因

名称	割り込み要因	割り込みフラグ	DTC/DMACの起動	割り込み条件
EEI	通信エラー/通信イベント	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI (注2)	受信データフル	RDRF	可能	RDRF = 1かつRIE = 1
TXI (注1)	送信データエンプティ	TDRE	可能	TDRE = 1かつTIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注.　CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1.　TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ= 1)で自動的に“0”になります。

注2.　RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3.　TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。
なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ= 1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

34.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した ICU.IRn.IR フラグが “1” のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが “0” になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを “0” にすることでクリアが可能です。

34.14　リセット時 / コンディション検出時のレジスタおよび機能の初期化

RIIC は MCU リセット、RIIC リセットおよび内部リセットによってリセットできます。表 34.7 にリセット時 / コンディション検出時のレジスタおよび機能のリセット状況を示します。

表34.7　リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット= 0、IICRSTビット= 1)	内部リセット (ICEビット= 1、IICRSTビット= 1)	スタートコンディション/ リスタートコンディション検出	ストップコンディション検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP					リセット
	TRS				(注1)	
	MST				(注1)	
	BBSY			保持	“1”になる	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	“1”になる	リセット
	STOP				保持	“1”になる
	TEND					リセット
	TDRE				(注1)	
	その他				保持	保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1.　リセットされません。条件に応じて“0”または“1”になります。

34.15 イベントリンク機能 (出力)

RIIC0 は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー / 通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

34.15.1 割り込み処理とイベントリンクの関係

RIIC の割り込みには、通信エラー / 通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の 4 種類があり、それぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に ICU に対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELC を介して他のモジュールに伝達されます。

割り込み要因については、**表 34.6** を参照してください。

34.16 使用上の注意事項

34.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、**「11. 消費電力低減機能」**を参照してください。

34.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

(1) ICCR1.ICE ビットが “0” であることを確認
(2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
(3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0” を確認
(4) IR フラグを “0” にする

35. I3C バスインタフェース (RI3C)

本 MCU は、1 チャネルの I3C バスインタフェース (RI3C0) を内蔵しています。

RI3C は、MIPI Alliance が提唱する I3C バスインタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

35.1 概要

表 35.1 に RI3C の仕様を、**図 35.1** に RI3C のブロック図を、**表 35.2** に RI3C で使用する入出力端子を示します。

表35.1 RI3Cの仕様

項目	内容
動作モード	コントローラ(プライマリコントローラ/セカンダリコントローラ)モード/ターゲットモードを選択可能
データハンドラ	• コントローラ： - FIFOバッファ転送 • ターゲット： - FIFOバッファ転送
通信プロトコル	• SDR (I3Cシングルデータレート)モード - プライベートメッセージ - ブロードキャストメッセージ(共通コマンドコード(CCC)) - ダイレクトメッセージ(共通コマンドコード(CCC)) • Legacy I^2Cメッセージ - ファストモード(Fm)：0～400 kbps - ファストモードプラス(Fm+)：0～1 Mbps
IBI	• ターゲット割り込み要求(TIR) • コントローラロール要求(CRR)(セカンダリコントローラのみ) • Hot-Joinイベント
アドレスフォーマット	7ビットアドレス
アドレス検出	• ターゲットアドレス(スタティックアドレス/ダイナミックアドレス) • ブロードキャストアドレス(7Eh)
クロックストール	SCLラインがLowの期間にI3Cバスを停止させることが可能
割り込み要因	7種類 • レスポンスキューフル(RESPI) • コマンドキューエンプティ (CMDI) • IBIキューエンプティ/フル(IBII) • 受信ステータスキューフル(RCVI) • 受信データフル(RXI) • 送信データエンプティ (TXI) • 通信エラー/通信イベント(EEI) - スタートコンディション検出(リスタートコンディション含む) - ストップコンディション検出 - HDR終了パターン検出 - タイムアウト検出 - バッファアクセスエラー検出 - データ転送アボート - データ転送エラー
エラー検出	• バッファアクセスエラー • アドレスヘッダエラー • アドレスNACK/ダイナミックアドレス割り当てNACK • 受信オーバフローエラー/送信アンダフローエラー • 転送アボート • I^2Cライトデータ転送時NACK受信 • タイムアウトエラー
イベントリンク出力	• 受信データフルイベント • 送信データエンプティイベント • 通信エラー/通信イベント

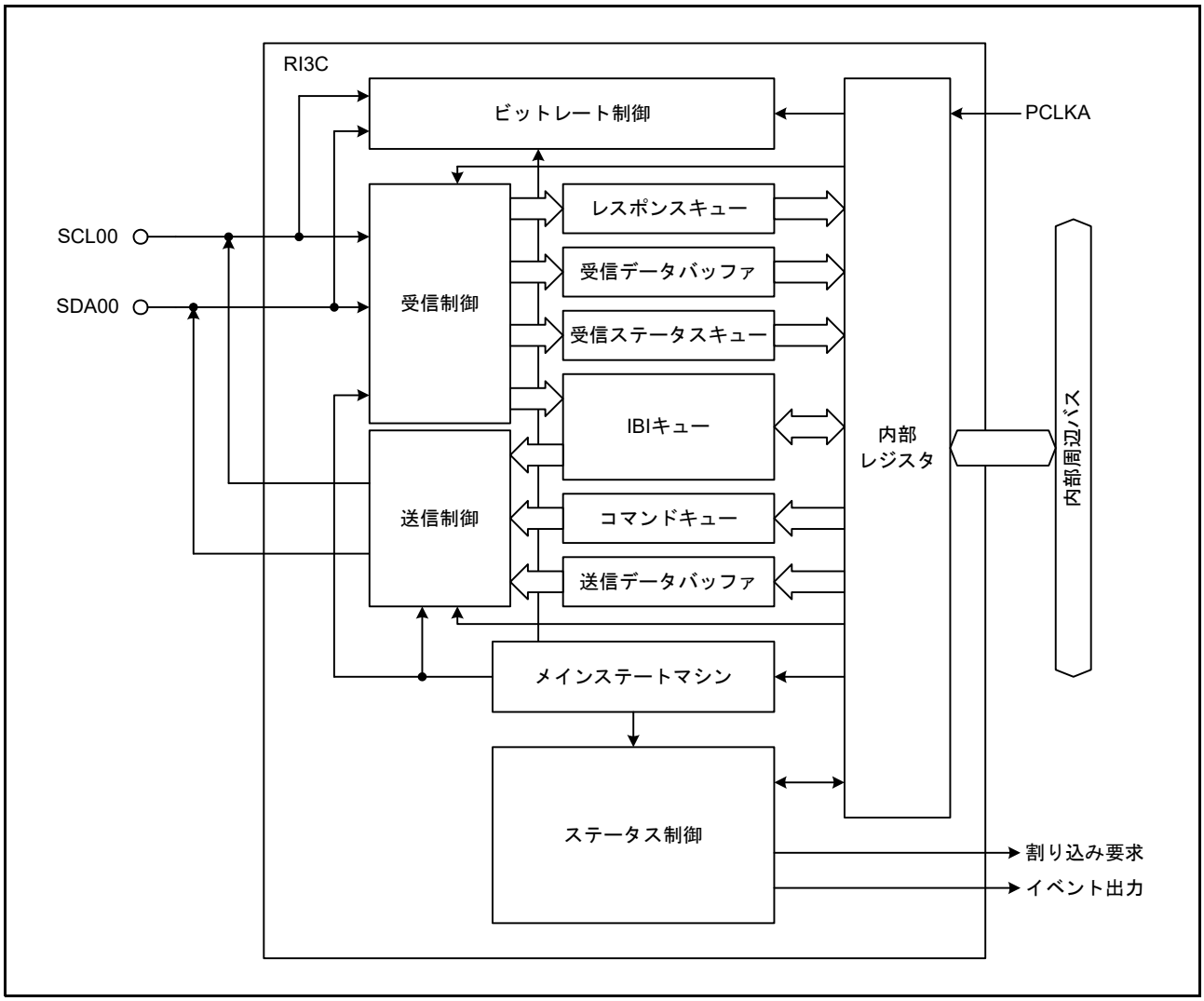


図 35.1 RI3C のブロック図

表35.2 RI3Cの入出力端子

チャネル	端子名	入出力	機能
RI3C0	SCL00	入出力	シリアルクロック入出力端子
	SDA00	入出力	シリアルデータ入出力端子

35.2　レジスタの説明

35.2.1　モードレジスタ (ICMR)

アドレス　RI3C0.ICMR 000E C000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OMS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	OMS	動作モード選択ビット	“0”にしてください	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

OMS ビット (動作モード選択ビット)

本 MCU では、このビットを “0” にしてください。

35.2.2　制御レジスタ (ICCR)

アドレス　RI3C0.ICCR 000E C014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ICE	RESUME	ABORT	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HJC	—	—	—	—	—	—	—	IBAINC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IBAINC	I3Cブロードキャストアドレス利用ビット (注1)	0：プライベート転送で、I3Cブロードキャストアドレスを含めない 1：プライベート転送で、I3Cブロードキャストアドレスを含める	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	HJC	Hot-Joinコントロールビット (注1)	0：Hot-Join要求に対してACK応答する 1：NACK応答した後、Hot-Joinを禁止するためのブロードキャストCCCを送信する	R/W
b28-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b29	ABORT	ホストコントローラアボートビット (注1)	“1”を書くと、現在発行中の転送を中断します。Abort状態を解除するには、このビットに“0”を書いてください 読み出し時の値： 0：RI3Cは動作中 1：RI3CはAbort状態	R/W
b30	RESUME	ホストコントローラレジュームビット	RI3CがHalt状態にあるときにこのビットに“1”を書くと、動作を再開させることができます 読み出し時の値： 0：RI3Cは動作中 1：RI3Cはサスペンド中	R/W
b31	ICE	バスインタフェース許可ビット	0：I3Cバス動作禁止(SCL00、SDA00端子非駆動状態) 1：I3Cバス動作許可(SCL00、SDA00端子駆動状態)	R/W

注1.　本ビットはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

IBAINC ビット (I3C ブロードキャストアドレス利用ビット)

プライベート転送時に I3C ブロードキャストアドレス (“7Eh”) を含めるかどうかを制御します。

プライベート転送で I3C ブロードキャストアドレスを含めない場合、ターゲットデバイスからの IBI はアービトレーションに勝つことができず、IBI の受け付けが遅延する可能性があります。

HJC ビット (Hot-Join コントロールビット)

I3C バス上のデバイスから届くすべての Hot-Join 要求に対して、ACK 応答するか NACK 応答するかを制御します。NACK 応答を選択した場合、NACK に続けて Hot-Join を禁止するためのブロードキャスト CCC が送られます。

ABORT ビット (ホストコントローラアボートビット)

本ビットに “1” を書くと、RI3C は現在発行中の転送を中断する動作を開始します。

Abort 要求があると、RI3C はデータバイトの送信または受信が完了後、ストップコンディションを発行して現在のトランザクションを終了させます。このとき、本ビットが “1” になります。

動作を再開させるには、本ビットに “0” を書いてください。

このビットを “1” にしてトランザクションを中断させた場合、レスポンスディスクリプタの ERR_STATUS フィールドは無視してください。

RESUME ビット (ホストコントローラレジュームビット)

Halt 状態から RI3C の動作を再開するために使用します。

転送中に何らかのエラーが発生すると、RI3C は Halt 状態になります。エラーの種類は、レスポンスディスクリプタの ERR_STATUS フィールドに表示されます。

RI3C が Halt 状態なった後、動作を再開するには、本ビットに “1” を書き込む必要があります。転送を再開すると、本ビットは自動的に “0” になります。

ICE ビット (バスインタフェース許可ビット)

このビットは、I3C バス動作を許可もしくは禁止します。

RI3C を使用するときは、このビットを “1” にしてください。ICE ビットが “1” のとき、SCL00、SDA00 端子が駆動状態になります。

RI3C を使用しないときは、このビットを “0” にしてください。ICE ビットが “0” のとき、SCL00、SDA00 端子が非駆動状態になります。

このビットが “0” の場合、I3C バス動作が禁止状態になっていることを示します。

35.2.3　コントローラデバイスアドレスレジスタ (ICCAR)

アドレス　RI3C0.ICCAR 000E C018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DAV	—	—	—	—	—	—	—	—	DADR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b22-b16	DADR[6:0]	ダイナミックアドレス	RI3Cのダイナミックアドレスを設定します	R/W
b30-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	DAV	ダイナミックアドレス有効ビット	0：DADR[6:0]ビットは無効 1：DADR[6:0]ビットは有効	R/W

注.　本レジスタはI3Cコントローラモードで使用します。

RI3C のダイナミックアドレスを格納するレジスタです。

ICCAR レジスタの設定後 ICCR.ICE ビットを “1” にすると、デバイスはプライマリコントローラとして動作します。ICCAR レジスタの設定をせずに、ICDCTR.ROLE[1:0] ビットを “00b” (I3C ターゲット) または ICTDCTRm.ROLE[1:0] ビットを “01b” (I3C コントローラ) にして ICCR.ICE ビットを “1” にすると、デバイスはターゲットとして動作します。

DADR[6:0] ビット (ダイナミックアドレス)

RI3C のダイナミックアドレスをプログラムするために使用します。

ターゲットモード、セカンダリコントローラモードでは、本アドレスをトランザクションへの応答に使用します。

アクティブコントローラモードでは、ダイナミックアドレスを自分で割り当てて、本ビットに設定する必要があります。

DAV ビット (ダイナミックアドレス有効ビット)

DADR[6:0] ビットが有効であるかどうかを示します。

アクティブコントローラモードでは、自分で割り当てたダイナミックアドレスを DADR[6:0] ビットに設定した後、本ビットを “1” にする必要があります。

35.2.4　リセット制御レジスタ (ICRCR)

アドレス　RI3C0.ICRCR 000E C020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ISRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	SQRST	IQRST	RBRST	TBRST	RQRST	CQRST	MRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MRST	モジュールリセットビット (注1)	“1”を書くと、すべてのレジスタと内部回路がリセットされます。リセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b1	CQRST	コマンドキューリセットビット	“1”を書くと、コマンドキューがフラッシュされます。コマンドキューのリセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b2	RQRST	レスポンスキューリセットビット	“1”を書くと、レスポンスキューがフラッシュされます。レスポンスキューのリセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b3	TBRST	送信データバッファリセットビット	“1”を書くと、送信データバッファがフラッシュされます。送信データバッファのリセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b4	RBRST	受信データバッファリセットビット	“1”を書くと、受信データバッファがフラッシュされます。受信データバッファのリセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b5	IQRST	IBIキューリセットビット	“1”を書くと、IBIキューがフラッシュされます。IBIキューのリセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b6	SQRST	受信ステータスキューリセットビット (注2)	“1”を書くと、受信ステータスキューがフラッシュされます。受信ステータスキューのリセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	ISRST	内部ステータスリセットビット	0：一部のレジスタと内部ステータスのリセットを解除 1：一部のレジスタと内部ステータスのリセットを実施	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　このビットが“1”のとき、このレジスタに値を書かないでください。
注2.　本ビットはI3Cセカンダリコントローラモードと I3Cターゲットモードで使用します。

ISRST ビット (内部ステータスリセットビット)

このビットを “1” にすると、一部のレジスタと内部ステータスがリセットされます。リセット対象のレジスタについては、「35.8　リセットの説明」を参照してください。

リセットを解除するには、このビットを “0” にしてください。

35.2.5　動作モードモニタレジスタ (ICMMR)

アドレス　RI3C0.ICMMR 000E C024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WP	—	—	—	—	ACF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	ACF	アクティブコントローラフラグ (注2)	0：RI3Cはアクティブコントローラではない 1：RI3Cはアクティブコントローラである	R/W (注1)
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	WP	ライトプロテクトビット (注2)	0：ACFフラグの書き換えを禁止 1：ACFフラグの書き換えを許可(書き込みたいビット値と同時に書き込む場合)	W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　ACFフラグに値を設定する場合、WPビットも同時に“1”にしてください。
注2.　本ビットはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

ACF フラグ (アクティブコントローラフラグ)

RI3C が現在のアクティブコントローラであるかどうかを示すフラグです。

[“1” になる条件]

- WP ビットと ACF フラグに同時に “1” を書いたとき
- ICCAR.DAV ビットに “1” を書いたとき (I3C プライマリコントローラ時)
- セカンダリコントローラに送信した CRR 要求に対して、ACK 応答があった後、GETACCCR 受信がストップコンディションを発行して正常に終了したとき (I3C プライマリコントローラ時)
- アクティブコントローラに送信した CRR 要求に対して、ACK 応答があった後、GETACCCR 受信がストップコンディションを発行して正常に終了したとき (I3C セカンダリコントローラ時)

[“0” になる条件]

- ICRCR.MRST ビットを “1” にして RI3C をリセットしたとき
- ICRCR.ISRST ビットを “1” にして内部ステータスをリセットしたとき
- WP ビットを “1” にするのと同時に ACF フラグに “0” を書いたとき
- ICCAR.DAV ビットに “0” を書いたとき (I3C プライマリコントローラ時)
- セカンダリコントローラから受信した CRR 要求に対して、ACK 応答した後、GETACCCR 送信がストップコンディションを発行して正常に終了したとき (I3C プライマリコントローラ時)
- 他のコントローラ対応デバイスから受信した CRR 要求に対して、ACK 応答した後、GETACCCR 送信がストップコンディションを発行して正常に終了したとき (I3C セカンダリコントローラ時)

WP ビット (ライトプロテクトビット)

ACF フラグの値を書き換えるときに使用します。

ACF フラグに値を設定する場合、このビットも同時に “1” にしてください。
このビットは自動的に “0” になります。読んだ場合、“0” が読めます。

35.2.6 内部ステータスレジスタ (ICISR)

アドレス RI3C0.ICISR 000E C030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	BERF	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10	BERF	バッファアクセスエラーフラグ	0：バッファアクセスエラー未検出 1：バッファアクセスエラー検出	R/W (注1)
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. このフラグをクリアするには、“1”になっていることを確認した後、“0”を書いてください。

BERF フラグ (バッファアクセスエラーフラグ)

データバッファやキューバッファに対するアクセスエラーが検出されたことを示します。

[“1” になる条件]

ICISER.BERDE ビットが “1” のときに下記のいずれかが満たされたとき

- 送信データバッファが完全にフルになっているときに、送信データを書いたとき
- 受信データバッファが完全にエンプティになっているときに、受信データを読んだとき
- コマンドキューが完全にフルになっているときに、コマンドディスクリプタを書いたとき
- レスポンスキューが完全にエンプティになっているときに、レスポンスディスクリプタを読んだとき
- 受信ステータスキューが完全にエンプティになっているときに、受信ステータスディスクリプタを読んだとき
- ICMMR.ACF フラグが “1” (アクティブコントローラ) で、IBI キューが完全にエンプティのときに、IBI ステータスディスクリプタを読んだとき
- ICMMR.ACF フラグが “0” (非アクティブコントローラ) で、IBI キューが完全にフルのときに、IBI データを書いたとき
- レスポンスキュー、IBI キュー、または受信ステータスキューがオーバフローしたとき

[“0” になる条件]

- BERF フラグが “1” になっているのを確認した後、BERF フラグに “0” を書いたとき

35.2.7　内部ステータス検出許可レジスタ (ICISER)

アドレス　RI3C0.ICISER 000E C034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	BERDE	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10	BERDE	バッファアクセスエラー検出許可ビット	0：バッファアクセスエラー検出は無効 1：バッファアクセスエラー検出は有効	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

35.2.8　内部ステータス割り込み許可レジスタ (ICISIER)

アドレス　RI3C0.ICISIER 000E C038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	BERIE	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10	BERIE	バッファアクセスエラー検出割り込み許可ビット	0：バッファアクセスエラー検出割り込みを禁止する 1：バッファアクセスエラー検出割り込みを許可する	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

BERIE ビット (バッファアクセスエラー検出割り込み許可ビット)

本ビットが “1” のときに BERF フラグが “1” になると、割り込みが発生します。

35.2.9　デバイス特性テーブルインデックスレジスタ (ICDCTIR)

アドレス　RI3C0.ICDCTIR 000E C044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	INDEX[4:0]					—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b18-b0	—	予約ビット	読むと“0”が読めます	R
b23-b19	INDEX[4:0]	DCTテーブルインデックスビット	I3C ENTDAA CCCの開始インデックスとして使用されるDCTの現在のインデックス	R
b31-b24	—	予約ビット	読むと“0”が読めます	R

注.　本レジスタはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

INDEX[4:0] ビット (DCT テーブルインデックスビット)

アドレス割り当てコマンドを用いた ENTDAA 中に、アービトレーションに勝利したデバイスのすべての特性がデバイス特性テーブル (DCT) に書き込まれると、このインデックスが 1 つインクリメントされます。

35.2.10　IBI 通知制御レジスタ (ICINCR)

アドレス　RI3C0.ICINCR 000E C058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	RTIRN	—	RCRRN	RHJRN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RHJRN	拒絶Hot-Join要求通知ビット	0：Hot-Join要求が拒絶された場合、IBIステータスをIBIキューに渡さない 1：Hot-Join要求が拒絶された場合、IBIステータスをIBIキューに渡す	R/W
b1	RCRRN	拒絶CRR通知ビット	0：CRR要求が拒絶された場合、IBIステータスをIBIキューに渡さない 1：CRR要求が拒絶された場合、IBIステータスをIBIキューに渡す	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	RTIRN	拒絶ターゲット割り込み通知ビット	0：TIR要求が拒絶された場合、IBIステータスをIBIキューに渡さない 1：TIR要求が拒絶された場合、IBIステータスをIBIキューに渡す	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

RHJRN ビット (拒絶 Hot-Join 要求通知ビット)

受信した Hot-Join 要求が、ICCR.HJC ビットの設定に基づいて拒絶されたとき、個々の Hot-Join 要求が拒絶されたことを報告するか否かを設定します。

RCRRN ビット (拒絶 CRR 通知ビット)

受信した CRR 要求 (Controller Role Request) が、ICTDATRm.CRRRJ ビット (m = 0 ～ 3) の設定に基づいて拒絶されたときに、個々の CRR 要求が拒絶されたことを報告するか否かを設定します。

RTIRN ビット (拒絶ターゲット割り込み通知ビット)

受信した TIR 要求 (Target Interrupt Request) が、ICTDATRm.TIRRJ ビットの設定に基づいて拒絶されたときに、個々の TIR 要求が拒絶されたことを報告するか否かを設定します。

35.2.11　ターゲットモード制御レジスタ (ICTCR)

アドレス　RI3C0.ICTCR 000E C064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TA0DE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	TA0DE	ターゲットアドレス0検出許可ビット (注1)	0：ICDAMR0.TADR[9:0]ビットの設定値は無効 1：ICDAMR0.TADR[9:0]ビットの設定値は有効	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　本ビットはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

TA0DE ビット (ターゲットアドレス 0 検出許可ビット)

ICDAMR0.TADR[9:0] ビットに設定されたターゲットアドレスを有効にするかどうかを設定します。

このビットを “1” にすると、ICDAMR0.TADR[9:0] ビットに設定されたターゲットアドレスが有効になり、受信したターゲットアドレスと比較が行われます。

このビットを “0” にすると、ICDAMR0.TADR[9:0] ビットに設定されたターゲットアドレスが無効になり、受信したターゲットアドレスと一致しても無視されます。

35.2.12　標準ビットレートレジスタ (ICSBR)

アドレス　RI3C0.ICSBR 000E C074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ODDBL	—	PPHW[5:0]						—	—	PPLW[5:0]					
リセット後の値	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ODHW[7:0]								ODLW[7:0]							
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	ODLW[7:0]	オープンドレインLow幅設定ビット (注1)	オープンドレインモード時のSCLのLow幅のカウント値を設定します	R/W
b15-b8	ODHW[7:0]	オープンドレインHigh幅設定ビット (注1)	オープンドレインモード時のSCLのHigh幅のカウント値を設定します	R/W
b21-b16	PPLW[5:0]	プッシュプルLow幅設定ビット (注1)	プッシュプルモード時のSCLのLow幅のカウント値を設定します	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b29-b24	PPHW[5:0]	プッシュプルHigh幅設定ビット (注1)	プッシュプルモード時のSCLのHigh幅のカウント値を設定します	R/W
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	ODDBL	オープンドレインHigh/Low幅2倍化ビット (注1)	0：オープンドレインモード時のHigh/Low幅を設定値どおりにする 1：オープンドレインモード時のHigh/Low幅を設定値の2倍にする	R/W

注1.　本ビットはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

コマンドディスクリプタの MODE フィールドで、I3C SDR0 モードが指定されたときのビットレートを設定します。また、I3C SDR2 モードが指定されたときは、このレジスタに設定したビットレートの 1/2 のビットレートが使用されます。

ODLW[7:0] ビット (オープンドレイン Low 幅設定ビット)

オープンドレインモード時の SCL の Low 幅を指定するビットです。

RI3C は PCLKA で Low 幅をカウントします。

ODHW[7:0] ビット (オープンドレイン High 幅設定ビット)

オープンドレインモード時の SCL の High 幅を指定するビットです。

ODHW[7:0] ビットはコントローラモード時に有効です。

RI3C は PCLKA で High 幅をカウントします。

PPLW[5:0] ビット (プッシュプル Low 幅設定ビット)

プッシュプルモード時の SCL の Low 幅を指定するビットです。

RI3C は、PCLKA で Low 幅をカウントします。

PPHW[5:0] ビット (プッシュプル High 幅設定ビット)

プッシュプルモード時の SCL の High 幅を指定するビットです。
PPHW[5:0] ビットはコントローラモードで有効になります。
RI3C は、PCLKA で High 幅をカウントします。

転送速度および SCL のデューティ比は以下の式で算定します。
t_{LOW} = ODLW[7:0] / PCLKA
t_{HIGH} = ODHW[7:0] / PCLKA
転送速度 = 1 / (t_{LOW} + t_{HIGH} + t_r + t_f)
デューティ比 = (t_r + t_{HIGH}) / (t_{LOW} + t_{HIGH} + t_r + t_f)

t_{LOW}：SCL の Low 幅
t_{HIGH}：SCL の High 幅
t_r：SCL 信号立ち上がり時間 (注 1)
t_f：SCL 信号立ち下がり時間 (注 1)

注 1. SCL ライン立ち上がり時間 (t_r)、SCL ライン立ち下がり時間 (t_f) は、バスライン総容量 (C_b) とプルアップ抵抗 (R_p) に依存します。詳細については MIPI Alliance の I3C バス仕様書を参照してください。

35.2.13　拡張ビットレートレジスタ (ICEBR)

アドレス　RI3C0.ICEBR 000E C078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	PPHW[5:0]						—	—	PPLW[5:0]					
リセット後の値	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ODHW[7:0]								ODLW[7:0]							
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	ODLW[7:0]	オープンドレインLow幅設定ビット (注1)	オープンドレインモード時のSCLのLow幅のカウント値を設定します	R/W
b15-b8	ODHW[7:0]	オープンドレインHigh幅設定ビット (注1)	オープンドレインモード時のSCLのHigh幅のカウント値を設定します	R/W
b21-b16	PPLW[5:0]	プッシュプルLow幅設定ビット (注1)	プッシュプルモード時のSCLのLow幅のカウント値を設定します	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b29-b24	PPHW[5:0]	プッシュプルHigh幅設定ビット (注1)	プッシュプルモード時のSCLのHigh幅のカウント値を設定します	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　本ビットはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

コマンドディスクリプタの MODE フィールドで、I3C SDR1 モードが指定されたときのビットレートを設定します。また、I3C SDR3 モードが指定されたときは、このレジスタに設定したビットレートの 1/2 のビットレートが、I3C SDR4 モードが指定されたときは、このレジスタに設定したビットレートの 1/4 のビットレートが使用されます。

ODLW[7:0] ビット (オープンドレイン Low 幅設定ビット)

オープンドレインモード時の SCL の Low 幅を指定するビットです。
RI3C は PCLKA で Low 幅をカウントします。

ODHW[7:0] ビット (オープンドレイン High 幅設定ビット)

オープンドレインモード時の SCL の High 幅を指定するビットです。
ODHW[7:0] ビットはコントローラモード時に有効です。
RI3C は PCLKA で High 幅をカウントします。

PPLW[5:0] ビット (プッシュプル Low 幅設定ビット)

プッシュプルモード時の SCL の Low 幅を指定するビットです。
RI3C は、PCLKA で Low 幅をカウントします。

PPHW[5:0] ビット (プッシュプル High 幅設定ビット)

プッシュプルモード時の SCL の High 幅を指定するビットです。
PPHW[5:0] ビットはコントローラモードで有効になります。
RI3C は、PCLKA で High 幅をカウントします。

転送速度および SCL のデューティ比は以下の式で算定します

t_{LOW} = ODLW[7:0] / PCLKA

t_{HIGH} = ODHW[7:0] / PCLKA

転送速度 = 1 / (t_{LOW} + t_{HIGH} + t_r + t_f)

デューティ比 = (t_r + t_{HIGH}) / (t_{LOW} + t_{HIGH} + t_r + t_f)

t_{LOW}：SCL の Low 幅

t_{HIGH}：SCL の High 幅

t_r：SCL 信号立ち上がり時間 (注 1)

t_f：SCL 信号立ち下がり時間 (注 1)

注 1. SCL ライン立ち上がり時間 (t_r)、SCL ライン立ち下がり時間 (t_f) は、バスライン総容量 (C_b) とプルアップ抵抗 (R_p) に依存します。詳細については MIPI Alliance の I3C バス仕様書を参照してください。

35.2.14　バスフリー時間設定レジスタ (ICBFTR)

アドレス　RI3C0.ICBFTR 000E C07Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ストップコンディションを検出してから ICBSR.BFREE フラグを “1” にするまでの時間を指定するレジスタです。上位 23 ビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

このレジスタに設定したカウント数を、PCLKA をカウントソースとしてカウントします。

35.2.15　バス利用可能時間設定レジスタ (ICBATR)

アドレス　RI3C0.ICBATR 000E C080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ストップコンディションを検出してから ICBSR.BAVL フラグを “1” にするまでの時間を指定するレジスタです。上位 23 ビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

このレジスタに設定したカウント数を、PCLKA をカウントソースとしてカウントします。

35.2.16 バスアイドル時間設定レジスタ (ICBITR)

アドレス RI3C0.ICBITR 000E C084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ストップコンディションを検出してから ICBSR.BIDL フラグを “1” にするまでの時間を指定するレジスタです。上位 14 ビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

このレジスタに設定したカウント数を、PCLKA をカウントソースとしてカウントします。

35.2.17　出力信号制御レジスタ (ICOCR)

アドレス　RI3C0.ICOCR 000E C088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SOWP	SCLO	SDAO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAO	SDA出力制御ビット (注1)	0：SDA00端子をLowにする 1：SDA00端子を解放する	R/W
b1	SCLO	SCL出力制御ビット (注1)	0：SCL00端子をLowにする 1：SCL00端子を解放する	R/W
b2	SOWP	SCLO/SDAOライトプロテクトビット (注1)	0：SCLO、SDAOビットの書き換えを禁止 1：SCLO、SDAOビットの書き換えを許可(対象ビットと同時に書き込む場合) 読むと“0”が読めます	W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　本ビットはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

SDAO ビット (SDA 出力制御ビット)、SCLO ビット (SCL 出力制御ビット)

RI3C が出力する SDA00 信号、SCL00 信号を直接操作するためのビットです。

これらのビットに値を設定する場合、SOWP ビットも同時に “1” にしてください。

これらのビットを操作した結果は入力バッファを介して RI3C に入力されます。ターゲットモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

35.2.18　タイムアウト制御レジスタ (ICTOR)

アドレス　RI3C0.ICTOR 000E C090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TMOM[1:0]		TMOH	TMOL	—	—	TMOS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMOS[1:0]	タイムアウト検出時間選択ビット	b1 b0 0 0：タイムアウトカウンタは16ビット(最大65536カウント) 0 1：タイムアウトカウンタは14ビット(最大16384カウント) 1 0：タイムアウトカウンタは8ビット(最大256カウント) 1 1：タイムアウトカウンタは6ビット(最大64カウント)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TMOL	タイムアウトLカウント制御ビット	0：SCL00ラインがLow期間中のカウントを禁止 1：SCL00ラインがLow期間中のカウントを許可	R/W
b5	TMOH	タイムアウトHカウント制御ビット	0：SCL00ラインがHigh期間中のカウントを禁止 1：SCL00ラインがHigh期間中のカウントを許可	R/W
b7-b6	TMOM[1:0]	タイムアウト検出モード選択ビット	b7 b6 0 0：タイムアウトは以下のいずれかの場合に検出 • コントローラモード時に、ICBSR.BFREEフラグが“0”(バスビジー)のとき • ターゲットモード時に、受信したターゲットアドレスが自ターゲットアドレスと一致したときのICBSR.BFREEフラグが“0”(バスビジー)のとき 0 1：タイムアウトは、ICBSR.BFREEフラグが“0”(バスビジー)のときに検出 1 0：タイムアウトは、ICBSR.BFREEフラグが“1”(バスフリー)のときに検出 1 1：設定禁止	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMOS[1:0] ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット = 1) のタイムアウト検出時間を選択するビットです。

SCL00 ラインが TMOH、TMOL ビットで選択された状態になったとき、PCLKA をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、**「35.5.5　エラー検出機能」の「35.5.5.3　タイムアウトエラー検出機能」**を参照してください。

TMOL ビット (タイムアウト L カウント制御ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット = 1) に SCL00 ラインが Low 期間中にタイムアウトカウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット = 1) に SCL00 ラインが High 期間中にタイムアウトカ

ウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOM[1:0] ビット (タイムアウト検出モード選択ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット = 1) に、タイムアウト検出条件を設定するビットです。

このビットを “00b” にすると、以下のいずれかの期間でタイムアウト検出が有効になります。

- コントローラモード時のバスビジー期間
- ターゲットモード時で自身が通信対象になったときのバスビジー期間

このビットを “01b” にすると、バスビジー期間にタイムアウト検出が有効になります。

このビットを “10b” にすると、バスフリー期間にタイムアウト検出が有効になります。

35.2.19　クロックストール制御レジスタ (ICSTCR)

アドレス　RI3C0.ICSTCR 000E C0B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	APSE	PBSE	—	AASE	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	STT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	STT[15:0]	ストール時間設定ビット	各フェーズでのストール時間を設定します	R/W
b27-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	AASE	アドレスフェーズストール許可ビット	0：アドレスフェーズ手前で、SCLをストールしない 1：アドレスフェーズ手前で、SCLをストールする	R/W
b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	PBSE	パリティビットストール許可ビット	0：パリティビット期間で、SCLをストールしない 1：パリティビット期間で、SCLをストールする	R/W
b31	APSE	ACK/NACKフェーズストール許可ビット	0：ACK/NACKフェーズで、SCLをストールしない 1：ACK/NACKフェーズで、SCLをストールする	R/W

注.　本レジスタはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

このレジスタの設定は、MIPI I3C 仕様の「5.1.2.5　Controller Clock Stalling」に従ってください。バス性能に悪影響を与えるため、必要かつ不可避な場合にのみ使用してください。

STT[15:0] ビット (ストール時間設定ビット)

各フェーズでの SCL ストール時間を設定します。設定した値は、PCLKA でカウントされます。

AASE ビット (アドレスフェーズストール許可ビット)

ENTDAA CCC コマンドの Assigned Address フェーズの第一ビット手前の Low 期間で、SCL をストールするかどうかを選択します。たとえば、ターゲットデバイスの BCR と DCR に基づいてダイナミックアドレスを割り当てるときに、時間を稼ぐことができます。

ただし RI3C は、ICTDATRm レジスタに設定されているダイナミックアドレスを順次送信するため、このビットを “1” にする必要はありません。

PBSE ビット (パリティビットストール許可ビット)

I3C ライトデータ転送のデータバイト間 (パリティビット手前の Low 期間) で SCL をストールするかどうかを選択します。送信 FIFO のアンダランが回避できます。

ただし RI3C は、送信 FIFO がエンプティになると、このビットの設定にかかわらず SCL ストールを行うため、このビットを “1” にする必要はありません。

APSE ビット (ACK/NACK フェーズストール許可ビット)

I3C 転送の ACK/NACK フェーズで SCL をストールするかどうかを選択します。以下の場合に、SCL ストールを許可します。

- I3C ターゲットがライト転送時にデータ受信の準備期間が必要なとき、またはリード転送時にデータ送

信の準備期間が必要なとき。

- Legacy I2C ターゲットに対するライト転送 / リード転送時に、データバッファがアンダランもしくはオーバランする可能性があるとき。ただし RI3C では、このビットの設定にかかわらず送信データエンプティまたは受信データフルによって SCL ストールが実施されるので、このビットを “1” にする必要はありません。
- Legacy I2C ターゲットに対するライト転送 / リード転送以外で、バッファがアンダランもしくはオーバランする可能性があるとき。ただし、本来は、バッファのしきい値設定 (ICQBTCR, ICDBTCR, ICSQTCR) に従って発生する割り込みを使用して、バッファがアンダランやオーバフローしないようにソフトウェアを構成する必要があります。
- 受信した IBI (Hot-Join 要求、ターゲット割り込み要求 (TIR)、コントローラロール要求 (CRR)) に対して、ACK 応答するか NACK 応答するかを決める時間が必要なとき。ただし RI3C では、ICCR.HJC ビット、ICTDATRm.TIRRJ ビット、および ICTDATRm.CRRRJ ビットにより前もって ACK/NACK 応答を設定できるので、このビットを “1” にする必要はありません。
- I3C ターゲットがダイレクト GET CCC コマンドに対する応答データを用意する時間を必要とするとき。

35.2.20 ターゲット送受信データ長レジスタ (ICTDLR)

アドレス RI3C0.ICTDLR 000E C0C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLGTH[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31-b16	DLGTH[15:0]	データ長ビット	転送するバイト数を表示します	R/W

注. 本レジスタはI3Cセカンダリコントローラモードおよび I3C ターゲットモードで使用します。

通常データ転送コマンドで送信するデータのバイト数を設定します。

35.2.21 コマンドキューレジスタ (ICCQR)

アドレス RI3C0.ICCQR 000E C150h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ICCQR レジスタは、32 ビットのライトオンリーのレジスタで、コマンドディスクリプタをコマンドキューに入れるために使用します。コマンドディスクリプタは下位 (b31-b0) →上位 (b63-b32) の順に書き込んでください。

コマンドディスクリプタの詳細については「35.3.1 **コマンドディスクリプタ**」を参照してください。

35.2.22 レスポンスキューレジスタ (ICRQR)

アドレス RI3C0.ICRQR 000E C154h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ICRQR レジスタは、32 ビットのリードオンリーのレジスタで、コマンドが処理された後にレスポンスキュー内に生成されたレスポンスディスクリプタを読み出すために使用します。

レスポンスディスクリプタの詳細については「35.3.2 **レスポンスディスクリプタ**」を参照してください。

35.2.23 送受信データレジスタ (ICDR)

アドレス RI3C0.ICDR 000E C158h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ICDR レジスタは、32 ビットのリード / ライト可能なレジスタで、受信データバッファからデータを読み出したり、送信データバッファにデータを書き込んだりするために使用します。

リード

データが 4 バイト受信されるごとに受信データバッファに格納されます。受信したデータの数が 4 バイトの整数倍でない場合、最後に格納された 32 ビットのデータには無効なバイトがあります。有効データバイト数は、レスポンスディスクリプタの DATA_LENGTH フィールドで確認してください。

ライト

送信データは 4 バイト単位で ICDR レジスタに書き込む必要があります。送信するデータの数が 4 バイトの整数倍でない場合、最終データの後ろにダミーデータを追加して 4 バイトにしてから ICDR レジスタに書き込んでください。RI3C は、コマンドディスクリプタの DATA_LENGTH フィールドに指定されたバイト数だけデータを送信します。

35.2.24　IBI キューレジスタ (ICIQR)

アドレス　RI3C0.ICIQR 000E C17Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ICIQR レジスタは、32 ビットのリードオンリーのレジスタで、IBI 受信時に IBI キューから IBI ステータスディスクリプタや IBI データを読み出すために使用します。

IBI ステータスディスクリプタの詳細については「35.3.3　IBI ステータスディスクリプタ」を参照してください。

35.2.25　受信ステータスキューレジスタ (ICSQR)

アドレス　RI3C0.ICSQR 000E C180h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

ICSQR レジスタは、32 ビットのリードオンリーのレジスタで、受信ステータスキューから受信ステータスディスクリプタを読み出すために使用します。

受信ステータスディスクリプタの詳細については「35.3.4　受信ステータスディスクリプタ」を参照してください。

35.2.26　キューバッファしきい値制御レジスタ (ICQBTCR)

アドレス　RI3C0.ICQBTCR 000E C190h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IQTH[7:0]								IDSS[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RQTH[7:0]								CQTH[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	CQTH[7:0]	コマンドキューエンプティ割り込みしきい値設定ビット	00h：コマンドキューが完全に空のとき、割り込みを生成 01h：コマンドキューに1個の空きエントリがあるとき、割り込みを生成 上記以外は設定しないでください	R/W
b15-b8	RQTH[7:0]	レスポンスキューフル割り込みしきい値設定ビット	00h：レスポンスキューに1個のエントリ(4バイト)があるとき、割り込みを生成 01h：レスポンスキューに2個のエントリ(8バイト)があるとき、割り込みを生成 上記以外は設定しないでください	R/W
b23-b16	IDSS[7:0]	IBIデータセグメントサイズ設定ビット (注1)	IBIデータセグメントの最大サイズを4バイト単位で設定します。設定可能な値：1 (4バイト)～5 (20バイト)	R/W
b31-b24	IQTH[7:0]	IBIキューエンプティ / フル割り込みしきい値設定ビット	• I3Cコントローラモード： 00h：未読のIBIステータスが1個以上あるとき、割り込みを生成 01h：未読のIBIステータスが2個あるとき、割り込みを生成 上記以外は設定しないでください • I3Cターゲットモード： 00h：IBIデータバッファが完全に空のとき、割り込みを生成 01h：IBIデータバッファに1個の空きエントリがあるとき、割り込みを生成 ：　： 05h：IBIデータバッファに5個の空きエントリがあるとき、割り込みを生成 上記以外は設定しないでください	R/W

注1.　本ビットはI3Cコントローラモードおよび I3C セカンダリコントローラモードで使用します。

ICQBTCR レジスタは、コマンドキュー、レスポンスキュー、IBI キューの割り込み生成のしきい値を制御します。

CQTH[7:0] ビット (コマンドキューエンプティ割り込みしきい値設定ビット)

コマンドキューエンプティ割り込み (CMDI) を生成するために必要な、コマンドキューの空きエントリ数の最小値を制御します。

RQTH[7:0] ビット (レスポンスキューフル割り込みしきい値設定ビット)

レスポンスキューフル割り込み (RESPI) を生成するために必要な、レスポンスキューのエントリ数の最小値を制御します。

IDSS[7:0] ビット (IBI データセグメントサイズ設定ビット)

IBI データセグメントサイズの最大値を 4 バイト単位で指定します。

受信した IBI データを複数のセグメントに分割し、それぞれにステータスを生成することができます。長い IBI ペイロードデータのカットスルー読み出しをサポートします。

IQTH[7:0] ビット (IBI キューエンプティ / フル割り込みしきい値設定ビット)

(1) I3C コントローラモード (ICMMR.ACF フラグ = 1)

IBI キューの未読の IBI ステータス数の値に基づいて、IBI キューエンプティ / フル割り込み (IBII) の生成を制御します。

各 IBI ステータスエントリは、IBI ペイロードサイズが IDSS[7:0] ビットの値 × 4 バイト以下の場合は IBI ペイロード全体、IBI ペイロードサイズが IDSS[7:0] ビットの値 × 4 バイトより大きい場合は IBI ペイロードの 1 つのセグメントを表します。

(2) I3C ターゲットモード (ICMMR.ACF フラグ = 0)

IBI キューエンプティ / フル割り込み (IBII) を生成するために必要な、IBI データバッファの空きエントリ数の最小値を制御します。

35.2.27　データバッファしきい値制御レジスタ (ICDBTCR)

アドレス　RI3C0.ICDBTCR 000E C194h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	RSTH[2:0]			—	—	—	—	—	TSTH[2:0]		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RFTH[2:0]			—	—	—	—	—	TETH[2:0]		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	TETH[2:0]	送信データエンプティ割り込みしきい値設定ビット	b2　b0 ０００：送信データバッファの空きが2段(8バイト)になると、割り込みを生成 ００１：予約 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10-b8	RFTH[2:0]	受信データフル割り込みしきい値設定ビット	b10　b8 ０００：受信データバッファにデータが2段分(5～8バイト)格納されると、割り込みを生成 ００１：予約 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b18-b16	TSTH[2:0]	送信開始しきい値設定ビット (注1)	b18　b16 ０００：送信データバッファにデータが2段分(5～8バイト)格納されると送信開始 ００１：予約 上記以外は設定しないでください	R/W
b23-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26-b24	RSTH[2:0]	受信開始しきい値設定ビット (注1)	b26　b24 ０００：受信データバッファの空きが2段(8バイト)になると受信開始 ００１：予約 上記以外は設定しないでください	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　本ビットはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

ICDBTCR レジスタは、受信データバッファと送信データバッファの割り込み生成のしきい値を制御します。

TETH[2:0] ビット (送信データエンプティ割り込みしきい値設定ビット)

送信データエンプティ割り込み (TXI) を生成するために必要な、送信データバッファの空き段数の最小値を指定します。

RFTH[2:0] ビット (受信データフル割り込みしきい値設定ビット)

受信データフル割り込み (RXI) を生成するために必要な、受信データバッファの使用段数の最小値を指定します。

TSTH[2:0] ビット (送信開始しきい値設定ビット)

I3C バス上でライト転送を開始する準備をするとき、RI3C は送信バッファに指定された段数のデータが書かれるまで待ちます。

RSTH[2:0] ビット (受信開始しきい値設定ビット)

I3C バス上でリード転送を開始する準備をするとき、RI3C は受信バッファに指定された段数の空きができるまで待ちます。

35.2.28 受信ステータスキューしきい値制御レジスタ (ICSQTCR)

アドレス RI3C0.ICSQTCR 000E C1C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SQTH[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	SQTH[7:0]	受信ステータスキューフル割り込みしきい値設定ビット	00h：受信ステータスキューに1個のエントリ(4バイト)があるとき、割り込みを生成 01h：受信ステータスキューに2個のエントリ(8バイト)があるとき、割り込みを生成 上記以外は設定しないでください	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SQTH[7:0] ビット (受信ステータスキューフル割り込みしきい値設定ビット)

受信ステータスキューフル割り込み (RCVI) 要求を発行するために必要な、受信ステータスキューのエントリ数の最小値を制御します。

35.2.29 ステータスレジスタ 2 (ICSR2)

アドレス RI3C0.ICSR2 000E C1D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TMOF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	HDRXDF	STOP	START
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートコンディション検出フラグ	0：スタートコンディション未検出 1：スタートコンディション検出	R/(W) (注1)
b1	STOP	ストップコンディション検出フラグ	0：ストップコンディション未検出 1：ストップコンディション検出	R/(W) (注1)
b2	HDRXDF	HDR終了パターン検出フラグ	0：HDR終了パターン未検出 1：HDR終了パターン検出	R/(W) (注1)
b19-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TMOF	タイムアウト検出フラグ	0：タイムアウト未検出 1：タイムアウト検出	R/(W) (注1)
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. “0”のみ書けます。

START フラグ (スタートコンディション検出フラグ)

[“1” になる条件]

- ICSER.STDE ビットが“1”のときに、スタートコンディション (リスタートコンディション含む) を検出したとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICRCR.MRST ビットを “1” にして RI3C をリセットしたとき
- ICRCR.ISRST ビットを “1” にして内部ステータスをリセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1” になる条件]

- ICSER.SPDE ビットが “1” のときに、ストップコンディションを検出したとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- ICRCR.MRST ビットを “1” にして RI3C をリセットしたとき
- ICRCR.ISRST ビットを “1” にして内部ステータスをリセットしたとき

HDRXDF フラグ (HDR 終了パターン検出フラグ)

[“1” になる条件]

- ICSER.HDRXDE ビットが “1” のときに、HDR 終了パターンを検出したとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき

TMOF フラグ (タイムアウト検出フラグ)

[“1” になる条件]

- 以下の 1 から 3 の条件をすべて満たしたとき
  1. ICSER.TMOE ビットが “1” (タイムアウト検出許可)
  2. コントローラモードまたはターゲットモードで受信ターゲットアドレスが一致したとき
  3. ICTOR レジスタで選択された条件の期間 SCL00 ラインの状態に変化がないとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき

35.2.30 ステータス検出許可レジスタ (ICSER)

アドレス RI3C0.ICSER 000E C1D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TMOE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	HDRXDE	SPDE	STDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STDE	スタートコンディション検出許可ビット	0：スタートコンディション検出禁止 1：スタートコンディション検出許可	R/W
b1	SPDE	ストップコンディション検出許可ビット	0：ストップコンディション検出禁止 1：ストップコンディション検出許可	R/W
b2	HDRXDE	HDR終了パターン検出許可ビット	0：HDR終了パターン検出禁止 1：HDR終了パターン検出許可	R/W
b19-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TMOE	タイムアウト検出許可ビット	0：タイムアウト検出禁止 1：タイムアウト検出許可	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

本レジスタは、各ステータスの検出を許可 / 禁止するレジスタです。許可されたステータスが検出されると、ICSR2 レジスタの該当するフラグが “1” になります。

35.2.31　ステータス割り込み許可レジスタ (ICSIER)

アドレス　RI3C0.ICSIER 000E C1D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TMOIE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	HDRXIE	SPIE	STIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STIE	スタートコンディション検出割り込み許可ビット	0：スタートコンディション検出割り込み禁止 1：スタートコンディション検出割り込み許可	R/W
b1	SPIE	ストップコンディション検出割り込み許可ビット	0：ストップコンディション検出割り込み禁止 1：ストップコンディション検出割り込み許可	R/W
b2	HDRXIE	HDR終了パターン検出割り込み許可ビット	0：HDR終了パターン検出割り込み禁止 1：HDR終了パターン検出割り込み許可	R/W
b19-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TMOIE	タイムアウト検出割り込み許可ビット	0：タイムアウト検出割り込み禁止 1：タイムアウト検出割り込み許可	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

本レジスタは、各ステータスの割り込みを許可 / 禁止するレジスタです。ICSR2 レジスタのフラグが “1” になったとき、対応する割り込み許可ビットが “1” であると、割り込み要求が出力されます。

35.2.32　通信ステータスレジスタ (ICCSR)

アドレス　RI3C0.ICCSR 000E C1E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	SQFF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DTEF	—	—	—	DTAF	RQFF	CQEF	IQEFF	RDRF	TDRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDRE	送信データエンプティフラグ	0：送信データバッファの空き段数は、ICDBTCR.TETH[2:0]ビットで指定したしきい値未満 1：送信データバッファの空き段数は、TETH[2:0]ビットで指定したしきい値以上	R/(W) (注1)
b1	RDRF	受信データフルフラグ	0：受信データバッファの使用段数は、ICDBTCR.RFTH[2:0]ビットで指定したしきい値未満 1：受信データバッファの使用段数は、RFTH[2:0]ビットで指定したしきい値以上	R/(W) (注1)
b2	IQEFF	IBIキューエンプティ/フルフラグ	• I3Cコントローラモード時 0：IBIキュー内のIBIステータス数は、ICQBTCR.IQTH[7:0]ビットで指定したしきい値未満 1：IBIキュー内のIBIステータス数は、IQTH[7:0]ビットで指定したしきい値以上 • I3Cターゲットモード時、IQTH[7:0]ビットが“00h”の場合 0：IBIキューにエントリがある 1：IBIキューにエントリがない • I3Cターゲットモード時、IQTH[7:0]ビットが“00h”以外の場合 0：IBIキューの空きエントリ数は、IQTH[7:0]ビットで指定したしきい値未満 1：IBIキューの空きエントリ数は、IQTH[7:0]ビットで指定したしきい値以上	R/(W) (注1)
b3	CQEF	コマンドキューエンプティフラグ	• ICQBTCR.CQTH[7:0]ビットが“00h”の場合 0：コマンドキューにエントリがある 1：コマンドキューにエントリがない • CQTH[7:0]ビットが“00h”以外の場合 0：コマンドキューの空きエントリ数は、CQTH[7:0]ビットで指定したしきい値未満 1：コマンドキューの空きエントリ数は、CQTH[7:0]ビットで指定したしきい値以上	R/(W) (注1)
b4	RQFF	レスポンスキューフルフラグ	0：レスポンスキューのエントリ数は、ICQBTCR.RQTH[7:0]ビットで指定したしきい値未満 1：レスポンスキューのエントリ数は、RQTH[7:0]ビットで指定したしきい値以上	R/(W) (注1)
b5	DTAF	データ転送アボートフラグ	0：データ転送アボートが発生していない 1：データ転送アボートが発生した	R/(W) (注1)
b8-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9	DTEF	データ転送エラーフラグ	0：データ転送エラーが発生していない 1：データ転送エラーが発生した(注2)	R/(W) (注1)
b19-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	SQFF	受信ステータスキューフルフラグ (注3)	0：受信ステータスキューのエントリ数は、ICSQTCR.SQTH[7:0]ビットで指定したしきい値未満 1：受信ステータスキューのエントリ数は、SQTH[7:0]ビットで指定したしきい値以上	R/(W) (注1)
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. このフラグをクリアするには、“1”になっていることを確認した後、“0”を書いてください。
注2. どのエラーが発生したかは、そのときのデータ送信またはコマンドに対応するレスポンスディスクリプタまたは受信ステータスディスクリプタの構造体から得られます。
注3. 本ビットはI3Cセカンダリコントローラモードと I3Cターゲットモードで使用します。

TDRE フラグ (送信データエンプティフラグ)

[“1” になる条件]

- ICCSER.TDE ビットが “1” (送信データエンプティの検出を許可) のときに、送信データバッファの空き段数が ICDBTCR.TETH[2:0] ビットで指定したしきい値以上になったとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- DMAC/DTC による送信データバッファへの最終ライトアクセスが完了したとき
- 送信データバッファの空き段数が TETH[2:0] ビットで指定したしきい値未満になったとき

RDRF フラグ (受信データフルフラグ)

[“1” になる条件]

- ICCSER.RDE ビットが “1” (受信データフルの検出を許可) のときに、受信データバッファの使用段数が ICDBTCR.RFTH[2:0] ビットで指定したしきい値以上になったとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- DMAC/DTC による受信データバッファからの最終リードアクセスが完了したとき
- 受信データバッファの使用段数が RFTH[2:0] ビットで指定したしきい値未満になったとき

IQEFF フラグ (IBI キューエンプティ / フルフラグ)

[“1” になる条件]

ICCSER.IQEFDE ビットが “1” (IBI キューエンプティ / フルの検出を許可) のときに、以下の条件を満たしたとき

I3C コントローラモード時 :

- IBI キューの IBI ステータス数が、ICQBTCR.IQTH[7:0] ビットで指定したしきい値以上になった

I3C ターゲットモード時 :

- IBI キューが完全にエンプティになった (IQTH[7:0] ビットが “00h” の場合)
- IBI キューの空きエントリ数が、IQTH[7:0] ビットで指定したしきい値以上になった (IQTH[7:0] ビットが “00h” 以外の場合)

[“0” になる条件]

I3C コントローラモード時 :

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- DMAC/DTC による IBI キューからの最終リードアクセスが完了したとき
- IBI キューの IBI ステータス数が、IQTH[7:0] ビットで指定したしきい値未満になったとき

I3C ターゲットモード時 :

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- DMAC/DTC による IBI キューへの最終ライトアクセスが完了したとき
- IBI キューが完全にエンプティでなくなったとき (IQTH[7:0] ビットが “00h” の場合)
- IBI キューの空きエントリ数が、IQTH[7:0] ビットで指定したしきい値未満になったとき (IQTH[7:0] ビッ

トが “00h” 以外の場合)

CQEF フラグ (コマンドキューエンプティフラグ)

[“1” になる条件]

ICCSER.CQEDE ビットが “1” (コマンドキューエンプティの検出を許可) のときに、以下の条件を満たしたとき

- コマンドキューが完全にエンプティになった (ICQBTCR.CQTH[7:0] ビットが “00h” の場合)
- コマンドキューの空きエントリ数が、CQTH[7:0] ビットで指定したしきい値以上になった (CQTH[7:0] ビットが “00h” 以外の場合)

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- DMAC/DTC によるコマンドキューへの最終ライトアクセスが完了したとき
- コマンドキューが完全にエンプティではないとき (CQTH[7:0] ビットが “00h” の場合)
- コマンドキューの空きエントリ数が、CQTH[7:0] ビットで指定したしきい値未満になったとき (CQTH[7:0] ビットが “00h” 以外の場合)

RQFF フラグ (レスポンスキューフルフラグ)

[“1” になる条件]

- ICCSER.RQFDE ビットが “1” (レスポンスキューフルの検出を許可) のときに、レスポンスキューのエントリ数が、ICQBTCR.RQTH[7:0] ビットで指定したしきい値以上になったとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- DMAC/DTC によるレスポンスキューへの最終リードアクセスが完了したとき
- レスポンスキューのエントリ数が、RQTH[7:0] ビットで指定したしきい値未満になったとき

DTAF フラグ (データ転送アボートフラグ)

[“1” になる条件]

- ICCSER.DTADE ビットが “1” (データ転送アボートの検出を許可) のときに、いずれかのデータ転送が中断されたとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき

DTEF フラグ (データ転送エラーフラグ)

[“1” になる条件]

- ICCSER.DTEDE ビットが “1” (データ転送エラーの検出を許可) のときに、I3C バスでデータ転送エラーが発生したとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき

SQFF フラグ (受信ステータスキューフルフラグ)

[“1” になる条件]

- ICCSER.SQFDE ビットが “1” (受信ステータスキューフルの検出を許可) のときに、受信ステータスキューのエントリ数が、ICSQTCR.SQTH[7:0] ビットで指定したしきい値以上になったとき

[“0” になる条件]

- このフラグが “1” になっているのを確認した後、“0” を書いたとき
- DMAC/DTC による受信ステータスキューへの最終リードアクセスが完了したとき
- 受信ステータスキューのエントリ数が、SQTH[7:0] ビットで指定したしきい値未満になったとき

35.2.33 通信ステータス検出許可レジスタ (ICCSER)

アドレス RI3C0.ICCSER 000E C1E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	SQFDE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DTEDE	—	—	—	DTADE	RQFDE	CQEDE	IQEFDE	RDE	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	送信データエンプティ検出許可ビット	0：送信データエンプティの検出を禁止 1：送信データエンプティの検出を許可	R/W
b1	RDE	受信データフル検出許可ビット	0：受信データフルの検出を禁止 1：受信データフルの検出を許可	R/W
b2	IQEFDE	IBIキューエンプティ / フル検出許可ビット	0：IBIキューエンプティ / フルの検出を禁止 1：IBIキューエンプティ / フルの検出を許可	R/W
b3	CQEDE	コマンドキューエンプティ検出許可ビット	0：コマンドキューエンプティの検出を禁止 1：コマンドキューエンプティの検出を許可	R/W
b4	RQFDE	レスポンスキューフル検出許可ビット	0：レスポンスキューフルの検出を禁止 1：レスポンスキューフルの検出を許可	R/W
b5	DTADE	データ転送アボート検出許可ビット	0：データ転送アボートの検出を禁止 1：データ転送アボートの検出を許可	R/W
b8-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9	DTEDE	データ転送エラー検出許可ビット	0：データ転送エラーの検出を禁止 1：データ転送エラーの検出を許可	R/W
b19-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	SQFDE	受信ステータスキューフル検出許可ビット (注1)	0：受信ステータスキューフルの検出を禁止 1：受信ステータスキューフルの検出を許可	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. 本ビットはI3Cセカンダリコントローラモードと I3Cターゲットモードで使用します。

本レジスタは、各ステータスの検出を許可 / 禁止するレジスタです。許可されたステータスが検出されると、ICCSR レジスタの該当するフラグが “1” になります。

35.2.34　通信ステータス割り込み許可レジスタ (ICCSIER)

アドレス　RI3C0.ICCSIER 000E C1E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	SQFIE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DTEIE	—	—	—	DTAIE	RQFIE	CQEIE	IQEFIE	RIE	TIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIE	送信データエンプティ割り込み許可ビット	0：送信データエンプティ割り込み禁止 1：送信データエンプティ割り込み許可	R/W
b1	RIE	受信データフル割り込み許可ビット	0：受信データフル割り込み禁止 1：受信データフル割り込み許可	R/W
b2	IQEFIE	IBIキューエンプティ/フル割り込み許可ビット	0：IBIキューエンプティ/フル割り込みを禁止 1：IBIキューエンプティ/フル割り込みを許可	R/W
b3	CQEIE	コマンドキューエンプティ割り込み許可ビット	0：コマンドキューエンプティ割り込みを禁止 1：コマンドキューエンプティ割り込みを許可	R/W
b4	RQFIE	レスポンスキューフル割り込み許可ビット	0：レスポンスキューフル割り込みを禁止 1：レスポンスキューフル割り込みを許可	R/W
b5	DTAIE	データ転送アボート割り込み許可ビット	0：データ転送アボート割り込みを禁止 1：データ転送アボート割り込みを許可	R/W
b8-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9	DTEIE	データ転送エラー割り込み許可ビット	0：データ転送エラー割り込みを禁止 1：データ転送エラー割り込みを許可	R/W
b19-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	SQFIE	受信ステータスキューフル割り込み許可ビット (注1)	0：受信ステータスキューフル割り込みを禁止 1：受信ステータスキューフル割り込みを許可	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　本ビットはI3Cセカンダリコントローラモードと I3Cターゲットモードで使用します。

本レジスタは、各ステータスの割り込みを許可 / 禁止するレジスタです。ICCSR レジスタのフラグが “1” になったとき、対応する割り込み許可ビットが “1” であると、割り込み要求が生成されます。

35.2.35　バスステータスレジスタ (ICBSR)

アドレス　RI3C0.ICBSR 000E C210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	BIDL	BAVL	BFREE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFREE	バスフリーフラグ	0：バスフリー状態の検出なし 1：バスフリー状態の検出あり	R
b1	BAVL	バス使用可能検出フラグ	0：バス使用可能状態の検出なし 1：バス使用可能状態の検出あり	R
b2	BIDL	バスアイドル検出フラグ	0：バスアイドル状態の検出なし 1：バスアイドル状態の検出あり	R
b31-b3	—	予約ビット	読むと“0”が読めます	R

BFREE フラグ (バスフリーフラグ)

I3C バスの占有 (バスビジー)/ 解放 (バスフリー) 状態を示します。

[“1” になる条件]

- ストップコンディションの検出後、SCL00 ラインと SDA00 ラインが High のときに、ICBFTR レジスタに設定したサイクル数が経過したとき
- ICCR.ICE ビットを “1” にした後、SCL00 ラインと SDA00 ラインが High のときに、ICBFTR レジスタに設定したサイクル数が経過したとき

[“0” になる条件]

- SCL00 ラインと SDA00 ラインが High 以外であるとき
- ICCR.ICE ビットを “0” にしたとき

BAVL フラグ (バス使用可能検出フラグ)

バス利用可能状態は、バスフリー状態が少なくとも tAVAL (「49.4.5.14　RI3C」を参照) 以上の時間継続している期間です。ターゲットは、バス利用可能状態の後、(IBI または CRR のため) スタートコンディション要求のみを発行できます。

[“1” になる条件]

- ストップコンディションの検出後、SCL00 ラインと SDA00 ラインが High のときに、ICBATR レジスタに設定したサイクル数が経過したとき
- ICCR.ICE ビットを “1” にした後、SCL00 ラインと SDA00 ラインが High のときに、ICBATR レジスタに設定したサイクル数が経過したとき

[“0” になる条件]

- SCL00 ラインと SDA00 ラインが High 以外であるとき
- ICCR.ICE ビットを “0” にしたとき

BIDL フラグ (バスアイドル検出フラグ)

I3C バスアイドル状態は、Hot-Join イベント時のバス安定性を確保するためのものです。バスアイドル状態は、バス利用可能状態が少なくとも tIDLE (「49.4.5.14　RI3C」を参照) 以上の時間継続している期間です。

Hot-Join デバイスが I3C バスでプライマリコントローラと同時に電源を入れたとき、(1) プライマリコントローラが SCL00 ラインと SDA00 ラインをプルアップしていて、(2) コントローラが同じアイドル期間 I3C バス上で動作しない場合、Hot-Join デバイスは 1 ms 後に SDA00 ラインを Low にすることができます。

[“1” になる条件]

- ストップコンディションの検出後、SCL00 ラインと SDA00 ラインが High のときに、ICBITR レジスタに設定したサイクル数が経過したとき
- ICCR.ICE ビットを “1” にした後、SCL00 ラインと SDA00 ラインが High のときに、ICBITR レジスタに設定したサイクル数が経過したとき

[“0” になる条件]

- SCL00 ラインと SDA00 ラインが High 以外であるとき
- ICCR.ICE ビットを “0” にしたとき

35.2.36　ターゲットデバイスアドレステーブルレジスタ m (ICTDATRm) (m = 0 ～ 3)

アドレス　RI3C0.ICTDATR0 000E C224h, RI3C0.ICTDATR1 000E C22Ch, RI3C0.ICTDATR2 000E C234h, RI3C0.ICTDATR3 000E C23Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TYPE	NACKRC[1:0]		—	—	—	—	—	DADR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IBITSE	CRRRJ	TIRRJ	IBIPL	—	—	—	—	—	SADR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	SADR[6:0]	スタティックアドレス	I3C/I²Cスタティックアドレス	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	IBIPL	IBIペイロードビット	0：このデバイスからのIBIにはデータペイロードがない 1：このデバイスからのIBIにはデータペイロードがある	R/W
b13	TIRRJ	ターゲット割り込み要求拒絶ビット	0：このデバイスからのTIR要求にACK応答する 1：このデバイスからのTIR要求にNACK応答し、自動でDISEC CCCを送信する	R/W
b14	CRRRJ	CRR拒絶ビット	0：このデバイスからのCRR要求にACK応答する 1：このデバイスからのCRR要求にNACK応答し、自動でDISEC CCCを送信する	R/W
b15	IBITSE	IBIタイムスタンプ許可ビット	0：このデバイスからのIBIをコントローラタイムスタンプを用いてタイムスタンプしない 1：このデバイスからのIBIをコントローラタイムスタンプを用いてタイムスタンプする	R/W
b23-b16	DADR[7:0]	ダイナミックアドレス	DADR[6:0]：このデバイスのダイナミックアドレス DADR[7]：パリティビット	R/W
b28-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b30-b29	NACKRC[1:0]	NACKリトライ回数設定ビット	0h：NACK受信時、リトライなし 1h～3h：NACK受信時、最大1回～3回リトライする	R/W
b31	TYPE	デバイスタイプ	0：I3Cデバイス 1：I²Cデバイス	R/W

注.　本レジスタはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

デバイスアドレステーブル (DAT) は、I3C バスに接続されたターゲットデバイスのデバイスアドレスと制御情報を格納するテーブルで、RI3C では ICTDATRm レジスタとしてインプリメントされています。このレジスタの情報を必要とするコマンドのコマンドディスクリプタには、DEV_INDEX フィールドがあり、このフィールドによってレジスタが選択されます。

IBIPL ビット (IBI ペイロードビット)

このデバイスからの IBI にデータペイロードがあるかどうかを示します。このビットには、ICTDCTRm.IBIPL ビット (BCR[2]: バス特性レジスタの IBI Payload ビット) の値が反映されます。

このデバイスの IBI 処理を行う際に、RI3C はこのビットを使って IBI データペイロードの受信を行うかどうかを決定します。後続のデータがあるかどうかは、T- ビットで判断します。

TIRRJ ビット (ターゲット割り込み要求拒絶ビット)

アクティブコントローラとして動作しているときに、このレジスタに対応するターゲットデバイスからのターゲット割り込み要求 (TIR) を受け付けるか拒否するかを制御します。

CRRRJ ビット (CRR 拒絶ビット)

アクティブコントローラとして動作しているときに、このレジスタに対応するセカンダリコントローラからのコントローラロール要求 (CRR) を受け付けるか拒否するかを制御します。

IBITSE ビット (IBI タイムスタンプ許可ビット)

対応するデバイスの IBI タイムスタンプを有効 / 無効にします。

注 . 各 IBI イベントの IBI ステータスディスクリプタは、各 IBI イベントが実際にタイムスタンプされたかどうかを示します。タイミング制御モードの非同期モード 0 と非同期モード 1 以外では、“0” を設定してください。

NACKRC[1:0] ビット (NACK リトライ回数設定ビット)

コマンドディスクリプタに設定されたトランザクションに対して、ターゲットから NACK 応答を受信したときのリトライ数を設定します。

注 . アドレス割り当てコマンド (「35.3.1.1　アドレス割り当てコマンド」参照) によって ENTDAA CCC が実行された場合、このビットの設定は無視され、NACK を一回受信した時点でトランザクションが終了します。

35.2.37　拡張ターゲットデバイスアドレステーブルレジスタ (ICEDATR)

アドレス　RI3C0.ICEDATR 000E C2A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TYPE	NACKRC[1:0]		—	—	—	—	—	DADR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	SADR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	SADR[6:0]	スタティックアドレス	I3C/I²Cスタティックアドレス	R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b23-b16	DADR[7:0]	ダイナミックアドレス	DADR[6:0]：このデバイスのダイナミックアドレス DADR[7]：パリティビット	R/W
b28-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b30-b29	NACKRC[1:0]	NACKリトライ回数設定ビット	0h：NACK受信時、リトライなし 1h～3h：NACK受信時、最大1回～3回リトライする	R/W
b31	TYPE	デバイスタイプ	0：I3Cデバイス 1：I²Cデバイス	R/W

注.　本レジスタはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

35.2.38　デバイスアドレスレジスタ 0 (ICDAR0)

アドレス　RI3C0.ICDAR0 000E C2B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	DADR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IBIPL	—	—	SADR[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	SADR[9:0]	スタティックアドレス (注1)	スタティックアドレスを設定してください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	IBIPL	IBIペイロードビット (注1)	このビットはICDCTR.IBIPLのミラービットです 0：このデバイスからのIBIはデータペイロードをもたない 1：このデバイスからのIBIはデータペイロードをもつ	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b22-b16	DADR[6:0]	ダイナミックアドレス (注1)	ダイナミックアドレスが設定されます	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　プライマリコントローラ時、ICDAR0レジスタに値を設定しないでください。
注1.　本ビットはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

デバイス特性テーブル (DCT) は、ダイナミックアドレス割り当て (ENTDAA) 手続きに参加する I3C バス上の各デバイスのデバイス特性 (PID, BCR, DCR) とダイナミックアドレスを格納するレジスタセットです。

ICDAR0 レジスタは、割り当てられたダイナミックアドレスの値を格納するために使用します。

SADR[9:0] ビット (スタティックアドレス)

下位 7 ビットにターゲットモード時のスタティックアドレスを設定してください。

上位 3 ビットは予約ビットです。“0” にしてください。

IBIPL ビット (IBI ペイロードビット)

このデバイスからの IBI がデータペイロードをもつかどうかを示します。このビットは、デバイスのバス特性レジスタ (BCR) の IBI ペイロードビットを示します。

このデバイスの IBI 処理の際に、コントローラはこのビットを使って IBI データペイロードの受信を行うかどうかを決定します。後続のデータがあるかどうかは、T- ビットで判断します。

DADR[6:0] ビット (ダイナミックアドレス)

ターゲットモード時に割り当てられたダイナミックアドレスを格納します。

以下のいずれかの事象が発生したとき更新されます。

- ダイナミックアドレスを書き込んだとき
- SETDASA CCC (Direct) の受信時に、ターゲットアドレスが自身のスタティックアドレスと一致したとき、後続のダイナミックアドレスの値に更新されます。
- ENTDAA CCC (Broadcast) の受信により始まるダイナミックアドレス割り当て手続きが確立したとき
- RSTDAA CCC (Broadcast) の受信時、すべてのビットは “0” になります。
- RSTDAA CCC (Direct) の受信時に、ターゲットアドレスが自身のダイナミックアドレスと一致したとき、

すべてのビットは “0” になります。

- SETNEWDA CCC (Direct) の受信時に、ターゲットアドレスが自身のダイナミックアドレスと一致したとき、後続の新ダイナミックアドレスの値に更新されます。
- SETAASA CCC (Broadcast) の受信時、SADR[6:0] ビットの値に更新されます。

35.2.39　ターゲットデバイス特性テーブルレジスタ m (ICTDCTRm) (m = 0 ～ 3)

アドレス　RI3C0.ICTDCTR0 000E C2D0h, RI3C0.ICTDCTR1 000E C2D4h, RI3C0.ICTDCTR2 000E C2D8h, RI3C0.ICTDCTR3 000E C2DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ROLE[1:0]		—	—	OFLC	IBIPL	IBIRQC	LIMIT	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	LIMIT	最大データレート制限ビット	0：制限なし 1：制限あり	R/W
b9	IBIRQC	IBI要求可能ビット	0：不可 1：可	R/W
b10	IBIPL	IBIペイロードビット	0：受信したIBIにデータバイトが続いていない 1：受信したIBIに1バイト以上のデータバイトが続いている	R/W
b11	OFLC	オフライン可能ビット	0：デバイスはI3Cコマンドに常に応答する 1：デバイスはI3Cコマンドに常に応答するとは限らない	R/W
b13-b12	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b15-b14	ROLE[1:0]	デバイスロール設定ビット	b15 b14 0 0：I3Cターゲット 0 1：I3Cコントローラ対応(注1) 上記以外は設定しないでください	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。
注1.　I3Cコントローラとして動作できるI3Cデバイス(プライマリコントローラ、セカンダリコントローラ)については、“01b”になります。

デバイス特性テーブル (DCT) は、ダイナミックアドレス割り当て (ENTDAA) 手続きに参加する I3C バス上の各デバイスのデバイス特性 (PID, BCR, DCR) とダイナミックアドレスを格納するレジスタセットです。

ICTDCTRm レジスタには、RI3C がコントローラモード時に取り込んだターゲットデバイスのバス特性レジスタ (BCR) の値が格納されます。

このレジスタは、ENTDAA CCC (Broadcast) 受信から始まるダイナミックアドレス割り当て手続きにおいて、デバイスからバス特性レジスタ (BCR) を受信したときに更新されます。

LIMIT ビット (最大データレート制限ビット)

BCR のビット 0 (BCR[0]) に相当します。

コントローラは、GETMXDS CCC コマンドを使って、特定の制限をターゲットに問い合わせる必要があります。

IBIRQC ビット (IBI 要求可能ビット)

BCR のビット 1 (BCR[1]) に相当します。

IBIPL ビット (IBI ペイロードビット)

BCR のビット 2 (BCR[2]) に相当します。

OFLC ビット (オフライン可能ビット)

BCR のビット 3 (BCR[3]) に相当します。

オフライン可能デバイスは、ダイナミックアドレスを保持します。

ROLE[1:0] ビット (デバイスロール設定ビット)

BCR のビット 7 、6 (BCR[7:6]) に相当します。

35.2.40　デバイス特性テーブルレジスタ (ICDCTR)

アドレス　RI3C0.ICDCTR 000E C320h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ROLE[1:0]		—	—	OFLC	IBIPL	IBIRQC	LIMIT	DCR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	DCR[7:0]	デバイス特性ビット	センサやデバイスのタイプを示すコードを255使用可能 例：加速度計、ジャイロスコープ、複合デバイス 初期値は“00h”(ジェネリックデバイス)です。	R/W
b8	LIMIT	最大データレート制限ビット (注1)	0：制限なし 1：制限あり	R/W
b9	IBIRQC	IBI要求可能ビット	0：不可 1：可	R/W
b10	IBIPL	IBIペイロードビット	0：受信したIBIにデータバイトが続いていない 1：受信したIBIに1バイト以上のデータバイトが続いている。2バイト以上のデータバイトが続いているかどうかは、T-ビットで確認	R/W
b11	OFLC	オフライン可能ビット (注2)	0：デバイスはI3Cコマンドに常に応答する 1：デバイスはI3Cコマンドに常に応答するとは限らない	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ROLE[1:0]	デバイスロール設定ビット	b15 b14 0 0：I3Cターゲット 0 1：I3Cコントローラ対応 (注3) 上記以外は設定しないでください	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。
注1.　コントローラは、GETMXDS CCCを使い、ターゲットの特性上の制限を問い合わせます。
注2.　オフライン可能デバイスは、ダイナミックアドレスを保持します。
注3.　I3Cプライマリコントローラとして動作するI3Cデバイスでは、“01b”になります。

デバイス特性テーブル (DCT) は、ダイナミックアドレス割り当て (ENTDAA) 手続きに参加する I3C バス上の各デバイスのデバイス特性 (PID, BCR, DCR) とダイナミックアドレスを格納するレジスタセットです。

ICDCTR レジスタは、RI3C のバス特性レジスタ (BCR) とデバイス特性レジスタ (DCR) の値を格納するために使用します。BCR は、ROLE[1:0]、OFLC、IBIPL、IBIRQC、LIMIT ビットで構成されています。

DCR[7:0] ビット (デバイス特性ビット)

I3C バスに接続した各 I3C デバイスには、対応するデバイス特性レジスタ (DCR) があります。このレジスタは、ダイナミックアドレス割り当てと共通コマンドコードで使用する I3C 準拠のデバイスタイプ (加速度計、ジャイロスコープ、など) を示します。

LIMIT ビット (最大データレート制限ビット)

BCR のビット 0 (BCR[0]) に相当します。

IBIRQC ビット (IBI 要求可能ビット)

BCR のビット 1 (BCR[1]) に相当します。

IBIPL ビット (IBI ペイロードビット)

BCR のビット 2 (BCR[2]) に相当します。

OFLC ビット (オフライン可能ビット)

BCR のビット 3 (BCR[3]) に相当します。

ROLE[1:0] ビット (デバイスロール設定ビット)

BCR のビット 7 、6 (BCR[7:6]) に相当します。

RI3C がターゲットモード時に、コマンドディスクリプタにより IBI を発行する場合、BCR の設定値は以下のようにしてください。

(1) ターゲット割り込み要求で、受信した IBI に IBI ペイロードが続いていない場合

- IBIRQC = 1
- IBIPL = 0

注 . コマンドディスクリプタの DATA_LENGTH フィールドには、“0000h” を設定してください。

(2) ターゲット割り込み要求で、受信した IBI に IBI ペイロードが続いている場合

- IBIRQC = 1
- IBIPL = 1

注 . コマンドディスクリプタの DATA_LENGTH フィールドには、所望の値を設定してください。

(3) CRR 要求の場合

- IBIRQC = 1
- ROLE[1:0] = 01b

(4) Hot-Join イベントの場合

- IBIRQC = 1

RI3C がターゲットモード時に、I3C コントローラから CCC を受信したとき、BCR レジスタの設定に従って以下の動作をします。

- IBIPL = 1 のとき、I3C コントローラからの GETMRL CCC に対する 3 バイト目のデータとして ICMRLR.IBIPL[7:0] ビットに設定されている値を送信します。
- LIMIT = 0 のとき、I3C コントローラからの GETMXDS CCC に対して NACK 応答します。
- LIMIT = 1 のとき、I3C コントローラからの GETMXDS CCC に対して ACK 応答し、ICMWSR、ICMRSR、ICMTTR レジスタに設定されているデータを送信します。

35.2.41 支給 ID 下位レジスタ (ICPIDLR)

アドレス RI3C0.ICPIDLR 000E C324h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. 本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

デバイス特性テーブル (DCT) は、ダイナミックアドレス割り当て (ENTDAA) 手続きに参加する I3C バス上の各デバイスのデバイス特性 (PID, BCR, DCR) とダイナミックアドレスを格納するレジスタセットです。

本レジスタは、支給 ID の下位 16 ビット (PID の b15-b0) を格納するレジスタです。

上位 16 ビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

35.2.42 支給 ID 上位レジスタ (ICPIDHR)

アドレス RI3C0.ICPIDHR 000E C328h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. 本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

デバイス特性テーブル (DCT) は、ダイナミックアドレス割り当て (ENTDAA) 手続きに参加する I3C バス上の各デバイスのデバイス特性 (PID, BCR, DCR) とダイナミックアドレスを格納するレジスタセットです。

本レジスタは、支給 ID の上位 32 ビット (PID の b47-b16) を格納するレジスタです。

35.2.43　デバイスアドレスモニタレジスタ 0 (ICDAMR0)

アドレス　RI3C0.ICDAMR0 000E C330h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DAV	SAV	—	—	—	—	TADR[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます	R
b25-b16	TADR[9:0]	ターゲットアドレス (注1)	ターゲットアドレスがセットされます	R
b29-b26	—	予約ビット	読むと“0”が読めます	R
b30	SAV	スタティックアドレス有効フラグ (注1)	0：スタティックアドレスは無効 1：スタティックアドレスは有効	R
b31	DAV	ダイナミックアドレス有効フラグ (注1)	0：ダイナミックアドレスは無効 1：ダイナミックアドレスは有効	R

注1.　本ビットはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

TADR[9:0] ビット (ターゲットアドレス)

TADR[9:0] ビットは有効なターゲットアドレスを示します。

- DAV フラグが “1” の場合：
  TADR[9:7] ビットは “000b”
  TADR[6:0] ビットは ICDAR0.DADR[6:0] ビットと同じ
- SAV フラグが “1” の場合：
  TADR[9:7] ビットは “000b”
  TADR[6:0] ビットは ICDAR0.SADR[6:0] ビットと同じ

SAV フラグ (スタティックアドレス有効フラグ)

[“1” になる条件]

- 以下の条件すべてを満たすとき
  1. ICTCR.TA0DE ビットが “1” (ターゲットアドレス 0 検出許可)
  2. DAV フラグが “0” (ダイナミックアドレスは無効)
  3. ICDAR0.SADR[6:0] ビットが “0000000b” ではない。

[“0” になる条件]

- [“1” になる条件] が満たされないとき

DAV フラグ (ダイナミックアドレス有効フラグ)

[“1” になる条件]

- 以下の条件すべてを満たすとき
  1. ICTCR.TA0DE が “1” (ターゲットアドレス 0 検出許可) である
  2. ICDAR0.DADR[6:0] ビットが “0000000b” ではない

[“0” になる条件]

- [“1” になる条件] が満たされないとき

35.2.44　ターゲットイベントレジスタ (ICTEVR)

アドレス　RI3C0.ICTEVR 000E C350h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ENHJ	—	ENCR	ENINT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENINT	ターゲット割り込み要求許可フラグ	0：ターゲットからの割り込みはコントローラにより禁止されている 1：ターゲットからの割り込みはコントローラにより許可されている	R/W
b1	ENCR	CRR許可フラグ	0：セカンダリコントローラからのCRR要求はアクティブコントローラにより禁止されている 1：セカンダリコントローラからのCRR要求はアクティブコントローラにより許可されている	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	ENHJ	Hot-Joinイベント許可フラグ	0：ターゲットからのHot-Joinはコントローラにより禁止されている 1：ターゲットからのHot-Joinはコントローラにより許可されている	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3C ターゲットモードで使用します。

ENINT フラグ (ターゲット割り込み要求許可フラグ)

本フラグにより、コントローラは、ターゲットか開始する割り込みを I3C バス上で許可するタイミングを制御することができます。

[“1” になる条件]

- “1” を書いたとき
- ENINT フィールドが “1” の ENEC CCC (Broadcast) を受信したとき
- ENINT フィールドが “1” で、自身のターゲットアドレスを持った ENEC CCC (Direct) を受信したとき

[“0” になる条件]

- “0” を書いたとき
- DISINT フィールドが “1” の DISEC CCC (Broadcast) を受信したとき
- DISINT フィールドが “1” で、自身のターゲットアドレスを持った DISEC CCC (Direct) を受信したとき

ENCR フラグ (CRR 許可フラグ)

本フラグにより、アクティブコントローラは、セカンダリコントローラからの CRR 要求を I3C バス上で許可するタイミングを制御することができます。

[“1” になる条件]

- “1” を書いたとき
- ENCR フィールドが “1” の ENEC CCC (Broadcast) を受信したとき

- ENCR フィールドが “1” で、自身のターゲットアドレスを持った ENEC CCC (Direct) を受信したとき

[“0” になる条件]

- “0” を書いたとき
- DISCR フィールドが “1” の DISEC CCC (Broadcast) を受信したとき
- DISCR フィールドが “1” で、自身のターゲットアドレスを持った DISEC CCC (Direct) を受信したとき

ENHJ フラグ (Hot-Join イベント許可フラグ)

本フラグにより、コントローラは、ターゲットか開始する Hot-Join を I3C バス上で許可するタイミングを制御することができます。

[“1” になる条件]

- “1” を書いたとき
- ENHJ フィールドが “1” の ENEC CCC (Broadcast) を受信したとき
- ENHJ フィールドが “1” で、自身のターゲットアドレスを持った ENEC CCC (Direct) を受信したとき

[“0” になる条件]

- “0” を書いたとき
- DISHJ フィールドが “1” の DISEC CCC (Broadcast) を受信したとき
- DISHJ フィールドが “1” で、自身のターゲットアドレスを持った DISEC CCC (Direct) を受信したとき

35.2.45　アクティビティステートレジスタ (ICASR)

アドレス　RI3C0.ICASR 000E C354h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ENTAS3	ENTAS2	ENTAS1	ENTAS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENTAS0	アクティビティステート0フラグ (注1)	0：アクティビティステート0以外 1：アクティビティステート0	R/W
b1	ENTAS1	アクティビティステート1フラグ (注1)	0：アクティビティステート1以外 1：アクティビティステート1	R/W
b2	ENTAS2	アクティビティステート2フラグ (注1)	0：アクティビティステート2以外 1：アクティビティステート2	R/W
b3	ENTAS3	アクティビティステート3フラグ (注1)	0：アクティビティステート3以外 1：アクティビティステート3	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。
注1.　複数のビットを同時に“1”にしないでください。

ENTAS0 フラグ (アクティビティステート 0 フラグ)

[“1” になる条件]

- “1” を書いたとき
- ENTAS0 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS0 CCC (Direct) を受信したとき

[“0” になる条件]

- “0” を書いたとき
- ENTAS1 CCC (Broadcast) ～ ENTAS3 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS1 CCC (Direct) ～ ENTAS3 CCC (Direct) を受信したとき

ENTAS1 フラグ (アクティビティステート 1 フラグ)

[“1” になる条件]

- “1” を書いたとき
- ENTAS1 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS1 CCC (Direct) を受信したとき

[“0” になる条件]

- “0” を書いたとき
- ENTAS0 CCC (Broadcast)、ENTAS2 CCC (Broadcast)、ENTAS3 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS0 CCC (Direct)、ENTAS2 CCC (Direct)、ENTAS3 CCC (Direct) を受信したとき

ENTAS2 フラグ (アクティビティステート 2 フラグ)

["1" になる条件]

- "1" を書いたとき
- ENTAS2 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS2 CCC (Direct) を受信したとき

["0" になる条件]

- "0" を書いたとき
- ENTAS0 CCC (Broadcast)、ENTAS1 CCC (Broadcast)、ENTAS3 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS0 CCC (Direct)、ENTAS1 CCC (Direct)、ENTAS3 CCC (Direct) を受信したとき

ENTAS3 フラグ (アクティビティステート 3 フラグ)

["1" になる条件]

- "1" を書いたとき
- ENTAS3 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS3 CCC (Direct) を受信したとき

["0" になる条件]

- "0" を書いたとき
- ENTAS0 CCC (Broadcast) ～ ENTAS2 CCC (Broadcast) を受信したとき
- 自身のターゲットアドレスを持った ENTAS0 CCC (Direct) ～ ENTAS2 CCC (Direct) を受信したとき

35.2.46　最大ライト長レジスタ (ICMWLR)

アドレス　RI3C0.ICMWLR 000E C358h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MWL[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MWL[15:0]	最大ライト長	GETMWL CCCに対して応答する最大ライト長をバイト単位で設定します。8以上の値を設定してください。 SETMWL CCC受信時は自動的に更新されます	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

MWL[15:0] ビット (最大ライト長)

このビットは、I3C コントローラが RI3C に最大ライト長を設定したり、RI3C から最大ライト長を取得したりするために使用します。

GETMWL CCC に対する応答で、このビットの値が自動的に送信されます。

SETMWL CCC (Broadcast) を受信したとき、または自身のターゲットアドレスを持った SETMWL CCC (Direct) を受信したとき、このビットは自動的に受信した MWL の値に更新されます。

35.2.47　最大リード長レジスタ (ICMRLR)

アドレス　RI3C0.ICMRLR 000E C35Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	IBIPL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MRL[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MRL[15:0]	最大リード長	GETMRL CCCに対して応答する最大リード長をバイト単位で設定します。16以上の値を設定してください。 SETMRL CCC受信時は自動的に更新されます	R/W
b23-b16	IBIPL[7:0]	IBIペイロードサイズ	GETMRL CCCに対して応答する最大IBIペイロードサイズをバイト単位で設定します。SETMRL CCC受信時は自動的に更新されます	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

MRL[15:0] ビット (最大リード長)

このビットは、I3C コントローラが RI3C に最大リード長を設定したり、RI3C から最大リード長を取得したりするために使用します。

GETMRL CCC に対する応答で、このビットの値が最初の 2 バイトとして自動的に送信されます。

SETMRL CCC (Broadcast) を受信したとき、または自身のターゲットアドレスを持った SETMRL CCC (Direct) を受信したとき、このビットは自動的に受信した MRL の値に更新されます。

IBIPL[7:0] ビット (IBI ペイロードサイズ)

このビットは、I3C コントローラが RI3C に最大 IBI ペイロードサイズを設定したり、RI3C から最大 IBI ペイロードサイズを取得したりするために使用します。

ICDCTR.IBIPL ビットが “1” の場合、GETMRL CCC に対する応答で、このビットの設定値が 3 番目のバイトとして送信されます。IBIPL ビットが “0” の場合、このビットは送信されません。

SETMRL CCC (Broadcast) を受信したとき、または自身のターゲットアドレスを持った SETMRL CCC (Direct) を受信したとき、このビットは自動的に受信した IBI Payload Size の値に更新されます。

35.2.48　テストモードレジスタ (ICTMR)

アドレス　RI3C0.ICTMR 000E C360h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TM[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TM[7:0]	テストモード	00h：テストモード終了 すべてのI3Cデバイスがテストモードから脱します 01h：ベンダテストモード ダイナミックアドレス割り当て手続きにおいて、I3Cデバイスが支給IDでランダムな32ビット値を返します 上記以外は設定しないでください	R
b31-b8	—	予約ビット	読むと“0”が読めます	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

TM[7:0] ビット (テストモード)

このビットは、I3C コントローラが RI3C にテストモードへの移行を促すために使用します。

ENTTM CCC (Broadcast) を受信したとき、このビットは自動的に受信した Test Mode Byte の値に更新されます。

35.2.49　デバイスステータスレジスタ (ICDSR)

アドレス　RI3C0.ICDSR 000E C364h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VRSV[7:0]								CAS[1:0]		PERR	—	PNDINT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PNDINT[3:0]	保留割り込み番号	保留中の割り込みの割り込み番号を格納します。保留中の割り込みがない場合は“0000b”にしてください。	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b5	PERR	プロトコルエラーフラグ	0：最後にステータスを読み出して以降、ターゲットはプロトコルエラーを検出していない 1：最後にステータスを読み出して以降、ターゲットはプロトコルエラーを検出した	R
b7-b6	CAS[1:0]	現状アクティビティステート	b7 b6 0 0：アクティビティステート0 0 1：アクティビティステート1 1 0：アクティビティステート2 1 1：アクティビティステート3	R/W
b15-b8	VRSV[7:0]	ベンダ予約領域	ベンダ固有の意味を持たせるための予約領域です	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

このレジスタは、I3C コントローラからステータスを要求されたときに返すステータスを格納するために使用します。

GETSTATUS CCC (Direct) を受信したとき、このレジスタの b15-b0 の値が自動的に送信されます。

PNDINT[3:0] ビット (保留割り込み番号)

保留中の割り込みがあるかどうかを示します。割り込みがない場合は ”0000b” にしてください。

複数の割り込みがある場合は、最優先の割り込みの割り込み番号を設定してください。

PERR フラグ (プロトコルエラーフラグ)

最後にステータスを読み出して以降、プロトコルエラーを検出したかどうかを示します。

コントローラがターゲットのステータス読み出しに成功すると、このフラグは自動的にクリアされます。

[“1” になる条件]

- ターゲットがプロトコルエラーを検出したとき

[“0” になる条件]

- 自身のターゲットアドレスを持ったGETSTATUS CCC (Direct)に対して、ステータス(本レジスタの値)の送信がエラーなく完了したとき

CAS[1:0] ビット (現状アクティビティステート)

RI3C の現在のアクティビティステートを示すために使用します。

35.2.50　最高ライト速度レジスタ (ICMWSR)

アドレス　RI3C0.ICMWSR 000E C368h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MSWDR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	MSWDR[2:0]	最大連続ライトデータレート	b2　b0 0 0 0 : f_{SCL}の最大値 0 0 1 : 8 MHz 0 1 0 : 6 MHz 0 1 1 : 4 MHz 1 0 0 : 2 MHz 上記以外は設定しないでください	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

このレジスタは、I3C コントローラから最高データ速度を要求されたときに返すライト速度を格納するために使用します。

GETMXDS CCC (Direct) を受信したとき、このレジスタの b7-b0 の値が MaxWr として自動的に送信されます。

35.2.51　最高リード速度レジスタ (ICMRSR)

アドレス　RI3C0.ICMRSR 000E C36Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	TSCO[2:0]			MSRDR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	MSRDR[2:0]	最大連続リードデータレート	b2　b0 0 0 0 : f_{SCL}の最大値 0 0 1 : 8 MHz 0 1 0 : 6 MHz 0 1 1 : 4 MHz 1 0 0 : 2 MHz 上記以外は設定しないでください	R/W
b5-b3	TSCO[2:0]	クロック-データ応答時間	b5　b3 0 0 0 : 8 ns以下 0 0 1 : 9 ns以下 0 1 0 : 10 ns以下 0 1 1 : 11 ns以下 1 0 0 : 12 ns以下 1 1 1 : t_{SCO}は12 nsより大きい(個別に取り決める) 上記以外は設定しないでください	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

このレジスタは、I3C コントローラから最高データ速度を要求されたときに返すリード速度を格納するために使用します。

GETMXDS CCC (Direct) を受信したとき、このレジスタの b7-b0 の値が MaxRd として自動的に送信されます。

35.2.52　最大リード応答時間レジスタ (ICMTTR)

アドレス　RI3C0.ICMTTR 000E C370h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MRTTE	—	—	—	—	—	—	—	MRTT[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MRTT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	MRTT[23:0]	最大リード応答時間	リード応答時間を、0秒から16秒の範囲で、1 µs単位で設定してください 000000h：0 µs (最小値) 000001h：1 µs ：　： F42400h：16 s (最大値) 上記以外は設定しないでください	R/W
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	MRTTE	最大リード応答時間送信許可ビット	0：最大リード応答時間の転送を禁止します(GETMXDS フォーマット1：応答時間なし) 1：最大リード応答時間の転送を許可します(GETMXDS フォーマット2：応答時間あり)	R/W

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

このレジスタは、I3C コントローラから最高データ速度を要求されたときに返すリード応答時間を格納するために使用します。

GETMXDS CCC (Direct) を受信したとき、このレジスタの b23-b0 の値が MaxRdTurn として自動的に送信されます。

35.2.53　タイミングサポート情報レジスタ (ICTSIR)

アドレス　RI3C0.ICTSIR 000E C374h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	INAC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FREQ[7:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	FREQ[7:0]	周波数設定ビット	ターゲットの内部発振周波数を0.5 MHz刻みで設定できます b15　b8 00000000：32.0 kHz 00000001：0.5 MHz 00000010：1.0 MHz ：　： 01111111：63.5 MHz 上記以外は設定しないでください	R/W
b23-b16	INAC[7:0]	周波数誤差設定ビット	変動量を0.1%刻みで0.0%から25.5%まで設定できます b23　b16 00000000：0.0% 00000001：0.1% ：　： 11111110：25.4% 11111111：25.5%	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

このレジスタは、I3C コントローラからタイミング情報を要求されたときに返す値を格納するために使用します。

GETXTIME CCC (Direct) を受信したとき、このレジスタの b15-b8 の値が Frequency Byte、b23-b16 の値が Inaccuracy Byte として自動的に送信されます。

35.2.54　ビットカウントレジスタ (ICBCR)

アドレス　RI3C0.ICBCR 000E C380h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	BC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	BC[4:0]	ビットカウンタ	残りの転送ビット数を表示します。詳細は表35.3および表35.3を参照してください	R
b31-b5	—	予約ビット	読むと“0”が読めます	R

BC[4:0] ビット (ビットカウンタ)

SCL00 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。

表35.3　カウンタの値と残ビット数(Legacy I2C転送)

BC[4:0]	コントローラ		ターゲット	
	アドレスフェーズ	データフェーズ	アドレスフェーズ	データフェーズ
00h	2 または 1 ビット	2 または 1 ビット	3 ～ 1 ビット	2 または 1 ビット
01h	3 ビット	3 ビット	4 ビット	3 ビット
02h	4 ビット	4 ビット	5 ビット	4 ビット
03h	5 ビット	5 ビット	6 ビット	5 ビット
04h	6 ビット	6 ビット	7 ビット	6 ビット
05h	7 ビット	7 ビット	8 ビット	7 ビット
06h	8 ビット	8 ビット	9 ビット	8 ビット
07h	9 ビット	9 ビット	—	9 ビット

表35.4　カウンタの値と残ビット数(I3C転送)

BC[4:0]	SDR (注1)	
	送信	受信
00h	1 ビット	2 または 1 ビット
01h	2 ビット	3 ビット
02h	3 ビット	4 ビット
03h	4 ビット	5 ビット
04h	5 ビット	6 ビット
05h	6 ビット	7 ビット
06h	7 ビット	8 ビット
07h	8 ビット	9 ビット
08h	9 ビット	—

注1.　アドレスフェーズは表35.3の場合と同じです。

35.2.55 キューバッファステータスレジスタ (ICQBSR)

アドレス RI3C0.ICQBSR 000E C394h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ISC[4:0]					IQFL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RQFL[7:0]								CQFL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CQFL[7:0]	コマンドキュー空き容量	コマンドキューの空きエントリ数を示します	R
b15-b8	RQFL[7:0]	レスポンスキュー占有容量	レスポンスキューに格納されているエントリの数を示します	R
b23-b16	IQFL[7:0]	IBIキュー占有容量	IBIキューに格納されているIBIデータのエントリ数を示します	R
b28-b24	ISC[4:0]	格納IBIステータス数 (注1)	IBIキューに格納されているIBIステータスのエントリ数を示します	R
b31-b29	—	予約ビット	読むと“0”が読めます	R

注1. 本ビットはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

35.2.56 データバッファステータスレジスタ (ICDBSR)

アドレス RI3C0.ICDBSR 000E C398h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RBFL[7:0]								TBFL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	TBFL[7:0]	送信データバッファ空き容量	送信データバッファの空き段数を示します	R
b15-b8	RBFL[7:0]	受信データバッファ占有容量	受信データバッファの使用段数を示します	R
b31-b16	—	予約ビット	読むと“0”が読めます	R

35.2.57　受信ステータスキューステータスレジスタ (ICSQSR)

アドレス　RI3C0.ICSQSR 000E C3C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SQFL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SQFL[7:0]	受信ステータスキュー占有容量	受信ステータスキューに格納されているエントリの数を示します	R
b31-b8	—	予約ビット	読むと“0”が読めます	R

注.　本レジスタはI3Cセカンダリコントローラモードおよび I3Cターゲットモードで使用します。

35.2.58　内部ステータスモニタレジスタ (ICIMR)

アドレス　RI3C0.ICIMR 000E C3CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SDAO	SCLO	SDAI	SCLI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SCLI	SCLラインモニタフラグ	0：SCL00ラインはLow 1：SCL00ラインはHigh	R
b1	SDAI	SDAラインモニタフラグ	0：SDA00ラインはLow 1：SDA00ラインはHigh	R
b2	SCLO	SCL出力モニタフラグ	0：SCL00端子をLowにしている 1：SCL00端子を解放している	R
b3	SDAO	SDA出力モニタフラグ	0：SDA00端子をLowにしている 1：SDA00端子を解放している	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

SCLO フラグ (SCL 出力モニタフラグ)、SDAO フラグ (SDA 出力モニタフラグ)

これらのビットを読んだ場合は、そのとき RI3C が出力している信号の状態が読めます。

35.2.59　コントローラエラーカウントレジスタ (ICCECR)

アドレス　RI3C0.ICCECR 000E C3D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CE2C[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CE2C[7:0]	CE2エラーカウンタ	I3CバスのI3CタイプCE2エラーをカウントします。読み出し時にクリアされます	R
b31-b8	—	予約ビット	読むと“0”が読めます	R

注.　本レジスタはI3Cコントローラモードおよび I3Cセカンダリコントローラモードで使用します。

35.3 データ構造

35.3.1 コマンドディスクリプタ

コマンドディスクリプタは、64 ビット長の構造体です。コマンドディスクリプタは、コマンドキューレジスタ (ICCQR) への書き込みにより、コマンドキューに追加されます。

ICCQR レジスタへの書き込みは、以下の順で行います。

1. 最初の書き込み：下位 32 ビット (コマンドディスクリプタ下位)
2. 2 番目の書き込み：上位 32 ビット (コマンドディスクリプタ上位)

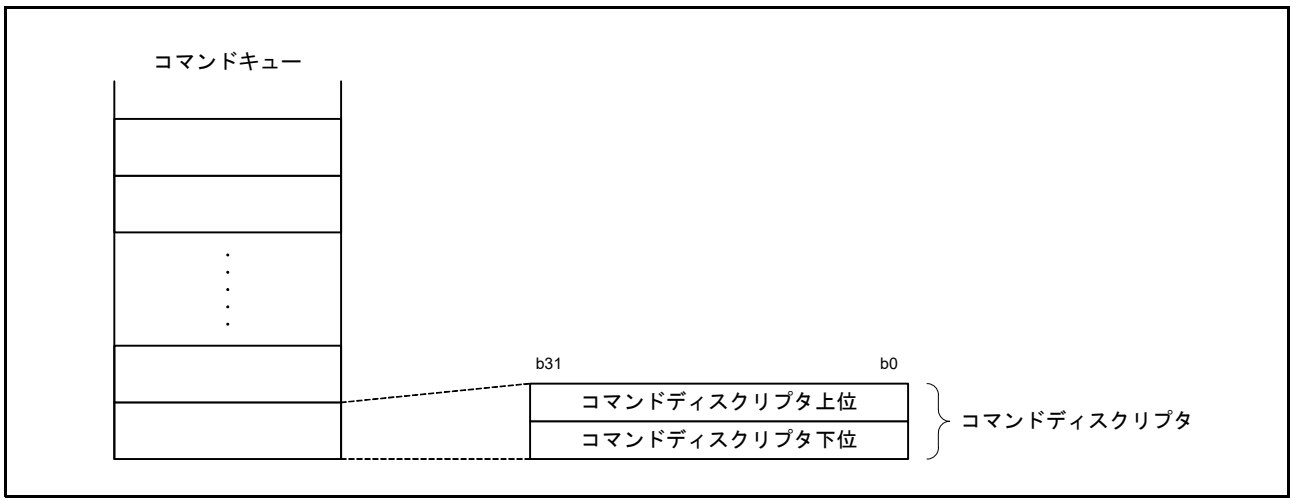


図 35.2 コマンドディスクリプタデータ構造

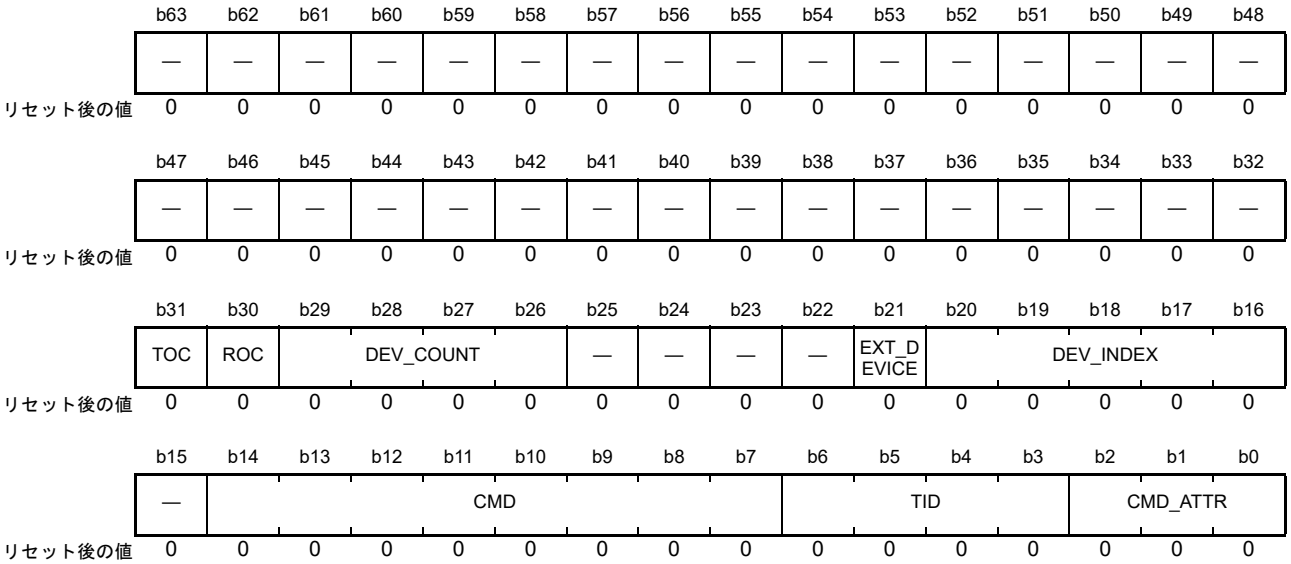
RI3C では、以下の各コマンドタイプごとにコマンドディスクリプタ構造体を用意しています。

- アドレス割り当てコマンド
- 即時データ転送コマンド
- 通常データ転送コマンド
- コンボデータ転送コマンド
- 内部コントロールコマンド

35.3.1.1　アドレス割り当てコマンド

本コマンドはアドレス割り当て(ENTDAA, SETDASA)(注1)に使用します。
アドレス割り当てコマンド構造体の詳細を以下に示します。

注1.　SETAASA CCCの発行時には、即時データ転送コマンドを使用します。



ビット	シンボル	フィールド名	機能	R/W
b2-b0	CMD_ATTR	コマンド属性	“010b”(アドレス割り当てコマンド)を指定してください	W
b6-b3	TID	トランザクションID	本コマンドのタグとして使用されます。0h～7hの範囲で指定してください	W
b14-b7	CMD	転送コマンドCCC値	使用するコマンドのコマンドコードを指定してください。 ENTDAA (Broadcast)：07h SETDASA (Direct)：87h	W
b15	—	予約	“0”にしてください	W
b20-b16	DEV_INDEX	デバイスインデックス	ダイナミックアドレスを割り当てるターゲットデバイスのDATテーブルインデックス(ICTDATRmレジスタのmの値)を指定してください	W
b21	EXT_DEVICE	拡張デバイスインデックス	0：DEV_INDEXフィールドで示されるICTDATRmレジスタを使用する 1：ICEDATRレジスタを使用する	W
b25-b22	—	予約	“0”にしてください	W
b29-b26	DEV_COUNT	デバイスカウント	ダイナミックアドレスを割り当てるデバイスの個数を指定してください	W
b30	ROC	完了時レスポンス	0：NOT_REQUIRED：レスポンスステータスは不要 1：REQUIRED：レスポンスステータスは必要	W
b31	TOC	完了時終了	0：RESTART：転送完了時に、リスタートコンディション(Sr)を発行する 1：STOP：転送完了時に、ストップコンディション(P)を発行する	W
b63-b32	—	予約	“0”にしてください	W

TID フィールド (トランザクション ID)

本フィールドに指定した値は、レスポンスディスクリプタの TID フィールドに反映されます。

DEV_INDEX フィールド (デバイスインデックス)

ダイナミックアドレス割り当てで、アドレスを割り当てるターゲットデバイスの DAT テーブルインデックスを示します。

このコマンドで使用する各 DAT エントリ (ICTDATRm レジスタ) には、スタティックアドレス (SETDASA CCC で使用する場合) と同様にダイナミックアドレスを指定してください。

DEV_COUNT フィールド (デバイスカウント)

ダイナミックアドレスを割り当てるデバイスの数を示します。DAT エントリは DEV_INDEX から始まり、DEV_COUNT 回処理されます。

ROC フィールド (完了時レスポンス)

転送コマンドが正常に完了した後、レスポンスステータスを生成するかどうかを制御します。成功した場合は、ICRQR レジスタから読み出せます。転送に失敗した場合は、常にレスポンスステータスが生成されます。

TOC フィールド (完了時終了)

転送コマンドの完了後に、どのバスコンディションを発行するかを制御します。

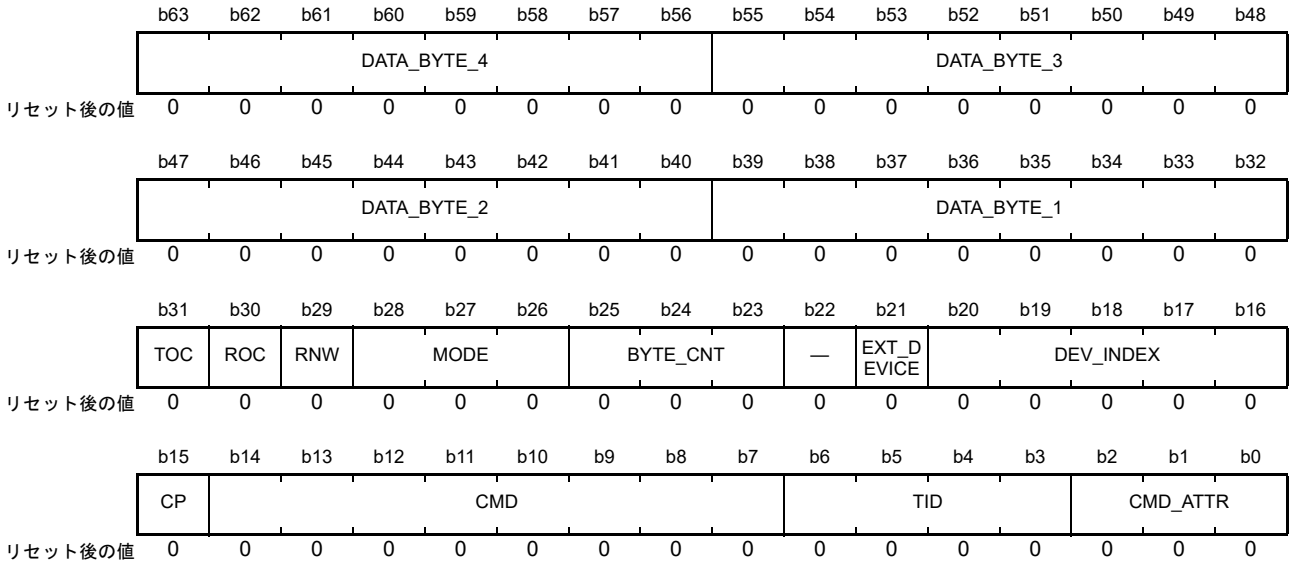
ENTDAA の場合、TOC フィールドの設定値にかかわらずストップコンディションを発行します。

TOC フィールドを “0” (RESTART) にして SETDASA CCC を送信する場合、次のコマンドも SETDASA CCC を指定したアドレス割り当てコマンドに設定されなければなりません。次のコマンドが SETDASA CCC でない場合、TOC フィールドを “1” (STOP) にしなければいけません。

35.3.1.2　即時データ転送コマンド

即時データ転送コマンドの構造体には、転送するデータバイト (最大 4 バイト) を直接設定するため、短いライト型転送やデータを書き込む CCC にのみ有効です。リード型転送には使えません。

即時データ転送コマンド構造体の詳細を以下に示します。



ビット	シンボル	フィールド名	機能	R/W
b2-b0	CMD_ATTR	コマンド属性	“001b” (即時データ転送コマンド)を指定してください	W
b6-b3	TID	トランザクションID	本コマンドのタグとして使用されます。0h～7hの範囲で指定してください	W
b14-b7	CMD	転送コマンドCCC値	使用するコマンドのコマンドコードを指定してください	W
b15	CP	コマンド有無	0：TRANSFER：このディスクリプタはSDR転送を表しているため、CMDフィールドは無効 1：CCC：このディスクリプタはCCC転送を表しているため、CMDフィールドは有効	W
b20-b16	DEV_INDEX	デバイスインデックス	この転送で指名されるターゲットデバイスのDATテーブルインデックス(ICTDATRmレジスタのmの値)を指定してください	W
b21	EXT_DEVICE	拡張デバイスインデックス	0：DEV_INDEXで示されるICTDATRmテーブルを使用する 1：ICEDATRテーブルを使用する	W
b22	—	予約	“0”にしてください	W
b25-b23	BYTE_CNT	バイトカウント	このディスクリプタで使用する有効なデータバイトの数。 0h (ペイロードなし)～4h (4バイト)の範囲で指定してください	W
b28-b26	MODE	モード&スピード	• I3C転送 b28 b26 0 0 0：I3C SDR0、ICSBRレジスタ設定値(～12.5 MHz) 0 0 1：I3C SDR1、ICEBRレジスタ設定値(～8 MHz) 0 1 1：I3C SDR2、ICSBRレジスタ設定値 × 2 (～6 MHz) 1 0 0：I3C SDR3、ICEBRレジスタ設定値 × 2 (～4 MHz) 1 0 1：I3C SDR4、ICEBRレジスタ設定値 × 4 (～2 MHz) 上記以外は設定しないでください • I²C転送 b28 b26 0 0 0：I²C FM、ICSBRレジスタ設定値(～400 kHz) 0 0 1：I²C FM+、ICEBRレジスタ設定値(～1 MHz) 上記以外は設定しないでください	W
b29	RNW	転送方向(RnW)	“0” (ライト転送)にしてください	W

ビット	シンボル	フィールド名	機能	R/W
b30	ROC	完了時レスポンス	0：NOT_REQUIRED：レスポンスステータスは不要 1：REQUIRED：レスポンスステータスは必要	W
b31	TOC	完了時終了	0：RESTART：転送完了時に、リスタートコンディション(Sr)を発行する 1：STOP：転送完了時に、ストップコンディション(P)を発行する	W
b39-b32	DATA_BYTE_1	データバイト1	送信するデータの1バイト目	W
b47-b40	DATA_BYTE_2	データバイト2	送信するデータの2バイト目	W
b55-b48	DATA_BYTE_3	データバイト3	送信するデータの3バイト目	W
b63-b56	DATA_BYTE_4	データバイト4	送信するデータの4バイト目	W

DEV_INDEX フィールド (デバイスインデックス)

このデータ転送で指定するターゲットデバイスに対応した DAT テーブル (ICTDATRm レジスタ) のインデックスを示します。このフィールドで示される ICTDATRm レジスタには、有効なダイナミックアドレスが書かれていなければなりません。このフィールドはブロードキャスト CCC では無視されます。

BYTE_CNT フィールド (バイトカウント)

このディスクリプタで使用する有効なデータバイトの数です。ペイロードが定義されていない CCC を除き、このフィールドは 0 以外の値を設定する必要があります。

MODE フィールド (モード & スピード)

I3C 転送または I^2C 転送におけるモードとスピードを設定します。

このフィールドの解釈は、DEV_INDEX フィールドで指定された ICTDATRm レジスタの TYPE ビットに依存します。

35.3.1.3　通常データ転送コマンド

通常データ転送コマンドの構造体には、転送するデータは含まれません。I3C コントローラモード時は、送受信データレジスタ (ICDR) 経由でデータの送受信を行い、I3C ターゲットモード時は、IBI キューレジスタ (ICIQR) 経由でデータの送受信を行います。

各モードの通常データ転送コマンド構造体の詳細を以下に示します。

(1)　I3C コントローラモード

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	DATA_LENGTH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TOC	ROC	RNW	MODE			—	—	—	—	EXT_DEVICE	DEV_INDEX				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CP	CMD								TID				CMD_ATTR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	フィールド名	機能	R/W
b2-b0	CMD_ATTR	コマンド属性	“000b” (通常データ転送コマンド) を指定してください	W
b6-b3	TID	トランザクションID	本コマンドのタグとして使用されます。0h～7hの範囲で指定してください	W
b14-b7	CMD	転送コマンドCCC値	使用するコマンドのコマンドコードを指定してください	W
b15	CP	コマンド有無	0：TRANSFER：このディスクリプタはSDR転送を表しているため、CMDフィールドは無効 1：CCC：このディスクリプタはCCC転送を表しているため、CMDフィールドは有効	W
b20-b16	DEV_INDEX	デバイスインデックス	この転送で指名されるターゲットデバイスのDATテーブルインデックス (ICTDATRmレジスタのmの値) を指定してください	W
b21	EXT_DEVICE	拡張デバイスインデックス	0：DEV_INDEXで示されるICTDATRmテーブルを使用する 1：ICEDATRテーブルを使用する	W
b25-b22	—	予約	“0”にしてください	W
b28-b26	MODE	モード&スピード	• I3C転送 b28 b26 0 0 0：I3C SDR0、ICSBRレジスタ設定値 (～12.5 MHz) 0 0 1：I3C SDR1、ICEBRレジスタ設定値 (～8 MHz) 0 1 1：I3C SDR2、ICSBRレジスタ設定値 × 2 (～6 MHz) 1 0 0：I3C SDR3、ICEBRレジスタ設定値 × 2 (～4 MHz) 1 0 1：I3C SDR4、ICEBRレジスタ設定値 × 4 (～2 MHz) 上記以外は設定しないでください • I^2C転送 b28 b26 0 0 0：I^2C FM、ICSBRレジスタ設定値 (～400 kHz) 0 0 1：I^2C FM+、ICEBRレジスタ設定値 (～1 MHz) 上記以外は設定しないでください	W

ビット	シンボル	フィールド名	機能	R/W
b29	RNW	転送方向(RnW)	0：WRITE：ライト転送 1：READ：リード転送	W
b30	ROC	完了時レスポンス	0：NOT_REQUIRED：レスポンスステータスは不要 1：REQUIRED：レスポンスステータスは必要	W
b31	TOC	完了時終了	0：RESTART：転送完了時に、リスタートコンディション(Sr)を発行する 1：STOP：転送完了時に、ストップコンディション(P)を発行する	W
b47-b32	—	予約	“0”にしてください	W
b63-b48	DATA_LENGTH	データ長	転送するバイト数を指定してください	W

RNW フィールド (転送方向 (RnW))

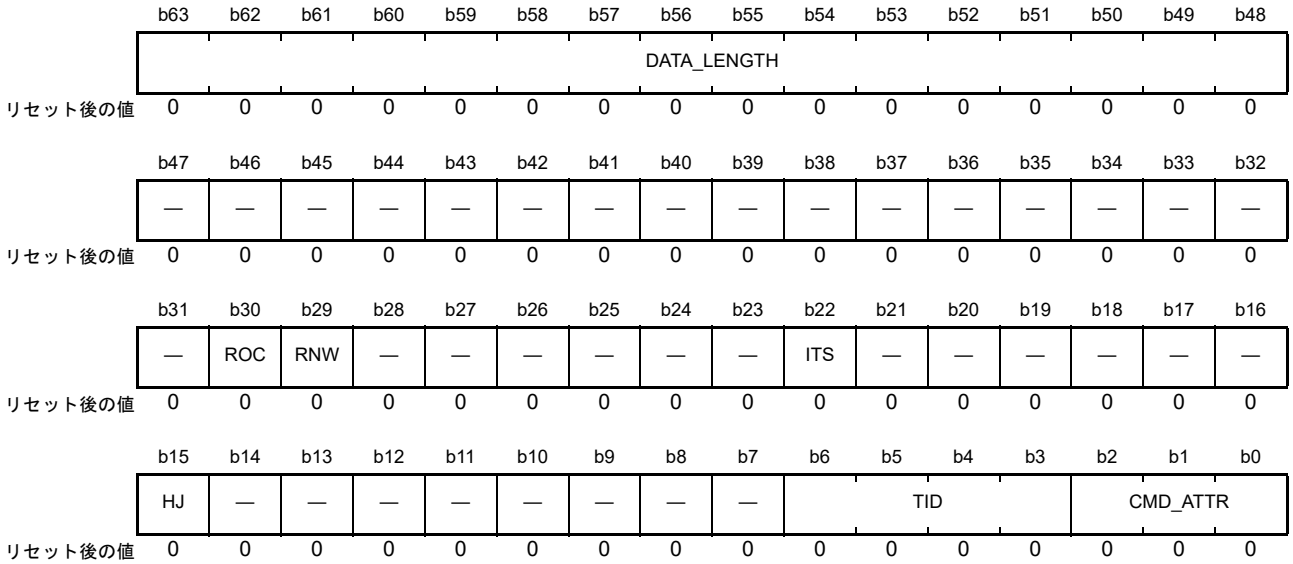
本データ転送の転送方向を表します。

DATA_LENGTH フィールド (データ長)

転送するデータバイトの数です。

ペイロードが定義されていない CCC の場合を除き、このフィールドには “0000h” 以外の値を設定してください。GETMXDS コマンドの場合、“0005h” を設定してください。

(2) I3C ターゲットモード



ビット	シンボル	フィールド名	機能	R/W
b2-b0	CMD_ATTR	コマンド属性	“000b” (データ転送コマンド)を指定してください	W
b6-b3	TID	トランザクションID	本コマンドのタグとして使用されます。0h～7hの範囲で指定してください	W
b14-b7	—	予約	“0”にしてください	W
b15	HJ	Hot-Joinイベント	0：ターゲット割り込み要求またはCRR要求 1：Hot-Joinイベント	W
b21-b16	—	予約	“0”にしてください	W
b22	ITS	タイムスタンプ有無	0：タイムスタンプなし 1：タイムスタンプあり	W
b28-b23	—	予約	“0”にしてください	W
b29	RNW	転送方向(RnW)	0：WRITE：ライト転送(CRR要求) 1：READ：リード転送(ターゲット割り込み要求)	W
b30	ROC	完了時レスポンス	0：NOT_REQUIRED：レスポンスステータスは不要 1：REQUIRED：レスポンスステータスは必要	W
b47-b31	—	予約	“0”にしてください	W
b63-b48	DATA_LENGTH	データ長	転送するバイト数を指定してください	W

HJ フィールド (Hot-Join イベント)

この IBI データ転送で、Hot-Join イベントが有効であるかどうかを示します。

RNW フィールド (転送方向 (RnW))

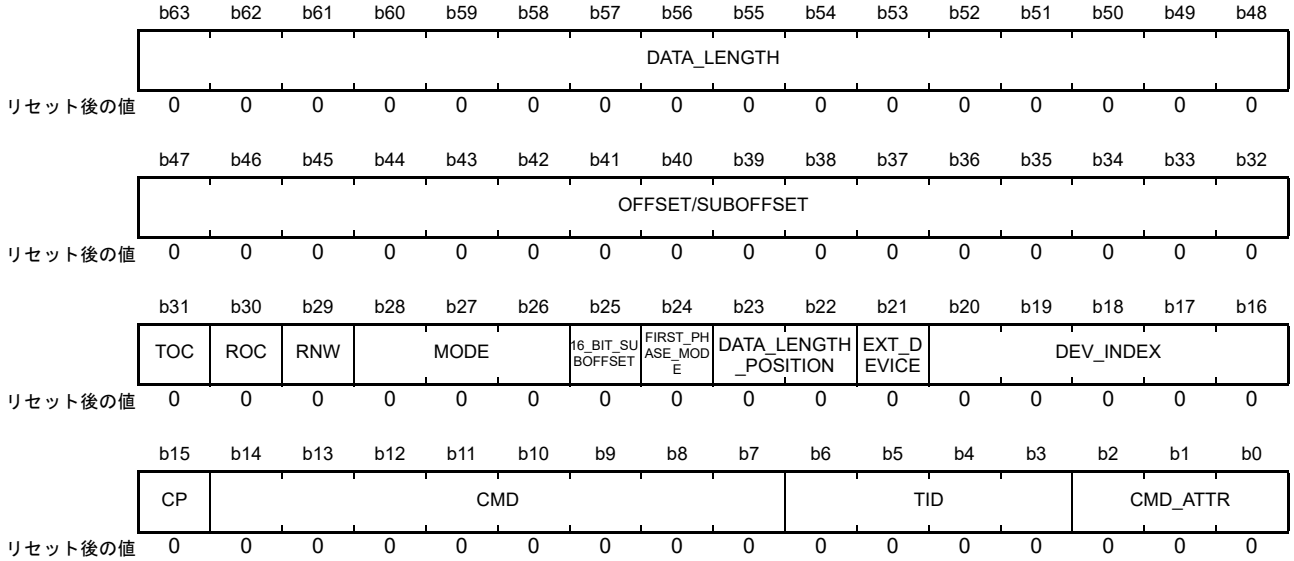
本データ転送の転送方向を表します。Hot-Join イベント時は無効です。

35.3.1.4 コンボデータ転送コマンド

コンボデータ転送コマンドのコマンドディスクリプタには、ライト＋リードまたはライト＋ライトの複合動作を記述します。

データの送受信は、送受信データレジスタ (ICDR) 経由で行います。

コンボデータ転送コマンド構造体の詳細を以下に示します。



ビット	シンボル	フィールド名	機能	R/W
b2-b0	CMD_ATTR	コマンド属性	“011b” (コンボデータ転送コマンド)を指定してください	W
b6-b3	TID	トランザクションID	本コマンドのタグとして使用されます。0h～7hの範囲で指定してください	W
b14-b7	CMD	転送コマンドCCC値	本コマンドでは予約です。“00h”を指定してください	W
b15	CP	コマンド有無	本コマンドでは“0”にしてください	W
b20-b16	DEV_INDEX	デバイスインデックス	この転送で指名されるターゲットデバイスのDATテーブルインデックス(ICTDATRmレジスタのmの値)を指定してください	W
b21	EXT_DEVICE	拡張デバイスインデックス	0：DEV_INDEXで示されるICTDATRmテーブルを使用する 1：ICEDATRテーブルを使用する	W
b23-b22	DATA_LENGTH_POSITION	データ長フィールド位置	“00b”にしてください	W
b24	FIRST_PHASE_MODE	第1フェーズモード	0：SDR：第1フェーズをSDRモードで実行する 1：MODE：第1フェーズをMODEフィールドに示すモードで実行する	W
b25	16_BIT_SUBOFFSET	サブオフセットサイズ	0：8_BIT_SUBOFFSET：サブオフセットは8ビット長。値は、OFFSET/SUBOFFSETフィールドの下位バイトに書いてください 1：16_BIT_SUBOFFSET：サブオフセットは16ビット長	W

ビット	シンボル	フィールド名	機能	R/W
b28-b26	MODE	モード&スピード	• I3C転送 b28 b26 0 0 0：I3C SDR0、ICSBRレジスタ設定値(～12.5 MHz) 0 0 1：I3C SDR1、ICEBRレジスタ設定値(～8 MHz) 0 1 1：I3C SDR2、ICSBRレジスタ設定値×2(～6 MHz) 1 0 0：I3C SDR3、ICEBRレジスタ設定値×2(～4 MHz) 1 0 1：I3C SDR4、ICEBRレジスタ設定値×4(～2 MHz) 上記以外は設定しないでください • I²C転送 b28 b26 0 0 0：I²C FM、ICSBRレジスタ設定値(～400 kHz) 0 0 1：I²C FM+、ICEBRレジスタ設定値(～1 MHz) 上記以外は設定しないでください	W
b29	RNW	転送方向(RnW)	0：WRITE：ライト転送 1：READ：リード転送	W
b30	ROC	完了時レスポンス	0：NOT_REQUIRED：レスポンスステータスは不要 1：REQUIRED：レスポンスステータスは必要	W
b31	TOC	完了時終了	0：RESTART：転送完了時に、リスタートコンディション(Sr)を発行する 1：STOP：転送完了時に、ストップコンディション(P)を発行する	W
b47-b32	OFFSET/SUBOFFSET	オフセット/サブオフセット	第1フェーズで転送するOffsetフィールドの値を設定します	W
b63-b48	DATA_LENGTH	データ長	第2フェーズで転送するデータのバイト数を指定してください。“0000h”以外の値にしてください	W

DATA_LENGTH_POSITION フィールド (データ長フィールド位置)

転送の第 1 フェーズにおいて、DATA_LENGTH フィールドのデータを配置するかどうか、どこに配置するかを示します。

FIRST_PHASE_MODE フィールド (第 1 フェーズモード)

コンボデータ転送の第 1 フェーズを SDR モードで実行するか、MODE フィールドに示すモードで実行するかを示します。

16_BIT_SUBOFFSET フィールド (サブオフセットサイズ)

転送の第 1 フェーズにおける Offset フィールドと Length フィールドを、8 ビットにするか 16 ビットにするかを設定します。8 ビットの場合、OFFSET/SUBOFFSET フィールド、DATA_LENGTH フィールドの下位バイトにデータを書いてください。

RNW フィールド (転送方向 (RnW))

第 2 フェーズの転送方向を指定します。

35.3.1.5　内部コントロールコマンド

内部コントロールコマンドのコマンドディスクリプタは、I3C 転送コマンドではなく、RI3C 自体を制御するために使用します。

内部コントロールコマンド構造体の詳細を以下に示します。

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ON_OFF	MIPI_CMD				—	TID				CMD_ATTR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	フィールド名	機能	R/W
b2-b0	CMD_ATTR	コマンド属性	“111b” (内部コントロールコマンド) を指定してください	W
b6-b3	TID	トランザクションID (注1)	本コマンドのタグとして使用されます。0h～7hの範囲で指定してください	W
b7	—	予約	“0”にしてください	W
b11-b8	MIPI_CMD	MIPI Alliance コマンド	b11　b8 0 0 0 0：NoOp (転送は実施しない) 0 0 1 0：ブロードキャストアドレス自動送信 上記以外は設定しないでください	W
b12	ON_OFF	On/Off	0：ブロードキャストアドレス自動送信無効 1：ブロードキャストアドレス自動送信有効 (注2)	W
b63-b13	—	予約	“0”にしてください	W

注1.　内部コントロールコマンドを実行した場合、レスポンスディスクリプタは格納されません。
注2.　本コマンドで有効にしたブロードキャストアドレスの自動送信は、ICRCR.ISRSTを“1”にすると無効になります。

35.3.2 レスポンスディスクリプタ

レスポンスディスクリプタは、正しくコマンドが実行されたかどうか、および転送されたデータ量を記述するリードオンリーの 32 ビット構造体です。

レスポンスディスクリプタは、レスポンスキューレジスタ (ICRQR) 経由でレスポンスキューから読み出します。

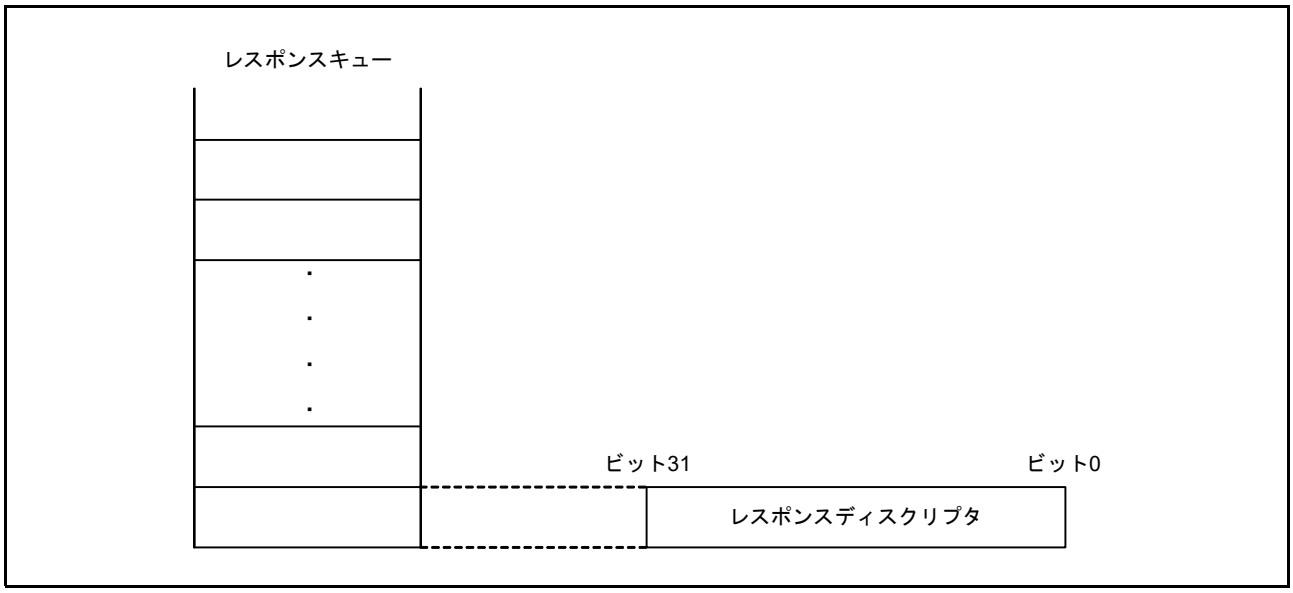
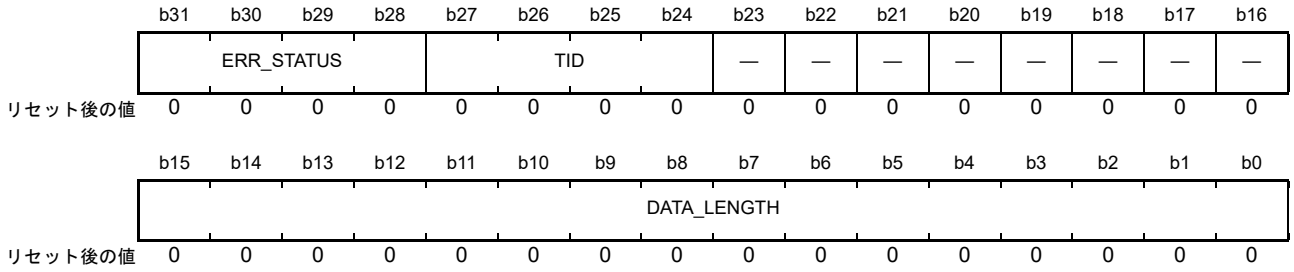


図 35.3 レスポンスディスクリプタデータ構造

I3C コントローラモード時と I3C ターゲットモード時で、レスポンスディスクリプタの構造が異なります。

各モードのレスポンスディスクリプタ構造体の詳細を以下に示します。

(1) I3C コントローラモード



ビット	シンボル	フィールド名	機能	R/W
b15-b0	DATA_LENGTH	データ長/デバイスカウント	ライト転送時：残りのデータ長(バイト数) リード転送時：受信済データ長(バイト数) アドレス割り当て時：残りのデバイス数	R
b23-b16	—	予約	読むと“0”が読めます	R
b27-b24	TID	トランザクションID	キューに入れられたコマンドディスクリプタがバス上に送信されると、そのTIDフィールドの値と同じ値が格納されます	R
b31-28	ERR_STATUS	エラーステータス	b31 b28 0 0 0 0：SUCCESS：転送成功、エラーなし 0 1 0 0：ADDR_HEADER：アドレスヘッダエラー 0 1 0 1：NACK：アドレスNACKまたはダイナミックアドレス割り当てNACK 0 1 1 0：OVL：受信オーバフローエラー/送信アンダフローエラー 1 0 0 0：ABORTED：転送アボート 1 0 0 1：I2C_WR_DATA_NACK：I²Cライトデータ転送時NACK受信 1 0 1 0：NOT_SUPPORTED：未サポートコマンド	R

TID フィールド (トランザクション ID)

コマンドディスクリプタの TID フィールドに指定した値が反映されます。このフィールドを確認することで、どのコマンドに対するレスポンスであるかが判断できます。

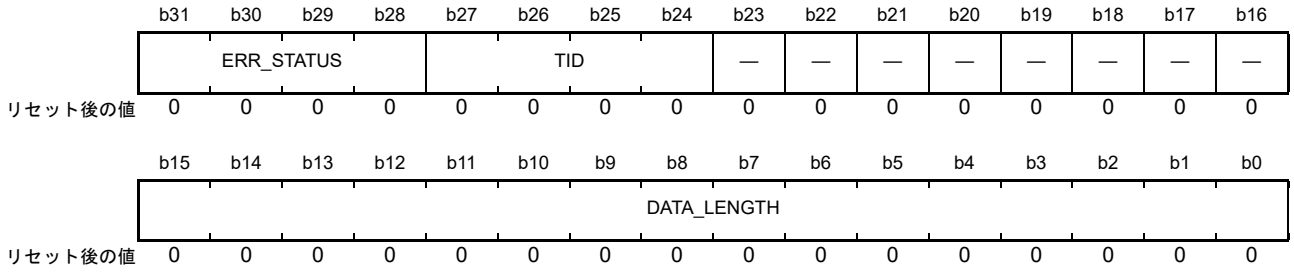
ERR_STATUS フィールド (エラーステータス)

TID フィールドで表されるコマンドの転送ステータスが表示されます。

各エラーの詳細は以下のとおり。

- ADDR_HEADER：ブロードキャストアドレスにどのターゲットデバイスも応答しなかった
- NACK：ENTDAA に応答したターゲットデバイスがダイナミックアドレスを受け入れなかった、または呼ばれたターゲットデバイスがそのダイナミックアドレスに応答しなかった
- OVL：送信データバッファがアンダフローした、または受信データバッファがオーバフローした
- ABORTED：トランザクションが中断された
- I2C_WR_DATA_NACK：I²C ライト転送中にターゲットデバイスが NACK 応答した
- NOT_SUPPORTED：不正または無効なフィールド値の組み合わせを持ったコマンドディスクリプタ構造体が格納された

(2) I3C ターゲットモード



ビット	シンボル	フィールド名	機能	R/W
b15-b0	DATA_LENGTH	データ長	ターゲット割り込み要求時：残りのデータ長(バイト数)	R
b23-b16	—	予約	読むと“0”が読めます	R
b27-b24	TID	トランザクションID	キューに入れられたコマンドディスクリプタがバス上に送信されると、そのTIDフィールドの値と同じ値が格納されます	R
b31-28	ERR_STATUS	エラーステータス	b31 b28 0 0 0 0：SUCCESS：転送成功、エラーなし 0 1 0 0：ADDR_HEADER：アドレスヘッダエラー 0 1 0 1：NACK：アドレスNACKまたはダイナミックアドレス割り当てNACK 0 1 1 0：OVL：受信オーバフローエラー/送信アンダフローエラー 1 0 0 0：ABORTED：転送アボート 1 0 1 0：NOT_SUPPORTED：未サポートコマンド	R

ERR_STATUS フィールド (エラーステータス)

TID フィールドで表されるコマンドの転送ステータスが表示されます。

各エラーの詳細は以下のとおり。

- ADDR_HEADER：ブロードキャストアドレスにどのターゲットデバイスも応答しなかった
- NACK：ENTDAA に応答したターゲットデバイスがダイナミックアドレスを受け入れなかった、または呼ばれたターゲットデバイスがそのダイナミックアドレスに応答しなかった
- OVL：送信データバッファがアンダフローした、または受信データバッファがオーバフローした
- ABORTED：トランザクションが中断された
- NOT_SUPPORTED：不正または無効なフィールド値の組み合わせを持ったコマンドディスクリプタ構造体が格納された、ICTEVR レジスタで禁止されている IBI を要求した、または、IBI 用のコマンドディスクリプタ構造体をコマンドキューに格納した後に DESEC CCC によってその IBI が禁止された

35.3.3 IBI ステータスディスクリプタ

IBI ステータスディスクリプタは、I3C バス上のターゲットデバイスから受信した IBI イベントを記述するリードオンリーの 32 ビット構造体です。I3C コントローラモード時に使用します。

IBI ステータスディスクリプタは、IBI キューレジスタ (ICIQR) 経由で IBI キューから読み出します。

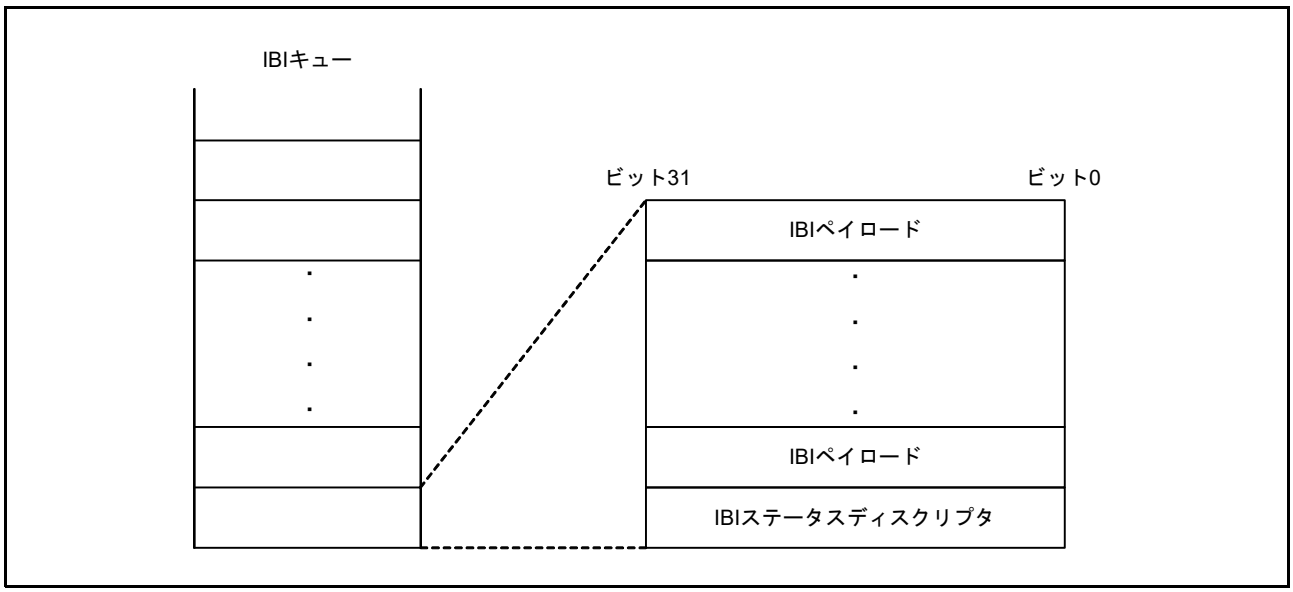


図 35.4 IBI ステータスディスクリプタデータ構造

IBI ステータスディスクリプタ構造体の詳細を以下に示します。

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IBI_STS	—	—	ERR_STATUS			TS	LAST_STATUS	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IBI_ID								DATA_LENGTH							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	フィールド名	機能	R/W
b7-b0	DATA_LENGTH	IBIデータ長	IBIデータのバイト数	R
b15-b8	IBI_ID	IBI受信ID	• ターゲット割り込み要求、CRR要求の場合 b15-b9：ターゲットのデバイスアドレス b8：RnWビットの値 • Hot-Join要求の場合 b15-b9：Hot-Join ID (= 02h) b8：RnWビットの値 (= 0)	R
b23-b16	—	予約	読むと“0”が読めます	R
b24	LAST_STATUS	最終IBIステータス	0：このIBIステータスディスクリプタは最終ではない 1：このIBIステータスディスクリプタは最終である	R
b25	TS	IBIタイムスタンプ有無	0：OFF：IBIにタイムスタンプがない 1：ON：IBIにタイムスタンプがある	R

ビット	シンボル	フィールド名	機能	R/W
b28-26	ERR_STATUS	IBIエラーステータス	b28 b26 0 0 0：SUCCESS 0 1 1：FRAME：フレームエラー 1 0 0：ADDR_HEADER：アドレスヘッダエラー 1 0 1：NACK：アドレスNACK 1 1 1：ABORTED：コントローラに対し中断	R
b30-b29	—	予約	読むと“0”が読めます	R
b31	IBI_STS	IBI受信ステータス	0：IBIはACKで処理された 1：IBIはNACKで処理され、自動的に無効化された	R

LAST_STATUS フィールド (最終 IBI ステータス)

1 つの IBI イベントに対して複数の IBI ステータスディスクリプタが必要になる場合があります。このフィールドが “0” であると、後続の IBI ステータスディスクリプタがあることを示します。

このフィールドが “0” であっても、DATA_LENGTH フィールドを確認してデータのペイロード長を評価してください。

IBI_STS フィールド (IBI 受信ステータス)

受信した IBI をアクティブコントローラがどのように処理したかを示します。

35.3.4 受信ステータスディスクリプタ

受信ステータスディスクリプタは、コントローラが発行したリード/ライト転送が正しく実行されたかどうかと、転送されたデータの量を記述するリードオンリーの 32 ビット構造体です。I3C ターゲットモード時に使用します。

受信ステータスディスクリプタは、受信ステータスキューレジスタ (ICSQR) 経由で受信ステータスキューから読み出します。

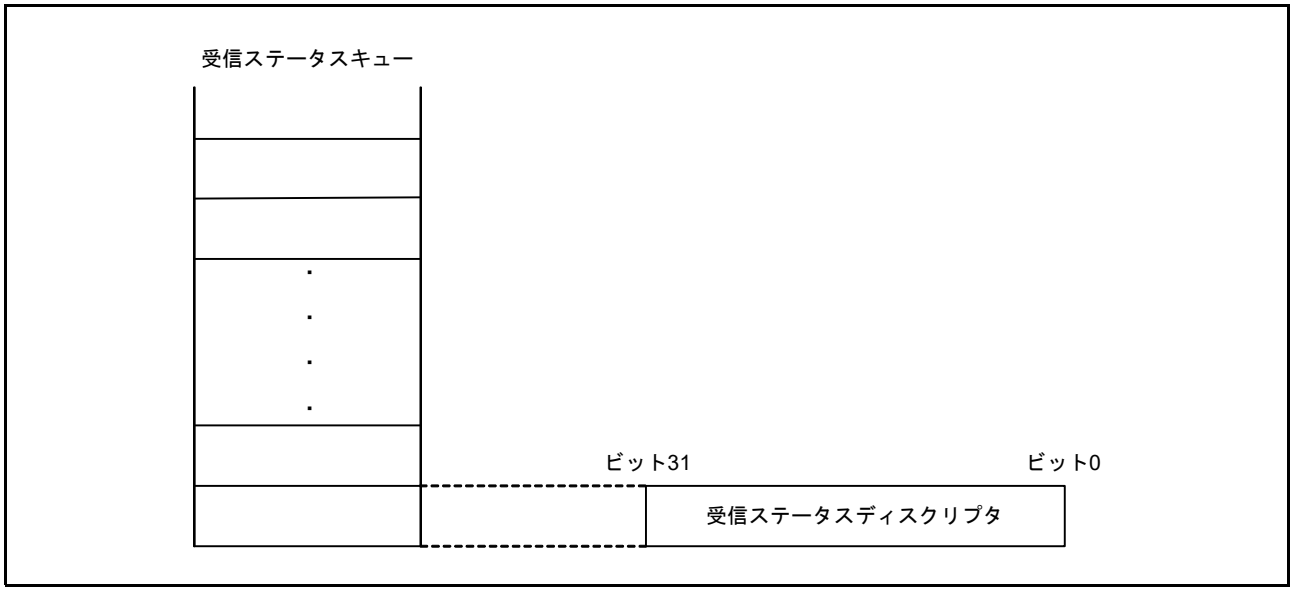
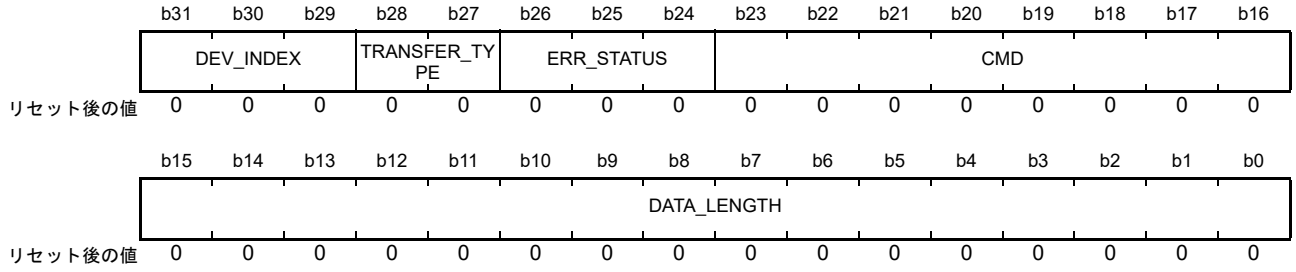


図 35.5 受信ステータスディスクリプタデータ構造

受信ステータスディスクリプタ構造体の詳細を以下に示します。



ビット	シンボル	フィールド名	機能	R/W
b15-b0	DATA_LENGTH	データ長	このフィールドの意味は、コンテクストに依存します。 ライト転送時：受信データ長(バイト数) リード転送時：送信データ長(バイト数)	R
b23-b16	CMD	コマンドコード	• I3C SDR プライベート転送、Legacy I²C 転送の場合 b23：転送タイプ(0：ライト/1：リード) b22-b20：予約 b19：転送モード(0：I3C SDR/1：Legacy I²C) b18-b16：予約 • I3C SDR CCC 転送の場合 本転送のコマンドディスクリプタで指定された CCC コマンドコードが格納されます。	R

ビット	シンボル	フィールド名	機能	R/W
b26-b24	ERR_STATUS	エラーステータス	b26 b24 0 0 0：SUCCESS：転送成功、エラーなし 1 0 0：ADDR_HEADER：アドレスヘッダエラー 1 0 1：NACK：ターゲットNACK 1 1 0：OVL：FIFOオーバフロー/アンダフロー 1 1 1：ABORTED：コントローラに対し中断	R
b28-b27	TRANSFER_TYPE	転送タイプ	b28 b27 0 0：I3C SDRプライベート転送/Legacy I^2C転送 0 1：I3C CCC	R
b31-29	DEV_INDEX	デバイスインデックス	本転送に応答したデバイスのDATテーブルインデックス(ICTDATRmレジスタのmの値)を示します	R

35.4　動作説明

35.4.1　データハンドラ

表 35.5 に転送方法とキューの関係を示します。

RI3C は FIFO バッファ転送のみをサポートしています。データとコマンドが書き込まれると、RI3C は自律的に転送を開始します。

表35.5　転送方法およびキュー

プロトコル	転送方法	キュー/バッファ	サイズ	コントローラ	ターゲット	セカンダリコントローラ
I3Cモード	FIFOバッファ転送	コマンドキュー	64 ビット × 2 段	○	○	○
		レスポンスキュー	32 ビット × 2 段	○	○	○
		送信データバッファ	32 ビット × 2 段	○	○	○
		受信データバッファ	32 ビット × 2 段	○	○	○
		受信ステータスキュー	32 ビット × 2 段	—	○	○
		IBIステータスキュー	32 ビット × 2 段	○	—	○
		IBIデータバッファ	32 ビット × 6 段	○	○	○

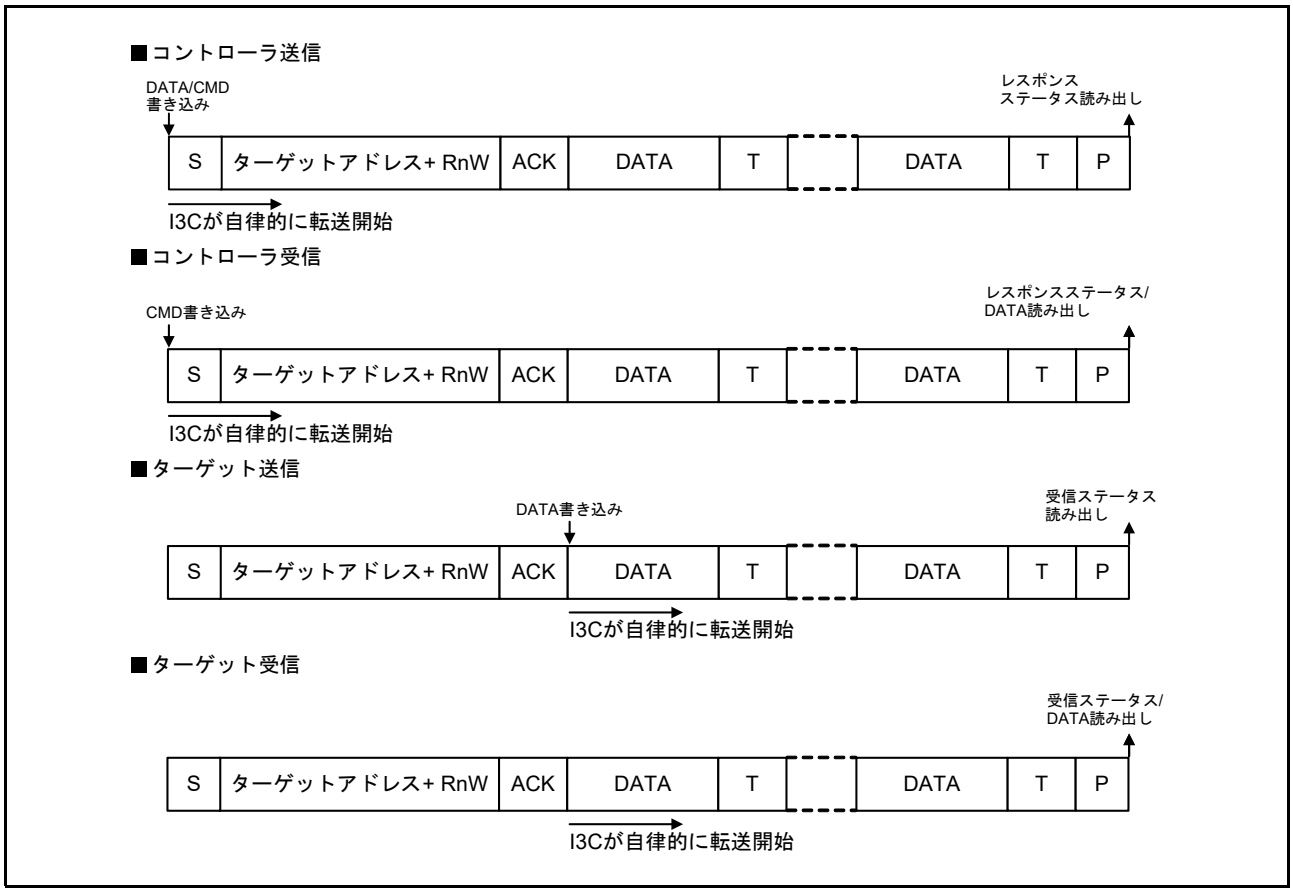


図 35.6　FIFO バッファ転送のデータハンドラ

35.4.2 I3C プロトコル

35.4.2.1 通信プロトコル

(1) I3C 通信データフォーマット

図 35.7 ～図 35.10 は各 I3C プロトコルの典型的な通信を示したものです。これらの図だけでは RI3C で実行できるすべての通信を網羅できませんが、各 I3C プロトコルで使う信号と送信フォーマットに関する有用な入門編としてご利用いただけます。

図 35.7 に、ブロードキャストアドレス (7Eh) を使用した I3C シングルデータレート (SDR) モードでの通信の例を示します。これは、SDR モードでアドレス “2Bh” のターゲットから 1 バイトのデータをコントローラが読み出す事例です。

バスフリー状態から、コントローラは SCL ラインを High に保ったまま SDA ラインを Low にして、スタートコンディションを発行します。次に、ブロードキャストアドレス (7Eh) に続けて RnW (0：ライト) を発行します。その後、コントローラはプルアップ抵抗をオンにし、オープンドレインになります。すべてのターゲットは、SDA ラインを Low にすることにより ACK 応答します (図中のピンク色の網掛けは、このとき SDA ラインがターゲット側のコントロール下にあることを意味しています)。次に、コントローラはリスタートコンディションを発行し、読み出したいターゲットのアドレス (2Bh) に続けて RnW (1：リード) を発行します。その後、コントローラはプルアップ抵抗をオンにしてオープンドレインになり、ターゲットが SDA ラインを Low にして ACK 応答できるようにします。この時点で、コントローラは SCL ラインをトグルし続け、SDA ラインを開放します。ターゲットは、SDA ラインを駆動して 1 バイト分のデータ (4Ah) に続けて T を送ります。T = 1 は続きのデータがあることを、T = 0 はデータが終わりであることをコントローラに通知します。ここでは、追加のデータがあるため、ターゲットは SCL が High になるまで SDA を High に駆動し、その後 SDA を解放します。コントローラは、弱いプルアップで SDA を High に保つことで、もう 1 バイト送信するようターゲットに知らせるか SDA を Low にする (SCL が High なのでリスタートコンディション) ことで、コントローラが読み出しを終了して引き継ぐことをターゲットに知らせるかを選択できます。

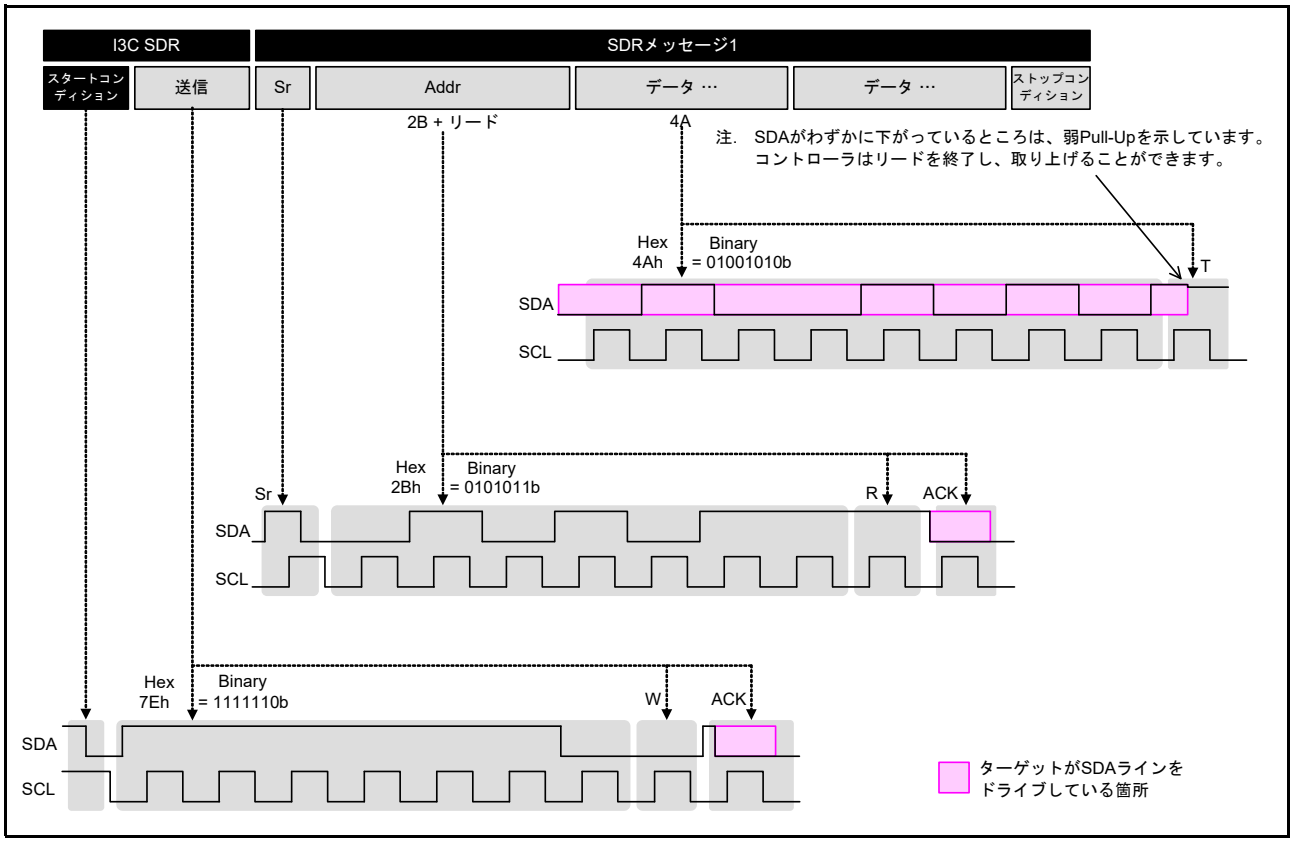


図 35.7 ブロードキャストアドレス (7Eh) を使用した I3C SDR モードでの通信の例

図 35.8 に、ブロードキャストアドレス (7Eh) を使用しない I3C シングルデータレート (SDR) モードでの通信の例を示します。これは、SDR モードでアドレス “2Bh” のターゲットから 1 バイトのデータをコントローラが読み出す事例です。

バスフリー状態から、コントローラはスタートコンディションを発行し、読み出したいターゲットのアドレス (2Bh) に続けて RnW (1：リード) を発行します。その後、コントローラはプルアップ抵抗をオンにしてオープンドレインになり、ターゲットが SDA ラインを Low にして ACK 応答できるようにします。この時点で、コントローラは SCL ラインをトグルし続け、SDA ラインを開放します。ターゲットは、SDA ラインを駆動して 1 バイト分のデータ (4Ah) に続けて T を送ります。T = 1 は続きのデータがあることを、T = 0 はデータが終わりであることをコントローラに通知します。ここでは、追加のデータがあるため、ターゲットは SCL が High になるまで SDA を High に駆動し、その後 SDA を解放します。コントローラは、弱いプルアップで SDA を High に保つことで、もう 1 バイト送信するようターゲットに知らせるか、SDA を Low にする (SCL が High なのでリスタートコンディション) ことで、コントローラが読み出しを終了して引き継ぐことをターゲットに知らせるかを選択できます。

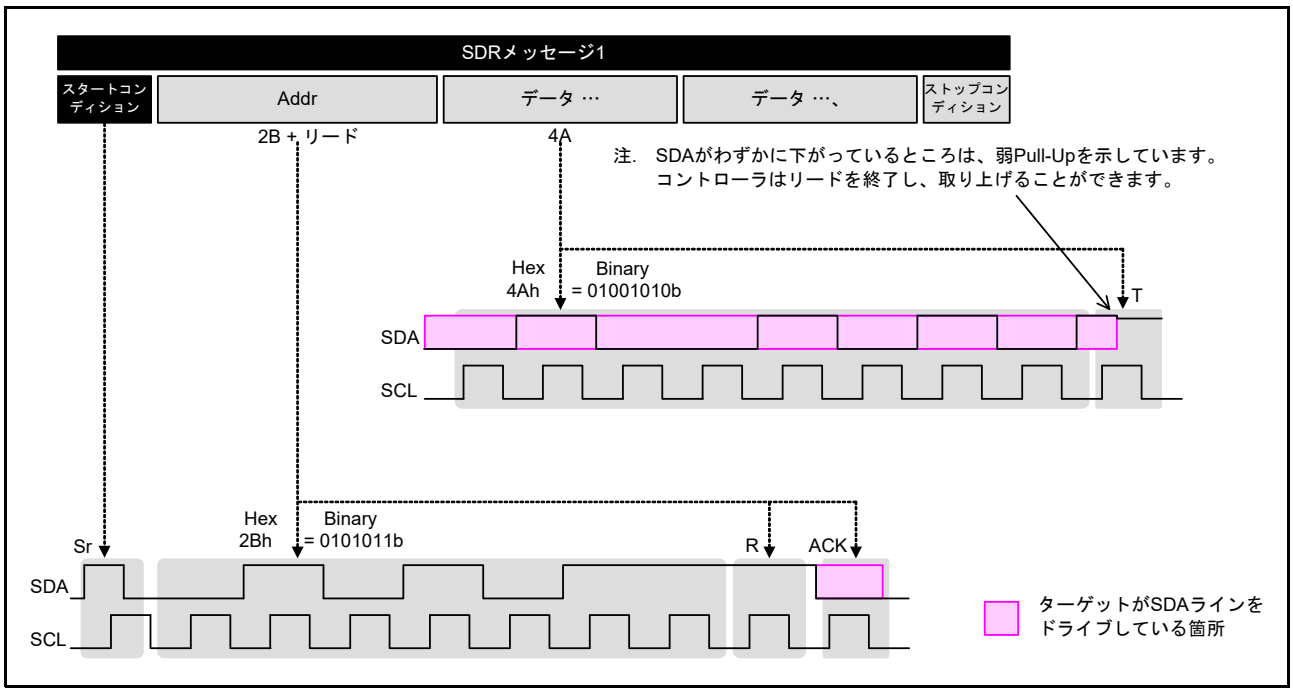


図 35.8　ブロードキャストアドレス (7Eh) を使用しない I3C SDR モードでの通信の例

図 35.9 に、コントローラがダイレクト CCC を一つのターゲットに対して発行する例を示します。このコマンド (GETPID) は、ターゲットの支給 ID を読み出します。

バスフリー状態から、コントローラは SCL ラインを High に保ったまま SDA ラインを Low にして、スタートコンディションを発行します。次に、ブロードキャストアドレス (7Eh) に続けて RnW (0：ライト) を発行します。その後、コントローラはプルアップ抵抗をオンにし、オープンドレインになります。すべてのターゲットは、SDA ラインを Low にすることにより ACK 応答します (図中のピンク色の網掛けは、このとき SDA ラインがターゲット側のコントロール下にあることを意味しています)。次に、コントローラは GETPID のダイレクト共通コマンドコード (8Dh) とパリティビット T (“8Dh” の奇数パリティ = 1) を発行し、次いでターゲットの 7 ビットダイナミックアドレス (ここでは “2Bh” を選択) と RnW ビット (1：リード) を発行します。その後、コントローラはプルアップ抵抗をオンにし、オープンドレインになります。アドレス “2Bh” のターゲットは、SDA ラインを Low にして ACK を発行することで、コマンドを認識して応答することをコントローラに通知します (あるいは、SDA を Low にしないことで NACK を発行してコマンドに応答しないこと (この場合はエラーが発生したこと) をコントローラに通知することもできます)。ターゲットは、ACK に続けて 48 ビット PID を 1 バイトずつ出力し、コントローラはリスタートコンディションを発行します (この部分の波形は図に示されていません)。

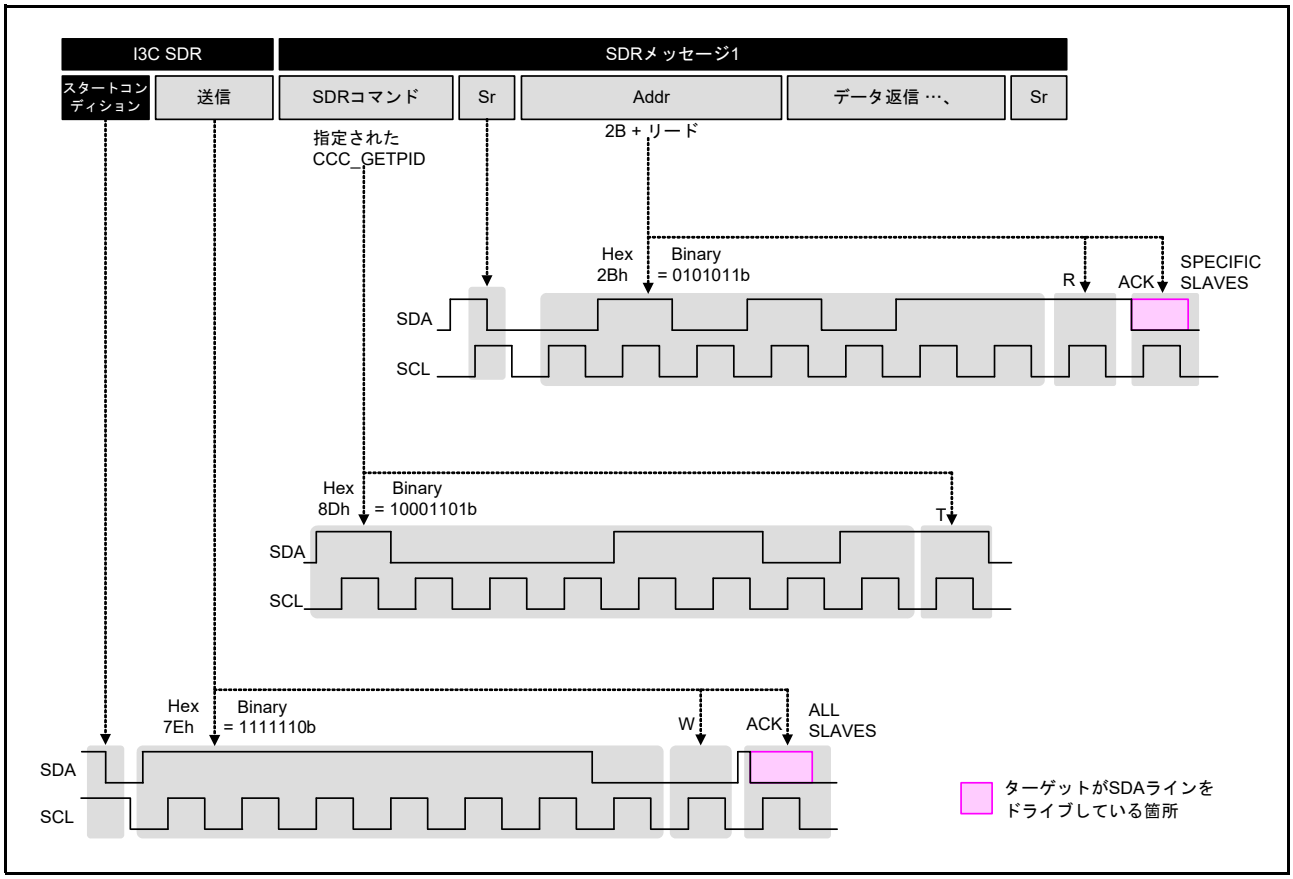


図 35.9　I3C SDR モードでのダイレクト CCC 通信の例

図 35.10 に、ブロードキャスト CCC を使用した SDR 通信の例を示します。この例で使用しているコマンドは、すべてのターゲットの最大リード長を 43 バイト (“002Bh”) に設定します。

バスフリー状態から、コントローラは SCL ラインを High に保ったまま SDA ラインを Low にして、スタートコンディションを発行します。次に、ブロードキャストアドレス (7Eh) に続けて RnW (0：ライト) を発行します。その後、コントローラはプルアップ抵抗をオンにし、オープンドレインになります。すべてのターゲットは、SDA ラインを Low にすることにより ACK 応答します (図中のピンク色の網掛けは、このとき SDA ラインがターゲット側のコントロール下にあることを意味しています)。次に、コントローラは SETMRL のブロードキャスト共通コマンドコード (“0Ah”) とパリティビット T (“0Ah” の奇数パリティ = 1) を発行し、次いで 2 つのデータバイト (MSB ファースト) を発行して 1 回のリード転送でターゲットから読み出せる最大バイト数を定義します。各データバイトには、T ビット (パリティビット：奇数パリティ) が続きます。この後、コントローラはリスタートコンディションを発行します。

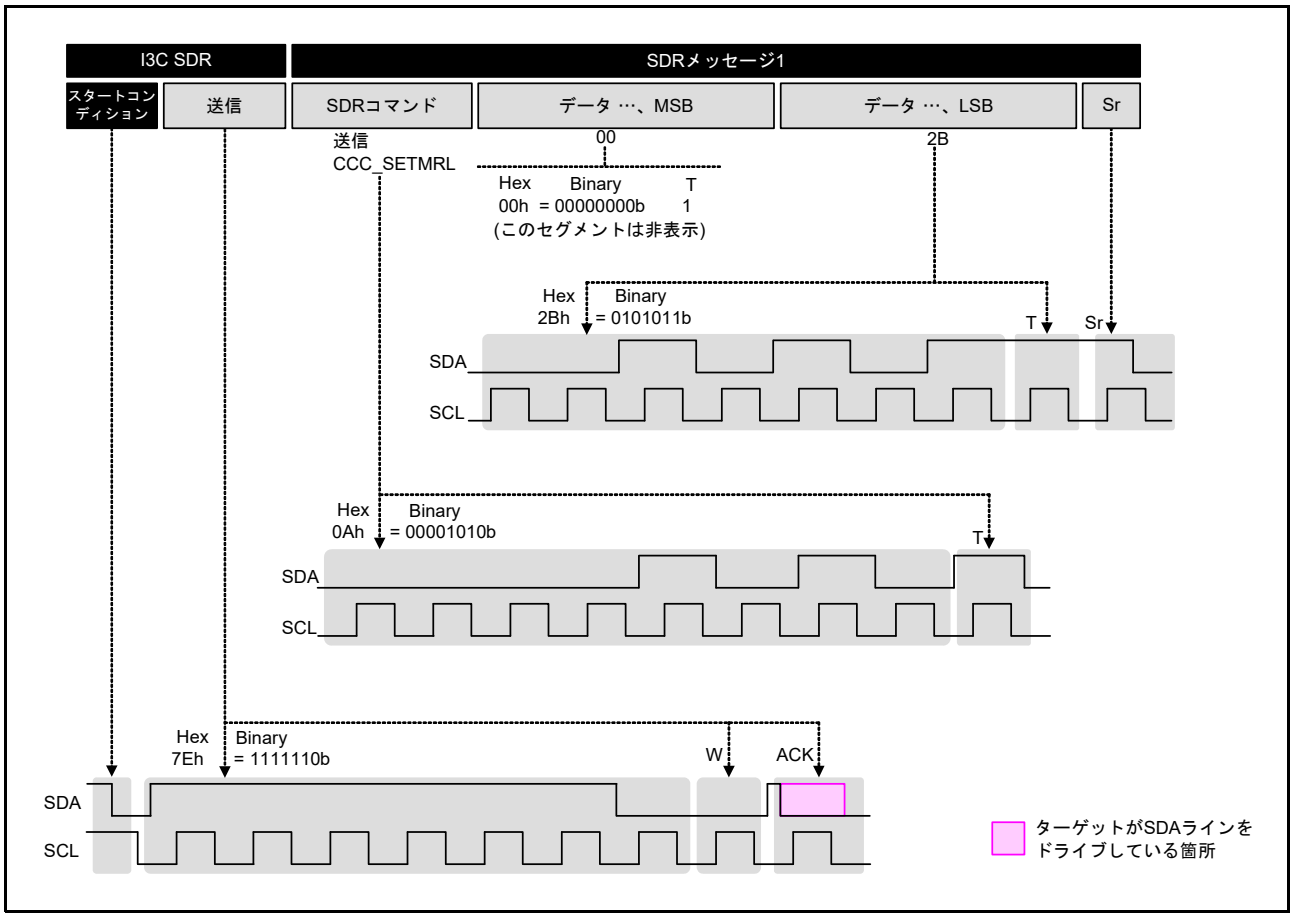


図 35.10　I3C SDR モードでのブロードキャスト CCC 通信の例

35.4.2.2　バス状態

RI3C は、I3C バスが非アクティブであると考えられる 3 つの識別状態を定義します。バスフリー状態、バス利用可能状態、バスアイドル状態 (図 35.11 参照) です。

(1)　バスフリー状態

少なくとも ICBFTR レジスタに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

(2)　バス利用可能状態

少なくとも ICBATR レジスタに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

ターゲットは、バス利用可能状態の後、(例えば、IBI または CRR のため) スタートコンディション要求のみを発行できます。

(3)　バスアイドル状態

少なくとも ICBITR レジスタに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

ターゲットは、バスアイドル状態の後、(例えば、Hot-Join のため) スタートコンディション要求のみを発行できます。仕様は以下のとおりです。バスアイドル期間が最大である必要があります。

ICBFTR < ICBATR < ICBITR

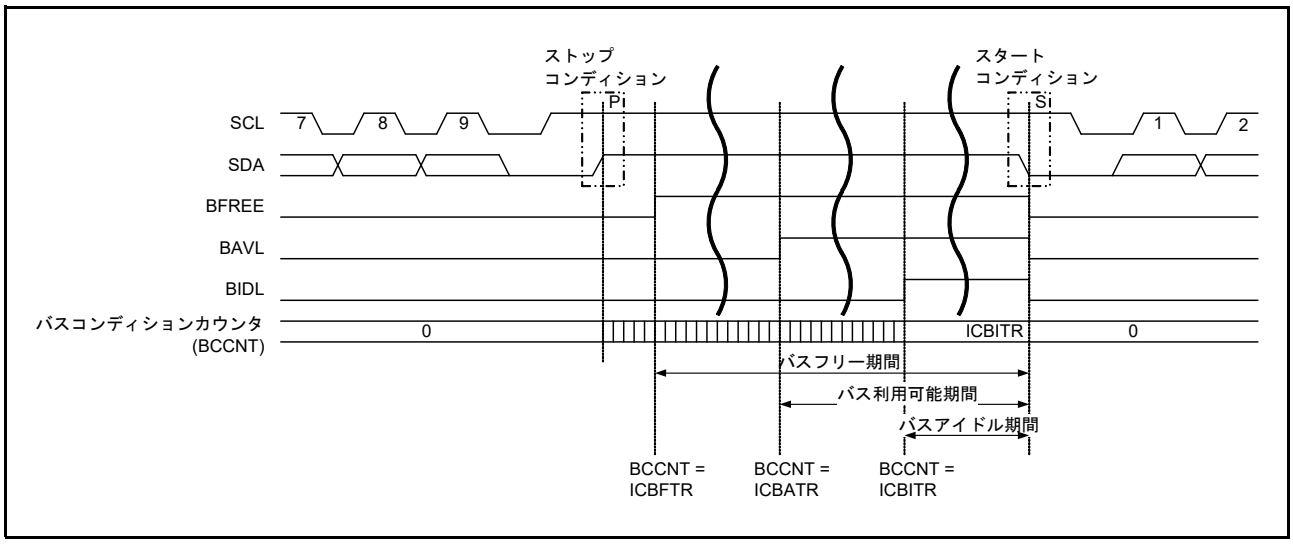


図 35.11　バス状態

35.4.3 初期設定

データの送信 / 受信を開始する場合、**図 35.12** に示す手順に従って RI3C を初期化してください。

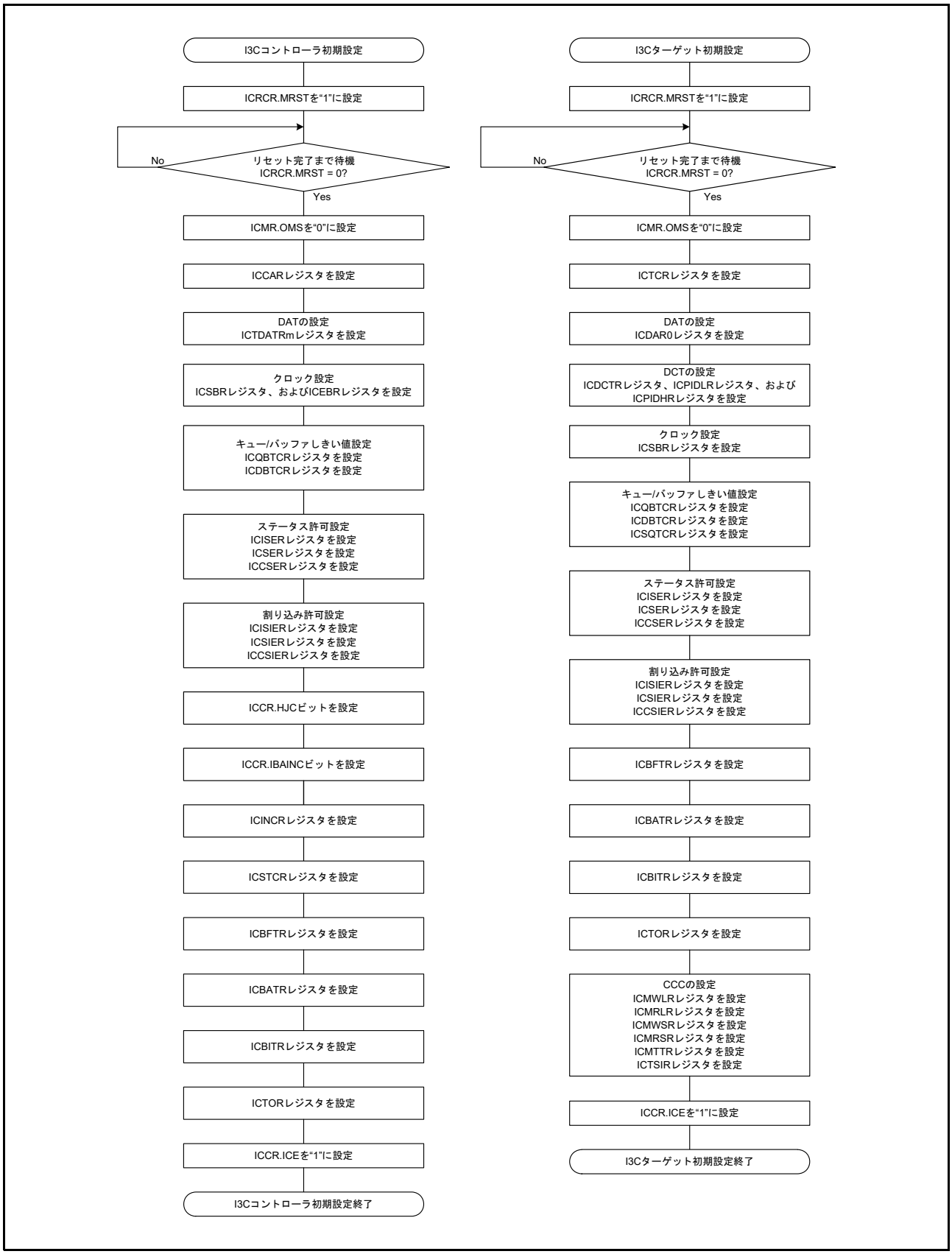


図 35.12 RI3C の初期化フローチャート例

35.4.4 I3C 通信フロー

図 35.13 に、I3C 通信のフローを示します。

- すべての I3C 通信は、フレームの中で行われます。フレームは、スタートコンディションで始まり、1 つ以上の転送があり、ストップコンディションで終わります。

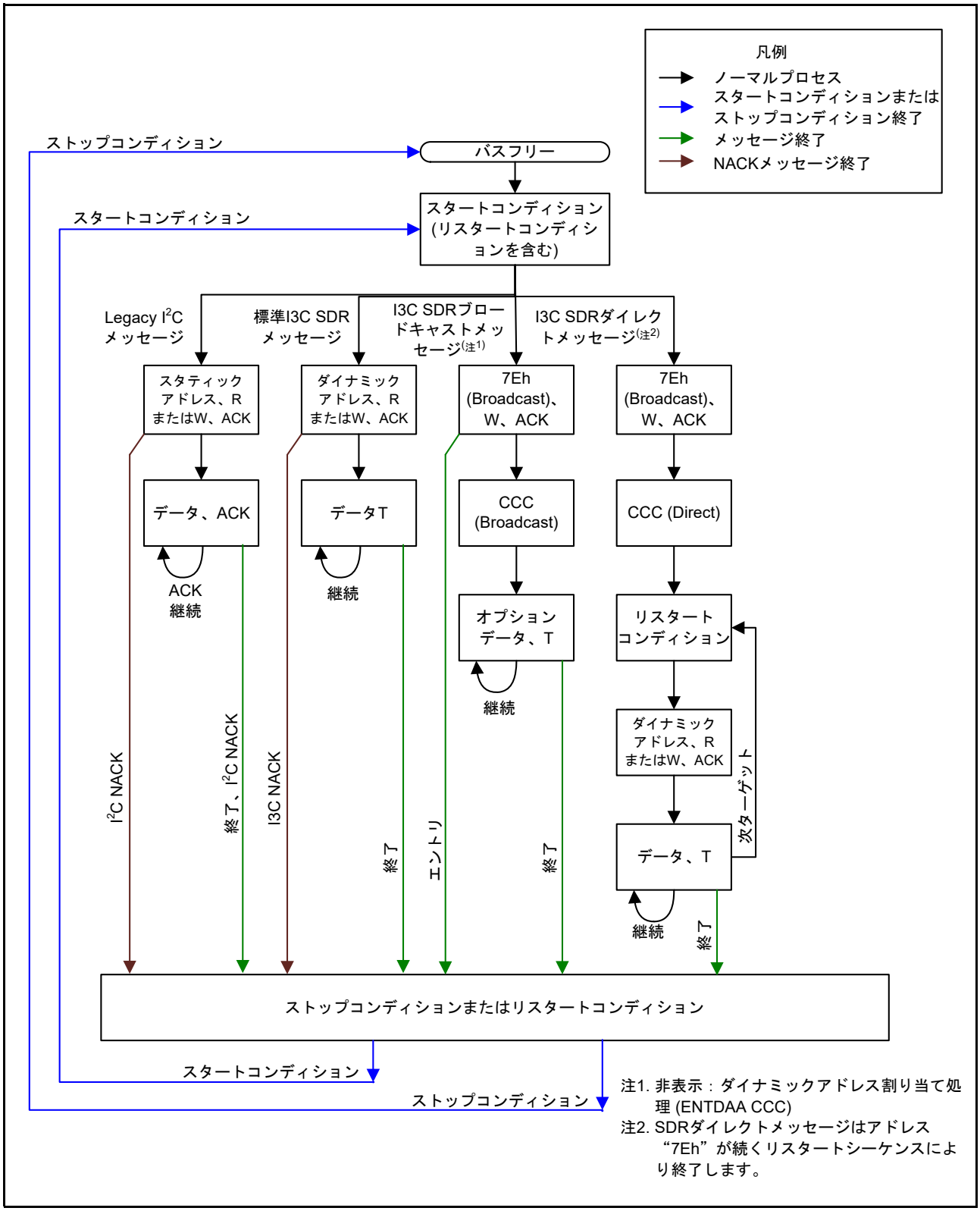


図 35.13 I3C 通信フロー

I3C は、フレームカプセル化方式に基づきます。フレームにはデータペイロードがあります。データペイロードに対する転送プロトコルは、SDR です。フレームは、I^2C 的なバス制御で区切られています。

I3C フレームは常に少なくともスタートコンディション、ヘッダ、データ、およびストップコンディションを含みます。スタートコンディションに続くヘッダは、バスアービトレーションを行うためのものです。コントローラは、ヘッダでターゲットデバイスを指定します。ターゲットデバイスは、ヘッダアービトレーションを複数の目的 (IBI、Hot-Join、セカンダリコントローラ機能) で使うことができます。

I3C は、その時の I3C バスの制御をただ一つのコントローラに対してのみ許容します。コントローラの役割を一つのデバイスから他のデバイスに受け渡す機能を備えています。

35.4.5　I3C コントローラ動作

35.4.5.1　ダイナミックアドレス割り当て手続き

RI3C を初期化してから、まず I3C バス上に接続した I3C ターゲットに対してダイナミックアドレス割り当て手続きを実行します。以下に手順を示します。

(1) 初期設定 (詳細は、「35.4.3　初期設定」を参照してください)

(2) DAT (ICTDATRm レジスタ) に設定された I3C ターゲットに対して、ENTDAA または SETDASA 共通コマンドコード (CCC) によりダイナミックアドレス割り当てを実行します。
ICCQR レジスタを介して、コマンドディスクリプタ (アドレス割り当てコマンド) をコマンドバッファに書き込みます。

(3) コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。

(4) アドレス割り当てコマンドの CMD フィールドに ENTDAA が指定されたとき：
アドレス割り当てコマンドの DEV_INDEX フィールドで指定された ICTDATRm レジスタから始まる、DEV_COUNT フィールドで指定された個数の ICTDATRm レジスタに対応する I3C ターゲットに対し、ダイナミックアドレス割り当てを実行します。
アドレス割り当てコマンドの CMD フィールドに SETDASA が指定されたとき：
アドレス割り当てコマンドの DEV_INDEX フィールドで指定された ICTDATRm レジスタに示される I3C ターゲットに対しダイナミックアドレス割り当てを実行します。

(5) ENTDAA の場合、I3C ターゲットから転送された支給 ID、BCR、DCR が受信データバッファに格納されます (BCR は ICTDCTRm レジスタにも自動的に格納されます)。
受信データフル割り込みで、ICDR レジスタを介して受信データバッファから支給 ID、BCR、DCR を読み出します。

(6) ダイナミックアドレス割り当ての実行が完了したら、ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。

(7) ICRQR レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。

(8) レスポンスディスクリプタの DATA_LENGTH フィールドの値が、アドレス割り当てコマンドの DEV_COUNT フィールドの値と一致しているかどうかを確認します。

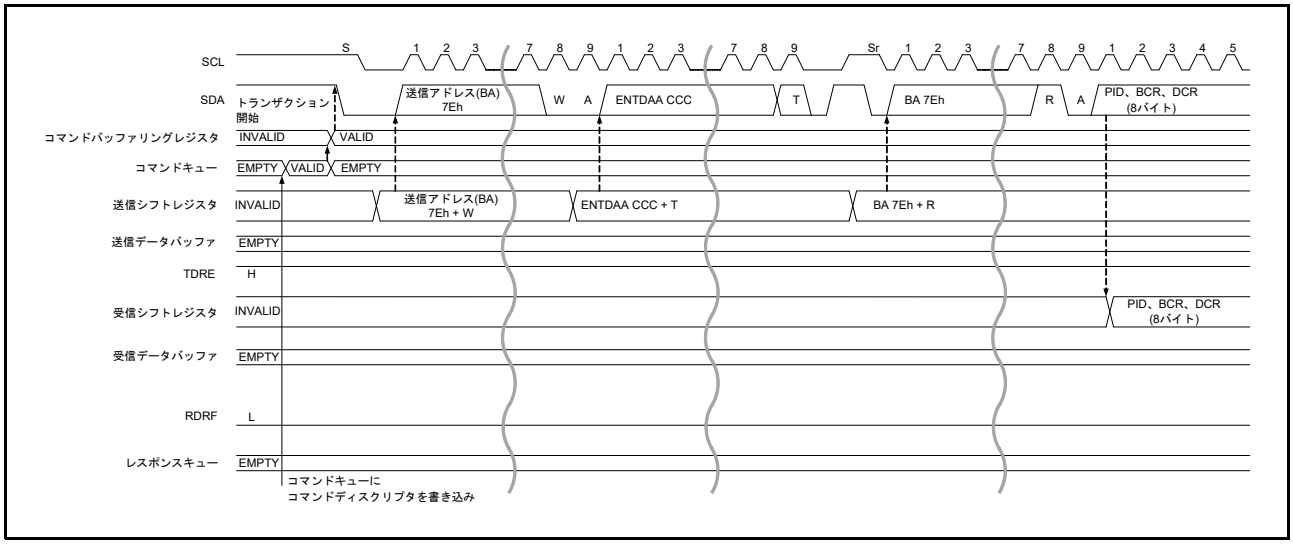


図 35.14　ダイナミックアドレス割り当て手続き (ENTDAA CCC) タイミング (1/3)

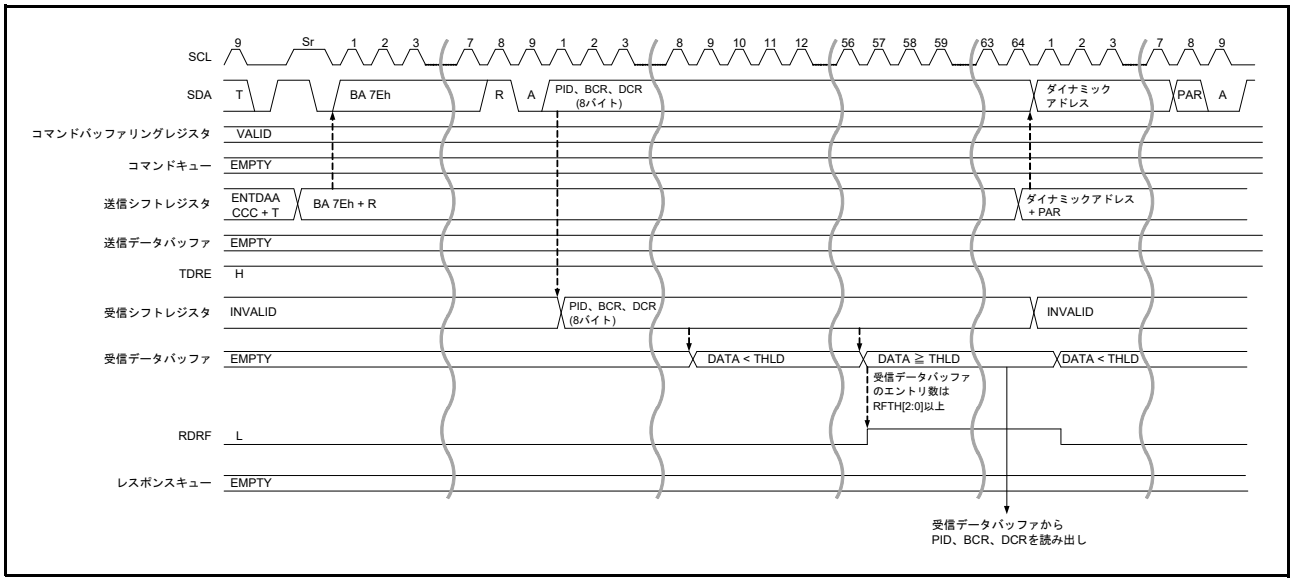


図 35.15　ダイナミックアドレス割り当て手続き (ENTDAA CCC) タイミング (2/3)

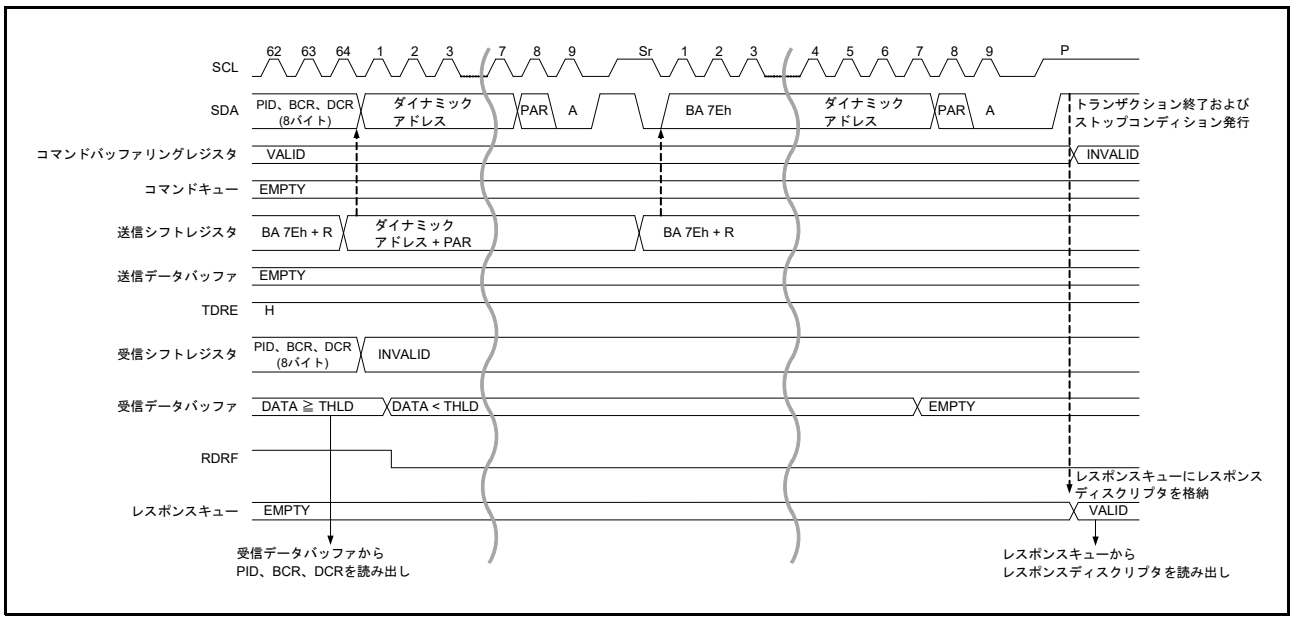


図 35.16　ダイナミックアドレス割り当て手続き (ENTDAA CCC) タイミング (3/3)

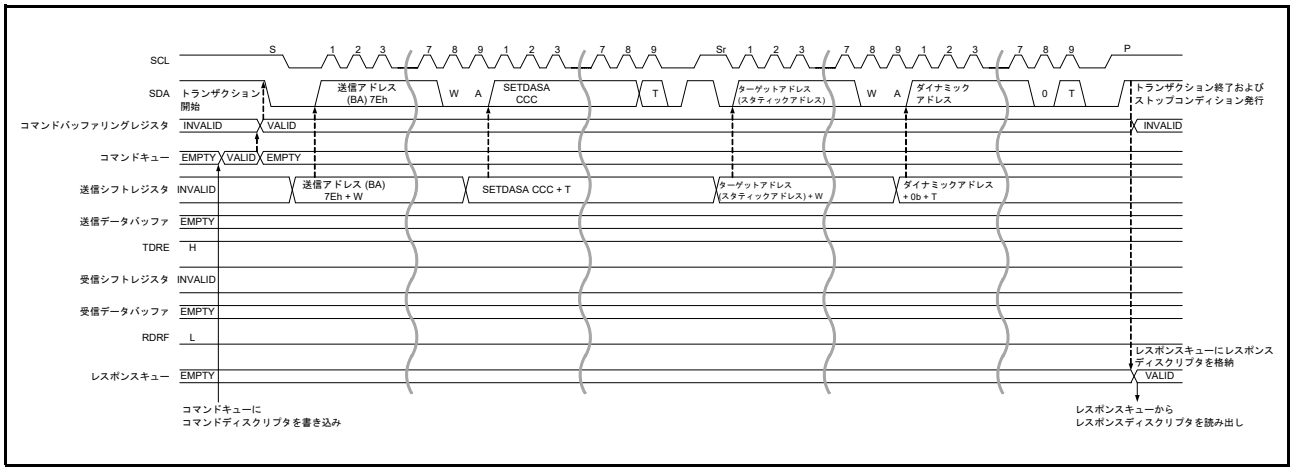


図 35.17　ダイナミックアドレス割り当て手続き (SETDASA CCC) タイミング

35.4.5.2 SDR ライト転送

(1) 送信用データを ICDR レジスタを介して送信データバッファに書き込みます。
(2) データ転送用のコマンドディスクリプタ (即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド) を、ICCQR レジスタを介してコマンドバッファに書き込みます。
(3) コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (ICTDATRm.NACKRC[1:0]) に従って同じコマンドのトランザクションが自動的に発行されます。
(4) 送信用データがまだ残っている場合、送信データエンプティ割り込みで、送信用データを ICDR レジスタを介して送信データバッファに書き込みます。
(5) コマンドディスクリプタの DATA_LENGTH フィールドに指定したバイト数のデータ送信が完了したら、リスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
(6) ICRQR レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
(7) レスポンスディスクリプタの DATA_LENGTH フィールドの値が “0” であることを確認します。

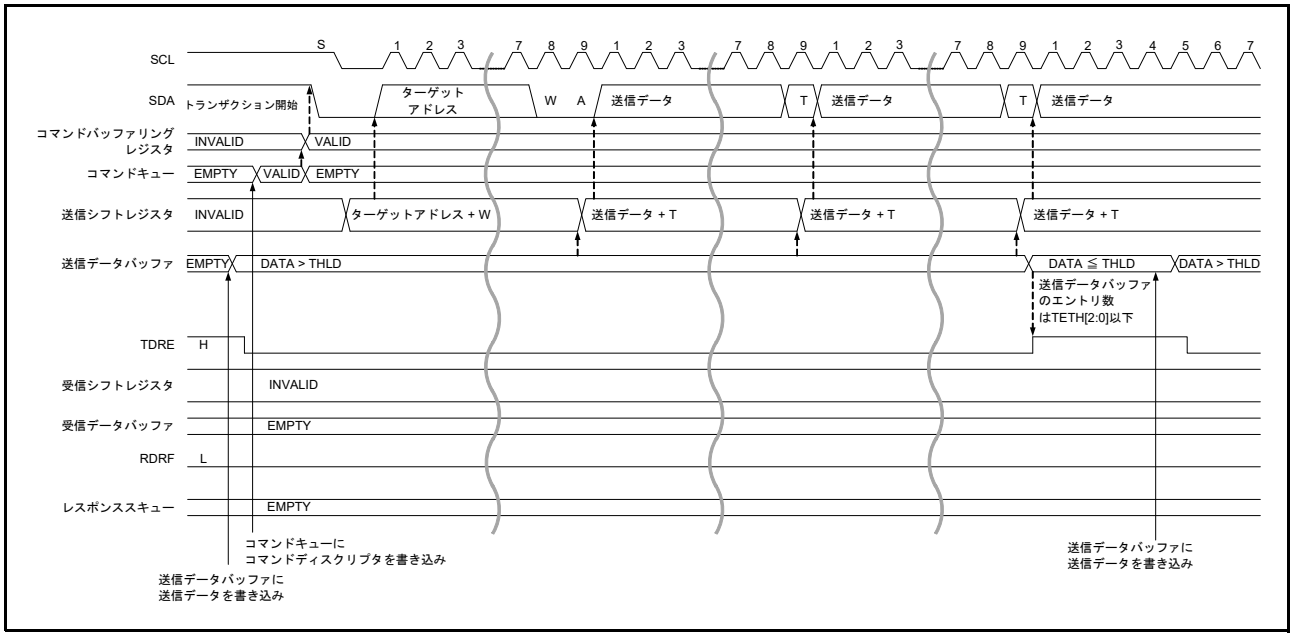


図 35.18 SDR ライト転送タイミング (1/2)

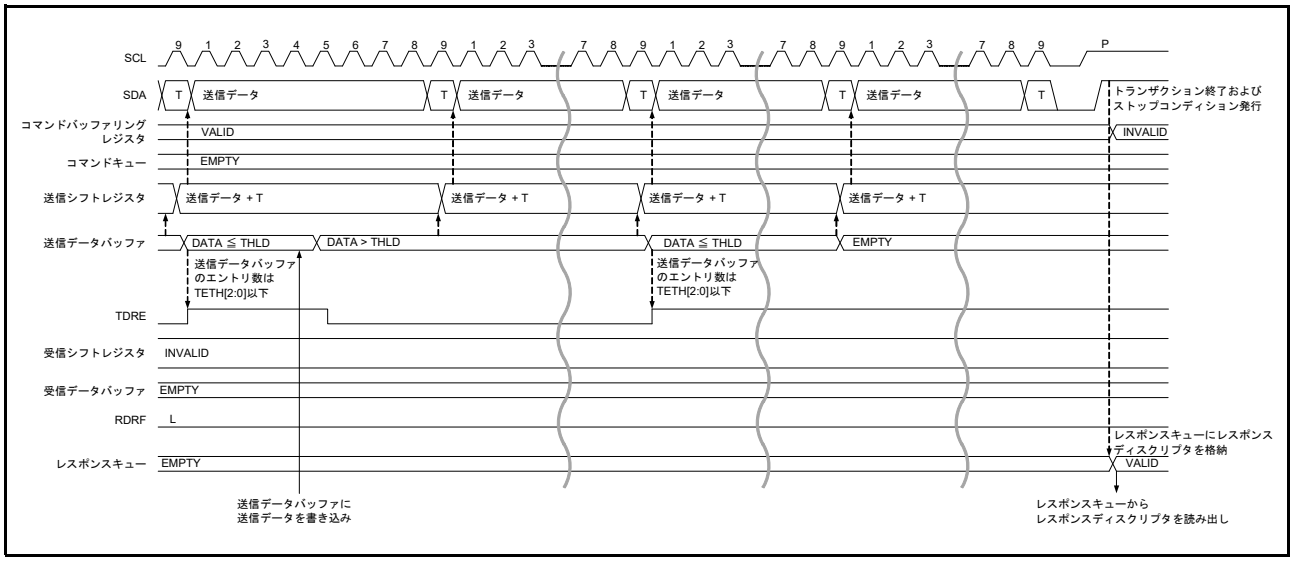


図 35.19　SDR ライト転送タイミング (2/2)

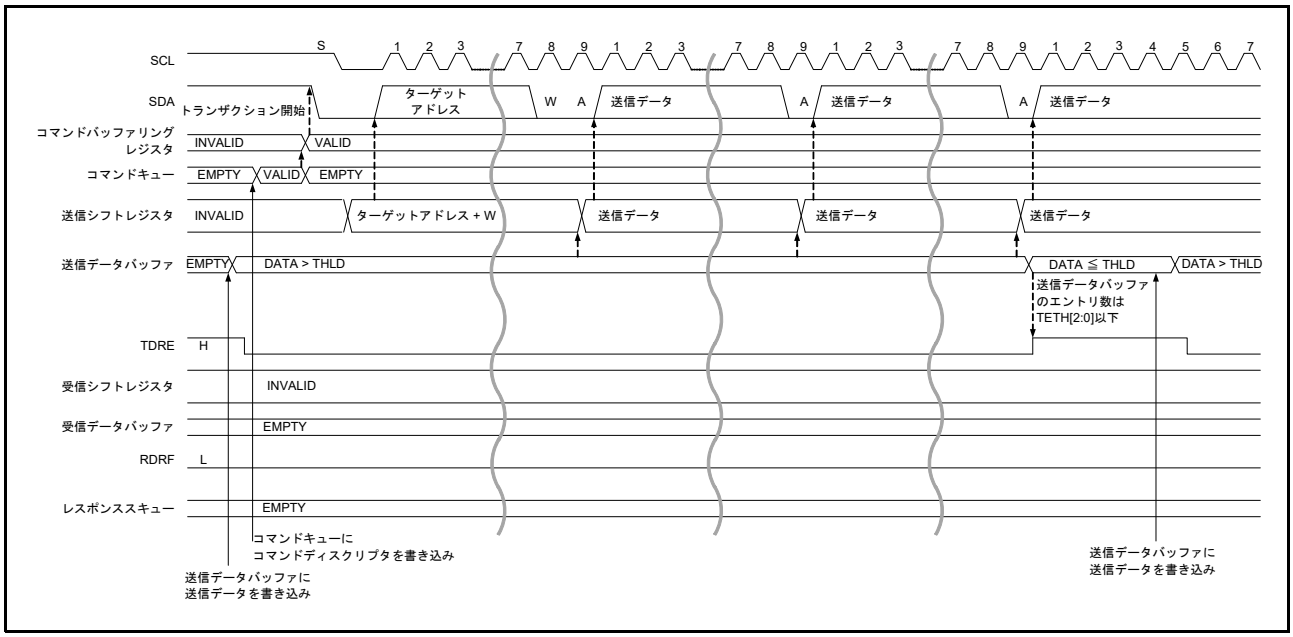


図 35.20　Legacy I2C ライト転送タイミング (1/2)

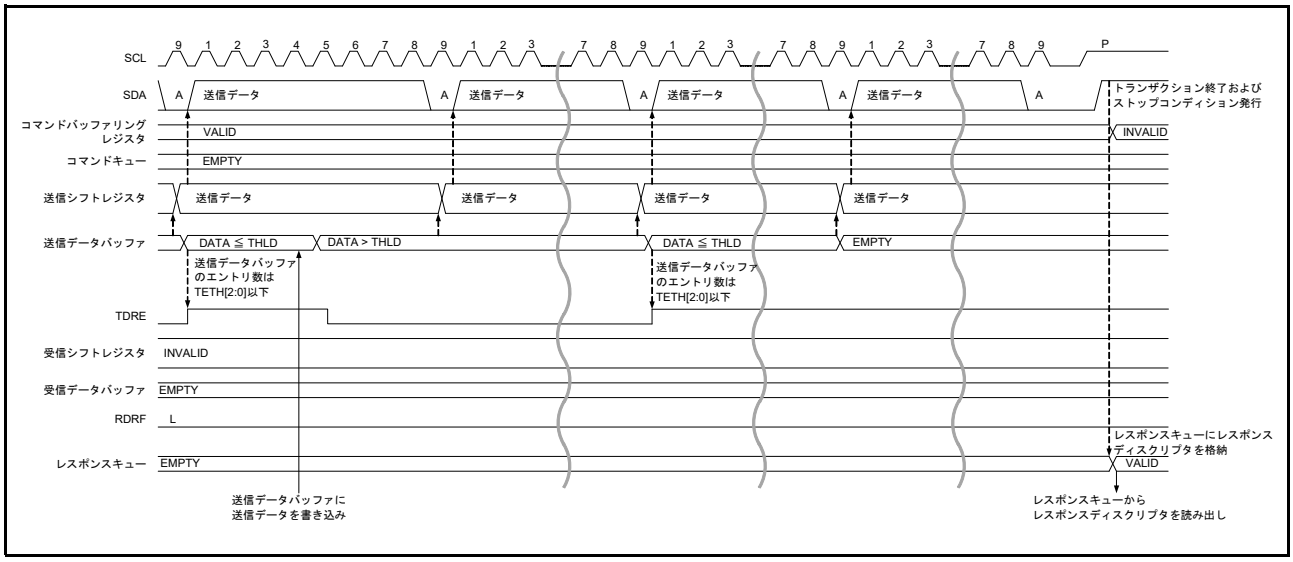


図 35.21 Legacy I2C ライト転送タイミング (2/2)

35.4.5.3 SDR リード転送

(1) データ転送用のコマンドディスクリプタ (即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド) を、ICCQR レジスタを介してコマンドバッファに書き込みます。

(2) コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (ICTDATRm.NACKRC[1:0]) に従って同じコマンドのトランザクションが自動的に発行されます。

(3) I3C ターゲットから受信したデータを、受信データバッファに格納します。

(4) 受信データフル割り込みで、受信データを受信データバッファから ICDR レジスタを介して読み出します。

(5) SDR :
T ビットが Low であることを検出するか、コマンドディスクリプタの DATA_LENGTH フィールドに指定したバイト数のデータ受信が完了したら、リスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
Legacy I2C メッセージ :
コマンドディスクリプタの DATA_LENGTH フィールドに指定したバイト数のデータ受信が完了したら、NACK を発行します。その後、リスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。

(6) ICRQR レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。

(7) レスポンスディスクリプタの DATA_LENGTH フィールドの値が、コマンドディスクリプタのデータ長設定値と一致しているかどうかを確認します。

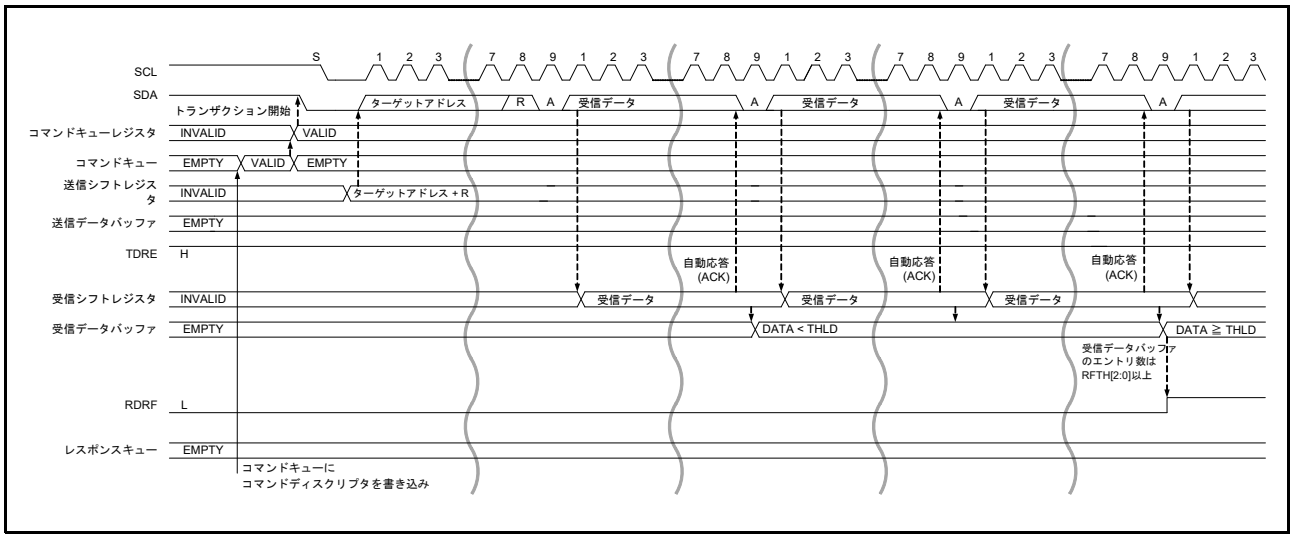


図 35.22 SDR リード転送タイミング (1/2)

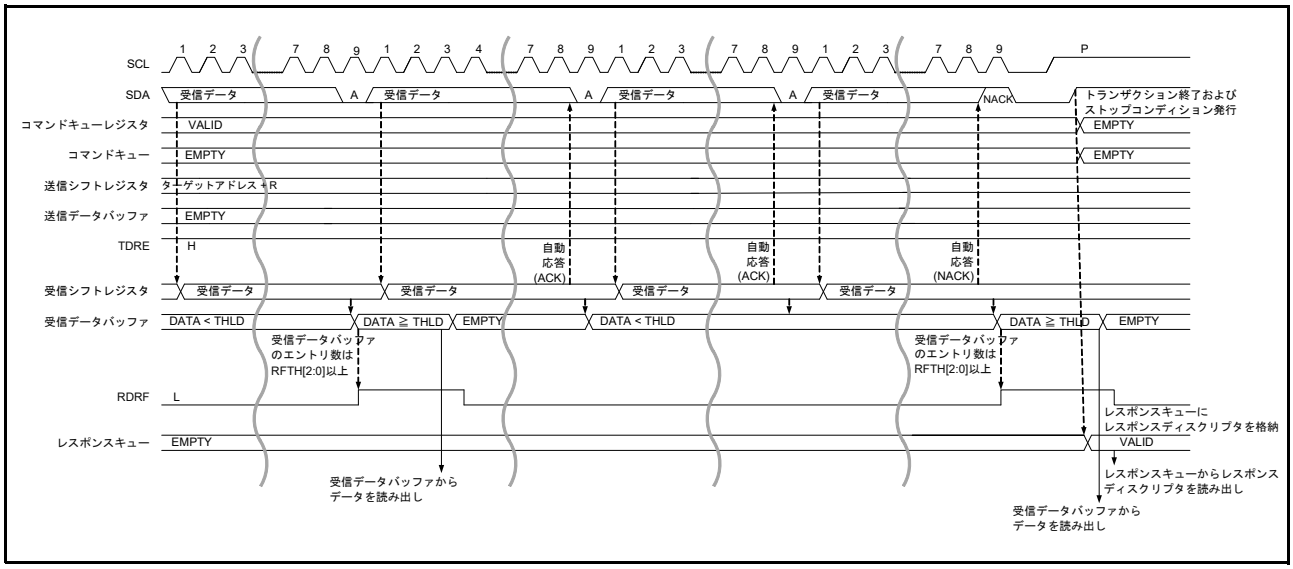


図 35.23　SDR リード転送タイミング (2/2)

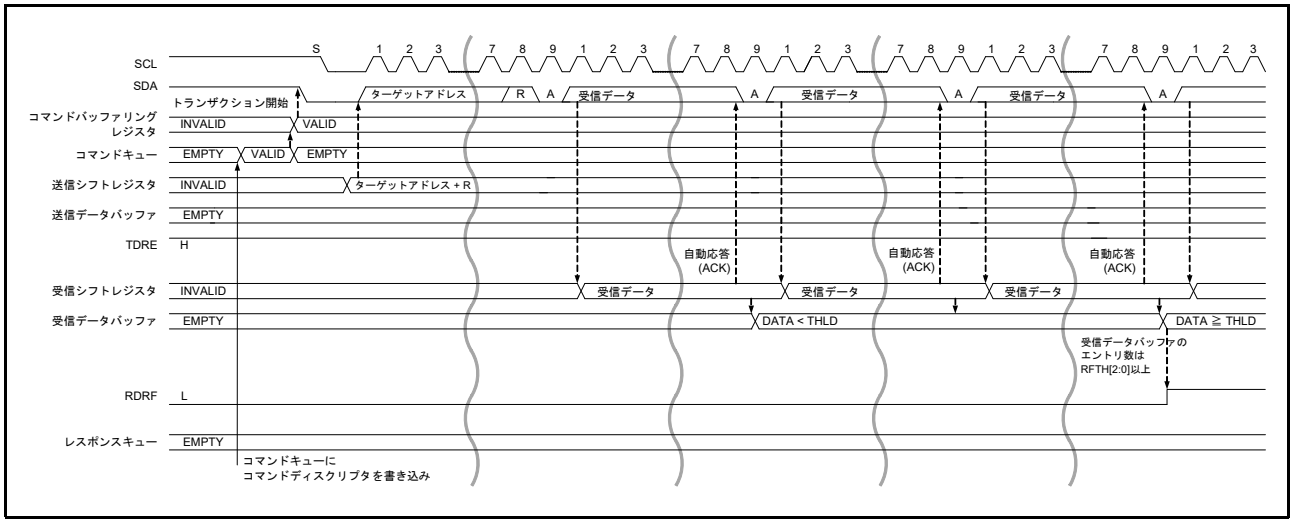


図 35.24　Legacy I²C リード転送タイミング (1/2)

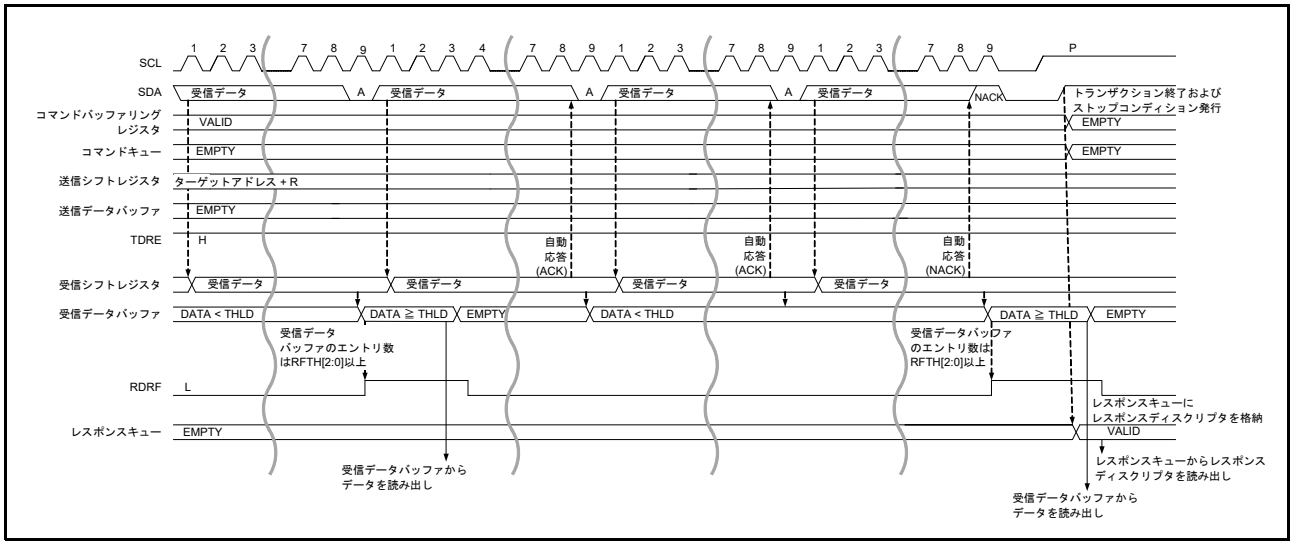


図 35.25　Legacy I²C リード転送タイミング (2/2)

35.4.5.4 IBI 転送

(1) コマンドディスクリプタをコマンドキューに書き込み、トランザクションを I3C バス上に発行します。
ターゲットデバイスからスタートコンディション要求 (SDA が Low) が発行された場合、RI3C は SCL を Low にして、スタートコンディションを完了します。
その後、SCL を供給し、IBI 要求を受信します。
(2) アドレスヘッダのターゲットアドレス + RnW 部分で、I3C ターゲットからの IBI 発行によってアービトレーションロストが発生した場合、トランザクションの発行を停止します。
(3) 「35.5.3 IBI」に従い、IBI とプロセスを検出します。
(4) IBI キューエンプティ / フル割り込みの処理で、ICIQR レジスタを介して IBI キューから IBI ステータスディスクリプタを読み出し、ステータスを確認します。
ターゲット割り込み要求を検出し ACK 応答したとき、IBI ステータスディスクリプタの DATA_LENGTH フィールドに示されるデータ長の IBI データを ICIQR レジスタを介して IBI キューから読み出します。
(5) (1) のコマンドのトランザクション発行を再実行します。

IBI 検出後の処理手順の例を以下に示します。

CRR 要求検出とコントローラロールのセカンダリコントローラへの転送の処理手順

(1) I3C セカンダリコントローラがアービトレーションを獲得した場合、DEFTGTS CCC を発行し、ターゲット情報をセカンダリコントローラに通知します。
(2) GETACCCR CCC を発行し、ストップコンディションにより CCC を完了します。

注 . セカンダリコントローラにコントローラロールを転送した後、再びコントローラロールを得るには、「35.4.5.4 IBI 転送」に従って CRR 要求を発行します。
CRR 要求をアクティブコントローラが受け入れた場合、GETACCCR CCC 受信時にコントローラロールを再度得るために、ストップコンディションにより CCC を完了します。

Hot-Join イベントを検出したときの処理手順

(1) ダイナミックアドレス割り当て手続きを開始するため、ブロードキャストコマンドコード入力ダイナミックアドレス割り当て (ENTDAA) を発行します。
(2) DEFTGTS CCC を発行し、ターゲット情報をセカンダリコントローラに通知します。

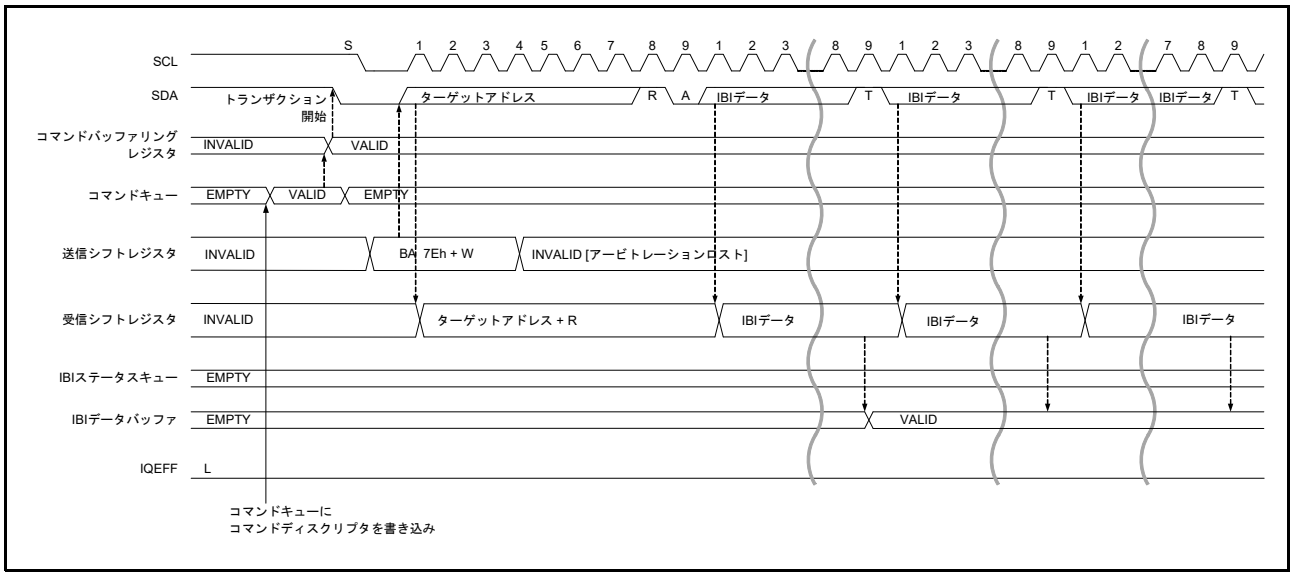


図 35.26　I3C コントローラ IBI 転送タイミング (1/2)

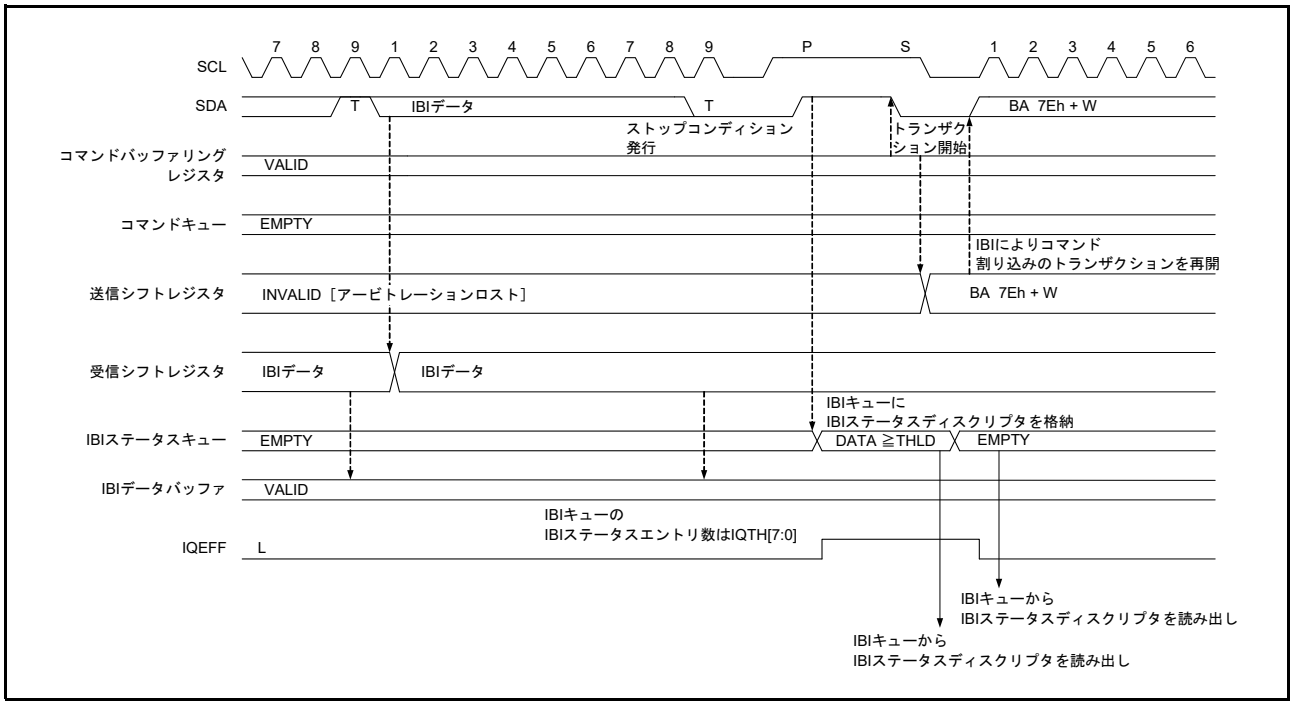
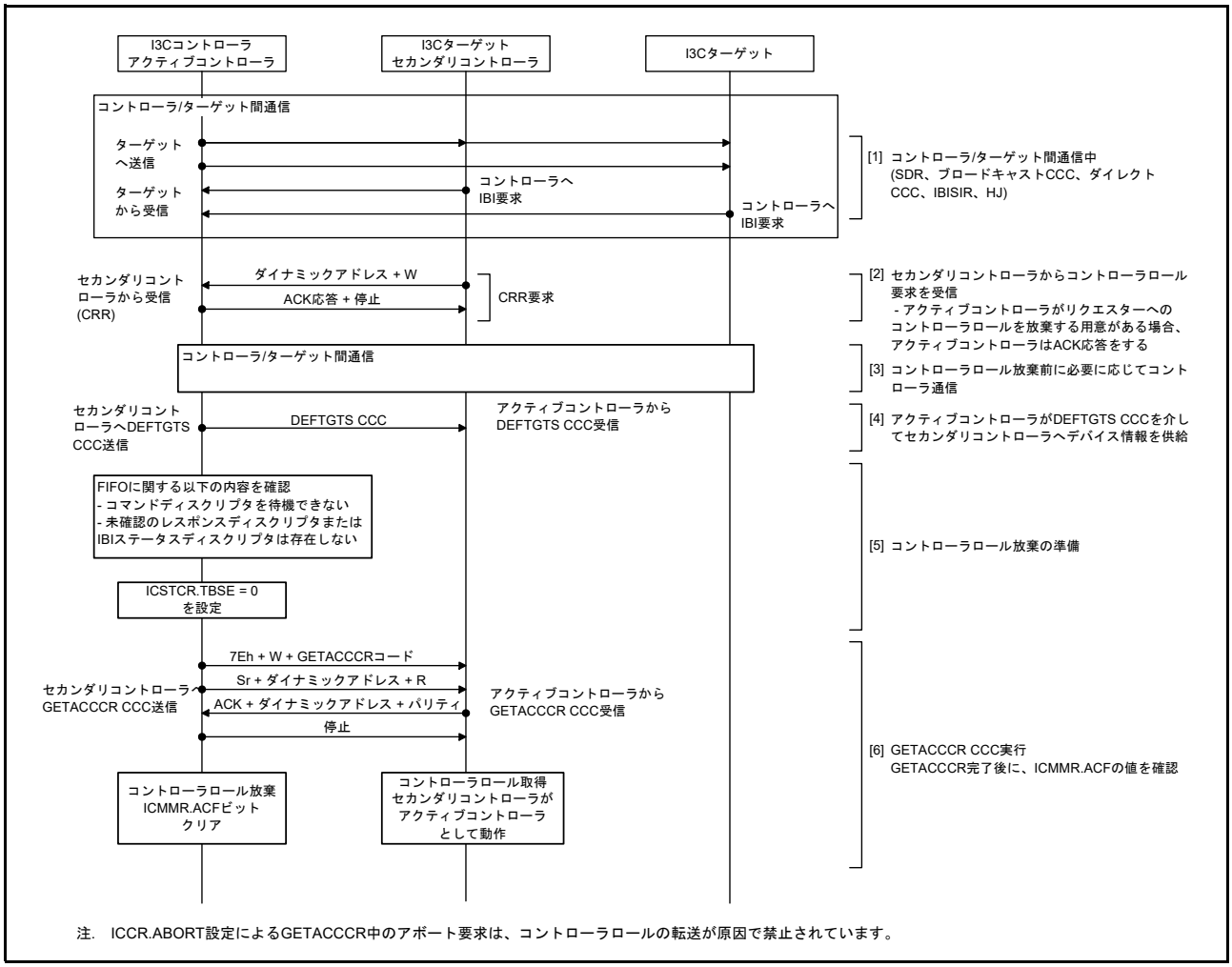


図 35.27　I3C コントローラ IBI 転送タイミング (2/2)

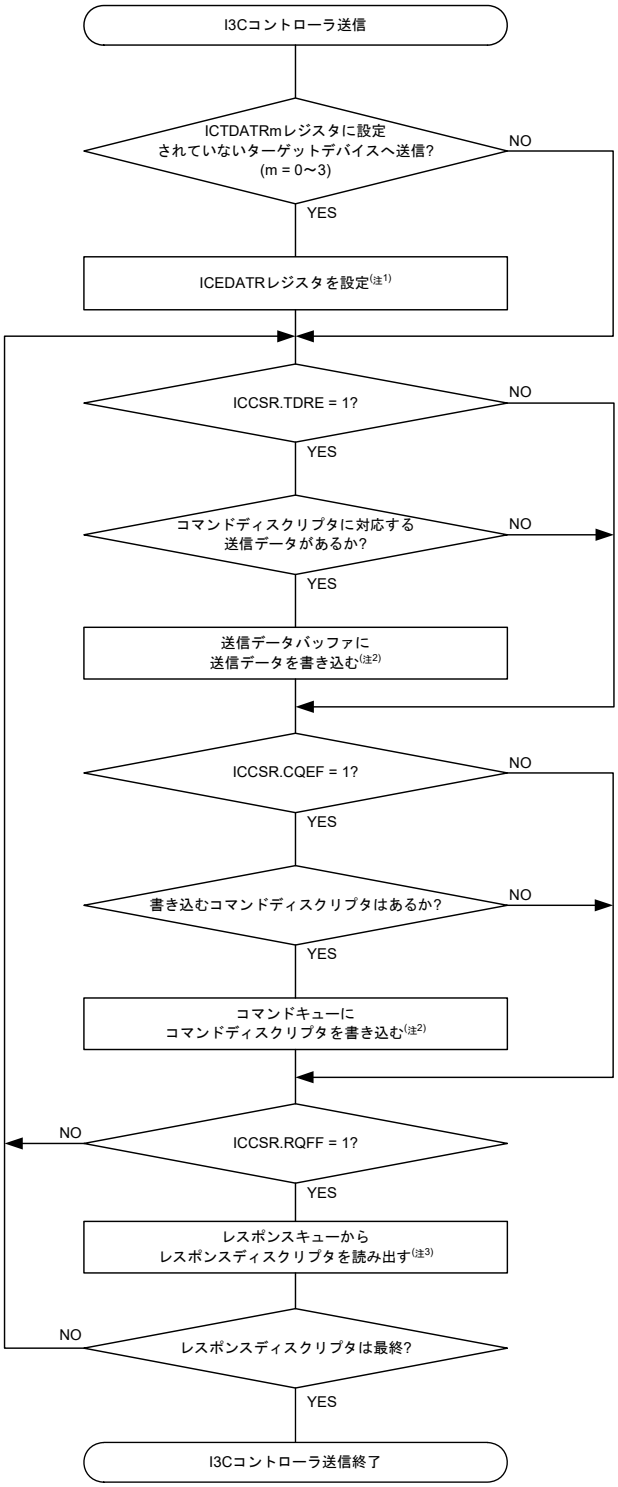


注. ICCR.ABORT設定によるGETACCCR中のアボート要求は、コントローラロールの転送が原因で禁止されています。

図 35.28 I3C コントローラ CRR 処理フロー

35.4.5.5 I3C コントローラ送信フロー (FIFO バッファ転送)

FIFO バッファ転送のコントローラ送信フローは、Legacy I2C、SDR (プライベート転送、ブロードキャスト CCC、ダイレクト CCC) に共通です。

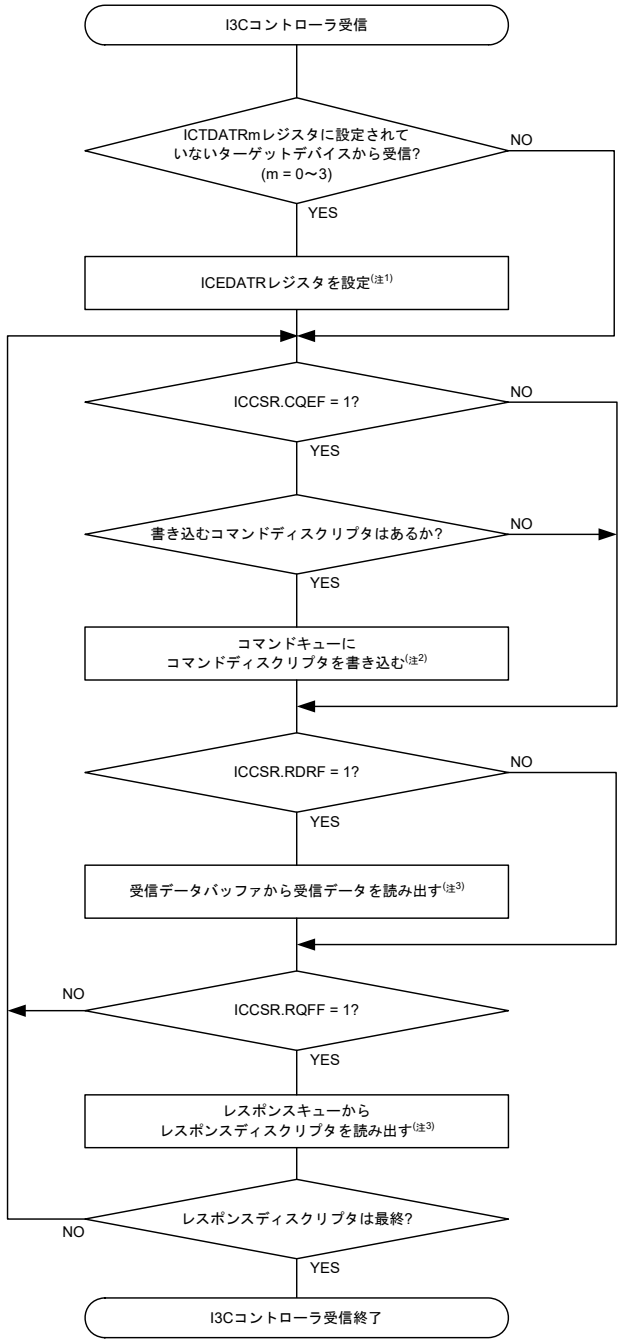


注1. ICEDATR レジスタに設定されているターゲットデバイスに対するコマンドのすべてのレスポンスディスクリプタが格納されるまでの間、ICEDATR レジスタの変更は禁止です。
注2. DMAC/DTC 以外の方法でレジスタに書き込む場合、ライトアクセスの後で対応するフラグをクリアしてください。
注3. DMAC/DTC 以外の方法でレジスタから読み出す場合、リードアクセスの後で対応するフラグをクリアしてください。

図 35.29 I3C コントローラ送信のフローチャート例 (FIFO バッファ転送)

35.4.5.6　I3C コントローラ受信フロー (FIFO バッファ転送)

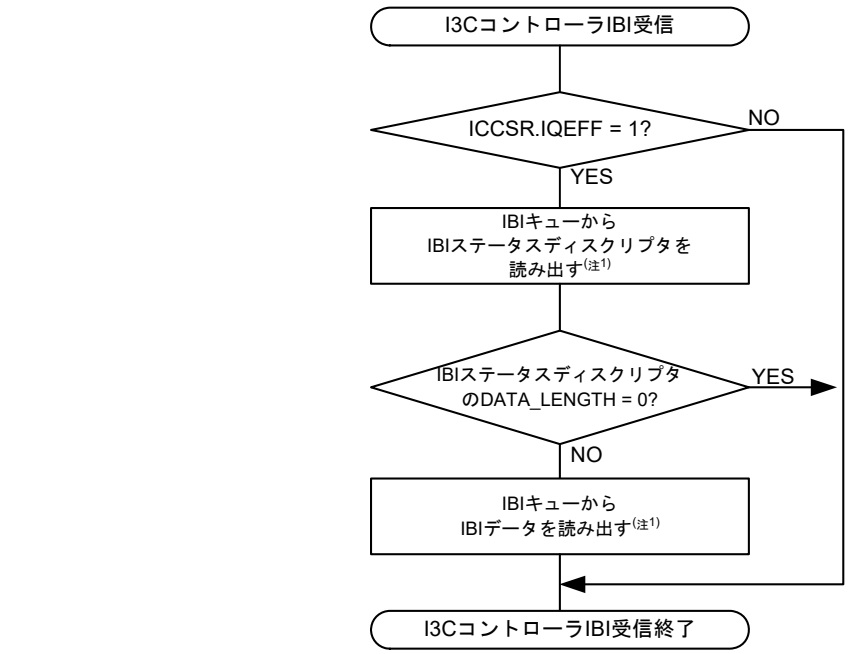
FIFO バッファ転送のコントローラ受信フローは、Legacy I2C、SDR (プライベート転送、ブロードキャスト CCC、ダイレクト CCC) に共通です。



注1.　ICEDATR レジスタに設定されているターゲットデバイスに対するコマンドのすべてのレスポンスディスクリプタが格納されるまでの間、ICEDATR レジスタの変更は禁止です。
注2.　DMAC/DTC 以外の方法でレジスタに書き込む場合、ライトアクセスの後で対応するフラグをクリアしてください。
注3.　DMAC/DTC 以外の方法でレジスタから読み出す場合、リードアクセスの後で対応するフラグをクリアしてください。

図 35.30　I3C コントローラ受信のフローチャート例 (FIFO バッファ転送)

35.4.5.7 I3C コントローラ IBI 受信フロー



注1. DMAC/DTC以外の方法でレジスタから読み出す場合、リードアクセスの後で対応するフラグをクリアしてください。

図 35.31 I3C コントローラ IBI 受信のフローチャート例

35.4.6　I3C ターゲット動作

35.4.6.1　ダイナミックアドレス割り当て手続き

RI3C を初期化した後、I3C コントローラはまずダイナミックアドレス割り当て手続きを行います。
ENTDAA CCC によるダイナミックアドレス割り当て手続き実行中の RI3C の動作を以下に説明します。

(1) 初期設定 (詳細は、「35.4.3　初期設定」を参照してください)
(2) ENTDAA CCC を受信すると、RI3C はダイナミックアドレスが配置されるまで支給 ID (ICPIDHR レジスタ、ICPIDLR レジスタの b15-b0)、BCR (ICDCTR レジスタの b15-b8)、DCR (ICDCTR レジスタの b7-b0) を送信します (詳細は、「35.5.1　CCC 検出機能」の「ブロードキャスト CCC (ENTDAA) の場合」を参照してください)。
(3) ENTDAA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。
(4) ICSQR レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。
(5) 受信ステータスディスクリプタの DATA_LENGTH フィールドに示されるデータ長のデータを ICDR レジスタを介して受信データバッファから読み出します。

注 .　複数の RI3C (I3C ターゲット) が I3C バスに接続されている場合、ダイナミックアドレスを以下の順で割り当ててください。
1 RI3C (I3C ターゲット) の ICPIDHR レジスタと ICPIDLR レジスタ (計 6 バイト) に、ダイナミックアドレスアービトレーションにより他のターゲットデバイスよりも優先度が低くなる値 (全ビット 1 など) を設定します。
2 RI3C (I3C ターゲット) のスタティックアドレスを設定した後、SETDASA/SETAASA コマンドを使ってダイナミックアドレスを割り当てます。
3 ENTDAA コマンドを使って、RI3C (I3C ターゲット) 以外の I3C ターゲットデバイスにダイナミックアドレスを割り当てます。

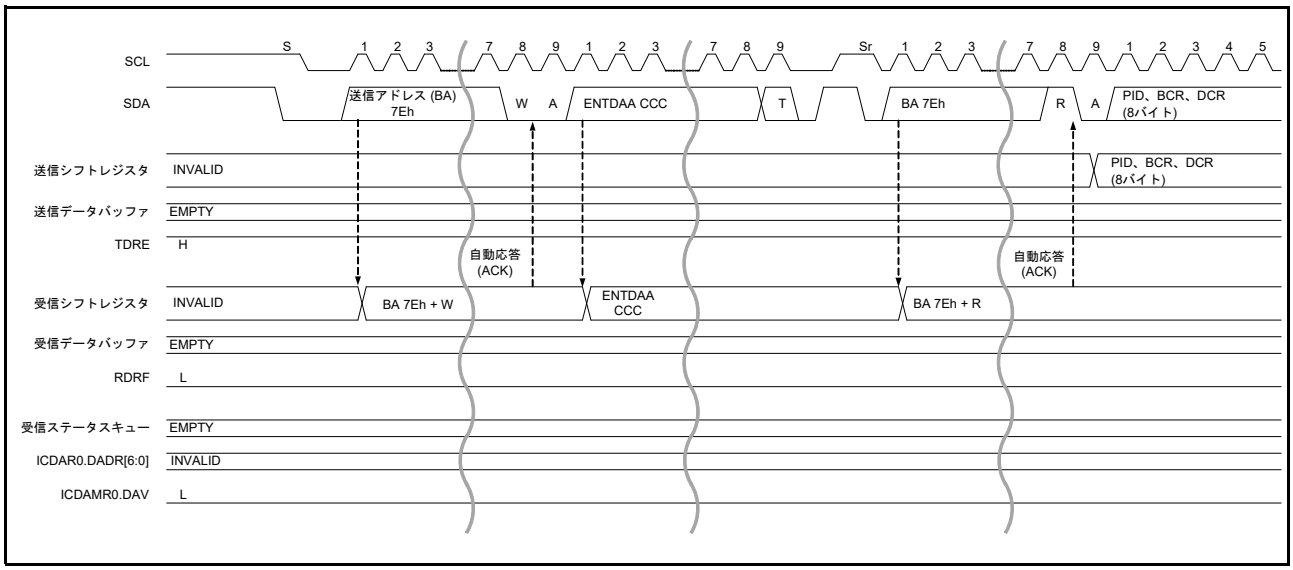


図 35.32　ダイナミックアドレス割り当て手続き (ENTDAA CCC) タイミング (1/3)

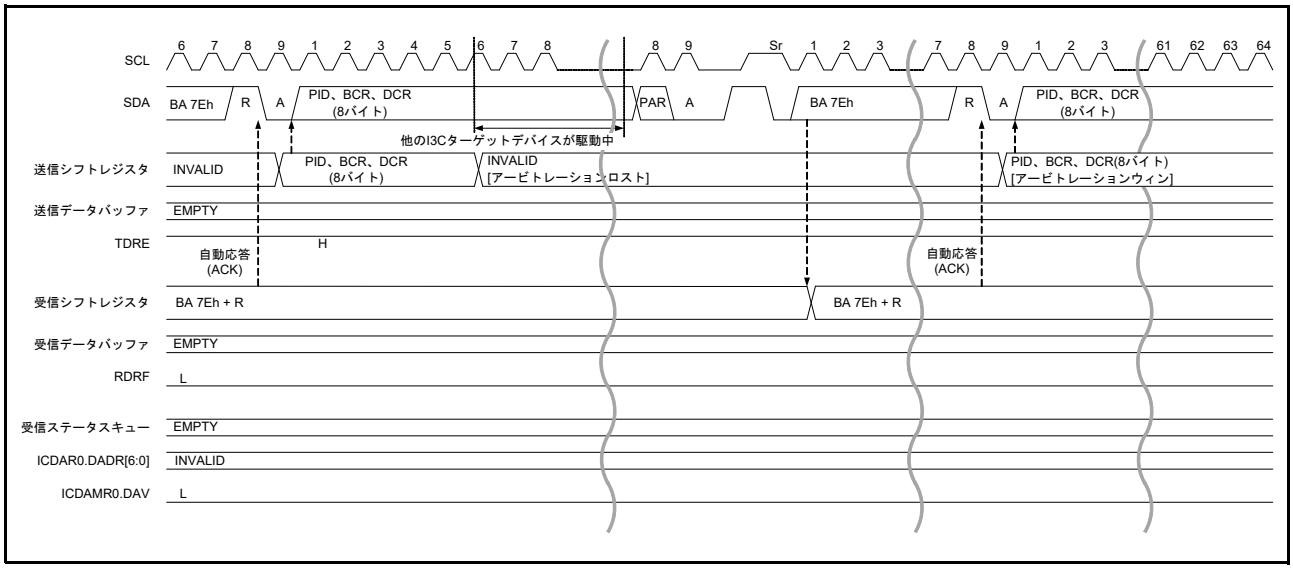


図 35.33　ダイナミックアドレス割り当て手続き (ENTDAA CCC) タイミング (2/3)

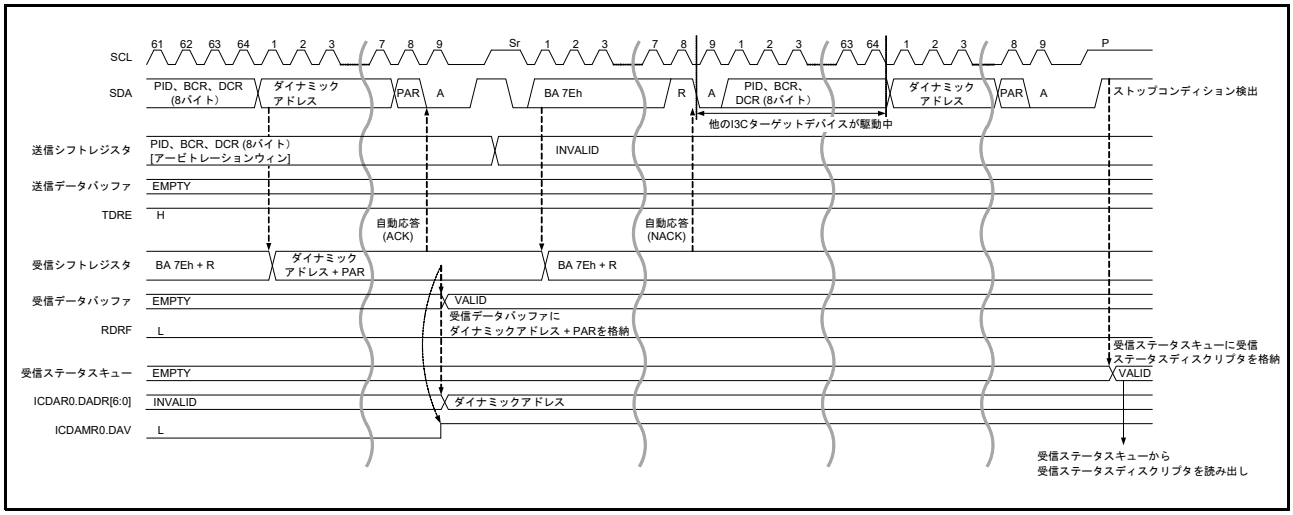


図 35.34　ダイナミックアドレス割り当て手続き (ENTDAA CCC) タイミング (3/3)

I3C コントローラからダイナミックアドレスを割り当てられるまで、スタティックアドレスで通信する場合、ICDAR0.SADR[6:0] ビットを設定することで、ICDAMR0.SAV フラグが “1” になり、スタティックアドレスが有効になります。

I3C ターゲットがスタティックアドレスを有し、I3C コントローラがダイナミックアドレス割り当て手続きを実行する場合、ダイナミックアドレスを SETDASA CCC で割り当てることができます。

SETDASA CCC ダイナミックアドレス割り当て手続き実行中の RI3C の動作を以下に説明します。

(1) 初期設定 (詳細は、**「35.4.3　初期設定」**を参照してください)

(2) 受信した SETDASA CCC がそれ自身のスタティックアドレスと一致するとき、ICDAR0.DADR[6:0] ビットが更新され、ICDAMR0.DAV フラグが “1” になります (詳細は、**「35.5.1　CCC 検出機能」**の**「ダイレクトライト CCC の場合」**を参照してください)。

(3) SETDASA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。

(4) ICSQR レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

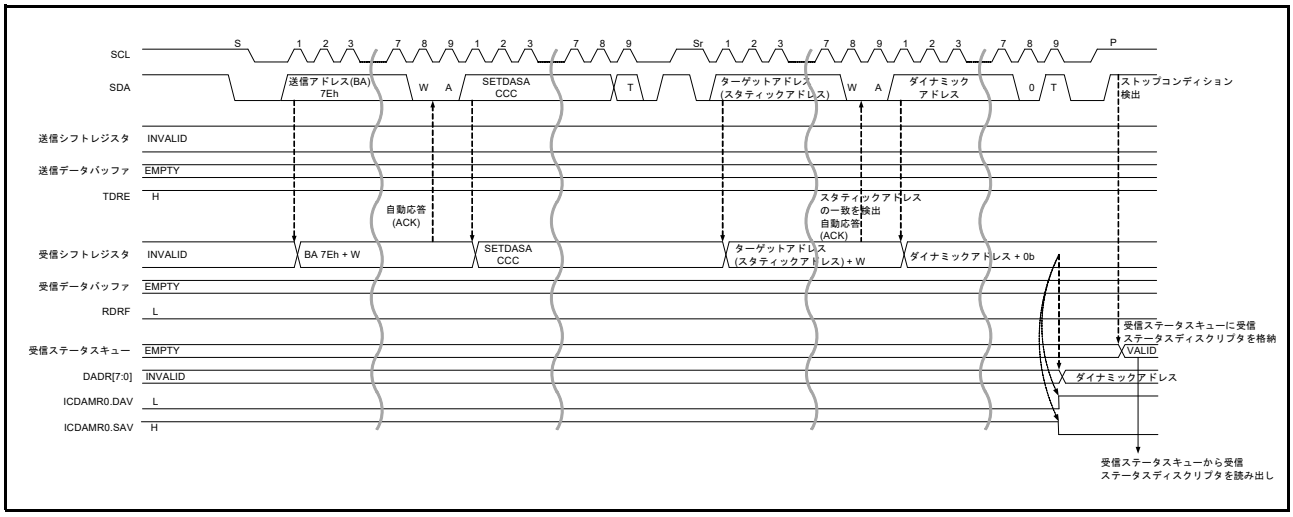


図 35.35　ダイナミックアドレス割り当て手続き (SETDASA CCC) タイミング

35.4.6.2　SDR ライト転送

(1) I3C コントローラからトランザクションが発行されたとき、アドレスヘッダのターゲットアドレスと自身のターゲットアドレスを比較し、一致した場合、RI3C は ACK 応答します。
トランザクションを受信したとき、受信データバッファがフルであれば、I3C ターゲットはアドレスヘッダで NACK 応答します。
I3C コントローラのリトライ準備において、ICDR レジスタを介して受信データバッファからデータを読み出し、受信データバッファを空にします。

(2) I3C コントローラから受信したデータは、受信データバッファに格納します。

(3) 受信データフル割り込みで、受信データを受信データバッファから ICDR レジスタを介して読み出します。

(4) リスタートコンディションまたはストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。

(5) ICSQR レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

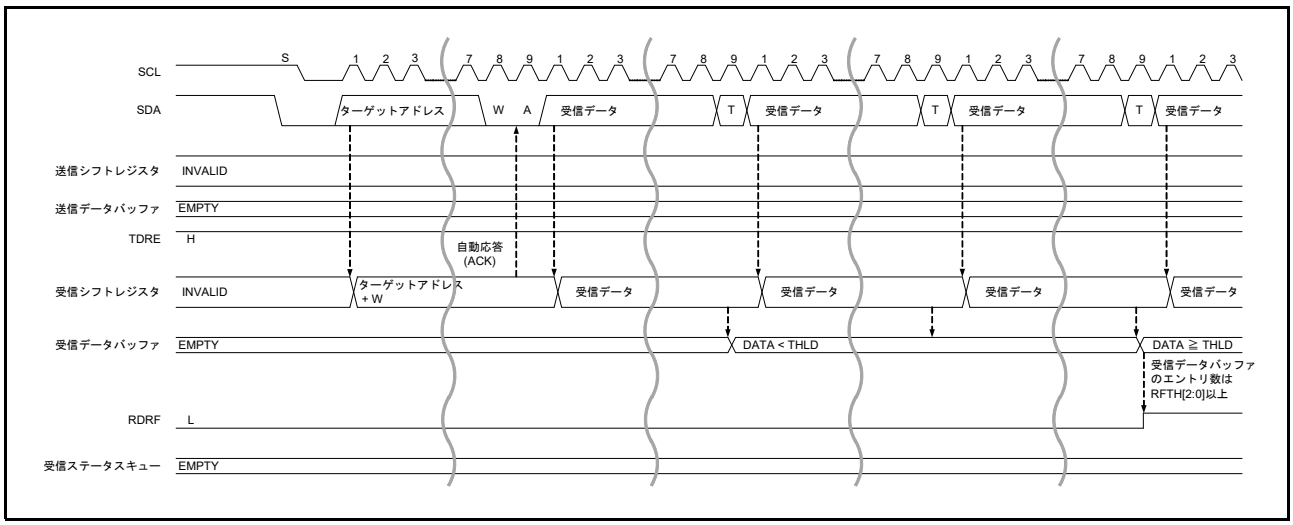


図 35.36　SDR ライト転送タイミング (1/2)

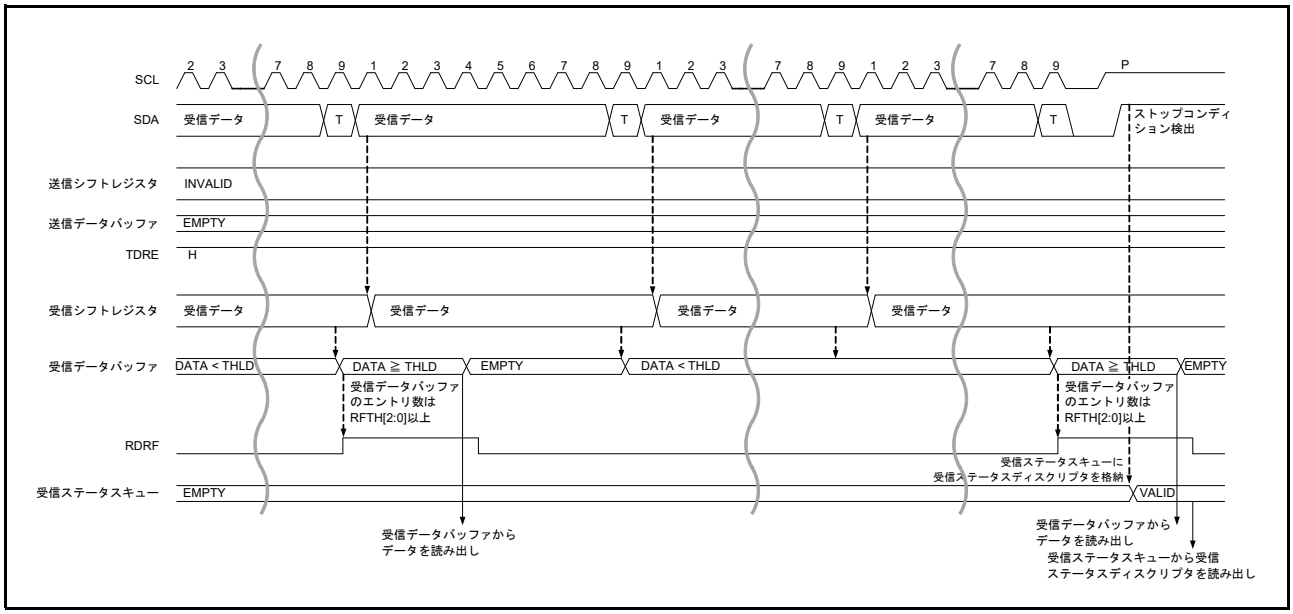


図 35.37　SDR ライト転送タイミング (2/2)

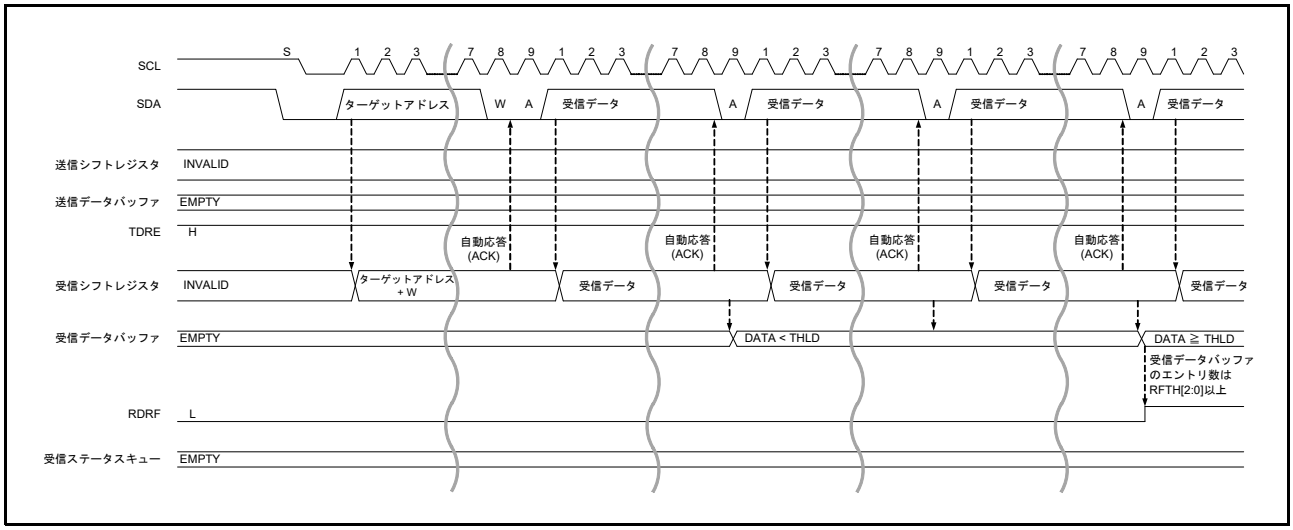


図 35.38　Legacy I2C ライト転送タイミング (1/2)

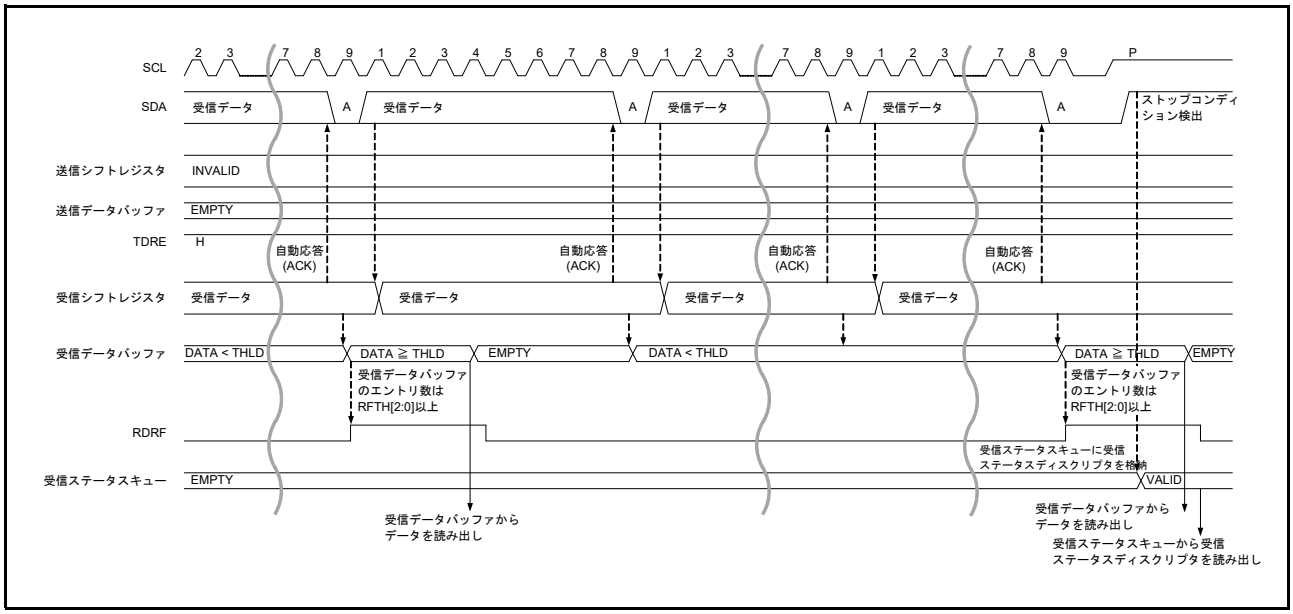


図 35.39　Legacy I²C ライト転送タイミング (2/2)

35.4.6.3　SDR リード転送

(1) I3C コントローラから要求されたデータを ICDR レジスタを介して送信データバッファに書き込みます。

(2) I3C コントローラからトランザクションが発行されたとき、アドレスヘッダのターゲットアドレスと自身のターゲットアドレスを比較し、一致した場合、RI3C は ACK 応答します。
トランザクションを受信したとき、送信データバッファがエンプティであれば、I3C ターゲットはアドレスヘッダで NACK 応答します。
I3C コントローラのリトライ準備において、ICDR レジスタを介して送信データバッファにデータを書き込みます。

(3) 送信データバッファに格納されたデータを送信します。

(4) 送信用データがまだ残っている場合、送信データエンプティ割り込みで、送信用データを ICDR レジスタを介して送信データバッファに書き込みます。

(5) SDR：
送信データバッファに格納されたデータの送信が完了したとき、データに続けて T ビットに Low が出力され、それが最終のデータであることを I3C コントローラに通知します。
Legacy I²C メッセージ：
NACK が検出されたとき、データ送信は終了します。

(6) リスタートコンディションまたはストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。

(7) ICSQR レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。
データ長が合わない場合、ICRCR.ISRST ビットを “1” に設定して、それからモジュールの内部状態をリセットしてください。詳細は、**「35.5.5.6　エラー復帰動作」**を参照してください。

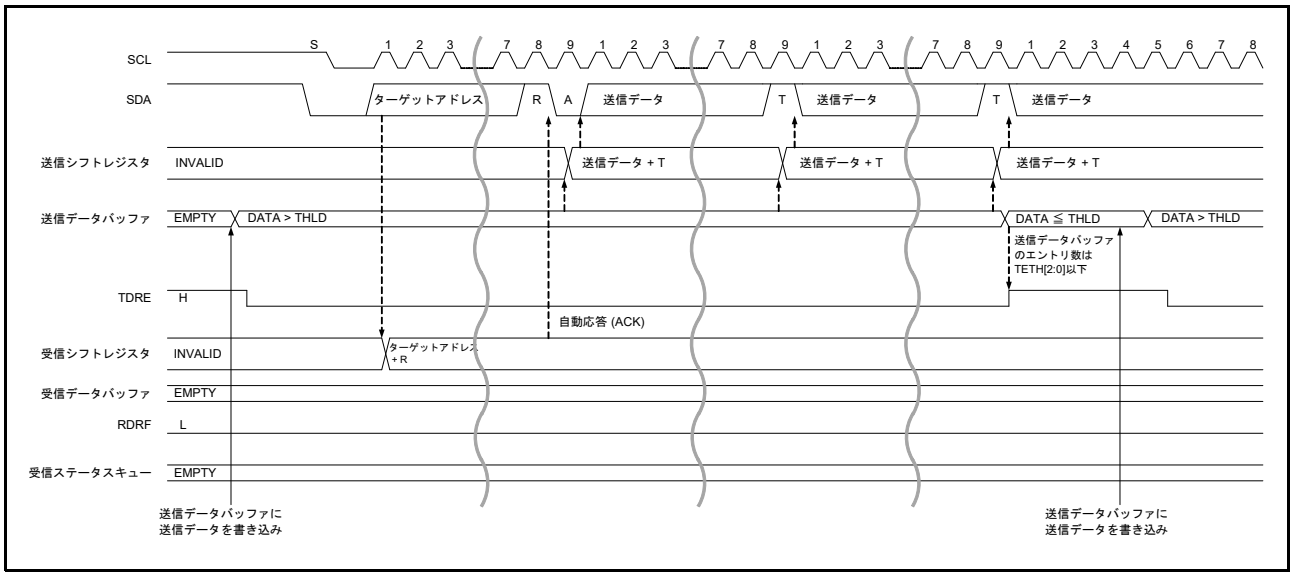


図 35.40　SDR リード転送タイミング (1/2)

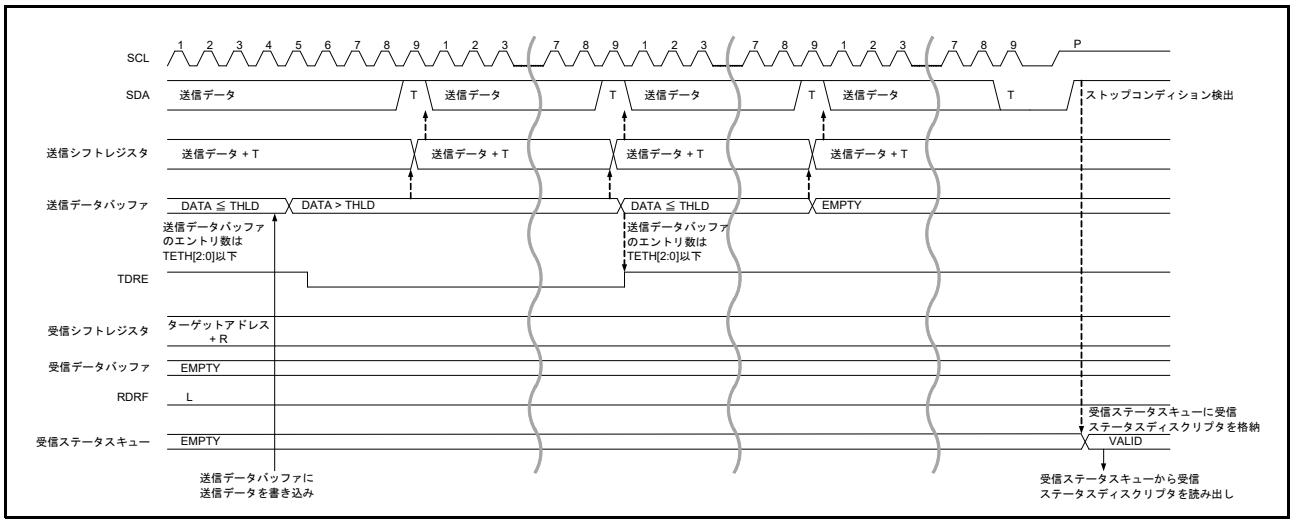


図 35.41　SDR リード転送タイミング (2/2)

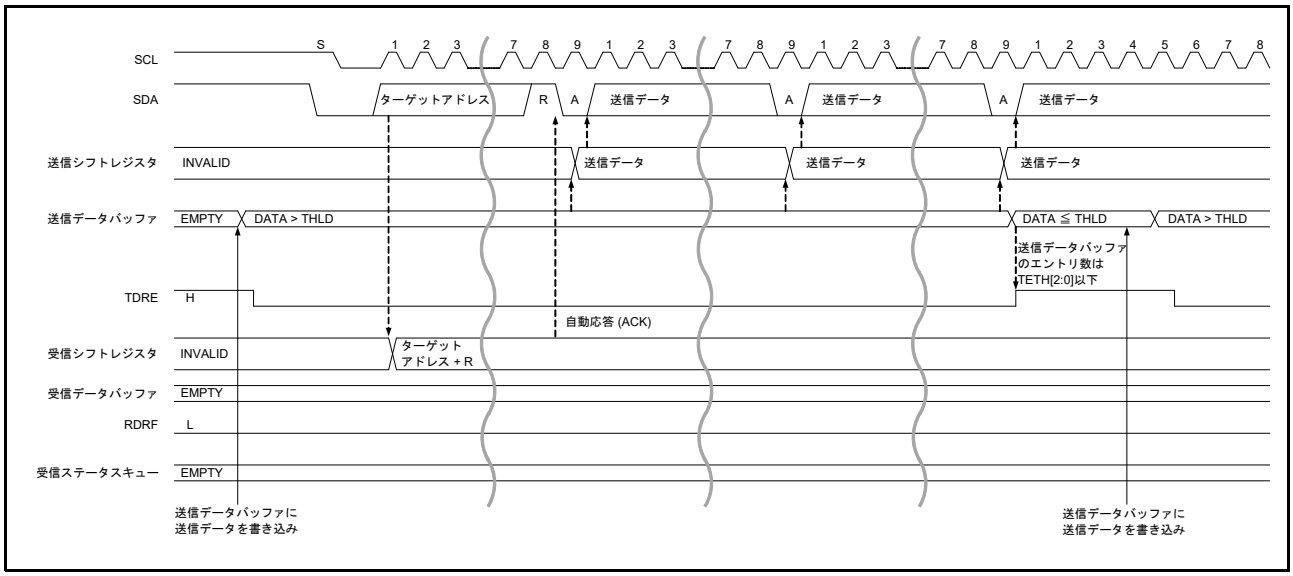


図 35.42 Legacy I2C リード転送タイミング (1/2)

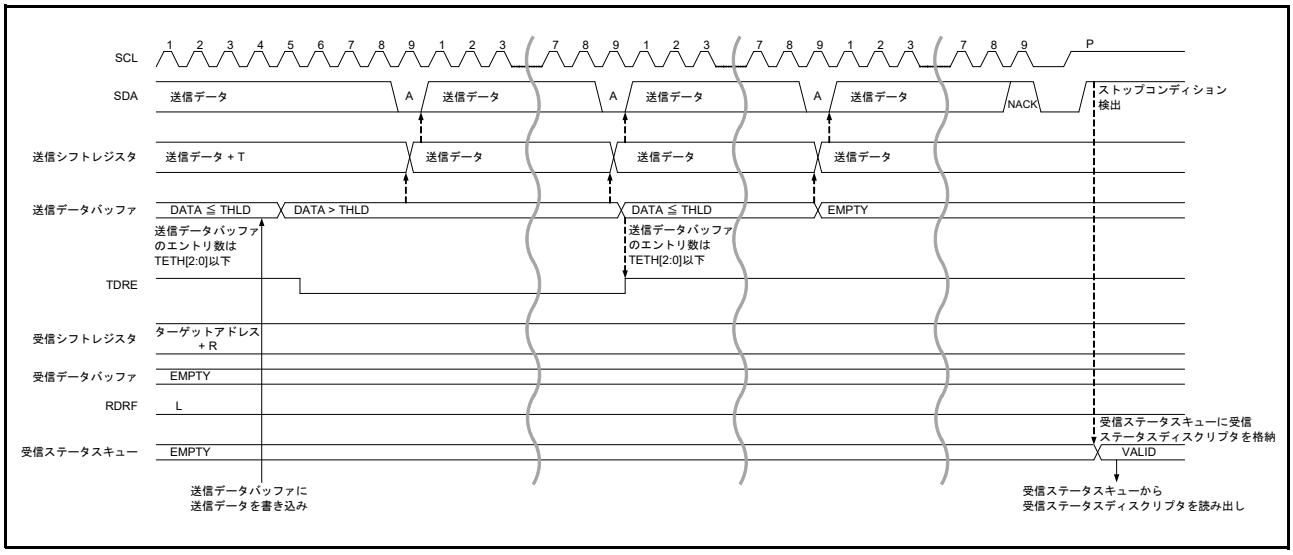


図 35.43 Legacy I2C リード転送タイミング (2/2)

35.4.6.4　IBI 転送

(1) ターゲット割り込み要求を送る場合
IBI データを送信する場合、IBI データを ICIQR レジスタを介して IBI キューに書き込みます。

(2) データ転送用のコマンドディスクリプタ (即時データ転送コマンド、または通常データ転送コマンド) を、ICCQR レジスタを介して IBI 転送用のコマンドバッファに書き込みます。

(3) コマンドバッファにコマンドディスクリプタを書くと、以下の条件で IBI トランザクションが発行されます。

- スタートコンディションの検出 (リスタートコンディションは対象外)
- 以下のバスコンディションのなかでスタートコンディションが現れない場合、本モジュールは SDA ラインを Low にしてスタートコンディション要求を発行します。
- (a) ターゲット割り込み要求、CRR 要求：バス利用可能
  (b) Hot-Join イベント：バスアイドル

(4) アドレスヘッダのターゲットアドレス + RnW 部分において、I3C コントローラからのトランザクション発行によりアービトレーションロストとなったとき、トランザクション発行を停止します。
リスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。

(5) ターゲット割り込み要求を送ったとき：

- 送信用の IBI データがまだ残っている場合は、IBI キューエンプティ / フル割り込みの処理内で IBI データを ICIQR レジスタを介して IBI キューに書き込みます。
- コマンドディスクリプタの DATA_LENGTH フィールドに指定したデータ長の数の IBI データの送信が完了したら、IBI データに続けて T ビットに Low が出力され、それが最終の IBI データであることを I3C コントローラに通知します。

(6) リスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。

(7) ICRQR レジスタでレスポンスバッファからレスポンスディスクリプタを読み出し、ステータスを確認します。NACK 応答の場合、手順 (1) ～ (7) を再度行ってください。

(8) ターゲット割り込み要求を送ったとき：
レスポンスディスクリプタの DATA_LENGTH フィールドの値が “0” であることを確認します。

図 35.46 に、CRR 処理のフローを示します。I3C バスの設定完了後に Hot-Join で I3C バスにジョインするとき、図 35.51 に示すフローに従って Hot-Join を発行します。

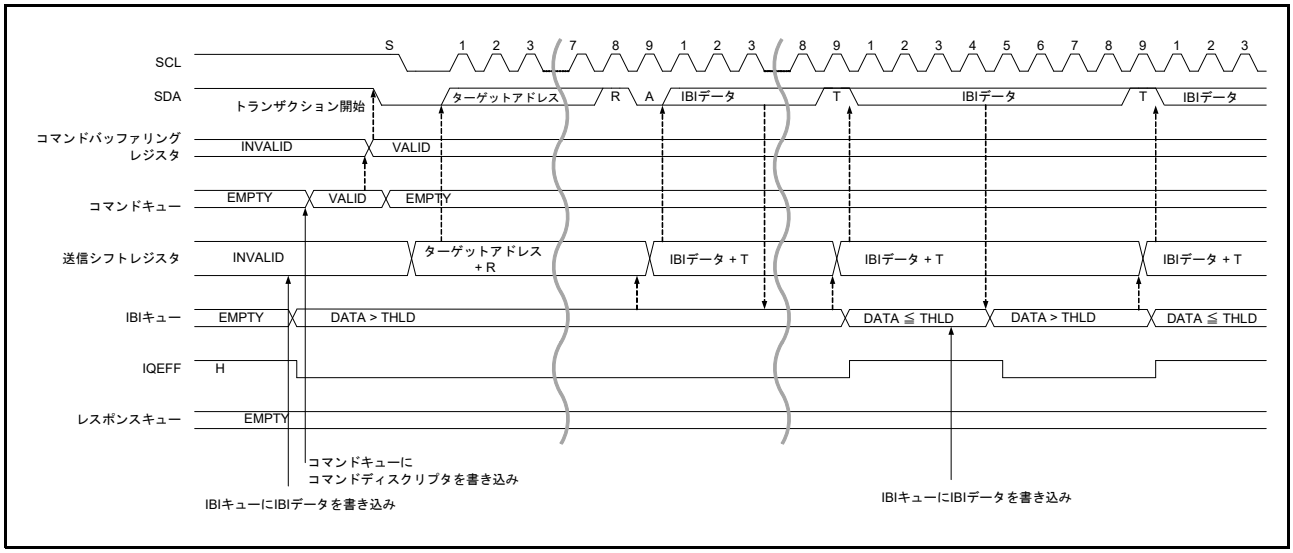


図 35.44　I3C ターゲット IBI 転送タイミング (1/2)

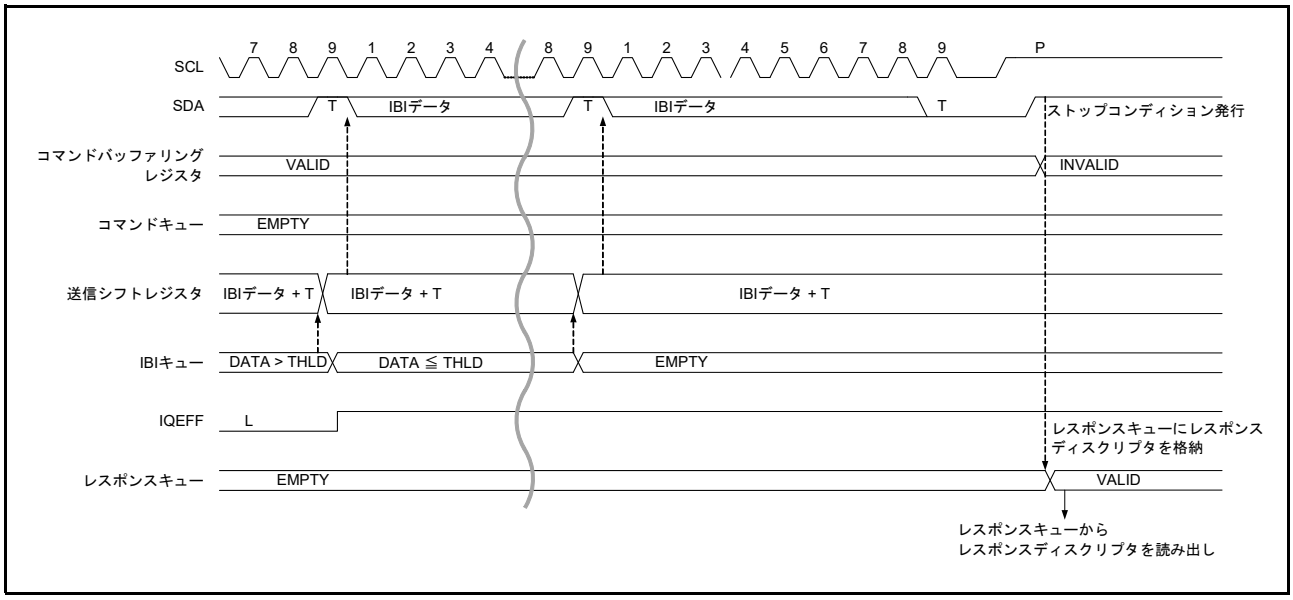


図 35.45　I3C ターゲット IBI 転送タイミング (2/2)

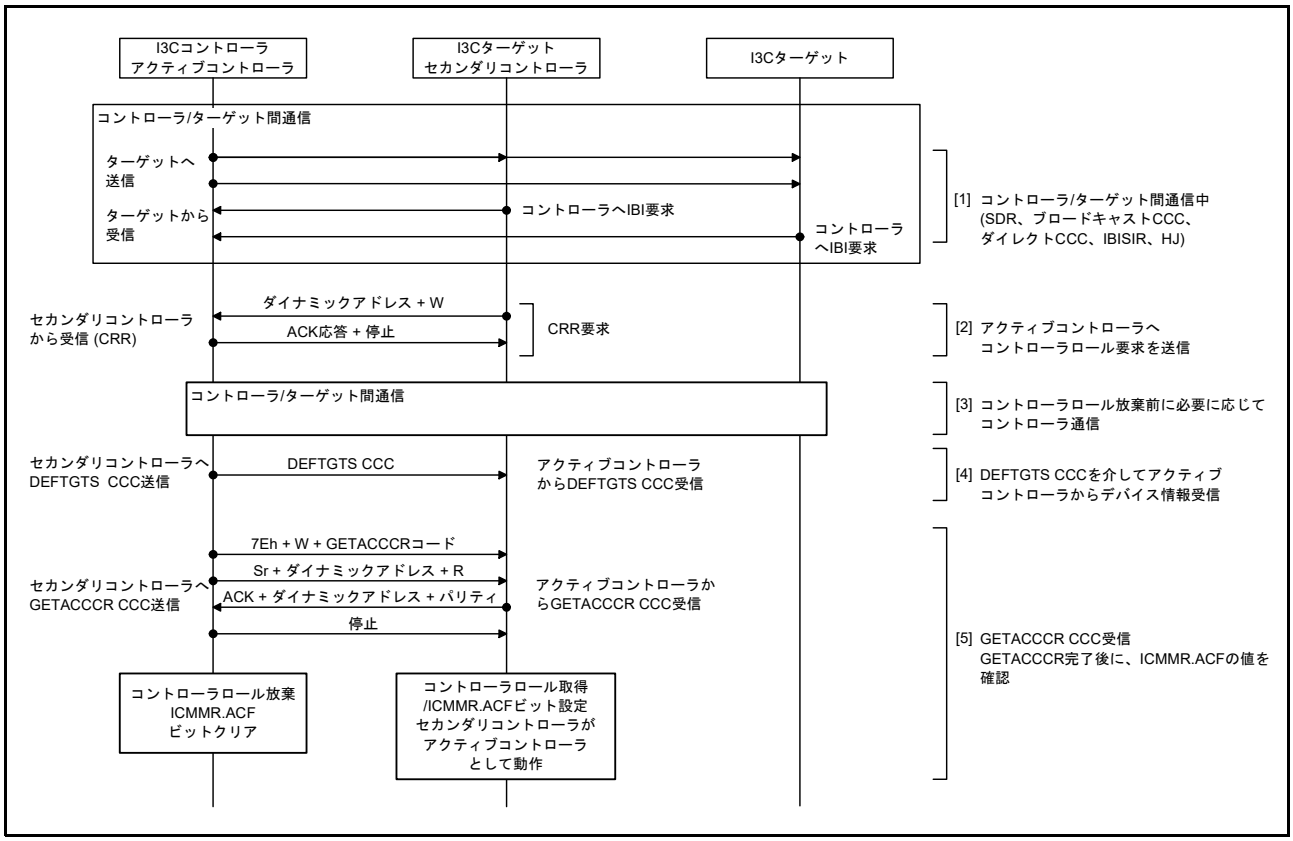
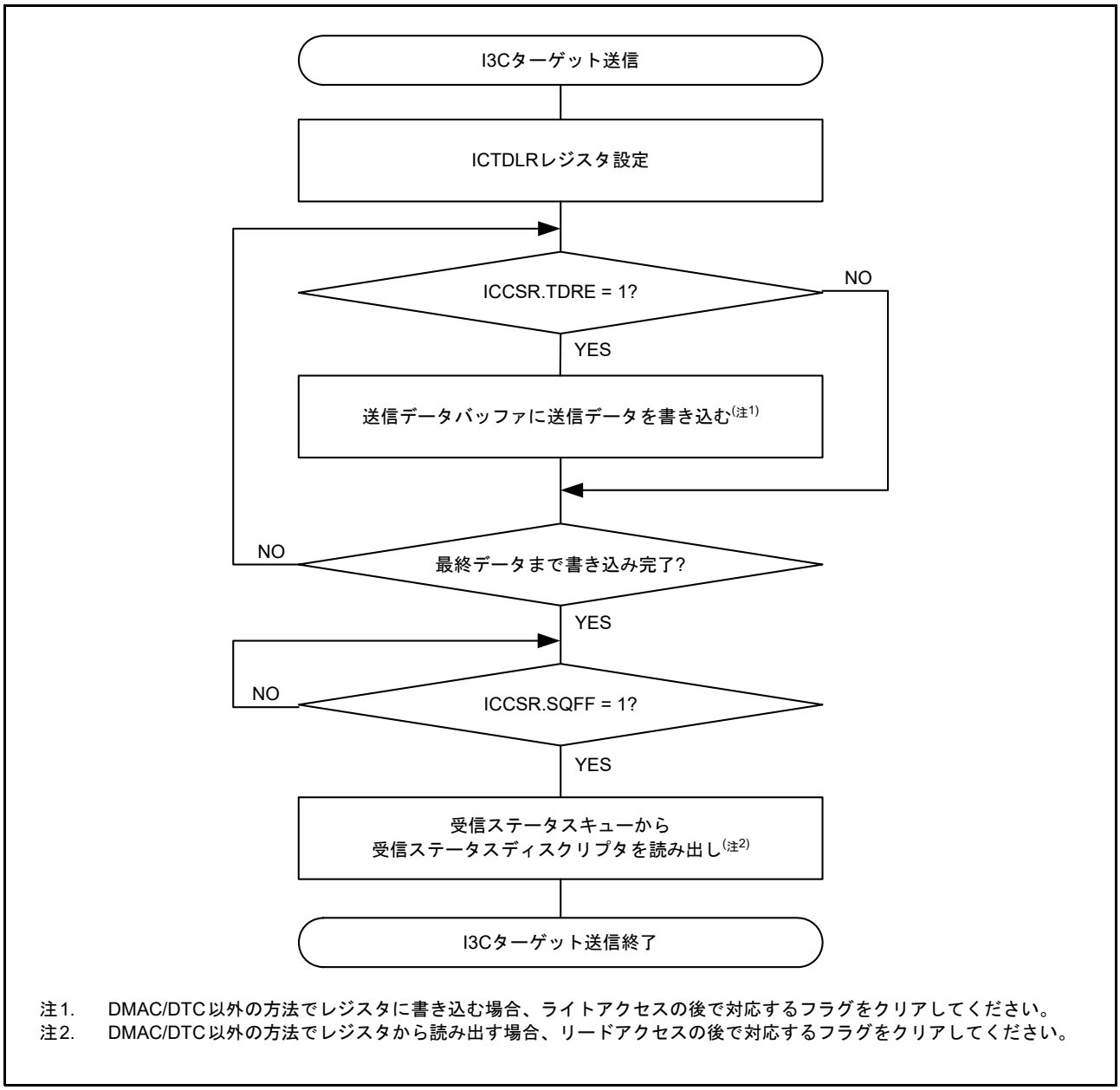


図 35.46　I3C ターゲット CRR 処理フロー

35.4.6.5 I3C ターゲット送信フロー (FIFO バッファ転送)

FIFO バッファ転送のターゲット送信フローは、Legacy I2C、SDR (プライベート転送、ブロードキャスト CCC、ダイレクト CCC) に共通です。



注1. DMAC/DTC以外の方法でレジスタに書き込む場合、ライトアクセスの後で対応するフラグをクリアしてください。
注2. DMAC/DTC以外の方法でレジスタから読み出す場合、リードアクセスの後で対応するフラグをクリアしてください。

図 35.47 I3C ターゲット送信のフローチャート例 (FIFO バッファ転送)

RI3C を I3C ターゲットとして使用している場合、ICDR レジスタから送信バッファへの書き込みによりデータが存在している間に I3C ターゲットが GET CCC コマンドを受信するときは、以下のフローに従ってください。

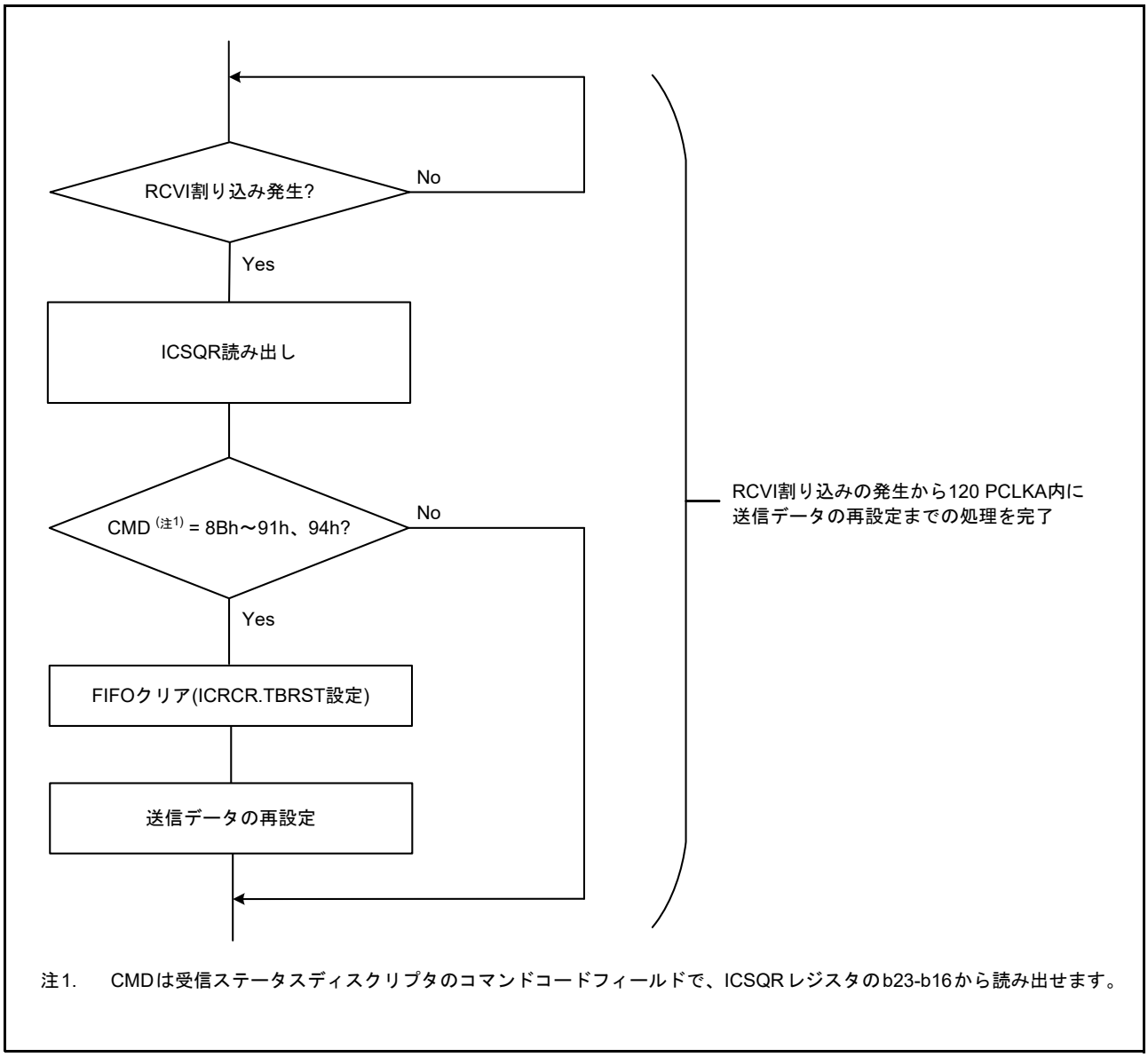
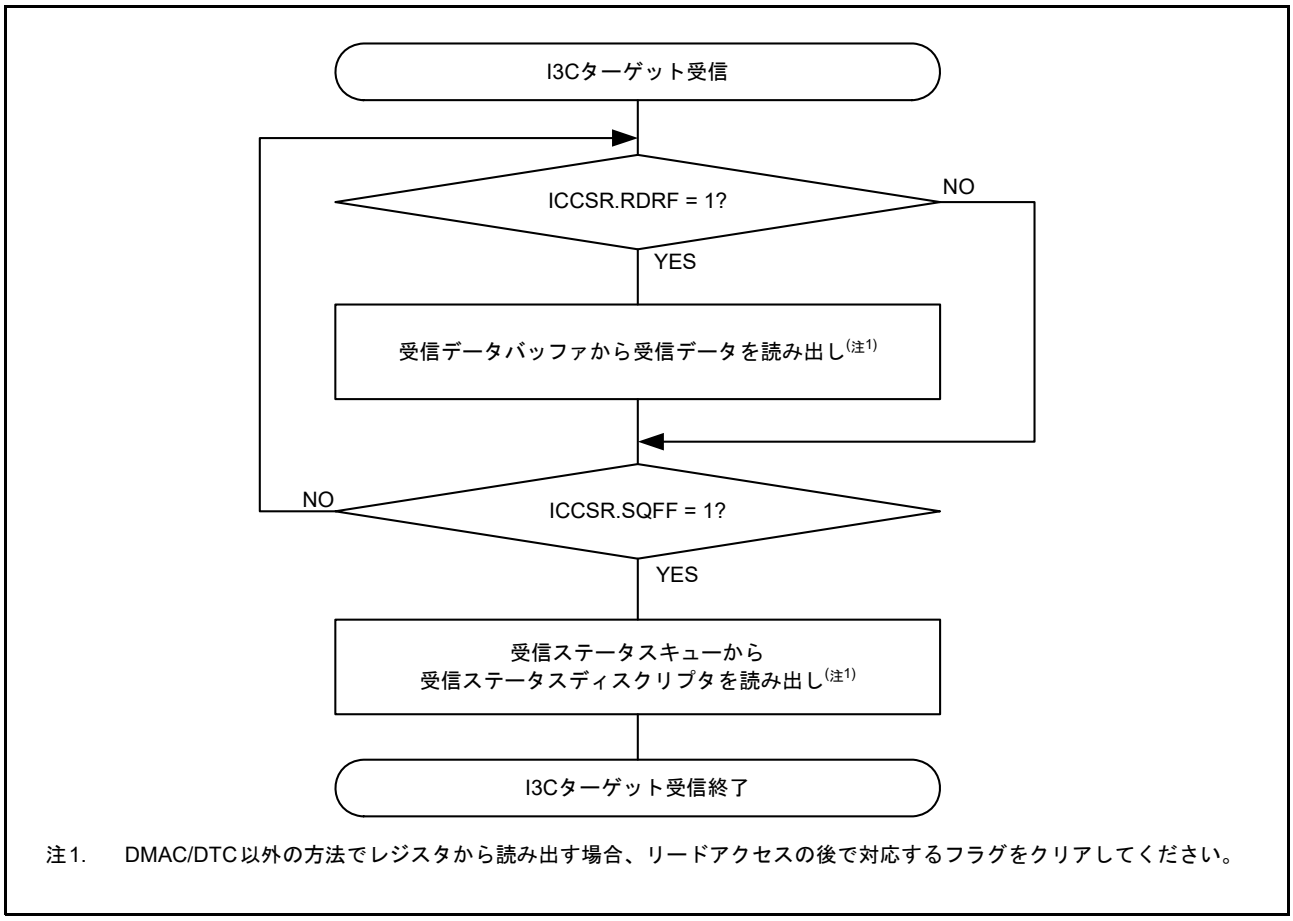


図 35.48 ICDR レジスタから送信バッファへの書き込みによりデータが存在している間に I3C ターゲットが GET CCC コマンドを受信する

35.4.6.6 I3C ターゲット受信フロー (FIFO バッファ転送)

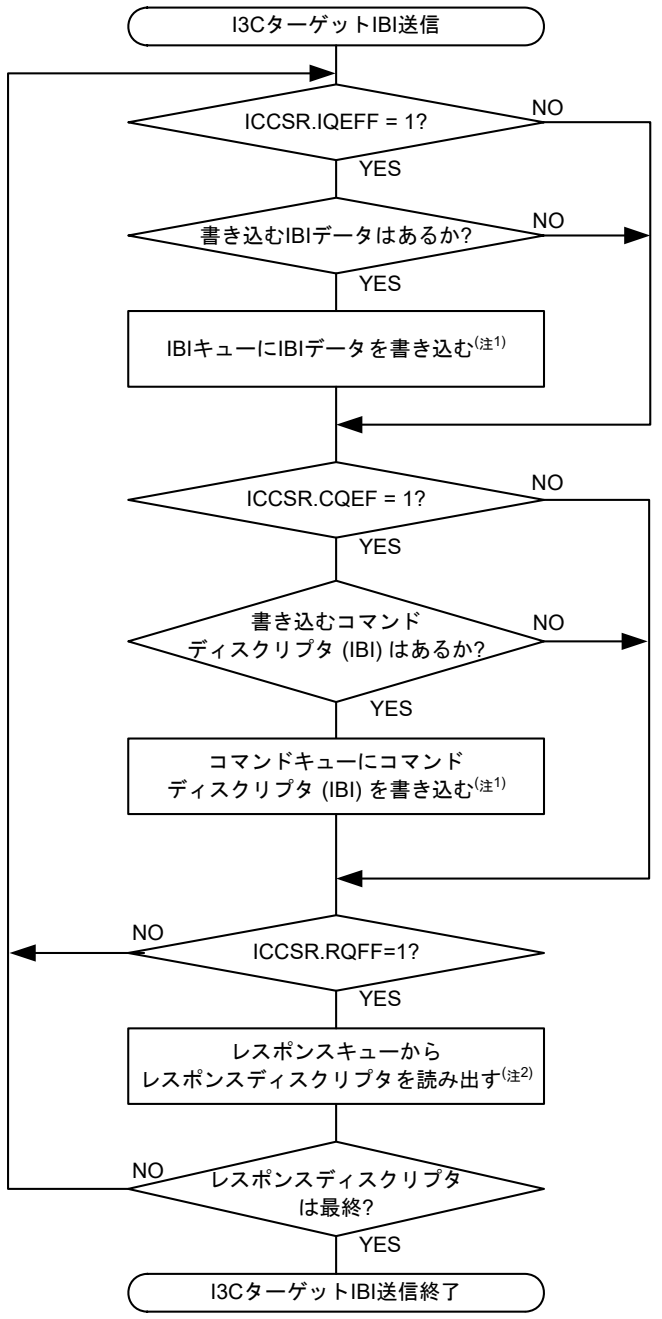
FIFO バッファ転送のターゲット受信フローは、Legacy I2C、SDR (プライベート転送、ブロードキャスト CCC、ダイレクト CCC) に共通です。



注1. DMAC/DTC以外の方法でレジスタから読み出す場合、リードアクセスの後で対応するフラグをクリアしてください。

図 35.49 I3C ターゲット受信のフローチャート例 (FIFO バッファ転送)

35.4.6.7 I3C ターゲット IBI 送信フロー



注1. DMAC/DTC以外の方法でレジスタに書き込む場合、ライトアクセスの後で対応するフラグをクリアしてください。
注2. DMAC/DTC以外の方法でレジスタから読み出す場合、リードアクセスの後で対応するフラグをクリアしてください。

図 35.50 I3C ターゲット IBI 送信のフローチャート例

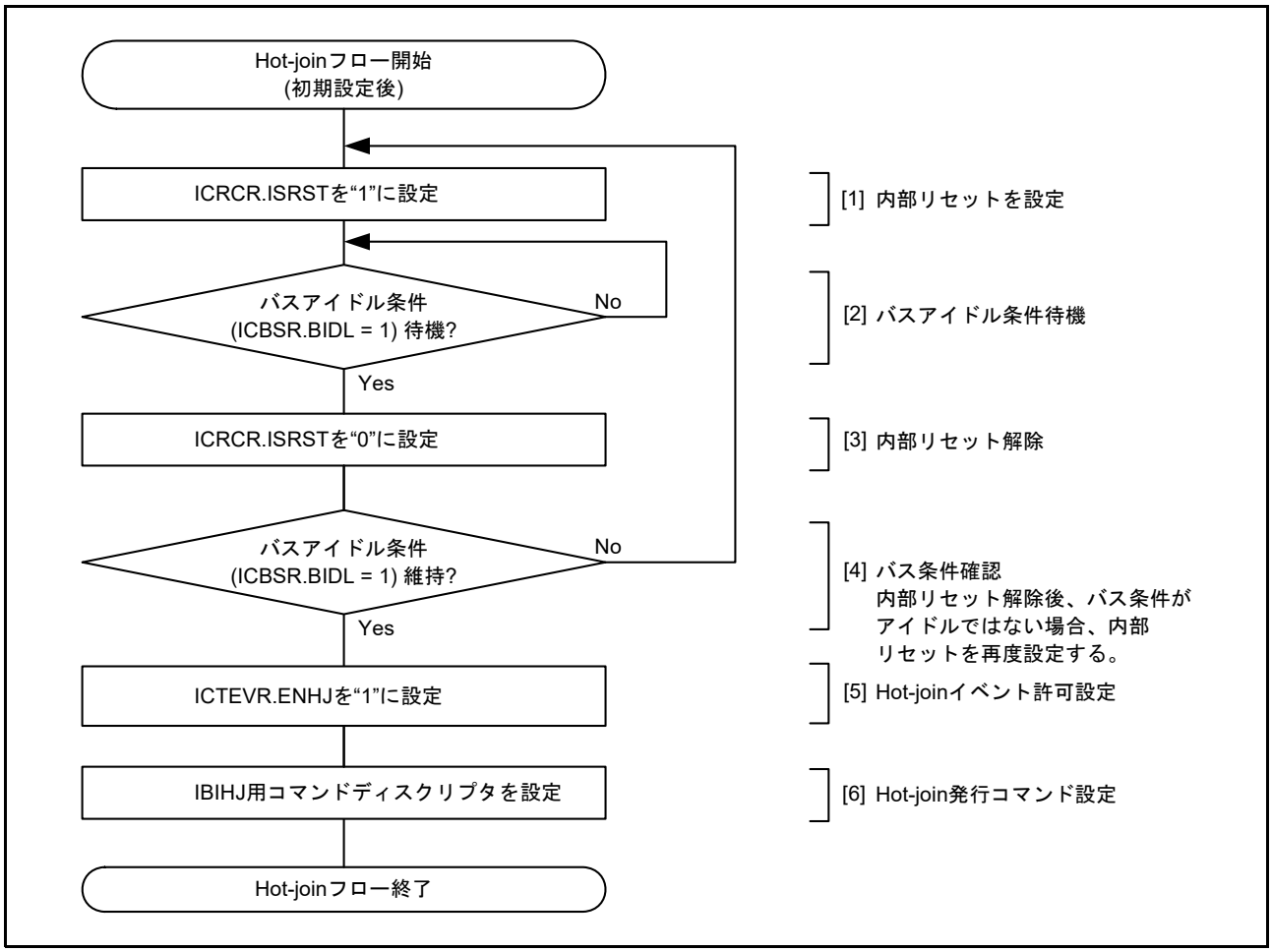


図 35.51 I3C バスがすでに設定済である場合の Hot-Join のフローチャート

35.5 機能詳細

35.5.1 CCC 検出機能

ブロードキャスト CCC の場合

(1) スタートコンディションまたはリスタートコンディションの後、ブロードキャストアドレス (7Eh) と RnW = 0 を受信します。
(2) ACK 応答します。
(3) 共通コマンドコード (CCC) を受信します。
(4) CCC に従い、以下のデータを格納します (格納先は、**表 35.6** を参照)。
(5) 受信ステータスディスクリプタを受信ステータスキューに格納します。

ブロードキャスト CCC (ENTDAA) の場合

(1) スタートコンディションの後、ブロードキャストアドレス (7Eh) と RnW = 0 を受信します。
(2) ACK 応答します。
(3) ENTDAA を受信します。
(4) リスタートコンディションの後、ブロードキャストアドレス (7Eh) と RnW = 1 を受信した場合。
(5) ダイナミックアドレスが割り当てられない場合、ACK 応答をします。
(6) この支給 ID (ICPIDHR レジスタ、ICPIDLR レジスタの b15-b0)、BCR (ICDCTR レジスタの b15-b8)、DCR (ICDCTR レジスタの b7-b0) を送信します。
(7) 上記 6. の送信でアービトレーションを獲得したら、それに続くダイナミックアドレスを受信します。
上記 6. の送信でアービトレーションをロストしたら、4. から 6. の処理を繰り返します。
(8) ダイナミックアドレスのパリティが正しい場合、ACK 応答をします。
(9) ダイナミックアドレスのパリティが正くない場合、NACK 応答をして、4. から 7. の処理を繰り返します。
(10) ICDAR0.DADR[6:0] ビットを更新し、ICDAMR0.DAV フラグを “1” にします。
(11) ストップコンディションを検出したら、受信ステータスディスクリプタを受信ステータスキューに格納します。

ダイレクトライト CCC の場合

(1) スタートコンディションまたはリスタートコンディションの後、ブロードキャストアドレス (7Eh) と RnW = 0 を受信します。
(2) ACK 応答します。
(3) 共通コマンドコード (CCC) を受信します。
(4) リスタートコンディションの後、ダイナミックアドレスと RnW = 0 を受信します。
(5) 受信したダイナミックアドレスと割り当てられたダイナミックアドレスとを比較し、一致した場合、RI3C は ACK 応答します。
一致しない場合、NACK 応答し、リスタートコンディションまたはストップコンディションを待ちます。
(6) CCC に従い、以下のデータを格納します (格納先は、**表 35.6** を参照)。
(7) 受信ステータスディスクリプタを受信ステータスキューに格納します。

ダイレクトリード CCC の場合

(1) スタートコンディションまたはリスタートコンディションの後、ブロードキャストアドレス (7Eh) と RnW = 1 を受信します。
(2) ACK 応答します。

(3) 共通コマンドコード (CCC) を受信します。
(4) リスタートコンディションの後、ダイナミックアドレスと RnW = 1 を受信します。
(5) 受信したダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、RI3C は ACK 応答します。
一致しない場合、NACK 応答し、リスタートコンディションまたはストップコンディションを待ちます。
(6) CCC に従い、レジスタから応答します (応答 CCC については、**表 35.6** を参照)。
(7) 受信ステータスディスクリプタを受信ステータスキューに格納します。

表 35.6　共通コマンドコード動作

コマンドコード	CCCの種類	コマンド名	データの有無	自動応答	格納先
00h	Broadcast	ENEC	あり	—	レジスタ
01h	Broadcast	DISEC	あり	—	レジスタ
02h	Broadcast	ENTAS0	なし	—	レジスタ
03h	Broadcast	ENTAS1	なし	—	レジスタ
04h	Broadcast	ENTAS2	なし	—	レジスタ
05h	Broadcast	ENTAS3	なし	—	レジスタ
06h	Broadcast	RSTDAA	なし	—	レジスタ
07h	Broadcast	ENTDAA	あり	あり	レジスタ
08h	Broadcast	DEFTGTS	あり	—	FIFO
09h	Broadcast	SETMWL	あり	—	レジスタ
0Ah	Broadcast	SETMRL	あり	—	レジスタ
0Bh	Broadcast	ENTTM	あり	—	レジスタ
29h	Broadcast	SETAASA	なし	—	レジスタ
80h	Direct Write	ENEC	あり	—	レジスタ
81h	Direct Write	DISEC	あり	—	レジスタ
82h	Direct Write	ENTAS0	なし	—	レジスタ
83h	Direct Write	ENTAS1	なし	—	レジスタ
84h	Direct Write	ENTAS2	なし	—	レジスタ
85h	Direct Write	ENTAS3	なし	—	レジスタ
86h	Direct Write	RSTDAA	なし	—	レジスタ
87h	Direct Write	SETDASA	あり	—	レジスタ
88h	Direct Write	SETNEWDA	あり	—	レジスタ
89h	Direct Write	SETMWL	あり	—	レジスタ
8Ah	Direct Write	SETMRL	あり	—	レジスタ
8Bh	Direct Read	GETMWL	—	あり	レジスタ
8Ch	Direct Read	GETMRL	—	あり	レジスタ
8Dh	Direct Read	GETPID	—	あり	レジスタ
8Eh	Direct Read	GETBCR	—	あり	レジスタ
8Fh	Direct Read	GETDCR	—	あり	レジスタ
90h	Direct Read	GETSTATUS	—	あり	レジスタ
91h	Direct Read	GETACCCR	—	あり	レジスタ
94h	Direct Read	GETMXDS	—	あり	レジスタ

35.5.2 クロックストール

RI3C には、SCL の Low 期間に SCL をストールする機能があります。
SCL ストールコントロールについて、以下の表で説明します。

表35.7 I3Cクロックストール

クロックストール条件	クロックストールコントロール	クロックストール期間
I3C転送、ACK/NACKフェーズ	ICSTCR.APSEビットの設定値	ICSTCR.STT[15:0]値のカウント期間の間
	送信FIFOエンプティ	送信FIFOにデータが書き込まれるまで
	受信FIFOフル	受信FIFOからデータが読み出されるまで
I3Cライトデータ転送、パリティビット	ICSTCR.PBSEビットの設定値	ICSTCR.STT[15:0]値のカウント期間の間
	送信FIFOエンプティ	送信FIFOにデータが書き込まれるまで
I3Cリード転送、遷移ビット	受信FIFOフル	受信FIFOからデータが読み出されるまで
アドレス割り当てフェーズ	ICSTCR.AASEビットの設定値	ICSTCR.STT[15:0]値のカウント期間の間

条件ごとのストールタイミングを以下の図に示します。

(1) I3C 転送、ACK/NACK フェーズ

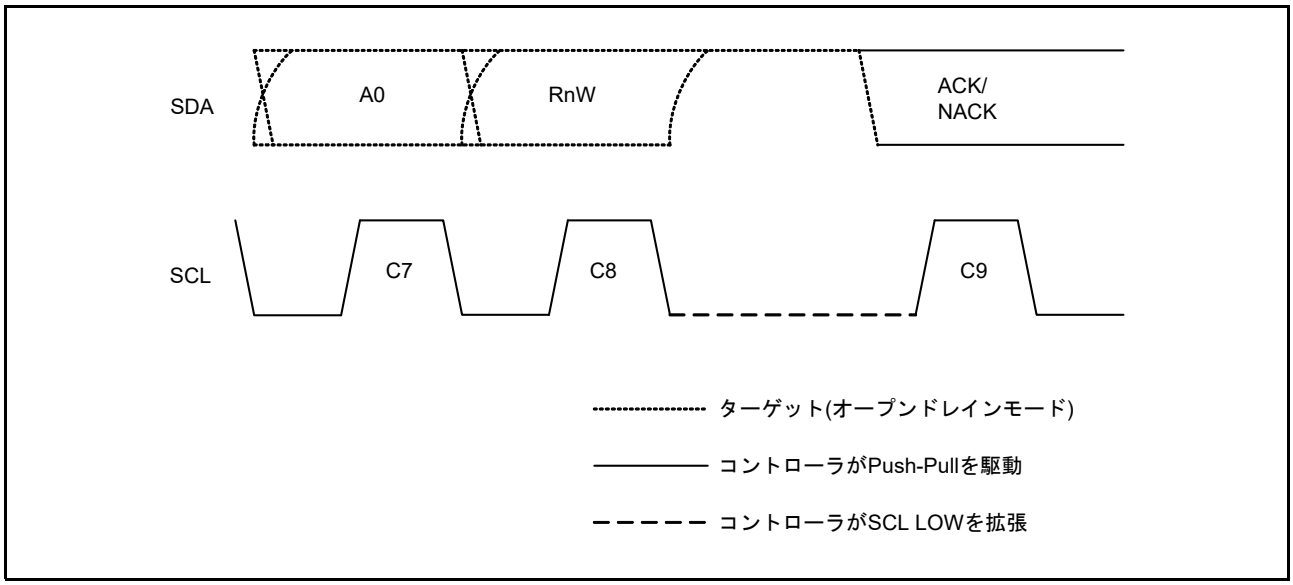


図 35.52 ACK フェーズのコントローラクロックストール

(2) I3C ライトデータ転送、パリティビット

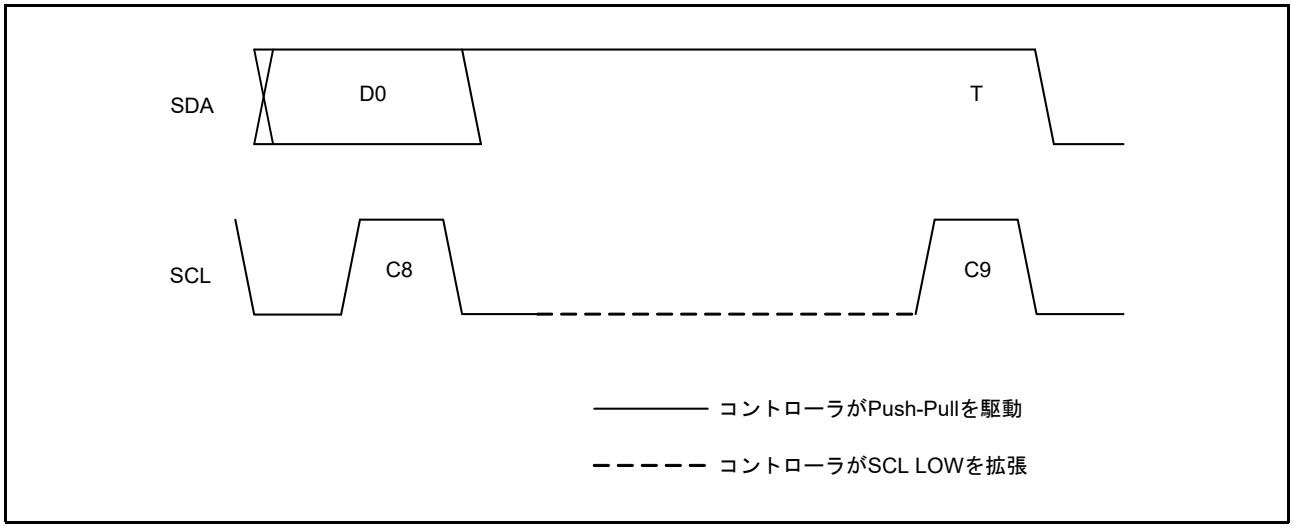


図 35.53 ライトパリティビットのコントローラクロックストール

(3) I3C リード転送、遷移ビット

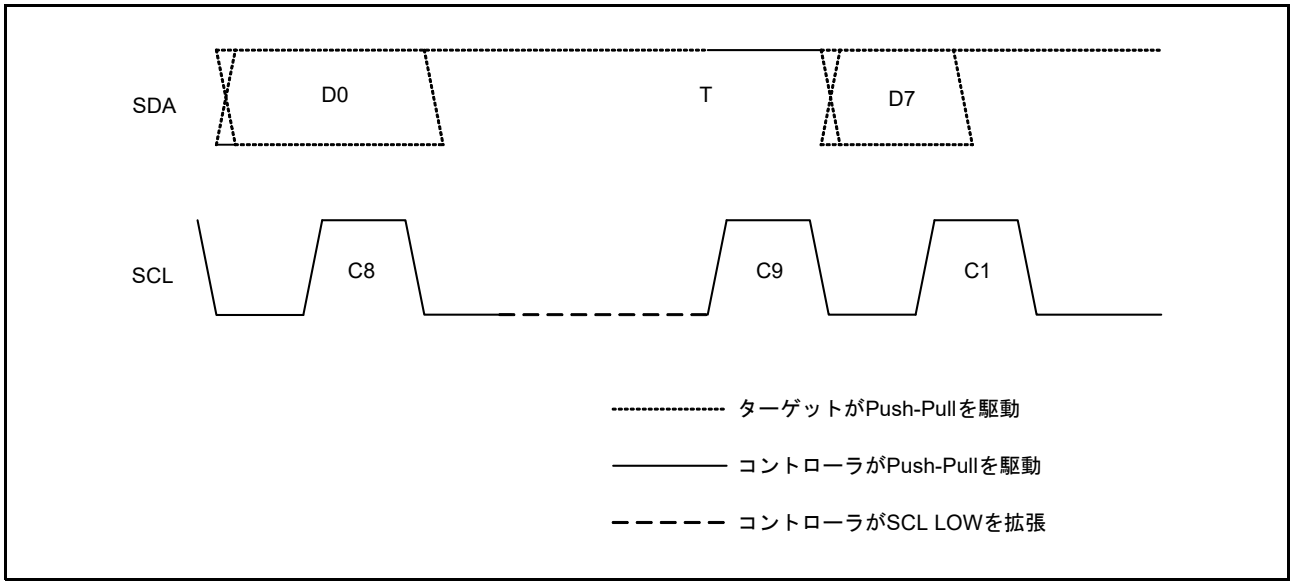


図 35.54 次のリードデータの前の T ビットでのコントローラクロックストール

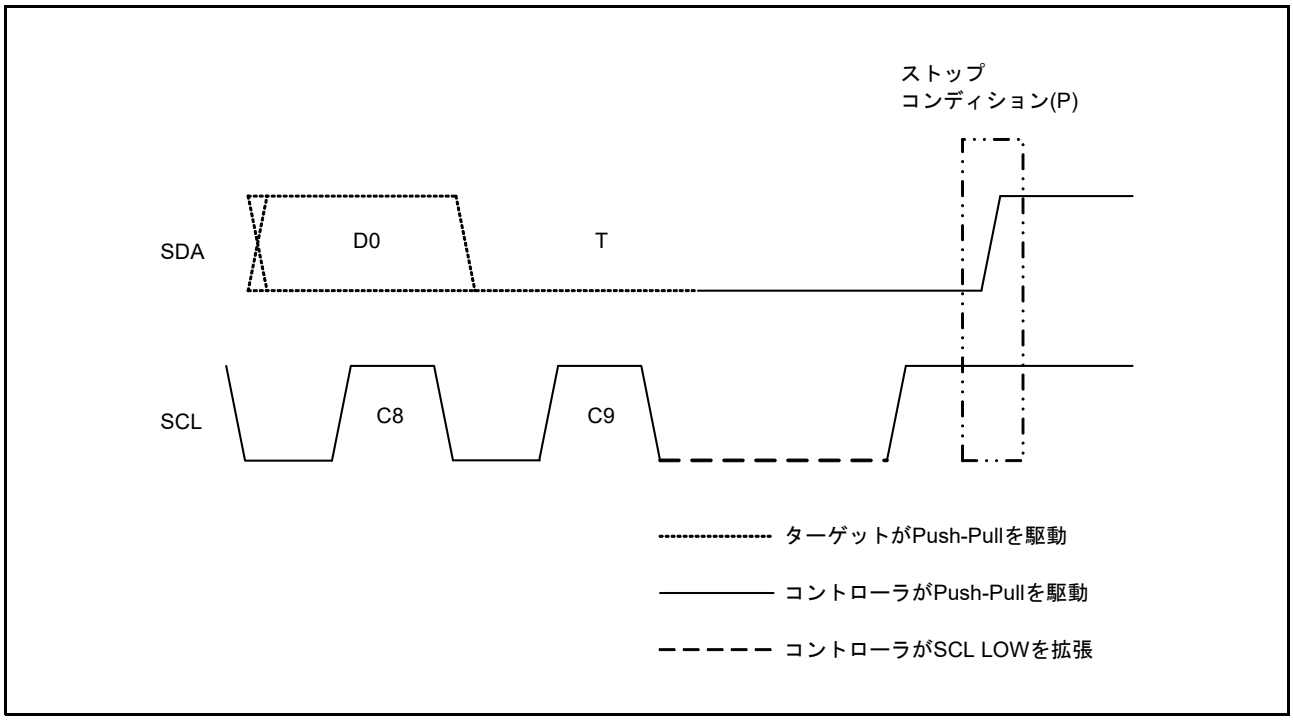


図 35.55　ストップコンディションの前のＴビットでのコントローラクロックストール

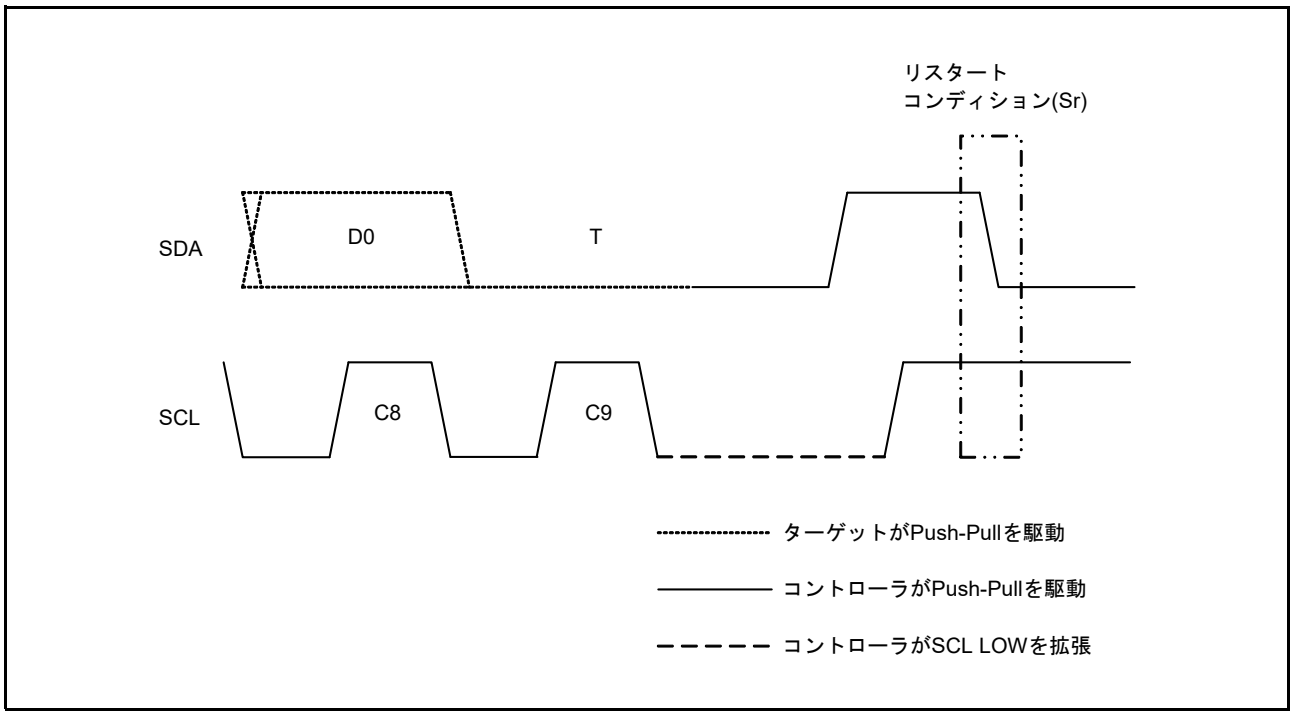


図 35.56　リスタートコンディションの前の Low Ｔビットでのコントローラクロックストール

(4) ダイナミックアドレス割り当て、配置アドレスの最初のビット

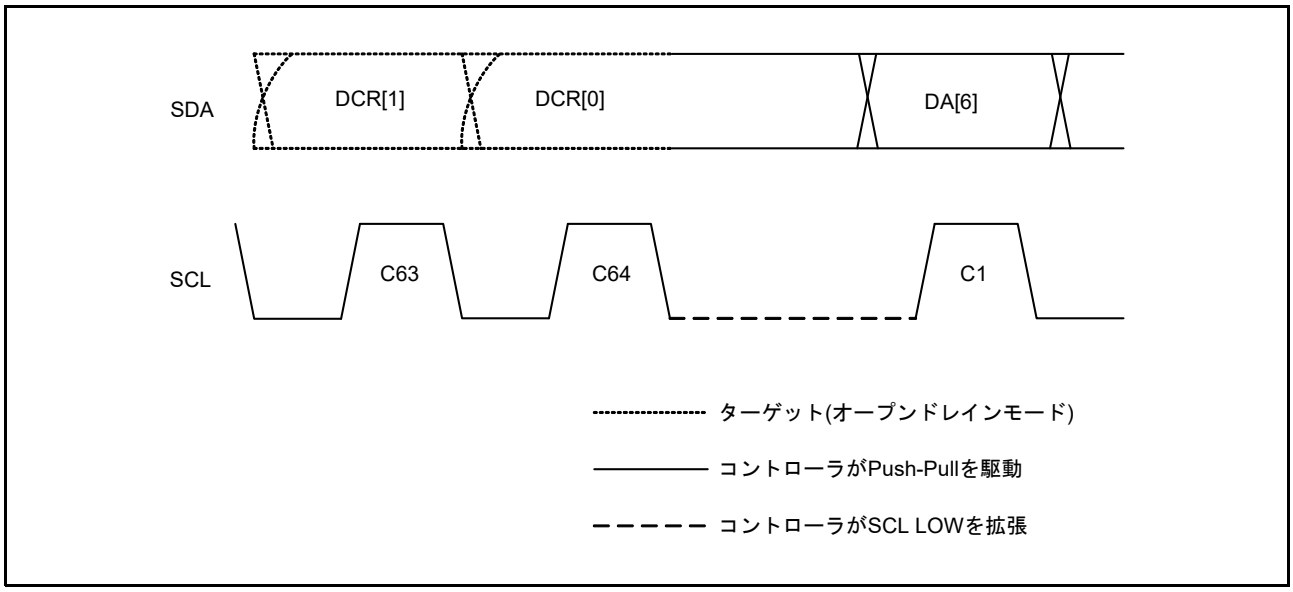


図 35.57 ダイナミックアドレスの最初のビットでのコントローラクロックストール

35.5.3 IBI

RI3C は、スタートコンディション (ただしリスタートコンディションは除く) に続くアービトレーション獲得済みのアドレスヘッダで、IBI を検出します。ターゲットデバイスからスタートコンディション要求 (SDA が Low) が発行され場合、RI3C は SCL を Low にして、スタートコンディションを完了します。それから、SCL を供給し、IBI 要求を受信します。

検出する IBI は、以下の 3 種類あります。

- ターゲット割り込み要求
- CRR 要求
- Hot-Join イベント

各 IBI 検出時の動作について以下に説明します。

35.5.3.1 ターゲット割り込み要求

(1) アドレスヘッダの RnW ビットが High でターゲットアドレスを検出します。
(2) 検出したターゲットアドレスを、各 DAT (ICTDATRm レジスタ) の DADR[7:0] ビットと比較します。
(3) ICTDATRm.DADR[7:0] ビットの値と一致しない場合：
• NACK 応答し、ストップコンディションを発行します。
ICTDATRm.DADR[7:0] ビットの値と一致し、かつ ICTDATRm.TIRRJ ビットが “1” の場合：
• 以下の順で動作します。
1. NACK 応答します。
2. リスタートコンディションを発行し、検出したターゲットに対し自動的にダイレクト DISEC CCC を発行します。
3. ストップコンディションを発行します。
ICTDATRm.DADR[7:0] ビットの値と一致し、かつ ICTDATRm.TIRRJ ビットが “0” の場合：
• ACK 応答します。
(4) ICTDATRm.IBIPL = 0 のとき：
• ストップコンディションを発行します。
ICTDATRm.IBIPL = 1 のとき：
• 以下の順で動作します。
1. ACK 応答に続けてターゲットから IBI データを受信するため SCL を駆動し、IBI データを受信します。
2. 受信した IBI データを IBI キューに格納します。
3. ICQBTCR.IDSS[7:0] ビットに設定されたサイズの IBI データを受信するごとに、IBI ステータスディスクリプタが IBI キューに格納されます。
(5) IBI データに続いて T ビットの Low を検出した後、ストップコンディションを発行します。
(6) ストップコンディションの発行後
NACK 応答：
• ICINCR.RTIRN ビットが “0” の場合、IBI ステータスディスクリプタを IBI キューに格納しません。
• ICINCR.RTIRN ビットが “1” の場合、IBI ステータスディスクリプタを IBI キューに格納します。
ACK 応答：
• IBI ステータスディスクリプタを IBI キューに格納します。

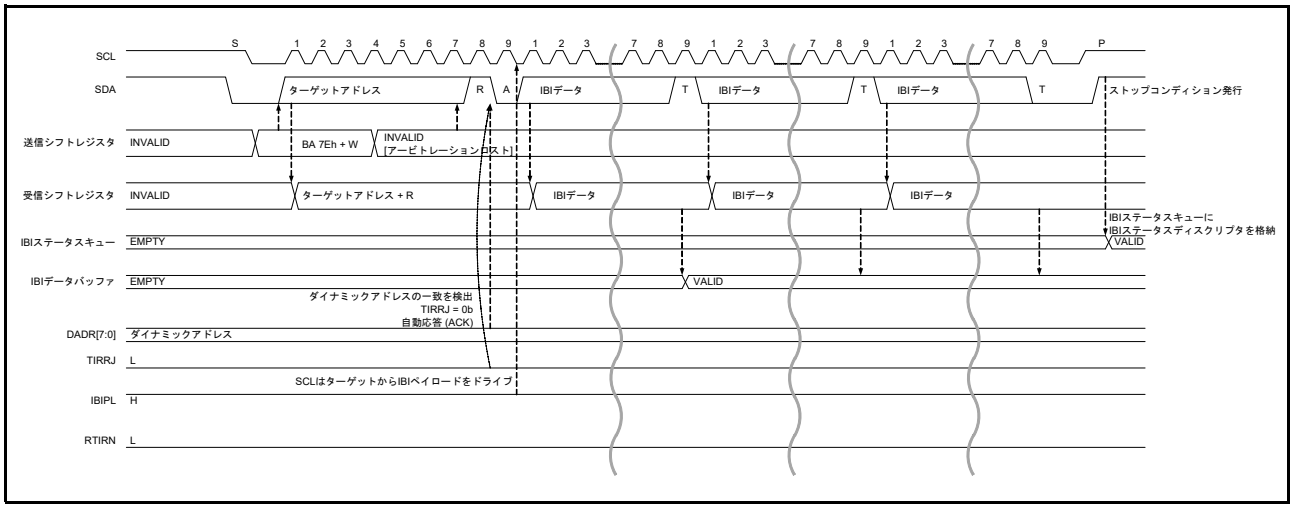


図 35.58　ターゲット割り込み要求：ACK かつ IBIPL = 1 の場合

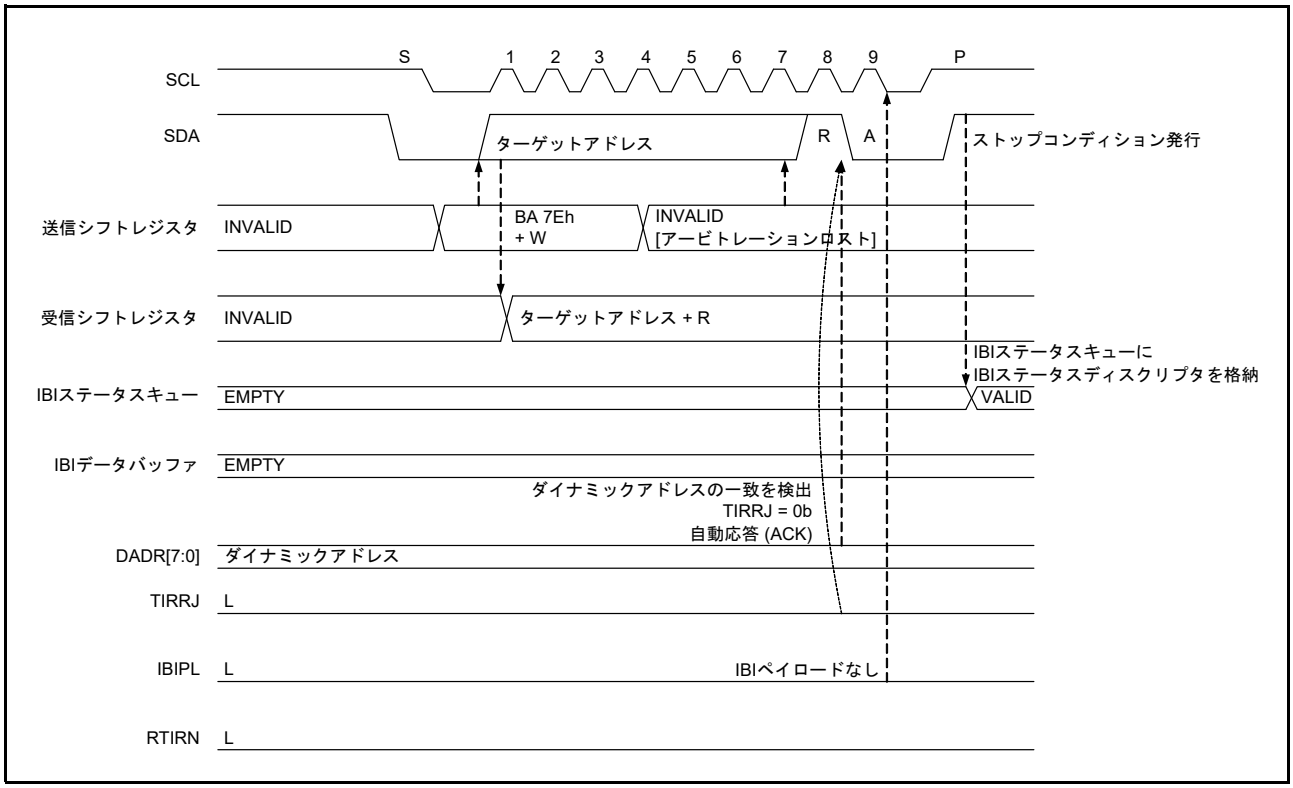


図 35.59　ターゲット割り込み要求：ACK かつ IBIPL = 0 の場合

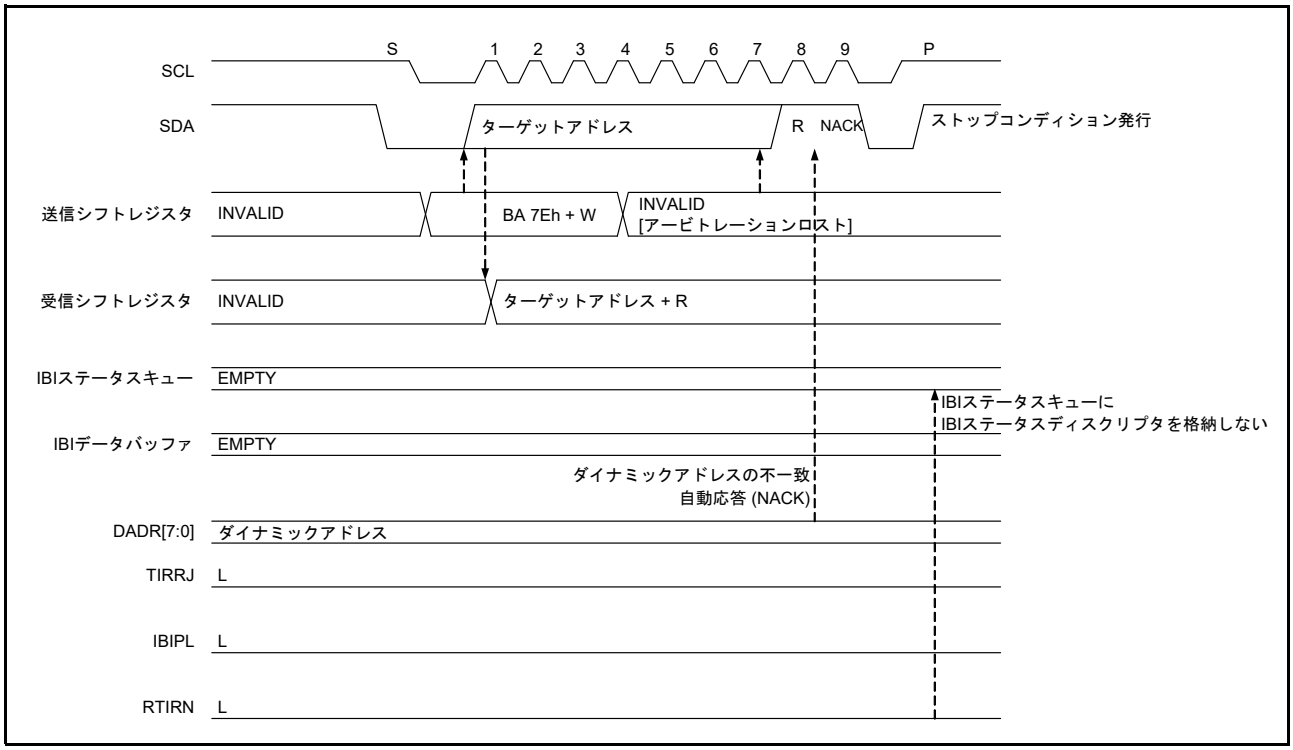


図 35.60　ターゲット割り込み要求：NACK (DADR[7:0] ビットが一致しない) かつ RTIRN = 0 の場合

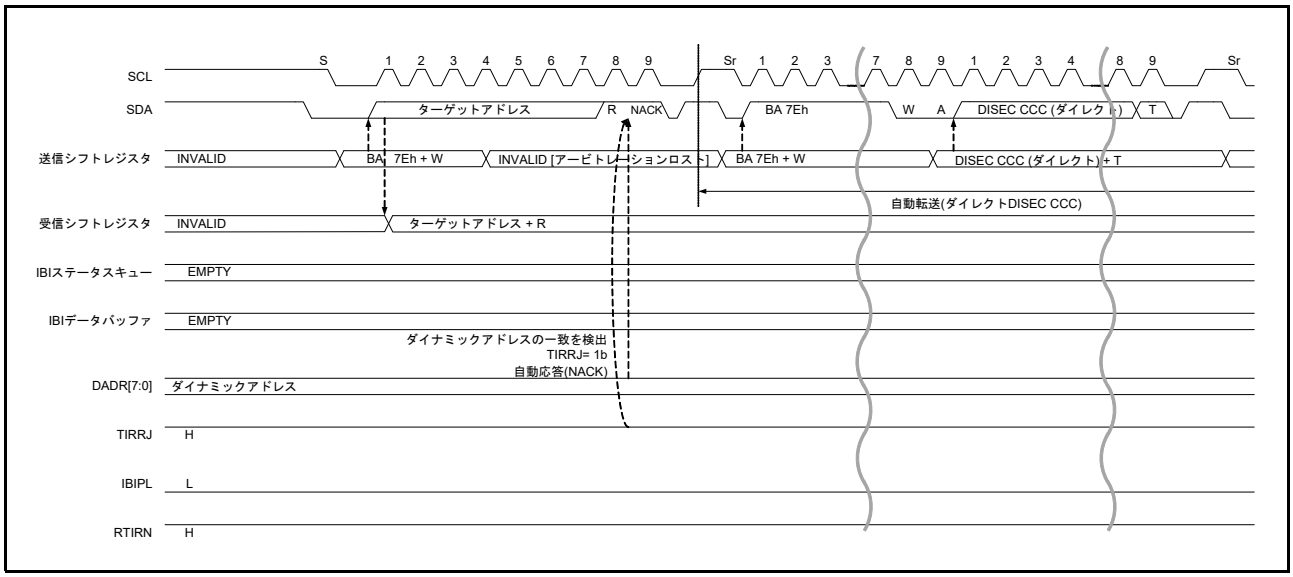


図 35.61　ターゲット割り込み要求：NACK (TIRRJ = 1) かつ RTIRN = 1 の場合 (1/2)

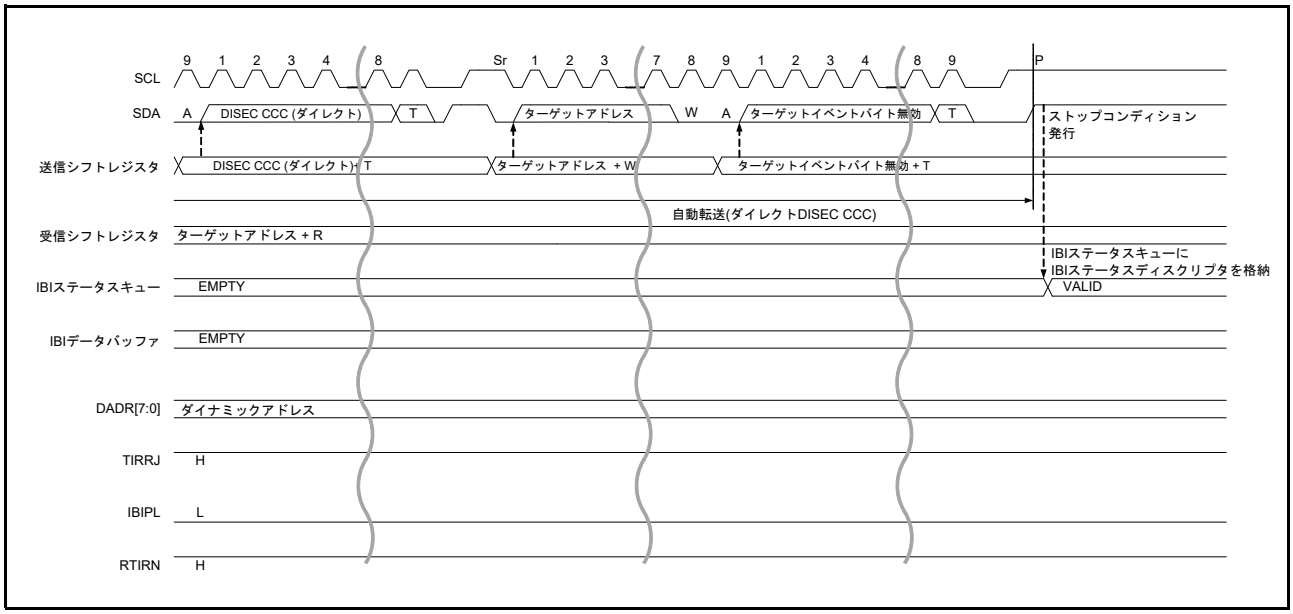


図 35.62　ターゲット割り込み要求：NACK (TIRRJ = 1) かつ RTIRN = 1 の場合 (2/2)

35.5.3.2　CRR 要求

(1) アドレスヘッダの RnW ビットが Low でターゲットアドレスを検出します。
(2) 検出したターゲットアドレスを、各 DAT (ICTDATRm レジスタ) の DADR[7:0] ビットと比較します。
(3) ICTDATRm.DADR[7:0] ビットの値と一致しない場合：
• NACK 応答し、ストップコンディションを発行します。
ICTDATRm.DADR[7:0] ビットの値と一致し、かつ ICTDCTRm.ROLE[1:0] ビット (BCR[7:6]) が、“00b” (I3C ターゲット) である場合：
• NACK 応答し、ストップコンディションを発行します。
ICTDATRm.DADR[7:0] ビットの値と一致し、かつ ICTDCTRm.ROLE[1:0] ビット (BCR[7:6]) が、“01b” (I3C コントローラ対応) の場合：
(a) ICTDATRm.CRRRJ ビットが“1”のとき：
• 以下の順で動作します。
1. NACK 応答します。
2. リスタートコンディションを発行し、検出したターゲットに対し自動的にダイレクト DISEC CCC を発行します。
3. ストップコンディションを発行します。
(b) ICTDATRm.CRRRJ ビットが“0”のとき：
• ACK 応答し、ストップコンディションを発行します。
(4) ストップコンディションの発行後、
NACK 応答：
• ICINCR.RCRRN ビットが “0” の場合、IBI ステータスディスクリプタを IBI キューに格納しません。
• ICINCR.RCRRN ビットが “1” の場合、IBI ステータスディスクリプタを IBI キューに格納します。
ACK 応答：
• IBI ステータスディスクリプタを IBI キューに格納します。

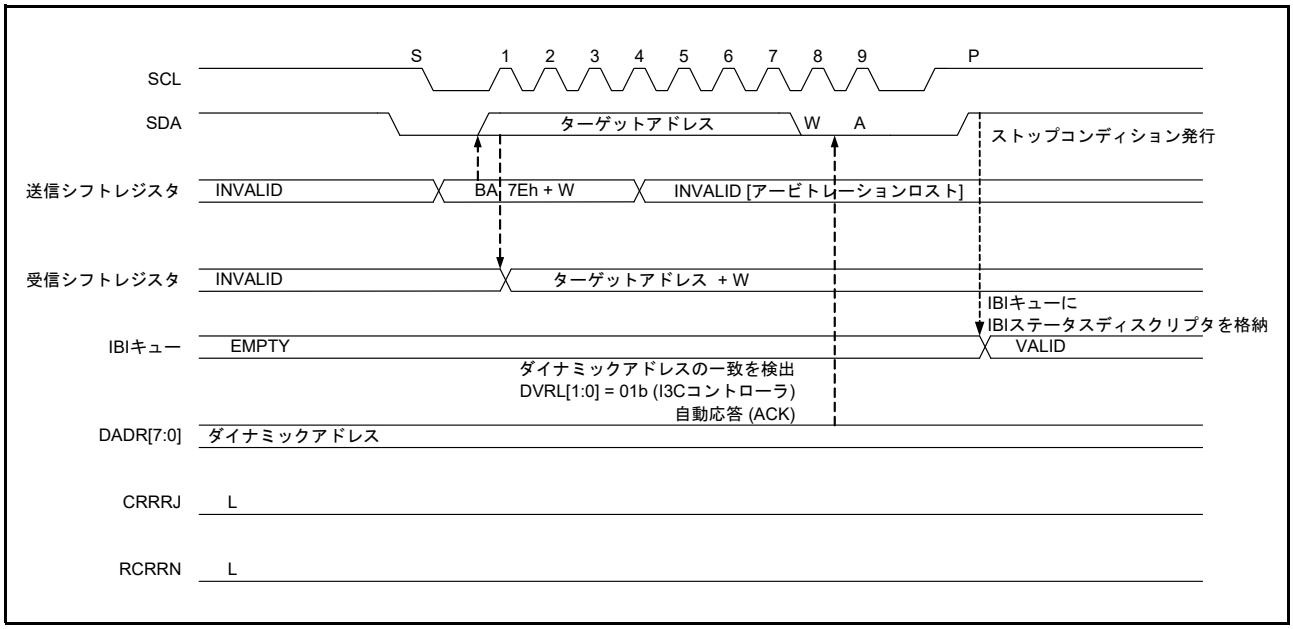


図 35.63　CRR 要求：ACK

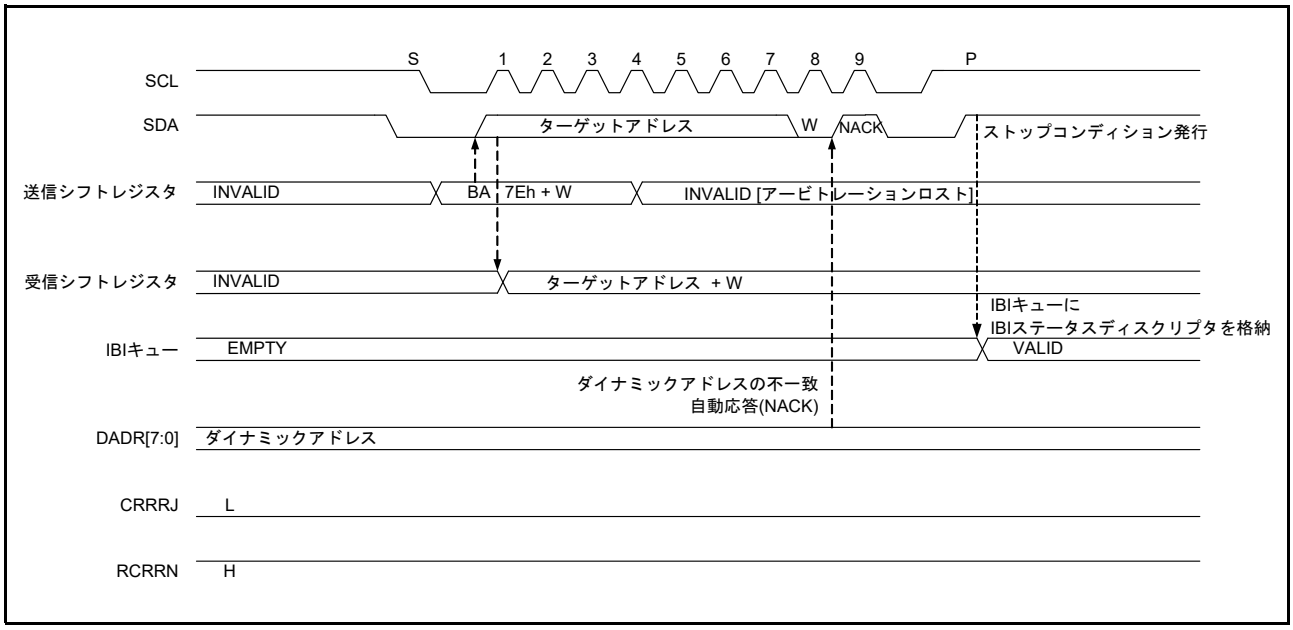


図 35.64　CRR 要求：NACK (DADR[7:0] ビットが一致しない) かつ RCRRN = 1 の場合

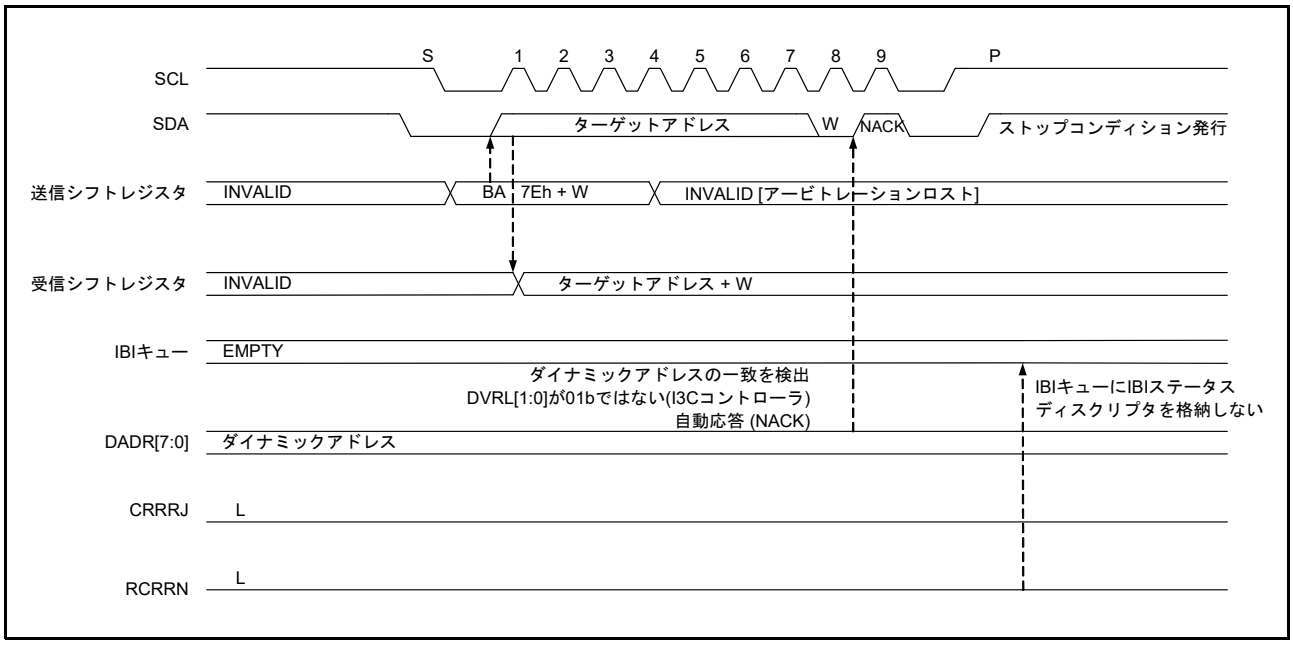


図 35.65　CRR 要求：NACK (ROLE[1:0] ビットが “00b” (I3C ターゲット)) かつ RCRRN = 0 の場合

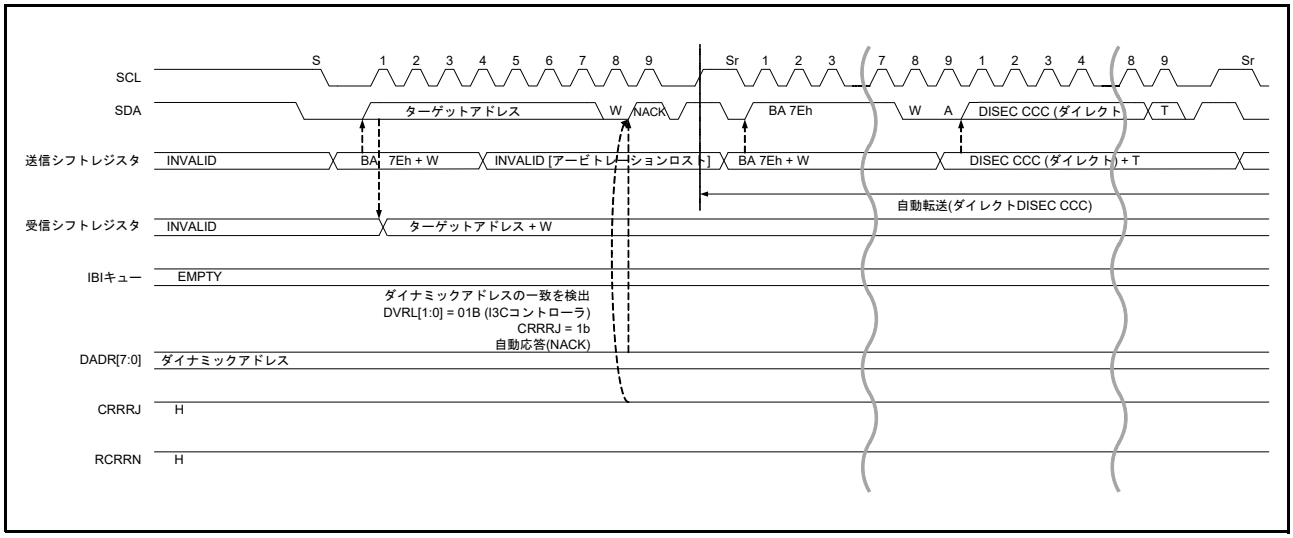


図 35.66　CRR 要求：NACK (CRRRJ = 1) かつ RCRRN = 1 の場合 (1/2)

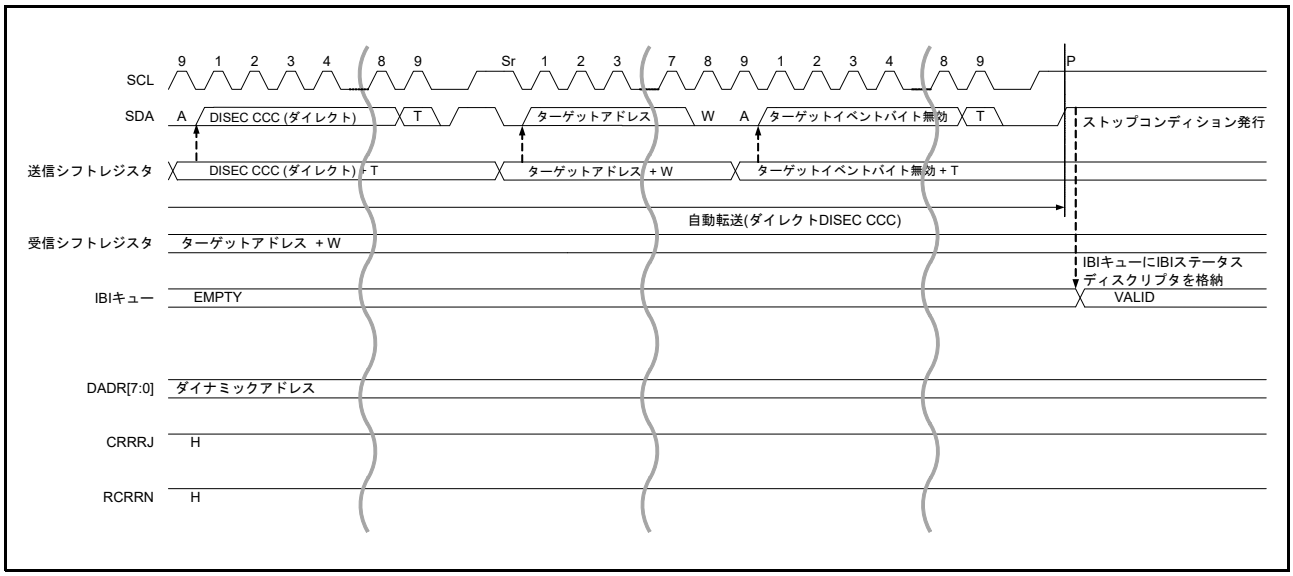


図 35.67　CRR 要求：NACK (CRRRJ = 1) かつ RCRRN = 1 の場合 (2/2)

35.5.3.3　Hot-Join イベント

(1) アドレスヘッダの RnW ビットが Low で Hot-Join アドレス (02h) を検出します。

(2) ICCR.HJC = 1 のとき：

• 以下の順で動作します。

1. NACK 応答します。
2. リスタートコンディションを発行し、自動的にブロードキャスト DISEC CCC を発行します。
3. ストップコンディションを発行します。

ICCR.HJC = 0 のとき：

• ACK 応答し、ストップコンディションを発行します。

(3) ストップコンディションの発行後

NACK 応答：

• ICINCR.RHJRN ビットが “0” の場合、IBI ステータスディスクリプタを IBI キューに格納しません。

• ICINCR.RHJRN ビットが “1” の場合、IBI ステータスディスクリプタを IBI キューに格納します。

ACK 応答：

• IBI ステータスディスクリプタを IBI キューに格納します。

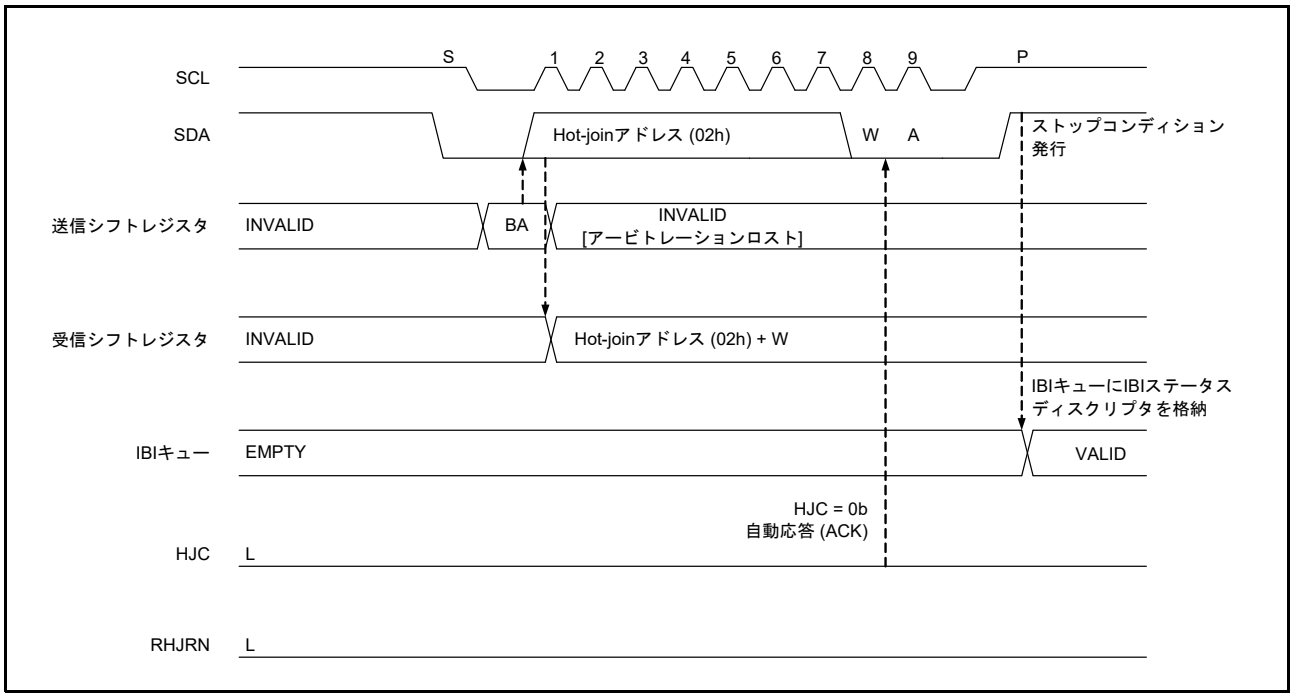


図 35.68 Hot-Join イベント：ACK

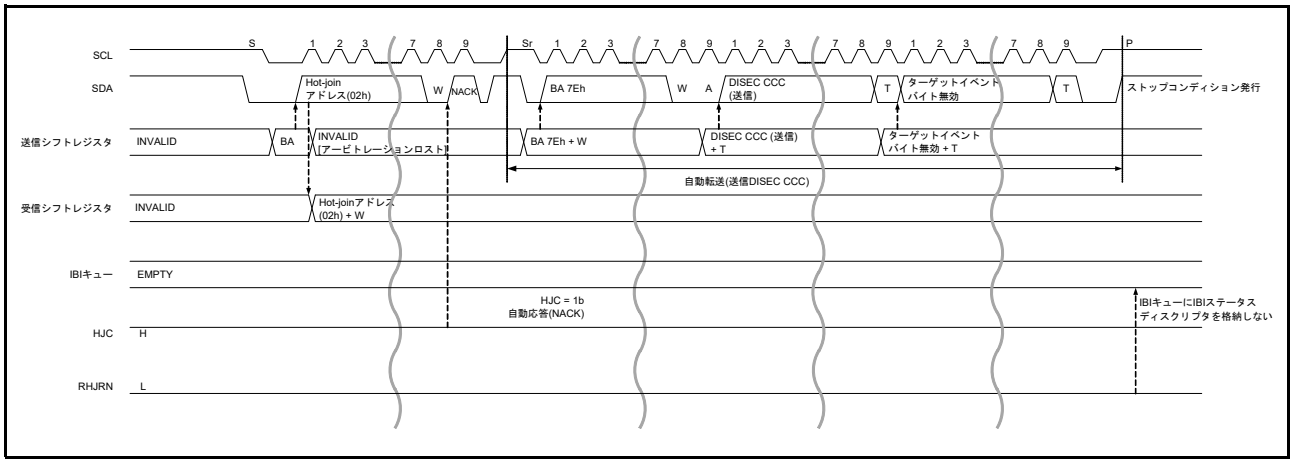


図 35.69 Hot-Join イベント：NACK (HJC = 1) かつ RHJRN = 0 の場合

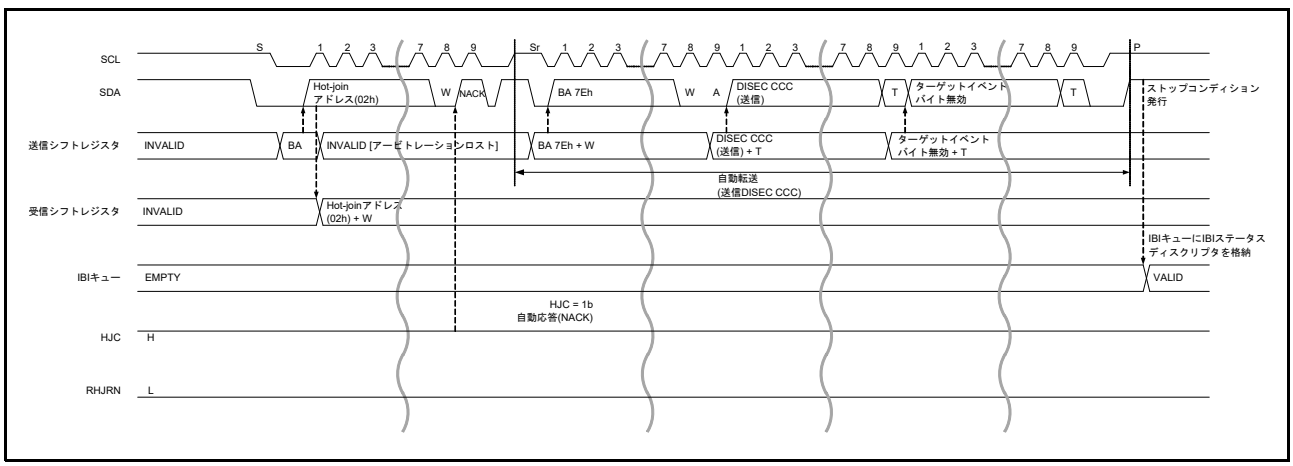


図 35.70 Hot-Join イベント：NACK (HJC = 1) かつ RHJRN = 1 の場合

35.5.4 共通コマンドコード(CCC)

コマンドコードE0h～FEhのベンダ固有ダイレクトCCC拡張コマンドはサポートしていません。コマンドコードのMIPI予約領域とベンダ拡張領域はサポートしていません。

I3Cターゲットで本モジュールを使用する場合、サポートしていないCCCを使用しないでください。

I3Cコントローラがサポートしていないを使用しなければならない場合は、ENTASx CCCを使って本モジュールをスリープモードにしてから追加されたCCCを使用してください。

35.5.5 エラー検出機能

35.5.5.1 SDRエラー検出および復帰方法(I3Cターゲット)

表35.8にまとめた7つのエラー種別は、すべてのI3Cターゲットデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表35.8 SDRターゲットエラー種別

エラー種別	内容	エラーの検出方法	エラーの復帰方法
TE0	ブロードキャストアドレス/W(=7Eh/W)またはダイナミックアドレス/RW	以下のいずれかを検出： 3Eh/W 5Eh/W 6Eh/W 76h/W 7Ah/W 7Ch/W 7Fh/W 7Eh/R	HDR終了ディテクタを有効にし、すべての他のパターンを無視する
TE1	CCCコード	Tビットを使ったパリティチェック	HDR終了ディテクタを有効にし、他のパターンを無視する
TE2	ライトデータ	Tビットを使ったパリティチェック	ストップコンディションディテクタを有効にし、他のパターンを無視する
TE3	ダイナミックアドレスアービトレーションで配置されたアドレス	PARビットを使ったパリティチェック	PARの後、NACKを生成し、支給IDを再送するため、ほかのリスタートコンディションと7Eh/Rを待機する
TE4	Srの後、ダイナミックアドレスアービトレーションの間の7Eh/R	Srの後、ダイナミックアドレスアービトレーションの間に、7Eh/R以外の値を検出する	7Eh/Rの後、NACKを生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する
TE5	CCC検出後のトランザクション	不正なフォーマットのCCCを検出する	ターゲットアドレスの後、NACKを生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する
TE6(オプション)	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、ターゲットが監視を通じて検出する(ダイナミックアドレスアービトレーションの間は適用しない)	送信を停止し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する

35.5.5.2　SDR エラー検出および復帰方法 (I3C コントローラ)

表 35.9 にまとめた 2 つのエラー種別は、すべての I3C コントローラデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表35.9　SDRコントローラエラー種別

エラー種別	内容	エラーの検出方法	エラーの復帰方法
CE0	CCC送信後のトランザクション	不正なフォーマットのCCCを検出する	送信を停止する。それからストップコンディションを送信し、送信を再試行する
CE1	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、コントローラが監視を通じて検出する(ダイナミックアドレスアービトレーションの間は適用しない)	送信を停止する。それからストップコンディションを送信し、送信を再試行する
CE2	ブロードキャストアドレス(7Eh)に対して応答しない	コントローラは、ブロードキャストアドレス(7Eh)の後のNACKを検出する	NACKの検出時、コントローラはHDR終了パターンに続けて、ストップコンディションを送信する

35.5.5.3　タイムアウトエラー検出機能

RI3C は SCL ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RI3C は、SCL ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL ラインの状態を監視し、Low の時間または High の時間を内部カウンタでカウントします。タイムアウト検出機能は、SCL ラインの変化 (立ち上がり / 立ち下がり) があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL ラインに変化がないために内部カウンタがオーバフローすると、RI3C はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICSER.TMOE ビットが “1” のとき有効です。以下の条件で SCL ラインが Low 固定または High 固定の場合にバスハングアップを検出します。(ICTOR.TMOM[1:0] = 00b のとき)

- コントローラモード (ICMMR.ACF = 1) で、バスビジー (ICBSR.BFREE = 0)
- ターゲットモード (ICMMR.ACF = 0) で、バスビジー (ICBSR.BFREE = 0)

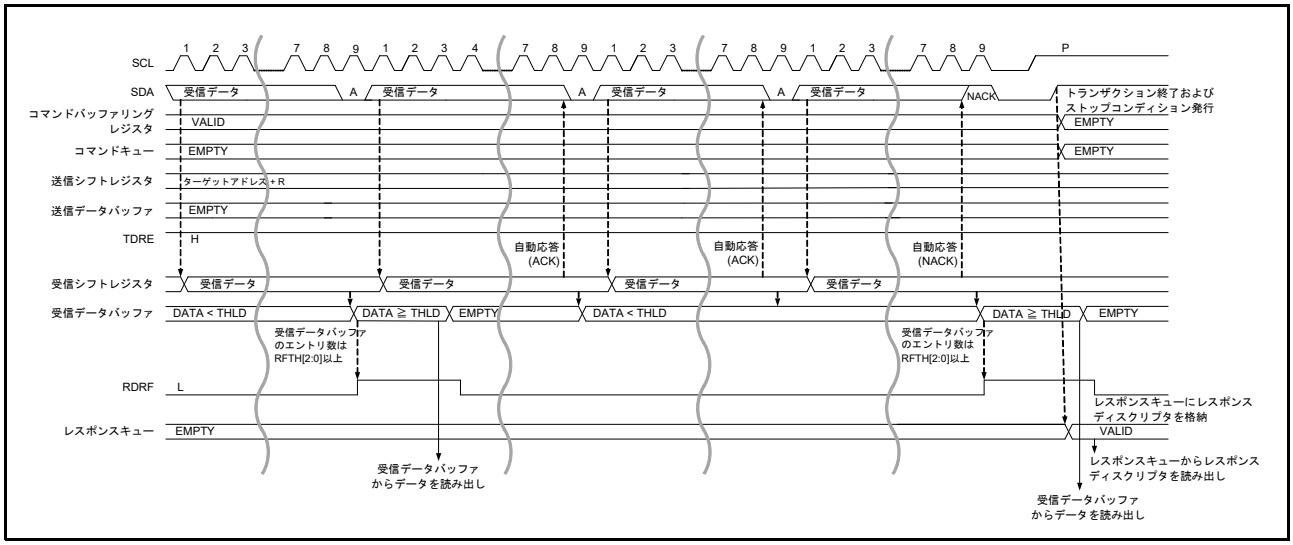


図 35.71　タイムアウトエラー検出機能 (TMOE、TMOS[1:0]、TMOH、TMOL ビットの使用)

35.5.5.4　レジューム動作

RI3C は、転送時に発生するいずれかの種類のエラーの結果として、Halt ステートに遷移します。

エラーの種類は、レスポンスディスクリプタか受信ステータスディスクリプタの ERR_STATUS フィールドに示します。RI3C が Halt ステートに遷移したら、ユーザは RESUME ビットに値 1 を書き込む必要があります。それにより、動作を再開します。一旦次のコマンド転送を実行するか、スタートコンディションを検出すると、RI3C は RESUME ビットを自動的にクリアします。

35.5.5.5　アボート動作

ICCR.ABORT ビットを “1” にすると、RI3C は今行っている転送を完了する前に、バスの制御を放棄します。アボート要求を受けると、RI3C はデータバイトの送受信が完了した後、バスにストップコンディションを発行します。アボートが完了した後は、バス動作ができるように ICCR.ABORT ビットを “0” にしてください。

注 .　リード転送では、ICCR.ABORT ビットを “1” にしても、受信したデータは受信データバッファに格納されます。

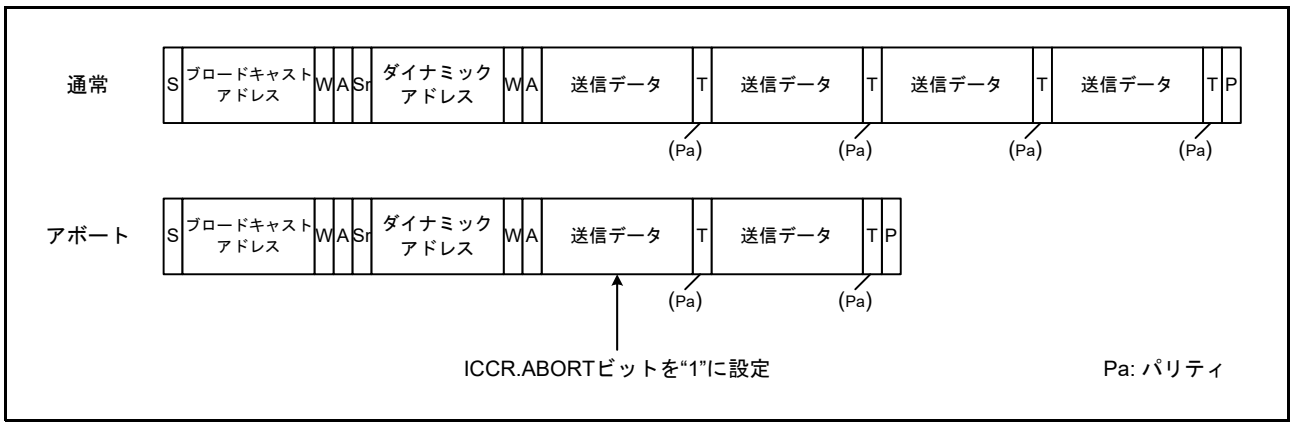


図 35.72　SDR ライト転送のアボート動作

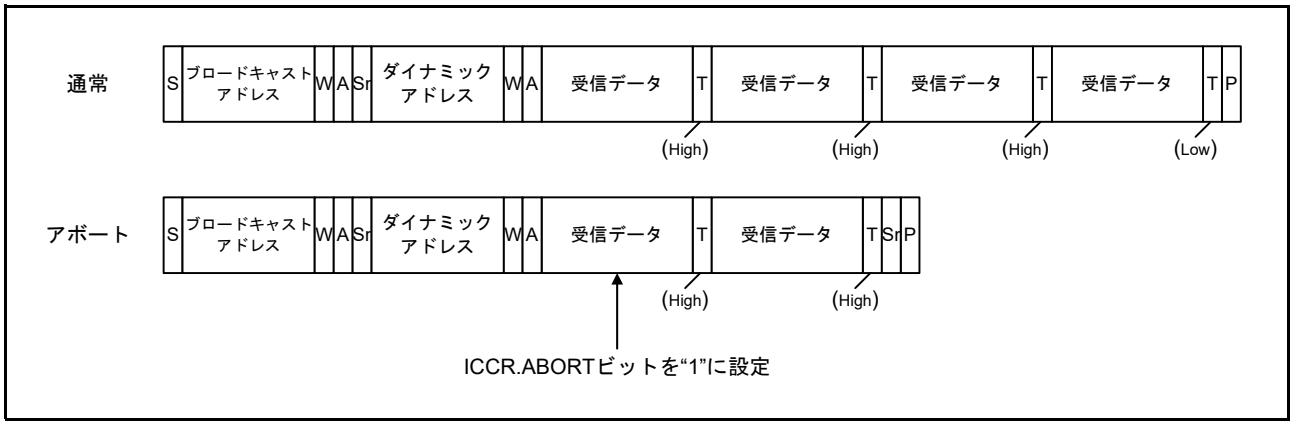


図 35.73　SDR リード転送のアボート動作

35.5.5.6　エラー復帰動作

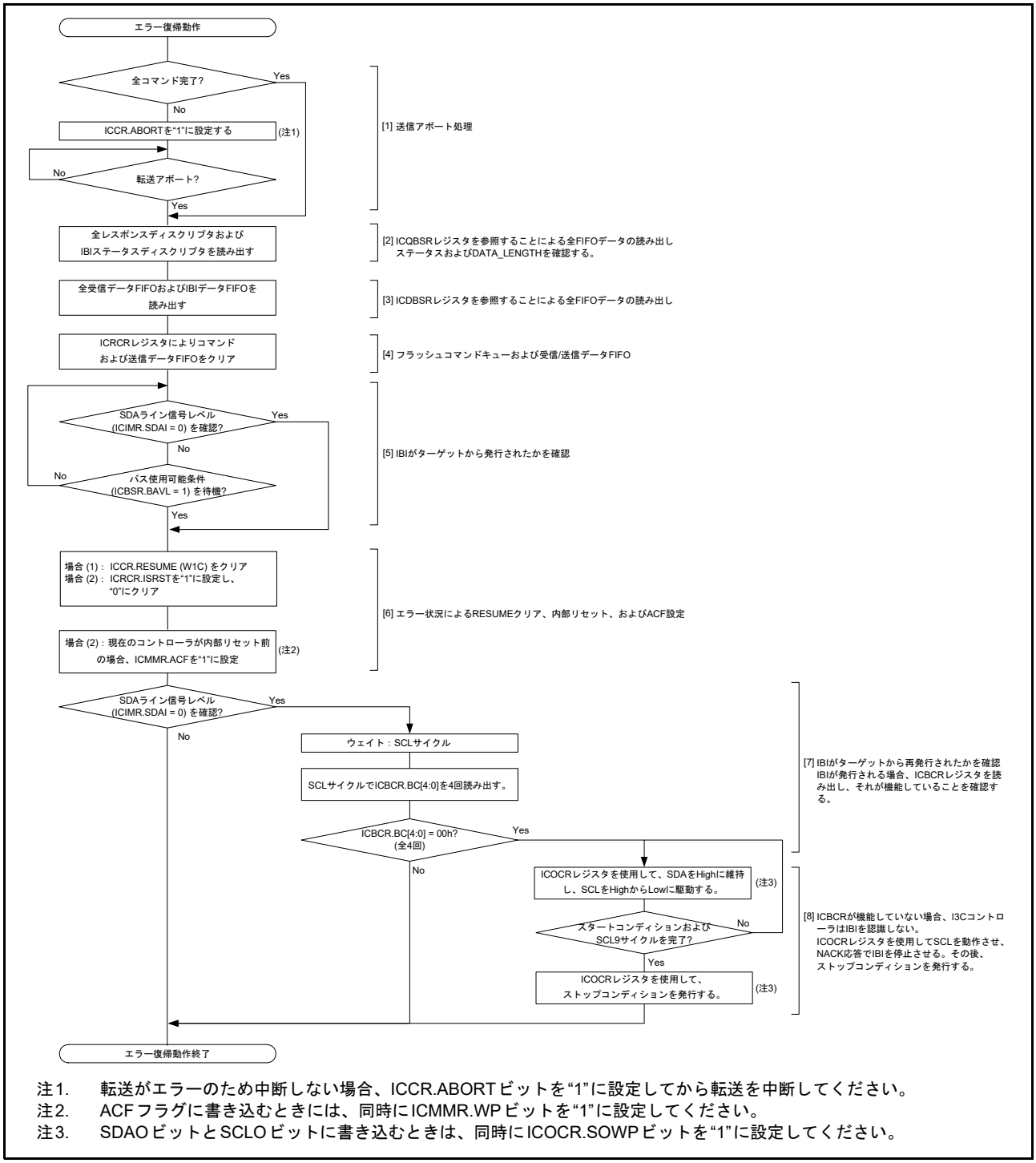
エラーが発生すると、エラーの要因に従って ICISR.BERF、ICCSR.DTEF、ICCSR.DTAF フラグが “1” になるか、各フラグに対応する割り込みが生成されます (検出と割り込みが許可されている場合)。

通信エラーか内部モジュールエラーが発生する可能性があります。

I3C コントローラは以下のケースに従ってエラー復帰フローを実施する必要があります。

- DTEF 検出時

エラー復帰フローを図 35.74 と図 35.75 に示します。



注1.　転送がエラーのため中断しない場合、ICCR.ABORT ビットを“1”に設定してから転送を中断してください。
注2.　ACF フラグに書き込むときには、同時に ICMMR.WP ビットを“1”に設定してください。
注3.　SDAO ビットと SCLO ビットに書き込むときは、同時に ICOCR.SOWP ビットを“1”に設定してください。

図 35.74　I3C コントローラでのエラー復帰動作フローチャート例

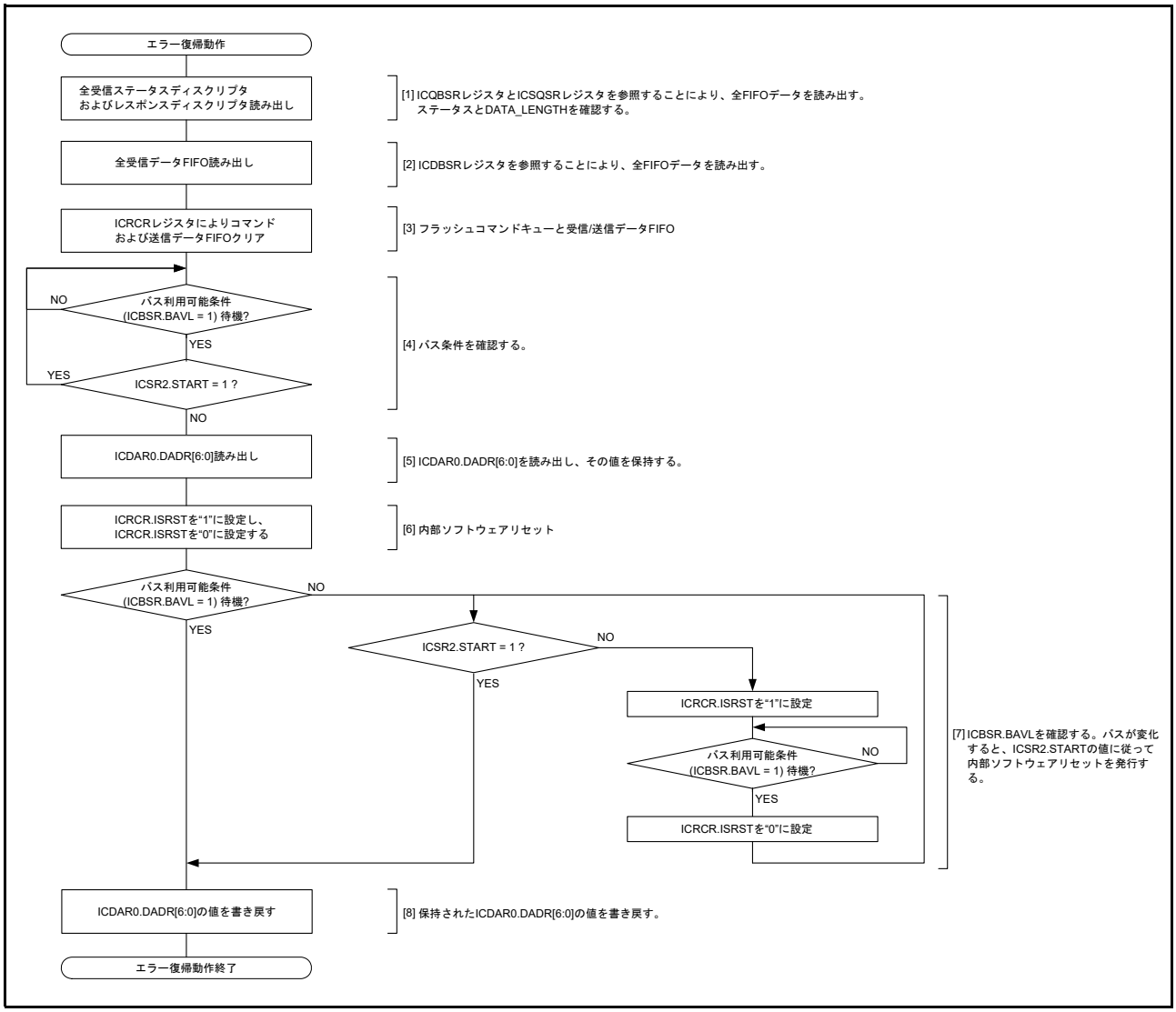


図 35.75　I3C ターゲットでのエラー復帰動作フローチャート例

35.6 割り込み要因

RI3C の割り込み要因には、送信データエンプティ、受信データフル、IBI キューエンプティ / フル、コマンドキューエンプティ、レスポンスキューフル、受信ステータスキューフル、通信エラー / 通信イベント (スタートコンディション検出、ストップコンディション検出、HDR 終了パターン検出、タイムアウト検出、バッファアクセスエラー検出、データ転送アボート、データ転送エラー) の 7 種類があります。

表 35.10 に割り込み一覧を示します。送信データエンプティおよび受信データフル、IBI キューエンプティ / フル、コマンドキューエンプティ、レスポンスキューフル、受信ステータスキューフル割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表35.10 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMA転送の起動	割り込み発生条件
TXI (注1)	送信データエンプティ	ICCSR.TDRE	ICCSIER.TIE	可能	TDRE = 1かつTIE = 1
RXI (注2)	受信データフル	ICCSR.RDRF	ICCSIER.RIE	可能	RDRF = 1かつRIE = 1
IBII (注3)	IBIキューエンプティ / フル	ICCSR.IQEFF	ICCSIER.IQEFIE	可能	IQEFF = 1かつIQEFIE = 1
CMDI (注3)	コマンドキューエンプティ	ICCSR.CQEF	ICCSIER.CQEIE	可能	CQEF = 1かつCQEIE = 1
RESPI (注3)	レスポンスキューフル	ICCSR.RQFF	ICCSIER.RQFIE	可能	RQFF = 1かつRQFIE = 1
RCVI (注3)	受信ステータスキューフル	ICCSR.SQFF	ICCSIER.SQFIE	可能	SQFF = 1かつSQFIE = 1
EEI	通信エラー / 通信イベント	ICSR2.START	ICSIER.STIE	不可能	START = 1かつSTIE = 1
		ICSR2.STOP	ICSIER.SPIE		STOP = 1かつSPIE = 1
		ICSR2.HDRXDF	ICSIER.HDRXIE		HDRXDF = 1かつHDRXIE = 1
		ICSR2.TMOF	ICSIER.TMOIE		TMOF = 1かつTMOIE = 1
		ICISR.BERF	ICISIER.BERIE		BERF = 1かつBERIE = 1
		ICCSR.DTAF	ICCSIER.DTAIE		DTAF = 1かつDTAIE = 1
		ICCSR.DTEF	ICCSIER.DTEIE		DTEF = 1かつDTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICCSR.TDREフラグは、ICDRレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ= 1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICCSR.RDRFフラグは、ICDRレジスタの読み出しで自動的に“0”になります。

注3. これらの割り込みはエッジ割り込みのためクリアする必要はありません。また割り込みの条件となる各フラグは、キューの読み出しまたはキューへの書き込みで自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

35.6.1 エンプティ割り込みおよびフル割り込みのバッファ動作

エンプティ割り込みおよびフル割り込みでは、それぞれの割り込みに対応した ICU.IRn.IR フラグが “1” のときに割り込み発生条件が成立した場合、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが “0” になると、保持していた割り込み要求を ICU に出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICCSIER レジスタの対応する割り込み許可ビットを “0” にすることでクリアできます。

35.7 イベントリンク機能

RI3C は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 送信データエンプティ
- 受信データフル
- 通信エラー / 通信イベント

35.7.1 割り込み処理とイベントリンクの関係

RI3C の割り込みの、送信データエンプティ、受信データフル、通信エラー / 通信イベント (スタートコンディション検出、ストップコンディション検出、タイムアウト検出) には、それぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが “1” の場合に ICU に対して割り込み要求信号が出力されます。

これに対してイベント信号は、割り込み許可ビットに依存せず、対応する割り込み要因が発生すると、ELC を介して他のモジュールに伝達されます。

割り込み要因については、**表 35.10** を参照してください。

35.8　リセットの説明

表35.11　レジスタのリセットコントロール (1/5)

レジスタ	ビット	システムリセット	ICRCRレジスタ	
			MRSTビット	ISRSTビット
ICMR	OMS	リセット	リセット	保持
ICCR	ICE	リセット	リセット	保持
	RESUME	リセット	リセット	リセット
	ABORT	リセット	リセット	保持
	HJC	リセット	リセット	保持
	IBAINC	リセット	リセット	保持
ICCAR	DAV	リセット	リセット	保持
	DADR[6:0]	リセット	リセット	保持
ICRCR	ISRST	リセット	リセット	保持
	SQRST	リセット	リセット	リセット
	IQRST	リセット	リセット	リセット
	RBRST	リセット	リセット	リセット
	TBRST	リセット	リセット	リセット
	RQRST	リセット	リセット	リセット
	CQRST	リセット	リセット	リセット
	MRST	リセット	保持	保持
ICMMR	WP	リセット	リセット	リセット
	ACF	リセット	リセット	リセット
ICISR	BERF	リセット	リセット	リセット
ICISER	BERDE	リセット	リセット	保持
ICISIER	BERIE	リセット	リセット	保持
ICDCTIR	INDEX[4:0]	リセット	リセット	リセット
ICINCR	RTIRN	リセット	リセット	保持
	RCRRN	リセット	リセット	保持
	RHJRN	リセット	リセット	保持
ICTCR	TA0DE	リセット	リセット	保持
ICSBR	ODDBL	リセット	リセット	保持
	PPHW[5:0]	リセット	リセット	保持
	PPLW[5:0]	リセット	リセット	保持
	ODHW[7:0]	リセット	リセット	保持
	ODLW[7:0]	リセット	リセット	保持
ICEBR	PPHW[5:0]	リセット	リセット	保持
	PPLW[5:0]	リセット	リセット	保持
	ODHW[7:0]	リセット	リセット	保持
	ODLW[7:0]	リセット	リセット	保持
ICBFTR		リセット	リセット	保持
ICBATR		リセット	リセット	保持
ICBITR		リセット	リセット	保持
ICOCR	SOWP	リセット	リセット	リセット
	SCLO	リセット	リセット	保持
	SDAO	リセット	リセット	保持

表35.11　レジスタのリセットコントロール (2/5)

レジスタ	ビット	システムリセット	ICRCRレジスタ	
			MRSTビット	ISRSTビット
ICTOR	TMOM[1:0]	リセット	リセット	保持
	TMOH	リセット	リセット	保持
	TMOL	リセット	リセット	保持
	TMOS[1:0]	リセット	リセット	保持
ICSTCR	APSE	リセット	リセット	保持
	PBSE	リセット	リセット	保持
	AASE	リセット	リセット	保持
	STT[15:0]	リセット	リセット	保持
ICTDLR	DLGTH[15:0]	リセット	リセット	保持
ICCQR		リセット	リセット	リセット
ICRQR		リセット	リセット	リセット
ICDR		リセット	リセット	リセット
ICIQR		リセット	リセット	リセット
ICSQR		リセット	リセット	リセット
ICQBTCR	IQTH[7:0]	リセット	リセット	保持
	IDSS[7:0]	リセット	リセット	保持
	RQTH[7:0]	リセット	リセット	保持
	CQTH[7:0]	リセット	リセット	保持
ICDBTCR	RSTH[2:0]	リセット	リセット	保持
	TSTH[2:0]	リセット	リセット	保持
	RFTH[2:0]	リセット	リセット	保持
	TETH[2:0]	リセット	リセット	保持
ICSQTCR	SQTH[7:0]	リセット	リセット	保持
ICSR2	TMOF	リセット	リセット	リセット
	HDRXDF	リセット	リセット	リセット
	STOP	リセット	リセット	リセット
	START	リセット	リセット	リセット
ICSER	TMOE	リセット	リセット	保持
	HDRXDE	リセット	リセット	保持
	SPDE	リセット	リセット	保持
	STDE	リセット	リセット	保持
ICSIER	TMOIE	リセット	リセット	保持
	HDRXIE	リセット	リセット	保持
	SPIE	リセット	リセット	保持
	STIE	リセット	リセット	保持
ICCSR	SQFF	リセット	リセット	リセット
	DTEF	リセット	リセット	リセット
	DTAF	リセット	リセット	リセット
	RQFF	リセット	リセット	リセット
	CQEF	リセット	リセット	リセット
	IQEFF	リセット	リセット	リセット
	RDRF	リセット	リセット	リセット
	TDRE	リセット	リセット	リセット

表35.11　レジスタのリセットコントロール (3/5)

レジスタ	ビット	システムリセット	ICRCR レジスタ	
			MRST ビット	ISRST ビット
ICCSER	SQFDE	リセット	リセット	保持
	DTEDE	リセット	リセット	保持
	DTADE	リセット	リセット	保持
	RQFDE	リセット	リセット	保持
	CQEDE	リセット	リセット	保持
	IQEFDE	リセット	リセット	保持
	RDE	リセット	リセット	保持
	TDE	リセット	リセット	保持
ICCSIER	SQFIE	リセット	リセット	保持
	DTEIE	リセット	リセット	保持
	DTAIE	リセット	リセット	保持
	RQFIE	リセット	リセット	保持
	CQEIE	リセット	リセット	保持
	IQEFIE	リセット	リセット	保持
	RIE	リセット	リセット	保持
	TIE	リセット	リセット	保持
ICBSR	BIDL	リセット	リセット	保持
	BAVL	リセット	リセット	保持
	BFREE	リセット	リセット	保持
ICTDATRm (m = 0～3)	TYPE	リセット	リセット	保持
	NACKRC[1:0]	リセット	リセット	保持
	DADR[7:0]	リセット	リセット	保持
	IBITSE	リセット	リセット	保持
	CRRRJ	リセット	リセット	保持
	TIRRJ	リセット	リセット	保持
	IBIPL	リセット	リセット	保持
	SADR[6:0]	リセット	リセット	保持
ICEDATR	TYPE	リセット	リセット	保持
	NACKRC[1:0]	リセット	リセット	保持
	DADR[7:0]	リセット	リセット	保持
	SADR[6:0]	リセット	リセット	保持
ICDAR0	DADR[6:0]	リセット	リセット	保持
	IBIPL	リセット	リセット	保持
	SADR[9:0]	リセット	リセット	保持
ICTDCTRm (m = 0～3)	ROLE[1:0]	リセット	リセット	保持
	OFLC	リセット	リセット	保持
	IBIPL	リセット	リセット	保持
	IBIRQC	リセット	リセット	保持
	LIMIT	リセット	リセット	保持

表35.11　レジスタのリセットコントロール (4/5)

レジスタ	ビット	システムリセット	ICRCRレジスタ	
			MRSTビット	ISRSTビット
ICDCTR	ROLE[1:0]	リセット	リセット	保持
	OFLC	リセット	リセット	保持
	IBIPL	リセット	リセット	保持
	IBIRQC	リセット	リセット	保持
	LIMIT	リセット	リセット	保持
	DCR[7:0]	リセット	リセット	保持
ICPIDLR		リセット	リセット	保持
ICPIDHR		リセット	リセット	保持
ICDAMR0	DAV	リセット	リセット	保持
	SAV	リセット	リセット	保持
	TADR[9:0]	リセット	リセット	保持
ICTEVR	ENHJ	リセット	リセット	保持
	ENCR	リセット	リセット	保持
	ENINT	リセット	リセット	保持
ICASR	ENTAS3	リセット	リセット	保持
	ENTAS2	リセット	リセット	保持
	ENTAS1	リセット	リセット	保持
	ENTAS0	リセット	リセット	保持
ICMWLR	MWL[15:0]	リセット	リセット	保持
ICMRLR	IBIPL[7:0]	リセット	リセット	保持
	MRL[15:0]	リセット	リセット	保持
ICTMR	TM[7:0]	リセット	リセット	保持
ICDSR	VRSV[7:0]	リセット	リセット	保持
	CAS[1:0]	リセット	リセット	保持
	PERR	リセット	リセット	保持
	PNDINT[3:0]	リセット	リセット	リセット
ICMWSR	MSWDR[2:0]	リセット	リセット	保持
ICMRSR	TSCO[2:0]	リセット	リセット	保持
	MSRDR[2:0]	リセット	リセット	保持
ICMTTR	MRTTE	リセット	リセット	保持
	MRTT[23:0]	リセット	リセット	保持
ICTSIR	INAC[7:0]	リセット	リセット	保持
	FREQ[7:0]	リセット	リセット	保持
ICBCR	BC[4:0]	リセット	リセット	リセット
ICQBSR	ISC[4:0]	リセット	リセット	リセット
	IQFL[7:0]	リセット	リセット	リセット
	RQFL[7:0]	リセット	リセット	リセット
	CQFL[7:0]	リセット	リセット	リセット
ICDBSR	RBFL[7:0]	リセット	リセット	リセット
	TBFL[7:0]	リセット	リセット	リセット
ICSQSR	SQFL[7:0]	リセット	リセット	リセット

表35.11　レジスタのリセットコントロール (5/5)

レジスタ	ビット	システムリセット	ICRCRレジスタ	
			MRSTビット	ISRSTビット
ICIMR	SDAO	リセット	リセット	リセット
	SCLO	リセット	リセット	リセット
	SDAI	リセット	リセット	保持
	SCLI	リセット	リセット	保持
ICCECR	CE2C[7:0]	リセット	リセット	リセット

35.9　使用上の注意事項

35.9.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタD (MSTPCRD) によって、RI3Cの動作を禁止または許可することができます。

リセット後、RI3Cの動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は、「11.　**消費電力低減機能**」を参照してください。

36. CAN FD モジュール (CANFD)

36.1 概要

本 MCU は、ISO 11898-1:2015 仕様に準拠した CAN FD (Controller Area Network with Flexible Data Rate) モジュールを 1 チャネル搭載しています。

表 36.1 に CAN FD モジュールの仕様、図 36.1 に CAN FD モジュールのブロック図を示します。

表36.1 CAN FDモジュールの仕様

項目	内容
プロトコル	ISO 11898-1:2015仕様に準拠
データ転送レート	アービトレーションフェーズ：最高1 Mbps データフェーズ：最高8 Mbps (注1、注2)
動作周波数 (注3)	レジスタ部：最高60 MHz (PCLKB) メッセージバッファ RAM：最高120 MHz (PCLKA)
データリンク層動作クロック (DLLクロック)	最高60 MHz (CANFDMCLKとCANFDCLKのいずれかを選択可能)
フレームタイプ	Classic CAN (CAN 2.0) • 標準フォーマット(11ビットID)データフレーム • 拡張フォーマット(29ビットID)データフレーム • 標準フォーマット(11ビットID)リモートフレーム • 拡張フォーマット(29ビットID)リモートフレーム CAN FD (注1) • 標準フォーマット(11ビットID)データフレーム • 拡張フォーマット(29ビットID)データフレーム
データ長	Classic CAN：0～8バイト CAN FD：0～8、12、16、20、24、32、48、64バイト (注1)
メッセージバッファ	• 受信メッセージバッファ：32個 • 送信メッセージバッファ：4個 • 送信キュー：1個 送信キューへのメッセージ自動転送をサポート
FIFO	FIFOサイズはプログラマブル • 受信FIFO：2個 • 共通FIFO：1個(受信FIFOとして使用するか送信FIFOとして使用するかを選択可能)
送信間隔自動調整	共通FIFOを送信FIFOとして使用しているときに有効 FIFOから送信されるメッセージの送信間隔を調整可能
アクセプタンスフィルタ	以下のフィールドでフィルタリング可能 • IDEビット(標準フォーマット/拡張フォーマット/両方) • IDフィールド • RTRビット(データフレーム/リモートフレーム) (Classic CANのみ) • DLCフィールド(データ長) ペイロードサイズ超過時の保護機能あり 通信中にアクセプタンスフィルタリスト(AFL)のエントリを更新可能
ソフトウェアサポート	受信メッセージにラベル情報を自動付加
タイマ	送信時、受信時のタイムスタンプ機能
パワーダウン機能	CANノードのモジュール起動停止機能(CH_SLEEPモードとGL_SLEEPモード) モジュールストップ状態への遷移が可能
RAM	RAM ECC保護

注1. CAN FDプロトコル対応製品のみ
注2. 通信可能なビットレートは、ボードの設計や外部環境によって変わりますので、十分な評価の上、決定してください。
注3. PCLKAとPCLKBの周波数比は2対1にしてください。また、PCLKBの周波数はDLLクロックの周波数以上にしてください。

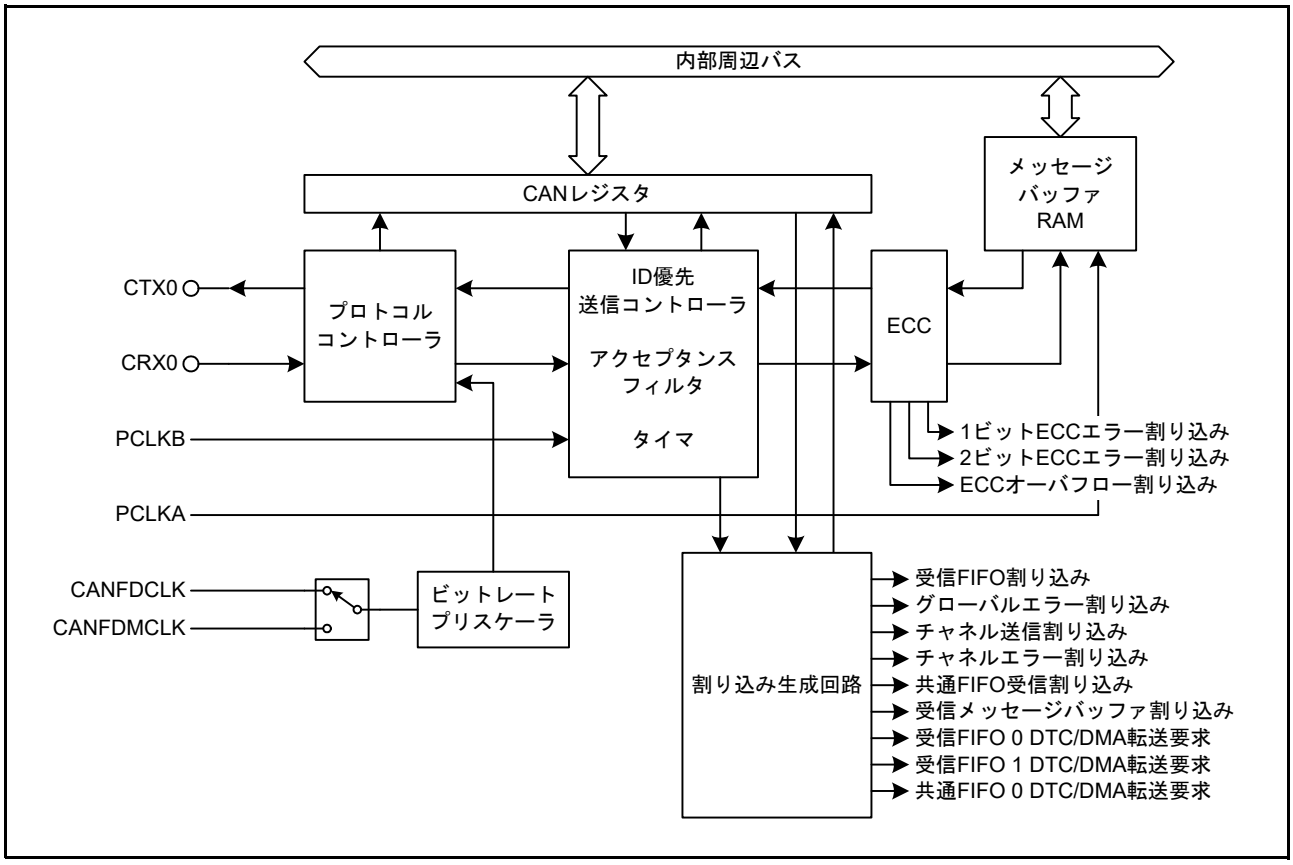


図 36.1 CAN FD モジュールブロック図

- CRX0, CTX0
  CAN FD モジュールの入出力端子です。
- **プロトコルコントローラ**
  バスアービトレーションや送受信時のビットタイミング、スタッフィング、エラー処理などの CAN FD プロトコル処理を行います。
- **メッセージバッファ RAM**
  送受信メッセージのためのメッセージバッファや FIFO バッファとして使用されます。各メッセージには、ID、データ長コード、データ、上位層アプリケーションのためのメッセージポインタ、およびタイムスタンプが含まれています。
- **アクセプタンスフィルタ**
  受信メッセージのフィルタリングを行います。フィルタリング処理には、アクセプタンスフィルタリストに設定されたエントリが使用されます。
- **タイマ**
  受信タイムスタンプ機能に使用するタイマと、送信 FIFO からのメッセージ送信間隔を調整するタイマの 2 つあります。

表 36.2 に CAN FD モジュールで使用する端子を示します。

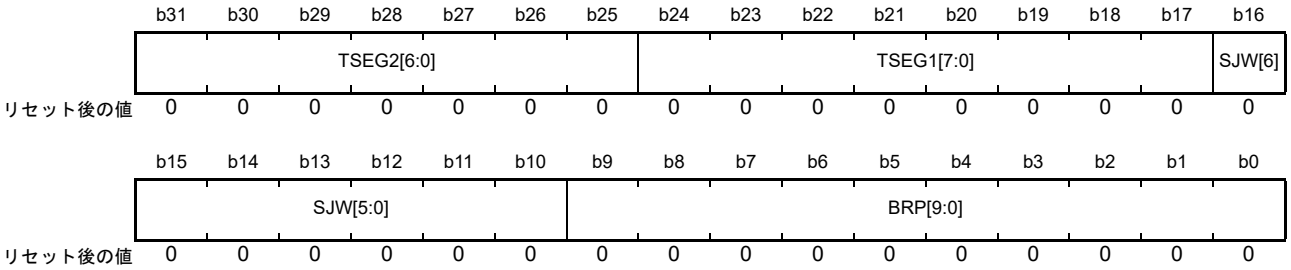
表36.2 CAN FDモジュールの端子構成

端子名	入出力	機能
CRX0	入力	データ受信用端子
CTX0	出力	データ送信用端子

36.2　レジスタの説明

36.2.1　公称ビットレート設定レジスタ (NBCR)

アドレス　CANFD0.NBCR 000A 8000h



ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	ビットレートプリスケーラ設定ビット	000h：分周なし 001h：2分周 ：　： 3FEh：1023分周 3FFh：1024分周	R/W
b16-b10	SJW[6:0]	再同期ジャンプ幅制御ビット	00h：1 Tq 01h：2 Tq ：　： 7Eh：127 Tq 7Fh：128 Tq	R/W
b24-b17	TSEG1[7:0]	タイムセグメント1制御ビット	00h：設定禁止 01h：2 Tq 02h：3 Tq 03h：4 Tq ：　： FEh：255 Tq FFh：256 Tq	R/W
b31-b25	TSEG2[6:0]	タイムセグメント2制御ビット	00h：設定禁止 01h：2 Tq ：　： 7Eh：127 Tq 7Fh：128 Tq	R/W

このレジスタは、送受信時の公称ビットレートを設定するレジスタです。

CH_OPERATION モード、CH_SLEEP モードでは値を変更できません。CH_RESET モードまたは CH_HALT モード時に変更してください。

設定値に関する詳細は、「36.4.1.2　ビットタイミング」を参照してください。

BRP[9:0] ビット (ビットレートプリスケーラ設定ビット)

CAN 通信の基準となる 1 Tq (Time Quantum) の周期を定義するために使用します。GCFG.DLLCS ビットで選択したデータリンク層動作クロック (DLL クロック) に対する分周比を設定してください。設定値を n とすると、n + 1 分周になります。

SJW[6:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。1 ～ 128 Tq の値が設定可能です。TSEG2[6:0] ビット以下の値を設定してください。

TSEG1[7:0] ビット (タイムセグメント 1 制御ビット)

PROP_SEG (Propagation Time Segment) と PHASE_SEG1 (Phase Buffer Segment 1) の合計値 (TSEG1) を Tq 値で設定します。2 ～ 256 Tq の値が設定可能です。

TSEG2[6:0] ビット (タイムセグメント 2 制御ビット)

PHASE_SEG2 (Phase Buffer Segment 2) の値 (TSEG2) を Tq 値で設定します。2 ～ 128 Tq の値が設定可能です。TSEG1[7:0] ビットより小さな値を設定してください。

36.2.2 チャネル制御レジスタ (CHCR)

アドレス CANFD0.CHCR 000A 8004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ROME	BFT	—	—	—	CTMS[1:0]		CTME	EDM	BOM[1:0]		—	TDCVIE	SCOVIE	ECOVIE	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	SLPRQ	MDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MDC[1:0]	チャネルモード制御ビット	b1 b0 0 0：CH_OPERATIONモードへの遷移を要求 0 1：CH_RESETモードへの遷移を要求 1 0：CH_HALTモードへの遷移を要求 1 1：現在のモードを維持	R/W
b2	SLPRQ	CH_SLEEPモード要求ビット	0：CH_SLEEPモードの解除を要求 1：CH_SLEEPモードへの遷移を要求	R/W
b3	RTBO	バスオフ強制復帰ビット (注1)	0：バスオフから強制復帰させない 1：バスオフから強制復帰させる	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BEIE	バスエラー割り込み許可ビット (注2)	0：バスエラー割り込み禁止 1：バスエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット (注2)	0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット (注2)	0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット (注2)	0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット (注2)	0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバロード割り込み許可ビット (注2)	0：オーバロード割り込み禁止 1：オーバロード割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット (注2)	0：バスロック割り込み禁止 1：バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット (注2)	0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可	R/W
b16	TAIE	送信アボート割り込み許可ビット (注2)	0：送信アボート割り込み禁止 1：送信アボート割り込み許可	R/W
b17	ECOVIE	エラー発生カウンタオーバフロー割り込み許可ビット (注2)	0：エラー発生カウンタオーバフロー割り込み禁止 1：エラー発生カウンタオーバフロー割り込み許可	R/W
b18	SCOVIE	成功発生カウンタオーバフロー割り込み許可ビット (注2)	0：成功発生カウンタオーバフロー割り込み禁止 1：成功発生カウンタオーバフロー割り込み許可	R/W
b19	TDCVIE	トランシーバ遅延補償違反割り込み許可ビット (注2、注3)	0：トランシーバ遅延補償違反割り込み禁止 1：トランシーバ遅延補償違反割り込み許可	R/W
b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b21	BOM[1:0]	バスオフ復帰モード選択ビット (注2)	b22 b21 0 0：ノーマルモード(ISO 11898-1準拠) 0 1：バスオフ開始時に自動的にCH_HALTモードに入ります。 1 0：バスオフ終了時に自動的にCH_HALTモードに入ります。 1 1：ソフトウェアによりCH_HALTモード(バスオフリカバリ期間中)に入ります。	R/W
b23	EDM	エラー表示モード選択ビット (注4)	0：最初に検出されたエラーのみ表示 1：検出されたすべてのエラーを表示	R/W
b24	CTME	チャネルテストモード許可ビット (注5)	0：チャネルテストモード無効 1：チャネルテストモード有効	R/W
b26-b25	CTMS[1:0]	チャネルテストモード選択ビット (注5)	b26 b25 0 0：基本テストモード 0 1：リッスンオンリモード 1 0：セルフテストモード0(外部ループバックモード) 1 1：セルフテストモード1(内部ループバックモード)	R/W
b29-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	BFT	ビットフリップテストビット (注5)	0：受信データストリームの最初のビットを反転しない 1：受信データストリームの最初のビットを反転する	R/W
b31	ROME	制限付き動作モード許可ビット (注3、注5)	0：制限付き動作モード無効 1：制限付き動作モード有効	R/W

注1. CH_OPERATIONモード時に設定してください。
注2. CH_RESETモード時に変更してください。
注3. Classic Onlyモードでは“1”にしないでください。
注4. CH_RESETモード、CH_HALTモード時に設定してください。
注5. CH_HALTモード時に設定してください。

チャネル制御レジスタは、対応するチャネルのモードを制御します。CAN バス上でエラーが検出された場合の割り込み生成を許可するためや、テストモードを設定するためにも使用されます。

CH_SLEEP モードでは、SLPRQ ビット以外の値を変更できません。

MDC[1:0] ビット (チャネルモード制御ビット)

MDC[1:0] ビットは、CAN チャネルのモードを指定するために使用します。CAN のモード遷移については、「36.3.2 チャネルモード」を参照してください。

CANFD モジュールが GL_HALT モードの場合、“10b” (CH_HALT モード) または “01b” (CH_RESET モード) にしか設定できません。

CHCR.BOM[1:0] ビットの設定により CH_HALT モードに移行したときは、このビットは自動的に “10b” になります。このビットへの書き込みと、CH_HALT モードへの遷移 (BOM[1:0] ビット = 01b の場合はバスオフ開始時、BOM[1:0] ビット = 10b の場合はバスオフ終了時) が同時に起こった場合、CPU からの書き込みが優先されます。このビットの値が自動的に更新されるのは、このビットが “00b” (CH_OPERATION モード) のときに上記の事象が発生した場合のみです。

SLPRQ ビット (CH_SLEEP モード要求ビット)

CH_SLEEP モードへの遷移、CH_SLEEP モードからの復帰を制御するビットです。

CH_RESET モード時にこのビットを “1” にすると、CH_SLEEP モードに遷移します。CH_SLEEP モード時にこのビットを “0” にすると、CH_RESET モードに遷移します。その他のモードでは、値を変更できません。

RTBO ビット (バスオフ強制復帰ビット)

バスオフ状態から強制的に復帰させるために使用します。CHCR.BOM[1:0] ビットが “00b” のときのみ使用してください。

このビットは、“1” にした後、自動的に “0” に戻ります。読んだ場合、“0” が読めます。

バスオフ時にこのビットを “1” にすると、1 ビットタイム以内にバスオフ状態から統合状態 (Integrating state) に遷移します。また、CHSR.REC[7:0] ビット、TEC[7:0] ビットが “00h” になり、BOST フラグが “0” になります。これ以外のレジスタ、ビットは変化しません。また、割り込みが許可されていても、バスオフ復帰割り込みは発生しません。

バスオフ時以外にこのビットを “1” にしても何も起こりません。

BEIE ビット (バスエラー割り込み許可ビット)

このビットが “1” のときに CHESR.BEDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可ビット)

このビットが “1” のときに CHESR.EWDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

EPIE ビット (エラーパッシブ割り込み許可ビット)

このビットが “1” のときに CHESR.EPDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可ビット)

このビットが “1” のときに CHESR.BOEDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可ビット)

このビットが “1” のときに CHESR.BORDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

OLIE ビット (オーバロード割り込み許可ビット)

このビットが “1” のときに CHESR.OLDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可ビット)

このビットが “1” のときに CHESR.BLDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

このビットが “1” のときに CHESR.ALDF フラグが “1” になると、チャネルエラー割り込み要求が発生します。

TAIE ビット (送信アボート割り込み許可ビット)

このビットが “1” のときに、送信メッセージバッファからの送信が正常に中断されると、チャネル送信割り込み要求が発生します。

ECOVIE ビット (エラー発生カウンタオーバフロー割り込み許可ビット)

このビットが “1” のときに FDSTS.ECOV フラグが “1” になると、チャネルエラー割り込み要求が発生します。

SCOVIE ビット (成功発生カウンタオーバフロー割り込み許可ビット)

このビットが “1” のときに FDSTS.SCOV フラグが “1” になると、チャネルエラー割り込み要求が発生します。

TDCVIE ビット (トランシーバ遅延補償違反割り込み許可ビット)

このビットが “1” のときに FDSTS.TDCFVF フラグが “1” になると、チャネルエラー割り込み要求が発生します。Classic Only モードでは “1” にしないでください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

バスオフ状態からの復帰タイミングを制御します。

EDM ビット (エラー表示モード選択ビット)

CHESR レジスタのエラーフラグ (b14 ～ b8) の表示モードを制御します。

このビットが “0” の場合、最初に検出されたエラーに対応するフラグのみ “1” になります。同時に複数のエラーが検出された場合は、該当するすべてのフラグが “1” になります。b14 ～ b8 のフラグがすべてクリアされるまで、それ以外のフラグは “1” になりません。

このビットが “1” の場合、エラーを検出するごとにエラーフラグが更新されます。

CTME ビット (チャネルテストモード許可ビット)

テストモードを有効にするビットです。

CH_RESET モードに遷移すると、このビットは “0” になります。

CTMS[1:0] ビット (チャネルテストモード選択ビット)

テストモードを選択するビットです。

CH_RESET モードに遷移すると、このビットは “00b” になります。

BFT ビット (ビットフリップテストビット)

プロトコルコントローラ内部の CRC 生成回路をチェックするために使用します。

このビットを “1” にすると、受信中のメッセージデータストリームの最初のビット (ID ビット) を反転させ、内部で生成された CRC の結果が受信した CRC 値と一致しないようにします。なお、ビット反転の結果、CRC エラーではなくスタッフエラーを検出する可能性があるので、この機能を使用する場合はビットスタッフィングルールも参照してください。

内部で生成された CRC 値は、以下のビットで確認できます。

CHESR.CRC15[14:0] ビット (Classical CAN フレーム)

FDCRC.CRC21[20:0] ビット (CAN FD フレーム)

BFT ビットを使用する場合、他の CAN ノードに基準となるメッセージを送信してもらう必要があります。

注 . 送信モードと受信モードで同じ CRC 生成回路を共有しているため、送信モードの CRC エラーを個別にテストする必要はありません。

ビットフリップテストモードは、BFT ビットと CTME ビットが両方とも “1” で CTMS[1:0] ビットが “00b” (基本テストモード) の場合に有効になります。

送信ノードでこの機能を使用した場合、ビットエラーまたはアービトレーションロストが発生します。

CH_RESET モードに遷移すると、このビットは “0” になります。

ROME ビット (制限付き動作モード許可ビット)

ROME ビットと CTME ビットが共に “1” のとき、制限付き動作モードが有効になります。このモードは

基本テストモード (CTMS[1:0] ビット = 00b) でのみ使用してください。また、Classic Only モードでは “1” にしないでください。

CH_RESET モードに遷移すると、このビットは “0” になります。

36.2.3 チャネルステータスレジスタ (CHSR)

アドレス CANFD0.CHSR 000A 8008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RESI	CRDY	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	CH_RESETステータスフラグ	0：CH_RESETモード中ではない 1：CH_RESETモード中	R
b1	HLTST	CH_HALTステータスフラグ	0：CH_HALTモード中ではない 1：CH_HALTモード中	R
b2	SLPST	CH_SLEEPステータスフラグ	0：CH_SLEEPモード中ではない 1：CH_SLEEPモード中	R
b3	EPST	エラーパッシブステータスフラグ	0：エラーパッシブ状態ではない 1：エラーパッシブ状態	R
b4	BOST	バスオフステータスフラグ	0：バスオフ状態ではない 1：バスオフ状態	R
b5	TRMST	送信ステータスフラグ	0：送信中ではない 1：送信中	R
b6	RECST	受信ステータスフラグ	0：受信中ではない 1：受信中	R
b7	CRDY	通信可能フラグ	0：通信の準備ができていない 1：通信の準備ができている	R
b8	RESI	受信ESIフラグ (注1)	0：ESIフラグが“1”になっているメッセージを1つも受信していない 1：ESIフラグが“1”になっているメッセージを1つ以上受信	R/(W) (注2)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	REC[7:0]	受信エラーカウントビット	受信時のCANチャネルのエラー状態に応じて、カウンタの値をインクリメントまたはデクリメントします。	R
b31-b24	TEC[7:0]	送信エラーカウントビット	送信時のCANチャネルのエラー状態に応じて、カウンタの値をインクリメントまたはデクリメントします。	R

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。
注2. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

CHSR レジスタは、チャネルのモード、エラー状態、送信または受信の状態を、その受信および送信エラーカウント値とともに表示します。

RSTST フラグ (CH_RESET ステータスフラグ)

RSTST フラグは、CAN チャネルが CH_RESET モードにあるかどうかを示します。

このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “1” になり、CAN チャネルが CH_RESET モードから抜けると自動的に “0” になります。ただし、CH_RESET モードから CH_SLEEP モードに遷移した場合、RSTST フラグは “1” のままになります。

HLTST フラグ (CH_HALT ステータスフラグ)

HLTST フラグは、CAN チャネルが CH_HALT モードであるかどうかを示します。

このフラグは、CAN チャネルが CH_HALT モードに入ると自動的に “1” になり、CAN チャネルが CH_HALT モードを抜けると自動的に “0” になります。

SLPST フラグ (CH_SLEEP ステータスフラグ)

SLPST フラグは、CAN チャネルが CH_SLEEP モードであるかどうかを示します。

このフラグは、CAN チャネルが CH_SLEEP モードに入ると自動的に “1” になり、CAN チャネルが CH_SLEEP モードを抜けると自動的に “0” になります。

EPST フラグ (エラーパッシブステータスフラグ)

EPST フラグは、CAN チャネルがエラーパッシブ状態になったかどうかを示します。

このフラグは、REC[7:0] ビットまたは TEC[7:0] ビットの値が 127 を超えると自動的に “1” になります。

このフラグは、CAN チャネルがエラーパッシブ状態を抜けるか、CH_RESET モードに入ると自動的に “0” になります。

BOST フラグ (バスオフステータスフラグ)

BOST フラグは、CAN チャネルがバスオフ状態になったかどうかを示します。

このフラグは、TEC[7:0] ビットの値が 255 を超え、CAN チャネルがバスオフ状態になると自動的に “1” になります。

このフラグは、CAN チャネルがバスオフ状態を抜けると自動的に “0” になります。

TRMST フラグ (送信ステータスフラグ)

TRMST フラグは、CAN チャネルがメッセージを送信しているかどうかを示します。

このフラグは、CAN チャネルが送信ノードとして動作しているとき、またはバスオフ状態にあるときに自動的に “1” になり、CAN チャネルがアイドル状態になるか、受信ノードとして動作を開始すると、自動的に “0” になります。

RECST フラグ (受信ステータスフラグ)

RECST フラグは、CAN チャネルがメッセージを受信しているかどうかを示します。

このフラグは、CAN チャネルが受信ノードとして動作している場合に自動的に “1” になり、CAN チャネルがアイドル状態になるか、送信ノードとして動作を開始すると、自動的に “0” になります。

CRDY フラグ (通信可能フラグ)

CRDY フラグは、CAN チャネルが通信可能かどうかを示します。

このフラグは、CAN チャネルが CH_RESET モードまたは CH_HALT モードを抜けた後、11 個の連続したレセシブビットを検出し、通信可能な状態になると自動的に “1” になります。

このフラグは、CAN チャネルが CH_RESET モードまたは CH_HALT モードになると、自動的に “0” になります。

注 . バスオフ状態では、本フラグは “1” です。

RESI フラグ (受信 ESI フラグ)

RESI フラグは、受信したメッセージの ESI フラグがレセシブであった場合に “1” になります。ループバックモードまたはミラーモードの場合、自身が送信したメッセージが受信メッセージとみなされます。

このフラグは、“0” を書くとクリアされます。このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。このフラグをクリアするのと同時に CAN チャネルから “1” に設定された場合、

このフラグは “1” になります。
このフラグをクリアする場合、ビットクリア命令を使用しないでください。MOV 命令を使用して、このフラグのみ “0”、その他のフラグを “1” にして 32 ビット単位で書いてください。

REC[7:0] ビット (受信エラーカウントビット)

REC[7:0] ビットは、受信エラーカウンタの値を表示します。
バスオフ状態での値は不定です。
このビットは、CANFD モジュールが GL_RESET モードに入るか、CAN チャネルが CH_RESET モードに入ると自動的に “00h” になります。

TEC[7:0] ビット (送信エラーカウントビット)

TEC[7:0] ビットは、送信エラーカウンタの値を表示します。
このビットは、CANFD モジュールが GL_RESET モードに入るか、CAN チャネルが CH_RESET モードに入ると自動的に “00h” になります。

36.2.4　チャネルエラーステータスレジスタ (CHESR)

アドレス　CANFD0.CHESR 000A 800Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CRC15[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADEDF	B0EDF	B1EDF	CEDF	AEDF	FEDF	SEDF	ALDF	BLDF	OLDF	BORDF	BOEDF	EPDF	EWDF	BEDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEDF	バスエラー検出フラグ (注1)	0：バスエラー未検出 1：バスエラー検出	R/(W) (注2)
b1	EWDF	エラーワーニング検出フラグ (注1)	0：エラーワーニング未検出 1：エラーワーニング検出	R/(W) (注2)
b2	EPDF	エラーパッシブ検出フラグ (注1)	0：エラーパッシブ未検出 1：エラーパッシブ検出	R/(W) (注2)
b3	BOEDF	バスオフ開始検出フラグ (注1)	0：バスオフ開始未検出 1：バスオフ開始検出	R/(W) (注2)
b4	BORDF	バスオフ復帰検出フラグ (注1)	0：バスオフ復帰未検出 1：バスオフ復帰検出	R/(W) (注2)
b5	OLDF	オーバロード検出フラグ (注1)	0：オーバロード未検出 1：オーバロード検出	R/(W) (注2)
b6	BLDF	バスロック検出フラグ (注1)	0：バスロック未検出 1：バスロック検出	R/(W) (注2)
b7	ALDF	アービトレーションロスト検出フラグ (注1)	0：アービトレーションロスト未検出 1：アービトレーションロスト検出	R/(W) (注2)
b8	SEDF	スタッフエラー検出フラグ (注1)	0：スタッフエラー未検出 1：スタッフエラー検出	R/(W) (注2)
b9	FEDF	フォームエラー検出フラグ (注1)	0：フォームエラー未検出 1：フォームエラー検出	R/(W) (注2)
b10	AEDF	アクノリッジエラー検出フラグ (注1)	0：アクノリッジエラー未検出 1：アクノリッジエラー検出	R/(W) (注2)
b11	CEDF	CRCエラー検出フラグ (注1)	0：CRCエラー未検出 1：CRCエラー検出	R/(W) (注2)
b12	B1EDF	ビット1エラー検出フラグ (注1)	0：ビット1エラー未検出 1：ビット1エラー検出	R/(W) (注2)
b13	B0EDF	ビット0エラー検出フラグ (注1)	0：ビット0エラー未検出 1：ビット0エラー検出	R/(W) (注2)
b14	ADEDF	ACKデリミタエラー検出フラグ (注1)	0：ACKデリミタエラー未検出 1：ACKデリミタエラー検出	R/(W) (注2)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b16	CRC15[14:0]	CRC_15テストビット	これらのビットは、CAN2.0のCANフレーム用に計算されたCRC_15値を示します。	R
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。
注2.　“1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

CHESR レジスタは、チャネル制御レジスタ (CHCR) での割り込み許可 / 禁止の設定に関わらず、検出可能な各種エラーの状態を示します。また、CAN チャネルで検出可能な各種バスエラーの状態を示します。各

エラーの発生条件については、CAN 仕様 (ISO 11898-1) を参照してください。

一度にクリアできるのは 1 ビットのみです。ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

BEDF フラグ (バスエラー検出フラグ)

BEDF フラグは、このレジスタの b14 ～ b8 のいずれかのエラーが検出されたことを示します。

このフラグはバスエラーが検出されると自動的に “1” になり、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

書き込みアクセスによるクリアと同時に CAN チャネルからのセットが発生した場合、本フラグは “1” になります。

EWDF フラグ (エラーワーニング検出フラグ)

EWDF フラグは、CAN チャネルのエラーワーニング状態が検出されたかどうかを示します。

このフラグは、CHSR.TEC[7:0] ビットまたは CHSR.REC[7:0] ビットのいずれかが 95 を超えると自動的に “1” になります。

本フラグは、TEC[7:0] ビットまたは REC[7:0] ビットが最初に 95 を超えた場合にのみ “1” になります。したがって、TEC[7:0] ビットまたは REC[7:0] ビットが 95 を超えたままでソフトウェアによって EWDF フラグがクリアされた場合、TEC[7:0] ビットと REC[7:0] ビットの両方が 96 を下回り、TEC[7:0] ビットまたは REC[7:0] ビットのいずれかが 95 以下の値から 95 を超えた値に再びクロスオーバするまで、再び “1” になることはありません。

セット条件とクリア条件が同時に発生した場合は、フラグが “1” になります。本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

EPDF フラグ (エラーパッシブ検出フラグ)

EPDF フラグは、CAN チャネルのエラーパッシブ状態の検出を示します。

CAN エラー状態がエラーパッシブ状態になると自動的に “1” になります。

本フラグは、CHSR.TEC[7:0] ビットまたは CHSR.REC[7:0] ビットが最初に 127 を超えた場合にのみ “1” になります。したがって、TEC[7:0] ビットまたは REC[7:0] ビットが 127 を超えたままでソフトウェアによってフラグがクリアされた場合、TEC[7:0] ビットと REC[7:0] ビットの両方が 128 を下回り、TEC[7:0] ビットまたは REC[7:0] ビットのいずれかが再び 127 以下の値から 127 を超える値にクロスオーバするまで、再び “1” になることはありません。

セット条件とクリア条件が同時に発生した場合は、フラグが “1” になります。本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

BOEDF フラグ (バスオフ開始検出フラグ)

BOEDF フラグは、CAN チャネルのバスオフ開始状態の検出を示します。

CAN エラー状態がバスオフ状態になると自動的に “1” になります。

本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。クリアと同時にセット条件が発生した場合は、フラグは “1” になります。

BORDF フラグ (バスオフ復帰検出フラグ)

BORDF フラグは、CAN チャネルのバスオフ復帰状態を検出したことを示します。

以下の条件で CAN チャネルがバスオフ状態から復帰した場合、本フラグは自動的に “1” になります。

- CHCR.BOM[1:0] が “00b” で通常復帰 (11 個の連続レセシブビットを 128 回検出) した場合

- CHCR.BOM[1:0] が “10b” で通常復帰 (11 個の連続レセシブビットを 128 回検出) した場合
- CHCR.BOM[1:0] が “11b” で通常復帰 (11 個の連続レセシブビットを 128 回検出) した場合

以下の条件で CAN チャネルがバスオフ状態から復帰した場合、本フラグは “1” になりません。

- CH_RESET モードが要求された場合
- CHCR.RTBO を “1” にした場合 (CAN チャネルはエラーアクティブに戻ります)
- CHCR.BOM[1:0] が “01b” の場合
- CHCR.BOM[1:0] が “11b” で、CAN チャネルがバスオフ状態終了に達する前に CH_HALT モードへの遷移が要求されたとき

本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。クリアと同時にセット条件が発生した場合、フラグは “1” になります。

OLDF フラグ (オーバロード検出フラグ)

OLDF フラグは、CAN チャネルのオーバロード状態を検出したことを示します。

本フラグはオーバロード状態を検出すると自動的に “1” になります。クリア状態と同時にセット状態が発生した場合、フラグは “1” になります。

本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

BLDF フラグ (バスロック検出フラグ)

BLDF フラグは、CAN チャネルのバスロック状態を検出したことを示します。

本フラグは、CAN チャネルが動作モードのときに、CAN バス上に 32 ビット連続してドミナントビットが検出された場合に自動的に “1” になります。

セット条件とクリア条件が同時に発生した場合は、フラグは “1” になります。本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

ALDF フラグ (アービトレーションロスト検出フラグ)

ALDF フラグは、CAN チャネルバスでアービトレーションロストを検出したことを示します。

CAN チャネルが動作モードのときに、CAN バス上でアービトレーションロストが検出された場合に自動的に “1” になります。

セット条件とクリア条件が同時に発生した場合は、フラグは “1” になります。本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

SEDF フラグ (スタッフエラー検出フラグ)

SEDF フラグは、スタッフエラーの検出を示します。

このフラグをクリアした後は、フラグが “0” になったことを確認してから後続の命令を実行してください。

本フラグはスタッフエラーが検出された場合に自動的に “1” になります。CHCR.EDM ビットが “1” で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは “1” になります。

このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。CHCR.EDM ビットが “0” で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ～ b8) のうち一つでもビットがすでに “1” の場合、本フラグは “0” になります。CHESR レジスタのエラーフラグ (b14 ～ b8) が “0000000b” の場合は、本フラグが “1” になります。

FEDF フラグ (フォームエラー検出フラグ)

FEDF フラグは、フォームエラーの検出を示します。

このフラグをクリアした後は、フラグが “0” になったことを確認してから後続の命令を実行してくださ

い。
本フラグはフォームエラー検出時に自動的に “1” になります。CHCR.EDM ビットが “1” で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは “1” になります。
このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。CHCR.EDM ビットが “0” で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ～ b8) のうち一つでもビットがすでに “1” の場合、本フラグは “0” になります。CHESR レジスタのエラーフラグ (b14 ～ b8) が “0000000b” の場合は、本フラグが “1” になります。

AEDF フラグ (アクノリッジエラー検出フラグ)

AEDF フラグは、アクノリッジエラーの検出を示します。
このフラグをクリアした後は、フラグが “0” になったことを確認してから後続の命令を実行してください。
本フラグは、アクノリッジエラーが検出された場合に自動的に “1” になります。CHCR.EDM ビットが “1” で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは “1” になります。
このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。CHCR.EDM ビットが “0” で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ～ b8) のうち 1 ビットでも “1” であった場合、本フラグは “0” になります。CHESR レジスタのエラーフラグ (b14 ～ b8) が “0000000b” の場合は、本フラグが “1” になります。

CEDF フラグ (CRC エラー検出フラグ)

CEDF フラグは、CRC エラーの検出を示します。
このフラグをクリアした後は、フラグが “0” になったことを確認してから後続の命令を実行してください。
本フラグは、CRC エラーが検出された場合に自動的に “1” になります。CHCR.EDM ビットが “1” で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは “1” になります。
このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。CHCR.EDM ビットが “0” で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ～ b8) のうち 1 ビットでも “1” であった場合、本フラグは “0” になります。CHESR レジスタのエラーフラグ (b14 ～ b8) が “0000000b” の場合は、本フラグが “1” になります。

B1EDF フラグ (ビット 1 エラー検出フラグ)

B1EDF フラグは、レセシブビットエラーの検出を示します。
このフラグをクリアした後は、フラグが “0” になったことを確認してから後続の命令を実行してください。
本フラグは、レセシブビットエラー (期待されたレセシブビットがドミナントビットとしてサンプリングされた) が検出された場合に自動的に “1” になります。CHCR.EDM ビットが “1” で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは “1” になります。
このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。CHCR.EDM ビットが “0” で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ～ b8) のうち 1 ビットでも “1” であった場合、本フラグは “0” になります。CHESR レジスタのエラーフラグ (b14 ～ b8) が “0000000b” の場合は、本フラグが “1” になります。

B0EDF フラグ (ビット 0 エラー検出フラグ)

B0EDF フラグは、ドミナントビットエラーの検出を示します。
このフラグをクリアした後は、フラグが “0” になったことを確認してから後続の命令を実行してください。

本フラグは、ドミナントビットエラー (期待されたドミナントビットがレセシブビットとしてサンプリングされた) が検出された場合に自動的に “1” になります。CHCR.EDM ビットが “1” で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは “1” になります。

このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。CHCR.EDM ビットが “0” で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ～ b8) のうち 1 ビットでも “1” であった場合、本フラグは “0” になります。CHESR レジスタのエラーフラグ (b14 ～ b8) が “0000000b” の場合は、本フラグが “1” になります。

ADEDF フラグ (ACK デリミタエラー検出フラグ)

ADEDF フラグは、アクノリッジデリミタビットエラーの検出を示します。

このフラグをクリアした後は、フラグが “0” になったことを確認してから後続の命令を実行してください。

本フラグは、フレーム送信のアクノリッジデリミタ状態でフォームエラーが検出された場合に自動的に “1” になります。CHCR.EDM ビットが “1” で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは “1” になります。

このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。CHCR.EDM ビットが “0” で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ～ b8) のうち 1 ビットでも “1” であった場合、本フラグは “0” になります。CHESR レジスタのエラーフラグ (b14 ～ b8) が “0000000b” の場合は、本フラグが “1” になります。

CRC15[14:0] ビット (CRC_15 テストビット)

CHCR.CTME ビットが “1” (チャネルテストモード) の場合、計算された CRC_15 値がこのビットから読み出せます。CHCR.CTME ビットが “0” の場合、このビットは常に “0000h” として読み出されます。

読み出せる CRC_15 値は、CAN チャネルロジックによって計算された CAN2.0 の CRC 値を示します。

CRC15[14:0] ビットの値は、Classical CAN フレームの CRC フィールドの最初のビットで更新されます。

このビットは、CAN チャネルが CH_RESET モードに入ると自動的に “0000h” になります。

36.2.5　データビットレート設定レジスタ (DBCR)

アドレス　CANFD0.DBCR 000A 8100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	SJW[3:0]				—	—	—	—	TSEG2[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TSEG1[4:0]					BRP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	BRP[7:0]	ビットレートプリスケーラ設定ビット	00h：分周なし 01h：2分周 ：　： FEh：255分周 FFh：256分周	R/W
b12-b8	TSEG1[4:0]	タイムセグメント1制御ビット	00h：設定禁止 01h：2 Tq 02h：3 Tq 03h：4 Tq ：　： 1Eh：31 Tq 1Fh：32 Tq	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	TSEG2[3:0]	タイムセグメント2制御ビット	0h：設定禁止 1h：2 Tq ：　： Eh：15 Tq Fh：16 Tq	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	SJW[3:0]	再同期ジャンプ幅制御ビット	0h：1 Tq 1h：2 Tq ：　： Fh：16 Tq	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　このレジスタは、CH_RESETモード、CH_HALTモード時に設定してください。

DBCR レジスタは、チャネルの送受信データのビットレートパラメータを設定します。
Classic Only モードでは、このレジスタの設定を行う必要はありません。

BRP[7:0] ビット (ビットレートプリスケーラ設定ビット)

BRP[7:0] ビットは、1 Tq (Time Quantum) に含まれる DLL クロックの数を定義します。

TSEG1[4:0] ビット (タイムセグメント 1 制御ビット)

TSEG1[4:0] ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2 ～ 32 Tq の値を設定することができます。

TSEG1[4:0] ビットは伝播時間セグメントを設定するのにも使用されます。

本ビットに上記以外の値は書き込まないでください。詳細は、「36.4.1.2　ビットタイミング」を参照してください。

TSEG2[3:0] ビット (タイムセグメント 2 制御ビット)

TSEG2[3:0] ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2 ～ 16 Tq の値を設定することができます。

本ビットに上記以外の値は書き込まないでください。

SJW[3:0] ビット (再同期ジャンプ幅制御ビット)

SJW[3:0] ビットは再同期ジャンプ幅を設定します。1 ～ 16 Tq の値を設定することができます。

36.2.6 CAN FD 設定レジスタ (FDCFG)

アドレス CANFD0.FDCFG 000A 8104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
リセット後の値	0	0/1 (注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TESI	TDCE	SSPC	—	—	—	—	—	ECC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ECC[2:0]	エラー発生カウンタ設定ビット (注2)	b2 b0 0 0 0：すべてのCAN送受信フレーム 0 0 1：すべてのCAN送信フレーム 0 1 0：すべてのCAN受信フレーム 0 1 1：設定禁止 1 0 0：送受信時のCAN FDデータフェーズのみ 1 0 1：送信時のCAN FDデータフェーズのみ 1 1 0：受信時のCAN FDデータフェーズのみ 1 1 1：設定禁止	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SSPC	第二サンプルポイント設定ビット (注2)	0：測定値＋オフセット 1：オフセットのみ	R/W
b9	TDCE	トランシーバ遅延補償許可ビット (注2)	0：トランシーバ遅延補償禁止 1：トランシーバ遅延補償許可	R/W
b10	TESI	送信ESI設定ビット (注2)	0：送信フレームのESIフラグには自ノードのエラー状態が反映されます 1：送信フレームのESIフラグには、自ノードがエラーパッシブでないときはメッセージバッファのESIビットの値が、自ノードがエラーパッシブ状態であるときは自ノードのエラー状態が反映されます	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	TDCO[7:0]	トランシーバ遅延補償オフセット設定ビット (注2)	トランシーバ遅延補償のためのオフセット値を設定します	R/W
b27-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	FDOE	FD Onlyモード許可ビット (注3)	0：FD onlyモード禁止 1：FD onlyモード許可	R/W
b29	REFE	受信エッジフィルタ許可ビット (注3)	0：受信エッジフィルタ無効 1：受信エッジフィルタ有効	R/W
b30	CLOE	Classic Onlyモード許可ビット (注3、注4)	0：Classic Onlyモード禁止 1：Classic Onlyモード許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CAN FDプロトコル対応製品では“0”、CAN 2.0プロトコルにのみ対応している製品では“1”です。
注2. CH_RESETモード、CH_HALTモード時に設定してください。
注3. CH_RESETモード時に設定してください。
注4. CAN FDプロトコル対応製品のみ書き込み可能なビットです。CAN 2.0プロトコルにのみ対応している製品の場合、このビットは“1”固定の予約ビットです。

FDCFG レジスタは、どの通信方向 (送信 / 受信) のエラーをカウントするかを設定します。

ECC[2:0] ビット (エラー発生カウンタ設定ビット)

ECC[2:0] ビットは、どのタイプの CAN フレームに対してプロトコルエラーをカウントするかを選択するビットです。

SSPC ビット (第二サンプルポイント設定ビット)

SSPC ビットは、CAN チャネルの第二サンプルポイント (SSP) の位置を定義する際に使用するオフセットを選択します。本ビットが “0” の場合、SSP の位置は、測定されたトランシーバ遅延に固定オフセットを加えたものになります。本ビットが “1” の場合、SSP の位置はオフセットによってのみ定義されます。

Classic Only モードでは、本ビットを “1” にしないでください。

TDCE ビット (トランシーバ遅延補償許可ビット)

TDCE ビットは、CAN チャネルのトランシーバ遅延補償を有効にします。

Classic Only モードでは、本ビットを “1” に設定しないでください。

TESI ビット (送信 ESI 設定ビット)

TESI ビットは、送信メッセージの ESI フラグに、自ノードのエラー状態を反映させるか、メッセージバッファの ESI ビット (CFB0.HF2.ESI ビットまたは TMBn.HF2.ESI ビット) の値を反映させるかを選択します。

Classic Only モードでは、本ビットを “1” に設定しないでください。

TDCO[7:0] ビット (トランシーバ遅延補償オフセット設定ビット)

TDCO[7:0] ビットは第二サンプルポイントのオフセットを設定します。この値がどのように使用されるかは、SSPC ビットの設定に依存します。

SSPC ビットが “0” の場合、トランシーバ遅延補償結果は、Trv_Delay(測定された遅延) + TDCO[7:0] ビット (Tq の最も近い整数に切り捨て) です。SSPC ビットが “1” の場合、結果は TDCO[7:0] ビットの値と等しくなります。詳細については、「36.4.1.5　トランシーバ遅延補償」を参照してください。

実際のオフセット値は TDCO[7:0] ビット + 1 と判断されます。例えば TDCO[7:0] ビットに 4 を設定した場合、オフセットは 5 クロックサイクルとなります。クロックサイクルは CAN チャネル DLL クロックの 1 サイクルです。

Classic Only モードでは、本ビットを設定しないでください。

FDOE ビット (FD Only モード許可ビット)

FDOE ビットは、CAN FD フレームのみの送受信を有効にします。有効にすると、Classical CAN フレームフォーマットでの通信はできなくなります。Classical CAN フレームの送信はできませんので、メッセージバッファの FDF ビット (CFB0.HF2.FDF ビット、TMBn.HF2.FDF ビット) の値は任意です。

Classical CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは無効なフレームとして扱い、エラーフレームで応答します。Classical CAN フレームが送信用に設定されている場合、FDF ビットはレセシブとして送信されるため、CAN FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは “CCh” でパディングされます。

FDOE ビットと CLOE ビットを同時に “1” に設定しないでください。

REFE ビット (受信エッジフィルタ許可ビット)

REFE ビットは、統合状態 (Integrating state) 中の受信エッジフィルタを有効にします。本ビットを “1” にした場合、ハード同期のためのエッジを検出するには、2 Tq 以上の連続したドミナントが必要です。

Classic only モードでは、このビットを “1” に設定しないでください。

CLOE ビット (Classic Only モード許可ビット)

CLOE ビットは、Classic only モードを有効にします。このビットが “1” の場合、プロトコルコントローラは Classical CAN フレームのみを送信し、CAN FD フレームに対してはフォームエラーまたは CRC エラーで応答します。

CLOE ビットと FDOE ビットを同時に “1” にしないでください。

表 36.3 動作モードの変更

CLOE ビット	FDOE ビット	動作モード
0	0	CAN FD モード
0	1	FD only モード
1	0	Classic only モード
1	1	設定しないでください

36.2.7 CAN FD 制御レジスタ (FDCTR)

アドレス CANFD0.FDCTR 000A 8108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SCCL	ECCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECCL	エラー発生カウンタクリアビット	このビットを“1”にすると、エラー発生カウンタがクリアされます。読むと“0”が読めます	R/W
b1	SCCL	成功発生カウンタクリアビット	このビットを“1”にすると、成功発生カウンタがクリアされます。読むと“0”が読めます	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FDCTR レジスタは、エラー発生カウンタと成功発生カウンタを制御します。

ECCL ビット (エラー発生カウンタクリアビット)

ECCL ビットは、エラー発生カウンタをクリアするために使用します。

CH_SLEEP モードまたは CH_RESET モードでは、値を変更できません。

このビットは、自動的に “0” になります。また、CAN チャネルが CH_RESET モードに入ったときも “0” になります。

SCCL ビット (成功発生カウンタクリアビット)

SCCL ビットは、成功発生カウンタをクリアするために使用します。

CH_SLEEP モード、CH_RESET モードでは、値を変更できません。

このビットは、自動的に “0” になります。また、CAN チャネルが CH_RESET モードに入ったときも “0” になります。

36.2.8 CAN FD ステータスレジスタ (FDSTS)

アドレス CANFD0.FDSTS 000A 810Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SC[7:0]								EC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDCV	—	—	—	—	—	SCOV	ECOV	TDCR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TDCR[7:0]	トランシーバ遅延補償結果ビット	トランシーバの遅延量が測定されたときに、遅延補償の結果を示します。	R
b8	ECOV	エラー発生カウンタオーバフローフラグ (注1)	0：エラー発生カウンタがオーバフローしていない 1：エラー発生カウンタがオーバフローした	R/(W) (注2)
b9	SCOV	成功発生カウンタオーバフローフラグ (注1)	0：成功発生カウンタがオーバフローしていない 1：成功発生カウンタがオーバフローした	R/(W) (注2)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TDCV	トランシーバ遅延補償違反フラグ (注1)	0：トランシーバ遅延補償違反が発生していない 1：トランシーバ遅延補償違反が発生した	R/(W) (注2)
b23-b16	EC[7:0]	エラー発生カウンタ	エラー発生カウンタの値を示します。	R
b31-b24	SC[7:0]	成功発生カウンタ	成功発生カウンタの値を示します。	R

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。
注2. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

FDSTS レジスタは、トランシーバ遅延補償の結果とそれに関連する FIFO メッセージロストステータスを示します。

TDCR[7:0] ビット (トランシーバ遅延補償結果ビット)

TDCR[7:0] ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延量は、DLL クロックのサイクル数です。結果は、FDCFG.SSPC ビットの設定値と FDCFG.TDCO[7:0] ビットのオフセット値に依存します。詳細は、「36.4.1.5 トランシーバ遅延補償」を参照してください。

TDCR[7:0] ビットは、FDCFG.SSPC ビットが “0” で、FDCFG.TDCE ビットが “1” (トランシーバ遅延補償が有効) の場合、FDF ビットと res ビットの間の立ち下がりエッジで更新されます。

これらのビットは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

ECOV フラグ (エラー発生カウンタオーバフローフラグ)

ECOV フラグは、CAN チャネルのエラー発生カウンタがオーバフローしたかどうかを示します。

本フラグは、EC[7:0] ビットが “FFh” のときに、FDCFG.ECC[2:0] ビットで指定された CAN バスエラーが検出されると、“1” になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは “1” になります。

本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

SCOV フラグ (成功発生カウンタオーバフローフラグ)

SCOV フラグは、CAN チャネル成功発生カウンタがオーバフローしたかどうかを示します。

本フラグは、SC[7:0] ビットが “FFh” のときに、メッセージ受信またはメッセージ送信が成功すると、“1” になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは “1” になります。

本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

TDCV フラグ (トランシーバ遅延補償違反フラグ)

CANFD モジュールは、送信したデータを内部でビット単位でキャプチャしています。このデータが、トランシーバのループ遅延によって遅延している CAN バスから受信したレベルと比較されます。

トランシーバの遅延量は、温度などの物理パラメータに応じて多少の変動があります。TDCR[7:0] ビットはメッセージごとに更新されますが、一時的な最大遅延違反は見逃される場合があります。TDCV フラグはこの違反をキャプチャします。

このフラグは、トランシーバ遅延補償が最大遅延補償 (6 データビットタイム – 2 DLL クロック) よりも大きく、内部ビットがオーバランした場合に “1” になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは “1” になります。

本フラグは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

EC[7:0] ビット (エラー発生カウンタ)

EC[7:0] ビットは、SC[7:0] ビットと共に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合に、ホスト制御により、アービトレーションビットレートと同じペイロードビットレートまでフォールバックするオプションをサポートします。

この高いエラー率は、FDCFG.ECC[2:0] ビットの設定によって検出させることができます。

EC[7:0] ビットは、CANFD モジュールのロジックによってのみ設定されます。これらのビットは、FDCTR.ECCL ビットに “1” を書き込むことでクリアされます。

これらのビットは、FDCFG.ECC[2:0] ビットの設定に従って、エラー発生時に更新されます。カウンタ値が “FFh” に達すると更新を停止します。

これらのビットは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

SC[7:0] ビット (成功発生カウンタ)

SC[7:0] ビットは、EC[7:0] ビットと共に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合に、ホスト制御により、アービトレーションビットレートと同じペイロードビットレートまでフォールバックするオプションをサポートします。

SC[7:0] ビットは、CANFD モジュールのロジックによってのみ設定されます。これらのビットは FDCTR.SCCL ビットに “1” を書き込むことでクリアされます。

これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されます。カウンタ値が “FFh” に達すると更新を停止します。

これらのビットは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

注 . ループバックモードでは、カウンタは 2 回インクリメントされます。

36.2.9 CAN FD CRC レジスタ (FDCRC)

アドレス CANFD0.FDCRC 000A 8110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	SBC[3:0]				—	—	—	CRC21[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CRC21[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b20-b0	CRC21[20:0]	CRC_21テストビット	CAN FDフレームに対して計算されたCRC_17値またはCRC_21値を示します	R
b23-b21	—	予約ビット	読むと“0”が読めます	R
b27-b24	SBC[3:0]	スタッフビットカウンタ	CAN FDフレームのスタッフビット数(Mod 8)を示します	R
b31-b28	—	予約ビット	読むと“0”が読めます	R

FDCRC レジスタは、CAN FD フレームについて計算された CRC 値を保持します。

CRC21[20:0] ビット (CRC_21 テストビット)

CHCR.CTME ビットが “1” (チャネルテストモード有効) の場合、計算された CRC_17 値または CRC_21 値がこのビットから読み出せます。

CHCR.CTME ビットが “0” の場合、CRC21[20:0] ビットからは “000000h” が読めます。

CRC21[20:0] ビットの値は、CAN FD フレームの CRC フィールドの最初のビットで更新されます。

CRC_17 を使用する場合、CRC21[20:17] ビットからは “0” が読めます。

これらのビットは、CAN チャネルが CH_RESET モードに入ると自動的に “000000h” になります。

SBC[3:0] ビット (スタッフビットカウンタ)

SBC[3:0] ビットは、CAN FD フレームのスタッフカウント値を示します。CHCR.CTME ビットが “1” になっているとき、SBC[3:1] ビットには CAN FD フレームに挿入されるスタッフビットの数 (モジュロ 8、グレイコード化) が、SBC[0] ビットにはそれに対するパリティが表示されます。

CHCR.CTME ビットが “0” の場合、SBC[3:0] ビットからは “0000b” が読めます。

SBC[3:0] ビットの値は、CAN FD フレームの CRC フィールドの最初のビットで更新されます。

これらのビットは、CAN チャネルが CH_RESET モードに入ると自動的に “0000b” になります。

36.2.10　グローバル設定レジスタ (GCFG)

アドレス　CANFD.GCFG 000A 8014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ITP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TSCS	TSP[3:0]				—	—	OMRC	DLLCS	MME	DRE	DCE	TPRI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位設定ビット	0：ID優先 1：メッセージバッファ番号優先	R/W
b1	DCE	DLCチェック許可ビット	0：DLCチェック無効 1：DLCチェック有効	R/W
b2	DRE	DLC置換許可ビット	0：DLC置換無効 1：DLC置換有効	R/W
b3	MME	ミラーモード許可ビット	0：ミラーモード無効 1：ミラーモード有効	R/W
b4	DLLCS	DLLクロック選択ビット	0：CANFDCLK 1：CANFDMCLK	R/W
b5	OMRC	ペイロードオーバフローメッセージ受信設定ビット	0：メッセージを破棄 1：メッセージのペイロードを指定したサイズにカット	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TSP[3:0]	タイムスタンプカウンタプリスケーラ設定ビット	b11　b8 0 0 0 0：分周なし 0 0 0 1：2分周(= 2^1) 0 0 1 0：4分周(= 2^2) 0 0 1 1：8分周(= 2^3) ：　： 1 1 0 1：8192分周(= 2^{13}) 1 1 1 0：16384分周(= 2^{14}) 1 1 1 1：32768分周(= 2^{15})	R/W
b12	TSCS	タイムスタンプカウンタソース選択ビット	0：タイムスタンプカウンタのクロックソースは周辺モジュールクロック(PCLKB) 1：タイムスタンプカウンタのクロックソースはビットタイムクロック	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	ITP[15:0]	インターバルタイマプリスケーラ設定ビット	FIFOインターバルタイマプリスケーラ値。周辺モジュールクロック(PCLKB)の分周値を設定します	R/W

GCFG レジスタは、すべての送信メッセージバッファに使用する送信優先順位と、CAN プロトコルエンジンのクロックソースを選択するのに使用されます。また、GCFG レジスタは、タイムスタンプクロックのクロックソースを選択し、タイムスタンプクロックとインターバルタイマ基準クロックの周波数を設定するためにも使用されます。

TPRI ビット (送信優先順位設定ビット)

TPRI ビットは、CAN チャネルの送信優先順位を選択します。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

送信キューを使用する場合、メッセージバッファ番号優先にしないでください。

DCE ビット (DLC チェック許可ビット)

DCE ビットは、CAN チャネルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

DRE ビット (DLC 置換許可ビット)

DRE ビットが “1” で DCE が “1” のとき、CANFD モジュールは DLC チェックにパスした場合、DLC の設定値 (AFLn.PTR0.DLC[3:0]) を受信メッセージの宛先バッファまたは FIFO バッファに格納します。それ以外の場合、受信メッセージの宛先バッファまたは FIFO バッファの DLC 値は変更されません。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

MME ビット (ミラーモード許可ビット)

MME ビットは、CAN チャネルのミラーモードを有効にします。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

DLLCS ビット (DLL クロック選択ビット)

DLLCS ビットは、CAN 通信のクロックソースを選択します。

GL_SLEEP モードまたは GL_OPERATION モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

OMRC ビット (ペイロードオーバフローメッセージ受信設定ビット)

OMRC ビットは、受信したペイロードがメッセージバッファのペイロードサイズ (RMCR.PLS[2:0] ビット、RFCRn.PLS[2:0] ビット、および CFCR0.PLS[2:0] ビット) よりも大きい場合に、メッセージのペイロードを受け入れるメカニズムを制御します。受信したメッセージペイロードは、常にメッセージバッファ内の利用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたは GL_OPERATION モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

本ビットが “1” のとき、ペイロードオーバフローが発生すると、DLC 値は変更されずに受信メッセージバッファまたは FIFO バッファに格納されます。

TSP[3:0] ビット (タイムスタンプカウンタプリスケーラ設定ビット)

TSP[3:0] ビットで設定された値は、タイムスタンプカウンタに使用されるクロックソースの周期を定義します。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

TSCS ビット (タイムスタンプカウンタソース選択ビット)

TSCS ビットは、タイムスタンプカウンタのクロックソースを選択することができます。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。また、CAN FD 通信を使用する場合は、このビットを “1” にしないでください。

注 . ビットタイムクロックは、公称ビットレートとデータビットレートの設定によって変化します。

ITP[15:0] ビット (インターバルタイマプリスケーラ設定ビット)

ITP[15:0] ビットでは、FIFO インターバルタイマのクロックソースの基準クロックを定義できます。

これらのビットが “0000h” の場合、タイマは無効になります。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

36.2.11 グローバル制御レジスタ (GCR)

アドレス CANFD.GCR 000A 8018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSCR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	POIE	THLIE	MLIE	DEIE	—	—	—	—	—	SLPRQ	MDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MDC[1:0]	グローバルモード制御ビット	b1 b0 0 0：GL_OPERATIONモードへの遷移を要求 0 1：GL_RESETモードへの遷移を要求 1 0：GL_HALTモードへの遷移を要求 1 1：現在のモードを維持	R/W
b2	SLPRQ	GL_SLEEPモード要求ビット	0：GL_SLEEPの解除を要求 1：GL_SLEEPへの遷移を要求	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0：DLCエラー割り込み禁止 1：DLCエラー割り込み許可	R/W
b9	MLIE	メッセージロスト割り込み許可ビット	0：メッセージロスト割り込み禁止 1：メッセージロスト割り込み許可	R/W
b10	THLIE	送信履歴エントリロスト割り込み許可ビット	0：送信履歴エントリロスト割り込み禁止 1：送信履歴エントリロスト割り込み許可	R/W
b11	POIE	ペイロードオーバフロー割り込み許可ビット	0：ペイロードオーバフロー割り込み禁止 1：ペイロードオーバフロー割り込み許可	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TSCR	タイムスタンプカウンタリセットビット	このビットを“1”にすると、タイムスタンプカウンタがリセットされます。読むと“0”が読めます	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GCR レジスタは、CANFD モジュールのグローバルモードとタイムスタンプ機能を制御します。また、グローバルエラー割り込みの許可、禁止も行います。

MDC[1:0] ビット (グローバルモード制御ビット)

MDC[1:0] ビットは、CANFD モジュールのモードを指定するために使用します。CANFD モジュールのモード遷移については、「36.3.1 グローバルモード」を参照してください。

GL_SLEEP モードでは値を変更できません。

CANFD モジュールを GL_SLEEP モードに遷移させるときは、先にこのビットを “01b” にして GL_RESET モードに遷移させてから、GCR.SLPRQ ビットを “1” にしてください。

SLPRQ ビット (GL_SLEEP モード要求ビット)

SLPRQ ビットは、GL_SLEEP モードへの遷移、GL_SLEEP モードからの復帰を制御するビットです。

このビットを “1” にすると、CAN チャネルに対して CH_SLEEP モードへの遷移も要求されます。

GL_RESET モードまたは GL_SLEEP モードでのみ、このビットに書き込めます。

DEIE ビット (DLC エラー割り込み許可ビット)

DEIE ビットが “1” のとき、受信フレームに DLC エラーが検出されると割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

MLIE ビット (メッセージロスト割り込み許可ビット)

MLIE ビットが “1” のとき、メッセージロストが発生した場合に割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

THLIE ビット (送信履歴エントリロスト割り込み許可ビット)

THLIE ビットが “1” のとき、送信履歴エントリのロストが発生した場合に割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

POIE ビット (ペイロードオーバフロー割り込み許可ビット)

POIE ビットが “1” のとき、メッセージのペイロードがオーバフローしたときに割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

TSCR ビット (タイムスタンプカウンタリセットビット)

TSCR ビットが “1” のとき、タイムスタンプカウンタレジスタ (TSCR) は “00000000h” にリセットされます。

GL_SLEEP モードでは、値を変更できません。GL_RESET モードでは、本ビットへの書き込みを行わないでください。

このビットは自動的に “0” になります。

36.2.12 グローバルステータスレジスタ (GSR)

アドレス CANFD.GSR 000A 801Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	RAMST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	GL_RESETステータスフラグ	0：GL_RESETモードではない 1：GL_RESETモード	R
b1	HLTST	GL_HALTステータスフラグ	0：GL_HALTモードではない 1：GL_HALTモード	R
b2	SLPST	GL_SLEEPステータスフラグ	0：GL_SLEEPモードではない 1：GL_SLEEPモード	R
b3	RAMST	RAM初期化ステータスフラグ	0：RAM初期化完了 1：RAM初期化中	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

GSR レジスタは、CANFD モジュールのグローバルステータスを示します。

RSTST フラグ (GL_RESET ステータスフラグ)

RSTST フラグは、CANFD モジュールの GL_RESET モードの状態を示します。

このフラグは、CANFD モジュールが GL_RESET モードに入ると自動的に “1” になります。GL_RESET モードから GL_SLEEP モードに遷移しても、本フラグは “1” のままです。GL_HALT モードまたは GL_OPERATION モードに遷移すると自動的に “0” になります。

HLTST フラグ (GL_HALT ステータスフラグ)

HLTST フラグは、CANFD モジュールの GL_HALT モードの状態を示します。

このフラグは、CANFD モジュールが GL_HALT モードに入ると自動的に “1” になります。GL_HALT モードを抜けると、自動的に “0” になります。

SLPST フラグ (GL_SLEEP ステータスフラグ)

SLPST フラグは、CANFD モジュールの GL_SLEEP モードの状態を示します。

このフラグは、CANFD モジュールが GL_SLEEP モードに入ると自動的に “1” になります。GL_SLEEP モードを抜けると、自動的に “0” になります。

RAMST フラグ (RAM 初期化ステータスフラグ)

RAMST フラグは、CANFD モジュールの RAM 初期化の状態を示します。

このフラグは、MCU がリセットされて CANFD モジュールが GL_SLEEP モードになると、自動的に “1” になります。RAM の初期化が完了すると、自動的に “0” になります。

36.2.13 グローバルエラーステータスレジスタ (GESR)

アドレス CANFD.GESR 000A 8020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PODF	THLDF	MLDF	DEDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEDF	DLCエラー検出フラグ	0：DLCエラー未検出 1：DLCエラー検出	R/(W) (注1)
b1	MLDF	メッセージロスト検出フラグ	0：メッセージロスト未検出 1：メッセージロスト検出	R
b2	THLDF	送信履歴エントリロスト検出フラグ	0：送信履歴エントリロスト未検出 1：送信履歴エントリロスト検出	R
b3	PODF	ペイロードオーバフロー検出フラグ	0：ペイロードオーバフロー未検出 1：ペイロードオーバフロー検出	R/(W) (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	EEDF0	ECCエラー検出フラグ	0：送信スキャン中にECCエラー未検出 1：送信スキャン中にECCエラー検出	R/(W) (注1)
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

GESR レジスタは、グローバルエラーの検出を示します。

DEDF フラグ (DLC エラー検出フラグ)

DEDF フラグは、データ長コード (DLC) のエラー状態を示します。

GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

本フラグは、受信フレームで DLC エラーが検出された場合に自動的に “1” になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、本フラグは “1” になります。

本フラグは、“0” を書き込むことでクリアされます。GL_RESET モードでは自動的に “0” になります。

MLDF フラグ (メッセージロスト検出フラグ)

MLDF フラグは、メッセージロストエラーのステータスを示します。

このフラグは、FIFO メッセージロストエラーが検出されたときに自動的に “1” になります。

このフラグは、以下の場合に自動的に “0” になります。

- すべての FIFO のメッセージロストフラグ (RFSRn.LOST, CFSR0.LOST) がクリアされた場合
- CANFD モジュールが GL_RESET モードの場合

THLDF フラグ (送信履歴エントリロスト検出フラグ)

THLDF フラグは、送信履歴エントリのロストエラーの状態を示します。

本フラグは、送信履歴エントリのロストエラーを検出した場合に自動的に “1” になります。
本フラグは、以下の場合に自動的に “0” になります。

- 送信履歴ロストフラグ (THSR.LOST) がクリアされた場合
- CANFD モジュールが GL_RESET モードの場合

PODF フラグ (ペイロードオーバフロー検出フラグ)

PODF フラグは、チャネルでメッセージのペイロードオーバフローが検出された場合、自動的に “1” になります。
GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。
書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、本フラグは “1” になります。
ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。
GL_RESET モードでは自動的に “0” になります。

EEDF0 フラグ (ECC エラー検出フラグ)

EEDF0 フラグは、ECC エラーが発生したかどうかを示します。
GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。
ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。
書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、本フラグは “1” になります。
GL_RESET モードでは自動的に “0” になります。

36.2.14 送信割り込みステータスレジスタ (TISR)

アドレス CANFD.TISR 000A 80A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSIF0	送信成功割り込みフラグ	0：送信成功割り込みなし 1：送信成功割り込み発生	R
b1	TAIF0	送信アボート割り込みフラグ	0：送信アボート割り込みなし 1：送信アボート割り込み発生	R
b2	TQIF0	送信キュー割り込みフラグ	0：送信キュー割り込みなし 1：送信キュー割り込み発生	R
b3	CFTIF0	共通FIFO送信割り込みフラグ	0：共通FIFO送信モード割り込みなし 1：共通FIFO送信モード割り込み発生	R
b4	THIF0	送信履歴割り込みフラグ	0：送信履歴割り込みなし 1：送信履歴割り込み発生	R
b31-b5	—	予約ビット	読むと“0”が読めます	R

TISR レジスタは、送信固有の割り込みの検出を示します。

TSIF0 フラグ (送信成功割り込みフラグ)

TSIF0 フラグは、送信メッセージバッファ n 割り込みが許可されているときに、送信メッセージバッファ n からの送信が成功すると “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 割り込みが禁止されたとき (TMIER0.TMIEn ビット = 0)
- 送信メッセージバッファ n の送信結果フラグ (TMSRn.TXRF[1:0]) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAIF0 フラグ (送信アボート割り込みフラグ)

TAIF0 フラグは、送信アボート割り込みが許可されているときに、送信メッセージバッファ n からの送信がアボートされると “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 割り込みが禁止されたとき (CHCR.TAIE ビット = 0)
- 送信メッセージバッファ n の送信結果フラグ (TMSRn.TXRF[1:0]) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 フラグ (送信キュー割り込みフラグ)

TQIF0 フラグは、送信キュー割り込みが許可されているときに、送信キュー割り込みフラグが “1” になると “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 割り込みが禁止されたとき (TQCR0.TQIE ビット = 0)
- 送信キュー割り込みフラグ (TQSR0.TQIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 フラグ (共通 FIFO 送信割り込みフラグ)

CFTIF0 フラグは、共通 FIFO 送信割り込みが許可されているときに、共通 FIFO 送信割り込みフラグ (CFSR0.CFTIF) が “1” になると “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 割り込みが禁止されたとき (CFCR0.CFTIE ビット = 0)
- 共通 FIFO 送信割り込みフラグ (CFSR0.CFTIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 フラグ (送信履歴割り込みフラグ)

THIF0 フラグは、送信履歴割り込みが許可されているときに、送信履歴割り込みフラグ (THSR.THIF) が “1” になると “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 割り込みが禁止されたとき (THCR.THIE ビット = 0)
- 送信履歴割り込みフラグ (THSR.THIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

36.2.15 タイムスタンプカウンタレジスタ (TSCR)

アドレス CANFD.TSCR 000A 8024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TSCR レジスタは、選択された設定に基づくタイムスタンプを格納するリードオンリのレジスタです。

タイムスタンプ値は、GCFG.TSCS ビット、TSP[3:0] ビットの設定に基づき、TSCR レジスタに格納されます。GL_HALT モードに遷移したときのタイムスタンプカウンタの精度は保証されません。

GL_RESET モードでは自動的に “00000000h” になります。

36.2.16　アクセプタンスフィルタリスト制御レジスタ (AFCR)

アドレス CANFD.AFCR 000A 8028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AFLWE	—	—	—	—	—	—	—	PAGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PAGE	アクセスページ設定ビット	アクセプタンスフィルタリストのページ番号を設定します	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	AFLWE	AFL書き込み許可ビット	0：アクセプタンスフィルタリストへのデータ書き込み禁止 1：アクセプタンスフィルタリストへのデータ書き込み許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFCR レジスタは、アクセプタンスフィルタリストにエントリを読み書きするためのアクセプタンスフィルタリストのページを選択するために使用されます。

PAGE ビット (アクセスページ設定ビット)

PAGE ビットは、アクセプタンスフィルタリストの希望する RAM 領域にアクセスするためのページ番号を設定するビットです。1 ページは、16 個のアクセプタンスフィルタリストエントリで構成されています。

アクセプタンスフィルタリストへの読み出しおよび書き込みは、固定ウィンドウを通してのみ実行できます。

GL_SLEEP モードでは、値を変更できません。

AFLWE ビット (AFL 書き込み許可ビット)

アクセプタンスフィルタリストの設定後に AFLWE ビットを “0” にすると、アクセプタンスフィルタリストへの書き込みを防止できます。

本ビットの状態に関係なく、アクセプタンスフィルタリストからデータを読み出すことができます。

GL_SLEEP モードでは、値を変更できません。

本ビットを “1” に設定すると、アクセプタンスフィルタリストへの書き込みアクセスが可能になります。

36.2.17 アクセプタンスフィルタリスト設定レジスタ (AFCFG)

アドレス CANFD.AFCFG 000A 802Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	RN0[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b21-b16	RN0[5:0]	ルール数設定ビット	アクセプタンスフィルタリストのルール数を設定	R/W
b31-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFCFG レジスタは、アクセプタンスフィルタリストのエントリ用ルールの数を定義するために使用されます。

アクセプタンスフィルタの最大数は 32 です。

RN0[5:0] ビット (ルール数設定ビット)

RN0[5:0] ビットは、アクセプタンスフィルタリストのルール数を定義します。32 以下の値を設定してください。

GL_RESET モードでのみ、書き込み可能です。

36.2.18　アクセプタンスフィルタリスト n ID レジスタ (AFLn.IDR) (n = 0 ～ 15)

アドレス　CANFD.AFL0.IDR 000A 8120h, CANFD.AFL1.IDR 000A 8130h, CANFD.AFL2.IDR 000A 8140h, CANFD.AFL3.IDR 000A 8150h, CANFD.AFL4.IDR 000A 8160h, CANFD.AFL5.IDR 000A 8170h, CANFD.AFL6.IDR 000A 8180h, CANFD.AFL7.IDR 000A 8190h, CANFD.AFL8.IDR 000A 81A0h, CANFD.AFL9.IDR 000A 81B0h, CANFD.AFL10.IDR 000A 81C0h, CANFD.AFL11.IDR 000A 81D0h, CANFD.AFL12.IDR 000A 81E0h, CANFD.AFL13.IDR 000A 81F0h, CANFD.AFL14.IDR 000A 8200h, CANFD.AFL15.IDR 000A 8210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	LPC	ID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	アクセプタンスフィルタリストエントリのID部分	R/W
b29	LPC	ループバック設定ビット	0：通常の受信メッセージ処理を実施 1：自ノードが送信したメッセージのみ通過	R/W
b30	RTR	RTRビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	IDEビット	0：標準ID 1：拡張ID	R/W

注.　このレジスタは、CH_RESETモード、CH_HALTモード時に設定してください。

AFLn.IDR レジスタは、アクセプタンスフィルタリストのルールエントリにおける ID フィールドを設定するために使用します。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを “1” にしてください。AFLWE ビットが “0” のときは、書き換えられません。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットは、アクセプタンスフィルタリストの各エントリの CAN ID フィールドを表します。

アクセプタンスフィルタ処理は、このフィールドと受信したメッセージの ID とを比較します。標準フレームフォーマットおよび拡張フレームフォーマットにおけるビットの配置については、**「36.2.60　ID ビットの配置」**を参照してください。

LPC ビット (ループバック設定ビット)

LPC ビットは、アクセプタンスフィルタリストの各エントリに対して、ループバックモード時、ミラーモード時の受信メッセージに対する処理を指定するビットです。通常の受信メッセージに対しては、“0” を指定してください。

このビットを “1” にしたエントリは、ループバックモード時、ミラーモード時に自ノードが送信したメッセージにのみマッチします。

このビットを “0” にしたエントリは、他ノードが送信したすべてのメッセージと、ループバックモード時に自ノードが送信したメッセージにマッチします。

詳細は、**「36.5.8　ループバック設定」**を参照してください。

RTR ビット (RTR ビット)

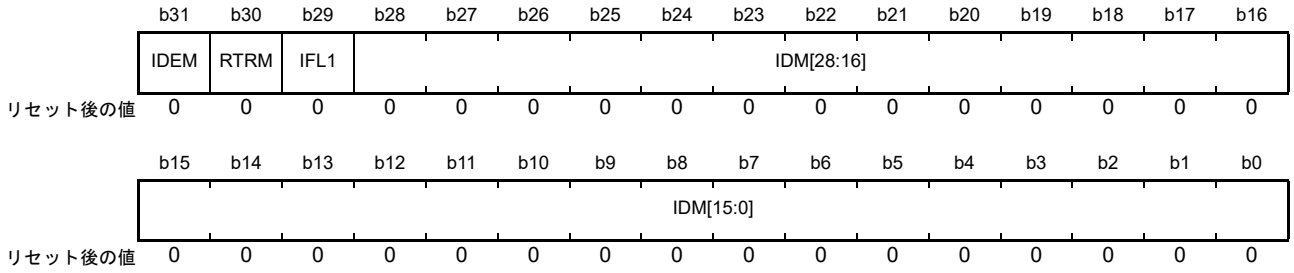
RTR ビットは、アクセプタンスフィルタリストの各エントリに対して、特定のフレームフォーマット (データフレームまたはリモートフレーム) を設定することができます。CAN チャネル内の各ルールエントリについて、アクセプタンスフィルタ処理は、受信したメッセージの RTR ビットと本ビットを比較します。

IDE ビット (IDE ビット)

IDE ビットは、アクセプタンスフィルタリストの各エントリに対して、ID フォーマット (標準 ID または拡張 ID) を設定することができます。CAN チャネル内の各ルールエントリについて、アクセプタンスフィルタ処理は、受信したメッセージの IDE ビットと本ビットを比較します。

36.2.19　アクセプタンスフィルタリスト n マスクレジスタ (AFLn.MASK) (n = 0 ～ 15)

アドレス　CANFD.AFL0.MASK 000A 8124h, CANFD.AFL1.MASK 000A 8134h, CANFD.AFL2.MASK 000A 8144h, CANFD.AFL3.MASK 000A 8154h, CANFD.AFL4.MASK 000A 8164h, CANFD.AFL5.MASK 000A 8174h, CANFD.AFL6.MASK 000A 8184h, CANFD.AFL7.MASK 000A 8194h, CANFD.AFL8.MASK 000A 81A4h, CANFD.AFL9.MASK 000A 81B4h, CANFD.AFL10.MASK 000A 81C4h, CANFD.AFL11.MASK 000A 81D4h, CANFD.AFL12.MASK 000A 81E4h, CANFD.AFL13.MASK 000A 81F4h, CANFD.AFL14.MASK 000A 8204h, CANFD.AFL15.MASK 000A 8214h



ビット	シンボル	ビット名	機能	R/W
b28-b0	IDM[28:0]	IDマスクフィールド	0：対応するIDビットをID照合に使用しない 1：対応するIDビットをID照合に使用する	R/W
b29	IFL1	情報ラベル1ビット	受信したメッセージに付ける情報ラベル1を設定してください	R/W
b30	RTRM	RTRマスクビット	0：RTRビットをID照合に使用しない 1：RTRビットをID照合に使用する	R/W
b31	IDEM	IDEマスクビット	0：IDEビットをID照合に使用しない 1：IDEビットをID照合に使用する	R/W

注.　このレジスタは、CH_RESETモード、CH_HALTモード時に設定してください。

AFLn.MASK レジスタは、アクセプタンスフィルタリストの各エントリルールのマスクフィールドを設定するために使用されます。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを “1” にしてください。AFLWE ビットが “0” のときは、書き換えられません。

IDM[28:0] ビット (ID マスクフィールド)

IDM[28:0] ビットは、各アクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

IFL1 ビット (情報ラベル 1 ビット)

IFL1 ビットは、アクセプタンスフィルタリストのエントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルの上位ビットです。

このビットは、受信したメッセージが格納された場所の情報ラベルフィールドの上位ビット (RMBn.HF2.IFL[1]、RFBn.HF2.IFL[1]、CFB0.HF2.IFL[1]) に格納されます。

RTRM ビット (RTR マスクビット)

RTRM ビットは、アクセプタンスフィルタリストの各エントリに対する RTR マスクビットです。

IDEM ビット (IDE マスクビット)

IDEM ビットは、アクセプタンスフィルタリストの各エントリに対する IDE マスクビットです。

IDE マスクビットが “0” の場合、ID 比較は受信したメッセージの IDE ビットに依存します。

- 受信したメッセージの IDE ビットが “0” の場合、標準 ID 部分のみ比較を行います。
- 受信したメッセージの IDE ビットが “1” の場合、拡張 ID の比較を行います。

36.2.20 アクセプタンスフィルタリスト n ポインタレジスタ 0 (AFLn.PTR0) (n = 0 ～ 15)

アドレス CANFD.AFL0.PTR0 000A 8128h, CANFD.AFL1.PTR0 000A 8138h, CANFD.AFL2.PTR0 000A 8148h, CANFD.AFL3.PTR0 000A 8158h, CANFD.AFL4.PTR0 000A 8168h, CANFD.AFL5.PTR0 000A 8178h, CANFD.AFL6.PTR0 000A 8188h, CANFD.AFL7.PTR0 000A 8198h, CANFD.AFL8.PTR0 000A 81A8h, CANFD.AFL9.PTR0 000A 81B8h, CANFD.AFL10.PTR0 000A 81C8h, CANFD.AFL11.PTR0 000A 81D8h, CANFD.AFL12.PTR0 000A 81E8h, CANFD.AFL13.PTR0 000A 81F8h, CANFD.AFL14.PTR0 000A 8208h, CANFD.AFL15.PTR0 000A 8218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DMBE	—	—	DMB[4:0]					IFL0	—	—	—	DLC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	DLCフィールド	受信するメッセージの最小DLC値を設定してください	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	IFL0	情報ラベル0ビット	受信したメッセージに付ける情報ラベル0を設定してください	R/W
b12-b8	DMB[4:0]	格納先メッセージバッファ指定ビット	受信したメッセージを格納する受信メッセージバッファ番号を設定してください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DMBE	格納先メッセージバッファ指定許可ビット	0：格納先メッセージバッファ指定ビットは無効 1：格納先メッセージバッファ指定ビットは有効	R/W
b31-b16	PTR[15:0]	ポインタビット	受信したメッセージに付ける16ビットのポインタを設定してください	R/W

注. このレジスタは、CH_RESETモード、CH_HALTモード時に設定してください。

AFLn.PTR0 レジスタは、アクセプタンスフィルタリストの各ルールエントリに対して、データ長コード (DLC)、ソフトウェアポインタ、格納先メッセージバッファを設定するために使用されます。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを “1” にしてください。AFLWE ビットが “0” のときは、書き換えられません。

DLC[3:0] ビット (DLC フィールド)

DLC[3:0] ビットは、アクセプタンスフィルタリスト (AFL) の関連エントリ (DLC フィルタ機能) により受け付けられるメッセージの最小データ長コード (DLC) 値を設定するビットです。

AFL エントリにより受け付けられたメッセージの DLC 値が、この AFL エントリに対して設定された DLC 値以上である場合にのみ、DLC フィルタ処理をパスします。このフィールドが “0000b” の場合、DLC フィルタ機能は無効になります。

IFL0 ビット (情報ラベル 0 ビット)

IFL0 ビットは、アクセプタンスフィルタリストのエントリにより受け入れられた受信メッセージに付けられる 2 ビットの情報ラベルの下位ビットです。

このビットは、受信したメッセージが格納された場所の情報ラベルフィールドの下位ビット (RMBn.HF2.IFL[0]、RFBn.HF2.IFL[0]、CFB0.HF2.IFL[0]) に格納されます。

DMB[4:0] ビット (格納先メッセージバッファ指定ビット)

DMB[4:0] ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信メッセージバッファを指定することができます。格納先メッセージバッファ番号を設定してください。

RMCR.NMB[5:0] ビットで、受信メッセージバッファの数を設定します。DMB[4:0] ビットに設定する値は、“00000b” ～ “NMB[5:0] – 1” の値にしてください。NMB[5:0] ビットが “000000b” の場合、DMBE ビットを “0” にしてください。

DMBE ビット (格納先メッセージバッファ指定許可ビット)

DMBE ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信メッセージバッファを選択することができます。

PTR[15:0] ビット (ポインタビット)

PTR[15:0] ビットは、アクセプタンスフィルタリストエントリによって受け付けられた受信メッセージに付けられる 16 ビットのポインタです。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用することができます。ポインタ情報は、例えば、AUTOSAR システムにおいて受信メッセージの PDU ID 割り当てをサポートするために使用することができます。

36.2.21 アクセプタンスフィルタリスト n ポインタレジスタ 1 (AFLn.PTR1) (n = 0 ～ 15)

アドレス CANFD.AFL0.PTR1 000A 812Ch, CANFD.AFL1.PTR1 000A 813Ch, CANFD.AFL2.PTR1 000A 814Ch, CANFD.AFL3.PTR1 000A 815Ch, CANFD.AFL4.PTR1 000A 816Ch, CANFD.AFL5.PTR1 000A 817Ch, CANFD.AFL6.PTR1 000A 818Ch, CANFD.AFL7.PTR1 000A 819Ch, CANFD.AFL8.PTR1 000A 81ACh, CANFD.AFL9.PTR1 000A 81BCh, CANFD.AFL10.PTR1 000A 81CCh, CANFD.AFL11.PTR1 000A 81DCh, CANFD.AFL12.PTR1 000A 81ECh, CANFD.AFL13.PTR1 000A 81FCh, CANFD.AFL14.PTR1 000A 820Ch, CANFD.AFL15.PTR1 000A 821Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CF0E	—	—	—	—	—	—	RF1E	RF0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0E	受信FIFO 0格納先許可ビット	0：受信FIFO 0をメッセージの格納先に指定しない 1：受信FIFO 0をメッセージの格納先に指定する	R/W
b1	RF1E	受信FIFO 1格納先許可ビット	0：受信FIFO 1をメッセージの格納先に指定しない 1：受信FIFO 1をメッセージの格納先に指定する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CF0E	共通FIFO 0格納先許可ビット	0：共通FIFO 0をメッセージの格納先に指定しない 1：共通FIFO 0をメッセージの格納先に指定する	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、CH_RESETモード、CH_HALTモード時に設定してください。

AFLn.PTR1 レジスタは、アクセプタンスフィルタリストの各ルールエントリに対して、格納先 FIFO バッファを設定するために使用されます。

受信メッセージの格納先は、最大 2 つまで指定できます。FIFO バッファ 2 つ、または FIFO バッファ 1 つと受信メッセージバッファ 1 つの設定が有効です。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを “1” にしてください。AFLWE ビットが “0” のときは、書き換えられません。

RF0E ビット (受信 FIFO 0 格納先許可ビット)

RF0E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信 FIFO 0 を指定することができます。

RF1E ビット (受信 FIFO 1 格納先許可ビット)

RF1E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信 FIFO 1 を指定することができます。

CF0E ビット (共通 FIFO 0 格納先許可ビット)

CF0E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、共通 FIFO 0 を指定することができます。

共通 FIFO 0 は、受信 FIFO として設定されている必要があります。

36.2.22　受信メッセージバッファ設定レジスタ (RMCR)

アドレス　CANFD.RMCR 000A 8030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PLS[2:0]			—	—	NMB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	NMB[5:0]	メッセージバッファ数設定ビット	受信メッセージバッファ数を設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	PLS[2:0]	ペイロードサイズ設定ビット	b10　b8 0 0 0：8バイト 0 0 1：12バイト 0 1 0：16バイト 0 1 1：20バイト 1 0 0：24バイト 1 0 1：32バイト 1 1 0：48バイト 1 1 1：64バイト	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMCR レジスタは、チャネルに割り当てられた受信メッセージバッファの総数を設定するために使用されます。

NMB[5:0] ビット (メッセージバッファ数設定ビット)

NMB[5:0] ビットは、受信メッセージバッファの数を設定するために使用されます。

GL_RESET モードでのみ、書き込み可能です。

0 ～ 32 の範囲で設定してください。0 は、受信メッセージバッファが割り当てられていないことを示します。

PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、メッセージバッファのペイロードサイズを設定するために使用されます。

GL_RESET モードでのみ、書き込み可能です。

36.2.23 受信メッセージバッファ新データレジスタ (RMNDR)

アドレス CANFD.RMNDR 000A 8034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NDF[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NDF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	NDF[31:0]	新データフラグ	0：対応する受信メッセージバッファに新しいメッセージは格納されていない 1：対応する受信メッセージバッファに新しいメッセージが格納されている	R/(W) (注1)

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RMNDR レジスタは、受信メッセージバッファの新規データ格納状態を指定します。
本レジスタのビット位置は受信メッセージバッファのバッファ番号に対応します。

NDF[31:0] フラグ (新データフラグ)

NDF[31:0] フラグは、対応する受信メッセージバッファに新しいデータが格納されていることを示します。NDF[0] フラグは、受信メッセージバッファ 0 に対応します。

これらのフラグは、対応する受信メッセージバッファに新しいメッセージの格納が始まると自動的に “1” になります。RMCR.PLS[2:0] = 000b (ペイロードサイズが 8 バイト) の場合、メッセージを保存するのに要する時間は 6 PCLKB サイクルです。RMCR.PLS[2:0] > 000b の場合、メッセージ保存期間は 4 バイト増えるごとに 1 PCLKB サイクル増加します (64 バイトの場合、20 PCLKB サイクル) となります。

GL_RESET モードまたは GL_SLEEP モードでは、本フラグへの書き込みはできません。

CANFD モジュールが GL_RESET モードに入ると、自動的に “0” になります。

対応する受信メッセージバッファへのメッセージ格納中は、本フラグをクリアできません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

36.2.24　受信 FIFO n 設定レジスタ (RFCRn) (n = 0, 1)

アドレス　CANFD.RFCR0 000A 803Ch, CANFD.RFCR1 000A 8040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFITH[2:0]			RFIM	—	FDS[2:0]			—	PLS[2:0]			—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信FIFO許可ビット	0：FIFO禁止 1：FIFO許可	R/W
b1	RFIE	受信FIFO割り込み許可ビット	0：FIFO割り込み発生禁止 1：FIFO割り込み発生許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	PLS[2:0]	ペイロードサイズ設定ビット	b6　b4 0 0 0：8バイト 0 0 1：12バイト 0 1 0：16バイト 0 1 1：20バイト 1 0 0：24バイト 1 0 1：32バイト 1 1 0：48バイト 1 1 1：64バイト	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	FDS[2:0]	FIFO段数設定ビット	b10　b8 0 0 0：0メッセージ 0 0 1：4メッセージ 0 1 0：8メッセージ 0 1 1：16メッセージ 1 0 0：32メッセージ 1 0 1：48メッセージ 上記以外：設定禁止	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	RFIM	受信FIFO割り込みモード設定ビット	0：受信FIFOの格納メッセージ数がRFITH[2:0]ビットより小さい値からRFITH[2:0]ビットの値に達すると割り込み発生 1：受信メッセージの保存が終了すると割り込み発生	R/W
b15-b13	RFITH[2:0]	受信FIFO割り込みしきい値設定ビット	b15　b13 0 0 0：FIFO全体の1/8で割り込み発生 0 0 1：FIFO全体の1/4で割り込み発生 0 1 0：FIFO全体の3/8で割り込み発生 0 1 1：FIFO全体の1/2で割り込み発生 1 0 0：FIFO全体の5/8で割り込み発生 1 0 1：FIFO全体の3/4で割り込み発生 1 1 0：FIFO全体の7/8で割り込み発生 1 1 1：FIFOフルで割り込み発生	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFCRn レジスタを使用して、2 つの受信 FIFO の動作を設定します。

RFE ビット (受信 FIFO 許可ビット)

RFE ビットは FIFO を有効にします。本ビットを “0” にすると、受信 FIFO はクリアされます。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。

このビットは、FIFO 段数が 4 ～ 48 (001b ≦ FDS[2:0] ≦ 101b) の場合にのみ “1” にできます。

RFE ビットは、RFCRn レジスタの他のすべてのビットを設定した後、個別に “1” にしてください。

本ビットは、CANFD モジュールが GL_RESET モードに入ると自動的に “0” になります。

RFIE ビット (受信 FIFO 割り込み許可ビット)

RFIE ビットは FIFO 割り込みの生成を許可します。

GL_SLEEP モードでは、値を変更できません。

PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、RAM 内のメッセージデータのペイロードサイズを定義します。

これは、この FIFO で受信可能な最大バイト数です。

GL_RESET モードでのみ、書き込み可能です。

FDS[2:0] ビット (FIFO 段数設定ビット)

FDS[2:0] ビットは、FIFO 段数をメッセージ数単位で選択します。FIFO 段数が 0 に設定されている場合、FIFO は使用できません。

GL_RESET モードでのみ、書き込み可能です。

RFIM ビット (受信 FIFO 割り込みモード設定ビット)

RFIM ビットは FIFO の割り込み発生条件を選択します。

GL_SLEEP モードでは、値を変更できません。

このビットへの書き込みは、GL_RESET モードでのみ行ってください。

RFITH[2:0] ビット (受信 FIFO 割り込みしきい値設定ビット)

RFITH[2:0] ビットは、受信 FIFO 割り込みを発生させるための FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する格納数を FIFO 段数に対する分数値で表しています。

GL_SLEEP モードでは、値を変更できません。

RFITH[2:0] ビットの設定には、FDS[2:0] ビットの値による制限があります。詳細は「36.6.2.1　FIFO バッファの設定」を参照してください。

このビットへの書き込みは、GL_RESET モードでのみ行ってください。

36.2.25　受信 FIFO n ステータスレジスタ (RFSRn) (n = 0, 1)

アドレス　CANFD.RFSR0 000A 8044h, CANFD.RFSR1 000A 8048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FLVL[5:0]						—	—	—	—	RFIF	LOST	FULL	EMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	受信FIFOエンプティフラグ	0：受信FIFOにメッセージあり 1：受信FIFOにメッセージなし(空)	R
b1	FULL	受信FIFOフルフラグ	0：受信FIFOはフルではない 1：受信FIFOはフル	R
b2	LOST	メッセージロストフラグ	0：受信FIFOメッセージロスト未発生 1：受信FIFOメッセージロスト発生	R/(W) (注1)
b3	RFIF	受信FIFO割り込みフラグ	0：受信FIFO割り込み条件が不成立 1：受信FIFO割り込み条件が成立	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	FLVL[5:0]	受信FIFO格納メッセージ数	受信FIFOに格納されているメッセージ数を示します	R
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RFSRn レジスタは、対応する FIFO バッファに保存されているメッセージの状態を表示します。

EMPTY フラグ (受信 FIFO エンプティフラグ)

EMPTY フラグは、以下の場合に自動的に “1” になります。

- FLVL[5:0] ビットが “00000b” のとき
- RFCRn.RFE ビットが “0” のとき (受信 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードに入ったとき

EMPTY フラグは、最初のメッセージが受信 FIFO に保存されると自動的に “0” になります。

FULL フラグ (受信 FIFO フルフラグ)

FULL フラグは、FIFO バッファに格納されたメッセージの数が設定した FIFO 段数と一致した場合に自動的に “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- FIFO バッファに格納されているメッセージの数が設定した FIFO 段数よりも少ない場合
- RFCRn.RFE ビットが “0” のとき (受信 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードに入ったとき

LOST フラグ (メッセージロストフラグ)

LOST フラグは、すでに FIFO バッファがフルのときにメッセージを格納しようとしたことによりメッセージが失われた場合に、自動的に “1” になります。CAN チャネルからのセットと書き込みアクセスによるクリアが同時に発生した場合は、“1” になります。

本フラグは、以下の場合に “0” になります。

- “0” を書いたとき
- CANFD モジュールが GL_RESET モードに入ったとき

LOST フラグへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

RFIF フラグ (受信 FIFO 割り込みフラグ)

RFIF フラグは設定されている割り込み条件が満たされると自動的に “1” になります。受信 FIFO が無効の場合は自動的にクリアされません。

本フラグは、以下の場合に “0” になります。

- “0” を書いたとき
- CANFD モジュールが GL_RESET モードに入ったとき

本フラグへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、このフラグは “1” になります。

FLVL[5:0] ビット (受信 FIFO 格納メッセージ数)

FLVL[5:0] ビットは、受信 FIFO に格納されている CPU が読み出し可能なメッセージの数を示します。

これらのビットは、FIFO が無効になっているとき、および CANFD モジュールが GL_RESET モードに入ったときに自動的に “000000b” になります。

36.2.26 受信 FIFO n ポインタ制御レジスタ (RFPCRn) (n = 0, 1)

アドレス CANFD.RFPCR0 000A 804Ch, CANFD.RFPCR1 000A 8050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RFPCRn レジスタを使用して、対応する受信 FIFO の読み出しポインタをインクリメントすることができます。

このレジスタに “000000FFh” を書き込むと、対応する受信 FIFO のポインタが次の FIFO エントリに移動します。この書き込みは、対応する受信 FIFO が有効でかつ空でない場合にのみ行ってください。

このレジスタの読み出し値は “00000000h” です。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込めます。

DTC/DMA 転送が許可されている (DTCR.RFDTEn ビット = 1) 場合、RFPCRn レジスタへの書き込みは行わないでください。

36.2.27 共通 FIFO 0 設定レジスタ (CFCR0)

アドレス CANFD.CFCR0 000A 8054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TINT[7:0]								FDS[2:0]			—	—	—	LTM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFITH[2:0]			CFIM	ITR	ITCS	—	MODE	—	PLS[2:0]			—	CFTIE	CFRIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFE	共通FIFO許可ビット	0：FIFO禁止 1：FIFO許可	R/W
b1	CFRIE	共通FIFO受信割り込み許可ビット	0：FIFO受信割り込み発生禁止 1：FIFO受信割り込み発生許可	R/W
b2	CFTIE	共通FIFO送信割り込み許可ビット	0：FIFO送信割り込み発生禁止 1：FIFO送信割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	PLS[2:0]	ペイロードサイズ設定ビット	b6 b4 0 0 0：8バイト 0 0 1：12バイト 0 1 0：16バイト 0 1 1：20バイト 1 0 0：24バイト 1 0 1：32バイト 1 1 0：48バイト 1 1 1：64バイト	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MODE	動作モード設定ビット	0：受信FIFOモード 1：送信FIFOモード	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	ITCS	インターバルタイマクロックソース選択ビット	0：基準クロック(× 1/ × 10周期) 1：ビットタイムクロック	R/W
b11	ITR	インターバルタイマ分解能選択ビット	0：基準クロック周期×1 1：基準クロック周期×10	R/W
b12	CFIM	共通FIFO割り込みモード設定ビット	受信FIFOモード： 0：共通FIFOの格納メッセージ数がCFITH[2:0]ビットより小さい値からCFITH[2:0]ビットの値に達すると受信割り込み発生 1：受信メッセージの保存が終了すると受信割り込み発生 送信FIFOモード： 0：共通FIFO内の最終メッセージの送信に成功したときに送信割り込み発生 1：メッセージ送信が成功するたびに送信割り込み発生	R/W
b15-b13	CFITH[2:0]	共通FIFO受信割り込みしきい値設定ビット	b15 b13 0 0 0：FIFO全体の1/8で割り込み発生 0 0 1：FIFO全体の1/4で割り込み発生 0 1 0：FIFO全体の3/8で割り込み発生 0 1 1：FIFO全体の1/2で割り込み発生 1 0 0：FIFO全体の5/8で割り込み発生 1 0 1：FIFO全体の3/4で割り込み発生 1 1 0：FIFO全体の7/8で割り込み発生 1 1 1：FIFOフルで割り込み発生	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	LTM[1:0]	リンク先送信メッセージバッファ指定ビット	対応するチャネルの送信スキャンリンク位置	R/W
b20-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b21	FDS[2:0]	FIFO段数設定ビット	b23 b21 ０００：0メッセージ ００１：4メッセージ ０１０：8メッセージ ０１１：16メッセージ １００：32メッセージ １０１：48メッセージ 上記以外：設定禁止	R/W
b31-b24	TINT[7:0]	送信インターバル設定ビット	送信FIFOモード時、FIFOからの送信開始を遅延させます。遅延量はインターバルタイマクロックソースの整数倍です	R/W

CFE ビット (共通 FIFO 許可ビット)

CFE ビットは FIFO を有効にします。このビットを “0” にすると、FIFO は無効になります。

また、このビットを “0” にすると、送信 FIFO モード時には共通 FIFO からの送信を中止でき、受信 FIFO モード時には共通 FIFO への受信を停止できます。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャネルが CH_RESET モードでないときのみ書き込み可能です。

このビットは、FIFO 段数が 4 ～ 48 (001b ≦ FDS[2:0] ≦ 101b) の場合にのみ “1” にできます。

CFE ビットは、CFCR0 レジスタの他のすべてのビットを設定した後に、個別に “1” にしてください。

CANFD モジュールが GL_RESET モードに入ると、このビットは自動的に “0” になります。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャネルが CH_RESET モードに入ると、このビットは自動的に “0” になります。

CFRIE ビット (共通 FIFO 受信割り込み許可ビット)

共通 FIFO 受信割り込みを許可 / 禁止します。このビットが “1” の場合、対応する FIFO バッファにフレームを受信後、共通 FIFO 受信割り込みフラグが “1” になると、共通 FIFO 受信割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

CFTIE ビット (共通 FIFO 送信割り込み許可ビット)

共通 FIFO 送信割り込みを許可 / 禁止します。このビットが “1” の場合、対応する FIFO バッファのフレームを送信後、共通 FIFO 送信割り込みフラグが “1” になると、共通 FIFO 送信割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、RAM 内のメッセージデータのペイロードサイズを定義します。これは、この FIFO バッファが送受信可能な最大バイト数です。

詳細は、「36.6　FIFO バッファとメッセージバッファの構成」を参照してください。

GL_RESET モードでのみ、書き込み可能です。

MODE ビット (動作モード設定ビット)

MODE ビットは、共通 FIFO の動作モードを選択するビットです。MCU リセットが適用されると、共通 FIFO はすべて受信 FIFO モードに設定されます。

GL_OPERATION モード、GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、

GL_RESET モードでのみ行ってください。

ITCS ビット (インターバルタイマクロックソース選択ビット)

ITCS ビットは、送信インターバルタイマのクロックソースを選択します。

GL_SLEEP モードでは、値を変更できません。また、CFE ビットが “1” の場合は、本ビットへの書き込みを行わないでください。

CAN FD 通信を使用する場合は、本ビットを “1” にしないでください。

注 . ビットタイムクロックは、公称ビットレートとデータビットレートの設定に応じて変化します。

ITR ビット (インターバルタイマ分解能選択ビット)

ITR ビットは、送信インターバルタイマのクロックソースに選択できる基準クロックの分解能を選択します。

GL_SLEEP モードでは、値を変更できません。また、CFE ビットを “1” にしている場合は、本ビットへの書き込みを行わないでください。

CFIM ビット (共通 FIFO 割り込みモード設定ビット)

CFIM ビットは、共通 FIFO 割り込みの発生条件を選択します。

GL_SLEEP モードでは、値を変更できません。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

CFITH[2:0] ビット (共通 FIFO 受信割り込みしきい値設定ビット)

CFITH[2:0] ビットは、共通 FIFO 受信割り込みを発生するための FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する格納数を FIFO 段数に対する分数値で表しています。

GL_SLEEP モードでは、値を変更できません。

CFITH[2:0] ビットの設定には、FDS[2:0] ビットの値による制限があります。詳細は「36.6.2.1 FIFO バッファの設定」を参照してください。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

LTM[1:0] ビット (リンク先送信メッセージバッファ指定ビット)

LTM[1:0] ビットは、送信スキャン用に、送信 FIFO モードに設定した共通 FIFO をリンクする送信メッセージバッファの番号を選択します。

GL_OPERATION モード、GL_SLEEP モードでは、値を変更できません。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

FDS[2:0] ビット (FIFO 段数設定ビット)

FDS[2:0] ビットは、FIFO 段数をメッセージ数単位で選択します。FIFO 段数が 0 に設定されている場合、FIFO は使用できません。

本ビットは、GL_RESET モードでのみ書き込み可能です。

TINT[7:0] ビット (送信インターバル設定ビット)

TINT[7:0] ビットは、送信 FIFO モードに設定された共通 FIFO から送信されるすべてのメッセージに対して、送信開始時の遅延量を設定します。遅延量は、インターバルタイマのクロックソース周期 (基準クロック周期 × 1、基準クロック周期 × 10、またはビットタイムクロックの周期) の整数倍です。

GL_SLEEP モードでは、値を変更できません。

CFE ビットが “1” の場合は、本ビットへの書き込みを行わないでください。

GCFG.ITP[15:0] ビットを “0000h” にした場合、TINT[7:0] ビットも “00h” にしてください。

36.2.28 共通 FIFO 0 ステータスレジスタ (CFSR0)

アドレス CANFD.CFSR0 000A 8058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FLVL[5:0]						—	—	—	CFTIF	CFRIF	LOST	FULL	EMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	共通FIFOエンプティフラグ	0：共通FIFOにメッセージあり 1：共通FIFOにメッセージなし(空)	R
b1	FULL	共通FIFOフルフラグ	0：共通FIFOはフルではない 1：共通FIFOはフル	R
b2	LOST	メッセージロストフラグ	0：共通FIFOメッセージロスト未発生 1：共通FIFOメッセージロスト発生	R/(W) (注1)
b3	CFRIF	共通FIFO受信割り込みフラグ	0：共通FIFO受信割り込み条件が不成立 1：共通FIFO受信割り込み条件が成立	R/(W) (注1)
b4	CFTIF	共通FIFO送信割り込みフラグ	0：共通FIFO送信割り込み条件が不成立 1：共通FIFO送信割り込み条件が成立	R/(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	FLVL[5:0]	共通FIFO格納メッセージ数	共通FIFOに格納されているメッセージ数を示します	R
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

CFSR0 レジスタは、対応する FIFO バッファに保存されているメッセージのステータスを表示します。

EMPTY フラグ (共通 FIFO エンプティフラグ)

EMPTY フラグは、以下の場合に自動的に “1” になります。

- 受信 FIFO モード時、FIFO バッファから CPU がメッセージをすべて読み出したとき
- 送信 FIFO モード時、FIFO バッファからすべてのメッセージが送信されたとき
- CFCR0.CFE ビットを “0” にしたとき (共通 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードに入ったとき
- 送信 FIFO モード時、CAN チャネルが CH_RESET モードに入ったとき

EMPTY フラグは、以下の場合に自動的に “0” になります。

- 受信 FIFO モード時、最初の受信メッセージが FIFO バッファに格納されたとき
- 送信 FIFO モード時、最初の送信メッセージが FIFO バッファに格納されたとき

FULL フラグ (共通 FIFO フルフラグ)

FULL フラグは、FIFO バッファに格納されたメッセージの数が、設定した FIFO 段数と一致した場合に自動的に “1” になります。

FULL フラグは、以下の場合に自動的に “0” になります。

- FIFO バッファに格納されているメッセージの数が、設定した FIFO 段数よりも少ない場合
- CFCR0.CFE ビットを “0” にしたとき (共通 FIFO は無効になります)

- CANFD モジュールが GL_RESET モードに入ったとき
- 送信 FIFO モード時、CAN チャネルが CH_RESET モードに入ったとき

LOST フラグ (メッセージロストフラグ)

LOST フラグは、受信 FIFO モード時に、すでに FIFO バッファがフルのときにメッセージを格納しようとしたことによりメッセージが失われた場合に、自動的に “1” になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、本フラグは “1” になります。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

LOST フラグは、以下の場合に自動的に “0” になります。

- “0” を書いたとき
- CANFD モジュールが GL_RESET モードに入ったとき
- 送信 FIFO モード時、CAN チャネルが CH_RESET モードに入ったとき

CFRIF フラグ (共通 FIFO 受信割り込みフラグ)

受信 FIFO モード時、設定されている割り込み条件が満たされると自動的に “1” になります。

CFRIF フラグは、共通 FIFO が無効の場合は自動的にクリアされません。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは “1” になります。

CFRIF フラグは、以下の場合に自動的に “0” になります。

- “0” を書いたとき
- CANFD モジュールが GL_RESET モードに入ったとき

CFTIF フラグ (共通 FIFO 送信割り込みフラグ)

送信 FIFO モード時、設定されている割り込み条件が満たされると自動的に “1” になります。

CFTIF フラグは、共通 FIFO が無効の場合は自動的にクリアされません。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは “1” になります。

CFTIF フラグは、以下の場合に自動的に “0” になります。

- “0” を書いたとき
- CANFD モジュールが GL_RESET モードに入ったとき
- 送信 FIFO モード時、CAN チャネルが CH_RESET モードに入ったとき

FLVL[5:0] ビット (共通 FIFO 格納メッセージ数)

FLVL[5:0] ビットは、以下の内容を示します。

- 送信 FIFO モード時 : CPU により格納された送信待ちのメッセージの数
- 受信 FIFO モード時 : CANFD により格納された、CPU が読み出し可能なメッセージの数

FLVL[5:0] ビットは、以下の場合に自動的に “000000b” になります。

- FIFO が無効になっているとき
- CANFD モジュールが GL_RESET モードに入ったとき
- 送信 FIFO モード時、CAN チャネルが CH_RESET モードに入ったとき

36.2.29 共通 FIFO 0 ポインタ制御レジスタ (CFPCR0)

アドレス CANFD.CFPCR0 000A 805Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CFPCR0 レジスタを使用して、対応する共通 FIFO の読み出しポインタまたは書き込みポインタをインクリメントすることができます。

このレジスタに “000000FFh” を書き込むと、受信 FIFO モード時は対応する共通 FIFO の読み出しポインタが、送信 FIFO モード時は対応する共通 FIFO の書き込みポインタが、次の FIFO エントリに移動します。

このレジスタの読み出し値は常に “00000000h” です。

本レジスタへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行えます。

本レジスタへの書き込みは、以下の場合にのみ行ってください。

- 受信 FIFO モード時：FIFO バッファが有効で、空でない
- 送信 FIFO モード時：FIFO バッファが有効で、フルでない

DTC/DMA 転送が許可されている (DTCR.CFDTE0 ビット = 1) 場合、CFPCR0 レジスタへの書き込みを行わないでください。

36.2.30 FIFO エンプティステータスレジスタ (FESR)

アドレス CANFD.FESR 000A 8060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFEMP0	—	—	—	—	—	—	RFEMP1	RFEMP0
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP0	受信FIFO 0エンプティフラグ	0：受信FIFO 0にメッセージあり 1：受信FIFO 0にメッセージなし(空)	R
b1	RFEMP1	受信FIFO 1エンプティフラグ	0：受信FIFO 1にメッセージあり 1：受信FIFO 1にメッセージなし(空)	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFEMP0	共通FIFO 0エンプティフラグ	0：共通FIFO 0にメッセージあり 1：共通FIFO 0にメッセージなし(空)	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FESR レジスタは、FIFO バッファのエンプティフラグの状態を表示します。

RFEMP0 フラグ (受信 FIFO 0 エンプティフラグ)

RFEMP0 フラグは、RFSR0.EMPTY フラグが “1” になると “1” になり、RFSR0.EMPTY フラグが “0” になると “0” になります。

RFEMP0 フラグは、CANFD モジュールが GL_RESET モードに入ると “1” になります。

RFEMP1 フラグ (受信 FIFO 1 エンプティフラグ)

RFEMP1 フラグは、RFSR1.EMPTY フラグが “1” になると “1” になり、RFSR1.EMPTY フラグが “0” になると “0” になります。

RFEMP1 フラグは、CANFD モジュールが GL_RESET モードに入ると “1” になります。

CFEMP0 フラグ (共通 FIFO 0 エンプティフラグ)

CFEMP0 フラグは、CFSR0.EMPTY フラグが “1” になると “1” になり、CFSR0.EMPTY フラグが “0” になると “0” になります。

CFEMP0 フラグは、CANFD モジュールが GL_RESET モードに入ると “1” になります。

36.2.31 FIFO フルステータスレジスタ (FFSR)

アドレス CANFD.FFSR 000A 8064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFFUL0	—	—	—	—	—	—	RFFUL1	RFFUL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFFUL0	受信FIFO 0フルフラグ	0：受信FIFO 0はフルではない 1：受信FIFO 0はフル	R
b1	RFFUL1	受信FIFO 1フルフラグ	0：受信FIFO 1はフルではない 1：受信FIFO 1はフル	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFFUL0	共通FIFO 0フルフラグ	0：共通FIFO 0はフルではない 1：共通FIFO 0はフル	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FFSR レジスタは、FIFO バッファのフルフラグの状態を示します。

RFFUL0 フラグ (受信 FIFO 0 フルフラグ)

RFFUL0 フラグは、RFSR0.FULL フラグが “1” になると “1” になり、RFSR0.FULL フラグが “0” になると “0” になります。

RFFUL0 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

RFFUL1 フラグ (受信 FIFO 1 フルフラグ)

RFFUL1 フラグは、RFSR1.FULL フラグが “1” になると “1” になり、RFSR1.FULL フラグが “0” になると “0” になります。

RFFUL1 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

CFFUL0 フラグ (共通 FIFO 0 フルフラグ)

CFFUL0 フラグは、CFSR0.FULL フラグが “1” になると “1” になり、CFSR0.FULL フラグが “0” になると “0” になります。

CFFUL0 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

36.2.32 FIFO メッセージロストステータスレジスタ (FMLSR)

アドレス CANFD.FMLSR 000A 8068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFML0	—	—	—	—	—	—	RFML1	RFML0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFML0	受信FIFO 0メッセージロストフラグ	0：受信FIFO 0でメッセージロスト未発生 1：受信FIFO 0でメッセージロスト発生	R
b1	RFML1	受信FIFO 1メッセージロストフラグ	0：受信FIFO 1でメッセージロスト未発生 1：受信FIFO 1でメッセージロスト発生	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFML0	共通FIFO 0メッセージロストフラグ	0：共通FIFO 0でメッセージロスト未発生 1：共通FIFO 0でメッセージロスト発生	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FMLSR レジスタには、FIFO バッファのメッセージロストフラグの状態を示します。

RFML0 フラグ (受信 FIFO 0 メッセージロストフラグ)

RFML0 フラグは、RFSR0.LOST フラグが “1” になると “1” になり、RFSR0.LOST フラグが “0” になると “0” になります。

RFML0 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

RFML1 フラグ (受信 FIFO 1 メッセージロストフラグ)

RFML1 フラグは、RFSR1.LOST フラグが “1” になると “1” になり、RFSR1.LOST フラグが “0” になると “0” になります。

RFML1 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

CFML0 フラグ (共通 FIFO 0 メッセージロストフラグ)

CFML0 フラグは、CFSR0.LOST フラグが “1” になると “1” になり、CFSR0.LOST フラグが “0” になると “0” になります。

CFML0 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

36.2.33　受信 FIFO 割り込みステータスレジスタ (RFISR)

アドレス CANFD.RFISR 000A 806Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFIF1	RFIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFIF0	受信FIFO 0割り込みフラグ	0：受信FIFO 0の割り込み発生条件は不成立 1：受信FIFO 0の割り込み発生条件が成立	R
b1	RFIF1	受信FIFO 1割り込みフラグ	0：受信FIFO 1の割り込み発生条件は不成立 1：受信FIFO 1の割り込み発生条件が成立	R
b31-b2	—	予約ビット	読むと“0”が読めます	R

RFISR レジスタは、受信 FIFO の割り込みフラグの状態を示します。

RFIF0 フラグ (受信 FIFO 0 割り込みフラグ)

RFIF0 フラグは、RFSR0.RFIF フラグが “1” になると “1” になり、RFSR0.RFIF フラグが “0” になると “0” になります。

RFIF0 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

RFIF1 フラグ (受信 FIFO 1 割り込みフラグ)

RFIF1 フラグは、RFSR1.RFIF フラグが “1” になると “1” になり、RFSR1.RFIF フラグが “0” になると “0” になります。

RFIF1 フラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

36.2.34 DMA 転送制御レジスタ (DTCR)

アドレス CANFD.DTCR 000A 80C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFDTE0	—	—	—	—	—	—	RFDTE1	RFDTE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFDTE0	受信FIFO 0 DMA転送許可ビット	0：DTC/DMA転送要求を禁止 1：DTC/DMA転送要求を許可	R/W
b1	RFDTE1	受信FIFO 1 DMA転送許可ビット	0：DTC/DMA転送要求を禁止 1：DTC/DMA転送要求を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CFDTE0	共通FIFO 0 DMA転送許可ビット	0：DTC/DMA転送要求を禁止 1：DTC/DMA転送要求を許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCR レジスタは、DTC/DMA 転送動作の開始と停止を制御します。

RFDTE0 ビット (受信 FIFO 0 DMA 転送許可ビット)

RFDTE0 ビットは、受信 FIFO 0 の DTC/DMA 転送要求を許可または禁止します。
RFDTE0 ビットは、GL_SLEEP モードまたは GL_RESET モードでは “1” にできません。
本ビットは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

RFDTE1 ビット (受信 FIFO 1 DMA 転送許可ビット)

RFDTE1 ビットは、受信 FIFO 0 の DTC/DMA 転送要求を許可または禁止します。
RFDTE1 ビットは、GL_SLEEP モードまたは GL_RESET モードでは “1” にできません。
本ビットは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

CFDTE0 ビット (共通 FIFO 0 DMA 転送許可ビット)

CFDTE0 ビットは、共通 FIFO の DTC/DMA 転送要求を許可または禁止します。
共通 FIFO を送信 FIFO モードに設定した場合、DTC/DMA 転送を許可しないでください。
CFDTE0 ビットは、GL_SLEEP モードまたは GL_RESET モードでは “1” にできません。
本ビットは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

36.2.35 DMA転送ステータスレジスタ (DTSR)

アドレス CANFD.DTSR 000A 80CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFDTS0	—	—	—	—	—	—	RFDTS1	RFDTS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFDTS0	受信FIFO 0 DMA転送ステータスフラグ	0：DTC/DMA転送停止 1：DTC/DMA転送実行中	R
b1	RFDTS1	受信FIFO 1 DMA転送ステータスフラグ	0：DTC/DMA転送停止 1：DTC/DMA転送実行中	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFDTS0	共通FIFO 0 DMA転送ステータスフラグ	0：DTC/DMA転送停止 1：DTC/DMA転送実行中	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

DTSR レジスタは、DTC/DMA 転送の状態を示します。

RFDTS0 フラグ (受信 FIFO 0 DMA 転送ステータスフラグ)

RFDTS0 フラグは、DTCR.RFDTE0 ビットが “1” で、受信 FIFO 0 が空でない場合に自動的に “1” になります。

本フラグは、RFDTE0 ビットが “0” になるか受信 FIFO 0 が空になって、DTC/DMA 転送が停止すると、自動的に “0” になります。

受信 FIFO 0 の DTC/DMA 転送が実行されているときに RFDTE0 ビットを “0” にすると、DTC/DMA 転送完了時に RFDTS0 フラグが “0” になります。

このフラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

RFDTS1 フラグ (受信 FIFO 1 DMA 転送ステータスフラグ)

RFDTS1 フラグは、DTCR.RFDTE1 ビットが “1” で、受信 FIFO 1 が空でない場合に自動的に “1” になります。

本フラグは、RFDTE1 ビットが “0” になるか受信 FIFO 1 が空になって、DTC/DMA 転送が停止すると、自動的に “0” になります。

受信 FIFO 1 の DTC/DMA 転送が実行されているときに RFDTE1 ビットを “0” にすると、DTC/DMA 転送完了時に RFDTS1 フラグが “0” になります。

このフラグは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

CFDTS0 フラグ (共通 FIFO 0 DMA 転送ステータスフラグ)

CFDTS0 フラグは、DTCR.CFDTE0 ビットが “1” で、共通 FIFO 0 が空でない場合に自動的に “1” になります。

本フラグは、CFDTE0 ビットが “0” になるか共通 FIFO 0 が空になって、DTC/DMA 転送が停止すると、自動的に “0” になります。

共通 FIFO 0 の DTC/DMA 転送が実行されているときに CFDTE0 ビットを “0” にすると、DTC/DMA 転送完了時に CFDTS0 フラグが “0” になります。

このビットは、CANFD モジュールが GL_RESET モードに入ると “0” になります。

36.2.36 送信メッセージバッファ n 制御レジスタ (TMCRn) (n = 0 ～ 3)

アドレス CANFD.TMCR0 000A 8070h, CANFD.TMCR1 000A 8071h, CANFD.TMCR2 000A 8072h, CANFD.TMCR3 000A 8073h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ONESHOT	TARQ	TXRQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXRQ	送信要求ビット	0：メッセージ送信を要求しない 1：メッセージ送信を要求する	R/W
b1	TARQ	送信アボート要求ビット	0：メッセージ送信アボートを要求しない 1：メッセージ送信アボートを要求する	R/W
b2	ONESHOT	ワンショット送信許可ビット	0：ワンショット送信を行わない 1：ワンショット送信を行う	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMCRn レジスタ (n = 0 ～ 3) は、送信メッセージバッファの機能を設定します。

TXRQ ビット (送信要求ビット)

TXRQ ビットを “1” にすると、CANFD モジュールは、対応するメッセージバッファに格納されているメッセージを送信しようとします。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

対応する送信メッセージバッファが送信 FIFO モードに設定した共通 FIFO とリンクされている場合、または送信キューに使用している場合、このビットは “1” にできません。

本ビットは、TMSRn.TXRF[1:0] フラグが “00b” になっている場合のみ “1” にできます。

本ビットを、CPU 書き込みによって “0” にすることはできません。TXRQ ビットは以下の場合に自動的に “0” になります。

- 送信が正常に終了したとき
- TARQ ビットによる送信アボート要求により、送信アボートが終了したとき
- ONESHOT ビットが “1” の場合に、CAN バスエラーまたはアービトレーションロストが検出されたとき
- CANFD モジュールが GL_RESET モードに入るか、または CAN チャネルが CH_RESET モードに入ったとき

TARQ ビット (送信アボート要求ビット)

TARQ ビットを “1” にすると、CANFD モジュールは、対応するメッセージバッファに格納されているフレームの送信を中止しようとします。

送信のための内部スキャンが完了し、メッセージバッファが送信用に選択された後は、ほとんどの場合送信を中止することはできません。この場合、フレームはメッセージバッファから正常に送信されます。メッセージバッファの選択は、CH_HALT モードになると解除されます。

ただし、送信用に選択されたメッセージバッファから送信を開始する前に、CAN ノードがバス (受信端子) 上に新しいメッセージを検出した場合、アボート要求によって送信を中止することができます。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。本ビットは、TXRQ ビットが “1” のときのみ “1” にできます。

本ビットを、CPU 書き込みによって “0” にすることはできません。CPU から “1” を書くのと CAN チャネルからのクリアが同時に発生した場合は、本ビットは “0” になります。

TARQ ビットは以下の場合に自動的に “0” になります。

- 送信が正常に終了したとき
- 送信アボートが終了したとき
- CAN バスエラー、アービトレーションロストを検出したとき
- CANFD モジュールが GL_RESET モードに入るか、または CAN チャネルが CH_RESET モードに入ったとき

ONESHOT ビット (ワンショット送信許可ビット)

ONESHOT ビットを “1” にすると、CANFD モジュールは、メッセージの送信を 1 回だけ試みます。

送信が正常に終了すると、TMSRn.TXRF[1:0] フラグは “10b” または “11b” になります。バスエラーまたはアービトレーションロストの検出により送信に失敗した場合、送信は自動的に中止され、TMSRn.TXRF[1:0] フラグが “01b” になります。

送信が正常に終了した場合、または CAN バスエラーやアービトレーションロストの検出により送信が中止された場合、ONESHOT ビットは “1” のままになります。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

本ビットは、TXRQ ビットと同時に “1” にしてください。また、本ビットのクリアは書き込みで行ってください。

すでに送信を要求している場合は、送信が成功するか、送信が中止されるまで、本ビットへの書き込みは行わないでください。

ONESHOT ビットは、CANFD モジュールが GL_RESET モードに入るか、または CAN チャネルが CH_RESET モードに入ると、自動的に “0” になります。

36.2.37 送信メッセージバッファ n ステータスレジスタ (TMSRn) (n = 0 ～ 3)

アドレス CANFD.TMSR0 000A 8074h, CANFD.TMSR1 000A 8075h, CANFD.TMSR2 000A 8076h, CANFD.TMSR3 000A 8077h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TARQS	TXRQS	TXRF[1:0]		TXSF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXSF	送信ステータスフラグ	0：送信中ではない 1：送信中	R
b2-b1	TXRF[1:0]	送信結果フラグ	b2 b1 0 0：結果なし(未送信または送信中) 0 1：送信は中止された 1 0：送信成功。送信アボート要求なし 1 1：送信成功。送信アボート要求あり	R/W
b3	TXRQS	送信要求ステータスフラグ	0：送信要求なし 1：送信要求あり	R
b4	TARQS	送信アボート要求ステータスフラグ	0：送信アボート要求なし 1：送信アボート要求あり	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMSRn レジスタ (n = 0 ～ 3) は、送信メッセージバッファの送信状態と送信中止の状態を表します。

TXSF フラグ (送信ステータスフラグ)

TXSF フラグは、対応する送信メッセージバッファからの送信が開始されると自動的に “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 送信停止時
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

TXRF[1:0] フラグ (送信結果フラグ)

TXRF[1:0] フラグは、対応する送信メッセージバッファの送信結果を示します。

このフラグへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、当該フラグは “1” になります。

本フラグは、CANFD モジュールが GL_RESET モードに入るか、CAN チャネルが CH_RESET モードに入ると自動的に “00b” になります。

TXRQS フラグ (送信要求ステータスフラグ)

TXRQS フラグには、TMCRn.TXRQ ビットの値が反映されます。

TXRQ ビットが “1” になると “1” になり、TXRQ ビットが “0” になると “0” になります。

TARQS フラグ (送信アボート要求ステータスフラグ)

TARQS フラグには、TMCRn.TARQ ビットの値が反映されます。

TARQ ビットが “1” になると “1” になり、TARQ ビットが “0” になると “0” になります。

36.2.38 送信メッセージバッファ送信要求ステータスレジスタ 0 (TMTRSR0)

アドレス CANFD.TMTRSR0 000A 8078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TXRQS3	TXRQS2	TXRQS1	TXRQS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXRQS0	送信メッセージバッファ 0送信要求ステータスフラグ	0：送信メッセージバッファ 0に対する送信要求なし 1：送信メッセージバッファ 0に対する送信要求あり	R
b1	TXRQS1	送信メッセージバッファ 1送信要求ステータスフラグ	0：送信メッセージバッファ 1に対する送信要求なし 1：送信メッセージバッファ 1に対する送信要求あり	R
b2	TXRQS2	送信メッセージバッファ 2送信要求ステータスフラグ	0：送信メッセージバッファ 2に対する送信要求なし 1：送信メッセージバッファ 2に対する送信要求あり	R
b3	TXRQS3	送信メッセージバッファ 3送信要求ステータスフラグ	0：送信メッセージバッファ 3に対する送信要求なし 1：送信メッセージバッファ 3に対する送信要求あり	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTRSR0 レジスタは、各送信メッセージバッファの送信要求の状態を示します。

TXRQSn フラグ (送信メッセージバッファ n 送信要求ステータスフラグ) (n = 0 ～ 3)

TXRQSn フラグは、TMCRn.TXRQ ビットの状態を表します。

各フラグは、TMCRn.TXRQ ビットが “1” で、メッセージバッファが送信キューに属していない場合のみ、“1” になります。

各フラグは、以下の場合に自動的に “0” になります。

- TMCRn.TXRQ ビットが “0” になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

36.2.39 送信メッセージバッファ送信アボート要求ステータスレジスタ 0 (TMARSR0)

アドレス CANFD.TMARSR0 000A 807Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TARQS3	TARQS2	TARQS1	TARQS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TARQS0	送信メッセージバッファ 0送信アボート要求ステータスフラグ	0：送信メッセージバッファ 0に対する送信アボート要求なし 1：送信メッセージバッファ 0に対する送信アボート要求あり	R
b1	TARQS1	送信メッセージバッファ 1送信アボート要求ステータスフラグ	0：送信メッセージバッファ 1に対する送信アボート要求なし 1：送信メッセージバッファ 1に対する送信アボート要求あり	R
b2	TARQS2	送信メッセージバッファ 2送信アボート要求ステータスフラグ	0：送信メッセージバッファ 2に対する送信アボート要求なし 1：送信メッセージバッファ 2に対する送信アボート要求あり	R
b3	TARQS3	送信メッセージバッファ 3送信アボート要求ステータスフラグ	0：送信メッセージバッファ 3に対する送信アボート要求なし 1：送信メッセージバッファ 3に対する送信アボート要求あり	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMARSR0 レジスタは、各送信メッセージバッファの送信アボート要求の状態を示します。

TARQSn フラグ (送信メッセージバッファ n 送信アボート要求ステータフラグ) (n = 0 ～ 3)

TARQSn フラグは、TMCRn.TARQ ビットの状態を表します。

各フラグは、TMCRn.TARQ ビットが “1” になるか、メッセージバッファが送信キューに属している場合に、“1” になります。

各フラグは、以下の場合に自動的に “0” になります。

- TMCRn.TARQ ビットが “0” になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

36.2.40 送信メッセージバッファ送信完了ステータスレジスタ 0 (TMTCSR0)

アドレス CANFD.TMTCSR0 000A 8080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TXCF3	TXCF2	TXCF1	TXCF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXCF0	送信メッセージバッファ 0送信完了フラグ	0：送信メッセージバッファ 0の送信は完了していない 1：送信メッセージバッファ 0の送信が完了した	R
b1	TXCF1	送信メッセージバッファ 1送信完了フラグ	0：送信メッセージバッファ 1の送信は完了していない 1：送信メッセージバッファ 1の送信が完了した	R
b2	TXCF2	送信メッセージバッファ 2送信完了フラグ	0：送信メッセージバッファ 2の送信は完了していない 1：送信メッセージバッファ 2の送信が完了した	R
b3	TXCF3	送信メッセージバッファ 3送信完了フラグ	0：送信メッセージバッファ 3の送信は完了していない 1：送信メッセージバッファ 3の送信が完了した	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTCSR0 レジスタは、各送信メッセージバッファの送信完了の状態を示します。

TXCFn フラグ (送信メッセージバッファ n 送信完了フラグ) (n = 0 ～ 3)

TXCFn フラグは、送信メッセージバッファ n の送信完了の状態を表します。

本フラグは、TMSRn.TXRF[1] ビットが “1” になると自動的に “1” になります。

各フラグは、以下の場合に自動的に “0” になります。

- TMSRn.TXRF[1] ビットが “0” になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

36.2.41 送信メッセージバッファ送信アボートステータスレジスタ 0 (TMTASR0)

アドレス CANFD.TMTASR0 000A 8084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TAF3	TAF2	TAF1	TAF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TAF0	送信メッセージバッファ 0送信アボートフラグ	0：送信メッセージバッファ 0の送信は中止されていない 1：送信メッセージバッファ 0の送信は中止された	R
b1	TAF1	送信メッセージバッファ 1送信アボートフラグ	0：送信メッセージバッファ 1の送信は中止されていない 1：送信メッセージバッファ 1の送信は中止された	R
b2	TAF2	送信メッセージバッファ 2送信アボートフラグ	0：送信メッセージバッファ 2の送信は中止されていない 1：送信メッセージバッファ 2の送信は中止された	R
b3	TAF3	送信メッセージバッファ 3送信アボートフラグ	0：送信メッセージバッファ 3の送信は中止されていない 1：送信メッセージバッファ 3の送信は中止された	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTASR0 レジスタは、各送信メッセージバッファの送信アボートの状態を示します。

TAFn フラグ (送信メッセージバッファ n 送信アボートフラグ) (n = 0 ～ 3)

TAFn フラグは、送信メッセージバッファ n の送信アボートの状態を表します。

各フラグは、TMSRn.TXRF[1:0] フラグが “01b” になると自動的に “1” になります。

各フラグは、以下の場合に自動的に “0” になります。

- TMSRn.TXRF[1:0] フラグが “00b” になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

36.2.42　送信メッセージバッファ割り込み許可レジスタ 0 (TMIER0)

アドレス CANFD.TMIER0 000A 8088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMIE3	TMIE2	TMIE1	TMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMIE0	送信メッセージバッファ 0割り込み許可ビット	0：送信メッセージバッファ 0に対する割り込み禁止 1：送信メッセージバッファ 0に対する割り込み許可	R/W
b1	TMIE1	送信メッセージバッファ 1割り込み許可ビット	0：送信メッセージバッファ 1に対する割り込み禁止 1：送信メッセージバッファ 1に対する割り込み許可	R/W
b2	TMIE2	送信メッセージバッファ 2割り込み許可ビット	0：送信メッセージバッファ 2に対する割り込み禁止 1：送信メッセージバッファ 2に対する割り込み許可	R/W
b3	TMIE3	送信メッセージバッファ 3割り込み許可ビット	0：送信メッセージバッファ 3に対する割り込み禁止 1：送信メッセージバッファ 3に対する割り込み許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMIER0 レジスタは、各送信メッセージバッファに対する割り込みの許可 / 禁止を設定します。

TMIEn ビット (送信メッセージバッファ n 割り込み許可ビット) (n = 0 ～ 3)

TMIEn ビットが “1” になっている場合、送信メッセージバッファ n からの送信が正常に終了した時点で割り込みが発生します。

送信メッセージバッファに関する割り込みの仕様については、「36.10　割り込みと DTC/DMA 転送要求」を参照してください。

GL_SLEEP モードの場合、このビットに書き込みはできません。

以下の場合、TMIEn ビットへの書き込みはしないでください。

- CAN チャネルが CH_SLEEP モードの場合
- 送信メッセージバッファ n が送信キューの一部である場合
- 送信メッセージバッファ n が、CFCR0.LTM[1:0] ビットによって共通 FIFO とリンクされている場合

36.2.43 送信キュー 0 設定レジスタ (TQCR0)

アドレス CANFD0.TQCR0 000A 808Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	QDS[1:0]		TQIM	—	TQIE	—	—	—	—	TQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TQE	送信キュー許可ビット	0：送信キュー禁止 1：送信キュー許可	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TQIE	送信キュー割り込み許可ビット	0：送信キュー送信割り込み禁止 1：送信キュー送信割り込み許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TQIM	送信キュー割り込みモード設定ビット	0：最後のメッセージが正常に送信されたときに割り込み発生 1：送信成功時に毎回割り込み発生	R/W
b9-b8	QDS[1:0]	キュー段数設定ビット	b9 b8 0 0：0段(無効) 0 1：設定しないでください 1 0：3段(送信メッセージバッファ 0～2) 1 1：4段(送信メッセージバッファ 0～3)	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TQCR0 レジスタは、送信キュー 0 を設定するためのレジスタです。

TQE ビット (送信キュー許可ビット)

TQE ビットは送信キューを有効にします。TQE ビットを “1” にすると、送信メッセージバッファを使用して送信キューが構成されます。

送信キューの段数が 0 (QDS[1:0] = 00b) の場合、TQE ビットを “1” にできません。

GL_SLEEP モードでは、値を変更できません。

また、本ビットへの書き込みは、CH_RESET モードまたは CH_SLEEP モードではできません。

TQE ビットは、CAN チャネルが CH_RESET モードに入ると自動的に “0” になります。

TQIE ビット (送信キュー割り込み許可ビット)

TQIE ビットが “1” の場合、TQIM ビットの設定に基づいて割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

CH_SLEEP モードでは、本ビットへの書き込みを行わないでください。

TQIM ビット (送信キュー割り込みモード設定ビット)

TQIM ビットは送信キューの割り込み発生条件を選択します。

GL_SLEEP モードでは、値を変更できません。

CH_SLEEP モード、CH_HALT モードまたは CH_OPERATION モードでは、本ビットへの書き込みを行わないでください。

QDS[1:0] ビット (キュー段数設定ビット)

QDS[1:0] ビットは、送信キューの段数を選択します。

“10b” を選択した場合、送信メッセージバッファ 0 ～送信メッセージバッファ 2 が使用され、“11b” を選択した場合、送信メッセージバッファ 0 ～送信メッセージバッファ 3 が使用されます。

GL_SLEEP モードでは、値を変更できません。CH_HALT モード、CH_OPERATION モードでも、値を変更できません。

CH_SLEEP モードでは、本ビットへの書き込みを行わないでください。

36.2.44 送信キュー 0 ステータスレジスタ (TQSR0)

アドレス CANFD0.TQSR0 000A 8090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FLVL[2:0]			—	—	—	—	—	TQIF	FULL	EMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	送信キューエンプティフラグ	0：送信キューにメッセージあり 1：送信キューにメッセージなし(空)	R
b1	FULL	送信キューフルフラグ	0：送信キューがフルではない 1：送信キューがフル	R
b2	TQIF	送信キュー割り込みフラグ	0：送信キュー割り込み条件が不成立 1：送信キュー割り込み条件が成立	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	FLVL[2:0]	送信キュー格納メッセージ数	送信キューに格納されているメッセージの数を示します	R
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

TQSR0 レジスタは、送信キュー 0 の状態を示します。

EMPTY フラグ (送信キューエンプティフラグ)

このフラグは、以下の場合に自動的に “1” になります。

- TQCR0.TQE ビットを “0” (送信キュー禁止) にしたとき
- 送信キューにメッセージが格納されていないとき
- 送信キューから最後のメッセージが送信されたとき
- CAN チャネルが CH_RESET モードに入ったとき

本フラグは、最初の送信メッセージが送信キューに格納されると自動的に “0” になります。

FULL フラグ (送信キューフルフラグ)

FULL フラグは、送信キューに格納されているメッセージの数が、設定した送信キューの段数と一致した場合、自動的に “1” になります。

FULL フラグは、以下の場合に自動的に “0” になります。

- 送信キューに格納されているメッセージの数が、設定した送信キューの段数よりも少ない場合
- CAN チャネルが CH_RESET モードに入ったとき

TQIF フラグ (送信キュー割り込みフラグ)

TQIF フラグは、送信キューが禁止になっていると、クリアされません。

送信キューを停止させる場合、TQCR0.TQE ビットを “0” にし、送信キューが空になったことを確認した後、本フラグをクリアしてから停止させてください。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフ

ラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

送信キューに設定された割り込み条件が成立した場合、本フラグは自動的に “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- “0” を書いたとき
- CAN チャネルが CH_RESET モードに入ったとき

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは “1” になります。

CH_SLEEP モードまたは CH_RESET モードでは、本フラグへの書き込みはできません。

FLVL[2:0] ビット (送信キュー格納メッセージ数)

FLVL[2:0] ビットは、送信キュー内のメッセージ数を示します。

これらのビットは、CAN チャネルが CH_RESET モードに入ると自動的に “000b” になります。

36.2.45 送信キュー 0 ポインタ制御レジスタ (TQPCR0)

アドレス CANFD0.TQPCR0 000A 8094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TQPCR0 レジスタを使用して、送信キューの書き込みポインタをインクリメントすることができます。

このレジスタに “000000FFh” を書き込むと、送信キューの書き込みポインタが更新され、既存のメッセージに対する送信要求が出力されます。

このレジスタの読み出し値は常に “00000000h” です。

CH_SLEEP モードまたは CH_RESET モードでは、このレジスタへの書き込みはできません。

本レジスタへの書き込みは、以下の場合にのみ行ってください。

- 送信キューが許可されており、フルではない場合

36.2.46 送信履歴設定レジスタ (THCR)

アドレス CANFD0.THCR 000A 8098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THRC	THIM	THIE	—	—	—	—	—	—	—	THE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THE	送信履歴許可ビット	0：送信履歴バッファ無効 1：送信履歴バッファ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	THIE	送信履歴割り込み許可ビット	0：送信履歴割り込み禁止 1：送信履歴割り込み許可	R/W
b9	THIM	送信履歴割り込みモード設定ビット	0：送信履歴が全体の3/4に達すると割り込み発生 1：送信履歴を格納するたびに割り込み発生	R/W
b10	THRC	送信履歴記録条件設定ビット	0：送信FIFO + 送信キュー 1：送信メッセージバッファ + 送信FIFO + 送信キュー	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

THCR レジスタは、送信履歴の機能を設定します。

THE ビット (送信履歴許可ビット)

THE ビットを “1” に設定すると、送信履歴バッファが有効になります。

CH_RESET モードまたは CH_SLEEP モードでは、値を変更できません。

本ビットは、CAN チャネルが CH_RESET モードに入ると、自動的に “0” になります。

THIE ビット (送信履歴割り込み許可ビット)

THIE ビットを “1” に設定すると、送信履歴割り込みの生成を許可します。

GL_SLEEP モードでは、値を変更できません。

THIM ビット (送信履歴割り込みモード設定ビット)

THIM ビットは、送信履歴割り込みの生成条件を選択します。

GL_SLEEP モードでは、値を変更できません。

GL_HALT モードまたは GL_OPERATION モードでは、本ビットへの書き込みを行わないでください。

THRC ビット (送信履歴記録条件設定ビット)

THRC ビットは、送信成功後に送信履歴バッファに記録するときの条件を選択します。

GL_SLEEP モードでは、値を変更できません。

GL_HALT モードまたは GL_OPERATION モードでは、本ビットへの書き込みを行わないでください。

36.2.47 送信履歴ステータスレジスタ (THSR)

アドレス CANFD0.THSR 000A 809Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	FLVL[3:0]				—	—	—	—	THIF	LOST	FULL	EMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	送信履歴エンプティフラグ	0：送信履歴バッファに送信履歴あり 1：送信履歴バッファに送信履歴なし(空)	R
b1	FULL	送信履歴フルフラグ	0：送信履歴バッファはフルではない 1：送信履歴バッファはフル	R
b2	LOST	送信履歴ロストフラグ	0：送信履歴のロストなし 1：送信履歴のロストあり	R/(W) (注1)
b3	THIF	送信履歴割り込みフラグ	0：送信履歴割り込み条件が不成立 1：送信履歴割り込み条件が成立	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	FLVL[3:0]	送信履歴記録メッセージ数	送信履歴バッファに記録されている送信履歴の数を示します	R
b31-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

THSR レジスタは、送信履歴バッファに格納されているデータのステータスを示します。

EMPTY フラグ (送信履歴エンプティフラグ)

このフラグは、最初の送信履歴が送信履歴バッファに格納されると自動的に “0” になります。

このフラグは、以下の場合に自動的に “1” になります。

- CPU が送信履歴バッファからすべての送信履歴を読み出したとき
- THCR.THE ビットが “0” (送信履歴バッファ無効) のとき
- CAN チャネルが CH_RESET モードに入ったとき

FULL フラグ (送信履歴フルフラグ)

FULL フラグは、送信履歴バッファに記録されている履歴の数が 8 になると、自動的に “1” になります。

このフラグは、以下の場合に自動的に “0” になります。

- 送信履歴バッファに記録されている履歴の数が 8 よりも少ないとき
- THCR.THE ビットが “0” (送信履歴バッファ無効) のとき
- CAN チャネルが CH_RESET モードに入ったとき

LOST フラグ (送信履歴ロストフラグ)

LOST フラグは、すでに送信履歴バッファがフルで、新たな送信履歴を記録できなかったときに “1” になります。

このフラグへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、本フラグは “1” になります。

このフラグは、以下の場合に “0” になります。

- “0” を書いたとき
- CAN チャネルが CH_RESET モードに入ったとき

THIF フラグ (送信履歴割り込みフラグ)

THIF フラグは、設定した割り込み条件が成立すると “1” になります。

このフラグへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ “0”、他のフラグは “1” にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、本フラグは “1” になります。

このフラグは、以下の場合に “0” になります。

- “0” を書いたとき
- CAN チャネルが CH_RESET モードに入ったとき

FLVL[3:0] ビット (送信履歴記録メッセージ数)

FLVL[3:0] ビットは、送信履歴バッファに記録されている送信履歴の数を示します。

これらのビットは、CAN チャネルが CH_RESET モードに入ると、自動的に “0000b” になります。

36.2.48　送信履歴アクセスレジスタ 0 (THACR0)

アドレス　CANFD0.THACR0 000A 8740h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	BN[1:0]		BT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BT[2:0]	送信バッファタイプ	b2　b0 ０ ０ １：送信メッセージバッファ ０ １ ０：共通FIFO １ ０ ０：送信キュー	R
b4-b3	BN[1:0]	送信バッファ番号	メッセージバッファ番号を示します	R
b15-b5	—	予約ビット	読むと“0”が読めます	R
b31-b16	TS[15:0]	送信タイムスタンプ	送信タイムスタンプ値を示します	R

THACR0 レジスタを使用すると、読み出しポインタの値に基づいて送信履歴バッファ内の履歴にアクセスできます。

BT[2:0] ビット (送信バッファタイプ)

BT[2:0] ビットは、読み出した履歴が、どの種類のバッファから送信されたメッセージに対する送信履歴なのかを示します。

BN[1:0] ビット (送信バッファ番号)

BN[1:0] ビットは、読み出した履歴が、どの番号のバッファから送信されたメッセージに対する送信履歴なのかを示します。

共通 FIFO の場合、リンクされている送信メッセージバッファの番号を示します。

TS[15:0] ビット (送信タイムスタンプ)

TS[15:0] ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

36.2.49 送信履歴アクセスレジスタ 1 (THACR1)

アドレス CANFD0.THACR1 000A 8744h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IFL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PTR[15:0]	送信ポインタ	送信メッセージに付加したPTR[15:0]フィールドの値が格納されます	R
b17-b16	IFL[1:0]	送信情報ラベル	送信メッセージに付加したIFL[1:0]フィールドの値が格納されます	R
b31-b18	—	予約ビット	読むと“0”が読めます	R

THACR1 レジスタを使用すると、読み出しポインタの値に基づいて送信履歴バッファ内の履歴にアクセスできます。

PTR[15:0] ビット (送信ポインタ)

PTR[15:0] ビットには、送信メッセージに付加したポインタフィールド (TMBn.HF2.PTR[15:0] ビットまたは CFB0.HF2.PTR[15:0] ビット) の値が格納されています。

IFL[1:0] ビット (送信情報ラベル)

IFL[1:0] ビットには、送信メッセージに付加した情報ラベルフィールド (TMBn.HF2.IFL[1:0] ビットまたは CFB0.HF2.IFL[1:0] ビット) の値が格納されています。

36.2.50 送信履歴ポインタ制御レジスタ (THPCR)

アドレス CANFD0.THPCR 000A 80A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

THPCR レジスタは、送信履歴バッファの読み出しポインタをインクリメントするために使用します。

このレジスタに “000000FFh” を書き込むと、送信履歴バッファの読み出しポインタは次の履歴に移動します。

このレジスタの読み出し値は “00000000h” です。

本レジスタへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

送信履歴バッファが有効で、空ではない場合のみ、本レジスタに “000000FFh” を書き込んでください。

36.2.51 グローバルリセット制御レジスタ (GRCR)

アドレス CANFD.GRCR 000A 80D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	SRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRST	ソフトウェアリセットビット	0：ソフトウェアリセット解除 1：ソフトウェアリセット状態	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	SRSTビットの書き換えを制御します。読むと“00h”が読めます	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SRST ビット (ソフトウェアリセットビット)

SRST ビットを “1” にすると、CANFD モジュールは MCU をリセットしたときと同じ状態になります。リセットが必要な場合は、本ビットに “1” を書き込んだ後、“0” を書き込みます。

ソフトウェアリセット解除時、CANFD モジュールは GL_SLEEP モードです。

ソフトウェアリセット後、RAM の初期化シーケンスは動作しません。RAM の初期化はソフトウェアで行ってください。

同様に、RAM の初期化中にソフトウェアリセットを実行した場合、RAM は初期化されません。RAM の初期化はソフトウェアで行ってください。

KEY[7:0] ビット (キーコード)

SRST ビットの値を書き換える場合、このビットを “C4h” にして 32 ビット単位で同時に書いてください。

36.2.52　グローバルテストモード設定レジスタ (GTMCR)

アドレス　CANFD.GTMCR 000A 80A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	RTPS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	RTPS[3:0]	RAMテストページ選択ビット	テストするRAMのページを選択します	R/W
b31-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTMCR レジスタは、RAM テストモード時にテストする RAM のページ番号を指定するのに使用されます。

RTPS[3:0] ビット (RAM テストページ選択ビット)

RTPS[3:0] ビットは、CANFD モジュールが RAM テストモードに設定されている場合に、CPU から読み書きする RAM ページの番号を指定します。ページ番号は 0 ～ 9 の範囲で指定してください。

RAM テストモードの仕様については、「36.9.2.1　RAM テストモード」を参照してください。

GL_RESET モードまたは GL_SLEEP モードでは、これらのビットへの書き込みはできません。本ビットへの書き込みは、GL_HALT モードでのみ行ってください。

CAN チャネルが GL_RESET モードのとき、本ビットは自動的に “0000b” になります。

36.2.53　グローバルテストモード許可レジスタ (GTMER)

アドレス　CANFD.GTMER 000A 80ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	RTME	RAMテストモード許可ビット	0：RAMテストモード禁止 1：RAMテストモード許可	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTMER レジスタは、CANFD モジュールのグローバルテストモードを制御するために使用されます。

RTME ビット (RAM テストモード許可ビット)

RTME ビットを “1” にすると、CANFD モジュールは RAM テストモードになります。RAM テストモードの仕様については、「36.9.2.1　RAM テストモード」を参照してください。

このビットは、GL_HALT モードでのみ “1” にできます。RAM テストモードを終了する場合、GL_HALT モードでこのビットを “0” にしてください。

CANFD モジュールが GL_RESET モードに入ると、このビットは自動的に “0” になります。

36.2.54　グローバル CAN FD 設定レジスタ (GFDCFG)

アドレス CANFD.GFDCFG 000A 80B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TSCPS[1:0]		—	—	—	—	—	—	—	PXEDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PXEDIS	プロトコル例外イベント検出禁止ビット	0：プロトコル例外イベント検出有効 1：プロトコル例外イベント検出無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	TSCPS[1:0]	タイムスタンプ取得位置選択ビット	b9 b8 0 0：SOF (Start Of Frame)のサンプルポイント 0 1：フレームが有効であった場合のEOF (End Of Frame) 1 0：SOFのサンプルポイント(Classical CANフレーム)、またはFDFビットに続くresビットのサンプルポイント(CAN FDフレーム) 1 1：設定しないでください	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PXEDIS ビット (プロトコル例外イベント検出禁止ビット)

PXEDIS ビットは、ISO 11898-1 に従ったプロトコル例外イベントの処理を設定します。

本ビットを “1” に設定すると、プロトコル例外イベントの検出は無効となり、プロトコル例外 (FDF ビットに続く res ビットがレセシブだった) を検出したときはエラーフレームを送信します。

本ビットへの書き込みは、GL_RESET モードでのみ行えます。

TSCPS[1:0] ビット (タイムスタンプ取得位置選択ビット)

TSCPS[1:0] ビットは、送受信時のタイムスタンプの取得位置を選択するビットです。

TSCPS[1:0] ビットが “10b” の場合、CAN FD フレームでは FDF ビット直後の res ビットで、Classical CAN フレームでは SOF で、タイムスタンプを取得します。

本ビットへの書き込みは、GL_RESET モードでのみ行えます。

36.2.55　グローバルテストモードロックキーレジスタ (GTMLKR)

アドレス　CANFD.GTMLKR 000A 80B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTMLKR レジスタは、RAM テストモードの保護を解除するために使用するレジスタです。

ロックキーの仕様については「36.9.2　グローバルテストモード」を参照してください。

CANFD モジュールを RAM テストモードにするには、このレジスタに 2 つのロック解除キーを連続したバスサイクルで書き込む必要があります。

本レジスタからの読み出し値は “00000000h” です。

GL_SLEEP モードまたは GL_RESET モードでは、このレジスタへの書き込みはできません。

GL_OPERATION モードでは、このレジスタに書き込みを行わないでください。

36.2.56　RAM テストページアクセスレジスタ k (RTPARk) (k = 0 ～ 63)

アドレス　CANFD.RTPAR0 000A 8280h～CANFD.RTPAR63 000A 837Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

このレジスタの読み書きは、CANFD モジュールが RAM テストモードに設定されている場合に可能です。

本レジスタへの書き込みは、GL_HALT モードで RAM テストモードが有効の場合にのみ行えます。

36.2.57 アクセプタンスフィルタ無効エントリ設定レジスタ (AFIGSR)

アドレス CANFD.AFIGSR 000A 80C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IGES[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IGES[4:0]	無効エントリ選択ビット	アクセプタンスフィルタ処理時に無視するルール番号を設定します。	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IGES[4:0] ビット (無効エントリ選択ビット)

IGES[4:0] ビットは、アクセプタンスフィルタを更新する際に、更新するルール番号を設定します。

本ビットへの書き込みは、AFIGER.IGEE ビットが “0” のときのみ行ってください。

GL_SLEEP モードでは、値を変更できません。

36.2.58 アクセプタンスフィルタ無効エントリ許可レジスタ (AFIGER)

アドレス CANFD.AFIGER 000A 80C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	IGEE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGEE	無効エントリ許可ビット	0：AFIGSR.IGES[4:0]ビットの設定は無効 1：AFIGSR.IGES[4:0]ビットの設定は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	IGEEビットの書き換えを制御します。読むと“00h”が読めます	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IGEE ビット (無効エントリ許可ビット)

IGEE ビットが “1” の場合、AFIGSR.IGES[4:0] ビットで選択されているエントリは無視されます。

本ビットは CANFD モジュールが GL_RESET モードに入ると自動的に “0” になります。

KEY[7:0] ビット (キーコード)

IGEE ビットの値を書き換える場合、このビットを “C4h” にして 32 ビット単位で同時に書いてください。

36.2.59 受信メッセージバッファ割り込み許可レジスタ (RMIER)

アドレス CANFD.RMIER 000A 8038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RMIE31	RMIE30	RMIE29	RMIE28	RMIE27	RMIE26	RMIE25	RMIE24	RMIE23	RMIE22	RMIE21	RMIE20	RMIE19	RMIE18	RMIE17	RMIE16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMIE15	RMIE14	RMIE13	RMIE12	RMIE11	RMIE10	RMIE9	RMIE8	RMIE7	RMIE6	RMIE5	RMIE4	RMIE3	RMIE2	RMIE1	RMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RMIE0	受信メッセージバッファ 0割り込み許可ビット	0：受信メッセージバッファ 0に対する割り込み禁止 1：受信メッセージバッファ 0に対する割り込み許可	R/W
b1	RMIE1	受信メッセージバッファ 1割り込み許可ビット	0：受信メッセージバッファ 1に対する割り込み禁止 1：受信メッセージバッファ 1に対する割り込み許可	R/W
b2	RMIE2	受信メッセージバッファ 2割り込み許可ビット	0：受信メッセージバッファ 2に対する割り込み禁止 1：受信メッセージバッファ 2に対する割り込み許可	R/W
b3	RMIE3	受信メッセージバッファ 3割り込み許可ビット	0：受信メッセージバッファ 3に対する割り込み禁止 1：受信メッセージバッファ 3に対する割り込み許可	R/W
b4	RMIE4	受信メッセージバッファ 4割り込み許可ビット	0：受信メッセージバッファ 4に対する割り込み禁止 1：受信メッセージバッファ 4に対する割り込み許可	R/W
b5	RMIE5	受信メッセージバッファ 5割り込み許可ビット	0：受信メッセージバッファ 5に対する割り込み禁止 1：受信メッセージバッファ 5に対する割り込み許可	R/W
b6	RMIE6	受信メッセージバッファ 6割り込み許可ビット	0：受信メッセージバッファ 6に対する割り込み禁止 1：受信メッセージバッファ 6に対する割り込み許可	R/W
b7	RMIE7	受信メッセージバッファ 7割り込み許可ビット	0：受信メッセージバッファ 7に対する割り込み禁止 1：受信メッセージバッファ 7に対する割り込み許可	R/W
b8	RMIE8	受信メッセージバッファ 8割り込み許可ビット	0：受信メッセージバッファ 8に対する割り込み禁止 1：受信メッセージバッファ 8に対する割り込み許可	R/W
b9	RMIE9	受信メッセージバッファ 9割り込み許可ビット	0：受信メッセージバッファ 9に対する割り込み禁止 1：受信メッセージバッファ 9に対する割り込み許可	R/W
b10	RMIE10	受信メッセージバッファ 10割り込み許可ビット	0：受信メッセージバッファ 10に対する割り込み禁止 1：受信メッセージバッファ 10に対する割り込み許可	R/W
b11	RMIE11	受信メッセージバッファ 11割り込み許可ビット	0：受信メッセージバッファ 11に対する割り込み禁止 1：受信メッセージバッファ 11に対する割り込み許可	R/W
b12	RMIE12	受信メッセージバッファ 12割り込み許可ビット	0：受信メッセージバッファ 12に対する割り込み禁止 1：受信メッセージバッファ 12に対する割り込み許可	R/W
b13	RMIE13	受信メッセージバッファ 13割り込み許可ビット	0：受信メッセージバッファ 13に対する割り込み禁止 1：受信メッセージバッファ 13に対する割り込み許可	R/W
b14	RMIE14	受信メッセージバッファ 14割り込み許可ビット	0：受信メッセージバッファ 14に対する割り込み禁止 1：受信メッセージバッファ 14に対する割り込み許可	R/W
b15	RMIE15	受信メッセージバッファ 15割り込み許可ビット	0：受信メッセージバッファ 15に対する割り込み禁止 1：受信メッセージバッファ 15に対する割り込み許可	R/W
b16	RMIE16	受信メッセージバッファ 16割り込み許可ビット	0：受信メッセージバッファ 16に対する割り込み禁止 1：受信メッセージバッファ 16に対する割り込み許可	R/W
b17	RMIE17	受信メッセージバッファ 17割り込み許可ビット	0：受信メッセージバッファ 17に対する割り込み禁止 1：受信メッセージバッファ 17に対する割り込み許可	R/W
b18	RMIE18	受信メッセージバッファ 18割り込み許可ビット	0：受信メッセージバッファ 18に対する割り込み禁止 1：受信メッセージバッファ 18に対する割り込み許可	R/W
b19	RMIE19	受信メッセージバッファ 19割り込み許可ビット	0：受信メッセージバッファ 19に対する割り込み禁止 1：受信メッセージバッファ 19に対する割り込み許可	R/W

ビット	シンボル	ビット名	機能	R/W
b20	RMIE20	受信メッセージバッファ 20割り込み許可ビット	0：受信メッセージバッファ 20に対する割り込み禁止 1：受信メッセージバッファ 20に対する割り込み許可	R/W
b21	RMIE21	受信メッセージバッファ 21割り込み許可ビット	0：受信メッセージバッファ 21に対する割り込み禁止 1：受信メッセージバッファ 21に対する割り込み許可	R/W
b22	RMIE22	受信メッセージバッファ 22割り込み許可ビット	0：受信メッセージバッファ 22に対する割り込み禁止 1：受信メッセージバッファ 22に対する割り込み許可	R/W
b23	RMIE23	受信メッセージバッファ 23割り込み許可ビット	0：受信メッセージバッファ 23に対する割り込み禁止 1：受信メッセージバッファ 23に対する割り込み許可	R/W
b24	RMIE24	受信メッセージバッファ 24割り込み許可ビット	0：受信メッセージバッファ 24に対する割り込み禁止 1：受信メッセージバッファ 24に対する割り込み許可	R/W
b25	RMIE25	受信メッセージバッファ 25割り込み許可ビット	0：受信メッセージバッファ 25に対する割り込み禁止 1：受信メッセージバッファ 25に対する割り込み許可	R/W
b26	RMIE26	受信メッセージバッファ 26割り込み許可ビット	0：受信メッセージバッファ 26に対する割り込み禁止 1：受信メッセージバッファ 26に対する割り込み許可	R/W
b27	RMIE27	受信メッセージバッファ 27割り込み許可ビット	0：受信メッセージバッファ 27に対する割り込み禁止 1：受信メッセージバッファ 27に対する割り込み許可	R/W
b28	RMIE28	受信メッセージバッファ 28割り込み許可ビット	0：受信メッセージバッファ 28に対する割り込み禁止 1：受信メッセージバッファ 28に対する割り込み許可	R/W
b29	RMIE29	受信メッセージバッファ 29割り込み許可ビット	0：受信メッセージバッファ 29に対する割り込み禁止 1：受信メッセージバッファ 29に対する割り込み許可	R/W
b30	RMIE30	受信メッセージバッファ 30割り込み許可ビット	0：受信メッセージバッファ 30に対する割り込み禁止 1：受信メッセージバッファ 30に対する割り込み許可	R/W
b31	RMIE31	受信メッセージバッファ 31割り込み許可ビット	0：受信メッセージバッファ 31に対する割り込み禁止 1：受信メッセージバッファ 31に対する割り込み許可	R/W

RMIER レジスタは、各受信メッセージバッファに対する割り込みの許可 / 禁止を設定します。

RMIEn ビット (受信メッセージバッファ n 割り込み許可ビット) (n = 0 ～ 31)

RMIEn ビットを “1” にすると、受信メッセージバッファ n への受信が成功したときに割り込みが発生します。

受信メッセージバッファ割り込みの仕様については「36.10　割り込みと DTC/DMA 転送要求」を参照してください。

GL_SLEEP モードでは、値を変更できません。

36.2.60 ID ビットの配置

標準フォーマット (11 ビット ID) : ID-28 ～ ID-18 は b10 ～ b0 に配置され、b28 ～ b11 は “0” です。
拡張フォーマット (29 ビット ID) : ID-28 ～ ID-0 は b28 ～ b0 に配置されています。

表36.4 標準ID (11ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 0	RTR	—	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	ID-20	ID-19	ID-18

表36.5 拡張ID (29ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 1	RTR	—	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	ID-20	ID-19	ID-18	ID-17	ID-16

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0

36.2.61 メッセージバッファの構造

メッセージバッファは、4 種類のメッセージバッファで構成されています。

- 受信メッセージバッファ (RMBn)
- 受信 FIFO (RFBn)
- 共通 FIFO (CFB0)
- 送信メッセージバッファ (TMBn)

n はメッセージバッファの種類により範囲が変わるメッセージバッファ番号です。

この構成の概要については、**図 36.33** を参照してください。メッセージバッファの数や種類の詳細については、**「36.6 FIFO バッファとメッセージバッファの構成」**を参照してください。

36.2.61.1 開始アドレス

各メッセージバッファの開始アドレスは、メッセージバッファ番号を使って計算されます。

表 36.6 にメッセージバッファの各レジスタの開始アドレスを示します。

表36.6 メッセージバッファの各レジスタの開始アドレス

メッセージバッファ	シンボル	n	レジスタ	p	開始アドレス
受信メッセージバッファ	RMBn	0～7	HF0	—	000A 8920h + n × 4Ch
			HF1	—	000A 8924h + n × 4Ch
			HF2	—	000A 8928h + n × 4Ch
			DFp	0～15	000A 892Ch + n × 4Ch + p × 4
	RMBn	8～15	HF0	—	000A 8D20h + (n – 8) × 4Ch
			HF1	—	000A 8D24h + (n – 8) × 4Ch
			HF2	—	000A 8D28h + (n – 8) × 4Ch
			DFp	0～15	000A 8D2Ch + (n – 8) × 4Ch + p × 4
	RMBn	16～23	HF0	—	000A 9120h + (n – 16) × 4Ch
			HF1	—	000A 9124h + (n – 16) × 4Ch
			HF2	—	000A 9128h + (n – 16) × 4Ch
			DFp	0～15	000A 912Ch + (n – 16) × 4Ch + p × 4
	RMBn	24～31	HF0	—	000A 9520h + (n – 24) × 4Ch
			HF1	—	000A 9524h + (n – 24) × 4Ch
			HF2	—	000A 9528h + (n – 24) × 4Ch
			DFp	0～15	000A 952Ch + (n – 24) × 4Ch + p × 4
受信FIFO	RFBn	0, 1	HF0	—	000A 8520h + n × 4Ch
			HF1	—	000A 8524h + n × 4Ch
			HF2	—	000A 8528h + n × 4Ch
			DFp	0～15	000A 852Ch + n × 4Ch + p × 4
共通FIFO	CFB0	0	HF0	—	000A 85B8h
			HF1	—	000A 85BCh
			HF2	—	000A 85C0h
			DFp	0～15	000A 85C4h + p × 4
送信メッセージバッファ	TMBn	0～3	HF0	—	000A 8604h + n × 4Ch
			HF1	—	000A 8608h + n × 4Ch
			HF2	—	000A 860Ch + n × 4Ch
			DFp	0～15	000A 8610h + n × 4Ch + p × 4

36.2.61.2 受信メッセージバッファ n (RMBn) (n = 0 ～ 31)

受信メッセージバッファ (RMB) の総数は、図 36.33 に示すように 32 個です。

受信メッセージバッファは、以下のレジスタで構成されています。

- RMBn.HF0
- RMBn.HF1
- RMBn.HF2
- RMBn.DF0 ～ RMBn.DF15

表 36.7 に、このバッファの構成を示します。

表36.7 受信メッセージバッファの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	RMBn.HF0	受信メッセージバッファ nヘッダフィールド0	IDE, RTR, ID
+04h	RMBn.HF1	受信メッセージバッファ nヘッダフィールド1	DLC、タイムスタンプ
+08h	RMBn.HF2	受信メッセージバッファ nヘッダフィールド2	ポインタ、情報ラベル、FDF、BRS、ESI
+0Ch	RMBn.DF0	受信メッセージバッファ nデータフィールド0	DATA0～DATA3
+10h	RMBn.DF1	受信メッセージバッファ nデータフィールド1	DATA4～DATA7
+14h	RMBn.DF2	受信メッセージバッファ nデータフィールド2	DATA8～DATA11
+18h	RMBn.DF3	受信メッセージバッファ nデータフィールド3	DATA12～DATA15
+1Ch	RMBn.DF4	受信メッセージバッファ nデータフィールド4	DATA16～DATA19
+20h	RMBn.DF5	受信メッセージバッファ nデータフィールド5	DATA20～DATA23
+24h	RMBn.DF6	受信メッセージバッファ nデータフィールド6	DATA24～DATA27
+28h	RMBn.DF7	受信メッセージバッファ nデータフィールド7	DATA28～DATA31
+2Ch	RMBn.DF8	受信メッセージバッファ nデータフィールド8	DATA32～DATA35
+30h	RMBn.DF9	受信メッセージバッファ nデータフィールド9	DATA36～DATA39
+34h	RMBn.DF10	受信メッセージバッファ nデータフィールド10	DATA40～DATA43
+38h	RMBn.DF11	受信メッセージバッファ nデータフィールド11	DATA44～DATA47
+3Ch	RMBn.DF12	受信メッセージバッファ nデータフィールド12	DATA48～DATA51
+40h	RMBn.DF13	受信メッセージバッファ nデータフィールド13	DATA52～DATA55
+44h	RMBn.DF14	受信メッセージバッファ nデータフィールド14	DATA56～DATA59
+48h	RMBn.DF15	受信メッセージバッファ nデータフィールド15	DATA60～DATA63

36.2.61.3　受信メッセージバッファ n ヘッダフィールド 0 (RMBn.HF0) (n = 0 ～ 31)

アドレス　CANFD.RMB0.HF0 000A 8920h, CANFD.RMB1.HF0 000A 896Ch, CANFD.RMB2.HF0 000A 89B8h, CANFD.RMB3.HF0 000A 8A04h, CANFD.RMB4.HF0 000A 8A50h, CANFD.RMB5.HF0 000A 8A9Ch, CANFD.RMB6.HF0 000A 8AE8h, CANFD.RMB7.HF0 000A 8B34h, CANFD.RMB8.HF0 000A 8D20h, CANFD.RMB9.HF0 000A 8D6Ch, CANFD.RMB10.HF0 000A 8DB8h, CANFD.RMB11.HF0 000A 8E04h, CANFD.RMB12.HF0 000A 8E50h, CANFD.RMB13.HF0 000A 8E9Ch, CANFD.RMB14.HF0 000A 8EE8h, CANFD.RMB15.HF0 000A 8F34h, CANFD.RMB16.HF0 000A 9120h, CANFD.RMB17.HF0 000A 916Ch, CANFD.RMB18.HF0 000A 91B8h, CANFD.RMB19.HF0 000A 9204h, CANFD.RMB20.HF0 000A 9250h, CANFD.RMB21.HF0 000A 929Ch, CANFD.RMB22.HF0 000A 92E8h, CANFD.RMB23.HF0 000A 9334h, CANFD.RMB24.HF0 000A 9520h, CANFD.RMB25.HF0 000A 956Ch, CANFD.RMB26.HF0 000A 95B8h, CANFD.RMB27.HF0 000A 9604h, CANFD.RMB28.HF0 000A 9650h, CANFD.RMB29.HF0 000A 969Ch, CANFD.RMB30.HF0 000A 96E8h, CANFD.RMB31.HF0 000A 9734h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	ID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R
b29	—	予約ビット	読むと“0”が読めます	R
b30	RTR	リモートフレーム要求ビット	0：データフレーム 1：リモートフレーム	R
b31	IDE	ID拡張ビット	0：標準ID 1：拡張ID	R

RMBn.HF0 レジスタ (n = 0 ～ 31) には、受信したメッセージの ID フィールド、IDE ビット、RTR ビットが格納されます。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットには、受信メッセージバッファに格納されているメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

標準フォーマットと拡張フォーマットにおけるビット配置については、「36.2.60　ID ビットの配置」を参照してください。

RTR ビット (リモートフレーム要求ビット)

RTR ビットには、受信したメッセージの RTR ビット値が格納されます。

RTR ビットは、受信メッセージバッファにデータフレームとリモートフレームのどちらが格納されているかを示します。

注 .　CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合、このビットには RRS ビットの値が反映されます。

IDE ビット (ID 拡張ビット)

IDE ビットには、受信したメッセージの IDE ビット値が格納されます。

IDE ビットは、受信メッセージバッファに格納されているメッセージが標準 ID と拡張 ID のどちらを持っているかを示します。

36.2.61.4　受信メッセージバッファ n ヘッダフィールド 1 (RMBn.HF1) (n = 0 ～ 31)

アドレス　CANFD.RMB0.HF1 000A 8924h, CANFD.RMB1.HF1 000A 8970h, CANFD.RMB2.HF1 000A 89BCh, CANFD.RMB3.HF1 000A 8A08h, CANFD.RMB4.HF1 000A 8A54h, CANFD.RMB5.HF1 000A 8AA0h, CANFD.RMB6.HF1 000A 8AECh, CANFD.RMB7.HF1 000A 8B38h, CANFD.RMB8.HF1 000A 8D24h, CANFD.RMB9.HF1 000A 8D70h, CANFD.RMB10.HF1 000A 8DBCh, CANFD.RMB11.HF1 000A 8E08h, CANFD.RMB12.HF1 000A 8E54h, CANFD.RMB13.HF1 000A 8EA0h, CANFD.RMB14.HF1 000A 8EECh, CANFD.RMB15.HF1 000A 8F38h, CANFD.RMB16.HF1 000A 9124h, CANFD.RMB17.HF1 000A 9170h, CANFD.RMB18.HF1 000A 91BCh, CANFD.RMB19.HF1 000A 9208h, CANFD.RMB20.HF1 000A 9254h, CANFD.RMB21.HF1 000A 92A0h, CANFD.RMB22.HF1 000A 92ECh, CANFD.RMB23.HF1 000A 9338h, CANFD.RMB24.HF1 000A 9524h, CANFD.RMB25.HF1 000A 9570h, CANFD.RMB26.HF1 000A 95BCh, CANFD.RMB27.HF1 000A 9608h, CANFD.RMB28.HF1 000A 9654h, CANFD.RMB29.HF1 000A 96A0h, CANFD.RMB30.HF1 000A 96ECh, CANFD.RMB31.HF1 000A 9738h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信メッセージバッファに格納されているメッセージのタイムスタンプ値を示します	R
b27-b16	—	予約ビット	読むと“0”が読めます	R
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信したデータバイト数を示します	R

RMBn.HF1 レジスタ (n = 0 ～ 31) には、受信したメッセージのデータ長コード (DLC) とタイムスタンプが格納されます。

TS[15:0] ビット (タイムスタンプ)

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで指定したキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットには、受信したメッセージのデータバイト数が格納されます。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注 .　バッファの最大データバイト数は、RMCR.PLS[2:0] ビットで指定します。

36.2.61.5　受信メッセージバッファ n ヘッダフィールド 2 (RMBn.HF2) (n = 0 ～ 31)

アドレス　CANFD.RMB0.HF2 000A 8928h, CANFD.RMB1.HF2 000A 8974h, CANFD.RMB2.HF2 000A 89C0h, CANFD.RMB3.HF2 000A 8A0Ch, CANFD.RMB4.HF2 000A 8A58h, CANFD.RMB5.HF2 000A 8AA4h, CANFD.RMB6.HF2 000A 8AF0h, CANFD.RMB7.HF2 000A 8B3Ch, CANFD.RMB8.HF2 000A 8D28h, CANFD.RMB9.HF2 000A 8D74h, CANFD.RMB10.HF2 000A 8DC0h, CANFD.RMB11.HF2 000A 8E0Ch, CANFD.RMB12.HF2 000A 8E58h, CANFD.RMB13.HF2 000A 8EA4h, CANFD.RMB14.HF2 000A 8EF0h, CANFD.RMB15.HF2 000A 8F3Ch, CANFD.RMB16.HF2 000A 9128h, CANFD.RMB17.HF2 000A 9174h, CANFD.RMB18.HF2 000A 91C0h, CANFD.RMB19.HF2 000A 920Ch, CANFD.RMB20.HF2 000A 9258h, CANFD.RMB21.HF2 000A 92A4h, CANFD.RMB22.HF2 000A 92F0h, CANFD.RMB23.HF2 000A 933Ch, CANFD.RMB24.HF2 000A 9528h, CANFD.RMB25.HF2 000A 9574h, CANFD.RMB26.HF2 000A 95C0h, CANFD.RMB27.HF2 000A 960Ch, CANFD.RMB28.HF2 000A 9658h, CANFD.RMB29.HF2 000A 96A4h, CANFD.RMB30.HF2 000A 96F0h, CANFD.RMB31.HF2 000A 973Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	IFL[1:0]		—	—	—	—	—	FDF	BRS	ESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示フラグ	0：エラーアクティブノードから受信したCAN FDフレーム 1：エラーパッシブノードから受信したCAN FDフレーム	R
b1	BRS	ビットレートスイッチフラグ	0：ビットレートスイッチなしで受信したCAN FDフレーム 1：ビットレートスイッチ付きで受信したCAN FDフレーム	R
b2	FDF	FDフォーマット表示フラグ	0：CAN FDフレーム以外を受信 1：CAN FDフレームを受信	R
b7-b3	—	予約ビット	読むと“0”が読めます	R
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納されるフィールドです	R
b15-b10	—	予約ビット	読むと“0”が読めます	R
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納されるフィールドです	R

RMBn.HF2 レジスタ (n = 0 ～ 31) には、受信したメッセージの FDF ビット、BRS ビット、ESI フラグと、受信したメッセージに対するポインタが格納されます。

ESI フラグ (エラー状態表示フラグ)

ESI フラグには、受信した CAN FD フレームの ESI フラグ値が格納されます。

受信した FDF ビットが “0” の場合は、Classical CAN フレームを受信したことを意味し、このフラグに “0” が格納されます。

BRS フラグ (ビットレートスイッチフラグ)

BRS フラグには、受信した CAN FD フレームの BRS ビット値が格納されます。

受信した FDF ビットが “0” の場合は、Classical CAN フレームを受信したことを意味し、このフラグに “0” が格納されます。

FDF フラグ (FD フォーマット表示フラグ)

FDF フラグには、受信した CAN FD フレームの FDF ビット値が格納されます。

IFL[1:0] ビット (情報ラベル)

IFL[1:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

36.2.61.6　受信メッセージバッファ n データフィールド p (RMBn.DFp) (n = 0 ～ 31、p = 0 ～ 15)

アドレス

CANFD.RMB0.DF0 000A 892Ch～CANFD.RMB0.DF15 000A 8968h,
CANFD.RMB1.DF0 000A 8978h～CANFD.RMB1.DF15 000A 89B4h,
CANFD.RMB2.DF0 000A 89C4h～CANFD.RMB2.DF15 000A 8A00h,
CANFD.RMB3.DF0 000A 8A10h～CANFD.RMB3.DF15 000A 8A4Ch,
CANFD.RMB4.DF0 000A 8A5Ch～CANFD.RMB4.DF15 000A 8A98h,
CANFD.RMB5.DF0 000A 8AA8h～CANFD.RMB5.DF15 000A 8AE4h,
CANFD.RMB6.DF0 000A 8AF4h～CANFD.RMB6.DF15 000A 8B30h,
CANFD.RMB7.DF0 000A 8B40h～CANFD.RMB7.DF15 000A 8B7Ch,
CANFD.RMB8.DF0 000A 8D2Ch～CANFD.RMB8.DF15 000A 8D68h,
CANFD.RMB9.DF0 000A 8D78h～CANFD.RMB9.DF15 000A 8DB4h,
CANFD.RMB10.DF0 000A 8DC4h～CANFD.RMB10.DF15 000A 8E00h,
CANFD.RMB11.DF0 000A 8E10h～CANFD.RMB11.DF15 000A 8E4Ch,
CANFD.RMB12.DF0 000A 8E5Ch～CANFD.RMB12.DF15 000A 8E98h,
CANFD.RMB13.DF0 000A 8EA8h～CANFD.RMB13.DF15 000A 8EE4h,
CANFD.RMB14.DF0 000A 8EF4h～CANFD.RMB14.DF15 000A 8F30h,
CANFD.RMB15.DF0 000A 8F40h～CANFD.RMB15.DF15 000A 8F7Ch,
CANFD.RMB16.DF0 000A 912Ch～CANFD.RMB16.DF15 000A 9168h,
CANFD.RMB17.DF0 000A 9178h～CANFD.RMB17.DF15 000A 91B4h,
CANFD.RMB18.DF0 000A 91C4h～CANFD.RMB18.DF15 000A 9200h,
CANFD.RMB19.DF0 000A 9210h～CANFD.RMB19.DF15 000A 924Ch,
CANFD.RMB20.DF0 000A 925Ch～CANFD.RMB20.DF15 000A 9298h,
CANFD.RMB21.DF0 000A 92A8h～CANFD.RMB21.DF15 000A 92E4h,
CANFD.RMB22.DF0 000A 92F4h～CANFD.RMB22.DF15 000A 9330h,
CANFD.RMB23.DF0 000A 9340h～CANFD.RMB23.DF15 000A 937Ch,
CANFD.RMB24.DF0 000A 952Ch～CANFD.RMB24.DF15 000A 9568h,
CANFD.RMB25.DF0 000A 9578h～CANFD.RMB25.DF15 000A 95B4h,
CANFD.RMB26.DF0 000A 95C4h～CANFD.RMB26.DF15 000A 9600h,
CANFD.RMB27.DF0 000A 9610h～CANFD.RMB27.DF15 000A 964Ch,
CANFD.RMB28.DF0 000A 965Ch～CANFD.RMB28.DF15 000A 9698h,
CANFD.RMB29.DF0 000A 96A8h～CANFD.RMB29.DF15 000A 96E4h,
CANFD.RMB30.DF0 000A 96F4h～CANFD.RMB30.DF15 000A 9730h,
CANFD.RMB31.DF0 000A 9740h～CANFD.RMB31.DF15 000A 977Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RMBn.DFp レジスタ (n = 0 ～ 31、p = 0 ～ 15) は、受信したメッセージのデータバイト (p × 4 + 3) ～データバイト (p × 4) が格納されているリードオンリのレジスタです。

使用されなかったデータバイトは “00h” で埋められます。

36.2.61.7　受信メッセージバッファ n データ k (RMBn.DATAk)
(n = 0 ～ 31、k = 0 ～ 63)

アドレス

CANFD.RMB0.DATA0 000A 892Ch～CANFD.RMB0.DATA63 000A 896Bh,
CANFD.RMB1.DATA0 000A 8978h～CANFD.RMB1.DATA63 000A 89B7h,
CANFD.RMB2.DATA0 000A 89C4h～CANFD.RMB2.DATA63 000A 8A03h,
CANFD.RMB3.DATA0 000A 8A10h～CANFD.RMB3.DATA63 000A 8A4Fh,
CANFD.RMB4.DATA0 000A 8A5Ch～CANFD.RMB4.DATA63 000A 8A9Bh,
CANFD.RMB5.DATA0 000A 8AA8h～CANFD.RMB5.DATA63 000A 8AE7h,
CANFD.RMB6.DATA0 000A 8AF4h～CANFD.RMB6.DATA63 000A 8B33h,
CANFD.RMB7.DATA0 000A 8B40h～CANFD.RMB7.DATA63 000A 8B7Fh,
CANFD.RMB8.DATA0 000A 8D2Ch～CANFD.RMB8.DATA63 000A 8D6Bh,
CANFD.RMB9.DATA0 000A 8D78h～CANFD.RMB9.DATA63 000A 8DB7h,
CANFD.RMB10.DATA0 000A 8DC4h～CANFD.RMB10.DATA63 000A 8E03h,
CANFD.RMB11.DATA0 000A 8E10h～CANFD.RMB11.DATA63 000A 8E4Fh,
CANFD.RMB12.DATA0 000A 8E5Ch～CANFD.RMB12.DATA63 000A 8E9Bh,
CANFD.RMB13.DATA0 000A 8EA8h～CANFD.RMB13.DATA63 000A 8EE7h,
CANFD.RMB14.DATA0 000A 8EF4h～CANFD.RMB14.DATA63 000A 8F33h,
CANFD.RMB15.DATA0 000A 8F40h～CANFD.RMB15.DATA63 000A 8F7Fh,
CANFD.RMB16.DATA0 000A 912Ch～CANFD.RMB16.DATA63 000A 916Bh,
CANFD.RMB17.DATA0 000A 9178h～CANFD.RMB17.DATA63 000A 91B7h,
CANFD.RMB18.DATA0 000A 91C4h～CANFD.RMB18.DATA63 000A 9203h,
CANFD.RMB19.DATA0 000A 9210h～CANFD.RMB19.DATA63 000A 924Fh,
CANFD.RMB20.DATA0 000A 925Ch～CANFD.RMB20.DATA63 000A 929Bh,
CANFD.RMB21.DATA0 000A 92A8h～CANFD.RMB21.DATA63 000A 92E7h,
CANFD.RMB22.DATA0 000A 92F4h～CANFD.RMB22.DATA63 000A 9333h,
CANFD.RMB23.DATA0 000A 9340h～CANFD.RMB23.DATA63 000A 937Fh,
CANFD.RMB24.DATA0 000A 952Ch～CANFD.RMB24.DATA63 000A 956Bh,
CANFD.RMB25.DATA0 000A 9578h～CANFD.RMB25.DATA63 000A 95B7h,
CANFD.RMB26.DATA0 000A 95C4h～CANFD.RMB26.DATA63 000A 9603h,
CANFD.RMB27.DATA0 000A 9610h～CANFD.RMB27.DATA63 000A 964Fh,
CANFD.RMB28.DATA0 000A 965Ch～CANFD.RMB28.DATA63 000A 969Bh,
CANFD.RMB29.DATA0 000A 96A8h～CANFD.RMB29.DATA63 000A 96E7h,
CANFD.RMB30.DATA0 000A 96F4h～CANFD.RMB30.DATA63 000A 9733h,
CANFD.RMB31.DATA0 000A 9740h～CANFD.RMB31.DATA63 000A 977Fh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

RMBn.DATAk レジスタ (n = 0 ～ 31、k = 0 ～ 63) は、受信したメッセージのデータバイトが格納されているリードオンリのレジスタです。

使用されなかったデータバイトは “00h” で埋められます。

36.2.61.8 受信 FIFO n (RFBn) (n = 0, 1)

受信 FIFO (RFB) の総数は、図 36.33 に示すように 2 個です。

受信 FIFO は、以下のレジスタで構成されています。

- RFBn.HF0
- RFBn.HF1
- RFBn.HF2
- RFBn.DF0 ～ RFBn.DF15

表 36.8 に、このバッファの構成を示します。

表36.8 受信FIFOの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	RFBn.HF0	受信FIFO nヘッダフィールド0	IDE, RTR, ID
+04h	RFBn.HF1	受信FIFO nヘッダフィールド1	DLC、タイムスタンプ
+08h	RFBn.HF2	受信FIFO nヘッダフィールド2	ポインタ、情報ラベル、FDF、BRS、ESI
+0Ch	RFBn.DF0	受信FIFO nデータフィールド0	DATA0～DATA3
+10h	RFBn.DF1	受信FIFO nデータフィールド1	DATA4～DATA7
+14h	RFBn.DF2	受信FIFO nデータフィールド2	DATA8～DATA11
+18h	RFBn.DF3	受信FIFO nデータフィールド3	DATA12～DATA15
+1Ch	RFBn.DF4	受信FIFO nデータフィールド4	DATA16～DATA19
+20h	RFBn.DF5	受信FIFO nデータフィールド5	DATA20～DATA23
+24h	RFBn.DF6	受信FIFO nデータフィールド6	DATA24～DATA27
+28h	RFBn.DF7	受信FIFO nデータフィールド7	DATA28～DATA31
+2Ch	RFBn.DF8	受信FIFO nデータフィールド8	DATA32～DATA35
+30h	RFBn.DF9	受信FIFO nデータフィールド9	DATA36～DATA39
+34h	RFBn.DF10	受信FIFO nデータフィールド10	DATA40～DATA43
+38h	RFBn.DF11	受信FIFO nデータフィールド11	DATA44～DATA47
+3Ch	RFBn.DF12	受信FIFO nデータフィールド12	DATA48～DATA51
+40h	RFBn.DF13	受信FIFO nデータフィールド13	DATA52～DATA55
+44h	RFBn.DF14	受信FIFO nデータフィールド14	DATA56～DATA59
+48h	RFBn.DF15	受信FIFO nデータフィールド15	DATA60～DATA63

36.2.61.9　受信 FIFO n ヘッダフィールド 0 (RFBn.HF0) (n = 0, 1)

アドレス　CANFD.RFB0.HF0 000A 8520h, CANFD.RFB1.HF0 000A 856Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	ID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R
b29	—	予約ビット	読むと“0”が読めます	R
b30	RTR	リモートフレーム要求ビット	0：データフレーム 1：リモートフレーム	R
b31	IDE	ID拡張ビット	0：標準ID 1：拡張ID	R

RFBn.HF0 レジスタ (n = 0, 1) には、受信したメッセージの ID フィールド、IDE ビット、RTR ビットが格納されます。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットには、受信 FIFO に格納されているメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

標準フォーマットと拡張フォーマットにおけるビット配置については、「36.2.60　ID ビットの配置」を参照してください。

RTR ビット (リモートフレーム要求ビット)

RTR ビットには、受信したメッセージの RTR ビット値が格納されます。

注 .　CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合、このビットには RRS ビットの値が反映されます。

IDE ビット (ID 拡張ビット)

IDE ビットには、受信したメッセージの IDE ビット値が格納されます。

36.2.61.10 受信 FIFO n ヘッダフィールド 1 (RFBn.HF1) (n = 0, 1)

アドレス CANFD.RFB0.HF1 000A 8524h, CANFD.RFB1.HF1 000A 8570h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信したCANフレームのタイムスタンプ値を示します	R
b27-b16	—	予約ビット	読むと“0”が読めます	R
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信したデータバイト数を示します	R

RFBn.HF1 レジスタ (n = 0, 1) には、受信したメッセージのデータ長コード (DLC) とタイムスタンプが格納されます。

TS[15:0] ビット (タイムスタンプ)

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで設定されたキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットには、受信したメッセージのデータバイト数が格納されます。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注 . バッファの最大データバイト数は、RFCRn.PLS[2:0] ビットで指定します。

36.2.61.11 受信 FIFO n ヘッダフィールド 2 (RFBn.HF2) (n = 0, 1)

アドレス CANFD.RFB0.HF2 000A 8528h, CANFD.RFB1.HF2 000A 8574h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	IFL[1:0]		—	—	—	—	—	FDF	BRS	ESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示フラグ	0：エラーアクティブノードから受信したCAN FDフレーム 1：エラーパッシブノードから受信したCAN FDフレーム	R
b1	BRS	ビットレートスイッチフラグ	0：ビットレートスイッチなしで受信したCAN FDフレーム 1：ビットレートスイッチ付きで受信したCAN FDフレーム	R
b2	FDF	FDフォーマット表示フラグ	0：CAN FDフレーム以外を受信 1：CAN FDフレームを受信	R
b7-b3	—	予約ビット	読むと“0”が読めます	R
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納されるフィールドです	R
b15-b10	—	予約ビット	読むと“0”が読めます	R
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納されるフィールドです	R

RFBn.HF2 レジスタ (n = 0, 1) には、受信したメッセージの FDF ビット、BRS ビット、ESI フラグと、受信したメッセージに対するポインタが格納されます。

ESI フラグ (エラー状態表示フラグ)

ESI フラグには、受信した CAN FD フレームの ESI フラグ値が格納されます。

受信した FDF ビットが “0” の場合は、Classical CAN フレームを受信したことを意味し、このフラグに “0” が格納されます。

BRS フラグ (ビットレートスイッチフラグ)

BRS フラグには、受信した CAN FD フレームの BRS ビット値が格納されます。

受信した FDF ビットが “0” の場合は、Classical CAN フレームを受信したことを意味し、このフラグに “0” が格納されます。

FDF フラグ (FD フォーマット表示フラグ)

FDF フラグには、受信した CAN FD フレームの FDF ビット値が格納されます。

IFL[1:0] ビット (情報ラベル)

IFL[1:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

36.2.61.12 受信 FIFO n データフィールド p (RFBn.DFp) (n = 0, 1、p = 0 ～ 15)

アドレス CANFD.RFB0.DF0 000A 852Ch～CANFD.RFB0.DF15 000A 8568h,
CANFD.RFB1.DF0 000A 8578h～CANFD.RFB1.DF15 000A 85B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RFBn.DFp レジスタ (n = 0, 1、p = 0 ～ 15) は、受信したメッセージのデータバイト (p × 4 + 3) ～データバイト (p × 4) が格納されているリードオンリのレジスタです。

使用されなかったデータバイトは “00h” で埋められます。

36.2.61.13 受信 FIFO n データ k (RFBn.DATAk) (n = 0, 1、k = 0 ～ 63)

アドレス CANFD.RFB0.DATA0 000A 852Ch～CANFD.RFB0.DATA63 000A 856Bh,
CANFD.RFB1.DATA0 000A 8578h～CANFD.RFB1.DATA63 000A 85B7h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

RFBn.DATAk レジスタ (n = 0, 1、k = 0 ～ 63) は、受信したメッセージのデータバイトが格納されているリードオンリのレジスタです。

使用されなかったデータバイトは “00h” で埋められます。

36.2.61.14 共通 FIFO 0 (CFB0)

共通 FIFO (CFB) の総数は、図 36.33 に示すように 1 個です。

CFB0 は、以下のレジスタで構成されています。

- CFB0.HF0
- CFB0.HF1
- CFB0.HF2
- CFB0.DF0 ～ CFB0.DF15

表 36.9 に、このバッファコンポーネントの構造を示します。

表36.9 共通FIFOの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	CFB0.HF0	共通FIFO 0ヘッダフィールド0	IDE, RTR, ID
+04h	CFB0.HF1	共通FIFO 0ヘッダフィールド1	DLC、タイムスタンプ
+08h	CFB0.HF2	共通FIFO 0ヘッダフィールド2	ポインタ、情報ラベル、FDF、BRS、ESI
+0Ch	CFB0.DF0	共通FIFO 0データフィールド0	DATA0～DATA3
+10h	CFB0.DF1	共通FIFO 0データフィールド1	DATA4～DATA7
+14h	CFB0.DF2	共通FIFO 0データフィールド2	DATA8～DATA11
+18h	CFB0.DF3	共通FIFO 0データフィールド3	DATA12～DATA15
+1Ch	CFB0.DF4	共通FIFO 0データフィールド4	DATA16～DATA19
+20h	CFB0.DF5	共通FIFO 0データフィールド5	DATA20～DATA23
+24h	CFB0.DF6	共通FIFO 0データフィールド6	DATA24～DATA27
+28h	CFB0.DF7	共通FIFO 0データフィールド7	DATA28～DATA31
+2Ch	CFB0.DF8	共通FIFO 0データフィールド8	DATA32～DATA35
+30h	CFB0.DF9	共通FIFO 0データフィールド9	DATA36～DATA39
+34h	CFB0.DF10	共通FIFO 0データフィールド10	DATA40～DATA43
+38h	CFB0.DF11	共通FIFO 0データフィールド11	DATA44～DATA47
+3Ch	CFB0.DF12	共通FIFO 0データフィールド12	DATA48～DATA51
+40h	CFB0.DF13	共通FIFO 0データフィールド13	DATA52～DATA55
+44h	CFB0.DF14	共通FIFO 0データフィールド14	DATA56～DATA59
+48h	CFB0.DF15	共通FIFO 0データフィールド15	DATA60～DATA63

36.2.61.15 共通 FIFO 0 ヘッダフィールド 0 (CFB0.HF0)

アドレス CANFD.CFB0.HF0 000A 85B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	THENT	ID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R/W
b29	THENT	送信履歴エントリビット	受信FIFOモード： 予約ビット。読むと“0”が読めます 送信FIFOモード： 0：送信成功後、エントリを送信履歴に格納しない 1：送信成功後、エントリを送信履歴に格納する	R/W
b30	RTR	リモートフレーム要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット	0：標準ID 1：拡張ID	R/W

受信 FIFO モードの場合、CFB0.HF0 レジスタは、FIFO バッファ先頭から受信メッセージの ID フィールド、IDE ビット、RTR ビットを読み出すためのリードオンリのレジスタです。

送信 FIFO モードの場合、CFB0.HF0 レジスタは、FIFO バッファ末尾に送信するメッセージの ID フィールド、IDE ビット、RTR ビットを書き込むためのリード / ライト可能なレジスタです。

ID[28:0] ビット (ID フィールド)

受信 FIFO モードでは、受信したメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

送信 FIFO モードでは、送信するメッセージの標準 ID/ 拡張 ID フィールドの値を指定するビットです。

標準フォーマットと拡張フォーマットにおけるビット配置については、「36.2.60 ID ビットの配置」を参照してください。

THENT ビット (送信履歴エントリビット)

送信 FIFO モードの場合のみ有効です。

THENT ビットは、メッセージの送信が成功した後、対応するエントリを送信履歴に格納するかどうかを制御します。

RTR ビット (リモートフレーム要求ビット)

受信 FIFO モードでは、受信したメッセージの RTR ビット値が格納されます。

送信 FIFO モードでは、送信するメッセージの RTR ビット値を指定するビットです。

注 . CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合 (受信モード)、このビットには RRS ビットの値が反映されます。CAN FD フレームを送信する (CFB0.HF2.FDF = 1) 場合、このビットの値にかかわらずドミナントが送信されます。

IDE ビット (ID 拡張ビット)

受信 FIFO モードでは、受信したメッセージの IDE ビット値が格納されます。

送信 FIFO モードでは、送信するメッセージの IDE ビット値を指定するビットです。

36.2.61.16 共通 FIFO 0 ヘッダフィールド 1 (CFB0.HF1)

アドレス CANFD.CFB0.HF1 000A 85BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信したCANフレームのタイムスタンプ値を示します(受信FIFOモード時)	R/W
b27-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信されたデータバイト数、またはCANフレームで送信されるデータバイト数を示します	R/W

受信 FIFO モードの場合、CFB0.HF1 レジスタは、FIFO バッファ先頭から受信メッセージのデータ長コード (DLC) とタイムスタンプを読み出すためのリードオンリのレジスタです。

送信 FIFO モードの場合、CFB0.HF1 レジスタは、FIFO バッファ末尾に送信メッセージのデータ長コード (DLC) を書き込むためのリード / ライト可能なレジスタです。

TS[15:0] ビット (タイムスタンプ)

受信 FIFO モードの場合のみ有効です。

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで設定されたキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

受信 FIFO モードの場合、受信したメッセージのデータバイト数を示します。

送信 FIFO モードの場合、送信するメッセージのデータバイト数を設定します。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注 . バッファの最大データバイト数は、CFCR0.PLS[2:0] ビットで指定します。

36.2.61.17 共通 FIFO 0 ヘッダフィールド 2 (CFB0.HF2)

アドレス CANFD.CFB0.HF2 000A 85C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	IFL[1:0]		—	—	—	—	—	FDF	BRS	ESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示ビット	0：エラーアクティブノードにより受信または送信する CAN FDフレーム 1：エラーパッシブノードにより受信または送信する CAN FDフレーム	R/W
b1	BRS	ビットレートスイッチビット	0：ビットレートスイッチなしで受信または送信する CAN FDフレーム 1：ビットレートスイッチありで受信または送信する CAN FDフレーム	R/W
b2	FDF	FDフォーマット表示ビット	0：CAN FDフレーム以外を受信または送信 1：CAN FDフレームを受信または送信	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納される、または送信履歴に格納する情報ラベルを設定するフィールドです	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納される、または送信履歴に格納するポインタを設定するフィールドです	R/W

受信 FIFO モードの場合、CFB0.HF2 レジスタは、FIFO バッファ先頭から受信メッセージの FDF ビット、BRS ビット、ESI フラグ、およびアクセプタンスフィルタで付加された情報ラベル、ポインタを読み出すためのリードオンリのレジスタです。

送信 FIFO モードの場合、CFB0.HF2 レジスタは、FIFO バッファ末尾に送信メッセージの FDF ビット、BRS ビット、ESI フラグと、送信履歴に格納する情報ラベルとポインタを書き込むためのリード / ライト可能なレジスタです。

ESI ビット (エラー状態表示ビット)

受信 FIFO モードでは、受信した CAN FD フレームの ESI フラグ値が格納されます。受信した FDF ビットが “0” (Classical CAN フレーム) の場合、本ビットに “0” が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの ESI フラグ値を指定するビットです。チャネルがエラーパッシブでない場合、送信されるメッセージの ESI フラグはこのビットの値と等しくなります。エラーパッシブの場合、このビットの値に関わらず、レセシブが送信されます。

BRS ビット (ビットレートスイッチビット)

受信 FIFO モードでは、受信した CAN FD フレームの BRS ビット値が格納されます。受信した FDF ビットが “0” (Classical CAN フレーム) の場合、本ビットに “0” が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの BRS ビット値を指定するビットです。

FDF ビット (FD フォーマット表示ビット)

受信 FIFO モードでは、受信した CAN FD フレームの FDF ビット値が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの FDF ビット値を指定するビットです。

IFL[1:0] ビット (情報ラベル)

受信 FIFO モードでは、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

送信 FIFO モードでは、メッセージの送信が成功した後、送信履歴に格納する情報ラベル値を指定するビットです。

PTR[15:0] ビット (ポインタ)

受信 FIFO モードでは、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

送信 FIFO モードでは、メッセージの送信が成功した後、送信履歴に格納するポインタ値を指定するビットです。

36.2.61.18 共通 FIFO 0 データフィールド p (CFB0.DFp) (p = 0 ～ 15)

アドレス CANFD.CFB0.DF0 000A 85C4h～CANFD.CFB0.DF15 000A 8600h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

受信 FIFO モードの場合、CFB0.DFp レジスタ (p = 0 ～ 15) は、FIFO バッファ先頭から受信メッセージのデータバイト (p × 4 + 3) ～データバイト (p × 4) を読み出すためのリードオンリのレジスタです。

使用されなかったデータバイトは “00h” で埋められます。

送信 FIFO モードの場合、CFB0.DFp レジスタ (p = 0 ～ 15) は、FIFO バッファ末尾に送信メッセージのデータバイト (p × 4 + 3) ～データバイト (p × 4) を格納するためのリード / ライト可能なレジスタです。

36.2.61.19 共通 FIFO 0 データ k (CFB0.DATAk) (k = 0 ～ 63)

アドレス CANFD.CFB0.DATA0 000A 85C4h～CANFD.CFB0.DATA63 000A 8603h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

受信 FIFO モードの場合、CFB0.DATAk レジスタ (k = 0 ～ 63) は、FIFO バッファ先頭から受信メッセージのデータバイトを読み出すためのリードオンリのレジスタです。

使用されなかったデータバイトは “00h” で埋められます。

送信 FIFO モードの場合、CFB0.DATAk レジスタ (k = 0 ～ 63) は、FIFO バッファ末尾に送信メッセージのデータバイトを格納するためのリード / ライト可能なレジスタです。

36.2.61.20 送信メッセージバッファ n (TMBn) (n = 0 ～ 3)

送信メッセージバッファ (TMB) の総数は、図 36.33 に示すように 4 個です。

送信メッセージバッファは、以下のレジスタで構成されています。

- TMBn.HF0
- TMBn.HF1
- TMBn.HF2
- TMBn.DF0 ～ TMBn.DF15

表 36.10 に、このバッファコンポーネントの構造を示します。

表36.10 送信メッセージバッファの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	TMBn.HF0	送信メッセージバッファ nヘッダフィールド0	IDE, RTR, ID
+04h	TMBn.HF1	送信メッセージバッファ nヘッダフィールド1	DLC
+08h	TMBn.HF2	送信メッセージバッファ nヘッダフィールド2	ポインタ、情報ラベル、FDF、BRS、ESI
+0Ch	TMBn.DF0	送信メッセージバッファ nデータフィールド0	DATA0～DATA3
+10h	TMBn.DF1	送信メッセージバッファ nデータフィールド1	DATA4～DATA7
+14h	TMBn.DF2	送信メッセージバッファ nデータフィールド2	DATA8～DATA11
+18h	TMBn.DF3	送信メッセージバッファ nデータフィールド3	DATA12～DATA15
+1Ch	TMBn.DF4	送信メッセージバッファ nデータフィールド4	DATA16～DATA19
+20h	TMBn.DF5	送信メッセージバッファ nデータフィールド5	DATA20～DATA23
+24h	TMBn.DF6	送信メッセージバッファ nデータフィールド6	DATA24～DATA27
+28h	TMBn.DF7	送信メッセージバッファ nデータフィールド7	DATA28～DATA31
+2Ch	TMBn.DF8	送信メッセージバッファ nデータフィールド8	DATA32～DATA35
+30h	TMBn.DF9	送信メッセージバッファ nデータフィールド9	DATA36～DATA39
+34h	TMBn.DF10	送信メッセージバッファ nデータフィールド10	DATA40～DATA43
+38h	TMBn.DF11	送信メッセージバッファ nデータフィールド11	DATA44～DATA47
+3Ch	TMBn.DF12	送信メッセージバッファ nデータフィールド12	DATA48～DATA51
+40h	TMBn.DF13	送信メッセージバッファ nデータフィールド13	DATA52～DATA55
+44h	TMBn.DF14	送信メッセージバッファ nデータフィールド14	DATA56～DATA59
+48h	TMBn.DF15	送信メッセージバッファ nデータフィールド15	DATA60～DATA63

36.2.61.21 送信メッセージバッファ n ヘッダフィールド 0 (TMBn.HF0) (n = 0 ～ 3)

アドレス CANFD.TMB0.HF0 000A 8604h, CANFD.TMB1.HF0 000A 8650h, CANFD.TMB2.HF0 000A 869Ch, CANFD.TMB3.HF0 000A 86E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	THENT	ID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R/W
b29	THENT	送信履歴エントリビット	0：送信成功後、エントリを送信履歴に格納しない 1：送信成功後、エントリを送信履歴に格納する	R/W
b30	RTR	リモートフレーム要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット	0：標準ID 1：拡張ID	R/W

TMBn.HF0 レジスタ (n = 0 ～ 3) は、送信するメッセージの ID フィールド、IDE ビット、RTR ビットを格納し、送信履歴に格納するかどうかを指定するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットは、送信するメッセージの標準 ID/ 拡張 ID フィールドの値を指定するビットです。

標準フォーマットと拡張フォーマットにおけるビット配置については、「36.2.60 ID ビットの配置」を参照してください。

THENT ビット (送信履歴エントリビット)

THENT ビットは、メッセージの送信が成功した後、対応するエントリを送信履歴に格納するかどうかを制御します。

RTR ビット (リモートフレーム要求ビット)

RTR ビットは、送信するメッセージの RTR ビット値を指定するビットです。

注 . CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを送信する (TMBn.HF2.FDF = 1) 場合、このビットの値にかかわらずドミナントが送信されます。

IDE ビット (ID 拡張ビット)

IDE ビットは、送信するメッセージの IDE ビット値を指定するビットです。

36.2.61.22 送信メッセージバッファ n ヘッダフィールド 1 (TMBn.HF1) (n = 0 ～ 3)

アドレス CANFD.TMB0.HF1 000A 8608h, CANFD.TMB1.HF1 000A 8654h, CANFD.TMB2.HF1 000A 86A0h, CANFD.TMB3.HF1 000A 86ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b28	DLC[3:0]	データ長コード	CANフレームで送信するデータバイト数を示します	R/W

TMBn.HF1 レジスタ (n = 0 ～ 3) は、送信するメッセージのデータ長コード (DLC) を格納するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットは、対応する TMBn.HF0.RTR ビットが “0” の場合に、送信するメッセージのデータバイト数を指定するビットです。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

36.2.61.23 送信メッセージバッファ n ヘッダフィールド 2 (TMBn.HF2) (n = 0 ～ 3)

アドレス CANFD.TMB0.HF2 000A 860Ch, CANFD.TMB1.HF2 000A 8658h, CANFD.TMB2.HF2 000A 86A4h, CANFD.TMB3.HF2 000A 86F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	IFL[1:0]		—	—	—	—	—	FDF	BRS	ESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示ビット	0：CAN FDフレームをエラーアクティブノードで送信 1：CAN FDフレームをエラーパッシブノードで送信	R/W
b1	BRS	ビットレートスイッチビット	0：CAN FDフレームをビットレートスイッチなしで送信 1：CAN FDフレームをビットレートスイッチで送信	R/W
b2	FDF	FDフォーマット表示ビット	0：CAN FDフレーム以外で送信 1：CAN FDフレームで送信	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	IFL[1:0]	情報ラベル	送信履歴に格納する情報ラベルを設定するフィールドです	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	PTR[15:0]	ポインタ	送信履歴に格納するポインタを設定するフィールドです	R/W

TMBn.HF2 レジスタ (n = 0 ～ 3) は、送信するメッセージの FDF ビット、BRS ビット、ESI フラグと、送信履歴に格納する情報ラベルとポインタを格納するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

ESI ビット (エラー状態表示ビット)

ESI ビットは、送信する CAN FD フレームの ESI フラグ値を指定するビットです。

チャネルがエラーパッシブでない場合、送信されるメッセージの ESI フラグはこのビットの値と等しくなります。エラーパッシブの場合、このビットの値に関わらず、レセシブが送信されます。

BRS ビット (ビットレートスイッチビット)

BRS ビットは、送信する CAN FD フレームの BRS ビット値を指定するビットです。

FDF ビット (FD フォーマット表示ビット)

FDF ビットは、送信する CAN FD フレームの FDF ビット値を指定するビットです。

IFL[1:0] ビット (情報ラベル)

IFL[1:0] ビットは、メッセージの送信が成功した後、送信履歴に格納する情報ラベル値を指定するビットです。

PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットは、メッセージの送信が成功した後、送信履歴に格納するポインタ値を指定するビットです。

36.2.61.24 送信メッセージバッファ n データフィールド p (TMBn.DFp) (n = 0 ～ 3、p = 0 ～ 15)

アドレス
CANFD.TMB0.DF0 000A 8610h～CANFD.TMB0.DF15 000A 864Ch,
CANFD.TMB1.DF0 000A 865Ch～CANFD.TMB1.DF15 000A 8698h,
CANFD.TMB2.DF0 000A 86A8h～CANFD.TMB2.DF15 000A 86E4h,
CANFD.TMB3.DF0 000A 86F4h～CANFD.TMB3.DF15 000A 8730h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TMBn.DFp レジスタ (n = 0 ～ 3、p = 0 ～ 15) は、送信するメッセージのデータバイト (p × 4 + 3) ～データバイト (p × 4) を格納するためのリード / ライト可能なレジスタです。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

36.2.61.25 送信メッセージバッファ n データ k (TMBn.DATAk) (n = 0 ～ 3、k = 0 ～ 63)

アドレス
CANFD.TMB0.DATA0 000A 8610h～CANFD.TMB0.DATA63 000A 864Fh,
CANFD.TMB1.DATA0 000A 865Ch～CANFD.TMB1.DATA63 000A 869Bh,
CANFD.TMB2.DATA0 000A 86A8h～CANFD.TMB2.DATA63 000A 86E7h,
CANFD.TMB3.DATA0 000A 86F4h～CANFD.TMB3.DATA63 000A 8733h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

TMBn.DATAk レジスタ (n = 0 ～ 3、k = 0 ～ 63) は、送信するメッセージのデータバイトを格納するためのリード / ライト可能なレジスタです。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

36.2.62　ECC 制御 / ステータスレジスタ (ECCSR)

アドレス　CANFD.ECCSR 000E D000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EC2EAS	EC1EAS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECEDWC[1:0]		—	—	ECOVF	EC2EC	EC1EC	—	—	ECEDE	EC1ECD	EC2EIE	EC1EIE	EC2EF	EC1EF	ECEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECEF	ECCエラーフラグ	0：最後に読み出したRAMデータにECCエラーなし 1：最後に読み出したRAMデータにECCエラーあり	R
b1	EC1EF	1ビットECCエラー検出フラグ	0：1ビットECCエラー未検出 1：1ビットECCエラー検出	R
b2	EC2EF	2ビットECCエラー検出フラグ	0：2ビットECCエラー未検出 1：2ビットECCエラー検出	R
b3	EC1EIE	1ビットECCエラー検出割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b4	EC2EIE	2ビットECCエラー検出割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b5	EC1ECD	1ビットECCエラー訂正禁止ビット	0：1ビットECCエラー検出時、エラー訂正を実施する 1：1ビットECCエラー検出時、エラー訂正を実施しない	R/W
b6	ECEDE	ECCエラー検出許可ビット	0：ECCエラー検出禁止 1：ECCエラー検出許可	R/W
b8-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	EC1EC	EC1EFフラグクリアビット	このビットに“1”を書くと、EC1EFフラグがクリアされます。“0”を書いても無視されます。読むと“0”が読めます	R/W
b10	EC2EC	EC2EFフラグクリアビット	このビットに“1”を書くと、EC2EFフラグがクリアされます。“0”を書いても無視されます。読むと“0”が読めます	R/W
b11	ECOVF	ECCオーバフロー検出フラグ	0：ECEARレジスタのオーバフローは未発生 1：ECEARレジスタのオーバフローが発生	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ECEDWC[1:0]	ECEDEビット書き込み制御ビット	ECEDEビットへの書き込みアクセスを有効または無効にします	R/W
b16	EC1EAS	1ビットECCエラー検出アドレス格納フラグ	0：ECEARレジスタに有効なアドレスなし 1：ECEARレジスタに1ビットECCエラーが発生したアドレスが格納されている	R
b17	EC2EAS	2ビットECCエラー検出アドレス格納フラグ	0：ECEARレジスタに有効なアドレスなし 1：ECEARレジスタに2ビットECCエラーが発生したアドレスが格納されている	R
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECEF フラグ (ECC エラーフラグ)

ECEF フラグは、最後に読み出した RAM データに ECC エラーがあるかどうかを示します。このフラグは RAM を読み出すごとに更新されます。

RAM の初期化を行わずに ECEDE ビットを “1” にした場合、本フラグの値は意味を持ちません。

[“1” になる条件]

- ECEDEビットが“1” (ECCエラー検出許可)のときに、読み出したRAMデータにECCエラーがあったとき

[“0” になる条件]

- 読み出した RAM データに ECC エラーがないとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC1EF フラグ (1 ビット ECC エラー検出フラグ)

EC1EF フラグは、RAM から読み出したデータに 1 ビット ECC エラーが検出されたことを示します。

割り込みが許可されているときにこのフラグが “1” になると、1 ビット ECC エラー割り込み (EC1EI) が発生します。

このフラグが “1” のときに再度 1 ビット ECC エラーを検出しても、割り込みは発生しません。

[“1” になる条件]

- ECEDEビットが“1” (ECCエラー検出許可)のときに、RAMから読み出したデータに1ビットECCエラーがあったとき

[“0” になる条件]

- EC1EC ビットに “1” を書いたとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC1EC ビットに “1” を書くのと 1 ビット ECC エラーの検出が同時に発生した場合、EC1EF フラグは “0” になります。

EC2EF フラグ (2 ビット ECC エラー検出フラグ)

EC2EF フラグは、RAM から読み出したデータに 2 ビット ECC エラーが検出されたことを示します。

割り込みが許可されているときにこのフラグが “1” になると、2 ビット ECC エラー割り込み (EC2EI) が発生します。

このフラグが “1” のときに再度 2 ビット ECC エラーを検出しても、割り込みは発生しません。

[“1” になる条件]

- ECEDEビットが“1” (ECCエラー検出許可)のときに、RAMから読み出したデータに2ビットECCエラーがあったとき

[“0” になる条件]

- EC2EC ビットに “1” を書いたとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC2EC ビットに “1” を書くのと 2 ビット ECC エラーの検出が同時に発生した場合、EC2EF フラグは “0” になります。

EC1EIE ビット (1 ビット ECC エラー検出割り込み許可ビット)

EC1EIE ビットは、1 ビット ECC エラー検出による割り込みを許可 / 禁止するビットです。

このビットが “1” のときに EC1EF フラグが “1” になると、1 ビット ECC エラー割り込み (EC1EI) が発生します。

EC2EIE ビット (2 ビット ECC エラー検出割り込み許可ビット)

EC2EIE ビットは、2 ビット ECC エラー検出による割り込みを許可 / 禁止するビットです。

このビットが “1” のときに EC2EF フラグが “1” になると、2 ビット ECC エラー割り込み (EC2EI) が発生します。

EC1ECD ビット (1 ビット ECC エラー訂正禁止ビット)

EC1ECD ビットは、ECEDE ビットが “1” (ECC エラー検出許可) のときに、1 ビット ECC エラーを訂正するか否かを設定します。

このビットを “1” にした場合、1 ビット ECC エラーが検出されても RAM の出力データは訂正されません。

ECEDE ビット (ECC エラー検出許可ビット)

このビットを “1” にすると、ECC エラー検出が有効になります。

このビットへの書き込みは、ECEDWC[1:0] ビットを “01b” にしているときのみ有効です。

EC1EC ビット (EC1EF フラグクリアビット)

本ビットは、EC1EF フラグをクリアするときに使用します。

EC1EF フラグが “1” のときに本ビットに “1” を書き込むと、EC1EF フラグはクリアされます。また、ECOVF フラグ、EC1EAS フラグ、EC2EAS フラグもクリアされます。

EC1EC ビットに “1” を書くのと同時に 1 ビット ECC エラーを検出した場合、EC1EF フラグは “0” になります。

EC2EC ビット (EC2EF フラグクリアビット)

本ビットは、EC2EF フラグをクリアするときに使用します。

EC2EF フラグが “1” のときに本ビットに “1” を書き込むと、EC2EF フラグはクリアされます。また、ECOVF フラグ、EC1EAS フラグ、EC2EAS フラグもクリアされます。

EC2EC ビットに “1” を書くのと同時に 2 ビット ECC エラーを検出した場合、EC2EF フラグは “0” になります。

ECOVF フラグ (ECC オーバフロー検出フラグ)

ECEAR レジスタにすでにアドレスが格納されているときに、新たな ECC エラーを検出してアドレスが上書きされると、本フラグが “1” になり、ECC オーバフロー割り込み (ECOVI) が発生します。本フラグが “1” のときに、新たな ECC エラーが検出されると再度 ECC オーバフロー割り込みが発生します。

[“1” になる条件]

- ECEAR レジスタにすでにアドレスが格納されている状態で、新たなアドレスが格納されたとき

[“0” になる条件]

- EC1EC ビットに “1” を書いたとき
- EC2EC ビットに “1” を書いたとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC1EC ビットまたは EC2EC ビットによる ECOVF フラグのクリアと、ECOVF フラグのセット要因が同時に発生した場合、ECOVF フラグは “0” になります。

ECEDWC[1:0] ビット (ECEDE ビット書き込み制御ビット)

ECEDWC[1:0] ビットは、ECEDE ビットへの書き込みアクセスの有効 / 無効を制御するために使用します。本ビットの読み出し値は “00b” です。

本ビットの値を “01b” にしたときのみ、ECEDE ビットに値が書き込めます。本ビットの値を “01b” 以外にして ECEDE ビットへの書き込みを行っても、そのアクセスは無視されて値は変化しません。

EC1EAS フラグ (1 ビット ECC エラー検出アドレス格納フラグ)

EC1EAS フラグは、ECEDE ビットが “1” (ECC エラー検出許可) のときに、ECEAR レジスタに 1 ビット ECC エラーが発生したアドレスが格納されていることを示すフラグです。

ECEAR レジスタにすでに 2 ビット ECC エラーが発生したアドレスが格納されている状態で、1 ビット ECC エラーが検出された場合は、ECEAR レジスタは更新されず、本フラグも更新されません。

[“1” になる条件]

- ECEDE ビットが “1” (ECC エラー検出許可) のときに、1 ビット ECC エラーを検出し、そのアドレスが ECEAR レジスタに格納されたとき

[“0” になる条件]

- EC1EC ビットに “1” を書いたとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC1EC ビットによる EC1EAS フラグのクリアと、EC1EAS フラグのセット要因が同時に発生した場合、EC1EAS フラグは “0” になります。

EC2EAS フラグ (2 ビット ECC エラー検出アドレス格納フラグ)

EC2EAS フラグは、ECEDE ビットが “1” (ECC エラー検出許可) のときに、ECEAR レジスタに 2 ビット ECC エラーが発生したアドレスが格納されていることを示すフラグです。

ECEAR レジスタにすでに 1 ビット ECC エラーが発生したアドレスが格納されている状態で、2 ビット ECC エラーが検出された場合は、ECEAR レジスタが更新され、本フラグも “1” になります。

[“1” になる条件]

- ECEDE ビットが “1” (ECC エラー検出許可) のときに、2 ビット ECC エラーを検出し、そのアドレスが ECEAR レジスタに格納されたとき

[“0” になる条件]

- EC2EC ビットに “1” を書いたとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC2EC ビットによる EC2EAS フラグのクリアと、EC2EAS フラグのセット要因が同時に発生した場合、EC2EAS フラグは “0” になります。

36.2.63 ECC テストモードレジスタ (ECTMR)

アドレス CANFD.ECTMR 000E D004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECTMWC[1:0]		—	—	—	—	—	—	ECTME	—	—	—	—	—	ECDIS	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ECDIS	ECCデコーダ入力選択ビット	0：デコード回路のデータ入力にRAM出力データを入力 1：デコード回路のデータ入力にECTDRレジスタを選択	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ECTME	ECCテストモード許可ビット	0：ECDISビットとECTDRレジスタへのアクセス禁止 1：ECDISビットとECTDRレジスタへのアクセス許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ECTMWC[1:0]	ECTMEビット書き込み制御ビット	ECTMEビットへの書き込みアクセスを有効または無効にします。	R/W

ECDIS ビット (ECC デコーダ入力選択ビット)

本ビットは、RAM から読み出したデータ値と ECTDR レジスタの値の、どちらを ECC デコーダへの入力データとして使用するかを選択するビットです。

このビットへの書き込みは、ECTME ビットが “1” のときのみ有効です。ECTME ビットを “1” にするのと同時に書いても構いません。

ECTME ビットを “0” にすると、本ビットも “0” になります。

ECTME ビット (ECC テストモード許可ビット)

ECTME ビットは、ECDIS ビットと ECTDR レジスタへのアクセスの有効 / 無効を制御するために使用します。

このビットへの書き込みは、ECTMWC[1:0] ビットを “10b” にしているときのみ有効です。

ECTMWC[1:0] ビット (ECTME ビット書き込み制御ビット)

ECTMWC[1:0] ビットは、ECTME ビットへの書き込みアクセスの有効 / 無効を制御するために使用します。本ビットの読み出し値は “00b” です。

本ビットの値を “10b” にしたときのみ、ECTME ビットに値が書き込みめます。本ビットの値を “10b” 以外にして ECTME ビットへの書き込みを行っても、そのアクセスは無視されて値は変化しません。

36.2.64 ECC デコーダテストデータレジスタ (ECTDR)

アドレス CANFD.ECTDR 000E D00Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ECTDR レジスタは、ECC デコーダをテストするためのデータを設定するレジスタです。

ECTMR.ECTME ビットが “1” の場合、このレジスタの読み書きが可能です。

ECTMR.ECTME ビットが “0” の場合、このレジスタの値は “00000000h” になります。

ECTMR.ECDIS ビットを “1” にすると、RAM から読み出したデータの代わりに、本レジスタに設定した値が ECC デコーダの入力データとして使用されます。

36.2.65 ECC エラーアドレスレジスタ (ECEAR)

アドレス CANFD.ECEAR 000E D010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ECEAR レジスタは、ECC エラーが発生したアドレスを保持するレジスタです。

ECCSR.ECEDE ビットが “1” (ECC エラー検出許可) のときに、ECC エラーを検出すると、そのときの RAM アドレスの b12-b2 が本レジスタの b10-b0 に格納されます。

同じ要因のエラーが再発した場合、ECEAR レジスタは更新されません。

1 ビット ECC エラーが発生したアドレスがすでに格納されている状態で、2 ビット ECC エラーが検出された場合、ECEAR レジスタは新しいアドレスで上書きされ、ECCSR.EC2EAS フラグが “1” になります。

2 ビット ECC エラーが発生したアドレスがすでに格納されている状態で、1 ビット ECC エラーが検出された場合、ECEAR レジスタは更新されず、ECCSR.EC1EAS フラグも更新されません。

36.3 動作モード

CANFD モジュールの動作モードは、次の 2 つのグループに分けられます。

- グローバルモード
- チャネルモード

36.3.1 グローバルモード

グローバルモードは、CANFD モジュール全体に適用されます。

CANFD モジュールのグローバルモードには、以下のものがあります。

- GL_SLEEP モード
- GL_RESET モード
- GL_HALT モード
- GL_OPERATION モード

図 36.2 に、グローバルモード間で行うことができる遷移を示します。

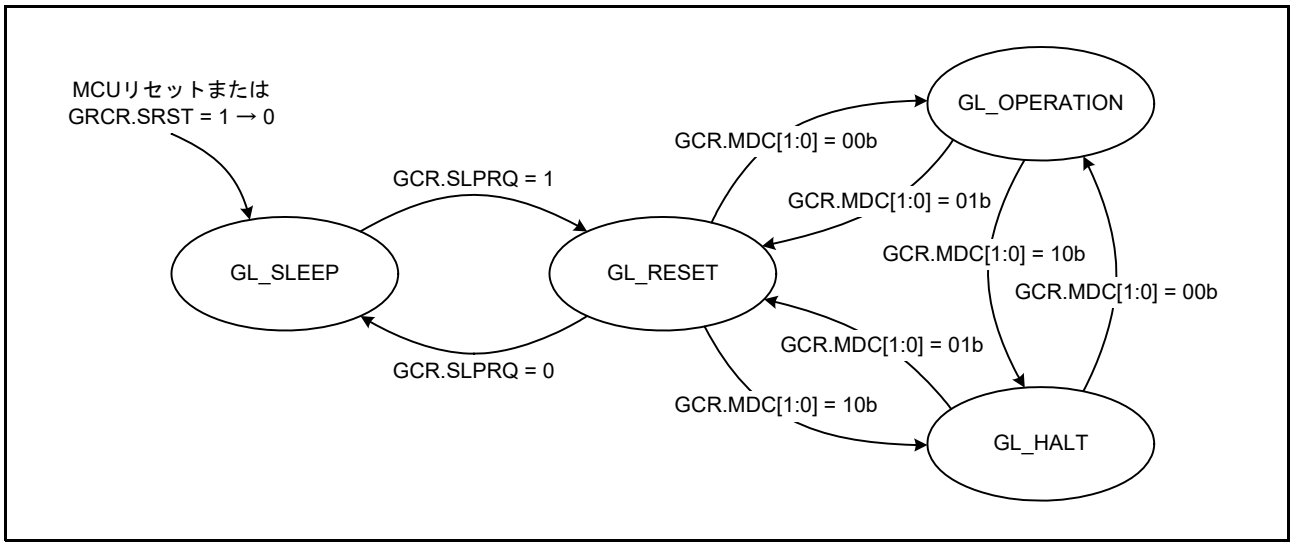


図 36.2 CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャネルモードに影響を与えることがあります。詳細は「**36.3.3 グローバルモード遷移とチャネルモード遷移の相互作用**」を参照してください。

36.3.1.1 GL_SLEEP モード

MCU リセットが解除された後、またはソフトウェアリセットビット (GRCR.SRST) を “1” から “0” にした後、CANFD モジュールは自動的に GL_SLEEP モードになります。

また、GL_RESET モード中に GCR.SLPRQ ビットを “1” にした場合も GL_SLEEP モードになります。SLPRQ ビットは、GL_HALT モードおよび GL_OPERATION モードでは “1” にできません。

SLPRQ ビットを “1” にすると、CHCR.SLPRQ ビットが ”1” になり、CAN チャネルが強制的に CH_SLEEP モードになります。

GL_SLEEP モードは、消費電力を低減するために使用されます。CANFD モジュールが GL_SLEEP モードのとき、SLPRQ ビットへの書き込み用クロックのみがアクティブになります。その他のクロックはすべて停止し、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

SLPRQ ビットを “1” にした後、再度 SLPRQ ビットを “0” にする前に、GSR.SLPST フラグで GL_SLEEP モードへの遷移が正常に行われたことを確認する必要があります。

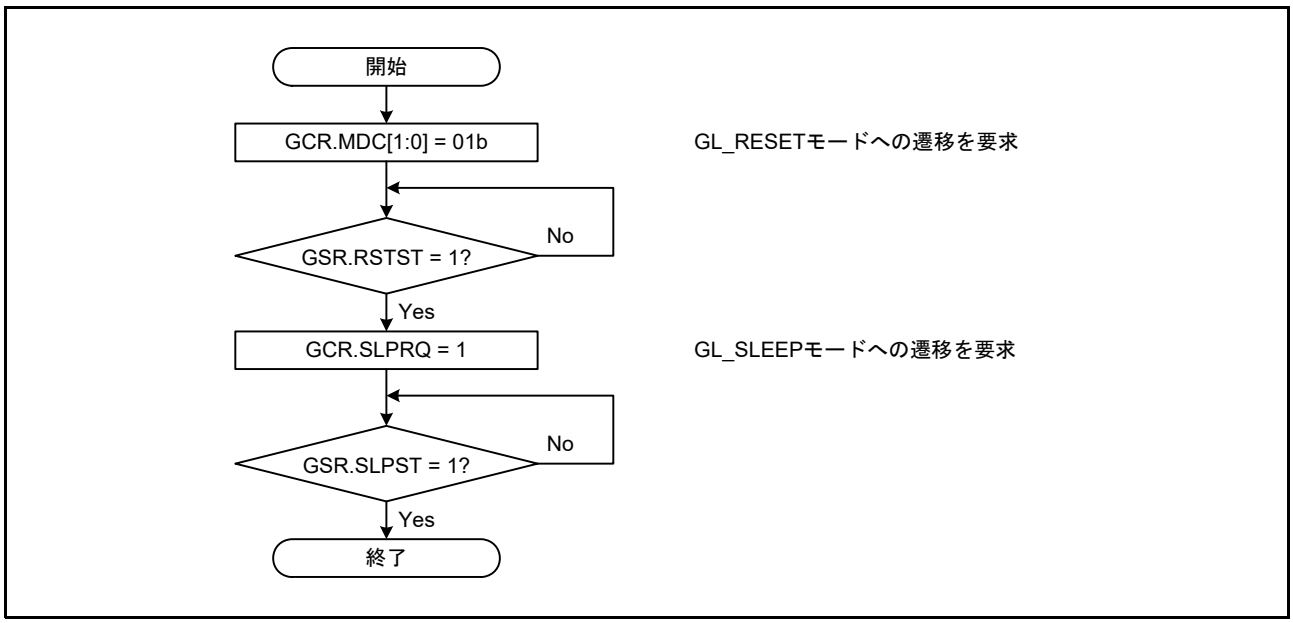


図 36.3 GL_SLEEP モードへの遷移手順

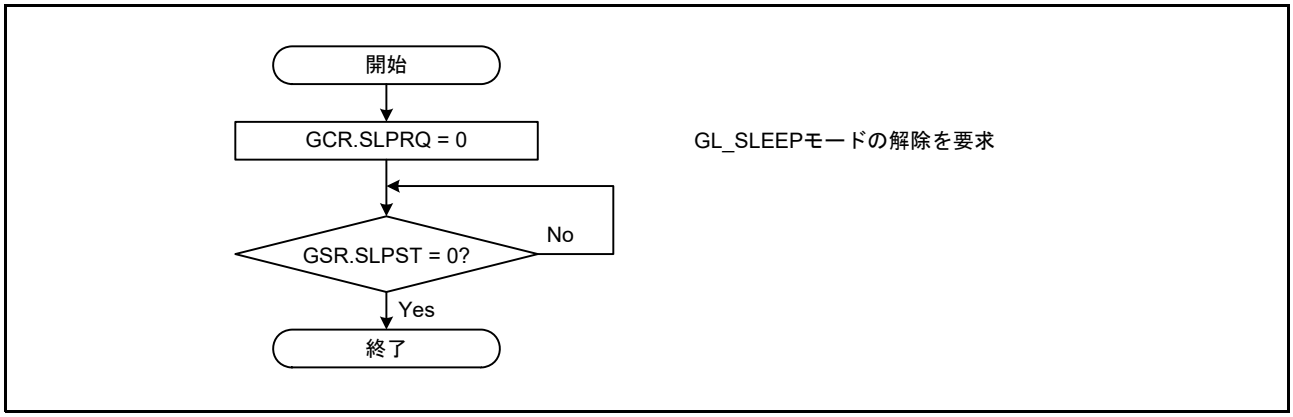


図 36.4 GL_SLEEP モードの解除手順

36.3.1.2 GL_RESET モード

CANFD モジュールは以下の方法で GL_RESET モードに入ります。

- CANFDモジュールがGL_HALTモードまたはGL_OPERATIONモードのときに、GCR.MDC[1:0] ビットを “01b” に設定
- CANFD モジュールが GL_SLEEP モードのとき、GCR.SLPRQ ビットを “0” に設定

GL_RESET モードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタとフラグレジスタが初期化されます。

また、すべての FIFO およびすべての送信キューが無効になり、送信関連の制御ビットが “0” になります。

このモードでは、GTMCR レジスタを除く設定レジスタ、割り込み許可レジスタは初期化されないため、CANFD モジュールの設定を行うことができます。

GCR.MDC[1:0] ビットを “01b” に設定して GL_RESET モードに設定すると、CHCR.MDC[1:0] ビットが “01b” になり、チャネルが強制的に CH_RESET モードになります。

すでに CH_RESET モードまたは CH_SLEEP モードになっているチャネルについては、チャネルモードは変化しません。

GCR.MDC[1:0] ビットを “01b” (GL_RESET モード) にした後、GCR.MDC[1:0] ビットを再度変更する前に、GSR.RSTST フラグで GL_RESET モードへの遷移が正常に行われたことを確認する必要があります。

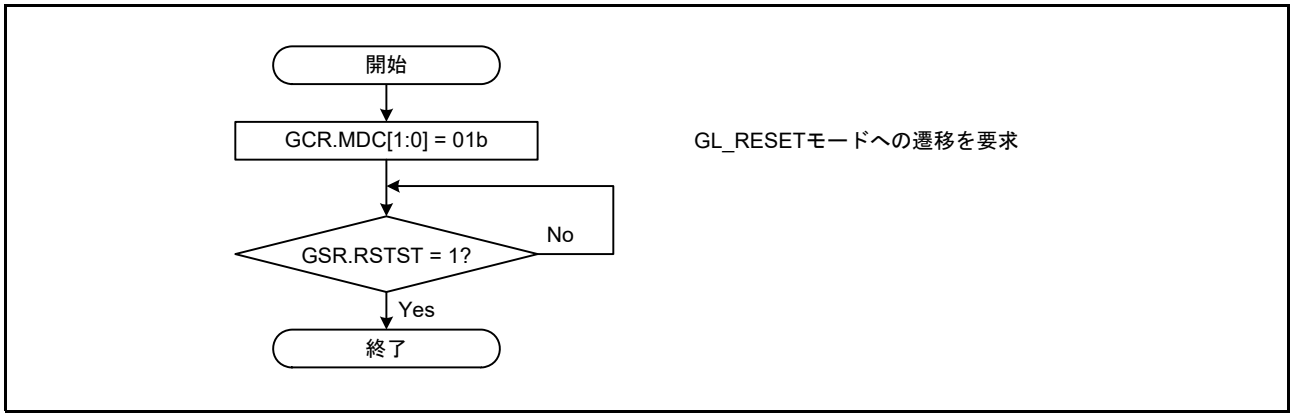


図 36.5 GL_RESET モードへの遷移手順

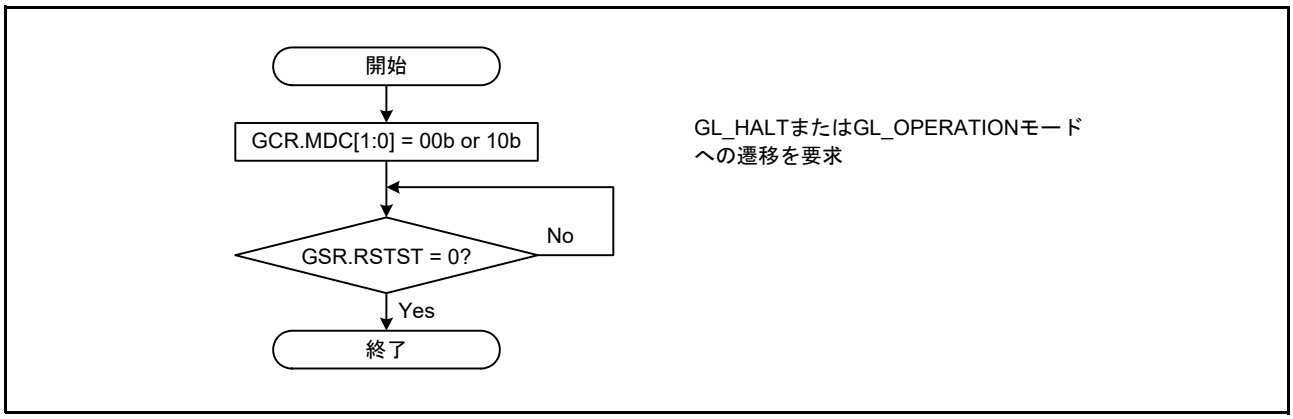


図 36.6 GL_RESET モードの解除手順

36.3.1.3 GL_HALT モード

CANFD モジュールは、以下の方法でこの GL_HALT モードに遷移します。

- CANFD モジュールが GL_RESET モードのとき、GCR.MDC[1:0] ビットを “10b” に設定
  – チャネルは CH_RESET モードまたは CH_SLEEP モードで、そのモードが保持されます。
- CANFD モジュールが GL_OPERATION モードのとき、GCR.MDC[1:0] ビットを “10b” に設定
  – CH_RESET、CH_HALT、CH_SLEEP モードの CAN チャネルは、そのモードが保持されます。
  – CH_OPERATION モードの CAN チャネルは、CH_HALT モードに遷移します。
  – CAN チャネルが CH_OPERATION モードを抜けると、HLTST フラグが “1” になります。

CAN チャネルが送受信を実行中の場合、通信の終了を待って CH_HALT モードに遷移します。

同様に、CAN チャネルがバスオフ状態の場合、チャネルの設定によっては、バスオフ復帰シーケンスが完了するまで CH_HALT モードに遷移しないことがあります。

GL_HALT モードでは、すべての通信がサスペンド状態になり、ステータスレジスタおよびフラグレジスタは変化しません (チャネルがバスオフ状態にある場合のみ CHSR.REC[7:0] ビット、TEC[7:0] ビットが “00h” になります)。

GL_HALT モードでは GTMCR レジスタと GTMER レジスタは初期化されません。GL_HALT モードは、グローバルテストモードを設定するために使用します。

GCR.MDC[1:0] ビットを “10b” に設定して GL_HALT モードにすると、CH_OPERATION モードになっているチャネルの CHCR.MDC[1:0] ビットが “10b” になり、強制的に CH_HALT モードになります。

すでに CH_RESET、CH_HALT、または CH_SLEEP モードになっているチャネルについては、チャネルモードは変化しません。

したがって、GL_HALT モード要求は、メッセージロストや CAN バスの中断なしに、すべての CAN チャネルの通信を遮断するために使用することができます (チャネルの受信 / 送信プロセスを中断することはありません)。

GCR.MDC[1:0] ビットを “10b” (GL_HALT モード) にした後、GSR.HLTST フラグで GL_HALT モードへの遷移が正常に行われたことを確認する必要があります。GSR.HLTST フラグが設定されていることを確認するまでは、他のレジスタの設定を行わないでください。

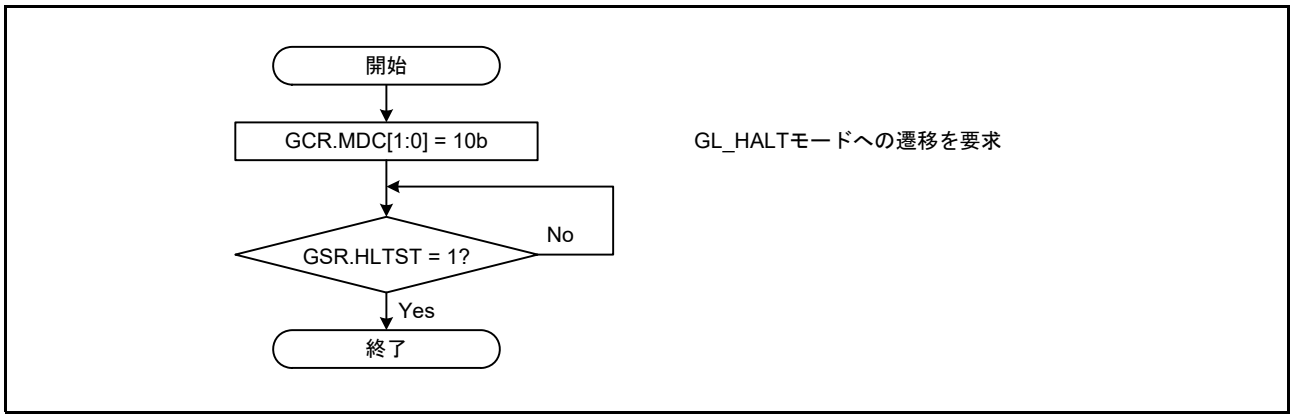


図 36.7 GL_HALT モードへの遷移手順

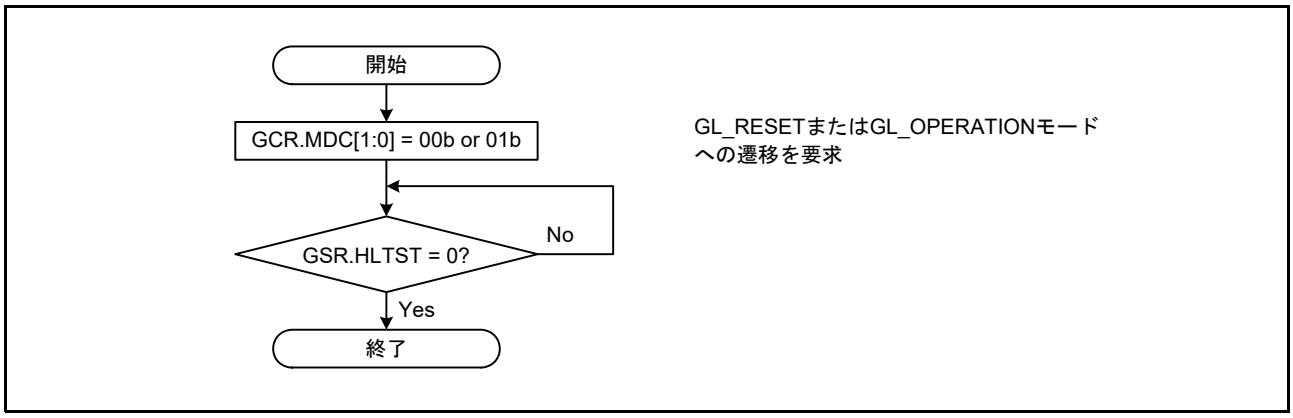


図 36.8 GL_HALT モードの解除手順

36.3.1.4 GL_OPERATION モード

CANFD モジュールは、GCR.MDC[1:0] ビットが “00b” に設定されているときに、このモードに遷移します。

CANFD のチャネルは、CANFD が GL_OPERATION モードになっているときのみ CH_OPERATION モードに設定して CAN 通信を開始することができます。

GCR.MDC[1:0] ビットを “00b” (GL_OPERATION モード) に設定した後、GCR.MDC[1:0] ビットを再度変更する前に、GSR.RSTST フラグおよび GSR.HLTST フラグが “0” になっていること、つまり GL_OPERATION モードへの遷移が正常に行われたことを確認する必要があります。

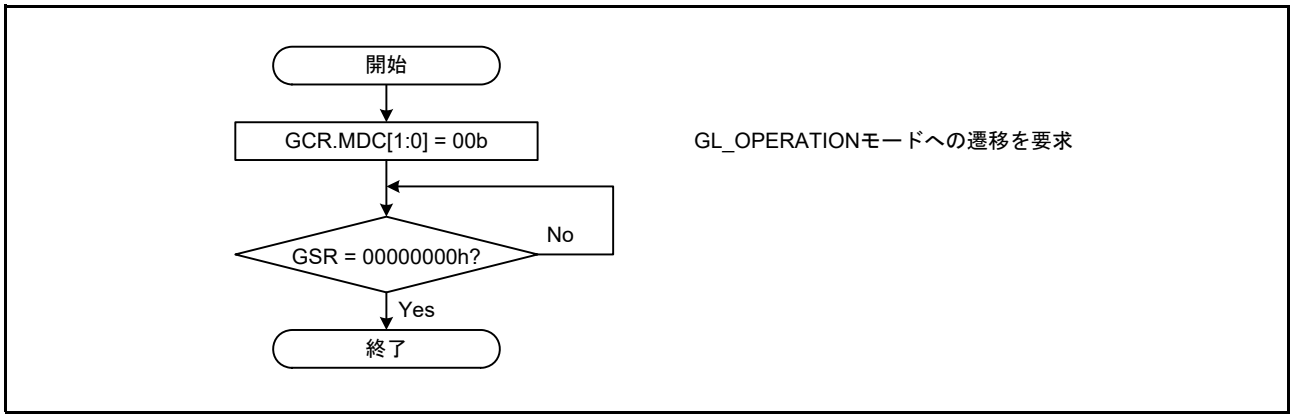


図 36.9 GL_OPERATION モードへの遷移手順

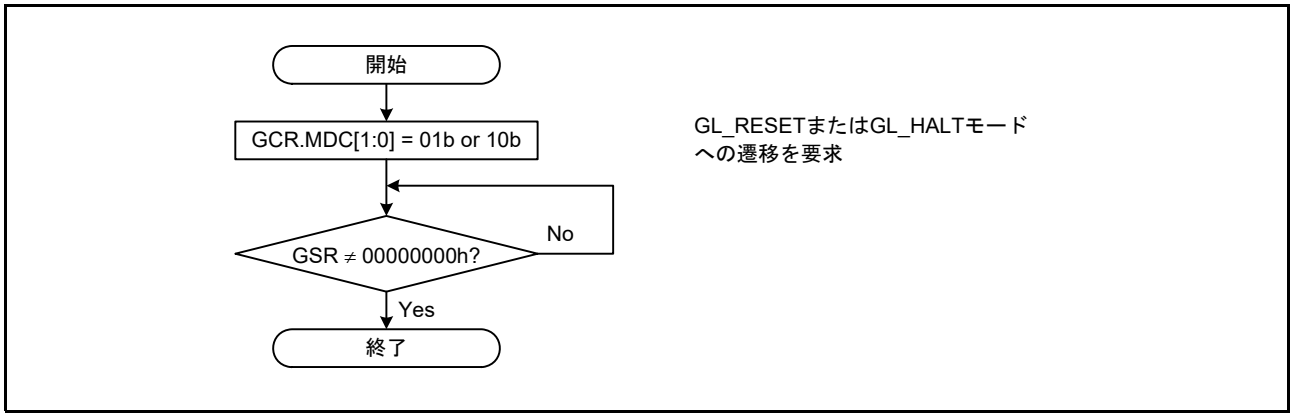


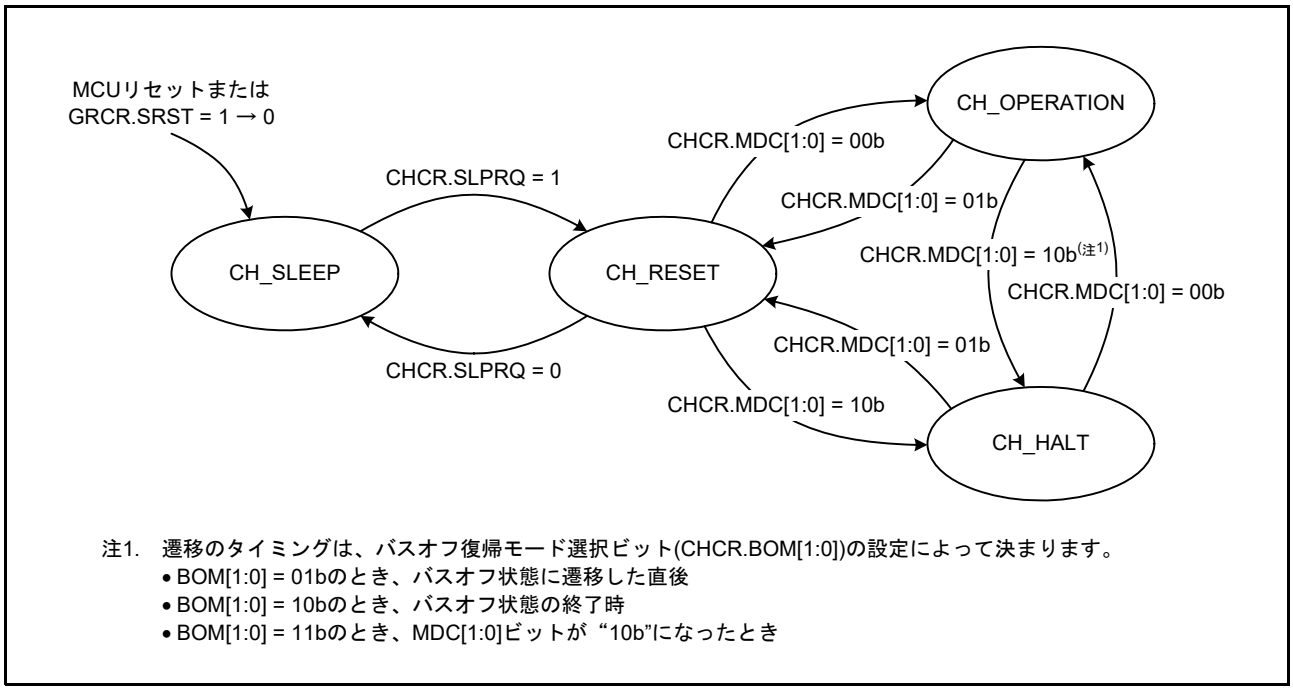
図 36.10 GL_OPERATION モードの解除手順

36.3.2 チャネルモード

CANFD モジュールのチャネルモードには、以下のものがあります。

- CH_SLEEP モード
- CH_RESET モード
- CH_HALT モード
- CH_OPERATION モード

図 36.11 は、チャネルモード間で行うことができる遷移を示します。



注1. 遷移のタイミングは、バスオフ復帰モード選択ビット(CHCR.BOM[1:0])の設定によって決まります。
- BOM[1:0] = 01bのとき、バスオフ状態に遷移した直後
- BOM[1:0] = 10bのとき、バスオフ状態の終了時
- BOM[1:0] = 11bのとき、MDC[1:0]ビットが “10b”になったとき

図 36.11 チャネルモード間の遷移

36.3.2.1 CH_SLEEP モード

MCU リセットが解除された後、またはソフトウェアリセットビット (GRCR.SRST) を “1” から “0” にした後、CANFD モジュールの CAN チャネルは自動的に CH_SLEEP モードになります。

CAN チャネルが CH_RESET モード中に、CHCR.SLPRQ ビットを “1” にすると、CAN チャネルは CH_SLEEP モードになります。CH_HALT モードまたは CH_OPERATION モードでは、SLPRQ ビットを “1” にしないでください。

CH_SLEEP モードに遷移すると、CAN チャネルユニットへのクロック供給が停止し、消費電力が低減されます。

CHCR.SLPRQ ビットを “1” にした後、再び “0” にする前に、CHSR.SLPST フラグを使用して CH_SLEEP モードへの遷移が正常に行われたことを確認する必要があります。

CH_SLEEP モード中は、当該チャネルのレジスタに書き込みを行わないでください。読み出し動作は可能です。

36.3.2.2 CH_RESET モード

CANFD モジュールの CAN チャネルは、以下の方法で CH_RESET モードに入ります。

- CANチャネルがCH_HALTモードまたはCH_OPERATIONモードのとき、CHCR.MDC[1:0]ビットを“01b”設定
- CAN チャネルが CH_SLEEP モードのとき、CHCR.SLPRQ ビットを “0” に設定
- CAN チャネルが CH_SLEEP モードまたは CH_RESET モードではないときに、GCR.MDC[1:0] ビットを “01b” に設定

CH_RESET モードでは、CAN チャネルのすべてのステータスとフラグが初期化されます。

また、当該チャネルの送信関連の制御ビットはすべてクリアされ、当該チャネルの送信キューも無効になります。

このモードでは、チャネルテストモード関連のビットを除く設定レジスタは初期化されないため、CAN チャネルを通信用に設定することができます。

CHCR.MDC[1:0] ビットを “01b” (CH_RESET モード) にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.RSTST フラグで CH_RESET モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中の CH_RESET モードへの遷移動作については、**表 36.11** を参照してください。

36.3.2.3 CH_HALT モード

CANFD モジュールの CAN チャネルは、以下の方法で CH_HALT モードに入ります。

- CANチャネルがCH_RESETモードまたはCH_OPERATIONモードのとき、CHCR.MDC[1:0]ビットを“10b”に設定
- CAN チャネルが CH_OPERATION モードのとき、GCR.MDC[1:0] ビットを “10b” に設定

CH_HALT モードでは、当該チャネルの CAN 通信はすべてサスペンド状態になりますが、すべてのステータスとフラグは CH_HALT モードの間変更されません (バスオフ状態の場合を除きます。バスオフ状態の場合、CHSR.REC[7:0] ビットと TEC[7:0] ビットが “00h” になります)。

また、このモードでは、チャネルテストモード関連のビットは初期化されません。チャネルテストモードの設定には、CH_HALT モードを使用します。

CHCR.MDC[1:0] ビットを “10b” (CH_HALT モード) にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.HLTST フラグで CH_HALT モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中の CH_HALT モードへの遷移動作については、**表 36.11** を参照してください。

表36.11 CH_RESETモードとCH_HALTモードの遷移動作

モード	状態		
	受信	送信	バスオフ
CH_RESETモード (CHCR.MDC[1:0] = 01b)	CANチャネルは、実行中の受信が完了するのを待たずにCH_RESETモードに遷移します。(注1)	CANチャネルは、実行中の送信が完了するのを待たずにCH_RESETモードに遷移します。(注1)	CANチャネルは、バスオフ復帰の完了を待たずにCH_RESETモードに遷移します。
CH_HALTモード (CHCR.MDC[1:0] = 10b)	CANチャネルは、実行中の受信の終了時またはエラー発生時に、CH_HALTモードに遷移します。(注2)	CANチャネルは、実行中の送信の完了後に、CH_HALTモードに遷移します。	CHCR.BOM[1:0] = 00bのとき、CH_HALTモード要求は、バスオフ復帰シーケンスが完了した後でのみ受け付けられます。 CHCR.BOM[1:0] = 10bのとき、CANチャネルはバスオフ復帰の完了を待ってから、自動的にCH_HALTモードに遷移します。 CHCR.BOM[1:0] = 01bのとき、CANチャネルはバスオフ復帰の完了を待たずに、自動的にCH_HALTモードに遷移します。 CHCR.BOM[1:0] = 11bのとき、CANチャネルはCH_HALTモードが要求されるとすぐに(バスオフ復帰の完了を待たずに)CH_HALTモードに遷移します。

注1. 現在実行中の通信の終了時にCH_RESETモードに遷移すればよい場合、先にCH_HALTモードを要求することで、CH_RESETモードに直接遷移してCAN通信が中断するのを防ぐことができます。CANチャネルがCH_HALTモードに遷移した後、CH_RESETモードを要求することができます。

注2. エラーフラグの後にCAN通信がドミナントレベルでロックされた場合、ソフトウェアでチャネル関連のバスロックフラグを監視することでこの状況を検出し、CANチャネルをCH_RESETモードに設定してロック状態を解除できます。

36.3.2.4 CH_OPERATION モード (バスオフ状態以外)

CHCR.MDC[1:0] ビットを “00b” にすることで、CH_OPERATION モードに遷移します。CH_OPERATION モードに入ってから 11 個の連続したレセシブビットが検出されると、CHSR.CRDY フラグが “1” になり、CAN チャネルは、

- 当該チャネルを CAN ネットワーク上のアクティブノードにすることで、通信機能を有効にし、
- 受信および送信エラーカウンタを含む内部フォルト隔離ロジックを解除します。

この時点で、CAN チャネルはメッセージの送受信を開始することができます。

チャネルは、実行している機能のタイプによって、CH_OPERATION モード内でさらに 4 種類のサブモードに分けられます (図 36.12 参照)。

- アイドルモード : CAN チャネルが受信も送信も行っていない
- 受信モード : チャネルは別の CAN ノードから送信されたメッセージを受信している
- 送信モード : チャネルはメッセージを送信している
  (セルフテストモードが有効の場合、チャネルは同時に自メッセージを受信することがあります)
- バスオフ状態 : CAN チャネルが CAN バス通信から切り離されている

CHCR.MDC[1:0] ビットを “00b” にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.RSTST フラグと CHSR.HLTST フラグで、CH_OPERATION モードへの遷移が正常に行われたことを確認する必要があります。

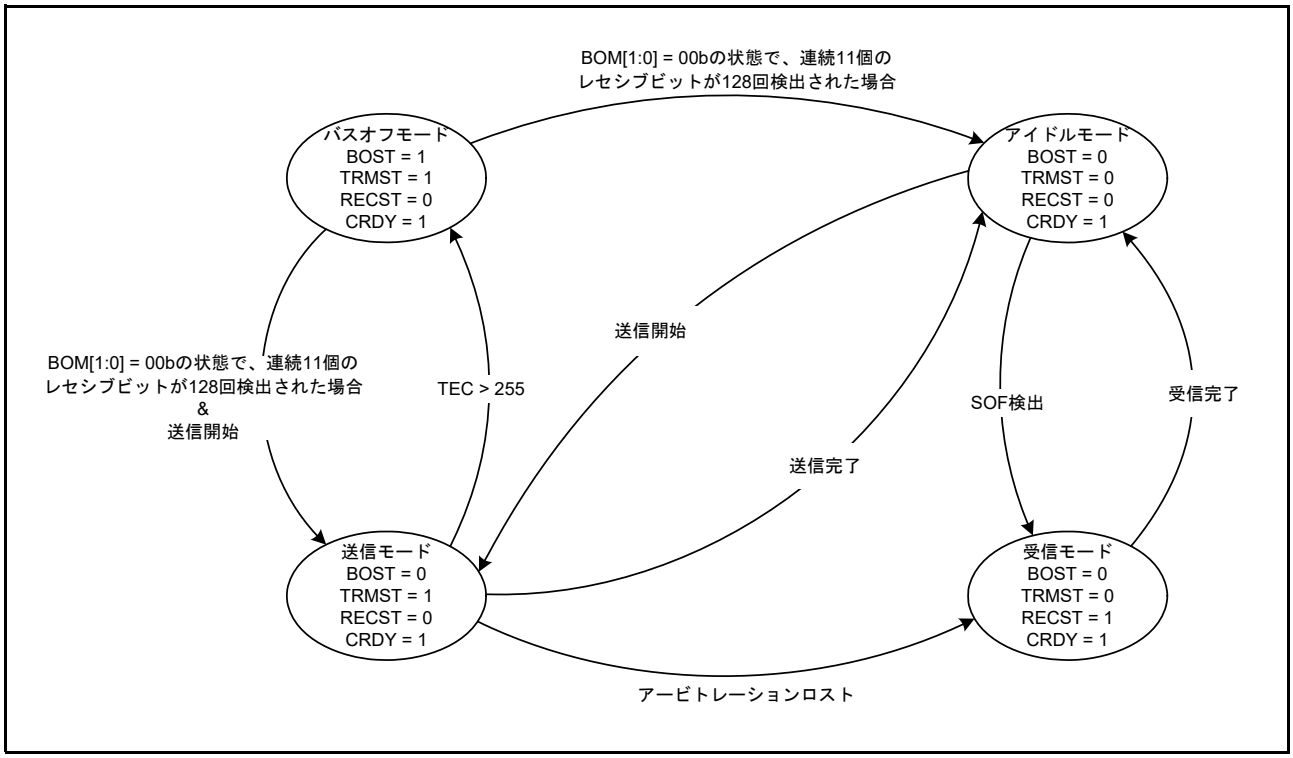


図 36.12　CH_OPERATION モードのサブモード (CHCR.BOM[1:0] = 00b のときのみ)

36.3.2.5　CH_OPERATION モード (バスオフ状態)

バスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CH_OPERATION モードに戻るには、以下のモードが選択できます。

- CHCR.BOM[1:0] = 00b :

  バスオフからの復帰は ISO11898-1 に準拠します。CAN チャネルは、11 個の連続したレセシブビットを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。CHSR.TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化され、CHESR.BORDF フラグが “1” になります。

- CHCR.BOM[1:0] = 01b :

  CAN チャネルは、バスオフ状態に遷移すると、CHCR.MDC[1:0] ビットの値を “10b” に変更した後、自動的に CH_HALT モードに遷移します。CHSR.TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化され、CHESR.BORDF フラグは “1” になりません。

- CHCR.BOM[1:0] = 10b :

  CAN チャネルは、バスオフ状態に遷移すると、CHCR.MDC[1:0] ビットの値を “10b” に変更し、CAN チャネルがバスオフ復帰シーケンス (11 回の連続したレセシブビットを 128 回検出) を完了した後、自動的に CH_HALT モードに遷移します。CHSR.TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化され、CHESR.BORDF フラグが “1” になります。

- CHCR.BOM[1:0] = 11b :

  バスオフ復帰が開始されますが、CH_HALT モードへの遷移が要求された場合、CAN チャネルはバスオフ状態であっても即座に CH_HALT モードに遷移することができます。CHSR.TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化され、CHESR.BORDF フラグは “1” になりません。

  CHCR.MDC[1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CHCR.BOM[1:0] = 00b と同じになります。

このモードでバスオフ復帰が正常に (連続する 11 個のレセシブビット 128 回のシーケンスを待機した後) 行われた場合、かつ、その間に CH_HALT 要求が発生しなかった場合、CHESR.BORDF フラグが “1” になります。

CAN チャネルが CH_HALT モードに遷移するのと同時にソフトウェアが CHCR.MDC[1:0] ビットに書き込む場合 (CHCR.BOM[1:0] = 01b の場合はバスオフの開始時、CHCR.BOM[1:0] = 10b の場合はバスオフの終了時)、ソフトウェア要求の優先度が最も高くなります。

注 . 上記の場合、CHCR.MDC[1:0] ビットの値が以前に “00b” (CH_OPERATION モード) であった場合に、CH_HALT モード要求に対する CHCR.MDC[1:0] ビットの自動設定が行われます。

また、CHCR.RTBO ビットを “1” にすると、CAN チャネルをバスオフ状態から強制的に復帰させることができます。

最大で 1 ビットタイムの遅延時間でエラー状態がバスオフ状態から統合状態 (Integrating state) に変わり、11 個の連続するレセシブビットが検出された後に、CAN 通信が再度可能になります。この場合、CHESR.BORDF フラグは “1” になりません。CHSR.TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化されます。

CHCR.RTBO ビットを “1” にする前に、送信メッセージバッファ、送信キュー、送信 FIFO モードの共通 FIFO からの保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、送信キューまたは共通 FIFO が無効化されたことを、それぞれ TMSRn.TXRF[1:0] フラグ、TQSR0.EMPTY フラグ、CFSR0.EMPTY フラグで確認する必要があります。

CHCR.RTBO ビットは、CHCR.BOM[1:0] ビットが “00b” に設定されているときに限り、バスオフ復帰に使用する必要があります。

このビットをバスオフ状態以外で設定しても無効で、即座にクリアされます。

表 36.12 に、CHCR.BOM[1:0] ビットの設定に対する、バスオフ開始検出フラグ (CHESR.BOEDF) とバスオフ復帰検出フラグ (CHESR.BORDF) の動作について示します。

表 36.12 バスオフ開始フラグとバスオフ復帰フラグの動作

CHCR.BOM[1:0]	CHESR.BOEDF フラグ	CHESR.BORDF フラグ
00b	バスオフ開始時に “1” になる	バスオフ状態からの復帰時に “1” になる
00b CHCR.RTBO ビットを “1” に設定		CHCR.RTBO ビットを “1” にする前に、通常のバスオフ復帰が発生した場合のみ “1” になる
01b		“1” にならない
10b		バスオフ状態からの復帰時に “1” になる
11b		CH_HALT モードへの遷移要求をする前に、通常のバスオフ復帰が発生した場合のみ “1” になる

効率的なソフトウェアを作るには、バスオフ復帰シーケンスが終了するのを待つ必要はありません。

バスオフ復帰中に送信の再初期化を実行することができます。これを行うには、図 36.13 の推奨ソフトウェアフローに従ってください。

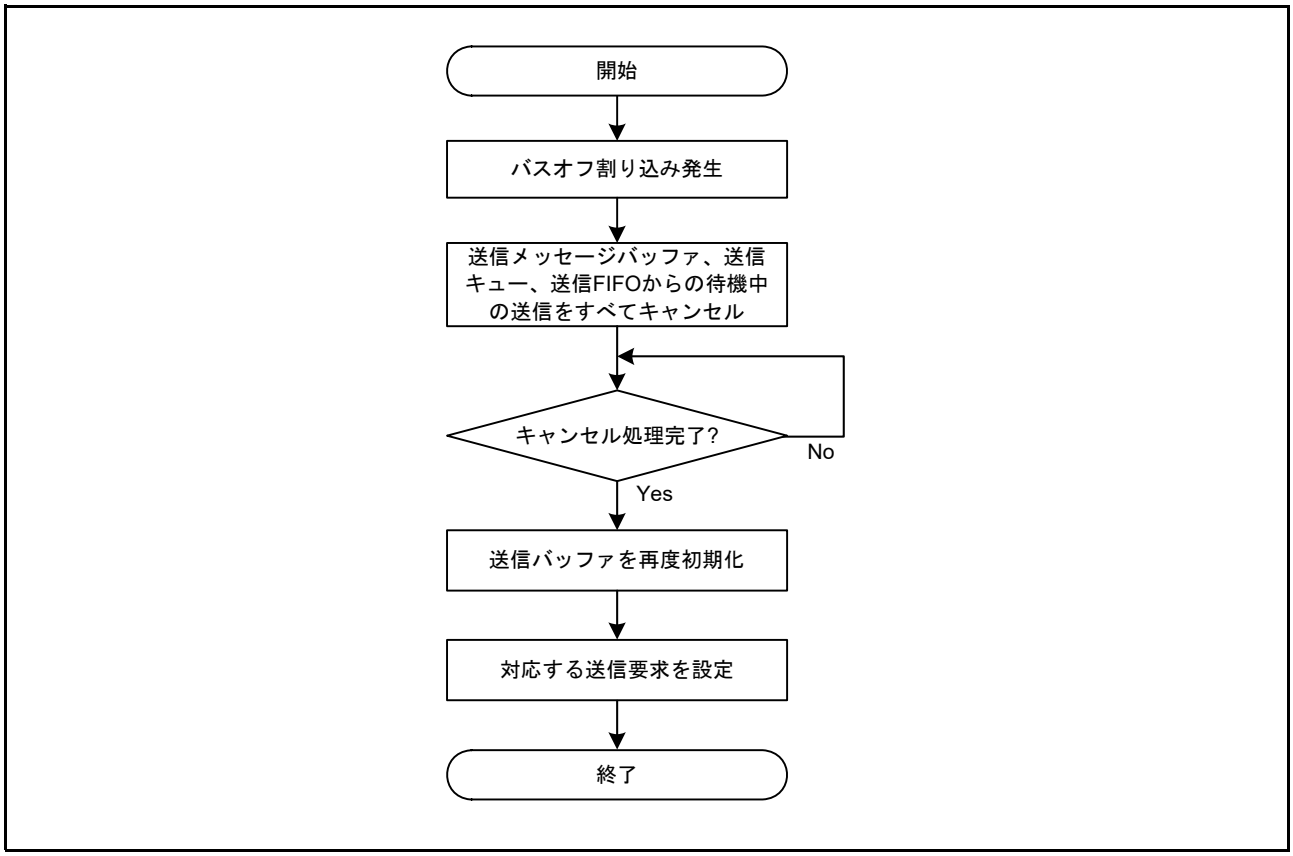


図 36.13　バスオフ中の送信の再初期化

36.3.3 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモード設定とチャネルモード設定の相互作用は以下の通りです。

- CHCR.MDC[1:0] ビットを変更しても、GCR.MDC[1:0] ビットは変化しない
- GCR.MDC[1:0] ビットを変更すると、表 36.13 に示すようにチャネルモードが変化する

表36.13 グローバルモード変更によるチャネルモード遷移

グローバルモードの変更	グローバルモード変更前のチャネルモード	グローバルモード変更後のチャネルモード
GL_SLEEP → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
GL_RESET → GL_SLEEP	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_SLEEP
GL_RESET → GL_HALT	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
GL_RESET → GL_OPERATION	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
GL_HALT → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_RESET
GL_HALT → GL_OPERATION	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_HALT (変更なし)
GL_OPERATION → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_RESET
	CH_OPERATION	CH_RESET
GL_OPERATION → GL_HALT	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_HALT (変更なし)
	CH_OPERATION	通信終了後、CH_HALT

36.3.3.1 グローバルモードの変更タイミング

表 36.14 に、グローバルモード変更時の遷移時間を示します。

表36.14 グローバルモードの最大遷移時間

変更前	遷移先	最大遷移時間
GL_SLEEP	GL_RESET	3 × PCLKB (注2)
GL_RESET	GL_SLEEP	3 × PCLKB
GL_RESET	GL_HALT	10 × PCLKB
GL_RESET	GL_OPERATION	10 × PCLKB
GL_HALT	GL_RESET	2ビットタイム(1 Tq + 16 × PCLKB + 2 × DLL クロックサイクル)
GL_HALT	GL_OPERATION	3 × PCLKB
GL_OPERATION	GL_RESET	2ビットタイム(1 Tq + 16 × PCLKB + 2 × DLL クロックサイクル)
GL_OPERATION	GL_HALT	3 CANフレーム(1 CANフレーム + 3424 × PCLKB) (注1、注3)

注1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間が長くなり、計算されない結果になることがあります。遷移時間は、受信ラインのロックやエラー状態が続くとスタック状態になることがあります。
注2. GL_SLEEPモードからの遷移は、GSR.RAMSTフラグがクリアされているときのみ行ってください。
注3. Tq、CANフレーム、ビットタイムは、個々のチャネルに関連しています。遷移時間を最大にするためには、ビットレートが最も低いチャネルを使用する必要があります。

36.3.3.2 チャネルモードの変更タイミング

表 36.15 に、チャネルモード変更時の遷移時間を示します。

表36.15 チャネルモードの最大遷移時間

変更前	遷移先	最大遷移時間
CH_SLEEP	CH_RESET	3 × PCLKB
CH_RESET	CH_SLEEP	3 × PCLKB
CH_RESET	CH_HALT	3ビットタイム(1 CANビット + 2 Tq + 8 × PCLKB + 2 × DLLクロックサイクル)
CH_RESET	CH_OPERATION	4ビットタイム(2 CANビット + 1 TSEG1 + 12 × PCLKB + 2 × DLLクロックサイクル)
CH_HALT	CH_RESET	2ビットタイム(1 Tq + 10 × PCLKB + 2 × DLLクロックサイクル)
CH_HALT	CH_OPERATION	4ビットタイム(< 4 CANビット)(注3)
CH_OPERATION	CH_RESET	2ビットタイム(1 Tq + 10 × PCLKB + 2 × DLLクロックサイクル)
CH_OPERATION	CH_HALT	2CANフレーム(1 CANフレーム + 13 CANビット)(注1、注2)

注1. ここに示す遷移時間には、チャネルがバスオフ状態になる場合を含みません。バスオフの場合、タイミングはCHCR.BOM[1:0]ビットの設定に依存します。

注2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間が長くなり、計算されない結果になることがあります。遷移時間は、受信ラインのロックやエラー状態が続くとスタック状態になることがあります。

注3. 一般的に、CH_HALTモードでビットレートプリスケーラビット(NBCR.BRP[9:0])の値を変更すると遷移時間がずれることがあります。内部のプリスケーラはTqクロックを生成するフリーランニングダウンカウンタで、カウンタが値0になると新しいBRP値がキャプチャされます。

36.4 CANFD モジュールの初期化

CAN 通信を開始する前に、以下の設定を行ってください。

- クロックの設定
- ビットタイミングの設定 (公称ビットレートとデータビットレート)
- ビットレートの設定 (公称ビットレートとデータビットレート)
- CANFD の設定
- アクセプタンスフィルタの設定 (アクセプタンスフィルタリストの設定)
- 受信 FIFO および送信 FIFO の設定
- CAN 動作モード設定

36.4.1 CAN クロック、ビットタイミング、ビットレートの初期化

36.4.1.1 ビットタイミング条件

各セグメントの設定と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定
   SS = 1 Tq に固定
   TSEG1 = 2 Tq ～ 256 Tq (NBCR), 2 Tq ～ 32 Tq (DBCR)
   TSEG2 = 2 Tq ～ 128 Tq (NBCR), 2 Tq ～ 16 Tq (DBCR)
   SJW = 1 Tq ～ 128 Tq (NBCR), 1 Tq ～ 16 Tq (DBCR)
   SS + TSEG1 + TSEG2 = 8 Tq ～ 385 Tq (NBCR), 5 Tq ～ 49 Tq (DBCR)
2. TSEG1、TSEG2、SJW の制約条件
   NBCR レジスタ：TSEG1 > TSEG2 ≧ SJW
   DBCR レジスタ：TSEG1 ≧ TSEG2 ≧ SJW

表 36.16 に、要求されるサンプルポイント設定を実現するためのビットタイミング設定の例を示します。

表36.16 ビットタイミング例

1ビット	設定値(Tq)				サンプルポイント(%)
	SS	TSEG1	TSEG2	SJW	
5 Tq	1	2	2	1	60.00
8 Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10 Tq	1	6	3	1	70.00
	1	7	2	1	80.00
12 Tq	1	8	3	1	75.00
	1	9	2	1	83.33
15 Tq	1	10	4	1	73.33
	1	11	3	1	80.00
16 Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20 Tq	1	12	7	1	65.00
	1	13	6	1	70.00
24 Tq	1	15	8	1	66.66
	1	16	7	1	70.83
50 Tq	1	39	10	4	80.00

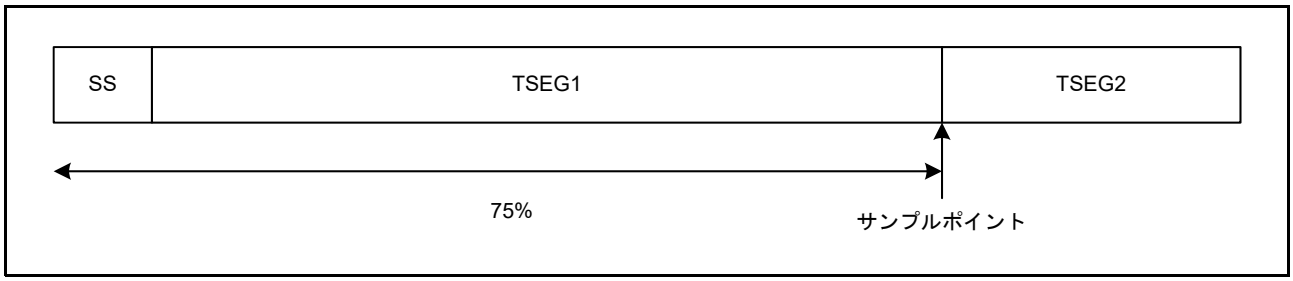


図 36.14　サンプルポイント (75% の場合)

36.4.1.2　ビットタイミング

CAN プロトコルでは、通信フレームの各ビットは、3 つのセグメントで構成されています。各セグメントは、NBCR レジスタおよび DBCR レジスタを使用して設定できます。

図 36.15 に、1 ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1 (TSEG1) とタイムセグメント 2 (TSEG2) は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変更することができます。

このタイミングの最小単位を Tq (Time Quantum) と呼びます。Tq の長さは、CAN チャネルに供給されるクロック周波数とビットレートプリスケーラの N 分周値 (公称ビットレートとデータビットレート) によって決まります。

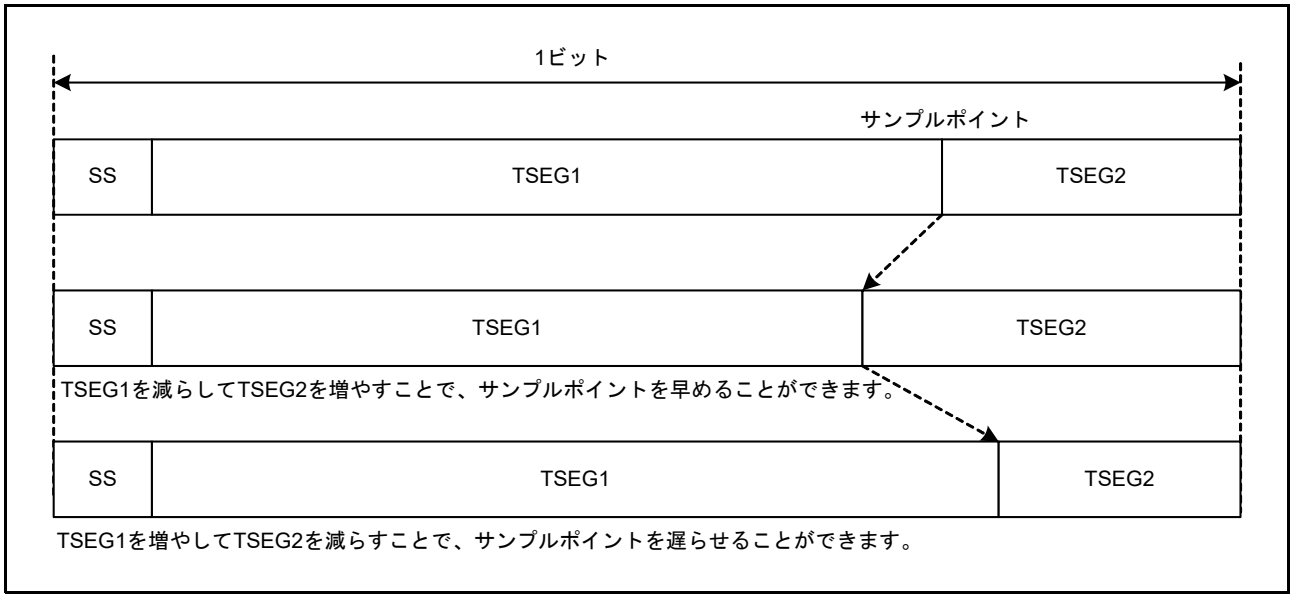


図 36.15　ビット内のセグメント構成とサンプルポイント

1. SS：同期セグメント

   インターフレームスペース中のレセシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンド送信、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。
2. TSEG1：タイムセグメント 1

   CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータ上の遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によっ

て伸ばすことができます。

3. TSEG2：タイムセグメント 2

再同期を実行してフェーズエラーを補償するセグメントです。SJW によって短縮することができます。メッセージの送受信中、発振周波数のドリフトや伝送路の遅延などにより、一部のノード間で通信フレームが同期がずれる場合があります。これをフェーズエラーといいます。

4. SJW：再同期ジャンプ幅

フェーズエラーにより同期ずれしたビットを補償できる最大ビット幅です。

図 36.15 では、代表的なサンプルポイントの例を示しています。

36.4.1.3　ビットレート

CAN 通信クロックは、データリンク層の動作クロック (DLL クロック) を分周して生成します。

DLL クロックには、内部クロック (CANFDCLK) または外部クロック (CANFDMCLK) のいずれかを選択することができます。

図 36.16 に CAN 通信クロックを生成する回路のブロック図を示します。

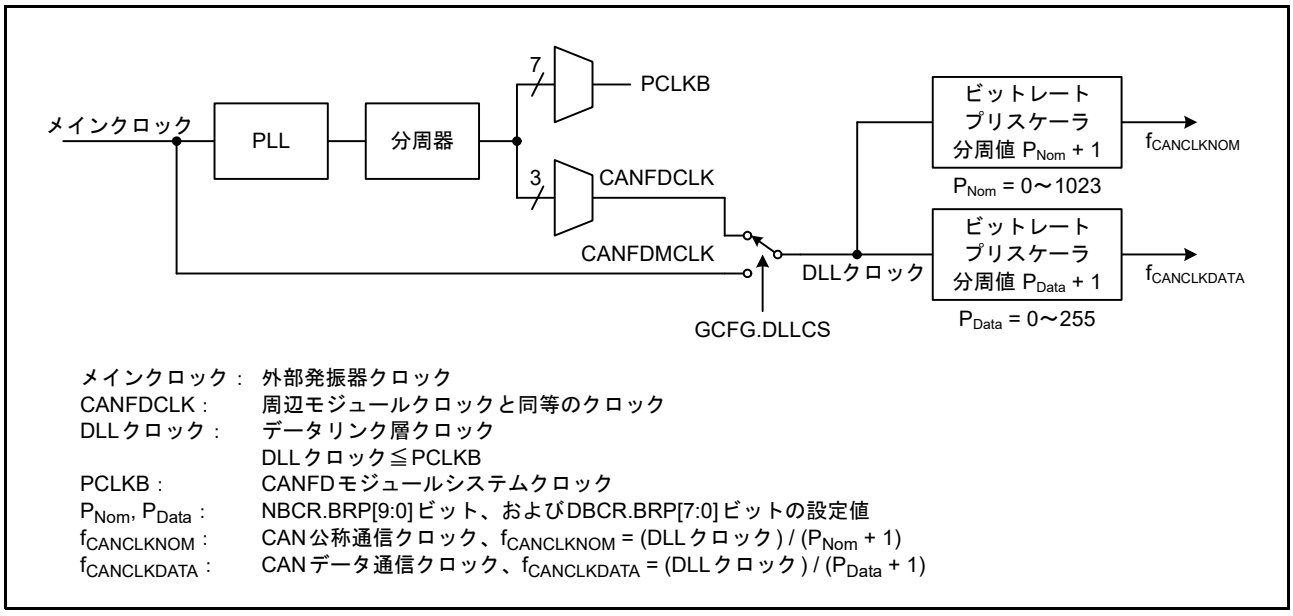


図 36.16　CAN 通信クロック生成回路ブロック図

ビットレートは、DLL クロック周波数、ビットレートプリスケーラの分周値 (P + 1)、1 ビットあたりの Tq 数によって決定されます。

$$\text{ビットレート} = \frac{\text{DLLクロック周波数}}{\text{1ビットあたりのTq数} \times (P+1)} = \frac{\text{CAN通信クロック周波数}}{\text{1ビットあたりのTq数}}$$

表 36.17 に Classical CAN フレームのための公称ビットレートの設定例を示します。

表36.17　Classical CANフレームのための公称ビットレートの設定例

ビットレート	DLLクロック周波数																	
	60 MHz		40 MHz		32 MHz		30 MHz		24 MHz		20 MHz		16 MHz		10 MHz		8 MHz (注1)	
	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1
1 Mbps	10 Tq 15 Tq	6 4	8 Tq 20 Tq	5 2	8 Tq 16 Tq	4 2	10 Tq 15 Tq	3 2	8 Tq 12 Tq 24 Tq	3 2 1	10 Tq 20 Tq	2 1	8 Tq 16 Tq	2 1	10 Tq	1	8 Tq	1
500 kbps	10 Tq 15 Tq 20 Tq	12 8 6	8 Tq 20 Tq	10 4	8 Tq 16 Tq	8 4	10 Tq 15 Tq 20 Tq	6 4 3	8 Tq 12 Tq 24 Tq	6 4 2	10 Tq 20 Tq	4 2	8 Tq 16 Tq	4 2	10 Tq 20 Tq	2 1	8 Tq 16 Tq	2 1
250 kbps	10 Tq 15 Tq 20 Tq	24 16 12	8 Tq 20 Tq	20 8	8 Tq 16 Tq	16 8	10 Tq 15 Tq 20 Tq	12 8 6	8 Tq 12 Tq 24 Tq	12 8 4	10 Tq 20 Tq	8 4	8 Tq 16 Tq	8 4	10 Tq 20 Tq	4 2	8 Tq 16 Tq	4 2
125 kbps	10 Tq 15 Tq 20 Tq	48 32 24	8 Tq 20 Tq	40 16	8 Tq 16 Tq	32 16	10 Tq 15 Tq 20 Tq	24 16 12	8 Tq 12 Tq 24 Tq	24 16 8	10 Tq 20 Tq	16 8	8 Tq 16 Tq	16 8	10 Tq 20 Tq	8 4	8 Tq 16 Tq	8 4
83.3 kbps	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	90 72 60 48 36 30	8 Tq 12 Tq 16 Tq 24 Tq	60 40 30 20	8 Tq 12 Tq 16 Tq 24 Tq	48 32 24 16	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	45 36 30 24 18 15	8 Tq 12 Tq 16 Tq 24 Tq	36 24 18 12	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	30 24 20 16 15 12 10	8 Tq 12 Tq 16 Tq 24 Tq	24 16 12 8	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	15 12 10 8 6 5	8 Tq	12
33.3 kbps	10 Tq 12 Tq 15 Tq 20 Tq	180 150 120 90	8 Tq 12 Tq 16 Tq 20 Tq 24 Tq	150 100 75 60 50	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	120 96 80 64 60 48 40	10 Tq 12 Tq 15 Tq 20 Tq	90 75 60 45	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	90 72 60 48 45 36 30	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	75 60 50 40 30 25	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	60 48 40 32 30 24 20	10 Tq 12 Tq 15 Tq 20 Tq	30 25 20 15	8 Tq	30

注1.　公称ビットレート1 Mbpsを達成するための最低周波数です。

CAN FD フレームを使用するネットワークで、最適なクロックトレランスを実現するには、公称ビットタイムとデータビットタイムで Tq の長さを同じにしなければなりません。つまり、NBCR.BRP[9:0] = DBCR.BRP[7:0] にします。

また、トランシーバ遅延補償を使用する場合は、DBCR.BRP[7:0] ビットを 1 より大きい値に設定しないでください。

表 36.18 に CAN FD フレームのための公称ビットレート、データビットレートの設定例を示します。

表36.18　CAN FDフレームのための公称ビットレート、データビットレートの設定例

ビットレート		DLLクロック周波数											
		60 MHz			40 MHz			30 MHz			20 MHz		
		Tq数		P+1	Tq数		P+1	Tq数		P+1	Tq数		P+1
公称	データ	公称	データ		公称	データ		公称	データ		公称	データ	
1 Mbps	8 Mbps	—	—	—	40 Tq	5 Tq	1	—	—	—	—	—	—
1 Mbps	5 Mbps	60 Tq	12 Tq	1	40 Tq	8 Tq	1	30 Tq	6 Tq	1	—	—	—
1 Mbps	4 Mbps	60 Tq	15 Tq	1	40 Tq	10 Tq	1	—	—	—	20 Tq	5 Tq	1
1 Mbps	2 Mbps	60 Tq	30 Tq	1	40 Tq	20 Tq	1	30 Tq	15 Tq	1	20 Tq	10 Tq	1
500 kbps	2 Mbps	120 Tq	30 Tq	1	80 Tq	20 Tq	1	60 Tq	15 Tq	1	40 Tq	10 Tq	1

36.4.1.4 CANクロック、ビットタイミング、ビットレートの設定

図 36.17 にビットタイミングとビットレートの設定手順を示します。
これらの設定は、CH_RESET モードで行ってください。
ビットレートは、チャネル通信状態に入る前に設定しておかないと、正しくモードが切り替わりません。

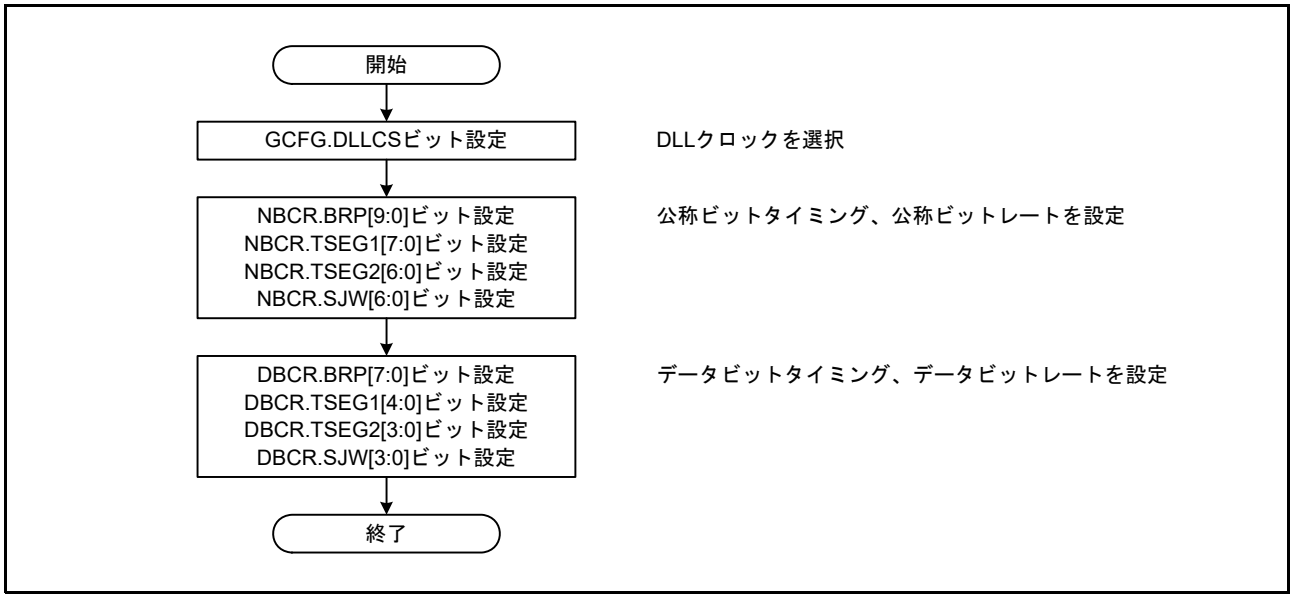


図 36.17 ビットタイミングとビットレートの設定手順

36.4.1.5 トランシーバ遅延補償

データフェーズに 5 ～ 8Mbps のような高いビットレートを使用した場合、トランシーバの内部遅延が TSEG1 よりも大きくなることがあります。その場合、送信回路は CAN FD フレームのデータフェーズでビットエラーを検出してしまいます。トランシーバ遅延補償機能は、送信回路自身が送信したビットを、そのビットのサンプルポイントで受信できない場合に補償します。

もう 1 つの象徴的なサンプルポイントとして、CAN FD フレームのデータフェーズでのみ使用される第二サンプルポイント (SSP) があります。図 36.18 に示すように、SSP はトランシーバ遅延補償結果ビット (FDSTS.TDCR[7:0]) から得られます。

設定の分解能、測定値、およびオフセット値は、DLL クロック基準です。

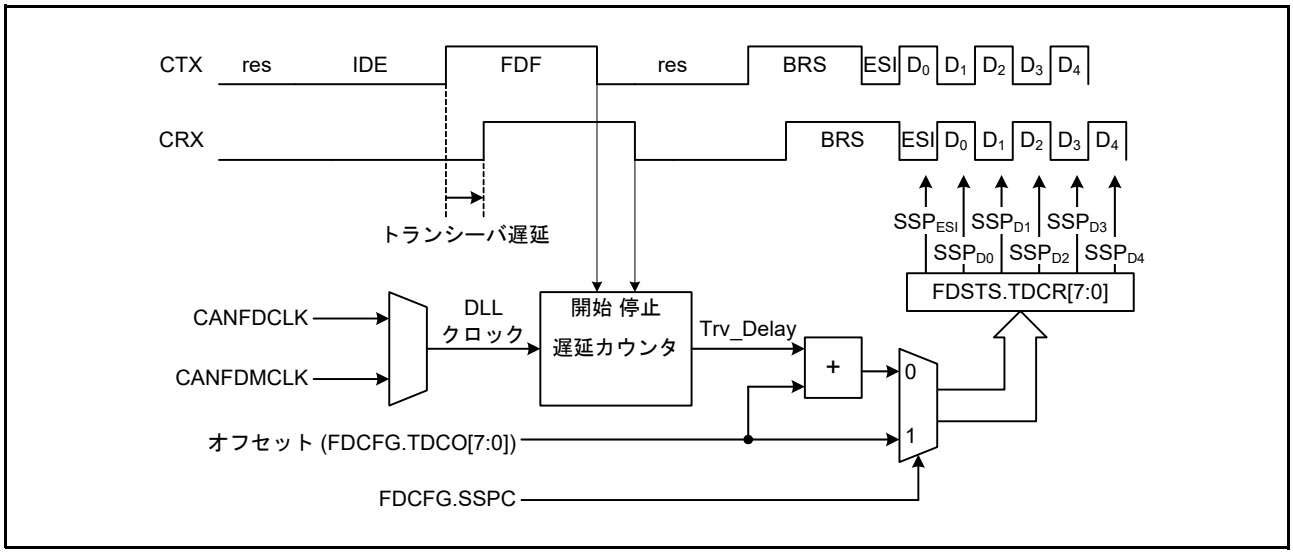


図 36.18　トランシーバ遅延補償

測定された遅延時間 Trv_Delay は、DLL クロックのサイクル数に基づいており、ドミナント値が CRX 端子で観測できるまで、開始クロックごとに 1 ずつカウントアップされます。図 36.19 に Trv_Delay の測定例を示します。Trv_Delay が各 DLL クロックで最大 127 までカウントされます。

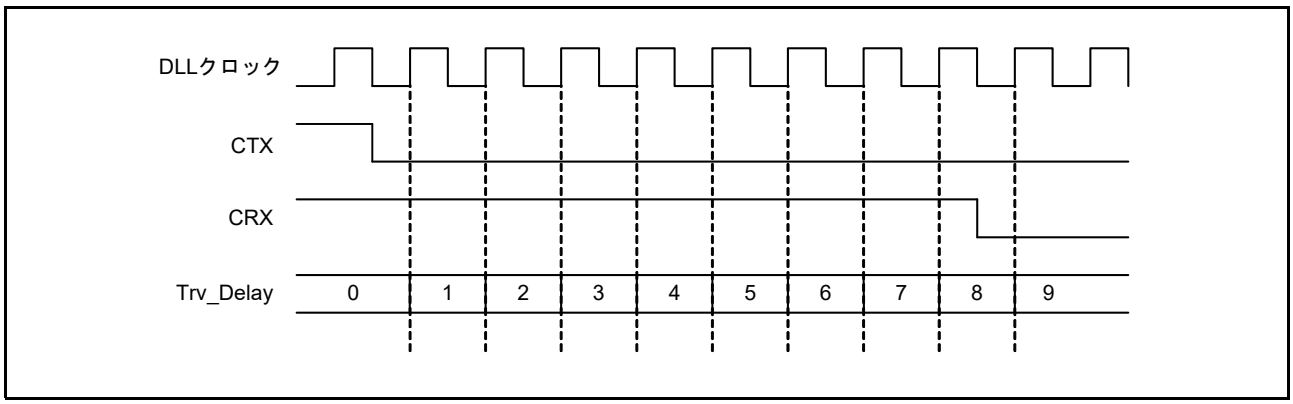


図 36.19　Trv_Delay の測定例

SSP は、FDSTS.TDCR[7:0] ビットからの結果を取り、その値をデータ Tq の最も近い整数値に切り捨てることで計算されます。

図 36.20 に、第二サンプルポイント (SSP) の決め方を示します。FDCFG.SSPC ビットが “0” のとき、SSP は Trv_Delay (測定された遅延時間) + FDCFG.TDCO[7:0] を、Tq の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO[7:0] の値は、SSP をサンプルポイントの理論上の位置に配置するため、データフェーズの SS + TSEG1 の大きさを持ちます。

FDCFG.SSPC ビットが “1” のとき、SSP は FDCFG.TDCO[7:0] ビットによって決まります。DBCR.BRP[7:0] ビットが “00h” より大きい場合、その値も Tq の最も近い整数値に切り捨てられます。

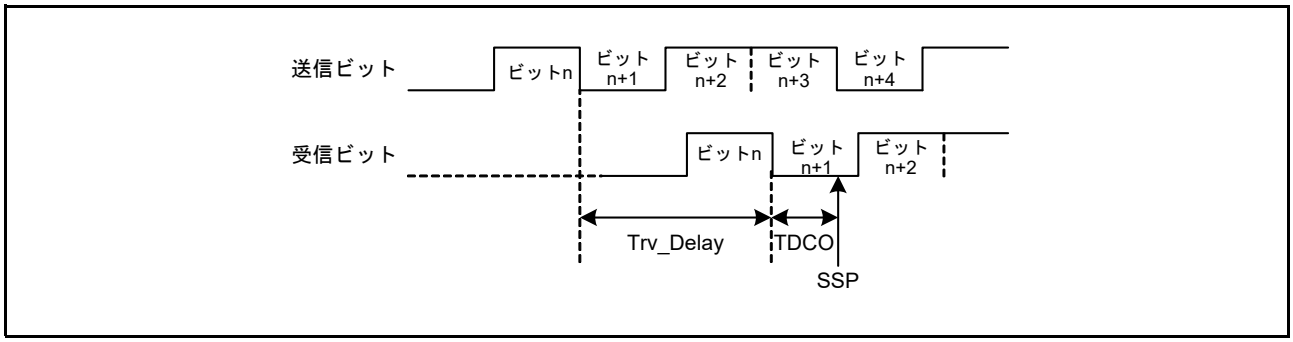


図 36.20　第二サンプルポイント (SSP) の決定

CANFD モジュールで補償できる最大遅延時間 (Trv_Delay + TDCO[7:0]) は、(6 データビット – 2 DLL クロック) です。

ISO 11898-1 では、BRP_data と BRP_nom に異なる値を設定することができます。

NBCR.BRP[9:0] ビットと DBCR.BRP[7:0] ビットの値が異なる場合、BRS ビットのサンプルポイントの後、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2 つの CAN ノードが同期がずれることがあります。この状況を図 36.21 に示します。

公称ビットタイムとデータビットタイムで、Tq の長さを同じにする必要があります。つまり、NBCR.BRP[9:0] = DBCR.BRP[7:0] に設定します。

タイムセグメントの異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは 8 ～ 385 Tq、データビットレートは 5 ～ 49 Tq に設定できます。

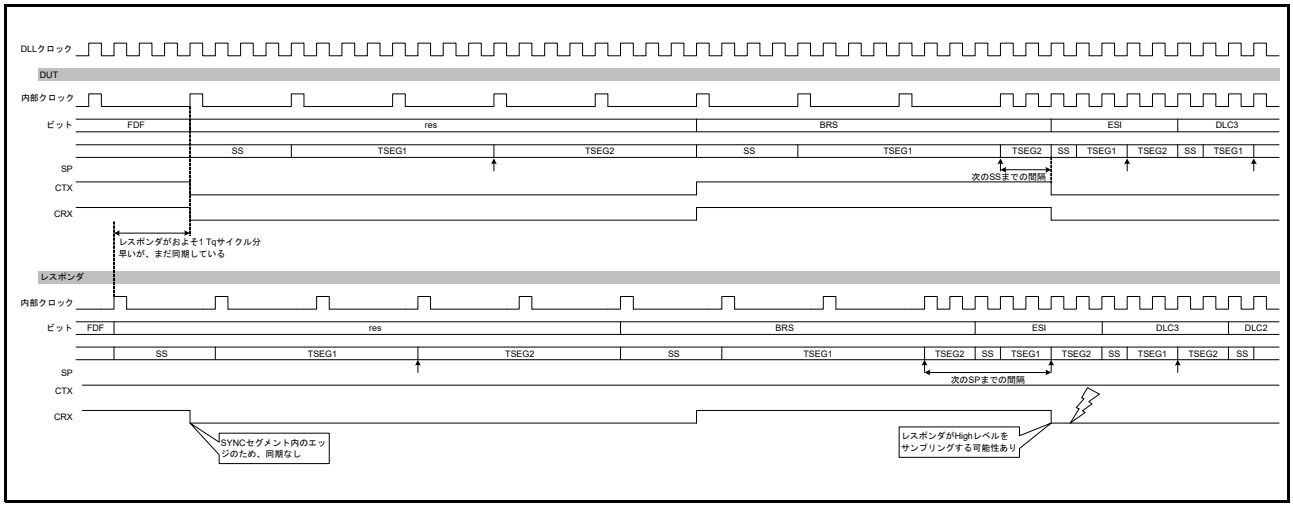


図 36.21　2 つの CAN ノード間の同期ずれ

適切に設定 (FDCFG.TDCE = 1, FDCFG.SSPC = 0) すると、トランシーバ遅延補償の測定結果は、FDF ビットから res ビットへの立ち下がりエッジで更新されます。

図 36.22 に、トランシーバ遅延補償結果を取得するための読み出しフローを示します。

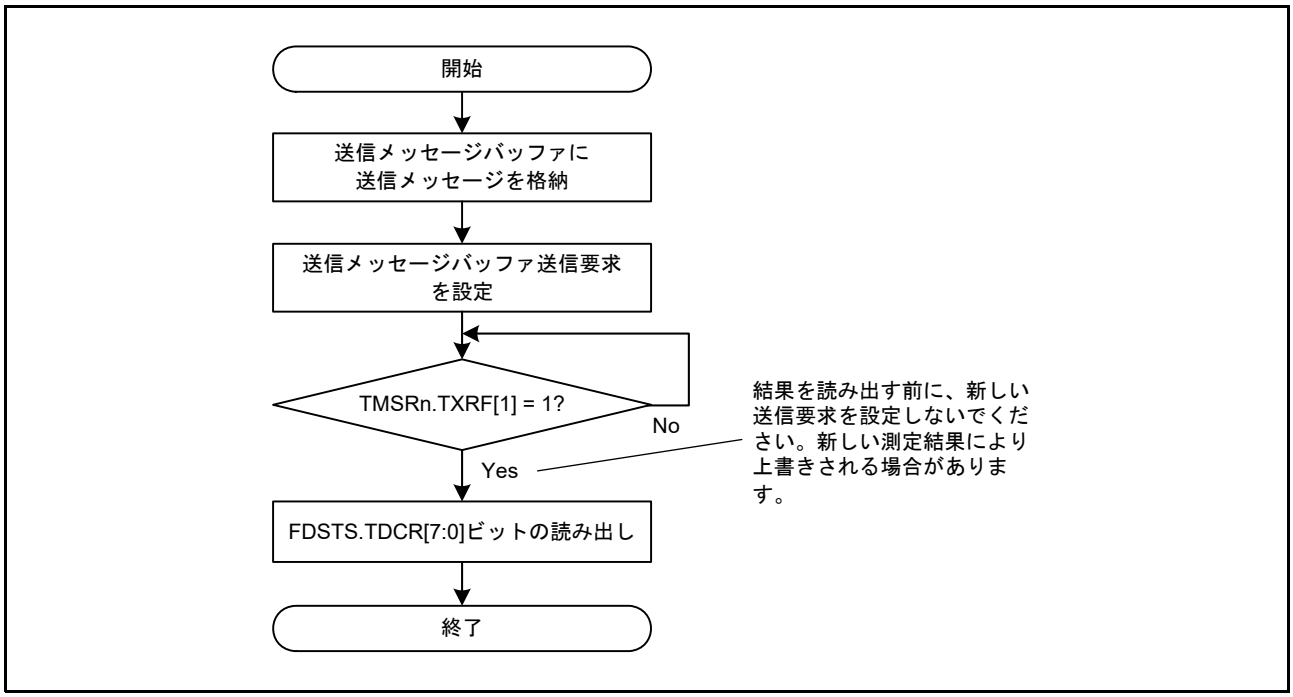


図 36.22　トランシーバ遅延補償結果読み出しフロー

36.4.2　リセット後の CANFD モジュール設定

MCU をリセットする、または GRCR.SRST ビットによるソフトウェアリセットを実行すると、CANFD モジュールは自動的に GL_SLEEP モードに遷移します。

CANFD モジュールの設定を行うには、GCR.SLPRQ ビットを “0” にして GL_SLEEP モードを解除する必要があります。

MCU がリセットされた後、モジュールストップ状態が解除されてクロックが供給されると、RAM の初期化が開始されます。このとき、GSR.RAMST フラグが自動的に “1” になり、CANFD モジュールが RAM を初期化していることを示します。

RAM の初期化が完了すると、このフラグは自動的に “0” になります。

RAM 初期化は、MCU リセット後の RAM 内の不定データによって、誤った ECC エラーが検出されるのを防ぐために必要です。

RAM の初期化が完了し、RAMST フラグが “0” になるまでは、CANFD の他のレジスタへのアクセス（読み出し / 書き込み）を行わないでください。

通信モードに入る前に、アクセプタンスフィルタリストとメッセージ FIFO バッファを設定する必要があります。また、CAN ビットタイミングなどの CAN チャネルの設定が必要です。この設定を行うには、CAN チャネルにおいて CH_SLEEP モードを解除し、CH_RESET モード (設定モード) で通信できるように設定してください。

図 36.23 に設定手順を示します。各ステップの詳細については、**「36.5　アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理」「36.6　FIFO バッファとメッセージバッファの構成」「36.10　割り込みと DTC/DMA 転送要求」「36.4.1.3　ビットレート」**を参照してください。

GRCR.SRST ビットを “1” にしてソフトウェアリセットを行った場合、CANFD モジュールは RAM の初期化シーケンスを実行しません。

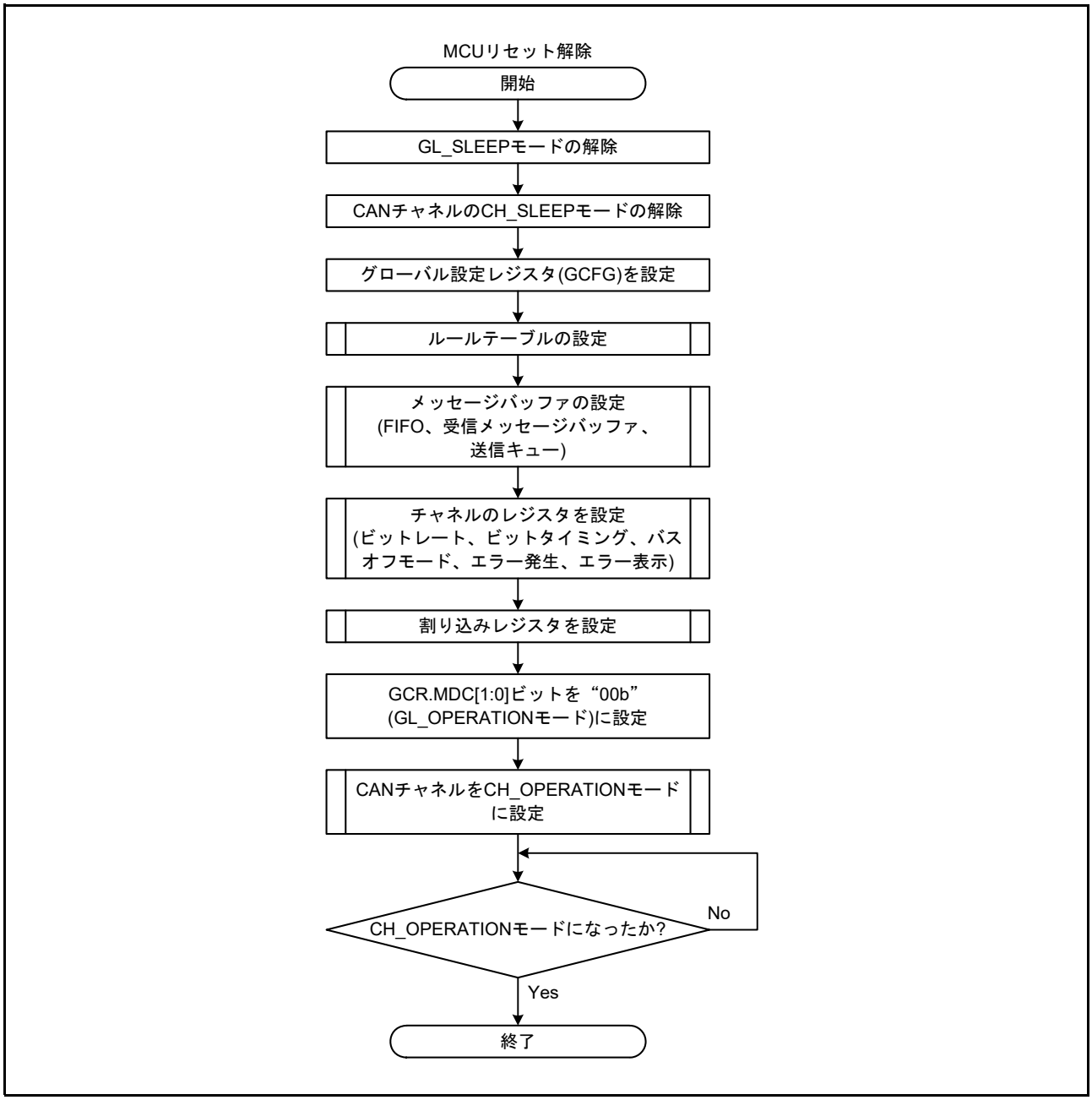


図 36.23　MCU リセット後の設定手順

36.5 アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理

CANFD モジュールでは、アクセプタンスフィルタリスト (AFL) を使用して、チャネルのメッセージ受付フィルタ処理を行うことができます。AFL の各エントリで、受信したメッセージに対するフィルタルールを定義します。

AFL エントリに基づいて以下の処理が実行されます。

- 受信メッセージの RTR 値、IDE 値、ID 値に基づくアクセプタンスフィルタ処理
- 受信メッセージの DLC 値に基づく DLC フィルタ処理
- GCFG.OMRC ビットに基づくペイロードオーバフロー処理
- 受け入れたメッセージを指定したメッセージバッファ /FIFO バッファに格納
- 格納したメッセージに指定した16ビットのポインタを付与(AUTOSARアプリケーションをサポートするためなど)
- 格納したメッセージに指定した 2 ビットの情報ラベルを付与

CANFD モジュールでは、最大 32 個の AFL エントリが利用可能です。

36.5.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、各 AFL エントリが受信メッセージと照合されます。照合は、AFL エントリ番号が最も小さいものから開始されます。

受信メッセージの ID と指定した ID/ マスクの組み合わせが一致したとき、または受信メッセージの ID が定義されたすべての AFL エントリと照合し終わったとき、AFL 検索は停止します。一致しなかった場合、受信メッセージは破棄されます。この場合、アプリケーションへの通知は行われません。

36.5.2 DLC フィルタ処理

DLC チェックが有効 (GCFG.DCE ビット = 1) であると、受け入れたメッセージに対して DLC フィルタ処理が実行されます。受信メッセージの DLC 値が、アクセプタンスフィルタ処理で ID が一致した AFL エントリ (以降、一致エントリ) に指定した DLC 値以上の場合、DLC チェックをパスします。

DLC 置換が有効 (GCFG.DRE ビット = 1) で、一致エントリに指定した DLC 値が “0000b” より大きいときに、DLC チェックをパスすると、一致エントリに指定した DLC 値が受信メッセージバッファ (RMBn) または FIFO バッファに格納されます。受信メッセージの DLC 値が一致エントリに指定した DLC 値よりも大きい場合、超過したデータバイトは RMBn/FIFO バッファに格納されません。超過したデータバイトの部分は、RMBn/FIFO バッファ上で “00h” になります。

DLC 置換が有効で、一致エントリに指定した DLC 値が “0000b” (DLC フィルタ無効) の場合、受信メッセージの DLC 値が RMBn/FIFO バッファに格納されます。

DLC 置換が無効 (GCFG.DRE ビット = 0) のときに DLC チェックをパスすると、受信メッセージの DLC 値が RMBn/FIFO バッファに格納されます。受信メッセージの DLC 値が、一致エントリに指定した DLC 値よりも大きい場合、超過したデータバイトも、RMBn/FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致エントリに指定した DLC 値よりも小さい場合、DLC チェックは失敗します。その場合、受信メッセージは破棄され、どこにも格納されません。

また、DLC チェックに失敗すると、GESR.DEDF フラグが “1” になります。割り込みが許可されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

36.5.3 メッセージ格納

受信メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方をパスした場合、メッセージは受信メッセージバッファ 0 ～ 31、受信 FIFO 0, 1、受信 FIFO モードに設定された共通 FIFO 0 のいずれかに格納されます。

このメッセージ格納先情報も、AFL エントリに定義されています。未定義の AFL エントリに格納先を指定しないでください。

メッセージの格納先は、最大 2 箇所まで指定できます。3 箇所以上指定しないでください。

36.5.4 ペイロードオーバフロー処理

受信メッセージに、格納先に保存可能なサイズ (RMCR.PLS[2:0], RFCR0.PLS[2:0], RFCR1.PLS[2:0], CFCR0.PLS[2:0]) よりも長いペイロードサイズのデータが含まれている場合のために、保護機構があります。

GCFG.OMRC ビット = 0 (メッセージを破棄) の場合、指定したペイロードサイズを超えるデータバイトを持つメッセージは破棄され、格納されません。この場合、FIFO がフルであっても、対応する FMLSR.RFML0、RFML1、CFML0 フラグは “1” になりません。

GCFG.OMRC ビット = 1 (指定したサイズにカット) の場合、指定したペイロードサイズを超えるデータバイトのみが破棄されます。この場合、FIFO がフルであると、対応する FMLSR.RFML0、RFML1、CFML0 フラグが “1” (メッセージロスト発生) になります。

GCFG.DRE ビットの設定に応じて、受信メッセージの DLC 値か AFL エントリに指定した DLC 値のいずれかが格納されます。

GCFG.OMRC ビットの設定に関わらず、ペイロードオーバフローが発生した場合は、GESR.PODF フラグが “1” になります。

DLC フィルタ処理は、ペイロードオーバフロー処理より前に実行されます。そのため、1 つの受信フレームに対しては、GESR.DEDF フラグまたは GESR.PODF フラグのいずれか 1 つのフラグのみ “1” になります。

36.5.5 AFL エントリの割り当て

AFL エントリの数 (ルール数) は、AFCFG.RN0[5:0] ビットで設定することができます (**図 36.24** 参照)。

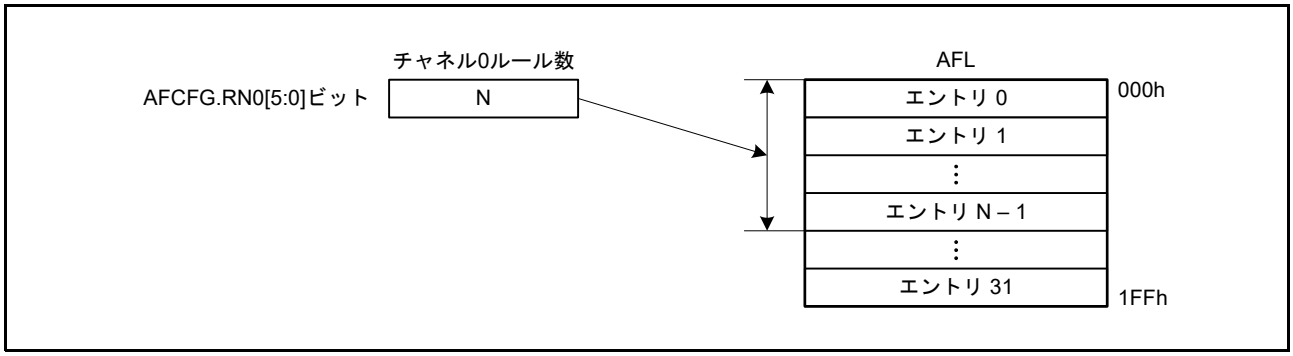


図 36.24 AFL の設定

1 チャネルあたりのルール数は 0 (チャネルにエントリが定義されていない状態) ～ 32 です。

CANFD モジュールでは、AFL の設定に関連したエラーは通知されません。

36.5.6 AFL エントリの説明

AFL エントリはそれぞれ 16 バイトで構成されています。すべてのエントリでフィールドは同一です。

各エントリには、アクセプタンスフィルタ処理および DLC フィルタ処理に使用される以下の情報が含まれます。

- ID フィールド (標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット) :
  アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドとこのフィールドを照合します (ID フィールドの 29 ビットを個別にマスクできます。後述の「ID マスクフィールド」の説明を参照してください)。
- IDE ビット :
  アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットとこのビットを照合し、ID フィールドの該当部分を選択してアクセプタンスフィルタ処理を行います (IDE ビットのマスクが可能です。後述の「IDE マスクビット」の説明を参照してください)。
- RTR ビット :
  アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム (RTR = 0) またはリモートフレーム (RTR = 1) のみを受け入れます (RTR ビットのマスクが可能です。後述の「RTR マスクビット」の説明を参照してください)。
- ループバック設定ビット :
  ループバック設定やミラーモード設定によって、AFL エントリを有効 / 無効にできます。
- ID マスクフィールド (29 ビット) :
  ID マスクフィールドの各ビットは、AFL エントリ内の対応する ID ビットをマスクすることができます (図 36.25 参照)。
- IDE マスクビット :
  AFL エントリの IDE ビットをマスクした場合、当該 AFL エントリでは、標準 ID フォーマットと拡張 ID フォーマットの両方メッセージを受け入れることができます。標準 ID フォーマットのメッセージに対しては、AFL エントリの標準 ID 部分と、拡張 ID フォーマットのメッセージに対しては、AFL エントリの拡張 ID 部分と比較されます。
- RTR マスクビット :
  AFL エントリの RTR ビットをマスクした場合、当該 AFL エントリでは、データフレームとリモートフレームの両方のフレームフォーマットを受け入れることができます。
- ポインタ (16 ビット) :
  この 16 ビットのポインタは、当該 AFL エントリが受け入れたメッセージに付加されます。このポインタは、メッセージバッファ領域にメッセージを格納する際に付加され、アプリケーションにてサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID の割り当てをサポートすることができます。
- 情報ラベル (2 ビット) :
  この 2 ビットのラベルは、当該 AFL エントリが受け入れたメッセージに付加されます。このラベルは、メッセージバッファ領域にメッセージを格納する際に付加され、アプリケーションにてサポート機能として使用できます。
- DLC フィールド :
  受信メッセージの DLC 値がこのフィールドに設定した値以上であれば、DLC チェックをパスします。
  AFL エントリの DLC 値が “0000b” の場合、当該エントリの DLC フィルタ処理は実質的に無効になります (受け入れられたすべてのメッセージが DLC フィルタ処理をパスします)。

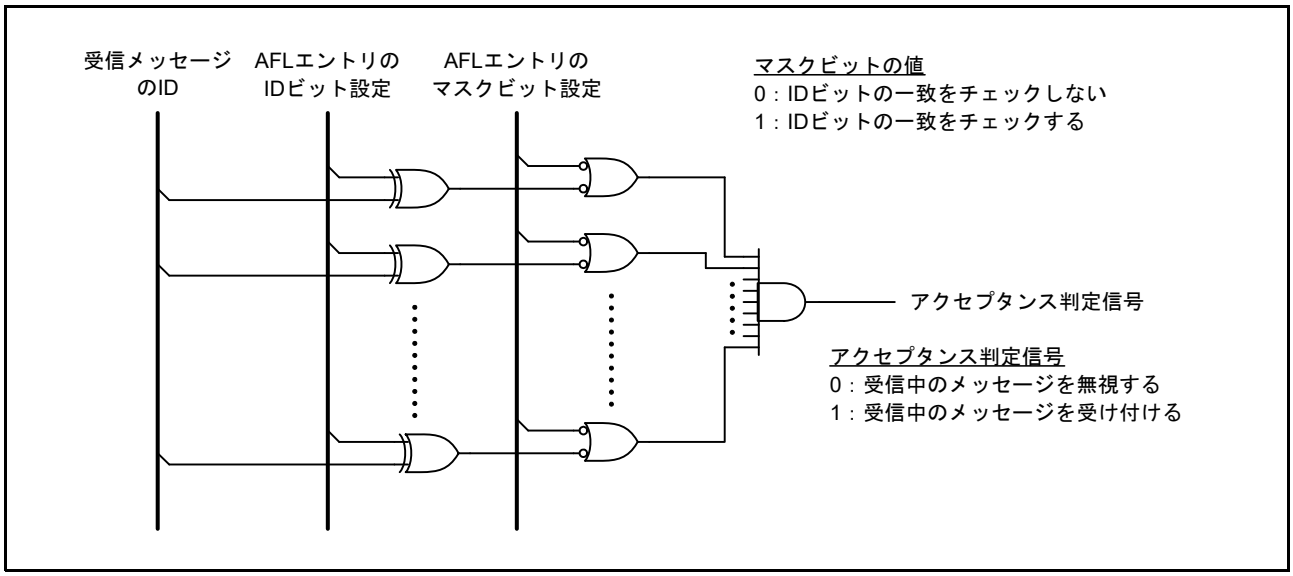


図 36.25　アクセプタンスフィルタ機能

各 AFL エントリには、受け入れたメッセージを処理するための以下の情報が含まれます。

- 受信メッセージの格納先として使用される、受信メッセージバッファのメッセージバッファ番号
- 受信メッセージの格納先として受信メッセージバッファを指定するための、格納先メッセージバッファ指定許可ビット
- 受信メッセージの格納先として FIFO を指定するための、FIFO 格納先許可ビット

メッセージの格納に関する保護機能はありません。そのため、FIFO 格納先許可ビットは慎重に設定する必要があります。

36.5.7 AFL へのエントリの入力

以下のレジスタを介して AFL 内にエントリを入力することができます。

- AFLn.IDR レジスタ：AFL エントリの第一部分
- AFLn.MASK レジスタ：AFL エントリの第二部分
- AFLn.PTR0 レジスタ：AFL エントリの第三部分
- AFLn.PTR1 レジスタ：AFL エントリの第四部分

これらのレジスタ 16 セットで AFL エントリの 1 ページを構成しています。CANFD モジュールには 32 個のエントリが存在し、AFCR.PAGE ビットでページを指定することにより、これらのエントリ全体にアクセスできます。AFL は CH_RESET モードまたは CH_HALT モードで設定してください。

表 36.19 に、ページと対応する AFL エントリを示します。

表36.19 ページとアクセスできるAFLエントリ

ページ	アクセスできるAFLエントリ
ページ0	エントリ0～15
ページ1	エントリ16～31

AFL のアクセス制御は、AFCR レジスタを使用して行います (図 36.26 参照)。このレジスタには以下のビットがあります。

- AFL ページ番号を選択する PAGE ビット
- AFL への不要な書き込みを防止するために、書き込みを許可 / 禁止する AFLWE ビット

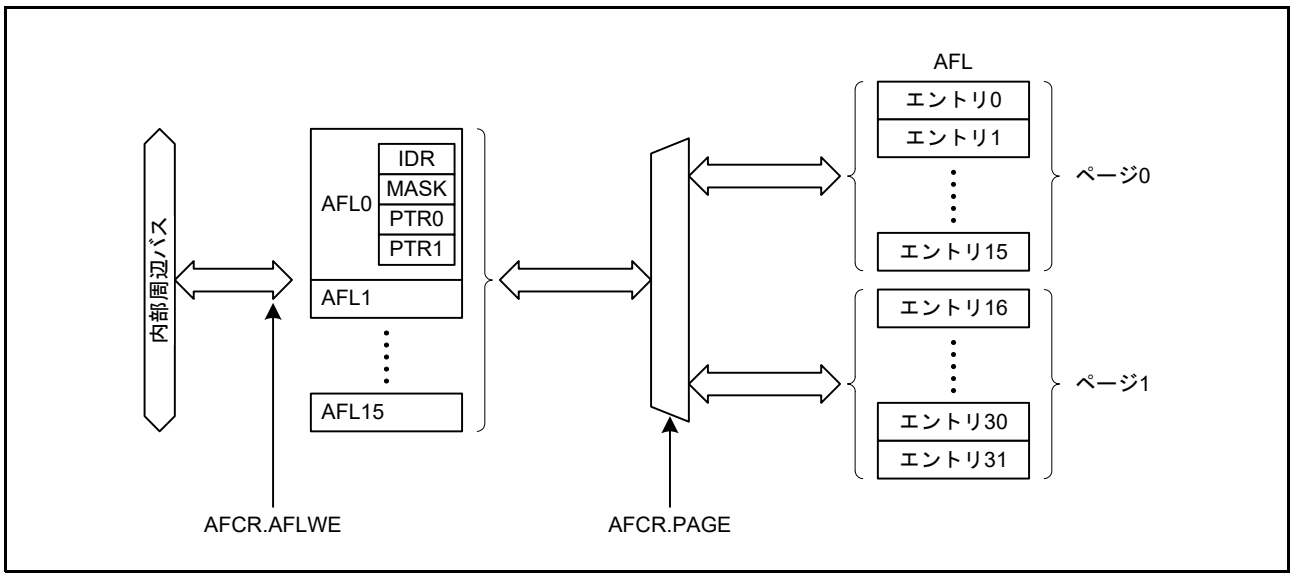


図 36.26 AFL のページアクセス

図 36.27 に示すフローに従って AFL を設定してください。

すべてのエントリを入力した後、AFL への不要な書き込みを防止するために AFL への書き込みを禁止する必要があります。

AFLWE ビットが “0” になっている場合、すべてのグローバルモード (GL_RESET、GL_HALT、GL_OPERATION) で書き込み保護が有効になります。

AFLWE ビットが “0” になっている場合でも、すべてのグローバルモードで AFL の読み出しが可能です (実行中に AFL の内容の整合性チェックが可能です)。

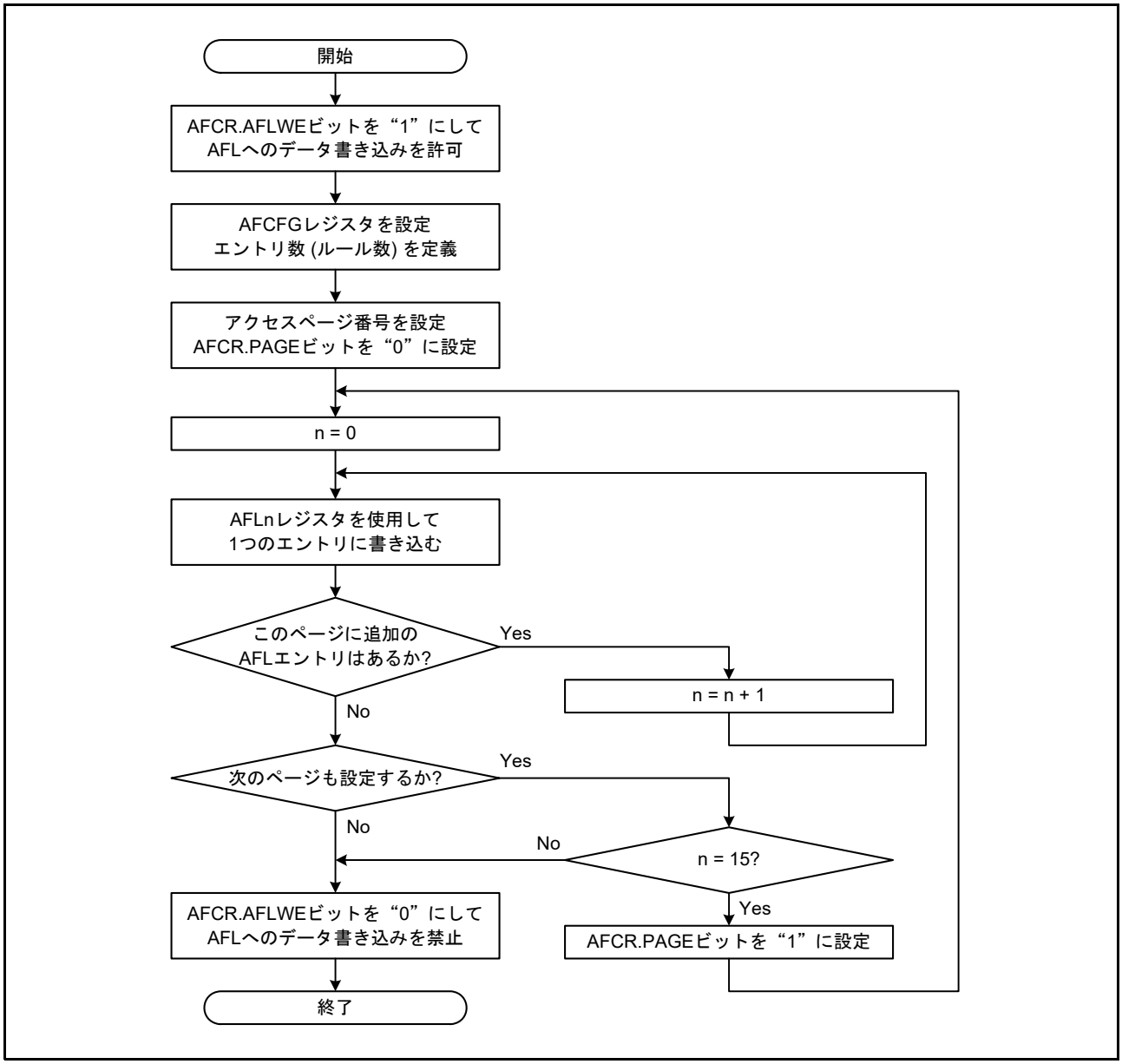


図 36.27　AFL 設定フロー

36.5.8 ループバック設定

AFLn.IDR.LPC ビットを “1” にした AFL エントリは、ループバックモード (セルフテストモード 0 またはセルフテストモード 1) またはミラーモード時に、自ノードが送信したメッセージを受信したときにのみ使用されます。CAN バス上の他のノードが送信したメッセージを受信した場合、当該 AFL エントリは使用されません。

LPC ビットを “0” にした AFL エントリは、以下のメッセージを受信したときにのみ使用されます。

- 他ノードが送信したメッセージ
- ループバックモード時に、自ノードが送信したメッセージ

ミラーモードは、GCFG.MME ビットで有効にすることができます。MME ビットが “1” の場合にメッセージ送信に成功すると、AFL 内に一致するエントリがあれば、そのメッセージが受信メッセージバッファまたは FIFO バッファに格納されます。なお、このメッセージを格納するには、当該 AFL エントリの LPC ビットを “1” にする必要があります。

ミラーモードとループバックモードが同時に設定されている場合、ループバックモードの動作が適用されます。

表 36.20 に、入力信号の設定によるアクセプタンスフィルタユニットの動作を示します。

表36.20 AFLエントリ内のループバック設定に基づくアクセプタンスフィルタの動作

ミラーモード (MMEビット)	ループバックモード (セルフテストモード0またはセルフテストモード1)	チャネルモード	LPCビット	AFLエントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注. 関連エントリに対する有効または無効という表現は、このAFLエントリが受信したメッセージIDと照合されるかどうかを示します。

36.5.9 IDE マスク処理

AFLn.MASK.IDEM ビットを “0” にした AFL エントリに設定されている IDE ビットは ID 照合に使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0] または ID[28:0] マッチングの使用が選択されます。

以下に例を示します。

- AFL エントリ x の ID およびマスクフィールドが次のようにされている場合
  – AFLx.IDR = C0553A20h → IDE = 1, RTR = 1, LPC = 0, ID[10:0] = 220h / ID[28:0] = 00553A20h
  – AFLx.MASK = 0000FFFFh → IDEM = 0. RTRM = 0, IDM[10:0] = 7FFh / IDM[28:0] = 0000FFFFh
- AFL エントリ x での 4 つの異なる受信 ID の照合結果を以下に示します
  – IDE = 0 で ID = 220h のフレームを受信した場合、一致とみなされます
  – IDE = 0 で ID = 320h のフレームを受信した場合、不一致とみなされます
  – IDE = 1 で ID = 1FFF3A20h のフレームを受信した場合、一致とみなされます
  – IDE = 1 で ID = 08803220h のフレームを受信した場合、不一致とみなされます

36.5.10 通信中の AFL エントリの更新

CAN 通信を無効にすることなく、AFL エントリを更新することができます。

更新したい AFL エントリ番号を無効エントリ選択ビットに設定して、無効エントリ許可ビットを “1” にします。

このとき指定したエントリ番号は、エントリを更新している間、AFL 照合から無視されます。

図 36.28 に AFL エントリの更新フローを示します。

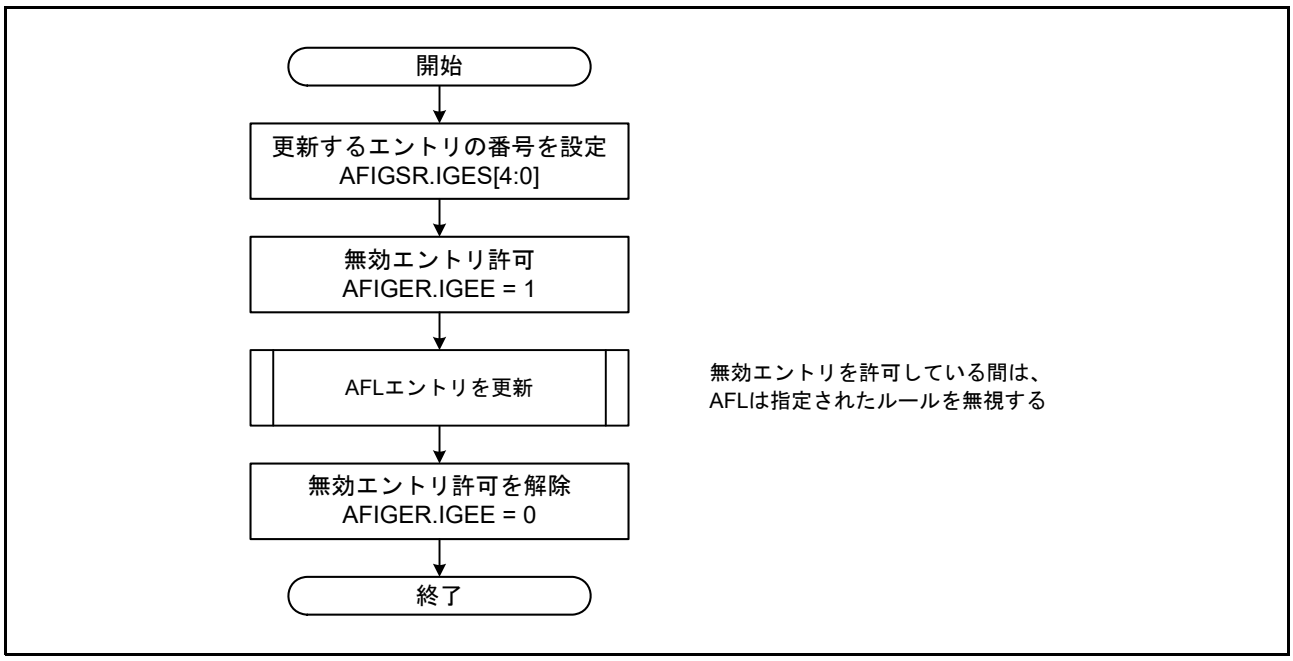


図 36.28 AFL エントリの更新フロー

AFL エントリの更新方法を以下に示します。

(1) AFIGSR.IGES[4:0] ビットに更新するエントリのエントリ番号 (注 1) を設定します。
(2) AFIGER レジスタに値 “0000C401h” (キーコード、無効エントリ許可) を設定します。
(3) AFCR.PAGE ビットに更新するエントリが含まれるページの番号を設定します。AFCR.AFLWE ビットを “1” にします。
(4) 新しいルールを AFLn.IDR、AFLn.MASK、AFLn.PTR0、AFLn.PTR1 レジスタに設定します。
(5) AFCR.AFLWE ビットを “0” にします。
(6) AFIGER レジスタに値 “0000C400h” (キーコード、無効エントリ許可を解除) を設定します。

注 1. このエントリ番号は、(2) から (5) までの間、アクセプタンスフィルタ処理に使用されません。

(1) 例 1 : エントリの削除

エントリの総数が 6 の場合に、エントリ 3 を削除する方法について説明します。

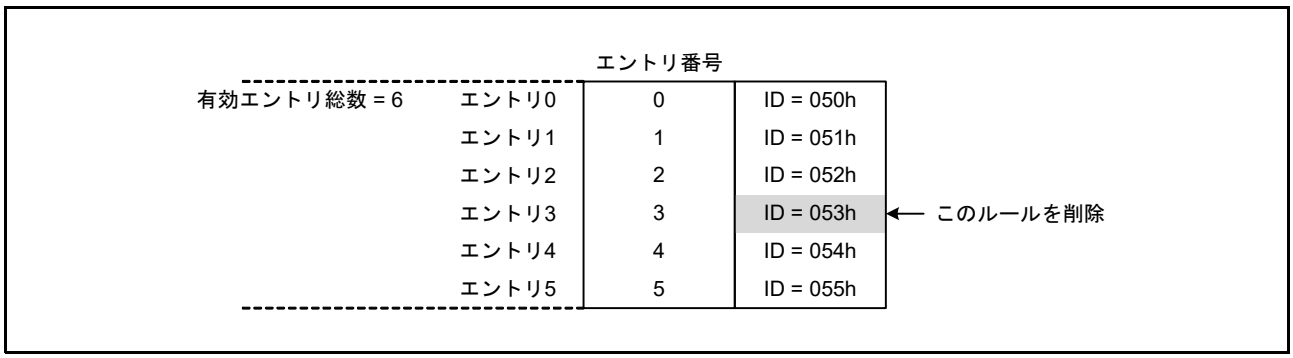


図 36.29 エントリの削除例 (エントリ 3 の削除前)

[エントリの削除方法]

(1) AFIGSR レジスタに “00000003h” を設定します。
(2) AFIGER レジスタに “0000C401h” を設定します。
(3) AFCR レジスタに “00000100h” を設定します。
(4) AFL3.IDR、AFL3.MASK、AFL3.PTR0、AFL3.PTR1 レジスタにアクセスし、1 つ前のエントリと同じルールを設定します。
(5) AFCR レジスタに “00000000h” を設定します。
(6) AFIGER レジスタに “0000C400h” を設定します。

エントリ 3 が削除されます。

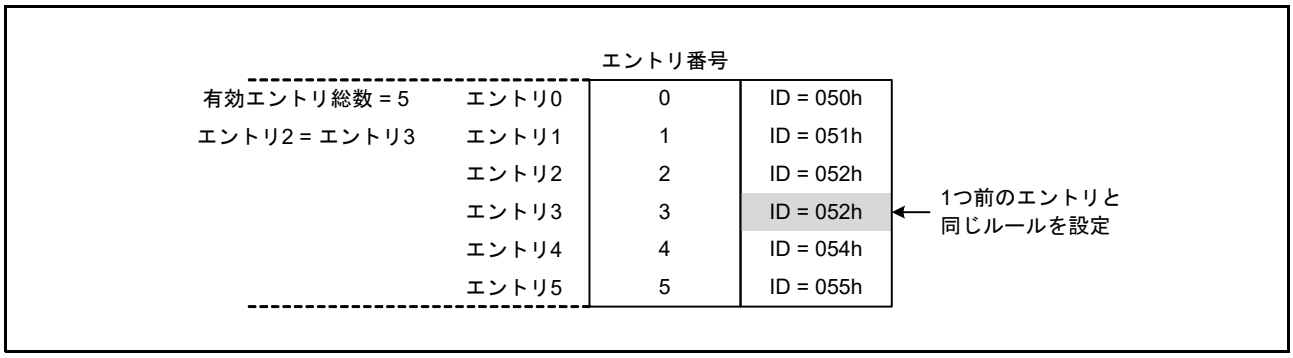


図 36.30 エントリの削除例 (エントリ 3 の削除後)

(2) 例 2：エントリの追加 (未使用エントリの更新)

エントリの総数が 6 の場合に、エントリ 3 に新規エントリを追加する方法について説明します。

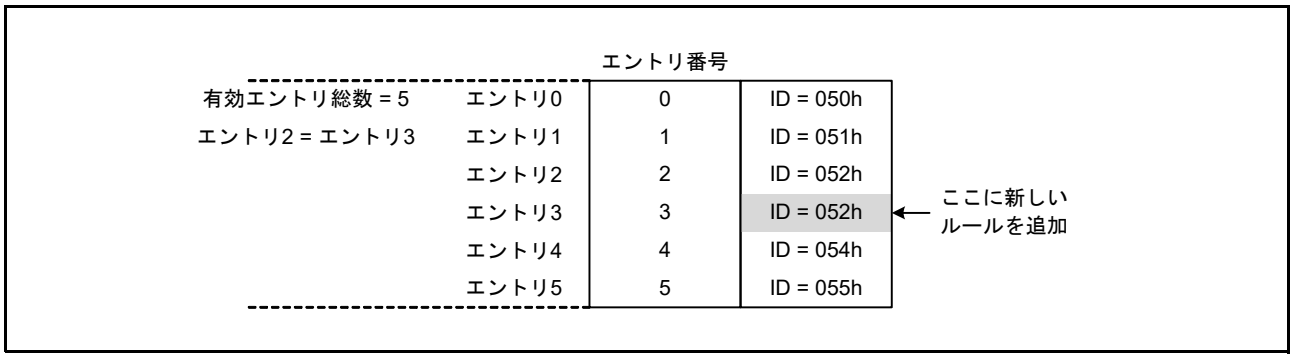


図 36.31 エントリの追加例 (エントリ 3 の更新前)

[エントリの追加方法]

(1) AFIGSR レジスタに “00000003h” を設定します。
(2) AFIGER レジスタに “0000C401h” を設定します。
(3) AFCR レジスタに “00000100h” を設定します。
(4) AFL3.IDR、AFL3.MASK、AFL3.PTR0、AFL3.PTR1 レジスタにアクセスして新しいルールを設定します。
(5) AFCR レジスタに “00000000h” を設定します。
(6) AFIGER レジスタに “0000C400h” を設定します。

これで新しいエントリが追加されます。

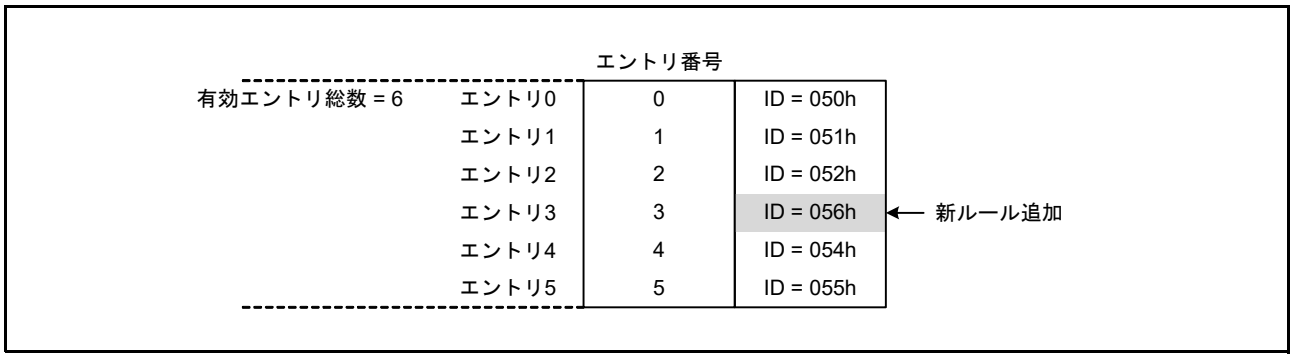


図 36.32 エントリの追加例 (エントリ 3 の更新後)

アクセプタンスフィルタは、AFCFG レジスタに設定された値の範囲のエントリを使用することができ、その範囲内でエントリの追加 / 削除が可能です。そのため、AFCFG レジスタには使用するエントリの最大数を設定する必要があります。

36.6 FIFOバッファとメッセージバッファの構成

ここでは、CANFDモジュールの受信メッセージバッファ、FIFOバッファ、送信メッセージバッファの数を設定する手順を説明します。図36.33にメッセージバッファの構成を示します。

受信メッセージバッファは、RMBnレジスタ(n = 0 ～ 31)でアクセスできます。

受信FIFOは、RFBnレジスタ(n = 0, 1)でアクセスできます。

共通FIFOは、CFB0レジスタでアクセスできます。

共通FIFOが送信FIFOモードに設定されている場合、CFB0レジスタによるFIFOバッファへのデータ書き込みのみが可能です。

共通FIFOが受信FIFOモードに設定されている場合、CFB0レジスタによるデータの読み出しのみが可能です。

送信メッセージバッファには、TMBnレジスタ(n = 0 ～ 3)でアクセスできます。

未使用のメッセージバッファを読み出すと、不定値が読み出されます。

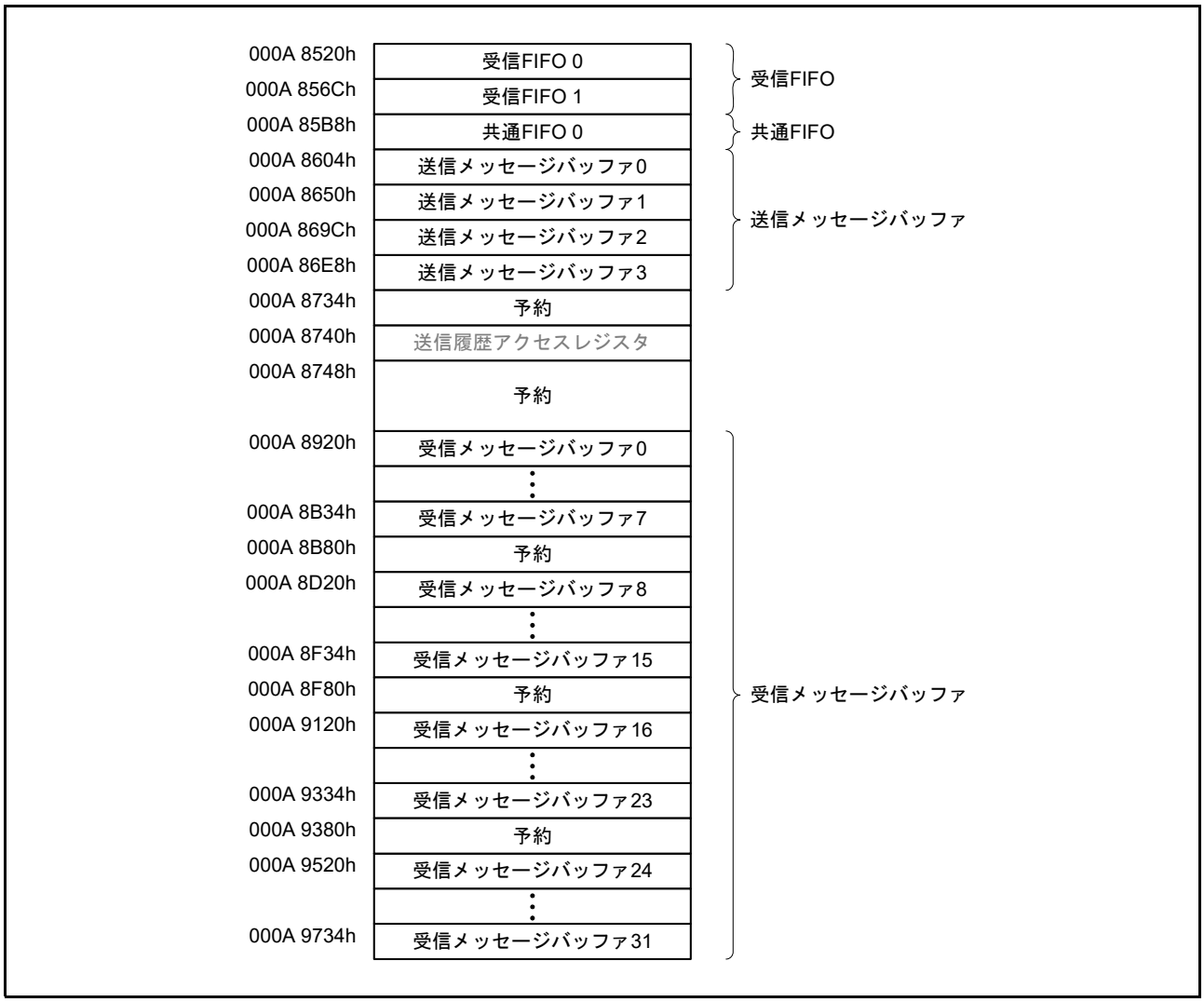


図36.33 メッセージバッファの構成

36.6.1 受信メッセージバッファ

CANFD モジュールでは、AFL エントリの構成に基づいて、受信したフレームを受信メッセージバッファに格納することができます。

また、システムに必要な受信メッセージバッファの数は、0 ～ 32 の範囲で選択することができます。

36.6.1.1 受信メッセージバッファの構成

CANFD モジュールの受信メッセージバッファの数は、RMCR.NMB[5:0] ビットに書き込むことで設定できます。

メッセージバッファの数は、0 (受信メッセージバッファなし) ～ 32 の範囲内で設定します。これより大きな値を設定しないでください。

受信したメッセージを受信メッセージバッファにルーティングできるようにするため、AFL エントリは、システムの要件に合わせて設定する必要があります。

また、AFL エントリは正しく設定してください。受信メッセージバッファ用の AFL エントリは、NMB[5:0] ビットに設定されているメッセージバッファの数を超えないようにしてください。

注 . CANFD モジュールには、AFL の設定ミスをチェックするための内部チェック機能はありません。

受信メッセージバッファのペイロードサイズは RMCR.PLS[2:0] ビットで設定できます。デフォルトは 8 バイトで、最大は 64 バイトです。

受信フレームのペイロードサイズが指定したペイロードサイズを超えた場合は、GCFG.OMRC ビットの設定に従って、メッセージが破棄またはペイロードがカットされます。

36.6.2 FIFO バッファ

CANFD モジュールは、受信 / 送信それぞれのフレームを格納するための FIFO バッファを用意しています。

受信専用の FIFO バッファの数は 2 個ですが、共通 FIFO を設定して、送信用または受信用のメッセージを格納することができます。

これらの FIFO バッファは有効 / 無効を切り替えることができ、システム要件に合わせて以下のパラメータを設定することができます。

- FIFO 段数
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージ上書き機構
- 送信 FIFO の場所

受信フレームのペイロードサイズが指定したペイロードサイズを超えた場合は、GCFG.OMRC ビットの設定に従って、メッセージが破棄またはペイロードがカットされます。

36.6.2.1 FIFO バッファの設定

CANFD モジュールでは、システム要件に合わせて FIFO バッファを設定することができます。

FIFO バッファの総数 = 受信 FIFO 2 個 + 共通 FIFO 1 個 = 3 個となります。

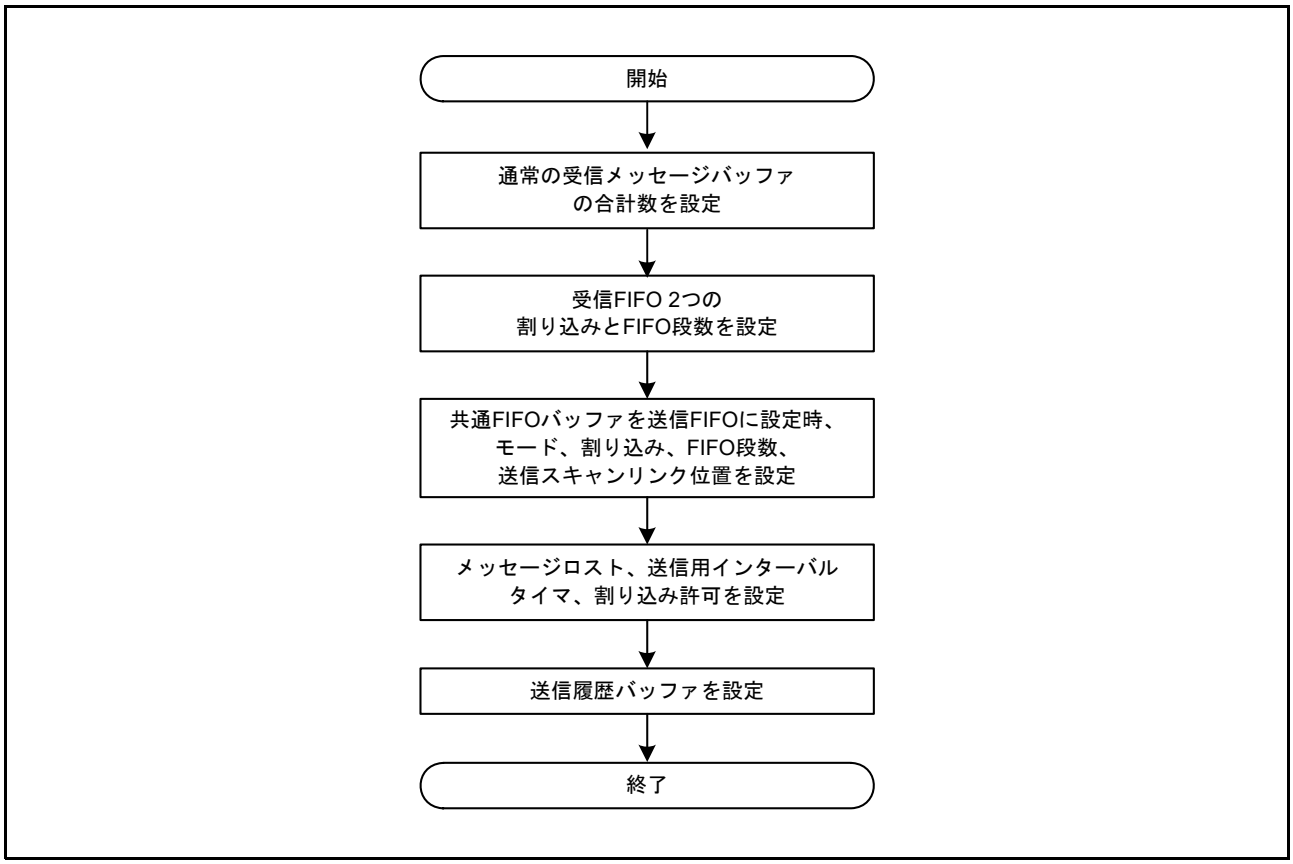


図 36.34 CANFD モジュールの FIFO バッファ設定フロー

図 36.34 に示すように、受信 FIFO コンフィギュレーション / 制御レジスタと共通 FIFO コンフィギュレーション / 制御レジスタに書き込むことで、各種 FIFO バッファを設定できます。

2 つの受信 FIFO に対しては、以下のパラメータを設定できます。

- 割り込み
- FIFO 段数
- ペイロードサイズ

共通 FIFO に対しては、以下のパラメータを設定できます。

- モード
- 割り込み
- FIFO 段数
- ペイロードサイズ
- 送信スキャンリンク位置

(1) 共通 FIFO の FIFO モード構成

共通 FIFO のモードは、CFCR0.MODE ビットに書き込むことで設定できます。共通 FIFO に設定可能なモードは以下の通りです。

- 0 : 受信 FIFO モード (MCU リセット後のデフォルトモード)
- 1 : 送信 FIFO モード

受信 FIFO と受信 FIFO モードに設定された共通 FIFO からは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて CANFD モジュールによってメッセージが格納されます。

送信 FIFO モードに設定された共通 FIFO では、メッセージの読み出しと書き込みが可能です。

ポインタは、新しいメッセージが FIFO バッファに格納されたときのみインクリメントされ、CANFD モジュールによって、対応する CAN チャネル上にメッセージが送信されたときのみデクリメントされます。

MCU リセット後、すべての共通 FIFO はデフォルトで受信 FIFO モードに設定されています。共通 FIFO を必要なモードに設定してから、FIFO バッファを有効にしてください。

(2) FIFO 送信メッセージバッファのリンク構成

共通 FIFO が送信 FIFO として設定されている場合、送信スキャンが行われるようにするには、FIFO バッファを通常の送信メッセージバッファにリンクする必要があります。

共通 FIFO にリンクされている送信メッセージバッファにはデータを書き込まないでください。また、共通 FIFO にリンクされている送信メッセージバッファは、送信キューの構成要素にならないようにしてください。

共通 FIFO の送信メッセージバッファとのリンクは、CFCR0.LTM[1:0] ビットに書き込むことで設定できます。送信メッセージバッファのリンク設定に使用可能なオプションは以下の通りです。

- 00b : 送信メッセージバッファ 0
- 01b : 送信メッセージバッファ 1
- 10b : 送信メッセージバッファ 2
- 11b : 送信メッセージバッファ 3

(3) FIFO 段数の構成

各 FIFO バッファの段数は、RFCRn.FDS[2:0] ビットおよび CFCR0.FDS[2:0] ビットに書き込むことで設定できます。使用可能なオプションは、以下の 6 つです。

- 000b : 0 メッセージ (FIFO バッファは使用できません)
- 001b : 4 メッセージ
- 010b : 8 メッセージ
- 011b : 16 メッセージ
- 100b : 32 メッセージ
- 101b : 48 メッセージ

受信メッセージバッファと FIFO バッファに割り当てられる RAM は、ペイロードサイズを 64 バイトに設定した場合、最大 16 メッセージ (1216 バイト) に制限されています。この上限を超えるような、受信メッセージバッファと FIFO バッファの設定は行わないでください。CANFD モジュールには、設定が正しいかどうかをチェックする機能はありません。

注 . 共通 FIFO の段数が 4 メッセージ以上 (CFCR0.FDS[2:0] > 000b) の場合、この FIFO が無効であっても有効であっても、共通 FIFO と送信メッセージバッファのリンクは有効になります。FIFO 段数が 0 メッセージの場合、この FIFO が無効であっても有効であっても、共通 FIFO と送信メッセージバッファのリンクは無効になります。

(4) FIFO ペイロードサイズの設定

各 FIFO バッファのペイロードサイズは、RFCRn.PLS[2:0] ビットおよび CFCR0.PLS[2:0] ビットに書き込むことで設定できます。段数設定に使用できる 8 つのオプションは以下の通りです。

- 000b : 8 バイト
- 001b : 12 バイト
- 010b : 16 バイト
- 011b : 20 バイト
- 100b : 24 バイト
- 101b : 32 バイト
- 110b : 48 バイト
- 111b : 64 バイト

受信メッセージバッファと FIFO バッファに割り当てられる RAM は、ペイロードサイズを 64 バイトに設定した場合、最大 16 メッセージ (1216 バイト) に制限されています。この上限を超えるような、受信メッセージバッファと FIFO バッファの設定は行わないでください。CANFD モジュールには、設定が正しいかどうかをチェックする機能はありません。

(5) FIFO 割り込みの設定

FIFO バッファの割り込み発生条件は、RFCRn.RFIM ビットおよび CFCR0.CFIM ビットに書き込むことで設定できます。使用できる 2 つのオプションは以下の通りです。

- RFIM/CFIM = 0 :
  - 受信 FIFO モード : FIFO の格納メッセージ数が RFCRn.RFITH[2:0]、CFCR0.CFITH[2:0] の値に達すると、割り込みが発生します
  - 送信 FIFO モード : 共通 FIFO が最終メッセージを正常に送信すると、割り込みが発生します
- RFIM/CFIM = 1 :
  - 受信 FIFO モード : 受信メッセージの格納が終了するたびに、割り込みが発生します
  - 送信 FIFO モード : メッセージが正常に送信されるたびに、割り込みが発生します

受信 FIFO の RFCRn.RFIM ビットが “0” の場合、RFCRn.RFITH[2:0] ビットの設定に基づいて割り込みが発生します。

同様に、受信 FIFO モードに設定された共通 FIFO の CFCR0.CFIM ビットが “0” の場合、CFCR0.CFITH[2:0] ビットの設定に基づいて割り込みが発生します。

割り込みを発生させる FIFO 格納メッセージ数の設定には、以下の 8 つが使用できます。

- 000b : FIFO が 1/8 フルのときに割り込みを発生させます
- 001b : FIFO が 1/4 フルのときに割り込みを発生させます
- 010b : FIFO が 3/8 フルのときに割り込みを発生させます
- 011b : FIFO が 1/2 フルのときに割り込みを発生させます
- 100b : FIFO が 5/8 フルのときに割り込みを発生させます
- 101b : FIFO が 3/4 フルのときに割り込みを発生させます
- 110b : FIFO が 7/8 フルのときに割り込みを発生させます
- 111b : FIFO がフルのときに割り込みを発生させます

この場合、格納メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、RFITH[2:0] ビットと CFITH[2:0] ビットの設定には、各レジスタの FDS[2:0] ビット (FIFO 段数の設定) によって**表 36.21** に示す制限があります。

表 36.21 FIFO割り込みしきい値とFIFO段数の設定

FDS[2:0]	RFITH[2:0] / CFITH[2:0]							
	111b (full)	110b (7/8)	101b (3/4)	100b (5/8)	011b (1/2)	010b (3/8)	001b (1/4)	000b (1/8)
000b (0メッセージ)	任意 (FIFO を有効にできません)							
001b (4メッセージ)	可能	設定禁止	可能	設定禁止	可能	設定禁止	可能	設定禁止
010b (8メッセージ)	可能							
011b (16メッセージ)	可能							
100b (32メッセージ)	可能							
101b (48メッセージ)	可能							

36.6.2.2 FIFO バッファの制御

受信 FIFO の割り込みを有効にするには、RFCRn レジスタ (n = 0, 1) の RFIE ビットを “1” にしてください。また、共通 FIFO の割り込みを有効にするには、CFCR0 レジスタの CFRIE ビットまたは CFTIE ビットのいずれかを “1” にしてください。

設定完了後、RFCRn.RFE と CFCR0.CFE ビットを “1” にして、各 FIFO を有効にすれば、メッセージの送受信ができるようになります。

36.7 受信 / 送信

36.7.1 受信

CANFD モジュールでは、チャネルで受信したメッセージは、AFL エントリに従って、受信メッセージバッファ、受信 FIFO、または受信 FIFO モードに設定された共通 FIFO に格納されます。

- 最大 32 個の受信メッセージバッファが設定可能
- 2 個の受信 FIFO が使用可能
- 最大 1 つの共通 FIFO が受信モードに設定可能

36.7.1.1 受信メッセージバッファへのメッセージ格納

メッセージが正常に受信され、受信メッセージバッファに格納されると、RMNDR レジスタの対応する NDF[n] フラグが “1” になります。

格納されたメッセージは、対応する受信メッセージバッファから読み出すことができます。

受信メッセージバッファに格納されたメッセージが読み出される前に、その受信メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって受信メッセージバッファの現在のメッセージが上書きされるのを防止するための機能はありません。このようなメッセージの消失が許容できない場合は、受信 FIFO を使用して関連するメッセージを格納してください。

注． 使用されなかったデータバイトは、DLC 値に応じて “00h” で埋められます。

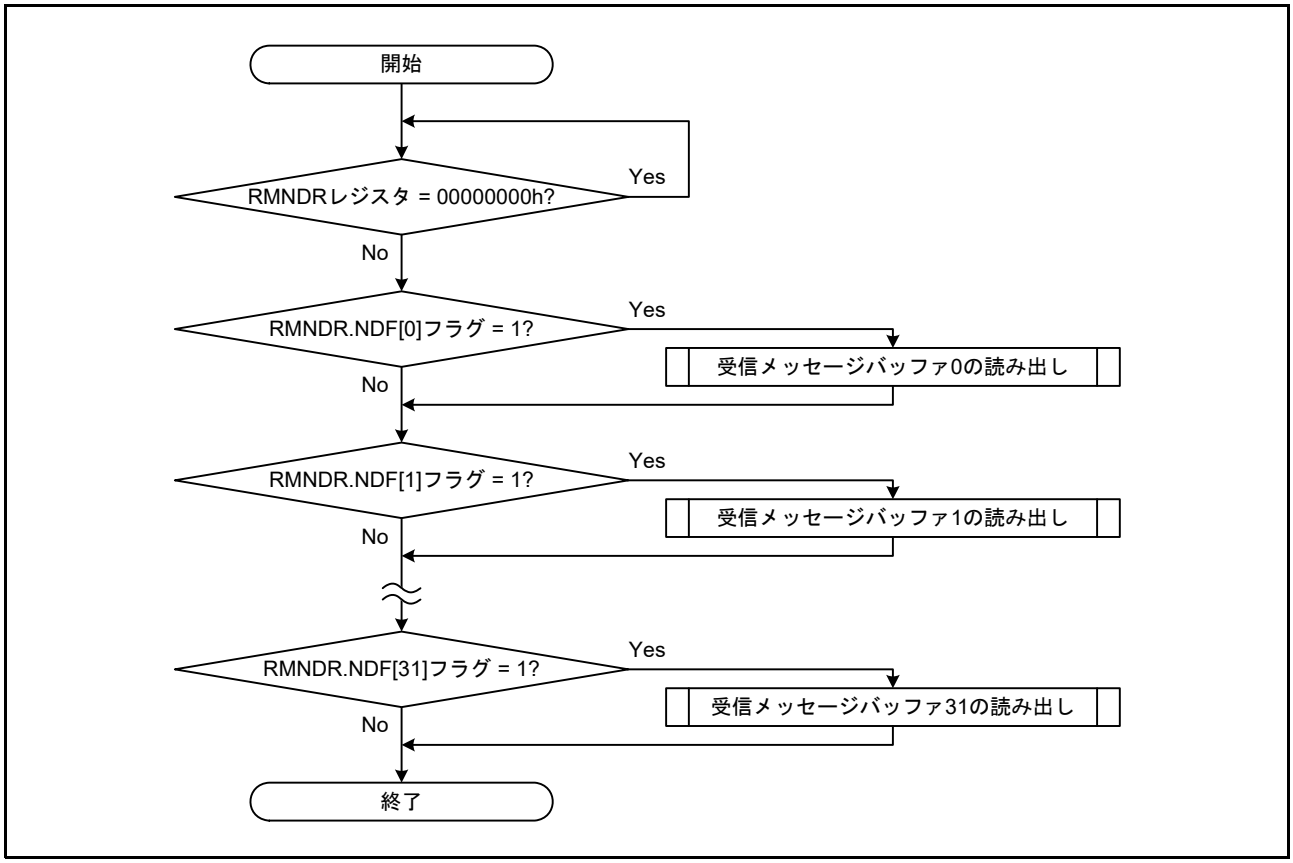


図 36.35 受信メッセージバッファのメッセージアクセスフロー例 (ポーリング)

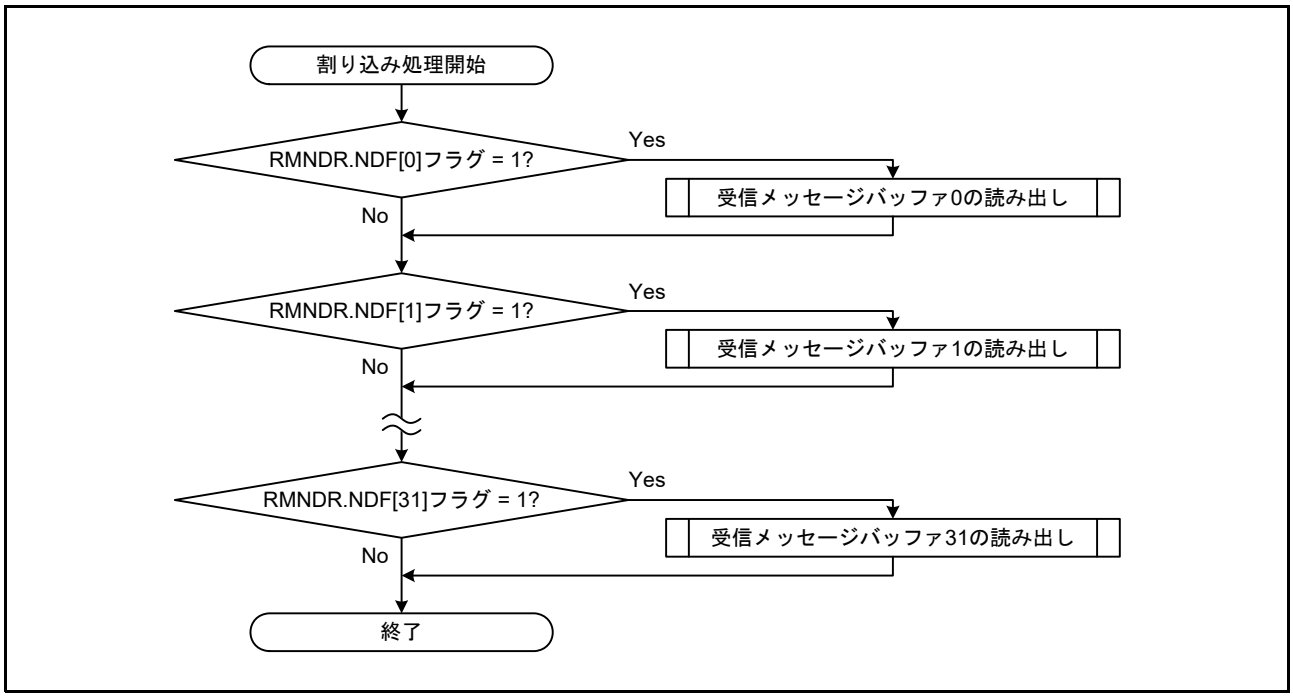


図 36.36　受信メッセージバッファのメッセージアクセスフロー例 (割り込み)

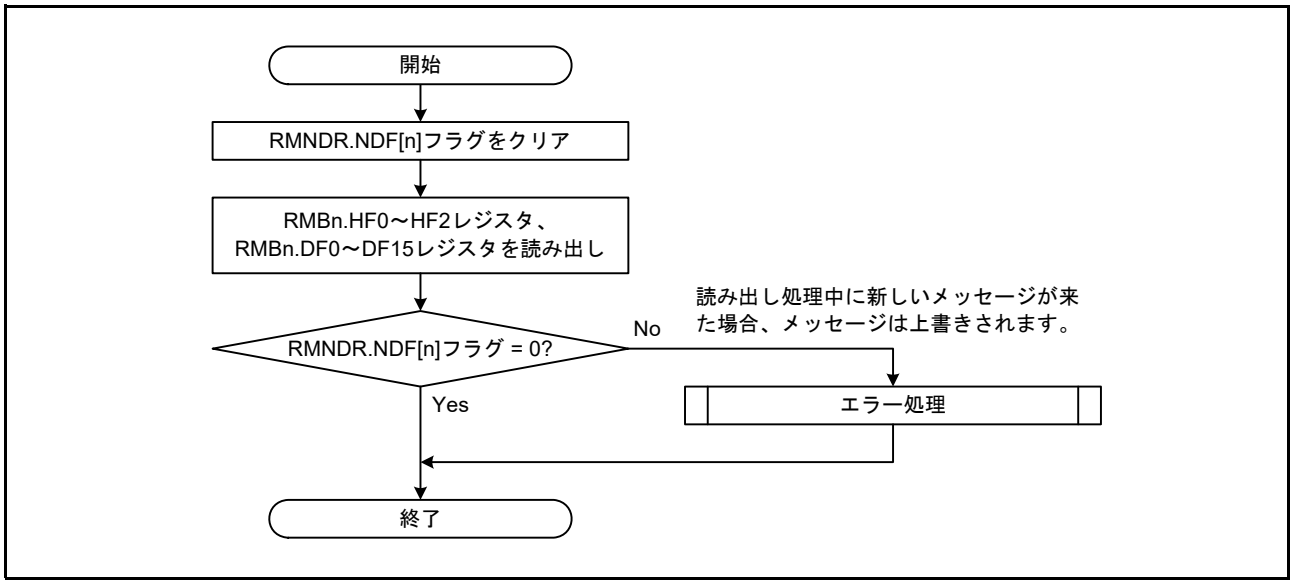


図 36.37　受信メッセージバッファ n の読み出しフロー例

36.7.1.2 FIFO バッファへのメッセージ格納

システム要件に合わせて AFL エントリを設定し、受信メッセージを、受信 FIFO または受信 FIFO モードに設定されている共通 FIFO にルーティングできるようにする必要があります。

一致した AFL エントリの AFLn.PTR1.RF0E、RF1E、CF0E ビットによって、受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の受信 FIFO または受信 FIFO モードに設定されている共通 FIFO に受信メッセージが格納されると、対応する受信 FIFO ステータスレジスタまたは共通 FIFO ステータスレジスタのメッセージカウンタの値がインクリメントされます。

FIFO バッファの設定によっては、割り込みが発生する場合があります。

メッセージは、対応する FIFO アクセスレジスタから読み出すことができます。

注 . FIFO バッファには多くのメッセージが格納されているため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 段数と一致すると、FIFO フルフラグが設定されます。

対応する FIFO ポインタ制御レジスタに “000000FFh” が書き込まれると、メッセージ数は 1 デクリメントされます。

FIFO ポインタ制御レジスタに “000000FFh” を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 段数と一致 (FIFO フル状態) するときに新しいメッセージが FIFO に格納されると、FIFO メッセージロストフラグが設定され、新しいメッセージは失われます (すでに格納されているメッセージの上書きは行われません)。

オーバランによるメッセージの消失を防ぐには、割り込み発生のしきい値として適切な値を設定し、FIFO フルになる前に割り込みを発生させさせてください。

受信 FIFO と、受信 FIFO モードに設定された共通 FIFO は、RFCRn.RFE ビットまたは CFCR0.CFE ビットをクリアすることで、いつでも無効にすることができます。

RFCRn.RFE ビットまたは CFCR0.CFE ビットがクリアされると、FIFO のメッセージの読み出しポインタおよび書き込みポインタはクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

受信 FIFO、または受信 FIFO モードに設定された共通 FIFO を DTC/DMA 転送で読み出す設定をした場合、CPU でその FIFO バッファを読み出したり、FIFO ポインタ制御レジスタ (RFPCR0、RFPCR1、または CFPCR0) に “000000FFh” を書き込まないでください。DTC/DMA 転送で読み出した場合、FIFO の読み出しポインタは自動的に更新されます。

注 . 割り込みフラグがセットされている FIFO バッファを無効にした場合、割り込みフラグは自動的にクリアされません。FIFO を無効にする前に、割り込みフラグをクリアしてください。

注 . また、受信割り込みフラグをクリアする前に次のフレームを受信した場合には、受信割り込みフラグは再度セットされません。

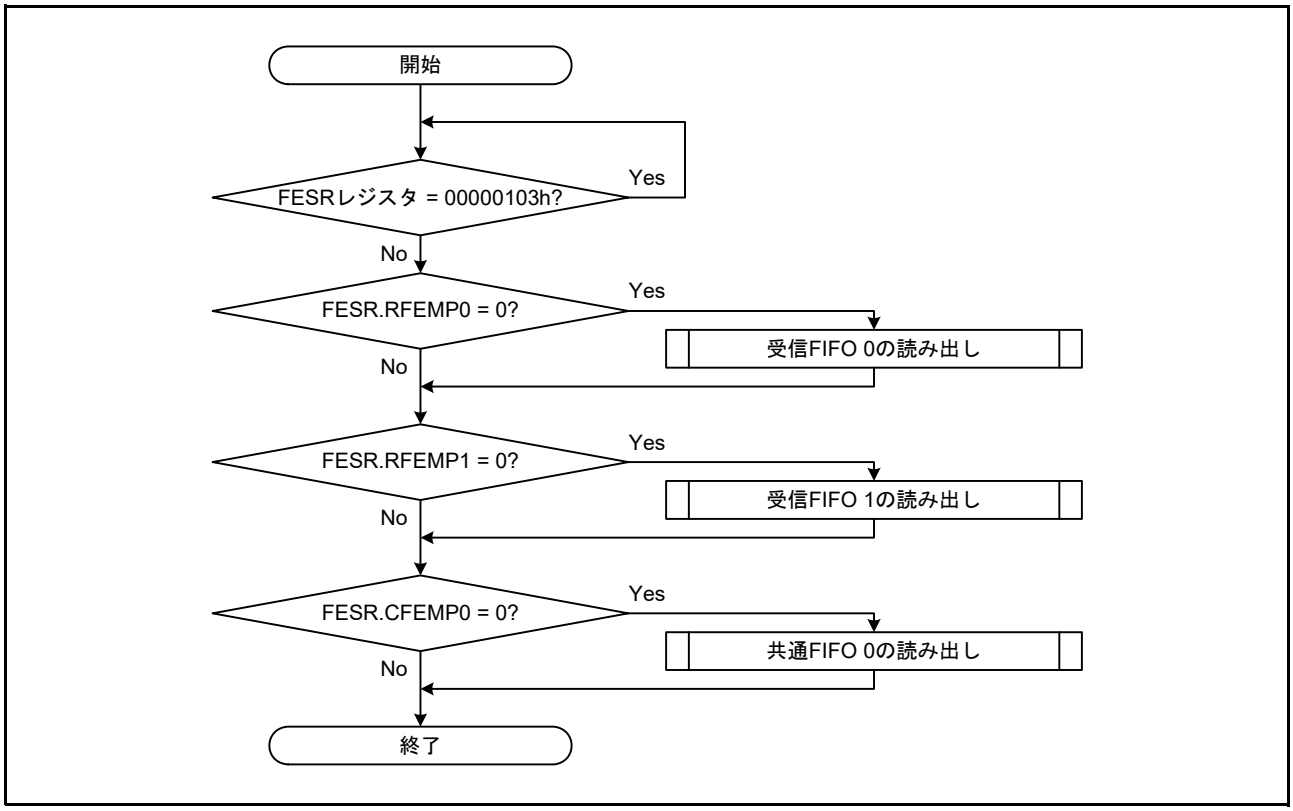


図 36.38　FIFO バッファのメッセージアクセスフロー例 (ポーリング)

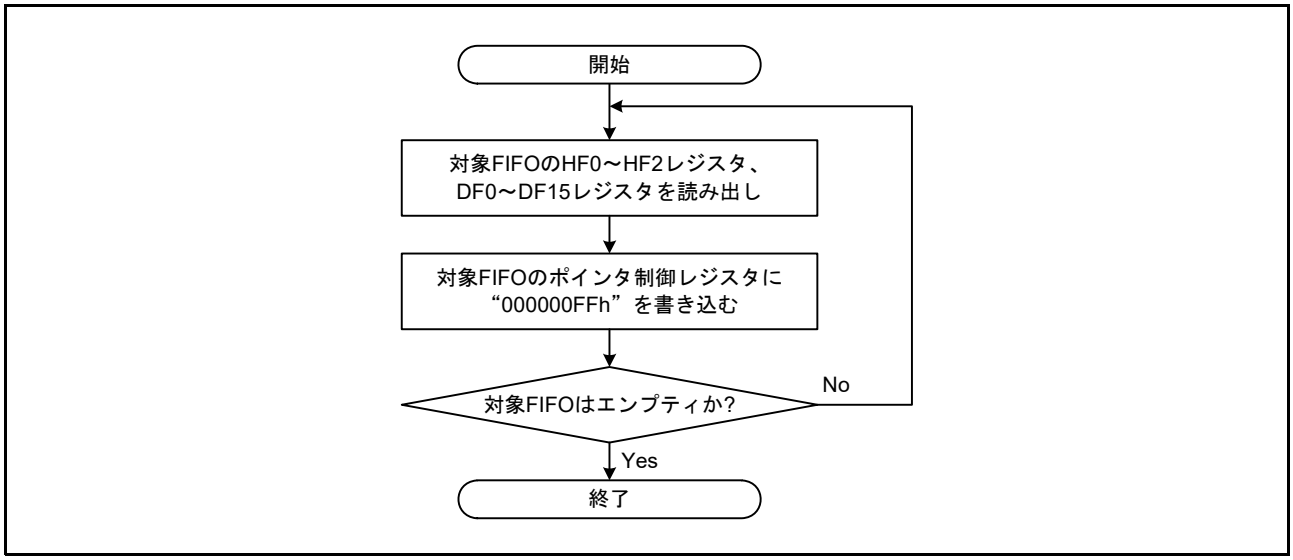


図 36.39　FIFO バッファの読み出しフロー例 (ポーリング)

FIFO の読み出し処理が終わった後に割り込みフラグをクリアした場合、そのときすでに次のフレームを受信済みであったとしても、割り込みフラグはセットされません。

FIFO の読み出し処理は、次のフレームの受信が完了する前に行い、割り込みフラグをクリアしておく必要があります。処理が間に合わない場合、FIFO が空であることを確認してから割り込みフラグをクリアし、再度 FIFO が空であることを確認してください。

36.7.1.3 タイムスタンプ

タイムスタンプカウンタは，受信メッセージの受信時間や、正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランカウンタです。タイムスタンプカウンタの値は、GFDCFG.TSCPS[1:0] ビットの設定 (SOF のサンプルポイント、フレームが有効であった場合の EOF、または CAN FD フレームの場合は FDF ビットに続く res ビットのサンプルポイント) に基づいてキャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の受信メッセージバッファまたは受信 FIFO に格納されます。

送信メッセージの場合、タイムスタンプカウンタの値は、送信履歴エントリの一部として格納されます。

カウンタには、PCLKB または CAN チャネルのビットタイムクロックからクロックを供給できます。カウンタのクロックソースは、GCFG.TSCS ビットで設定できます。GCFG.TSCS ビットが “0” の場合、PCLKB が使用されます。“1” の場合は、CAN チャネルのビットタイムクロックが使用されます。

タイムスタンプカウンタのクロックソースは、GCFG.TSP[3:0] ビット (タイムスタンププリスケーラ) で定義された係数で分周できます。

タイムスタンプカウンタは、GCR.TSCR ビット (タイムスタンプカウンタリセット) を使用して “0000h” にリセットすることができます。

36.7.2 送信

以下の複数の送信設定が可能です。

- 通常送信
- FIFO 送信
- 送信キュー送信

CANFD モジュールには 4 個の送信メッセージバッファがあります。これらのメッセージバッファは送信専用で、受信用に設定することはできません。

さらに、送信キューや送信 FIFO モードに設定された共通 FIFO からの送信は、以下の方法で設定することができます (図 36.40 参照)。

- 送信キュー

  3 つまたは 4 つの送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する送信キューを形成することができます。

  送信メッセージバッファ 0 が送信キュー 0 (TXQ0) のアクセスウィンドウとして動作します。
- 共通 FIFO (送信 FIFO モード)

  CANFD モジュールには、1 個の共通 FIFO があります。送信 FIFO モードに設定された共通 FIFO を、送信メッセージバッファ 0 ～ 3 のいずれかにリンクできます。リンクされた送信メッセージバッファは、共通 FIFO に置き換わります。リンクされた送信メッセージバッファの TMCRn レジスタや TMSRn レジスタにはアクセスしないでください。

注 . 共通 FIFO は、すでに送信キューの構成要素になっている送信メッセージバッファにリンクしないでください。

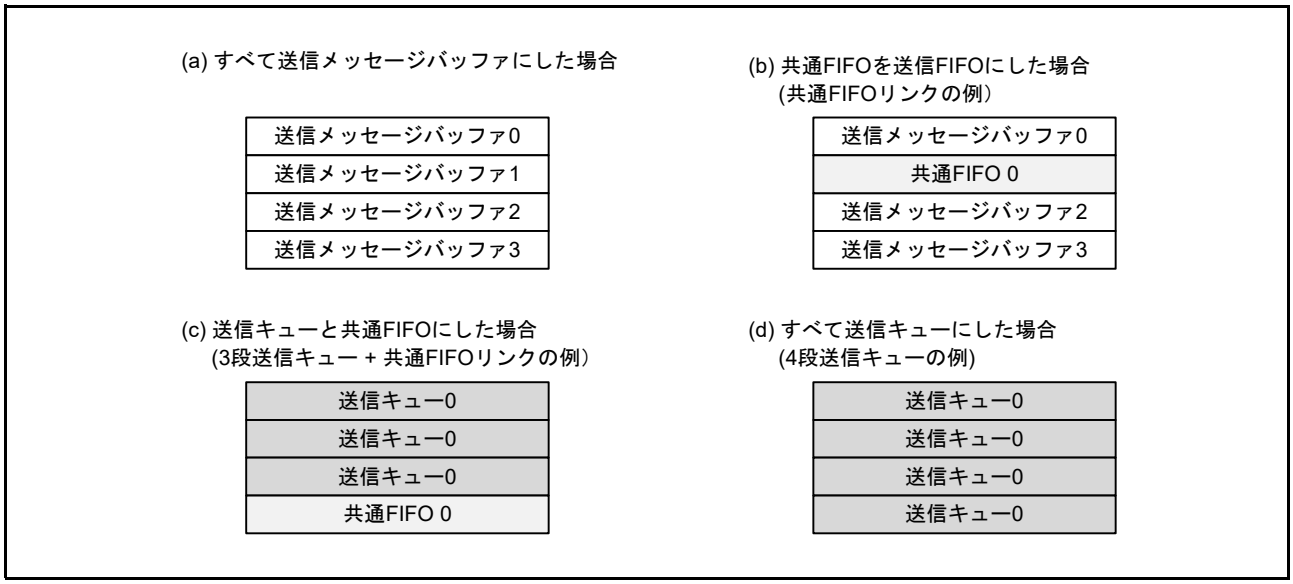


図 36.40　チャネル送信メッセージバッファの構成例

36.7.2.1　送信優先順位

チャネルで 2 つ以上の送信メッセージバッファが送信用に設定されている場合、CANFD モジュール内の送信優先順位は、以下の 2 つから選択されます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位は、すべてのメッセージバッファで共通です。GCFG.TPRI ビットを使用して設定できます。

メッセージバッファ番号優先送信では、送信要求のある中で最も小さいメッセージバッファ番号が、最も高い優先順位で送信されます。これには、送信モードに設定された共通 FIFO にリンクされた送信メッセージバッファも含まれます。

ただし、送信キューを使用する場合、メッセージバッファ番号優先にしないでください。

CAN ID 優先送信の場合、ID の優先順位は CAN バスアービトレーションルール (ISO 11898-1 仕様) に準拠します。すべての送信メッセージバッファは、送信用に設定されたメッセージバッファの ID 優先度比較対象に含めることができます。これには、送信 FIFO モードに設定された共通 FIFO にリンクされた送信メッセージバッファや、送信キューメッセージバッファも含まれます。

同じ ID を持つメッセージバッファが複数存在する場合は、メッセージバッファ番号が小さい方が優先的に送信されます。

注 .　送信 FIFO モードに設定された共通 FIFO の場合、現在 FIFO リードポインタが指しているメッセージのみを送信アービトレーションに含めることができます。
その FIFO からメッセージが送信されている場合、その FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。
これに対して、送信キューでは、送信キューのすべての送信メッセージバッファが内部送信アービトレーションの対象となります。

図 36.41 に、送信設定フローを示します。

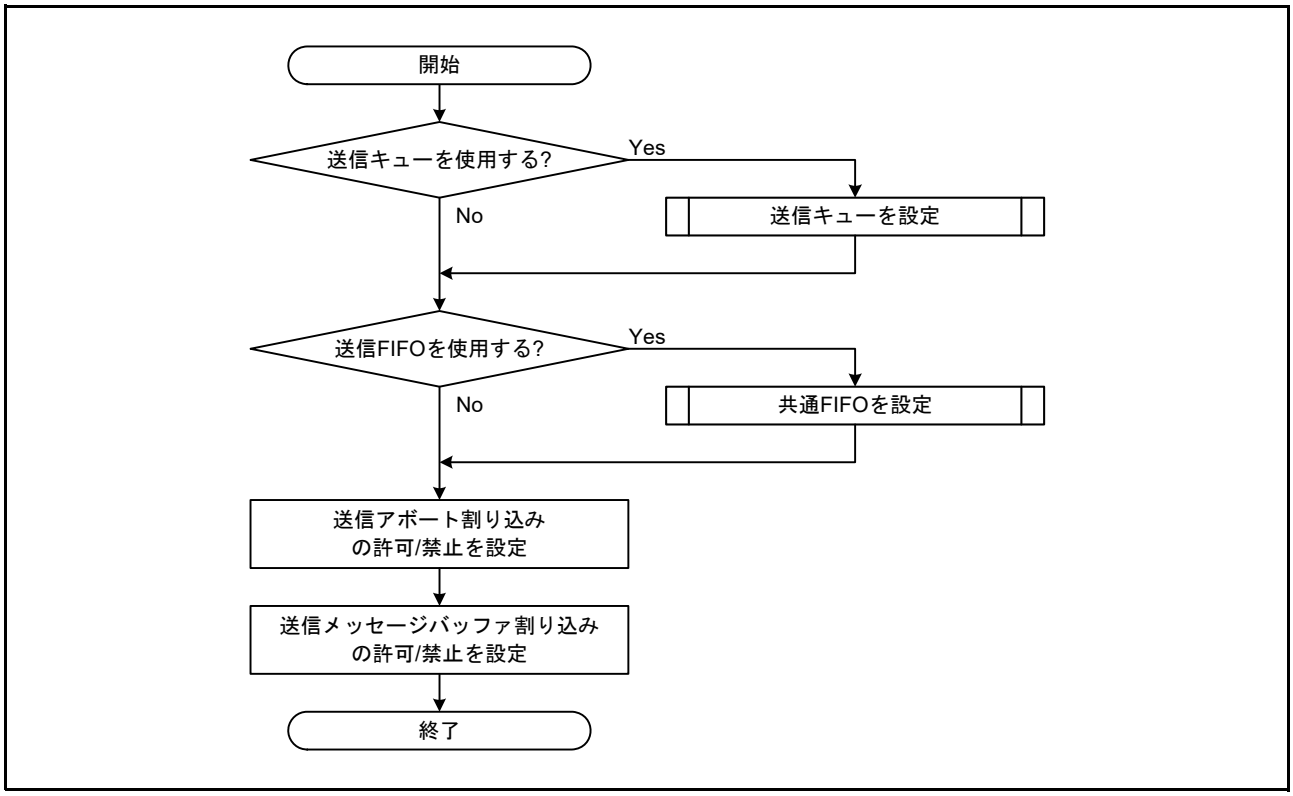


図 36.41　送信設定フロー

36.7.2.2　送信メッセージバッファからの送信

各送信メッセージバッファには、2 つの送信モードがあります。

- **通常送信モード**

  メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されているデータフレームまたはリモートフレームを送信できます。

  通常送信が完了したかどうかは、TMSRn.TXRF[1:0] フラグで確認できます。これらのフラグは、通常送信が正常に行われると “10b” または “11b” になります。

  アービトレーションロストが発生した場合や送信中にエラーが発生した場合、この送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージ送信が再試行されます。

  送信要求があるすべてのメッセージバッファを対象に、新たに内部送信アービトレーションが行われます。

- **ワンショット送信モード**

  TMCRn.ONESHOT ビットが “1” の場合、その送信メッセージバッファはワンショット送信モードになり、メッセージの送信を 1 回だけ試みます。

  ワンショット送信が完了したかどうかは、TMSRn.TXRF[1:0] フラグで確認できます。ワンショット送信が正常に行われると、TXRF[1:0] フラグは “10b” または “11b” になります。

  アービトレーションロストが発生した場合や送信中にエラーが発生した場合、TXRF[1:0] フラグは “01b” になります。この場合、メッセージ送信は再試行されません。

図 36.42 に、送信メッセージバッファからの送信要求手順を示します。

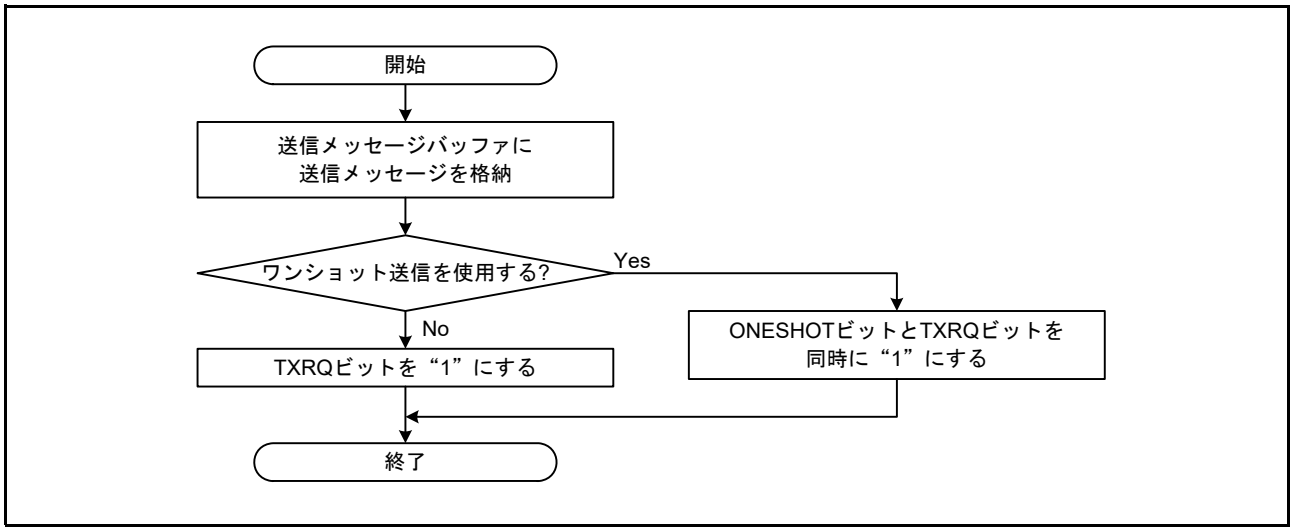


図 36.42　送信メッセージバッファからの送信要求手順

表 36.22 に、TMCRn レジスタの設定を示します。

表 36.22　TMCRn レジスタの設定

送信要求 TXRQ ビット	送信アボート要求 TARQ ビット	ワンショット送信許可 ONESHOT ビット	メッセージバッファの状態
0	0	0	通常送信停止
0	0	1	ワンショット送信停止
1	0	0	データフレームまたはリモートフレームを通常送信
1	0	1	データフレームまたはリモートフレームをワンショット送信
1	1	0	送信アボートを要求
1	1	1	ワンショット送信アボートを要求

図 36.43 に、2 つのメッセージバッファからの送信が成功したときのタイミングを示します。

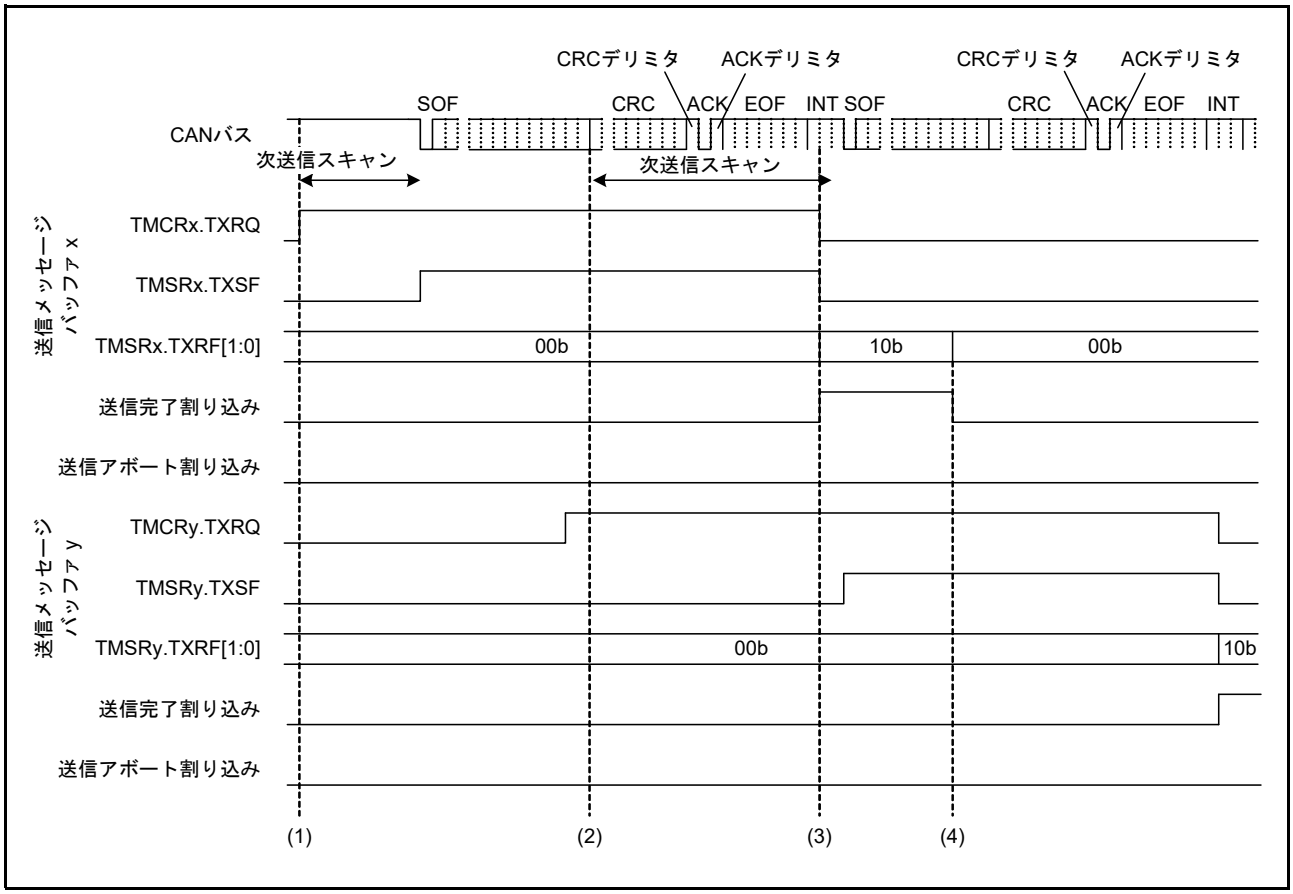


図 36.43　送信成功時の送信要求とフラグのタイミング

(1) バスアイドル時に TMCRx.TXRQ ビットを “1” にすると、メッセージバッファスキャン処理が開始され、優先順位が最も高いメッセージバッファが決定されます。
送信用メッセージバッファが決定されると、TMSRx.TXSF フラグが “1” (送信中) になり、CAN チャネルが送信を開始します (注 1)。

(2) 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信のための送信スキャン処理が開始されます。

(3) メッセージが正常に送信されると、対応する TMSRx.TXRF[1:0] フラグが “10b” になり、TMSRx.TXSF フラグおよび TMCRx.TXRQ ビットがクリアされます。
TMIER0.TMIEx ビットが “1” (送信メッセージバッファ割り込み許可) に設定されている場合、送信成功割り込み要求が発生します。割り込みをクリアするには、TMSRx.TXRF[1:0] フラグをクリアする必要があります。

(4) 次の送信を開始する前に TMSRx.TXRF[1:0] フラグをクリアしてください。送信メッセージバッファに次のメッセージを書き込み、TMCRx.TXRQ ビットを再度 “1” にしてください。
TMSRx.TXRF[1:0] フラグをクリアする前に TMCRx.TXRQ ビットを再度 “1” にすることはできません。

注 . TMSRx.TXSF フラグがセットされるポイントは、SOF の先頭になるとは限りません。最大で標準 ID の開始点まで遅れる場合があります。

注 1. CAN チャネルの送信開始後にアービトレーションロストが発生した場合は、TMSRx.TXSF フラグがクリアされます。その後、CRC の 1 ビット目の始まりから、もう一度送信スキャン処理が行われ、優先順位が最も高い送信メッセージバッファが検索されます。
送信中またはアービトレーションロストに続くエラーが発生した場合は、エラーフレーム中に、優先順位が最も高い送信メッセージバッファを検索するために、送信スキャン手順が再度実行されます。

図 36.44 に、2 つのメッセージバッファに対して送信アボートを行った場合のタイミングを示します。

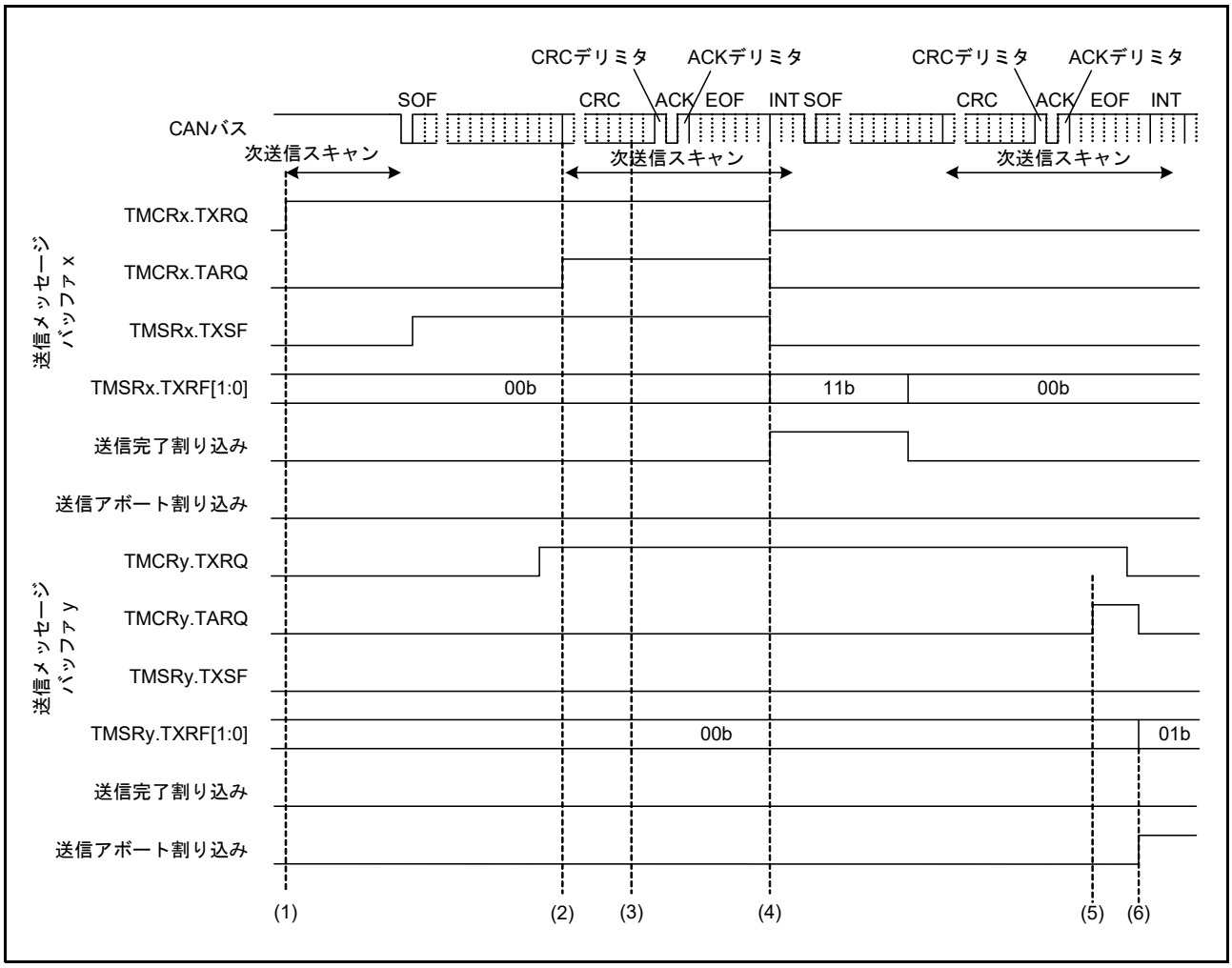


図 36.44　送信アボートの要求とフラグのタイミング

(1) バスアイドル時に TMCRx.TXRQ ビットを “1” にすると、メッセージバッファスキャン処理が開始され、優先順位が最も高いメッセージバッファが決定されます。
送信メッセージバッファが決定されると、TMSRx.TXSF フラグが “1” (送信中) になり、CAN チャネルが送信を開始します (注 1)。

(2) すでに送信用に選択されているか、現在送信中のメッセージバッファに対して、TMCRx.TARQ ビットを “1” にした場合、エラーが発生したりアービトレーションロストが発生しない限り、メッセージはアボートされません。

(3) CRC の 1 ビット目で、次の送信用の送信スキャン処理が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。

(4) メッセージが正常に送信されると、TMSRx.TXRF[1:0] フラグが “11b” になり、TMSRx.TXSF フラグおよび TMCRx.TXRQ ビットがクリアされます。
TMIER0.TMIEx ビットが “1” (送信メッセージバッファ割り込み許可) に設定されている場合、送信成功割り込み要求が発生します。
割り込みをクリアするには、TMSRx.TXRF[1:0] フラグをクリアする必要があります。

(5) CAN バス上で、別の CAN ノードが送信中 (TMSRy.TXSF フラグが設定されていない) の場合、関連チャネルが送信スキャン中に TMCRy.TARQ ビットを “1” にした場合、送信要求をクリアすることはできません。

(6) 内部処理時間が経過した後、送信はアボートされ、TMSRy.TXRF[1:0] フラグが “01b” になります。メッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されておらず、送信スキャン中でもない場合、アボートは直ちに受け入れられ、対応する TMSRy.TXRF[1:0] フラグは “01b” になります。
また、TMCRy.TXRQ ビット、TMCRy.TARQ ビットは自動的にクリアされます。
CHCR.TAIE ビットが “1” (送信アボート割り込み許可) に設定されている場合、送信アボート成功時に割り込みが発生します。
割り込みをクリアするには、TMSRy.TXRF[1:0] フラグをクリアする必要があります。

注 1. CAN チャネルが送信を開始した後にアービトレーションロストが発生した場合、TMSRx.TXSF フラグはクリアされます。その後、CRC の 1 ビット目の始まりから、もう一度送信スキャン処理が行され、優先順位が最も高い送信メッセージバッファが検索されます。
送信中またはアービトレーションロスト後にエラーが発生した場合、エラーフレーム中に送信スキャン処理が再度行われ、優先順位が最も高い送信メッセージバッファが検索されます。

36.7.2.3 FIFO バッファからの送信

CANFD モジュールには共通 FIFO が 1 つあります。送信 FIFO モードに設定されている場合、CFCR0.LTM[1:0] ビットを使用して、共通 FIFO を送信メッセージバッファにリンクすることができます。

送信スキャンが開始され、その送信メッセージバッファに対応する共通 FIFO が有効に設定されている場合、共通 FIFO 内の関連するメッセージが送信スキャンの対象になります。

送信 FIFO モードに設定された共通 FIFO にリンクされた送信メッセージバッファに対して、設定は行わないでください。

(1) 送信 FIFO の動作

送信 FIFO にメッセージを書き込むには、共通 FIFO バッファ 0 (CFB0) に書き込みます。

CFPCR0 レジスタに “000000FFh” を書き込むと、FIFO のメッセージ数が 1 インクリメントされます。

CFPCR0 レジスタに書き込むときは、CFB0 にメッセージを完全に書き終わってから行ってください。

メッセージ数が FIFO 段数と一致すると、CFSR0.FULL フラグが “1” になります。

送信 FIFO 内の最も古いメッセージが、送信スキャンの対象になります。

送信 FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、CFSR0.EMPTY フラグが “1” になります。

送信 FIFO バッファの割り込み発生条件は、CFCR0.CFIM ビットで設定できます。CFCR0.CFIM ビットが “0” の場合、送信 FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。CFCR0.CFIM ビットが “1” の場合、送信 FIFO バッファから正常に送信されるたびに割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに、割り込みを設定することができます。

送信 FIFO モードに設定された共通 FIFO は、CFCR0.CFE ビットを “0” にすることで無効にできます。このビットを “0” にすると、以下のタイミングで CFSR0.EMPTY フラグが “1” になります。

- 即座に設定：送信 FIFO からの次の送信予定がなく、また送信中でもない場合
- 送信完了後、CAN バスエラー検出後、アービトレーションロスト後、CH_HALT モードまたは GL_HALT モードに遷移後：送信 FIFO からの次の送信予定があるか、現在送信中の場合

注 . CFCR0.CFE ビットを “0” にした後、CFSR0.EMPTY フラグが “1” になっている場合のみ、共通 FIFO は無効とみなされます。

送信 FIFO バッファにその他の送信保留中メッセージがある場合、そのメッセージは失われるため送信を再度要求する必要があります。CFCR0.CFE ビットを再度 “1” にする前に、CFSR0.EMPTY フラグが “1” になっており、送信 FIFO バッファからの保留中のアボート要求がないことを確認してください。

CFCR0.CFE ビットを “0” にすると、FIFO のメッセージの読み出しポインタおよび書き込みポインタはクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO バッファにメッセージを格納することはできなくなります。

図 36.45 に、設定後の FIFO 送信要求手順を示します。

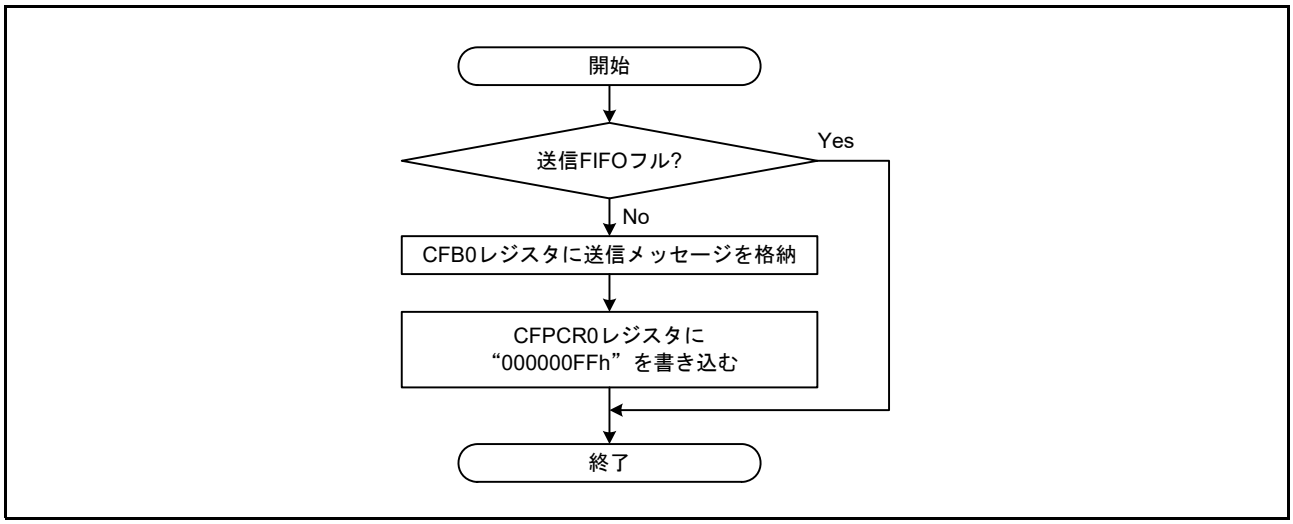


図 36.45　送信 FIFO 送信要求手順

(2)　FIFO 送信用のインターバルタイマ

送信モードの各共通 FIFO に対して、同じ FIFO バッファから送信するように設定された 2 つの連続するメッセージ間の遅延時間を指定することができます。この遅延をインターバルタイムと呼びます。このインターバルタイムは、CFCR0.CFE ビットを “1” にした後、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

送信モードの共通 FIFO が有効の場合は、このインターバルタイムを考慮せずに最初のメッセージが送信されます。

以下の場合に、インターバルタイマのカウントが停止します。

- CFCR0.CFE ビットを “0” にすることによって FIFO が無効になったとき
- CAN チャネルが CH_RESET モードのとき

インターバルタイムは、CFCR0.TINT[7:0] ビットの値で指定され、0 ～ 255 のタイマ単位で指定できます。

タイマ単位は、インターバルタイマ用の 2 つの異なるクロックソースに基づいて定義することができます。FIFO 送信用のインターバルタイマを無効にするには、値 0 を選択します。

クロックソースは、CFCR0.ITCS ビットで選択できます。クロックソースには、当該チャネルの CAN ビットタイムクロックまたは基準クロックを選択できます。

クロックソースとして CAN チャネルのビットタイムクロックを選択し、CAN チャネルが CH_HALT、CH_RESET、CH_SLEEP モードに遷移した場合、そのチャネルのインターバルタイマは停止します。

インターバルタイマのクロックソースとして基準クロックを選択した場合、CAN チャネルが CH_RESET モードまたは CH_SLEEP モードに遷移したときのみインターバルタイマが停止します。

基準クロックを使用して、インターバルタイムを一定の時間単位で設定できます。これは、PCLKB に基づきます。GCFG.ITP[15:0] ビットは、PCLKB の周波数 / 周期と基準クロックの周期の関係を定義します。

PCLKB 周波数 / 周期に基づいて異なる基準クロック周期を実現するための GCFG.ITP[15:0] ビットの設定値については、表 36.23 を参照してください。

表36.23 インターバルタイマプリスケーラの設定例

PCLKB周波数(周期)	基準クロック周期		
	1 µs	100 µs	500 µs
16 MHz (62.5 ns)	16	1600	8000
20 MHz (50 ns)	20	2000	10000
32 MHz (31.25 ns)	32	3200	16000
50 MHz (20 ns)	50	5000	25000
60 MHz (16.67 ns)	60	6000	30000

さらに、CFCR0.ITR ビットを使用して、基準クロックの分解能を設定することができます。

インターバルタイムは、基準クロック周期に設定値で逓倍 (×1 または ×10) した値に基づきます。基準クロックベースのインターバルタイマを使用すると、ISO 15765-2 の分離時間の要件に準拠させることができます。分離時間は 100 µs ～ 127 ms の全範囲をカバーしています。

指定したインターバルタイムは、送信イベントが正常に終了した後 (CAN プロトコルの EOF7 状態の後) に開始します。

インターバルタイムが経過すると、送信 FIFO バッファから次の送信要求が発生します。したがって、インターバルタイムは、1 つの FIFO から送信される 2 つのメッセージ間の最小時間を定義します。

次のメッセージは、最も早くてもこのインターバルタイム後に送信されます。図 36.46 に、内部処理のタイミングの例を示します。

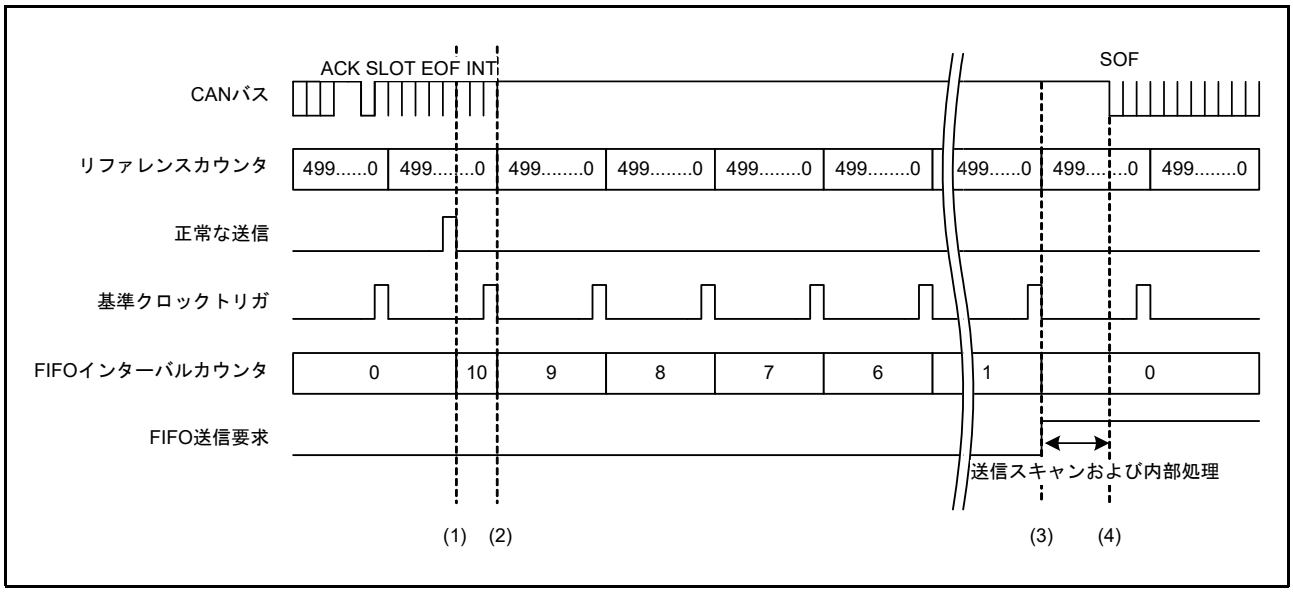


図 36.46 インターバル処理時間の例

図 36.46 のタイミングの設定は以下のようになります。

- PCLKB 周波数＝ 50 MHz
- インターバルタイマプリスケーラ (GCFG.ITP[15:0]) = 500 分周
- 上記設定による基準クロック周期 = 10 µs
- 共通 FIFO インターバルタイマクロックソース選択 (CFCR0.ITCS) = 0
- 共通 FIFO インターバルタイマ分解能 (CFCR0.ITR) = 0
- 共通 FIFO 送信インターバル時間 (CFCR0.TINT[7:0]) = 10 カウント
- 理論上のメッセージ分離間隔 = 100 µs

(1) 送信が正常終了すると、内部 FIFO インターバルタイマはリスタートします。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じかそれ以下になります。
(2) 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
(3) FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求が設定されます。
(4) FIFO が送信用に選択されている場合、すぐに送信が開始されます。内部処理のため、上記 3. で内部 FIFO 送信要求が設定されてから実際の送信までの時間は、通常 3 ビットタイム未満です。
受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが同時に発生した場合、最大で 126 PCLKB サイクルかかる可能性があります。

図 36.46 に示すように、最小インターバルタイムが常に設定値と等くなる保証はありません。最小時間が絶対に破られてはならない場合、CFCR0.TINT[7:0] ビットを必要な最小値 + 1 に設定する必要があります。

送信メッセージバッファまたは送信 FIFO がチャネルの送信用に設定されている場合、これらの送信メッセージバッファまたは送信 FIFO から優先順位の高いメッセージが送信されるため、送信 FIFO から送信される 2 つのメッセージ間の実質的な遅延時間は、インターバルタイムで設定された時間よりも長くなることがあります。

図 36.47 に、FIFO インターバルタイマのブロック図を示します。

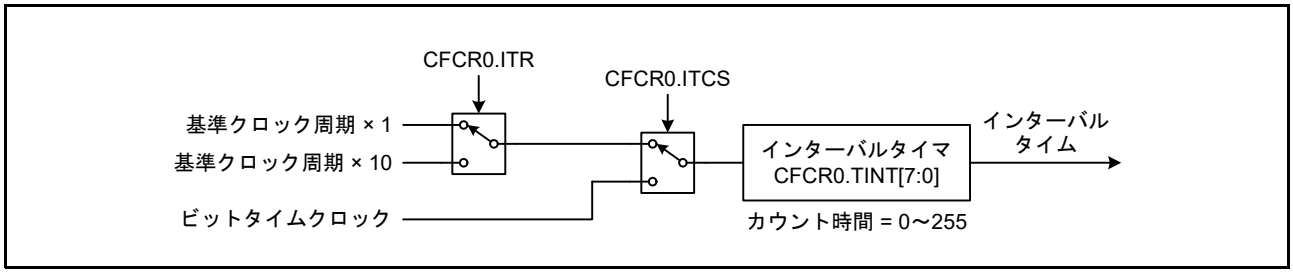


図 36.47　FIFO インターバルタイマのブロック図

36.7.2.4 送信キュー

有効な送信キューは、3 ～ 4 個の送信メッセージバッファで構成されており、1 つのアクセスウィンドウからアクセスできます。

送信キュー 0 (以降、TXQ0) は、バッファの段数を 3 または 4 に設定可能で、アクセスウィンドウとして送信メッセージバッファ 0 を使用しています。TXQ0 の全メッセージは、送信優先順位比較の対象になります。ID 優先 (GCFG.TPRI = 0) に設定して使用してください。

TXQ0 のレジスタは TQCR0、TQSR0、TQPCR0 です。

アクセスウィンドウとして送信メッセージバッファ 0 を使用します。TMB0.HF0、TMB0.HF1、TMB0.HF2、TMB0.DF0 ～ TMB0.DF15 レジスタを参照してください。

TXQ0 バッファの段数は、TQCR0.QDS[1:0] ビットに書き込むことで設定できます。TXQ0 は、最大で TMB0 ～ TMB3 を 1 つのキューバッファとして設定することができます。

TXQ0 バッファの段数設定には、以下のいずれかが利用可能です。

- 10b : 3 段
- 11b : 4 段

送信キューを構成する送信メッセージバッファ 0 を除くすべての送信メッセージバッファには、アクセスしないでください。また、送信キューを構成するすべての送信メッセージバッファに対応する TMCRn レジスタにもアクセスしないでください。

TXQ0 にデータを書き込む場合、TXQ0 の状態を確認した上で送信データを書き込んでください。

送信キューアクセスウィンドウに保存されたメッセージは、内部的に送信キューの空きバッファに保存されます。

送信キューがフルになったら、それ以上キューにアクセスしないようにしてください。TXQ0 のバッファがフルのときに送信データを書き込んだ場合、送信データは上書きされます。

送信キューは、TQCR0.TQE ビットを “0” にすることで無効にすることができます。このビットが “0” になると、TQSR0.EMPTY フラグが以下のタイミングでセットされます。

- 送信キューからの次のメッセージ送信予定がなく、また送信中でもない場合
  即座にセットされます。
- 送信キューからの送信がすでに予約されている場合、または送信中の場合
  送信完了後、CAN バスエラー検出後、アービトレーションロスト後、CH_HALT モードまたは GL_HALT モードに遷移後にセットされます。

注 . 送信キューは、TQCR0.TQE ビットを “0” にした後、TQSR0.EMPTY フラグが “1” になったときにのみ無効になります。

送信キューにその他の保留中のメッセージがある場合、そのメッセージは失われるため、再度送信を要求する必要があります。

TQE ビットを再度 “1” にする前に、TQSR0.EMPTY フラグが “1” で、送信キューに保留中のアボート要求がないことを確認してください。

TQE ビットを “0” にすると、送信キューバッファ内のすべてのメッセージが失われ、以降その送信キューにメッセージは格納されなくなります。

送信キューにメッセージが格納されている状態で、TQPCR0 レジスタに “000000FFh” を書き込んでください。これにより、送信要求が自動的に設定され、内部のメッセージバッファポインタが送信キューの次の空きメッセージバッファの位置に変更されます。

注 . 同じ ID を持つ 2 つのメッセージが送信キューに格納された場合、これらのメッセージの送信順序が送信キューに格納された順序とは変わる可能性があります。
この状態を避けるためには、同じ ID を持つ新しいメッセージが送信キューに格納される前に、同じ ID を持つメッセージが正常に送信されたことを確認することが重要です。

送信キューでは、TQCR0.TQIE ビットを設定することで、専用の割り込みを有効にすることができます。

割り込みモードは、TQCR0.TQIM ビットによって、送信されたメッセージごとに割り込みを発生させるか、最後に送信されたメッセージに対して割り込みを発生させるかを設定できます。

図 36.48 に、送信キュー送信要求手順を示します。

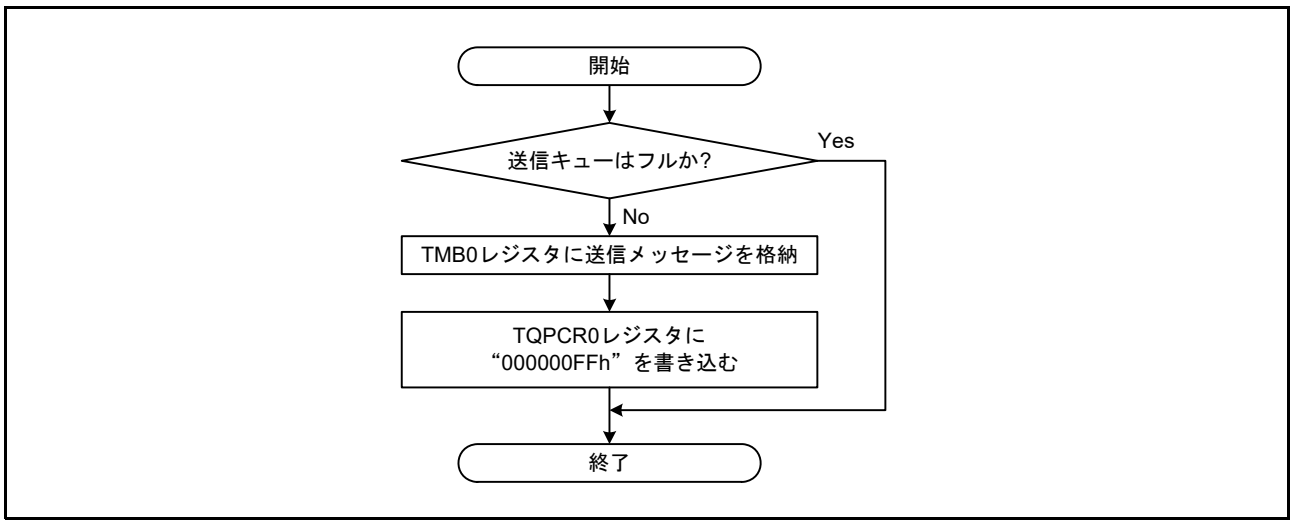


図 36.48 送信キュー送信要求

36.7.2.5 送信履歴

送信履歴機能は、正常に送信されたメッセージの情報を送信履歴バッファに記録する機能です。送信履歴バッファには最大 8 個の送信履歴エントリを格納することができます。

THCR.THRC ビットを使用して、送信 FIFO/ 送信キューから送信されたメッセージの情報のみを格納するか、送信メッセージバッファから送信されたメッセージの情報も格納するかを選択できます。

各送信メッセージは、CFB0.HF0.THENT ビットにより、送信履歴への格納を個別に設定することができます。

メッセージが正常に送信された後、メッセージ情報は CAN チャネルの送信履歴バッファに格納されます。

リストへの格納は、TMSRn.TXRF[1:0] フラグのステータスとは同期されません。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が発生することがあります。

送信履歴バッファへのデータ格納は、THCR.THIE ビットが “1” になっている場合は THSR.THIF フラグが “1” になっていることによって、または送信履歴カウンタ THSR.FLVL[3:0] が増分されたことによって認識できます。

受信スキャンや内部メッセージルーティングなど複数のイベントが発生する場合があります。

TMSRn.TXRF[1:0] フラグが設定されてから送信履歴データの格納までの最大遅延時間は、76 PCLKB サイクルです。

送信履歴には、送信されたメッセージの以下の情報が記録されます。

- 送信バッファの種類
  - 001：送信メッセージバッファ
  - 010：送信 FIFO モードの共通 FIFO (以下、送信 FIFO と記載)
  - 100：送信キュー
- 送信バッファ番号

  メッセージを送信した、送信メッセージバッファ、送信キューの送信メッセージバッファ、または共通 FIFO にリンクされた送信メッセージバッファ。この番号は、バッファの種類によって決まります。

表 36.24 を参照してください

- 送信ポインタ
  送信メッセージのヘッダフィールド 2 に設定されたポインタ (HF2.PTR[15:0])
- 送信タイムスタンプ
  GFDCFG.TSCPS[1:0] ビットで設定したキャプチャポイントでキャプチャされたメッセージのタイムスタンプ
- 送信情報ラベル
  送信メッセージのヘッダフィールド 2 に設定された情報ラベル (HF2.IFL[1:0])

表36.24 送信履歴バッファ番号エントリ

送信バッファ番号 (THACR0.BN[1:0])	送信バッファタイプ(THACR0.BT[2:0])		
	001b	010b	100b
	送信メッセージバッファ	送信FIFO	送信キュー
00b	TMB0	BN[1:0]ビットの値は、CFCR0.LTM[1:0]ビットの値と同じになります	BN[1:0]ビットの値は、メッセージの送信に使用されたメッセージバッファの番号を示します。
01b	TMB1		
10b	TMB2		
11b	TMB3		

送信 FIFO または送信キュー番号だけでは識別に不十分なため、送信ポインタを使用して、送信 FIFO または送信キューのどのメッセージが正常に送信されたかを識別します。

そのため、送信 FIFO または送信キューに格納された各送信メッセージに一意の番号 (ポインタ) を付けることができます。このポインタは、送信 FIFO の場合は CFB0.HF2.PTR[15:0] 部分に、また、送信キューの場合は TMB0.HF2.PTR[15:0] 部分に書き込みます。

メッセージが正常に送信されると、このポインタが他のメッセージ関連情報と共に送信履歴に格納され、送信履歴アクセスレジスタの送信ポインタフィールド (PTR[15:0]) を介して読み出すことができます。

通常の送信メッセージバッファについても、TMBn.HF2.PTR[15:0] 部分が送信履歴に格納されます。情報ラベルも同様です。

送信履歴アクセスレジスタの読み出しは、1 エントリごとに行ってください。

1 つのエントリを読み出した後、次のエントリにアクセスできるようにするために、THPCR レジスタに “000000FFh” を書き込む必要があります。これを、送信履歴が空になるまで続けます。

図 36.49 に、送信履歴の処理フローの例を示します。

送信履歴には専用の割り込みがあり、THCR.THIM ビットで設定し、THCR.THIE ビットで許可することで、送信履歴が全体の 75% に達したとき、または新しい送信履歴が格納されるごとに割り込みを発生させることができます。

送信履歴が失われると、THSR.LOST フラグに表示されます。このフラグのステータスは、GESR.THLDF フラグでも確認できます。

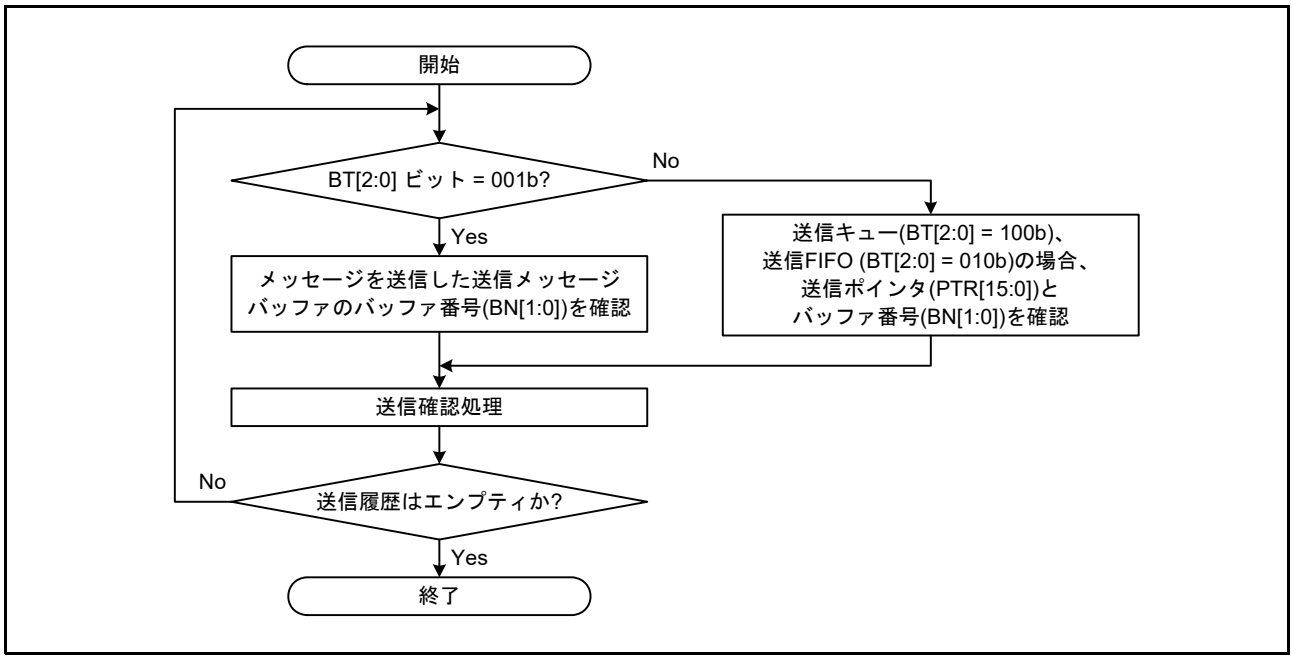


図 36.49　送信履歴の処理フロー例

36.7.2.6　送信データパディング

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズよりも多い場合、制限範囲を超えるデータバイトは “CCh” で置き換えられます。

これは、送信 FIFO モードに設定された共通 FIFO において、送信メッセージの DLC が CFCR0.PLS[2:0] ビットで設定されたペイロードサイズよりも大きいときに発生することがあります。

また、FD only モードでも、Classical CAN フレームの DLC 値が 8 より大きい場合に発生することがあります。

36.8 ECC チェック

メッセージバッファ RAM は、2 ビットの ECC エラー検出と 1 ビットの ECC エラー検出・訂正の ECC 機能を持っています(注 1)。ECC モジュールは、32 ビットの RAM データに 7 ビットの ECC データを付加します。

注 1. ECC モジュールは 3 ビット以上のエラーを検出できません。この場合、ECC モジュールは 1 ビットまたは 2 ビットのエラーを検出するか、エラーを検出しないか、または設定によりエラービットをエラーデータに修正します。すべての RAM データが “0” または “1” に固定されている場合は、2 ビットの ECC エラーとして検出されます。

36.8.1 ECC 機能設定

図 36.50 に ECC 機能の設定手順を示します。

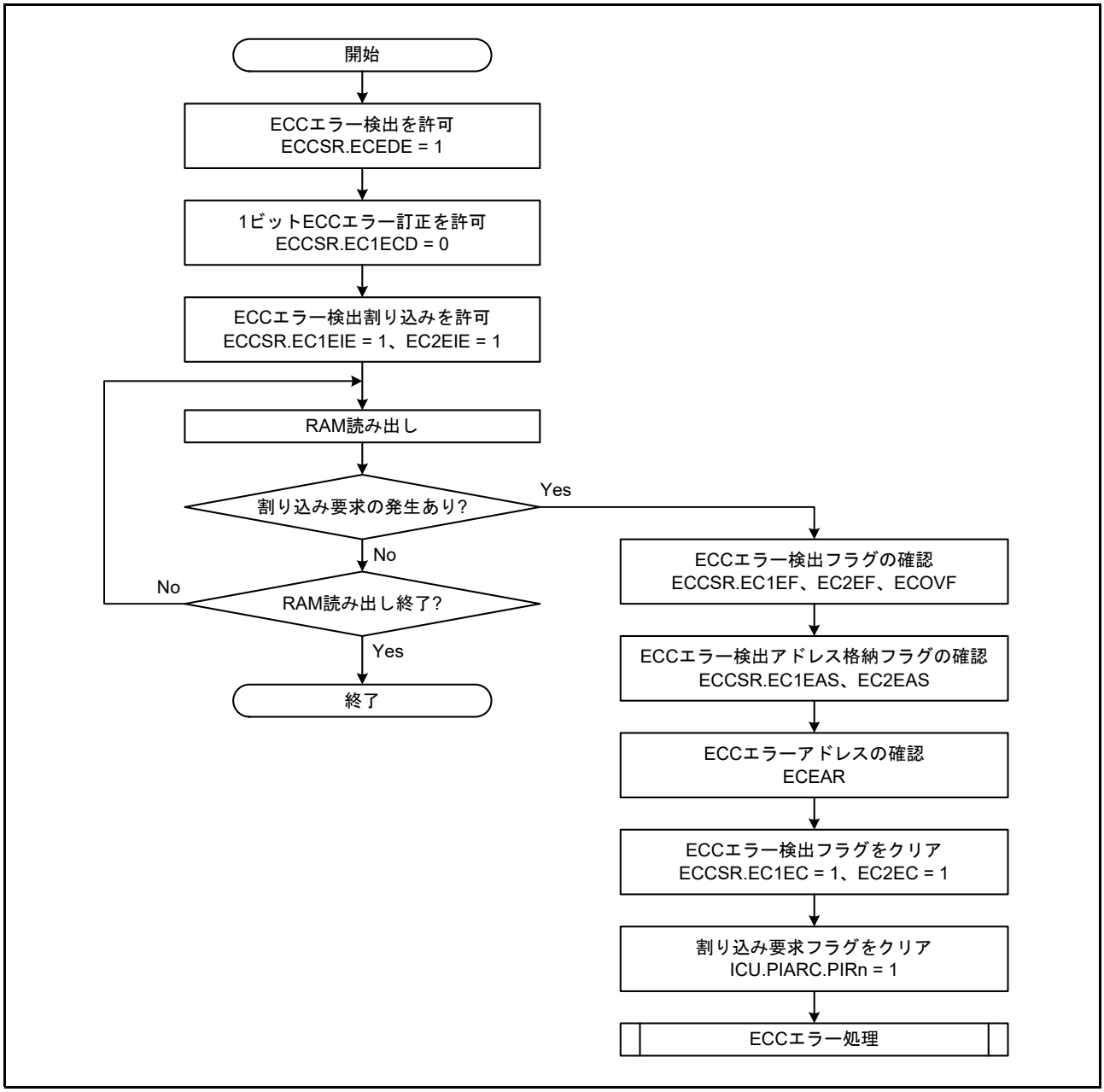


図 36.50 ECC 機能設定手順

36.8.2 ECC デコーダテスト

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。

図 36.51 に、ECC デコーダのテスト手順を示します。

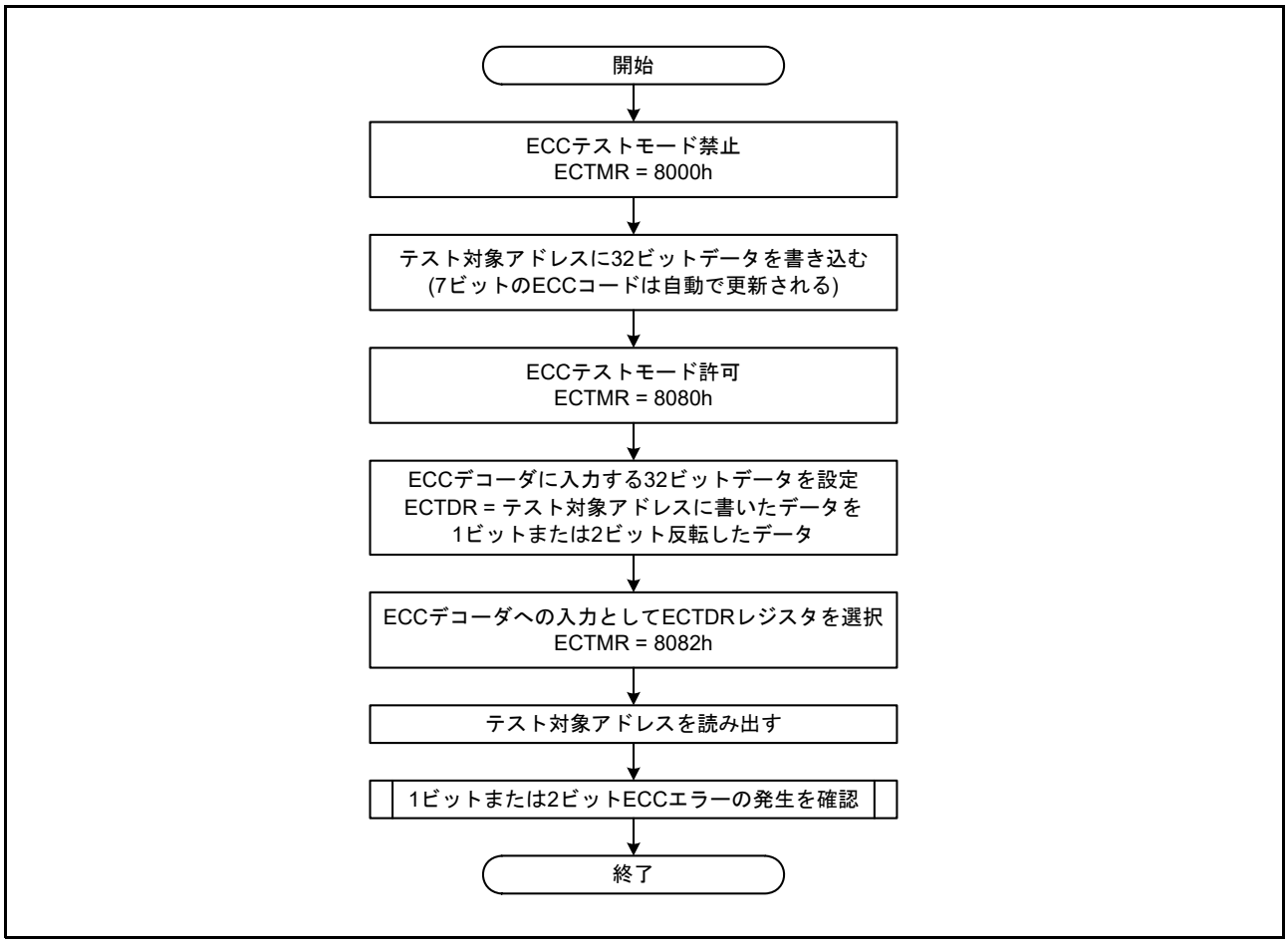


図 36.51 ECC デコーダのテスト手順

36.9 テストモード

特定の機能をテストできるように、CANFD モジュールをテストモードを設定することができます。これらの機能は、特別な目的のために提供されているものであり、CANFD モジュールをテストモードに設定する際には注意が必要です。

注． 一部の機能を他のテストモードでも有効にできることが明示されていない限り、すべてのテストモードは相互に排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。
テストモードは、大きく分けて 2 つのグループに分けられます。

- チャネル固有のテストモード
- グローバルテストモード

36.9.1 チャネル固有のテストモード

CAN チャネルは、以下のテストモードを設定することができます。

- 基本テストモード
- リッスンオンリモード
- セルフテストモード 0 (外部ループバックモード)
- セルフテストモード 1 (内部ループバックモード)
- 制限付き動作モード

36.9.1.1 基本テストモード

基本テストモードは、リッスンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

36.9.1.2 リッスンオンリモード

ISO 11898-1 では、オプションのバスモニタモードが推奨されています。このモードでは、CAN チャネルは有効なデータフレームおよび有効なリモートフレームを受信することができます。しかし、CAN バス上にはレセシブビットを送信するのみで、データの送信は許可されません。

CAN エンジンがドミナントビット (ACK ビット、オーバロードフラグ、アクティブエラーフラグ) を送信する必要がある場合、CAN エンジンがそのドミナントビットをモニタできるように、CTX 端子をレセシブ状態にしたまま、そのビットを内部で再ルーティングします。

このモードは、ビットレート検出に使用することができます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、送信メッセージバッファ、送信キュー、共通 FIFO に送信を要求することはできません。

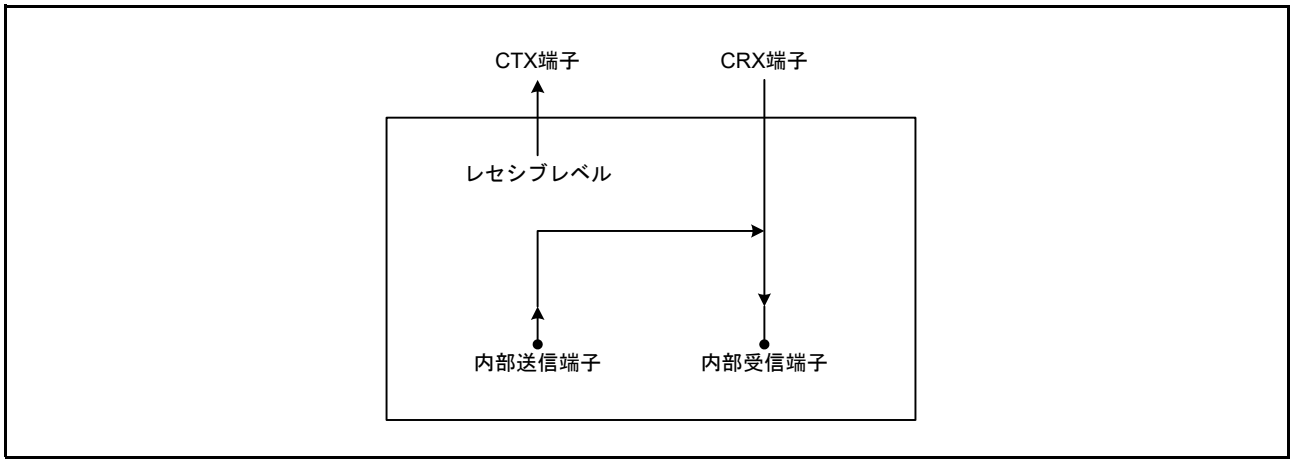


図 36.52　リッスンオンリモードの構成

36.9.1.3　セルフテストモード 0 (外部ループバックモード)

セルフテストモード 0 では、CAN エンジンは自らが送信したメッセージを CAN トランシーバを経由で受信したメッセージとして扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CAN エンジンは独自のアクノリッジビットを生成します。

このテストは、CAN トランシーバのテストに使用できます。CRX 端子、CTX 端子はトランシーバに接続する必要があります。

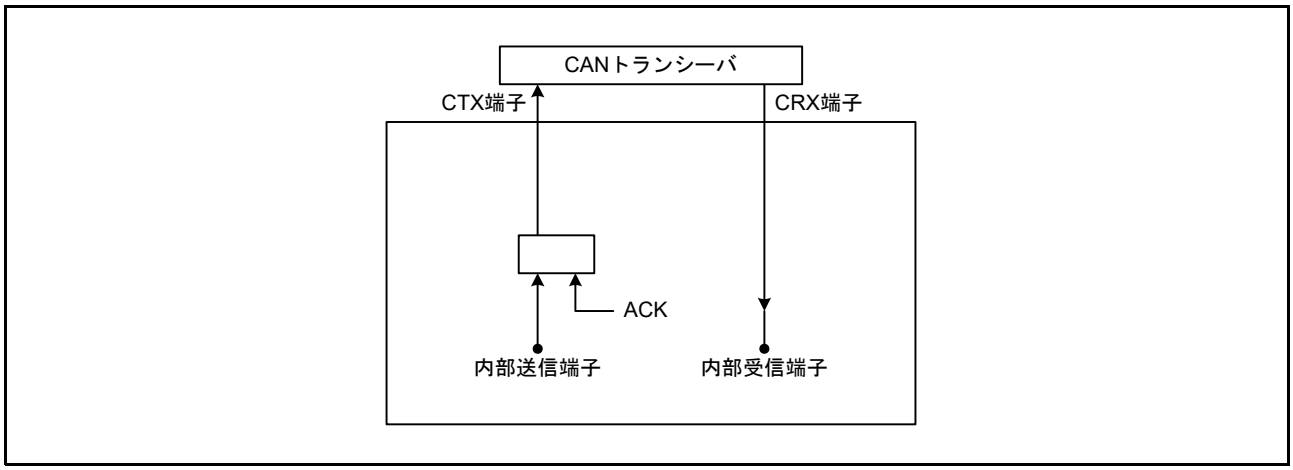


図 36.53　セルフテストモード 0 の構成

36.9.1.4　セルフテストモード 1 (内部ループバックモード)

セルフテストモード 1 では、CAN エンジンは自らが送信したメッセージを受信したメッセージとして扱い、受信バッファに格納します。このモードはセルフテスト機能用です。外部の刺激に影響されないようにするため、CAN エンジンは独自のアクノリッジビットを生成します。このモードでは、CAN エンジンは内部送信端子から内部受信端子への内部フィードバックを行います。CRX 端子の実際の入力レベルは、CAN エンジンによって無視されます。

CTX 端子は High を出力します。CRX 端子、CTX 端子を CAN バスや外部デバイスに接続する必要はありません。

注 .　チャネルの各端子は、内部 CAN バス通信ラインからも切り離されます。

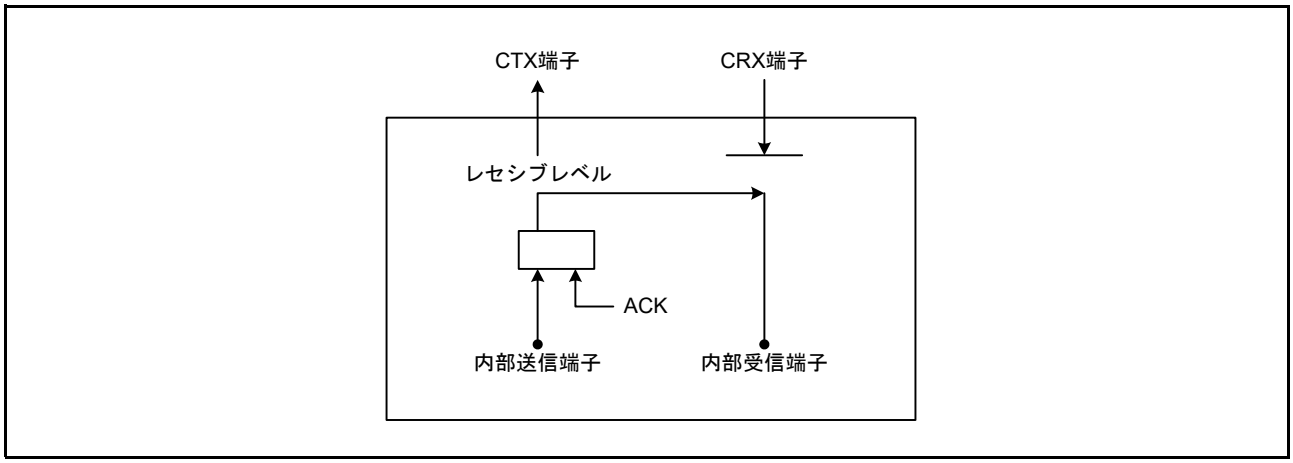


図 36.54　セルフテストモード 1 の構成

36.9.1.5　制限付き動作モード

制限付き動作モードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームおよびオーバロードフレームを送信することはできませんが、その代わりに、エラー条件またはオーバロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (CHSR.REC[7:0]) と送信エラーカウンタ (CHSR.TEC[7:0]) は、エラーの発生に関係なくフリーズします。

このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

36.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに設定することができます。

- RAM テストモード
- ビットフリップテスト

表 36.25 に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、特定のロック解除キーによってテストモードへの書き込みを許可します。

表36.25 テストモードのロック解除キー

テストモード	ロック解除キー 1	ロック解除キー 2
RAMテストモード	00007575h	00008A8Ah

2 つの連続するロック解除キー書き込みのソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデータが書き込まれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直す必要があります。

2 回のロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットを設定する必要があります。これが守られない場合、ロック解除機構がリセットされ、テストモード許可ビットを設定できなくなり、ロック解除シーケンスを初めからやり直す必要があります。

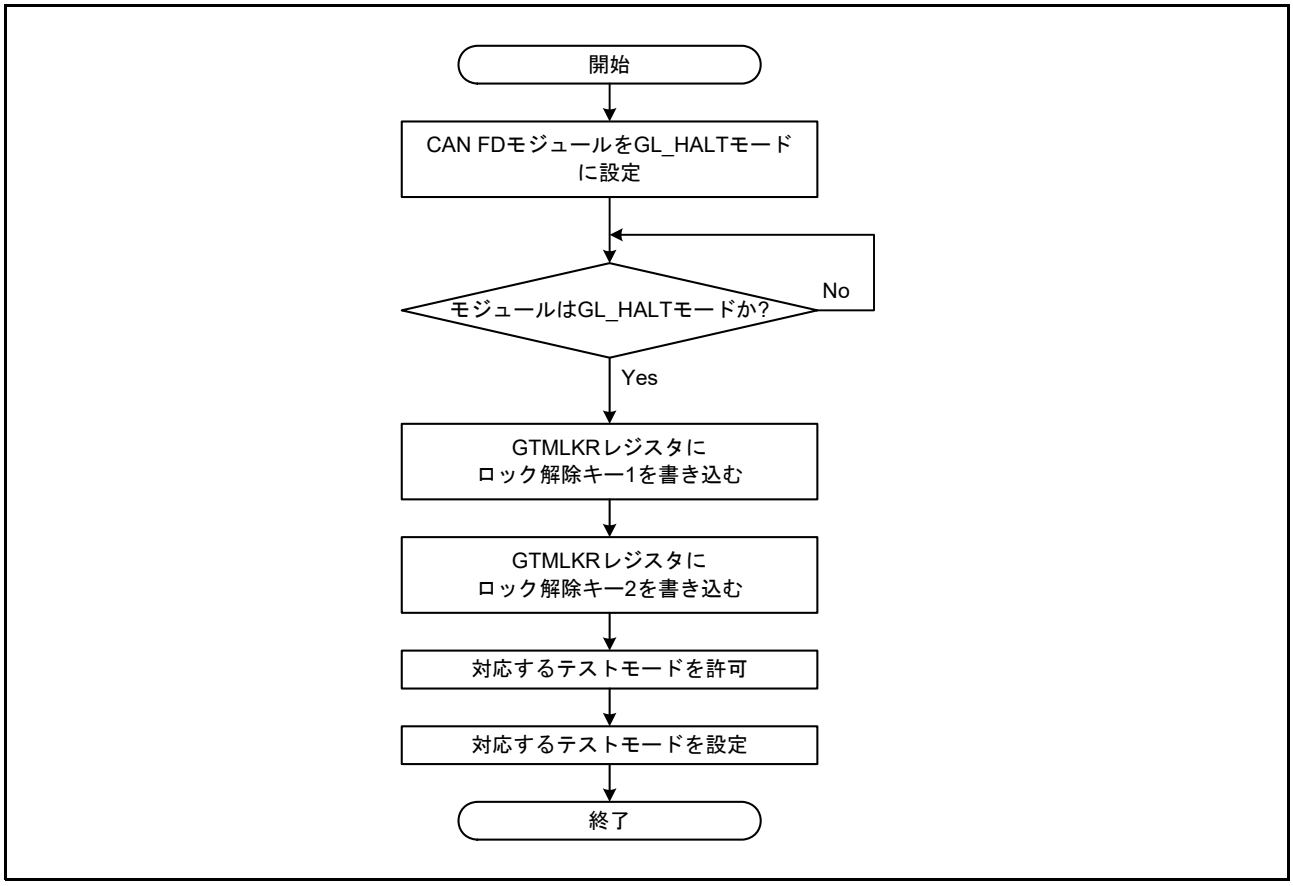


図 36.55 ソフトウェア保護のロック解除ルーチン

36.9.2.1 RAM テストモード

対応するロックキーを先に書き込んでから、GTMER.RTME ビットを設定することで、CANFD モジュールを RAM テストモードに設定することができます。これは、RAM 領域全体にアクセスできる特別なテストモードです。

注 . 実際の RAM は、MCU リセット後に初期化される RAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールを RAM テストモードにしたとき、CPU がこの初期化されていない RAM 領域からデータを読み出すことで、ECC マクロの ECC エラーフラグが設定されることがあります。

このモードでは、RAM 領域は 256 バイトずつの複数ページに分割されます。これは RTPARk レジスタ (k = 0 ～ 63) でアクセスできます。

GTMCR.RTPS[3:0] ビットに書き込むことで、ページの読み出し / 書き込みアクセスを選択します。すると、RAM テストページアクセスレジスタからのデータ読み出し / 書き込みが可能になります。

図 36.56 に、RAM テストモードを実行した場合の RAM 内のページの構成を示します。

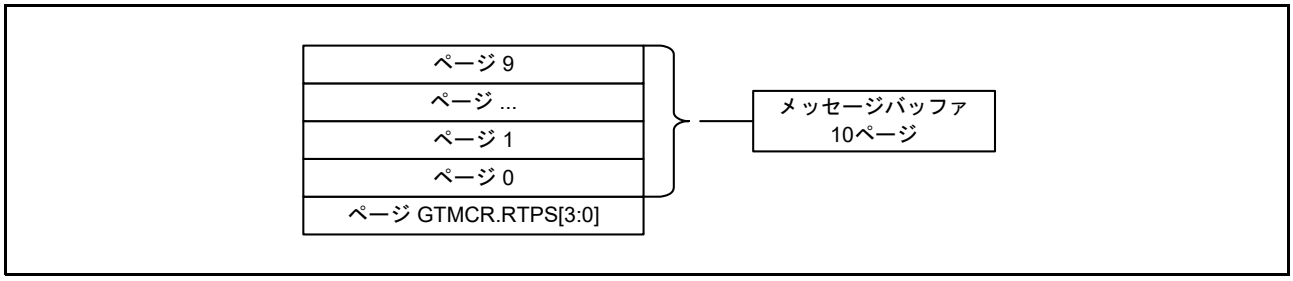


図 36.56 RAM のページ構成

使用可能な RAM の合計サイズは、メッセージバッファ RAM 用の 2328 バイトです。

RAM の総ページ数および GTMCR.RTPS[3:0] ビットの値は以下のように計算されます。

総ページ数 = ceil (総 RAM サイズ (バイト)/1 ページあたりのバイト数)

メッセージバッファ RAM の場合、以下のようになります。

総ページ数 = ceil (2328 / 256) = 10 ページ

GTMCR.RTPS[3:0] = 0 ～ 9

図 36.57 に、RAM テストモードのソフトウェアフローを示します。

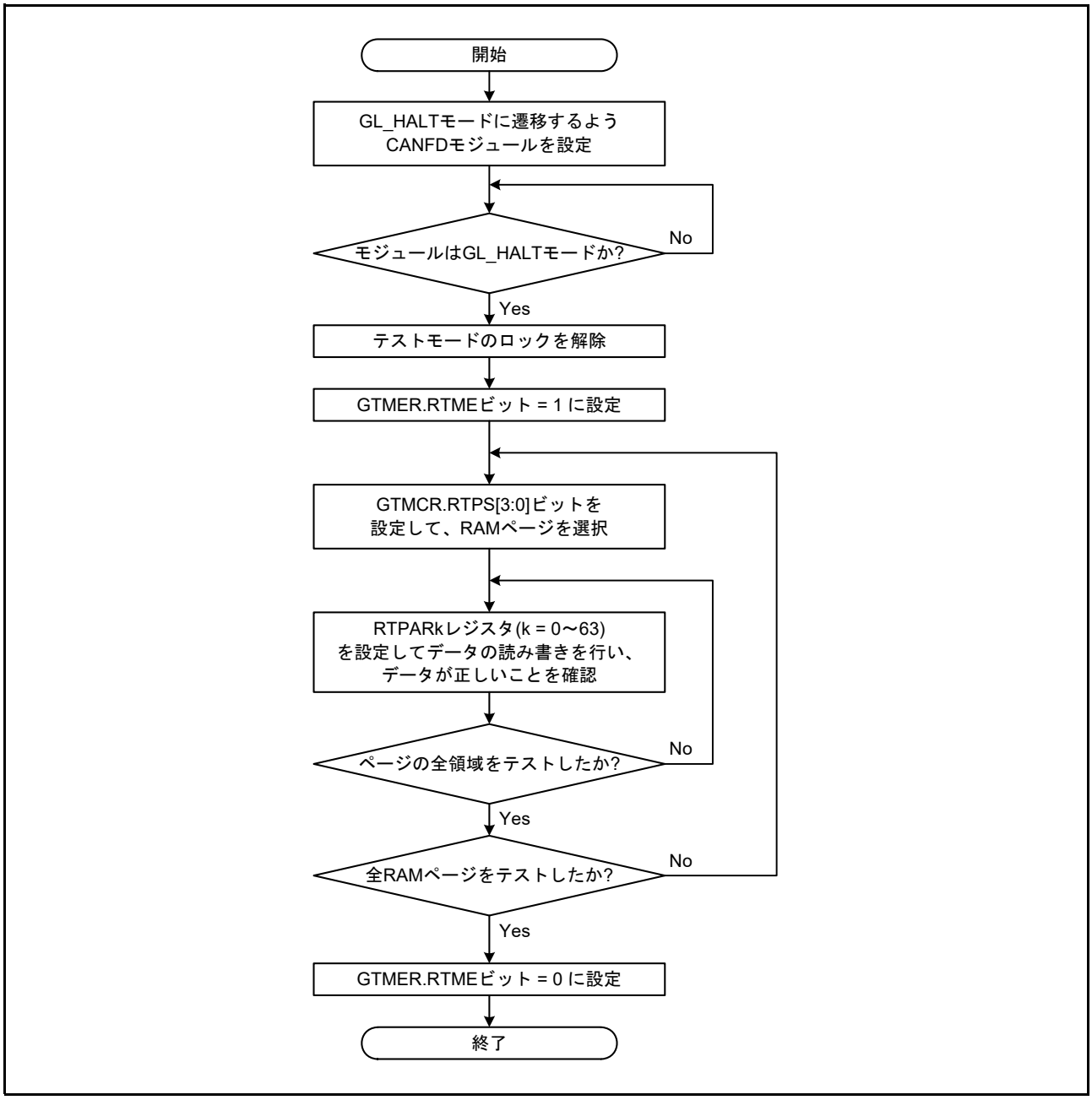


図 36.57　RAM テストモードのソフトウェアフロー

RAM テストモードを終了するには、GTMER.RTME ビットを “0” にしてください。

GTMER.RTME ビットは、CANFD モジュールがテストモードから GL_RESET モードに入ると自動的に “0” になります。

36.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの先頭のビット (ID の 1 ビット目) を反転させることができます。

送信ノードがこの機能を使用した場合、ビットエラーやアービトレーションロストが発生します。

受信ノードでこの機能を使用した場合、CRC エラーまたはスタッフエラーが発生します。

CRC エラーではなく (反転による) スタッフエラーを受信する可能性があるので、この機能を使用する場合はビットスタッフィングルールを参照してください。

CRC エラーのテストは、以下のシーケンスで行う必要があります。以下のシーケンスでは、CANFD モジュールが受信機となります。

1. 送信ノードからの入力ビットストリームの最初のビットを反転させるために、CHCR.BFT ビットを “1” に設定します。
2. チャネルエラー割り込みが “1” になるのを待ちます。
3. CHESR.CRC15[14:0] ビットまたは FDCRC.CRC21[20:0] ビットのいずれかを読み込みます (受信したフレームタイプによって異なります : Classical CAN または CAN FD)。この値は、送信ノードからの参照メッセージの受信 CRC 値とは異なる値でなければなりません。
4. CHESR.CEDF ビットが “1” であることを確認します。CRC ジェネレータロジックは受信と送信で共有されているため、別個の送信 CRC エラーテストを作成する必要はありません。

36.10 割り込みと DTC/DMA 転送要求

36.10.1 CANFD 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラに接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットと無関係に設定されます。

チャネル送信割り込みにはもう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可が設定されている場合のみ、設定されます。

この割り込みは複数のトリガ要因によって発生するため、このレジスタはチャネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャネル割り込みの 2 つのグループに分類できます。

(1) グローバル割り込み

CANFD モジュールは、3 つのグローバル割り込みを生成することができます。

- 受信 FIFO 割り込み
- グローバルエラー割り込み
- 受信メッセージバッファ割り込み

(2) チャネル割り込み

CANFD モジュールのチャネルは、3 種類のチャネル割り込みを発生させることができます。

- チャネル送信割り込み

(a) 送信成功割り込み
(b) 送信アボート割り込み
(c) 送信キュー割り込み
(d) 共通FIFO送信割り込み
(e) 送信履歴割り込み

- チャネルエラー割り込み
- 共通 FIFO 受信割り込み

表 36.26 に、CANFD モジュールの割り込み要因を示します。

各割り込み要求をクリアするには、割り込みが許可されている要因の内、“1” になっているフラグをすべてクリアしてください。なお、対応する割り込み許可ビットを “0” にしても割り込み要求がクリアされます。

表36.26　割り込み要因

割り込み名称			割り込み要因フラグ	割り込み許可ビット	割り込みステータスフラグ
グローバル割り込み	受信FIFO割り込み(RFRI)		RFSRn.RFIF	RFCRn.RFIE	—
	グローバルエラー割り込み(GLEI)		GESR.DEDF GESR.MLDF GESR.THLDF GESR.PODF	GCR.DEIE GCR.MLIE GCR.THLIE GCR.POIE	—
	受信メッセージバッファ割り込み(RMRI)		RMNDR.NDF[n]	RMIER.RMIEn	—
チャネル割り込み	チャネル送信割り込み(CHTI)	送信成功割り込み(注1)	TMSRn.TXRF[1]	TMIER0.TMIEn	TISR.TSIF0
		送信アボート割り込み(注1)	TMSRn.TXRF[1:0] (TXRF[1:0] = 01b)	CHCR.TAIE	TISR.TAIF0
		送信キュー割り込み	TQSR0.TQIF	TQCR0.TQIE	TISR.TQIF0
		共通FIFO送信割り込み	CFSR0.CFTIF	CFCR0.CFTIE	TISR.CFTIF0
		送信履歴割り込み	THSR.THIF	THCR.THIE	TISR.THIF0
	チャネルエラー割り込み(CHEI)		CHESR.BEDF CHESR.EWDF CHESR.EPDF CHESR.BOEDF CHESR.BORDF CHESR.OLDF CHESR.BLDF CHESR.ALDF FDSTS.ECOV FDSTS.SCOV FDSTS.TDCV	CHCR.BEIE CHCR.EWIE CHCR.EPIE CHCR.BOEIE CHCR.BORIE CHCR.OLIE CHCR.BLIE CHCR.ALIE CHCR.ECOVIE CHCR.SCOVIE CHCR.TDCVIE	—
	共通FIFO受信割り込み(CFRI)		CFSR0.CFRIF	CFCR0.CFRIE	—

注1.　これらの割り込みは、有効な送信キューに属しておらず、共通FIFOにもリンクされていない送信メッセージバッファでのみ発生します。共通FIFOと送信キューにはそれぞれ別の割り込みが用意されています。

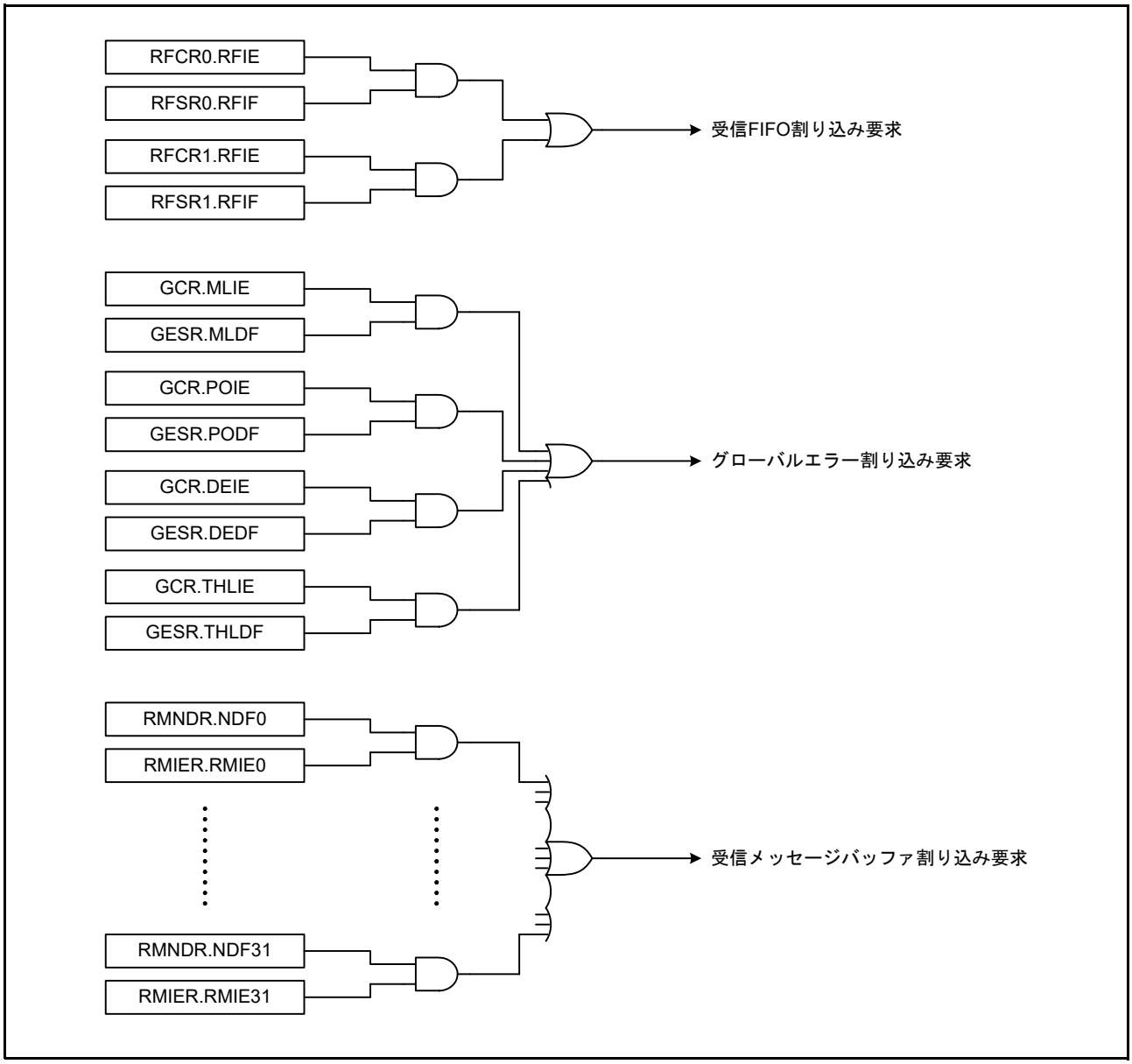


図 36.58　グローバル割り込みのブロック図

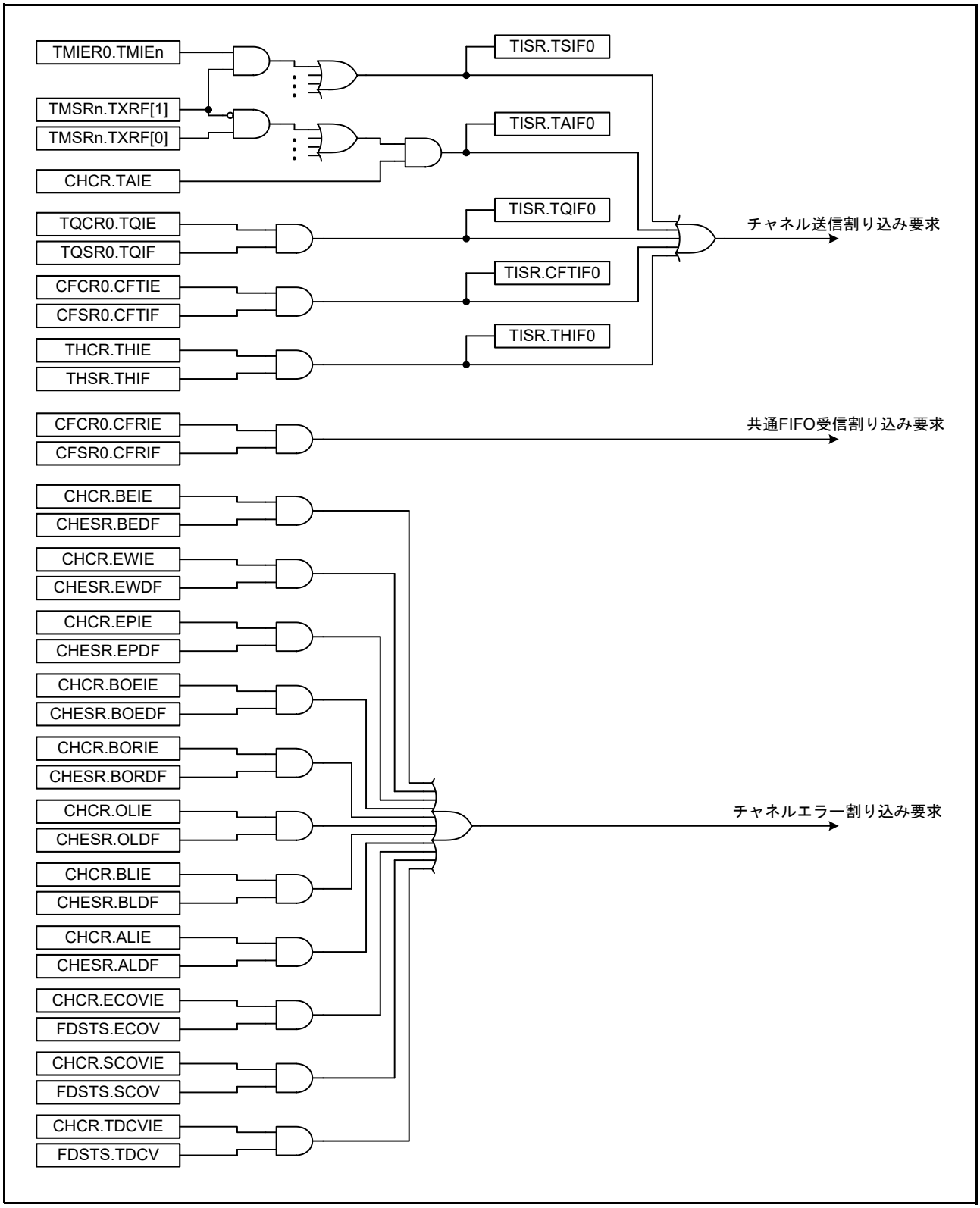


図 36.59　チャネル割り込みのブロック図

36.10.2 ECC 割り込み

ECC デコーダは、以下の割り込みを生成します。

- 1 ビット ECC エラー割り込み (EC1EI)
- 2 ビット ECC エラー割り込み (EC2EI)
- ECC オーバフロー割り込み (ECOVI)

36.10.3 DTC/DMA 転送要求

CANFD モジュールには、DTC/DMA 転送でデータを読み出せるメッセージバッファがあります。

- 2 つの受信 FIFO メッセージバッファ
- 共通 FIFO メッセージバッファ

DTC/DMA 転送要求は、DTCR.RFDTE0、RFDTE1 または CFDTE0 ビットを “1” にした場合に、対応する FIFO が空でなくなると生成されます。

DTC/DMA 転送を有効にした FIFO については、受信 FIFO 割り込みを無効 (RFCR0.RFIE、RFCR1.RFIE または CFCR0.CFRIE ビットを “0”) にしてください。

指定したペイロードサイズ (RFCR0.PLS[2:0]、RFCR1.PLS[2:0] または CFCR0.PLS[2:0] ビット) のデータを読み出す (注 1) と、FIFO 読み出しポインタが自動的に更新されます。

DTC/DMA 転送を許可したとき、FIFO ポインタ制御レジスタ (RFPCR0、RFPCR1、または CFPCR0) への書き込みは行わないでください。

注 1. DTC/DMAC は、RFCR0.PLS[2:0]、RFCR1.PLS[2:0] または CFCR0.PLS[2:0] ビットで指定したデータ数を正確に読み出す必要があります。

DTC/DMA 転送の許可 (DTCR.RFDTE0、RFDTE1 または CFDTE0 ビット) はいつでも “1” にできます。図 36.60 に DTC/DMA 転送の設定フローを示します。

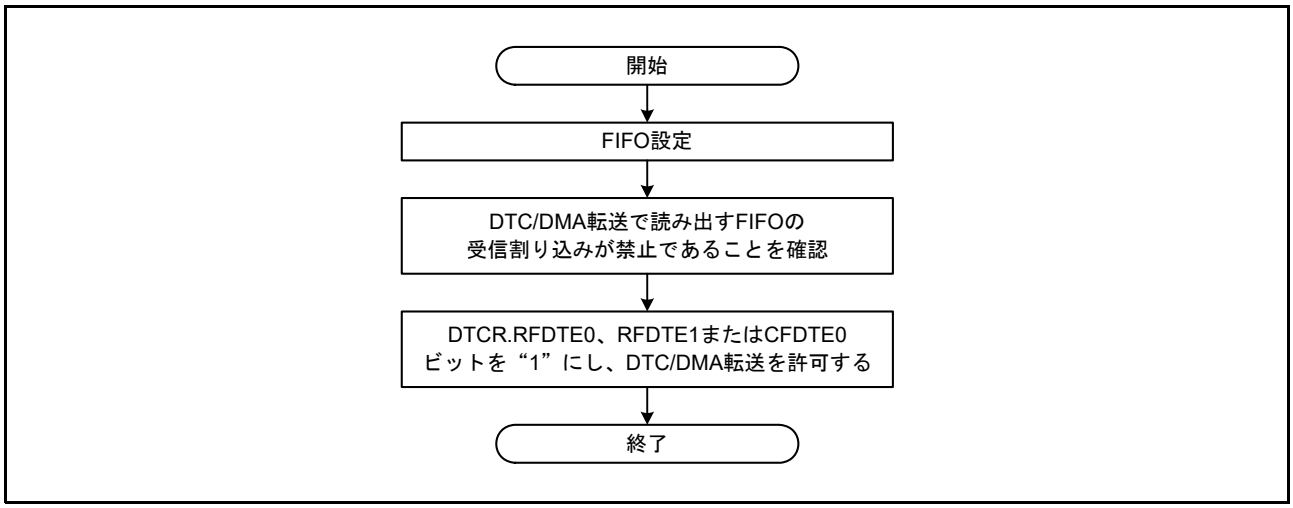


図 36.60 DTC/DMA 転送許可フロー

DTC/DMA 転送を禁止するには、対応する DMA 転送許可ビット (DTCR.RFDTE0、RFDTE1 または CFDTE0 ビット) を “0” にしてください。DTC/DMA 転送中に禁止した場合、実行中の転送が完了してから次の操作を行う必要があります。転送ステータスは、DTSR.RFDTS0、REDTS1 または CFDTS0 ビットで確

認できます。図 36.61 に、DTC/DMA 転送の禁止フローを示します。

DTC/DMA 転送を禁止した場合は、その FIFO に残っているメッセージや新たに受信するメッセージをどう処理するか検討してください。FIFO を無効にしていない場合、その FIFO への受信は続行されます。

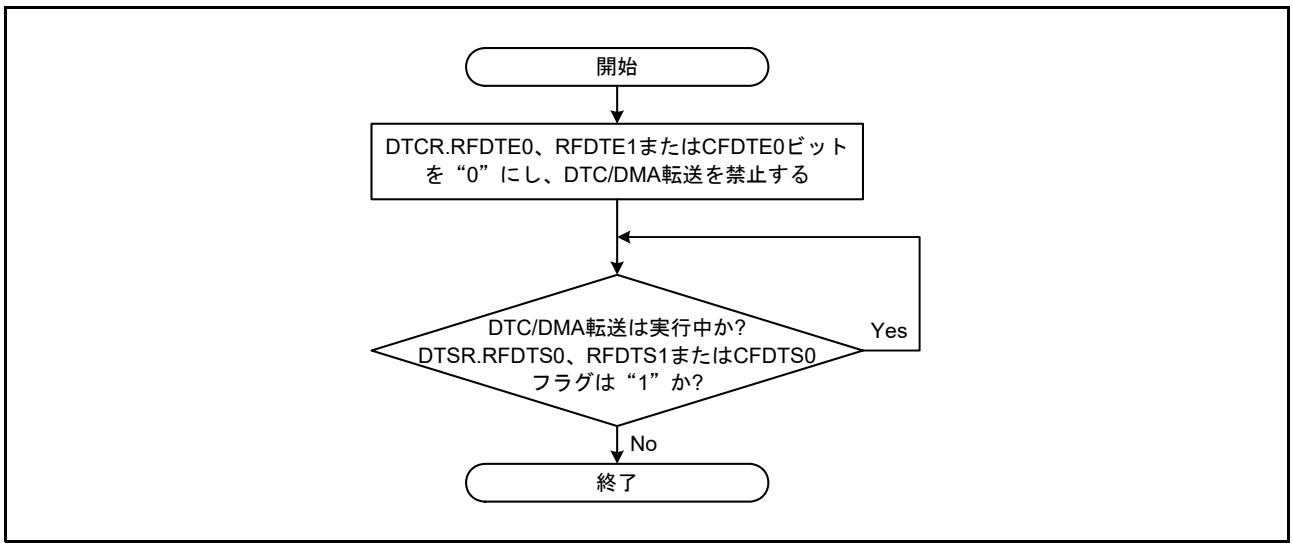


図 36.61 DTC/DMA 転送禁止フロー

36.11 使用上の注意事項

36.11.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、CANFD モジュールの動作禁止 / 許可を設定できます。リセット解除後、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は「11. **消費電力低減機能**」を参照してください。

36.11.2 受信メッセージバッファと FIFO バッファの設定に関する注意事項

受信メッセージバッファと FIFO バッファに使用できるメモリは、最大で 1216 バイトです。

たとえば、すべてのペイロードサイズを 8 バイトにした場合、メッセージサイズは 20 バイトになりますから、合計で 60 メッセージ以内に収める必要があります。受信メッセージバッファを 32 個確保した場合、FIFO は合計で 28 段までになります。

同様に、すべてのペイロードサイズを 64 バイトにした場合、メッセージサイズは 76 バイトになりますから、合計で 16 メッセージ以内に収める必要があります。すべての FIFO を 4 段に設定すると、受信メッセージバッファは 4 つしか確保できません。

なお、1216 バイトを超える設定を行った場合、動作は保証できません。

37. シリアルペリフェラルインタフェース (RSPId)

本章に記載している PCLK とは PCLKA を指します。

37.1 概要

本 MCU は、1 チャネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重または単方向の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 37.1 に RSPI の仕様を、**図 37.1** に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ～ 7 と規定しています。

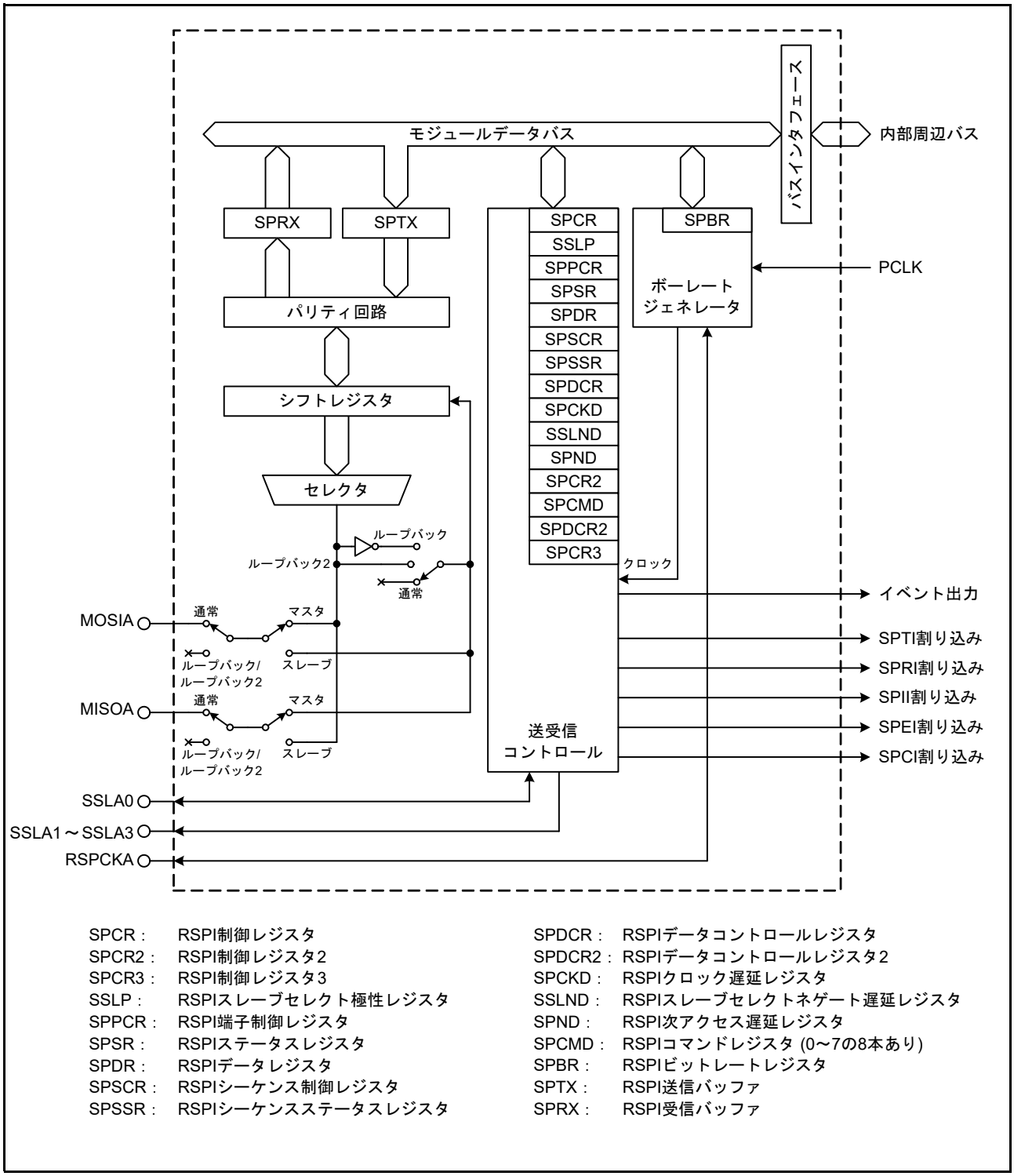
表37.1　RSPIの仕様 (1/2)

項目	内容
チャネル数	1チャネル
RSPI転送機能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 • 通信モード：全二重または単方向(送信のみ、受信のみ(スレーブモード時))を選択可能 • RSPCKの極性を変更可能 • RSPCKの位相を変更可能
データフォーマット	• MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) • 送受信データをバイト単位でスワップ可能 • 送受信データのロジックレベルを反転可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータでPCLKを分周してRSPCKを生成(分周比は2～4096分周) • スレーブ時は、PCLKの最小4分周のクロックを、RSPCKとして入力可能(RSPCKの最高周波数はPCLKの4分周) High幅：PCLKの2サイクル、Low幅：PCLKの2サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは128ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出(注1) • パリティエラー検出 • アンダランエラー検出
SSL制御機能	• 1チャネルあたり4本のSSL端子(SSLA0～SSLA3) • シングルマスタ設定時には、SSLA0～SSLA3端子を出力 • マルチマスタ設定時：SSLA0端子は入力、SSLA1～SSLA3端子は出力または未使用 • スレーブ設定時：SSLA0端子は入力、SSLA1～SSLA3端子は未使用 • SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延(SSLネゲート遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	• 最大8コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能 • バースト転送時のデータバイト間遅延を短縮可能

表37.1　RSPIの仕様 (2/2)

項目	内容
割り込み要因	• 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) アイドル割り込み 通信完了割り込み
イベントリンク機能(出力)	• 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) 受信バッファフルイベント 送信バッファエンプティイベント エラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー) アイドルイベント 通信完了イベント
その他の機能	• RSPI初期化機能 • ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1.　マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。



SPCR : RSPI制御レジスタ
SPCR2 : RSPI制御レジスタ2
SPCR3 : RSPI制御レジスタ3
SSLP : RSPIスレーブセレクト極性レジスタ
SPPCR : RSPI端子制御レジスタ
SPSR : RSPIステータスレジスタ
SPDR : RSPIデータレジスタ
SPSCR : RSPIシーケンス制御レジスタ
SPSSR : RSPIシーケンスステータスレジスタ
SPDCR : RSPIデータコントロールレジスタ
SPDCR2 : RSPIデータコントロールレジスタ2
SPCKD : RSPIクロック遅延レジスタ
SSLND : RSPIスレーブセレクトネゲート遅延レジスタ
SPND : RSPI次アクセス遅延レジスタ
SPCMD : RSPIコマンドレジスタ (0～7の8本あり)
SPBR : RSPIビットレートレジスタ
SPTX : RSPI送信バッファ
SPRX : RSPI受信バッファ

図 37.1　RSPI のブロック図

表 37.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ / スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「37.3.2　RSPI 端子の制御」を参照してください。

表37.2　　RSPIの入出力端子

チャネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

37.2　レジスタの説明

37.2.1　RSPI 制御レジスタ (SPCR)

アドレス　RSPI0.SPCR 000D 0100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット(注1)	0：SPI動作(4線式) 1：クロック同期式動作(3線式)	R/W
b1	TXMD	通信動作モード選択ビット(注1)	0：全二重通信(受信回路動作) 1：送信のみの単方向通信(受信回路停止)	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット(注1)	0：モードフォルトエラー検出を禁止 1：モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット(注1)	0：スレーブモード 1：マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0：エラー割り込み要求の生成を禁止 1：エラー割り込み要求の生成を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0：送信バッファエンプティ割り込み要求の生成を禁止 1：送信バッファエンプティ割り込み要求の生成を許可	R/W
b6	SPE	RSPI機能許可ビット	0：RSPI機能は無効 1：RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0：受信バッファフル割り込み要求の生成を禁止 1：受信バッファフル割り込み要求の生成を許可	R/W

注1.　SPEビットが“1”の場合、MSTRビット、MODFENビット、TXMDビット、SPMSビットの値を変更しないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式)/ クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ～ SSLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを “0”、“1” どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを “1” に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットを “0” にしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重通信、または送信のみの単方向通信を選択するためのビットです。

TXMD ビットを “1” にして通信を行う場合、送信動作のみを行い、受信動作を行いません (**「37.3.6　通信動作モード」**参照)。

また、TXMD ビットを “1” に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

SPCR3.RXMD ビットが “1” (受信のみの単方向通信) の場合、TXMD ビットの設定は無効です。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可 / 禁止するためのビットです (「37.3.10　エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLA0 ～ SSLA3 端子の入出力方向を決定します (「37.3.2　RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ / スレーブモード選択ビット)

RSPI のマスタ / スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0 ～ SSLA3 端子の方向を決定します。

SPEIE ビット (エラー割り込み許可ビット)

RSPI がモードフォルトエラーまたはアンダランエラーを検出して SPSR.MODF フラグを “1” にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを “1” にした場合、またはパリティエラーを検出して SPSR.PERF フラグを “1” にした場合のエラー割り込み要求の生成を許可 / 禁止します。詳細については、「37.3.10　エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の生成を許可 / 禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを “1” にすることで発生します。

RSPI 機能は無効 (SPE ビットが “0”) に遷移しても、SPTIE ビットを “1” にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効 / 無効を選択します。

SPSR.MODF フラグが “1” の場合には、SPE ビットを “1” にすることはできません。詳細は「37.3.10　エラー検出」を参照してください。

SPE ビットを “0” にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「37.3.11　RSPI の初期化」を参照してください。また、SPE ビットを “0” の状態から “1” または “1” の状態から “0” になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出し、受信バッファフル割り込み要求の生成を許可 / 禁止します。

37.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 000D 0101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0：SSL0信号はアクティブLow 1：SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0：SSL1信号はアクティブLow 1：SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0：SSL2信号はアクティブLow 1：SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0：SSL3信号はアクティブLow 1：SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SSLPレジスタを書き換えないでください。

37.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 000D 0102h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0：通常モード 1：ループバックモード(データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0：通常モード 1：ループバックモード(データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0：MOSIアイドル時のMOSIA端子の出力値はLow 1：MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0：MOSI出力値は前回転送の最終データ 1：MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SPPCRレジスタを書き換えないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが “1” の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIA 出力値を固定するために使用するビットです。MOIFE が “0” の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が “1” の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

37.2.4　RSPI ステータスレジスタ (SPSR)

アドレス　RSPI0.SPSR 000D 0103h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	SPCF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R/(W) (注1)
b1	IDLNF	アイドルフラグ	0：RSPIがアイドル状態 1：RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし、アンダランエラーなし 1：モードフォルトエラーまたはアンダランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダランエラーフラグ	MODFフラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 b4 b2 0 0：モードフォルトエラーなし、アンダランエラーなし 0 1：モードフォルトエラー発生 1 1：アンダランエラー発生	R/(W) (注1、注2)
b5	SPTEF	送信バッファエンプティフラグ	0：送信バッファに有効なデータあり 1：送信バッファに有効なデータなし	R (注3)
b6	SPCF	通信完了フラグ	0：通信を開始していない、または通信中 1：通信完了	R/(W) (注1)
b7	SPRF	受信バッファフルフラグ	0：受信バッファに有効なデータなし 1：受信バッファに有効なデータあり	R (注3)

注1.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。
注2.　UDRFフラグを“0”にするときは、同時にMODFフラグも“0”にしてください。
注3.　書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが “1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが “1”) のときは、オーバランエラーが発生しないため、“1” になりません。詳細は「37.3.10.1　オーバランエラー」を参照ください。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、かつ受信バッファがフルの状態で次の受信が終了したとき
- SPCR.MSTR ビットが “0”、SPCR3.RXMD ビットが “1”、かつ受信バッファがフルの状態で次の受信が終了したとき

[“0” になる条件]

- OVRF フラグが “1” になったときの SPSR レジスタを読んだ後、OVRF フラグに “0” を書いたとき

IDLNF フラグ (アイドルフラグ)

RSPI の転送状況を示します。

[“1” になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の条件がいずれも満たされないとき

【スレーブモード】

- SPCR.SPE ビットが “1” (RSPI 機能が有効) のとき

[“0” になる条件]

【マスタモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき
- 以下の条件がすべて満たされたとき
  1. 送信バッファが空 (SPTEF フラグ = 1)
  2. SPSSR.SPCP[2:0] ビットが “000b”
  3. 最終ビットの送出が完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【スレーブモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーとアンダランエラーの発生を示します。モードフォルトエラーとアンダランエラーのどちらが発生したかは、UDRF フラグによって判別できます。

[“1” になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1” (マスタモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが “1” (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[“0” になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを読んだ後、MODF フラグに “0” を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で受信が終了し、パリティエラーが検出されたとき
- SPCR.MSTR ビットが “0”、SPCR3.RXMD ビットが “1”、かつ SPCR2.SPPE ビットが “1” の状態で受信が終了し、パリティエラーが検出されたとき

[“0” になる条件]

- PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書いたとき

UDRF フラグ (アンダランエラーフラグ)

アンダランエラーが発生したことを示すフラグです。このフラグが “1” になると、MODF フラグも “1” になります。MODF フラグが “1” のときにこのフラグが “0” であれば、発生したエラーはモードフォルトエラーです。

[“1” になる条件]

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR3.RXMD ビットが “0”、SPCR.SPE ビットが “1” (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

[“0” になる条件]

- UDRF フラグが “1” の状態の SPSR レジスタを読んだ後、UDRF フラグに “0” を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1” になる条件]

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき
- SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データが送信バッファからシフトレジスタに転送されたとき

[“0” になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが “1” のときのみデータを設定できます。SPTEF フラグが “0” のときにデータを設定しても、送信バッファのデータは更新されません。

SPCF フラグ (通信完了フラグ)

RSPI の通信が完了したことを示すフラグです。

[“1” になる条件]

【マスタモード】

- 以下の条件がすべて満たされたとき
  1. 送信バッファが空 (SPTEF フラグ = 1)
  2. SPSSR.SPCP[2:0] ビットが “000b”
  3. 最終ビットの送出が完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信】

- 以下の条件がすべて満たされたとき
  1. 送信バッファが空 (SPTEF フラグ = 1)

2. 送信シフトレジスタが空
3. SSLA0 信号がネゲートされた

【クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信】

- 以下の条件がすべて満たされたとき
  1. 送信バッファが空 (SPTEF フラグ = 1)
  2. 送信シフトレジスタが空
  3. 最終データの最終ビットを受信した (RSPCK 最終偶数エッジ)

【SPI 動作、スレーブモード時の受信のみの単方向通信】

- SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わった後、SSLA0 信号がネゲートされたとき

【クロック同期式動作、スレーブモード時の受信のみの単方向通信】

- SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わったとき (RSPCK 最終偶数エッジ)

[“0” になる条件]

【全二重通信または送信のみの単方向通信】

- 次の送信データを送信バッファに書き込んだとき
- SPCF フラグが “1” の状態の SPSR レジスタを読んだ後、SPCF フラグに “0” を書いたとき

【SPI 動作、スレーブモード時の受信のみの単方向通信】

- 次データの SSLA0 信号のアサートを検出したとき
- SPCF フラグが “1” の状態の SPSR レジスタを読んだ後、SPCF フラグに “0” を書いたとき

【クロック同期式動作、スレーブモード時の受信のみの単方向通信】

- 次データの RSPCK 信号の最初のエッジを検出したとき
- SPCF フラグが “1” の状態の SPSR レジスタを読んだ後、SPCF フラグに “0” を書いたとき

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1” になる条件]

- SPCR.TXMD ビットが “0” (全二重)、SPRF フラグが “0” のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
  ただし、OVRF フラグが “1” のときは、“1” に変化しません。
- SPCR.MSTR ビットが “0”、SPCR3.RXMD ビットが “1”、SPRF フラグが “0” のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
  ただし、OVRF フラグが “1” のときは、“1” に変化しません。

[“0” になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

37.2.5 RSPI データレジスタ (SPDR)

- ロングワードアクセス時

アドレス RSPI0.SPDR 000D 0104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- ワードアクセス時

アドレス RSPI0.SPDR.H 000D 0104h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	H															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- バイトアクセス時

アドレス RSPI0.SPDR.HH 000D 0104h

	b7	b6	b5	b4	b3	b2	b1	b0
	HH							
リセット後の値	0	0	0	0	0	0	0	0

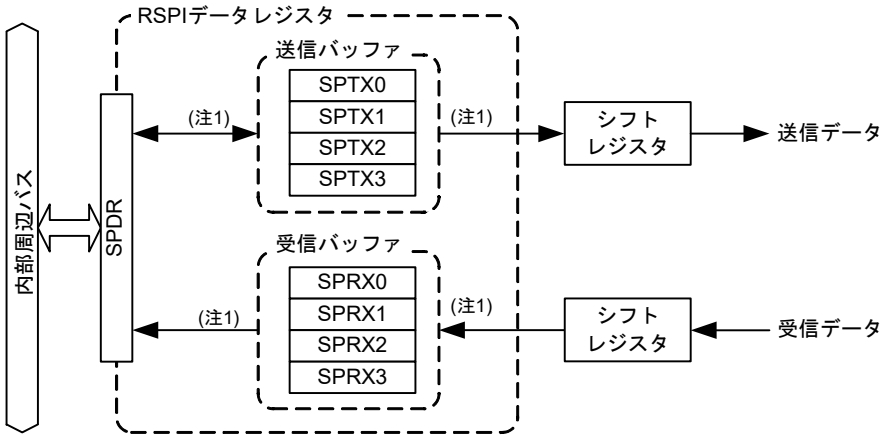
SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが “1”、SPBYT ビットが “0”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが “0”、SPBYT ビットが “0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

バイトアクセス (SPBYT ビットが “1”) のときは、SPDR.HH を 8 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 37.2 に示します。



注1.　アクセス先のバッファはハードウェアにより自動的に切り替えます。

図 37.2　SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTXn (n = 0 ～ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn (n = 0 ～ 3) の非参照ビットには、SPTXn (n = 0 ～ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビット、SPDCR.SPBYT ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 37.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

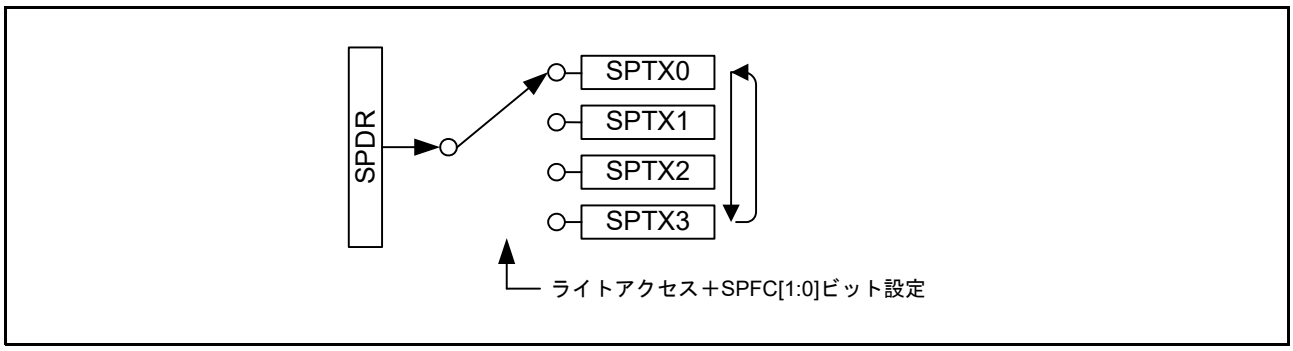


図 37.3　SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ～ SPTX3 の切り替え順序
  SPFC[1:0] ビットが “00b” のとき：SPTX0 → SPTX0 → SPTX0 →・・・
  SPFC[1:0] ビットが “01b” のとき：SPTX0 → SPTX1 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “10b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “11b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 →・・・

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b)　読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 37.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

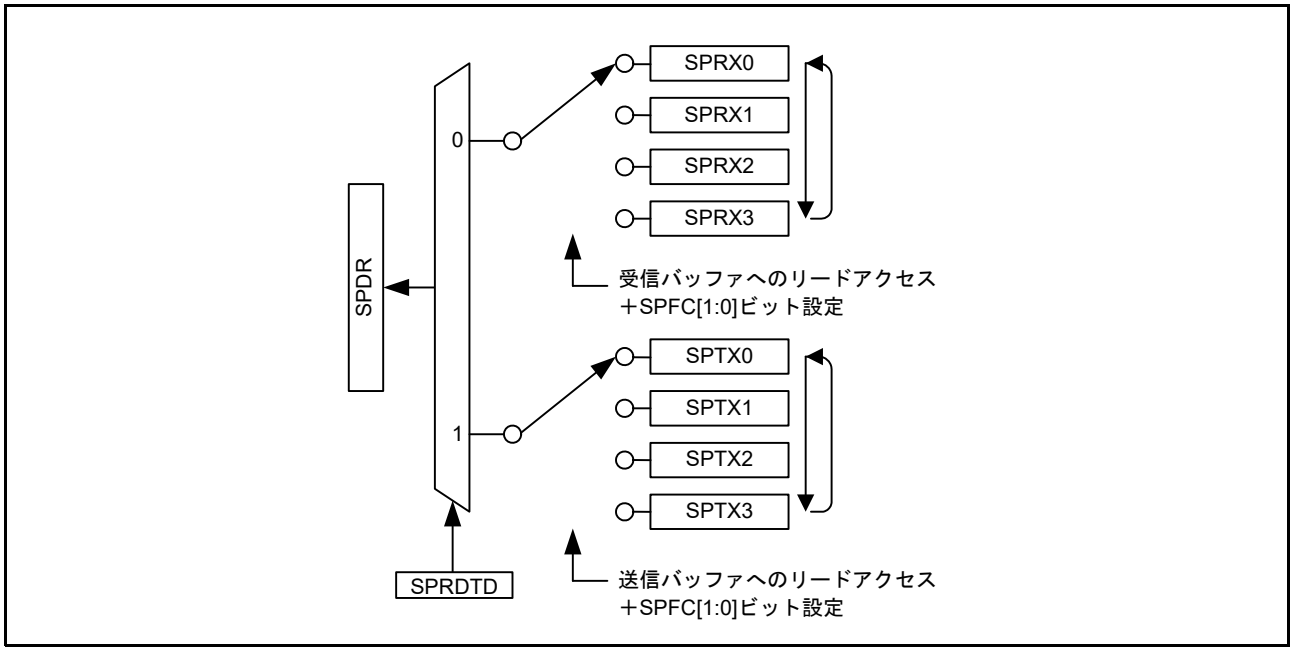


図 37.4　SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファの読み出し値は、すべて “0” となります。

37.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 000D 0108h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0～7レジスタ(番号) 0 0 0 : 1 0→0→… 0 0 1 : 2 0→1→0→… 0 1 0 : 3 0→1→2→0→… 0 1 1 : 4 0→1→2→3→0→… 1 0 0 : 5 0→1→2→3→4→0→… 1 0 1 : 6 0→1→2→3→4→5→0→… 1 1 0 : 7 0→1→2→3→4→5→6→0→… 1 1 1 : 8 0→1→2→3→4→5→6→7→0→… 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタモードで動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに “1” の状態において、SPSCR.SPSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが “0” の状態で書き換えてください。

SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定します。マスタモードの RSPI は SPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照する SPCMD0 ～ 7 レジスタと参照順を変更します。

スレーブモードでは、SPCMD0 レジスタが参照されます。

37.2.7　RSPI シーケンスステータスレジスタ (SPSSR)

アドレス　RSPI0.SPSSR 000D 0109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPECM[2:0]			—	SPCP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタモードで動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMDm レジスタを示します。
なお、RSPI のシーケンス制御については、**「37.3.12.1　マスタモード動作」**を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMDm レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに “0” で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、**「37.3.10　エラー検出」**を参照してください。また、RSPI のシーケンス制御については、**「37.3.12.1　マスタモード動作」**を参照してください。

37.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 000D 010Ah

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに “1” の場合、SPBR レジスタを書き換えないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, ……, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(PCLK)}{2 \times (n+1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を**表 37.3** に示します。
相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表37.3　SPBRレジスタ、BRDV[1:0]ビットの設定値とビットレート

SPBR レジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート							
			PCLK = 32 MHz	PCLK = 36 MHz	PCLK = 40 MHz	PCLK = 50 MHz	PCLK = 60 MHz	PCLK = 80 MHz	PCLK = 100 MHz	PCLK = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps	40.0 Mbps	—	—
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps	13.3 Mbps	16.7 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	7.50Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	6.00 Mbps	8.00 Mbps	10.0 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	5.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps	3.33 Mbps	4.17 Mbps	5.00 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps	1.25 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	625 kbps	833 kbps	1.04 Mbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	14.6 kbps	19.5 kbps	24.4 kbps	29.3 kbps

37.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 000D 010Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPBYT	SPLW	SPRDTD	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0：1フレーム 0 1：2フレーム 1 0：3フレーム 1 1：4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0：SPDRは受信バッファを読み出す 1：SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ワードアクセス設定ビット(注1)	0：SPDRレジスタへはワードアクセス 1：SPDRレジスタへはロングワードアクセス	R/W
b6	SPBYT	RSPIバイトアクセス設定ビット	0：SPDRレジスタへはワードアクセスまたはロングワードアクセス(SPLWビット有効) 1：SPDRレジスタへはバイトアクセス(SPLWビット無効)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPDRレジスタにワードまたはロングワードでアクセスする場合は、SPBYTビットを“0”にしてください。

SPCMDm.SPB[3:0] ビット、SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SPCR.SPE ビットが “1” の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが “0” のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1 回の転送起動) フレーム数を設定します。SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、受信バッファフル割り込みが発生したり、送信バッファエンプティ割り込みが発生したり、送信が開始されたりするフレーム数も変更されます。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが “0” になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが “1” になり RSPI 送信バッファエンプティ割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが “1” になり受信バッファフル割り込みが発生します。

表 37.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。

表37.4　SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	送信バッファ、受信バッファが「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが “1” の期間) に行ってください。

詳細は、「37.2.5　RSPI データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが “0” のとき有効です。SPLW ビットが “0” のときはワードアクセス、SPLW ビットが “1” のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが “0” のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ～ 16 ビットに設定してください。20、24、32 ビットは選択しないでください。

SPBYT ビット (RSPI バイトアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが “0” のときは、SPLW ビットの設定に従って SPDR レジスタにアクセスしてください。SPBYT ビットが “1” のときは、バイトアクセスで SPDR レジスタにアクセスしてください。

また、SPBYT ビットが “1” のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ビットに設定ししてください。9 ～ 16、20、24、32 ビットは選択しないでください。

37.2.10　RSPI クロック遅延レジスタ (SPCKD)

アドレス　RSPI0.SPCKD 000D 010Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが “1” の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の場合、SPCKD レジスタを書き換えないでください。

SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが “1” の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを “000b” にしてください。

37.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 000D 010Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSLAi 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の場合、SSLND レジスタを書き換えないでください。

SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

SPCMDm.SLNDEN ビットが “1” の場合の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを “000b” にしてください。

37.2.12　RSPI 次アクセス遅延レジスタ (SPND)

アドレス　RSPI0.SPND 000D 010Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが “1” の状態で、シリアル転送終了後の SSLAi 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の場合、SPND レジスタを書き換えないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが “1” の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを “000b” にしてください。

37.2.13　RSPI 制御レジスタ 2 (SPCR2)

アドレス　RSPI0.SPCR2 000D 010Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット(注1)	0：送信データにパリティビットを付加しない 　受信データのパリティチェックを行わない 1：送信データにパリティビットを付加する 　受信データのパリティチェックを行う	R/W
b1	SPOE	パリティモードビット(注1)	0：偶数パリティで送受信 1：奇数パリティで送受信	R/W
b2	SPIIE	アイドル割り込み許可ビット	0：アイドル割り込み要求の生成を禁止 1：アイドル割り込み要求の生成を許可	R/W
b3	PTE	パリティ自己診断ビット	0：パリティ回路自己診断機能は無効 1：パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット(注1)	0：RSPCK自動停止機能が無効 1：RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SPCR.SPEビットが“1”の場合、SPPE、SPOE、SCKASEビットの設定値を変更しないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが “1” のときのみ有効です。

SPIIE ビット (アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが “0” になった場合に、アイドル割り込み要求の生成を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「37.3.10.1　オーバランエラー」を参照ください。

37.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7)

アドレス　RSPI0.SPCMD0 000D 0110h, RSPI0.SPCMD1 000D 0112h, RSPI0.SPCMD2 000D 0114h, RSPI0.SPCMD3 000D 0116h, RSPI0.SPCMD4 000D 0118h, RSPI0.SPCMD5 000D 011Ah, RSPI0.SPCMD6 000D 011Ch, RSPI0.SPCMD7 000D 011Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0：アイドル時のRSPCKがLow 1：アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0：ベースのビットレートを選択 0 1：ベースのビットレートの2分周を選択 1 0：ベースのビットレートの4分周を選択 1 1：ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0：SSL0 0 0 1：SSL1 0 1 0：SSL2 0 1 1：SSL3 1 x x：設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0：転送終了時に全SSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持(バースト転送)	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100～0111：8ビット 1 0 0 0：9ビット 1 0 0 1：10ビット 1 0 1 0：11ビット 1 0 1 1：12ビット 1 1 0 0：13ビット 1 1 0 1：14ビット 1 1 1 0：15ビット 1 1 1 1：16ビット 0 0 0 0：20ビット 0 0 0 1：24ビット 0010, 0011：32ビット	R/W
b12	LSBF	RSPI LSBファーストビット	0：MSBファースト 1：LSBファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0：次アクセス遅延は1 RSPCK + 2 PCLK 1：次アクセス遅延はRSPI次アクセス遅延レジスタ(SPND)の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0：SSLネゲート遅延は1 RSPCK 1：SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ(SSLND)の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0：RSPCK遅延は1 RSPCK 1：RSPCK遅延はRSPIクロック遅延レジスタ(SPCKD)の設定値	R/W

x：Don’t care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ～ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが “0”、SPCR.SPE ビットが “1” の場合、SPCMDm レジスタを書き換えないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード / スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード / スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「37.2.8　RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし /2 分周 /4 分周 /8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを “000b” にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを “000b” にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを “1” とすることによってバースト転送が可能となります。詳細は「37.3.12.1　マスタモード動作の (4)　バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを “0” にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード / スレーブモードの RSPI の転送データ長を設定します。SPDCR.SPBYT ビットが “1” のときは “0100b” (8 ビット) に設定してください。SPDCR.SPBYT ビットが “0”、かつ SPDCR.SPLW ビットが “0” のときは、“0100b” (8 ビット) ～ “1111b” (16 ビット) の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード / スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードの RSPI がシリアル転送を終了して SSLAi 信号を非アクティブにしてから、次アクセスの SSLAi 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが “0” のとき、RSPI は次アクセス遅延を 1 RSPCK + 2 PCLK にします。SPNDEN ビットが “1” のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを “0” にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSLAi 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが “0” のとき、RSPI は SSL ネゲート遅延を 1 RSPCK にします。SLNDEN ビットが “1” のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを “0” にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSLAi 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが “0” のとき、RSPI は RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが “1” のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを “0” にしてください。

37.2.15　RSPI データコントロールレジスタ 2 (SPDCR2)

アドレス　RSPI0.SPDCR2 000D 0120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DINV	BYSW
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップビット	0：SPDRのデータをバイト単位でスワップしない 1：SPDRのデータをバイト単位でスワップする	R/W
b1	DINV	転送データ反転ビット	0：送信バッファのデータをそのままシフトレジスタに転送、受信したデータをそのまま受信バッファに転送 1：送信バッファのデータを論理反転してシフトレジスタに転送、受信したデータを論理反転して受信バッファに転送	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPDCR2 レジスタは、送受信データのバイトの並び、データ論理を設定するためのレジスタです。
SPCR.SPE ビットが “0” のときに書き換えてください。

BYSW ビット (バイトスワップビット)

送信時は SPDR レジスタに書かれたデータの送信順序を、受信時は受信したデータを SPDR レジスタに転送するときのバイト位置を、変更するためのビットです。SPDCR.SPBYT ビットが “0” のとき有効です。

バイトスワップを使用する場合は、SPCMDm.SPB[3:0] ビットを “1111b” (16 ビット)、“0010b” (32 ビット) または “0011b” (32 ビット) のいずれかに設定してください。また、SPCR2.SPPE ビットは “0” (パリティビットを付加しない) にしてください。

詳細は、「37.3.4.3　バイトスワップ送信」、「37.3.4.4　バイトスワップ受信」を参照してください。

DINV ビット (転送データ反転ビット)

送受信バッファとシフトレジスタ間のデータ転送時に、各ビットの論理反転を行うビットです。

パリティビットはシフトレジスタに転送された後のデータに対して付加されます。また、パリティチェックもシフトレジスタ内のデータに対して行われます。

37.2.16　RSPI 制御レジスタ 3 (SPCR3)

アドレス　RSPI0.SPCR3 000D 0121h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPCIE	—	—	SCKDDIS	RXMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXMD	受信動作モード設定ビット (注1)	0：全二重通信または送信のみの単方向通信(送信回路動作) 1：受信のみの単方向通信(送信回路停止)	R/W
b1	SCKDDIS	データバイト間RSPCK遅延無効化ビット(注1)	0：バースト転送時のデータバイト間に遅延を入れる 1：バースト転送時のデータバイト間の遅延をなくす	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SPCIE	通信完了割り込み許可ビット	0：通信完了割り込み要求の生成を禁止 1：通信完了割り込み要求の生成を許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SPCR.SPE ビットが“1”の場合、RXMD、SCKDDIS ビットの設定値を変更しないでください。

SPCR3 レジスタは、RSPI の動作モードを設定するレジスタです。

RXMD ビット (受信動作モード設定ビット)

送信回路を停止させ、受信回路のみを動作させるためのビットです。スレーブモード時のみ有効です。

このビットが “1” のとき、SPCR.TXMD ビットの設定は無視されます。

SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット)

バースト転送時に、各データバイト間の遅延を挿入するかしないかを選択するビットです。

マスタモード時かつ SPCMDm.SSLKP ビットが “1” の場合に有効です。スレーブモード時は “0” にしてください。

SPCIE ビット (通信完了割り込み許可ビット)

通信完了割り込み要求の生成を許可 / 禁止するビットです。

37.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

37.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 37.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表37.5　RSPIのモードとSPCRレジスタの設定の関係および各モードの概要

モード	SPI動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MOSIA信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MISOA信号	出力 /Hi-Z(注2)	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z(注3)	Hi-Z(注3)
SSLA1～SSLA3信号	Hi-Z(注3)	出力	出力 /Hi-Z(注1)	Hi-Z(注3)	Hi-Z(注3)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～ PCLK/4	～ PCLK/2	～ PCLK/2	～ PCLK/4	～ PCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ～ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたはRSPCK 発振	送信バッファエンプティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	送信バッファエンプティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	RSPCK 発振	送信バッファエンプティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり (注7)	あり	あり	あり (注7)	あり
受信バッファフル検出	あり (注4)				
オーバランエラー検出	あり (注4)	あり (注4、注6)	あり (注4、注6)	あり (注4)	あり (注4、注6)
アンダランエラー検出	あり (注7)	なし	なし	あり (注7)	なし
パリティエラー検出	あり (注4、注5)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1.　SSLA0が他のマスタによってアサートされると、端子がHi-Zになります。
注2.　SSLA0がネゲートされているまたはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。
注3.　本モードでは使用しません。
注4.　SPCR.TXMDビットが“1”のときは、受信バッファフル、オーバランエラー、パリティエラーの検出を行いません。
注5.　SPCR2.SPPEビットが“0”のときは、パリティエラーの検出を行いません。

注6. SPCR2.SCKASEビットが“1”のときは、オーバランエラーの検出を行いません。
注7. SPCR3.RXMDビットが“1”のときは、送信バッファエンプティとアンダランエラーの検出を行いません。

37.3.2 RSPI 端子の制御

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI は、SPPCR.MOIFE、MOIFV ビットの設定に従って、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 37.6 のように決定します。

表37.6 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIA信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

37.3.3 RSPI システム構成例

37.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 37.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ～ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注 1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注 1. SPCMDm.CPHA ビットが “0” の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

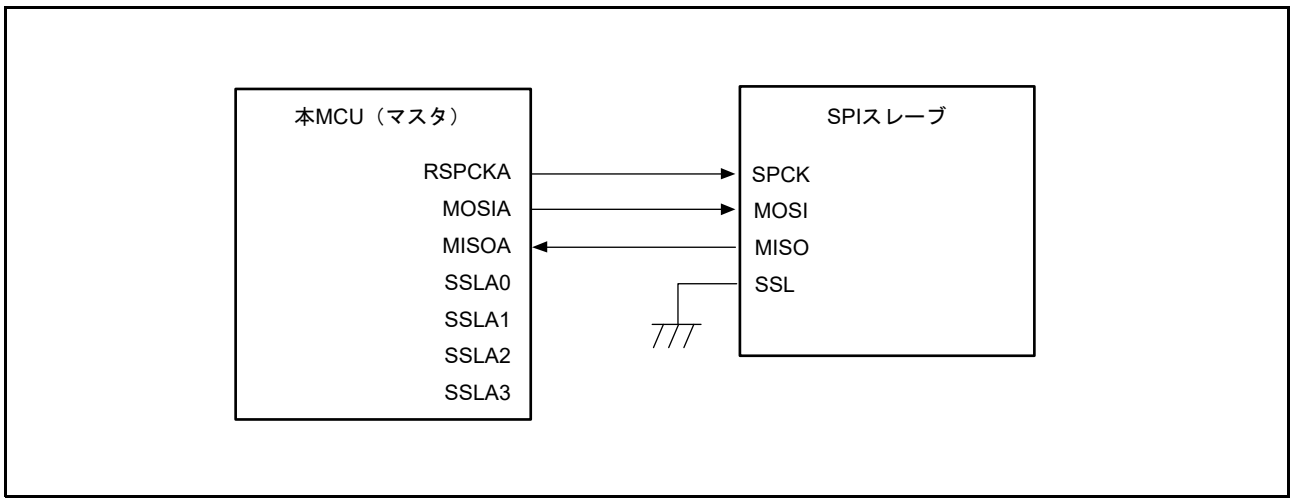


図 37.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

37.3.3.2　シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 37.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です (図 37.7)。ただしこの場合、通信完了割り込みや通信完了イベントは発生しません。

注 1.　SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

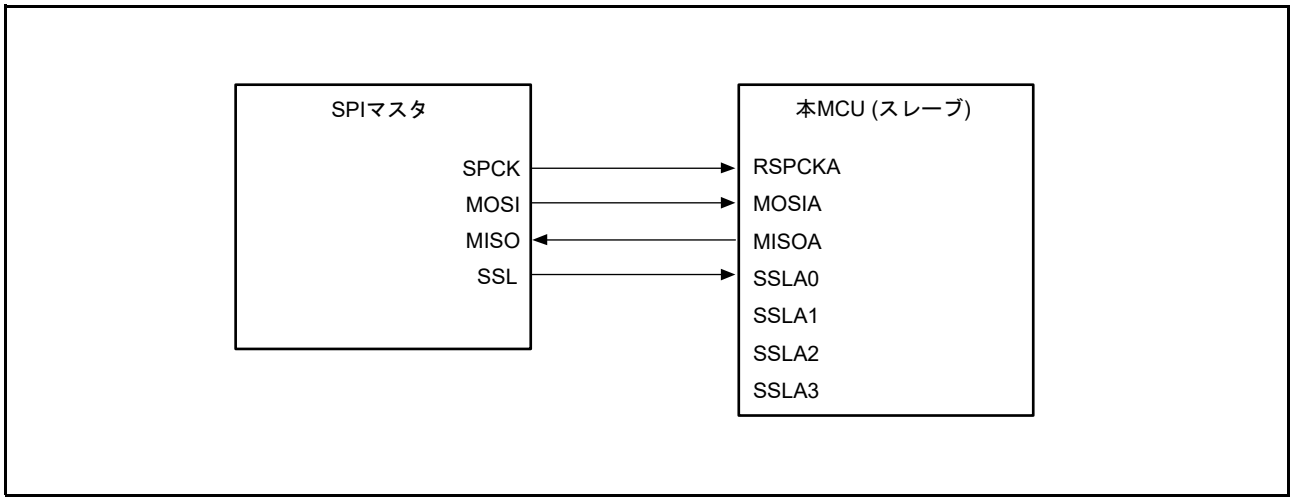


図 37.6　シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

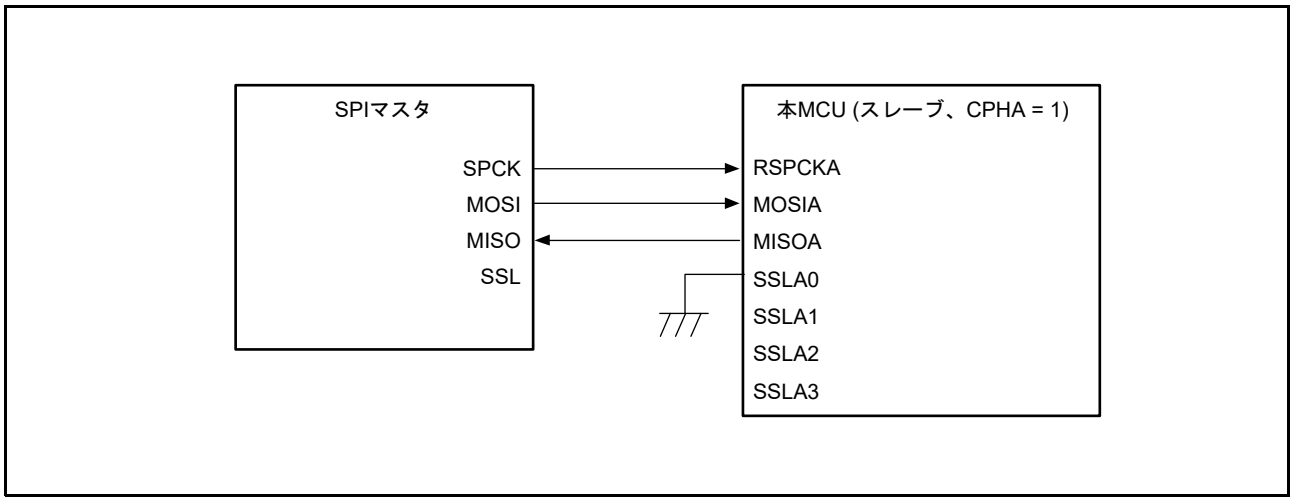


図 37.7　シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

37.3.3.3　シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 37.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 37.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ～ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ～ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ～ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ～ SSLA3 出力は、それぞれ SPI スレーブ 0 ～ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ～ SSLA3 をドライブします。SPI スレーブ 0 ～ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

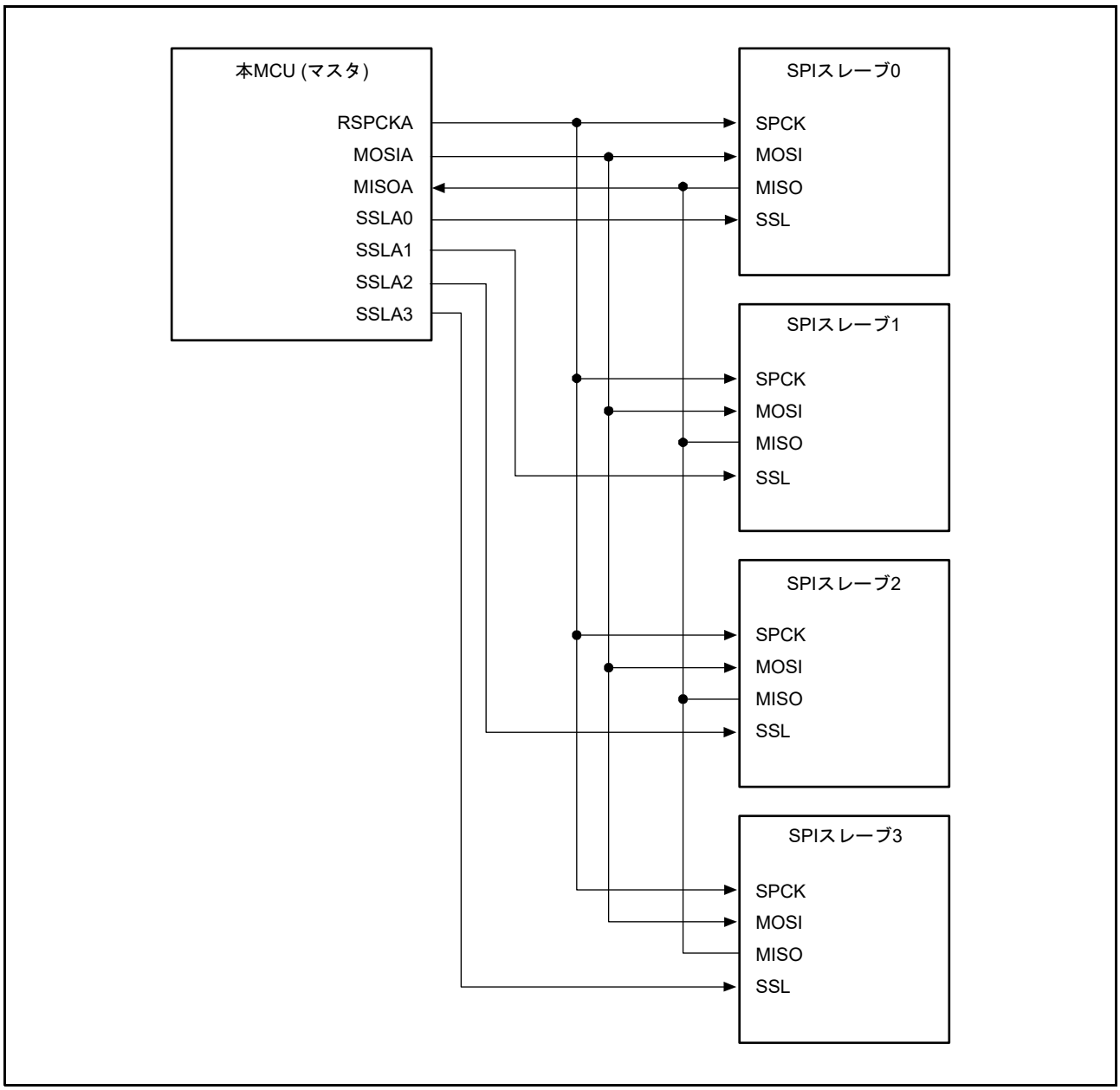


図 37.8　シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

37.3.3.4　シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 37.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 37.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

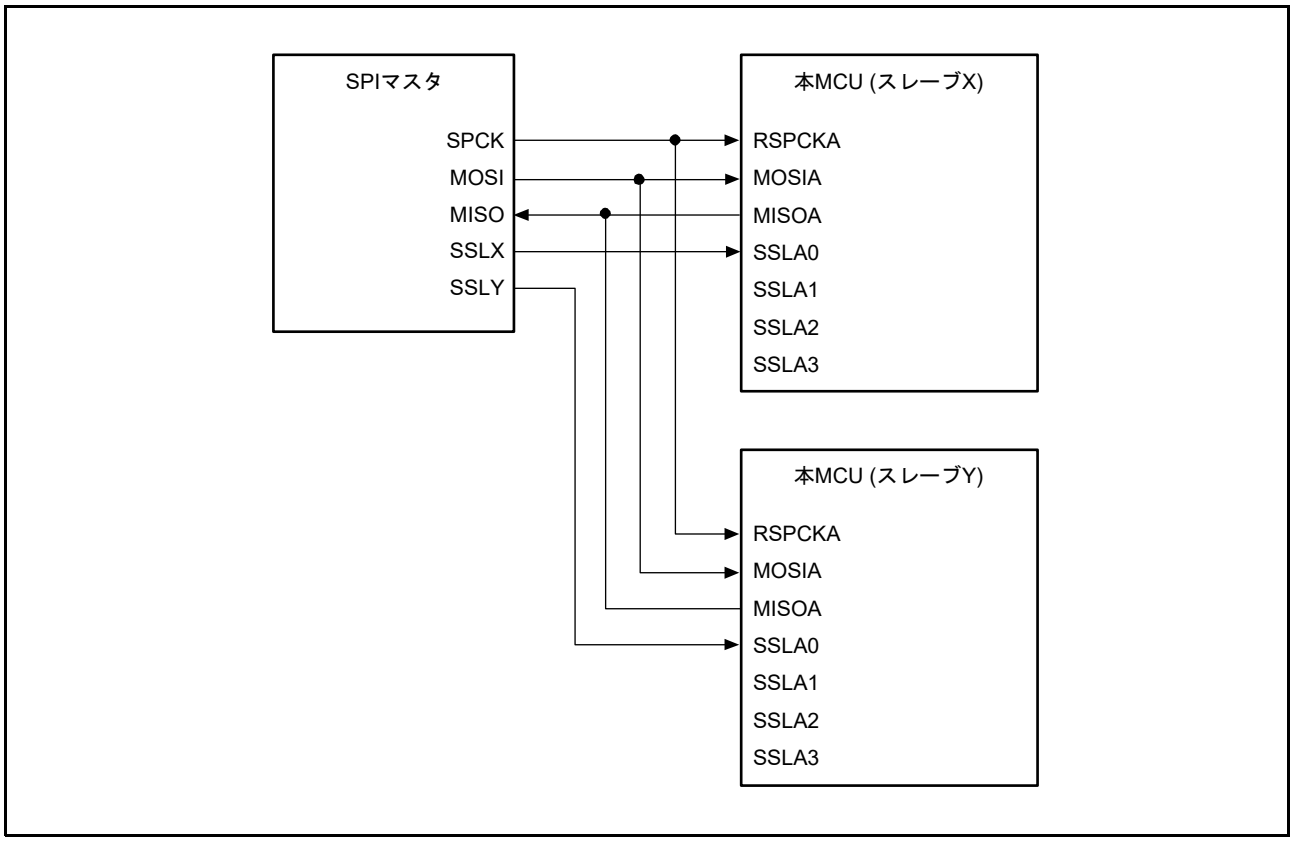


図 37.9　シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

37.3.3.5　マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 37.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 37.10 の例では、2 つの本 MCU (マスタ X、マスタ Y) と 2 つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

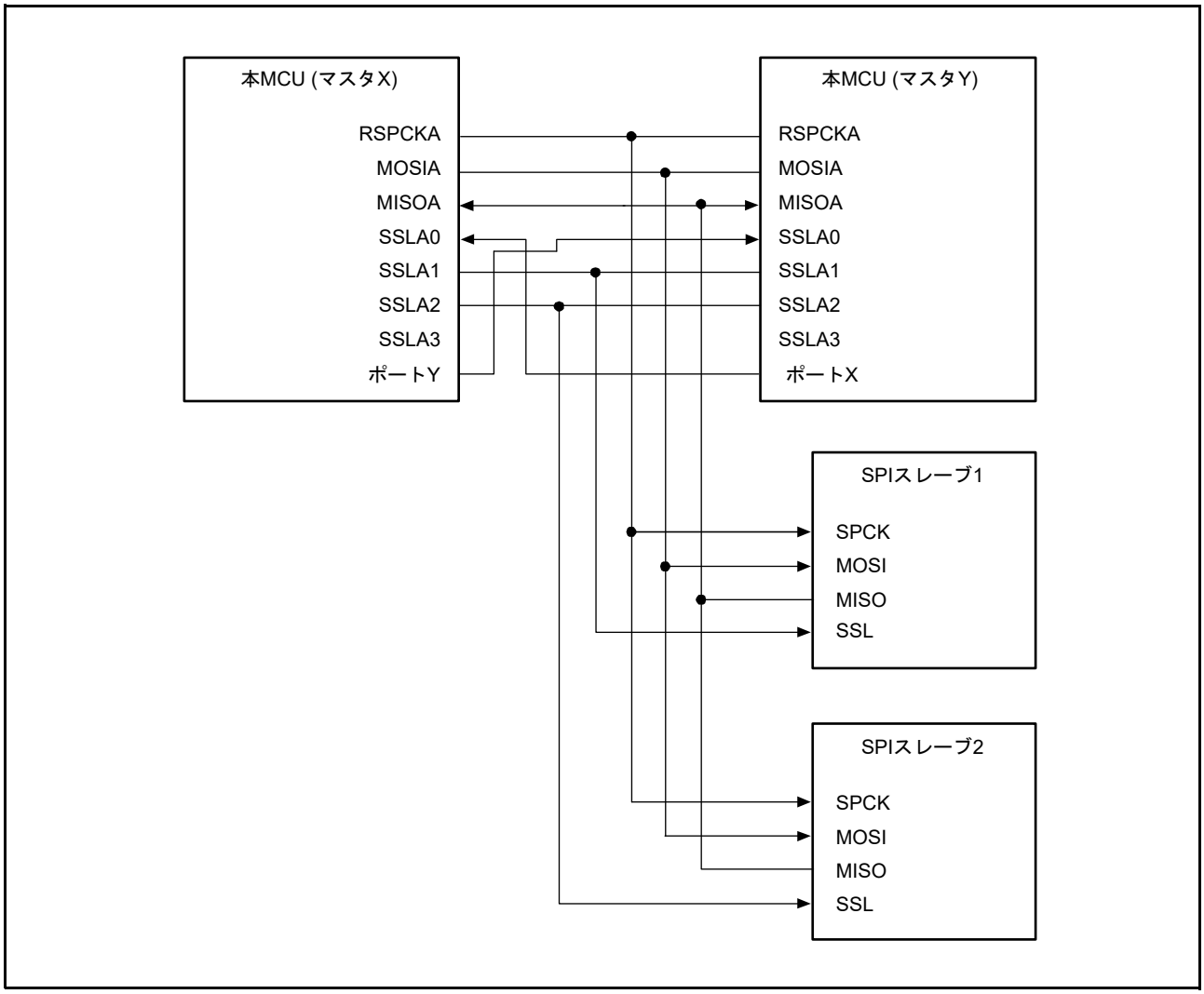


図 37.10　マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

37.3.3.6　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 37.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ～ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

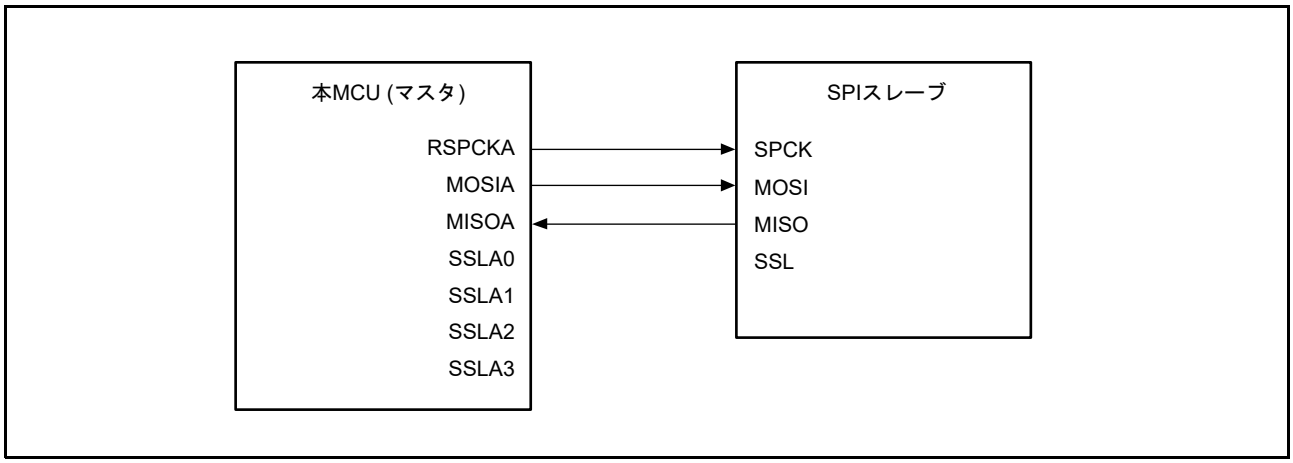


図 37.11　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

37.3.3.7　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 37.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ～ SSLA3 は使用しません。

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

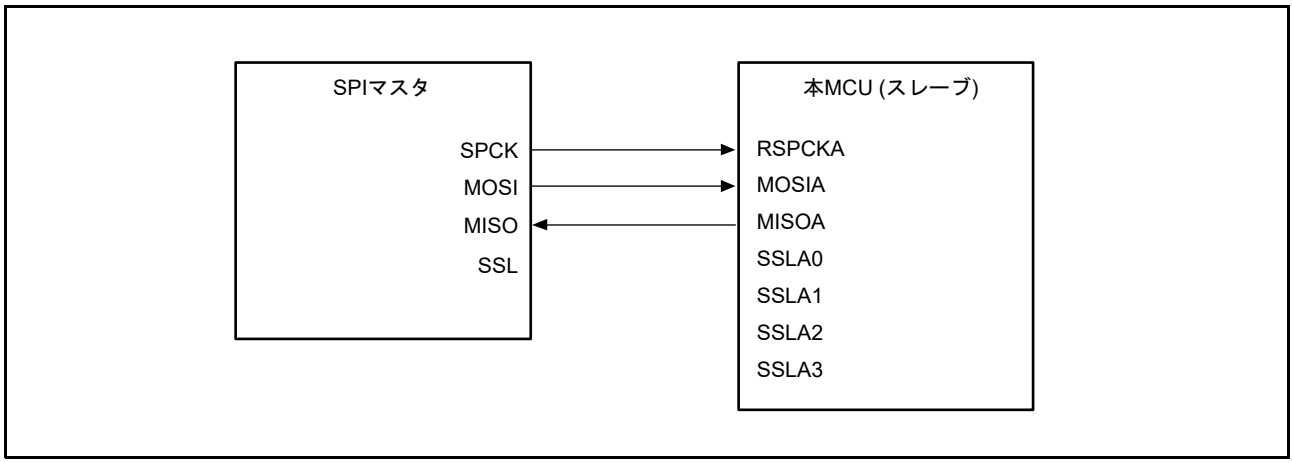


図 37.12　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成例 (本 MCU = スレーブ、CPHA = 1)

37.3.4　データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMDm)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE)、RSPI データコントロールレジスタ 2 (SPDCR2) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a)　パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMDm.SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b)　パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMDm.SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

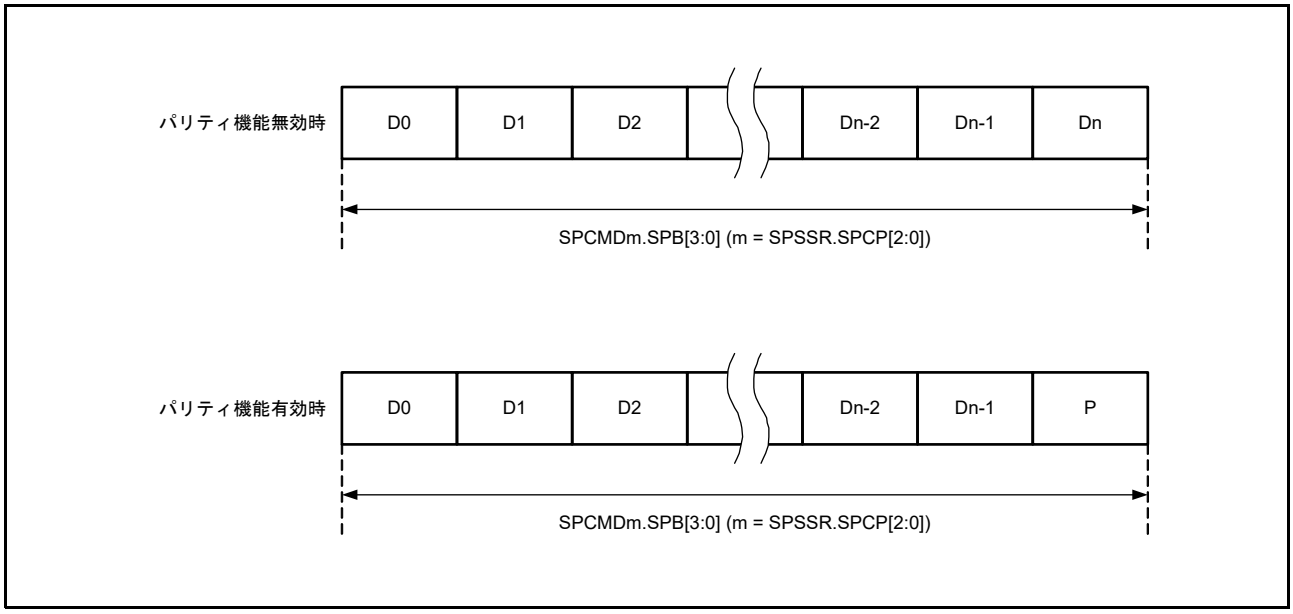


図 37.13　データフォーマット概要 (パリティ機能無効時 / 有効時)

37.3.4.1　パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1)　MSB ファースト転送 (32 ビットデータ)

図 37.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ～ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

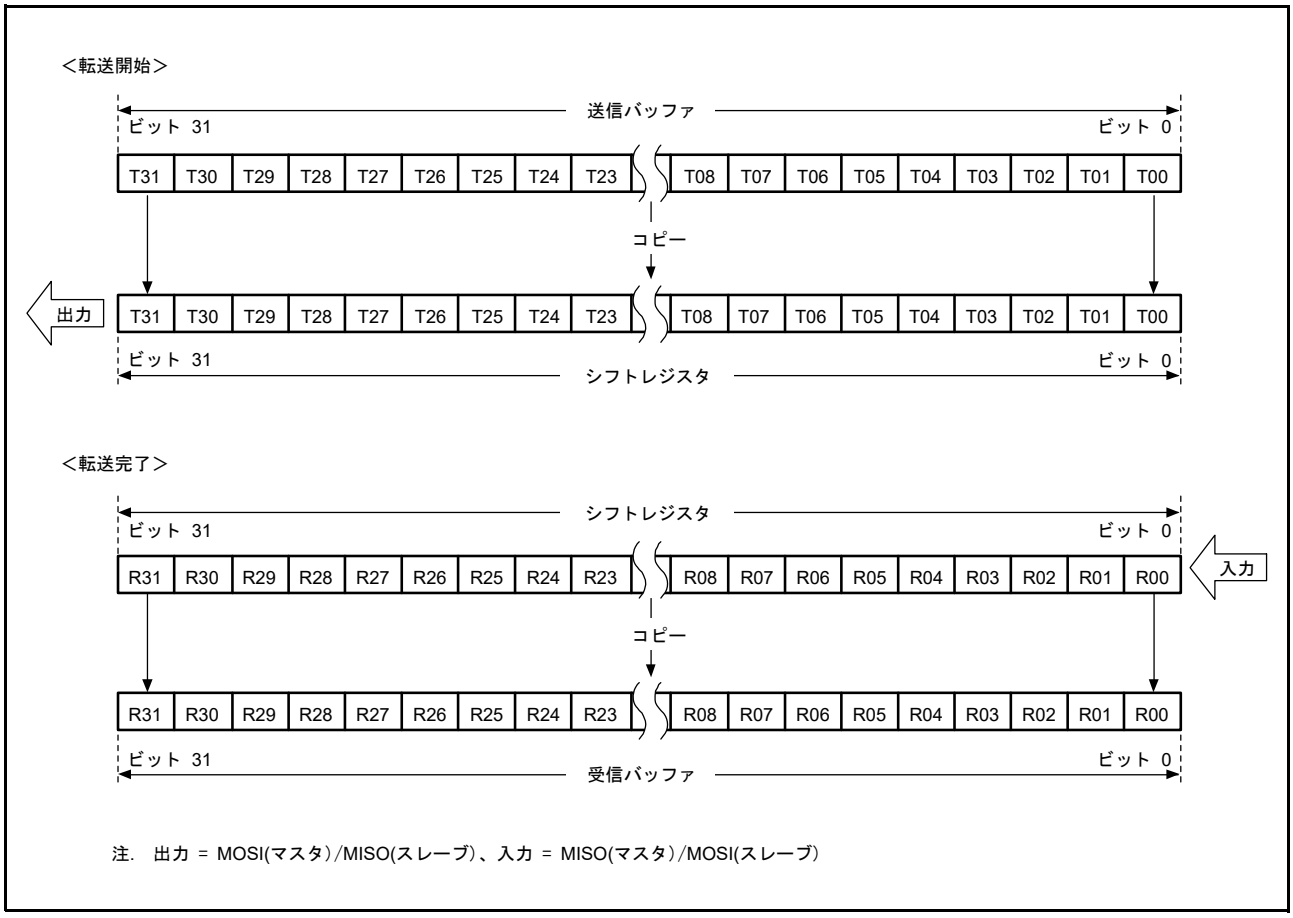


図 37.14　MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2)　MSB ファースト転送 (24 ビットデータ)

図 37.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ～ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、SPCR3.RXMD ビットが “0” であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。SPCR3.RXMD ビットが “1” であれば、受信バッファの上位 8 ビットには “00h” が格納されます。

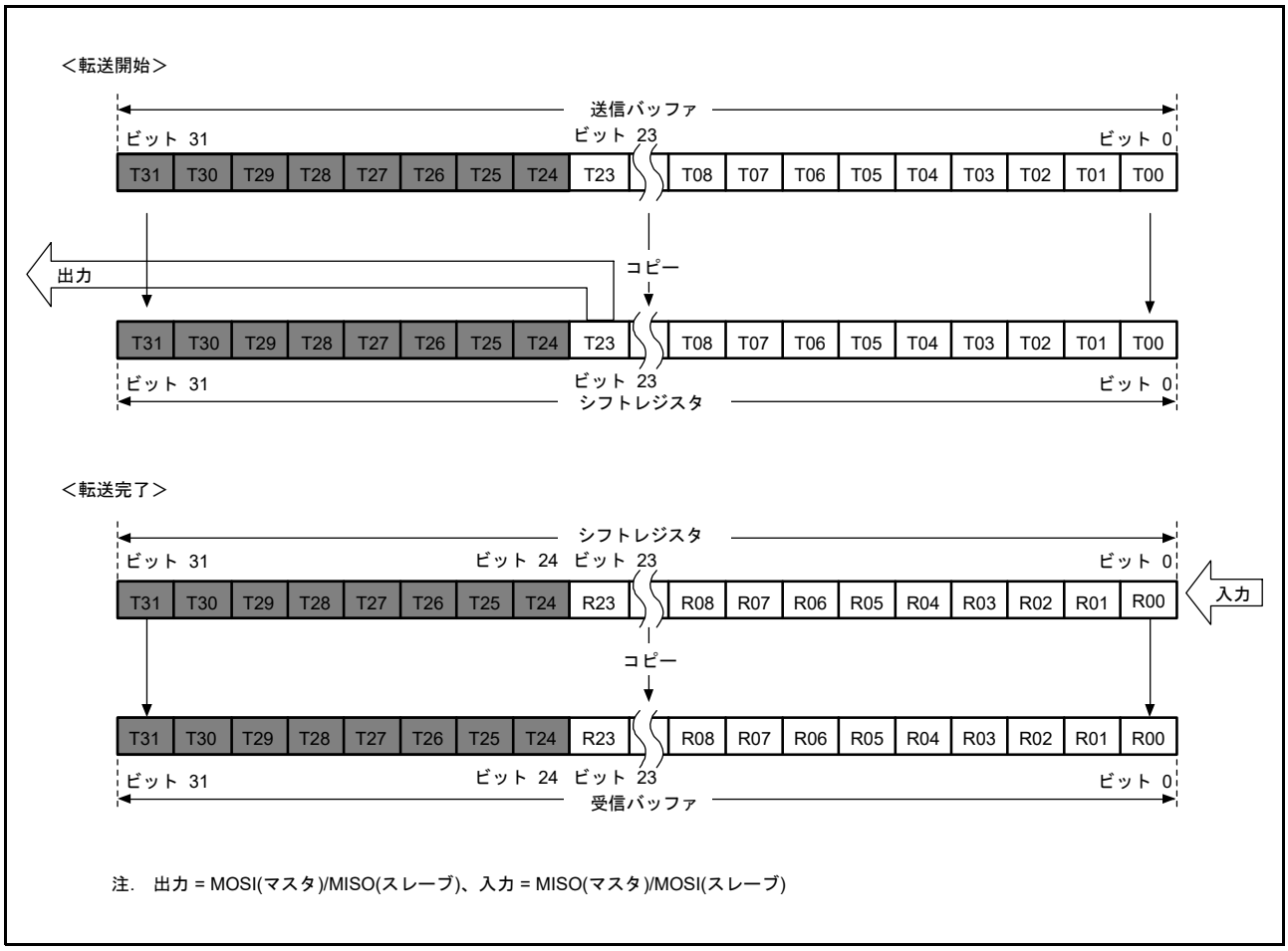


図 37.15　MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3)　LSB ファースト転送 (32 ビットデータ)

図 37.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ～ T00) をビット単位で入れ替え、シフトレジスタに T00 ～ T31 の順番に並び替えコピーします。送信データは、T00 → T01 →・・・T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

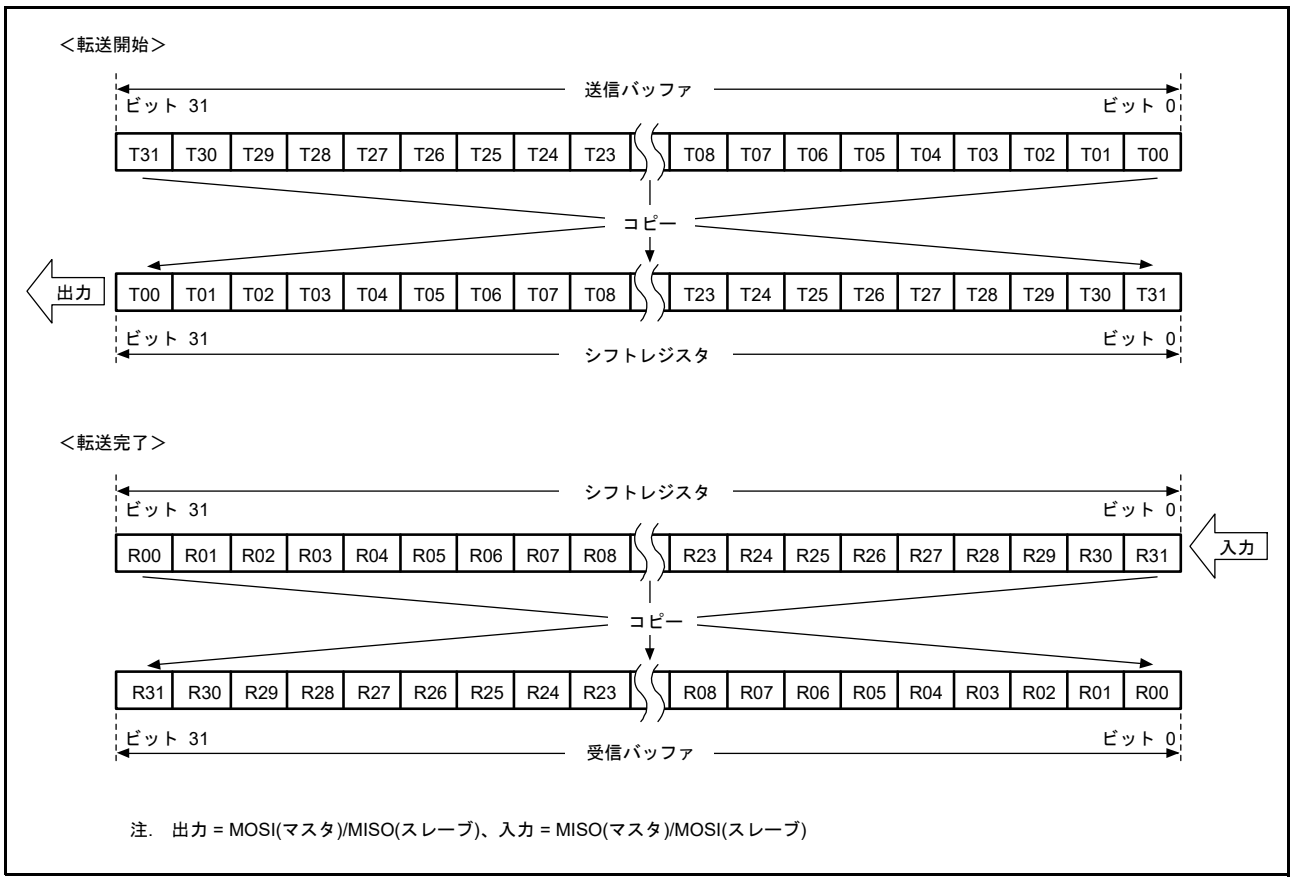


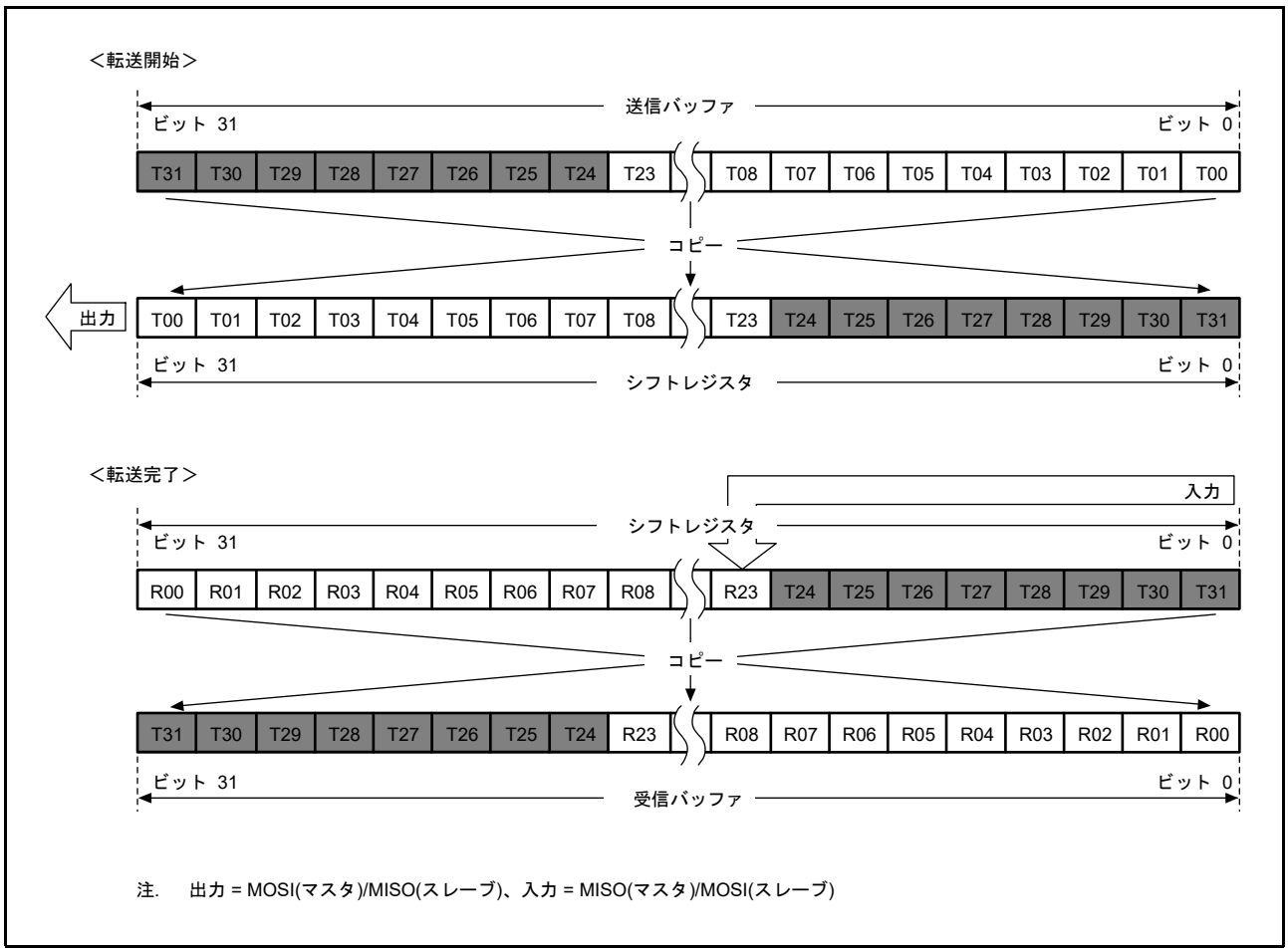
図 37.16　LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4)　LSB ファースト転送 (24 ビットデータ)

図 37.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ～ T00) をビット単位で T00 ～ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、SPCR3.RXMD ビットが “0” であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。SPCR3.RXMD ビットが “1” であれば、受信バッファの上位 8 ビットには “00h” が格納されます。



注.　出力 = MOSI(マスタ)/MISO(スレーブ)、入力 = MISO(マスタ)/MOSI(スレーブ)

図 37.17　LSB ファースト (24 ビットデータ / パリティ機能無効)

37.3.4.2　パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1)　MSB ファースト転送 (32 ビットデータ)

図 37.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ～ P のデータをチェックし、パリティエラーの判定を行います。

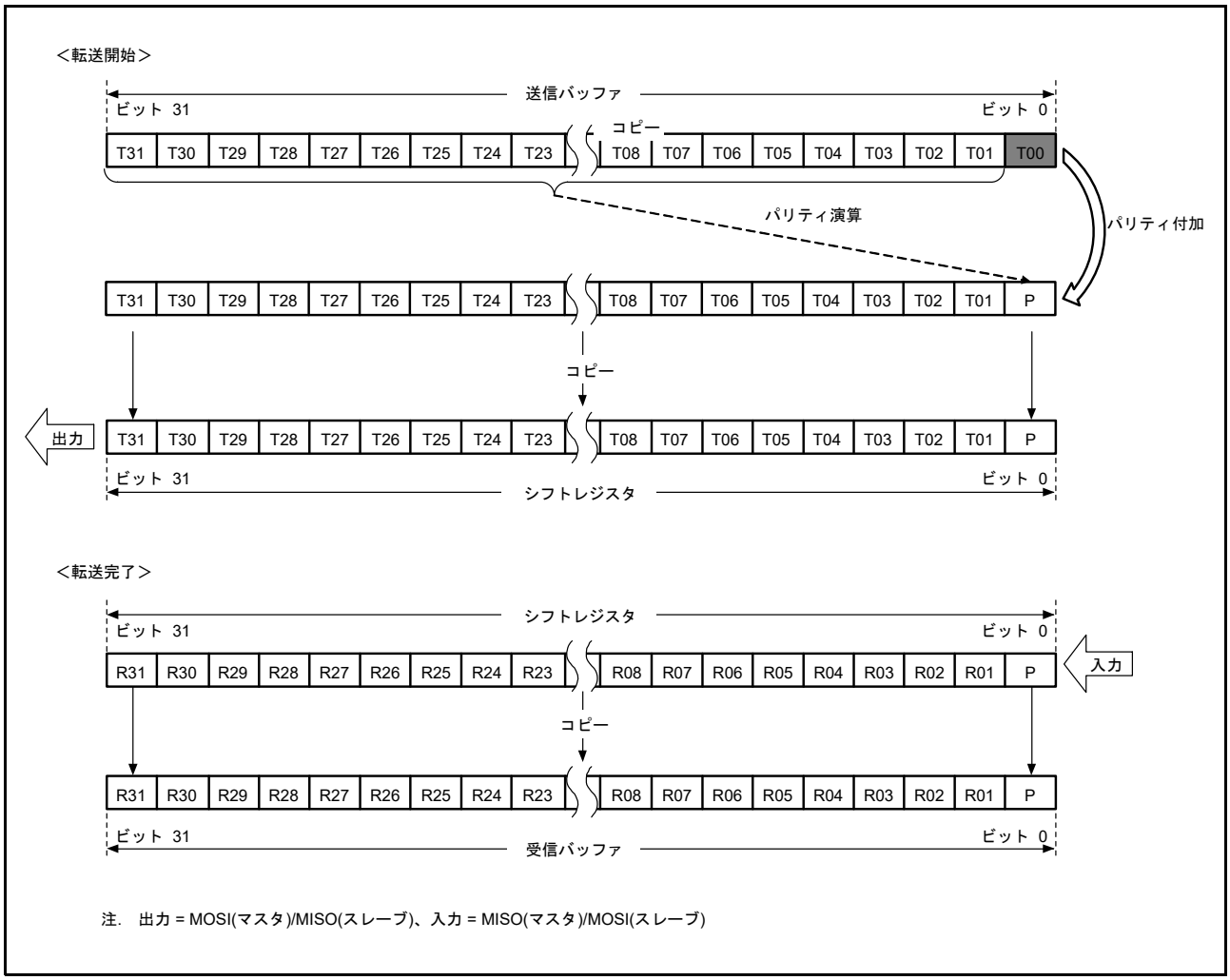


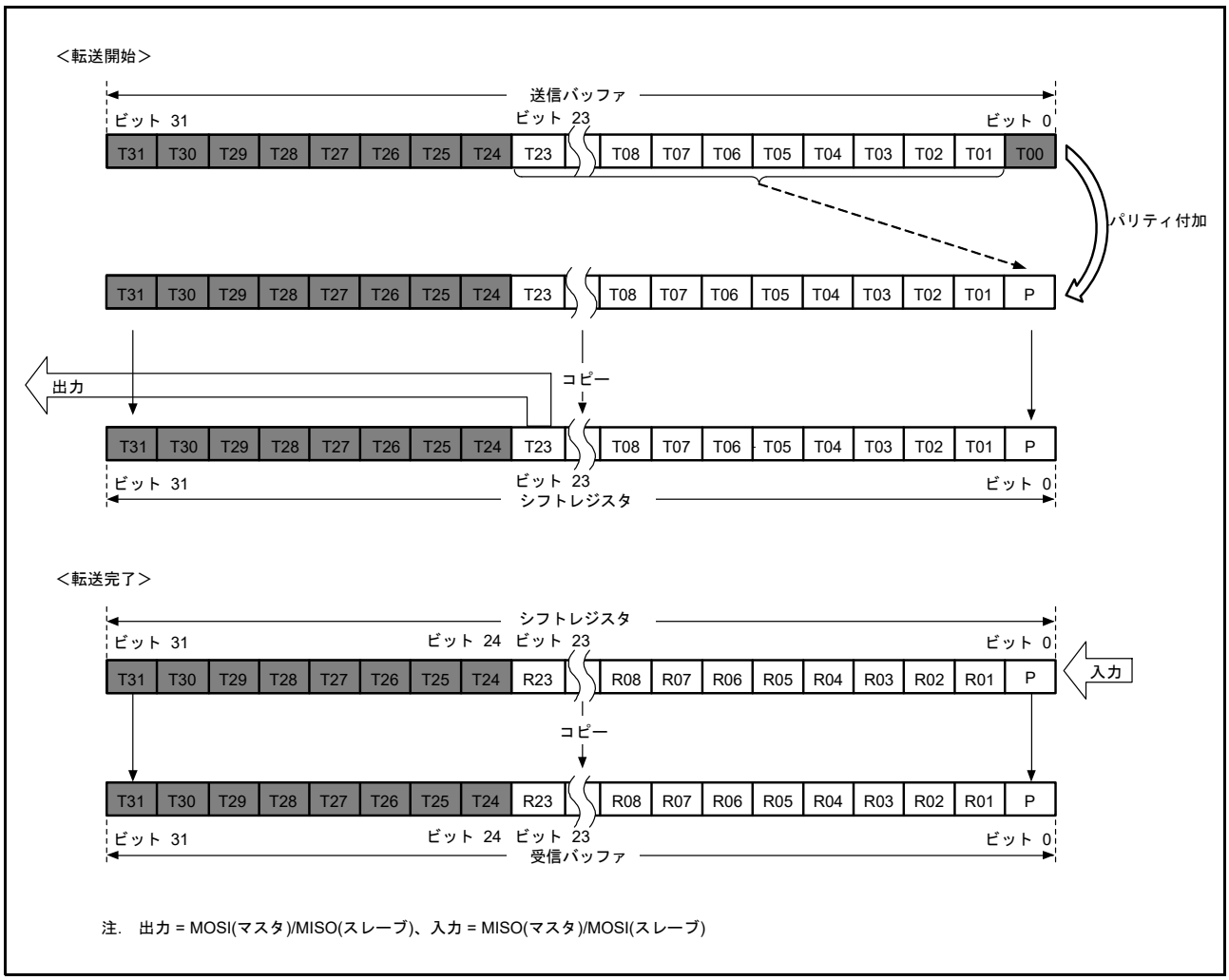
図 37.18　MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2)　MSB ファースト転送 (24 ビットデータ)

図 37.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、SPCR3.RXMD ビットが “0” であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。SPCR3.RXMD ビットが “1” であれば、受信バッファの上位 8 ビットには “00h” が格納されます。



注.　出力 = MOSI(マスタ)/MISO(スレーブ)、入力 = MISO(マスタ)/MOSI(スレーブ)

図 37.19　MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3)　LSB ファースト転送 (32 ビットデータ)

図 37.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。

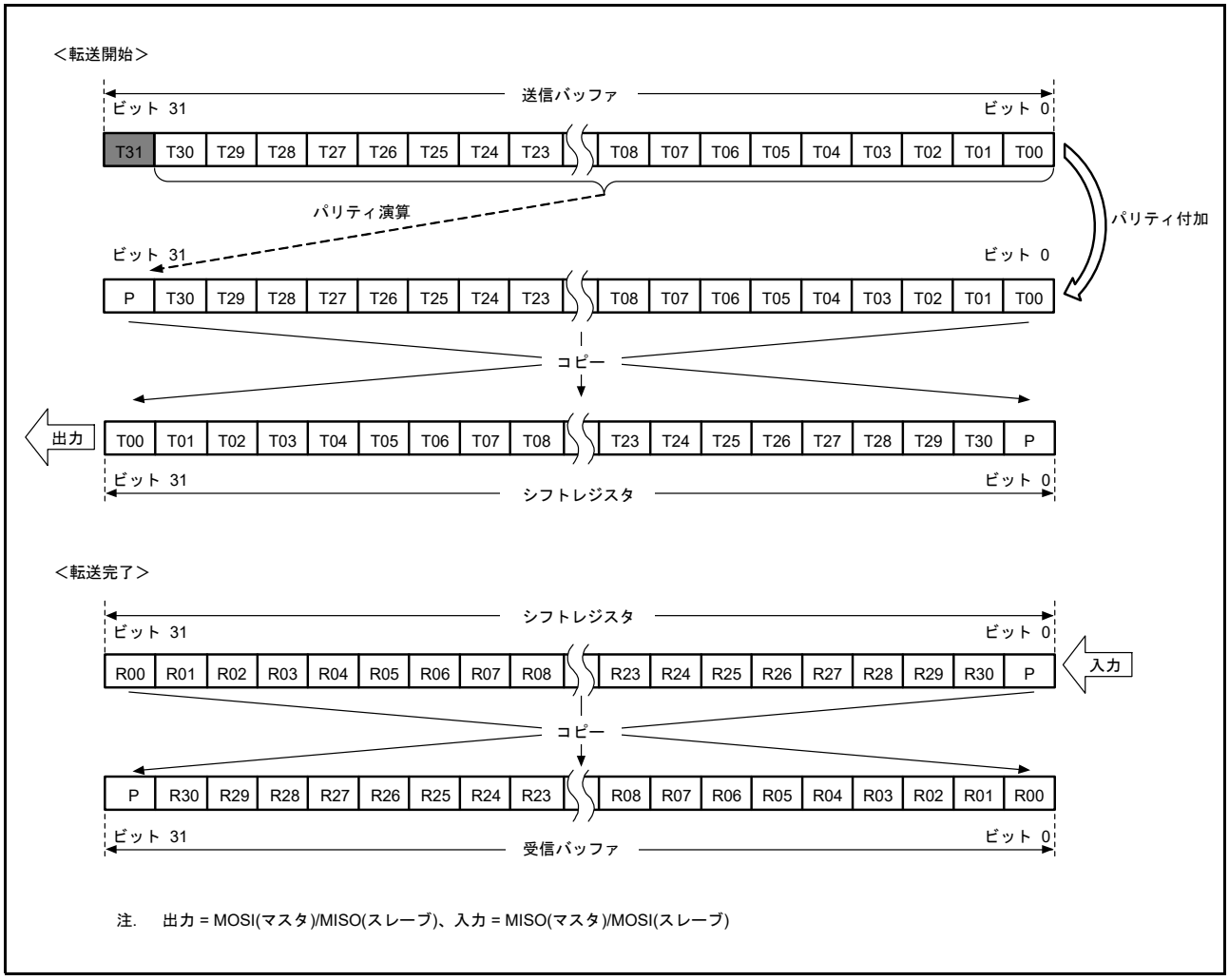


図 37.20　LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 37.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、SPCR3.RXMD ビットが “0” であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。SPCR3.RXMD ビットが “1” であれば、受信バッファの上位 8 ビットには “00h” が格納されます。

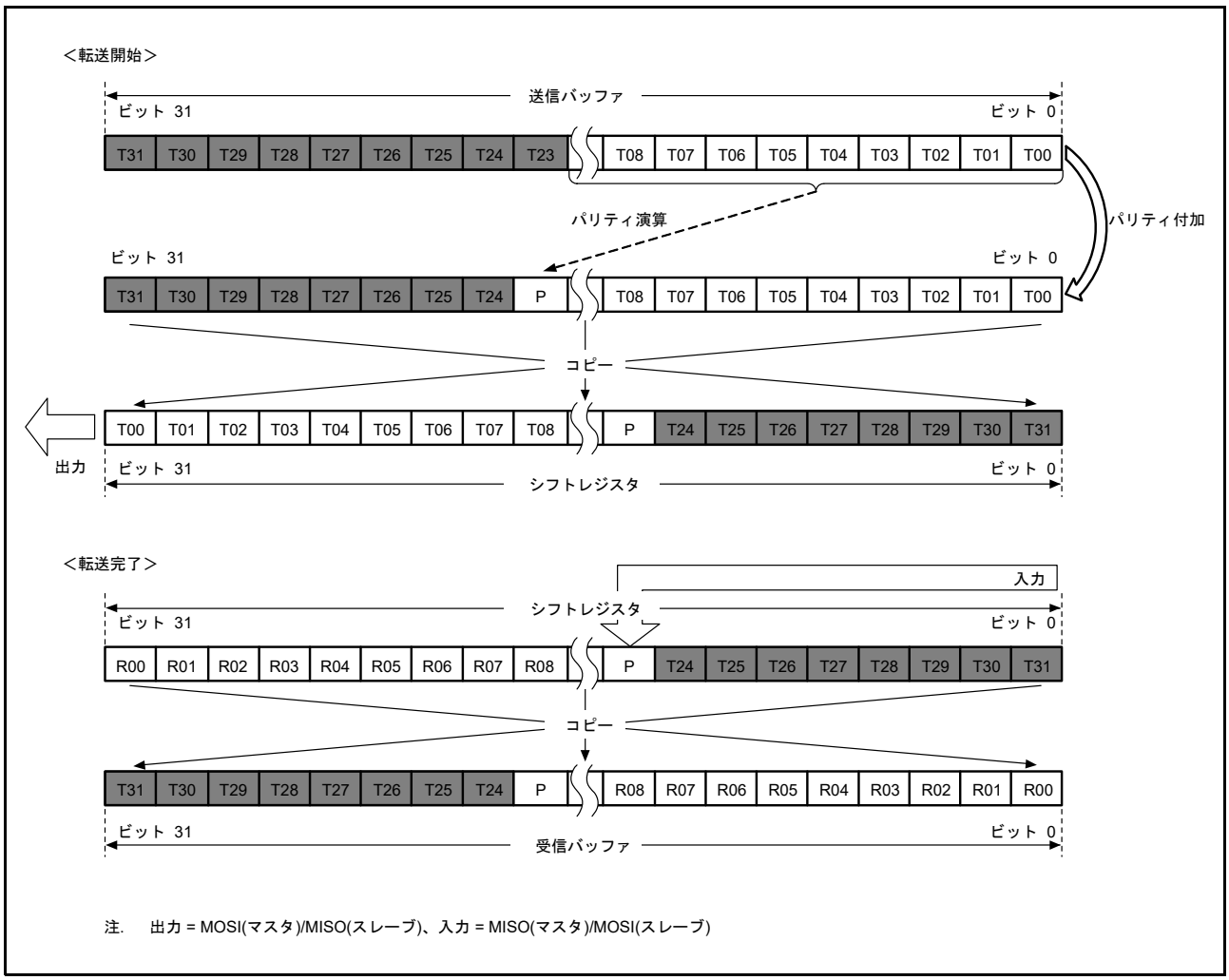


図 37.21　LSB ファースト (24 ビットデータ / パリティ機能有効)

37.3.4.3　バイトスワップ送信

SPDCR2.BYSW ビットが “1” (SPDR のデータをバイト単位でスワップする) のときは、送信バッファ (SPDR) のデータを 8 ビット単位で入れ替えてシフトレジスタに転送します。図 37.22 にデータ長が 32 ビットの場合の SPDR レジスタとシフトレジスタ間のデータ転送の様子を示します。

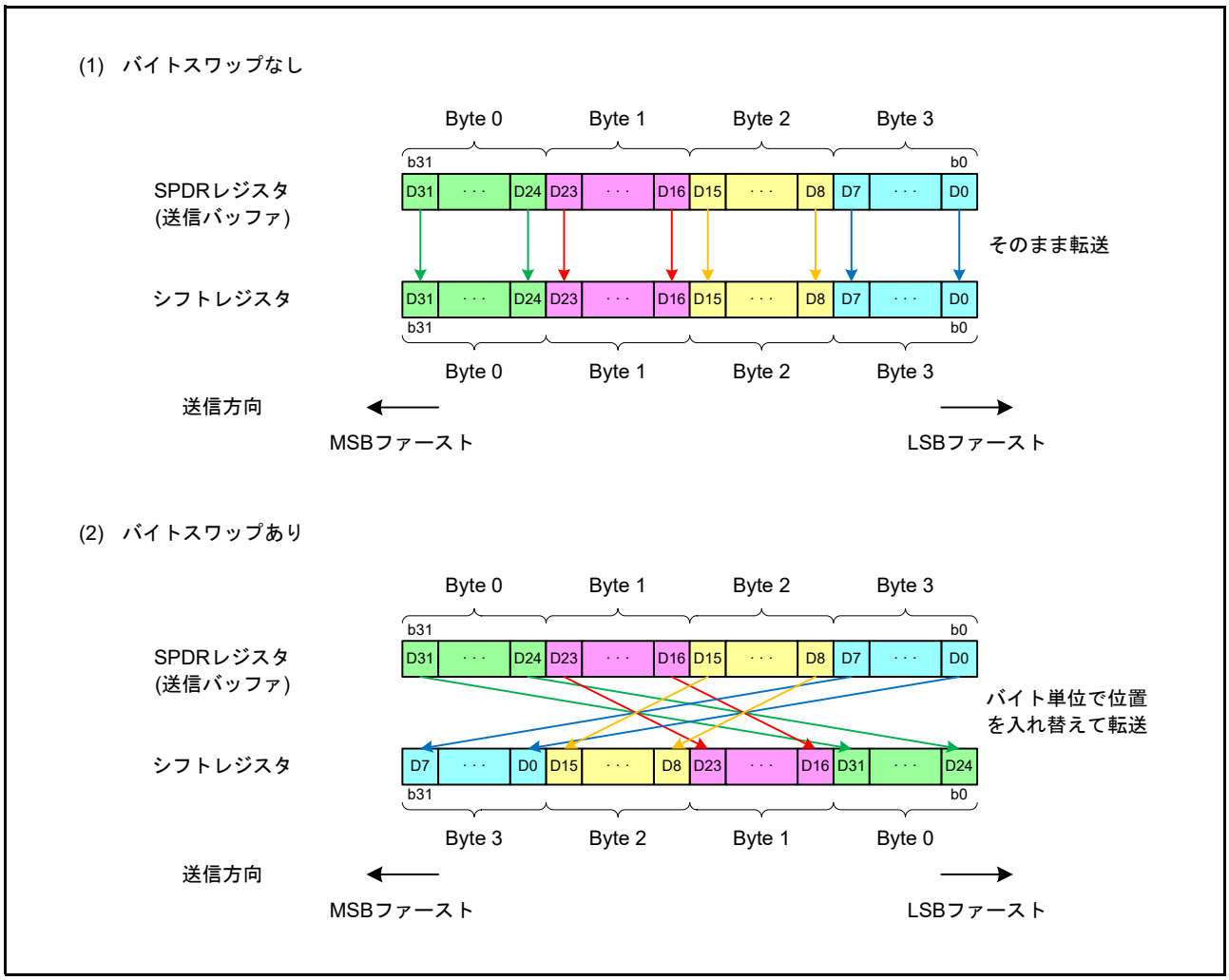


図 37.22　MSB/LSB ファーストとバイトスワップあり / なしの設定と送信データ変換

37.3.4.4　バイトスワップ受信

SPDCR2.BYSW ビットが “1” (SPDR のデータをバイト単位でスワップする) のときは、シフトレジスタのデータを 8 ビット単位で入れ替えて受信バッファ (SPDR) に転送します。図 37.23 にデータ長が 32 ビットの場合のシフトレジスタと SPDR レジスタ間のデータ転送の様子を示します。

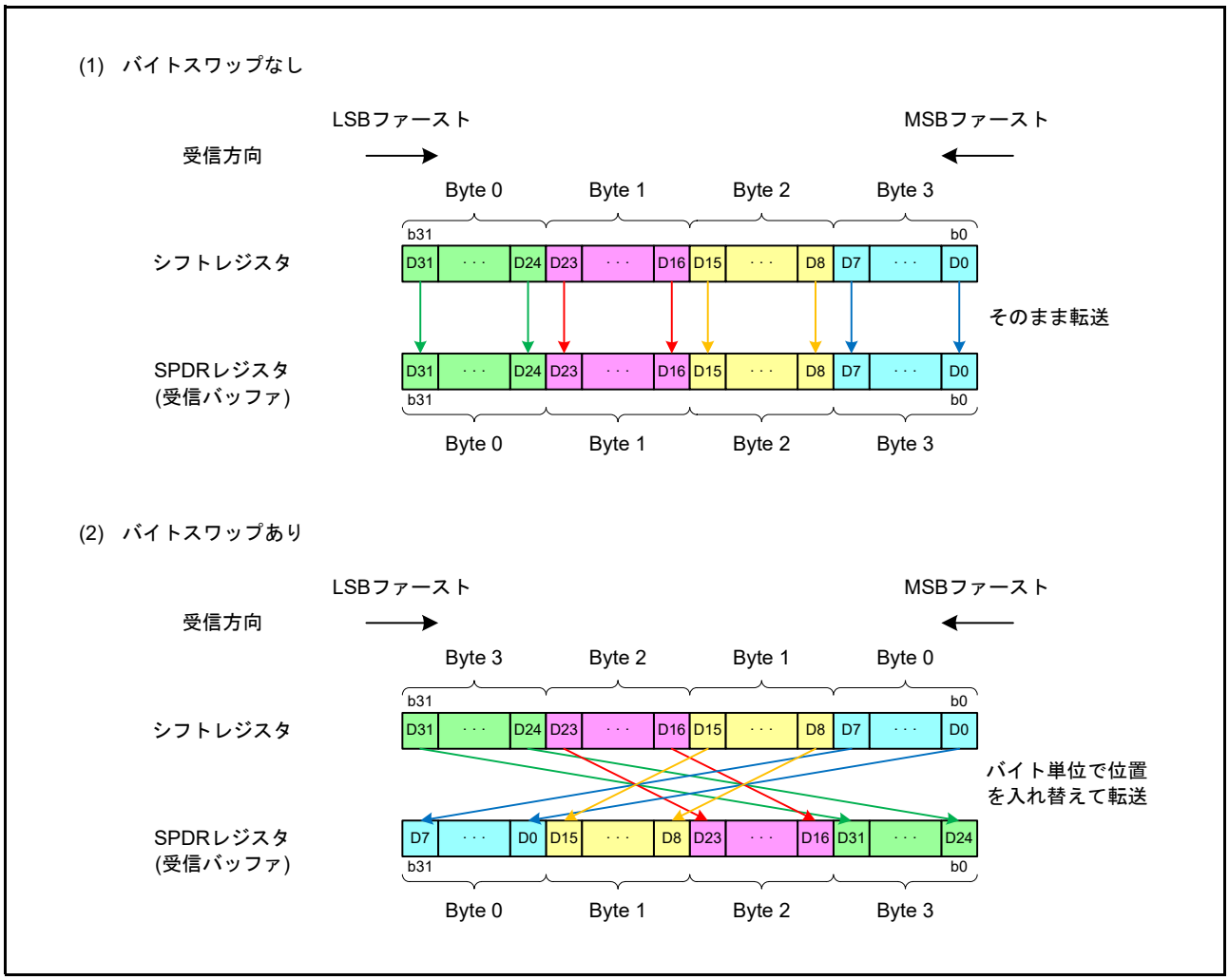


図 37.23　MSB/LSB ファーストとバイトスワップあり / なしの設定と受信データ変換

37.3.5　転送フォーマット

37.3.5.1　CPHA ビット = 0 の場合

図 37.24 に SPCMDm.CPHA ビットが “0” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが “0” の場合のクロック同期式動作 (SPCR.SPMS ビットが “1” の場合) はしないでください。図 37.24 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが “0” の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが “1” の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「37.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “0” の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「37.3.12.1　マスタモード動作」を参照してください

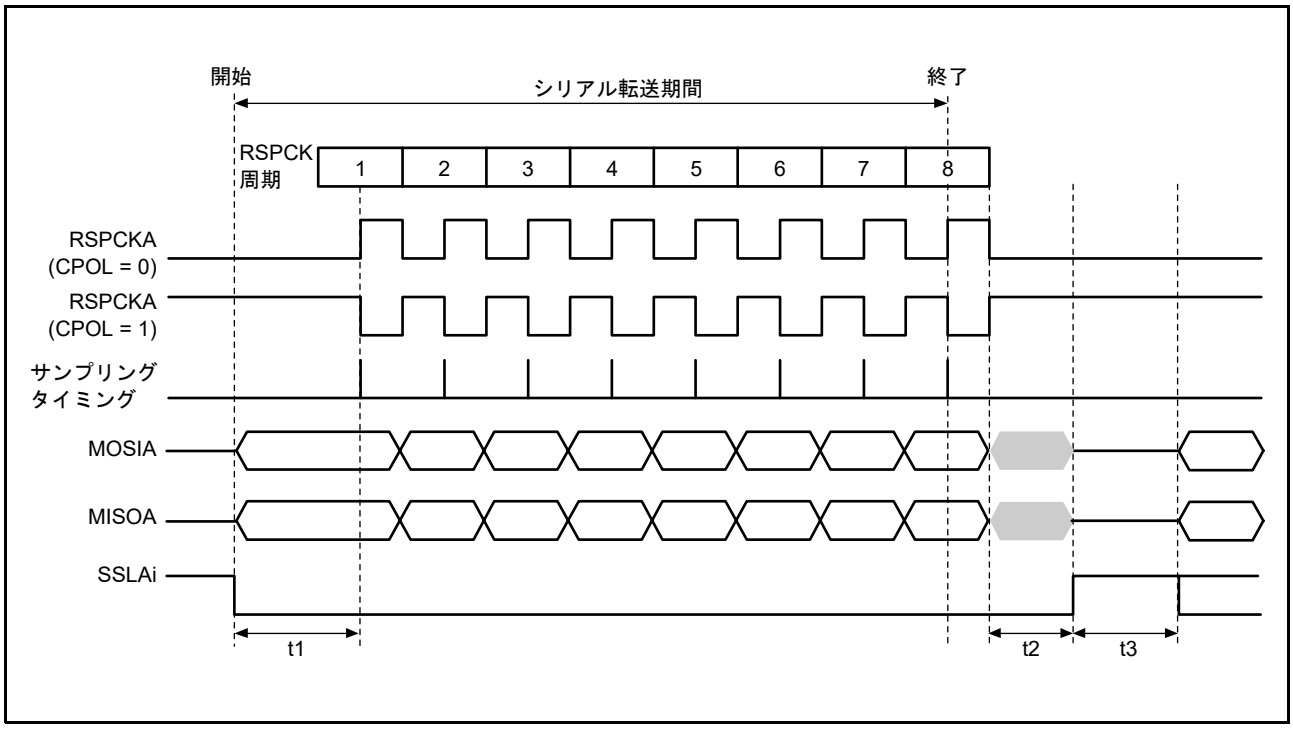


図 37.24　RSPI 転送フォーマット (CPHA ビット = 0)

37.3.5.2　CPHA ビット = 1 の場合

図 37.25 に SPCMDm.CPHA ビットが “1” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが “1” の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 37.25 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが “0” の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが “1” の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ / スレーブ) に依存します。詳細は「37.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “1” の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「37.3.12.1　マスタモード動作」を参照してください。

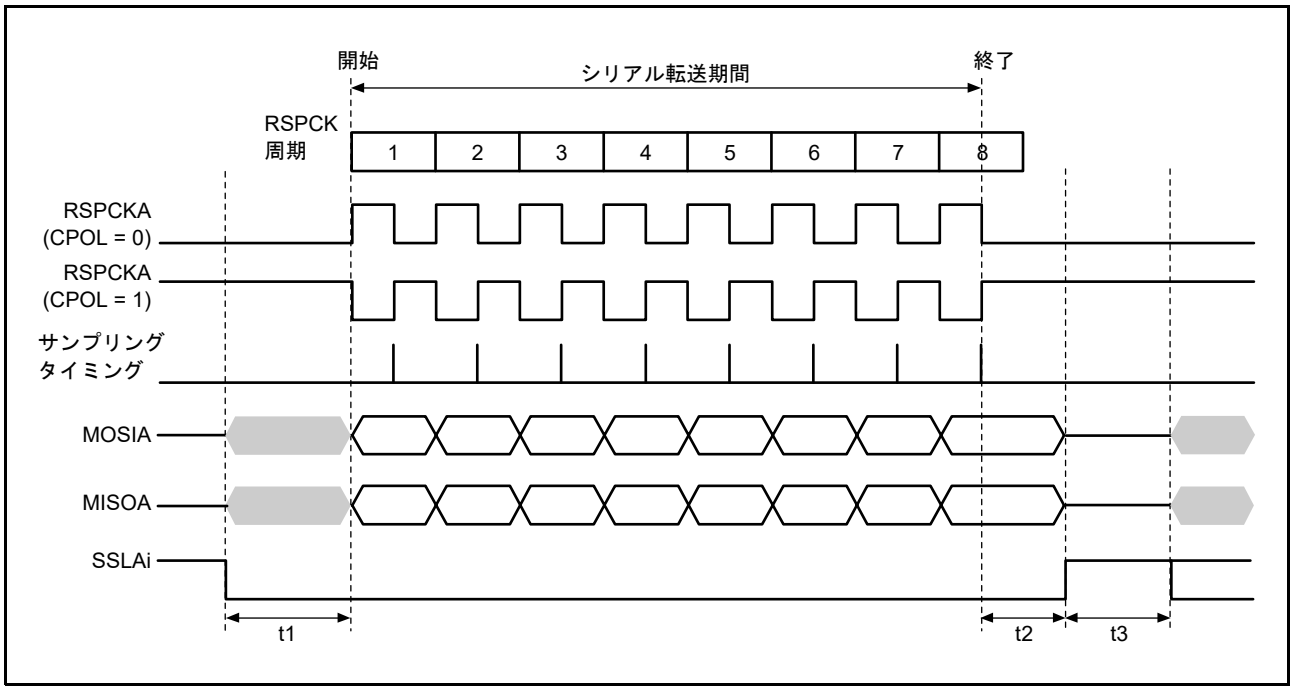


図 37.25　RSPI 転送フォーマット (CPHA ビット = 1)

37.3.6　通信動作モード

SPCR.TXMD ビット、SPCR3.RXMD ビットの設定により、全二重通信、送信のみの単方向通信、または受信のみの単方向通信を選択します。

図 37.26、図 37.27 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。

37.3.6.1　全二重通信 (SPCR.TXMD = 0, SPCR3.RXMD = 0)

図 37.26 に、SPCR.TXMD ビットを “0”、SPCR3.RXMD ビットを “0” にした場合の動作例を示します。図 37.26 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

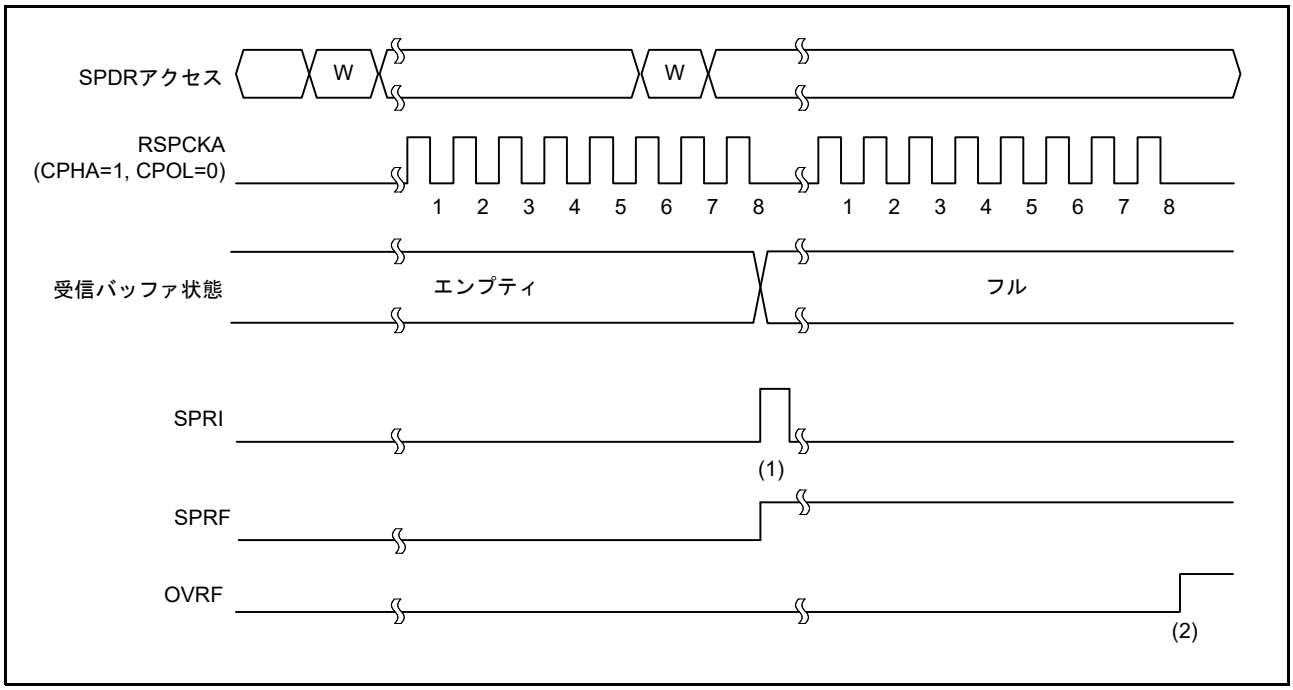


図 37.26　SPCR.TXMD = 0, SPCR3.RXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

(1) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを “1”) してシフトレジスタの受信データを受信バッファにコピーします。

(2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを “1” にしてシフトレジスタの受信データを破棄します。

全二重通信時 (SPCR.TXMD = 0, SPCR3.RXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで “1” になります。

37.3.6.2　送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0)

図 37.27 に、SPCR.TXMD ビットを “1”、SPCR3.RXMD ビットを “0” にした場合の動作例を示します。図 37.27 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

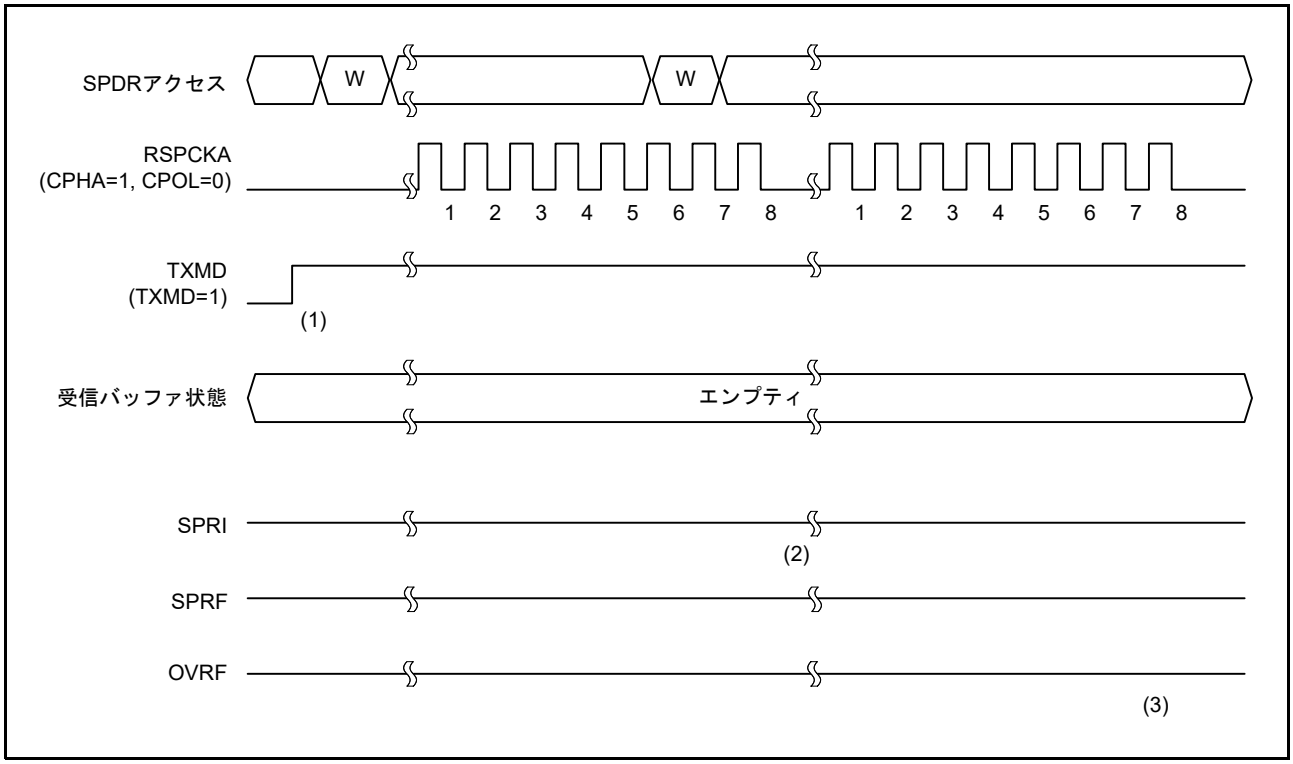


図 37.27　SPCR.TXMD = 1, SPCR3.RXMD = 0 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

(1) 送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが “0” であることを確認してから、行ってください。

(2) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0) のときは、SPRF フラグは “0” を維持し、シフトレジスタのデータを受信バッファへコピーしません。

(3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは “0” を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみの単方向通信時 (SPCR.TXMD = 1, SPCR3.RXMD = 0) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも “0” を保持します。

37.3.6.3　受信のみの単方向通信 (SPCR3.RXMD = 0)

受信のみの単方向通信は、SPCR.MSTR ビットが “0” (スレーブモード) のときのみ有効です。

図 37.28 に、SPCR3.RXMD ビットを “1” にした場合の動作例を示します。図 37.28 の例では、SPDCR.SPFC[1:0] = 00b、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

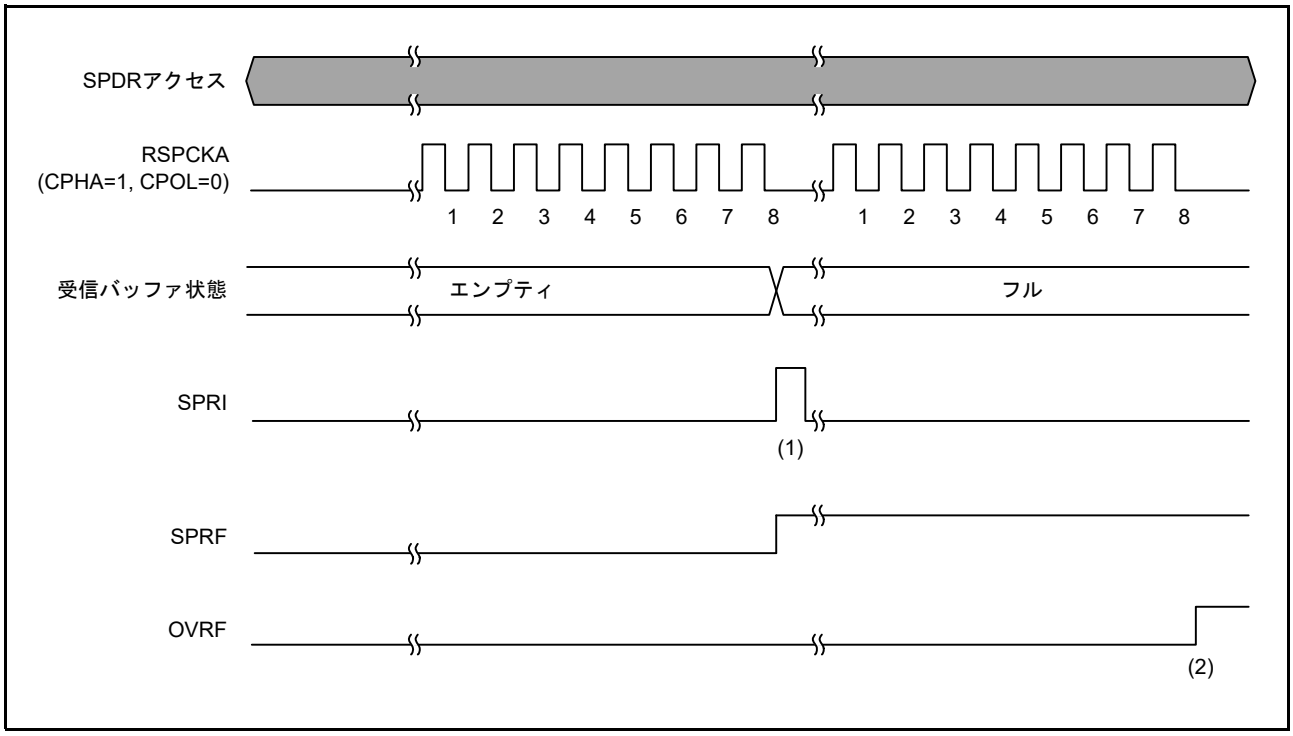


図 37.28　SPCR3.RXMD = 1 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

(1) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを “1”) してシフトレジスタの受信データを受信バッファにコピーします。

(2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを “1” にしてシフトレジスタの受信データを破棄します。

37.3.7　送信バッファエンプティ / 受信バッファフル割り込み

図 37.29 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 37.29 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 37.29 の例では、SPCR.TXMD ビットが “0”、SPCR3.RXMD ビットが “0”、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

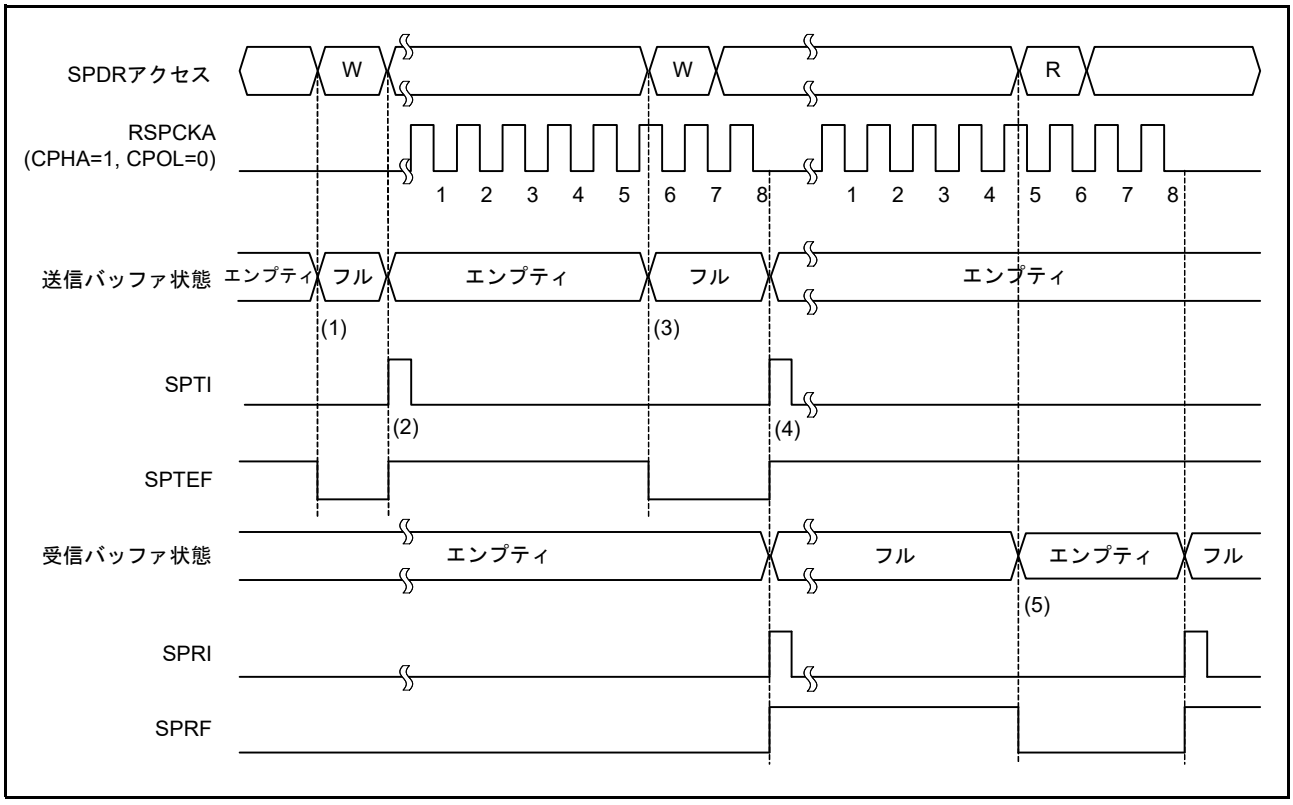


図 37.29　SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ～ (5) に示したタイミングでの割り込みの動作内容を説明します。

(1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを “0” にします。

(2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を生成し、SPSR.SPTEF フラグを “1” にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(**「37.3.12　SPI 動作」、「37.3.13　クロック同期式動作」**参照)

(3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが “0” になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。

(4) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を生成し、SPSR.SPRF フラグを “1” にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを “1” にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

(5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが “0” になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが “0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを “1” にしてください。

SPCR.SPE ビットを “0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に “0” にしてください。SPCR.SPE ビットが “0” のときに SPCR.SPTIE ビットが “1” であると、送信バッファエンプティ割り込み要求が発生します。

受信バッファフル (SPRF フラグが “1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (**「37.3.10　エラー検出」**参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを “1” にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、**「14.　割り込みコントローラ (ICUG)」**を参照してください。また、SPTEF フラグ /SPRF フラグによって確認することもできます。

37.3.8　アイドル割り込み

SPCR2.SPIIE ビットが “1” のときに SPSR.IDLNF フラグが “0” になると、アイドル割り込み要求 (SPII) が発生します。

マスタモード時は送信開始前も IDLNF フラグが “0” なので、このときにアイドル割り込みが発生しないように、送信バッファにデータを書いて IDLNF フラグが “1” になった後に SPIIE ビットを “1” にしてください。送信完了後 SSLA0 信号がネゲートされ、次アクセス遅延 (t3) 時間が経過するまで次のデータを供給しなければ、IDLNF フラグが “0” になります。

37.3.9　通信完了割り込み

SPCR3.SPCIE ビットが “1” のときに SPSR.SPCF フラグが “1” になるか、SPCF フラグが “1” で SPCR.SPE ビットが “1” のときに SPCIE ビットを “1” にすると、通信完了割り込み要求 (SPCI) が発生します。

SPCF フラグが “1” になる条件は RSPI の動作モードによって異なります。詳細は**「37.2.4　RSPI ステータスレジスタ (SPSR)」**を参照してください。

37.3.9.1　マスタモード時

マスタモード時は SPI 動作 / クロック同期式動作、全二重通信 / 送信のみの単方向通信のいずれにおいても、SPSR.SPCF フラグが “1” になる条件は同じです。

SPSSR.SPCP[2:0] ビットが ”000b” になったときに、次の送信データがない場合、SPSR.IDLNF フラグが

“0” になり、SPCF フラグが “1” になります。

SPCF フラグが “1” であることを確認した後、SPCF フラグに “0” を書くか、次のデータを送信バッファに書き込むと、SPCF フラグがクリアされます。

37.3.9.2　SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信

送信バッファ、送信シフトレジスタが空になっているとき、SSLA0 信号がネゲートされると SPSR.SPCF フラグが “1” になります。

SPCF フラグが “1” であることを確認した後、SPCF フラグに “0” を書くか、次のデータを送信バッファに書き込むと、SPCF フラグがクリアされます。

37.3.9.3　SPI 動作、スレーブモード時の受信のみの単方向通信

SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わったときに、SSLA0 信号がネゲートされると、SPSR.SPCF フラグが “1” になります。

SPCF フラグが “1” であることを確認した後、SPCF フラグに “0” を書くか、次の通信が始まって SSLA0 信号がアサートされると、SPCF フラグがクリアされます。

37.3.9.4　クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信

送信バッファ、送信シフトレジスタが空になっているとき、最終ビットのサンプリングタイミング (RSPCK の最終偶数エッジ) で SPSR.SPCF フラグが “1” になります。

SPCF フラグが “1” であることを確認した後、SPCF フラグに “0” を書くか、次のデータを送信バッファに書き込むと、SPCF フラグがクリアされます。

37.3.9.5　クロック同期式動作、スレーブモード時の受信のみの単方向通信

SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わったとき (RSPCK の最終偶数エッジ)、SPSR.SPCF フラグが “1” になります。

SPCF フラグが “1” であることを確認した後、SPCF フラグに “0” を書くか、次の通信が始まって RSPCK 信号が変化すると、SPCF フラグがクリアされます。

37.3.10　エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、アンダランエラー、パリティエラーまたはモードフォルトエラーとして検出します。**表 37.7** に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表37.7　通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態でSPDRレジスタを書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	受信バッファエンプティの状態でSPDRレジスタを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出力	なし
3	スレーブモード時の全二重通信または送信のみの単方向通信で、送信データがシフトレジスタに転送されていない状態でシリアル転送開始	シリアル転送を中断 送受信データ欠落 MISO端子のドライブ停止 RSPI機能を無効に設定	アンダランエラー検出
4	受信バッファフルの状態で、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重通信または受信のみの単方向通信時に、パリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのセット	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号がアサート	• RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号がアサート	• シリアル転送を中断 • 送受信データ欠落 • RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	• シリアル転送中断 • 送受信データ欠落 • MISOA出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出

表 37.7 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、または SPSR.SPTEF フラグが “1” のときに SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、受信バッファフル割り込み要求発生時、または SPSR.SPRF フラグが “1” のときに SPDR レジスタの読み出しを実行するようにしてください。

3 に示したアンダランエラーについては「**37.3.10.4　アンダランエラー**」で、4 に示したオーバランエラーについては「**37.3.10.1　オーバランエラー**」で、5 に示したパリティエラーについては「**37.3.10.2　パリティエラー**」で説明します。また、6 ～ 8 に示したモードフォルトエラーについては「**37.3.10.3　モードフォルトエラー**」で説明します。

なお、送受信の割り込みについては、「**37.3.7　送信バッファエンプティ / 受信バッファフル割り込み**」を参照してください。

37.3.10.1　オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを “1” にします。OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを “0” にするためには、OVRF フラグが “1” にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに “0” を書く必要があります。

図 37.30 に、SPRF フラグと OVRF フラグの動作を示します。**図 37.30** に記載した “SPSR アクセス ” と “SPDR アクセス ” は、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 37.30** の例では、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

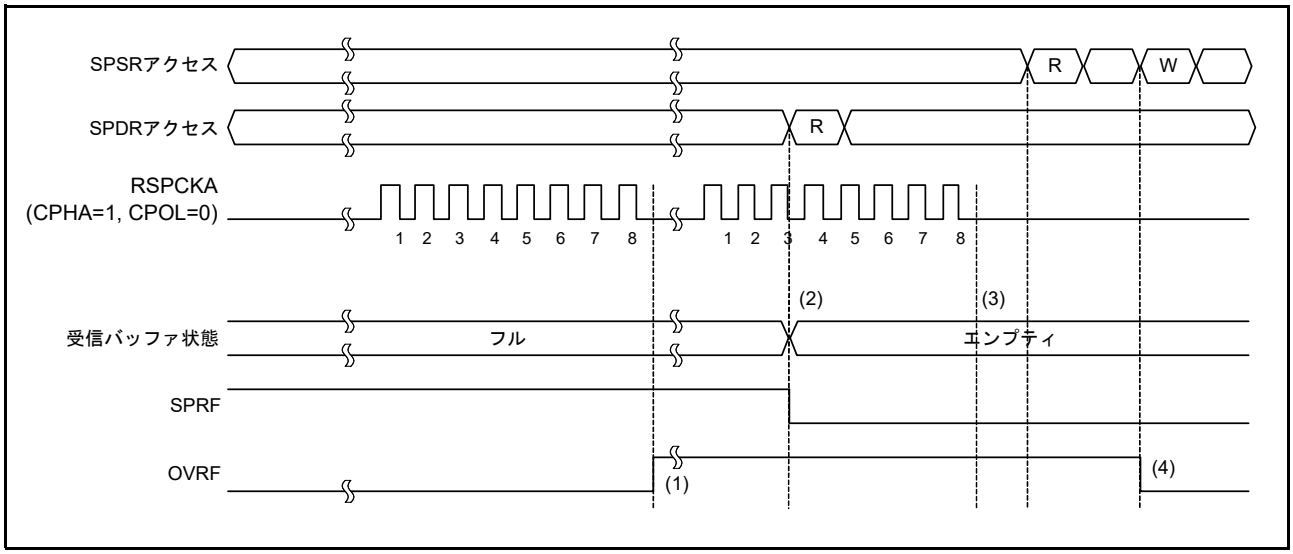


図 37.30　SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ～ (4) に示したタイミングでのフラグの動作内容を説明します。

(1) 受信バッファフル (SPRF フラグが “1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを “1” にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが “1” であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。

(2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは “0” になります。受信バッファが空になっても、OVRF フラグは “0” になりません。

(3) OVRF フラグが “1” の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは “0” のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット “1” であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

(4) OVRF フラグが “1” の状態で SPSR レジスタを読んだ後、OVRF フラグに “0” を書くと、RSPI は OVRF フラグを “0” にします。

オーバランの発生は、SPSR レジスタの読み出しあるいはエラー割り込みと SPSR レジスタの読み出しに

よって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが “1” になると、OVRF フラグが “0” になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。**図 37.31**、**図 37.32** にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

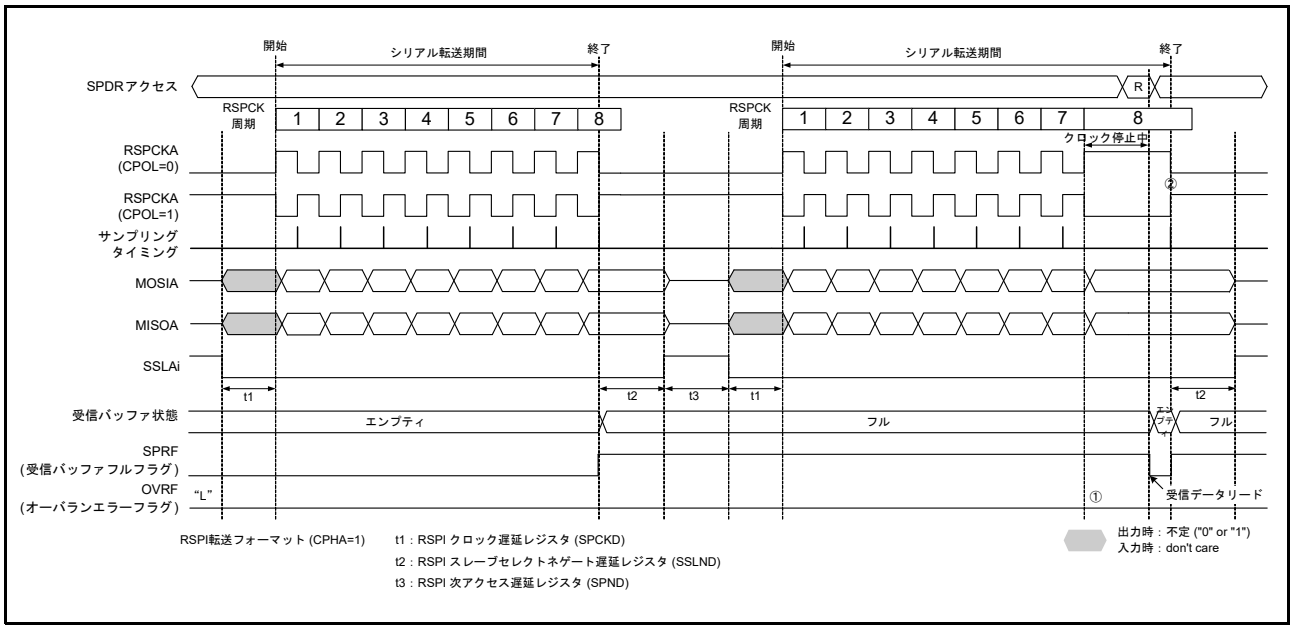


図 37.31　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

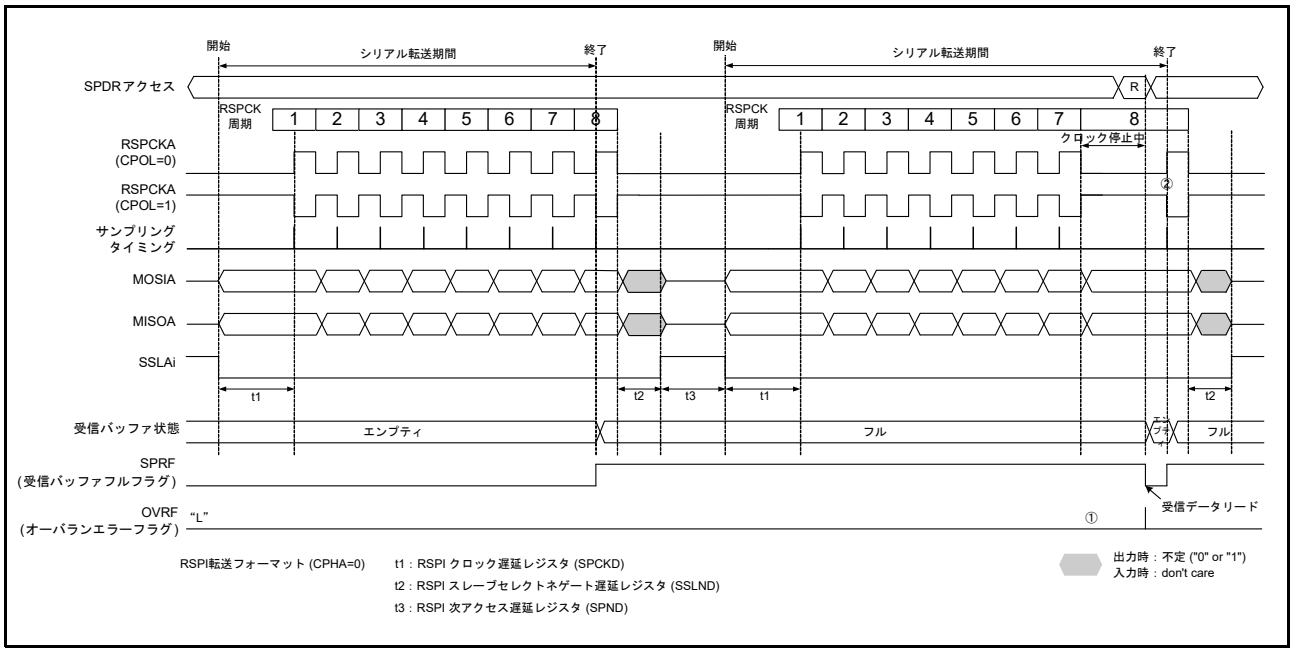


図 37.32　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

(1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。

(2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが “0” になった後)、RSPCK クロックが再開します。

37.3.10.2　パリティエラー

SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重通信または受信のみの単方向通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを “1” にします。SPSR.OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを “0” にするためには、PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書く必要があります。

図 37.33 に、OVRF フラグと PERF フラグの動作を示します。図 37.33 に記載した “SPSR アクセス ” は、SPSR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 37.33 の例では、SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重通信または受信のみの単方向通信を行っています。SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

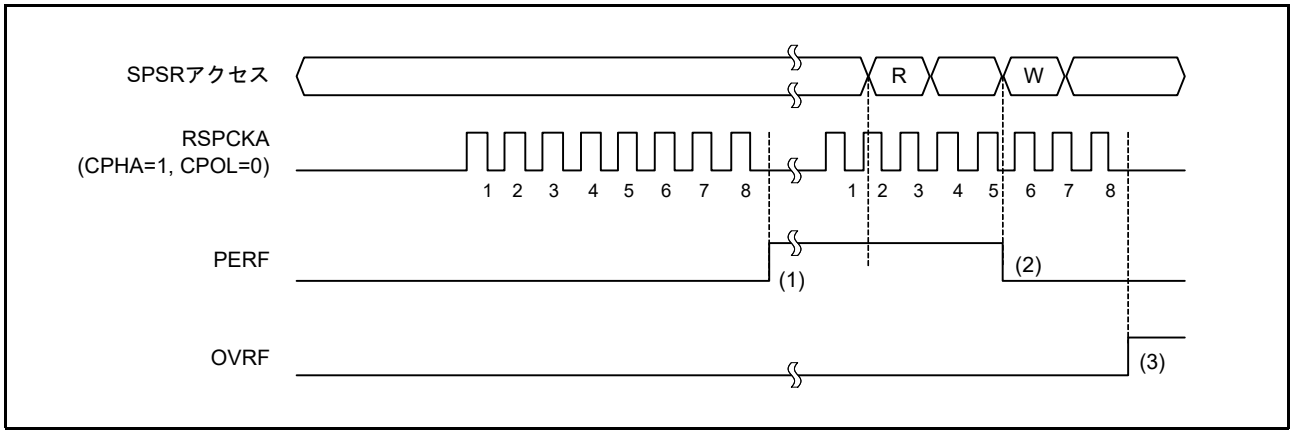


図 37.33　PERF フラグの動作例

以下に、図中の (1) ～ (3) に示したタイミングでのフラグの動作内容を説明します。

(1) RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを “1” にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。

(2) PERF フラグが “1” の状態で SPSR レジスタを読んだ後、PERF フラグに “0” を書くと、PERF フラグが “0” になります。

(3) RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

37.3.10.3　モードフォルトエラー

SPCR.MSTR ビットが “1”、SPCR.SPMS ビットが “0”、SPCR.MODFEN ビットが “1” の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSLA0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して SPSR.MODF フラグを “1” にします。モードフォルトエラーを検出すると、RSPI は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSLA0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが “0” の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが “1”、SPMS ビットが “0” の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に SSLA0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットのクリアを実施します (「37.3.11　RSPI の初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが “1” の状態では、RSPI は SPE ビットへの “1” の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを “0” にしてください。MODF フラグを “0” にすると、SPE ビットは “1” になります。

37.3.10.4　アンダランエラー

RSPI がスレーブモード (SPCR.MSTR ビットが “0”) で、送信回路が動作している (SPCR3.RXMD ビットが “0”) 場合、SPCR.SPE ビットが “1” (RSPI 機能は有効)、かつ送信データをシフトレジスタにセットしていない状態でシリアル転送が開始されると、RSPI はアンダランエラーを検出して SPSR レジスタの MODF フラグと UDRF フラグを “1” にします。

RSPI はアンダランエラーを検出すると、出力信号のドライブを停止し SPE ビットを “0” にします。SPE ビットが “0” になると RSPI 機能は無効となります (「37.3.11　RSPI の初期化」を参照)。

アンダランエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出する場合、SPSR レジスタをポーリングする必要があります。

MODF フラグが “1” のとき、RSPI は SPE ビットへの ”1” 書き込みを無視します。アンダランエラー検出後に RSPI 機能を有効にするには、MODF フラグを “0” にしてください。MODF フラグを “0” にすると、SPE ビットは “1” になります。

37.3.11 RSPI の初期化

SPCR.SPE ビットに “0” を書いた場合、またはモードフォルトエラーやアンダランエラー検出により RSPI が SPE ビットを “0” にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを “0” にすることによる初期化とシステムリセットによる初期化について説明します。

37.3.11.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを “0” にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中の送受信を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを “1” にする)

SPE ビットを “0” にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを “1” にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF、SPCF、UDRF、PERF、MODF、OVRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、初期化前に実行されていた通信の状況、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが “1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを “1” にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの “0” 書き込みと同時に SPTIE ビットにも “0” を書いてください。

37.3.11.2 システムリセット

システムリセットによる初期化では、「37.3.11.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

37.3.12 SPI 動作

37.3.12.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「37.3.10 エラー検出」を参照) のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル / マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空 (SPTEF フラグが “1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「37.3.5 転送フォーマット」を参照してください。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPRF フラグが “0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「37.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを “1” にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

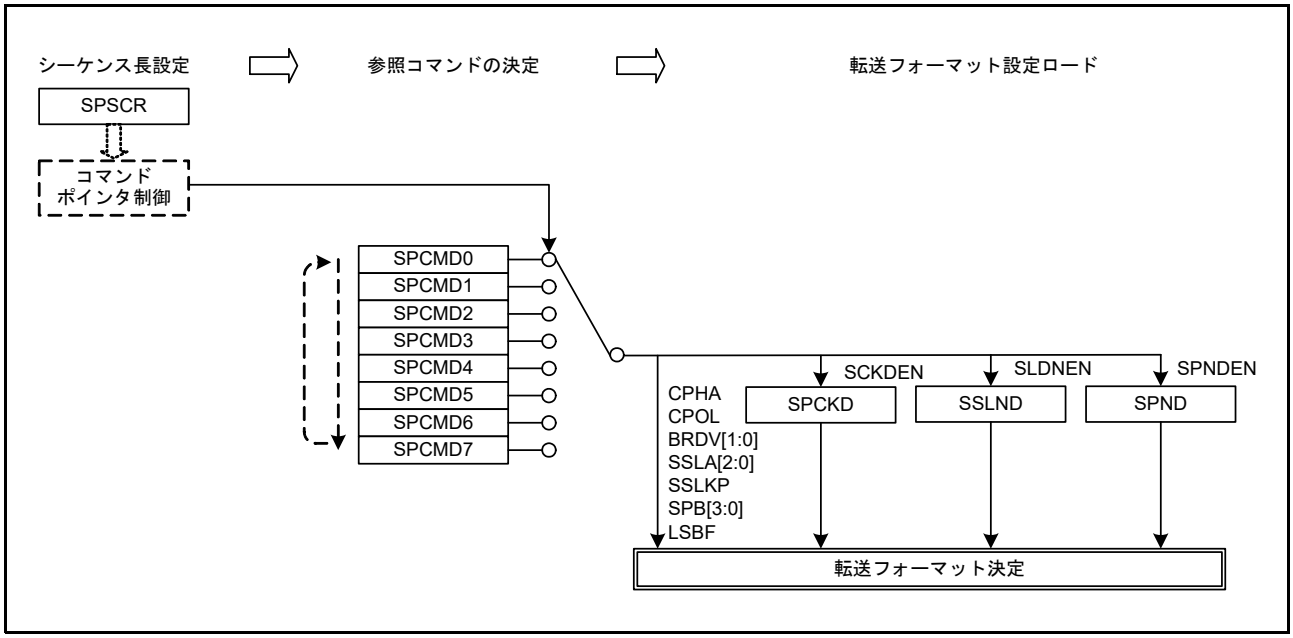


図 37.34　マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

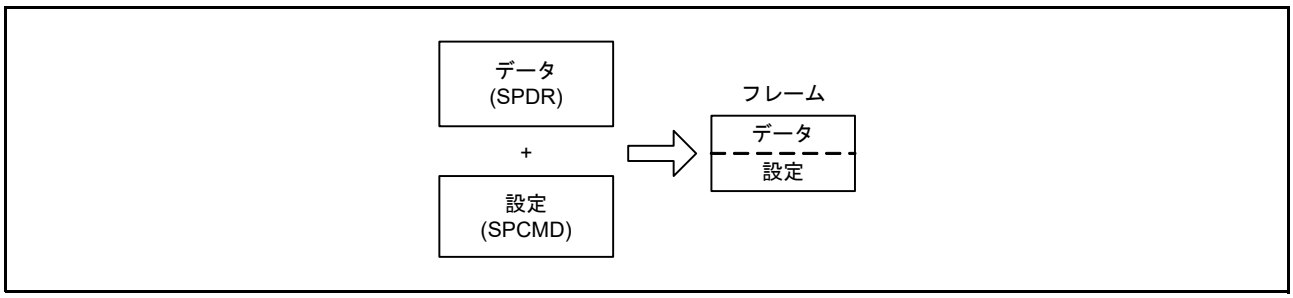


図 37.35　フレームの概念図

表 37.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 37.36 に示します。

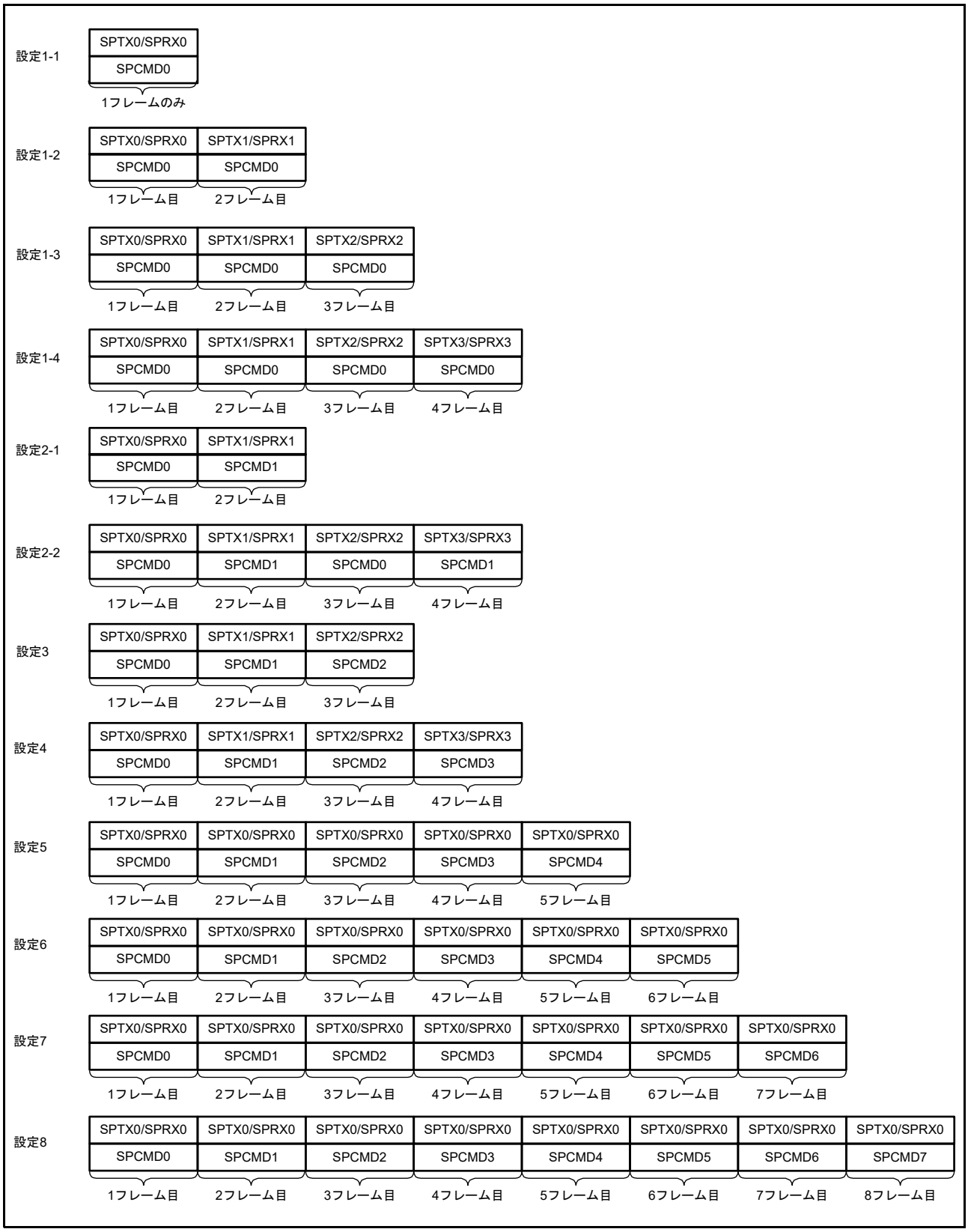


図 37.36　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが “1” の場合には、RSPI はシリアル転送中の SSLAi 信号レベルを次のシリアル転送の SSLAi 信号アサート開始まで保持します。次のシリアル転送での SSLAi 信号レベルが、現在のシリアル転送での SSLAi 信号レベルと同じであれば、RSPI は SSLAi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 37.37 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSLAi 信号動作例を示します。図 37.37 に記載した (1) ～ (8) の RSPI 動作内容について、以下に説明します。なお、SSLAi 出力信号の極性は、SSLP レジスタの設定値に依存します。

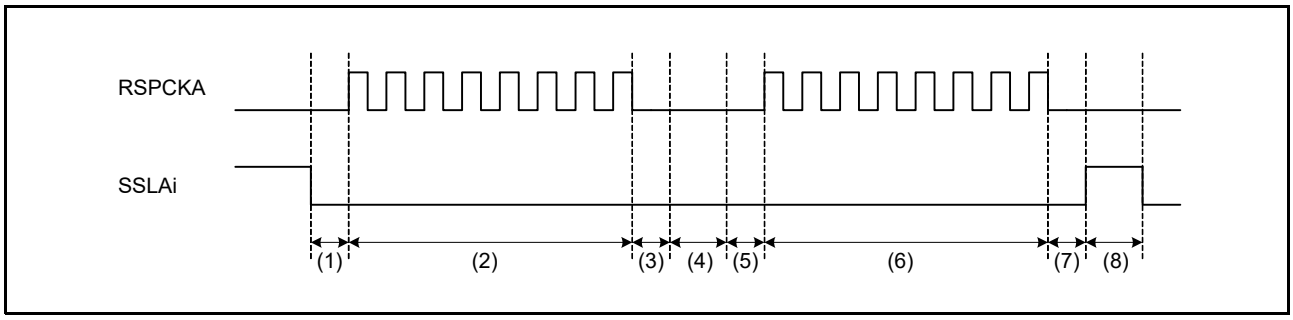


図 37.37　SSLKP ビットを利用したバースト転送動作の例 (CPHA = 1, CPOL = 0)

(1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
(2) SPCMD0 レジスタに従ったシリアル転送を実行します。
(3) SSL ネゲート遅延を挿入します。
(4) SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
(5) SPCMD1 レジスタに従った RSPCK 遅延の挿入を実施します。
(6) SPCMD1 レジスタに従ったシリアル転送を実行します。
(7) SSL ネゲート遅延を挿入します。
(8) SPCMD1.SSLKP ビットが “0” であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを “1” にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時 (図 37.37 の (5)) に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが “0” の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

SPCR3.SCKDDIS ビットが “1” (バースト転送時のデータバイト間の遅延をなくす) の場合、上記 (3) ～ (5) に記載した遅延は挿入されず、RSPCK の 0.5 サイクル分の遅延だけが挿入されます。

(5) RSPCK 遅延 (t1)

マスタモード時の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、**表 37.8** のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、**「37.3.5　転送フォーマット」**を参照してください。

SPCMDm.SSLKP ビットが “1” (バースト転送) で SPCR3.SCKDDIS ビットが “1” (バースト転送時のデータバイト間の遅延をなくす) の場合、RSPCK 遅延は先頭フレームでのみ挿入されます。

表 37.8　SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000b ～ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモード時の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、**表 37.9** のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、**「37.3.5　転送フォーマット」**を参照してください。

SPCMDm.SSLKP ビットが “1” (バースト転送) で SPCR3.SCKDDIS ビットが “1” (バースト転送時のデータバイト間の遅延をなくす) の場合、SSL ネゲート遅延は最終フレームでのみ挿入されます。

表 37.9　SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000b ～ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモード時の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、**表 37.10** のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、**「37.3.5　転送フォーマット」**を参照してください。

SPCMDm.SSLKP ビットが “1” (バースト転送) で SPCR3.SCKDDIS ビットが “1” (バースト転送時のデータバイト間の遅延をなくす) の場合、次アクセス遅延は最終フレームでのみ挿入されます。

表 37.10　SPNDEN ビット、SPND レジスタと次アクセス遅延値の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延値
0	000b ～ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8)　初期化フロー

図 37.38 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

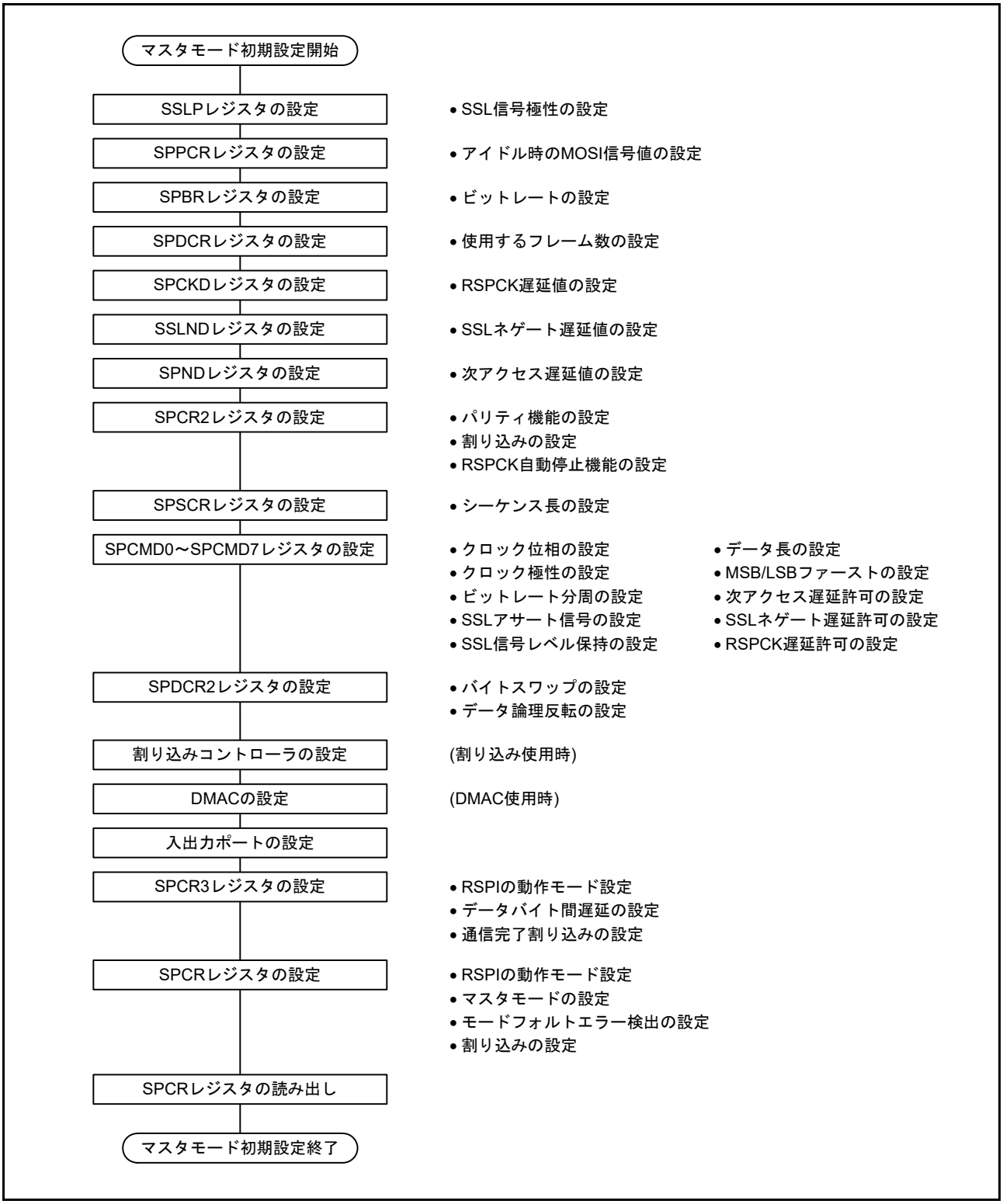


図 37.38　マスタモード時の初期化フロー例 (SPI 動作)

(9)　ソフトウェア処理フロー

ソフトウェア処理フローの例を図 37.40 ～図 37.42 に示します。

(a)　通信開始前処理フロー

通信を開始する前に、エラーフラグをクリアし、アイドル割り込み、通信完了割り込みを禁止してください。その後、RSPI 機能を有効にするとともに、必要な割り込みを許可してください。

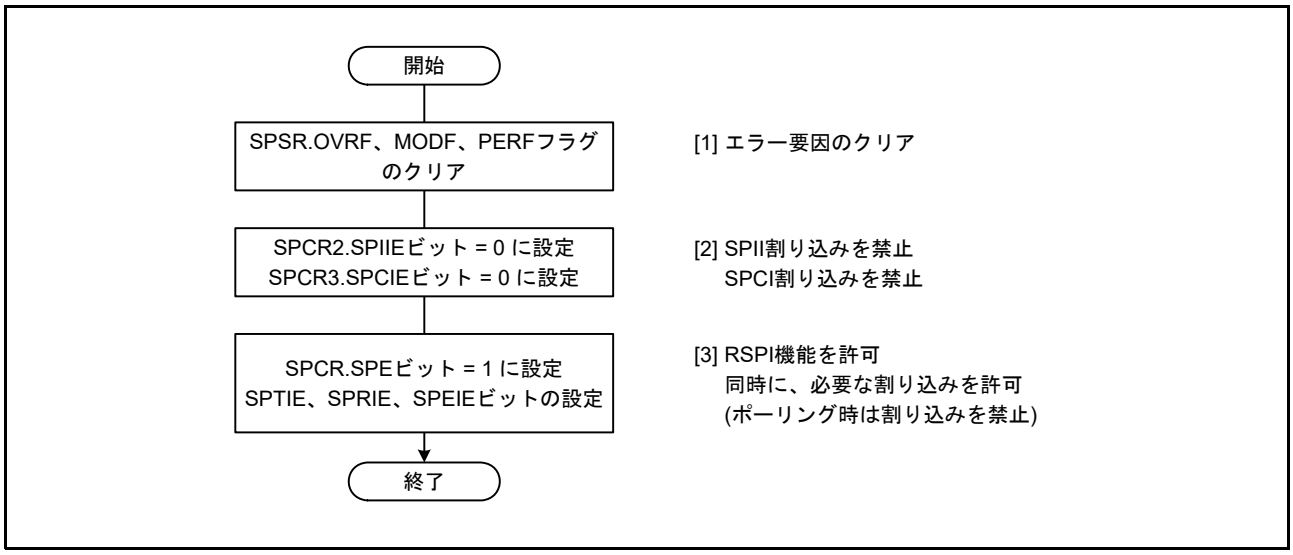


図 37.39　マスタモード時のフローチャート (通信開始前)

(b)　送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みまたは SPCI 割り込みを許可することによって、全データの送信完了を CPU に通知することが可能です。

SPII 割り込みや SPCI 割り込みの代わりに、SPSR.IDLNF フラグが “0” になったか、あるいは SPCF フラグが “1” になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いてから IDLNF フラグが “1” になる、または SPCF フラグが “0” になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1” になる前の IDLNF フラグや “0” になる前の SPCF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグまたは SPCF フラグの値から全データ送信完了の確認に使用してください。

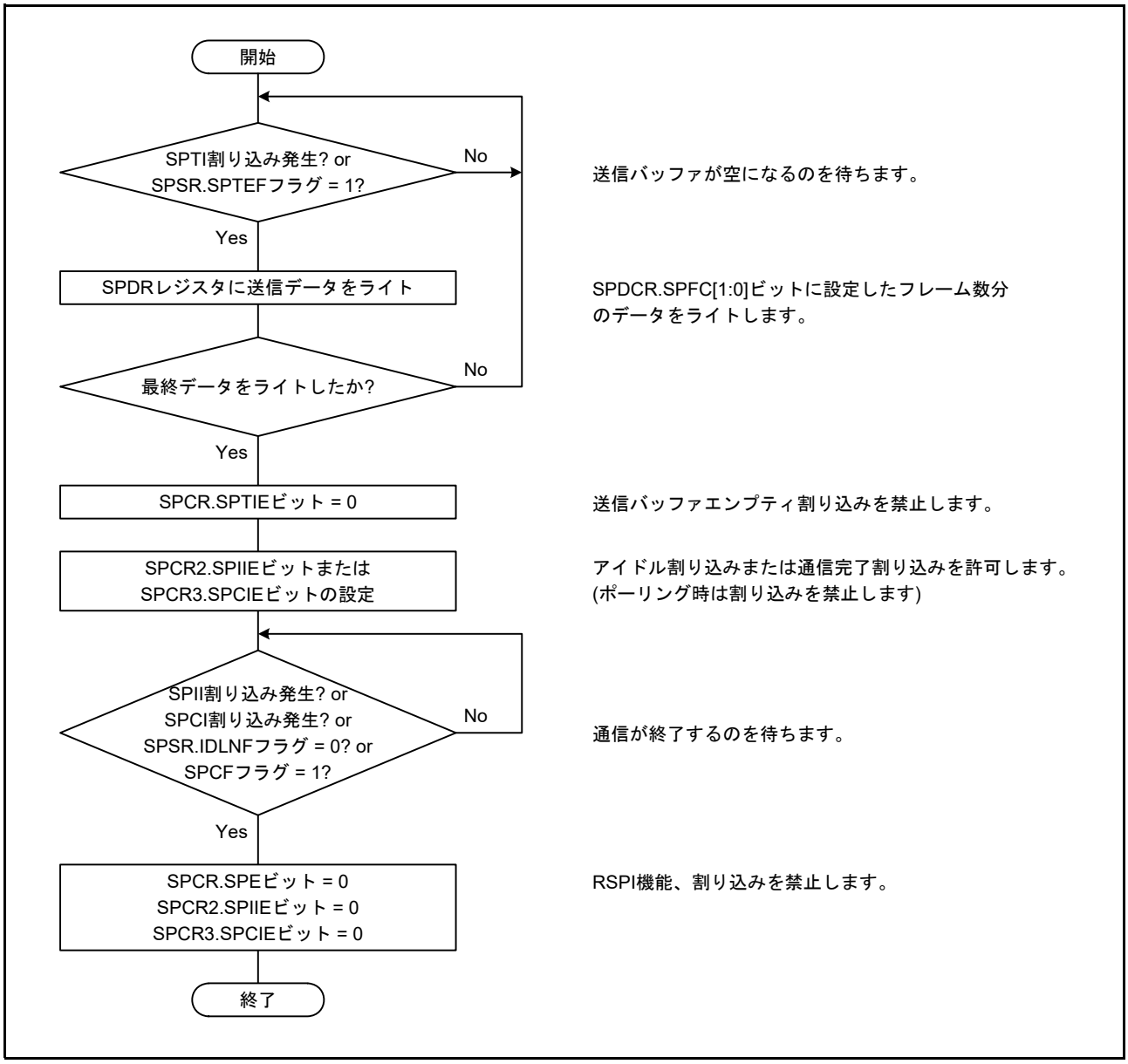


図 37.40　マスタモード時のフローチャート (送信)

(c)　受信処理フロー

RSPI はマスタモードでの受信のみの単方向通信をサポートしていないため、送信を必要とします。

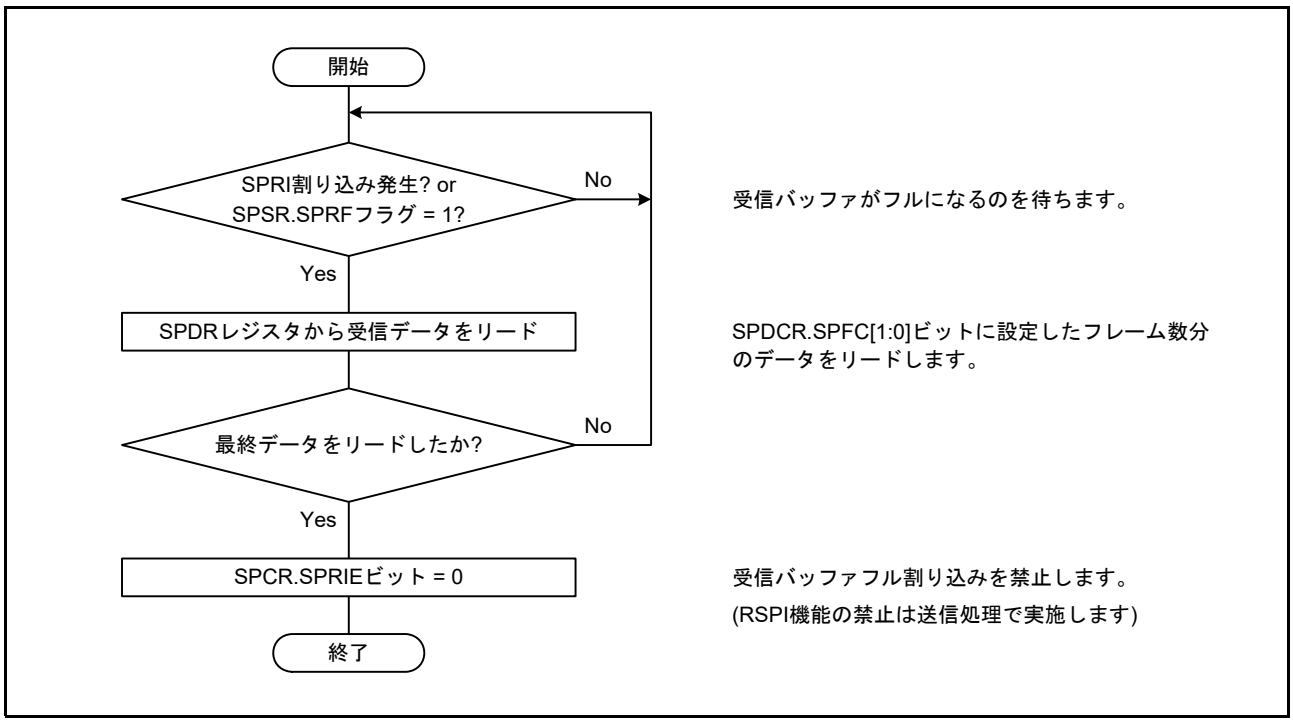


図 37.41　マスタモード時のフローチャート (受信)

(d)　エラー処理フロー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性がありますので、エラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

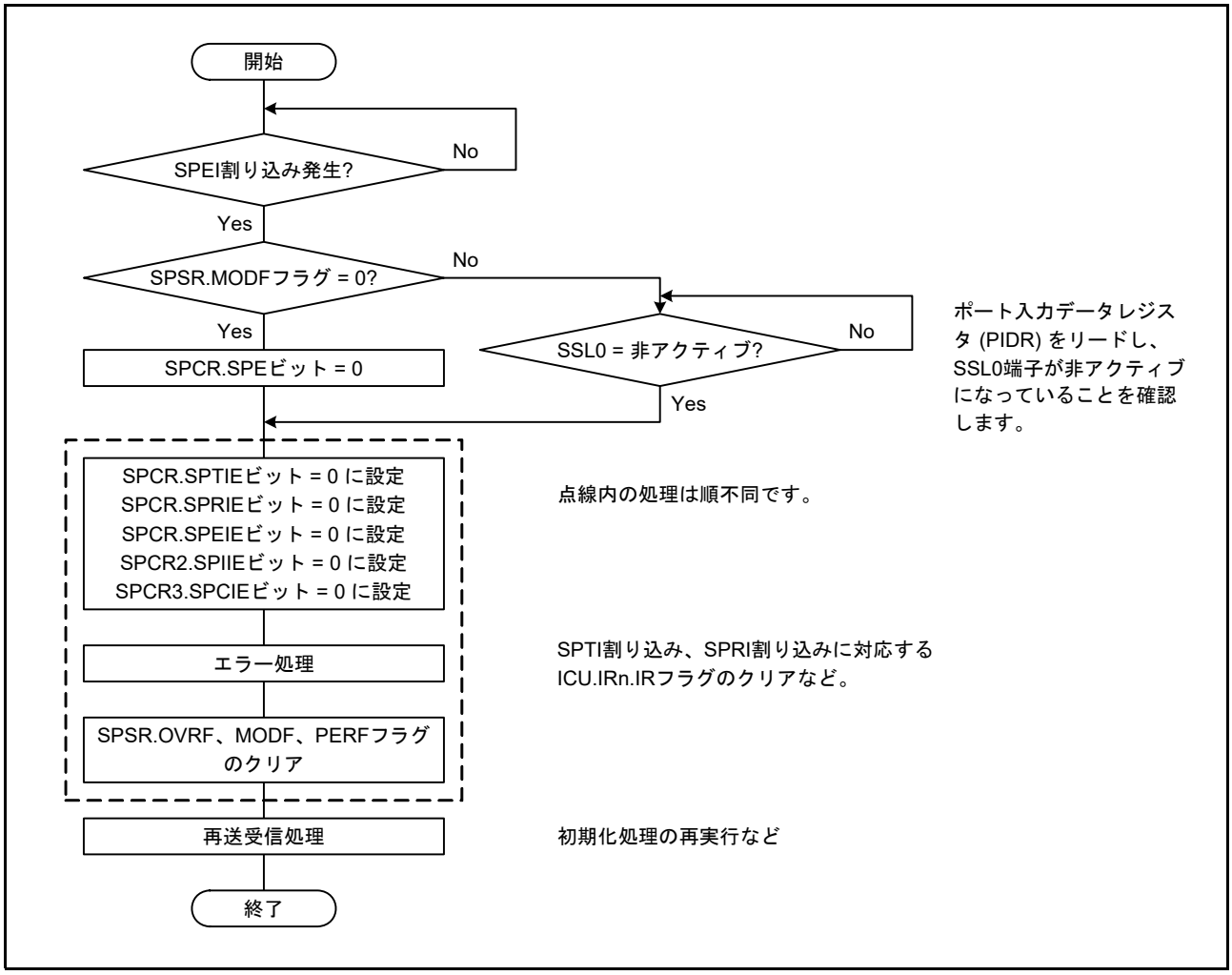


図 37.42　マスタモード時のフローチャート (エラー)

37.3.12.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが “0” の場合、RSPI は SSLA0 入力信号のアサートを検出すると、MISOA 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “0” の場合には、SSLA0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが “1” の場合には、RSPI は SSLA0 入力信号のアサート状態で最初の RSPCKA エッジを検出すると、MISOA 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “1” の場合には、SSLA0 信号アサート状態における最初の RSPCKA エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定に依存せず、RSPI が MISOA 出力信号のドライブを開始するタイミングは、SSLA0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効 / 無効が異なります。

なお、RSPI の転送フォーマットの詳細については、**「37.3.5　転送フォーマット」**を参照してください。SSLA0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2)　シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合 (SPRF フラグが “0” の場合) には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLA0 入力信号のネゲートを検出するとモードフォルトエラーが発生します (**「37.3.10　エラー検出」**を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。SSLA0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、**「37.3.5　転送フォーマット」**を参照してください。

(3)　シングルスレーブ時の注意点

SPCMD0.CPHA ビットが “0” の場合には、RSPI は SSLA0 入力信号のアサートエッジを検出するとシリアル転送を開始します。**図 37.7** の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSLA0 入力信号がアクティブ状態に固定されるため、CPHA ビットを “0” に設定した RSPI ではシリアル転送を正しく開始できません。SSLA0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを “1” にしてください。CPHA ビットを “0” にする必要がある場合には、SSLA0 入力信号を固定しないでください。

(4)　バースト転送

SPCMD0.CPHA ビットが “1” の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送 (バースト転送) を実行できます。CPHA ビットが “1” の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが “0” の場合には、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5)　初期化フロー

図 37.43 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

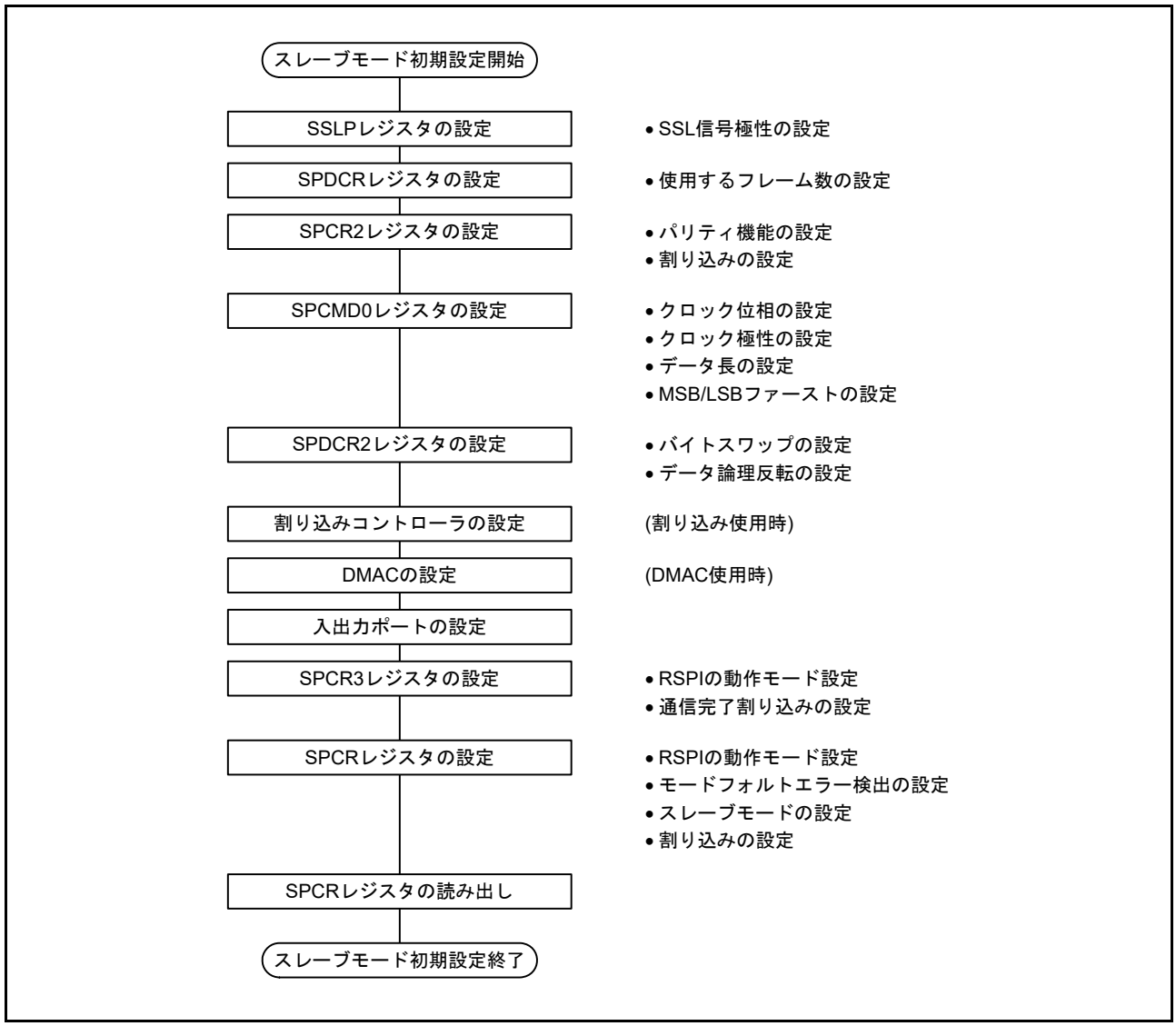


図 37.43　スレーブモード時の初期化フロー例 (SPI 動作)

(6)　ソフトウェア処理フロー

ソフトウェア処理フローの例を図 37.45 ～図 37.47 に示します。

(a)　通信開始前処理フロー

通信を開始する前に、エラーフラグをクリアし、アイドル割り込みを禁止してください。その後、RSPI機能を有効にするとともに、必要な割り込みを許可してください。

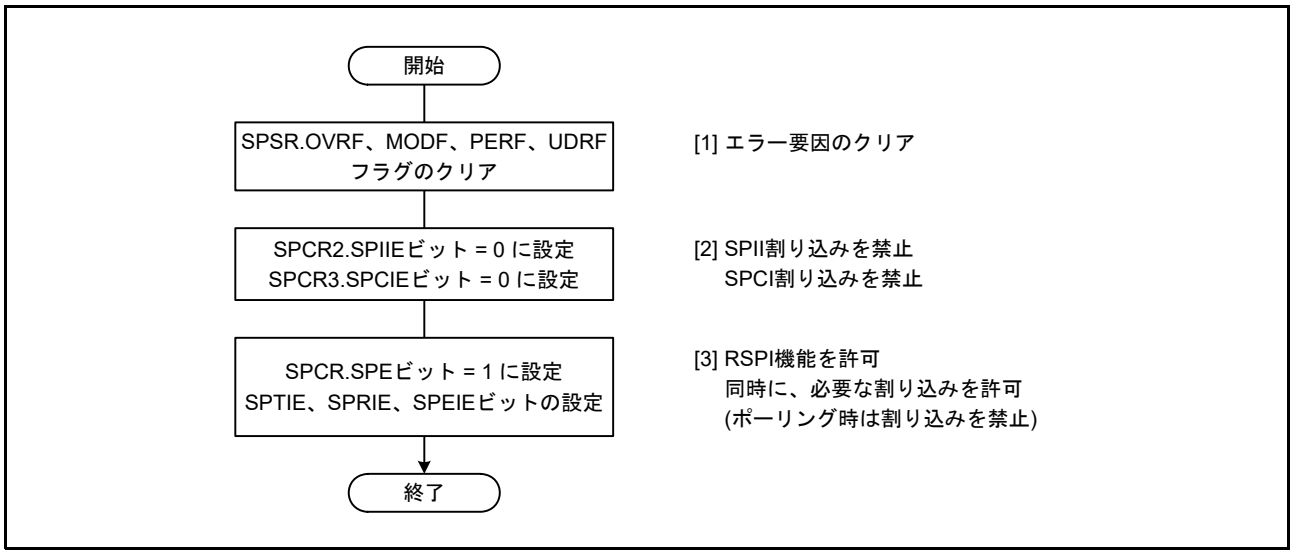


図 37.44　スレーブモード時のフローチャート (通信開始前)

(b)　送信処理フロー

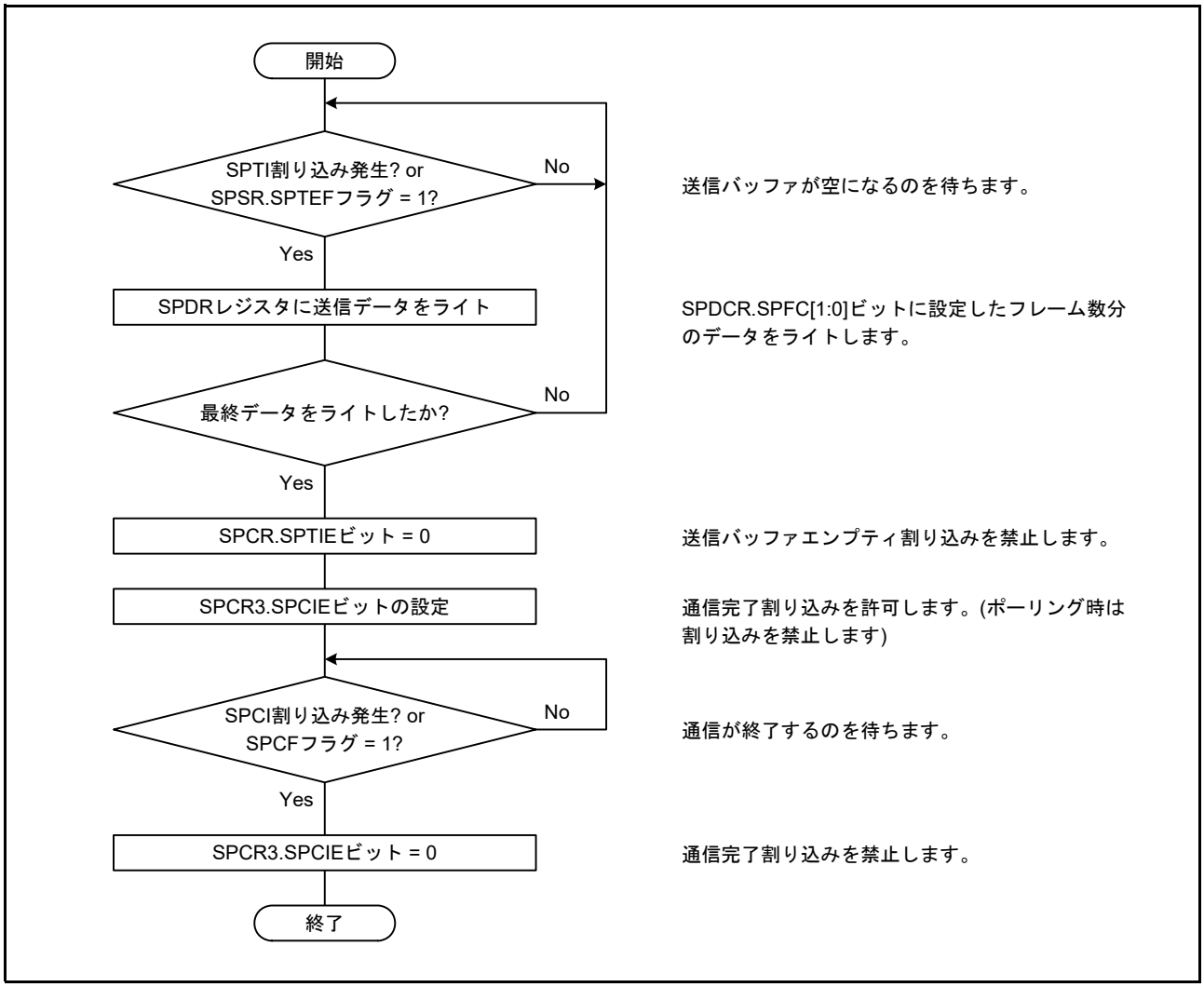


図 37.45　スレーブモード時のフローチャート (送信)

(c)　受信処理フロー

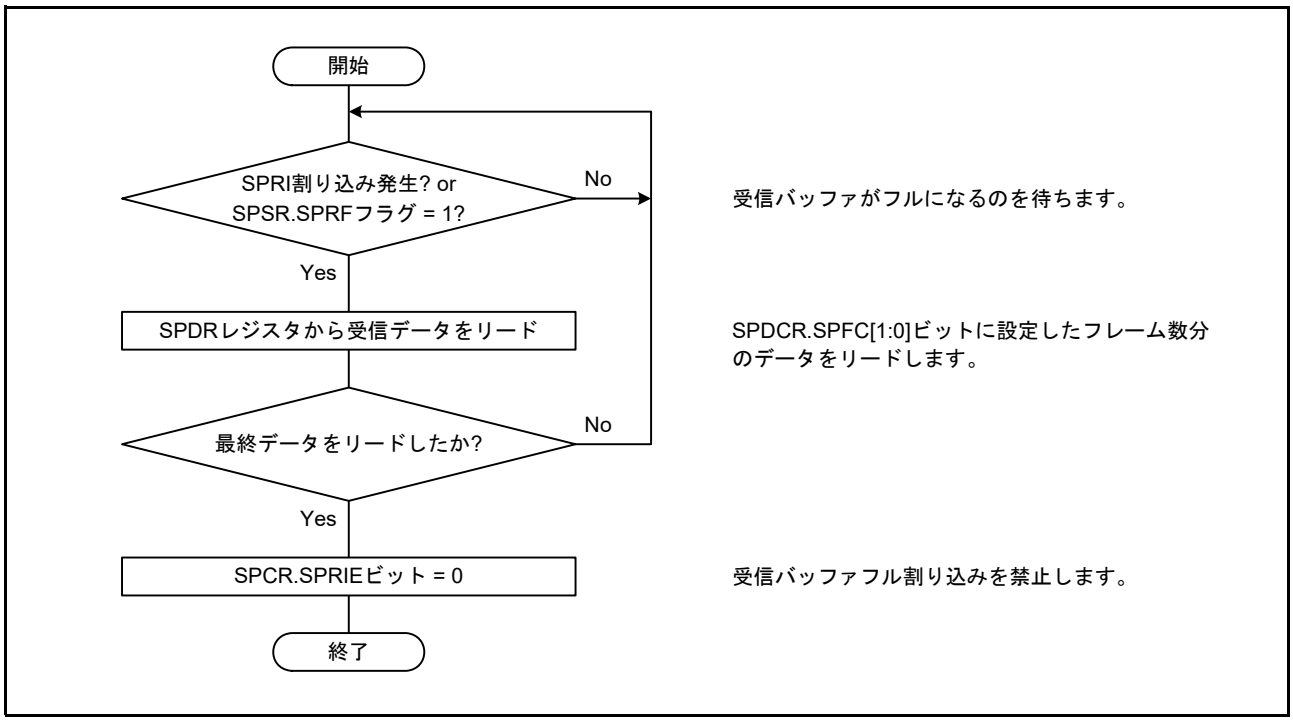


図 37.46　スレーブモード時のフローチャート (受信)

(d)　エラー処理フロー

スレーブモード時は、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

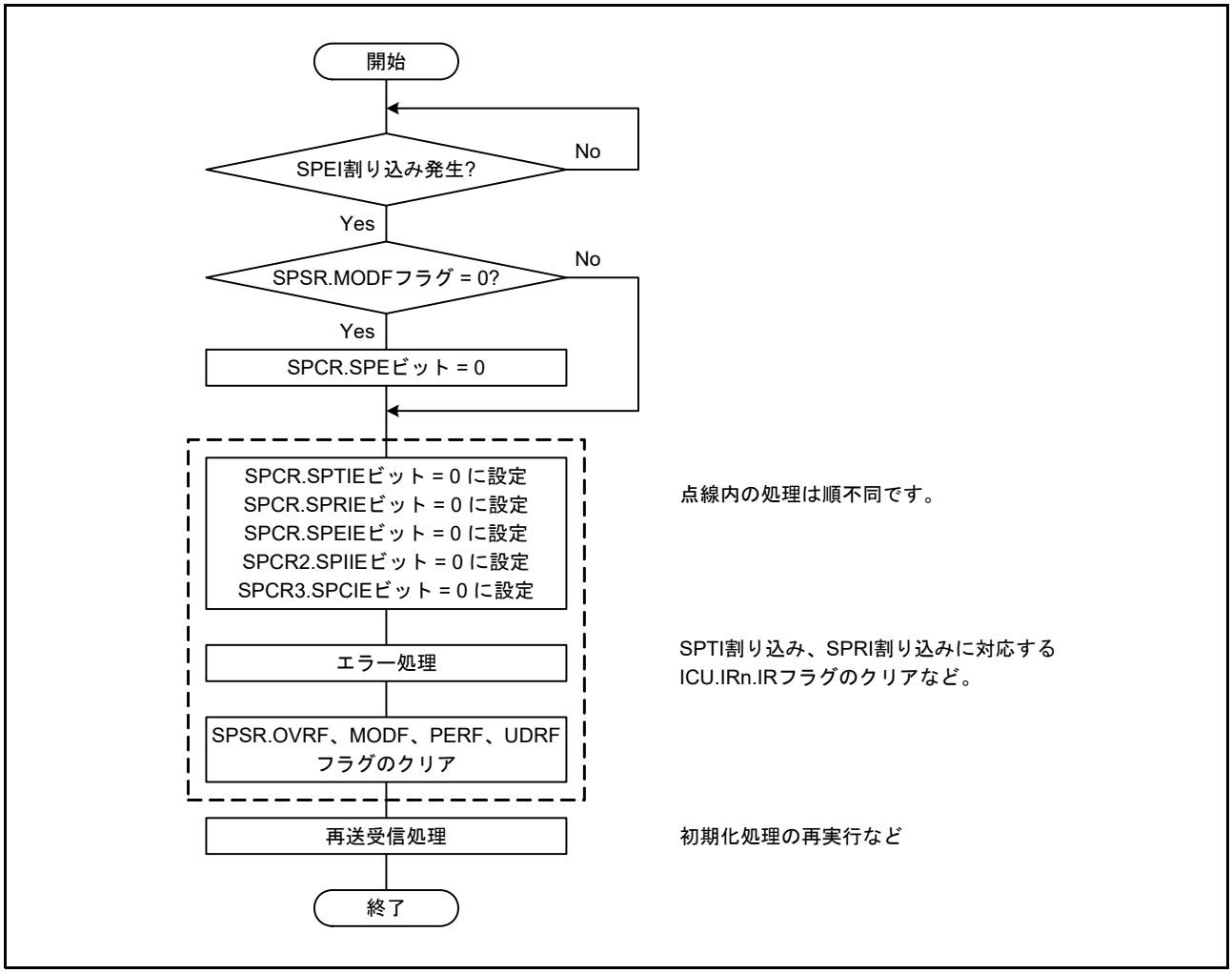


図 37.47　スレーブモード時のフローチャート (エラー処理)

37.3.13　クロック同期式動作

RSPI は、SPCR.SPMS ビットが “1” であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の 3 本の端子を用いて通信を行い、SSLAi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行いますが、モジュール内部の動作は SPI 動作と同様の動作を行います。マスタモード、スレーブモードにおいて、SPI 動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを “0” にしないでください。

37.3.13.1　マスタモード動作

(1)　シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが “1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、**「37.3.5　転送フォーマット」**を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2)　シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが “0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、**「37.3.5　転送フォーマット」**を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3)　シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが “1” で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

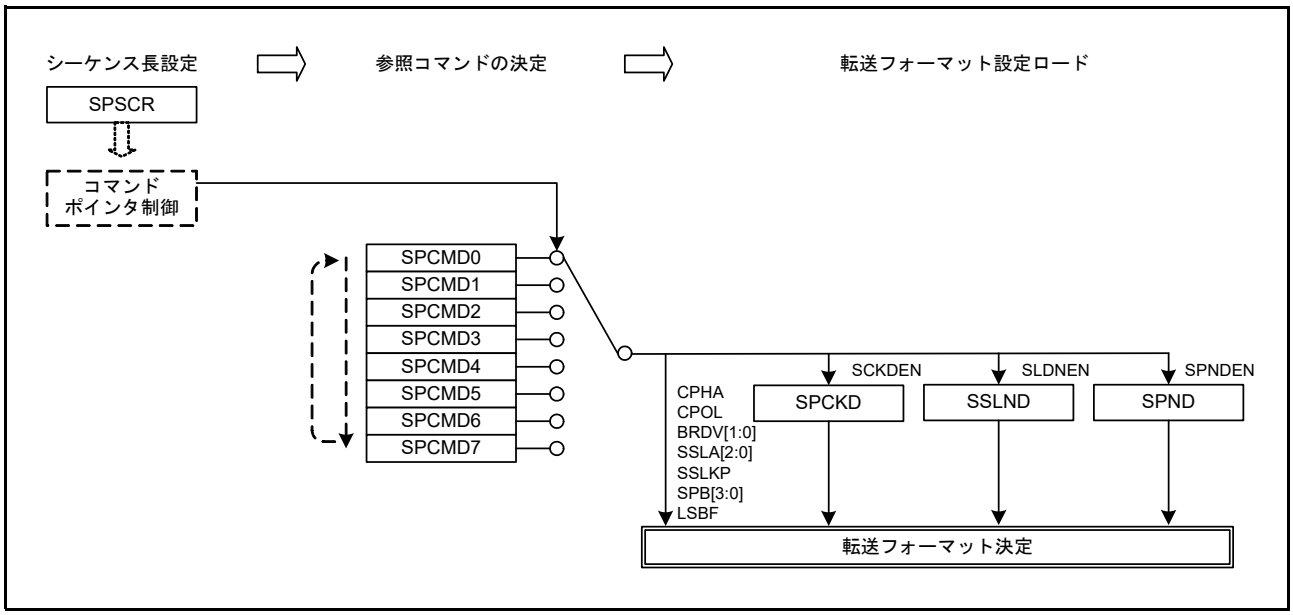


図 37.48　マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

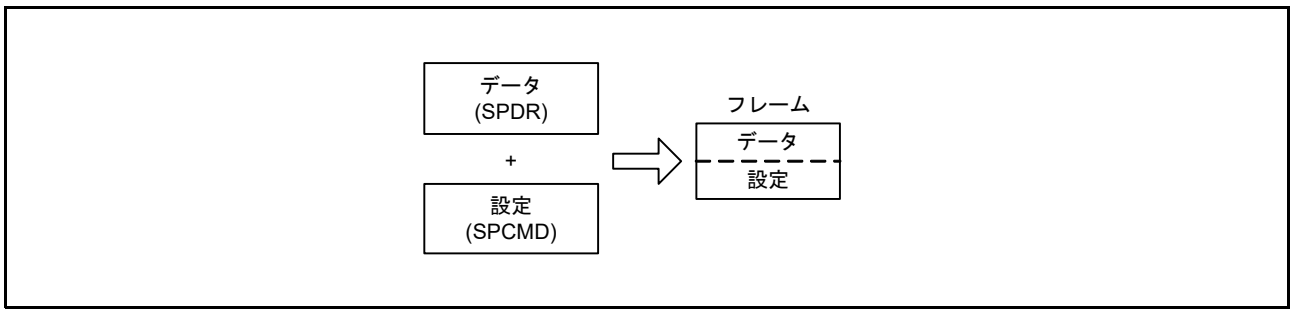


図 37.49　フレーム概念図

表 37.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を**図 37.50** に示します。

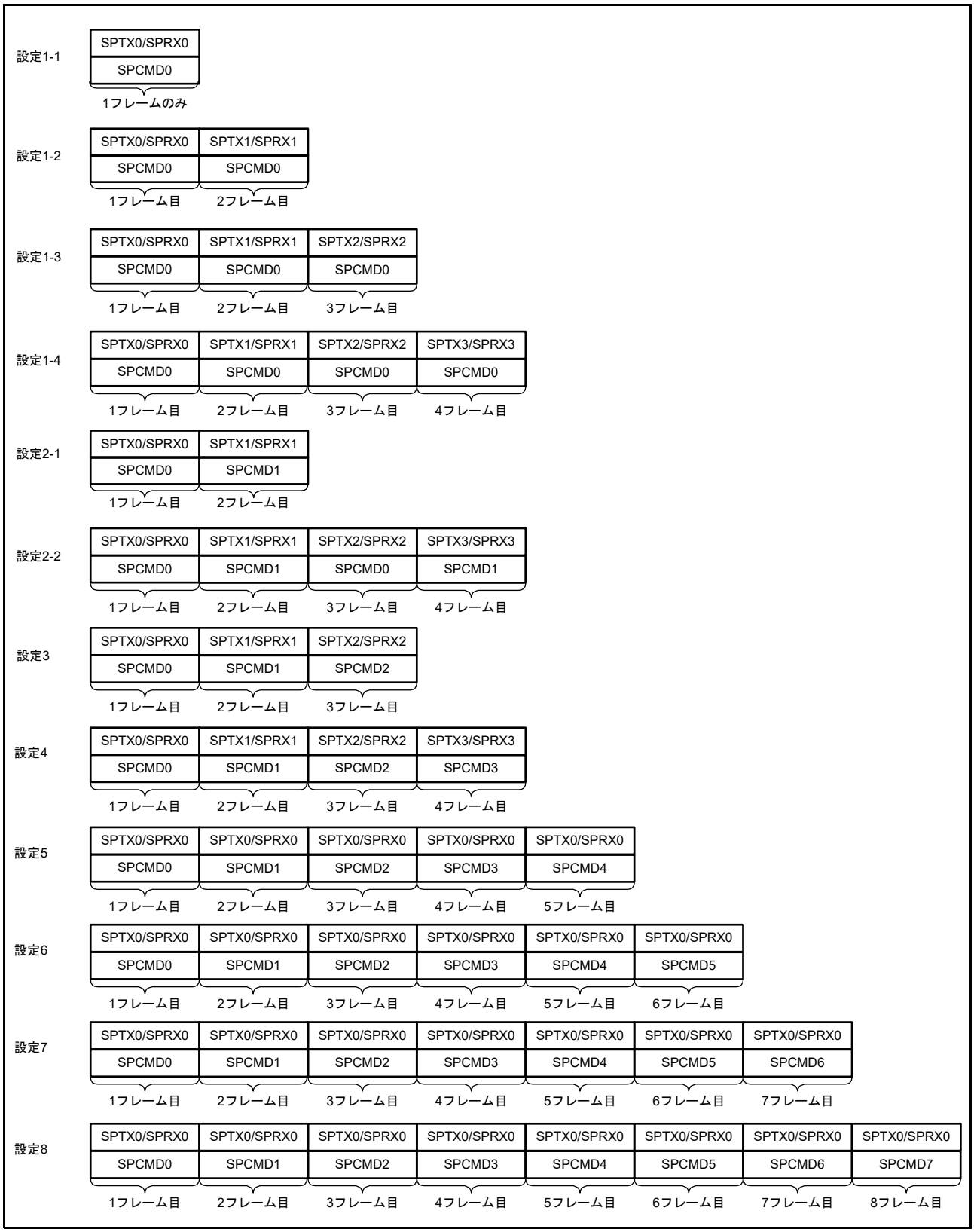


図 37.50　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4)　初期化フロー

図 37.51 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

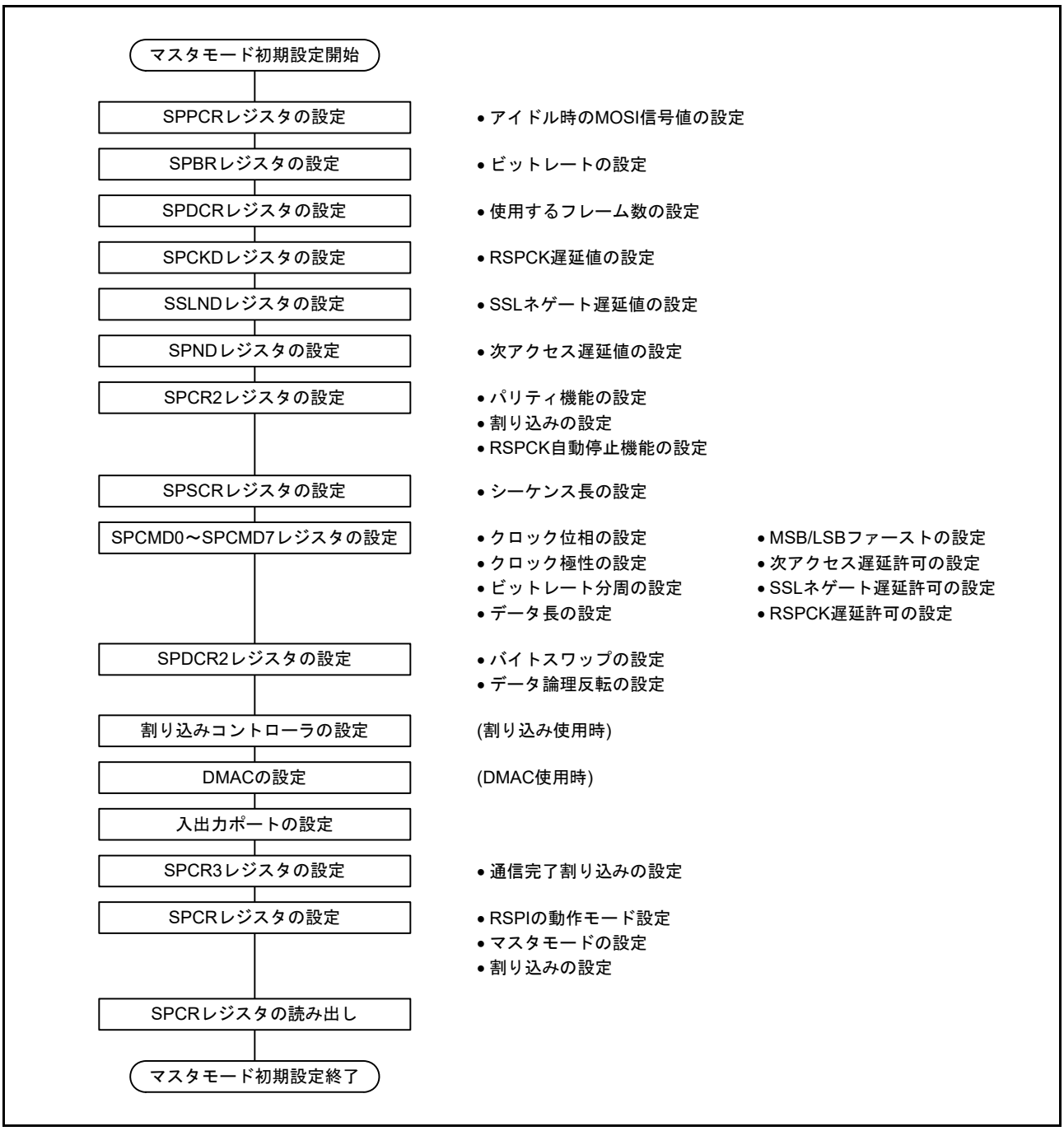


図 37.51　マスタモード時の初期化フロー例 (クロック同期式動作)

(5)　ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI 動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「37.3.12.1 (9)　**ソフトウェア処理フロー**」を参照してください。ただし、モードフォルトエラーの発生はありません。

37.3.13.2　スレーブモード動作

(1)　シリアル転送の開始

RSPI は、SPCR.SPMS ビットが “1” であるとき、最初の RSPCKA エッジがシリアル転送開始のトリガになります。

SPMS ビットが “1” であるときは、RSPI は MISOA 出力信号をドライブします。

なお、RSPI の転送フォーマットの詳細については、「37.3.5　**転送フォーマット**」を参照してください。ただし、クロック同期式動作時は SSLA0 入力信号を使用しません。

(2)　シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグが “0”) の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「37.3.5　**転送フォーマット**」を参照してください。

(3)　初期化フロー

図 37.52 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

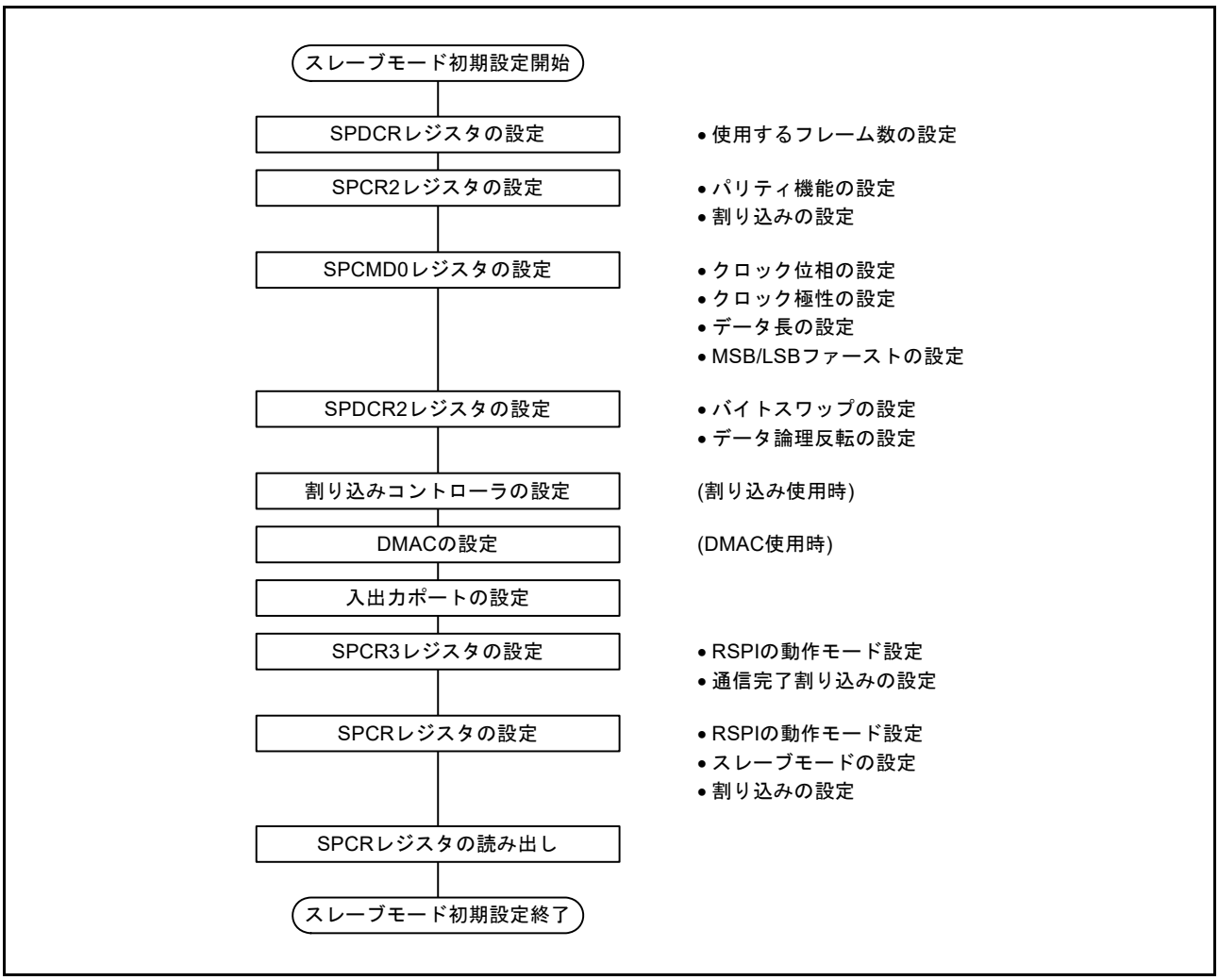


図 37.52　スレーブモード時の初期化フロー例 (クロック同期式動作)

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、**「37.3.12.2 (6)　ソフトウェア処理フロー」**を参照してください。ただし、モードフォルトエラーの発生はありません。

37.3.14　ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに “1” を書くと、RSPI は SPCR.MSTR ビットが “1” ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが “1” ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 37.11 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 37.53 に、マスタモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表37.11　SPLP2ビット、SPLPビットの設定と受信データ

SPPCR.SPLP2ビット	SPPCR.SPLPビット	受信データ
0	0	MOSIA端子またはMISOA端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

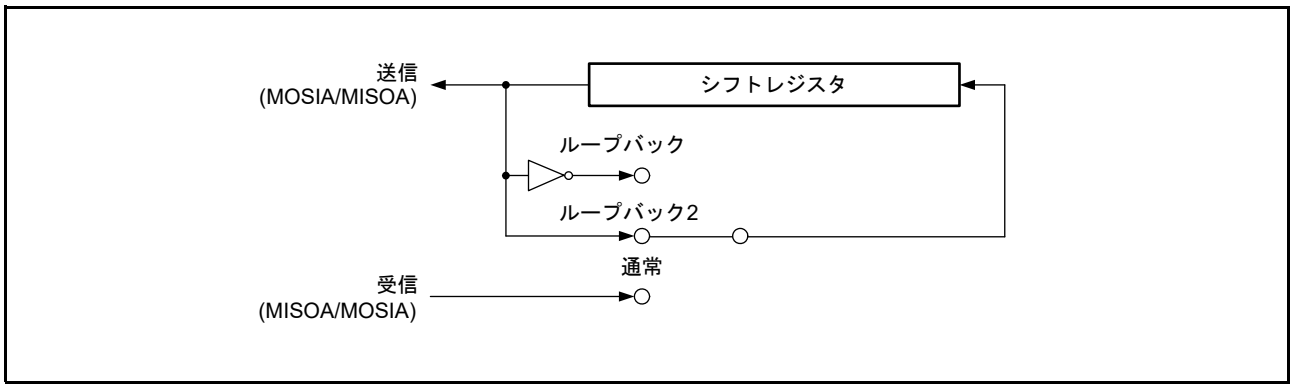


図 37.53　ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

37.3.15　パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 37.54 に示すのフローに従い、パリティ回路の自己診断を行います。

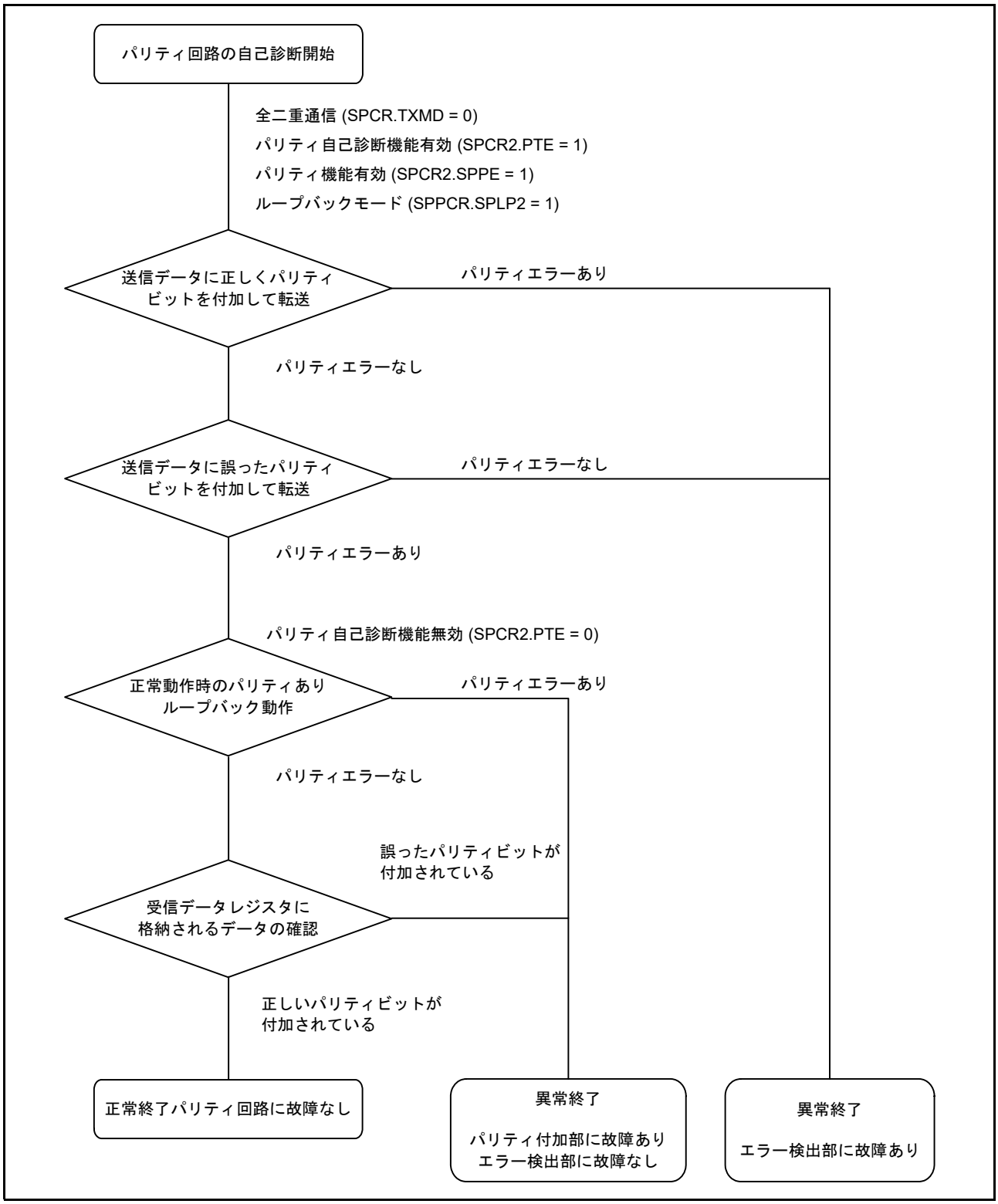


図 37.54　パリティ回路の自己判断フロー

37.3.16　割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、エラー (モードフォルト、アンダラン、オーバラン、パリティエラー)、アイドル、通信完了があります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。**表 37.12** に RSPI の割り込み要因を示します。**表 37.12** の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMAC の設定方法は「**17.　DMA コントローラ (DMACAa)**」、「**18.　データトランスファコントローラ (DTCb)**」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが “1” のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IRn.IR フラグが “0” になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を “0” にすることでクリアが可能です。

表 37.12　RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態で受信バッファフル(SPRFフラグが“1”)になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態で送信バッファエンプティ(SPTEFフラグが“1”)になったとき	可能
エラー (モードフォルト、アンダラン、オーバラン、パリティエラー)	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、UDRF、OVRF、またはPERFフラグが“1”になったとき	不可能
アイドル	SPII	SPCR2.SPIIEビットが“1”の状態でSPSR.IDLNFフラグが“0”になったとき	不可能
通信完了	SPCI	SPCR3.SPCIEビットが“1”の状態でSPSR.SPCFフラグが“1”になったとき	不可能

37.4 イベントリンク機能によるリンク動作

RSPI0 はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

37.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

37.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを “0” から “1” に変化させたときにイベントを出力します。

37.4.3 モードフォルト / アンダラン / オーバラン / パリティエラーイベント出力

(1) モードフォルト

表 37.13 にモードフォルトイベント出力の発生条件を示します。

表37.13 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLA0端子	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつSPCR.MODFEN ビットが"1"のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中にSSLA0端子が非アクティブになった場合のみイベント出力

(2) アンダラン

アンダランイベント出力の発生条件として、SPCR.MSTR ビットが “0”、かつ SPCR.SPE ビットが “1” で、送信バッファに送信データが書き込まれていないときにシリアル転送が開始されると、UDRF フラグと MODF フラグが “1” になり、イベントが出力されます。

(3) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが “0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが “1” となり、イベントを出力します。

(4) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが “0”、SPCR2 の SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

37.4.4　アイドルイベント出力

(1)　マスタモード時

マスタモード時は、IDLNF フラグ (アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2)　スレーブモード時

スレーブモード時は、SPCR.SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

37.4.5　通信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。スレーブモード時は**表 37.14**、**表 37.15** に示す条件でイベントを出力します。

表37.14　通信完了イベント出力の発生条件(スレーブモード、全二重通信または送信のみの単方向通信)

RSPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作(SPMS = 0)	エンプティ	エンプティ	SSLA0入力ネゲート
クロック同期式動作(SPMS = 1)	エンプティ	エンプティ	最終データのRSPCKA最終偶数エッジ検出

表37.15　通信完了イベント出力の発生条件(スレーブモード、受信のみの単方向通信)

RSPIモード	条件
SPI動作(SPMS = 0)	最終データ受信後、SSLA0入力ネゲート
クロック同期式動作(SPMS = 1)	最終データのRSPCKA最終偶数エッジ検出

マスタモード / スレーブモードに関わらず、通信動作中に SPCR.SPE ビットに “0” を書いたとき、またはモードフォルトエラーが発生して SPCR.SPE ビットがクリアされたときはイベントを出力しません。

37.5 使用上の注意事項

37.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. **消費電力低減機能**」を参照してください。

37.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを “0” に設定し通信を終了させてください。

37.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが “1” で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが “1” のときは、動作許可 (SPCR.SPE ビットを “1” にする) 前に下記の手順で割り込み要求をクリアしてください。

(1) 通信が停止していること (SPCR.SPE ビットが “0” となっていること) を確認
(2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を “0” にする
(3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0” を確認
(4) ICU.IRn.IR フラグを “0” にする

37.5.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを “0” にしてください。

38. シリアルペリフェラルインタフェース (RSPIA)

本 MCU は、シリアルペリフェラルインタフェース (RSPIA0) を内蔵しています。

RSPIA は、全二重または単方向の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。

38.1 概要

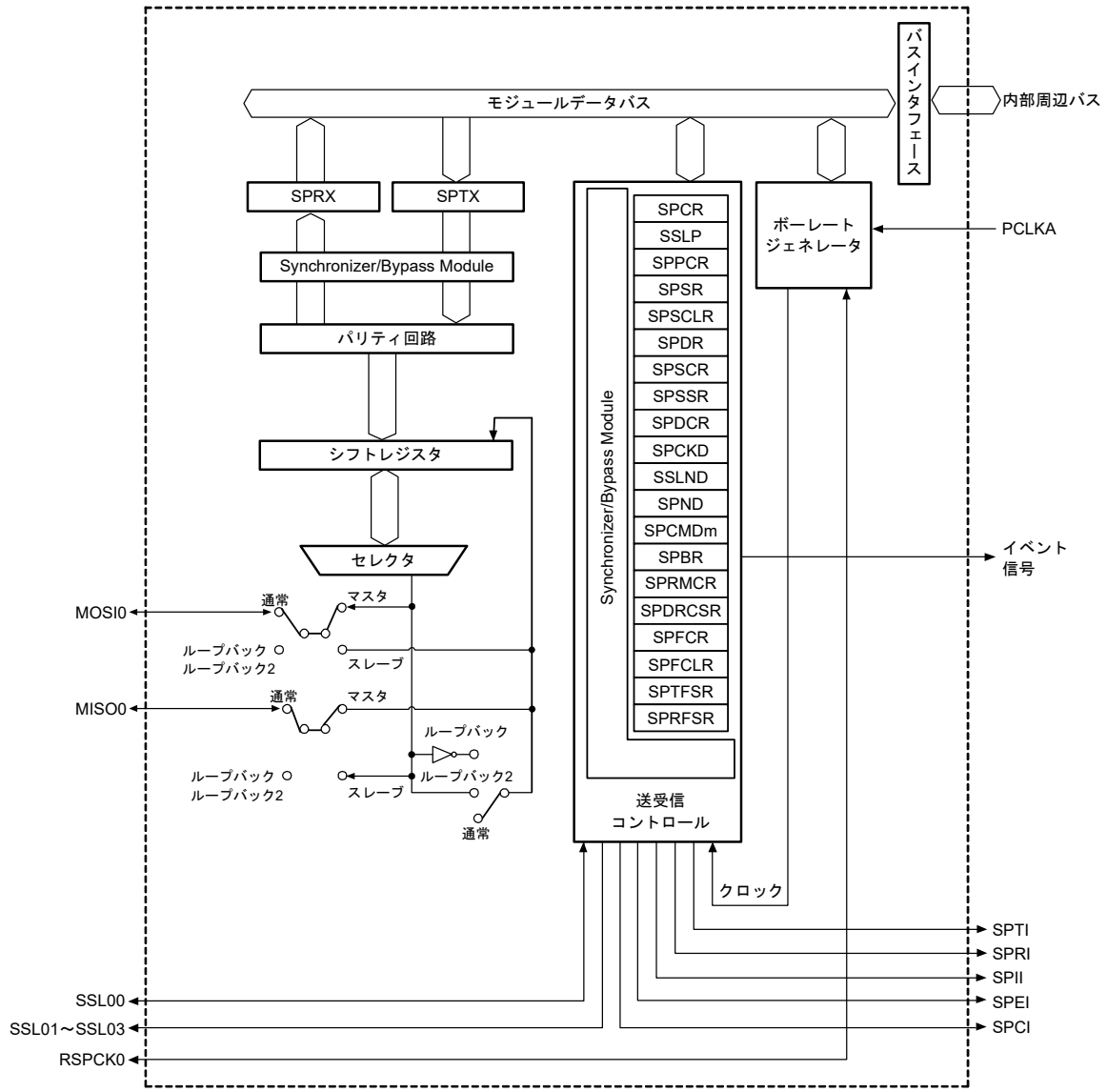
表 38.1 に RSPIA の仕様、**図 38.1** に RSPIA のブロック図を示します。

表38.1　RSPIAの仕様 (1/2)

項目	内容
転送機能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 • 全二重通信または単方向通信(送信のみ、受信のみ)を選択可能 • マスタモード、スレーブモードでのシリアル通信が可能 • RSPCKの極性を変更可能 • RSPCKの位相を変更可能
データフォーマット	• MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を4～32ビットに変更可能 • 送信/受信バッファは32ビット×4段のFIFO • 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) • 送信/受信データをバイト単位でスワップ可能 • 送信/受信データのロジックレベルを反転可能
ビットレート	• マスタ時は、内蔵ボーレートジェネレータでPCLKAを分周してRSPCKを生成する 分周比は、2～4096の範囲で設定可能 • スレーブ時は、外部入力クロックをシリアルクロックとして使用する 最高周波数は、PCLKAの2分周(High幅：PCLKAの1サイクル、Low幅：PCLKAの1サイクル)
バッファ構成	送信/受信バッファはそれぞれ別のバッファで構成
エラー検出	• モードフォルトエラー検出 • アンダランエラー検出 • オーバランエラー検出 • パリティエラー検出 • 受信データレディ検出
SSL制御機能	[Motorola SPI] • RSPIA 1チャネルあたり4本のSSL信号(SSL00～SSL03) • シングルマスタ設定時には、SSL00～SSL03信号を出力 • マルチマスタ設定時： SSL00信号は入力、SSL01～SSL03信号は出力またはHi-Z • スレーブ設定時： SSL00信号は入力、SSL01～SSL03信号はHi-Z (未使用) • SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延(SSLネゲート遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • SSL極性変更機能

表38.1　RSPIAの仕様 (2/2)

項目	内容
SSL制御機能	[TI SSP] • RSPIA 1チャネルあたり4本のSSL信号(SSL00～SSL03) • シングルマスタ設定時には、SSL00～SSL03信号を出力 • マルチマスタ設定時： SSL00信号は入力、SSL01～SSL03信号は出力またはHi-Z • スレーブ設定時： SSL00信号は入力、SSL01～SSL03信号はHi-Z(未使用) • SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能 設定範囲：0～8 RSPCK　設定単位：1 RSPCK • RSPCK停止からデータ出力をHi-Zにするまでの遅延(OEネゲート遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • SSL極性変更機能
通信プロトコル	• Motorola SPI • TI SSP (Synchronous Serial Protocol)
マスタ転送時の制御方式	[Motorola SPI] • 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能(有効/無効の切り替え可能) • バースト転送時のデータバイト間遅延を短縮可能 [TI SSP] • 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延(OEネゲート遅延)、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能(有効/無効の切り替え可能) • バースト転送時のデータバイト間遅延を短縮可能
割り込み要因	5要因 • 受信バッファフル/受信データレディ割り込み • 送信バッファエンプティ割り込み • 通信完了割り込み • エラー割り込み(モードフォルト、アンダラン、オーバラン、パリティエラー、受信データレディ) • アイドル割り込み
イベントリンク機能	5種類のイベントをイベントリンクコントローラへ出力可能 • 受信バッファフル/受信データレディイベント信号 • 送信バッファエンプティイベント信号 • モードフォルト/アンダラン/オーバラン/パリティエラー/受信データレディイベント信号 • アイドルイベント信号 • 通信完了イベント信号
その他の機能	• RSPIディスエーブル(初期化)機能 • ループバックモード機能 • SPEビットのステータスポーリング機能
消費電力低減機能	モジュールストップ状態への遷移が可能



[記号説明]

SPCR：	RSPI 制御レジスタ	SPDRCSR：	RSPI 受信データレディ検出条件設定レジスタ
SSLP：	RSPI スレーブセレクト極性レジスタ	SPFCR：	RSPI FIFO コントロールレジスタ
SPPCR：	RSPI 端子制御レジスタ	SPFCLR：	RSPI FIFO クリアレジスタ
SPSR：	RSPI ステータスレジスタ	SPTFSR：	RSPI 送信 FIFO ステータスレジスタ
SPSCLR：	RSPI ステータスクリアレジスタ	SPRFSR：	RSPI 受信 FIFO ステータスレジスタ
SPDR：	RSPI データレジスタ		
SPSCR：	RSPI シーケンス制御レジスタ	SPTX：	RSPI 送信バッファ
SPSSR：	RSPI シーケンスステータスレジスタ	SPRX：	RSPI 受信バッファ
SPDCR：	RSPI データコントロールレジスタ	SPTI：	送信割り込み
SPCKD：	RSPI クロック遅延レジスタ	SPRI：	受信割り込み
SSLND：	RSPI スレーブセレクトネゲート遅延レジスタ	SPII：	アイドル割り込み
SPND：	RSPI 次アクセス遅延レジスタ	SPEI：	エラー割り込み
SPCMDm：	RSPI コマンドレジスタ m (m = 0 ～ 7)	SPCI：	通信完了割り込み
SPBR：	RSPI ビットレートレジスタ		
SPRMCR：	RSPI 受信専用モード制御レジスタ		

図 38.1　RSPIA のブロック図

表 38.2 に RSPIA の入出力端子を示します。

SSL00 端子の入出力方向は、シングルマスタ設定の場合には出力、マルチマスタ設定とスレーブ設定の場合には入力に、RSPIA が自動的に切り替えます。RSPCK0、MOSI0、MISO0 端子の入出力方向は、マスタ / スレーブ設定、SPI 動作 (4 線式)/ クロック同期式動作 (3 線式)、SSL00 端子の入力レベルに応じて、RSPIA が自動的に切り替えます「38.3.2　RSPI 端子の制御」参照。

表38.2　RSPIAの入出力端子

チャネル	端子名	入出力	機能
RSPIA0	RSPCK0	入出力	クロック入出力
	MOSI0	入出力	マスタ送出データ入出力
	MISO0	入出力	スレーブ送出データ入出力
	SSL00	入出力	スレーブセレクト入出力
	SSL01	出力	スレーブセレクト出力
	SSL02	出力	スレーブセレクト出力
	SSL03	出力	スレーブセレクト出力

38.2　レジスタの説明

38.2.1　RSPI データレジスタ (SPDR)

- ロングワードアクセス時

アドレス　RSPIA0.SPDR 000E 2800h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- ワードアクセス時

アドレス　RSPIA0.SPDR 000E 2800h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
									L							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- バイトアクセス時

アドレス　RSPIA0.SPDR 000E 2800h

	b7	b6	b5	b4	b3	b2	b1	b0
				LL				
リセット後の値	0	0	0	0	0	0	0	0

SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造を図 38.2 に示します。

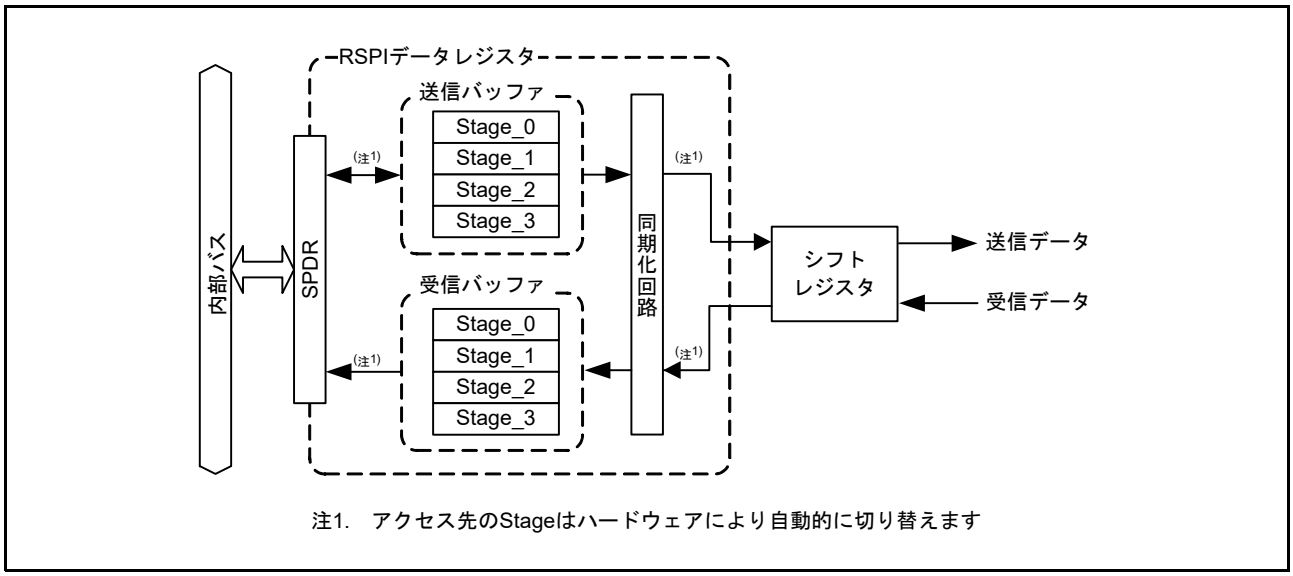


図 38.2　SPDR レジスタの構成図

送信バッファと受信バッファには、それぞれ 32 ビット × 4 段の FIFO があります。SPDR レジスタには、これらの合計 8 段の FIFO が 1 アドレスにマッピングされています。送信バッファ (SPTXn, n = 0 ～ 3) は SPDR レジスタにライトすることによりに書き込むことができ、ライトしたデータを送信します。

受信バッファ (SPRXn, n = 0 ～ 3) は、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値は更新しません。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファ (SPTXn, n = 0 ～ 3) と受信バッファ (SPRXn, n = 0 ～ 3) をそれぞれ 4 段分、計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。

送信データは、LSB 詰めで書き込んでください。受信データは LSB 詰めで格納されます。

SPDR レジスタへのライト時とリード時の動作を以下に示します。

(a) ライト

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへライトすることによりポインタが次のバッファに自動的に切り替わります。図 38.3 に送信バッファのバスインタフェース (ライト) の構造を示します。

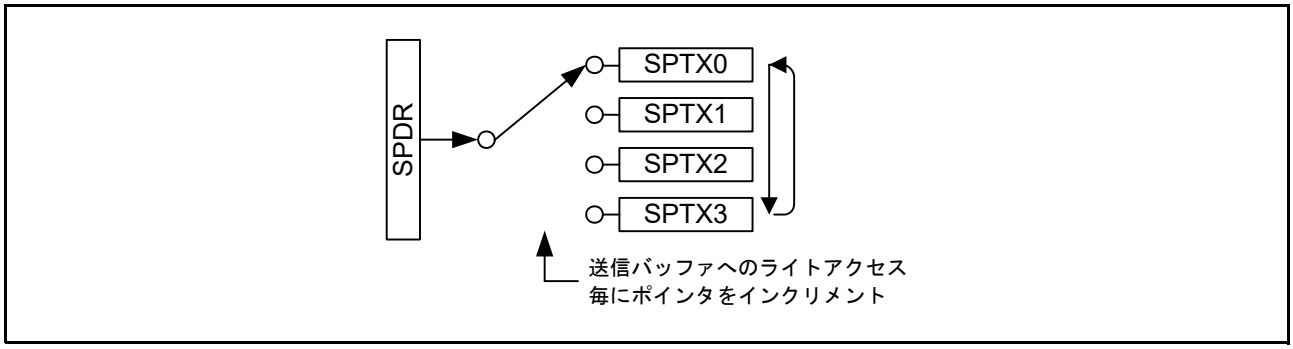


図 38.3　SPDR レジスタの構成図 (ライト)

送信バッファの切り替え順序

SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → …

送信バッファへの書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” のとき)、RSPI FIFO コントロールレジスタの送信 FIFO しきい値設定ビット (SPFCR.TTRG[1:0]) で設定したフレーム数 +1 分の送信データを書き込んでください。送信 FIFO に空き段数がない状態で送信バッファに書き込みを行ってもバッファの値は更新されません。

(b)　リード

SPDR レジスタをリードすることによって受信バッファ (SPRXn, n = 0 ～ 3)、または送信バッファ (SPTXn, n = 0 ～ 3) の値を読み出すことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出しは、独立した受信バッファリードポインタと送信バッファリードポインタによって行われます。

図 38.4 に受信バッファと送信バッファのバスインタフェース (リード) の構造を示します。

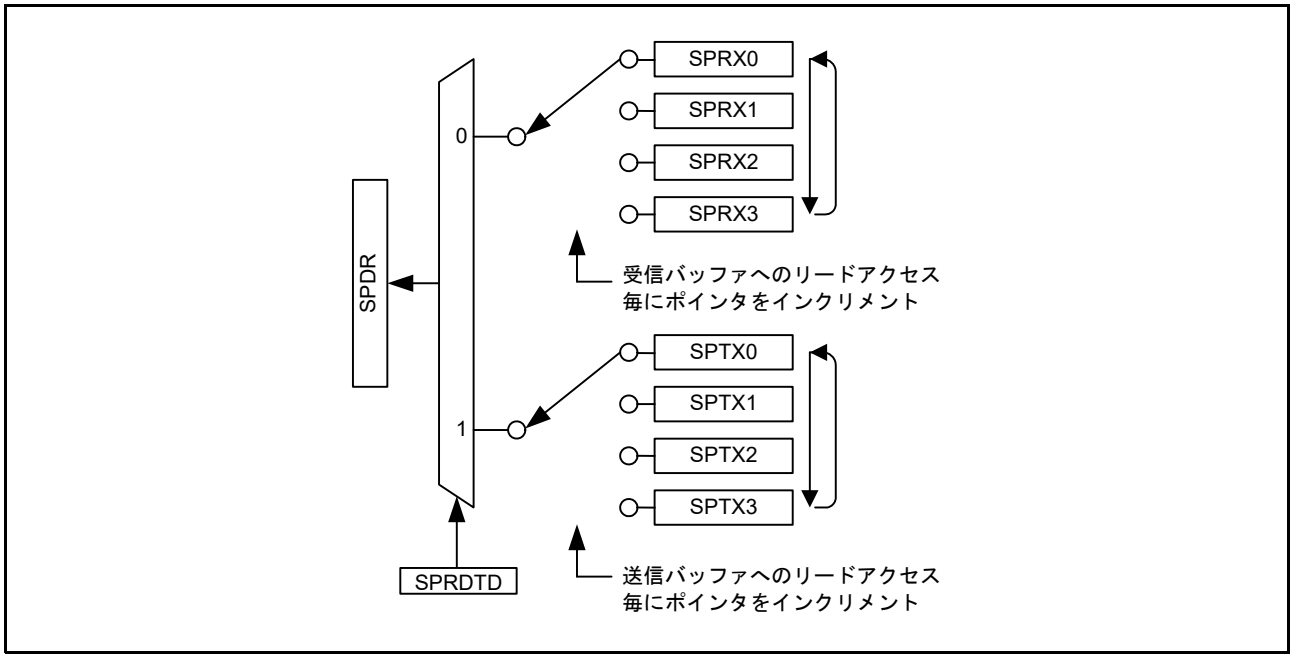


図 38.4　　SPDR 構成図 (リード)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。

送信バッファリードポインタは SPDR レジスタへのライト時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR レジスタに最後にライトした値が読み出せます。

38.2.2　RSPI クロック遅延レジスタ (SPCKD)

アドレス　RSPIA0.SPCKD 000E 2804h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

[Motorola SPI]

SPCKD レジスタは、SPCMDm.SCKDEN ビットが “1” の状態における、SSL0i 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが “1” の状態で、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

[TI SSP]

SPCKD レジスタは、SPCMDm.SCKDEN ビットが “1” の状態における、SSL0i 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延)、および SSL0i 信号をネゲートまでの期間を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが “1” の状態で、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが “1” の場合に RSPCK 遅延値を設定するためのビットです。

RSPIA をスレーブモードで使用する場合には、SCKDL[2:0] ビットに “000b” を設定してください。

38.2.3 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPIA0.SSLND 000E 2805h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	[マスタモード] b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK [TI SSPスレーブモード] b2 b0 0 0 0 : 1 PCLKA 0 0 1 : 2 PCLKA 0 1 0 : 3 PCLKA 0 1 1 : 4 PCLKA 1 0 0 : 5 PCLKA 1 0 1 : 6 PCLKA 1 1 0 : 7 PCLKA 1 1 1 : 8 PCLKA	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

[Motorola SPI]

SSLND レジスタは、SPCMDm.SLNDEN ビットが “1” の場合に、マスタモードの RSPIA がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが “1” の状態で、SSLND レジスタを書き換えた場合には、以降の動作は保証されません。

[TI SSP]

SSLND レジスタは、SPCMDm.SLNDEN ビットが “1” の場合に、マスタモードの RSPIA がシリアル転送の最終 RSPCK エッジを送出してから OE 信号をネゲートするまでの期間、またはスレーブモードの RSPI がシリアル転送の最終 RSPCK エッジを検出してから OE 信号をネゲートするまでの期間を設定するためのレジスタです。SPCR.SPE ビットが “1” の状態で、SSLND レジスタを書き換えた場合には、以降の動作は保証されません。

SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

[Motorola SPI]

SPCMDm.SLNDEN ビットが “1” の場合の SSL ネゲート遅延を設定するためのビットです。

スレーブモードで使用する場合、このビットに “000b” を設定してください。

[TI SSP]

SPCMDm.SLNDEN ビットが “1” の場合の OE ネゲート遅延を設定するためのビットです。

[クロック同期式動作]

スレーブモードで使用する場合、このビットは “000b” にしてください。

38.2.4 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPIA0.SPND 000E 2806h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK＋5 PCLKA 0 0 1 : 2 RSPCK＋5 PCLKA 0 1 0 : 3 RSPCK＋5 PCLKA 0 1 1 : 4 RSPCK＋5 PCLKA 1 0 0 : 5 RSPCK＋5 PCLKA 1 0 1 : 6 RSPCK＋5 PCLKA 1 1 0 : 7 RSPCK＋5 PCLKA 1 1 1 : 8 RSPCK＋5 PCLKA	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPND レジスタは、SPCMDm.SPNDEN ビットが “1” の状態における、シリアル転送終了後の SSL0i 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが “1” の状態で、SPND レジスタを書き換えた場合には、以降の動作は保証されません。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが “1” の場合の次アクセス遅延を設定するためのビットです。

RSPIA をスレーブモードで使用する場合には、SPNDL[2:0] ビットに “000b” を設定してください。

38.2.5 RSPI 制御レジスタ (SPCR)

アドレス RSPIA0.SPCR 000E 2808h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYNDIS	MSTR	CMMD[1:0]		—	—	FRFS	SPMS	—	—	SPCIE	SPTIE	RDRIS	SPIIE	SPRIE	SPEIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MODFEN	SCKDDIS	SCKASE	PTE	—	SPOE	SPPE	MRCKS	—	—	—	—	—	—	SPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPE	RSPI機能許可ビット	0：RSPI機能は無効 1：RSPI機能が有効	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	MRCKS	マスタ受信クロック選択ビット	“1”にしてください	R/W
b8	SPPE	パリティ許可ビット	0：送信データにパリティビットを付加せず、受信データのパリティチェックも行わない 1：送信データにパリティビットを付加し、受信データのパリティチェックを行う	R/W
b9	SPOE	パリティモードビット	0：偶数パリティで送受信 1：奇数パリティで送受信	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b11	PTE	パリティ自己診断ビット	0：パリティ回路自己診断機能は無効 1：パリティ回路自己診断機能が有効	R/W
b12	SCKASE	RSPCK自動停止機能許可ビット	0：RSPCK自動停止機能が無効 1：RSPCK自動停止機能が有効	R/W
b13	SCKDDIS	フレーム間RSPCK遅延無効化ビット	0：バースト転送時のフレーム間遅延あり 1：バースト転送時のフレーム間遅延なし	R/W
b14	MODFEN	モードフォルトエラー検出許可ビット	0：モードフォルトエラー検出を禁止 1：モードフォルトエラー検出を許可	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	SPEIE	エラー割り込み許可ビット	0：エラー割り込み禁止 1：エラー割り込み許可	R/W
b17	SPRIE	受信バッファフル割り込み許可ビット	0：受信バッファフル割り込み禁止 1：受信バッファフル割り込み許可	R/W
b18	SPIIE	アイドル割り込み許可ビット	0：アイドル割り込み禁止 1：アイドル割り込み許可	R/W
b19	RDRIS	受信データレディ割り込み選択ビット	0：受信バッファフル割り込み 1：エラー割り込み	R/W
b20	SPTIE	送信バッファエンプティ割り込み許可ビット	0：送信バッファエンプティ割り込み禁止 1：送信バッファエンプティ割り込み許可	R/W
b21	SPCIE	通信完了割り込み許可ビット	0：通信完了割り込み禁止 1：通信完了割り込み許可	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	SPMS	RSPIモード選択ビット	0：SPI動作(4線式) 1：クロック同期式動作(3線式)	R/W
b25	FRFS	フレームフォーマット選択ビット (注1)	0：Motorola SPI 1：TI SSP	R/W
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b29-b28	CMMD[1:0]	通信モード選択ビット	b29 b28 0　0：送受信モード(全二重通信) 0　1：送信専用モード(単方向通信、受信回路停止) 1　0：受信専用モード(単方向通信、送信回路停止) 1　1：設定禁止	R/W
b30	MSTR	RSPIマスタ/スレーブモード選択ビット	0：スレーブモード 1：マスタモード	R/W
b31	SYNDIS	同期化回路無効ビット	“1”にしてください	R/W

注1.　本ビットは、SPMSビットが“0”のときのみ有効です。

SPCR レジスタは、RSPIA の動作モードを設定するためのレジスタです。SPE ビットが “1” の状態で、MSTR、SCKDDIS、SPMS、MRCKS、SCKASE、PTE、SPPE、SPOE、SYNDIS、MODFEN、CMMD[1:0]、FRFS ビットの設定値を変更した場合には、以降の動作は保証されません。

SPE ビット (RSPI 機能許可ビット)

本ビットは、RSPIA の機能の有効 / 無効設定するビットです。このビットを “1” にすることにより、RSPI 機能が有効になります。SPSR.MODF フラグが “1” の場合には、SPE ビットはクリアされ、MODF フラグをクリアするまで SPE ビットを “1” に設定することはできません (**「38.3.10　エラー検出」**参照)。SPE ビットを “0” にすると、RSPI 機能は無効化されて、モジュール機能の一部が初期化されます (**「38.3.12　RSPIA の初期化」**参照)。

MRCKS ビット (マスタ受信クロック選択ビット)

マスタモード時に受信データをサンプリングするクロックを選択するビットです。本 MCU では “1” にしてください。

ループバック機能未使用時 (SPPCR.SPLP = 0 かつ SPPCR.SPLP2 = 0 のとき) かつマスタモード時のみ、本ビットの設定は有効です。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、1 の数の合計が奇数個になるようにパリティビットを決定します。SPOE ビットは、SPCR.SPPE ビットが “1” のときのみ有効です。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する前のタイミングで RSPCK が停止します。詳細は**「38.3.10.1　オーバランエラー」**を参照してください。

SCKDDIS ビット (フレーム間 RSPCK 遅延無効化ビット)

バースト転送時のフレーム間に遅延を挿入するかしないかを設定するビットです。

マスタモード (SPCR.MSTR = 1) で、SPCMDm.SSLKP ビットが “1” のフレームに対して有効です。

スレーブモード (SPCR.MSTR = 0) では、SCKDDIS ビットは “0” に設定してください。

表 38.3 に、フレーム転送における SSL 遅延制御の使用方法を示します。詳細は、「38.3.13.1　マスタモード動作」の「(4)　バースト転送」を参照してください。

表38.3　フレーム転送におけるSSL遅延制御の使用方法(マスタモード)

		SPCMDm. SSLKPビット	SPCR. SCKDDISビット	RSPCK遅延、SSLネゲート遅延、次アクセス遅延
非バースト転送の場合		0	0	レジスタ(注1)の設定に応じて、RSPCK遅延、SSLネゲート遅延、次アクセス遅延の各遅延制御を実施
バースト転送(フレーム間遅延あり)の場合	先頭フレームから最終フレームの前まで	1	0	
	最終フレーム	0	0	
バースト転送(フレーム間遅延なし)の場合	先頭フレームから最終フレームの前まで	1	1	各遅延制御は以下の場合のみ実施 • 先頭フレームのRSPCK遅延 • 最終フレームのSSLネゲート遅延と次アクセス遅延
	最終フレーム	0	1	

注1.　RSPCK遅延：SPCKD.SCKDL[2:0]、SPCMDm.SCKDENビットで制御
SSLネゲート遅延：SSLND.SLNDL[2:0]、SPCMDm.SLNDENビットで制御
次アクセス遅延：SPND.SPNDL[2:0]、SPCMDm.SPNDENビットで制御

表38.4　Motorola SPI時の動作例(SCKDDIS = 1)

設定	動作
SPCMD0.SSLKP = 1	フレーム0と1の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD1.SSLKP = 1	フレーム1と2の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD2.SSLKP = 1	フレーム2と3の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD3.SSLKP = 1	フレーム3と4の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD4.SSLKP = 0	バースト転送を実施しない、一旦SSL0i端子をネゲートする(注1)
SPCMD5.SSLKP = 1	フレーム5と6の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD6.SSLKP = 1	フレーム6と7の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD7.SSLKP = 0	バースト転送を実施しない、一旦SSL0i端子をネゲートする(注1)

注1.　バースト転送を実施しないため、SCKDDISビットの設定が無効

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可 / 禁止するためのビットです (「38.3.10　エラー検出」参照)。また、RSPIA は MODFEN ビットと MSTR ビットとの組み合せにしたがって、SSL00 端子の入出力方向を決定します (「38.3.2　RSPI 端子の制御」参照)。

SPEIE ビット (エラー割り込み許可ビット)

エラー割り込み要求の発生を許可 / 禁止するためのビットです。

このビットが “1” のときに、SPSR.MODF、OVRF、PERF フラグのいずれかが “1” になるとエラー割り込み要求が発生します (「38.3.10　エラー検出」参照)。

SPRIE ビット (受信バッファフル割り込み許可ビット)

受信バッファフル割り込み要求の発生を許可 / 禁止するためのビットです。

SPIIE ビット (アイドル割り込み許可ビット)

アイドル割り込み要求の発生を許可 / 禁止するためのビットです。

このビットが “1” のときに、SPSR.IDLNF フラグが “1” から “0” に変化すると、アイドル割り込み要求が発生します。

RDRIS ビット (受信データレディ割り込み選択ビット)

受信データレディを検出した時 (SPSR.RRDYF = 1) に、SPRI 割り込み要求を発生させるか、SPEI 割り込みを発生させるかを選択します。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

送信バッファエンプティ割り込み要求の発生を許可 / 禁止するためのビットです。

SPCIE ビット (通信完了割り込み許可ビット)

通信完了割り込み要求の発生を許可 / 禁止するためのビットです。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式)/ クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSL0i 端子を使用せず、RSPCK0 端子、MOSI0 端子、MISO0 端子の 3 端子を用いて通信を行います。SPMS = 1 (クロック同期式動作 (3 線式)) のときは、FRFS ビットの設定は無効です。

また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は SPCMDm.CPHA ビットを “0”、“1” どちらにも設定可能です。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを “1” に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合に、CPHA ビットを “0” に設定した場合の動作は保証されません。

表 38.5 に、SPCR レジスタの MSTR、CMMD[1:0]、FRFS、SPMS ビットの設定に応じた通信状態を示します。

表38.5　RSPIAの通信状態

SPCR. MSTR ビット	SPCR. CMMD[1:0] ビット	SPCR. FRFS ビット	SPCR. SPMS ビット	通信状態	通信状態 No.
1	00b	0	0	マスタ送受信モード/SPI動作(4線式)/Motorola SPI	1-1
1	00b	1	0	マスタ送受信モード/SPI動作(4線式)/TI SSP	1-2
1	00b	×	1	マスタ送受信モード/クロック同期式動作(3線式)	1-3
1	01b	0	0	マスタ送信専用モード/SPI動作(4線式)/Motorola SPI	1-4
1	01b	1	0	マスタ送信専用モード/SPI動作(4線式)/TI SSP	1-5
1	01b	×	1	マスタ送信専用モード/クロック同期式動作(3線式)	1-6
1	10b	0	0	マスタ受信専用モード/SPI動作(4線式)/Motorola SPI	1-7
1	10b	1	0	マスタ受信専用モード/SPI動作(4線式)/TI SSP	1-8
1	10b	×	1	マスタ受信専用モード/クロック同期式動作(3線式)	1-9
0	00b	0	0	スレーブ送受信モード/SPI動作(4線式)/Motorola SPI (default)	0-1
0	00b	1	0	スレーブ送受信モード/SPI動作(4線式)/TI SSP	0-2
0	00b	×	1	スレーブ送受信モード/クロック同期式動作(3線式)	0-3
0	01b	0	0	スレーブ送信専用モード/SPI動作(4線式)/Motorola SPI	0-4
0	01b	1	0	スレーブ送信専用モード/SPI動作(4線式)/TI SSP	0-5
0	01b	×	1	スレーブ送信専用モード/クロック同期式動作(3線式)	0-6
0	10b	0	0	スレーブ受信専用モード/SPI動作(4線式)/Motorola SPI	0-7
0	10b	1	0	スレーブ受信専用モード/SPI動作(4線式)/TI SSP	0-8
0	10b	×	1	スレーブ受信専用モード/クロック同期式動作(3線式)	0-9

注.　×：don't care

FRFS ビット (フレームフォーマット選択ビット)

通信プロトコルを選択するビットです。設定した通信プロトコルに応じた RSPI 端子 (RSPCK0, SSL0i (i = 0 ～ 3)) のフォーマットを設定できます。

SPMS = 1 (クロック同期式動作 (3 線式)) 時は SSL0i 端子を使用しないため本ビットは無効になります。

CMMD[1:0] ビット (通信モード選択ビット)

送受信、送信専用、受信専用のシリアル通信を選択するためのビットです。

CMMD[1:0] ビットを “01b” にして通信を行う場合は、データ送信のみ行い、データ受信は行いません。

CMMD[1:0] ビットを “10b” にして通信を行う場合は、データ受信のみ行い、データ送信は行いません。

また、CMMD[1:0] ビットを “01b” に設定したとき、受信バッファフルの割り込み要求を使用することはできません。CMMD[1:0] ビットを “10b” に設定したとき、送信バッファエンプティの割り込み要求を使用することはできません。(「38.3.6　通信モード」参照)。

MSTR ビット (RSPI マスタ / スレーブモード選択ビット)

RSPIA のマスタ / スレーブモードを選択するためのビットです。また、RSPIA は MSTR ビットの設定にしたがって、RSPCK0、MOSI0、MISO0、SSL01 ～ SSL03 端子の方向を決定します

SYNDIS ビット (同期化回路無効ビット)

本 MCU では、このビットを “1” にしてください。

38.2.6 RSPI 受信専用モード制御レジスタ (SPRMCR)

アドレス RSPIA0.SPRMCR 000E 280Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	START	TERM	—	RFC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	RFC[4:0]	受信フレーム数選択ビット	マスタ受信専用モード時の受信フレーム数を調整できます。 b4 b0 ００００００：本機能を使用しない ００００１：受信フレーム数1処理後に通信を自動停止 ：　： １１１１１：受信フレーム数31処理後に通信を自動停止 (マスタ受信専用モード以外設定無効)	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	TERM	受信終了ビット	1：マスタ受信専用モードで受信終了 (マスタ受信専用モード時のみ、書き込み可能) 読み出し値は常に0	W
b7	START	受信開始ビット	1：マスタ受信専用モードで受信開始 (マスタ受信専用モード時のみ、書き込み可能) 読み出し値は常に0	W

SPRMCR レジスタは、マスタ受信専用モード動作時の通信開始並びに完了を制御するレジスタです。SPCR.SPE ビットが “1” の状態で、RFC[4:0] ビットを書き換えた場合には、以降の動作は保証されません。

RFC[4:0] ビット (受信フレーム数選択ビット)

マスタ受信専用モード動作時に受信フレーム数を調整できます。マスタモード (SPCR.MSTR = 1) かつ通信モード選択ビット (SPCR.CMMD[1:0]) が “10b” 時のみ有効です。受信開始ビットによって受信開始後、本ビット設定値に応じた分だけのフレームを処理した後に通信を自動停止させます。

TERM ビット (受信終了ビット)

マスタ受信専用モード動作時における受信を終了するためのビットです。マスタモード (SPCR.MSTR = 1) かつ通信モード選択ビット (SPCR.CMMD[1:0]) が “10b” 時のみ有効です。

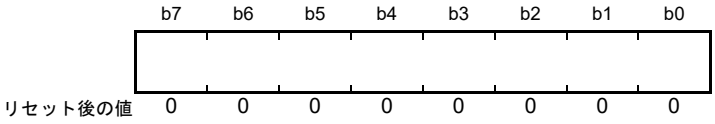
START ビット (受信開始ビット)

マスタ受信専用モード動作時における受信を開始するためのビットです。マスタモード (SPCR.MSTR = 1) かつ通信モード選択ビット (SPCR.CMMD[1:0]) が “10b” 時のみ有効です。

受信動作中に本ビットに “1” をライトしても受け付けません。受信完了後に再度ライトしてください。

38.2.7　RSPI 受信データレディ検出条件設定レジスタ (SPDRCSR)

アドレス　RSPIA0.SPDRCSR 000E 280Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	0h：受信データレディ検出機能を無効にする 1h：1 PCLKA後に受信データレディ判定を行う ：　： FFh：255 PCLKA後に受信データレディ判定を行う	R/W

SPDRCSR レジスタは、RSPI 受信データレディ検出機能を設定するためのレジスタです。SPCR.SPE ビットが “1” である状態で設定値を変更した場合には、以降の動作は保証されません。

受信データレディ検出機能を無効にするかもしくは、使用する場合は検出までの期間を 1 ～ 255 PCLKA まで設定することができます。SPDRCSR レジスタの設定値は、RRDYF フラグの 1 セット条件に使用されます。詳細は「38.2.16　RSPI ステータスレジスタ (SPSR)」の「RRDYF フラグ (受信データレディフラグ)」の説明を参照してください。

38.2.8 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPIA0.SPPCR 000E 280Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0：通常モード 1：ループバックモード(送信データの反転=受信データ)	R/W
b1	SPLP2	RSPIループバック2ビット	0：通常モード 1：ループバックモード(送信データ=受信データ)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	MOIFV	MOSIアイドル固定値ビット	0：MOSIアイドル固定値はLow 1：MOSIアイドル固定値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0：MOSI出力値は前回転送の最終データ 1：MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPPCR レジスタは、RSPIA の端子モードを設定するために使用されるレジスタです。SPCR.SPE ビットが “1” の状態で、SPPCR レジスタを書き換えた場合には、以降の動作は保証されません。

SPLP ビット (RSPI ループバックビット)

SPLP ビットを “1” にすると、RSPIA は、RSPI 制御レジスタの MSTR ビットが “1” ならば MISO0 端子とシフトレジスタ間を、RSPI 制御レジスタの MSTR ビットが “0” ならば MOSI0 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路の値を反転し出力経路に接続します (ループバックモード)。

SPLP2 ビット (RSPI ループバック 2 ビット)

SPLP2 ビットを “1” にすると、RSPIA は、RSPI 制御レジスタの MSTR ビットが “1” ならば MISO0 端子とシフトレジスタ間を、RSPI 制御レジスタの MSTR ビットが “0” ならば MOSI0 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路の値を反転せず出力経路に接続します (ループバックモード)。
SPLP ビットと同時に “1” に設定した場合は本ビットの設定が優先されます。

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが “1” の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI0 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPIA が、SSL ネゲート期間 (バースト転送における SSL 保持期間も含む) に MOSI0 出力値を固定するために使用するビットです。MOIFE ビットが “0” の場合には、RSPIA は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI0 に出力します。MOIFE ビットが “1” の場合には、RSPIA は MOIFV ビットに設定された固定値を、MOSI0 に出力します。

38.2.9 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPIA0.SSLP 000E 2810h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	[Motorola SPI時] 0：SSL00信号はアクティブLow 1：SSL00信号はアクティブHigh [TI SSP時] 0：SSL00信号はアクティブHigh 1：SSL00信号はアクティブLow	R/W
b1	SSL1P	SSL1信号極性設定ビット	[Motorola SPI時] 0：SSL01信号はアクティブLow 1：SSL01信号はアクティブHigh [TI SSP時] 0：SSL01信号はアクティブHigh 1：SSL01信号はアクティブLow	R/W
b2	SSL2P	SSL2信号極性設定ビット	[Motorola SPI時] 0：SSL02信号はアクティブLow 1：SSL02信号はアクティブHigh [TI SSP時] 0：SSL02信号はアクティブHigh 1：SSL02信号はアクティブLow	R/W
b3	SSL3P	SSL3信号極性設定ビット	[Motorola SPI時] 0：SSL03信号はアクティブLow 1：SSL03信号はアクティブHigh [TI SSP時] 0：SSL03信号はアクティブHigh 1：SSL03信号はアクティブLow	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLP レジスタは、RSPIA の SSL0i 信号 (i = 0 ～ 3) の極性を設定するためのレジスタです。SPCR.SPE ビットが “1” の状態で、SSLP レジスタを書き換えた場合には、以降の動作は保証されません。

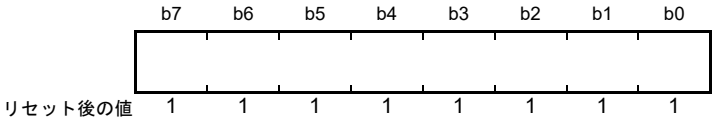
SSLiP ビット (SSL 信号極性設定ビット)

SSL0i 信号のアクティブレベルを設定するためのビットです。

注 . SSL00 信号は、SSL01 ～ SSL03 信号と異なり、スレーブモード、マルチマスタモード時は、入力信号となります。詳細は、「38.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)」、「38.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)」を参照してください。

38.2.10　RSPI ビットレートレジスタ (SPBR)

アドレス　RSPIA0.SPBR 000E 2811h



SPBR レジスタは、マスタモード時のビットレート設定に使用するレジスタです。SPCR.MSTR ビットと SPE ビットが “1” の状態で、SPBR レジスタを書き換えた場合には、以降の動作は保証されません。

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合せで決定されます。

RSPIA スレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビットの設定に関係なく、入力クロックのビットレートに依存します (電気的特性を満足するビットレートに設定してください)。

ビットレートの計算式は、下記の通りです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(PCLKA)}{2 \times (n+1) \times 2^{N}}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を**表 38.6** に示します。

表38.6　設定とビットレート対応表(例)

SPBR レジスタの設定値(n)	BRDV[1:0] ビットの設定値(N)	分周比	ビットレート				
			PCLKA = 32 MHz	PCLKA = 36 MHz	PCLKA = 40 MHz	PCLKA = 50 MHz	PCLKA = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	60.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	5.0 Mbps
5	2	48	677 kbps	750 kbps	833 kbps	1.04 Mbps	2.5 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	29.3 kbps

38.2.11　RSPI シーケンス制御レジスタ (SPSCR)

アドレス　RSPIA0.SPSCR 000E 2813h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPI シーケンス長設定ビット	b2 b0　シーケンス長　参照するSPCMD0～7レジスタ(番号) 0 0 0 :　1　0→0→… 0 0 1 :　2　0→1→0→… 0 1 0 :　3　0→1→2→0→… 0 1 1 :　4　0→1→2→3→0→… 1 0 0 :　5　0→1→2→3→4→0→… 1 0 1 :　6　0→1→2→3→4→5→0→… 1 1 0 :　7　0→1→2→3→4→5→6→0→… 1 1 1 :　8　0→1→2→3→4→5→6→7→0→… 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。 なお、スレーブモードでは、SPCMD0 レジスタが参照されます	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPSCR レジスタは、RSPIA がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが “1” の状態で、SPSCR.SPSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが “0” の状態で書き換えてください。

SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードの RSPIA がシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの RSPIA は SPSLN[2:0] ビットに設定されたシーケンス長に応じて、参照する SPCMDm レジスタと参照順を変更します。詳細は、「38.3.13.1　マスタモード動作」の「(3)　シーケンス制御」を参照してください。

なお、スレーブモードでは、常に SPCMD0 レジスタが参照されます。

38.2.12 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7)

アドレス　RSPIA0.SPCMD0 000E 2814h, RSPIA0.SPCMD1 000E 2818h, RSPIA0.SPCMD2 000E 281Ch, RSPIA0.SPCMD3 000E 2820h, RSPIA0.SPCMD4 000E 2824h, RSPIA0.SPCMD5 000E 2828h, RSPIA0.SPCMD6 000E 282Ch, RSPIA0.SPCMD7 000E 2830h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	SSLA[2:0]			—	—	—	SPB[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	—	—	—	—	SSLKP	—	—	—	BRDV[1:0]		CPOL	CPHA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0：アイドル時のRSPCKが“0” 1：アイドル時のRSPCKが“1”	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0：ベースのビットレートを選択 0 1：ベースのビットレートの2分周を選択 1 0：ベースのビットレートの4分周を選択 1 1：ベースのビットレートの8分周を選択	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	SSLKP	SSL信号レベル保持ビット	0：転送終了時に全SSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	LSBF	RSPI LSBファーストビット	0：MSBファースト 1：LSBファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延イネーブルビット	0：次アクセス遅延は1 RSPCK＋5 PCLKA 1：次アクセス遅延はRSPI次アクセス遅延レジスタ(SPND)の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定イネーブルビット	0：マスタ：SSLネゲート遅延は1 RSPCK TI SSPスレーブ：SSLネゲート遅延は1 PCLKA 1：SSLネゲート遅延はスレーブセレクトネゲート遅延レジスタ(SSLND)の設定値	R/W
b15	SCKDEN	RSPCK遅延設定イネーブルビット	0：Motorola SPI：RSPCK遅延は1 RSPCK TI SSP：RSPCK遅延は0 RSPCK 1：RSPCK遅延はRSPCK遅延レジスタ(SPCKD)の設定値	R/W
b20-b16	SPB[4:0]	RSPIデータ長設定ビット	b20　b16 0 0 0 1 1：4ビット 0 0 1 0 0：5ビット 0 0 1 0 1：6ビット ：　： 1 1 1 1 0：31ビット 1 1 1 1 1：32ビット 上記以外：設定禁止	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26-b24	SSLA[2:0]	SSL信号アサート設定ビット	b26 b24 0 0 0：SSL00 0 0 1：SSL01 0 1 0：SSL02 0 1 1：SSL03 上記以外：設定禁止	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RSPIA には、RSPI コマンドレジスタが 8 本あります (SPCMDm (m = 0 ～ 7))。SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPIA は SPSCR.SPSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファがエンプティ (次転送のデータがセットされていない) の状態で、RSPIA がその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPIA が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、スレーブモードの RSPIA がイネーブルな状態 (SPCR.SPE = 1) において、SPCMD0 を書き換えた場合には、以降の動作は保証されません。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード / スレーブモードの RSPIA の RSPCK 位相を設定するためのビットです。RSPIA モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

SPCR.SPMS = 0 かつ SPCR.FRFS = 1 時 (TI SSP モード時) は CPHA = 0 設定は無効です。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード / スレーブモードの RSPIA の RSPCK 極性を設定するためのビットです。RSPIA モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するビットです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合せでビットレートを決定します。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし /2 分周 /4 分周 /8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] の設定を行うことができます。このため、コマンド毎に異なるビットレートでシリアル転送を実行することが可能です。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPIA がシリアル転送する場合に、現コマンドに対応する SSL0i ネゲートタイミングから次コマンドに対応する SSL0i アサートタイミングの間に、現コマンドの SSL0i 信号レベルを保持するか、ネゲートするかを設定するビットです。本ビットを “1” に設定することにより、SPI 動作マスタモード時のバースト転送を実現することができます。詳細は、**「38.3.13.1　マスタモード動作」**の**「(4)　バースト転送」**を参照してください。

RSPIA をスレーブモードで使用する場合には、SSLKP ビットに “0” を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード / スレーブモードの RSPIA のデータフォーマットを、MSB ファースト /LSB ファーストに設定するためのビットです。

SPNDEN ビット (RSPI 次アクセス遅延イネーブルビット)

マスタモードの RSPIA がシリアル転送を終了して SSL0i 信号を非アクティブにしてから、次アクセスの SSL0i 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN ビットが “0” の場合には、RSPIA は次アクセス遅延を 1 RSPCK ＋ 5 PCLKA にします。SPNDEN ビットが “1” の場合には、RSPIA は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPIA をスレーブモードで使用する場合には、SPNDEN ビットに “0” を設定してください。

SLNDEN ビット (SSL ネゲート遅延設定イネーブルビット)

[Motorola SPI]

マスタモードの RSPIA が、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN ビットが “0” の場合には、RSPIA は SSL ネゲート遅延を 1 RSPCK にします。SLNDEN ビットが “1” の場合には、RSPIA は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

スレーブモードで使用する場合、このビットは “0” にしてください。

[TI SSP]

マスタモードの RSPIA が、RSPCK を発振停止してから OE 信号を非アクティブにするまでの期間、またはスレーブモードの RSPIA が、RSPCK の最終エッジを検出してから OE 信号をネゲートするまでの期間を設定するためのビットです。SLNDEN ビットが “0” の場合には、マスタモード時は SSL ネゲート遅延を 1 RSPCK、スレーブモード時は 1 PCLKA にします。SLNDEN ビットが “1” の場合には、RSPIA は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

[クロック同期式動作]

スレーブモードで使用する場合、このビットを “0” にしてください。

SCKDEN ビット (RSPCK 遅延設定イネーブルビット)

[Motorola SPI]

マスタモードの RSPIA が、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。SCKDEN ビットが “0” の場合には、RSPIA は RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが “1” の場合には、RSPIA は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

[TI SSP]

マスタモードの RSPIA が、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延)、および SSL0i 信号をネゲートするまでの期間を設定するためのビットです。SCKDEN ビットが “0” の場合は、RSPIA は RSPCK 遅延を挿入しません。SCKDEN ビットが “1” の場合には、RSPIA は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPIA をスレーブモードで使用する場合には、SCKDEN ビットに “0” を設定してください。

SPB[4:0] ビット (RSPI データ長設定ビット)

マスタモード / スレーブモードの RSPIA の転送データ長を設定するためのビットです。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPIA がシリアル転送する場合の SSL0i 信号 (i = 0 ～ 3) のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSL0i 信号のアサートを制御します。SSL0i 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットに “000b” を設定した場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSL00 は入力になるため)。

RSPIA をスレーブモードで使用する場合には、SSLA[2:0] ビットに “000b” を設定してください。

38.2.13　RSPI データコントロールレジスタ (SPDCR)

アドレス　RSPIA0.SPDCR 000E 2840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SPFC[1:0]		—	—	—	DINV	SPRDTD	—	—	BYSW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップビット	0：SPDRのデータをバイト単位でスワップしない 1：SPDRのデータをバイト単位でスワップする	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SPRDTD	RSPI受信/送信データ選択ビット	0：SPDRは受信バッファを読み出す 1：SPDRは送信バッファを読み出す	R/W
b4	DINV	転送データ反転ビット	0：シリアルデータを反転しない 1：シリアルデータを反転する	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9-b8	SPFC[1:0]	フレーム数設定ビット	b9 b8 0 0：1フレーム 0 1：2フレーム 1 0：3フレーム 1 1：4フレーム	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPDCR レジスタは、データフォーマットを制御するレジスタです。SPCR.SPE ビットが “1” の状態で、SPDCR レジスタを書き換えた場合には、以降の動作は保証されません。

BYSW ビット (バイトスワップビット)

送信 / 受信データをバイト単位でスワップさせる設定ビットです。バイトスワップ後のデータの並びは、データ長 (SPCMDm.SPB[4:0] ビットの設定) によって異なります。

バイトスワップ時は、データ長 (SPB[4:0] ビットの設定) を 32 ビットもしくは 16 ビットに設定してください。

これ以外のデータ長 (4 ～ 15, 17 ～ 31 ビット) に設定した場合、バイトスワップ動作は保証されません。

データ長 32 ビットと 16 ビットのスワップ前後のデータの並びは「38.3.4.4　バイトスワップ送信」、「38.3.4.5　バイトスワップ受信」を参照してください。

パリティ機能を有効 (SPPE ビットが “1”) に設定した場合の動作は保証されません。

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読み出した場合、SPDR レジスタへ直前に書き込んだ値が読み出されます。

DINV ビット (転送データ反転ビット)

送信 / 受信データを反転させる設定ビットです。

DINV ビットを “1” にした場合、送信バッファ (SPTX) の内容を反転して送信、受信データを反転して受信バッファ (SPRX) に格納します。パリティビットは、反転した送信 / 受信データに応じた値となります。

SPFC[1:0] ビット (フレーム数設定ビット)

スレーブ受信専用モード時の SPCF フラグをセットするための条件に使用します。

SPCF フラグのセット条件の詳細に関しては「38.2.16　RSPI ステータスレジスタ (SPSR)」の SPCF フラグのセット条件を参照してください。

なお、スレーブ受信専用モード以外では、本ビットは無効です。

38.2.14 RSPI FIFO コントロールレジスタ (SPFCR)

アドレス RSPIA0.SPFCR 000E 2844h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTRG[1:0]		—	—	—	—	—	—	RTRG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RTRG[1:0]	受信FIFOしきい値設定ビット	b1 b0 0 0：受信FIFOの格納数が0 0 1：受信FIFOの格納数が1 1 0：受信FIFOの格納数が2 1 1：受信FIFOの格納数が3	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9-b8	TTRG[1:0]	送信FIFOしきい値設定ビット	b9 b8 0 0：送信FIFOの空きが0 0 1：送信FIFOの空きが1 1 0：送信FIFOの空きが2 1 1：送信FIFOの空きが3	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPFCR レジスタは、FIFO を制御するレジスタです。SPCR.SPE ビットが “1” の状態で、SPFCR レジスタ書き換えた場合には、以降の動作は保証されません。

RTRG[1:0] ビット (受信 FIFO しきい値設定ビット)

受信 FIFO のしきい値を設定します。受信 FIFO のデータ格納数が RTRG[1:0] ビットで設定したしきい値より多くなったとき、受信バッファフルフラグをセットします。

TTRG[1:0] ビット (送信 FIFO しきい値設定ビット)

送信 FIFO のしきい値を設定します。送信 FIFO の空き段数が TTRG[1:0] ビットで設定したしきい値より多くなったとき、送信バッファエンプティフラグをセットします。

38.2.15　RSPI シーケンスステータスレジスタ (SPSSR)

アドレス　RSPIA0.SPSSR 000E 2851h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPECM[2:0]			—	SPCP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPIA がマスタ動作する場合のシーケンス制御の状態を示すレジスタです。SPSSR レジスタへの書き込みは無視されます。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPIA のシーケンス制御で、現在ポインタで指されている SPCMDm レジスタを示すビットです。RSPIA のシーケンス制御については、**「38.3.13.1　マスタモード動作」**を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPIA のシーケンス制御で、エラー検出時にコマンドポインタ (SPCP[2:0] ビット) で指されていた SPCMDm レジスタを示すビットです。RSPIA はエラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF フラグ、MODF フラグ、PERF フラグがすべて “0” で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPIA のエラー検出機能については、**「38.3.10　エラー検出」**を参照してください。また、RSPIA のシーケンス制御については、**「38.3.13.1　マスタモード動作」**を参照してください。

38.2.16　RSPI ステータスレジスタ (SPSR)

アドレス　RSPIA0.SPSR 000E 2852h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	SPCF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF	RRDYF	—	—	—	—	—	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます	R
b7	RRDYF	受信データレディフラグ	0：受信データレディを検出していない 1：受信データレディを検出した	R
b8	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R
b9	IDLNF	アイドルフラグ	0：RSPIAがアイドル状態 1：RSPIAが転送状態	R
b10	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし、アンダランエラーなし 1：モードフォルトエラーまたはアンダランエラー発生	R
b11	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R
b12	UDRF	アンダランエラーフラグ	MODF フラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 MODF UDRF 0　x：モードフォルトエラーなし、アンダランエラーなし 1　0：モードフォルトエラー発生 1　1：アンダランエラー発生	R
b13	SPTEF	送信バッファエンプティフラグ	0：送信FIFOの空き段数がSPFCR.TTRGで設定した値以下 1：送信FIFOの空き段数がSPFCR.TTRGで設定した値を超過	R
b14	SPCF	通信完了フラグ	0：RSPIAは非通信または通信中 1：RSPIAが通信完了	R
b15	SPRF	受信バッファフルフラグ	0：受信FIFOのデータ格納数がSPFCR.RTRGビットで設定したフレーム数以下 1：受信FIFOのデータ格納数がSPFCR.RTRGビットで設定したフレーム数を超過	R

×：don't care

SPSR レジスタは、RSPIA の動作状態を示すフラグを格納したレジスタです。

RRDYF フラグ (受信データレディフラグ)

通信中 (SPCR.SPE = 1) に受信 FIFO に格納されたデータの数が受信 FIFO しきい値以下の状態で一定時間経過したことを示します。受信動作を行わない (SPCR.CMMD[1:0] = 01b) ときは “0” となります。

[“1” になる条件]

下記 2 条件をすべて満たしたとき

- SPDRCSR レジスタ≠ 00h のとき
- 受信 FIFO 書き込み後､受信 FIFO に格納されたデータ数が受信 FIFO しきい値以下の状態で SPDRCSR レジスタの設定値分、経過したとき

[“0” になる条件]

SPSCLR.RRDYFC ビットに “1” を書き込んだとき

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが “1”) かつ RSPCK 自動停止機能が有効 (SPCR.SCKASE ビットが “1”) のときは、オーバランエラーが発生しないためセットされません。詳細は「38.3.10.1　オーバランエラー」を参照してください。

[“1” になる条件]

下記 2 条件のいずれかで、受信 FIFO に空き段数がない状態でシリアル転送が終了したとき

- SPCR.CMMD[1:0] ビットが “00b” (マスタ送受信モード / スレーブ送受信モード)
- SPCR.CMMD[1:0] ビットが “10b” (マスタ受信専用モード / スレーブ受信専用モード)

[“0” になる条件]

SPSCLR.OVRFC ビットに “1” を書き込んだとき

IDLNF フラグ (アイドルフラグ)

RSPIA の転送状況を示します。

[“1” になる条件]

(1)　マスタ送受信モード / マスタ送信専用モード

- 下記 [“0” になる条件] のマスタモード時の条件がいずれも満たされていないとき

(2)　マスタ受信専用モード

- SPRMCR.START ビットに “1” を書き込んだとき

(3)　スレーブモード

- SPCR.SPE ビットが “1” (RSPI 機能が有効) のとき

[“0” になる条件]

(1)　マスタ送受信モード / マスタ送信専用モード

通信状態：1-1 ～ 1-6 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- SPCR.SPE ビットが “0” (RSPIA 初期化)
- 下記の 3 条件をすべて満たした場合

(a)　送信バッファ (SPTXn, n = 0 ～ 3) に次転送データがセットされていないとき

(b)　SPSSR.SPCP[2:0] ビットが “000b” (シーケンス制御の先頭) であるとき

(c)　次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(2)　マスタ受信専用モード

通信状態：1-7 ～ 1-9 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- SPCR.SPE ビットが “0” (RSPIA 初期化)
- 下記のいずれかを満たしたとき

(a)　SPRMCR.RFC[4:0] ビット = 00000b 時、SPRMCR.TERM ビットに “1” を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(b)　RFC[4:0] ビット ≠ 00000b 時、TERM ビットに “1” を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(c)　RFC[4:0]ビット≠00000b時、RFC[4:0]ビットで設定した受信フレーム数分処理が完了後、次アクセス遅延までが動作完了された状態(マスタメインステートマシンがアイドル状態に遷移したとき)

(3)　スレーブモード
通信状態：0-1 ～ 0-9 (通信状態の詳細は**「表 38.5　RSPIA の通信状態」**を参照)

- SPCR.SPE ビットが “0” (RSPIA 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーまたはアンダランエラーの発生を示します。モードフォルトエラーまたはアンダランエラーのどちらが発生したかは、UDRF フラグによって判別可能です。

[“1” になる条件]

(1)　マルチマスタモード

- SPCR.MSTR ビットが “1” (マスタモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、SSL00 端子の入力レベルがアクティブレベルになり、RSPIA がモードフォルトエラーを検出したとき

(2)　スレーブモード (SPI 動作、Motorola SPI)
下記の 2 条件のいずれかを満たしたとき

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL00 端子がネゲートされ、RSPIA がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが “1” (RSPI 機能が有効) かつ送信データの出力準備が整っていない状態で、シリアル転送が開始され、RSPIA がアンダランエラーを検出したとき

(3)　スレーブモード (SPI 動作、TI SSP)
下記の 2 条件のいずれかを満たしたとき

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL00 端子がアサートされ、RSPIA がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが “1” (RSPI 機能が有効) かつ送信データの出力準備が整っていない状態で、シリアル転送が開始され、RSPIA がアンダランエラーを検出したとき

なお、SSL0i 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

[“0” になる条件]

SPSCLR.MODFC ビットに “1” を書き込んだとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1” になる条件]

下記 2 条件のいずれかで、SPCR.SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき

- SPCR.CMMD[1:0] ビットが “00b” (マスタ送受信モード / スレーブ送受信モード)
- SPCR.CMMD[1:0] ビットが “10b” (マスタ受信専用モード / スレーブ受信専用モード)

[“0” になる条件]
SPSCLR.PERFC ビットに “1” を書き込んだとき

UDRF フラグ (アンダランエラーフラグ)
モードフォルトエラーまたはアンダランエラー発生時に、どちらのエラーが発生したかを示します。

[“1” になる条件]
SPCR.MSTR ビットが “0” かつ SPCR.CMMD[1:0] ビットが “00b” または “01b” (スレーブ送受信モード / スレーブ送信専用モード)、SPCR.SPE ビットが “1” (RSPI 機能が有効)、かつ送信データの出力準備が整っていない状態で、シリアル転送が開始され、RSPIA がアンダランエラーを検出したとき

[“0” になる条件]
SPSCLR.UDRFC ビットに “1” を書き込んだとき

SPTEF フラグ (送信バッファエンプティフラグ)
SPDR レジスタの送信バッファ (SPTXn, n = 0 ～ 3) の状態を示すフラグです。

[“1” になる条件]
下記の 3 条件のいずれかを満たしたとき
- RSPIA の初期化 (SPE ビットを “0” に設定)
- 送信 FIFO の空き段数が SPFCR.TTRG[1:0] ビットで設定した値を超えたとき
- SPFCLR.FCLR ビットに “1” を書き込んだとき

[“0” になる条件]
下記の 2 条件のいずれかを満たしたとき
- DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR レジスタ (SPTXn, n = 0 ～ 3) へ送信データを書き込んだ場合の最終アクセス時
- SPSCLR.SPTEFC ビットに “1” を書き込んだとき

SPDR レジスタに対する書き込みは、SPTEF フラグが “1” の場合にのみ有効です。SPTEF フラグが “0” の状態で、SPDR レジスタへ書き込みを行った場合、送信バッファ (SPTXn, n = 0 ～ 3) のデータは更新されません。

SPCF フラグ (通信完了フラグ)
RSPIA の通信完了状態を示します。通信が完了すると “1” になり、次の通信開始で “0” になります。

[“1” になる条件]
(1)　マスタ送受信モード / マスタ送信専用モード
通信状態：1-1 ～ 1-6 (通信状態の詳細は「**表 38.5　RSPIA の通信状態**」を参照)
下記の 3 条件をすべて満たしたとき
- 送信バッファ (SPTXn, n = 0 ～ 3) に次転送データがセットされていないとき
- SPSSR.SPCP[2:0] ビットが “000b” (シーケンス制御の先頭) であるとき
- 次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(2) マスタ受信専用モード

通信状態：1-7 ～ 1-9 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記のいずれかを満たしたとき

- SPRMCR.RFC[4:0] ビット = 00000b 時、SPRMCR.TERM ビットに “1” を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
- RFC[4:0] ビット≠ 00000b 時、TERM ビットに “1” を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
- RFC[4:0] ビット≠ 00000b 時、RFC[4:0] ビットで設定した受信フレーム数分処理が完了後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(3) スレーブ送受信モード / スレーブ送信専用モード (SPI 動作、Motorola SPI)

通信状態：0-1、0-4 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 3 条件をすべて満たしたとき

- 送信バッファ (SPTX) に次転送データがセットされていないとき
- 送信シフトレジスタがエンプティ (シリアル送信をしていない) のとき
- SSL00 入力がネゲートしたとき

(4) スレーブ送受信モード / スレーブ送信専用モード (SPI 動作、TI SSP)

通信状態：0-2、0-5 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 3 条件をすべて満たしたとき

- 送信バッファ (SPTX) に次転送データがセットされていないとき
- 送信シフトレジスタがエンプティ (シリアル送信をしていない) のとき
- SSL ネゲート遅延が完了したとき

(5) スレーブ送受信モード / スレーブ送信専用モード (クロック同期式動作)

通信状態：0-3、0-6 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 3 条件をすべて満たしたとき

- 送信バッファ (SPTX) に次転送データがセットされていないとき
- 送信シフトレジスタがエンプティ (シリアル送信をしていない) のとき
- フレームの RSPCK 最終偶数エッジ (SPCMDm.CPHA = 1) を検出したとき

(6) スレーブ受信専用モード (SPI 動作、Motorola SPI)

通信状態：0-7 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

- SPDCR.SPFC[1:0] ビット設定値分のフレームを受信バッファ (SPRX) に格納した後に、SSL00 入力がネゲートしたとき

(7) スレーブ受信専用モード (SPI 動作、TI SSP)

通信状態：0-8 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

- SPFC[1:0] ビット設定値分のフレームを受信バッファ (SPRX) に格納した後に、SSL ネゲート遅延が完了したとき

(8) スレーブ受信専用モード (クロック同期式動作)

通信状態：0-9 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

- SPFC[1:0]ビット設定値分の最終フレーム受信時のRSPCK最終偶数エッジ(SPCMDm.CPHA = 1)を検出したとき

[“0” になる条件]

(1) マスタ送受信モード / マスタ送信専用モード

通信状態：1-1 ～ 1-6 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- 次の通信の送信データを送信バッファ (SPTX) に書き込んだとき
- SPSCLR.SPCFC ビットに “1” を書き込んだとき

(2) マスタ受信専用モード

通信状態：1-7 ～ 1-9 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- SPE ビット = 1 の状態で SPRMCR.START ビットに “1” を書き込んだとき
- SPSCLR.SPCFC ビットに “1” を書き込んだとき

(3) スレーブ送受信モード / スレーブ送信専用モード

通信状態：0-1 ～ 0-6 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- 次の通信の送信データを送信バッファ (SPTX) に書き込んだとき
- SPSCLR.SPCFC ビットに “1” を書き込んだとき

(4) スレーブ受信専用モード (SPI 動作)

通信状態：0-7 ～ 0-8 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- 次データの SSL00 入力アサートを検出したとき
- SPSCLR.SPCFC ビットに “1” を書き込んだとき

(5) スレーブ受信専用モード (クロック同期式動作)

通信状態：0-9 (通信状態の詳細は「表 38.5　RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- 次データの RSPCK の第 1 エッジを検出したとき
- SPSCLR.SPCFC ビットに “1” を書き込んだとき

SPRF フラグ (受信バッファフルフラグ)

SPDR レジスタの受信バッファ (SPRX) の状態を示すフラグです。

[“1” になる条件]

送受信モード / 受信専用モードで、受信 FIFO のデータ格納数が SPFCR.RTRG[1:0] ビットで設定したフレーム数より多くなったとき。

ただし、OVRF フラグが “1” のとき、SPRF フラグは “0” から “1” に変化しません (「38.3.10　エラー検出」参照)。

[“0” になる条件]

下記の 3 条件のいずれかを満たしたとき

- DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR レジスタ (SPRXn, n = 0 ～ 3) から受信データを読み出した場合の最終アクセス時
- SPSCLR.SPRFC ビットに “1” を書き込んだとき
- SPFCLR.FCLR ビットに “1” を書き込んだとき

38.2.17　RSPI 送信 FIFO ステータスレジスタ (SPTFSR)

アドレス　RSPIA0.SPTFSR 000E 2858h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FREE[2:0]		
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	FREE[2:0]	送信FIFO空き容量	b2 b0 ０００：空き段数 0 ００１：空き段数 1 ０１０：空き段数 2 ０１１：空き段数 3 １００：空き段数 4	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

FREE[2:0] ビット (送信 FIFO 空き容量)

送信 FIFO の空き段数を表示します。SPCR.SPE ビットを “0” にすることで FREE[2:0] ビットは “100b” になります。

38.2.18　RSPI 受信 FIFO ステータスレジスタ (SPRFSR)

アドレス　RSPIA0.SPRFSR 000E 285Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FILL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	FILL[2:0]	受信FIFO格納データ量	b2 b0 ０００：格納段数 0 ００１：格納段数 1 ０１０：格納段数 2 ０１１：格納段数 3 １００：格納段数 4	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

FILL[2:0] ビット (受信 FIFO 格納データ量)

受信 FIFO の格納段数を表示します。SPCR.SPE ビットを “0” にすることで FILL[2:0] ビットは “000b” になります。

38.2.19 RSPI ステータスクリアレジスタ (SPSCLR)

アドレス RSPIA0.SPSCLR 000E 286Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPRFC	SPCFC	SPTEFC	UDRFC	PERFC	MODFC	—	OVRFC	RRDYFC	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	RRDYFC	RSPI受信データレディフラグクリアビット	“1”を書き込むことによりRSPI受信データレディフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b8	OVRFC	オーバランエラーフラグクリアビット	“1”を書き込むことによりオーバランエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10	MODFC	モードフォルトエラーフラグクリアビット	“1”を書き込むことにより、モードフォルトエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W (注1)
b11	PERFC	パリティエラーフラグクリアビット	“1”を書き込むことにより、パリティエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b12	UDRFC	アンダランエラーフラグクリアビット	“1”を書き込むことにより、アンダランエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W (注1、注2)
b13	SPTEFC	送信バッファエンプティフラグクリアビット	“1”を書き込むことにより、送信バッファエンプティフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b14	SPCFC	通信完了フラグクリアビット	“1”を書き込むことにより、通信完了フラグをクリアすることが出来ます。読むと“0”が読めます。	W
b15	SPRFC	受信バッファフルフラグクリアビット	“1”を書き込むことにより、受信バッファフルフラグをクリアすることが出来ます。読むと“0”が読めます。	W

注1. MODFC、UDRFCビットに“1”を書くときは、SPSR.MODF、UDRFフラグが“1”になっていることを確認してから行ってください。
注2. UDRFフラグのクリア時は、同時にMODFフラグもクリア(MODFC = 1)してください。

SPSCLRレジスタは、RSPIAの動作状態を示すSPSRレジスタの各ステータスフラグをクリアするレジスタです。

38.2.20 RSPI FIFO クリアレジスタ (SPFCLR)

アドレス RSPIA0.SPFCLR 000E 286Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCLR	FIFOクリアビット	“1”を書き込むことにより、FIFO内のポインタ、格納データを初期化します。読むと“0”が読めます。	W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPFCLR レジスタは FIFO をクリアするためのレジスタです。SPCR.SPE ビットが “1” の状態で、SPFCLR レジスタを書き換えた場合には、以降の動作は保証されません。

FCLR ビット (FIFO クリアビット)

“1” を書き込むことにより、送信 / 受信 FIFO 内のポインタ、格納データを初期化します。

38.3 動作説明

本項では、“ シリアル転送期間 ” という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

38.3.1 RSPI 動作の概要

RSPIA は、下記の 5 種類のモードで転送が可能です。

1. スレーブモード (SPI 動作)
2. シングルマスタモード (SPI 動作)
3. マルチマスタモード (SPI 動作)
4. スレーブモード (クロック同期式動作)
5. マスタモード (クロック同期式動作)

RSPIA のモードは、SPCR.MSTR、MODFEN、SPMS、FRFS ビットによって設定可能です。**表 38.7** に RSPIA のモードと SPCR レジスタの設定の関係、および各モードの概要を示します。

表38.7　RSPIAのモードとSPCRレジスタ設定の関係、および各モードの概要

モード	SPI動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
FRFSビットの設定	有効	有効	有効	無効	無効
RSPCK0信号	入力	出力	出力 /Hi-Z (注1)	入力	出力
MOSI0信号	入力	出力	出力 /Hi-Z (注1)	入力	出力
MISO0信号	出力 /Hi-Z (注2)	入力	入力	出力	入力
SSL00信号	入力	出力	入力	Hi-Z (未使用)	Hi-Z (未使用)
SSL01～SSL03信号	Hi-Z (未使用)	出力	出力 /Hi-Z (注1)	Hi-Z (未使用)	Hi-Z (未使用)
出力端子モード	CMOS/ オープンドレイン				
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～ PCLKA/2				
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種 (注3)	2 種 (注3)	2 種 (注3)	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	4 ～ 32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし (注4)	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求またはSPTEF = 1 で送信バッファ書き込み	送信バッファエンプティ割り込み要求またはSPTEF = 1 で送信バッファ書き込み	RSPCK 発振	送信バッファエンプティ割り込み要求またはSPTEF = 1 で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり (注5)	あり	あり	あり (注5)	あり
受信バッファフル検出	あり (注6)				
オーバランエラー検出	あり (注6)	あり (注6、注7)	あり (注6、注7)	あり (注6)	あり (注6、注7)
パリティエラー検出	あり (注6、注8)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダランエラー検出	あり (注5)	なし	なし	あり (注5)	なし

注1.　Motorola SPI時：SSL00端子が他のマスタによってアサートされると、端子がHi-Zになります。
TI SSP時：SPCR.SPEビットが“1”のときに、他のマスタによってSSL00端子がアサートされてから通信が終了するまでの間、端子がHi-Zになります。
注2.　Motorola SPI時：SSL00端子がネゲートされているまたはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。
TI SSP時：RSPIAが通信を行っていないとき(通信が終了してから次にSSL00端子がアサートされるまで)、またはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。
注3.　TI SSPモード時はCPHA = 0は無効です。
注4.　TI SSPモード時のみ可能。
注5.　スレーブ受信専用モードのとき(「表38.5　RSPIAの通信状態」参照)は、送信バッファエンプティ検出、アンダランエラー検出を行いません。
注6.　マスタ送信専用モードまたはスレーブ送信専用モードのとき(「表38.5　RSPIAの通信状態」参照)は、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。
注7.　SPCR.SCKASEビットが“1”のときは、オーバランエラー検出を行いません。
注8.　SPCR.SPPEビットが“0”のときは、パリティエラー検出を行いません。

38.3.2 RSPI 端子の制御

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPIA は、SPPCR.MOIFE、MOIFV ビットの設定にしたがって、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を**表 38.8** のように決定します。

表38.8　SSLネゲート期間のMOSI信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSI 信号値
0	0 or 1	前回転送の最終データ
1	0	Low
1	1	High

38.3.3 RSPI システム構成例

本構成例では、SSL0i 信号は Low をアクティブレベルとして説明します。

なお、マルチスレーブおよび、マルチマスタ構成で接続して使用する際、接続デバイスの転送フォーマットは Motorola SPI、TI SSP どちらか一方に統一してください。

38.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 38.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSL00 ～ SSL03 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを常にセレクト状態にします。SPCMDm.CPHA ビットが “0” の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSL0i 出力をスレーブデバイスの SSL 入力に接続してください。

本 MCU (マスタ) は、RSPCK0 と MOSI0 を常にドライブします。SPI スレーブは、MISO を常にドライブします。

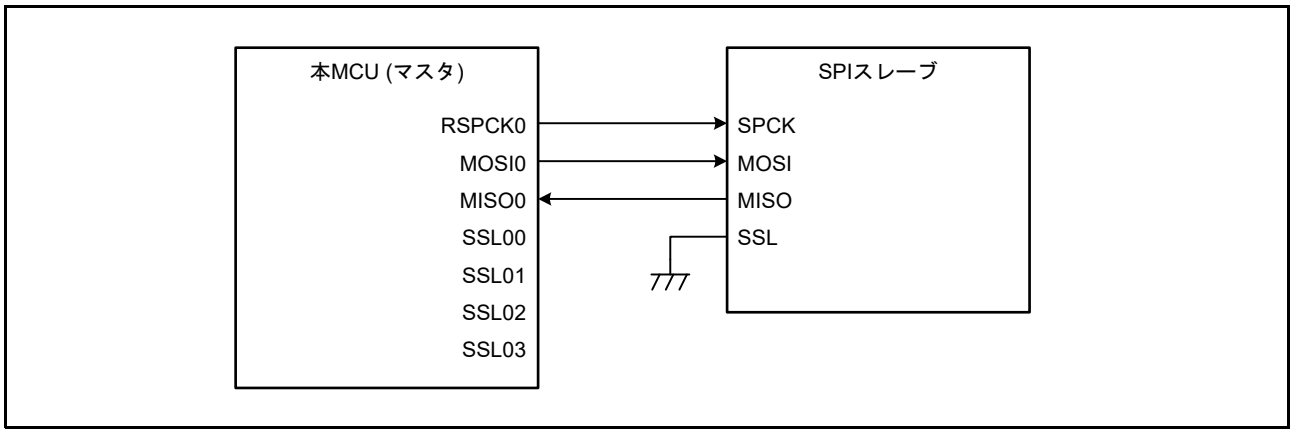


図 38.5　シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

38.3.3.2　シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 38.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSL00 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI を常にドライブします。本 MCU (スレーブ) は、MISO0 を常にドライブします。SSL00 が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMDm.CPHA ビットを “1” に設定かつ、SPCR.FRFS ビットを “0” に設定かつ SPMS ビットを “0” に設定したシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSL00 入力を Low に固定して本 MCU (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です (図 38.7)。ただし、図 38.7 のように SSL00 入力を固定した場合、通信完了イベントと通信完了割り込みは出力されません。

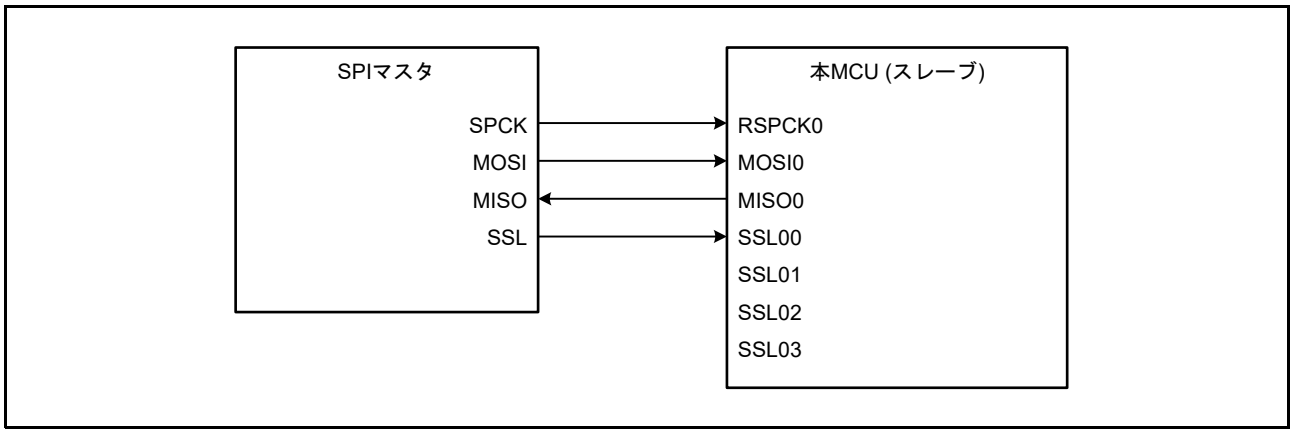


図 38.6　シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

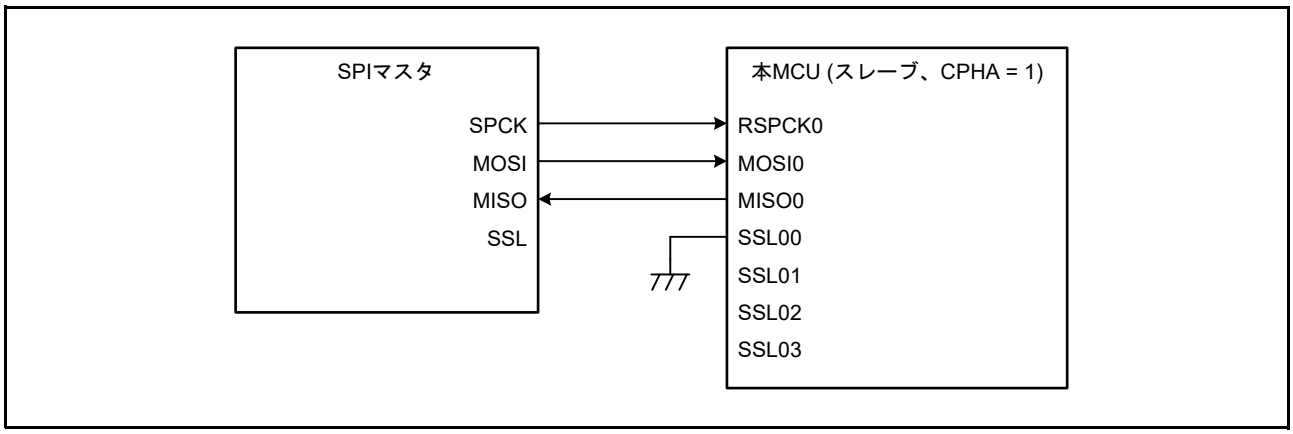


図 38.7　シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

38.3.3.3　シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 38.8 に、マスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ～ SPI スレーブ 3) から RSPI システムを構成しています。

マスタの RSPCK0 出力と MOSI0 出力は、SPI スレーブ 0 ～ SPI スレーブ 3 の SPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ～ SPI スレーブ 3 の MISO 出力は、すべてマスタの MISO0 入力に接続します。本 MCU (マスタ) の SSL00 ～ SSL03 出力は、それぞれ SPI スレーブ 0 ～ SPI スレーブ 3 の SSL 入力に接続します。

マスタは、RSPCK0、MOSI0、SSL00 ～ SSL03 を常にドライブします。SPI スレーブ 0 ～ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

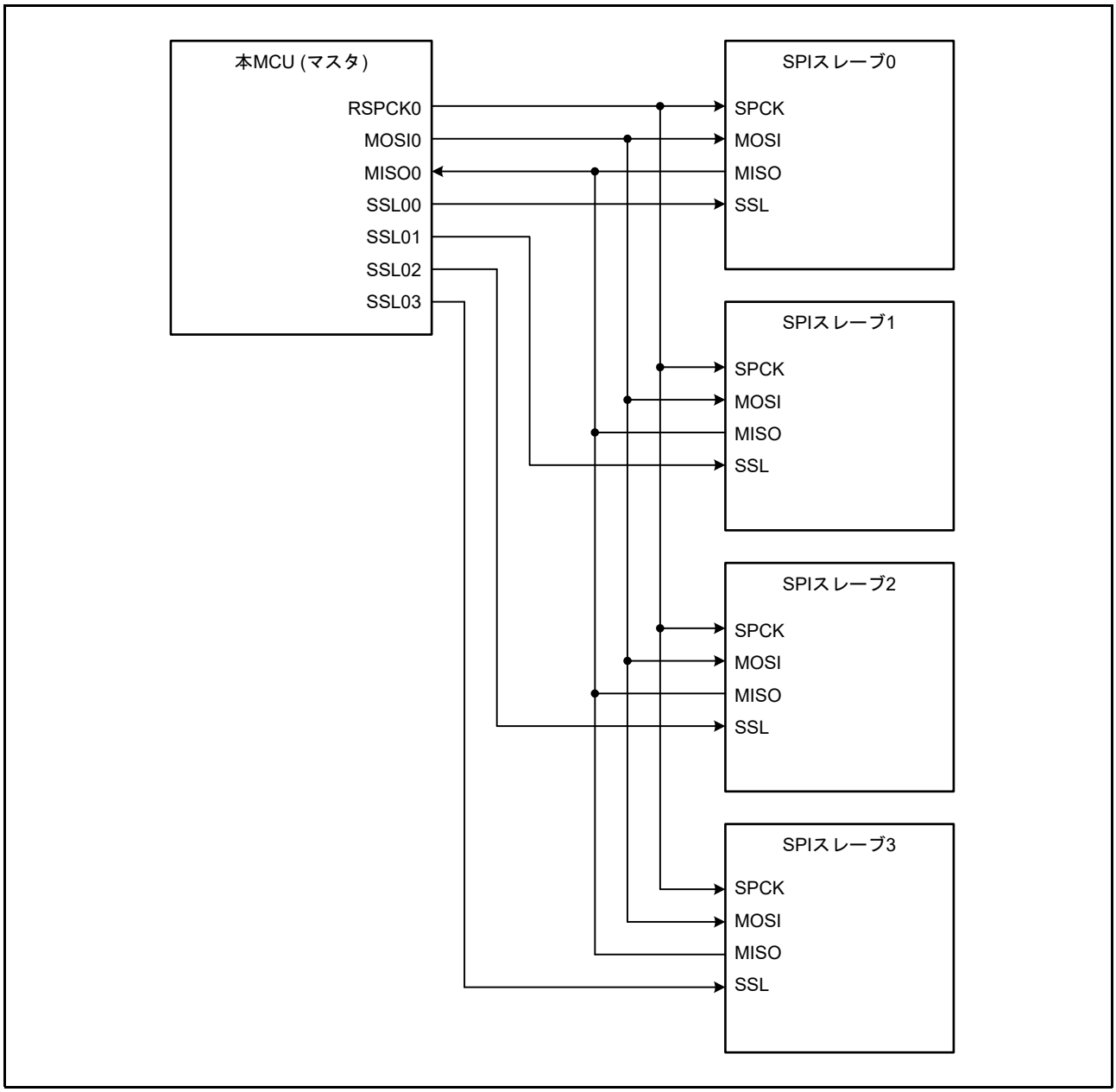


図 38.8　シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

38.3.3.4　シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 38.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCK0 入力と MOSI0 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISO0 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSL00 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY を常にドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSL00 入力に Low を入力されているスレーブが、MISO0 をドライブします。

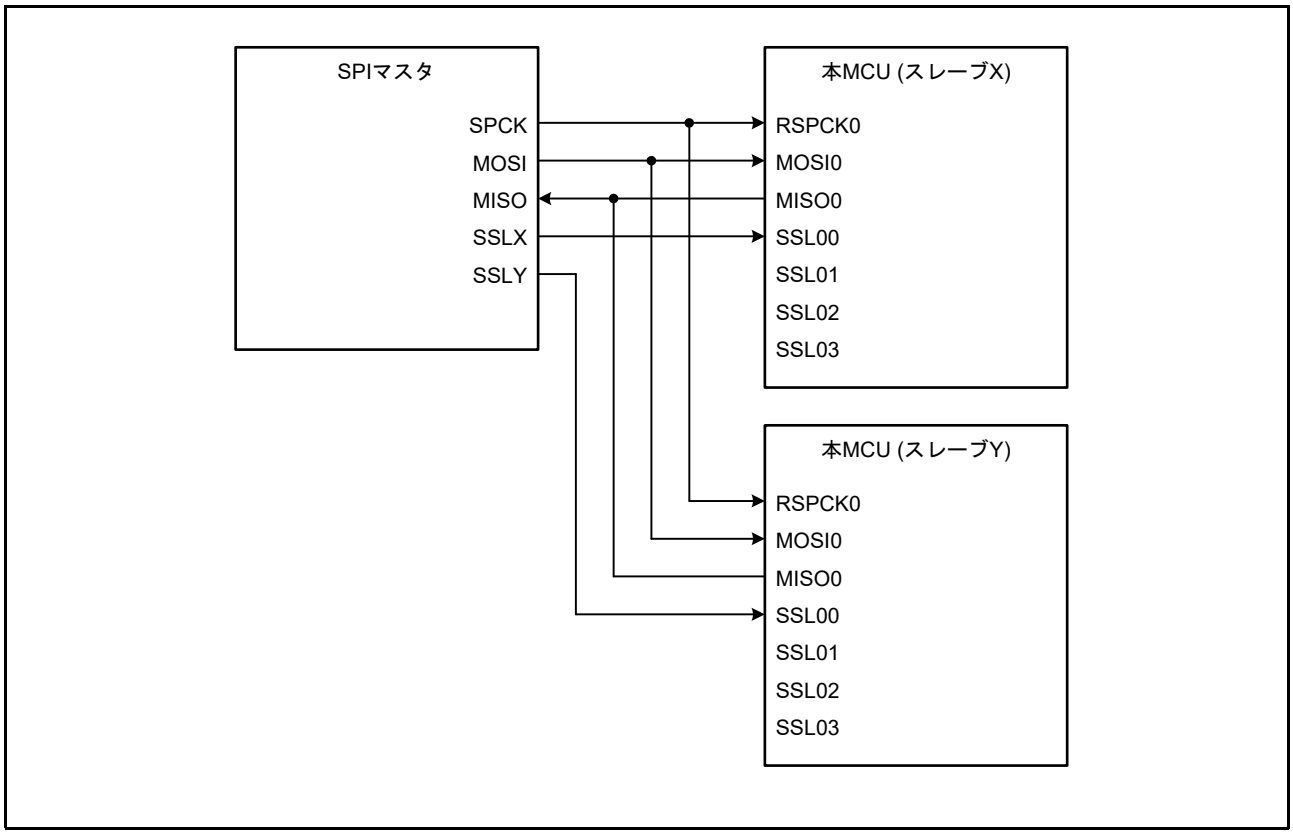


図 38.9　シングルマスタ / マルチスレーブの構成例 (本 MCU ＝ スレーブ)

38.3.3.5　マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 38.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.10 の例では、2 つの本 MCU (マスタ X、マスタ Y) と 2 つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCK0 出力と MOSI0 出力は、SPI スレーブ 1、SPI スレーブ 2 の SPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISO0 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSL00 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSL00 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSL01 出力と SSL02 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL00 入力、スレーブ接続用の SSL01 出力、SSL02 出力のみでシステムを構成できるので、本 MCU の SSL03 出力は使用していません。

本 MCU は、SSL00 入力レベルが High の場合には、RSPCK0、MOSI0、SSL01、SSL02 をドライブします。SSL00 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK0、MOSI0、SSL01、SSL02 を Hi-Z にして、他方のマスタに RSPI バス権を開放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

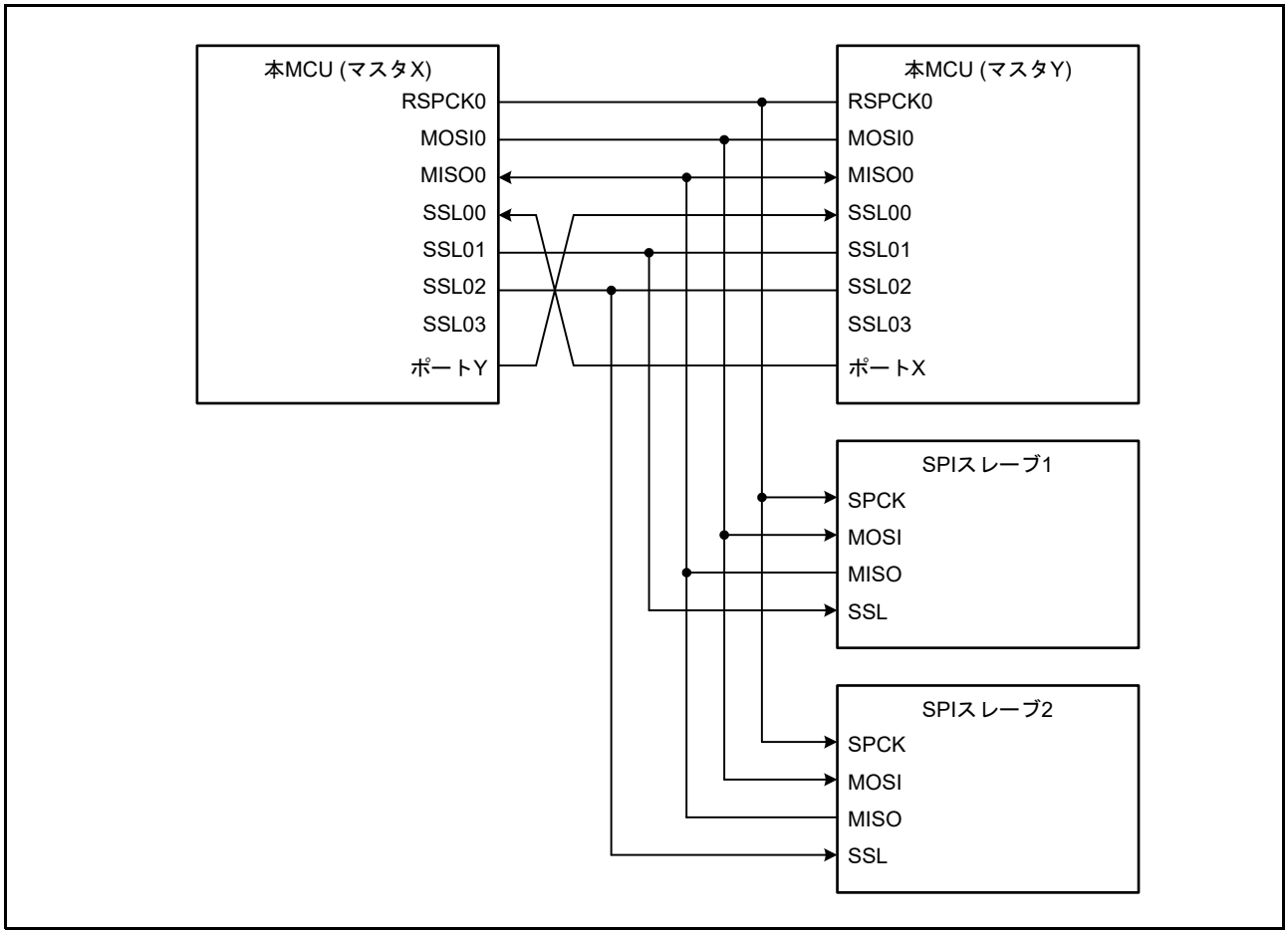


図 38.10　マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

TI SSP 時は、ポート X、ポート Y に下記の値をレベルで入力してください。

- 通信開始時は、相手側の SSLP.SSL0P の値
- 通信終了時は、相手側の SSLP.SSL0P の反転値

38.3.3.6　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 38.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSL00 ～ SSL03 出力は使用しません。

本 MCU (マスタ) は、RSPCK0 と MOSI0 を常にドライブします。SPI スレーブは、MISO を常にドライブします。

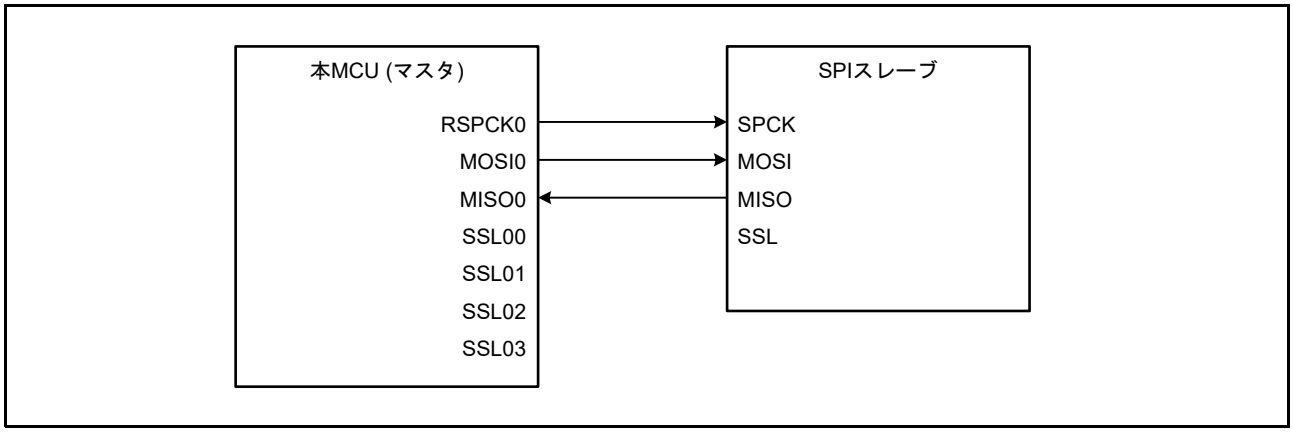


図 38.11　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

38.3.3.7　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 38.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISO0 を常にドライブし、SPI マスタは、SPCK と MOSI を常にドライブします。また、本 MCU (スレーブ) の SSL00 ～ SSL03 は使用しません。

SPCMDm.CPHA ビットを “1” に設定したシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

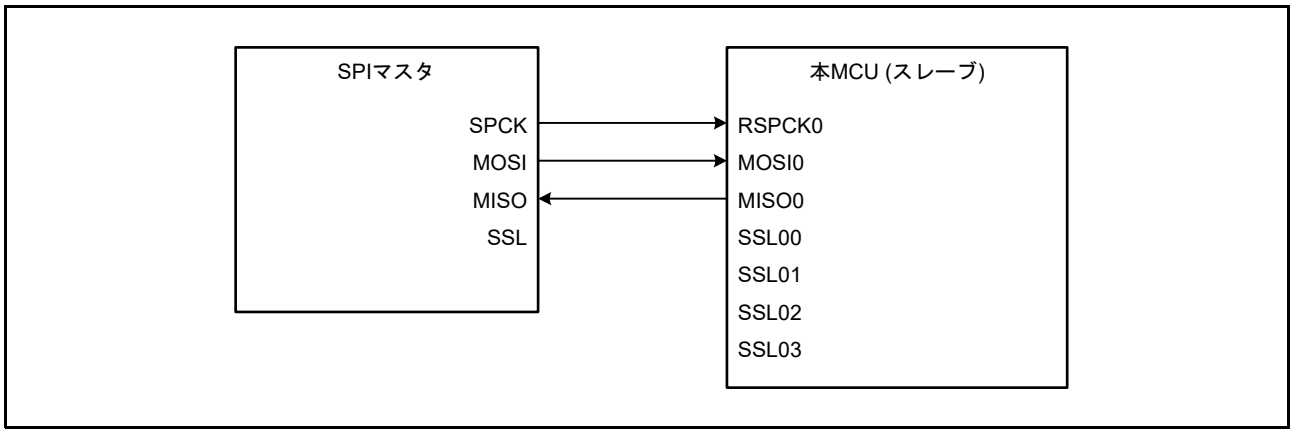


図 38.12　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成例 (本 MCU = スレーブ、CPHA = 1)

38.3.4　データフォーマット

RSPIA のデータフォーマットは、RSPI コマンドレジスタ m (SPCMDm)、SPCR.SPPE ビットの設定値に依存します。MSB/LSB ファーストに関わらず、RSPIA は SPDR レジスタの LSB から設定データ長分の範囲を転送データとして扱います。

38.3.4.1　1 フレームのデータフォーマット

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a)　パリティ機能無効時

パリティ機能無効時は、SPCMDm.SPB[4:0] ビットに設定したビット長のデータの送受信を行います。

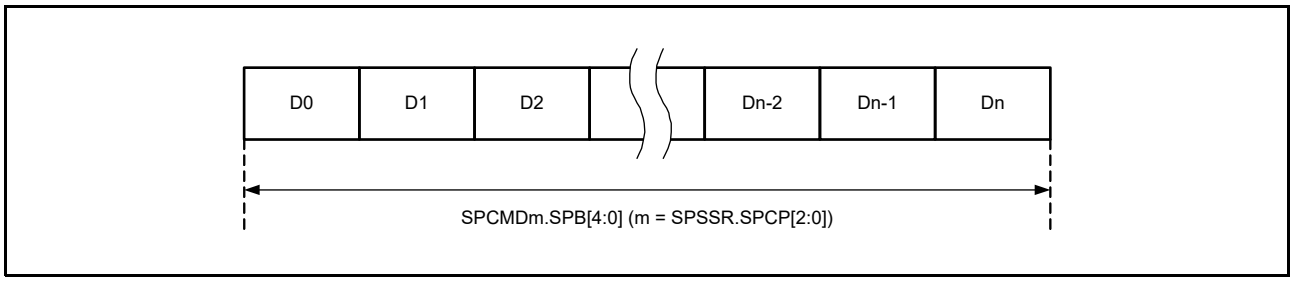


図 38.13　データフォーマット概要 (パリティ機能無効時)

(b)　パリティ機能有効時

パリティ機能有効時は、SPCMDm.SPB[4:0] ビットに設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

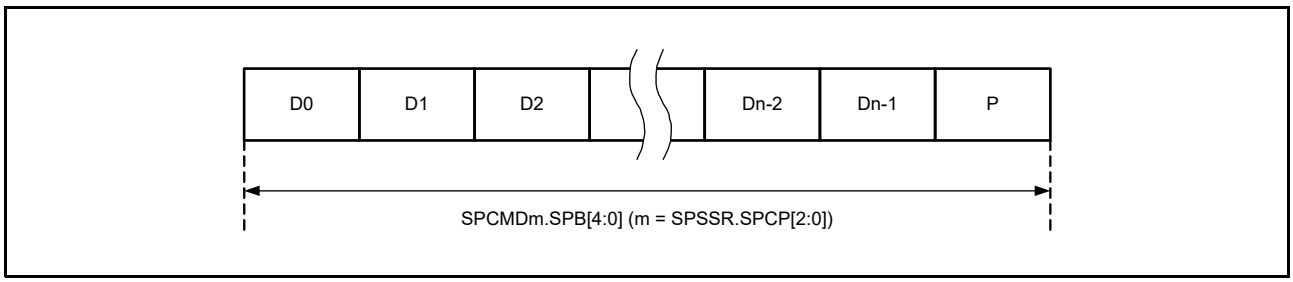


図 38.14　データフォーマット概要 (パリティ機能有効時)

38.3.4.2　パリティ機能無効 (SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。下記にSPDR レジスタとシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1)　MSB ファースト転送 (32 ビット)

図 38.15 に、パリティ機能無効時、RSPIA がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ～ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

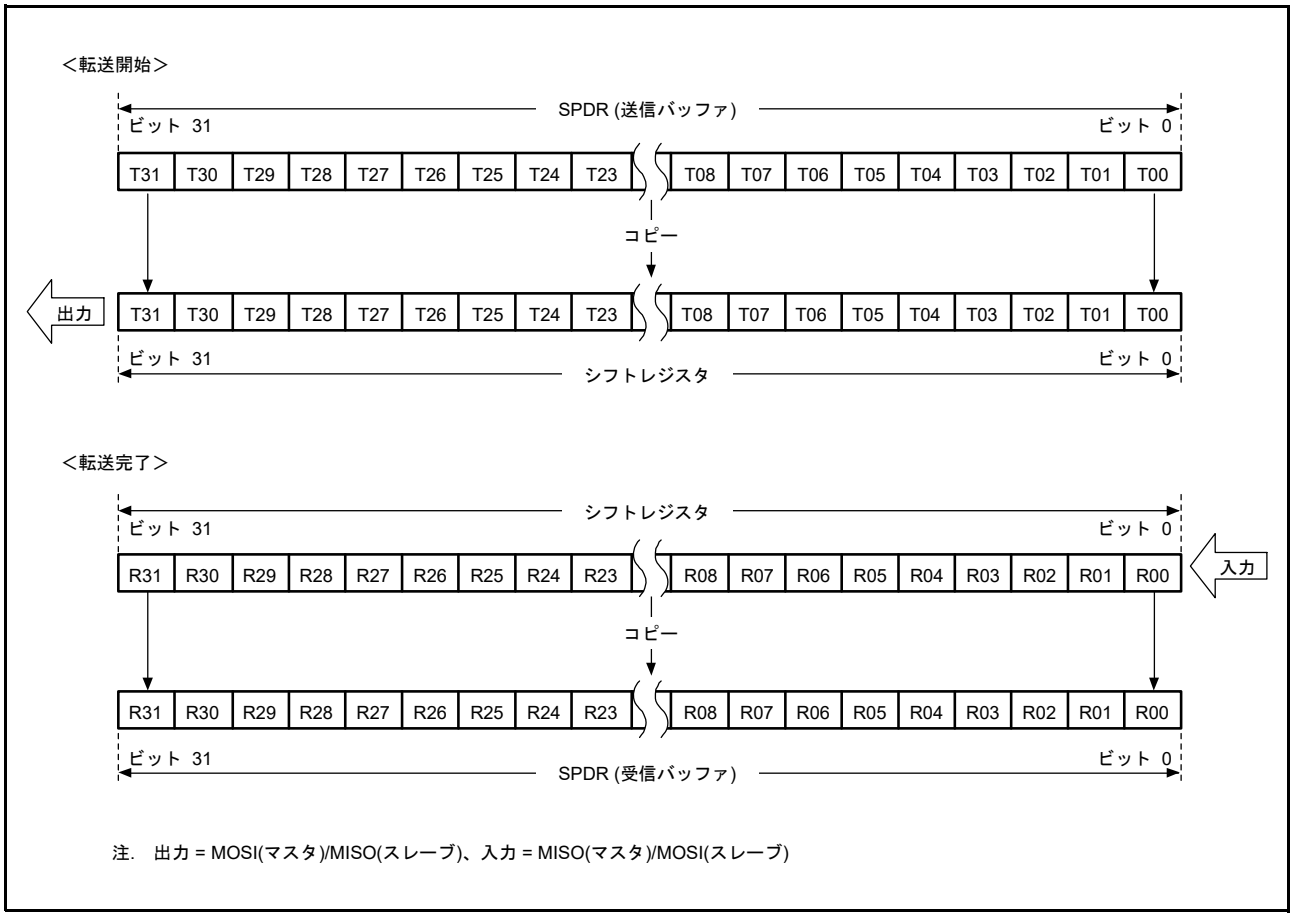


図 38.15　MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2)　MSB ファースト転送 (24 ビット)

図 38.16 に、パリティ機能無効時、RSPIA が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ～ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

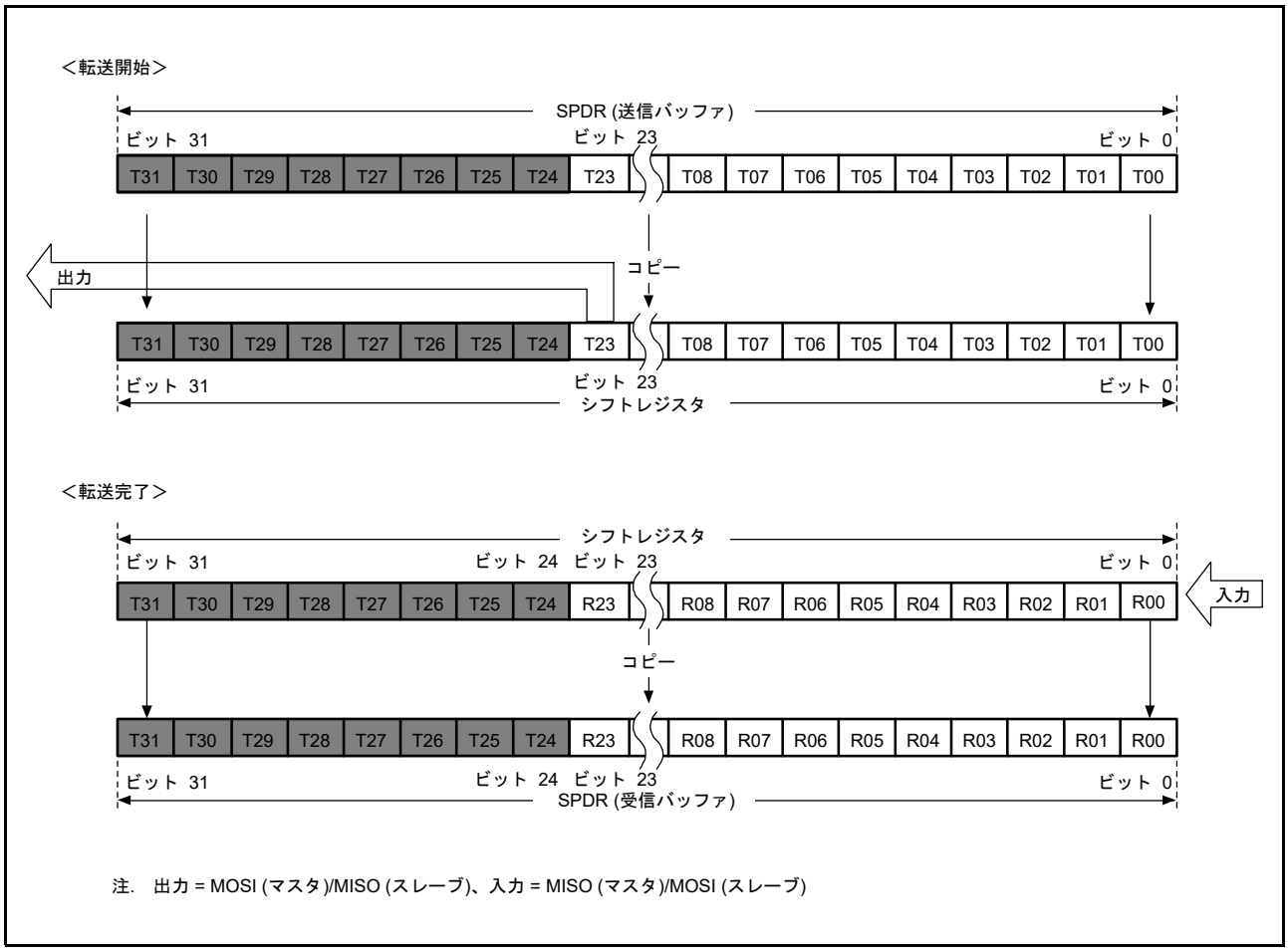


図 38.16　MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3)　LSB ファースト転送 (32 ビット)

図 38.17 に、パリティ機能無効時、RSPIA がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ～ T00) をビット単位で入れ替え、シフトレジスタに T00 ～ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R31 までデータがたまると、シフトレジスタの値をビット単位で入れ替え受信バッファに R31 ～ R00 の順番に並び替えコピーします。

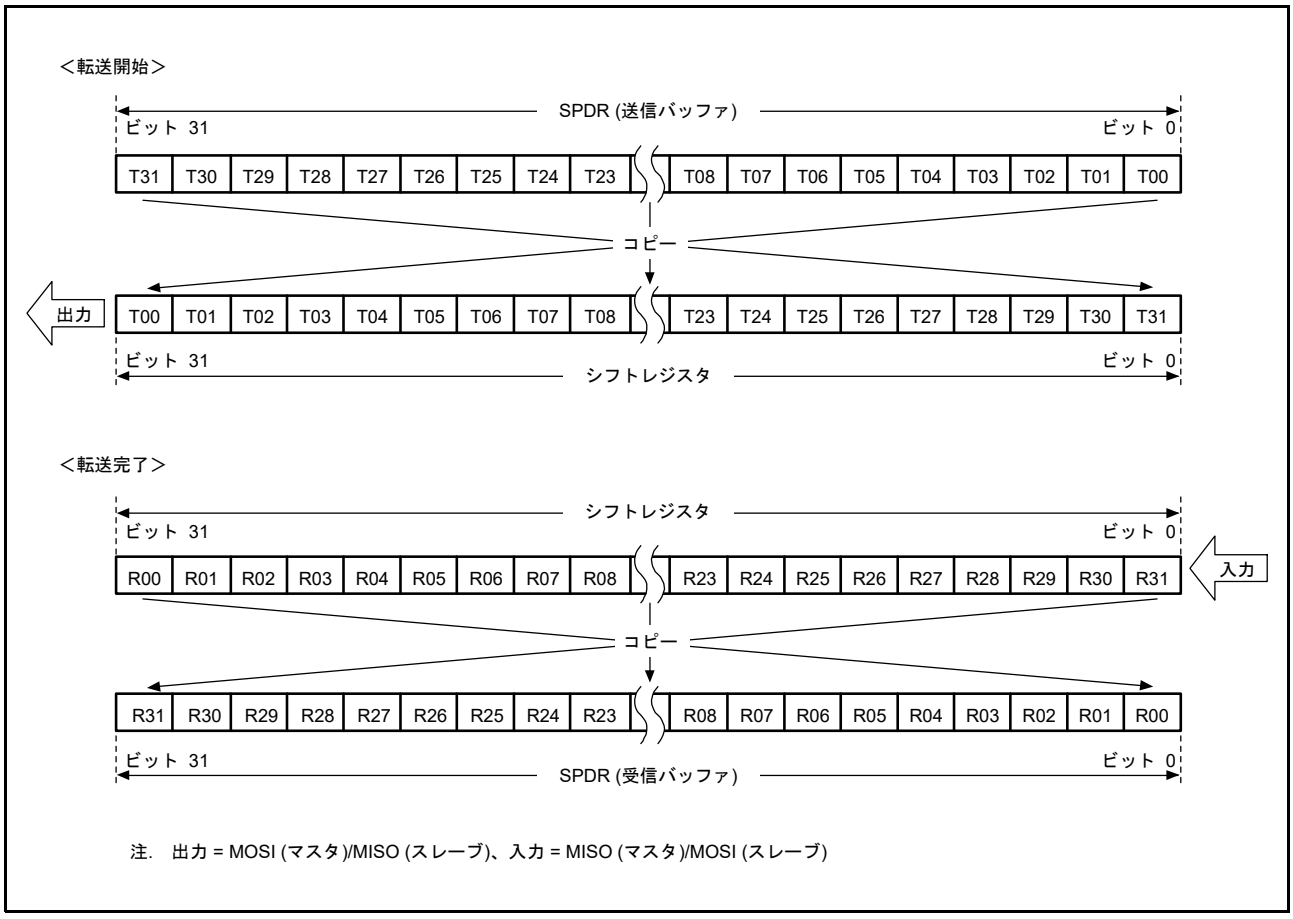


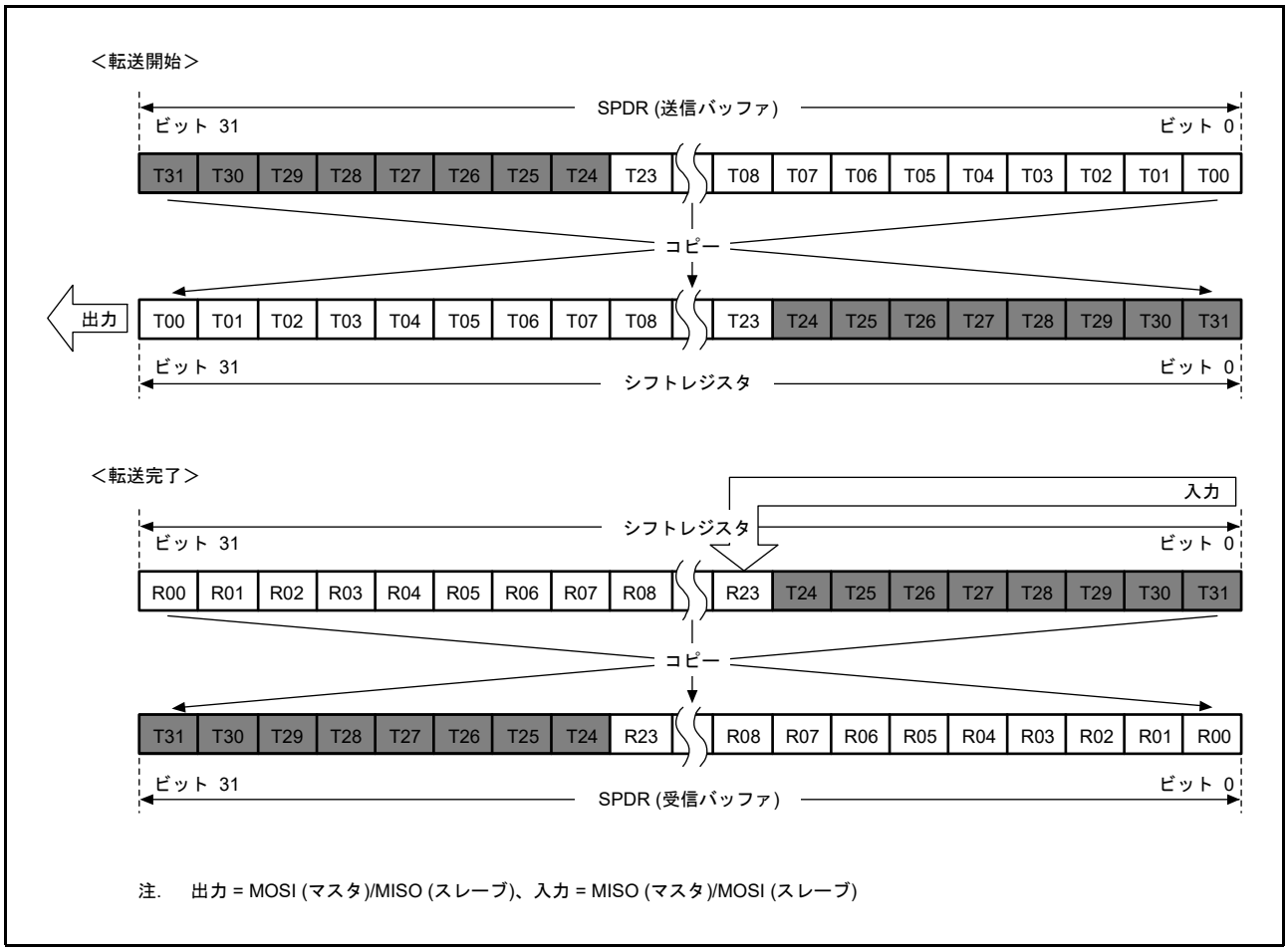
図 38.17　LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4)　LSB ファースト転送 (24 ビット)

図 38.18 に、パリティ機能無効時、RSPIA が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ～ T00) をビット単位で T00 ～ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R23 までデータがたまると、シフトレジスタの値をビット単位で入れ替え受信バッファに R23 (ビット 23) ～ R00 (ビット 0) の順番に並び替えコピーします。



注.　出力 = MOSI (マスタ)/MISO (スレーブ)、入力 = MISO (マスタ)/MOSI (スレーブ)

図 38.18　LSB ファースト (24 ビットデータ / パリティ機能無効)

38.3.4.3　パリティ機能有効時 (SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1)　MSB ファースト転送 (32 ビット)

図 38.19 に、パリティ機能有効時、RSPIA がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。受信バッファにデータをコピーすると同時に、R31 ～ P のデータをチェックし、パリティエラーの判定を行います。

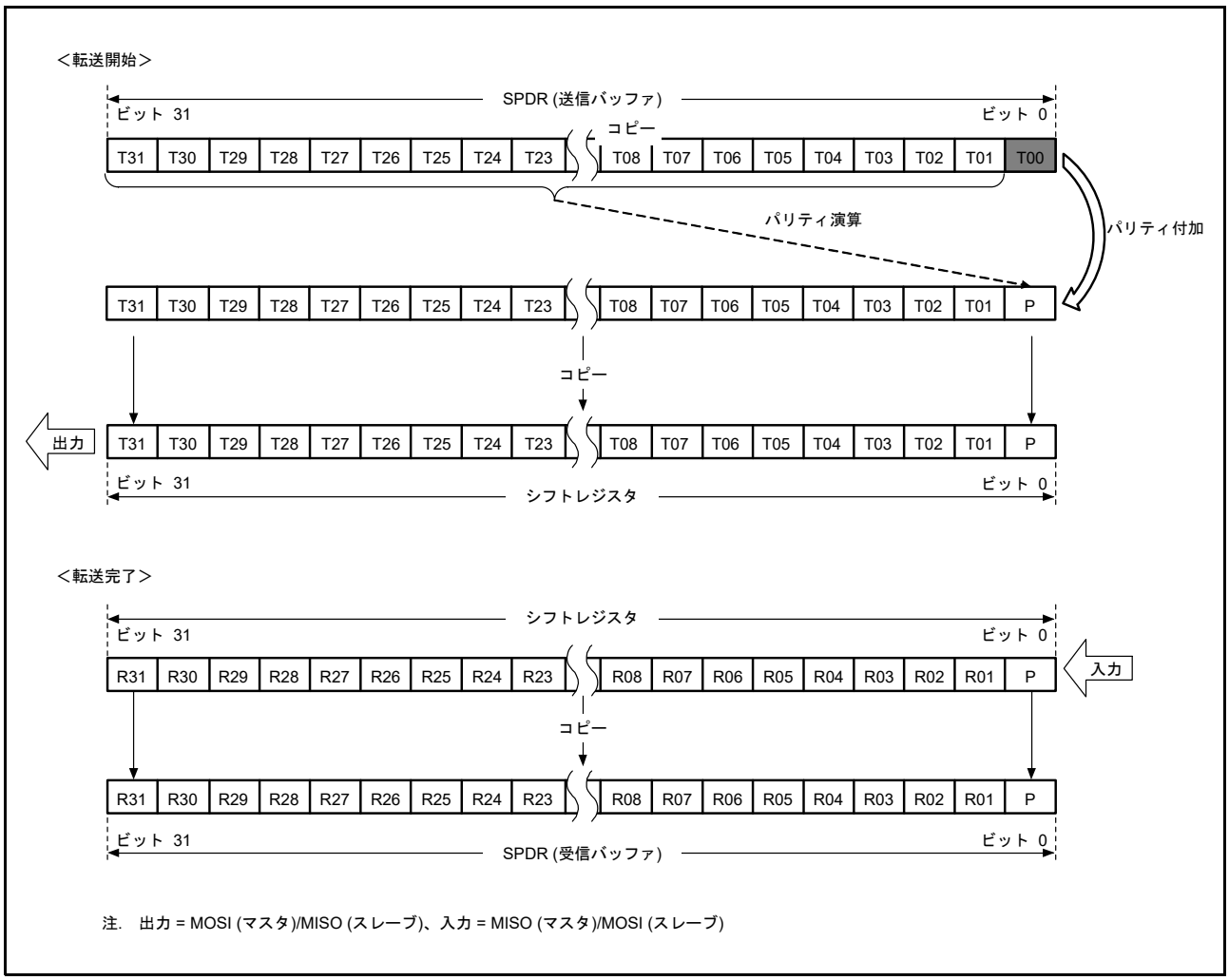


図 38.19　MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2)　MSB ファースト転送 (24 ビット)

図 38.20 に、パリティ機能有効時、RSPIA が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T23 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。受信バッファにデータをコピーすると同時に、R23 ～ P のデータをチェックし、パリティエラーの判定を行います。

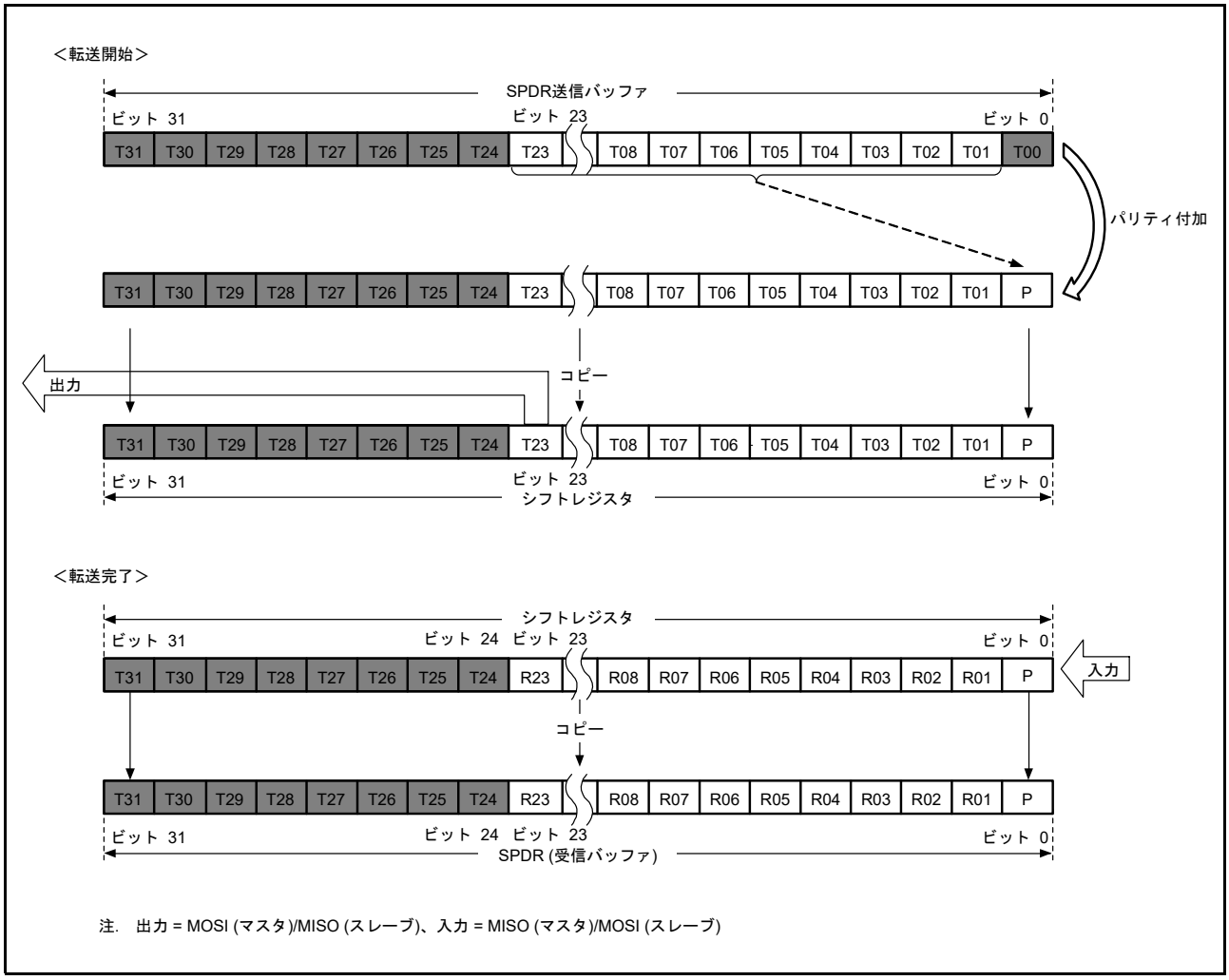


図 38.20　MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3)　LSB ファースト転送 (32 ビット)

図 38.21 に、パリティ機能有効時、RSPIA がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T30 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ～ P まで受信データがたまると、シフトレジスタの値をビット単位で入れ替え受信バッファに P ～ R00 の順番に並び替えコピーします。受信バッファにデータをコピーすると同時に、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。

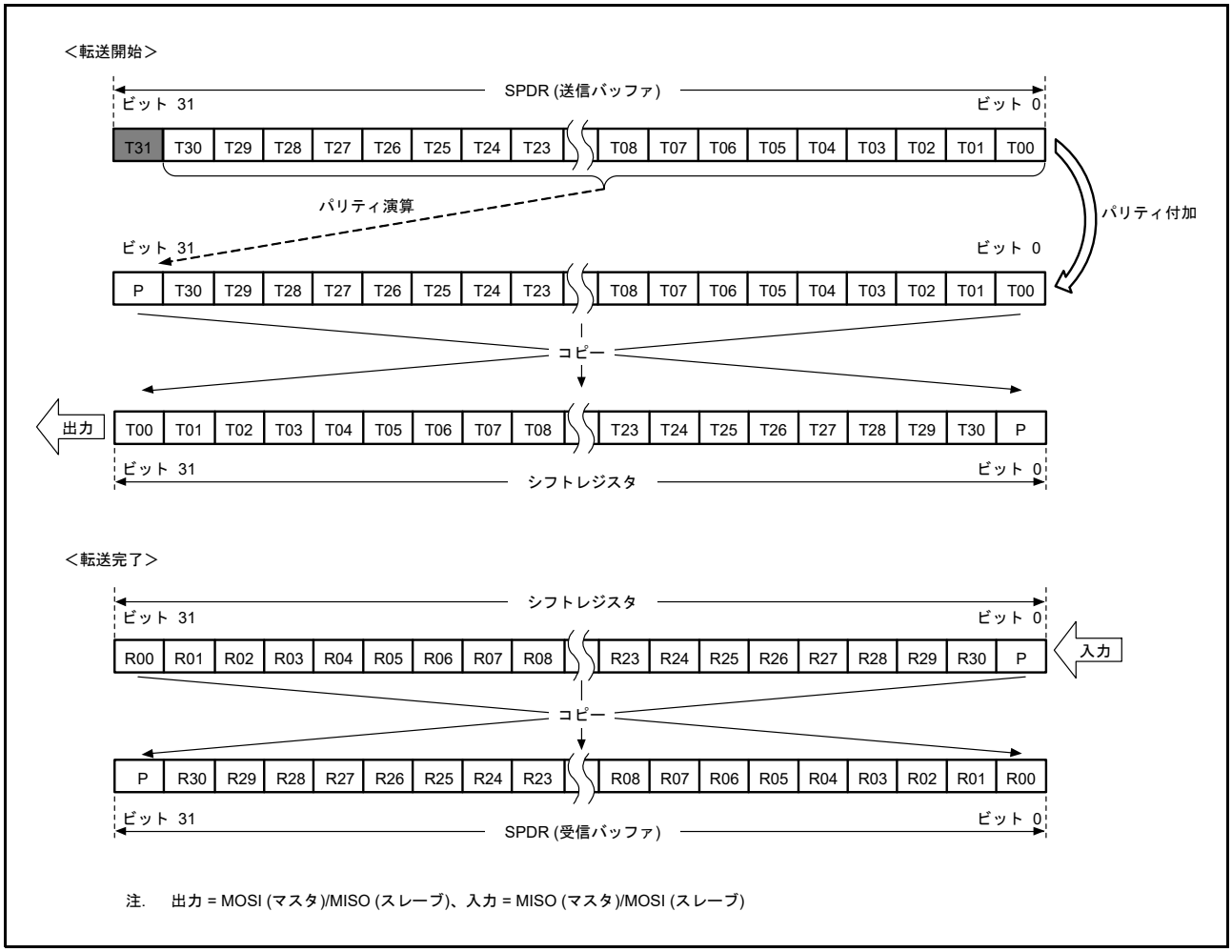


図 38.21　LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4)　LSB ファースト転送 (24 ビット)

図 38.22 に、パリティ機能有効時、RSPIA が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T22 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ P まで受信データがたまると、シフトレジスタの値をビット単位で入れ替え受信バッファに P (ビット 23) ～ R00 (ビット 0) の順番に並び替えコピーします。受信バッファにデータをコピーすると同時に、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。

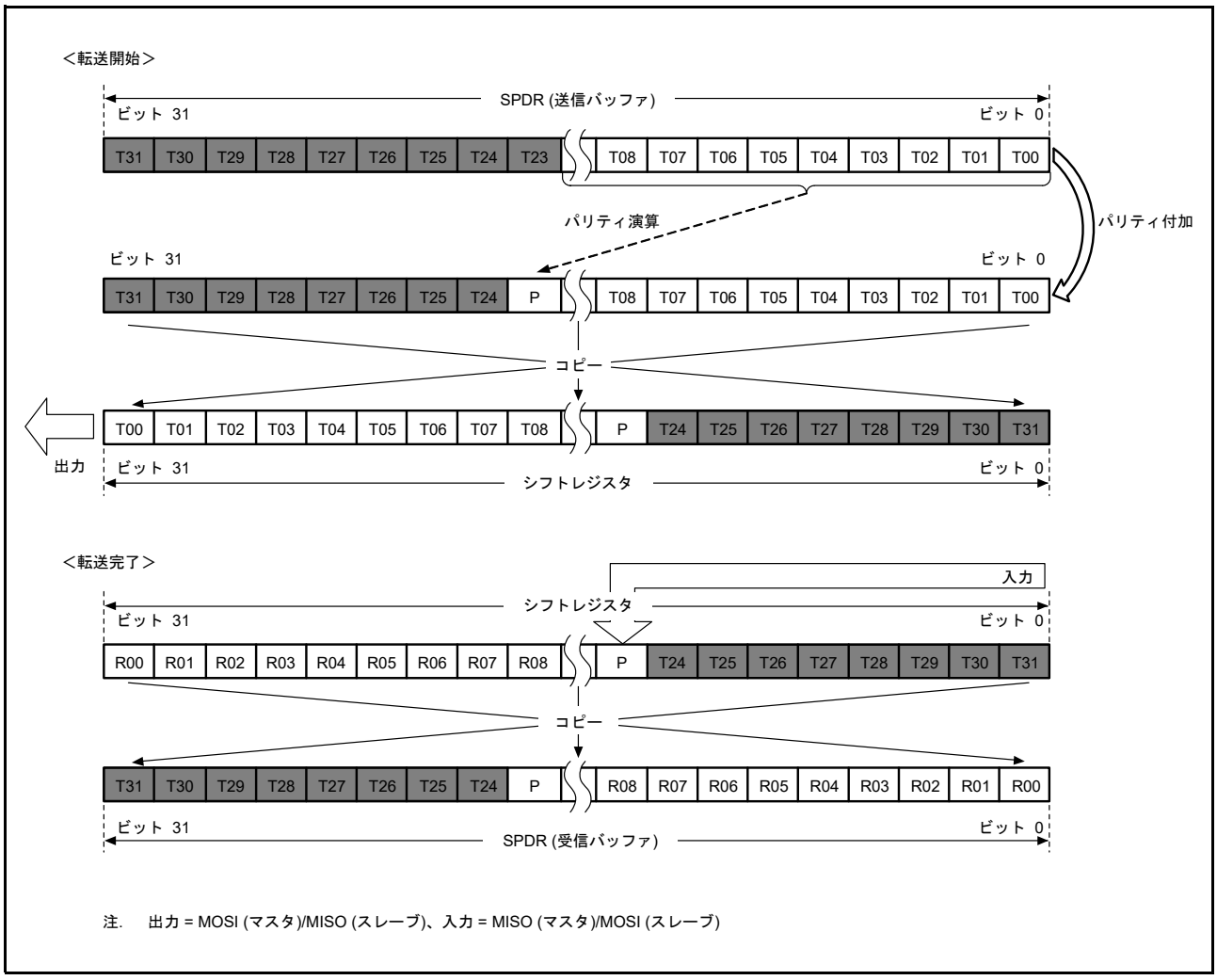


図 38.22　LSB ファースト (24 ビットデータ / パリティ機能有効)

38.3.4.4　バイトスワップ送信

バイトスワップ有効時 (SPDCR.BYSW = 1) は、送信バッファのデータを 8 ビット単位でスワップ加工したものを、シフトレジスタにコピーします。図 38.23 にデータ長 32 ビットで転送を実施する場合の SPDR レジスタ (送信バッファ) とシフトレジスタの関係を、MSB/LSB ファーストとバイトスワップあり / なしの組み合わせで説明します。

(1) MSB ファースト、バイトスワップなしの場合
送信バッファのデータ (Byte3[T31 ～ T24] ～ Byte0[T07 ～ T00]) をシフトレジスタにそのままコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

(2) MSB ファースト、バイトスワップありの場合
送信バッファのデータ (Byte3[T31 ～ T24] ～ Byte0[T07 ～ T00]) をバイト単位で入れ替え、シフトレジスタに Byte0[T07 ～ T00] ～ Byte3[T31 ～ T24] の順番に並べ替えコピーします。送信データは、T07 → T06 → … → T00 → T15 → T14 → … → T08 → T23 → T22 → … → T16 → T31 → T30 → … → T24 の順番にシフトレジスタの値をシフトし送信します。

(3) LSB ファースト、バイトスワップなしの場合
送信バッファのデータ (Byte3[T31 ～ T24] ～ Byte0[T07 ～ T00]) をビット単位で入れ替え、シフトレジスタに Byte0[T00 ～ T07] ～ Byte3[T24 ～ T31] の順番に並べ替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

(4) LSB ファースト、バイトスワップありの場合
送信バッファのデータ (Byte3[T31 ～ T24] ～ Byte0[T07 ～ T00]) をバイト毎にビット単位で入れ替え、シフトレジスタに Byte3[T24 ～ T31] ～ Byte0[T00 ～ T07] の順番に並べ替えコピーします。送信データは、T24 → T25 → … → T31 → T16 → T17 → … → T23 → T08 → T09 → … → T15 → T00 → T01 → … → T07 の順番にシフトレジスタの値をシフトし送信します。

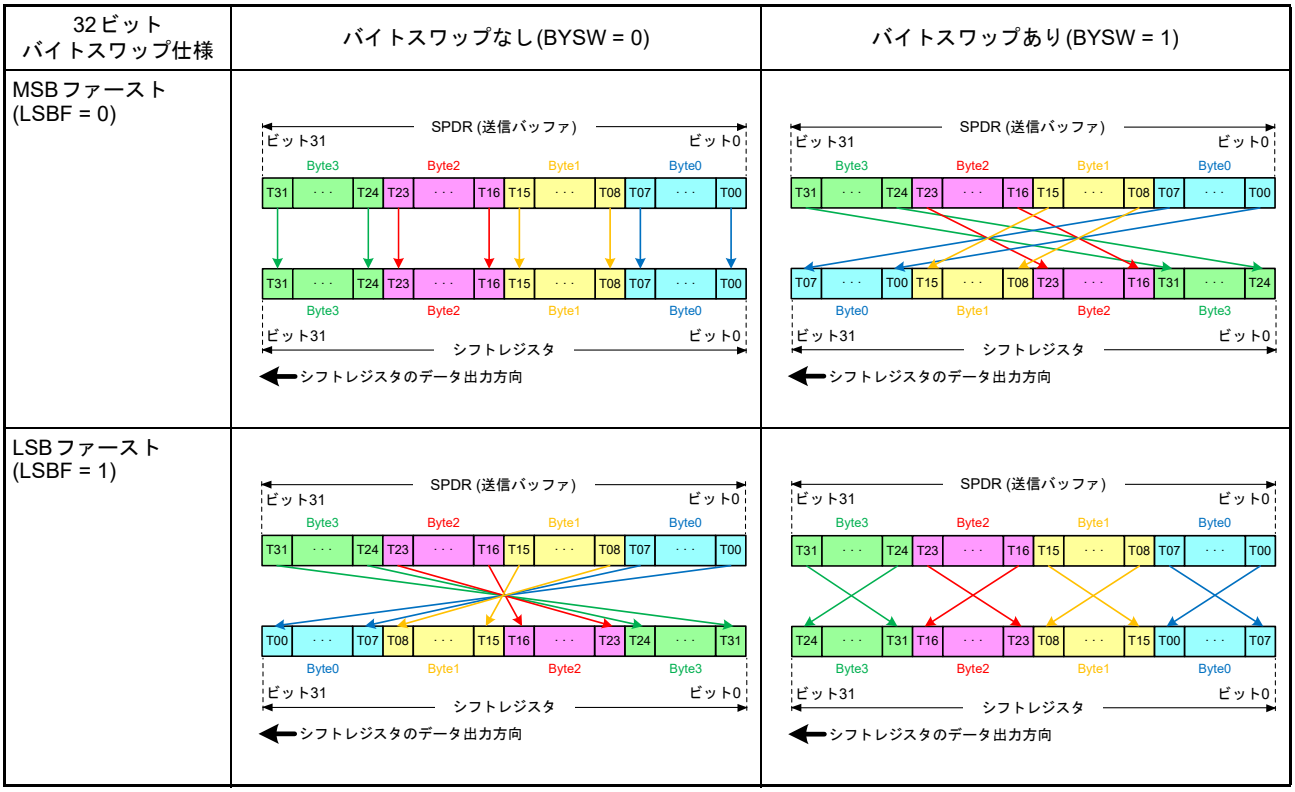


図 38.23　MSB/LSB ファーストとバイトスワップあり / なし時の送信データ変換仕様 (32 ビット)

図 38.24 にデータ長 16 ビットで転送を実施する場合の SPDR レジスタ (送信バッファ) とシフトレジスタの関係を、MSB/LSB ファーストとバイトスワップあり / なしの組み合わせで説明します。

(1) MSB ファースト、バイトスワップなしの場合
送信バッファのデータ (Byte1[T15 ～ T08] ～ Byte0[T07 ～ T00]) をシフトレジスタに Byte1[T15 ～ T08] ～ Byte0[T07 ～ T00] の順番にそのままコピーします。送信データは、T15 → T14 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

(2) MSB ファースト、バイトスワップありの場合
送信バッファのデータ (Byte1[T15 ～ T08] ～ Byte0[T07 ～ T00]) をバイト単位で入れ替え、シフトレジスタに Byte0[T07 ～ T00] ～ Byte1[T15 ～ T08] の順番に並べ替えコピーします。送信データは、T07 → T06 → … → T00 → T15 → T14 → … → T08 の順番にシフトレジスタの値をシフトし送信します。

(3) LSB ファースト、バイトスワップなしの場合
送信バッファのデータ (Byte1[T15 ～ T08] ～ Byte0[T07 ～ T00]) をビット単位で入れ替え、シフトレジスタに Byte0[T00 ～ T07] ～ Byte1[T08 ～ T15] の順番に並べ替えコピーします。送信データは、T00 → T01 → … → T15 の順番にシフトレジスタの値をシフトし送信します。

(4) LSB ファースト、バイトスワップありの場合
送信バッファのデータ (Byte1[T15 ～ T08] ～ Byte0[T07 ～ T00]) をバイト毎にビット単位で入れ替え、シフトレジスタに Byte1[T08 ～ T15] ～ Byte0[T00 ～ T07] の順番に並べ替えコピーします。送信データは、T08 → T09 → … → T15 → T00 → T01 → … → T07 の順番にシフトレジスタの値をシフトし送信します。

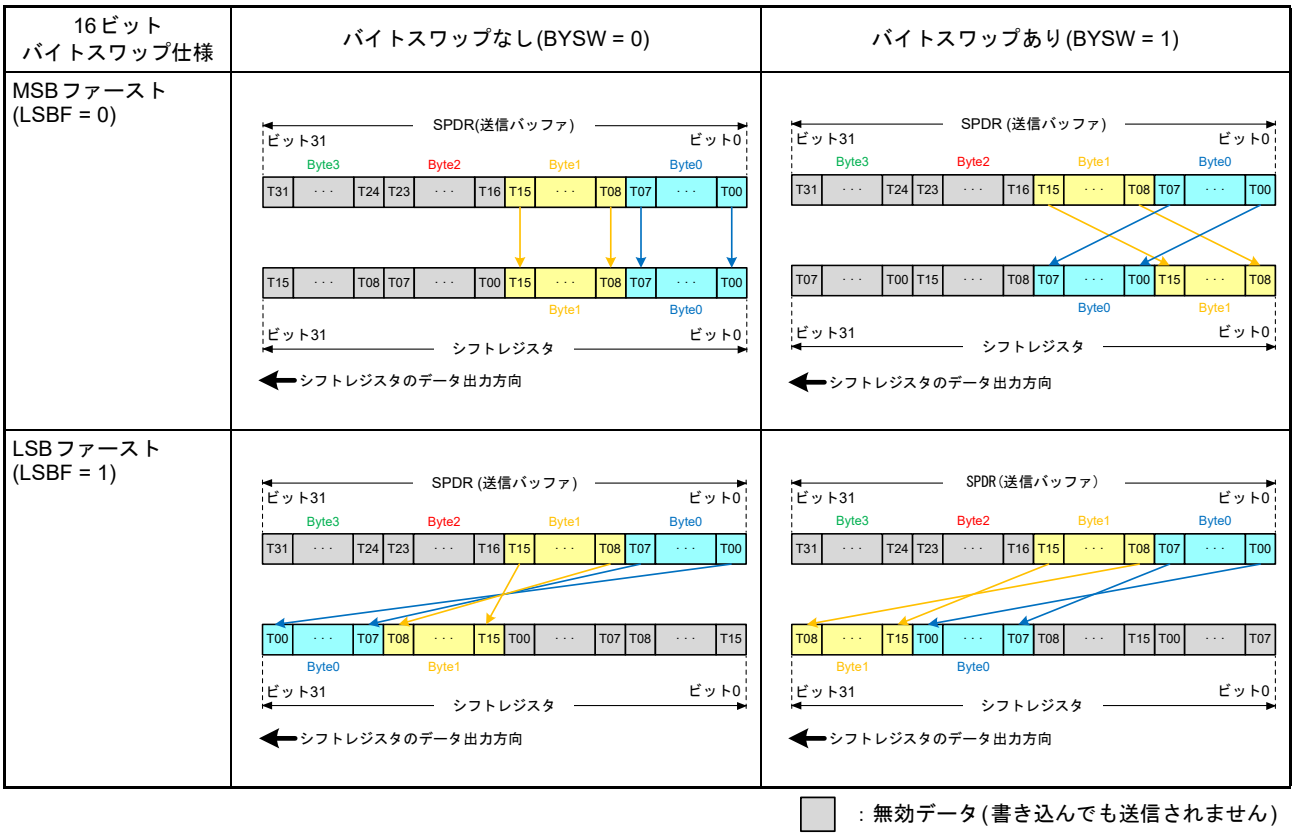


図 38.24　MSB/LSB ファーストとバイトスワップあり / なし時の送信データ変換仕様 (16 ビット)

注 1. バイトスワップを行う場合は、データ長 (SPCMDm.SPB[4:0] ビットの設定) を 16 ビットもしくは 32 ビットに設定してください。
これ以外のデータ長 (4 ～ 15、17 ～ 31 ビット) に設定した場合の動作は保証されません。

注 2. バイトスワップ有効時は、パリティ機能を無効 (SPCR.SPPE = 0) にしてください。パリティ機能を有効 (SPPE = 1) に設定した場合の動作は保証されません。

注 3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが “0” の状態で行ってください。SPE ビットが “1” の状態で BYSW ビットを書き換えた場合には、以降の動作は保証されません。

38.3.4.5　バイトスワップ受信

バイトスワップ有効時 (SPDCR.BYSW = 1) は、シフトレジスタのデータを 8 ビット単位でスワップ加工したものを、受信バッファにコピーします。図 38.25 にデータ長 32 ビットで転送を実施する場合のシフトレジスタと SPDR レジスタ (受信バッファ) の関係を、MSB/LSB ファーストとバイトスワップあり / なしの組み合わせで説明します。

(1) MSB ファースト、バイトスワップなしの場合
最初のデータ (R31) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R31 → R30 → … → R00 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00]) をそのまま受信バッファにコピーします。

(2) MSB ファースト、バイトスワップありの場合
最初のデータ (R07) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R07 → R06 → … → R00 → R15 → R14 → … → R08 → R23 → R22 → … → R16 → R31 → R30 → … → R24 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte0[R07 ～ R00] ～ Byte3[R31 ～ R24]) をバイト単位で入れ替え、受信バッファに Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00] の順番に並べ替えコピーします。

(3) LSB ファースト、バイトスワップなしの場合
最初のデータ (R00) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R00 → R01 → … → R31 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte0[R00 ～ R07] ～ Byte3[R24 ～ R31]) をビット単位で入れ替え、受信バッファに Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00] の順番に並べ替えコピーします。

(4) LSB ファースト、バイトスワップありの場合
最初のデータ (R24) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R24 → R25 → … → R31 → R16 → R17 → … → R23 → R08 → R09 → … → R15 → R00 → R01 → … → R07 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte3[R24 ～ R31] ～ Byte0[R00 ～ R07]) をバイト毎にビット単位で入れ替え、受信バッファに Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00] の順番に並べ替えコピーします。

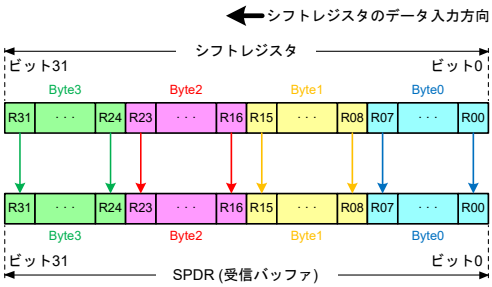
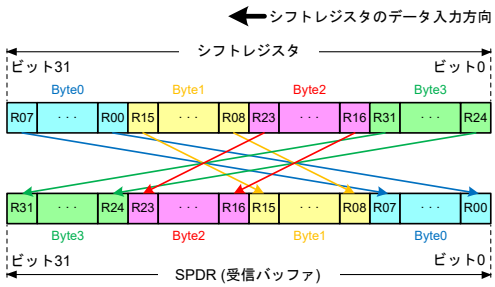
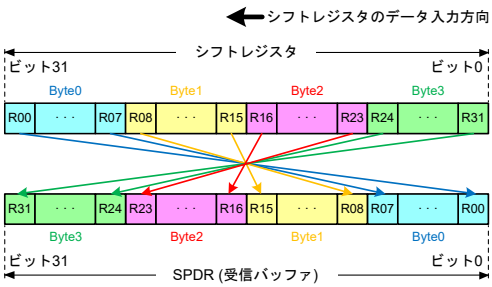
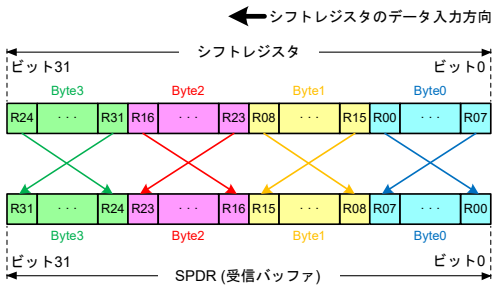
32ビット バイトスワップ仕様	バイトスワップなし(BYSW = 0)	バイトスワップあり(BYSW = 1)
MSBファースト (LSBF = 0)		
LSBファースト (LSBF = 1)		

図 38.25　MSB/LSB ファーストとバイトスワップあり / なし時の受信データ変換仕様 (32 ビット)

図 38.26 にデータ長 16 ビットで転送を実施する場合のシフトレジスタと SPDR レジスタ (受信バッファ) の関係を、MSB/LSB ファーストとバイトスワップあり / なしの組み合わせで説明します。

(1) MSB ファースト、バイトスワップなしの場合
最初のデータ (R15) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R15 → R14 → … → R00 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00]) をそのまま受信バッファにコピーします。

(2) MSB ファースト、バイトスワップありの場合
最初のデータ (R07) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R07 → R06 → … → R00 → R15 → R14 → … → R08 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte0[R07 ～ R00] ～ Byte1[R15 ～ R08]) をバイト単位で入れ替え、受信バッファに Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00] の順番に並べ替えコピーします。

(3) LSB ファースト、バイトスワップなしの場合
最初のデータ (R00) をシフトレジスタのビット 15 に格納し、1 データごとに受信データを R00 → R01 → … → R07 → R08 → R09 → … → R15 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte0[R00 ～ R07] ～ Byte1[R08 ～ R15]) をビット単位で入れ替え、受信バッファに Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00] の順番に並べ替えコピーします。

(4) LSB ファースト、バイトスワップありの場合
最初のデータ (R08) をシフトレジスタのビット 15 に格納し、1 データごとに受信データを R08 → R09 → … → R15 → R00 → R01 → … → R15 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte1[R08 ～ R15] ～ Byte0[R00 ～ R07]) をバイト毎にビット単位で入れ替え、受信バッファに Byte3[R31 ～ R24] ～ Byte0[R07 ～ R00] の順番に並べ替えコピーします。

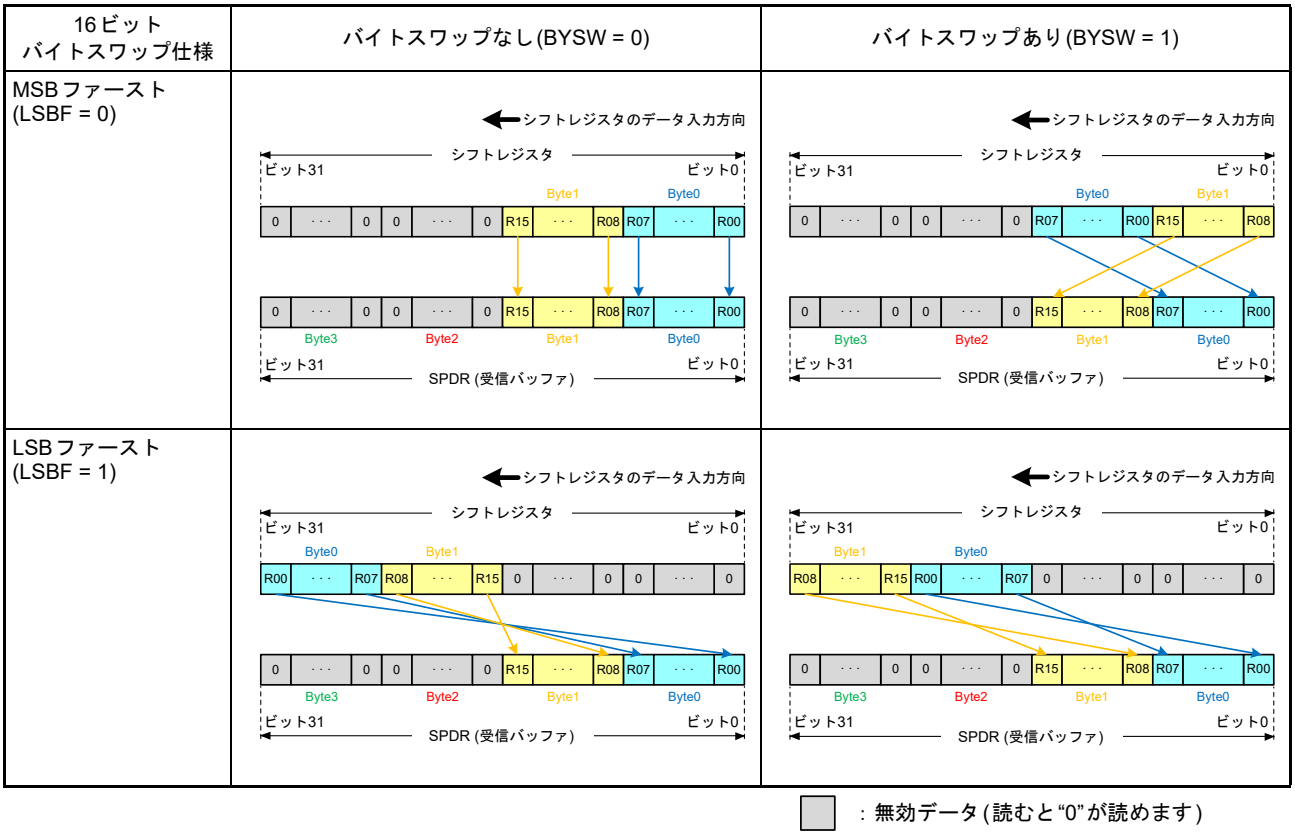


図 38.26　MSB/LSB ファーストとバイトスワップあり / なし時の受信データ変換仕様 (16 ビット)

注 1. バイトスワップを行う場合は、データ長 (SPCMDm.SPB[4:0] ビットの設定) を 16 ビットもしくは 32 ビットに設定してください。
これ以外のデータ長 (4 ～ 15、17 ～ 31 ビット) に設定した場合の動作は保証されません。

注 2. バイトスワップ有効時は、パリティ機能を無効 (SPCR.SPPE ビット = 0) にしてください。パリティ機能を有効 (SPPE ビット = 1) に設定した場合の動作は保証されません。

注 3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが “0” の状態で行ってください。SPE ビットが “1” の状態で BYSW ビットを書き換えた場合には、以降の動作は保証されません。

38.3.5　転送フォーマット (フレームフォーマット)

38.3.5.1　CPHA = 0 の場合

図 38.27 に SPCMDm.CPHA ビットが “0” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPIA がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが “0” の場合のクロック同期式動作 (SPCR.SPMS = 1) は保証されません。**図 38.27** において、RSPCK0 (CPOL = 0) は SPCMDm.CPOL ビットが “0” の場合、RSPCK0 (CPOL = 1) は CPOL ビットが “1” の場合の RSPCK0 信号波形です。サンプリングタイミングは、RSPIA がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPIA の設定に依存します (**「38.3.2　RSPI 端子の制御」**参照)。

CPHA ビットが “0” の場合には、SSL0i 信号のアサートタイミングで、MOSI0 信号と MISO0 信号への有効データのドライブが開始されます。SSL0i 信号のアサート後に発生する最初の RSPCK0 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSI0 信号と MISO0 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK0 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL0i 信号のアサートから RSPCK0 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCK0 発振停止から SSL0i 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSL0i 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPIA がマスタモードである場合の t1、t2、t3 については、**「38.3.13.1　マスタモード動作」**を参照してください。

[Motorola SPI]

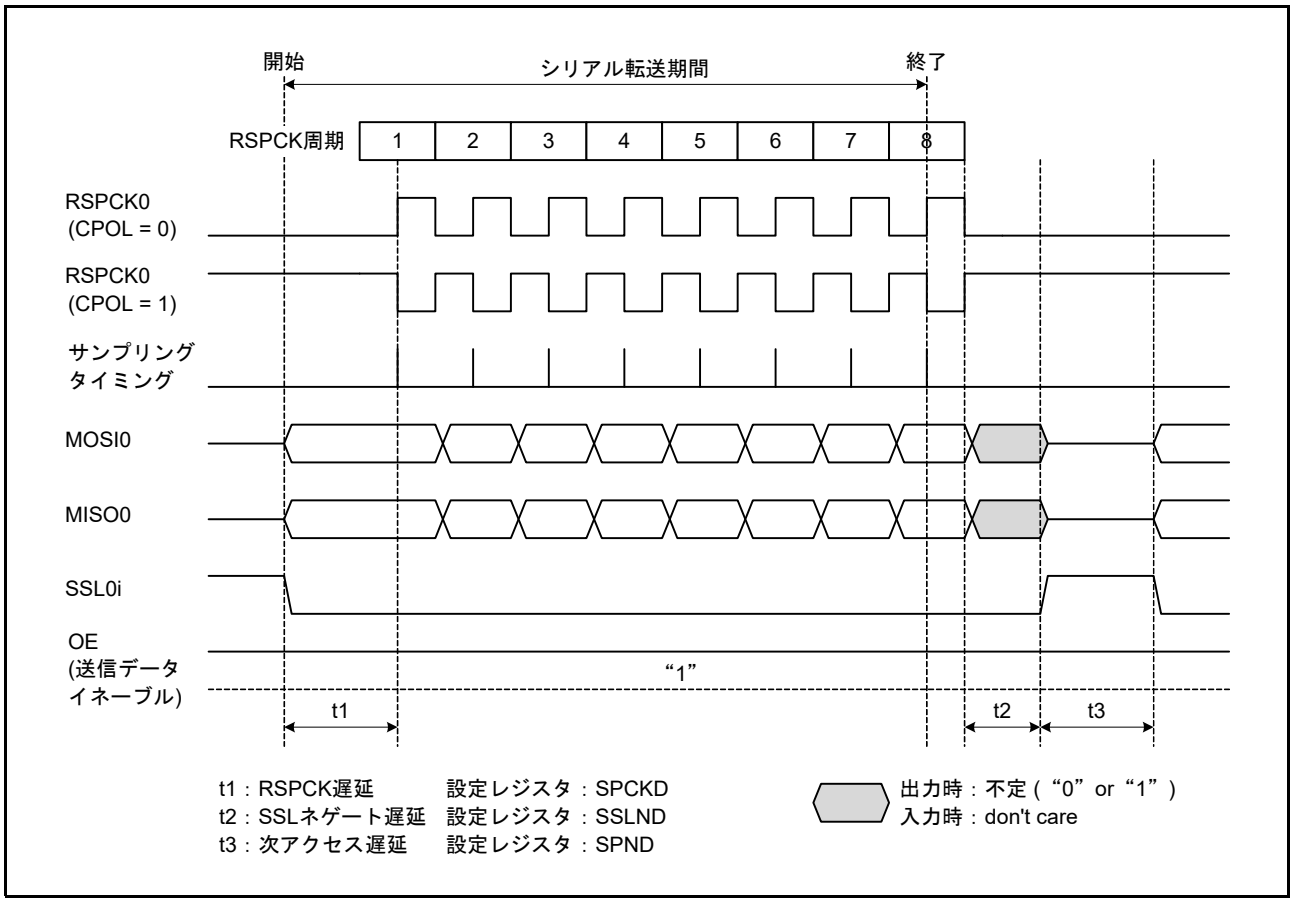


図 38.27　RSPI 転送フォーマット (CPHA = 0、FRFS = 0)

[TI SSP]

CPHA = 0 設定は無効です。

38.3.5.2　CPHA = 1 の場合

図 38.28、図 38.29 に SPCMDm.CPHA ビットが “1” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが “1” の場合は SSL0i 信号を用いず、RSPCK0 信号、MOSI0 信号、MISO0 信号のみで通信を行います。図 38.28 において、RSPCK0 (CPOL = 0) は SPCMDm.CPOL ビットが “0” の場合、RSPCK0 (CPOL = 1) は CPOL ビットが “1” の場合の RSPCK0 信号波形です。サンプリングタイミングは、RSPIA がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPIA のモード (マスタ / スレーブモード) に依存します (「38.3.2　RSPI 端子の制御」参照)。

CPHA ビットが “1” の場合には、SSL0i 信号のアサートタイミングで、MISO0 信号に無効データのドライブが開始されます。SSL0i 信号のアサート後に発生する最初の RSPCK0 信号変化タイミングで、MOSI0 信号と MISO0 信号への有効データの出力が開始され、このタイミング以降 1 RSPCK 周期毎にデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は RSPCK0 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA = 0 の場合と同様です。本 MCU の RSPIA がマスタモードである場合の t1、t2、t3 については、「38.3.13.1　マスタモード動作」を参照してください。

[Motorola SPI]

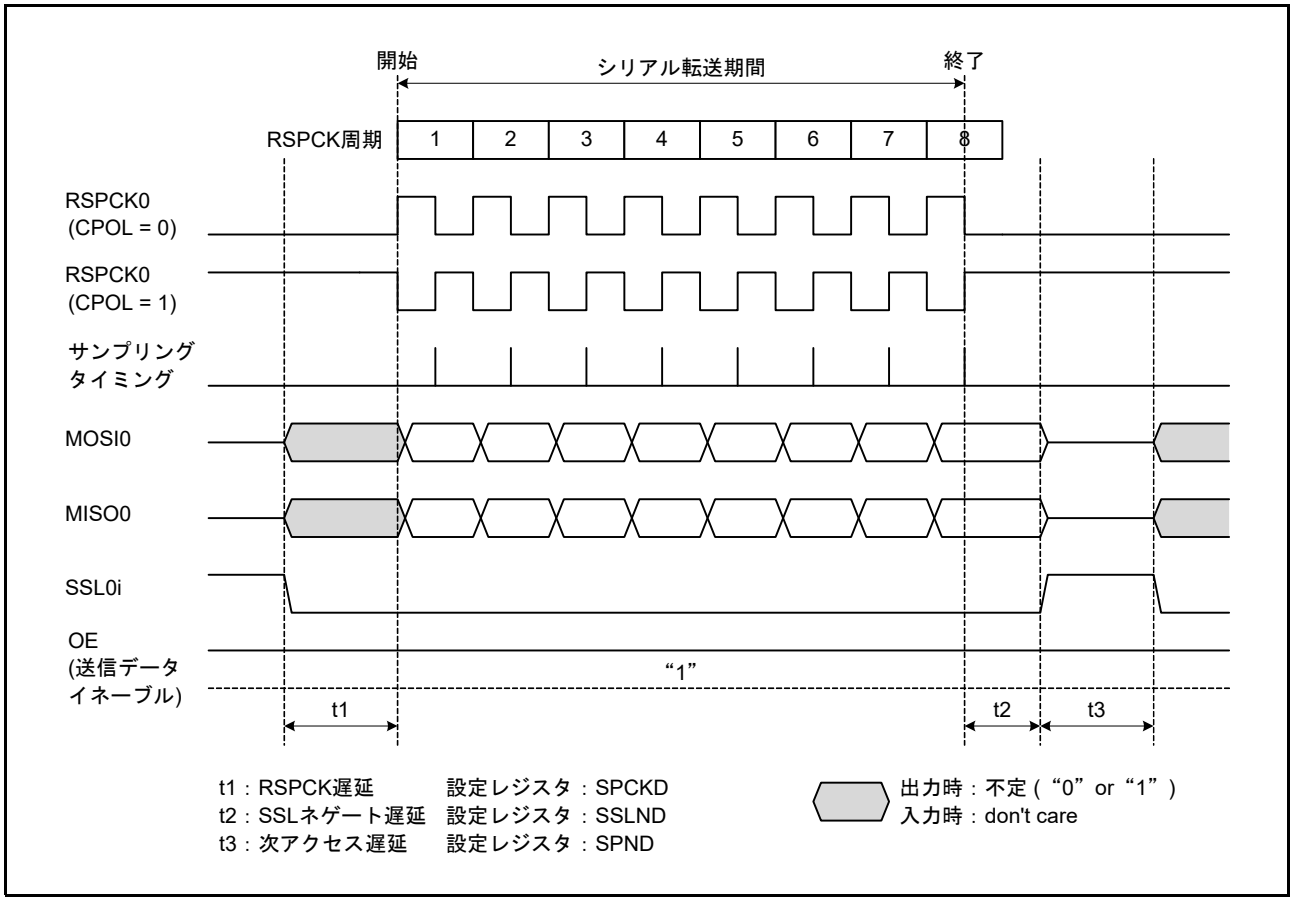


図 38.28　RSPI 転送フォーマット (CPHA = 1、FRFS = 0)

[TI SSP]

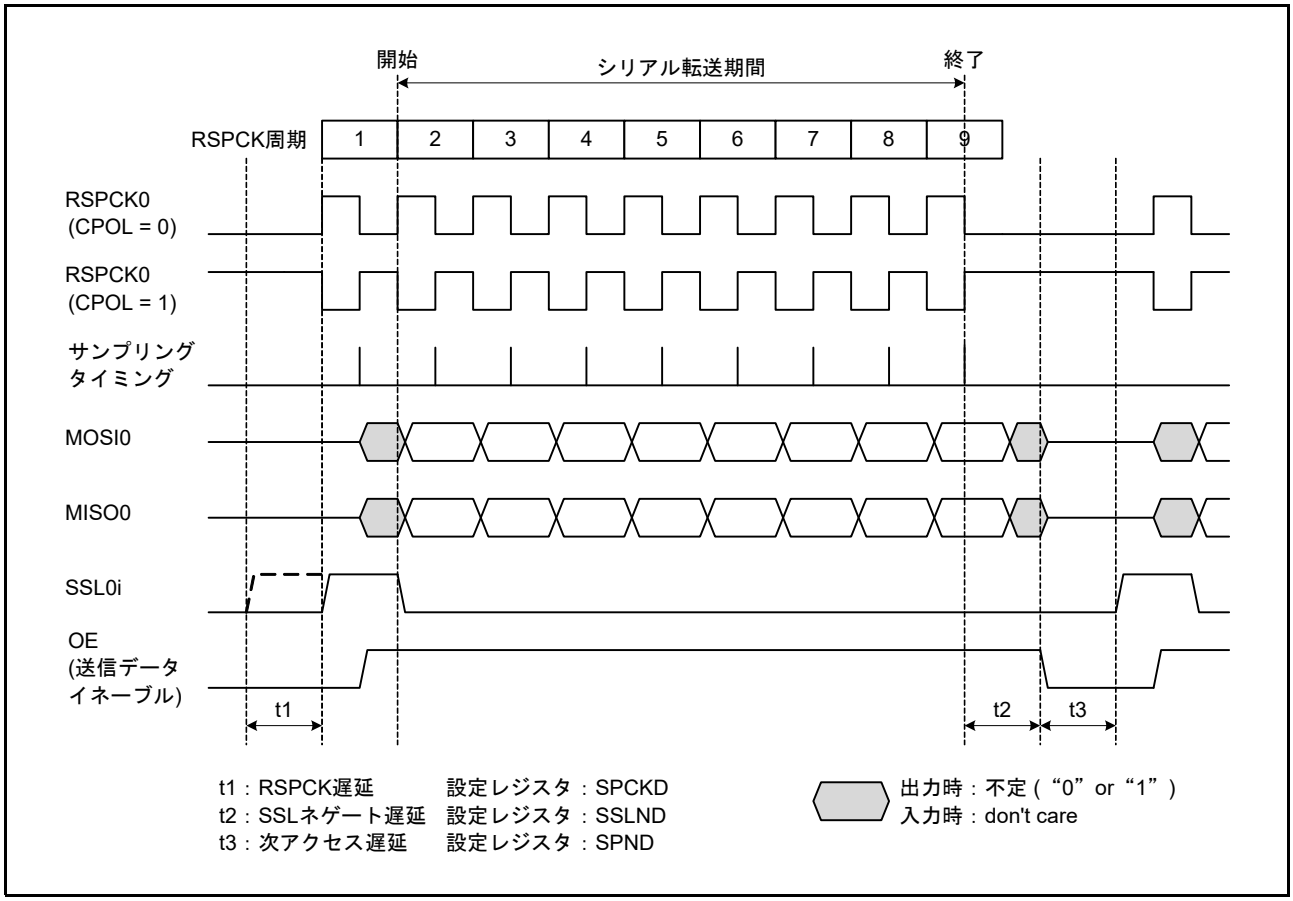


図 38.29　RSPI 転送フォーマット (CPHA = 1、FRFS = 1)

38.3.6　通信モード

SPCR.CMMD[1:0] ビット (通信モード選択ビット) の設定により、送受信モード、送信専用モード、受信専用モードを選択します。

図 38.30、図 38.31、図 38.32 に記載した “SPDR レジスタアクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。

38.3.6.1　送受信モード (CMMD[1:0]=00b)

図 38.30 に、SPCR.CMMD[1:0] ビット (通信モード選択ビット) を “00b” に設定した場合の動作例を示します。図 38.30 の例では、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = FIFO 段数 – 1、SPCMDm.CPHA ビットが “1”、CPOL ビットが “0” の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

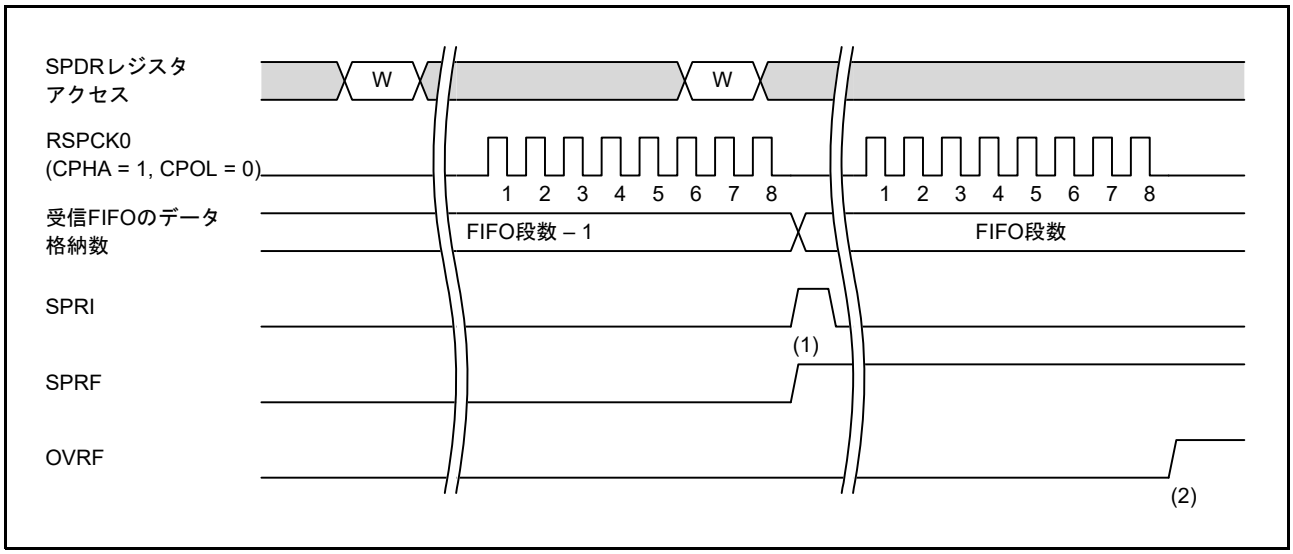


図 38.30　CMMD[1:0] = 00b の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

(1) SPDR の受信バッファの格納数が SPFCR.RTRG[1:0] ビットで設定したフレーム数と一致している状態でシリアル転送が終了すると、RSPIA は受信バッファフル割り込み要求 SPRI を発生 (SPSR.SPRF フラグを “1”) してシフトレジスタの受信データを受信バッファにコピーします。

(2) SPDR の受信バッファに FIFO 段数分のデータが格納されている状態でシリアル転送が終了すると、RSPIA は SPSR.OVRF フラグを “1” にしてシフトレジスタの受信データを破棄します。

送受信モード (CMMD[1:0] = 00b) 時は、データ送信と同時にデータ受信を行います。そのため、SPRF、OVRF フラグは、(1)、(2) のそれぞれのタイミングで “1” になります。

38.3.6.2　送信専用モード (CMMD[1:0] = 01b)

図 38.31 に、SPCR.CMMD[1:0] ビット (通信モード選択ビット) を “01b” に設定した場合の動作例を示します。図 38.31 の例では、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = 00b、SPCMDm.CPHA ビットが “1”、CPOL ビットが “0” の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

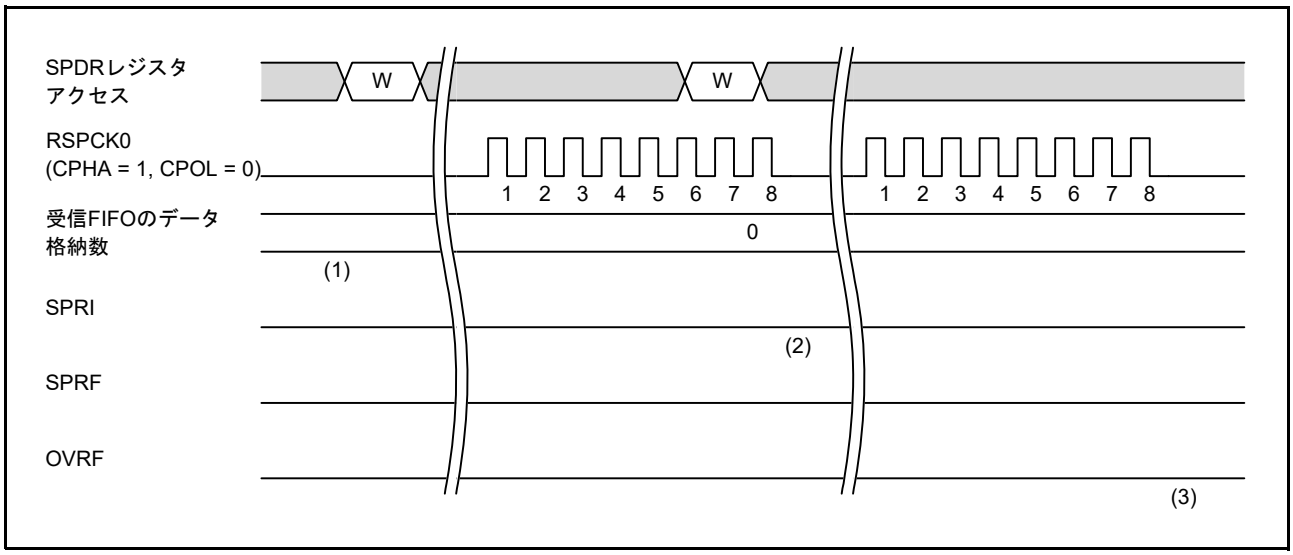


図 38.31　CMMD[1:0] = 01b の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

(1) 送信専用モード (CMMD[1:0] = 01b) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが “0” であることを確認してから行ってください。

(2) SPDR の受信 FIFO にデータが格納されていない状態でシリアル転送が終了すると、送信専用モード (CMMD[1:0] = 01b) のときは、SPRF フラグは “0” を保持し、シフトレジスタのデータを受信バッファへコピーしません。

(3) SPDR の受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、OVRF フラグは “0” を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信専用モード (CMMD[1:0] = 01b) 時は、データ送信のみ行い、データ受信は行いません。そのため、SPRF、OVRF フラグは、(1)、(2)、(3) いずれのタイミングでも “0” を保持します。

38.3.6.3　受信専用モード (CMMD[1:0] = 10b)

図 38.32 に、SPCR.CMMD[1:0] ビット (通信モード選択ビット) を “10b” に設定した場合の動作例を示します。図 38.32 の例では、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = FIFO 段数 – 1、SPCMDm.CPHA ビットが “1”、CPOL ビットが “0” の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

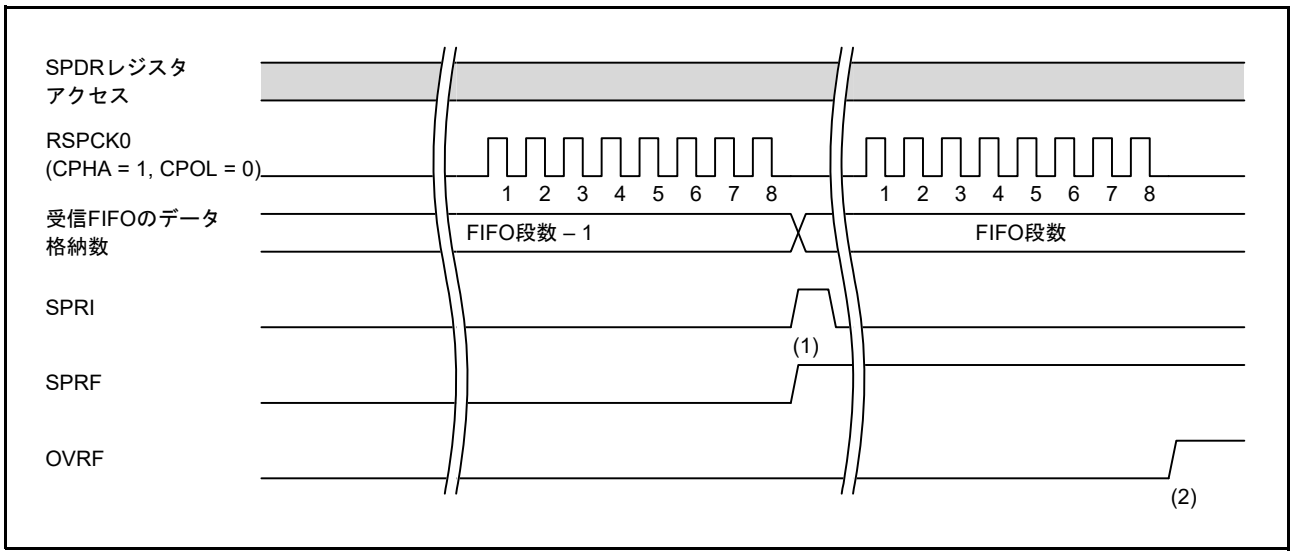


図 38.32　CMMD[1:0] = 10b の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

(1) SPDR の受信バッファの格納数が SPFCR.RTRG[1:0] ビットで設定したフレーム数と一致している状態でシリアル転送が終了すると、RSPIA は受信バッファフル割り込み要求 SPRI を発生 (SPSR.SPRF フラグを “1”) してシフトレジスタの受信データを受信バッファにコピーします。

(2) SPDR の受信バッファに FIFO 段数分のデータが格納されている状態でシリアル転送が終了すると、RSPIA は SPSR.OVRF フラグを “1” にしてシフトレジスタの受信データを破棄します。

38.3.7　送信バッファエンプティ / 受信バッファフル割り込み

図 38.33 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。“SPDR レジスタアクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。動作例では、SPCR.CMMD[1:0] ビットが “00b”、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = 00b、SPCMDm.CPHA ビットが “1”、CPOL ビットが “0” の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

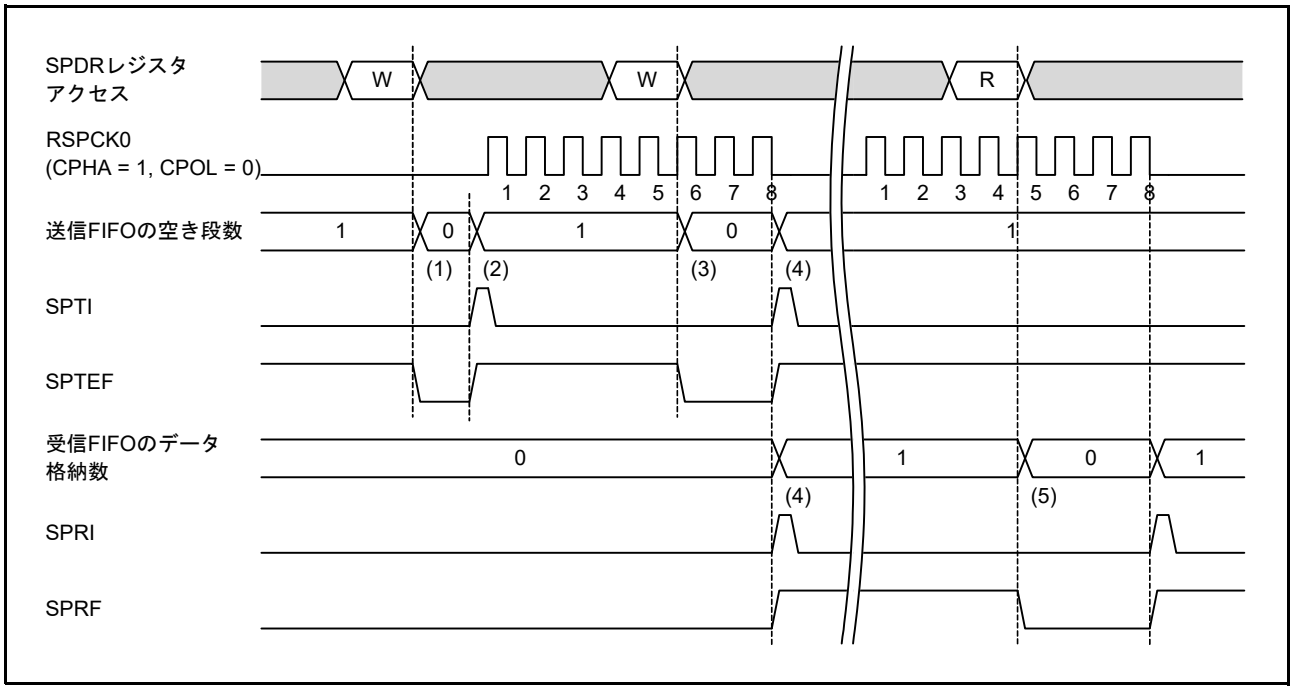


図 38.33　SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ～ (5) に示したタイミングでの動作内容を説明します。

(1) SPDR の送信 FIFO に次転送のデータがセットされていない状態で SPDR に送信データを書き込むと、RSPIA は送信バッファにデータを書き込みます。DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR へ送信データを書き込んだ場合、最終アクセス時に SPSR.SPTEF フラグを “0” にします。

(2) シフトレジスタがエンプティの場合には、RSPIA は送信バッファのデータをシフトレジスタにコピーします。このとき、送信 FIFO の空き段数が送信 FIFO のしきい値を超えていれば、RSPIA は送信バッファエンプティ割り込み要求 (SPTI) を発生し、SPTEF フラグを “1” にします。なお、シリアル転送の開始方法は、RSPIA のモードに依存します。(「38.3.13　SPI 動作」、「38.3.14　クロック同期式動作」参照)

(3) 送信バッファエンプティ割り込み要求 (SPTI) または SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR に送信データを書き込むと、RSPIA は送信バッファにデータを書き込みます。DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR へ送信データを書き込んだ場合、最終アクセス時に、SPTEF フラグを “0” にします。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPIA は送信バッファのデータをシフトレジスタにコピーしません。

(4) SPDR レジスタの受信 FIFO のデータ格納数が FIFO 段数より少ない状態でシリアル転送が終了 (最終ビットのデータサンプリングクロックエッジを検出) すると、RSPIA はシフトレジスタの受信データを受信バッファにコピーします。このとき、受信 FIFO のデータ格納数がしきい値を超えていれば、受信

バッファフル割り込み要求 (SPRI) を発生し、SPRF フラグを “1” にします。また、シリアル転送が終了するとシフトレジスタがエンプティになるため、シリアル転送が終了する前に送信 FIFO に次転送のデータがセットされている場合には、RSPIA が SPTEF フラグを “1” にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPIA はシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

(5) 受信バッファフル割り込み要求 (SPRI) または、SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと受信データが読み出せます。DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR レジスタから受信データを読み出した場合、最終アクセス時に SPRF フラグが “0” になります。

送信 FIFO に空き段数がない状態で、SPDR レジスタに送信データを書き込んだ場合は、RSPIA は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込み要求または SPTEF フラグによる送信バッファの空きを確認してください。

RSPIA をディスエーブル (SPCR.SPE ビットを “0”) に設定したとき、SPTIE ビットが “1” の場合、送信バッファエンプティ割り込みが発生します。SPE ビットの設定時同時に送信バッファエンプティ割り込みを禁止 (SPTIE ビットを “0”) に設定することにより、送信バッファエンプティ割り込みは発生しません。

受信 FIFO に FIFO 段数分データが格納されている状態で、シリアル転送が終了した場合は、RSPIA はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「38.3.10　**エラー検出**」参照)。受信データのオーバランを防ぐためには、次のシリアル転送の終了よりも前に受信データを読み出してください。

送信 / 受信バッファの状態は送信バッファエンプティ割り込み / 受信バッファフル割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。また、SPTEF フラグ /SPRF フラグでも確認することができます。

38.3.8　アイドル割り込み

マスタモード動作時のアイドル割り込みは、SPSSR.SPCP[2:0] ビットが “000b” (シーケンス制御の先頭) となったとき、次の送信データが無い場合に SPSR.IDLNF フラグが “0” となり割り込み要求を行います。また、SPCR.SPE ビットをクリアしても割り込み要求を行います。

[Motorola SPI]

図 38.34 に通常動作時のアイドル割り込みの動作例を示します。

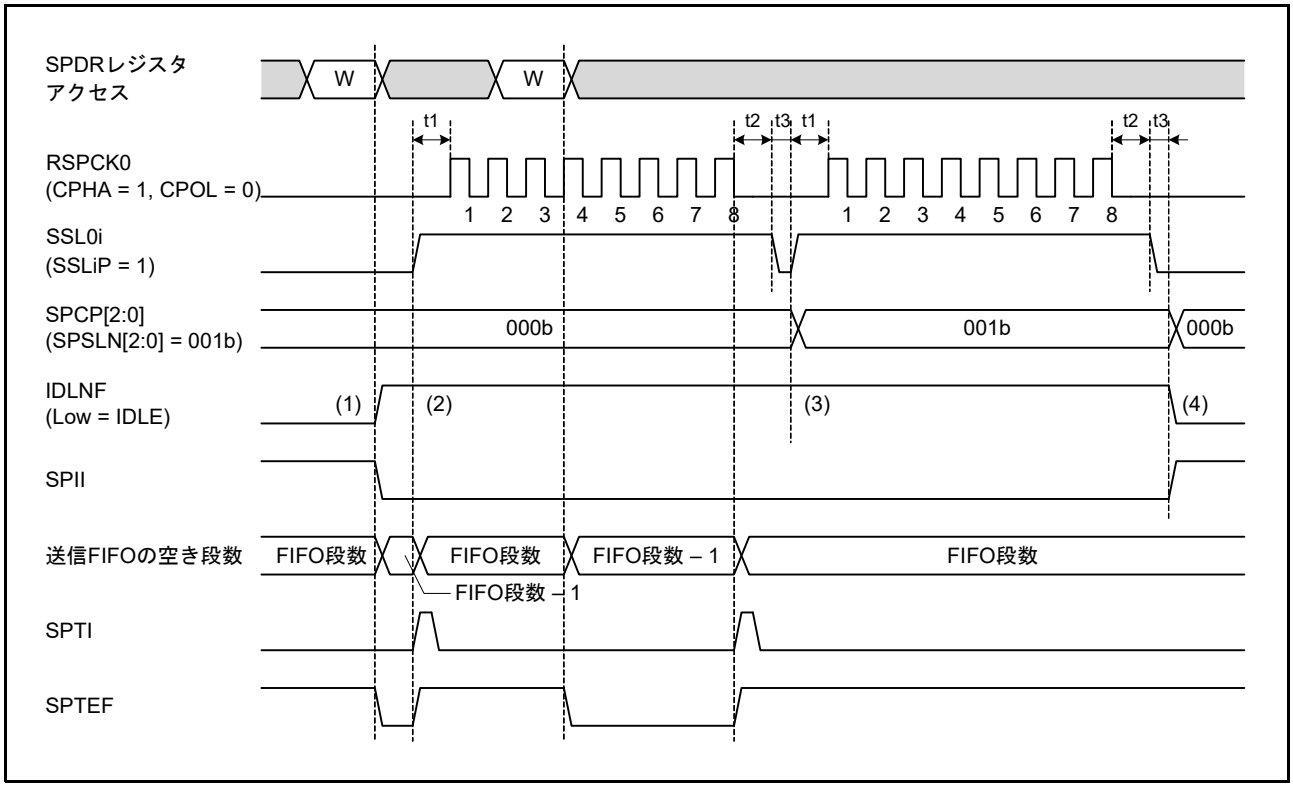


図 38.34　アイドル割り込み動作例 (マスタモード /Motorola SPI)

(1) 送信開始時、送信バッファに次転送データがセットされていないとき、IDLNF フラグは “0” (IDLE) となっています。送信データを書き込むことにより、IDLNF フラグは “1” (BUSY) となります。送信データの書き込み前に SPCR.SPIIE ビットを “1” にすると送信開始前に割り込み処理をする場合があるため、送信開始時は、SPIIE ビットを “0” にしてください。

(2) 送信を開始すると送信バッファの状態に関わらず IDLNF フラグは “1” (BUSY) を維持します。

(3) t3 サイクルの終了時点で SPCP[2:0] ビットは次のコマンドに切り替えます。次のコマンドが “000b” 以外の場合は、次の送信データが書き込まれていなくても IDLNF フラグは状態を維持します。

(4) 次のコマンドが “000b” であり、次の送信データが無いため、t3 サイクル終了時点で IDLNF フラグは “0” (IDLE) となります。このとき、SPIIE ビットが “1” の場合、SPII 割り込みを出力します。

[TI SSP]

図 38.35 に通常動作時のアイドル割り込みの動作例を示します。

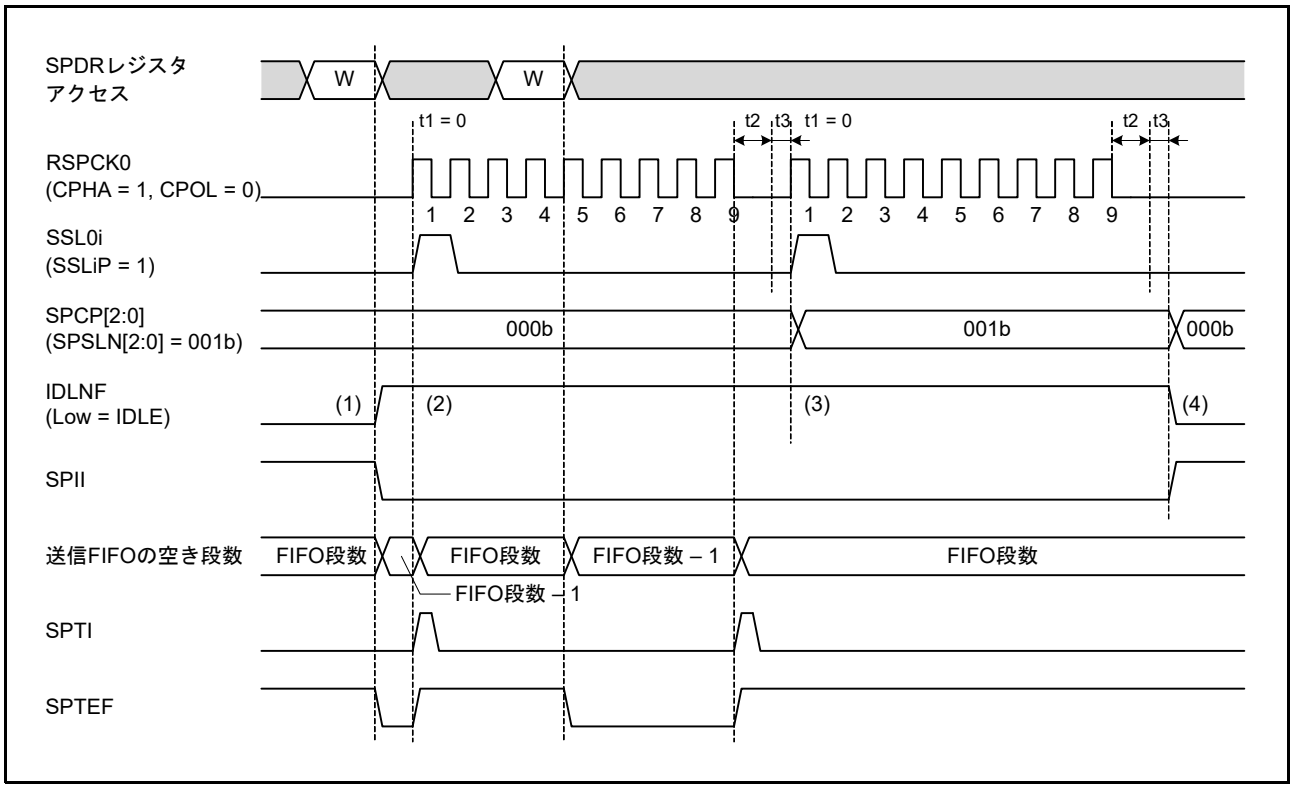


図 38.35　アイドル割り込み動作例 (マスタモード /TI SSP)

(1) 送信開始時、送信バッファに次転送データがセットされていないとき、IDLNF フラグは “0” (IDLE) となっています。送信データを書き込むことにより、IDLNF フラグは “1” (BUSY) となります。送信データの書き込み前に SPCR.SPIIE ビットを “1” にすると送信開始前に割り込み処理をする場合があるため、送信開始時は、SPIIE ビットを “0” にしてください。

(2) 送信を開始すると送信バッファの状態に関わらず IDLNF フラグは “1” (BUSY) を維持します。

(3) t3 サイクルの終了時点で SPCP[2:0] ビットは次のコマンドに切り替えます。次のコマンドが “000b” 以外の場合は、次の送信データが書き込まれていなくても IDLNF フラグは状態を維持します。

(4) 次のコマンドが “000b” であり、次の送信データが無いため、t3 サイクル終了時点で IDLNF フラグは “0” (IDLE) となります。このとき、SPIIE ビットが “1” の場合、SPII 割り込みを出力します。

スレーブモード動作時のアイドル割り込みは、SPCR.SPE ビットの設定値のみで決定します。

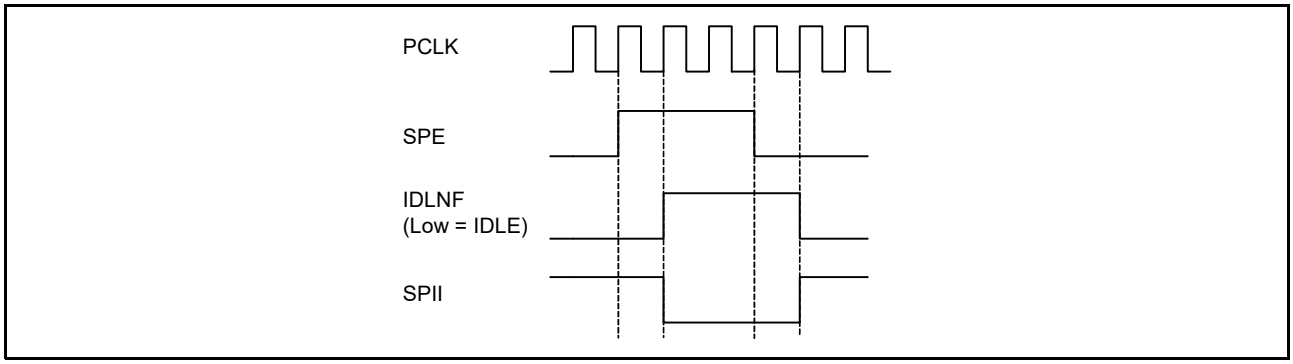


図 38.36　アイドル割り込み動作例 (スレーブモード)

38.3.9　通信完了割り込み

38.3.9.1　マスタ送受信モード / マスタ送信専用モード時

マスタ送受信モード / マスタ送信専用モード時の通信完了フラグのセット / クリア条件に関しては、「38.2.16　RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

[Motorola SPI]

図 38.37 にマスタ送受信モード / マスタ送信専用モード時の SPCI 割り込みの動作例を示します。

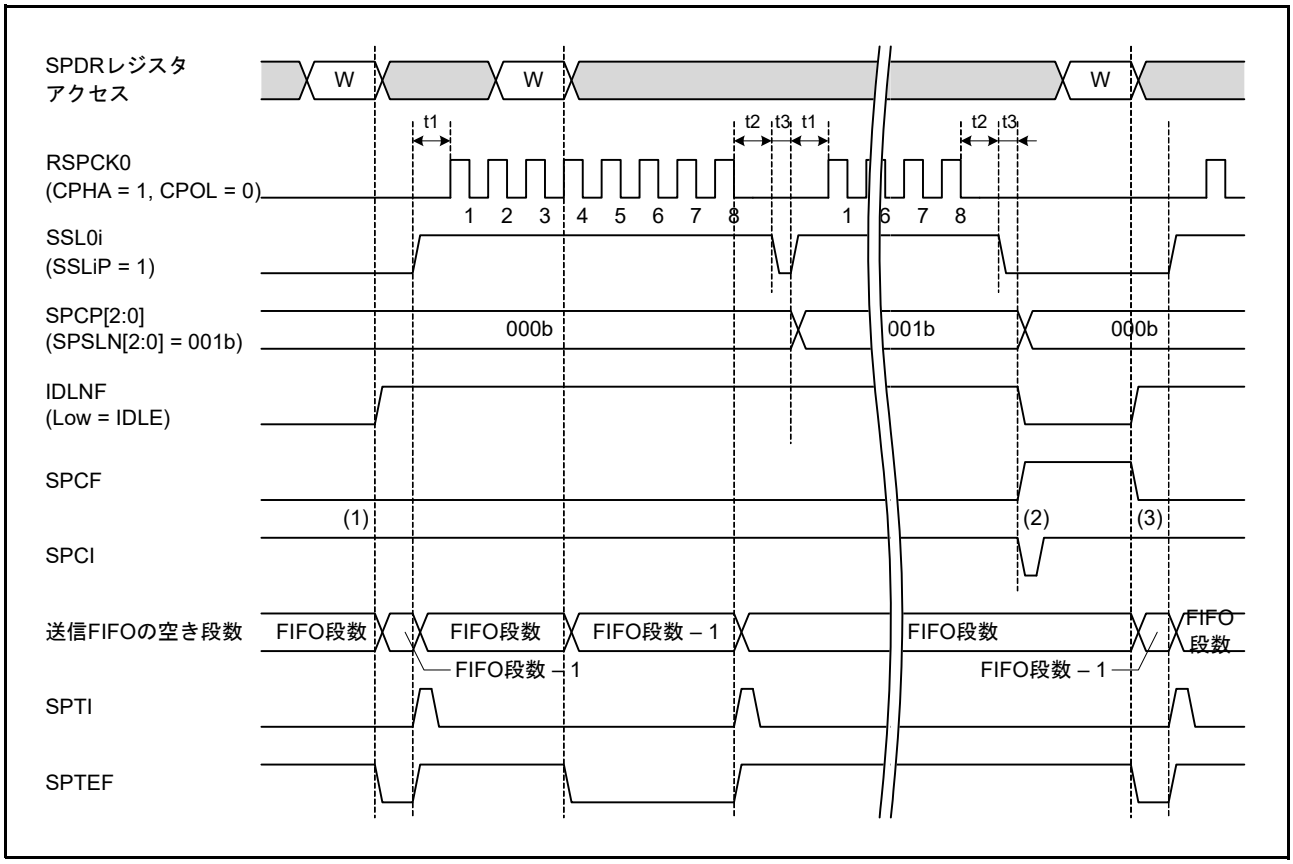


図 38.37　SPCI 割り込み動作例 (マスタ送受信モード / マスタ送信専用モード、Motorola SPI)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” になっています。

(2) 次のコマンドが “000b” かつ、次の送信データが無いため、t3 サイクル終了時点で SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

[TI SSP]

図 38.38 にマスタ送受信モード / マスタ送信専用モード時の SPCI 割り込みの動作例を示します。

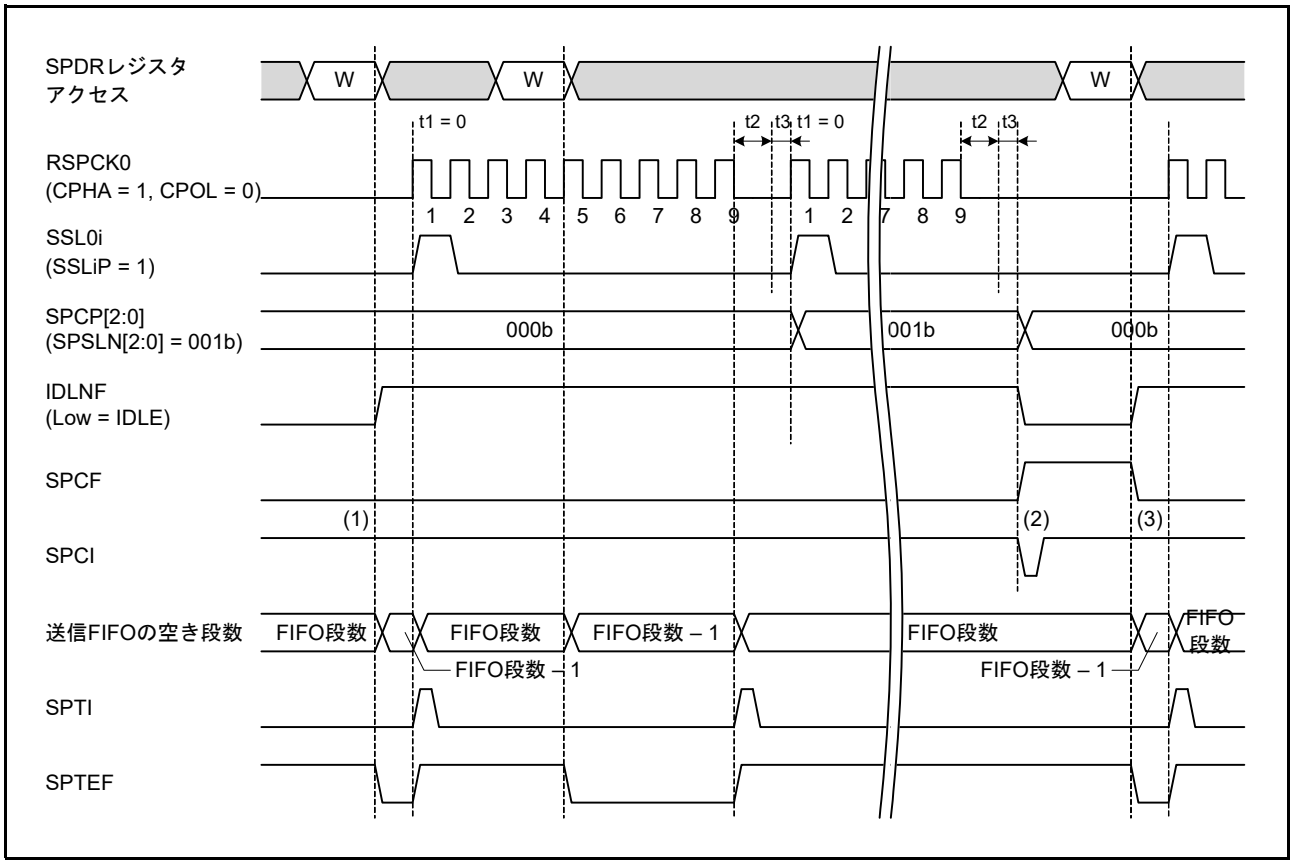


図 38.38　SPCI 割り込み動作例 (マスタ送受信モード / マスタ送信専用モード、TI SSP)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。

(2) 次のコマンドが “000b” かつ、次の送信データが無いため、t3 サイクル終了時点で SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

38.3.9.2　マスタ受信専用モード時

マスタ受信専用モード時の通信完了フラグのセット / クリア条件に関しては、「38.2.16　RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

図 38.39 に RFC[4:0] = 00000b のときのマスタ受信専用モード時の SPCI 割り込みの動作例を示します。

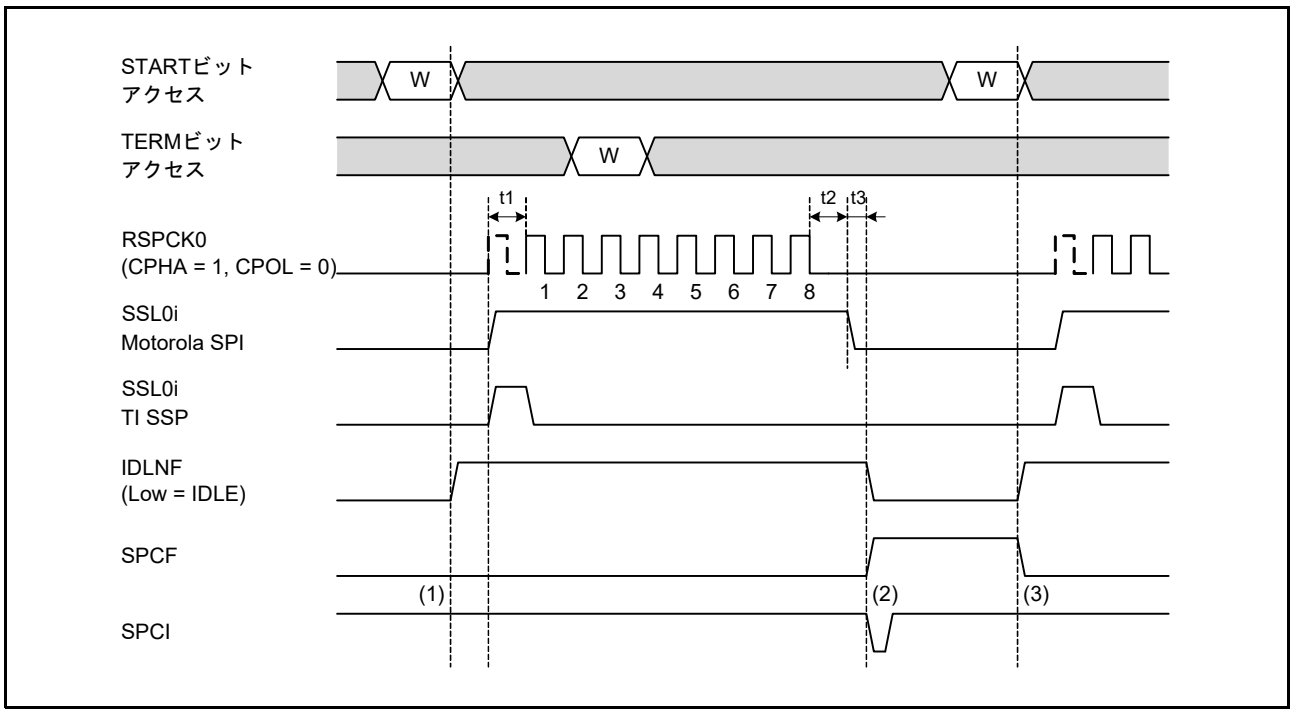


図 38.39　RFC[4:0] = 00000b のときの SPCI 割り込み動作例 (マスタ受信専用モード)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” になっています。

(2) 通信中に SPRMCR.TERM ビットに “1” を書き込むと、t3 サイクル終了時点で SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次に SPRMCR.START ビットに “1” を書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

図 38.40 に RFC[4:0] ≠ 00000b のときのマスタ受信専用モード時の SPCI 割り込みの動作例を示します。

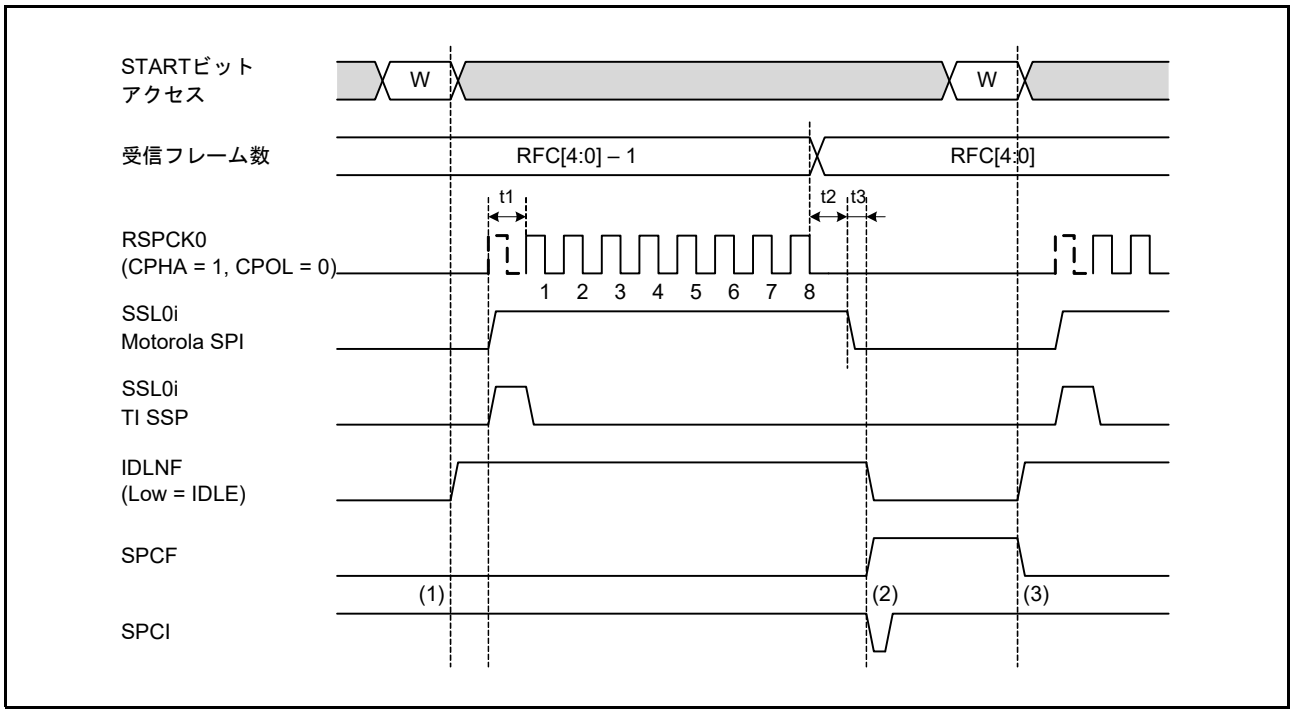


図 38.40　RFC[4:0] ≠ 00000b のときの SPCI 割り込み動作例 (マスタ受信専用モード)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。
(2) RFC[4:0] ビットに設定したフレーム数分を受信した後、t3 サイクル終了時点で SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
(3) 次に START ビットに “1” を書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

スレーブモード動作時の SPCI 割り込みは、SPCR.SPMS ビット (RSPI モード選択ビット) の値によってセットタイミングが異なります。また通信モード (送受信 / 送信専用 / 受信専用) でクリアタイミングが異なります。

38.3.9.3　スレーブ送受信モード / スレーブ送信専用モード、SPI 動作時

スレーブ送受信モード / スレーブ送信専用モード、SPI 動作 (4 線式動作) 時の通信完了フラグのセット / クリア条件に関しては、「38.2.16　RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

[Motorola SPI]

図 38.41 にスレーブ送受信モード / スレーブ送信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

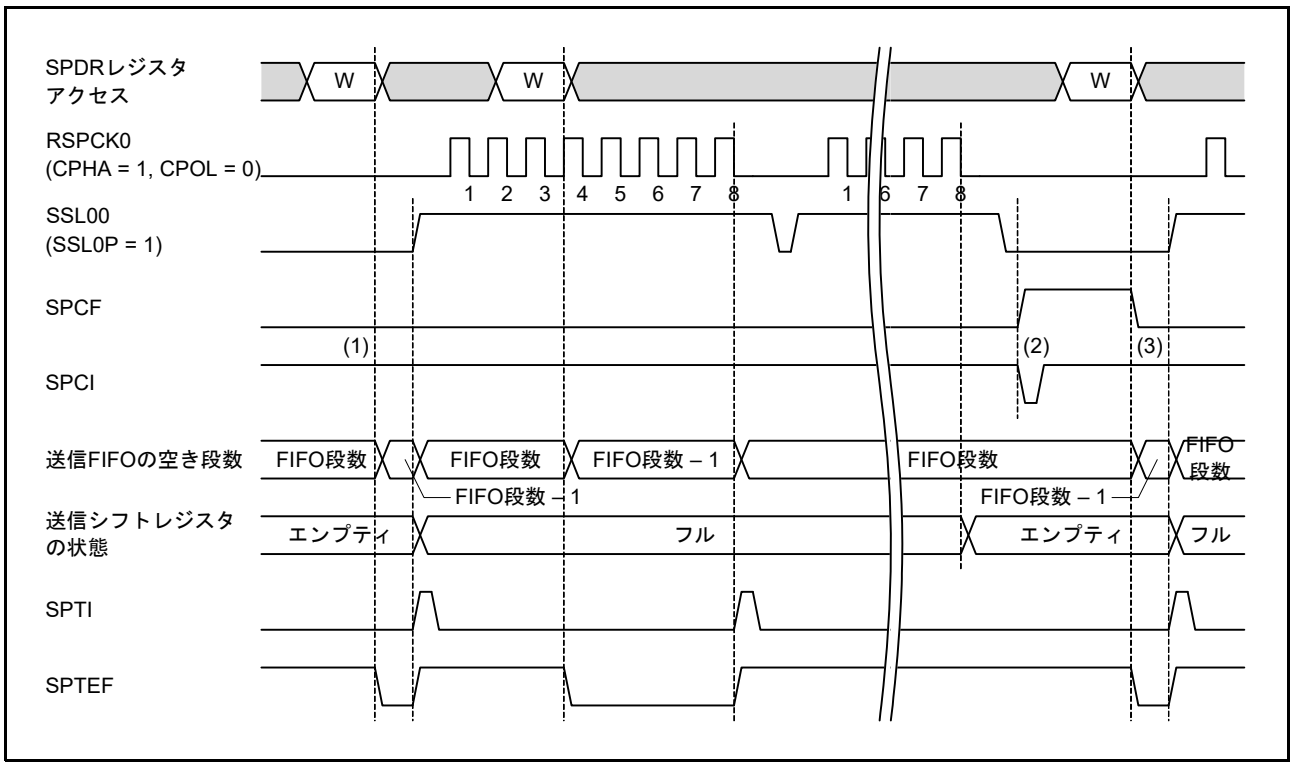


図 38.41　SPCI 割り込み動作例 (スレーブ送受信モード / スレーブ送信専用モード、Motorola SPI)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。

(2) 送信 FIFO に次転送データがセットされていない状態でかつ、送信シフトレジスタがエンプティのとき、SSL0i ネゲートタイミングで SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

[TI SSP]

図 38.42 にスレーブ送受信モード / スレーブ送信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

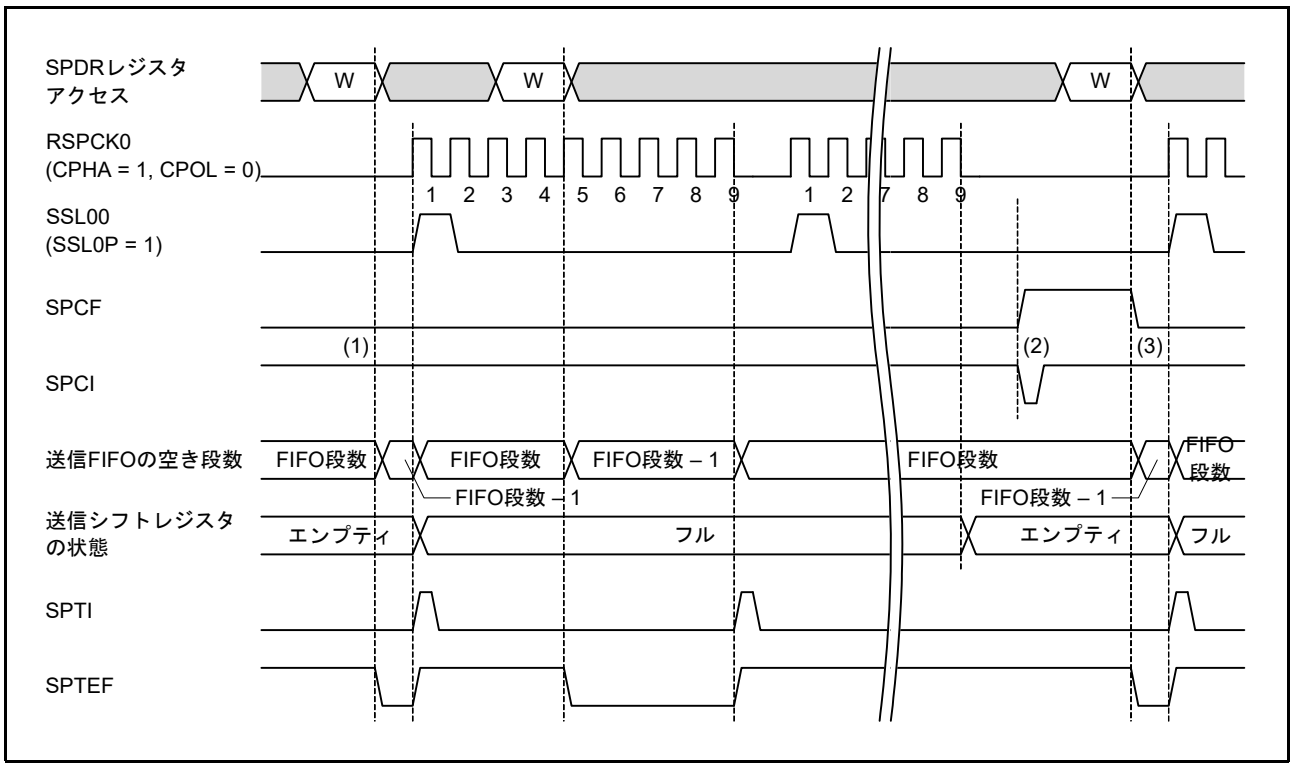


図 38.42　SPCI 割り込み動作例 (スレーブ送受信モード / スレーブ送信専用モード、TI SSP)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。

(2) 送信 FIFO に次転送データがセットされていない状態でかつ、送信シフトレジスタがエンプティかつ、SSL ネゲート遅延が完了したとき、SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

38.3.9.4　スレーブ受信専用モード、SPI 動作時

スレーブ受信専用モード、SPI 動作 (4 線式動作) 時の通信完了フラグのセット / クリア条件に関しては、「38.2.16　RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

[Motorola SPI]

図 38.43 にスレーブ受信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

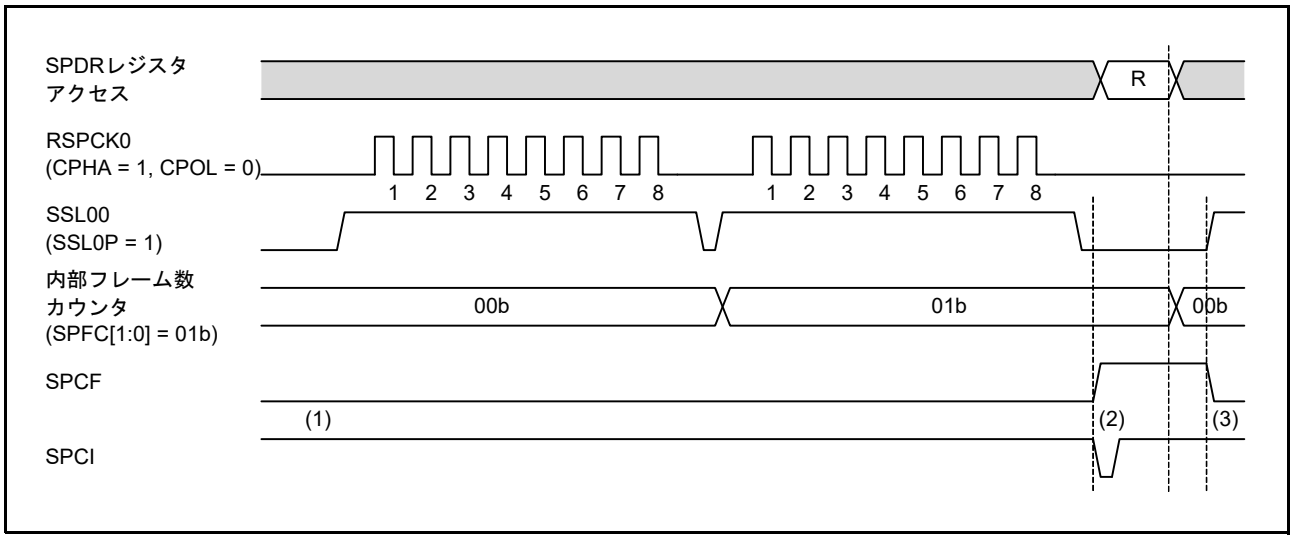


図 38.43　SPCI 割り込み動作例 (スレーブ受信専用モード、Motorola SPI)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。

(2) SPDCR.SPFC[1:0] ビットに設定した値分のフレームを受信バッファに格納した後に、SSL00 ネゲートのタイミングで SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の通信開始の SSL00 アサートのタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

[TI SSP]

図 38.44 にスレーブ受信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

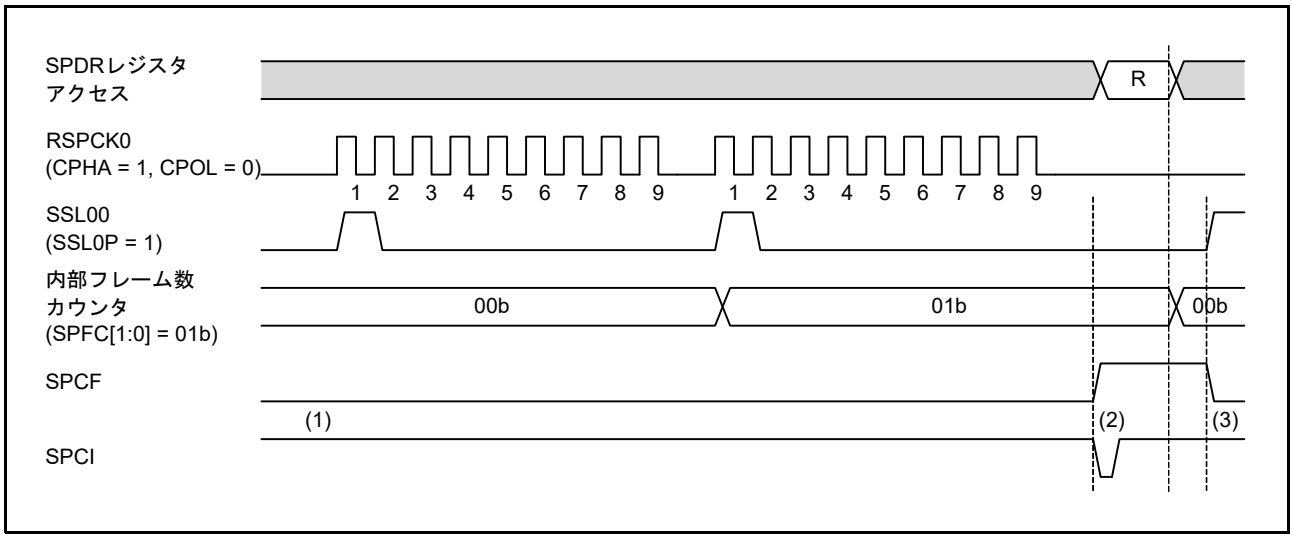


図 38.44　SPCI 割り込み動作例 (スレーブ受信専用モード、TI SSP)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。

(2) SPDCR.SPFC[1:0] ビットに設定した値分のフレームを受信バッファに格納した後に、SSL00 ネゲート遅延完了のタイミングで SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の通信開始の SSL00 アサートのタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

38.3.9.5　スレーブ送受信モード / スレーブ送信専用モード、クロック同期動作時

スレーブ送受信モード / スレーブ送信専用モード、クロック同期動作 (3 線式動作) 時の通信完了フラグのセット / クリア条件に関しては、「38.2.16　RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

図 38.45 にスレーブ送受信モード / スレーブ送信専用モード、クロック同期動作時の SPCI 割り込みの動作例を示します。

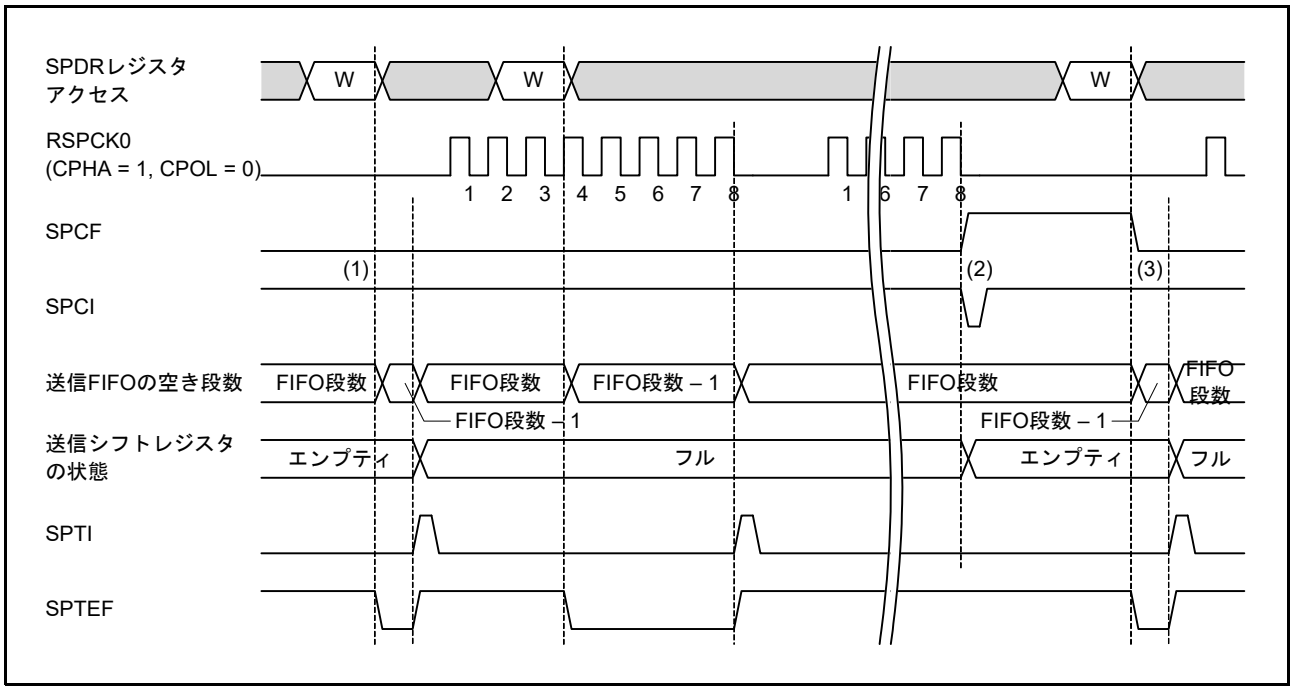


図 38.45　SPCI 割り込み動作例 (スレーブ送受信モード / スレーブ送信専用モード、クロック同期動作)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。

(2) 送信バッファに次転送データがセットされていない状態でかつ、送信シフトレジスタがエンプティのときの RSPCK0 の最終データビットサンプリングタイミング時点で SPCF フラグは “1” (通信完了) となります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

38.3.9.6　スレーブ受信専用モード、クロック同期動作時

スレーブ受信専用モード、クロック同期動作 (3 線式動作) 時の通信完了フラグのセット / クリア条件に関しては、「38.2.16　RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

図 38.46 にスレーブ受信専用モード、クロック同期動作時の SPCI 割り込みの動作例を示します。

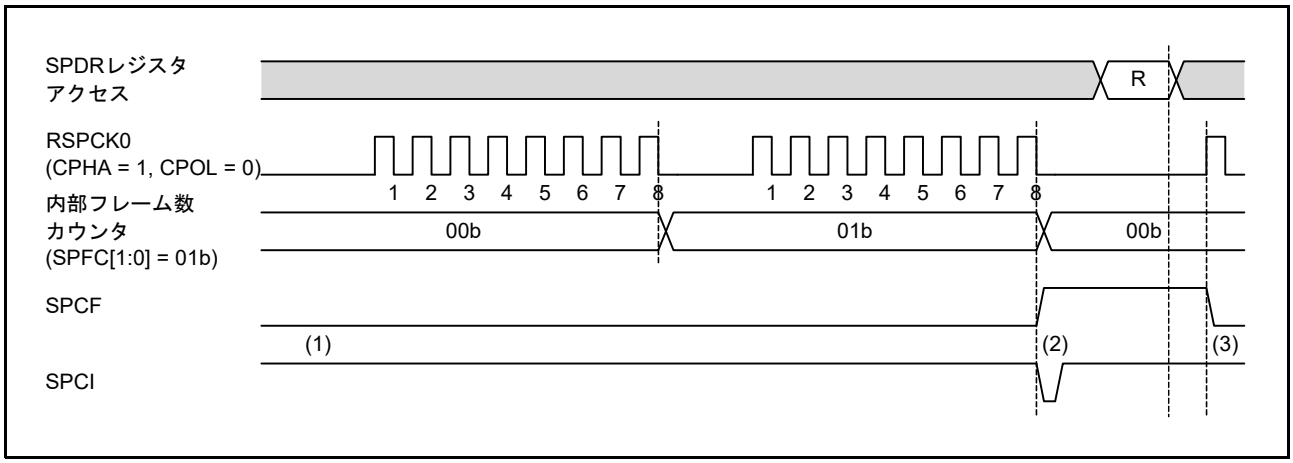


図 38.46　SPCI 割り込み動作例 (スレーブ受信専用モード、クロック同期動作)

(1) 通信開始前から通信中は、SPCF フラグは “0”、SPCI 割り込みは “1” となっています。

(2) SPDCR.SPFC[1:0] ビットで設定した数のフレームを受信する場合、最終フレームの RSPCK0 の最終データビットサンプリングタイミング時点で SPCF フラグは “1” (通信完了) になります。このとき、SPCIE ビットが “1” の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。

(3) 次の通信の RSPCK0 の第 1 エッジのタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに “1” を書き込むと、SPCF フラグはクリアされます。

38.3.10　エラー検出

通常の RSPIA のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPIA の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIA はアンダランエラー、オーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。**表 38.9** に、通常以外の転送動作と RSPIA のエラー検出機能の関係を示します。

表38.9　通常以外の転送の発生条件とRSPIAのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信FIFOに空き段数がない状態で、SPDRを書き込み	送信バッファ内容を保持 書き込みデータ欠落	なし
2	受信FIFOにデータが格納されていない状態で、SPDRを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出力	なし
3	スレーブ送受信モード/スレーブ送信専用モードで送信データの出力準備が整っていない状態で、シリアル転送開始	シリアル転送中断 送受信データ欠落 MISO0出力信号のドライブ停止 RSPIディスエーブル	アンダランエラー検出 (アンダランエラーについては、「38.3.10.4　アンダランエラー」を参照)
4	受信FIFOにFIFO段数分データが格納されている状態でシリアル転送が終了	受信FIFO内容を保持 シリアル受信データ欠落	オーバランエラー検出 (オーバランエラーについては、「38.3.10.1　オーバランエラー」を参照)
5	送受信モード、受信専用モード時にパリティ機能が有効な状態で、誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出 (パリティエラーについては、「38.3.10.2　パリティエラー」を参照)
6	マルチマスタモードでシリアル転送アイドル時にSSL00入力信号アサート	RSPCK0、MOSI0、SSL01～SSL03出力信号のドライブ停止 RSPIディスエーブル	モードフォルトエラー検出 (モードフォルトエラーについては、「38.3.10.3　モードフォルトエラー」を参照)
7	マルチマスタモードでシリアル転送中にSSL00入力信号アサート	シリアル転送を中断 送受信データ欠落 RSPCK0、MOSI0、SSL01～SSL03出力信号のドライブ停止 RSPIディスエーブル	
8	スレーブモードでシリアル転送中にSSL00入力信号がネゲート [Motorola SPI]	シリアル転送中断 送受信データ欠落 MISO0出力信号のドライブ停止 RSPIディスエーブル	
9	スレーブモードでシリアル転送中にSSL00入力信号がアサート [TI SSP]	シリアル転送中断 送受信データ欠落 MISO0出力信号のドライブ停止 RSPIディスエーブル	
10	RDRIS = 1で受信FIFOにデータが格納されてから格納数がしきい値以下でSPDRCSRレジスタの設定値分、受信データの書き込みがない状態	受信データレディフラグのアサート	受信データレディ検出 (受信データレディについては、「38.3.11　受信データレディ検出」を参照)

表 38.9 の 1 に示した動作に対しては、RSPIA はエラーを検出しません。SPDR 書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求または、SPSR.SPTEF フラグが “1” の状態で SPDR への書き込みを実施してください。

2 に示した動作に対しても、RSPIA はエラーを検出しません。不必要なデータを読み出さないようにするためには、受信バッファフル割り込み要求または、SPSR.SPRF フラグが “1” の状態で SPDR の読み出しを実行するようにしてください。

なお、送受信の割り込みについては、**「38.3.7　送信バッファエンプティ / 受信バッファフル割り込み」**を参照してください。

38.3.10.1　オーバランエラー

SPDR レジスタの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が終了すると、RSPIA はオーバランエラーを検出して SPSR.OVRF フラグを “1” にします。OVRF フラグが “1” の状態では、RSPIA はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR.OVRF フラグを “0” にするためには、システムリセットを実施するか、SPSCLR.OVRFC ビットに “1” を書き込む必要があります。

図 38.47 に、SPSR.SPRF フラグと OVRF フラグの動作を示します。**図 38.47** に記載した “SPSCLR レジスタアクセス” と “SPDR レジスタアクセス ” は、SPSCLR、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 38.47** の例では、SPCMDm.CPHA ビットが “1”、CPOL ビットが “0” の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

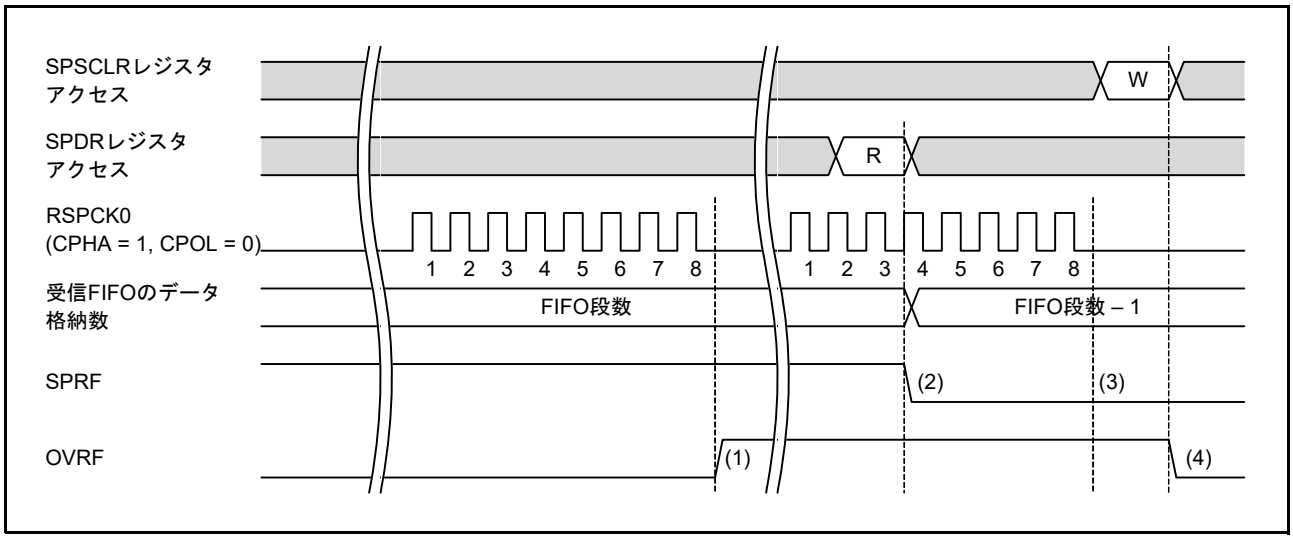


図 38.47　SPRF、OVRF フラグの動作例

以下に、図中の (1) ～ (4) に示したタイミングでのフラグの動作内容を説明します。

(1) 受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が終了すると、RSPIA がオーバランエラーを検出し、OVRF フラグを “1” にします。RSPIA はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが “1” であっても、パリティエラーの検出は行いません。マスタモードの場合には、RSPIA は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。

(2) SPDR レジスタを読み出すと、RSPIA は受信バッファのデータが読み出せます。このとき、DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR レジスタから受信データを読み出した場合の最終アクセス時、SPRF フラグはクリアされます。しかし、受信バッファがエンプティになっても、OVRF フラグはクリアされません。

(3) OVRF フラグが “1” の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPIA はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは “0” のまま)。受信バッファフル割り込みも発生しません。また、SPPE ビットが “1” であっても、パリティエラーの検出は行いません。マスタモードの RSPIA の場合に、RSPIA は SPSSR.SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPIA はシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

(4) SPSCLR.OVRFC ビットに “1” を書き込むと、OVRF フラグをクリアします。

オーバランの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPIA をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。オーバランエラーが発生して OVRF フラグが “1” になると、OVRF フラグをクリアするまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。**図 38.48** と**図 38.49** にマスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形を示します。

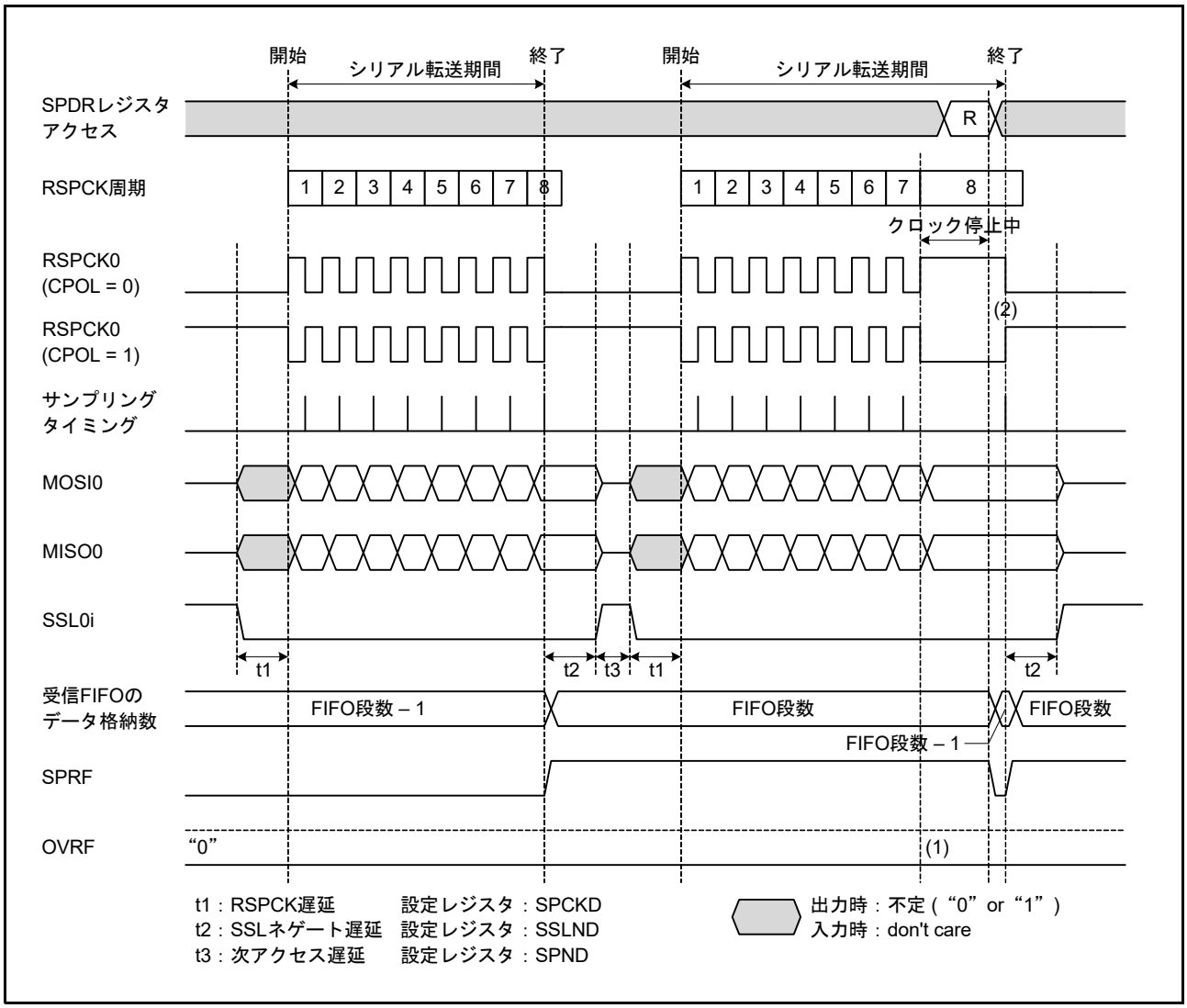


図 38.48　マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

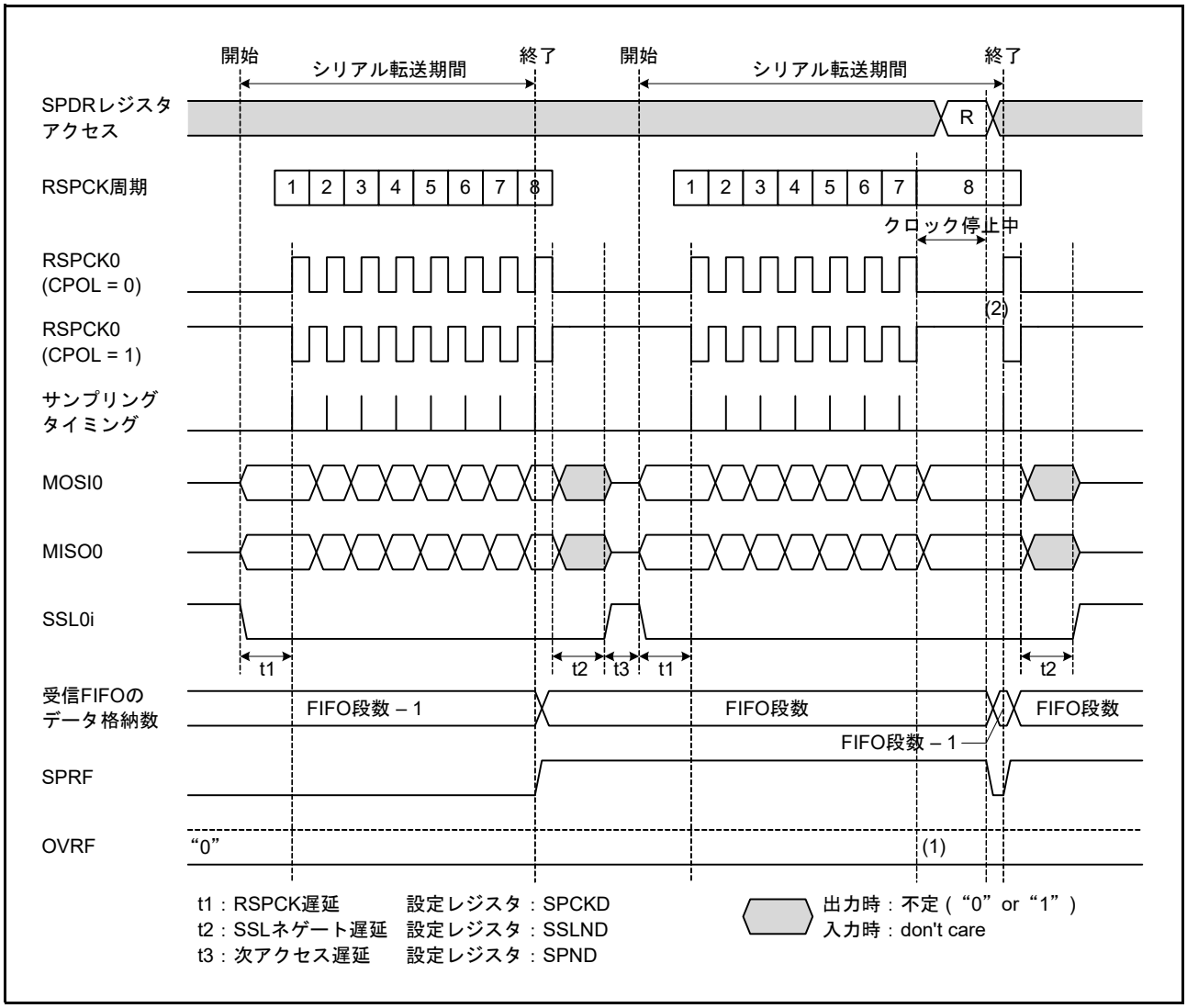


図 38.49　マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1) ～ (2) に示したタイミングでのフラグ動作を説明します。

(1) 受信 FIFO に FIFO 段数分データが格納されている状態では、RSPCK0 が停止するためオーバランエラーは発生しません。

(2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後、RSPCK0 が再開します。

マスタモードでバースト転送時のフレーム間遅延のない転送で RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。図 38.50 と図 38.51 にバースト転送時でフレーム間遅延のない場合の受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形を示します。

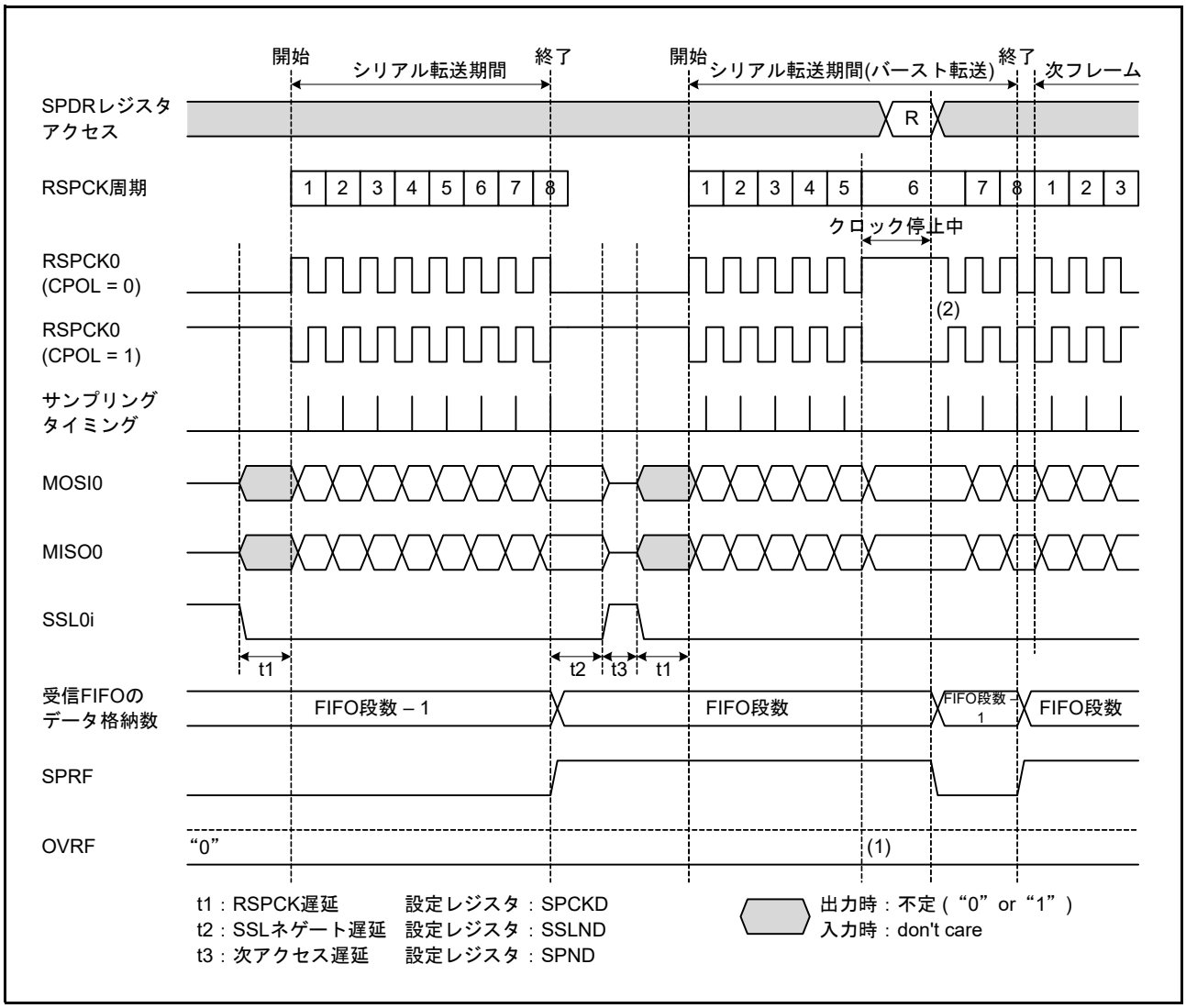


図 38.50　マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (バースト転送でフレーム間遅延なし /CPHA = 1)

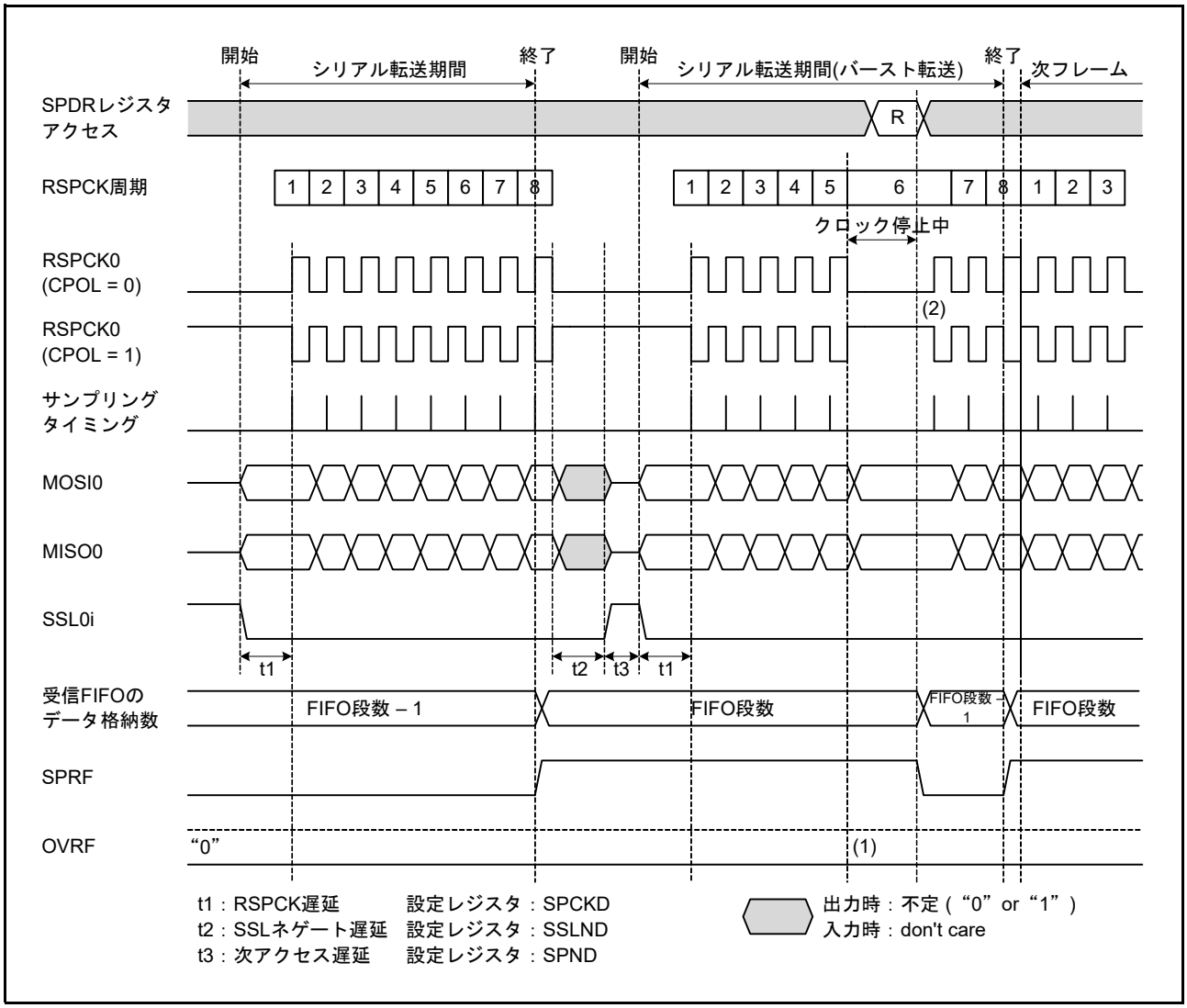


図 38.51　マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (バースト転送でフレーム間遅延なし /CPHA = 0)

以下に、図中の (1) ～ (2) に示したタイミングでのフラグ動作を説明します。

(1) 受信 FIFO に FIFO 段数分データが格納されている状態では、RSPCK0 が停止するためオーバランエラーは発生しません。

(2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後、RSPCK0 が再開します。

38.3.10.2　パリティエラー

送受信モード / 受信専用モードにて、SPCR.SPPE ビットが “1” の状態でシリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIA は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを “1” にします。OVRF フラグが “1” の状態では、RSPIA はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。SPSR.PERF フラグを “0” にするためには、システムリセットを実施するか、SPSCLR.PERFC ビットに “1” を書き込む必要があります。

図 38.52 に、SPSR レジスタの OVRF フラグと PERF フラグの動作を示します。**図 38.52** に記載した “SPSCLR レジスタアクセス” は、SPSCLR レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。**図 38.52** の例では、SPCR.SPPE ビットが “1” の状態で送受信のシリアル通信を行います。SPCMDm.CPHA ビットが “1”、CPOL ビットが “0” の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

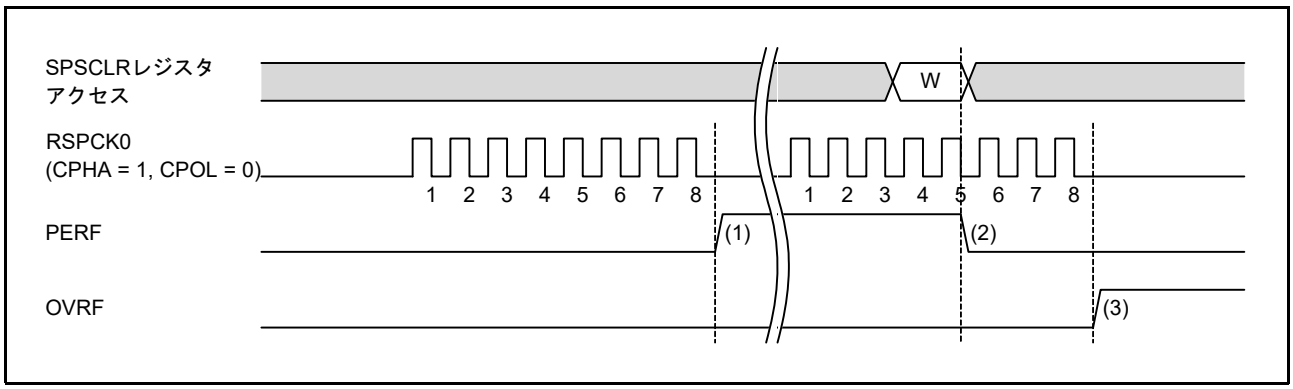


図 38.52　PERF フラグの動作例

以下に、図中の (1) ～ (3) に示したタイミングでのフラグの動作内容を説明します。

(1) RSPIA がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPIA が受信データを判定し、パリティエラーを検出すると PERF フラグを “1” にします。マスタモードの場合には、RSPIA は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。

(2) SPSCLR.PERFC ビットに “1” を書き込むと、PERF フラグをクリアします。

(3) RSPIA がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPIA はパリティエラーの検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用する場合には、SPCR.SPEIE ビットを “1” にしてください。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPIA をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

38.3.10.3　モードフォルトエラー

SPCR.MSTR ビットが “1”、SPMS ビットが “0”、MODFEN ビットが “1” の場合には、RSPIA はマルチマスタモードで動作します。マルチマスタモードの RSPIA の SSL00 入力信号に対してアクティブレベルが入力されると、シリアル転送状態に関わらず、RSPIA はモードフォルトエラーを検出して SPSR.MODF フラグを “1” にします。モードフォルトエラーを検出すると、RSPIA は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSL00 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが “0” の場合には、RSPIA はスレーブモードで動作します。スレーブモードの RSPIA の MODFEN ビットが “1”、SPMS ビットが “0” の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に、下記 2 条件のいずれかを満たしたときに RSPIA はモードフォルトエラーを検出します。

- Motorola SPI モード時、シリアル転送期間に SSL00 入力信号がネゲートされたとき。
- TI SSP モード時、シリアル転送期間に SSL00 入力信号がアサートされたとき。
  ただしバースト転送時はフレームの最終ビット期間に SSL00 入力信号がアサートされてもエラーは検出しない。

RSPIA はモードフォルトエラーを検出すると出力信号のドライブ停止、および SPCR.SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます。(「38.3.12　RSPIA の初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPIA をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが “1” の状態では、RSPIA は SPE ビットへの “1” 書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを “0” にしてください。

38.3.10.4　アンダランエラー

RSPIA がスレーブモード (SPCR.MSTR ビットが “0”)、かつ SPCR.CMMD[1:0] ビットが “00b” または “01b” で動作している場合、SPCR.SPE ビットが “1” (RSPI 機能が有効) かつ送信データの出力準備が整っていない状態でシリアル転送が開始されると、RSPIA はアンダランエラーを検出して SPSR レジスタの MODF フラグと UDRF フラグを “1” にします。

RSPIA はアンダランエラーを検出すると出力信号のドライブ停止、および SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます (「38.3.12　RSPIA の初期化」を参照))。

アンダランエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが “1” の状態では、RSPIA は SPE ビットへの “1” 書き込みを無視します。アンダランエラー検出後に RSPI 機能を有効にするためには、MODF フラグを “0” にしてください。

38.3.11　受信データレディ検出

SPCR.CMMD[1:0] ビットが “00b”、“01b” または “11b” かつ、SPDRCSR レジスタの設定値が 00h でないとき、通信中 (SPE = 1) に受信 FIFO に受信データを格納後、受信 FIFO の格納数がしきい値以下で SPDRCSR レジスタの設定値分、経過しても受信データが格納されない場合に SPSR.RRDYF フラグを “1” にセットします。

受信データレディ検出時、割り込み及びイベントリンク出力を SPRI とするか、SPEI とするか SPCR.RDRIS ビットで選択可能です。

図 38.53 に受信データレディ検出の動作例を示します。

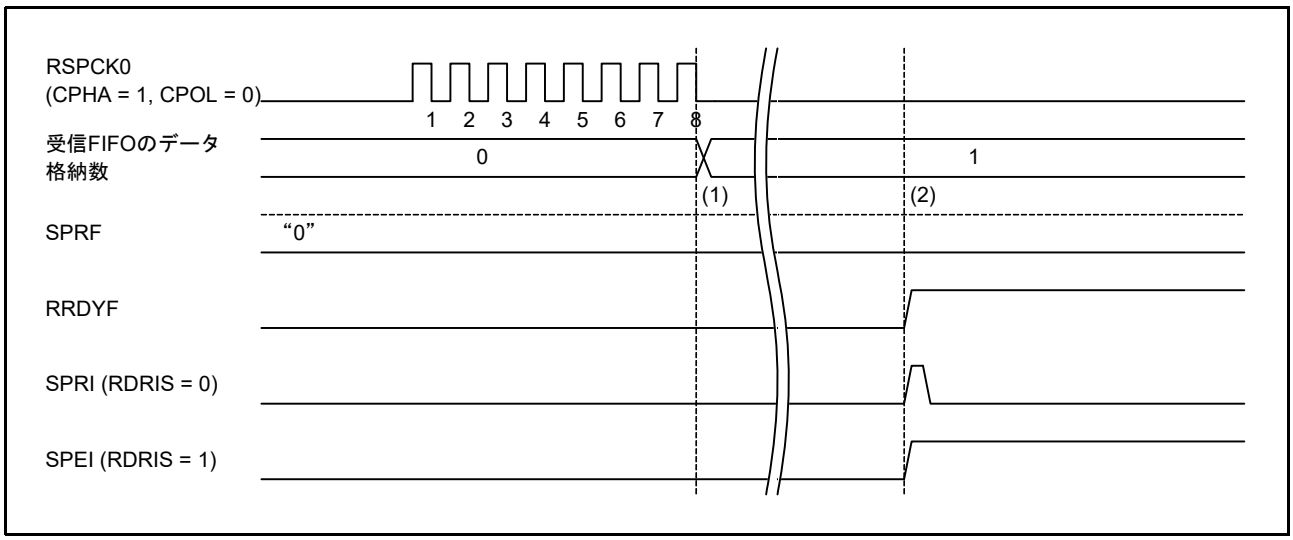


図 38.53　受信データレディ

以下、に図中の (1)、(2) に示したタイミングでの動作内容を説明します。

(1)　受信データを受信 FIFO へ格納。RTRG[1:0] ビットの設定以下のため、SPRF = 0。

(2)　(1) から SPDRCSR レジスタの設定分、受信 FIFO への書き込みがないため、RRDYF フラグをセットし、SPRI または、SPEI をアサートします。

38.3.12 RSPIA の初期化

SPCR.SPE ビットに “0” を書き込んだ場合、またはモードフォルトエラーおよびアンダラン検出により RSPIA が SPE ビットを “0” にクリアした場合には、RSPIA は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIA はモジュール機能を全て初期化します。以下に、SPE ビットのクリアによる初期化とシステムリセットによる初期化について説明します。

38.3.12.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットがクリアされた場合には、RSPIA は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止。(Hi-Z)
- RSPIA 内部ステートの初期化
- SPSR.SPTEF フラグを “1” にする

SPE ビットのクリアによる初期化では、RSPIA の制御ビットは初期化されません。このため、SPE ビットに “1” を再設定すれば初期化前と同じ転送モードで RSPIA を起動できます。

SPSR.SPCF、SPRF、OVRF、MODF、PERF、UDRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPIA の初期化後も受信バッファのデータの読み出し、RSPI 転送時の通信完了状況、エラー発生状況の確認が可能です。

SPSR.SPTEF フラグは “1” に初期化されます。このため、RSPIA 初期化後に SPCR.SPTIE ビットが “1” に設定されていると、送信バッファエンプティ割り込みが発生します。CPU で RSPIA を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの “0” 書き込みと同時に SPTIE ビットにも “0” を書き込んでください。

38.3.12.2 システムリセット

システムリセットによる初期化では、「38.3.12.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPIA 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIA が完全に初期化されます。

38.3.13 SPI 動作

38.3.13.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「38.3.10 エラー検出」参照) のみです。シングルマスタモードの RSPIA ではモードフォルトエラーを検出しません。マルチマスタモードの RSPIA ではモードフォルトエラーを検出します。以下では、シングル / マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

送信 FIFO に次転送のデータがセットされていない状態で、SPDR レジスタへデータを書き込むと、RSPIA は SPDR レジスタの送信バッファ (SPTXn, n = 0 ～ 3) のデータを更新します。シフトレジスタがエンプティの場合には、RSPIA は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIA は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIA の転送フォーマットの詳細については、「38.3.5 転送フォーマット (フレームフォーマット)」を参照してください。SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。

(2) シリアル転送の終了

[マスタ受信専用モード以外の場合]

SPCMDm.CPHA ビットに関わらず、RSPIA は最終サンプリングタイミングに対応する RSPCK0 エッジを送出するとシリアル転送を終了します。受信 FIFO のデータ格納数が FIFO 段数より少ない場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPIA のデータ長は、SPCMDm.SPB[4:0] ビットの設定値に依存します。SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。RSPIA の転送フォーマットの詳細については、「38.3.5 転送フォーマット (フレームフォーマット)」を参照してください。

[マスタ受信専用モードの場合]

下記 2 条件のいずれかで、シリアル転送を終了します。

- SPCMDm.CPHA ビットに関わらず、RSPIA は最終サンプリングタイミングに対応する RSPCK0 エッジを送出するとシリアル転送を終了します。
- シリアル転送期間に SPRMCR.TERM ビットに “1” を書き込むとシリアル転送を終了します。

受信 FIFO のデータ格納数が FIFO 段数より少ない場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPIA のデータ長は、SPCMDm.SPB[4:0] ビットの設定値に依存します。SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。RSPIA の転送フォーマットの詳細については、「38.3.5 転送フォーマット (フレームフォーマット)」を参照してください。

(3)　シーケンス制御

マスタモード時の転送フォーマットは、以下によって決定されます。

- RSPI シーケンス制御レジスタ (SPSCR)
- RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7)
- RSPI ビットレートレジスタ (SPBR)
- RSPI クロック遅延値レジスタ (SPCKD)
- RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)
- RSPI 次アクセス遅延値レジスタ (SPND)

SPSCR レジスタは、マスタモードの RSPIA で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSL0i 出力、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIA は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPIA には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認可能です。SPCR.SPE ビットを “1” にして RSPI 機能をイネーブルにすると、RSPIA はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIA は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIA はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

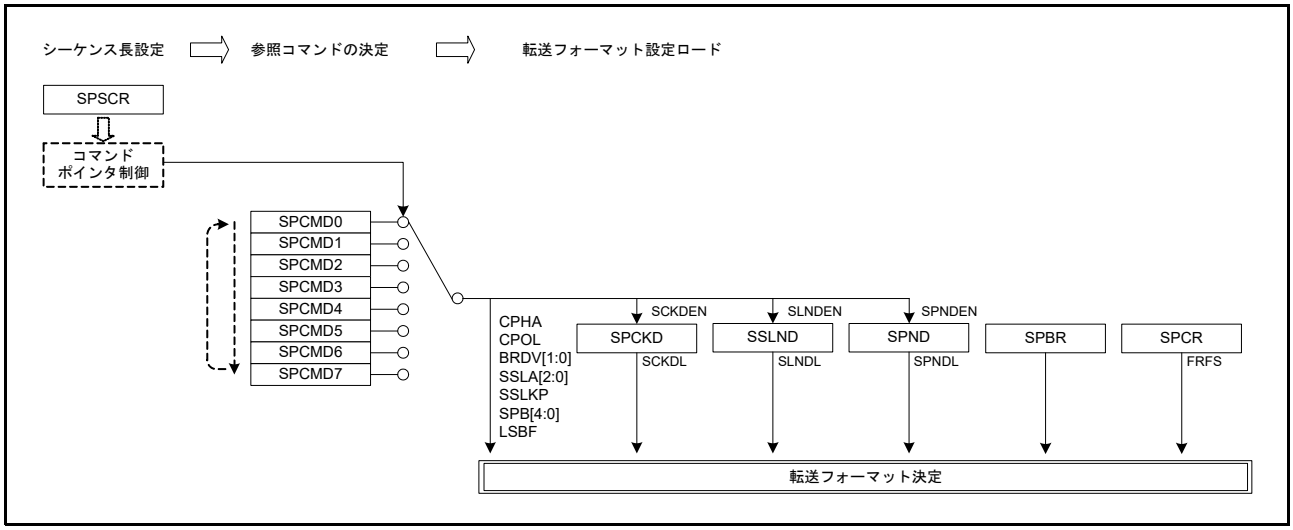


図 38.54　マスタモードでのシリアル転送方式の決定方法

本項では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

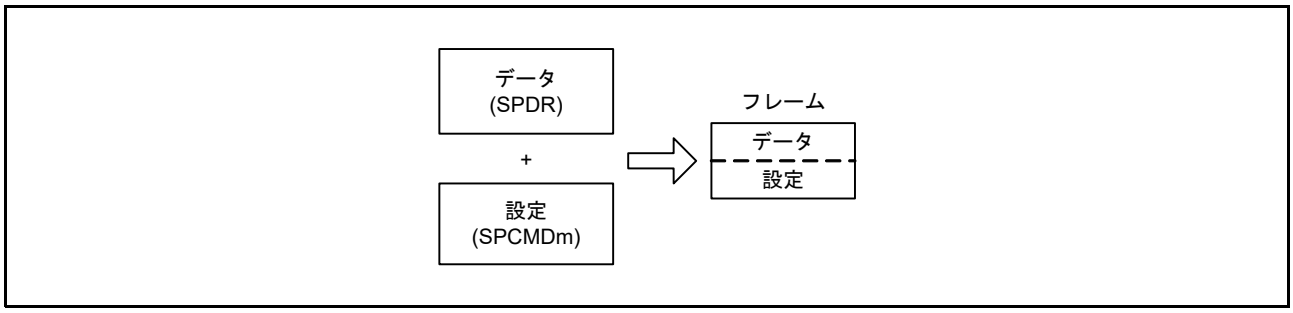


図 38.55　フレーム概念図

シーケンス動作を行ったときのコマンドと送信バッファ (SPTXn, n = 0 ～ 3)/ 受信バッファ (SPRXn, n = 0 ～ 3) の関係を図 38.56 に示します。

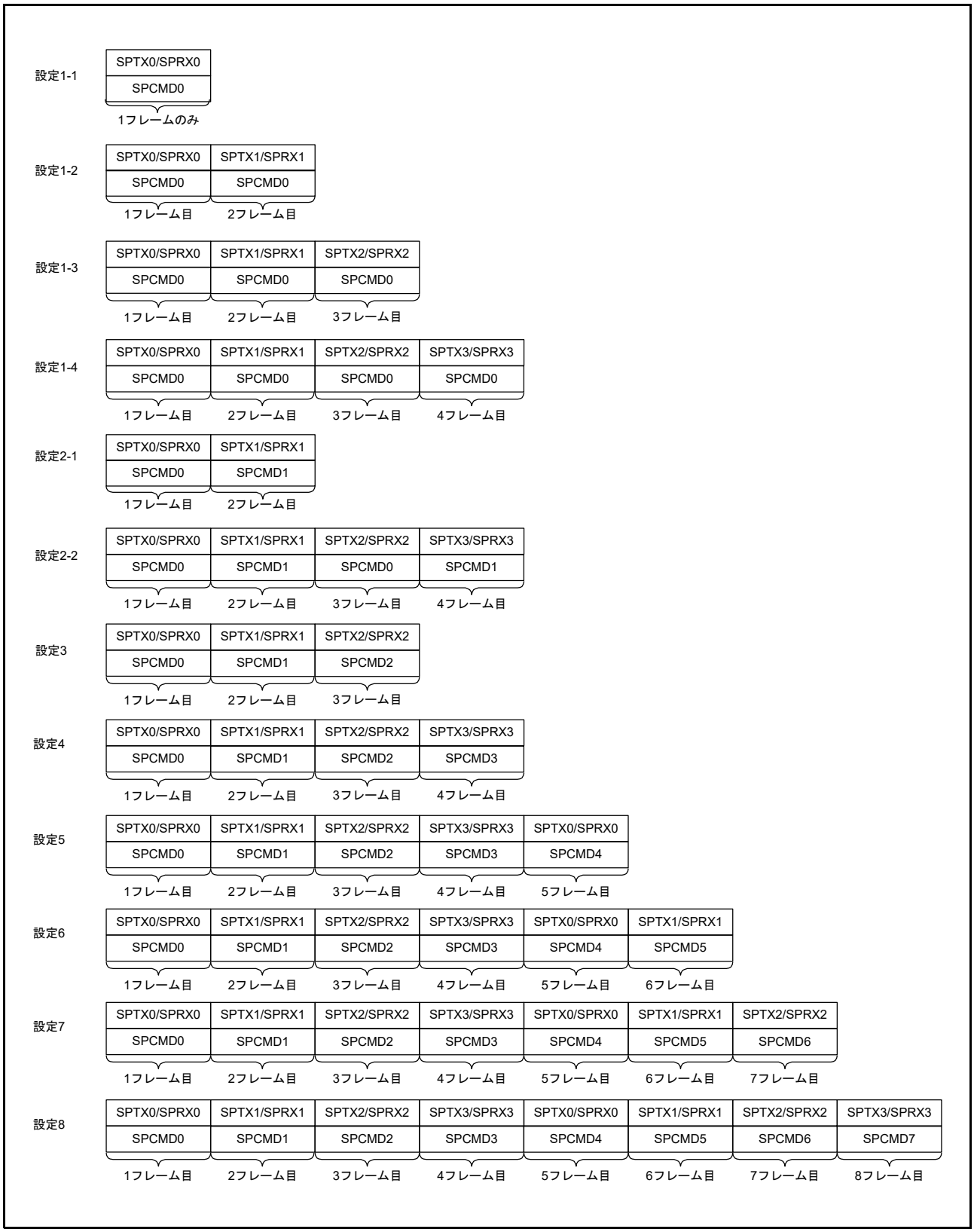


図 38.56　シーケンス動作時の RSPI コマンドレジスタ m と送受信バッファの対応

(4)　バースト転送

[Motorola SPI]

RSPIA が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが “1” の場合には、RSPIA はシリアル転送中の SSL0i 信号レベルを次のシリアル転送の SSL0i 信号アサート開始まで保持します。次のシリアル転送での SSL0i 信号レベルが、現在のシリアル転送での SSL0i 信号レベルと同じであれば、RSPIA は SSL0i 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

- SPCR.SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット) が “0” のとき

図 38.57 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSL0i 信号動作例を示します。図 38.57 に記載した (1) ～ (8) の RSPI 動作内容について、以下に説明します。なお、SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。

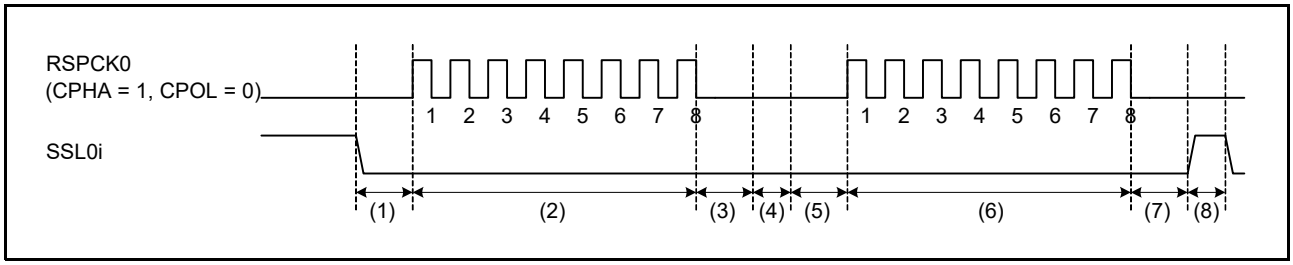


図 38.57　SSLKP ビットを利用したバースト転送動作 (SCKDDIS = 0、FRFS = 0) の例

(1) SPCMD0 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。
(2) SPCMD0 レジスタに従ったシリアル転送を実行します。
(3) SSL ネゲート遅延を挿入します。
(4) 送受信モード / 送信専用モード時、SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSL0i 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ +5 PCLKA 継続されます。最短期間を経過後にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
受信専用モード時、SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSL0i 信号値を保持します。この期間は、SPCMD0 レジスタの次アクセス遅延と同じだけ +5 PCLKA 継続されます。
(5) SPCMD1 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。
(6) SPCMD1 レジスタに従ったシリアル転送を実行します。
(7) SSL ネゲート遅延を挿入します。
(8) SPCMD1.SSLKP ビットが “0” であるため、SSL0i 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注 .　SSLKP ビットに “1” を設定した (バースト転送時に使用する) SPCMDm レジスタでの SSL0i 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSL0i 信号出力設定が異なる場合、RSPIA は次転送のコマンドに対応した SSL0i 信号のアサート時 (5) に SSL0i 信号状態を切り替えます。このような SSL0i 信号の切り替えが発生した場合、MISO0 をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので、注意してください。

マスタモードの RSPIA は、SSLKP ビットを使用しない場合の SSL0i 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが “0” の場合でも、RSPIA は内部で検出した次転送の SSL0i 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値に関わらず実行できます。(「38.3.13　SPI 動作」参照)

- SPCR.SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット) が “1” のとき

図 38.58 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSL0i 信号動作例を示します。(1) ～ (6) の RSPI 動作内容について、以下に説明します。なお、SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。

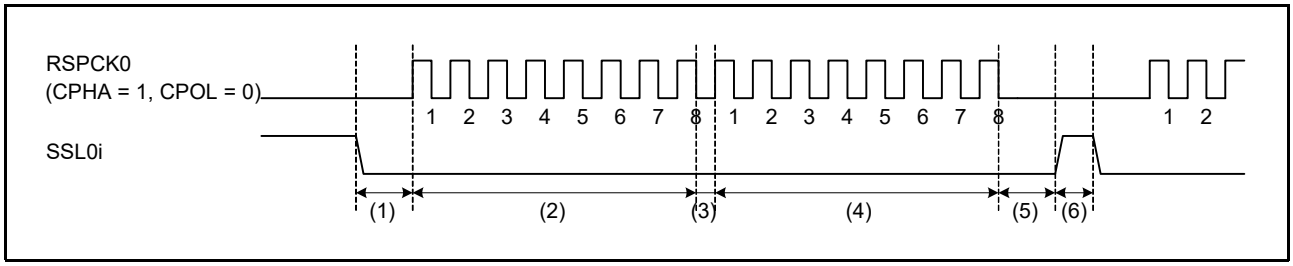


図 38.58　SSLKP ビットを利用したバースト転送動作 (SCKDDIS = 1、FRFS = 0) の例

(1) SPCMD0 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。
RSPCK 遅延の挿入は、バースト転送の先頭フレームにのみ挿入されます
(2) 送受信モード / 送信専用モード時、SPCMD0 レジスタに従ったシリアル転送を実行します。
フレーム間の RSPCK ネゲート期間中にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、最終クロックの出力を待ちます。
受信専用モード時、SPCMD0 レジスタに従ったシリアル転送を実行します。
(3) 送受信モード / 送信専用モード時、SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSL0i 信号値を保持します。シフトレジスタがエンプティでない場合は、フレーム間の RSPCK ネゲートは、次フレームの 0.5 RSPCK となります。
受信専用モード時、最終フレーム (注 1) ではないため、SPCMD0 レジスタでの SSL0i 信号値を保持します。フレーム間の RSPCK ネゲートは、次フレームの 0.5 RSPCK となります。
(4) SPCMD1 レジスタに従ったシリアル転送を実行します。
(5) 最終フレームでは、SSL0i ネゲート遅延を挿入します。
(6) 送受信モード / 送信専用モード時、SPCMD1.SSLKP ビットが “0” であるため、SSL0i 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。
受信専用モード時、SSL0i 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注 1.　受信専用モード時、最終フレームとは SPRMCR.RFC[4:0] ≠ 00000b のときに RFC[4:0] ビットで設定したフレーム、もしくは、SPRMCR.TERM = 1 が受け付けられたフレームを指します。

[TI SSP]

RSPIA はシリアル転送開始時に SSL0i 信号を 1 サイクルアサートします。

次のシリアル転送開始時に SSL0i 信号を 1 サイクルアサートすることで連続的にシリアル転送を実行することができます (バースト転送)。

- SPCMDm.SSLKP ビット (SSL 信号レベル保持ビット) が “1”、SPCR.SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット) が “1” のとき

図 38.59 に SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSL0i 信号動作とシリアルデータ MISO0/MOSI0 例を示します。(1) ～ (6) の RSPI 動作内容について、以下に説明します。なお、SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。

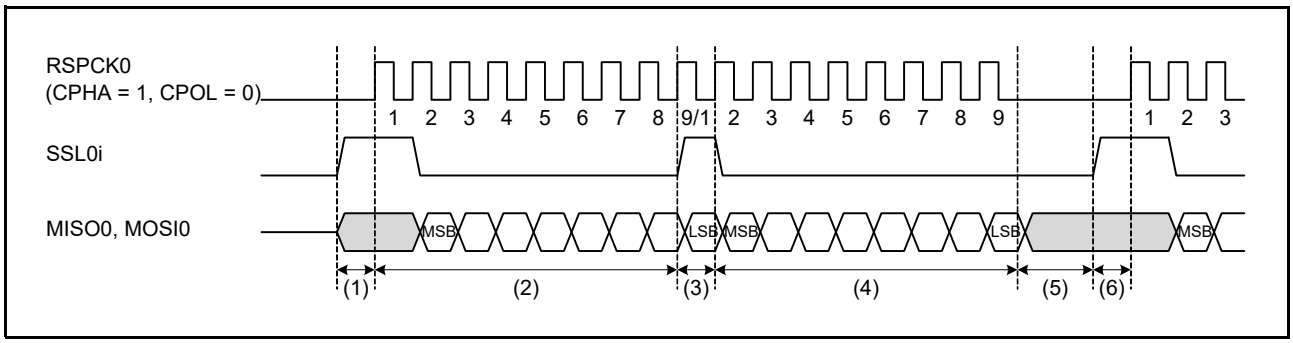


図 38.59　バースト転送動作 (FRFS = 1) の例

(1) SPCMD0 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。
RSPCK 遅延の挿入は、バースト転送の先頭フレームにのみ挿入されます
(2) SPCMD0 レジスタに従ったシリアル転送を実行します。
(3) 最終データ転送と SSL0i アサートが同時に行われます。
送受信モード / 送信専用モード時、フレーム間 RSPCK ネゲート期間中にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、最終クロックの出力を待ちます。
(4) SPCMD1 レジスタに従ったシリアル転送を実行します。
(5) 最終フレーム (注 1) では、SSL0i ネゲート遅延を挿入します。
(6) SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注 1.　受信専用モード時、最終フレームとは SPRMCR.RFC[4:0] ≠ 00000b のときに RFC[4:0] ビットで設定したフレーム、もしくは、SPRMCR.TERM = 1 が受け付けられたフレームを指します。

注 .　SSLKP ビットに “1” を設定した (バースト転送時に使用する) SPCMDm レジスタでの SSL0i 信号出力設定と、次転送で使用する SPCMDm での SSL0i 信号出力設定が異なる場合、RSPIA は次転送のコマンドに対応した SSL0i 信号のアサート時 (5) に SSL0i 信号状態を切り替えます。このような SSL0i 信号の切り替えが発生した場合、MISO0 をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので、注意してください。

(5) RSPCK 遅延 (t1)

マスタモードの RSPIA の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPIA は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD.SCKDL[2:0] ビットを使用して、**表 38.10** のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、**「38.3.5　転送フォーマット (フレームフォーマット)」**を参照してください。

バースト転送フレーム間遅延なしの転送を行う場合 (SPCMDm.SSLKP = 1、かつ SPCR.SCKDDIS = 1)、RSPCK 遅延はバースト転送の先頭フレームのみ挿入されます。

表38.10　SCKDENビット、SCKDL[2:0]ビットとRSPCK遅延の関係

SCKDEN ビット	SCKDL[2:0] ビット	RSPCK遅延値	
		Motorola SPI	TI SSP
0	000b ～ 111b	1 RSPCK	0 RSPCK
1	000b	1 RSPCK	1 RSPCK
	001b	2 RSPCK	2 RSPCK
	010b	3 RSPCK	3 RSPCK
	011b	4 RSPCK	4 RSPCK
	100b	5 RSPCK	5 RSPCK
	101b	6 RSPCK	6 RSPCK
	110b	7 RSPCK	7 RSPCK
	111b	8 RSPCK	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードの RSPIA の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPIA は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND.SLNDL[2:0] ビットを使用して、**表 38.11** のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、**「38.3.5　転送フォーマット (フレームフォーマット)」**を参照してください。

バースト転送フレーム間遅延なしの転送を行う場合 (SPCMDm.SSLKP = 1、かつ SPCR.SCKDDIS = 1)、SSL ネゲート遅延はバースト転送の最終フレームのみ挿入されます。

表38.11　SLNDENビット、SLNDL[2:0]ビットとSSLネゲート遅延値の関係

SLNDEN ビット	SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000b ～ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードの RSPIA の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPIA は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND.SPNDL[2:0] ビットを使用して、**表 38.12** のようにシリアル転送時の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、**「38.3.5 転送フォーマット (フレームフォーマット)」**を参照してください。

バースト転送フレーム間遅延なしの転送を行う場合 (SPCMDm.SSLKP = 1、かつ SPCR.SCKDDIS = 1)、次アクセス遅延はバースト転送の最終フレームのみ挿入されます。

表38.12　SPNDENビット、SPNDL[2:0]ビットと次アクセス遅延の関係

SPNDEN ビット	SPNDL[2:0] ビット	次アクセス遅延値
0	000 ～ 111b	1 RSPCK + 5 PCLKA
1	000b	1 RSPCK + 5 PCLKA
	001b	2 RSPCK + 5 PCLKA
	010b	3 RSPCK + 5 PCLKA
	011b	4 RSPCK + 5 PCLKA
	100b	5 RSPCK + 5 PCLKA
	101b	6 RSPCK + 5 PCLKA
	110b	7 RSPCK + 5 PCLKA
	111b	8 RSPCK + 5 PCLKA

(8)　初期化フロー

図 38.60 に、SPI 動作時の RSPIA をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

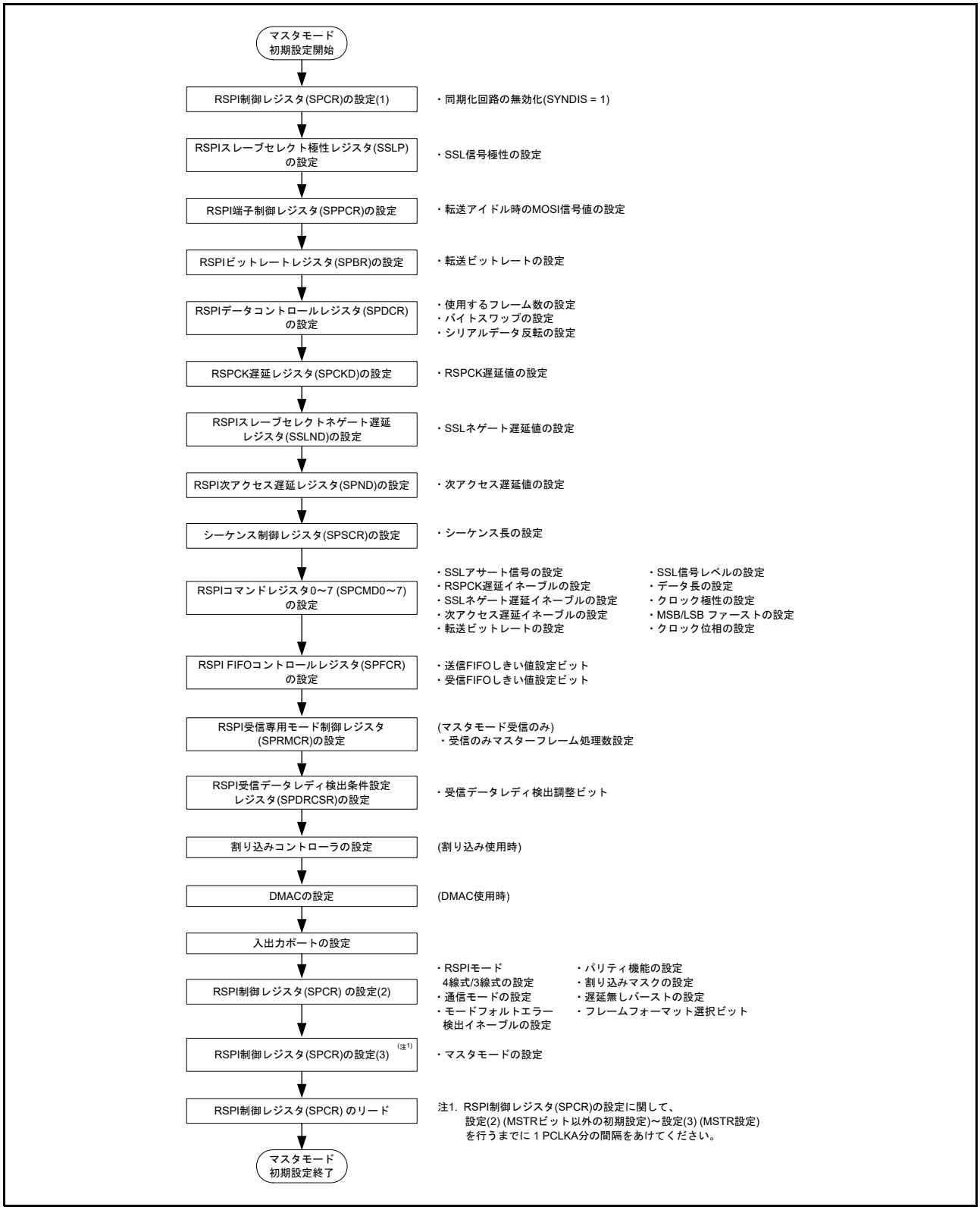


図 38.60　マスタモード時の初期化フロー例

(9)　ソフトウェア処理フロー

ソフトウェア処理の例を図 38.61 ～図 38.63 に示します。

(a)　送信処理フロー

送信を行う場合、最終データの書き込み完了後、SPII または、SPCI 割り込みを許可することにより、全データ送信完了を CPU に通知することが可能です。

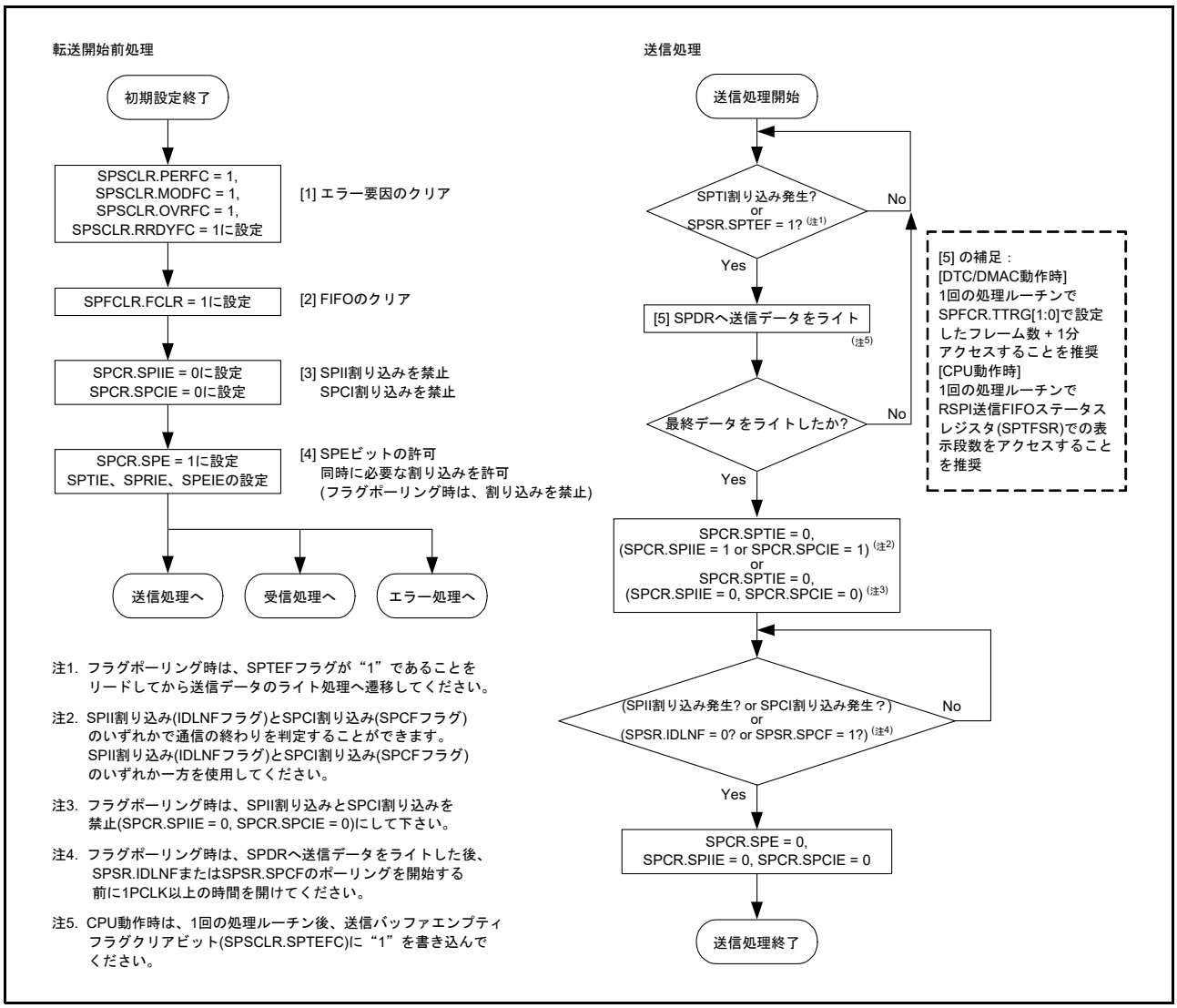


図 38.61　マスタモード時のフローチャート (送信)

(b)　受信処理フロー

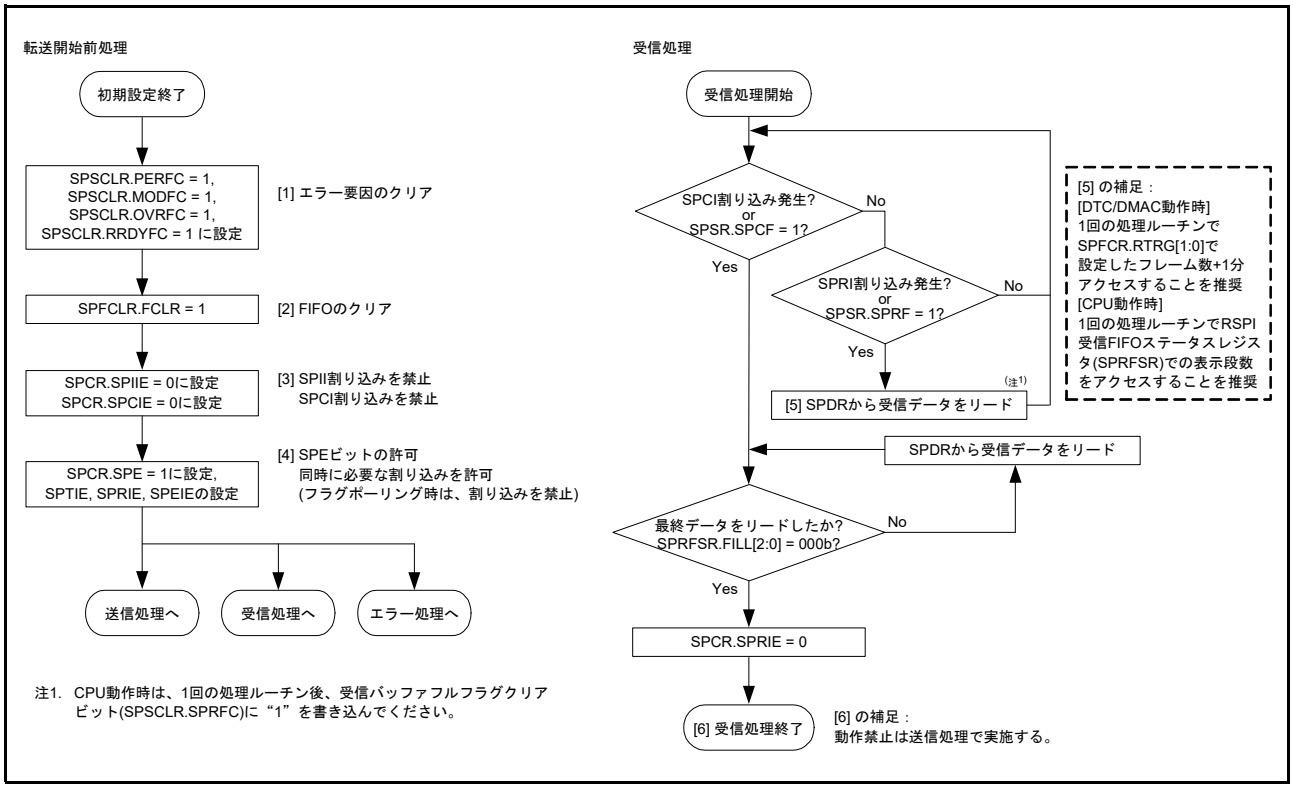


図 38.62　マスタモード時のフローチャート (受信)

(c)　受信専用モード処理フロー

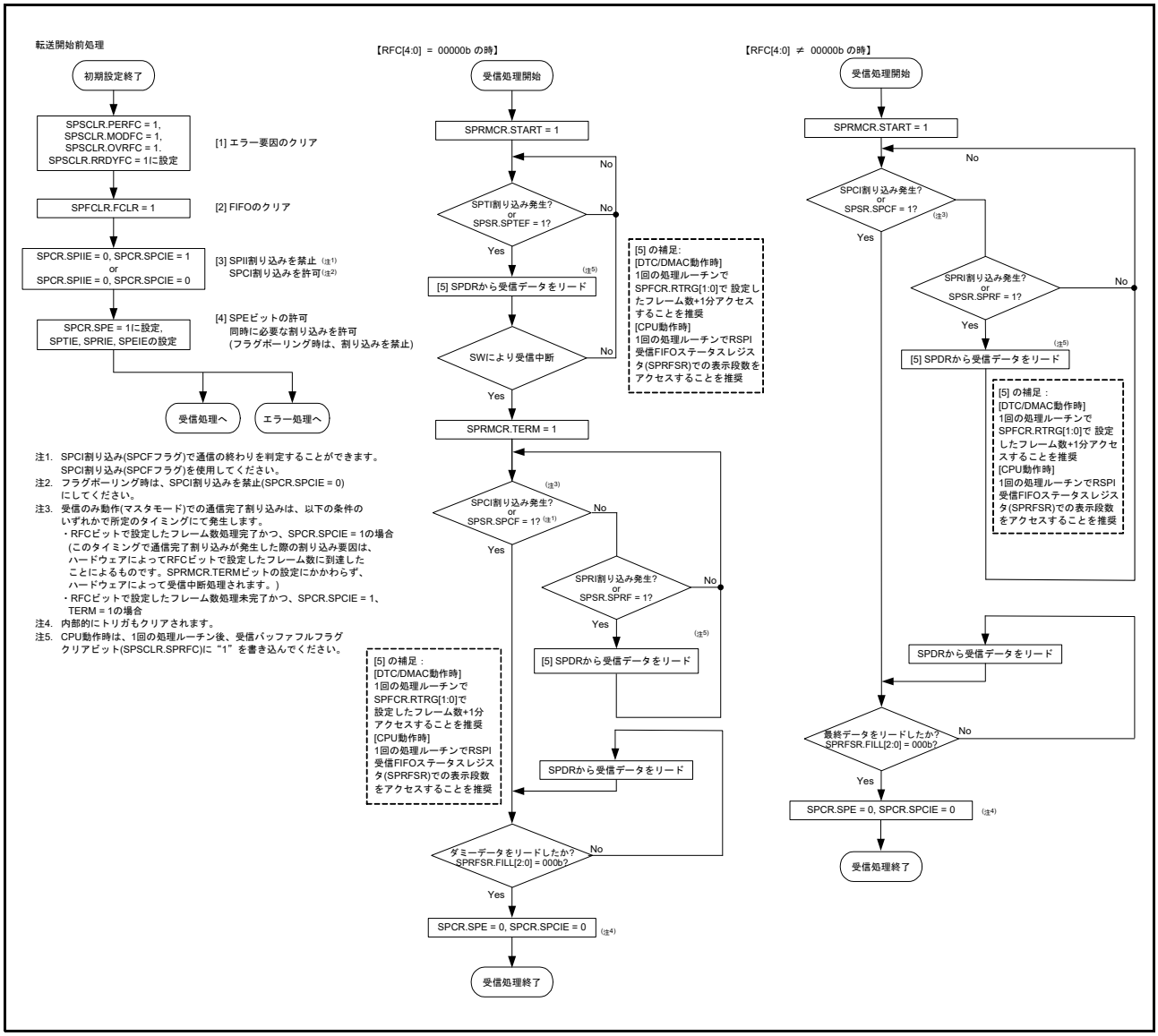


図 38.63　マスタモード時のフローチャート (受信専用)

(d)　エラー処理フロー

モードフォルトエラー発生時は、SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因のエラーが発生した場合は、SPECM[2:0] ビットが更新されてしまうため、SPE ビットをクリアし動作を停止することを推奨します。

割り込みを使用し、エラーが発生した場合は、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファをリードして RSPIA の内部シーケンサを初期化してください。

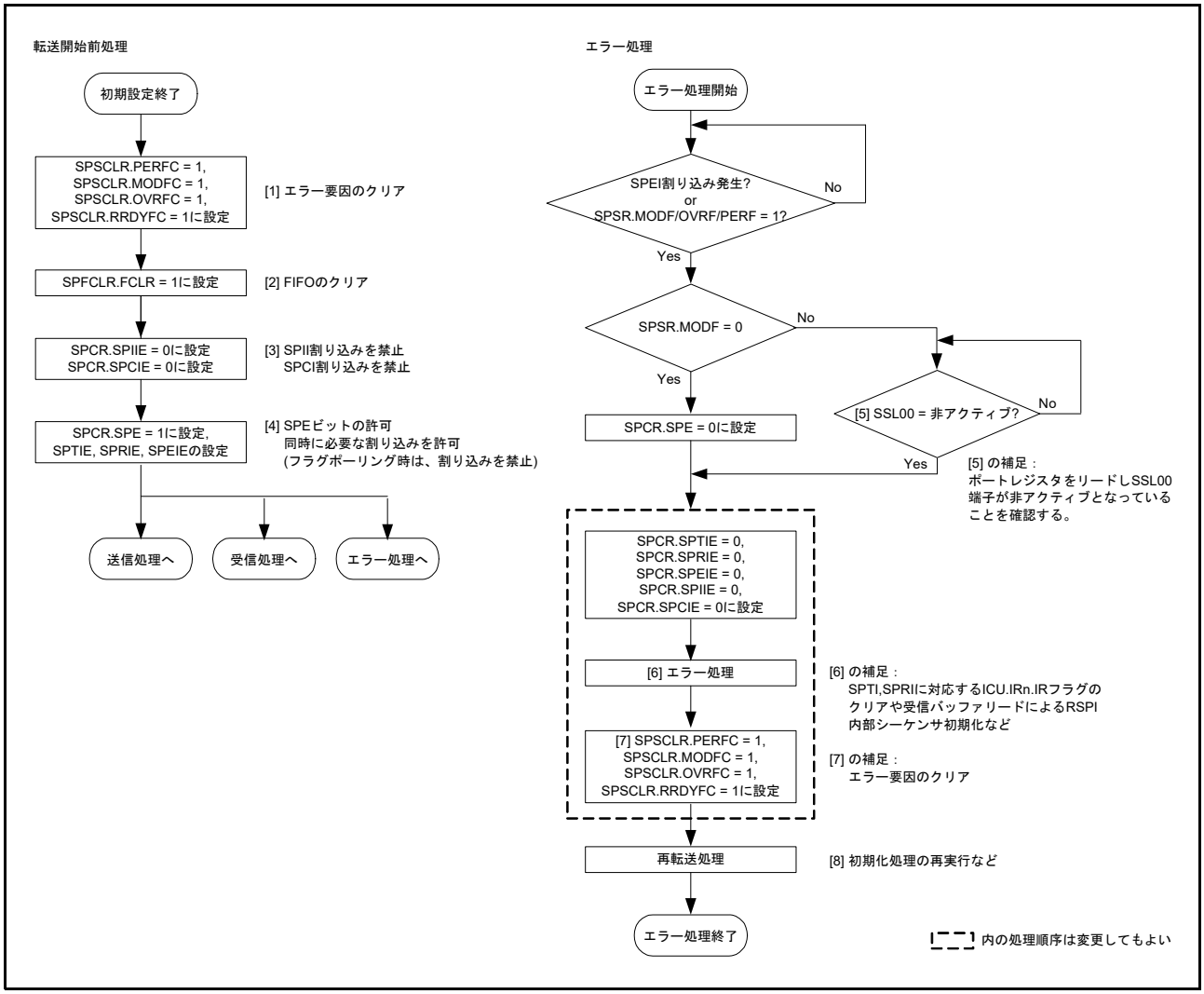


図 38.64　マスタモード時のフローチャート (エラー)

38.3.13.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが “0” の場合、RSPIA が SSL00 入力信号のアサートを検出すると、MISO0 出力信号への有効データのドライブを開始する必要があります。このため、SSL00 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが “1” の場合、RSPIA は SSL00 入力信号のアサート状態で最初の RSPCK0 エッジを検出すると、MISO0 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が “1” の場合には、SSL00 信号アサート状態における最初の RSPCK0 エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定に依存せず、RSPIA が MISO0 出力信号のドライブを開始するタイミングは、SSL00 信号アサートタイミングとなります。CPHA ビットの設定によって、RSPIA が出力するデータの有効 / 無効が異なります。

なお、RSPIA の転送フォーマットの詳細については、**「38.3.5　転送フォーマット (フレームフォーマット)」**を参照してください。SSL00 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2)　シリアル転送の終了

SPCMD0.CPHA ビットに関わらず、RSPIA は最終サンプリングタイミングに相当する RSPCK0 エッジを検出するとシリアル転送を終了します。受信 FIFO のデータ格納数が FIFO 段数より少ない場合には、シリアル転送の終了後に、RSPIA はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態に関わらず、RSPIA はシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了の間に RSPIA が SSL00 入力信号のネゲートを検出するとモードフォルトエラーが発生します (**「38.3.10　エラー検出」**参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPIA のデータ長は SPCMD0.SPB[4:0] ビットの設定値に依存します。SSL00 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPIA の転送フォーマットの詳細については、**「38.3.5　転送フォーマット (フレームフォーマット)」**を参照してください。

(3)　シングルスレーブ時の注意点

[Motorola SPI]

SPCMD0.CPHA ビットが “0” の場合には、RSPIA は SSL00 入力信号のアサートエッジを検出するとシリアル転送を開始します。**図 38.7** の例に示したような構成で RSPIA をシングルスレーブで使用する場合には、SSL00 入力信号が常にアクティブ状態に固定されるため、CPHA を “0” に設定した RSPIA ではシリアル転送を正しく開始できません。SSL00 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPIA の送受信を正しく実行するためには、CPHA ビットを “1” にしてください。CPHA ビットを “0” にする必要がある場合には、SSL00 入力信号を固定しないでください。

[TI SSP]

TI SSP プロトコル時は、**図 38.7** の例に示したような構成で RSPIA をシングルスレーブで使用する場合には、SSL00 入力信号が常に非アクティブ状態に固定されるため、RSPIA ではシリアル転送を正しく開始できません。

シングルスレーブで使用する場合は、**図 38.6** の例で示した構成で使用してください。

(4) バースト転送

[Motorola SPI]

SPCMD0.CPHA ビットが “1” の場合、SSL00 入力信号のアサート状態を保持したままで、連続的なシリアル転送 (バースト転送) を実行することが可能です。CPHA ビットが “1” の場合には、SSL00 入力信号アクティブ状態における最初の RSPCK0 エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL00 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが “0” の場合には、(3) と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

[TI SSP]

シリアル転送は SSL0i 入力信号が 1 サイクルアサート後にデータ転送が開始されます。

SSL0i 入力信号が起点でフレーム転送が開始されるため、フレーム間で SSL のアサートが必要です。

(5) 初期化フロー

図 38.65 に SPI 動作時、RSPIA をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

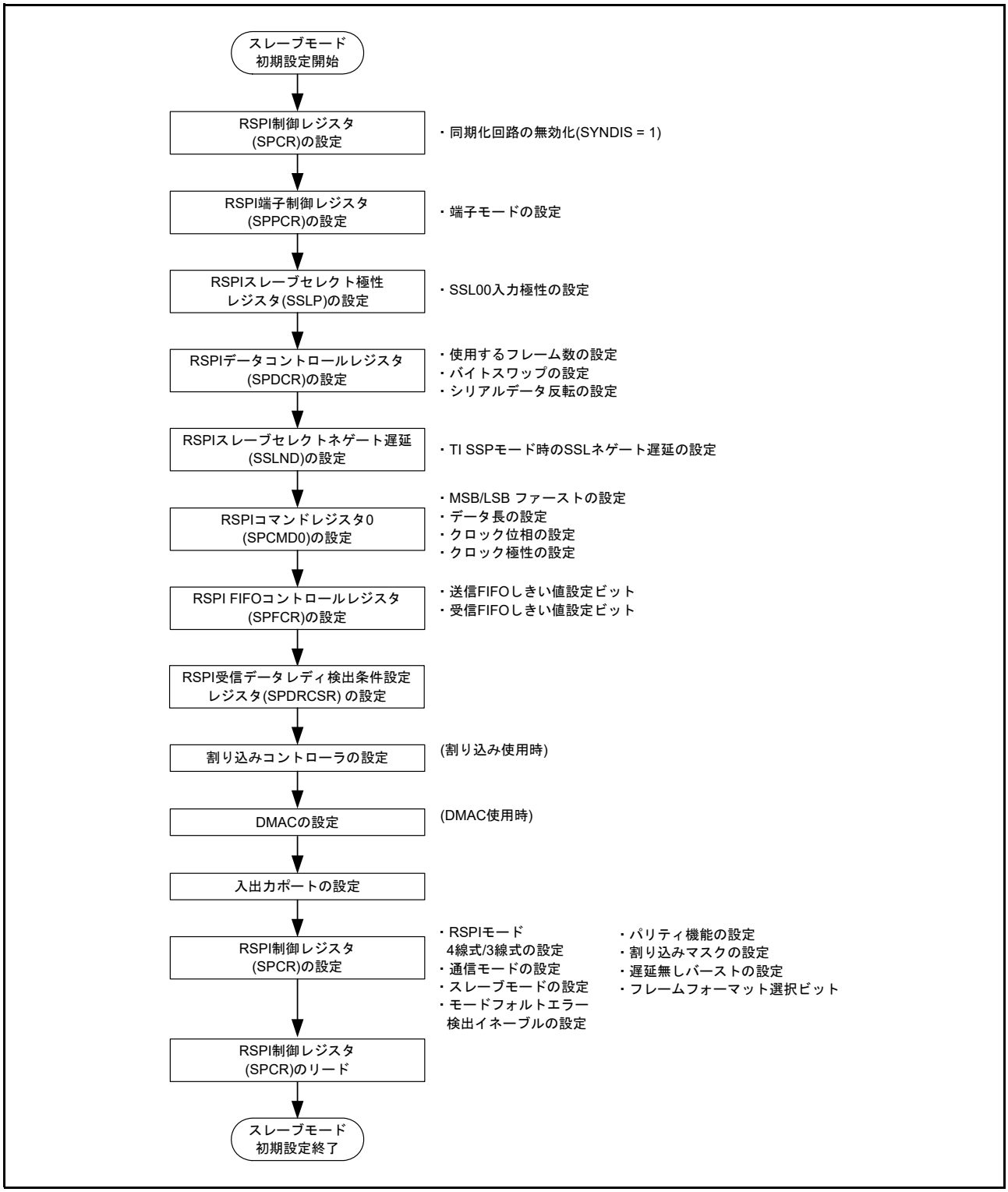
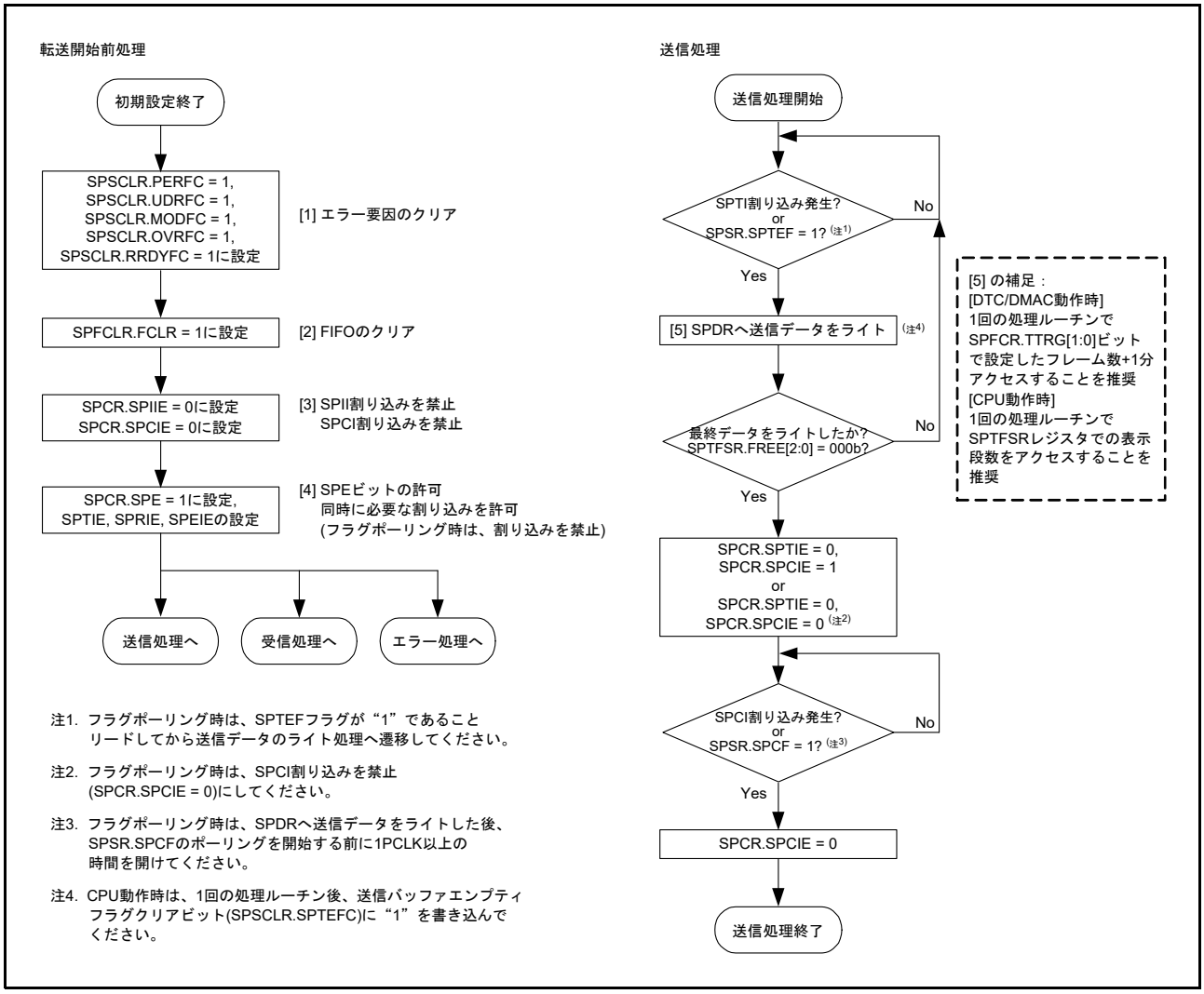


図 38.65　スレーブモード時の初期化フロー例

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 38.66 ～図 38.69 に示します。

(a) 送信処理フロー



注1. フラグポーリング時は、SPTEFフラグが“1”であること
リードしてから送信データのライト処理へ遷移してください。

注2. フラグポーリング時は、SPCI割り込みを禁止
(SPCR.SPCIE = 0)にしてください。

注3. フラグポーリング時は、SPDRへ送信データをライトした後、
SPSR.SPCFのポーリングを開始する前に1PCLK以上の
時間を開けてください。

注4. CPU動作時は、1回の処理ルーチン後、送信バッファエンプティ
フラグクリアビット(SPSCLR.SPTEFC)に“1”を書き込んで
ください。

図 38.66　スレーブモード時のフローチャート (送信)

(b)　受信処理フロー

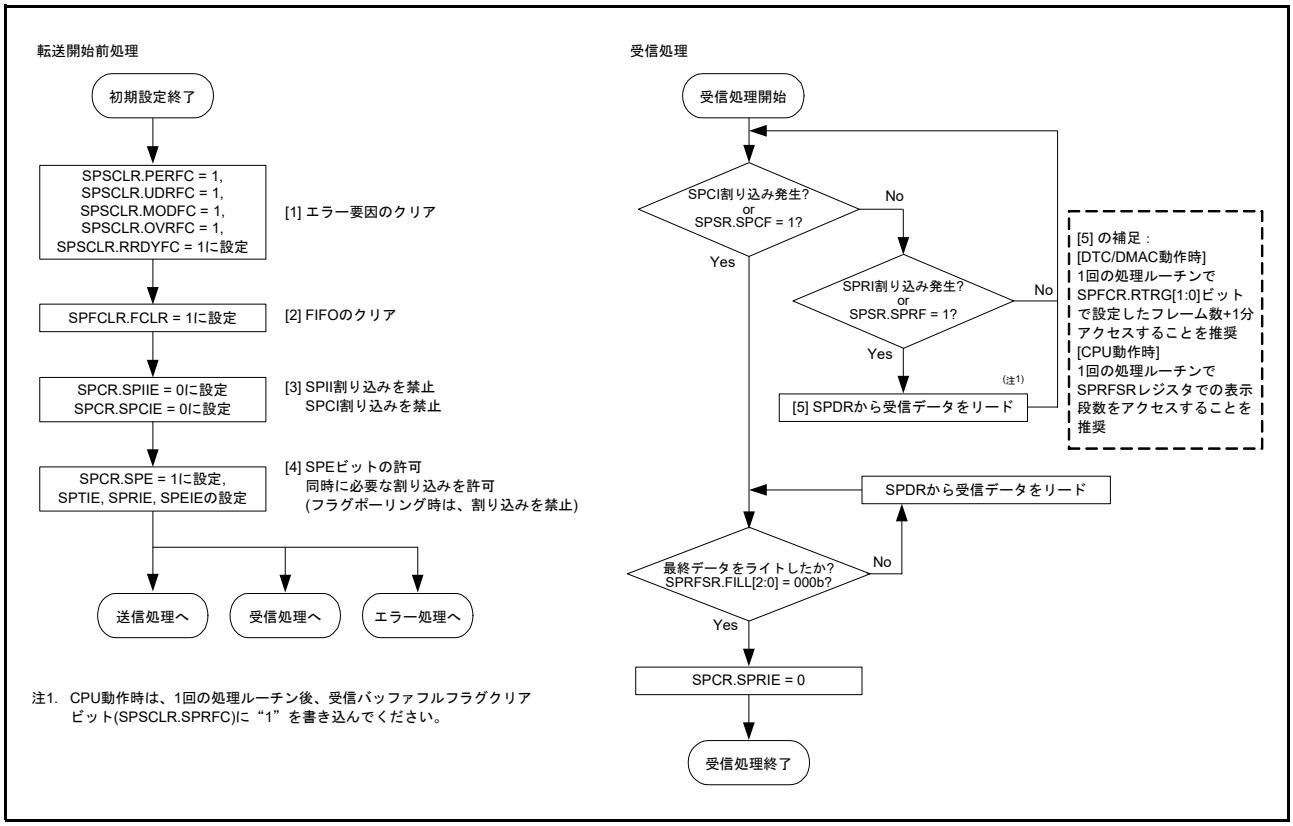


図 38.67　スレーブモード時のフローチャート (受信)

(c)　受信専用モード処理フロー

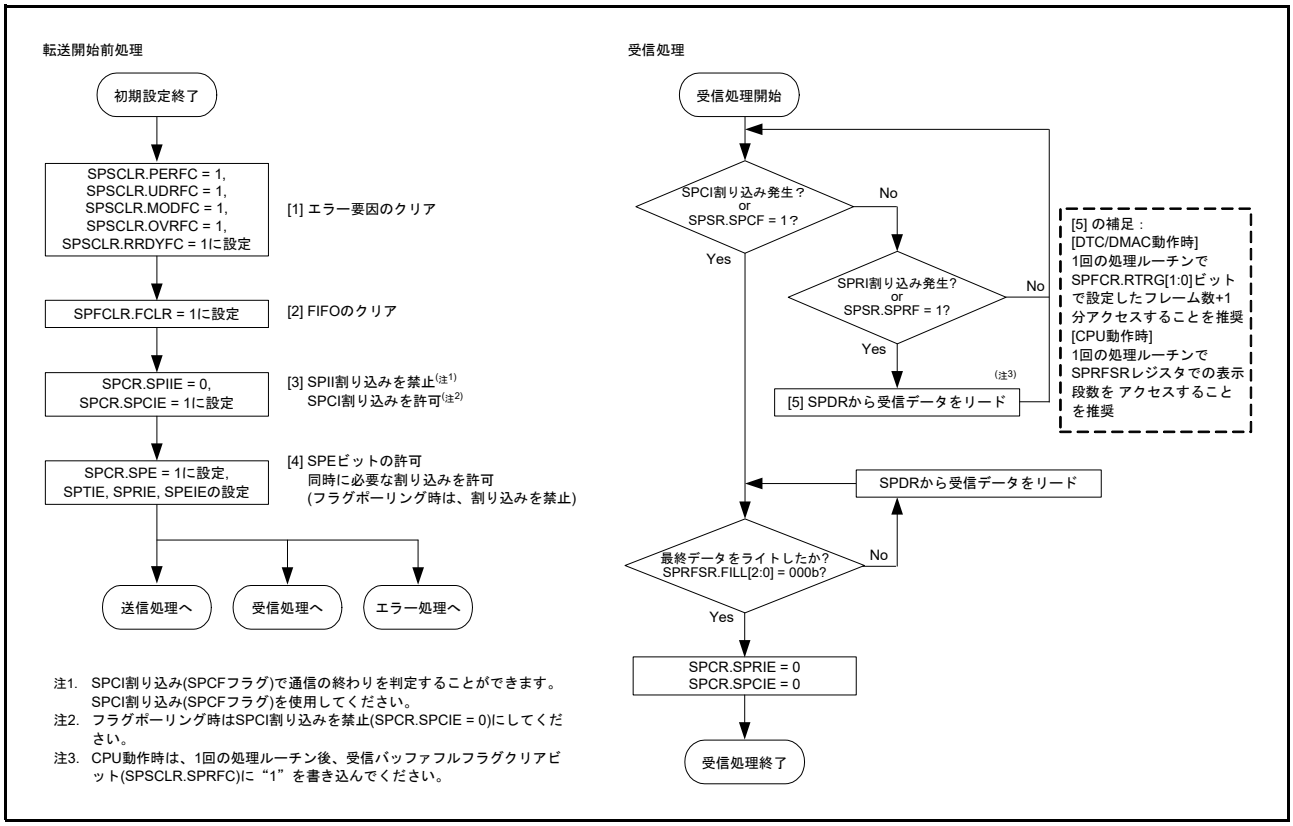


図 38.68　スレーブモード時のフローチャート (受信専用)

(d)　エラー処理フロー

スレーブモード動作では、モードフォルトエラーが発生しても SSL00 端子の状態に関わらず MODF フラグをクリアすることができます。

割り込みを使用し、エラーが発生した場合は、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファをリードして RSPIA の内部シーケンサを初期化してください。

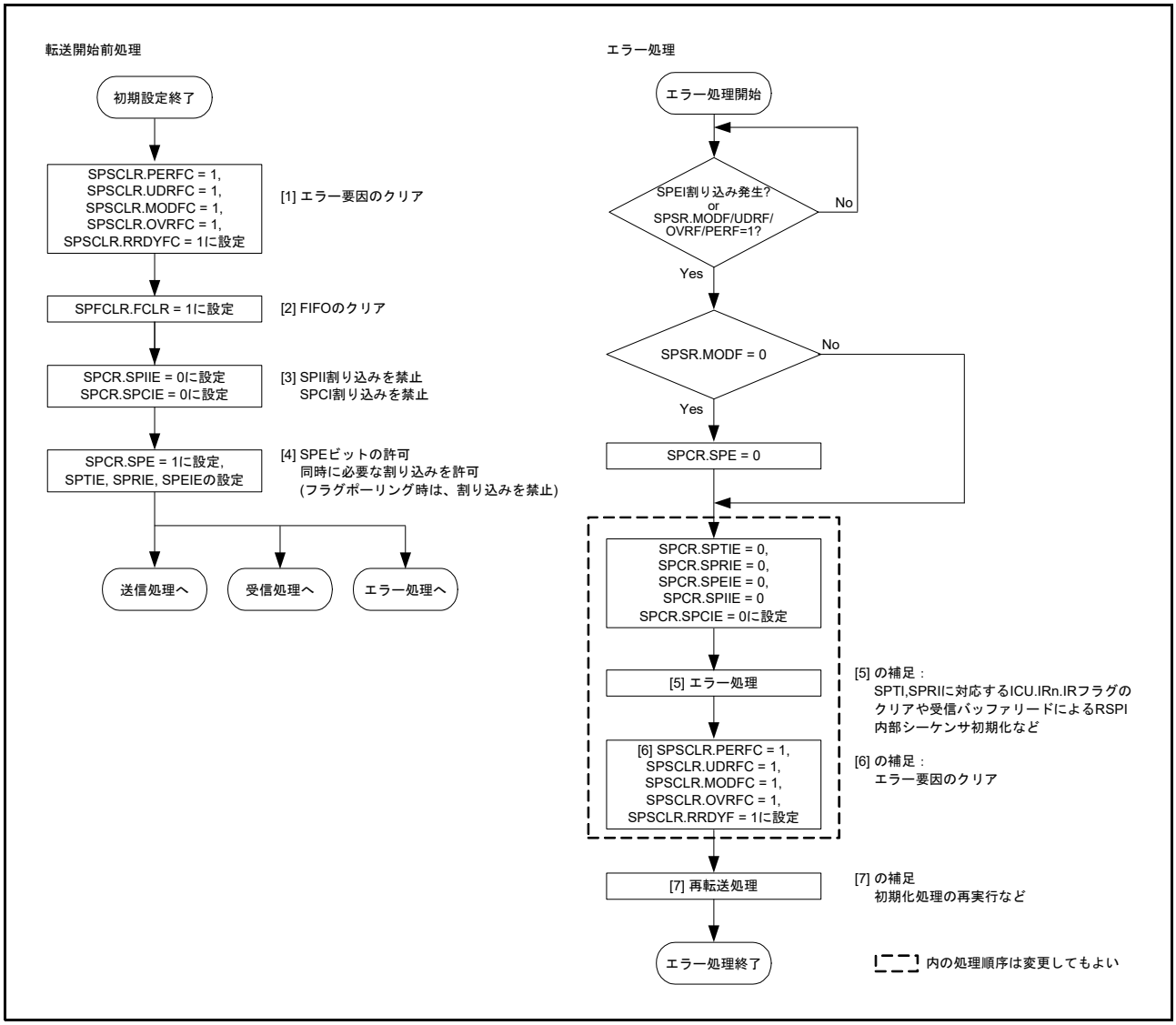


図 38.69　スレーブモード時のフローチャート (エラー)

38.3.14　クロック同期式動作

RSPIA は、SPCR.SPMS ビットが “1” であるとき、クロック同期式動作となります。クロック同期式動作は、SSL0i 端子を使用せず、RSPCK0、MOSI0、MISO0 の 3 本の端子を用いて通信を行い、SSL0i 端子は I/O ポートとして使用することが出来ます。

クロック同期式動作は、SSL0i 端子を使用せず通信を行いますが、モジュール内部の動作は SPI 動作と同様の動作を行います。マスタモード動作、スレーブモード動作において、SPI 動作時と同様のフローで通信を行うことが出来ますが、SSL0i 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを “0” に設定した場合の動作について保証しておりません。

38.3.14.1　マスタモード動作

(1)　シリアル転送の開始

送信 FIFO に次転送のデータがセットされていない状態で、SPDR レジスタへデータを書き込むと、RSPIA は SPDR レジスタの送信バッファ (SPTXn, n = 0 ～ 3) のデータを更新します。シフトレジスタがエンプティの場合には、RSPIA は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIA は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIA の転送フォーマットの詳細については、「38.3.5　転送フォーマット (フレームフォーマット)」を参照してください。ただし、クロック同期式動作時は SSL0i 出力を用いず通信を行います。

(2)　シリアル転送の終了

RSPIA は最終サンプリングタイミングに対応する RSPCK0 エッジを送出するとシリアル転送を終了します。受信 FIFO のデータ格納数が FIFO 段数より少ない場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPIA のデータ長は、SPCMDm.SPB[4:0] ビットの設定値に依存します。RSPIA の転送フォーマットの詳細については、「38.3.5　転送フォーマット (フレームフォーマット)」を参照してください。ただし、クロック同期式動作時は SSL0i 出力を用いず通信を行います。

(3)　シーケンス制御

マスタモード時の転送フォーマットは、以下によって決定されます。

- RSPI シーケンス制御レジスタ (SPSCR)
- RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7)
- RSPI ビットレートレジスタ (SPBR)
- RSPI クロック遅延値レジスタ (SPCKD)
- RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)
- RSPI 次アクセス遅延値レジスタ (SPND) によって決定されます。

クロック同期式動作時は、SSL0i 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPIA で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND の参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIA は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPIA には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認可能です。SPCR.SPE ビットを “1” にして RSPI 機能をイネーブルにすると、RSPIA はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIA は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIA はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

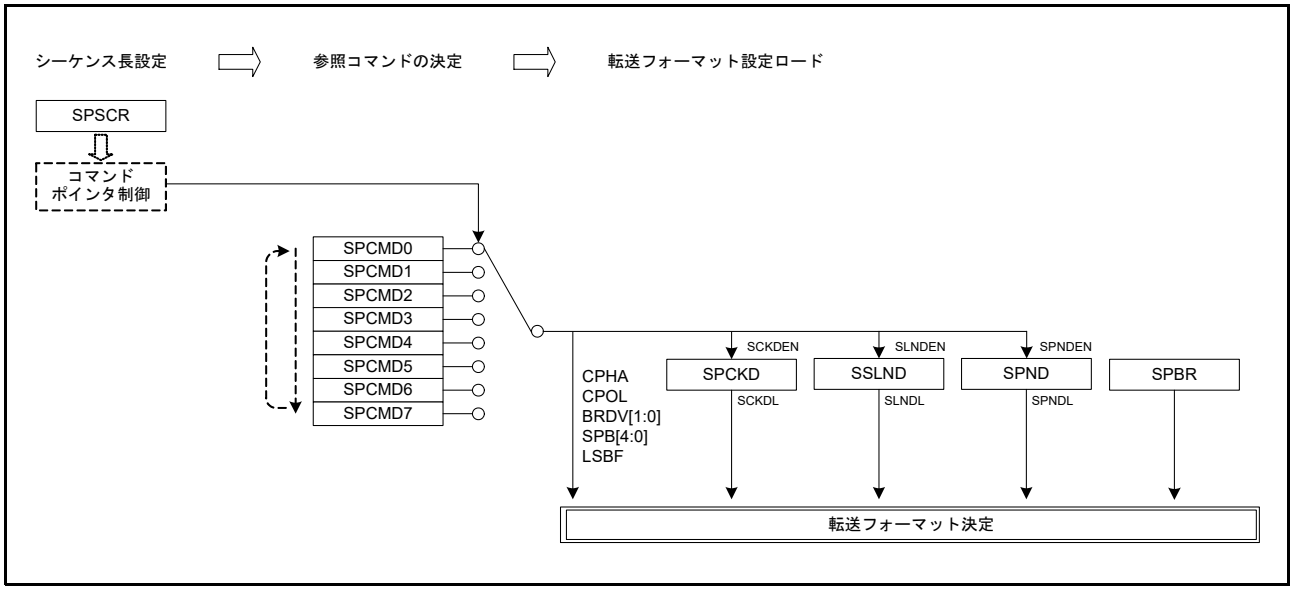


図 38.70　マスタモードでのシリアル転送方式の決定方法

本項では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

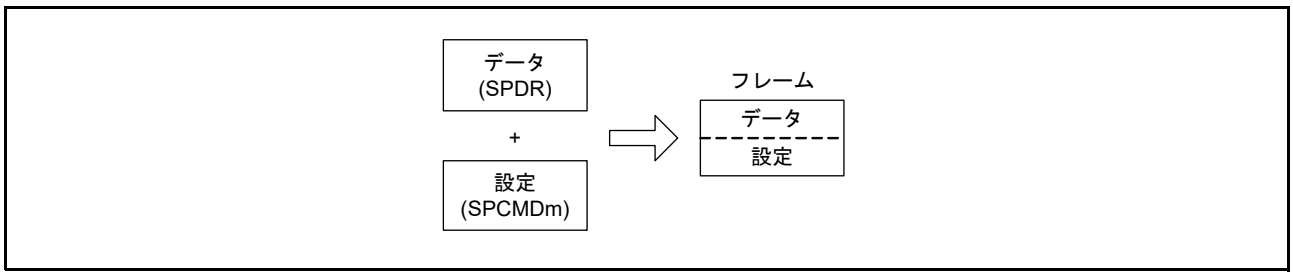


図 38.71　フレーム概念図

シーケンス動作を行ったときのコマンドと送信バッファ (SPTXn, n = 0 ～ 3)/ 受信バッファ (SPRXn, n = 0 ～ 3) の関係を図 38.72 に示します。

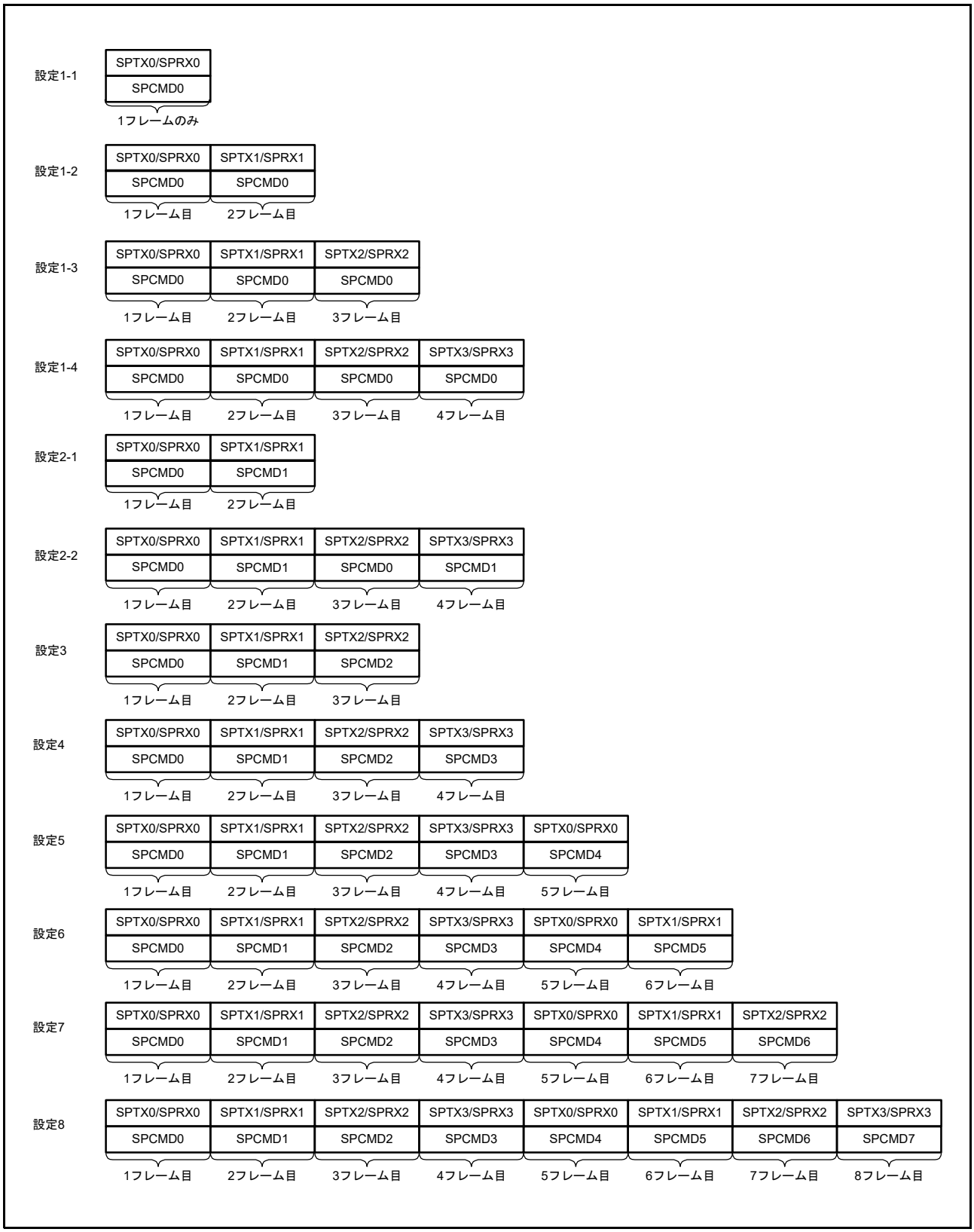


図 38.72　シーケンス動作時の RSPI コマンドレジスタ m と送受信バッファの対応

(4)　初期化フロー

図 38.73 に、クロック同期式動作時の RSPIA をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

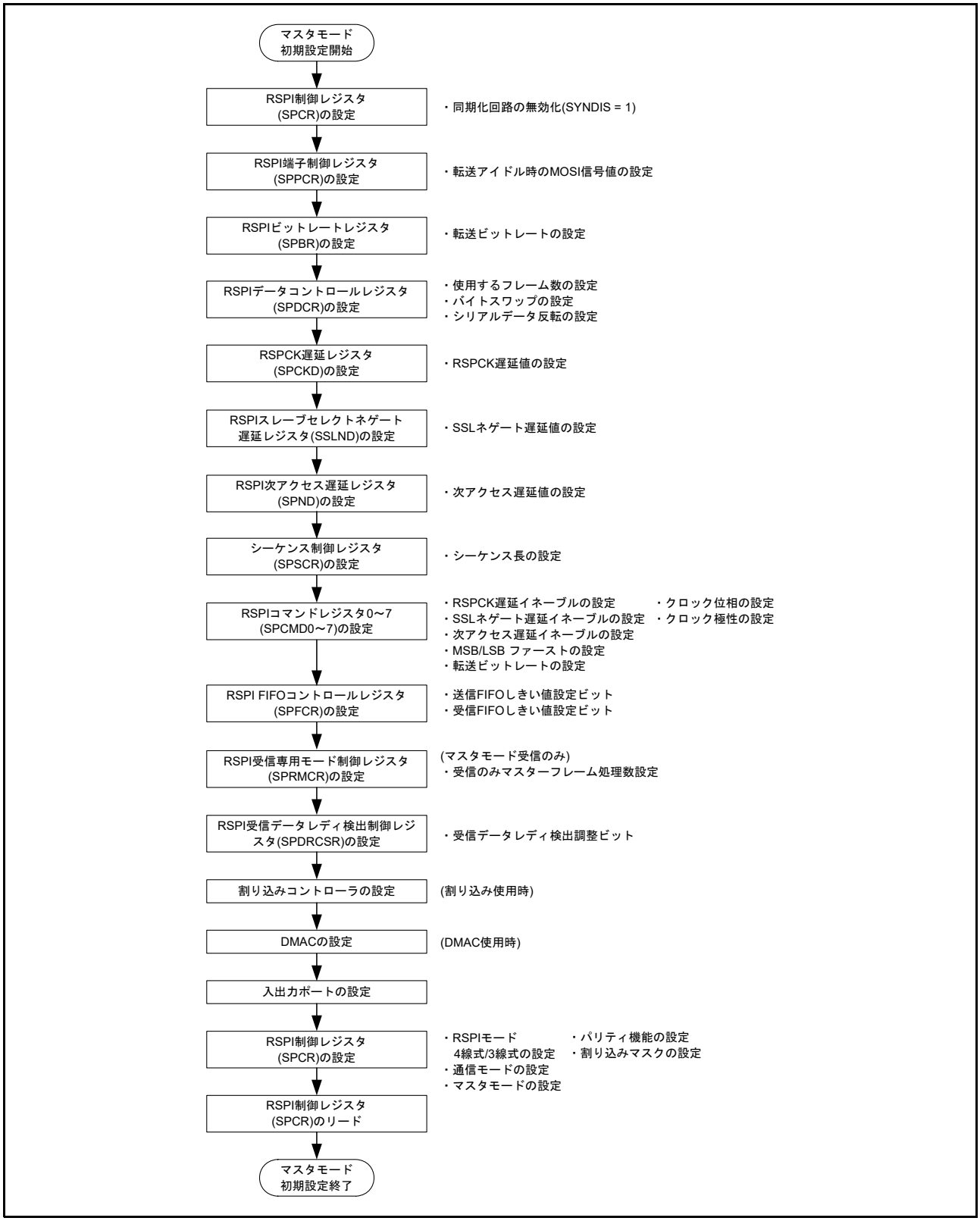


図 38.73　マスタモード時の初期化フロー例

(5)　ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI 動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「38.3.13.1 (9)　**ソフトウェア処理フロー**」を参照してください。ただし、モードフォルトエラーの発生はありません。

38.3.14.2　スレーブモード動作

(1)　シリアル転送の開始

RSPIA は、SPCR.SPMS ビットが “1” であるとき、最初の RSPCK0 エッジがシリアル転送開始のトリガになります。

SPMS ビットが “1” であるときは、RSPIA は MISO0 出力信号を常にドライブします。

なお、RSPIA の転送フォーマットの詳細については、「38.3.5　**転送フォーマット (フレームフォーマット)**」を参照してください。ただし、クロック同期式動作時は SSL00 入力信号を用いません。

(2)　シリアル転送の終了

RSPIA は最終サンプリングタイミングに相当する RSPCK0 エッジを検出するとシリアル転送を終了します。受信 FIFO のデータ格納数が FIFO 段数より少ない場合には、シリアル転送の終了後に、RSPIA はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態に関わらず、RSPIA はシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPIA のデータ長は SPCMD0.SPB[4:0] ビットの設定値に依存します。RSPIA の転送フォーマットの詳細については、「38.3.5　**転送フォーマット (フレームフォーマット)**」を参照してください。

(3)　初期化フロー

図 38.74 に、クロック同期式動作時の RSPIA をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

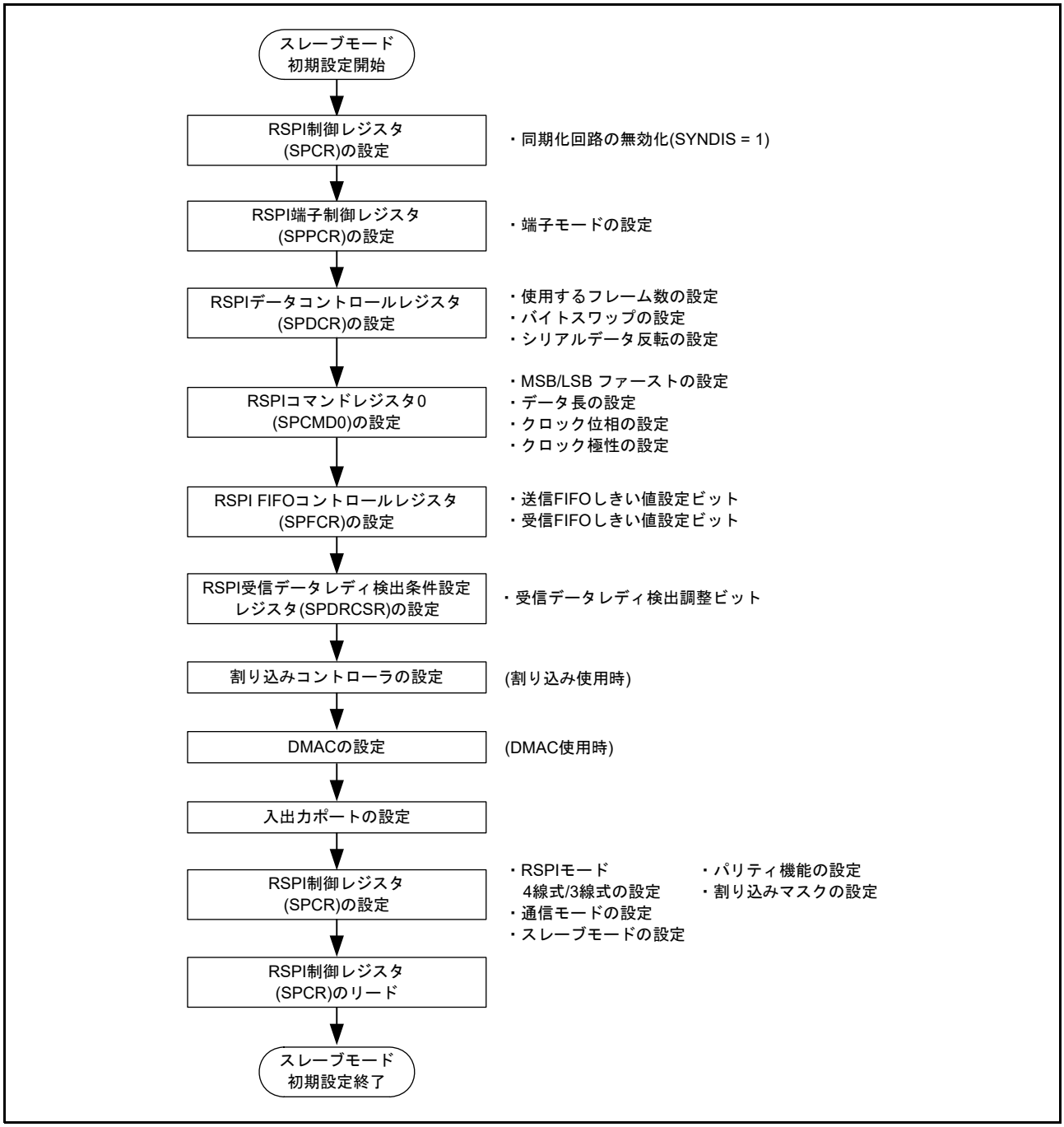


図 38.74　スレーブモード時の初期化フロー例

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「38.3.13.2 (6)　ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

38.3.15　ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに “1” を書き込むと、RSPIA は、SPCR.MSTR ビットが “1” ならば MISO0 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば MOSI0 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。SPCR.MSTR ビットが “1” ならば MOSI0 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば MISO0 端子とシフトレジスタ間の経路は遮断しません。

また、ループバックモードでシリアル転送を実行すると、RSPIA の送信データまたは送信データの反転が RSPIA の受信データになります。

SPLP2 ビット、SPLP ビットの設定と受信データの関係を**表 38.13** に示します。

表38.13　SPLP2ビット、SPLPビットの設定と受信データ

SPLP2ビット	SPLPビット	受信データ
0	0	MOSI0端子またはMISO0端子からの入力データ
0	1	送信データの反転
1	x	送信データ

x：don't care

図 38.75 に、ループバックモードのシフトレジスタ入出力経路の構成を示します。

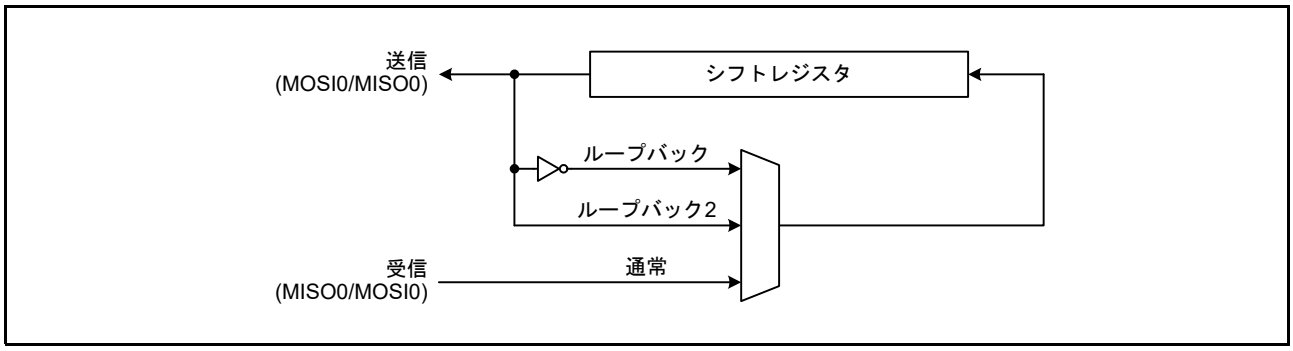


図 38.75　ループバックモード時のシフトレジスタ入出力構成

38.3.16　パリティ機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 38.76 のフローに従い、パリティ回路の自己診断を行います。

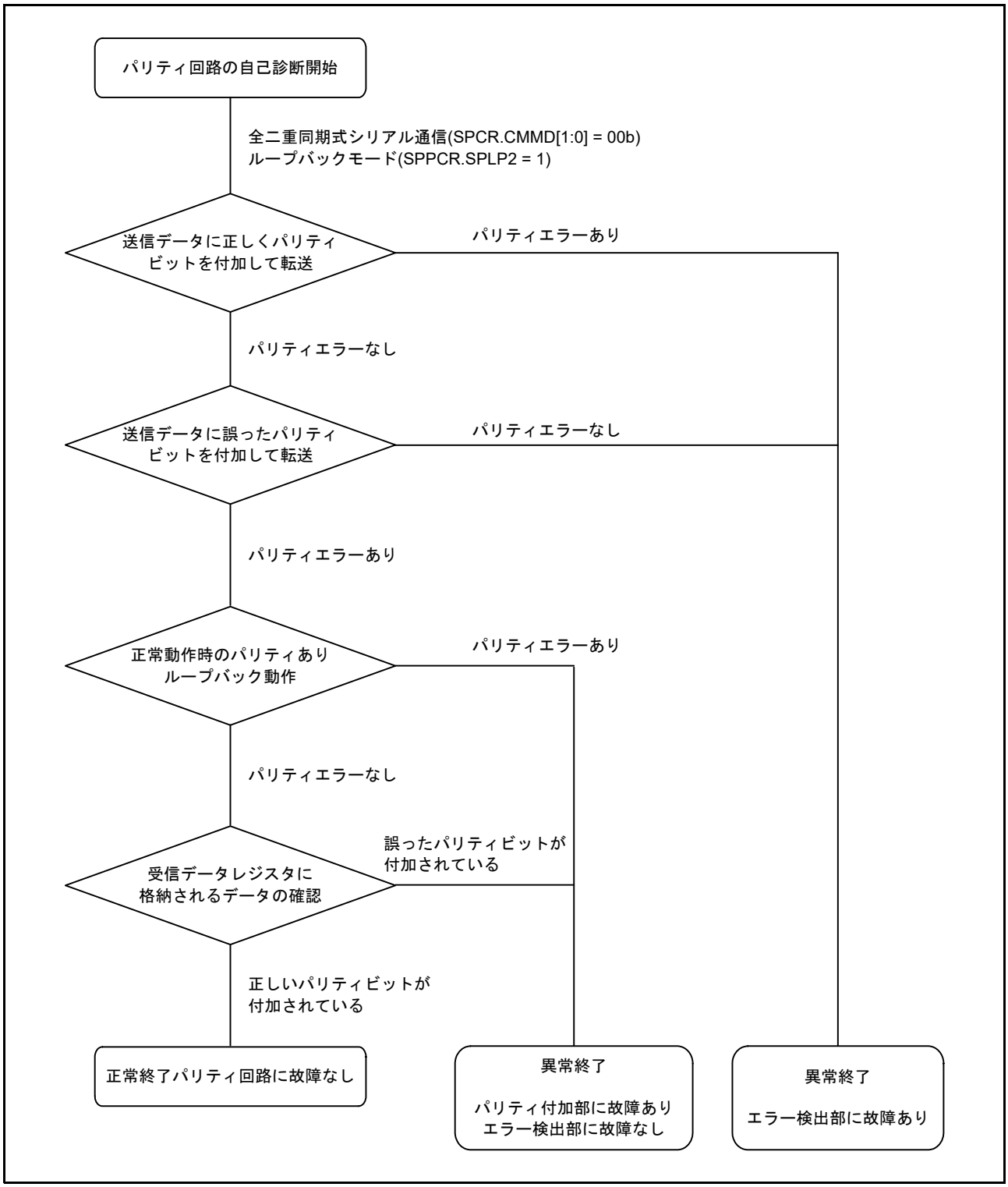


図 38.76　パリティ回路の自己診断フロー

38.3.17　割り込み要求

RSPIA の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、アンダラン、オーバラン、パリティエラー、アイドル、通信完了、受信データレディがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことが出来ます。

モードフォルト、アンダラン、オーバラン、パリティエラー、受信データレディ (RDRIS = 1 のときのみ) の割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。**表 38.14** に、RSPI の割り込み要因を示します。**表 38.14** の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPIA の設定を行ってください。DTC または DMAC の設定方法は「**17.　DMA コントローラ (DMACAa)**」、「**18.　データ トランスファコントローラ (DTCb)**」を参照してください。

送信バッファエンプティ割り込みおよび受信バッファフル割り込みは、ICU.IRn.IR フラグが “1” のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IRn.IR フラグが “0” になると ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると内部に保持している割り込み要求は自動的にクリアします。また、内部で保持している割り込み要求は、対応する割り込みイネーブルビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を “0” にすることでクリアが可能です。

表38.14　RSPIAの割り込み要因

割り込み要因	略称	割り込み条件	DTC/DMAC起動
受信バッファフル 受信データレディ	SPRI	SPRIE = 1 & (SPRF = 1 | (RDRIS = 0 & RRDYF = 1))	可能
送信バッファエンプティ	SPTI	SPTIE = 1 & SPTEF = 1	可能
モードフォルトエラー アンダランエラー オーバランエラー パリティエラー 受信データレディ	SPEI	SPEIE = 1 & (MODF = 1 | OVRF = 1 | PERF = 1 | (RDRIS = 1 & RRDYF = 1))	不可能
アイドル	SPII	SPIIE = 1 & IDLNF = 0	不可能
通信完了	SPCI	SPCIE = 1 & SPCF = 1	不可能

38.3.18　イベントリンク機能によるリンク動作

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。
イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

38.3.18.1　受信バッファフルイベント出力

受信 FIFO のデータ格納数がしきい値を超え、または、RDRIS = 0 かつ受信 FIFO に書き込み後、受信 FIFO に格納されているデータ数がしきい値以下で SPDRCSR レジスタで設定値分、経過したときに、イベントを出力します。
イベントは、図 38.77 に示すタイミングで出力されます。

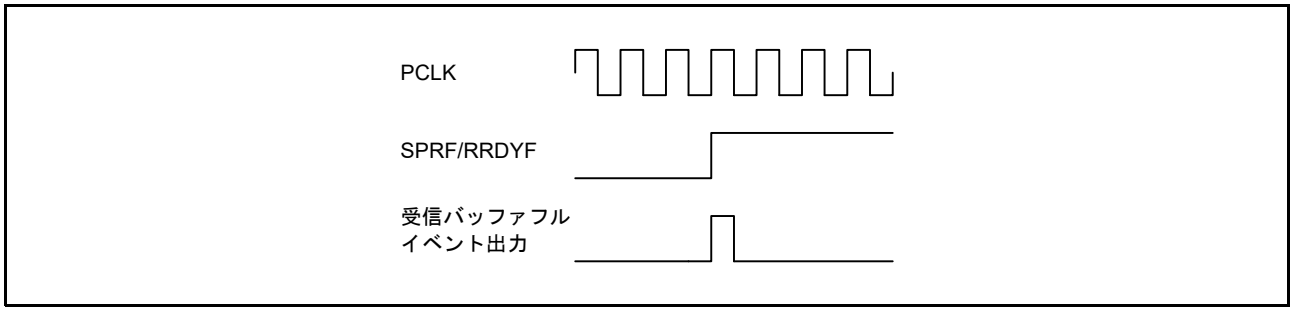


図 38.77　受信バッファフルイベント出力タイミング

38.3.18.2　送信バッファエンプティイベント出力

送信 FIFO の空き段数がしきい値を超えたとき、または、SPCR.SPE ビットを “0” から “1” に変化させたときにイベントを出力します。送信バッファエンプティイベントは、図 38.78 に示すタイミングで出力します。

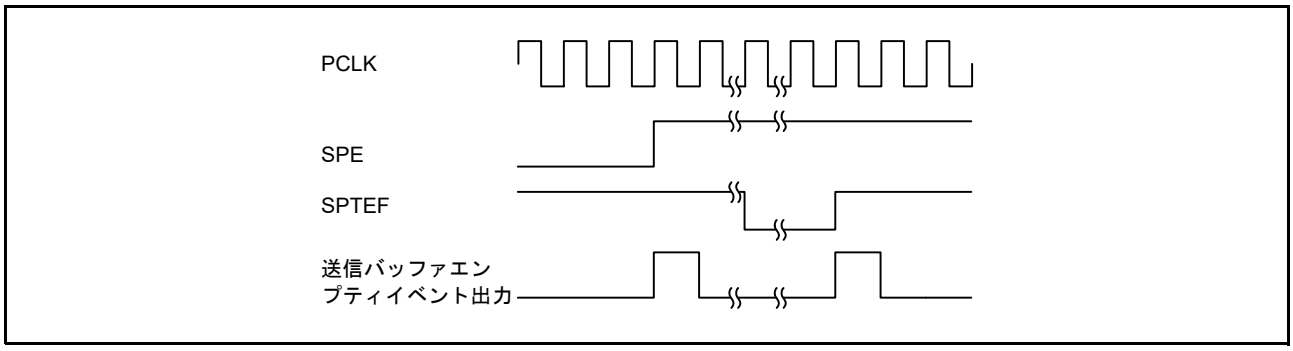


図 38.78　送信バッファエンプティイベント出力タイミング

38.3.18.3　エラーイベント出力

RSPIA のエラーイベントは、五つの要因 (モードフォルト、アンダラン、オーバラン、パリティエラー、受信データレディ) によって出力されます。エラーイベント使用時は、**「38.4.3　エラーイベント出力に関する注意事項」**も参照してください。

(1)　モードフォルト

モードフォルトイベントは、以下の条件をすべて満たした場合に発生します。

- SPI 動作 (SPCR.SPMS = 0)
- スレーブモード (SPCR.MSTR = 0)
- モードフォルトエラー検出を許可 (SPCR.MODFEN = 1)
- 以下のいずれかを満たしたとき
  1. Motorola SPI プロトコル時、データ転送中に SSL00 端子が非アクティブになる
  2. TI SSP プロトコル時、データ転送中に SSL00 端子がアクティブになる

(2)　アンダラン

アンダランイベント出力条件として、スレーブモード (SPCR.MSTR ビットが “0”)、SPCR.SPE ビットが “1” (RSPI 機能が有効) かつ送信データの出力準備が整っていない状態でシリアル転送が開始されたとき、イベントを出力します。

(3)　オーバラン

オーバランイベント出力条件として、SPCR.CMMD[1:0] ビットが “00b” または “10b”、かつ RSPI 受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が終了したとき、OVRF フラグが “1” となり、イベントを出力します。

(4)　パリティエラー

パリティエラーイベント出力条件として、SPCR.CMMD[1:0] ビットが “00b” または “10b”、SPCR.SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

(5)　受信データレディ

受信データレディイベント出力条件として、SPCR.CMMD[1:0] ビットが “00b” または “10b”、SPCR.RDRIS ビットが “1” のとき、受信 FIFO 書き込み後、受信 FIFO に格納されたデータ数が受信 FIFO しきい値以下の状態で SPDRCSR レジスタで設定値分、経過したとき、イベントを出力します。

(6)　出力タイミング

各エラーイベントは**図 38.79** に示すタイミングで出力されます。
エラー発生するたびにエラーイベントは出力します。

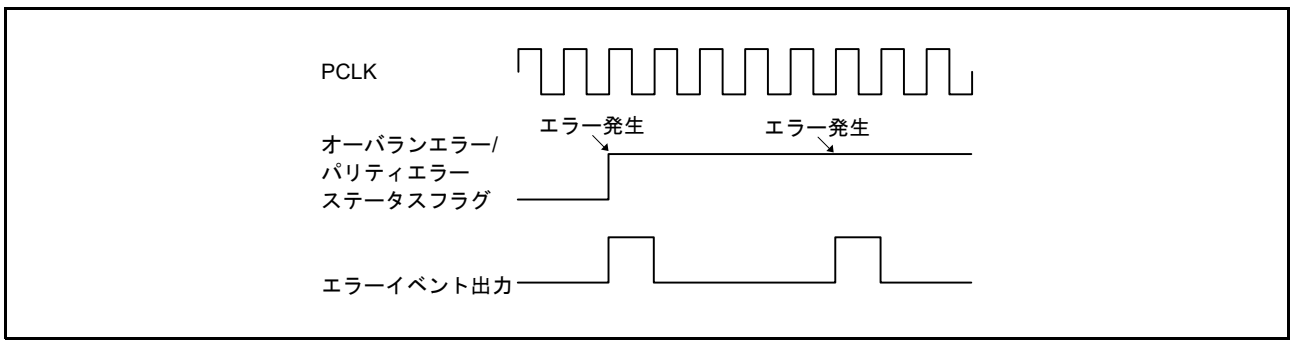


図 38.79　エラーイベント出力タイミング

38.3.18.4　アイドルイベント出力

(1)　マスタモード時

[送受信モード / 送信専用モードの場合]

マスタ送受信モード / マスタ送信専用モードのときは、SPSR.IDLNF フラグが “1” → “0” になるタイミングで発生します。

IDLNF フラグが “1” → “0” になるのは下記の a)、b) いずれかの条件を満たしたときです。

a) 送信中に SPCR.SPE ビットが “0” (RSPI 初期化) になったとき

b) 下記の 3 条件がすべて一致したとき

- 送信バッファ (SPTXn, n = 0 ～ 3) に次転送データがセットされていないとき
- SPSSR.SPCP[2:0] ビットが “000b” (シーケンス制御の先頭) であるとき
- 次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

[受信専用モードの場合]

マスタ受信専用モードのときは、下記の a)、b) いずれかの条件を満たしたときに発生します。

a) SPCR.SPE ビットが “0” (RSPI 初期化) になったとき

b) 下記のいずれかを満たしたとき

- RFC[4:0] = 00000b 時、TERM ビットに “1” を書き込み後、次アクセス遅延までが完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
- RFC[4:0] ≠ 00000b 時、TERM ビットに “1” を書き込み後、次アクセス遅延までが完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
- RFC[4:0] ≠ 00000b 時、RFC[4:0] ビットで設定した受信フレーム数分処理が完了後、次アクセス遅延までが完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(2)　スレーブモード時

スレーブモードのときは、SPCR.SPE ビットが “0” (RSPI 初期化) になったとき、イベントを出力します。

(3)　出力タイミング

アイドルイベントは、**図 38.80** に示すタイミングで出力されます。

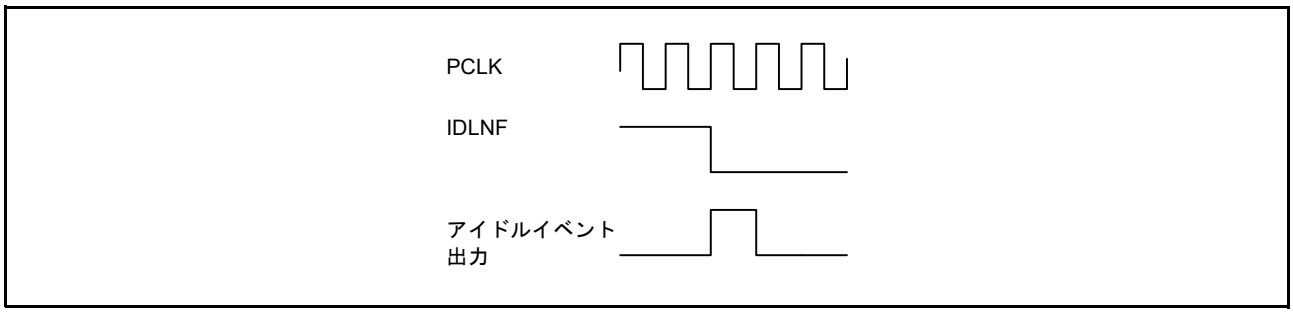


図 38.80　アイドルイベント出力タイミング

38.3.18.5　通信完了イベント出力

マスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。

スレーブモードのときは、**表 38.15**、**表 38.16** に示す条件で発生します。

表38.15　通信完了イベント発生条件(スレーブ送受信モード/スレーブ送信専用モード)

RSPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作(SPMS = 0, FRFS = 0)	エンプティ	エンプティ	SSL00入力ネゲート
SPI動作(SPMS = 0, FRFS = 1)	エンプティ	エンプティ	SSLネゲート遅延が完了したとき
クロック同期式動作(SPMS = 1)	エンプティ	エンプティ	最終データのRSPCK0最終偶数エッジ検出

表38.16　通信完了イベント発生条件(スレーブ受信専用モード)

RSPIモード	その他
SPI動作(SPMS = 0, FRFS = 0)	SPDCR.SPFC[1:0]ビットで設定した数のフレームを受信バッファに格納した後に、SSL00入力ネゲート
SPI動作(SPMS = 0, FRFS = 1)	SPDCR.SPFC[1:0]ビットで設定した数のフレームを受信バッファに格納した後に、SSLネゲート遅延が完了
クロック同期式動作(SPMS = 1)	SPDCR.SPFC[1:0]ビットに設定した最終フレーム受信時のRSPCK0最終偶数エッジ検出

マスタ / スレーブモードに関わらず、通信動作中に SPCR.SPE ビットへの “0” の書き込み時、またはモードフォルトエラー / アンダランエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

通信完了イベントは、**図 38.81** から**図 38.86** に示すタイミングで出力されます。マスタモード動作時は、アイドルイベントと同じタイミングで出力するため省略します。

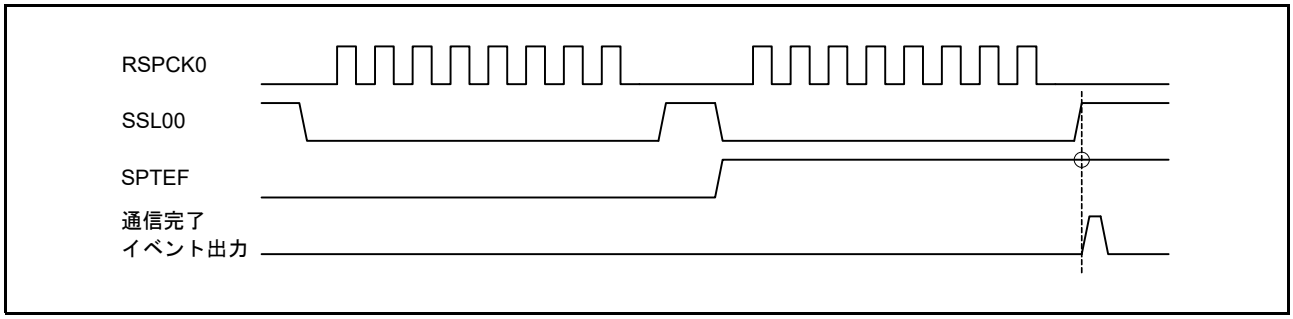


図 38.81　通信完了イベント出力タイミング (スレーブ送受信モード / スレーブ送信専用モード、Motorola SPI 動作時)

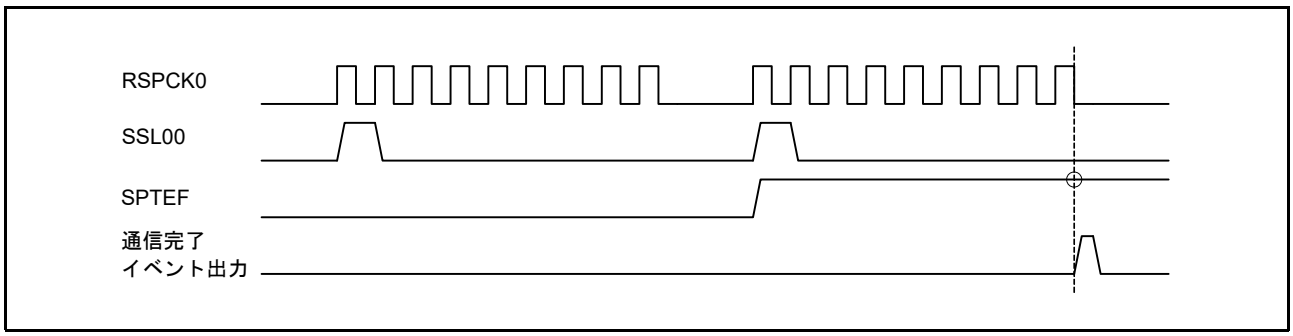


図 38.82　通信完了イベント出力タイミング (スレーブ送受信モード / スレーブ送信専用モード、TI SSP 動作時)

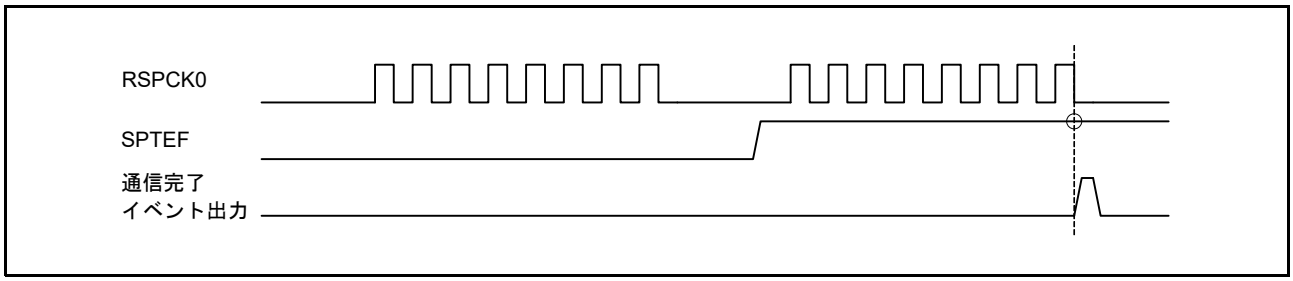


図 38.83　通信完了イベント出力タイミング (スレーブ送受信モード / スレーブ送信専用モード、クロック同期動作時)

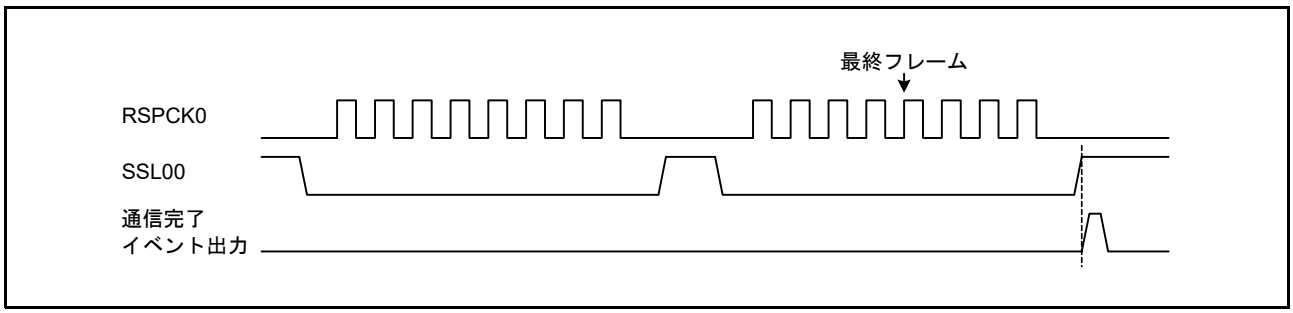


図 38.84　通信完了イベント出力タイミング (スレーブ受信専用モード、Motorola SPI 動作時)

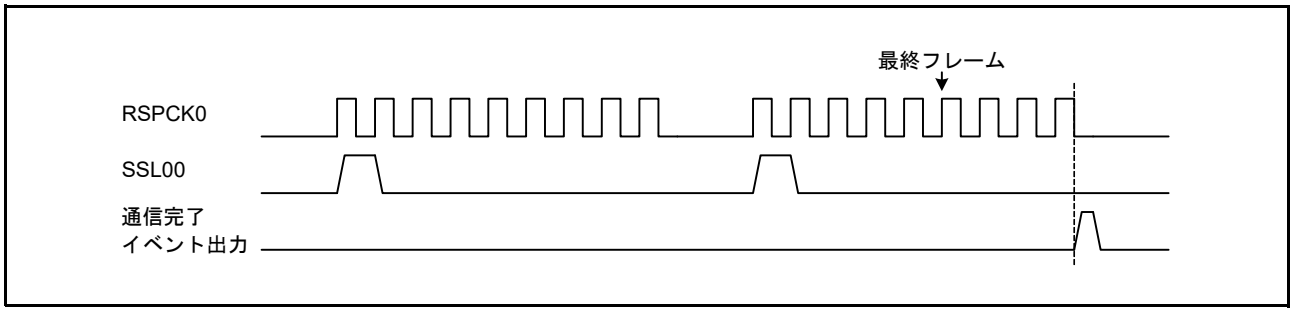


図 38.85　通信完了イベント出力タイミング (スレーブ受信専用モード、TI SSP 動作時)

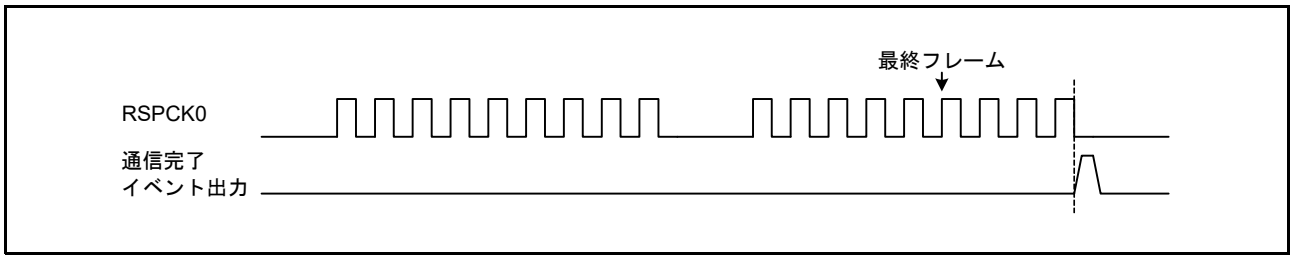


図 38.86　通信完了イベント出力タイミング (スレーブ受信専用モード、クロック同期動作時)

38.4　使用上の注意事項

38.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、RSPIA の動作を禁止または許可することができます。リセット後、RSPIA の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は「11.　消費電力低減機能」を参照してください。

38.4.2　通信の開始に関する注意事項

通信開始時点で ICU.IRn.IR フラグが “1” のときは、動作許可 (SPCR.SPE ビットを “1”) する前に下記の手順で割り込み要求をクリアしてください。

(1) 通信が停止していること (SPCR.SPE ビットが “0” となっていること) を確認
(2) 対応する割り込みイネーブルビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を “0” に設定
(3) 対応する割り込みイネーブルビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0” を確認
(4) ICU.IRn.IR フラグに “0” を設定

38.4.3　エラーイベント出力に関する注意事項

マルチマスタ環境で RSPIA を SPI 動作、マスタモードにする場合 (SPCR.SPMS ビットが “0”、SPCR.MSTR ビットが “1”、かつ SPCR.MODFEN ビットが “1” のとき) は、エラーイベント出力を使用しないでください。

38.4.4　消費電力低減機能の注意事項

消費電力低減機能を使用し本モジュールの消費電力を低減する場合、SPCR.SPE ビットを “0” に設定し通信を終了させた後、消費電力低減機能を使用してください。

38.4.5　SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを “0” に設定してください。

38.4.6　マスタモード時のバースト転送に関する注意事項

バースト転送時、SSLKP ビットに “1” を設定した SPCMDm レジスタと次転送で使用する SPCMDm レジスタ間で以下の設定を変えることは禁止です。

- SSL 出力設定 (SSLA[2:0] ビット)
- RSPCK 出力設定 (CPHA、CPOL、BRDV[1:0] ビット)

38.4.7　スレーブ TI SSP モード時の注意事項

スレーブ TI SSP モード時、フレーム間の遅延は、以下の間隔を守る必要があります。
マスタ側で以下の間隔を確保してください。

[マスタ側：最終ビットの RSPCK エッジから、次の SSL の RSPCK エッジまでの間隔]
> [スレーブ側：OE 遅延時間 = PCLKA × {1~2} + SLNDL[2:0] 設定値]

38.4.8　データ長に関する注意事項

データ長による動作の可否を、表 38.17 に記載します。

表38.17　データ長と動作の可否(SPCMDm.BRDV[1:0] = 00b, SPBR = 00h)

データ長										
4ビット	5ビット	6ビット	7ビット	8ビット	9ビット	10ビット	11ビット	12ビット	13ビット	14ビット
△	△	△	○	○	○	○	○	○	○	○

○：動作可能
△：SPCR.SCKASE = 0 または SCKDDIS = 0 のときは動作可能

38.4.9　レジスタ書き換えに関する注意事項

SPCR.SPE ビットが “1” のときに以下のレジスタやビットを書き換えた場合、それ以降の動作は保証されません。

表38.18　SPEビットが“1”のときに書き換え禁止のレジスタ、ビット一覧 (1/2)

レジスタ	ビット
SPCKD	SCKDL[2:0]
SSLND	SLNDL[2:0]
SPND	SPNDL[2:0]
SPCR	SYNDIS
	MSTR
	CMMD[1:0]
	FRFS
	SPMS
	MODFEN
	SCKDDIS
	SCKASE
	PTE
	SPOE
	SPPE
SPRMCR	RFC[4:0]
SPDRCSR	—
SPPCR	MOIFE
	MOIFV
	SPLP2
	SPLP
SSLP	SSL3P
	SSL2P
	SSL1P
	SSL0P
SPBR	—
SPSCR	SPSLN[2:0]

表38.18　SPEビットが“1”のときに書き換え禁止のレジスタ、ビット一覧 (2/2)

レジスタ	ビット
SPCMD0 (注1)	SSLA[2:0]
	SPB[4:0]
	SCKDEN
	SLNDEN
	SPNDEN
	LSBF
	SSLKP
	BRDV[1:0]
	CPOL
	CPHA
SPDCR	SPFC[1:0]
	DINV
	SPRDTD
	BYSW
SPFCR	TTRG[1:0]
	RTRG[1:0]
SPFCLR	FCLR

注1.　スレーブモード時は書き換え禁止。マスタモード時は送信FIFOに次転送データがないときのみ書き換え可能。

39. CRC 演算器 (CRCA)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

39.1 概要

表 39.1 に CRC 演算器の仕様を示します。**図 39.1** に CRC 演算器のブロック図を示します。

表39.1 CRC演算器の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC演算対象データ(注1)	8nビットのデータに対してCRCコードを生成(n = 自然数)	32nビットのデータに対してCRCコードを生成(n = 自然数)
CRC演算処理方式	8ビット並列実行	32ビット並列実行
CRC生成多項式	3つの多項式から選択可能 • 8ビットCRC $X^8 + X^2 + X + 1$ • 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$	2つの多項式から選択可能 • 32ビット CRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への遷移が可能	

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位または32ビット単位で書いてください。

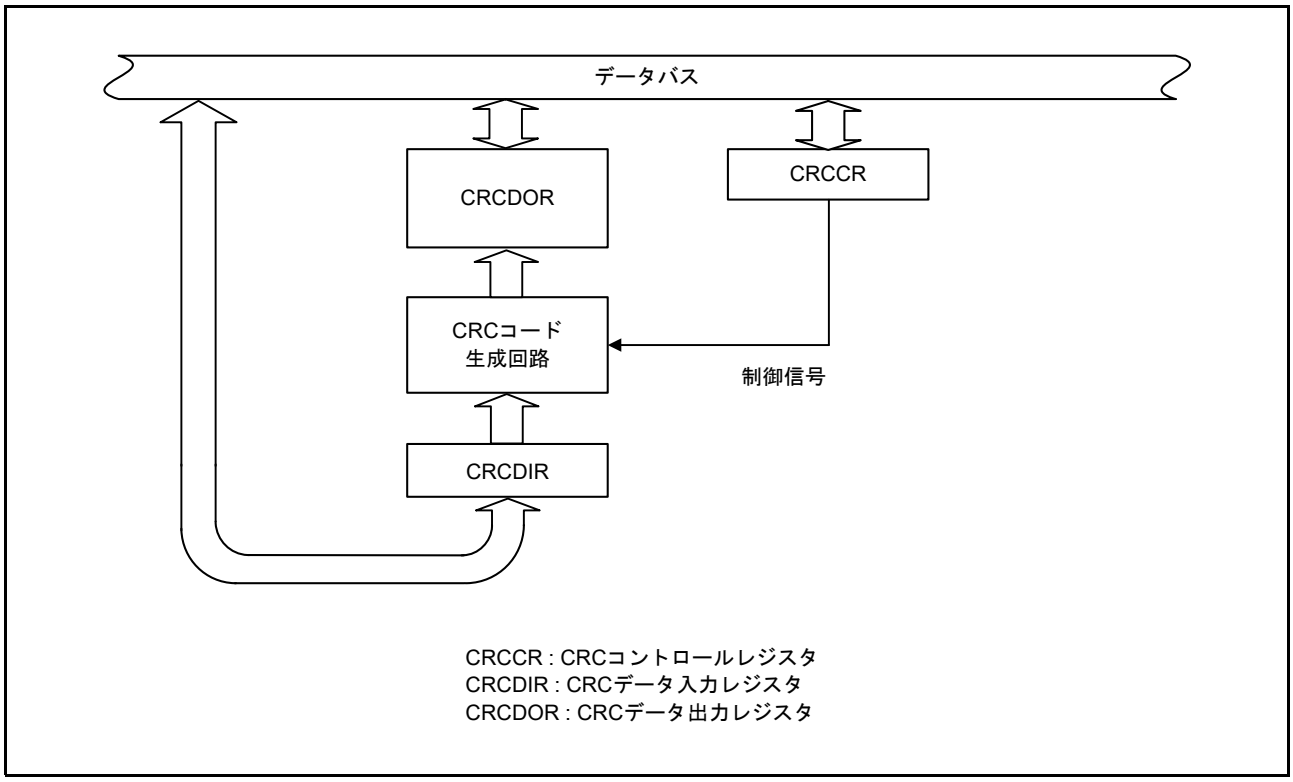


図 39.1 CRC 演算器のブロック図

39.2　レジスタの説明

39.2.1　CRC コントロールレジスタ (CRCCR)

アドレス　CRC.CRCCR 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替えビット	b2 b0 0 0 0：計算しません 0 0 1：8ビットCRC ($X^8 + X^2 + X + 1$) 0 1 0：16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1：16ビットCRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0：32ビットCRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1：32ビットCRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0：計算しません 1 1 1：計算しません	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LMS	CRC演算切り替えビット	0：LSBファースト通信用にCRCを生成 1：MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1：CRCDORレジスタをクリア 読むと“0”が読めます	W (注1)

注1.　“1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。

CRC コードの送信および受信については、「39.3　CRC 演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットに “1” を書くと、CRCDOR レジスタが “0000 0000h” になります。

読むと “0” が読めます。“0” を書いても何も起こりません。

39.2.2 CRC データ入力レジスタ (CRCDIR)

- 32 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 16 ビット CRC、8 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIR レジスタは、読み出し / 書き込み可能なレジスタです。CRC 演算の対象となるデータを書いてください。32 ビット CRC を生成する場合は、CRCDIR レジスタをロングワードアクセスしてください。
8 ビット CRC または 16 ビット CRC を生成する場合は、CRCDIR レジスタをバイトアクセスしてください。

39.2.3 CRC データ出力レジスタ (CRCDOR)

- 32 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 16 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 8 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDOR レジスタは、読み出し / 書き込み可能なレジスタです。

リセット後の値は “0000 0000h” ですので、初期値を “0000 0000h” 以外にして演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRCDIR レジスタに書き、その演算結果が “0000 0000h” の場合、誤りがないと判断できます。

32 ビット CRC を選択した場合は、CRCDOR レジスタをロングワードアクセスしてください。16 ビット CRC を選択した場合は、CRCDOR レジスタをワードアクセスしてください。8 ビット CRC を選択した場合は、CRCDOR レジスタをバイトアクセスしてください。

39.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト /MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の初期値を “0000 0000h” にするために、DORCLR ビットを “1” にして CRC データ出力レジスタ (CRCDOR) の値をクリアしています。

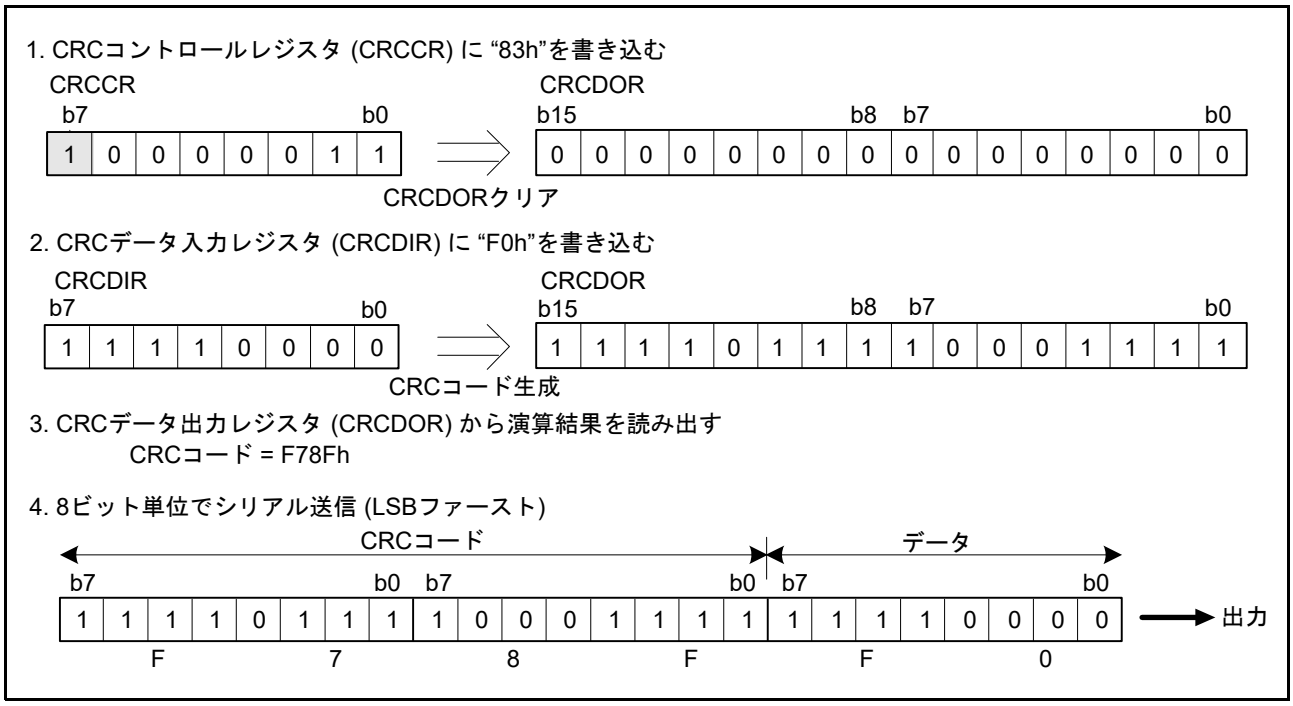


図 39.2 LSB ファーストでのデータ送信

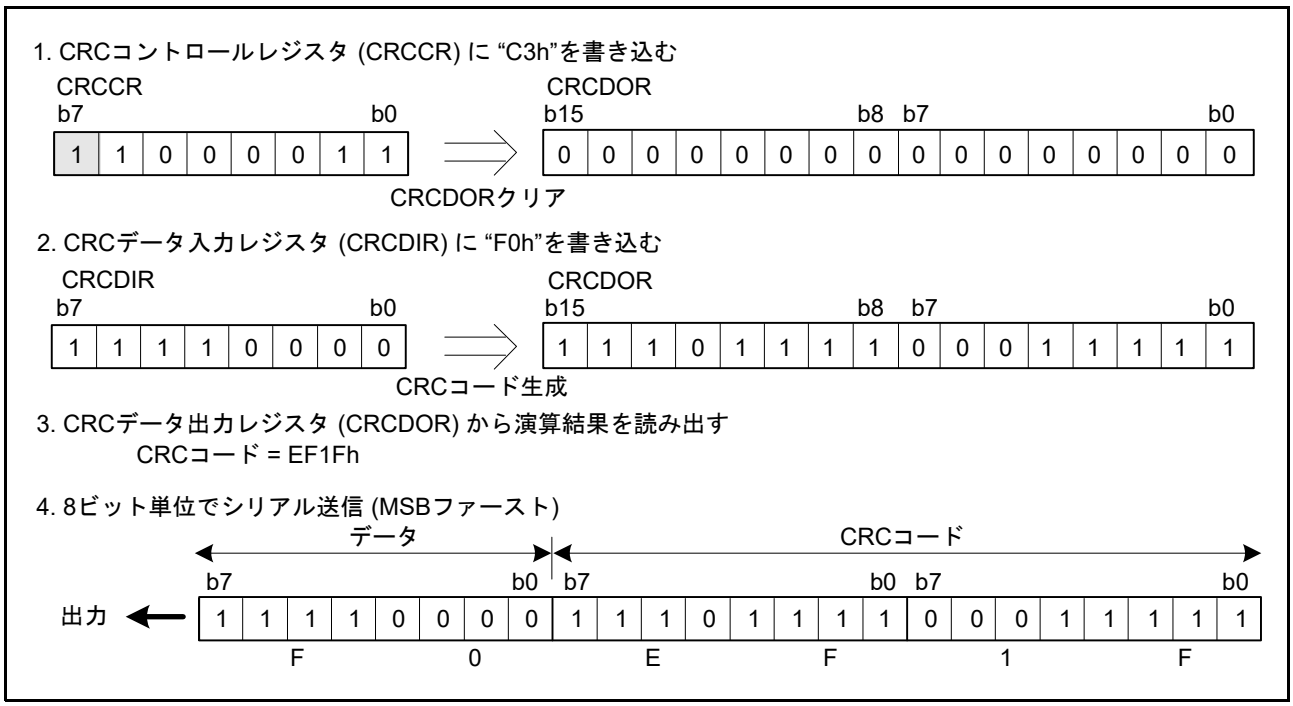


図 39.3 MSB ファーストでのデータ送信

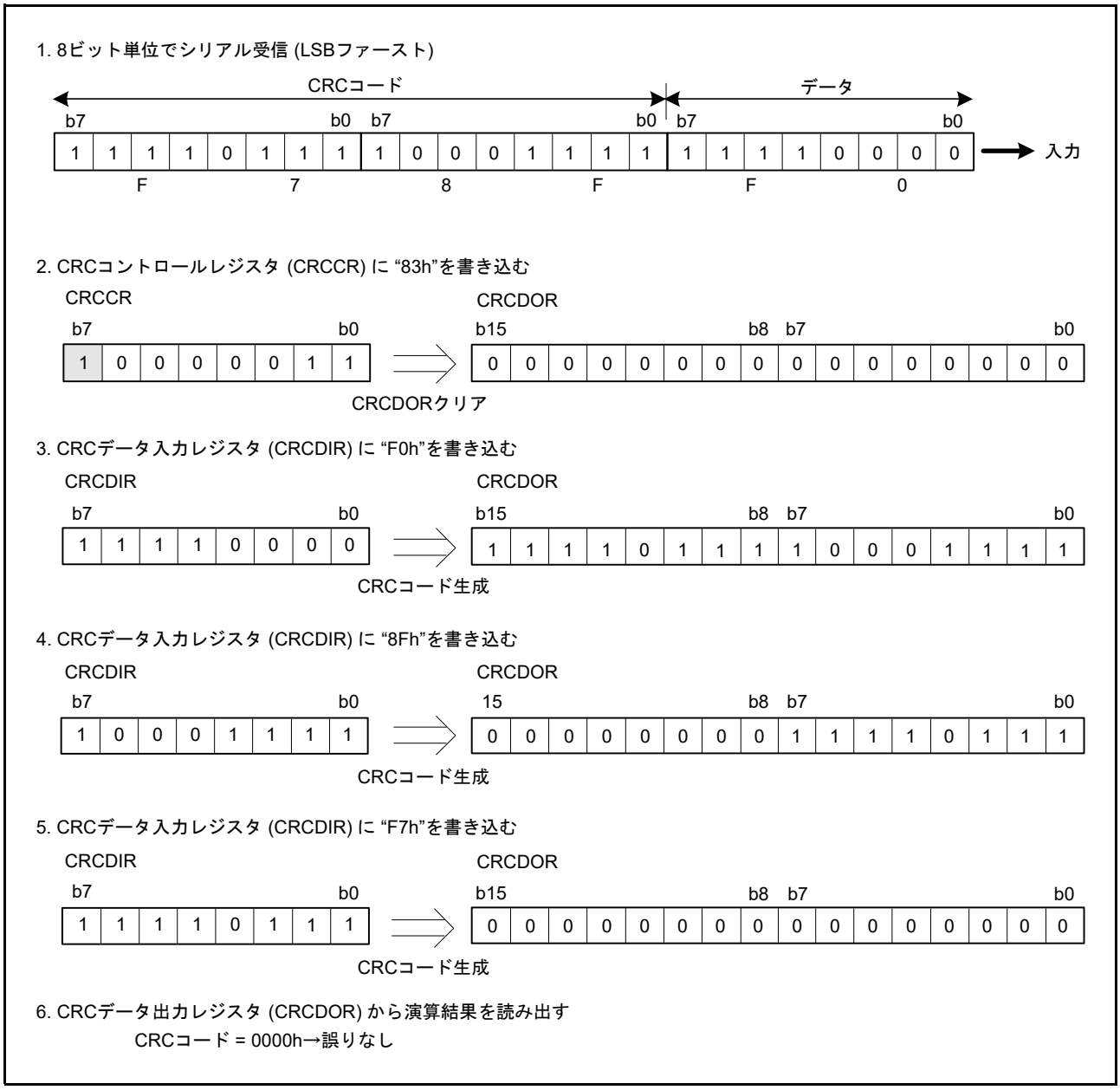


図 39.4 LSB ファーストでのデータ受信

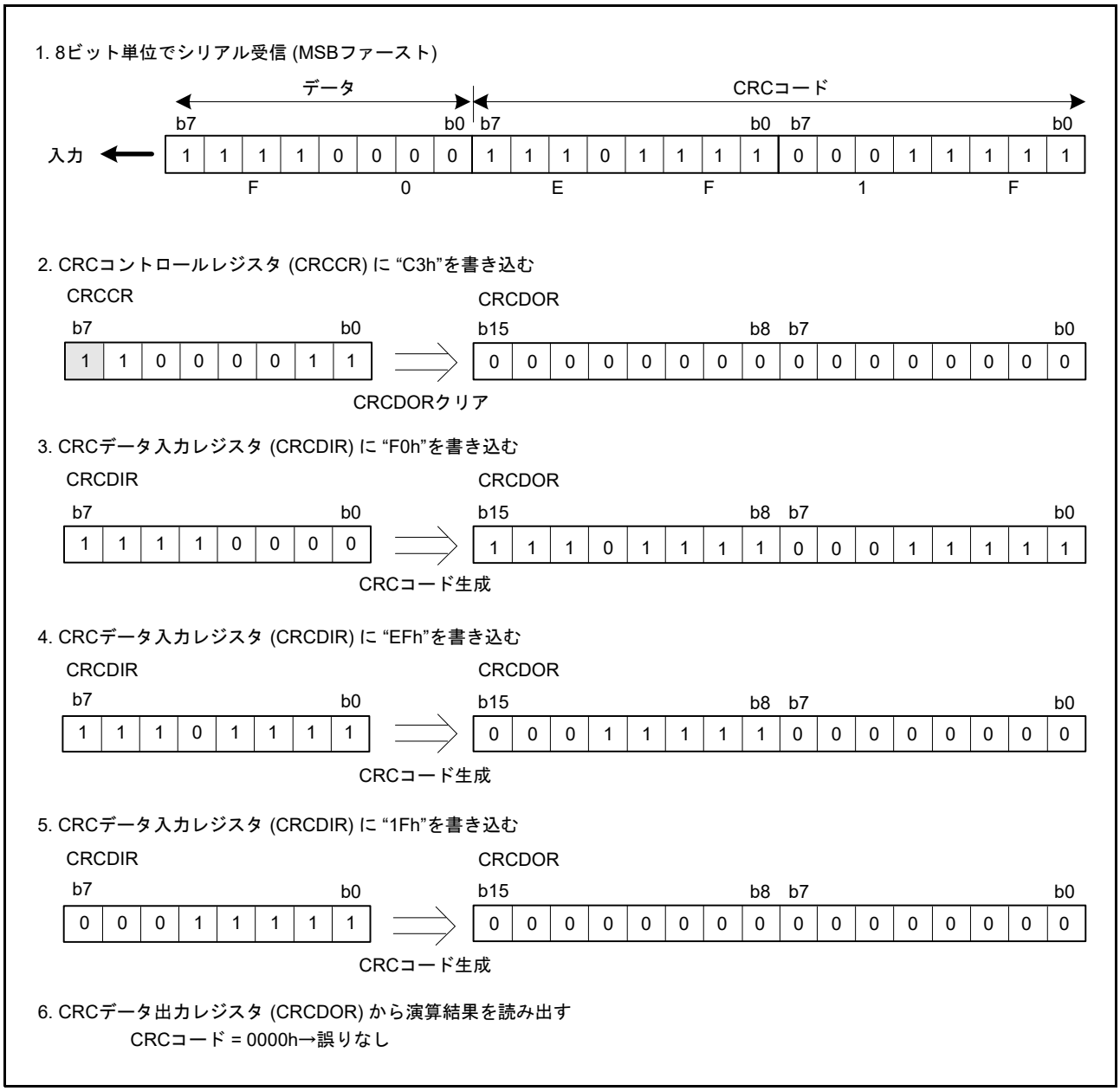


図 39.5 MSB ファーストでのデータ受信

39.4 使用上の注意事項

39.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止 / 許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

詳細は「11. **消費電力低減機能**」を参照してください。

39.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

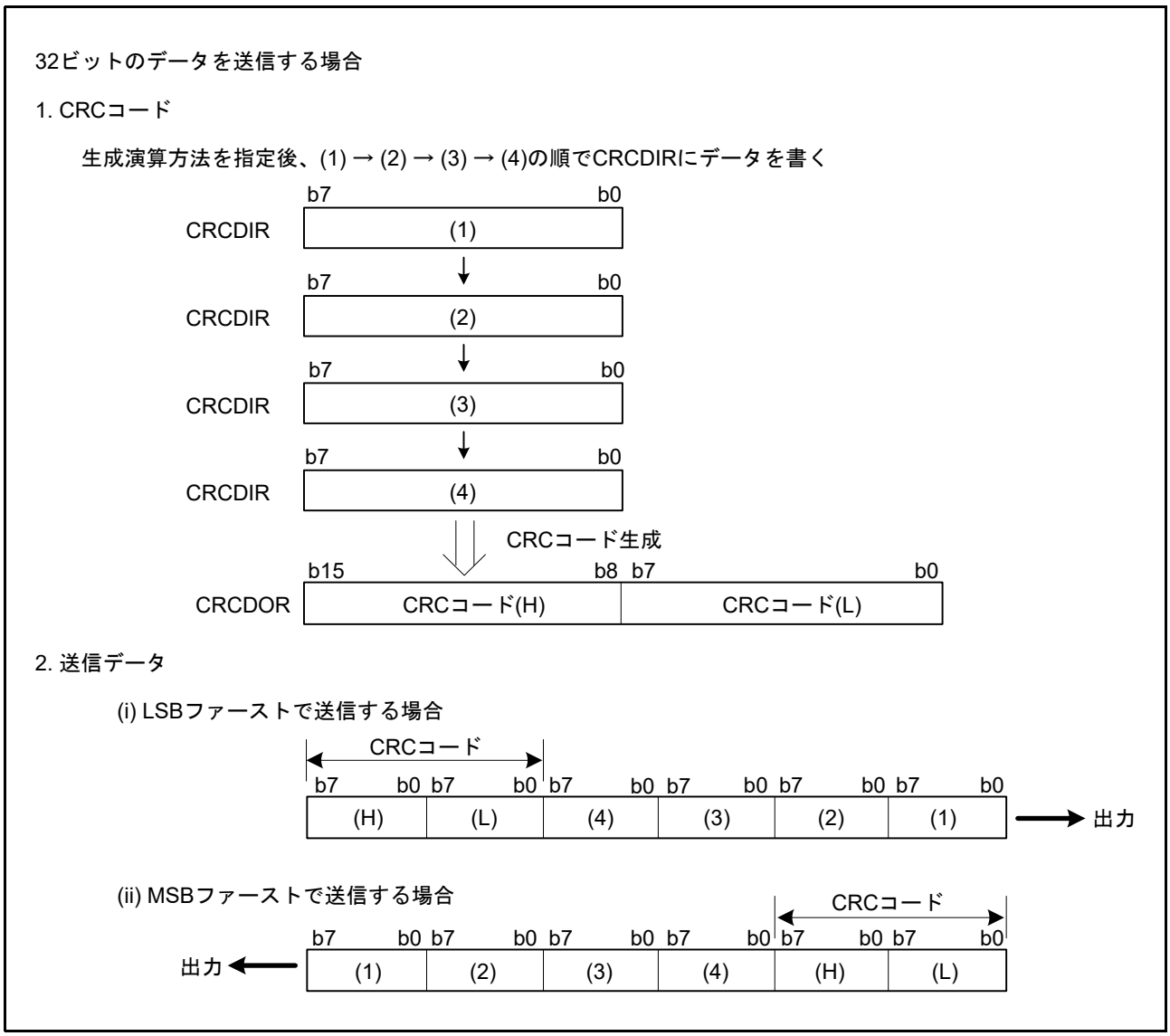


図 39.6 LSB ファーストと MSB ファーストの送信データ

40. 三角関数演算器 (TFUv2)

本 MCU は、三角関数演算器 (TFUv2) を搭載しています。TFUv2 は TFUv1 に対して上位互換のアーキテクチャを採用しており、浮動小数点数だけでなく固定小数点数にも対応しています。

三角関数演算器には sin 演算、cos 演算、atan 演算、hypot_k 演算のハードウェア処理機能があります。各演算では、それぞれ sinθ、cosθ、atan(y/x)、$\sqrt{x^2+y^2}/k$ を求めることができます。k の値については、**「40.3.1 演算処理」**を参照してください。

40.1 概要

表 40.1 に TFU の仕様を示します。

表40.1　TFUの仕様

項目	内容				
演算処理	sin演算、cos演算、atan演算、hypot_k演算 • sin演算とcos演算は同時に演算できます。 • atan演算とhypot_k演算は同時に演算できます。				
値の範囲および単位	浮動小数入出力の場合	入出力		範囲	単位
	sin演算	入力	角度θ	–float_max≦θ≦float_max (注1)	radian
		出力	sinθ	–1.0≦sinθ≦1.0	—
	cos演算	入力	角度θ	–float_max≦θ≦float_max (注1)	radian
		出力	cosθ	–1.0≦cosθ≦1.0	—
	atan演算	入力	x, y座標	–float_max≦x≦float_max (注1) –float_max≦y≦float_max (注1)	—
		出力	atan(y/x)	–π≦atan(y/x)≦π	radian
	hypot_k演算	入力	x, y座標	–float_max≦x≦float_max (注1) –float_max≦y≦float_max (注1)	—
		出力	$\sqrt{x^2+y^2}/k$	$0 \leqq \sqrt{x^2+y^2}/k \leqq \infty$	—
	固定小数入出力の場合	入出力		範囲	単位
	sin演算	入力	角度θ	–1.0≦θ < 1.0	turn
				–4.0≦θ < 4.0	radian
		出力	sinθ	–1.0≦sinθ≦1.0	—
	cos演算	入力	角度θ	–1.0≦θ < 1.0	turn
				–4.0≦θ < 4.0	radian
		出力	cosθ	–1.0≦cosθ≦1.0	—
	atan演算	入力	x, y座標	–1.0≦x < 1.0	—
				–1.0≦y < 1.0	
		出力	atan(y/x)	–0.5≦atan(y/x)≦0.5	turn
				–π≦atan(y/x)≦π	radian
	hypot_k演算	入力	x, y座標	–1.0≦x < 1.0	—
				–1.0≦y < 1.0	
		出力	$\sqrt{x^2+y^2}/k$	$0 \leqq \sqrt{x^2+y^2}/k \leqq \sqrt{2}/k$	—
処理可能なデータタイプ	単精度浮動小数点数、固定小数点数(2の補数)				
演算実行サイクル数	sin演算：5サイクル cos演算：5サイクル atan演算：14サイクル hypot_k演算：14サイクル				

注1.　float_maxは単精度浮動小数点数で表現可能な最大値。$(2 - 2^{-23}) \times 2^{127}$。

40.2　レジスタの説明

40.2.1　固定小数 sincos 入出力設定レジスタ (FXSCIOC)

アドレス　TFU.FXSCIOC 0008 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OF[1:0]		—	—	—	IUF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IUF	入力単位・フォーマット設定ビット	0：単位[turn]、フォーマットQ1.31 1：単位[radian]、フォーマットQ3.29	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	OF[1:0]	出力フォーマット設定ビット	b5 b4 0 0：Q1.31 0 1：Q2.30 1 0：Q3.29 1 1：設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

本レジスタは演算を開始する前に設定してください。演算中に本レジスタを書き換えた場合、動作は保証できません。

IUF ビット (入力単位・フォーマット設定ビット)

IUF ビットにより、固定小数 sincos 処理を実行する際の入力値の単位とフォーマットを設定します。

OF[1:0] ビット (出力フォーマット設定ビット)

このビットにより、固定小数 sincos 処理を実行する際の出力値のフォーマットを設定します。

Q1.31 選択時は +1.0 を正確に表現できません。Q1.31 選択時に $\sin\theta$、$\cos\theta$ が本来 +1.0 となるべき場合には、FXSCDT0 や FXSCDT1 からは $+1.0 - 2^{-31}$ が読み出されます。

40.2.2 固定小数 atanhypot_k 入出力設定レジスタ (FXATIOC)

アドレス TFU.FXATIOC 0008 1405h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OUF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OUF	出力単位・フォーマット設定ビット	0：単位[turn]、フォーマットQ1.31 1：単位[radian]、フォーマットQ3.29	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

本レジスタは演算を開始する前に設定してください。演算中に本レジスタを書き換えた場合、動作は保証できません。

OUF ビット (出力単位・フォーマット設定ビット)

OUF ビットにより、固定小数 atanhypot_k 処理による atan 演算を実行する際の出力値の単位とフォーマットを設定します。なお、atan 演算と同時に実行される hypot_k 演算の出力値のフォーマットは本ビットの値によらず Q3.29 です。

40.2.3　三角関数演算器ステータスレジスタ (TRGSTS)

アドレス　TFU.TRGSTS 0008 1408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ERRF	BSYF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSYF	演算中フラグ	0：演算中ではない 1：演算中	R/W (注1)
b1	ERRF	入力エラーフラグ	0：入力エラー未発生 1：入力エラー発生	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　書き込みは無効です。

BSYF フラグ (演算中フラグ)

演算中かどうかの状態を表します。本ビットへの書き込みは無視されます。

[“1” になる条件]

- 演算開始

[“0” になる条件]

- 演算終了

ERRF フラグ (入力エラーフラグ)

演算中に入力エラーが起きたかどうかを表します。本レジスタへの書き込みは、**「40.4.2　割り込みに関する使用方法」**で示すエラーフラグの復帰手順に従ってください。

[“1” になる条件]

- 入力エラー発生 (注 1)、または本ビットへの “1” 書き込み

[“0” になる条件]

- 次の演算開始、または本ビットへの “0” 書き込み

注 1.　入力エラーの詳細については、「40.3.5　atan 演算における入力値と出力値の関係」を参照してください。

40.2.4 浮動小数 sincos 処理用データレジスタ 0 (FPSCDT0)

アドレス TFU.FPSCDT0 0008 1410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FPSCDT0 レジスタは、浮動小数 sincos 処理実行時に、出力値 cosθ の読み出しに使用します。詳細については**表 40.2** を参照してください。本レジスタの使用方法は**「40.4.1　三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

浮動小数 sincos 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 0 (FPATDT0, FXSCDT0, FXATDT0) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 0 (DTSR0) へ書き込みを行うと、本レジスタの値はその書き込み値になります。

40.2.5 浮動小数 sincos 処理用データレジスタ 1 (FPSCDT1)

アドレス TFU.FPSCDT1 0008 1414h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FPSCDT1 レジスタは、浮動小数 sincos 処理実行時に、角度値 θ の入力と出力値 sinθ の読み出しに使用します。詳細については**表 40.2** を参照してください。本レジスタへの書き込みによって sincos 処理が開始されます。本レジスタの使用方法は**「40.4.1　三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

浮動小数 sincos 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 1 (FPATDT1, FXSCDT1, FXATDT1) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 1 (DTSR1) へ書き込みを行うと、本レジスタの値はその書き込み値になります。

表40.2 FPSCDT0レジスタ、FPSCDT1レジスタ、および入出力値の関係

レジスタ	入力値	出力値
FPSCDT0	未使用	cosθ
FPSCDT1	角度θ	sinθ

40.2.6　浮動小数 atanhypot_k 処理用データレジスタ 0 (FPATDT0)

アドレス　TFU.FPATDT0 0008 1418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FPATDT0 レジスタは、浮動小数 atanhypot_k 処理実行時に、座標値 x の入力と出力値$\sqrt{x^2+y^2}/k$の読み出しに使用します。詳細については**表 40.3** を参照してください。本レジスタの使用方法は**「40.4.1　三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

浮動小数 atanhypot_k 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 0 (FPSCDT0, FXSCDT0, FXATDT0) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 0 (DTSR0) へ書き込みを行うと、本レジスタの値はその書き込み値になります。

40.2.7　浮動小数 atanhypot_k 処理用データレジスタ 1 (FPATDT1)

アドレス　TFU.FPATDT1 0008 141Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FPATDT1 レジスタは、浮動小数 atanhypot_k 処理実行時に、座標値 y の入力と出力値 atan(y/x) の読み出しに使用します。詳細については**表 40.3** を参照してください。本レジスタへの書き込みによって浮動小数 atanhypot_k 処理が開始されます。本レジスタの使用方法は**「40.4.1　三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

浮動小数 atanhypot_k 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 1 (FPSCDT1, FXSCDT1, FXATDT1) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 1 (DTSR1) へ書き込みを行うと、本レジスタの値はその書き込み値になりま

す。

表40.3 FPATDT0レジスタ、FPATDT1レジスタ、および入出力値の関係

レジスタ	入力値	出力値
FPATDT0	座標x	$\sqrt{x^2+y^2}/k$
FPATDT1	座標y	atan(y/x)

40.2.8　固定小数 sincos 処理用データレジスタ 0 (FXSCDT0)

アドレス　TFU.FXSCDT0 0008 1420h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FXSCDT0 レジスタは、固定小数 sincos 処理実行時に、出力値 cosθ の読み出しに使用します。詳細については**表 40.4** を参照してください。本レジスタの使用方法は**「40.4.1　三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

固定小数 sincos 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 0 (FPSCDT0, FPATDT0, FXATDT0) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 0 (DTSR0) へ書き込みを行うと、本レジスタの値はその書き込み値になります。

40.2.9　固定小数 sincos 処理用データレジスタ 1 (FXSCDT1)

アドレス　TFU.FXSCDT1 0008 1424h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FXSCDT1 レジスタは、固定小数 sincos 処理実行時に、角度値 θ の入力と出力値 sinθ の読み出しに使用します。詳細については**表 40.4** を参照してください。本レジスタへの書き込みによって固定小数 sincos 処理が開始されます。本レジスタの使用方法は**「40.4.1　三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

固定小数 sincos 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 1 (FPSCDT1, FPATDT1, FXATDT1) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 1 (DTSR1) へ書き込みを行うと、本レジスタの値はその書き込み値になります。

表40.4　FXSCDT0レジスタ、FXSCDT1レジスタ、および入出力値の関係

レジスタ	入力値	入力値の単位・フォーマット	出力値	出力値のフォーマット
FXSCDT0	未使用	—	cosθ	FXSCIOC.OF[1:0]ビットの値に応じて、Q1.31、Q2.30、Q3.29のいずれか
FXSCDT1	角度θ	FXSCIOC.IUF=0のとき： [turn]・Q1.31 FXSCIOC.IUF=1のとき： [radian]・Q3.29	sinθ	

出力値のフォーマットにQ1.31を選択したときは+1.0を正確に表現できません。Q1.31選択時にsinθ、cosθが本来+1.0となるべき場合には、FXSCDT0やFXSCDT1からは$+1.0 - 2^{-31}$が読み出されます。

40.2.10 固定小数 atanhypot_k 処理用データレジスタ 0 (FXATDT0)

アドレス TFU.FXATDT0 0008 1428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FXATDT0 レジスタは、固定小数 atanhypot_k 処理実行時に、座標値 x の入力と出力値 $\sqrt{x^2+y^2}/k$ の読み出しに使用します。詳細については**表 40.5** を参照してください。本レジスタの使用方法は**「40.4.1 三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

固定小数 atanhypot_k 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 0 (FPSCDT0, FPATDT0, FXSCDT0) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 0 (DTSR0) へ書き込みを行うと、本レジスタの値はその書き込み値になります。

40.2.11 固定小数 atanhypot_k 処理用データレジスタ 1 (FXATDT1)

アドレス TFU.FXATDT1 0008 142Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FXATDT1 レジスタは、固定小数 atanhypot_k 処理実行時に、座標値 y と出力値 atan(y/x) の読み出しに使用します。詳細については**表 40.5** を参照してください。本レジスタへの書き込みによって固定小数 atanhypot_k 処理が開始されます。本レジスタの使用方法は**「40.4.1 三角関数演算器の使用手順」**を参照してください。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

固定小数 atanhypot_k 処理以外の演算を行う場合は、本レジスタの書き込み、読み出しをしないでください。他のデータレジスタ 1 (FPSCDT1, FPATDT1, FXSCDT1) へ書き込みを行うと、本レジスタの値は不定になります。

データ退避復帰用レジスタ 1 (DTSR1) へ書き込みを行うと、本レジスタの値はその書き込み値になります。

表40.5 FXATDT0レジスタ、FXATDT1レジスタ、および入出力値の関係

レジスタ	入力値	入力値のフォーマット	出力値	出力値の単位・フォーマット
FXATDT0	座標x	Q1.31	$\sqrt{x^2+y^2}/k$	[-] ・Q3.29
FXATDT1	座標y	Q1.31	atan(y/x)	FXATIOC.OUF=0のとき： [turn]・Q1.31 FXATIOC.OUF=1のとき： [radian]・Q3.29

40.2.12　データ退避復帰用レジスタ 0 (DTSR0)

アドレス　TFU.DTSR0 0008 1430h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTSR0 レジスタは、データレジスタ 0 (FPSCDT0, FPATDT0, FXSCDT0, FXATDT0) のデータを退避・復帰させるためのレジスタです。

本レジスタから読み出しを行うと、いずれかのデータレジスタ 0 に最後に書き込まれた値、もしくは最後に実行された演算処理の結果 (データレジスタ 0 の値) が読み出されます。

本レジスタへ書き込みを行うと、全てのデータレジスタ 0 の値が本レジスタへ書き込んだ値となります。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

本レジスタの使用方法については**「40.4.2　割り込みに関する使用方法」**を参照してください。

40.2.13　データ退避復帰用レジスタ 1 (DTSR1)

アドレス　TFU.DTSR1 0008 1434h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTSR1 レジスタは、データレジスタ 1 (FPSCDT1, FPATDT1, FXSCDT1, FXATDT1) のデータを退避・復帰させるためのレジスタです。

本レジスタから読み出しを行うと、いずれかのデータレジスタ 1 に最後に書き込まれた値、もしくは最後に実行された演算処理の結果 (データレジスタ 1 の値) が読み出されます。

本レジスタへ書き込みを行うと、全てのデータレジスタ 1 の値が本レジスタへ書き込んだ値となります。

演算中に本レジスタを書き換えないでください。演算中に本レジスタへリードアクセスをした場合、演算終了後に結果が読み出されます。このとき、演算終了までの間バスアクセスが待たされます。

本レジスタの使用方法については**「40.4.2　割り込みに関する使用方法」**を参照してください。

40.3　動作説明

40.3.1　演算処理

三角関数演算器には 2 つの演算処理があります。sincos 処理と atanhypot_k 処理です。sincos 処理は、sin 演算と cos 演算を同時に実行します。atanhypot_k 処理は、atan 演算と hypot_k 演算を同時に実行します。詳細は**表 40.6** を参照してください。

表40.6　演算処理

処理	入力	出力
sincos処理	角度値θ	cosθとsinθ
atanhypot_k処理	座標xと座標y	atan(y/x)と $\sqrt{x^2+y^2}/k$

注.　kの値は以下のとおり。

$$k = \prod_{i=0}^{\infty} \frac{1}{\sqrt{1+2^{-2i}}} \fallingdotseq 0.607252935008881256 1694$$

三角関数演算器の出力値 $\sqrt{x^2+y^2}/k$ に k を乗ずることで、$\sqrt{x^2+y^2}$ が求められます。

40.3.2　入力値と出力値のフォーマット

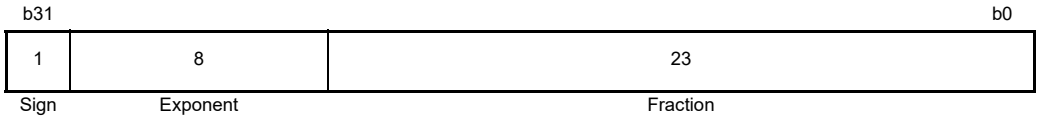
三角関数演算器の入出力値は単精度浮動小数点数と固定小数点数に対応します。単精度浮動小数点数の詳細については、**「40.3.2.1　単精度浮動小数点数」**を参照してください。固定小数点数の詳細については、**「40.3.2.2　固定小数点数」**を参照してください。なお、入出力する固定小数点数データは 32 ビットのフォーマットですが、演算は 32 ビットに満たない精度で実行されます。

40.3.2.1　単精度浮動小数点数

浮動小数点数

浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に対応しています。

- 単精度浮動小数点数



Sign：符号部(1ビット)
Exponent：指数部(8ビット)
Fraction：仮数部(23ビット)

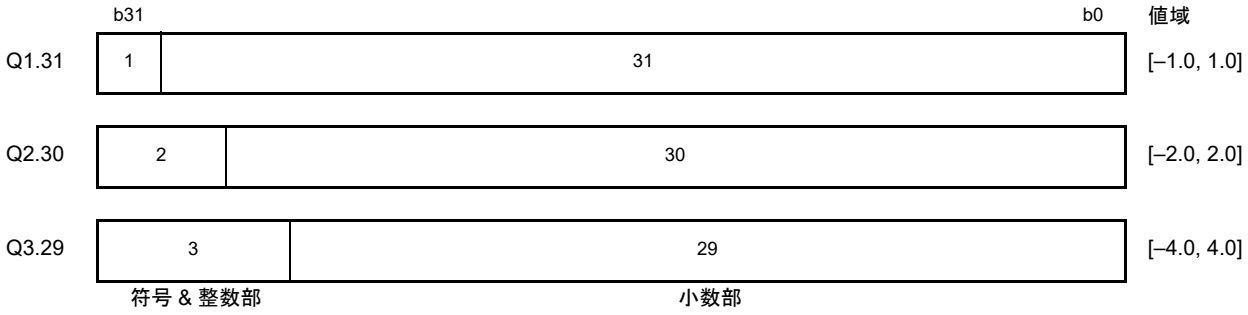
数値 $= (-1)^S \times (1 + F \times 2^{-23}) \times 2^{(E-127)}$ (正規化数)
数値 $= (-1)^S \times (0 + F \times 2^{-23}) \times 2^{-126}$ (非正規化数)

単精度浮動小数点数は、以下の数値に対応しています。

S	E	F	数値
任意	0 < E < 255	任意	$(-1)^S \times 1.F \times 2^{(E-127)}$ （正規化数）
任意	E = 0	F > 0	$(-1)^S \times 0.F \times 2^{-126}$ （非正規化数）
S = 0	E = 0	F = 0	$(-1)^0 \times 0.0$ （正ゼロ：+0）
S = 1	E = 0	F = 0	$(-1)^{-1} \times 0.0$ （負ゼロ：–0）
S = 0	E = 255	F = 0	正無限大：+∞
S = 1	E = 255	F = 0	負無限大：–∞
任意	E = 255	400000h > F > 0	非数：SNaN (Signaling Not a Number)
任意	E = 255	F≧400000h	非数：QNaN (Quiet Not a Number)

40.3.2.2　固定小数点数

以下に示す 2 の補数表現のフォーマットを使用します。



40.3.3 角度の単位

三角関数演算器で扱う角度の単位は、radian と turn です。radian は、0 ～ 360° を 0 ～ 2π で表します。turn は、0 ～ 360° を 0 ～ 1 で表します。

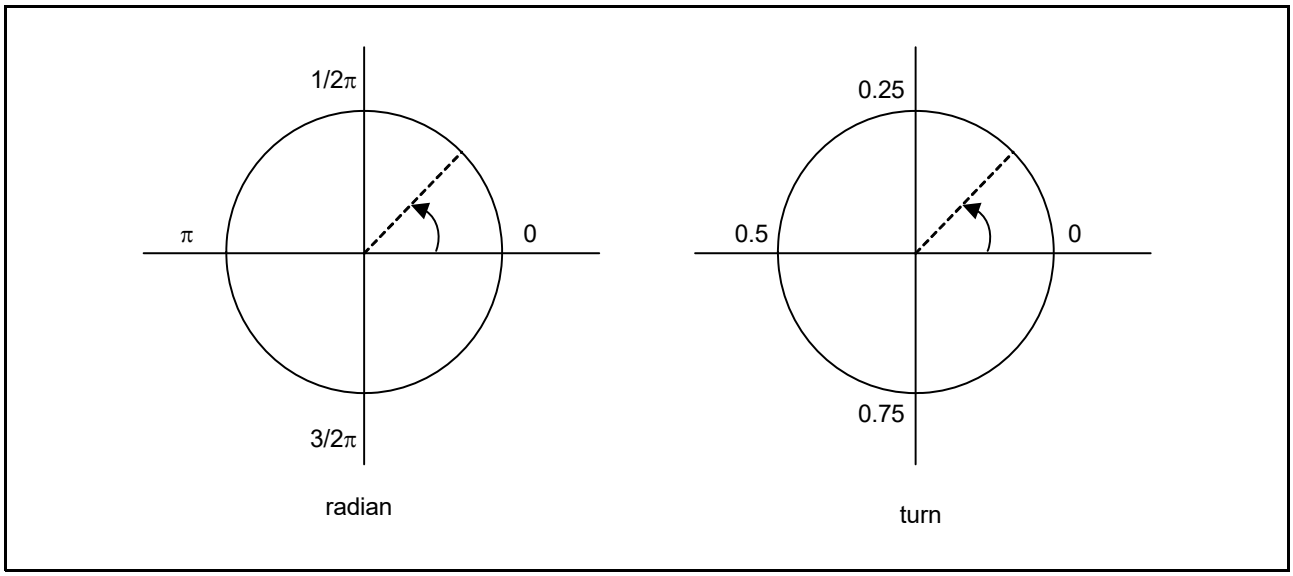


図 40.1 角度の単位

40.3.4 sincos 演算における入力値と出力値の関係

浮動小数 sin、cos 演算における入力値が ±0、±∞、SNaN (Signaling Not a Number)、および、QNaN (Quiet Not a Number) のとき、表 40.7 に示す通り、決まった値を出力します。

表40.7 特殊入力値とその出力値の関係(sincos演算の場合)

入力(θ)	出力(cos)	出力(sin)
– ∞	QNaN	QNaN
–0	+1	–0
+0	+1	+0
+ ∞	QNaN	QNaN
SNaN/QNaN	QNaN	QNaN

注. 出力QNaNの値はFFC0 0000hです。

40.3.5 atan 演算における入力値と出力値の関係

浮動小数 atan 演算における入力値 x、y のいずれかが、±0、±∞、SNaN (Signaling Not a Number)、および、QNaN (Quiet Not a Number) のとき、**表 40.8** に示す通り、決まった値を出力します。

また、入力値がともに ±0 の場合、入力エラーと判定します。

表40.8　特殊入力値とその出力値の関係(浮動小数atan演算の場合)

y \ x	−∞	負の数	−0	+0	正の数	+∞	SNaN/QNaN
−∞	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
負の数	QNaN	—	−π/2	−π/2	—	QNaN	QNaN
−0	QNaN	−π	QNaN (注 1)	QNaN (注 1)	−0	QNaN	QNaN
+0	QNaN	+π	QNaN (注 1)	QNaN (注 1)	+0	QNaN	QNaN
正の数	QNaN	—	+π/2	+π/2	—	QNaN	QNaN
+∞	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
SNaN/QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN

注1.　特殊入力値に対して入力エラーが発生し、入力エラーフラグ(TRGSTS.ERRF)をセットします。

固定小数 atan 演算における入力値 x、y がともに 0 の場合 (32 ビット固定小数として “0” でなくても、演算器が “0” として扱う数の場合)、入力エラーと判定します。入力エラー発生時の atan 演算の出力値は “0” です。

40.3.6 hypot_k 演算における入力値と出力値の関係

浮動小数 hypot_k 演算における入力値 x、y のいずれかが、±∞、SNaN (Signaling Not a Number)、および、QNaN (Quiet Not a Number) のとき、もしくは、x、y が共に ±0 のとき、**表 40.9** に示す通り、決まった値を出力します。

また、入力値がともに ±0 の場合、入力エラーと判定します。hypot_k 演算としては問題ない入力ですが、atan 演算がエラーになるためです。

表40.9　特殊入力値とその出力値の関係(hypot_k演算の場合)

y \ x	−∞	負の数	−0	+0	正の数	+∞	SNaN/QNaN
−∞	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
負の数	QNaN	—	—	—	—	QNaN	QNaN
−0	QNaN	—	+0 (注 1)	+0 (注 1)	—	QNaN	QNaN
+0	QNaN	—	+0 (注 1)	+0 (注 1)	—	QNaN	QNaN
正の数	QNaN	—	—	—	—	QNaN	QNaN
+∞	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN
SNaN/QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN	QNaN

注1.　特殊入力値に対して入力エラーが発生し、入力エラーフラグ(TRGSTS.ERRF)をセットします。

固定小数 hypot_k 演算における入力値 x、y がともに 0 の場合 (32 ビット固定小数として “0” でなくても、演算器が “0” として扱う数の場合)、入力エラーと判定します。hypot_k 演算としては問題ない入力ですが、atan 演算がエラーになるためです。入力エラー発生時の hypot_k 演算の出力値は “0” です。

40.4　使用手順

40.4.1　三角関数演算器の使用手順

演算結果の読み出し方法には、演算が終了してからデータレジスタを読み出す方法 (方法 1) と、演算が終了するのを待たずにデータレジスタを読みに行く方法 (方法 2) の 2 通りあります。それぞれの方法のメリット、デメリットを**表 40.10** に示します。また、sincos 処理時の使用手順を**図 40.2** に、atanhypot_k 処理時の使用手順を**図 40.3** に示します。

浮動小数 sincos 処理については、図中の SCDTn (n = 0, 1) を FPSCDTn に読み替えてください。同様に、固定小数 sincos 処理については、FXSCDTn に読み替えてください。

浮動小数 atanhypot_k 処理については、図中の ATDTn を FPATDTn に読み替えてください。同様に、固定小数 atanhypot_k 処理については、FXATDTn に読み替えてください。

表40.10　2つの読み出し方法のメリットとデメリット

方法	メリット	デメリット
演算が終了してからデータレジスタを読み出す方法(方法1)	バスを占有しない	TRGSTS.BSYF フラグの確認による演算終了判定処理が必要
演算が終了するのを待たずにデータレジスタを読みに行く方法(方法2)	TRGSTS.BSYF フラグの確認よる演算終了判定処理が不要（実行サイクル数短縮）	演算が終了するまでバスを占有する

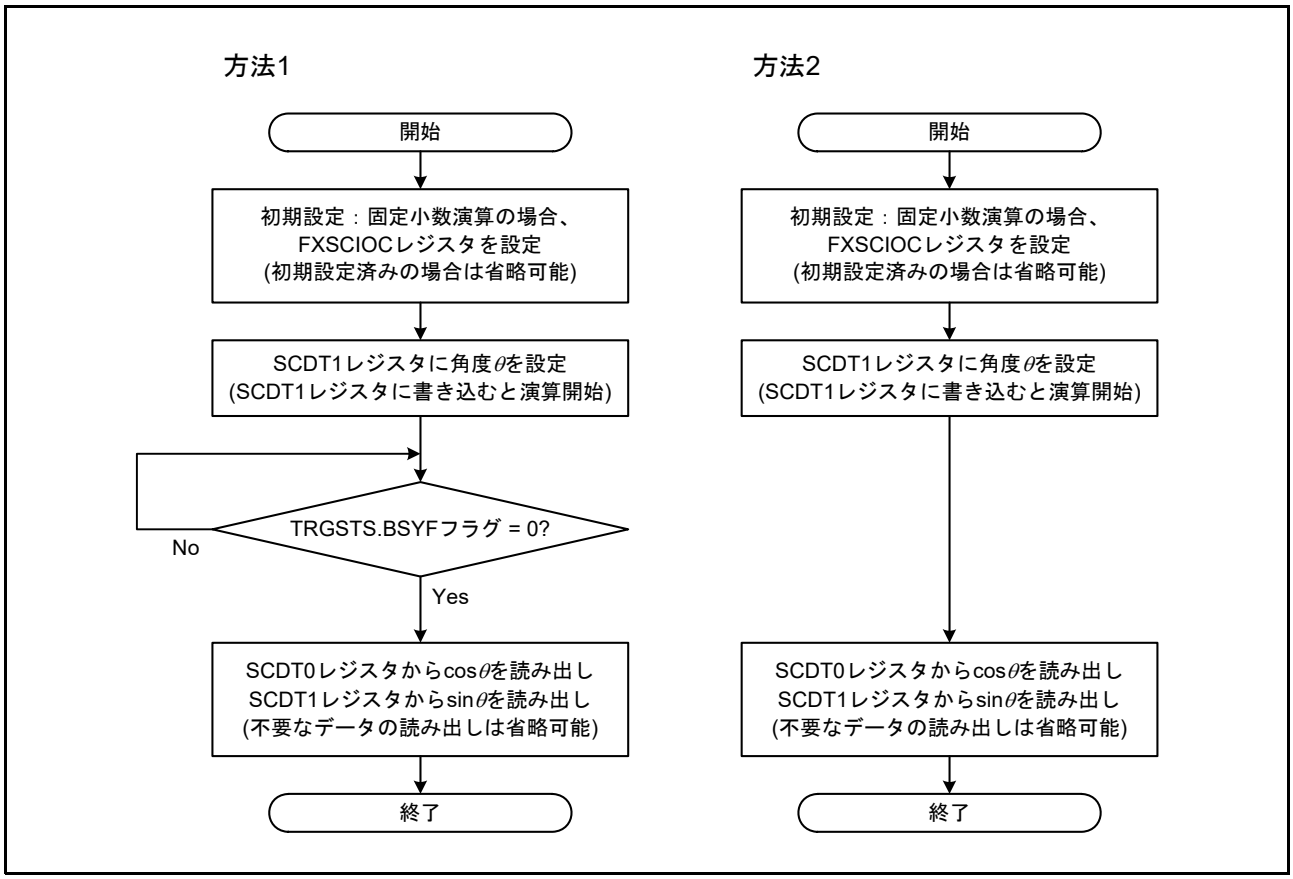


図 40.2　三角関数演算器の使用手順 (sincos 処理)

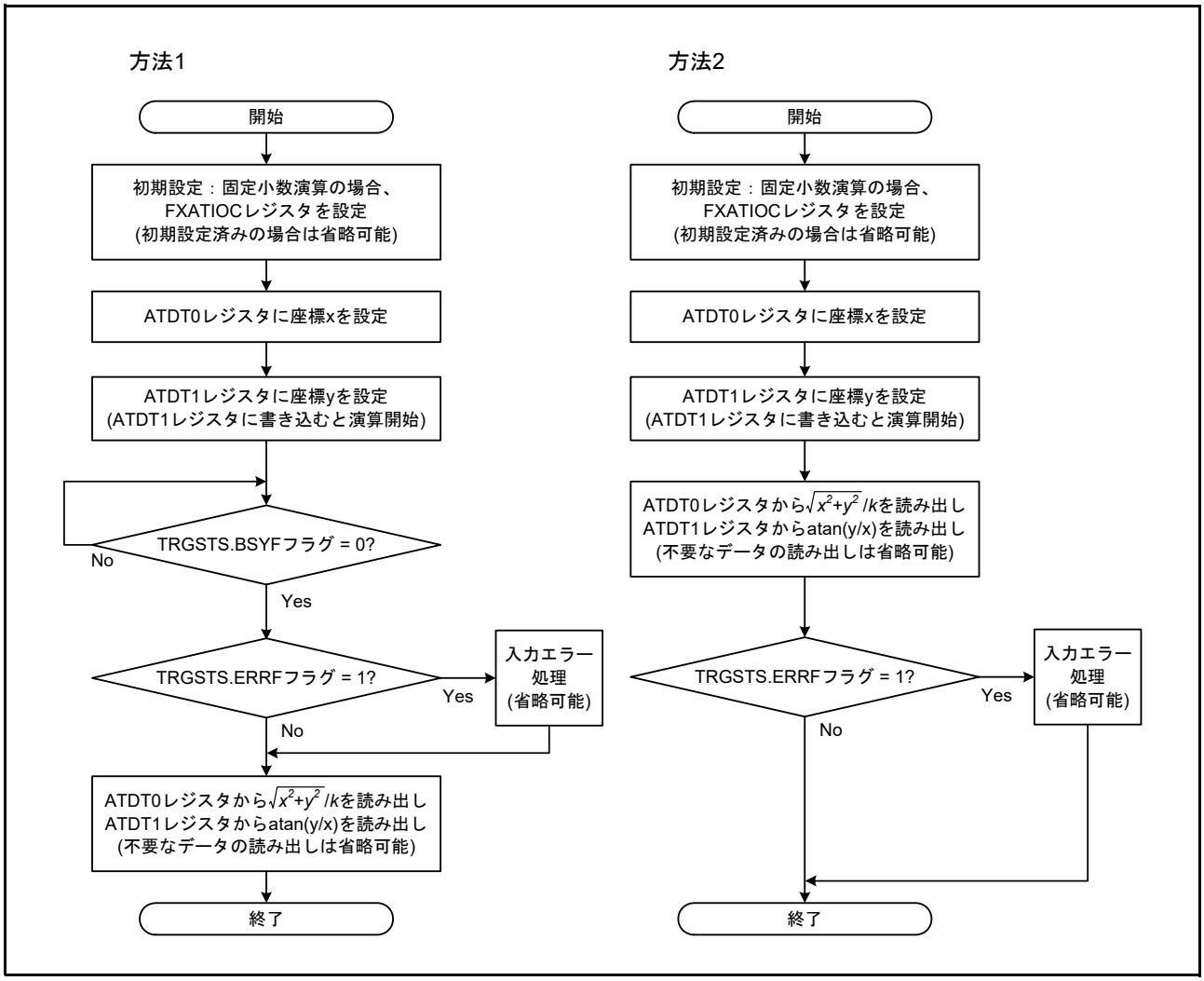


図 40.3 三角関数演算器の使用手順 (atanhypot_k 処理)

40.4.2　割り込みに関する使用方法

使用手順 (「40.4.1　三角関数演算器の使用手順」参照) の途中、データレジスタに書き込みを行ってからデータレジスタ・エラーフラグの読み出しを行うまでの間に割り込みが受け付けられ、そのハンドラ内で三角関数演算器を使った何らかの演算処理が実行されると、割り込み受付前のデータやエラーフラグが破壊されるため、割り込みハンドラからの復帰後に誤動作してしまいます。

そのため、多重割り込みを使用し複数の割り込みハンドラで三角関数演算器を使用する場合などには、この誤動作が起きないようにする必要があります。そのためには、以下のいずれかの方法をとってください。

(1) 割り込まれる可能性のある処理側で、データレジスタに書き込みを行ってからデータレジスタ・エラーフラグの読み出しを行うまでの間を割り込み禁止に設定する方法
(2) 割り込む側の割り込みハンドラでデータレジスタ・エラーフラグの退避・復帰を行う方法 (注 1、注 2)

注 1.　割り込みハンドラ内で実行する演算の種類や割り込み受け付け前に実行されていた演算の種類に関わらず、DTSR0、DTSR1、TRGSTS レジスタを用いてデータレジスタ、エラーフラグの退避・復帰を行ってください。図 40.4 に割り込みハンドラでの退避・復帰手順を示します。この手順に従うことで、割り込みハンドラからの復帰後、割り込み受け付け前に行われていた処理を誤動作させずに継続できます。

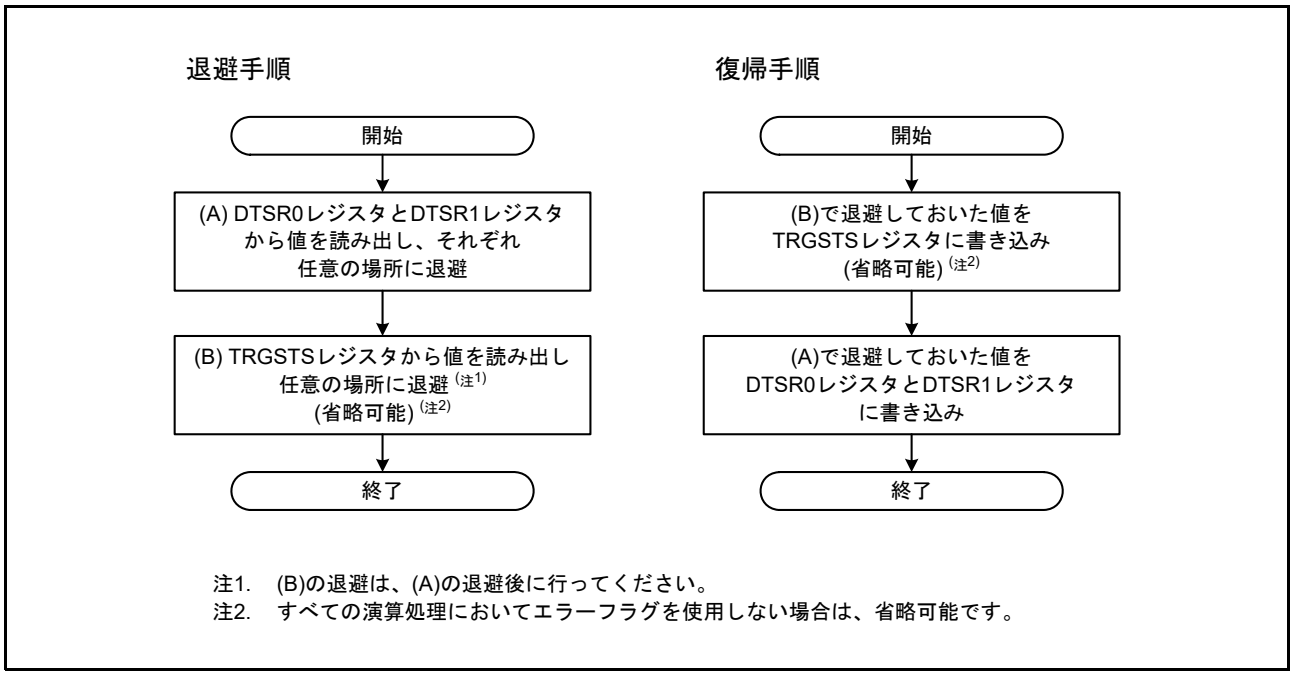


図 40.4　割り込みハンドラでのデータ退避・復帰手順

注 2.　割り込みハンドラ内で設定を変更して演算処理を実行する場合は、データレジスタとエラーフラグに加えて設定レジスタ (FXSCIOC, FXATIOC) の退避・復帰も必要です。必要に応じて設定レジスタの退避・復帰を行ってください。設定レジスタを退避する際は、(A) の退避後に行ってください。

41. Trusted Secure IP (TSIP-Lite)

本 MCU は、セキュリティ機能に対応した Trusted Secure IP (TSIP-Lite) を内蔵しています。TSIP-Lite はアクセスマネジメント回路、暗号エンジン、乱数生成回路から構成されます。TSIP-Lite は、TSIP-Lite ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」が実現できます。

また、暗号、復号の処理に用いる鍵情報は TSIP-Lite 内のみに格納し、外部からのアクセスを遮断することが可能なため、より強固なセキュリティシステムを実現することができます。

41.1 概要

表 41.1 に TSIP-Lite の仕様を示します。**図 41.1** に TSIP-Lite のブロック図を示します。

表41.1 TSIP-Liteの仕様

項目	内容
アクセス制御	アクセスマネジメント回路 • プログラムの改ざんや、CPUの暴走等によりTSIP-Liteへの異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP-Liteからのデータ出力を停止
暗号エンジン	AES：NIST FIPS PUB 197準拠 • 鍵長：128ビット/256ビット • データブロック長：128ビット • 暗号利用モード ECB, CBC, CTR：NIST SP 800-38A準拠 CMAC：NIST SP 800-38B準拠 CCM：NIST SP 800-38C準拠 GCM：NIST SP 800-38D準拠 XTS：NIST SP 800-38E準拠 GCTR • 実行サイクル数(注1) ECB, CBC, CTR, CMAC, GCTR, XTS： 鍵長 128ビット：PCLKB 44サイクル、256ビット：PCLKB 61サイクル CCM： 鍵長 128ビット：PCLKB 88サイクル AES-GCM • AES-GCTRとGHASHの組み合わせでAES GCMを実現 鍵の管理 • 鍵はTSIP-Liteの内部でのみ有効 • TSIP-Liteの外部には鍵生成情報のみを出力 • 鍵生成情報をTSIP-Liteに入力することで、鍵が再生成可能 エンディアン • ビッグエンディアン、リトルエンディアンに対応
乱数生成	32ビット真性乱数生成回路 • 32ビット真性乱数を用いてTSIP-Liteライブラリにより128ビット、256ビットの真性乱数を生成可能 • 生成した128ビット、256ビットの真性乱数を暗号、復号の鍵として使用可能
鍵の不正コピー防止	• MCU個体固有のID (ユニークID)をアクセスマネジメント回路から専用バス経由でアクセス可能 • ユニークIDを用いて鍵を鍵生成情報に変換することで、本MCUグループの別の個体への不正コピーを防止可能
スーパバイザモード	• スーパバイザモード信号をアクセスマネジメント回路に接続しており、TSIP-Liteの制御をスーパバイザモード時に限定することが可能
割り込み要因	3種類 DMAC/DTCによるデータ転送が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. TSIP-Liteライブラリ呼び出しのオーバヘッドは含みません。

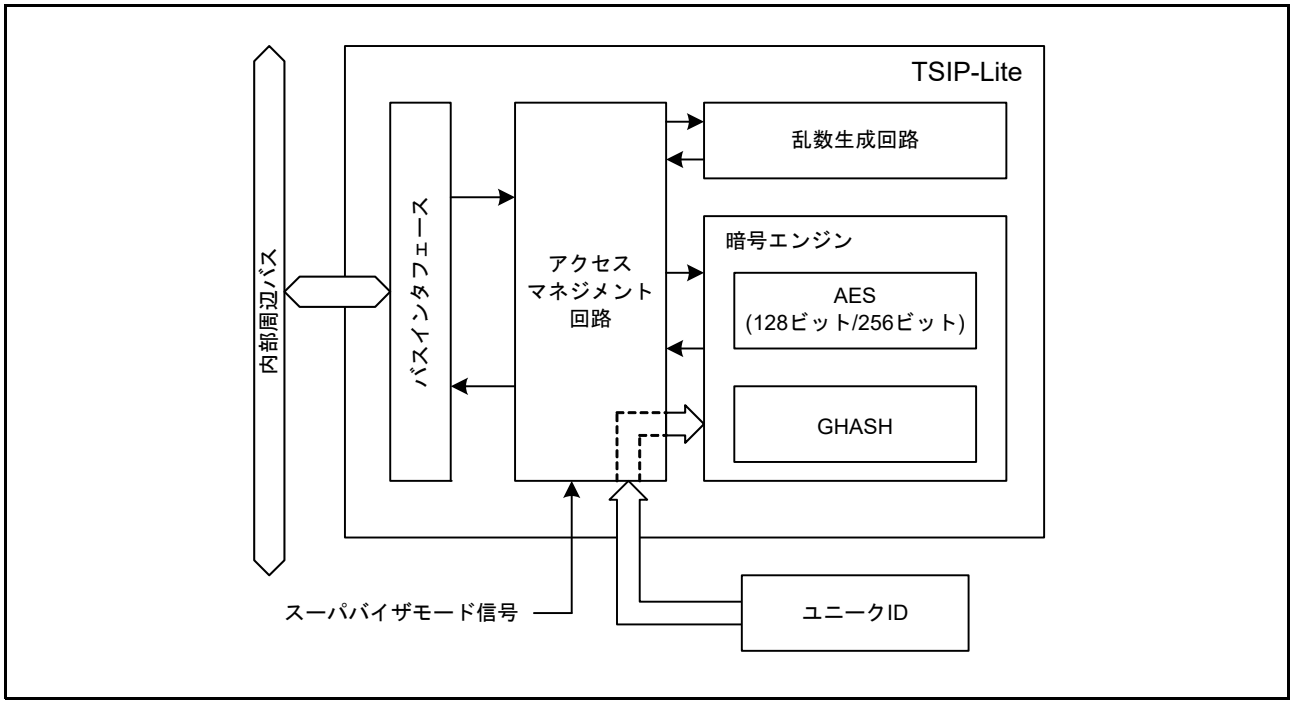


図 41.1 TSIP-Lite のブロック図

41.2 動作説明

41.2.1 動作モードと状態遷移

図 41.2 に TSIP-Lite の状態遷移図を示します。

TSIP-Lite のセキュリティ機能を使用する場合は、ルネサス エレクトロニクスが提供する TSIP-Lite ライブラリを用いて、図に示す状態遷移に従って実行する必要があります。

また、プログラムの改ざんや CPU の暴走等により、手順を違反して TSIP-Lite への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP-Lite からのデータ出力を停止します。

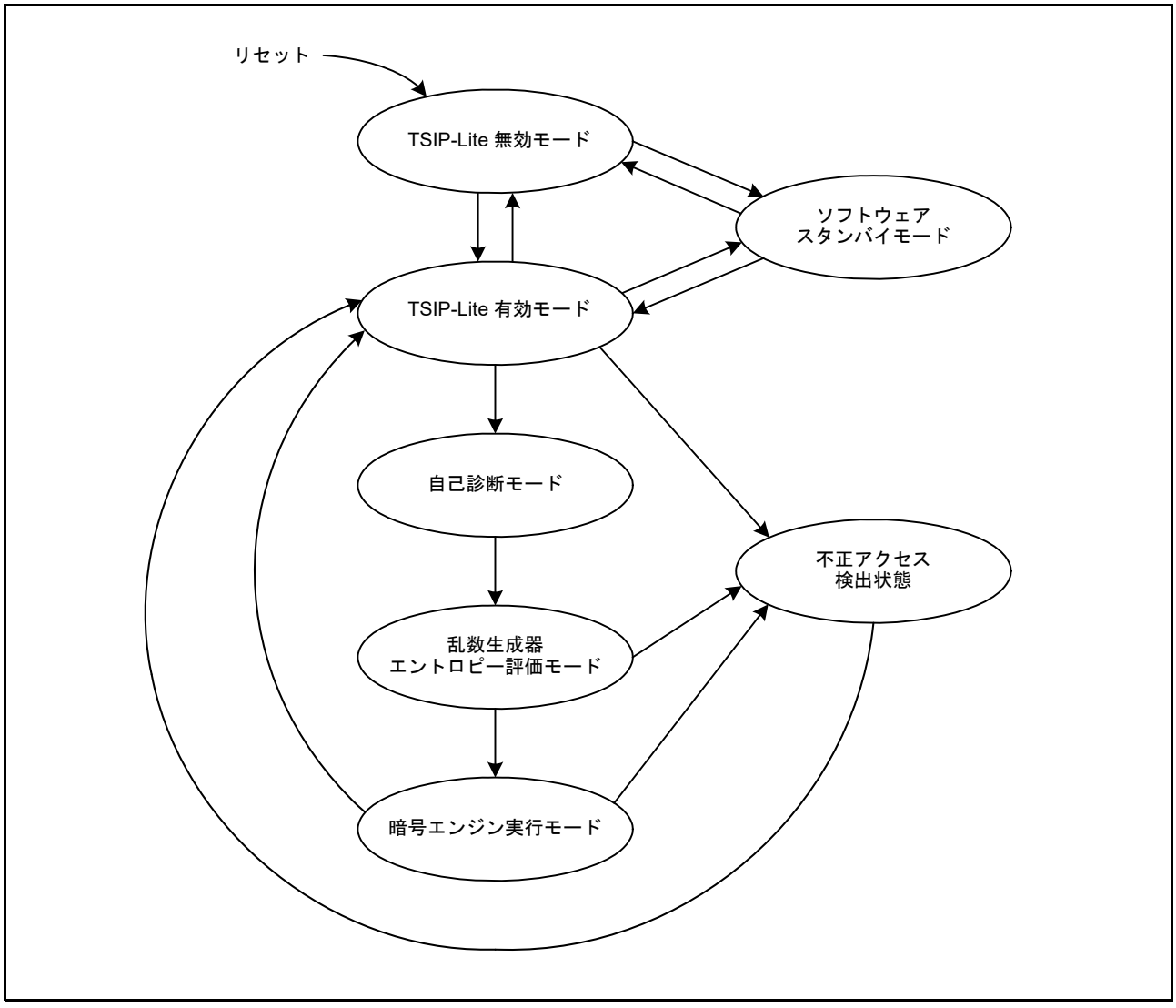


図 41.2 TSIP-Lite の動作モード状態遷移図

TSIP-Lite が提供するセキュリティ機能の多くは、暗号エンジン実行モードで実行します。暗号エンジン実行モードでは、次の処理を行うことができます。

(1) 鍵インストール
(2) 暗号 / 復号処理
(3) 鍵生成
(4) 乱数生成

41.2.2 暗号エンジン

TSIP-Lite に搭載している暗号エンジンの概念図を**図 41.3** に示します。

暗号エンジンは鍵生成情報を使用し、平文を暗号文に、または暗号文を平文に変換する処理をハードウェアで行います。

ユーザ鍵や暗号 / 復号処理の中間データが TSIP-Lite の外部に出力されることなく、暗号 / 復号処理を行うことができます。

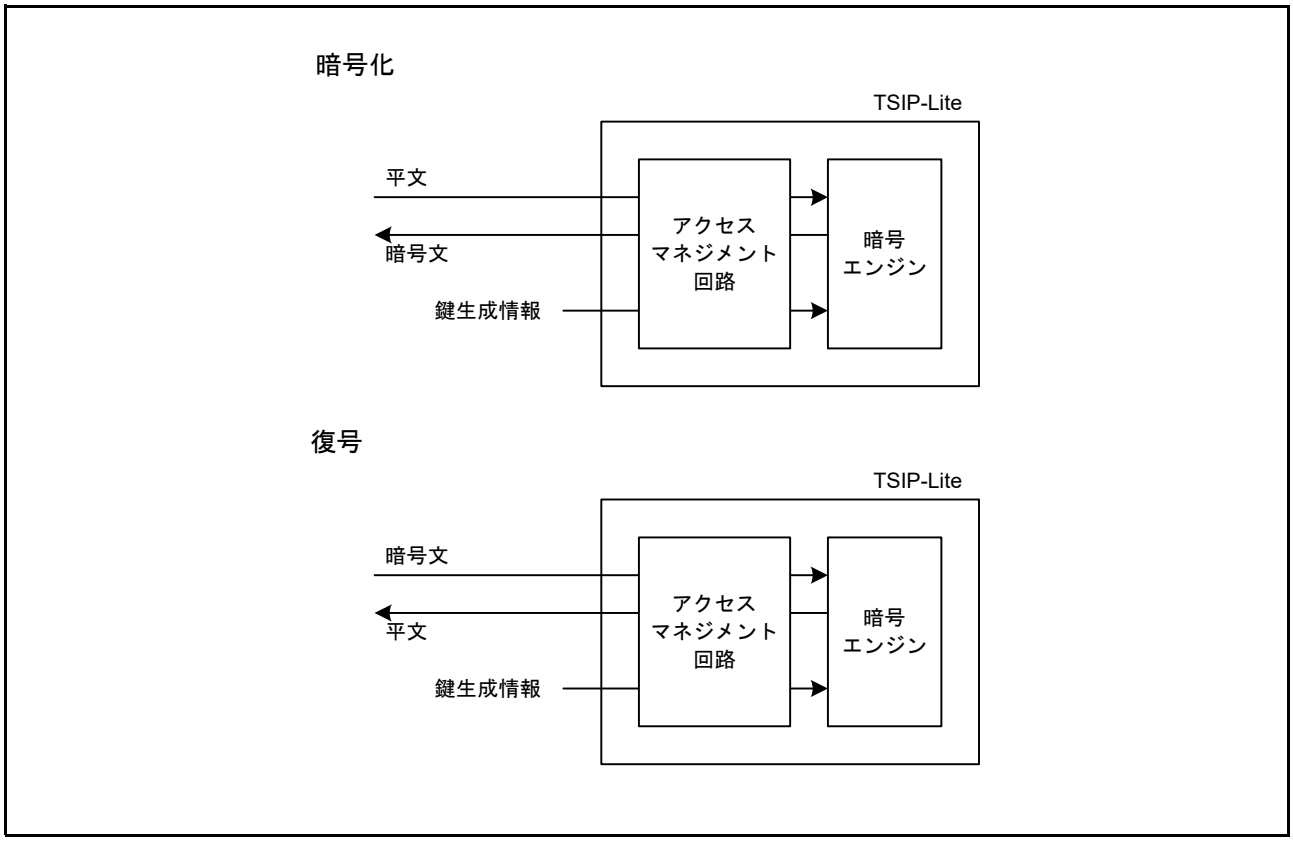


図 41.3 暗号エンジン概念図

41.2.3 鍵インストール

ユーザ鍵のインストールは、ユーザ鍵を安全に鍵生成情報に変換してフラッシュメモリに格納する処理です。以下に鍵のインストール手順について説明します。

(1) ユーザは、ユーザ鍵 (Key-1) を、ユーザ鍵を暗号化するための鍵 (Key-2) で暗号化します (eKey-1)。
(2) ユーザはシリアルインタフェースを用いて TSIP-Lite に暗号化したユーザ鍵 (eKey-1) を送ります。
(3) TSIP-Lite ライブラリで提供される Key-2 の鍵生成情報 (Index-2) から Key-2 を復元し、この鍵を用いてユーザ鍵を復号します。
(4) ユーザ鍵をユニーク ID および乱数を用いてユーザ鍵生成情報 (Index-1) に変換し、フラッシュメモリに格納します。

これらのインストール手順の概念図を**図 41.4** に、フローを**図 41.5** に示します。
ユーザ鍵をインストールした後は、ユーザ鍵生成情報 (Index-1) を使用して暗号 / 復号処理を行います。

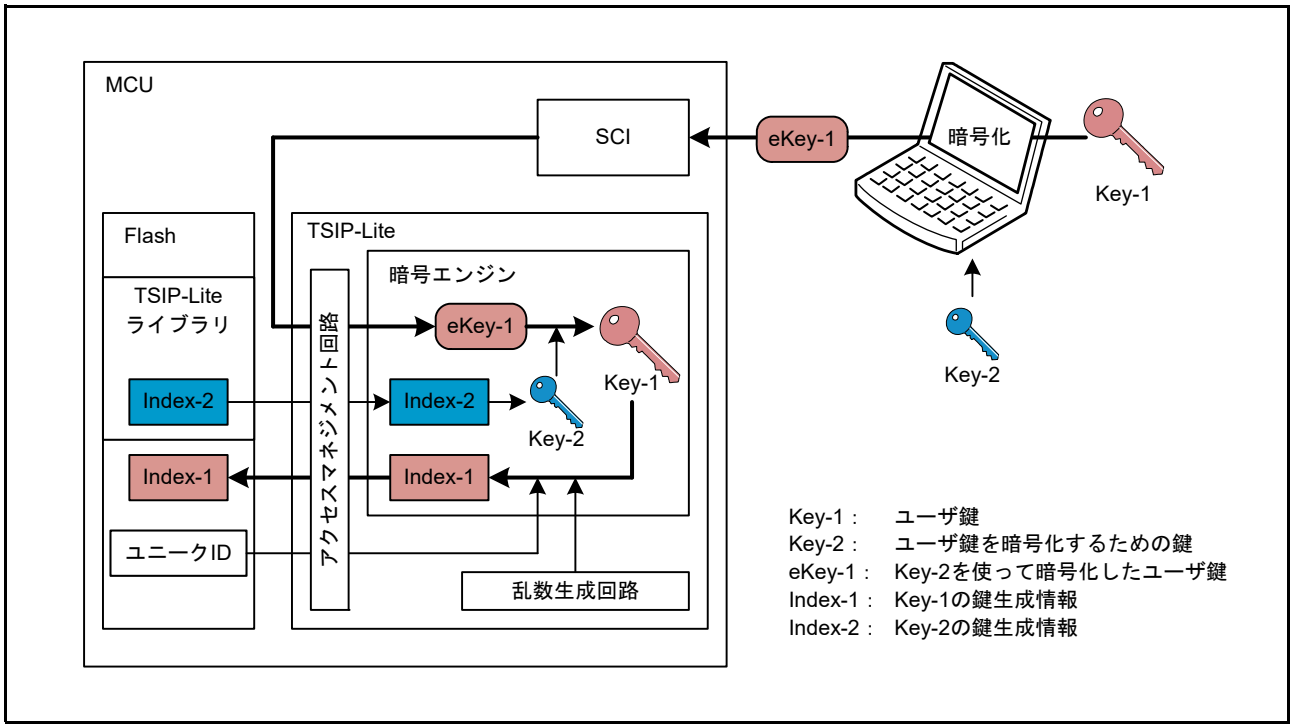


図 41.4 鍵インストール概念図

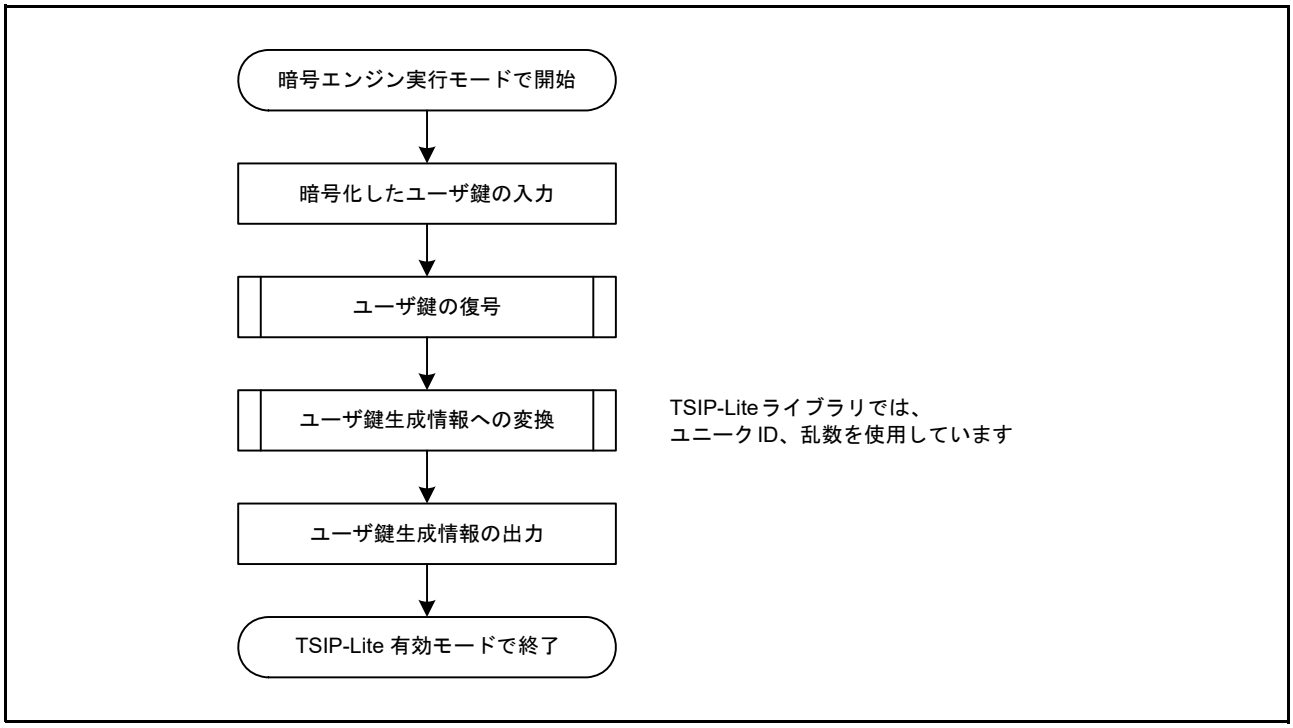


図 41.5 鍵インストールフロー

41.2.4 暗号 / 復号処理

暗号 / 復号処理は、以下の手順で行います。

(1) 鍵生成情報を TSIP-Lite に入力し、ユーザ鍵を復元します。
(2) 処理対象のデータを TSIP-Lite に入力します。平文は暗号文に、暗号文は平文に変換されます。
(3) 変換されたデータを読み出します。

暗号エンジンは入力バッファ、出力バッファを持っており、データの入出力と並行して暗号 / 復号処理を行うことができます。

図 41.6 に AES の暗号 / 復号処理タイミング図を、図 41.7 に暗号化フロー、図 41.8 に復号フローを示します。

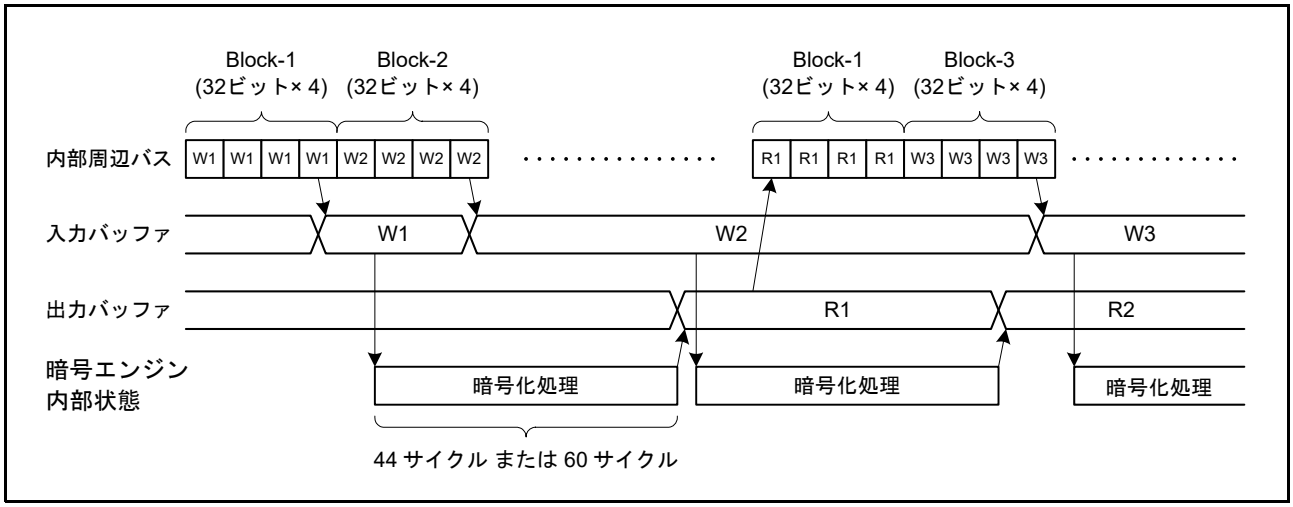


図 41.6 AES 暗号 / 復号処理タイミング図

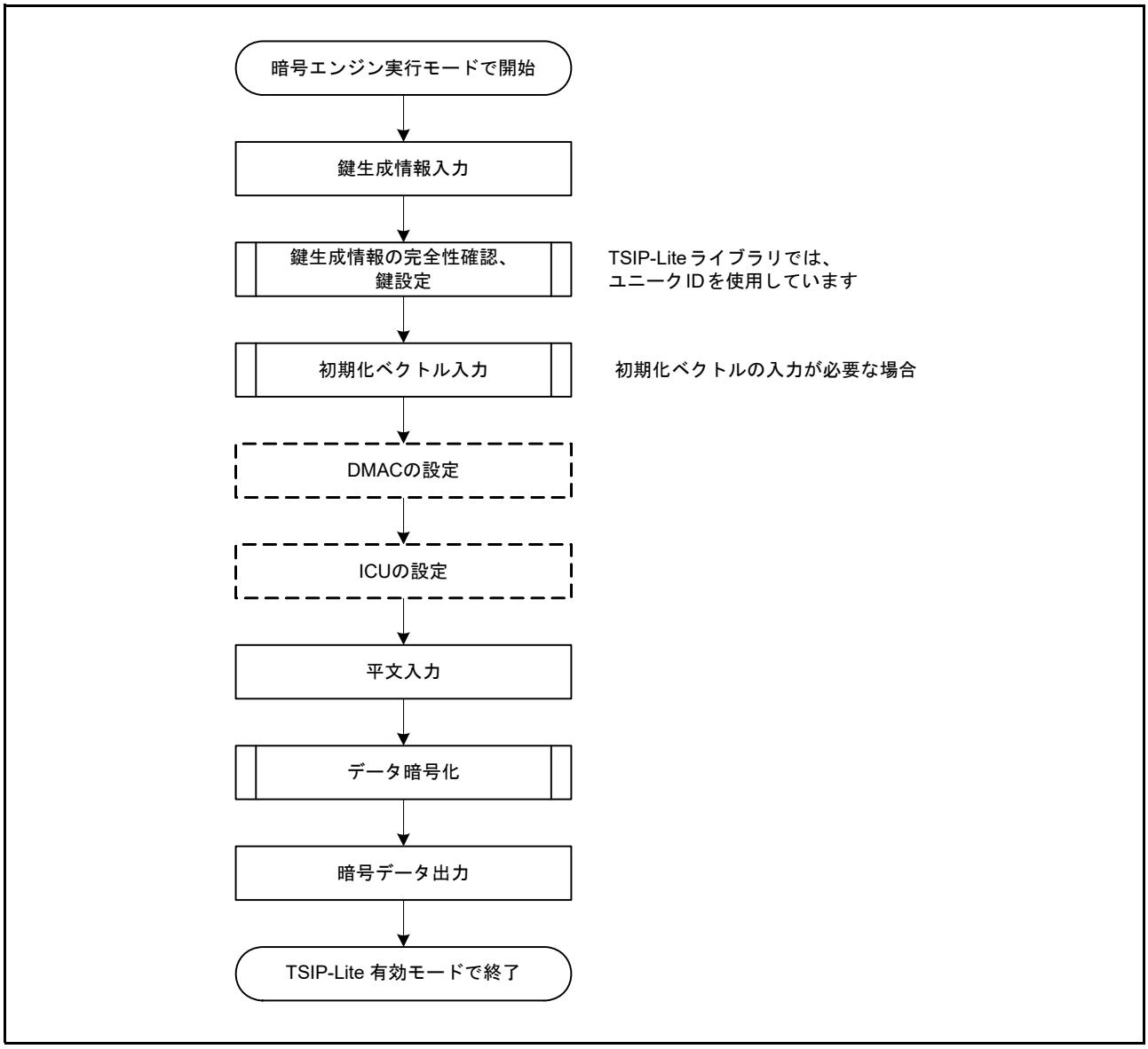

暗号エンジン実行モードで開始
鍵生成情報入力
鍵生成情報の完全性確認、
鍵設定
TSIP-Liteライブラリでは、
ユニークIDを使用しています
初期化ベクトル入力
初期化ベクトルの入力が必要な場合
DMACの設定
ICUの設定
平文入力
データ暗号化
暗号データ出力
TSIP-Lite 有効モードで終了

図 41.7　暗号化フロー

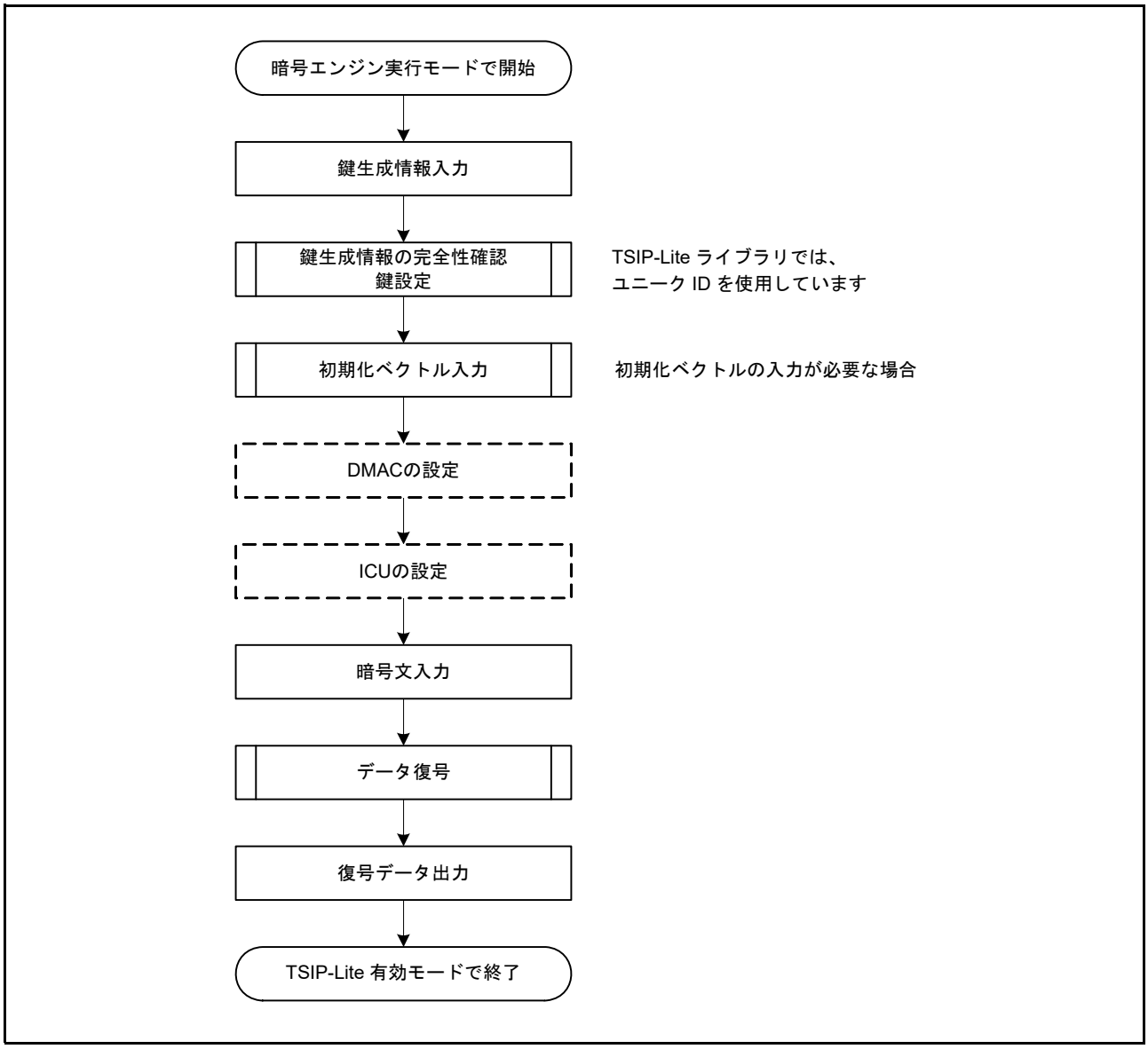

暗号エンジン実行モードで開始
鍵生成情報入力
鍵生成情報の完全性確認
鍵設定
TSIP-Lite ライブラリでは、
ユニーク ID を使用しています
初期化ベクトル入力
初期化ベクトルの入力が必要な場合
DMACの設定
ICUの設定
暗号文入力
データ復号
復号データ出力
TSIP-Lite 有効モードで終了

図 41.8　復号フロー

41.2.5 鍵生成情報作成 (乱数使用)

図 41.9 に乱数使用時の鍵生成情報作成フローを示します。

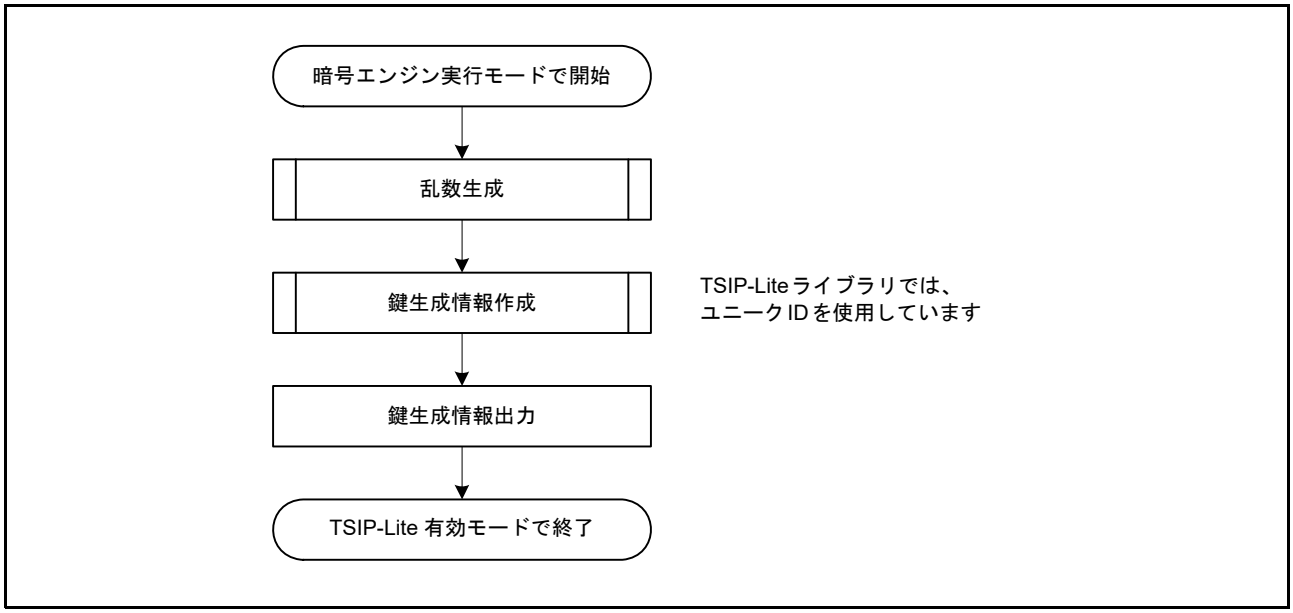


図 41.9 鍵生成情報作成フロー (乱数使用)

41.2.6 乱数生成

図 41.10 に乱数生成のフローを示します。

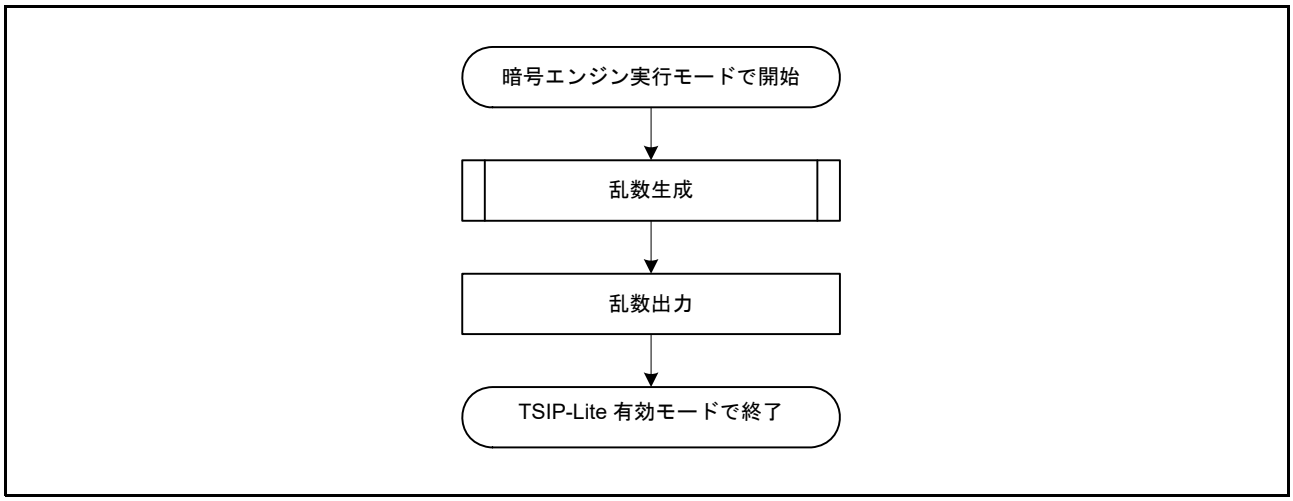


図 41.10 乱数生成フロー

41.3 割り込み

表 41.2 に TSIP-Lite の割り込み要因の一覧を示します。

TSIP-Lite ライブラリではこれらの割り込みを使用して処理を行っています。これらの割り込み要因に対応する ICU.IERm.IENj ビットを “0” にしないでください。

表41.2 TSIP-Liteの割り込み要因

名称	割り込み要因	DTC/DMACの起動
RD	データ出力レディ	可能
WR	データ入力レディ	可能
Error	不正アクセス検出	不可能

41.4 使用上の注意事項

41.4.1 スタンバイモード

暗号エンジンが処理を実行している途中にスタンバイモードに遷移した場合、復帰後に処理を継続しても正しく動作しません。TSIP-Lite 無効モードまたは TSIP-Lite 有効モードに遷移した後にスタンバイモードに移行して下さい。

41.4.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSIP-Lite の動作を禁止 / 許可することができます。リセット後は、TSIP-Lite の動作は停止しています。モジュールストップ状態を解除することにより、TSIP-Lite にアクセスできます。詳細は「11. **消費電力低減機能**」を参照して下さい。

41.4.3 TSIP-Lite ライブラリ

TSIP-Lite を使用する際は、ルネサス エレクトロニクスから提供する TSIP-Lite ライブラリが必要になります。TSIP-Lite ライブラリに関する情報は、弊社営業窓口にお問い合わせください。

42. 12 ビット A/D コンバータ (S12ADHa)

42.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータを最大 3 ユニット (S12AD, S12AD1, S12AD2) 内蔵しています。

12 ビット A/D コンバータは、選択したチャネルのアナログ入力、温度センサ出力または内部基準電圧を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードには、任意に選択したアナログ入力を任意のチャネル番号順に変換するシングルスキャンモード、任意に選択したアナログ入力を任意のチャネル番号順に連続して変換する連続スキャンモード、任意に選択したアナログ入力を 2 つ (グループ A、グループ B) または 3 つのグループ (グループ A、グループ B、グループ C) に分け、グループ単位で選択したチャネルのアナログ入力を任意のチャネル番号順に変換するグループスキャンモードの 3 種類あります。

グループスキャンモードは、2 つのグループ (グループ A、B) か、3 つのグループ (グループ A、B、C) のどちらか一方を選択します。各グループ (A, B, C) のスキャン開始条件 (同期トリガ) を個別に選択し、各グループ (A, B, C) のスキャンを異なるタイミングで開始することができます。

グループスキャンモードのグループ優先動作は、前述の動作に加え、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。グループ優先動作の優先順位は、グループ A > グループ B > グループ C の順となります。グループ優先動作では、グループ C のスキャン中にグループ B のスキャン開始を受け付けるとグループ C のスキャンを中断しグループ B のスキャンを開始する、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始する、同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けるとグループ B のスキャンを中断し、グループ A のスキャンを開始する動作となります。

また中断したグループのスキャンを優先グループのスキャン終了後に再開することもできます。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの二重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

シングルスキャンモードとグループスキャンモードで温度センサ出力または内部基準電圧の選択が可能です。温度センサ出力と内部基準電圧を選択した場合は、温度センサ出力、内部基準電圧の順で A/D 変換を行います。連続スキャンモードでは温度センサ出力または内部基準電圧を選択できません。

コンペア機能 (ウィンドウ A、ウィンドウ B) を有しています。また、A/D 変換値と Low 側基準値を比較するコンパレータ動作も可能です。

表 42.1 に 12 ビット A/D コンバータの仕様を、**表 42.2** に 12 ビット A/D コンバータの機能概要を示します。**図 42.1** ～**図 42.4** に 12 ビット A/D コンバータのブロック図を示します。

表42.1　12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	3ユニット(S12AD, S12AD1, S12AD2) (RAM容量が64Kバイトの製品) 2ユニット(S12AD, S12AD2) (RAM容量が48Kバイトの製品)
入力チャネル	S12AD：4チャネル、S12AD1：4チャネル、S12AD2：14チャネル (RAM容量が64Kバイトの製品) S12AD：7チャネル、S12AD2：8チャネル (RAM容量が48Kバイトの製品)
拡張アナログ機能	温度センサ出力、内部基準電圧(S12AD2のみ)
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャネルあたり0.9 μs (A/D変換クロック　ADCLK = 60 MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB(注1)とA/D変換クロックADCLK(注1)を以下の周波数比で設定可能 PCLKB：ADCLK周波数比= 1：1、2：1、4：1、1：2 ADCLKの設定はクロック発生回路で行います。 A/D変換クロックADCLKは最高60 MHz、最低8 MHzまで動作可能
データレジスタ	• アナログ入力用1本/チャネル、ダブルトリガモードでのA/D変換データ二重化用1本/ユニット、ダブルトリガ拡張モード時のA/D変換データ二重化用2本/ユニット • 温度センサ用1本(S12AD2) • 内部基準電圧用1本(S12AD2) • 自己診断用1本/ユニット • A/D変換結果を12ビットA/Dデータレジスタに保持 • 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 • ダブルトリガモード(シングルスキャンとグループスキャンモードで使用可能) 選択した1つのチャネルのアナログ入力のA/D変換データを1回目は対象チャネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持 • ダブルトリガ拡張モード(特定トリガ種別で有効) 選択した1つのチャネルのアナログ入力のA/D変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	動作モードは各ユニット個別に設定可能です。 • シングルスキャンモード： 任意に選択したチャネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換(S12AD2) 内部基準電圧を1回のみA/D変換(S12AD2) • 連続スキャンモード： 任意に選択したチャネルのアナログ入力を繰り返しA/D変換 • グループスキャンモード： 使用するグループの数は2つ(グループA、B)と3つ(グループA、B、C)が選択可能 (グループの数が2つの場合、グループA、グループBの組み合わせのみ選択可能) 任意に選択したチャネルのアナログ入力、温度センサ出力(S12AD2)、内部基準電圧(S12AD2)をグループAとグループBまたはグループA、B、Cに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBとグループCは、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 • グループスキャンモード(グループ優先制御選択時) 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループA(高)>グループB>グループC(低)。優先グループのスキャン終了後、低優先グループのスキャンを再実行(再スキャン)する/しないを設定可能。また再スキャンは、選択チャネルの最初からか、A/D変換未終了のチャネルからかを設定可能
A/D変換開始条件	• ソフトウェアトリガ • 同期トリガ マルチファンクションタイマパルスユニット(MTU)、汎用PWMタイマ(GPTW)、8ビットタイマ(TMR)、イベントリンクコントローラ(ELC)からのトリガ • 非同期トリガ 外部トリガADTRG0# (S12AD)、ADTRG1# (S12AD1)、ADTRG2# (S12AD2)端子によるA/D変換動作の開始が可能(各ユニット個別)

表42.1　12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
機能	• チャネル専用サンプル&ホールド機能(S12ADとS12AD1にそれぞれ3チャネル) (常時サンプリング設定可能) • サンプリング時間可変機能(チャネルごとに設定可能) • 12ビットA/Dコンバータの自己診断機能 • A/D変換値加算モードと平均モードが選択可能 • アナログ入力断線検出アシスト機能(ディスチャージ機能/プリチャージ機能) • ダブルトリガモード(A/D変換データ二重化機能) • A/Dデータレジスタオートクリア機能 • コンペア機能(ウィンドウA、ウィンドウB) • 各ユニットでのチャネル変換順序を設定可能 • プログラマブルゲインアンプによる入力信号増幅機能(S12ADとS12AD1にそれぞれ3チャネル) (RAM容量が64Kバイトの製品のみ)
割り込み要因	• ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(各ユニット個別) • ダブルトリガモードでは、2回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(各ユニット個別) • グループスキャンモードでは、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生。グループBのスキャン終了でグループBスキャン終了割り込み要求(S12GBADI, S12GBADI1, S12GBADI2)が発生。グループCのスキャン終了でグループCスキャン終了割り込み要求(S12GCADI, S12GCADI1, S12GCADI2)が発生 • グループスキャンモードでダブルトリガモード有効時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生。グループBとグループCのスキャン終了で、それぞれのスキャン終了割り込み要求(S12GBADI/S12GCADI, S12GBADI1/S12GCADI1, S12GBADI2/S12GCADI2)が発生 • デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPAI, S12CMPAI1, S12CMPAI2, S12CMPBI, S12CMPBI1, S12CMPBI2)が発生 • S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2割り込みでDMAコントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	• すべてのスキャン終了時にイベント出力 • シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 • ELCからのトリガによりスキャン開始可能
消費電力低減機能	• モジュールストップ状態への遷移が可能(注3、注4)

注1. 周辺モジュールクロックPCLKBはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。
注2. 加算時の拡張ビット数は、加算回数により異なります。
2ビット拡張：1～4回変換(0～3回加算)
4ビット拡張：16回変換(15回加算)
注3. 詳細は、「11. 消費電力低減機能」を参照してください。
注4. モジュールストップ状態を解除した後は、1 μs以上待ってからA/D変換を開始してください。

表42.2　12ビットA/Dコンバータの機能概要 (1 / 3)

項目			端子名、略称等		
			ユニット0 (S12AD)	ユニット1 (S12AD1)	ユニット2 (S12AD2)
アナログ入力チャネル			AN000～AN006	AN100～AN103	AN200～AN211、AN216、AN217、内部基準電圧、温度センサ出力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能		
	非同期トリガ	トリガ入力端子	ADTRG0#	ADTRG1#	ADTRG2#
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0N		
		MTU1.TGRAのコンペアマッチ/インプットキャプチャ	TRGA1N		
		MTU2.TGRAのコンペアマッチ/インプットキャプチャ	TRGA2N		
		MTU3.TGRAのコンペアマッチ/インプットキャプチャ	TRGA3N		
		MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	TRGA4N		
		MTU6.TGRAのコンペアマッチ/インプットキャプチャ	TRGA6N		
		MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	TRGA7N		
		MTU0.TGREのコンペアマッチ	TRG0N		
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN		
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN		
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4ANまたはTRG4BN		
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	TRG4ABN		
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	TRG7AN		
		MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7BN		
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7ANまたはTRG7BN		
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	TRG7ABN		
		MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA9N		
		MTU9.TGREのコンペアマッチ	TRG9N		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU0.TGREのコンペアマッチ	TRGA0NまたはTRG0N		

表42.2　12ビットA/Dコンバータの機能概要 (2 / 3)

項目			端子名、略称等		
			ユニット0 (S12AD)	ユニット1 (S12AD1)	ユニット2 (S12AD2)
A/D変換開始条件	同期トリガ	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU9.TGREのコンペアマッチ	TRGA9NまたはTRG9N		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0NまたはTRGA9N		
		MTU0.TGREのコンペアマッチ、または、MTU9.TGREのコンペアマッチ	TRG0NまたはTRG9N		
		MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	TRG9AEN		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	TRG0AEN		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA09N		
		MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	TRG09N		
		GPTW0.GTADTRAのコンペアマッチ	GTADTRA0N		
		GPTW0.GTADTRBのコンペアマッチ	GTADTRB0N		
		GPTW1.GTADTRAのコンペアマッチ	GTADTRA1N		
		GPTW1.GTADTRBのコンペアマッチ	GTADTRB1N		
		GPTW2.GTADTRAのコンペアマッチ	GTADTRA2N		
		GPTW2.GTADTRBのコンペアマッチ	GTADTRB2N		
		GPTW3.GTADTRAのコンペアマッチ	GTADTRA3N		
		GPTW3.GTADTRBのコンペアマッチ	GTADTRB3N		
		GPTW0.GTADTRAのコンペアマッチ、または、GPTW0.GTADTRBのコンペアマッチ	GTADTRA0NまたはGTADTRB0N		
		GPTW1.GTADTRAのコンペアマッチ、または、GPTW1.GTADTRBのコンペアマッチ	GTADTRA1NまたはGTADTRB1N		
		GPTW2.GTADTRAのコンペアマッチ、または、GPTW2.GTADTRBのコンペアマッチ	GTADTRA2NまたはGTADTRB2N		
		GPTW3.GTADTRAのコンペアマッチ、または、GPTW3.GTADTRBのコンペアマッチ	GTADTRA3NまたはGTADTRB3N		
		GPTW4.GTADTRAのコンペアマッチ	GTADTRA4N		
		GPTW4.GTADTRBのコンペアマッチ	GTADTRB4N		
		GPTW5.GTADTRAのコンペアマッチ	GTADTRA5N		
		GPTW5.GTADTRBのコンペアマッチ	GTADTRB5N		
		GPTW6.GTADTRAのコンペアマッチ	GTADTRA6N		
		GPTW6.GTADTRBのコンペアマッチ	GTADTRB6N		
		GPTW7.GTADTRAのコンペアマッチ	GTADTRA7N		
		GPTW7.GTADTRBのコンペアマッチ	GTADTRB7N		
		GPTW4.GTADTRAのコンペアマッチ、または、GPTW4.GTADTRBのコンペアマッチ	GTADTRA4NまたはGTADTRB4N		
		GPTW5.GTADTRAのコンペアマッチ、または、GPTW5.GTADTRBのコンペアマッチ	GTADTRA5NまたはGTADTRB5N		
		GPTW6.GTADTRAのコンペアマッチ、または、GPTW6.GTADTRBのコンペアマッチ	GTADTRA6NまたはGTADTRB6N		

表42.2　12ビットA/Dコンバータの機能概要 (3 / 3)

項目			端子名、略称等		
			ユニット0 (S12AD)	ユニット1 (S12AD1)	ユニット2 (S12AD2)
A/D変換開始条件	同期トリガ	GPTW7.GTADTRAのコンペアマッチ、または、GPTW7.GTADTRBのコンペアマッチ	GTADTRA7NまたはGTADTRB7N		
		TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0		
		TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1		
		TMR4.TCORAとTMR4.TCNTのコンペアマッチ	TMTRG0AN_2		
		TMR6.TCORAとTMR6.TCNTのコンペアマッチ	TMTRG0AN_3		
		ELCトリガ	ELCTRG00N	ELCTRG10N	ELCTRG20N
			ELCTRG01N	ELCTRG11N	ELCTRG21N
			ELCTRG00N または ELCTRG01N	ELCTRG10N または ELCTRG11N	ELCTRG20N または ELCTRG21N
チャネル専用サンプル&ホールド機能		対象チャネル	AN000～AN002	AN100～AN102	—
割り込み			S12ADI、S12GBADI、S12GCADI、S12CMPAI、S12CMPBI割り込み	S12ADI1、S12GBADI1、S12GCADI1、S12CMPAI1、S12CMPBI1割り込み	S12ADI2、S12GBADI2、S12GCADI2、S12CMPAI2、S12CMPBI2割り込み
モジュールストップ機能の設定(注1、注2)			MSTPCRA.MSTPA17ビット	MSTPCRA.MSTPA16ビット	MSTPCRA.MSTPA23ビット

注.　A/D変換を開始するトリガをADTRG0#、ADTRG1#、ADTRG2#に設定する場合は、該当する端子のポートモードレジスタの端子モード制御ビットを“1”(周辺機能)に、端子機能制御レジスタの端子機能選択ビットをADTRG0#、ADTRG1#、ADTRG2#に設定してください。詳細は「20.　I/Oポート」、「21.　マルチファンクションピンコントローラ(MPC)」を参照してください。

注1.　詳細は、「11.　消費電力低減機能」を参照してください。

注2.　モジュールストップ状態を解除後は、1 μs以上待ってからA/D変換を開始してください。

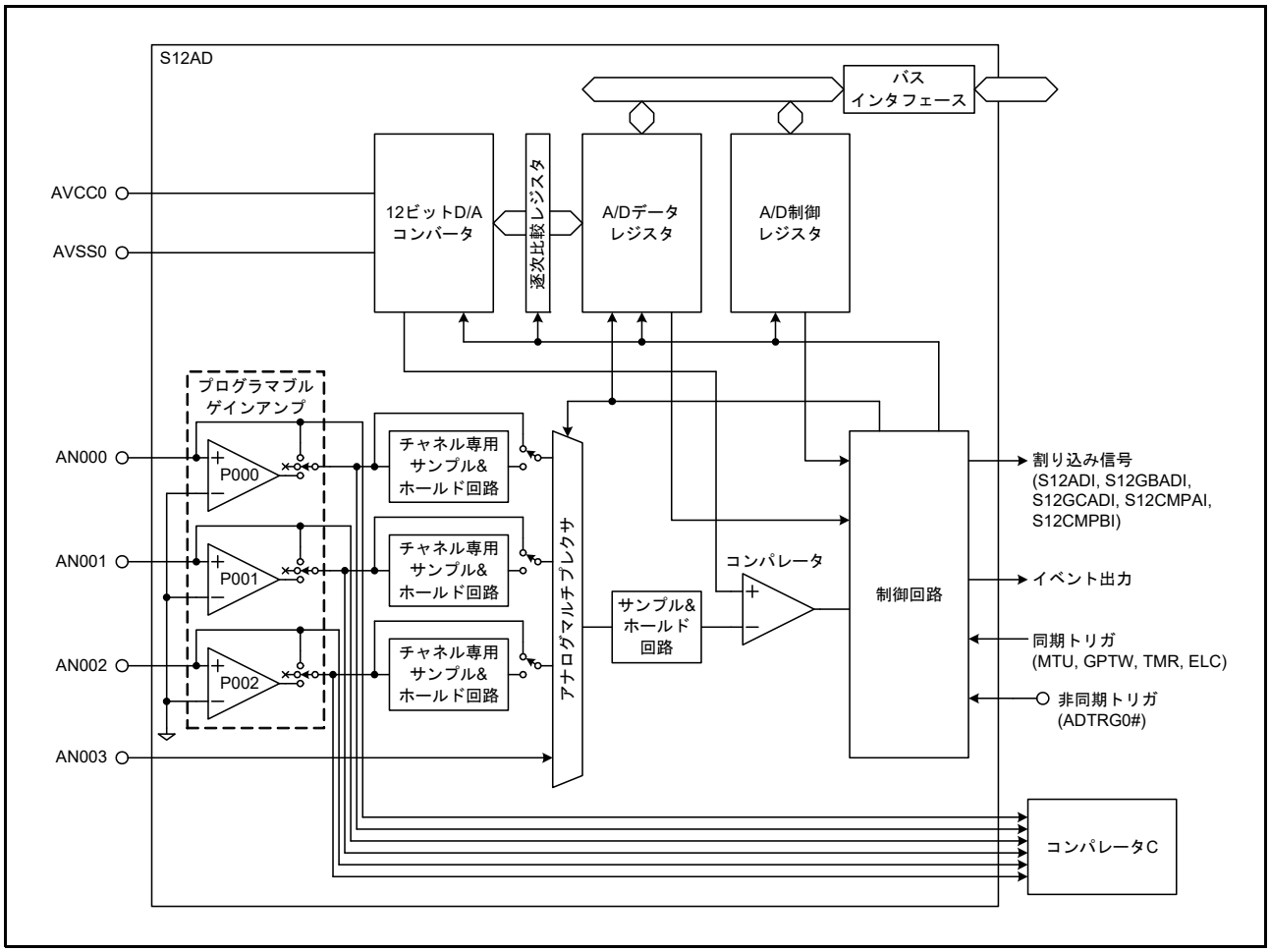


図 42.1　12 ビット A/D コンバータのブロック図 (RAM 容量が 64K バイトの製品、ユニット 0)

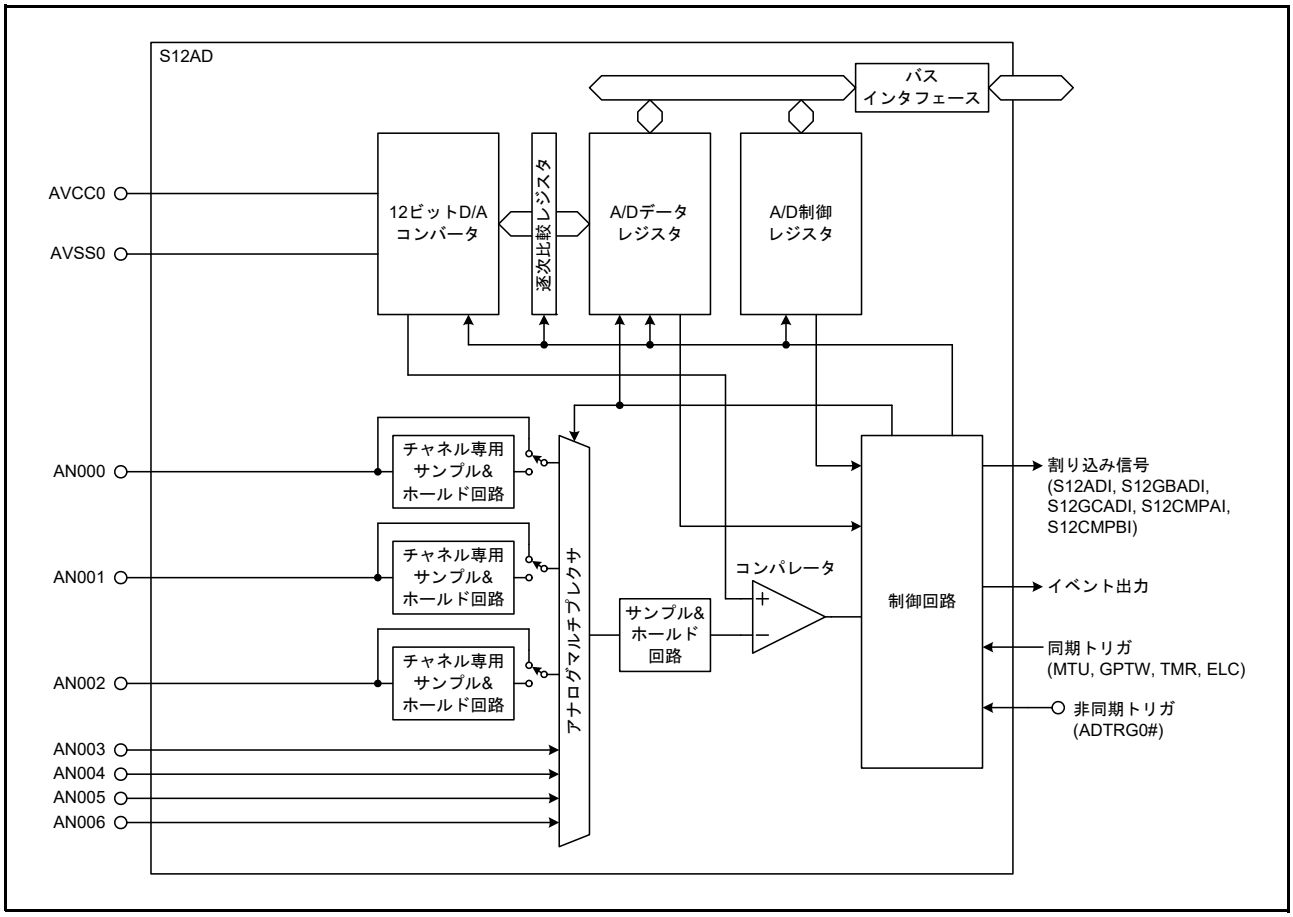


図 42.2 12 ビット A/D コンバータのブロック図 (RAM 容量が 48K バイトの製品、ユニット 0)

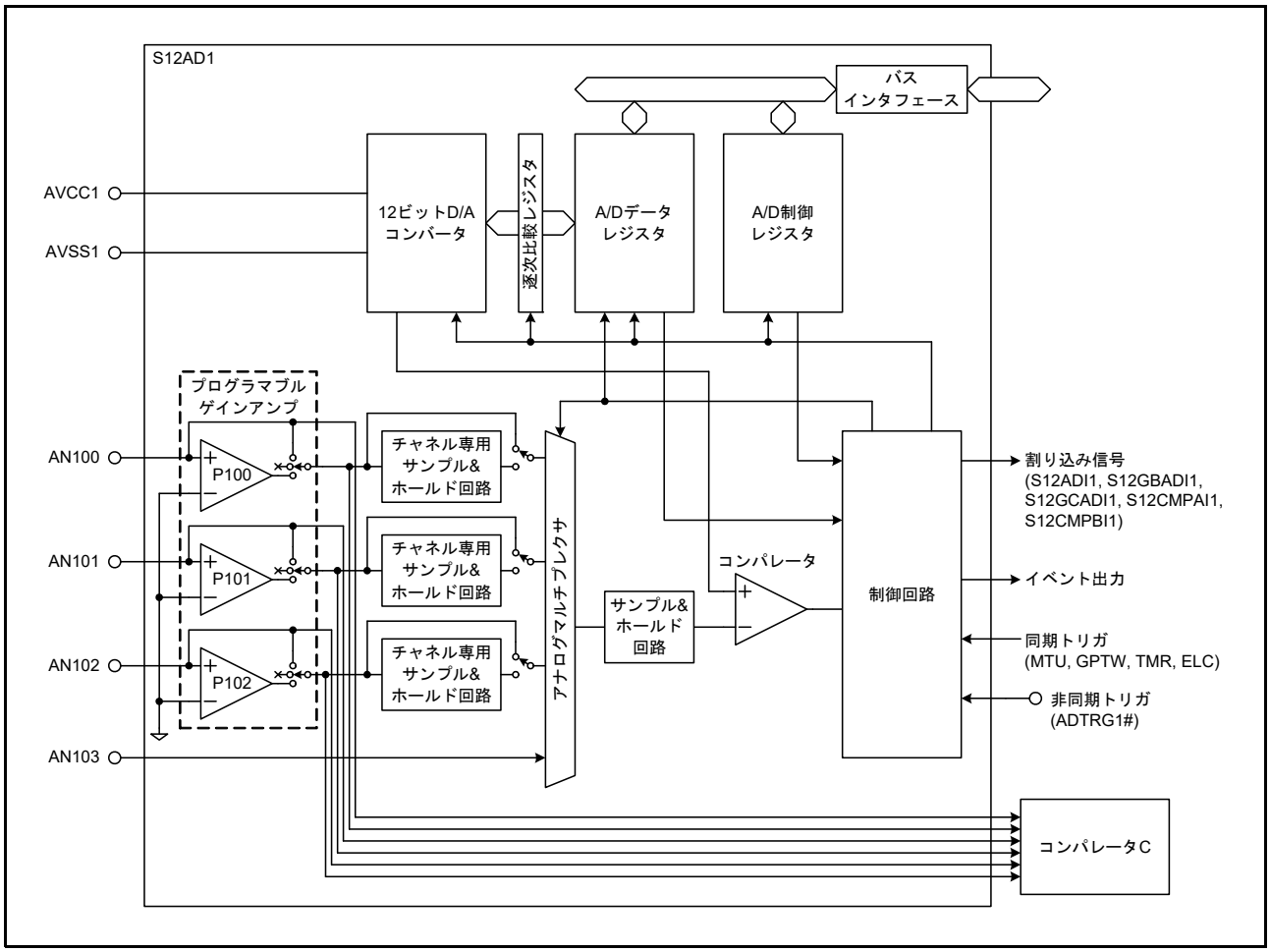


図 42.3 12 ビット A/D コンバータのブロック図 (RAM 容量が 64K バイトの製品、ユニット 1)

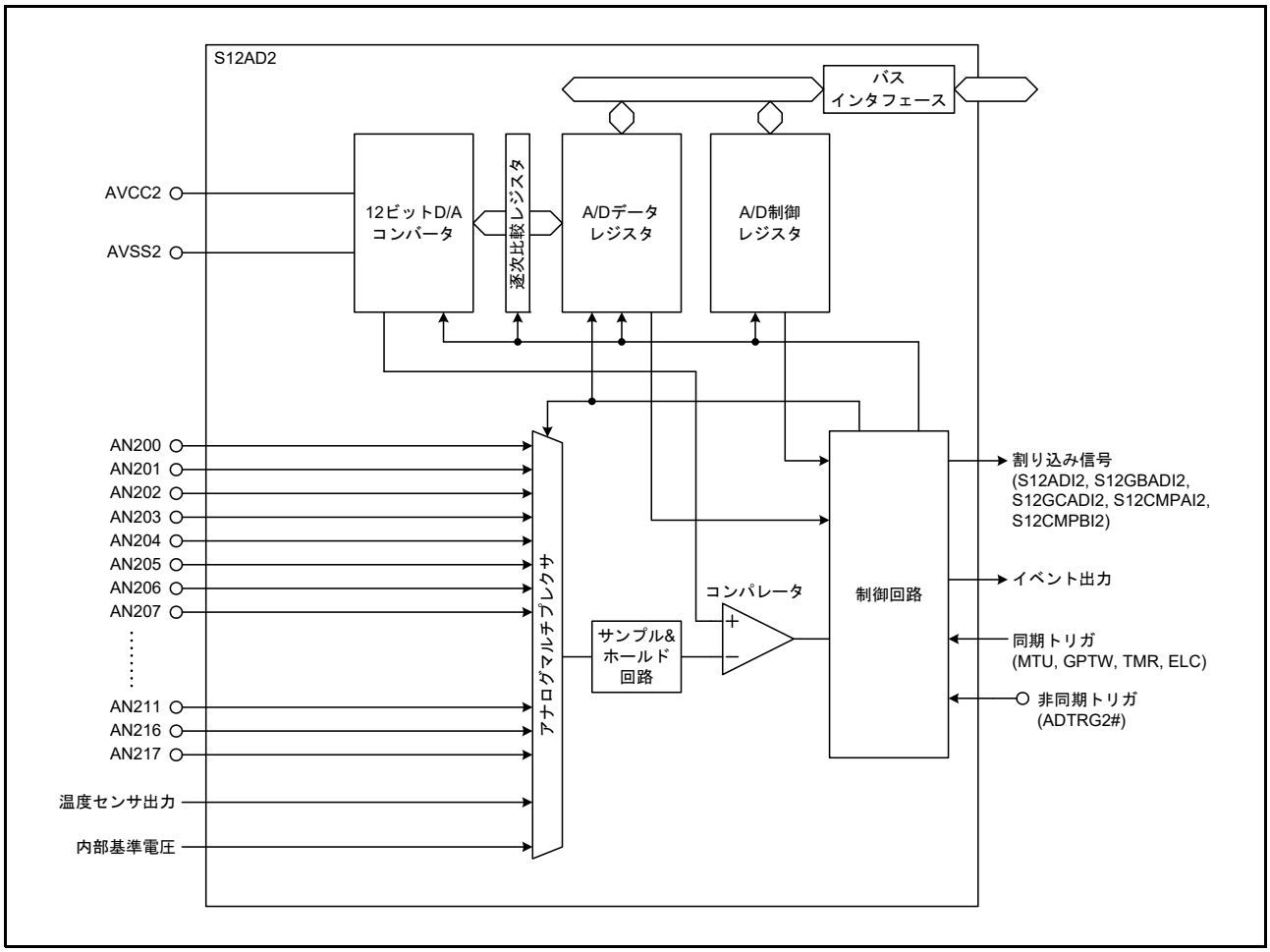


図 42.4 12 ビット A/D コンバータのブロック図 (ユニット 2)

表 42.3 に 12 ビット A/D コンバータで使用する入出力端子を示します。

12 ビット A/D コンバータは 3 ユニットで構成され、ユニット 0 (S12AD)、ユニット 1 (S12AD1)、ユニット 2 (S12AD2) は独立して動作させることができます。S12AD、S12AD1、S12AD2 の入力チャネルは、3 つのグループに分割して動作させることもできます。

表42.3　12ビットA/Dコンバータの入出力端子

ユニット	端子名	入出力	機能
ユニット0 (S12AD)	AVCC0	—	アナログ電源端子
	AVSS0	—	アナロググランド端子
	AN000～AN006	入力	アナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0	出力	ADSTビットの状態出力端子
ユニット1 (S12AD1)	AVCC1	—	アナログ電源端子
	AVSS1	—	アナロググランド端子
	AN100～AN103	入力	アナログ入力端子
	ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ADST1	出力	ADSTビットの状態出力端子
ユニット2 (S12AD2)	AVCC2	—	アナログ電源端子
	AVSS2	—	アナロググランド端子
	AN200～AN211, AN216, AN217	入力	アナログ入力端子
	ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
	ADST2	出力	ADSTビットの状態出力端子

42.2　レジスタの説明

RAM 容量が 48K バイトの製品にはユニット 1 (S12AD1) がありません。ユニット 1 のレジスタにはアクセスしないでください。

42.2.1　A/D データレジスタ y (ADDRy) (y = 0 ～ 11, 16, 17)、A/D データ二重化レジスタ (ADDBLDR)、A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス

S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h, S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah, S12AD.ADDR6 0008 902Ch, S12AD.ADDBLDR 0008 9018h, S12AD.ADDBLDRA 0008 9084h, S12AD.ADDBLDRB 0008 9086h,
S12AD1.ADDR0 0008 9220h, S12AD1.ADDR1 0008 9222h, S12AD1.ADDR2 0008 9224h, S12AD1.ADDR3 0008 9226h, S12AD1.ADDBLDR 0008 9218h, S12AD1.ADDBLDRA 0008 9284h, S12AD1.ADDBLDRB 0008 9286h,
S12AD2.ADDR0 0008 9420h, S12AD2.ADDR1 0008 9422h, S12AD2.ADDR2 0008 9424h, S12AD2.ADDR3 0008 9426h, S12AD2.ADDR4 0008 9428h, S12AD2.ADDR5 0008 942Ah, S12AD2.ADDR6 0008 942Ch, S12AD2.ADDR7 0008 942Eh, S12AD2.ADDR8 0008 9430h, S12AD2.ADDR9 0008 9432h, S12AD2.ADDR10 0008 9434h, S12AD2.ADDR11 0008 9436h, S12AD2.ADDR16 0008 9440h, S12AD2.ADDR17 0008 9442h, S12AD2.ADDBLDR 0008 9418h, S12AD2.ADDBLDRA 0008 9484h, S12AD2.ADDBLDRB 0008 9486h, S12AD2.ADTSDR 0008 941Ah, S12AD2.ADOCDR 0008 941Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADDRy レジスタ (y = 0 ～ 6：S12AD、y = 0 ～ 3：S12AD1、y = 0 ～ 11, 16, 17：S12AD2) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモードで使用する 16 ビットの読み出し専用レジスタで、2 回目のトリガによって開始された A/D 変換の結果を格納します。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガ拡張モードで使用する 16 ビットの読み出し専用レジスタで、2 つのトリガの内、一方のトリガによって開始された A/D 変換の結果を ADDBLDRA レジスタに、もう一方のトリガによって開始された A/D 変換の結果を ADDBLDRB レジスタに格納します。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

42.2.1.1 データレジスタのフォーマット

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (2 回、3 回、4 回、16 回変換)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めのフォーマット
  b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

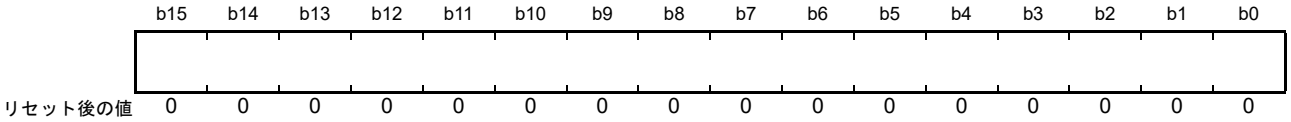
(3) A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～ 4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は “0” が読み出されます。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は “0” が読み出されます。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。

42.2.2　A/D 自己診断データレジスタ (ADRD)

アドレス　S12AD.ADRD 0008 901Eh, S12AD1.ADRD 0008 921Eh, S12AD2.ADRD 0008 941Eh



ADRD レジスタは、12 ビット A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値に加えて、自己診断のステータスが付加されます。ADRD レジスタは下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。温度センサ出力または内部基準電圧を選択した場合、自己診断機能を選択できません。自己診断の詳細については「42.2.14　A/D コントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めのフォーマット

  b11-b0 に A/D 変換値を格納します。b15-b14 に自己診断ステータスを格納します。読み出し時、b13-b12 は “0” が読み出されます。

- 左詰めのフォーマット

  b15-b4 に A/D 変換値を格納します。b1-b0 に自己診断ステータスを格納します。読み出し時、b3-b2 は “0” が読み出されます。

表42.4　自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	1/2 × AVCCの電圧値の自己診断を実施したことを示します
11b	AVCCの電圧値の自己診断を実施したことを示します

注.　自己診断の詳細については、「42.2.14　A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

42.2.3　A/D コントロールレジスタ (ADCSR)

アドレス　S12AD.ADCSR 0008 9000h, S12AD1.ADCSR 0008 9200h, S12AD2.ADCSR 0008 9400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]		ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガモード対象チャネル選択ビット	ダブルトリガモードで変換するアナログ入力を1チャネル選択します。ダブルトリガモード使用時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0：グループBのスキャン終了割り込みを禁止 1：グループBのスキャン終了割り込みを許可	R/W
b7	DBLE	ダブルトリガモード許可ビット	0：ダブルトリガモード無効 1：ダブルトリガモード有効	R/W
b8	EXTRG	トリガ選択ビット	0：同期トリガによるA/D変換の開始を選択 1：非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0：同期、非同期トリガによるA/D変換の開始を禁止 1：同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0：スキャン終了割り込みを禁止 1：スキャン終了割り込みを許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0　0：シングルスキャンモード 0　1：グループスキャンモード 1　0：連続スキャンモード 1　1：設定禁止	R/W
b15	ADST	A/D変換スタートビット	0：A/D変換停止 1：A/D変換開始	R/W

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可 / 禁止、スキャンモードの選択、A/D 変換の開始 / 停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガモード対象チャネル選択ビット)

ダブルトリガモードを使用して A/D 変換を行うチャネルを選択します。

DBLANS[4:0] ビットで選択したチャネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ二重化レジスタに格納されます。**表 42.5** にダブルトリガモード対象チャネルの選択表を示します。

ダブルトリガモードでは、ADANSA0、ADANSA1 レジスタで指定したチャネルの選択は無効になり、DBLANS[4:0] ビットで選択した 1 チャネルが A/D 変換を行うチャネルとなります。

グループスキャンモードでダブルトリガモードを有効にした場合、グループ A のみダブルトリガモードの動作を行い、グループ B、C はダブルトリガモードの動作を行いません。また、ダブルトリガモード時は、グループ A に複数チャネルのアナログ入力、温度センサ出力、内部基準電圧は選択できませんが、グループ B、C には複数チャネルのアナログ入力、温度センサ出力、内部基準電圧が選択可能です。

また、DBLANS[4:0] ビットは、ADST ビットが “0” のときに設定してください (ADST ビットへの “1” 書き込みと同時設定もしないでください)。

表42.5　DBLANS[4:0]ビット設定値とダブルトリガモード対象チャネルの関係

DBLANS[4:0]	チャネル		
	S12AD (ユニット0)	S12AD1 (ユニット1)	S12AD2 (ユニット2)
00000b	AN000	AN100	AN200
00001b	AN001	AN101	AN201
00010b	AN002	AN102	AN202
00011b	AN003	AN103	AN203
00100b	AN004	—	AN204
00101b	AN005	—	AN205
00110b	AN006	—	AN206
00111b	—	—	AN207
01000b	—	—	AN208
01001b	—	—	AN209
01010b	—	—	AN210
01011b	—	—	AN211
10000b	—	—	AN216
10001b	—	—	AN217

—：設定しないでください。

注.　ダブルトリガモードでは、自己診断、温度センサ出力、内部基準電圧を選択できません。

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込みの発生を許可 / 禁止します。グループ B のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ B のスキャン終了割り込みの関係を**表 42.6** に示します。

表42.6　各ユニットとグループBのスキャン終了割り込みの関係

ユニット	グループBのスキャン終了割り込み
S12AD	S12GBADI
S12AD1	S12GBADI1
S12AD2	S12GBADI2

DBLE ビット (ダブルトリガモード許可ビット)

ダブルトリガモードは、1 回目のトリガで変換された結果と 2 回目のトリガで変換された結果を別々のデータレジスタに格納するモードです。

ダブルトリガモードを有効にした場合、ADANSA0、ADANSA1 レジスタで指定したチャネルは無効となり、代わりに DBLANS[4:0] ビットで選択したチャネルが有効となります。ADSTRGR.TRSA[6:0] ビットで選択されたトリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目のトリガで変換した結果は、A/D データレジスタ y に格納され、2 回目のトリガで変換した結果は、A/D データ二重化レジスタに格納されます。このとき、ADIE ビットが “1” になっていると、1 回目の変換終了時は割り込み要求が発生せず、2 回目の変換終了時に割り込み要求が発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、自己診断機能、温度センサ出力の変換、および内部基準電圧の変換でも使用しないでください。また、グループスキャンモードでダブルトリガモードを使用する場合、グループ A で温度センサ出力、内部基準電圧の A/D 変換を選択しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを “0” にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

外部端子 (非同期トリガ) で A/D 変換を起動する場合、外部端子 (ADTRG0#, ADTRG1#, ADTRG2#) に High を入力した状態で、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。その後、ADTRG0#、ADTRG1#、ADTRG2# 信号を Low に変化させると、ADTRG0#、ADTRG1#、ADTRG2# の立ち下がりエッジを検出し、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5 PCLKB 以上必要です。

ユニットと外部端子 (非同期トリガ) の関係を**表 42.7** に示します。

表42.7 ユニットと外部端子(非同期トリガ)の関係

ユニット	外部端子(非同期トリガ)
S12AD	ADTRG0#
S12AD1	ADTRG1#
S12AD2	ADTRG2#

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを “1” にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B とグループ C を除く、A/D スキャン変換終了割り込みの発生を許可 / 禁止します。

ダブルトリガモードを無効にした場合は、1 回のスキャンが終了したときに、ADIE ビットが “1” に設定されていると、A/D スキャン変換終了割り込みが発生します。

ダブルトリガモードを有効にした場合は、ADSTRGR.TRSA[6:0] ビットで選択したトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが “1” に設定されていると A/D スキャン変換終了割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを有効にした場合であっても、スキャンが終了した時に ADIE ビットが “1” に設定されていると A/D スキャン変換終了割り込みが発生します。A/D スキャン変換終了割り込みは、ユニットごとに各 1 本あり、各ユニットと A/D スキャン変換終了割り込みの関係を**表 42.8** に示します。

表42.8 各ユニットとA/Dスキャン変換終了割り込みの関係

ユニット	A/Dスキャン変換終了割り込み
S12AD	S12ADI
S12AD1	S12ADI1
S12AD2	S12ADI2

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 7 チャネル (ユニット 0)、4 チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了するとスキャン変換を停止します。温度センサ出力または内部基準電圧の選択が可能ですが、チャネルの入力と合わせて選択できません。温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されます。

連続スキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 7 チャネル (ユニット 0)、4

チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了すると最初のチャネルに戻り A/D 変換を継続します。

連続スキャンモードでは、温度センサ出力と内部基準電圧は選択禁止です。

グループスキャンモードは ADSTRGR.TRSA[6:0] ビットで選択した同期トリガを開始条件として、ADANSA0、ADANSA1 レジスタで選択した最大 7 チャネル (ユニット 0)、4 チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力 (グループ A) を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの A/D 変換が終了すると停止します。

また、同様に ADSTRGR.TRSB[6:0] ビット、ADGCTRGR2.TRSC6 ビットと ADGCTRGR.TRSC[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0、ADANSB1 レジスタ、ADANSC0、ADANSC1 レジスタで選択した最大 7 チャネル (ユニット 0)、4 チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力 (グループ B、グループ C) を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの A/D 変換が終了すると停止します。

温度センサ出力または内部基準電圧の選択が可能です。同じグループではチャネルの入力と合わせて選択できません。温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されます。

グループスキャンモードを選択する場合は、グループ A とグループ B とグループ C で異なるチャネルと異なるトリガを選択してください。

グループスキャンモード設定時に 2 つのグループを使用する場合、グループ A とグループ B を使用してください (ADGCTRGR.GRCE ビット = 0)。また、3 つのグループを使用する場合、グループ A、グループ B とグループ C を使用してください (ADGCTRGR.GRCE ビット = 1)。

ADCS[1:0] ビットは、ADST ビットが “0” のときに設定してください (ADST ビットへの “1” 書き込みと同時設定もしないでください)。

表 42.9　　スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D変換対象				
		自己診断	アナログ入力 (グループA含む)	アナログ入力 (グループB、グループC)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	×	○	○
	DBLE = 1	×	○ (1ch のみ)	×	×	×
連続スキャン	DBLE = 0	○	○	×	×	×
	DBLE = 1	×	×	×	×	×
グループスキャン	DBLE = 0	○	○	○	○	○
	DBLE = 1	×	○ (1ch のみ)	○	○ (グループ B、グループ C)	○ (グループ B、グループ C)

○：選択可能、×：選択不可能

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを “1” にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1” になる条件]

- ソフトウェアで “1” を書き込んだとき
- ADCSR.EXTRG ビットに “0”、ADCSR.TRGE ビットに “1” を設定し、ADSTRGR.TRSA[6:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[6:0]ビットで選択した同期トリガを検出したとき

- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを “1”、ADSTRGR.TRSA[6:0] ビットを “0000000b” にし、非同期トリガを検出したとき
- グループ優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット = 01bかつADGSPCR.PGSビット = 1)に、グループ B またはグループ C のトリガを検出し、グループ B またはグループ C の A/D 変換を開始したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを “1” にし、最も優先度の低いグループの A/D 変換を開始したとき

［“0” になる条件］

- ソフトウェアで “0” を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力または内部基準電圧 (ユニット 2 のみ) の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループスキャンモードでグループ C のスキャンが終了したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを “1” にし、低優先グループのトリガによるスキャンが終了したとき

注 . グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを “1” にしないでください。

注 . グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを “0” にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

注 . グループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット = 1) した場合、ADST ビットは “1” を保持します。

42.2.4　A/D チャネル選択レジスタ A0 (ADANSA0)

(1)　S12AD.ADANSA0

アドレス　S12AD.ADANSA0 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ANSA006	ANSA005	ANSA004	ANSA003	ANSA002	ANSA001	ANSA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	AN000～AN006を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 06)

A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA006 ビットが AN006 に対応します。

ダブルトリガモードを有効にした場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADANSA0

アドレス S12AD1.ADANSA0 0008 9204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ANSA003	ANSA002	ANSA001	ANSA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	AN100～AN103を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN103 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 03)

A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN103 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN100 に、ANSA003 ビットが AN103 に対応します。

ダブルトリガモードを有効にした場合は、S12AD1.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADANSA0

アドレス S12AD2.ADANSA0 0008 9404h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSA011	ANSA010	ANSA009	ANSA008	ANSA007	ANSA006	ANSA005	ANSA004	ANSA003	ANSA002	ANSA001	ANSA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	AN200～AN211を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b8	ANSA008			R/W
b9	ANSA009			R/W
b10	ANSA010			R/W
b11	ANSA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 11)

A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN200 に、ANSA011 ビットが AN211 に対応します。

シングルスキャンモードあるいはグループスキャンモードのグループ A で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ダブルトリガモードを有効にした場合は、S12AD2.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

42.2.5 A/D チャネル選択レジスタ A1 (ADANSA1)

アドレス S12AD2.ADANSA1 0008 9406h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA101	ANSA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャネル選択ビット	AN216、AN217を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSA1 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA1n ビット (A/D 変換チャネル選択ビット) (n = 00, 01)

A/D 変換を行うチャネルのアナログ入力 AN216、AN217 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA100 ビットが AN216 に、ANSA101 ビットが AN217 に対応します。

シングルスキャンモードあるいはグループスキャンモードのグループ A で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ダブルトリガモードを有効にした場合は、S12AD2.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA1n ビットの設定は無効になります。

ANSA1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

42.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

(1) S12AD.ADANSB0

アドレス S12AD.ADANSB0 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	AN000～AN006を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006 を選択するレジスタです。S12AD.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 06)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD.ADANSA0 レジスタ)、グループ C で指定したチャネル (S12AD.ADANSC0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSB000 ビットが AN000 に、ANSB006 ビットが AN006 に対応します。

ANSB0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADANSB0

アドレス S12AD1.ADANSB0 0008 9214h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	AN100～AN103を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN103 を選択するレジスタです。S12AD1.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 03)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN103 の選択を行います。S12AD1.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD1.ADANSA0 レジスタ)、グループ C で指定したチャネル (S12AD1.ADANSC0 レジスタ)、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSB000 ビットが AN100 に、ANSB003 ビットが AN103 に対応します。

ANSB0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADANSB0

アドレス S12AD2.ADANSB0 0008 9414h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSB011	ANSB010	ANSB009	ANSB008	ANSB007	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	AN200～AN211を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b8	ANSB008			R/W
b9	ANSB009			R/W
b10	ANSB010			R/W
b11	ANSB011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。S12AD2.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 11)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 の選択を行います。S12AD2.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ C で指定したチャネル (S12AD2.ADANSC0、S12AD2.ADANSC1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ B で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ANSB000 ビットが AN200 に、ANSB011 ビットが AN211 に対応します。

ANSB0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

42.2.7 A/D チャネル選択レジスタ B1 (ADANSB1)

アドレス S12AD2.ADANSB1 0008 9416h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSB101	ANSB100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャネル選択ビット	AN216、AN217を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。S12AD2.ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB1n ビット (A/D 変換チャネル選択ビット) (n = 00, 01)

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネル AN216、AN217 の選択を行います。S12AD2.ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ C で指定したチャネル (S12AD2.ADANSC0、S12AD2.ADANSC1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ B で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ANSB100 ビットが AN216 に、ANSB101 ビットが AN217 に対応します。

ANSB1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

42.2.8　A/D チャネル選択レジスタ C0 (ADANSC0)

(1)　S12AD.ADANSC0

アドレス　S12AD.ADANSC0 0008 90D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ANSC006	ANSC005	ANSC004	ANSC003	ANSC002	ANSC001	ANSC000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャネル選択ビット	AN000～AN006を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006 を選択するレジスタです。S12AD.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 06)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD.ADANSA0 レジスタ)、グループ B で指定したチャネル (S12AD.ADANSB0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSC000 ビットが AN000 に、ANSC006 ビットが AN006 に対応します。

ANSC0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADANSC0

アドレス S12AD1.ADANSC0 0008 92D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ANSC003	ANSC002	ANSC001	ANSC000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャネル選択ビット	AN100～AN103を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN103 を選択するレジスタです。S12AD1.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 03)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN103 の選択を行います。S12AD1.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD1.ADANSA0 レジスタ)、グループ B で指定したチャネル (S12AD1.ADANSB0 レジスタ)、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSC000 ビットが AN100 に、ANSC003 ビットが AN103 に対応します。

ANSC0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADANSC0

アドレス S12AD2.ADANSC0 0008 94D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSC011	ANSC010	ANSC009	ANSC008	ANSC007	ANSC006	ANSC005	ANSC004	ANSC003	ANSC002	ANSC001	ANSC000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャネル選択ビット	AN200～AN211を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b8	ANSC008			R/W
b9	ANSC009			R/W
b10	ANSC010			R/W
b11	ANSC011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。S12AD2.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 11)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 の選択を行います。S12AD2.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ B で指定したチャネル (S12AD2.ADANSB0、S12AD2.ADANSB1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ C で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ANSC000 ビットが AN200 に、ANSC011 ビットが AN211 に対応します。

ANSC0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

42.2.9 A/D チャネル選択レジスタ C1 (ADANSC1)

アドレス S12AD2.ADANSC1 0008 94D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSC101	ANSC100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC100	A/D変換チャネル選択ビット	AN216、AN217を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSC1 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。S12AD2.ADANSC1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC1n ビット (A/D 変換チャネル選択ビット) (n = 00, 01)

ANSC1n ビットは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネル AN216、AN217 の選択を行います。S12AD2.ADANSC1 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ B で指定したチャネル (S12AD2.ADANSB0、S12AD2.ADANSB1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ C で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

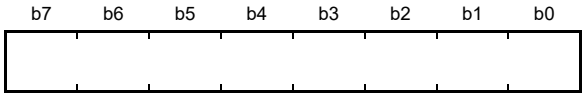
ANSC100 ビットが AN216 に、ANSC101 ビットが AN217 に対応します。

ANSC1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

42.2.10　A/D チャネル変換順序設定レジスタ n (ADSCSn) (n = 0 ～ 13)

(1)　S12AD.ADSCSn (n = 0 ～ 6)

アドレス　S12AD.ADSCS0 0008 91C0h, S12AD.ADSCS1 0008 91C1h, S12AD.ADSCS2 0008 91C2h, S12AD.ADSCS3 0008 91C3h, S12AD.ADSCS4 0008 91C4h, S12AD.ADSCS5 0008 91C5h, S12AD.ADSCS6 0008 91C6h



リセット後の値　(表42.10参照)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	A/D変換の順序を設定します。ADSCSnレジスタに設定したチャネルをn+1番目に変換します(表42.10参照)	R/W

ADSCSn レジスタは、12 ビット A/D コンバータのユニット 0 のチャネル変換順序を設定するレジスタです。リセット後は、AN000 → AN001 →・・・→ AN006 の順に変換する設定になっています。この順序を変更したいとき ADSCSn レジスタを書き換えてください。

AN000 ～ AN002 のチャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。ADSCS3 レジスタに設定した場合の変換結果については保証しません。

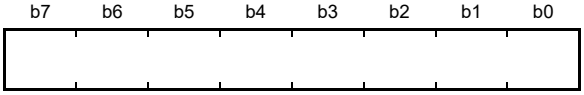
設定したチャネルが、A/D チャネル選択レジスタ (ADANSA0, ADANSB0, ADANSC0) にて変換対象から外されている場合は、当該チャネルの A/D 変換は実行されません。A/D チャネル選択レジスタで変換対象にしたチャネルを ADSCS0 レジスタから順に設定し、残りのレジスタにはその他のチャネルをすべて設定してください。複数のレジスタに同じチャネル番号を指定しないでください。

表42.10　A/Dチャネル変換順序設定レジスタn (ADSCSn)のリセット後の値と変換順序の関係

レジスタ	変換順序	リセット後の値	設定可能な値
ADSCS0	1 番目	00h	00h～06h (AN000～AN006)
ADSCS1	2 番目	01h	
ADSCS2	3 番目	02h	
ADSCS3	4 番目	03h	
ADSCS4	5 番目	04h	
ADSCS5	6 番目	05h	
ADSCS6	7 番目	06h	

(2) S12AD1.ADSCSn (n = 0 ～ 3)

アドレス　S12AD1.ADSCS0 0008 93C0h, S12AD1.ADSCS1 0008 93C1h, S12AD1.ADSCS2 0008 93C2h, S12AD1.ADSCS3 0008 93C3h



リセット後の値　(表42.11参照)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	A/D変換の順序を設定します。ADSCSnレジスタに設定したチャネルをn+1番目に変換します(表42.11参照)。	R/W

ADSCSn レジスタは、12 ビット A/D コンバータのユニット 1 のチャネル変換順序を設定するレジスタです。リセット後は、AN100 → AN101 →・・・→ AN103 の順に変換する設定になっています。この順序を変更したいとき ADSCSn レジスタを書き換えてください。

AN100 ～ AN102 のチャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。ADSCS3 レジスタに設定した場合の変換結果については保証しません。

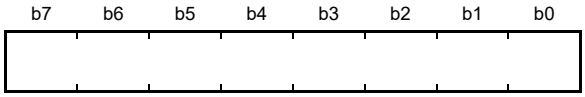
設定したチャネルが、A/D チャネル選択レジスタ (ADANSA0, ADANSB0, ADANSC0) にて変換対象から外されている場合は、当該チャネルの A/D 変換は実行されません。A/D チャネル選択レジスタで変換対象にしたチャネルを ADSCS0 レジスタから順に設定し、残りのレジスタにはその他のチャネルをすべて設定してください。複数のレジスタに同じチャネル番号を指定しないでください。

表42.11　A/Dチャネル変換順序設定レジスタn (ADSCSn)のリセット後の値と変換順序の関係

レジスタ	変換順序	リセット後の値	設定可能な値
ADSCS0	1番目	00h	00h～03h (AN100～AN103)
ADSCS1	2番目	01h	
ADSCS2	3番目	02h	
ADSCS3	4番目	03h	

(3) S12AD2.ADSCSn (n = 0 ～ 13)

アドレス　S12AD2.ADSCS0 0008 95C0h, S12AD2.ADSCS1 0008 95C1h, S12AD2.ADSCS2 0008 95C2h, S12AD2.ADSCS3 0008 95C3h, S12AD2.ADSCS4 0008 95C4h, S12AD2.ADSCS5 0008 95C5h, S12AD2.ADSCS6 0008 95C6h, S12AD2.ADSCS7 0008 95C7h, S12AD2.ADSCS8 0008 95C8h, S12AD2.ADSCS9 0008 95C9h, S12AD2.ADSCS10 0008 95CAh, S12AD2.ADSCS11 0008 95CBh, S12AD2.ADSCS12 0008 95D0h, S12AD2.ADSCS13 0008 95D1h



リセット後の値　(表42.12参照)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	A/D変換の順序を設定します。ADSCSnレジスタに設定したチャネルをn+1番目に変換します(表42.12参照)。	R/W

ADSCSn レジスタは、12 ビット A/D コンバータのユニット 2 のチャネル変換順序を設定するレジスタです。リセット後は、AN200 → AN201 →・・・→ AN211 → AN216 → AN217 の順に変換する設定になっています。この順序を変更したいとき ADSCSn レジスタを書き換えてください。

設定したチャネルが、A/D チャネル選択レジスタ (ADANSA0/1, ADANSB0/1, ADANSC0/1) にて変換対象から外されている場合は、当該チャネルの A/D 変換は実行されません。A/D チャネル選択レジスタで変換対象にしたチャネルを ADSCS0 レジスタから順に設定し、残りのレジスタにはその他のチャネルをすべて設定してください。複数のレジスタに同じチャネル番号を指定しないでください。

なお、温度センサ出力、内部基準電圧に対する変換順序は変更できません。

表42.12　A/Dチャネル変換順序設定レジスタn (ADSCSn)のリセット後の値と変換順序の関係

レジスタ	変換順序	リセット後の値	設定可能な値
ADSCS0	1 番目	00h	00h～0Bh, 10h, 11h (AN200～AN211, AN216, AN217)
ADSCS1	2 番目	01h	
ADSCS2	3 番目	02h	
ADSCS3	4 番目	03h	
ADSCS4	5 番目	04h	
ADSCS5	6 番目	05h	
ADSCS6	7 番目	06h	
ADSCS7	8 番目	07h	
ADSCS8	9 番目	08h	
ADSCS9	10 番目	09h	
ADSCS10	11 番目	0Ah	
ADSCS11	12 番目	0Bh	
ADSCS12	13 番目	10h	
ADSCS13	14 番目	11h	

42.2.11　A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)

(1)　S12AD.ADADS0

アドレス　S12AD.ADADS0 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャネル選択ビット	AN000～AN006のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN000 ～ AN006 を選択します。

ADS0n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00 ～ 06)

S12AD.ADANSA0.ANSA0n ビット、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB0.ANSB0n ビットと S12AD.ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の ADS0n ビットを “1” にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADADS0

アドレス S12AD1.ADADS0 0008 9208h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャネル選択ビット	AN100～AN103のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN100 ～ AN103 を選択します。

ADS0n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00 ～ 03)

S12AD1.ADANSA0.ANSA0n ビット、または S12AD1.ADCSR.DBLANS[4:0] ビットと S12AD1.ADANSB0.ANSB0n ビットと S12AD1.ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の ADS0n ビットを “1” にすると、S12AD1.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD1.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD1.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADADS0

アドレス S12AD2.ADADS0 0008 9408h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ADS011	ADS010	ADS009	ADS008	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャネル選択ビット	AN200～AN211のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b8	ADS008			R/W
b9	ADS009			R/W
b10	ADS010			R/W
b11	ADS011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN200 ～ AN211 を選択します。

ADS0n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00 ～ 11)

S12AD2.ADANSA0.ANSA0n ビット、または S12AD2.ADCSR.DBLANS[4:0] ビットと S12AD2.ADANSB0.ANSB0n ビットと S12AD2.ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の ADS0n ビットを “1” にすると、S12AD2.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD2.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD2.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

図 42.5 に S12AD2.ADADS0.ADS002 と S12AD2.ADADS0.ADS006 ビットを “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (S12AD2.ADCSR.ADCS[1:0] ビット = 10b) で、加算モードを選択 (S12AD2.ADADC.AVEE ビット = 0)、加算回数は 3 回に設定 (S12AD2.ADADC.ADC[2:0] ビット = 011b)、AN200 ～ AN207 が選択 (S12AD2.ADANSA0 レジスタ = 00FFh) されているものとします。AN200 から変換を開始します。AN202 の変換は 4 回連続変換 (3 回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN203 の変換を開始し、AN206 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN207 の変換後、再度 AN200 から同じシーケンスで動作します。

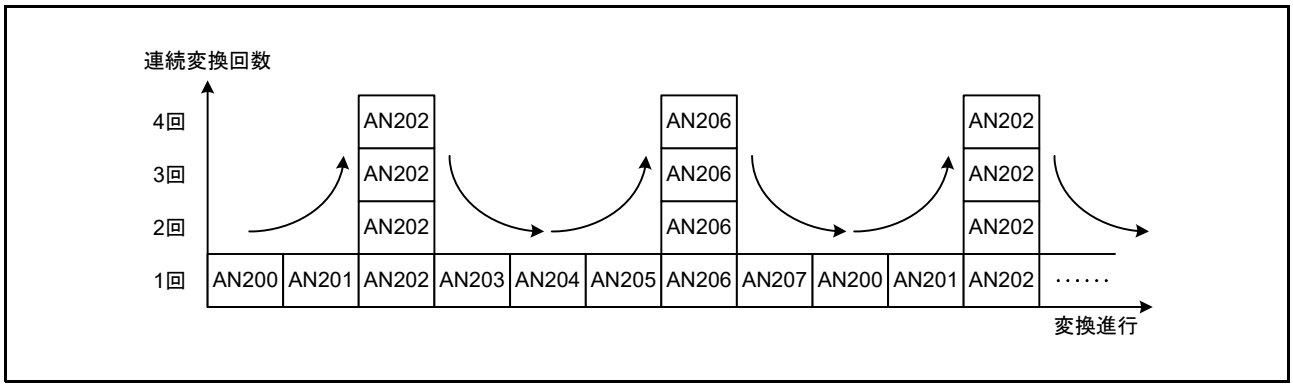


図 42.5　S12AD2.ADADC.ADC[2:0] = 011b、S12AD2.ADADC.AVEE = 0、S12AD2.ADADS0.ADS002 = 1、S12AD2.ADADS0.ADS006 = 1 選択時のスキャン変換シーケンス

42.2.12　A/D 変換値加算 / 平均機能チャネル選択レジスタ 1 (ADADS1)

アドレス　S12AD2.ADADS1 0008 940Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADS101	ADS100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D変換値加算/平均チャネル選択ビット	AN216、AN217のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADADS1 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN216、AN217 を選択します。

ADS1n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00, 01)

S12AD2.ADANSA1.ANSA1n ビット、または S12AD2.ADCSR.DBLANS[4:0] ビットと S12AD2.ADANSB1.ANSB1n ビットと S12AD2.ADANSC1.ANSC1n ビットで選択した A/D 変換チャネルと同一番号の ADS1n ビットを “1” にすると、S12AD2.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD2.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD2.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

42.2.13 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch, S12AD1.ADADC 0008 920Ch, S12AD2.ADADC 0008 940Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 ０００：1回変換(加算なし。通常変換と同じ) ００１：2回変換(1回加算を行う) ０１０：3回変換(2回加算を行う)(注1) ０１１：4回変換(3回加算を行う) １０１：16回変換(15回加算を行う)(注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0：加算モードを選択 1：平均モードを選択	R/W

注1. AVEEビットは、2回変換、4回変換のときにのみ有効です。平均モードを選択した場合(AVEEビット= 1)、3回変換(ADC[2:0]ビット= 010b)および16回変換(ADC[2:0]ビット= 101b)に設定しないでください。

ADADC レジスタは、A/D 変換値加算 / 平均モードが有効のチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算回数の設定と、加算モード / 平均モードの選択を行います。

ADC[2:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが有効のチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

AVEE ビット (平均モードイネーブルビット)

ダブルトリガモードでの選択チャネル (DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが有効のチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モード、または平均モードの選択を行います。

AVEE ビットを “1” にして平均モードを選択する場合、1 回変換 (ADC[2:0] ビット = 000b)、3 回変換 (ADC[2:0] ビット = 010b) および 16 回変換 (ADC[2:0] ビット = 101b) に設定しないでください。1 回、3 回および 16 回変換の平均値を求めることはできません。

AVEE ビットの設定は、ADST ビットが “0” のときに設定してください。

42.2.14　A/D コントロール拡張レジスタ (ADCER)

アドレス　S12AD.ADCER 0008 900Eh, S12AD1.ADCER 0008 920Eh, S12AD2.ADCER 0008 940Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	ASE	ACE	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/Dデータレジスタ自動クリアイネーブルビット	0：自動クリアを禁止 1：自動クリアを許可	R/W
b6	ASE	A/Dデータレジスタ自動セットイネーブルビット	0：自動セットを禁止 1：自動セットを許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0：自己診断電圧固定モード時は設定禁止 0 1：0Vの電圧を使って自己診断を行う 1 0：1/2 × AVCCの電圧を使って自己診断を行う 1 1：AVCCの電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0：自己診断電圧ローテーションモード 1：自己診断電圧固定モード	R/W
b11	DIAGM	自己診断許可ビット	0：12ビットA/Dコンバータの自己診断を実施しない 1：12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0：A/Dデータレジスタのフォーマットを右詰めにする 1：A/Dデータレジスタのフォーマットを左詰めにする	R/W

注1.　ACEビットとASEビットの両方を“1”にした場合、自動クリアも自動セットも行われません。

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DTC または DMAC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All “0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

ASE ビット (A/D データレジスタ自動セットイネーブルビット)

CPU、DTC または DMAC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを読み出した後、当該レジスタの自動セット (All “1”) を行うか行わないかを選択します。A/D データレジスタの自動セットにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0] ビットが “00b” の状態で DIAGLD ビットを “1” にして、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。DIAGLD ビットを “0” にすると 0V → 1/2 × AVCC → AVCC の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST が “0” のときに行ってください。

DIAGM ビット (自己診断許可ビット)

自己診断を実施するかしないかを選択します。

自己診断は、12 ビット A/D コンバータの故障を検出するための機能です。内部で生成する 0V、1/2 × AVCC、AVCC の 3 つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B とグループ C のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

自己診断を実施する場合、スキャングループに関わらず温度センサ出力または内部基準電圧の A/D 変換は禁止です。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADRD、ADCMPDR0、ADCMPDR1、ADWINLLB、ADWINULB レジスタに格納するデータの右詰め / 左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

各データレジスタのフォーマットの詳細は、**「42.2.1　A/D データレジスタ y (ADDRy) (y = 0 ～ 11, 16, 17)、A/D データ二重化レジスタ (ADDBLDR)、A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)」、「42.2.2　A/D 自己診断データレジスタ (ADRD)」「42.2.33　A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)」「42.2.34　A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)」「42.2.40　A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)」「42.2.41　A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)」**を参照してください。

42.2.15　A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス　S12AD.ADSTRGR 0008 9010h, S12AD1.ADSTRGR 0008 9210h, S12AD2.ADSTRGR 0008 9410h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	TRSA[6:0]							—	TRSB[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	TRSB[6:0]	グループB A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b8	TRSA[6:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[6:0] ビット (グループ B A/D 変換開始トリガ選択ビット)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[6:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[6:0] ビットを “00h” 以外にし、ADCSR.TRGE ビットを “1” にしてください。

グループスキャンモードのグループ優先動作時に、2 グループを選択 (ADGCTRGR.GRCE ビット = 0) した場合、ADGSPCR.GBRP ビットを “1” に設定することで、グループ B をシングルスキャンモードで連続動作させることができます。GBRP ビットを “1” にする場合は、TRSB[6:0] ビットを “3Fh” または “7Fh” にしてください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに PCLKC で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は**「42.3.7　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。

表 42.13 に TRSB[6:0] ビットでの A/D 変換開始トリガ一覧を示します。

TRSA[6:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ADCSR.TRGE ビットを “1” かつ ADCSR.EXTRG ビットを “0” にしてください。

- A/D 変換開始トリガに同期トリガを使用する場合は、ADCSR.TRGE ビットを “1” にし、かつ ADCSR.EXTRG ビットを “0” にしてください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを “1” にし、かつ ADCSR.EXTRG ビットを “1” にしてください。
- ソフトウェアトリガ (ADCSR.ADST ビット) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[6:0] ビットの設定値にかかわらず有効です。

なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。
A/D 変換開始トリガに PCLKC で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は**「42.3.7　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。**表 42.14** に TRSA[6:0] ビットでの A/D 変換開始トリガ一覧を示します。

表42.13　　TRSB[6:0]ビットでのA/D変換開始トリガ一覧 (1 / 3)

モジュール	トリガ	内容	TRSB[6]	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ非選択状態			0	1	1	1	1	1	1
			1	1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	1	0
	TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	1	0
	TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	0	1	0	1	0	0
	TRGA0NまたはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	0	1	1	0	0	1
	TRGA9NまたはTRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	0	1	1	0	1	0
	TRGA0NまたはTRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0	1	1

表42.13　TRSB[6:0]ビットでのA/D変換開始トリガー覧 (2 / 3)

モジュール	トリガ	内容	TRSB[6]	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
MTU	TRG0NまたはTRG9N	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	0	1	1	1	0	0
	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	0	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	0	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	0	1	0	0	1	0	0
GPTW	GTADTRA0N	GPTW0.GTADTRAのコンペアマッチ	1	0	0	0	0	0	0
	GTADTRB0N	GPTW0.GTADTRBのコンペアマッチ	1	0	0	0	0	0	1
	GTADTRA1N	GPTW1.GTADTRAのコンペアマッチ	1	0	0	0	0	1	0
	GTADTRB1N	GPTW1.GTADTRBのコンペアマッチ	1	0	0	0	0	1	1
	GTADTRA2N	GPTW2.GTADTRAのコンペアマッチ	1	0	0	0	1	0	0
	GTADTRB2N	GPTW2.GTADTRBのコンペアマッチ	1	0	0	0	1	0	1
	GTADTRA3N	GPTW3.GTADTRAのコンペアマッチ	1	0	0	0	1	1	0
	GTADTRB3N	GPTW3.GTADTRBのコンペアマッチ	1	0	0	0	1	1	1
	GTADTRA0NまたはGTADTRB0N	GPTW0.GTADTRAのコンペアマッチ、またはGPTW0.GTADTRBのコンペアマッチ	1	0	0	1	0	0	0
	GTADTRA1NまたはGTADTRB1N	GPTW1.GTADTRAのコンペアマッチ、またはGPTW1.GTADTRBのコンペアマッチ	1	0	0	1	0	0	1
	GTADTRA2NまたはGTADTRB2N	GPTW2.GTADTRAのコンペアマッチ、またはGPTW2.GTADTRBのコンペアマッチ	1	0	0	1	0	1	0
	GTADTRA3NまたはGTADTRB3N	GPTW3.GTADTRAのコンペアマッチ、またはGPTW3.GTADTRBのコンペアマッチ	1	0	0	1	0	1	1
	GTADTRA4N	GPTW4.GTADTRAのコンペアマッチ	1	0	0	1	1	0	0
	GTADTRB4N	GPTW4.GTADTRBのコンペアマッチ	1	0	0	1	1	0	1
	GTADTRA5N	GPTW5.GTADTRAのコンペアマッチ	1	0	0	1	1	1	0
	GTADTRB5N	GPTW5.GTADTRBのコンペアマッチ	1	0	0	1	1	1	1
	GTADTRA6N	GPTW6.GTADTRAのコンペアマッチ	1	0	1	0	0	0	0
	GTADTRB6N	GPTW6.GTADTRBのコンペアマッチ	1	0	1	0	0	0	1
	GTADTRA7N	GPTW7.GTADTRAのコンペアマッチ	1	0	1	0	0	1	0
	GTADTRB7N	GPTW7.GTADTRBのコンペアマッチ	1	0	1	0	0	1	1
	GTADTRA4NまたはGTADTRB4N	GPTW4.GTADTRAのコンペアマッチ、またはGPTW4.GTADTRBのコンペアマッチ	1	0	1	0	1	0	0
	GTADTRA5NまたはGTADTRB5N	GPTW5.GTADTRAのコンペアマッチ、またはGPTW5.GTADTRBのコンペアマッチ	1	0	1	0	1	0	1
	GTADTRA6NまたはGTADTRB6N	GPTW6.GTADTRAのコンペアマッチ、またはGPTW6.GTADTRBのコンペアマッチ	1	0	1	0	1	1	0
	GTADTRA7NまたはGTADTRB7N	GPTW7.GTADTRAのコンペアマッチ、またはGPTW7.GTADTRBのコンペアマッチ	1	0	1	0	1	1	1
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	0	1	0	0	0	0	0

表42.13　TRSB[6:0]ビットでのA/D変換開始トリガー覧 (3 / 3)

モジュール	トリガ	内容	TRSB[6]	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
ELC	ELCTRG00N	ELCからのA/D変換開始トリガ0 (ユニット0用)	0	1	1	0	0	1	0
	ELCTRG10N	ELCからのA/D変換開始トリガ0 (ユニット1用)							
	ELCTRG20N	ELCからのA/D変換開始トリガ0 (ユニット2用)							
	ELCTRG01N	ELCからのA/D変換開始トリガ1 (ユニット0用)	0	1	1	0	0	1	1
	ELCTRG11N	ELCからのA/D変換開始トリガ1 (ユニット1用)							
	ELCTRG21N	ELCからのA/D変換開始トリガ1 (ユニット2用)							
	ELCTRG00NまたはELCTRG01N	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1 (ユニット0用)	0	1	1	1	0	1	0
	ELCTRG10NまたはELCTRG11N	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1 (ユニット1用)							
	ELCTRG20NまたはELCTRG21N	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1 (ユニット2用)							

表42.14　TRSA[6:0]ビットでのA/D変換開始トリガー覧 (1 / 3)

モジュール	トリガ	内容	TRSA[6]	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ非選択状態			0	1	1	1	1	1	1
			1	1	1	1	1	1	1
外部端子	ADTRGn#	トリガ入力端子	0	0	0	0	0	0	0
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	1	0
	TRG4ANまたはTRG4BN(注1)	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	1	0
	TRG7ANまたはTRG7BN(注1)	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	1	1

表42.14　TRSA[6:0]ビットでのA/D変換開始トリガー覧 (2 / 3)

モジュール	トリガ	内容	TRSA[6]	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
MTU	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	0	1	0	1	0	0
	TRGA0NまたはTRG0N(注1)	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	0	1	1	0	0	1
	TRGA9NまたはTRG9N(注1)	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	0	1	1	0	1	0
	TRGA0NまたはTRGA9N(注1)	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0	1	1
	TRG0NまたはTRG9N(注1)	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	0	1	1	1	0	0
	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	0	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	0	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	0	1	0	0	1	0	0
GPTW	GTADTRA0N	GPTW0.GTADTRAのコンペアマッチ	1	0	0	0	0	0	0
	GTADTRB0N	GPTW0.GTADTRBのコンペアマッチ	1	0	0	0	0	0	1
	GTADTRA1N	GPTW1.GTADTRAのコンペアマッチ	1	0	0	0	0	1	0
	GTADTRB1N	GPTW1.GTADTRBのコンペアマッチ	1	0	0	0	0	1	1
	GTADTRA2N	GPTW2.GTADTRAのコンペアマッチ	1	0	0	0	1	0	0
	GTADTRB2N	GPTW2.GTADTRBのコンペアマッチ	1	0	0	0	1	0	1
	GTADTRA3N	GPTW3.GTADTRAのコンペアマッチ	1	0	0	0	1	1	0
	GTADTRB3N	GPTW3.GTADTRBのコンペアマッチ	1	0	0	0	1	1	1
	GTADTRB0NまたはGTADTRA0N(注1)	GPTW0.GTADTRBのコンペアマッチ、またはGPTW0.GTADTRAのコンペアマッチ	1	0	0	1	0	0	0
	GTADTRB1NまたはGTADTRA1N(注1)	GPTW1.GTADTRBのコンペアマッチ、またはGPTW1.GTADTRAのコンペアマッチ	1	0	0	1	0	0	1
	GTADTRB2NまたはGTADTRA2N(注1)	GPTW2.GTADTRBのコンペアマッチ、またはGPTW2.GTADTRAのコンペアマッチ	1	0	0	1	0	1	0
	GTADTRB3NまたはGTADTRA3N(注1)	GPTW3.GTADTRBのコンペアマッチ、またはGPTW3.GTADTRAのコンペアマッチ	1	0	0	1	0	1	1
	GTADTRA4N	GPTW4.GTADTRAのコンペアマッチ	1	0	0	1	1	0	0
	GTADTRB4N	GPTW4.GTADTRBのコンペアマッチ	1	0	0	1	1	0	1
	GTADTRA5N	GPTW5.GTADTRAのコンペアマッチ	1	0	0	1	1	1	0
	GTADTRB5N	GPTW5.GTADTRBのコンペアマッチ	1	0	0	1	1	1	1
	GTADTRA6N	GPTW6.GTADTRAのコンペアマッチ	1	0	1	0	0	0	0
	GTADTRB6N	GPTW6.GTADTRBのコンペアマッチ	1	0	1	0	0	0	1
	GTADTRA7N	GPTW7.GTADTRAのコンペアマッチ	1	0	1	0	0	1	0
	GTADTRB7N	GPTW7.GTADTRBのコンペアマッチ	1	0	1	0	0	1	1

表42.14　TRSA[6:0]ビットでのA/D変換開始トリガー覧 (3 / 3)

モジュール	トリガ	内容	TRSA[6]	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
GPTW	GTADTRB4NまたはGTADTRA4N(注1)	GPTW4.GTADTRBのコンペアマッチ、またはGPTW4.GTADTRAのコンペアマッチ	1	0	1	0	1	0	0
	GTADTRB5NまたはGTADTRA5N(注1)	GPTW5.GTADTRBのコンペアマッチ、またはGPTW5.GTADTRAのコンペアマッチ	1	0	1	0	1	0	1
	GTADTRB6NまたはGTADTRA6N(注1)	GPTW6.GTADTRBのコンペアマッチ、またはGPTW6.GTADTRAのコンペアマッチ	1	0	1	0	1	1	0
	GTADTRB7NまたはGTADTRA7N(注1)	GPTW7.GTADTRBのコンペアマッチ、またはGPTW7.GTADTRAのコンペアマッチ	1	0	1	0	1	1	1
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	0	1	0	0	0	0	0
ELC	ELCTRG00N	ELCからのA/D変換開始トリガ0 (ユニット0用)	0	1	1	0	0	1	0
	ELCTRG10N	ELCからのA/D変換開始トリガ0 (ユニット1用)							
	ELCTRG20N	ELCからのA/D変換開始トリガ0 (ユニット2用)							
	ELCTRG01N	ELCからのA/D変換開始トリガ1 (ユニット0用)	0	1	1	0	0	1	1
	ELCTRG11N	ELCからのA/D変換開始トリガ1 (ユニット1用)							
	ELCTRG21N	ELCからのA/D変換開始トリガ1 (ユニット2用)							
	ELCTRG00NまたはELCTRG01N(注1)	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1 (ユニット0用)	0	1	1	1	0	1	0
	ELCTRG10NまたはELCTRG11N(注1)	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1 (ユニット1用)							
	ELCTRG20NまたはELCTRG21N(注1)	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1 (ユニット2用)							

注1.　ダブルトリガモードでこれらのトリガを選択すると、ダブルトリガ拡張モードで動作します。「または」の左側のトリガで開始したA/D変換の結果はADDBLDRAレジスタに、右側のトリガで開始したA/D変換の結果はADDBLDRBレジスタに格納されます。

42.2.16　A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス　S12AD2.ADEXICR 0008 9412h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算/平均モード選択ビット	0：温度センサ出力A/D変換値加算/平均モード無効 1：温度センサ出力A/D変換値加算/平均モード有効	R/W
b1	OCSAD	内部基準電圧A/D変換値加算/平均モード選択ビット	0：内部基準電圧A/D変換値加算/平均モード無効 1：内部基準電圧A/D変換値加算/平均モード有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSSA	温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b9	OCSA	内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b10	TSSB	グループB温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b11	OCSB	グループB内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADEXICR レジスタは、温度センサ出力、内部基準電圧の A/D 変換の設定をします。

TSSAD ビット (温度センサ出力 A/D 変換値加算 / 平均モード選択ビット)

温度センサ出力の A/D 変換を選択し、TSSAD ビットを “1” にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、温度センサ出力を連続して A/D 変換し、ADADC.AVEE ビットが “0” の場合は加算 (積算) した値を、ADADC.AVEE ビットが “1” の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。TSSAD ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

OCSAD ビット (内部基準電圧 A/D 変換値加算 / 平均モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを “1” にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが “0” の場合は加算 (積算) した値を、ADADC.AVEE ビットが “1” の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

TSSA ビット (温度センサ出力 A/D 変換選択ビット)

シングルスキャンモードおよびグループスキャンモードのグループ A で温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを “0” にしてください。

TSSA ビットは、ADCSR.ADST ビットが “0” のときに設定してください。TSSB ビットまたは ADGCEXCR.TSSC ビットを “1” にする場合、このビットは “0” にしてください。

シングルスキャンモード、グループスキャンモードで温度センサ出力の選択が可能です。温度センサ出力の A/D 変換では、サンプリング時間は 4 µs 以上に設定してください。TSSA ビットを “1” にすると、温度センサが自動的に起動します。温度センサが起動した後は 200 µs の安定時間を待ってから A/D 変換を開始し

てください。A/D 変換を開始すると、サンプリング前に 15 ADCLK 期間のオートディスチャージが実行されます。

グループ B、グループ C で温度センサ出力の A/D 変換を行う場合も同様に動作させてください。

OCSA ビット (内部基準電圧 A/D 変換選択ビット)

シングルスキャンモードおよびグループスキャンモードのグループ A で内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを “0” にしてください。

OCSA ビットは、ADCSR.ADST ビットが “0” のときに設定してください。OCSB ビットまたは ADGCEXCR.OCSC ビットを “1” にする場合、このビットは “0” にしてください。

内部基準電圧を A/D 変換する場合、OCSA ビットを “1” にしてから 400 ns 以上待ってから A/D 変換を開始してください。A/D 変換を開始すると、サンプリング前に 15 ADCLK 期間のオートディスチャージが実行されます。なお、断線検出アシスト機能を併用した場合、ADNDIS[4:0] ビットの設定値は無視されます。

グループ B、グループ C で内部基準電圧を A/D 変換する場合も同様の動作をします。

TSSB ビット (グループ B 温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ B で温度センサ出力の A/D 変換を選択します。

TSSB ビットは、ADCSR.ADST ビットが “0” のときに設定してください。TSSA ビットまたは ADGCEXCR.TSSC ビットを “1” にする場合、このビットは “0” にしてください。

温度センサ出力の A/D 変換についての詳細は、TSSA ビットの説明を参照してください。

OCSB ビット (グループ B 内部基準電圧 A/D 変換選択ビット)

グループスキャンモードのグループ B で内部基準電圧の A/D 変換を選択します。

OCSB ビットは、ADCSR.ADST ビットが “0” のときに設定してください。OCSA ビットまたは ADGCEXCR.OCSC ビットを “1” にする場合、このビットは “0” にしてください。

内部基準電圧の A/D 変換についての詳細は、OCSA ビットの説明を参照してください。

42.2.17　A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR)

アドレス　S12AD2.ADGCEXCR 0008 94D8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSC	TSSC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSC	グループC温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b1	OCSC	グループC内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADGCEXCR レジスタは、グループ C の拡張入力を設定するレジスタです。

TSSC ビット (グループ C 温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ C で温度センサ出力の A/D 変換を選択します。

TSSC ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットを “1” にする場合、このビットは “0” にしてください。

温度センサ出力の A/D 変換についての詳細は、ADEXICR.TSSA ビットの説明を参照してください。

OCSC ビット (グループ C 内部基準電圧 A/D 変換選択ビット)

グループスキャンモードのグループ C で内部基準電圧の A/D 変換を選択します。

OCSC ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。ADEXICR.OCSA ビットまたは ADEXICR.OCSB ビットを “1” にする場合、このビットは “0” にしてください。

内部基準電圧の A/D 変換についての詳細は、ADEXICR.OCSA ビットの説明を参照してください。

42.2.18　A/D グループ C トリガ選択レジスタ (ADGCTRGR)

アドレス　S12AD.ADGCTRGR 0008 90D9h, S12AD1.ADGCTRGR 0008 92D9h, S12AD2.ADGCTRGR 0008 94D9h

	b7	b6	b5	b4	b3	b2	b1	b0
	GRCE	GCADIE	TRSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSC[5:0]	グループC A/D変換開始トリガ選択ビット	ADGCTRGR2.TRSC6ビットと合わせて、グループスキャンモードでグループCのA/D変換開始トリガを選択します	R/W
b6	GCADIE	グループCスキャン終了割り込み許可ビット	0：グループCのスキャン終了割り込みを禁止 1：グループCのスキャン終了割り込みを許可	R/W
b7	GRCE	グループC A/D変換動作許可ビット	グループCのA/D変換動作許可を設定します 0：グループCを使用しない 1：グループCを使用する	R/W

ADGCTRGR レジスタは、グループ C の動作許可設定と A/D 変換開始トリガを選択します。グループ優先動作の設定は、**表 42.21**、**表 42.22** を参照してください。

TRSC[5:0] ビット (グループ C A/D 変換開始トリガ選択ビット)

ADGCTRGR2.TRSC6 ビットと合わせて、グループ C で選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSC6、TRSC[5:0] ビットはグループスキャンモードでのみ使用可能なビットで、他のスキャンモードでは使用しません。グループ C のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガは設定できません。グループスキャンモードでグループ C を使用する場合は、TRSC6:TRSC[5:0] ビットを “00h” 以外に設定し、ADCSR.TRGE ビットを “1”、GRCE ビットを “1” にしてください。

グループスキャンモードのグループ優先制御時にグループ C を使用し、ADGSPCR.GBRP ビットを “1” にすることで、グループ C をシングルスキャンモードで連続動作させることができます。グループ C をシングルスキャンモードで連続動作させる場合は、TRSC[5:0] ビットを “3Fh” にし、トリガ選択を無効にしてください。

なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに PCLKC で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「**42.3.7　アナログ入力のサンプリング時間とスキャン変換時間**」を参照してください。

表 42.15 に TRSC6 ビット、TRSC[5:0] ビット (グループ C) での A/D 変換開始トリガ一覧を示します。

表42.15　TRSC6ビット、TRSC[5:0]ビット(グループC)でのA/D変換開始トリガー覧(1 / 2)

モジュール	トリガ	内容	TRSC6	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
トリガ非選択状態			0	1	1	1	1	1	1
			1	1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	1	0
	TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	1	0
	TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	0	1	0	1	0	0
	TRGA0NまたはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	0	1	1	0	0	1
	TRGA9NまたはTRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	0	1	1	0	1	0
	TRGA0NまたはTRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0	1	1
	TRG0NまたはTRG9N	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	0	1	1	1	0	0
	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	0	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	0	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	0	1	0	0	1	0	0

表42.15　TRSC6ビット、TRSC[5:0]ビット(グループC)でのA/D変換開始トリガー覧(2 / 2)

モジュール	トリガ	内容	TRSC6	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
GPTW	GTADTRA0N	GPTW0.GTADTRAのコンペアマッチ	1	0	0	0	0	0	0
	GTADTRB0N	GPTW0.GTADTRBのコンペアマッチ	1	0	0	0	0	0	1
	GTADTRA1N	GPTW1.GTADTRAのコンペアマッチ	1	0	0	0	0	1	0
	GTADTRB1N	GPTW1.GTADTRBのコンペアマッチ	1	0	0	0	0	1	1
	GTADTRA2N	GPTW2.GTADTRAのコンペアマッチ	1	0	0	0	1	0	0
	GTADTRB2N	GPTW2.GTADTRBのコンペアマッチ	1	0	0	0	1	0	1
	GTADTRA3N	GPTW3.GTADTRAのコンペアマッチ	1	0	0	0	1	1	0
	GTADTRB3N	GPTW3.GTADTRBのコンペアマッチ	1	0	0	0	1	1	1
	GTADTRA0NまたはGTADTRB0N	GPTW0.GTADTRAのコンペアマッチ、またはGPTW0.GTADTRBのコンペアマッチ	1	0	0	1	0	0	0
	GTADTRA1NまたはGTADTRB1N	GPTW1.GTADTRAのコンペアマッチ、またはGPTW1.GTADTRBのコンペアマッチ	1	0	0	1	0	0	1
	GTADTRA2NまたはGTADTRB2N	GPTW2.GTADTRAのコンペアマッチ、またはGPTW2.GTADTRBのコンペアマッチ	1	0	0	1	0	1	0
	GTADTRA3NまたはGTADTRB3N	GPTW3.GTADTRAのコンペアマッチ、またはGPTW3.GTADTRBのコンペアマッチ	1	0	0	1	0	1	1
	GTADTRA4N	GPTW4.GTADTRAのコンペアマッチ	1	0	0	1	1	0	0
	GTADTRB4N	GPTW4.GTADTRBのコンペアマッチ	1	0	0	1	1	0	1
	GTADTRA5N	GPTW5.GTADTRAのコンペアマッチ	1	0	0	1	1	1	0
	GTADTRB5N	GPTW5.GTADTRBのコンペアマッチ	1	0	0	1	1	1	1
	GTADTRA6N	GPTW6.GTADTRAのコンペアマッチ	1	0	1	0	0	0	0
	GTADTRB6N	GPTW6.GTADTRBのコンペアマッチ	1	0	1	0	0	0	1
	GTADTRA7N	GPTW7.GTADTRAのコンペアマッチ	1	0	1	0	0	1	0
	GTADTRB7N	GPTW7.GTADTRBのコンペアマッチ	1	0	1	0	0	1	1
	GTADTRA4NまたはGTADTRB4N	GPTW4.GTADTRAのコンペアマッチ、またはGPTW4.GTADTRBのコンペアマッチ	1	0	1	0	1	0	0
	GTADTRA5NまたはGTADTRB5N	GPTW5.GTADTRAのコンペアマッチ、またはGPTW5.GTADTRBのコンペアマッチ	1	0	1	0	1	0	1
	GTADTRA6NまたはGTADTRB6N	GPTW6.GTADTRAのコンペアマッチ、またはGPTW6.GTADTRBのコンペアマッチ	1	0	1	0	1	1	0
	GTADTRA7NまたはGTADTRB7N	GPTW7.GTADTRAのコンペアマッチ、またはGPTW7.GTADTRBのコンペアマッチ	1	0	1	0	1	1	1
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	0	1	0	0	0	0	0
ELC	ELCTRG00N	ELCからのA/D変換開始トリガ0(ユニット0用)	0	1	1	0	0	1	0
	ELCTRG10N	ELCからのA/D変換開始トリガ0(ユニット1用)							
	ELCTRG20N	ELCからのA/D変換開始トリガ0(ユニット2用)							
	ELCTRG01N	ELCからのA/D変換開始トリガ1(ユニット0用)	0	1	1	0	0	1	1
	ELCTRG11N	ELCからのA/D変換開始トリガ1(ユニット1用)							
	ELCTRG21N	ELCからのA/D変換開始トリガ1(ユニット2用)							
	ELCTRG00NまたはELCTRG01N	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1(ユニット0用)	0	1	1	1	0	1	0
	ELCTRG10NまたはELCTRG11N	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1(ユニット1用)							
	ELCTRG20NまたはELCTRG21N	ELCからのA/D変換開始トリガ0、またはELCからのA/D変換開始トリガ1(ユニット2用)							

GCADIE ビット (グループ C スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ C のスキャン終了割り込みの発生を許可 / 禁止します。グループ C のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ C のスキャン終了割り込みの関係を**表 42.16** に示します。

表42.16　各ユニットとグループCのスキャン終了割り込みの関係

ユニット	グループCのスキャン終了割り込み
S12AD	S12GCADI
S12AD1	S12GCADI1
S12AD2	S12GCADI2

GRCE ビット (グループ C A/D 変換動作許可ビット)

グループスキャンモードでグループ C を使用する場合は、GRCE ビットを “1” にしてください。GRCE ビットが “0” の場合は、グループ C のトリガ入力が無効となります。グループ C を使用したグループ優先動作 (ADGSPCR.PGS ビットが “1”) で、ADGSPCR.GBRP ビットを “1” とすると、グループ C がシングルスキャンの連続動作を行います (GRCE ビットを “1” にするとグループ B はシングルスキャンの連続動作を行いません)。

GRCE ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.19　A/D グループ C トリガ選択レジスタ 2 (ADGCTRGR2)

アドレス　S12AD.ADGCTRGR2 0008 90DCh, S12AD1.ADGCTRGR2 0008 92DCh, S12AD2.ADGCTRGR2 0008 94DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRSC6
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRSC6	グループC A/D変換開始トリガ選択ビット6	ADGCTRGR.TRSC[5:0]ビットと合わせて、グループスキャンモードでグループCのA/D変換開始トリガを選択します	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADGCTRGR2 レジスタは、ADGCTRGR レジスタと合わせてグループ C の A/D 変換開始トリガを選択します。詳細は、「42.2.18　A/D グループ C トリガ選択レジスタ (ADGCTRGR)」を参照してください。

42.2.20　A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ～ 11, L, T, O)

アドレス

S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h, S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h, S12AD.ADSSTR6 0008 90E6h,
S12AD1.ADSSTR0 0008 92E0h, S12AD1.ADSSTR1 0008 92E1h, S12AD1.ADSSTR2 0008 92E2h, S12AD1.ADSSTR3 0008 92E3h,
S12AD2.ADSSTR0 0008 94E0h, S12AD2.ADSSTR1 0008 94E1h, S12AD2.ADSSTR2 0008 94E2h, S12AD2.ADSSTR3 0008 94E3h, S12AD2.ADSSTR4 0008 94E4h, S12AD2.ADSSTR5 0008 94E5h, S12AD2.ADSSTR6 0008 94E6h, S12AD2.ADSSTR7 0008 94E7h, S12AD2.ADSSTR8 0008 94E8h, S12AD2.ADSSTR9 0008 94E9h, S12AD2.ADSSTR10 0008 94EAh, S12AD2.ADSSTR11 0008 94EBh, S12AD2.ADSSTRL 0008 94DDh, S12AD2.ADSSTRT 0008 94DEh, S12AD2.ADSSTRO 0008 94DFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	1	1	0	1	1

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

サンプリング時間は ADCLK (A/D 変換クロック) のクロック数で設定し、初期値は 27 クロックです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。ADSSTRn レジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

本レジスタの設定値は 12 ～ 252 クロックの間かつ 3 の倍数の値にしてください。

サンプリング時間は以下の式で求められます。

サンプリング時間 = ADSSTR × t_C(ADCLK)

表 42.17 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、**「42.3.7　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。

表42.17　A/Dサンプリングステートレジスタと対象チャネルの関係

ユニット	レジスタ名	対象チャネル
S12AD	ADSSTR0レジスタ	AN000、自己診断
	ADSSTR1レジスタ	AN001
	ADSSTR2レジスタ	AN002
	ADSSTR3レジスタ	AN003
	ADSSTR4レジスタ	AN004
	ADSSTR5レジスタ	AN005
	ADSSTR6レジスタ	AN006
S12AD1	ADSSTR0レジスタ	AN100、自己診断
	ADSSTR1レジスタ	AN101
	ADSSTR2レジスタ	AN102
	ADSSTR3レジスタ	AN103
S12AD2	ADSSTR0レジスタ	AN200、自己診断
	ADSSTR1レジスタ	AN201
	ADSSTR2レジスタ	AN202
	ADSSTR3レジスタ	AN203
	ADSSTR4レジスタ	AN204
	ADSSTR5レジスタ	AN205
	ADSSTR6レジスタ	AN206
	ADSSTR7レジスタ	AN207
	ADSSTR8レジスタ	AN208
	ADSSTR9レジスタ	AN209
	ADSSTR10レジスタ	AN210
	ADSSTR11レジスタ	AN211
	ADSSTRLレジスタ	AN216, AN217
	ADSSTRTレジスタ	温度センサ出力(注1)
	ADSSTROレジスタ	内部基準電圧(注2)

注1.　温度センサ出力をA/D変換する場合、「49.　電気的特性」に記載された仕様を満たすようにサンプリング時間を設定する必要があります。
注2.　内部基準電圧をA/D変換する場合、サンプリング時間を4 μs以上に設定する必要があります。

42.2.21 A/D サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス S12AD.ADSHCR 0008 9066h, S12AD1.ADSHCR 0008 9266h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SHANS[2:0]			SSTSH[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	チャネル専用サンプル&ホールド回路サンプリング時間設定ビット	12～252クロックの間でサンプリング時間を設定します	R/W
b8	SHANS[0]	チャネル専用サンプル&ホールド回路バイパス選択ビット	AN000またはAN100のチャネル専用サンプル&ホールド回路を使用するか、しないかを選択します。 0：チャネル専用サンプル&ホールド回路無効 1：チャネル専用サンプル&ホールド回路有効	R/W
b9	SHANS[1]		AN001またはAN101のチャネル専用サンプル&ホールド回路を使用するか、しないかを選択します。 0：チャネル専用サンプル&ホールド回路無効 1：チャネル専用サンプル&ホールド回路有効	R/W
b10	SHANS[2]		AN002またはAN102のチャネル専用サンプル&ホールド回路を使用するか、しないかを選択します。 0：チャネル専用サンプル&ホールド回路無効 1：チャネル専用サンプル&ホールド回路有効	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャネル専用サンプル & ホールド回路を設定するレジスタです。

SSTSH[7:0] ビット (チャネル専用サンプル & ホールド回路サンプリング時間設定ビット)

ADSHMSR.SHMD ビットが “0” のときのチャネル専用サンプル & ホールド回路のサンプリング時間を設定をします。サンプリング時間は ADCLK (A/D 変換クロック) のクロック数で設定し、初期値は 27 クロックです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。サンプリング時間の設定値は、12 クロック以上 252 クロック以下の値を設定してください。また、サンプリング時間が 0.4 µs 以上となるように設定してください。

SHANS[2:0] ビット (チャネル専用サンプル & ホールド回路バイパス選択ビット)

アナログ入力 AN000 ～ AN002 (ユニット 0) または AN100 ～ AN102 (ユニット 1) のチャネル専用サンプル & ホールド回路を使用するか、使用せずにバイパスするかを選択します。SHANS[2:0] ビットの設定は、ADCSR.ADST ビットが “0” のとき、かつ ADSHMSR.SHMD ビットが “0” のときに行ってください。

グループスキャンモードのグループ A 優先制御時に、グループ B またはグループ C に AN000 ～ AN002 (ユニット 0) または AN100 ～ AN102 (ユニット 1) のいずれかを選択した場合は、チャネル専用サンプル & ホールド回路を無効にしてください。

なお、チャネル専用サンプル & ホールド回路は、ユニット 2 にはありません。

42.2.22 A/D サンプル & ホールド動作モード選択レジスタ (ADSHMSR)

アドレス S12AD.ADSHMSR 0008 907Ch, S12AD1.ADSHMSR 0008 927Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHMD	チャネル専用サンプル&ホールド回路動作モード設定ビット	0：チャネル専用サンプル&ホールド回路の常時サンプリングを無効 1：チャネル専用サンプル&ホールド回路の常時サンプリングを有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHMSR レジスタは、チャネル専用サンプル & ホールド回路の常時サンプリングの有効 / 無効を設定するレジスタです。

SHMD ビット (チャネル専用サンプル & ホールド回路動作モード設定ビット)

SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたチャネル専用サンプル & ホールド回路の常時サンプリングが有効になります。SHMD ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

常時サンプリング機能を有効にすると、12 ビット A/D コンバータが待機中に常時サンプリング動作を行い、A/D 変換中にホールド動作を行います。

チャネル専用サンプル & ホールド回路の使用を許可 (ADSHCR.SHANS[2:0] ≠ 000b) 後、チャネル専用サンプル & ホールド回路の常時サンプリングを有効 (ADSHMSR.SHMD = 1) にしてから 6 ADCLK の間はトリガを入力しないでください。

42.2.23 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah, S12AD1.ADDISCR 0008 927Ah, S12AD2.ADDISCR 0008 947Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADNDIS[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADNDIS[3:0]	A/D断線検出アシスト設定ビット	ディスチャージ/プリチャージ期間をADCLKのクロック数で指定します。 b3 b0 0000：チャージなし(断線検出アシスト機能無効) 0011：チャージ期間3クロック 0110：チャージ期間6クロック 1001：チャージ期間9クロック 1100：チャージ期間12クロック 1111：チャージ期間15クロック 上記以外は設定しないでください	R/W
b4	ADNDIS[4]		0：ディスチャージ 1：プリチャージ	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ / ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ / ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0000b または 3 の倍数に設定してください。それ以外は設定禁止です。ADNDIS[3:0] ビットに設定した値が、プリチャージ / ディスチャージ期間のクロック数となります。

ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

PGA 出力 (PGA バイパス除く)、温度センサ出力、または内部基準電圧を変換する場合や自己診断機能を使用する場合は、断線検出アシスト機能は使用できません。ADNDIS[3:0] ビットを “0000b” にしてください。

温度センサ出力または内部基準電圧を A/D 変換する場合、オートディスチャージを実施しますので、温度センサ出力または内部基準電圧を含むスキャングループの変換動作中は ADNDIS[4:0] ビットを自動的に “0Fh” に固定し、A/D コンバータ内部のアナログ入力経路をディスチャージします。ディスチャージ完了後、サンプリングが開始されます。温度センサ出力または内部基準電圧の A/D 変換が完了後、ADNDIS[4:0] ビットは自動的に元の設定値に戻ります。

42.2.24 A/D イベントリンクコントロールレジスタ (ADELCCR)

アドレス S12AD.ADELCCR 0008 907Dh, S12AD1.ADELCCR 0008 927Dh, S12AD2.ADELCCR 0008 947Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ELCC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ELCC[2:0]	イベントリンクコントロールビット	b2 b0 ０００：グループAのスキャン終了時にイベント出力 ００１：グループBのスキャン終了時にイベント出力 ０１０：グループA、グループB、またはグループCのスキャン終了時にイベント出力 １００：グループCのスキャン終了時にイベント出力 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADELCCR レジスタは、スキャン終了イベントのイベント信号の出力条件を設定します。

ELCC[2:0] ビット (イベントリンクコントロールビット)

スキャン終了イベントの出力条件を選択するビットです。

42.2.25　A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス　S12AD.ADGSPCR 0008 9080h, S12AD1.ADGSPCR 0008 9280h, S12AD2.ADGSPCR 0008 9480h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ優先制御設定ビット (注1)	0：グループの優先制御動作を行わない 1：グループの優先制御動作を行う	R/W
b1	GBRSCN	低優先グループ再起動設定ビット	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0：グループ優先制御で中断されたグループの再起動をしない 1：グループ優先制御で中断されたグループの再起動をする	R/W
b13-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	LGRRS	再開チャネル選択ビット	(PGS = 1かつGBRSCN = 1のときのみ有効。PGS = 0またはGBRSCN = 0ときは予約ビット) 0：スキャン先頭チャネルから再スキャンを行う 1：A/D変換未終了チャネルから再スキャンを行う	R/W
b15	GBRP	シングルスキャン連続起動設定ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0：シングルスキャン連続動作しない 1：最も優先度の低いグループのシングルスキャン連続動作開始	R/W

注1.　PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。それ以外の設定をした場合、動作は保証されません。
注2.　GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、最も優先度の低いグループのシングルスキャン連続動作を実行します。

ADGSPCR レジスタは、グループスキャンモードで低優先グループのスキャンを中断し、優先グループのスキャンを実行する優先制御を設定するレジスタです。グループ優先動作の設定は、**表 42.21**、**表 42.22** を参照してください。

PGS ビット (グループ優先制御設定ビット)

グループスキャンモードでの優先動作を制御します。グループ優先制御動作を行うときに “1” を設定してください。

PGS ビットを “1” にするときは、ADCSR.ADCS[1:0] ビットを “01b” (グループスキャンモード) にしてください。

グループ優先動作は、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。優先順位は、グループ A > グループ B > グループ C の順です。グループ C のスキャン中にグループ B のスキャン開始を受け付けると、グループ C のスキャンを中断し、グループ B のスキャンを開始します。また、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始します。同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けると、グループ B のスキャンを中断し、グループ A のスキャンを開始します。

PGS ビットを “0” にする場合は、**「42.6.2　A/D 変換停止時の注意事項」**に従い、ソフトウェアでのクリアを行ってください。PGS ビットを “1” にする場合は、**「42.3.5.3　グループ優先制御動作」**の手順に従い設定を行ってください。

GBRSCN ビット (低優先グループ再起動設定ビット)

グループ優先制御時の、再スキャン動作を設定します。

GBRSCN ビットを “1” にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断

した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを “0” にした場合は、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが “1” のときに有効となります。

LGRRS ビット (再開チャネル選択ビット)

グループ優先動作時の、再スキャン開始チャネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが “1” のときに有効となります。

LGRRS ビットが “0” のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャネルから再実行します。

LGRRS ビットが “1” のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後の再スキャンを A/D 変換未終了のチャネルから再実行 (注 1) します。

LGRRS ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

注 1. 中断時に加算設定チャネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャネルは再度 A/D 変換を設定回数分実行します。

GBRP ビット (シングルスキャン連続起動設定ビット)

グループ優先動作設定で最も優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。最も優先度の低いグループとは、グループ A、B、C を使用する場合はグループ C、グループ A、B のみを使用する場合は、グループ B になります。

GBRP ビットを “1” にすると、最も優先度の低いグループのシングルスキャンが起動します。スキャン終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。

GBRP ビットを “1” にする場合は、事前に最も優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを “1” にした場合、GBRSCN ビットが “0” でも、最も優先度の低いグループのみ再スキャンを行います。

GBRP ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

GBRP ビットの設定は、PGS ビットが “1” のときに有効となります。

42.2.26　A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス　S12AD.ADCMPCR 0008 9090h, S12AD1.ADCMPCR 0008 9290h, S12AD2.ADCMPCR 0008 9490h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPAIE	WCMPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウA/Bの複合条件設定ビット	b1 b0 0 0：ウィンドウA比較条件一致ORウィンドウB比較条件一致 0 1：ウィンドウA比較条件一致XORウィンドウB比較条件一致 1 0：ウィンドウA比較条件一致ANDウィンドウB比較条件一致 1 1：設定しないでください	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMPBE	コンペアウィンドウB動作許可ビット	0：コンペアウィンドウB停止 1：コンペアウィンドウB動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	CMPAE	コンペアウィンドウA動作許可ビット	0：コンペアウィンドウA停止 1：コンペアウィンドウA動作	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	CMPBIE	コンペアB割り込み許可ビット	0：比較条件(ウィンドウB)一致によるコンペア割り込み禁止 1：比較条件(ウィンドウB)一致によるコンペア割り込み許可	R/W
b14	WCMPE	ウィンドウ機能設定ビット	0：ウィンドウ機能無効 ウィンドウA/Bは下位側の1値とA/D変換結果を比較するコンパレータとして動作します。 1：ウィンドウ機能有効 ウィンドウA/Bは上位側、下位側の2値とA/D変換結果を比較するウィンドウコンパレータとして動作します。	R/W
b15	CMPAIE	コンペアA割り込み許可ビット	0：比較条件(ウィンドウA)一致によるコンペア割り込み禁止 1：比較条件(ウィンドウA)一致によるコンペア割り込み許可	R/W

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

CMPAB[1:0] ビット (ウィンドウ A/B の複合条件設定ビット)

CMPAB[1:0] ビットは、シングルスキャン時、ウィンドウ A/B が共に有効である場合 (CMPAE ビット = 1 かつ CMPBE ビット = 1) に有効です。ADWINMON.MONCOMB フラグのモニタ条件を選択します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可ビット)

コンペアウィンドウ B の停止 / 動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/Dチャネル選択レジスタA0/A1/B0/B1/C0/C1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1, ADANSC0, ADANSC1)
- A/D 変換拡張入力コントロールレジスタの OCSB、TSSB、OCSA、TSSA ビット (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/D グループ C 拡張入力コントロールレジスタの OCSC、TSSC ビット (ADGCEXCR.OCSC, TSSC)
- ウィンドウ B チャネル選択レジスタの CMPCHB[5:0] ビット (ADCMPBNSR.CMPCHB[5:0])

CMPAE ビット (コンペアウィンドウ A 動作許可ビット)

コンペアウィンドウ A の停止 / 動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/Dチャネル選択レジスタA0/A1/B0/B1/C0/C1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1, ADANSC0, ADANSC1)
- A/D 変換拡張入力コントロールレジスタの OCSB、TSSB、OCSA、TSSA ビット (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/D グループ C 拡張入力コントロールレジスタの OCSC、TSSC ビット (ADGCEXCR.OCSC, TSSC)
- ウィンドウ A チャネル選択レジスタ 0/1 (ADCMPANSR0, ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可ビット)

比較条件 (ウィンドウ B) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みはユニットごとに各 1 本あり、各ユニットとコンペア割り込みの関係を**表 42.18** に示します。

WCMPE ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効 / 無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

CMPAIE ビット (コンペア A 割り込み許可ビット)

比較条件 (ウィンドウ A) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みはユニットごとに各 1 本あり、各ユニットとコンペア割り込みの関係を**表 42.18** に示します。

表42.18 各ユニットとコンペア割り込みの関係

ユニット	コンペア割り込み	
	比較条件(ウィンドウA)一致	比較条件(ウィンドウB)一致
S12AD	S12CMPAI	S12CMPBI
S12AD1	S12CMPAI1	S12CMPBI1
S12AD2	S12CMPAI2	S12CMPBI2

42.2.27　A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0)

(1)　S12AD.ADCMPANSR0

アドレス　S12AD.ADCMPANSR0 0008 9094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—		—	—	—	—	—	—	—	CMPCHA006	CMPCHA005	CMPCHA004	CMPCHA003	CMPCHA002	CMPCHA001	CMPCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャネル選択ビット	AN000～AN006をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN000 ～ AN006 を選択するレジスタです。

CMPCHA0n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00 ～ 06)

ADANSA0.ANSA0n ビット、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA0n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADCMPANSR0

アドレス S12AD1.ADCMPANSR0 0008 9294h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPCHA003	CMPCHA002	CMPCHA001	CMPCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャネル選択ビット	AN100～AN103をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN100 ～ AN103 を選択するレジスタです。

CMPCHA0n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00 ～ 03)

ADANSA0.ANSA0n ビット、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA0n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADCMPANSR0

アドレス S12AD2.ADCMPANSR0 0008 9494h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPCHA011	CMPCHA010	CMPCHA009	CMPCHA008	CMPCHA007	CMPCHA006	CMPCHA005	CMPCHA004	CMPCHA003	CMPCHA002	CMPCHA001	CMPCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャネル選択ビット	AN200～AN211をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b8	CMPCHA008			R/W
b9	CMPCHA009			R/W
b10	CMPCHA010			R/W
b11	CMPCHA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。

CMPCHA0n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00 ～ 11)

ADANSA0.ANSA0n ビット、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA0n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.28　A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1)

アドレス　S12AD2.ADCMPANSR1 0008 9496h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPCHA101	CMPCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA100	コンペアウィンドウAチャネル選択ビット	AN216、AN217をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR1 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。

CMPCHA1n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00, 01)

ADANSA1.ANSA1n ビット、ADANSB1.ANSB1n ビットと ADANSC1.ANSC1n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA1n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA1n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.29　A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス　S12AD2.ADCMPANSER 0008 9492h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPSOC	CMPSTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTS	温度センサ出力コンペア選択ビット	0：温度センサ出力をコンペアウィンドウAの対象から外す 1：温度センサ出力をコンペアウィンドウAの対象にする	R/W
b1	CMPSOC	内部基準電圧コンペア選択ビット	0：内部基準電圧をコンペアウィンドウAの対象から外す 1：内部基準電圧をコンペアウィンドウAの対象にする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSER レジスタは、温度センサ出力 / 内部基準電圧をコンペアウィンドウ A の条件で比較を行うかを選択するレジスタです。

CMPSTS ビット (温度センサ出力コンペア選択ビット)

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットまたは ADGCEXCR.TSSC ビットが “1” のときに CMPSTS ビットを “1” にすると、コンペアウィンドウ A 機能が有効になります。CMPSTS ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

CMPSOC ビット (内部基準電圧コンペア選択ビット)

ADEXICR.OCSA ビットまたは ADEXICR.OCSB または ADGCEXCR.OCSC ビットが “1” のときに CMPSOC ビットを “1” にすると、コンペアウィンドウ A 機能が有効になります。CMPSOC ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

42.2.30　A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

(1)　S12AD.ADCMPLR0

アドレス　S12AD.ADCMPLR0 0008 9098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—		—	—	—	—	—	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADCMPLR0 レジスタは、S12AD.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD.ADCMPLR0 レジスタの設定は、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA0n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00 ～ 06)

ウィンドウ A 比較条件の対象としたチャネル (AN000 ～ AN006) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN000 に、CMPLCHA006 ビットが AN006 に対応します。

(2) S12AD1.ADCMPLR0

アドレス S12AD1.ADCMPLR0 0008 9298h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADCMPLR0 レジスタは、S12AD1.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD1.ADCMPLR0 レジスタの設定は、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA0n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00 ～ 03)

ウィンドウ A 比較条件の対象としたチャネル (AN100 ～ AN103) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN100 に、CMPLCHA003 ビットが AN103 に対応します。

(3) S12AD2.ADCMPLR0

アドレス S12AD2.ADCMPLR0 0008 9498h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPLCHA011	CMPLCHA010	CMPLCHA009	CMPLCHA008	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b8	CMPLCHA008			R/W
b9	CMPLCHA009			R/W
b10	CMPLCHA010			R/W
b11	CMPLCHA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADCMPLR0 レジスタは、S12AD2.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD2.ADCMPLR0 レジスタの設定は、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA0n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00 ～ 11)

ウィンドウ A 比較条件の対象としたチャネル (AN200 ～ AN211) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN200 に、CMPLCHA011 ビットが AN211 に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPSR0.CMPSTCHA0n フラグ (n = 00 ～ 11) が “1” になり、コンペア割り込み (S12CMPAI, S12CMPAI1, S12CMPAI2) が発生します。

コンペア条件を図 42.6 に示します。

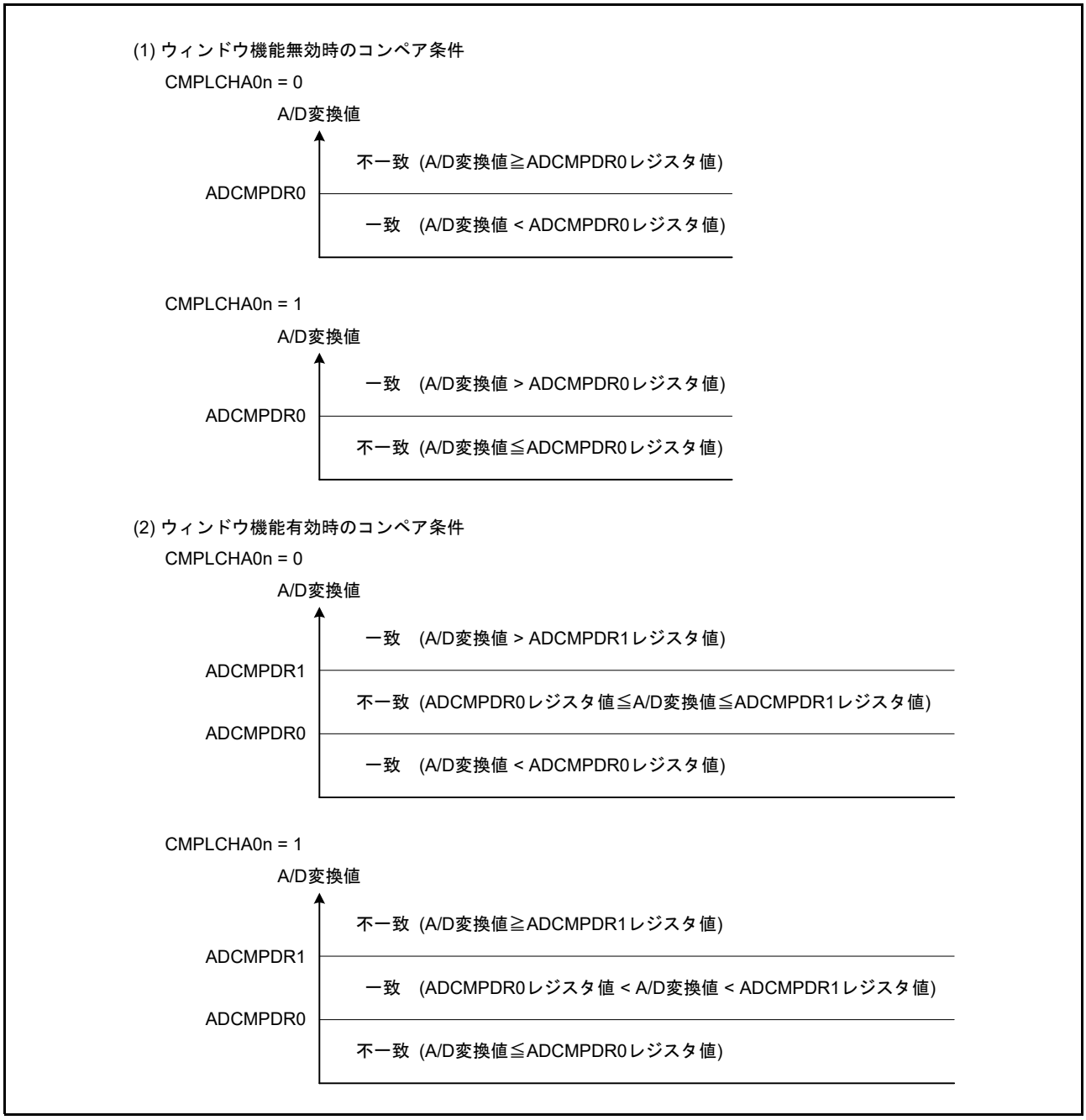


図 42.6　コンペア機能ウィンドウA　コンペア条件説明

42.2.31 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)

アドレス S12AD2.ADCMPLR1 0008 949Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPLCHA101	CMPLCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA100	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLR1 レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLR1 レジスタの設定は、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA1n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00, 01)

ウィンドウ A 比較条件の対象としたチャネル (AN216, AN217) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA100 ビットが AN216 に、CMPLCHA101 ビットが AN217 に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPSR1.CMPSTCHA1n フラグが “1” になり、コンペア割り込み (S12CMPAI2) が発生します。

コンペア条件を図 42.6 に示します。

42.2.32　A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス　S12AD2.ADCMPLER 0008 9493h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLOC	CMPLTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTS	コンペアウィンドウA温度センサ出力コンペア条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値＞A/D変換値 1：ADCMPDR0レジスタ値＜A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値＜ADCMPDR0レジスタ値または A/D変換値＞ADCMPDR1レジスタ値 1：ADCMPDR0レジスタ値＜A/D変換値＜ADCMPDR1レジスタ値	R/W
b1	CMPLOC	コンペアウィンドウA内部基準電圧コンペア条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値＞A/D変換値 1：ADCMPDR0レジスタ値＜A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値＜ADCMPDR0レジスタ値または A/D変換値＞ADCMPDR1レジスタ値 1：ADCMPDR0レジスタ値＜A/D変換値＜ADCMPDR1レジスタ値	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLER レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLER レジスタの設定は、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLTS ビット (コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット)

温度センサ出力をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFTS フラグが “1” になり、コンペア割り込み (S12CMPAI2) が発生します。コンペア条件を図 42.6 に示します。

CMPLOC ビット (コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット)

内部基準電圧をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

内部基準電圧の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFOC フラグが “1” になり、コンペア割り込み (S12CMPAI2) が発生します。コンペア条件を図 42.6 に示します。

42.2.33　A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)

アドレス　S12AD.ADCMPDR0 0008 909Ch, S12AD1.ADCMPDR0 0008 929Ch, S12AD2.ADCMPDR0 0008 949Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 は、ウィンドウ A の下位側レベルを設定します。

ADCMPDR0 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADCMPDR1 設定値≧ ADCMPDR0 設定値) となるように設定してください。

ADCMPDR0 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値 (A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 .　A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1)　A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(3)　A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR0 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR0 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い

基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

42.2.34　A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)

アドレス　S12AD.ADCMPDR1 0008 909Eh, S12AD1.ADCMPDR1 0008 929Eh, S12AD2.ADCMPDR1 0008 949Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDR1 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR1 は、ウィンドウ A の上位側レベルを設定します。

ADCMPDR1 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADCMPDR1 設定値≧ ADCMPDR0 設定値) となるように設定してください。

ADCMPDR1 レジスタはウィンドウ機能無効時には使用しません。

ADCMPDR1 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値 (A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 .　A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1)　A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(3)　A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR1 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR1 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

42.2.35　A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0)

(1)　S12AD.ADCMPSR0

アドレス　S12AD.ADCMPSR0 0008 90A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMPSTCHA006	CMPSTCHA005	CMPSTCHA004	CMPSTCHA003	CMPSTCHA002	CMPSTCHA001	CMPSTCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN000～AN006)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W)(注1)
b1	CMPSTCHA001			R/(W)(注1)
b2	CMPSTCHA002			R/(W)(注1)
b3	CMPSTCHA003			R/(W)(注1)
b4	CMPSTCHA004			R/(W)(注1)
b5	CMPSTCHA005			R/(W)(注1)
b6	CMPSTCHA006			R/(W)(注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (コンペアウィンドウ A フラグ) (n = 00 ～ 06)

ウィンドウ A 比較条件の対象としたチャネル (AN000 ～ AN006) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI) 要求が発生します。CMPSTCHA000 フラグが AN000、CMPSTCHA006 フラグが AN006 に対応します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(2) S12AD1.ADCMPSR0

アドレス S12AD1.ADCMPSR0 0008 92A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPSTCHA003	CMPSTCHA002	CMPSTCHA001	CMPSTCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN100～AN103)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W)(注1)
b1	CMPSTCHA001			R/(W)(注1)
b2	CMPSTCHA002			R/(W)(注1)
b3	CMPSTCHA003			R/(W)(注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (コンペアウィンドウ A フラグ) (n = 00 ～ 03)

ウィンドウ A 比較条件の対象としたチャネル (AN100 ～ AN103) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI1) 要求が発生します。CMPSTCHA000 フラグが AN100、CMPSTCHA003 フラグが AN103 に対応します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(3) S12AD2.ADCMPSR0

アドレス S12AD2.ADCMPSR0 0008 94A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPST CHA011	CMPST CHA010	CMPST CHA009	CMPST CHA008	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAE ビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN200～AN211)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPSTCHA001			R/(W) (注1)
b2	CMPSTCHA002			R/(W) (注1)
b3	CMPSTCHA003			R/(W) (注1)
b4	CMPSTCHA004			R/(W) (注1)
b5	CMPSTCHA005			R/(W) (注1)
b6	CMPSTCHA006			R/(W) (注1)
b7	CMPSTCHA007			R/(W) (注1)
b8	CMPSTCHA008			R/(W) (注1)
b9	CMPSTCHA009			R/(W) (注1)
b10	CMPSTCHA010			R/(W) (注1)
b11	CMPSTCHA011			R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (コンペアウィンドウ A フラグ) (n = 00 ～ 11)

ウィンドウ A 比較条件の対象としたチャネル (AN200 ～ AN211) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。CMPSTCHA000 フラグが AN200 に、CMPSTCHA011 フラグが AN211 に対応します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

42.2.36　A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1)

アドレス　S12AD2.ADCMPSR1 0008 94A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPSTCHA101	CMPSTCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA100	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN216, AN217)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W)（注1）
b1	CMPSTCHA101			R/(W)（注1）
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR1 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA1n フラグ (コンペアウィンドウ A フラグ) (n = 00, 01)

ウィンドウ A 比較条件の対象としたチャネル (AN216, AN217) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR1.CMPLCHA1n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。CMPSTCHA100 フラグが AN216 に、CMPSTCHA101 フラグが AN217 に対応します。

CMPSTCHA1n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR1.CMPLCHA1n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

42.2.37 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス S12AD2.ADCMPSER 0008 94A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPFOC	CMPFTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPFTS	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、温度センサ出力の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPFOC	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSER レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPFTS フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLER.CMPLTS ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。

CMPFTS フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLER.CMPLTS ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

CMPFOC フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLER.CMPLOC ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。

CMPFOC フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLER.CMPLOC ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

42.2.38 A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ (ADWINMON)

アドレス S12AD.ADWINMON 0008 908Ch, S12AD1.ADWINMON 0008 928Ch, S12AD2.ADWINMON 0008 948Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONCMPB	MONCMPA	—	—	—	MONCOMB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果モニタフラグ	組み合わせの結果を示します。 本ビットはウィンドウA/B共に動作状態のときに有効です。 0：ウィンドウA/Bの複合条件不成立 1：ウィンドウA/Bの複合条件成立	R
b3-b1	—	予約ビット	読むと“0”が読めます	R
b4	MONCMPA	比較結果モニタAフラグ	0：ウィンドウA比較条件不成立 1：ウィンドウA比較条件成立	R
b5	MONCMPB	比較結果モニタBフラグ	0：ウィンドウB比較条件不成立 1：ウィンドウB比較条件成立	R
b7-b6	—	予約ビット	読むと“0”が読めます	R

ADWINMON レジスタは比較結果と組み合わせ結果をモニタできます。

MONCOMB フラグ (組み合わせ結果モニタフラグ)

ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のビットです。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 かつ ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致

[“0” になる条件]

- ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない
- ADCMPCR.CMPAE ビット = 0 または ADCMPCR.CMPBE ビット = 0 のとき

MONCMPA フラグ (比較結果モニタ A フラグ)

ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件にウィンドウ A 対象チャネルの A/D 変換値が一致した場合は “1” を、一致しなかった場合は “0” を示す読み出し専用のビットです。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が不成立のとき
- ADCMPCR.CMPAE ビット = 0 のとき (ADCMPCR.CMPAE ビット = 1 → 0 で自動クリア)

MONCMPB フラグ (比較結果モニタ B フラグ)

ADCMPBNSR.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの A/D 変換値が一致した場合は “1” を、一致しなかった場合は “0” を示す読み出し専用のビットです。

["1" になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

["0" になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビット設定した条件が不成立のとき
- ADCMPCR.CMPBE ビット = 0 のとき (ADCMPCR.CMPBE ビット = 1 → 0 で自動クリア)

42.2.39　A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR)

(1)　S12AD.ADCMPBNSR

アドレス　S12AD.ADCMPBNSR 0008 90A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLB	—	CMPCHB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウB チャネル選択ビット	コンペアウィンドウBの条件で比較を行うチャネルを選択します b5　b0 0 0 0 0 0 0 : AN000 0 0 0 0 0 1 : AN001 0 0 0 0 1 0 : AN002 : : 0 0 0 1 0 1 : AN005 0 0 0 1 1 0 : AN006 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウBコンペア条件設定ビット	ウィンドウ機能無効時(ADCMPCR.WCMPE ビットが“0”) 0：ADWINLLB レジスタ値> A/D変換値 1：ADWINLLB レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPE ビットが“1”) 0：A/D変換値< ADWINLLB レジスタ値またはADWINULB レジスタ値< A/D変換値 1：ADWINLLB レジスタ値< A/D変換値< ADWINULB レジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャネルを AN000 ～ AN006 から選択するビットです。

ADANSAy.ANSAyn ビット (y = 0, 1、n = 00 ～ 06) と ADANSBy.ANSByn ビットで選択した A/D 変換チャネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが “1” になり、コンペア割り込み (S12CMPBI) が発生します。コンペア条件を図 42.7 に示します。

(2) S12AD1.ADCMPBNSR

アドレス S12AD1.ADCMPBNSR 0008 92A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLB	—	CMPCHB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウB チャネル選択ビット	コンペアウィンドウBの条件で比較を行うチャネルを選択します b5 b0 0 0 0 0 0 0 : AN100 0 0 0 0 0 1 : AN101 0 0 0 0 1 0 : AN102 0 0 0 0 1 1 : AN103 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウBコンペア条件設定ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADWINLLBレジスタ値> A/D変換値 1：ADWINLLBレジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値< ADWINLLBレジスタ値またはADWINULBレジスタ値< A/D変換値 1：ADWINLLBレジスタ値< A/D変換値< ADWINULBレジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャネルを AN100 ～ AN103 から選択するビットです。

ADANSAy.ANSAyn ビット (y = 0, 1、n = 00 ～ 03) と ADANSBy.ANSByn ビットで選択した A/D 変換チャネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが “1” になり、コンペア割り込み (S12CMPBI1) が発生します。コンペア条件を図 42.7 に示します。

(3) S12AD2.ADCMPBNSR

アドレス S12AD2.ADCMPBNSR 0008 94A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLB	—	CMPCHB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウB チャネル選択ビット	コンペアウィンドウBの条件で比較を行うチャネルを選択します b5 b0 0 0 0 0 0 0 : AN200 0 0 0 0 0 1 : AN201 0 0 0 0 1 0 : AN202 : : 0 0 0 1 1 0 : AN206 0 0 0 1 1 1 : AN207 : : 0 0 1 0 1 0 : AN210 0 0 1 0 1 1 : AN211 0 1 0 0 0 0 : AN216 0 1 0 0 0 1 : AN217 1 0 0 0 0 0 : 温度センサ 1 0 0 0 0 1 : 内部基準電圧 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウBコンペア条件設定ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADWINLLBレジスタ値> A/D変換値 1：ADWINLLBレジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値< ADWINLLBレジスタ値またはADWINULBレジスタ値< A/D変換値 1：ADWINLLBレジスタ値< A/D変換値< ADWINULBレジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャネルを AN200 ～ AN211、AN216、AN217、温度センサ、内部基準電圧から選択するビットです。

ADANSAy.ANSAyn ビット (y = 0, 1、n = 00 ～ 11) と ADANSBy.ANSByn ビットで選択した A/D 変換チャネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが “1” になり、コンペア割り込み (S12CMPBI2) が発生します。コンペア条件を図 42.7 に示します。

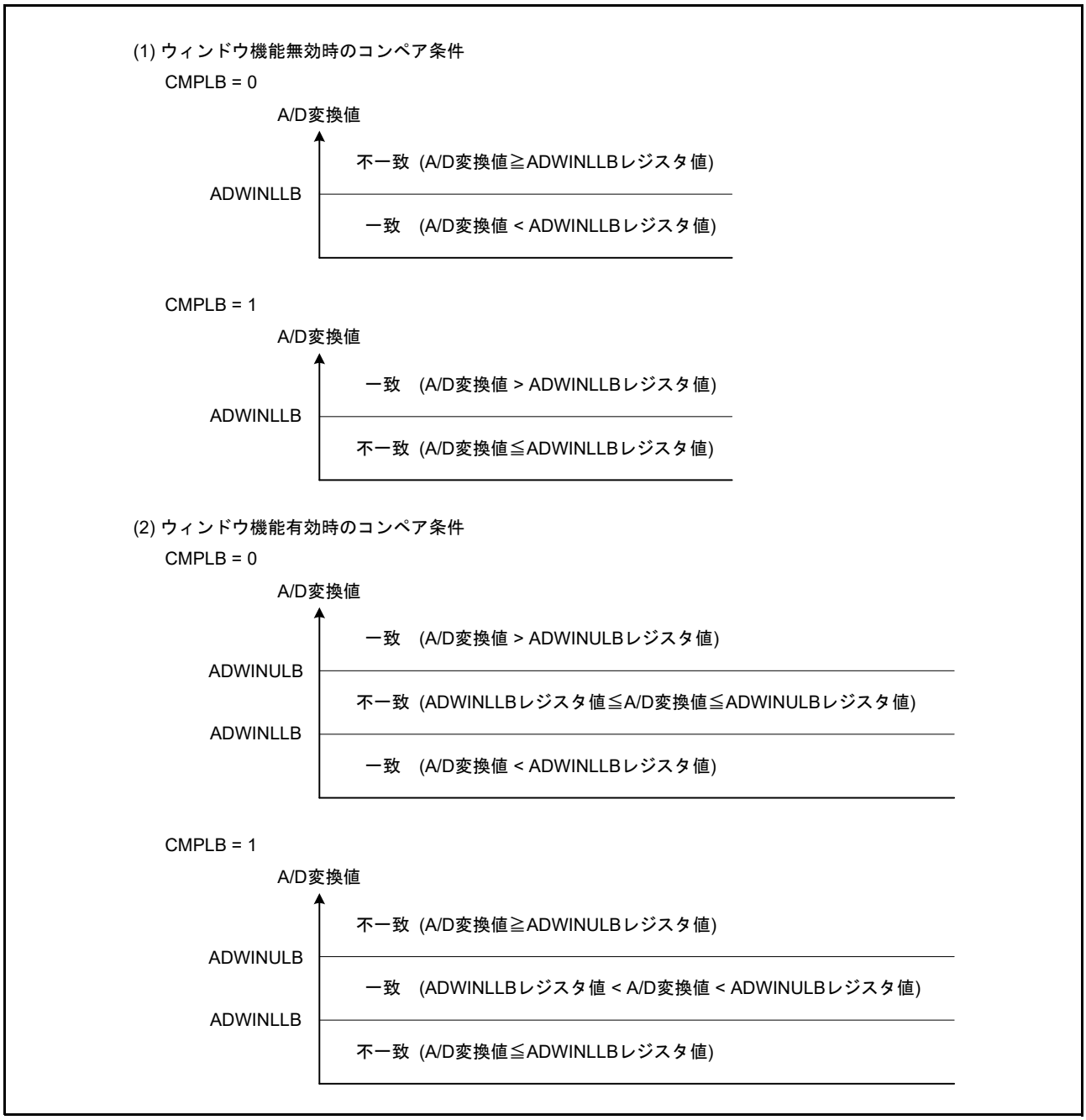


図 42.7　コンペア機能ウィンドウ B　コンペア条件説明

42.2.40 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)

アドレス S12AD.ADWINLLB 0008 90A8h, S12AD1.ADWINLLB 0008 92A8h, S12AD2.ADWINLLB 0008 94A8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB レジスタは、ウィンドウ B の下位側レベルを設定します。

ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADWINULB レジスタ設定値≧ ADWINLLB レジスタ設定値) となるように設定してください。

ADWINLLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値 (A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 . A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(3) A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINLLB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINLLB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い

基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

42.2.41　A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)

アドレス　S12AD.ADWINULB 0008 90AAh, S12AD1.ADWINULB 0008 92AAh, S12AD2.ADWINULB 0008 94AAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINULB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINULB レジスタは、ウィンドウ B の上位側レベルを設定します。

ADWINULB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADWINULB レジスタ設定値≧ ADWINLLB レジスタ設定値) となるように設定してください。

ADWINULB レジスタはウィンドウ機能無効時には使用しません。

ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値 (A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 .　A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1)　A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(3)　A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINULB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINULB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

42.2.42　A/D コンペア機能ウィンドウ B チャネルステータスレジスタ (ADCMPBSR)

(1)　S12AD.ADCMPBSR

アドレス　S12AD.ADCMPBSR 0008 90ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN000 ～ AN006) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBNSR.CMPLB ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPBIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI) 要求が発生します。

CMPSTB フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(2) S12AD1.ADCMPBSR

アドレス S12AD1.ADCMPBSR 0008 92ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN100 ～ AN103) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBNSR.CMPLB ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPBIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI1) 要求が発生します。

CMPSTB フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(3) S12AD2.ADCMPBSR

アドレス S12AD2.ADCMPBSR 0008 94ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN200 ～ AN211、AN216、AN217、温度センサ、内部基準電圧) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBNSR.CMPLB ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPBIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI2) 要求が発生します。

CMPSTB フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

42.2.43　A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR)

(1)　S12AD.ADPGACR

アドレス　S12AD.ADPGACR 0008 91A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002CR[3:0]				P001CR[3:0]				P000CR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P000CR[3:0]	P000アンプコントロールビット	AN000に繋がるPGA (P000)とアナログ信号の出力先を制御します。設定内容に関しては、表42.19を参照してください	R/W
b7-b4	P001CR[3:0]	P001アンプコントロールビット	AN001に繋がるPGA (P001)とアナログ信号の出力先を制御します。設定内容に関しては、表42.19を参照してください	R/W
b11-b8	P002CR[3:0]	P002アンプコントロールビット	AN002に繋がるPGA (P002)とアナログ信号の出力先を制御します。設定内容に関しては、表42.19を参照してください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(2)　S12AD1.ADPGACR

アドレス　S12AD1.ADPGACR 0008 93A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P102CR[3:0]				P101CR[3:0]				P100CR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P100CR[3:0]	P100アンプコントロールビット	AN100に繋がるPGA (P100)とアナログ信号の出力先を制御します。設定内容に関しては、表42.19を参照してください	R/W
b7-b4	P101CR[3:0]	P101アンプコントロールビット	AN101に繋がるPGA (P101)とアナログ信号の出力先を制御します。設定内容に関しては、表42.19を参照してください	R/W
b11-b8	P102CR[3:0]	P102アンプコントロールビット	AN102に繋がるPGA (P102)とアナログ信号の出力先を制御します。設定内容に関しては、表42.19を参照してください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PxCR[3:0] ビット (Px アンプコントロールビット) (x = 000 ～ 002, 100 ～ 102)

AN000 ～ AN002、AN100 ～ AN102 端子に入力されたアナログ信号の経路を設定するビットです。設定値と A/D コンバータへの入力信号、コンパレータ C への入力信号の関係については表 42.19 を参照してください。

表42.19　PxCR[3:0]ビットの設定値とアナログ信号の経路(x = 000～002, 100～102、m = 0～5)

PxCR[3:0]ビット	PGA	A/Dコンバータの入力	コンパレータCの入力	
			CMPCm0	CMPCm1
0000b(初期値)	無効	—	—	—
0001b	無効	ANx	—	—
1000b	無効	—	ANx	—
1001b	無効	ANx	ANx	—
1100b	有効	—	ANx	Px出力
1101b	有効	ANx	ANx	Px出力
1110b	有効	Px出力	ANx	Px出力

注.　上記以外の値は設定しないでください。

42.2.44　A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0)

(1)　S12AD.ADPGAGS0

アドレス　S12AD.ADPGAGS0 0008 91A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002GAIN[3:0]				P001GAIN[3:0]				P000GAIN[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P000GAIN[3:0]	P000アンプゲイン設定ビット	0 0 0 0 : × 2.000 0 0 0 1 : × 2.500 0 0 1 1 : × 3.077 0 1 0 1 : × 3.636 0 1 1 0 : × 4.000 0 1 1 1 : × 4.444 1 0 0 0 : × 5.000 1 0 1 0 : × 6.667 1 0 1 1 : × 8.000 1 1 0 0 : × 10.000 1 1 0 1 : × 13.333 1 1 1 0 : × 20.000 上記以外は設定しないでください	R/W
b7-b4	P001GAIN[3:0]	P001アンプゲイン設定ビット		R/W
b11-b8	P002GAIN[3:0]	P002アンプゲイン設定ビット		R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(2)　S12AD1.ADPGAGS0

アドレス　S12AD1.ADPGAGS0 0008 93A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P102GAIN[3:0]				P101GAIN[3:0]				P100GAIN[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P100GAIN[3:0]	P100アンプゲイン設定ビット	0 0 0 0 : × 2.000 0 0 0 1 : × 2.500 0 0 1 1 : × 3.077 0 1 0 1 : × 3.636 0 1 1 0 : × 4.000 0 1 1 1 : × 4.444 1 0 0 0 : × 5.000 1 0 1 0 : × 6.667 1 0 1 1 : × 8.000 1 1 0 0 : × 10.000 1 1 0 1 : × 13.333 1 1 1 0 : × 20.000 上記以外は設定しないでください	R/W
b7-b4	P101GAIN[3:0]	P101アンプゲイン設定ビット		R/W
b11-b8	P102GAIN[3:0]	P102アンプゲイン設定ビット		R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PxGAIN[3:0] ビット (Px アンプゲイン設定ビット) (x = 000 ～ 002, 100 ～ 102)

各プログラマブルゲインアンプ Px のゲインを指定します。

42.2.45 A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR)

アドレス S12AD2.ADVMONCR 0008 95E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VDE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VDE	電圧モニタ回路許可ビット	0：内部基準電圧モニタ回路の動作を禁止 1：内部基準電圧モニタ回路の動作を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADVMONCR レジスタは、内部基準電圧の電圧モニタ回路の動作を許可するレジスタです。
このレジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.46 A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO)

アドレス S12AD2.ADVMONO 0008 95E4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VDO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VDO	電圧モニタ回路電圧出力許可ビット	0：内部基準電圧モニタ回路の電圧出力を禁止 1：内部基準電圧モニタ回路の電圧出力を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADVMONO レジスタは、内部基準電圧の電圧モニタ回路の電圧出力を許可するレジスタです。
このレジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

42.3 動作説明

42.3.1 A/D コンバータの初期設定フロー

図 42.8 に A/D コンバータの初期設定フローを示します。

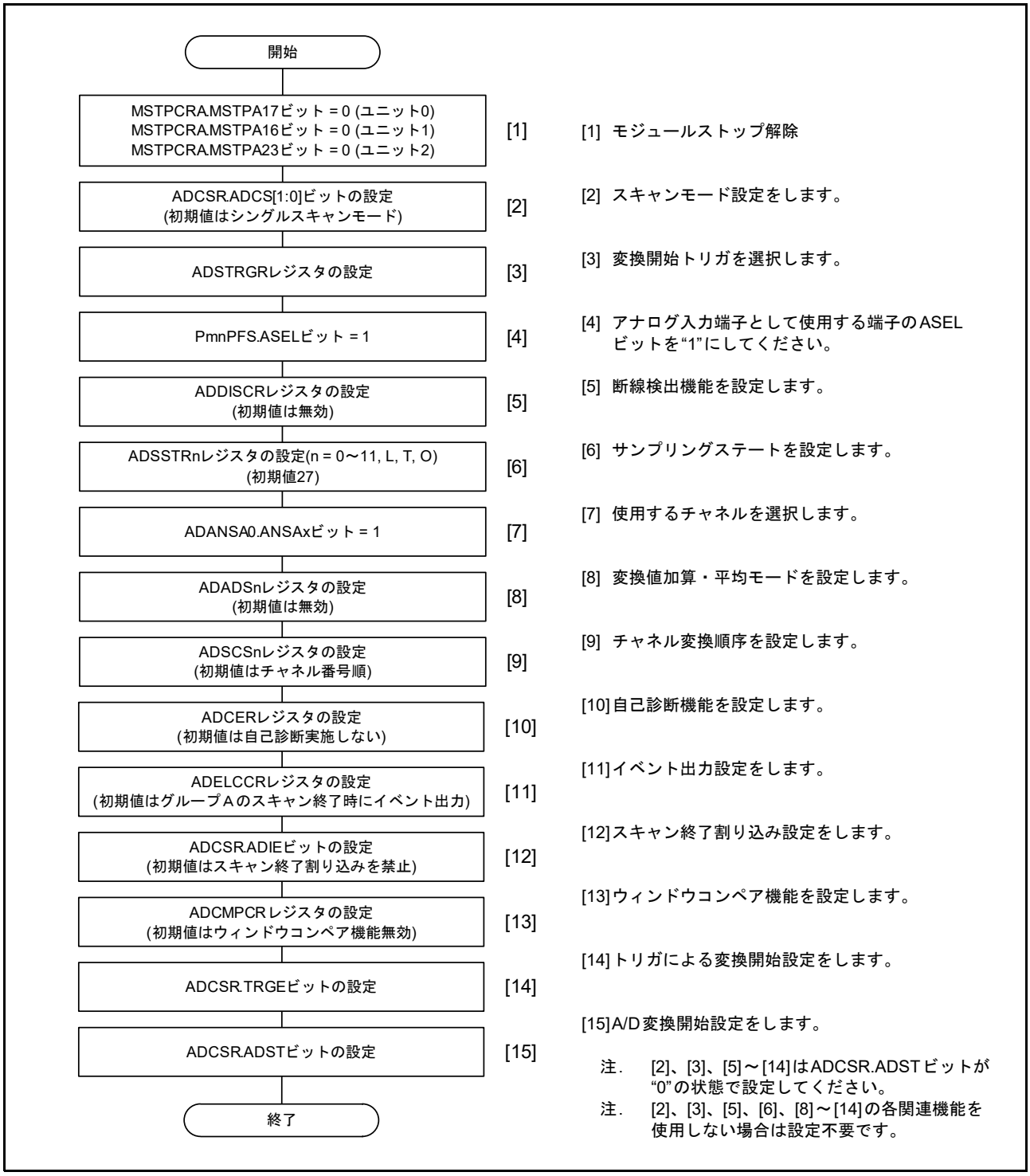


図 42.8　A/D コンバータの初期設定フロー

42.3.2 スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの 3 種類の動作モードがあります。シングルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを “0” (“1” の状態から “0”) にするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B とグループ C のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B とグループ C で選択したチャネルのスキャンをそれぞれ 1 回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って、グループ B が ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って、グループ C が ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を行います。自己診断を選択した場合は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力または内部基準電圧の選択が可能です。同じグループにてチャネルのアナログ入力と合わせて選択できません。

温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されます。

温度センサ出力または内部基準電圧を変換するときに、オートディスチャージが自動的に実施されます。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用できます。ダブルトリガモードを有効にすると、ADSTRGR.TRSA[6:0] ビットで選択したトリガでスキャンを開始したときのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換データを二重化します。グループスキャンモードではグループ A のみダブルトリガモードを使用できます。

ダブルトリガ拡張モードは、ダブルトリガモードで、TRSA[6:0] ビットに以下のトリガを選択 (2 種類のトリガを許可) した状態を示します。

- TRG4AN または TRG4BN (ADSTRGR.TRSA[6:0] ビットに “0001011b” を設定)
- TRG7AN または TRG7BN (ADSTRGR.TRSA[6:0] ビットに “0001111b” を設定)
- TRGA0N または TRG0N (ADSTRGR.TRSA[6:0] ビットに “0011001b” を設定)
- TRGA9N または TRG9N (ADSTRGR.TRSA[6:0] ビットに “0011010b” を設定)
- TRGA0N または TRGA9N (ADSTRGR.TRSA[6:0] ビットに “0011011b” を設定)
- TRG0N または TRG9N (ADSTRGR.TRSA[6:0] ビットに “0011100b” を設定)
- GTADTRB0N または GTADTRA0N (ADSTRGR.TRSA[6:0] ビットに “1001000b” を設定)
- GTADTRB1N または GTADTRA1N (ADSTRGR.TRSA[6:0] ビットに “1001001b” を設定)
- GTADTRB2N または GTADTRA2N (ADSTRGR.TRSA[6:0] ビットに “1001010b” を設定)
- GTADTRB3N または GTADTRA3N (ADSTRGR.TRSA[6:0] ビットに “1001011b” を設定)
- GTADTRB4N または GTADTRA4N (ADSTRGR.TRSA[6:0] ビットに “1010100b” を設定)
- GTADTRB5N または GTADTRA5N (ADSTRGR.TRSA[6:0] ビットに “1010101b” を設定)
- GTADTRB6N または GTADTRA6N (ADSTRGR.TRSA[6:0] ビットに “1010110b” を設定)
- GTADTRB7N または GTADTRA7N (ADSTRGR.TRSA[6:0] ビットに “1010111b” を設定)
- ELCTRG00N または ELCTRG01N (S12AD.ADSTRGR.TRSA[6:0] ビットに “0111010b” を設定)
- ELCTRG10N または ELCTRG11N (S12AD1.ADSTRGR.TRSA[6:0] ビットに “0111010b” を設定)

- ELCTRG20N または ELCTRG21N (S12AD2.ADSTRGR.TRSA[6:0] ビットに “0111010b” を設定)

ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、トリガの種別に応じて、A/D 変換データを A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガ拡張モード時に、2 種類のトリガが同時に発生した場合は、トリガによる振り分けは実施せず、A/D 変換データは、データ二重化レジスタ B (ADDBLDRB) に格納されます。なお、一方のトリガで A/D 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

ADSHCR.SHANS[2:0] ビットで AN000 ～ AN002 または AN100 ～ AN102 のいずれかをチャネル専用サンプル & ホールド回路使用に設定すると、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル & ホールドを行います。

42.3.3　シングルスキャンモード

42.3.3.1　基本動作 (チャネル専用サンプル & ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(図 42.9 の変換順序設定：AN000 → AN001 → AN002)
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(4) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

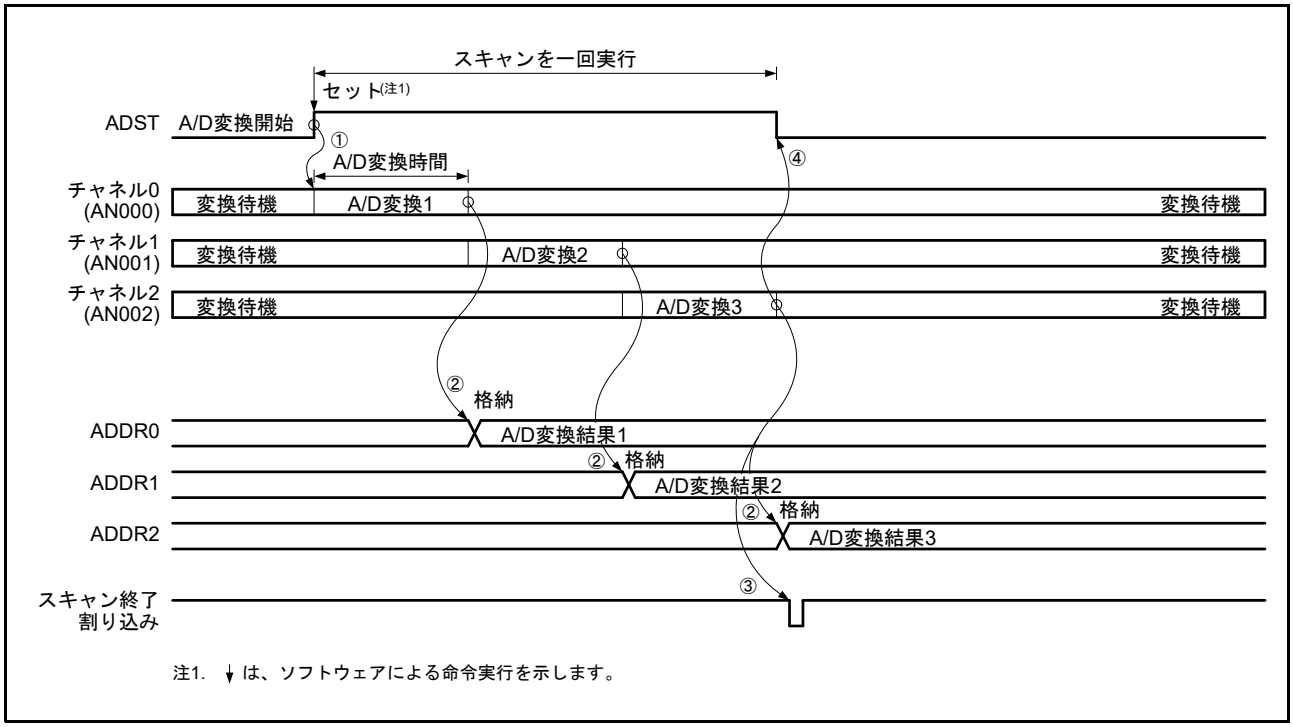


図 42.9　シングルスキャンモードの動作例 (基本動作：AN000、AN001、AN002 選択)

42.3.3.2　基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(3) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(5) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

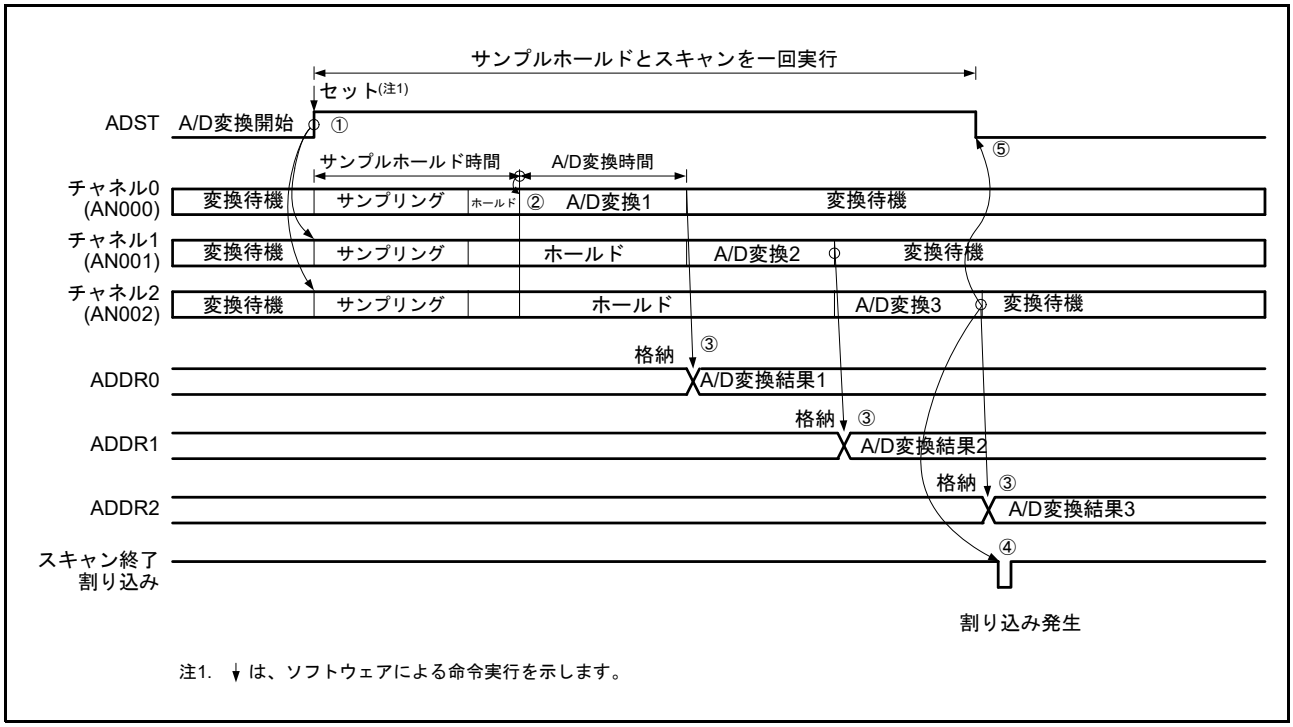


図 42.10　シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用チャネル AN000、AN001、AN002 選択、常時サンプリング無効)

42.3.3.3　基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” にした後、750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(5) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(6) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。続けてシングルスキャンを実施する場合は、サンプル & ホールド回路の常時サンプリング期間が 400 ns (許容信号源インピーダンスが 1 kΩ の場合) 以上となるようにしてください。
(7) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。

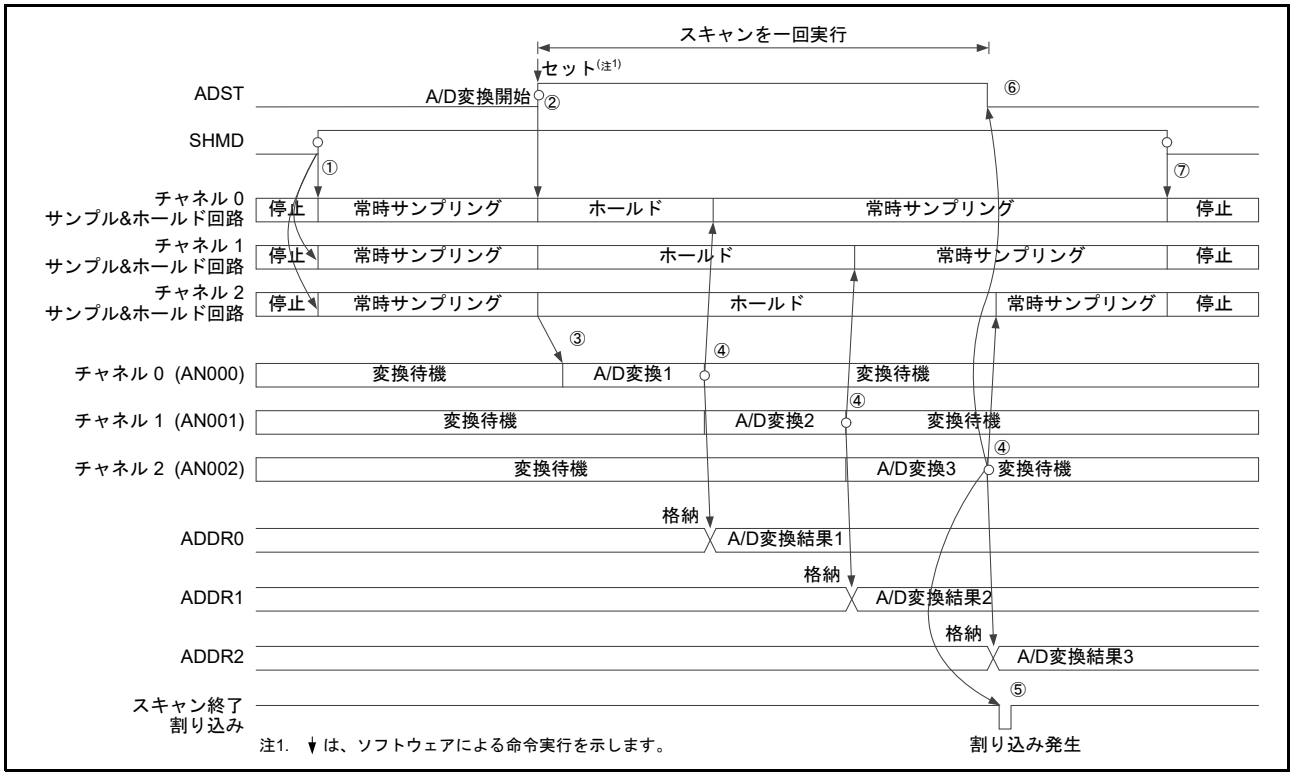


図 42.11　シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000 ～ AN002 選択、常時サンプリング有効)

42.3.3.4　チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし)

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
(2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(5) ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

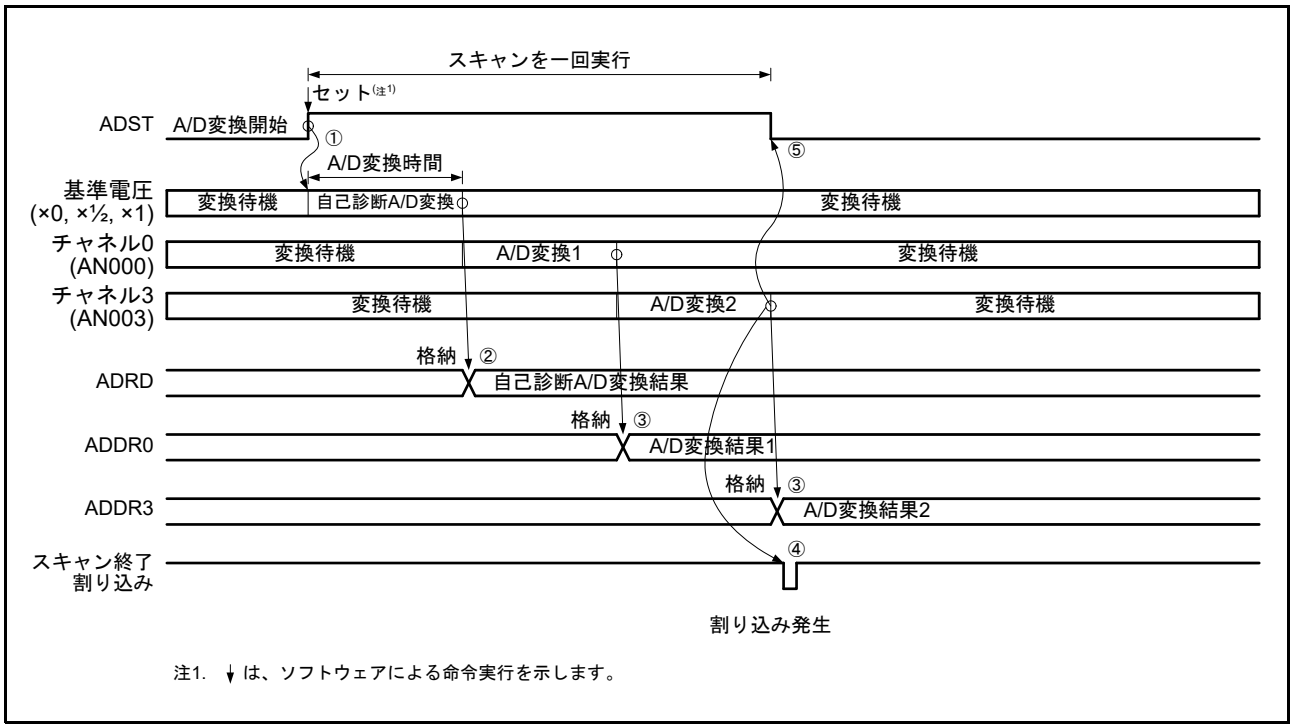


図 42.12　シングルスキャンモードの動作例 (基本動作：AN000、AN003 選択 + 自己診断)

42.3.3.5　チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル選択と共に自己診断を選択し、チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。自己診断は温度センサ出力または内部基準電圧と合わせて使用することができません。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に自己診断での A/D 変換を開始します。
(3) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(5) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(6) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

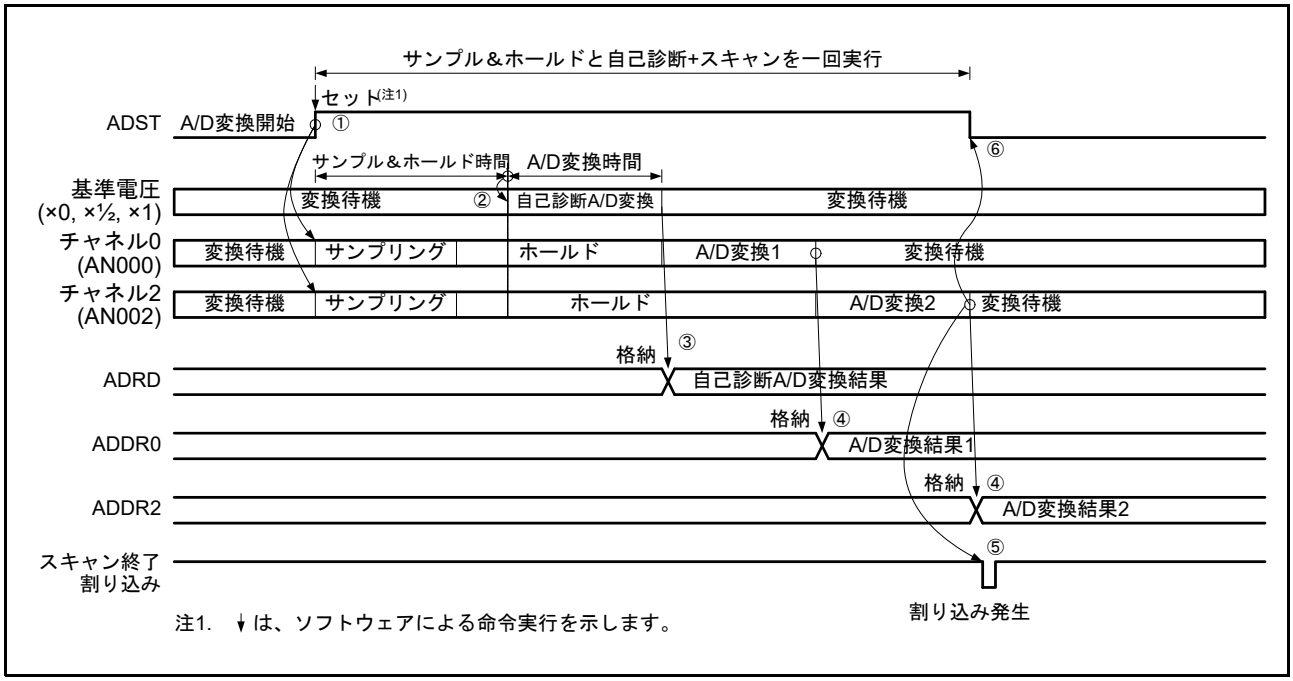


図 42.13　シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用チャネル AN000、AN002 選択 + 自己診断、常時サンプリング無効)

42.3.3.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

チャネル選択と共に自己診断を選択し、常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。自己診断は温度センサ出力または内部基準電圧と合わせて使用することができません。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” にした後、750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、自己診断での A/D 変換を開始します。
(4) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(5) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(6) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。続けてシングルスキャンを実施する場合は、サンプル & ホールド回路の常時サンプリング期間が 400 ns (許容信号源インピーダンスが 1 kΩ の場合) 以上となるようにしてください。
(8) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。

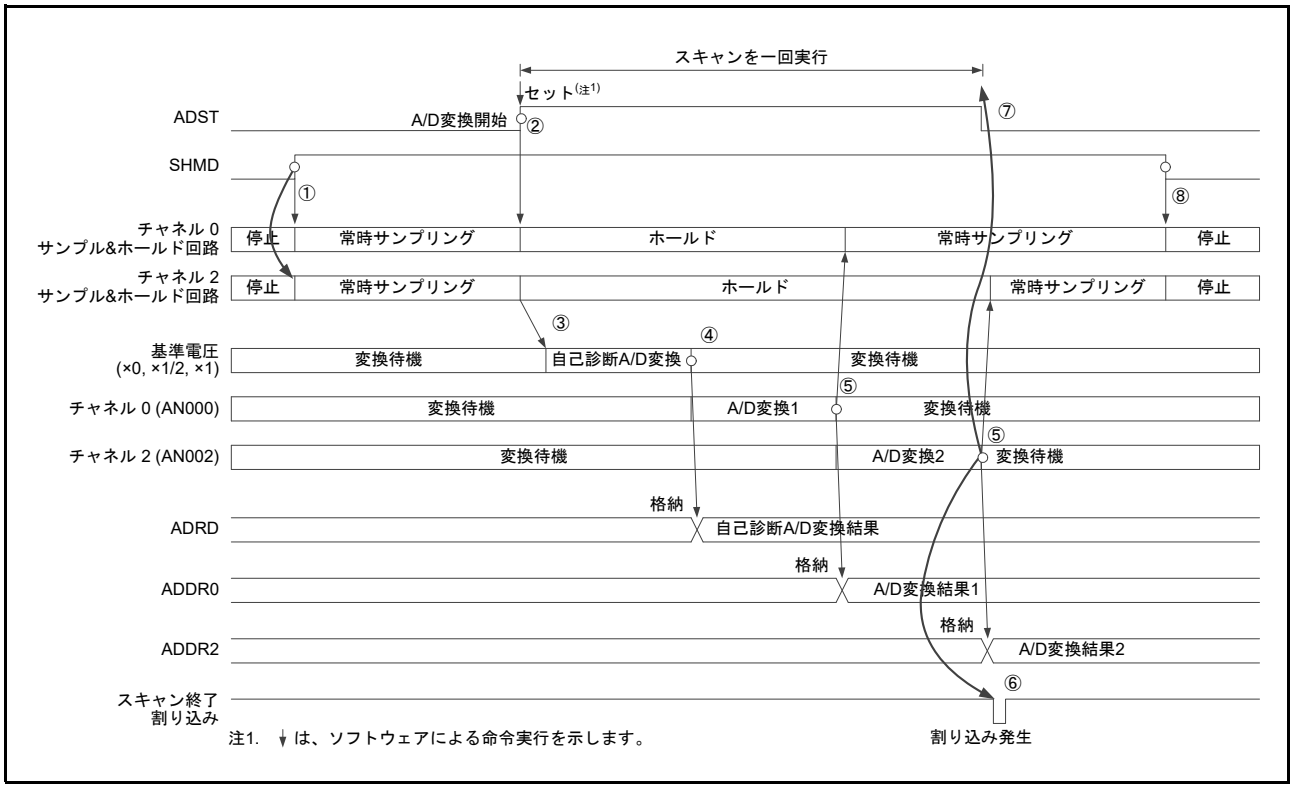


図 42.14　シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN002 選択＋自己診断、常時サンプリング有効)

42.3.3.7　温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

温度センサ出力または内部基準電圧を選択すると、以下のように温度センサ出力または内部基準電圧を 1 回のみ A/D 変換します。

温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ出力、内部基準電圧の順に A/D 変換します。

温度センサ出力または内部基準電圧とチャネルのアナログ入力は、同時選択禁止です。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、温度センサ出力のオートディスチャージを実施して、A/D 変換を開始します。

(2) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧のオートディスチャージを実施して、A/D 変換を開始します。

(3) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(4) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

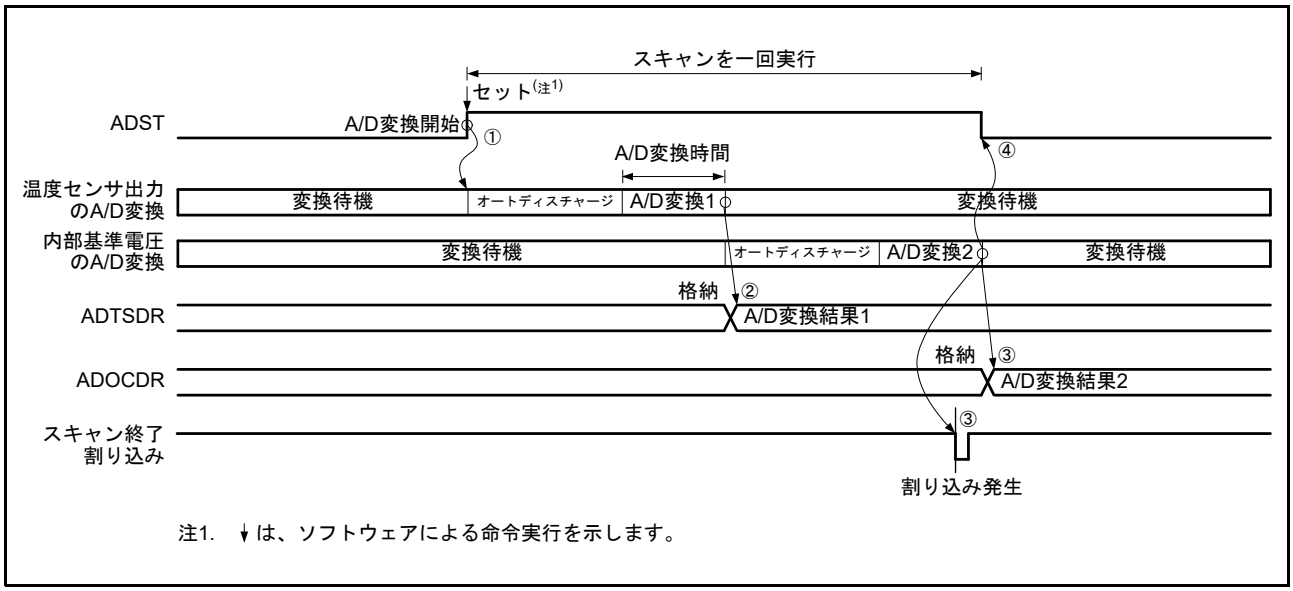


図 42.15　シングルスキャンモードの動作例 (基本動作：温度センサ出力、内部基準電圧選択)

42.3.3.8　ダブルトリガモード使用時の動作

シングルスキャンモードで ADCSR.DBLE ビットを “1” にすると、ダブルトリガモードが有効になり、シングルスキャン動作 2 回分を一連の動作として制御します。

自己診断許可ビット (ADCER.DIAGM) を “0”、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB, ADGCEXCR.TSSC) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB, ADGCEXCR.OCSC) を “0” にしてください。

ダブルトリガモードで変換するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定してください。ダブルトリガモードでは、ADANSA0、ADANSA1 レジスタによるチャネル選択は無効になります。

ADSTRGR.TRSA[6:0] ビットで ADTRGn# 以外の A/D 変換開始トリガを選択し、ADCSR.EXTRG ビットを “0”、ADCSR.TRGE ビットを “1” にしてください。また、ソフトウェアトリガは使用しないでください。

ダブルトリガモードでは、シングルスキャン動作は以下のように 2 回実行されます。

(1) 同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了割り込みを許可) の設定に関わらず、スキャン終了割り込みは発生しません。
(4) 2 回目のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

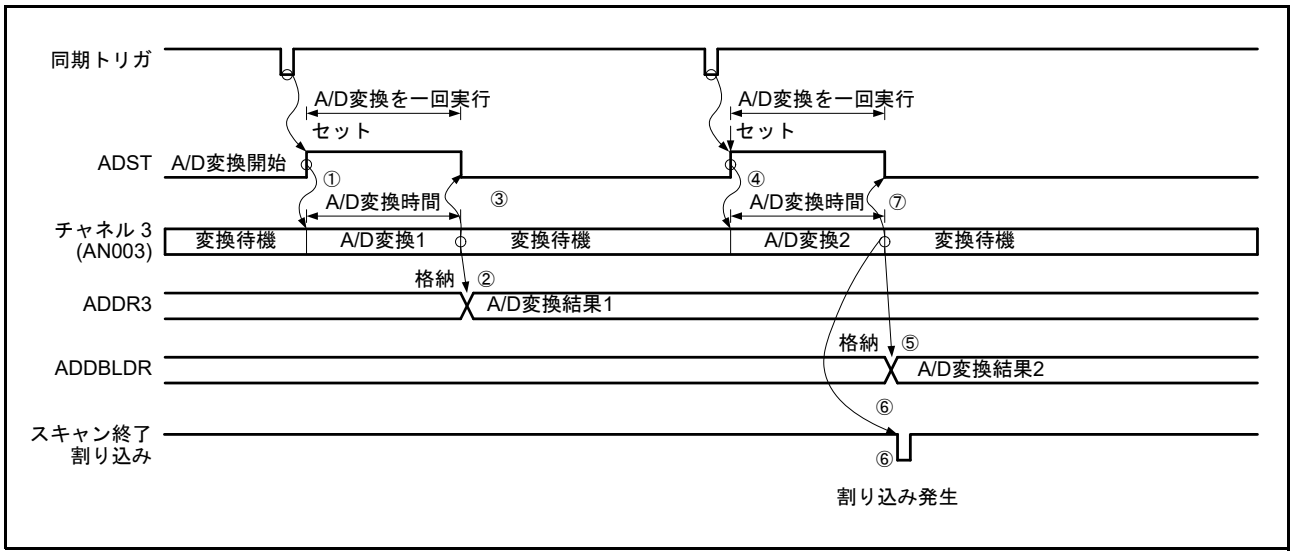


図 42.16　シングルスキャンモードの動作例 (ダブルトリガモードで AN003 を選択)

42.3.3.9 ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを有効にし、ADSTRGR.TRSA[6:0] ビットで「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「TRGA9N または TRG9N」、「TRGA0N または TRGA9N」、「TRG0N または TRG9N」、「GTADTRB0N または GTADTRA0N」、「GTADTRB1N または GTADTRA1N」、「GTADTRB2N または GTADTRA2N」、「GTADTRB3N または GTADTRA3N」、「GTADTRB4N または GTADTRA4N」、「GTADTRB5N または GTADTRA5N」、「GTADTRB6N または GTADTRA6N」、「GTADTRB7N または GTADTRA7N」、「ELCTRG00N または ELCTRG01N」、「ELCTRG10N または ELCTRG11N」、「ELCTRG20N または ELCTRG21N」を選択した場合は、ダブルトリガ拡張モードが有効になります。

自己診断許可ビット (ADCER.DIAGM) を “0”、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB, ADGCEXCR.TSSC) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB, ADGCEXCR.OCSC) を “0” にしてください。

ダブルトリガモードで変換するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定してください。ダブルトリガモードでは、ADANSA0、ADANSA1 レジスタによるチャネル選択は無効になります。ADSTRGR.TRSA[6:0] ビットで ADTRGn# 以外の A/D 変換開始トリガを選択し、ADCSR.EXTRG ビットを “0”、ADCSR.TRGE ビットを “1” にしてください。また、ソフトウェアトリガは使用しないでください。

ダブルトリガ拡張モードでトリガに「TRG4AN または TRG4BN」を選択した場合、シングルスキャン動作は以下のように 2 回実行されます。

(1) TRG4AN 入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) と A/D データ二重化レジスタ A (ADDBLDRA) へ格納されます。
(3) ADCSR.ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了割り込みを許可) の設定に関わらず、スキャン終了割り込みは発生しません。
(4) TRG4BN 入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果は A/D データ二重化レジスタ (ADDBLDR) と A/D データ二重化レジスタ B (ADDBLDRB) に格納されます。
(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

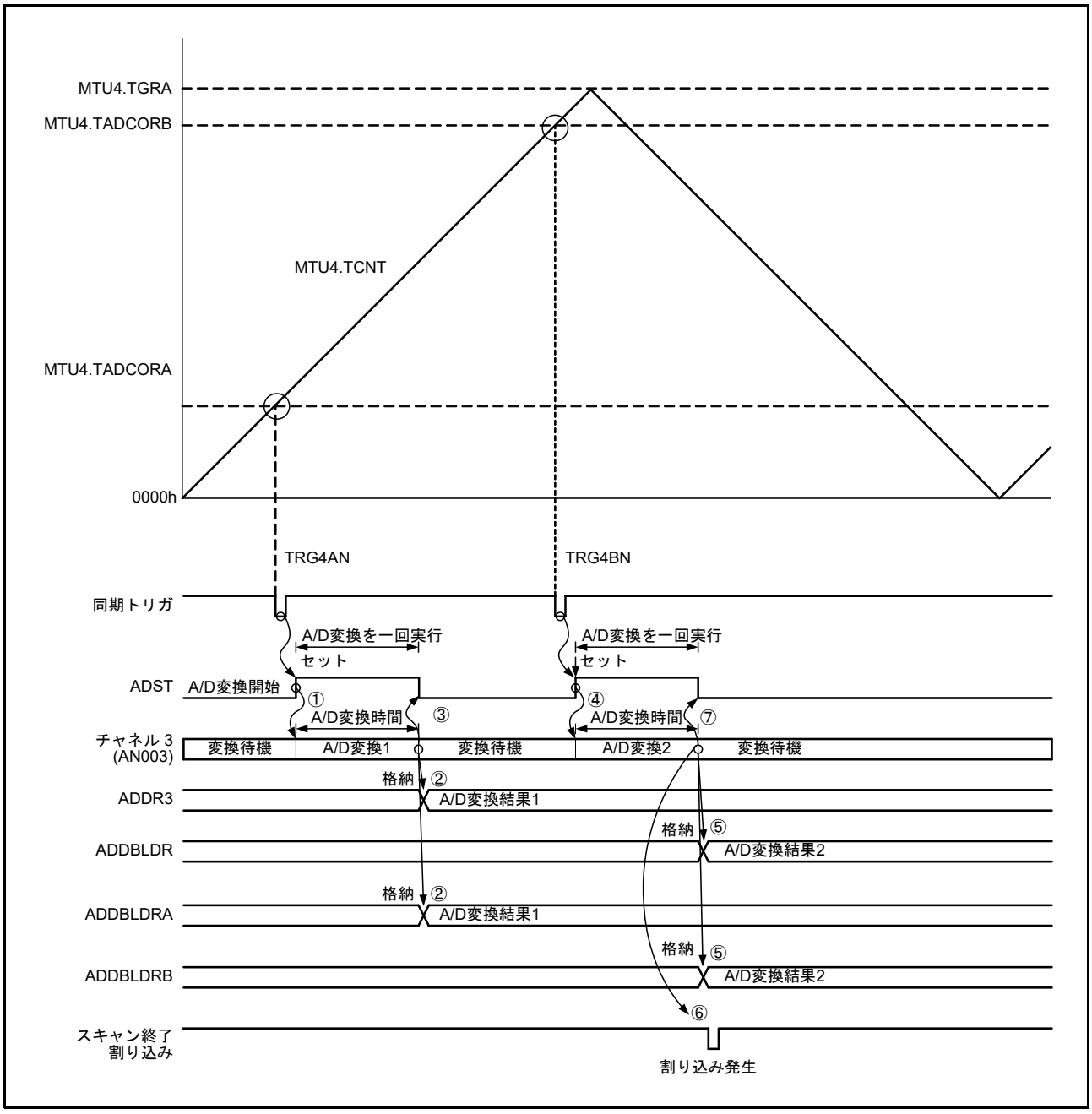


図 42.17　ダブルトリガ拡張モードの動作例 (1)
(AN003、「TRG4AN または TRG4BN」を選択、1 回目のトリガが TRG4AN の場合)

42.3.4　連続スキャンモード

42.3.4.1　基本動作 (チャネル専用サンプル & ホールドなし)

連続スキャンモードの基本動作は、選択されたチャネルのアナログ入力を以下のように繰り返し A/D 変換します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

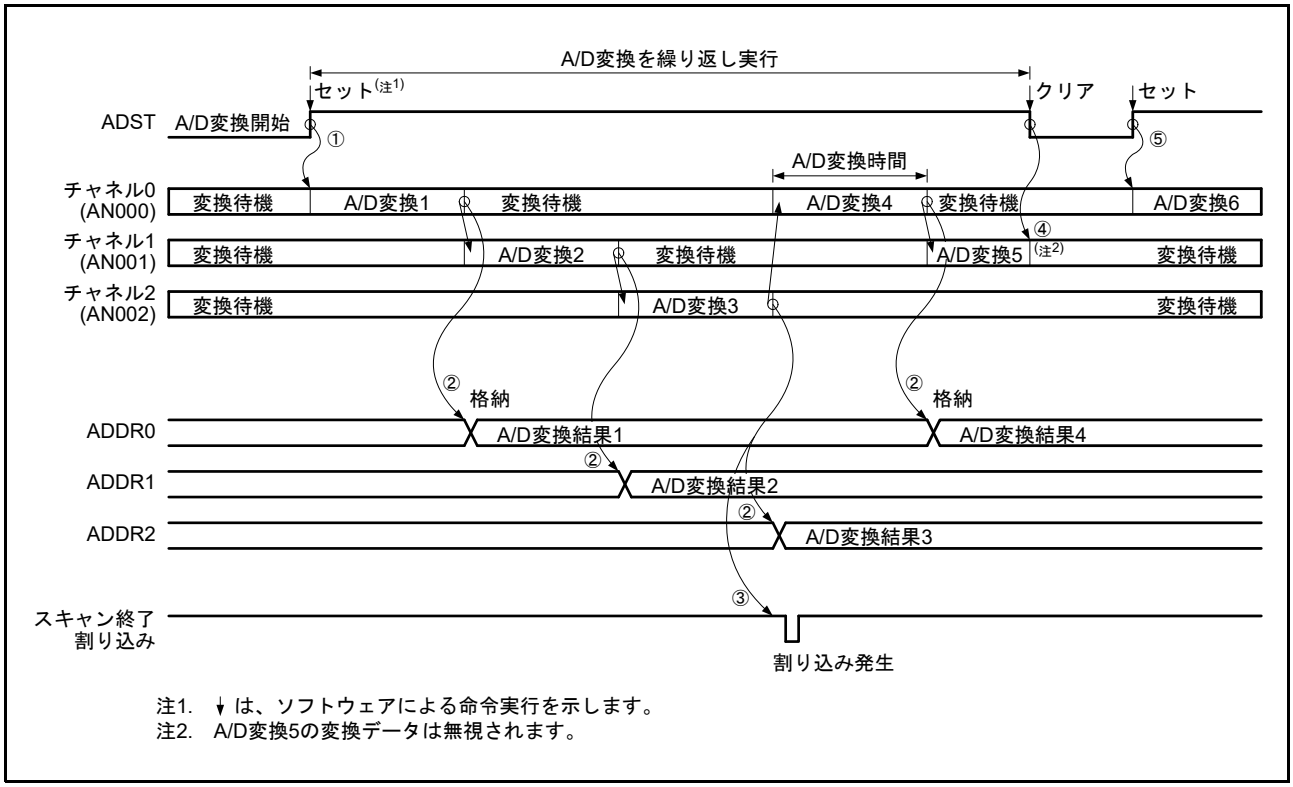
(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します (図 42.18 の変換順序設定：AN000 → AN001 → AN002)。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
また 12 ビット A/D コンバータは、継続して ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。

(4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は (2) ～ (3) を繰り返します。
ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。

(5) その後、ADCSR.ADST ビットを “1” (A/D 変換開始) にすると再び ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。



注1.　↓ は、ソフトウェアによる命令実行を示します。
注2.　A/D変換5の変換データは無視されます。

図 42.18　連続スキャンモードの動作例 (基本動作：AN000、AN001、AN002 選択)

42.3.4.2　基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に、選択したすべてのチャネルのアナログ入力を A/D 変換する動作を繰り返します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

(1) ソフトウェア、同期トリガ入力または非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(3) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。
(5) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (2) ～ (4) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(6) その後、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再びチャネル専用サンプル & ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。

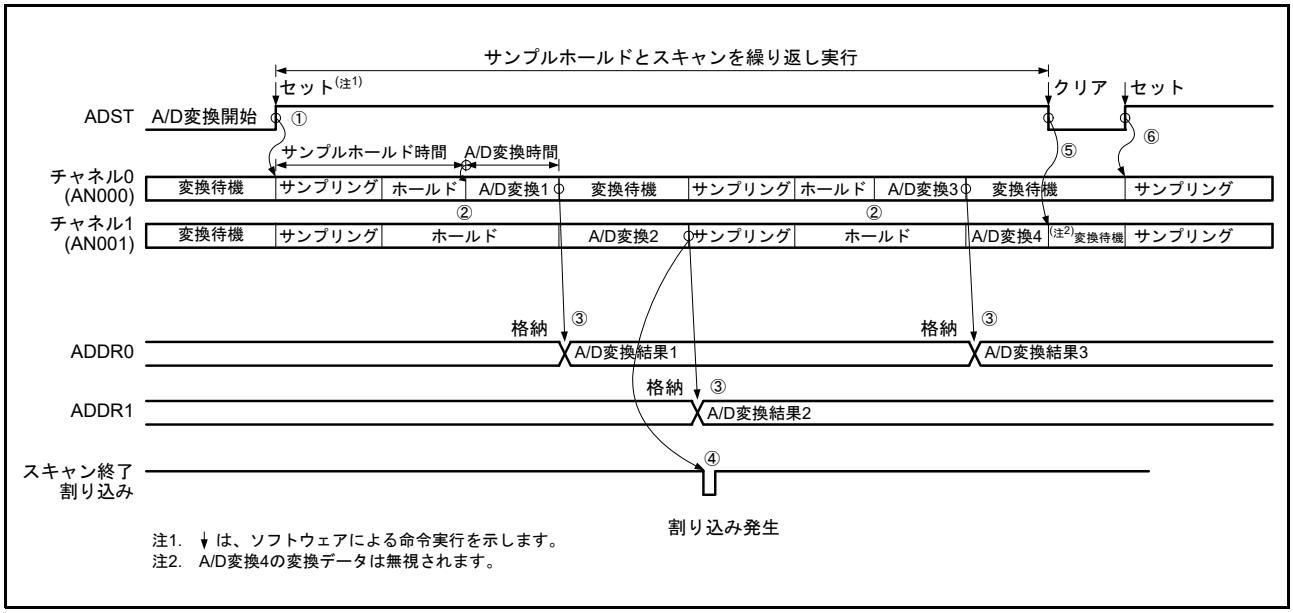


図 42.19　連続スキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN001 選択、常時サンプリング無効)

42.3.4.3 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に、選択したすべてのチャネルのアナログ入力を A/D 変換する動作を繰り返します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” にした後、750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(5) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
(6) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (3) ～ (5) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(7) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。
(8) その後、ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(9) ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再びチャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。

注 . チャネル専用サンプル & ホールド回路ありのチャネルのみを選択し連続スキャンを実施すると、連続スキャンの 2 回目以降に常時サンプリングの期間が確保されなくなります。サンプル & ホールド回路の常時サンプリング有効で連続スキャンする場合は、AN003 を選択し、サンプル & ホールド回路の常時サンプリング期間が 400 ns 以上となるようにしてください。

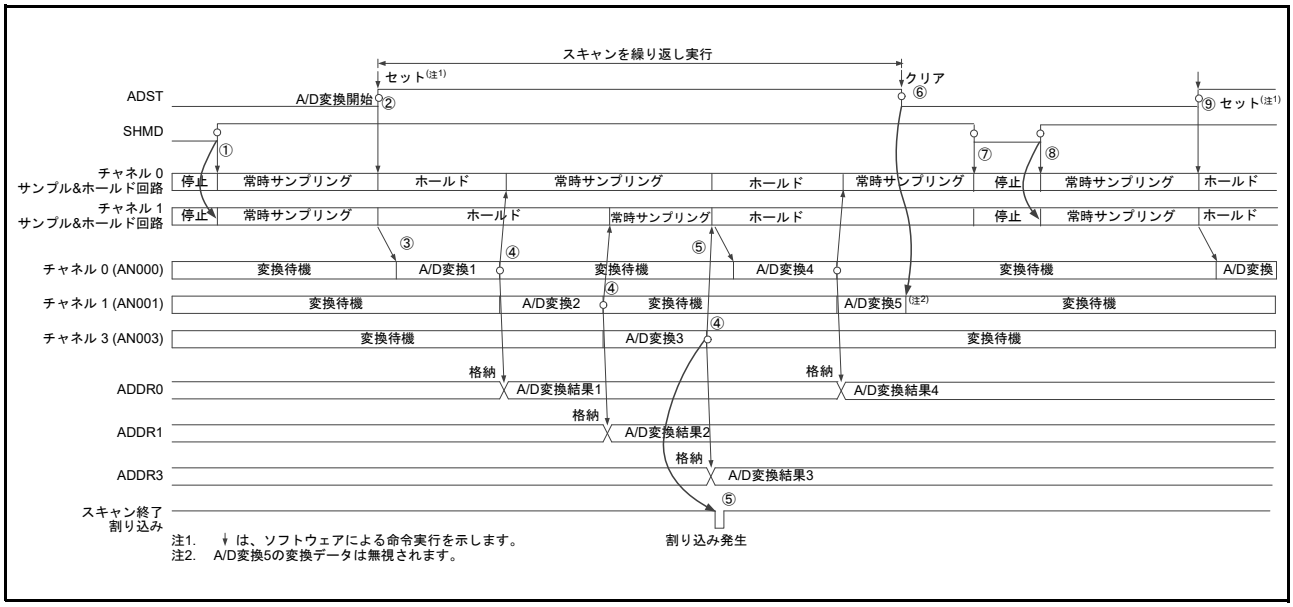


図 42.20 連続スキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN001、AN003 選択、常時サンプリング有効)

42.3.4.4　チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし)

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
(2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、12 ビット A/D コンバータは継続して自己診断での A/D 変換を開始し、終了後に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(5) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (2) ～ (4) を繰り返します。ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(6) その後、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再び自己診断での A/D 変換から開始します。

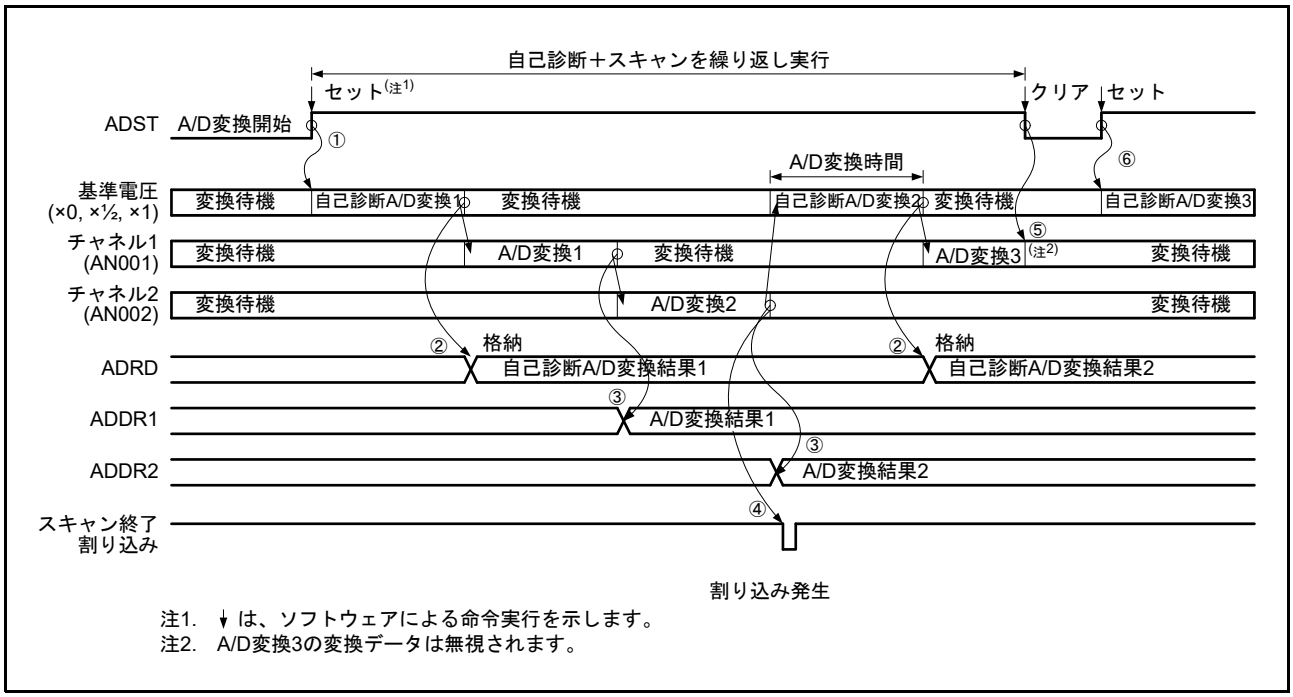


図 42.21　連続スキャンモードの動作例 (基本動作：AN001、AN002 選択 + 自己診断)

42.3.4.5　チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル選択と共に自己診断を選択し、チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド処理後に、12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に、自己診断での A/D 変換を開始します。
(3) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(5) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。
(6) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (2) ～ (5) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(7) その後、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再び自己診断での A/D 変換から開始します。

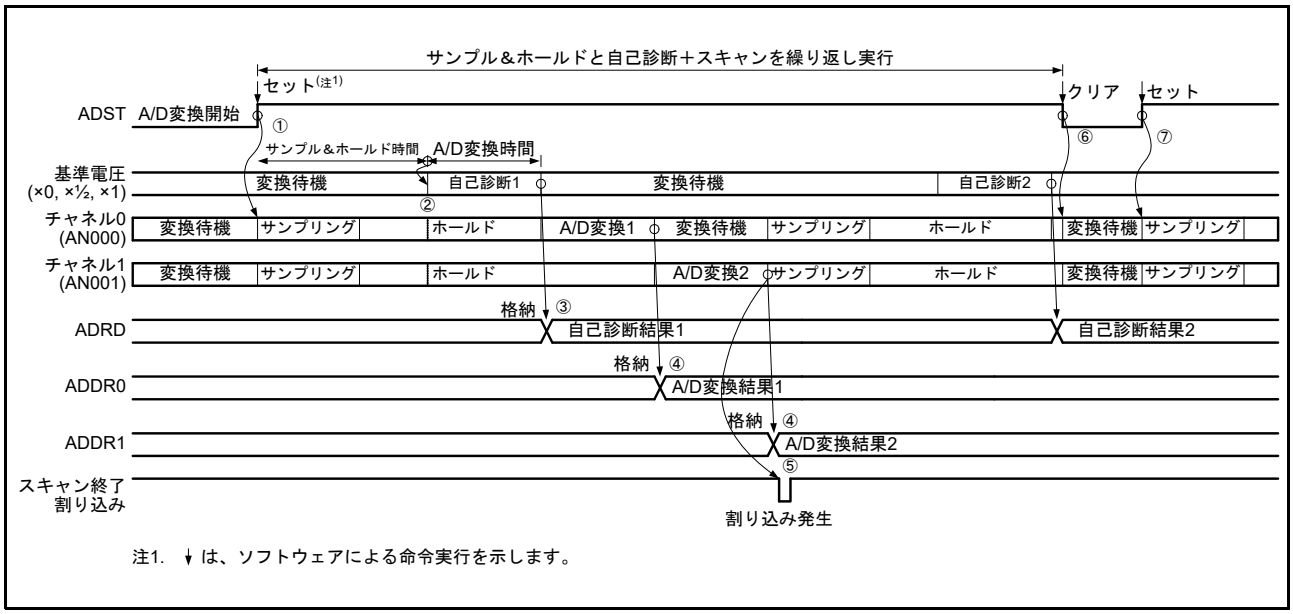


図 42.22　連続スキャンモードの動作例
(チャネル専用サンプル & ホールド回路使用：AN000、AN001 選択 + 自己診断)

42.3.4.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

チャネル選択と共に自己診断を選択し、常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド処理後に、12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返し行います。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” にした後、750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、自己診断での A/D 変換を開始します。
(4) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(5) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(6) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
(7) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (3) ～ (6) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(8) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。
(9) その後、ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(10) ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再びチャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。

注 . チャネル専用サンプル & ホールド回路ありのチャネルのみを選択し連続スキャンを実施すると、連続スキャンの 2 回目以降に常時サンプリングの期間が確保されなくなります。サンプル & ホールド回路の常時サンプリング有効で連続スキャンする場合は、AN003 を選択し、サンプル & ホールド回路の常時サンプリング期間が 400 ns 以上となるようにしてください。

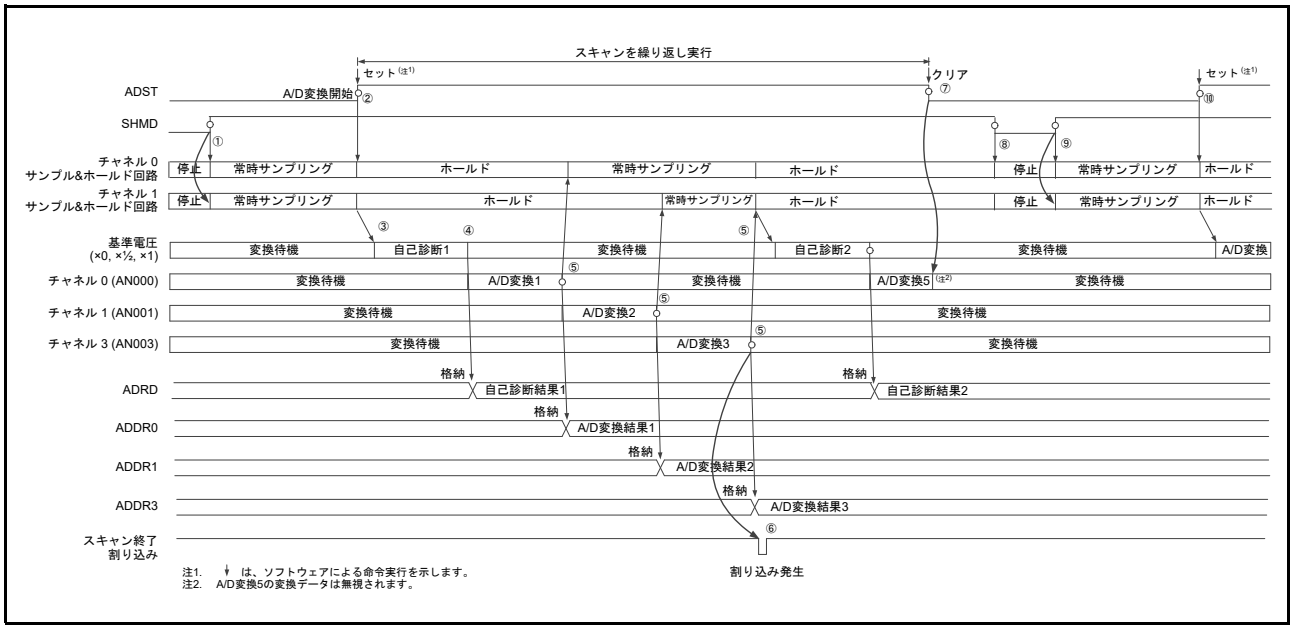


図 42.23　連続スキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN001、AN003 選択＋自己診断、常時サンプリング有効)

42.3.5 グループスキャンモード

42.3.5.1 基本動作

グループスキャンモードで使用するグループの数は 2 つ (グループ A、B) と 3 つ (グループ A、B、C) のどちらか一方を選択することができます。グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A、B またはグループ A、B、C のそれぞれで選択したすべてのチャネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A、B、C のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[6:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[6:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR2.TRSC6 ビットと ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

スキャン対象は、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャネル、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャネル、ADANSC0、ADANSC1 レジスタ、ADGCEXCR.TSSC、OCSC ビットでグループ C のチャネルを選択します。温度センサ出力をスキャン対象にする場合、TSSA、TSSB、TSSC ビットのいずれか 1 ビットのみ “1” にしてください。また、内部基準電圧をスキャン対象にする場合、OCSA、OCSB、OCSC ビットのいずれか 1 ビットのみ “1” にしてください。温度センサ出力または内部基準電圧を設定したスキャングループのすべての変換チャネルに対し、15 ADCLK 期間のディスチャージが実施されます。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B またはグループ A とグループ B とグループ C それぞれで自己診断を実施します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始し、グループ C は MTU からの TRG4ABN トリガで変換開始する設定です。

(1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
(2) グループ A のスキャン終了時に ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込みが発生します。
(3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
(4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みが発生します。
(5) MTU からの TRG4ABN トリガでグループ C のスキャンを開始します。
(6) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みが発生します。

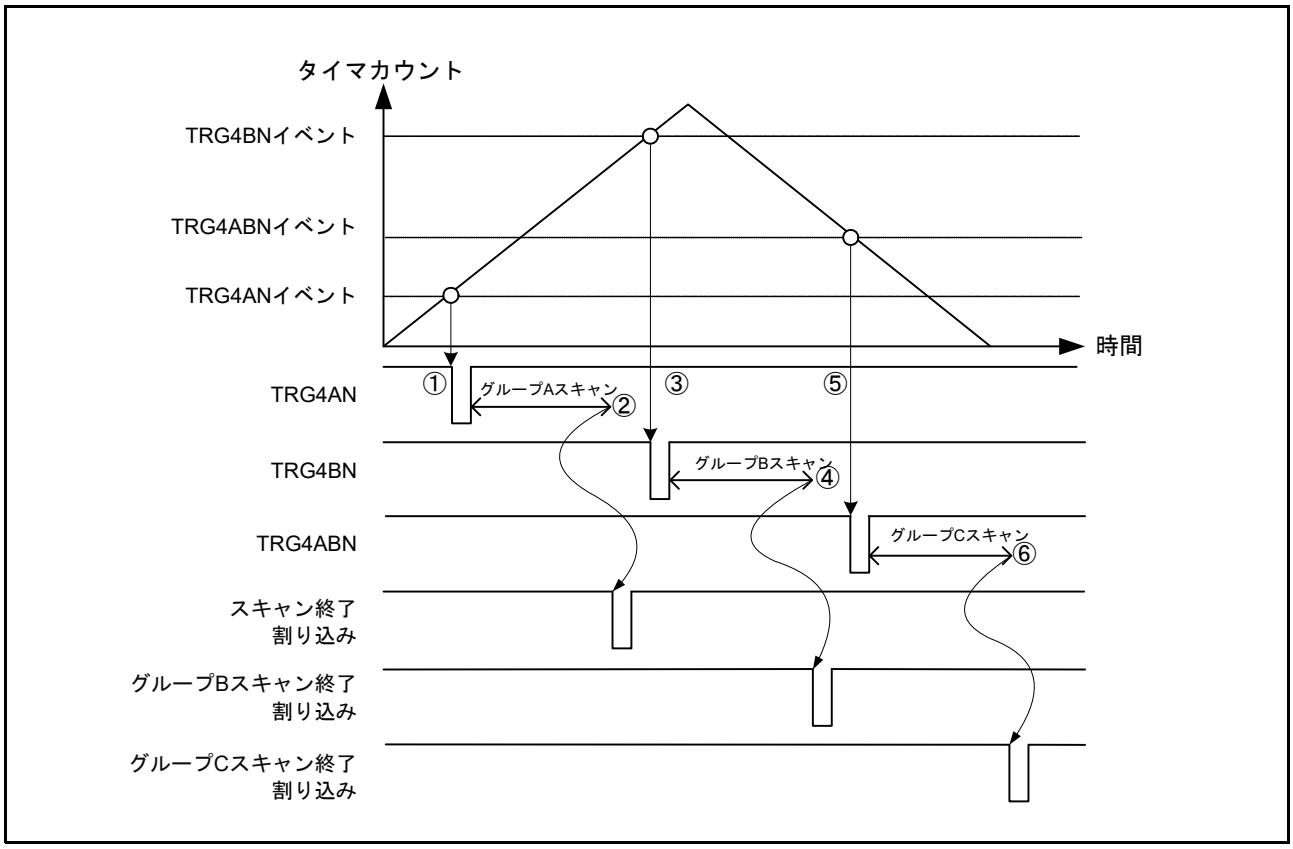


図 42.24　グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

以下に温度センサ出力、内部基準電圧を使用する場合の動作例 (グループスキャンモードかつグループ優先動作を行わない) を示します。

グループ A にチャネル 0 を、グループ B に温度センサ出力と内部基準電圧を、グループ C にチャネル 1 を A/D 変換する設定です。

(1) グループ A のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、グループ A のスキャンを開始します。
(2) チャネル 0 の A/D 変換を開始し、A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR0) へ格納されます。
(3) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込みが発生します。
(4) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
(5) グループ B のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、グループ B のスキャンを開始します。
(6) 温度センサ出力を A/D 変換する前に、ディスチャージ期間として 15 ADCLK が挿入されます。ディスチャージ期間終了後に A/D 変換を開始し、A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADTSDR) へ格納されます。次に内部基準電圧を A/D 変換する前に、ディスチャージ期間として 15 ADCLK が挿入されます。ディスチャージ期間終了後に A/D 変換を開始し、A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADOCDR) へ格納されます。
(7) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みを出力します。

(8) ADST ビットは、グループ B のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
(9) グループ C のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、グループ C のスキャンを開始します。
(10) チャネル 1 の A/D 変換を開始し、A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR1) へ格納されます。
(11) ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みを出力します。
(12) ADST ビットは、グループ C のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

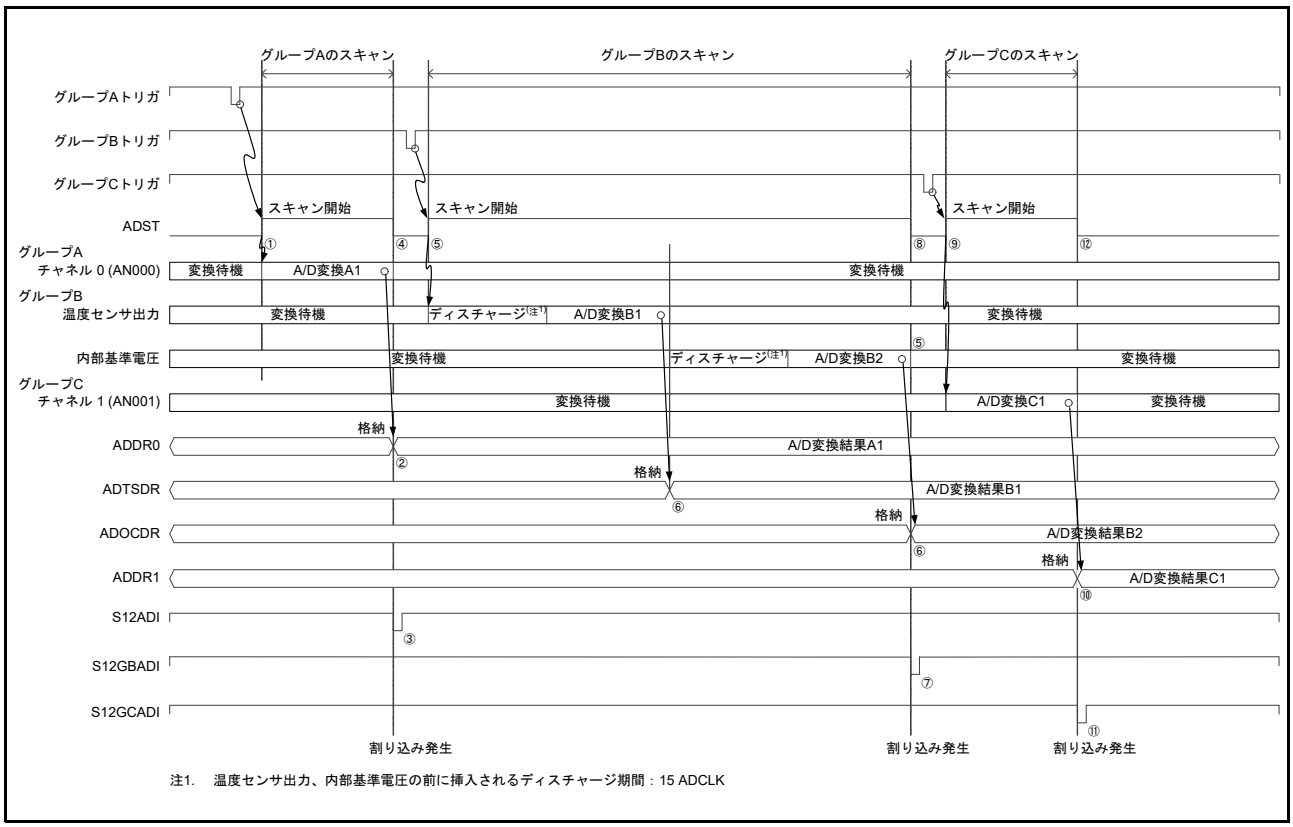


図 42.25　温度センサ出力、内部電圧を使用する場合の動作例 (グループスキャンモードかつグループ優先動作を行わない)

42.3.5.2 ダブルトリガモード使用時の動作

グループスキャンモードでダブルトリガモードを有効にした場合、グループ A のみダブルトリガモードで動作し、グループ B とグループ C は通常のシングルスキャンモードで動作します。

自己診断許可ビット (ADCER.DIAGM) を “0”、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB, ADGCEXCR.TSSC) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB, ADGCEXCR.OCSC) を “0” にしてください。

グループスキャンモードでは、ADSTRGR.TRSA[6:0] ビットでグループ A のトリガに ADTRGn# 以外を選択し、ADSTRGR.TRSB[6:0] ビットでグループ B のトリガ、ADGCTRGR2.TRSC6 ビットと ADGCTRGR.TRSC[5:0] ビットでグループ C のトリガを選択し、ADCSR.EXTRG ビットを “0”、ADCSR.TRGE ビットを “1” にしてください。また、ソフトウェアトリガは使用しないでください。なお、グループ A、グループ B、グループ C のスキャンが同時に起こらないように、グループ A、グループ B、グループ C のトリガは別々のトリガにしてください。

TRSA[6:0] ビットでグループ A のトリガに「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「TRGA9N または TRG9N」、「TRGA0N または TRGA9N」、「TRG0N または TRG9N」、「GTADTRB0N または GTADTRA0N」、「GTADTRB1N または GTADTRA1N」、「GTADTRB2N または GTADTRA2N」、「GTADTRB3N または GTADTRA3N」、「GTADTRB4N または GTADTRA4N」、「GTADTRB5N または GTADTRA5N」、「GTADTRB6N または GTADTRA6N」、「GTADTRB7N または GTADTRA7N」、「ELCTRG00N または ELCTRG01N」、「ELCTRG10N または ELCTRG11N」、「ELCTRG20N または ELCTRG21N」を選択した場合は、ダブルトリガ拡張モードで動作します。

ダブルトリガモードで変換するグループ A のチャネルの番号を ADCSR.DBLANS[4:0] ビットにしてください。ダブルトリガモードでは、ADANSA0、ADANSA1 レジスタによるチャネル選択は無効になります。グループ B のチャネルは ADANSB0、ADANSB1 レジスタ、グループ C のチャネルは ADANSC0、ADANSC1 レジスタに設定してください。

以下に MTU からのトリガによるグループスキャンモードかつダブルトリガモード使用時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRGA0N トリガで変換開始し、グループ C は MTU からの TRGA1N トリガで変換開始する設定です。

(1) MTU からの TRGA1N トリガでグループ C のスキャンを開始します。
(2) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みが発生します。
(3) MTU からの TRGA0N トリガでグループ B のスキャンを開始します。
(4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みが発生します。
(5) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
(6) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらずスキャン終了割り込み要求は発生しません。
(7) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
(8) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR レジスタに格納し、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(9) MTU からの 2 回目の TRGA0N トリガでグループ B の 2 回目のスキャンを開始します。
(10) グループ B の 2 回目のスキャン終了時は、ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン割り込みが発生します。
(11) MTU からの 2 回目の TRGA1N トリガでグループ C の 2 回目のスキャンを開始します。

(12) グループ C の 2 回目のスキャン終了時は、ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン割り込みが発生します。

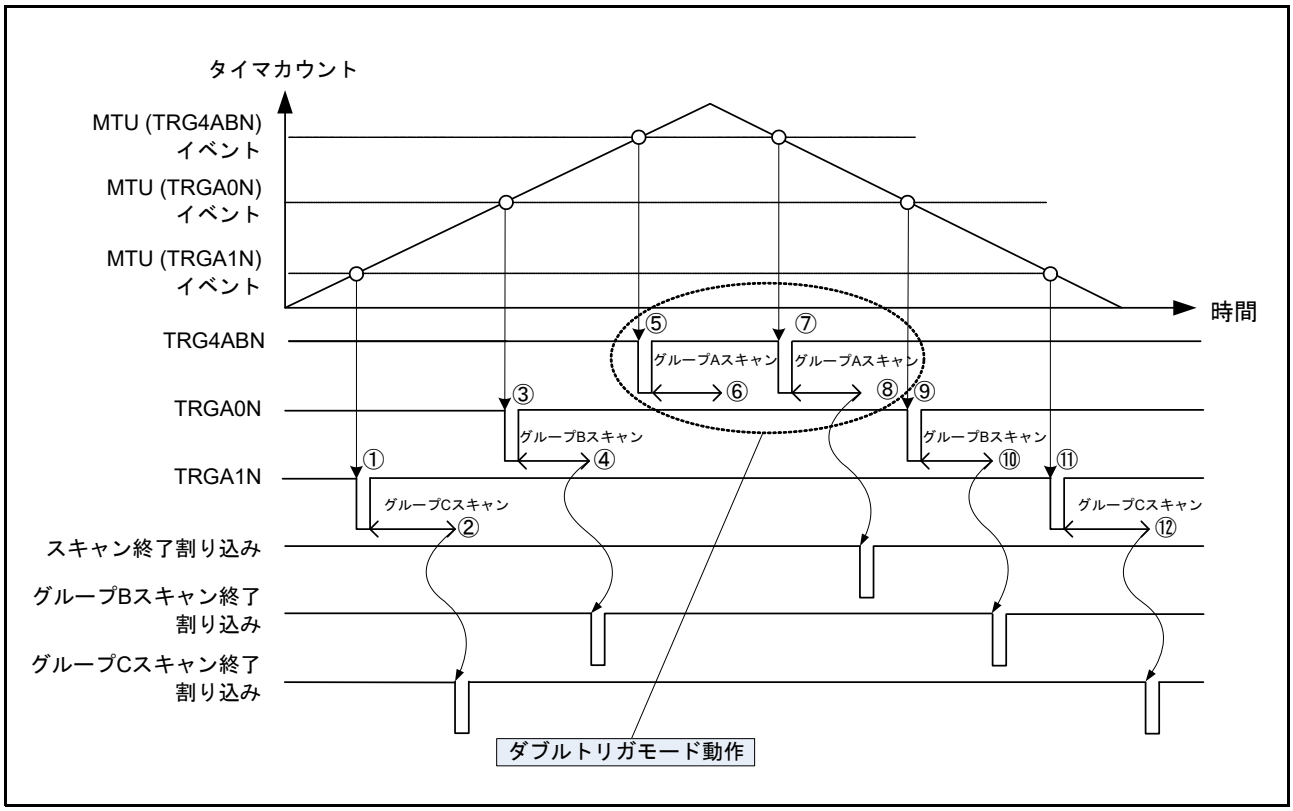


図 42.26　グループスキャンモードでダブルトリガモード使用時の動作例
(MTU からのトリガ発生による基本動作)

42.3.5.3 グループ優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを “1” にすると、グループ優先制御動作を行います。グループの優先度は、グループ A > グループ B > グループ C の順となります。グループスキャンモードで使用するグループの数は ADGCTRGR.GRCE ビットの設定により、2 つ (グループ A、B) または 3 つ (グループ A、B、C) のいずれか一方を選択可能です。ADGSPCR.PGS ビットを “1” にする際は、**図 42.27** に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、スキャンの動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、グループ B、またはグループ C のスキャン動作中に他方のトリガ入力があっても無視されます。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループのスキャンを中断して、優先グループのスキャンを行います。

ADGSPCR.GBRSCN ビットが “0” のとき、優先グループのスキャン終了後、低優先グループは待機状態となります。またスキャン中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが “1” のとき、優先グループのスキャン終了後、自動的に低優先グループのスキャンを再実行します。また優先グループのスキャン中に発生した低優先グループのトリガ入力は有効となり、優先グループのスキャン終了後、自動的に低優先グループのスキャンを実行します。

ADGSPCR.GBRSCN ビットが “1” のときに ADGSPCR.LGRRS ビットが “0” のとき、低優先グループのスキャンは先頭から再実行します。また、ADGSPCR.LGRRS ビットが “1” のとき、低優先グループのスキャンは中断したチャネルから再実行します。ただし自己診断機能を使用した場合は、自己診断後に中断したチャネルから再実行します。

ADGSPCR.GBRSCN ビットの設定とスキャン動作中のトリガ入力時の動作を**表 42.20** に示します。

ADGSPCR.GBRP ビットに “1” を設定したとき、最も優先度の低いグループのスキャン動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードでは、ADSTRGR.TRSA[6:0] ビットでグループ A の同期トリガを、ADSTRGR.TRSB[6:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを、ADGCTRGR2.TRSC6 ビットと ADGCTRGR.TRSC[5:0] ビットでグループ A、B のトリガとは異なるグループ C の同期トリガを選択してください。

グループスキャンモードを 2 グループ (ADGCTRGR.GRCE ビットを “0” に設定) でかつ ADGSPCR.GBRP ビットに “1” を設定する場合、ADSTRGR.TRSB[6:0] ビットには “3Fh” または “7Fh” を設定してください。

また、グループスキャンモードを 3 グループ (ADGCTRGR.GRCE ビットを “1” に設定) でかつ ADGSPCR.GBRP ビットに “1” を設定する場合は、ADGCTRGR.TRSC[5:0] ビットを “3Fh” にしてください。

またスキャン対象は、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャネル、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャネル、ADANSC0、ADANSC1 レジスタ、ADGCEXCR.TSSC、OCSC ビットでグループ C のチャネルを選択してください。

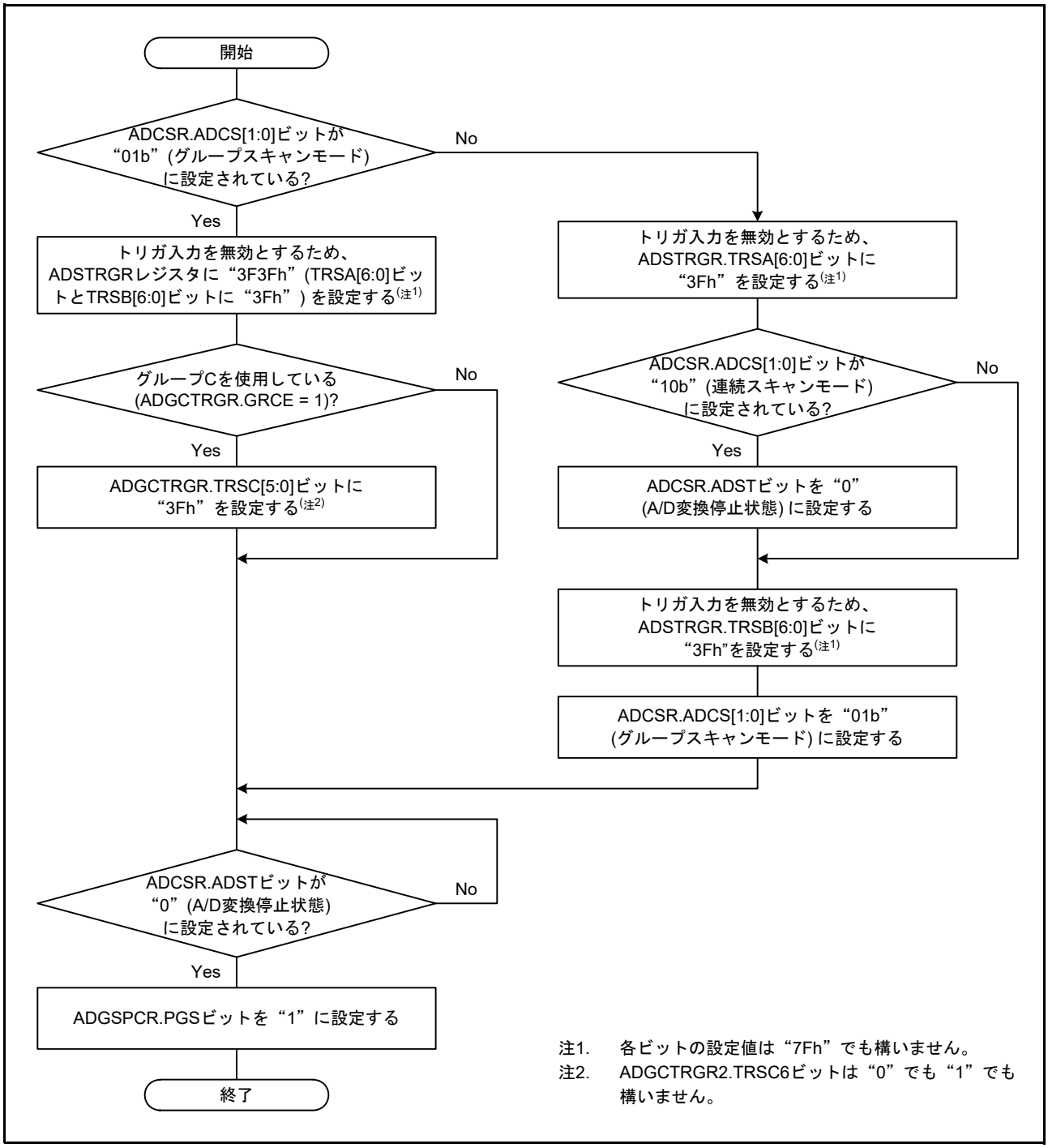


図 42.27 ADGSPCR.PGS ビット設定時のフローチャート

表42.20　ADGSPCR.GBRSCNビットの設定によるスキャン動作制御

スキャン動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのスキャン中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループBのスキャンを行います
	グループCトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループCのスキャンを行います
グループBのスキャン中	グループAトリガ入力	グループBのスキャンを中断し、グループAのスキャンを開始	• グループBのスキャンを中断し、グループAのスキャン開始 • グループAのスキャン終了後、グループBのスキャン動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効
	グループCトリガ入力	トリガ入力無効	グループBのスキャン終了後、グループCのスキャンを行います
グループCのスキャン中	グループAトリガ入力	グループCのスキャンを中断し、グループAのスキャンを開始	• グループCのスキャンを中断し、グループAのスキャンを開始 • グループAのスキャン終了後、グループCのスキャンを開始
	グループBトリガ入力	グループCのスキャンを中断し、グループBのスキャン動作を開始	• グループCのスキャンを中断し、グループBのスキャン開始 • グループBのスキャン終了後、グループCのスキャン開始
	グループCトリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表42.21　2グループのグループ優先動作設定と動作モード(ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2グループ(グループA、B)のグループ優先動作 • グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない)
1	0	0	2グループ(グループA、B)のグループ優先動作 • グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャネルの先頭からスキャンを再開する
1	1	0	2グループ(グループA、B)のグループ優先動作 • グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャネルのうち、中断したチャネル(注1)からスキャンを再開する
x	0	1	2グループ(グループA、B)のグループ優先動作 • グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャネルの先頭からシングルスキャンを再開する
1	1	1	2グループ(グループA、B)のグループ優先動作 • グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャネルのうち、中断したチャネル(注1)からシングルスキャンを再開する

x = Don't care

注1.　自己診断機能有(ADCER.DIAGM = 1)では、自己診断を実行してから中断したチャネルのA/D変換を開始します。

表42.22　3グループのグループ優先動作設定と動作モード(ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	3グループ(グループA、B、C)のグループ優先動作 • グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない) • グループA、またはグループBのトリガが入力されたとき、グループCのスキャンは終了する(再実行しない)
0	x	1	3グループ(グループA、B、C)のグループ優先動作 • グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない) • グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルの先頭からスキャンを再開する
1	0	0	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルの先頭からスキャンを再開する • グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルの先頭からスキャンを再開する
1	1	0	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルのうち、中断したチャネル(注1)からスキャンを再開する • グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルのうち、中断したチャネル(注1)からスキャンを再開する
1	0	1	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルの先頭からスキャンを再開する • グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルの先頭からシングルスキャンを再開する
1	1	1	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルのうち、中断したチャネル(注1)から再開する • グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルのうち、中断したチャネル(注1)からシングルスキャンを再開する

x = Don't care

注1.　自己診断機能有(ADCER.DIAGM = 1)では、自己診断を実行してから中断したチャネルのA/D変換を開始します。

(1)　2 グループのグループ優先動作 (ADGSPCR.PGS = 1、ADGCTRGR.GRCE = 0 設定)

グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 1 ～ 5 に示します。

動作例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

(1) グループ B のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します (図 42.28 のチャネル変換順序設定：AN000 → AN001 → AN002 → AN003)。

(2) チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。

(4) チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(6) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。

(7) チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(8) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

(9) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

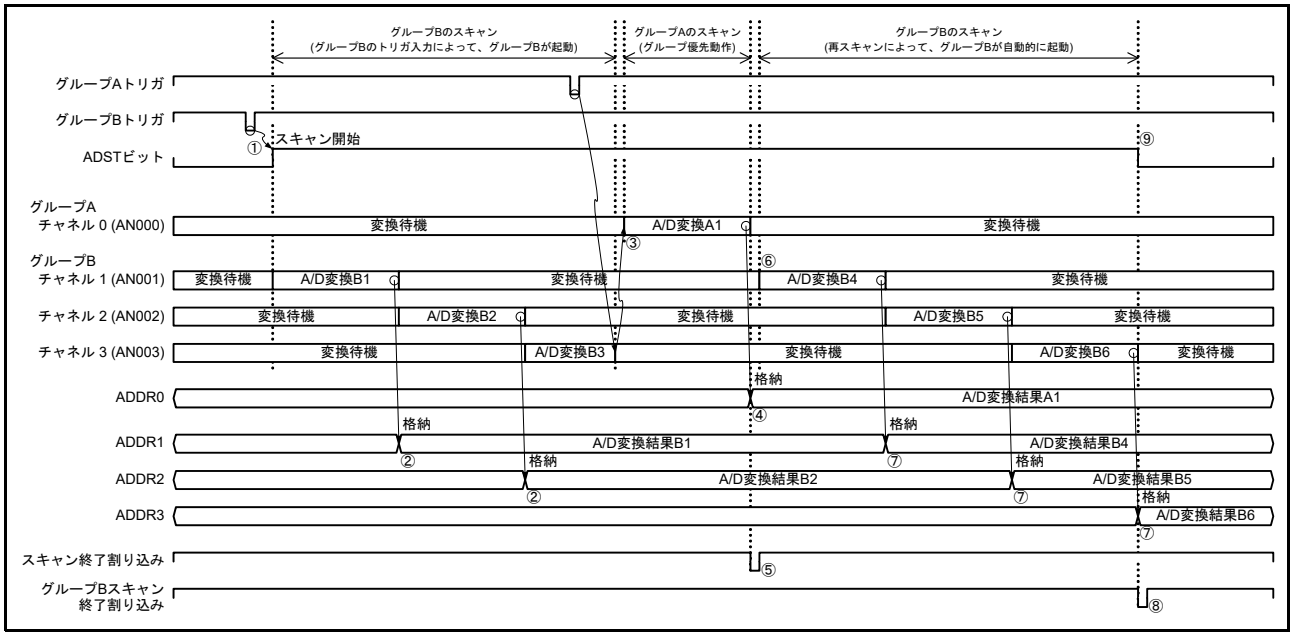


図 42.28　グループ優先動作の例 1「グループ B スキャン中のグループ A トリガ入力」再スキャンあり
(ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

動作例2 「グループB再スキャン中のグループAトリガ入力」再スキャンあり

グループB再スキャン動作中に、グループAのトリガが入力された場合を図42.29に示します。

再スキャン動作中であっても、グループAのトリガが入力されれば、グループAのスキャンを開始し、グループAのスキャン終了後、グループBのスキャンを開始します。

ADCSR.ADSTビット、A/D変換結果のA/Dデータレジスタ(ADDRy)への格納、割り込み要求は、例1と同じ動作になります。

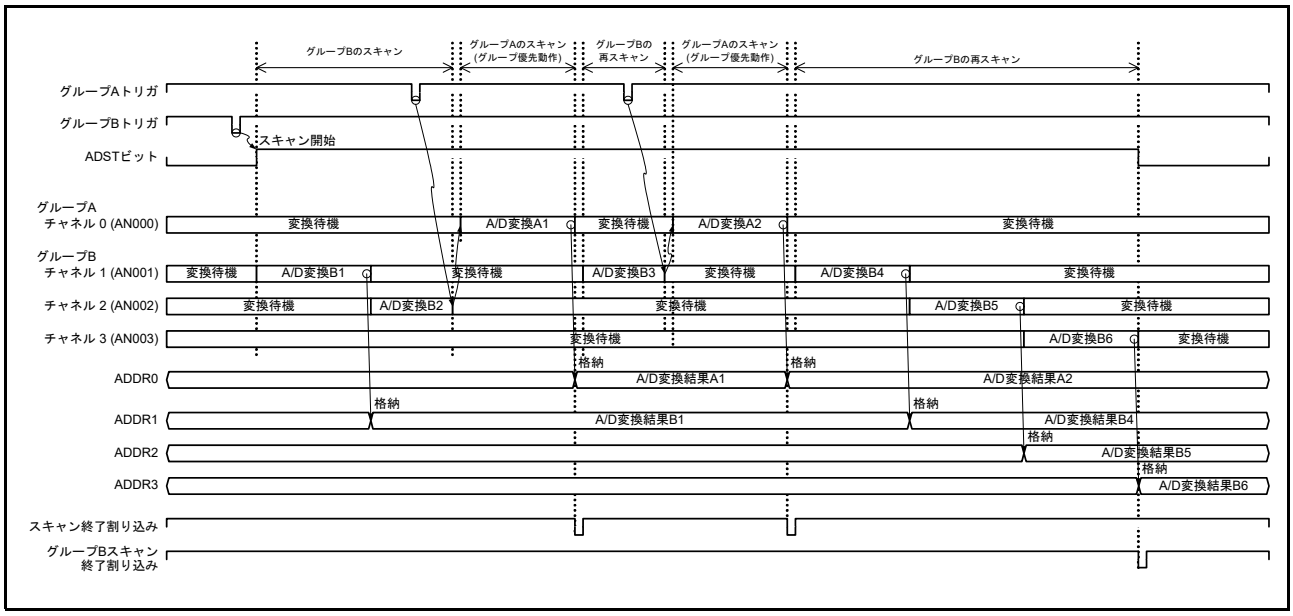


図42.29　グループ優先動作の例2「グループB再スキャン中のグループAトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0設定時)

動作例3 「グループAスキャン中のグループBトリガ入力」再スキャンあり

ADGPSCR.GBRSCNビットが“1”(グループ優先動作で中断されたグループの再スキャンをする)の設定で、グループAのスキャン動作中にグループBのトリガが入力された場合を説明します。

ADGPSCR.GBRSCNビットが“0”に設定されている場合は、グループAのスキャン動作中に入力されたグループBのトリガはすべて無効となります。

(1) グループAのトリガ入力によって、ADCSR.ADSTビットが“1”(A/D変換開始)に設定されると、ADANSA0、ADANSA1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿ってグループAのスキャンを開始します。
(2) グループAのスキャン中に、グループBのトリガ入力があると、グループBはスキャン実行可能状態になります。
(3) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
(4) グループAのスキャン終了後、ADCSR.ADIEビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
(5) グループAのスキャン終了後、ADCSR.ADSTビットを“1”に保持したまま、ADANSB0、ADANSB1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿ってグループBのスキャンを開始します(グループBのスキャン中にグループAのトリガが入力されると、例1と同じくグループAのスキャンを開始し、グループAのスキャン終了後、グループBのスキャンを開始します)。
(6) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
(7) グループBのスキャン終了後、ADCSR.GBADIEビットが“1”(グループBのスキャン終了割り込みを許可)に設定されていると、グループBスキャン終了割り込み要求が発生します。
(8) ADCSR.ADSTビットは、すべてのスキャンが終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

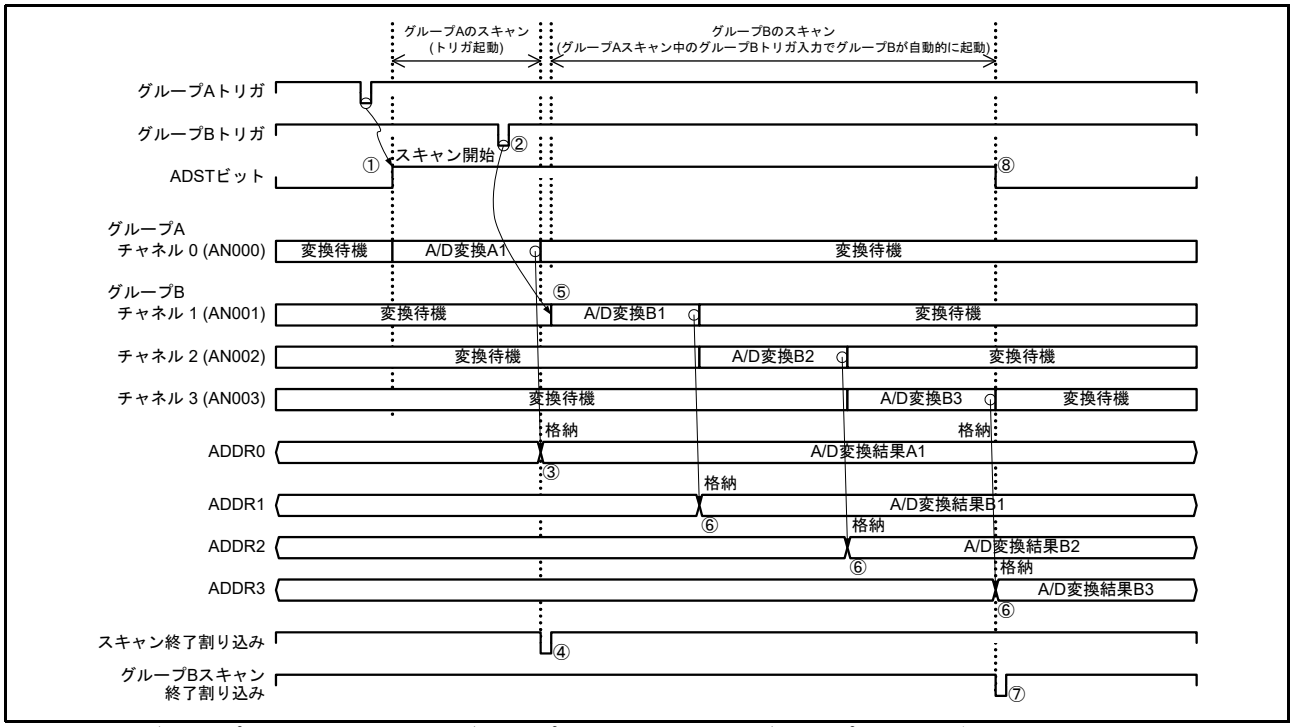


図42.30　グループ優先動作の例3「グループAスキャン中のグループBトリガ入力」再スキャンあり
(ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0設定時)

グループAにチャネル0を、グループBにチャネル1～3を選択したグループスキャンモードグループ優先動作(ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0設定時)を動作例4に示します。

動作例4 「グループBスキャン中のグループAトリガ入力」再スキャンなし

(1) グループBのトリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSB0、ADANSB1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿ってグループBのスキャンを開始します。

(2) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。

(3) グループBのスキャン中に、グループAのトリガが入力されると、ADCSR.ADSTビットを“1”に保持したまま、グループBのスキャンを中断し、ADANSA0、ADANSA1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿ってグループAのスキャンを開始します。

(4) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。

(5) グループAのスキャン終了後、ADCSR.ADIEビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。

(6) ADSTビットは、グループAのスキャンが終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。グループBは、以後のグループBトリガ入力までスキャンを行いません。

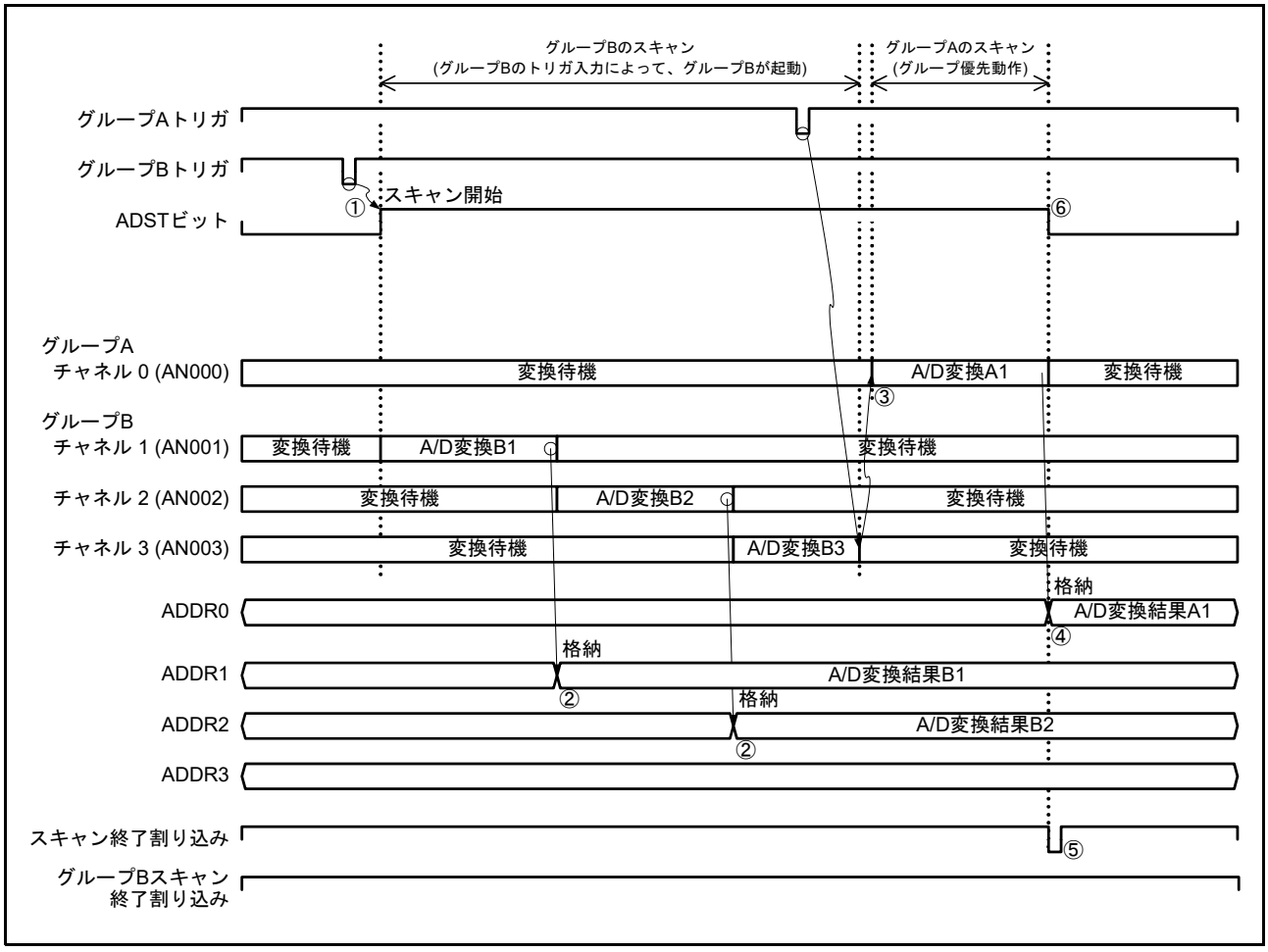


図42.31　グループ優先動作の例4「グループBスキャン中のグループAトリガ入力」再スキャンなし
(ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0設定時)

グループ A にチャネル 0 を、グループ B にチャネル 1、2 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 0 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが “1” の設定では、グループ C がシングルスキャン連続動作を行い、グループ B はトリガ入力でのスキャン開始になります。

動作例 5 「グループ B のシングルスキャン連続動作」

(1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定され、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。

(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(6) ADGSPCR.GBRP ビットが “1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。

(7) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(8) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

(9) ADGSPCR.GBRP ビットが “1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。

グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが “1” になっている間は (6) ～ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが “1” の間は、ADCSR.ADST ビットを “0” にしないでください。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、**「42.6.2　A/D 変換停止時の注意事項」**に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

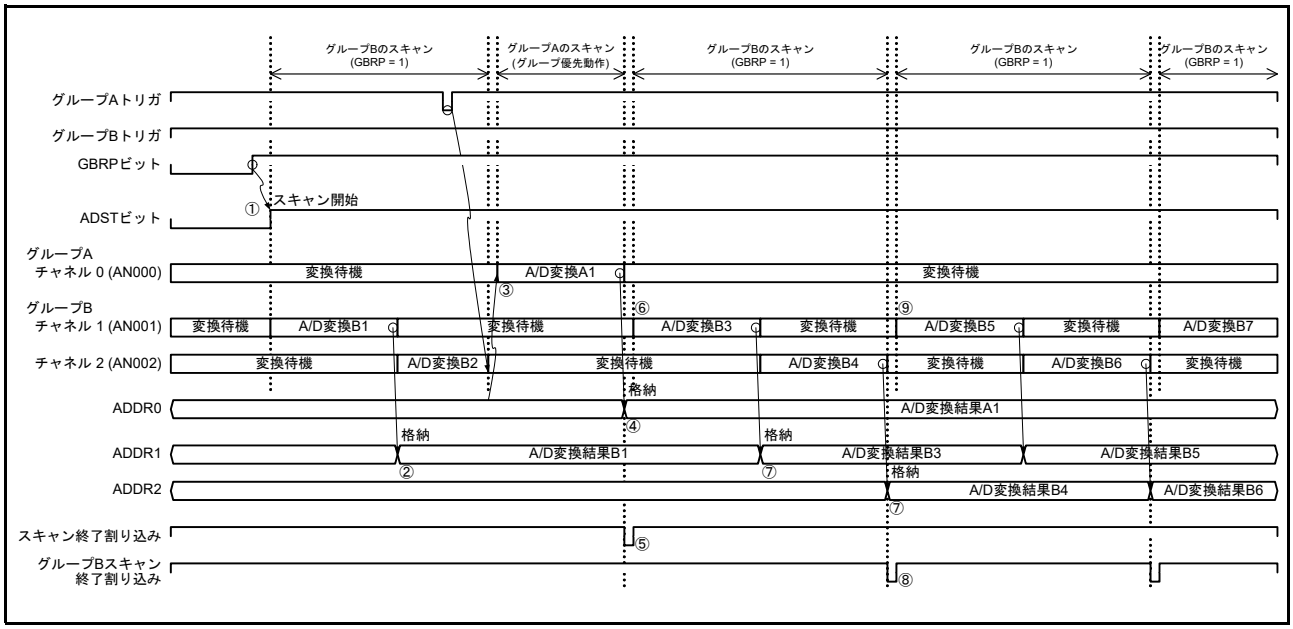


図 42.32　グループ優先動作の例 5「グループ B のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1、ADGCTRGR.GRCE = 0 設定時)

(2) 3グループのグループ優先動作 (ADGSPCR.PGS = 1、ADGCTRGR.GRCE = 1設定)

グループAにチャネル0を、グループBにチャネル1、2を、グループCにチャネル3、4を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1設定時) を動作例1～例5に示します。優先グループとは、グループCに対するグループAとグループB、グループBに対するグループAを意味します。

動作例1「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり

(1) グループCのトリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、ADANSC0、ADANSC1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿ってグループCのスキャンを開始します。
(2) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
(3) グループCのスキャン中に、グループBのトリガが入力されると、ADCSR.ADSTビットを“1”に保持したまま、グループCのスキャンを中断し、ADANSB0、ADANSB1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿ってグループBのスキャンを開始します。中断時にA/D変換が終了していなければA/D変換結果はA/Dデータレジスタ (ADDRy) に格納しません。
(4) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
(5) グループBのスキャン中に、グループAのトリガが入力されると、ADCSR.ADSTビットを“1”に保持したまま、グループBのスキャンを中断し、ADANSA0、ADANSA1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿ってグループAのスキャンを開始します。中断時にA/D変換が終了していなければA/D変換結果はA/Dデータレジスタ (ADDRy) に格納しません。
(6) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
(7) ADCSR.ADIEビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(8) ADGSPCR.GBRSCNビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADSTビットを“1”に保持したまま、ADANSB0、ADANSB1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿って再度グループBのスキャンを開始します。このとき、ADGSPCR.LGRRSビットが“1”に設定されていると、グループBのスキャンは、A/D変換が中断したチャネルから開始します。
(9) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
(10) ADCSR.GBADIEビットが“1” (グループBのスキャン終了割り込みを許可) に設定されていると、グループBスキャン終了割り込み要求が発生します。
(11) ADGSPCR.GBRSCNビットが“1”に設定されていると、ADCSR.ADSTビットを“1”に保持したまま、ADANSC0、ADANSC1レジスタで選択したアナログチャネルをADSCSnレジスタで設定した変換順序に沿って再度グループCのスキャンを開始します。このとき、ADGSPCR.LGRRSビットが“1”に設定されていると、グループCのスキャンは、A/D変換が中断したチャネルから開始します。
(12) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
(13) ADGCTRGR.GCADIEビットが“1” (グループCのスキャン終了割り込みを許可) に設定されていると、グループCスキャン終了割り込み要求が発生します。
(14) ADCSR.ADSTビットは、すべてのスキャンが終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

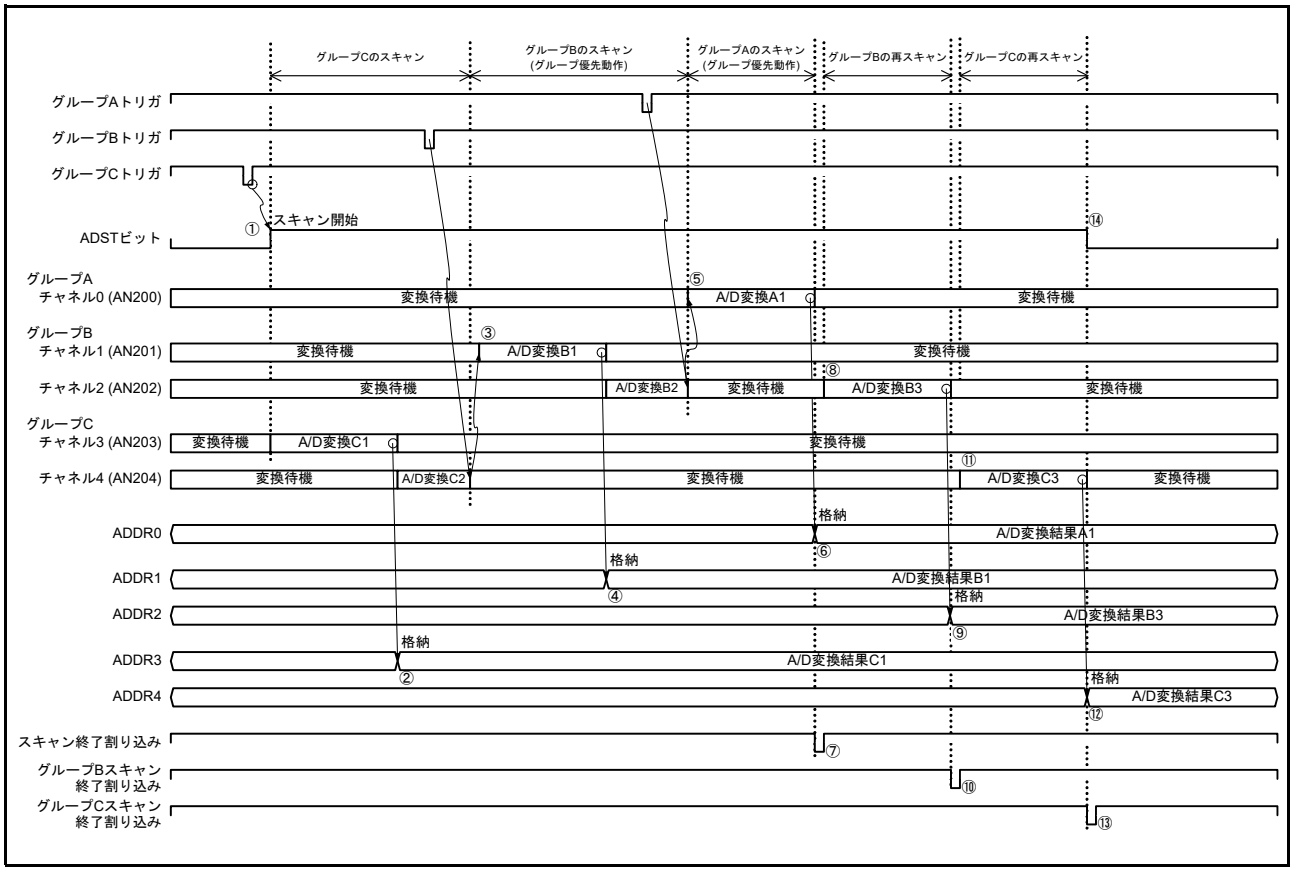


図 42.33　グループ優先動作の例 1「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

動作例 2「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 42.34 に示します。

低優先グループが再スキャン動作中であっても、優先グループ (グループ C に対する優先グループはグループ A とグループ B、グループ B に対する優先グループはグループ A) のトリガが入力されれば、優先グループのスキャンを開始し、優先グループのスキャン終了後、中断した低優先グループのスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDRy) への格納、割り込み要求は、例 1 と同じ動作になります。

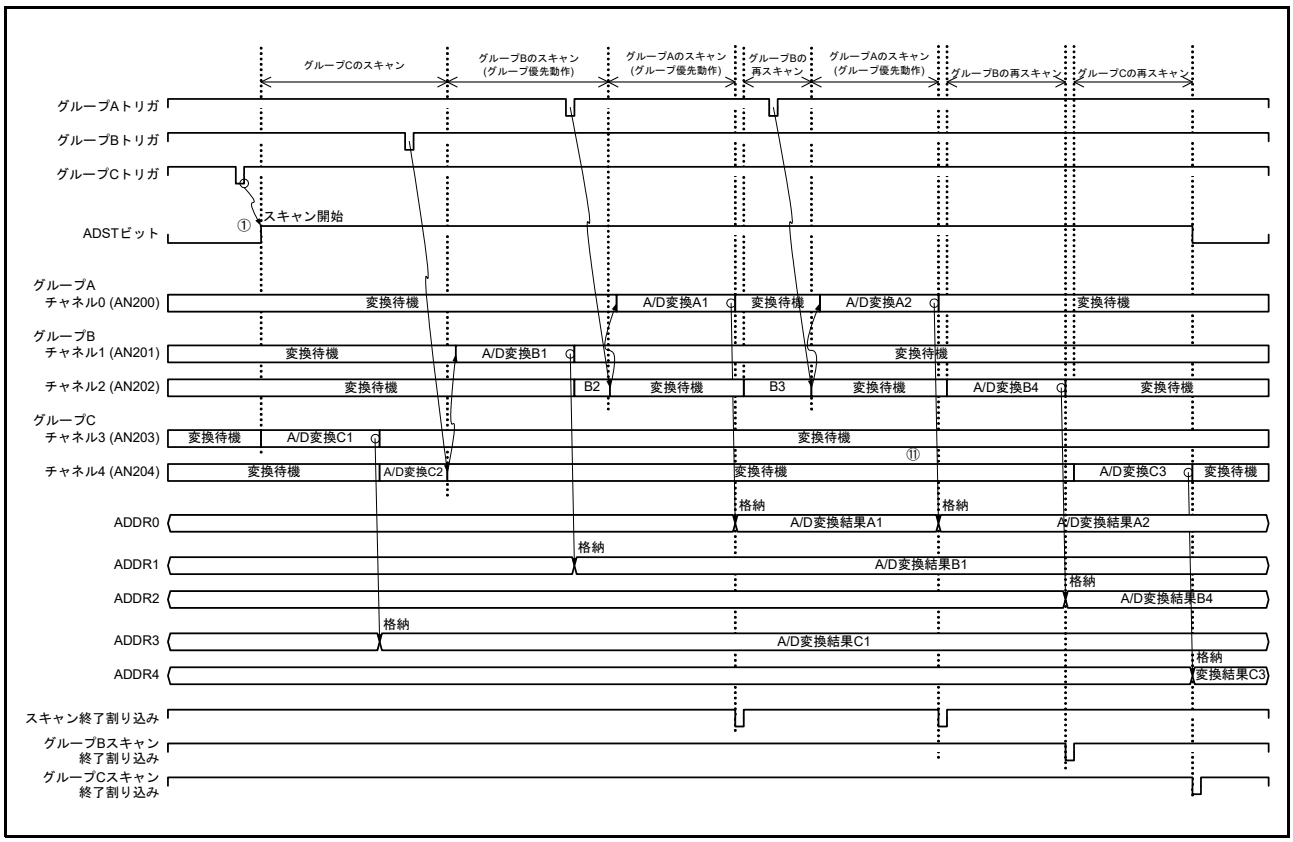


図 42.34　グループ優先動作の例 2「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

動作例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり

ADGPSCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) の設定で、優先グループのスキャン動作中に低優先グループのトリガが入力された場合を説明します。

ADGPSCR.GBRSCN ビットが “0” に設定されている場合は、優先グループのスキャン動作中に入力された低優先グループのトリガはすべて無効となります。

(1) グループ A のトリガ入力によって、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定されると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。
(2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(4) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(5) グループ A のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します (グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します)。
(6) グループ B のスキャン中に、グループ C のトリガ入力があると、グループ C はスキャン実行可能状態になります。
(7) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(8) グループ B のスキャン終了後、ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
(9) グループ B のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択した、グループ C のチャネル ANx の x が小さい番号順に、グループ C のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します (グループ C のスキャン中にグループ A またはグループ B のトリガが入力されると、例 1 と同じくグループ A またはグループ B のスキャンを開始し、スキャン終了後、グループ C のスキャンを開始します)。
(10) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(11) グループ C のスキャン終了後、ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込み要求が発生します。
(12) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

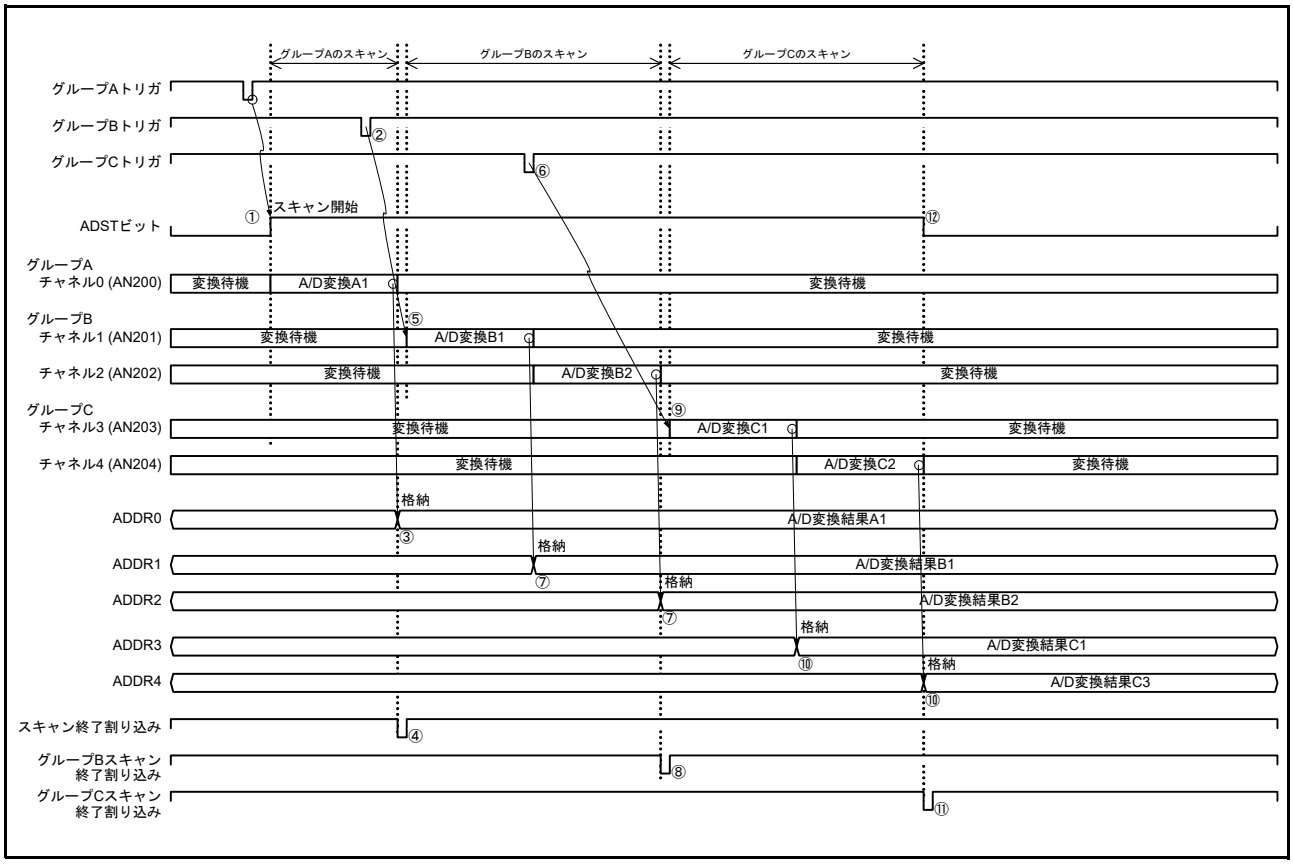


図 42.35 グループ優先動作の例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1、ADGCTRGR.GRCE = 1 時の動作)

グループ A にチャネル 0 を、グループ B にチャネル 1、2 を、グループ C にチャネル 3、4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし

(1) グループ C のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(6) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(7) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ C とグループ B は、以後のグループに対応したトリガ入力までスキャンを行いません。

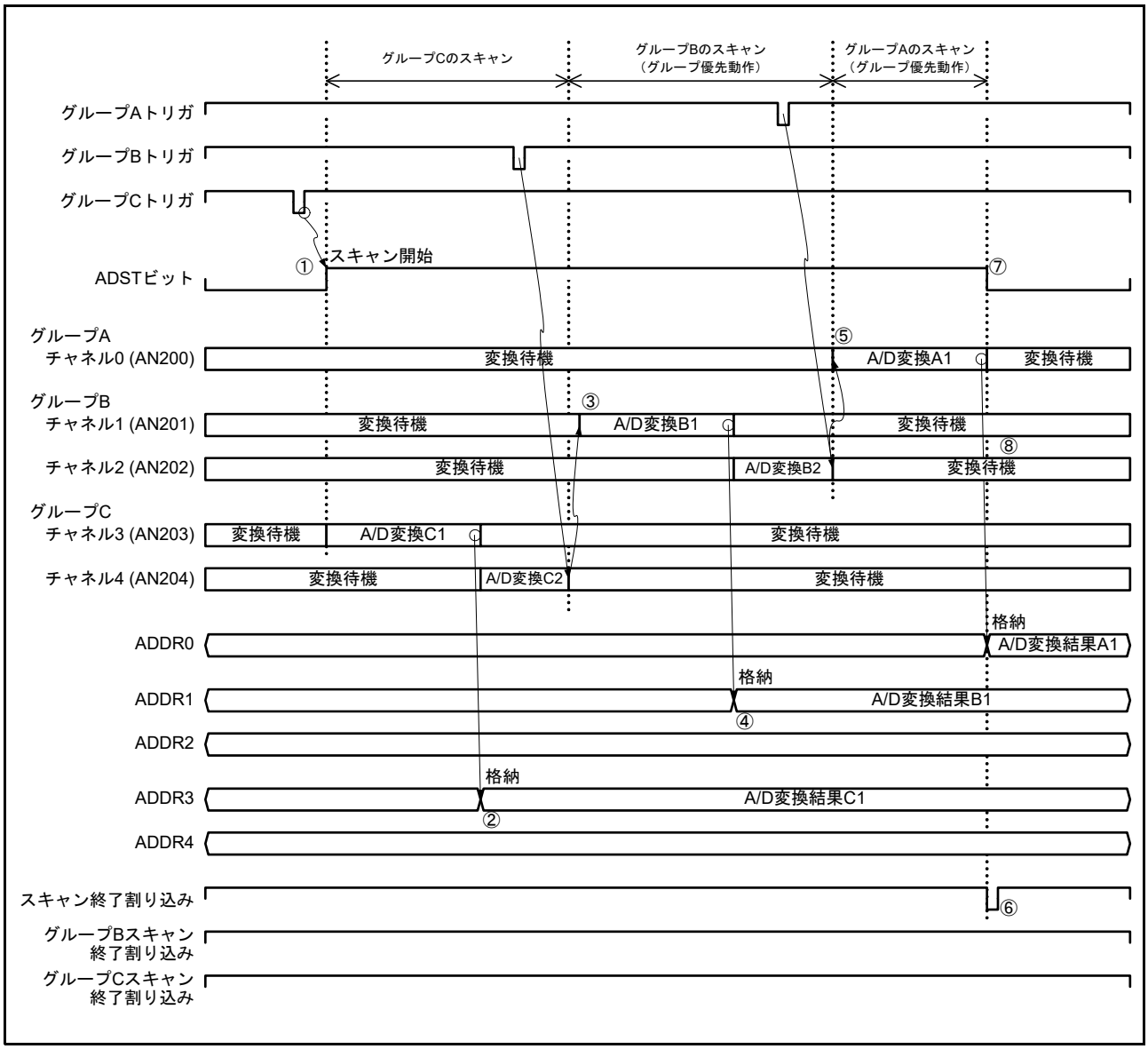


図 42.36　グループ優先動作の例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

グループ A にチャネル 0 を、グループ B にチャネル 1 を、グループ C にチャネル 2、3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが “0” の設定では、グループ B がシングルスキャン連続動作を行い、グループ C はトリガ入力が無効になります。

動作例 5「グループ C のシングルスキャン連続動作」

(1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定され、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(4) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(5) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(7) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。

(8) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(9) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

(10) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。

(11) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(12) ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込み要求が発生します。

(13) ADGSPCR.GBRP ビットが “1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。

グループ C をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが “1” になっている間は (13) → (11) → (12) → (13) の動作を繰り返します。

ADGSPCR.GBRP ビットが “1” の間は、ADCSR.ADST ビットを “0” にしないでください。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、**「42.6.2　A/D 変換停止時の注意事項」**に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

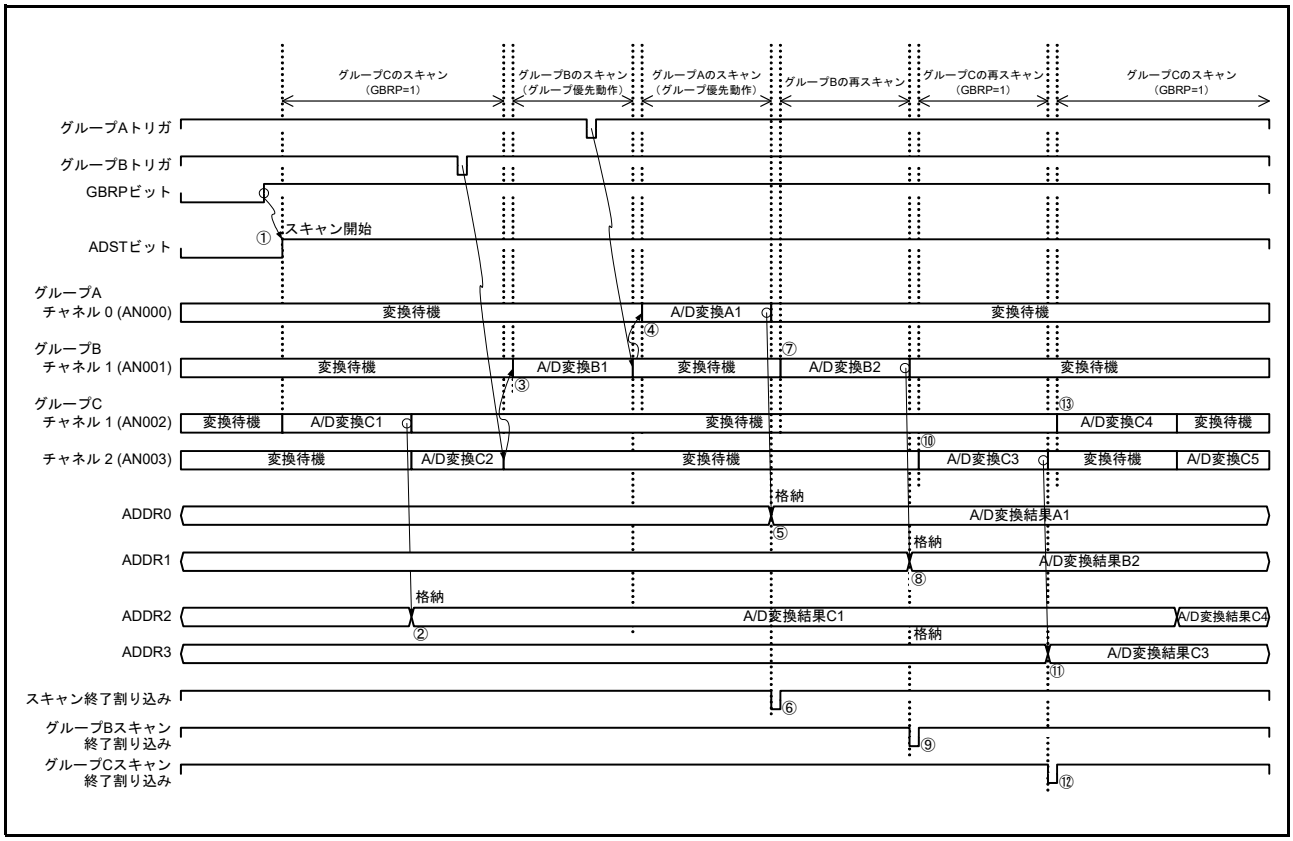


図 42.37　グループ優先動作の例 5「グループ C のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1 設定時)

42.3.6 コンペア機能 (ウィンドウ A、ウィンドウ B)

42.3.6.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタ (ADCMPDR0, ADCMPDR1, ADWINLLB, ADWINULB) に設定した基準値とA/D 変換結果を比較する機能です。コンペア機能使用時は、自己診断機能およびダブルトリガモードは使用できません。また、2 値と比較するウィンドウコンペア機能を有します (ADCMPCR.WCMPE = 1 設定時)。ウィンドウコンペア機能は、ウィンドウ A とウィンドウ B の 2 組の電圧レベル範囲を設定することが可能です。

連続スキャンモードにおいて、ウィンドウコンペア機能有効 (ADCMPCR.WCMPE = 1) とした場合の動作例を以下に示します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、選択されたチャネル、温度センサ出力、内部基準電圧の順に A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy, ADTSDR, ADOCDR) に格納されます。ADCMPCR.CMPAE ビット = 1 のとき、ADCMPANSRy レジスタ、ADCMPANSER レジスタでウィンドウ A 対象に設定されていると、ADCMPDR0、ADCMPDR1 レジスタ設定値と比較されます。ADCMPCR.CMPBE ビット = 1 のとき、ADCMPBNSR レジスタで、ウィンドウ B 対象に設定されていると、ADWINULB/ADWINLLB レジスタ設定値と比較されます。
(3) 比較の結果、ウィンドウ A は、ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ (ADCMPSR0.CMPSTCHA0n, ADCMPSR1.CMPSTCHA1n, ADCMPSER.CMPFTS, ADCMPSER.CMPFOC) が “1” になります。このとき、ADCMPCR.CMPAIE ビットが “1” に設定されていると、S12CMPAI 割り込み要求が発生します。同様に、ウィンドウ B は、ADCMPBNSR.CMPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が “1” になります。このとき、ADCMPCR.CMPBIE ビットが “1” に設定されていると、S12CMPBI 割り込み要求が発生します。
(4) 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。
(5) ADCSR.ADST ビットを “0” (A/D 変換停止) に設定し、コンペアフラグが “1” になっているチャネルに対する処理を実行します。
(6) 処理終了後、すべてのコンペアフラグをクリアしてください。再度コンペアを実行する場合には、再度A/D 変換を開始してください。

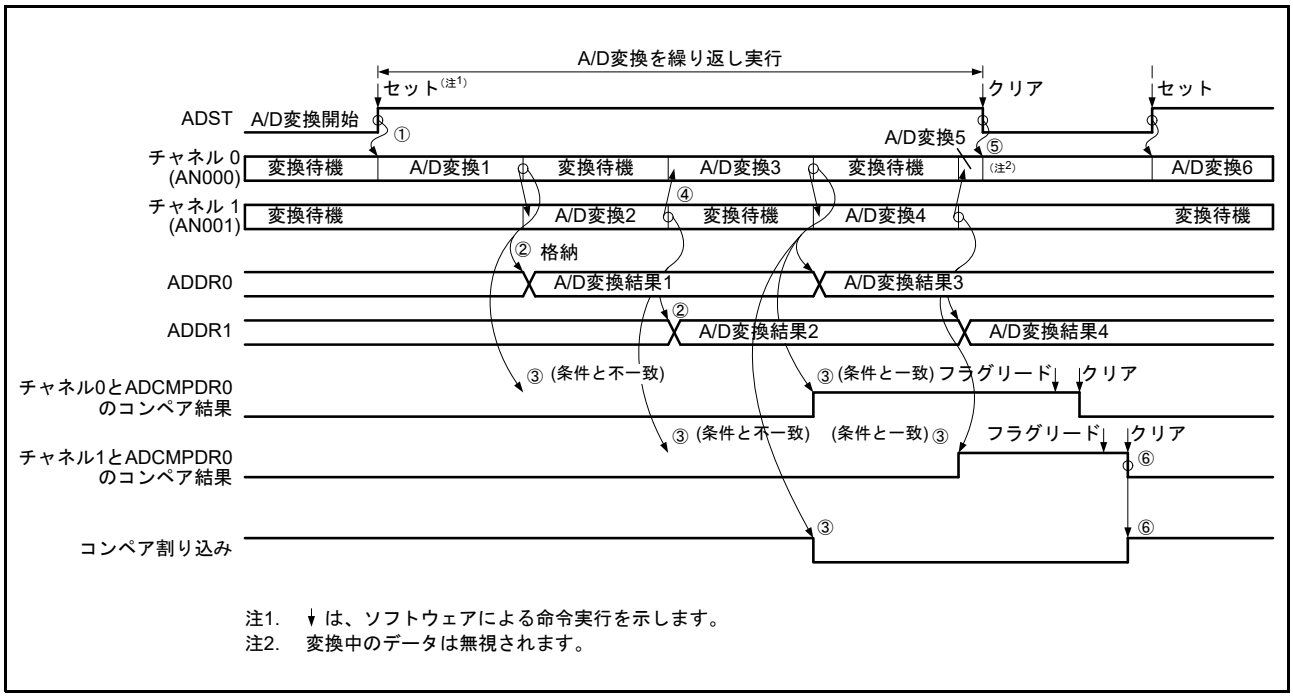


図 42.38　コンペア機能の動作例 (AN000、AN001 コンペア対象)

42.3.6.2　コンペア機能制約

コンペア機能には、以下の制約条件があります。

1. 自己診断機能およびダブルトリガモードの使用は禁止です。
   (ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です)
2. マッチ / アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
3. ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
4. ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
5. ウィンドウ A とウィンドウ B で同一チャネルは設定禁止です。
6. High 側基準値≧ Low 側基準値となるように設定してください。

42.3.7　アナログ入力のサンプリング時間とスキャン変換時間

図 42.39 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 42.40 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、チャネル専用サンプル & ホールド回路処理時間 (t_{SPLSH})(注 1)、断線検出アシスト処理時間 (t_{DIS})(注 2)、温度センサ出力と内部基準電圧を A/D 変換するときのオートディスチャージ処理時間 (t_{ADIS})、自己診断変換時間 (t_{DIAG})(注 3)、A/D 変換処理時間 (t_{CONV})、チャネル専用サンプル & ホールド回路終了処理時間 (t_{SHED})(注 4)、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、24 クロック (ADCLK) です。スキャン変換時間を**表 42.23** に示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n)$(注 5)$+ t_{ED}$

t_{SCAN} (温度センサ出力、内部基準電圧変換時) $= t_D + (t_{ADIS} \times m) + (t_{CONV} \times m) + t_{ED}$(注 6、注 7、注 8)

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

連続スキャンの 2 サイクル目以降は、$t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$(注 5)$+ t_{SHED}$ となります。

注 1. チャネル専用サンプル & ホールド回路を使用しない場合は、$t_{SPLSH} = 0$ です。

注 2. 断線検出アシストを設定しない場合は、$t_{DIS} = 0$ です。温度センサ出力 / 内部基準電圧を A/D 変換時は、“0Fh” (15 ADCLK) に固定されます。

注 3. 自己診断を設定しない場合は、$t_{DIAG} = 0$、$t_{DSD} = 0$ です。

注 4. チャネル専用サンプル & ホールド回路を使用しない場合は、$t_{SHED} = 0$ です。t_{SHED} は連続スキャンモード実行時の所要時間です。シングルスキャンとグループスキャンでは、スキャン終了時間 (t_{ED}) に含まれます。

注 5. 選択チャネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ ですが、チャネルごとに異なる場合は、各チャネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和になります。

注 6. 温度センサ出力と内部基準電圧の A/D 変換を両方とも実施する場合は m = 2、どちらか一方だけ実施する場合は m = 1。

注 7. 温度センサ出力または内部基準電圧の A/D 変換する場合、自己診断とアナログチャネルの変換は選択できないため、$t_{SPLSH} = 0$、$t_{DIAG} = 0$ です。

注 8. グループスキャン時に温度センサ出力、内部基準電圧と別グループにて自己診断、アナログチャネルの変換は実施可能です。

表42.23　スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)

項目			記号		種別/条件 同期トリガ(注3)	種別/条件 非同期トリガ	種別/条件 ソフトウェアトリガ	単位
スキャン開始処理時間(注1、注2)	グループ優先制御動作によるグループのA/D変換	低優先グループ中断あり(優先グループのA/D変換開始トリガによって低優先グループB停止させた後、優先グループを起動)	t_D		2 PCLKB + 6 ADCLK (5 PCLKB + 3 ADCLK)(注4)	—	—	サイクル
		低優先グループ中断なし(優先グループのA/D変換開始トリガによって起動)			2 PCLKB + 4 ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時			2 PCLKB + 6 ADCLK	4 PCLKB + 6 ADCLK	6 ADCLK	
	上記以外				2 PCLKB + 4 ADCLK	4 PCLKB + 4 ADCLK	4 ADCLK	
チャネル専用サンプルホールド処理時間(注1)	サンプリング時間		t_{SPLSH}	t_{SH}	常時サンプリング無効時：ADSHCR.SSTSH[7:0]の設定値(初期値1Bh) × ADCLK 常時サンプリング有効時：0			
	サンプリング–A/D変換ウェイト時間			t_W	12 ADCLK			
断線検出アシスト処理時間			t_{DIS}		ADDISCR.ADNDIS[3:0]設定値(初期値00h) × ADCLK(注5)			
オートディスチャージ処理時間(温度センサ出力と内部基準電圧変換時に必要な時間)			t_{ADIS}		15 ADCLK			
自己診断変換処理時間(注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR0設定値(初期値1Bh) × ADCLK			
	逐次変換時間			t_{SAM}	24 ADCLK			
	自己診断変換終了後。通常のA/D変換開始時		t_{DED}		2 ADCLK			
	連続スキャン時の最終チャネル変換終了後、自己診断変換開始時		t_{DSD}		2 ADCLK			
A/D変換処理時間(注1)	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn (n = 0～11, L, T, O)設定値(初期値1Bh) × ADCLK			
	逐次変換時間			t_{SAM}	24 ADCLK			
チャネル専用サンプルホールド終了処理時間			t_{SHED}		2 ADCLK			
スキャン終了時間(注1)			t_{ED}		1 PCLKB + 3 ADCLK (2 PCLKB + 2 ADCLK)(注4)			

注1.　t_D、t_{SPLSH}、t_{DIAG}、t_{CONV}、t_{ED}の各タイミングについては図42.39、図42.40を参照してください。
注2.　ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
注3.　タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。
注4.　ADCLKがPCLKBより高速な場合(PCLKB：ADCLK周波数比＝1：2の設定)の最大時間。
注5.　温度センサ出力/内部基準電圧をA/D変換時は、“0Fh” (15 ADCLK)に固定されます。

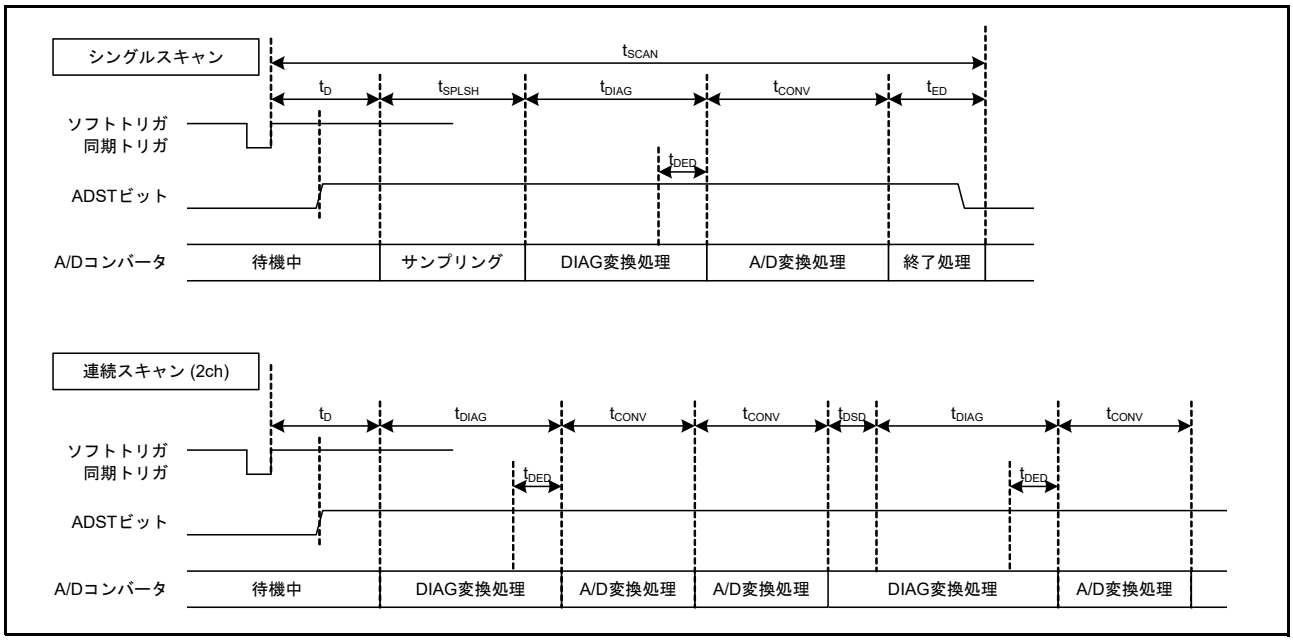


図 42.39　スキャン変換のタイミング (ソフトウェア起動、同期トリガ起動の場合)

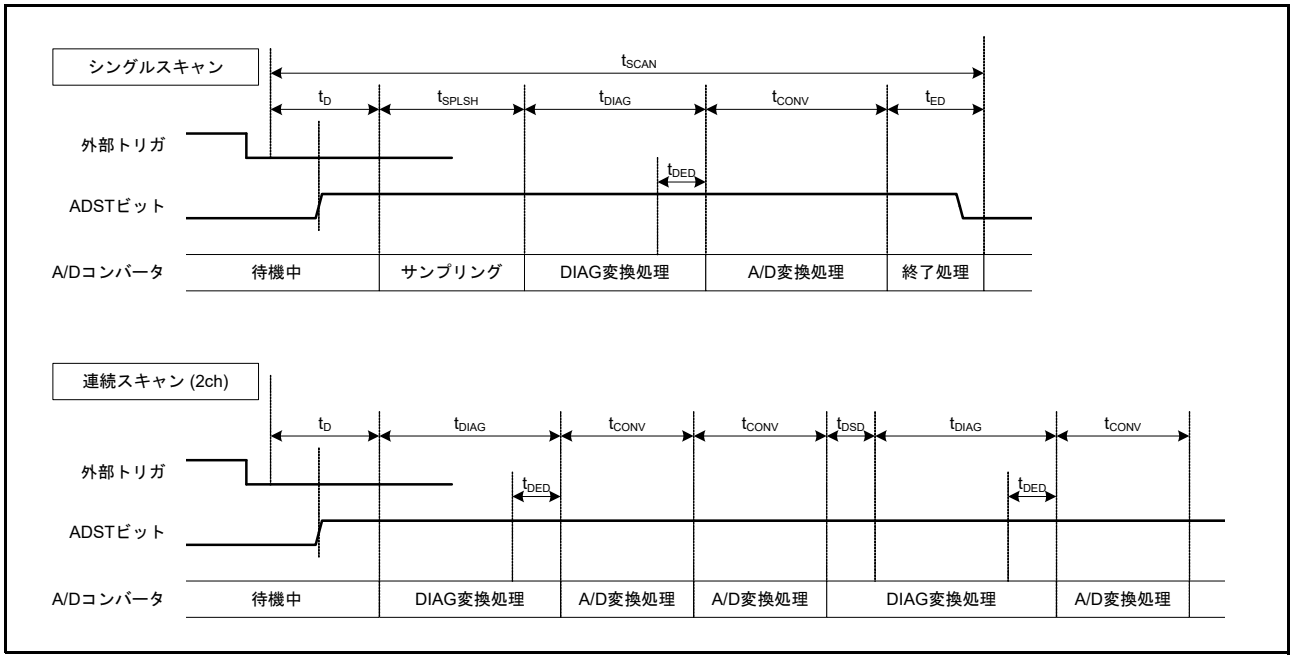


図 42.40　スキャン変換のタイミング (非同期トリガ起動の場合)

42.3.7.1　グループ優先動作でのスキャン中断 / 開始タイミング

グループ優先動作では、スキャンを中断 / 開始する下記のタイミングがあります。

1. 低優先グループのスキャンを中断し優先グループのスキャンを開始するタイミング
2. 中断した低優先グループのスキャンを再開するタイミングと、高優先グループのスキャン中に受け付けた低優先グループのトリガで、高優先グループのスキャン終了後に低優先グループのスキャンを開始するタイミング
3. 低優先グループがシングルスキャンを連続で行うタイミング

それぞれのタイミングを図 42.41 に示します。

グループ A とグループ C またはグループ B とグループ C によるスキャン中断 / 開始のタイミングは、図 42.41 に示すグループ A とグループ B によるスキャン中断 / 開始のタイミングと同じになります。シングルスキャンの連続は、グループ B とグループ C 共に同じタイミングになります。

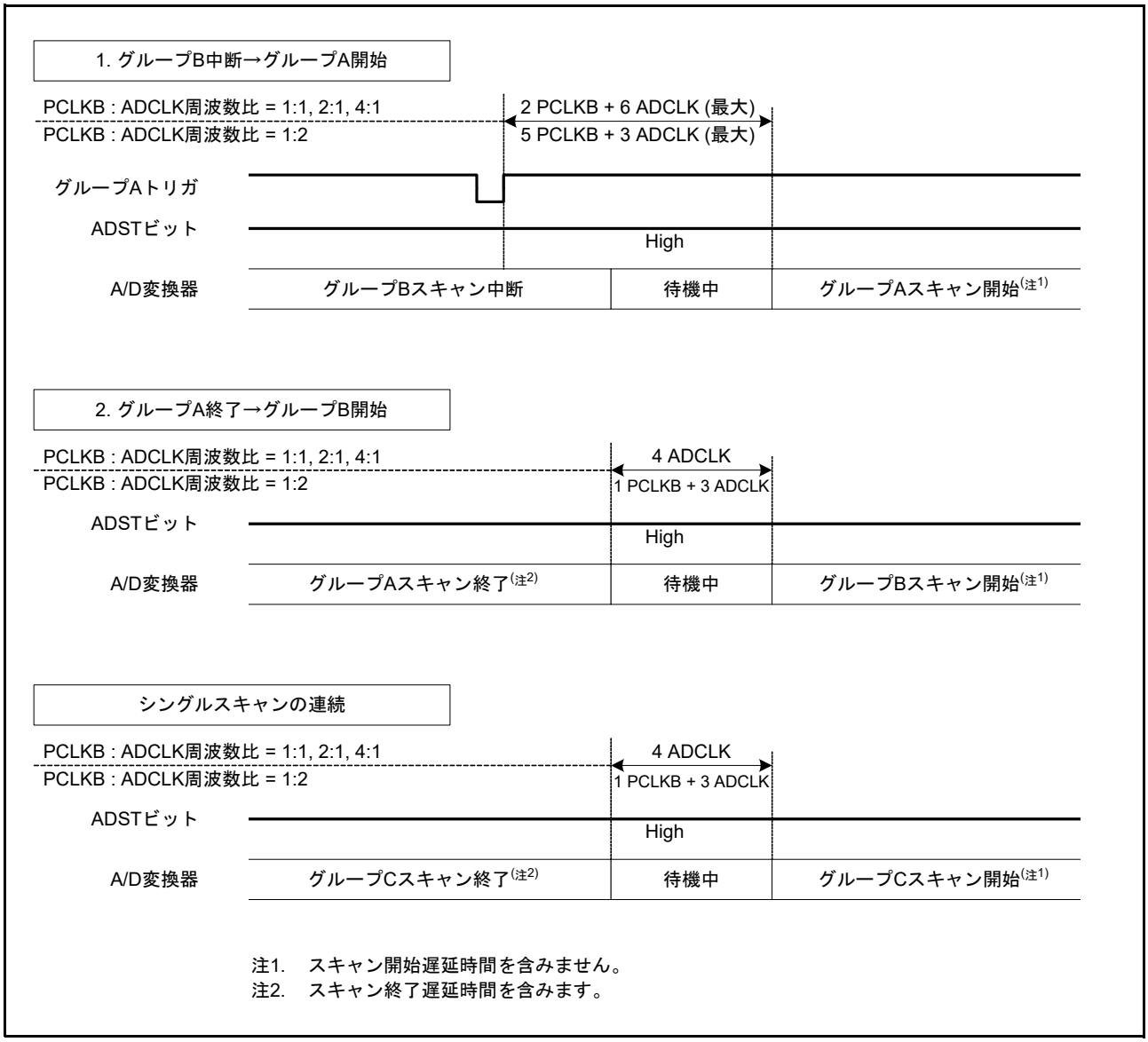


図 42.41　グループ優先でのスキャン停止 / 起動タイミング

42.3.8　A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを “1” にすることにより、CPU、DTC または DMAC によって A/D データレジスタ (ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB) を読み出す際、自動的に ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタを “0000h” にできます。

この機能を使うことにより、ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが “0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが “1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC または DMAC により読み出す際、ADDRy レジスタは自動的に “0000h” になります。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h” が汎用レジスタなどに保持されます。読み出されたデータ値が “0000h” であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

42.3.9　A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャネルを 2 ～ 4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換 (ユニット 2 のみ)、内部基準電圧 A/D 変換選択時 (ユニット 2 のみ) に使用できます。

42.3.10　断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 42.42 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、**図 42.43** にプリチャージを選択した場合の断線検出例を、**図 42.44** にディスチャージを選択した場合の断線検出例を示します。

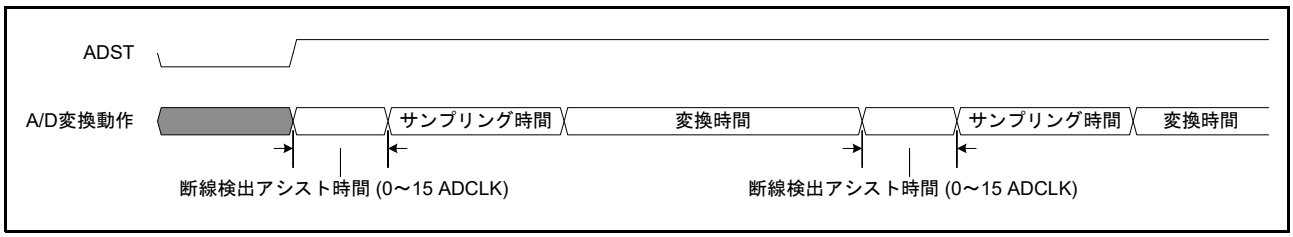
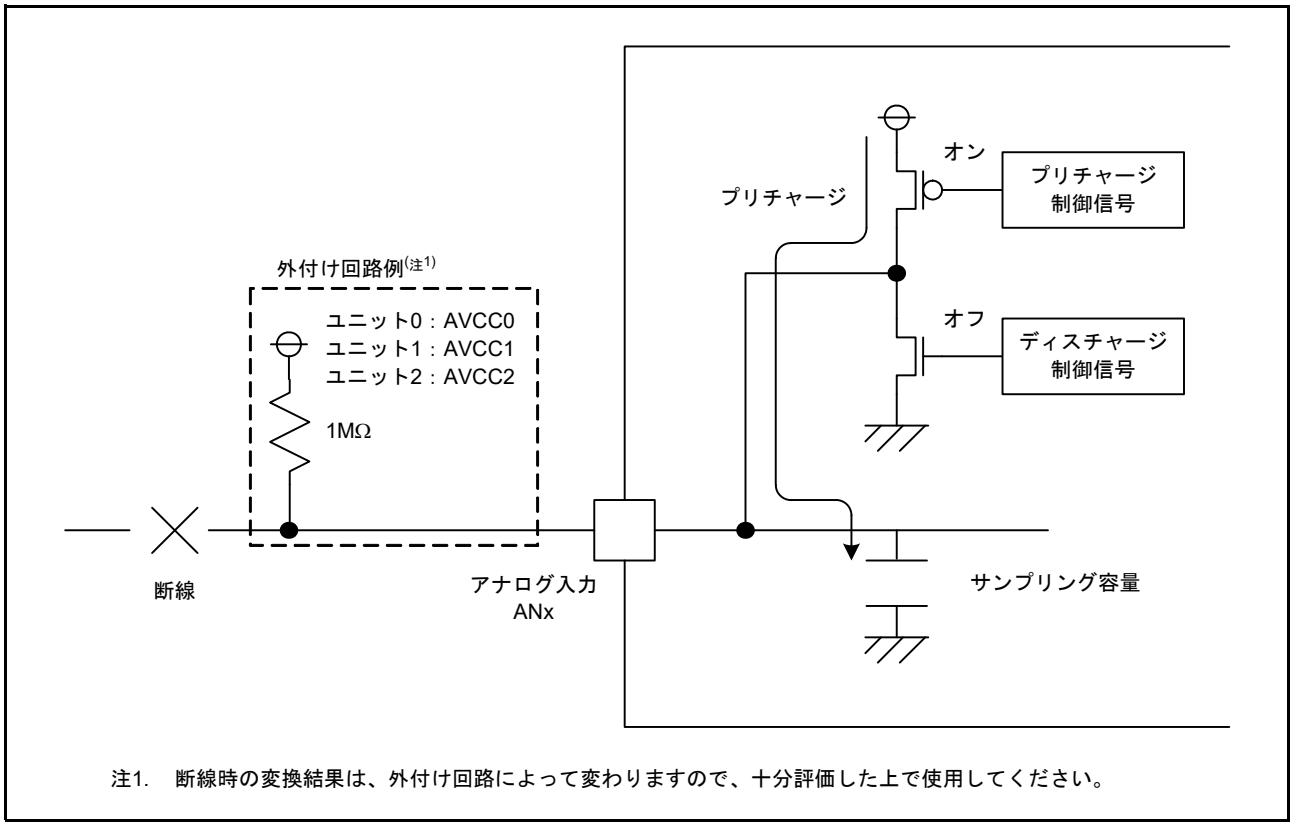
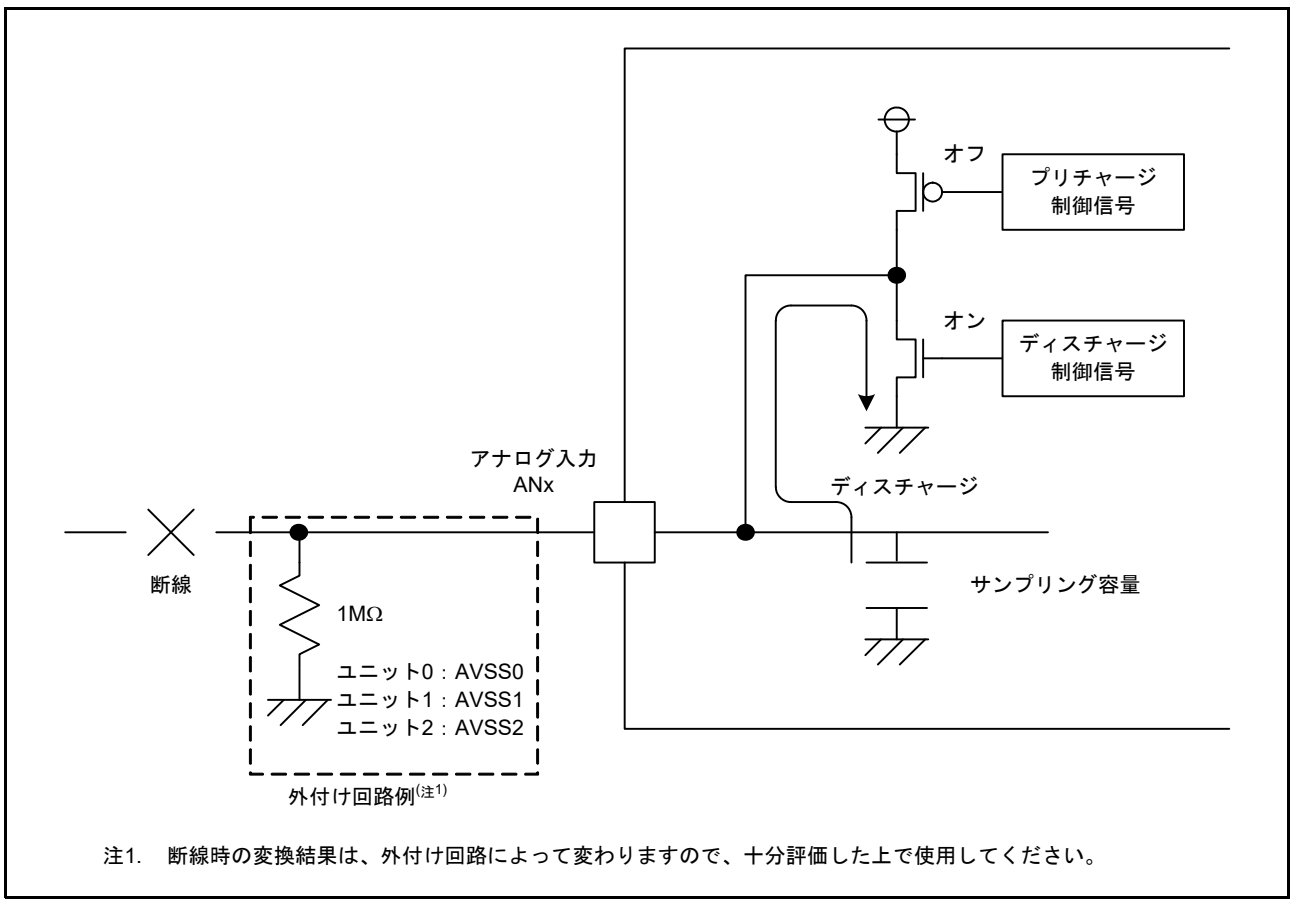


図 42.42　断線検出アシスト機能を使用した場合の A/D 変換動作図



注1.　断線時の変換結果は、外付け回路によって変わりますので、十分評価した上で使用してください。

図 42.43　プリチャージを選択した場合の断線検出例



注1.　断線時の変換結果は、外付け回路によって変わりますので、十分評価した上で使用してください。

図 42.44　ディスチャージを選択した場合の断線検出例

42.3.11　非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[6:0]) を “0000000b” にし、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 42.45 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、**「42.6.3　A/D 変換強制停止と開始時の動作タイミング」**を参照してください。グループスキャンモードで使用するグループ B とグループ C は、非同期トリガを選択できません。

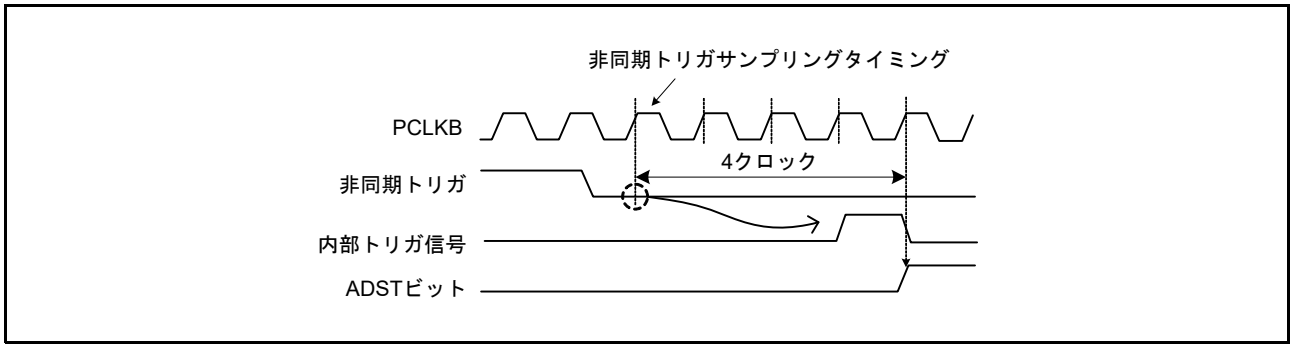


図 42.45　非同期トリガ入力タイミング

42.3.12　周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[6:0]、ADSTRGR.TRSB[6:0] ビット、ADGCTRGR2.TRSC6 ビットと ADGCTRGR.TRSC[5:0] ビットで該当の A/D 変換開始トリガを選択します。

42.3.13　任意チャネル順変換機能

12 ビット A/D コンバータの各ユニットのアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って変換する機能です。

ADSCSn レジスタ内へ同一チャネルを設定することは禁止です。本機能で順序設定可能なチャネルはアナログチャネルのみとなります。

自己診断、温度センサ、内部基準電圧に関する変換順序は変更できません。

表42.24　スキャングループAでADSCSnレジスタ(n = 0～4)が初期値の場合の変換順序例

ADSCSn設定値		A/D変換順序			ADANSA0設定値
シンボル	初期値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	00h	AN000	高	1	ANSA0[0] = 1
ADSCS1	01h	AN001	↓	2	ANSA0[1] = 1
ADSCS2	02h	AN002	↓	3	ANSA0[2] = 1
ADSCS3	03h	AN003	↓	4	ANSA0[3] = 1
ADSCS4	04h	AN004	低	5	ANSA0[4] = 1

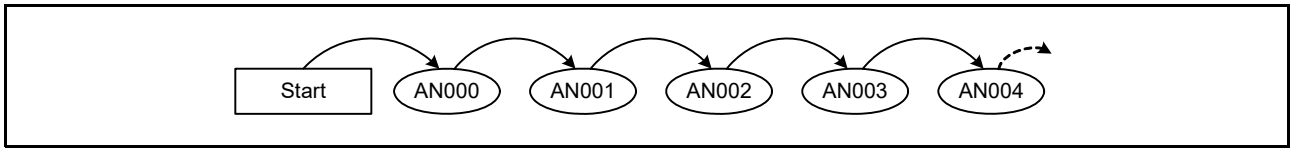


図 42.46　変換順序例 (表 42.24 の設定をした場合)

表42.25　スキャングループAでADSCSnレジスタ(n = 0～4)を変更した場合の変換順序例

ADSCSn設定値		A/D変換順序			ADANSA0設定値
シンボル	ユーザ設定値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	04h	AN004	高	1	ANSA0[4] = 1
ADSCS1	02h	AN002	↓	2	ANSA0[2] = 1
ADSCS2	00h	AN000	↓	3	ANSA0[0] = 1
ADSCS3	01h	AN001	↓	4	ANSA0[1] = 1
ADSCS4	03h	AN003	低	5	ANSA0[3] = 1

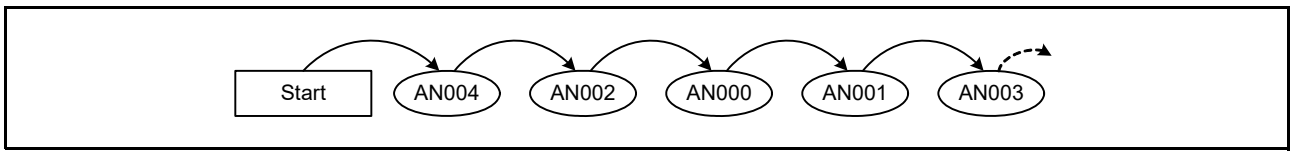


図 42.47　変換順序例 (表 42.25 の設定をした場合)

表42.26　スキャングループAでADSCSnレジスタ(n = 0～4)を変更した場合の変換順序例
(ANSA0[1]ビットが非選択の場合)

ADSCSn設定値		A/D変換順序			ADANSA0設定値
シンボル	ユーザ設定値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	04h	AN004	高	1	ANSA0[4] = 1
ADSCS1	02h	AN002	↓	2	ANSA0[2] = 1
ADSCS2	00h	AN000	↓	3	ANSA0[0] = 1
ADSCS3	01h	AN001	↓	4	ANSA0[1] = 0
ADSCS4	03h	AN003	低	5	ANSA0[3] = 1

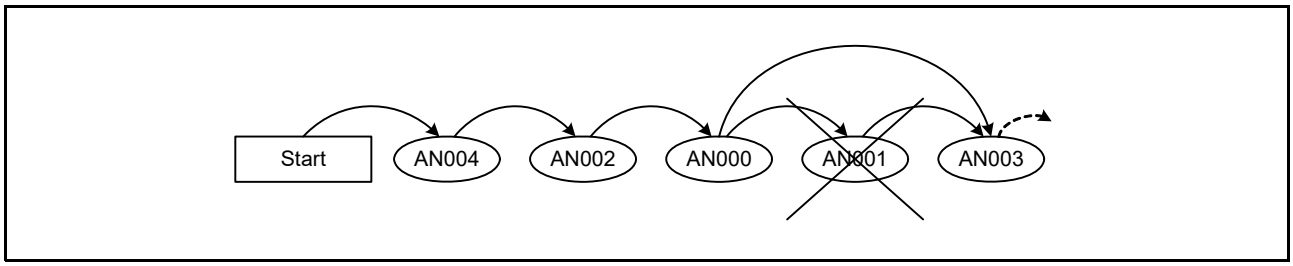


図 42.48 変換順序例 (表 42.26 の設定をした場合)

42.3.14 内部基準電圧モニタ機能

内部基準電圧モニタ機能は、内部基準電圧を A/D コンバータに出力する機能です。

A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) と A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) を設定し、内部基準電圧 A/D 選択ビット (OCSA/B/C) を有効にすると、内部基準電圧の A/D 変換が可能になります。

以下に動作例を示します。

(1) A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) の VDE ビットを “1” にします。
(2) A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) の VDO ビットを “1” にします。
(3) A/D 変換拡張入力コントロールレジスタの内部基準電圧 A/D 変換選択ビット (OCSA)、グループ B 内部基準電圧 A/D 変換選択ビット (OCSB) または、A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR) のグループ C 内部基準電圧 A/D 変換選択ビット (OCSC) により内部基準電圧を選択します。
(4) 500 ns のウェイト期間を入れた後、ソフトウェア、同期トリガ (MTU, TMR, ELC) または非同期トリガ入力によって、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、内部基準電圧のオートディスチャージを実施して、内部基準電圧の A/D 変換を開始します。
(5) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納されます。
(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、S12ADI2 割り込み要求 (パルス出力とレベル出力) が発生します。
(7) ADCSR.ADST ビットは、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
(8) A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) の VDO ビットを “0” にします。
(9) A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) の VDE ビットを “0” にします。

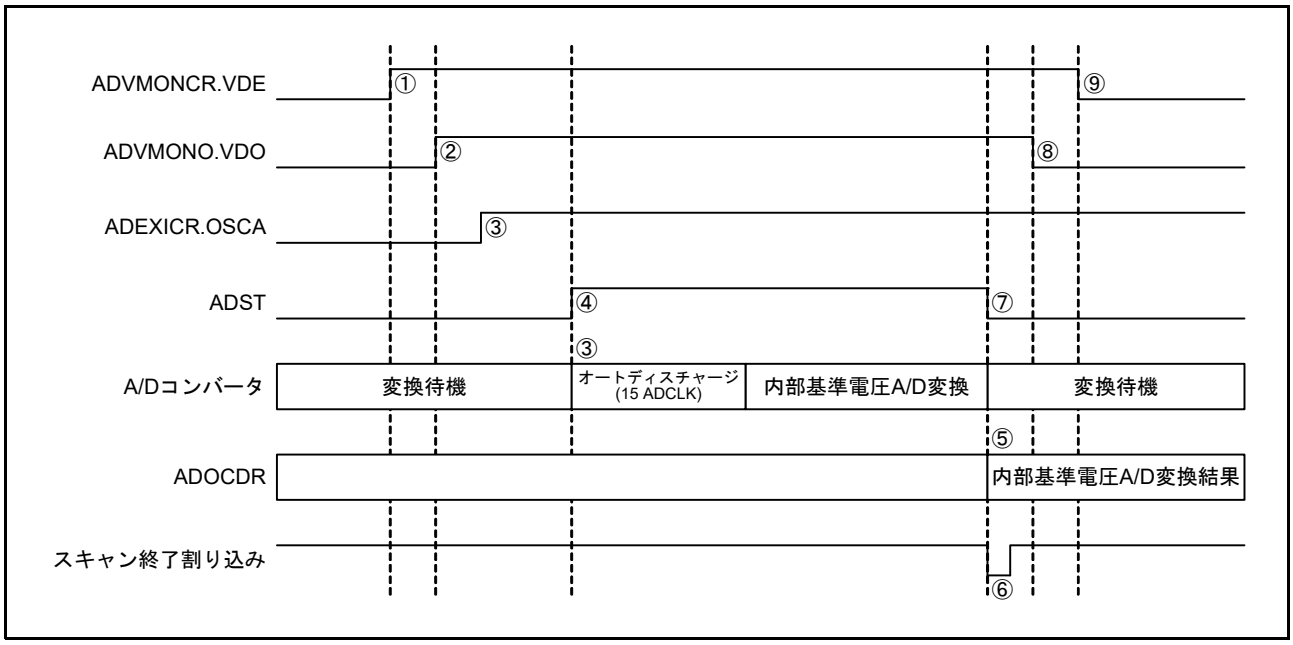


図 42.49　内部基準電圧モニタ出力 A/D 変換例

42.4 割り込み要因と DTC、DMA 転送要求

42.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2 割り込みを発生させることができます。

また、CPU へのコンペア条件成立割り込み要求である S12CMPAI/S12CMPBI 割り込みを発生させることができます。

ADCSR.ADIE ビットを “1” にすると S12ADI/S12ADI1/S12ADI2 を許可、“0” にすると S12ADI/S12ADI1/S12ADI2 を禁止できます。ADCSR.GBADIE ビットを “1” にすると S12GBADI/S12GBADI1/S12GBADI2 を許可、“0” にすると S12GBADI/S12GBADI1/S12GBADI2 を禁止できます。ADGCTRGR.GCADIE ビットを “1” にすると S12GCADI/S12GCADI1/S12GCADI2 を許可、“0” にすると S12GCADI/S12GCADI1/S12GCADI2 を禁止できます。

ADCMPCR.CMPAIE ビットを “1” にすると S12CMPAI を許可、“0” にすると S12CMPAI を禁止できます。ADCMPCR.CMPBIE ビットを “1” にすると S12CMPBI を許可、“0” にすると S12CMPBI を禁止できます。

また、S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2 発生時に DTC または DMAC を起動できます。S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「18. データトランスファコントローラ (DTCb)」を、DMAC の設定は「17. DMA コントローラ (DMACAa)」を参照してください。

42.4.2 ELC へのスキャン終了イベント出力

ELC では、S12ADI/S12ADI1/S12ADI2 割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。S12GBADI/S12GBADI1/S12GBADI2 割り込み、S12CMPAI/S12CMPAI1/S12CMPAI2 割り込み、S12CMPBI/S12CMPBI1/S12CMPBI2 割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12 ビット A/D コンバータは、A/D 変換終了イベントを出力します。

42.5　許容信号源インピーダンスについて

図 42.50 にアナログ入力端子と外部センサの等価回路を示します。

A/D 変換を正しく行うためには、内部コンデンサ (Cs) への充電がサンプリング時間内に終了することが必要です。信号源インピーダンス (R0) が大きく Cs への充電に時間がかかるときは、ADSSTRn レジスタでサンプリング時間を延長してください。逆に R0 が小さいときは、サンプリング時間を短縮することができます。電気的特性に各種動作条件下での許容信号源インピーダンスを記載していますので、参考にしてください。

シングルスキャンモードで 1 端子のみの変換を行う場合、外部に大容量のコンデンサ (C) を接続することにより、入力の負荷が実質的に内部入力抵抗 (Rs) だけになり、R0 の影響を無視できるようになります。ただし、R0 と C でローパスフィルタが形成されますので、変化の速いアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

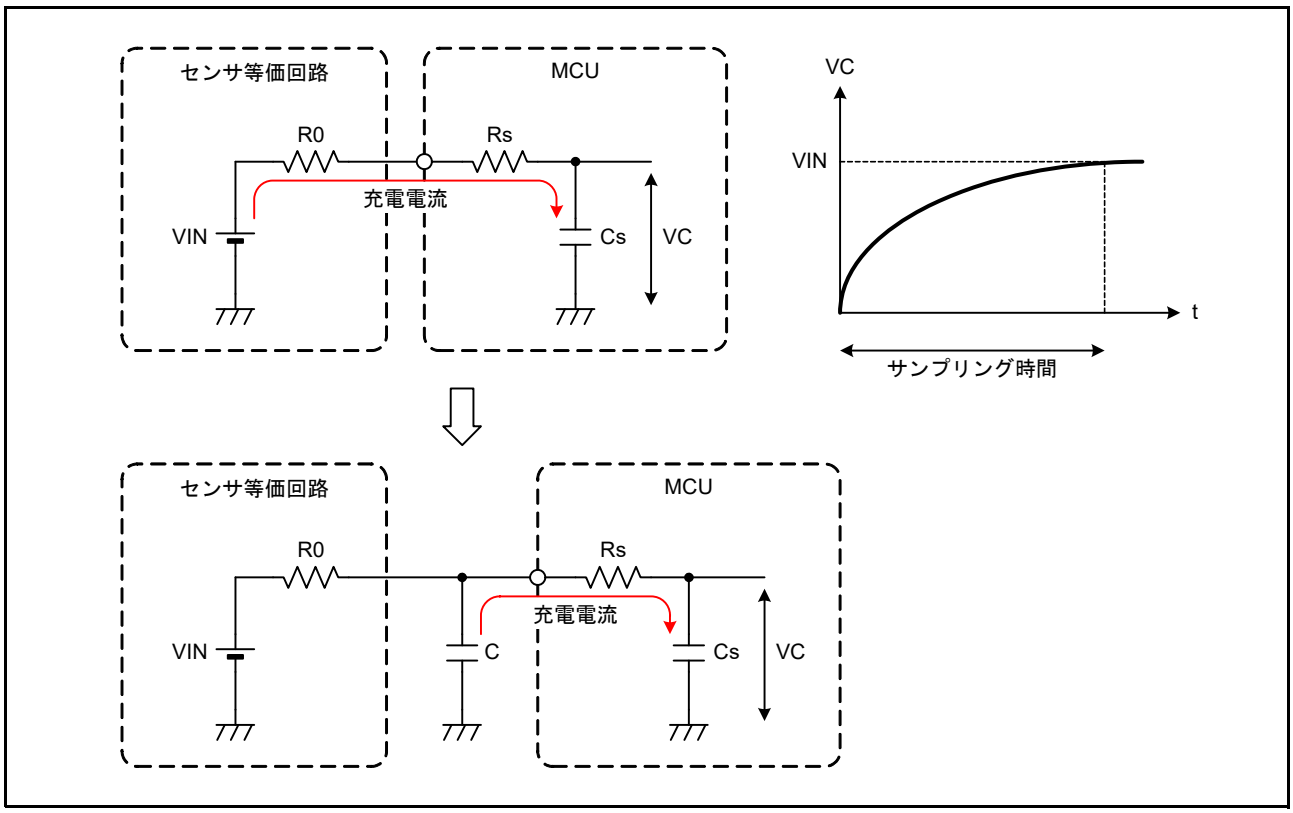


図 42.50　アナログ入力端子と外部センサの等価回路

42.6 使用上の注意事項

42.6.1 データレジスタの読み出し注意事項

A/Dデータレジスタ、A/Dデータ二重化レジスタ、A/Dデータ二重化レジスタA、A/Dデータ二重化レジスタB、A/D温度センサデータレジスタ、A/D内部基準電圧データレジスタ、およびA/D自己診断データレジスタの読み出しは、16ビット単位で行ってください。8ビット単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値が変化するのを避けるため、8ビット単位の読み出しは行わないでください。

42.6.2 A/D変換停止時の注意事項

42.6.2.1 A/D変換停止手順

A/D変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D変換を停止させるためには、**図42.51**のフローチャートの手順に従ってください。

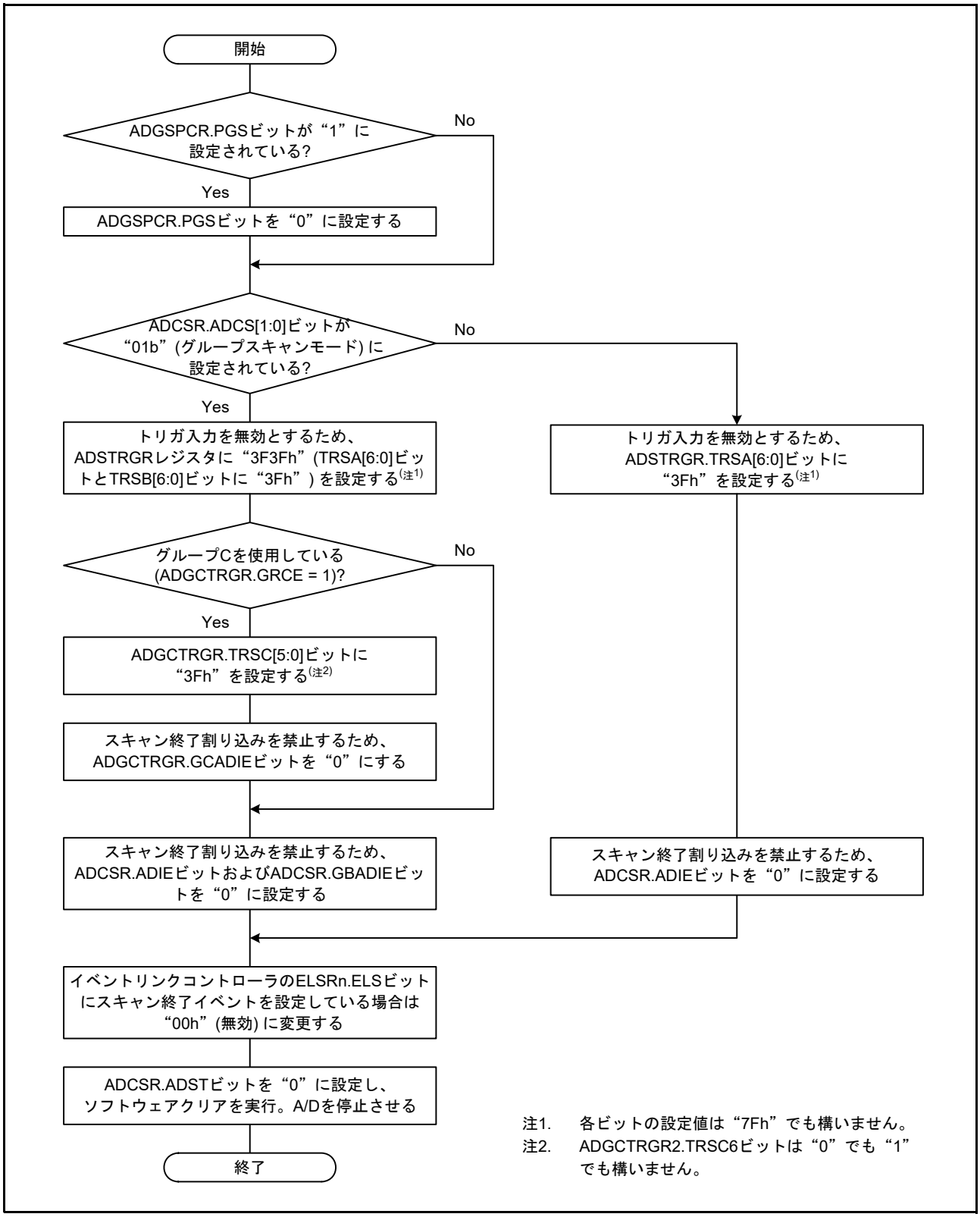


図 42.51 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

42.6.2.2 モード / ステータスフラグの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数 / 偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定をするには、ADCER.DIAGLD ビットを “1” にし ADCER.DIAGVAL[1:0] ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを “0” から “1” にするとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタフラグ (MONCMPA, MONCMPB, MONCOMB) を初期化するには、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを “0” にしてください。
- 常時サンプリング機能 (ADSHMSR.SHMD ビットを “1” に設定) を初期化するには、ADSHMSR.SHMD ビットを “0” にしてください。初期化後に再度、常時サンプリング機能を使用する場合は、1 ADCLK 以上待ってから ADSHMSR.SHMD ビットを “1” にしてください。

42.6.3 A/D 変換強制停止と開始時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で、ADCSR.ADST ビットを “1” にしてから 12 ビット A/D コンバータのアナログ部が動作を開始するまでに、ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを “0” にして A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 2 クロックの時間を必要とします。

PCLKB：ADCLK 周波数比が 1：2 (ADCLK が高速) での強制停止からアナログ部停止までは、最大 1 PCLKB + 1 ADCLK になります。

42.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合等で、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていなければ、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。

42.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12 ビット A/D コンバータの動作禁止 / 許可を設定することが可能です。リセット解除後、12 ビット A/D コンバータの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 µs 待ってから A/D 変換を開始してください。モジュールストップ機能を使用し 12 ビット A/D コンバータの動作を停止させる場合は、ADVMONCR.VDE ビット、ADVMONO.VDO ビットを “0” にしてください。

詳細は「11. **消費電力低減機能**」を参照してください。

42.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” にした後、12 ビット A/D コンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 42.51 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを “0” にしてください。その後、ADCLK の 2 クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

42.6.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、メインクロックまたは PLL クロックの発振安定フラグが “1” になってからさらに 1 μs 以上待って、A/D 変換を開始してください。詳細は「11. **消費電力低減機能**」を参照してください。

42.6.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ / プルダウン抵抗 (Rp) と信号源抵抗 (Rs) の抵抗分圧分の誤差電圧が入力され、A/D コンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

最大絶対精度誤差 (LSB) = 4095 × Rs/Rp

42.6.9　アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

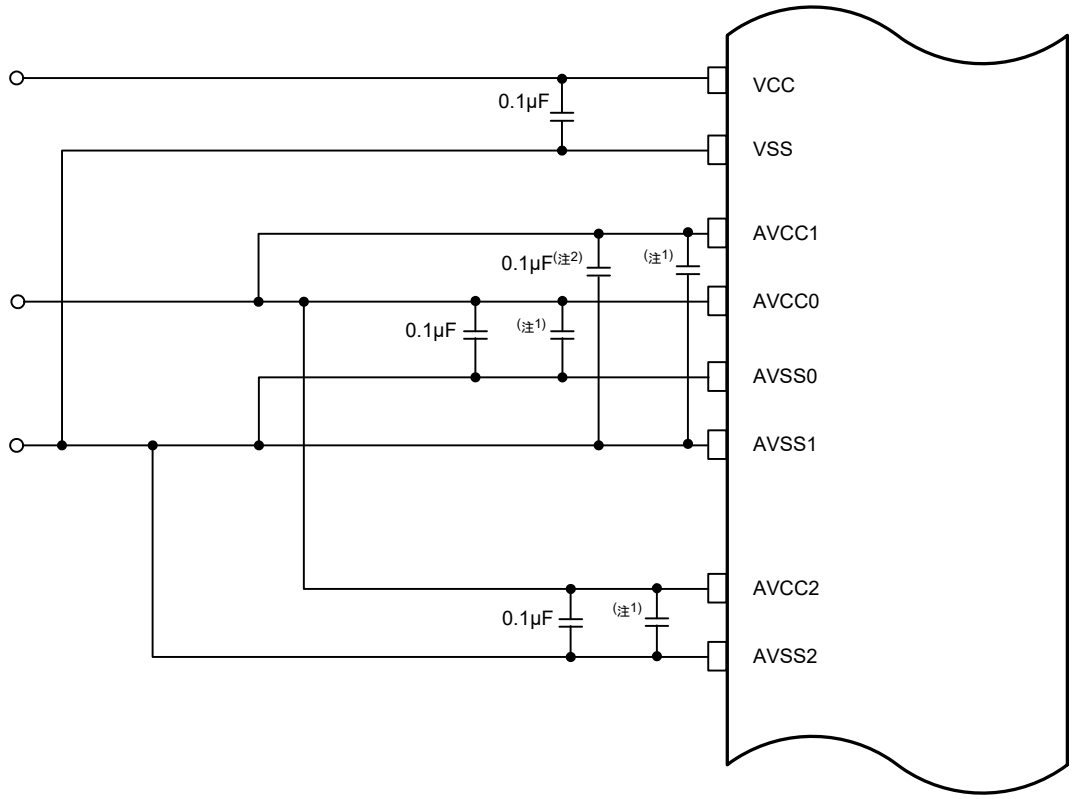
- アナログ入力電圧の設定範囲

  アナログ入力端子AN000 ～ AN006、AN100 ～ AN103、AN200 ～ AN211、AN216、AN217に印加する電圧は、AVSSn ～ AVCCn (n = 0 ～ 2) の範囲としてください。

- 各電源端子 (AVCCn – AVSSn, VCC – VSS) の関係

  AVSSnとVSSとの関係はAVSSn = VSS (n = 0 ～ 2) としてください。アナログ入力端子AN216、AN217のA/D変換を行う場合は、AVCCn = VCCとしてください。また、図 42.52に示すように各々の電源間に最短で閉ループが形成できるように0.1 µFのコンデンサを接続し、供給元でAVSSn = VSSになるように接続してください。

  12ビットA/Dコンバータを使用しない場合は、AVCCn = VCC、AVSSn = VSSとしてください。



注1. A/D変換クロックを40 MHzより高くする場合、0.1 µFのコンデンサと電源端子の間に0.01 µFのコンデンサを追加してください。
注2. AVCC0/AVSS0に入れるコンデンサより、AVCC1/AVSS1に入れるコンデンサを、より端子の近くに配置してください。

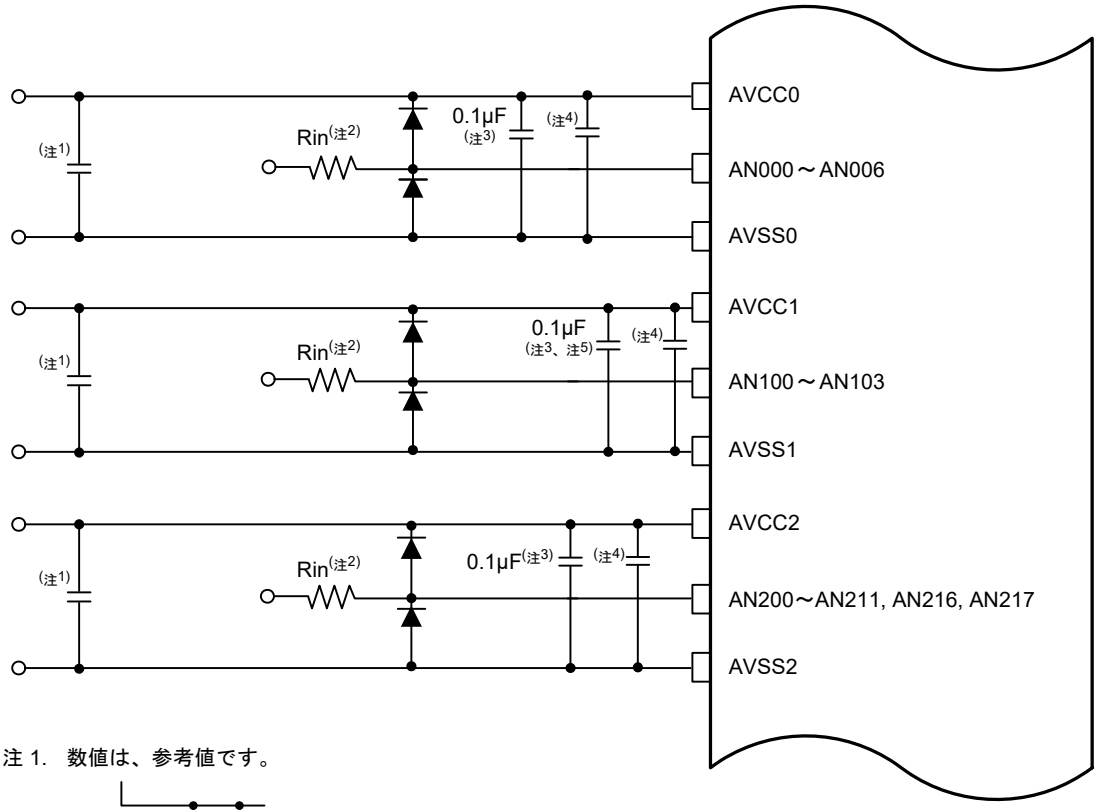
図 42.52　各電源端子の接続例

42.6.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ～ AN006, AN100 ～ AN103, AN200 ～ AN211, AN216, AN217)、アナログ電源 (AVCCn) は、アナロググランド (AVSSn) で、デジタル回路と分離してください。さらにアナロググランド (AVSSn) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

42.6.11　ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ～ AN006, AN100 ～ AN103, AN200 ～ AN211, AN216, AN217) の破壊を防ぐために、図 42.53 に示すように AVCCn と AVSSn 間にコンデンサを、またアナログ入力端子 (AN000 ～ AN006, AN100 ～ AN103, AN200 ～ AN211, AN216, AN217) を基準に保護回路を接続してください。



注 1.　数値は、参考値です。

注2.　Rin：信号源インピーダンス
注3.　AVCC0、AVSS0、AVCC1、AVSS1、AVCC2、AVSS2電源間に挿入するコンデンサは、A/D変換精度向上のために、できるだけ電源端子の近くに配置してください。
注4.　A/D変換クロックを40 MHzより高くする場合、0.1 μFのコンデンサと電源端子の間に0.01 μFのコンデンサを追加してください。
注5.　AVCC0/AVSS0に入れるコンデンサより、AVCC1/AVSS1に入れるコンデンサを、より端子の近くに配置してください。

図 42.53　アナログ入力保護回路の例

42.6.12 チャネル専用サンプル & ホールド回路使用時の注意

チャネル専用サンプル & ホールド回路の使用を許可 (ADSHCR.SHANS[2:0] ≠ 000b) 後、チャネル専用サンプル & ホールド回路の常時サンプリングを有効 (ADSHMSR.SHMD = 1) にしてから 6 ADCLK 期間はトリガ入力禁止です。

チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。

43. 12 ビット D/A コンバータ (R12DAb)

43.1 概要

本 MCU は、12 ビット D/A コンバータを 2 チャネル内蔵しています。

表 43.1 に 12 ビット D/A コンバータの仕様を示します。**図 43.1** に 12 ビット D/A コンバータのブロック図を示します。

表43.1　12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャネル	2チャネル
アナログモジュールの干渉対策	• D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータ(ユニット2)が出力する12ビットA/Dコンバータ同期D/A変換許可信号により、D/A変換データの更新タイミングを制御する。 これにより、12ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能
イベントリンク機能(入力)	イベント信号の入力により、チャネル0のD/A変換を開始可能
出力先切り替え	外部端子への出力と、コンパレータCへの出力を独立して制御可能

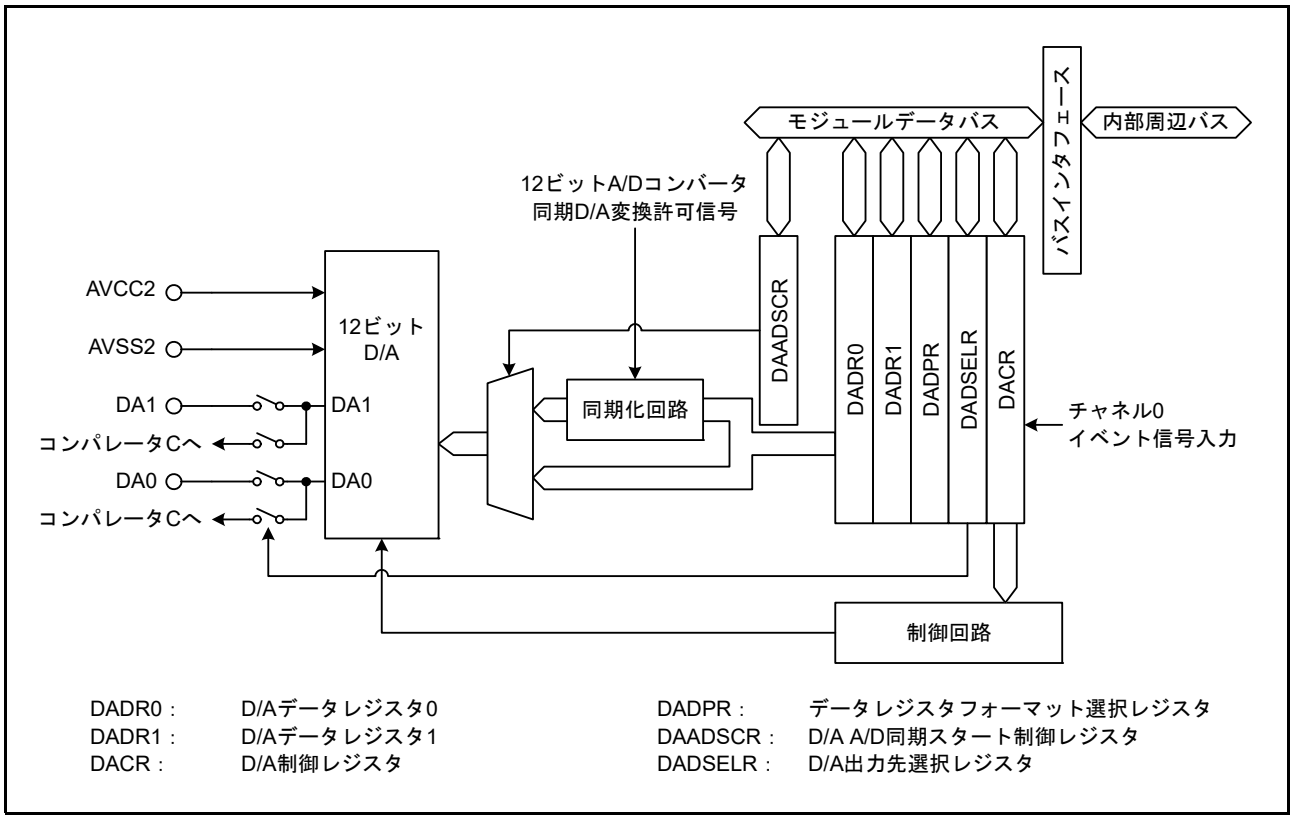


図 43.1　12 ビット D/A コンバータのブロック図

表 43.2 に 12 ビット D/A コンバータで使用する入出力端子を示します。

表43.2　12ビットD/Aコンバータの入出力端子

端子名	入出力	機能
AVCC2	入力	アナログ電源端子
AVSS2	入力	アナロググランド端子
DA0	出力	チャネル0のアナログ出力
DA1	出力	チャネル1のアナログ出力

43.2　レジスタの説明

43.2.1　D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス　DA.DADR0 0008 8040h, DA.DADR1 0008 8042h

・DADPR.DPSEL ビット= 0 (データは右詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・DADPR.DPSEL ビット= 1 (データは左詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
													—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換され D/A コンバータから出力されます。

DADPR.DPSEL ビットの設定によって 12 ビットのデータの配置を変更できます。“—” のビットは、読むと “0” が読めます。書く場合、“0” としてください。

43.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 8044h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE	D/A許可ビット(注1)	0：チャネル0, 1のD/A変換を個別制御 1：チャネル0, 1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0：チャネル0のアナログ出力(DA0)を禁止 1：チャネル0のD/A変換を許可 チャネル0のアナログ出力(DA0)を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0：チャネル1のアナログ出力(DA1)を禁止 1：チャネル1のD/A変換を許可 チャネル1のアナログ出力(DA1)を許可	R/W

注1. DAOEmビット(m = 0, 1)との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEmビットにより制御されます。表43.3を参照してください。

表43.3 D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力(DA0, DA1)を禁止(注1)
		1	チャネル0のD/A変換を許可、チャネル1のD/A変換を禁止 チャネル0のアナログ出力(DA0)を許可、チャネル1のアナログ出力(DA1)を禁止(注1)
	1	0	チャネル0のD/A変換を禁止、チャネル1のD/A変換を許可 チャネル0のアナログ出力(DA0)を禁止(注1)、チャネル1のアナログ出力(DA1)を許可
		1	チャネル0, 1のD/A変換を許可 チャネル0, 1のアナログ出力(DA0, DA1)を許可
1	x	x	チャネル0, 1のD/A変換を許可 チャネル0, 1のアナログ出力(DA0, DA1)を一括して許可

x：Don't care

注1. アナログ出力禁止時、アナログ出力はHi-Zになります。

このレジスタは、DAADSCR.DAADST ビットが “1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、12 ビット A/D コンバータ (ユニット 2) 停止中に設定してください (ADCSR.ADST ビットが “0” のときに設定してください)。このとき確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

このレジスタを設定する前に、各チャネルの出力先を DADSELR レジスタで選択しておいてください。

DAE ビット (D/A 許可ビット)

DAE ビット、DAOEm ビット (m = 0, 1) の組み合わせで、D/A 変換、およびアナログ出力を制御します。

D/A 変換と A/D 変換の干渉対策が有効時 (DAADSCR.DAADST ビット = 1) には、12 ビット A/D コンバータ (ユニット 2) の ADCSR.ADST ビットが “0” のときに設定してください。このとき、確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、12 ビット A/D コンバータ (ユニット 2) のトリガ選択をソフトウェアトリガに設定してください。

DAOEm ビット (D/A 出力許可 m ビット) (m = 0, 1)

DAE ビット、DAOEm ビットの組み合わせで、D/A 変換、およびアナログ出力を制御します。

DAOEm ビットが “0” かつ DAE ビットが “0” のとき、チャネル m の D/A 変換は行われず、変換結果も出力されません。

D/A 変換と A/D 変換の干渉対策が有効時 (DAADSCR.DAADST ビット = 1) には、12 ビット A/D コンバータ (ユニット 2) の ADCSR.ADST ビットが “0” のときに設定してください。このとき、確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、12 ビット A/D コンバータ (ユニット 2) のトリガ選択をソフトウェアトリガに設定してください。

イベントリンク機能により、DAOE0 ビットを “1” にできます。ELC の ELSR16 レジスタで設定されたイベントが発生すると、DAOE0 ビットが “1” になり、D/A 変換出力を開始します。

43.2.3　データレジスタフォーマット選択レジスタ (DADPR)

アドレス　DA.DADPR 0008 8045h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b7	DPSEL	フォーマット選択ビット	0：D/Aデータレジスタは右詰め 1：D/Aデータレジスタは左詰め	R/W

43.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 8046h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0：12ビットD/Aコンバータは、12ビットA/Dコンバータ(ユニット2)と同期変換しない(D/A変換とA/D変換の干渉対策の無効) 1：12ビットD/Aコンバータは、12ビットA/Dコンバータ(ユニット2)と同期変換する(D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、12 ビット D/A コンバータの変換開始タイミングを 12 ビット A/D コンバータ (ユニット 2) からの 12 ビット A/D コンバータ同期 D/A 変換許可信号に同期させるかさせないかを選択します。

このレジスタは、12 ビット A/D コンバータ (ユニット 2) 停止中に設定してください (12 ビット A/D コンバータ (ユニット 2) のトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが “0” のときに設定してください)。

DAADST ビット (D/A A/D 同期変換ビット)

DAADST ビットを “0” にすると、随時 DADRm レジスタ (m = 0, 1) の値を D/A 変換します。DAADST ビットを “1” にすると、12 ビット A/D コンバータ (ユニット 2) からの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADRm レジスタの値を書き換えても、12 ビット A/D コンバータ (ユニット 2) の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は 12 ビット A/D コンバータ (ユニット 2) の ADCSR.ADST ビットが “0” のときに設定してください。このとき確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

なお、DAADST ビットを “1” にした場合は、イベント機能は使用できません。ELC の ELSR16 でイベントリンク機能を停止に設定してください。DAADST ビットは、12 ビット D/A コンバータのチャネル 0, 1 の共通仕様です。

43.2.5 D/A 出力先選択レジスタ (DADSELR)

アドレス DA.DADSELR 0008 8049h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OUTREF1	OUTREF0	OUTDA1	OUTDA0
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	OUTDA0	DA0端子出力許可ビット	0：チャネル0のアナログ出力をDA0端子から出力しない 1：チャネル0のアナログ出力をDA0端子から出力する	R/W
b1	OUTDA1	DA1端子出力許可ビット	0：チャネル1のアナログ出力をDA1端子から出力しない 1：チャネル1のアナログ出力をDA1端子から出力する	R/W
b2	OUTREF0	基準電圧0出力許可ビット	0：チャネル0のアナログ出力をコンパレータCの基準電圧として使用しない 1：チャネル0のアナログ出力をコンパレータCの基準電圧として使用する	R/W
b3	OUTREF1	基準電圧1出力許可ビット	0：チャネル1のアナログ出力をコンパレータCの基準電圧として使用しない 1：チャネル1のアナログ出力をコンパレータCの基準電圧として使用する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DADSELR レジスタは、D/A コンバータが生成するアナログ電圧をどこに出力するかを設定するレジスタです。DACR レジスタで出力を許可する前に、このレジスタで出力先を選択してください。

43.3　動作説明

2 チャネルの 12 ビット D/A コンバータは、それぞれ独立して変換を行うことができます。

DACR.DAOEm ビット (m = 0, 1) を “1” にすると、D/A 変換が許可され変換結果が出力されます。

チャネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 43.2 に示します。

(1) DADPR.DPSEL ビットと DADR0 レジスタに D/A 変換を行うためのデータを設定します。
(2) DADSELR レジスタで D/A コンバータの出力先を選択します。
(3) DACR.DAOE0 ビットを “1” にすると、D/A 変換が開始されます。変換時間 tDCONV が経過すると、DA0 出力が設定値に対応する電圧で安定します。DADR0 レジスタを書き換えるか、DAOE0 ビットを “0” にするまで、この電圧が出力され続けます。出力電圧 (参考) は以下の式で計算します。

$$\frac{\text{DADRm レジスタ}}{4096} \times \text{AVCC2}$$

(4) DADR0 レジスタを書き換えると変換が開始されます。変換時間 tDCONV が経過すると、DA0 出力が変更した電圧で安定します。DAADSCR.DAADST ビットが “1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、D/A 変換開始まで最大 A/D 変換 1 回分待たされます (ADCLK が周辺モジュールクロックよりも速い場合は、A/D 変換 1 回分以上待たされる場合があります)。
(5) DAOE0 ビットを “0” にするとアナログ出力が禁止されます。

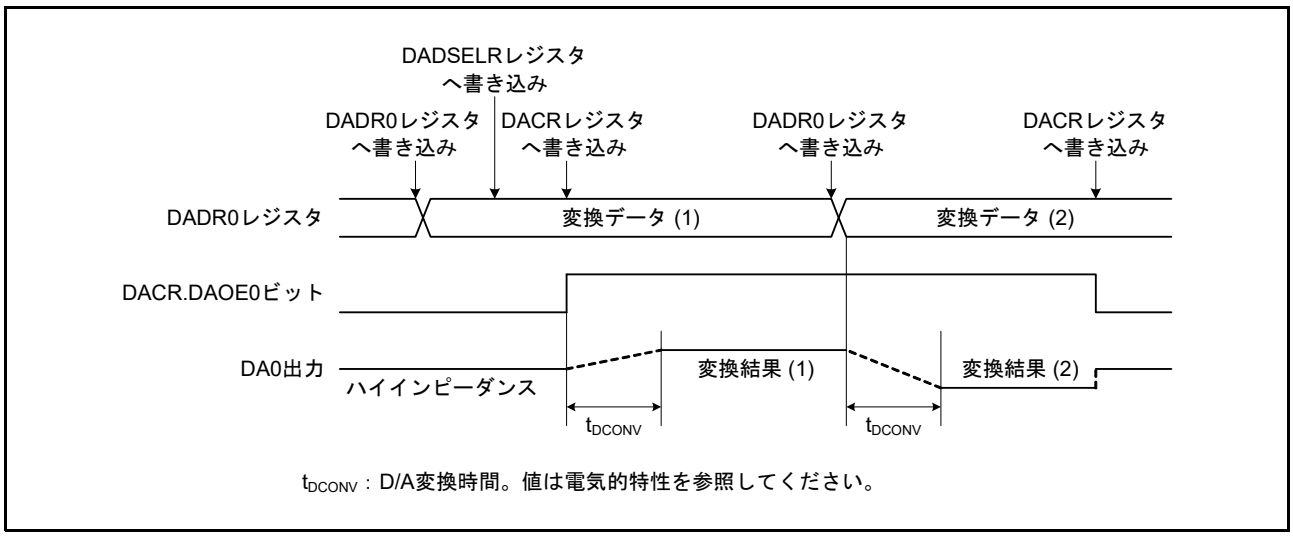


図 43.2　12 ビット D/A コンバータの動作例

43.3.1 D/A 変換と A/D 変換の干渉対策

D/A 変換が始まると 12 ビット D/A コンバータにはラッシュカレントが発生します。12 ビット D/A コンバータと 12 ビット A/D コンバータ (ユニット 2) のアナログ電源が共通のため、発生したラッシュカレントが 12 ビット A/D コンバータ (ユニット 2) の変換に干渉することがあります。

DAADSCR.DAADST ビットを “1” にしている場合、12 ビット A/D コンバータ (ユニット 2) が A/D 変換中に DADRm レジスタ (m = 0, 1) にデータを書き換えても、すぐに変換されず、12 ビット A/D コンバータ (ユニット 2) の A/D 変換終了タイミングに同期して変換を開始します。DADRm レジスタへの書き込みから D/A 変換回路の入力に反映するまで最大 A/D 変換 1 回分待たされます。その間 DADRm レジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADRm レジスタの値が D/A 変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADST ビットを “1” にしている場合であっても、12 ビット A/D コンバータ (ユニット 2) が ADCSR.ADST ビットを “0” にして停止中であれば DADRm レジスタにデータを書き換えると、1 PCLKB 後に D/A 変換を開始します。

図 43.3 に 12 ビット D/A コンバータを 12 ビット A/D コンバータ (ユニット 2) に同期変換させる場合のチャネル 0 の D/A 変換の動作例を示します。

(1) 12 ビット A/D コンバータ (ユニット 2) が停止中であることを確認し、DAADSCR.DAADST ビットを “1” にする。

(2) 12 ビット A/D コンバータ (ユニット 2) が停止中であることを確認し、DACR.DAOE0 ビットを “1” にする。

(3) DADR0 レジスタを設定する (ADCLK が周辺モジュールクロックよりも速い場合は、A/D 変換 1 回分以上待たされる場合があります)。

- DADR0 レジスタを書き換えたとき、12 ビット A/D コンバータ (ユニット 2) が停止していた場合 (ADCSR.ADST ビット = 0)、1PCLKB 後に D/A 変換が開始されます。
- DADR0 レジスタを書き換えたとき、12 ビット A/D コンバータ (ユニット 2) が A/D 変換中の場合 (ADCSR.ADST ビット = 1)、A/D 変換終了時に D/A 変換が開始されます。
  A/D 変換中に 2 回、DADR0 レジスタを書き換えた場合、1 回目の値は、D/A 変換されないことがあります。

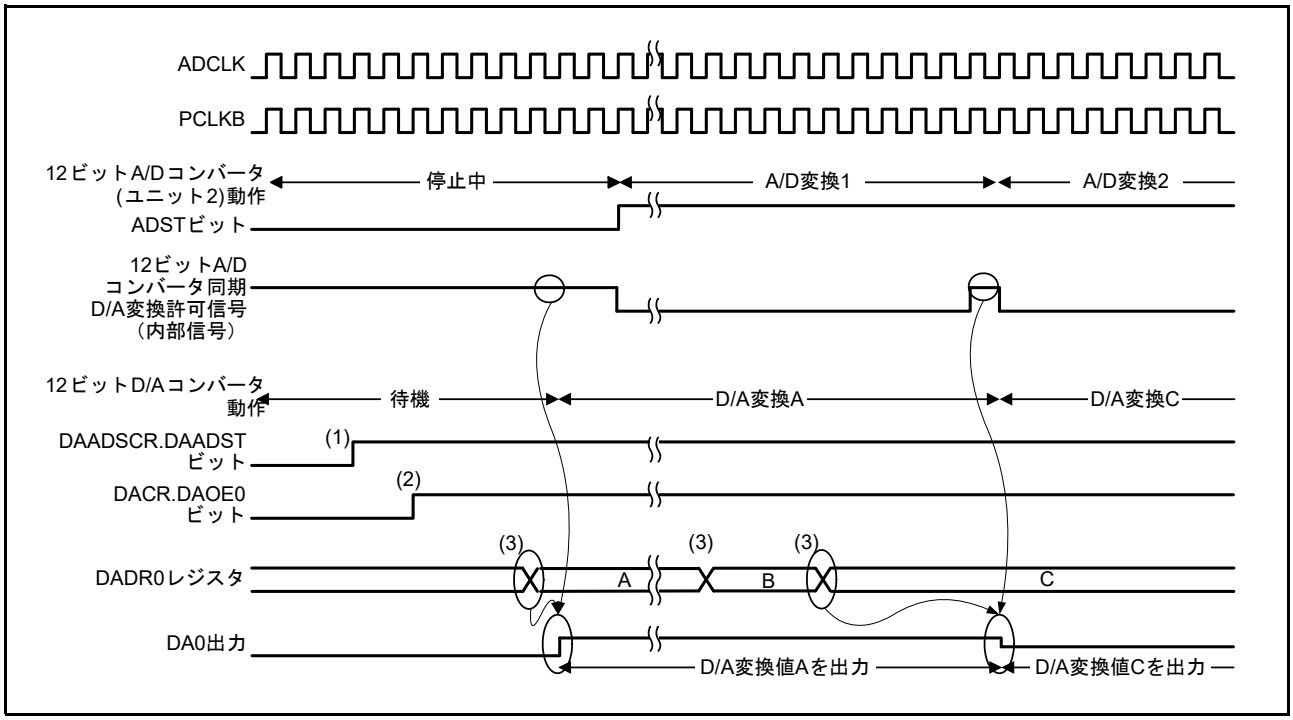


図 43.3　12 ビット D/A コンバータを 12 ビット A/D コンバータ (ユニット 2) に同期して変換する例

ADCLK が PCLKB よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 1 周期分の 12 ビット A/D コンバータ同期 D/A 変換許可信号を 12 ビット D/A コンバータが取り込めない可能性があります。図 43.4 に 12 ビット D/A コンバータが 12 ビット A/D コンバータ同期 D/A 変換許可信号を取り込めない例を示します。この場合、DA0 出力は D/A 変換値 A の出力を継続します。

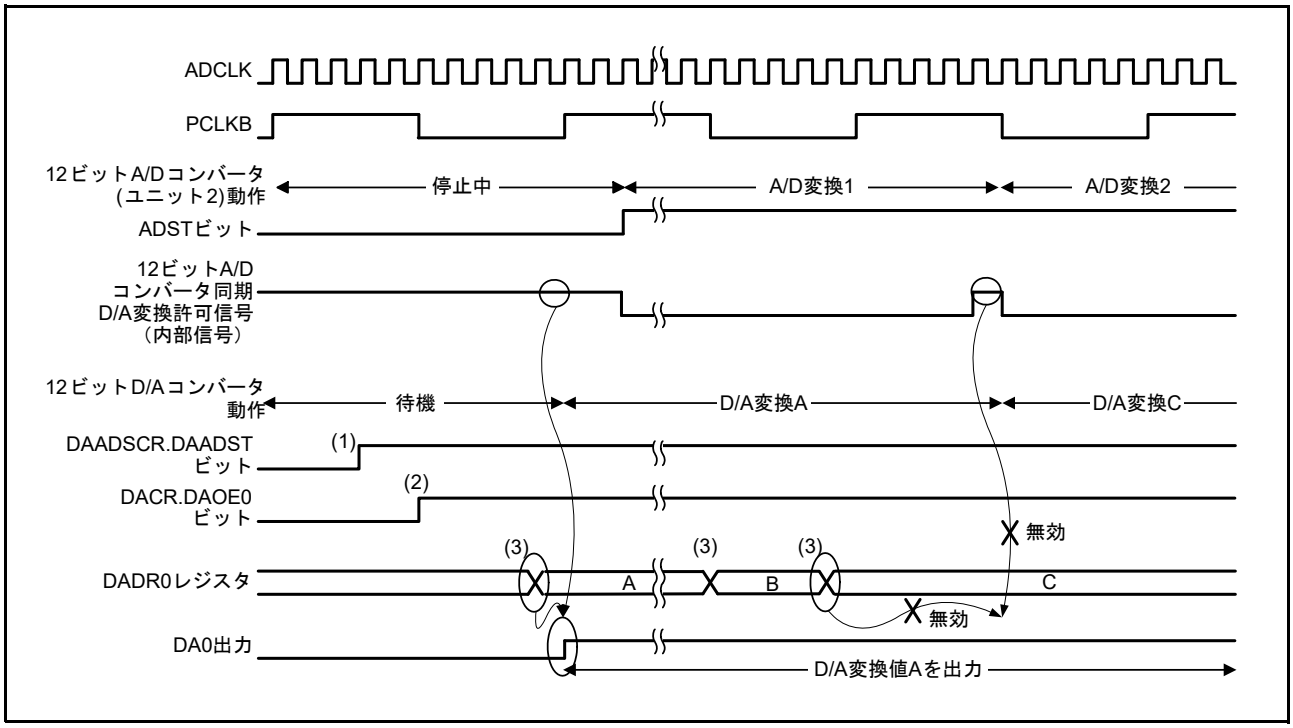


図 43.4　12 ビット D/A コンバータが 12 ビット A/D コンバータ同期 D/A 変換許可信号を取り込めない例

43.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

(1) DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
(2) DADSELR レジスタで D/A コンバータの出力先を選択します。
(3) ELC の ELSR16 レジスタにリンクする ELSR16 設定イベント信号のビットの値を設定します。
(4) ELCR.ELCON ビットを “1” にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
(5) イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが “1” になり、チャネル 0 の D/A 変換が開始されます。
(6) 12 ビット D/A コンバータのチャネル 0 のイベントリンク動作を停止するときは、ELSR16.ELS[7:0] ビットに “0000 0000b” を設定してください。また ELCR.ELCON ビットを “0” にすることにより、全モジュールのイベントリンク動作が停止します。

43.5 イベントリンク動作における注意事項

(1) イベントリンク機能を使用する場合、DACR.DAE ビットは “0” に設定してください。
(2) DACR.DAOE0 ビットへの書き込みサイクル中に ELSR16 レジスタで設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による “1” 設定が優先されます。
(3) D/A 変換と A/D 変換の干渉対策として、DAADSCR.DAADST ビットを “1” にする場合、イベントリンク機能は使用禁止です。

43.6 使用上の注意事項

43.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12 ビット D/A コンバータの動作禁止 / 許可を設定することが可能です。初期値では、12 ビット D/A コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は**「11. 消費電力低減機能」**を参照してください。

43.6.2 モジュールストップ時の D/A コンバータの動作

D/A 変換を許可した状態でモジュールストップ状態になると D/A コンバータの出力は保持され、アナログ電源電流は D/A 変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A コンバータの出力を禁止してください。

43.6.3 ソフトウェアスタンバイモード時の D/A コンバータの動作

D/A 変換を許可した状態でソフトウェアスタンバイモードになると D/A コンバータの出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A コンバータの出力を禁止してください。

43.6.4 D/A 変換と A/D 変換の干渉対策有効時の注意事項

DAADSCR.DAADST ビットが “1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、12 ビット A/D コンバータ (ユニット 2) をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換が停止する可能性があります。

43.6.5 D/A コンバータの出力をコンパレータ C の基準電圧に使用するときの注意事項

DADSELR.OUTREFn ビット (n = 0, 1) を “1” にする場合は、**「45.4.5 D/A コンバータの設定について」**を参照してください。

43.6.6 DAn 端子 (n = 0, 1) とコンパレータ C への同時出力に関する注意事項

DADSELR.OUTDAn ビットと OUTREFn ビットを同時に “1” にした場合、DAn 端子に接続された負荷の影響で、電気的特性に記載された特性が満たせないことがあります。両出力を有効にする場合は、十分に評価した上で使用してください。

44. 温度センサ (TEMPS)

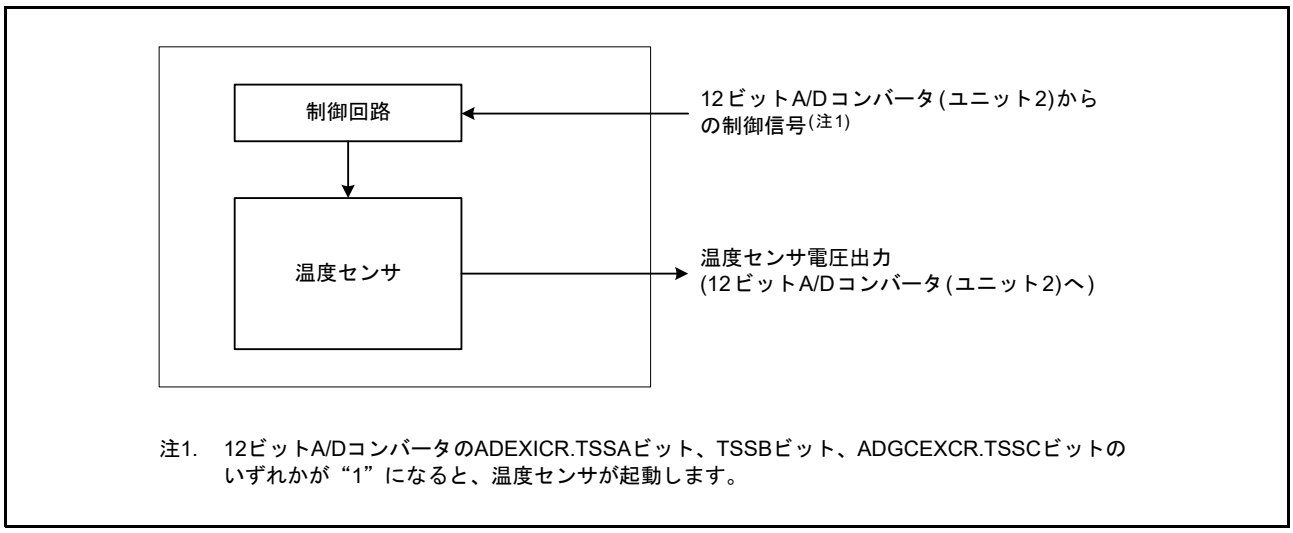
44.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度に比例した電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータ (ユニット 2) でデジタル値に変換し、温度に換算することで MCU の内部温度を求めることができます。

表 44.1 に温度センサの仕様を示します。**図 44.1** に温度センサのブロック図を示します。

表44.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ(ユニット2)へ出力
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納



注1. 12ビットA/DコンバータのADEXICR.TSSAビット、TSSBビット、ADGCEXCR.TSSCビットのいずれかが“1”になると、温度センサが起動します。

図 44.1 温度センサのブロック図

44.2 レジスタの説明

44.2.1 温度センサ校正データレジスタ (TSCDR)

アドレス TEMPS.TSCDR 007F B17Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0	チップごとの固有値											

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。TSCDR レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、Tj = 125°C、AVCC2 = 5 V の条件における温度センサの出力電圧を、12 ビット A/D コンバータ (ユニット 2) でデジタル変換した値です。

TSCDR レジスタの値から、Tj = 125°C における温度センサの出力電圧 V1 は、

V1 = 5 × TSCDR レジスタ値 /4096 [V]

と計算できます。なお、温度センサの出力電圧 V1 は、AVCC2 の電圧には依存しません。

44.3 温度センサの使用方法

温度センサは、温度に比例する電圧を出力します。この電圧を 12 ビット A/D コンバータ (ユニット 2) を用いてデジタル変換し、温度に換算することで MCU の内部温度を求めることができます。

44.3.1 使用前の準備

温度センサのキャリブレーションを実施します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式
T = (Vs – V1)/Slope + T1

T：測定温度 (°C)
Vs：温度測定時の温度センサの出力電圧 (V)
T1：1 点目の試行測定時の温度 (°C)
V1：1 点目の試行測定時の温度センサの出力電圧 (V)
T2：2 点目の試行測定時の温度 (°C)
V2：2 点目の試行測定時の温度センサの出力電圧 (V)
Slope：温度センサの温度傾斜 (V/°C)　Slope = (V2 – V1)/(T2 – T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。
まず、温度 T1 のときの温度センサの出力電圧 V1 を 12 ビット A/D コンバータ (ユニット 2) で試行測定することで求めます。
次に、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を 12 ビット A/D コンバータ (ユニット 2) にて試行測定することで求めます。
両者の測定結果から、温度傾斜 (Slope = (V2 – V1)/(T2 – T1)) を求めます。
この Slope を温度特性の式に代入し、測定温度 T = (Vs – V1)/Slope + T1 を求めます。

また、「49. 電気的特性」の表 49.50 に記載の温度傾斜を使用すれば、温度 T1 のときの温度センサの出力電圧 V1 を、12 ビット A/D コンバータ (ユニット 2) で試行測定によって求めるだけで、下記式により測定温度が算出できます。なお、本測定温度精度は 2 点測定方法よりも劣ります。

T = (Vs – V1)/Slope + T1

T：測定温度 (°C)
Vs：温度測定時の温度センサの出力電圧 (V)
T1：1 点目の試行測定時の温度 (°C)
V1：1 点目の試行測定時の温度センサの出力電圧 (V)
Slope：表 49.50 に記載の温度傾斜 ÷ 1000 (V/°C)

また、本 MCU は、TSCDR レジスタに、Tj = 125°C、AVCC2 = 5 V の条件における温度センサの温度測定値 (CAL_{125}) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。
CAL_{125} から V1 を求めると、

$V1 = 5 \times CAL_{125}/4096$ [V]

となり、これを用いると、測定温度は下記の式にて算出できます。

$T = (Vs - V1)/Slope + 125$ [°C]

T：測定温度 (MCU の内部温度) (°C)
Vs：温度測定時の温度センサの出力電圧 (V)
V1：Tj = 125°C、AVCC2 = 5 V 時の温度センサの出力電圧 (V)
Slope：表 49.50 に記載の温度傾斜 ÷ 1000 (V/°C)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 44.2 のとおりです。

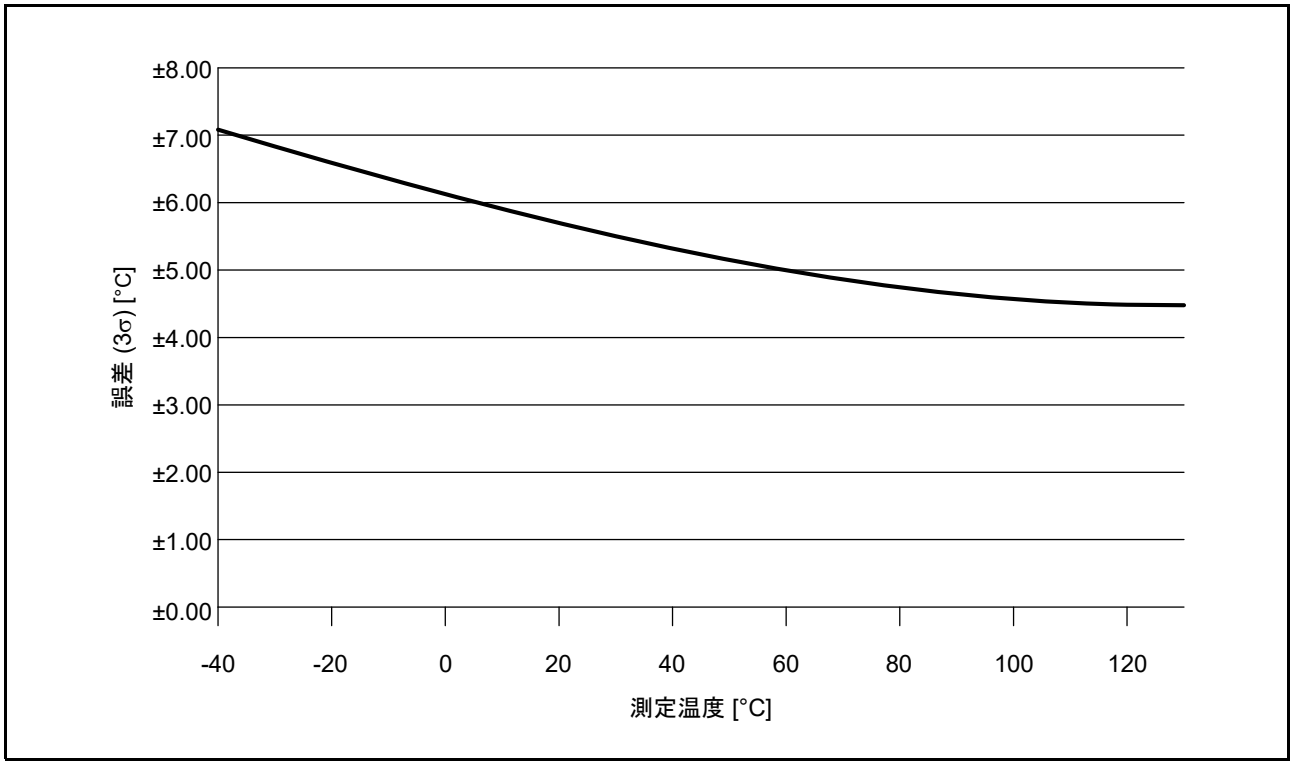


図 44.2 製品の測定温度誤差

44.3.2 12 ビット A/D コンバータ (ユニット 2) の設定

温度センサの出力を A/D 変換するために、12 ビット A/D コンバータ (ユニット 2) のレジスタを以下のように設定する必要があります。

- **温度センサ出力の A/D 変換対象への選択**

A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA、TSSB または ADGCEXCR.TSSC) を “1” に設定し、温度センサ出力を A/D 変換対象に選択します。

- **スキャンモードの設定**

A/D コントロールレジスタのスキャンモード選択ビット (ADCSR.ADCS[1:0]) を設定し、スキャンモードを選択します。シングルスキャンモードまたはグループスキャンモードに設定してください。

- **加算 / 平均モードの設定**

温度センサの出力を A/D 変換する際、加算モードと平均モードの選択が可能です。加算モードと平均モードいずれのモードを使用する場合でも、A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換値加算モード選択ビット (ADEXICR.TSSAD) を “1” に設定し、A/D 変換値加算回数選択レジスタの加算回数選択ビット (ADADC.ADC[2:0]) に加算回数を設定してください。

加算モードを選択する場合は、ADADC.AVEE ビットを “0” に、平均モードを選択する場合は、ADADC.AVEE ビットを “1” にしてください。ただし、平均モードを選択する場合は、ADADC.ADC[2:0] ビットを “010b”、“101b” に設定しないでください。

- **12 ビット A/D コンバータ (ユニット 2) のサンプリング時間の設定**

温度センサの出力を A/D 変換する際、サンプリング時間を変更することができます。初期値は 27 クロックです。サンプリング時間を 27 クロックから変更する場合は、ADCSR.ADST ビットが “0” のときに A/D サンプリングステートレジスタ T (ADSSTRT) を設定してください。サンプリング時間の設定範囲は「42.2.20 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ～ 11, L, T, O)」を参照してください。サンプリング時間は「49. 電気的特性」に記載された仕様を満たすように設定してください。

A/D コントロールレジスタの A/D 変換スタートビット (ADCSR.ADST) を “1” にすると、A/D 変換を開始し、A/D 温度センサデータレジスタ (ADTSDR) に A/D 変換結果が格納されます。温度センサの出力を A/D 変換する際は、「44.3.3 温度センサの使用手順」に従ってください。

44.3.3 温度センサの使用手順

図 44.3 に温度センサの使用手順フローを示します。

注1. 加算/平均モードを使用しない場合は、設定不要です。平均モードを選択する場合は、ADADC.ADC[2:0]ビットを“010b”および“101b”に設定しないでください。
注2. 加算/平均モードを使用しない場合は、設定不要です。
注3. サンプリング時間の初期値は27クロックです。サンプリング時間を変更しない場合は、設定不要です。

図 44.3 温度センサの使用手順フロー

44.3.4 温度センサ出力の A/D 変換タイミング

シングルスキャンモードで温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作から A/D 変換完了までのタイミングを**図 44.4** に、温度センサ動作から A/D 変換完了までの時間を**表 44.2** に示します。

温度センサ出力を A/D 変換する場合、ASDT ビットを “1” にすると、サンプリングの前にオートディスチャージが行われます。温度センサの A/D 変換時間には、このオートディスチャージ時間が含まれます。

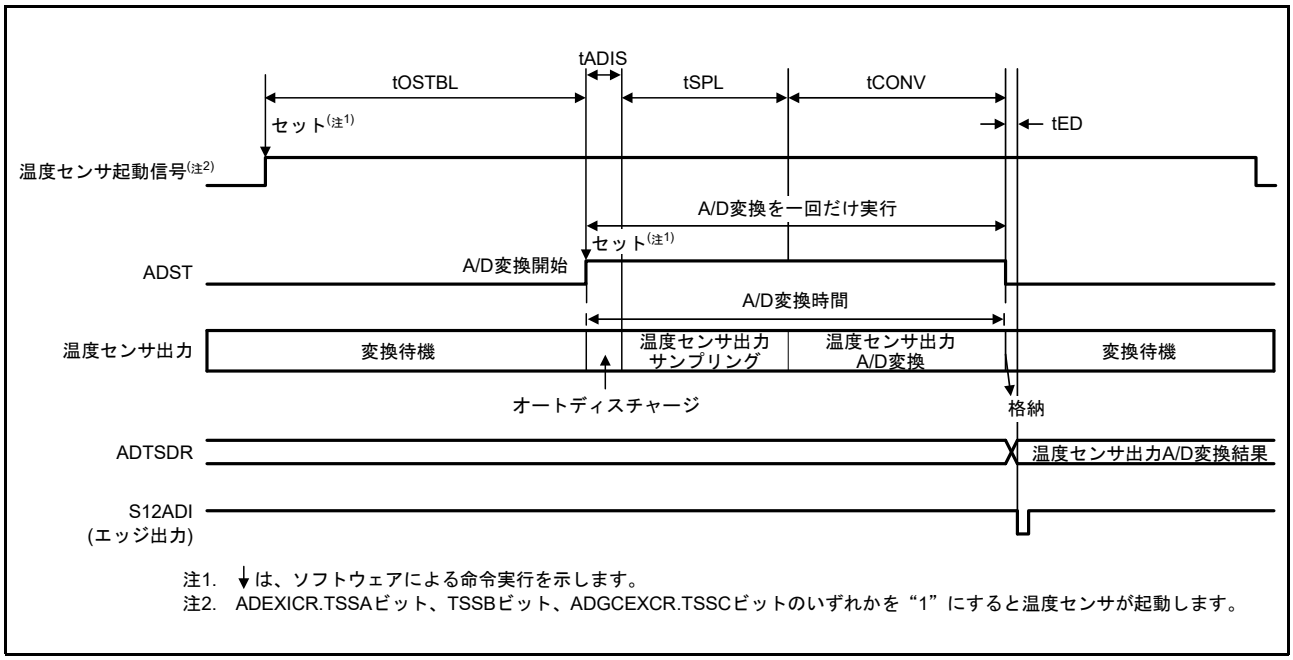


図 44.4 温度センサの動作から A/D 変換完了までのタイミング

表44.2 温度センサの動作からA/D変換完了までの時間

項目	記号	時間
温度センサ出力安定待ち時間	tOSTBL	200 µs (min)
オートディスチャージ時間	tADIS	15 × tC(ADCLK)
12ビットA/Dコンバータ(ユニット2)入力サンプリング時間	tSPL	ADSSTRTの設定値 × tC(ADCLK)
A/D変換処理時間	tCONV	「42.3.7 アナログ入力のサンプリング時間とスキャン変換時間」の「表42.23 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)」を参照
スキャン変換終了遅延時間	tED	「42.3.7 アナログ入力のサンプリング時間とスキャン変換時間」の「表42.23 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)」を参照

44.4 使用上の注意事項

44.4.1 温度センサの動作設定

温度センサは 12 ビット A/D コンバータのユニット 2 (S12AD2) 内のレジスタで制御されます。温度センサを動作させる場合は、S12AD2 のモジュールストップ状態を解除した後に ADEXICR.TSSA ビット、TSSB ビットまたは ADGCEXCR.TSSC ビットを “1” にしてください。詳細は、**「42. 12 ビット A/D コンバータ (S12ADHa)」**を参照してください。

45. コンパレータ C (CMPCa)

45.1 概要

コンパレータ C はリファレンス入力電圧とアナログ入力電圧を比較します。リファレンス入力電圧とアナログ入力電圧の比較結果はソフトウェアで読むことも、外部端子に出力することもできます。また、比較結果の変化を検出して割り込み要求を発生させることもできます。

コンパレータ C のリファレンス入力電圧は、CVREFC0、CVREFC1 端子からの入力、内蔵 D/A コンバータ 0 出力、または内蔵 D/A コンバータ 1 出力のいずれかから選択できます。

アナログ入力は 4 系統あり、いずれか 1 つを選択します。

表 45.1 にコンパレータ C の仕様を、**図 45.1** にコンパレータ C のブロック図を、**表 45.2** にコンパレータ C の入出力端子を、**表 45.3** にコンパレータ C のアナログ入力端子接続先を示します。

本章に記載している PCLK とは PCLKB を指します。

表45.1 コンパレータCの仕様

項目	内容
チャネル数	6チャネル(コンパレータC0～コンパレータC5)
アナログ入力電圧	CMPCnm端子(n = チャネル番号、m = 0～3)からの入力電圧
リファレンス入力電圧	CVREFC0、CVREFC1端子からの入力電圧、内蔵D/Aコンバータ0出力電圧、または内蔵D/Aコンバータ1出力電圧
比較結果	比較結果を外部出力可能
デジタルフィルタ機能	• 3種類のサンプリング周期の選択可能 • フィルタ未使用も可能 • ノイズフィルタを通した信号から割り込み要求出力、ELCへのイベント出力の生成、POE要因出力の生成(注1)、およびレジスタを介して比較結果を読み出し可能
割り込み要求	• 比較結果の有効エッジを検出して割り込み要求を発生 • 有効エッジは、比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジから選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. POEの場合はレベル検出信号のみ。POEGの場合はレベル検出信号とエッジ検出信号。

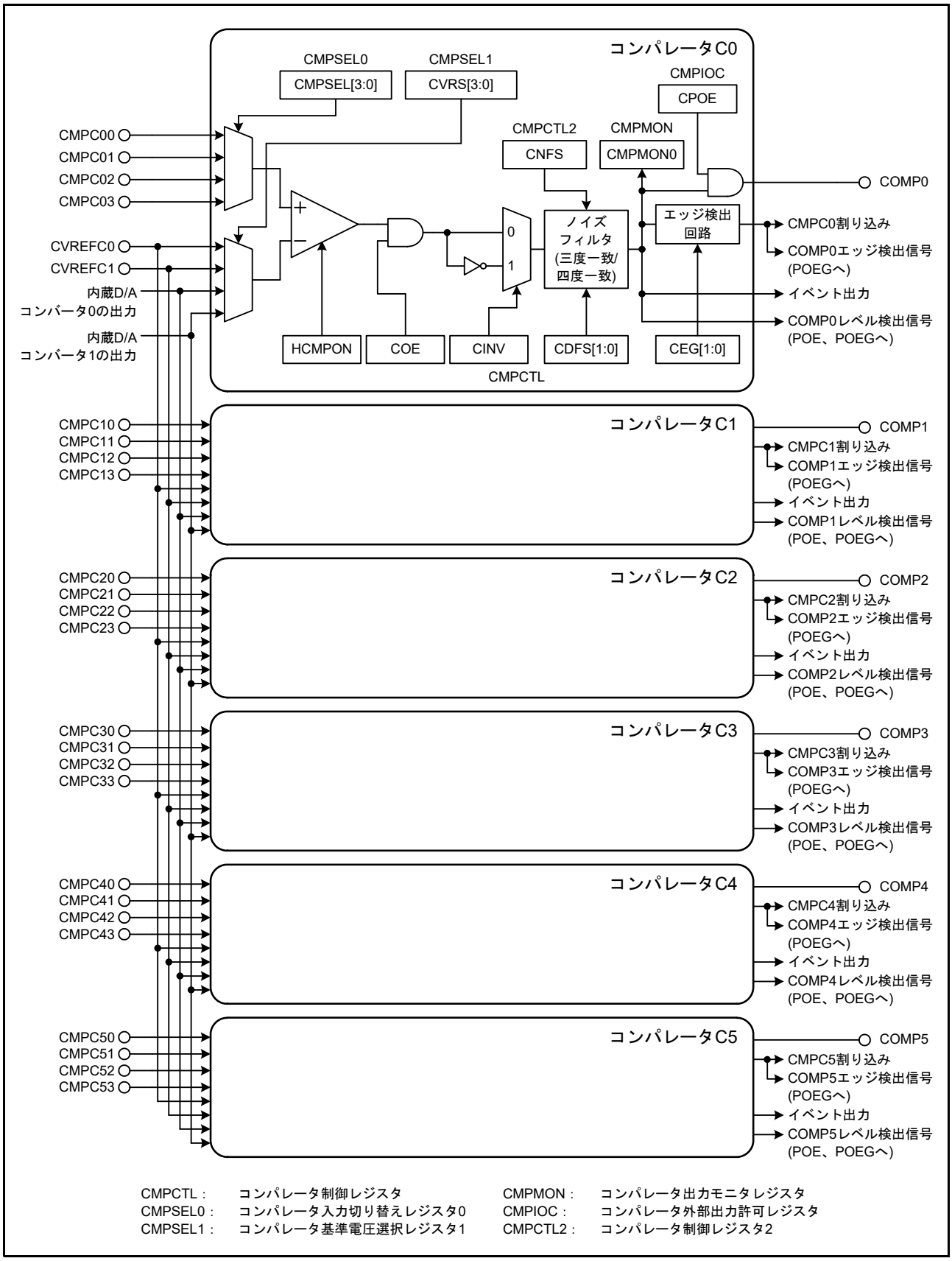


図 45.1 コンパレータ C のブロック図

表45.2 コンパレータCの入出力端子

端子名	入出力	機能
CMPC00, CMPC01, CMPC02, CMPC03	入力	CMPC0用アナログ入力端子
CMPC10, CMPC11, CMPC12, CMPC13	入力	CMPC1用アナログ入力端子
CMPC20, CMPC21, CMPC22, CMPC23	入力	CMPC2用アナログ入力端子
CMPC30, CMPC31, CMPC32, CMPC33	入力	CMPC3用アナログ入力端子
CMPC40, CMPC41, CMPC42, CMPC43	入力	CMPC4用アナログ入力端子
CMPC50, CMPC51, CMPC52, CMPC53	入力	CMPC5用アナログ入力端子
CVREFC0	入力	リファレンス入力電圧端子0
CVREFC1	入力	リファレンス入力電圧端子1
COMP0	出力	CMPC0比較結果出力端子
COMP1	出力	CMPC1比較結果出力端子
COMP2	出力	CMPC2比較結果出力端子
COMP3	出力	CMPC3比較結果出力端子
COMP4	出力	CMPC4比較結果出力端子
COMP5	出力	CMPC5比較結果出力端子

表45.3 コンパレータCのアナログ入力端子接続先

アナログ入力端子	接続先	
	RAM：48Kバイト製品	RAM：64Kバイト製品
CMPC00	AN000端子	AN000端子
CMPC01	AN004端子	AN000端子プログラマブルゲインアンプ出力
CMPC02	AN200端子	AN200端子
CMPC03	AN206端子	AN206端子
CMPC10	AN001端子	AN001端子
CMPC11	AN005端子	AN001端子プログラマブルゲインアンプ出力
CMPC12	AN201端子	AN201端子
CMPC13	AN000端子	AN207端子
CMPC20	AN002端子	AN002端子
CMPC21	AN006端子	AN002端子プログラマブルゲインアンプ出力
CMPC22	AN202端子	AN202端子
CMPC23	AN003端子	AN209端子
CMPC30	—	AN100端子
CMPC31	—	AN100端子プログラマブルゲインアンプ出力
CMPC32	—	AN203端子
CMPC33	—	AN210端子
CMPC40	—	AN101端子
CMPC41	—	AN101端子プログラマブルゲインアンプ出力
CMPC42	—	AN204端子
CMPC43	—	AN208端子
CMPC50	AN003端子	AN102端子
CMPC51	AN208端子	AN102端子プログラマブルゲインアンプ出力
CMPC52	AN210端子	AN205端子
CMPC53	AN211端子	AN211端子

45.2 レジスタの説明

45.2.1 コンパレータ制御レジスタ (CMPCTL)

アドレス　CMPC0.CMPCTL 000A 0C80h, CMPC1.CMPCTL 000A 0CA0h, CMPC2.CMPCTL 000A 0CC0h, CMPC3.CMPCTL 000A 0CE0h, CMPC4.CMPCTL 000A 0D00h, CMPC5.CMPCTL 000A 0D20h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMPON	CDFS[1:0]		CEG[1:0]		—	COE	CINV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性切り替えビット (注1、注4)	0：コンパレータ出力非反転 1：コンパレータ出力反転	R/W
b1	COE	コンパレータ出力許可ビット	0：コンパレータ出力禁止(“0”出力に固定) 1：コンパレータ出力許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CEG[1:0]	コンパレータエッジ割り込み検出選択ビット	b4 b3 0 0：割り込み要求を生成しない 0 1：立ち上がりエッジ 1 0：立ち下がりエッジ 1 1：立ち上がり、立ち下がりの両エッジ	R/W
b6-b5	CDFS[1:0]	ノイズフィルタサンプリング選択ビット(注1、注2、注4)	b6 b5 0 0：ノイズフィルタ未使用 0 1：PCLK/8でサンプリング 1 0：PCLK/16でサンプリング 1 1：PCLK/32でサンプリング	R/W
b7	HCMPON	コンパレータ動作許可ビット(注3)	0：動作停止(コンパレータの出力は“0”) 1：動作許可(コンパレータの端子入力許可)	R/W

注.　イベント出力を使用する場合、ELCのレジスタを設定する前に、このレジスタを設定してください。
注.　コンパレータ出力をPOE要因として使用する場合、POEのレジスタを設定する前に、このレジスタを設定してください。
注1.　CINV、CDFS[1:0]ビットの書き換えは、コンパレータの出力を禁止(COEビット = 0)した後で行ってください。
注2.　CDFS[1:0]ビットを“00b”(ノイズフィルタ未使用)から“00b”以外(ノイズフィルタを使用)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、CMPCn割り込み要求出力やイベント出力、POE要因出力を使用してください。
注3.　コンパレータ動作を許可(HCMPONビット = 1)に設定後、動作安定待ち時間が必要です。値は、「49.　電気的特性」を参照してください。
注4.　CINVビット、CDFS[1:0]ビットを変更するとCMPCn割り込み要求およびイベント出力、POE要因が発生することがあります。これらのビットは、ELCのレジスタ設定でコンパレータ出力をリンクさせない設定、POE/POEGのレジスタ設定でコンパレータ出力を出力停止制御に使用しない設定にしてから変更してください。また、変更後に対応する割り込み要求レジスタの割り込みステータスフラグ(IR)、POEのコンパレータチャネルn出力検出フラグ(n = 0～5)、POEGのGPTWまたはCMPC出力停止要求検出フラグを“0”にしてください。

CEG[1:0] ビット (コンパレータエッジ割り込み検出選択ビット)

コンパレータ出力信号のどのエッジで割り込み要求を生成するかを選択するビットです。有効エッジの設定は、CINV ビットおよび CDFS[1:0] ビットにより、コンパレータ出力信号を反転 / 非反転処理、ノイズフィルタ未使用 / 使用処理した信号に対して設定されます。

45.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0)

アドレス　CMPC0.CMPSEL0 000A 0C84h, CMPC1.CMPSEL0 000A 0CA4h, CMPC2.CMPSEL0 000A 0CC4h, CMPC3.CMPSEL0 000A 0CE4h, CMPC4.CMPSEL0 000A 0D04h, CMPC5.CMPSEL0 000A 0D24h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPSEL[3:0]	コンパレータ入力切り替えビット (注1、注2、注3)	• コンパレータC0の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC00を選択 0 0 1 0：CMPC01を選択 0 1 0 0：CMPC02を選択 1 0 0 0：CMPC03を選択 上記以外は設定しないでください • コンパレータC1の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC10を選択 0 0 1 0：CMPC11を選択 0 1 0 0：CMPC12を選択 1 0 0 0：CMPC13を選択 上記以外は設定しないでください • コンパレータC2の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC20を選択 0 0 1 0：CMPC21を選択 0 1 0 0：CMPC22を選択 1 0 0 0：CMPC23を選択 上記以外は設定しないでください • コンパレータC3の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC30を選択 0 0 1 0：CMPC31を選択 0 1 0 0：CMPC32を選択 1 0 0 0：CMPC33を選択 上記以外は設定しないでください • コンパレータC4の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC40を選択 0 0 1 0：CMPC41を選択 0 1 0 0：CMPC42を選択 1 0 0 0：CMPC43を選択 上記以外は設定しないでください • コンパレータC5の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC50を選択 0 0 1 0：CMPC51を選択 0 1 0 0：CMPC52を選択 1 0 0 0：CMPC53を選択 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　CMPSEL[3:0]ビットの書き換えは、以下の手順で行ってください。CMPSEL[3:0]ビットが“0000b”でないときに、“0000b”以

外の書き込みは無効です。2ビット以上“1”となる値を書いた場合も無効です。いずれの場合も前の値を保持します。
(1) CMPCTL.COEビットを“0”にする
(2) CMPSEL[3:0]ビットを“0000b”にする
(3) CMPSEL[3:0]ビットを新しい設定値(いずれか1ビットのみ“1”)にする
(4) 入力切り替えの安定時間を待つ。値は、「49.　電気的特性」を参照してください。
(5) CMPCTL.COEビットを“1”にする
(6) 対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を“0”にする
(7) 対応するPOEGのGPTWまたはCMPC出力停止要求検出フラグ(POEGGj.IOCF (j = A～D))を“0”にする

注2. イベント出力を使用する場合、ELCのレジスタを設定した後に、このビットに書き込むとイベント信号が出力されることがあるので注意してください。

注3. COMPnレベル検出信号をPOE要因として使用する場合、POEのレジスタを設定した後に、このビットに書き込むとPOE要因が発生することがあるので注意してください。

45.2.3　コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス　CMPC0.CMPSEL1 000A 0C88h, CMPC1.CMPSEL1 000A 0CA8h, CMPC2.CMPSEL1 000A 0CC8h, CMPC3.CMPSEL1 000A 0CE8h, CMPC4.CMPSEL1 000A 0D08h, CMPC5.CMPSEL1 000A 0D28h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CVRS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CVRS[3:0]	リファレンス入力電圧選択ビット (注1、注2、注3、注4)	b3　b0 0 0 0 0：入力なし 0 0 0 1：リファレンス入力電圧に内蔵D/Aコンバータ1の出力を選択 0 0 1 0：リファレンス入力電圧に内蔵D/Aコンバータ0の出力を選択 0 1 0 0：リファレンス入力電圧にCVREFC1入力を選択 1 0 0 0：リファレンス入力電圧にCVREFC0入力を選択 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 内蔵D/Aコンバータの出力を使用する場合、コンパレータの動作を許可(CMPCTL.HCMPONビット = 1)する前に、D/Aコンバータを設定してください。D/Aコンバータの設定については「43.　12ビットD/Aコンバータ(R12DAb)」を参照してください。

注2. CVRS[3:0]ビットの書き換えは、以下の手順で行ってください。設定値を変えるときは、CVRS[3:0]ビットを“0000b”にしてから設定値を変更してください。“0001b”から“0010b”、“0010b”から“0001b”などのように直接書き換えようとしても無視されます。
(1) CMPCTL.COEビットを“0”にする
(2) CVRS[3:0]ビットを“0000b”にする
(3) CVRS[3:0]ビットを新しい設定値(いずれか1ビットのみ“1”)にする
(4) 入力切り替えの安定時間を待つ。値は、「49.　電気的特性」を参照してください。
(5) CMPCTL.COEビットを“1”にする
(6) 対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を“0”にする
(7) 対応するPOEGのGPTWまたはCMPC出力停止要求検出フラグ(POEGGj.IOCF (j = A～D))を“0”にする

注3. イベント出力を使用する場合、ELCのレジスタを設定した後に、このビットに書き込むとイベント信号が出力されることがあるので注意してください。

注4. COMPnレベル検出信号をPOE要因として使用する場合、POEのレジスタを設定した後に、このビットに書き込むとPOE要因が発生することがあるので注意してください。

45.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス CMPC0.CMPMON 000A 0C8Ch, CMPC1.CMPMON 000A 0CACh, CMPC2.CMPMON 000A 0CCCh, CMPC3.CMPMON 000A 0CECh, CMPC4.CMPMON 000A 0D0Ch, CMPC5.CMPMON 000A 0D2Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPMON0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPMON0	コンパレータ出力モニタフラグ (注1)	0：コンパレータ出力は“0” 1：コンパレータ出力は“1”	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ノイズフィルタ未使用(CMPCTL.CDFS[1:0]ビット = 00b)の設定でコンパレータを動作(CMPCTL.HCMPON、COEビット = 1)させる場合は、CMPMON0ビットを2回リードし、一致したときのみその値を使用してください。

45.2.5 コンパレータ外部出力許可レジスタ (CMPIOC)

アドレス CMPC0.CMPIOC 000A 0C90h, CMPC1.CMPIOC 000A 0CB0h, CMPC2.CMPIOC 000A 0CD0h, CMPC3.CMPIOC 000A 0CF0h, CMPC4.CMPIOC 000A 0D10h, CMPC5.CMPIOC 000A 0D30h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	外部端子出力許可ビット	コンパレータの比較結果を外部端子へ出力します。 0：コンパレータ外部端子出力禁止(Low出力に固定) 1：コンパレータ外部端子出力許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

45.2.6 コンパレータ制御レジスタ 2 (CMPCTL2)

アドレス CMPC0.CMPCTL2 000A 0C98h, CMPC1.CMPCTL2 000A 0CB8h, CMPC2.CMPCTL2 000A 0CD8h, CMPC3.CMPCTL2 000A 0CF8h, CMPC4.CMPCTL2 000A 0D18h, CMPC5.CMPCTL2 000A 0D38h

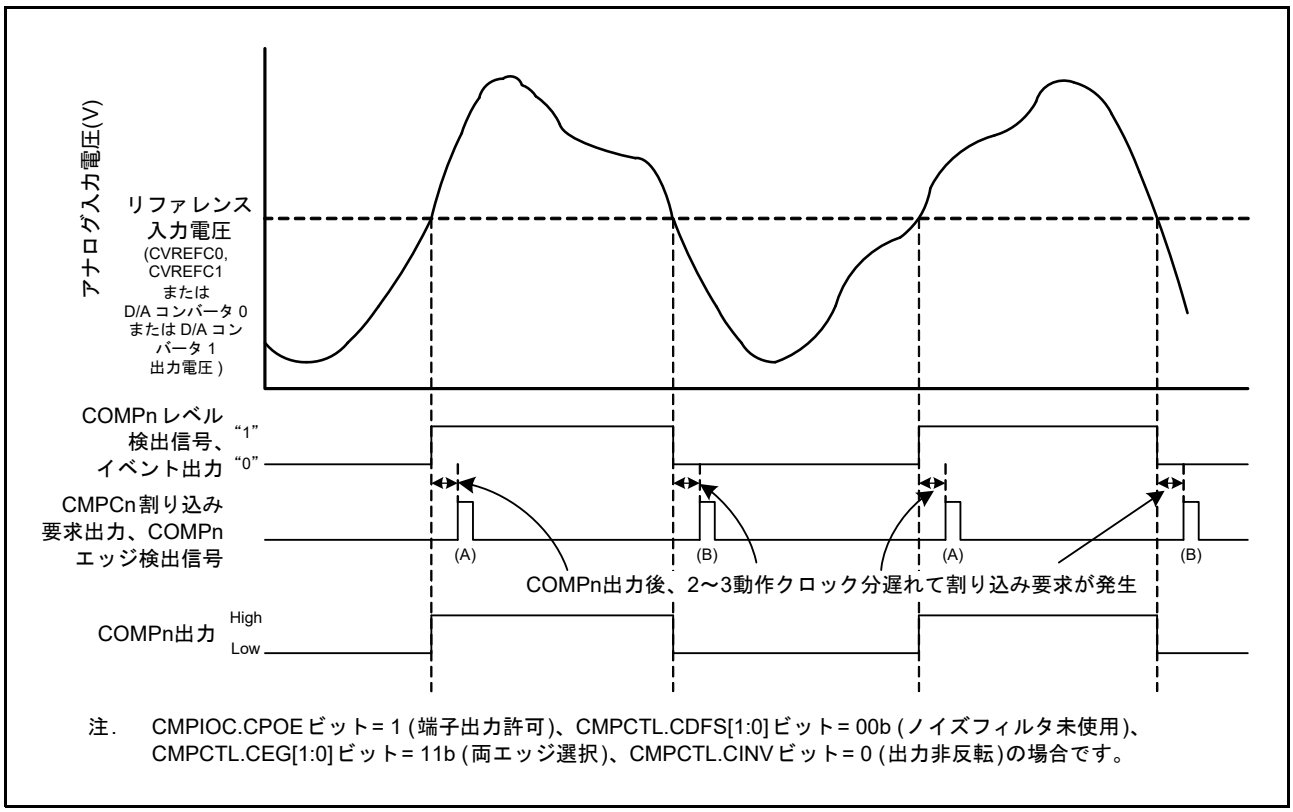
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CNFS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CNFS	ノイズフィルタ判定基準設定ビット	0：三度一致 1：四度一致	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

45.3 動作説明

45.3.1 コンパレータ動作例

図 45.2 にコンパレータの動作例を示します。リファレンス入力電圧よりアナログ入力電圧が高い場合に COMPn レベル検出信号 (n = 0 ～ 5) が High になり、リファレンス入力電圧よりアナログ入力電圧が低い場合に COMPn レベル検出信号が Low になります (CMPCTL.CINV ビットが “0” の場合)。COMPn レベル検出信号はイベント出力信号としても使われ、また CMPIOC.CPOE ビットが “1” の場合、COMPn 端子から出力されます。また、コンパレータ出力が変化すると割り込み要求、COMPn エッジ検出信号を生成します。



注. CMPIOC.CPOE ビット = 1 (端子出力許可)、CMPCTL.CDFS[1:0] ビット = 00b (ノイズフィルタ未使用)、CMPCTL.CEG[1:0] ビット = 11b (両エッジ選択)、CMPCTL.CINV ビット = 0 (出力非反転)の場合です。

図 45.2 コンパレータの動作例 (n = 0 ～ 5)

45.3.2　ノイズフィルタ

コンパレータ C は、ノイズフィルタを内蔵しています。サンプリングクロックは CMPCTL.CDFS[1:0] ビットで、一致回数は CMPCTL2.CNFS ビットで選択できます。サンプリングクロックごとにコンパレータの出力信号をサンプリングし、レベルが 3 回または 4 回一致した次のサンプリングクロックで、ノイズフィルタ出力がその値になります。

図 45.3 にノイズフィルタとエッジ検出回路の構成を、図 45.4 にノイズフィルタと割り込み動作例を示します。

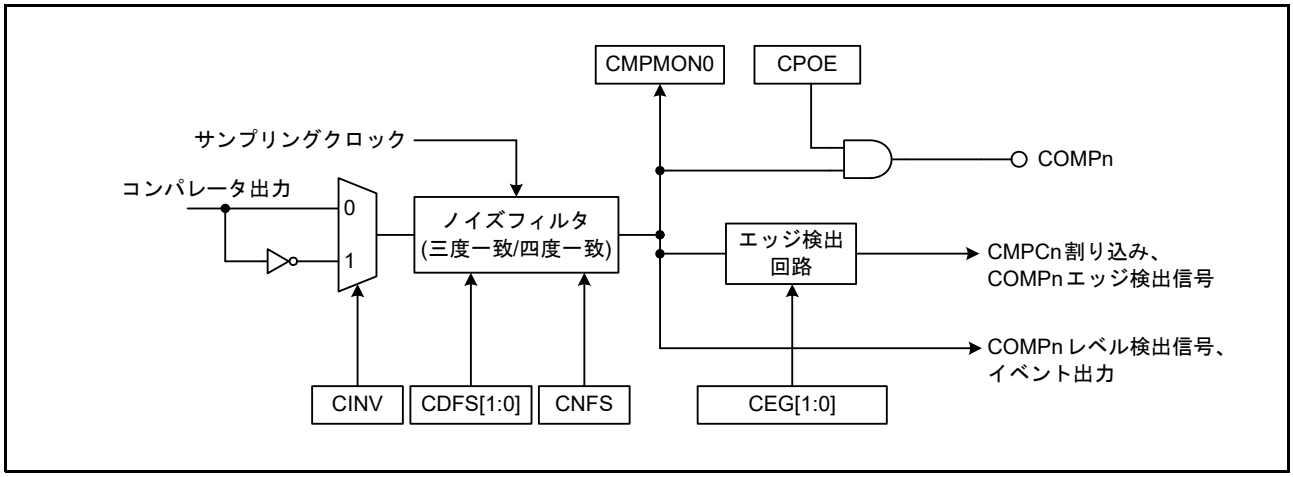
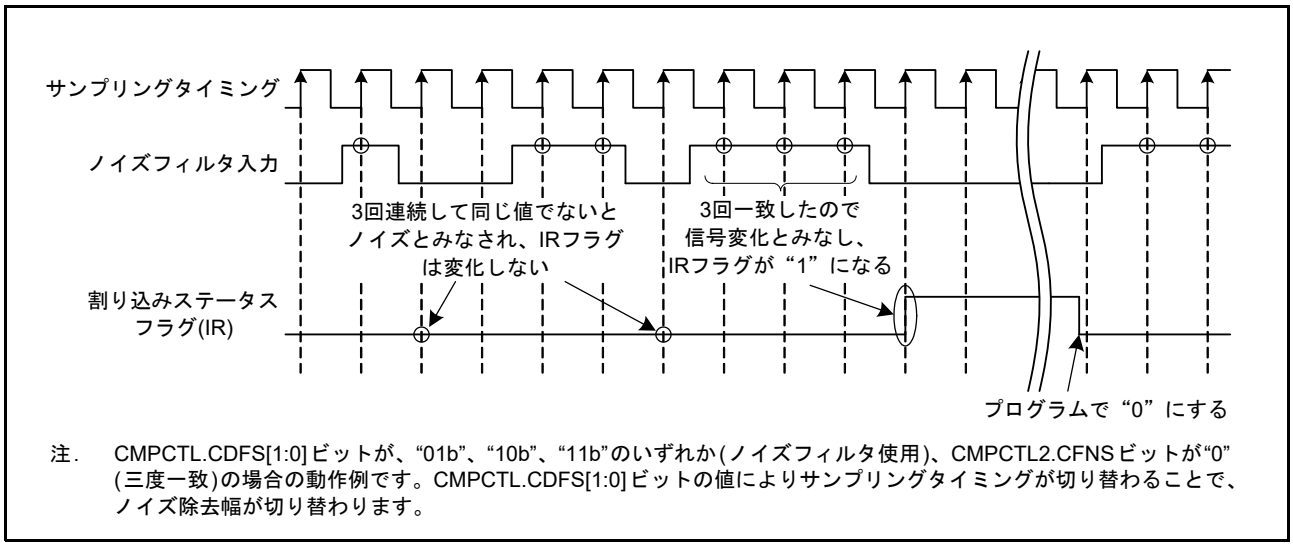


図 45.3　ノイズフィルタとエッジ検出回路の構成 (n = 0 ～ 5)



注.　CMPCTL.CDFS[1:0]ビットが、“01b”、“10b”、“11b”のいずれか(ノイズフィルタ使用)、CMPCTL2.CFNSビットが“0”(三度一致)の場合の動作例です。CMPCTL.CDFS[1:0]ビットの値によりサンプリングタイミングが切り替わることで、ノイズ除去幅が切り替わります。

図 45.4　ノイズフィルタと割り込み動作例

45.3.3 割り込み

コンパレータ C は比較結果の変化を検出して割り込み要求を発生させます。

CMPCn 割り込みを使用するときは、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを “1” (“00b”(割り込み要求を生成しない) 以外の設定) にしてください。

CMPCn 割り込みを使用する場合は、以下の手順で設定してください。ただし、(1)、(2)、(3) は順不同です。

(1) リファレンス入力電圧に内蔵 D/A コンバータの出力を使用する場合は、D/A コンバータを設定し、D/A 変換を許可する。
(2) CMPSEL0、CMPSEL1 レジスタでコンパレータの入力を設定する。
(3) CMPCTL.CINV、CDFS[1:0] ビット、CMPCTL2.CNFS ビットを設定し、反転 / 非反転処理およびノイズフィルタのサンプリングタイミング、一致回数を選択する。
(4) コンパレータの割り込み検出エッジを有効 (CMPCTL.CEG[1:0] ビットを “00b” 以外) にする。
(5) コンパレータの入力を許可 (CMPCTL.HCMPON ビットを “1”) し、コンパレータの動作安定時間を待つ。値は、**「49. 電気的特性」**を参照してください。
(6) コンパレータの出力を許可 (CMPCTL.COE ビットを “1”) する。

45.3.4 コンパレータの端子出力

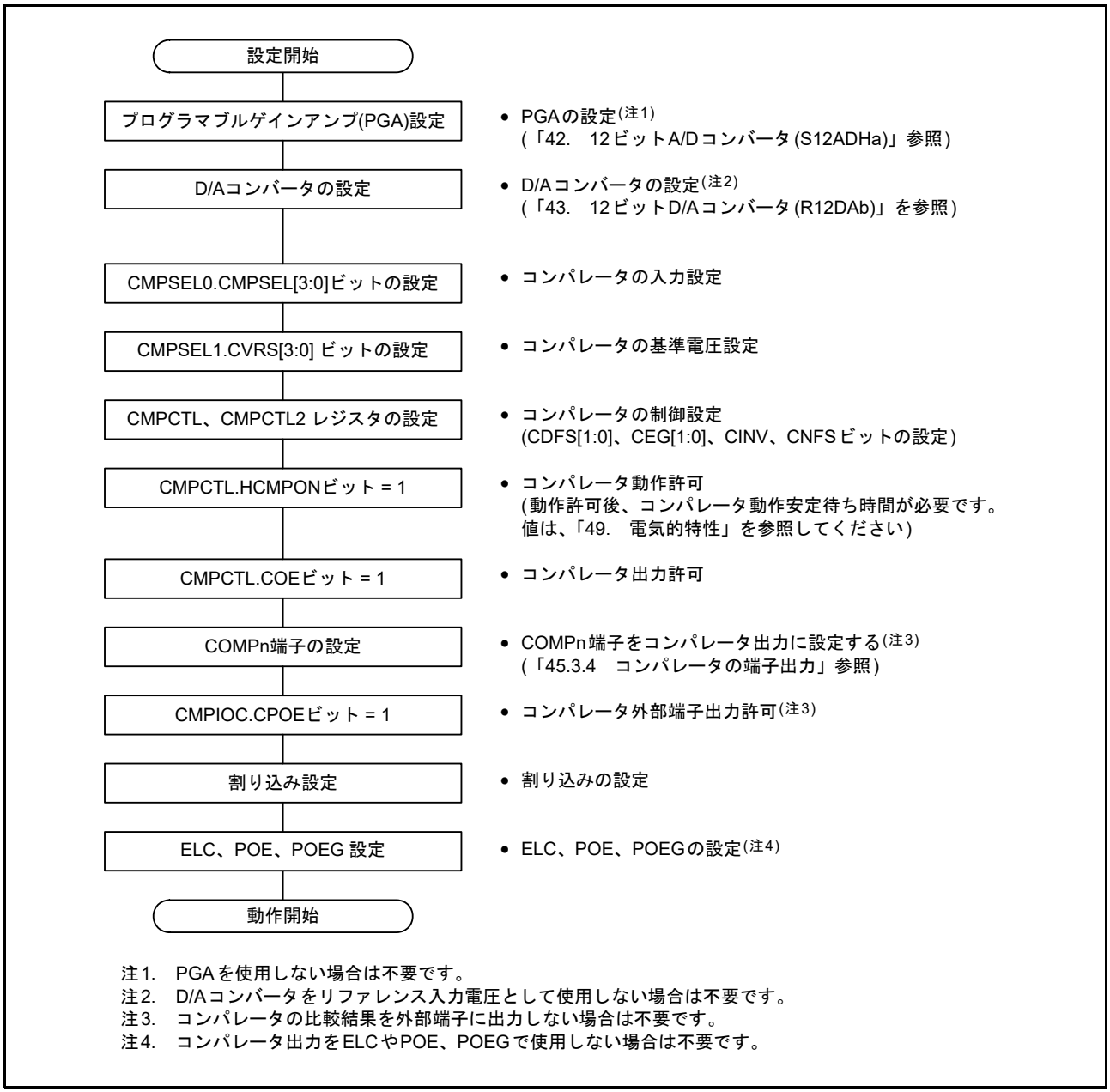
コンパレータの比較結果を COMPn 端子 (n ＝ 0 ～ 5) に出力することができます。CMPCTL.CINV ビットや CMPIOC.CPOE ビットにより、出力極性 (非反転出力 / 反転出力) や出力許可 / 禁止を設定できます。

コンパレータの比較結果を COMPn 端子に出力する場合は、以下の手順で設定してください (リセット後、ポートは入力設定になっています)。

(1) **「45.3.3 割り込み」**に示す手順の (1) ～ (3) および (5)、(6) を行う。
(2) コンパレータの比較結果を外部端子へ出力 (CMPIOC.CPOE ビットを “1”) する。
(3) 各コンパレータの出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする。

45.3.5　コンパレータの設定手順

図 45.5 にコンパレータの動作設定フローを示します。



注1.　PGAを使用しない場合は不要です。
注2.　D/Aコンバータをリファレンス入力電圧として使用しない場合は不要です。
注3.　コンパレータの比較結果を外部端子に出力しない場合は不要です。
注4.　コンパレータ出力をELCやPOE、POEGで使用しない場合は不要です。

図 45.5　コンパレータ動作設定フローチャート (n = 0 ～ 5)

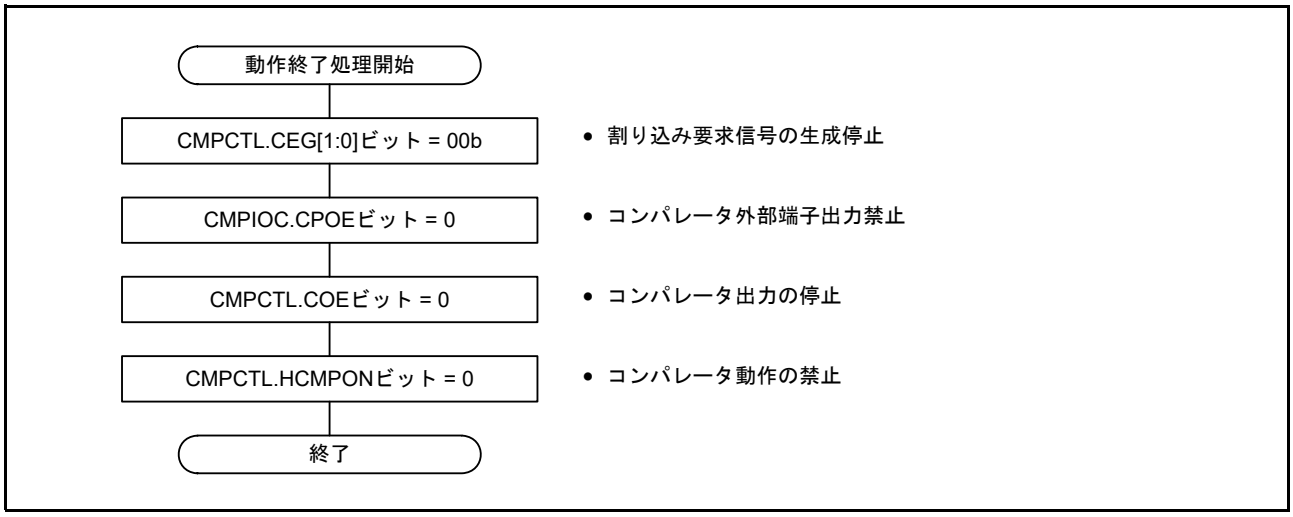


図 45.6 コンパレータ動作終了フローチャート

45.4 使用上の注意事項

45.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ C の動作禁止 / 許可を設定することが可能です。リセット解除後は、コンパレータ C の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は**「11. 消費電力低減機能」**を参照してください。

45.4.2 モジュールストップ時のコンパレータ C の動作

コンパレータ C を動作させたままモジュールストップ状態に遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを “0” にしてコンパレータ C を停止させてください。

45.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させたままソフトウェアスタンバイモードに遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを “0” にしてコンパレータ C を停止させてください。

45.4.4 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作

プログラマブルゲインアンプ (PGA) と 12 ビット A/D コンバータは同じモジュールストップ信号で制御されていますので、12 ビット A/D コンバータがモジュールストップ中は、以下の PGA 出力の比較はできません。

- AN000 端子 PGA 出力
- AN001 端子 PGA 出力
- AN002 端子 PGA 出力
- AN100 端子 PGA 出力
- AN101 端子 PGA 出力
- AN102 端子 PGA 出力

12 ビット A/D コンバータがモジュールストップ中は、以下のアナログ端子の比較はできません。

- AN000 端子
- AN001 端子
- AN002 端子
- AN100 端子
- AN101 端子
- AN102 端子

45.4.5 D/A コンバータの設定について

D/A コンバータの設定は、D/A 出力先選択レジスタ (DADSELR) でコンパレータ C への出力設定を行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

46. データ演算回路 (DOCA)

46.1 概要

データ演算回路 (DOC) は、16 または 32 ビットのデータを比較、加算または減算する機能です。

表 46.1 にデータ演算回路 (DOC) の仕様、**図 46.1** に DOC のブロック図を示します。

16 または 32 ビットのデータを比較し、選択した条件に合致した場合、または加算 / 減算の結果がオーバフロー / アンダフローした場合に割り込みを発生させることができます。

表46.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	• 16または32ビットデータの比較(一致/不一致、大小、範囲内外) • 16または32ビットデータの加算、または減算
消費電力低減機能	モジュールストップ状態への遷移が可能
割り込み	• データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)、または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき(オーバフロー) • データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)、または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき(アンダフロー)
イベントリンク機能(出力)	• データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)、または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき(オーバフロー) • データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)、または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき(アンダフロー)

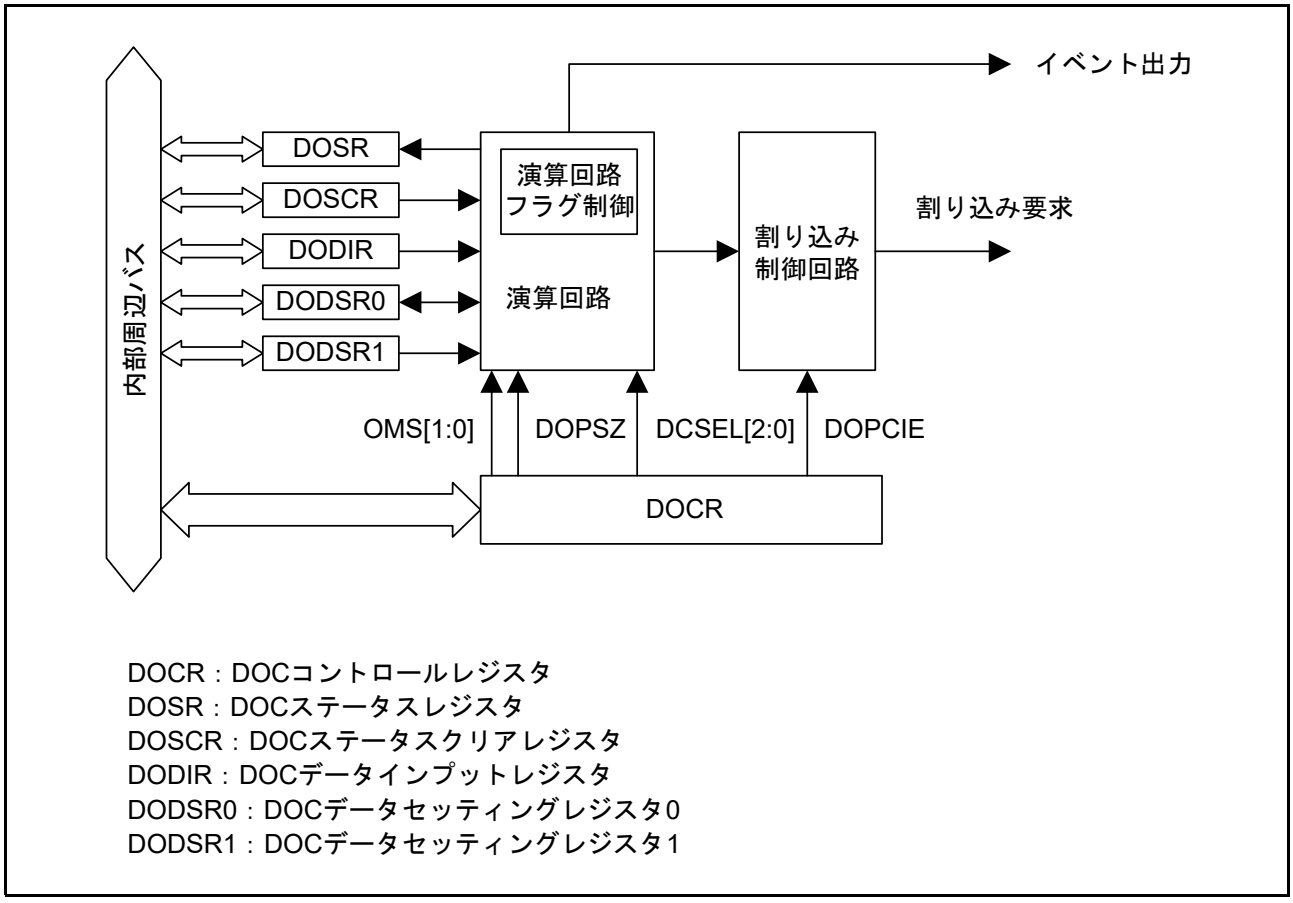


図 46.1 DOC のブロック図

46.2 レジスタの説明

46.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 000A 0580h

	b7	b6	b5	b4	b3	b2	b1	b0
	DOPCIE	DCSEL[2:0]			DOPSZ	—	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0：データ比較モード 0 1：データ加算モード 1 0：データ減算モード 1 1：設定禁止	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DOPSZ	データ演算サイズ選択ビット	0：16ビット幅 1：32ビット幅	R/W
b6-b4	DCSEL[2:0]	検出条件選択ビット(注1)	b6 b4 0 0 0：不一致(DODIR ≠ DODSR0) 0 0 1：一致(DODIR = DODSR0) 0 1 0：小さい(DODIR < DODSR0) 0 1 1：大きい(DODIR > DODSR0) 1 0 0：範囲内(DODSR0 < DODIR < DODSR1) 1 0 1：範囲外(DODIR < DODSR0, DODSR1 < DODIR) 上記以外：設定禁止	R/W
b7	DOPCIE	データ演算回路割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W

注1. データ比較モード選択時のみ有効

DOCR レジスタは、DOC の動作モードの設定や、割り込みの許可 / 禁止を設定するレジスタです。

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定により DOC の動作モードを選択します。

DOPSZ ビット (データ演算サイズ選択ビット)

本ビットの設定によりデータ演算サイズを選択します。

DCSEL[2:0] ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが “1” の場合、データ演算回路割り込みを許可します。

46.2.2 DOC ステータスレジスタ (DOSR)

アドレス DOC.DOSR 000A 0584h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DOPCF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOPCF	データ演算結果フラグ	演算結果を示します	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DOSR レジスタはデータ演算の結果を示すステータスレジスタです。

DOPCF フラグ (データ演算結果フラグ)

[“1” になる条件]

- DOCR.OMS[1:0] ビットが “00b” (データ比較モード) で、データ比較の結果が DOCR.DCSEL[2:0] ビットで選択した検出条件に合致したとき
- DOCR.OMS[1:0] ビットが “01b” (データ加算モード) で、データ加算の結果が “FFFFh” (DOCR.DOPSZ = 0 の場合) または “FFFF FFFFh” (DOCR.DOPSZ = 1 の場合) より大きくなったとき
- DOCR.OMS[1:0] ビットが “10b” (データ減算モード) で、データ減算の結果が “0000h” (DOCR.DOPSZ = 0 の場合) または “0000 0000h” (DOCR.DOPSZ = 1 の場合) より小さくなったとき

[“0” になる条件]

- DOSCR.DOPCFCL ビットに “1” を書き込んだとき

46.2.3 DOC ステータスクリアレジスタ (DOSCR)

アドレス DOC.DOSCR 000A 0588h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DOPCFCL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOPCFCL	データ演算結果クリアビット	0 : DOPCF フラグの値を保持 1 : DOPCF フラグをクリア	W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DOSCR レジスタは DOPCF フラグをクリアするためのレジスタです。読むと “00h” が読めます。

DOPCFCL フラグ (データ演算結果クリアビット)

本ビットに “1” を書くと DOSR.DOPCF フラグがクリアされます。

46.2.4 DOC データインプットレジスタ (DODIR)

アドレス DOC.DODIR 000A 058Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。
DODIR レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

46.2.5 DOC データセッティングレジスタ 0 (DODSR0)

アドレス DOC.DODSR0 000A 0590h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DODSR0 レジスタは、比較対象のデータを格納する、または演算結果が格納される読み書き可能なレジスタです。
DODSR0 レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。
データ比較モードでは、比較の基準となるデータを格納してください。範囲内 (DOCR.DCSEL[2:0] = 100b) または範囲外 (DOCR.DCSEL[2:0] = 101b) を選択したときは、範囲の下限値を設定してください。
データ加算モードおよびデータ減算モードでは、演算結果が格納されます。

46.2.6 DOC データセッティングレジスタ 1 (DODSR1)

アドレス DOC.DODSR1 000A 0594h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DODSR1 レジスタは、比較対象のデータを格納する読み書き可能なレジスタです。

DODSR1 レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

データ比較モードで範囲内 (DOCR.DCSEL[2:0] = 100b) または範囲外 (DOCR.DCSEL[2:0] = 101b) を選択したときに、範囲の上限値を設定してください。

本レジスタは、範囲内、範囲外を選択したとき以外は使用しません。

46.3 動作説明

46.3.1 データ比較モード

図 46.2 ～図 46.7 にデータ比較モード(注 1)の動作例を示します。
DOC は、データ比較モード時、以下のように動作します。
以下は演算サイズが 32 ビット幅の場合の動作例です。

(1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。また、同時に DOCR.DCSEL[2:0] ビットに書き込みを行い、検出条件を選択します。
(2) DODSR0 レジスタと DODSR 1 レジスタに比較の基準となるデータを設定します。(注 2)
(3) DODIR レジスタに比較するデータを書き込みます。
(4) DODIR レジスタに書き込まれたデータが DOCR.DCSEL[2:0] で設定した検出条件に合致したとき DOSR.DOPCF フラグが “1” になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. 比較は DODIR レジスタへの書き込みと同時に行われます。DODSR0/DODSR1 レジスタへの書き込みでは行われません。

注 2. DODSR1 レジスタの設定は範囲内または範囲外を選択したときのみ必要です。DODSR1 レジスタ設定値 > DODSR0 レジスタ設定値となるように設定してください。

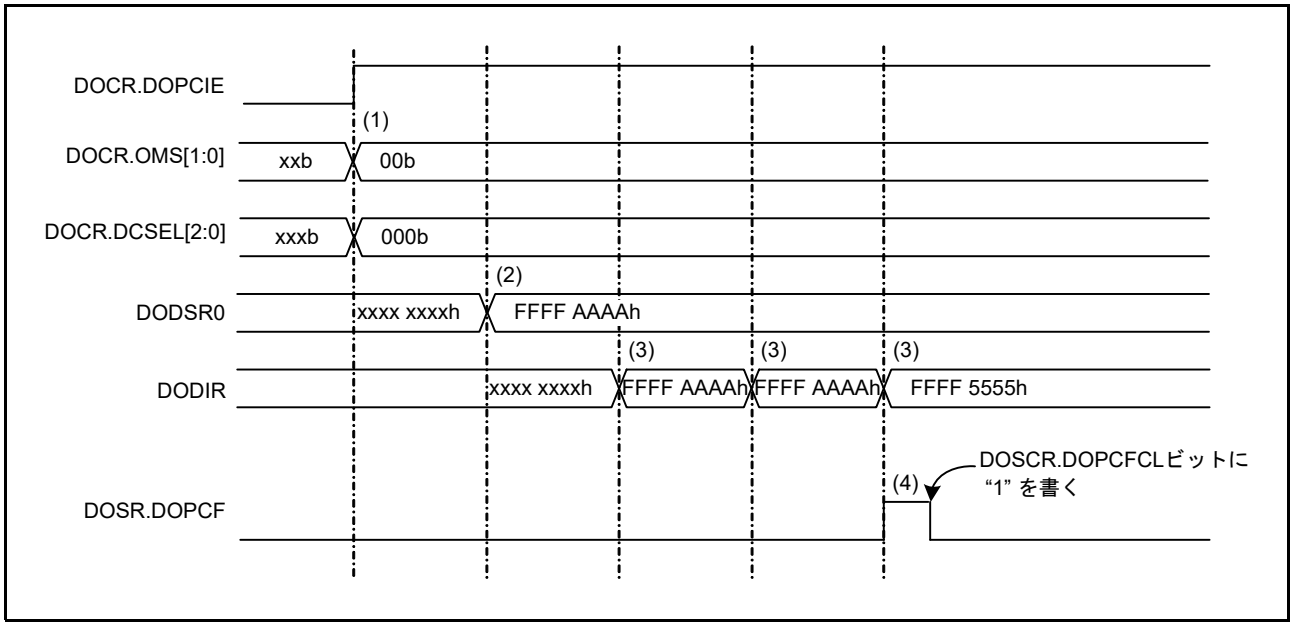


図 46.2 データ比較モードの動作例 (検出条件：不一致)

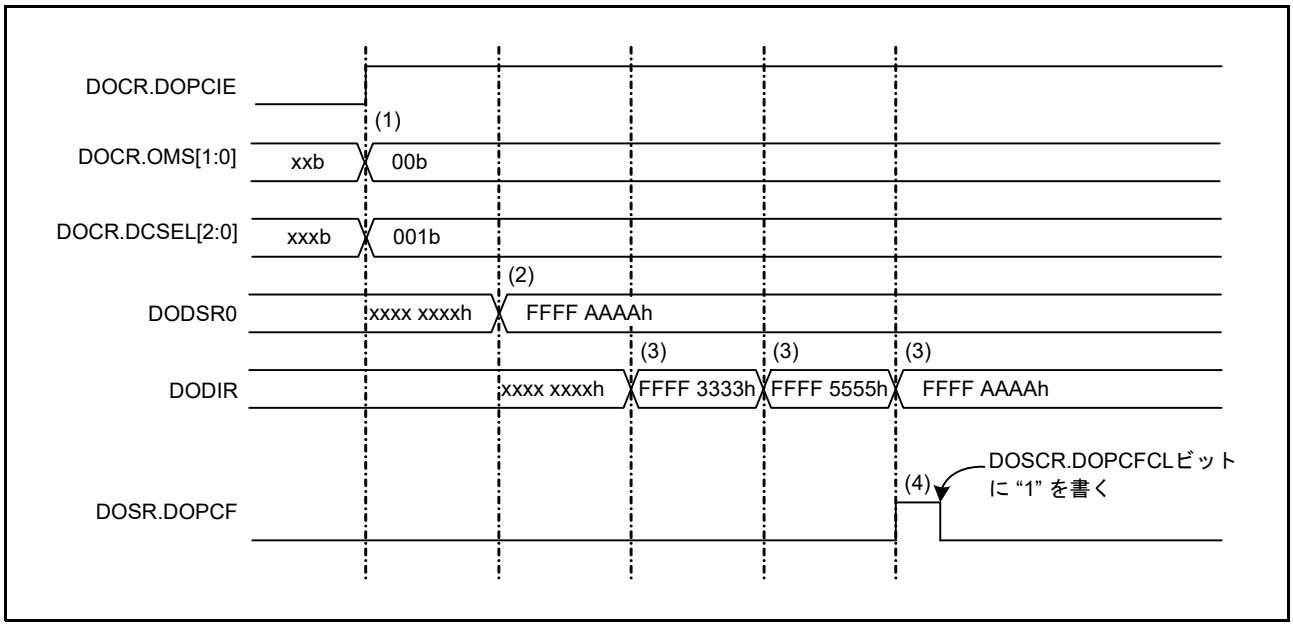


図 46.3　データ比較モードの動作例 (検出条件：一致)

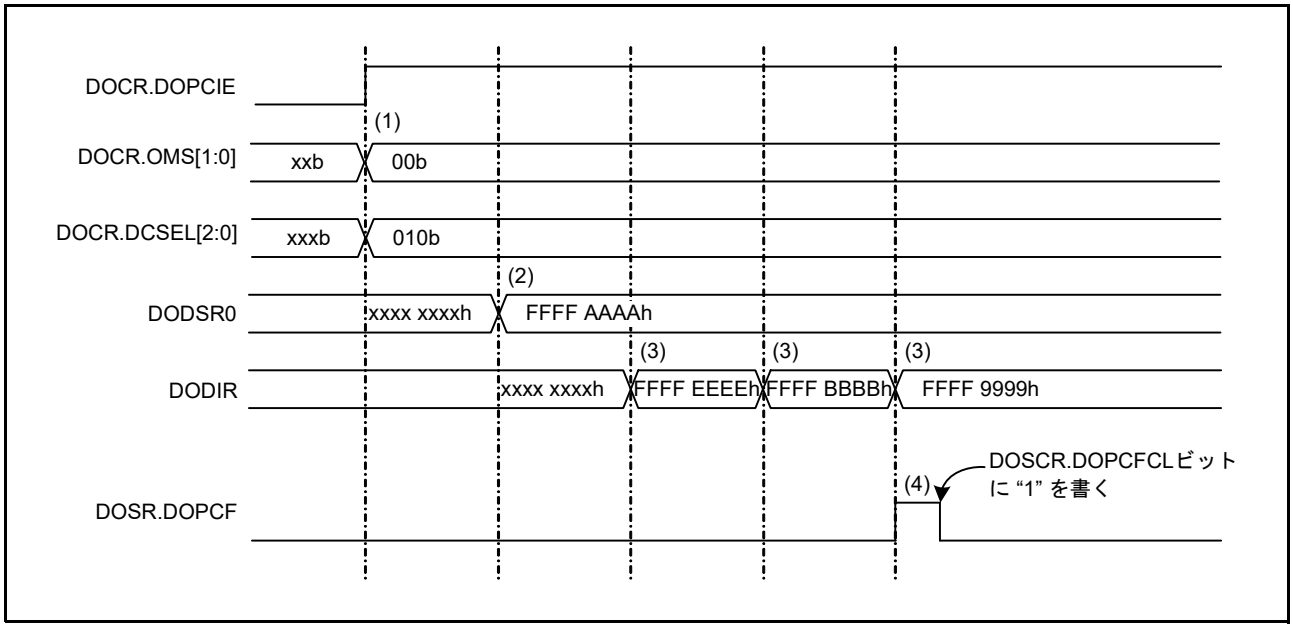


図 46.4　データ比較モードの動作例 (検出条件：小さい)

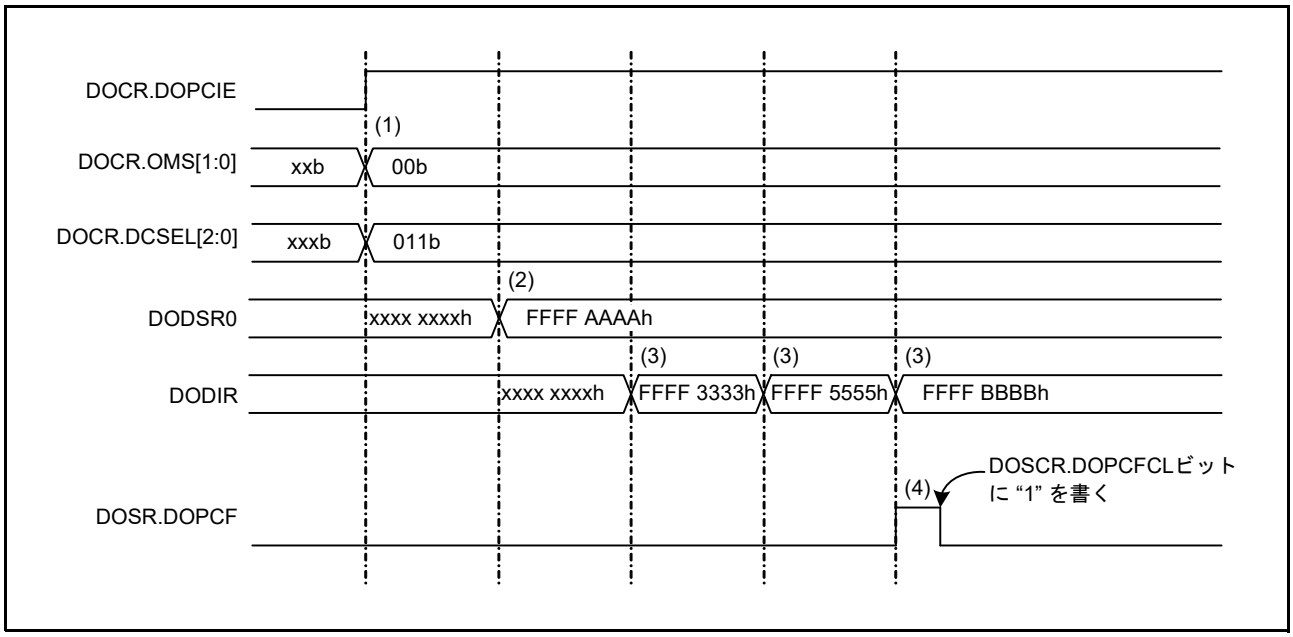


図 46.5 データ比較モードの動作例 (検出条件：大きい)

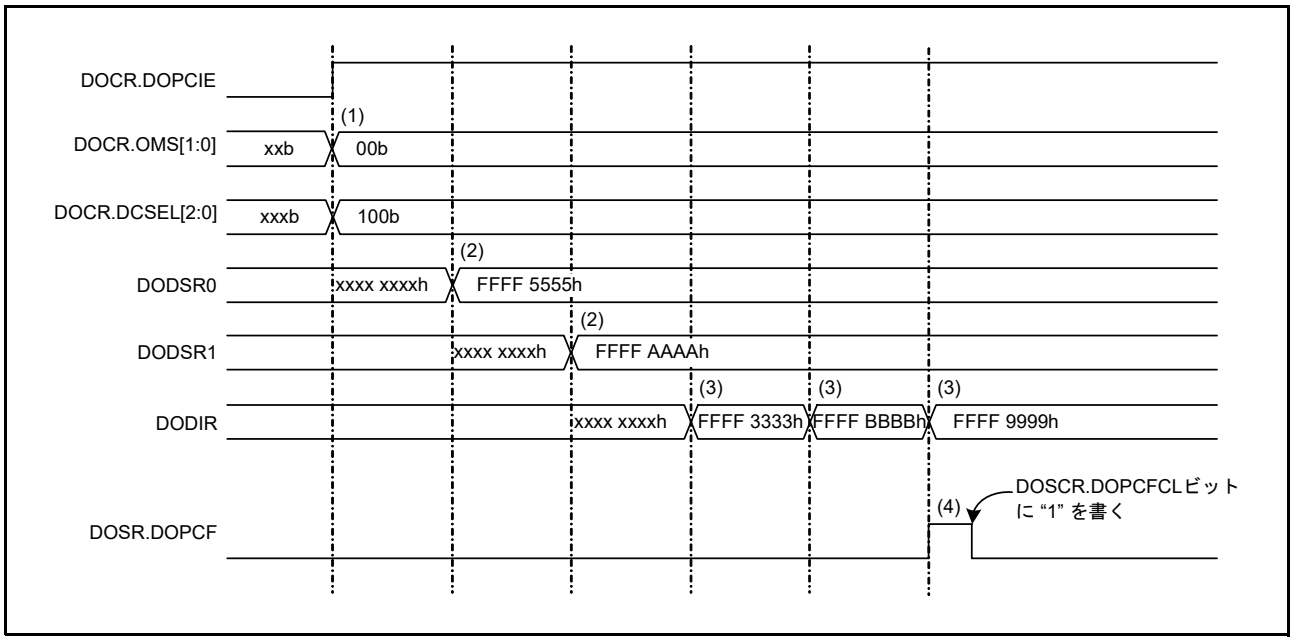


図 46.6 データ比較モードの動作例 (検出条件：範囲内)

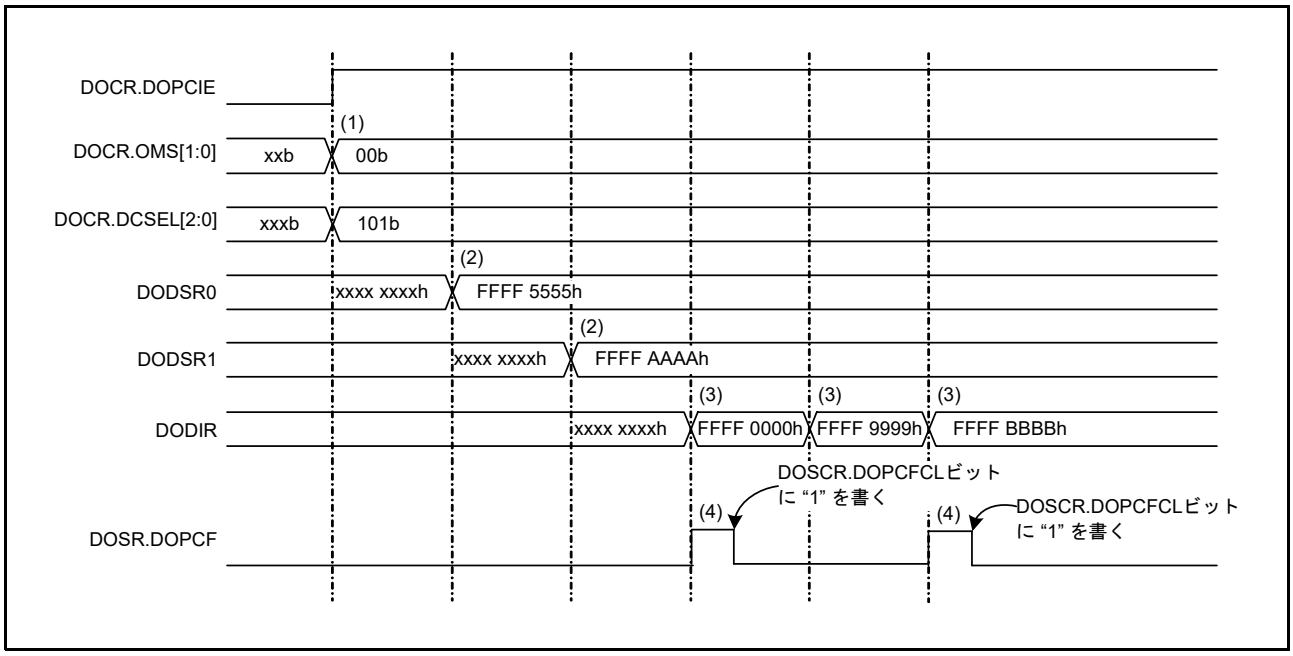


図 46.7 データ比較モードの動作例 (検出条件：範囲外)

46.3.2 データ加算モード

図 46.8 にデータ加算モード(注 1)の動作例を示します。
DOC は、データ加算モード時、以下のように動作します。
以下はデータ演算サイズが 32 ビット幅の場合の動作例です。

(1) DOCR.OMS[1:0] ビットに “01b” を書き込むと、データ加算モードになります。
(2) DODSR0 レジスタに初期値を設定します。
(3) DODIR レジスタに加算するデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
(4) すべてのデータの書き込みが完了するまで、DODIR レジスタに加算するデータを書き込みます。
(5) 演算結果が “FFFF FFFFh” よりも大きくなると DOSR.DOPCF フラグが “1” になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. 加算は DODIR レジスタへの書き込みと同時に行われます。DODSR0 レジスタへの書き込みでは行われません。

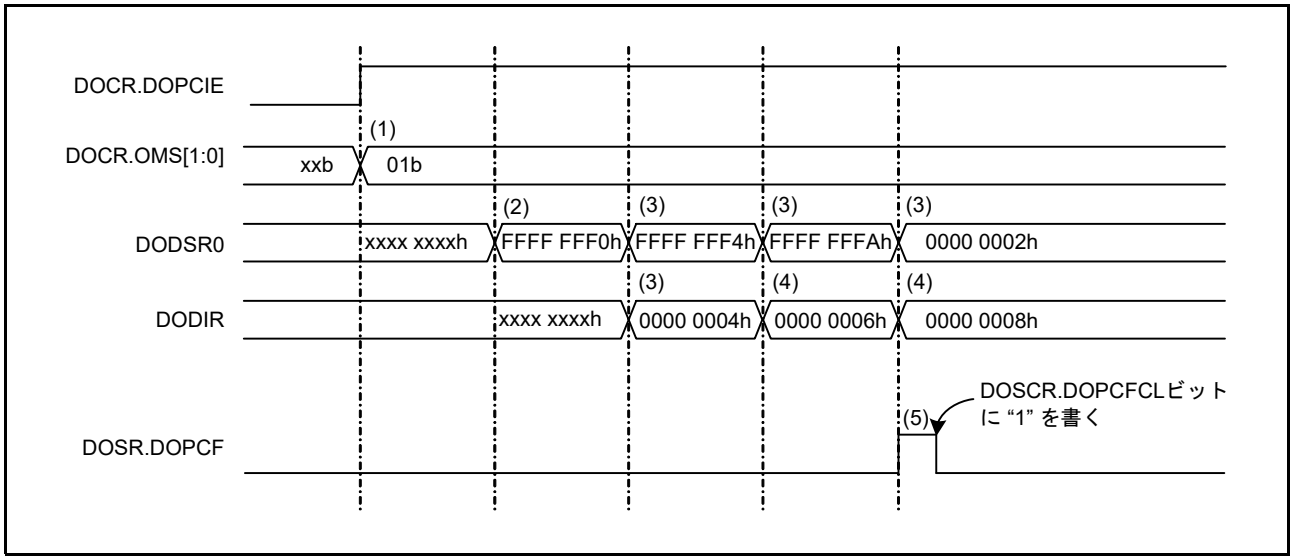


図 46.8 データ加算モードの動作例

46.3.3 データ減算モード

図 46.9 にデータ減算モード(注 1)の動作例を示します。
DOC は、データ減算モード時、以下のように動作します。
以下はデータ演算サイズが 32 ビット幅の場合の動作例です。

(1) DOCR.OMS[1:0] ビットに “10b” を書き込むと、データ減算モードになります。
(2) DODSR0 レジスタに初期値を設定します。
(3) DODIR レジスタに減算するデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
(4) すべてのデータの書き込みが完了するまで、DODIR レジスタに減算するデータを書き込みます。
(5) 演算結果が “0000 0000h” よりも小さくなると DOSR.DOPCF フラグが “1” になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. 減算は DODIR レジスタへの書き込みと同時に行われます。DODSR0 レジスタへの書き込みでは行われません。

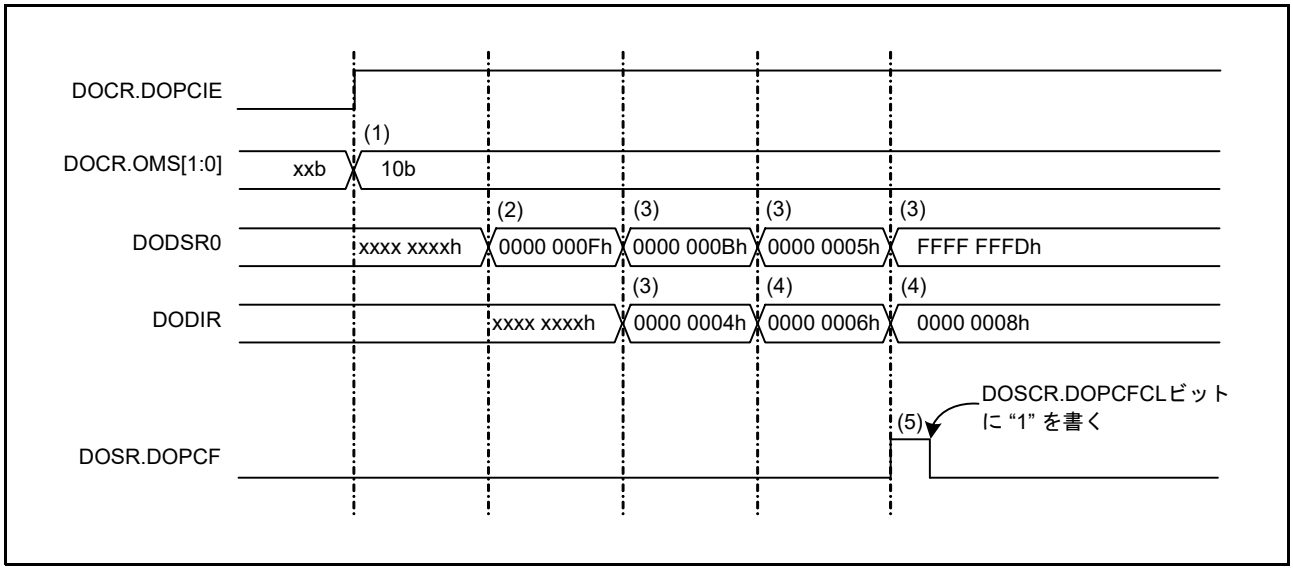


図 46.9 データ減算モードの動作例

46.4 割り込み要求

DOC が生成する割り込み要求には、データ演算回路割り込み (DOPCI) があります。割り込み要因が発生すると DOSR.DOPCF フラグが “1” になり、DOCR.DOPCIE ビットが “1” であれば、割り込み要求が発生します。表 46.2 に割り込み要求の内容を示します。

表46.2 DOCの割り込み要求

割り込み要求	データ演算結果フラグ	割り込み発生タイミング
データ演算回路割り込み (DOPCI)	DOPCF	• データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき • データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき

46.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が検出条件に合致したとき
- データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき
- データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき

46.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可 / 禁止するビットがあります。割り込み要因が発生すると、割り込みが許可されている場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると、割り込み許可ビットの値にかかわらず、ELC を介して他のモジュールにイベント信号として出力します。

46.6 使用上の注意事項

46.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) の MSTPB6 ビットにより、DOC の動作を禁止または許可することができます。リセット後、DOC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は**「11. 消費電力低減機能」**を参照してください。

47. RAM

本 MCU は、120MHz、ノーウェイトで動作する 64K バイトの高速スタティック RAM (RAM) を内蔵しています。

47.1 概要

表 47.1 に RAM の仕様を示します。

表47.1 RAMの仕様

項目	RAM
容量	64Kバイト/48Kバイト
アドレス	• RAM容量が64Kバイトの製品 0000 0000h～0000 FFFFh • RAM容量が48Kバイトの製品 0000 0000h～0000 BFFFh
メモリバス	メモリバス1
アクセス	• 読み出し/書き込みともに1サイクルで動作(注1) • RAM有効/無効選択可能(注2)
消費電力低減機能	モジュールストップ状態への遷移が可能
エラーチェック機能	• パリティチェック：1ビット誤り検出 • エラー発生時、ノンマスカブル割り込み、または割り込みを発生

注1. 8バイト境界をまたいだアクセス時は、サイクル数が2倍に増えます。
注2. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.2 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

47.2 レジスタの説明

47.2.1 RAM 動作モード制御レジスタ (RAMMODE)

アドレス RAM.RAMMODE 0008 1200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RAMMODE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RAMMODE[1:0]	RAM動作モード選択ビット	b1 b0 0 0：パリティチェック無効 0 1：パリティチェック有効 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RAMMODE レジスタへの書き込みは RAM プロテクトレジスタ (RAMPRCR) によって保護されています。まず、RAMPRCR.RAMPRCR ビットを書き込み許可にしてから RAMMODE レジスタへの書き込みを行ってください。本レジスタは RAM へのアクセスを開始する前に設定してください。RAM へアクセスした後に本レジスタを書き換えた場合、RAM の動作は保証できません。

47.2.2 RAM エラーステータスレジスタ (RAMSTS)

アドレス RAM.RAMSTS 0008 1201h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RAMERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMERR	RAMエラーステータスフラグ	0：パリティチェックエラー未発生 1：パリティチェックエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. フラグをクリアするための“0”書き込みのみ可能です。

パリティチェックが有効のときパリティチェックエラーを検出すると、RAMERR フラグが “1” になります。RAMERR フラグが “1” になると、RAM エラー割り込み要求が発生します。

パリティチェックが無効のときはパリティチェックエラーを検出しないため、RAMERR フラグが “1” になりません。

RAMERR フラグに “0” を書き込むと、パリティチェックエラーに起因する RAM エラー割り込み要求はクリアされます。

47.2.3 RAM エラーアドレスキャプチャレジスタ (RAMECAD)

アドレス RAM.RAMECAD 0008 1208h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	READ		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	READ													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます	R
b18-b3	READ	エラーアドレスビット	エラーアドレスが読み出されます	R
b31-b19	—	予約ビット	読むと“0”が読めます	R

パリティチェックが有効のときパリティチェックエラーが発生したアドレスを保持します。RAMSTS.RAMERR フラグが “1” になると同時に、エラーが発生した 8 バイト境界のアドレスがこのレジスタに格納されます。

RAMERR フラグが “1” (エラー発生) のときは、エラーアドレスは更新されません。パリティチェックが無効のとき、パリティチェックエラーを検出しないため、変化しません。

RAMECAD レジスタはリセットでのみ初期化されます。

47.2.4 RAM プロテクトレジスタ (RAMPRCR)

アドレス RAM.RAMPRCR 0008 1204h

	b7	b6	b5	b4	b3	b2	b1	b0
	KW[6:0]							RAMPRCR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMPRCR	RAMMODE レジスタ書き込み制御ビット	0：RAMMODE レジスタへの書き込み禁止 1：RAMMODE レジスタへの書き込み許可	R/W
b7-b1	KW[6:0]	書き込みキーワードビット	RAMPRCR レジスタの書き換えの許可、禁止を制御します。 RAMPRCR レジスタを書き換える場合、KW[6:0] ビットに“1111000b”を書いてください。	R/W

KW[6:0] = 1111000b のとき、RAMPRCR ビットへの “1” 書き込みが可能になります。それ以外のデータ書き込み時、RAMPRCR ビットを “0” にします。KW[6:0] ビットは読むと “0000000b” が読み出されます。

本レジスタによる書き込み保護対象は、RAM 動作モード制御レジスタ (RAMMODE) です。一度 RAMPRCR ビットを “1” にすると、次に RAMPRCR ビットを “0” にするまで RAMMODE レジスタへの書き込みが可能です。RAMMODE レジスタへの書き込み後、RAMPRCR ビットをクリアしてください。

47.3 動作説明

47.3.1 パリティチェック機能

RAMMODE レジスタの設定によって、パリティチェックの有効、無効を選択することができます。

初期状態では、パリティチェックは無効です。パリティチェックの仕様は、偶数パリティです。

書き込み時 1 バイトデータ毎に 1 ビットのパリティチェックコードを付加し、読み出し時にパリティチェックを行います。

読み出し時に、パリティチェックで 1 バイト内に 1 ビットエラーを検出した場合、RAM エラー割り込みを発生させることが可能です。1 バイト内に 2 ビット以上のエラーがある場合は正しく検出することができません。

電源投入後、パリティチェックコードは書き込みを行うまで不定です。パリティチェック機能を使用する場合は、リセット直後 RAM へアクセスを行う前に、パリティチェックが有効の状態で全領域に対して初期値を書いてください。

初期値を書いていない領域にアクセスがあった場合の動作は保証できません。

47.3.2 RAM エラー割り込み機能

パリティチェック有効時はパリティチェックエラーを示す RAMSTS.RAMERR ビットが “1” に変化すると、RAM エラー割り込みが発生します。

上記ビットに “0” を書き込めば、RAM エラー割り込みはクリアされます。

47.3.3 割り込み要因

RAM の割り込み要因には、パリティチェックエラーによる RAM エラー割り込みがあり、ノンマスカブル割り込み、または割り込みの両方に対応しています。詳細は「14. 割り込みコントローラ (ICUG)」を参照してください。

表 47.2 RAMの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
RAMERR	RAM エラー	不可能	不可能

47.4 使用上の注意事項

47.4.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減することができます。

MSTPCRC.MSTPC0 ビットを “1” にすると RAM に供給されるクロックが停止します。

クロック供給の停止により、RAM はモジュールストップ状態になります。

リセット後は、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。

RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

モジュールストップ状態で RAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRC レジスタの詳細については、**「11. 消費電力低減機能」**を参照してください。

47.4.2 RAM のエラーチェック機能使用時の注意事項

電源投入時の RAM 内のデータは不定です。このため初期化を実施せずにデータを読むと、パリティチェックエラーが発生します。RAM のリード単位は 8 バイト (64 ビット) ですから、初期化は 8 バイト境界で実施してください。

パリティチェックを有効にして、RAM 上でプログラムを実行する場合は、CPU が命令プリフェッチを行うことも考慮して初期化を実施してください。命令プリフェッチは最大 32 バイトまで実行されますから、プログラムの最終アドレスから 24 ～ 31 バイト分を余分に初期化してください。

47.4.3 RAM の自己診断に関する注意事項

RAM にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

(1) 診断対象のアドレスにデータを書く

(2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く

(3) (1) のアドレスからデータを読む

48. フラッシュメモリ (FLASH)

本 MCU は、コードフラッシュメモリ、データフラッシュメモリ、オプション設定メモリを内蔵しています。

コードフラッシュメモリには命令とオペランドなど、データフラッシュメモリにはデータのみを格納できます。オプション設定メモリについては「7. オプション設定メモリ (OFSM)」を参照してください。

48.1 概要

表 48.1 にコードフラッシュメモリ / データフラッシュメモリの仕様を、**図 48.1** にフラッシュメモリ関連のブロック図を示します。

ブートモードで使用する入出力端子については**表 48.18** を参照してください。

フラッシュシーケンサはフラッシュメモリのプログラム / イレーズの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、フラッシュシーケンサを制御します。

コードフラッシュメモリのメモリ構成については**図 48.2** を、データフラッシュメモリのメモリ構成については**図 48.4** を参照してください。

表48.1　コードフラッシュメモリ/データフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	最大512Kバイト	16Kバイト
リードサイクル	1サイクル	16ビット、8ビットアクセス時にはFCLK 8サイクルでリード
イレーズ後の値	FFh	不定値
プログラム/イレーズ方式	• FACIコマンド発行領域(007E 0000h)に設定したFACIコマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 • フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) • ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
デュアルバンク機能	デュアルバンク構成を用いて、書き換え動作中の中断に対して安全な更新を行うことが可能 • リニアモード：コードフラッシュメモリを1領域として使用するモード • デュアルモード：コードフラッシュメモリを2領域に分割して使用するモード	なし
Trusted Memory (TM)機能	コードフラッシュメモリに対する不正リード防止 • リニアモード：ブロック8、9 • デュアルモード：ブロック8、9、30、31	なし
BGO (バックグラウンドオペレーション)機能 (注1)	• コードフラッシュメモリのプログラム/イレーズ中にコードフラッシュメモリのリードが可能 (注2) • コードフラッシュメモリのプログラム/イレーズ中にデータフラッシュメモリのリードが可能 • データフラッシュメモリのプログラム/イレーズ中にコードフラッシュメモリのリードが可能	
プログラム/イレーズ単位	• プログラム：128バイト • イレーズ：ブロック単位	• プログラム：4バイト • イレーズ：ブロック単位
その他の機能	セルフプログラミング中の割り込み受け付け可能	
オンボードプログラミング(シリアルプログラミング/セルフプログラミング)	ブートモード(SCIインタフェース)によるプログラム/イレーズ • 調歩同期式シリアルインターフェース(SCI1)を使用 • 通信速度は自動調整 ブートモード(FINEインタフェース)によるプログラム/イレーズ • FINEを使用 シングルチップモードによるプログラム/イレーズ • ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム/イレーズが可能	
ユニークID	本MCU個体ごとの12バイト長のIDコード	

注1.　コンフィギュレーション設定領域の書き換えには、BGO機能を利用できません。
注2.　プログラム/イレーズ領域とリード領域のアドレス範囲の組み合わせに制限があります。表48.24を参照してください。

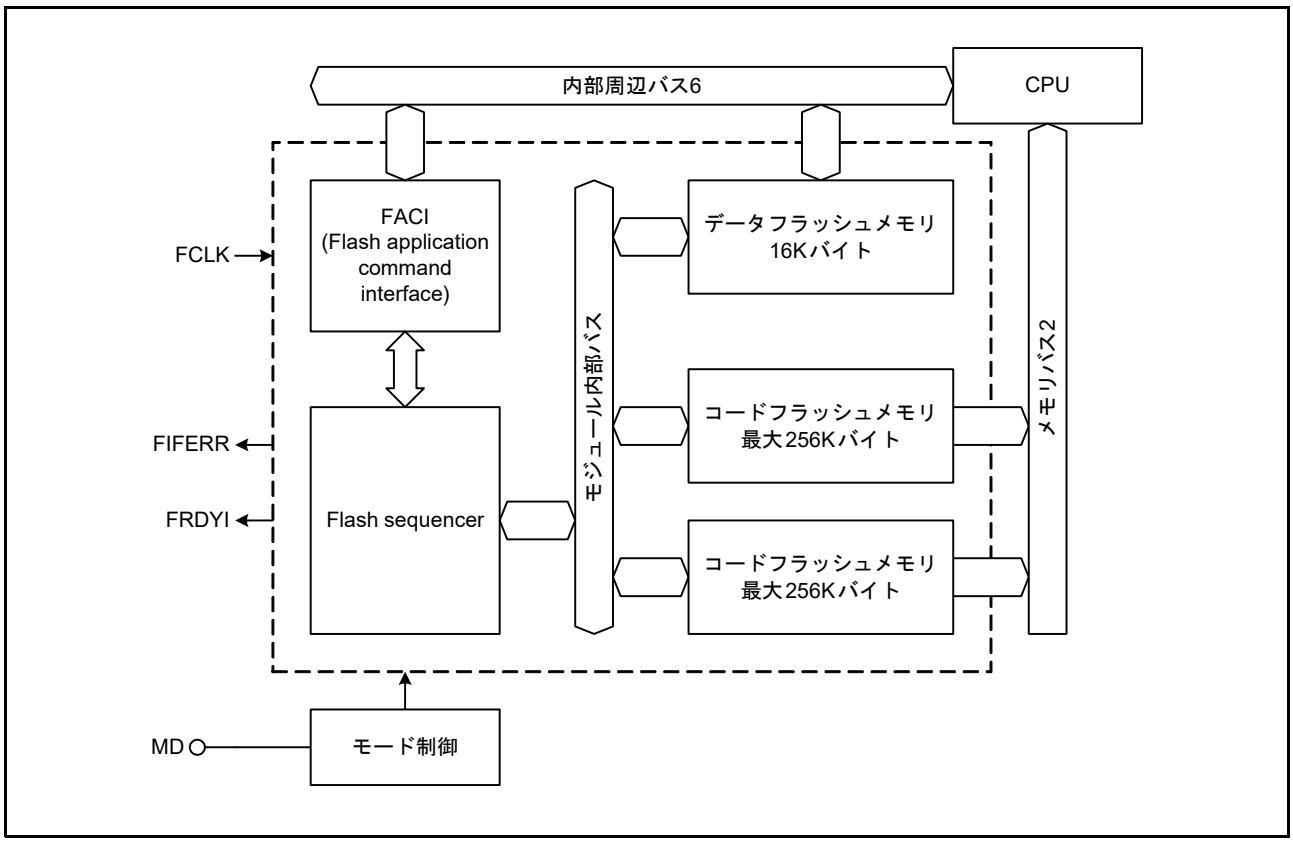


図 48.1 フラッシュメモリ関連のブロック図

48.2 ハードウェアインタフェース用領域

フラッシュメモリのハードウェアインタフェースを使用する場合には、各ハードウェアのレジスタ領域、FACI コマンド発行用の領域にアクセスする必要があります。各領域の情報を**表 48.2** に記載します。

表48.2 ハードウェアインタフェース用領域の情報

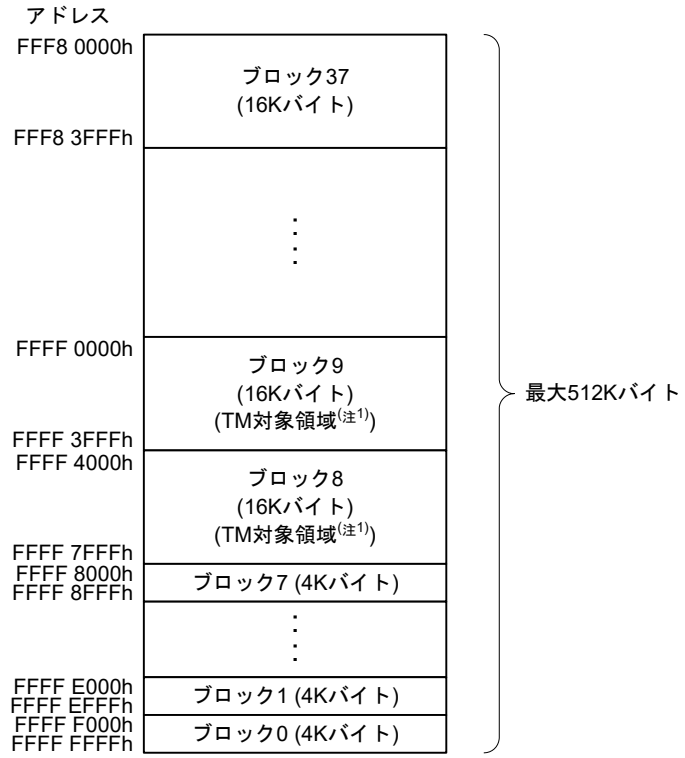
領域	アドレス	サイズ
各ハードウェアのレジスタ領域	「48.4 レジスタの説明」を参照	「48.4 レジスタの説明」を参照
FACIコマンド発行領域	007E 0000h	4バイト
コンフィギュレーション設定領域	0012 0040h～0012 00FFh	192バイト

48.3 メモリ構成

図 48.2 にリニアモード時のコードフラッシュメモリマッピング、図 48.3 にデュアルモード時のコードフラッシュメモリマッピングを示します。デュアルバンク機能により、コードフラッシュメモリを 2 つのバンク領域として扱うことができます。この 2 つのバンクにより、ユーザプログラムを実行しながら、安全にプログラムの更新ができます。

本 MCU のコードフラッシュメモリは 4K バイトまたは 16K バイトのブロックに分割されており、各ブロック単位でイレーズ可能です。コードフラッシュメモリは、ユーザプログラムの格納領域として利用可能です。

リニアモードでは TM 機能有効時、ブロック 8、9 が TM 対象領域となります。

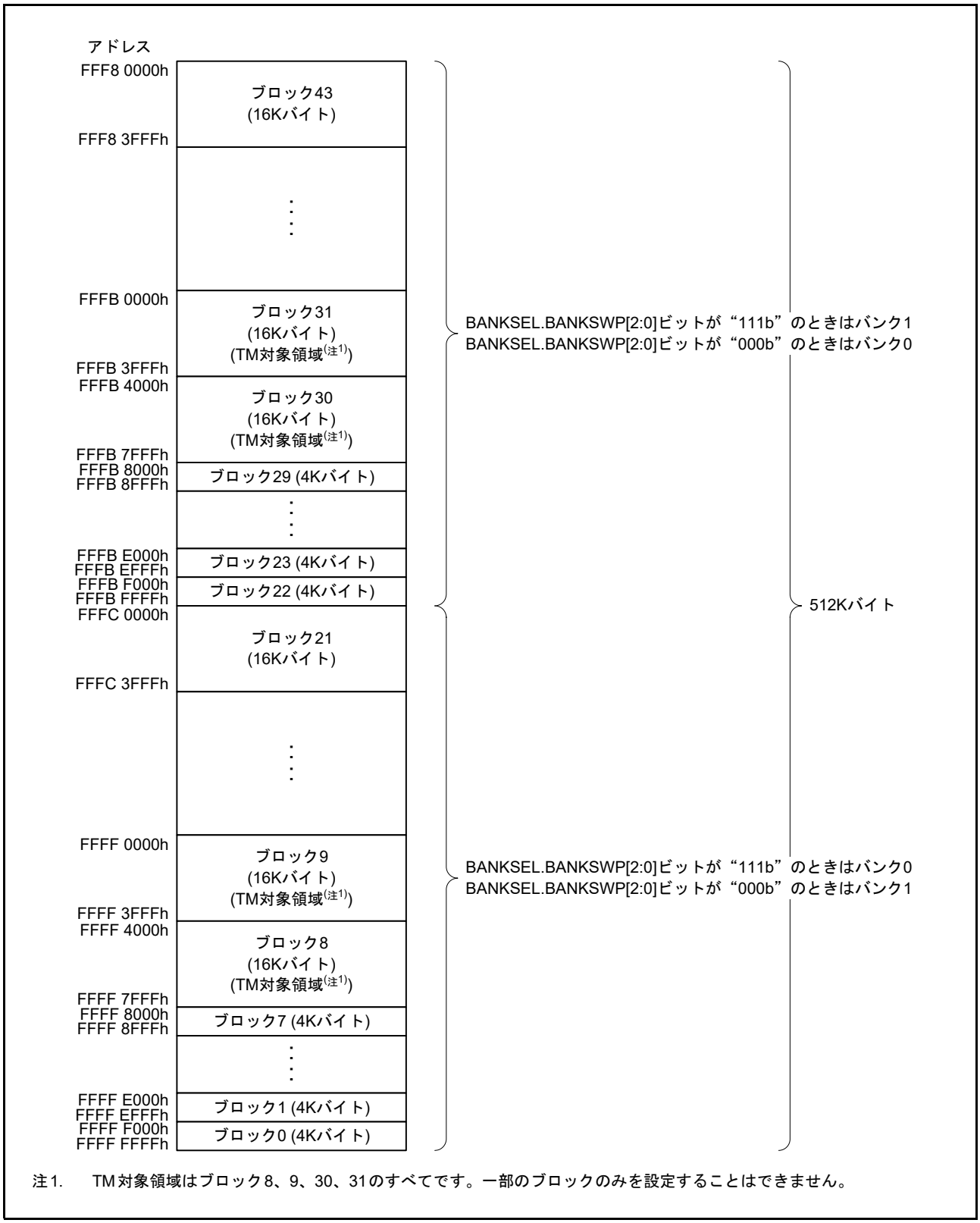


コードフラッシュメモリ容量	アドレス	ブロック数
512Kバイト	FFF8 0000h～FFFF FFFFh	0～37
256Kバイト	FFFC 0000h～FFFF FFFFh	0～21
128Kバイト	FFFE 0000h～FFFF FFFFh	0～13

注1.　TM対象領域はブロック8とブロック9の両方です。ブロック8もしくはブロック9のみを設定することはできません。

図 48.2　リニアモード時のコードフラッシュメモリマッピング

デュアルモードでは TM 機能有効時、ブロック 8、9 およびブロック 30、31 が TM 対象領域となります。



注1. TM対象領域はブロック8、9、30、31のすべてです。一部のブロックのみを設定することはできません。

図 48.3 デュアルモード時のコードフラッシュメモリマッピング
(コードフラッシュメモリ容量が 512K バイトの製品)

本 MCU のデータフラッシュメモリは 64 バイトのブロックに分割されており、各ブロック単位でイレーズ可能です。図 48.4 にデータフラッシュメモリマッピングを示します。

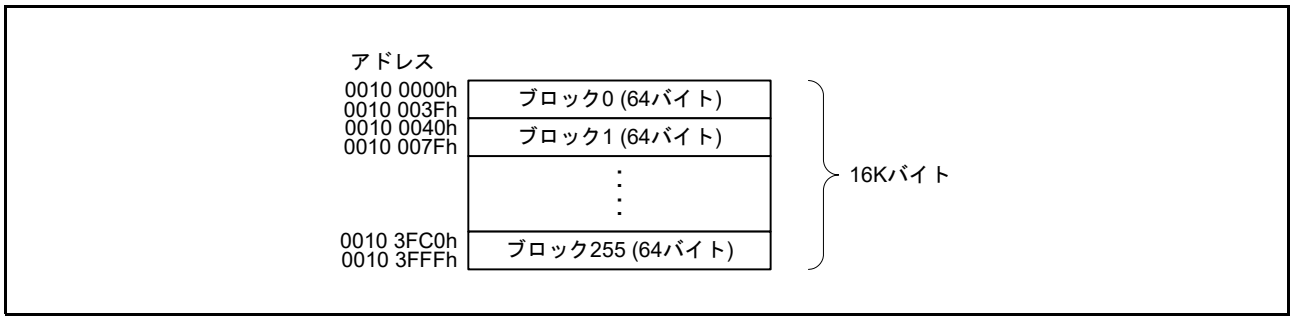


図 48.4 データフラッシュメモリマッピング

48.4 レジスタの説明

48.4.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)

アドレス FLASH.FWEPROR 0008 C296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュプログラム/イレーズ許可ビット	b1 b0 0 0：プログラム、ブロックイレーズ、ブランクチェックの禁止 0 1：プログラム、ブロックイレーズ、ブランクチェックの許可 1 0：プログラム、ブロックイレーズ、ブランクチェックの禁止 1 1：プログラム、ブロックイレーズ、ブランクチェックの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

フラッシュメモリに対するプログラム、ブロックイレーズ、ブランクチェックの各 FACI コマンドをハードウェアによって許可 / 禁止します。

FWEPROR レジスタは、リセット時以外に、ソフトウェアスタンバイモード遷移時にも初期化されます。

48.4.2 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス FLASH.FASTAT 007F E010h

	b7	b6	b5	b4	b3	b2	b1	b0
	CFAE	—	—	CMDLK	DFAE	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAE	データフラッシュメモリアクセス違反フラグ	0：データフラッシュメモリのアクセス違反なし 1：データフラッシュメモリのアクセス違反あり	R/W (注1)
b4	CMDLK	コマンドロックフラグ	0：フラッシュシーケンサはコマンドロック状態ではない 1：フラッシュシーケンサはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAE	コードフラッシュメモリアクセス違反フラグ	0：コードフラッシュメモリのアクセス違反なし 1：コードフラッシュメモリのアクセス違反あり	R/W (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタはコードフラッシュメモリ / データフラッシュメモリのアクセス違反有無を示すレジスタです。CFAE フラグ、DFAE フラグのいずれかが “1” の場合には、CMDLK フラグが “1” となり、フラッシュシーケンサはコマンドロック状態になります (「48.5.3.2 エラープロテクション」参照)。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグを “0” に設定後、FACI によりステータスクリアコマンドまたは強制終了コマンドを発行する必要があります。

DFAE フラグ (データフラッシュメモリアクセス違反フラグ)

データフラッシュメモリのアクセス違反の有無を示すフラグです。DFAE フラグが “1” の場合には、FSTATR.ILGLERR フラグが “1” になり、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- 「表 48.10 エラープロテクト一覧」を参照してください。

[“0” になる条件]

- “1” を読んだ後に、“0” を書いた場合

CMDLK フラグ (コマンドロックフラグ)

フラッシュシーケンサがコマンドロック状態であることを示すフラグです。

[“1” になる条件]

- フラッシュシーケンサが「表 48.10 エラープロテクト一覧」のエラーを検出して、コマンドロック状態に遷移した後

[“0” になる条件]

- FASTAT.CFAE フラグおよび DFAE フラグが “0” の状態で、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

CFAE フラグ (コードフラッシュメモリアクセス違反フラグ)

コードフラッシュメモリのアクセス違反の有無を示すフラグです。CFAE フラグが “1” の場合には、FSTATR.ILGLERR フラグが “1” になり、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- 「表 48.10　エラープロテクト一覧」を参照してください。

[“0” になる条件]

- “1” を読んだ後に、“0” を書いた場合

48.4.3　フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス FLASH.FAEINT 007F E014h

	b7	b6	b5	b4	b3	b2	b1	b0
	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
リセット後の値	1	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	リセット解除後、“0”を書き込んでください	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可ビット	0：FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を禁止 1：FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を許可	R/W
b4	CMDLKIE	コマンドロック割り込み許可ビット	0：FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を禁止 1：FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可ビット	0：FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を禁止 1：FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を許可	R/W

FAEINT レジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

DFAEIE ビット (データフラッシュメモリアクセス違反割り込み許可ビット)

データフラッシュメモリアクセス違反が発生し、FASTAT.DFAE フラグが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CMDLKIE ビット (コマンドロック割り込み許可ビット)

フラッシュシーケンサがコマンドロック状態に遷移し、FASTAT.CMDLK フラグが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CFAEIE ビット (コードフラッシュメモリアクセス違反割り込み許可ビット)

コードフラッシュメモリアクセス違反が発生し、FASTAT.CFAE フラグが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

48.4.4 フラッシュレディ割り込み許可レジスタ (FRDYIE)

アドレス FLASH.FRDYIE 007F E018h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0：FRDY割り込み要求の発生を禁止 1：FRDY割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

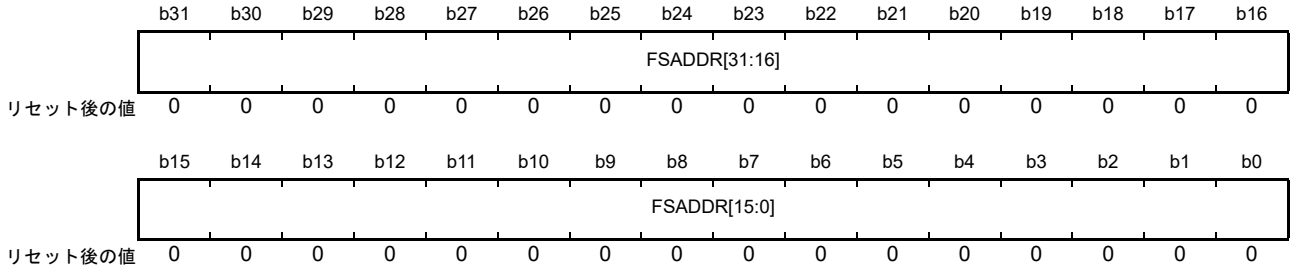
FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

FRDYIE ビット (フラッシュレディ割り込み許可ビット)

フラッシュシーケンサがプログラム / イレーズ、ブランクチェックのコマンド処理を完了して、FSTATR.FRDY フラグが “0” から “1” に変化した場合の FRDY 割り込み要求の発生を許可 / 禁止するためのビットです。

48.4.5 FACI コマンド処理開始アドレスレジスタ (FSADDR)

アドレス FLASH.FSADDR 007F E030h



ビット	シンボル	ビット名	機能	R/W
b31-b0	FSADDR[31:0]	FACIコマンド処理開始アドレスビット	FACIコマンド処理開始アドレス	R/W (注1)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。なお、下位2ビット(b1-b0)の値は“00b”固定です。

FSADDR レジスタは、プログラム、ブロックイレーズ、ブランクチェック、コンフィギュレーション設定の FACI コマンド発行時に、コマンド処理の対象領域の開始アドレスを指定するためのレジスタです。

FSUINITR.SUINIT ビットを “1” にすると、FSADDR レジスタを初期化できます。リセットでも初期化可能です。

FSADDR[31:0] ビット (FACI コマンド処理開始アドレスビット)

FACI コマンド処理の開始アドレスを指定するためのビットです。コードフラッシュメモリに対する FACI コマンド処理では b31 ～ b24 は無視されます。データフラッシュメモリに対する FACI コマンド処理では、b31 ～ b19 は無視されます。下記のアドレス境界に満たないビットも無視されます。**表 48.3** にコマンドごとのアドレス境界を示します。

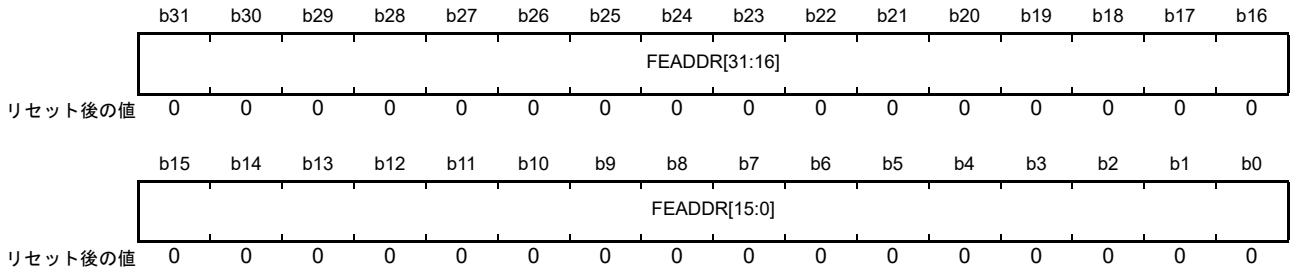
表48.3 コマンドごとのアドレス境界

コマンド	アドレス境界
プログラム(コードフラッシュメモリ)	128バイト
プログラム(データフラッシュメモリ)	4バイト
ブロックイレーズ(コードフラッシュメモリ)	4Kまたは16Kバイト
ブロックイレーズ(データフラッシュメモリ)	64バイト
ブランクチェック	4バイト
コンフィギュレーション設定	16バイト

コンフィギュレーション設定領域の開始アドレスは**「表 48.17 コンフィギュレーション設定コマンドで使用するアドレス」**を参照してください。

48.4.6　FACI コマンド処理終了アドレスレジスタ (FEADDR)

アドレス　FLASH.FEADDR 007F E034h



ビット	シンボル	ビット名	機能	R/W
b31-b0	FEADDR[31:0]	FACIコマンド処理終了アドレスビット	FACIコマンド処理終了アドレス	R/W (注1)

注1.　FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。なお、下位2ビット(b1-b0)の値は“00b”固定です。

FEADDR レジスタは、ブランクチェックコマンド処理の対象領域の終了アドレスを指定するためのレジスタです。FBCCNT.BCDIR ビットが “0” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。FBCCNT.BCDIR ビットが “1” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります (「48.5.3.2　エラープロテクション」参照)。

FSUINITR.SUINIT ビットを “1” にすると、FEADDR レジスタを初期化できます。リセットでも初期化可能です。

FEADDR[31:0] ビット (FACI コマンド処理終了アドレスビット)

ブランクチェックコマンド処理の終了アドレスを指定するためのビットです。コマンド処理では、b31 ～ b19 および b1、b0 は無視されます。

48.4.7　フラッシュステータスレジスタ (FSTATR)

アドレス　FLASH.FSTATR 007F E080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	DBFULL	ERSSPD	PRGSPD	—	FLWEERR	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FLWEERR	フラッシュ P/E プロテクトエラーフラグ	0：エラー未発生 1：エラー発生	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRGSPD	プログラムサスペンドステータスフラグ	0：下記以外の状態 1：フラッシュシーケンサはプログラムの中断処理中またはプログラムサスペンド中	R
b9	ERSSPD	イレーズサスペンドステータスフラグ	0：下記以外の状態 1：フラッシュシーケンサはイレーズの中断処理中またはイレーズサスペンド中	R
b10	DBFULL	データバッファフルフラグ	0：データバッファは空 1：データバッファはフル	R
b11	SUSRDY	サスペンドレディフラグ	0：フラッシュシーケンサがP/Eサスペンドコマンドを受け付けられない 1：フラッシュシーケンサがP/Eサスペンドコマンドを受け付け可能	R
b12	PRGERR	プログラムエラーフラグ	0：プログラム処理は正常終了 1：プログラム処理中にエラー発生	R
b13	ERSERR	イレーズエラーフラグ	0：イレーズ処理は正常終了 1：イレーズ処理中にエラー発生	R
b14	ILGLERR	イリーガルコマンドエラーフラグ	0：フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアクセスを検出していない 1：フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアクセスを検出した	R
b15	FRDY	フラッシュレディフラグ	0：プログラム、ブロックイレーズ、P/Eサスペンド、P/Eレジューム、強制終了、ブランクチェック、コンフィギュレーション設定のコマンド処理中 1：上記の処理を実行していない	R
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FSTATR レジスタは、フラッシュシーケンサの状態を示すレジスタです。

FLWEERR フラグ (フラッシュ P/E プロテクトエラーフラグ)

FWEPROR レジスタによるフラッシュメモリのプログラム / イレーズ保護に違反したことを示すフラグです。FLWEERR フラグが “1” の場合には、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- **「表 48.10　エラープロテクト一覧」**を参照してください。

[“0” になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

PRGSPD フラグ (プログラムサスペンドステータスフラグ)

フラッシュシーケンサがプログラムの中断処理中またはプログラムサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラムの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後
  (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

ERSSPD フラグ (イレーズサスペンドステータスフラグ)

フラッシュシーケンサがイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがイレーズの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後
  (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

DBFULL フラグ (データバッファフルフラグ)

プログラムコマンド発行時のデータバッファ状態を示すフラグです。FACI にはプログラムデータ用のバッファ (データバッファ) が内蔵されています。データバッファがフルの状態で、FACI コマンド発行領域にフラッシュメモリへのプログラムデータを発行すると、FACI は内部周辺バス 6 にウェイトを挿入します。

["1" になる条件]

- プログラムコマンド発行中にデータバッファがフルになった後

["0" になる条件]

- データバッファが空になった後

SUSRDY フラグ (サスペンドレディフラグ)

フラッシュシーケンサが P/E サスペンドコマンドを受け付け可能であるかどうかを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラム / イレーズ処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した後

["0" になる条件]

- フラッシュシーケンサが P/E サスペンドコマンド、強制終了コマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- プログラム / イレーズ処理中にコマンドロック状態に遷移した後
- プログラム / イレーズ処理が完了した後

PRGERR フラグ (プログラムエラーフラグ)

フラッシュメモリのプログラム処理の結果を示すフラグです。PRGERR フラグが "1" の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- 「表 48.10　エラープロテクト一覧」を参照してください。

[“0” になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ERSERR フラグ (イレーズエラーフラグ)

フラッシュメモリのイレーズ処理の結果を示すフラグです。ERSERR フラグが “1” の場合には、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- 「表 48.10　エラープロテクト一覧」を参照してください。

[“0” になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

フラッシュシーケンサが不正な FACI コマンドやフラッシュメモリアクセスを検出したことを示すフラグです。ILGLERR フラグが “1” の場合には、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- 「表 48.10　エラープロテクト一覧」を参照してください。

[“0” になる条件]

- FASTAT.DFAE フラグおよび CFAE フラグが “0” の状態で、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

FASTAT.CFAE フラグまたは DFAE フラグが “1” の状態で、ステータスクリアまたは強制終了コマンドの処理を完了した場合には、ILGLERR フラグは “1” になります。強制終了コマンド処理中に、一時的に ILGLERR フラグが “0” になりますが、コマンド処理の完了時に CFAE フラグまたは DFAE フラグが “1” であることが検出され、ILGLERR フラグが “1” に再設定されます。

FRDY フラグ (フラッシュレディフラグ)

フラッシュシーケンサのコマンド処理状態を示すフラグです。

[“1” になる条件]

- フラッシュシーケンサがコマンド処理を完了した後
- フラッシュシーケンサが P/E サスペンドコマンドを受け付けて、フラッシュメモリのプログラム / イレーズ処理を中断した後
- フラッシュシーケンサが強制終了コマンドを受け付けて、コマンド処理を終了した後

[“0” になる条件]

- フラッシュシーケンサがプログラム、コンフィギュレーション設定の FACI コマンドを受け付け、FACI コマンド発行領域に対する最初のライトアクセスの後
- フラッシュシーケンサがプログラム、コンフィギュレーション設定以外の FACI コマンドを受け付け、FACI コマンド発行領域に対する最終のライトアクセスの後

48.4.8 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F E084h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								FENTRYD	—	—	—	—	—	—	FENTRYC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FENTRYC	コードフラッシュメモリP/E モードエントリビット	0：コードフラッシュメモリはリードモード 1：コードフラッシュメモリはP/Eモード	R/W (注1、注2)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	データフラッシュメモリP/E モードエントリビット	0：データフラッシュメモリはリードモード 1：データフラッシュメモリはP/Eモード	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。
注2. KEY[7:0]ビットを“AAh”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FENTRYR レジスタはコードフラッシュメモリ P/E モード、データフラッシュメモリ P/E モードを設定するためのレジスタです。FACI コマンドを受け付け可能にするためには、FENTRYD ビットか FENTRYC ビットのいずれかのビットを “1” に設定して、フラッシュシーケンサを P/E モードにする必要があります。

FENTRYR レジスタに “AA81h” を書くと、FSTATR.ILGLERR フラグが “1” になり、フラッシュシーケンサはコマンドロック状態になります。

FSUINITR.SUINIT ビットを “1” にすると、FENTRYR レジスタを初期化できます。リセットでも初期化可能です。

FENTRYC ビット (コードフラッシュメモリ P/E モードエントリビット)

コードフラッシュメモリの P/E モードを設定するためのビットです。

[“1” になる条件]

- FSTATR.FRDY フラグが “1” かつ FENTRYR レジスタが “0000h” の状態で、FENTRYR レジスタに “AA01h” を書き込んだ場合

[“0” になる条件]

- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに 8 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、KEY[7:0] ビットに “AAh” 以外の値を指定して FENTRYR レジスタに 16 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに “AA00h” を書き込んだ場合
- FSTATR.FRDYフラグが“1”の状態かつFENTRYRレジスタが“0000h”以外の状態でFENTRYRレジスタに書き込んだ場合

FENTRYD ビット (データフラッシュメモリ P/E モードエントリビット)

データフラッシュメモリの P/E モードを設定するためのビットです。

[“1” になる条件]

- FSTATR.FRDY フラグが “1” かつ FENTRYR レジスタが “0000h” の状態で、FENTRYR レジスタに “AA80h” を書き込んだ場合

[“0” になる条件]

- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに 8 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、KEY[7:0] ビットに “AAh” 以外の値を指定して FENTRYR レジスタに 16 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに “AA00h” を書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態かつ FENTRYR レジスタが “0000h” 以外の状態で FENTRYR レジスタに書き込んだ場合

KEY[7:0] ビット (キーコードビット)

FENTRYD ビットおよび FENTRYC ビットの書き換えの可否を制御します。

48.4.9 フラッシュシーケンサ設定初期化レジスタ (FSUINITR)

アドレス FLASH.FSUINITR 007F E08Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SUINIT	設定初期化ビット	0：FEADDR、FCPSR、FSADDR、FENTRYR、FBCCNTのフラッシュシーケンサの設定レジスタ値は保持 1：FEADDR、FCPSR、FSADDR、FENTRYR、FBCCNTのフラッシュシーケンサの設定レジスタを初期化	R/W (注1、注2)
b7-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDY フラグが “1” の場合のみ書き込み可能です。FSTATR.FRDY フラグが “0” の場合の書き込みは無視されます。
注2. KEY[7:0] ビットを “2Dh” にした 16 ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注3. 書き込んだ値は保持されません。読んだ場合、“0” が読めます。

FSUINITR レジスタは、フラッシュシーケンサの設定を初期化するためのレジスタです。

SUINIT ビット (設定初期化ビット)

下記のフラッシュシーケンサの設定レジスタを初期化します。

- FEADDR
- FCPSR
- FSADDR
- FENTRYR
- FBCCNT

KEY[7:0] ビット (キーコードビット)

SUINIT ビットの書き換えの可否を制御します。

48.4.10 FACI コマンドレジスタ (FCMDR)

アドレス FLASH.FCMDR 007F E0A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMDR[7:0]								PCMDR[7:0]							
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンドフラグ	1つ前のコマンドが格納されています	R
b15-b8	CMDR[7:0]	コマンドフラグ	最新コマンドが格納されています	R

FCMDR レジスタは、FACI が受け付けたコマンドを示すレジスタです。

PCMDR[7:0] フラグ (プレコマンドフラグ)

FACI が受け付けた 1 つ前のコマンドを格納します。

CMDR[7:0] フラグ (コマンドフラグ)

FACI が受け付けた最新のコマンドを格納します。

表48.4 各コマンド受け付け後のFCMDRレジスタの状態

コマンド	CMDR	PCMDR
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/Eサスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスクリア	50h	前回コマンド
強制終了	B3h	前回コマンド
ブランクチェック	D0h	71h
コンフィギュレーション設定	40h	前回コマンド

48.4.11 フラッシュ P/E ステータスレジスタ (FPESTAT)

アドレス FLASH.FPESTAT 007F E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PEERRST[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST [7:0]	P/Eエラーステータスフラグ	00h：エラーなし 02h：プログラムエラー 12h：イレーズエラー	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPESTAT レジスタは、フラッシュメモリのプログラム / イレーズ結果を示すレジスタです。

PEERRST[7:0] フラグ (P/E エラーステータスフラグ)

コードフラッシュメモリ、データフラッシュメモリのプログラム / イレーズ処理中にエラーが発生した場合のエラー原因を示すフラグです。PEERRST フラグの値は、FSTATR.ERSERR フラグまたは PRGERR フラグが “1” の状態で、かつ FSTATR.FRDY フラグが “1” になった時点でのみ有効です。ERSERR フラグと PRGERR フラグが “0” の場合の PEERRST フラグには、過去に発生したエラー原因の値が保持されます。

48.4.12 データフラッシュブランクチェック制御レジスタ (FBCCNT)

アドレス FLASH.FBCCNT 007F E0D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCDIR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCDIR	ブランクチェック方向ビット	0：小さいアドレスから大きいアドレスの方向にブランクチェック処理を実行します(加算モード) 1：大きいアドレスから小さいアドレスの方向にブランクチェック処理を実行します(減算モード)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCCNT レジスタは、ブランクチェックコマンド処理時のアドレッシングモードを指定するためのレジスタです。FSUINITR.SUINIT ビットを “1” にすると、FBCCNT レジスタを初期化できます。リセットでも初期化可能です。

BCDIR ビット (ブランクチェック方向ビット)

ブランクチェック動作時のアドレッシングモードを指定するためのビットです。

48.4.13 データフラッシュブランクチェックステータスレジスタ (FBCSTAT)

アドレス FLASH.FBCSTAT 007F E0D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスフラグ	0：ブランクチェック対象領域は未書き込み状態 (イレーズ後に書き込んでいない状態。ブランク) 1：ブランクチェック対象領域は“0”データか“1”データを書き込まれた状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCSTAT レジスタは、ブランクチェックコマンドの結果を格納するレジスタです。

BCST フラグ (ブランクチェックステータスフラグ)

ブランクチェックコマンドの結果を示すフラグです。

FSTATR.FRDY フラグが “1” になった時点で、BCST フラグに有効なデータが格納されます。

48.4.14 データフラッシュ書き込み開始アドレスレジスタ (FPSADDR)

アドレス FLASH.FPSADDR 007F E0D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSADR[15:0]															
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b18-b0	PSADR[18:0]	書き込み領域開始アドレスビット	書き込み済みアドレス値	R
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

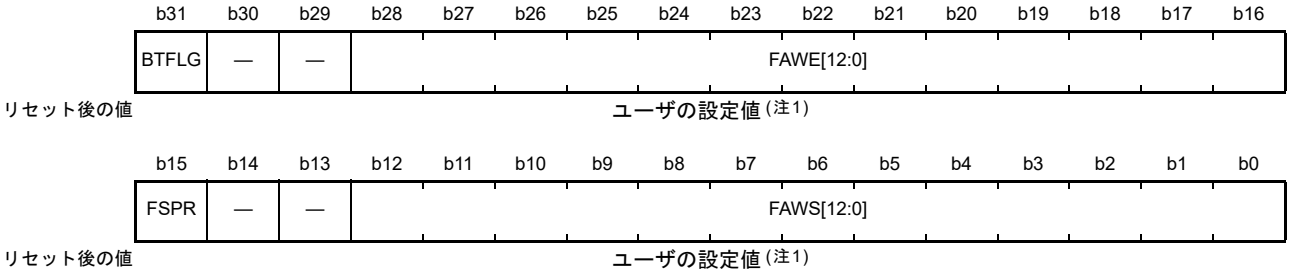
FPSADDR レジスタは、ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すレジスタです。

PSADR[18:0] ビット (書き込み領域開始アドレスビット)

ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すビットです。データフラッシュメモリ領域の先頭アドレスからのオフセット値が格納されます。PSADR[18:0] ビットの値は、FBCSTAT.BCST フラグが “1” の状態で、かつ FSTATR.FRDY フラグが “1” になった時点でのみ有効です。FBCSTAT.BCST フラグが “0” の場合の PSADR[18:0] ビットには、過去に検出したアドレスが保持されます。

48.4.15 フラッシュアクセスウィンドウモニタレジスタ (FAWMON)

アドレス FLASH.FAWMON 007F E0DCh



ビット	シンボル	ビット名	機能	R/W
b12-b0	FAWS[12:0]	フラッシュアクセスウィンドウ開始アドレスビット	フラッシュアクセスウィンドウ開始アドレス	R
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FSPR	アクセスウィンドウプロテクションフラグ	0：プロテクションあり(P/E禁止) 1：プロテクションなし(P/E可能)	R
b28-b16	FAWE[12:0]	フラッシュアクセスウィンドウ終了アドレスビット	フラッシュアクセスウィンドウ終了アドレス	R
b30-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	BTFLG	スタートアップ領域選択フラグ(注2)	0：スタートアップ領域0はFFFF 8000h～FFFF BFFFh番地、スタートアップ領域1はFFFF C000h～FFFF FFFFh番地 1：スタートアップ領域1はFFFF 8000h～FFFF BFFFh番地、スタートアップ領域0はFFFF C000h～FFFF FFFFh番地	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。
注2. FSUACR.SAS[1:0]ビットを“1xb”に変更した場合、FAW.BTFLGビットの設定にかかわらず、スタートアップ領域はFSUACR.SAS[1:0]ビットの設定に従います。

FAWMON レジスタは、フラッシュアクセスウィンドウ開始アドレス、フラッシュアクセスウィンドウ終了アドレス、アクセスウィンドウを設定するための書き込みプロテクションフラグとスタートアップ領域選択フラグの値を示すためのレジスタです。リセットまたはコンフィギュレーション設定コマンド実行の際に、FACI がオプション設定メモリから FAWMON レジスタへデータを転送し、オプション設定メモリの設定が有効になります。

FAWS[12:0] ビット (フラッシュアクセスウィンドウ開始アドレスビット)

フラッシュアクセスウィンドウ開始アドレスビットは、アクセスウィンドウの開始アドレス設定値を確認するためのビットです。

FSPR フラグ (アクセスウィンドウプロテクションフラグ)

アクセスウィンドウプロテクションフラグは、アクセスウィンドウ設定に対するコンフィギュレーション設定コマンドと FSUACR レジスタ書き込みに対するプロテクションの有無を示します。

FAWE[12:0] ビット (フラッシュアクセスウィンドウ終了アドレスビット)

フラッシュアクセスウィンドウ終了アドレスビットは、アクセスウィンドウの終了アドレス設定値を確認するためのビットです。フラッシュアクセスウィンドウ終了アドレスの値は、アクセスウィンドウによって設定された書き込み / 消去可能なブロックの次のブロックの先頭アドレスを示します。

BTFLG フラグ (スタートアップ領域選択フラグ)

スタートアップ領域選択フラグは、スタートアッププログラム保護機能を用いてスタートアップ領域を入れ替えているか否かを示します。

48.4.16 フラッシュシーケンサ処理切り替えレジスタ (FCPSR)

アドレス FLASH.FCPSR 007F E0E0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0 : サスペンド優先モード 1 : イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

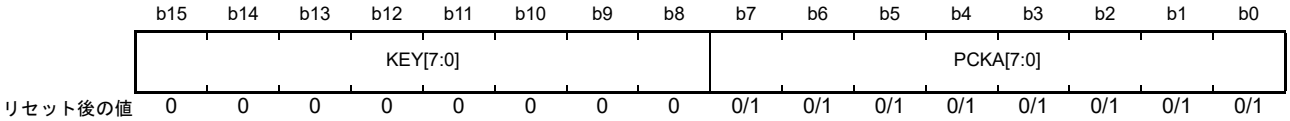
FCPSR レジスタはイレーズサスペンドモードを選択するためのレジスタです。FSUINITR.SUINIT ビットを “1” にすると、FCPSR レジスタを初期化できます。リセットでも初期化可能です。

ESUSPMD ビット (イレーズサスペンドモードビット)

フラッシュシーケンサがイレーズ処理を実行中に、P/E サスペンドコマンドが発行された場合のイレーズサスペンドモードを選択するためのビットです (「48.6.7.5 P/E サスペンドコマンド」参照)。ESUSPMD ビットは、ブロックイレーズコマンドを発行する前に設定する必要があります。

48.4.17　フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)

アドレス　FLASH.FPCKAR 007F E0E4h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	フラッシュシーケンサ処理クロック周波数通知ビット	FlashIF クロック (FCLK) の周波数を設定し、フラッシュシーケンサに使用周波数を通知	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1.　FSTATR.FRDY フラグが“1”の場合のみ書き込み可能です。FSTATR.FRDY フラグが“0”の場合の書き込みは無視されます。
注2.　KEY[7:0] ビットを“1Eh”にした 16 ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注3.　書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FPCKAR レジスタは、クロック発生回路で生成した FlashIF クロック (FCLK) の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのレジスタです。フラッシュシーケンサは、FPCKAR レジスタで通知された周波数に基づいて FACI コマンド処理時間を決めます。また、初期値は、FCLK の最高動作周波数に設定されます。

PCKA[7:0] ビット (フラッシュシーケンサ処理クロック周波数通知ビット)

FCLK の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのビットです。FACI コマンドを発行する前に、PCKA[7:0] ビットに周波数を設定してください。MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに設定してください。

例) 周波数が 35.9MHz の場合 (PCKA[7:0] = 24h)

35.9MHz の小数第 1 位を切り上げ

36 を 2 進数に変換

PCKA[7:0] ビットの設定値が FCLK の周波数よりも小さい場合には、フラッシュメモリの書き換え特性を保証できません。PCKA[7:0] ビットの設定値が FCLK の周波数よりも大きい場合には、書き換え時間などの FACI コマンド処理時間が長くなりますが、フラッシュメモリの書き換え特性は保証されます (FCLK の周波数と PCKA[7:0] ビットの設定値が同一の場合に、FACI コマンド処理時間が最短になります)。

KEY[7:0] ビット (キーコードビット)

PCKA[7:0] ビットの書き換えの可否を制御します。

48.4.18　スタートアップ領域コントロールレジスタ (FSUACR)

アドレス　FLASH.FSUACR 007F E0E8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	SAS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SAS[1:0]	スタートアップ領域選択ビット	b1 b0 0 x：FAW.BTFLGビットに従い、スタートアップ領域が選択されます 1 0：FAW.BTFLGビットの設定に関わらず、スタートアップ領域0のアドレスをFFFF C000h～FFFF FFFFh、スタートアップ領域1のアドレスをFFFF 8000h～FFFF BFFFhとします 1 1：FAW.BTFLGビットの設定に関わらず、スタートアップ領域1のアドレスをFFFF C000h～FFFF FFFFh、スタートアップ領域0のアドレスをFFFF 8000h～FFFF BFFFhとします	R/W (注1、注2)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

x：Don’t care

注1.　FAW.FSPRビットが“1”の場合のみ書き込み可能です。FAW.FSPRビットが“0”の場合の書き込みは無視されます。
注2.　KEY[7:0]ビットを"66h"にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注3.　書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FSUACR レジスタは、スタートアッププログラム保護機能でスタートアップ領域 0 とスタートアップ領域 1 を入れ替えるためのレジスタです。

デュアルモード時 (MDE.BANKMD[2:0] = 000b) は、本レジスタは使用しないでください。デュアルモード時のスタートアップ領域はスタートアップ領域 0 となります。

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域選択ビットは、スタートアップ領域 0 とスタートアップ領域 1 を入れ替えるために用いられます。

KEY[7:0] ビット (キーコードビット)

SAS[1:0] ビットの書き換えの可否を制御します。

48.4.19 ユニーク ID レジスタ n (UIDRn) (n = 0 ～ 2)

アドレス FLASH.UIDR0 007F B174h, FLASH.UIDR1 007F B1E4h, FLASH.UIDR2 007F B1E8h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値								チップごとの固有値							

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値								チップごとの固有値							

UIDRn レジスタは、MCU の個体を識別するための 12 バイトの ID コード (ユニーク ID) が格納されている読み出し専用のレジスタです。UIDRn レジスタは、32 ビット単位で読み出してください。

48.5 機能概要

48.5.1 プログラム / イレーズ方式

本 MCU のフラッシュメモリは、フラッシュメモリプログラマにより、ターゲットシステムへの実装前、実装後にかかわらず書き換えが可能です。

また、フラッシュメモリに書かれたユーザプログラムの書き換えやリードを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リード防止などに対応可能となっています。コードフラッシュメモリのブロック 8、9 (デュアルモード時はブロック 8、9、30、31) については、TM 機能を使用することで常にリードを防止することができます。

ユーザプログラムによる書き換え (セルフプログラミング) は、ターゲットシステムの製造 / 出荷後のプログラムやデータの変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを**表 48.5** に示します。

表48.5 書き換え方式

書き換え方式	機能概要	動作モード
フラッシュメモリプログラマによる書き換え	シリアルプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。TM機能を有効/無効にすることもできます。	ブートモード
セルフプログラミング	シリアルプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。TM機能を有効にすることもできます。 セルフプログラミングによるデータフラッシュメモリの書き換え時には、BGO機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。このため、コードフラッシュメモリ上の書き換え用のプログラムを実行しながら、データフラッシュメモリを書き換えることができます。 また、書き換え対象のコードフラッシュメモリ領域と読み出し対象のコードフラッシュメモリ領域のアドレス範囲が特定条件を満たすときにもBGO機能を利用可能です(表48.24参照)。この場合、セルフプログラミング時に、コードフラッシュメモリ上の書き換え用のプログラムを実行しながら、コードフラッシュメモリを書き換えることができます。 BGO機能を利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。内蔵RAMへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	シングルチップモード

各モードでプログラム / イレーズが可能なフラッシュメモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を**表 48.6** にまとめます。

表48.6 各モードの相違点

項目	シングルチップモード	ブートモード(SCIインタフェースまたはFINEインタフェース)
プログラム/イレーズが可能な領域	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ(プログラムのみ可能)	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ
リセット時の起動プログラム	コードフラッシュメモリ上のプログラム	ブートプログラム

フラッシュメモリの機能一覧を**表 48.7** に示します。シリアルプログラミングにおける各機能は、シリアルプログラマのコマンドで実現されます。セルフプログラミングにおける各機能は、FACI コマンドまたはユーザプログラムによるフラッシュメモリのリードで実現されます。

セキュリティ機能の設定は、「7. **オプション設定メモリ (OFSM)**」の「7.2.1 **シリアルプログラマコマンド制御レジスタ (SPCC)**」を参照してください。

表48.7 基本機能一覧

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレーズ後にプログラムされていない状態のデータフラッシュメモリのリード結果は保証されません。イレーズ後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	○	○
ブロックイレーズ	指定したブロックをイレーズします。	○	○
プログラム	指定したアドレスをプログラムします。	○	○
ベリファイ/チェックサム	フラッシュメモリからリードしたデータと、フラッシュメモリプログラマから転送されたデータを比較します。	○	× (ユーザプログラムにて読み出しは可能)
リード	フラッシュメモリにプログラムしたデータをリードします。	○	○
制御コード、またはIDコードの設定	OSIS レジスタを設定します。	○	○
セキュリティ機能の設定	SPCC レジスタを設定し、以下の機能を有効にします。 • オンチップデバッガ接続禁止 • シリアルプログラマIDコードプロテクト • シリアルプログラマ接続禁止	○	△ (設定を無効から有効にする場合のみ可能)
エリアプロテクションとスタートアッププログラム保護機能	エリアプロテクションとスタートアッププログラム保護機能を設定します。	○	○
コンフィギュレーションクリア	コンフィギュレーション設定領域をイレーズします。TM機能を無効にできます。	○	×
デュアルバンク機能	リニアモード/デュアルモードの切り替えを行います。	○	○
TM機能の設定	TM機能を設定します。	○	△ (設定を無効から有効にする場合のみ可能)

○：サポート、△：条件付サポート、×：未サポート

48.5.2 セキュリティ機能

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

セキュリティ機能は、オンチップデバッガ ID コードプロテクト、オンチップデバッガ接続禁止、シリアルプログラマ ID コードプロテクト、シリアルプログラマ接続禁止があります。

シリアルプログラミング時は、シリアルプログラマ ID コードプロテクト、シリアルプログラマ接続禁止が使用可能です。オンチップデバッガ使用時はオンチップデバッガ ID コードプロテクト、オンチップデバッガ接続禁止を使用可能です。

フラッシュメモリでサポートされるセキュリティ機能を**表 48.8** に、セキュリティ機能設定時の動作を**表 48.9** に示します。

表48.8　セキュリティ機能一覧

機能	機能概要
オンチップデバッガIDコードプロテクト	オンチップデバッガへの接続をIDコードの判定結果で制御可能です。
オンチップデバッガ接続禁止	オンチップデバッガへの接続をIDコードの設定にかかわらず禁止します。
シリアルプログラマIDコードプロテクト	シリアルプログラマの接続を制御コード、およびIDコードの判定結果で制御可能です。
シリアルプログラマ接続禁止	シリアルプログラミング時のシリアルプログラマの接続を禁止します。シリアルプログラマの接続を禁止すると、コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ機能の設定を禁止から許可に変更できなくなります。

表48.9　セキュリティ機能設定時の動作

機能	各セキュリティ機能設定時のプログラム/イレーズ/リード動作		セキュリティ機能設定時の注意事項	
	シリアルプログラミング	セルフプログラミング	シリアルプログラミング	セルフプログラミング
オンチップデバッガ接続禁止	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
シリアルプログラマIDコードプロテクト	(IDコードが不一致の場合) ブロックイレーズコマンド：× プログラムコマンド：× リードコマンド：× (IDコードが一致した場合) ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	(IDコードの判定は行わない) ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能	(IDコードの判定は行わない)
シリアルプログラマ接続禁止	ブロックイレーズコマンド：× プログラムコマンド：× リードコマンド：×	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドの実行が禁止されるため、禁止設定の初期化が不可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能

○：サポート、
×：未サポート

48.5.2.1 オンチップデバッガ ID コードプロテクト

オンチップデバッガ (OCD) への接続を禁止するための機能です。

エミュレータから送られてくるコードと、OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードとの一致を判定し、一致した場合、OCD への接続を許可します。一致しない場合、OCD への接続はできません。

OSIS レジスタの詳細は、「7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)」を参照してください。

48.5.2.2 シリアルプログラマ ID コードプロテクト

シリアルプログラマとの接続を禁止するための機能です。

シリアルプログラマから送られてくるコードと、OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードとの一致を判定し、一致した場合、シリアルプログラマとの接続を許可します。一致しない場合、シリアルプログラマとの接続はできません。

なお、制御コードが “45h” の状態で 3 回連続して判定結果が一致しなかった場合、フラッシュメモリを全て消去します。ただし、FAW.FSPR ビットが “0” の場合、フラッシュメモリを消去しません。

OSIS レジスタの詳細は、「7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)」、FAW レジスタの詳細は、「7.2.9 フラッシュアクセスウィンドウ設定レジスタ (FAW)」を参照してください。

48.5.3 プロテクション機能

48.5.3.1 ソフトウェアプロテクション

ソフトウェアプロテクトは、制御レジスタ設定によってコードフラッシュメモリに対するプログラム / イレーズが禁止された状態です。ソフトウェアプロテクトに違反して、FACI コマンドを発行した場合には、フラッシュシーケンサはコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを “01b” にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR レジスタが “0000h” の場合には、フラッシュシーケンサはリードモードになります。リードモードでは、FACI コマンドは受け付けられません。リードモードで FACI コマンドが発行された場合には、フラッシュシーケンサはコマンドロック状態になります。

48.5.3.2 エラープロテクション

エラープロテクトは、FACI コマンドの誤発行 / 禁止アクセスの発生、フラッシュシーケンサの誤動作を検出して FACI コマンドの受け付けを禁止する状態 (コマンドロック状態) です。フラッシュシーケンサをコマンドロック状態にすることにより、フラッシュメモリのプログラム / イレーズが禁止されます。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグが “0” の状態でステータスクリアまたは強制終了コマンドを発行する必要があります。ステータスクリアコマンドは FSTATR.FRDY フラグが “1” の場合のみ使用できます。強制終了コマンドは、FRDY フラグの値に関わらず使用できます。

フラッシュアクセスエラー (FIFERR) 割り込みの発生により、誤動作を検出できます。FIFERR 割り込みは、以下の条件で発生します。

- FAEINT.DFAEIE ビットが “1” の場合に、データフラッシュメモリアクセス違反が発生 (FASTAT.DFAE フラグが “1”) したとき
- FAEINT.CMDLKIE ビットが “1” の場合に、フラッシュシーケンサがコマンドロック状態 (FASTAT.CMDLK フラグが “1”) になったとき
- FAEINT.CFAEIE ビットが “1” の場合に、コードフラッシュメモリアクセス違反が発生 (FASTAT.CFAE フラグが “1”) したとき

プログラム / イレーズ処理中に P/E サスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、フラッシュシーケンサはプログラム / イレーズ処理を継続します。この状態で P/E サスペンドコマンドを発行してプログラム / イレーズを中断することはできません。コマンドロック状態でコマンドが発行された場合には、FSTATR.ILGLERR フラグの値は “1” になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 48.10 にエラープロテクトの内容とエラー検出後のステータスビット値の関係を示します。

表48.10　エラープロテクト一覧

分類	内容	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
FENTRYR設定エラー	FENTRYRレジスタに“AA81h”をライト	1	0	0	0	0	0
	サスペンド時とレジューム時でFENTRYRレジスタの値が不一致	1	0	0	0	0	0
不正コマンドエラー	FACIコマンドの第1アクセスで未定義コードをライト	1	0	0	0	0	0
	複数アクセスサイクルのFACIコマンドの最終アクセスで“D0h”以外をライト	1	0	0	0	0	0
	プログラムコマンド、コンフィギュレーション設定コマンドにおいて、FACIコマンドの第2アクセスで指定された値(N)(表48.16参照)が不正	1	0	0	0	0	0
	ブランクチェックコマンドを下記のいずれかの設定で発行 • FBCCNT.BCDIRビット = 0、かつFSADDRレジスタ > FEADDRレジスタ • FBCCNT.BCDIRビット = 1、かつFEADDRレジスタ > FSADDRレジスタ • FEADDRレジスタのb18～b0の設定値が0 4000h～7 FFFFhの範囲	1	0	0	0	0	0
	各モードで使用できないFACIコマンドを発行(表48.13参照)	1	0	0	0	0	0
	プログラムコマンド、ブロックイレーズコマンドをエリアプロテクションによって保護されている領域に対して発行	1	0	0	0	0	0
	コマンド受け付け条件を満たさない状態でFACIコマンドを発行(表48.14参照)	1	0/1	0/1	0/1	0/1	0/1
イレーズエラー	イレーズ処理中のエラー発生	0	1	0	0	0	0
プログラムエラー	プログラム処理中のエラー発生	0	0	1	0	0	0
コードフラッシュメモリアクセス違反	コードフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンドを下記の設定で発行 • FSADDRレジスタのb23～b0の設定値が00 0000h～F7 FFFFh(注1)、または00 0000h～FB FFFFh(注2)の範囲	1	0	0	0	1	0
データフラッシュメモリアクセス違反	データフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンドを下記の設定で発行 • FSADDRレジスタのb18～b0の設定値が0 4000h～7 FFFFhの範囲	1	0	0	0	0	1
	データフラッシュメモリP/Eモードのとき、コンフィギュレーション設定コマンドを下記の設定で発行 • FSADDRレジスタのb18～b0の設定値が0 0000h～0 003Fh、または0 0100h～7 FFFFhの範囲	1	0	0	0	0	1
セキュリティエラー	FAW.FSPRビットが“0”のとき、コンフィギュレーション設定コマンドをFAWレジスタに対して発行	1	0	0	0	0	0
その他	リードモードで、FACIコマンド発行領域をアクセス	1	0	0	0	0	0
	コードフラッシュメモリP/Eモードまたはデータフラッシュメモリ P/Eモードで、FACIコマンド発行領域を読み出し	1	0	0	0	0	0
フラッシュ P/Eプロテクトエラー	フラッシュシーケンサのコマンド処理中にFWEPRORレジスタ設定によるフラッシュメモリのプログラム/イレーズ保護違反を検出	0	0/1	0/1	1	0	0

注1.　RAM容量が64Kバイトの製品の場合
注2.　RAM容量が48Kバイトの製品の場合

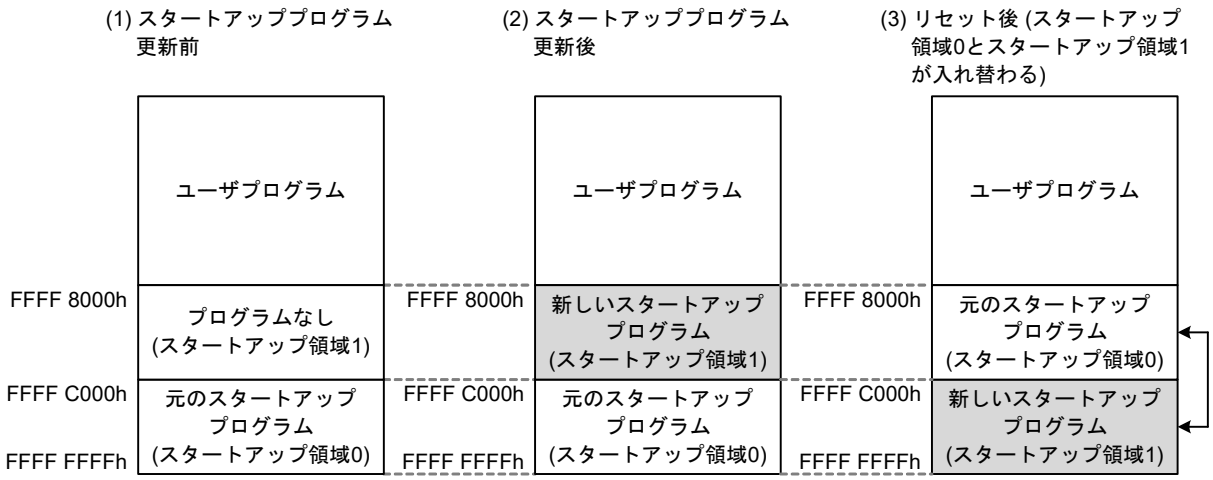
48.5.4　スタートアッププログラム保護機能

スタートアッププログラム保護機能は、リセット後に起動するプログラム (スタートアッププログラム) を保護する機能です。本機能はリセットなどによる書き換え動作の中断に対して安全なスタートアッププログラムの更新方法を提供しています。

スタートアップ領域のサイズは 16K バイトでコードフラッシュメモリに配置されています。スタートアッププログラム保護機能は FAW.BTFLG ビットと FSUACR.SAS[1:0] ビットの値を用いてブロック単位でスタートアッププログラムを格納する領域を変更します (図 48.5 ～図 48.8 参照)。

スタートアッププログラム保護機能は、アクセスウィンドウプロテクトビット (FAW.FSPR) でスタートアップ領域の選択状態を固定化できます。ただし、FAW.FSPR ビットを一度 “0” にすると “1” に戻すことはできません。FAW.FSPR ビットの取り扱いには十分ご注意ください。

なお、バンクモード切り替え機能でデュアルモード選択時 (MDE.BANKMD[2:0] = 000b) は、スタートアッププログラム保護機能は使用できません。



注.　アドレスは、読み出し、プログラム、イレーズ時に使用するアドレスです。(3)の配置でFFFF 8000h～FFFF BFFFh番地にブロックイレーズコマンドを発行すると、スタートアップ領域0がイレーズされます。

(1) スタートアッププログラム更新前
FAW.BTFLGビットが“1”、SAS[1:0]ビットが“0xb”の場合の、FFFF 8000h～FFFF BFFFh番地をスタートアップ領域1、FFFF C000h～FFFF FFFFh番地をスタートアップ領域0とします。

(2) スタートアッププログラム更新後
スタートアップ領域1に新しいスタートアッププログラムを書き込みます。このとき、スタートアップ領域0には元のスタートアッププログラムがあるので、スタートアップ領域1への書き換えが失敗しても、スタートアップ領域0から起動して再度書き換えを行うことができます。

(3)リセット後(スタートアップ領域0とスタートアップ領域1が入れ替わる)
スタートアップ領域1の書き換えが成功したら、コンフィギュレーション設定コマンドを使用してスタートアップ領域選択ビット(FAW.BTFLGビット)を書き換えることによって、スタートアップ領域0とスタートアップ領域1の配置を入れ替えます。
これ以降、リセット後もスタートアップ領域1からプログラムが起動します。

図 48.5　スタートアッププログラム保護機能の概念

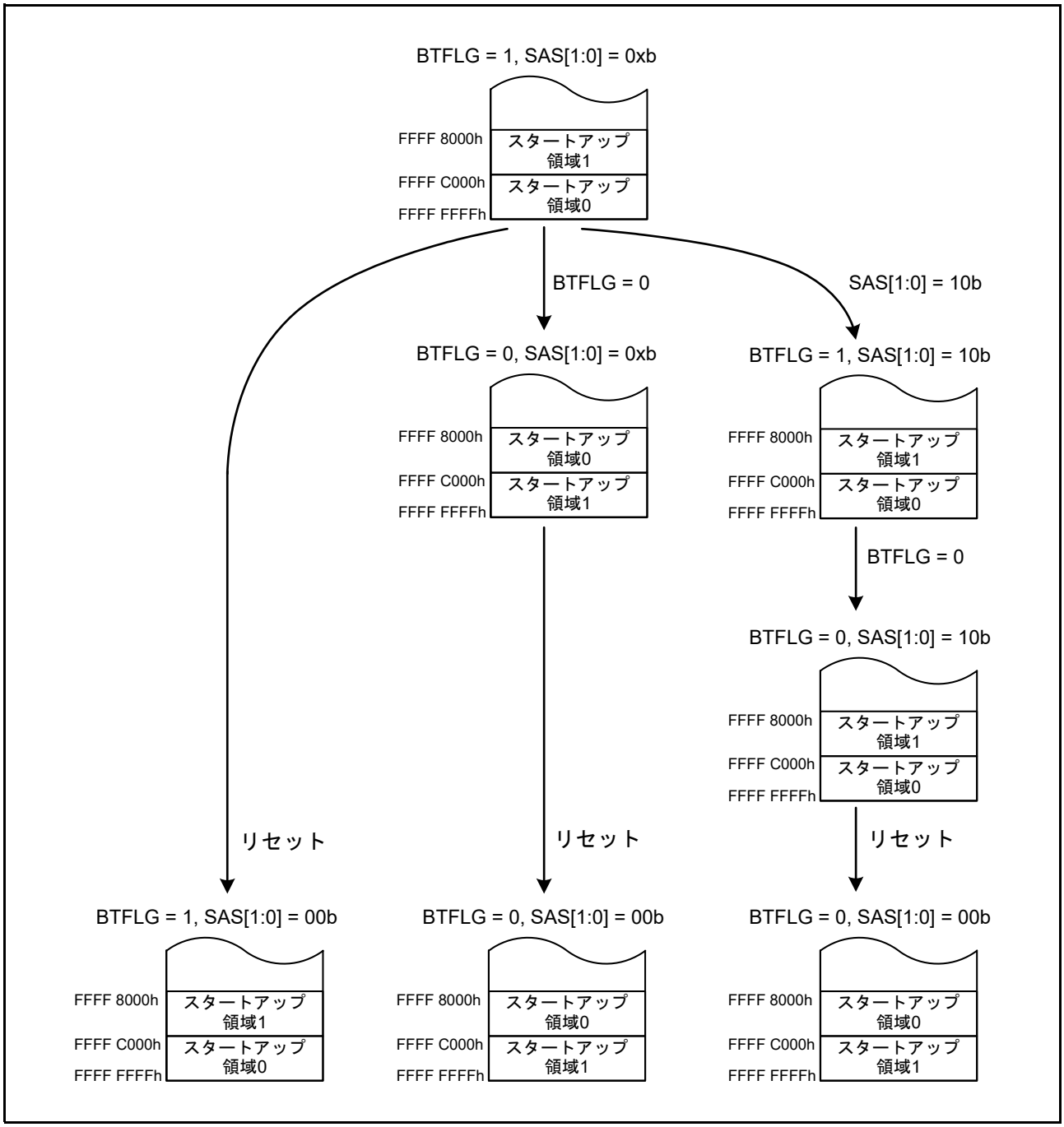


図 48.6 スタートアッププログラム保護機能の設定遷移例 1

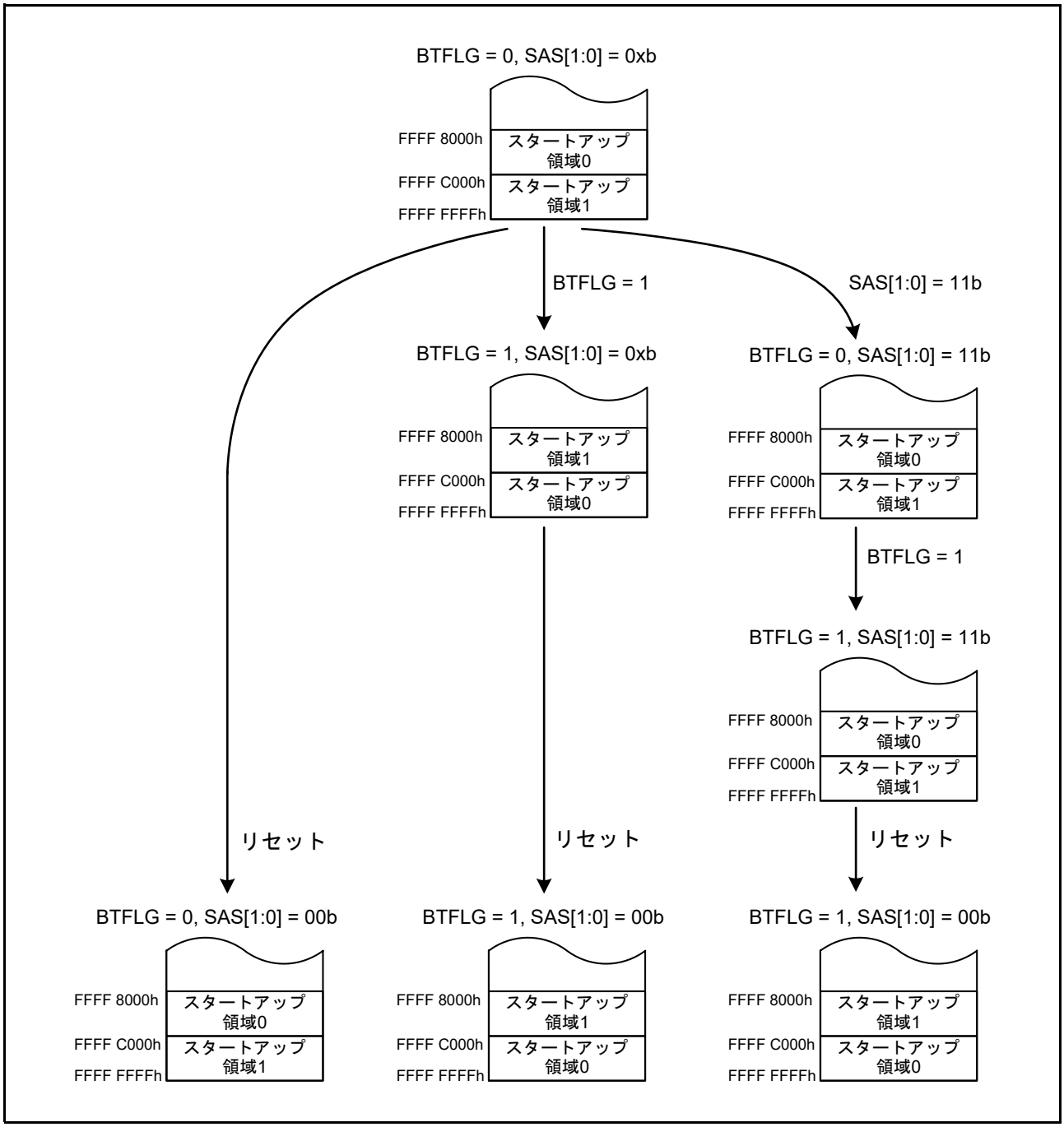


図 48.7 スタートアッププログラム保護機能の設定遷移例 2

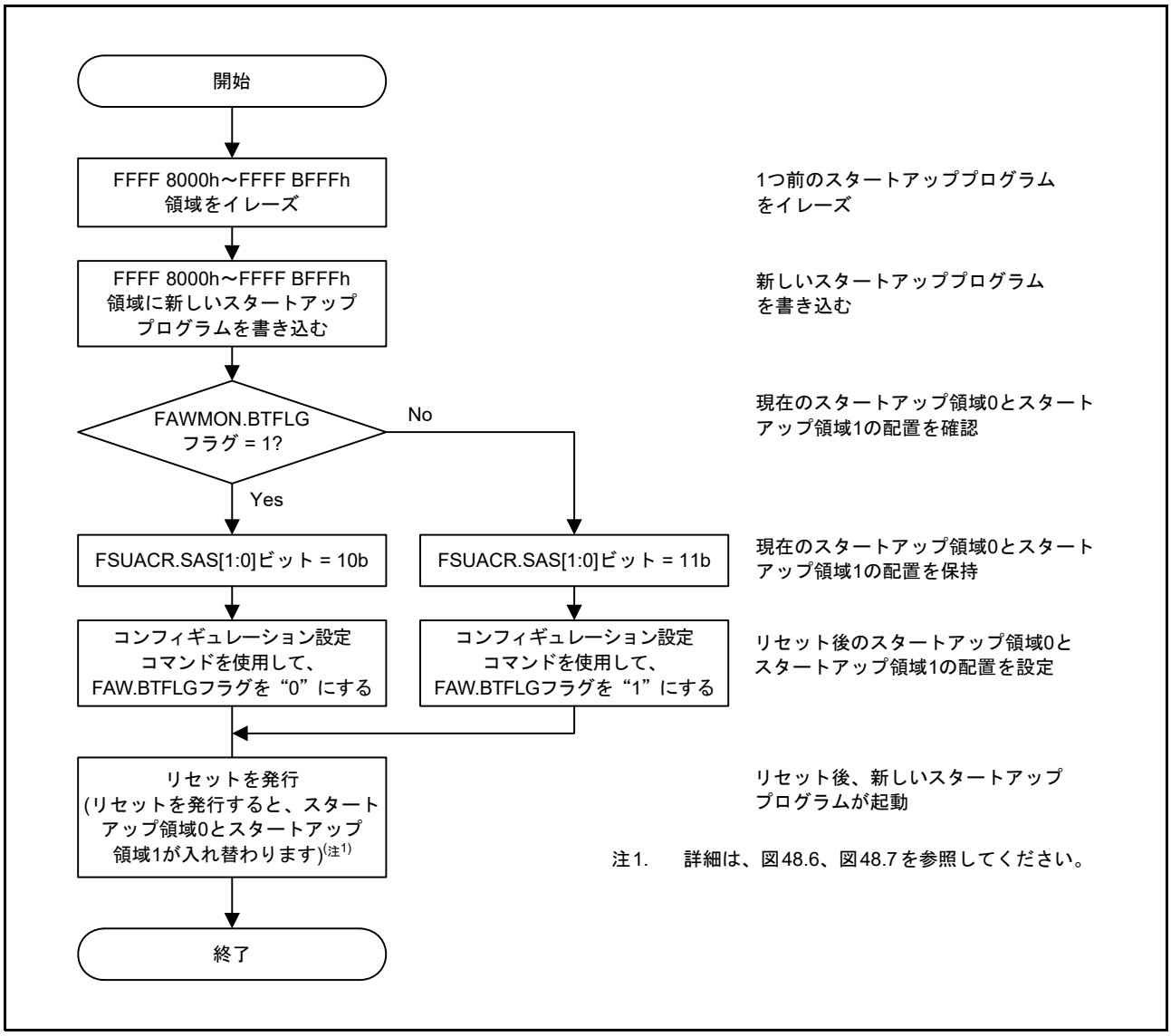


図 48.8 スタートアップ領域選択フロー例

48.5.5 エリアプロテクションによるプロテクト

設定されたアクセスウィンドウの外側の領域に対してプログラム / イレーズを行う FACI コマンドを発行するとコマンドロック状態になります。アクセスウィンドウはコードフラッシュメモリのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモードで有効になります。

アクセスウィンドウはブロック単位で設定可能です。

図 48.9 にエリアプロテクションの概念を示します。

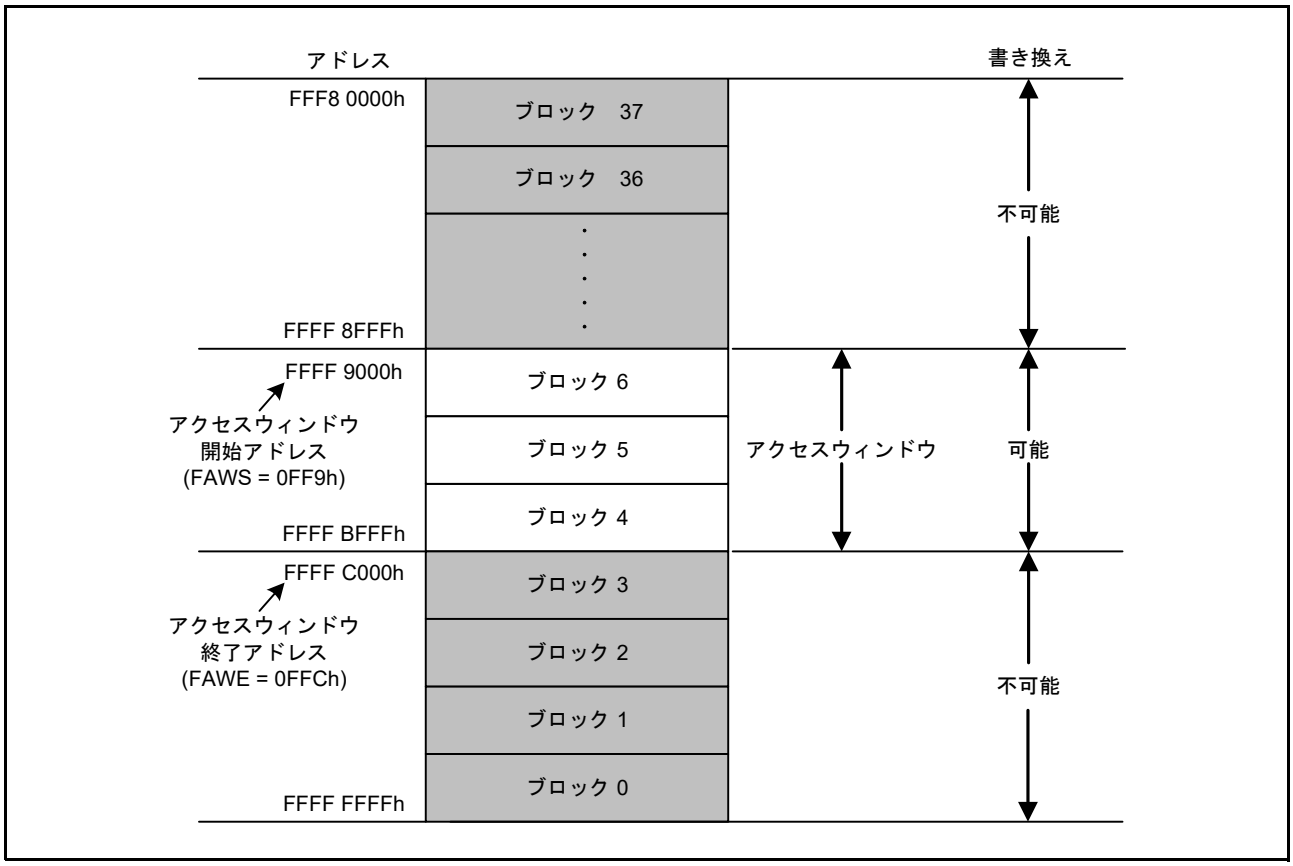


図 48.9 エリアプロテクションの概念 (コードフラッシュメモリ容量が 512K バイトの製品でブロック 4 からブロック 6 をアクセスウィンドウに設定した場合の例)

48.5.6 デュアルバンク機能

バンクモード切り替え機能と起動バンク選択機能によりユーザプログラムを実行しながらプログラムを更新できます。バンクモード切り替え機能と起動バンク選択機能によりリセットなどによる書き換え動作の中断に対して安全な更新方法を提供しています。

48.5.6.1 バンクモード切り替え機能

バンクモード切り替え機能により、コードフラッシュメモリを 1 つの領域として扱うリニアモードと、2 つのバンク領域として扱うデュアルモードを切り替えることができます。図 48.10 にバンクモード切り替え機能を示します。オプション設定メモリの MDE.BANKMD[2:0] ビットの値を設定してからリセットを実施することで、バンクモード切り替え機能のモードが決まります。デュアルモードを選択すると、起動バンク選択機能が有効になります。

なお、デュアルモード選択時 (MDE.BANKMD[2:0] = 000b) は、スタートアッププログラム保護機能は使用できません。

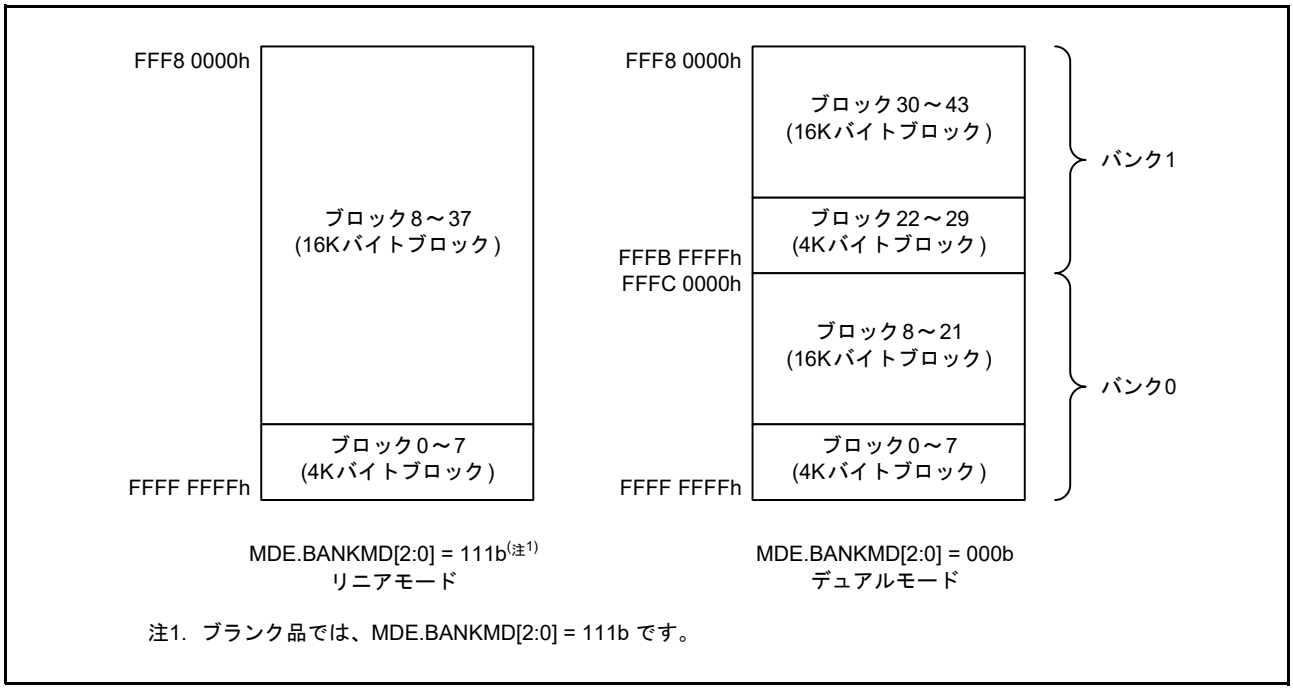


図 48.10 バンクモード切り替え例 (コードフラッシュメモリ容量が 512K バイトの製品の例)

48.5.6.2 起動バンク選択機能

起動バンク選択機能により、デュアルモード選択時 (MDE.BANKMD[2:0] = 000b) にプログラムを起動するバンク領域を選択することで、リセットなどによる書き換え動作の中断に対して安全なプログラム更新方法を提供します。図 48.11 に起動バンク選択機能について、図 48.12 に起動バンク選択フロー例を示します。オプション設定メモリの BANKSEL.BANKSWP[2:0] ビットの値を設定してからリセットすることで、バンク 0 とバンク 1 のアドレスが切り替わり、更新した領域からプログラム起動を行います。起動バンク選択によりアドレス切り替えを行った状態では、FACI コマンドによる P/E 対象も入れ替わります。本機能はリニアモード選択時は無効です。

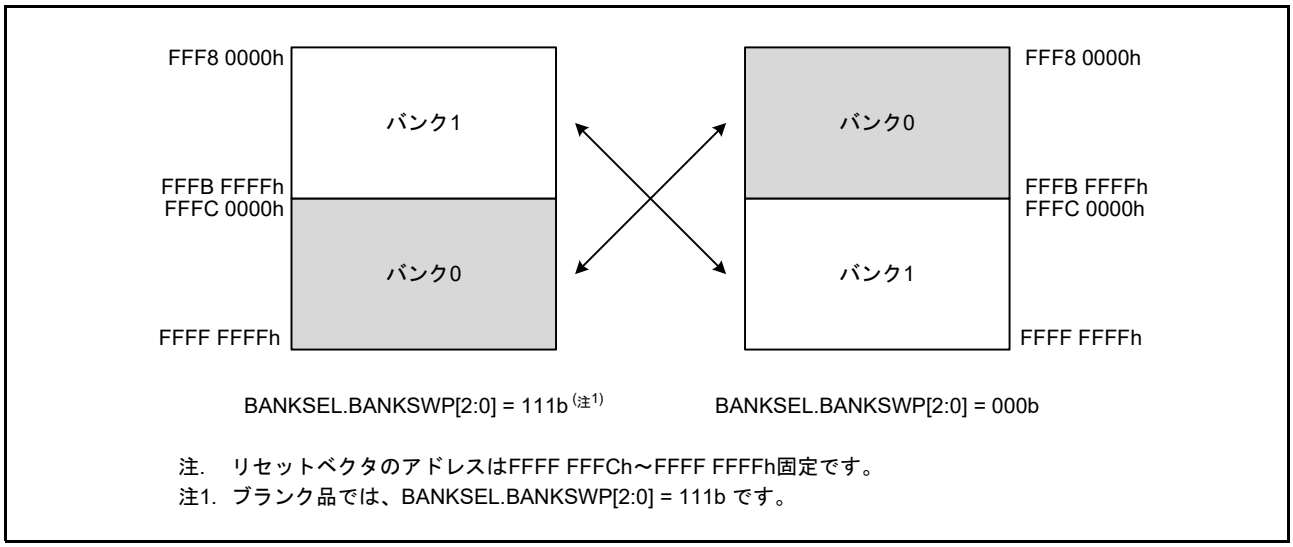


図 48.11 起動バンク選択例 (コードフラッシュメモリ容量が 512K バイトの製品の例)

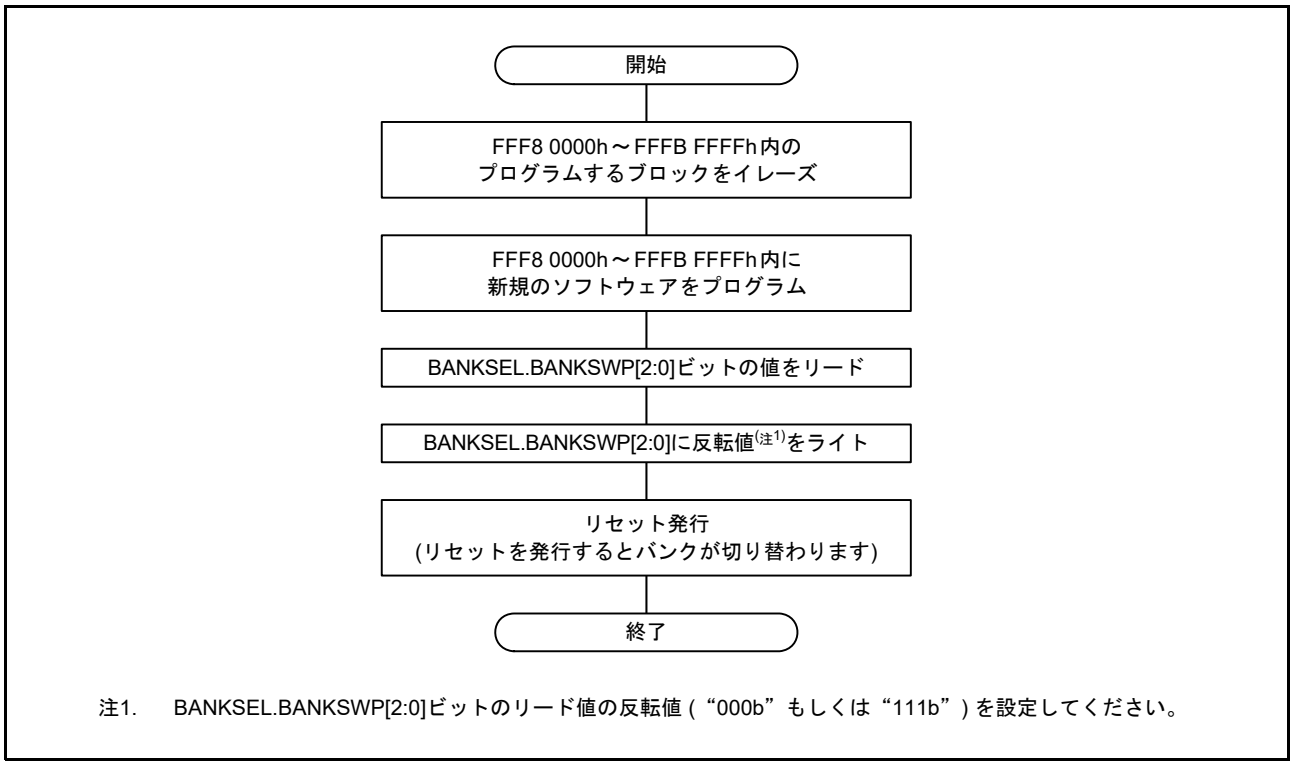


図 48.12　起動バンク選択フロー例 (コードフラッシュメモリ容量が 512K バイトの製品の例)

48.5.7　サスペンド機能

プログラム / イレーズ処理中は、BGO 動作時以外のフラッシュメモリのリードはできません。P/E サスペンドコマンドを発行し、フラッシュメモリへのプログラム / イレーズ処理を中断させることによって、フラッシュメモリのリードができるようになります。P/E サスペンドコマンドには、プログラムに対するサスペンドが 1 種類とイレーズに対するサスペンドが 2 種類 (サスペンド優先モード、イレーズ優先モード) 存在します。また、中断したプログラム / イレーズ処理を再開する P/E レジュームコマンドも用意しています。

48.5.8　Trusted Memory

本 MCU には、コードフラッシュメモリ上のブロック 8、9 (デュアルモード時はブロック 8、9、30、31) に第三者によるソフトウェアのリード防止機能として、Trusted Memory (以後、TM と呼びます) があり、暗号アルゴリズムの処理ソフトウェア、ノウハウを伴う機器制御処理ソフトウェアや有償のミドルウェアなどを格納するのに適しています。

表 48.11 に TM 機能の仕様を、**表** 48.12 に TM 機能有効時の TM 対象領域内のアクセス制限を、TM 機能有効時、TM 対象領域で CPU が動作可能なケースを**図** 48.13 に示します。

表48.11　TM機能の仕様 (1/2)

項目	内容
TM対象領域	リニアモード：コードフラッシュメモリのブロック8、9 (合計32Kバイト) デュアルモード：コードフラッシュメモリのブロック8、9 (合計32Kバイト)、およびブロック30、31 (合計32Kバイト)
TM機能有効時のアクセス制限	「表48.12　TM機能有効時のTM対象領域内のアクセス制限」を参照

表48.11　TM機能の仕様 (2/2)

項目	内容
TM機能有効時のプログラム実行方法	TM機能有効時、TM対象領域内のプログラムを実行するにはTM対象領域外のプログラムから分岐命令による実行のみ可能
TM機能有効時、TM対象領域内のプログラム実行時の割り込み処理	割り込み処理の受付、割り込み処理からの復帰ともに可能
セキュリティ機能	TM機能有効時、TM対象領域内のプログラムのアクセス制限
プロテクション機能	• TM機能有効時のTM対象領域のデータアクセスに対する制限(注1) • TM機能有効時、TM対象領域をイレーズするまで、TM機能無効化防止 • TM機能有効時、TM対象領域に対する追加プログラム防止

注1.　データアクセスはTM対象領域の境界を含んだ場合、実行できません。

表48.12　TM機能有効時のTM対象領域内のアクセス制限

アクセス種別	CPU	DMAC/DTC
命令フェッチ	可能	—
データアクセス(注1)	不可能	不可能

注.　オンチップデバッガ(OCD)使用時は、上記表のDMACと同じ制限となります。OCDのTM対象領域に対する動作は、ご使用になるエミュレータのマニュアルを参照してください。
注1.　データはTM対象領域外に配置してください。

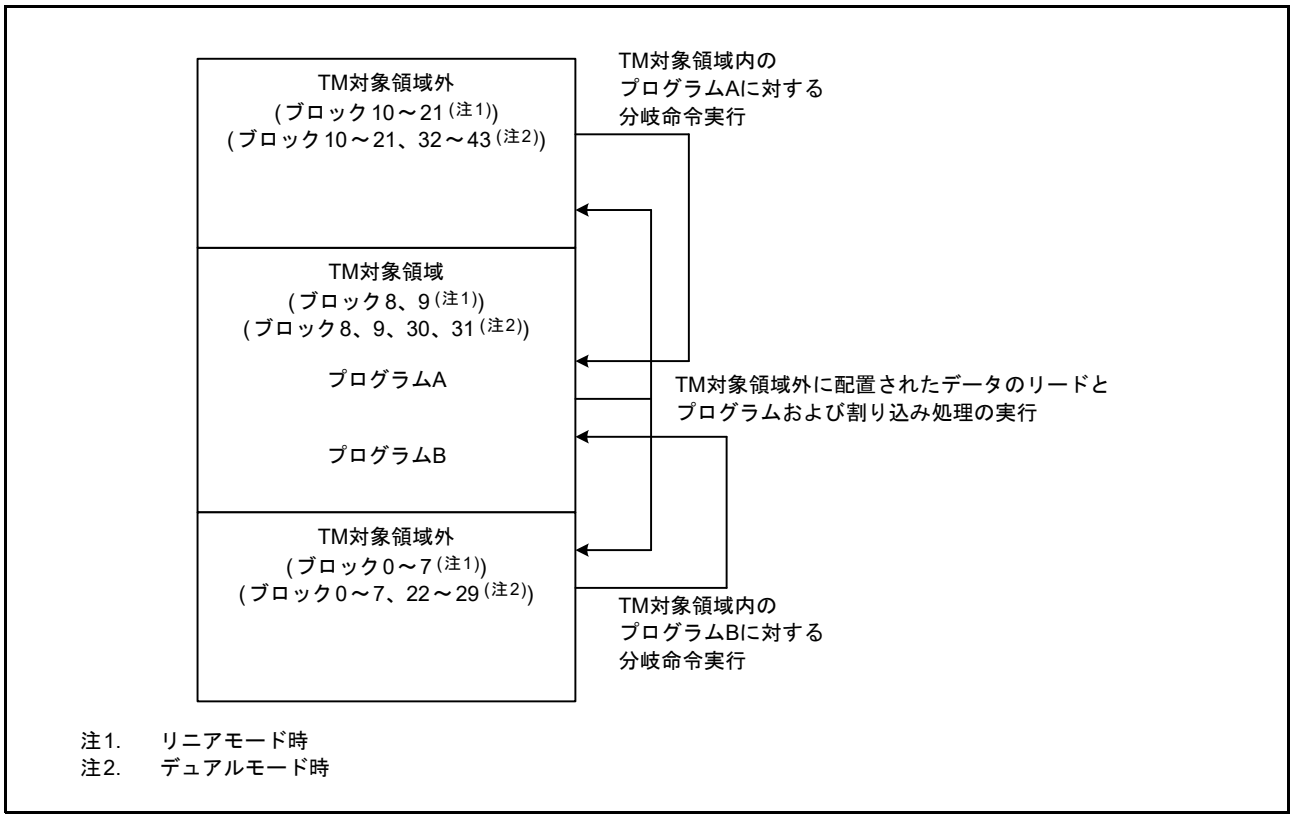


図 48.13　TM 機能有効時、TM 対象領域で CPU が動作可能なケース

48.5.8.1　TM 対象領域に配置するプログラム

TM 機能有効時、TM 対象領域外から TM 対象領域内の連続したアドレスにアクセスするプログラムの実行を防止するため、必要に応じて TM 対象領域内のソフトウェアによる対策を実施してください。

48.5.8.2 TM 機能を有効にする方法

(1) セルフプログラミングによる方法

TM 対象領域である、コードフラッシュメモリのブロック 8、9 (デュアルモード時はブロック 8、9、30、31) へのプログラムを実行後、FACI のコンフィギュレーション設定コマンドで TM 機能を有効にします。

図 48.14 にセルフプログラミングによって TM 機能を有効にするためのフローを示します。

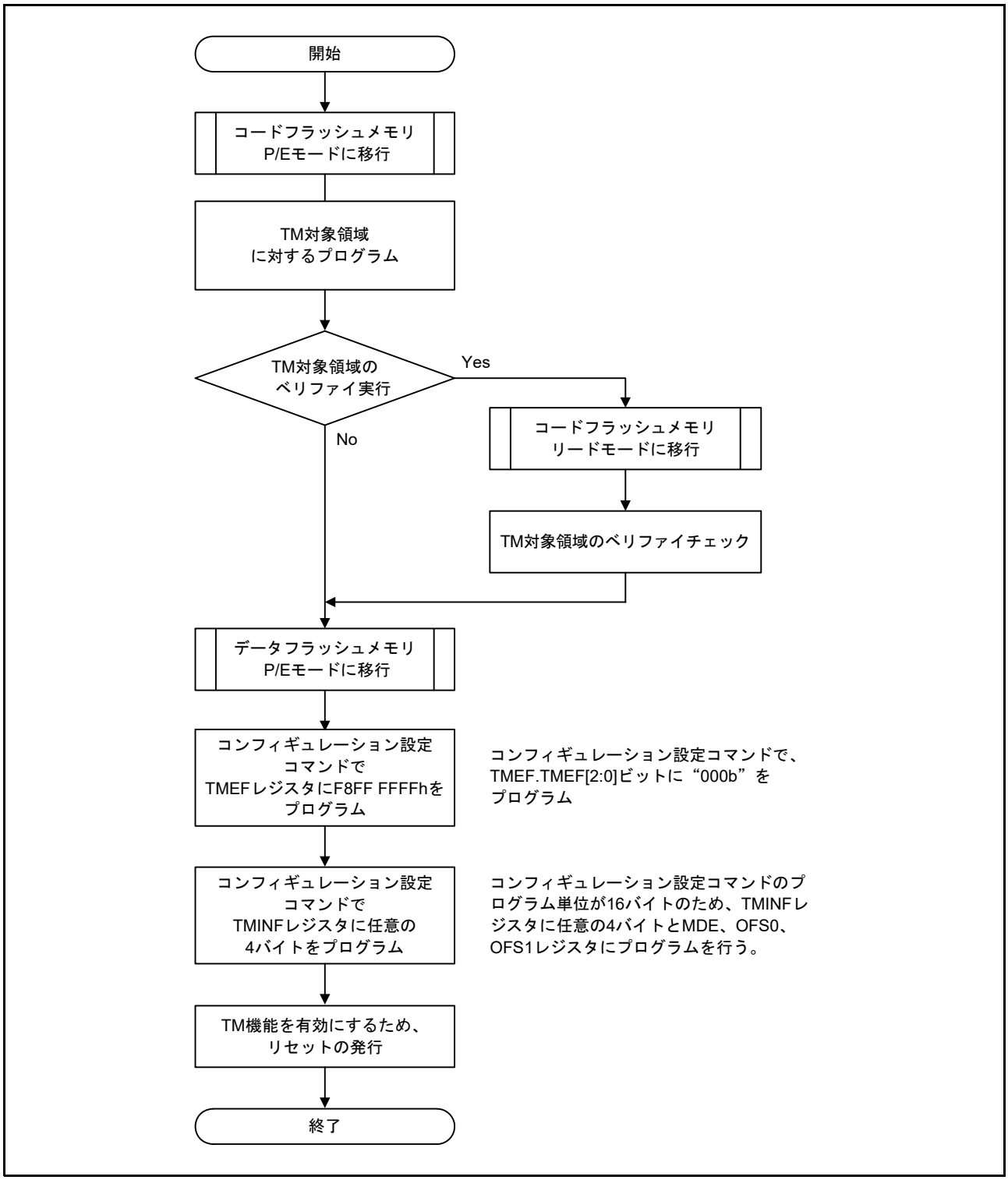


図 48.14 セルフプログラミングによって TM 機能を有効にするためのフロー

(2) ブートモードによる方法

ブートモードにおいて、コードフラッシュメモリのブロック 8、9 (デュアルモード時はブロック 8、9、30、31) へのプログラムを実行後、コンフィギュレーションプログラムコマンドで TM 機能を有効にします。

コンフィギュレーションプログラムコマンドについては「48.8.22 コンフィギュレーションプログラムコマンド」を参照してください。

図 48.15 にブートモードで TM 機能を有効にするためのフローを示します。

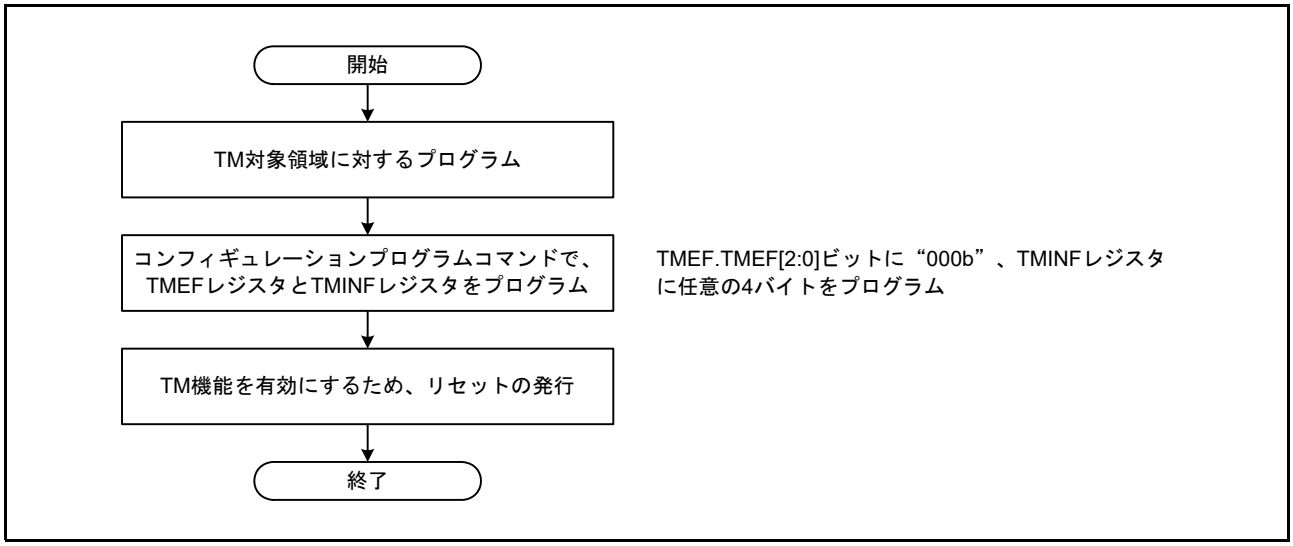
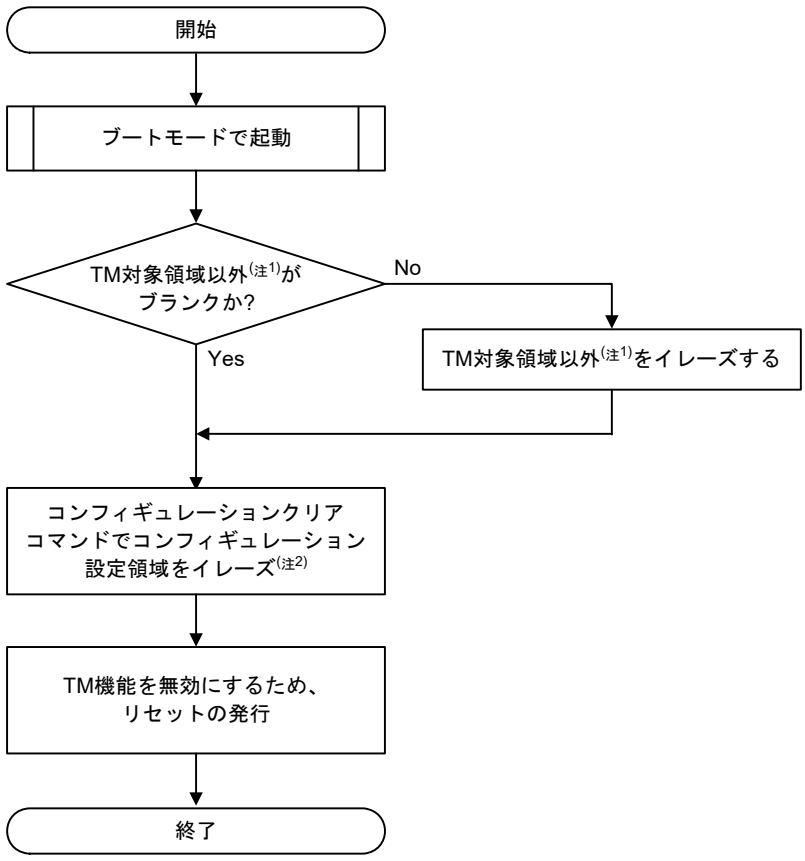


図 48.15 ブートモードで TM 機能を有効にするためのフロー

48.5.8.3 TM 機能を無効にする方法

TM 機能を無効にする場合、コンフィギュレーションクリアコマンドで TM 対象領域をイレーズする必要があります。TM 機能を無効にしない場合は、コンフィギュレーションクリアコマンドを使用しないでください。

図 48.16 にブートモードで TM 機能を無効にするためのフローを示します。



注1. TM対象領域以外の領域とは、コードフラッシュメモリのブロック8、9 (デュアルモード時はブロック8、9、30、31)以外の領域、およびデータフラッシュメモリ。
注2. コンフィギュレーションクリアコマンドで、TMEF レジスタ、TMINF レジスタを含むコンフィギュレーション設定領域、TM対象領域をイレーズします。

図 48.16 ブートモードで TM 機能を無効にするためのフロー

48.5.8.4 TM 機能有効時の注意事項

(1) TM 対象領域のアクセス防止

TM 機能有効時、TM 対象領域は CPU による命令フェッチのみ実行可能となりますので、TM 対象領域にはデータを配置しないでください。

TM 機能有効時、CPU/DMAC/DTC および OCD による TM 対象領域に対するデータアクセスを実行すると、プログラムされた値ではなく “0” がリードされます。

(2) TM 対象領域に対する追加プログラム

TM 機能有効時、TM 対象領域に対して追加プログラムはできません。

「48.5.8.3 TM 機能を無効にする方法」で TM 機能を無効にした後、**「48.5.8.2 TM 機能を有効にする方法」**でコードフラッシュメモリのブロック 8、9 (デュアルモード時はブロック 8、9、30、31) に対するプログラムと TM 機能の有効化を実施してください。

(3) コンフィギュレーションクリアコマンド実行

「48.5.8.3 TM 機能を無効にする方法」でコンフィギュレーションクリアコマンドを実行してください。

(4) TM 対象領域に対する MPU 設定時

TM 機能有効時、TM 対象領域に対して MPU を設定しても、TM 機能が優先されます。

(5) TM 対象領域に対する FACI のブロックイレーズコマンドについて

FACI のブロックイレーズコマンドによる、TM 対象領域のブロックイレーズは特に制約はありません。ブロックイレーズコマンドの発行によりイレーズされます。

(6) TM 機能の動作条件

TM 機能は、**「49. 電気的特性」**で規定された条件において正常に動作します。

48.6 フラッシュシーケンサ

48.6.1 フラッシュシーケンサの動作モード

フラッシュシーケンサには、図 48.17 に示す 3 種類のモードがあります。モードの移行は、FENTRYR レジスタの書き込みで行います。

FENTRYR レジスタが “0000h” の場合には、フラッシュシーケンサはリードモードになります。このモードでは、FACI コマンドを受け付けません。コードフラッシュメモリ、データフラッシュメモリともにリードが可能です。

FENTRYR レジスタが “0001h” の場合には、フラッシュシーケンサはコードフラッシュメモリ P/E モードになります。コードフラッシュメモリ P/E モードでは、FACI コマンドを使用してコードフラッシュメモリのプログラム / イレーズを実行可能です。データフラッシュメモリのリードは可能です。また、BGO 動作が可能な条件下では、コードフラッシュメモリのリードも可能です。

FENTRYR レジスタが “0080h” の場合には、フラッシュシーケンサはデータフラッシュメモリ P/E モードになります。データフラッシュメモリ P/E モードでは、FACI コマンドを使用してデータフラッシュメモリのプログラム / イレーズを実行可能です。このモードでは、データフラッシュメモリのリードはできません。コードフラッシュメモリのリードは可能です。

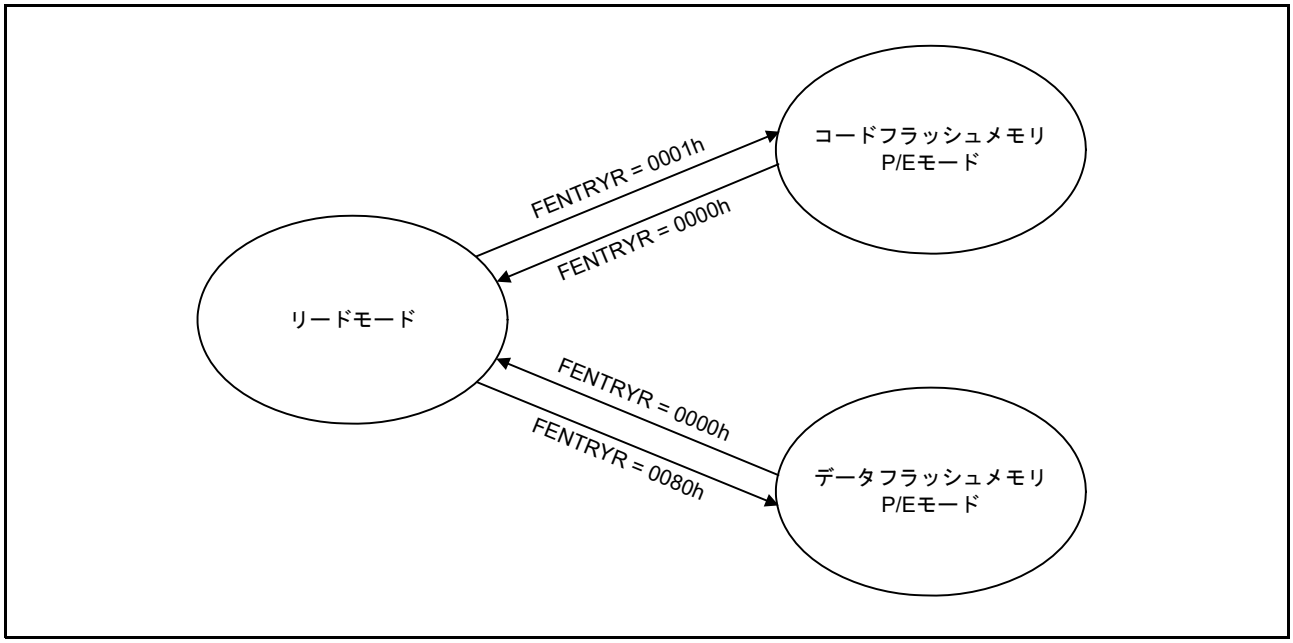


図 48.17 フラッシュシーケンサのモード

48.6.2 リードモード

リードモードは、コードフラッシュメモリまたはデータフラッシュメモリの高速読み出しを行うためのモードです。

(1) コードフラッシュメモリ

シングルチップモードのコードフラッシュメモリのリード時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のコードフラッシュメモリをリードすると、全ビット “1” がリードされます。

(2) データフラッシュメモリ

シングルチップモードのデータフラッシュメモリのリード時には、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のデータフラッシュメモリの値は不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

48.6.3 コードフラッシュメモリ P/E モード

コードフラッシュメモリが P/E モード、データフラッシュメモリがリードモードになっているモードを、コードフラッシュメモリ P/E モードと言います。FENTRYR.FENTRYD ビットを “0”、FENTRYR.FENTRYC ビットを “1” にした場合にこのモードに遷移します。

48.6.4 データフラッシュメモリ P/E モード

コードフラッシュメモリがリードモード、データフラッシュメモリが P/E モードになっているモードを、データフラッシュメモリ P/E モードと言います。FENTRYR.FENTRYD ビットを “1”、FENTRYR.FENTRYC ビットを “0” にした場合にこのモードに遷移します。

48.6.5 モード遷移

フラッシュシーケンサの各モード / 状態で受け付け可能な FACI コマンドが決められています。FACI コマンドの発行は、フラッシュシーケンサをコードフラッシュメモリ P/E モードまたはデータフラッシュメモリ P/E モードに移行させた後、フラッシュシーケンサの状態を確認してから実施する必要があります。フラッシュシーケンサの状態の確認には、FSTATR レジスタと FASTAT レジスタを使用してください。なお、FASTAT.CMDLK フラグは、FSTATR レジスタの ILGLERR、ERSERR、PRGERR、FLWEERR フラグと FASTAT レジスタの CFAE、DFAE フラグの値の論理和です。このため、FASTAT.CMDLK フラグの値によって、エラーの発生有無を確認することができます。

各モードで使用可能なコマンドを**表 48.13** に示します。

表48.13 各モードで使用可能なコマンド

モード	FENTRYR レジスタの値	使用可能なコマンド
リードモード	0000h	なし
コードフラッシュメモリP/Eモード	0001h	プログラム ブロックイレーズ P/Eサスペンド P/E レジューム ステータスクリア 強制終了
データフラッシュメモリP/Eモード	0080h	プログラム ブロックイレーズ P/Eサスペンド P/E レジューム ステータスクリア 強制終了 ブランクチェック コンフィギュレーション設定

表 48.14 にフラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係を示します。この表は、各コマンドの実行前に適切なモード設定にしていることを前提に記載しています。

表48.14　フラッシュシーケンサの状態と受け付け可能なFACIコマンドの関係

	プログラム/イレーズの処理中 (注1)	コンフィギュレーション設定の処理中	プログラム/イレーズのサスペンド処理中	ブランクチェックの処理中	プログラムサスペンド中	イレーズサスペンド中	イレーズサスペンド中のプログラム処理中	コマンドロック状態(FRDY = 1)	コマンドロック状態(FRDY = 0)	強制終了のコマンド処理中	その他の状態
FRDYフラグ	0	0	0	0	1	1	0	1	0	0	1
SUSRDYフラグ	1	0	0	0	0	0	0	0	0	0	0
ERSSPDフラグ	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0
PRGSPDフラグ	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0
CMDLKフラグ	0	0	0	0	0	0	0	1	1	0	0
プログラム	×	×	×	×	×	○ (注2)	×	×	×	×	○
ブロックイレーズ	×	×	×	×	×	×	×	×	×	×	○
P/Eサスペンド	○	×	×	×	×	×	×	—	×	×	—
P/E レジューム	×	×	×	×	○	○	×	×	×	×	×
ステータスクリア	×	×	×	×	○	○	×	○	×	×	○
強制終了	○	○	○	○	○	○	○	○	○	○	○
ブランクチェック	×	×	×	×	○ (注3)	○ (注3)	×	×	×	×	○ (注3)
コンフィギュレーション設定	×	×	×	×	×	×	×	×	×	×	○ (注3)

○：受け付け可能、×：受け付け不可能 (コマンドロック状態発生)、—：無視

注1.　P/Eサスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合も含みます。

注2.　イレーズサスペンド中のブロック以外へのプログラムのみ受け付け可能。

注3.　データフラッシュメモリP/Eモードでのみ受け付け可能

48.6.5.1 コードフラッシュメモリ P/E モードへの遷移

コードフラッシュメモリ関連の FACI コマンドを使用するためには、コードフラッシュメモリ P/E モードに移行する必要があります。コードフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYC ビットを “1” にします。

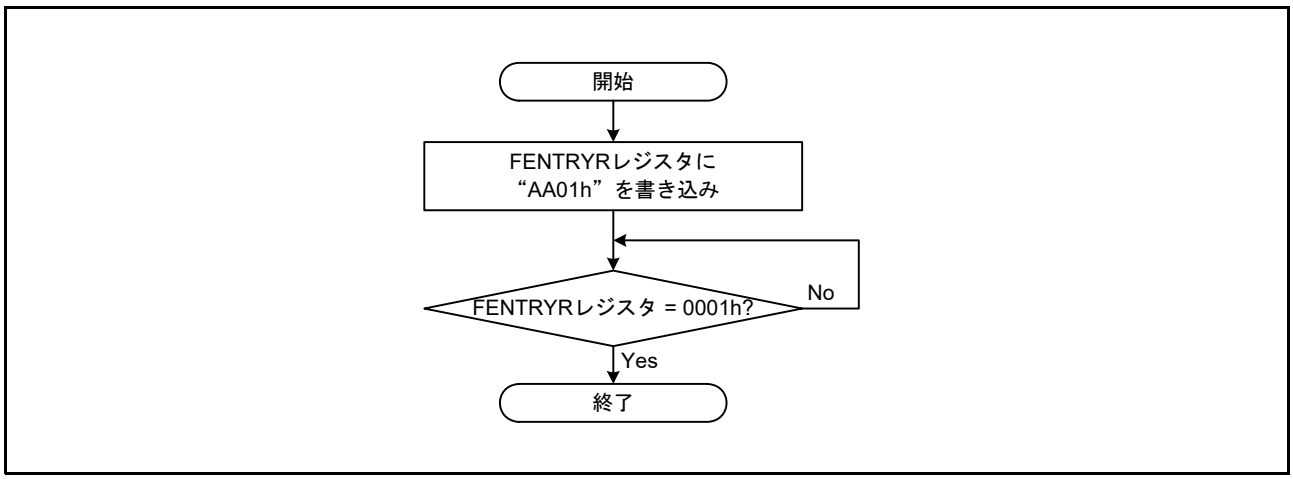


図 48.18 コードフラッシュメモリ P/E モード移行フロー

48.6.5.2 データフラッシュメモリ P/E モードへの遷移

データフラッシュメモリ関連の FACI コマンドを使用するためには、データフラッシュメモリ P/E モードに移行する必要があります。データフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYD ビットを “1” にします。

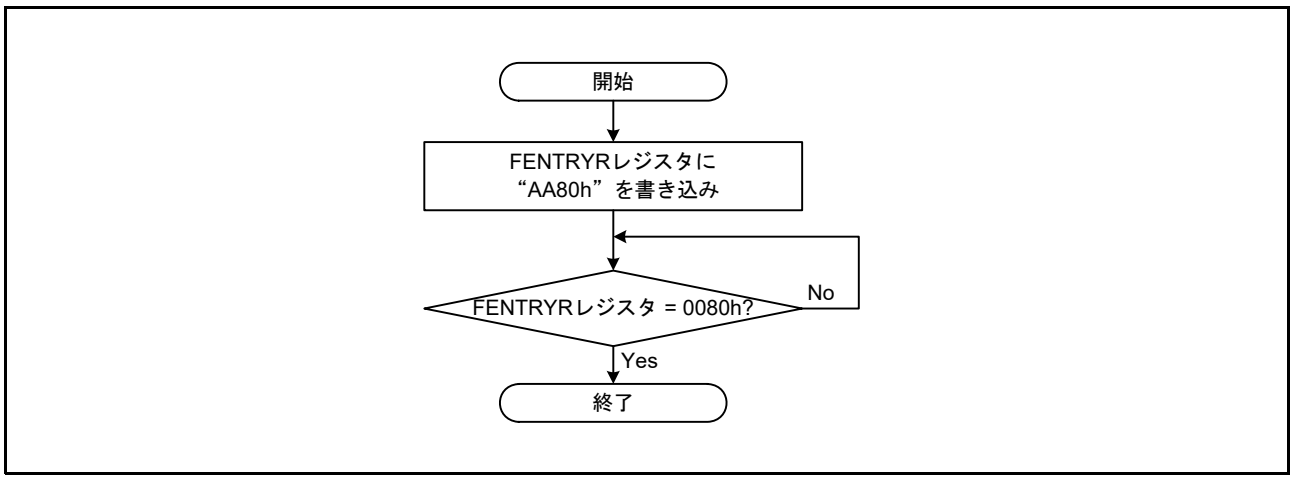
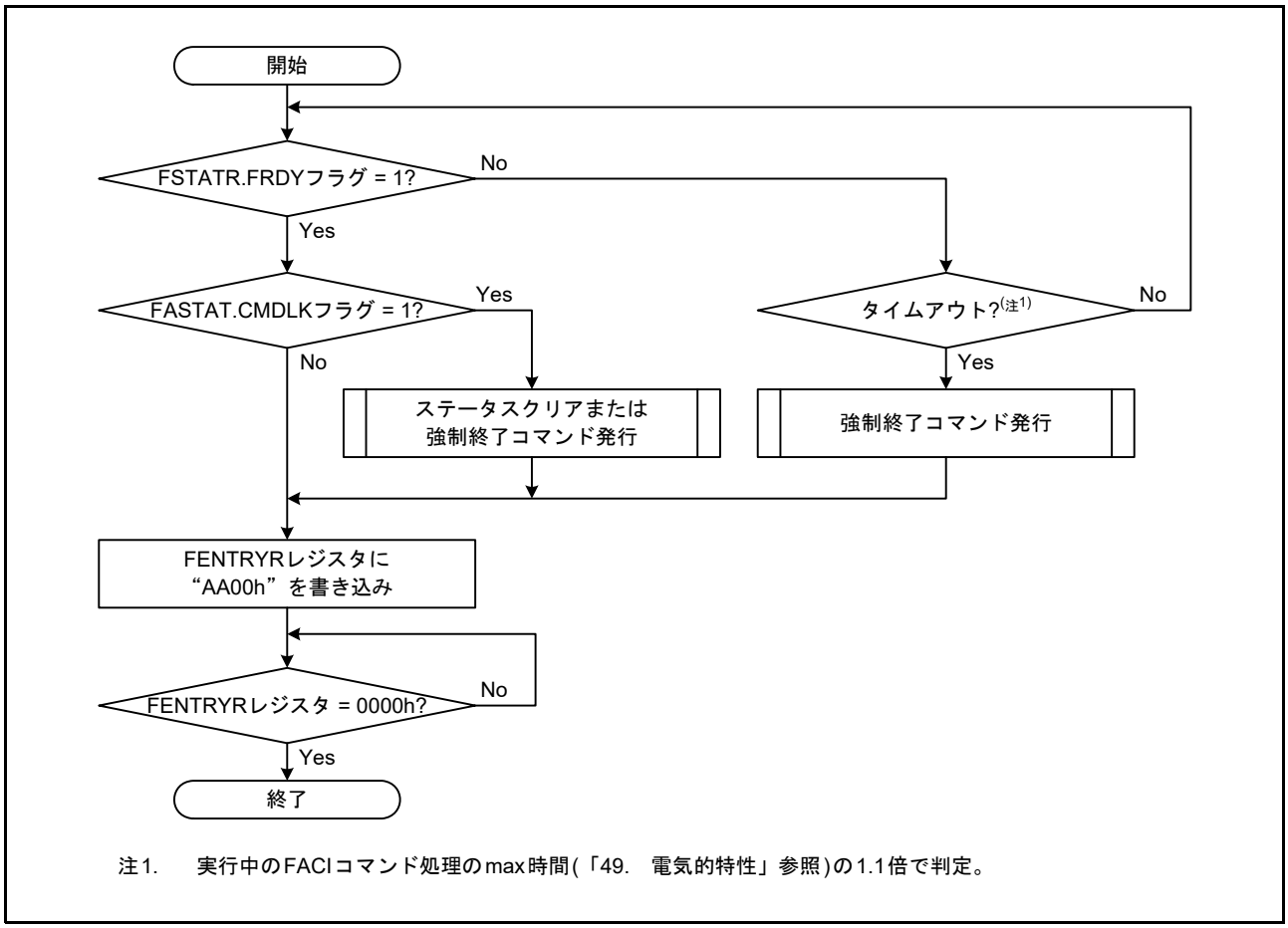


図 48.19 データフラッシュメモリ P/E モード移行フロー

48.6.5.3 リードモードへの遷移

BGO 動作以外でフラッシュメモリを読み出すためには、リードモードに移行する必要があります。リードモードに移行するためには、FENTRYR レジスタを “0000h” にします。リードモードへの移行は、フラッシュシーケンサの処理が完了し、かつコマンドロック以外の状態で実施してください。なお、リセット解除後はリードモードです。



注1. 実行中のFACIコマンド処理のmax時間(「49. 電気的特性」参照)の1.1倍で判定。

図 48.20 リードモード移行フロー

48.6.6 FACI コマンド一覧

表48.15　FACIコマンド一覧

FACIコマンド	機能
プログラム	コードフラッシュメモリ、データフラッシュメモリをプログラムします。 コードフラッシュメモリのプログラム単位：128バイト データフラッシュメモリのプログラム単位：4バイト
ブロックイレーズ	コードフラッシュメモリ、データフラッシュメモリをイレーズします。 イレーズ単位：1ブロック (コードフラッシュメモリは4Kまたは16Kバイト、データフラッシュメモリは64バイト)
P/Eサスペンド	プログラムまたはイレーズの処理を中断します。
P/E レジューム	中断したプログラム/イレーズの処理を再開します。
ステータスクリア	FSTATR.ILGLERR、ERSERR、PRGERR フラグと FASTAT.CMDLK フラグを初期化して、フラッシュシーケンサのコマンドロック状態を解除します。
強制終了	FACIコマンド処理を強制的に終了し、FSTATR レジスタを初期化します。
ブランクチェック	データフラッシュメモリをブランクチェックします。 チェック単位：4～16Kバイト(4バイト単位で指定)
コンフィギュレーション設定	コンフィギュレーション設定領域の設定を行います。 設定単位：16バイト

FACI コマンド発行領域 (**表 48.2** 参照) に対して、ライトアクセスを行うことで、FACI コマンドを発行できます。**表 48.16** に示したライトアクセスを特定の状態で発行すると、フラッシュシーケンサが各コマンドに対応した処理を実行します (**「48.6.5　モード遷移」**参照)。

表48.16　FACIコマンドのフォーマット

FACIコマンド	ライト回数	FACIコマンド発行領域にライトするデータ			
		第1アクセス	第2アクセス	第3～第(N + 2)アクセス	第(N + 3)アクセス
プログラム(コードフラッシュメモリ) 128バイトプログラム：N = 64	67	E8h	40h (= N)	WD_1～WD_{64}	D0h
プログラム(データフラッシュメモリ) 4バイトプログラム：N = 2	5	E8h	02h (= N)	WD_1～WD_2	D0h
ブロックイレーズ	2	20h	D0h	—	—
P/Eサスペンド	1	B0h	—	—	—
P/E レジューム	1	D0h	—	—	—
ステータスクリア	1	50h	—	—	—
強制終了	1	B3h	—	—	—
ブランクチェック	2	71h	D0h	—	—
コンフィギュレーション設定 N = 8	11	40h	08h (= N)	WD_1～WD_8	D0h

注.　WD_N (N = 1, 2, …)：N番目の16ビットプログラムデータ

フラッシュシーケンサは，ステータスクリア以外のコマンド処理を開始すると FSTATR.FRDY ビットを “0” にし、コマンド処理が完了すると FSTATR.FRDY ビットを “1” にします。

FRDYIE.FRDYIE ビットが “1” の場合、FSTATR.FRDY ビットが “1” になると、フラッシュレディ (FRDY) 割り込みが発生します。

48.6.7 FACI コマンドの使用方法

本項では、FACI コマンドの使用方法 / 使用例を記載します。

48.6.7.1 FACI コマンド使用時の概略フロー

FACI コマンドを使用する場合の概略フローを図 48.21 に示します。

BGO 動作では、コードフラッシュメモリ上の書き換えプログラムからコードフラッシュメモリやデータフラッシュメモリへの FACI コマンドの発行も可能なため、内蔵 RAM (コードフラッシュメモリ以外) へのジャンプは不要です。

FCLK を変更した場合、FPCKAR レジスタを変更することで FACI コマンド処理時間の短縮が可能です。詳細は、「48.4.17 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)」を参照してください。

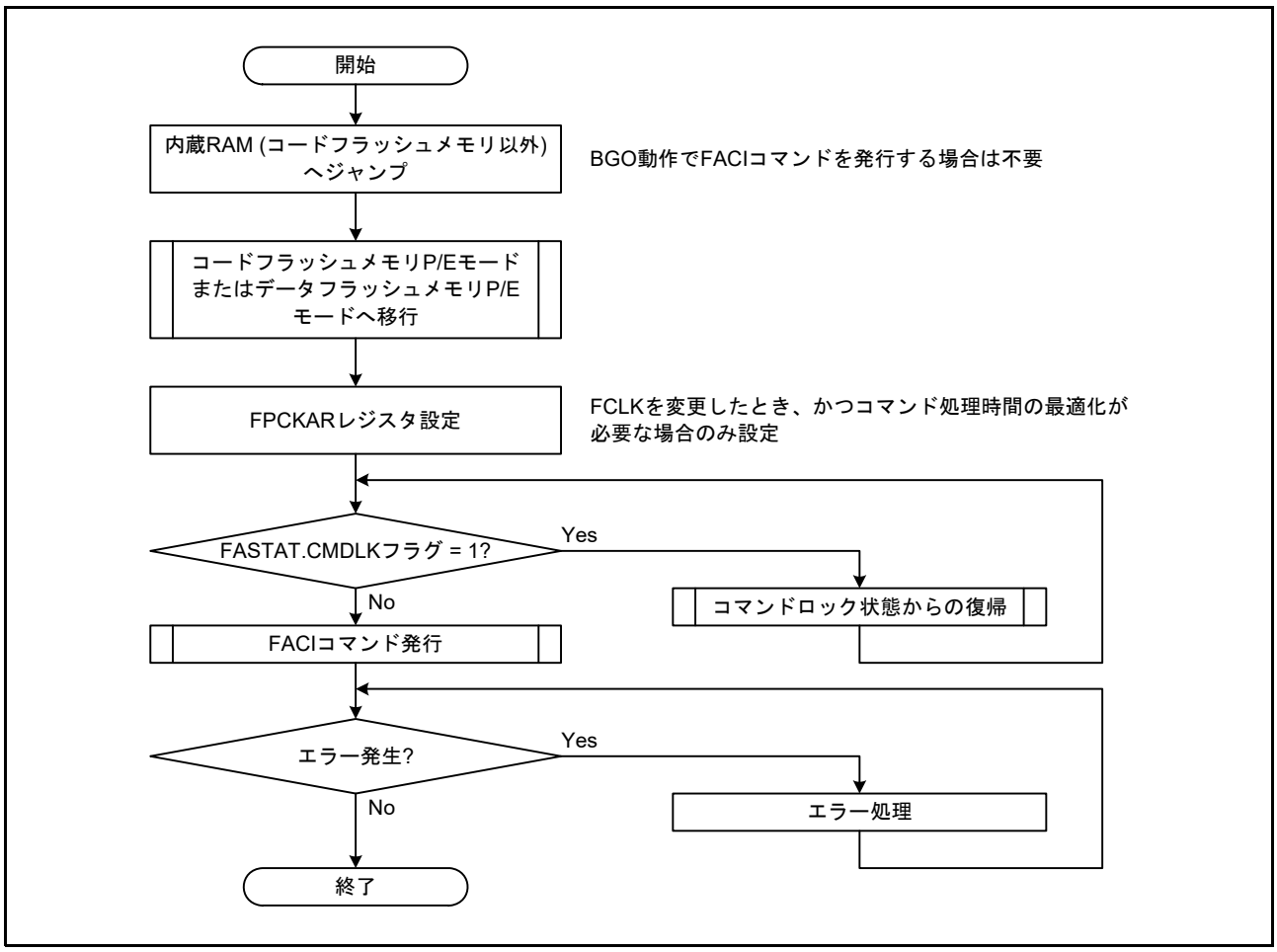


図 48.21 FACI コマンド使用時の概略フロー

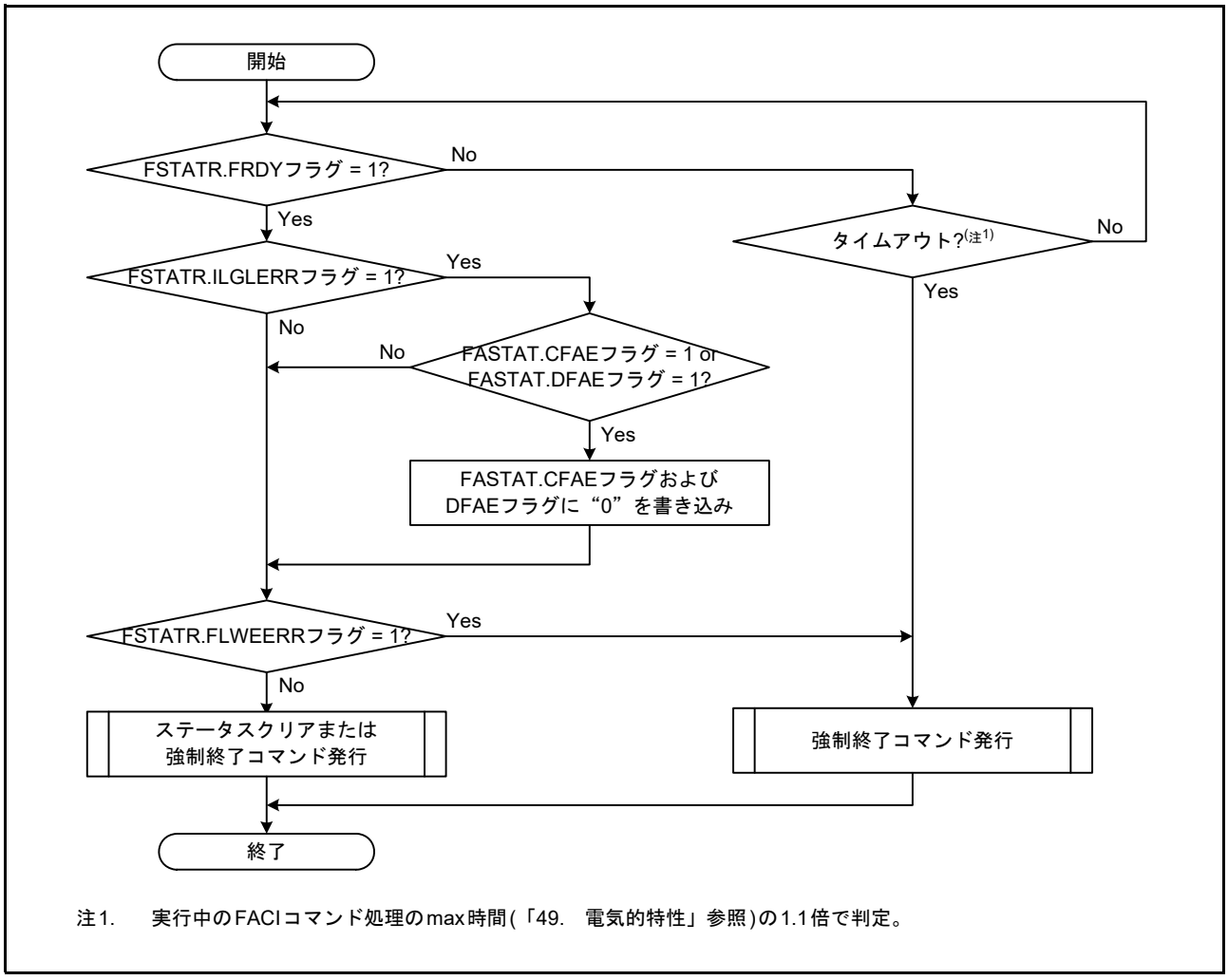
48.6.7.2　コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になった場合には、FACI コマンドの受け付けができなくなります。コマンドロック状態を解除するためには、ステータスクリアコマンド、強制終了コマンド、または FASTAT レジスタを使用する必要があります。

P/E サスペンドコマンド発行前のエラー確認などでコマンドロック状態を検出した場合には、コマンド処理が完了しておらず FSTATR.FRDY フラグが “0” を保持している可能性があります。**「49.　電気的特性」**で規定された最大のプログラム / イレーズ時間の 1.1 倍を越えても処理が完了しない場合には、タイムアウトと判断して強制終了コマンドでフラッシュシーケンサを停止させてください。

FSTATR.ILGLERR フラグが “1” の場合には、FASTAT レジスタの値を確認してください。FASTAT.CFAE フラグまたは DFAE フラグが “1” の場合には、FASTAT レジスタの CFAE フラグまたは DFAE フラグを “0” にしてから、ステータスクリア / 強制終了コマンドを発行してください。

FSTATR.FLWEERR フラグは、ステータスクリアコマンドでは “1” から “0” に更新できません。このフラグが “1” の場合には、強制終了コマンドを使用して、コマンドロックを解除してください。その他のコマンドロック要因となるビットは、ステータスクリアコマンドまたは強制終了コマンドで “1” から “0” に更新可能です。



注1.　実行中のFACIコマンド処理のmax時間(「49.　電気的特性」参照)の1.1倍で判定。

図 48.22　コマンドロック状態からの復帰方法

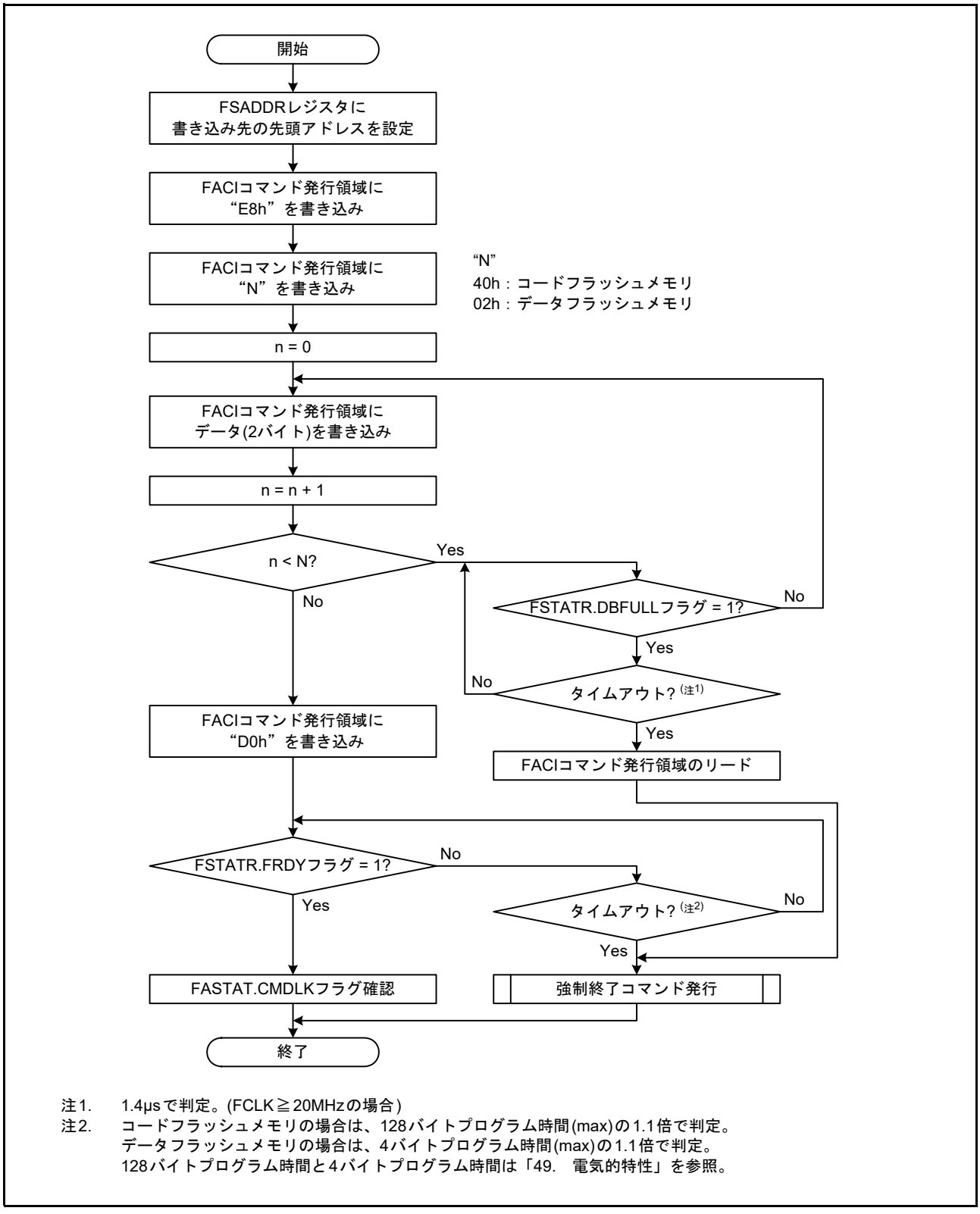
48.6.7.3 プログラムコマンド

コードフラッシュメモリ、データフラッシュメモリのプログラムには、プログラムコマンドを使用します。

プログラムコマンドを発行する前に、書き込み先の先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで “D0h” を FACI コマンド発行領域に書き込むと、プログラムコマンドの処理が開始されます。コマンド処理の終了は、FSTATR.FRDY フラグで確認することができます。プログラムコマンドの処理対象領域に書き込み不要な領域が含まれる場合には、該当領域に対するプログラムデータを “FFFFh” にしてください。

FACI 内部のデータバッファがフルの状態で、プログラムコマンドを発行し続けると、内部周辺バス 6 にウェイトが発生し、他の周辺 IP のバスアクセスに影響を及ぼす可能性があります。ウェイト発生を回避する必要がある場合には、FSTATR.DBFULL フラグが “0” の状態で FACI コマンドを発行してください。

なお、データフラッシュメモリのプログラム時には、データバッファがフルになることがありません。



注1. 1.4μsで判定。(FCLK≧20MHzの場合)
注2. コードフラッシュメモリの場合は、128バイトプログラム時間(max)の1.1倍で判定。
データフラッシュメモリの場合は、4バイトプログラム時間(max)の1.1倍で判定。
128バイトプログラム時間と4バイトプログラム時間は「49. 電気的特性」を参照。

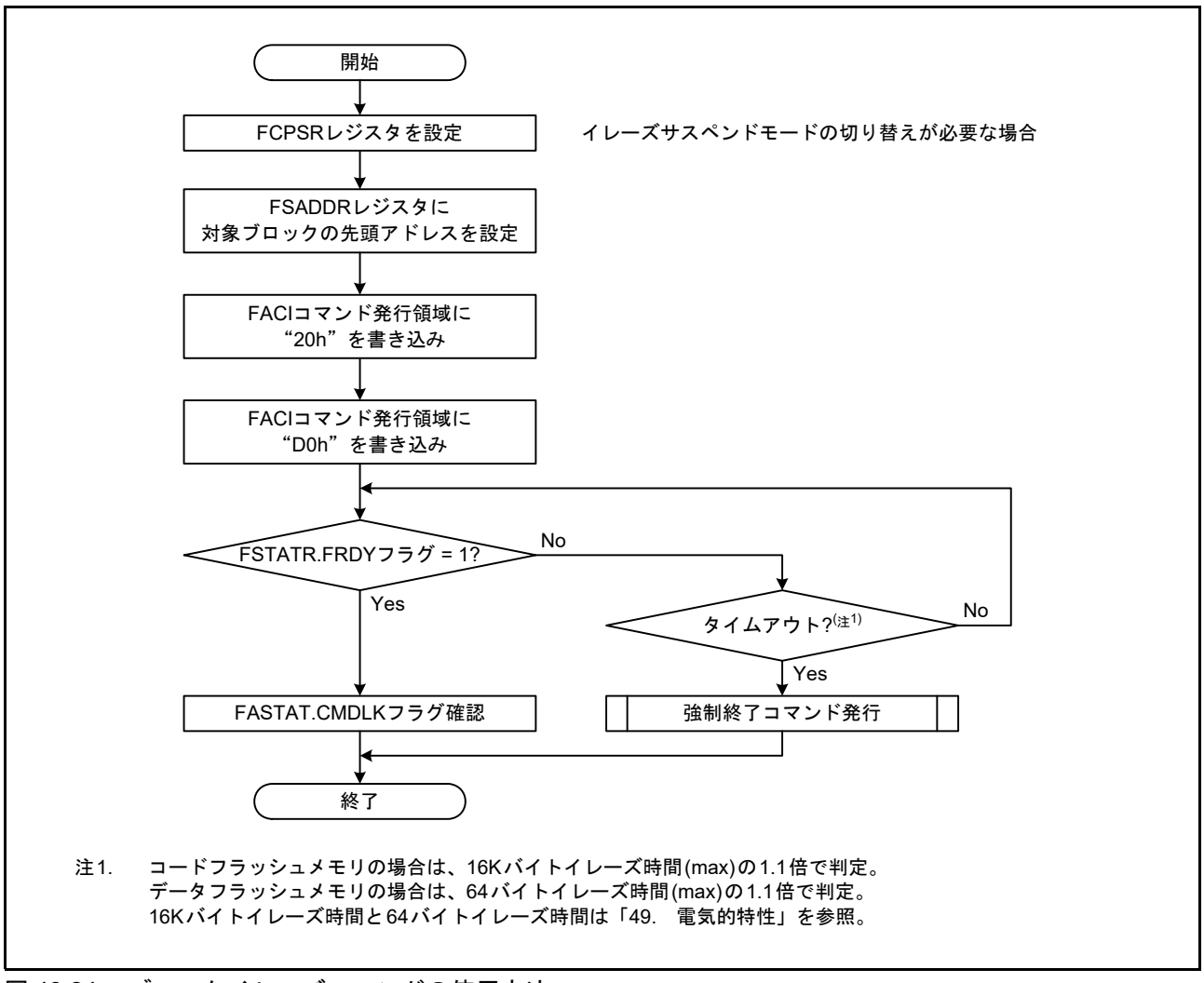
図 48.23 プログラムコマンドの使用方法

48.6.7.4 ブロックイレーズコマンド

コードフラッシュメモリ、データフラッシュメモリのイレーズには、ブロックイレーズコマンドを使用します。イレーズ単位は 1 ブロックです。

ブロックイレーズコマンドを発行する前に、消去先の先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域に “20h” と “D0h” を書き込むと、ブロックイレーズコマンドの処理が開始されます。コマンド処理の終了は、FSTATR.FRDY フラグで確認することができます。

FCPSR レジスタは、ブロックイレーズコマンドを発行する前に設定する必要があります。FCPSR レジスタは、P/E サスペンドコマンドでイレーズ処理を中断する場合のイレーズサスペンドモード (サスペンド優先モード / イレーズ優先モード) を切り替える場合に設定を変更する必要があります。



注1. コードフラッシュメモリの場合は、16Kバイトイレーズ時間(max)の1.1倍で判定。
データフラッシュメモリの場合は、64バイトイレーズ時間(max)の1.1倍で判定。
16Kバイトイレーズ時間と64バイトイレーズ時間は「49. 電気的特性」を参照。

図 48.24 ブロックイレーズコマンドの使用方法

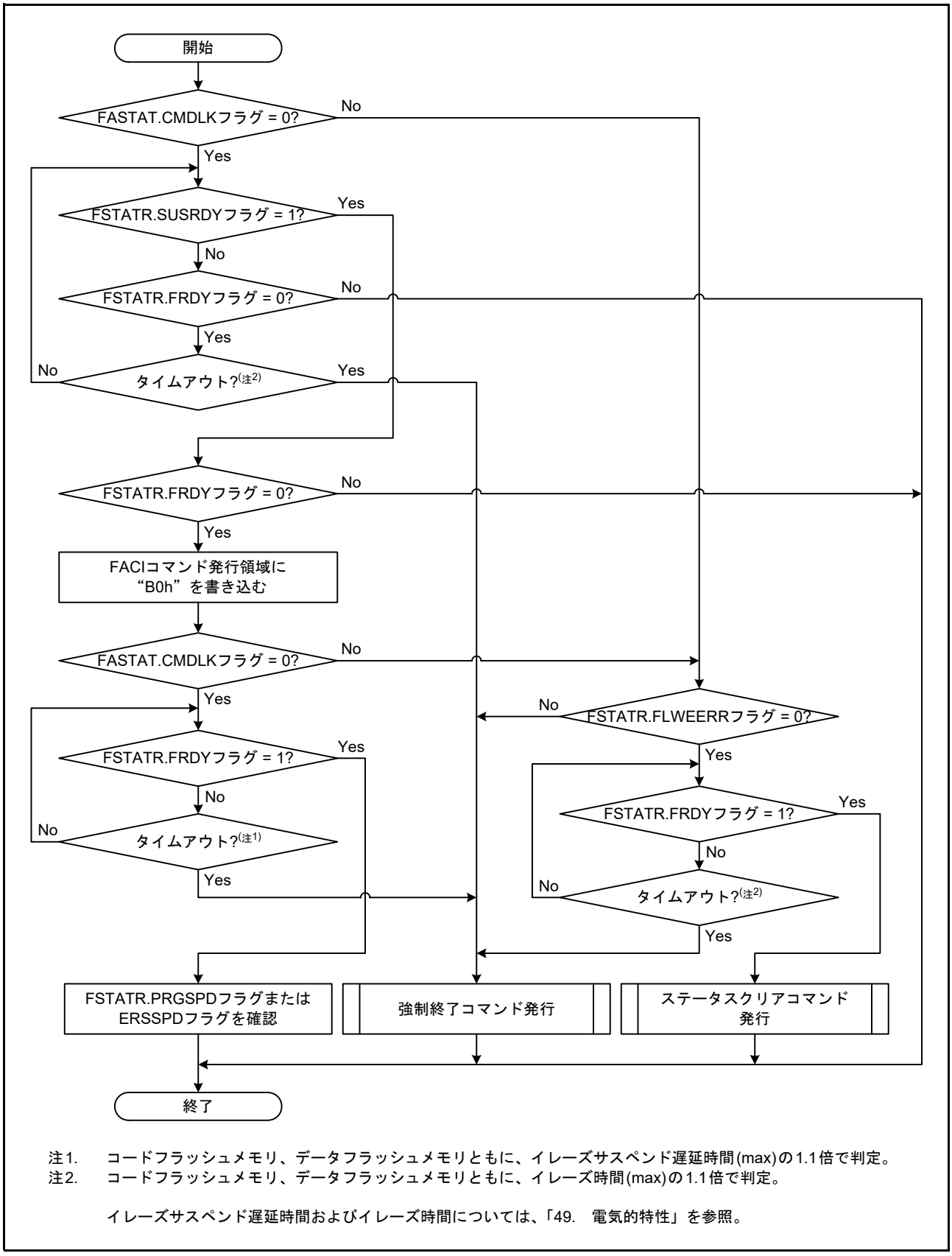
48.6.7.5 P/E サスペンドコマンド

プログラム / イレーズ処理の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FASTAT.CMDLK フラグが “0” でプログラム / イレーズ処理が正常に実行されていることを確認してください。また、P/E サスペンドコマンドが受け付け可能であることを確認するために、FSTATR.SUSRDY フラグが “1” であることも確認してください。P/E サスペンドコマンドの発行後は、FASTAT.CMDLK フラグを読み出して “1” (コマンドロック) でないことを確認してください。

プログラム / イレーズ処理中に異常が発生した場合には、FASTAT.CMDLK フラグが “1” になります。FSTATR.SUSRDY フラグが “1” であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間にプログラム / イレーズ処理が完了していた場合には、P/E サスペンドコマンドは無視され、サスペンド状態にも遷移しません (FSTATR.FRDY フラグが “1”、かつ FSTATR.ERSSPD フラグと PRGSPD フラグが “0”)。

P/E サスペンドコマンドが受け付けられて、プログラム / イレーズの中断処理が正常に終了した場合には、フラッシュシーケンサがサスペンド状態に遷移して FSTATR.FRDY フラグが “1”、かつ FSTATR.ERSSPD フラグまたは PRGSPD フラグが “1” になります。P/E サスペンドコマンド発行後には、FSTATR.ERSSPD フラグまたは PRGSPD フラグが “1” で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生しフラッシュシーケンサがコマンドロック状態に遷移します (「48.5.3.2 エラープロテクション」参照)。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックに対するプログラムを実行することができます。また、プログラム / イレーズサスペンド状態ともに、FENTRYR レジスタをクリアすることにより、リードモードに移行することも可能です。



注1. コードフラッシュメモリ、データフラッシュメモリともに、イレーズサスペンド遅延時間(max)の1.1倍で判定。
注2. コードフラッシュメモリ、データフラッシュメモリともに、イレーズ時間(max)の1.1倍で判定。

イレーズサスペンド遅延時間およびイレーズ時間については、「49. 電気的特性」を参照。

図 48.25 P/E サスペンドコマンドの使用方法

(1) プログラム中のサスペンド

フラッシュメモリへのプログラム処理中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサはプログラム処理を中断します。図 48.26 にプログラム処理の中断動作を示します。

フラッシュシーケンサは、プログラムコマンドまたは P/E レジュームコマンドを受け付けると、FSTATR.FRDY フラグを “0” にしてプログラム処理を開始します。プログラム処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR.SUSRDY フラグが “1” になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受け付けて FSTATR.SUSRDY フラグを “0” にします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサはパルスの印加を継続します。所定のパルス印加時間を経過するとフラッシュシーケンサはパルスの印加を完了し、プログラムの中断処理を開始して FSTATR.PRGSPD フラグを “1” にします。

中断処理が完了すると、フラッシュシーケンサは FSTATR.FRDY フラグを “1” にしてプログラムサスペンド状態に遷移します。プログラムサスペンド状態でフラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTATR.FRDY フラグと PRGSPD フラグを “0” にしてプログラム処理を再開します。

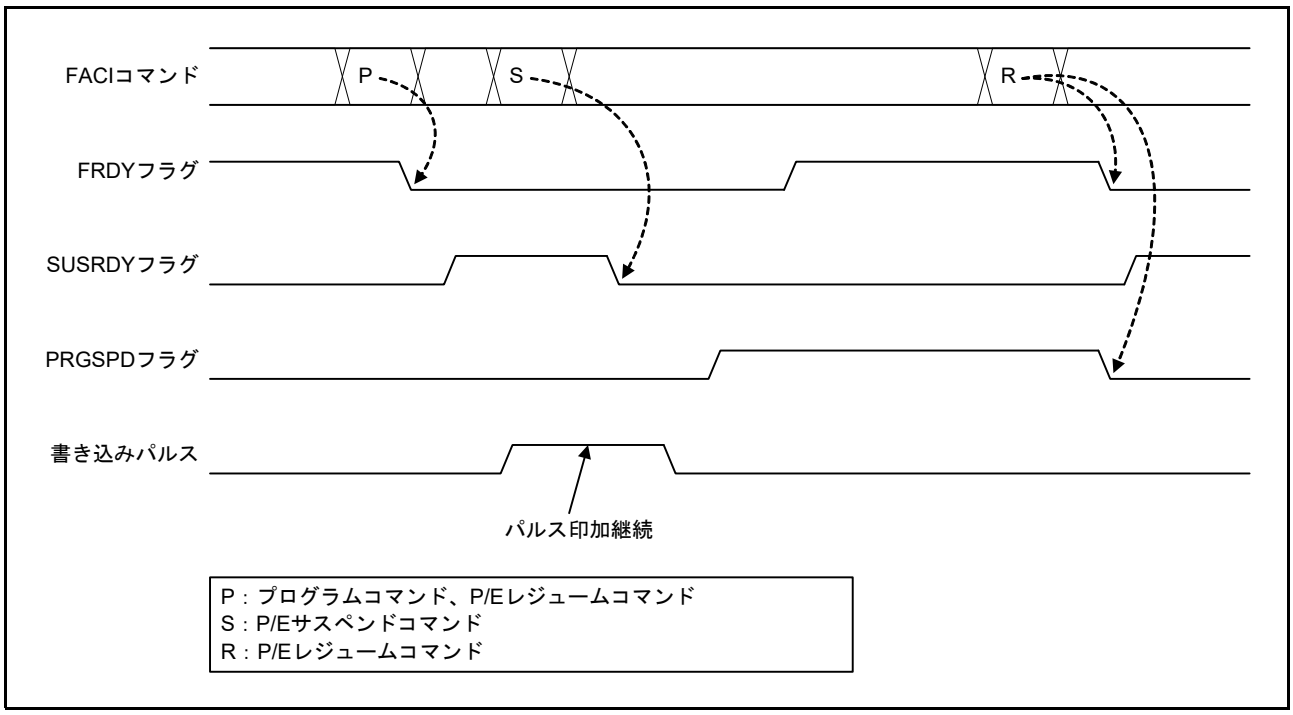


図 48.26 プログラム処理の中断動作

(2) イレーズ中のサスペンド (サスペンド優先モード)

イレーズ中のサスペンド方式として、サスペンド優先モードをサポートしています。**図 48.27** にサスペンド優先モード (FCPSR.ESUSPMD ビットが “0”) の場合のイレーズ処理の中断動作を示します。

フラッシュシーケンサは、ブロックイレーズコマンドまたは P/E レジュームコマンドを受け付けると、FSTATR.FRDY フラグを “0” にしてイレーズ処理を開始します。イレーズ処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR.SUSRDY フラグが “1” になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサは P/E サスペンドコマンドを受け付けて FSTATR.SUSRDY フラグを “0” にします。イレーズ処理中に P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサは消去パルス印加中でも中断処理を開始して FSTATR.ERSSPD フラグを “1” にします。中断処理が完了すると、フラッシュシーケンサは FSTATR.FRDY フラグを “1” にして、イレーズサスペンド状態に遷移します。イレーズサスペンド状態で、フラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTATR.FRDY フラグと ERSSPD フラグを “0” にして、イレーズ処理を再開します。イレーズ処理の中断 / 再開時の FSTATR.FRDY、SUSRDY、ERSSPD フラグの動作は、イレーズサスペンドモードに依存せず同様です。

イレーズサスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を停止してイレーズサスペンド状態に遷移します。P/E レジュームコマンドによりイレーズが再開され、消去パルス A を再印加している期間に、P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、フラッシュシーケンサは消去パルス A の印加を完了してイレーズサスペンド状態に遷移します。次にフラッシュシーケンサが P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加を停止します。

サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

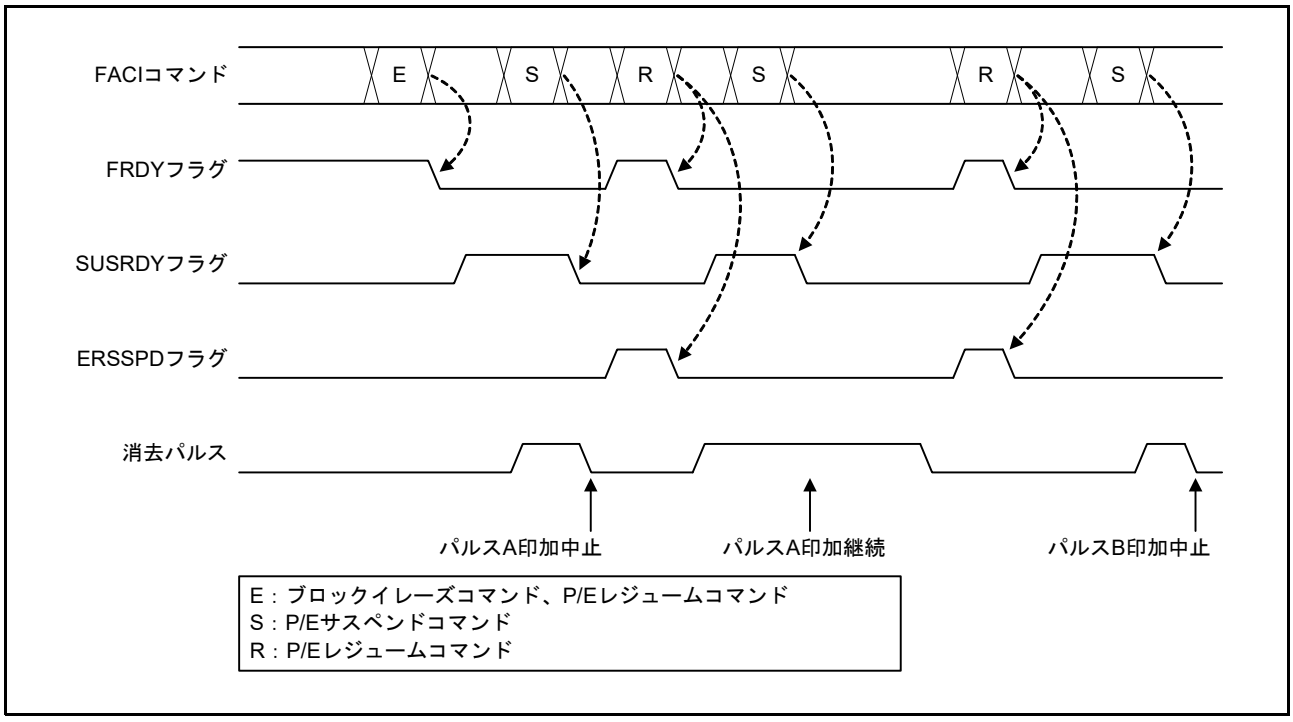


図 48.27　イレーズ処理の中断動作 (サスペンド優先モード)

(3) イレーズ中のサスペンド (イレーズ優先モード)

イレーズ中のサスペンドの方式として、イレーズ優先モードをサポートしています。**図 48.28** にイレーズ優先モード (FCPSR.ESUSPMD ビットが “1”) の場合のイレーズ処理の中断動作を示します。イレーズ優先モードのイレーズパルス制御方式は、プログラム中断処理の書き込みパルス制御方式と同様です。

フラッシュシーケンサが消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ処理全体に必要な時間を短縮可能です。

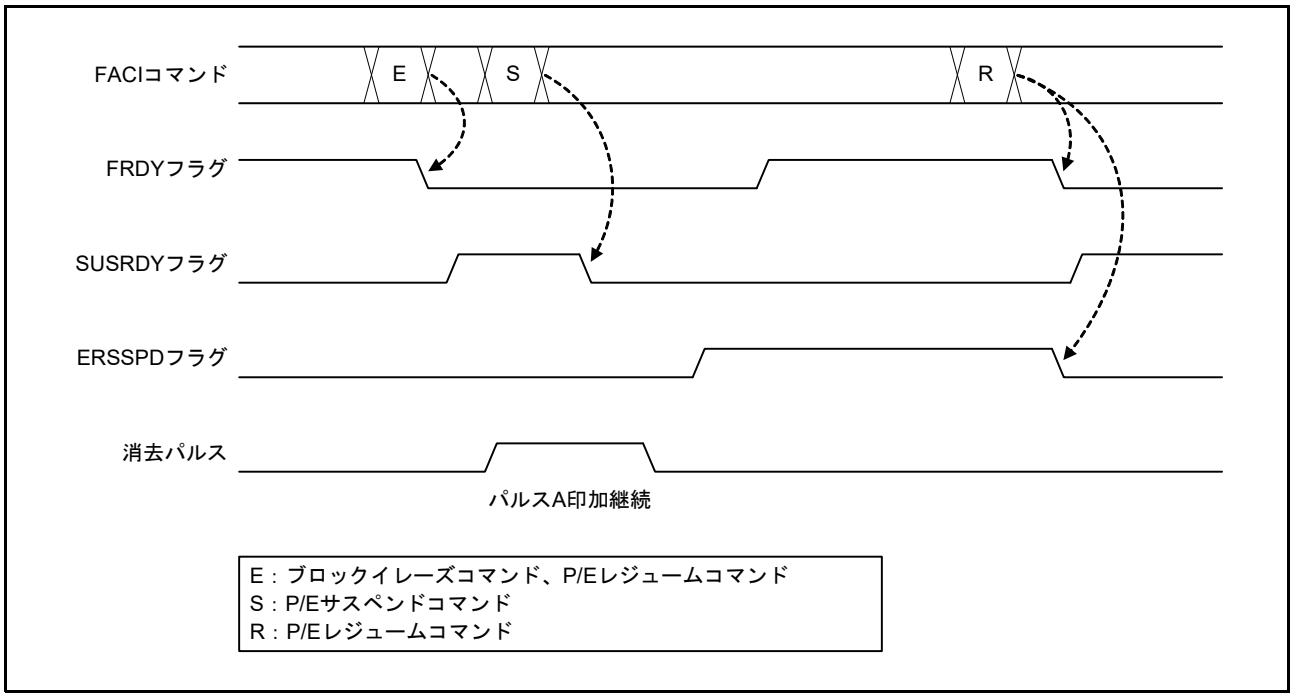
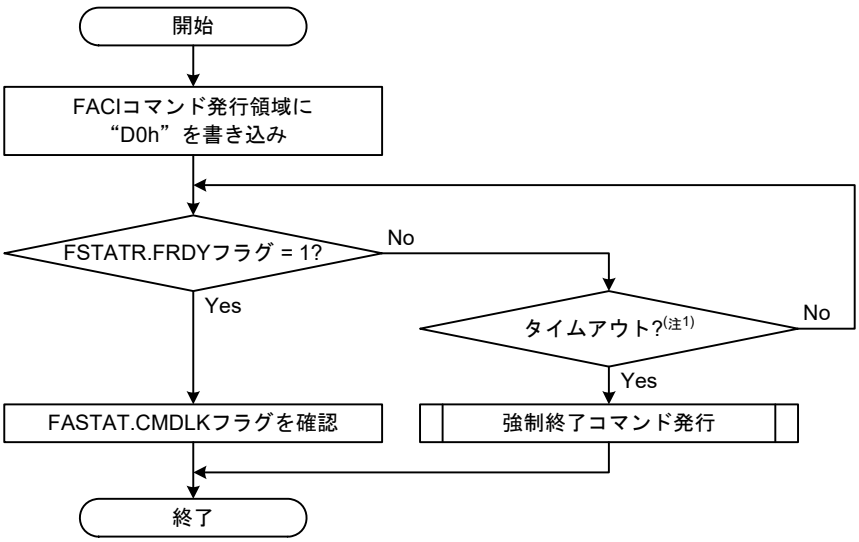


図 48.28 イレーズ処理の中断動作 (イレーズ優先モード)

48.6.7.6 P/E レジュームコマンド

サスペンドしたプログラム / イレーズ処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に、FENTRYR レジスタの値を P/E サスペンドコマンド発行直前の値に再設定してください。レジュームしたコマンドによる処理の終了は、FSTATR.FRDY フラグで確認することができます。



注1. 中断したFACIコマンド処理のmax時間(「49. 電気的特性」を参照)の1.1倍で判定。

図 48.29 P/E レジュームコマンドの使用方法

48.6.7.7 ステータスクリアコマンド

FSTATR.ILGLERR、ERSERR、PRGERR、FLWEERR フラグのいずれかのビットが “1” になると、フラッシュシーケンサはコマンドロック状態になります。また、FASTAT.CFAE、DFAE フラグのいずれかのビットが “1” になる場合もコマンドロック状態になります。コマンドロック状態時、フラッシュシーケンサはステータスクリアコマンドまたは強制終了コマンドのみ受け付け可能です。

ステータスクリアコマンドは、コマンドロック状態を解除するために使用するコマンドです(「48.6.7.2 コマンドロック状態からの復帰」参照)。コマンドロック状態で、FASTAT.CMDLK フラグ、また FSTATR.ILGLERR、ERSERR、PRGERR フラグをクリアしたい場合に、ステータスクリアコマンドを使用可能です。

FSTATR.FLWEERR フラグはステータスクリアコマンドでクリアすることはできず、強制終了コマンドでのみクリアすることが可能です。

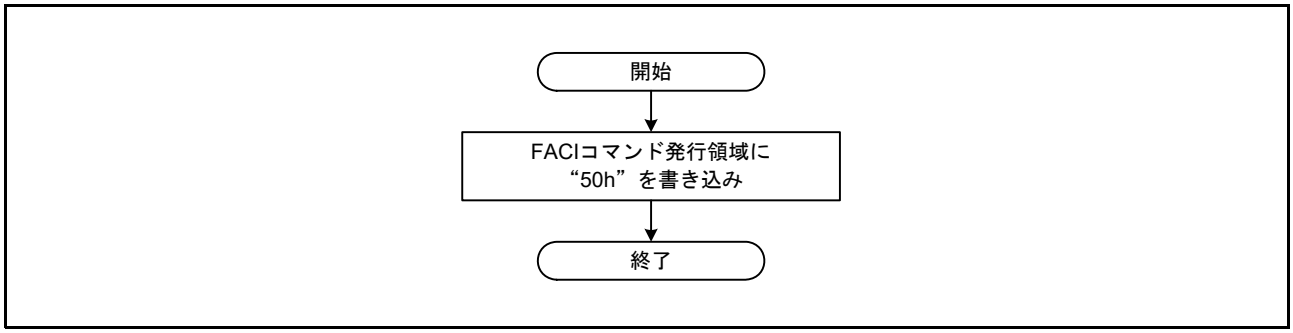
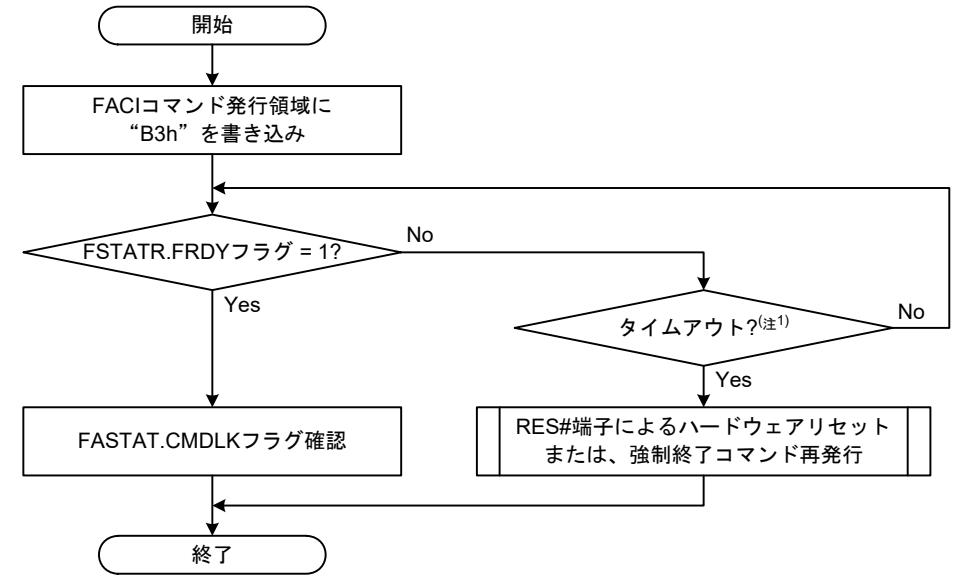


図 48.30 ステータスクリアコマンドの使用方法

48.6.7.8 強制終了コマンド

強制終了コマンドは、フラッシュシーケンサのコマンド処理を強制的に終了させるコマンドです。P/E サスペンドコマンドよりも高速にコマンド処理を中断可能ですが、中断したプログラム / イレーズ領域のデータ値は保証されません。また、中断した処理を再開することもできません。強制終了コマンドで中断したプログラム / イレーズ処理は、書き換え回数としては 1 回分と定義されます。

強制終了コマンドを実行すると、フラッシュシーケンサ全体および FACI の一部が初期化されます。また、FASTAT.CMDLK フラグと FSTATR レジスタも初期化されます。このため、コマンドロック状態からの復帰手段や、フラッシュシーケンサ動作のタイムアウト処理でも、強制終了コマンドを利用することができます (「48.6.7.2 コマンドロック状態からの復帰」参照)。



注1. 強制終了コマンド時間の max 時間 (「49. 電気的特性」を参照) の 1.1 倍で判定。

図 48.31 強制終了コマンドの使用方法

コマンド発行中の強制終了コマンドの使用方法について

プログラムコマンドの DBFULL ビット判定でのタイムアウト発生時に強制終了コマンドによる中断を行う場合、FACI コマンド発行領域への書き込みがプログラムコマンドの書き込みデータとして扱われる場合があります。この場合、FACI コマンド発行領域をリードして意図的にコマンドロックを発生させた後、コマンドロック状態からの復帰方法に従って強制終了コマンドを発行してください。なお、FACI コマンド発行領域のリードのアクセスサイズが 8 ビット /16 ビット /32 ビットのいずれの場合でも、コマンドロックを発生させることが可能です。

48.6.7.9 ブランクチェックコマンド

イレーズ後に書き込んでいない状態 (未書き込み状態) のデータフラッシュメモリの値は不定であるため、未書き込み状態の確認にはブランクチェックコマンドを使用する必要があります。

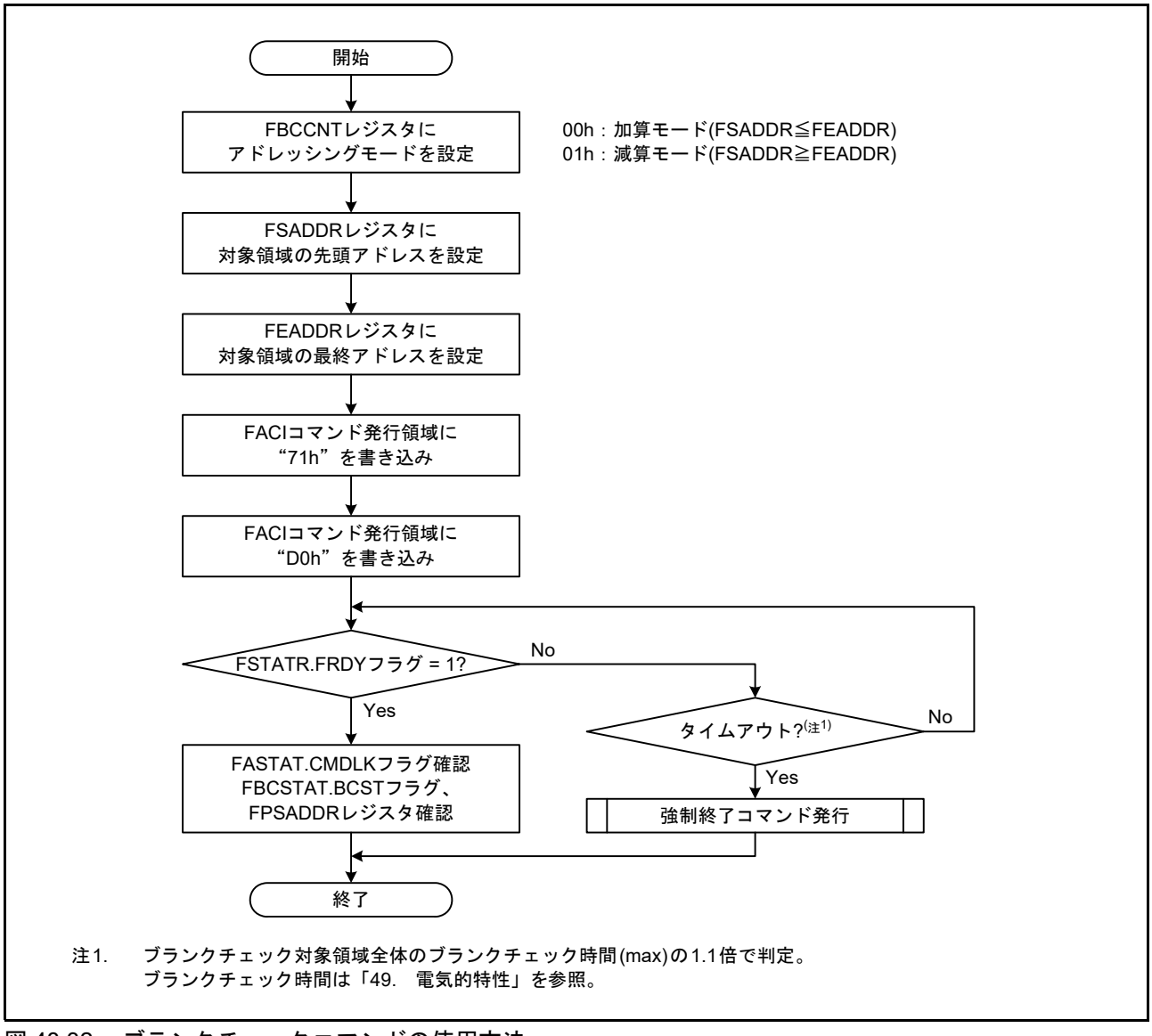
ブランクチェックコマンドを発行する前に、アドレッシングモード、ブランクチェック対象領域の先頭アドレス / 最終アドレスを FBCCNT レジスタ、FSADDR レジスタ、FEADDR レジスタに設定してください。

FBCCNT.BCDIR ビットが “1” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。

FBCCNT.BCDIR ビットが “0” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。

FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは 4 バイト～16K バイトの範囲で、4 バイト単位に設定可能です。

FACI コマンド発行領域に “71h” と “D0h” を書き込むと、ブランクチェックの処理が開始されます。処理の完了は、FSTATR.FRDY フラグで確認可能です。処理完了時に、FBCSTAT.BCST フラグにブランクチェックの結果が格納されます。書き込み済みの領域がブランクチェック対象の領域に含まれている場合、フラッシュシーケンサは最初に検出した書き込み済みデータのアドレスを FPSADDR レジスタに格納します。

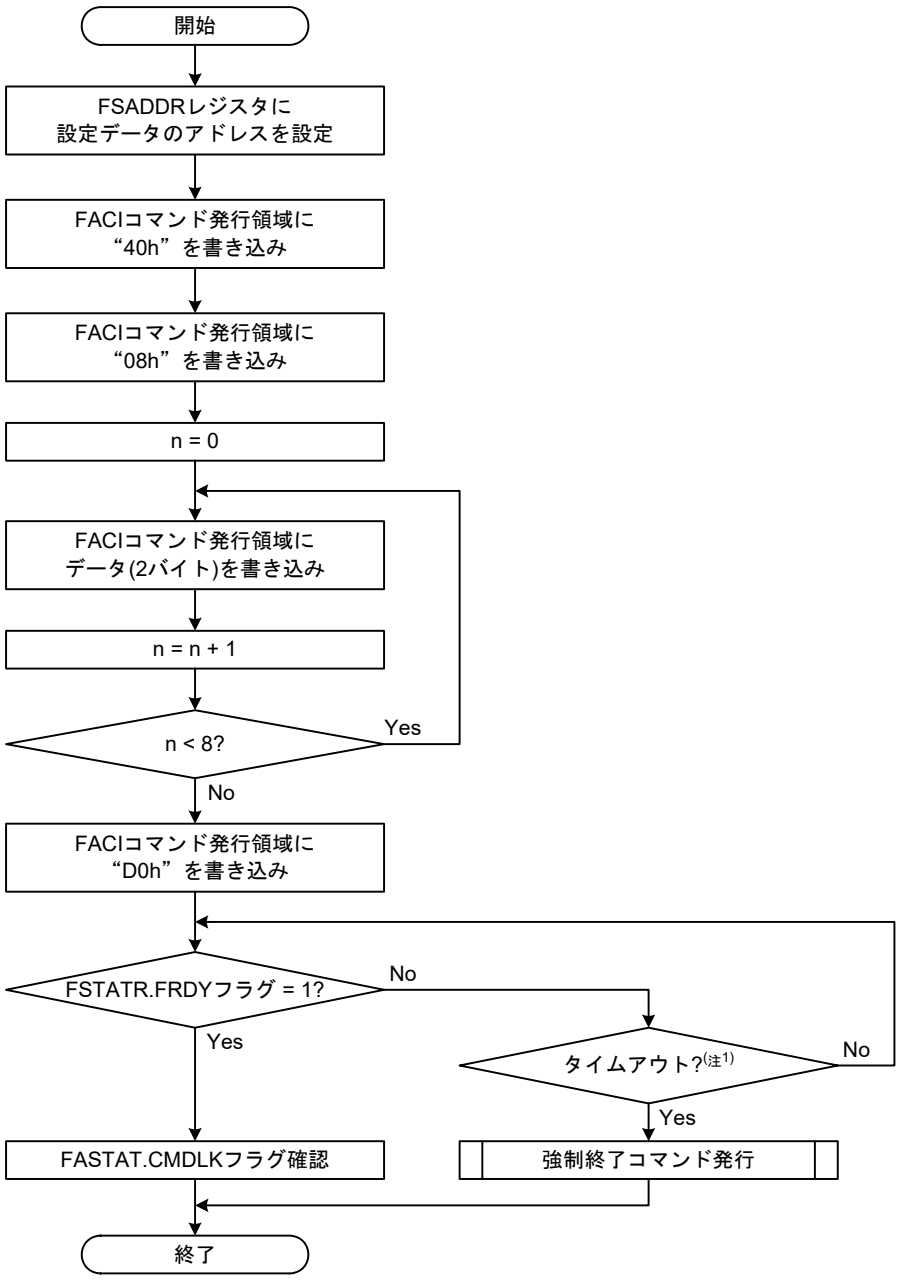


注1. ブランクチェック対象領域全体のブランクチェック時間(max)の1.1倍で判定。
ブランクチェック時間は「49. 電気的特性」を参照。

図 48.32 ブランクチェックコマンドの使用方法

48.6.7.10 コンフィギュレーション設定コマンド

コンフィギュレーション設定コマンドは、コンフィギュレーション設定領域の設定を行うためのコマンドです。コンフィギュレーション設定コマンドを発行する前に、設定データのアドレス (**表** 48.17 参照) を FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで “D0h” を FACI コマンド発行領域に書き込むと、コンフィギュレーション設定コマンドの処理が開始されます。



注1. 70ms (20MHz≦FCLK≦60MHzのとき)、140ms (FCLK = 4MHzのとき)で判定。

図 48.33 コンフィギュレーション設定コマンドの使用方法

コンフィギュレーション設定が可能なデータと、FSADDR レジスタに設定するアドレス値の対応は**表 48.17** のとおりです。

表48.17　コンフィギュレーション設定コマンドで使用するアドレス

アドレス	FSADDR レジスタ設定値	設定データ	追加書き込み動作		設定が有効になるタイミング
			FAW.FSPR ビット = 1	FAW.FSPR ビット = 0	
0012 0040h	0000 0040h	• シリアルプログラマコマンド制御レジスタ(SPCC) • TMイネーブルフラグレジスタ(TMEF)	可能(注1) (1 → 0 のみ)	可能(注1) (1 → 0 のみ)	リセット後とコマンド実行時(注2)
0012 0050h	0000 0050h	• OCD/シリアルプログラマID設定レジスタ(OSIS)	可能	可能	リセット後
0012 0060h	0000 0060h	• TM識別データレジスタ(TMINF) • エンディアン選択レジスタ(MDE) • オプション機能選択レジスタ0(OFS0) • オプション機能選択レジスタ1(OFS1)	可能	可能	リセット後
0012 0090h	0000 0090h	• バンク選択レジスタ(BANKSEL)	可能	可能	リセット後
0012 00A0h	0000 00A0h	• フラッシュアクセスウィンドウ設定レジスタ(FAW)(注3)	可能	不可能(注3)	リセット後とコマンド実行時

注1.　一度“0”に設定すると、コンフィギュレーション設定コマンドでは“1”に戻すことができません。
注2.　シリアルプログラマコマンド制御レジスタ(SPCC)はリセット後に設定が有効になります。TMイネーブルフラグレジスタ(TMEF)はリセット後、およびコマンド実行時に設定が有効になります。
注3.　FAW.FSPRビットは、一度“0”に設定すると、“1”に戻すことはできません。このため、アクセスウィンドウ、スタートアップ領域選択ビットの再設定が二度とできなくなります(0012 00A0h番地にコンフィギュレーション設定コマンドを実行した場合、コマンドロック状態になります)。
FAW.FSPRビットの取り扱いには十分にご注意ください。

48.7 ブートモード

ブートモードには SCI を使用するブートモード (SCI インタフェース) と FINE を使用するブートモード (FINE インタフェース) があります。表 48.18 にブートモードで使用する入出力端子を示します。

ブートモードで使用しない入出力端子は、リセット後の状態です。

表48.18　ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
PN6/MD	入力	ブートモード (SCIインタフェース)	動作モードを選択
PD5/RXD1	入力		ホスト通信用(SCIデータ受信用)
PD3/TXD1	出力		ホスト通信用(SCIデータ送信用)
PN6/MD/FINED	入出力	ブートモード (FINEインタフェース)	動作モードを選択、FINEデータの入出力

48.7.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) では、ホストから制御コマンドやプログラムデータを送信してコードフラッシュメモリとデータフラッシュメモリへのプログラム / イレーズが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード (SCI インタフェース) で起動すると、MCU 内部の専用領域上のプログラム (ブートプログラム) が実行されます。ブートプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラム / イレーズの制御を行います。

図 48.34 にブートモード (SCI インタフェース) 時のシステム構成を示します。

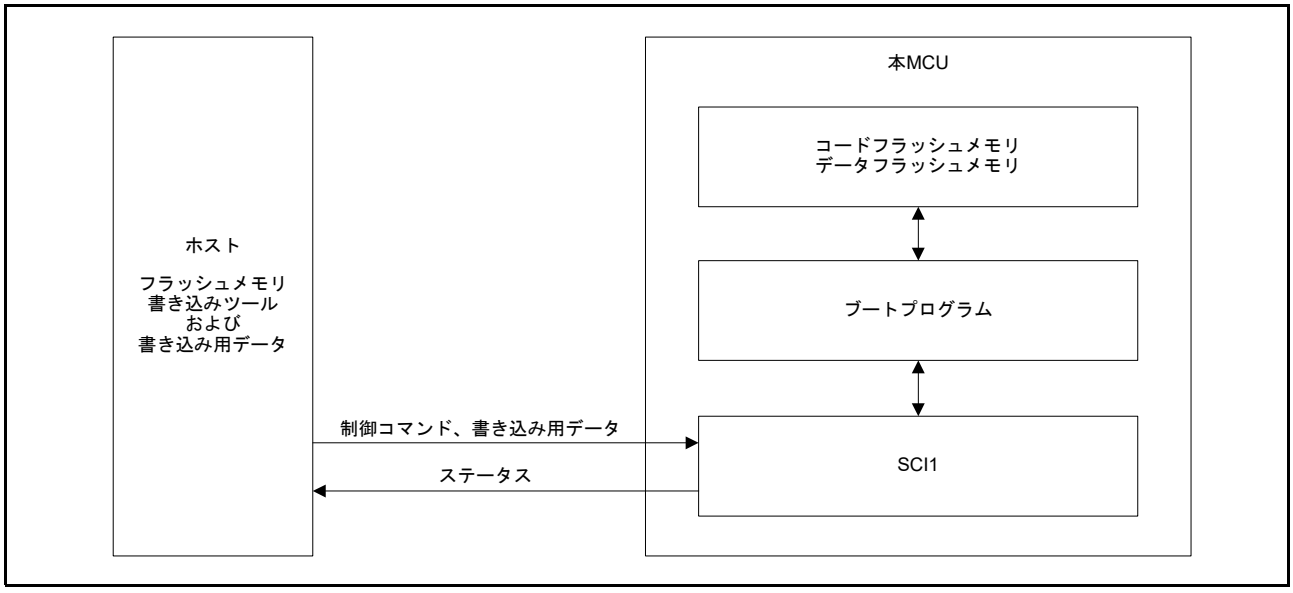


図 48.34　ブートモード (SCI インタフェース) 時のシステム構成

48.7.2 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。

48.7.2.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。**図 48.35** にブートモード (FINE インタフェース) 時の端子接続例を、**表 48.19** にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、**図 48.35** に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

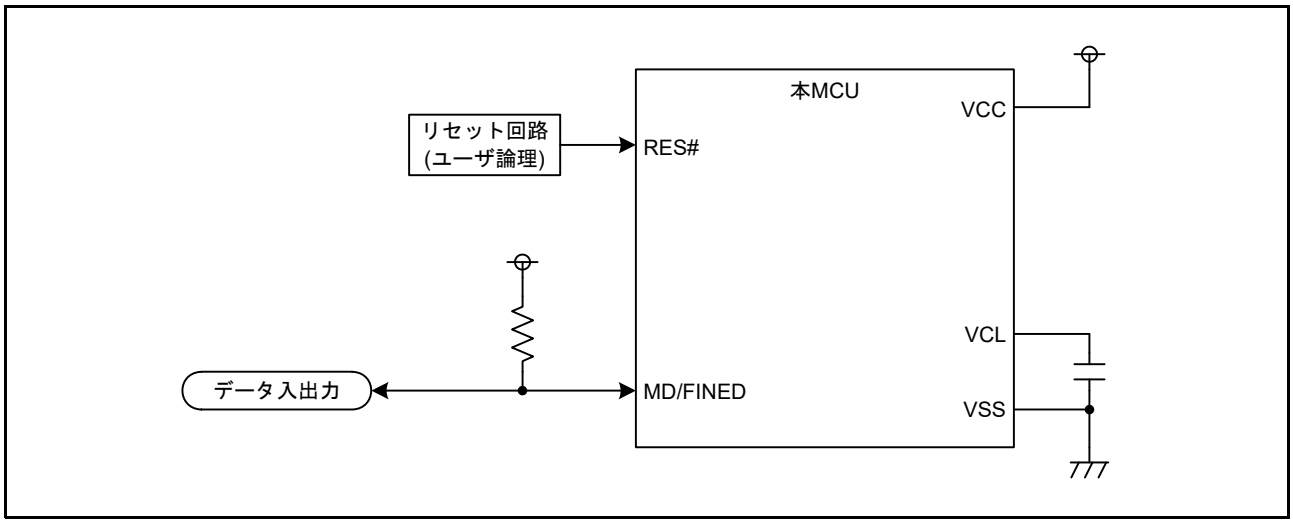


図 48.35 ブートモード (FINE インタフェース) 時のシステム構成

表48.19 ブートモード(FINEインタフェース)時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源入力	入力	VCC端子には2.7V以上の電圧を、VSS端子には0Vを入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の0.47μFの積層セラミックコンデンサを介してVSSに接続してください
MD/FINED	動作モードコントロール/データ入出力	入出力	抵抗を介してVCCに接続(プルアップ)してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

48.8 ブートモード通信プロトコル

ブートモードで使用する通信プロトコルを説明します。シリアルプログラマを開発される場合には、この通信プロトコルで制御してください。

48.8.1 ブートモードの起動方法

(1) ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。また、ブートモード (SCI インタフェース) で起動した後、本 MCU との通信が可能になるまでには、RES# 端子を High にしたまま、400ms 以上の待ち時間が必要です。

図 48.36 にブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態を示します。

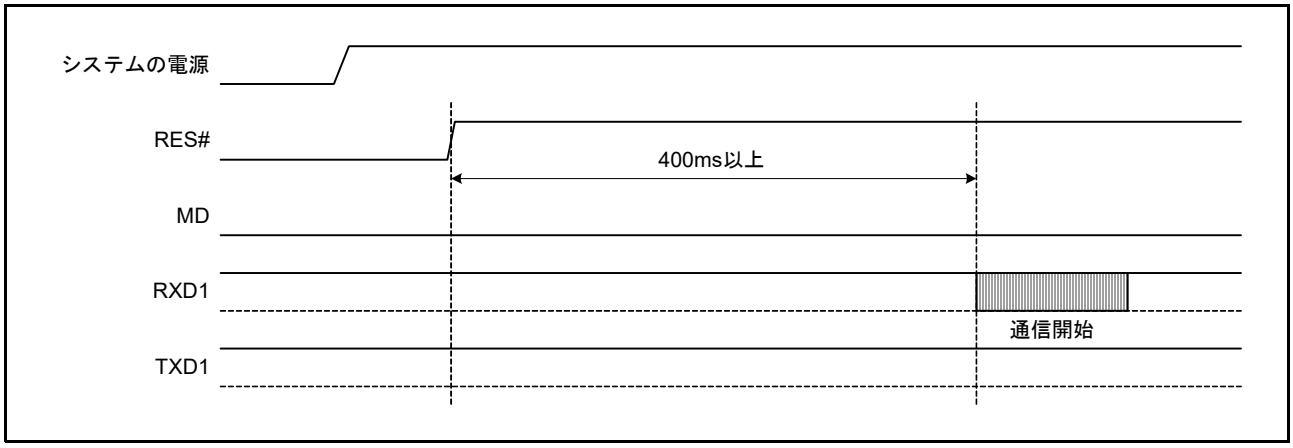


図 48.36 ブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態

48.8.2 ブートモードの状態遷移

48.8.2.1 ブートモード (SCI インタフェース) の状態遷移

図 48.37 にブートモード (SCI インタフェース) の状態遷移フローを示します。

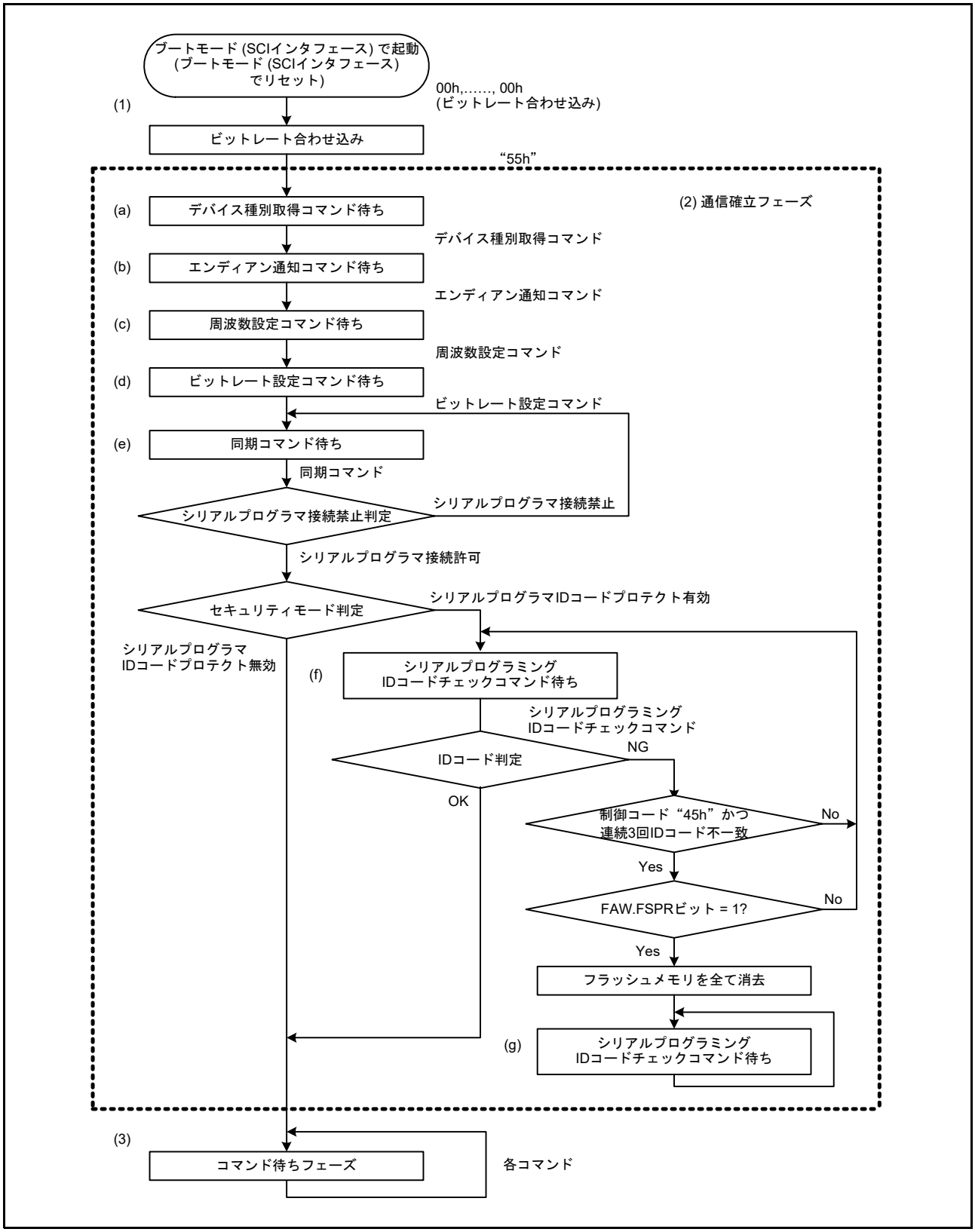


図 48.37 ブートモード (SCI インタフェース) の状態遷移フロー

(1) ビットレート合わせ込み

本 MCU をブートモードで起動すると、ホストと SCI 通信用のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、本 MCU からホストへ “00h” を送信します。その後、ホストから送信された “55h” を本 MCU が正しく受信すると通信確立フェーズに遷移します。ビットレート合わせ込みの詳細は「48.8.3 ビットレートの自動調整」を参照してください。

(2) 通信確立フェーズ

デバイス、エンディアン、周波数、ビットレートを選択するための状態です。また、シリアルプログラマ ID コードプロテクトが有効の場合は、ID コード認証を行います。通信確立フェーズで使用するコマンドの詳細は「48.8.5 通信確立フェーズ」を参照してください。

(a) デバイス種別取得コマンド待ち

ホストからデバイス種別取得コマンドが送られてくるのを待ちます。デバイス種別取得コマンドを受信した場合、エンディアン通知コマンド待ちに遷移します。デバイス種別取得コマンドの詳細は「48.8.9 デバイス種別取得コマンド」を参照してください。

(b) エンディアン通知コマンド待ち

ホストからエンディアン通知コマンドが送られてくるのを待ちます。エンディアン通知コマンドを受信した場合、周波数設定コマンド待ちに遷移します。エンディアン通知コマンドの詳細は「48.8.10 エンディアン通知コマンド」を参照してください。

(c) 周波数設定コマンド待ち

ホストから周波数設定コマンドが送られてくるのを待ちます。周波数設定コマンドを受信した場合、ボーレート設定コマンド待ちに遷移します。周波数設定コマンドの詳細は「48.8.11 周波数設定コマンド」を参照してください。

(d) ビットレート設定コマンド待ち

ホストからビットレート設定コマンドが送られてくるのを待ちます。ビットレート設定コマンドを受信した場合、同期コマンド待ちに遷移します。ビットレート設定コマンドの詳細は「48.8.12 ビットレート設定コマンド」を参照してください。

(e) 同期コマンド待ち

ホストから同期コマンドが送られてくるのを待ちます。同期コマンドを受信した場合、本 MCU はシリアルプログラマ ID コードプロテクトの有効 / 無効を判定します。ID コードプロテクトが無効の場合、コマンド待ちフェーズに遷移します。ID コードプロテクトが有効の場合、シリアルプログラミング ID コードチェックコマンド待ちに遷移します。また、シリアルプログラマ接続禁止が設定されている場合、本 MCU からホストへシリアルプログラマ接続禁止エラーを送信し、同期コマンド待ちのまま状態遷移を行いません。同期コマンドの詳細は「48.8.13 同期コマンド」を参照してください。

(f) シリアルプログラミング ID コードチェックコマンド待ち

ホストからシリアルプログラミング ID コードチェックコマンドが送られてくるのを待ちます。送られてくる制御コード、ID コードと、OSIS レジスタに書かれている制御コード、ID コードを比較し、一致していればコマンド待ちフェーズに遷移します。一致していなければ、シリアルプログラミング ID コードチェックコマンド待ちに戻ります。ただし、制御コードが “45h” の状態で 3 回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去 (注 1) します。シリアルプログラミング ID コードチェックコマンドの詳細は、「48.8.15 シリアルプログラミング ID コードチェックコマンド」を参照してください。

注 1. FAW.FSPR ビットが “0” の場合は消去しません。

(g) シリアルプログラミング ID コードチェックコマンド待ち (消去後)

フラッシュメモリを全て消去後は、ブートモードにて起動し直してください。

(3) コマンド待ちフェーズ

ホストからのコマンドに従って、プログラム / イレーズを実行する状態です。コマンド待ちフェーズで使用するコマンドの詳細は「48.8.6 コマンド待ちフェーズ」を参照してください。

48.8.3 ビットレートの自動調整

本 MCU をブートモード (SCI インタフェース) で起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600 bps に設定してください。本 MCU は測定した Low 期間を使用して SCI のビットレート調整を行い “00h” をホストへ送信します。

ホストが “00h” を正常に受信した場合には、ホストから本 MCU に “55h” を送信してください。“00h” を正常に受信できなかった場合には、本 MCU をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 MCU は “55h” を正常に受信すると “C2h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

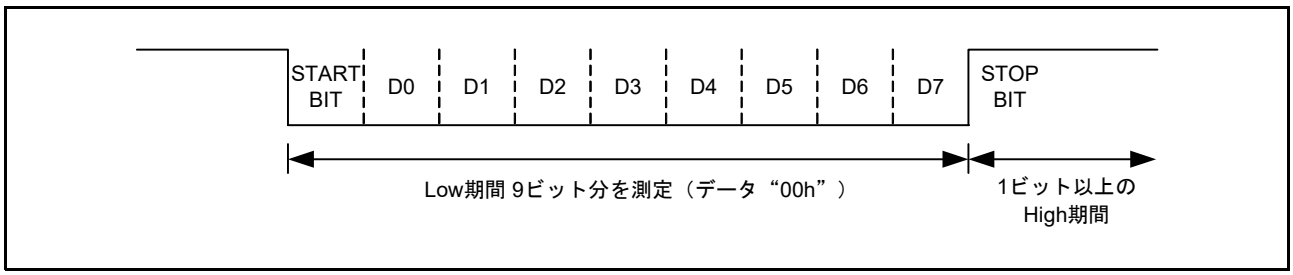


図 48.38 ビットレート自動調整時の SCI 送受信フォーマット

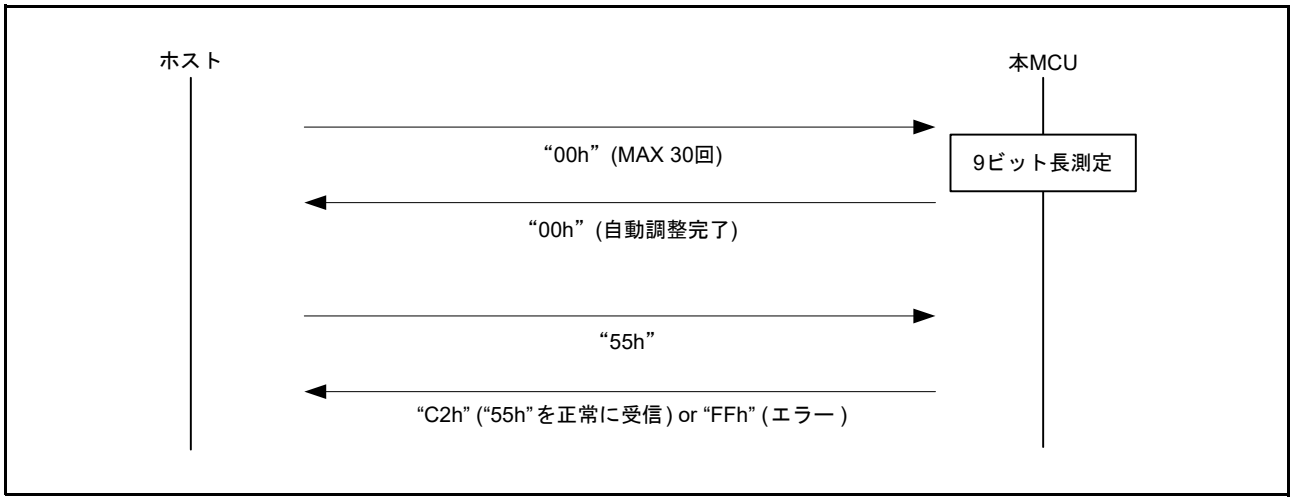


図 48.39 ホストと本 MCU 間の通信シーケンス

ホストの SCI のビットレートは、**表 48.20** に示した条件で SCI の通信を行うようにしてください。

表48.20 ビットレート自動調整が可能な条件

ホストのSCIのビットレート
9,600 bps

48.8.4 パケットフォーマット

(1) コマンドパケット

以下のフォーマットで、ホストから本 MCU へのコマンド送信を行います。

SOH	LNH	LNL	COM	コマンド情報 (可変長) (最大：255バイト)	SUM	ETX

シンボル	コード	概要
SOH	01h	パケット開始(1バイト)
LNH	—	パケット長(“COM + コマンド情報”の長さ)の上位バイト(1バイト)
LNL	—	パケット長(“COM + コマンド情報”の長さ)の下位バイト(1バイト)
COM	—	コマンドコード(1バイト)
コマンド情報	—	コマンド情報(最大：255バイト)
SUM(注1)	—	“LNH + LNL + COM + コマンド情報”のサムデータの2の補数(1バイト)
ETX	03h	パケット終了(1バイト)

注1. SUMは、“LNH + LNL + COM + コマンド情報＋SUM”の合計が“00h” になるように計算された1バイトデータを指します。

(2) ステータスパケット / データパケット

以下のフォーマットで、ホスト－本 MCU 間のデータ通信を行います。

SOD	LNH	LNL	RES	Data (可変長) (最大：1024バイト)	SUM	ETB or ETX

シンボル	コード	概要
SOD	81h	パケット開始(1バイト)
LNH	—	パケット長(“RES + Data”の長さ)の上位バイト(1バイト)
LNL	—	パケット長(“RES + Data”の長さ)の下位バイト(1バイト)
RES	—	レスポンスコード(1バイト)
Data	—	データ(最大：1024バイト)
SUM(注1)	—	“LNH + LNL + RES + Data”のサムデータの2の補数(1バイト)
ETB	17h	パケット終了(1バイト)
ETX	03h	最終パケット終了(1バイト)

注1. SUMは、“LNH + LNL + RES + Data＋SUM”の合計が“00h” になるように計算された1バイトデータを指します。

48.8.5 通信確立フェーズ

表 48.21 に通信確立フェーズで使用可能なコマンドの一覧を示します。
同期コマンドと ID 認証モード取得コマンドはコマンド待ちフェーズでも使用可能です。

表48.21 通信確立フェーズで使用可能なコマンド

コマンド名	機能
デバイス種別取得	ブートモードがサポートする発振周波数・CPU動作周波数(Hz単位)をホストへ送信します。
エンディアン通知	エンディアン(ビッグ/リトル)を通知します。
周波数設定	発振周波数・CPU動作周波数のデータ(Hz単位)を設定します。
ビットレート設定	ビットレートの変更を行います。
同期	通信同期処理に使用します。また、本MCUがコマンド受け付け可能な状態かどうかを確認する場合にも使用します。
ID認証モード取得	シリアルプログラマIDコードプロテクトの有効/無効をホストへ送信します。
シリアルプログラミングIDコードチェック	オプション設定メモリに設定されている制御コード、およびIDコードと、ホストが送信した制御コード、およびIDコードとの一致判定を行います。

通信確立フェーズでは、コマンドのレスポンスを参考にして、デバイス種別取得 → エンディアン通知 → 周波数設定 → ビットレート設定 → 同期コマンドの順にホストからコマンドを送信してください。シリアルプログラマ ID コードプロテクトが有効な場合は、同期コマンドに続いて ID 認証モード取得、またはシリアルプログラミング ID コードチェックコマンドを送信してください。

誤った順番でコマンドを送信した場合や、上記以外のコマンドを送信した場合は、本 MCU がフローエラーを送信します。

48.8.6 コマンド待ちフェーズ

表 48.22 にコマンド待ちフェーズで使用可能なコマンドの一覧を示します。
同期コマンドと ID 認証モード取得コマンドは通信確立フェーズでも使用可能です。

表48.22 コマンド待ちフェーズで使用可能なコマンド

コマンド名	機能
同期	表48.21を参照してください
ブランクチェック	指定した領域がブランクであることをチェックします
ブロックイレーズ	指定した1ブロックをイレーズします
エリアイレーズ	指定された領域をイレーズします
プログラム	指定した領域へプログラムします
リード	指定した領域からデータをリードします
ID認証モード取得	表48.21を参照してください
コンフィギュレーションクリア	コンフィギュレーション設定領域およびTM対象領域をイレーズします
コンフィギュレーションプログラム	コンフィギュレーション設定領域に値を設定します
コンフィギュレーションリード	コンフィギュレーション設定領域の設定値を読み出します
単純加算サムチェック	指定した領域の加算サムを計算します
エリア情報数取得	フラッシュメモリのエリア情報数を取得します
エリア情報取得	フラッシュメモリのエリア情報を取得します

ホストが未定義のコマンドを送信した場合は、本 MCU が未サポートエラーのレスポンスを送信します。

48.8.7 コマンドの通信シーケンス

コマンドごとに通信シーケンスが異なりますが、本 MCU への設定のみを行うコマンドと、本 MCU の設定情報を取得するコマンドは、それぞれ共通の通信シーケンスとなります。ただし、コマンドパケット、ステータスパケット、データパケットの内容はコマンドごとに異なりますので、詳細は各コマンドの章を参照してください。

(1) 設定のみを行うコマンドの共通通信シーケンス

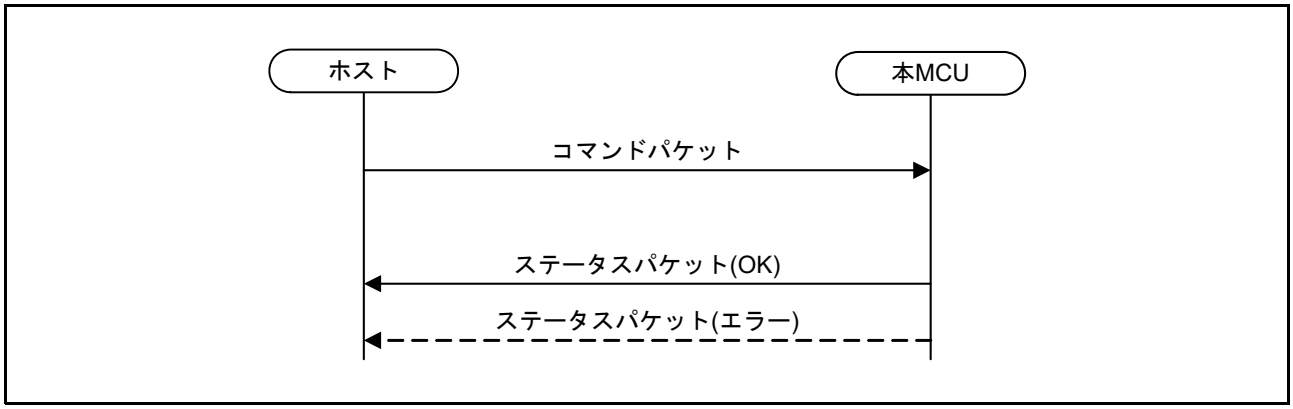


図 48.40 設定のみを行うコマンドの共通通信シーケンス

(2) 設定情報を取得するコマンドの共通通信シーケンス

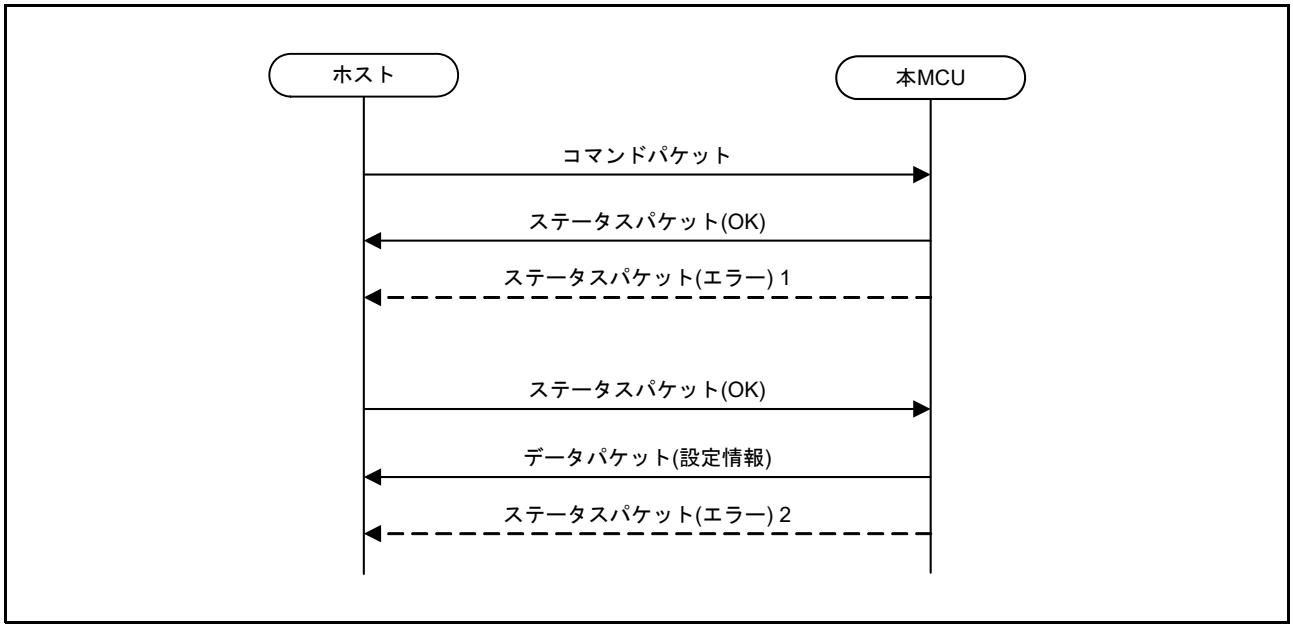


図 48.41 設定情報を取得するコマンドの共通通信シーケンス

表48.23 共通通信シーケンス

コマンド名	共通通信シーケンス種別
デバイス種別取得	設定情報を取得するコマンド
エンディアン通知	設定のみを行うコマンド
周波数設定	設定情報を取得するコマンド
ビットレート設定	共通通信シーケンスではありません。
同期	設定のみを行うコマンド
ID認証モード取得	設定情報を取得するコマンド
シリアルプログラミングIDコードチェック	設定のみを行うコマンド
ブランクチェック	設定のみを行うコマンド
ブロックイレーズ	設定のみを行うコマンド
エリアイレーズ	設定のみを行うコマンド
プログラム	共通通信シーケンスではありません。
リード	共通通信シーケンスではありません。
コンフィギュレーションクリア	設定のみを行うコマンド
コンフィギュレーションプログラム	共通通信シーケンスではありません
コンフィギュレーションリード	設定情報を取得するコマンド
単純加算サムチェック	設定情報を取得するコマンド
エリア情報数取得	設定情報を取得するコマンド
エリア情報取得	設定情報を取得するコマンド

共通通信シーケンスではないコマンドの通信シーケンスは、各コマンドの章を参照してください。

48.8.8 未サポートコマンド

本 MCU が未定義のコマンドパケットを受信した場合、未サポートエラー (C0h) を返信して、コマンド待ち状態に戻ります。

(1) コマンドパケット構造

SOH	LNH	LNL	COM		SUM	ETX

SOH： 01h
LNH： パケット長の上位バイト
LNL： パケット長の下位バイト
COM： コマンドコード (注1)
SUM： サムデータ
ETX： 03h

注1. 表48.22で規定してあるコマンドコード以外のコマンドコード

(2) ステータスパケット構造

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 02h
RES： 80h | COM (コマンドコード)
ERR： エラーコード
C0h (未サポートエラー)
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM： サムデータ
ETX： 03h

48.8.9 デバイス種別取得コマンド

本コマンドでブートモード (SCI インタフェース) がサポートする入力周波数・システムクロック周波数 (Hz 単位) をホストへ送信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH： 01h
LNH： 00h
LNL： 01h
COM： 38h
SUM： C7h
ETX： 03h

(2) データパケット構造

SOD	LNH	LNL	RES	TYP	OSA	OSI	CPA	CPI	SUM	ETX

以下のデータが送信されます。

最大入力周波数 = 16000000Hz
- OSA (1st byte) : 00h
- OSA (2nd byte) : F4h
- OSA (3rd byte) : 24h
- OSA (4th byte) : 00h

最小入力周波数 = 16000000Hz
- OSI (1st byte) : 00h
- OSI (2nd byte) : F4h
- OSI (3rd byte) : 24h
- OSI (4th byte) : 00h

最大システムクロック (ICLK) = 120000000Hz
- CPA (1st byte) : 07h
- CPA (2nd byte) : 27h
- CPA (3rd byte) : 0Eh
- CPA (4th byte) : 00h

最小システムクロック (ICLK) = 120000000Hz
- CPI (1st byte) : 07h
- CPI (2nd byte) : 27h
- CPI (3rd byte) : 0Eh
- CPI (4th byte) : 00h

SOD： 81h
LNH： 00h
LNL： 19h
RES： 38h (OK)
TYP： タイプコード(8バイト)(注1)
OSA： 最大入力周波数(4バイト)
OSI： 最小入力周波数(4バイト)
CPA： 最大システムクロック周波数(4バイト)
CPI： 最小システムクロック周波数(4バイト)
SUM： サムデータ
ETX： 03h

注1. 予約データ

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 01h
RES： 38h (OK)
SUM： C7h
ETX： 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : B8h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : B8h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.10 エンディアン通知コマンド

本コマンドでエンディアン (ビッグ / リトル) を通知します。
プログラムするデータに応じて、いずれかのエンディアンをエンディアン情報に設定してください。
通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	END	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 02h
COM : 36h
END : エンディアン情報
00h (ビッグエンディアン)
01h (リトルエンディアン)
SUM : サムデータ
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 36h (OK)
SUM : C9h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : B6h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D7h (エンディアンエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.11　周波数設定コマンド

本コマンドで発振周波数・CPU 動作周波数のデータ (Hz 単位) を設定します。

ブートモード (SCI インタフェース) またはブートモード (FINE インタフェース) 中は HOCO = 16 MHz、ICLK = 120 MHz で動作するため、入力周波数を 16 MHz、システムクロック周波数を 120 MHz に設定してください。また、ブートモード (SCI インタフェース) またはブートモード (FINE インタフェース) 中は FCLK = PCLKB = 60 MHz で動作するため、周辺モジュールクロック周波数は 60 MHz を返信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1)　コマンドパケット構造

SOH	LNH	LNL	COM	OC1	OC2	OC3	OC4	CC1	CC2	CC3	CC4	SUM	ETX

入力周波数 = 16000000Hz
システムクロック周波数 = 120000000Hz
の場合、以下のデータを送信してください。

OC1：00h　CC1：07h
OC2：F4h　CC2：27h
OC3：24h　CC3：0Eh
OC4：00h　CC4：00h

SOH：01h
LNH：00h
LNL：09h
COM：32h
OC1：入力周波数
OC2：入力周波数
OC3：入力周波数
OC4：入力周波数
CC1：システムクロック周波数
CC2：システムクロック周波数
CC3：システムクロック周波数
CC4：システムクロック周波数
SUM：サムデータ
ETX：03h

(2)　データパケット構造

SOD	LNH	LNL	RES	FQ1	FQ2	FQ3	FQ4	PF1	PF2	PF3	PF4	SUM	ETX

以下のデータが送信されます。
システムクロック周波数 = 120000000Hz
周辺モジュールクロック周波数 = 60000000Hz

FQ1：07h　PF1：03h
FQ2：27h　PF2：93h
FQ3：0Eh　PF3：87h
FQ4：00h　PF4：00h

SOD：81h
LNH：00h
LNL：09h
RES：32h
FQ1：システムクロック周波数
FQ2：システムクロック周波数
FQ3：システムクロック周波数
FQ4：システムクロック周波数
PF1：周辺モジュールクロック周波数
PF2：周辺モジュールクロック周波数
PF3：周辺モジュールクロック周波数
PF4：周辺モジュールクロック周波数
SUM：サムデータ
ETX：03h

(3)　ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：32h (OK)
SUM：CDh
ETX：03h

(4) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : B2h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D1h (入力周波数エラー)
D2h (システムクロック(ICLK)周波数エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.12　ビットレート設定コマンド

本コマンドでビットレート設定のデータ (bps 単位) を受信し、ビットレートの変更を行います。
エラーが発生した場合、ビットレートの切り替えは行いません。
通信確立フェーズでのみ受け付け可能なコマンドです。
ブートモード (FINE インタフェース) 時は、ビットレートの切り替えは行いません。ビットレートは任意の値を設定してください。

(1)　処理手順

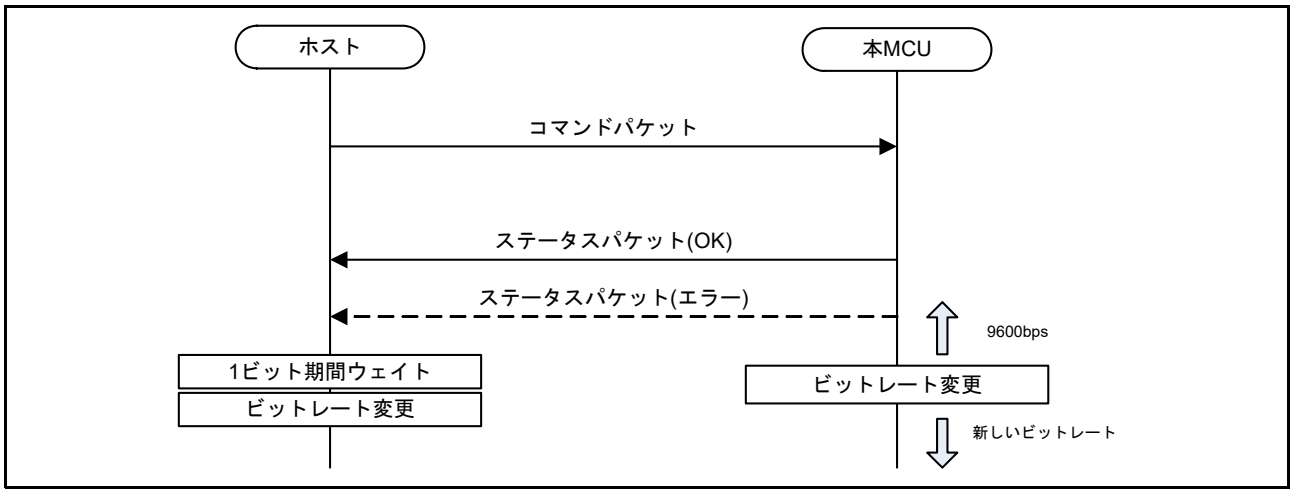


図 48.42　ビットレート設定コマンドの通信シーケンス

(2)　コマンドパケット構造

SOH	LNH	LNL	COM	BR1	BR2	BR3	BR4	SUM	ETX

ビットレート = 2000000bps
の場合、以下のようなデータを送信してください。

BR1：00h
BR2：1Eh
BR3：84h
BR4：80h

SOH：　01h
LNH：　00h
LNL：　05h
COM：　34h
BR1：　ビットレート
BR2：　ビットレート
BR3：　ビットレート
BR4：　ビットレート
SUM：　サムデータ
ETX：　03h

(3)　ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：　81h
LNH：　00h
LNL：　01h
RES：　34h (OK)
SUM：　CBh
ETX：　03h

(4) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 02h
RES： B4h (エラー)
ERR： エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D4h (ビットレート誤差エラー)
SUM： サムデータ
ETX： 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.13 同期コマンド

本コマンドは通信同期処理に使用します。

また、本 MCU がコマンド受け付け可能な状態かどうかを確認する場合にも使用します。シリアルプログラマ接続禁止が有効な場合は、シリアルプログラマ接続禁止エラーが返信されます。

通信確立フェーズ / コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 00h
SUM : FFh
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 00h (OK)
SUM : FFh
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 80h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DCh (シリアルプログラマ接続禁止エラー)
SUM : サムデータ
ETX : 03h

48.8.14 ID 認証モード取得コマンド

本コマンドでシリアルプログラマ ID コードプロテクトの有効 / 無効をホストへ送信します。
通信確立フェーズ / コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 2Ch
SUM : D3h
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	MOD	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 2Ch (OK)
MOD : ID認証情報(1バイト)
00h (シリアルプログラマIDコードプロテクト有効)
FFh (シリアルプログラマIDコードプロテクト無効)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Ch (OK)
SUM : D3h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.15　シリアルプログラミング ID コードチェックコマンド

本コマンドで OSIS レジスタに設定されている制御コード、ID コードと、ホストから受信した制御コード、ID コードとの一致判定を行い、結果をホストへ送信します。

通信確立フェーズで受け付け可能なコマンドです。シリアルプログラマ ID コードプロテクトが有効の場合、このコマンドが正常終了しない限り、コマンド待ちフェーズへ移行しません。

制御コードが “45h” の状態で、3 回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します(注 1)。

注 1.　FAW.FSPR ビットが “0” の場合はフラッシュメモリを消去しません。

(1)　コマンドパケット構造

SOH	LNH	LNL	COM	IDC	SUM	ETX

SOH :　01h
LNH :　00h
LNL :　11h
COM :　30h
IDC :　制御コードと ID コード(16 バイト)(注1)
SUM :　サムデータ
ETX :　03h

注1.　以下のように送信してください。
<ID コード>
ID = 0F0E0D0C0B0A09080706050403020100h
(制御コード:00h, ID コード 2:01h, ID コード 3:02h, ... , ID コード 16:0Fh)
<送信データ>

第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	…
00h	01h	02h	03h	04h	05h	06h	07h	…

(2)　ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD :　81h
LNH :　00h
LNL :　01h
RES :　30h (OK)
SUM :　CFh
ETX :　03h

(3)　ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD :　81h
LNH :　00h
LNL :　02h
RES :　B0h (エラー)
ERR :　エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DBh (ID コード不一致エラー)
E1h (消去エラー)
SUM :　サムデータ
ETX :　03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.16 ブランクチェックコマンド

本コマンドで指定された領域がブランクであることをチェックできます。

コードフラッシュメモリの場合 128 バイトアライン、データフラッシュメモリの場合 4 バイトアラインのアドレスで指定してください。TM 機能有効時、TM 対象領域を含む領域のブランクチェックを行うと、エラーとなります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 09h
COM : 10h
SHH : ブランクチェック開始アドレス(b24～b31)
SHL : ブランクチェック開始アドレス(b16～b23)
SLH : ブランクチェック開始アドレス(b8～b15)
SLL : ブランクチェック開始アドレス(b0～b7)
EHH : ブランクチェック終了アドレス(b24～b31)
EHL : ブランクチェック終了アドレス(b16～b23)
ELH : ブランクチェック終了アドレス(b8～b15)
ELL : ブランクチェック終了アドレス(b0～b7)
SUM : サムデータ
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 10h (OK)
SUM : EFh
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 90h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
E0h (非ブランクエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.17 ブロックイレーズコマンド

本コマンドで指定された 1 ブロックをイレーズできます。

イレーズするブロックをブロックの先頭アドレスで指定してください。

TM 機能有効時、TM 対象領域のイレーズはできません。TM 機能有効時に TM 対象領域をイレーズするには、コンフィギュレーションクリアコマンドを使用してください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	SUM	ETX

SOH： 01h
LNH： 00h
LNL： 05h
COM： 12h
SHH： イレーズするブロックの先頭アドレス(b24～b31)
SHL： イレーズするブロックの先頭アドレス(b16～b23)
SLH： イレーズするブロックの先頭アドレス(b8～b15)
SLL： イレーズするブロックの先頭アドレス(b0～b7)
SUM： サムデータ
ETX： 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 01h
RES： 12h (OK)
SUM： EDh
ETX： 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 02h
RES： 92h (エラー)
ERR： エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E7h (フラッシュシーケンサエラー)
SUM： サムデータ
ETX： 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.18　エリアイレーズコマンド

エリアイレーズコマンドは、指定された領域をアドレスの小さい順に 1 ブロックずつ、連続してイレーズします。対象領域はコードフラッシュメモリまたはデータフラッシュメモリから選択することができます。

TM 機能有効の場合は、TM 対象領域以外のブロックをイレーズします。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1)　コマンドパケット構造

SOH	LNH	LNL	COM	ARE	SUM	ETX

SOH :　01h
LNH :　00h
LNL :　02h
COM :　50h
ARE :　Area
　　00h (コードフラッシュメモリ)
　　20h (データフラッシュメモリ)
SUM :　サムデータ
ETX :　03h

(2)　ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD :　81h
LNH :　00h
LNL :　01h
RES :　50h (OK)
SUM :　AFh
ETX :　03h

(3)　ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	SUM	ERR	SUM	ETX

SOD :　81h
LNH :　00h
LNL :　02h
RES :　D0h (エラー)
ERR :　エラーコード
　　C1h (パケットエラー)
　　C2h (チェックサムエラー)
　　C3h (フローエラー)
　　D5h (エリアエラー)
　　DAh (プロテクションエラー)
　　E1h (イレーズエラー)
　　E7h (フラッシュシーケンサエラー)
SUM :　サムデータ
ETX :　03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.19 プログラムコマンド

本コマンドでフラッシュメモリへプログラムするデータを受信し、指定された領域へプログラムします。

データ長はコードフラッシュメモリの場合 128 バイト単位、データフラッシュメモリの場合 4 バイト単位で指定してください。また、プログラム開始アドレスは、コードフラッシュメモリの場合 128 バイトアライン、データフラッシュメモリの場合 4 バイトアラインのアドレスで指定してください。

TM 機能有効時、TM 対象領域に対するプログラムはできません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

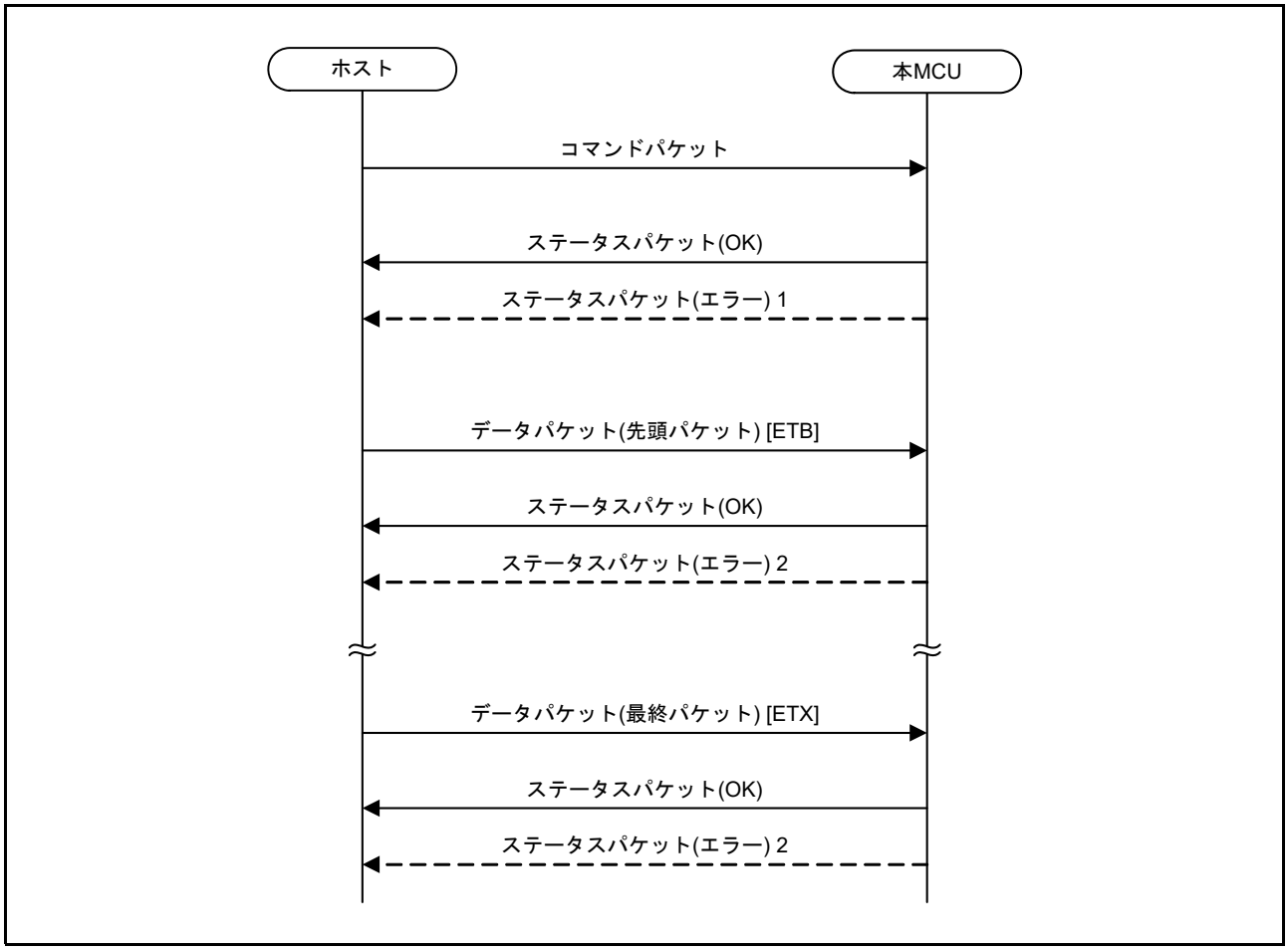


図 48.43 プログラムコマンドの通信シーケンス

(2) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH： 01h
LNH： 00h
LNL： 09h
COM： 13h
SHH： プログラム開始アドレス(b24～b31)
SHL： プログラム開始アドレス(b16～b23)
SLH： プログラム開始アドレス(b8～b15)
SLL： プログラム開始アドレス(b0～b7)
EHH： プログラム終了アドレス(b24～b31)
EHL： プログラム終了アドレス(b16～b23)
ELH： プログラム終了アドレス(b8～b15)
ELL： プログラム終了アドレス(b0～b7)
SUM： サムデータ
ETX： 03h

(3) データパケット構造

SOD	LNH	LNL	RES	Data	SUM	ETB or ETX

SOD： 81h
LNH： “データ長+1” の上位バイト
LNL： “データ長+1” の下位バイト
RES： 13h (OK)
Data： プログラムデータ
SUM： サムデータ
ETB： 17h
ETX： 03h

(4) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 01h
RES： 13h (OK)
SUM： ECh
ETX： 03h

(5) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 02h
RES： 93h (エラー)
ERR： エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
DAh (プロテクションエラー)
SUM： サムデータ
ETX： 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 02h
RES： 93h (エラー)
ERR： エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
E2h (プログラムエラー)
E7h (フラッシュシーケンサエラー)
SUM： サムデータ
ETX： 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.20 リードコマンド

本コマンドでフラッシュメモリの指定した領域からデータをリードし、ホストへ送信します。

読み出しの最小単位は 1 バイトです。TM 機能有効時、TM 対象領域をリードすると、“00h” がリードされます。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

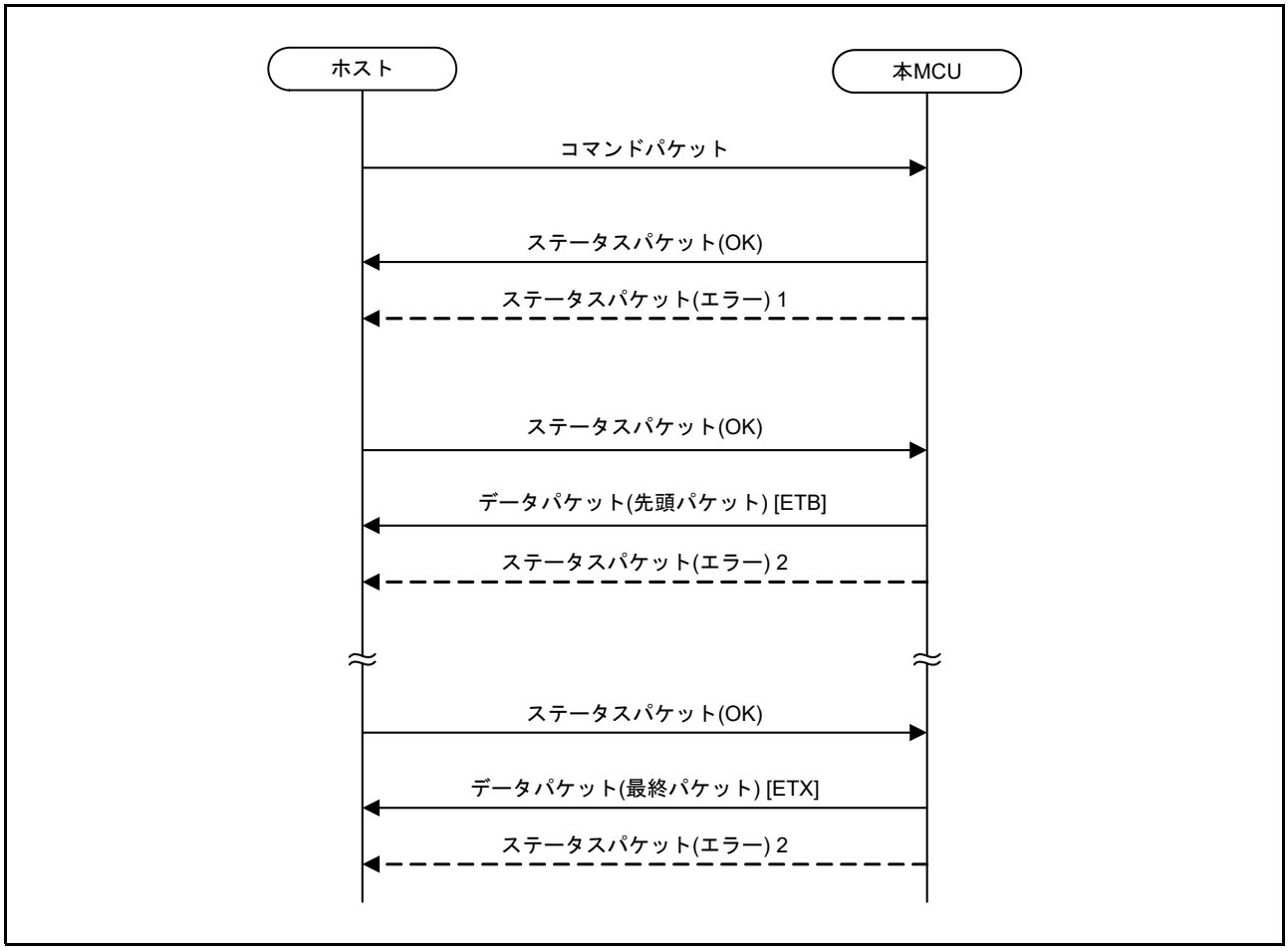


図 48.44 リードコマンドの通信シーケンス

(2) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 09h
COM : 15h
SHH : リード開始アドレス(b24～b31)
SHL : リード開始アドレス(b16～b23)
SLH : リード開始アドレス(b8～b15)
SLL : リード開始アドレス(b0～b7)
EHH : リード終了アドレス(b24～b31)
EHL : リード終了アドレス(b16～b23)
ELH : リード終了アドレス(b8～b15)
ELL : リード終了アドレス(b0～b7)
SUM : サムデータ
ETX : 03h

(3) データパケット構造

SOD	LNH	LNL	RES	Data	SUM	ETB or ETX

SOD : 81h
LNH : “データ長+1” の上位バイト
LNL : “データ長+1” の下位バイト
RES : 15h (OK)
Data : リードデータ
SUM : サムデータ
ETB : 17h
ETX : 03h

(4) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 15h (OK)
SUM : EAh
ETX : 03h

(5) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 95h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 95h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.21 コンフィギュレーションクリアコマンド

本コマンドは、オプション設定メモリ (コンフィギュレーション設定領域)、および TM 対象領域のイレーズを行います。

コードフラッシュメモリ、データフラッシュメモリがブランクではない場合、本コマンドは使用できません。また、アクセスウィンドウが設定されている場合は、TM 対象領域がアクセスウィンドウ内に配置されるようにしてから、本コマンドを送信してください。

シリアルプログラマ ID コードプロテクトが有効の場合、リセット後にプロテクトが無効になります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 1Ch
SUM : E3h
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 1Ch (OK)
SUM : E3h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 9Ch (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
E0h (非ブランクエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
E7h (フラッシュシーケンサエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.22 コンフィギュレーションプログラムコマンド

本コマンドでオプション設定メモリへ書き込むデータを受信し、指定された領域へプログラムします。
エリア情報取得コマンドで取得した書き込み単位で指定する必要があります。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。
FAW.FSPR ビットを有効に設定すると、無効に設定することはできません。
FAW.FSPR ビットの詳細は、**「7. オプション設定メモリ (OFSM)」**の**「7.2.9 フラッシュアクセスウィンドウ設定レジスタ (FAW)」**を参照してください。
シリアルプログラマ接続禁止の状態で SPCC.SPE ビットの書き換えをした場合、正常終了となりますがプログラムは無視されます。
また、シリアルプログラマ接続禁止の状態でリセットを行うと、本 MCU はシリアルプログラマと接続できなくなります。

リニアモード時、TMEF.TMEF[2:0] ビットが “000b” の状態で TMEF.TMEF[2:0] ビット、TMINF レジスタ、および MDE.BANKMD[2:0] ビットの書き換えをした場合、正常終了となりますがプログラムは無視されます。
デュアルモード時、TMEF.TMEF[2:0] ビットが “000b” または TMEF.TMEFDB[2:0] ビットが “000b” の状態で TMEF.TMEF[2:0] ビット、TMINF レジスタ、および MDE.BANKMD[2:0] ビットの書き換えをした場合、正常終了となりますがプログラムは無視されます。

(1) 処理手順

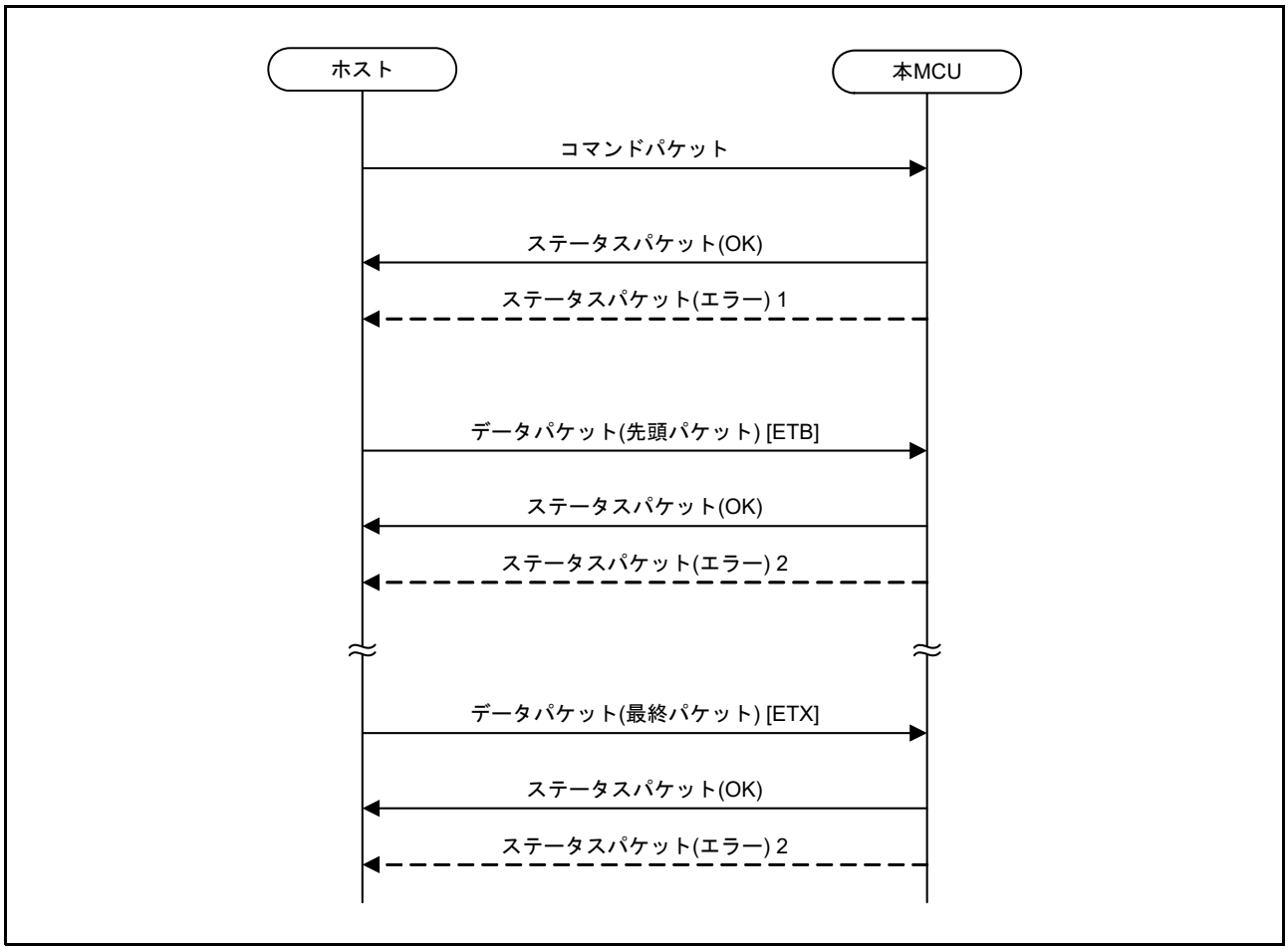


図 48.45 プログラムコマンドの通信シーケンス

(2) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH： 01h
LNH： 00h
LNL： 09h
COM： 51h
SHH： 開始アドレス(b24～b31)
SHL： 開始アドレス(b16～b23)
SLH： 開始アドレス(b8～b15)
SLL： 開始アドレス(b0～b7)
EHH： 終了アドレス(b24～b31)
EHL： 終了アドレス(b16～b23)
ELH： 終了アドレス(b8～b15)
ELL： 終了アドレス(b0～b7)
SUM： サムデータ
ETX： 03h

(3) データパケット構造

SOD	LNH	LNL	RES	Data	SUM	ETB or ETX

SOD： 81h
LNH： “データ長+1” の上位バイト
LNL： “データ長+1” の下位バイト
RES： 51h (OK)
Data： プログラムデータ (注1)
SUM： サムデータ
ETB： 17h
ETX： 03h

注1. プログラムデータは、下位アドレスから上位アドレスの順にホストから送信してください。

<ライトデータ>

アドレス	0h	1h	2h	3h	4h	5h	6h	7h	…
データ	00h	01h	02h	03h	04h	05h	06h	07h	…

<プログラムデータ>

第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	…
00h	01h	02h	03h	04h	05h	06h	07h	…

(4) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 01h
RES： 51h (OK)
SUM： AEh
ETX： 03h

(5) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 02h
RES： D1h (エラー)
ERR： エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
SUM： サムデータ
ETX： 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : D1h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
E7h (フラッシュシーケンサエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.23 コンフィギュレーションリードコマンド

本コマンドでオプション設定メモリの指定した領域からデータを読み出し、ホストへ送信します。
読み出し最小単位は 4 バイトです。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH： 01h
LNH： 00h
LNL： 09h
COM： 52h
SHH： 開始アドレス(b24～b31)
SHL： 開始アドレス(b16～b23)
SLH： 開始アドレス(b8～b15)
SLL： 開始アドレス(b0～b7)
EHH： 終了アドレス(b24～b31)
EHL： 終了アドレス(b16～b23)
ELH： 終了アドレス(b8～b15)
ELL： 終了アドレス(b0～b7)
SUM： サムデータ
ETX： 03h

(2) データパケット構造

SOD	LNH	LNL	RES	Data	SUM	ETB or ETX

SOD： 81h
LNH： “データ長+1” の上位バイト
LNL： “データ長+1” の下位バイト
RES： 52h (OK)
Data： リードデータ (注1)
SUM： サムデータ
ETB： 17h
ETX： 03h

注1. リードデータは、下位アドレスから上位アドレスの順に読み出されます。

<プログラムデータ>

アドレス	0h	1h	2h	3h	4h	5h	6h	7h	…
データ	00h	01h	02h	03h	04h	05h	06h	07h	…

<リードデータ>

第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	…
00h	01h	02h	03h	04h	05h	06h	07h	…

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 01h
RES： 52h (OK)
SUM： ADh
ETX： 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : D2h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : D2h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.24 単純加算サムチェックコマンド

本コマンドで指定された領域のサムを計算し、結果をホストへ送信します。ただし、TM 機能有効時、TM 対象領域は加算されません。

本コマンドの対象領域はコードフラッシュメモリ、データフラッシュメモリから選択することができます。算出方法は単純加算方式です。初期値は “0” で、指定領域のデータを 1 バイトずつ加算します。

対象領域にコードフラッシュメモリを指定した場合、本 MCU グループの最大容量である 512K バイトすべてが加算対象になります。

対象領域にデータフラッシュメモリを指定した場合、イレーズされた領域が含まれていると結果は不定になります。データフラッシュメモリに対する単純加算サムチェックを実行する場合は、すべての領域にデータを書き込んでおいてください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	ARE	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 02h
COM : 4Dh
ARE : 領域情報
00h (コードフラッシュメモリ)
20h (データフラッシュメモリ)
SUM : サムデータ
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	SD1	SD2	SD3	SD4	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 05h
RES : 4Dh (OK)
SD1 : サム結果
SD2 : サム結果
SD3 : サム結果
SD4 : サム結果
サム結果 = 01234567hの場合、以下のようになります。
SD1 = 01h
SD2 = 23h
SD3 = 45h
SD4 = 67h
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 4Dh (OK)
SUM : B2h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CDh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D5h (領域エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CDh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.25 エリア情報数取得コマンド

本 MCU の持つ領域の数をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 53h
SUM : ACh
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	NOA	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 53h (OK)
NOA : エリア情報数(1バイト)
05h (リニアモード時)
08h (デュアルモード時)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 53h (OK)
SUM : ACh
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : D3h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : D3h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.26 エリア情報取得コマンド

指定した領域の情報をホストへ送信します。

イレーズコマンド、プログラムコマンド、コンフィギュレーションプログラムコマンドのアドレスは、本コマンドで返信される範囲・単位 (アラインメント) に従って指定しなければなりません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	NUM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 02h
COM : 54h
NUM : Area number [0～NOA-1]
SUM : C5h
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	KOA	SAD	EAD	EAU	WAU	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 12h
RES : 54h (OK)
KOA : Kind of the area
00h (コードフラッシュメモリ)
20h (データフラッシュメモリ)
30h (オプション設定メモリ)
40h (Trusted Memory無効)
41h (Trusted Memory有効)
SAD : Start address (4バイト)
EAD : End address (4バイト)
EAU : Erase access unit (alignment) [Byte] (4バイト)
WAU : Write access unit (alignment) [Byte] (4バイト)
SUM : サムデータ
ETX : 03h

リニアモード時のデータパケット

NUM	KOA	SAD	EAD	EAU	WAU	概要
00h	00h	FFFF 8000h	FFFF FFFFh	0000 1000h	0000 0080h	コードフラッシュメモリ ブロック0～7 (4Kバイトブロック)
01h	00h	FFF8 0000h (512KB) FFFC 0000h (256KB)	FFFF 7FFFh	0000 4000h	0000 0080h	コードフラッシュメモリ ブロック8～37 (512KB) ブロック8～21 (256KB) (16Kバイトブロック)
02h	20h	0010 0000h	0010 3FFFh	0000 0040h	0000 0004h	データフラッシュメモリ
03h	30h	0012 0040h	0012 00FFh	0000 00C0h	0000 0010h	オプション設定メモリ
04h	40h	FFFF 0000h	FFFF 7FFFh	0000 4000h	0000 0080h	Trusted Memory ブロック8、9無効
	41h	FFFF 0000h	FFFF 7FFFh	0000 4000h	0000 0080h	Trusted Memory ブロック8、9有効

リニアモード時の、TMEF.TMEF[2:0] ビットおよび TMEF.TMEFDB[2:0] ビットの設定値と、NUM = 04h のときの KOA 値

TMEF.TMEF[2:0]ビット	TMEF.TMEFDB[2:0]ビット	NUM = 04hのときのKOA値
111b	Don't care	40h
000b	Don't care	41h

デュアルモード時のデータパケット

NUM	KOA	SAD	EAD	EAU	WAU	概要
00h	00h	FFFF 8000h	FFFF FFFFh	0000 1000h	0000 0080h	コードフラッシュメモリ ブロック0～7 (4Kバイトブロック)
01h	00h	FFFC 0000h	FFFF 7FFFh	0000 4000h	0000 0080h	コードフラッシュメモリ ブロック8～21 (16Kバイトブロック)
02h	00h	FFFB 8000h	FFFB FFFFh	0000 1000h	0000 0080h	コードフラッシュメモリ ブロック22～29 (4Kバイトブロック)
03h	00h	FFF8 0000h	FFFB 7FFFh	0000 4000h	0000 0080h	コードフラッシュメモリ ブロック30～43 (16Kバイトブロック)
04h	20h	0010 0000h	0010 3FFFh	0000 0040h	0000 0004h	データフラッシュメモリ
05h	30h	0012 0040h	0012 00FFh	0000 00C0h	0000 0010h	オプション設定メモリ
06h	40h	FFFF 0000h	FFFF 7FFFh	0000 4000h	0000 0080h	Trusted Memory ブロック8、9無効
	41h	FFFF 0000h	FFFF 7FFFh	0000 4000h	0000 0080h	Trusted Memory ブロック8、9有効
07h	40h	FFFB 0000h	FFFB 7FFFh	0000 4000h	0000 0080h	Trusted Memory ブロック30、31無効
	41h	FFFB 0000h	FFFB 7FFFh	0000 4000h	0000 0080h	Trusted Memory ブロック30、31有効

デュアルモード時の、TMEF.TMEF[2:0] ビットおよび TMEF.TMEFDB[2:0] ビットの設定値と、NUM = 06h または 07h のときの KOA 値

TMEF.TMEF[2:0]ビット	TMEF.TMEFDB[2:0]ビット	NUM = 06hまたは07hのときのKOA値
111b	111b	40h
000b	000b	41h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 01h
RES： 54h (OK)
SUM： ABh
ETX： 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD： 81h
LNH： 00h
LNL： 02h
RES： D4h (エラー)
ERR： エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM： サムデータ
ETX： 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : D4h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

48.8.27 使用例

図 48.46 にフラッシュメモリの書き換え方法の例を示します。

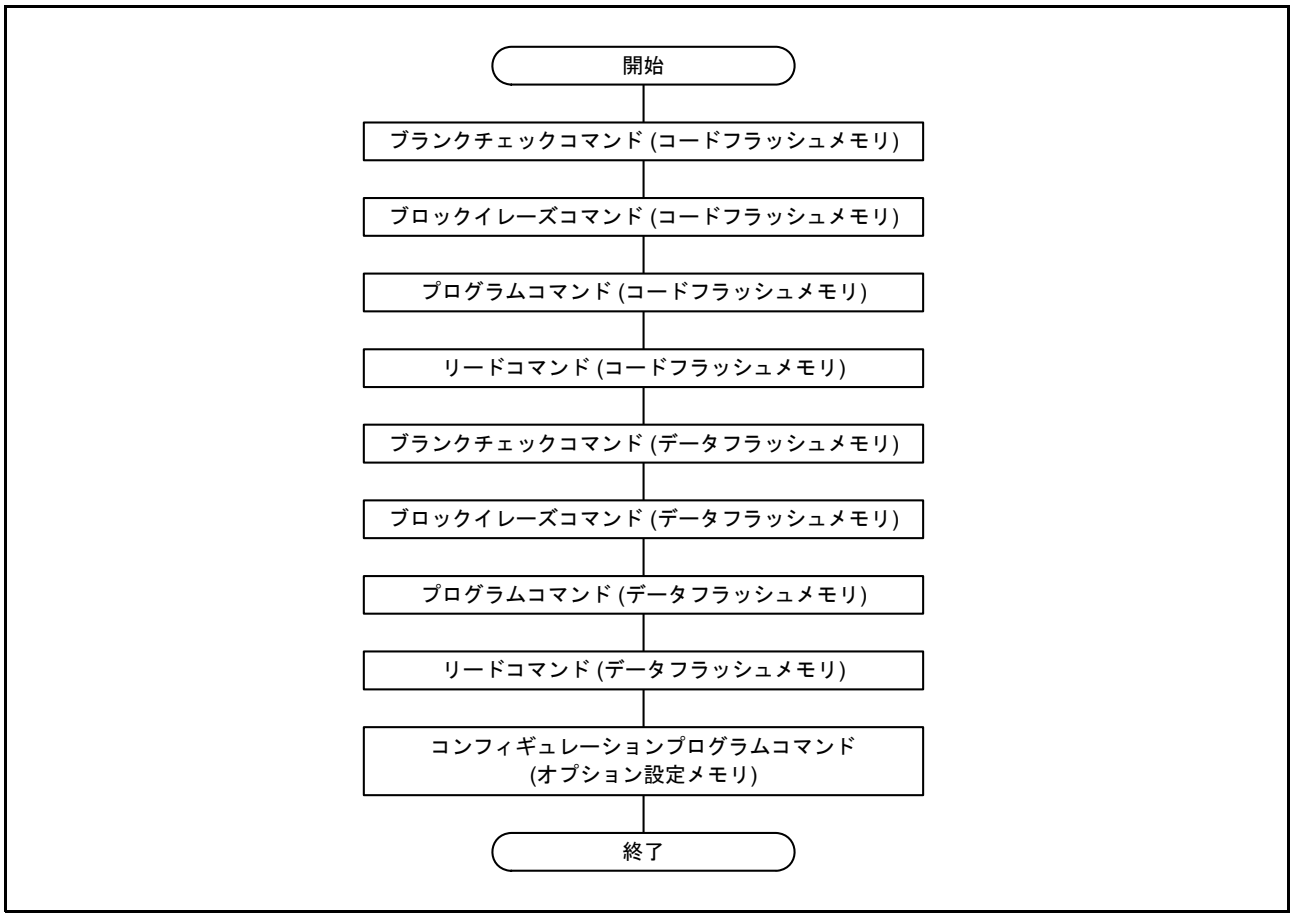


図 48.46 書き換え方法の例

48.8.28　デュアルモード使用時のフラッシュメモリ書き換え

ルネサス出荷時のフラッシュメモリはイレーズ済み (ブランク品) ですので、MDE.BANKMD[2:0] ビットも “111b” (リニアモード) です。デュアルモードで使用する場合、MDE.BANKMD[2:0] ビットを “000b” (デュアルモード) にしてください。

(1)　デュアルモードでの書き換え

図 48.47 に、デュアルモードに切り替えてからフラッシュメモリを書き換える例を示します。バンク 0、バンク 1 のどちらにもユーザープログラムを書き込み可能です。

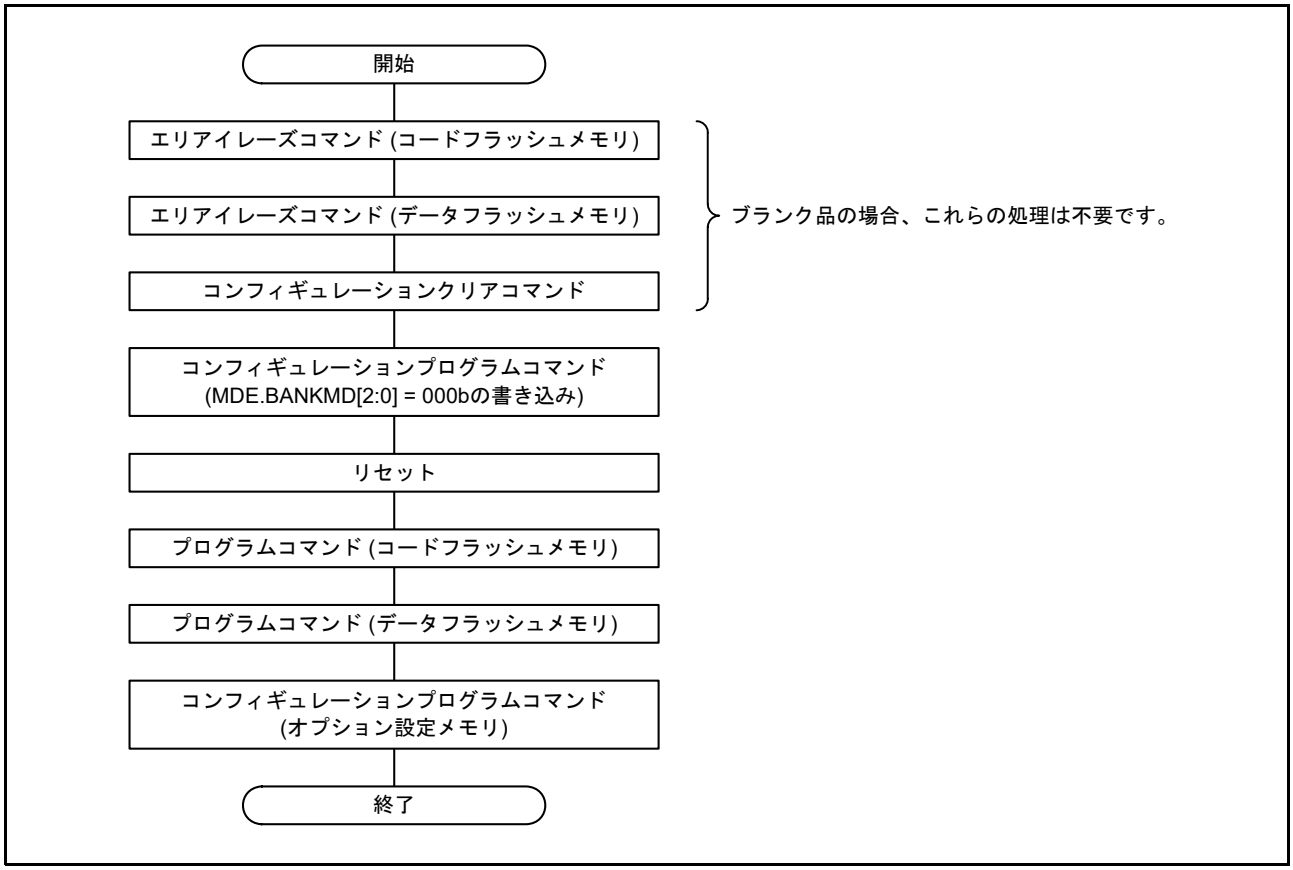


図 48.47　デュアルモードに切り替えてからフラッシュメモリを書き換える例

(2) リニアモードでの書き換え

図 48.48 に、リニアモードのままフラッシュメモリを書き換える例を示します。また、図 48.49 にリセット前後のメモリマップを示します。

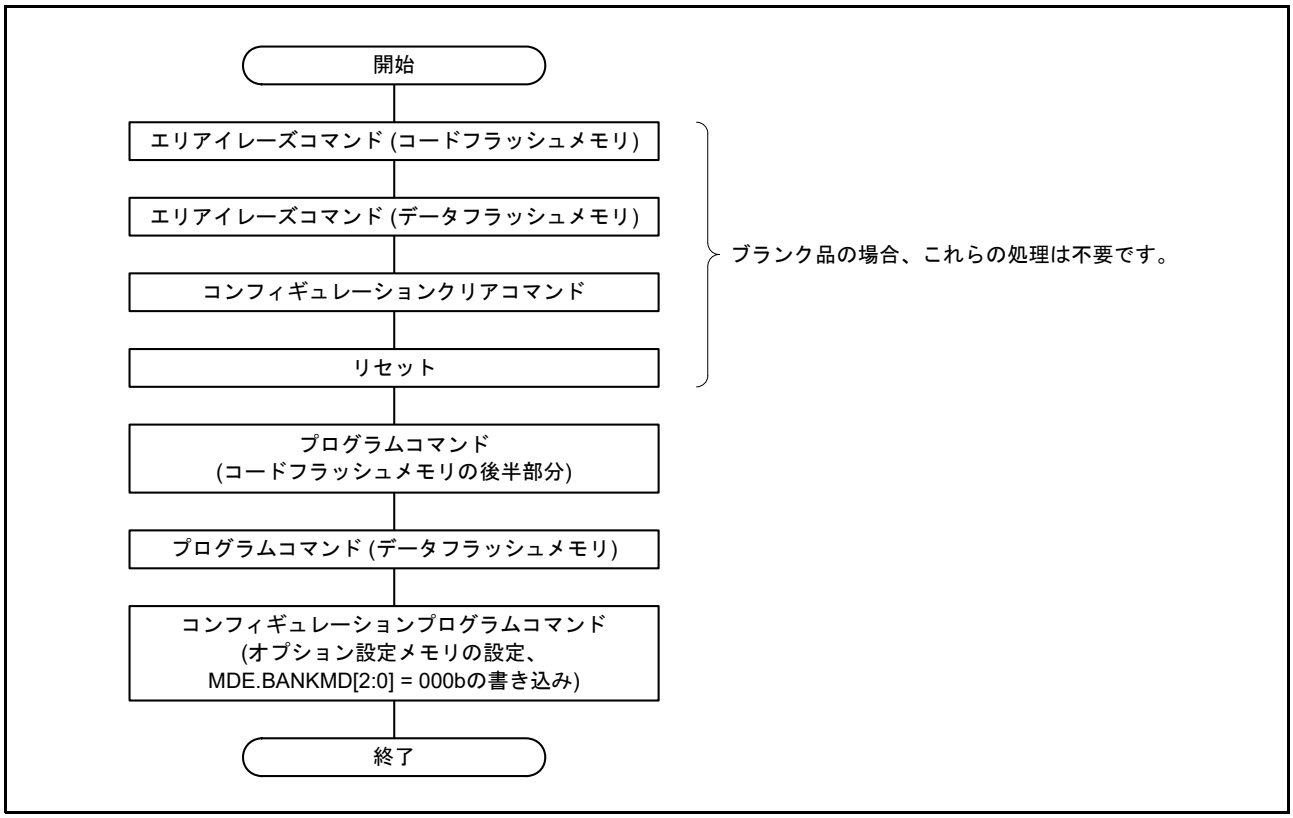


図 48.48 リニアモードのままフラッシュメモリを書き換える例

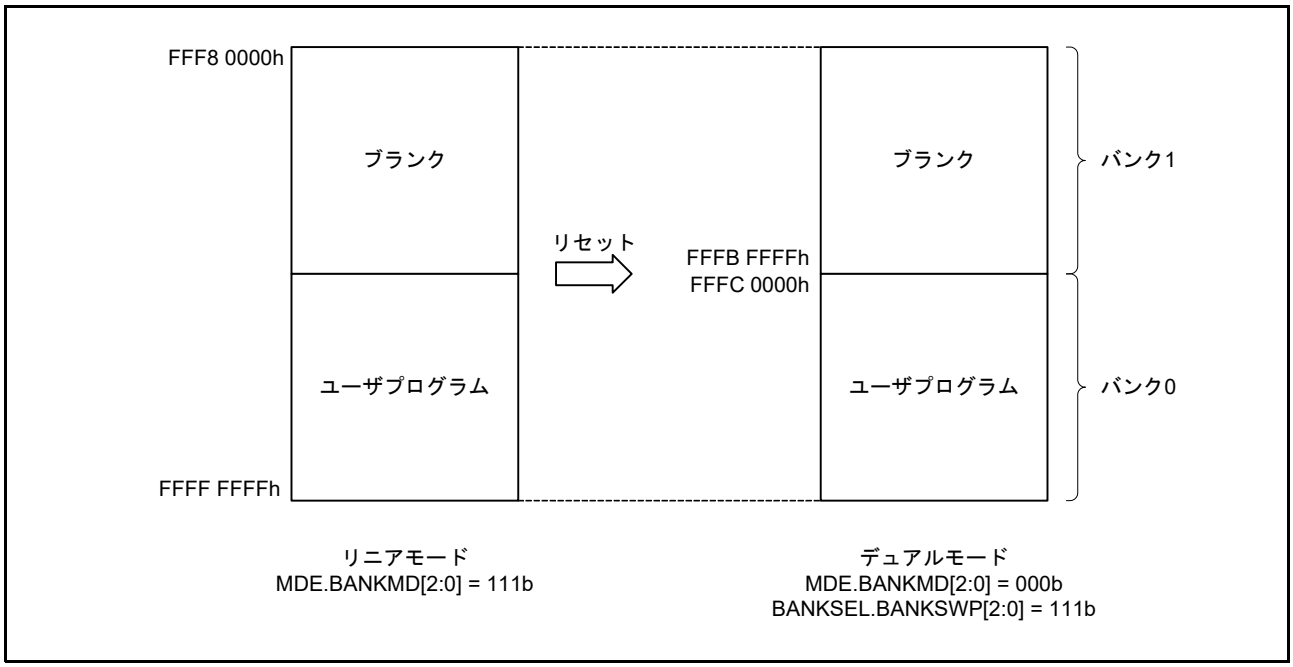


図 48.49 リセット前後のメモリマップ

48.9 シリアルプログラマでの書き換え (シリアルプログラミング)

ボード上にコネクタを設けることにより、ボードに本 MCU を実装したまま、シリアルプログラマで本 MCU にプログラムを行うことができます。

48.9.1 プログラミング環境

本 MCU のフラッシュメモリを書き換えるための推奨される環境を次に示します。

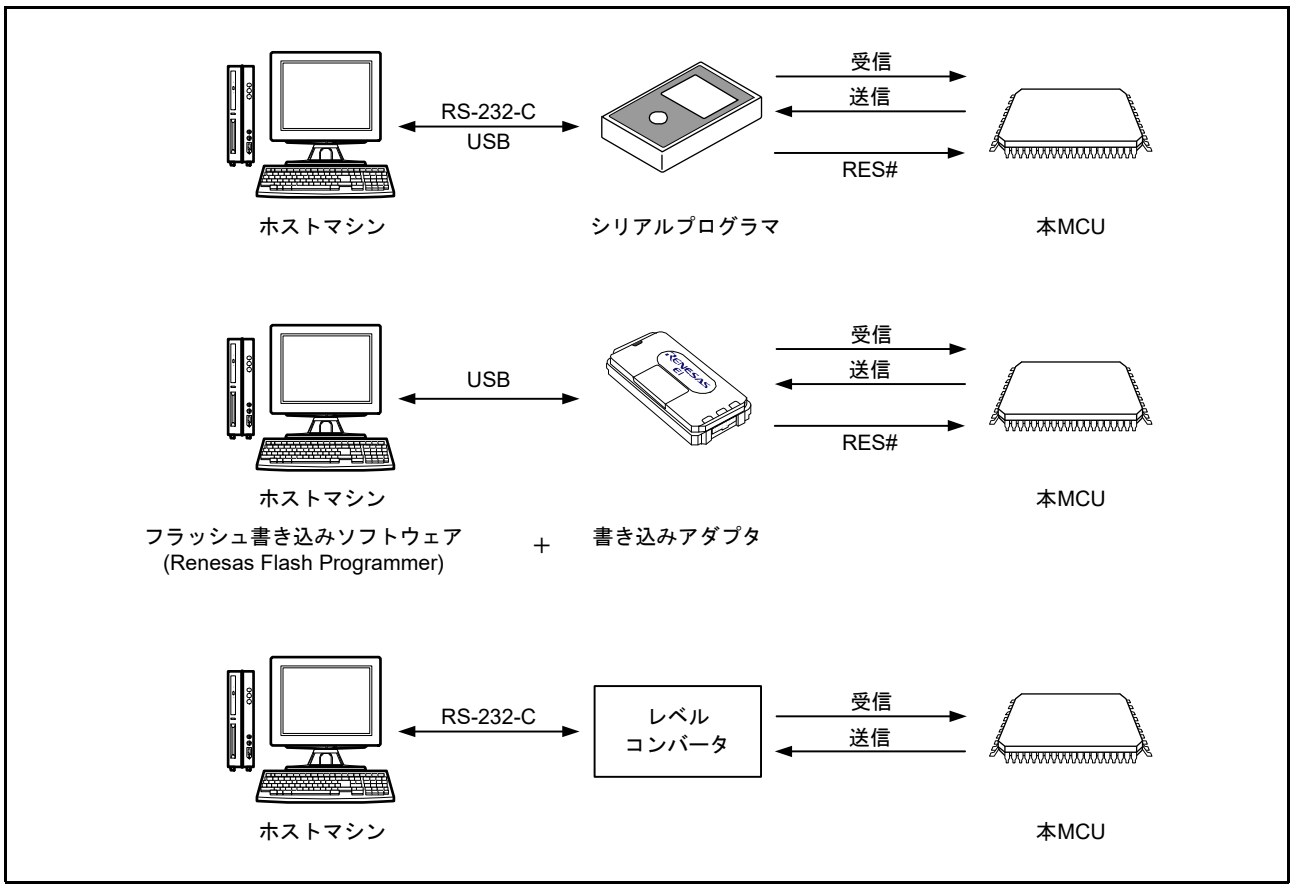


図 48.50 フラッシュメモリを書き換えるための環境

注 . シリアルプログラマの詳細は、各シリアルプログラマのマニュアルを、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は、「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル」を参照してください。

48.10 セルフプログラミングでの書き換え

48.10.1 概要

本 MCU は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。FACI コマンドをユーザプログラムで使用することにより、フラッシュメモリを書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

データフラッシュメモリの書き換え時には、BGO 機能を利用してコードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。また、あらかじめ内蔵 RAM に転送した書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることもできます。

書き換え対象のコードフラッシュメモリ領域と読み出し対象のコードフラッシュメモリ領域のアドレス範囲が特定条件を満たすときにも BGO 機能を利用可能です (**表 48.24** 参照)。この場合、セルフプログラミング時に、コードフラッシュメモリ上の書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることができます。

また、BGO 機能を利用できない場合は、内蔵 RAM にあらかじめ転送した書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることができます。

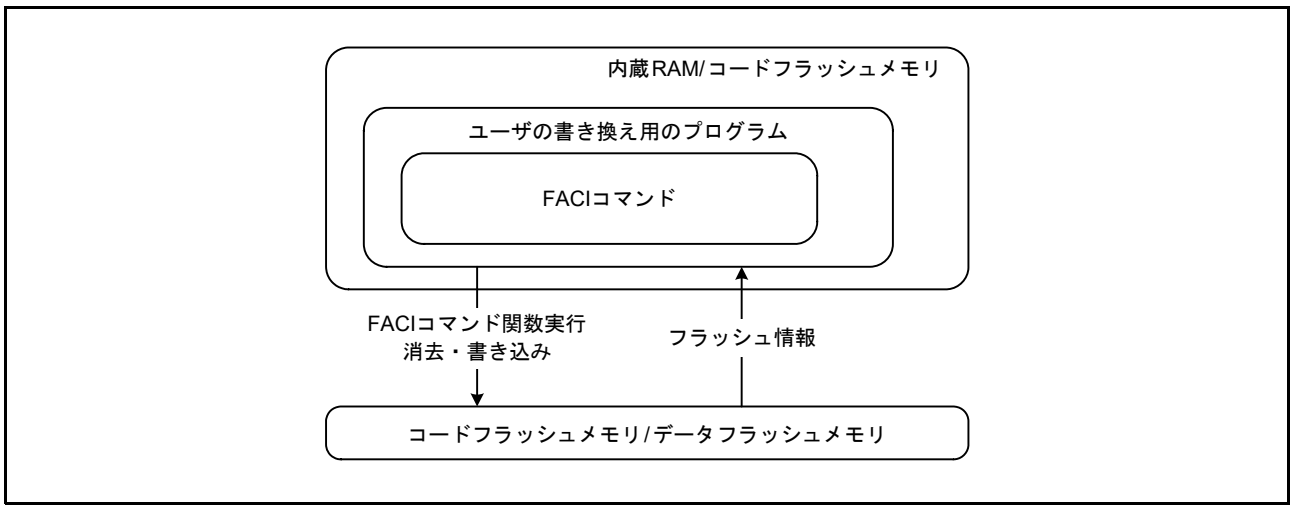


図 48.51 セルフプログラミングの概念

48.10.2 BGO 機能

BGO 機能とは、コードフラッシュメモリ上の書き換えプログラムで、データフラッシュメモリや他の領域のコードフラッシュメモリを書き換えられる機能です。

書き換え対象のフラッシュメモリとリード対象のフラッシュメモリが下記の組み合わせである場合には、BGO 機能を利用することができます。

表48.24 BGO機能を利用可能な条件

		書き換え対象領域	リード対象領域
リニアモード/デュアルモード共通		• データフラッシュメモリ	• コードフラッシュメモリ
リニアモード	コードフラッシュメモリ容量が512Kバイトの製品	• コードフラッシュメモリの前半256Kバイト領域 (アドレス：FFF8 0000h～FFFB FFFFh)	• コードフラッシュメモリの後半256Kバイト領域 (アドレス：FFFC 0000h～FFFF FFFFh) • データフラッシュメモリ
		• コードフラッシュメモリの後半256Kバイト領域 (アドレス：FFFC 0000h～FFFF FFFFh)	• コードフラッシュメモリの前半256Kバイト領域 (アドレス：FFF8 0000h～FFFB FFFFh) • データフラッシュメモリ
デュアルモード	BANKSEL.BANKSWP [2:0] = 111bのとき	• コードフラッシュメモリのバンク1領域	• コードフラッシュメモリのバンク0領域 • データフラッシュメモリ
	BANKSEL.BANKSWP [2:0] = 000bのとき	• コードフラッシュメモリのバンク0領域	• コードフラッシュメモリのバンク1領域 • データフラッシュメモリ

48.11 使用上の注意事項

48.11.1 プログラム / イレーズを中断した領域およびサスペンドした領域の読み出し

プログラム / イレーズを中断した領域および P/E サスペンドコマンドを使用してプログラム / イレーズを中断した領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、プログラム / イレーズを中断した領域および P/E サスペンドコマンドを使用してプログラム / イレーズを中断した領域の命令フェッチやデータリードが発生しないように注意してください。

48.11.2 プログラム / イレーズの中断

P/E サスペンドコマンドを発行してプログラム / イレーズ処理を中断した場合、P/E レジュームコマンドを発行してプログラム / イレーズ処理を再開することができます。中断処理が正常に終了して ERSSPD フラグまたは PRGSPD フラグが “1” になったあと、何らかの理由でフラッシュシーケンサがコマンドロック状態になり強制終了コマンドを発行した場合は、中断した処理を再開することはできません。また処理を中断した領域のデータ値は保証されませんので、当該領域をイレーズしてください。

48.11.3 追加プログラムの禁止

コードフラッシュメモリ、データフラッシュメモリでは同一領域に 2 回以上のプログラムを行うことはできません。プログラム済みのコードフラッシュメモリ、データフラッシュメモリをプログラムしたい場合には、当該領域をイレーズしてください。

48.11.4 プログラム / イレーズ中またはブランクチェック中のリセット

プログラム / イレーズ中またはブランクチェック中に RES# 端子によるリセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、t_{RESWF} (「49. **電気的特性**」を参照) 以上のリセット入力期間の後にリセット解除してください。

48.11.5 プログラム / イレーズ中の割り込み / 例外ベクタの配置

プログラム / イレーズ中に割り込み / 例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタのアドレスをコードフラッシュメモリ以外に設定するか、割り込みを禁止してください。

48.11.6 プログラム / イレーズ中またはブランクチェック中の異常終了

RES# 端子によるリセット発生などでプログラム / イレーズが異常終了したことにより、データが不定状態となったフラッシュメモリ領域のプログラム / イレーズ状態を確認するベリファイ手段はありません。プログラム / イレーズが異常終了した領域に対しては、ブランクチェック機能では正しくイレーズ状態の判定をできません。再度イレーズ処理を行って、該当領域を完全なイレーズ状態にした後にご使用ください。

48.11.7 プログラム / イレーズ中またはブランクチェック中の禁止事項

プログラム / イレーズ中またはブランクチェック中は、フラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする

- FWEPROR.FLWE[1:0] ビットの変更
- SCKCR.FCK[3:0] と PCKB[3:0] ビットの変更
- SCKCR3.CKSEL[2:0] ビットの変更
- RSTCKCR.RSTCKEN ビットの変更
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードへの移行

49. 電気的特性

49.1 絶対最大定格

表49.1 絶対最大定格
条件：VSS = AVSS0 = AVSS1 = AVSS2 = 0V

項目		記号	定格値	単位
電源電圧 (注1)		VCC	–0.3 ～ +6.5	V
アナログ電源電圧 (注1)		AVCC0, AVCC1, AVCC2	–0.3 ～ +6.5	V
入力電圧	PB1, PB2 (5V トレラント対応ポート)	V_{in}	–0.3 ～ +6.5	V
	P40～P47, P50～P55, P60～P65		–0.3 ～ AVCC2 + 0.3 (最大 6.5)	
	上記以外		–0.3 ～ VCC + 0.3 (最大 6.5)	
ジャンクション温度		T_j	–40 ～ +125	°C
保存温度		T_{stg}	–55 ～ +125	°C

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. 各電源とグランド間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離、かつできる限り太いパターンを使用して接続してください。

49.2 推奨動作条件

表49.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC (注1)	2.7	—	5.5	V
		VSS	—	0	—	
アナログ電源電圧 (注2)		AVCC0, AVCC1, AVCC2 (注1)	3.0	—	5.5	V
		AVSS0, AVSS1, AVSS2	—	0	—	
入力電圧	PB1, PB2 (5V トレラント対応ポート)	V_{in}	–0.3	—	5.8	V
	P40～P47, P50～P55, P60～P65		–0.3	—	AVCC2 + 0.3	
	上記以外		–0.3	—	VCC + 0.3	
動作温度	Dバージョン	T_{opr}	–40	—	85	°C
	Gバージョン		–40	—	105	
ジャンクション温度	Dバージョン	T_j	–40	—	105	°C
	Gバージョン		–40	—	125	

注1. 各電源電圧の関係は以下を守ってください。
VCC ≦ AVCC0 = AVCC1 = AVCC2

注2. 12ビットA/Dコンバータ(ユニット0～2)、12ビットD/Aコンバータ、コンパレータC、温度センサのいずれも使用しないときは、AVCC0、AVCC1、AVCC2はVCCに、AVSS0、AVSS1、AVSS2はVSSにそれぞれ接続してください。詳細は「42.6.9 アナログ電源端子他の設定範囲」を参照してください。

表49.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	0.47μF ± 30% (注1)

注1. 静電容量の公称値が0.47μF、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が±30%以内の積層セラミックコンデンサを使用してください。

49.3 DC 特性

表49.4 DC特性(1)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	CANFD入力端子、MTU入力端子、GPTW入力端子、POE入力端子、POEG入力端子、TMR入力端子、SCI入力端子、RSCI入力端子、ADTRG#入力端子、RES#、NMI	V_{IH}	0.8 × VCC	—	—	V	
		V_{IL}	—	—	0.2 × VCC		
		ΔV_T	0.06 × VCC	—	—		
	IRQ入力端子 (P52～P55、P60～P65 を除く)	V_{IH}	0.8 × VCC	—	—	V	
		V_{IL}	—	—	0.2 × VCC		
		ΔV_T	0.06 × VCC	—	—		
	IRQ入力端子 (P52～P55, P60～P65)	V_{IH}	0.8 × AVCC2	—	—	V	
		V_{IL}	—	—	0.2 × AVCC2		
		ΔV_T	0.06 × AVCC2	—	—		
	RIIC入力端子 (SMBus を除く)	V_{IH}	0.7 × VCC	—	—	V	
		V_{IL}	—	—	0.3 × VCC		
		ΔV_T	0.06 × VCC	—	—		
	RI3C入力端子	V_{IH}	0.7 × VCC	—		V	VCC = 2.7～3.6V
		V_{IL}	—	—	0.3 × VCC		
		ΔV_T	0.1 × VCC	—			
	5V トレラント対応端子 (PB1, PB2)	V_{IH}	0.8 × VCC	—	—	V	
		V_{IL}	—	—	0.2 × VCC		
	アナログ入力端子 (P40～P47, P50～P55, P60～P63)	V_{IH}	0.8 × AVCC2	—	—	V	
		V_{IL}	—	—	0.2× AVCC2		
	その他の入力端子 (上記以外のポート)	V_{IH}	0.8 × VCC	—	—	V	
		V_{IL}	—	—	0.2 × VCC		
High レベル入力電圧 (シュミットトリガ入力端子を除く)	MD端子、EMLE	V_{IH}	0.9 × VCC	—	—	V	
	EXTAL、RSPI入力端子、RSPIA入力端子		0.8 × VCC	—	—		
	RIIC (SMBus)		2.1	—	—		
Low レベル入力電圧 (シュミットトリガ入力端子を除く)	MD端子、EMLE	V_{IL}	—	—	0.1 × VCC	V	
	EXTAL、RSPI入力端子、RSPIA入力端子		—	—	0.2 × VCC		
	RIIC (SMBus)		—	—	0.8		

表49.5　DC特性(2)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
High レベル出力電圧	P40～P47, P50～P55, P60～P65		V_{OH}	AVCC2 – 0.5	—	—	V	I_{OH} = –1.0mA
	P90～P95, P71～P76, P81, PB5, PD3			VCC – 1.0	—	—		I_{OH} = –5.0mA VCC < 4.0V (大電流出力設定時)
				VCC – 1.1	—	—		I_{OH} = –15.0mA VCC≧4.0V (大電流出力設定時)
	RI3C端子			VCC – 0.27	—	—		I_{OH} = –3.0mA
	上記以外	通常駆動		VCC – 0.5	—	—		I_{OH} = –1.0mA
		高駆動		VCC – 0.5	—	—		I_{OH} = –2.0mA
Low レベル出力電圧	P40～P47, P50～P55, P60～P65		V_{OL}	—	—	0.5	V	I_{OL} = 1.0mA
	P90～P95, P71～P76, P81, PB5, PD3			—	—	1.0		I_{OL} = 15.0mA (大電流出力設定時)
	RIIC端子			—	—	0.4		I_{OL} = 3.0mA
				—	—	0.6		I_{OL} = 6.0mA
	RI3C端子			—	—	0.27		I_{OL} = 3.0mA
	上記以外	通常駆動		—	—	0.5		I_{OL} = 1.0mA
		高駆動		—	—	0.5		I_{OL} = 2.0mA
入力リーク電流	RES#、MD端子、PE2、EMLE (注1)		$\lvert I_{in} \rvert$	—	—	1.0	μA	V_{in} = 0V V_{in} = VCC
スリーステートリーク電流(オフ状態)	RIIC端子		$\lvert I_{TSI} \rvert$	—	—	5.0	μA	V_{in} = 0V V_{in} = VCC
	上記以外			—	—	1.0		
入力プルアップ抵抗	P40～P47, P50～P55, P60～P65		R_{PU}	10	—	100	kΩ	AVCC2 = 3.0～5.5V V_{in} = 0V
	上記以外および、PE2以外の端子			10	—	100		VCC = 2.7～5.5V V_{in} = 0V
入力プルダウン抵抗	EMLE		R_{PD}	10	—	100	kΩ	V_{in} = VCC = AVCC
入力端子容量	RIIC端子		C_{in}	—	—	16	pF	V_{bias} = 0V V_{amp} = 20mV f = 1MHz T_a = 25°C
	上記以外			—	—	8		
VCL端子出力電圧			V_{CL}	—	1.25	—	V	

注1.　EMLE端子の入力リーク電流はV_{in} = 0V時のみの値です。

表49.6　DC特性(3) (RAM：64Kバイトの製品)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目				記号	Dバージョン		Gバージョン		単位	測定条件
					typ	max	typ	max		
消費電流 (注1)	通常動作モード	最大動作 (注2)		I_{CC} (注3)	—	66	—	74	mA	ICLK = 120MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 120MHz PCLKD = 60MHz FCLK = 60MHz
		通常動作	周辺機能クロック供給状態 (注4)		22	—	22	—		
			周辺機能クロック停止状態 (注4、注5)		11	—	11	—		
		CoreMark動作	周辺機能クロック停止状態 (注4、注5)		18	—	18	—		
		スリープモード時：周辺機能クロック供給状態 (注4)			18	36	18	44		
		全モジュールクロックストップモード時(参考値)			8.1	22	8.1	29		
		BGO動作時の増加分 (注6)			16	—	16	—		
		Trusted Secure IP動作時の増加分			4.3	5.2	4.3	5.2		
	ソフトウェアスタンバイモード				0.9	8	0.9	13		

注1.　消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。
注2.　周辺機能クロック供給状態。BGO動作は除きます。
注3.　I_{CC}は、下記の式のとおりICLK周波数f (MHz)に依存します。
・Dバージョン製品
I_{CC} max = 0.417 × f + 16 (通常動作モード、最大動作時)
I_{CC} typ = 0.144 × f + 5 (通常動作モード、通常動作時)
I_{CC} max = 0.167 × f + 16 (スリープモード時)
・Gバージョン製品
I_{CC} max = 0.433 × f + 22 (通常動作モード、最大動作時)
I_{CC} typ = 0.144 × f + 5 (通常動作モード、通常動作時)
I_{CC} max = 0.183 × f + 22 (スリープモード時)
注4.　BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA～Dのビット設定でのみ制御しています。
注5.　周辺機能クロック停止時の各クロック周波数は、
FCLK = PCLKA = PCLKB = PCLKC = PCLKDを64分周に設定しています。
注6.　プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表49.7　DC特性(3) (RAM：48Kバイトの製品)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目				記号	Dバージョン		Gバージョン		単位	測定条件
					typ	max	typ	max		
消費電流 (注1)	通常動作モード	最大動作 (注2)		I_{CC} (注3)	—	47	—	52	mA	ICLK = 120MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 120MHz PCLKD = 60MHz FCLK = 60MHz
		通常動作	周辺機能クロック供給状態 (注4)		17	—	17	—		
			周辺機能クロック停止状態 (注4、注5)		10	—	10	—		
		CoreMark動作	周辺機能クロック停止状態 (注4、注5)		16	—	16	—		
		スリープモード時：周辺機能クロック供給状態 (注4)			13	25	13	29		
		全モジュールクロックストップモード時(参考値)			7.4	16	7.4	20		
		BGO動作時の増加分 (注6)			12	—	12	—		
	ソフトウェアスタンバイモード				0.9	5	0.9	8		

注1.　消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。
注2.　周辺機能クロック供給状態。BGO動作は除きます。
注3.　I_{CC}は、下記の式のとおりICLK周波数f (MHz)に依存します。
・Dバージョン製品
I_{CC} max = 0.283 × f + 13 (通常動作モード、最大動作時)
I_{CC} typ = 0.107 × f + 4.3 (通常動作モード、通常動作時)
I_{CC} max = 0.100 × f + 13 (スリープモード時)
・Gバージョン製品
I_{CC} max = 0.285 × f + 17.8 (通常動作モード、最大動作時)
I_{CC} typ = 0.107 × f + 4.3 (通常動作モード、通常動作時)
I_{CC} max = 0.093 × f + 17.8 (スリープモード時)
注4.　BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA～Dのビット設定でのみ制御しています。
注5.　周辺機能クロック停止時の各クロック周波数は、
FCLK = PCLKA = PCLKB = PCLKC = PCLKDを64分周に設定しています。
注6.　プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表49.8　　DC特性(4)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
　　VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
　　$T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
アナログ電源電流	ユニット0	12ビットA/D変換中 (チャネル専用S&H：全チャネル動作、PGA：全チャネル有効)	AI_{CC}	—	2.7	6.1	mA	IAVCC0_AD + SH + PGA
		12ビットA/D変換中 (チャネル専用S&H：全チャネル動作、PGA：全チャネル無効)		—	2.0	3.0		IAVCC0_AD + SH
		12ビットA/D変換中 (チャネル専用S&H：全チャネル停止、PGA：全チャネル有効)		—	1.9	5.0		IAVCC0_AD + PGA
		12ビットA/D変換中 (チャネル専用S&H：全チャネル停止、PGA：全チャネル無効)		—	1.0	1.5		IAVCC0_AD
	ユニット1	12ビットA/D変換中 (チャネル専用S&H：全チャネル動作、PGA：全チャネル有効)		—	2.7	6.1		IAVCC1_AD + SH + PGA
		12ビットA/D変換中 (チャネル専用S&H：全チャネル動作、PGA：全チャネル無効)		—	2.0	3.0		IAVCC1_AD + SH
		12ビットA/D変換中 (チャネル専用S&H：全チャネル停止、PGA：全チャネル有効)		—	1.9	5.0		IAVCC1_AD + PGA
		12ビットA/D変換中 (チャネル専用S&H：全チャネル停止、PGA：全チャネル無効)		—	1.0	1.5		IAVCC1_AD
	ユニット2	12ビットA/D変換中 (温度センサ：動作)		—	1.0	1.5		IAVCC2_AD + TEMP
		12ビットA/D変換中 (温度センサ：停止)		—	0.9	1.4		IAVCC2_AD
	コンパレータ(6ch)			—	0.6	0.8		IAVCC2_CMP
	12ビットD/A変換中(2ch)			—	0.6	0.8		IAVCC2_DA
	12ビットA/D、12ビットD/A、コンパレータC、温度センサ　待機時(全ユニット)			—	0.05	0.1		IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA
	12ビットA/D、12ビットD/A、コンパレータC、温度センサ　モジュールストップ時(全ユニット)			—	0.3	11.1	μA	IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA
RAM保持電圧			V_{RAM}	2.7	—	—	V	

表49.9 DC特性(5)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電源投入時VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	8	ms/V	
	起動時電圧監視0リセット有効時 (注1、注2)		0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配		dt/dVCC	1.0	—	—	ms/V	VCC 変動がVCC±10%を超える場合

注1. OFS1.LVDAS = 0を設定した場合です。
注2. ブートモード時はOFS1レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

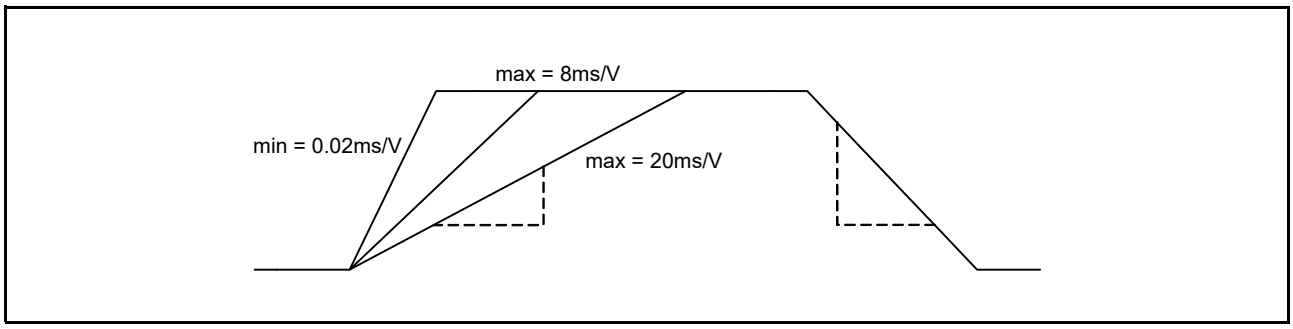


図 49.1 電源投入時 VCC 立ち上がり勾配

表49.10　　出力許容電流
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
　　VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
　　$T_a = T_{opr}$

項目			記号	min	typ	max	単位
出力Lowレベル許容電流(1端子あたりの平均値)	全出力端子(RIIC端子、P40～P47、P50～P55、P60～P65以外)	通常駆動(注1)	I_{OL}	—	—	2.0	mA
		高駆動(注2)		—	—	2.0	
		大電流出力(注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P40～P47, P50～P55, P60～P65			—	—	2.0	
出力Lowレベル許容電流(1端子あたりの最大値)	全出力端子(RIIC端子、P40～P47、P50～P55、P60～P65以外)	通常駆動(注1)		—	—	4.0	
		高駆動(注2)		—	—	4.0	
		高駆動(注2、注4)		—	—	15.0	
		大電流出力(注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P40～P47, P50～P55, P60～P65			—	—	4.0	
出力Lowレベル許容電流(総和)	全出力端子の総和		ΣI_{OL}	—	—	110	mA
出力Highレベル許容電流(1端子あたりの平均値)	全出力端子(RIIC端子、P40～P47、P50～P55、P60～P65以外)	通常駆動(注1)	I_{OH}	—	—	–2.0	mA
		高駆動(注2)		—	—	–2.0	
		大電流出力(注3)		—	—	–5.0	
		大電流出力(注3、注5)		—	—	–15.0	
	P40～P47, P50～P55, P60～P65			—	—	–2.0	
出力Highレベル許容電流(1端子あたりの最大値)	全出力端子(RIIC端子、P40～P47、P50～P55、P60～P65以外)	通常駆動(注1)		—	—	–4.0	
		高駆動(注2)		—	—	–4.0	
		大電流出力(注3)		—	—	–5.0	
		大電流出力(注3、注5)		—	—	–15.0	
	P40～P47, P50～P55, P60～P65			—	—	–4.0	
出力Highレベル許容電流(総和)	全出力端子の総和		ΣI_{OH}	—	—	–35	mA

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表49.10の値を超えないようにしてください。
注1.　通常駆動が選択できる端子で通常駆動を設定した場合の値
注2.　通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値
注3.　大電流出力が選択できる端子で、大電流出力を設定をした場合の端子の値
注4.　VCC≧4.5Vの場合の値
注5.　VCC≧4.0Vの場合の値

表49.11　　標準出力特性(1)
条件：VCC = AVCC0 = AVCC1 = AVCC2 = 5.0V,
　　VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時 (全出力端子)	V_{OH}	—	4.97	—	V	I_{OH} = –0.5mA
			—	4.94	—		I_{OH} = –1.0mA
			—	4.87	—		I_{OH} = –2.0mA
			—	4.74	—		I_{OH} = –4.0mA
	高駆動出力時(P00, P01, P10, P11, P20 ～P24, P27, P30 ～P33, P70 ～P76, P80 ～P82, P90 ～P96, PA0 ～PA5, PB0, PB3 ～PB7, PD0 ～PD7, PE0, PE1, PE3 ～ PE5, PN6)		—	4.98	—		I_{OH} = –0.5mA
			—	4.97	—		I_{OH} = –1.0mA
			—	4.94	—		I_{OH} = –2.0mA
			—	4.87	—		I_{OH} = –4.0mA
	大電流出力時(P71～P76, P81, P90 ～P95, PB5, PD3)		—	4.99	—		I_{OH} = –0.5mA
			—	4.98	—		I_{OH} = –1.0mA
			—	4.96	—		I_{OH} = –2.0mA
			—	4.92	—		I_{OH} = –4.0mA
			—	4.91	—		I_{OH} = –5.0mA
Low レベル出力電圧	通常出力時 (全出力端子)	V_{OL}	—	0.02	—	V	I_{OL} = 0.5mA
			—	0.04	—		I_{OL} = 1.0mA
			—	0.09	—		I_{OL} = 2.0mA
			—	0.18	—		I_{OL} = 4.0mA
	高駆動出力時(P00, P01, P10, P11, P20 ～P24, P27, P30 ～P33, P70 ～P76, P80 ～P82, P90 ～P96, PA0 ～PA5, PB0, PB3 ～PB7, PD0 ～PD7, PE0, PE1, PE3 ～ PE5, PN6)		—	0.01	—		I_{OL} = 0.5mA
			—	0.03	—		I_{OL} = 1.0mA
			—	0.05	—		I_{OL} = 2.0mA
			—	0.10	—		I_{OL} = 4.0mA
			—	0.42	—		I_{OL} = 15.0mA
	大電流出力時(P71～P76, P81, P90 ～P95, PB5, PD3)		—	0.01	—		I_{OL} = 0.5mA
			—	0.02	—		I_{OL} = 1.0mA
			—	0.04	—		I_{OL} = 2.0mA
			—	0.07	—		I_{OL} = 4.0mA
			—	0.09	—		I_{OL} = 5.0mA
			—	0.18	—		I_{OL} = 10.0mA
			—	0.28	—		I_{OL} = 15.0mA

表49.12　　標準出力特性(2)
条件：VCC = AVCC0 = AVCC1 = AVCC2 = 3.3V,
　　VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時(全出力端子)	V_{OH}	—	3.26	—	V	I_{OH} = –0.5mA
			—	3.22	—		I_{OH} = –1.0mA
			—	3.13	—		I_{OH} = –2.0mA
			—	2.94	—		I_{OH} = –4.0mA
	高駆動出力時(P00, P01, P10, P11, P20 ～P24, P27, P30 ～P33, P70 ～P76, P80 ～P82, P90 ～P96, PA0 ～PA5, PB0, PB3 ～PB7, PD0 ～PD7, PE0, PE1, PE3 ～ PE5, PN6)		—	3.28	—		I_{OH} = –0.5mA
			—	3.26	—		I_{OH} = –1.0mA
			—	3.22	—		I_{OH} = –2.0mA
			—	3.13	—		I_{OH} = –4.0mA
	大電流出力時(P71～P76, P81, P90 ～P95, PB5, PD3)		—	3.29	—		I_{OH} = –0.5mA
			—	3.27	—		I_{OH} = –1.0mA
			—	3.25	—		I_{OH} = –2.0mA
			—	3.20	—		I_{OH} = –4.0mA
			—	3.17	—		I_{OH} = –5.0mA
Low レベル出力電圧	通常出力時(全出力端子)	V_{OL}	—	0.03	—	V	I_{OL} = 0.5mA
			—	0.06	—		I_{OL} = 1.0mA
			—	0.12	—		I_{OL} = 2.0mA
			—	0.25	—		I_{OL} = 4.0mA
	高駆動出力時(P00, P01, P10, P11, P20 ～P24, P27, P30 ～P33, P70 ～P76, P80 ～P82, P90 ～P96, PA0 ～PA5, PB0, PB3 ～PB7, PD0 ～PD7, PE0, PE1, PE3 ～ PE5, PN6)		—	0.02	—		I_{OL} = 0.5mA
			—	0.03	—		I_{OL} = 1.0mA
			—	0.07	—		I_{OL} = 2.0mA
			—	0.13	—		I_{OL} = 4.0mA
	大電流出力時(P71～P76, P81, P90 ～P95, PB5, PD3)		—	0.01	—		I_{OL} = 0.5mA
			—	0.02	—		I_{OL} = 1.0mA
			—	0.05	—		I_{OL} = 2.0mA
			—	0.09	—		I_{OL} = 4.0mA
			—	0.11	—		I_{OL} = 5.0mA
			—	0.24	—		I_{OL} = 10.0mA
			—	0.36	—		I_{OL} = 15.0mA

表49.13 熱抵抗値(参考値)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	100ピンLFQFP (PLQP0100KB-B)	θ_{ja}	—	—	50.5	°C/W	JESD51-2および JESD51-7準拠
	80ピンLFQFP (PLQP0080KB-B)		—	—	47.7		
	64ピンLFQFP (PLQP0064KB-C)		—	—	51.9		
	64ピンHWQFN (PWQN0064KF-A)		—	—	18.4 (注1)		
	48ピンLFQFP (PLQP0048KB-B)		—	—	60.8		
	48ピンHWQFN (PWQN0048KC-A)		—	—	19.5 (注1)		
	32ピンHWQFN (PWQN0032KE-A)		—	—	26.3 (注1)		
	100ピンLFQFP (PLQP0100KB-B)	Ψ_{jt}	—	—	1.39	°C/W	JESD51-2および JESD51-7準拠
	80ピンLFQFP (PLQP0080KB-B)		—	—	1.39		
	64ピンLFQFP (PLQP0064KB-C)		—	—	1.88		
	64ピンHWQFN (PWQN0064KF-A)		—	—	0.12 (注1)		
	48ピンLFQFP (PLQP0048KB-B)		—	—	2.38		
	48ピンHWQFN (PWQN0048KC-A)		—	—	0.12 (注1)		
	32ピンHWQFN (PWQN0032KE-A)		—	—	0.28 (注1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。
注1. exposed die padにVSSを接続したときの値です。

49.4 AC 特性

表49.14 動作周波数
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
システムクロック(ICLK)	f	—	—	120	MHz	
周辺モジュールクロック(PCLKA)		—	—	120		
周辺モジュールクロック(PCLKB)		—	—	60		
周辺モジュールクロック(PCLKC)		—	—	120		
周辺モジュールクロック(PCLKD)		8 (注1)	—	60		AVCC0 = AVCC1 = AVCC2≧4.5V
		8 (注1)	—	40		AVCC0 = AVCC1 = AVCC2 < 4.5V
FlashIFクロック(FCLK)		4 (注2)	—	60		

注1. 12ビットA/Dコンバータを使用する場合のみ、この周波数以上にしてください。
注2. フラッシュメモリのプログラム/イレーズを行う場合のみ、この周波数以上にしてください。

49.4.1 リセットタイミング

表49.15 リセットタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t_{RESWP}	2.0	—	—	ms	図49.2
	ソフトウェアスタンバイモード	t_{RESWS}	0.3	—	—		図49.3
	コードフラッシュメモリのプログラム/イレーズ中、データフラッシュメモリのプログラム/イレーズ/ブランクチェック中	t_{RESWF}	200	—	—	μs	
	上記以外	t_{RESW}	200	—	—		
RES#解除後待機時間		t_{RESWT}	70	—	71	t_{Lcyc}	図49.2
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)		t_{RESW2}	116	—	124	t_{Lcyc}	

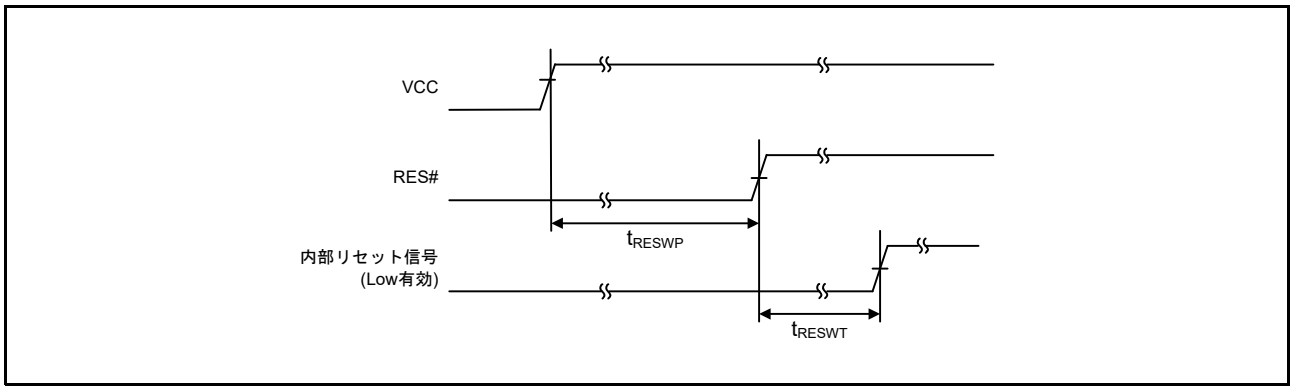


図 49.2 電源投入時リセット入力タイミング

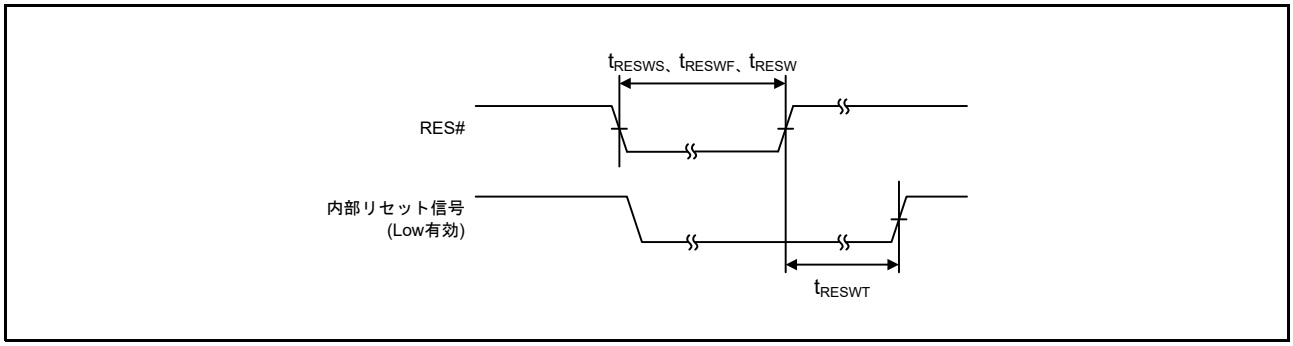


図 49.3 リセット入力タイミング

49.4.2 クロックタイミング

表49.16 EXTALクロックタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図49.4
EXTAL外部クロック入力周波数	f_{EXMAIN}	—	—	24	MHz	
EXTAL外部クロック入力Highパルス幅	t_{EXH}	15.83	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	t_{EXL}	15.83	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	—	5	ns	

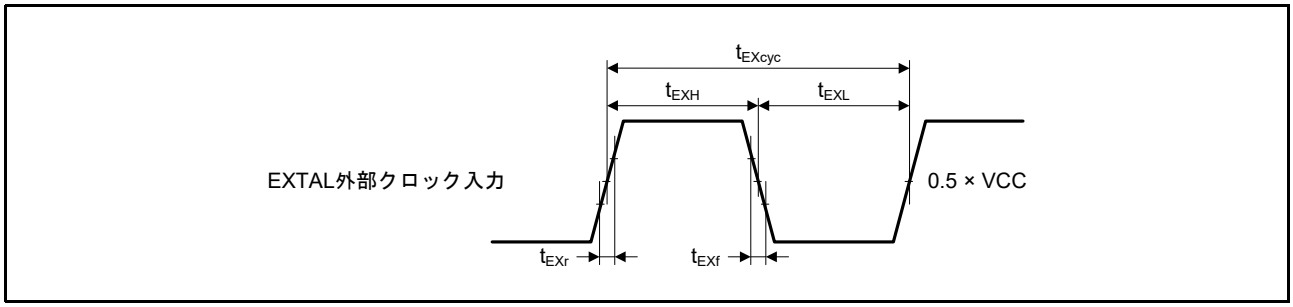


図 49.4 EXTAL 外部クロック入力タイミング

表49.17 メインクロックタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	
メインクロック発振安定時間(水晶振動子使用時)	$t_{MAINOSC}$	—	—	—(注1)	ms	図49.5
メインクロック発振安定待機時間(水晶振動子使用時)	$t_{MAINOSCWT}$	—	—	—(注2)	ms	

注1. メインクロックを使用する場合は、発振子メーカに発振評価を依頼してください。発振安定時間については、発振子メーカの評価結果を参照してください。
注2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。
$t_{MAINOSCWT}$ = [(MSTS[7:0]ビット × 32) + 7] / f_{LOCO}

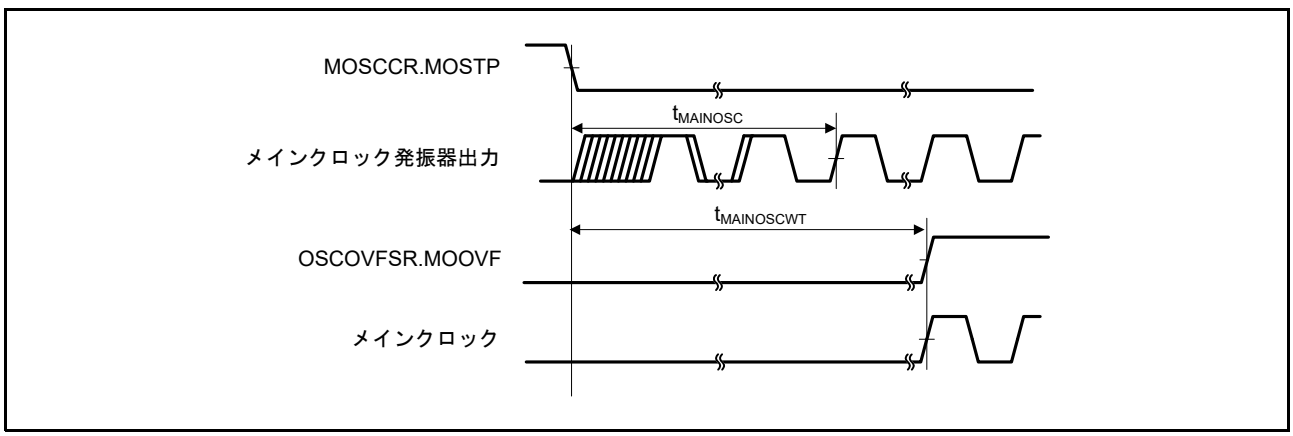


図 49.5 メインクロック発振開始タイミング

表49.18 LOCO, IWDT専用低速クロックタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{LOCO}	216 (–10%)	240	264 (+10%)	kHz	
LOCOクロック発振安定時間	t_{LOCOWT}	—	—	44	μs	図49.6
IWDT専用低速クロックサイクル時間	t_{ILcyc}	7.57	8.33	9.26	μs	
IWDT専用低速クロック発振周波数	f_{ILOCO}	108 (–10%)	120	132 (+10%)	kHz	
IWDT専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図49.7

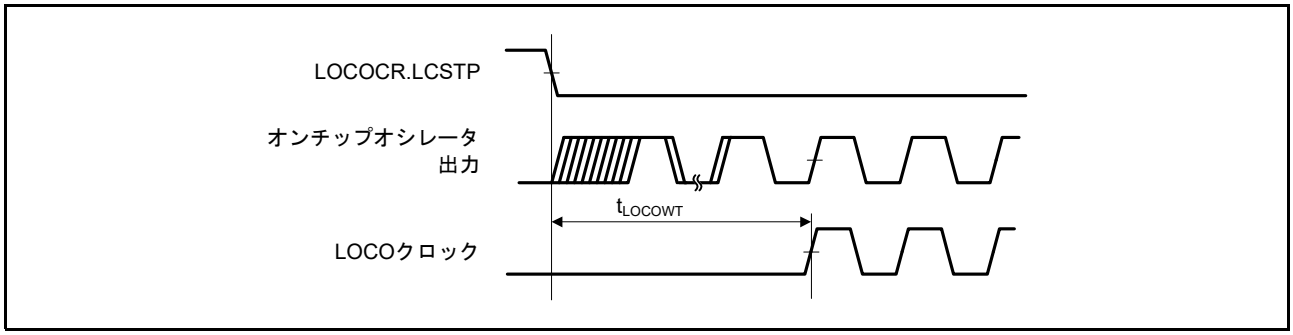


図 49.6 LOCO クロック発振開始タイミング

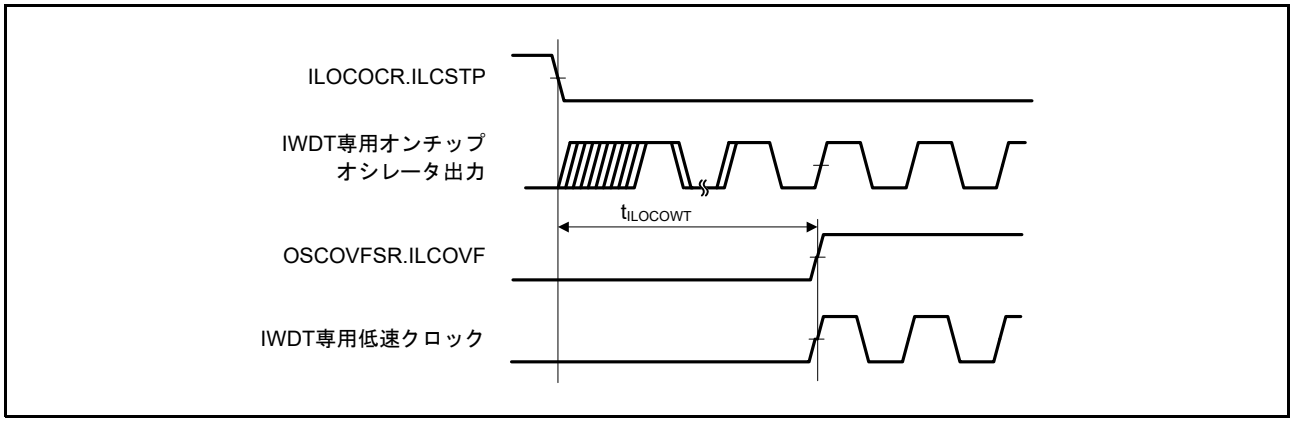


図 49.7 IWDT 専用低速クロック発振開始タイミング

表49.19 HOCOクロックタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	f_{HOCO}	15.84 (–1.0%)	16	16.16 (+1.0%)	MHz	–20°C ≦ T_a
		17.82 (–1.0%)	18	18.18 (+1.0%)		
		19.80 (–1.0%)	20	20.20 (+1.0%)		
		15.76 (–1.5%)	16	16.24 (+1.5%)		T_a < –20°C
		17.73 (–1.5%)	18	18.27 (+1.5%)		
		19.70 (–1.5%)	20	20.30 (+1.5%)		
HOCOクロック発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図49.8
HOCOクロック電源安定時間	t_{HOCOP}	—	—	150	μs	図49.9

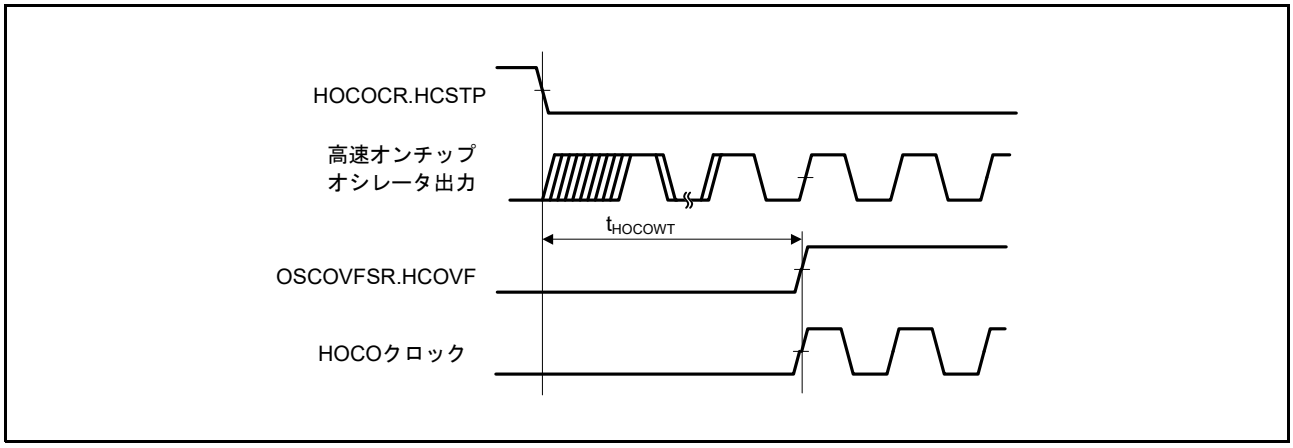


図 49.8 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

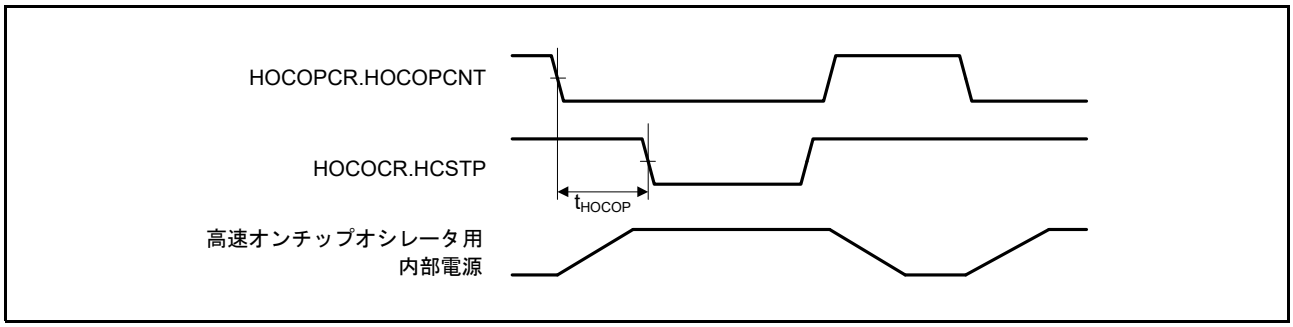


図 49.9 高速オンチップオシレータ電源制御タイミング

表49.20 PLLクロックタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f_{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図49.10

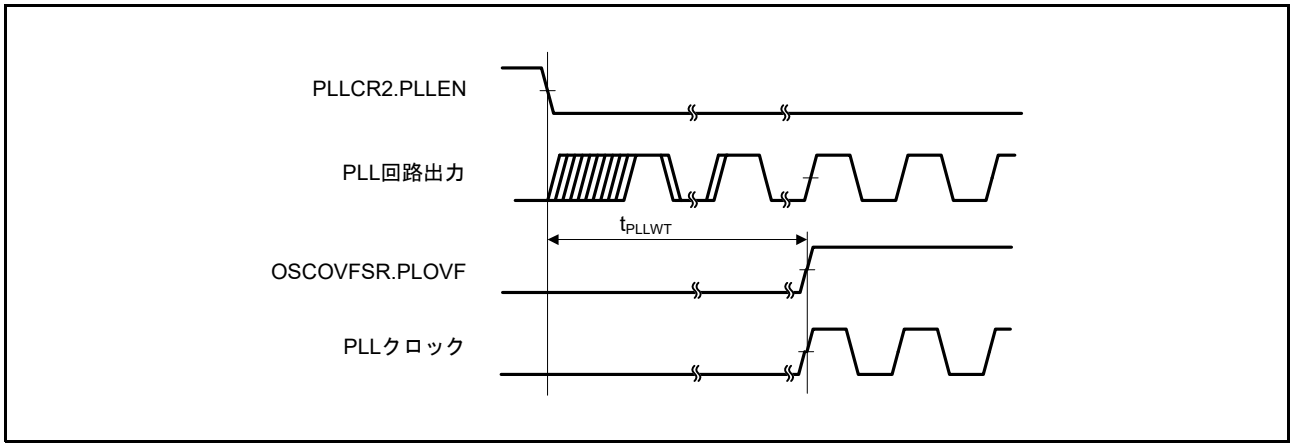


図 49.10 PLL クロック発振開始タイミング

49.4.3 低消費電力状態からの復帰タイミング

表49.21 低消費電力状態からの復帰タイミング(1)
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目			記号	min	typ	max		単位	測定条件
						$t_{SBYOSCWT}$ (注2)	t_{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	—	—	{(MSTS[7:0] ビット × 32) + 76} / 0.216	100 + 7 / f_{ICLK} + 2n / f_{MAIN}	μs	図49.11
		メインクロック発振器、PLL回路動作	t_{SBYPC}	—	—	{(MSTS[7:0] ビット × 32) + 138} / 0.216	100 + 7 / f_{ICLK} + 2n / f_{PLL}		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}	—	—	352	100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}	μs	
		メインクロック発振器、PLL回路動作	t_{SBYPE}	—	—	639	100 + 7 / f_{ICLK} + 2n / f_{PLL}		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t_{SBYHO}	—	—	454	100 + 7 / f_{ICLK} + 2n / f_{HOCO}	μs	
		高速オンチップオシレータ動作、PLL回路動作	t_{SBYPH}	—	—	741	100 + 7 / f_{ICLK} + 2n / f_{PLL}		
	低速オンチップオシレータ動作 (注4)		t_{SBYLO}	—	—	338	100 + 7 / f_{ICLK} + 2n / f_{LOCO}	μs	

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間($t_{SBYOSCWT}$)とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は$t_{SBYOSCWT}$のうち、最も大きな値が選択されます。
注3. nは内部クロックの分周設定のうち、最も大きな値が選択されます。
注4. 本条件は、f_{ICLK}: f_{FCLK}＝1:1、2:1、4:1の場合に適用されます。

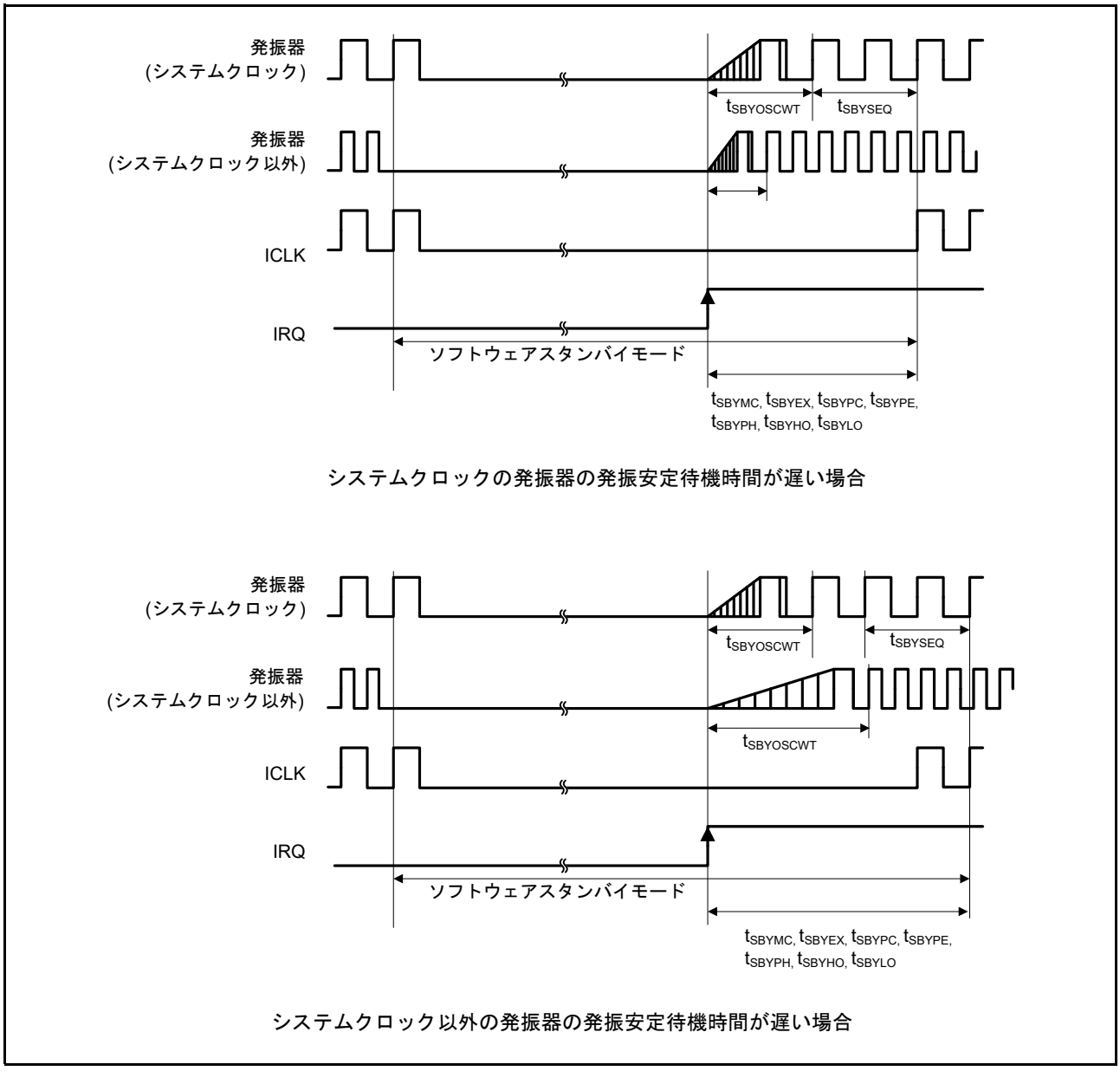


図 49.11　ソフトウェアスタンバイモード解除タイミング

49.4.4 制御信号タイミング

表49.22 制御信号タイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leqq 200$ns、図49.12
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200$ns、図49.12
IRQパルス幅	t_{IRQW}	200	—	—	ns	$2 \times t_{PBcyc} \leqq 200$ns、図49.13
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200$ns、図49.13

注1. t_{PBcyc}：PCLKBの周期

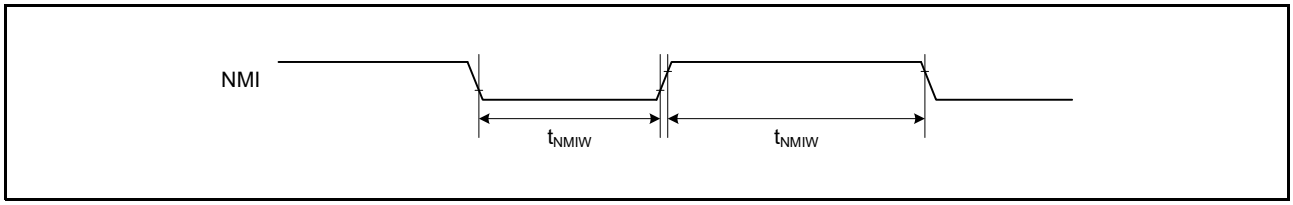


図 49.12 NMI 割り込み入力タイミング

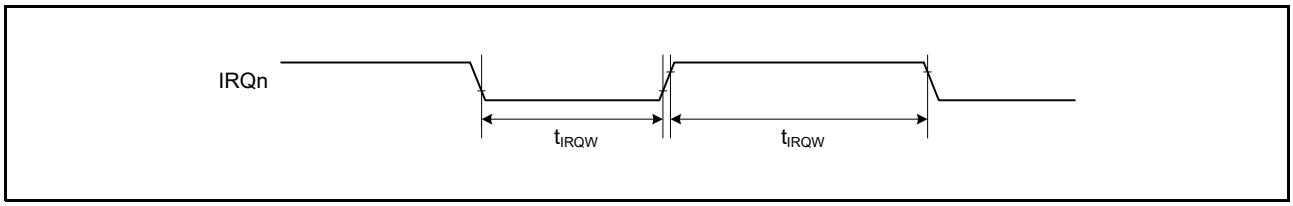


図 49.13 IRQ 割り込み入力タイミング

49.4.5 内蔵周辺モジュールタイミング

49.4.5.1 I/O ポート

表49.23 I/Oポートタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図49.14

注1. t_{PBcyc}：PCLKBの周期

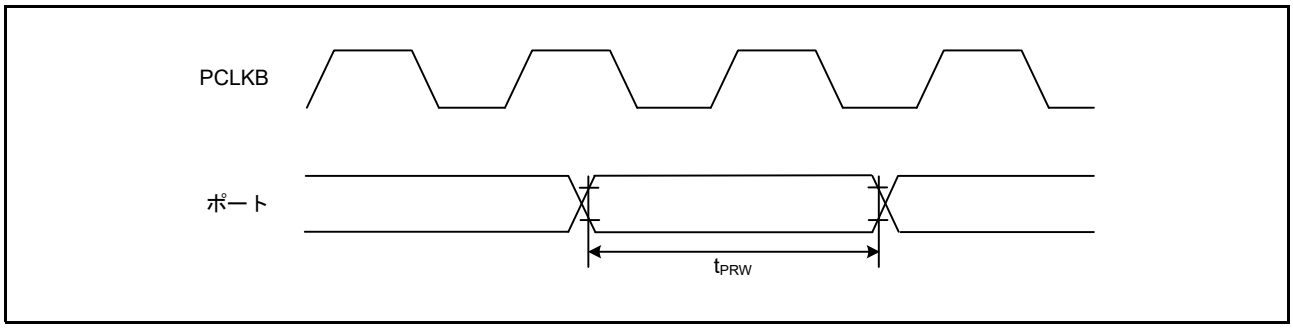


図 49.14 I/O ポート入力タイミング

49.4.5.2 TMR

表49.24 TMRタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}, t_{TMCWL}	1.5	—	t_{PBcyc}	図49.15
		両エッジ指定		2.5	—		

注1. t_{PBcyc}：PCLKBの周期

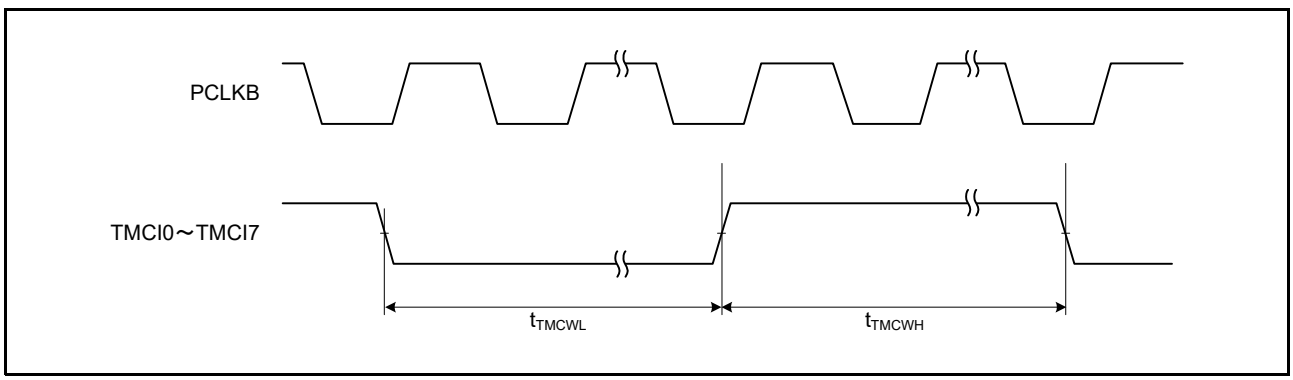


図 49.15 TMR クロック入力タイミング

49.4.5.3 MTU

表49.25 MTUタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
MTU	インプットキャプチャ入力パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PCcyc}	図49.16
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH}, t_{MTCKWL}	1.5	—	t_{PCcyc}	図49.17
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PCcyc}：PCLKCの周期

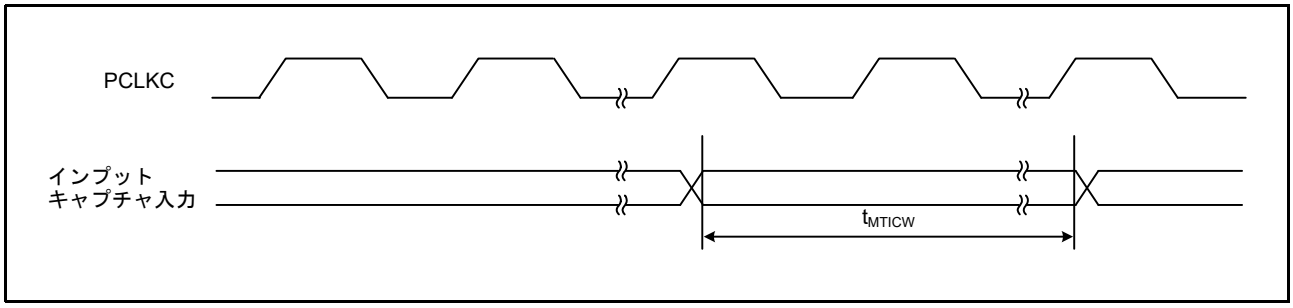


図 49.16 MTU インプットキャプチャ入力タイミング

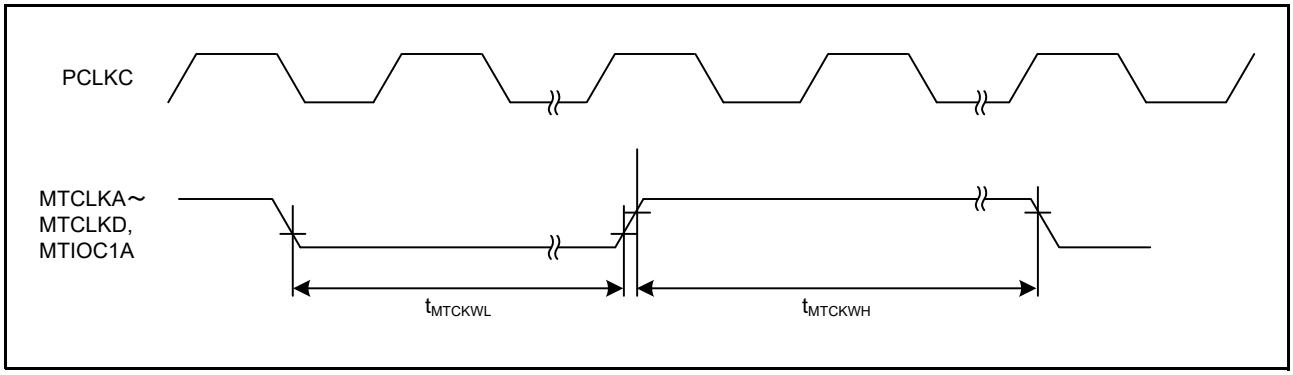


図 49.17 MTU クロック入力タイミング

49.4.5.4 POE3

表49.26 POE3タイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	typ	max	単位 (注1)	測定条件
POE	POEn#入力パルス幅(n = 0, 4, 8～12)		t_{POEW}	1.5	—	—	t_{PBcyc}	図49.18
	出力ディセーブル時間	POEn#端子の変化	t_{POEDI}	—	—	5 PCLKB + 0.24	μs	図49.19 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000 (m = 1～8, n = 0, 4, 8～12))
		出力端子の短絡	t_{POEDO}	—	—	3 PCLKB + 0.2	μs	図49.20
		コンパレータ出力検出	t_{POEDC}	—	—	5 PCLKB + 0.2	μs	図49.21 コンパレータCのノイズフィルタ不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータCの検出時間は除く
		レジスタ設定	t_{POEDS}	—	—	1 PCLKB + 0.2	μs	図49.22 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	—	21	μs	図49.23

注1. t_{PBcyc}：PCLKBの周期

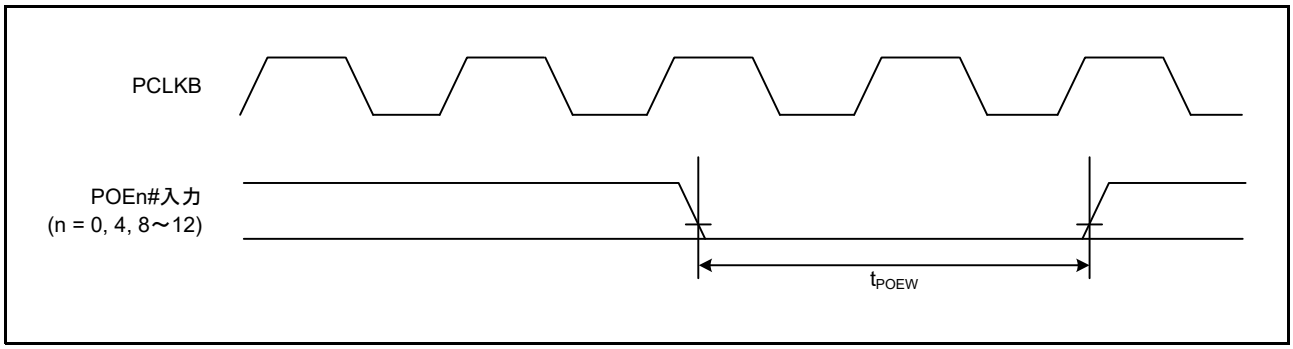


図 49.18 POE 入力タイミング

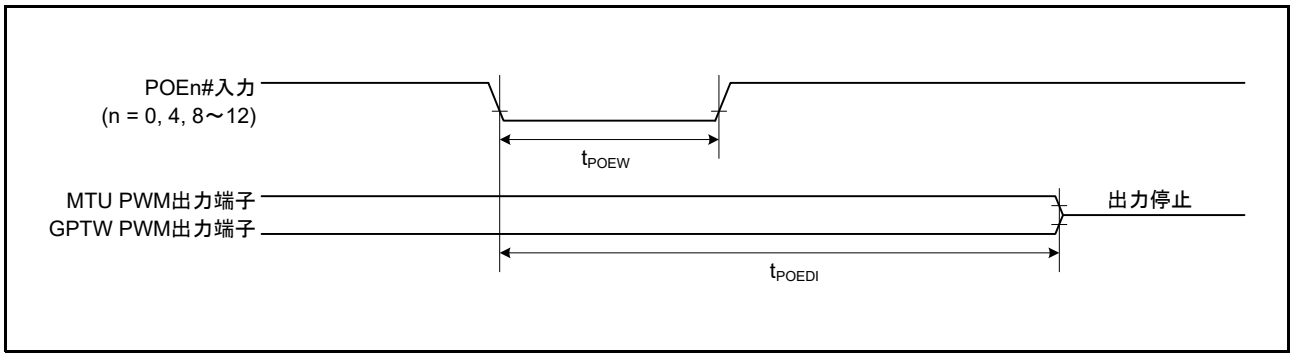
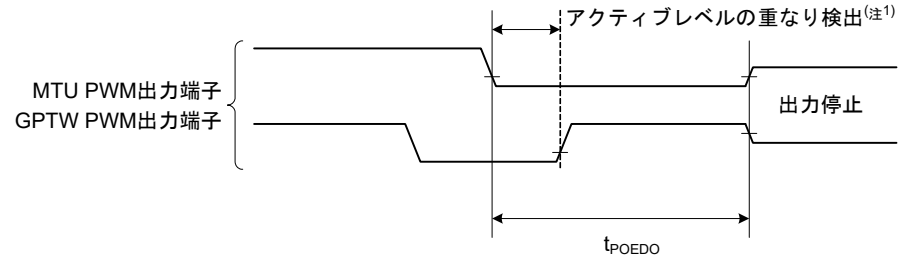


図 49.19 POE 出力ディセーブル時間 (POEn# 端子の変化)



注1. アクティブレベルをLowに設定している場合

図 49.20 POE 出力ディセーブル時間 (出力端子の短絡)

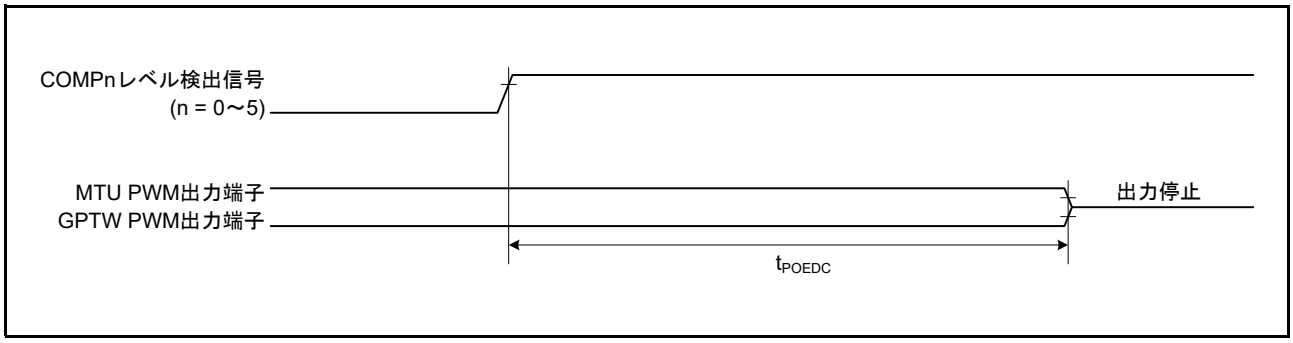


図 49.21 POE 出力ディセーブル時間 (コンパレータ出力検出)

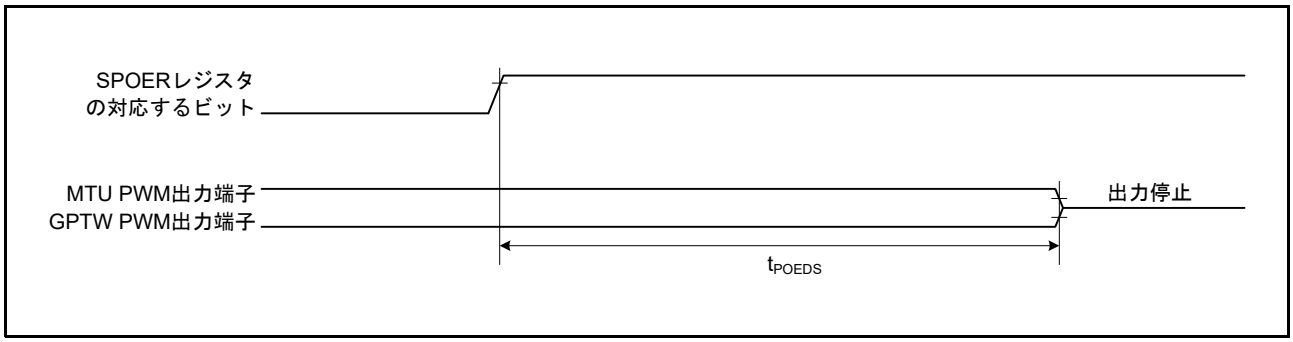


図 49.22 POE 出力ディセーブル時間 (レジスタ設定)

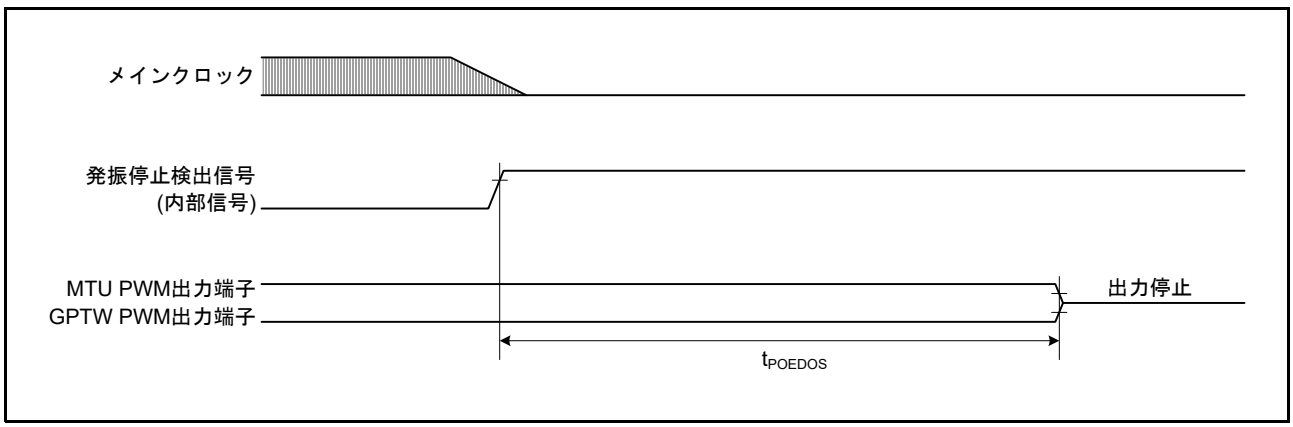


図 49.23 POE 出力ディセーブル時間 (発振停止検出)

49.4.5.5 POEG

表49.27 POEGタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	typ	max	単位 (注1)	測定条件
POEG	GTETRGn入力パルス幅(n = A～D)		t_{POEGW}	1.5	—	—	t_{PBcyc}	図49.24
	出力ディセーブル時間	GTETRGn端子の入力レベル検出(フラグ経由)	t_{POEGDI}	—	—	3 PCLKB + 0.34	μs	図49.25 デジタルノイズフィルタ不使用時(POEGGn.NFEN = 0 (n = A～D))
		GPTWからの出力停止信号検出(デッドタイムエラー、同時High出力、同時Low出力)	t_{POEGDE}	—	—	0.5	μs	図49.26
		コンパレータエッジ検出	t_{POEGDC}	—	—	4 PCLKB + 0.5	μs	図49.27 コンパレータCのノイズフィルタ不使用時(CMPCTL.CDFS[1:0] = 00)、コンパレータCの検出時間は除く
		レジスタ設定	t_{POEGDS}	—	—	1 PCLKB + 0.3	μs	図49.28 レジスタアクセス時間は除く
		発振停止検出	$t_{POEGDOS}$	—	—	21	μs	図49.29
		GTETRGn端子の入力レベル検出(フラグ非経由)	$t_{POEGDDI}$	—	—	2 PCLKB + 1 PCLKC + 0.34	μs	図49.30
		コンパレータレベル検出	$t_{POEGDDC}$	—	—	3 PCLKC + 0.3	μs	図49.31 コンパレータCのノイズフィルタ不使用時(CMPCTL.CDFS[1:0] = 00)、コンパレータCの検出時間は除く

注1. t_{PBcyc}：PCLKBの周期

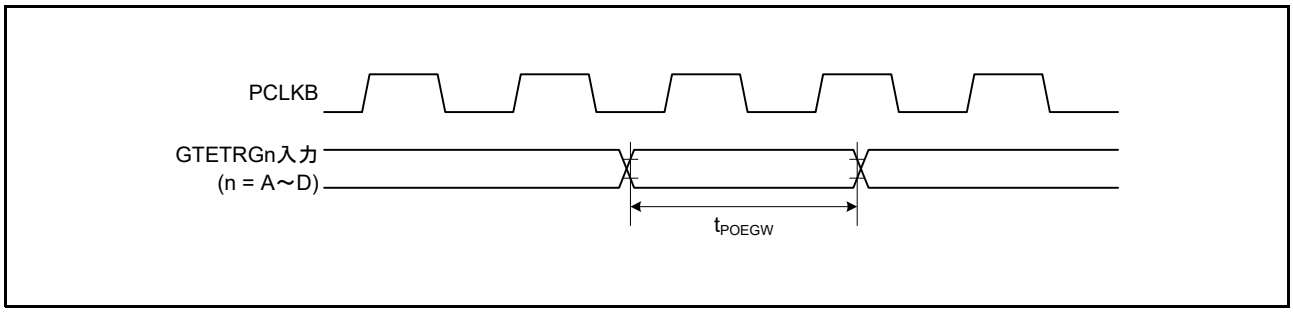


図 49.24 POEG 入力タイミング

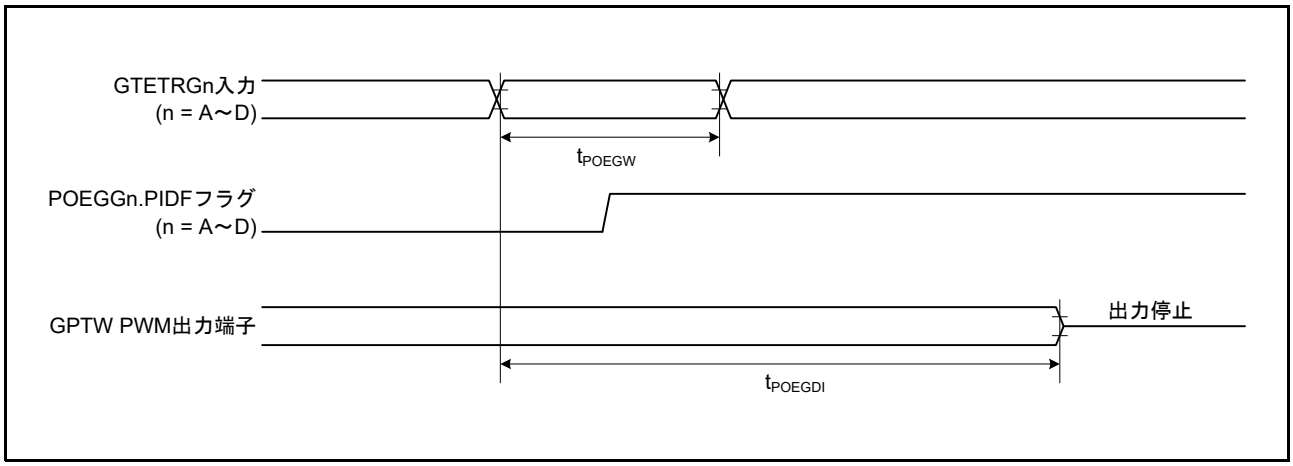


図 49.25　POEG 出力ディセーブル時間 (GTETRGn 端子の入力レベル検出 (フラグ経由))

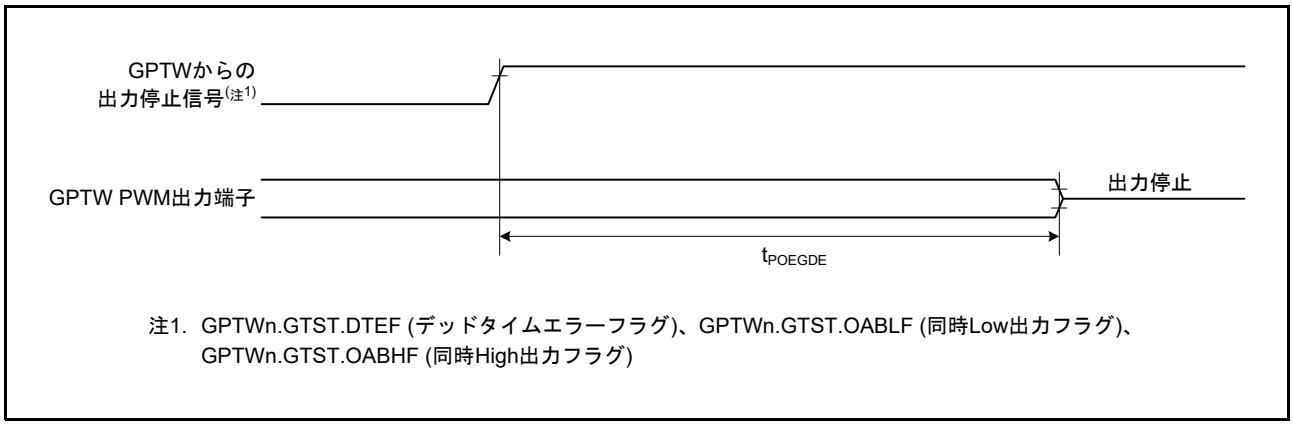


図 49.26　POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

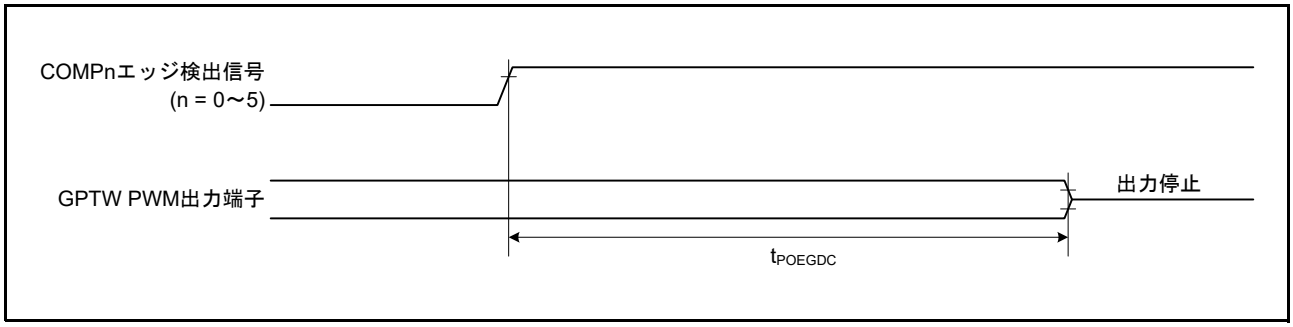


図 49.27　POEG 出力ディセーブル時間 (コンパレータエッジ検出)

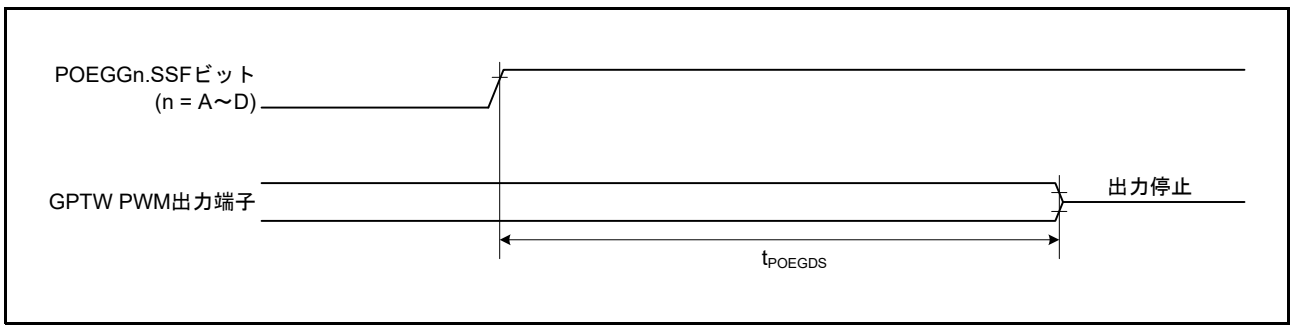


図 49.28　POEG 出力ディセーブル時間 (レジスタ設定)

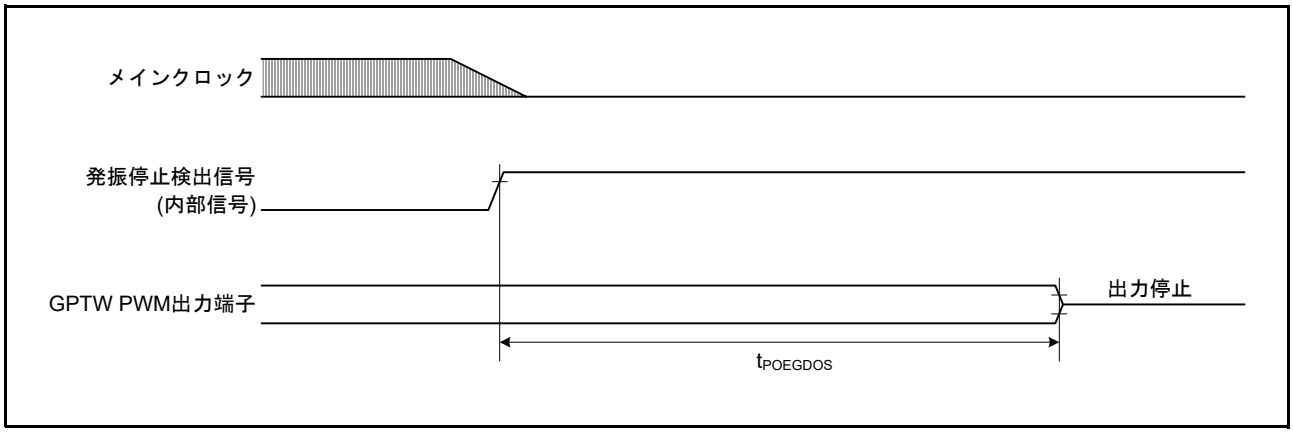


図 49.29　POEG 出力ディセーブル時間 (発振停止検出)

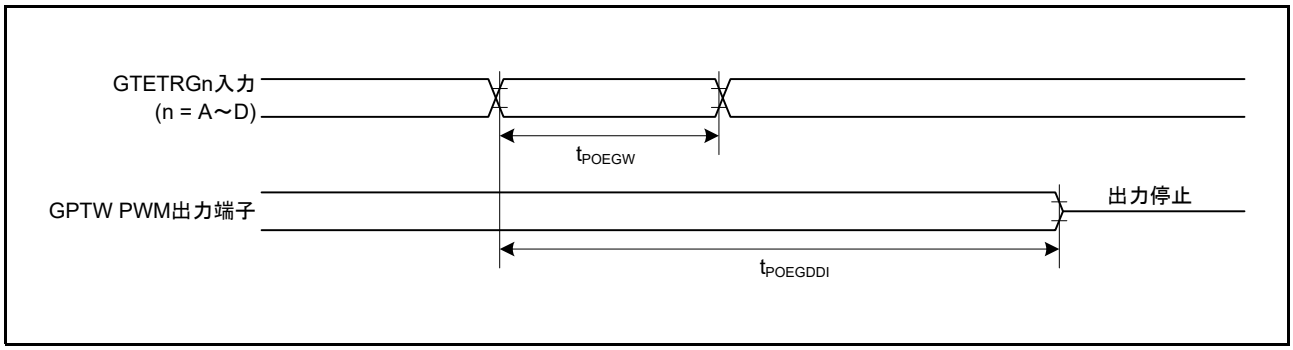


図 49.30　POEG 出力ディセーブル時間 (GTETRGn 端子の入力レベル検出 (フラグ非経由))

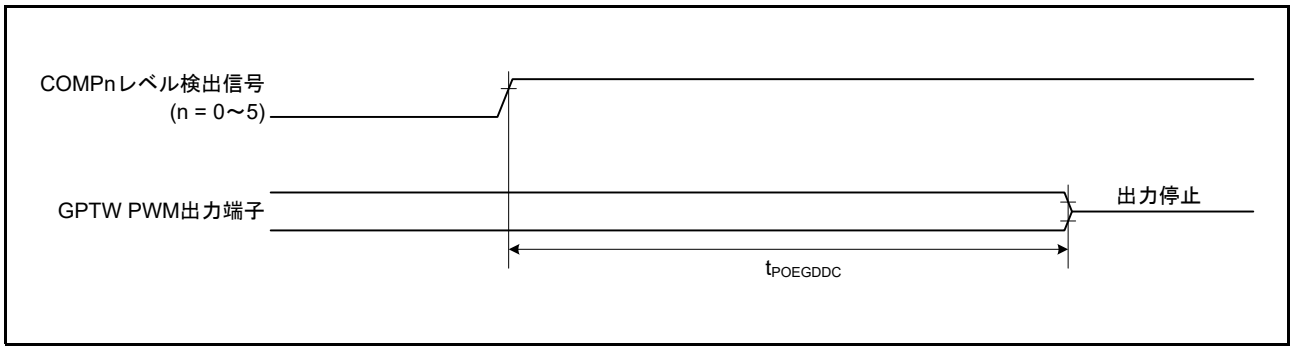


図 49.31　POEG 出力ディセーブル時間 (コンパレータレベル検出)

49.4.5.6 GPTW

表49.28 GPTWタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1、注2)	測定条件
GPTW	インプットキャプチャ入力パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{PCcyc}	図49.32
		両エッジ指定		2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PBcyc}	図49.33
		両エッジ指定		2.5	—		
	タイマクロックパルス幅		t_{GTCKWH}	1.5	—	t_{PBcyc}	図49.34
			t_{GTCKWL}				

注1. t_{PCcyc}：PCLKCの周期
注2. t_{PBcyc}：PCLKBの周期

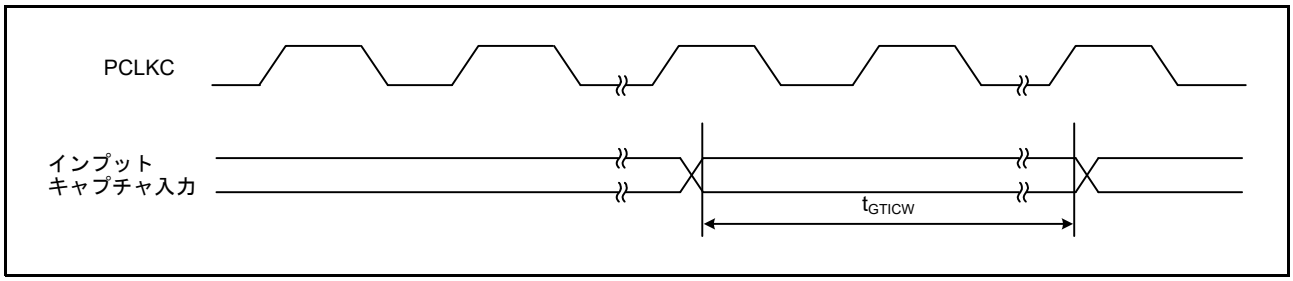


図 49.32 GPTW インプットキャプチャ入力タイミング

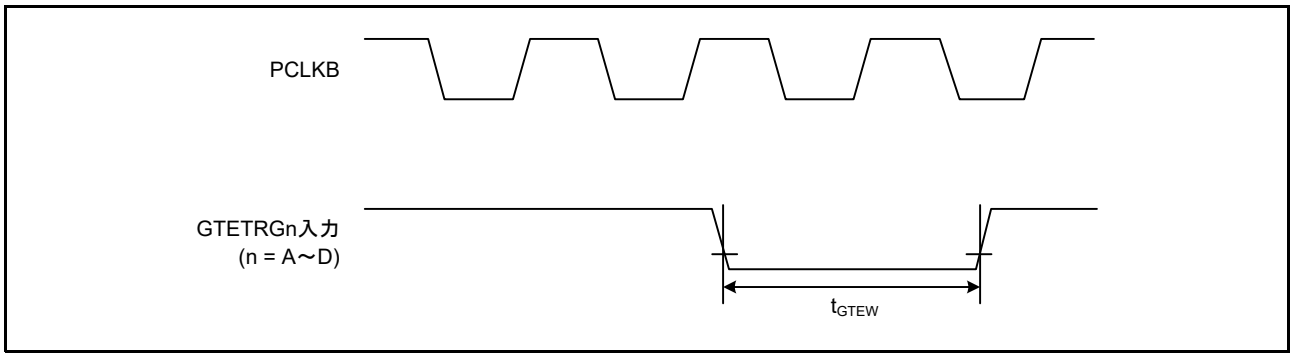


図 49.33 GPTW 外部トリガ入力タイミング

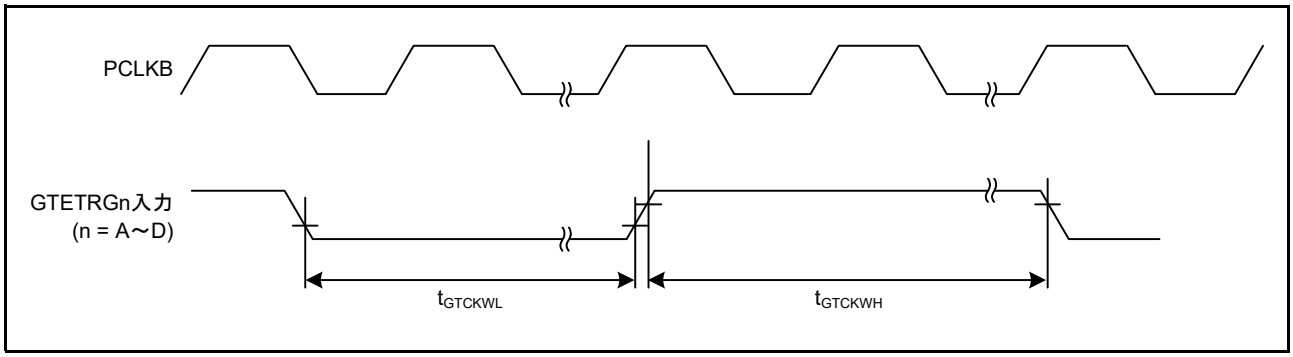


図 49.34 GPTW クロック入力タイミング

49.4.5.7 A/D コンバータトリガ

表49.29 A/Dコンバータトリガタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時(P53～P55、P60～P65以外)

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 49.35

注1. t_{PBcyc}：PCLKBの周期

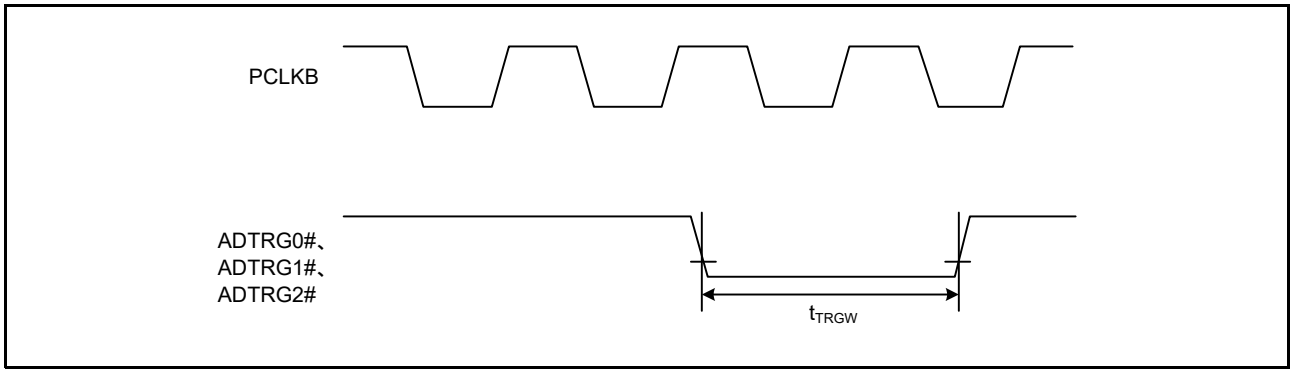


図 49.35 A/D コンバータトリガ入力タイミング

49.4.5.8 CAC

表49.30 CACタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目 (注1、注2)			記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leqq t_{cac}$	t_{CACREF}	$4.5t_{cac} + 3t_{PBcyc}$	—	ns	
		$t_{PBcyc} > t_{cac}$		$5t_{cac} + 6.5t_{PBcyc}$	—		

注1. t_{PBcyc}：PCLKBの周期
注2. t_{cac}：CACカウントクロックソースの周期

49.4.5.9　SCI

表49.31　SCIk, SCIhタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件	
SCIk, SCIh	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{PBcyc}	図49.36	
		クロック同期		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期(SCIk)	t_{Scyc}	6	—	t_{PBcyc}		
		調歩同期(SCIh)		8	—			
		クロック同期		4	—			
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	送信データ遅延時間	クロック同期	t_{TXD}	—	28	ns	VCC≧4.5V	図49.37
				—	33		VCC < 4.5V	
	受信データセットアップ時間	クロック同期	t_{RXS}	15	—	ns	図49.37	
	受信データホールド時間	クロック同期	t_{RXH}	5	—	ns		

注1.　t_{PBcyc}：PCLKBの周期

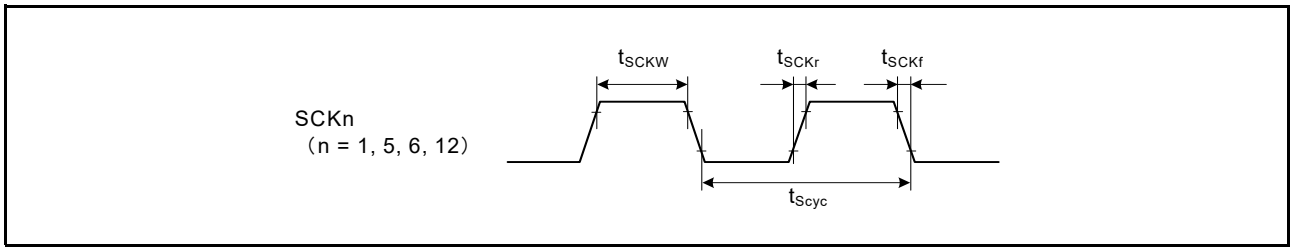


図 49.36　SCK クロック入力タイミング

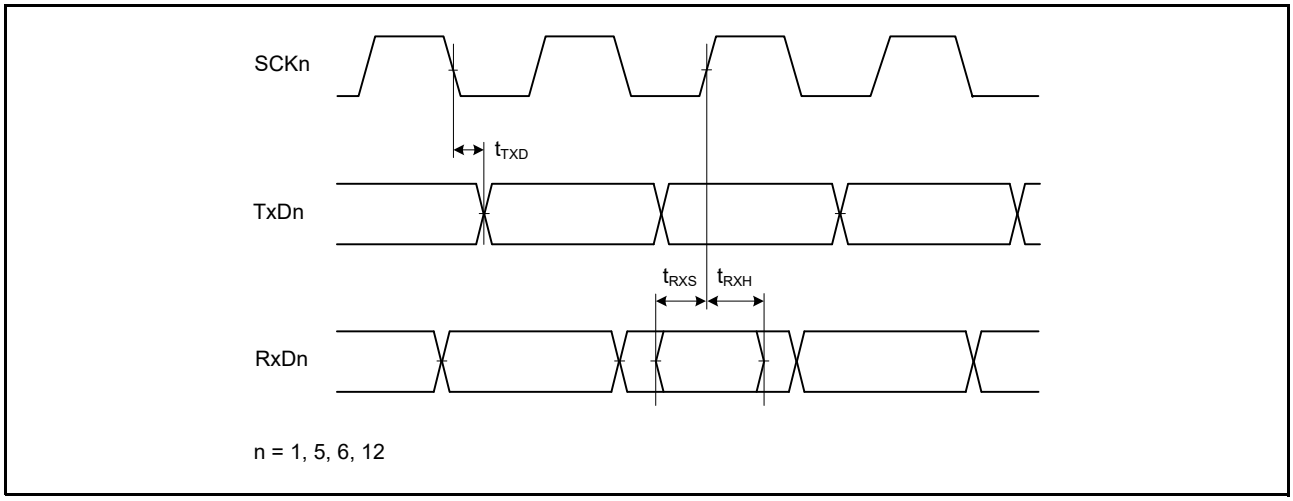
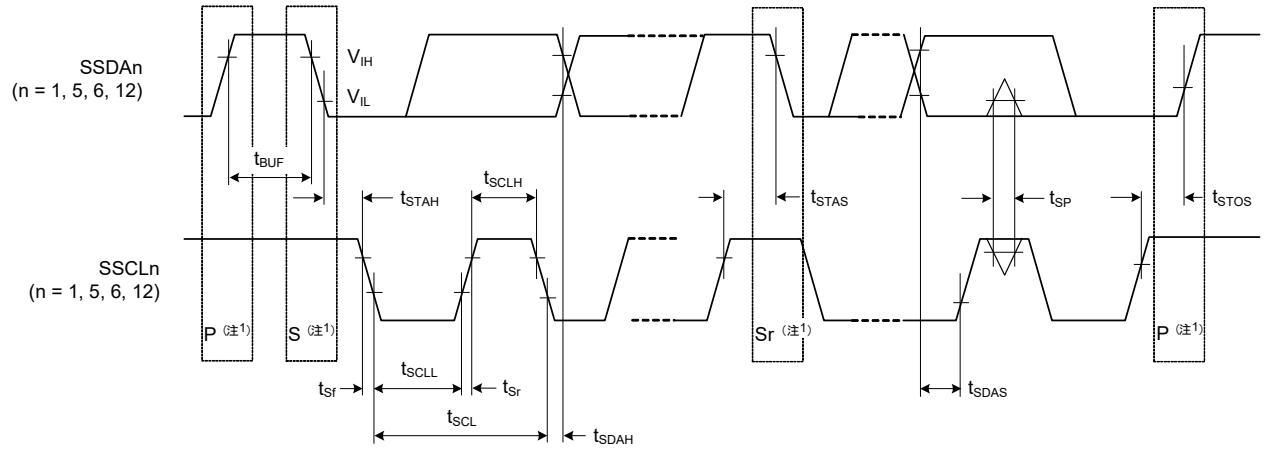


図 49.37　SCI 入出力タイミング / クロック同期式モード

表49.32　　簡易IICタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max (注1)	単位	測定条件
簡易IIC (スタンダードモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図49.38
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300		
	SSCL、SSDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Pcyc}		
	データ入力セットアップ時間	t_{SDAS}	250	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SSCL, SSDAの容量性負荷	C_b (注2)	—	400	pF	
簡易IIC (ファストモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	300	ns	
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300		
	SSCL、SSDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Pcyc}		
	データ入力セットアップ時間	t_{SDAS}	100	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SSCL、SSDAの容量性負荷	C_b (注2)	—	400	pF	

注1.　t_{Pcyc}：PCLKBの周期を示します。
注2.　C_bはバスラインの容量総計です。



注1.　S、P、Srはそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

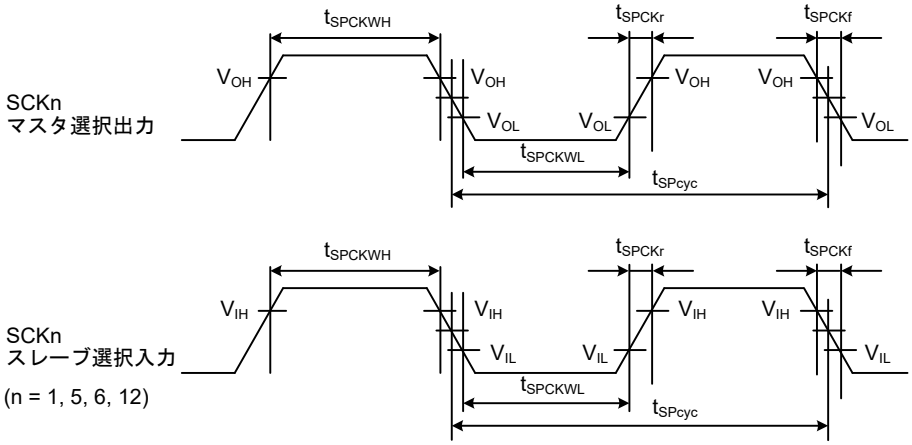
測定条件
V_{IH} = 0.7 × VCC、V_{IL} = 0.3 × VCC
V_{OL} = 0.6V、I_{OL} = 6mA
V_{OL} = 0.4V、I_{OL} = 3mA

図 49.38　簡易 IIC バスインタフェース入出力タイミング

表49.33　　簡易SPIタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	4	—	t_{Pcyc}	図49.39
	SCKクロックサイクル入力(スレーブ)		6	—		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図49.40～図49.43
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	−10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr}, t_{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr}, t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{Pcyc}	図49.42、図49.43
	スレーブ出力開放時間	t_{REL}	—	5	t_{Pcyc}	

注1.　t_{Pcyc}：PCLKBの周期を示します。



V_{OH} = 0.7 × VCC、V_{OL} = 0.3 × VCC、V_{IH} = 0.7 × VCC、V_{IL} = 0.3 × VCC

図 49.39　簡易 SPI クロックタイミング

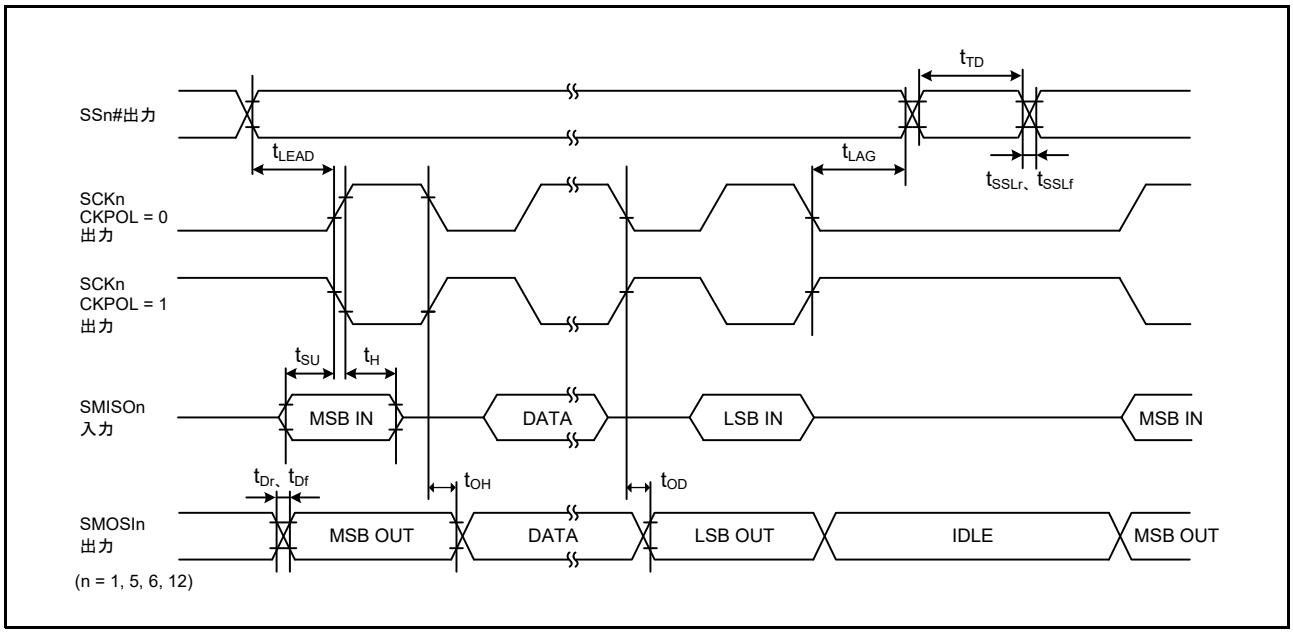


図 49.40　簡易 SPI タイミング (マスタ、CKPH = 1)

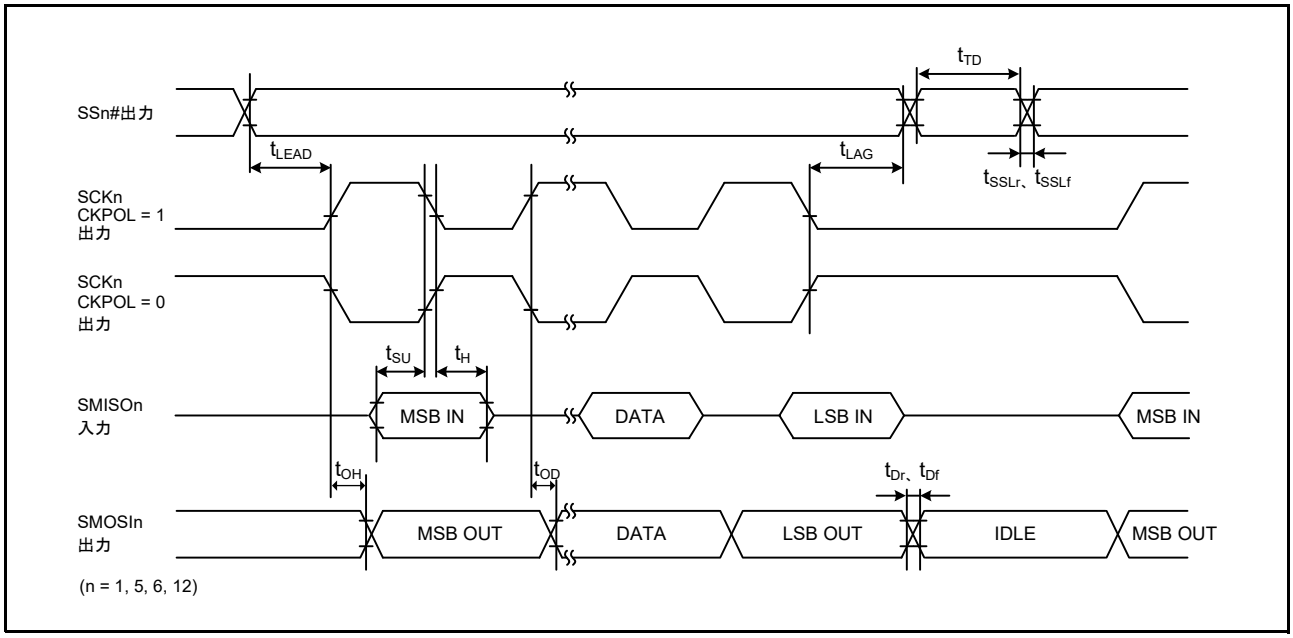


図 49.41　簡易 SPI タイミング (マスタ、CKPH = 0)

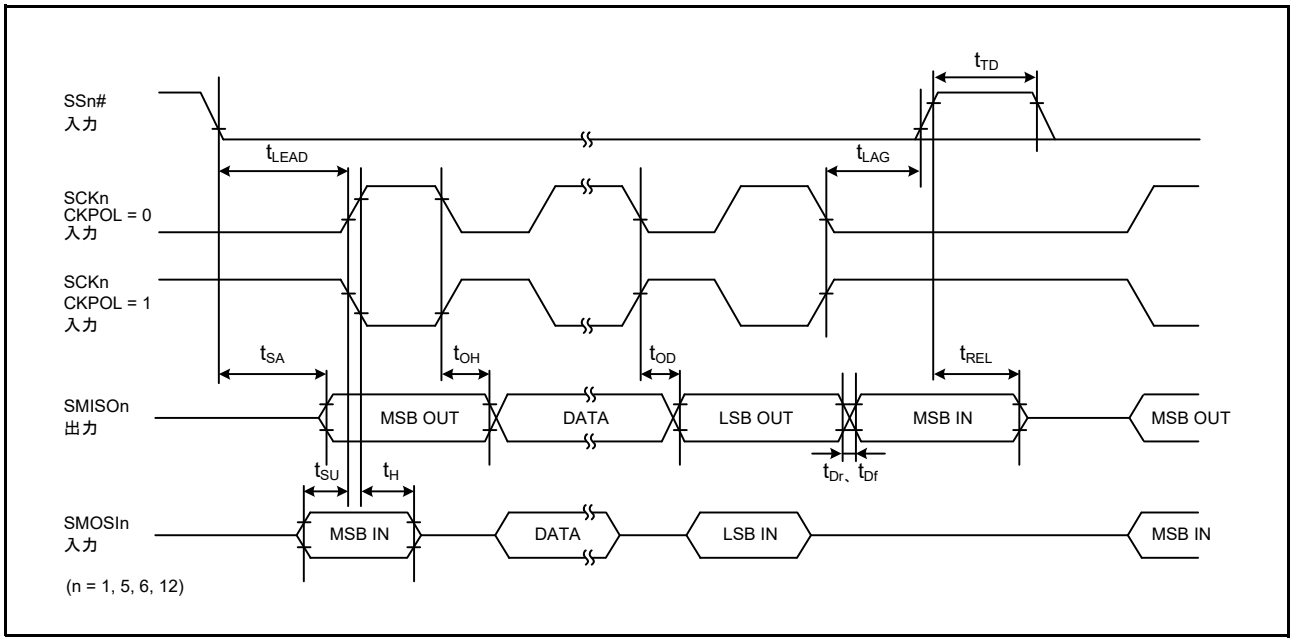


図 49.42　簡易 SPI タイミング (スレーブ、CKPH = 1)

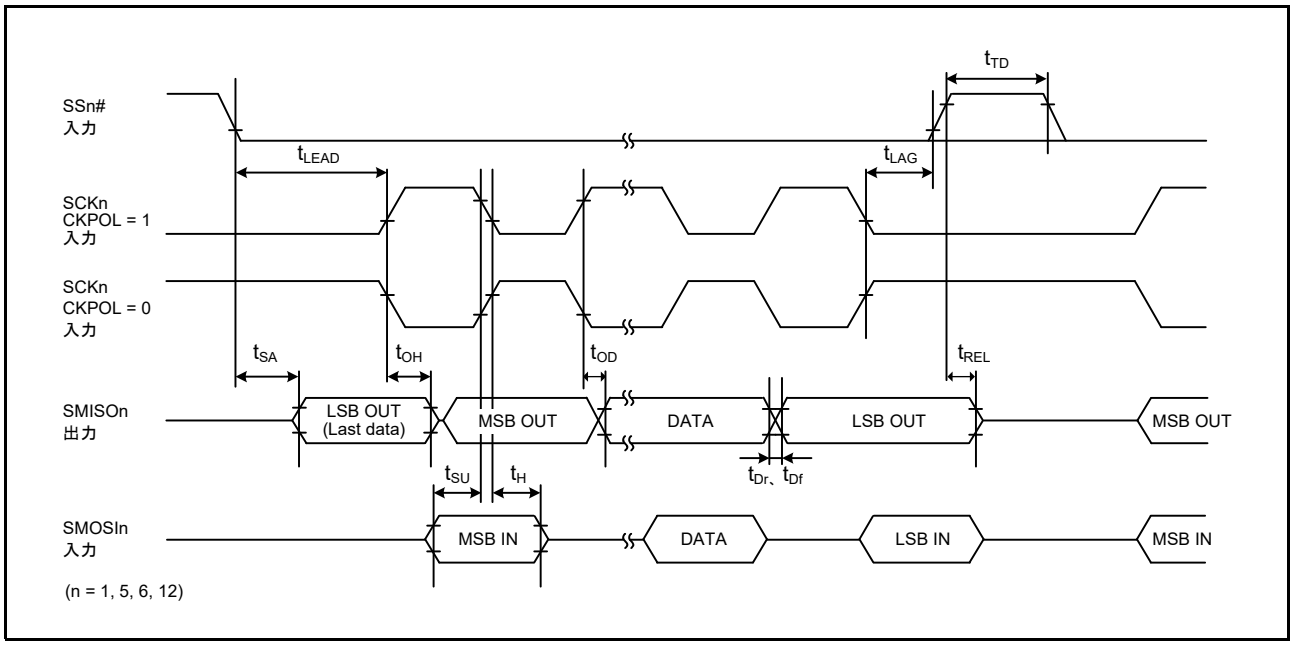


図 49.43　簡易 SPI タイミング (スレーブ、CKPH = 0)

49.4.5.10　RSCI

表49.34　RSCIタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件	
RSCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図49.44	
		クロック同期		2	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期	t_{Scyc}	6	—	t_{Pcyc}		
		クロック同期		2	—			
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	受信データセットアップ時間	マスタ	t_{RXS}	–1.5	—	ns	VCC≧4.5V	図49.45
				3.5	—		VCC < 4.5V	
		スレーブ		2.5	—		図49.45	
	受信データホールド時間	マスタ	t_{RXH}	11	—	ns		
		スレーブ		2.5	—			
	送信データ遅延時間	マスタ	t_{TXD}	—	4	ns		
		スレーブ		—	17		VCC≧4.5V	図49.45
				—	22		VCC < 4.5V	

注1.　t_{Pcyc}：RSCI8、RSCI9 ではPCLKBの周期を示します。RSCI11 ではPCLKAの周期を示します。

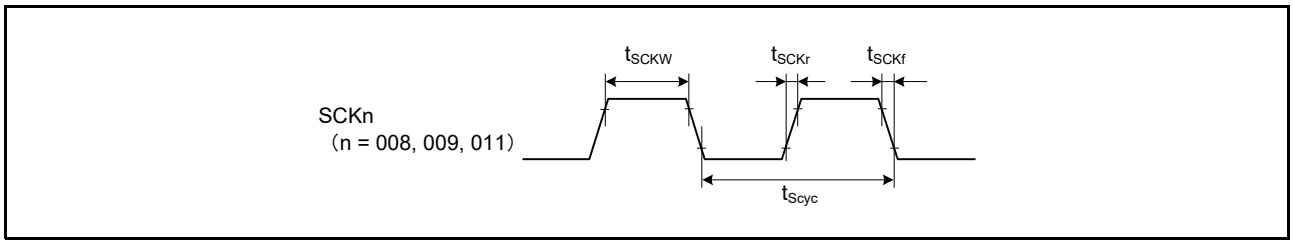


図 49.44　SCK クロック入力タイミング

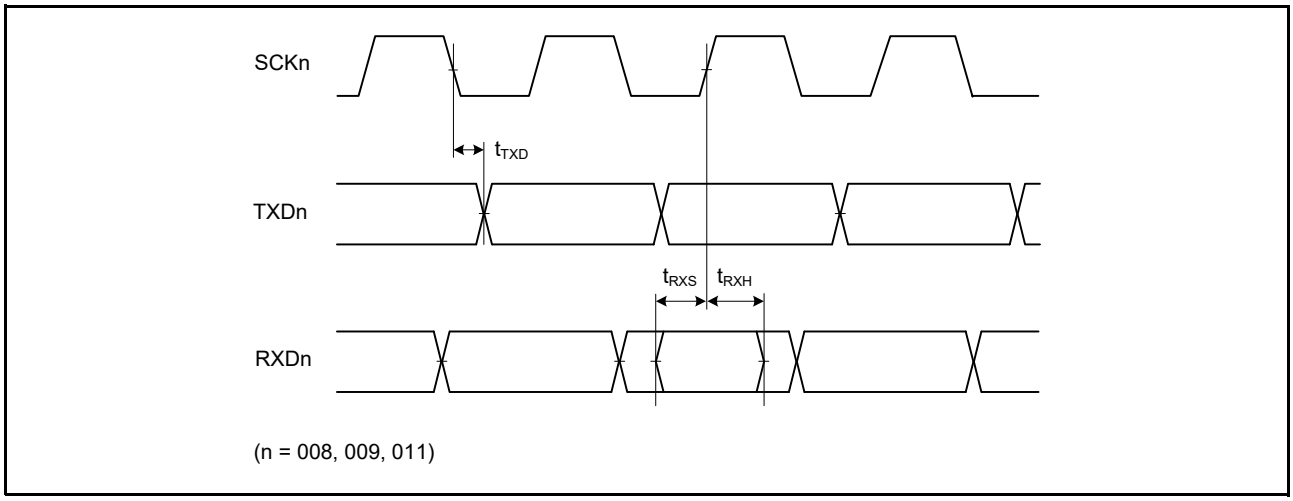
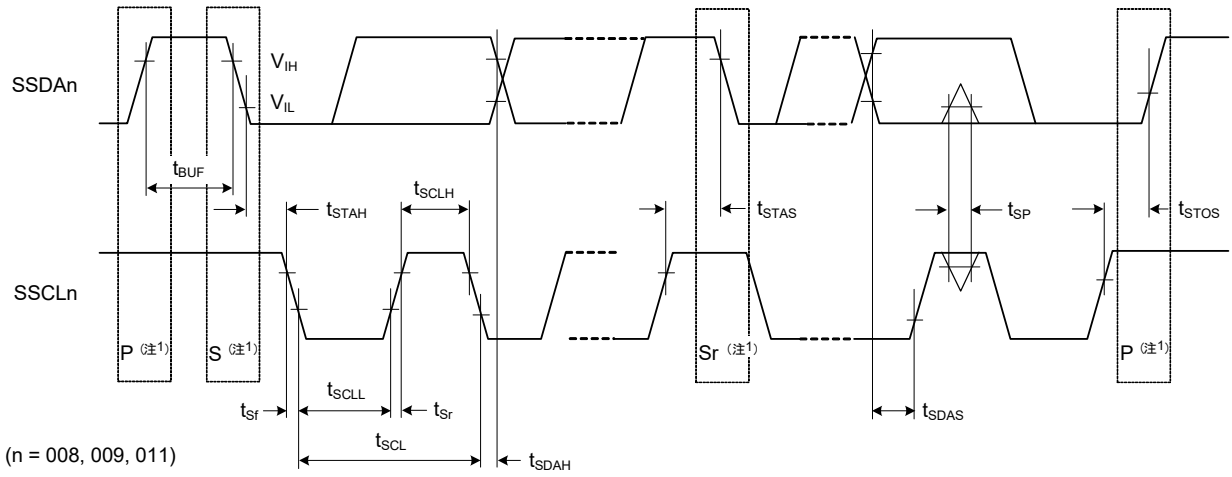


図 49.45　RSCI 入出力タイミング / クロック同期式モード

表49.35　　簡易IICタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
簡易IIC (スタンダードモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図49.46
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SSCL、SSDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Pcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C_b (注1)	—	400	pF	
簡易IIC (ファストモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	300	ns	
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SSCL、SSDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Pcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C_b (注1)	—	400	pF	

注.　t_{Pcyc}：RSCI8、RSCI9 ではPCLKBの周期を示します。RSCI11 ではPCLKAの周期を示します。
注1.　C_bはバスラインの容量総計です。



注1.　S、P、Srはそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

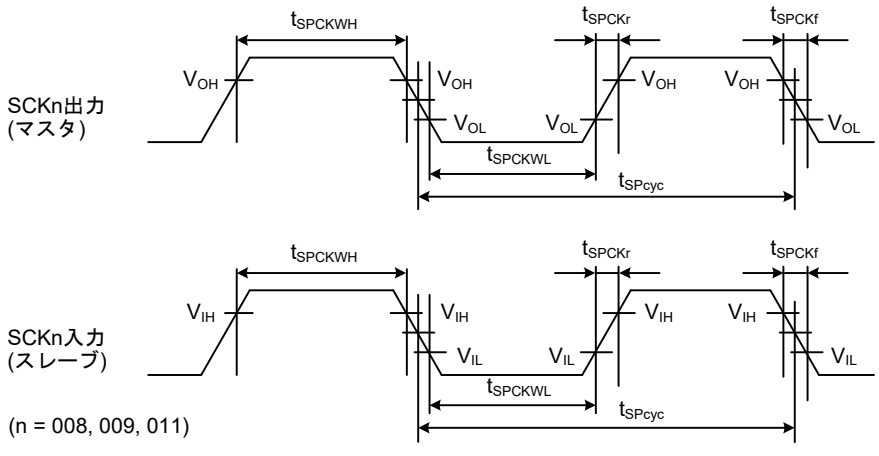
測定条件
V_{IH} = 0.7 × VCC、V_{IL} = 0.3 × VCC
V_{OL} = 0.6V、I_{OL} = 6mA

図 49.46　簡易 IIC バスインタフェース入出力タイミング

表49.36　簡易SPIタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)		t_{SPcyc}	2	—	t_{Pcyc}	図49.47
	SCKクロックサイクル入力(スレーブ)			2	—		
	SCKクロックHighパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	出力	t_{SPCKr}, t_{SPCKf}	—	5	ns	
		入力		—	1	μs	
	データ入力セットアップ時間	マスタ	t_{SU}	0.5	—	ns	図49.48～図49.51
		スレーブ		2.5	—		
	データ入力ホールド時間	マスタ	t_H	11	—	ns	
		スレーブ		2.5	—		
	データ出力遅延時間	マスタ	t_{OD}	—	4	ns	図49.48～図49.51
		スレーブ		—	17		VCC≧4.5V　図49.48～図49.51
				—	22		VCC < 4.5V
	データ出力ホールド時間	マスタ	t_{OH}	–1	—	ns	図49.48～図49.51
		スレーブ		0	—		
	データ立ち上がり/立ち下がり時間	出力	t_{Dr}, t_{Df}	—	5	ns	
		入力		—	1	μs	
	スレーブアクセス時間		t_{SA}	—	5	t_{Pcyc}	図49.50、図49.51
	スレーブ出力開放時間		t_{REL}	—	5	t_{Pcyc}	
	SS入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	図49.48～図49.51
	SS入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}	
	SS入力立ち上がり/立ち下がり時間		t_{SSLr}, t_{SSLf}	—	1	μs	

注1.　t_{Pcyc}：RSCI8、RSCI9 ではPCLKBの周期を示します。RSCI11 ではPCLKAの周期を示します。



V_{OH} = 0.7 × VCC、V_{OL} = 0.3 × VCC、V_{IH} = 0.7 × VCC、V_{IL} = 0.3 × VCC

図 49.47　簡易 SPI クロックタイミング

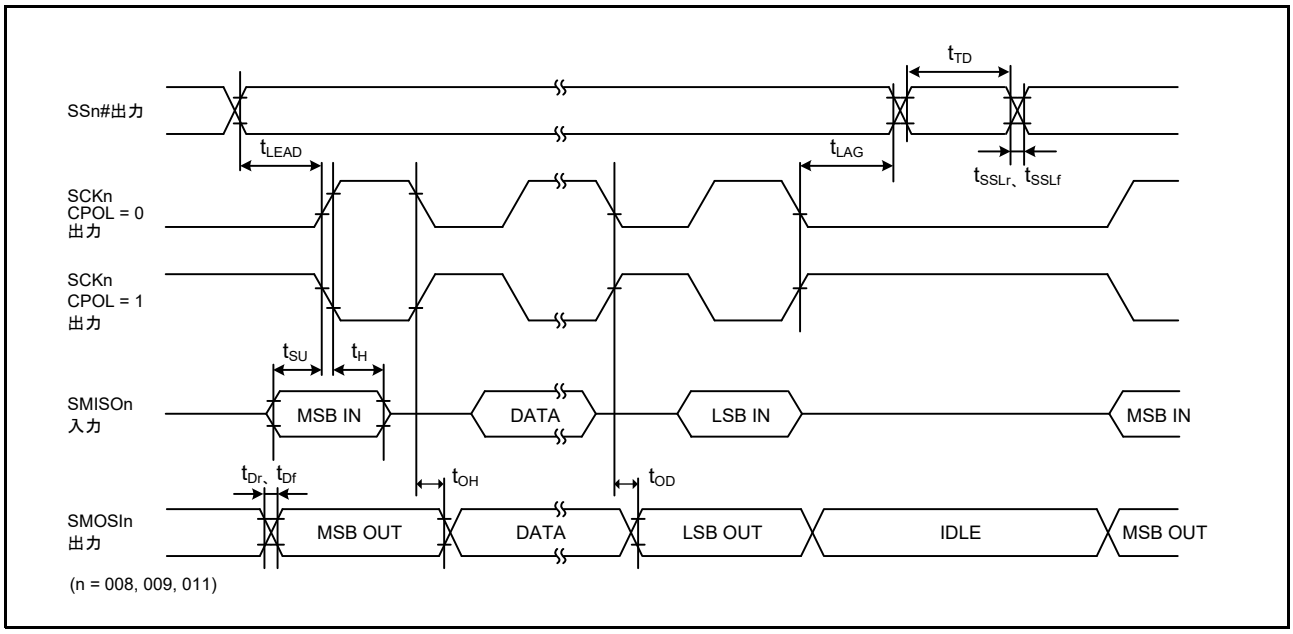


図 49.48　簡易 SPI タイミング (マスタ、CPHA = 0)

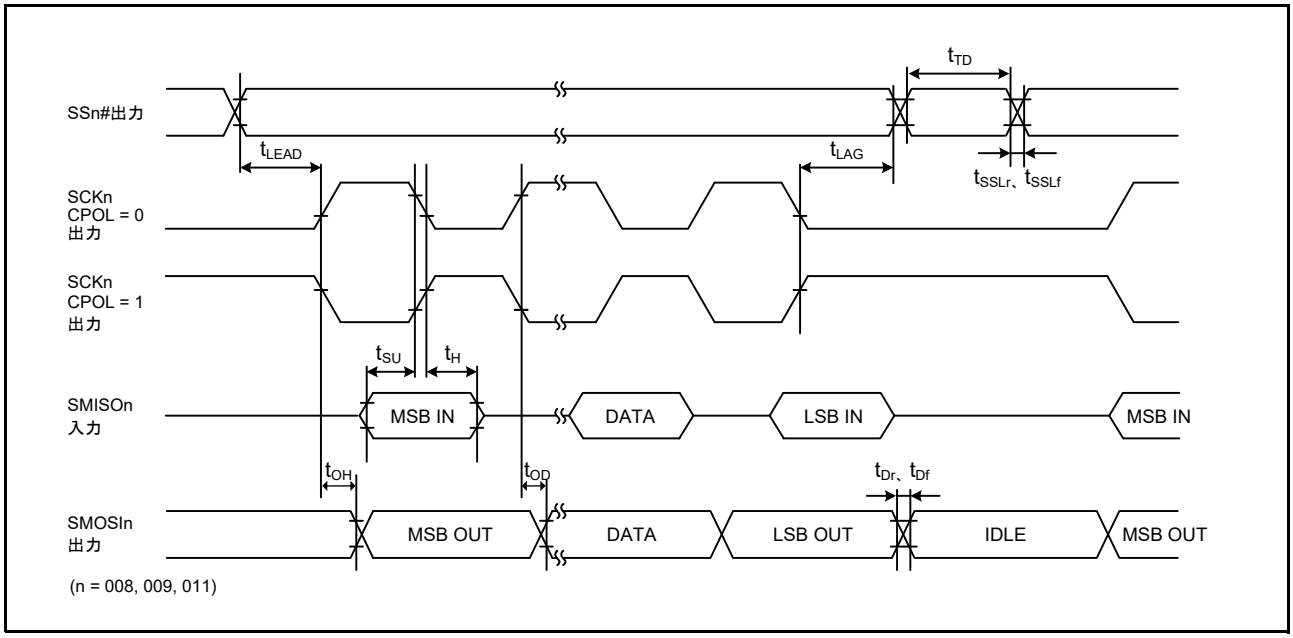


図 49.49　簡易 SPI タイミング (マスタ、CPHA = 1)

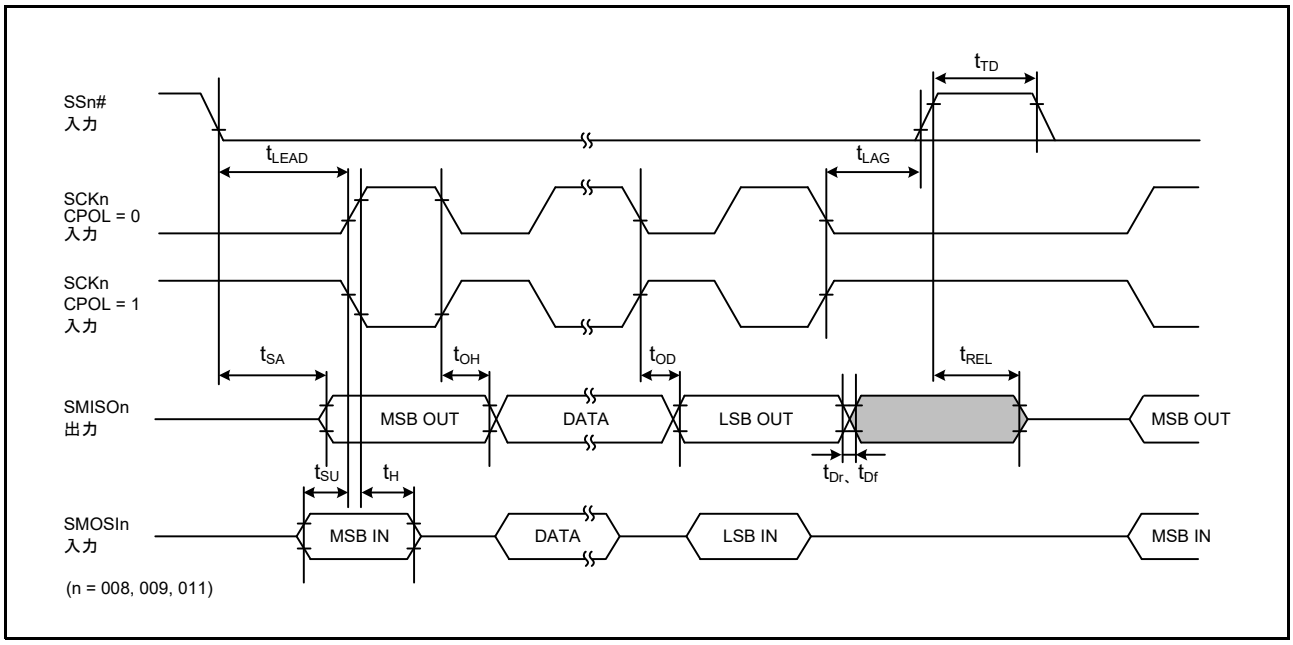


図 49.50　簡易 SPI タイミング (スレーブ、CPHA = 0)

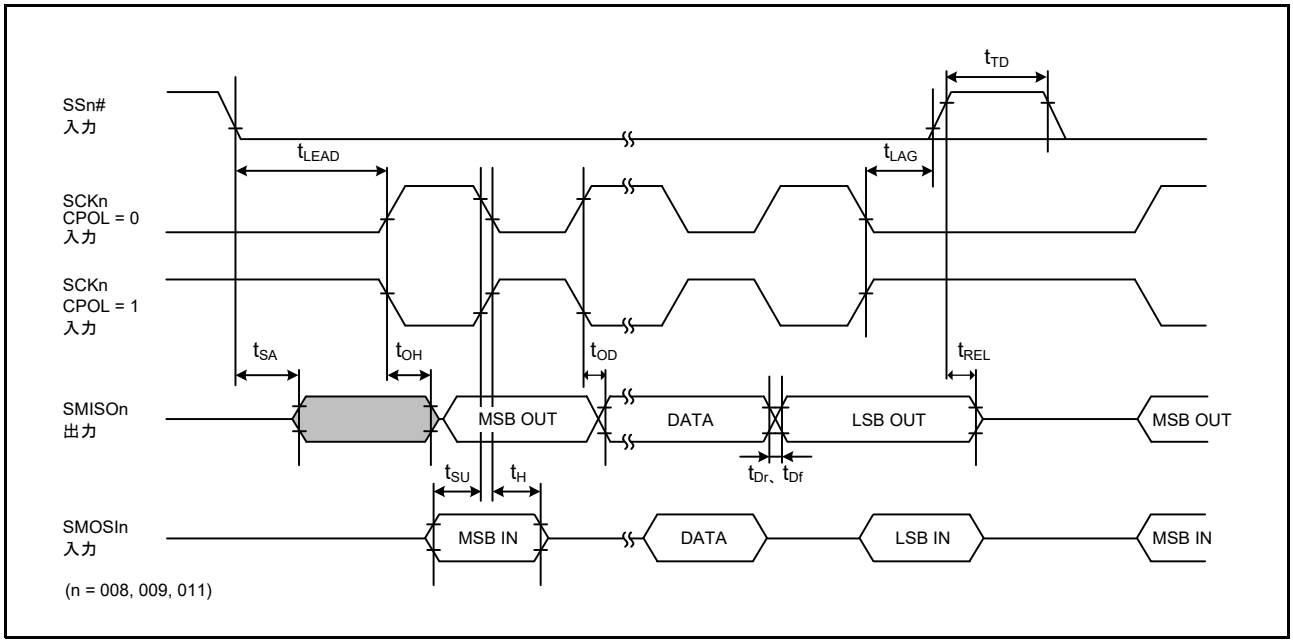


図 49.51　簡易 SPI タイミング (スレーブ、CPHA = 1)

49.4.5.11 RSPI

表49.37　RSPIタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min (注1)	max (注1)	単位 (注1)	測定条件	
RSPI	RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	—	t_{PAcyc}	図49.52	
		スレーブ		4	—			
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		0.4	0.6	t_{SPcyc}		
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		0.4	0.6	t_{SPcyc}		
	RSPCK クロック立ち上がり/立ち下がり時間	出力	t_{SPCKr}, t_{SPCKf}	—	5	ns		
		入力		—	1	μs		
	データ入力セットアップ時間	マスタ	t_{SU}	6	—	ns	VCC ≧ 4.5V	図49.53～図49.58
				11	—		VCC < 4.5V	
		スレーブ		8.3	—		図49.53～図49.58	
	データ入力ホールド時間	マスタ PCLKA を2分周に設定	t_{HF}	0	—	ns		
		マスタ PCLKA を2分周以外に設定	t_H	t_{PAcyc}	—			
		スレーブ		8.3	—			
	SSL セットアップ時間	マスタ	t_{LEAD}	1	8	t_{SPcyc}		
		スレーブ		4	—	t_{PAcyc}		
	SSL ホールド時間	マスタ	t_{LAG}	1	8	t_{SPcyc}		
		スレーブ		4	—	t_{PAcyc}		
	データ出力遅延時間	マスタ	t_{OD}	—	6.3	ns	VCC ≧ 4.5V	図49.53～図49.58
				—	11.3		VCC < 4.5V	
		スレーブ		—	28		VCC ≧ 4.5V	
				—	33		VCC < 4.5V	
	データ出力ホールド時間	マスタ	t_{OH}	0	—	ns	図49.53～図49.58	
		スレーブ		0	—			
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{PAcyc}$	$8 \times t_{SPcyc} + 2 \times t_{PAcyc}$	ns		
		スレーブ		$4 \times t_{PAcyc}$	—			
	MOSI、MISO立ち上がり/立ち下がり時間	出力	t_{Dr}, t_{Df}	—	5	ns		
		入力		—	1	μs		
	SSL立ち上がり/立ち下がり時間	出力	t_{SSLr}, t_{SSLf}	—	5	ns		
		入力		—	1	μs		
	スレーブアクセス時間		t_{SA}	—	28	ns	VCC ≧ 4.5V	図49.57、図49.58
				—	33		VCC < 4.5V	
	スレーブ出力開放時間		t_{REL}	—	28	ns	VCC ≧ 4.5V	
				—	33		VCC < 4.5V	

注1.　t_{PAcyc}：PCLKAの周期

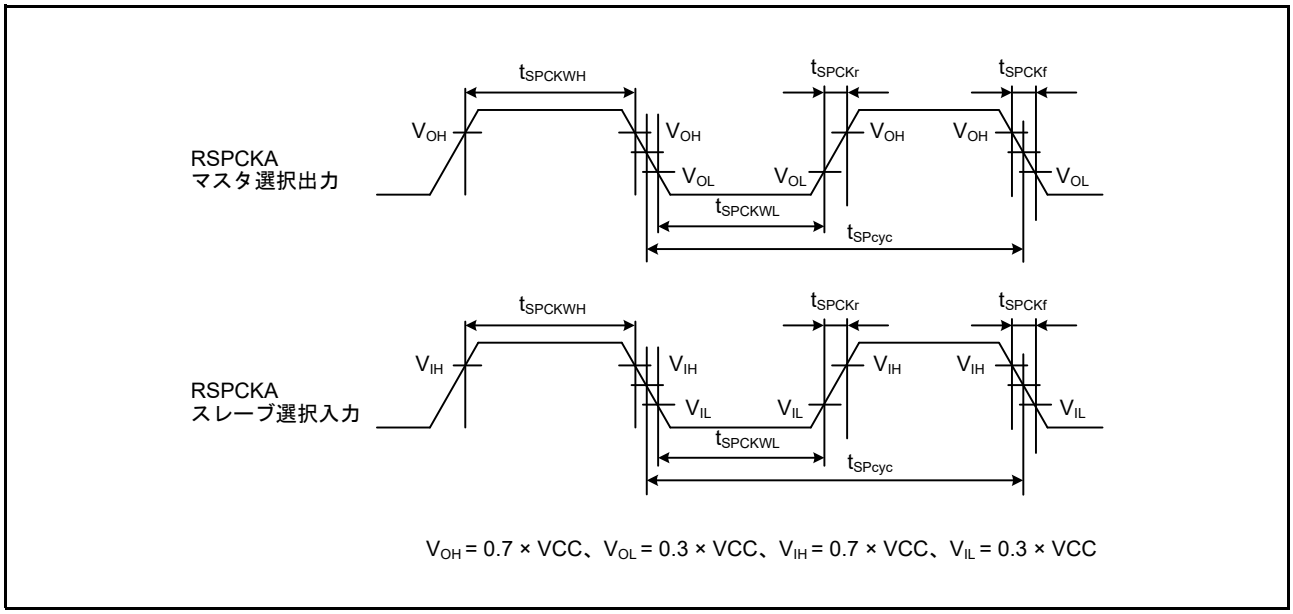


図 49.52　RSPI クロックタイミング

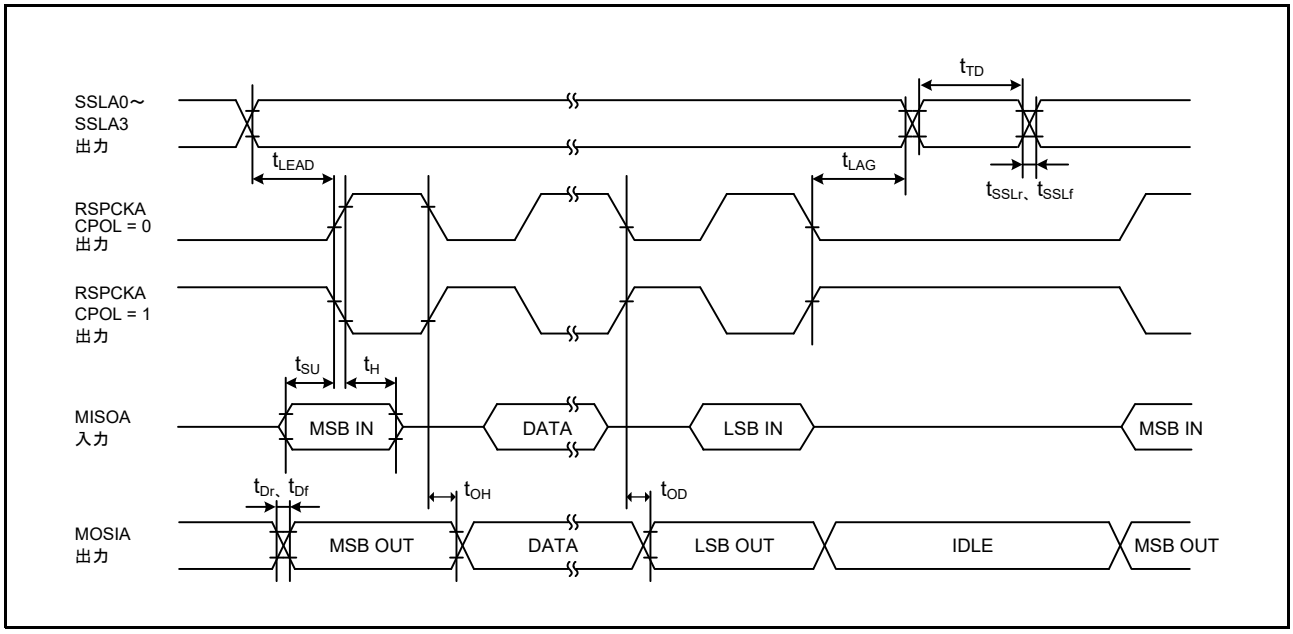


図 49.53　RSPI タイミング (マスタ、CPHA = 0) (ビットレート：PCLKA を 2 分周以外に設定)

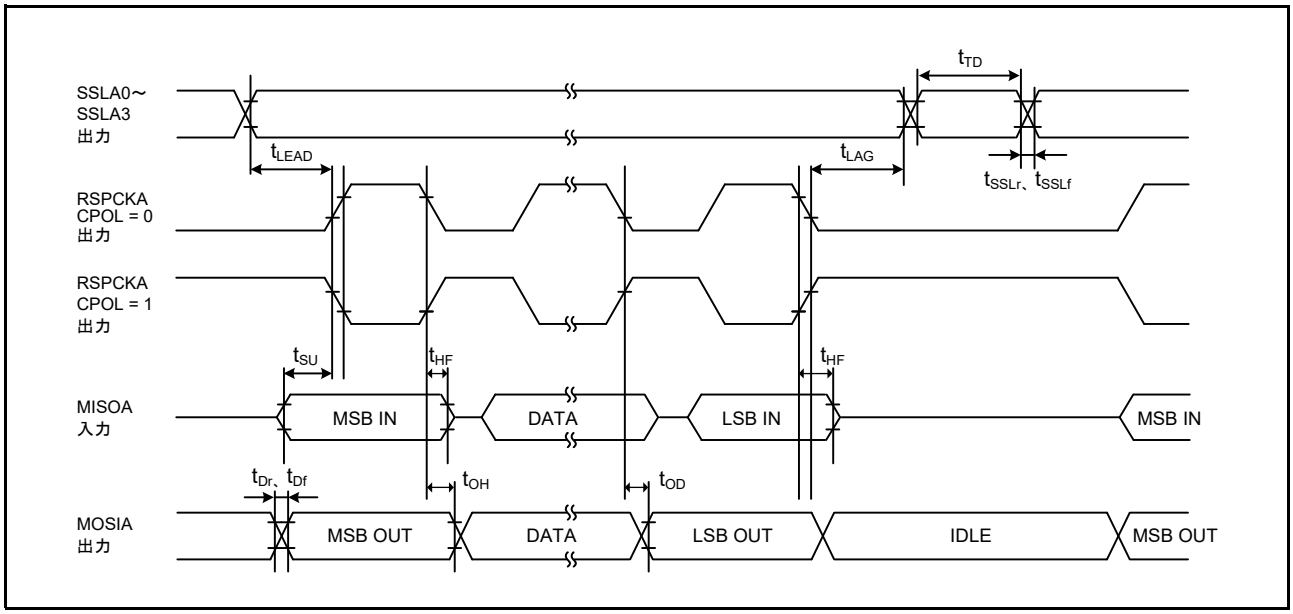


図 49.54　RSPI タイミング (マスタ、CPHA = 0) (ビットレート：PCLKA を 2 分周に設定)

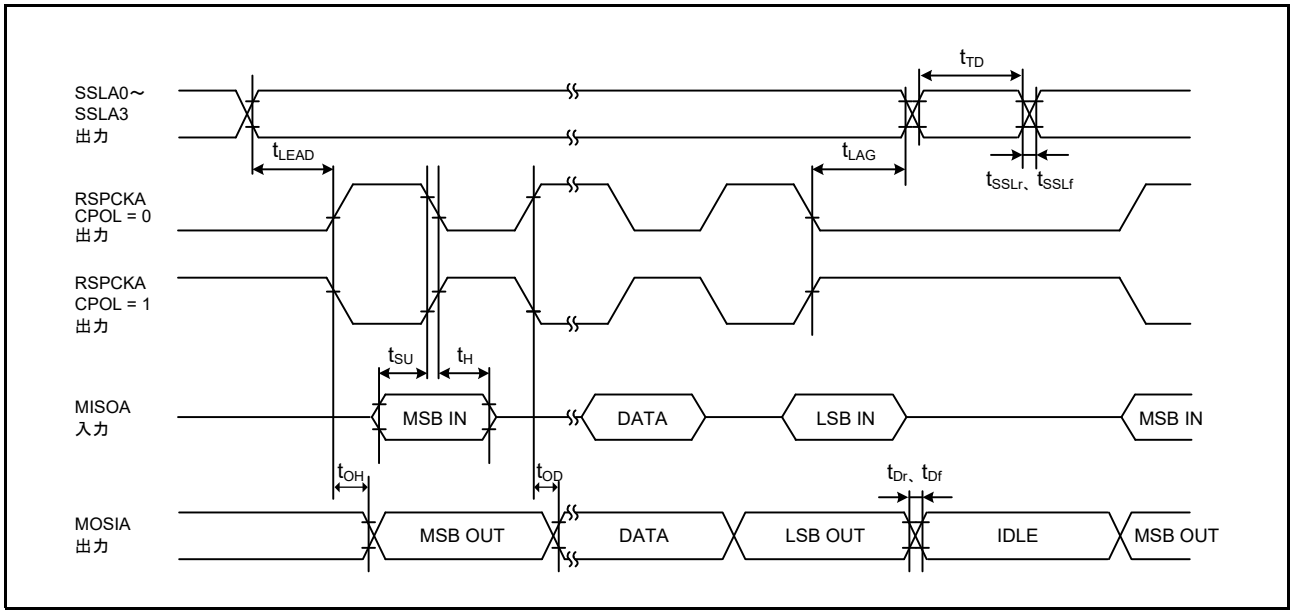


図 49.55　RSPI タイミング (マスタ、CPHA = 1) (ビットレート：PCLKA を 2 分周以外に設定)

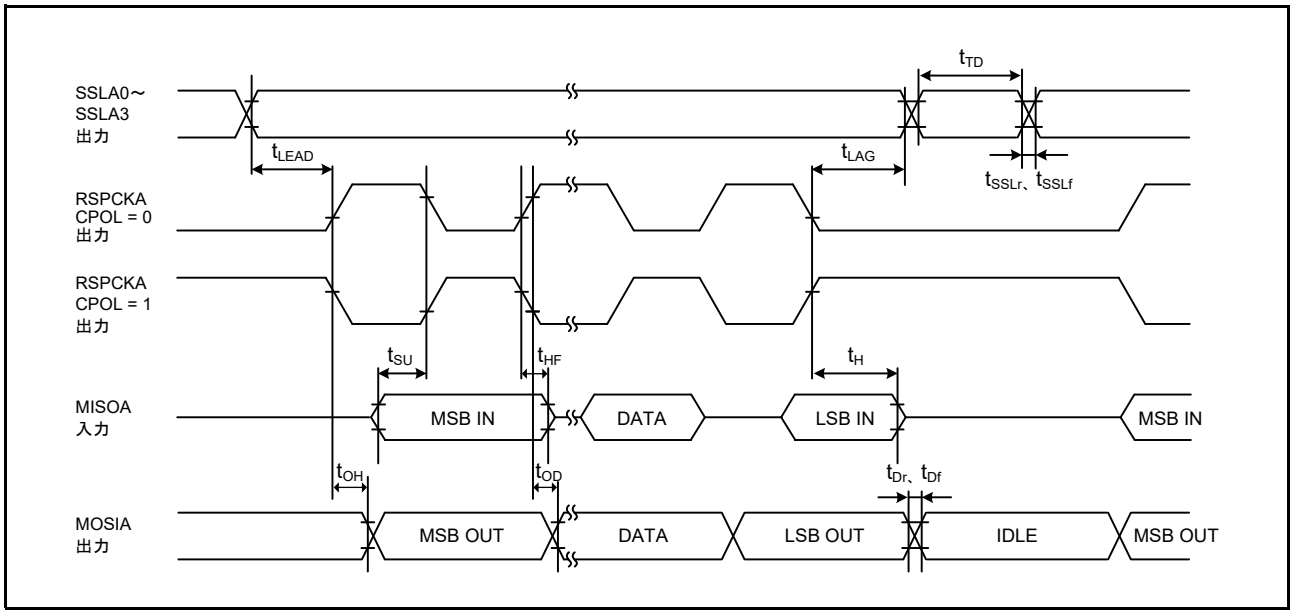


図 49.56　RSPI タイミング (マスタ、CPHA = 1) (ビットレート：PCLKA を 2 分周に設定)

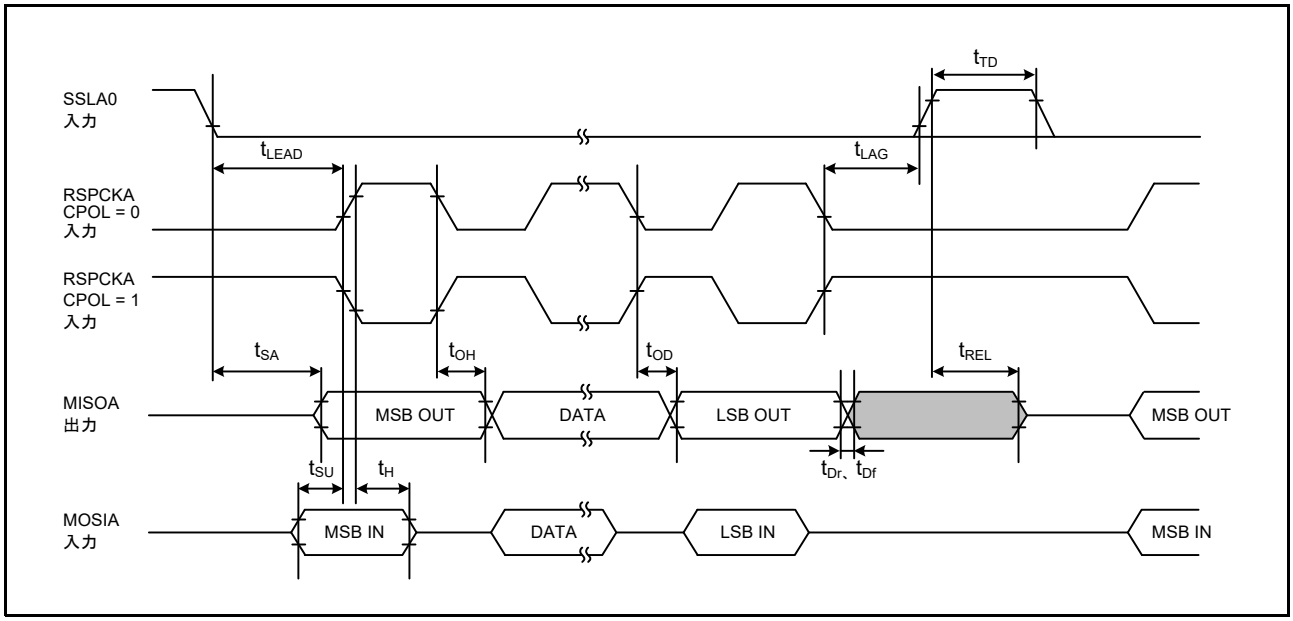


図 49.57　RSPI タイミング (スレーブ、CPHA = 0)

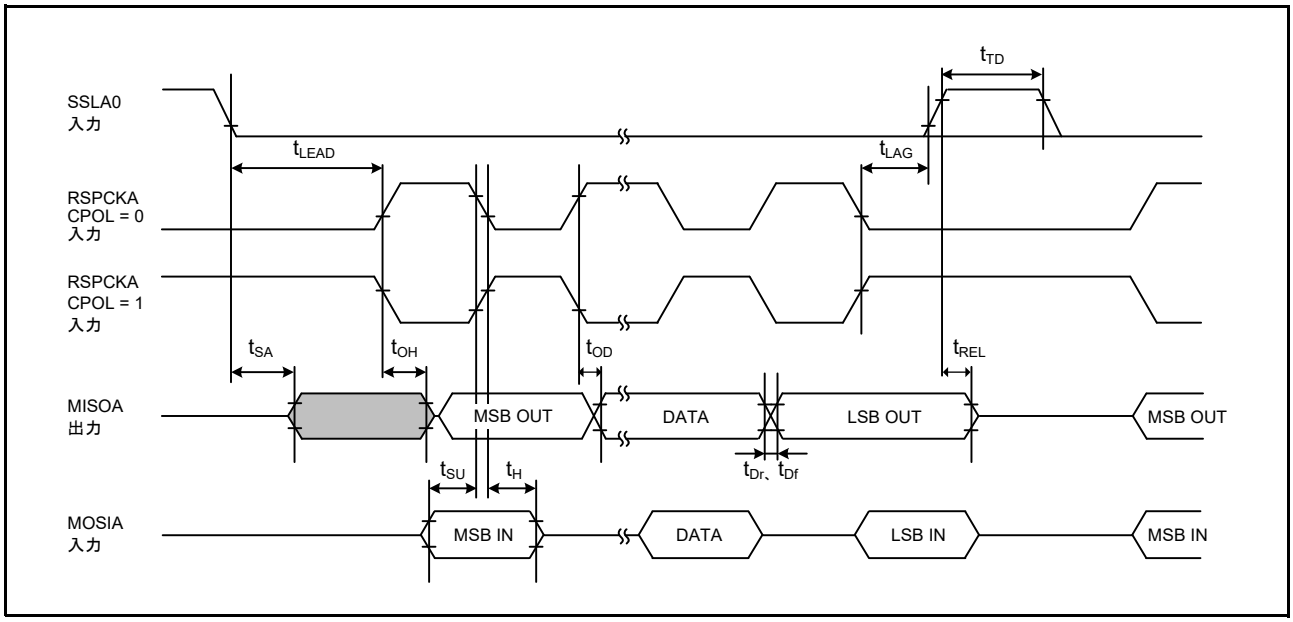


図 49.58　RSPI タイミング (スレーブ、CPHA = 1)

49.4.5.12 RSPIA

表49.38　RSPIAタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 15pF,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min (注1)	max (注1)	単位 (注1)	測定条件	
RSPIA	RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	—	t_{PAcyc}	図49.59	
		スレーブ		2	—			
	RSPCK クロック Highパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		0.4	0.6	t_{SPcyc}		
	RSPCK クロック Lowパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		0.4	0.6	t_{SPcyc}		
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t_{SPCKr}, t_{SPCKf}	—	5	ns		
		入力		—	1	μs		
	データ入力セットアップ時間	マスタ	t_{SU}	0	—	ns	VCC≧4.5V	図49.60～図49.66
				2.5	—		VCC < 4.5V	
		スレーブ		2.5	—			
	データ入力ホールド時間	マスタ	t_H	7	—	ns		
		スレーブ		2.5	—			
	SSL セットアップ時間	マスタ	t_{LEAD}	1	8	t_{SPcyc}		
		スレーブ		6	—	t_{PAcyc}		
	SSL ホールド時間	マスタ	t_{LAG}	1	8	t_{SPcyc}		
		スレーブ		6	—	t_{PAcyc}		
	データ出力遅延時間	マスタ	t_{OD}	—	4.5	ns	VCC≧4.5V	
				—	5.5		VCC < 4.5V	
		スレーブ		—	14		VCC≧4.5V	
				—	18		VCC < 4.5V	
	データ出力ホールド時間	マスタ	t_{OH}	0	—	ns		
		スレーブ		0	—			
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{PAcyc}$	$8 \times t_{SPcyc} + 2 \times t_{PAcyc}$	ns		
		スレーブ		t_{SPcyc}	—			
	MOSI, MISO 立ち上がり/立ち下がり時間	出力	t_{Dr}, t_{Df}	—	5	ns		
		入力		—	1	μs		
	SSL 立ち上がり/立ち下がり時間	出力	t_{SSLr}, tSSLf	—	5	ns		
		入力		—	1	μs		
	スレーブアクセス時間		t_{SA}	—	20	ns	図49.63、図49.64	
	スレーブ出力開放時間		t_{REL}	—	20	ns		
	TI SSP SS入力セットアップ時間	スレーブ	t_{TISS}	4.5	—	ns	図49.65、図49.66	
	TI SSP SS入力ホールド時間	スレーブ	t_{TISH}	2.5	—	ns		
	TI SSP 次アクセス遅延時間	スレーブ	t_{TIND}	$2 \times t_{PAcyc}$ + SLNDL 値 × t_{PAcyc}	—	ns		
	TI SSP SS出力遅延時間	マスタ	t_{TISSOD}	—	7	ns	図49.62	

注1.　t_{PAcyc}：PCLKAの周期

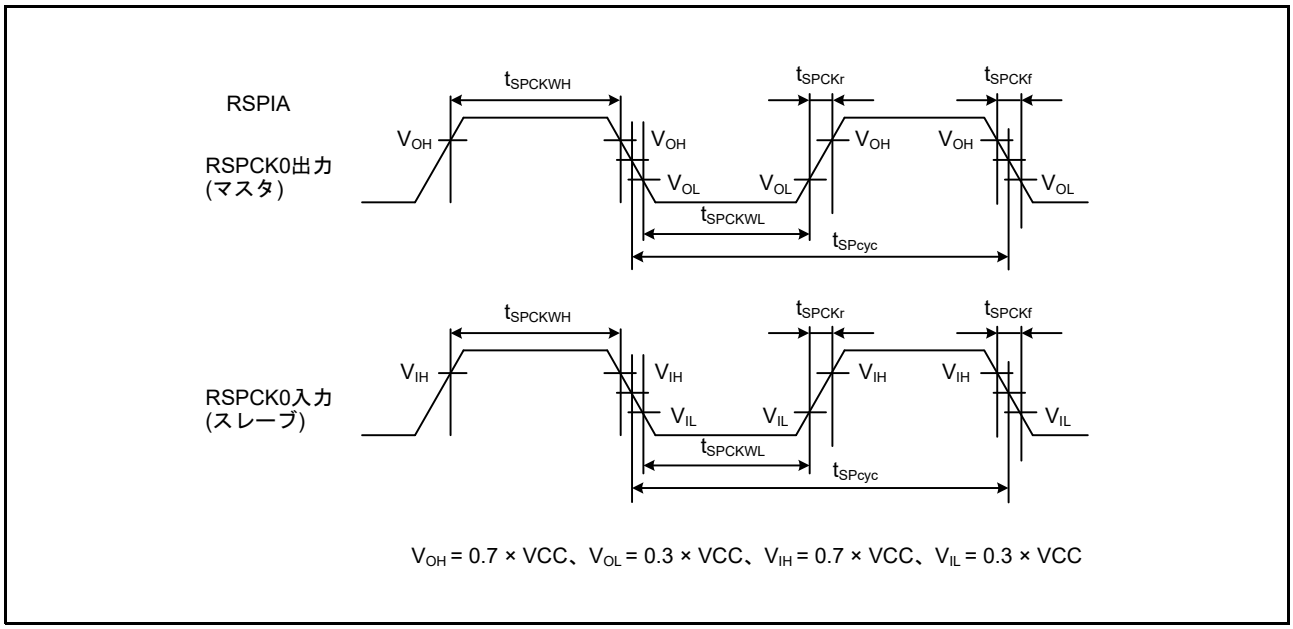


図 49.59　RSPIA クロックタイミング

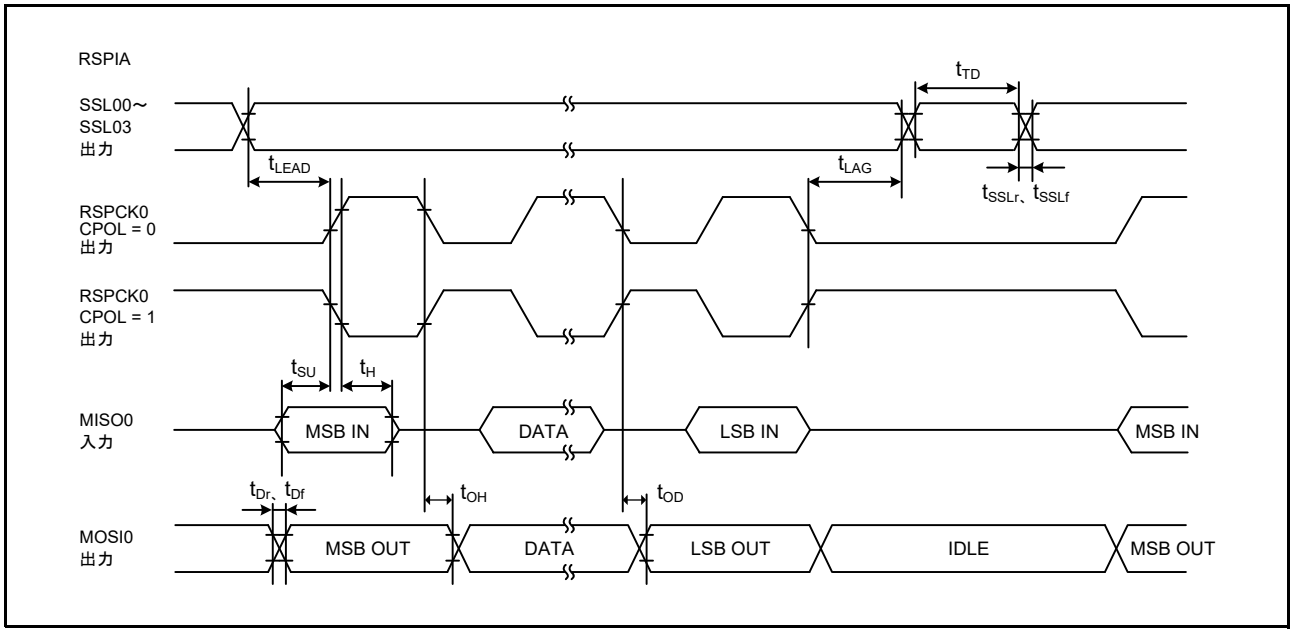


図 49.60　RSPIA タイミング (マスタ、Motorola SPI、CPHA = 0)

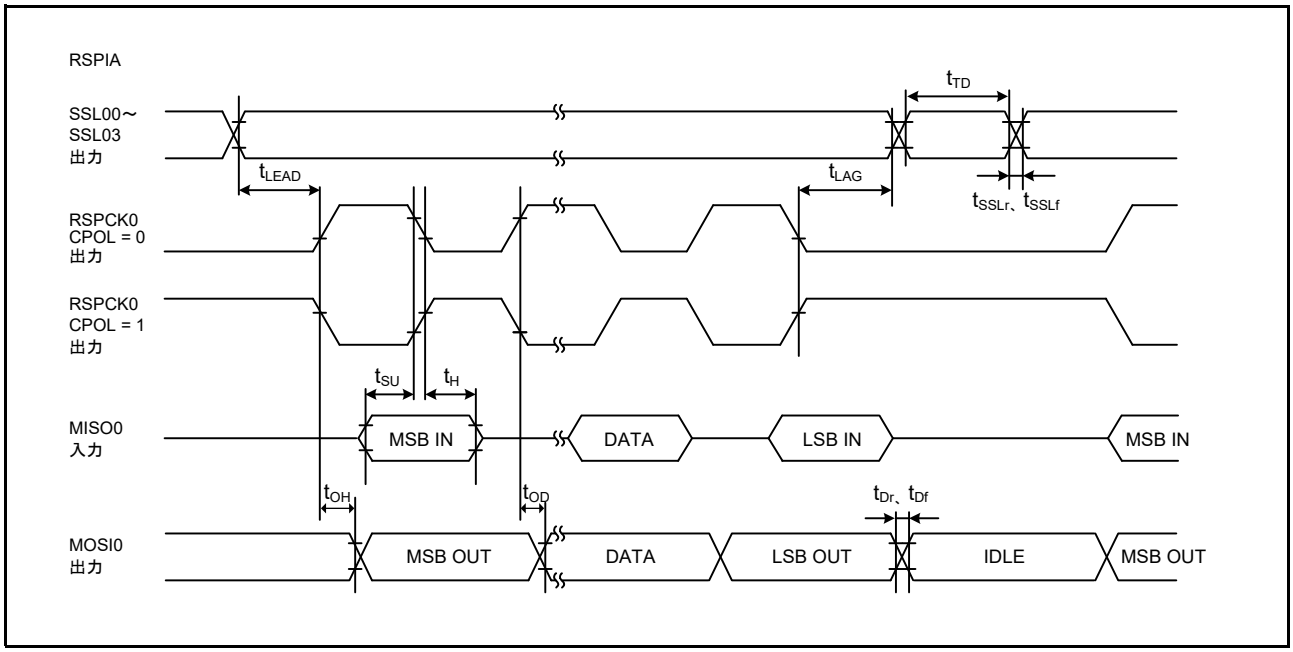


図 49.61　RSPIA タイミング (マスタ、Motorola SPI、CPHA = 1)

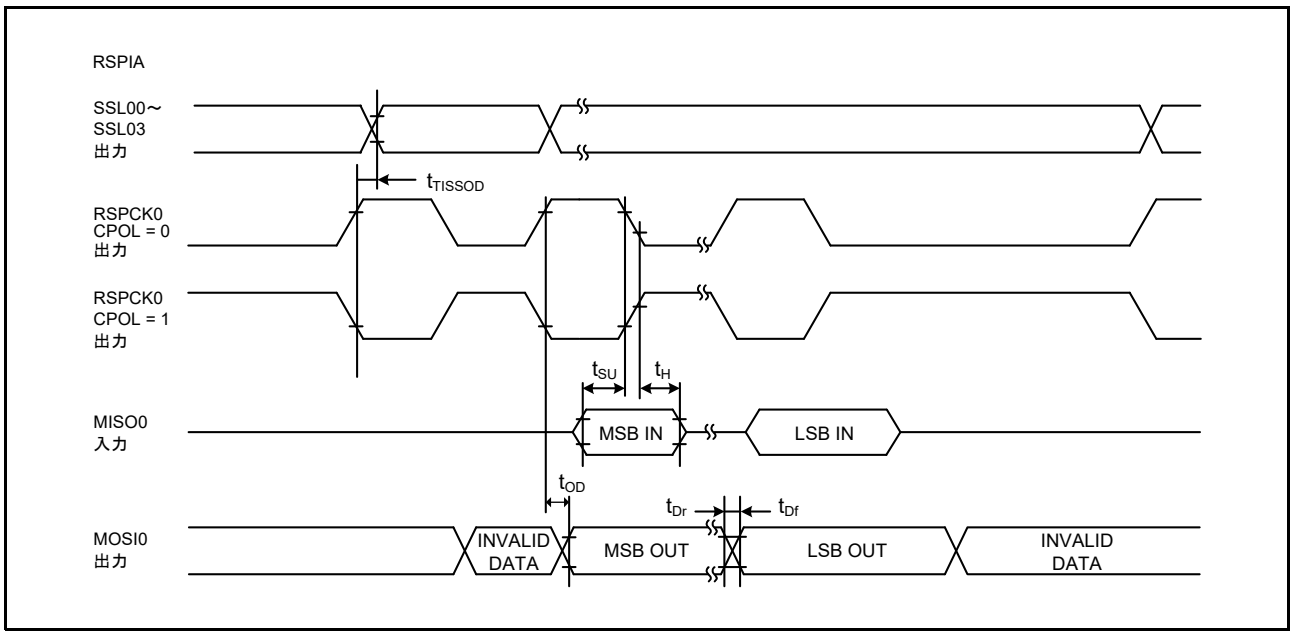


図 49.62　RSPIA タイミング (マスタ、TI SSP)

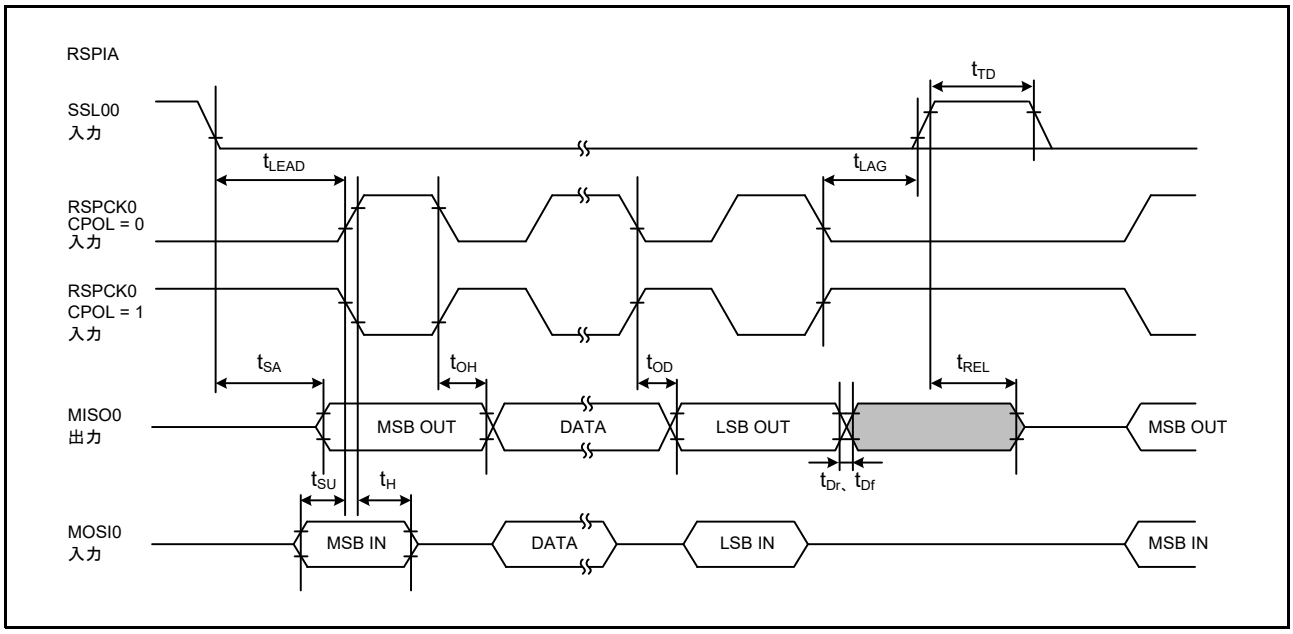


図 49.63　RSPIA タイミング (スレーブ、Motorola SPI、CPHA = 0)

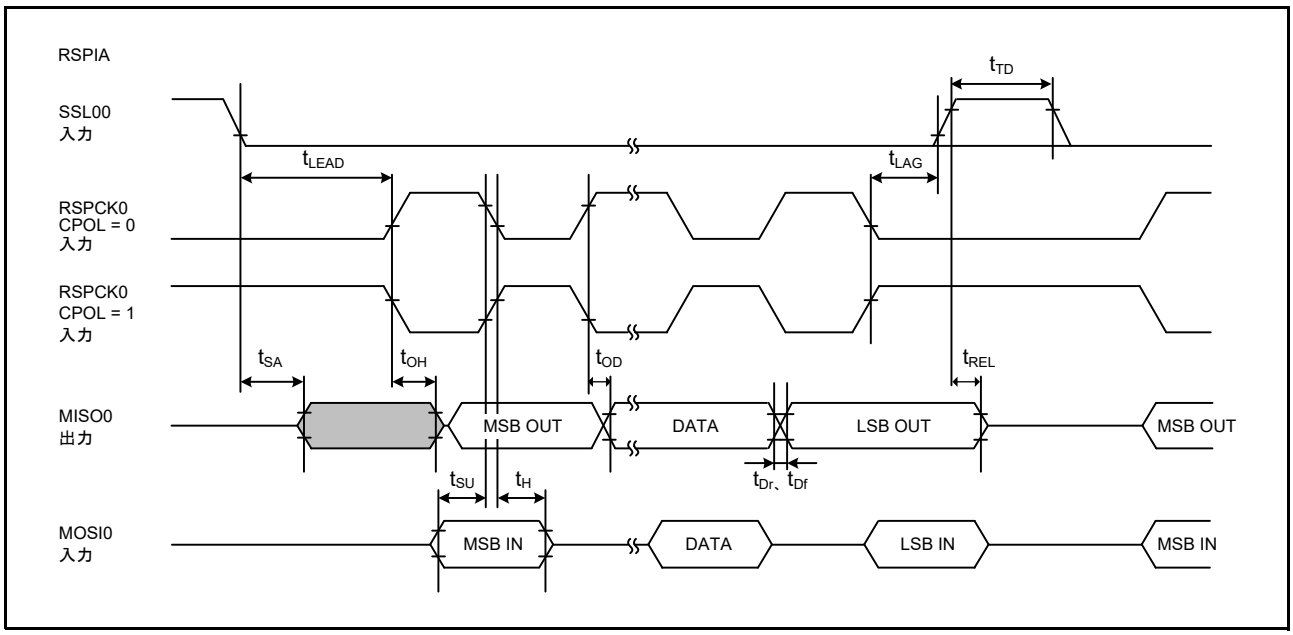


図 49.64　RSPIA タイミング (スレーブ、Motorola SPI、CPHA = 1)

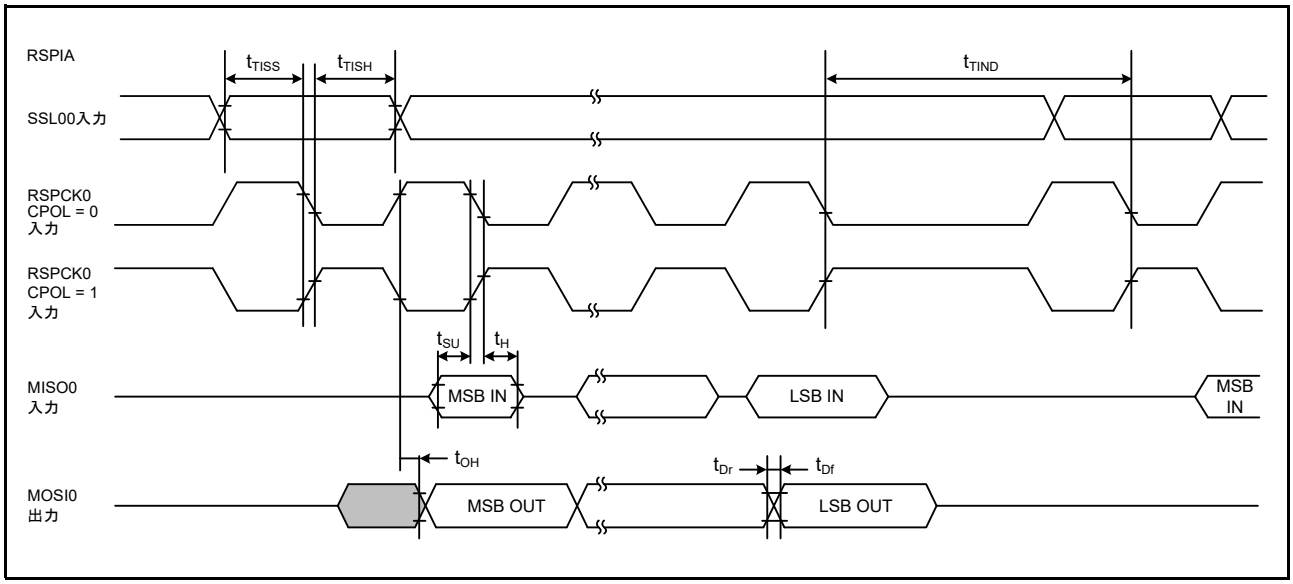


図 49.65　RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延あり)

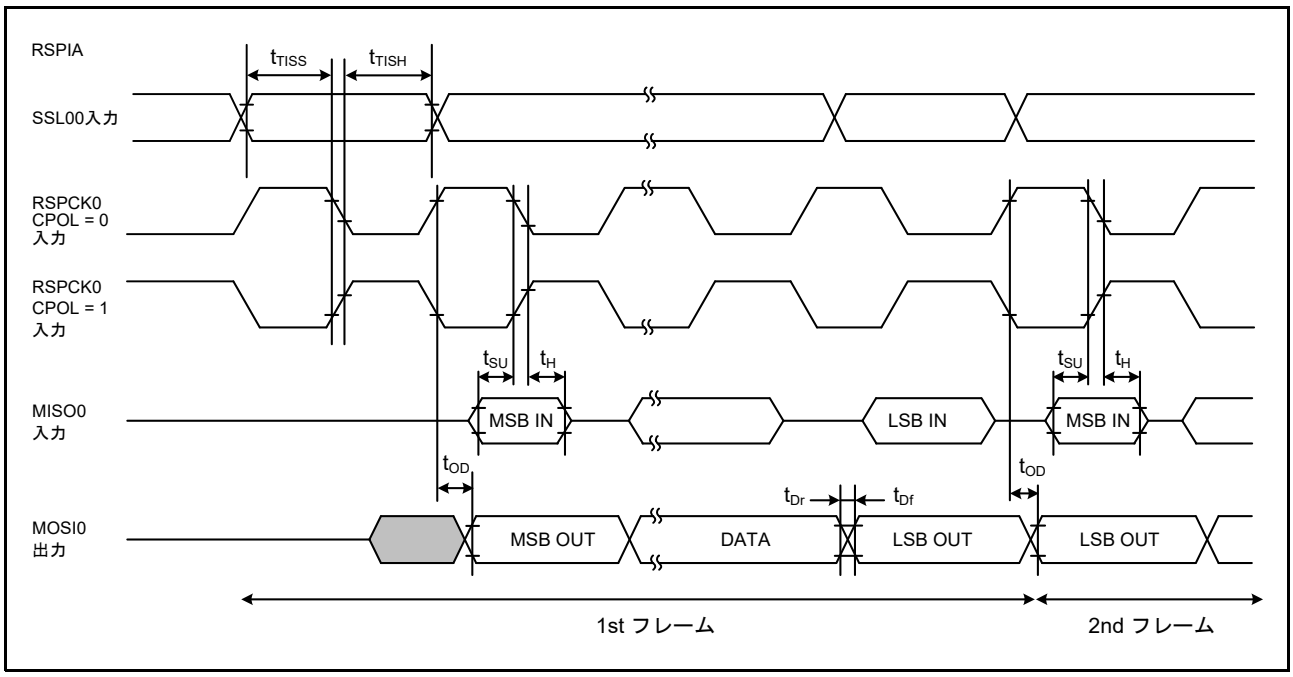


図 49.66　RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延なし)

49.4.5.13 RIIC

表49.39　RIICタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位	測定条件 (注3)
RIIC (スタンダードモード、SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図49.67
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000		
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300		
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$		
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—		
	スタートコンディション入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—		
	リスタートコンディション入力セットアップ時間	t_{STAS}	1000	—		
	ストップコンディション入力セットアップ時間	t_{STOS}	1000	—		
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SCL、SDAの容量性負荷	C_b (注2)	—	400	pF	
RIIC (ファストモード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—		
	SCL、SDA入力立ち上がり時間	t_{Sr}	20 × (外付けプルアップ電圧 /5.5V)	300		
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 × (外付けプルアップ電圧 /5.5V)	300		
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$		
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—		
	スタートコンディション入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—		
	リスタートコンディション入力セットアップ時間	t_{STAS}	300	—		
	ストップコンディション入力セットアップ時間	t_{STOS}	300	—		
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SCL、SDAの容量性負荷	C_b (注2)	—	400	pF	

注.　t_{IICcyc}：RIICの内部基準クロック(IICφ)の周期
注1.　( )内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
注2.　C_bはバスラインの容量総計です。
注3.　VCC≧4.5V のとき、VOLSR.RICVLS = 0
VCC < 4.5V のとき、VOLSR.RICVLS = 1

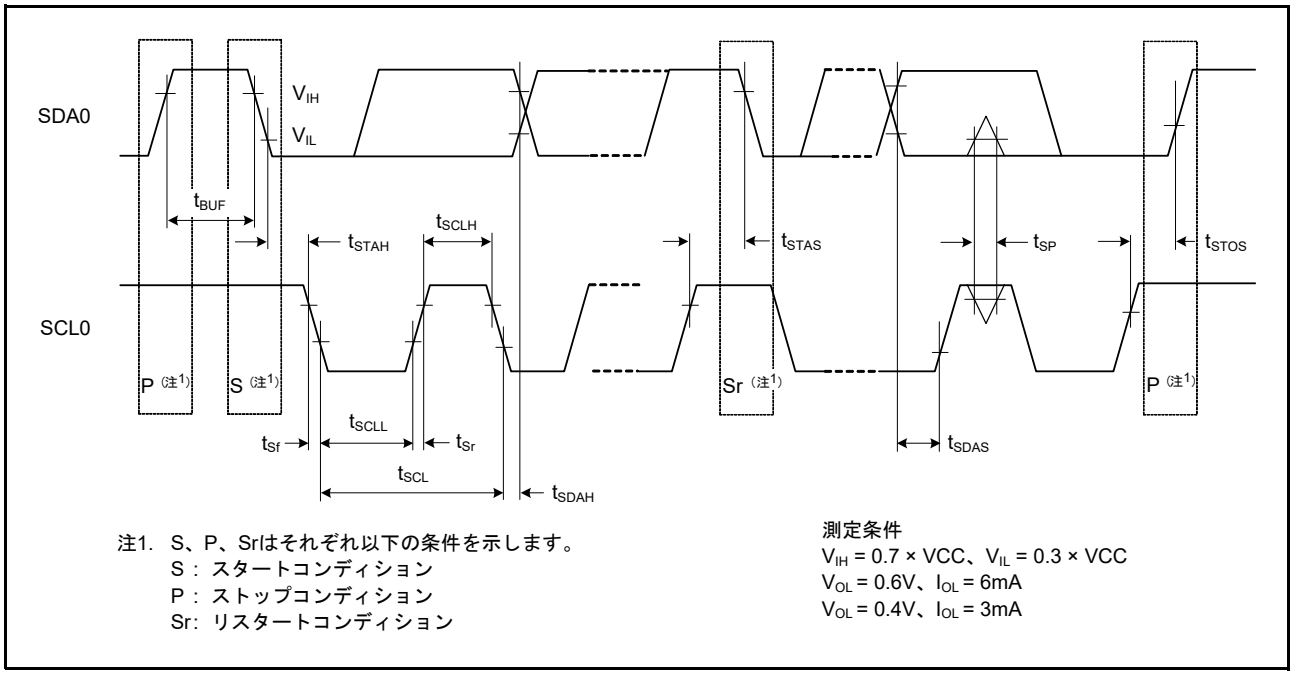


図 49.67　RIIC バスインタフェース入出力タイミング

49.4.5.14　RI3C

表49.40　RI3Cタイミング(オープンドレインタイミングパラメータ)
条件：VCC = AVCC0 = AVCC1 = AVCC2 = 3.0～3.6V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz

項目	記号	min	typ	max	単位	測定条件
SCLクロックLow幅	t_{LOW_OD}	200 (注1、注2)	—	—	ns	図49.68
	$t_{DIG_OD_L}$	t_{LOW_ODmin} + t_{fDA_ODmin}	—	—		
SDA信号立ち下がり時間	t_{fDA_OD}	t_{CF}	—	33	ns	図49.68
SDAデータセットアップ時間オープンドレインモード	t_{SU_OD}	3 (注1)	—	—	ns	図49.68、図49.69
スタートコンディション後クロック	t_{CAS}	38.4 ns (注3)	—	ENTAS0：1µs	—	図49.68
			—	ENTAS1：100µs		
			—	ENTAS2：2ms		
			—	ENTAS3：50ms (注4)		
ストップコンディション前クロック	t_{CBP}	t_{CASmin}/2	—	—	sec	図49.70
ハンドオフ中のカレントコントローラからセカンダリコントローラまでのオーバーラップ時間	$t_{CRHPOverlap}$	$t_{DIG_OD_Lmin}$	—	—	ns	図49.71
バス使用可能条件	t_{AVAL}	1 (注5)	—	—	µs	
バスアイドル条件	t_{IDLE}	1	—	—	ms	
SDA Low 駆動していない新コントローラの内部時間	$t_{NEWCRLock}$	$t_{AVALmin}$	—	—	µs	図49.71

注1.　t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_ODmin}と近似的に同じです。
注2.　SDAがすでにV_{IH}を上回っている場合、コントローラはLow幅が短くなる可能性があります。
注3.　I²Cデバイスがスタートコンディションを確認する必要があるLegacyバスでは、t_{CAS}最小値がさらに制限されます。
注4.　オプションのENTASx CCCをサポートしていないターゲットは、ENTAS3に示されているt_{CAS}最大値を使用します。
注5.　Fm Legacy I²Cデバイスのミックスバス上で、t_{AVAL}はFmバスフリー条件時間(t_{BUF})より300ns短いです。

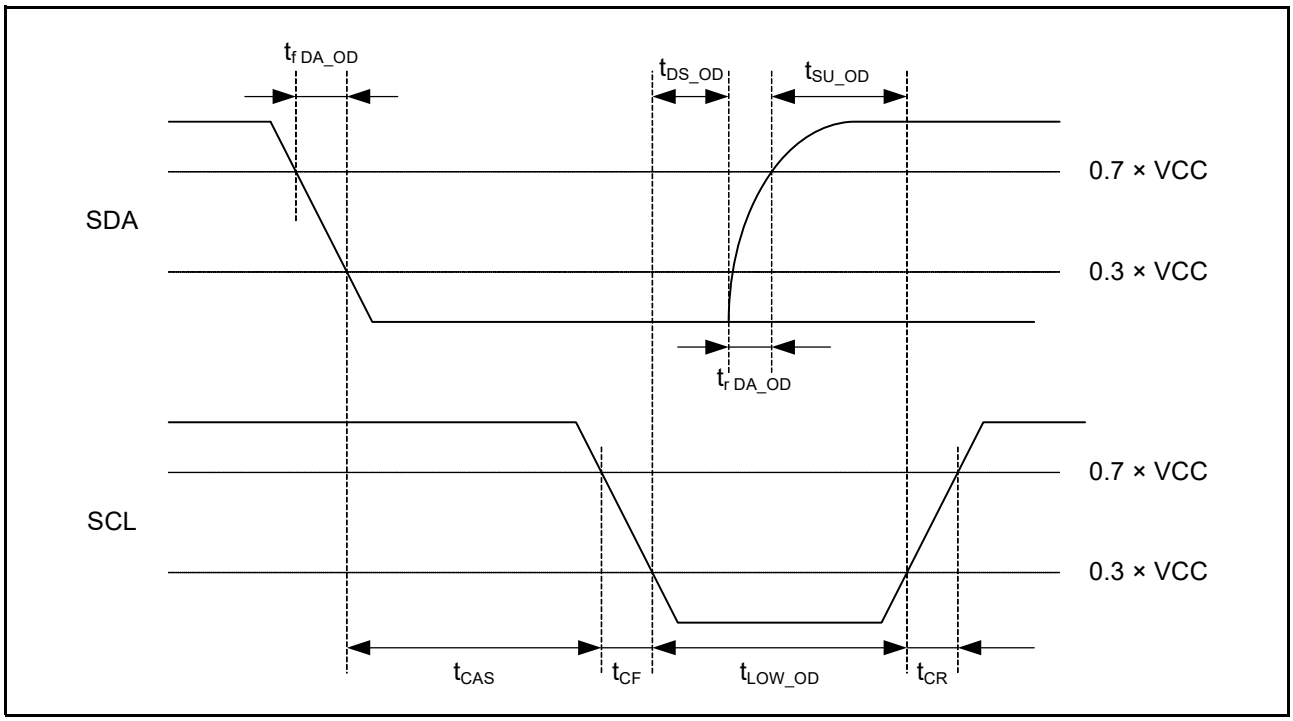


図 49.68　RI3C スタートコンディションタイミング

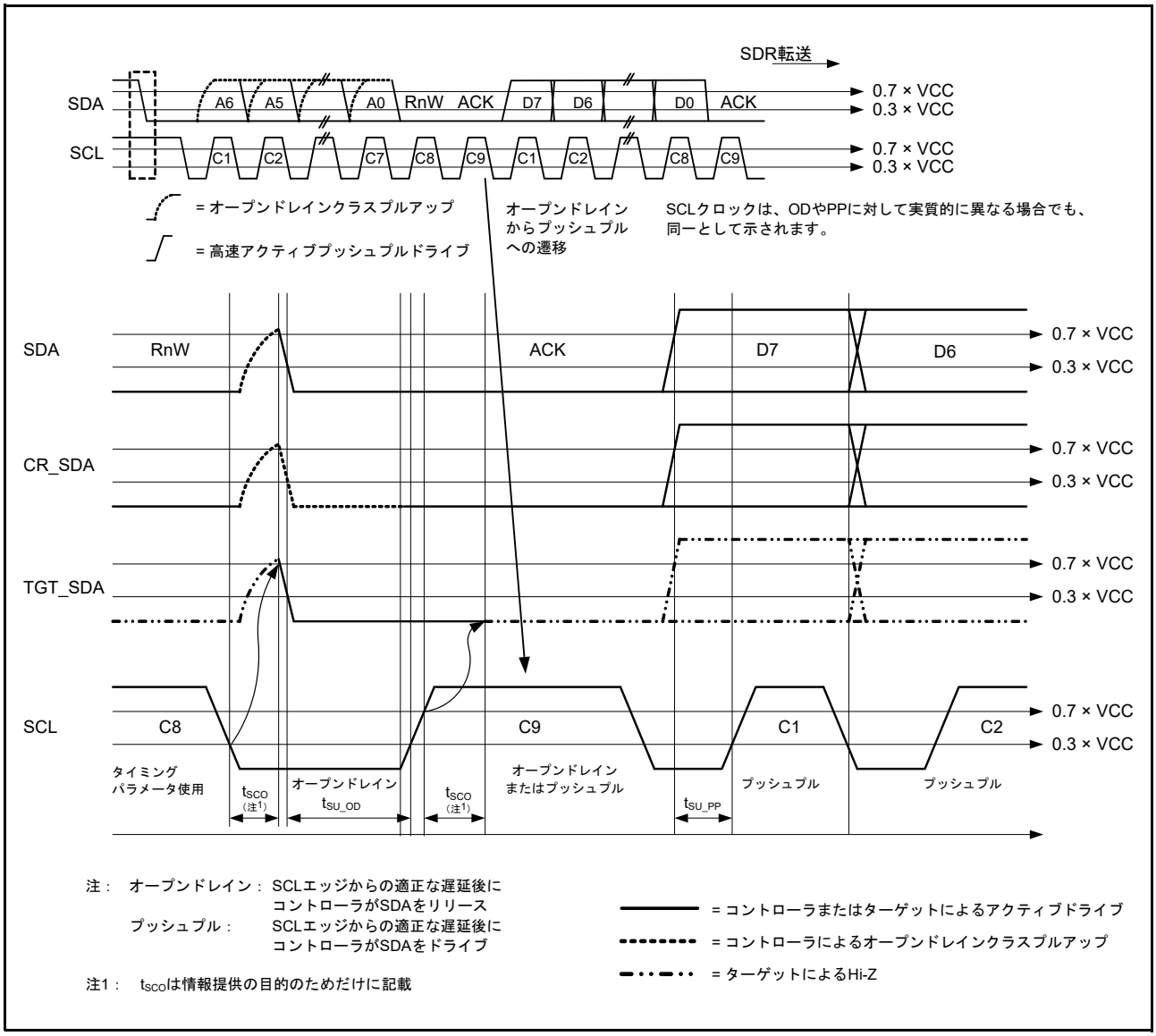


図 49.69 RI3C データ転送 — ターゲットによる ACK

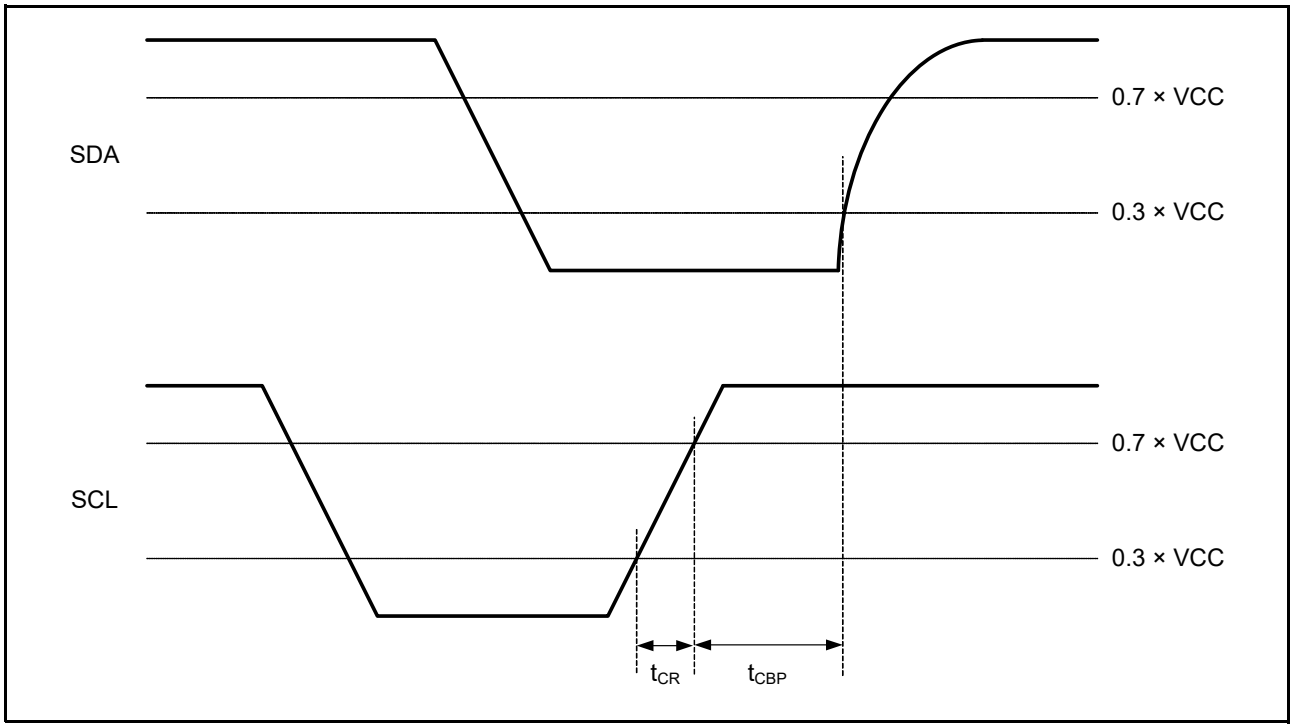


図 49.70　RI3C ストップコンディションタイミング

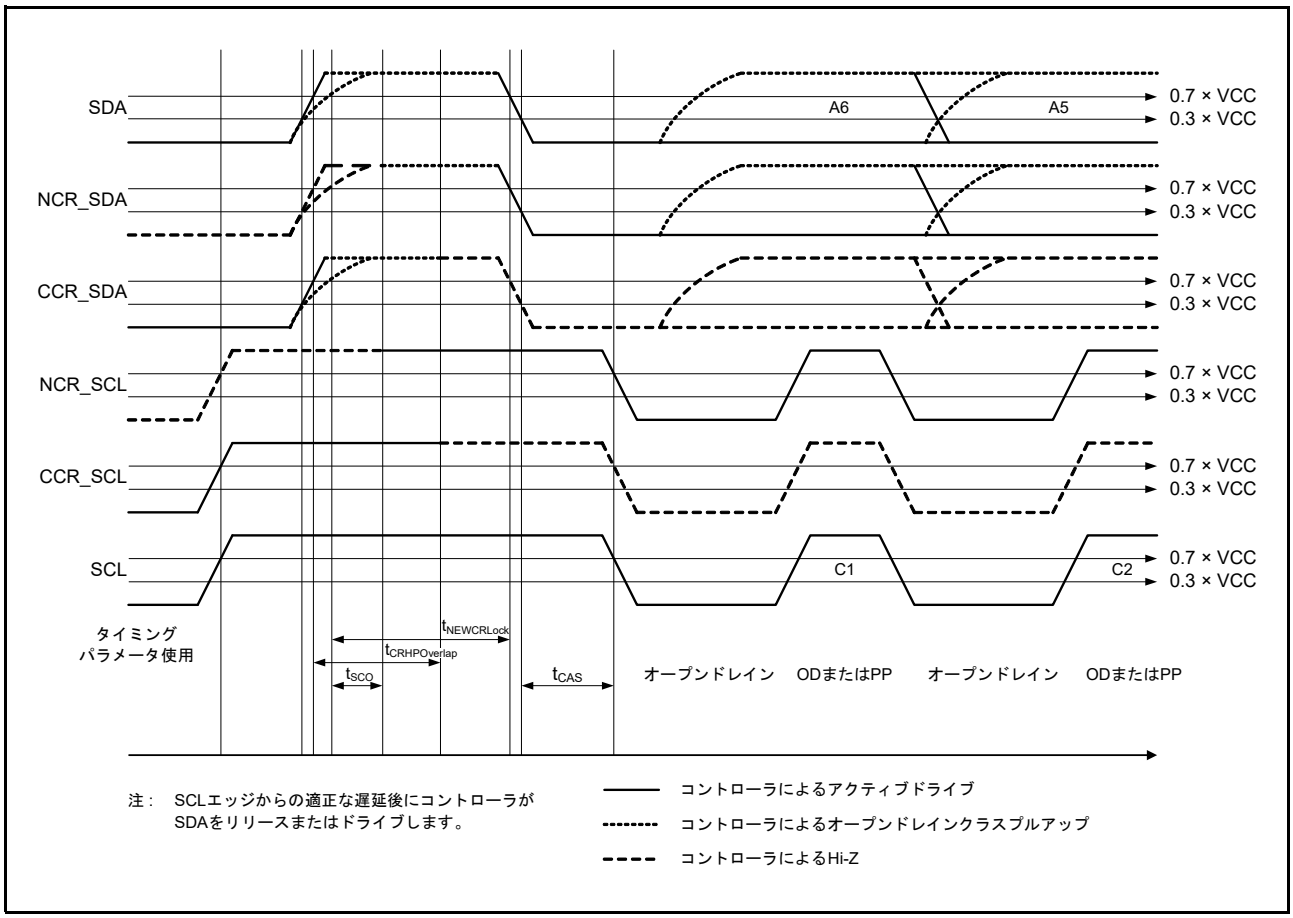


図 49.71　RI3C 出力タイミング

表49.41　RI3Cタイミング(SDRプッシュプルタイミングパラメータ)
条件：VCC = AVCC0 = AVCC1 = AVCC2 = 3.0～3.6V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz

項目		記号	min	typ	max	単位	測定条件
SCLクロック周波数		f_{SCL}	0.01 (注1)	—	10	MHz	
SCLクロックLow期間		t_{LOW}	35	—	—	ns	図49.72
		t_{DIG_L}	50 (注2、注3)	—	—	ns	
SCLクロックHigh期間		t_{HIGH}	35	—	—	ns	
		t_{DIG_H}	50 (注2)	—	—	ns	
ターゲット用データ出力クロック		t_{SCO}	—	—	42	ns	図49.73
SCLクロック立ち上がり時間		t_{CR}	—	—	150 * 1 /f_{SCL} (上限 60)	ns	図49.72
SCLクロック立ち下がり時間		t_{CF}	—	—	150 * 1 /f_{SCL} (上限 60)	ns	
プッシュプルモードのSDA信号データセットホールド	コントローラ	t_{HD_PP}	t_{CR} + 3 (注3), t_{CF} + 3 (注3)	—	—	—	図49.74
	ターゲット	t_{HD_PP}	0	—	—	—	図49.75
プッシュプルモードのSDA信号データセットアップ		t_{SU_PP}	3	—	—	ns	図49.73、図49.74
繰り返しのスタート(Sr)後クロック		t_{CASr}	t_{CASmin}/2	—	N/A	ns	図49.76
繰り返しのスタート(Sr)前クロック		t_{CBSr}	t_{CASmin}/2	—	N/A	ns	図49.76
バスライン(SDA/SCL)ごとの容量性負荷		C_b (注4)	—	—	50	pF	

注1.　$f_{SCL} = 1 /(t_{DIG_L} + t_{DIG_H})$
注2.　t_{DIG_L}およびt_{DIG_H}は、V_{IL}、V_{IH}を使用したI3Cバスの受信端のLowおよびHigh期間クロックです。
注3.　両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。例えば、立ち下がりエッジクロックに対してt_{CF} + 3、立ち上がりエッジクロックに対してt_{CR} + 3です。
注4.　C_bはバスラインの容量総計です。

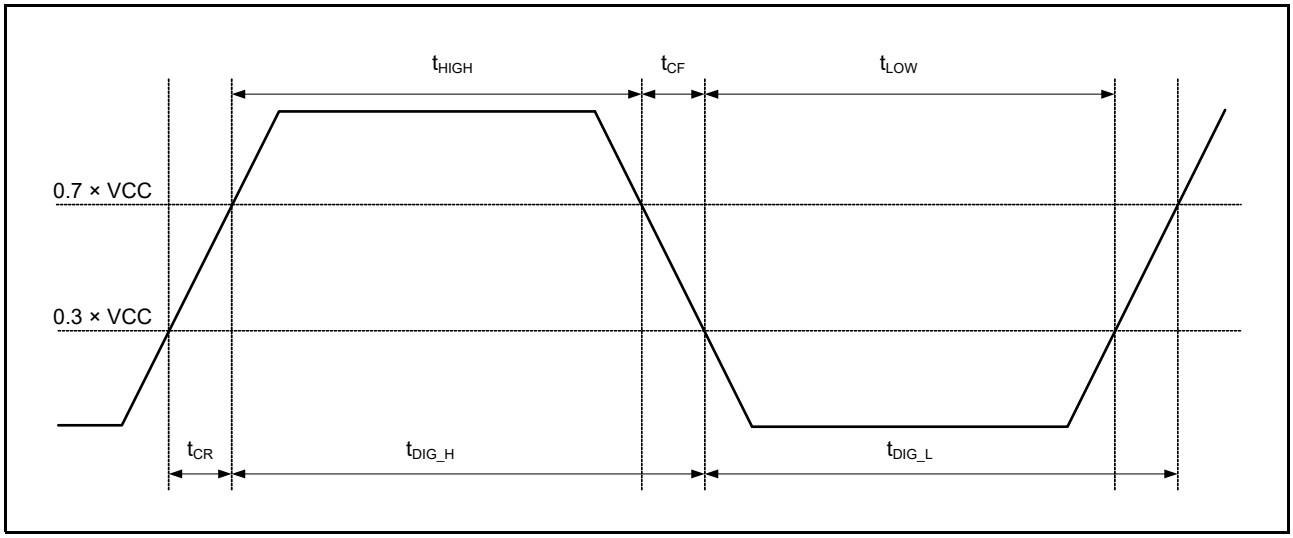


図 49.72　t_{DIG_L}、t_{DIG_H}

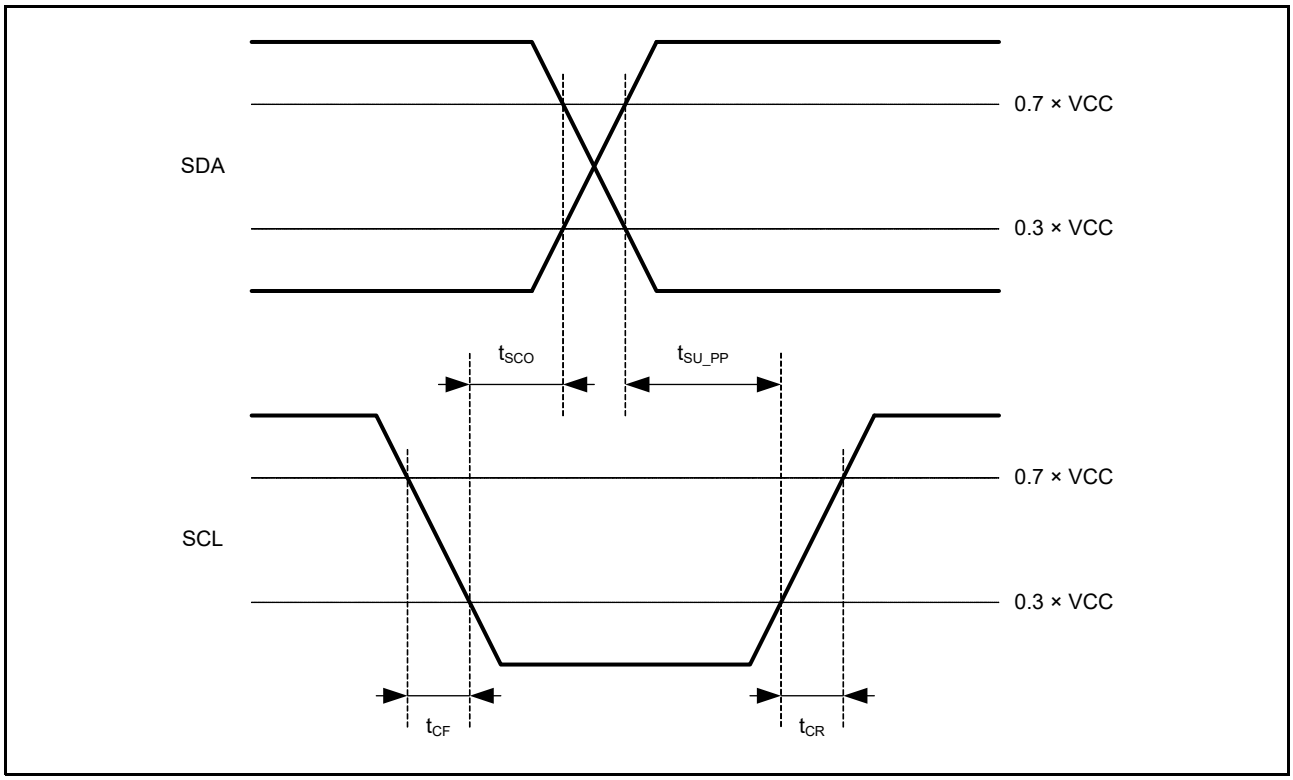


図 49.73　RI3C ターゲット出力タイミング

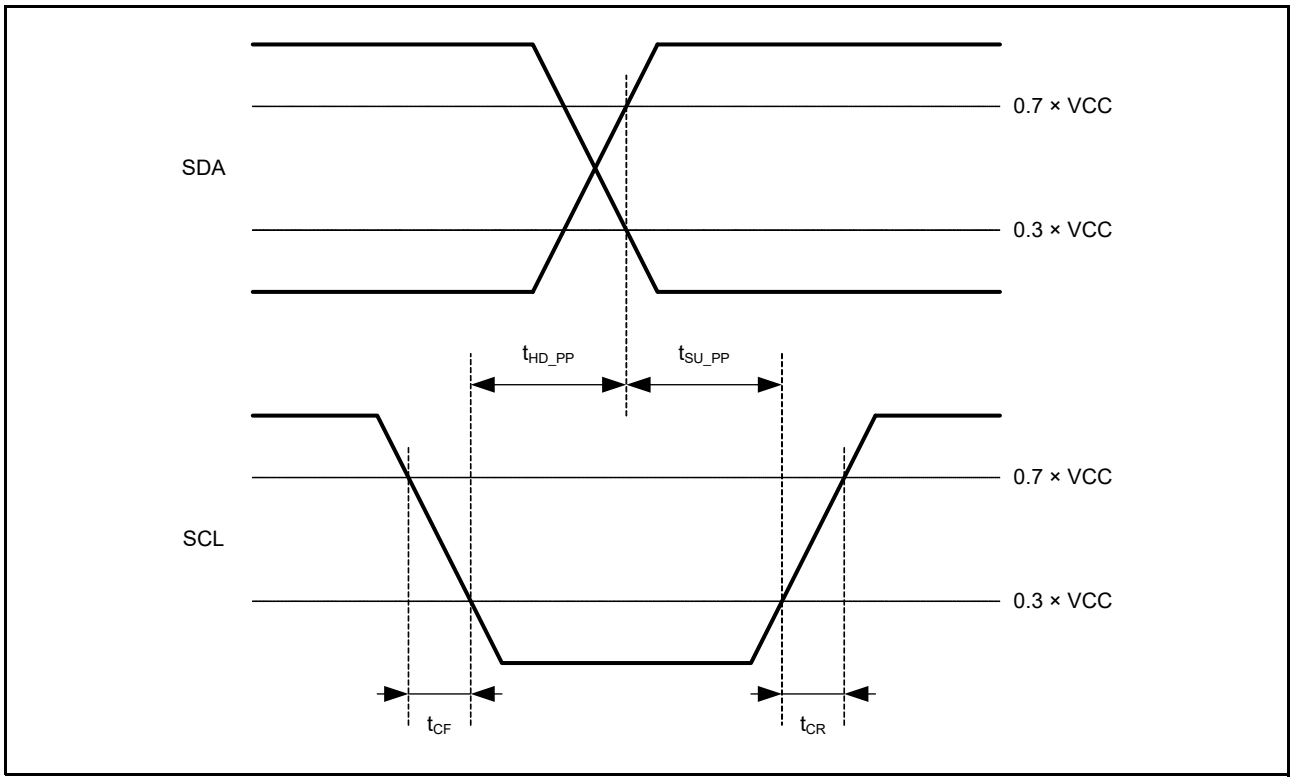


図 49.74　RI3C コントローラ出力タイミング

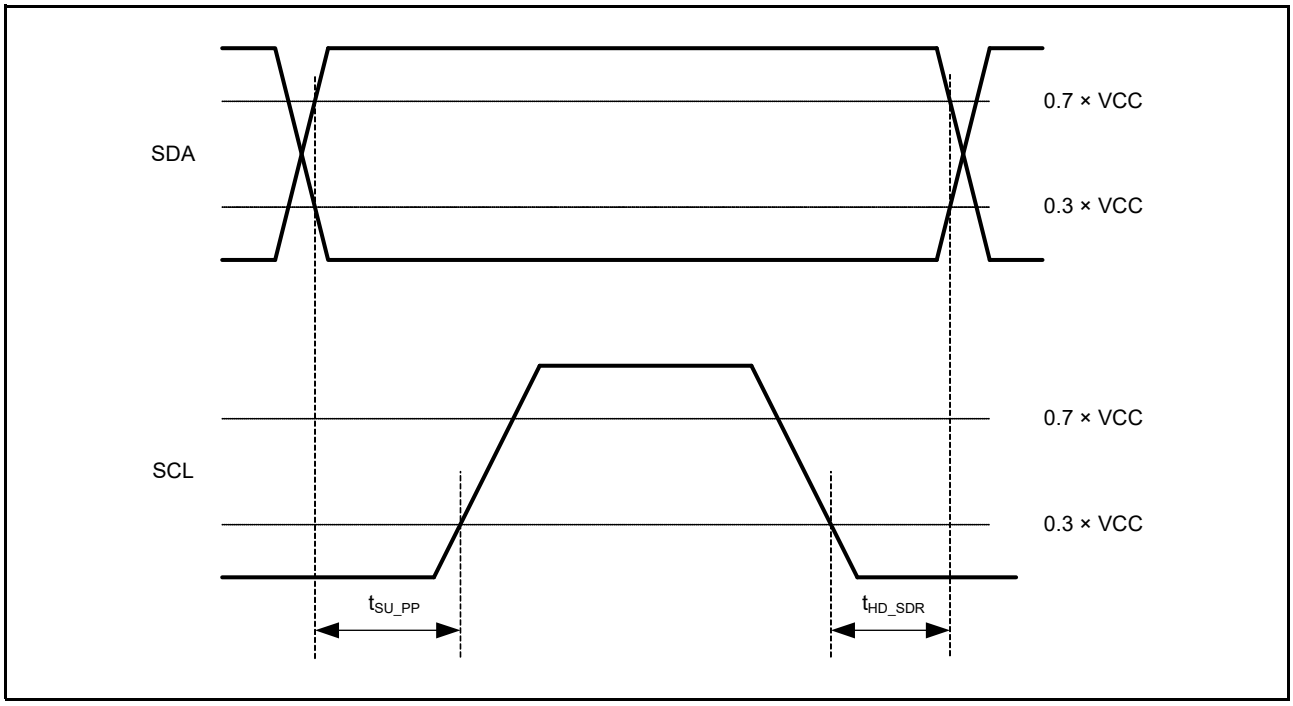


図 49.75　コントローラ SDR タイミング

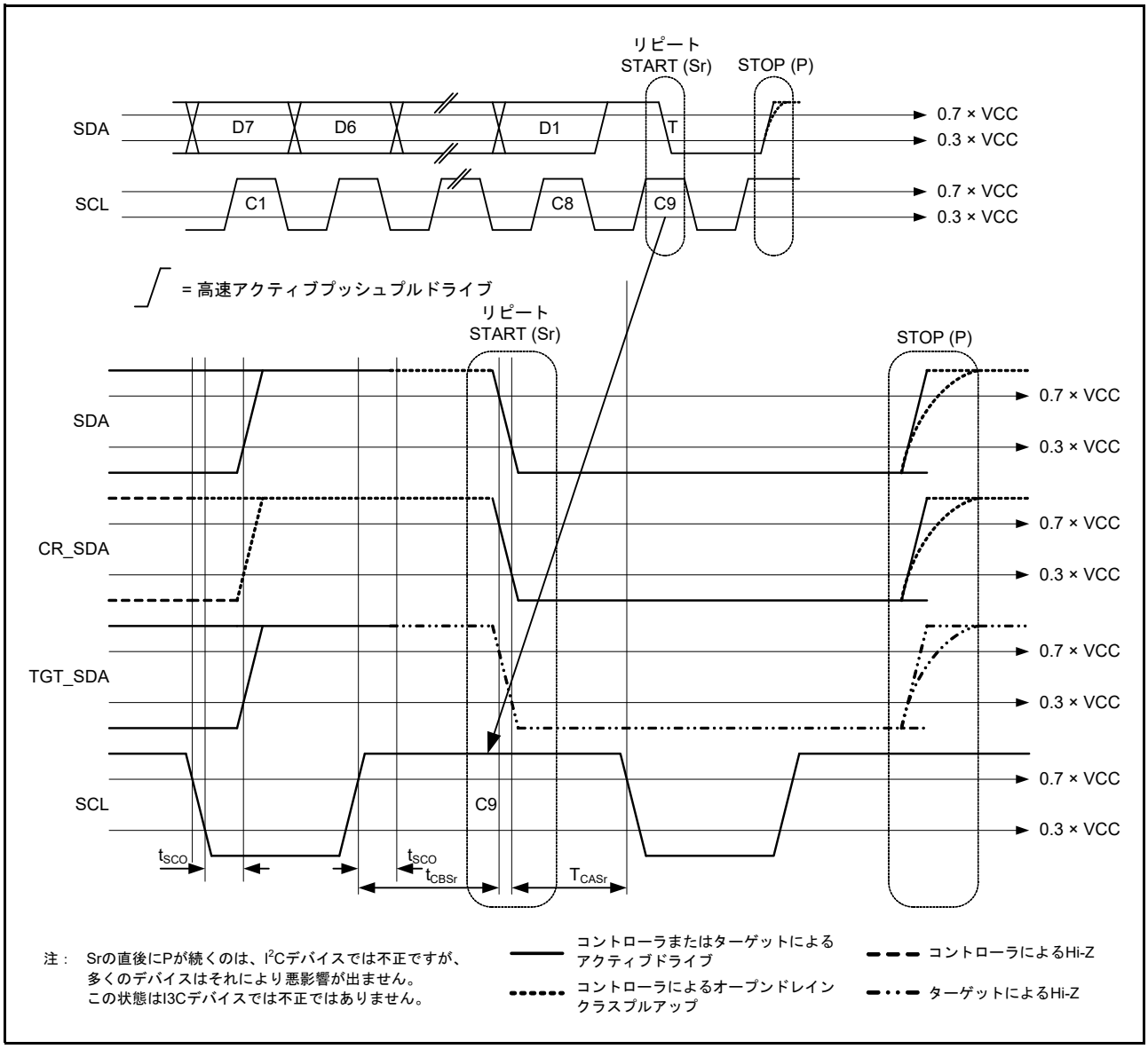


図 49.76　繰り返しのスタートコンディションおよびストップコンディションでのコントローラ終了時の T ビット読み出し

49.4.5.15 HRPWM

表49.42 HRPWMタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8～120MHz, PCLKB = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目	min	typ	max	単位	測定条件
入力周波数(f_{IN})	80	—	120	MHz	
分解能	—	260	—	ps	f_{IN} = 120MHz時
DNL (注1)	—	±2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

49.4.5.16 CANFD

表49.43 CANFDタイミング
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目	記号	min	max	単位	測定条件
内部遅延時間	t_{NODE}	—	50	ns	図 49.77

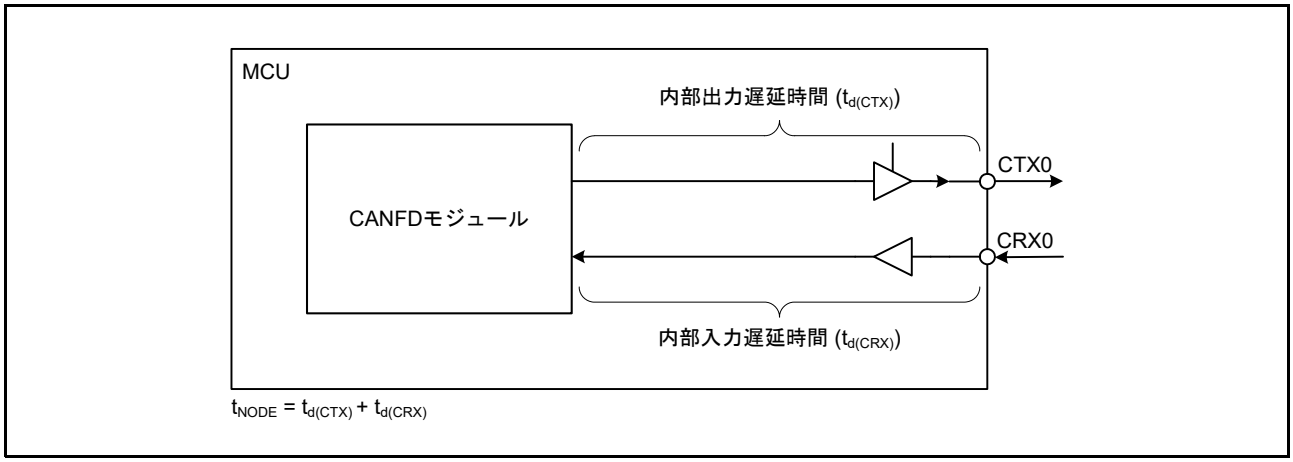


図 49.77 内部遅延時間の定義

49.5 A/D 変換特性

表49.44　12ビットA/D (ユニット0, 1, 2)変換特性(1)
条件：VCC = 2.7～5.5V, 4.5≦AVCC0 = AVCC1 = AVCC2≦5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$, PCLKB = PCLKD = 8～60MHz (注1),
信号源インピーダンス = 1.0 kΩ

項目				min	typ	max	単位	測定条件
分解能				12	12	12	ビット	
アナログ入力容量				—	—	30	pF	
変換時間 (注2) (PCLKD = 60MHz時)	AN000～AN002, AN100～AN102	チャネル専用サンプル&ホールド回路使用時	常時サンプリング有効	1.00	—	—	μs	• サンプリング時間 24 PCLKD
			常時サンプリング無効	1.40	—	—		• チャネル専用サンプル&ホールド回路のサンプリング時間 24 PCLKD • サンプリング時間 24 PCLKD
		チャネル専用サンプル&ホールド回路不使用時		0.90	—	—		• サンプリング時間 30 PCLKD
	AN003, AN103			0.90	—	—		• サンプリング時間 30 PCLKD
	AN200～AN211			0.95	—	—		• サンプリング時間 33 PCLKD
	AN216～AN217			1.05	—	—		• サンプリング時間 39 PCLKD
オフセット誤差		チャネル専用サンプル&ホールド回路使用時		—	±1.5	±6.0	LSB	AN000～AN002, AN100～AN102 = 0.2V
		チャネル専用サンプル&ホールド回路不使用時		—	±1.5	±5.0		
フルスケール誤差		チャネル専用サンプル&ホールド回路使用時		—	±1.5	±5.5	LSB	AN000～AN002 = AVCC0 – 0.2V AN100～AN102 = AVCC1 – 0.2V
		チャネル専用サンプル&ホールド回路不使用時		—	±1.5	±4.5		
量子化誤差		チャネル専用サンプル&ホールド回路使用時		—	±0.5	—	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±0.5	—		
絶対精度	AN000～AN002, AN100～AN102	チャネル専用サンプル&ホールド回路使用時		—	±3.0	±6.0	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±2.5	±5.5		
	AN003, AN103			—	±2.5	±5.5		
	AN200～AN211			—	±2.5	±5.5		
	AN216～AN217			—	±2.5	±6.5		
DNL 微分非直線性誤差		チャネル専用サンプル&ホールド回路使用時		—	±1.0	±2.5	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±1.0	±1.5		
INL 積分非直線性誤差		チャネル専用サンプル&ホールド回路使用時		—	±1.5	±4.0	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±1.5	±2.5		
チャネル専用サンプル&ホールド回路のホールド特性				—	—	20	μs	
ダイナミックレンジ	AN000～AN002	チャネル専用サンプル&ホールド回路使用時		0.2	—	AVCC0 – 0.2	V	
	AN100～AN102	チャネル専用サンプル&ホールド回路使用時		0.2	—	AVCC1 – 0.2		

注1.　PCLKD > 40 MHzの場合、AVCC0-AVSS0間、AVCC1-AVSS1間、AVCC2-AVSS2間に挿入している0.1 μFのコンデンサに、1000 pFのコンデンサを並列に接続して測定しています。
注2.　変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表49.45　12ビットA/D (ユニット0, 1, 2)変換特性(2)
条件：VCC = 2.7～4.5V, 3.0≦AVCC0 = AVCC1 = AVCC2 < 4.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$, PCLKB = PCLKD = 8～40MHz,
信号源インピーダンス = 1.0 kΩ

項目				min	typ	max	単位	測定条件
分解能				12	12	12	ビット	
アナログ入力容量				—	—	30	pF	
変換時間 (注1) (PCLKD = 40MHz時)	AN000～AN002, AN100～AN102	チャネル専用サンプル&ホールド回路使用時	常時サンプリング有効	1.35	—	—	μs	• サンプリング時間 18 PCLKD
			常時サンプリング無効	1.80	—	—		• チャネル専用サンプル&ホールド回路のサンプリング時間 18 PCLKD • サンプリング時間 18 PCLKD
		チャネル専用サンプル&ホールド回路不使用時		1.13	—	—		• サンプリング時間 21 PCLKD
	AN003, AN103			1.13	—	—		• サンプリング時間 21 PCLKD
	AN200～AN211			1.20	—	—		• サンプリング時間 24 PCLKD
	AN216～AN217			1.28	—	—		• サンプリング時間 27 PCLKD
オフセット誤差		チャネル専用サンプル&ホールド回路使用時		—	±1.5	±7.5	LSB	AN000～AN002, AN100～AN102 = 0.2V
		チャネル専用サンプル&ホールド回路不使用時		—	±1.5	±6.5		
フルスケール誤差		チャネル専用サンプル&ホールド回路使用時		—	±1.5	±7.5	LSB	AN000～AN002 = AVCC0 – 0.2V AN100～AN102 = AVCC1 – 0.2V
		チャネル専用サンプル&ホールド回路不使用時		—	±1.5	±6.5		
量子化誤差		チャネル専用サンプル&ホールド回路使用時		—	±0.5	—	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±0.5	—		
絶対精度	AN000～AN002, AN100～AN102	チャネル専用サンプル&ホールド回路使用時		—	±4.0	±8.0	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±2.5	±7.0		
	AN003, AN103			—	±2.5	±7.0		
	AN200～AN211			—	±2.5	±7.0		
	AN216～AN217			—	±2.5	±8.0		
DNL 微分非直線性誤差		チャネル専用サンプル&ホールド回路使用時		—	±1.0	±4.5	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±1.0	±3.5		
INL 積分非直線性誤差		チャネル専用サンプル&ホールド回路使用時		—	±2.0	±5.0	LSB	
		チャネル専用サンプル&ホールド回路不使用時		—	±1.5	±3.5		
チャネル専用サンプル&ホールド回路のホールド特性				—	—	20	μs	
ダイナミックレンジ	AN000～AN002	チャネル専用サンプル&ホールド回路使用時		0.2	—	AVCC0 – 0.2	V	
	AN100～AN102	チャネル専用サンプル&ホールド回路使用時		0.2	—	AVCC1 – 0.2		

注1.　変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表49.46 A/D内部基準電圧特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$, PCLKB = PCLKD = 8～60MHz

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

49.6 プログラマブルゲインアンプ特性

表49.47 PGA特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	3	8	mV	
シングルエンド入力電圧範囲	V_{ISR}	V_{OR} (min)/G	—	V_{OR} (max)/G	V	
出力電圧範囲	V_{OR}	0.10 × AVCCn	—	0.90 × AVCCn		G = 2.000～3.636
		0.15 × AVCCn	—	0.85 × AVCCn		G = 4.000～6.667
		0.20 × AVCCn	—	0.80 × AVCCn		G = 8.000～20.000
ゲイン	G	2.000	—	20.000	倍	
ゲインエラー	E_G	—	±0.5	±1.5	%	G = 2.000
		—	±0.5	±1.5		G = 2.500
		—	±0.5	±1.5		G = 3.077
		—	±0.5	±1.5		G = 3.636
		—	±0.6	±1.5		G = 4.000
		—	±0.6	±1.5		G = 4.444
		—	±0.7	±1.5		G = 5.000
		—	±0.7	±1.5		G = 6.667
		—	±0.7	±1.5		G = 8.000
		—	±0.7	±2.5		G = 10.000
		—	±1.1	±2.5		G = 13.333
		—	±1.3	±4.0		G = 20.000
スルーレート	SR	10	—	—	V/µs	
動作安定時間	t_{start}	—	—	5	µs	

n = 0, 1

49.7 コンパレータ特性

表49.48 コンパレータ特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	8	15	mV	
リファレンス入力電圧範囲	V_{ref}	0	—	AVCC1	V	CMPSEL1.CVRS[3:0] = 0100b, 1000b
		0	—	AVCC2		CMPSEL1.CVRS[3:0] = 0001b, 0010b
応答時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	$t_{tot(f)}$	—	—	200		
入力切り替え時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定時間	t_{cmp}	—	—	1	μs	

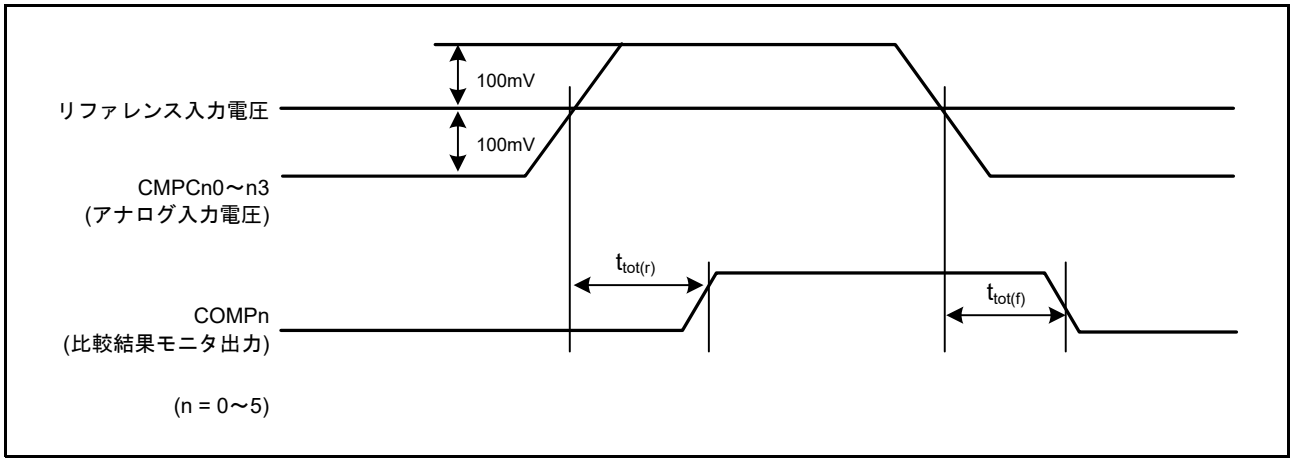


図 49.78 コンパレータ応答時間

49.8 D/A 変換特性

表49.49 D/A変換特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
絶対精度	—	—	±6.0	LSB	負荷抵抗2MΩ、10ビット換算
微分非直線性誤差(DNL)	—	±1.0	±2.0	LSB	負荷抵抗2MΩ
出力抵抗(R_O)	—	5.7	—	kΩ	
変換時間	—	—	3	μs	負荷容量20pF

49.9 温度センサ特性

表49.50 温度センサ特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKB = PCLKD = 8～60MHz

項目	min	typ	max	単位	測定条件
相対精度	—	±1.0	—	°C	
温度傾斜	—	–2.0	—	mV/°C	
出力電位	—	0.63	—	V	T_a = 25°C
温度センサ起動時間	—	—	200	μs	
サンプリング時間 (注1)	3	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD2.ADSSTRTレジスタを設定してください。

49.10 パワーオンリセット回路、電圧検出回路特性

表49.51　パワーオンリセット回路、電圧検出回路特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	V_{POR}	2.46	2.58	2.70	V	図 49.79
	電圧検出回路(LVD0)	V_{det0_1}	4.04	4.22	4.40		図 49.80
		V_{det0_2}	2.71	2.83	2.95		
	電圧検出回路(LVD1)	V_{det1_0}	4.39	4.57	4.75		図 49.81
		V_{det1_1}	4.29	4.47	4.65		
		V_{det1_2}	4.14	4.32	4.50		
		V_{det1_3}	2.81	2.93	3.05		
		V_{det1_4}	2.76	2.88	3.00		
	電圧検出回路(LVD2)	V_{det2_0}	4.39	4.57	4.75		図 49.82
		V_{det2_1}	4.29	4.47	4.65		
		V_{det2_2}	4.14	4.32	4.50		
		V_{det2_3}	2.81	2.93	3.05		
		V_{det2_4}	2.76	2.88	3.00		
内部リセット時間	パワーオンリセット時間	t_{POR}	—	15.5	—	ms	図 49.79
	LVD0リセット時間	t_{LVD0}	—	0.70	—		図 49.80
	LVD1リセット時間	t_{LVD1}	—	0.57	—		図 49.81
	LVD2リセット時間	t_{LVD2}	—	0.57	—		図 49.82
最小VCC低下時間		t_{VOFF}	200	—	—	μs	図 49.79、図 49.80
応答遅延時間		t_{det}	—	—	200	μs	図 49.79 ～ 図 49.82
LVD動作安定時間(LVD有効切り替え時)		$T_{d(E-A)}$	—	—	20	μs	図 49.81、図 49.82
ヒステリシス幅(LVD1, LVD2)		V_{LVH}	—	80	—	mV	

注.　最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}, V_{det1}, V_{det2}のmin値を下回っている時間です。

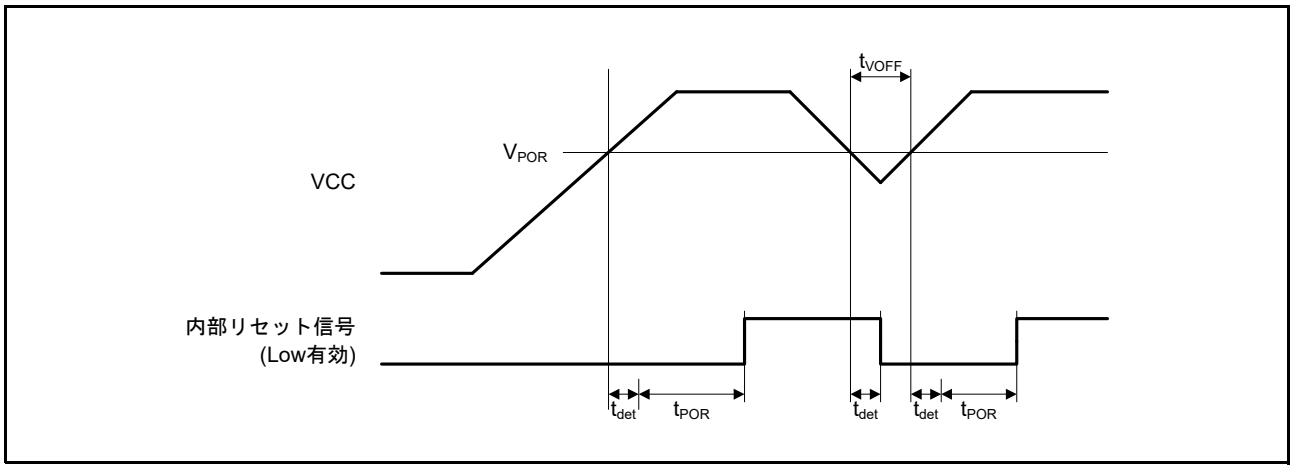


図 49.79　パワーオンリセットタイミング

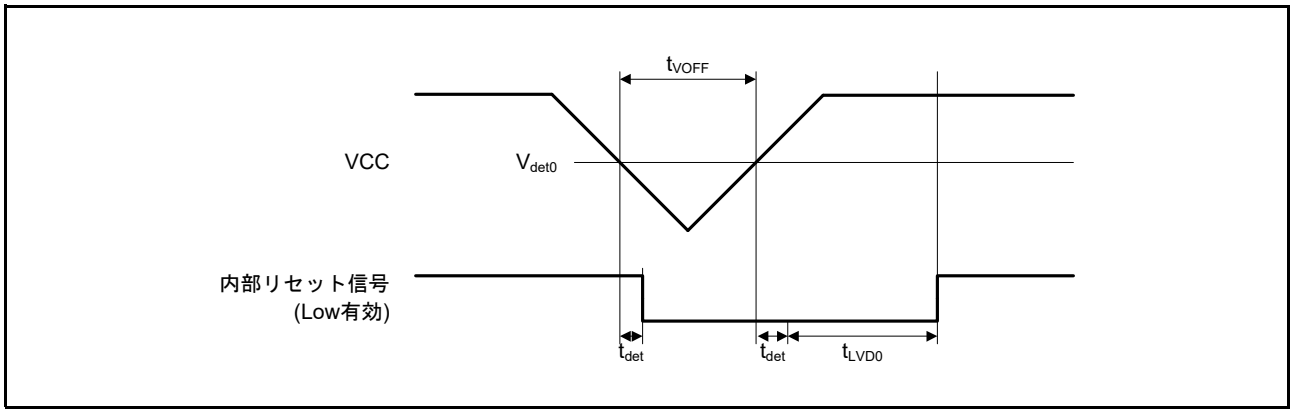


図 49.80　電圧検出回路タイミング (V_{det0})

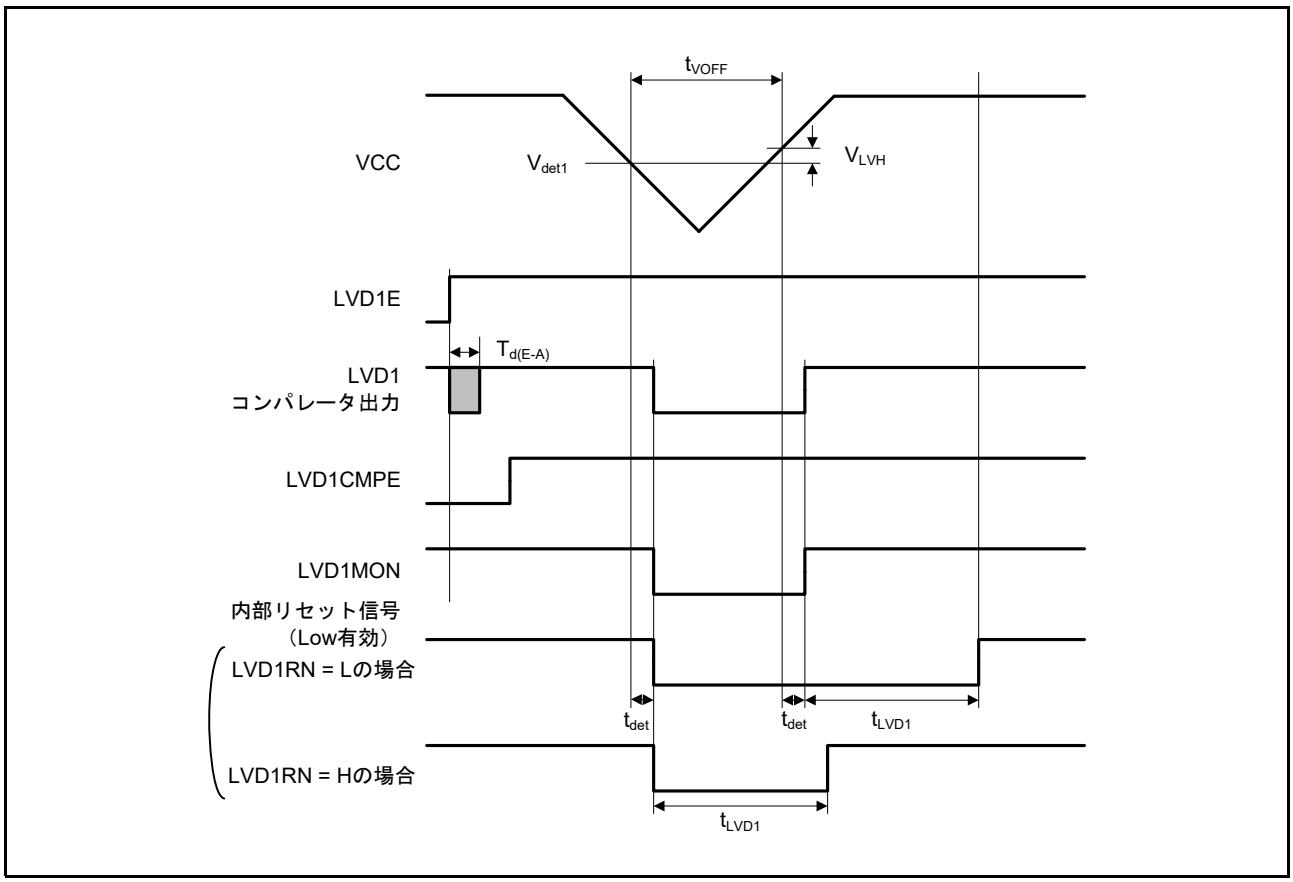


図 49.81　電圧検出回路タイミング (V_{det1})

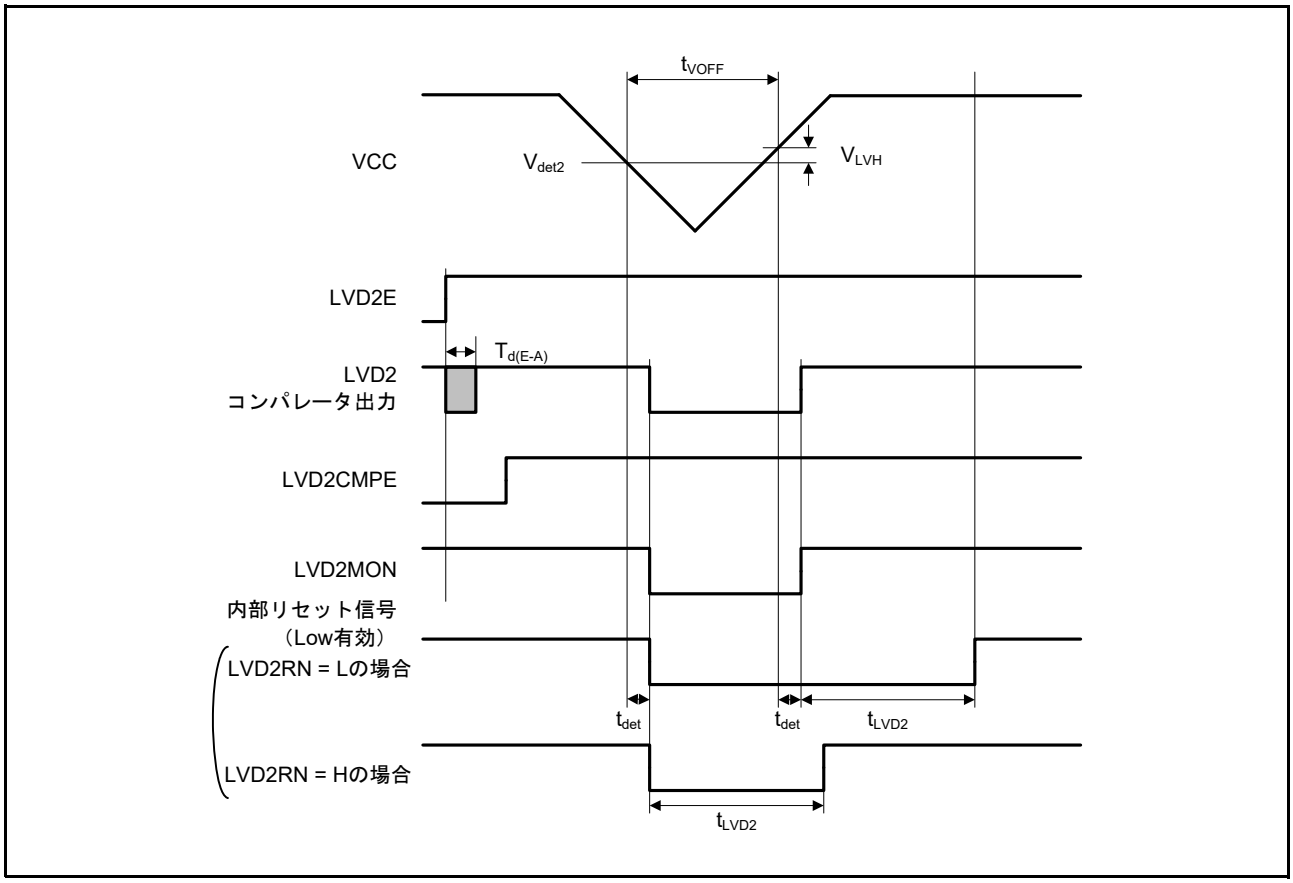


図 49.82　電圧検出回路タイミング (V_{det2})

49.11 発振停止検出タイミング

表49.52 発振停止検出回路特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図49.83

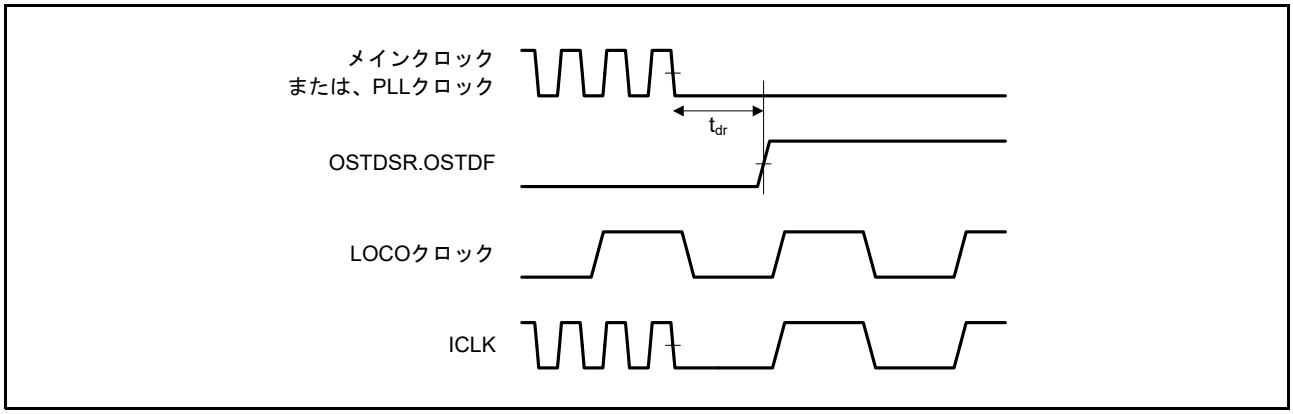


図 49.83 発振停止検出タイミング

49.12 フラッシュメモリ特性

表49.53 コードフラッシュメモリ特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz≦FCLK≦60MHz			単位	条件
			min	typ	max	min	typ	max		
プログラム時間 (N_{PEC} < 100)	128バイト	t_{P128}	—	0.66	11	—	0.3	5	ms	
	8Kバイト	t_{P8K}	—	37	176	—	17	80		
	16Kバイト	t_{P16K}	—	75	352	—	34	160		
プログラム時間 (N_{PEC}≧100)	128バイト	t_{P128}	—	0.71	13	—	0.32	6	ms	
	8Kバイト	t_{P8K}	—	46	212	—	21	96		
	16Kバイト	t_{P16K}	—	92	425	—	42	193		
イレーズ時間 (N_{PEC} < 100)	4Kバイト	t_{E4K}	—	43	108	—	24	60	ms	
	16Kバイト	t_{E16K}	—	142	432	—	79	420		
イレーズ時間 (N_{PEC}≧100)	4Kバイト	t_{E4K}	—	50	130	—	28	72	ms	
	16Kバイト	t_{E16K}	—	169	520	—	94	288		
プログラム/イレーズ回数 (注1)		N_{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t_{SPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD1}	—	—	216	—	—	120	μs	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t_{SEED}	—	—	1.7	—	—	1.7	ms	
強制終了コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間 (注3、注4)		t_{DRP}	20	—	—	20	—	—	年	T_a≦85°C
			10	—	—	10	—	—		T_a≦105°C

注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
たとえば、8Kバイトのブロックについて、それぞれ異なる番地に128バイトプログラムを64回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
注4. 信頼性試験から得られた結果です。

表49.54　　データフラッシュメモリ特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz≦FCLK≦60MHz			単位	条件
			min	typ	max	min	typ	max		
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10		
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μs	
	64バイト	t_{DBC64}	—	—	280	—	—	100		
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2200		
プログラム/イレーズ回数 (注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	216	—	—	120	μs	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	300	—	—	300	μs	
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t_{DSEED}	—	—	300	—	—	300	μs	
強制終了コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間 (注3、注4)		t_{DDRP}	20	—	—	20	—	—	年	T_a≦85°C
			10	—	—	10	—	—		T_a≦105°C

注1.　プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
注2.　プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
注3.　フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
注4.　信頼性試験から得られた結果です。

表49.55　　オプション設定メモリ特性
条件：VCC = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目	記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)	N_{PEC}	1000 (注2)	—	—	回	
データ保持時間 (注3、注4)	t_{DRP}	20	—	—	年	$T_a \leqq 85°C$
		10	—	—		$T_a \leqq 105°C$

注1.　プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、同一アドレスに対するプログラムの回数です。
注2.　プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
注3.　フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
注4.　信頼性試験から得られた結果です。

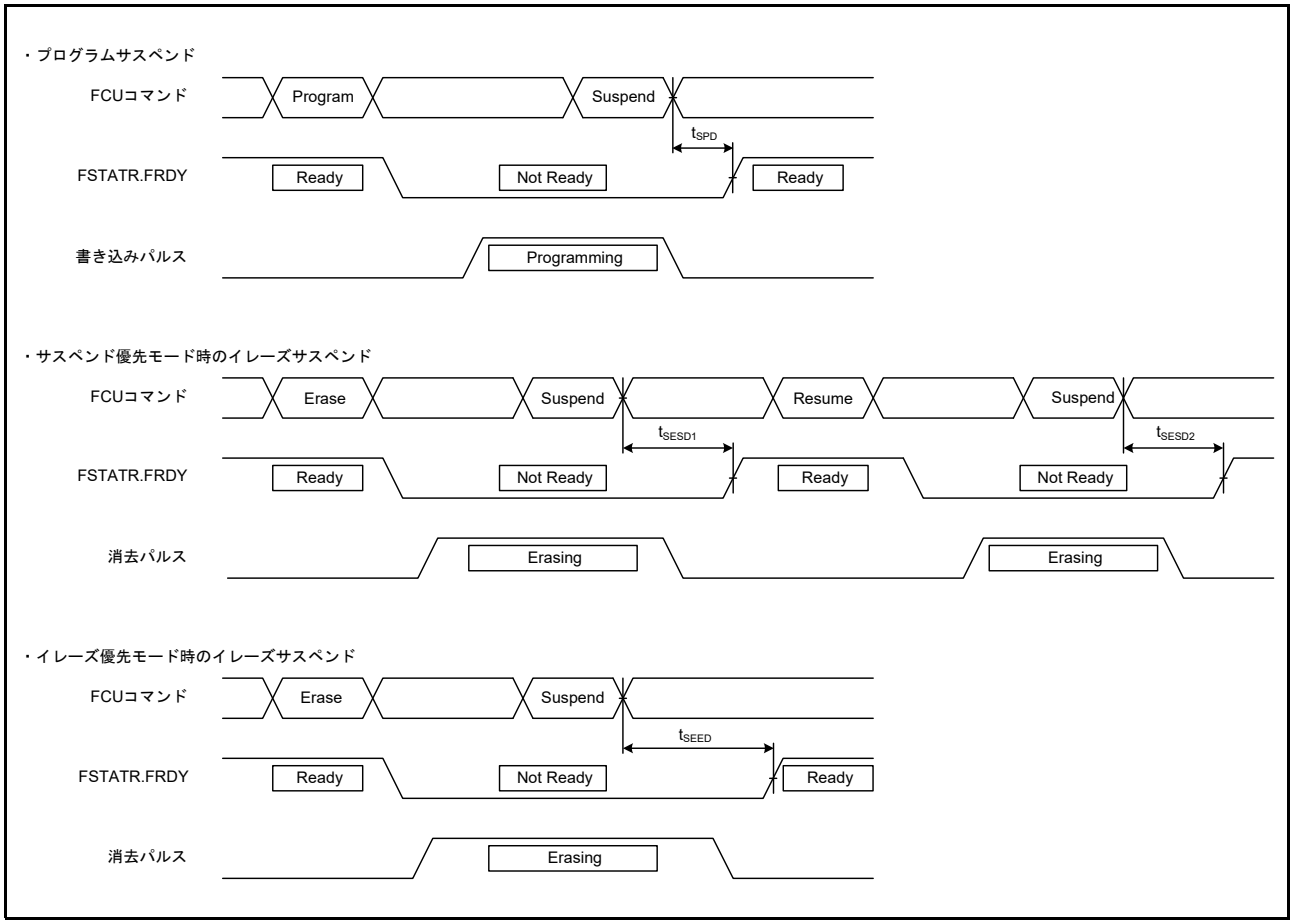


図 49.84　フラッシュメモリプログラム / イレーズサスペンドタイミング

付録 1.　各動作モードにおけるポートの状態

表1.1　各動作モードにおけるポートの状態 (1 / 2)

ポート名 端子名	レジスタ設定による動作モード		リセット	ソフトウェアスタンバイモード
P00/IRQ2, P01/IRQ4	シングルチップモード		Hi-Z	Keep-O (注 1)
P10/IRQ0, P11/IRQ1	シングルチップモード		Hi-Z	Keep-O (注 1)
P20/IRQ7, P21/IRQ6, P22/IRQ10, P23/IRQ11, P24/IRQ4, P27/IRQ15	シングルチップモード		Hi-Z	Keep-O (注 1)
P30/IRQ7, P31/IRQ6, P32/IRQ12, P33/IRQ13	シングルチップモード		Hi-Z	Keep-O (注 1)
P36, P37	シングルチップモード		Hi-Z	Keep-O
P40, P41, P42, P43, P44, P45, P46, P47	シングルチップモード		Hi-Z	Keep-O
P50, P51	シングルチップモード		Hi-Z	Keep-O
P52/IRQ0, P53/IRQ1, P54/IRQ2, P55/IRQ3	シングルチップモード		Hi-Z	Keep-O (注 1)
P60/IRQ4, P61/IRQ5, P62/IRQ6, P63/IRQ7	シングルチップモード		Hi-Z	Keep-O (注 1)
P64/IRQ8	シングルチップモード	DA0 出力時 (DAOE0=1)	Hi-Z	DA 出力保持
		上記以外 (DAOE0=0)		Keep-O (注 1)
P65/IRQ9	シングルチップモード	DA1 出力時 (DAOE1=1)	Hi-Z	DA 出力保持
		上記以外 (DAOE1=0)		Keep-O (注 1)
P70/IRQ5	シングルチップモード		Hi-Z	Keep-O (注 1)
P71, P72, P73, P74, P75, P76	シングルチップモード		Hi-Z	Keep-O
P80/IRQ5	シングルチップモード		Hi-Z	Keep-O (注 1)
P81	シングルチップモード		Hi-Z	Keep-O
P82/IRQ3	シングルチップモード		Hi-Z	Keep-O (注 1)

表1.1　各動作モードにおけるポートの状態 (2 / 2)

ポート名 端子名	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード
P90, P91, P92	シングルチップモード	Hi-Z	Keep-O
P93/IRQ14	シングルチップモード	Hi-Z	Keep-O (注1)
P94	シングルチップモード	Hi-Z	Keep-O
P95/IRQ1, P96/IRQ4	シングルチップモード	Hi-Z	Keep-O (注1)
PA0	シングルチップモード	Hi-Z	Keep-O
PA1/IRQ14	シングルチップモード	Hi-Z	Keep-O (注1)
PA2, PA3, PA4	シングルチップモード	Hi-Z	Keep-O
PA5/IRQ1	シングルチップモード	Hi-Z	Keep-O (注1)
PB0/IRQ8, PB1/IRQ4	シングルチップモード	Hi-Z	Keep-O (注1)
PB2	シングルチップモード	Hi-Z	Keep-O
PB3/IRQ9, PB4/IRQ3	シングルチップモード	Hi-Z	Keep-O (注1)
PB5	シングルチップモード	Hi-Z	Keep-O
PB6/IRQ2	シングルチップモード	Hi-Z	Keep-O (注1)
PB7	シングルチップモード	Hi-Z	Keep-O
PD0, PD1, PD2, PD3	シングルチップモード	Hi-Z	Keep-O
PD4/IRQ2, PD5/IRQ6, PD6/IRQ5, PD7/IRQ8	シングルチップモード	Hi-Z	Keep-O (注1)
PE0/IRQ7, PE1/IRQ15	シングルチップモード	Hi-Z	Keep-O (注1)
PE2/NMI/ IRQ0	シングルチップモード	Hi-Z	Keep-O (注1)
PE3/IRQ2, PE4/IRQ1, PE5/IRQ0	シングルチップモード	Hi-Z	Keep-O (注1)
PN6	シングルチップモード	プルアップ (注2)	Keep-O
PN7/IRQ5	シングルチップモード	プルダウン (注3)	Keep-O (注1)

Keep-O：出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス。なお、入力プルアップ制御レジスタで入力プルアップ抵抗を有効にした場合、入力プルアップ抵抗がオン状態で保持されます。

Hi-Z：ハイインピーダンス

注1.　外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。

注2.　リセット解除後MD端子になり、プルアップ抵抗が有効になります。

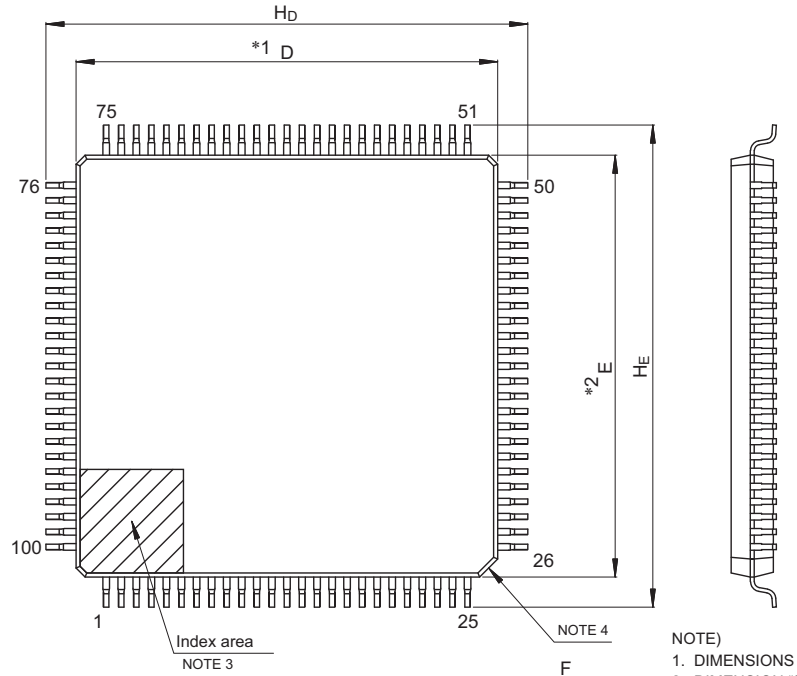
注3.　リセット解除後EMLE端子になり、プルダウン抵抗が有効になります。

付録 2.　外形寸法図

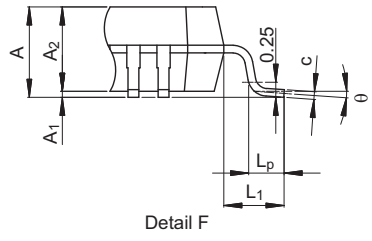
外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

Unit: mm



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

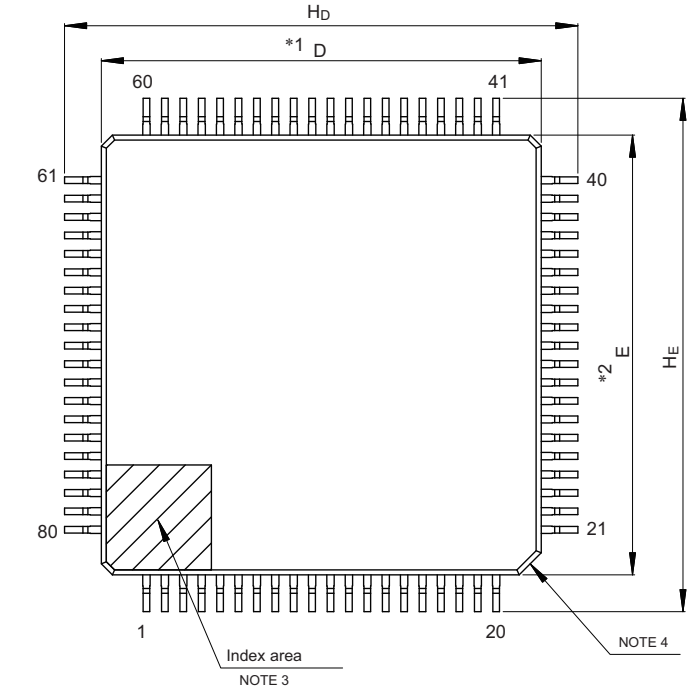


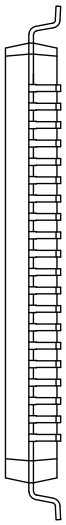
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 A.　100 ピン LFQFP (PLQP0100KB-B)

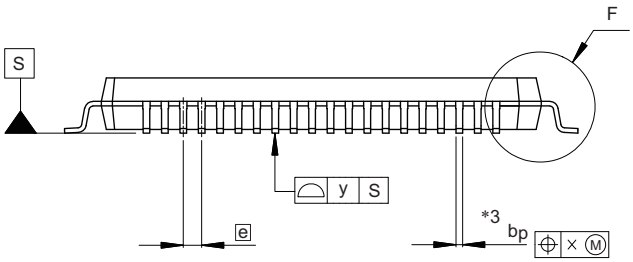
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5

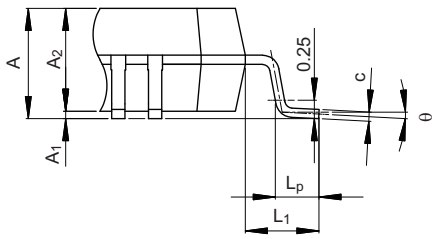
Unit: mm





NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.





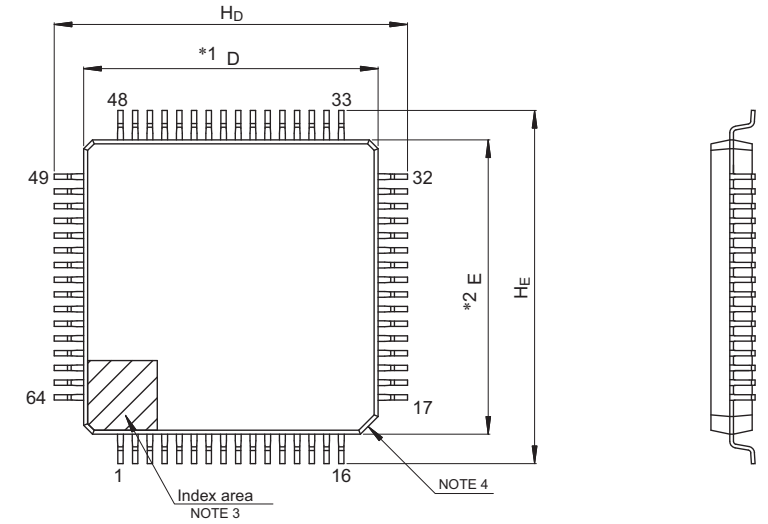
Detail F

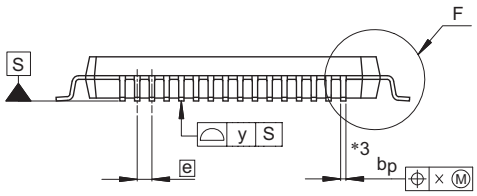
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A_2	—	1.4	—
H_D	13.8	14.0	14.2
H_E	13.8	14.0	14.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

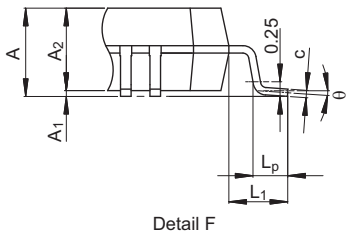
図 B. 80 ピン LFQFP (PLQP0080KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm







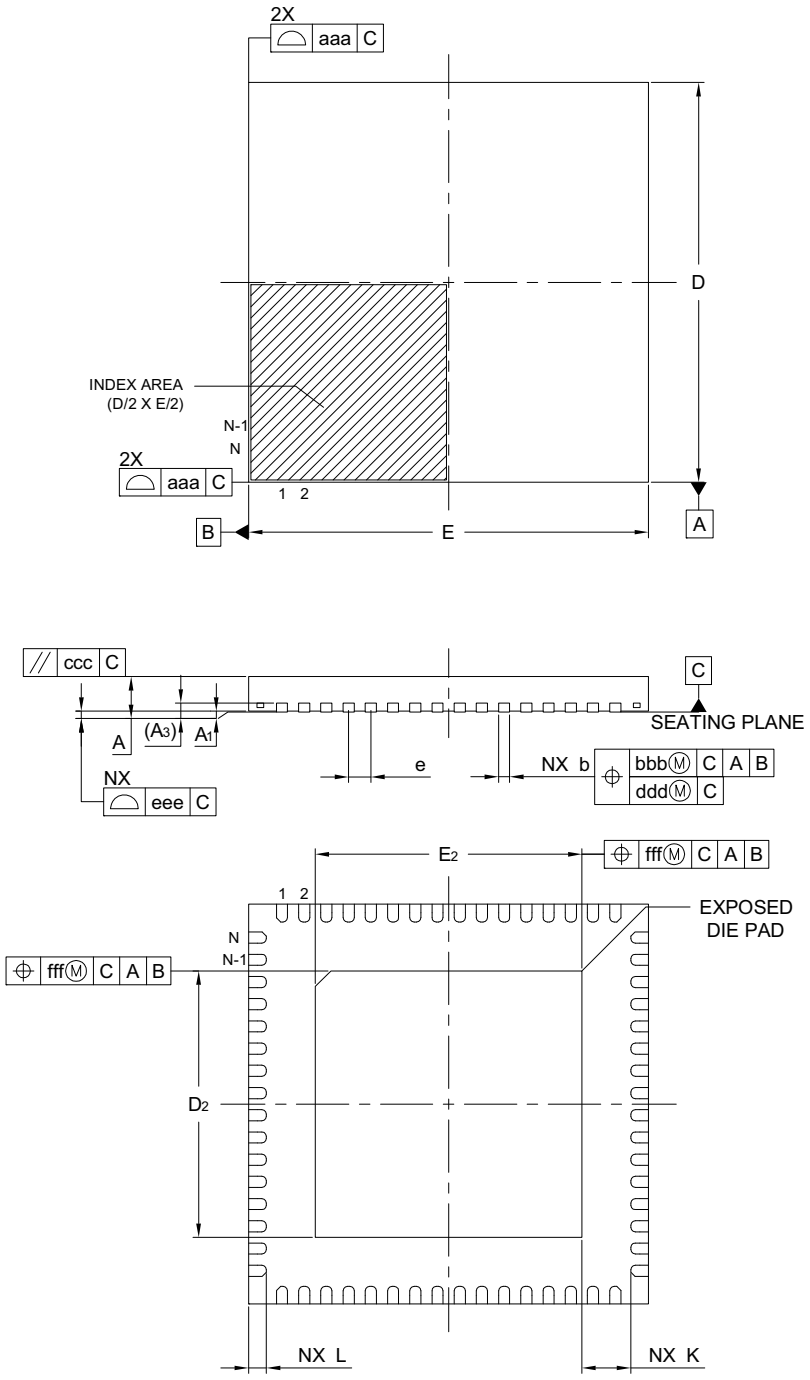
Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 C. 64 ピン LFQFP (PLQP0064KB-C)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN064-9x9-0.50	PWQN0064KF-A	0.17

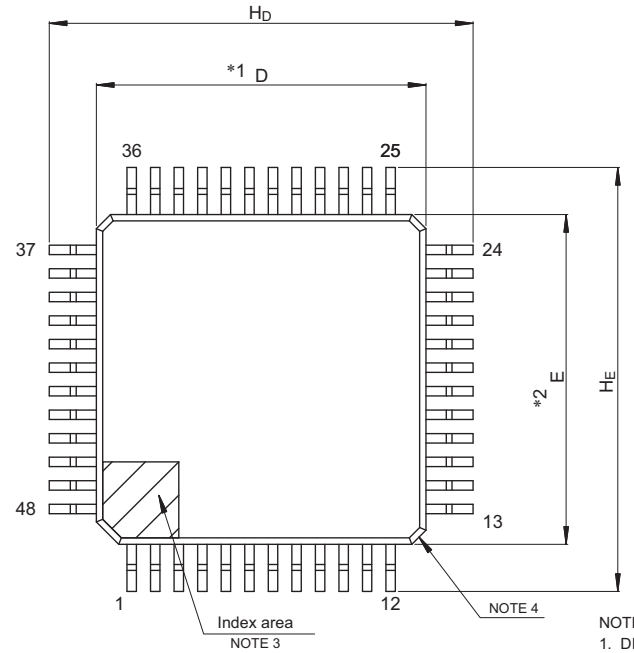


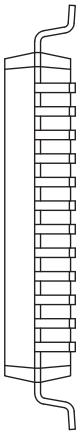
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.18	0.25	0.30
D		9.00 BSC	
E		9.00 BSC	
e		0.50 BSC	
N		64	
L	0.35	0.40	0.45
K	0.20	—	—
D_2	5.95	6.00	6.05
E_2	5.95	6.00	6.05
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08
fff	—	—	0.10

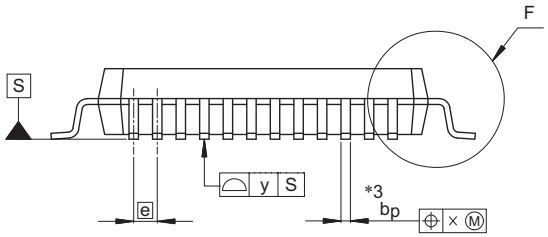
図 D. 64 ピン HWQFN (PWQN0064KF-A)

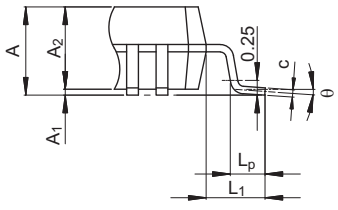
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm









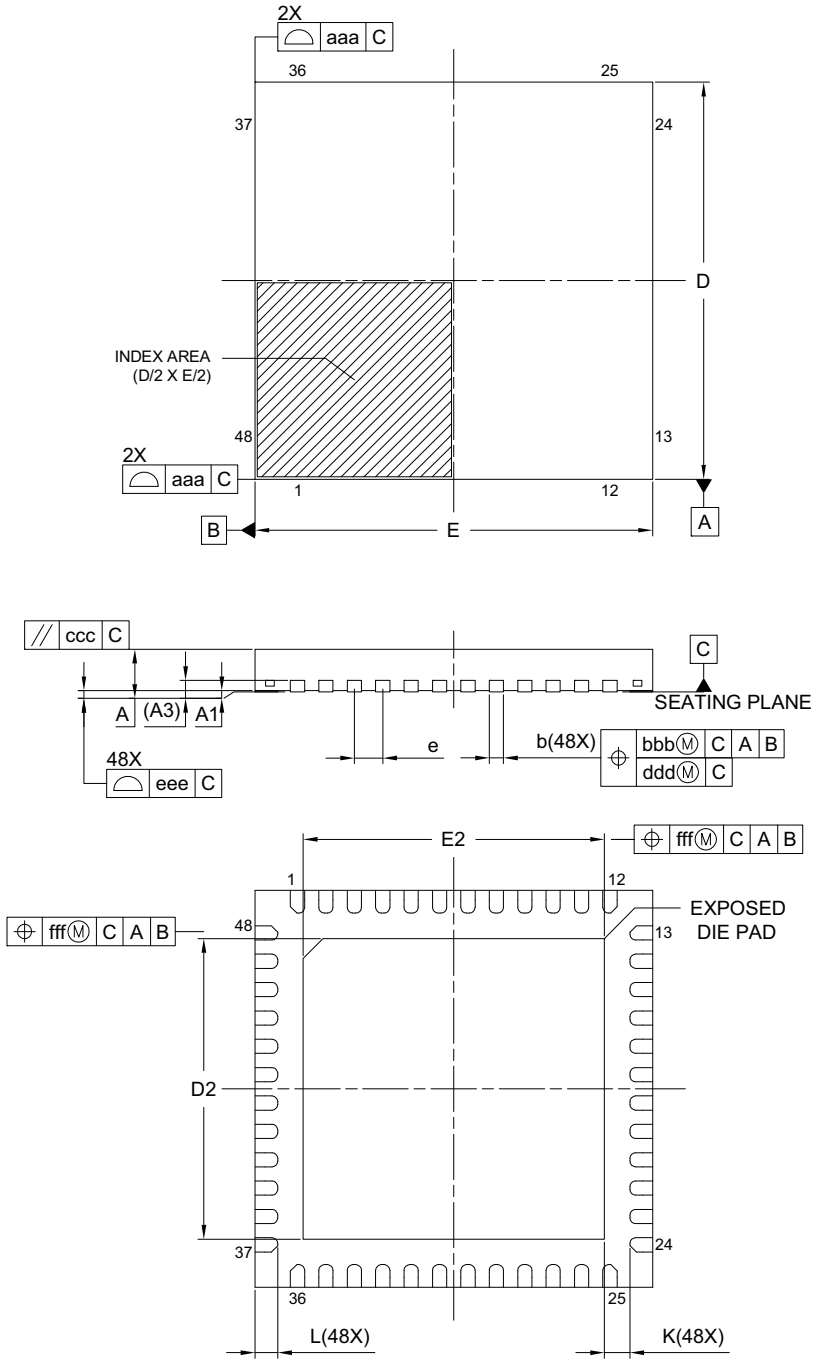
Detail F

NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 E. 48 ピン LFQFP (PLQP0048KB-B)

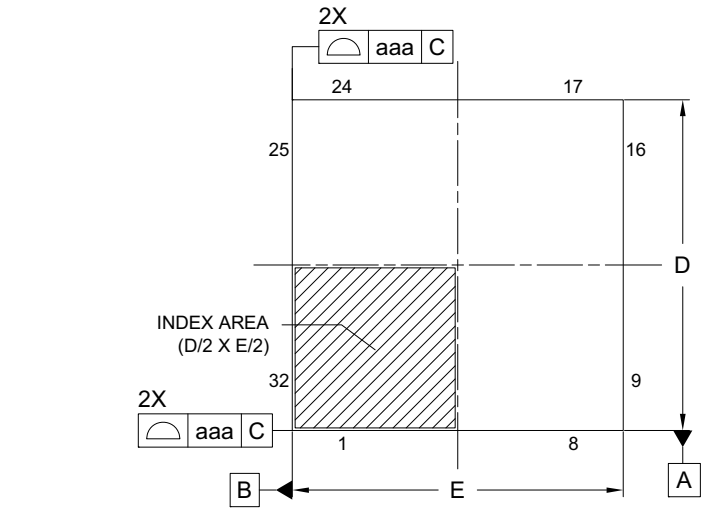
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g

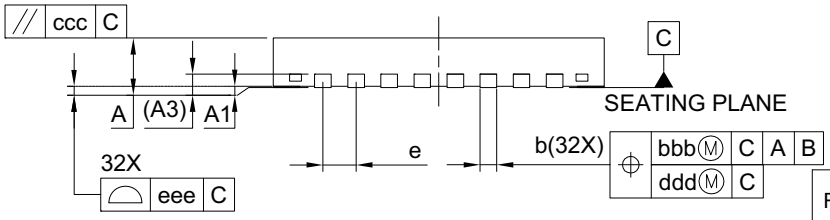


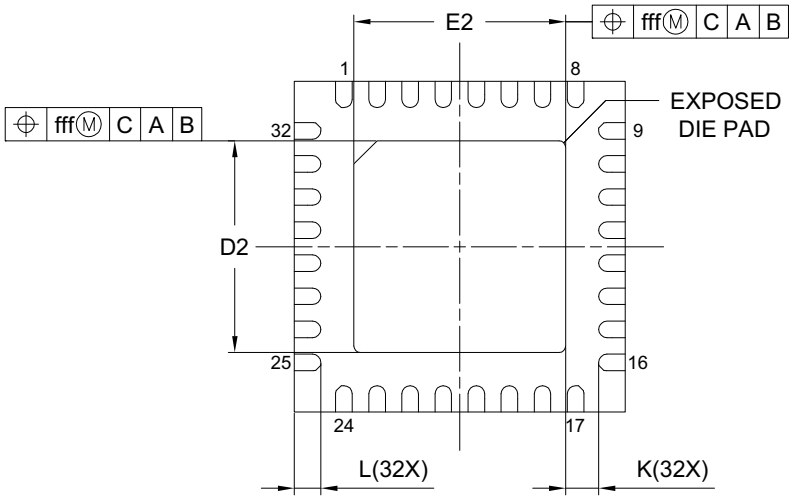
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.20	0.25	0.30
D		7.00 BSC	
E		7.00 BSC	
e		0.50 BSC	
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 F. 48 ピン HWQFN (PWQN0048KC-A)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06







Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.18	0.25	0.30
D		5.00 BSC	
E		5.00 BSC	
e		0.50 BSC	
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 G. 32 ピン HWQFN (PWQN0032KE-A)

改訂記録	RX26T グループ　ユーザーズマニュアル　ハードウェア編

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの 該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2023.01.16	—	初版発行	
1.01	2023.03.01	特長		
		63	パッケージ型名　変更	
		1. 概要		
		74～76	表1.3 製品一覧表　変更	
		7. オプション設定メモリ(OFSM)		
		228	7.2.9 フラッシュアクセスウィンドウ設定レジスタ(FAW)　変更	
		24. 汎用PWMタイマ(GPTWa)		
		1062	24.2.16 汎用PWM タイマステータスレジスタ(GTST)　変更	
		44. 温度センサ(TEMPS)		
		2714	44.3.2 12 ビットA/D コンバータ(ユニット2) の設定　変更	
		2715	図44.3 温度センサの使用手順フロー　変更	
		45. コンパレータC (CMPCa)		
		2723	45.2.6 コンパレータ制御レジスタ2 (CMPCTL2)　変更	
		2728	図45.6 コンパレータ動作終了フローチャート　変更	
		49. 電気的特性		
		2872	表49.10 出力許容電流　変更	
		2875	表49.13 熱抵抗値(参考値)　変更	
1.10	2023.08.10	1. 概要		
		71	表1.1 仕様概要 (8 / 8)　変更	
		74～76	表1.3 製品一覧表　変更	
		77	図1.1 型名とメモリサイズ・パッケージ　変更	
		8. 電圧検出回路(LVDA)		
		234	表8.1 電圧検出回路の仕様　変更	
		19. イベントリンクコントローラ(ELC)		
		514	表19.2 ELSRnレジスタと周辺モジュールの対応　変更	
		—	19.4.1 ELSRnレジスタの設定について (2) ELSR24、ELSR25、ELSR26、ELSR27 レジスタの設定　削除	
		22. マルチファンクションタイマパルスユニット3 (MTU3d)		
		740	図22.47 相補PWMモードの設定手順例　変更	
		24. 汎用PWM タイマ(GPTWa)		
		1030～1032	24.2.7 汎用PWMタイマクリア要因セレクトレジスタ(GTCSR)　変更	TN-RX*-A0268A/J
		1045～1050	24.2.12 汎用PWMタイマ制御レジスタ(GTCR)　変更	
		1110～1112	24.2.42 汎用PWMタイマ動作許可ビット同時制御レジスタ(GTSECR) 変更	
		1121～1123	24.2.46 出力位相スイッチ制御レジスタ(OPSCR)　変更	
		1141	表24.11 相補PWMモードのGTPRバッファ転送タイミング　変更	
		1202	表24.17 相補PWMモード4のシングルバッファ時のGTCCRD レジスタからの即時転送(1)　変更	
		1242	24.3.8.3 チャネル間連携による同期クリア動作　変更	
			表24.23 同期クリア要因レジスタの設定　追加	
		1322	24.10.3 相補PWMモード中のGTPBR、GTPDBR レジスタの設定範囲 追加	TN-RX*-A0268A/J
		1324	24.10.7 相補PWMモード動作中のカウンタクリアに関する注意事項　追加	
			24.10.8 相補PWMモードで同期クリア後のPWM初期出力を抑止する際の注意事項　追加	
		25. 高分解能PWM波形生成回路(HRPWM)		
		1337	25.4.3 HRPWMの遅延設定に関する注意事項　変更	
		26. GPTW用ポートアウトプットイネーブル(POEG)		
		1340	図26.2 POEGのブロック図　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2023.08.10	1346	26.3.1 GTETRGn端子の入力レベルまたはエッジ検出(n＝A～D)による出力停止要求　変更	
		1350	26.3.7 検出信号による出力停止要求と解除　変更	
		32. シリアルコミュニケーションインタフェース(SCIk, SCIh)		
		1487, 1488	表32.16 各動作周波数における最高ビットレート(調歩同期式モード)(SCI1, SCI5, SCI6)　追加	
		33. シリアルコミュニケーションインタフェース(RSCI)		
		1621	表33.1 RSCIの仕様 (3/3)　変更	TN-RX*-A0268A/J
		1645	表33.18 ビットレートに対するBRR[7:0]ビットの設定例(クロック同期式モード、簡易SPIモード)　変更	
		1667	33.2.13 DE信号制御レジスタ(DECR)　変更	
		1824	33.14 RS-485 ドライバ制御機能　変更	
		1833	表33.49 RSCIイベントリンク信号一覧　変更	TN-RX*-A0268A/J
		—	33.18 イベントリンク機能 (5) 受信データ一致イベント出力　削除	
		—	(6) 受信データ不一致イベント出力　削除	
		—	(7) 有効エッジ検出イベント出力　削除	
		35. I3Cバスインタフェース(RI3C)		
		1998, 1999	35.3.1.4 コンボデータ転送コマンド　変更	
		2008	図35.6 FIFOバッファ転送のデータハンドラ　変更	
		2014	図35.11 バス状態　変更	
		2015	図35.12 RI3Cの初期化フローチャート例　変更	
		2016	図35.13 I3C通信フロー　変更	
		2028	図35.28 I3Cコントローラ CRR処理フロー　変更	
		2040	図35.46 I3Cターゲット CRR処理フロー　変更	
		2042	図35.48 ICDRレジスタから送信バッファへの書き込みによりデータが存在している間にI3CターゲットがGET CCCコマンドを受信する　変更	TN-RX*-A0268A/J
		2056	図35.63 CRR要求：ACK　変更	
			図35.64 CRR要求：NACK (DADR[7:0]ビットが一致しない)かつRCRRN = 1の場合　変更	
		2057	図35.65 CRR要求：NACK (ROLE[1:0]ビットが“00b” (I3Cターゲット))かつRCRRN = 0の場合　変更	
			図35.66 CRR要求：NACK (CRRRJ = 1)かつRCRRN = 1の場合(1/2)　変更	
		2058	図35.67 CRR要求：NACK (CRRRJ = 1)かつRCRRN = 1の場合(2/2)　変更	
		36. CAN FDモジュール(CANFD)		
		2077～2081	36.2.2 チャネル制御レジスタ(CHCR)　変更	
		2269	図36.58 グローバル割り込みのブロック図　変更	
		2270	図36.59 チャネル割り込みのブロック図　変更	
		40. 三角関数演算器(TFUv2)		
		2506	表40.1 TFUの仕様　変更	
		2507	40.2.1 固定小数sincos入出力設定レジスタ(FXSCIOC)　変更	
		2508	40.2.2 固定小数atanhypot_k入出力設定レジスタ(FXATIOC)　変更	
		2515	表40.4 FXSCDT0レジスタ、FXSCDT1レジスタ、および入出力値の関係　変更	
		2517	表40.5 FXATDT0レジスタ、FXATDT1レジスタ、および入出力値の関係　変更	
		2519, 2520	40.3.2.1 単精度浮動小数点数　変更	
		2521	40.3.3 角度の単位　変更	
		42. 12ビットA/Dコンバータ(S12ADHa)		
		2653	42.3.4.3 基本動作(チャネル専用サンプル&ホールドあり、常時サンプリング有効)　変更	
		48. フラッシュメモリ(FLASH)		
		2753	48.1 概要　変更	
		2754	図48.1 フラッシュメモリ関連のブロック図　変更	
		2763	48.4.5 FACIコマンド処理開始アドレスレジスタ(FSADDR)　変更	
		2764	48.4.6 FACIコマンド処理終了アドレスレジスタ(FEADDR)　変更	
		2775	48.4.17 フラッシュシーケンサ処理クロック周波数通知レジスタ(FPCKAR)　変更	
		2820	表48.17 コンフィギュレーション設定コマンドで使用するアドレス　変更	
		2865, 2866	48.8.28 デュアルモード使用時のフラッシュメモリ書き換え　追加	TN-RX*-A0267A/J

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2023.08.10	2869	表48.24 BGO機能を利用可能な条件　変更	
		49. 電気的特性		
		2874	表49.6 DC特性(3) (RAM：64Kバイトの製品)　変更	
		2875	表49.7 DC特性(3) (RAM：48Kバイトの製品)　変更	
1.20	2024.10.31	特長		
		63	QFN32ピンパッケージ型名　追加	
		1. 概要		
		66	表1.1 仕様概要 (3 / 9)　変更	
		72	表1.1 仕様概要 (9 / 9)　変更	
		73、74	表1.2 パッケージ別機能比較一覧　変更	
		75～77	表1.3 製品一覧表　変更	
		78	図1.1 型名とメモリサイズ・パッケージ　変更	
		94	図1.12 32 ピン(HWQFN) ピン配置図　追加	
		3. 動作モード		
		150	3.1 動作モードの種類と選択　変更	
		8. 電圧検出回路(LVDA)		
		245	8.2.7 電圧監視1 回路制御レジスタ0 (LVD1CR0)　変更	
		246	8.2.8 電圧監視2 回路制御レジスタ0 (LVD2CR0)　変更	
		10. クロック周波数精度測定回路(CAC)		
		288	10.1 概要　変更	
		289	図10.1 CAC のブロック図　変更	
		291	10.2.2 CAC コントロールレジスタ1 (CACR1)　変更	
		297	10.3.2 CACREF 端子のデジタルフィルタ機能　変更	
		14. 割り込みコントローラ(ICUG)		
		329	表14.1 割り込みコントローラの仕様　変更	
		393	14.10.3 ソフトウェアスタンバイモードからの復帰　変更	
		20. I/O ポート		
		542	20.1 概要　変更	
		543	表20.2 I/Oポートの仕様(2)　追加	
		545	図20.1 入出力ポートの構成(1)　変更	
		546	図20.2 入出力ポートの構成(2)　変更	
		548	図20.4 入出力ポートの構成(4)　変更	
		549	図20.5 入出力ポートの構成(5)　変更	
		550	図20.6 入出力ポートの構成(6)　変更	
		566	表20.9 32ピンのPDR レジスタの設定値　追加	
		21. マルチファンクションピンコントローラ(MPC)		
		568～852	表21.1 マルチプル端子の割り当て端子一覧　変更	
		584	21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0, 1)　変更	
		584	表21.2 100ピン、80ピン、64ピン、48ピン、32ピン端子入出力機能レジスタ設定　変更	
		591	21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ～ 7)　変更	
		592	21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ～ 5)　変更	
		593	21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ～ 5)　変更	
		594	表21.10 100ピン、80ピン、64ピン、48ピン、32ピン端子入出力機能レジスタ設定　変更	
		599	21.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ～ 7)　変更	
		601	表21.16 80ピン、64ピン、48ピン、32ピン端子入出力機能レジスタ設定　変更	
		602	21.2.14 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ～ 7)　変更	
		605	表21.21 32ピン端子入出力機能レジスタ設定　追加	
		606	21.2.15 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ～ 5)　変更	
		607	表21.24 64ピン、48ピン、32ピン端子入出力機能レジスタ設定　変更	
		23. ポートアウトプットイネーブル3 (POE3D)		
		860、861	表23.1 POEの仕様　変更	
		918、919	23.2.31 ポートアウトプットイネーブルコントロールレジスタ10 (POECR10)　変更	
		920、921	23.2.32 ポートアウトプットイネーブルコントロールレジスタ11 (POECR11)　変更	
		1002	図23.7 ハイインピーダンス制御の対象と条件(5)　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	1003	図23.8 ハイインピーダンス制御の対象と条件(6)　変更	
		1004	図23.9 ハイインピーダンス制御の対象と条件(7)　変更	
		1005	図23.10 ハイインピーダンス制御の対象と条件(8)　変更	
		24. 汎用PWMタイマ(GPTWa)		
		1019、1020	表24.2 GPTWの機能一覧　変更	
		1021	図24.1 GPTW のブロック図(のこぎり波PWM モード、のこぎり波ワンショットパルスモード、三角波PWM モード1、2，3 の場合)　変更	
		1022	図24.2 GPTW のブロック図(のこぎり波PWM モード1、2、のこぎり波ワンショットパルスモード、三角波PWM モード1、2，3、相補PWM モード1、2、3、4 の場合)　変更	
		1024	表24.3 GPTWの入出力端子(n = 0～7)　変更	
		1031、1032	24.2.5 汎用PWM タイマスタート要因セレクトレジスタ(GTSSR)　変更	
		1033、1034	24.2.6 汎用PWM タイマストップ要因セレクトレジスタ(GTPSR)　変更	
		1035～1037	24.2.7 汎用PWM タイマクリア要因セレクトレジスタ(GTCSR)　変更	
		1044～1046	24.2.10 汎用PWM タイマインプットキャプチャ要因セレクトレジスタA(GTICASR)　変更	
		1047～1049	24.2.11 汎用PWM タイマインプットキャプチャ要因セレクトレジスタB(GTICBSR)　変更	
		1050～1055	24.2.12 汎用PWM タイマ制御レジスタ(GTCR)　変更	
		1059～1063	24.2.14 汎用PWM タイマI/O 制御レジスタ(GTIOR)　変更	
		1075～1079	24.2.17 汎用PWM タイマバッファイネーブルレジスタ(GTBER)　変更	
		1082	24.2.19 汎用PWM タイマカウンタ(GTCNT)　変更	
		1085	24.2.23 汎用PWM タイマ周期設定ダブルバッファレジスタ(GTPDBR)　変更	
		1088、1089	24.2.27 汎用PWM タイマデッドタイム制御レジスタ(GTDTCR)　変更	
		1090	24.2.28 汎用PWM タイマデッドタイム値レジスタm (GTDVm) (m = U, D)　変更	
		1096～1098	24.2.33 汎用PWM タイマ拡張割り込み間引きカウンタ制御レジスタ(GTEITC)　変更	
		1099、1100	24.2.34 汎用PWM タイマ拡張割り込み間引き設定レジスタ1 (GTEITLI1)　変更	
		1101、1102	24.2.35 汎用PWM タイマ拡張割り込み間引き設定レジスタ2 (GTEITLI2)　変更	
		1105、1106	24.2.37 汎用PWM タイマチャネル間論理演算レジスタ(GTICLF)　変更	
		1109、1110	24.2.39 汎用PWM タイマA/D 変換開始要求コンペアマッチ間引き制御レジスタ(GTADCMSC)　変更	
		1111～1113	24.2.40 汎用PWM タイマA/D 変換開始要求コンペアマッチ間引き設定レジスタ (GTADCMSS)　変更	
		1112	表24.9 A/D変換開始要求コンペアマッチ間引き機能選択ビット　注記　変更	
		1118～1122	24.2.43 汎用PWM タイマバッファイネーブルレジスタ2(GTBER2)　変更	
		1123	24.2.44 汎用PWM タイマ出力レベルバッファレジスタ(GTOLBR)　変更	
		1124～1127	24.2.45 汎用PWM タイマチャネル間連携インプットキャプチャ制御レジスタ (GTICCR)　変更	
		1128～1130	24.2.46 出力位相スイッチ制御レジスタ(OPSCR)　変更	
		1131～1133	24.3.1.1 カウンタの動作 (2) サイクルカウント動作(カウントクロックによるアップカウント時)　変更	
		1132	図24.4 サイクルカウント動作例(カウントクロックによるアップカウント時)　変更	
		1134	(3) サイクルカウント動作(カウントクロックによるダウンカウント時)　変更	
		1139	24.3.1.2 コンペアマッチによる波形出力機能　変更	
		1143～1146	24.3.1.3 インプットキャプチャ機能　変更	
		1147	24.3.2.1 GTPR レジスタのバッファ動作　変更	
		1148	表24.11 相補PWMモードのGTPRバッファ転送タイミング　変更	
		1151	図24.31 GTPR レジスタのバッファ動作設定例　変更	
		1152、1153	24.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作 (1) GTCCRA、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	1153	図24.33 GTCCRA、GTCCRB レジスタのバッファ動作例 (アウトプットコンペア、のこぎり波PWM モード2、GTCCRA レジスタコンペアマッチでバッファ転送、カウンタクリア、Low 出力、GTCCRB レジスタコンペアマッチでバッファ転送、High 出力の場合) (n = 0 ～ 7)　タイトル　変更	
		1155	図24.36 GTCCRA、GTCCRB レジスタのバッファ動作設定例(アウトプットコンペア時)　変更	
		1157	図24.39 GTCCRA、GTCCRB レジスタのバッファ動作設定例(インプットキャプチャ時)　変更	
		1162	24.3.2.4 GTIOA[4:0]、GTIOB[4:0] ビットのバッファ動作　変更	
		1166	24.3.3 PWM 出力動作モード　変更	
		1167	図24.50 のこぎり波PWM モード1 動作例 (アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチでHigh 出力、周期の終わりでLow 出力の場合(n = 0 ～ 7)、GTIOR.PSYE ビット= 1 の場合(GPTW0、PTW4 のみ))　変更	
		1168	図24.51 のこぎり波PWM モード1 設定例　変更	
		1169	(2) のこぎり波PWM モード2　変更	
		1174	図24.56 のこぎり波ワンショットパルスモード動作例 (アップカウント、初期出力でGTIOCnA 端子= Low 出力/GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合(n = 0 ～ 7)、GTIOR.PSYE ビット= 1 の場合(GPTW0、GPTW4 のみ))　変更	
		1175	図24.57 のこぎり波ワンショットパルスモード設定例　変更	
		1176	図24.58 三角波PWM モード1 動作例 (バッファ動作、初期出力でGTIOCnA 端子= Low 出力/GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合(n = 0 ～ 7)、GTIOR.PSYE ビット= 1 の場合(GPTW0、GPTW4 のみ))　変更	
		1177	図24.59 三角波PWM モード1 設定例　変更	
		1178	(5) 三角波PWM モード2 (山/ 谷32 ビット転送)　変更	
		1178	図24.60 三角波PWM モード2 動作例 (バッファ動作、初期出力でGTIOCnA 端子= Low 出力/GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合(n = 0 ～ 7)、GTIOR.PSYE ビット= 1 の場合(GPTW0、GPTW4 のみ))　変更	
		1179	図24.61 三角波PWM モード2 設定例　変更	
		1181	図24.62 三角波PWM モード3 動作例 (初期出力でGTIOCnA 端子= Low 出力/GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合(n = 0 ～ 7)、GTIOR.PSYE ビット= 1 の場合(GPTW0、GPTW4 のみ))　変更	
		1182	図24.63 三角波PWM モード3 設定例　変更	
		1183～1206	(7) 相補PWM モード1、2、3　変更	
		1184	表24.12 相補PWMモードのカウント動作(1) (n = 0, 4)　変更	
		1186	表24.16 相補PWMモード時におけるコンペアマッチ動作対象のカウンタとレジスタの組み合わせ　変更	
		1206	図24.87 相補PWM モード1、2、3 の設定例　変更	
		1207	(8) 相補PWM モード4　変更	
		1210～1221	表24.18 相補PWMモード4のシングルバッファ時のGTCCRD レジスタからの即時転送(2) (n = 0, 4)　変更	
		1221	図24.98 相補PWM モード4 の設定例　変更	
		1222～1226	24.3.4 デッドタイム自動設定機能　変更	
		1225	図24.103 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波PWM モード3 時)　変更	
		1226	図24.104 デッドタイム自動設定機能の設定例(三角波PWM モード1/2 時)　変更	
		1249～1252	24.3.8.3 チャネル間連携による同期クリア動作　変更	
		1250	図24.136 チャネル間連携による同期クリア動作例(GTIOCnA/GTIOCnB 端子を要因とするクリア) (GPTW0 はのこぎり波でGTIOC0A 信号の立ち上がりエッジでカウンタクリア、GPTW1 は三角波で、GPTW4、GPTW5、GPTW6 は相補PWM モード、GPTW0、GPTW1、GPTW4、GPTW5、GPTW6 は同じ同期セット/クリアグループの場合)　タイトル　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	1251	図24.137 チャネル間連携による同期クリアの設定例(GTIOCnA/GTIOCnB端子を要因とするクリア)　タイトル　変更	
		1252	図24.138 チャネル間連携による同期クリアの設定例(GTIOCnA/GTIOCnB端子によるGTCCRA のインプットキャプチャを要因とするクリア)　追加	
		1253、1254	24.3.8.4 チャネル間連携によるインプットキャプチャ動作　追加	
		1253	図24.139 チャネル間連携によるインプットキャプチャ動作例(チャネル0のオーバフローでチャネル1 をインプットキャプチャ)　追加	
		1254	図24.140 チャネル間連携によるインプットキャプチャ設定例　変更	
		1261	図24.148 サイクルカウント動作タイミング例(のこぎり波、アップカウントの場合) (n = 0 ～ 7)　変更	
		1270	図24.159 パルス幅測定機能の動作例(アップカウント)　変更	
		1270	図24.160 パルス幅測定機能の動作例(ダウンカウント)　変更	
		1274	図24.167 OPS 出力ディセーブル制御動作の例(FB = 0, RV = 0, P = 1, N = 1, INV = 0)　変更	
		1275	24.3.13.1 入力選択とサンプリング　変更	
		1277	24.3.13.4 出力選択制御　変更	
		1277	表24.37 出力選択制御方法(正相)　変更	
		1277	表24.38 出力選択制御方法(逆相)　変更	
		1278	24.3.13.5 出力選択制御(グループ出力ディセーブル機能)　変更	
		1278	24.3.13.6 イベントコントローラ(ELC) 出力　変更	
		1278	図24.168 OPS スタート動作設定例　変更	
		1279、1280	24.3.14 チャネル出力間論理演算機能　変更	
		1279	図24.169 チャネル出力間論理演算ブロック図　変更	
		1280	図24.170 チャネル出力間論理演算動作の例(GPTW0.GTICLF.ICLFA[2:0] = 100b、ICLFB[2:0] = 100b、GPTW0.GTICLF.ICLFSELC[5:0] = 000010b、ICLFSELD[5:0] = 000010b の場合)　変更	
		1281	24.4.1 割り込み要因と優先順位　変更	
		1283	(7) GTCIVn 割り込み(n = 0 ～ 7)　変更	
		1283	(8) GTCIUn 割り込み(n = 0 ～ 7)　変更	
		1289	24.4.3.2 拡張割り込み間引き機能　変更	
		1302～1306	24.4.3.3 A/D 変換開始要求コンペアマッチ間引き機能　変更	
		1304	図24.191 A/D 変換開始要求コンペアマッチ間引き機能動作の例(三角波、A/D 変換開始要求コンペアマッチ間引き1 間引き回数“3” でGTADTRA レジスタでコンペアマッチをカウント、A/D 変換開始要求コンペアマッチ間引き2 間引き回数“7” でGTADTRB レジスタのコンペアマッチをカウント)　タイトル　変更	
		1305	図24.192 A/D 変換開始要求コンペアマッチ間引き機能動作の例(三角波、A/D 変換開始要求コンペアマッチ間引き1 間引き回数“3” でGTADTRA レジスタでコンペアマッチをカウント、A/D 変換開始要求コンペアマッチ間引き2 間引き回数“7” でGTADTRB レジスタのコンペアマッチをカウント、GTADTRA、GTADTRB レジスタのバッファ転送タイミングは谷)　タイトル　変更	
		1306	図24.193 A/D 変換開始要求コンペアマッチ間引き設定例　変更	
		1309	図24.195 A/D 変換開始要求の動作設定例　変更	
		1311	24.6.1 ELC へのイベント信号出力　変更	
		1316	図24.199 複数チャネルのバッファ動作の同時制御例(三角波、ダブルバッファ動作の場合)　変更	
		1317	図24.200 複数チャネルのバッファ動作の同時制御例(のこぎり波、シングルルバッファ動作の場合)　変更	
		1318	表24.41 のこぎり波ワンショットパルスモードにおけるGTCCRバッファ動作　変更	
		1333	24.10.2 コンペアマッチ動作時のGTCCRm レジスタの設定(m = A ～ F)(5) のこぎり波PWM モード1 の場合　タイトル　変更	
		1334	24.10.5 GTCNT カウンタのスタート/ ストップ　変更	
		1334	24.10.6 イベントの優先順序　変更	
		1335	24.10.7 相補PWM モード動作中のカウンタクリアに関する注意事項　変更	
		25. 高分解能PWM 波形生成回路(HRPWM)		
		1340	25.2.3 GTIOCnA 端子立ち上がりエッジ調整レジスタ(HRREARnA) (n = 0 ～ 3)　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	1341	25.2.4 GTIOCnA 端子立ち下がりエッジ調整レジスタ(HRFEARnA) (n = 0 ～ 3)　変更	
		1342	25.2.5 GTIOCnB 端子立ち上がりエッジ調整レジスタ(HRREARnB) (n = 0 ～ 3)　変更	
		1343	25.2.6 GTIOCnB 端子立ち下がりエッジ調整レジスタ(HRFEARnB) (n = 0 ～ 3)　変更	
		26. GPTW 用ポートアウトプットイネーブル(POEGb)		
		1349	26.1 概要　変更	
		1349	表26.1 POEGの仕様(x = A～D)　変更	
		1350	図26.1 POEG システムブロック図　変更	
		1351	図26.2 POEG のブロック図(x = A ～ D)　変更	
		1352、1353	26.2.1 POEG グループx 設定レジスタ(POEGGx) (x = A ～ D)　変更	
		1354	26.2.2 POEG グループx 入力制御レジスタ(POEGICRx) (x = A ～ D)　変更	
		1355	26.2.3 GPTW 出力停止制御グループx 書き込み保護レジスタ(GTONCWPx) (x = A ～ D)　変更	
		1356	26.2.4 GPTW 出力停止制御グループx コントロールレジスタ(GTONCCRx) (x = A ～ D)　変更	
		1357	26.3 動作説明　変更	
		1357	26.3.1 GTETRGx 端子(x = A ～ D) の入力レベルまたは入力エッジ検出による出力停止要求　変更	
		1358	26.3.1.1 デジタルノイズフィルタ　変更	
		1358	図26.3 デジタルノイズフィルタの動作例(x = A ～ D)　変更	
		1358	26.3.2 GPTW の出力停止条件検出信号による出力停止要求　変更	
		1359	26.3.3 コンパレータの検出信号による出力停止要求　変更	
		1359	26.3.4 発振停止検出信号による出力停止要求　変更	
		1359	26.3.5 レジスタによる出力停止要求　変更	
		1360	26.3.6 出力停止要求の解除　変更	
		1360	26.3.6.1 リセットによる出力停止要求の解除　変更	
		1360	26.3.6.2 POEGGx レジスタのフラグクリアによる出力停止要求の解除　変更	
		1362	26.3.7 入力信号による直接出力停止要求と解除　変更	
		1362	図26.5 COMP0 レベル検出信号によるGTIOC 端子の出力停止動作の例　変更	
		1364	26.4 割り込み要因　変更	
		1364	表26.3 割り込み要因　変更	
		1364	26.5 GPTW に対する外部トリガ出力　変更	
		1365	26.6.3 出力停止要求の重複について　変更	
		28. コンペアマッチタイマ(CMT)		
		1398	28.2.1 コンペアマッチタイマスタートレジスタ0 (CMSTR0)　変更	
		1398	28.2.2 コンペアマッチタイマスタートレジスタ1 (CMSTR1)　変更	
		30. ウォッチドッグタイマ(WDTA)		
		1432	冒頭部　変更	
		1432	表30.1 WDTの仕様　変更	
		1434	30.2.1 WDT リフレッシュレジスタ(WDTRR)　変更	
		1435～1437	30.2.2 WDT コントロールレジスタ(WDTCR)　変更	
		1438	30.2.3 WDT ステータスレジスタ(WDTSR)　変更	
		1439	30.2.4 WDT リセットコントロールレジスタ(WDTRCR)　変更	
		1440	30.3.1 カウント開始条件別の各動作　変更	
		1440	30.3.1.1 レジスタスタートモード　変更	
		1441	図30.3 レジスタスタートモード動作例　変更	
		1442	30.3.1.2 オートスタートモード　変更	
		1442	図30.4 オートスタートモード動作例　変更	
		1443	30.3.2 リフレッシュ動作　変更	
		1443	図30.5 WDT リフレッシュ動作波形(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)　変更	
		1444	30.3.3 リセット出力　変更	
		1445	30.3.6 オプション機能選択レジスタ0 (OFS0) とWDT レジスタの対応　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	31. 独立ウォッチドッグタイマ(IWDTa)		
		1446	冒頭部　変更	
		1446	31.1 概要　変更	
		1446	表31.1 IWDTの仕様　変更	
		1447	図31.1 IWDT のブロック図　変更	
		1449～1451	31.2.2 IWDT コントロールレジスタ(IWDTCR)　変更	
		1453	31.2.4 IWDT リセットコントロールレジスタ(IWDTRCR)　変更	
		1454	31.2.5 IWDT カウント停止コントロールレジスタ(IWDTCSTPR　変更	
		1456	図31.3 レジスタスタートモード動作例　変更	
		1457	図31.4 オートスタートモード動作例　変更	
		1458	31.3.2 リフレッシュ動作　変更	
		1459	図31.5 IWDT リフレッシュ動作波形(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 00b)　変更	
		1460	31.3.3 ステータスフラグ　変更	
		1461	31.3.6 カウンタ値の読み出し　変更	
		1462	31.3.7 オプション機能選択レジスタ0 (OFS0) と IWDT レジスタの対応　変更	
		32. シリアルコミュニケーションインタフェース(SCIk, SCIh)		
		1496	表32.16 各動作周波数における最高ビットレート(調歩同期式モード)(SCI1, SCI5, SCI6)　変更	
		1497	表32.17 各動作周波数における最高ビットレート(調歩同期式モード)(SCI12)　変更	
		1500、1501	表32.24 ビットレートに対するBRRの設定例(簡易I2Cモード)　変更	
		1501	表32.25 各ビットレート設定でのSCL High/Low幅最小値(簡易I2Cモード)　変更	
		33. シリアルコミュニケーションインタフェース(RSCI)		
		1629	表33.1 RSCIの仕様 (3/3)　変更	
		1630	図33.1 RSCI のブロック図(n = 008)　変更	
		1631	図33.2 RSCI のブロック図(n = 009)　追加	
		1632	図33.3 RSCI のブロック図(n = 011)　追加	
		1639～1461	33.2.5 制御レジスタ0 (SCR0)　変更	
		1642～1646	33.2.6 制御レジスタ1 (SCR1)　変更	
		1647～1661	33.2.7 制御レジスタ2 (SCR2)　変更	
		1648	表33.9 1bitあたりの基本クロックサイクル数早見表　変更	
		1649	表33.10 BRR[7:0]ビットの設定値Nとビットレートの関係　変更	
		1650	表33.12 クロックソースの設定　注記追加	
		1653、1654	表33.16 各動作周波数における最高ビットレート(調歩同期式モードおよびマンチェスタモード)　変更	
		1654	表33.17 外部クロック入力時の最高ビットレート(調歩同期式モード)　変更	
		1655	表33.18 ビットレートに対するBRR[7:0]ビットの設定例(クロック同期式モード、簡易SPIモード)　変更	
		1655	表33.19 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)　変更	
		1657	表33.22 ビットレートに対するBRR[7:0]ビットの設定例(簡易I2Cモード)　変更	
		1658	表33.23 各ビットレート設定でのSCL High/Low幅最小値(簡易I2Cモード)　変更	
		1659	表33.24 ビットレートモジュレーション機能使用時のMDDR[7:0]ビット設定値Mとビットレートの関係　変更	
		1662～1665	33.2.8 制御レジスタ3 (SCR3)　変更	
		1673～1676	33.2.12 マンチェスタモード制御レジスタ(MMCR)　変更	
		1678～1680	33.2.14 拡張シリアルモード制御レジスタ0 (XCR0)　変更	
		1702	33.2.25 I2C ステータスクリアレジスタ(SISCR)　変更	
		1705	33.2.29 HBS サポートモード制御レジスタ(HBSCR)　変更	
		1711	33.3.4 倍速モードと6分周モード　変更	
		1712	33.3.5 CTS、RTS 機能　変更	
		1814	33.10.2 CTS、RTS 機能　変更	
		1830	33.11.1 マスタモード、スレーブモードと各端子の状態　変更	
		1832	33.12 ビットレートモジュレーション機能　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	1833	33.13 ノイズ除去機能　変更	
		1833	図33.112 デジタルノイズフィルタのブロック図　変更	
		1843	33.18 イベントリンク機能　変更	
		36. CAN FD モジュール(CANFD)		
		2082	表36.1 CAN FDモジュールの仕様　変更	
		2092～2094	36.2.3 チャネルステータスレジスタ(CHSR)　変更	
		2095～2099	36.2.4 チャネルエラーステータスレジスタ(CHESR)　変更	
		2106、2107	36.2.8 CAN FD ステータスレジスタ(FDSTS)　変更	
		2108	36.2.9 CAN FD CRC レジスタ(FDCRC)　変更	
		2109～2111	36.2.10 グローバル設定レジスタ(GCFG)　変更	
		2114	36.2.12 グローバルステータスレジスタ(GSR)　変更	
		2115、2116	36.2.13 グローバルエラーステータスレジスタ(GESR)　変更	
		2117、2118	36.2.14 送信割り込みステータスレジスタ(TISR)　変更	
		2119	36.2.15 タイムスタンプカウンタレジスタ(TSCR)　変更	
		2121	36.2.17 アクセプタンスフィルタリスト設定レジスタ(AFCFG)　変更	
		2122、2123	36.2.18 アクセプタンスフィルタリストn ID レジスタ(AFLn.IDR) (n = 0 ～ 15)　変更	
		2124、2124	36.2.19 アクセプタンスフィルタリストn マスクレジスタ(AFLn.MASK) (n = 0 ～ 15)　変更	
		2126、2127	36.2.20 アクセプタンスフィルタリストn ポインタレジスタ0 (AFLn.PTR0) (n = 0 ～ 15)　変更	
		2128	36.2.21 アクセプタンスフィルタリストn ポインタレジスタ1 (AFLn.PTR1) (n = 0 ～ 15)　変更	
		2130	36.2.23 受信メッセージバッファ新データレジスタ(RMNDR)　変更	
		2133、2134	36.2.25 受信FIFO n ステータスレジスタ(RFSRn) (n = 0, 1)　変更	
		2136～2138	36.2.27 共通FIFO 0 設定レジスタ(CFCR0)　変更	
		2139～2141	36.2.28 共通FIFO 0 ステータスレジスタ(CFSR0)　変更	
		2143	36.2.30 FIFO エンプティステータスレジスタ(FESR)　変更	
		2144	36.2.31 FIFO フルステータスレジスタ(FFSR)　変更	
		2145	36.2.32 FIFO メッセージロストステータスレジスタ(FMLSR)　変更	
		2146	36.2.33 受信FIFO 割り込みステータスレジスタ(RFISR)　変更	
		2148、2149	36.2.35 DMA 転送ステータスレジスタ(DTSR)　変更	
		2152	36.2.37 送信メッセージバッファ n ステータスレジスタ(TMSRn) (n = 0 ～ 3)　変更	
		2157	36.2.42 送信メッセージバッファ割り込み許可レジスタ0 (TMIER0)　変更	
		2158	36.2.43 送信キュー 0 設定レジスタ(TQCR0)　変更	
		2163	36.2.46 送信履歴設定レジスタ(THCR)　変更	
		2169	36.2.51 グローバルリセット制御レジスタ(GRCR)　変更	
		2175	36.2.58 アクセプタンスフィルタ無効エントリ許可レジスタ(AFIGER)　変更	
		2203～2206	36.2.62 ECC 制御/ ステータスレジスタ(ECCSR)　変更	
		2227～2229	36.4.1.5 トランシーバ遅延補償　変更	
		2230	36.4.2 リセット後のCANFD モジュール設定　変更	
		2238	36.5.8 ループバック設定　変更	
		2253	36.7.1.3 タイムスタンプ　変更	
		2260～2262	36.7.2.3 FIFO バッファからの送信 (2) FIFO 送信用のインターバルタイマ　変更	
		2261	表36.23 インターバルタイマプリスケーラの設定例　変更	
		2269	36.9.1.2 リッスンオンリモード　変更	
		2270	図36.52 リッスンオンリモードの構成　変更	
		2270	36.9.1.3 セルフテストモード0 (外部ループバックモード)　変更	
		2270	図36.53 セルフテストモード0 の構成　変更	
		2270	36.9.1.4 セルフテストモード1 (内部ループバックモード)　変更	
		2271	図36.54 セルフテストモード1 の構成　変更	
		2276	36.10.1 CANFD 割り込み　変更	
		2280	36.10.2 ECC 割り込み　変更	
		38. シリアルペリフェラルインタフェース(RSPIA)		
		2375	38.1 概要　変更	
		2375、2376	表38.1 RSPIAの仕様　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	2378	表38.2 RSPIAの入出力端子　変更	
		2379～2382	38.2.1 RSPI データレジスタ(SPDR)　変更	
		2383	38.2.2 RSPI クロック遅延レジスタ(SPCKD)　変更	
		2384、2385	38.2.3 RSPI スレーブセレクトネゲート遅延レジスタ(SSLND)　変更	
		2386	38.2.4 RSPI 次アクセス遅延レジスタ(SPND)　変更	
		2387～2391	38.2.5 RSPI 制御レジスタ(SPCR)　変更	
		2389	表38.3 フレーム転送におけるSSL遅延制御の使用方法(マスタモード)　変更	
		2395	38.2.9 RSPI スレーブセレクト極性レジスタ(SSLP)　変更	
		2397	38.2.11 RSPI シーケンス制御レジスタ(SPSCR)　変更	
		2398～2400	38.2.12 RSPI コマンドレジスタm (SPCMDm) (m = 0 ～ 7)　変更	
		2403	38.2.14 RSPI FIFO コントロールレジスタ(SPFCR)　変更	
		2405～2410	38.2.16 RSPI ステータスレジスタ(SPSR)　変更	
		2411	38.2.17 RSPI 送信FIFO ステータスレジスタ(SPTFSR)　変更	
		2411	38.2.18 RSPI 受信FIFO ステータスレジスタ(SPRFSR)　変更	
		2415	表38.7 RSPIAのモードとSPCRレジスタ設定の関係、および各モードの概要　変更	
		2416	38.3.3 RSPI システム構成例　変更	
		2416	38.3.3.1 シングルマスタ/ シングルスレーブ(本MCU = マスタ)　変更	
		2420	38.3.3.5 マルチマスタ/ マルチスレーブ(本MCU = マスタ)　変更	
		2439	38.3.5.1 CPHA = 0 の場合　変更	
		2441	38.3.5.2 CPHA = 1 の場合　変更	
		2443	38.3.6 通信モード　変更	
		2443	図38.30 CMMD[1:0] = 00b の動作例　変更	
		2444	図38.31 CMMD[1:0] = 01b の動作例　変更	
		2445	図38.32 CMMD[1:0] = 10b の動作例　変更	
		2446、2447	38.3.7 送信バッファエンプティ / 受信バッファフル割り込み　変更	
		2446	図38.33 SPTI、SPRI 割り込みの動作例　変更	
		2448	38.3.8 アイドル割り込み　変更	
		2448	図38.34 アイドル割り込み動作例(マスタモード/Motorola SPI)　変更	
		2449	図38.35 アイドル割り込み動作例(マスタモード/TI SSP)　変更	
		2450	38.3.9.1 マスタ送受信モード/ マスタ送信専用モード時　変更	
		2450	図38.37 SPCI 割り込み動作例(マスタ送受信モード/ マスタ送信専用モード、Motorola SPI)　変更	
		2452	38.3.9.2 マスタ受信専用モード時　変更	
		2453	図38.40 RFC[4:0] ≠ 00000b のときのSPCI 割り込み動作例(マスタ受信専用モード)　変更	
		2454	38.3.9.3 スレーブ送受信モード/ スレーブ送信専用モード、SPI 動作時　変更	
		2454	図38.41 SPCI 割り込み動作例(スレーブ送受信モード/ スレーブ送信専用モード、Motorola SPI)　変更	
		2455	図38.42 SPCI 割り込み動作例(スレーブ送受信モード/ スレーブ送信専用モード、TI SSP)　変更	
		2456	38.3.9.4 スレーブ受信専用モード、SPI 動作時　変更	
		2456	図38.43 SPCI 割り込み動作例(スレーブ受信専用モード、Motorola SPI)　変更	
		2457	図38.44 SPCI 割り込み動作例(スレーブ受信専用モード、TI SSP)　変更	
		2458	38.3.9.5 スレーブ送受信モード/ スレーブ送信専用モード、クロック同期動作時　変更	
		2458	図38.45 SPCI 割り込み動作例(スレーブ送受信モード/ スレーブ送信専用モード、クロック同期動作)　変更	
		2459	38.3.9.6 スレーブ受信専用モード、クロック同期動作時　変更	
		2459	図38.46 SPCI 割り込み動作例(スレーブ受信専用モード、クロック同期動作)　変更	
		2460	表38.9 通常以外の転送の発生条件とRSPIAのエラー検出機能　変更	
		2461	38.3.10.1 オーバランエラー　変更	
		2461	図38.47 SPRF、OVRF フラグの動作例　変更	
		2462	図38.48 マスタモードの受信FIFO にFIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(CPHA = 1)　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	2463	図38.49 マスタモードの受信FIFOにFIFO段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(CPHA = 0)　変更	
		2464	図38.50 マスタモードの受信FIFOにFIFO段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(バースト転送でフレーム間遅延なし/CPHA = 1)　変更	
		2465	図38.51 マスタモードの受信FIFOにFIFO段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(バースト転送でフレーム間遅延なし/CPHA = 0)　変更	
		2466	38.3.10.2 パリティエラー　変更	
		2466	図38.52 PERF フラグの動作例　変更	
		2467	38.3.10.3 モードフォルトエラー　変更	
		2467	38.3.10.4 アンダランエラー　変更	
		2468	図38.53 受信データレディ　変更	
		2470～2483	38.3.13.1 マスタモード動作　変更	
		2474	図38.57 SSLKP ビットを利用したバースト転送動作(SCKDDIS = 0、FRFS = 0) の例　変更	
		2475	図38.58 SSLKP ビットを利用したバースト転送動作(SCKDDIS = 1、FRFS = 0) の例　変更	
		2476	図38.59 バースト転送動作(FRFS = 1) の例　変更	
		2484	38.3.13.2 スレーブモード動作 (3) シングルスレーブ時の注意点　変更	
		2485	(4) バースト転送　変更	
		2491	38.3.14 クロック同期式動作　変更	
		2497	図38.75 ループバックモード時のシフトレジスタ入出力構成　変更	
		2499	38.3.17 割り込み要求　変更	
		2500	38.3.18.2 送信バッファエンプティイベント出力　変更	
		2501	38.3.18.3 エラーイベント出力 (1) モードフォルト　変更	
		2503	図38.81 通信完了イベント出力タイミング(スレーブ送受信モード/ スレーブ送信専用モード、Motorola SPI 動作時)　変更	
		2503	図38.82 通信完了イベント出力タイミング(スレーブ送受信モード/ スレーブ送信専用モード、TI SSP 動作時)　変更	
		2504	図38.83 通信完了イベント出力タイミング(スレーブ送受信モード/ スレーブ送信専用モード、クロック同期動作時)　変更	
		2504	図38.84 通信完了イベント出力タイミング(スレーブ受信専用モード、Motorola SPI 動作時)　変更	
		2504	図38.85 通信完了イベント出力タイミング(スレーブ受信専用モード、TI SSP 動作時)　変更	
		2504	図38.86 通信完了イベント出力タイミング(スレーブ受信専用モード、クロック同期動作時)　変更	
		2505	38.4.1 モジュールストップ機能の設定　変更	
		2506	表38.17 データ長と動作の可否(SPCMDm.BRDV[1:0] = 00b, SPBR = 00h)　変更	
		2506、2507	38.4.9 レジスタ書き換えに関する注意事項　変更	
		41. Trusted Secure IP (TSIP-Lite)		
		2538	41.2.1 動作モードと状態遷移　変更	
		2539	41.2.2 暗号エンジン　変更	
		2540	41.2.3 鍵インストール　変更	
		2541	41.2.4 暗号/ 復号処理　変更	
		2545	表41.2 TSIP-Liteの割り込み要因　変更	
		42. 12ビットA/Dコンバータ(S12ADHa)		
		2547、2458	表42.1 12ビットA/Dコンバータの仕様　変更	
		2557	42.2.1 A/D データレジスタy (ADDRy) (y = 0 ～ 11, 16, 17)、 A/D データ二重化レジスタ(ADDBLDR)、 A/D データ二重化レジスタA (ADDBLDRA)、 A/D データ二重化レジスタB (ADDBLDRB)、 A/D 温度センサデータレジスタ(ADTSDR)、 A/D 内部基準電圧データレジスタ(ADOCDR)　変更	
		2560～2564	42.2.3 A/D コントロールレジスタ(ADCSR)　変更	
		2561	表42.5 DBLANS[4:0]ビット設定値とダブルトリガモード対象チャネルの関係　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.10.31	2565～2567	42.2.4 A/D チャネル選択レジスタA0 (ADANSA0)　変更	
		2568	42.2.5 A/D チャネル選択レジスタA1 (ADANSA1)　変更	
		2586、2587	42.2.14 A/D コントロール拡張レジスタ (ADCER)　変更	
		2589～2591	表42.13 TRSB[6:0]ビットでのA/D変換開始トリガー覧　変更	
		2591～2593	表42.14 TRSA[6:0]ビットでのA/D変換開始トリガー覧　変更	
		2597～2600	42.2.18 A/D グループC トリガ選択レジスタ (ADGCTRGR)　変更	
		2598、2599	表42.15 TRSC6ビット、TRSC[5:0]ビット(グループC)でのA/D変換開始トリガー覧　変更	
		2616～2619	42.2.30 A/D コンペア機能ウィンドウA 比較条件設定レジスタ0 (ADCMPLR0)　変更	
		2620	42.2.31 A/D コンペア機能ウィンドウA 比較条件設定レジスタ1 (ADCMPLR1)　変更	
		2621	42.2.32 A/D コンペア機能ウィンドウA 拡張入力比較条件設定レジスタ (ADCMPLER)　変更	
		2631、2632	42.2.38 A/D コンペア機能ウィンドウA/B ステータスモニタレジスタ (ADWINMON)　変更	
		2648、2649	42.3.2 スキャンの動作説明　変更	
		2658	42.3.3.8 ダブルトリガモード使用時の動作　変更	
		2659	42.3.3.9 ダブルトリガ拡張モードの動作　変更	
		2700	42.3.11 非同期トリガによるA/D 変換の開始　変更	
		46. データ演算回路(DOCA)		
		2746	46.1 概要　変更	
		2747	46.2.1 DOC コントロールレジスタ (DOCR)　変更	
		48. フラッシュメモリ(FLASH)		
		2772	48.4.4 フラッシュレディ割り込み許可レジスタ (FRDYIE)　変更	
		2793	表48.10 エラープロテクト一覧　変更	
		2810	図48.18 コードフラッシュメモリP/E モード移行フロー　変更	
		2810	図48.19 データフラッシュメモリP/E モード移行フロー　変更	
		2811	図48.20 リードモード移行フロー　変更	
		2813	図48.21 FACI コマンド使用時の概略フロー　変更	
		2814	図48.22 コマンドロック状態からの復帰方法　変更	
		2816	図48.23 プログラムコマンドの使用方法　変更	
		2817	図48.24 ブロックイレーズコマンドの使用方法　変更	
		2819	図48.25 P/E サスペンドコマンドの使用方法　変更	
		2823	図48.29 P/E レジュームコマンドの使用方法　変更	
		2825	図48.31 強制終了コマンドの使用方法　変更	
		2826	図48.32 ブランクチェックコマンドの使用方法　変更	
		2827	図48.33 コンフィギュレーション設定コマンドの使用方法　変更	
		2878、2879	48.11 使用上の注意事項　変更	
		2878、2879	48.11.7 プログラム/ イレーズ中またはブランクチェック中の禁止事項　変更	
		49. 電気的特性		
		2880	表49.1 絶対最大定格　変更	
		2880	表49.2 推奨動作条件(1)　変更	
		2880	表49.3 推奨動作条件(2)　変更	TN-RX*-A0270A/J
		2890	表49.13 熱抵抗値(参考値)　変更	
		2916	図49.46 簡易IIC バスインタフェース入出力タイミング　変更	
		2939	表49.43 CANFDタイミング　変更	TN-RX*-A0283A/J
		2939	図49.77 内部遅延時間の定義　追加	TN-RX*-A0283A/J
		2950	表49.53 コードフラッシュメモリ特性　変更	TN-RX*-A0274A/J
		2952	表49.55 オプション設定メモリ特性　追加	TN-RX*-A0276B/J
		付録2. 外形寸法図		
		2961	図G. 32 ピンHWQFN (PWQN0032KE-A)　追加	

RX26Tグループ ユーザーズマニュアル
ハードウェア編

発行年月日　2023年1月16日　Rev.1.00
　　2024年10月31日　Rev.1.20

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RX26T グループ

ルネサス エレクトロニクス株式会社

R01UH0979JJ0120