

RL78/G1F

ユーザーズマニユアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

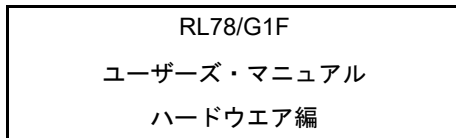
このマニュアルの使い方

対象者 このマニュアルは RL78/G1F の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

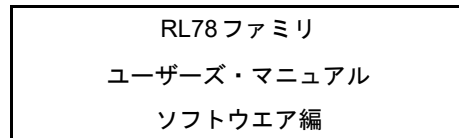
- 24ピン： R5F11B7x (x = C, E)
- 32ピン： R5F11BBx (x = C, E)
- 36ピン： R5F11BCx (x = C, E)
- 48ピン： R5F11BGx (x = C, E)
- 64ピン： R5F11BLx (x = C, E)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/G1Fのマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr 指令で、sfr変数として定義されているものです。

□ RL78/G1Fマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁，右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> (端子，信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxx×B
		10進数...xxxx
		16進数...xxx×H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G1F ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0516E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78, 78K, V850, RX100, RX200, RX600 (RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash[®] を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	4
1.3	端子接続図 (Top View)	6
1.3.1	24ピン製品	6
1.3.2	32ピン製品	7
1.3.3	36ピン製品	9
1.3.4	48ピン製品	10
1.3.5	64ピン製品	11
1.4	端子名称	12
1.5	ブロック図	13
1.6	機能概要	14
2.	端子機能	17
2.1	ポート機能	17
2.1.1	24ピン製品	18
2.1.2	32ピン製品	20
2.1.3	36ピン製品	22
2.1.4	48ピン製品	24
2.1.5	64ピン製品	26
2.2	ポート以外の機能	28
2.2.1	製品別の搭載機能	28
2.2.2	機能説明	32
2.3	未使用端子の処理	34
2.4	端子ブロック図	35
3.	CPUアーキテクチャ	58
3.1	概要	58
3.2	メモリ空間	58
3.2.1	内部プログラム・メモリ空間	64
3.2.2	ミラー領域	67
3.2.3	内部データ・メモリ空間	69
3.2.4	特殊機能レジスタ (SFR : Special Function Register) 領域	70
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	70
3.2.6	データ・メモリ・アドレッシング	71
3.3	プロセッサ・レジスタ	72
3.3.1	制御レジスタ	72
3.3.2	汎用レジスタ	75
3.3.3	ES, CSレジスタ	76
3.3.4	特殊機能レジスタ (SFR : Special Function Register)	77
3.3.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	83
3.4	命令アドレスのアドレッシング	92
3.4.1	レラティブ・アドレッシング	92
3.4.2	イミーディエト・アドレッシング	92
3.4.3	テーブル・インダイレクト・アドレッシング	93

3.4.4	レジスタ・ダイレクト・アドレッシング	94
3.5	処理データ・アドレスに対するアドレッシング	95
3.5.1	インプライド・アドレッシング	95
3.5.2	レジスタ・アドレッシング	95
3.5.3	ダイレクト・アドレッシング	96
3.5.4	ショート・ダイレクト・アドレッシング	97
3.5.5	SFRアドレッシング	98
3.5.6	レジスタ・インダイレクト・アドレッシング	99
3.5.7	ベースト・アドレッシング	100
3.5.8	ベースト・インデクスト・アドレッシング	103
3.5.9	スタック・アドレッシング	104
4.	ポート機能	107
4.1	ポートの機能	107
4.2	ポートの構成	108
4.2.1	ポート0	109
4.2.2	ポート1	110
4.2.3	ポート2	111
4.2.4	ポート3	112
4.2.5	ポート4	112
4.2.6	ポート5	113
4.2.7	ポート6	113
4.2.8	ポート7	113
4.2.9	ポート12	114
4.2.10	ポート13	114
4.2.11	ポート14	114
4.3	ポート機能を制御するレジスタ	115
4.3.1	ポート・モード・レジスタ (PMxx)	118
4.3.2	ポート・レジスタ (Pxx)	119
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	121
4.3.4	ポート入力モード・レジスタ (PIMxx)	122
4.3.5	ポート出力モード・レジスタ (POMxx)	123
4.3.6	ポート・モード・コントロール・レジスタ (PMCxx)	124
4.3.7	周辺I/Oリダイレクション・レジスタ0 (PIOR0)	125
4.3.8	周辺I/Oリダイレクション・レジスタ1 (PIOR1)	127
4.3.9	周辺I/Oリダイレクション・レジスタ2 (PIOR2)	128
4.3.10	周辺I/Oリダイレクション・レジスタ3 (PIOR3)	129
4.3.11	グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)	131
4.4	ポート機能の動作	132
4.4.1	入出力ポートへの書き込み	132
4.4.2	入出力ポートからの読み出し	132
4.4.3	入出力ポートでの演算	132
4.4.4	EVDD ≤ VDDによる異電位(1.8 V系, 2.5 V系, 3 V系)対応	133
4.4.5	入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応	133
4.5	兼用機能使用時のレジスタの設定	136
4.5.1	兼用機能使用時の基本的な考え方	136
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	137
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	139
4.6	ポート機能使用時の注意事項	150

4.6.1	ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項	150
4.6.2	端子設定に関する注意事項	151
5.	クロック発生回路	152
5.1	クロック発生回路の機能	152
5.2	クロック発生回路の構成	155
5.3	クロック発生回路を制御するレジスタ	158
5.3.1	クロック動作モード制御レジスタ (CMC)	158
5.3.2	システム・クロック制御レジスタ (CKC)	161
5.3.3	クロック動作ステータス制御レジスタ (CSC)	163
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	164
5.3.5	発振安定時間選択レジスタ (OSTS)	166
5.3.6	周辺イネーブル・レジスタ 0, 1 (PER0, PER1)	168
5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	173
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	174
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	176
5.4	システム・クロック発振回路	177
5.4.1	X1発振回路	177
5.4.2	XT1発振回路	177
5.4.3	高速オンチップ・オシレータ	181
5.4.4	低速オンチップ・オシレータ	181
5.5	クロック発生回路の動作	182
5.6	クロックの制御	184
5.6.1	高速オンチップ・オシレータの設定例	184
5.6.2	X1発振回路の設定例	186
5.6.3	XT1発振回路の設定例	187
5.6.4	CPUクロック状態移行図	188
5.6.5	CPUクロックの移行前の条件と移行後の処理	194
5.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	196
5.6.7	クロック発振停止前の条件	197
5.7	発振子と発振回路定数	198
6.	タイマ・アレイ・ユニット	201
6.1	タイマ・アレイ・ユニットの機能	203
6.1.1	単独チャンネル動作機能	203
6.1.2	複数チャンネル連動動作機能	204
6.1.3	8ビット・タイマ動作機能(チャンネル1, 3のみ)	205
6.1.4	LIN-bus対応機能(ユニット0のチャンネル3のみ)	206
6.2	タイマ・アレイ・ユニットの構成	207
6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	212
6.2.2	タイマ・データ・レジスタ mn (TDRmn)	214
6.3	タイマ・アレイ・ユニットを制御するレジスタ	215
6.3.1	周辺イネーブル・レジスタ 0 (PER0)	216
6.3.2	タイマ・クロック選択レジスタ m (TPSm)	217
6.3.3	タイマ・モード・レジスタ mn (TMRmn)	220
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn)	225
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	226
6.3.6	タイマ・チャンネル開始レジスタ m (TSm)	227
6.3.7	タイマ・チャンネル停止レジスタ m (TTm)	229

6.3.8	タイマ入出力選択レジスタ0 (TIOS0)	230
6.3.9	タイマ出力許可レジスタm (TOEm)	231
6.3.10	タイマ出力レジスタm (TOm)	232
6.3.11	タイマ出力レベル・レジスタm (TOLm)	233
6.3.12	タイマ出力モード・レジスタm (TOMm)	234
6.3.13	入力切り替え制御レジスタ (ISC)	235
6.3.14	ノイズ・フィルタ許可レジスタ1 (NFEN1)	236
6.3.15	タイマ入出力端子のポート機能を制御するレジスタ	238
6.4	タイマ・アレイ・ユニットの基本ルール	239
6.4.1	複数チャネル連動動作機能の基本ルール	239
6.4.2	8ビット・タイマ動作機能の基本ルール(チャネル1, 3のみ)	241
6.5	カウンタの動作	242
6.5.1	カウント・クロック (ftCLK)	242
6.5.2	カウンタのスタート・タイミング	244
6.5.3	カウンタの動作	245
6.6	チャネル出力(TOmn端子)の制御	250
6.6.1	TOmn端子の出力回路の構成	250
6.6.2	TOmn端子の出力設定	251
6.6.3	チャネル出力操作時の注意事項	252
6.6.4	TOmnビットの一括操作	257
6.6.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について	258
6.7	タイマ入力(TImn)の制御	259
6.7.1	TImnの入力回路構成	259
6.7.2	ノイズ・フィルタ	259
6.7.3	チャネル入力操作時の注意事項	260
6.8	タイマ・アレイ・ユニットの単独チャネル動作機能	261
6.8.1	インターバル・タイマ/方形波出力としての動作	261
6.8.2	外部イベント・カウンタとしての動作	266
6.8.3	分周器としての動作(ユニット0のチャネル0のみ)	270
6.8.4	入力パルス間隔測定としての動作	274
6.8.5	入力信号のハイ/ロウ・レベル幅測定としての動作	278
6.8.6	ディレイ・カウンタとしての動作	282
6.9	タイマ・アレイ・ユニットの複数チャネル連動動作機能	286
6.9.1	ワンショット・パルス出力機能としての動作	286
6.9.2	PWM機能としての動作	293
6.9.3	多重PWM出力機能としての動作	300
6.10	タイマ・アレイ・ユニット使用時の注意事項	308
6.10.1	タイマ出力使用時の注意事項	308
7.	タイマRJ	309
7.1	タイマRJの機能	309
7.2	タイマRJの構成	310
7.3	タイマRJを制御するレジスタ	311
7.3.1	周辺イネーブル・レジスタ1 (PER1)	312
7.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	313
7.3.3	タイマRJカウンタレジスタ0 (TRJ0)	314
7.3.4	タイマRJ制御レジスタ0 (TRJCR0)	315
7.3.5	タイマRJ I/O制御レジスタ0 (TRJIOC0)	317
7.3.6	タイマRJモードレジスタ0 (TRJMR0)	319

7.3.7	タイマRJイベント端子選択レジスタ0 (TRJISR0)	320
7.3.8	ポート・モード・レジスタ0, 3, 4, 5, 7 (PM0, PM3, PM4, PM5, PM7)	321
7.4	タイマRJの動作	322
7.4.1	リロードレジスタとカウンタの書き換え動作	322
7.4.2	タイマモード	324
7.4.3	パルス出力モード	325
7.4.4	イベントカウンタモード	326
7.4.5	パルス幅測定モード	328
7.4.6	パルス周期測定モード	329
7.4.7	イベント・リンク・コントローラ(ELC)との連携による動作	330
7.4.8	各モード出力設定	330
7.5	タイマRJ使用上の注意事項	331
7.5.1	カウント動作開始, 停止制御	331
7.5.2	フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット)	331
7.5.3	カウンタレジスタへのアクセス	331
7.5.4	モード変更時	331
7.5.5	TRJ00, TRJ100端子の設定手順	332
7.5.6	タイマRJ未使用時	332
7.5.7	タイマRJ動作クロック停止時	332
7.5.8	STOPモード(イベントカウンタモード)の設定手順	333
7.5.9	STOPモード(イベントカウンタモードのみ)での機能制限	333
7.5.10	TSTOPビットによる強制カウント停止時	333
7.5.11	デジタルフィルタ	333
7.5.12	カウントソースにfilを選択する場合	333
8.	タイマRD	334
8.1	タイマRDの機能	334
8.2	タイマRDの構成	335
8.3	タイマRDを制御するレジスタ	336
8.3.1	周辺イネーブル・レジスタ1 (PER1)	337
8.3.2	タイマRD ELCレジスタ (TRDELIC)	338
8.3.3	タイマRDスタートレジスタ (TRDSTR)	339
8.3.4	タイマRDモードレジスタ (TRDMR)	340
8.3.5	タイマRD PWM機能選択レジスタ (TRDPMR)	341
8.3.6	タイマRD機能制御レジスタ (TRDFCR)	342
8.3.7	タイマRD出力マスタ許可レジスタ1 (TRDOER1)	344
8.3.8	タイマRD出力マスタ許可レジスタ2 (TRDOER2)	345
8.3.9	タイマRD出力制御レジスタ (TRDOCR)	346
8.3.10	タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi)(i = 0, 1)	350
8.3.11	タイマRD制御レジスタi (TRDCRi)(i = 0, 1)	353
8.3.12	タイマRD I/O制御レジスタAi (TRDIORAi)(i = 0, 1)	358
8.3.13	タイマRD I/O制御レジスタCi (TRDIORCi)(i = 0, 1)	360
8.3.14	タイマRDステータスレジスタ0 (TRDSR0)	362
8.3.15	タイマRDステータスレジスタ1 (TRDSR1)	366
8.3.16	タイマRD割り込み許可レジスタi (TRDIERi)(i = 0, 1)	370
8.3.17	タイマRD PWM機能出力レベル制御レジスタi (TRDPOCRi)(i = 0, 1)	371
8.3.18	タイマRDカウンタi (TRDi)(i = 0, 1)	372
8.3.19	タイマRDジェネラルレジスタAi, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)(i = 0, 1)	374

8.3.20	ポート・モード・レジスタ1 (PM1)	385
8.4	複数モードにかかわる共通事項	386
8.4.1	カウントソース	386
8.4.2	バッファ動作	387
8.4.3	同期動作	390
8.4.4	パルス出力強制遮断	391
8.4.5	イベント・リンク・コントローラ(ELC)からのイベント入力	393
8.4.6	イベント・リンク・コントローラ(ELC)/データ・トランスファ・コントローラ(DTC)へのイベント出力	393
8.5	タイマRDの動作	394
8.5.1	インプットキャプチャ機能	394
8.5.2	アウトプットコンペア機能	399
8.5.3	PWM機能	405
8.5.4	リセット同期PWMモード	410
8.5.5	相補PWMモード	414
8.5.6	PWM3モード	419
8.6	タイマRD割り込み	423
8.7	タイマRD使用上の注意事項	425
8.7.1	SFRリード/ライトアクセス	425
8.7.2	モードの切り替え	426
8.7.3	カウントソース	426
8.7.4	インプットキャプチャ機能	426
8.7.5	TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順(i = 0, 1)	427
8.7.6	外部クロック TRDCLK	427
8.7.7	リセット同期PWMモード	427
8.7.8	相補PWMモード	428
8.8	PWM オプションユニットA (PWMOPA)	432
8.8.1	PWMオプションユニットの概要	433
8.8.2	PWMオプションユニットを制御するレジスタ	433
8.8.3	動作説明	440
8.8.3.1	強制遮断	440
8.8.3.2	ハードウェア解除 (HS_SEL = 0 の場合)	440
8.8.3.3	ソフトウェア遮断解除 (HS_SEL = 1 時)	450
8.8.3.4	ハザード対策	456
8.8.3.5	出力遮断要因検出状態・出力遮断要因未検出状態	457
8.8.3.6	タイマRDのカウンタの値が0000Hになるタイミング	458
8.8.3.7	設定手順	462
8.8.4	注意事項	463
9.	タイマRG	464
9.1	タイマRGの機能	464
9.2	タイマRGの構成	465
9.3	タイマRGを制御するレジスタ	466
9.3.1	周辺イネーブル・レジスタ1 (PER1)	467
9.3.2	タイマRGモードレジスタ (TRGMR)	468
9.3.3	タイマRGカウント制御レジスタ (TRGCNTC)	469
9.3.4	タイマRG制御レジスタ (TRGCR)	470
9.3.5	タイマRG割り込み許可レジスタ (TRGIER)	471
9.3.6	タイマRGステータスレジスタ (TRGSR)	472

9.3.7	タイマRG I/O制御レジスタ (TRGIOR)	474
9.3.8	タイマRGカウンタ (TRG)	476
9.3.9	タイマRGジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD) ..	477
9.3.10	ポート・モード・レジスタ 0, 5 (PM0, PM5)	479
9.4	タイマRGの動作	480
9.4.1	複数モード, 機能に関わる共通事項	480
9.4.2	タイマモード(インプットキャプチャ機能)	485
9.4.3	タイマモード(アウトプットコンペア機能)	488
9.4.4	PWMモード	492
9.4.5	位相計数モード	496
9.5	タイマRG 割り込み	498
9.6	タイマRG使用上の注意事項	500
9.6.1	位相計数モード時の位相差, オーバラップ, およびパルス幅	500
9.6.2	モード切り替え	500
9.6.3	カウントソース切り替え	500
9.6.4	TRGIOA, TRGIOB 端子の設定手順	501
9.6.5	外部クロック TRGCLKA, TRGCLKB	501
9.6.6	SFR リード/ライトアクセス	502
9.6.7	カウント停止時のインプットキャプチャ動作	502
10.	タイマRX	503
10.1	タイマRXの機能	503
10.2	タイマRXの構成	504
10.3	タイマRXを制御するレジスタ	505
10.3.1	周辺イネーブル・レジスタ 1 (PER1)	505
10.3.2	タイマRXカウンタ (TRX)	506
10.3.3	タイマRXカウント・バッファ・カウンタ (TRXBUF)	506
10.3.4	タイマRX機能制御レジスタ 1(TRXCR1)	507
10.3.5	タイマRX機能制御レジスタ 2 (TRXCR2)	509
10.3.6	タイマRXステータス・レジスタ (TRXSR)	510
10.4	タイマRXの動作	511
10.4.1	カウントソース	511
10.4.2	タイマRXカウントスタート動作	511
10.4.2.1	タイマ RD からのトリガ選択時の設定と動作	512
10.4.2.2	ソフトウェア・トリガ選択時の設定と動作	513
10.4.3	タイマRXカウントストップ動作	514
10.4.3.1	コンパレータ 1 からのトリガ選択時の設定と動作	514
10.4.3.2	ソフトウェア・トリガ選択時の設定と動作	514
10.4.4	インプット・キャプチャ動作	515
10.4.5	タイマRXカウント・リセット動作	516
10.4.6	タイマRX割り込み動作	518
10.5	タイマRX使用上の注意事項	519
10.5.1	SFR リード/ライト・アクセス	519
10.5.2	オーバフロー割り込み	519
10.5.3	インプット・キャプチャとタイマRXカウント・リセット動作	519
10.5.4	タイマRXとタイマRD, コンパレータ 1 との連携動作するときの設定手順	520
11.	リアルタイム・クロック	521
11.1	リアルタイム・クロックの機能	521

11.2	リアルタイム・クロックの構成	521
11.3	リアルタイム・クロックを制御するレジスタ	523
11.3.1	周辺イネーブル・レジスタ0 (PER0)	524
11.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	525
11.3.3	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	526
11.3.4	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	527
11.3.5	秒カウント・レジスタ (SEC)	529
11.3.6	分カウント・レジスタ (MIN)	529
11.3.7	時カウント・レジスタ (HOUR)	530
11.3.8	日カウント・レジスタ (DAY)	532
11.3.9	曜日カウント・レジスタ (WEEK)	533
11.3.10	月カウント・レジスタ (MONTH)	534
11.3.11	年カウント・レジスタ (YEAR)	534
11.3.12	時計誤差補正レジスタ (SUBCUD)	535
11.3.13	アラーム分レジスタ (ALARMWM)	536
11.3.14	アラーム時レジスタ (ALARMWH)	536
11.3.15	アラーム曜日レジスタ (ALARMWW)	536
11.3.16	ポート・モード・レジスタ3 (PM3)	537
11.3.17	ポート・レジスタ3 (P3)	537
11.4	リアルタイム・クロックの動作	538
11.4.1	リアルタイム・クロックの動作開始	538
11.4.2	動作開始後のHALT/STOPモードへの移行	539
11.4.3	リアルタイム・クロックのカウンタ読み出し／書き込み	540
11.4.4	リアルタイム・クロックのアラーム設定	542
11.4.5	リアルタイム・クロックの1 Hz出力	543
11.4.6	リアルタイム・クロックの時計誤差補正例	544
12.	12ビット・インターバル・タイマ	549
12.1	12ビット・インターバル・タイマの機能	549
12.2	12ビット・インターバル・タイマの構成	549
12.3	12ビット・インターバル・タイマを制御するレジスタ	550
12.3.1	周辺イネーブル・レジスタ0 (PER0)	550
12.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	551
12.3.3	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	552
12.4	12ビット・インターバル・タイマの動作	553
12.4.1	12ビット・インターバル・タイマの動作タイミング	553
12.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、 再度HALT/STOPモードへの移行	554
13.	クロック出力／ブザー出力制御回路	555
13.1	クロック出力／ブザー出力制御回路の機能	555
13.2	クロック出力／ブザー出力制御回路の構成	557
13.3	クロック出力／ブザー出力制御回路を制御するレジスタ	557
13.3.1	クロック出力選択レジスタ n (CKSn)	557
13.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	559
13.4	クロック出力／ブザー出力制御回路の動作	560
13.4.1	出力端子の動作	560
13.5	クロック出力／ブザー出力制御回路の注意事項	560

14.	ウォッチドッグ・タイマ	561
14.1	ウォッチドッグ・タイマの機能	561
14.2	ウォッチドッグ・タイマの構成	562
14.3	ウォッチドッグ・タイマを制御するレジスタ	563
14.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	563
14.4	ウォッチドッグ・タイマの動作	564
14.4.1	ウォッチドッグ・タイマの動作制御	564
14.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	566
14.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	567
14.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	569
15.	A/Dコンバータ	570
15.1	A/Dコンバータの機能	570
15.2	A/Dコンバータの構成	573
15.3	A/Dコンバータを制御するレジスタ	575
15.3.1	周辺イネーブル・レジスタ 0 (PER0)	576
15.3.2	A/Dコンバータ・モード・レジスタ 0 (ADM0)	577
15.3.3	A/Dコンバータ・モード・レジスタ 1 (ADM1)	585
15.3.4	A/Dコンバータ・モード・レジスタ 2 (ADM2)	586
15.3.5	10ビットA/D変換結果レジスタ (ADCR)	588
15.3.6	8ビットA/D変換結果レジスタ (ADCRH)	588
15.3.7	アナログ入力チャネル指定レジスタ (ADS)	589
15.3.8	変換結果比較上限値設定レジスタ (ADUL)	591
15.3.9	変換結果比較下限値設定レジスタ (ADLL)	591
15.3.10	A/Dテスト・レジスタ (ADTES)	592
15.3.11	アナログ入力端子のポート機能を制御するレジスタ	593
15.4	A/Dコンバータの変換動作	594
15.5	入力電圧と変換結果	596
15.6	A/Dコンバータの動作モード	597
15.6.1	ソフトウエア・トリガ・モード(セレクト・モード, 連続変換モード)	597
15.6.2	ソフトウエア・トリガ・モード(セレクト・モード, ワンショット変換モード)	598
15.6.3	ソフトウエア・トリガ・モード(スキャン・モード, 連続変換モード)	599
15.6.4	ソフトウエア・トリガ・モード(スキャン・モード, ワンショット変換モード)	600
15.6.5	ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)	601
15.6.6	ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット 変換モード)	602
15.6.7	ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)	603
15.6.8	ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット 変換モード)	604
15.6.9	ハードウエア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード)	605
15.6.10	ハードウエア・トリガ・ウエイト・モード(セレクト・モード, ワンショット 変換モード)	606
15.6.11	ハードウエア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)	607
15.6.12	ハードウエア・トリガ・ウエイト・モード(スキャン・モード, ワンショット 変換モード)	608
15.7	A/Dコンバータの設定フロー・チャート	609
15.7.1	ソフトウエア・トリガ・モード設定	610
15.7.2	ハードウエア・トリガ・ノーウエイト・モード設定	611
15.7.3	ハードウエア・トリガ・ウエイト・モード設定	612

15.7.4	温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)	613
15.7.5	テスト・モード設定	614
15.8	SNOOZEモード機能	615
15.9	A/Dコンバータ特性表の読み方	619
15.10	A/Dコンバータの注意事項	622
16.	D/Aコンバータ	626
16.1	D/Aコンバータの機能	626
16.2	D/Aコンバータの構成	627
16.3	D/Aコンバータを制御するレジスタ	628
16.3.1	周辺イネーブル・レジスタ1 (PER1)	628
16.3.2	D/Aコンバータ・モード・レジスタ (DAM)	629
16.3.3	D/A変換値設定レジスタ <i>i</i> (DACSi)(<i>i</i> = 0, 1)	629
16.3.4	イベント出力先選択レジスタ <i>n</i> (ELSELR <i>n</i>) (<i>n</i> = 00 ~ 21)	630
16.3.5	アナログ入力端子のポート機能を制御するレジスタ	630
16.4	D/Aコンバータの動作	631
16.4.1	通常モード時の動作	631
16.4.2	リアルタイム出力モード時の動作	632
16.4.3	D/A変換値の出力タイミング	633
16.5	D/Aコンバータ使用上の注意事項	634
17.	コンパレータ (CMP)	635
17.1	CMPの機能	635
17.2	CMPの構成	636
17.3	コンパレータを制御するレジスタ	638
17.3.1	周辺イネーブル・レジスタ1 (PER1)	639
17.3.2	コンパレータモード設定レジスタ (COMPMDR)	640
17.3.3	コンパレータフィルタ制御レジスタ (COMPFIR)	641
17.3.4	コンパレータ出力制御レジスタ (COMPOCR)	643
17.3.5	コンパレータ内蔵基準電圧制御レジスタ (CVRCTL)	645
17.3.6	コンパレータ内蔵基準電圧選択レジスタ <i>i</i> (CiRVM) (<i>i</i> = 0, 1)	646
17.3.7	コンパレータ0入力信号選択制御レジスタ (CMPSEL0)	647
17.3.8	コンパレータ1入力信号選択制御レジスタ (CMPSEL1)	648
17.3.9	アナログ入力端子のポート機能を制御するレジスタ	649
17.4	動作説明	650
17.4.1	コンパレータ <i>i</i> デジタルフィルタ (<i>i</i> = 0, 1)	652
17.4.2	コンパレータ <i>i</i> 割り込み (<i>i</i> = 0, 1)	653
17.4.3	イベント・リンク・コントローラ (ELC)へのイベント信号出力	654
17.4.4	コンパレータ <i>i</i> 出力 (<i>i</i> = 0, 1)	655
17.4.5	コンパレータクロック停止/供給	655
18.	プログラマブル・ゲイン・アンプ (PGA)	656
18.1	プログラマブル・ゲイン・アンプの性能	656
18.2	プログラマブル・ゲイン・アンプの構成	656
18.3	プログラマブル・ゲイン・アンプを制御するレジスタ	658
18.3.1	周辺イネーブル・レジスタ1 (PER1)	659
18.3.2	PGA制御レジスタ (PGACTL)	660
18.3.3	ポート・モード・コントロール・レジスタ2 (PMC2)	661

18.3.4	ポート・モード・レジスタ2 (PM2)	662
18.4	プログラマブル・ゲイン・アンプの動作	662
18.4.1	プログラマブル・ゲイン・アンプの設定手順	663
18.4.2	プログラマブル・ゲイン・アンプの設定手順	664
19.	シリアル・アレイ・ユニット	665
19.1	シリアル・アレイ・ユニットの機能	666
19.1.1	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)	666
19.1.2	UART (UART0-UART2)	667
19.1.3	簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)	668
19.2	シリアル・アレイ・ユニットの構成	669
19.2.1	シフト・レジスタ	673
19.2.2	シリアル・データ・レジスタ mn (SDRmn)の下位8/9ビット	673
19.3	シリアル・アレイ・ユニットを制御するレジスタ	675
19.3.1	周辺イネーブル・レジスタ0 (PER0)	676
19.3.2	シリアル・クロック選択レジスタ m (SPSm)	677
19.3.3	シリアル・モード・レジスタ mn (SMRmn)	679
19.3.4	シリアル通信動作設定レジスタ mn (SCRmn)	680
19.3.5	シリアル・データ・レジスタ mn (SDRmn)	683
19.3.6	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)	685
19.3.7	シリアル・ステータス・レジスタ mn (SSRmn)	686
19.3.8	シリアル・チャンネル開始レジスタ m (SSm)	688
19.3.9	シリアル・チャンネル停止レジスタ m (STm)	689
19.3.10	シリアル・チャンネル許可ステータス・レジスタ m (SEm)	690
19.3.11	シリアル出力許可レジスタ m (SOEm)	691
19.3.12	シリアル出力レジスタ m (SOm)	692
19.3.13	シリアル出力レベル・レジスタ m (SOLm)	693
19.3.14	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	695
19.3.15	入力切り替え制御レジスタ (ISC)	696
19.3.16	ノイズ・フィルタ許可レジスタ0 (NFEN0)	697
19.3.17	シリアル入出力端子のポート機能を制御するレジスタ	698
19.4	動作停止モード	699
19.4.1	ユニット単位で動作停止とする場合	699
19.4.2	チャンネルごとに動作停止とする場合	700
19.5	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信の動作	701
19.5.1	マスタ送信	703
19.5.2	マスタ受信	711
19.5.3	マスタ送受信	719
19.5.4	スレーブ送信	727
19.5.5	スレーブ受信	735
19.5.6	スレーブ送受信	741
19.5.7	SNOOZEモード機能	749
19.5.8	転送クロック周波数の算出	754
19.5.9	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信時における エラー発生時の処理手順	756
19.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作	757
19.6.1	スレーブ送信	761
19.6.2	スレーブ受信	771
19.6.3	スレーブ送受信	778

19.6.4	転送クロック周波数の算出	788
19.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時における エラー発生時の処理手順	790
19.7	UART (UART0-UART2)通信の動作	791
19.7.1	UART送信	794
19.7.2	UART受信	803
19.7.3	SNOOZEモード機能	810
19.7.4	ボー・レートの算出	818
19.7.5	UART (UART0-UART2)通信時におけるエラー発生時の処理手順	822
19.8	LIN通信の動作	823
19.8.1	LIN送信	823
19.8.2	LIN受信	826
19.9	簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)通信の動作	831
19.9.1	アドレス・フィールド送信	833
19.9.2	データ送信	838
19.9.3	データ受信	841
19.9.4	ストップ・コンディション発生	845
19.9.5	転送レートの算出	846
19.9.6	簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)通信時における エラー発生時の処理手順	849
20.	シリアル・インタフェースIICA	850
20.1	シリアル・インタフェースIICAの機能	850
20.2	シリアル・インタフェースIICAの構成	853
20.3	シリアル・インタフェースIICAを制御するレジスタ	857
20.3.1	周辺イネーブル・レジスタ0 (PER0)	858
20.3.2	IICAコントロール・レジスタn0 (IICCTLn0)	858
20.3.3	IICAステータス・レジスタn (IICSn)	863
20.3.4	IICAフラグ・レジスタn (IICFn)	865
20.3.5	IICAコントロール・レジスタn1 (IICCTLn1)	867
20.3.6	IICAロウ・レベル幅設定レジスタn (IICWLn)	869
20.3.7	IICAハイ・レベル幅設定レジスタn (IICWHn)	869
20.3.8	ポート・モード・レジスタ1, 6 (PM1, PM6)	870
20.4	I ² Cバス・モードの機能	871
20.4.1	端子構成	871
20.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	872
20.5	I ² Cバスの定義および制御方法	874
20.5.1	スタート・コンディション	874
20.5.2	アドレス	875
20.5.3	転送方向指定	875
20.5.4	アクノリッジ(ACK)	876
20.5.5	ストップ・コンディション	877
20.5.6	クロック・ストレッチ	878
20.5.7	クロック・ストレッチ解除方法	880
20.5.8	割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御	881
20.5.9	アドレスの一致検出方法	882
20.5.10	エラーの検出	882
20.5.11	拡張コード	883
20.5.12	アービトレーション	884

20.5.13	ウエイク・アップ機能	886
20.5.14	通信予約	889
20.5.15	その他の注意事項	893
20.5.16	通信動作	894
20.5.17	I ² C割り込み要求(INTIICAn)の発生タイミング	902
20.6	タイミング・チャート	923
21.	IrDA	938
21.1	IrDAの機能	938
21.2	レジスタの説明	939
21.2.1	周辺イネーブル・レジスタ0 (PER0)	939
21.2.2	IrDAコントロール・レジスタ (IRCR)	940
21.3	動作説明	941
21.3.1	IrDA通信操作手順	941
21.3.2	送信	942
21.3.3	受信	943
21.3.4	ハイ・パルス幅の選択	943
21.4	IrDA使用上の注意事項	944
22.	データ・トランスファ・コントローラ(DTC)	945
22.1	DTCの機能	945
22.2	DTCの構成	947
22.3	DTCを制御するレジスタ	948
22.3.1	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	949
22.3.2	コントロールデータの配置	950
22.3.3	ベクタテーブル	951
22.3.4	周辺イネーブル・レジスタ1 (PER1)	953
22.3.5	DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)	954
22.3.6	DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)	955
22.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)	955
22.3.8	DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)	956
22.3.9	DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)	956
22.3.10	DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)	956
22.3.11	DTC起動許可レジスタi (DTCENi) (i = 0 ~ 4)	957
22.3.12	DTCベースアドレスレジスタ (DTCBAR)	960
22.4	DTCの動作	960
22.4.1	起動要因	961
22.4.2	ノーマルモード	962
22.4.3	リピートモード	965
22.4.4	チェイン転送	969
22.5	DTC使用上の注意事項	971
22.5.1	DTCのコントロールデータおよびベクタテーブルの設定	971
22.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	971
22.5.3	DTC保留命令	972
22.5.4	データ・フラッシュ空間にアクセスする場合の動作	972
22.5.5	DTC実行クロック数	973
22.5.6	DTC応答時間	974
22.5.7	DTC起動要因	974
22.5.8	スタンバイ・モード時の動作	975

23.	イベント・リンク・コントローラ(ELC)	976
23.1	ELCの機能	976
23.2	ELCの構成	976
23.3	ELCを制御するレジスタ	977
23.3.1	イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 21)	978
23.4	ELCの動作	981
24.	割り込み機能	983
24.1	割り込み機能の種類	983
24.2	割り込み要因と構成	983
24.3	割り込み機能を制御するレジスタ	989
24.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	993
24.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	995
24.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)	997
24.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)	1000
24.3.5	プログラム・ステータス・ワード (PSW)	1002
24.4	割り込み処理動作	1003
24.4.1	マスカブル割り込み要求の受け付け動作	1003
24.4.2	ソフトウェア割り込み要求の受け付け動作	1006
24.4.3	多重割り込み処理	1006
24.4.4	除算命令中の割り込み処理	1010
24.4.5	割り込み要求の保留	1012
25.	キー割り込み機能	1013
25.1	キー割り込みの機能	1013
25.2	キー割り込みの構成	1013
25.3	キー割り込みを制御するレジスタ	1015
25.3.1	キー・リターン・モード・レジスタ (KRM)	1015
25.3.2	ポート・モード・レジスタ 7 (PM7)	1016
26.	スタンバイ機能	1017
26.1	スタンバイ機能	1017
26.2	スタンバイ機能を制御するレジスタ	1018
26.3	スタンバイ機能の動作	1019
26.3.1	HALTモード	1019
26.3.2	STOPモード	1024
26.3.3	SNOOZEモード	1029
27.	リセット機能	1033
27.1	リセット動作のタイミング	1035
27.2	リセット要因を確認するレジスタ	1039
27.2.1	リセット・コントロール・フラグ・レジスタ (RESF)	1039
28.	パワーオン・リセット回路	1042
28.1	パワーオン・リセット回路の機能	1042
28.2	パワーオン・リセット回路の構成	1043
28.3	パワーオン・リセット回路の動作	1043

29.	電圧検出回路	1047
29.1	電圧検出回路の機能	1047
29.2	電圧検出回路の構成	1048
29.3	電圧検出回路を制御するレジスタ	1048
29.3.1	電圧検出レジスタ (LVIM)	1049
29.3.2	電圧検出レベル・レジスタ (LVIS)	1050
29.4	電圧検出回路の動作	1053
29.4.1	リセット・モードとして使用する場合の設定	1053
29.4.2	割り込みモードとして使用する場合の設定	1055
29.4.3	割り込み&リセット・モードとして使用時の設定	1057
29.5	電圧検出回路の注意事項	1063
30.	安全機能	1065
30.1	安全機能の概要	1065
30.2	安全機能で使用するレジスタ	1066
30.3	安全機能の動作	1066
30.3.1	フラッシュ・メモリCRC演算機能(高速CRC)	1066
30.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRCOCTL)	1067
30.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	1068
30.3.2	CRC演算機能(汎用CRC)	1070
30.3.2.1	CRC入力レジスタ (CRCIN)	1071
30.3.2.2	CRCデータ・レジスタ (CRCD)	1072
30.3.3	RAMパリティ・エラー検出機能	1073
30.3.3.1	RAMパリティ・エラー制御レジスタ (RPECTL)	1073
30.3.4	RAMガード機能	1075
30.3.4.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1075
30.3.5	SFRガード機能	1076
30.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1076
30.3.6	不正メモリ・アクセス検出機能	1077
30.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1078
30.3.7	周波数検出機能	1079
30.3.7.1	タイマ入出力選択レジスタ 0 (TIOS0)	1080
30.3.8	A/Dテスト機能	1081
30.3.8.1	A/Dテスト・レジスタ (ADTES)	1083
30.3.8.2	アナログ入力チャンネル指定レジスタ (ADS)	1084
30.3.9	入出力端子のデジタル出力信号レベル検出機能	1086
30.3.9.1	ポート・モード選択レジスタ (PMS)	1086
31.	レギュレータ	1087
31.1	レギュレータの概要	1087
32.	オプション・バイト	1088
32.1	オプション・バイトの機能	1088
32.1.1	ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)	1088
32.1.2	オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)	1089
32.2	ユーザ・オプション・バイトのフォーマット	1090
32.3	オンチップ・デバッグ・オプション・バイトのフォーマット	1096
32.4	オプション・バイトの設定	1097

33.	フラッシュ・メモリ	1098
33.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	1099
33.1.1	プログラミング環境	1101
33.1.2	通信方式	1101
33.2	外部デバイス(UART内蔵)によるシリアル・プログラミング	1102
33.2.1	プログラミング環境	1102
33.2.2	通信方式	1103
33.3	オンボード上の端子処理	1104
33.3.1	P40/TOOL0端子	1104
33.3.2	RESET端子	1104
33.3.3	ポート端子	1105
33.3.4	REGC端子	1105
33.3.5	X1, X2端子	1105
33.3.6	電源	1105
33.4	プログラミング方法	1106
33.4.1	シリアル・プログラミング手順	1106
33.4.2	フラッシュ・メモリ・プログラミング・モード	1107
33.4.3	通信方式	1109
33.4.4	通信コマンド	1110
33.5	PG-FP5使用時の各コマンド処理時間(参考値)	1112
33.6	セルフ・プログラミング	1113
33.6.1	セルフ・プログラミング手順	1114
33.6.2	ブート・スワップ機能	1115
33.6.3	フラッシュ・シールド・ウインドウ機能	1117
33.7	セキュリティ設定	1118
33.8	データ・フラッシュ	1120
33.8.1	データ・フラッシュの概要	1120
33.8.2	データ・フラッシュを制御するレジスタ	1121
33.8.2.1	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	1121
33.8.3	データ・フラッシュへのアクセス手順	1122
34.	オンチップ・デバッグ機能	1123
34.1	E1オンチップデバッグエミュレータとの接続	1123
34.2	オンチップ・デバッグ・セキュリティ ID	1124
34.3	ユーザ資源の確保	1124
35.	10進補正(BCD)回路	1126
35.1	10進補正回路の機能	1126
35.2	10進補正回路で使用するレジスタ	1126
35.2.1	BCD補正結果レジスタ(BCDADJ)	1126
35.3	10進補正回路の動作	1127
36.	命令セットの概要	1129
36.1	凡例	1130
36.1.1	オペランドの表現形式と記述方法	1130
36.1.2	オペレーション欄の説明	1131
36.1.3	フラグ動作欄の説明	1132
36.1.4	PREFIX命令	1132
36.2	オペレーション一覧	1133

37.	電气的特性(TA = -40 ~ +85 °C)	1151
37.1	絶対最大定格	1152
37.2	発振回路特性	1154
37.2.1	X1, XT1特性	1154
37.2.2	オンチップ・オシレータ特性	1154
37.3	DC特性	1155
37.3.1	端子特性	1155
37.3.2	電源電流特性	1160
37.4	AC特性	1166
37.5	周辺機能特性	1173
37.5.1	シリアル・アレイ・ユニット	1173
37.5.2	シリアル・インタフェースIICA	1201
37.6	アナログ特性	1205
37.6.1	A/Dコンバータ特性	1205
37.6.2	温度センサ/内部基準電圧特性	1209
37.6.3	D/Aコンバータ	1209
37.6.4	コンパレータ	1210
37.6.5	PGA	1210
37.6.6	POR回路特性	1211
37.6.7	LVD回路特性	1211
37.6.8	電源電圧立ち上がり傾き特性	1213
37.7	RAMデータ保持特性	1214
37.8	フラッシュ・メモリ・プログラミング特性	1214
37.9	専用フラッシュ・メモリ・プログラマ通信(UART)	1215
37.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1216
38.	電气的特性(G: TA = -40 ~ +105 °C)	1217
38.1	絶対最大定格	1219
38.2	発振回路特性	1221
38.2.1	X1, XT1特性	1221
38.2.2	オンチップ・オシレータ特性	1221
38.3	DC特性	1222
38.3.1	端子特性	1222
38.3.2	電源電流特性	1227
38.4	AC特性	1233
38.5	周辺機能特性	1239
38.5.1	シリアル・アレイ・ユニット	1239
38.5.2	シリアル・インタフェースIICA	1262
38.6	アナログ特性	1263
38.6.1	A/Dコンバータ特性	1263
38.6.2	温度センサ/内部基準電圧特性	1267
38.6.3	D/Aコンバータ	1267
38.6.4	コンパレータ	1268
38.6.5	PGA	1268
38.6.6	POR回路特性	1269
38.6.7	LVD回路特性	1270
38.6.8	電源電圧立ち上がり傾き特性	1271
38.7	RAMデータ保持特性	1271
38.8	フラッシュ・メモリ・プログラミング特性	1272

38.9	専用フラッシュ・メモリ・プログラマ通信(UART)	1272
38.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1273
39.	外形図	1274
39.1	24ピン製品	1274
39.2	32ピン製品	1277
39.3	36ピン製品	1281
39.4	48ピン製品	1282
39.5	64ピン製品	1284
付録A	改版履歴	1286
A.1	本版で改訂された主な箇所	1286
A.2	前版までの改版履歴	1287

第1章 概説

1.1 特徴

超低消費電力テクノロジー

- VDD = 1.6 ~ 5.5 Vの単一電源, 1.8 V系の低電圧動作可能
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間: 高速(0.03125 μ s: 高速オンチップ・オシレータ・クロック 32 MHz動作時)から超低速(30.5 μ s: サブシステム・クロック 32.768 kHz動作時)までを変更可能
- 乗除・積和演算命令対応
- アドレス空間: 1 Mバイト
- 汎用レジスタ: 8ビット・レジスタ \times 8 \times 4バンク
- 内蔵RAM: 5.5 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ: 32/64 KB
- ブロック・サイズ: 1 KB
- ブロック消去禁止, 書き換え禁止(セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング; ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ: 4 KB
- バックグラウンド・オペレーション(BGO); データ・フラッシュ書き換え中に, プログラム・メモリ内の命令実行が可能
- 書き換え回数: 1,000,000回(TYP.)
- 書き換え電圧: VDD = 1.8 ~ 5.5 V

高速オンチップ・オシレータ

- 64 MHz/48 MHz/32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- 高精度 \pm 1.0% (VDD = 1.8 ~ 5.5 V, TA = -20 ~ +85 $^{\circ}$ C)

動作周囲温度

- TA = -40 ~ +85 $^{\circ}$ C (A: 民生用途)
- TA = -40 ~ +105 $^{\circ}$ C (G: 産業用途)

電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み, リセットを14段階で選択)

データ・トランスファ・コントローラ(DTC)

- 転送モード: ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因: 割り込み要因により起動
- チェーン転送機能あり

イベント・リンク・コントローラ(ELC)

- 22種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- 簡易SPI(CSI)注: 3~6チャンネル
- UART/UART(LIN-bus対応): 3チャンネル
- I²C/簡易I²C: 3~6チャンネル
- IrDA: 1チャンネル

タイマ

- 16ビット・タイマ: 9チャンネル
(タイマ・アレイ・ユニット(TAU): 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル(PWMOPA付き), タイマRG: 1チャンネル, タイマRX: 1チャンネル)
- 12ビット・インターバル・タイマ: 1チャンネル
- リアルタイム・クロック: 1チャンネル(99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ: 1チャンネル(専用の低速オンチップ・オシレータ・クロックで動作可能)

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ($V_{DD} = 1.6 \sim 5.5 \text{ V}$)
- アナログ入力: 8~17チャンネル
- 内部基準電圧(1.45 V)と温度センサを搭載

D/Aコンバータ

- 8ビット分解能D/Aコンバータ($V_{DD} = 1.6 \sim 5.5 \text{ V}$)
- アナログ出力: 1~2チャンネル
- 出力電圧: $0 \text{ V} \sim V_{DD}$
- リアルタイム出力機能を搭載

コンパレータ

- 2チャンネル(1チャンネルは端子セレクトア搭載)
- タイマ・アレイ・ユニットと連動するタイム・ウィンドウ出力機能を搭載
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

プログラマブルゲインアンプ(PGA)

- 1チャンネル

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

入出力ポート

- I/Oポート：20～58本(N-chオープン・ドレイン入出力[6 V耐圧]：2～4本，N-chオープン・ドレイン入出力[V_{DD}耐圧/EV_{DD}耐圧]：10～16本)
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
- 異電位(1.8/2.5/3 V系)動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力/ブザー出力制御回路内蔵

その他

- 10進補正(BCD)回路内蔵

備考 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

○ROM, RAM容量

フラッシュROM	データ・フラッシュ	RAM	RL78/G1F				
			24ピン	32ピン	36ピン	48ピン	64ピン
64 KB	4 KB	5.5 KB注	R5F11B7E	R5F11BBE	R5F11BCE	R5F11BGE	R5F11BLE
32 KB	4 KB	5.5 KB注	R5F11B7C	R5F11BBC	R5F11BCC	R5F11BGC	R5F11BLC

注 セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、約4.5 KB (詳細は、第3章 CPUアーキテクチャ参照)。

1.2 型名一覧



図1 - 1 RL78/G1Fの型名とメモリサイズ・パッケージ

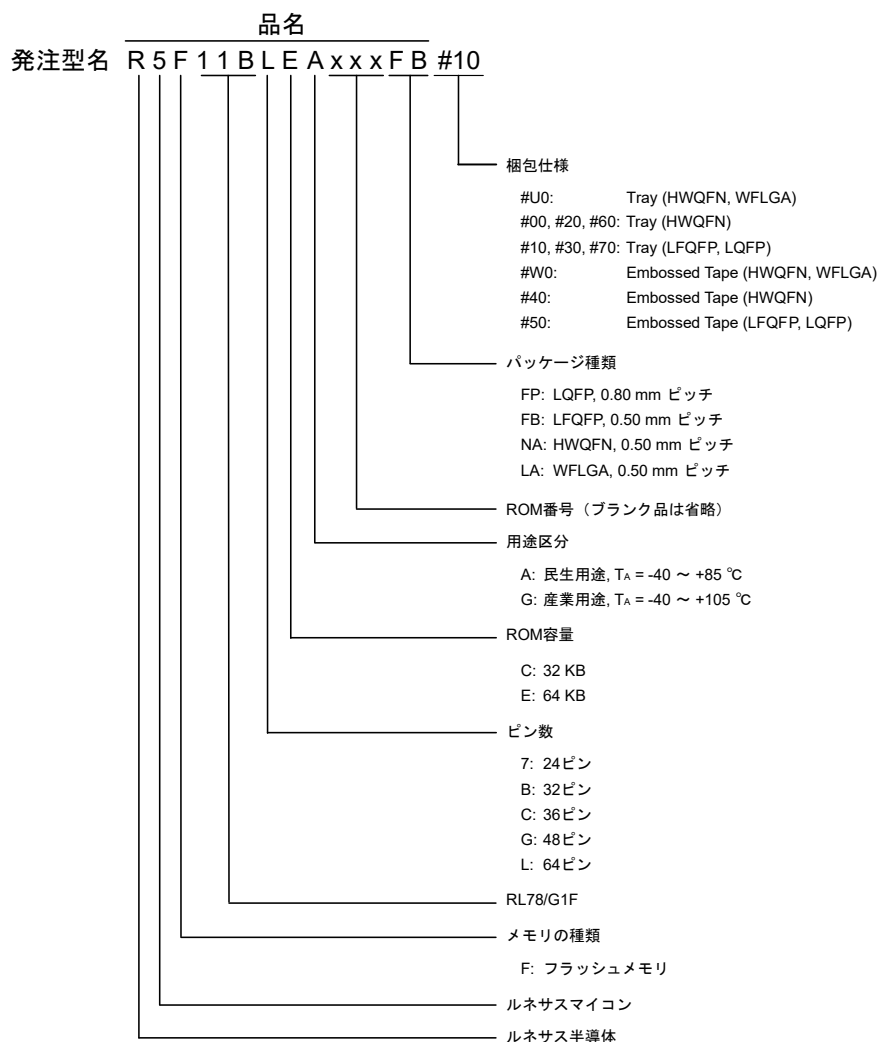


表 1 - 1 発注型名一覧

ピン数	パッケージ	用途 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
★ ★ ★ ★	24ピン・プラスチックHWQFN (4 × 4 mm, 0.5 mmピッチ)	A	R5F11B7CANA, R5F11B7EANA	#U0, #W0	PWQN0024KE-A
				#00, #20, #40, #60	PWQN0024KF-A PWQN0024KH-A
		G	R5F11B7CGNA, R5F11B7EGNA	#U0, #W0	PWQN0024KE-A
				#00, #20, #40, #60	PWQN0024KF-A PWQN0024KH-A
★ ★ ★ ★ ★ ★	32ピン・プラスチックHWQFN (5 × 5 mm, 0.5 mmピッチ)	A	R5F11BBCANA, R5F11BBEANA	#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
		G	R5F11BBCGNA, R5F11BBEGNA		
	32-pin plastic LQFP (7 × 7 mm, 0.8 mmピッチ)	A	R5F11BBCAFP, R5F11BBEAFP	#10, #50, #70	PLQP0032GB-A PLQP0032GE-A
				#30	PLQP0032GB-A
		G	R5F11BBCGFP, R5F11BBEGFP	#10, #50, #70	PLQP0032GB-A PLQP0032GE-A
				#30	PLQP0032GB-A
36ピン・プラスチックWFLGA (4 × 4 mm, 0.5 mmピッチ)	A	R5F11BCCALA, R5F11BCEALA	#U0, #W0	PWL0036KA-A	
	G	R5F11BCCGLA, R5F11BCEGLA			
★ ★ ★ ★	48ピン・プラスチックLFQFP (7 × 7 mm, 0.5 mmピッチ)	A	R5F11BGCAF B, R5F11BGEAF B	#10, #50, #70	PLQP0048KB-B PLQP0048KL-A
				#30	PLQP0048KB-B
		G	R5F11BGC GFB, R5F11BGE GFB	#10, #50, #70	PLQP0048KB-B PLQP0048KL-A
				#30	PLQP0048KB-B
★ ★	64ピン・プラスチックLFQFP (10 × 10 mm, 0.5 mmピッチ)	A	R5F11BLCAF B, R5F11BLEAF B	#10, #50, #70	PLQP0064KB-C PLQP0064KL-A
				#30	PLQP0064KB-C
		G	R5F11BLC GFB, R5F11BLE GFB	#10, #50, #70	PLQP0064KB-C PLQP0064KL-A
				#30	PLQP0064KB-C

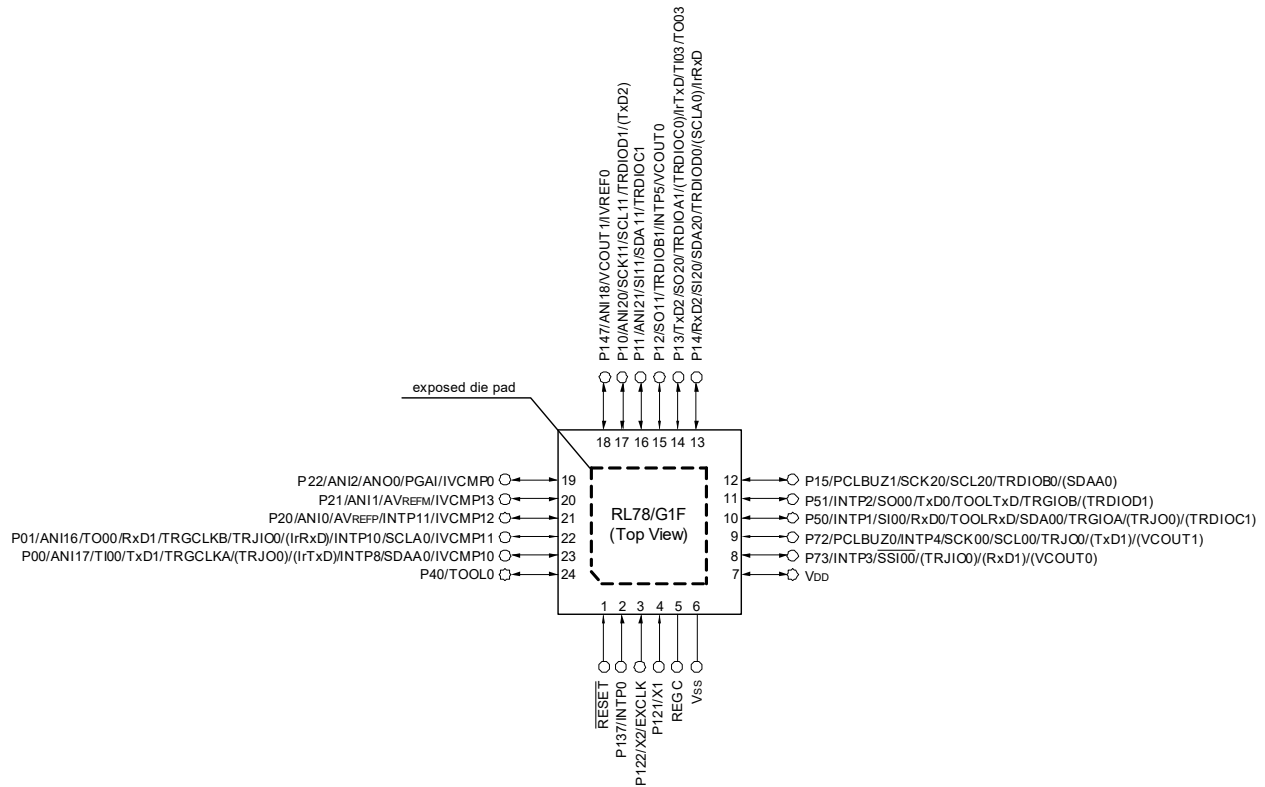
注 用途区分は、図1-1 RL78/G1Fの型名とメモリサイズ・パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 24ピン製品

- 24ピン・プラスチックHWQFN (4 × 4 mm, 0.5 mmピッチ)



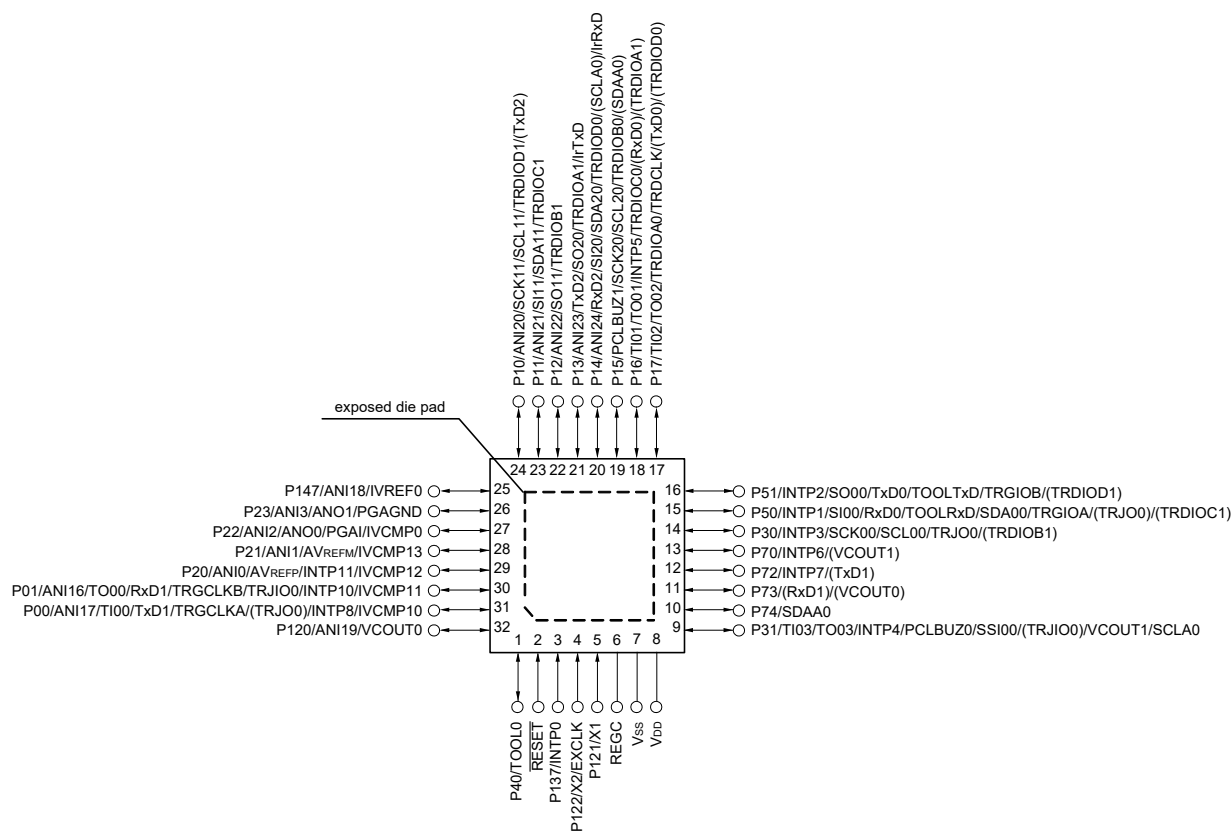
注意 REGC端子はコンデンサ (0.47 ~ 1 μ F) を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により割り当て可能です。

1.3.2 32ピン製品

- 32ピン・プラスチックHWQFN (5 × 5 mm, 0.5 mmピッチ)

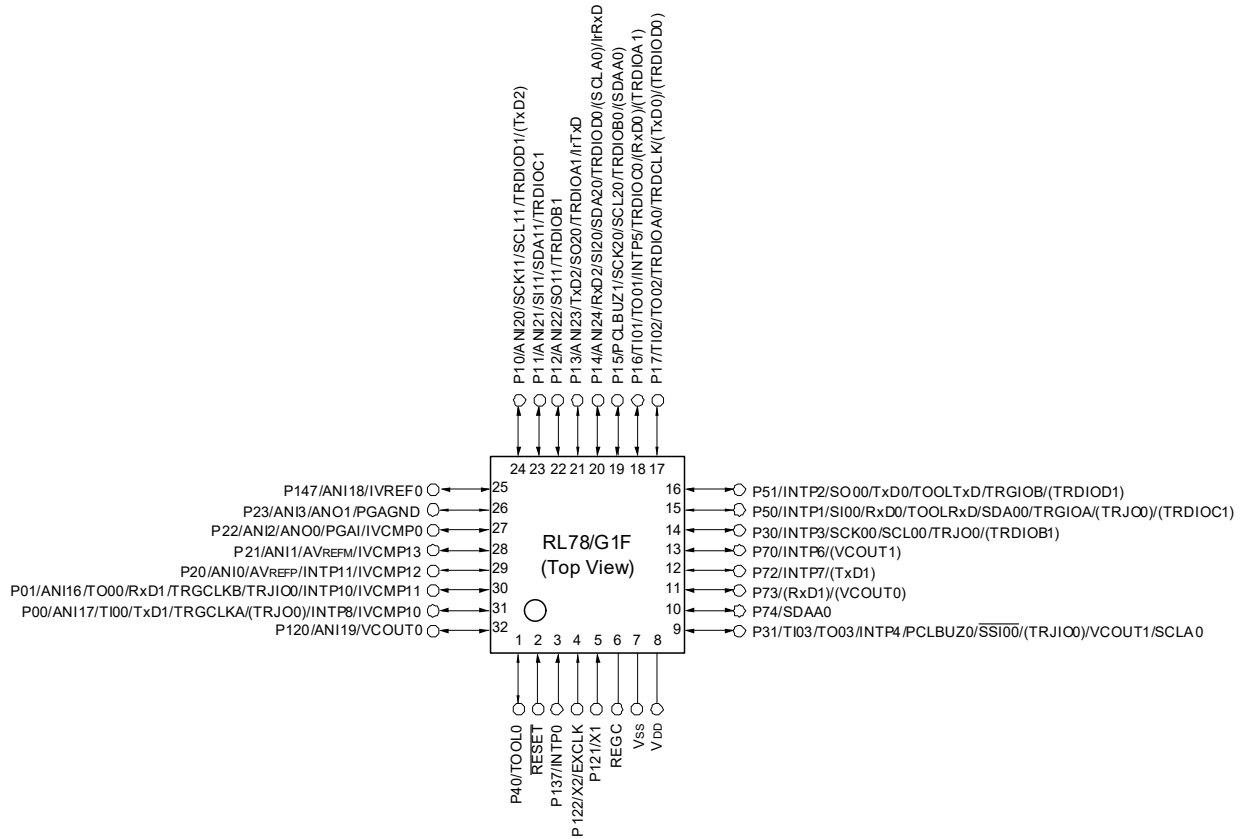


注意 REGC端子はコンデンサ (0.47 ~ 1 μ F) を介し、V_{SS}端子に接続してください。

備考1. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により割り当て可能です。

備考2. exposed die padは、V_{SS}に接続することを推奨します。

・32ピン・プラスチックLQFP (7 × 7 mm, 0.8 mm ピッチ)



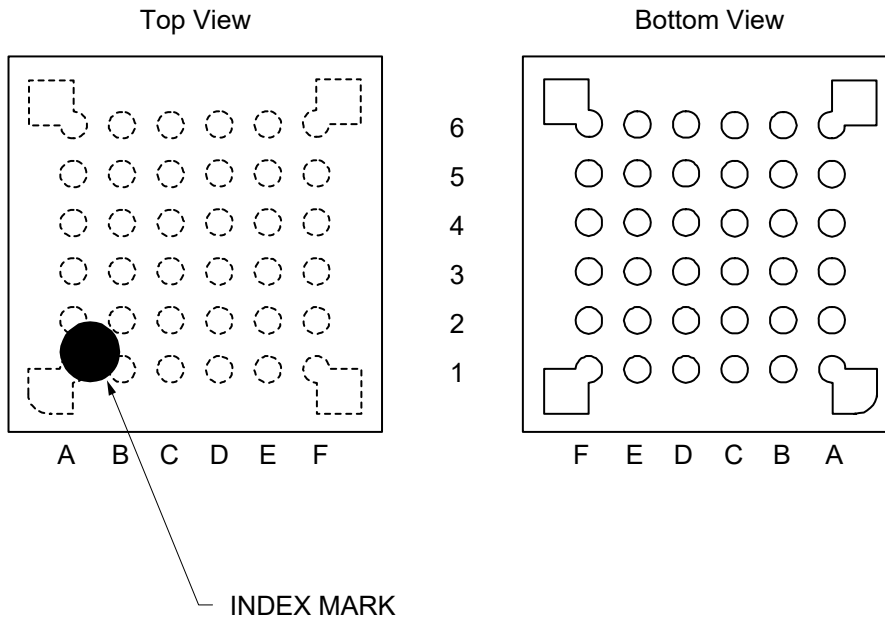
注意 REGC端子はコンデンサ (0.47 ~ 1 μ F) を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により割り当て可能です。

1.3.3 36ピン製品

・36ピン・プラスチックWFLGA (4 × 4 mm, 0.5 mmピッチ)



	A	B	C	D	E	F	
6	EV _{DD0}	V _{DD}	P121/X1	P122/X2/EXCLK	P137/INTP0	P40/TOOL0	6
5	P61/SDAA0	P60/SCLA0	V _{SS}	REGC	RESET	P124/XT2/ EXCLKS	5
4	P31/TI03/TO03/ INTP4/PCLBUZ0/ SSI00/(TRJIO0)/ VCOUT1	P14/ANI24/RxD2/ SI20/SDA20/ TRDIOD0/ (SCLA0)/IrRxD	P20/ANI0/ AVREFP/IVCMP12/ INTP11	P21/ANI1/ AVREFM/IVCMP13	P01/ANI16/TO00/ RxD1/TRGCLKB/ TRJIO0/INTP10/ IVCMP11	P123/XT1	4
3	P50/INTP1/SI00/ RxD0/TOOLRxD/ SDA00/TRGIOA/ (TRJO0)/ (TRDIOC1)	P70/INTP6/ (VCOUT0)/ (VCOUT1)	P15/PCLBUZ1/ SCK20/SCL20/ TRDIOB0/ (SDAA0)	P23/ANI3/ANO1/ PGAGND	P00/ANI17/TI00/ TxD1/TRGCLKA/ (TRJO0)/INTP8/ IVCMP10	P120/ANI19/ VCOUT0	3
2	P30/INTP3/ RTC1HZ/SCK00/ SCL00/TRJO0/ (TRDIOB1)	P16/TI01/TO01/ INTP5/TRDIOC0/ (RxD0)/ (TRDIOA1)	P12/ANI22/SO11/ TRDIOB1	P11/ANI21/SI11/ SDA11/TRDIOC1	P24/ANI4	P22/ANI2/ANO0/ PGAI/IVCMP0	2
1	P51/INTP2/ SO00/TxD0/ TOOLTxD/ TRGIOB/ (TRDIOD1)	P17/TI02/TO02/ TRDIOA0/ TRDCLK0/ (TxD0)/ (TRDIOD0)	P13/ANI23/TxD2/ SO20/TRDIOA1/ IrTxD	P10/ANI20/ SCK11/SCL11/ TRDIOD1/(TxD2)	P147/ANI18/ IVREF0	P25/ANI5	1
	A	B	C	D	E	F	

注意1. REGC端子はコンデンサ(0.47 ~ 1 μF)を介し、V_{SS}端子に接続してください。

注意2. V_{DD}端子は、EV_{DD0}端子以上の電圧にしてください。

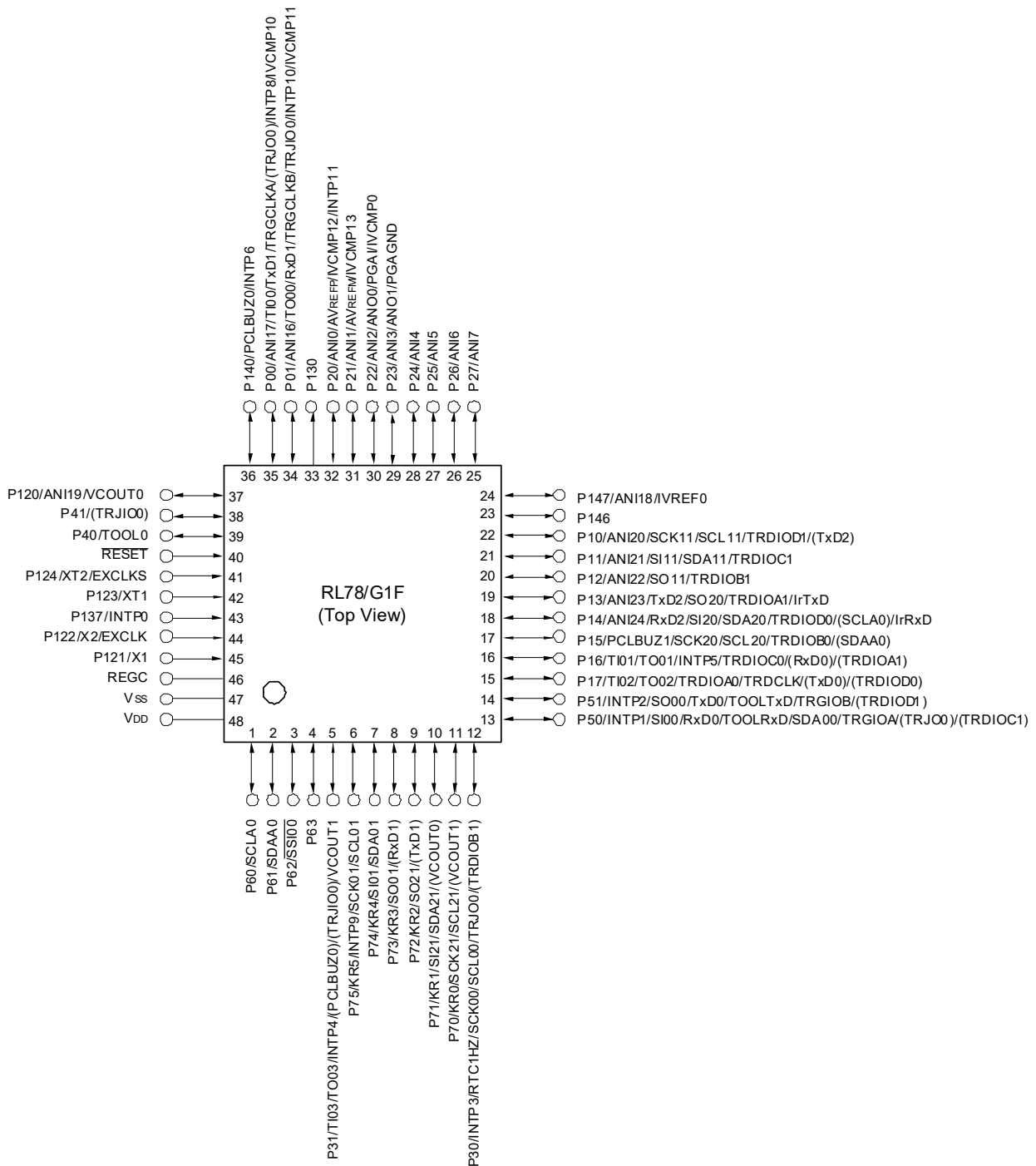
備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により割り当て可能です。

備考3. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}とEV_{DD0}に個別の電源を供給するノイズ対策を行うことを推奨します。

1.3.4 48ピン製品

・48ピン・プラスチックLFQFP (7 × 7 mm, 0.5 mmピッチ)



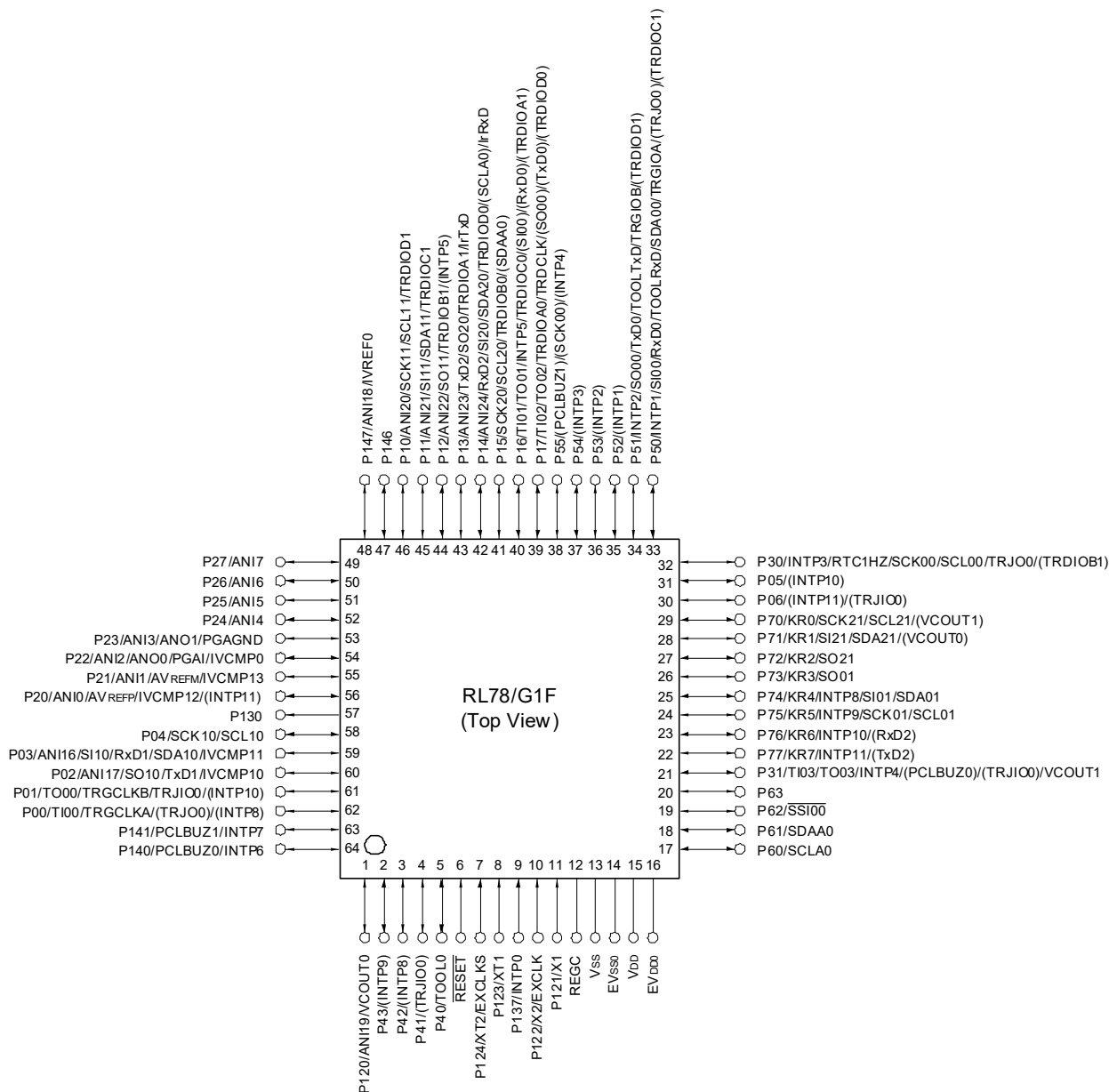
注意 REGC端子はコンデンサ(0.47～1μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により割り当て可能です。

1.3.5 64ピン製品

・64ピン・プラスチックLQFP (10 × 10 mm, 0.5 mmピッチ)



注意1. EVSS0端子は、VSS端子と同電位にしてください。

注意2. VDD端子は、EVDD0端子以上の電圧にしてください。

注意3. REGC端子はコンデンサ(0.47~1 μF)を介し、VSS端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

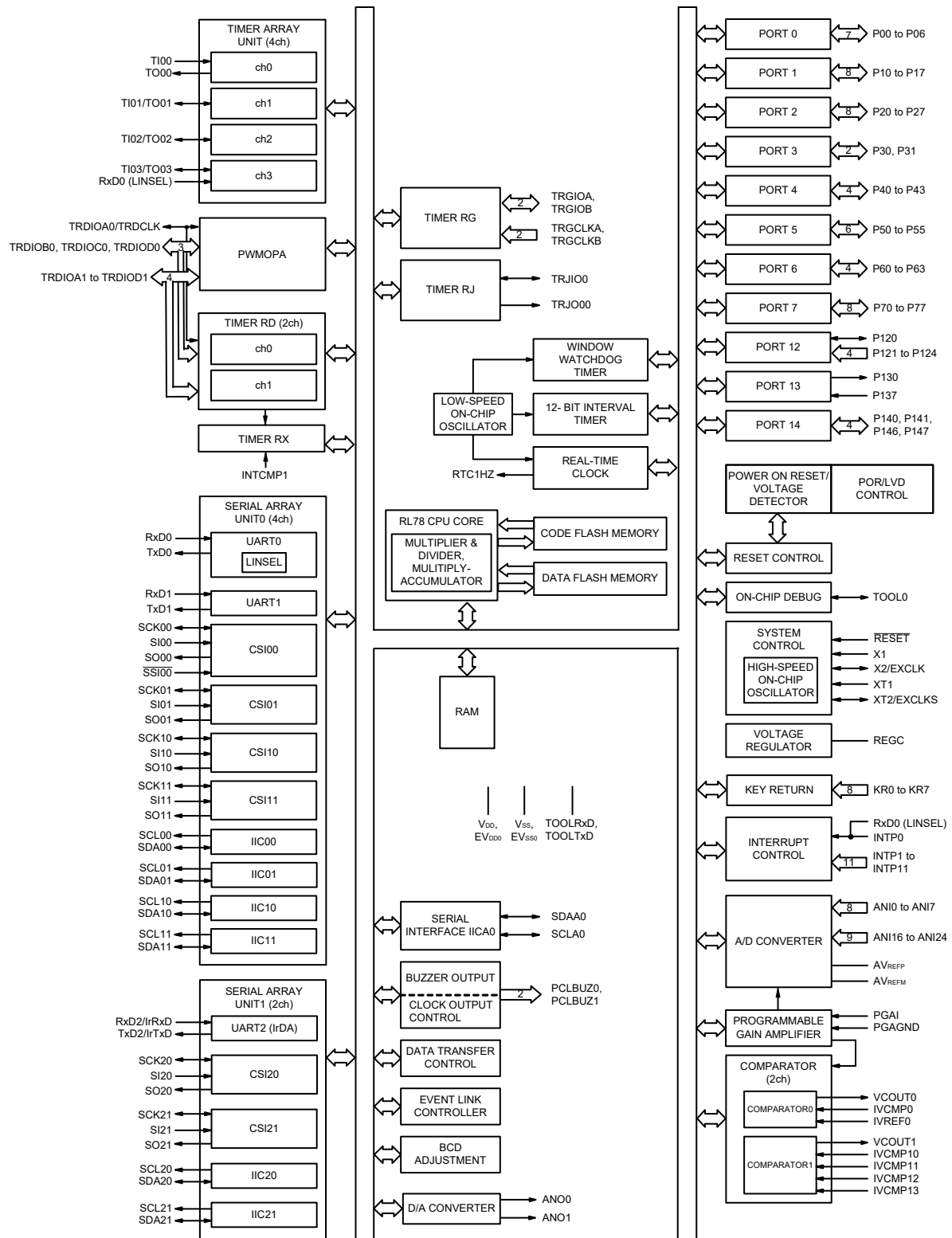
備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0に個別の電源を供給し、VSSとEVSS0を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により割り当て可能です。

1.4 端子名称

ANI0-ANI7	: Analog Input	PGAI	: PGA Input
ANI16-ANI24	: Analog Input	PGAGND	: PGA Input
ANO0, ANO1	: Analog Output	RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output
AVREFM	: Analog Reference Voltage Minus	RxD0-RxD2	: Receive Data
AVREFP	: Analog Reference Voltage Plus	SCK00, SCK01, SCK10	: Serial Clock Input/Output
EVDD0	: Power Supply for Port	SCK11, SCK20, SCK21	: Serial Clock Input/Output
EVSS0	: Ground for Port	SCLA0	: Serial Clock Input/Output
EXCLK	: External Clock Input (Main System Clock)	SCL00, SCL01, SCL10, SCL11	: Serial Clock Output
EXCLKS	: External Clock Input (Subsystem Clock)	SCL20, SCL21	: Serial Clock Output
INTP0-INTP11	: External Interrupt Input	SDAA0	: Serial Data Input/Output
IrRxD	: Receive Data for IrDA	SDA00, SDA01, SDA10	: Serial Data Input/Output
IrTxD	: Transmit Data for IrDA	SDA11, SDA20, SDA21	: Serial Data Input/Output
IVCMP0	: Comparator 0 Input	SI00, SI01, SI10, SI11	: Serial Data Input
IVCMP10-IVCMP13	: Comparator 1 Input / Reference Input	SI20, SI21	: Serial Data Input
IVREF0	: Comparator 0 Reference Input	SO00, SO01, SO10	: Serial Data Output
KR0-KR7	: Key Return	SO11, SO20, SO21	: Serial Data Output
P00-P06	: Port 0	SSI00	: Serial Interface Chip Select Input
P10-P17	: Port 1	TI00-TI03	: Timer Input
P20-P27	: Port 2	TO00-TO03	: Timer Output
P30, P31	: Port 3	TRJ00	: Timer Output
P40-P43	: Port 4	TOOL0	: Data Input/Output for Tool
P50-P55	: Port 5	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
P60-P63	: Port 6	TRDCLK, TRGCLKA	: Timer External Input Clock
P70-P77	: Port 7	TRGCLKB	: Timer External Input Clock
P120-P124	: Port 12	TRDIOA0, TRDIOB0	: Timer Input/Output
P130, P137	: Port 13	TRDIOC0, TRDIOD0	: Timer Input/Output
P140, P141, P146, P147	: Port 14	TRDIOA1, TRDIOB1	: Timer Input/Output
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output	TRDIOC1, TRDIOD1	: Timer Input/Output
REGC	: Regulator Capacitance	TRGIOA, TRGIOB, TRJIO0	: Timer Input/Output
RESET	: Reset	TxD0-TxD2	: Transmit Data
		VCOUT0, VCOUT1	: Comparator Output
		VDD	: Power Supply
		VSS	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)
		XT1, XT2	: Crystal Oscillator (Subsystem Clock)

1.5 ブロック図



備考 例として64ピン製品のブロック図を示します。64ピン製品以外の製品との違いは、1.6 機能概要を参照してください。

1.6 機能概要

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)を00Hに設定時の機能概要です。

(1/3)

項目		24ピン	32ピン	36ピン	48ピン	64ピン
		R5F11B7x (x = C, E)	R5F11BBx (x = C, E)	R5F11BCx (x = C, E)	R5F11BGx (x = C, E)	R5F11BLx (x = C, E)
コード・フラッシュ・メモリ		32, 64 KB	32, 64 KB	32, 64 KB	32, 64 KB	32, 64 KB
データ・フラッシュ・メモリ		4 KB	4 KB	4 KB	4 KB	4 KB
RAM		5.5 KB注	5.5 KB注	5.5 KB注	5.5 KB注	5.5 KB注
アドレス空間		1 Mバイト				
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン)モード: 1~20MHz(VDD = 2.7~5.5V) HS (高速メイン)モード: 1~16MHz(VDD = 2.4~5.5V) LS (低速メイン)モード: 1~8MHz(VDD = 1.8~5.5V) LV (定電圧メイン)モード: 1~4MHz(VDD = 1.6~5.5V)				
	高速オンチップ・オシレータ・クロック (f _{IH})	HS (高速メイン)モード: 1~32 MHz(VDD = 2.7~5.5 V), HS (高速メイン)モード: 1~16 MHz(VDD = 2.4~5.5 V), LS (低速メイン)モード: 1~8 MHz(VDD = 1.8~5.5 V), LV (低電圧メイン)モード: 1~4 MHz(VDD = 1.6~5.5 V)				
サブシステム・クロック		—		XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz		
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): VDD = 1.6~5.5 V				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック: f _{IH} = 32 MHz動作時)				
		0.05 μs (高速システム・クロック: f _{MX} = 20 MHz動作時)				
		—		30.5 μs (サブシステム・クロック: f _{SUB} = 32.768 kHz動作時)		
命令セット		データ転送(8/16ビット) 加減/論理演算(8/16ビット) 乗算(8×8ビット, 16×16ビット), 除算(16÷16ビット, 32÷32ビット) 積和演算(16×16+32ビット) ローテート, パレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など				
I/Oポート	合計	20	28	31	44	58
	CMOS入出力	17 (N-ch O.D 出力 [V _{DD} 耐圧]: 10)	25 (N-ch O.D 出力 [V _{DD} 耐圧]: 12)	24 (N-ch O.D 出力 [V _{DD} 耐圧]: 10)	34 (N-ch O.D 出力 [V _{DD} 耐圧]: 12)	48 (N-ch O.D 出力 [V _{DD} 耐圧]: 12)
	CMOS入力	3	3	5	5	5
	CMOS出力	—	—	—	1	1
	N-ch O.D入出力 (6 V耐圧)	—	—	2	4	4
タイマ	16ビット・タイマ	9チャンネル (TAU: 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル(PWMOPA付き), タイマRX: 1チャンネル, タイマRG: 1チャンネル)				
	ウォッチドッグ・タイマ	1チャンネル				
	リアルタイム・クロック(RTC)	1チャンネル				
	12ビット・インターバル・タイマ	1チャンネル				
	タイマ出力	タイマ出力: 13本 PWM出力: 8本		タイマ出力: 16本 PWM出力: 9本		
	RTC出力	—		1本 1 Hz (サブシステム・クロック: f _{SUB} = 32.768 kHz)		

注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は, 約4.5 KB (詳細は, 第3章 参照)。

(2/3)

項目	24ピン	32ピン	36ピン	48ピン	64ピン	
	R5F11B7x (x = C, E)	R5F11BBx (x = C, E)	R5F11BCx (x = C, E)	R5F11BGx (x = C, E)	R5F11BLx (x = C, E)	
クロック出力/ブザー出力	2本	2本	2本	2本	2本	
	・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時)					
8/10ビット分解能A/Dコンバータ	8チャンネル	13チャンネル	15チャンネル	17チャンネル	17チャンネル	
8ビットD/Aコンバータ	1チャンネル	2チャンネル				
コンパレータ	2チャンネル					
プログラマブル・ゲイン・アンプ (PGA)	1チャンネル					
シリアル・インタフェース	【24ピン, 32ピン, 36ピン製品】 ・簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル 【48ピン製品】 ・簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル 【64ピン製品】 ・簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル					
	I ² Cバス	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ(DTC)	30要因	32要因	31要因	32要因	33要因	
イベント・リンク・コントローラ(ELC)	イベント入力	21	21	21	22	22
	イベントトリガ出力	9	10	10	10	10
ベクタ割り込み要因	内部	25	25	25	25	25
	外部	9	11	10	12	13
キー割り込み	—	—	—	6	8	
リセット	<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路による内部リセット 不正命令の実行による内部リセット注 RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 					
パワーオン・リセット回路	<ul style="list-style-type: none"> パワーオン・リセット : 1.51 ± 0.04 V (Ta = -40 ~ +85 °C) 1.51 ± 0.06 V (Ta = -40 ~ +105 °C) パワーダウン・リセット : 1.51 ± 0.04 V (Ta = -40 ~ +85 °C) 1.51 ± 0.06 V (Ta = -40 ~ +105 °C) 					

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

(3/3)

項目	24ピン	32ピン	36ピン	48ピン	64ピン
	R5F11B7x (x = C, E)	R5F11BBx (x = C, E)	R5F11BCx (x = C, E)	R5F11BGx (x = C, E)	R5F11BLx (x = C, E)
電圧検出回路	<p>【TA = -40 ~ +85 °C】</p> <ul style="list-style-type: none"> 立ち上がり : 1.67 ± 0.03 V ~ 4.00 ± 0.08 V (14段階) 立ち下がり : 1.63 ± 0.03 V ~ 3.98 ± 0.08 V (14段階) <p>【TA = -40 ~ +105 °C (G : 産業用途)】</p> <ul style="list-style-type: none"> 立ち上がり : 2.61 ± 0.1 V ~ 4.06 ± 0.16 V (8段階) 立ち下がり : 2.55 ± 0.1 V ~ 3.98 ± 0.15 V (8段階) 				
オンチップ・デバッグ機能	あり				
電源電圧	VDD = 1.6 ~ 5.5V (Ta = -40 ~ +85°C)、 VDD = 2.4 ~ 5.5V (Ta = -40 ~ +105°C)				
動作周囲温度	TA = -40 ~ +85 °C (A : 民生用途), TA = -40 ~ +105 °C (G : 産業用途)				

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 24ピン, 32ピン, 48ピン製品

電源	対応する端子
V _{DD}	すべての端子

(2) 36ピン製品

電源	対応する端子
EV _{DD0}	• P20-P25, P121-P124, P137以外のポート端子
V _{DD}	• P20-P25, P121-P124, P137 • RESET, REGC

(3) 64ピン製品

電源	対応する端子
EV _{DD0}	• P20-P27, P121-P124, P137以外のポート端子
V _{DD}	• P20-P27, P121-P124, P137 • RESET, REGC

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 24ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-9-2	入出力	アナログ機能	ANI17/TI00/TxD1/TRGCLKA/(TRJ00)/ (IrTxD)/INTP8/SDAA0/IVCMP10	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00, P01の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能 ^注 。
P01				ANI16/TO00/RxD1/TRGCLKB/TRJIO0/ (IrRxD)/INTP10/SCLA0/IVCMP11	
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート1。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P10, P14, P15の入力はTTL入力バッファに設定可能。 P10, P11, P13-P15の出力はN-chオープン・ド レイン出力(V _{DD} 耐圧)に設定可能。 P10, P11はアナログ入力に設定可能 ^注 。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-1-7		入力ポート	SO11/TRDIOB1/INTP5/VCOUT0	
P13	7-1-8			TxD2/SO20/TRDIOA1/(TRDIOC0)/IrTxD/ TI03/TO03	
P14	8-1-8		RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/ IrRxD		
P15			PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)		
P20	4-9-1	入出力	アナログ機能	ANI0/AV _{REFP} /IVCMP12/INTP11	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能 ^注 。
P21	7-3-8			ANI1/AV _{REFM} /IVCMP13	
P22	4-16-1			ANI2/ANO0/PGAI/IVCMP0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/ TRGIOA/(TRJ00)/(TRDIOC1)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB/ (TRDIOD1)	

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P72	8-1-4	入出力	入力ポート	PCLBUZ0/INTP4/SCK00/SCL00/ TRJO0/(TxD1)/(VCOUT1)	ポート7。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P72の入力はTTL入力バッファに設定可能。 P72の出力はN-chオープン・ドレイン出力(V _{DD} 耐 圧)に設定可能。
P73	7-1-3			INTP3/SSI00/(TRJIO0)/(RxD1)/ (VCOUT0)	
P121	2-2-1	入力	入力ポート	X1	ポート12。 2ビット入力専用ポート。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-1	入出力	アナログ機能	ANI18/VCOUT1/IVREF0	ポート14。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注 。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または 抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により、割り当て可能です。

2.1.2 32ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-9-2	入出力	アナログ機能	ANI17/TI00/TxD1/TRGCLKA(TRJ00)/INTP8/IVCMP10	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能注。
P01	8-9-1			ANI16/TO00/RxD1/TRGCLKB/TRJIO0/INTP10/IVCMP11	
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P14-P17の入力はTTL入力バッファに設定可能。 P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P10-P14はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8		ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD		
P15	8-1-8		入力ポート	PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7		TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)		
P17	8-1-8		TI02/TO02/TRDIOA0/TRDCLK(TxD0)/(TRDIOD0)		
P20	4-9-1	入出力	アナログ機能	ANI0/AVREFP/IVCMP12/INTP11	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ入力に設定可能注。
P21				ANI1/AVREFM/IVCMP13	
P22	4-16-1			ANI2/ANO0/PGAI/IVCMP0	
P23	4-15-1			ANI3/ANO1/PGAGND	
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/TRJ00/(TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30, P31の入力はTTL入力バッファに設定可能。 P30, P31の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P31				TI03/TO03/INTP4/PCLBUZ0/SSI00/(TRJIO0)/VCOUT1/SCLA0	
P40	7-1-3	入出力	入力ポート	TOOLO	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx(PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2(PIOR0-PIOR2)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA/(TRJO0)/(TRDIOC1)	ポート5。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB/(TRDIOD1)	
P70	7-1-3	入出力	入力ポート	INTP6/(VCOUT1)	ポート7。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P74の入力はTTL入力バッファに設定可能。 P74の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P72		入出力	入力ポート	INTP7/(TxD1)	
P73		入出力	入力ポート	(RxD1)/(VCOUT0)	
P74	8-1-4	入出力	入力ポート	SDAA0	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。 P120のみ、入力/出力の指定が可能。 P120のみ、入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能注。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-1	入出力	アナログ機能	ANI18/IVREF0	ポート14。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2 (PIOR0-PIOR2)の設定により、割り当て可能です。

2.1.3 36ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-9-2	入出力	アナログ機能	ANI17/TI00/TxD1/TRGCLKA(TRJ00)/INTP8/IVCMP10	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能注。
P01	8-9-1			ANI16/TO00/RxD1/TRGCLKB/TRJIO0//INTP10/IVCMP11	
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P14-P17の入力はTTL入力バッファに設定可能。 P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。 P10-P14はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8		ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD		
P15	8-1-8		入力ポート	PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7		TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)		
P17	8-1-8		TI02/TO02/TRDIOA0/TRDCLK(TxD0)/(TRDIOD0)		
P20	4-9-1	入出力	アナログ機能	ANI0/AVREFP/IVCMP12/INTP11	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ入力に設定可能注。
P21				ANI1/AVREFM/IVCMP13	
P22	4-16-1			ANI2/ANO0/PGAI/IVCMP0	
P23	4-15-1			ANI3/ANO1/PGAGND	
P24	4-3-3			ANI4	
P25				ANI5	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00/(TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/SSI00/(TRJIO0)/VCOUT1	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2 (PIOR0-PIOR2)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/ TRGIOA/(TRJ00)/(TRDI0C1)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/ TRGIOB/(TRDI0D1)	
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P70	7-1-3	入出力	入力ポート	INTP6/(VCOUT0)/(VCOUT1)	ポート7。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートでは、ソフトウェアの設定 により、内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能注。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-1	入出力	アナログ機能	ANI18/IVREF0	ポート14。 1ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または 抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2 (PIOR0-PIOR2)の設定により、割り当て可能です。

2.1.4 48ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-9-2	入出力	アナログ機能	ANI17/TI00/TxD1/TRGCLKA(TRJ00)/INTP8/IVCMP10	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能注。
P01	8-9-1			ANI16/TO00/RxD1/TRGCLKB/TRJIO0/INTP10/IVCMP11	
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P14-P17の入力はTTL入力バッファに設定可能。 P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P10-P14はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8		ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD		
P15	8-1-8		入力ポート	PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7		TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)		
P17	8-1-8		TI02/TO02/TRDIOA0/TRDCLK(TxD0)/(TRDIOD0)		
P20	4-9-1	入出力	アナログ機能	ANI0/AV _{REFP} /IVCMP12/INTP11	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ入力に設定可能注。
P21				ANI1/AV _{REFM} /IVCMP13	
P22	4-16-1			ANI2/ANO0/PGAI/IVCMP0	
P23	4-15-1			ANI3/ANO1/PGAGND	
P24	4-3-3			ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00/(TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/(PCLBUZ0)/VCOUT1	

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2 (PIOR0-PIOR2)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P41				(TRJIO0)	
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/ TRGIOA/(TRJIO0)/(TRDIOC1)	ポート5。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/ TRGIOB/(TRDIOD1)	
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21/(VCOUT1)	ポート7。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P71, P74の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21/(VCOUT0)	
P72	7-1-3			KR2/SO21/(TxD1)	
P73				KR3/SO01/(RxD1)	
P74	7-1-4			KR4/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。 P120のみ、入力/出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定に より、内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能注。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポ ート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
P146				—	
P147	7-9-1		アナログ機能	ANI18/IVREF0	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または 抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2 (PIOR0-PIOR2)の設定により、割り当て可能です。

2.1.5 64ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TRGCLKA/(TRJIO0)/(INTP8)	ポート0。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。 P02, P03はアナログ入力に設定可能注。
P01	8-1-3			TO00/TRGCLKB/TRJIO0/(INTP10)	
P02	7-9-2		アナログ機能	ANI17/SO10/TxD1/IVCMP10	
P03	8-9-2			ANI16/SI10/RxD1/SDA10/IVCMP11	
P04	8-1-4		入力ポート	SCK10/SCL10	
P05	7-1-3			(INTP10)	
P06				(INTP11)/(TRJIO0)	
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P10, P14-P17の入力はTTL入力バッファに設定可能。 P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。 P10-P14はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1/(INTP5)	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8		入力ポート	SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(SI00/RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(SO00/TxD0)/(TRDIOD0)	
P20	4-9-1	入出力	アナログ機能	ANI0/AV _{REFP} /IVCMP12/(INTP11)	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ入力に設定可能注。
P21				ANI1/AV _{REFM} /IVCMP13	
P22	4-16-1			ANI2/ANO0/PGAI/IVCMP0	
P23	4-15-1			ANI3/ANO1/PGAGND	
P24	4-3-3			ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJIO0/(TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/(PCLBUZ0)/VCOUT1	

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2 (PIOR0-PIOR2)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P41				(TRJIO0)	
P42				(INTP8)	
P43				(INTP9)	
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/ TRGIOA/(TRJIO0)/(TRDIOC1)	ポート5。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P50, P55の入力はTTL入力バッファに設定可能。 P50, P51, P55の出力はN-chオープン・ドレイン 出力(EV _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB/ (TRDIOD1)	
P52	7-1-3			(INTP1)	
P53	7-1-3			(INTP2)	
P54				(INTP3)	
P55	8-1-4			(INTP4)/(PCLBUZ1)/(SCK00)	
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21/(VCOU01)	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P71, P74の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21/(VCOU00)	
P72	7-1-3			KR2/SO21	
P73	7-1-3			KR3/SO01	
P74				7-1-4	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P76	7-1-3			KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOU0	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120のみ、入力/出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定に より、内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能 ^注 。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポ ート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注 。
P141				PCLBUZ1/INTP7	
P146				—	
P147	7-3-3		アナログ機能	ANI18/IVREF0	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または 抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-2 (PIOR0-PIOR2)の設定により、割り当て可能です。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/4)

機能名称	64ピン	48ピン	36ピン	32ピン	24ピン
ANI0	○	○	○	○	○
ANI1	○	○	○	○	○
ANI2	○	○	○	○	○
ANI3	○	○	○	○	—
ANI4	○	○	○	—	—
ANI5	○	○	○	—	—
ANI6	○	○	—	—	—
ANI7	○	○	—	—	—
ANI16	○	○	○	○	○
ANI17	○	○	○	○	○
ANI18	○	○	○	○	○
ANI19	○	○	○	○	—
ANI20	○	○	○	○	○
ANI21	○	○	○	○	○
ANI22	○	○	○	○	—
ANI23	○	○	○	○	—
ANI24	○	○	○	○	—
ANO0	○	○	○	○	○
ANO1	○	○	○	○	—
INTP0	○	○	○	○	○
INTP1	○	○	○	○	○
INTP2	○	○	○	○	○
INTP3	○	○	○	○	○
INTP4	○	○	○	○	○
INTP5	○	○	○	○	○
INTP6	○	○	○	○	—
INTP7	○	—	—	○	—
INTP8	○	○	○	○	○
INTP9	○	○	—	—	—
INTP10	○	○	○	○	○
INTP11	○	○	○	○	○
IrRxD	○	○	○	○	○
IrTxD	○	○	○	○	○
IVCMP0	○	○	○	○	○
IVREF0	○	○	○	○	○
IVCMP10	○	○	○	○	○
IVCMP11	○	○	○	○	○
IVCMP12	○	○	○	○	○
IVCMP13	○	○	○	○	○

(2/4)

機能名称	64ピン	48ピン	36ピン	32ピン	24ピン
KR0	○	○	—	—	—
KR1	○	○	—	—	—
KR2	○	○	—	—	—
KR3	○	○	—	—	—
KR4	○	○	—	—	—
KR5	○	○	—	—	—
KR6	○	—	—	—	—
KR7	○	—	—	—	—
PCLBUZ0	○	○	○	○	○
PCLBUZ1	○	○	○	○	○
PGAI	○	○	○	○	○
PGAGND	○	○	○	○	—
REGC	○	○	○	○	○
RTC1HZ	○	○	○	—	—
RESET	○	○	○	○	○
RxD0	○	○	○	○	○
RxD1	○	○	○	○	○
RxD2	○	○	○	○	○
SCK00	○	○	○	○	○
SCK01	○	○	—	—	—
SCK10	○	—	—	—	—
SCK11	○	○	○	○	○
SCK20	○	○	○	○	○
SCK21	○	○	—	—	—
SCLA0	○	○	○	○	○
SCL00	○	○	○	○	○
SCL01	○	○	—	—	—
SCL10	○	—	—	—	—
SCL11	○	○	○	○	○
SCL20	○	○	○	○	○
SCL21	○	○	—	—	—
SDAA0	○	○	○	○	○
SDA00	○	○	○	○	○
SDA01	○	○	—	—	—
SDA10	○	—	—	—	—
SDA11	○	○	○	○	○
SDA20	○	○	○	○	○
SDA21	○	○	—	—	—
SI00	○	○	○	○	○
SI01	○	○	—	—	—
SI10	○	—	—	—	—
SI11	○	○	○	○	○

(3/4)

機能名称	64ピン	48ピン	36ピン	32ピン	24ピン
SI20	○	○	○	○	○
SI21	○	○	—	—	—
SO00	○	○	○	○	○
SO01	○	○	—	—	—
SO10	○	—	—	—	—
SO11	○	○	○	○	○
SO20	○	○	○	○	○
SO21	○	○	—	—	—
SSI00	○	○	○	○	○
TI00	○	○	○	○	○
TI01	○	○	○	○	—
TI02	○	○	○	○	—
TI03	○	○	○	○	○
TO00	○	○	○	○	○
TO01	○	○	○	○	—
TO02	○	○	○	○	—
TO03	○	○	○	○	○
TRJIO0	○	○	○	○	○
TRJO0	○	○	○	○	○
TRDCLK	○	○	○	○	—
TRDIOA0	○	○	○	○	—
TRDIOB0	○	○	○	○	○
TRDIOC0	○	○	○	○	○
TRDIOD0	○	○	○	○	○
TRDIOA1	○	○	○	○	○
TRDIOB1	○	○	○	○	○
TRDIOC1	○	○	○	○	○
TRDIOD1	○	○	○	○	○
TRGIOA	○	○	○	○	○
TRGIOB	○	○	○	○	○
TRGCLKA	○	○	○	○	○
TRGCLKB	○	○	○	○	○
TxD0	○	○	○	○	○
TxD1	○	○	○	○	○
TxD2	○	○	○	○	○
VCOU0	○	○	○	○	○
VCOU1	○	○	○	○	○

(4/4)

機能名称	64ピン	48ピン	36ピン	32ピン	24ピン
X1	○	○	○	○	○
X2	○	○	○	○	○
EXCLK	○	○	○	○	○
EXCLKS	○	○	○	—	—
XT1	○	○	○	—	—
XT2	○	○	○	—	—
VDD	○	○	○	○	○
EVDD0	○	—	○	—	—
AVREFP	○	○	○	○	○
AVREFM	○	○	○	○	○
VSS	○	○	○	○	○
EVSS0	○	—	—	—	—
TOOLRxD	○	○	○	○	○
TOOLTxD	○	○	○	○	○
TOOL0	○	○	○	○	○

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI7, ANI16-ANI24	入力	A/Dコンバータのアナログ入力(図15-46 アナログ入力端子の処理参照)
ANO0, ANO1	出力	D/Aコンバータ出力
INTP0-INTP11	入力	外部割り込み要求入力 有効エッジ指定： 立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ
IrRxD	入力	IrDAの受信データ
IrTxD	出力	IrDAの送信データ
IVCMP0	入力	コンパレータ0のアナログ電圧入力
IVCMP10 IVCMP11, IVCMP12, IVCMP13	入力	コンパレータ1のアナログ電圧入力/リファレンス電圧入力
IVREF0	入力	コンパレータ0のリファレンス電圧入力
VCOU0, VCOU1	出力	コンパレータ出力
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
PGAI	入力	PGA電圧入力
PGAGND	入力	PGAリファレンス電圧入力
REGC	—	内部動作用レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μF)を介し、V _{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック(1 Hz)出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。
RxD0-RxD2	入力	シリアル・インタフェースUART0-UART2のシリアル・データ入力
TxD0-TxD2	出力	シリアル・インタフェースUART0-UART2のシリアル・データ出力
SCK00, SCK01, SCK10, SCK11, SCK20, SCK21	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・クロック入力/出力
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21のシリアル・クロック出力
SDA00, SDA01, SDA10, SDA11, SDA20, SDA21	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21のシリアル・データ入出力
SI00, SI01, SI10, SI11, SI20, SI21	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・データ入力
SSI00	入力	シリアル・インタフェースCSI00のチップ・セレクト入力
SO00, SO01, SO10, SO11, SO20, SO21	出力	CSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・データ出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI00-TI03	入力	16ビット・タイマ00-03への外部カウント・クロック/キャプチャ・トリガ入力
TO00-TO03	出力	16ビット・タイマ00-03のタイマ出力

(2/2)

機能名称	入出力	機能
TRJIO0	入出力	タイマRJ入出力
TRJO0	出力	タイマRJ出力
TRDCLK	入力	タイマRD外部クロック入力
TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1	入出力	タイマRD入出力
TRGIOA, TRGIOB	入出力	タイマRG入出力
TRGCLKA, TRGCLKB	入力	タイマRG外部クロック入力
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	—	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
V _{DD}	—	<24ピン, 32ピン, 48ピン製品の場合> すべての端子の正電源 <36ピン, 64ピン製品の場合> P20-P27, P121-P124, P137, およびポート以外の端子の正電源
EV _{DD0}	—	ポート端子(P20-P27, P121-P124, P137以外)の正電源
AVREFP	入力	A/Dコンバータの+側基準電圧入力
AVREFM	入力	A/Dコンバータの-側基準電圧入力
V _{SS}	—	<24ピン, 32ピン, 36ピン, 48ピン製品の場合> すべての端子のグランド電位 <64ピン製品の場合> P20-P27, P121-P124, P137, およびポート以外の端子のグランド電位
EV _{SS0}	—	ポート端子(P20-P27, P121-P124, P137以外)のグランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
EV _{DD}	通常動作モード
0V	フラッシュ・メモリ・プログラミング・モード

詳細は、33.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、V_{DD}-V_{SS}、EV_{DD0}-EV_{SS0}ライン間へのバイパスコンデンサ(0.1 μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

表2-3に各端子の未使用端子処理を示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View)、2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P06	入出力	入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。
P10-P17		出力時：オープンにしてください。
P20-P27		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。
		出力時：オープンにしてください。
P30, P31		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。
		出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、EVDD0に接続またはオープンにしてください。
		出力時：オープンにしてください。
P41-P43		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。
P50-P55		出力時：オープンにしてください。
P60-P63		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。
		出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してEVDD0またはEVSS0に接続してください。
P70-P77		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。
P120	出力時：オープンにしてください。	
P121-P124	入力	個別に抵抗を介して、VDDまたはVSSに接続してください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して、VDDまたはVSSに接続してください。
P140, P141, P146, P147	入出力	入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。
		出力時：オープンにしてください。
RESET	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47~1 μ F)を介し、VSSに接続してください。

備考 EVDD0, EVSS0端子がない製品は、EVDD0をVDDに、EVSS0をVSSに置き換えてください。

2.4 端子ブロック図

2.1.1 24ピン製品～2.1.5 64ピン製品に記載した端子タイプについて、端子ブロック図を図2-1～図2-25に示します。

図2-1 端子タイプ 1-1-1 の端子ブロック図

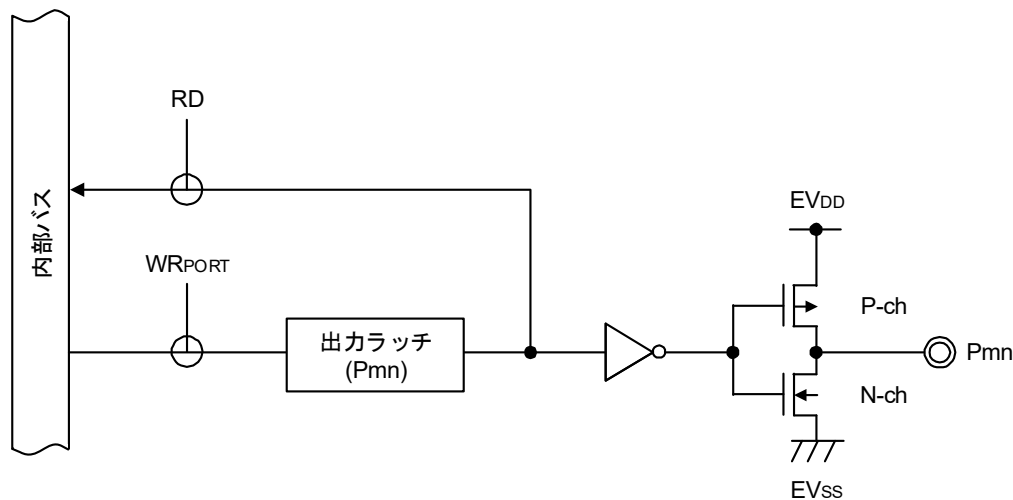


図2-2 端子タイプ 2-1-1 の端子ブロック図

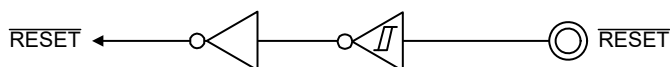
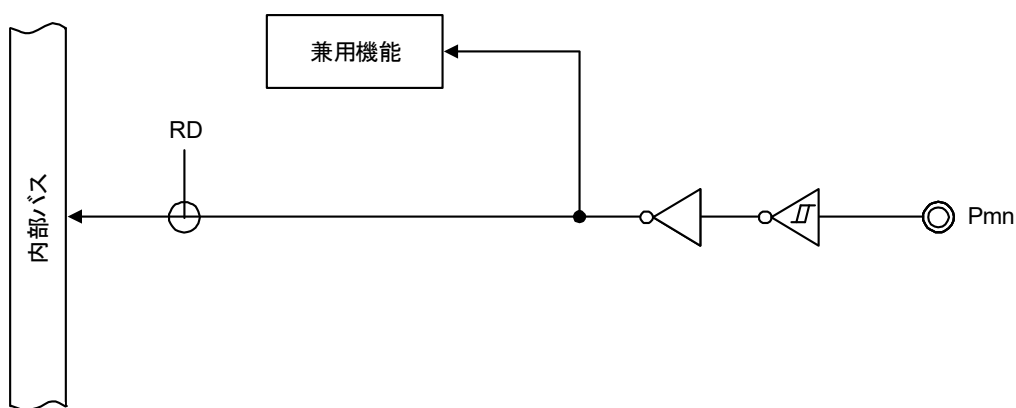
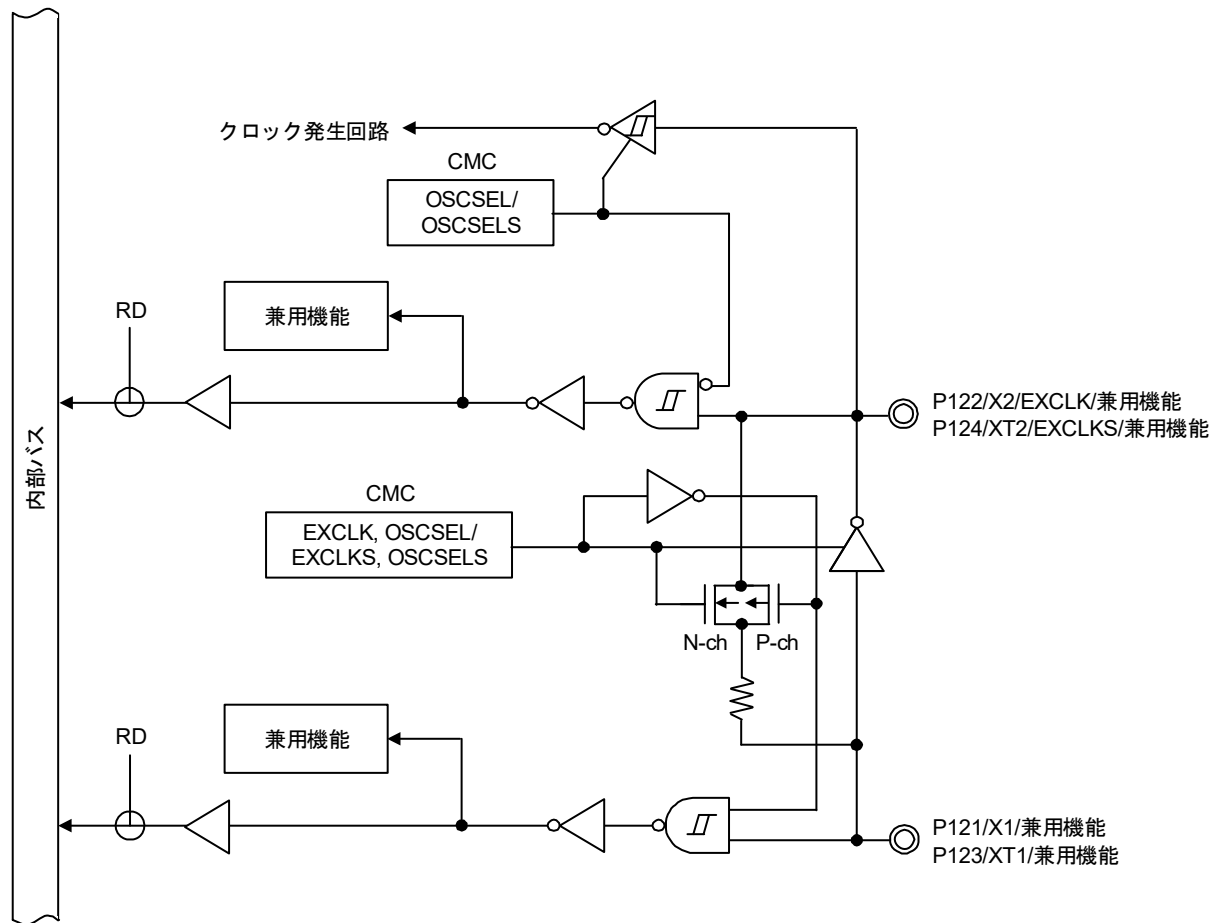


図2-3 端子タイプ 2-1-2 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-4 端子タイプ 2-2-1 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-5 端子タイプ4-3-3の端子ブロック図

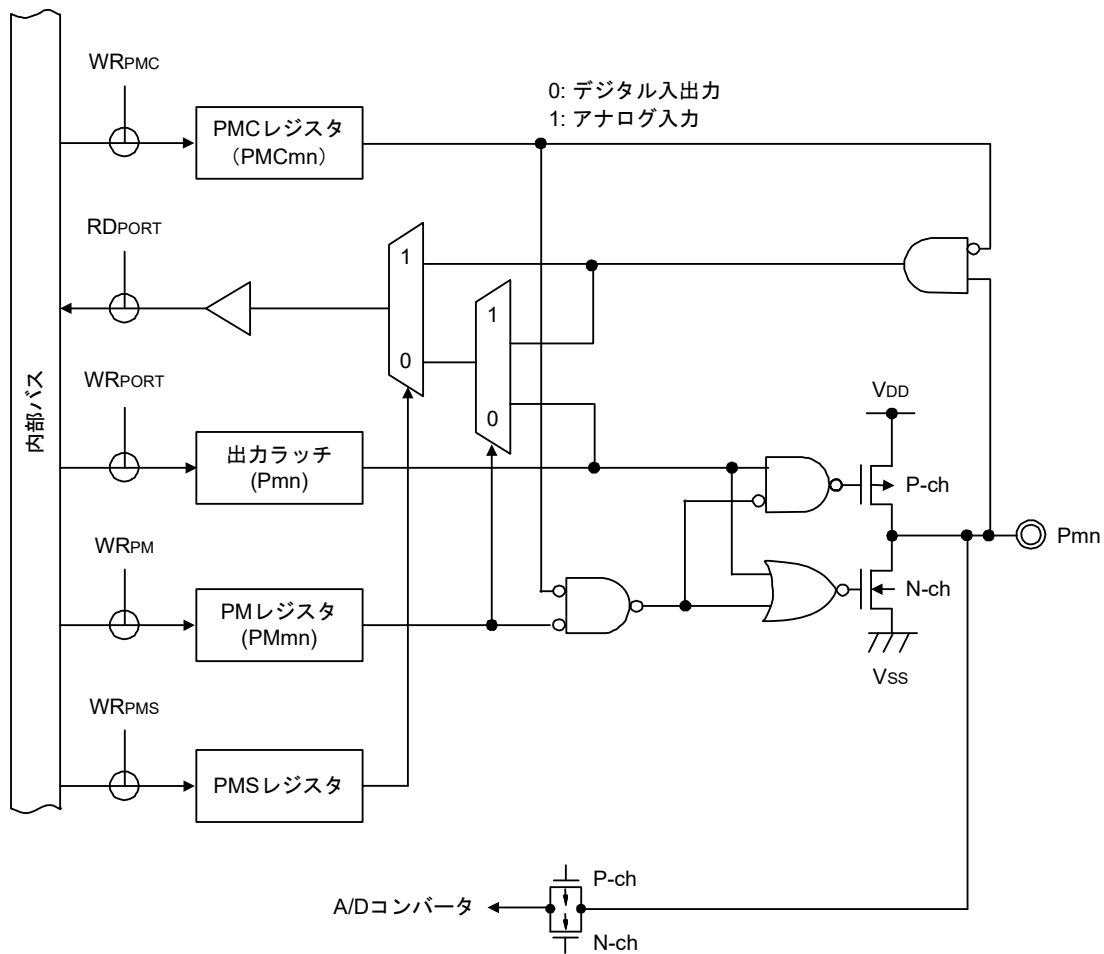


図2-6 端子タイプ4-9-1の端子ブロック図

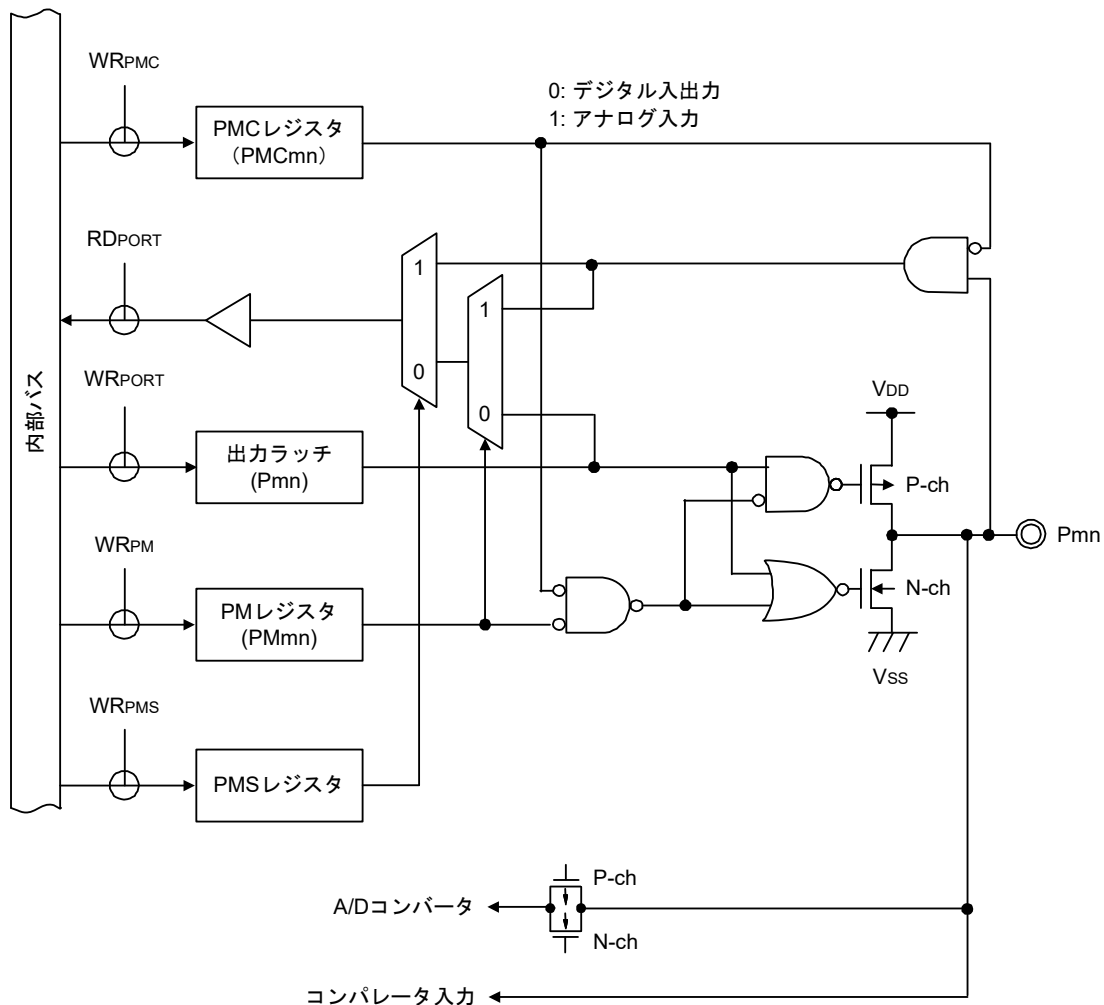


図2-7 端子タイプ4-15-1の端子ブロック図

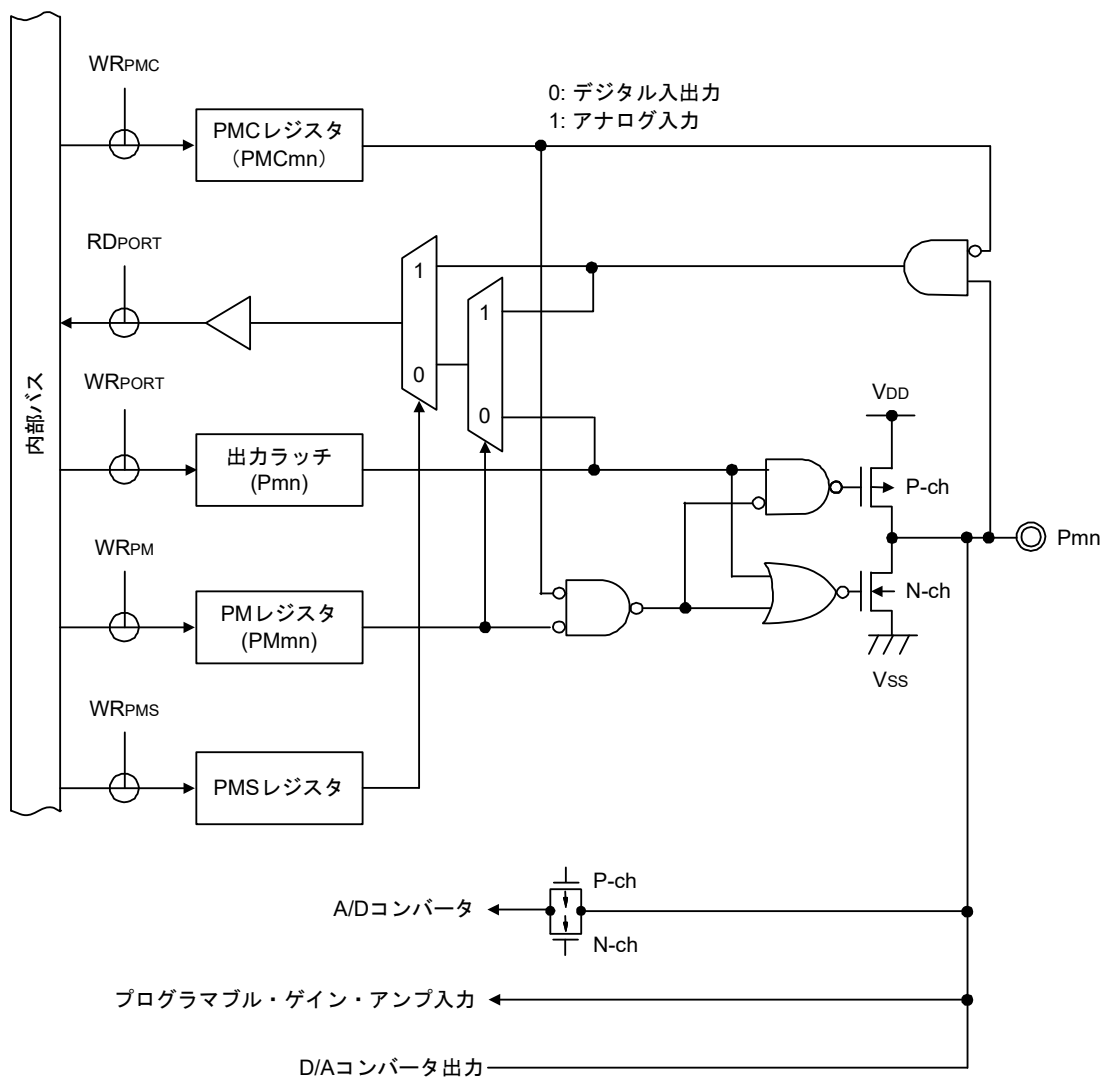


図2-8 端子タイプ4-16-1の端子ブロック図

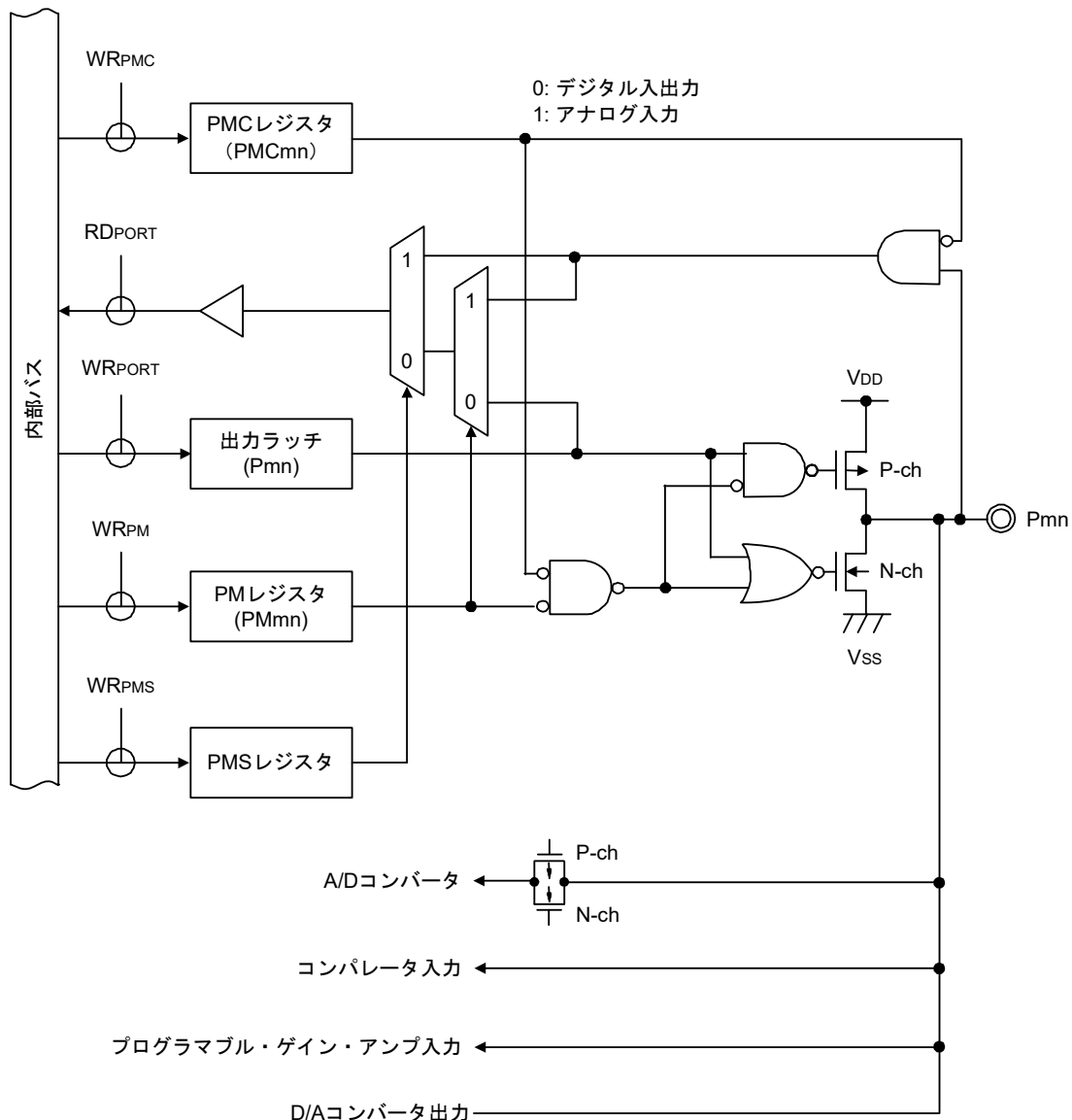
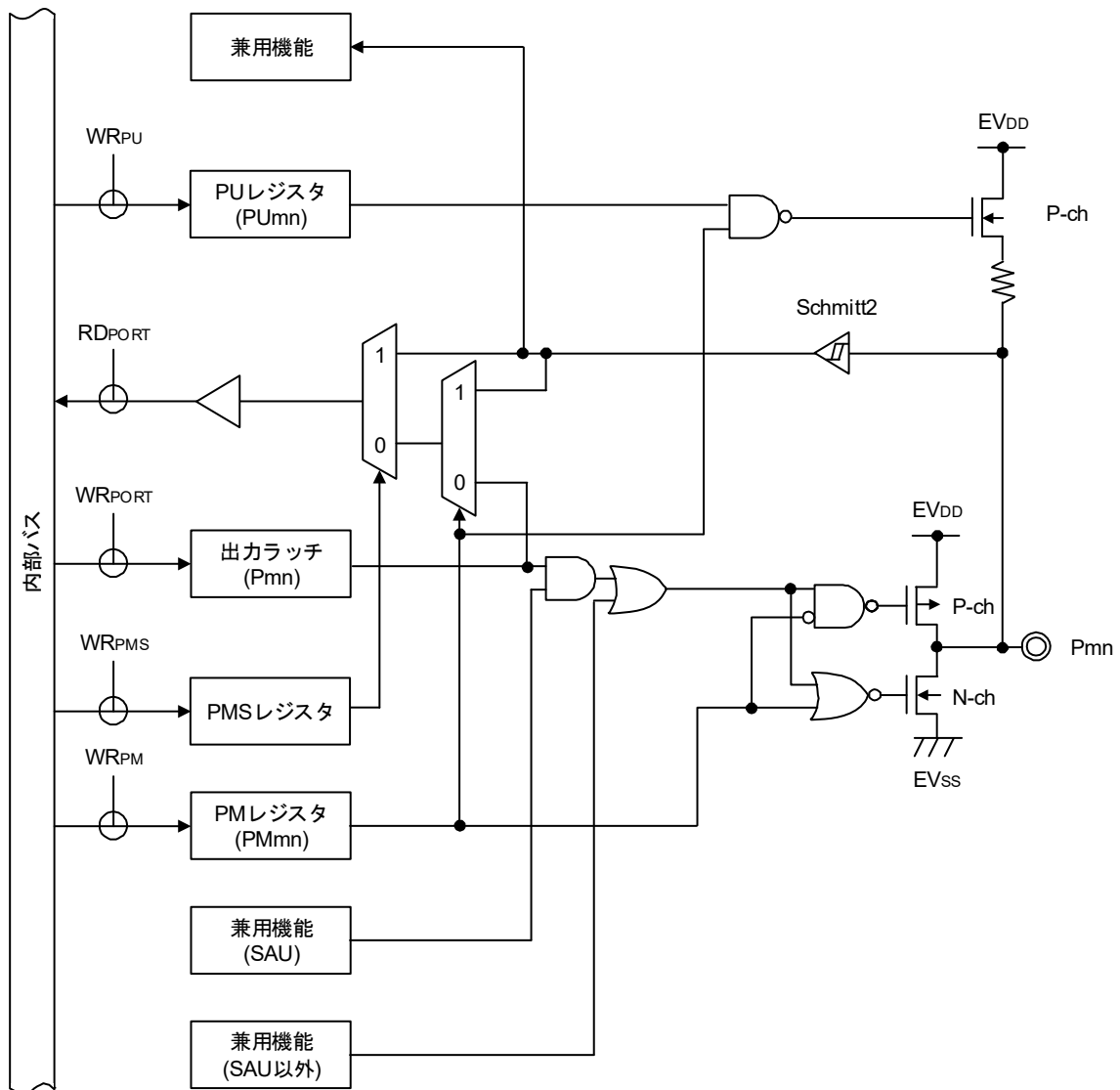


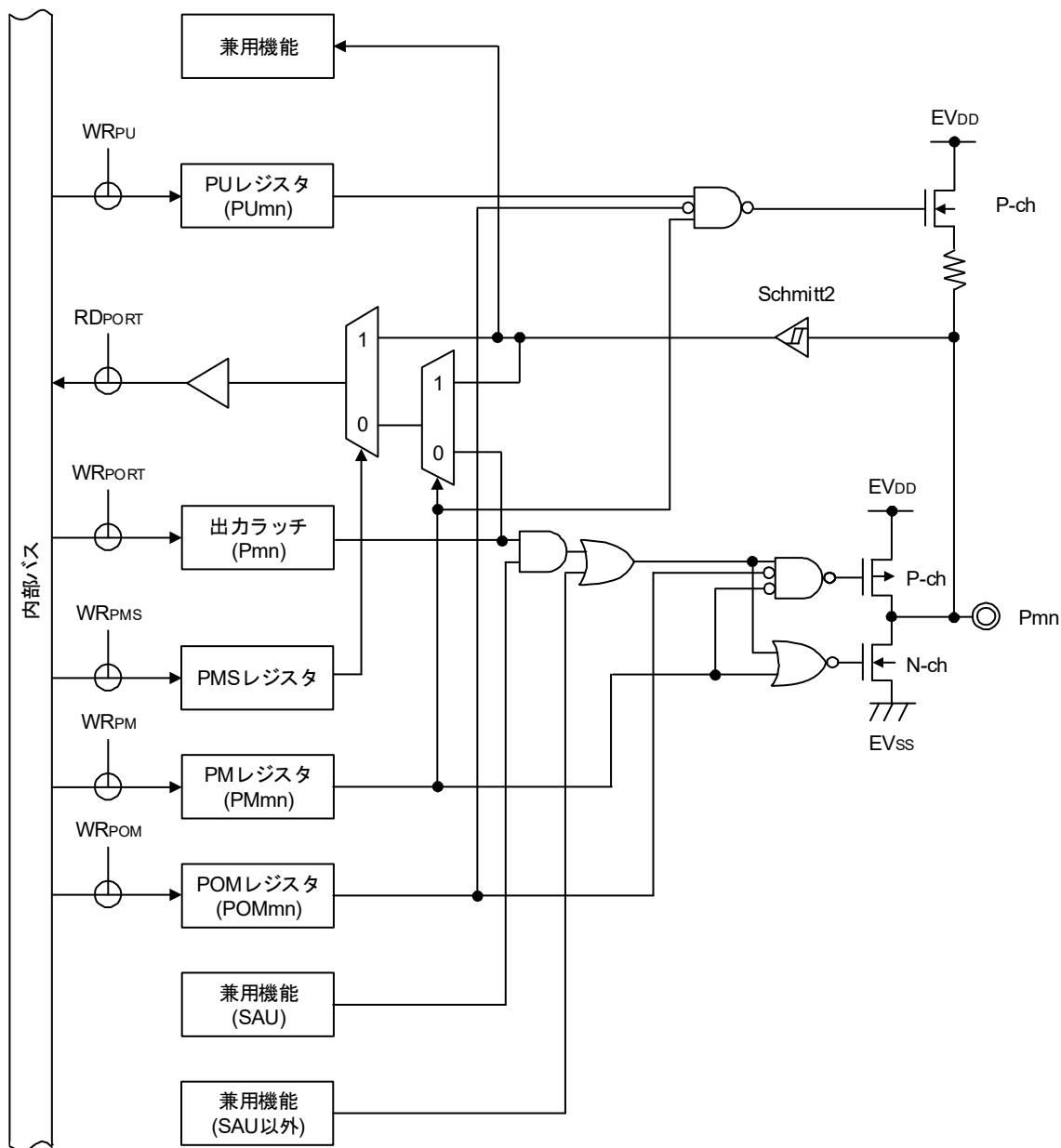
図2-9 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-10 端子タイプ7-1-4の端子ブロック図

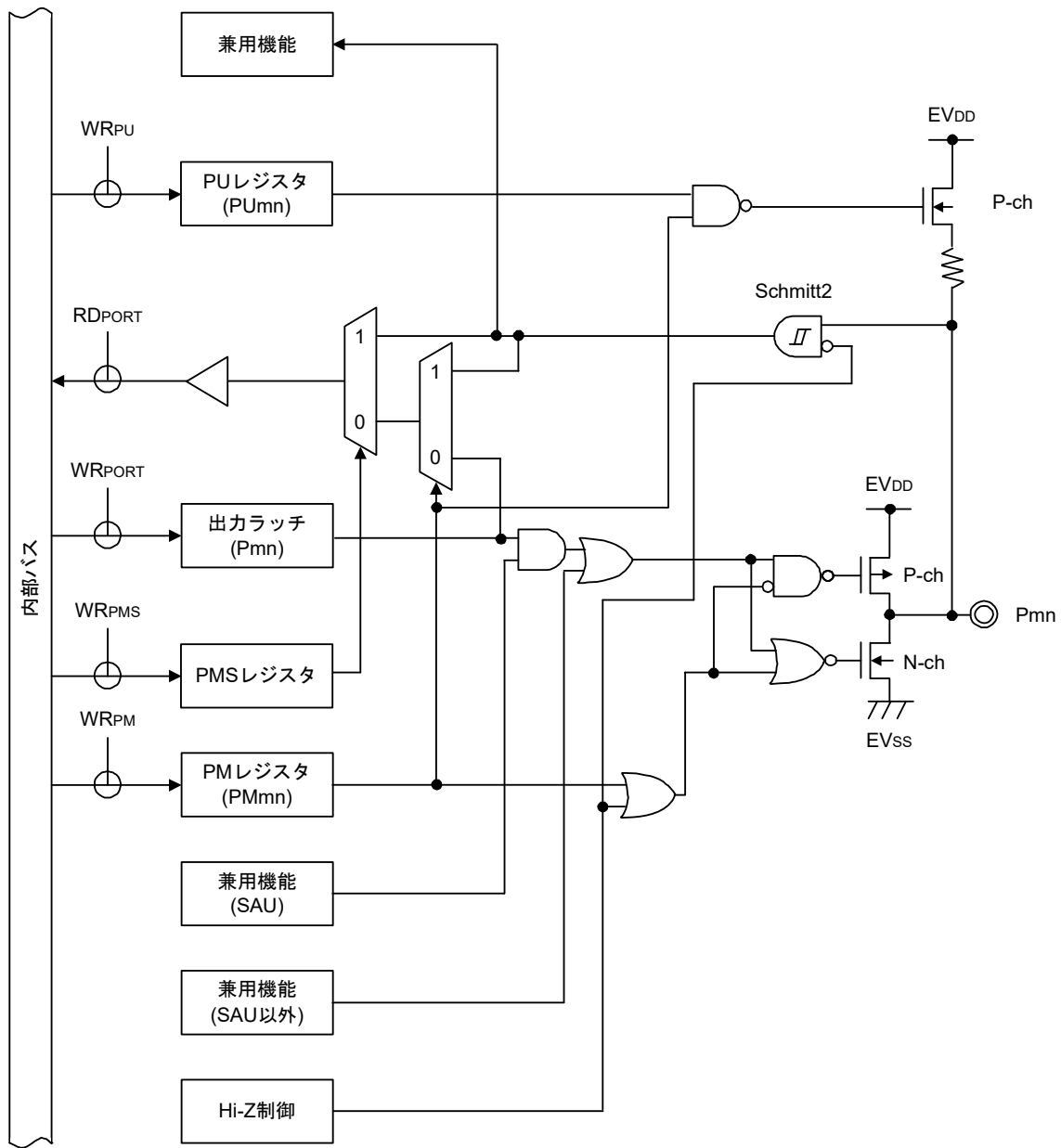


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

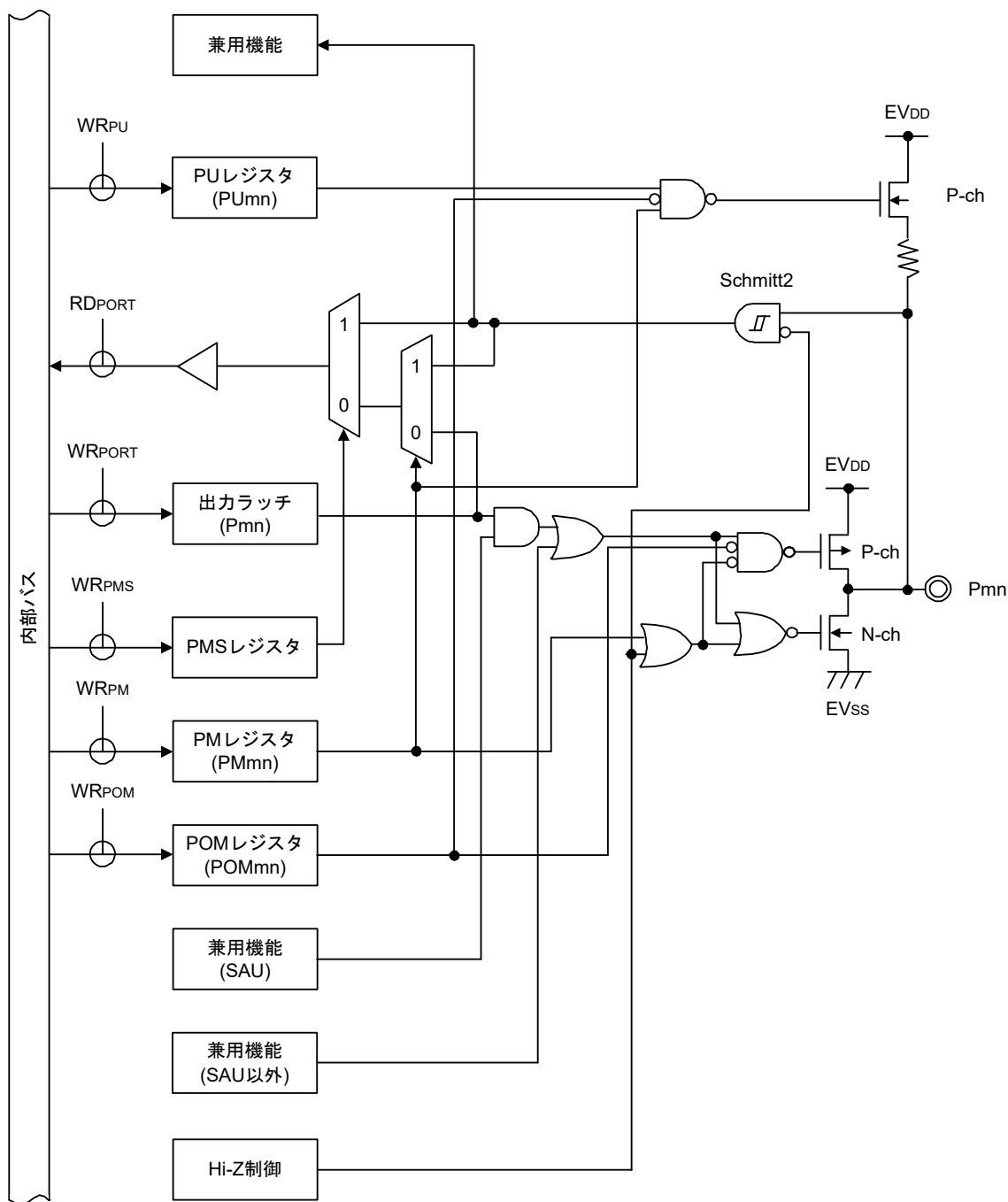
図2 - 11 端子タイプ7-1-7の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-12 端子タイプ7-1-8の端子ブロック図

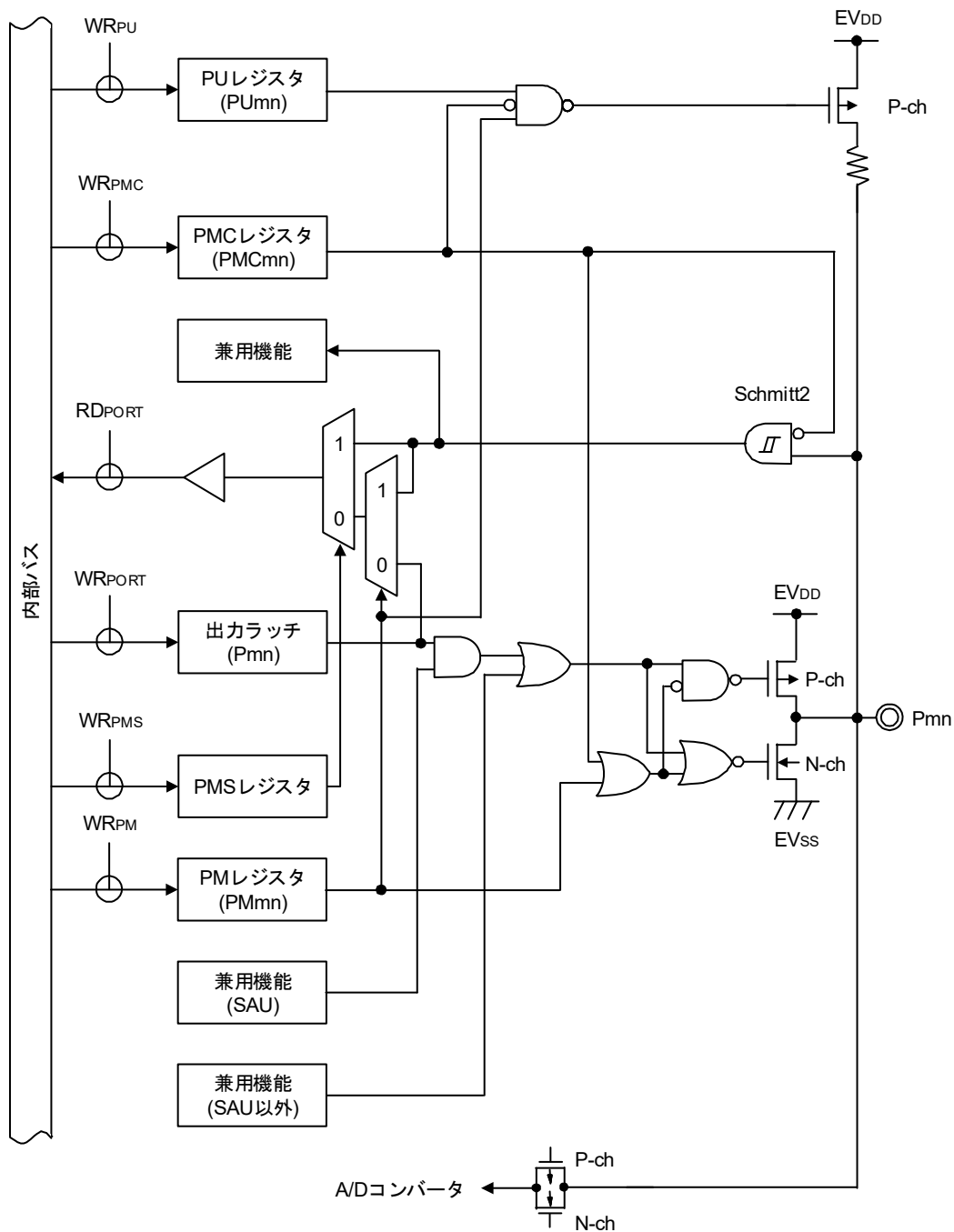


注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

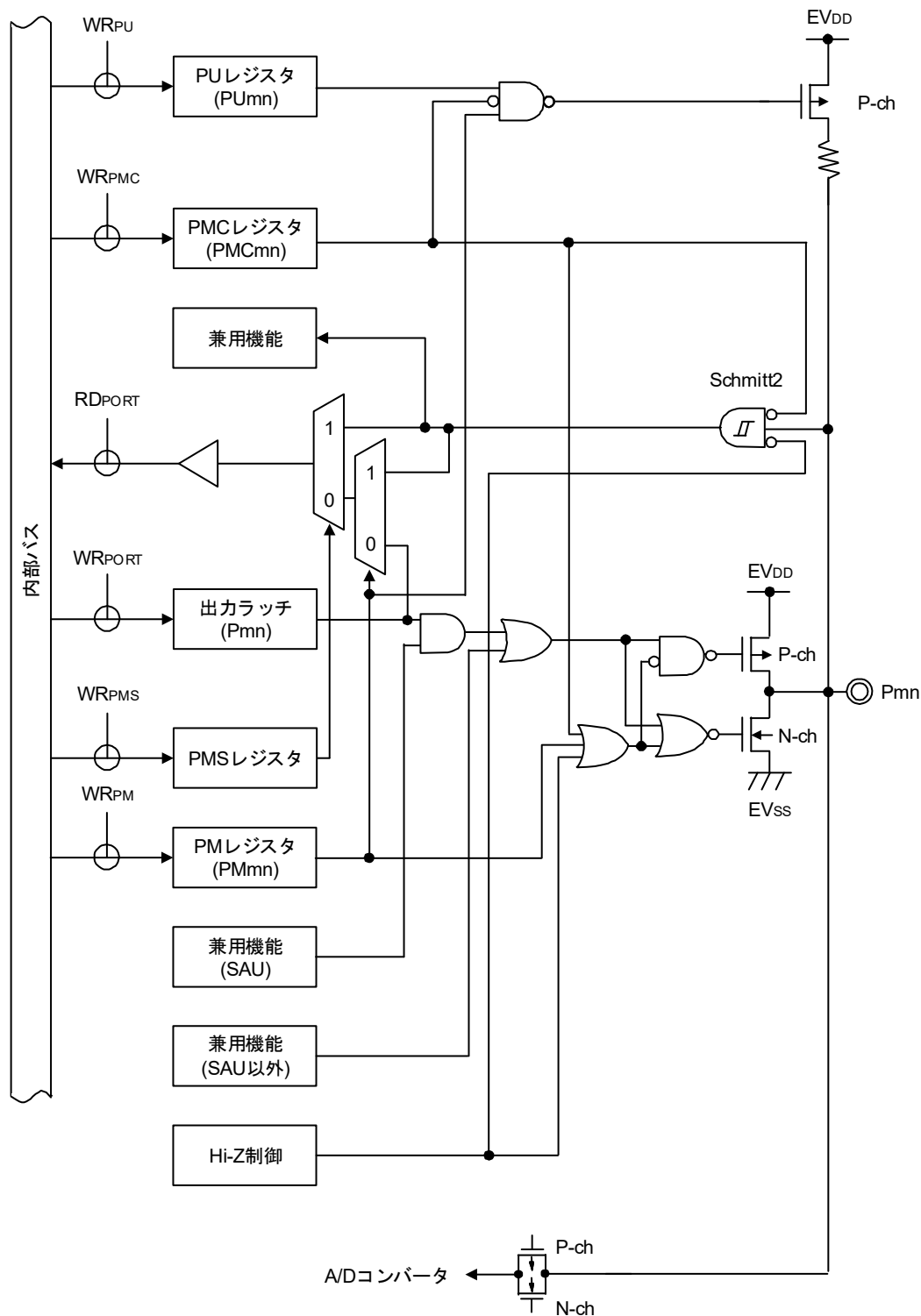
図2-13 端子タイプ7-3-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

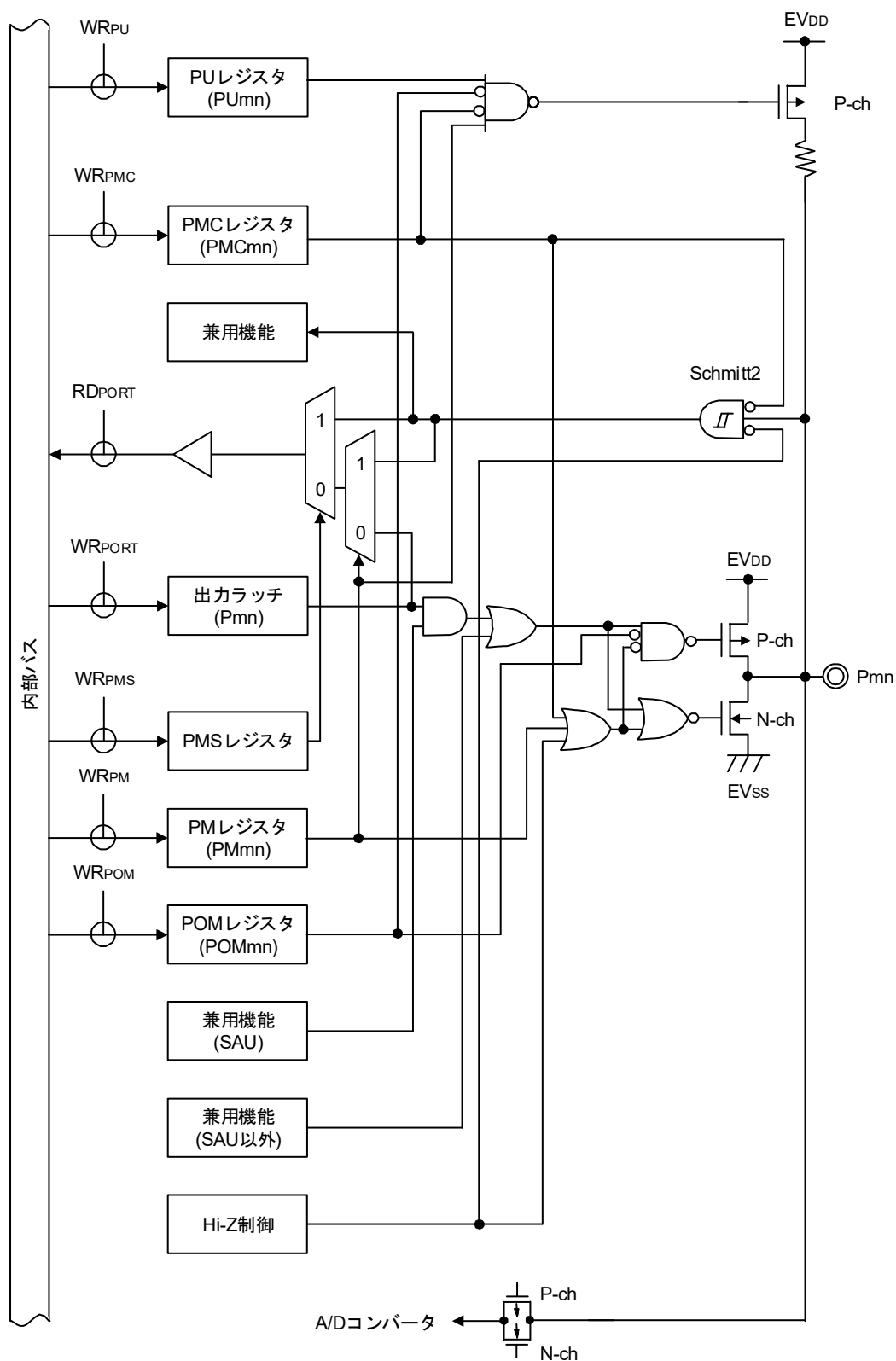
図2-14 端子タイプ7-3-7の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

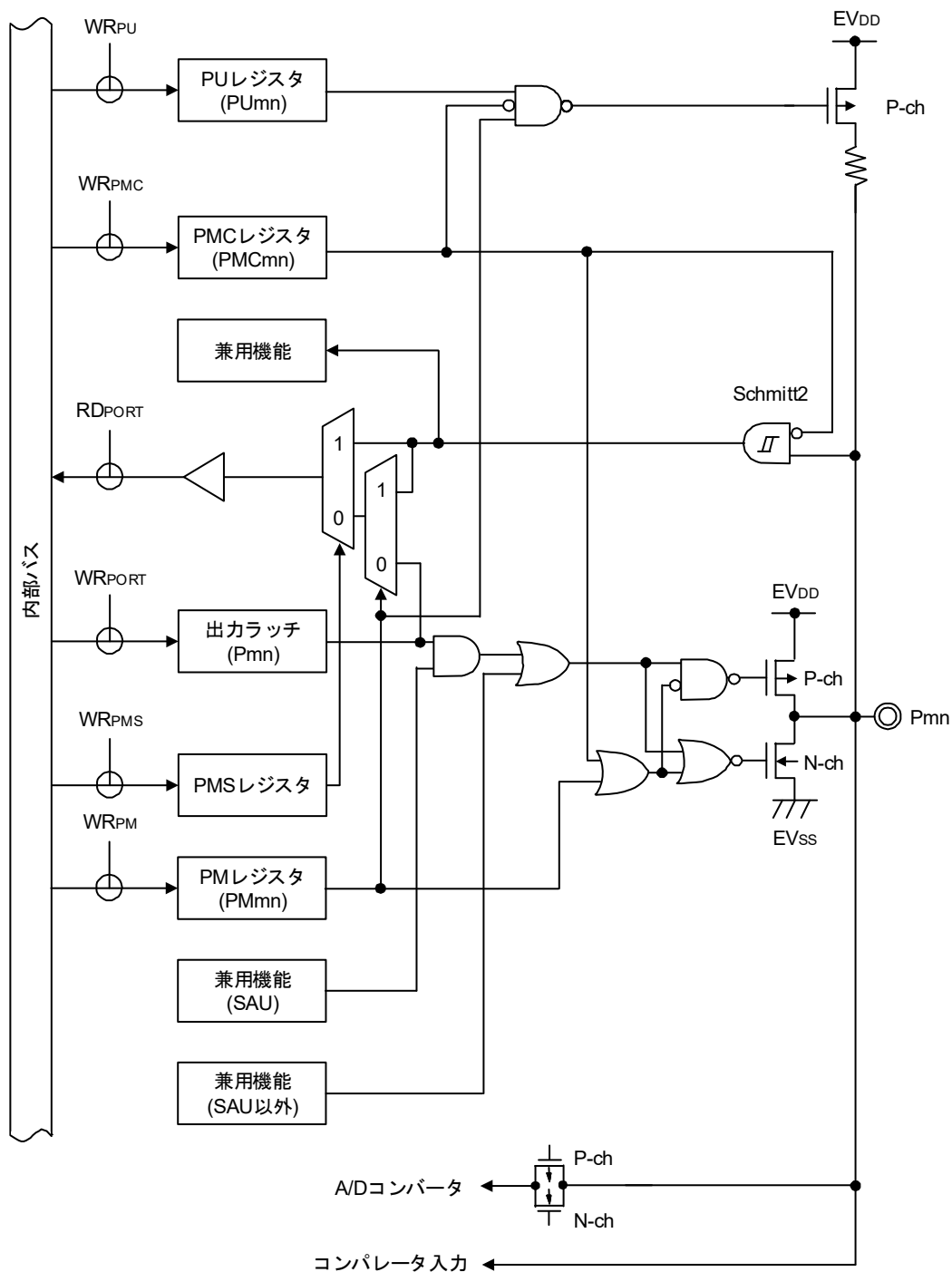
図2-15 端子タイプ7-3-8の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

SAU : シリアル・アレイ・ユニット

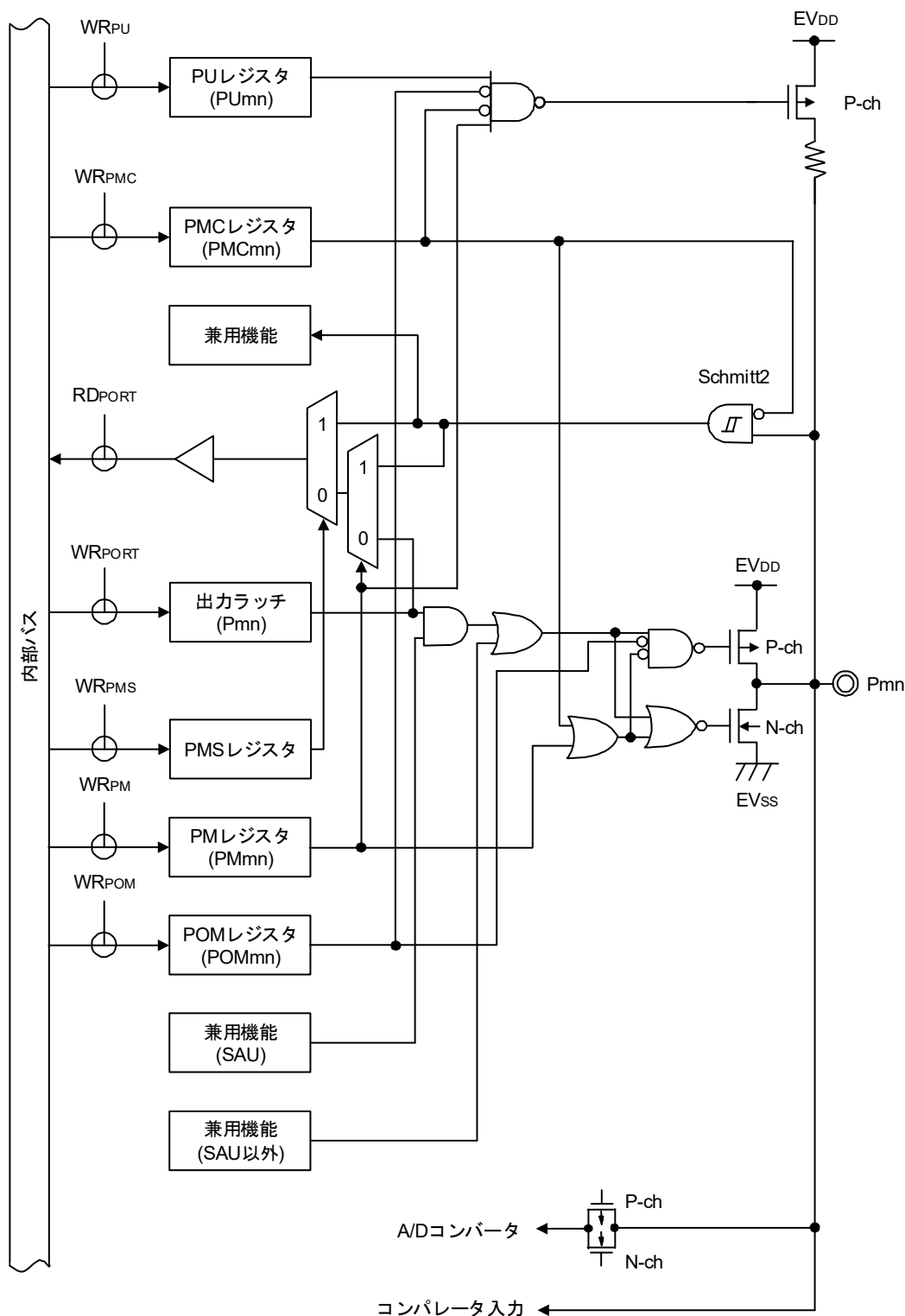
図2-16 端子タイプ7-9-1の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-17 端子タイプ7-9-2の端子ブロック図

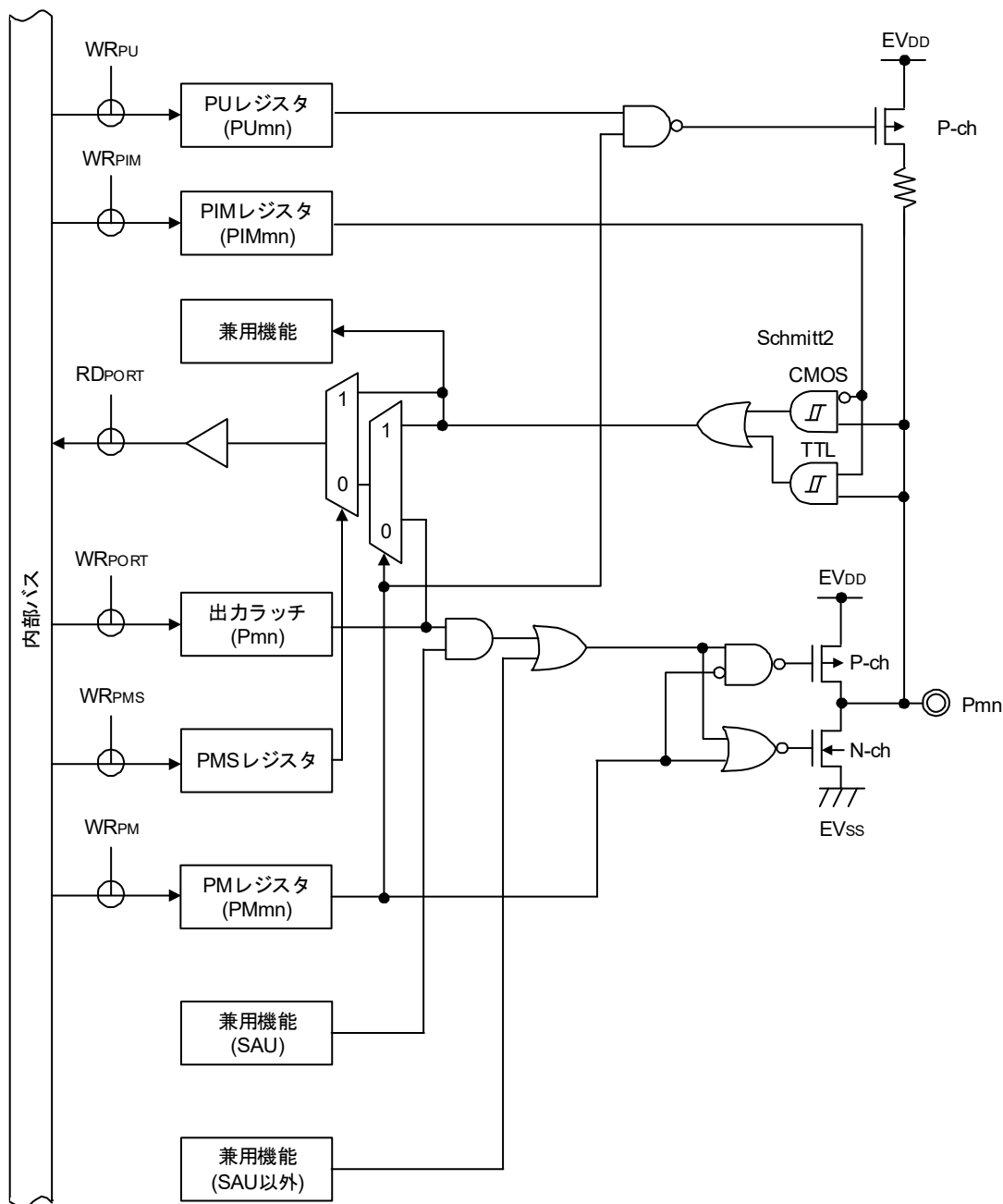


注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-18 端子タイプ8-1-3の端子ブロック図

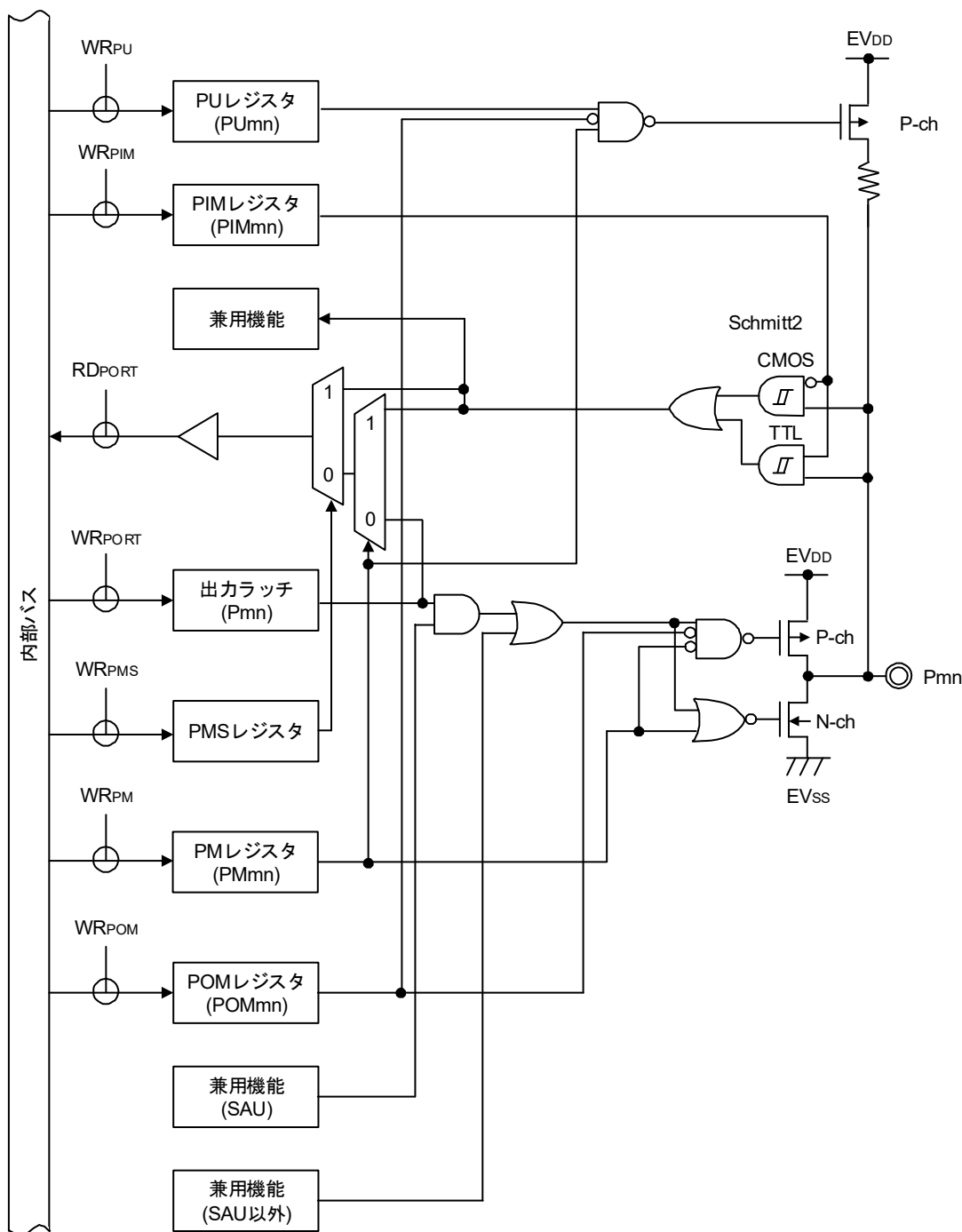


注意 ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

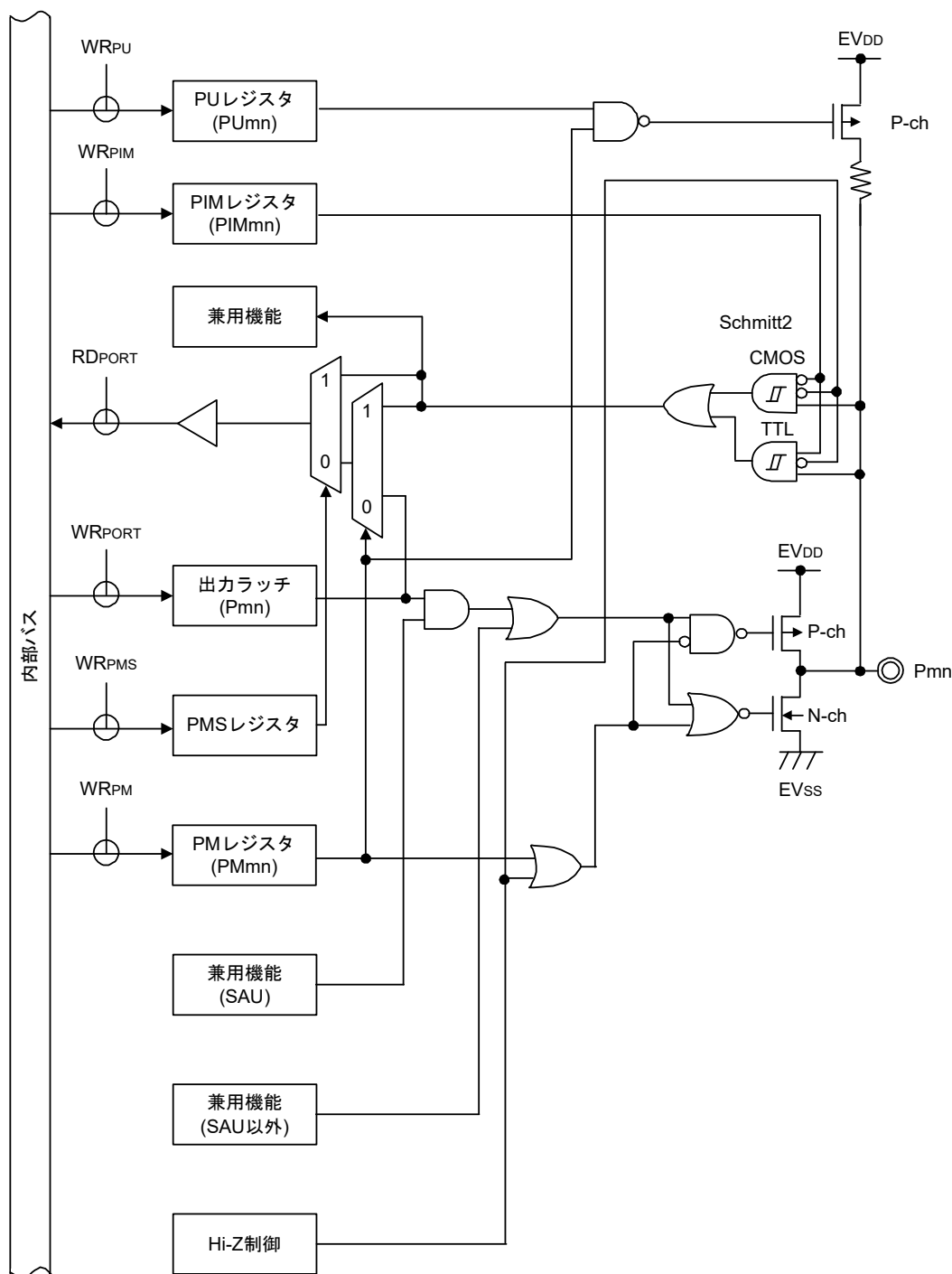
図2-19 端子タイプ8-1-4の端子ブロック図



- 注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
- 注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
- 備考2. SAU : シリアル・アレイ・ユニット

図2-20 端子タイプ8-1-7の端子ブロック図

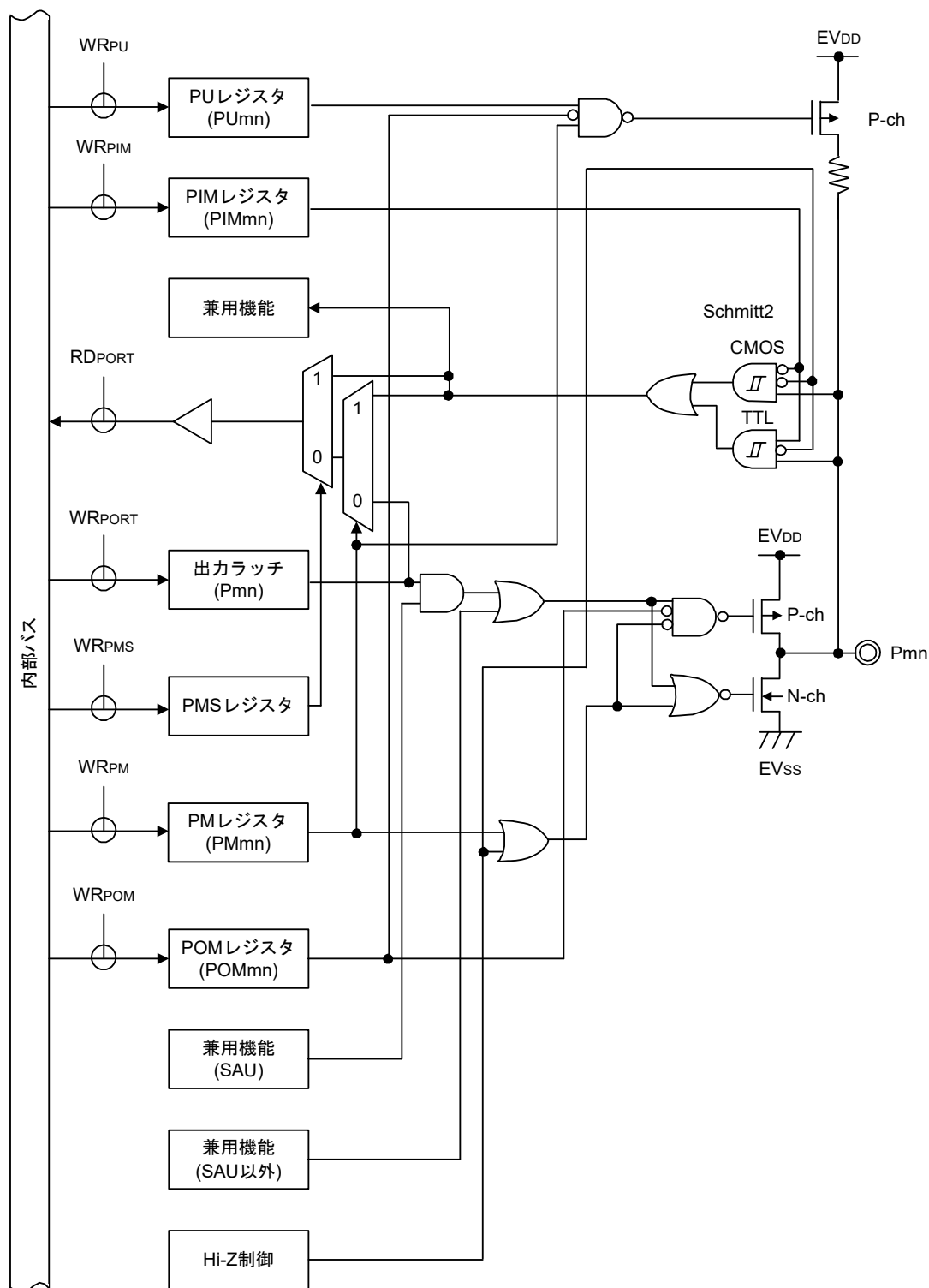


注意 ポート入力モード・レジスタ (PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-21 端子タイプ8-1-8の端子ブロック図



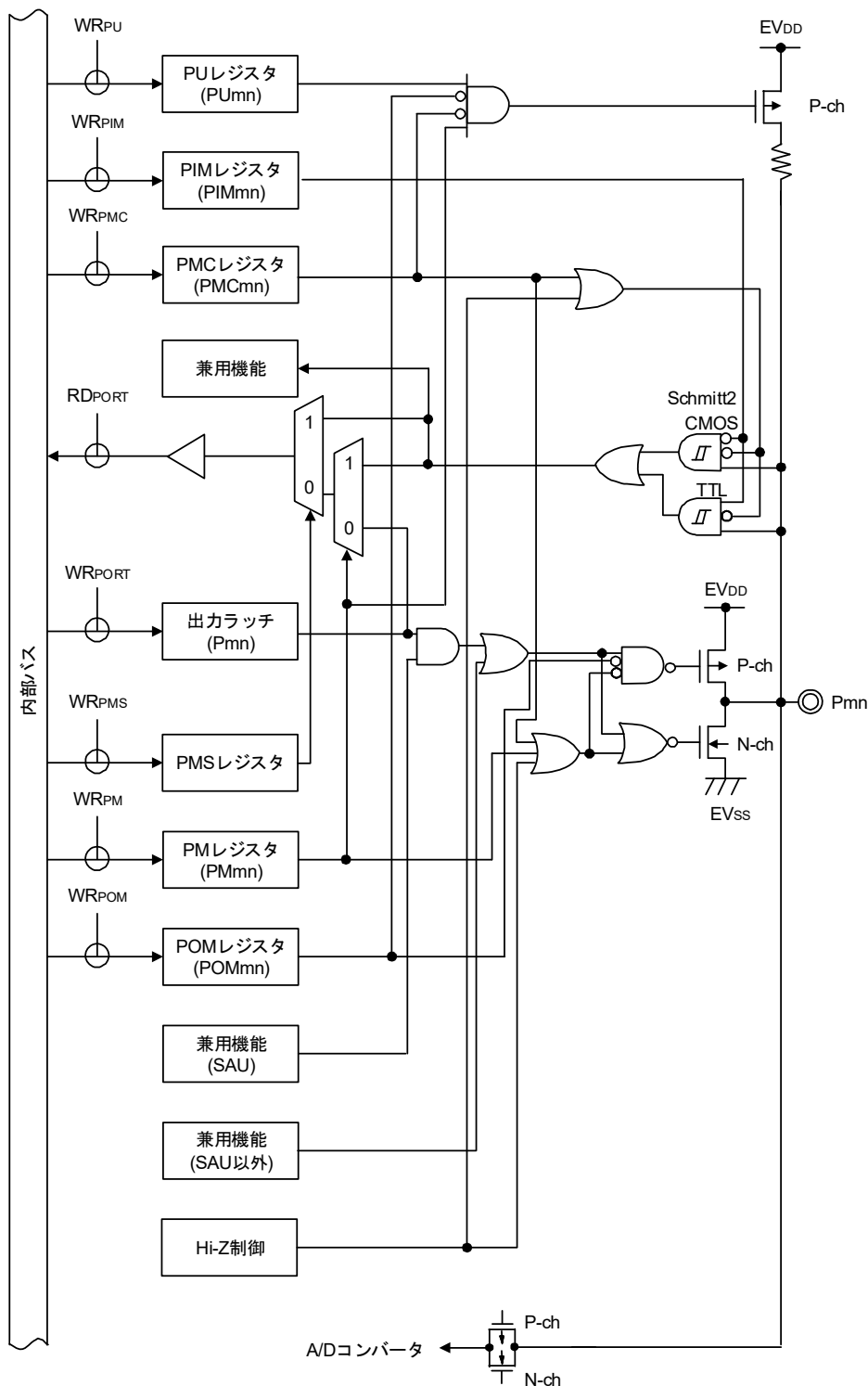
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-22 端子タイプ8-3-8の端子ブロック図



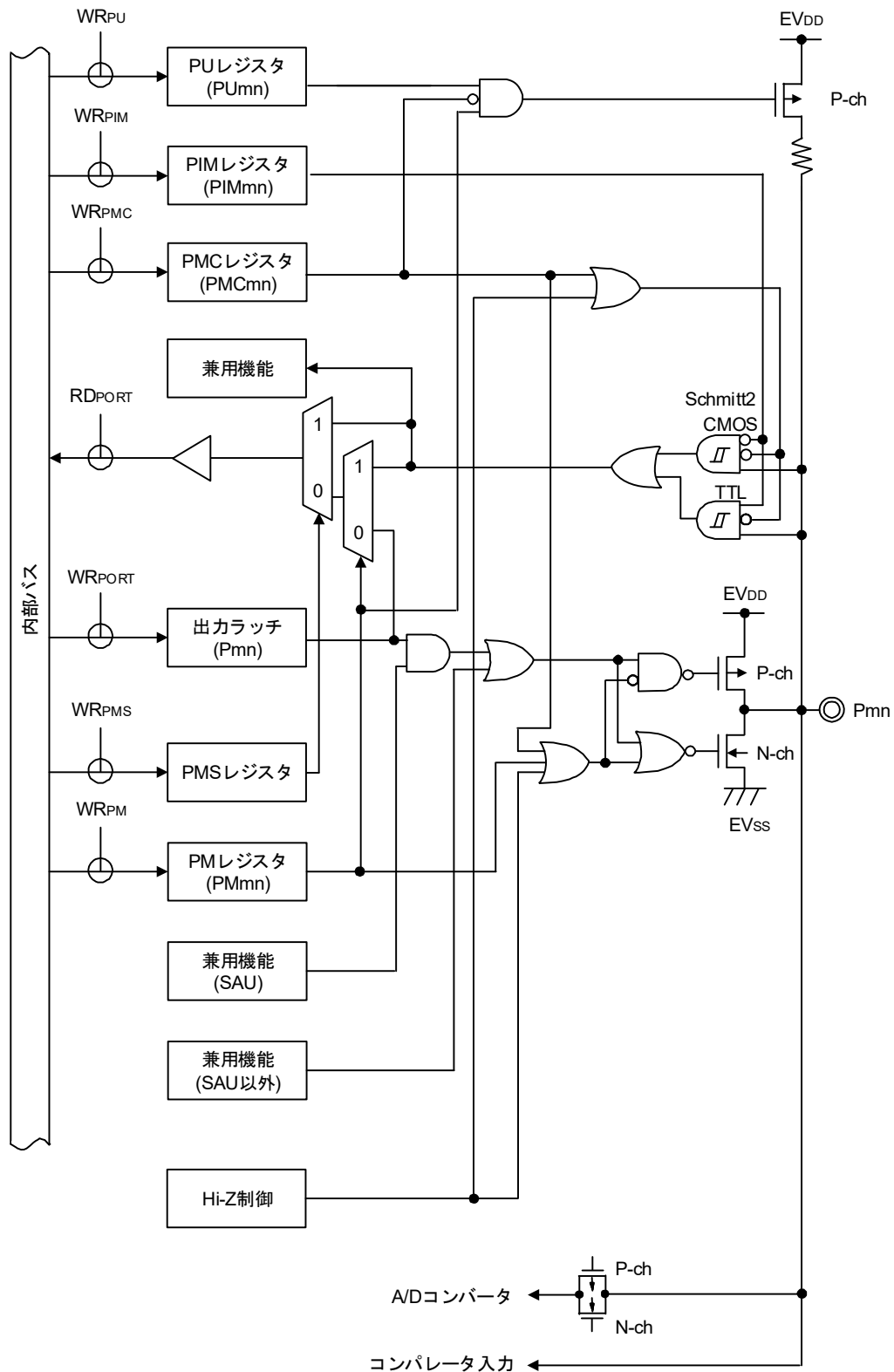
注意1. ポート出力モード・レジスタ (POMx) で N-ch オープン・ドレイン 出力モード 設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ (PIMx) で TTL 入力バッファに設定し、ハイレベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-23 端子タイプ8-9-1の端子ブロック図

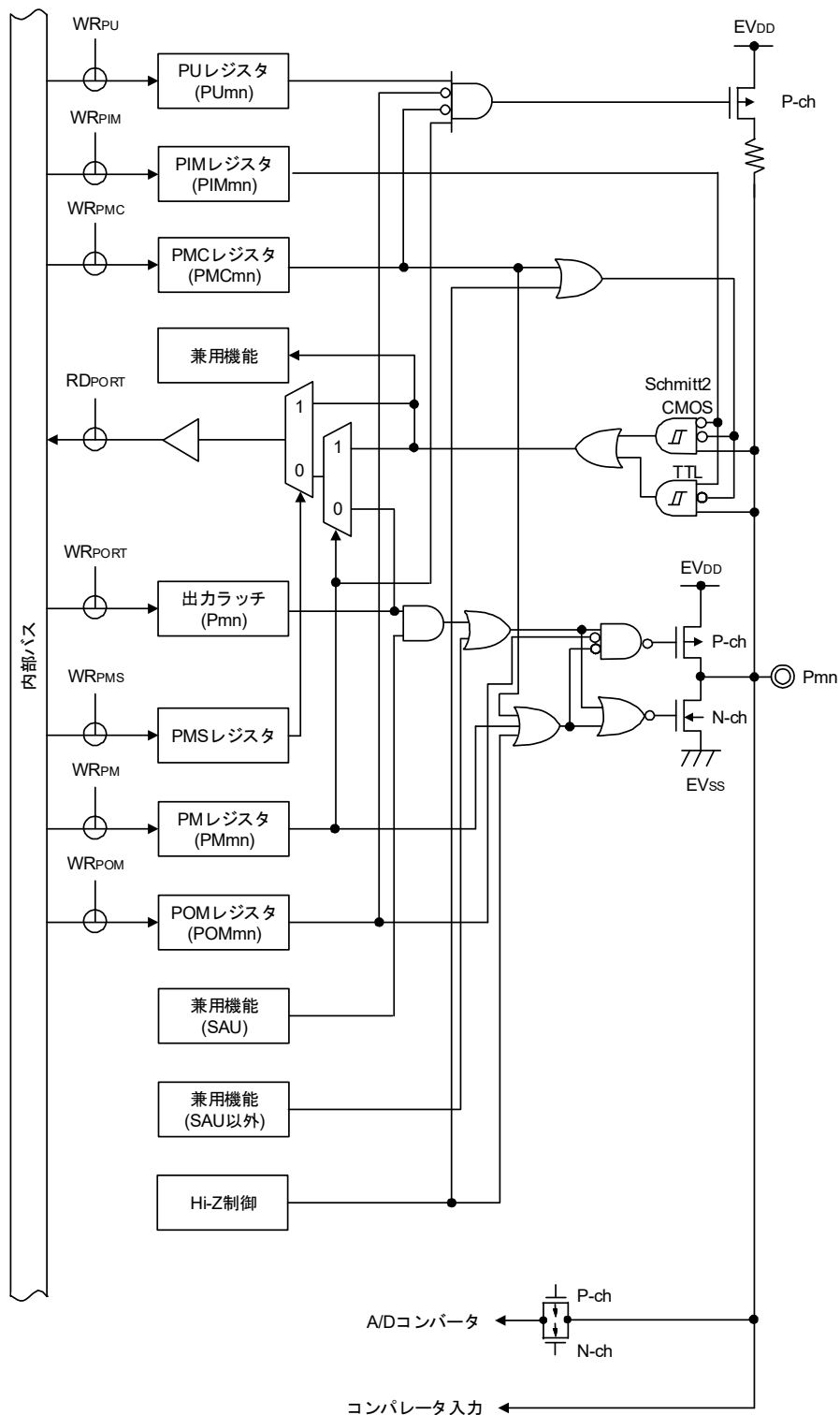


注意 ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-24 端子タイプ8-9-2の端子ブロック図



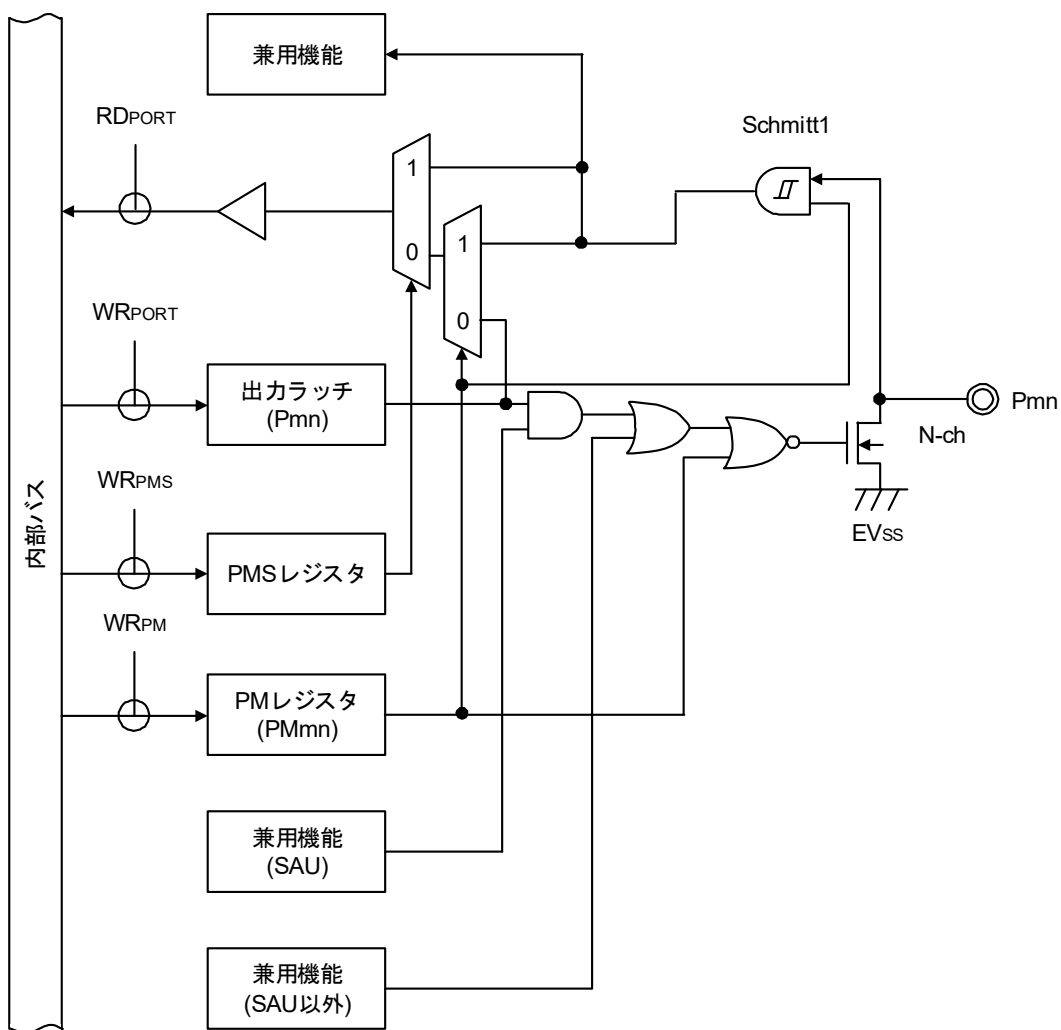
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-25 端子タイプ12-1-2の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

3.1 概要

RL78 マイクロコントローラのCPUコアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来のCPUコアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とする様々なアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

RL78/G1Fは、RL78-S3コアであり、主に以下のような特徴を有します。

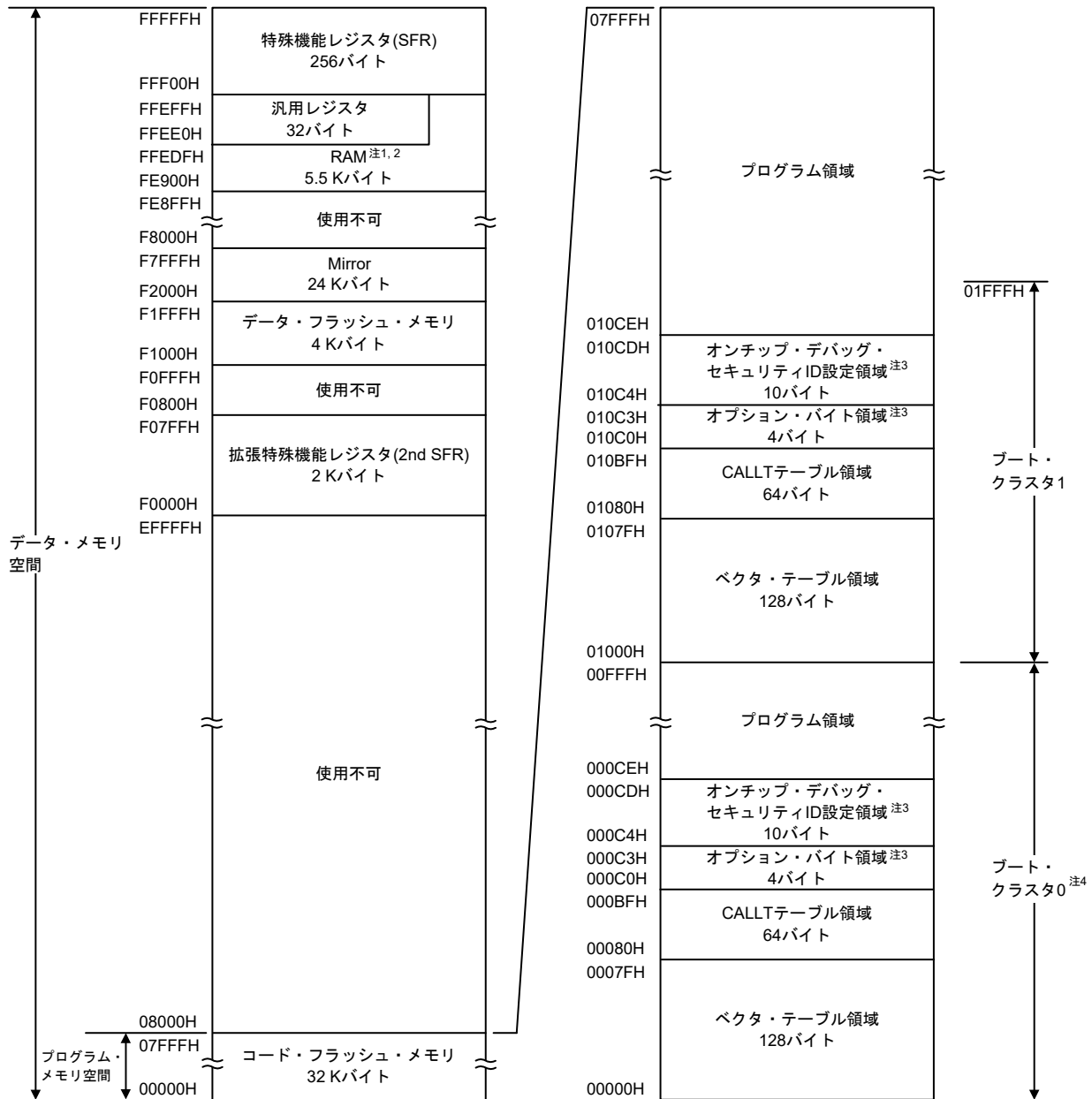
- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ x 8
- 命令の種類：81種類
- データ配置：リトル・エンディアン
- 乗除算積和演算命令：対応

RL78/G1FはOCDトレース機能をサポートします。

3.2 メモリ空間

RL78/G1Fは、1 Mバイトのアドレス空間をアクセスできます。図3-1、図3-2に、メモリ・マップを示します。

図3-1 メモリ・マップ(R5F11BxC (x = 7, B, C, G, L))

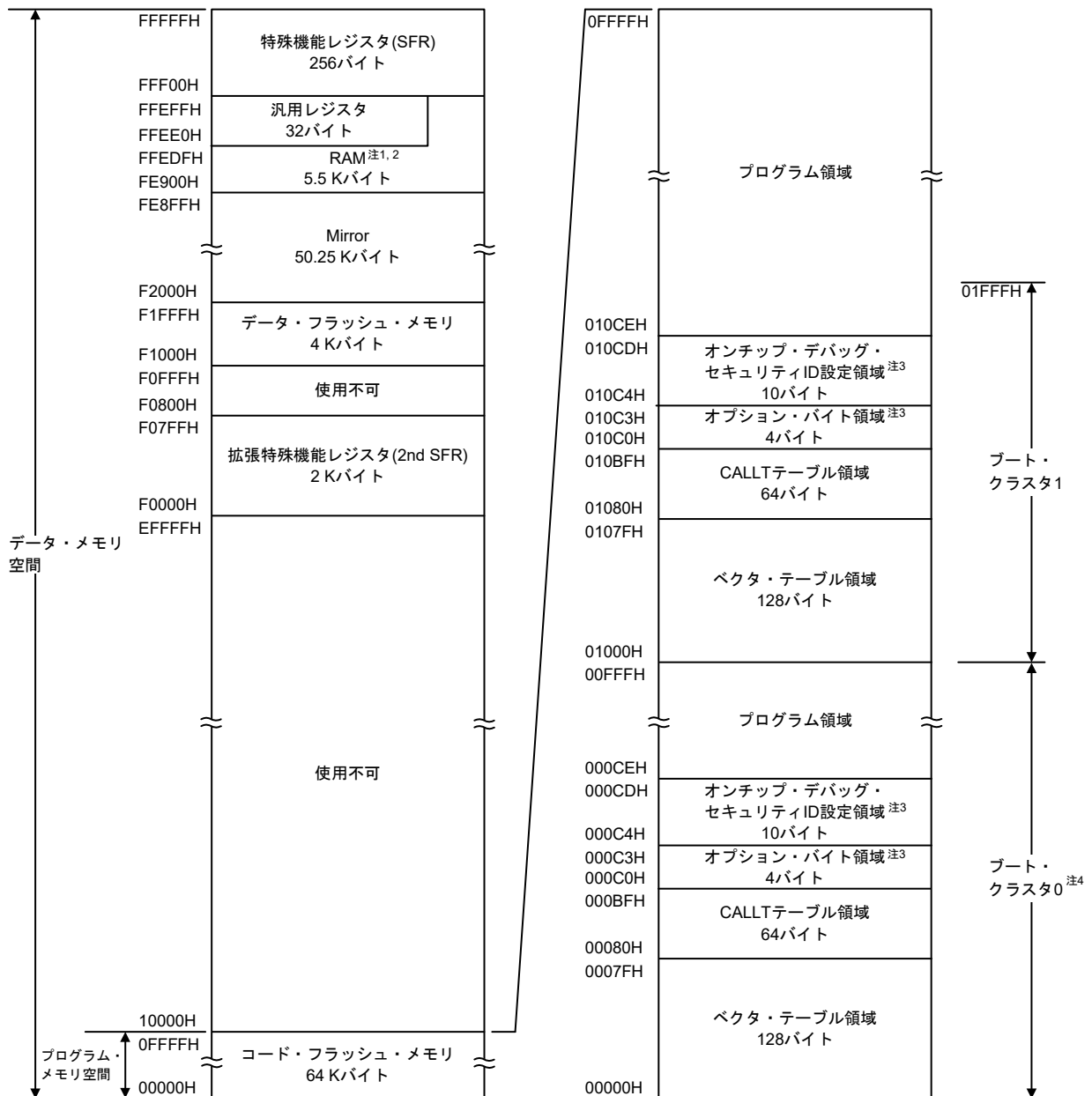


- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルRAMリスト (R20UT2943) を参照してください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(33.7 セキュリティ設定を参照)。

注意1. オンチップ・デバッキングのトレース機能使用時は、FED00H-FF0FFFHの領域が使用禁止になります。

注意2. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、30.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-2 メモリ・マップ(R5F11BxE (x = 7, B, C, G, L))

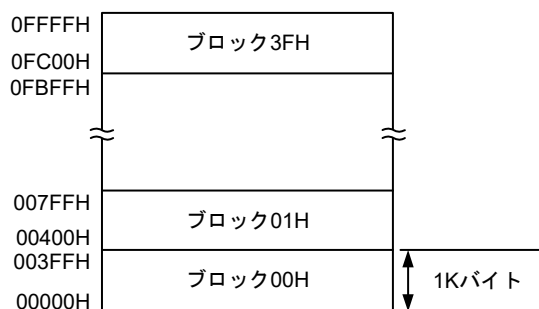


- 注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルフRAMリスト (R20UT2943) を参照してください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3H にオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラス0は書き換えを禁止することができます (33.7 セキュリティ設定を参照)。
 (注意、備考は次ページにあります。)

注意1. オンチップ・デバッキングのトレース機能使用時は、FED00H-FF0FFHの領域が使用禁止になります。

注意2. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、30.3.3 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック=1Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F11BxE (x = 7, B, C, G, L)の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-003FFH	00H	08000H-083FFH	20H
00400H-007FFH	01H	08400H-087FFH	21H
00800H-00BFFH	02H	08800H-08BFFH	22H
00C00H-00FFFH	03H	08C00H-08FFFH	23H
01000H-013FFH	04H	09000H-093FFH	24H
01400H-017FFH	05H	09400H-097FFH	25H
01800H-01BFFH	06H	09800H-09BFFH	26H
01C00H-01FFFH	07H	09C00H-09FFFH	27H
02000H-023FFH	08H	0A000H-0A3FFH	28H
02400H-027FFH	09H	0A400H-0A7FFH	29H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH
04000H-043FFH	10H	0C000H-0C3FFH	30H
04400H-047FFH	11H	0C400H-0C7FFH	31H
04800H-04BFFH	12H	0C800H-0CBFFH	32H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H
05000H-053FFH	14H	0D000H-0D3FFH	34H
05400H-057FFH	15H	0D400H-0D7FFH	35H
05800H-05BFFH	16H	0D800H-0DBFFH	36H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H
06000H-063FFH	18H	0E000H-0E3FFH	38H
06400H-067FFH	19H	0E400H-0E7FFH	39H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH

備考 R5F11BxC (x = 7, B, C, G, L) : ブロック番号00H-1FH

R5F11BxE (x = 7, B, C, G, L) : ブロック番号00H-3FH

3.2.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G1Fは、次に示す内部ROM (フラッシュ・メモリ)を内蔵しています。

表3-2 内部ROM容量

製品	内部ROM	
	構造	容量
R5F11BxC (x = 7, B, C, G, L)	フラッシュ・メモリ	32768 × 8ビット (00000H-07FFFH)
R5F11BxE (x = 7, B, C, G, L)		65536 × 8ビット (00000H-0FFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-3～表3-4にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

表3-3 ベクタ・テーブル(1/2)

ベクタ・テーブル・アドレス	割り込み要因	64ピン	48ピン	36ピン	32ピン	24ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○
00004H	INTWDTI	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○
00008H	INTP0	○	○	○	○	○
0000AH	INTP1	○	○	○	○	○
0000CH	INTP2	○	○	○	○	○
0000EH	INTP3	○	○	○	○	○
00010H	INTP4	○	○	○	○	○
00012H	INTP5	○	○	○	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	○
00016H	INTSR2/INTCSI21/INTIIC21	○	○	注1	注1	注1
00018H	INTSRE2	○	○	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○
00020H	INTSR0/INTCSI01/INTIIC01	○	○	注2	注2	注2
00022H	INTSRE0	○	○	○	○	○
	INTTM01H	○	○	○	○	○
00024H	INTST1/INTCSI10/INTIIC10	○	注3	注3	注3	注3
00026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○
00028H	INTSRE1	○	○	○	○	○
	INTTM03H	○	○	○	○	○
0002AH	INTIICA0	○	○	○	○	○
0002CH	INTTM00	○	○	○	○	○
0002EH	INTTM01	○	○	○	○	○注4
00030H	INTTM02	○	○	○	○	○注4
00032H	INTTM03	○	○	○	○	○
00034H	INTAD	○	○	○	○	○
00036H	INTRTC	○	○	○	○	○
00038H	INTIT	○	○	○	○	○
0003AH	INTKR	○	○	—	—	—
00040H	INTTRJ0	○	○	○	○	○
0004AH	INTP6	○	○	○	○	—
0004CH	INTP7	○	—	—	○	—
0004EH	INTP8	○	○	○	○	○
00050H	INTP9	○	○	—	—	—
00052H	INTP10	○	○	○	○	○
	INTCMP0	○	○	○	○	○

注1. INTSR2のみサポートします。

注2. INTSR0のみサポートします。

注3. INTST1のみサポートします。

注4. インターバル・タイマ機能、連動機能のみサポートしています。

表3-4 ベクタ・テーブル(2/2)

ベクタ・テーブル・アドレス	割り込み要因	64ピン	48ピン	36ピン	32ピン	24ピン
00054H	INTP11	○	○	○	○	○
	INTCMP1	○	○	○	○	○
00056H	INTTRD0	○	○	○	○	○
00058H	INTTRD1	○	○	○	○	○
0005AH	INTTRG	○	○	○	○	○
0005CH	INTTRX	○	○	○	○	○
00062H	INTFL	○	○	○	○	○
0007EH	BRK	○	○	○	○	○

(2) CALLT 命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第32章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は第34章 オンチップ・デバッグ機能を参照してください。

3.2.2 ミラー領域

RL78/G1Fでは、00000H-0FFFFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています。

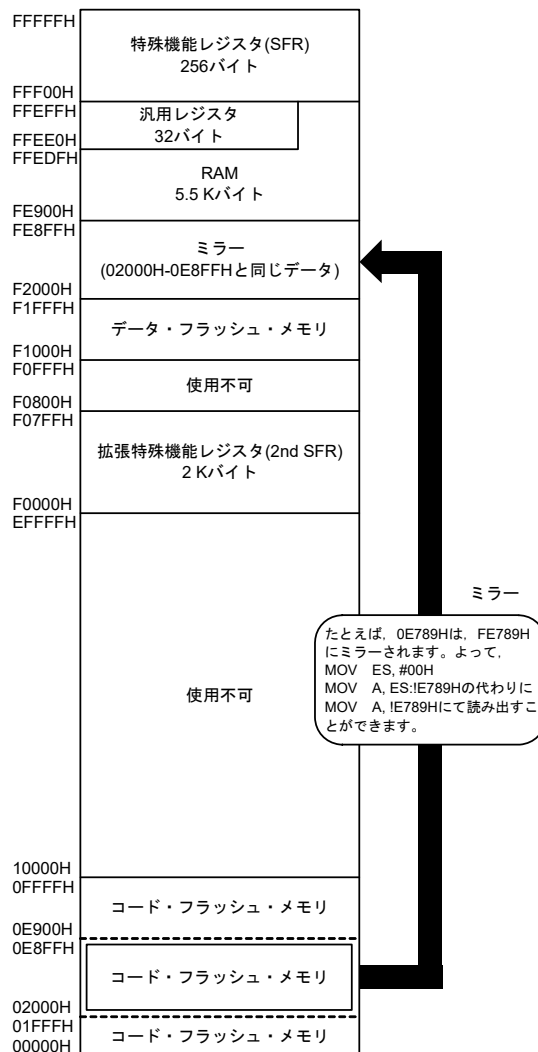
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、特殊機能レジスタ(SFR)、拡張特殊機能レジスタ(2nd SFR)、RAM領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 概要を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F11BxE (x = 7, B, C, G, L)(フラッシュ・メモリ 64 Kバイト, RAM 5.5 Kバイト)の場合



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-3 プロセッサ・モード・コントロール・レジスタ (PMC)のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー							
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー							

注意1. 必ずビット0 (MAA)を0 (初期値)でご使用ください。

注意2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.2.3 内部データ・メモリ空間

RL78/G1Fは、次に示すRAMを内蔵しています。

表3 - 5 内部RAM容量

製品	内部RAM
R5F11BxC (x = 7, B, C, G, L)	5632 × 8ビット (FE900H-FFEFFFH)
R5F11BxE (x = 7, B, C, G, L)	5632 × 8ビット (FE900H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます (汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうち FFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFFH) は、命令フェッチやスタックの領域に使用できません。
- 注意2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスを FFE20H-FFEDFH の領域に配置しないでください。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。
- R5F11BxC (x = 7, B, C, G, L) : FE900H-FED09H
- R5F11BxE (x = 7, B, C, G, L) : FE900H-FED09H
- 注意4. FED00H-FF0FFFHの領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

3.2.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています(3.3.4 特殊機能レジスタ (SFR : Special Function Register)の表3 - 6～表3 - 9参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています(3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)の表3 - 10～表3 - 17参照)。

注意1. 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

注意2. 拡張SFR (2nd SFR)の一部の領域F0500Hに配置しているタイマRJカウンタレジスタ0 (TRJ0)へのアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。タイマRJカウンタレジスタ0 (TRJ0)アクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

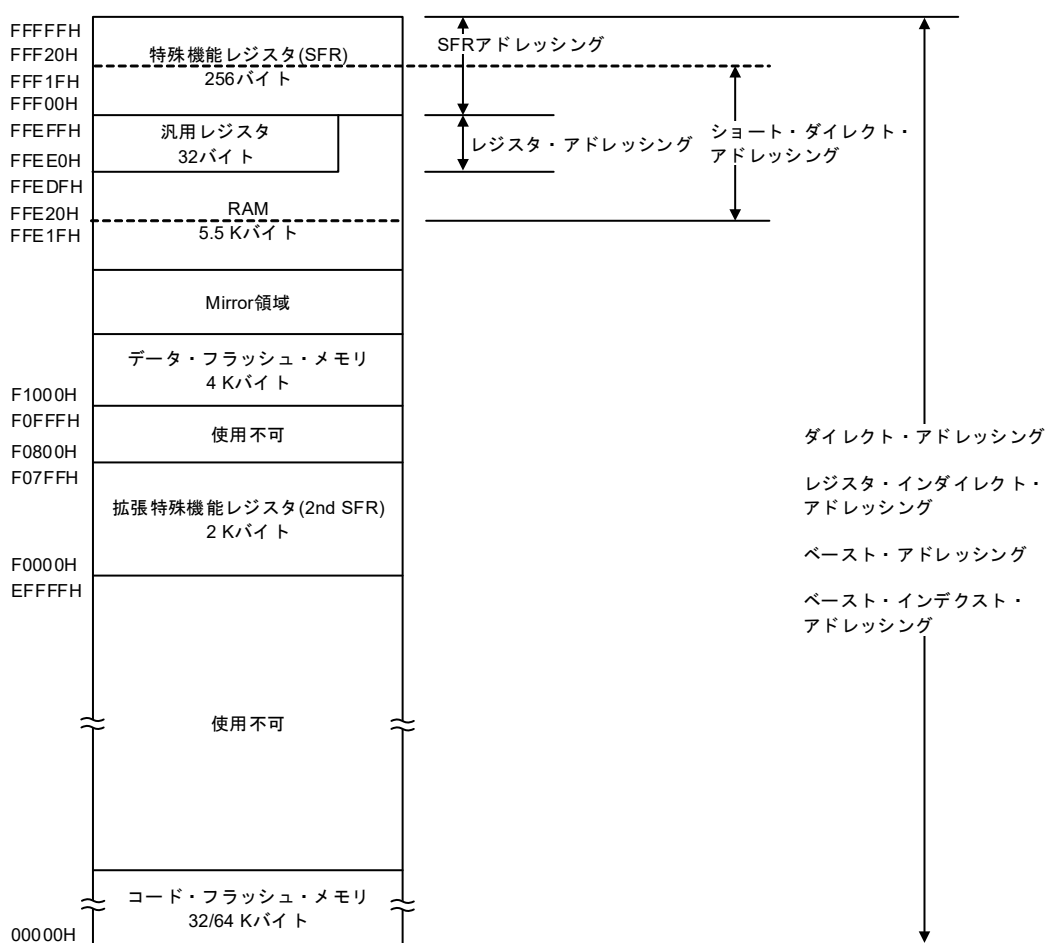
3.2.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G1Fでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3.5 処理データ・アドレスに対するアドレッシング」を参照してください。

図3-4 データ・メモリとアドレッシングの対応



3.3 プロセッサ・レジスタ

RL78/G1Fは、次のプロセッサ・レジスタを内蔵しています。

3.3.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

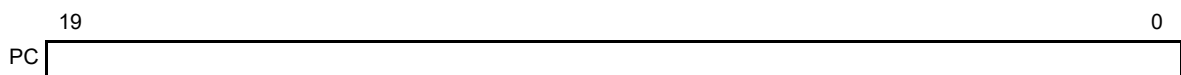
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-5 プログラム・カウンタの構成



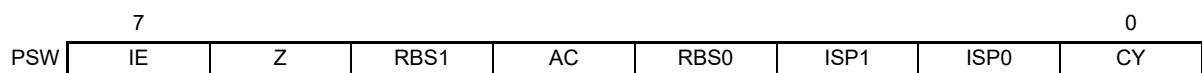
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このときマスカブル割り込み要求の受け付けは、インサース・プライオリティ・フラグ(ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロまたは等しいときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL Rn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (24.3.3参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考n = 0, 1

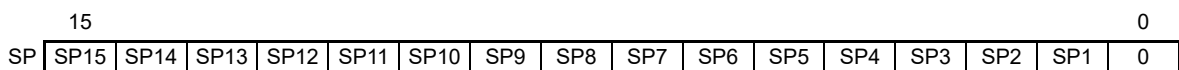
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-7 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 注意2. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFH)は、命令フェッチやスタックの領域に使用できません。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注意4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。

R5F11BxC (x = 7, B, C, G, L) : FE900H-FED09H

R5F11BxE (x = 7, B, C, G, L) : FE900H-FED09H

3.3.2 汎用レジスタ

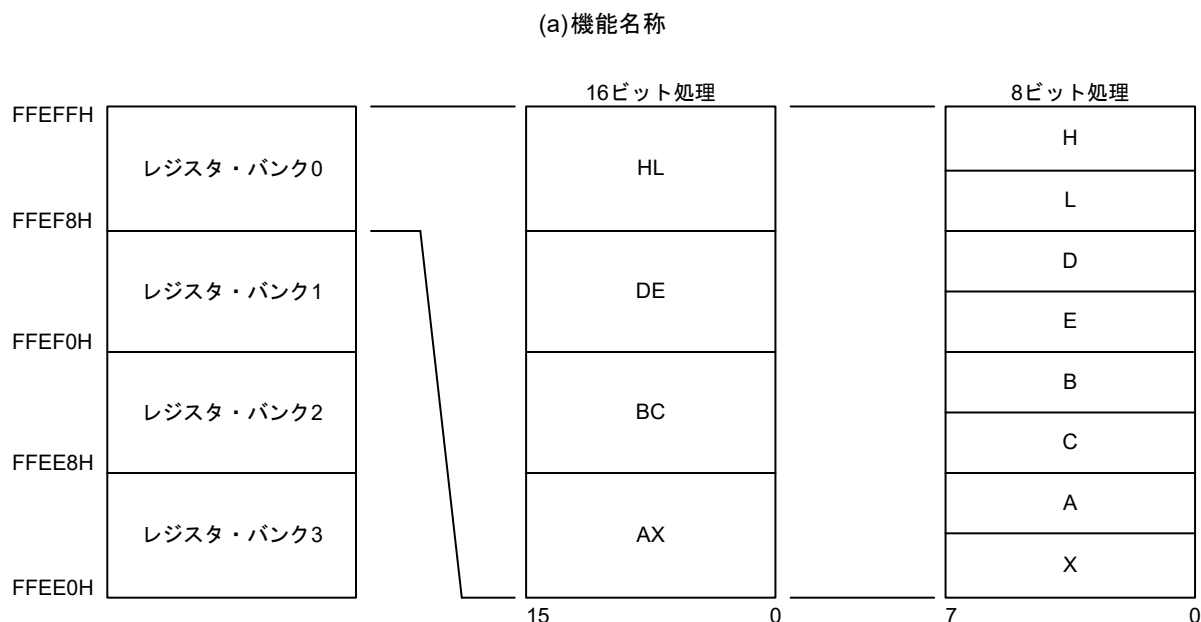
汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

図3-8 汎用レジスタの構成

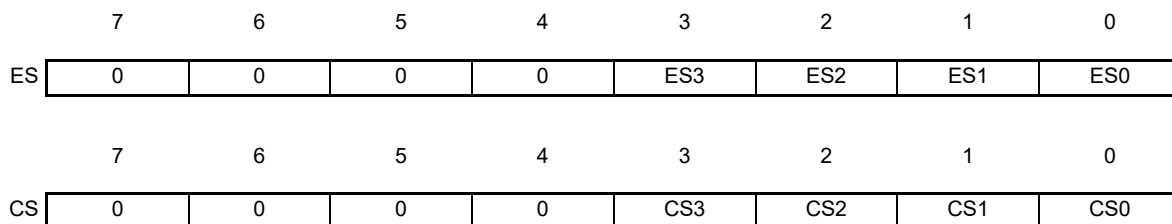


3.3.3 ES, CS レジスタ

ESレジスタでデータ・アクセス、CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

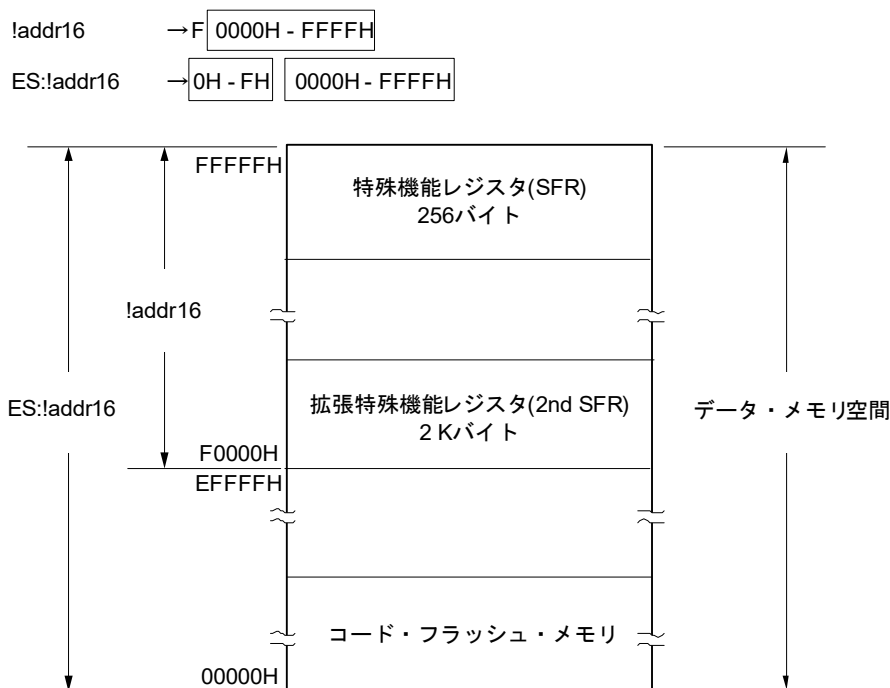
ESレジスタのリセット後の初期値は0FH、CSレジスタのリセット後の初期値は00Hです。

図3-9 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFHの64 Kバイト空間ですが、ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3-10 データ・アクセス領域の拡張



3.3.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表3-6～表3-9にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 命令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については、3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表3-6 特殊機能レジスタ(SFR)一覧(1/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H
FFF34H	D/A変換値設定レジスタ0	DACs0		R/W	—	○	—	00H
FFF35H	D/A変換値設定レジスタ1	DACs1		R/W	—	○	—	00H
FFF36H	D/Aコンバータ・モード・レジスタ	DAM		R/W	○	○	—	00H

表3-7 特殊機能レジスタ(SFR)一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	—	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	—	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1/ SIO11	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	—	○	○	0000H
FFF49H		—			—	—		
FFF4AH	シリアル・データ・レジスタ11	RXD2/ SIO21	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—	—		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF58H	タイマRDジェネラルレジスタC0	TRDGRC0		R/W	—	—	○	FFFFH ^{注1}
FFF59H								
FFF5AH	タイマRDジェネラルレジスタD0	TRDGRD0		R/W	—	—	○	FFFFH ^{注1}
FFF5BH								
FFF5CH	タイマRDジェネラルレジスタC1	TRDGRC1		R/W	—	—	○	FFFFH ^{注1}
FFF5DH								
FFF5EH	タイマRDジェネラルレジスタD1	TRDGRD1		R/W	—	—	○	FFFFH ^{注1}
FFF5FH								
FFF60H	タイマRGジェネラルレジスタC	TRGGRC		R/W	—	—	○	FFFFH
FFF61H								
FFF62H	タイマRGジェネラルレジスタD	TRGGRD		R/W	—	—	○	FFFFH
FFF63H								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表3-8 特殊機能レジスタ(SFR)一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03 L	TDR0 3	R/W	—	○	○	00H
FFF67H		TDR03 H			—	○		00H
FFF90H	12ビット・インターバル・タイ マ・コントロール・レジスタ	ITMC		R/W	—	—	○	0FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	—	○	—	00H
FFF93H	分カウント・レジスタ	MIN		R/W	—	○	—	00H
FFF94H	時カウント・レジスタ	HOUR		R/W	—	○	—	12H注
FFF95H	曜日カウント・レジスタ	WEEK		R/W	—	○	—	00H
FFF96H	日カウント・レジスタ	DAY		R/W	—	○	—	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	—	○	—	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	—	○	—	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	—	○	—	00H
FFF9AH	アラーム分レジスタ	ALARMWM		R/W	—	○	—	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	—	○	—	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	—	○	—	00H
FFF9DH	リアルタイム・クロック・コント ロール・レジスタ0	RTCC0		R/W	○	○	—	00H
FFF9EH	リアルタイム・クロック・コント ロール・レジスタ1	RTCC1		R/W	○	○	—	00H
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジ スタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジス タ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・ レジスタ	RESF		R	—	○	—	不定注1

注1. リセット後に、AMPMビット(リアルタイム・クロック・コントロール・レジスタ0(RTCC0)のビット3)に1をセットした場合は00Hとなります。

表3-9 特殊機能レジスタ(SFR)一覧(4/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	—	00H ^{注1}	
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	—	00H/01H/81H ^{注1}	
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	9AH/1AH ^{注2}	
FFFACH	CRC入力レジスタ	CRCIN	R/W	—	○	—	00H	
FFFD0H	割り込み要求フラグ・レジスタ 2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ 2H	IF2H		R/W	○	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ 2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ 2H	MK2H		R/W	○	○	○	FFH
FFFD8H	優先順位指定フラグ・レジスタ 02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ 02H	PR02H		R/W	○	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ 12L	PR12L	PR12	R/W	○	○	○	FFH
FFFDH	優先順位指定フラグ・レジスタ 12H	PR12H		R/W	○	○	○	FFH
FFFE0H	割り込み要求フラグ・レジスタ 0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ 0H	IF0H		R/W	○	○	○	00H
FFFE2H	割り込み要求フラグ・レジスタ 1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ 1H	IF1H		R/W	○	○	○	00H
FFFE4H	割り込みマスク・フラグ・レジスタ 0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○	○	FFH
FFFE6H	割り込みマスク・フラグ・レジスタ 1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○	○	FFH
FFFE8H	優先順位指定フラグ・レジスタ 00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○	○	FFH
FFFEAH	優先順位指定フラグ・レジスタ 01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○	○	FFH
FFFECH	優先順位指定フラグ・レジスタ 10	PR10L	PR10	R/W	○	○	○	FFH
FFFEH		PR10H		R/W	○	○	○	FFH
FFFEH	優先順位指定フラグ・レジスタ 11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○	○	FFH
FFFF0H	積和演算累計レジスタ(L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ(H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

注1. リセット要因により、次のように異なります。

リセット要因 レジスタ		RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット	
RESF	TRAP	クリア(0)		セット(1)	保持			保持	
	WDTRF			保持	セット(1)	保持			
	RPERF			保持		セット(1)	保持		
	IAWRF			保持					セット(1)
	LVIRF			保持					セット(1)
LVIM	LVISEN	クリア(0)						保持	
	LVIOMSK	保持							
	LVIF								
LVIS		クリア(00H/01H/81H)							

注2. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張SFR (2nd SFR)については、表3-10～表3-17 拡張SFR (2nd SFR)一覧を参照してください。

3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 10～表3 - 17に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.3.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-10 拡張特殊機能レジスタ(2nd SFR)一覧(1/8)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0047H	ポート入力モード・レジスタ7	PIM7	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロール・レジスタ2	PMC2	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入出力選択レジスタ0	TIOS0	R/W	—	○	—	00H
F0075H	周辺I/Oリダイレクション・レジスタ2	PIOR2	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H

表3-11 拡張特殊機能レジスタ (2nd SFR)一覧 (2/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H	
F007CH	周辺I/Oリダイレクション・レジスタ3	PIOR3	R/W	—	○	—	00H	
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H	
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H	
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定注1	
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定注2	
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H	
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H	
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H	
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定	
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—			
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—			
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—			
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—			
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—			
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—			
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—			
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—			
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H								

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

表3-12 拡張特殊機能レジスタ(2nd SFR)一覧(3/8)

アドレス	拡張特殊機能レジスタ(2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータ	SE0L	SE0	R	○	○	○	0000H
F0121H	ス・レジスタ0	—			—	—		
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロー	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		ル・レジスタ0			—	—	—	
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—	—		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—	—		
F0148H	シリアル・フラグ・クリア・トリ	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		ガ・レジスタ10			—	—	—	
F014AH	シリアル・フラグ・クリア・トリ	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		ガ・レジスタ11			—	—	—	
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	—	—	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	—	—	○	0087H
F015BH								

表3-13 拡張特殊機能レジスタ(2nd SFR)一覧(4/8)

アドレス	拡張特殊機能レジスタ(2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0160H	シリアル・チャンネル許可ステータ	SE1L	SE1	R	○	○	○	0000H
F0161H	ス・レジスタ1	—			—	—		
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—	—		
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—	—		
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—	—		
F0168H	シリアル出力レジスタ1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—	—		
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—	—		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	—	—	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	—	—	○	0000H
F0197H								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・	TE0L	TE0	R	○	○	○	0000H
F01B1H	レジスタ0	—			—	—		

表3-14 拡張特殊機能レジスタ(2nd SFR)一覧(5/8)

アドレス	拡張特殊機能レジスタ(2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	—	○	—	00H
F0240H	タイマRJ制御レジスタ0	TRJCR0		R/W	—	○	—	00H
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0		R/W	○	○	—	00H
F0242H	タイマRJモードレジスタ0	TRJMR0		R/W	○	○	—	00H
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0		R/W	○	○	—	00H
F0250H	タイマRGモードレジスタ	TRGMR		R/W	○	○	—	00H
F0251H	タイマRGカウント制御レジスタ	TRGCNTC		R/W	○	○	—	00H
F0252H	タイマRG制御レジスタ	TRGCR		R/W	○	○	—	00H
F0253H	タイマRG割り込み許可レジスタ	TRGIER		R/W	○	○	—	00H
F0254H	タイマRGステータスレジスタ	TRGSR		R/W	○	○	—	00H
F0255H	タイマRG I/O制御レジスタ	TRGIOR		R/W	○	○	—	00H
F0256H	タイマRGカウンタ	TRG		R/W	—	—	○	0000H
F0257H								
F0258H	タイマRGジェネラルレジスタA	TRGGRA		R/W	—	—	○	FFFFH
F0259H								
F025AH	タイマRGジェネラルレジスタB	TRGGRB		R/W	—	—	○	FFFFH
F025BH								

表3-15 拡張特殊機能レジスタ(2nd SFR)一覧(6/8)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0260H	タイマRD ELCレジスタ	TRDEL	R/W	○	○	—	00H注
F0263H	タイマRD スタートレジスタ	TRDSTR	R/W	—	○	—	0CH注
F0264H	タイマRD モードレジスタ	TRDMR	R/W	○	○	—	00H注
F0265H	タイマRD PWM機能選択レジスタ	TRDPMR	R/W	○	○	—	00H注
F0266H	タイマRD 機能制御レジスタ	TRDFCR	R/W	○	○	—	80H注
F0267H	タイマRD 出力マスタ許可レジスタ1	TRDOER1	R/W	○	○	—	FFH注
F0268H	タイマRD 出力マスタ許可レジスタ2	TRDOER2	R/W	○	○	—	00H注
F0269H	タイマRD 出力制御レジスタ	TRDOCR	R/W	○	○	—	00H注
F026AH	タイマRD デジタルフィルタ機能選択レジスタ0	TRDDF0	R/W	○	○	—	00H注
F026BH	タイマRD デジタルフィルタ機能選択レジスタ1	TRDDF1	R/W	○	○	—	00H注
F0270H	タイマRD 制御レジスタ0	TRDCR0	R/W	○	○	—	00H注
F0271H	タイマRD I/O制御レジスタA0	TRDIORA0	R/W	○	○	—	00H注
F0272H	タイマRD I/O制御レジスタC0	TRDIORC0	R/W	○	○	—	88H注
F0273H	タイマRD ステータスレジスタ0	TRDSR0	R/W	○	○	—	00H注
F0274H	タイマRD 割り込み許可レジスタ0	TRDIER0	R/W	○	○	—	00H注
F0275H	タイマRD PWM機能出力レベル制御レジスタ0	TRDPOCR0	R/W	○	○	—	00H注
F0276H	タイマRD カウンタ0	TRD0	R/W	—	—	○	0000H注
F0277H							
F0278H	タイマRD ジェネラルレジスタA0	TRDGRA0	R/W	—	—	○	FFFFH注
F0279H							
F027AH	タイマRD ジェネラルレジスタB0	TRDGRB0	R/W	—	—	○	FFFFH注
F027BH							
F0280H	タイマRD 制御レジスタ1	TRDCR1	R/W	○	○	—	00H注
F0281H	タイマRD I/O制御レジスタA1	TRDIORA1	R/W	○	○	—	00H注
F0282H	タイマRD I/O制御レジスタC1	TRDIORC1	R/W	○	○	—	88H注
F0283H	タイマRD ステータスレジスタ1	TRDSR1	R/W	○	○	—	00H注
F0284H	タイマRD 割り込み許可レジスタ1	TRDIER1	R/W	○	○	—	00H注
F0285H	タイマRD PWM機能出力レベル制御レジスタ1	TRDPOCR1	R/W	○	○	—	00H注
F0286H	タイマRD カウンタ1	TRD1	R/W	—	—	○	0000H注
F0287H							
F0288H	タイマRD ジェネラルレジスタA1	TRDGRA1	R/W	—	—	○	FFFFH注
F0289H							
F028AH	タイマRD ジェネラルレジスタB1	TRDGRB1	R/W	—	—	○	FFFFH注
F028BH							

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表 3 - 16 拡張特殊機能レジスタ (2nd SFR) 一覧 (7/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02E0H	DTCベースアドレスレジスタ	DTCBAR	R/W	○	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	—	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	イベント出力先選択レジスタ00	ELSELR00	R/W	—	○	—	00H
F0301H	イベント出力先選択レジスタ01	ELSELR01	R/W	—	○	—	00H
F0302H	イベント出力先選択レジスタ02	ELSELR02	R/W	—	○	—	00H
F0303H	イベント出力先選択レジスタ03	ELSELR03	R/W	—	○	—	00H
F0304H	イベント出力先選択レジスタ04	ELSELR04	R/W	—	○	—	00H
F0305H	イベント出力先選択レジスタ05	ELSELR05	R/W	—	○	—	00H
F0306H	イベント出力先選択レジスタ06	ELSELR06	R/W	—	○	—	00H
F0307H	イベント出力先選択レジスタ07	ELSELR07	R/W	—	○	—	00H
F0308H	イベント出力先選択レジスタ08	ELSELR08	R/W	—	○	—	00H
F0309H	イベント出力先選択レジスタ09	ELSELR09	R/W	—	○	—	00H
F030AH	イベント出力先選択レジスタ10	ELSELR10	R/W	—	○	—	00H
F030BH	イベント出力先選択レジスタ11	ELSELR11	R/W	—	○	—	00H
F030CH	イベント出力先選択レジスタ12	ELSELR12	R/W	—	○	—	00H
F030DH	イベント出力先選択レジスタ13	ELSELR13	R/W	—	○	—	00H
F030EH	イベント出力先選択レジスタ14	ELSELR14	R/W	—	○	—	00H
F030FH	イベント出力先選択レジスタ15	ELSELR15	R/W	—	○	—	00H
F0310H	イベント出力先選択レジスタ16	ELSELR16	R/W	—	○	—	00H
F0311H	イベント出力先選択レジスタ17	ELSELR17	R/W	—	○	—	00H
F0312H	イベント出力先選択レジスタ18	ELSELR18	R/W	—	○	—	00H
F0313H	イベント出力先選択レジスタ19	ELSELR19	R/W	—	○	—	00H
F0314H	イベント出力先選択レジスタ20	ELSELR20	R/W	—	○	—	00H
F0315H	イベント出力先選択レジスタ21	ELSELR21	R/W	—	○	—	00H
F0340H	コンパレータモード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータフィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0343H	コンパレータ 内蔵基準電圧制御レジスタ	CVRCTL	R/W	○	○	—	00H

表3-17 拡張特殊機能レジスタ (2nd SFR)一覧(8/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0344H	コンパレータ 内蔵基準電圧選択レジスタ0	C0RVM	R/W	—	○	—	00H
F0345H	コンパレータ 内蔵基準電圧選択レジスタ1	C1RVM	R/W	—	○	—	00H
F0347H	PGA 制御レジスタ	PGACTL	R/W	○	○	—	00H
F034AH	コンパレータ0入力選択制御レジスタ	CMPSEL0	R/W	○	○	—	00H
F034BH	コンパレータ1入力選択制御レジスタ	CMPSEL1	R/W	○	○	—	00H
F0350H	タイマRXカウント・レジスタ	TRX	R/W	—	—	○	0000H
F0352H	タイマRXカウント・バッファ・レジスタ	TRXBUF	R/W	—	—	○	0000H
F0354H	タイマRX機能制御レジスタ1	TRXCR1	R/W	○	○	—	00H
F0355H	タイマRX機能制御レジスタ2	TRXCR2	R/W	○	○	—	00H
F0356H	タイマRXステータス・レジスタ	TRXSR	R/W	○	○	—	00H
F0358H	PWMOPA制御レジスタ0	OPCTL0	R/W	○	○	—	00H
F0359H	PWMOPA遮断制御レジスタ0	OPDF0	R/W	—	○	—	00H
F035AH	PWMOPA遮断制御レジスタ1	OPDF1	R/W	—	○	—	00H
F035BH	PWMOPAエッジ選択レジスタ	OPEDGE	R/W	—	○	—	00H
F035CH	PWMOPAステータス・レジスタ	OPSR	R	○	○	—	00H
F03A0H	IrDAコントロール・レジスタ	IRCR	R/W	○	○	—	00H
F0500H	タイマRJカウンタレジスタ0	TRJ0	R/W	—	—	○	FFFFH

備考 SFR領域のSFRについては、表3-6～表3-9 SFR一覧を参照してください。

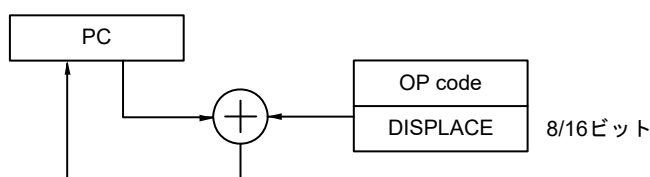
3.4 命令アドレスのアドレッシング

3.4.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレースメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-11 レラティブ・アドレッシングの概略



3.4.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-12 CALL !!addr20/BR !!addr20の例

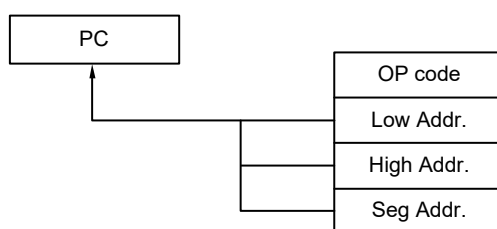
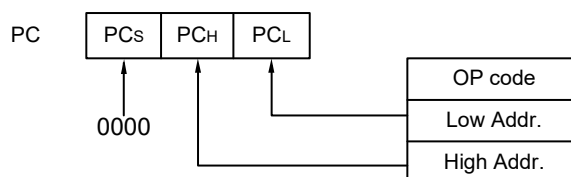


図3-13 CALL !addr16/BR !addr16の例



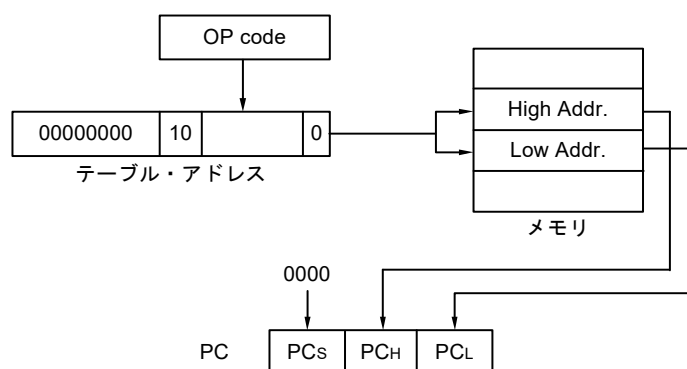
3.4.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 14 テーブル・インダイレクト・アドレッシングの概略

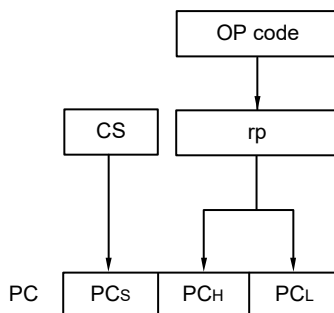


3.4.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) と CS レジスタの内容を 20 ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングは CALL AX / BC / DE / HL と BR AX 命令にのみ適用されます。

図3-15 レジスタ・ダイレクト・アドレッシングの概略



3.5 処理データ・アドレスに対するアドレッシング

3.5.1 インプライド・アドレッシング

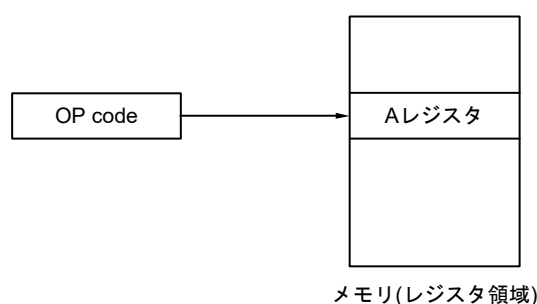
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 16 インプライド・アドレッシングの概略



3.5.2 レジスタ・アドレッシング

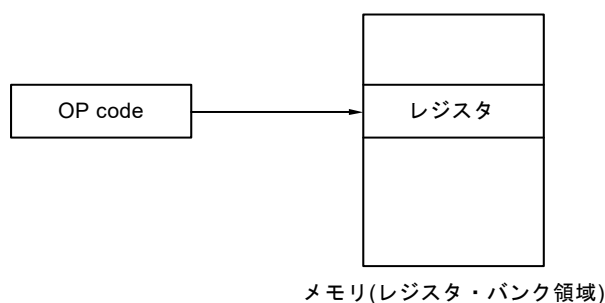
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 17 レジスタ・アドレッシングの概略



3.5.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H~FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 18 !addr16の例

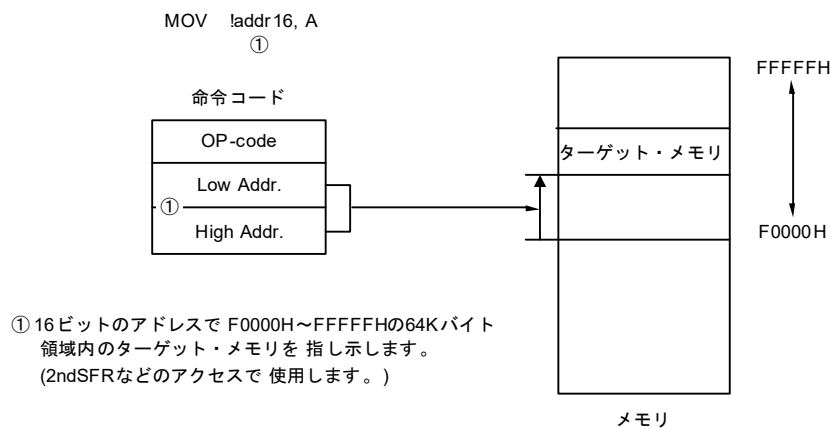
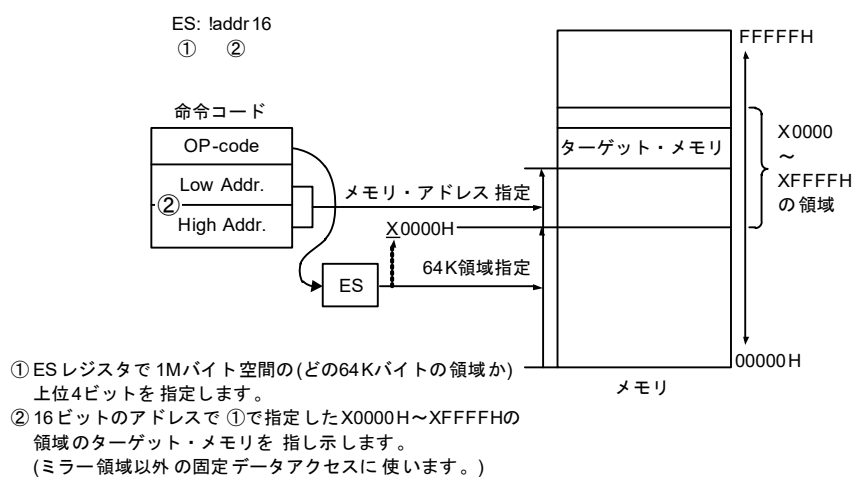


図3 - 19 ES:!addr16の例



3.5.4 ショート・ダイレクト・アドレッシング

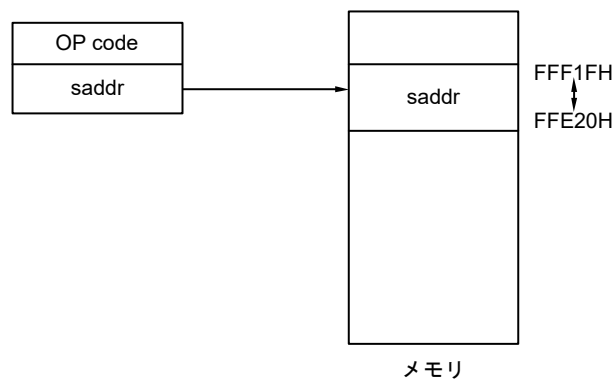
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ(偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-20 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRP は、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.5.5 SFRアドレッシング

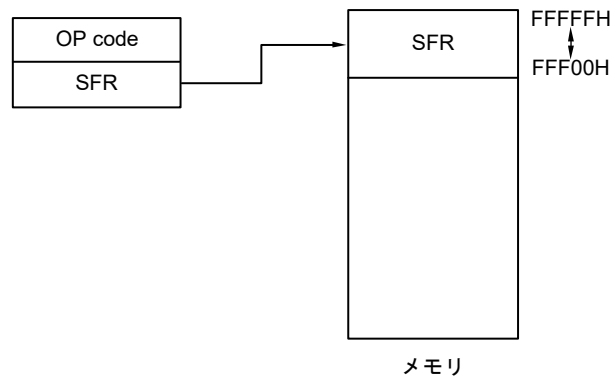
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名(偶数アドレス)

図3 - 21 SFRアドレッシングの概略



3.5.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 22 [DE], [HL]の例

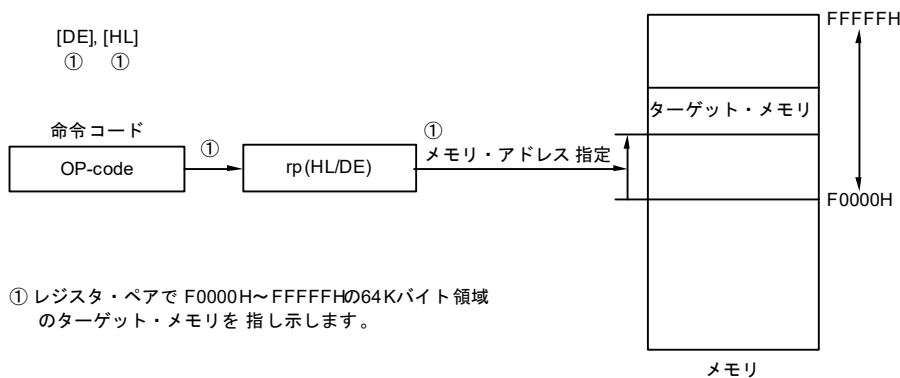
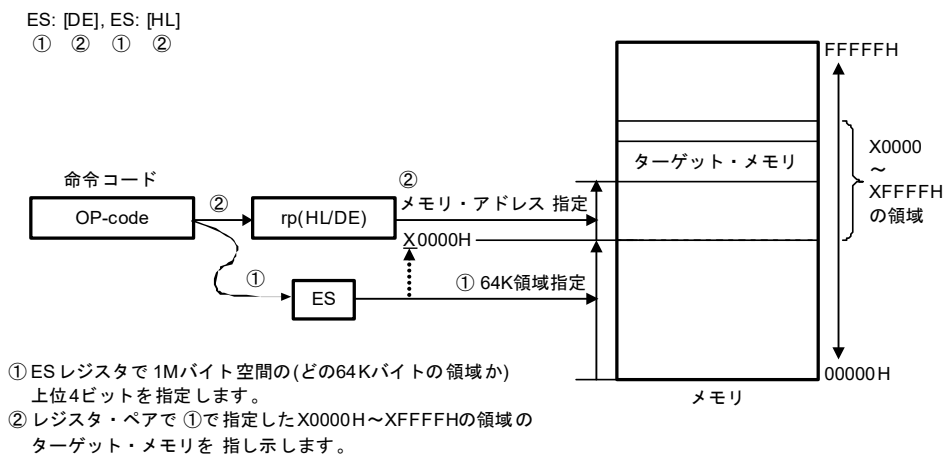


図3 - 23 ES:[DE], ES:[HL]の例



3.5.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 24 [SP + byte]の例

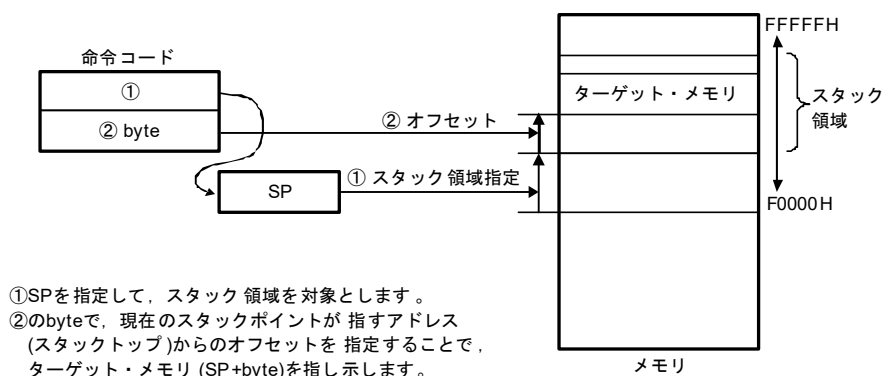


図3 - 25 [HL + byte], [DE + byte]の例

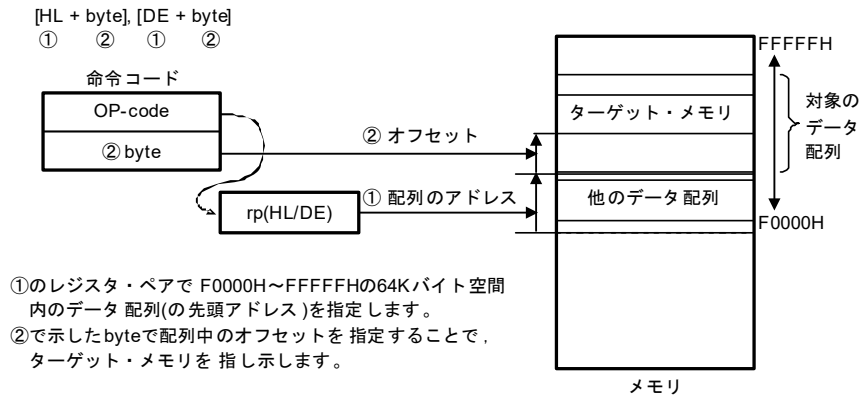


図3 - 26 word[B], word[C]の例

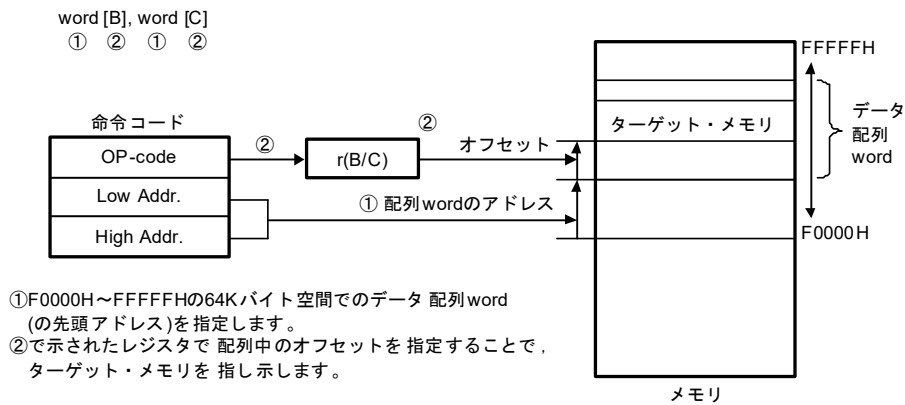


図3 - 27 word[BC]の例

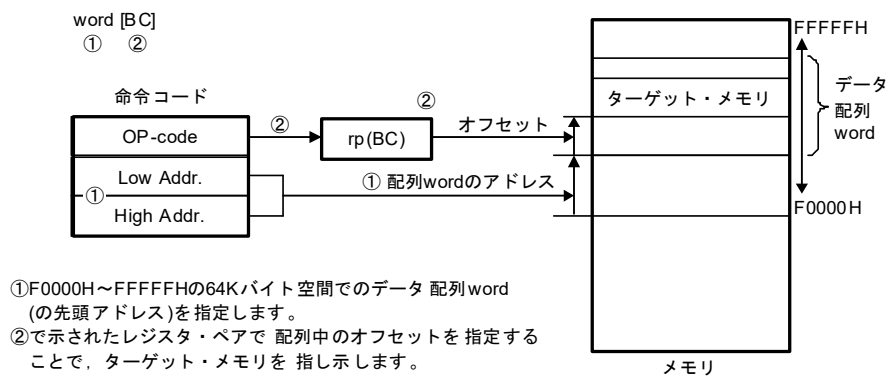


図3-28 ES:[HL + byte], ES:[DE + byte]の例

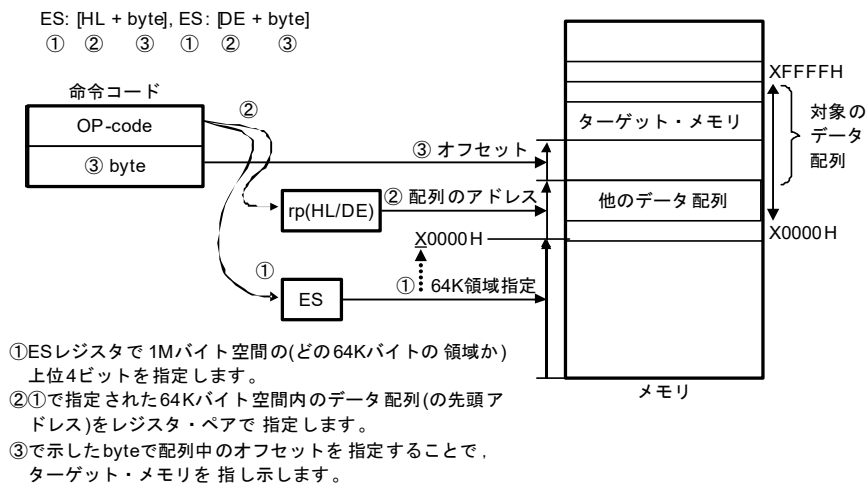


図3-29 ES:word[B], ES:word[C]の例

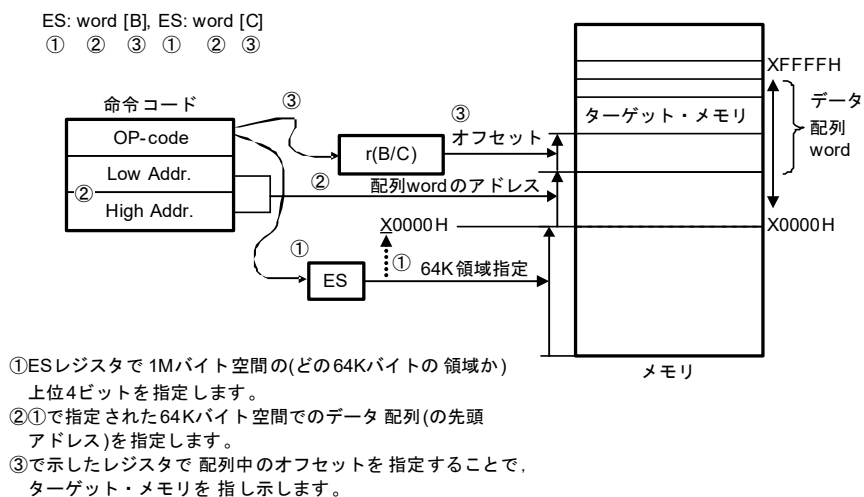
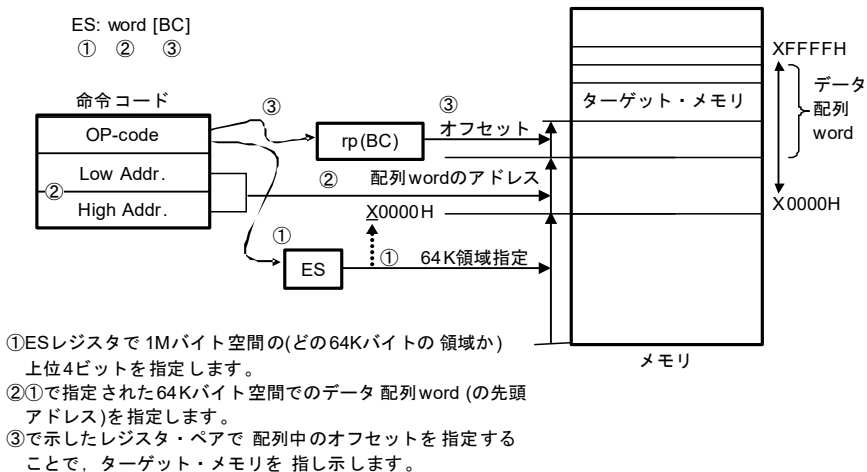


図3-30 ES:word[BC]の例



3.5.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3-31 [HL + B], [HL + C]の例

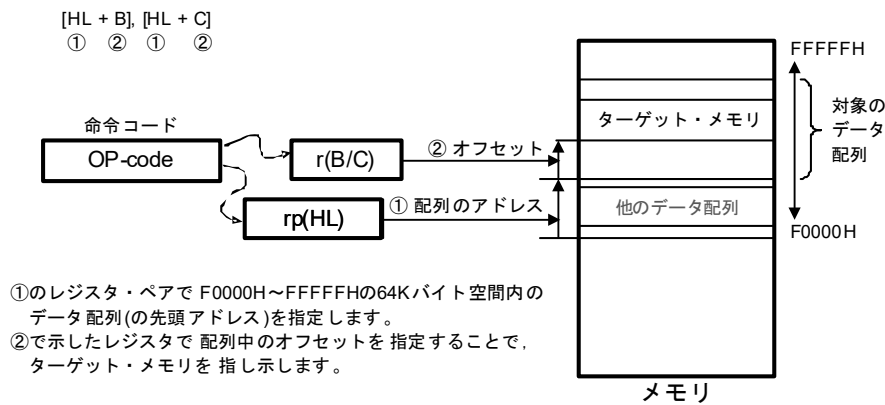
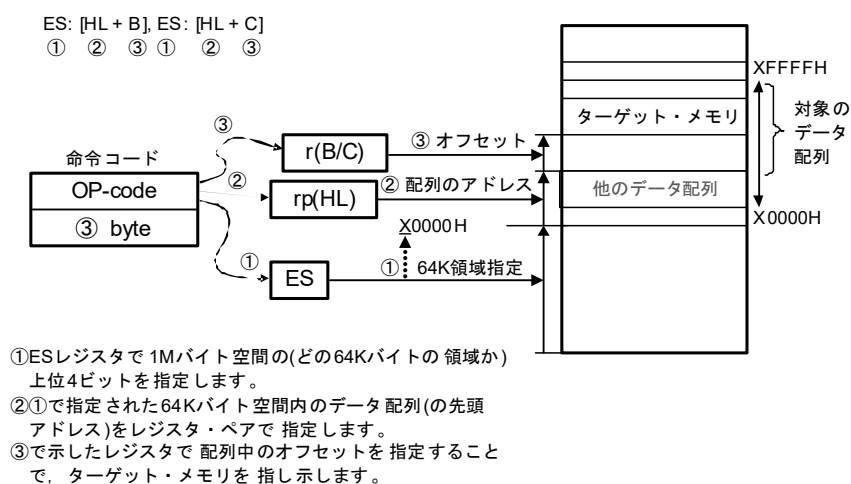


図3-32 ES:[HL + B], ES:[HL + C]の例



3.5.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3-33～図3-38のようになります。

図3-33 PUSH rpの例

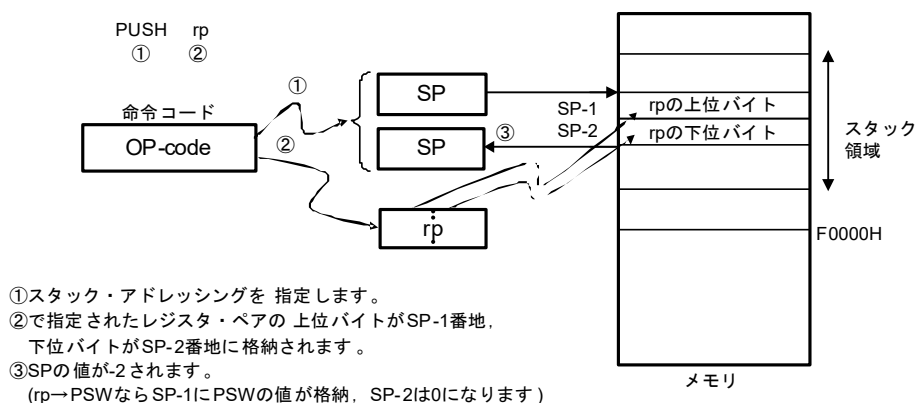


図3-34 POPの例

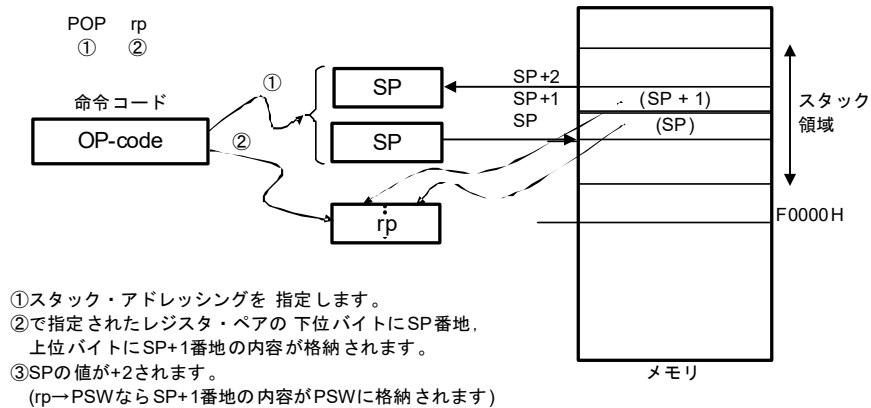


図3-35 CALL, CALLTの例

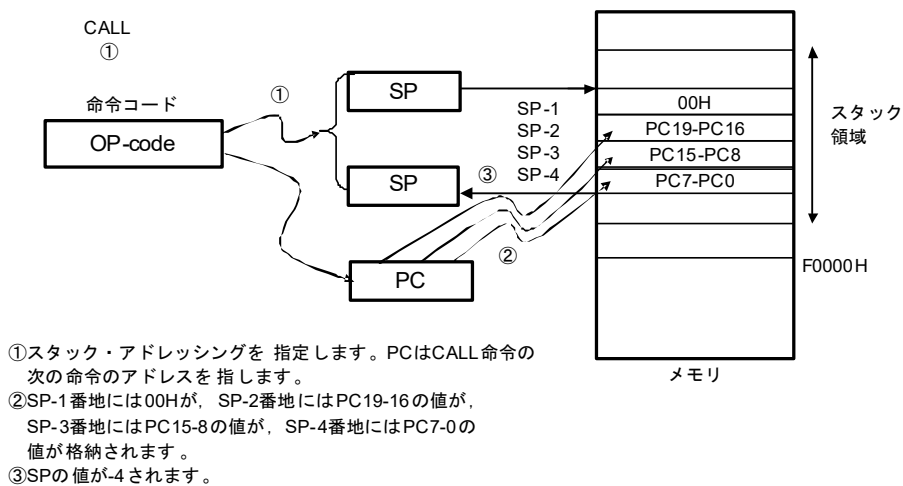


図3-36 RETの例

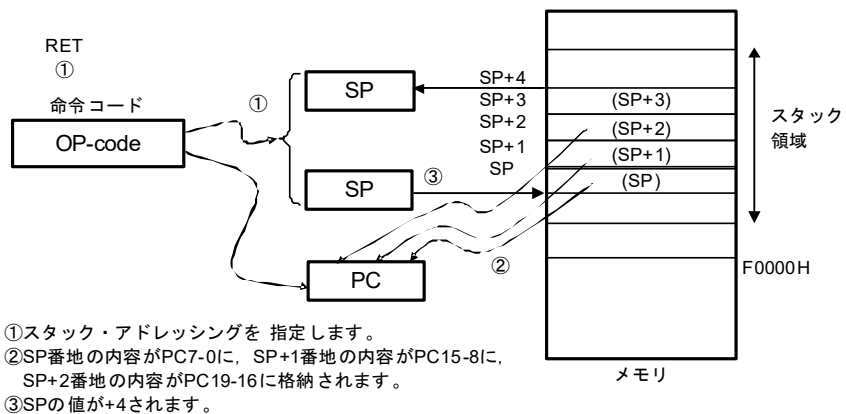


図3-37 割り込み, BRKの例

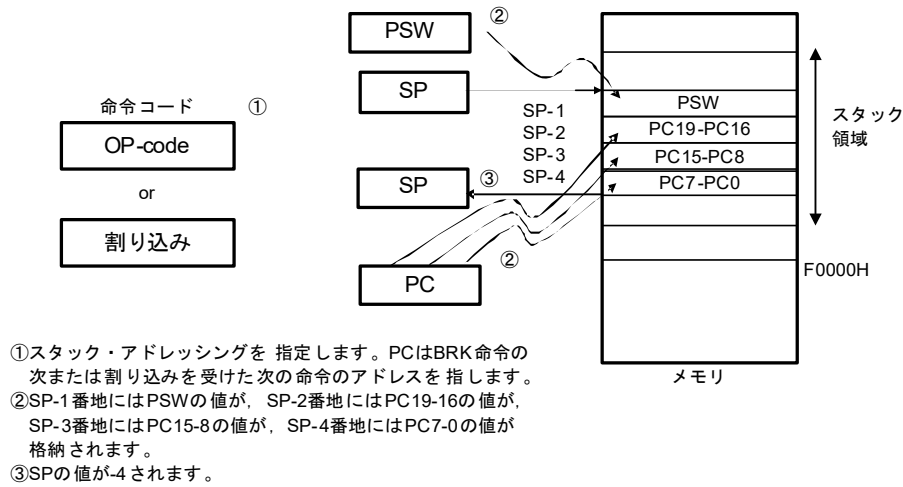
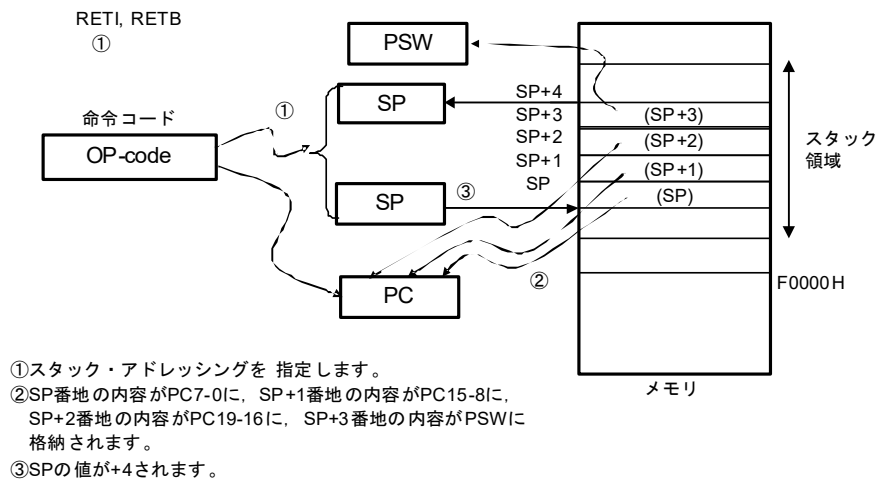


図3-38 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

RL78/G1Fは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM7, PM12, PM14) ポート・レジスタ (P0-P7, P12-P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1, PIM3, PIM5, PIM7) ポート出力モード・レジスタ (POM0, POM1, POM3, POM5, POM7) ポート・モード・コントロール・レジスタ (PMC0-PMC2, PMC12, PMC14) 周辺I/Oリダイレクション・レジスタ (PIOR0-PIOR3) グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)
ポート	<ul style="list-style-type: none"> • 24ピン製品 : 合計 : 20本 (CMOS入出力 : 17本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 10本), CMOS入力 : 3本) • 32ピン製品 : 合計 : 28本 (CMOS入出力 : 25本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 12本), CMOS入力 : 3本) • 36ピン製品 : 合計 : 31本 (CMOS入出力 : 24本 (N-chオープン・ドレイン入出力[E_{VDD}耐圧] : 10本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6 V耐圧] : 2本) • 48ピン製品 : 合計 : 44本 (CMOS入出力 : 34本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 12本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本) • 64ピン製品 : 合計 : 58本 (CMOS入出力 : 48本 (N-chオープン・ドレイン入出力[E_{VDD}耐圧] : 16本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本)
プルアップ抵抗	<ul style="list-style-type: none"> • 24ピン製品 : 合計 : 14本 • 32ピン製品 : 合計 : 21本 • 36ピン製品 : 合計 : 18本 • 48ピン製品 : 合計 : 26本 • 64ピン製品 : 合計 : 40本

4.2.1 ポート0

出カラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。P00-P06端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00^{注1}, P01, P03, P04端子の入力は、ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00, P01^{注1}, P02-P04端子の出力は、ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧^{注2}／EV_{DD}耐圧^{注3})に設定可能です。

P00^{注2}, P01^{注2}, P02^{注3}, P03^{注3}端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ0 (PMC0)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力、コンパレータ入出力があります。

リセット信号の発生により、以下ようになります。

- | | |
|------------------------|--------|
| • 24～48ピン製品のP00, P01端子 | アナログ入力 |
| • 64ピン製品のP02, P03端子 | アナログ入力 |
| • その他の端子 | 入力ポート |

注1. 24ピン製品の場合

注2. 24～48ピン製品の場合

注3. 36, 64ピン製品の場合

4.2.2 ポート 1

出カラッチ付き入出力ポートです。ポート・モード・レジスタ 1 (PM1)により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入出力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P14-P17端子の入力は、ポート入力モード・レジスタ 1 (PIM1)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10, P11, P13-P15, P17 端子の出力は、ポート出力モード・レジスタ 1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧^{注1}／EV_{DD}耐圧^{注2})に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力、コンパレータ出力、A/Dコンバータのアナログ入力があります。

P10, P11, P12-P14 ^{注3}端子をアナログ入力として使用する場合、ポート・モード・コントロール・レジスタ 1 (PMC1)で“アナログ入力”を設定してください(1ビット単位で設定可能)。

リセット信号の発生により、以下のようになります。

- ・ 32～64ピン製品のP10-P14端子 ... アナログ入力
- ・ 24ピン製品のP10, P11端子 ... アナログ入力
- ・ その他の端子 ... 入力ポート

注1. 24, 32, 48ピン製品の場合

注2. 36, 64ピン製品の場合

注3. 32～64ピン製品の場合

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力、コンパレータ入力、プログラマブル・ゲイン・アンプ入力、外部割り込み要求入力、D/Aコンバータ出力もあります。

P20/ANI0, P21/ANI1, P22/ANI2/ANO0, P23/ANI3/ANO1, P24/ANI4-P27/ANI7をアナログ入力として使用する場合は、ポート・モード・コントロール・レジスタ2 (PMC2)で“アナログ入力”を設定してください(1ビット単位で設定可能)。

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてアナログ機能になります。

表4 - 2 P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7 端子機能の設定

PMC2レジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7 端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ機能選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

表4 - 3 P22/ANI2/ANO0, P23/ANI3/ANO1 端子機能の設定

PMC2レジスタ	PM2レジスタ	DAMレジスタ	ADSレジスタ	P22/ANI2/ANO0, P23/ANI3/ANO1 端子
デジタル入出力選択	入力モード	—	—	デジタル入力
	出力モード	—	—	デジタル出力
アナログ機能選択	入力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	アナログ出力
		D/A変換動作停止	ANI選択	アナログ入力(変換対象)
			ANI非選択	アナログ入力(非変換対象)
	出力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	
		D/A変換動作停止	ANI選択	
			ANI非選択	

4.2.4 ポート3

出カラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。P30, P31 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P30, P31^{注1}端子の入力は、ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P30, P31^{注1}端子の出力は、ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧^{注2}／EV_{DD}耐圧^{注3})に設定可能です。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのクロック入出力、タイマの入出力、コンパレータ出力があります。

リセット信号の発生により、入力ポートになります。

注1. 32ピン製品の場合

注2. 24, 32, 48ピン製品の場合

注3. 36, 64ピン製品の場合

4.2.5 ポート4

出カラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力、タイマ入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力ポートになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。P50-P55端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50, P55端子の入力は、ポート入力モード・レジスタ5 (PIM5)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50, P51, P55端子の出力は、ポート出力モード・レジスタ5 (POM5)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧^{注1}／EVDD耐圧^{注2})に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマの入出力があります。

リセット信号の発生により、入力ポートになります。

注1. 24, 32, 48ピン製品の場合

注2. 36, 64ピン製品の場合

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。

P60-P63端子の出力は、N-chオープン・ドレイン出力(6V耐圧)です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力があります。

リセット信号の発生により、入力ポートになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P72^{注1}, P74^{注2}端子の入力は、ポート入力モード・レジスタ7 (PIM7)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P71, P72^{注1}, P74端子の出力は、ポート出力モード・レジスタ7 (POM7)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧^{注3}／EVDD耐圧^{注4})に設定可能です。

また、兼用機能としてキー割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力ポートになります。

注1. 24ピン製品の場合

注2. 32ピン製品の場合

注3. 24, 32, 48ピン製品の場合

注4. 36, 64ピン製品の場合

4.2.9 ポート 12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ 12 (PM12)により、1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 12 (PU12)により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

P120端子をデジタル入出力ポートとして使用する場合は、ポート・モード・コントロール・レジスタ 12 (PMC12)で“デジタル入出力”を設定してください。

また兼用機能としてA/Dコンバータのアナログ入力、コンパレータ出力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により、P120はアナログ機能になります。P121-P124は入力ポートになります。

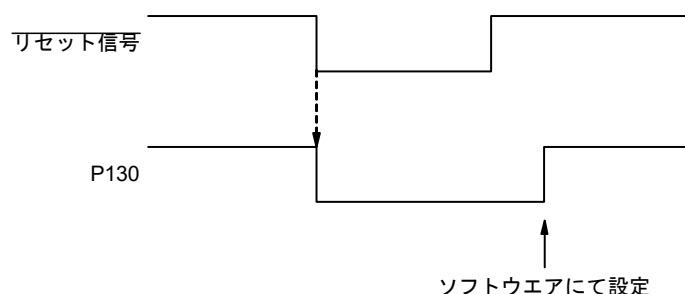
4.2.10 ポート 13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.11 ポート 14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14 (PM14)により1ビット単位で入力モード／出力モードの指定ができます。P140, P141, P146, P147端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 14 (PU14)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P147端子をデジタル入出力ポートとして使用する場合は、ポート・モード・コントロール・レジスタ 14 (PMC14)で“デジタル入出力”を設定してください。

また、兼用機能としてクロック／ブザー出力、外部割り込み要求入力、A/Dコンバータのアナログ入力、クロック入出力、コンパレータ基準入力があります。

リセット信号の発生により、P140, P141, P146は入力ポートになります。P147はアナログ機能になります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMx)
- ポート出力モード・レジスタ (POMx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- 周辺I/Oリダイレクション・レジスタ 0-3 (PIOR0-PIOR3)
- グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-4～表4-6を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(1/3)

ポート		ビット名						64-pin	48-pin	36-pin	32-pin	24-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート0	0	PM00	P00	PU00	PIM00 ^{注2}	POM00	PMC00 ^{注1}	○	○	○	○	○
	1	PM01	P01	PU01	PIM01	POM01 ^{注2}	PMC01 ^{注1}	○	○	○	○	○
	2	PM02	P02	PU02	—	POM02	PMC02	○	—	—	—	—
	3	PM03	P03	PU03	PIM03	POM03	PMC03	○	—	—	—	—
	4	PM04	P04	PU04	PIM04	POM04	—	○	—	—	—	—
	5	PM05	P05	PU05	—	—	—	○	—	—	—	—
	6	PM06	P06	PU06	—	—	—	○	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート1	0	PM10	P10	PU10	PIM10	POM10	PMC10	○	○	○	○	○
	1	PM11	P11	PU11	—	POM11	PMC11	○	○	○	○	○
	2	PM12	P12	PU12	—	—	PMC12 ^{注3}	○	○	○	○	○
	3	PM13	P13	PU13	—	POM13	PMC13 ^{注3}	○	○	○	○	○
	4	PM14	P14	PU14	PIM14	POM14	PMC14 ^{注3}	○	○	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	—	○	○	○	○	○
	6	PM16	P16	PU16	PIM16	—	—	○	○	○	○	—
	7	PM17	P17	PU17	PIM17	POM17	—	○	○	○	○	—
ポート2	0	PM20	P20	—	—	—	PMC20	○	○	○	○	○
	1	PM21	P21	—	—	—	PMC21	○	○	○	○	○
	2	PM22	P22	—	—	—	PMC22	○	○	○	○	○
	3	PM23	P23	—	—	—	PMC23	○	○	○	○	—
	4	PM24	P24	—	—	—	PMC24	○	○	○	—	—
	5	PM25	P25	—	—	—	PMC25	○	○	○	—	—
	6	PM26	P26	—	—	—	PMC26	○	○	—	—	—
	7	PM27	P27	—	—	—	PMC27	○	○	—	—	—

注1. 24～48ピン製品の場合

注2. 24ピン製品の場合

注3. 32～64ピン製品の場合

表4-5 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(2/3)

ポート		ビット名						64-pin	48-pin	36-pin	32-pin	24-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート3	0	PM30	P30	PU30	PIM30	POM30	—	○	○	○	○	—
	1	PM31	P31	PU31	PIM31注	POM31注	—	○	○	○	○	—
	2	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—	○	○	○	○	○
	1	PM41	P41	PU41	—	—	—	○	○	—	—	—
	2	PM42	P42	PU42	—	—	—	○	—	—	—	—
	3	PM43	P43	PU43	—	—	—	○	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	PIM50	POM50	—	○	○	○	○	○
	1	PM51	P51	PU51	—	POM51	—	○	○	○	○	○
	2	PM52	P52	PU52	—	—	—	○	—	—	—	—
	3	PM53	P53	PU53	—	—	—	○	—	—	—	—
	4	PM54	P54	PU54	—	—	—	○	—	—	—	—
	5	PM55	P55	PU55	PIM55	POM55	—	○	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート6	0	PM60	P60	—	—	—	—	○	○	○	—	—
	1	PM61	P61	—	—	—	—	○	○	○	—	—
	2	PM62	P62	—	—	—	—	○	○	—	—	—
	3	PM63	P63	—	—	—	—	○	○	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—

注 32ピン製品の場合

表4 - 6 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(3/3)

ポート		ビット名						64-pin	48-pin	36-pin	32-pin	24-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート7	0	PM70	P70	PU70	—	—	—	○	○	○	○	—
	1	PM71	P71	PU71	—	POM71	—	○	○	—	—	—
	2	PM72	P72	PU72	PIM72注1	POM72注1	—	○	○	—	○	○
	3	PM73	P73	PU73	—	—	—	○	○	—	○	○
	4	PM74	P74	PU74	PIM74注2	POM74	—	○	○	—	○	—
	5	PM75	P75	PU75	—	—	—	○	○	—	—	—
	6	PM76	P76	PU76	—	—	—	○	—	—	—	—
	7	PM77	P77	PU77	—	—	—	○	—	—	—	—
ポート12	0	PM120	P120	PU120	—	—	PMC120	○	○	○	○	—
	1	—	P121	—	—	—	—	○	○	○	○	○
	2	—	P122	—	—	—	—	○	○	○	○	○
	3	—	P123	—	—	—	—	○	○	○	—	—
	4	—	P124	—	—	—	—	○	○	○	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート13	0	—	P130	—	—	—	—	○	○	—	—	—
	1	—	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○	○	○	○
ポート14	0	PM140	P140	PU140	—	—	—	○	○	—	—	—
	1	PM141	P141	PU141	—	—	—	○	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	PM146	P146	PU146	—	—	—	○	○	—	—	—
	7	PM147	P147	PU147	—	—	PMC147	○	○	○	○	○

注1. 24ピン製品の場合

注2. 32ピン製品の場合

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のレジスタの設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	1	1	1	1	PM141	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14 ; n = 0-7)
0	出力モード(出力ポートとして機能(出力バッファ・オン))
1	入力モード(入力ポートとして機能(出力バッファ・オフ))

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カッチの値が読み出されます注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P02, P03, P10, P11, P12-P14, P20-P27, P120, P147 をアナログ機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラッチ)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出カラッチ)	R/W
P4	0	0	0	0	P43	P42	P41	P40	FFF04H	00H (出カラッチ)	R/W
P5	0	0	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H (出カラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W注1
P14	P147	P146	0	0	0	0	P141	P140	FFF0EH	00H (出カラッチ)	R/W

Pmn	m = 0-7, 12-14 ; n = 0-7	
	出カデータの制御(出力モード時)	入カデータの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124, P137はRead Onlyです。

注2. P137 : 不定

P130 : 0 (出カラッチ)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、POMmn = 0で入力モード(PMmn = 1)に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ機能に設定している場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	PU146	0	0	0	0	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	PIM01	PIM00 注1	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	0	0	0	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	0	0	PIM31 注2	PIM30	F0043H	00H	R/W
PIM5	0	0	PIM55	0	0	0	0	PIM50	F0045H	00H	R/W
PIM7	0	0	0	PIM74 注2	0	PIM72 注1	0	0	F0047H	00H	R/W
PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 3, 5, 7 ; n = 0-7)										
0	通常入力バッファ										
1	TTL入力バッファ										

注1. 24ピン製品の場合

注2. 32ピン製品の場合

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00, SDA01, SDA10, SDA11, SDA20, SDA21 端子に N-ch オープン・ドレイン出力 (V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2}) モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

注1. 24, 32, 48ピン製品の場合

注2. 36, 64ピン製品の場合

注意 N-ch オープン・ドレイン出力 (V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2}) モード (POM_mn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	POM01 注1	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	0	POM11	POM10	F0051H	00H	R/W
POM3	0	0	0	0	0	0	POM31 注2	POM30	F0053H	00H	R/W
POM5	0	0	POM55	0	0	0	POM51	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	POM72 注1	POM71	0	F0057H	00H	R/W

POM _m n	P _m n 端子の出力モードの選択 (m = 0, 1, 3, 5, 7 ; n = 0-5, 7)
0	通常出力モード
1	N-ch オープン・ドレイン出力 (V _{DD} 耐圧 ^{注1} / EV _{DD} 耐圧 ^{注2}) モード

注1. 24ピン製品の場合

注2. 32ピン製品の場合

注意 搭載していないビットには必ず初期値を設定してください。



4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

P00-P03, P10-P14, P20-P27, P120, P147のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

PMC0, PMC1, PMC2, PMC12, PMC14レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC03	PMC02	PMC01 注1	PMC00 注1	F0060H	FFH	R/W
PMC1	1	1	1	PMC14 注2	PMC13 注2	PMC12 注2	PMC11	PMC10	F0061H	FFH	R/W
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	F0062H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m = 0, 1, 2, 12, 14 ; n = 0-7)
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

注1. 24, 32, 36, 48ピン製品のみ。

注2. 32, 36, 48, 64ピン製品のみ。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.7 周辺I/Oリダイレクション・レジスタ0 (PIOR0)

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PIOR0	PIOR07注1	PIOR06注2	PIOR05注3	PIOR04注1	PIOR03注4	PIOR02	PIOR01注5	PIOR00注1
-------	----------	----------	----------	----------	----------	--------	----------	----------

ビット	機能	64ピン 設定値		48ピン 設定値		36ピン 設定値		32ピン 設定値		24ピン 設定値	
		0	1	0	1	0	1	0	1	0	1
		PIOR07注1	INTP8	注6.	P00						
	INTP10	注7.	P01								
	INTP11	注7.	P20								
PIOR06注2	RxD2	使用できません		P14	P14	P14	P14	P14	P14	P14	P14
	TxD2	(PIOR01で制御します)。0(初期値)を設定してください。		P13	P10	P13	P10	P13	P10	P13	P10
	SCL20			P15	—	P15	—	P15	—	P15	—
	SDA20			P14	—	P14	—	P14	—	P14	—
	SI20			P14	—	P14	—	P14	—	P14	—
	SO20			P13	—	P13	—	P13	—	P13	—
SCK20	P15			—	P15	—	P15	—	P15	—	
PIOR05注3	RxD1	使用できません。		P01	P73	使用できません。		P01	P73	P01	P73
	TxD1	0(初期値)を設定してください。		P00	P72	0(初期値)を設定してください。		P00	P72	P00	P72
PIOR04注1	PCLBUZ1	P141	P55	使用できません。0(初期値)を設定してください。							
	INTP5	P16	P12								
PIOR03注4	PCLBUZ0	P140	P31	P140	P31	使用できません。0(初期値)を設定してください。					
PIOR02	SCLA0	P60	P14	P60	P14	P60	P14	P31	P14	P01	P14
	SDAA0	P61	P15	P61	P15	P61	P15	P74	P15	P00	P15
PIOR01注5	INTP10	P76	P05	P01	P01	P01	P01	P01	P01	使用できません。	
	INTP11	P77	P06	P20	P20	P20	P20	P20	P20	0(初期値)を設定してください。	
	RxD2	P14	P76	使用できません(PIOR06で制御します)。							
	TxD2	P13	P77	0(初期値)を設定してください。							
	SCL20	P15	—								
	SDA20	P14	—								
	SI20	P14	—								
	SO20	P13	—								
	SCK20	P15	—								
	TxD0	P51	P17	P51	P17	P51	P17	P51	P17		
	RxD0	P50	P16	P50	P16	P50	P16	P50	P16		
	SCL00	P30	—	P30	—	P30	—	P30	—		
	SDA00	P50	—	P50	—	P50	—	P50	—		
SI00	P50	P16	P50	—	P50	—	P50	—			
SO00	P51	P17	P51	—	P51	—	P51	—			
SCK00	P30	P55	P30	—	P30	—	P30	—			
PIOR00注1	INTP1	P50	P52	使用できません。0(初期値)を設定してください。							
	INTP2	P51	P53								
	INTP3	P30	P54								
	INTP4	P31	P55								
	INTP8	P74	P42								
	INTP9	P75	P43								

- 注1. 64ピン製品のみ
- 注2. 24, 32, 36, 48ピン製品のみ
- 注3. 24, 32, 48ピン製品のみ
- 注4. 48, 64ピン製品のみ
- 注5. 32, 36, 48, 64ピン製品のみ
- 注6. PIOR00にて指定した端子
- 注7. PIOR01にて指定した端子
- 備考 — : 兼用機能として使用できません。



4.3.8 周辺I/Oリダイレクション・レジスタ1 (PIOR1)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-8 周辺I/Oリダイレクション・レジスタ1 (PIOR1)のフォーマット

アドレス : F0079H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR1	0	0	0	0	PIOR13	PIOR12	PIOR11	PIOR10

PIOR13	PIOR12	タイマRJの TRJ00端子選択
0	0	P30と兼用 (32, 36, 48, 64ピン製品の場合) P72と兼用 (24ピン製品の場合)
0	1	P50と兼用
1	0	P00と兼用
1	1	設定禁止

PIOR11	PIOR10	タイマRJの TRJ100端子選択
0	0	P01と兼用
0	1	P31と兼用 (32, 36, 48, 64ピン製品の場合) P73と兼用 (24ピン製品の場合)
1	0	P41と兼用 (48, 64ピン製品の場合) 設定禁止 (24, 32, 36ピン製品の場合)
1	1	P06と兼用 (64ピン製品の場合) 設定禁止 (24, 32, 36, 48ピン製品の場合)

4.3.9 周辺I/Oリダイレクション・レジスタ2 (PIOR2)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR2レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-9 周辺I/Oリダイレクション・レジスタ2 (PIOR2)のフォーマット

アドレス : F0075H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0			
PIOR2	PIOR27 ^{注1}	PIOR26 ^{注2}	PIOR25	PIOR24	PIOR23 ^{注2}	PIOR22 ^{注2}	PIOR21	PIOR20			
ビット	機能	64ピン		48ピン		36ピン		32ピン		24ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR27 ^{注1}	TRDIOC0	使用できません。0 (初期値)を設定してください。									
PIOR26 ^{注2}	TRDIOD0	P14	P17	P14	P17	P14	P17	P14	P17	使用できません。 0 (初期値)を設定してください。	
PIOR25	TRDIOD1	P10	P51	P10	P51	P10	P51	P10	P51	P10	P51
PIOR24	TRDIOC1	P11	P50	P11	P50	P11	P50	P11	P50	P11	P50
PIOR23 ^{注2}	TRDIOB1	P12	P30	P12	P30	P12	P30	P12	P30	使用できません。	
PIOR22 ^{注2}	TRDIOA1	P13	P16	P13	P16	P13	P16	P13	P16	0 (初期値)を設定してください。	
PIOR21 ^{注3}	VCOUT1	P31	P70	P31	P70	P31	P70	P31	P70	P147	P72
PIOR20 ^{注4}	VCOUT0	P120	P71	P120	P71	P120	P70	P120	P73	P12	P73

注1. 24ピン製品のみ

注2. 32, 36, 48, 64ピン製品のみ

注3. PIOR32 = 1のときの設定です。PIOR32 = 0のときは、VCOUT1は出力禁止（ロウレベル固定）となります。

注4. PIOR31 = 1のときの設定です。PIOR31 = 0のときは、VCOUT0は出力禁止（ロウレベル固定）となります。

備考 ー：兼用機能として使用できません。

4.3.10 周辺I/Oリダイレクション・レジスタ3 (PIOR3)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR3レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 10 周辺I/Oリダイレクション・レジスタ3 (PIOR3)のフォーマット

アドレス : F007CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR3	0	0	0	0	0	PIOR32	PIOR31	PIOR30 ^{注1}
PIOR32	コンパレータの VCOUT1 端子出力許可/禁止							
0	ポート端子へのVCOUT1出力禁止 (ロウレベル固定)							
1	ポート端子へのVCOUT1出力許可 (PIOR21ビットで指定した端子から出力)							
PIOR31	コンパレータの VCOUT0 端子出力許可/禁止							
0	ポート端子へのVCOUT0出力禁止 (ロウレベル固定)							
1	ポート端子へのVCOUT0出力許可 (PIOR20ビットで指定した端子から出力)							
PIOR30 ^{注1}	IrDAの IrRxD, IrTxD 端子選択 ^{注2}							
0	IrRxDはP14端子と兼用, IrTxDはP13端子と兼用							
1	IrRxDはP01端子と兼用, IrTxDはP00端子と兼用							

注1. 24ピン製品のみ

注2. PIOR06 = 0のときの設定です。PIOR06 = 1のときは、IrDAは使用禁止となります。

UART2またはIrDAを使う場合のリダイレクト機能の割り当てを、下記にまとめて示します。

図4 - 11 UART2またはIrDAを使う場合のリダイレクト機能の割り当て

< 64ピン製品 >

PIOR01	UART2のRxD2, TxD2端子, IrDAのIrRxD, IrTxD端子選択
0	RxD2/IrRxDはP14端子と兼用, TxD2/IrTxDはP13端子と兼用
1	RxD2はP76端子と兼用, TxD2はP77端子と兼用, IrRxD, IrTxDは使用禁止

< 48, 36, 32ピン製品 >

PIOR06	UART2のRxD2, TxD2端子, IrDAのIrRxD, IrTxD端子選択
0	RxD2/IrRxDはP14端子と兼用, TxD2/IrTxDはP13端子と兼用
1	RxD2はP14端子と兼用, TxD2はP10端子と兼用, IrRxD, IrTxDは使用禁止

< 24ピン製品 >

PIOR06	PIOR30	UART2のRxD2, TxD2端子, IrDAのIrRxD, IrTxD端子選択
0	0	RxD2/IrRxDはP14端子と兼用, TxD2/IrTxDはP13端子と兼用
0	1	RxD2, TxD2は使用禁止, IrRxDはP01端子と兼用, IrTxDはP00端子と兼用 ^注
1	0	RxD2はP14端子と兼用, TxD2はP10端子と兼用, IrRxD, IrTxDは使用禁止
1	1	設定禁止

注 CSI20とIIC20も使用不可



4.3.11 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

EV_{DD}の電源をオフする時に、EV_{DD}を電源とする入力ポートの入力バッファの貫通電流を防止するレジスタです。

EV_{DD}を電源とする入出力ポートを全て使用しない場合、GDIDISレジスタをセット(1)してEV_{DD}の電源をオフすることにより、低消費電力にすることができます。

GDIDIS0ビットを1に設定することにより、EV_{DD}を電源とするすべての入力バッファを入力禁止とし、EV_{DD}の電源をオフした時の貫通電流を防止します。

GDIDISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 GDIDISレジスタは、64、36ピン製品に搭載しています。

図4-12 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

アドレス : F007DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EV _{DD} 電源の入力バッファ設定
0	入力バッファの入力許可(デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

EV_{DD}の電源をオフする場合は、次の手順で設定してください。

- ① 入力バッファの入力禁止(GDIDIS0 = 1)に設定
- ② EV_{DD}の電源オフ

EV_{DD}の電源を再投入する場合は、次の手順で設定してください。

- ① EV_{DD}の電源オン
- ② 入力バッファの入力許可(GDIDIS0 = 0)に設定

注意1. EV_{DD}を電源とする入力ポートに、EV_{DD}以上の入力電圧を入力しないでください。

注意2. 入力バッファの入力禁止(GDIDIS0 = 1)を設定した場合、EV_{DD}を電源とするポートのポート・レジスタ(Pxx)の読み出し値は“1”となります。また、ポート出力モード・レジスタ(POMxx)に“1”(N-chオープン・ドレイン出力(EV_{DD}耐圧))設定時は、ポート・レジスタ(Pxx)の読み出し値は“0”となります。

備考1. GDIDISレジスタは、64、36ピン製品に搭載しています。

備考2. 入力バッファの入力禁止(GDIDIS0 = 1)を設定した場合でも、EV_{DD}を電源とするポート機能を使用しない周辺機能は使用できます。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 EVDD ≤ VDDによる異電位(1.8 V系, 2.5 V系, 3 V系)対応

異電位(1.8 V系, 2.5 V系, 3 V系)で動作している外部デバイスとの接続時には、EVDDを接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

4.4.5 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応

ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)で入出力バッファを切り換えることにより、異電位(1.8 V系, 2.5 V系, 3 V系)で動作している外部デバイスとの接続が可能になります。

異電位(1.8 V系, 2.5 V系, 3 V系)の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ0, 1, 3, 5, 7 (PIM0, PIM1, PIM3, PIM5, PIM7)をビットごとに設定して、通常入力(CMOS)/TTL入力バッファを切り換えます。

異電位(1.8 V系, 2.5 V系, 3 V系)の外部デバイスへ出力する場合、ポート出力モード・レジスタ0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7)をビットごとに設定して、通常出力(CMOS)/N-ch オープン・ドレイン(VDD耐圧^{注1}/EVDD耐圧^{注2})を切り換えます。

注1. 24, 32, 48ピン製品の場合

注2. 36, 64ピン製品の場合

以下、シリアル・インタフェースでの接続について説明します。

- (1) UART0-UART2, CSI00, CSI01, CSI10, CSI11, CSI20, CSI21機能の入力ポートをTTL入力バッファで使用する場合の設定手順

<64ピン製品の例>

UART0の場合 :	P50 (P16)
UART1の場合 :	P03
UART2の場合 :	P14 (P76)
CSI00の場合 :	P30, P50 (P55, P16)
CSI01の場合 :	P74, P75
CSI10の場合 :	P03, P04
CSI11の場合 :	P10, P11
CSI20の場合 :	P14, P15
CSI21の場合 :	P70, P71

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0(PIOR0)の設定により、割り当て可能です。

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②PIM0, PIM1, PIM3, PIM5, PIM7レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、 V_{IH} 、 V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。
- ③シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI注) モードに設定します。

注 一般的にはSPI と呼ばれる機能ですが、本製品ではCSI とも呼称しているため、本マニュアルでは併記します。

- (2) UART0-UART2, CSI00, CSI01, CSI10, CSI11, CSI20, CSI21機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 :	P51 (P17)
UART1の場合 :	P02
UART2の場合 :	P13 (P77)
CSI00の場合 :	P30, P51 (P55, P17)
CSI01の場合 :	P73, P75
CSI10の場合 :	P02, P04
CSI11の場合 :	P10, P12
CSI20の場合 :	P13, P15
CSI21の場合 :	P70, P72

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM0, POM1, POM3, POM5, POM7レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD} 耐圧注¹ / E_{VDD} 耐圧注²)モードに設定します。
- ⑤シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI) モードに設定します。
- ⑥PM0, PM1, PM3, PM5, PM7レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注1. 24, 32, 48ピン製品の場合

注2. 36, 64ピン製品の場合

- (3) IIC00, IIC01, IIC10, IIC11, IIC20, IIC21機能の入出力ポートを、異電位(1.8 V系, 2.5 V系, 3 V系)で使用する
場合の設定手順

簡易IIC00の場合 : P30, P50

簡易IIC01の場合 : P74, P75

簡易IIC10の場合 : P03, P04

簡易IIC11の場合 : P10, P11

簡易IIC20の場合 : P14, P15

簡易IIC21の場合 : P70, P71

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM0, POM1, POM3, POM5, POM7レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧^{注1}/EV_{DD}耐圧^{注2})モードに設定します。
- ⑤PIM0, PIM1, PIM3, PIM5, PIM7レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦PM0, PM1, PM3, PM5, PM7レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注1. 24, 32, 48ピン製品の場合

注2. 36, 64ピン製品の場合

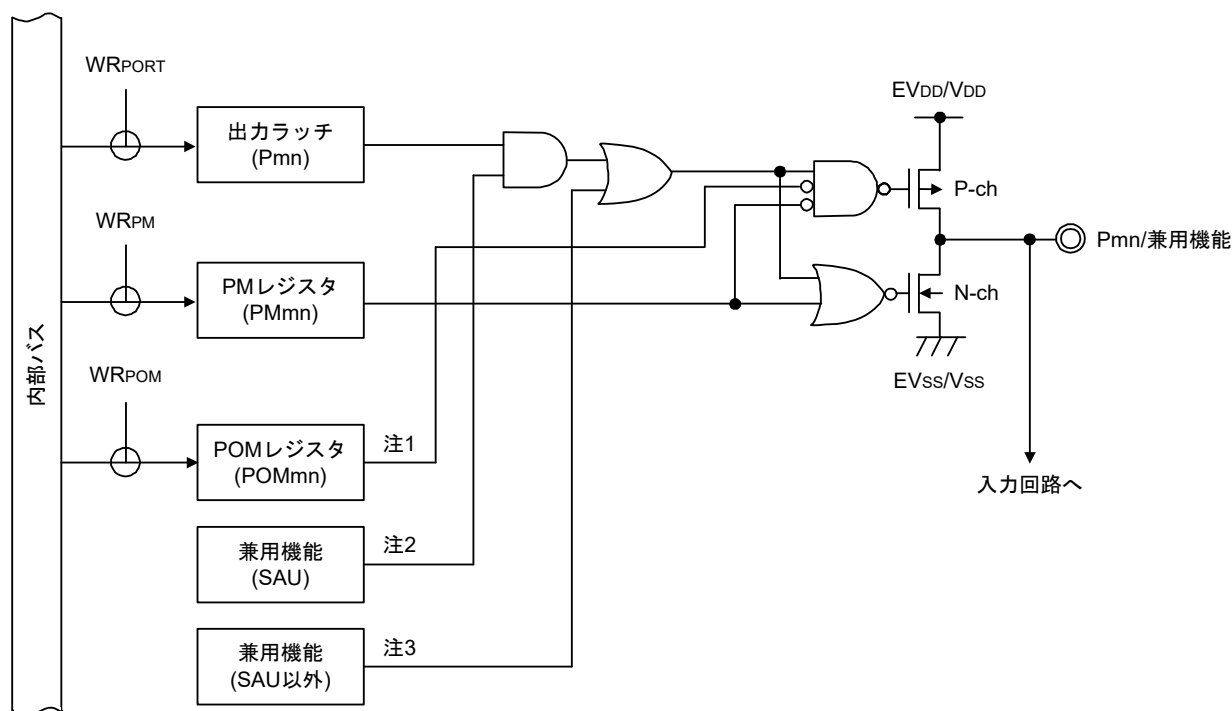
4.5 兼用機能使用時のレジスタの設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ (PMCxx) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-13に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能(タイマ, RTC, クロック/ブザー出力, IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-7に示します。

図4-13 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0)と考慮してください。

注2. 兼用機能がない場合には、この信号はHigh (1)と考慮してください。

注3. 兼用機能がない場合には、この信号はLow (0)と考慮してください。

表4-7 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) ^注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

- (1) $SOp = 1/TxDq = IrTxD = 1$ (SAUのシリアル出力(SOp/TxDq)を使用しない場合の設定)
SAUをシリアル入力のみで使用するなど、シリアル出力(SOp/TxDq)を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOM)のSOMnビットを1 (High)に設定してください。これは初期状態と同じ設定です。
- (2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャネルnを使用しない場合の設定)
SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタm (SEm)のビットn (SEmn)を0 (動作停止状態)に設定し、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOM)のSOMnビットとCKOMnビットを1 (High)に設定してください。これは初期状態と同じ設定です。
- (3) $TOmn = 0$ (TAUのチャネルnの出力を使用しない場合の設定)
TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0)のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0)のビットを0 (Low)に設定してください。これは初期状態と同じ設定です。
- (4) $SDAAn = 0/SCLAn = 0$ (IICAを使用しない場合の設定)
IICAを使用しない場合は、IICAコントロール・レジスタn0 (IICCTLn0)のIICEnビットを0 (動作停止)にしてください。これは初期状態と同じ設定です。

- (5) PCLBUZn = 0 (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn)のPCLOEn ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。

- (6) TRJIO0 = 0/TRJO0 = 0 (タイマRJ出力を使用しない場合の設定)

タイマRJのパルス出力機能をTRJO0端子で使用しない場合は、タイマRJ I/O制御レジスタ (TRJIOC0)のビット2 (TOENA)を0 (TRJO出力禁止)にしてください。これは初期値と同じ設定です。

タイマRJのTRJIO0端子を出力機能として使用しない場合は、タイマRJモードレジスタ0 (TRJMR0)のビット2~0 (TMOD2~0)を001b (パルス出力モード)以外に設定してください。初期値は000bのタイマモードになっています。

- (7) TRDIOAn = 0/TRDIOBn = 0/TRDIOCn = 0/TRDIODn = 0 (タイマRD出力を使用しない場合の設定)

タイマRDの出力機能を使用しない場合は、タイマRD出力マスタ許可レジスタ1 (TRDOER1)でタイマRD出力機能を使用しない端子を「出力禁止」に設定してください。これは初期値と同じ設定です。

- (8) TRGIOA = 0/TRGIOB = 0 (タイマRG出力を使用しない場合の設定)

タイマRGの出力機能を使用しない場合は、タイマRG I/O制御レジスタ (TRGIOR)でタイマRG出力機能を使用しない端子を「コンペアー一致による端子出力禁止」に設定してください。これは初期値と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例（64ピン製品の場合）を表4-8～表4-12に示します。ポート機能を制御するレジスタを表4-8～表4-12のように設定してください。なお、表4-8～表4-12の表記については次の備考を参照してください。

備考 — : 対象外

× : Don't care

PIORx : 周辺I/Oリダイレクション・レジスタ

POMxx : ポート出力モード・レジスタ

PMCxx : ポート・モード・コントロール・レジスタ

PMxx : ポート・モード・レジスタ

Pxx : ポートの出カラッチ

() 内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により、割り当て可能です。

表4-8 P00-P17端子機能使用時のレジスタの設定例（64ピン製品の場合）(1/4)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
★ ★	P00	入力	—	×	—	1	×	×	—
		出力	×	0	—	0	0/1	—	(TRJIO0) = 0
		Nch-OD出力		1	—	0	0/1		
	TRGCLKA	入力	—	×	—	1	×	×	—
	TI00	入力	—	×	—	1	×	×	—
	(TRJIO0)	出力	PIOR13, PIOR12 = 10B	0	—	0	0	—	—
(INTP8)	入力	PIOR07 = 1	—	—	1	×	—	—	
P01	P01	入力	—	—	—	1	×	—	—
		出力	×	—	—	0	0/1	—	TRJIO0 = 0
	TRGCLKB	入力	—	—	—	1	×	—	—
	TO00	出力	×	—	—	0	0	—	—
	TRJIO0	入力	PIOR11, PIOR10 = 00B	—	—	1	×	—	—
		出力	—	—	—	0	0	—	—
(INTP10)	入力	PIOR07 = 1	—	—	1	×	—	—	
P02	P02	入力	—	×	0	1	×	×	—
		出力	×	0	0	0	0/1	TxD1/SO10 = 1	—
		Nch-OD出力		1	0	0	0/1		
	ANI17	アナログ入力	—	×	1	1	×	×	—
	TxD1	出力	—	0/1	0	0	1	—	—
	SO10	出力	—	0/1	0	0	1	—	—
IVCMP10	アナログ入力	—	×	1	1	×	×	—	
P03	P03	入力	—	×	0	1	×	×	—
		出力	×	0	0	0	0/1	SDA10 = 1	—
		Nch-OD出力		1	0	0	0/1		
	ANI16	アナログ入力	—	×	1	1	×	×	—
	SI10	入力	—	×	0	1	×	×	—
	RxD1	入力	—	×	0	1	×	×	—
	SDA10	入出力	—	1	0	0	1	—	—
IVCMP11	アナログ入力	—	×	1	1	×	×	—	
P04	P04	入力	—	×	—	1	×	—	—
		出力	×	0	—	0	0/1	SCK10/SCL10 = 1	—
		Nch-OD出力		1	—	0	0/1		
	SCK10	入力	—	×	—	1	×	—	—
		出力		0/1	—	0	1	—	—
SCL10	出力	—	0/1	—	0	1	—	—	
P05	P05	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
	(INTP10)	入力	PIOR01 = 1	—	—	1	×	—	—
P06	P06	入力	—	—	—	1	×	—	—
		出力	×	—	—	0	0/1	—	(TRJIO0) = 0
	(TRJIO0)	入力	PIOR11, PIOR10 = 11B	—	—	1	×	—	—
		出力		—	—	0	0	—	—
(INTP11)	入力	PIOR01 = 1	—	—	1	×	—	—	

表4 - 8 P00-P17端子機能使用時のレジスタの設定例（64ピン製品の場合）(2/4)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P10	P10	入力	—	×	0	1	×	—	—
		出力	—	0	0	0	0/1	SCK11/SCL11 = 1	TRDIOD1 = 0
		Nch-OD出力	—	1	0	0	0/1		
	ANI20	アナログ入力	—	×	1	1	×	×	—
	SCK11	入力	—	×	0	1	×	—	—
		出力	—	0/1	0	0	1	—	TRDIOD1 = 0
	SCL11	出力	—	0/1	0	0	1	—	TRDIOD1 = 0
	TRDIOD1	入力	PIOR25 = 0	×	0	1	×	—	—
出力		0		0	0	0	SCK11/SCL11 = 1	—	
P11	P11	入力	—	×	0	1	×	—	—
		出力	—	0	0	0	0/1	SDA11 = 1	TRDIOC1 = 0
		Nch-OD出力	—	1	0	0	0/1		
	ANI21	アナログ入力	—	×	1	1	×	×	—
	SI11	入力	—	×	0	1	×	—	—
	SDA11	入出力	—	1	0	0	1	—	TRDIOC1 = 0
	TRDIOC1	入力	PIOR24 = 0	×	0	1	×	—	—
		出力		0	0	0	0	SDA11 = 1	—
P12	P12	入力	—	—	0	1	×	—	—
		出力	—	—	0	0	0/1	SO11 = 1	TRDIOB1 = 0
	ANI22	アナログ入力	—	×	1	1	×	×	—
	SO11	出力	—	—	0	0	1	—	TRDIOB1 = 0
	TRDIOB1	入力	PIOR23 = 0	—	0	1	×	—	—
		出力		—	0	0	0	SO11 = 1	—
(INTP5)	入力	PIOR04 = 1	—	0	1	×	—	—	
P13	P13	入力	—	×	0	1	×	—	—
		出力	×	0	0	0	0/1	TxD2/SO20 = 1	TRDIOA1 = 0
		Nch-OD出力	—	1	0	0	0/1		
	ANI23	アナログ入力	—	×	1	1	×	×	—
	TxD2	出力	PIOR01 = 0	0/1	0	0	1	—	TRDIOA1 = 0
	SO20	出力	PIOR01 = 0	0/1	0	0	1	—	TRDIOA1 = 0
	TRDIOA1	入力	PIOR22 = 0	×	0	1	×	—	—
		出力		0	0	0	0	TxD2/SO20 = 1	—
IVCMP1	アナログ入力	—	×	1	1	×	—	—	
P14	P14	入力	—	×	0	1	×	—	—
		出力	×	0	0	0	0/1	SDA20 = 1	TRDIOD0 = 0, (SCLA0) = 0
		Nch-OD出力	—	1	0	0	0/1		
	ANI24	アナログ入力	—	×	1	1	×	×	—
	RxD2	入力	PIOR01 = 0	×	0	1	×	—	—
	SI20	入力	PIOR01 = 0	×	0	1	×	—	—
	SDA20	入出力	PIOR01 = 0	1	0	0	1	—	TRDIOD0 = 0, (SCLA0) = 0
	TRDIOD0	入力	PIOR26 = 0	×	0	1	×	—	—
		出力		0	0	0	0	SDA20 = 1	(SCLA0) = 0
	(SCLA0)	入出力	PIOR02 = 1	1	0	0	0	SDA20 = 1	TRDIOD0 = 0

表4 - 8 P00-P17端子機能使用時のレジスタの設定例（64ピン製品の場合）(3/4)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P15	P15	入力	—	×	—	1	×	—	—
		出力	×	0	—	0	0/1	SCK20/SCL20 = 1	TRDIOB0 = 0, (SDAA0) = 0, PCLBUZ1 = 0
		Nch-OD出力		1	—	0	0/1		
	SCK20	入力	PIOR01 = 0	×	—	1	×	—	—
		出力		0/1	—	0	1	—	TRDIOB0 = 0, (SDAA0) = 0, PCLBUZ1 = 0
	SCL20	出力	PIOR01 = 0	0/1	—	0	1	—	
	TRDIOB0	入力	—	×	—	1	×	—	—
		出力	×	0	—	0	0	SCK20/SCL20 = 1	(SDAA0) = 0, PCLBUZ1 = 0
(SDAA0)	入出力	PIOR02 = 1	1	—	0	0	SCK20/SCL20 = 1	TRDIOB0 = 0, PCLBUZ1 = 0	
P16	P16	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	TO01 = 0, TRDIOC0 = 0, (TRDIOA1) = 0
	TI01	入力	—	—	—	1	×	—	—
	TO01	出力	—	—	—	0	0	—	TRDIOC0 = 0, (TRDIOA1) = 0
	INTP5	入力	PIOR04 = 0	—	—	1	×	—	—
	TRDIOC0	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0	—	TO01 = 0, (TRDIOA1) = 0
	(SI00)	入力	PIOR01 = 1	—	—	1	×	—	—
	(RxD0)	入力	PIOR01 = 1, PIOR06 = 0	—	—	1	×	—	—
	(TRDIOA1)	入力	PIOR22 = 1	×	—	1	×	—	—
出力		—		—	0	0	—	TO01 = 0, TRDIOC0 = 0	

表4 - 8 P00-P17端子機能使用時のレジスタの設定例（64ピン製品の場合）(4/4)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P17	P17	入力	—	x	—	1	x	—	—
		出力	x	0	—	0	0/1	(TxD0)/(SO00) = 1	TO02 = 0, TRDIOA0 = 0, (TRDIOD0) = 0
		Nch-OD出力		1	—	0	0/1		
	TI02	入力	—	x	—	1	x	—	—
	TO02	出力	x	0	—	0	0	(TxD0)/(SO00) = 1	TRDIOA0 = 0, (TRDIOD0) = 0
	TRDIOA0	入力	—	x	—	1	x	—	—
		出力	x	0	—	0	0	(TxD0)/(SO00) = 1	TO02 = 0, (TRDIOD0) = 0
	TRDCLK	入力	—	x	—	1	x	—	—
	(SO00)	出力	PIOR01 = 1	0/1	—	0	1	—	TO02 = 0, TRDIOA0 = 0, (TRDIOD0) = 0
	(TxD0)	出力	PIOR01 = 1, PIOR06 = 0	0/1	—	0	1	—	TO02 = 0, TRDIOA0 = 0, (TRDIOD0) = 0
(TRDIOD0)	入力	PIOR26 = 1	x	—	1	x	—	—	
	出力		0	—	0	0	(TxD0)/(SO00) = 1	TO02 = 0, TRDIOA0 = 0	

表 4 - 9 P20-P27 端子機能使用時のレジスタの設定例 (64ピン製品の場合)

端子名称	使用機能		PIORx	PMCxx	ADM2	PMxx	Pxx
	機能名称	入出力					
P20	P20	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI0	アナログ入力	—	1	00x0xx0x, 10x0xx0x	1	×
	AVREFP	基準電圧入力	—	1	01x0xx0x	1	×
	IVCMP12	アナログ入力	—	1	×	1	1
	(INTP11)	入力	PIOR07 = 1	0	—	1	1
P21	P21	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI1	アナログ入力	—	1	xx00xx0x	1	×
	AVREFM	基準電圧入力	—	1	xx10xx0x	1	×
	IVCMP13	アナログ入力	—	1	×	1	1
P22	P22	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI2	アナログ入力	—	1	×	1	×
	ANO0	アナログ出力	—	1	×	1	×
	PGAI	アナログ入力	—	1	×	1	1
P23	P23	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI3	アナログ入力	—	1	×	1	×
	ANO1	アナログ出力	—	1	×	1	×
	PGAGND	アナログ入力	—	1	×	1	1
P24	P24	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI4	アナログ入力	—	1	×	1	×
P25	P25	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI5	アナログ入力	—	1	×	1	×
P26	P26	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI6	アナログ入力	—	1	×	1	×
P27	P27	入力	—	0	×	1	×
		出力	—	0	×	0	0/1
	ANI7	アナログ入力	—	1	×	1	×

表4 - 10 P30-P120端子機能使用時のレジスタの設定例 (64ピン製品の場合) (1/4)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P30	P30	入力	—	×	—	1	×	—	—
		出力	×	0	—	0	0/1	SCK00/SCL00 = 1	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0
		Nch-OD出力		1	—	0	0/1		
	INTP3	入力	PIOR00 = 0, PIOR05 = 0	×	—	1	×	—	—
	RTC1HZ	出力	×	0	—	0	0	SCK00/SCL00 = 1	TRJ00 = 0, (TRDIOB1) = 0
	SCK00	入力	PIOR01 = 0	×	—	1	×	—	—
		出力		0/1	—	0	1	—	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0
	SCL00	出力	PIOR01 = 0	0/1	—	0	1	—	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0
	TRJ00	出力	PIOR13, PIOR12 = 00B	0	—	0	0	SCK00/SCL00 = 1	RTC1HZ = 0, (TRDIOB1) = 0
	(TRDIOB1)	入力	PIOR23 = 1	×	—	1	×	—	—
出力		0		—	0	0	SCK00/SCL00 = 1	RTC1HZ = 0, TRJ00 = 0	
P31	P31	入力	—	—	—	1	×	—	—
		出力	×	—	—	0	0/1	—	TO03 = 0, (PCLBUZ0) = 0, (TRJIO0) = 0, VCOUT1 = 0
	TI03	入力	—	—	—	1	×	—	—
	TO03	出力	×	—	—	0	0	—	(PCLBUZ0) = 0, (TRJIO0) = 0, VCOUT1 = 0
	INTP4	入力	PIOR00 = 0	—	—	1	×	—	—
	(TRJIO0)	入力	PIOR11, PIOR10 = 01B	—	—	1	×	—	—
		出力		—	—	0	0	—	TO03 = 0, (PCLBUZ0) = 0, VCOUT1 = 0
	(PCLBUZ0)	出力	PIOR03 = 1	—	—	0	0	—	TO03 = 0, (TRJIO0) = 0, VCOUT1 = 0
VCOUT1	出力	PIOR21 = 0	—	—	0	0	—	TO03 = 0, (PCLBUZ0) = 0, (TRJIO0) = 0	
P40	P40	入力	—	×	—	1	×	—	—
		出力	×	—	—	0	0/1	—	—
P41	P41	入力	—	—	—	1	×	—	—
		出力	×	—	—	0	0/1	—	(TRJIO0) = 0
	(TRJIO0)	入力	PIOR11, PIOR10 = 10B	—	—	1	×	—	—
		出力		—	—	0	0	—	—

表4 - 10 P30-P120端子機能使用時のレジスタの設定例 (64ピン製品の場合) (2/4)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P42	P42	入力	—	—	—	1	x	—	—
		出力	x	—	—	0	0/1	—	—
	(INTP8)	入力	PIOR00 = 1, PIOR07 = 0	—	—	1	x	—	—
P43	P43	入力	—	x	—	1	x	—	—
		出力	—	—	—	0	0/1	—	—
	(INTP9)	入力	PIOR00 = 1	x	—	1	x	—	—
P50	P50	入力	—	x	—	1	x	SDA00 = 1	TRGIOA = 0, (TRJ00) = 0, (TRDI0C1) = 0
		出力	x	0	—	0	0/1		
		Nch-OD出力		1	—	0	0/1		
	INTP1	入力	PIOR00 = 0	x	—	1	x	—	—
	SI00	入力	PIOR01 = 0	x	—	1	x	—	—
	RxD0	入力	PIOR01 = 0	x	—	1	x	—	—
	SDA00	入出力	PIOR01 = 0	1	—	0	1	—	TRGIOA = 0, (TRJ00) = 0, (TRDI0C1) = 0
	TRGIOA	入力	—	x	—	1	x	—	—
		出力	—	0	—	0	0	SDA00 = 1	(TRJ00) = 0, (TRDI0C1) = 0
	(TRJ00)	出力	PIOR13, PIOR12 = 01B	0	—	0	0	SDA00 = 1	TRGIOA = 0, (TRDI0C1) = 0
	(TRDI0C1)	入力	PIOR24 = 1	x	—	1	x	—	—
		出力		0	—	0	0	SDA00 = 1	TRGIOA = 0, (TRJ00) = 0
P51	P51	入力	—	x	—	1	x	TxD0/SO00 = 1	TRGIOB = 0, (TRDI0D1) = 0
		出力	—	0	—	0	0/1		
		Nch-OD出力		1	—	0	0/1		
	INTP2	入力	PIOR00 = 0	x	—	1	x	—	—
	SO00	出力	PIOR01 = 0	0/1	—	0	1	—	TRGIOB = 0, (TRDI0D1) = 0
	TxD0	出力	PIOR01 = 0	0/1	—	0	1	—	TRGIOB = 0, (TRDI0D1) = 0
	TRGIOB	入力	—	x	—	1	x	—	—
		出力	—	0	—	0	0	TxD0/SO00 = 1	(TRDI0D1) = 0
(TRDI0D1)	入力	PIOR25 = 1	x	—	1	x	—	—	
	出力		0	—	0	0	TxD0/SO00 = 1	TRGIOB = 0	
P52	P52	入力	—	x	—	1	x	—	—
		出力	—	—	—	0	0/1	—	—
	(INTP1)	入力	PIOR00 = 1	x	—	1	x	—	—
P53	P53	入力	—	x	—	1	x	—	—
		出力	x	—	—	0	0/1	—	—
	(INTP2)	入力	PIOR00 = 1	x	—	1	x	—	—
P54	P54	入力	—	x	—	1	x	—	—
		出力	—	—	—	0	0/1	—	—
	(INTP3)	入力	PIOR00 = 1	x	—	1	x	—	—

表4 - 10 P30-P120端子機能使用時のレジスタの設定例 (64ピン製品の場合) (3/4)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P55	P55	入力	—	×	—	1	×	—	—
		出力	—	0	—	0	0/1	(SCK00) = 1	(PCLBUZ1) = 0
		Nch-OD出力	—	1	—	0	0/1		
	(INTP4)	入力	PIOR00 = 1	×	—	1	×	—	—
	(PCLBUZ1)	出力	PIOR04 = 1	0	—	0	0	(SCK00) = 1	—
	(SCK00)	入力	PIOR01 = 1	×	—	1	×	—	—
出力	0/1	—		0	1	—	(PCLBUZ1) = 0		
P60	P60	入力	—	—	—	1	×	—	—
		Nch-OD出力 (6V耐圧)	×	—	—	0	0/1	—	SCLA0 = 0
	SCLA0	入出力	PIOR02 = 0	—	—	0	0	—	—
P61	P61	入力	—	—	—	1	×	—	—
		Nch-OD出力 (6V耐圧)	×	—	—	0	0/1	—	SDAA0 = 0
	SDAA0	入出力	PIOR02 = 0	—	—	0	0	—	—
P62	P62	入力	—	—	—	1	×	—	—
		Nch-OD出力 (6V耐圧)	×	—	—	0	0/1	—	—
	SSI00	入力	—	—	—	1	×	—	—
P63	P63	入力	—	—	—	1	×	—	—
		Nch-OD出力 (6V耐圧)	—	—	—	0	0/1	—	—
P70	P70	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	SCK21/SCL21 = 1	(VCOUT1) = 0
	KR0	入力	—	—	—	1	×	—	—
	SCK21	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	1	—	(VCOUT1) = 0
	SCL21	出力	—	—	—	0	1	—	(VCOUT1) = 0
(VCOUT1)	出力	PIOR21 = 1	—	—	0	0	SCK21/SCL21 = 1	—	
P71	P71	入力	—	×	—	1	×	—	—
		出力	—	0	—	0	0/1	SDA21 = 1	(VCOUT0) = 0
		Nch-OD出力	—	1	—	0	0/1		
	KR1	入力	—	×	—	1	×	—	—
	SI21	入力	—	×	—	1	×	—	—
	SDA21	入出力	—	1	—	0	1	—	(VCOUT0) = 0
	(VCOUT0)	出力	PIOR20 = 1	0	—	0	0	SDA21 = 1	—
P72	P72	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	SO21 = 1	—
	KR2	入力	—	—	—	1	×	—	—
	SO21	出力	—	—	—	0	1	—	—
P73	P73	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	SO01 = 1	—
	KR3	入力	—	—	—	1	×	—	—
	SO01	出力	—	—	—	0	1	—	—

表4 - 10 P30-P120端子機能使用時のレジスタの設定例 (64ピン製品の場合) (4/4)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P74	P74	入力	—	×	—	1	×	—	—
		出力	—	0	—	0	0/1	SDA01 = 1	—
		Nch-OD出力	—	1	—	0	0/1		
	KR4	入力	—	—	—	1	×	—	—
	INTP8	入力	PIOR00 = 0, PIOR07 = 0	—	—	1	×	—	—
	SDA01	入出力	—	1	—	0	1	—	—
P75	P75	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	SCK01/SCL01 = 1	—
	KR5	入力	—	—	—	1	×	—	—
	INTP9	入力	PIOR00 = 0	—	—	1	×	—	—
	SCK01	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	1	—	—
SCL01	出力	—	—	—	0	1	—	—	
P76	P76	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
	KR6	入力	—	—	—	1	×	—	—
	INTP10	入力	PIOR01 = 0, PIOR07 = 0	—	—	1	×	—	—
	(Rx/D2)	入力	PIOR01 = 1	—	—	1	×	—	—
P77	P77	入力	—	—	—	1	×	—	—
		出力	×	—	—	0	0/1	(Tx/D2) = 1	—
	KR7	入力	—	—	—	1	×	—	—
	INTP11	入力	PIOR01 = 0, PIOR07 = 0	—	—	1	×	—	—
	(Tx/D2)	出力	PIOR01 = 1	—	—	0	1	—	—
P120	P120	入力	—	—	0	1	×	—	—
		出力	—	—	0	0	0/1	—	VCOUT0 = 0
	ANI19	アナログ入力	—	—	1	1	×	—	—
	VCOUT0	出力	PIOR20 = 0	—	0	0	0	—	—

表4 - 11 P121-P124端子機能使用時のレジスタの設定例 (64ピン製品の場合)

端子名称	使用機能		CMC	Pxx
	機能名称	入出力	(EXCLK, OSCSEL, EXCLKS, OSCSELS)	
P121	P121	入力	00xx/10xx/11xx	×
	X1	—	01xx	—
P122	P122	入力	00xx/10xx/11xx	×
	X2	—	01xx	—
	EXCLK	入力	11xx	—
P123	P123	入力	xx00/xx10/xx11	×
	XT1	—	xx01	—
P124	P124	入力	xx00/xx10/xx11	×
	XT2	—	xx01	—
	EXCLKS	入力	xx11	—

表4 - 12 P130-P147端子機能使用時のレジスタの設定例（64ピン製品の場合）

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P130	P130	出力	—	—	—	—	0/1	—	—
P137	P137	入力	—	—	—	—	×	—	—
	INTP0	入力	—	—	—	—	×	—	—
P140	P140	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	PCLBUZ0 = 0
	PCLBUZ0	出力	PIOR03 = 0	—	—	0	0	—	—
	INTP6	入力	—	—	—	1	×	—	—
P141	P141	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	PCLBUZ1 = 0
	PCLBUZ1	出力	PIOR04 = 0	—	—	0	0	—	—
	INTP7	入力	—	—	—	1	×	—	—
P146	P146	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
P147	P147	入力	—	—	0	1	×	—	—
		出力	—	—	0	0	0/1	—	—
	ANI18	アナログ入力	—	—	1	1	×	—	—

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G1F内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

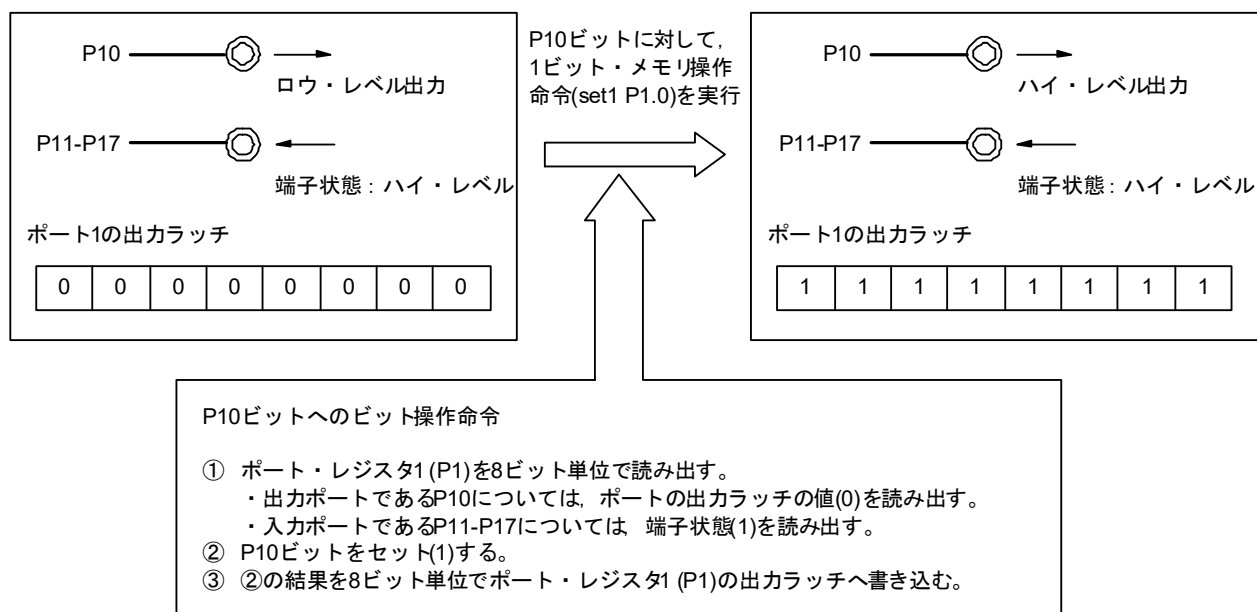
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-14 1ビット・メモリ操作命令(P10の場合)



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-PIOR3)の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では、兼用機能の出力が無効(バッファ出力がHi-Z)となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

メイン・システム・クロック用発振子接続端子／外部クロック入力端子，サブシステム・クロック用発振子接続端子／外部クロック入力端子の有無は，製品によって異なります。

	24, 32ピン製品	36, 48, 64ピン製品
X1端子, X2端子	○	○
EXCLK端子	○	○
XT1端子, XT2端子	—	○
EXCLKS端子	—	○

5.1 クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には，次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子，X2端子に発振子を接続することにより， $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ(高速OCO)

オプションバイト(000C2H)により， $f_{HOCO} = 64$ MHz/48 MHz/32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz (TYP.)から周波数を選択し，発振させることができます。 f_{HOCO} に64 MHz/48 MHzを選択した場合， f_{IH} はそれぞれ32 MHz/24 MHzになります。 f_{HOCO} に32 MHz以下を選択した場合， f_{IH} は分周されず， f_{HOCO} と同じ周波数になります。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は，図5-13 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数(MHz)											
	1	2	3	4	6	8	12	16	24	32	48	64
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○	—	—	—
$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	—	—	—	—	—	—
$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	—	—	—	—	—	—	—	—

また、EXCLK/X2/P122端子から外部メイン・システム・クロック ($f_{EX} = 1 \sim 20\text{ MHz}$) を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット(システム・クロック制御レジスタ(CKC)のビット4)の設定により、高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速オンチップ・オシレータ・クロックを切り替えられます。

なお、メイン・システム・クロックは、電源電圧 V_{DD} によって使用可能な周波数範囲が異なり、オプション・バイト(000C2H)のCMODE0、CMODE1によりフラッシュの動作電圧モードの設定(第32章 オプション・バイト参照)が必要です。

(2) サブシステム・クロック

• XT1発振回路

XT1端子、XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック($f_{EXS} = 32.768$ kHz)を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

(3) 低速オンチップ・オシレータ・クロック(低速OCO)

$f_{IL} = 15$ kHz (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ウォッチドッグ・タイマ
- リアルタイム・クロック
- 12ビット・インターバル・タイマ
- タイマRJ

オプション・バイト(000C0H)のビット4(WDTON)または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか、または両方が1のときに動作します。

ただし、WDTON = 1、WUTMMCK0 = 0かつオプション・バイト(000C0H)のビット0(WDSTBYON)が0の場合、HALT命令またはSTOP命令を実行したときに低速オンチップ・オシレータは発振を停止します。

注意 リアルタイム・クロックのカウント・クロックに低速オンチップ・オシレータ・クロック(f_{IL})を選択できるのは、定周期割り込み機能使用時のみです。

備考 f_X : X1クロック発振周波数

f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

f_{IH} : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)^注

f_{EX} : 外部メイン・システム・クロック周波数

f_{XT} : XT1クロック発振周波数

f_{EXS} : 外部サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

注 f_{HOCO} を64 MHzまたは48 MHzに設定した場合は f_{HOCO} の2分周、32 MHz以下に設定した場合は f_{HOCO} と同一のクロック周波数となるようにハードウェアで制御されます。タイマRD、タイマRXに64 MHz/48 MHzを供給する場合は、 f_{CLK} を f_{IH} に設定してください。

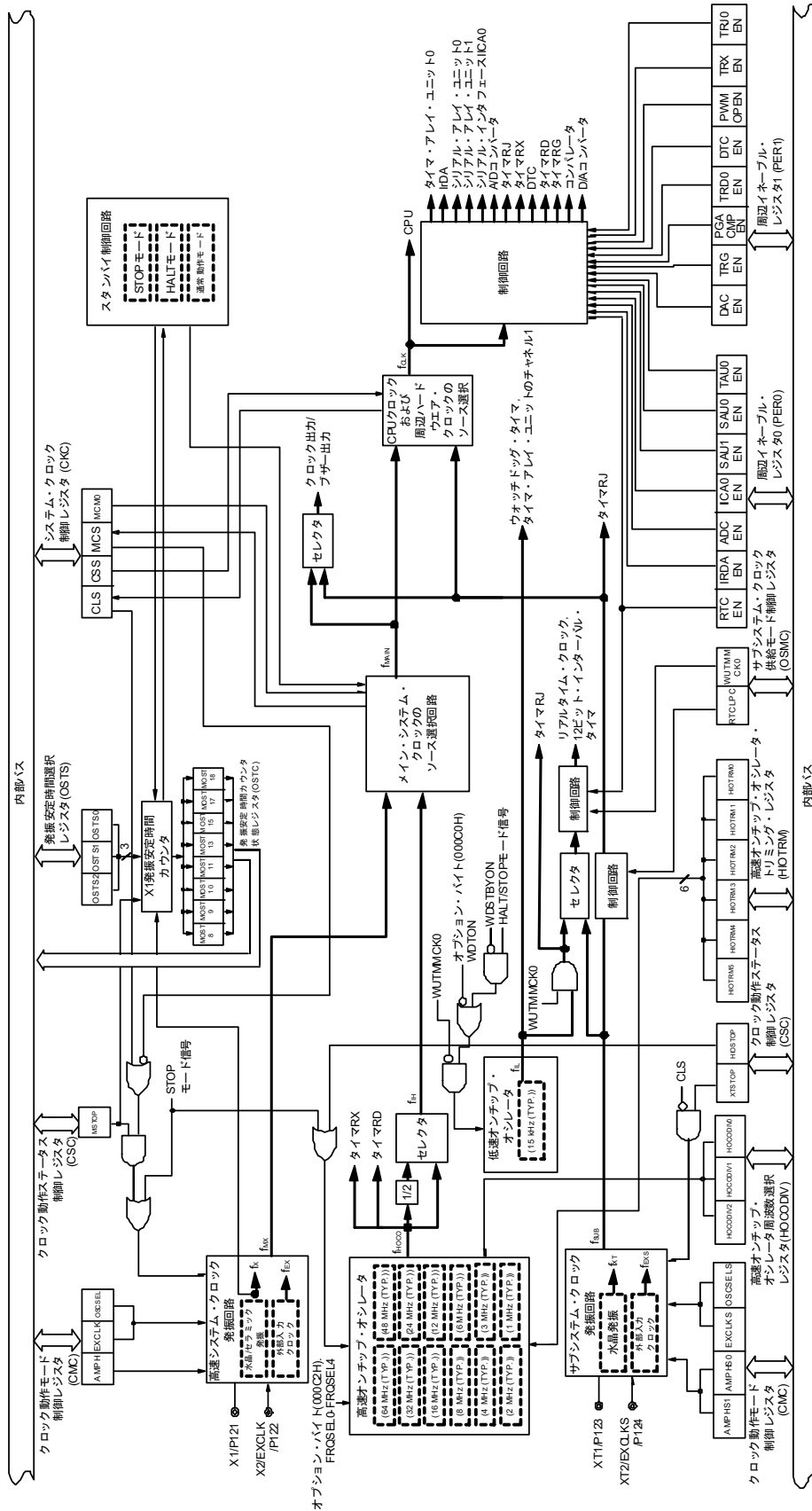
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1 (PER0, PER1) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考	f _X :	X1クロック発振周波数
	f _{HOCO} :	高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
	f _{IH} :	高速オンチップ・オシレータ・クロック周波数(最大32 MHz) ^注
	f _{EX} :	外部メイン・システム・クロック周波数
	f _{MX} :	高速システム・クロック周波数
	f _{MAIN} :	メイン・システム・クロック周波数
	f _{XT} :	XT1クロック発振周波数
	f _{EXS} :	外部サブシステム・クロック周波数
	f _{SUB} :	サブシステム・クロック周波数
	f _{CLK} :	CPU/周辺ハードウェア・クロック周波数
	f _{IL} :	低速オンチップ・オシレータ・クロック周波数

注 f_{HOCO}を64 MHzまたは48 MHzに設定した場合はf_{HOCO}の2分周, 32 MHz以下に設定した場合はf_{HOCO}と同一のクロック周波数となるようにハードウェアで制御されます。タイマRD, タイマRXに64 MHz/48 MHzを供給する場合は, f_{CLK}をf_{IH}に設定してください。

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ (CMC)のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH
	EXCLK	OSCSEL	高速システム・クロック端子の動作モード		X1/P121端子		X2/EXCLK/P122端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	X1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート		外部クロック入力	
	EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード		XT1/P123端子		XT2/EXCLKS/P124端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	XT1発振モード		水晶振動子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート		外部クロック入力	
	AMPHS1	AMPHS0	XT1発振回路の発振モード選択					
	0	0	低消費発振(デフォルト)					
	0	1	通常発振					
	1	0	超低消費発振					
	1	1	設定禁止					
	AMPH	X1クロック発振周波数の制御						
	0	$1\text{ MHz} \leq f_x \leq 10\text{ MHz}$						
	1	$10\text{ MHz} < f_x \leq 20\text{ MHz}$						

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXやfSUBに切り替える前の状態)で設定してください。

注意5. fXTの発振安定時間は、ソフトウェアでカウントしてください。

注意6. システム・クロックの周波数上限は32 MHzですが、X1発振回路の周波数上限は20 MHzになります。

(注意、備考は次ページに続きます。)

注意7. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振 (AMPHS1, AMPHS0 = 1, 0) で使用する場合は、発振子を十分に評価してからご使用ください。
- XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- 回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
- XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

備考 fx : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ(CKC)のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS ^{注2}	CPU/周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	高速オンチップ・オシレータ・クロック (fIH)							
1	高速システム・クロック (fMX)							
MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							

注1. ビット7, 5は、Read Onlyです。

注2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

備考 fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
 fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)^注
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数
 fSUB : サブシステム・クロック周波数

注 fHOCOを64 MHzまたは48 MHzに設定した場合はfHOCOの2分周、32 MHz以下に設定した場合はfHOCOと同一のクロック周波数となるようにハードウェアで制御されます。タイマRD、タイマRXに64 MHz/48 MHzを供給する場合は、fCLKをfIHに設定してください。

(注意は次ページにあります。)

- 注意1. ビット0-3には、必ず0を設定してください。
- 注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・クロック、12ビット・インターバル・タイマ、クロック出力/ブザー出力、およびウォッチドッグ・タイマは除く)。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第37章 または第38章 電気的特性を参照してください。
- 注意4. タイマRD、タイマRXのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

図5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。

注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注意4. XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意5. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。

注意6. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作(CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作(CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次の場合に、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したとき

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時(EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

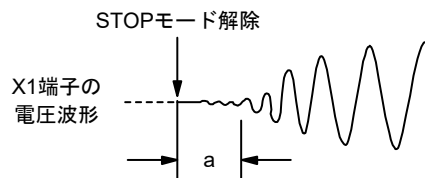
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次の場合には、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したいとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したいとき
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ (OSTS)のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s
0	0	1	$2^9/fx$	51.2 μ s
0	1	0	$2^{10}/fx$	102 μ s
0	1	1	$2^{11}/fx$	204 μ s
1	0	0	$2^{13}/fx$	819 μ s
1	0	1	$2^{15}/fx$	3.27 ms
1	1	0	$2^{17}/fx$	13.1 ms
1	1	1	$2^{18}/fx$	26.2 ms

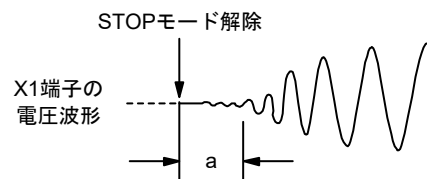
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次の場合には、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したいとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したいとき
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- リアルタイム・クロック, 12ビット・インターバル・タイマ
- IrDA
- A/Dコンバータ
- シリアル・インタフェース IICA0
- シリアル・アレイ・ユニット1
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット0
- D/Aコンバータ
- タイマRG
- PWMオプションユニット
- コンパレータ
- タイマRD
- DTC
- タイマRX
- タイマRJ

PER0, PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ0 (PER0)のフォーマット(1/3)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
	RTCEN	リアルタイム・クロック (RTC), 12ビット・インターバル・タイマの入カクロック供給の制御						
	0	入カクロック供給停止 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマはリセット状態						
	1	入カクロック供給 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可						

図5-8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/3)

アドレス : F00F0H リセット時 : 00H R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	1	<input type="checkbox"/> 0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
	IRDAEN	IrDAの入カクロック供給の制御						
	0	入カクロック供給停止 ・ IrDAで使用するSFRへのライト不可 ・ IrDAはリセット状態						
	1	入カクロック供給 ・ IrDA使用するSFRへのリード/ライト可						
	ADCEN	A/Dコンバータの入カクロック供給の制御						
	0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態						
	1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可						
	IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御						
	0	入カクロック供給停止 ・ シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・ シリアル・インタフェースIICA0はリセット状態						
	1	入カクロック供給 ・ シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可						
	SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御						
	0	入カクロック供給停止 ・ シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・ シリアル・アレイ・ユニット1はリセット状態						
	1	入カクロック供給 ・ シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可						
	SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御						
	0	入カクロック供給停止 ・ シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・ シリアル・アレイ・ユニット0はリセット状態						
	1	入カクロック供給 ・ シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可						

図5-9 周辺イネーブル・レジスタ0 (PER0)のフォーマット(3/3)

アドレス : F00F0H リセット時 : 00H R/W

略号

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

PER0

RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
-------	--------	-------	---------	--------	--------	---	--------

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

図5-10 周辺イネーブル・レジスタ1 (PER1)のフォーマット(1/2)

アドレス : F007AH リセット時 : 00H R/W

略号

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

PER1

DACEN	TRGEN	PGACMPEN	TRD0EN ^{注1}	DTCEN	PWMOPEN	TRXEN ^{注2}	TRJ0EN
-------	-------	----------	----------------------	-------	---------	---------------------	--------

DACEN	D/Aコンバータ0, 1の入カクロック供給の制御
0	入カクロック供給停止 ・ D/Aコンバータ0, 1で使用するSFRへのライト不可 ・ D/Aコンバータ0, 1はリセット状態
1	入カクロック供給 ・ D/Aコンバータ0, 1で使用するSFRへのリード/ライト可

TRGEN	タイマRGの入カクロック供給の制御
0	入カクロック供給停止 ・ タイマRGで使用するSFRへのライト不可 ・ タイマRGはリセット状態
1	入カクロック供給 ・ タイマRGで使用するSFRへのリード/ライト可

PGACMPEN	PGA, コンパレータ0, 1の入カクロック供給の制御
0	入カクロック供給停止 ・ PGA, コンパレータ0, 1で使用するSFRへのライト不可 ・ PGA, コンパレータ0, 1はリセット状態
1	入カクロック供給 ・ PGA, コンパレータ0, 1で使用するSFRへのリード/ライト可

TRD0EN ^{注1}	タイマRDの入カクロック供給の制御
0	入カクロック供給停止 ・ タイマRDで使用するSFRへのライト不可 ・ タイマRDはリセット状態
1	入カクロック供給 ・ タイマRDで使用するSFRへのリード/ライト可

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注2. タイマRXのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット1 (TRXEN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット1 (TRXEN)をクリアしたあとに変更してください。

図5-11 周辺イネーブル・レジスタ1 (PER1)のフォーマット(2/2)

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMPEN	TRD0EN ^{注1}	DTCEN	PWMOPEN	TRXEN ^{注2}	TRJ0EN
DTCEN	DTCの入カクロック供給の制御							
0	入カクロック供給停止 ・ DTCは動作不可							
1	入カクロック供給 ・ DTCは動作可							
PWMOPEN	PWMOPAへの入カクロック供給/停止の制御							
0	入カクロック供給停止 ・ PWMOPAで使用するSFRへのライト不可。 ・ PWMOPAはリセット状態							
1	入カクロック供給 ・ PWMOPAで使用するSFRへのリード/ライト可							
TRXEN ^{注2}	タイマRXの入カクロック供給の制御							
0	入カクロック供給停止 ・ タイマRXで使用するSFRへのライト不可。 ・ タイマRXはリセット状態							
1	入カクロック供給 ・ タイマRXで使用するSFRへのリード/ライト可							
TRJ0EN	タイマRJへの入カクロック供給/停止の制御							
0	入カクロック供給停止 ・ タイマRJで使用するSFRへのライト不可。 ・ タイマRJはリセット状態							
1	入カクロック供給 ・ タイマRJで使用するSFRへのリードライト可							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注2. タイマRXのカウントソースにfHocoを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット1 (TRXEN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット1 (TRXEN)をクリアしたあとに変更してください。

5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック、12ビット・インターバル・タイマの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-12 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0
RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表26-1~表26-3参照)							
1	リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMCK0	リアルタイム・クロック、12ビット・インターバル・タイマ、タイマRJの動作クロックの選択							
0	<ul style="list-style-type: none"> リアルタイム・クロック、12ビット・インターバル・タイマの動作クロックはサブシステム・クロックになります。 タイマRJのカウンタソースに低速オンチップ・オシレータを選択することはできません。 							
1	<ul style="list-style-type: none"> リアルタイム・クロック、12ビット・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJのカウンタソースは低速オンチップ・オシレータ、サブシステム・クロックのいずれかを選択することができます。 							

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL4, FRQSEL3ビットの値によって、選択できる周波数が異なります。HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5-13 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _H = 24 MHz	f _H = 32 MHz	f _H = 24 MHz f _{HOCO} = 48 MHz	f _H = 32 MHz f _{HOCO} = 64 MHz
0	0	1	f _H = 12 MHz	f _H = 16 MHz	f _H = 12 MHz f _{HOCO} = 24 MHz	f _H = 16 MHz f _{HOCO} = 32 MHz
0	1	0	f _H = 6 MHz	f _H = 8 MHz	f _H = 6 MHz f _{HOCO} = 12 MHz	f _H = 8 MHz f _{HOCO} = 16 MHz
0	1	1	f _H = 3 MHz	f _H = 4 MHz	f _H = 3 MHz f _{HOCO} = 6 MHz	f _H = 4 MHz f _{HOCO} = 8 MHz
1	0	0	設定禁止	f _H = 2 MHz	設定禁止	f _H = 2 MHz f _{HOCO} = 4 MHz
1	0	1	設定禁止	f _H = 1 MHz	設定禁止	f _H = 1 MHz f _{HOCO} = 2 MHz
上記以外			設定禁止			

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV (低電圧メイン)モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS (低速メイン)モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS (高速メイン)モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

注意2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック(f_H)をCPU/周辺ハードウェア・クロック(f_{CLK})に選択している状態で行ってください。

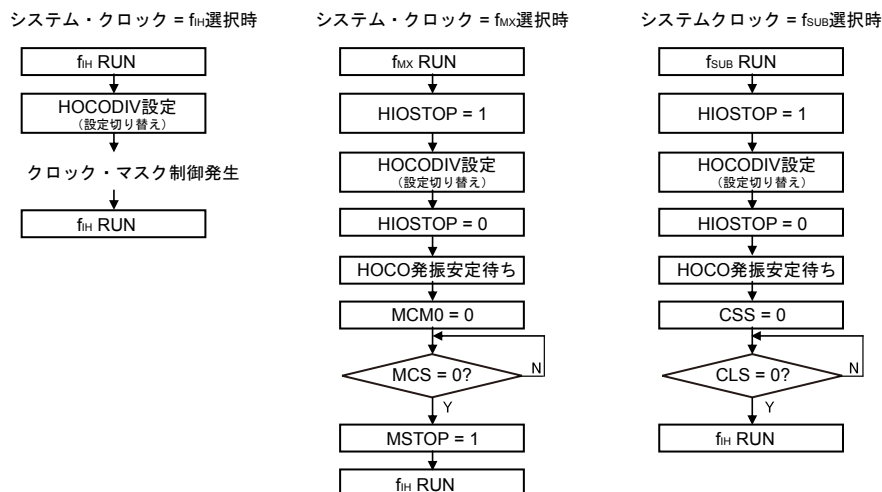
注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- ・変更前の周波数で最大3クロック動作
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウェイト

・HOCODIV 設定フロー

高速オンチップ・オシレータの周波数変更フローは、システム・クロック選択により、次の3つのフローのいずれかになります。

図5 - 14 HOCODIV 設定フロー



注意1. HOCODIV レジスタで周波数を変更後、次の遷移時間を経過して周波数が切り替わります。

- ・変更後の周波数で最大3クロック後
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロック・ウェイト

注意2. HOCODIV レジスタの設定は、周波数の変更前、変更後ともにオプションバイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

注意3. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック (FIH) を CPU/周辺ハードウェア・クロック (fCLK) に選択している状態で行うことを推奨します。

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。

温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-15 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0
	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ	
	0	0	0	0	0	0	最低速	
	0	0	0	0	0	1	↑ ↓	
	0	0	0	0	1	0		
	0	0	0	0	1	1		
	0	0	0	1	0	0		
	.							
	1	1	1	1	1	0		
	1	1	1	1	1	1	最高速	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

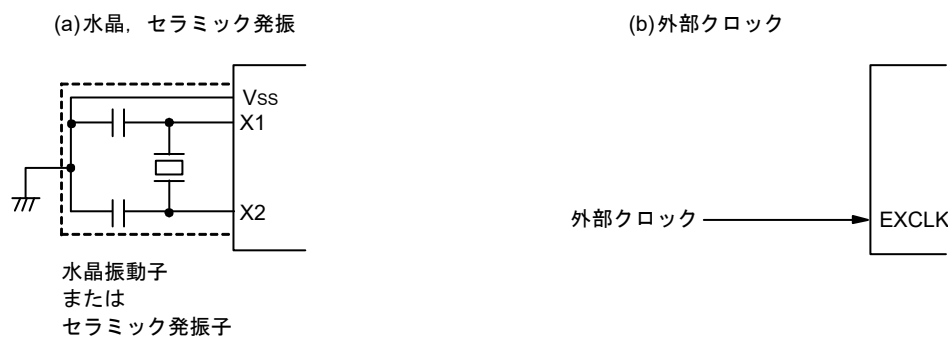
- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-16にX1発振回路の外付け回路例を示します。

図5-16 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(32.768 kHz (TYP.))によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット4 (OSCSELS)に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット5, 4 (EXCLKS, OSCSELS)を次のように設定してください。

- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード(EXCLKS, OSCSELS = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-17にXT1発振回路の外付け回路例を示します。

図5 - 17 XT1発振回路の外付け回路例



注意 XT1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 16, 図5 - 17の破線の部分を次のように配線してください。

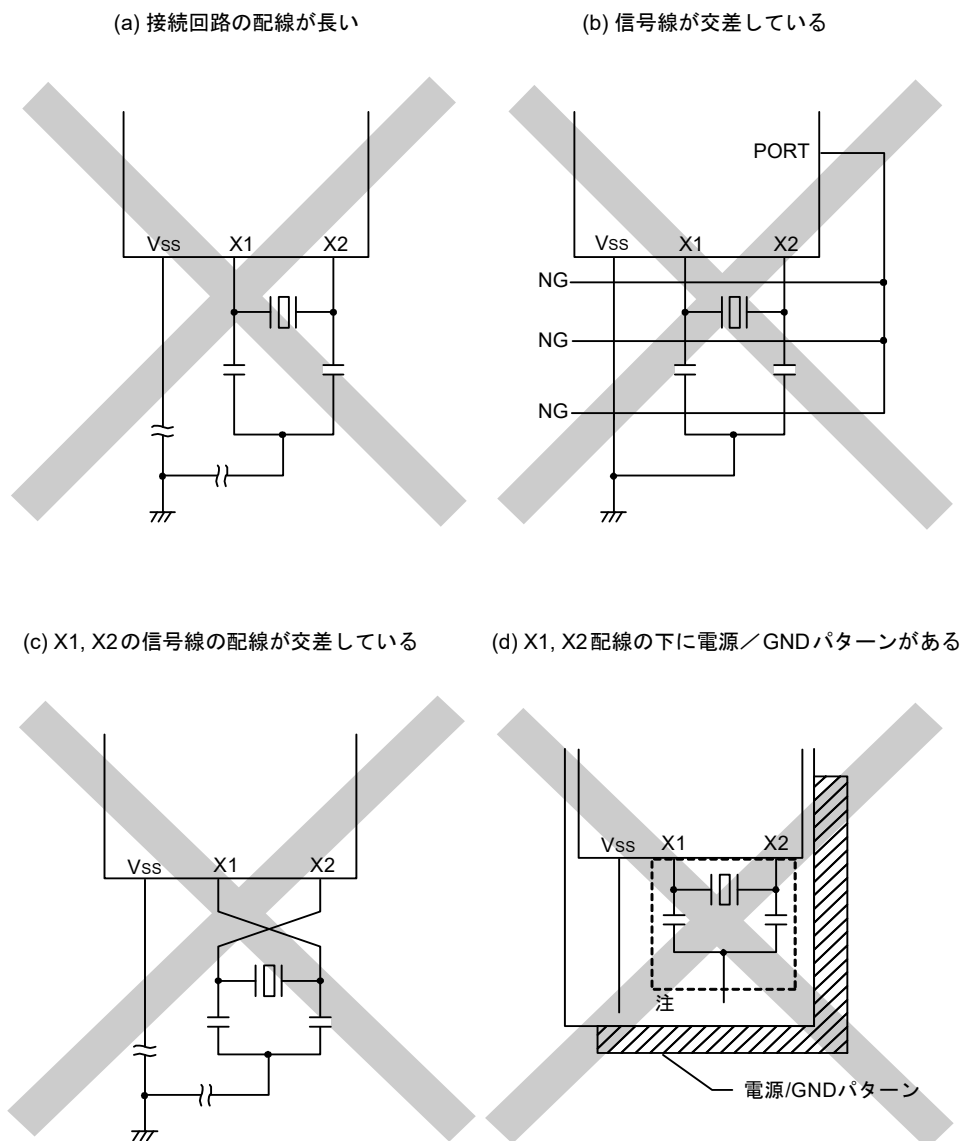
- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振 (AMPHS1, AMPHS0 = 1, 0) で使用する場合は発振子を十分に評価してからご使用ください。
- XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- 回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグラウンド・パターンを配置してください。
- XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

図5 - 18に発振子の接続の悪い例を示します。

図5 - 18 発振子の接続の悪い例(1/2)



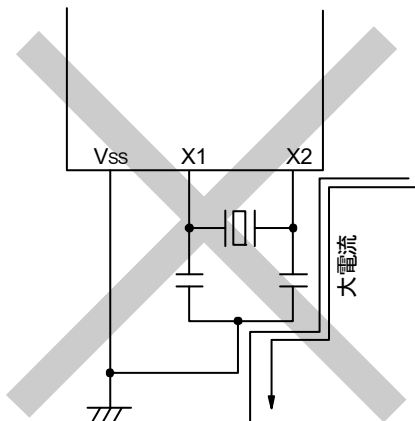
注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

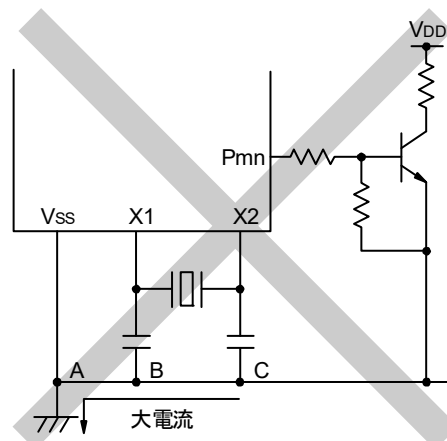
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-19 発振子の接続の悪い例(2/2)

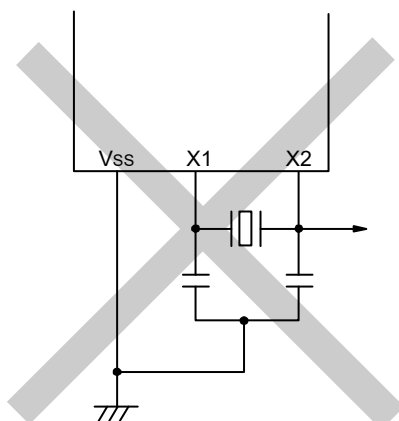
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、X2側に直列に抵抗を挿入してください。

5.4.3 高速オンチップ・オシレータ

RL78/G1Fは、高速オンチップ・オシレータを内蔵しています。オプションバイト (000C2H)により 64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。64 MHz, 48 MHzを選択した場合は、CPUクロックは2分周された周波数になります。クロック動作ステータス制御レジスタ (CSC)のビット0 (HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4 低速オンチップ・オシレータ

RL78/G1Fは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ、リアルタイム・クロック、12ビット・インターバル・タイマ、タイマRJのクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト (000C0H)のビット4 (WDTON)または、サブシステム・クロック供給モード制御レジスタ (OSMC)のビット4 (WUTMMCK0)のどちらか、または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時で、WUTMMCK0 = 0以外では、低速オンチップ・オシレータの発振は続きます。ただし、ウォッチドッグ・タイマ動作時でWUTMMCK0 = 0の場合のみ、WDSTBYON = 0かつHALTおよびSTOP、SNOOZEモードの状態では低速オンチップ・オシレータの発振が停止します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速オンチップ・オシレータ・クロックが停止することはありません。

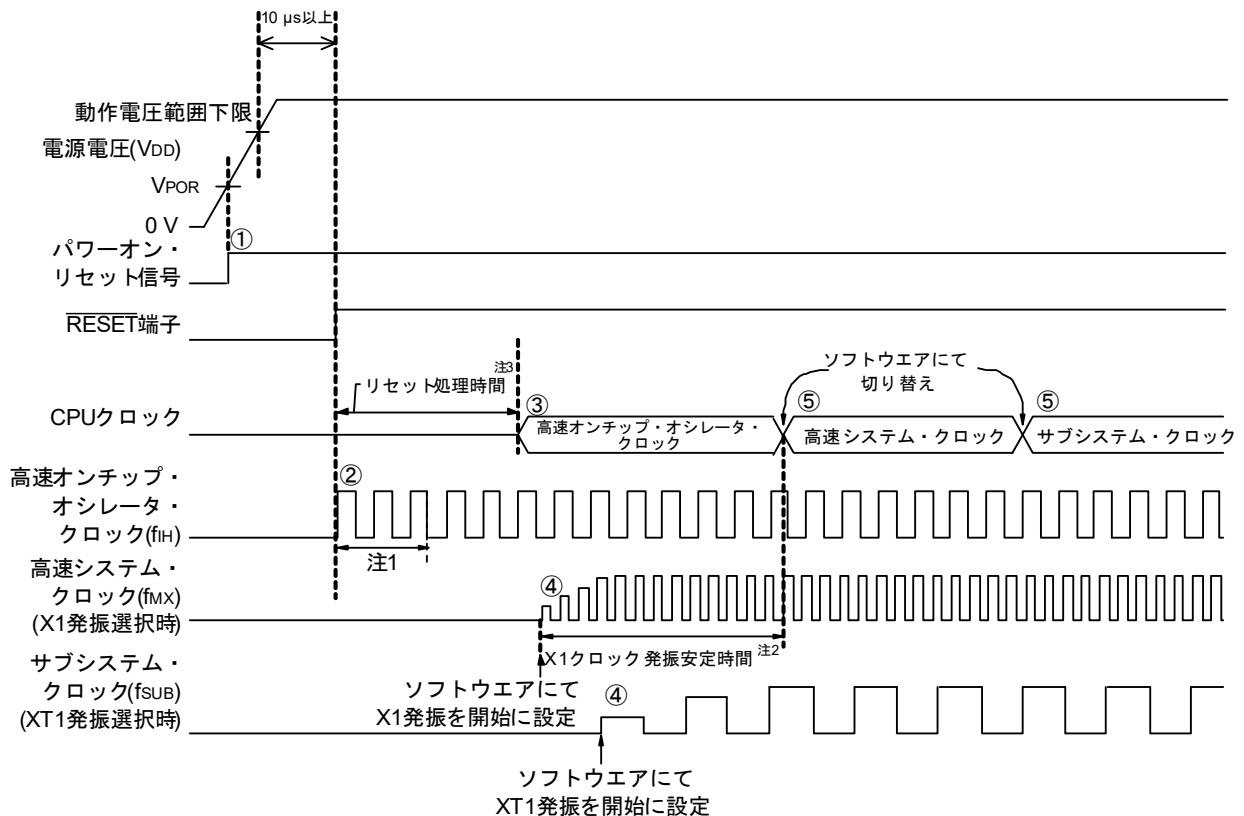
5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図5-1を参照)。

- メイン・システム・クロック fMAIN
 - ・高速システム・クロック fMX
 - X1クロック fx
 - 外部メイン・システム・クロック fEX
 - ・高速オンチップ・オシレータ・クロック fiH
- サブシステム・クロック fSUB
 - ・XT1クロック fXT
 - ・外部サブシステム・クロック fEXS
- 低速オンチップ・オシレータ・クロック fiL
- CPU/周辺ハードウェア・クロック fCLK

RL78/G1Fでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5-20に示します。

図5-20 電源電圧投入時のクロック発生回路の動作



① 電源投入後、パワーオン・リセット (POR) 回路による内部リセット信号が発生します。

ただし、37.4 または 38.4 AC 特性に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます (上図は、外部リセット使用時の例)。

② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作開始します。

④ X1 クロックまたは XT1 クロックは、ソフトウェアにて発振開始を設定してください (5.6.2 X1 発振回路の設定例, 5.6.3 XT1 発振回路の設定例を参照)。

⑤ CPU を X1 クロックまたは XT1 クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.2 X1 発振回路の設定例, 5.6.3 XT1 発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

注3. リセット処理時間は、第28章 パワーオン・リセット回路を参照してください。

注意 EXCLK 端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL4 により、64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 0002CH

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV (低電圧メイン)モード	V _{DD} = 1.6 V ~ 5.5 V @ 1 MHz ~ 4 MHz
1	0	LS (低速メイン)モード	V _{DD} = 1.8 V ~ 5.5 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン)モード	V _{DD} = 2.4 V ~ 5.5 V @ 1 MHz ~ 16 MHz V _{DD} = 2.7 V ~ 5.5 V @ 1 MHz ~ 32 MHz
上記以外		設定禁止	

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					f _{HOCO}	f _{IH}
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _H = 24 MHz	f _H = 32 MHz	f _H = 24 MHz f _{HOCO} = 48 MHz	f _H = 32 MHz f _{HOCO} = 64 MHz
0	0	1	f _H = 12 MHz	f _H = 16 MHz	f _H = 12 MHz f _{HOCO} = 24 MHz	f _H = 16 MHz f _{HOCO} = 32 MHz
0	1	0	f _H = 6 MHz	f _H = 8 MHz	f _H = 6 MHz f _{HOCO} = 12 MHz	f _H = 8 MHz f _{HOCO} = 16 MHz
0	1	1	f _H = 3 MHz	f _H = 4 MHz	f _H = 3 MHz f _{HOCO} = 6 MHz	f _H = 4 MHz f _{HOCO} = 8 MHz
1	0	0	設定禁止	f _H = 2 MHz	設定禁止	f _H = 2 MHz f _{HOCO} = 4 MHz
1	0	1	設定禁止	f _H = 1 MHz	設定禁止	f _H = 1 MHz f _{HOCO} = 2 MHz
上記以外			設定禁止			

5.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをfCLKに設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット(1)、 $f_x > 10$ MHz以上の場合はAMPHビットをセット(1)してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例) 10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア(0)してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

5.6.3 XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時にリアルタイム・クロック、12ビット・インターバル・タイマのみサブシステム・クロックで動作 (超低消費電流) させる場合は RTCLPC ビットを 1 に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

- ② CMC レジスタの OSCSELS ビットをセット (1) して XT1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1 ビット : XT1 発振回路の発振モードを設定します。

- ③ CSC レジスタの XTSTOP ビットをクリア (0) して XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウエイトしてください。

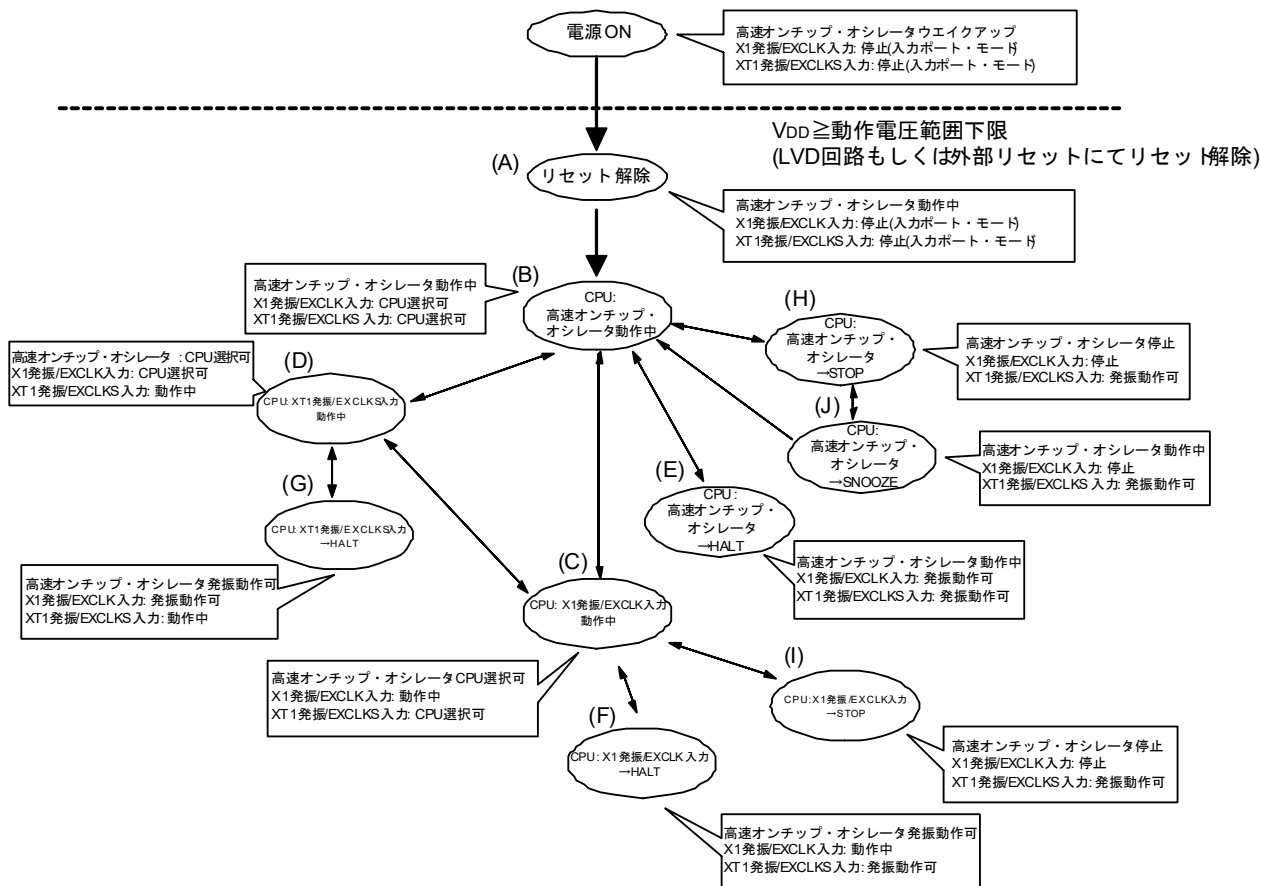
- ⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

5.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-21に示します。

図5-21 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3～表5-7に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例(1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第37章 または第38章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注				CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D)(XT1クロック)	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D)(外部サブ・クロック)	1	1	×	×	0	必要	1

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : Don't care

備考2. 表5-3～表5-7の(A)～(J)は、図5-21の(A)～(J)と対応しています。

表5-4 CPUクロックの移行とSFRレジスタの設定例(2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ注1			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
	EXCLK	OSCSEL	AMPH	EXCLK	OSCSEL	AMPH				
(B) → (C) (XT1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0				注2	0	確認必要	1
(B) → (C) (XT1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1				注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×				注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第37章 または第38章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作(B)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ注			CSC レジスタ XTSTOP	発振安定 待ち	CKC レジスタ CSS
	EXCLKS	OSCSELS	AMPHS1,0	EXCLKS	OSCSELS	AMPHS1,0			
(B) → (D) (XT1クロック)	0	1	00 : 低消費発振 01 : 通常発振 10 : 超低消費発振				0	必要	1
(B) → (D) (外部サブ・クロック)	1	1	×				0	必要	1

設定済みの場合は不要
 サブシステム・クロック動作中の場合は不要

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

備考1. × : Don't care

備考2. 表5-3~表5-7の(A)-(J)は、図5-21の(A)-(J)と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例(3/5)

(6) CPUを高速システム・クロック動作(C)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) → (B)		0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μ s ~ 65 μ s
FRQSEL4 = 1の場合 : 18 μ s ~ 135 μ s

備考 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作(C)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) → (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作(D)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D) → (B)		0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μ s ~ 65 μ s
FRQSEL4 = 1の場合 : 18 μ s ~ 135 μ s

備考1. 表5-3~表5-7の(A)-(J)は、図5-21の(A)-(J)と対応しています。

備考2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-6 CPUクロックの移行とSFRレジスタの設定例(4/5)

(9) CPUをサブシステム・クロック動作(D)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	OSTSレジスタ	CSCレジスタ MSTOP	OSTCレジスタ	CKCレジスタ CSS
	(D) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)		注	0	確認必要
(D) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)		注	0	確認必要	0
(D) → (C)(外部メイン・クロック)		注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。
 ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第37章 または第38章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(10) CPUが高速オンチップ・オシレータ・クロック動作中(B)にHALTモード(E)へ移行

- ・CPUが高速システム・クロック動作中(C)にHALTモード(F)へ移行
- ・CPUがサブシステム・クロック動作中(D)にHALTモード(G)へ移行

状態遷移	設定内容
(B) → (E)	HALT命令を実行する
(C) → (F)	
(D) → (G)	

備考 表5-3～表5-7の(A)～(J)は、図5-21の(A)～(J)と対応しています。

表5-7 CPUクロックの移行とSFRレジスタの設定例(5/5)

- (11) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード(H)へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード(I)へ移行

(設定順序) $\xrightarrow{\hspace{10em}}$

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作でき	—	STOP命令を実行する
(C) → (I)	X1発振	ない周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (12) STOPモード (H) からSNOOZEモード(J)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、15.8 SNOOZEモード機能、19.5.7 SNOOZEモード機能、19.7.3 SNOOZEモード機能を参照してください。

備考 表5-3～表5-7の(A)～(J)は、図5-21の(A)～(J)と対応しています。

5.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-8 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止(HIOSTOP = 1)すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部メイン・システム・クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
	X1クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)

表5-9 CPUクロックの移行について(2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	外部サブシステム・クロック	移行不可	
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0	外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1クロック	移行不可	

5.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4, 6 (MCM0, CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック), メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック→高速システム・クロック) をすることができます。

実際の切り替え動作は, CKCレジスタを書き換えた直後ではなく, CKCレジスタを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-10~表5-12参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCレジスタのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速オンチップ・オシレータ・クロックで動作しているかは, CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5-10 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
f _{IH}	↔	f _{MX}	表5-11参照
f _{MAIN}	↔	f _{SUB}	表5-12参照

表5-11 f_{IH}⇄f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2 f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2 f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

表5-12 f_{MAIN}⇄f_{SUB}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})			1 + 2 f _{MAIN} /f _{SUB} クロック
1 (f _{CLK} = f _{SUB})		3クロック	

備考1. 表5-11, 表5-12のクロック数は, 切り替え前のCPUクロックのクロック数です。

備考2. 表5-11, 表5-12のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz 発振時)
 $2 f_{MX}/f_{IH} = 2 (10/8) = 2.5 \rightarrow 3$ クロック

5.6.7 クロック発振停止前の条件

クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件を次に示します。
クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5 - 13 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
XT1クロック		
外部サブシステム・クロック		

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)を示します。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5 - 22 外付け回路例



(1) X1発振

2015年3月現在

メーカー	発振子	品名	SMD/ リード	周波数 (MHz)	フラッシュ 動作モード注1	発振回路定数(参考)			電圧範囲(V)	
						C3 (pF)	C4 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 注2	セラミック 発振子	CSTCC2M00G56-R0	SMD	2.0	LV	(47)	(47)	0	1.6	5.5
		CSTCR4M00G55-R0	SMD			(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSACN4M00G530000R0	SMD	4.0		15	15	0		
		CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード	4.0		(15)	(15)	0		
		CSACN4M00G530000R0	SMD	4.0		15	15	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード	8.0		(15)	(15)	0		
		CSTCC2M00G56-R0	SMD	2.0		(47)	(47)	0		
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード	4.0		(15)	(15)	0		
		CSACN4M00G530000R0	SMD	4.0		15	15	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード	8.0		(15)	(15)	0		
		CSACM8M00G530005R0	SMD	8.0		10	10	0		
		CSTCE10M0G52-R0	SMD	10.0		(15)	(15)	0		
		CSTLS10M0G53-B0	リード	10.0		(15)	(15)	0		
		CSACM10M0G530005R0	SMD	10.0		10	10	0		
CSTCE12M0G52-R0	SMD	12.0	(10)	(10)		0				
CSACM12M0G530005R0	SMD	12.0	10	10		0				
CSTCE16M0V53-R0	SMD	16.0	(15)	(15)		0				
CSTLS16M0X51-B0	リード	16.0	(5)	(5)		0				
CSTCE20M0V51-R0	SMD	20.0	(5)	(5)	0					
CSTLS20M0X51-B0	リード	20.0	(5)	(5)	0					
京セラ クリスタル デバイス 株式会社 注3	水晶振動子	CX8045GB04000D0PPS01	SMD	4.0	LV	10	10	0	1.6	5.5
		CX8045GB04000D0PPS01	SMD	4.0	LS	10	10	0	1.8	5.5
		CX8045GB08000D0PPS01	SMD	8.0		4	4	0		
		CX8045GB04000D0PPS01	SMD	4.0	HS	12	12	0	2.4	5.5
		CX8045GB08000D0PPS01	SMD	8.0		10	10	0		
		CX3225CA10000D0PPSC1	SMD	10.0		8	8	0		
		CX2016DB16000D0PPSC1	SMD	16.0		6	6	0		
		CX2016DB20000D0PPSC1	SMD	20.0	6	6	0	2.7	5.5	

注1. フラッシュ動作モードは、オプション・バイト(000C2H)のCMODE1, CMODE0ビットで設定します。

注2. この振動子を使用する場合、マッチングの詳細については、株式会社村田製作所(<http://www.murata.co.jp>)にお問い合わせください。

また、105℃対応の製品は品名が異なります。詳細は、株式会社村田製作所へお問い合わせください。

注3. この振動子を使用する場合、マッチングの詳細については、京セラクリスタルデバイス株式会社(<http://www.kyoceracrystal.jp>, <http://www.kyocera.co.jp>)にお問い合わせください。

備考1. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~32 MHz

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~16 MHz

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~8 MHz

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~4 MHz

備考2. 最新の動作確認済みの発振子と, その発振回路定数(参考)は当社Webページ(<http://www.renesas.com>)の対象製品ページに掲載しております。

第6章 タイマ・アレイ・ユニット

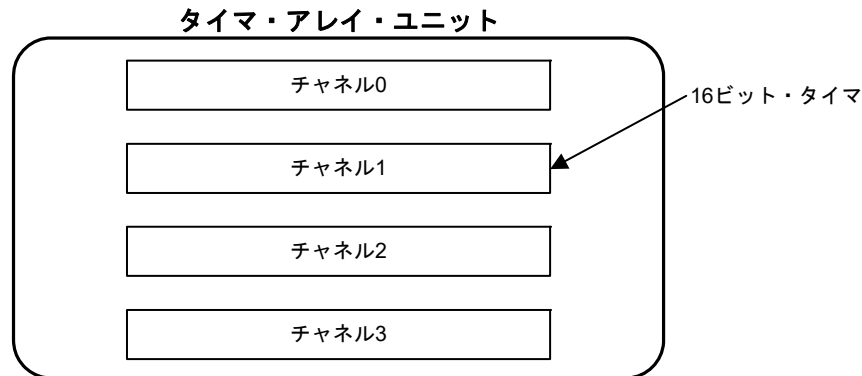
タイマ・アレイ・ユニットは1ユニット、4チャンネル搭載しています。

注意1. タイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

注意2. この章では、以降の主な説明を64ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ(→6.8.1参照) • 方形波出力(→6.8.1参照) • 外部イベント・カウンタ(→6.8.2参照) • 分周器^注(→6.8.3参照) • 入力パルス間隔測定(→6.8.4参照) • 入力信号のハイ/ロウ・レベル幅測定(→6.8.5参照) • デイレイ・カウンタ(→6.8.6参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力(→6.9.1参照) • PWM出力(→6.9.2参照) • 多重PWM出力(→6.9.3参照)

注 ユニット0のチャンネル0のみ

ユニット0のチャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ(上位/下位8ビット・タイマ)/方形波出力(下位8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- デイレイ・カウンタ(下位8ビット・タイマのみ)

また、ユニット0のチャンネル3は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

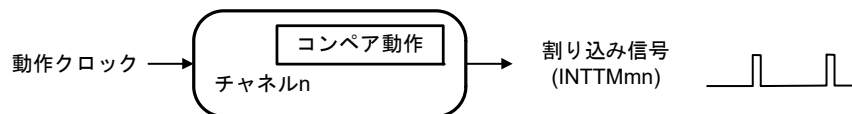
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

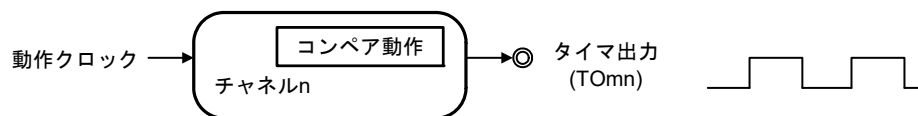
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



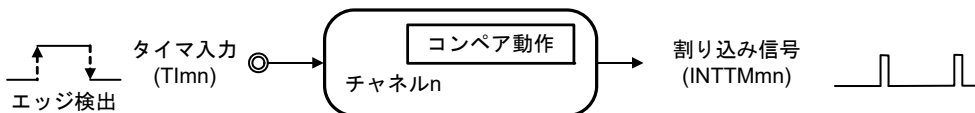
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50% の方形波をタイマ出力端子 (TOmn) より出力します。



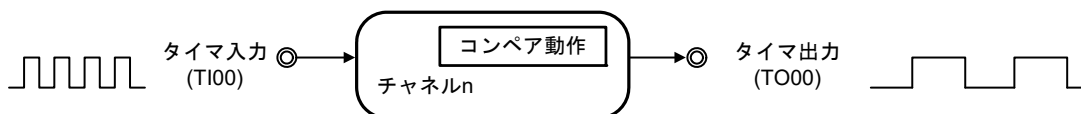
(3) 外部イベント・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



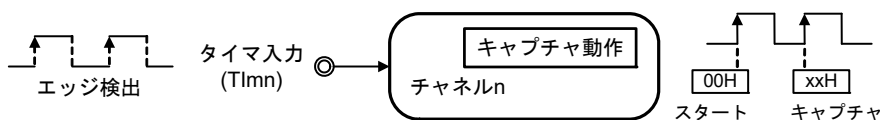
(4) 分周器機能(ユニット0のチャンネル0のみ)

タイマ入力端子 (TI00) から入力されたクロックを分周して出力端子 (TO00) より出力します。



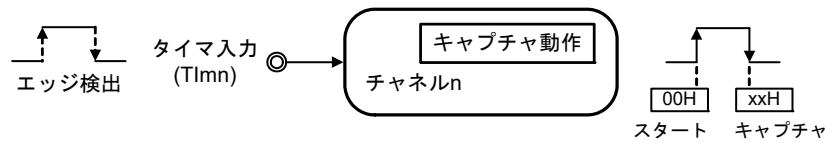
(5) 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



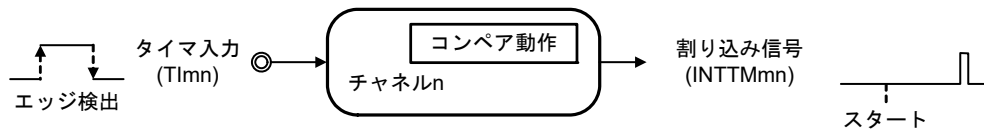
(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子(Tl_{mn})に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) デイレイ・カウンタ

タイマ入力端子(Tl_{mn})に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

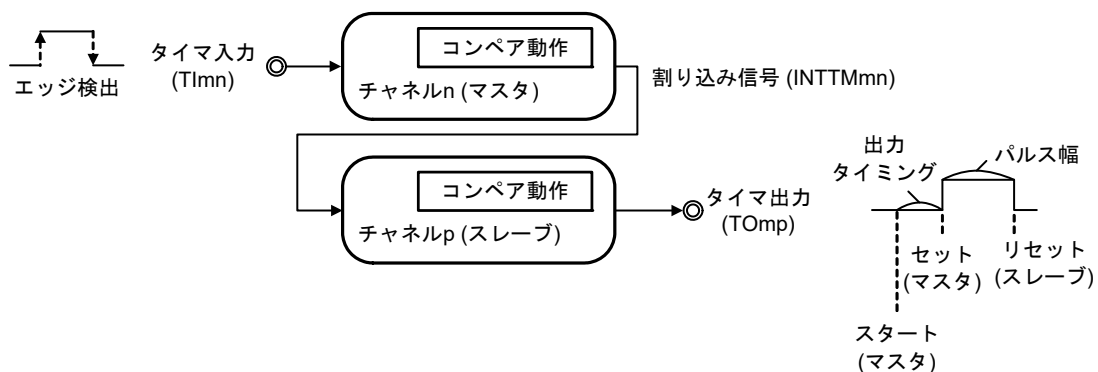
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

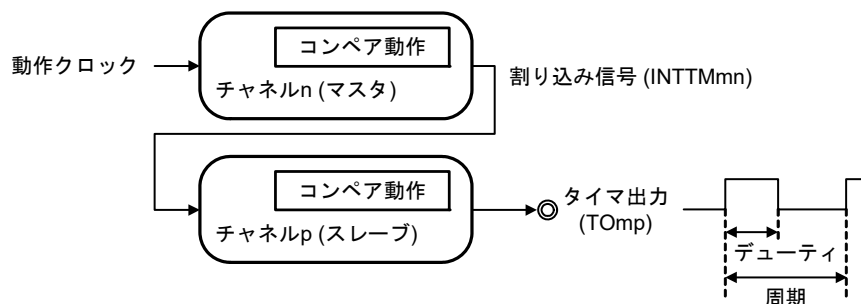
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



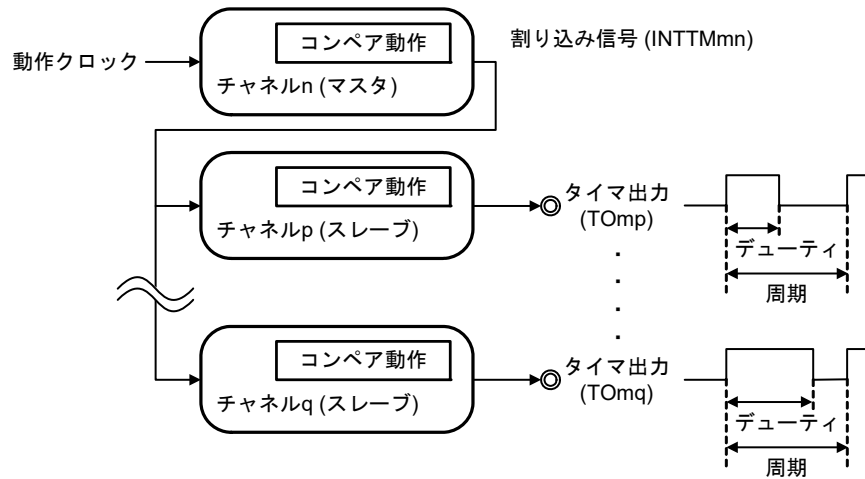
(2) PWM (Pulse Width Modulation)出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation)出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3),
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 3)

6.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

6.1.4 LIN-bus 対応機能(ユニット0のチャンネル3のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus 対応機能の動作設定については、6.3.13 入力切り替え制御レジスタ (ISC)、6.8.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI03注1, RxD0端子(LIN-bus用)
タイマ出力	TO00-TO03注1, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・タイマ・クロック選択レジスタ m (TPSm) ・タイマ・チャンネル許可ステータス・レジスタ m (TEm) ・タイマ・チャンネル開始レジスタ m (TSm) ・タイマ・チャンネル停止レジスタ m (TTm) ・タイマ入出力選択レジスタ 0 (TIOS0) ・タイマ出力許可レジスタ m (TOEm) ・タイマ出力レジスタ m (TOm) ・タイマ出力レベル・レジスタ m (TOLm) ・タイマ出力モード・レジスタ m (TOMm) <hr/> <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ mn (TMRmn) ・タイマ・ステータス・レジスタ mn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 1 (NFEN1) ・ポート・モード・コントロール・レジスタ (PMCxx)注2 ・ポート・モード・レジスタ (PMxx)注2 ・ポート・レジスタ (Pxx)注2

注1. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

注2. 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx), ポート・モード・レジスタ (PMxx)とポート・レジスタ (Pxx)が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

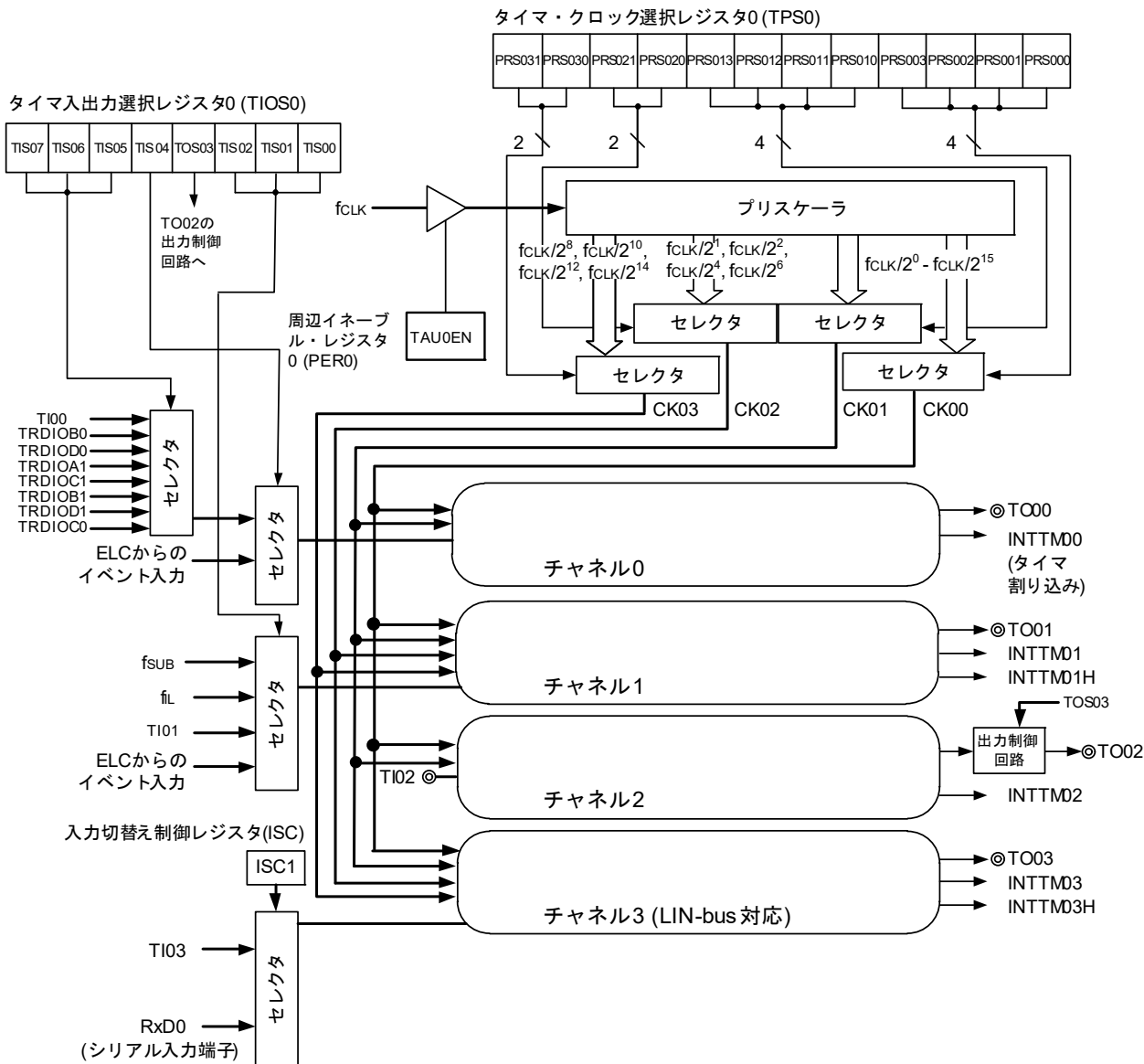
表6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・ チャンネル		各製品の入出力端子の有無	
		32, 36, 48, 64ピン	24ピン
ユニット0	チャンネル0	TI00, TO00	TI00, TO00
	チャンネル1	TI01/TO01	—
	チャンネル2	TI02/TO02	—
	チャンネル3	TI03/TO03	TI03/TO03

備考1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

図6-1～図6-5にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニット0の全体ブロック図



備考 fsUB : サブシステム・クロック周波数
 fIL : 低速オンチップ・オシレータ・クロック周波数

図6-4 タイマ・アレイ・ユニット0のチャンネル2内部ブロック図

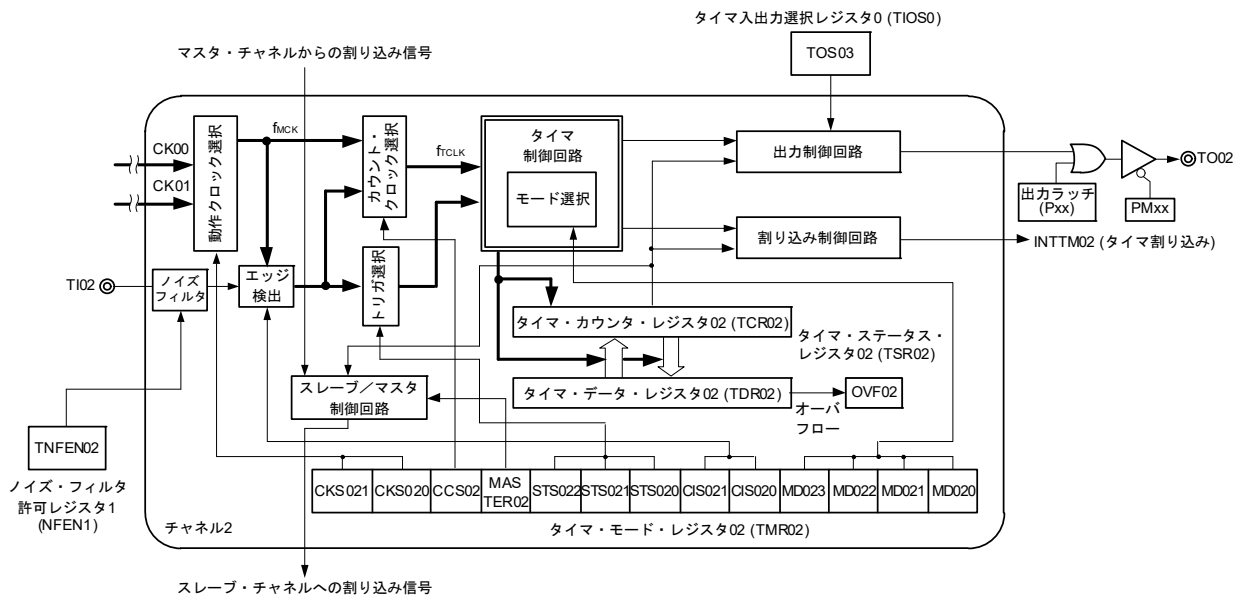
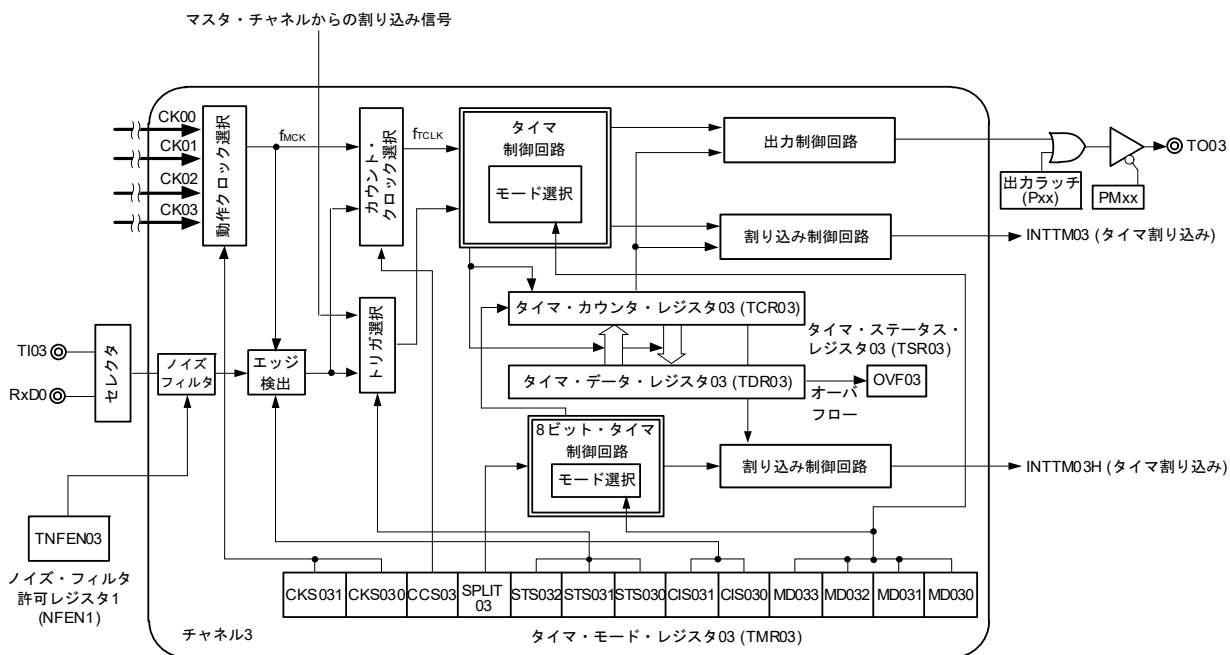


図6-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図



6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

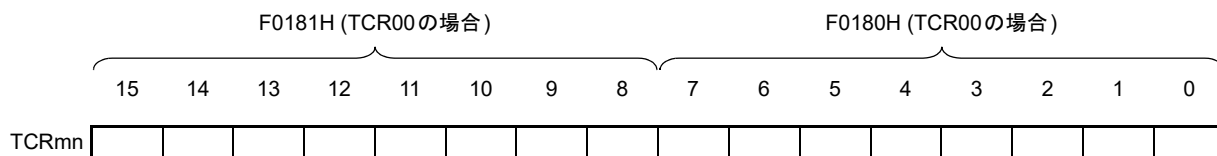
TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(6.3.3 タイマ・モード・レジスタ mn (TMRmn)参照)。

図6-6 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット

アドレス : F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03) リセット時 : FFFFH R



備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

タイマ・カウンタ・レジスタ mn (TCRmn) をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

注 チャンネル n がタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値が TCRmn レジスタに保持されます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-7 タイマ・データ・レジスタ mn (TDRmn)(n = 0, 2)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02) リセット時 : 0000H R/W

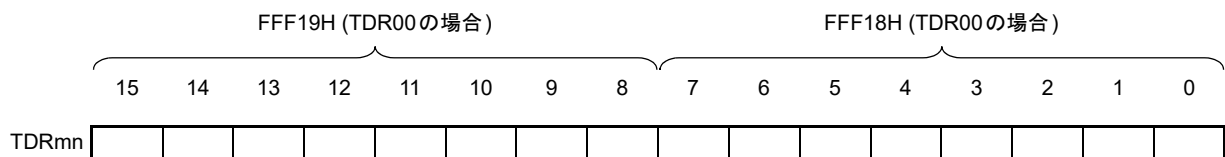
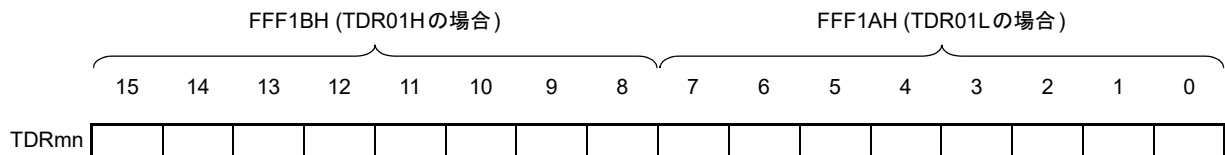


図6-8 タイマ・データ・レジスタ mn (TDRmn)(n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用する場合

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号(INTTMmn)を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用する場合

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ入出力選択レジスタ0 (TIOS0)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6-9 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意 タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN = 1 の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0 の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます(タイマ入出力選択レジスタ0 (TIOS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・コントロール・レジスタ0, 1, 2, 12, 14 (PMC0, PMC1, PMC2, PMC12, PMC14), ポート・モード・レジスタ0, 1, 3, 6 (PM0, PM1, PM3, PM6), ポート・レジスタ0, 1, 3, 6 (P0, P1, P3, P6)は除く)。

- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm0を選択(CKSmn1, CKSmn0 = 0, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm2を選択(CKSmn1, CKSmn0 = 0, 1)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択(CKSmn1, CKSmn0 = 1, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択(CKSmn1, CKSmn0 = 1, 1)しているチャンネルがすべて停止状態(TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図6-10 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H (TPS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk)の選択注(k = 0, 1)					
				fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	0	0	fCLK	2 MHz	4 MHz	8 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2 MHz	4 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1 MHz	2 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	500 kHz	1 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	125 kHz	250 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	31.3 kHz	62.5 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	7.81 kHz	15.6 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	19.5 kHz	31.25 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	1.95 kHz	3.91 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	977 Hz	1.95 kHz	4.88 kHz	7.81 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	488 Hz	977 Hz	2.44 kHz	3.91 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	244 Hz	488 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	122 Hz	244 Hz	610 Hz	977 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック (fMCK), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk)にfCLK (分周なし)を選択し、TDRnm = 0000H (n = 0, 1, m = 0-3)を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります (m = 1-15)。詳しくは、6.5.1 カウント・クロック (fCLK)を参照してください。

図6-11 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H (TPS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2)の選択注					
		fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	fCLK/2	1 MHz	2 MHz	4 MHz	10 MHz	16 MHz
0	1	fCLK/2 ²	500 kHz	1 MHz	2 MHz	5 MHz	8 MHz
1	0	fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1.25 MHz	2 MHz
1	1	fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	313 kHz	500 kHz

PRS m31	PRS m30	動作クロック (CKm3)の選択注					
		fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	78.1 kHz	125 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	19.5 kHz	31.3 kHz
1	0	fCLK/2 ¹²	488 Hz	977 kHz	1.95 kHz	4.88 kHz	7.81 kHz
1	1	fCLK/2 ¹⁴	122 Hz	244 Hz	488 Hz	1.22 kHz	1.95 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック(fmck)、Tlmn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注(fCLK = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの詳細は、6.5.1 カウント・クロック(fCLK)を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK)の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択(チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0)は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2: MASTERmnビット(n = 2)

TMRm1, TMRm3: SPLITmnビット(n = 1, 3)

TMRm0: 0 固定

図6 - 12 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fmck)の選択
0	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm3
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fcLK)を生成します。		
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCSmn	チャンネルnのカウント・クロック (fcLK)の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fmck)
1	TImn端子からの入力信号の有効エッジ チャンネル0では、TIS0で選択した入力信号の有効エッジ チャンネル1では、TIS0で選択した入力信号の有効エッジ チャンネル3では、ISCで選択した入力信号の有効エッジ
カウント・クロック (fcLK)は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック (fcLK)にCKSmn0, CKSmn1ビットで指定した動作クロック (fmck), TImn端子からの入力信号の有効エッジのどれを選択していても、fcLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH)させてください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 13 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2のみマスタ・チャンネル(MASTERmn = 1)に設定できます。 チャンネル0は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します)。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0にします。	

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn 端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn 端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注1. ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

図6 - 14 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	Tlmn 端子の有効エッジ選択注2
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。		

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
- 注2. タイマ・アレイ・ユニット0の場合はタイマ入出力選択レジスタ0 (TIOS0) で選択した入力信号の有効エッジ選択となります。

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

図6-15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/分周器機能/ PWM出力(マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/ PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・ モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります(下表を参照)。					

動作モード(MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ワンカウント・モード注2 (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・キャプチャ&ワンカウント・ モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
- 注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOMn出力は制御しません。
- 注3. 動作中にスタート・トリガ(TSmn = 1)がかかると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードにおけるOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-16 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア(OVF = 0)されます。	

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm)の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6 - 17 タイマ・チャンネル許可ステータス・レジスタ m (TEm)のフォーマット

アドレス : F01B0H, F01B1H (TE0)

リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	0	0	0	0	0	TEm3	TEm2	TEm1	TEm0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	---	------	------	------	------

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示															
0	動作停止状態															
1	動作許可状態															

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示															
0	動作停止状態															
1	動作許可状態															

TEm n	チャンネルnの動作許可／停止状態の表示															
0	動作停止状態															
1	動作許可状態															
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。																

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.3.6 タイマ・チャンネル開始レジスタ m (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタ mn (TCRmn)を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態(TEmn, TEHm1, TEHm3 = 1)になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図6-18 タイマ・チャンネル開始レジスタ m (TSm)のフォーマット

アドレス : F01B2H, F01B3H (TS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSm n	チャンネルnの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。

(注意、備考は次ページにあります。)

注意1. ビット15-12, 10, 8-4には必ず0を設定してください。

注意2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn 端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn 端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSm レジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態(TEmn, TEHm1, TEHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6 - 19 タイマ・チャンネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H (TT0)

リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTm	0	0	0	0	TTH m3	0	TTH m1	0	0	0	0	0	0	0	0	0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	---	---	---	---

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ														
0	トリガ動作しない														
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。														

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ														
0	トリガ動作しない														
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。														

TTm n	チャンネルnの動作停止トリガ														
0	トリガ動作しない														
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 動作停止(停止トリガ発生) チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。														

注意 ビット15-12, 10, 8-4には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)



6.3.8 タイマ入出力選択レジスタ0 (TIOS0)

TIOS0レジスタは、ユニット0のチャンネル0, 1のタイマ入力およびチャンネル2のタイマ出力を選択するレジスタです。TIOS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIOS0レジスタは00Hになります。

図6-20 タイマ入出力選択レジスタ0 (TIOS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIOS0	TIS07	TIS06	TIS05	TIS04	TOS03	TIS02	TIS01	TIS00
TIS07	TIS06	TIS05	チャンネル0で使用するタイマ入力の信号切り替え					
0	0	0	タイマ入力端子(TI00)の入力信号					
0	0	1	PWMOPAを經由しないタイマRD出力信号(TRDIOB0)					
0	1	0	PWMOPAを經由しないタイマRD出力信号(TRDIOD0)					
0	1	1	PWMOPAを經由しないタイマRD出力信号(TRDIOA1)					
1	0	0	PWMOPAを經由しないタイマRD出力信号(TRDIOC1)					
1	0	1	PWMOPAを經由しないタイマRD出力信号(TRDIOB1)					
1	1	0	PWMOPAを經由しないタイマRD出力信号(TRDIOD1)					
1	1	1	PWMOPAを經由しないタイマRD出力信号(TRDIOC0)					
TIS04	チャンネル0で使用するタイマ入力の選択							
0	TIS07-TIS05ビットで指定の入力信号							
1	ELCからのイベント入力信号							
TOS03	P17端子へのTAUチャンネル2出力許可/禁止							
0	出力許可							
1	出力禁止 (Lに固定)							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号 ^{注1}					
0	0	1	ELCからのイベント入力信号					
0	1	0	タイマ入力端子(TI01)の入力信号 ^{注1}					
0	1	1						
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})					
1	0	1	サブシステム・クロック (f _{SUB}) ^{注2}					
上記以外			設定禁止					

注1. 24ピン製品では設定禁止

注2. 24, 32ピン製品では設定禁止

注意1. 24ピン製品のビット3には必ず0を設定してください。

注意2. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、1/f_{MCK} + 10 ns以上必要となります。そのため、f_{CLK}にf_{SUB}を選択時(CKCレジスタのCSS = 1)は、TIS02ビットに1を設定できません。

注意3. タイマ入出力選択レジスタ0 (TIOS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はf_{CLK}を選択してください。

6.3.9 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えてできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図6 - 21 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0)

リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOE m3	TOE m2	TOE m1	TOE m0
------	---	---	---	---	---	---	---	---	---	---	---	---	-----------	-----------	-----------	-----------

TOE mn	チャンネル n のタイマ出力許可／禁止														
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。														
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。														

注意 ビット 15-4 には必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.3.10 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子(TOmn)から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時(TOEmn = 0)のみ可能です。タイマ出力許可時(TOEmn = 1)は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、TI00, TO00, TI01/TO01, TI02/TO02, TI03/TO03, TI10/TO10-TI13/TO13をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6-22 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H (TO0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm3	TOm2	TOm1	TOm0

TOm n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-4には必ず0を設定してください。

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

6.3.11 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6-23 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH (TOL0)

リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOLm	TOLm	TOLm	0
													3	2	1	0

TOLmn	チャンネルnのタイマ出力レベルの制御														
0	正論理出力(アクティブ・ハイ)														
1	反転出力(アクティブ・ロウ)														

注意 ビット15-4, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.3.12 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可(TOEmn = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-24 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH (TOM0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)

注意 ビット15-4, 0には必ず0を設定してください。

備考 m : ユニット番号(m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

n = 0 : p = 1, 2, 3

n = 2 : p = 3

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。)

6.3.13 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル3をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときを使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子(RxD0)の入力信号がタイマ入力として選択されます。

SSIE00ビットの設定については、19.3.15 入力切り替え制御レジスタ (ISC)を参照してください。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図6 - 25 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0の $\overline{\text{SSI00}}$ 入力の設定
0	$\overline{\text{SSI00}}$ 端子入力の無効
1	$\overline{\text{SSI00}}$ 端子入力の有効

ISC1	タイマ・アレイ・ユニット0のチャンネル3の入力切り替え
0	TI03端子の入力信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)

注意 ビット6-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

6.3.14 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、6.5.2 カウンタのスタート・タイミング、6.7 タイマ入力 (TImn) の制御を参照してください。

図6-26 ノイズ・フィルタ許可レジスタ1 (NFEN1)のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN03	TI03端子またはRxD0端子の入力信号のノイズ・フィルタ使用可否注							
0	ノイズ・フィルタ OFF (同期化のみ)							
1	ノイズ・フィルタ ON							
TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF (同期化のみ)							
1	ノイズ・フィルタ ON							
TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF (同期化のみ)							
1	ノイズ・フィルタ ON							
TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF (同期化のみ)							
1	ノイズ・フィルタ ON							

注 入力切り替え制御レジスタ (ISC) の ISC1 ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0 に設定 : TI03 端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1 に設定 : RxD0 端子のノイズ・フィルタ使用可否選択が可能

備考 チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

6.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャンネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)を参照してください。

また、製品によって設定するポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx)が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

タイマ出力端子を兼用するポート (P00/TI00, P01/TO00 など) をタイマ出力として使用するときは、各ポートに対応するポート・モード・コントロール・レジスタ (PMCxx)のビット、ポート・モード・レジスタ (PMxx)のビットおよびポート・レジスタ (Pxx)のビットに0を設定してください。

(例) P01/ TO00をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート (P00/TI00 など) をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ (PMCxx)のビットに0を設定してください。このときポート・レジスタ (Pxx)のビットは、0または1のどちらでもかまいません。

(例) P00/TI00をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定

ポート・モード・レジスタ0のPM00ビットを1に設定

ポート・レジスタ0のP00ビットを0または1に設定

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

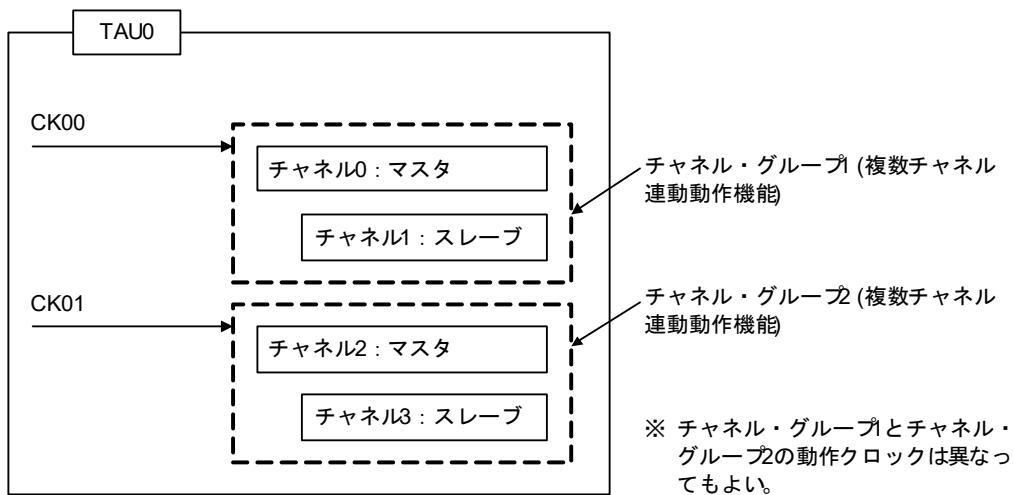
- (1) マスタ・チャンネルには、偶数チャンネル(チャンネル0, チャンネル2)のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル0をマスタ・チャンネルにした場合、チャンネル1以降(チャンネル1, チャンネル2, チャンネル3)をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル2をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1をスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル3をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ(1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

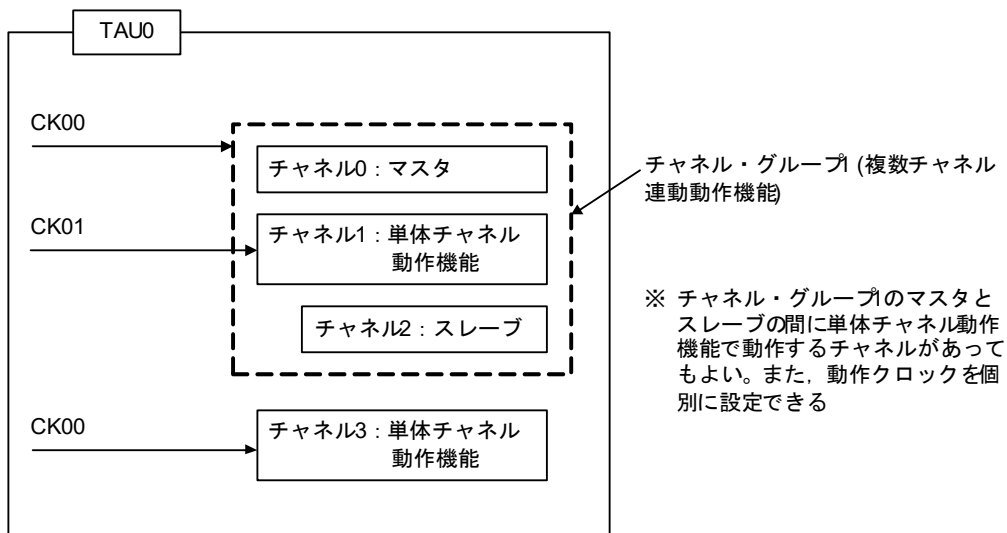
それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

例1



例2



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLIT ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0 =1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能
 - 外部イベント・カウンタ機能
 - デイレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

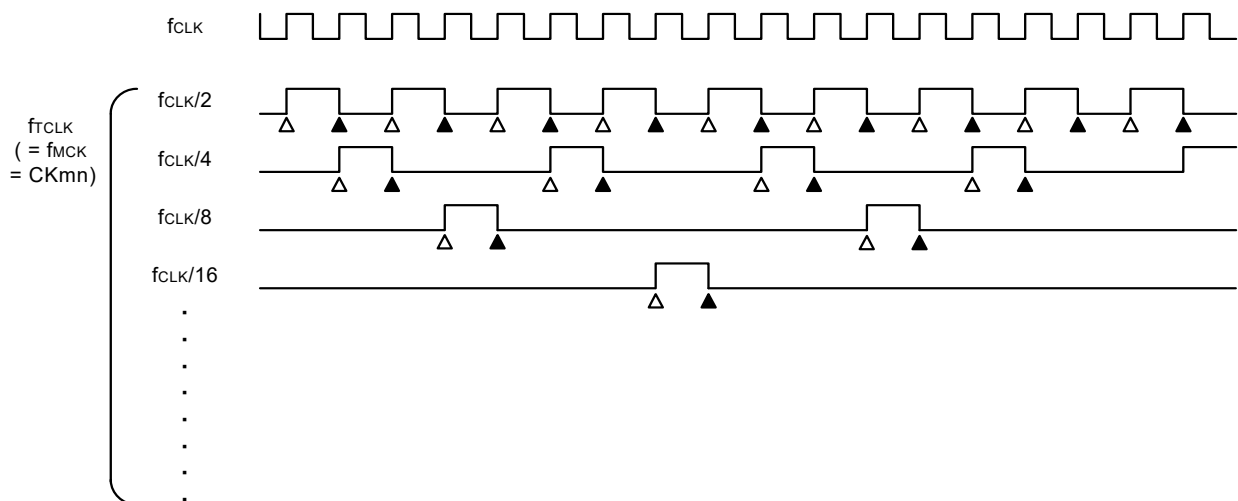
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するように設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。ただし、fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6 - 27 fCLK とカウント・クロック (fTCLK) のタイミング (CCSmn = 0 時)



備考1. ▲ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

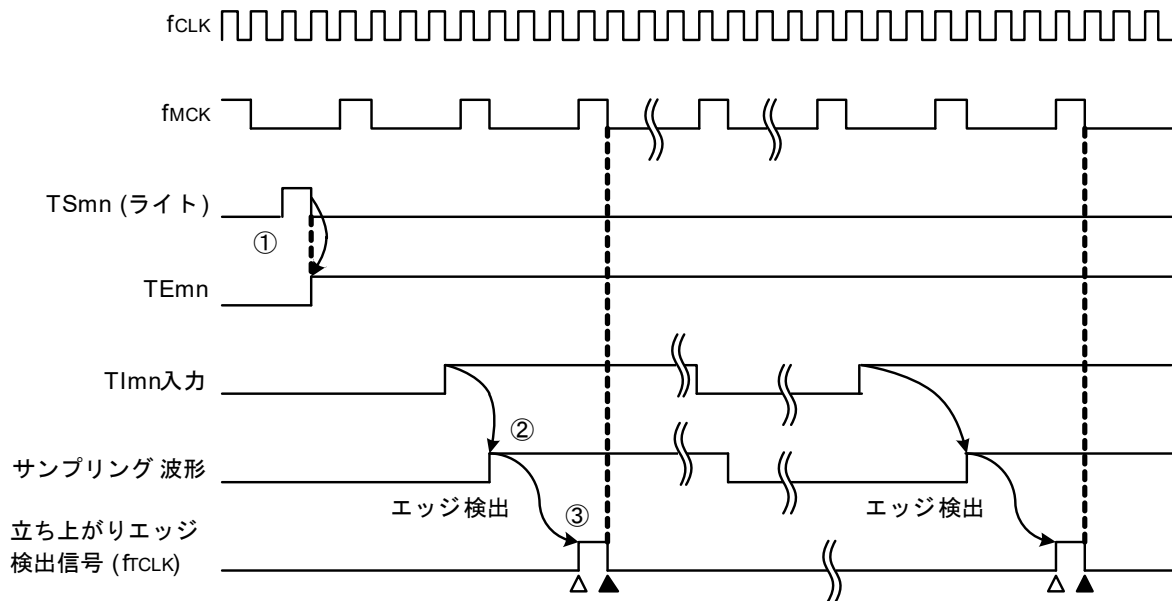
備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fCLK) は、TImn 端子からの入力信号の有効エッジを検出し、次の fMCK の立ち上がりにより同期した信号になります。これは、実際の TImn 端子からの入力信号より fMCK の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCK の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるためにカウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図6-28 カウント・クロック (fCLK) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが fMCK でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

fMCK : チャンネルnの動作クロック

備考3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能のTImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn)は、タイマ・チャンネル開始レジスタ m (TSM)の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出(TSmn = 1)後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmn ビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (3) キャプチャ・モードの動作(入力パルス間隔測定)参照)。
ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSmn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSmn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (5) キャプチャ&ワンカウント・モードの動作(ハイ・レベル幅測定)参照)。

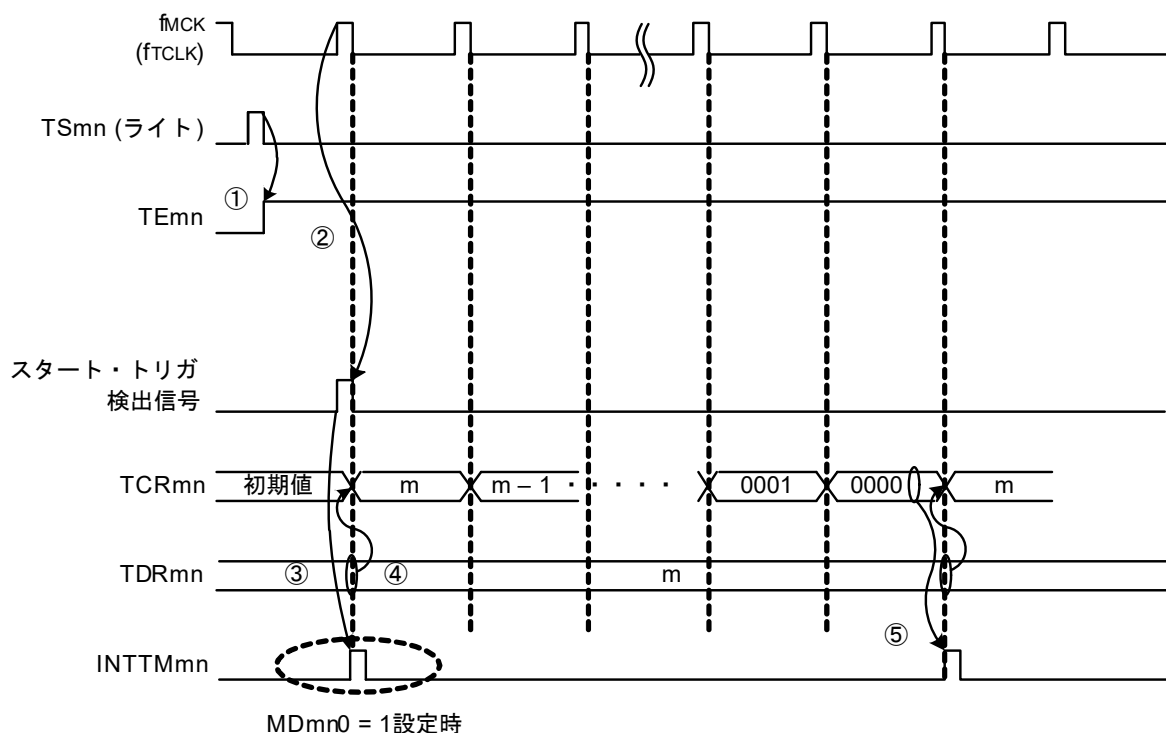
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn ($TCRmn$) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック ($fMCK$) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn ($TDRmn$) の値を $TCRmn$ レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ $TCRmn$ レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック ($fMCK$) で INTTMmn を発生し、タイマ・データ・レジスタ mn ($TDRmn$) の値を $TCRmn$ レジスタにロードしてカウントを継続します。

図6-29 動作タイミング(インターバル・タイマ・モード)



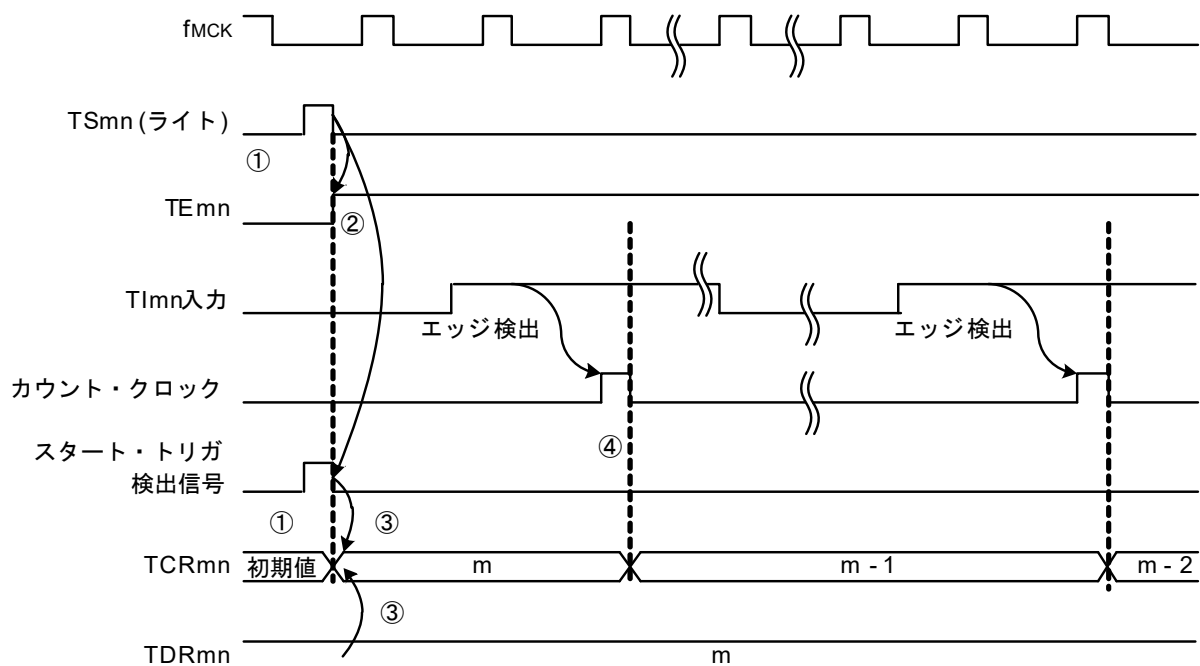
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 fMCK、スタート・トリガ検出信号、INTTMmnは、fCLKに同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn})は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし, カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図6-30 動作タイミング(イベント・カウンタ・モード)

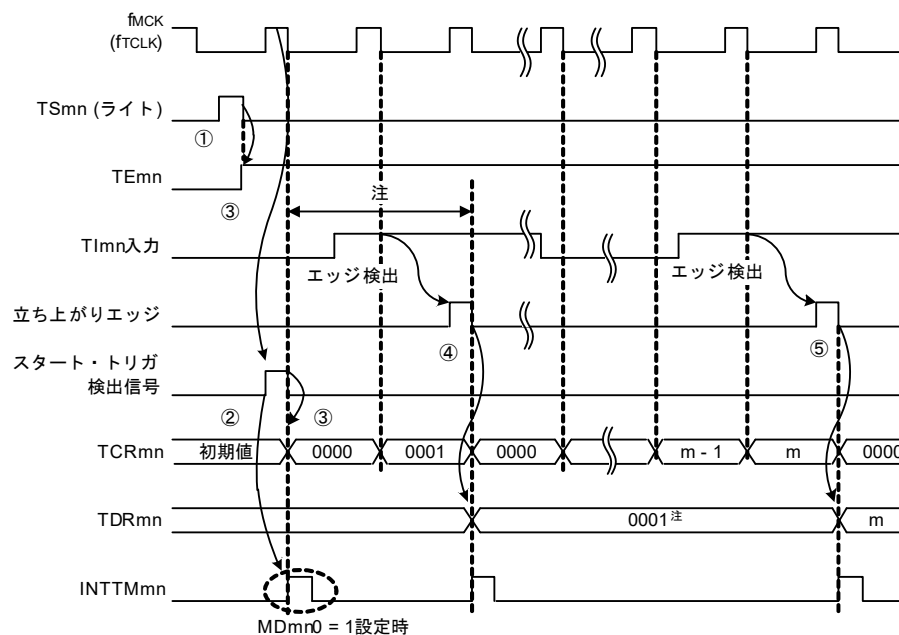


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (fMCK)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-31 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001:2クロック分の間隔)ので、無視してください。

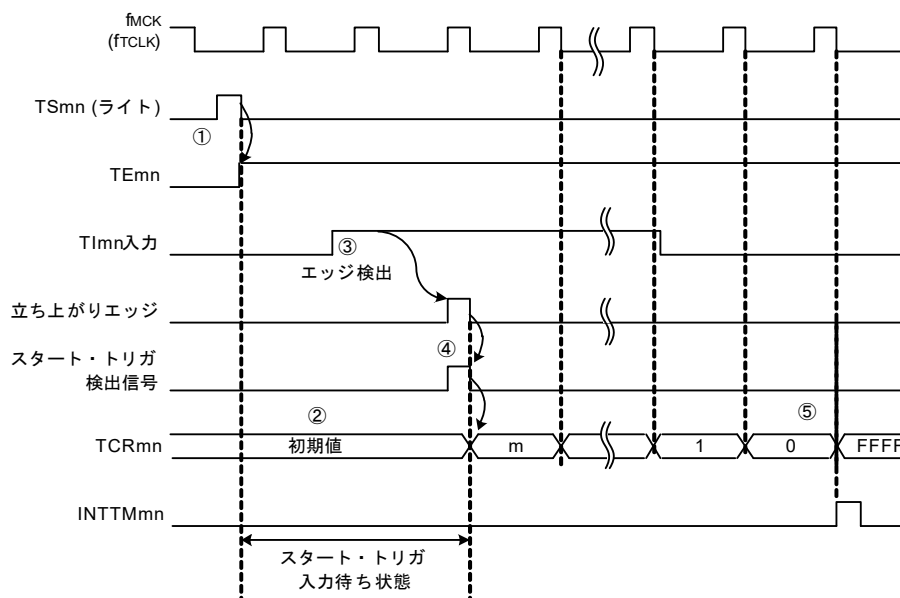
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図6 - 32 動作タイミング(ワンカウント・モード)

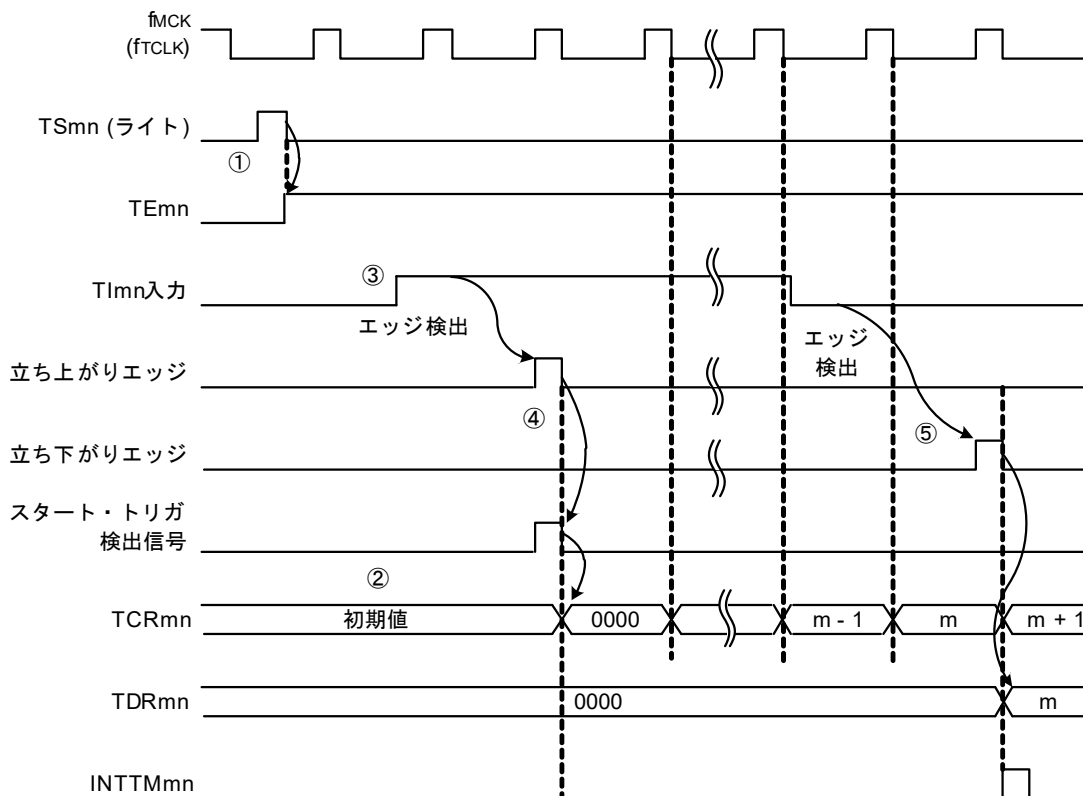


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出は TImn 入力からさらに fMCK の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TImn 入力とカウント・クロック (fMCK) が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TS m)のTS m nビットに1を書き込むことにより、動作許可状態 (TE m n = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCR mn)は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR mn レジスタにロードし、カウントを開始します。
- ⑤ TImn入力の立ち下がりエッジを検出すると、TCR mn レジスタの値をTDR mn レジスタにキャプチャし、INTTM mn 割り込みが発生します。

図6-33 動作タイミング(キャプチャ & ワンカウント・モード: ハイ・レベル幅測定)

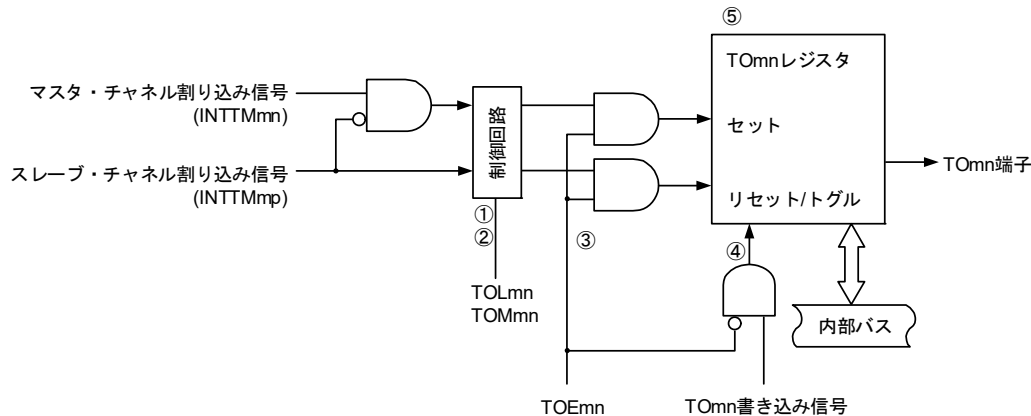


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

6.6 チャンネル出力(TOmn端子)の制御

6.6.1 TOmn端子の出力回路の構成

図6-34 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

- ① $TOMmn = 0$ (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタ m (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタ m (TOm)に伝えられます。
- ② $TOMmn = 1$ (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。
このとき、TOLmレジスタが有効となり、次のように信号を制御します。
TOLmn = 0の場合 : 正転動作 (INTTMmn → セット, INTTMmp → リセット)
TOLmn = 1の場合 : 反転動作 (INTTMmn → リセット, INTTMmp → セット)
また、INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。
- ③ タイマ出力許可状態 ($TOEmn = 1$)で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み (TOmnライト信号)は無効となります。
また、 $TOEmn = 1$ のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 ($TOEmn = 0$)に設定しTOmレジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態 ($TOEmn = 0$)で、対象チャンネルのTOmnビットへの書き込み (TOmnライト信号)が有効となります。タイマ出力禁止状態 ($TOEmn = 0$)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOmレジスタに伝えられません。
- ⑤ TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

備考 m : ユニット番号 ($m = 0$)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

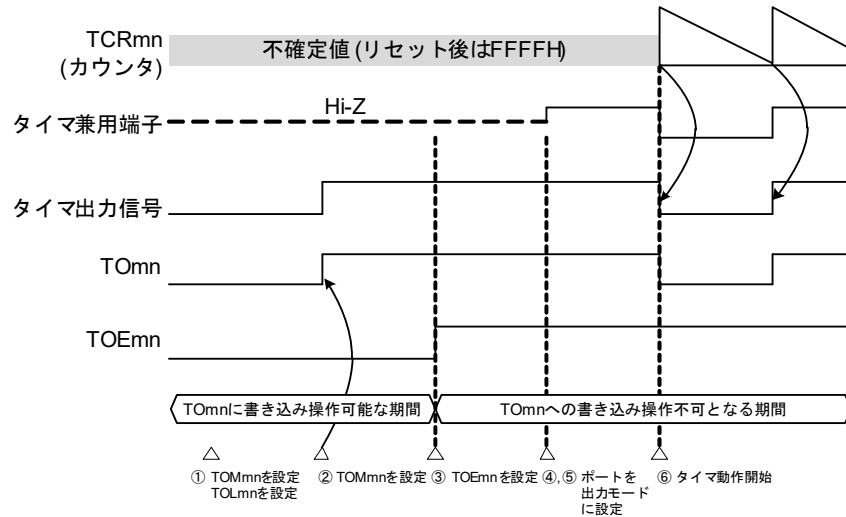
n = 0 : p = 1, 2, 3

n = 2 : p = 3

6.6.2 TOMn 端子の出力設定

TOMn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6-35 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- ・TOMmnビット(0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- ・TOLmnビット(0 : 正論理出力, 1 : 負論理出力)

②タイマ出力レジスタ m (TOMn)を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmn ビットに 1 を書き込み, タイマ出力動作を許可します (TOMn レジスタへの書き込みは不可となります)。

④ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します (6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑤ポートの入出力設定を出力に設定します (6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.6.3 チャネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn), タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm)の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn 端子から出力するためには, 6.8, 6.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み(INTTMmn)近辺で, TOMレジスタを除く TOEmレジスタ, TOLmレジスタの設定値変更を行うと, タイマ割り込み(INTTMmn)信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み(INTTMmn)信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn 端子に出力される波形が異なる場合があります。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

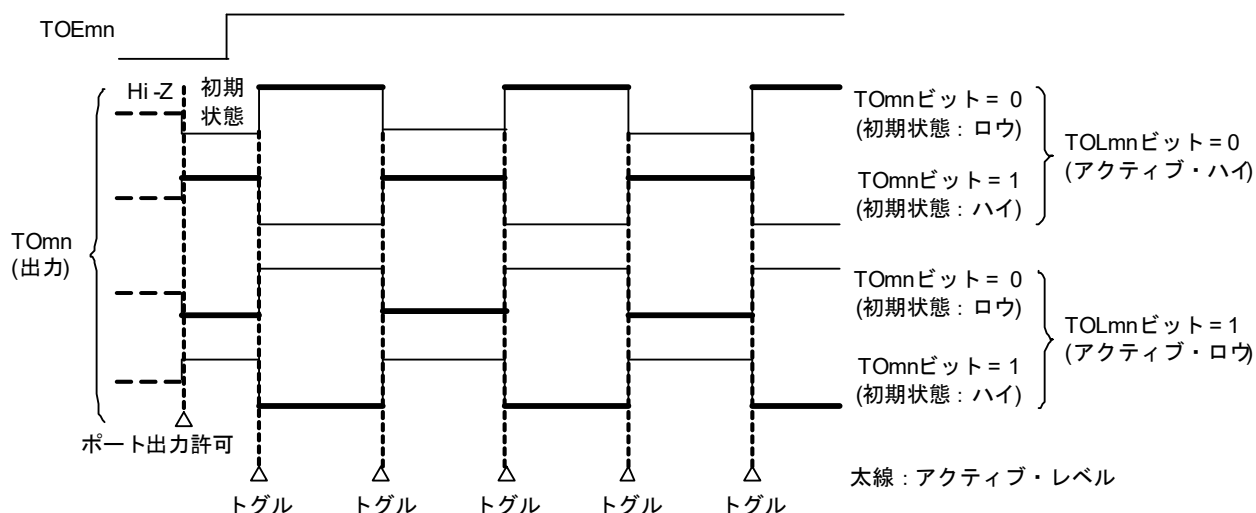
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止(TOEmn = 0)の状態ではタイマ出力レジスタ m (TOM)に書き込みを行い、初期レベル変更後、タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード(TOMmn= 0)設定で動作を開始した場合

マスタ・チャンネル出力モード(TOMmn= 0)の時、タイマ出力レベル・レジスタ m (TOLm)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6 - 36 トグル出力時(TOMmn = 0)のTOmn端子出力状態



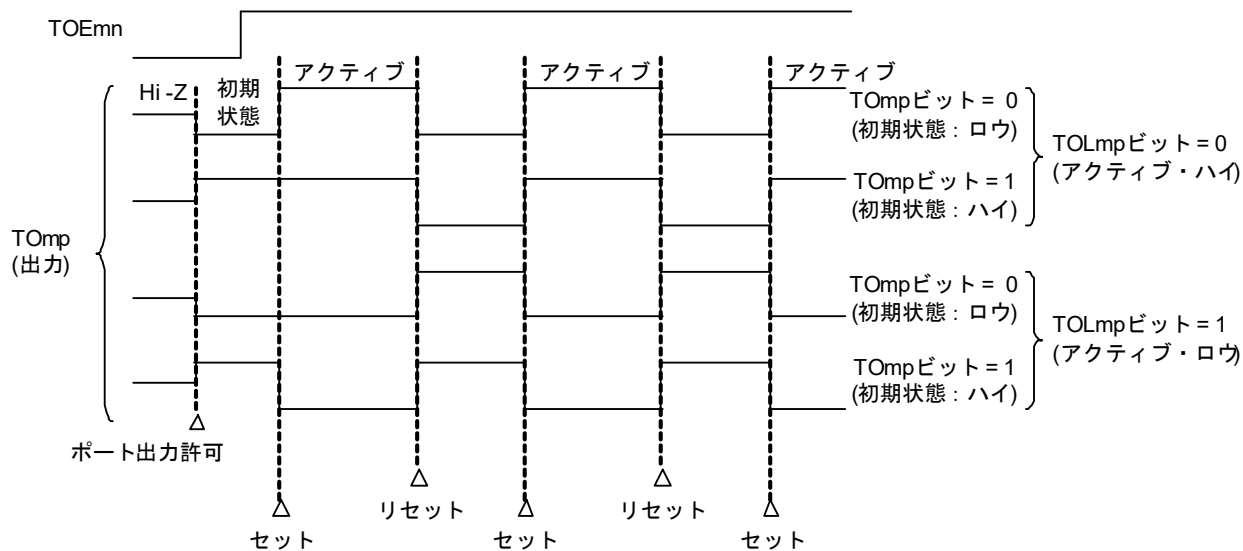
備考1. トグル : TOmn端子の出力状態を反転

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

(b) スレーブ・チャンネル出力モード (TOMmn = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmn = 1) の時、タイマ出力レベル・レジスタ m (TOLmn) の設定によりアクティブ・レベルを決定します。

図6 - 37 PWM出力時 (TOMmn = 1) のTOMn端子出力状態



備考1. セット : TOMP端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOMP端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (p = 1-3)

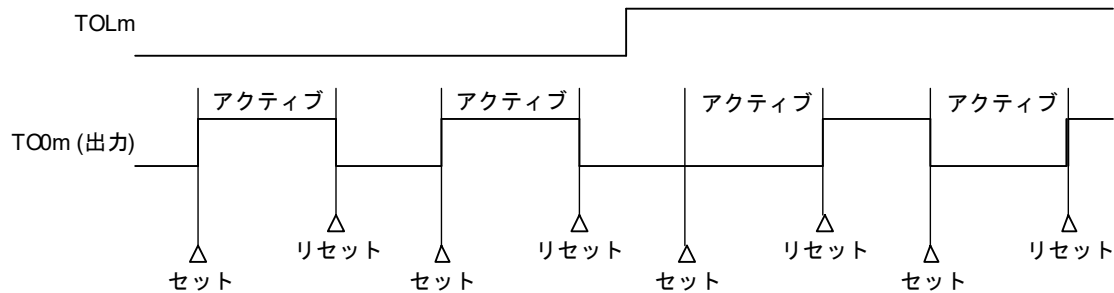
(3) TOMn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOMn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOMn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

図6 - 38 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0), n：チャンネル番号(n = 0-3)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOMn端子/TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

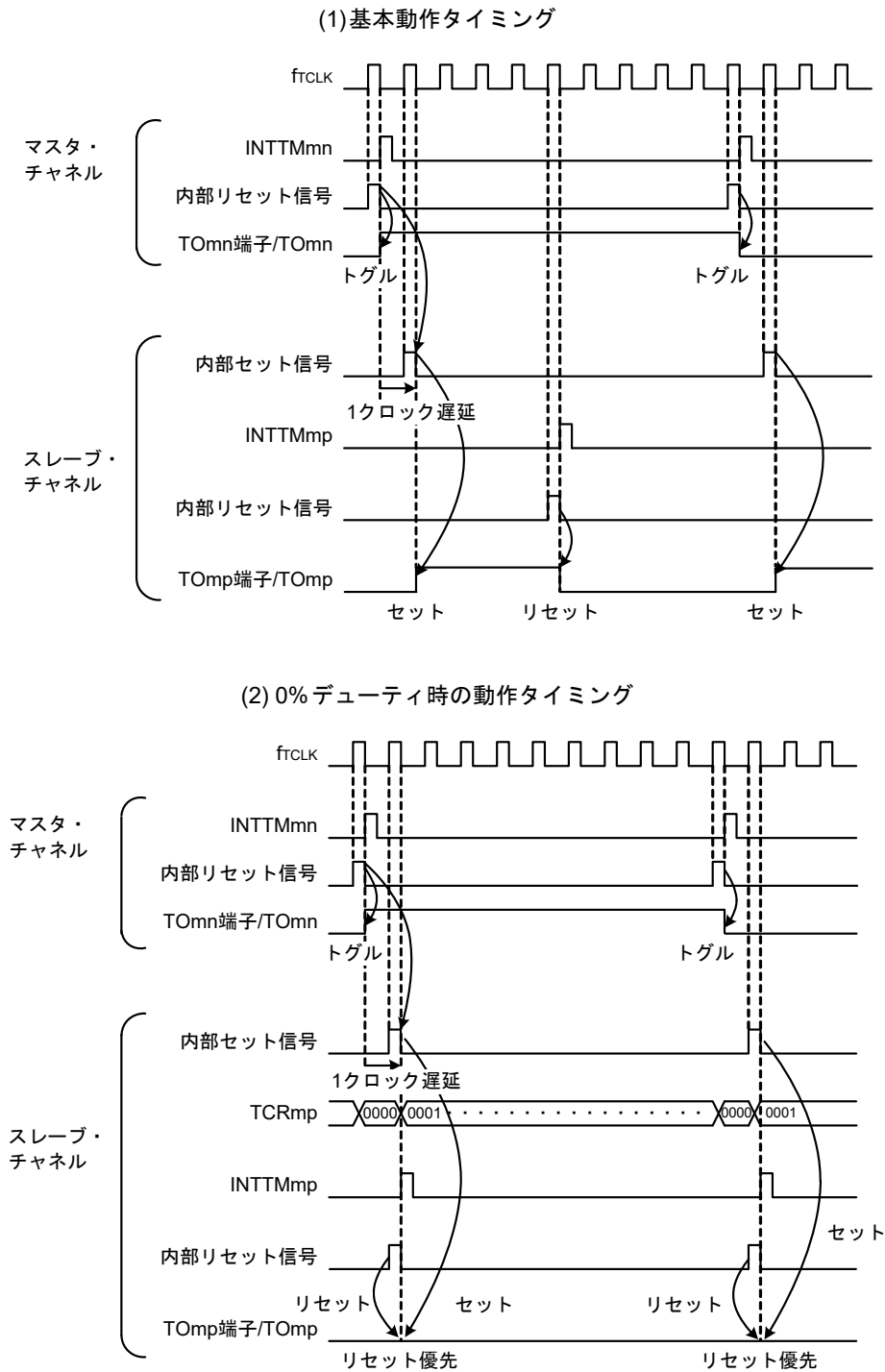
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6 - 39に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6 - 39 セット/リセット・タイミング動作状態



備考1. 内部リセット信号 : TOnm端子のリセット/トグル信号

内部セット信号 : TOnm端子のセット信号

備考2. m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

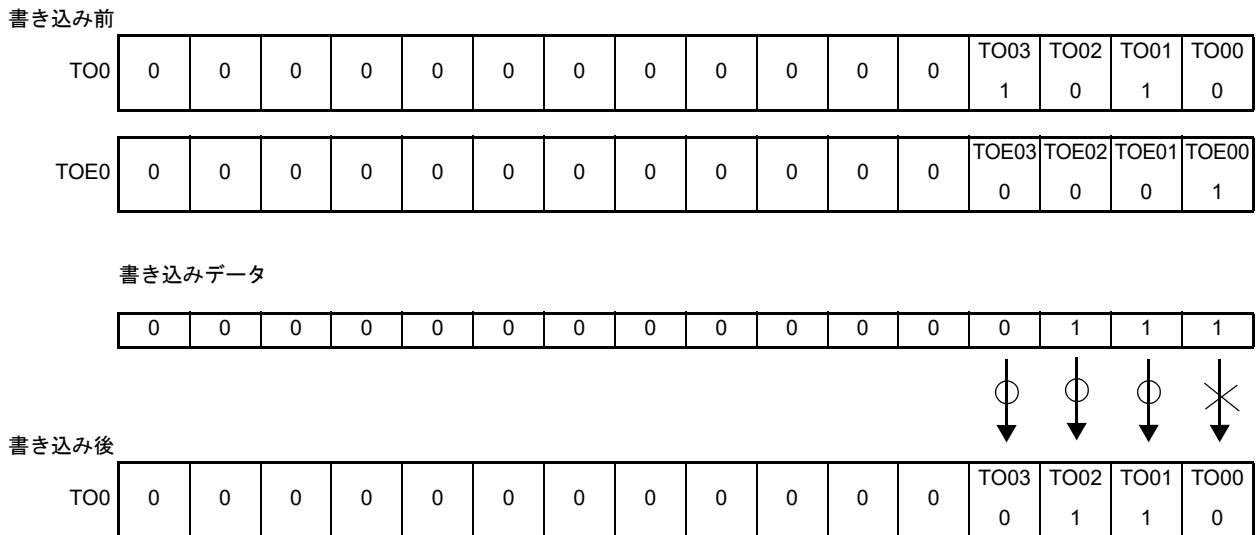
n = 0 : p = 1, 2, 3

n = 2 : p = 3

6.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TOm)には、タイマ・チャンネル開始レジスタ m (TSm)と同様に、1レジスタに全チャンネル分の設定ビット(TOmn)が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力(TOmn)のみTOmnビットへの書き込み可能(TOEmn = 0)とすることによって任意のビットのみ操作することが可能です。

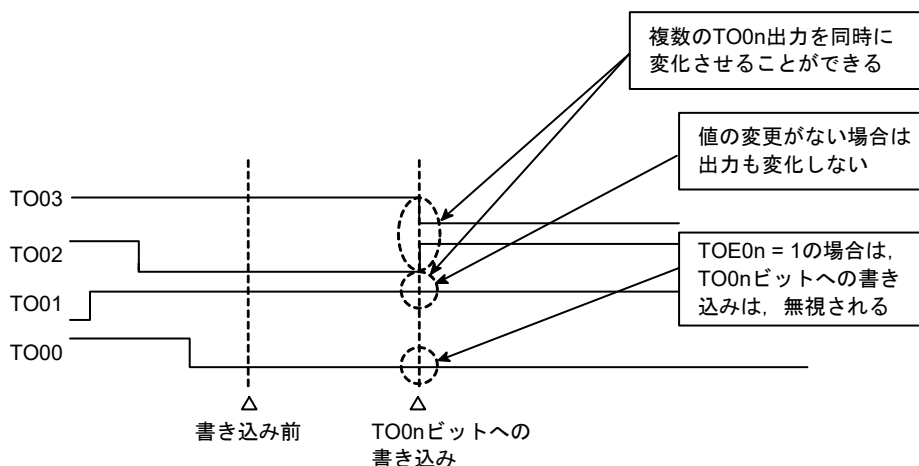
図6 - 40 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力)は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6 - 41 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

6.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

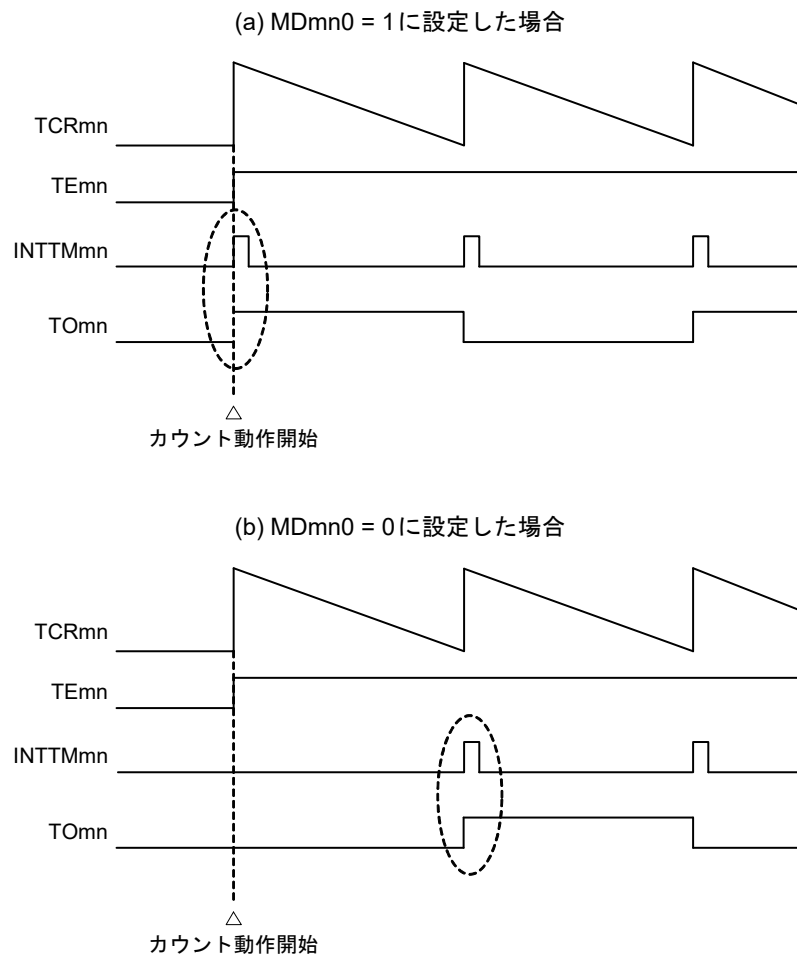
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-42 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

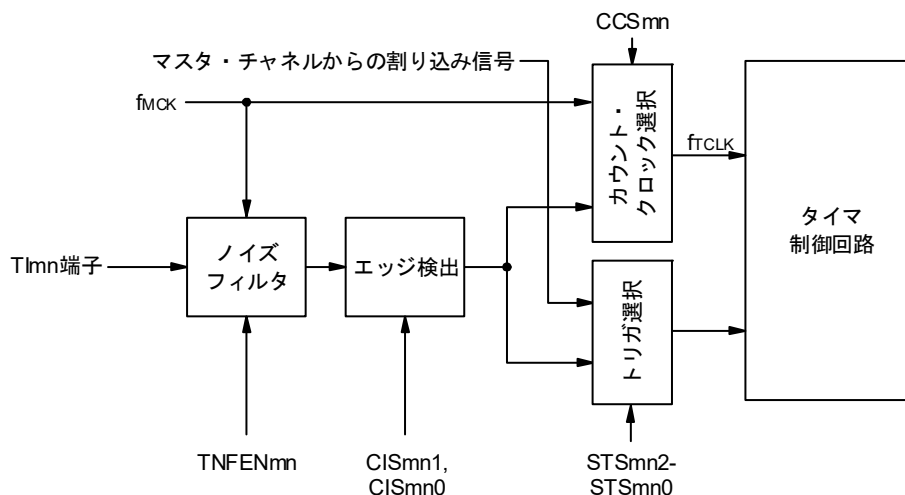
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

6.7 タイマ入力(Tlmn)の制御

6.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

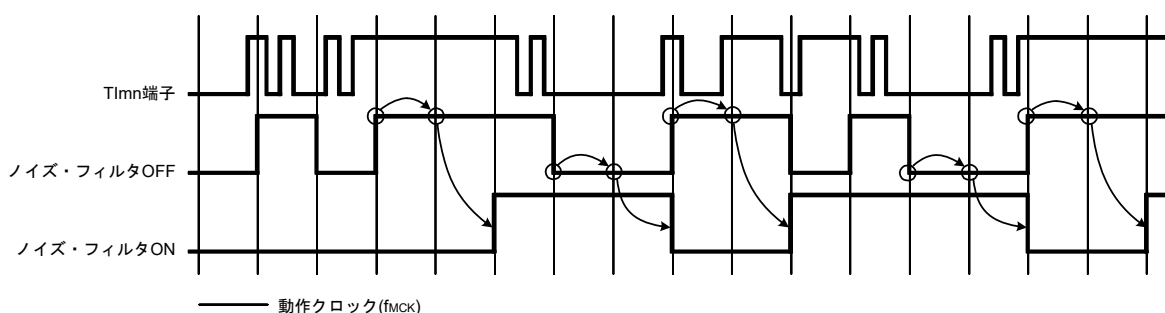
図6-43 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6-44 Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタ ON/OFFの動作を説明するためのものであり、実際は、37.4または38.4 AC特性に示すTlmn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み)を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み)の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmnの設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn)はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM)のチャネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3)に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn)のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

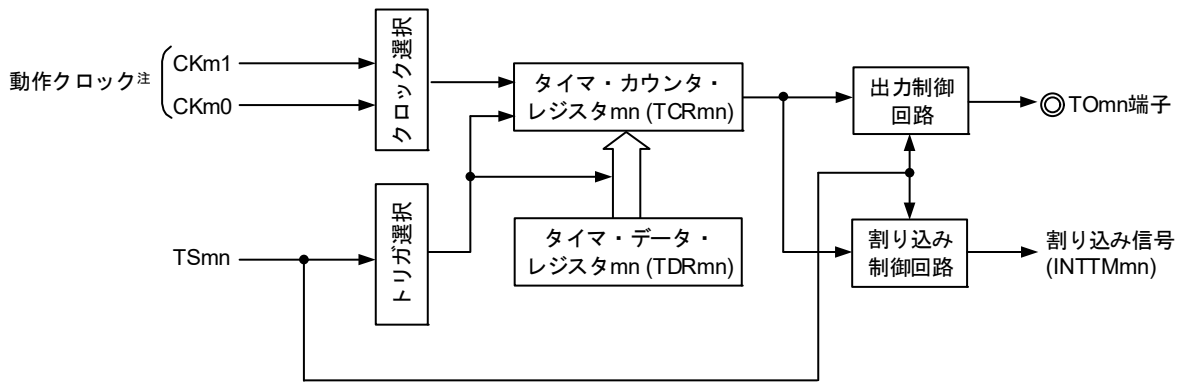
その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H になったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

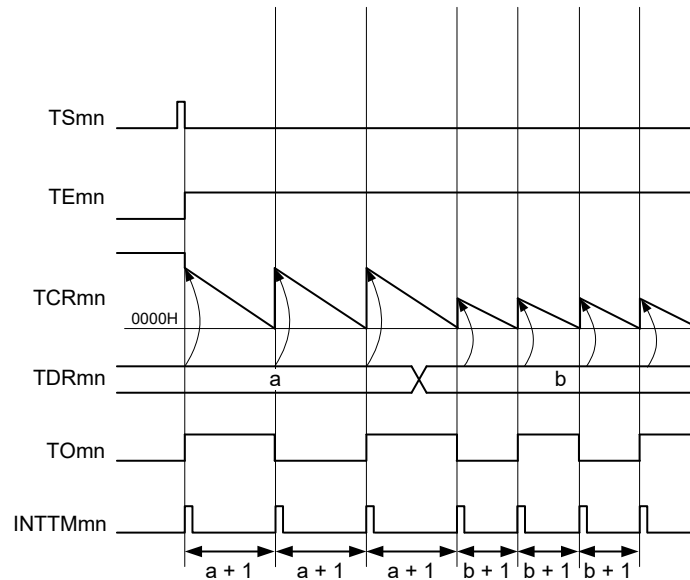
備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

図6-45 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-46 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm)のビットn

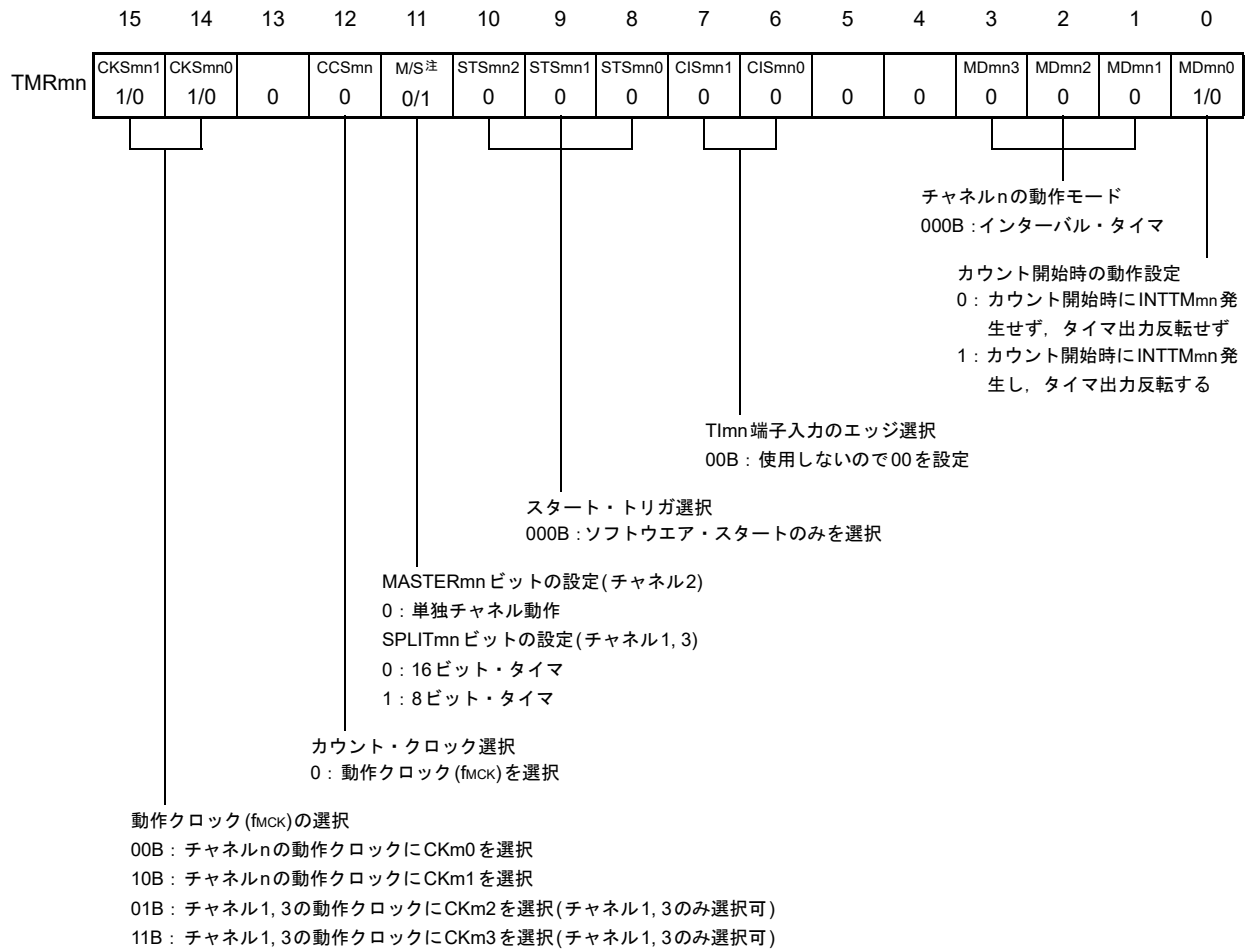
TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm)のビットn

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

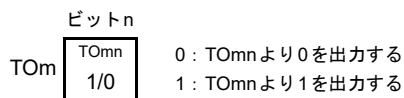
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

TOMn : TOMn端子出力信号

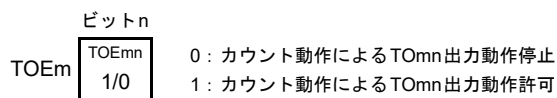
図6-47 インターバル・タイマ/方形波出力時のレジスタ設定内容例
(a) タイマ・モード・レジスタ mn (TMRmn)



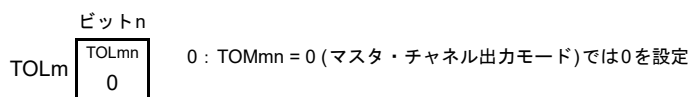
(b) タイマ出力レジスタ m (TOM)



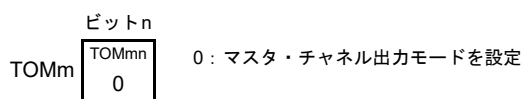
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
TMRm1, TMRm3の場合 : SPLITmn ビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-48 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル 初期 設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0 (マスタ・チャネル出力モード)を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 再開	(TOmn出力を使用する場合で, かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3)ビットに1を設定する	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
	TSmn (TSHm1, TSHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	
動作中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止	カウンタ (TCRmn)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3)ビットに1を設定する	TEmn (TEHm1, TEHm3) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TTmn (TTHm1, TTHm3)ビットはトリガ・ビットなので, 自動的に0に戻る TOEmnビットに0を設定し, TOmnビットに値を設定する	TOmn端子はTOmnビットに設定したレベルを出力

(備考は次ページにあります。)

図6 - 49 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmn ビットに0を設定する</p> <p>TOmn 端子の出力レベルを保持不要の場合 設定不要</p> <p>PER0 レジスタの TAUmEN ビットに0を設定する</p>	<p>TOmn 端子出力レベルはポート機能により保持される。</p> <p>タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.8.2 外部イベント・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn)はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (TSm) の任意のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3})に1を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。

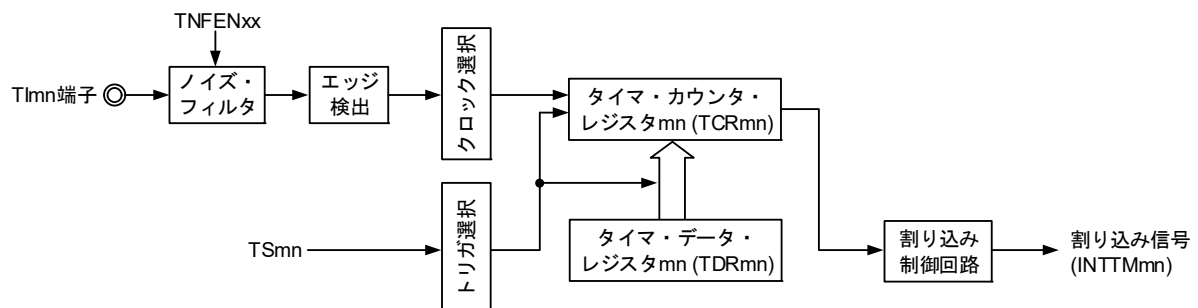
TCRmn レジスタはTl_{mn} 端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H になったら、再びTDRmn レジスタの値をロードして、INTTM_{mn}を出力します。

以降、同様の動作を続けます。

TO_{mn} 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEm_n ビットに0を設定して出力動作を停止するようにしてください。

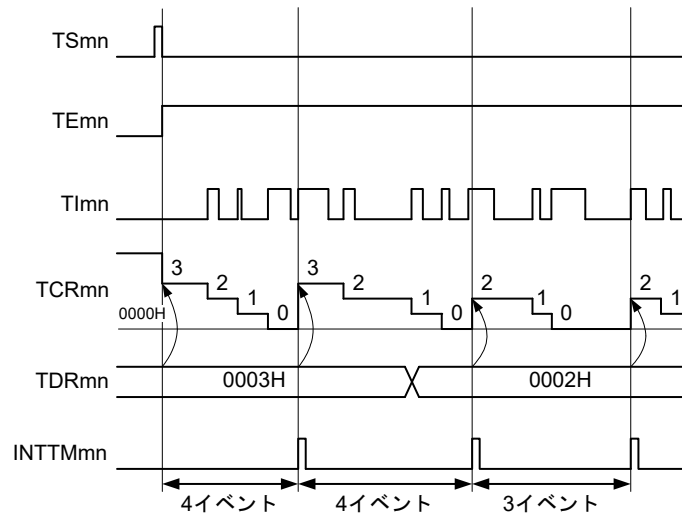
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図6 - 50 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 51 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

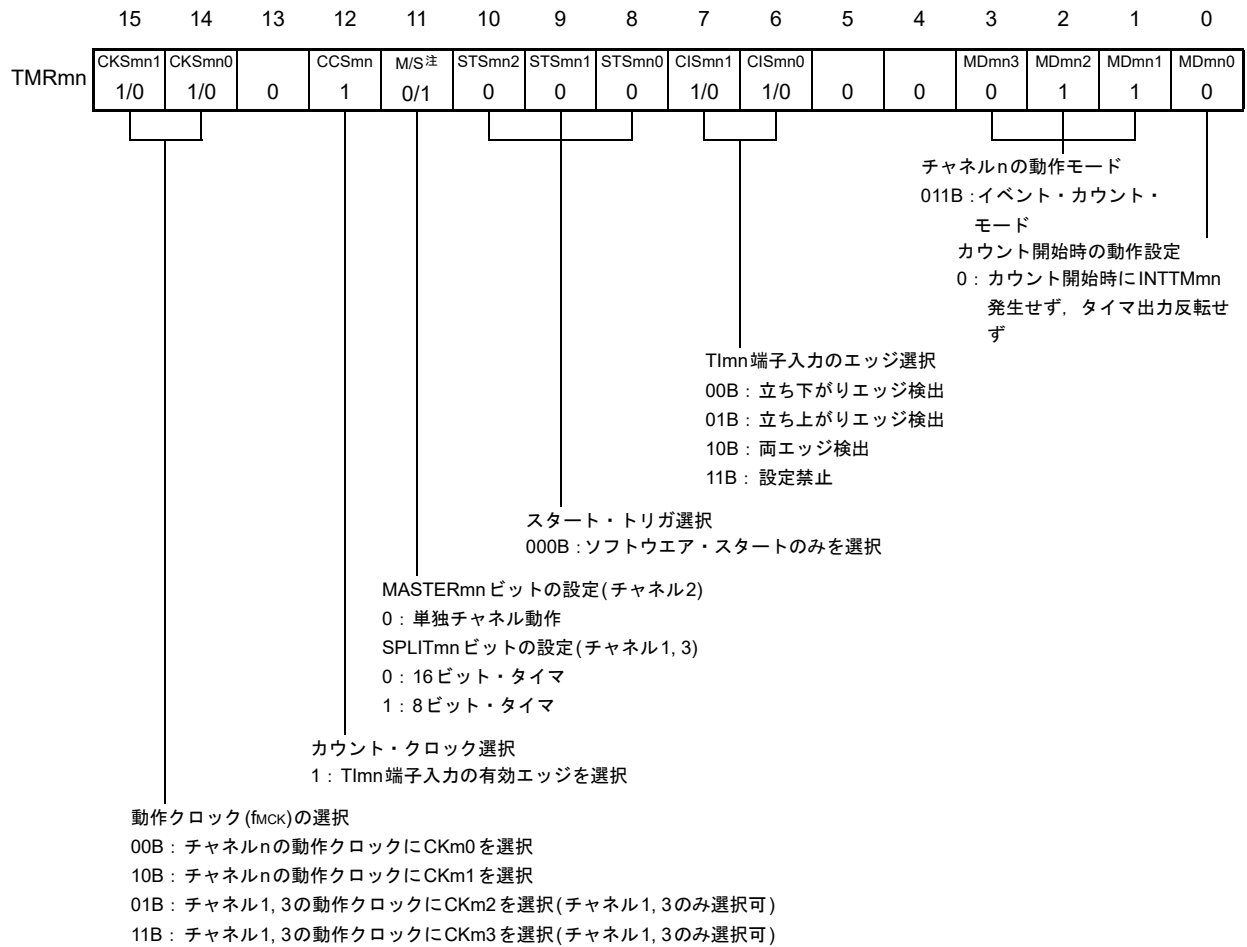
TI mn : TI mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

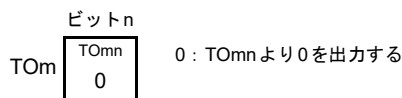
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 52 外部イベント・カウンタ・モード時のレジスタ設定内容例

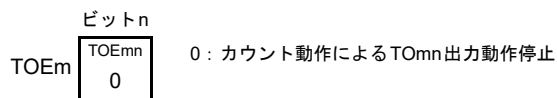
(a) タイマ・モード・レジスタ mn (TMRmn)



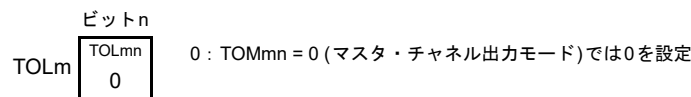
(b) タイマ出力レジスタ m (TOM)



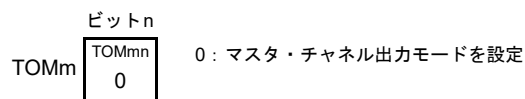
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 53 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にカウント数を設定する タイマ出力許可レジスタm (TOEm)のTOEmnビットに0を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn)はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャネルのSFRも初期化される	

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

6.8.3 分周器としての動作(ユニット0のチャンネル0のみ)

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器として利用することができます。
TO00出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ/立ち下がりエッジ選択時 :
分周クロック周波数 = 入力クロック周波数 / {(TDR00 の設定値 + 1) × 2}
- 両エッジ選択時 :
分周クロック周波数 = 入力クロック周波数 / (TDR00 の設定値 + 1)

タイマ・カウンタ・レジスタ00 (TCR00)はインターバル・タイマ・モードでダウン・カウンタとして動作します。
タイマ・チャンネル開始レジスタ0 (TS0)のチャンネル・スタート・トリガ・ビット(TS00)に1を設定後、TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00 (TDR00)の値をロードします。このときタイマ・モード・レジスタ00 (TMR00)のMD000 = 0ならば、INTTM0を出力せず、TO00はトグルしません。TMR00レジスタのMD000 = 1ならば、INTTM0を出力して、TO00をトグルします。

その後、TI00端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして、カウントを継続します。

TI00端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出カクロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出カクロック周期} \pm \text{動作クロック周期(誤差)}$$

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図6-54 分周器としての動作のブロック図

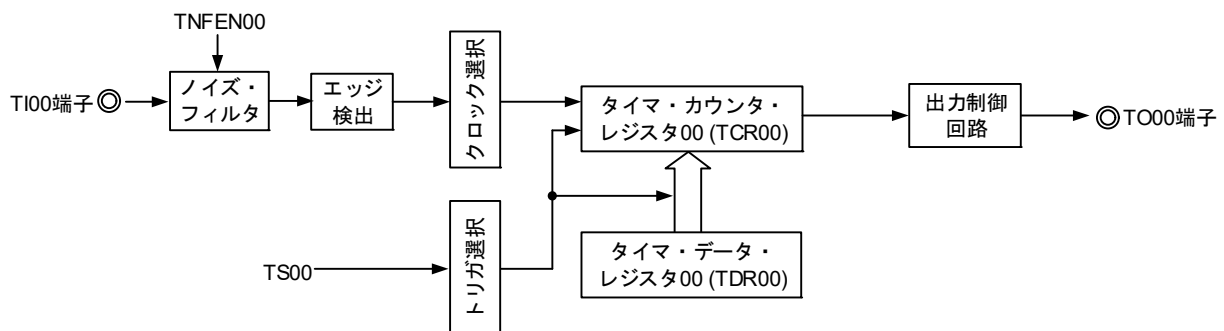
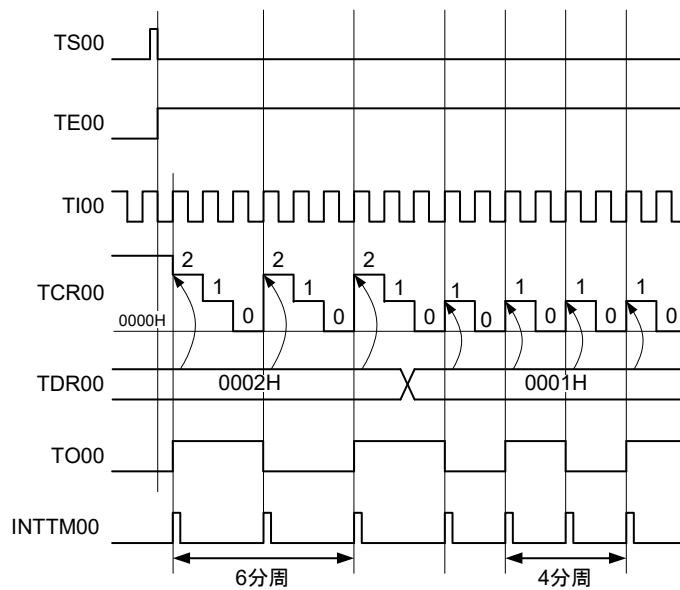


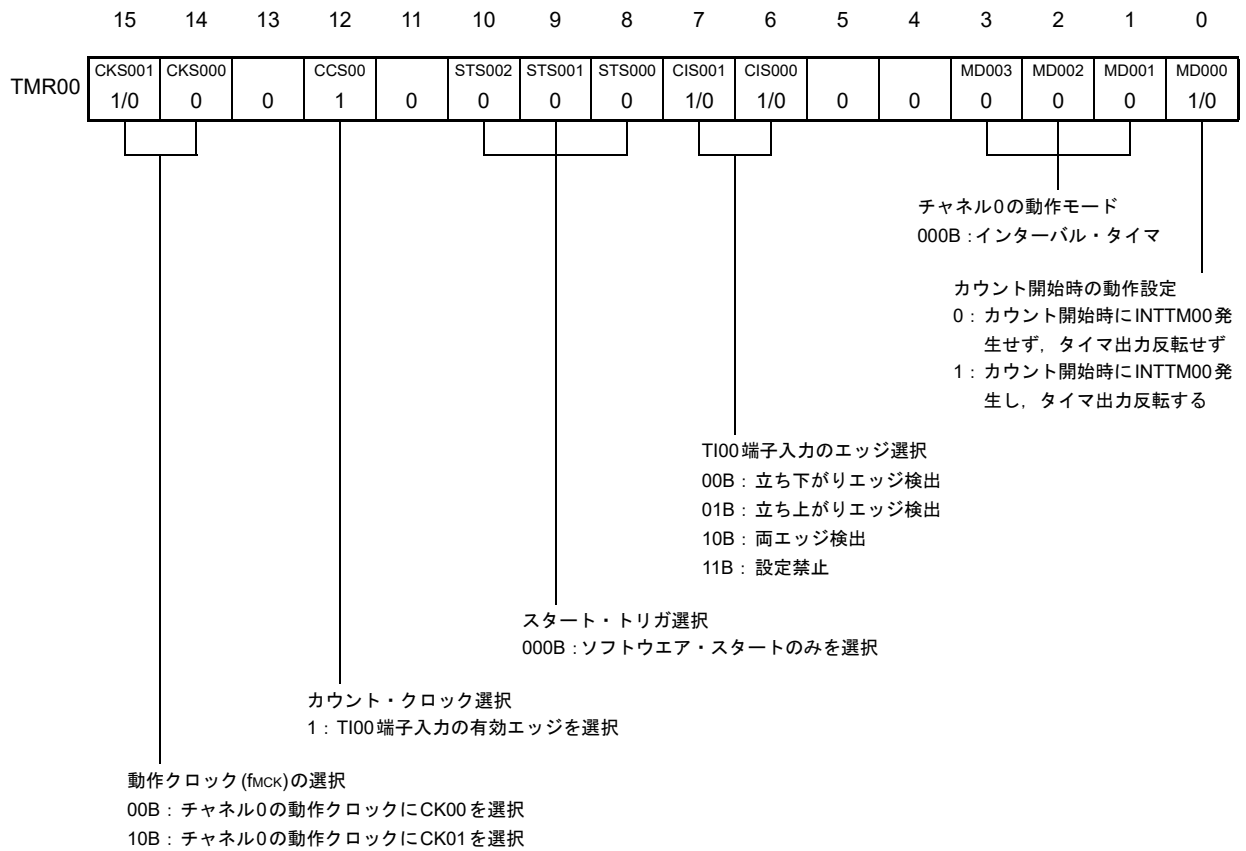
図6 - 55 分周器としての動作の基本タイミング例 (MD000 = 1)



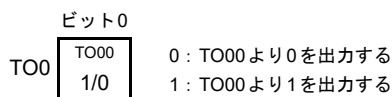
- 備考 TS00 : タイマ・チャンネル開始レジスタ0 (TS0)のビット0
 TE00 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0)のビット0
 TI00 : TI00端子入力信号
 TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
 TDR00 : タイマ・データ・レジスタ00 (TDR00)
 TO00 : TO00端子出力信号

図6 - 56 分周器として動作時のレジスタ設定内容例

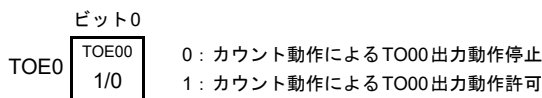
(a) タイマ・モード・レジスタ 00 (TMR00)



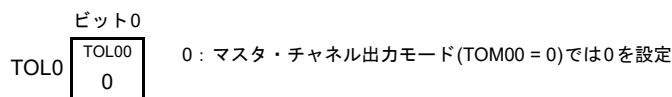
(b) タイマ出力レジスタ 0 (TO0)



(c) タイマ出力許可レジスタ 0 (TOE0)



(d) タイマ出力レベル・レジスタ 0 (TOL0)



(e) タイマ出力モード・レジスタ 0 (TOM0)

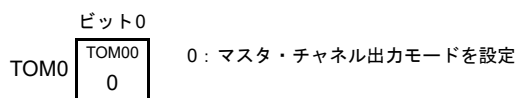


図6 - 57 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAU0ENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0)を設定する CK00-CK03のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャンネル初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ00 (TMR00)を設定する(チャンネルの動作モード確定, 検出エッジの選択) タイマ・データ・レジスタ00 (TDR00)にインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0)のTOM00ビットに0 (マスター・チャンネル出力モード)を設定する TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する TOE00ビットに1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO00は変化しない TO00端子はTO00設定レベルを出力
動作 再開	TOE00ビットに1を設定する(動作再開時のみ) TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1になり, カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00)はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は, INTTM00を発生し, TO00もトグル動作する。
	動作中	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止
動作 停止	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 0になり, カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00ビットに0を設定し, TO00ビットに値を設定する	TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

6.8.4 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn)はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM)のチャンネル・スタート・トリガ・ビット (TSMn)に1を設定するとTCRmn レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

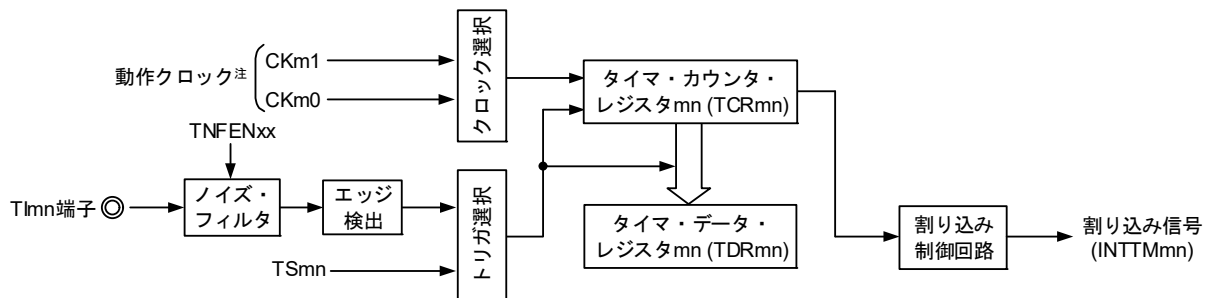
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn)に転送(キャプチャ)すると同時に、TCRmn レジスタを0000Hにクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットが1にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

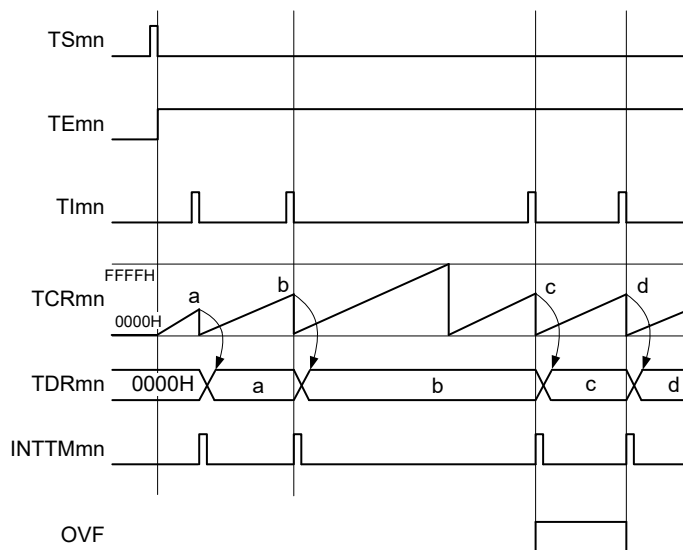
図6 - 58 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 59 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

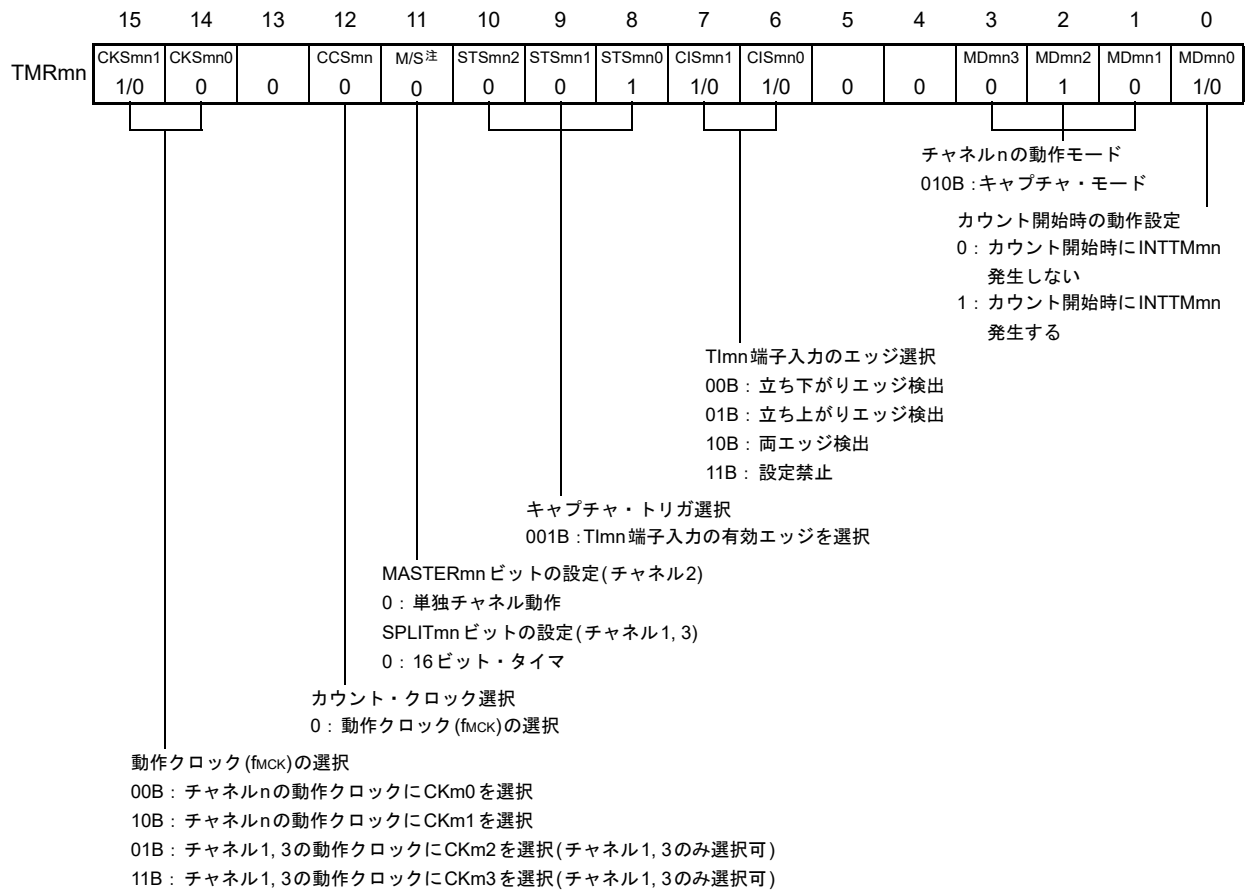
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

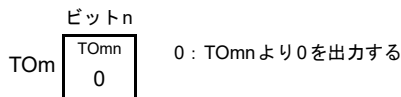
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6 - 60 入力パルス間隔測定時のレジスタ設定内容例

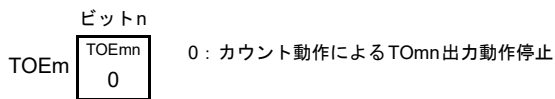
(a) タイマ・モード・レジスタ mn (TMRmn)



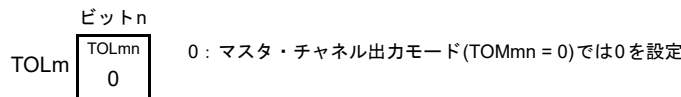
(b) タイマ出力レジスタ m (TOm)



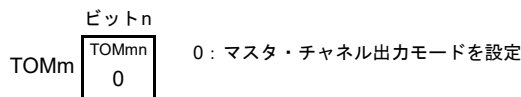
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-61 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生する。
	動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	カウンタ (TCRmn)は0000Hからアップ・カウント動作を行い, TImn端子入力の有効エッジが検出または, TSmnビットに1を設定すると, カウント値をタイマ・データ・レジスタmn (TDRmn)に転送(キャプチャ)する。同時に, TCRmnレジスタを0000Hにクリアし, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。 以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus 対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット 1 (ISC1) を 1 に設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。TImn の信号幅は次の式で求めることができます。

$$\text{TImn 入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 TImn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの 1 クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ & ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に 1 を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

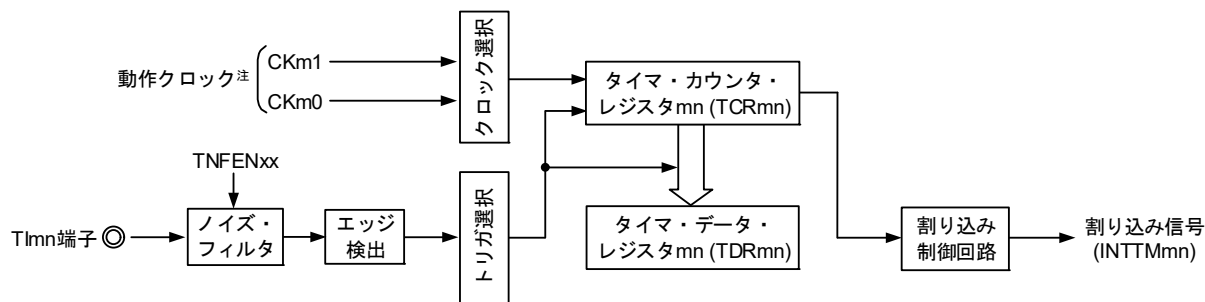
TImn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

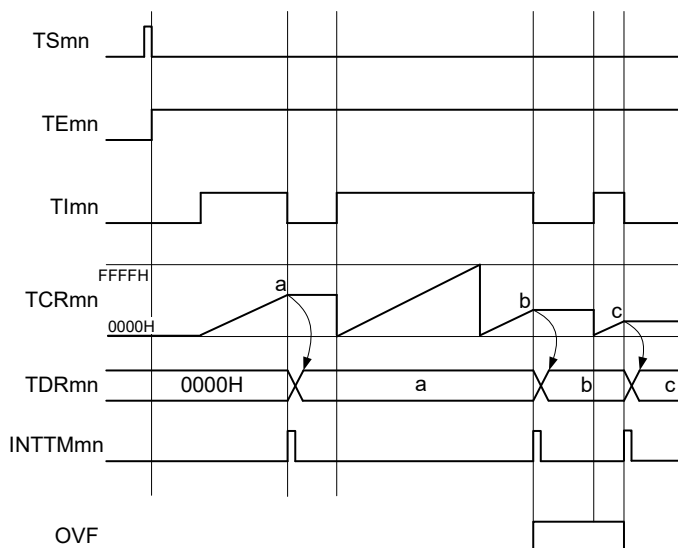
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6 - 62 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6 - 63 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TS mn : タイマ・チャンネル開始レジスタ m (TSm)のビットn

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm)のビットn

TI mn : TI mn 端子入力信号

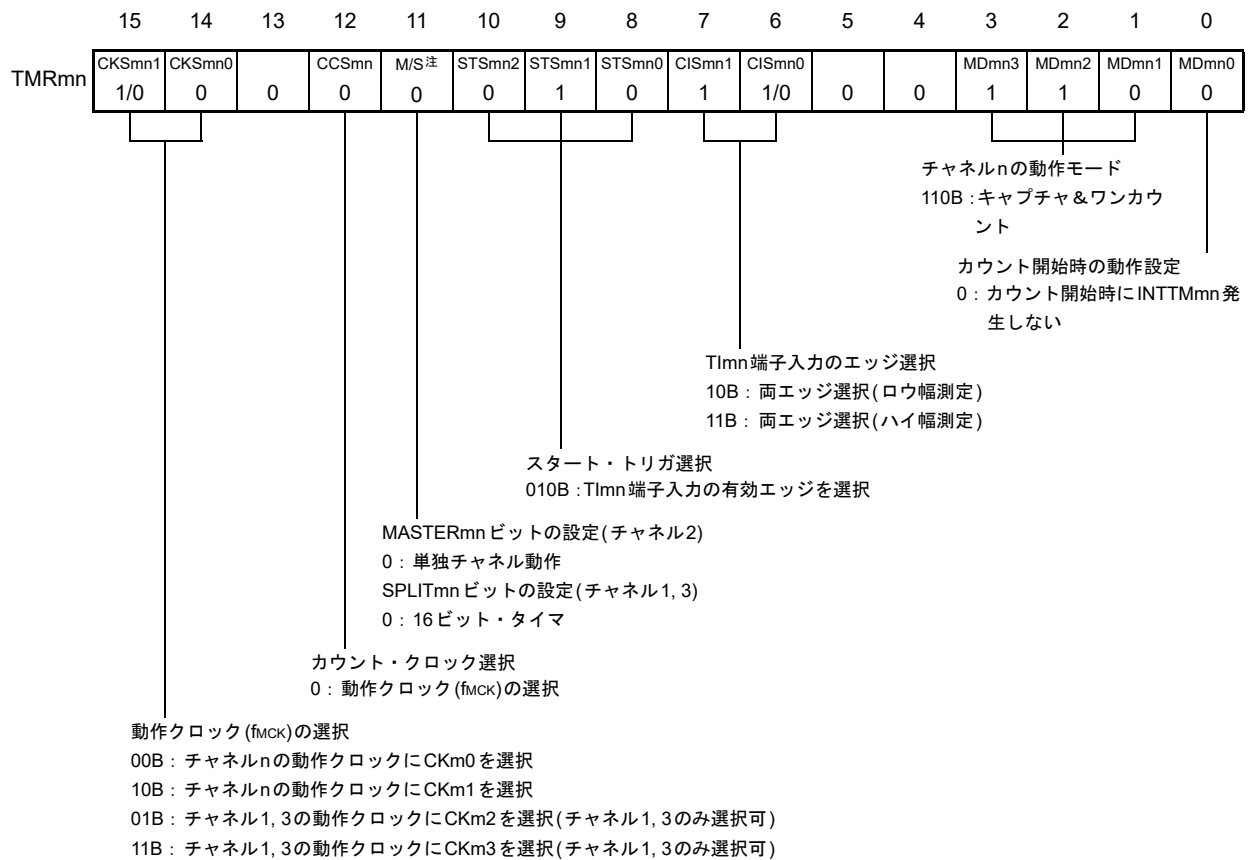
TCR mn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDR mn : タイマ・データ・レジスタ mn (TDRmn)

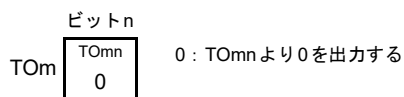
OVF : タイマ・ステータス・レジスタ mn (TSRmn)のビット0

図6-64 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

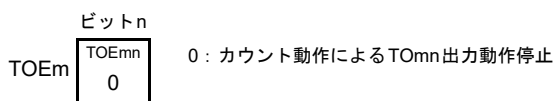
(a) タイマ・モード・レジスタ mn (TMRmn)



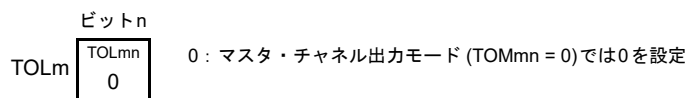
(b) タイマ出力レジスタ m (TOm)



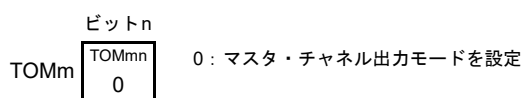
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 65 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャンネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn)に転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.8.6 デイレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェア操作で TS_{mn} = 1 に設定してダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

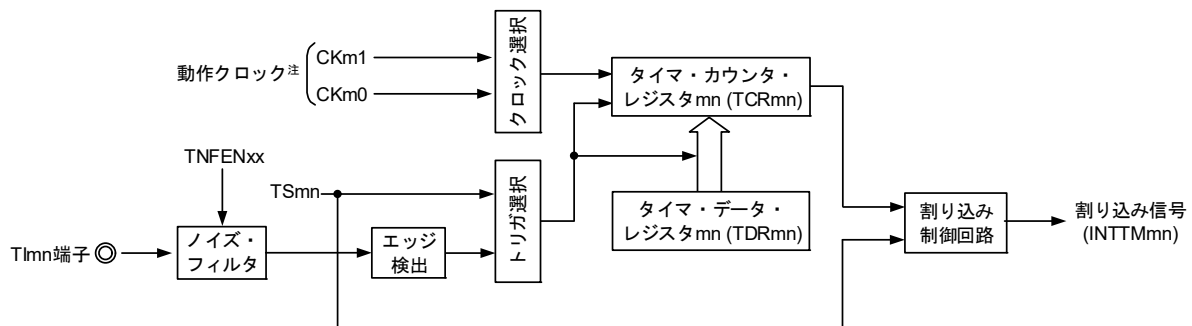
タイマ・カウンタ・レジスタ m_n (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ m_n (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000H になったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

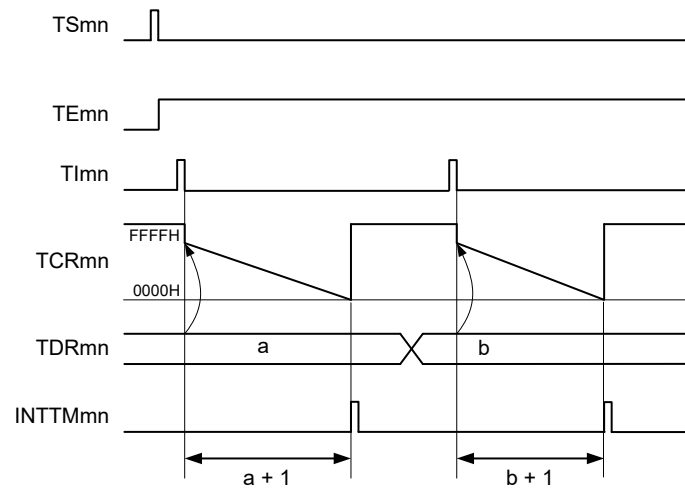
図6-66 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-67 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSM) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEM) のビット n

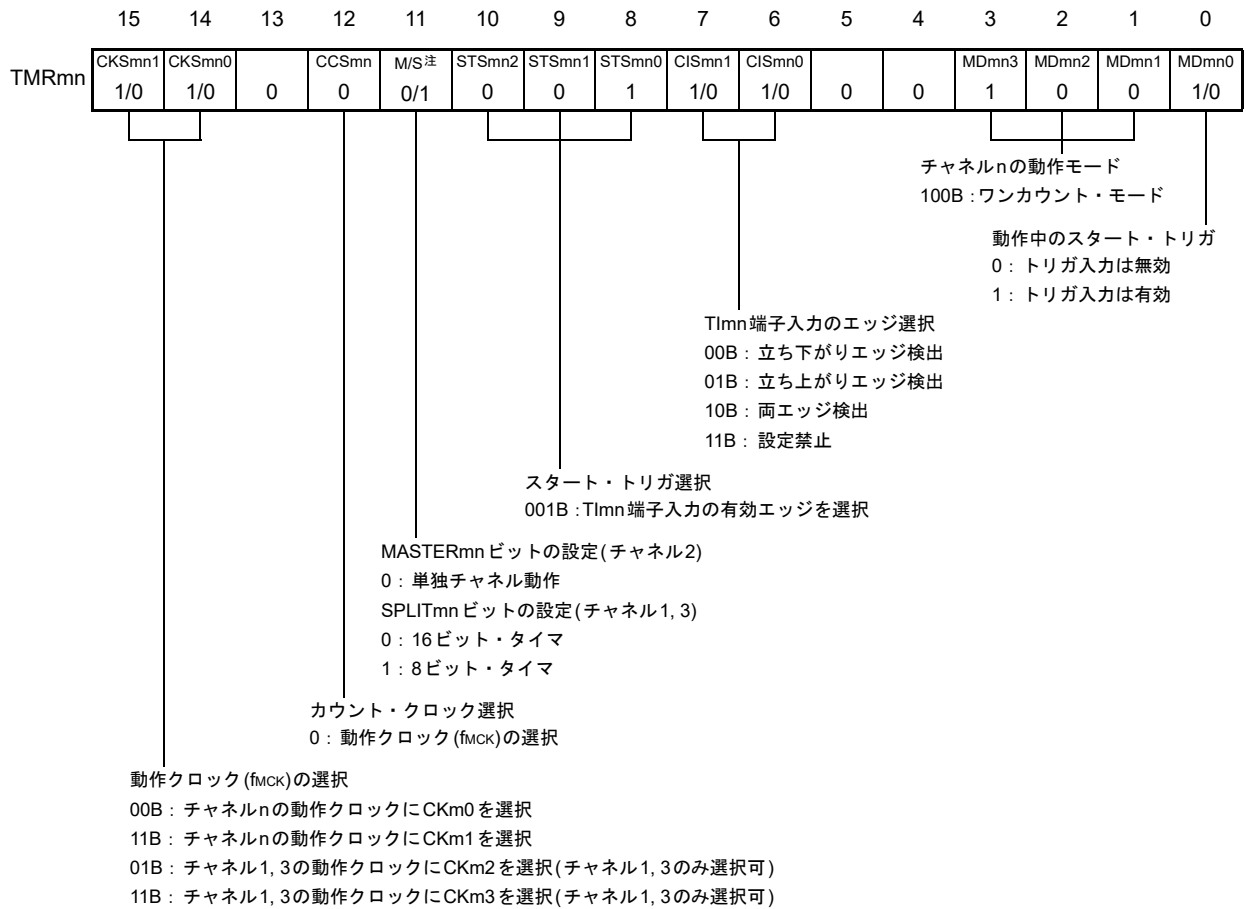
TI mn : TI mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

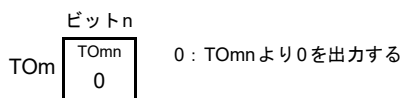
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6-68 ディレイ・カウンタ機能時のレジスタ設定内容例

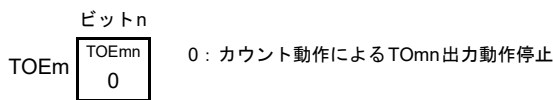
(a) タイマ・モード・レジスタ mn (TMRmn)



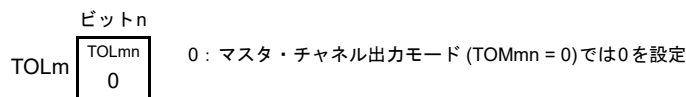
(b) タイマ出力レジスタ m (TOM)



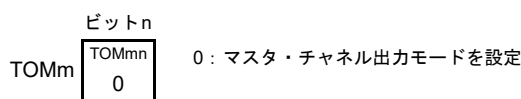
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmnビット

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-69 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウンタを開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ(TCRmn)はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\text{ディレイ} = \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期}$ $\text{パルス幅} = \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}$
--

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

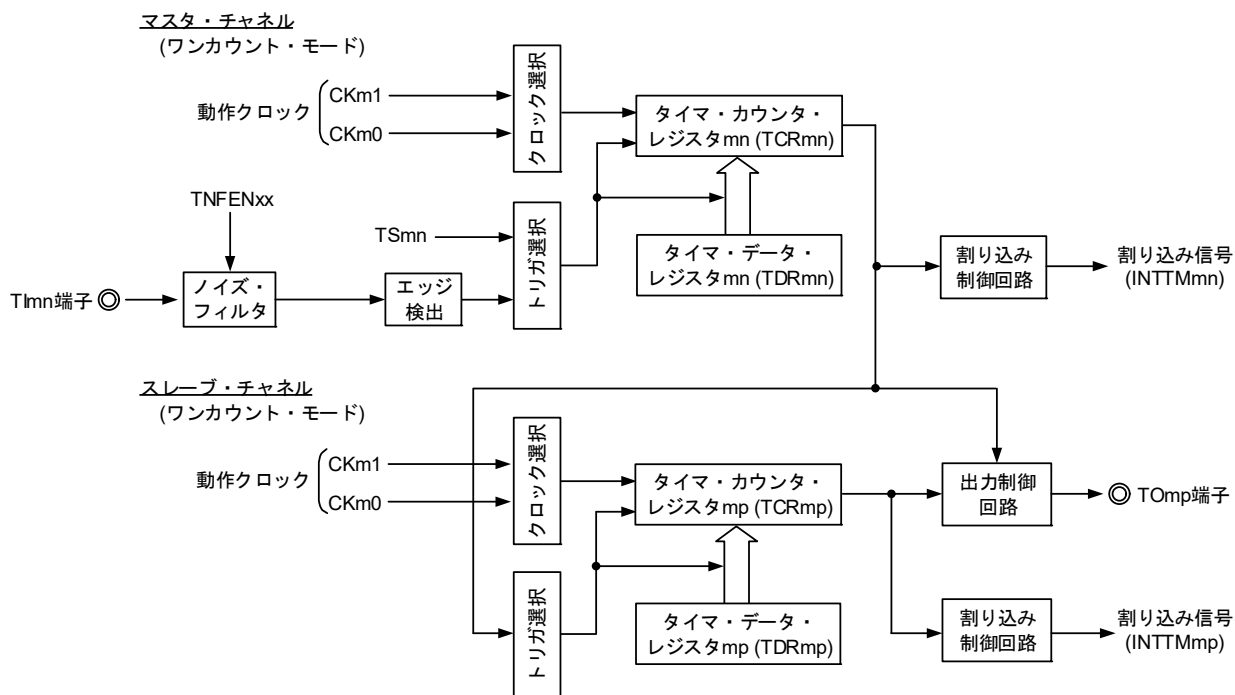
ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルの TDRmn レジスタとスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、カウント動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると、ロード・タイミングと競合して不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャネル番号 (n = 0, 2)

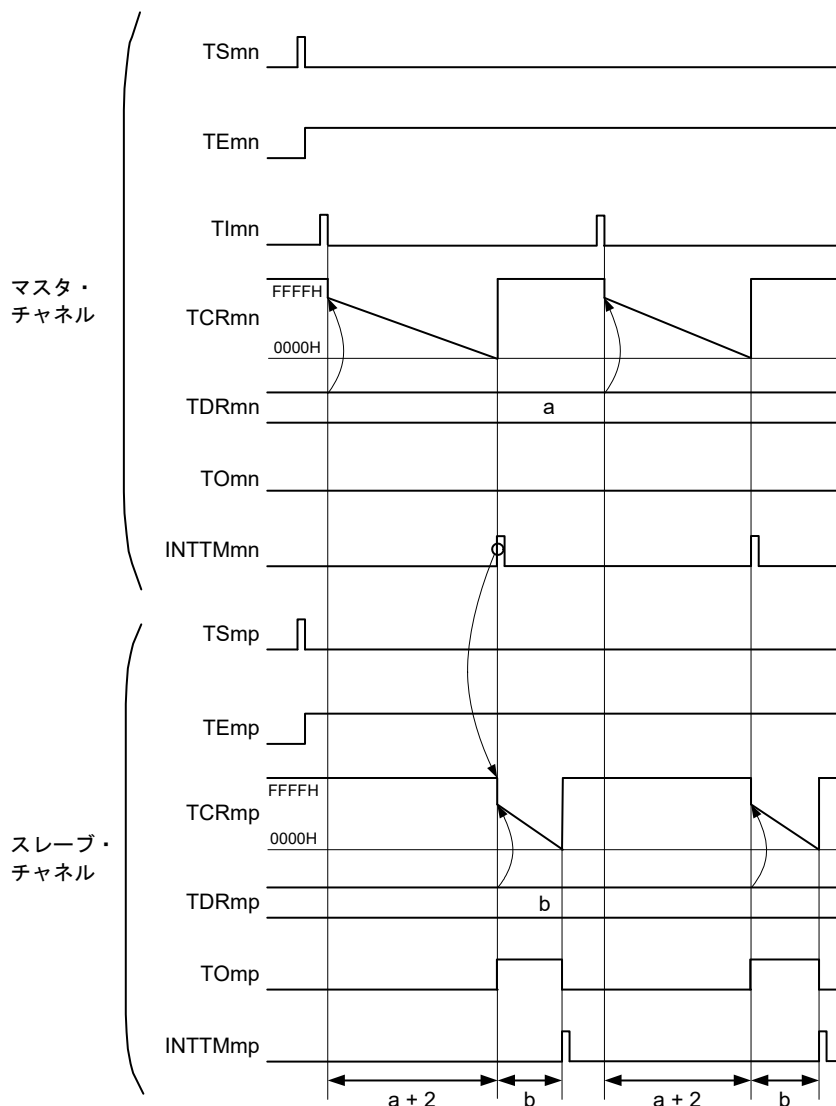
p : スレーブ・チャネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6 - 70 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0, 2$)
 p : スレーブ・チャンネル番号 ($n = 0 : p = 1, 2, 3, n = 2 : p = 3$)

図6-71 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

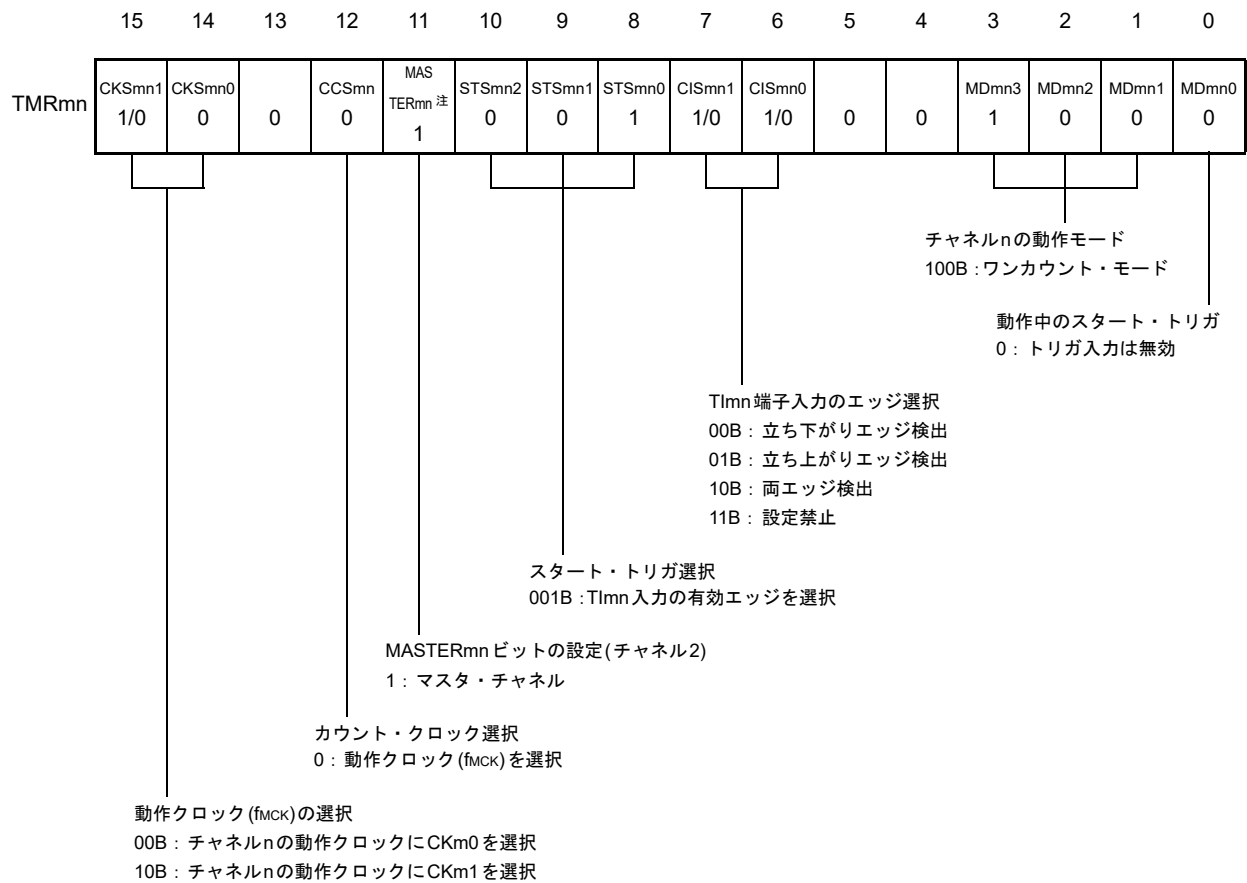
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

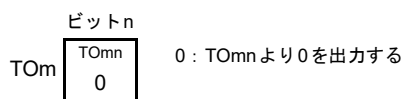
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-72 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

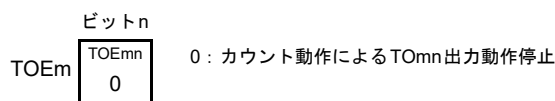
(a) タイマ・モード・レジスタ mn (TMRmn)



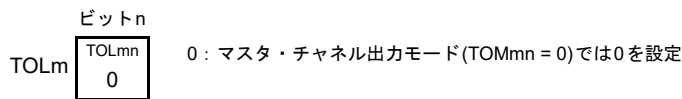
(b) タイマ出力レジスタ m (TOm)



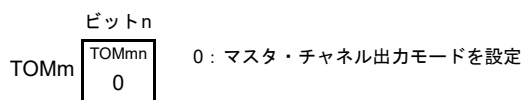
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

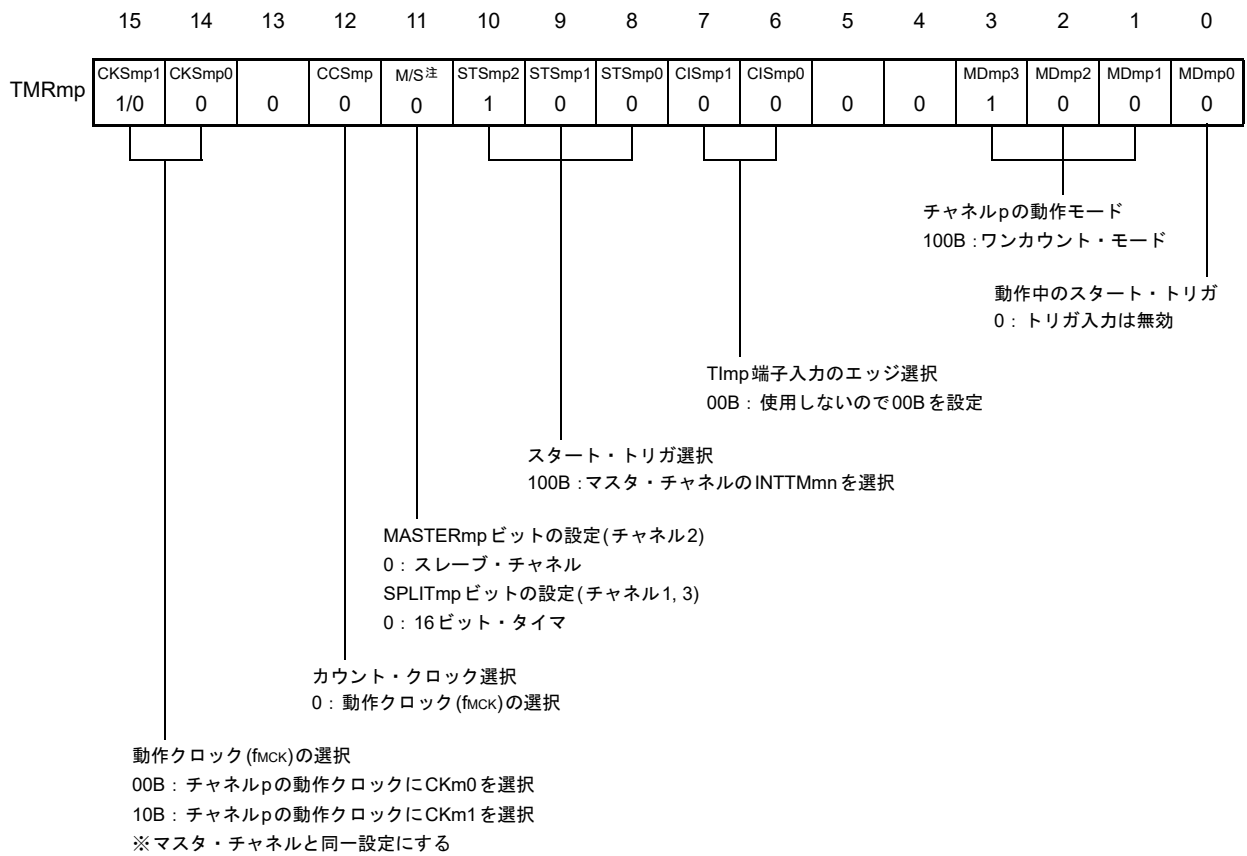


注 TMRm2の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

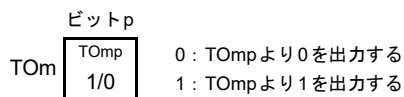
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

図6 - 73 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

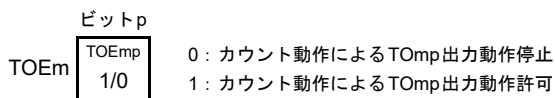
(a) タイマ・モード・レジスタ mp (TMRmp)



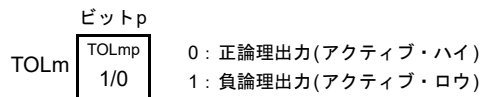
(b) タイマ出力レジスタ m (TOm)



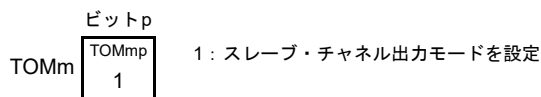
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6-74 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止 状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応する ビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モー ド確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャンネルの TDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図6-75 ワンショット・パルス出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	TEmn = 1, TEmp = 1となり、マスタ・チャンネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定)待ち状態となる カウンタはまだ停止状態のまま マスタ・チャンネルがカウンタ動作開始
	動作中 TMRmn レジスタは、 CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出(TImn端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定)により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。 TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次の TImn端子入力までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEmp = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持 TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	TOmp 端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが0になり、TOmp 端子はポート機能となる)

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

<p>パルス周期 = {TDRmn (マスタ)の設定値 + 1} × カウント・クロック周期</p> <p>デューティ [%] = {TDRmp (スレーブ)の設定値} / {TDRmn (マスタ)の設定値 + 1} × 100</p> <p>0%出力 : TDRmp (スレーブ)の設定値 = 0000H</p> <p>100%出力 : TDRmp (スレーブ)の設定値 ≥ {TDRmn (マスタ)の設定値 + 1}</p>
--

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ)の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm)のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定すると、割り込み(INTTMmn)を出力して、タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm)のチャンネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

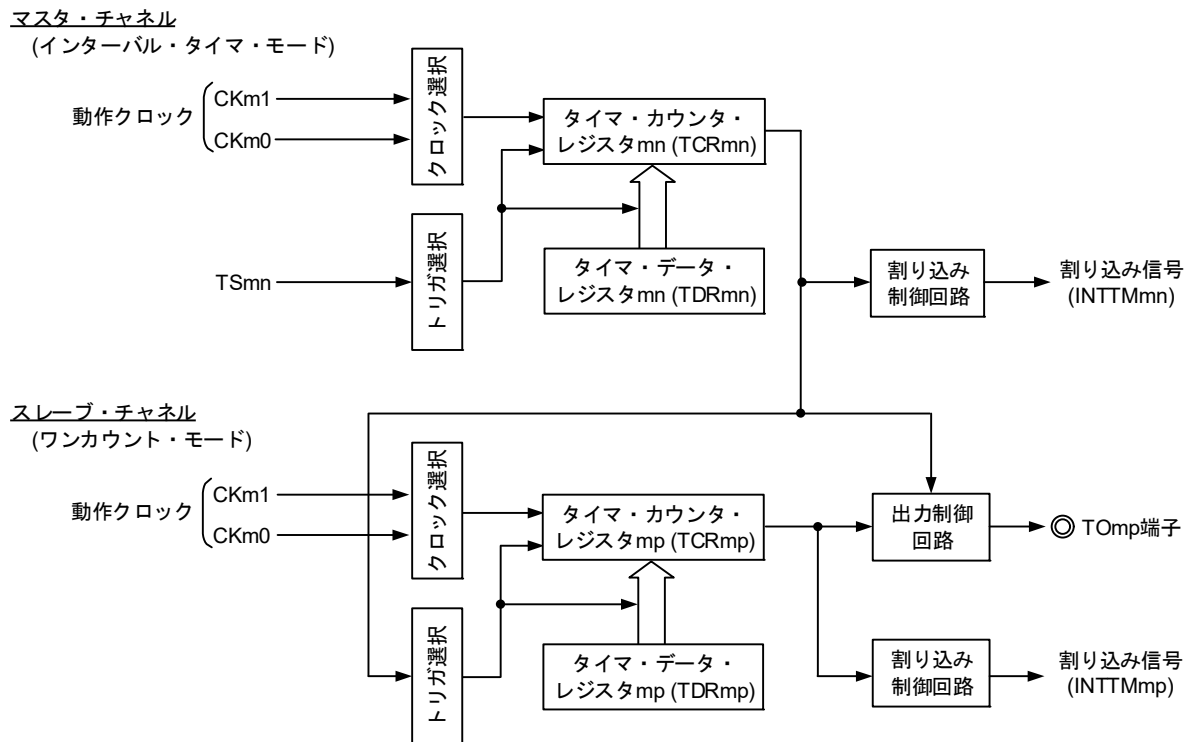
PWM出力(TOmp)は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

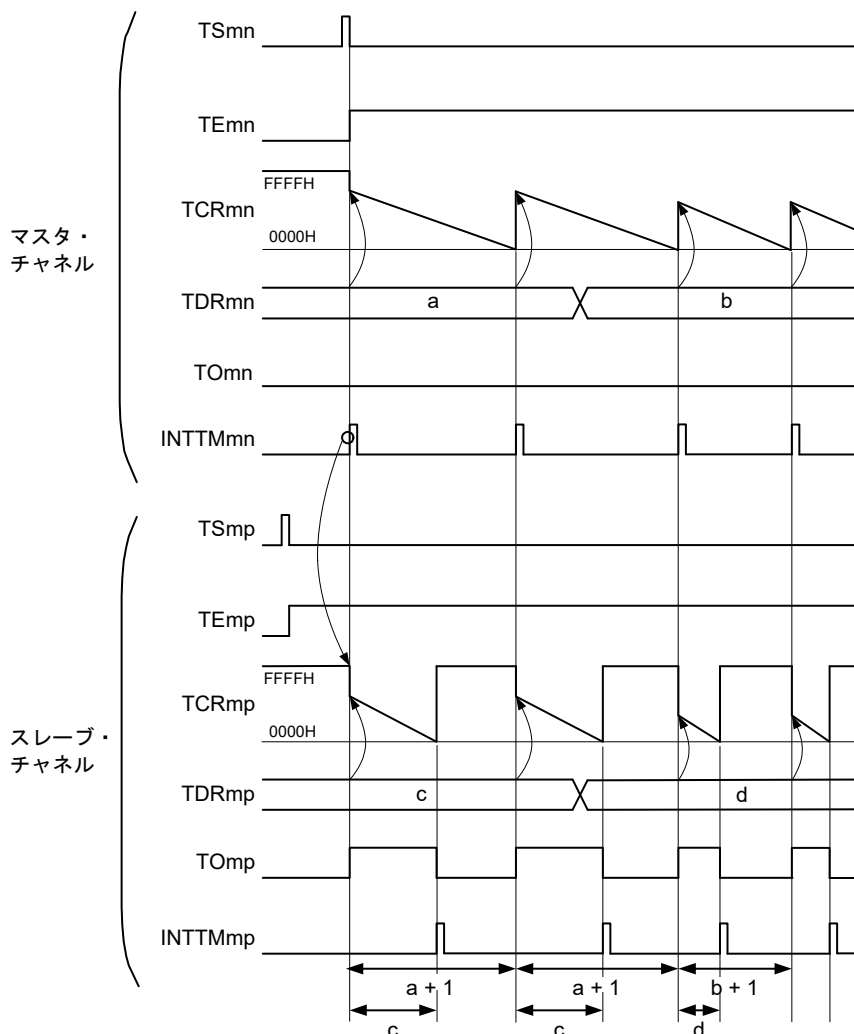
p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6 - 76 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6 - 77 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TE mp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

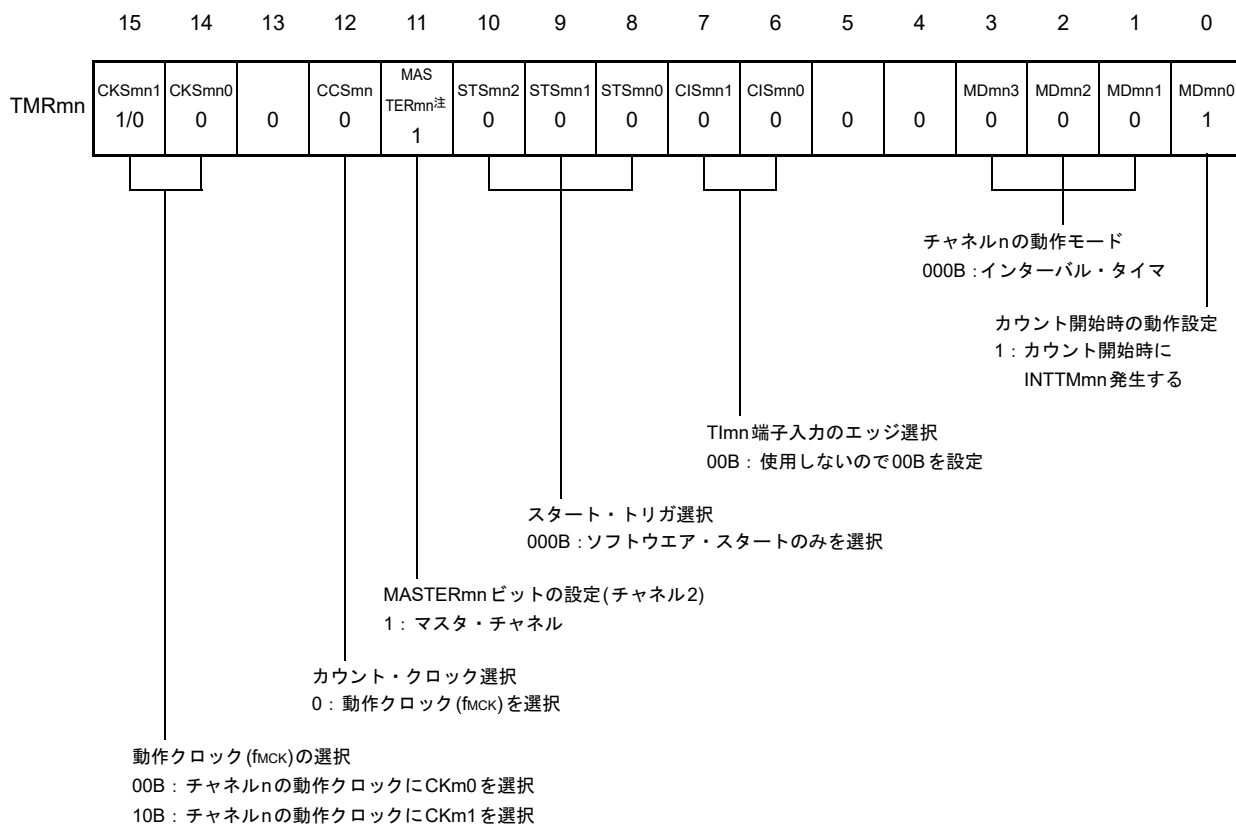
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

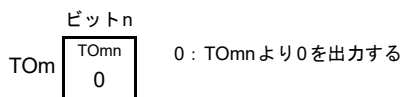
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6 - 78 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

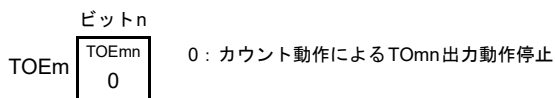
(a) タイマ・モード・レジスタ mn (TMRmn)



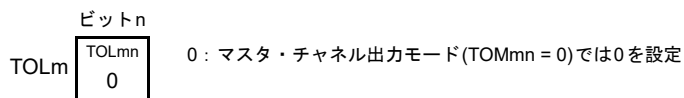
(b) タイマ出力レジスタ m (TOM)



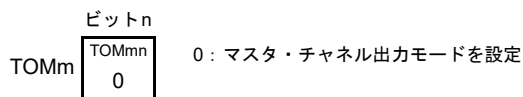
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



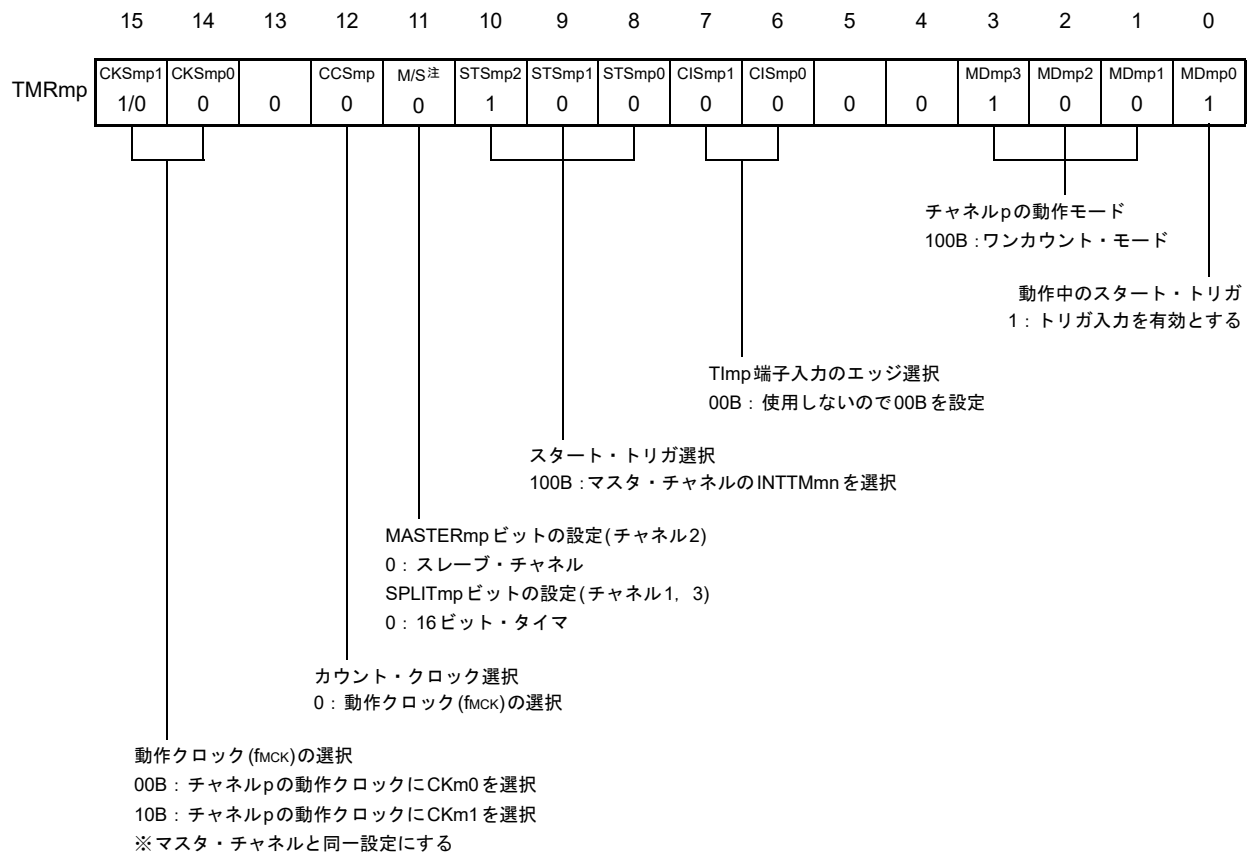
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

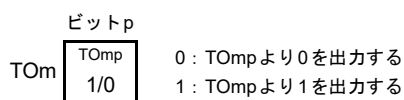
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

図6 - 79 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

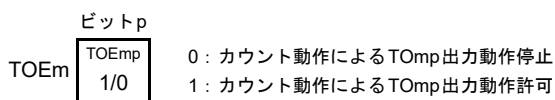
(a) タイマ・モード・レジスタ mp (TMRmp)



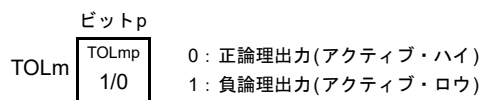
(b) タイマ出力レジスタ m (TOm)



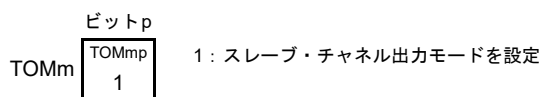
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6 - 80 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	<p>周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する</p> <p>タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する</p>	<p>タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
チャ ネル 初期 設定	<p>使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード確定)</p> <p>マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1(スレーブ・チャンネル出力モード)を設定する</p> <p>TOLmpビットを設定する</p> <p>TOmpビットを設定し, TOmp出力の初期レベルを確定する</p> <p>TOEmpビットに1を設定し, TOmpの動作を許可</p> <p>ポート・レジスタとポート・モード・レジスタに0を設定する</p>	<p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> <p>TOmp端子はHi-Z出力状態</p> <p>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。</p> <p>チャンネルは動作停止状態なので, TOmpは変化しない</p> <p>TOmp端子はTOmp設定レベルを出力</p>

(備考は次ページにあります。)

図6 - 81 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSR0p レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmn レジスタはTDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタはTDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタのTAUmEN ビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット mの入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmp ビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合

または TDRmq (スレーブ2)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合は、

デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn)は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp)の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種のPWMを同時に出力できます。

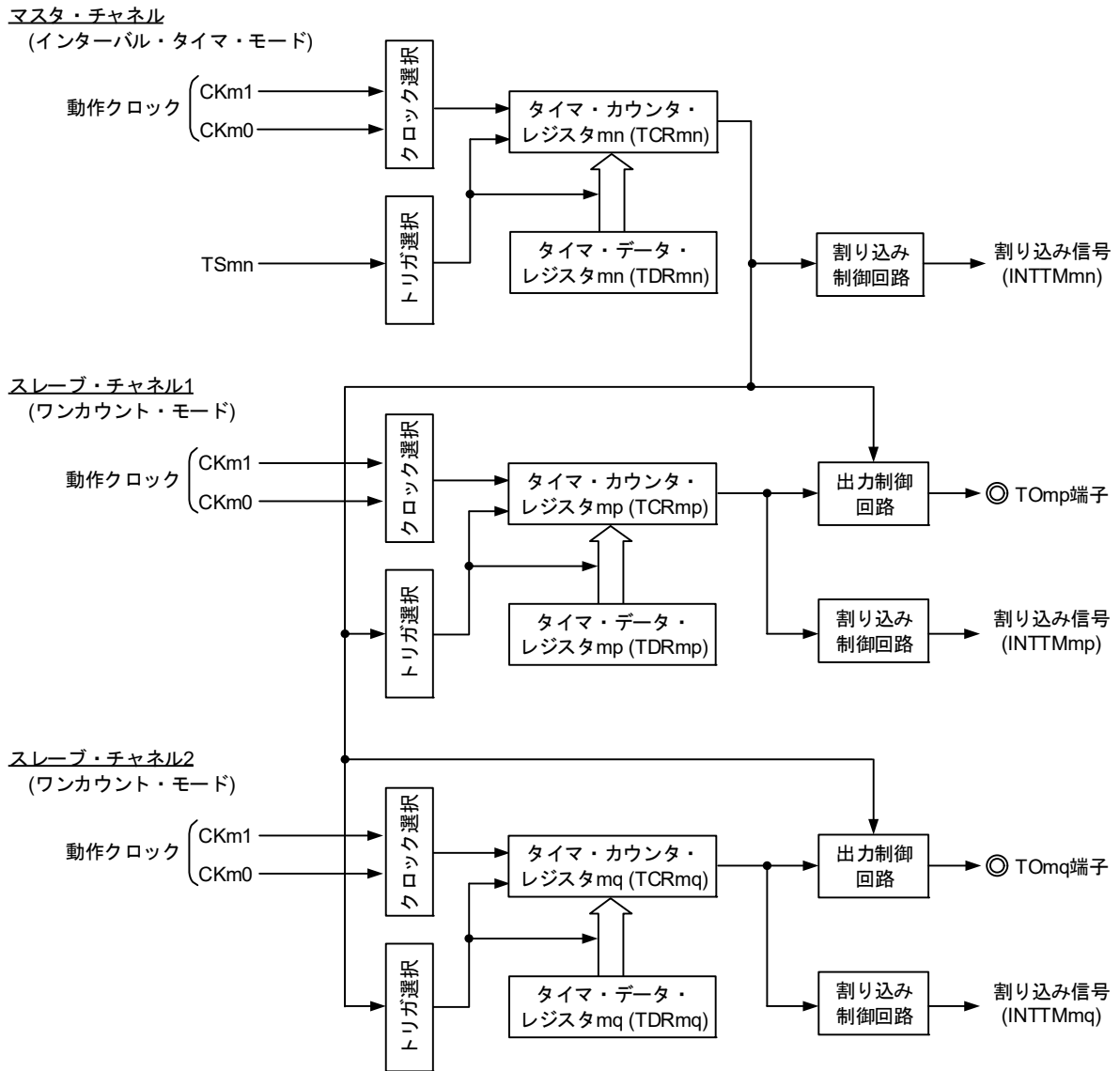
注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

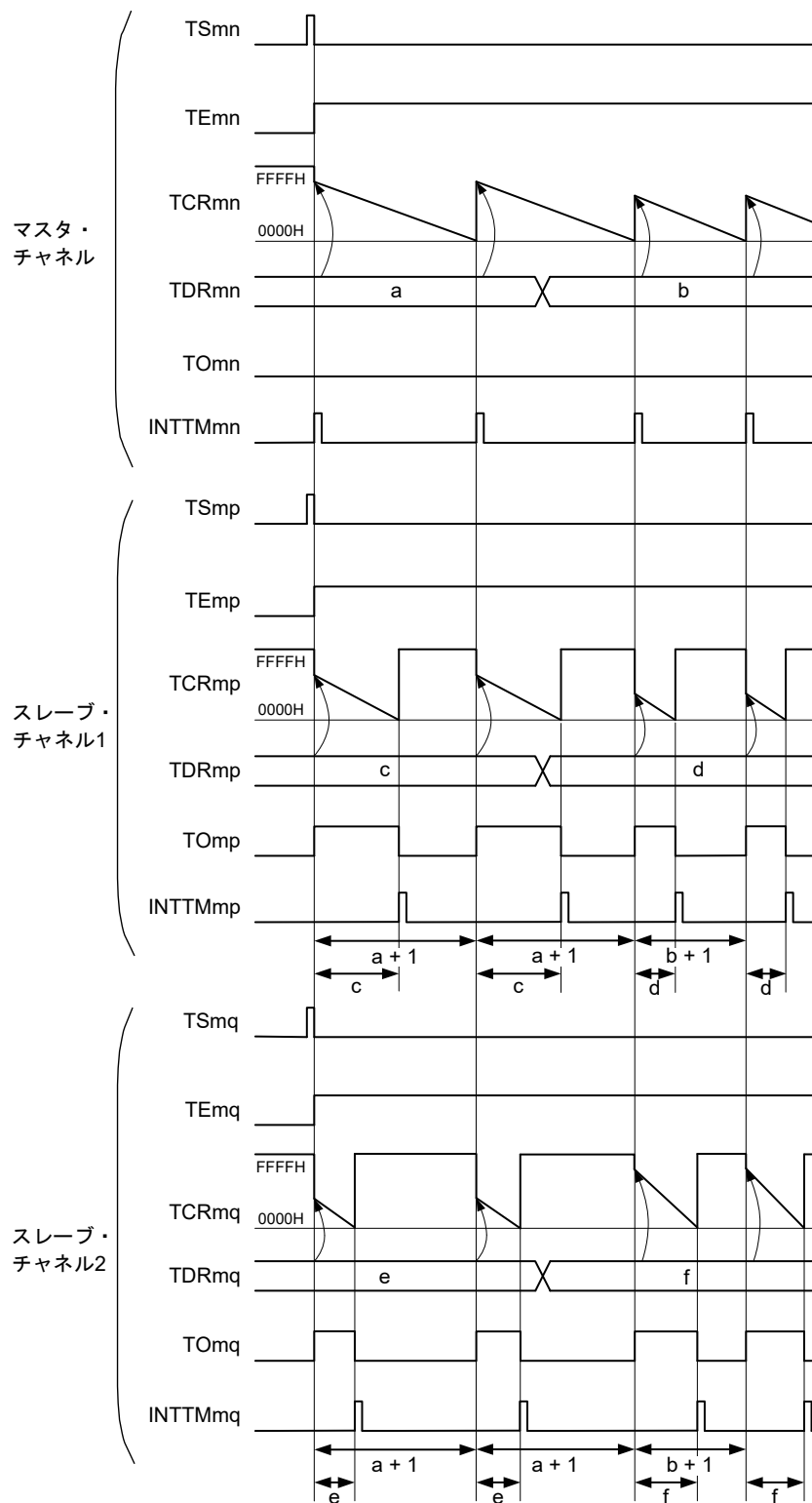
$n < p < q \leq 3$ (ただし p, qは, n以降の整数)

図6 - 82 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図6 - 83 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m)のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m)のビット n, p, q

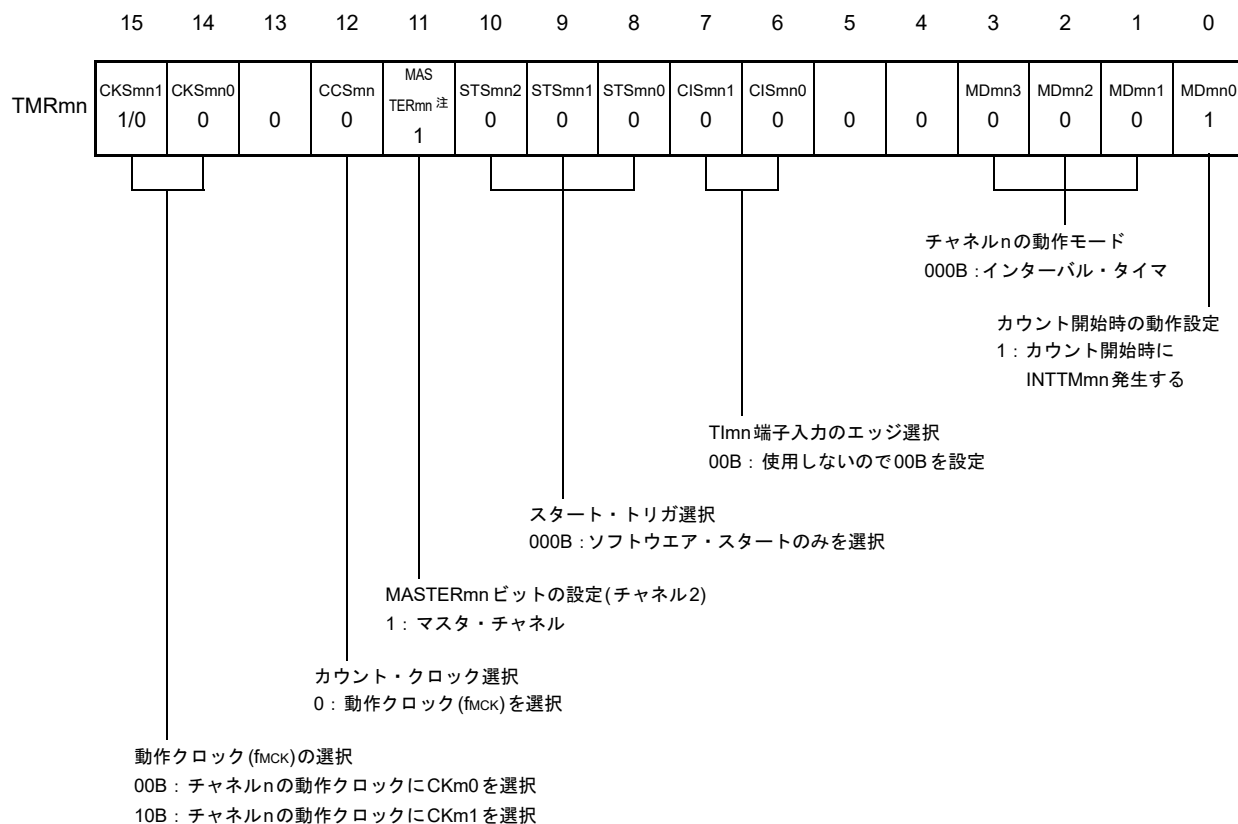
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

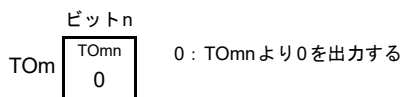
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6 - 84 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

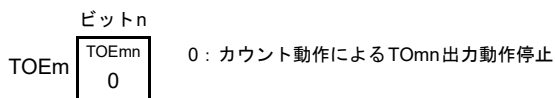
(a) タイマ・モード・レジスタ mn (TMRmn)



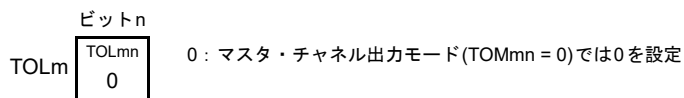
(b) タイマ出力レジスタ m (TOM)



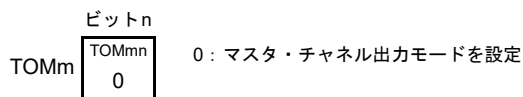
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



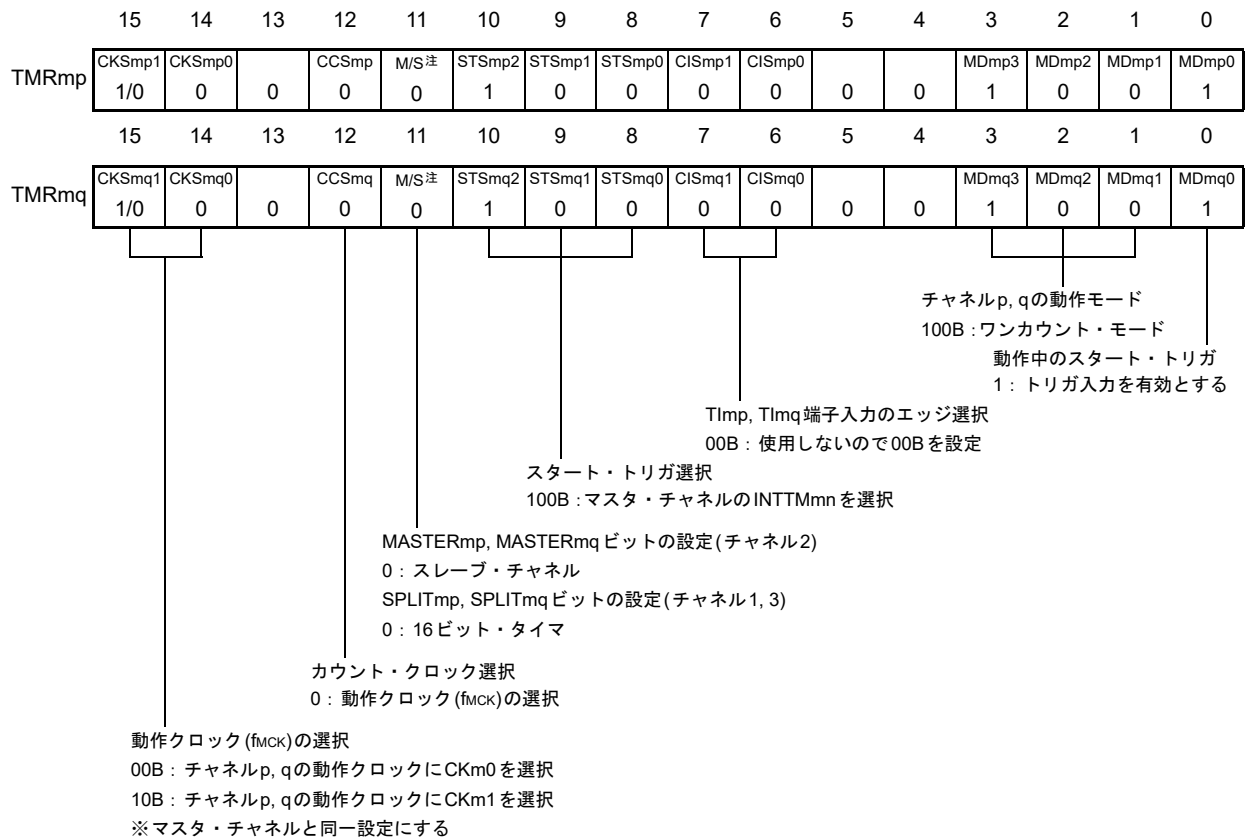
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

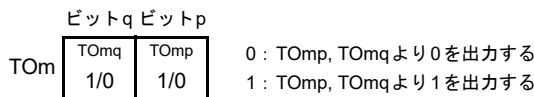
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

図6 - 85 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

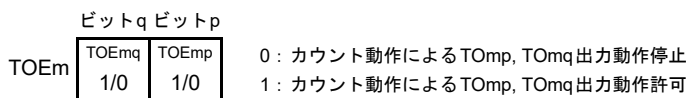
(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



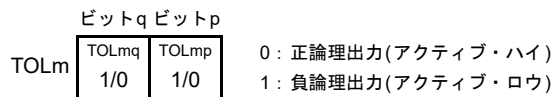
(b) タイマ出力レジスタ m (TOM)



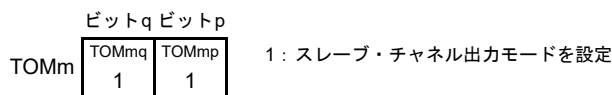
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



- 注 TMRm2 の場合 : MASTERmp, MASTERmq ビット
TMRm1, TMRm3 の場合 : SPLITmp, SPLITmq ビット
- 備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図6 - 86 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード)を設定する TOLmp, TOLmqビットに0を設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm)のTSmn(マスタ), TSmp, TSmq(スレーブ)ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

動作再開(次ページへ)

(備考は次ページにあります。)

図6 - 87 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開(前ページへ)	動作中 TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp, TTmq (スレーブ)ビットに同時に1を設定する → TEmn, TEmp, TEmp = 0になり、カウント動作停止 TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず、状態保持 ----- スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOmqビットに値を設定する → TOmp, TOmq端子はTOmp, TOmq設定レベルを出力	
TAU停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOmqビットに0を設定する → TOmp, TOmq端子出力レベルはポート機能により保持される。 TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要 ----- PER0レジスタのTAUmENビットに0を設定する → タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmp, TOmqビットが0になり、TOmp, TOmq端子はポート機能となる)	

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 3 (ただし p, q は, n以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

第7章 タイマRJ

7.1 タイマRJの機能

タイマRJはパルス出力、外部入力のパルス幅/周期測定、外部イベントをカウントできる16ビットタイマです。

16ビットタイマはリロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJ0レジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。

表7-1にタイマRJの仕様を、図7-1にタイマRJのブロック図を示します。

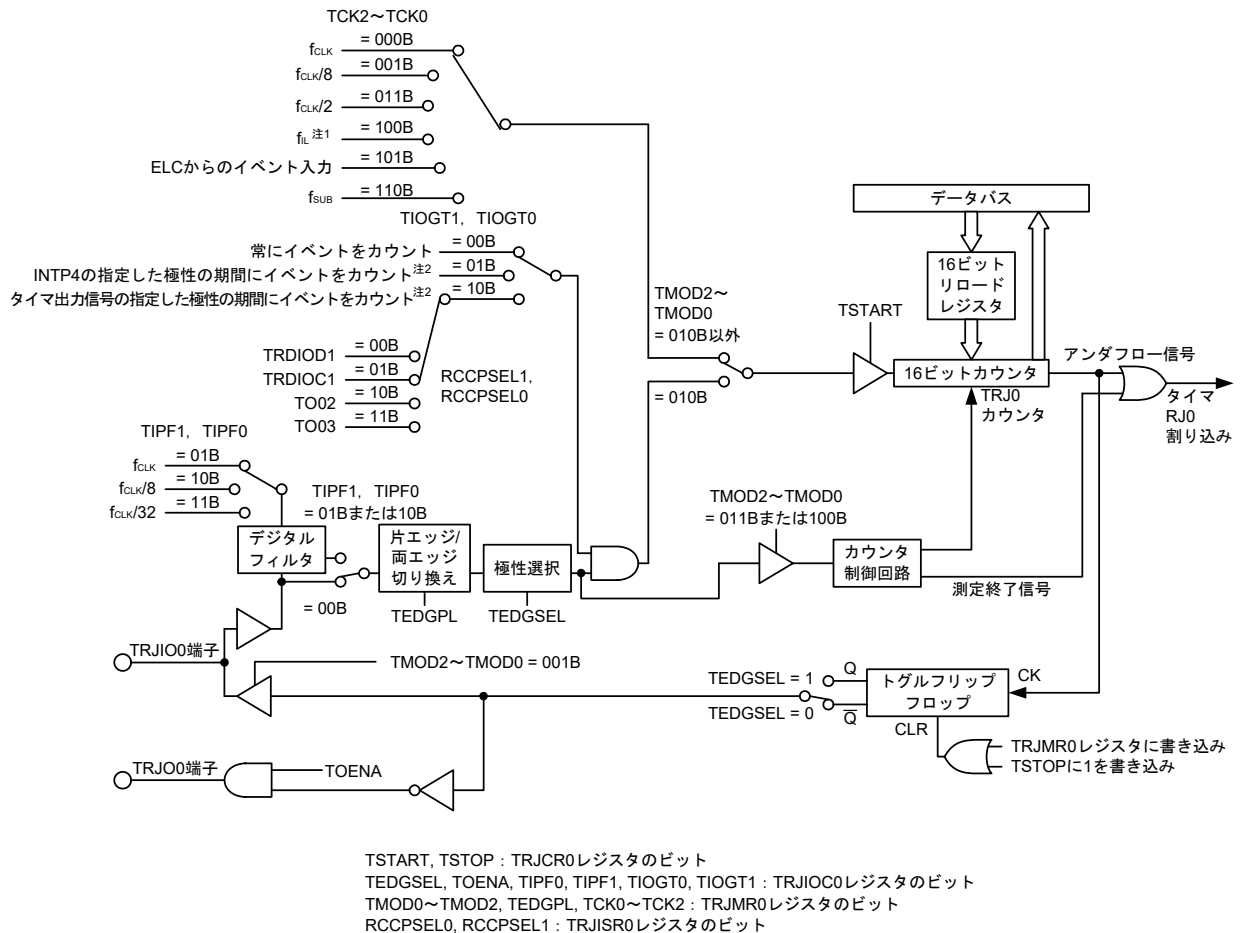
表7-1 タイマRJの仕様

項目		内容
動作 モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース(動作クロック)		fCLK, fCLK/2, fCLK/8, fIL, fSUB, イベント・リンク・コントローラ(ELC)からのイベント入力から選択可能
割り込み		<ul style="list-style-type: none"> カウンタがアンダフローしたとき パルス幅測定モードで、外部入力(TRJIO0)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO0)の設定エッジが入力されたとき
選択機能		<ul style="list-style-type: none"> イベント・リンク・コントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能

7.2 タイマRJの構成

図7-1にタイマRJのブロック図を、表7-2にタイマRJの端子構成を示します。

図7-1 タイマRJのブロック図



注1. カウントソースにf_{IL}を選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。ただし、リアルタイム・クロックまたは、12ビット・インターバル・タイマのカウントソースにf_{SUB}を選択している場合は、タイマRJのカウントソースにf_{IL}を選択することができません。

注2. TRJISR0レジスタのRCCPSEL2ビットで極性を選択できます。

表7-2 タイマRJの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJのイベントカウンタモード制御
TRJIO0注	入出力	タイマRJの外部イベント入力, パルス出力
TRJO0注	出力	タイマRJのパルス出力

注 TRJO0 端子の割り当てを、PIOR1 レジスタのPIOR12, PIOR13ビットで選択できます。また、TRJIO0 端子の割り当てを、PIOR1 レジスタのPIOR10, PIOR11ビットで選択できます。詳細は第4章 ポート機能を参照してください。

7.3 タイマRJを制御するレジスタ

表7-3にタイマRJを制御するレジスタを示します。

表7-3 タイマRJを制御するレジスタ

レジスタ名	シンボル
周辺I/Oリダイレクション・レジスタ1	PIOR1
周辺イネーブル・レジスタ1	PER1
サブシステム・クロック供給モード制御レジスタ	OSMC
タイマRJカウンタレジスタ0 ^注	TRJ0
タイマRJ制御レジスタ0	TRJCR0
タイマRJ I/O制御レジスタ0	TRJIOC0
タイマRJモードレジスタ0	TRJMR0
タイマRJイベント端子選択レジスタ0	TRJISR0
ポート・レジスタ0	P0
ポート・レジスタ3	P3
ポート・レジスタ4	P4
ポート・レジスタ5	P5
ポート・レジスタ7	P7
ポート・モード・レジスタ0	PM0
ポート・モード・レジスタ3	PM3
ポート・モード・レジスタ4	PM4
ポート・モード・レジスタ5	PM5
ポート・モード・レジスタ7	PM7

注 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

7.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRJを使用する場合は、必ずビット0 (TRJ0EN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMPEN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN
	TRJ0EN	タイマRJ0の入カクロック供給の制御						
	0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態						
	1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可						

注意 タイマRJの設定をする際には、必ず最初にTRJ0EN = 1の設定を行ってください。TRJ0EN = 0の場合は、タイマRJの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ0, 3, 4, 5, 7 (PM0, PM3, PM4, PM5, PM7), ポート・レジスタ0, 3, 4, 5, 7 (P0, P3, P4, P5, P7)は除く)。

7.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットでタイマRJの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック, 12ビット・インターバル・タイマの動作クロック (fRTC), タイマRJの動作クロックの選択
0	サブシステム・クロック (fSUB) ・リアルタイム・クロック, 12ビット・インターバル・タイマの動作クロックはサブシステム・クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータを選択することはできません。
1	低速オンチップ・オシレータ・クロック (fIL) ・リアルタイム・クロック, 12ビット・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。

7.3.3 タイマRJカウンタレジスタ0 (TRJ0)

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCR0レジスタのTSTARTビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は7.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJ0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJ0レジスタはFFFFHになります。

図7-4 タイマRJカウンタレジスタ0 (TRJ0)のフォーマット

アドレス : F0500H リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJ0																
—	機能															設定範囲
ビット 15~0	16ビットのカウンタです。注1,2															0000H~FFFFH

注1. TRJCR0レジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFHになります。

注2. TRJMR0レジスタのTCK2~TCK0ビットの設定が001B (fclk/8)または011B (fclk/2)以外では、TRJ0レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。ただし、TRJ0およびTRJIO0出力はトグル出力されます。

また、イベントカウンタモード時はTCK2~TCK0ビットの値に関わらず、TRJ0レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。さらに、カウント指定期間外でもTRJ00がトグル出力されます。

TRJ0レジスタが0001H以上の場合はTRJがアンダフローするごとに要求信号が発生します。

注意 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

7.3.4 タイマRJ制御レジスタ0 (TRJCR0)

TRJCR0レジスタは、タイマRJのカウンタ動作・停止の制御と、タイマRJステータスを示すレジスタです。

TRJCR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJCR0レジスタは00Hになります。

図7-5 タイマRJ制御レジスタ0 (TRJCR0)のフォーマット

アドレス : F0240H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJCR0	0	0	TUNDF	TEDGF	0	TSTOP	TCSTF	TSTART
TUNDF	タイマRJアンダフローフラグ							
0	アンダフローなし							
1	アンダフローあり							
[0になる条件]								
<ul style="list-style-type: none"> プログラムで0を書いたとき 								
[1になる条件]								
<ul style="list-style-type: none"> カウンタがアンダフローしたとき 								
TEDGF	有効エッジ判定フラグ							
0	有効エッジなし							
1	有効エッジあり							
[0になる条件]								
<ul style="list-style-type: none"> プログラムで0を書いたとき 								
[1になる条件]								
<ul style="list-style-type: none"> パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき 								
TSTOP	タイマRJカウント強制停止 ^{注1}							
1を書くと、カウント強制停止。読んだ場合、その値は0。								
TCSTF	タイマRJカウントステータスフラグ ^{注2}							
0	カウント停止							
1	カウント中							
[0になる条件]								
<ul style="list-style-type: none"> TSTARTビットに0を書いたとき(カウントソースに同期して0になる) TSTOPビットに1を書いたとき 								
[1になる条件]								
<ul style="list-style-type: none"> TSTARTビットに1を書いたとき(カウントソースに同期して1になる) 								
TSTART	タイマRJカウント開始 ^{注2}							
0	カウント停止							
1	カウント開始							
TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。詳細は7.5.1 カウント動作開始、停止制御を参照してください。								

注1. TSTOPビットに1(カウント強制停止)を書くと、同時にTSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

注2. TSTART、TCSTFビットの使用上の注意は7.5.1 カウント動作開始、停止制御を参照してください。

7.3.5 タイマRJ I/O制御レジスタ0 (TRJIOC0)

TRJIOC0レジスタは、タイマRJの入出力を設定するレジスタです。

TRJIOC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJIOC0レジスタは00Hになります。

図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマット

アドレス : F0241H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	0	TOENA	0	TEDGSEL
	TIOGT1	TIOGT0	TRJIOカウント制御 ^{注1,2}					
	0	0	常にイベントをカウント					
	0	1	INTP4の指定した極性の期間イベントをカウント					
	1	0	タイマ出力信号の指定した極性の期間イベントをカウント					
	上記以外		設定禁止					
	TIPF1	TIPF0	TRJIO入力フィルタ選択					
	0	0	フィルタなし					
	0	1	フィルタあり, fCLKでサンプリング					
	1	0	フィルタあり, fCLK/8でサンプリング					
	1	1	フィルタあり, fCLK/32でサンプリング					
	TRJIO入力のフィルタのサンプリング周波数を指定します。TRJIO0端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。							
	TOENA	TRJO出力許可						
	0	TRJO出力禁止(ポート)						
	1	TRJO出力許可						
	TEDGSEL	入出力極性切り替え						
	動作モードによって機能が異なります(表7-4, 表7-5参照)。							

注1. INTP4またはタイマ出力信号使用時, TRJISR0レジスタのRCCPSEL2ビットでイベントをカウントする極性を選択できます。

注2. TIOGT0, TIOGT1ビットはイベントカウンタモードでのみ有効です。

表7-4 TRJIO入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない(入出力ポート)
パルス出力モード	0: Hから出力開始(初期化レベル: H) 1: Lから出力開始(初期化レベル: L)
イベントカウンタモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Lレベル幅を測定 1: Hレベル幅を測定
パルス周期測定モード	0: 測定パルスの立ち上がりから立ち上がり間測定 1: 測定パルスの立ち下がりから立ち下がり間測定

表7-5 TRJO出力極性切り替え

動作モード	機能
全モード	0: Lから出力開始(初期化レベル: L) 1: Hから出力開始(初期化レベル: H)

7.3.6 タイマRJモードレジスタ0 (TRJMR0)

TRJMR0レジスタは、タイマRJの動作モードを設定するレジスタです。

TRJMR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJMR0レジスタは00Hになります。

図7-7 タイマRJモードレジスタ0 (TRJMR0)のフォーマット

アドレス : F0242H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJMR0	0	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
	TCK2	TCK1	TCK0	タイマRJカウントソース選択 ^{注1,2}				
	0	0	0	fCLK				
	0	0	1	fCLK/8				
	0	1	1	fCLK/2				
	1	0	0	fIL				
	1	0	1	ELCからのイベント入力				
	1	1	0	fSUB				
	上記以外			設定禁止				
	TEDGPL	TRJIOエッジ極性選択 ^{注5}						
	0	片エッジ						
	1	両エッジ						
	TMOD2	TMOD1	TMOD0	タイマRJ動作モード選択 ^{注3}				
	0	0	0	タイマモード				
	0	0	1	パルス出力モード				
	0	1	0	イベントカウンタモード				
	0	1	1	パルス幅測定モード				
	1	0	0	パルス周期測定モード				
	上記以外			設定禁止				

注1. イベントカウンタモードを選択すると、TCK0 ~ TCK2 ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO)が選択されます。

注2. カウント中にカウントソースを切り替えないでください。カウントソースを切り替えるときはTRJCR0レジスタのTSTARTビットとTCSTFビットがいずれも0 (カウント停止)のときに、カウントソースを切り替えてください。

注3. 動作モードの変更は、カウント停止時(TRJCRレジスタのTSTARTビットとTCSTFビットが共に0 (カウント停止))のみ可能です。カウント動作中には変更しないでください。

注4. カウントソースにfILを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを"1"にしてください。

ただし、リアルタイム・クロックまたは、12ビット・インターバル・タイマのカウントソースにfSUBを選択している場合は、タイマRJのカウントソースにfILを選択することができません。

注5. TEDGPLビットはイベントカウンタモード時のみ有効です。

注6. TRJMR0レジスタへのライトアクセスにて、タイマRJのTRJ0端子およびTRJIO0端子の出力は初期化されます。初期化時の出力レベルは図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマットの説明を参照してください。

7.3.7 タイマRJイベント端子選択レジスタ0 (TRJISR0)

TRJISR0 レジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJISR0 レジスタは00Hになります。

図7-8 タイマRJイベント端子選択レジスタ0 (TRJISR0)のフォーマット

アドレス : F0243H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJISR0	0	0	0	0	0	RCCPSEL2 ^注	RCCPSEL1 ^注	RCCPSEL0 ^注
RCCPSEL2 ^注	タイマ出力信号およびINTP4極性選択							
0	L期間にイベントをカウント							
1	H期間にイベントをカウント							
RCCPSEL1 ^注	RCCPSEL0 ^注	タイマ出力信号選択						
0	0	TRDIOD1						
0	1	TRDIOC1						
1	0	TO02						
1	1	TO03						

注 RCCPSEL0～RCCPSEL2ビットはイベントカウンタモードでのみ有効です。

7.3.8 ポート・モード・レジスタ 0, 3, 4, 5, 7 (PM0, PM3, PM4, PM5, PM7)

ポート0, 3, 4, 5, 7の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P01/TRJIO0, P30/TRJO0 など) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P01/TRJIO0をタイマ出力として使用する場合

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート (P01/TRJIO0 など) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P01/TRJIO0をタイマ入力として使用する場合

ポート・モード・レジスタ0のPM01ビットを1に設定

ポート・レジスタ0のP01ビットを0または1に設定

PM0, PM3, PM4, PM5, PM7 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図7-9 ポート・モード・レジスタ0, 3, 4, 5, 7 (PM0, PM3, PM4, PM5, PM7)のフォーマット(64ピン製品)

アドレス : FFF20H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00
-----	---	------	------	------	------	------	------	------

アドレス : FFF23H リセット時 : FFH R/W

PM3	1	1	1	1	1	1	PM31	PM30
-----	---	---	---	---	---	---	------	------

アドレス : FFF24H リセット時 : FFH R/W

PM4	1	1	1	1	PM43	PM42	PM41	PM40
-----	---	---	---	---	------	------	------	------

アドレス : FFF25H リセット時 : FFH R/W

PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50
-----	---	---	------	------	------	------	------	------

アドレス : FFF27H リセット時 : FFH R/W

PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
-----	------	------	------	------	------	------	------	------

PMmn	Pmn端子の入出力モードの選択(m = 0, 3, 4, 5, 7 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

備考 上記は、64ピン製品のポート・モード・レジスタ0, 3, 4, 5, 7のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-4~表4-6各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

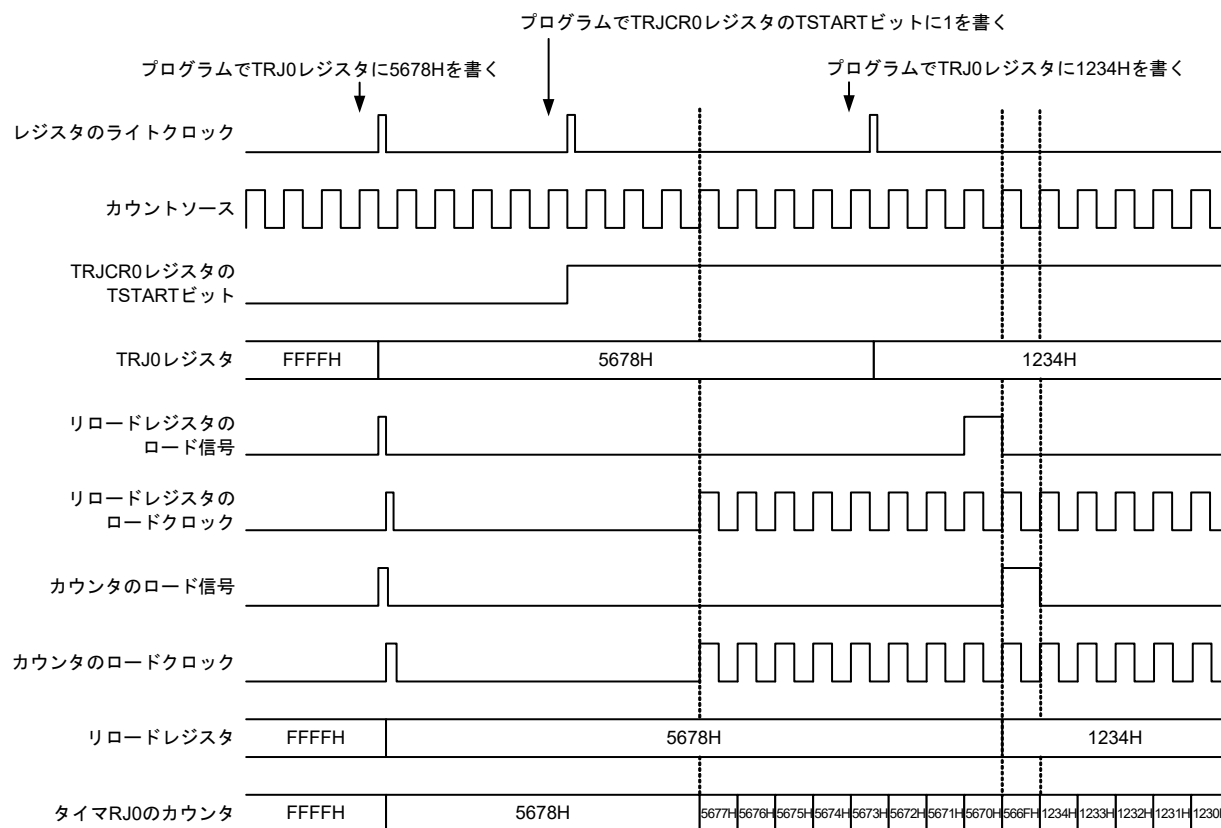
7.4 タイマRJの動作

7.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらずTRJCR0レジスタのTSTARTビットの値によりタイミングが変わります。TSTARTビットが0 (カウント停止)のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTARTビットが1 (カウント開始)のときは、カウントソースに同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図7-10にTSTARTビットの値による書き換え動作のタイミング図を示します。

図7-10 TSTARTビットの値による書き換え動作のタイミング図



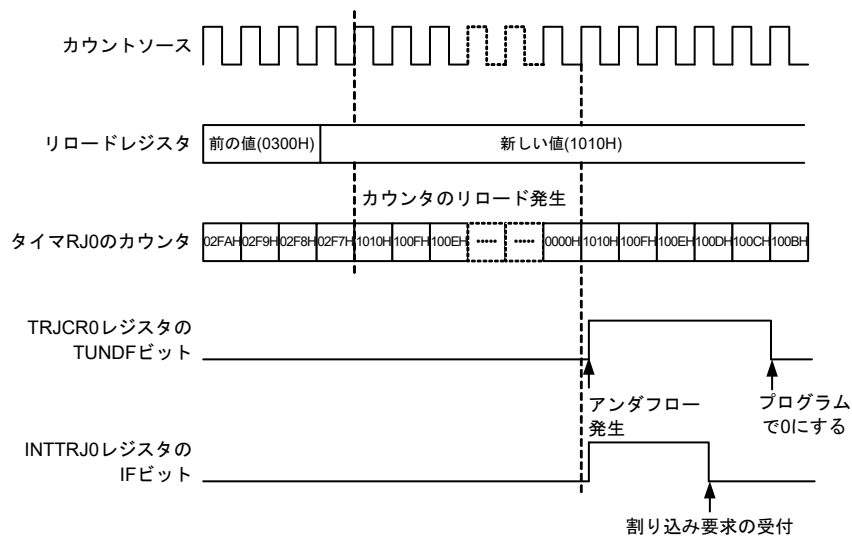
7.4.2 タイマモード

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図7-11にタイマモードの動作例を示します。

図7-11 タイマモードの動作例



7.4.3 パルス出力モード

TRJMR0 レジスタの TCK0 ~ TCK2 ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIO 端子および TRJO 端子の出力レベルを反転出力させるモードです。

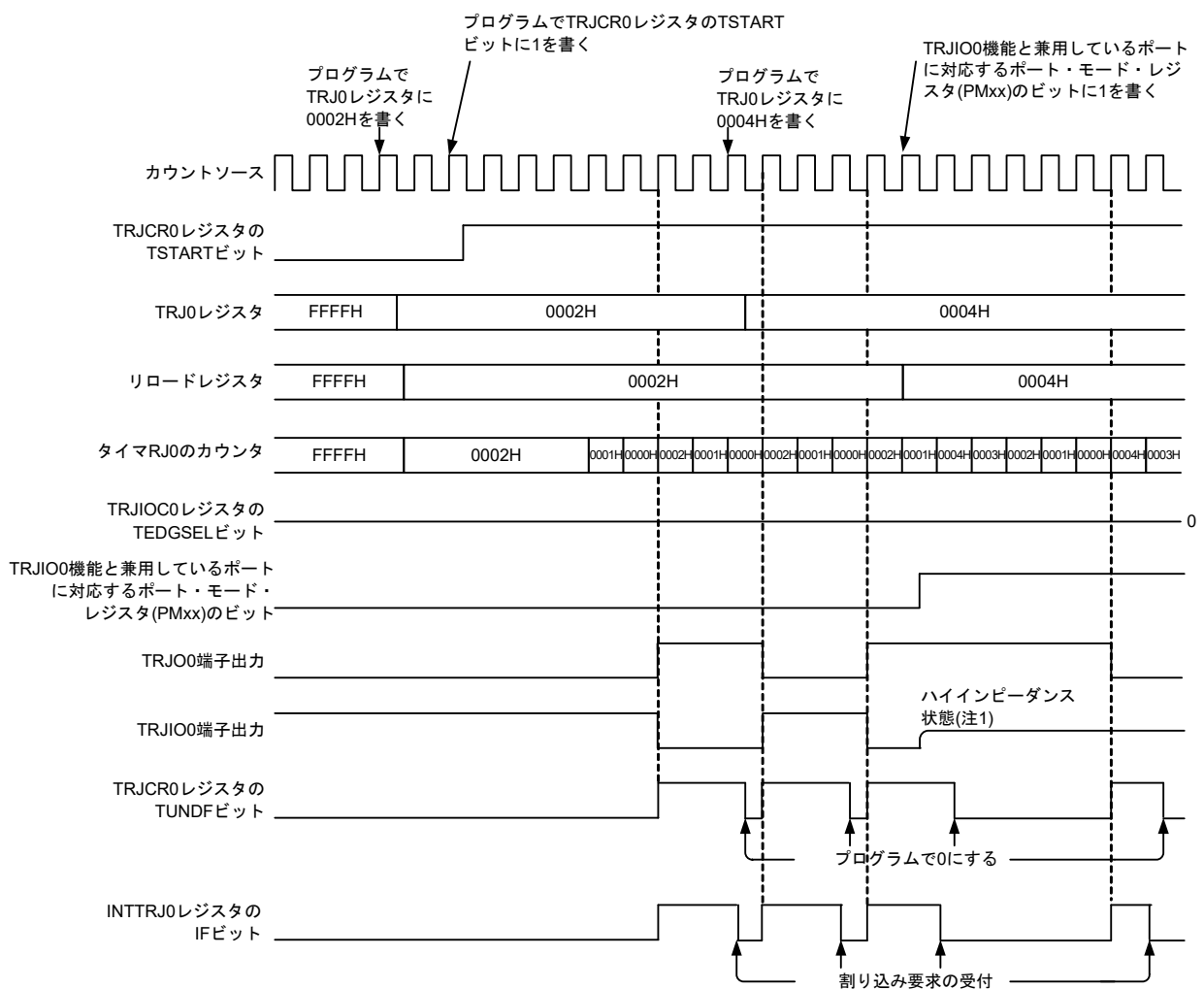
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000H になり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIO0 端子と TRJO0 端子の2端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJO0 端子については、TRJIOC0 レジスタの TOENA ビットによりパルス出力を停止できます。

なお、出力レベルを TRJIOC0 レジスタの TEDGSEL ビットにより選択できます。

図7-12 にパルス出力モードの動作例を示します。

図7-12 パルス出力モードの動作例



注1. TRJIO0機能として選択したポートの出力許可制御によって、ハイインピーダンス状態となります。

7.4.4 イベントカウンタモード

TRJIO0端子から入力される外部イベント信号(カウントソース)でダウンカウントするモードです。

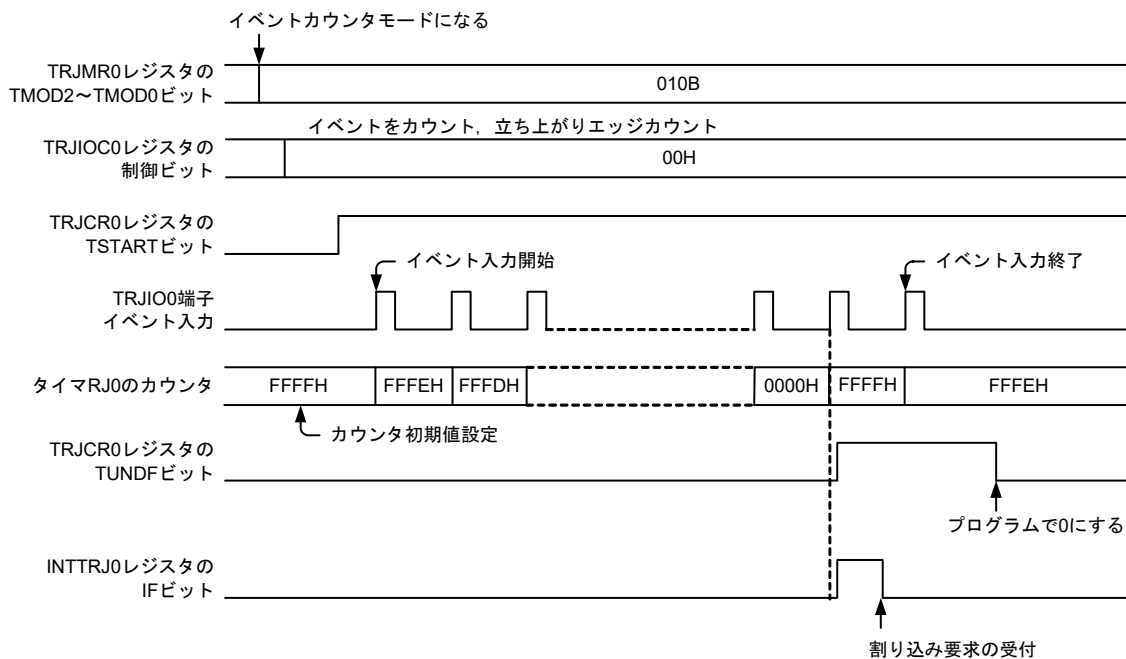
イベントカウントする期間を, TRJIOC0レジスタのTIOGT0~TIOGT1ビットおよびTRJISR0レジスタにより各種設定ができます。また, TRJIO0入力のフィルタ機能をTRJIOC0レジスタのTIPF0~TIPF1ビットで指定できます。

なお, イベントカウンタモードでもTRJO0端子からトグル出力ができます。

イベントカウンタモードを使用する場合は7.5.5 TRJO0, TRJIO0端子の設定手順を参照してください。

図7-13にイベントカウンタモードの動作例1を示します。

図7-13 イベントカウンタモードの動作例1

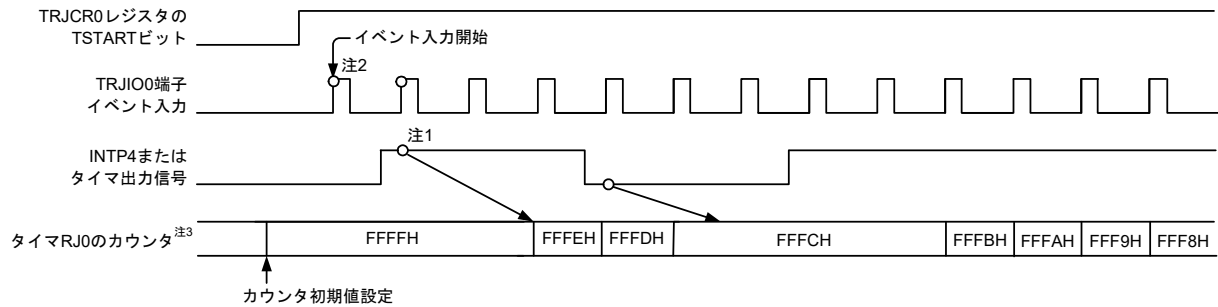


イベントカウンタモードで指定時間カウントする場合 (TRJIOC0 レジスタの TIOGT1,0 ビットが 01B または 10B) の動作例を図 7 - 14 に示します。

図 7 - 14 イベントカウンタモードの動作例 2

■動作モード設定が下記の場合のタイミング例

- TRJMR0 レジスタ: TMOD2,1,0 = 010B (イベントカウンタモード)
- TRJIOC0 レジスタ: TIOGT1,0 = 01B (外部割り込み端子の指定した期間イベントカウント)
- TIPF1,0 = 00B (フィルタなし)
- TEDGSEL = 0 (立ち上がりエッジでカウント)
- TRJISR0 レジスタ: RCCPSEL2 = 1 (H期間をカウント)



下記注意事項は、イベントカウンタモードの動作モード設定が、TRJIOC0 レジスタの TIOGT1,0 が 01B または 10B の場合に限りません。

- 注 1. 同期化制御のため、カウント動作に反映されるまで、カウントソースで 2 クロック分の遅延があります。
- 注 2. カウント開始直後のカウントソースで 2 クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
- 注 3. TRJISR0 レジスタの RCCPSEL1, RCCPSEL0 ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

7.4.5 パルス幅測定モード

TRJIO0端子から入力される外部信号のパルス幅を測定するモードです。

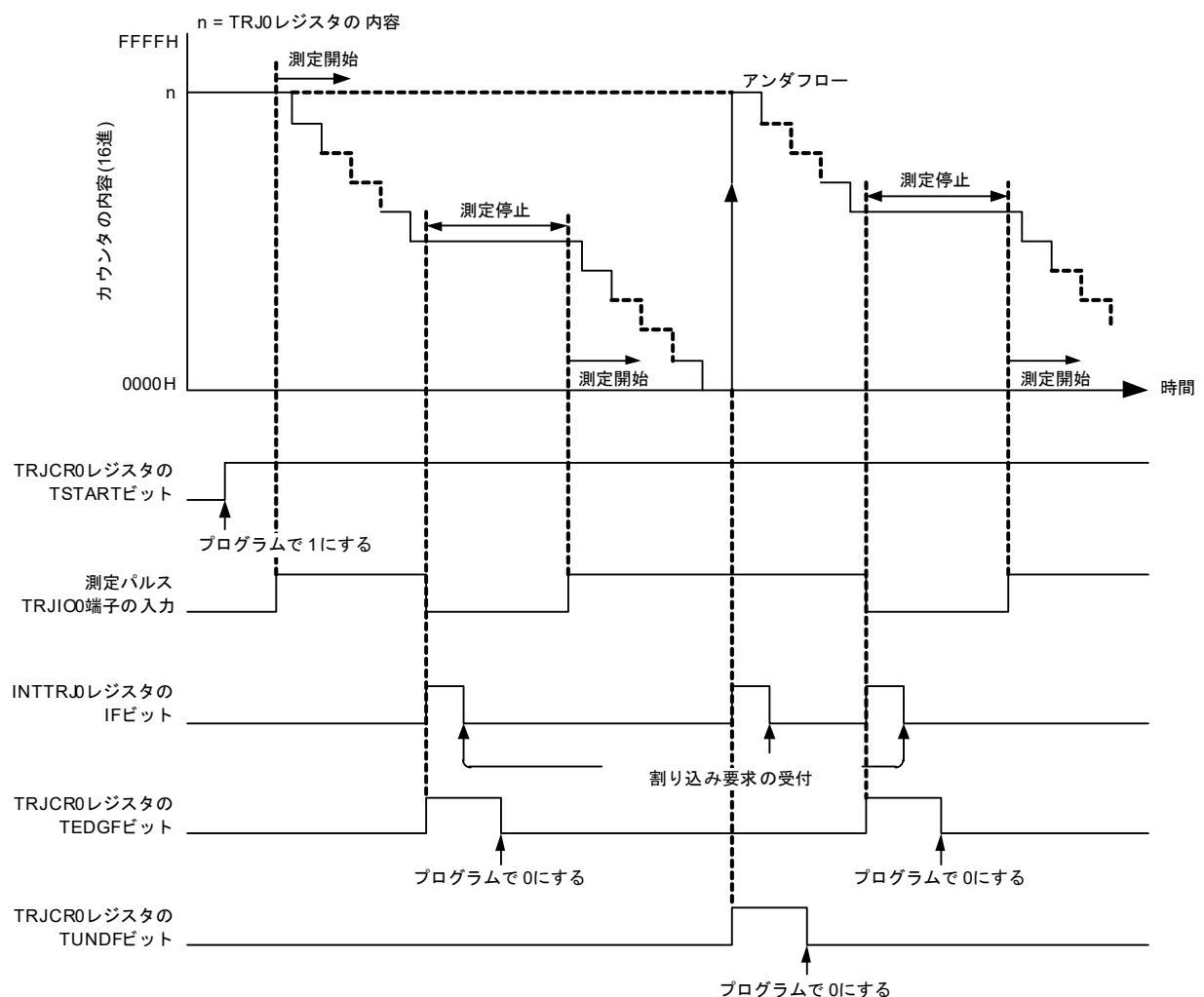
パルス幅測定モードでは、TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO0端子の指定したレベルが終了するとカウンタは停止し、TRJCR0レジスタのTEDGFビットが1 (有効エッジあり) になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1 (アンダフローあり) になり、割り込み要求が発生します。

図7-15にパルス幅測定モードの動作例を示します。

TRJCR0レジスタのTEDGF, TUNDFビットをアクセスする場合は7.5.2 フラグへのアクセス (TRJCR0レジスタのTEDGF, TUNDFビット) を参照してください。

図7-15 パルス幅測定モードの動作例

測定パルスのHレベル幅を測定した場合 (TRJIOC0レジスタのTEDGSELビット = 1)



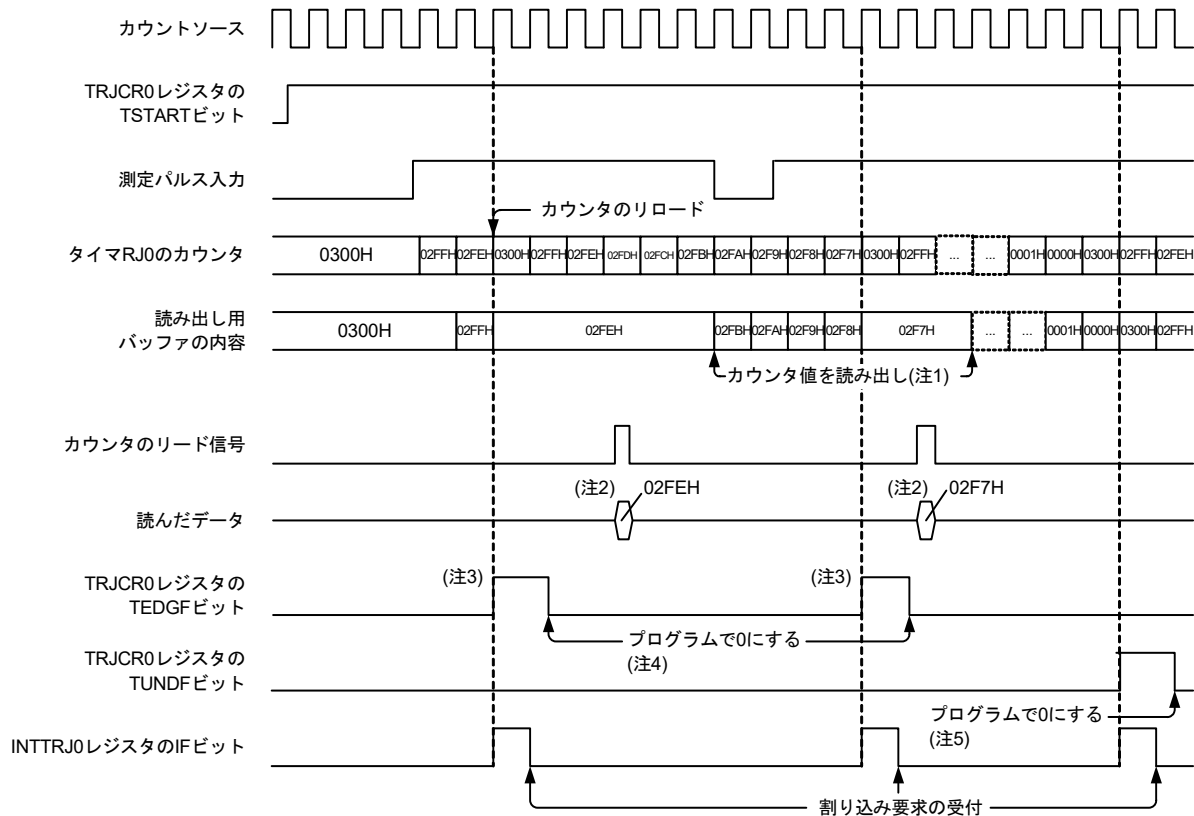
7.4.6 パルス周期測定モード

TRJIO0端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCR0レジスタのTEDGFビットが1(有効エッジあり)になり、割り込み要求が発生します。このときに読み出し用バッファ(TRJ0レジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1(アンダフローあり)になり、割り込み要求が発生します。図7-16にパルス周期測定モードの動作例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図7-16 パルス周期測定モードの動作例



TRJ0レジスタの初期値を0300Hとし、TRJIOC0レジスタのTEDGSELビットを0にし、測定パルスの立ち上がりまで測定した場合です。

- 注1. TRJ0レジスタの読み出しは、TEDGFビットが1(有効エッジあり)になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は、TRJ0レジスタを読み出すまで保持されます。従って、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 注2. パルス周期測定モードでTRJ0レジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCR0レジスタのTEDGFビットが1(有効エッジあり)になります。
- 注4. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTEDGFビットに0を書いてください。
- 注5. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTUNDFビットに0を書いてください。

7.4.7 イベント・リンク・コントローラ(ELC)との連携による動作

ELCとの連携により、カウントソースにELCからのイベント入力を設定することができます。

TRJMR0レジスタのTCK0～TCK2ビットにて、ELCからのイベント入力の立ち上がりでカウントします。ただし、イベントカウンタモードでは、ELC入力は機能しません。

ELC設定手順を以下に示します。

•動作開始手順

- (1) ELCのイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJのモードを設定する。
- (4) タイマRJのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

•動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJのモードのカウンタ動作を停止させる。
- (3) ELCのイベント出力先選択レジスタ(ELSELRn)を0に設定する。

7.4.8 各モード出力設定

表7-6, 表7-7に各モード時のTRJO0, TRJIO0端子状態を示します。

表7-6 TRJO0端子設定

動作モード	TRJIOC0レジスタ		TRJO0端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表7-7 TRJIO0端子設定

動作モード	TRJIOC0レジスタ		TRJIO0端子入出力
	PMXXビット注	TEDGSELビット	
タイマモード	0または1	0または1	入力(使用しない)
パルス出力モード	1	0または1	出力禁止(Hi-Z出力)
		1	正転出力
	0	0	反転出力
イベントカウンタモード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJIO0機能と兼用しているポートに対応するポート・モード・レジスタ(PMXX)のビット

7.5 タイマRJ使用上の注意事項

7.5.1 カウント動作開始, 停止制御

- イベントカウントモードまたはカウントソースをELC以外に設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TATARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第24章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ : TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

- イベントカウントモードまたはカウントソースをELC設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TATARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第24章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ : TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

7.5.2 フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット)

TRJCR0レジスタのTEDGF, TUNDFビットは、プログラムで0を書くとも0になりますが、1を書いても変化しません。TRJCR0レジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF, TUNDFビットを誤って0にする場合があります。TRJCR0レジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

7.5.3 カウンタレジスタへのアクセス

TRJCR0レジスタのTSTARTビットとTCSTFビットが共に1(カウント動作中)の場合、TRJ0レジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

7.5.4 モード変更時

タイマRJの動作モード関連レジスタ(TRJIOC0, TRJMR0, TRJISR0)の変更は、カウント停止時(TRJCR0レジスタのTSTARTビットとTCSTFビットが共に"0"(カウント停止))のみ可能です。カウント動作中には変更しないでください。

タイマRJの動作モード関連レジスタを変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットに"0"(有効エッジなし)、TUNDFビットに"0"(アンダフローなし)を書いてから、カウントを開始してください。

7.5.5 TRJO0, TRJIO0端子の設定手順

リセット後, TRJO0, TRJIO0端子と共用しているI/Oポートは入力ポートとして機能します。
TRJO0, TRJIO0端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定をする
- (2) 初期値設定/出力許可設定をする。
- (3) TRJO0, TRJIO0端子に対応するポート・レジスタのビットを0にする。
- (4) TRJO0, TRJIO0端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRJO0, TRJIO0端子端子から出力開始)
- (5) カウントを開始する(TRJCR0レジスタのTSTART = 1)。

TRJIO0端子から入力する場合は, 以下の手順で設定してください。

- (1) モード設定をする
- (2) 初期値設定/エッジ選択設定をする。
- (3) TRJIO0端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
(TRJIO0端子から入力開始)
- (4) カウントを開始する(TRJMR0レジスタのTSTART = 1)。
- (5) TRJCR0レジスタのTCSTFビットが1(カウント中)になるまで待つ。
(イベントカウンタモード時のみ)
- (6) TRJIO0端子から外部イベントを入力する。
- (7) 最初の測定完了による処理は無効としてください(2回目以降から測定値有効)。
(パルス幅測定モード, パルス周期測定モードのみ)

7.5.6 タイマRJ未使用時

タイマRJを使用しない場合, TRJMR0レジスタのTMOD2~TMOD0ビットを000B(タイマモード), TRJIOC0レジスタのTOENAビットを0(TRJO出力禁止)にしてください。

7.5.7 タイマRJ動作クロック停止時

PER1レジスタのTRJOENビットでタイマRJのクロック供給/停止制御が可能です。ただし, タイマRJのクロック停止時は下記SFRへのアクセスができません。アクセスする場合にはタイマRJのクロックを供給した状態で行ってください。

TRJOレジスタ, TRJCR0レジスタ, TRJMR0レジスタ, TRJIOC0レジスタ, TRJISR0レジスタ

7.5.8 STOPモード(イベントカウンタモード)の設定手順

STOPモード中にイベントカウンタモードの動作をさせる場合、タイマRJのクロックを供給した後、以下の手順でSTOPモードへ移行してください。

設定手順

- (1) 動作モード設定
- (2) カウントを開始する(TSTART = 1, TCSTF = 1)
- (3) タイマRJのクロック供給停止

また、STOPモード中にイベントカウンタモードの動作を停止させる場合、以下の手順で動作停止処理を行ってください。

- (1) タイマRJのクロック供給
- (2) カウントを停止する(TSTART = 0, TCSTF = 0)

7.5.9 STOPモード(イベントカウンタモードのみ)での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

7.5.10 TSTOPビットによる強制カウント停止時

TRJCR0レジスタのTSTOPビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJ0レジスタ, TRJCR0レジスタ, TRJMR0レジスタ

7.5.11 デジタルフィルタ

デジタルフィルタを使用する場合はTRJIOCレジスタのTIPF1,0ビット設定後、デジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOCレジスタのTEDGSELビットを変更した場合も同様にデジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

7.5.12 カウントソースにfilを選択する場合

カウントソースにfilを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。ただし、リアルタイム・クロックまたは、12ビット・インターバル・タイマのカウントソースにfsubを選択している場合は、タイマRJのカウントソースにfilを選択することができません。

第8章 タイマRD

8.1 タイマRDの機能

タイマRDは4種類のモードを持ちます。

- タイマモード
 - インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
 - PWM機能 任意の幅のパルスを連続して出力する機能

次の3つのモードは、PWM機能を用います。

- リセット同期PWMモード 鋸波変調, 短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調, 短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

タイマモードのインพุットキャプチャ機能, アウトプットコンペア機能, PWM機能は, タイマRD0とタイマRD1で同等の機能を持ち, 1端子ごとに機能を選択できます。また, タイマRD0, タイマRD1の中でこれらの機能を組み合わせさせて使えます。

リセット同期PWMモード, 相補PWMモード, PWM3モードは, タイマRD0とタイマRD1のカウンタやレジスタを組み合わせさせて波形を出力します。端子の機能はモードによって決まります。

タイマRDは4本の入出力端子を持ちます。

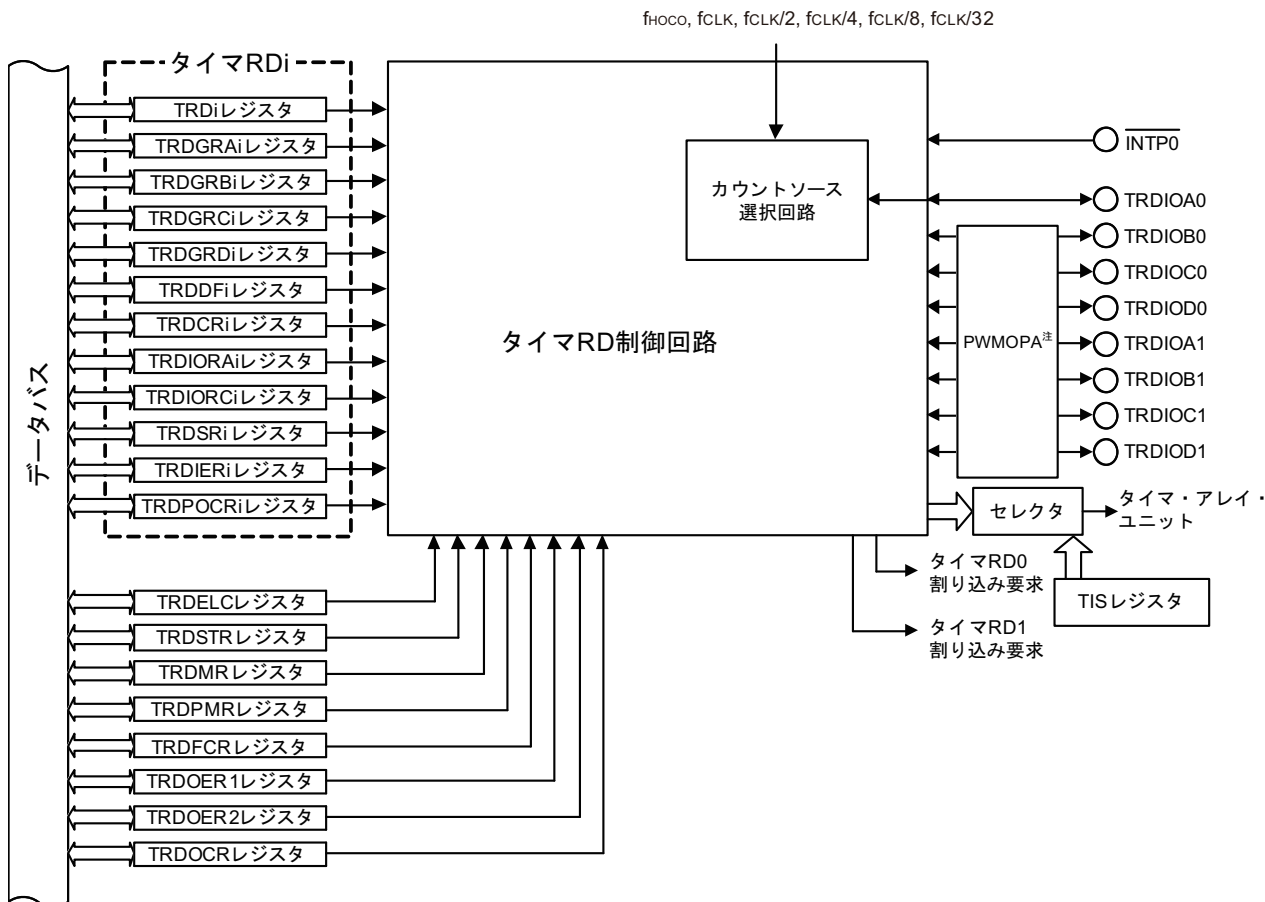
タイマRDの動作クロックはfCLKまたは、fHOCOです。

タイマRDは, タイマRXと連携動作します。

8.2 タイマRDの構成

図8-1にタイマRDのブロック図を、にを示します。PWMOPA機能に関しては8.8 PWM オプションユニットA (PWMOPA) を参照してください。

図8-1 タイマRDのブロック図



注 出力信号は遮断できますが、入力信号は遮断できません。

備考 i = 0, 1

表8-1 タイマRDの端子構成

端子名	兼用しているポート名	入出力	機能
TRDIOA0/TRDCLK	P17	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	P15	入出力	
TRDIOC0	P16	入出力	
TRDIOD0	P14	入出力	
TRDIOA1	P13	入出力	
TRDIOB1	P12	入出力	
TRDIOC1	P11	入出力	
TRDIOD1	P10	入出力	

8.3 タイマRDを制御するレジスタ

表8-2にタイマRDを制御するレジスタを示します。

表8-2 タイマRDを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
タイマRD ELCレジスタ	TRDELIC
タイマRD スタートレジスタ	TRDSTR
タイマRD モードレジスタ	TRDMR
タイマRD PWM機能選択レジスタ	TRDPMR
タイマRD 機能制御レジスタ	TRDFCR
タイマRD 出カマスタ許可レジスタ1	TRDOER1
タイマRD 出カマスタ許可レジスタ2	TRDOER2
タイマRD 出力制御レジスタ	TRDOCR
タイマRD デジタルフィルタ機能選択レジスタ0	TRDDF0
タイマRD デジタルフィルタ機能選択レジスタ1	TRDDF1
タイマRD 制御レジスタ0	TRDCR0
タイマRD I/O制御レジスタA0	TRDIORA0
タイマRD I/O制御レジスタC0	TRDIORC0
タイマRD ステータスレジスタ0	TRDSR0
タイマRD 割り込み許可レジスタ0	TRDIER0
タイマRD PWM機能出力レベル制御レジスタ0	TRDPOCR0
タイマRD カウンタ0	TRD0
タイマRD ジェネラルレジスタA0	TRDGRA0
タイマRD ジェネラルレジスタB0	TRDGRB0
タイマRD ジェネラルレジスタC0	TRDGRC0
タイマRD ジェネラルレジスタD0	TRDGRD0
タイマRD 制御レジスタ1	TRDCR1
タイマRD I/O制御レジスタA1	TRDIORA1
タイマRD I/O制御レジスタC1	TRDIORC1
タイマRD ステータスレジスタ1	TRDSR1
タイマRD 割り込み許可レジスタ1	TRDIER1
タイマRD PWM機能出力レベル制御レジスタ1	TRDPOCR1
タイマRD カウンタ1	TRD1
タイマRD ジェネラルレジスタA1	TRDGRA1
タイマRD ジェネラルレジスタB1	TRDGRB1
タイマRD ジェネラルレジスタC1	TRDGRC1
タイマRD ジェネラルレジスタD1	TRDGRD1
ポート・レジスタ1	P1
ポート・モード・レジスタ1	PM1

8.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRDを使用する場合は、必ずビット4 (TRD0EN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER1	DACEN	TRGEN	PGACMPEN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN
------	-------	-------	----------	--------	-------	---------	-------	--------

TRD0EN	タイマRDの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRDで使用するSFRへのライト不可 ・タイマRDはリセット状態
1	入カクロック供給 ・タイマRDで使用するSFRへのリード/ライト可

PWMOPEN	PWMOPAの入カクロック供給の制御
0	入カクロック供給停止 ・PWMOPAで使用するSFRへのライト不可 ・PWMOPAはリセット状態
1	入カクロック供給 ・PWMOPAで使用するSFRへのリード/ライト可

注意1. タイマRDの設定をする際には、必ず最初にTRD0EN = 1の設定を行ってください。TRD0EN = 0の場合は、タイマRDの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ1 (PM1)、ポート・レジスタ1 (P1)は除く)。

注意2. タイマRDのカウントソースにfHocoを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注意3. PWMOPAの設定をする際には、必ず最初にPWMOPEN = 1の設定を行ってください。PWMOPEN = 0の場合は、PWMOPAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。PWMOPAについては、8.8 PWM オプションユニットA (PWMOPA)を参照してください。

8.3.2 タイマRD ELC レジスタ (TRDELIC)

図8-3 タイマRD ELC レジスタ (TRDELIC)のフォーマット

アドレス : F0260H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDELIC	0	0	ELCOBE1	ELCICE1	0	0	ELCOBE0	ELCICE0

ELCOBE1	タイマRDパルス出力強制遮断用ELCイベント入力1許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE1	タイマRDインプットキャプチャD1用ELCイベント入力1選択
0	TRDIOD1のインプットキャプチャを選択
1	イベント・リンク・コントローラ(ELC)からのイベント入力1を選択

ELCOBE0	タイマRDパルス出力強制遮断用ELCイベント入力0許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE0	タイマRDインプットキャプチャD0用ELCイベント入力0選択
0	TRDIOD0のインプットキャプチャを選択
1	イベント・リンク・コントローラ(ELC)からのイベント入力0を選択

注 ユーザ・オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.3 タイマRDスタートレジスタ (TRDSTR)

TRDSTRレジスタは8ビット・メモリ操作命令で設定できます。タイマRD使用上の注意事項の8.7.1 (1) TRDSTRレジスタを参照してください。

図8-4 タイマRDスタートレジスタ (TRDSTR)のフォーマット

アドレス : F0263H リセット時 : 0CH^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSTR	0	0	0	0	CSEL1	CSEL0	TSTART1	TSTART0
CSEL1	TRD1カウント動作選択 ^{注2}							
0	TRDGRA1レジスタとのコンペア一致でカウント停止							
1	TRDGRA1レジスタとのコンペア一致後もカウント継続 ^{注3}							
CSEL0	TRD0カウント動作選択							
0	TRDGRA0レジスタとのコンペア一致でカウント停止							
1	TRDGRA0レジスタとのコンペア一致後もカウント継続 ^{注3}							
TSTART1	TRD1カウント開始フラグ ^{注4, 5}							
0	カウント停止							
1	カウント開始							
TSTART0	TRD0カウント開始フラグ ^{注6, 7}							
0	カウント停止							
1	カウント開始							

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. PWM3モードでは使用しません。

注3. インพุットキャプチャ機能では1にしてください。

注4. CSEL1ビットが1に設定されているとき、TSTART1ビットへ0を書いてください。

注5. CSEL1ビットが0でコンペア一致信号(TRDIOA1)が発生したとき、0 (カウント停止)になります。

注6. CSEL0ビットが1に設定されているとき、TSTART0ビットへ0を書いてください。

注7. CSEL0ビットが0でコンペア一致信号(TRDIOA0)が発生したとき、0 (カウント停止)になります。

8.3.4 タイマRDモードレジスタ (TRDMR)

図8-5 タイマRDモードレジスタ (TRDMR)のフォーマット

アドレス : F0264H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDMR	TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	TRDSYNC
TRDBFD1	TRDGRD1レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRB1レジスタのバッファレジスタ							
TRDBFC1	TRDGRC1レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRA1レジスタのバッファレジスタ							
TRDBFD0	TRDGRD0レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRB0レジスタのバッファレジスタ							
TRDBFC0	TRDGRC0レジスタ機能選択 ^{注2,3}							
0	ジェネラルレジスタ							
1	TRDGRA0レジスタのバッファレジスタ							
TRDSYNC	タイマRD同期 ^{注4}							
0	TRD0とTRD1は独立動作							
1	TRD0とTRD1は同期動作							

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. アウトプットコンペア機能時、TRDIORCiレジスタ(i = 0, 1)のIOj3ビット(j = CまたはD)で0 (TRDGRjiレジスタ出力端子変更)を選択した場合、TRDMRレジスタのTRDBFjiビットを0にしてください。

注3. 相補PWMモードでは0 (ジェネラルレジスタ)にしてください。

注4. リセット同期PWMモード時、相補PWMモード時、およびPWM3モード時は、0 (TRD0とTRD1は独立動作)にしてください。

8.3.5 タイマRD PWM機能選択レジスタ (TRDPMR)

図8 - 6 タイマRD PWM機能選択レジスタ (TRDPMR)のフォーマット[タイマモード]

アドレス : F0265H リセット時 : 00H注 R/W

略号	7	6	5	4	3	2	1	0
TRDPMR	0	TRDPWMD1	TRDPWMC1	TRDPWMB1	0	TRDPWMD0	TRDPWMC0	TRDPWMB0
TRDPWMD1	TRDIOD1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC1	TRDIOC1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB1	TRDIOB1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMD0	TRDIOD0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC0	TRDIOC0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB0	TRDIOB0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.6 タイマRD機能制御レジスタ (TRDFCR)

図8-7 タイマRD機能制御レジスタ (TRDFCR)のフォーマット

アドレス : F0266H リセット時 : 80H^{注1} R/W

略号	7	6	5	4	3	2	1	0									
TRDFCR	PWM3	STCLK	0	0	OLS1	OLS0	CMD1	CMD0									
PWM3	PWM3モード選択 ^{注2}																
<ul style="list-style-type: none"> タイマモードの場合は, 1 (PWM3モード以外)にしてください。 PWM3モードの場合は0 (PWM3モード)にしてください。 リセット同期PWMモード, 相補PWMモードでは無効です。 																	
STCLK	外部クロック入力選択																
<ul style="list-style-type: none"> タイマモード, リセット同期PWMモード, 相補PWMモードの場合は, 0 : 外部クロック入力無効 1 : 外部クロック入力有効 <ul style="list-style-type: none"> PWM3モードの場合は, 0 (外部クロック入力無効)にしてください。 																	
OLS1	逆相出力レベル選択 (リセット同期PWMモードまたは相補PWMモード時)																
<ul style="list-style-type: none"> リセット同期PWMモード, 相補PWMモードの場合は, 0 : 初期出力H, アクティブレベルL 1 : 初期出力L, アクティブレベルH <ul style="list-style-type: none"> タイマモード, PWM3モードでは無効です。 																	
OLS0	正相出力レベル選択 (リセット同期PWMモードまたは相補PWMモード時)																
<ul style="list-style-type: none"> リセット同期PWMモード, 相補PWMモードの場合は, 0 : 初期出力H, アクティブレベルL 1 : 初期出力L, アクティブレベルH <ul style="list-style-type: none"> タイマモード, PWM3モードでは無効です。 																	
CMD1	CMD0	コンビネーションモード選択 ^{注3,4}															
<ul style="list-style-type: none"> タイマモード, PWM3モードの場合は, 00B (タイマモード, PWM3モード)にしてください。 <ul style="list-style-type: none"> リセット同期PWMモードの場合は, 01B (リセット同期PWMモード)にしてください。 相補PWMモードの場合は, <table border="1"> <thead> <tr> <th>CMD1</th> <th>CMD0</th> <th></th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>: 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)</td> </tr> <tr> <td>1</td> <td>1</td> <td>: 相補PWMモード (TRD0とTRDGRA0レジスタのコンパレー一致時にバッファレジスタからジェネラルレジスタへ転送)</td> </tr> </tbody> </table> 上記以外 : 設定禁止									CMD1	CMD0		1	0	: 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)	1	1	: 相補PWMモード (TRD0とTRDGRA0レジスタのコンパレー一致時にバッファレジスタからジェネラルレジスタへ転送)
CMD1	CMD0																
1	0	: 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)															
1	1	: 相補PWMモード (TRD0とTRDGRA0レジスタのコンパレー一致時にバッファレジスタからジェネラルレジスタへ転送)															

- 注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. CMD1, CMD0ビットが00B (タイマモード, PWM3モード)のとき, PWM3ビットの設定が有効になります。
- 注3. CMD0, CMD1ビットはTRDSTRレジスタのTSTART0, TSTART1ビットがともに0 (カウント停止)のときに書いてください。
- 注4. CMD1, CMD0ビットを01B, 10B, 11Bに設定したとき, TRDPMRレジスタの設定にかかわらず, リセット同期PWMモードまたは相補PWMモードになります。

8.3.7 タイマRD出力マスタ許可レジスタ1 (TRDOER1)

図8-8 タイマRD出力マスタ許可レジスタ1 (TRDOER1)のフォーマット
 [アウトプットコンペア機能, PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F0267H リセット時 : FFH^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
	ED1	TRDIOD1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOD1端子はI/Oポート)						
	EC1	TRDIOC1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOC1端子はI/Oポート)						
	EB1	TRDIOB1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOB1端子はI/Oポート)						
	EA1	TRDIOA1出力禁止 ^{注2, 3}						
	0	出力許可						
	1	出力禁止 (TRDIOA1端子はI/Oポート)						
	ED0	TRDIOD0出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOD0端子はI/Oポート)						
	EC0	TRDIOC0出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOC0端子はI/Oポート)						
	EB0	TRDIOB0出力禁止						
	0	出力許可						
	1	出力禁止 (TRDIOB0端子はI/Oポート)						
	EA0	TRDIOA0出力禁止 ^{注3, 4}						
	0	出力許可						
	1	出力禁止 (TRDIOA0端子はI/Oポート)						

注1. ユーザ・オプション・バイト (000C2H/010C2H) の FRQSEL4 = 1 かつ、PER1 レジスタの TRD0EN = 0 の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLK を fIH に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注2. PWM3モードでは、1にしてください。

注3. PWM機能では、1にしてください。

注4. リセット同期PWMモード、相補PWMモードでは、1にしてください。

注意 OPCTL0のHAZAD_SET=1 (ハザード対策有効) と設定時、タイマRDカウント動作中にTRDOER1レジスタを変更できます。(タイマRD動作中に、TRDIO端子とPORTを切り替える)

8.3.8 タイマRD出カマスタ許可レジスタ2 (TRDOER2)

図8-9 タイマRD出カマスタ許可レジスタ2 (TRDOER2)のフォーマット
 [PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F0268H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOER2	TRDPTO	0	0	0	0	0	0	TRDSHUTS

TRDPTO	パルス出力強制遮断信号INTP0端子入力有効 ^{注2}
0	パルス出力強制遮断入力無効
1	パルス出力強制遮断入力有効 (INTP0端子にLを入力すると, TRDSHUTSビットが1となる)

TRDSHUTS	強制遮断フラグ
0	強制遮断なし
1	強制遮断中

INTP0端子, ELC入カイベントによるパルス強制遮断時に1となります。このビットは自動クリアされません。したがって, パルス強制遮断を止める場合, カウント停止中 (TSTARTi = 0) に0を書いてください。有効なモードでTRDSHUTSビットに1を書いても強制遮断します。

注1. ユーザ・オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 8.4.4 パルス出力強制遮断を参照してください。

8.3.9 タイマRD出力制御レジスタ (TRDOCR)

TRDOCRレジスタは、TRDSTRレジスタのTSTART0, TSTART1ビットがともに0(カウント停止)のときに書いてください。

図8-10 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[アウトプットコンペア機能]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1	TRDIOD1初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOC1	TRDIOC1初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOB1	TRDIOB1初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOA1	TRDIOA1初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOD0	TRDIOD0初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOC0	TRDIOC0初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOB0	TRDIOB0出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOA0	TRDIOA0出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図8-11 タイマRD出力制御レジスタ (TRDOCR)のフォーマット [PWM機能]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
	TOD1	TRDIOD1初期出力レベル選択 ^{注2}						
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOC1	TRDIOC1初期出力レベル選択 ^{注2}						
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOB1	TRDIOB1初期出力レベル選択 ^{注2}						
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOA1	TRDIOA1初期出力レベル選択 ^{注2}						
	0にしてください。							
	TOD0	TRDIOD0初期出力レベル選択 ^{注2}						
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOC0	TRDIOC0初期出力レベル選択 ^{注2}						
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOB0	TRDIOB0出力レベル選択 ^{注2}						
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOA0	TRDIOA0出力レベル選択 ^{注2}						
	0にしてください。							

注1. ユーザ・オプション・バイト (000C2H/010C2H) の FRQSEL4 = 1 かつ、PER1 レジスタの TRD0EN = 0 の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLK を fIH に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注2. TRDOCR レジスタの端子機能が波形出力の場合、TRDOCR レジスタを設定したとき、初期出力レベルが出力されます。

図8 - 12 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[リセット同期PWMモード, 相補PWMモード]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1, TOC1, TOB1, TOA1, TOD0, TOB0, TOA0	リセット同期PWMモード時, 相補PWMモードでは, 設定は無効です。 必ず, 0を設定してください。 リセット同期PWMモード, 相補PWMモードの場合, 本レジスタの設定には依存せず, TRDFCRのOLS1, OLS0ビットの設定に従います。							
TOC0	TRDIOC0 初期出力レベル選択 ^{注2}							
0	初期出力L	リセット同期PWMモードでは, PWM周期ごとに出力反転します。						
1	初期出力H	相補PWMモードでは, PWMの1/2周期ごとに出力反転します。						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合, TRDOCRレジスタを設定したとき, 初期出力レベルが出力されます。

図8-13 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[PWM3モード]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
	TOD1		TRDIOD1初期出力レベル選択					
	PWM3モードは無効です。							
	TOC1		TRDIOC1初期出力レベル選択					
	PWM3モードは無効です。							
	TOB1		TRDIOB1初期出力レベル選択					
	PWM3モードは無効です。							
	TOA1		TRDIOA1初期出力レベル選択					
	PWM3モードは無効です。							
	TOD0		TRDIOD0初期出力レベル選択					
	PWM3モードは無効です。							
	TOC0		TRDIOC0初期出力レベル選択					
	PWM3モードは無効です。							
	TOB0		TRDIOB0出力レベル選択 ^{注2}					
	0	初期出力L, アクティブレベルH, TRDGRB1のコンペアー致でH出力, TRDGRB0のコンペアー致でL出力						
	1	初期出力H, アクティブレベルL, TRDGRB1のコンペアー致でL出力, TRDGRB0のコンペアー致でH出力						
	TOA0		TRDIOA0出力レベル選択 ^{注2}					
	0	初期出力L, アクティブレベルH, TRDGRA1のコンペアー致でH出力, TRDGRA0のコンペアー致でL出力						
	1	初期出力H, アクティブレベルL, TRDGRA1のコンペアー致でL出力, TRDGRA0のコンペアー致でH出力						

注1. ユーザ・オプション・バイト (000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

8.3.10 タイマRD デジタルフィルタ機能選択レジスタ*i* (TRDDFi)(*i* = 0, 1)図8 - 14 タイマRD デジタルフィルタ機能選択レジスタ*i* (TRDDFi)(*i* = 0, 1)のフォーマット
[インプットキャプチャ機能]

アドレス : F026AH (TRDDF0), F026BH (TRDDF1)

リセット時 : 00H^{注1}

R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA
DFCK1	DFCK0	デジタルフィルタ機能用クロック選択 ^{注2}						
0	0	fCLK/32 ^{注3}						
0	1	fCLK/8 ^{注3}						
1	0	fCLK ^{注3}						
1	1	カウントソース (TRDCR <i>i</i> レジスタのTCK0~TCK2ビットで選択したクロック)						
PENB1	PENB0	TRDIOB端子パルス強制遮断制御						
0	0	00Bにしてください。						
DFD	TRDIO <i>D</i> 端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
DFC	TRDIO <i>C</i> 端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
DFB	TRDIO <i>B</i> 端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
DFA	TRDIO <i>A</i> 端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								

(注は次ページにあります。)

- 注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1 レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. DFCK0, DFCK1ビットを設定した後、カウント動作を開始してください。
- 注3. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1の場合はfCLK/32, fCLK/8, fCLKはそれぞれfHOCO/32, fHOCO/8, fHOCOになります。

図8 - 15 タイマRD デジタルフィルタ機能選択レジスタi (TRDDFi)(i = 0, 1)のフォーマット
 [PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F026AH (TRDDF0), F026BH (TRDDF1)

リセット時 : 00H^注

R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	TRDIOA端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

PENB1	PENB0	TRDIOB端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

DFD	DFC	TRDIOC端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

DFB	DFA	TRDIOD端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.11 タイマRD制御レジスタi (TRDCRi)(i = 0, 1)

リセット同期PWMモード、PWM3モードでは、TRDCR1レジスタは使用しません。

図8-16 タイマRD制御レジスタi (TRDCRi)(i = 0, 1)のフォーマット
[インプットキャプチャ機能、アウトプットコンペア機能]

アドレス : F0270H (TRDCR0), F0280H (TRDCR1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRDiカウンタクリア選択				
	0	0	0	クリア禁止(フリーランニング動作)				
	0	0	1	TRDGRAiのインプットキャプチャ/コンペア一致でクリア				
	0	1	0	TRDGRBiのインプットキャプチャ/コンペア一致でクリア				
	0	1	1	同期クリア(他のタイマRDiのカウンタと同時にクリア) ^{注2}				
	1	0	1	TRDGRciのインプットキャプチャ/コンペア一致でクリア				
	1	1	0	TRDGRDiのインプットキャプチャ/コンペア一致でクリア				
	上記以外			設定禁止				
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注3}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注4}				
	0	0	1	fCLK/2 ^{注5}				
	0	1	0	fCLK/4 ^{注5}				
	0	1	1	fCLK/8 ^{注5}				
	1	0	0	fCLK/32 ^{注5}				
	1	0	1	TRDCLK入力 ^{注6}				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDSYNCビットが1(TRD0とTRD1は同期動作)のとき、有効です。

注3. TCK2~TCK0ビットが101B(TRDCLK入力)、かつSTCLKビットが1(外部クロック入力有効)のとき、有効です。

注4. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

注5. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときは設定しないでください。

注6. TRDFCRレジスタのSTCLKビットが1(外部クロック入力有効)のとき、有効です。

図8 - 17 タイマRD制御レジスタi (TRDCRi)(i = 0, 1)のフォーマット[PWM機能]

アドレス : F0270H (TRDCR0), F0280H (TRDCR1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRDi カウンタクリア選択				
001B (TRDGRAiレジスタとのコンペア一致でTRDiレジスタクリア)にしてください。								
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注2}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注3}				
	0	0	1	fCLK/2 ^{注4}				
	0	1	0	fCLK/4 ^{注4}				
	0	1	1	fCLK/8 ^{注4}				
	1	0	0	fCLK/32 ^{注4}				
	1	0	1	TRDCLK入力 ^{注5}				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2~TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注3. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 18 タイマRD制御レジスタ0 (TRDCR0)のフォーマット[リセット同期PWMモード]

アドレス : F0270H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2			CCLR1	CCLR0	TRD0カウンタクリア選択			
001B (TRDGRA0レジスタとのコンペア一致でTRD0レジスタクリア)にしてください。								
CKEG1		CKEG0		外部クロックエッジ選択 ^{注2}				
0		0		立ち上がりエッジでカウント				
0		1		立ち下がりエッジでカウント				
1		0		両エッジでカウント				
上記以外				設定禁止				
TCK2	TCK1	TCK0		カウントソース選択				
0	0	0		fCLK, fHOCO ^{注3}				
0	0	1		fCLK/2 ^{注4}				
0	1	0		fCLK/4 ^{注4}				
0	1	1		fCLK/8 ^{注4}				
1	0	0		fCLK/32 ^{注4}				
1	0	1		TRDCLK入力 ^{注5}				
上記以外				設定禁止				

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2~TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注3. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8-19 タイマRD制御レジスタ*i* (TRDCR*i*)(*i*=0,1)のフォーマット[相補PWMモード]アドレス : F0270H (TRDCR0), F0280H (TRDCR1) リセット時 : 00H^{注1}R/W

略号	7	6	5	4	3	2	1	0
TRDCR <i>i</i>	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRD0カウンタクリア選択				
000B (クリア禁止(フリーランニング動作))にしてください。								
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注2,3}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注4}				
	0	0	1	fCLK/2 ^{注5}				
	0	1	0	fCLK/4 ^{注5}				
	0	1	1	fCLK/8 ^{注5}				
	1	0	0	fCLK/32 ^{注5}				
	1	0	1	TRDCLK入力 ^{注6}				
	上記以外			設定禁止				

- 注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. TCK2~TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。
- 注3. TRDCR0レジスタとTRDCR1レジスタのTCK0~TCK2ビット、CKEG0, CKEG1ビットの設定は、同じにしてください。
- 注4. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 0のときはfCLK, FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。
- 注5. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときは設定しないでください。
- 注6. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8-20 タイマRD制御レジスタ0 (TRDCR0)のフォーマット[PWM3モード]

アドレス : F0270H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2			CCLR1	CCLR0	TRD0カウンタクリア選択			
001B (TRDGRA0レジスタとのコンペア一致でTRD0レジスタクリア)にしてください。								
CKEG1		CKEG0		外部クロックエッジ選択				
PWM3モードでは無効です。								
TCK2	TCK1	TCK0	カウントソース選択					
0	0	0	fCLK, fHOCO ^{注2}					
0	0	1	fCLK/2 ^{注3}					
0	1	0	fCLK/4 ^{注3}					
0	1	1	fCLK/8 ^{注3}					
1	0	0	fCLK/32 ^{注3}					
上記以外			設定禁止					

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。カウントソースにfHOCOを選択する場合、タイマカウント開始する前にfCLKはfIHを選択してください。

注3. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときは設定しないでください。

8.3.12 タイマRD I/O制御レジスタ Ai (TRDIORAi)(i = 0, 1)

図8 - 21 タイマRD I/O制御レジスタ Ai (TRDIORAi)(i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス : F0271H (TRDIOA0), F0281H (TRDIOA1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0	
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0	
IOB2	TRDGRBモード選択 ^{注2}								
インプットキャプチャ機能では1 (インプットキャプチャ)にしてください。									
IOB1	IOB0	TRDGRB制御							
0	0	立ち上がりエッジでTRDGRBiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRBiヘインプットキャプチャ							
1	0	両エッジでTRDGRBiヘインプットキャプチャ							
上記以外		設定禁止							
IOA2	TRDGRAモード選択 ^{注3}								
インプットキャプチャ機能では1 (インプットキャプチャ)にしてください。									
IOA1	IOA0	TRDGRA制御							
0	0	立ち上がりエッジでTRDGRAiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRAiヘインプットキャプチャ							
1	0	両エッジでTRDGRAiヘインプットキャプチャ							
上記以外		設定禁止							

- 注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。
- 注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8 - 22 タイマRD I/O制御レジスタ Ai (TRDIORAi)(i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス : F0271H (TRDIOA0), F0281H (TRDIOA1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0
IOB2		TRDGRBモード選択 ^{注2}						
アウトプットコンペア機能では0(アウトプットコンペア)にしてください。								
IOB1	IOB0	TRDGRB制御						
0	0	コンペア一致による端子出力禁止(TRDIOBi端子はI/Oポート)						
0	1	TRDGRBiのコンペア一致でL出力						
1	0	TRDGRBiのコンペア一致でH出力						
1	1	TRDGRBiのコンペア一致でトグル出力						
IOA2		TRDGRAモード選択 ^{注3}						
アウトプットコンペア機能では0(アウトプットコンペア)にしてください。								
IOA1	IOA0	TRDGRA制御						
0	0	コンペア一致による端子出力禁止(TRDIOAi端子はI/Oポート)						
0	1	TRDGRAiのコンペア一致でL出力						
1	0	TRDGRAiのコンペア一致でH出力						
1	1	TRDGRAiのコンペア一致でトグル出力						

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

8.3.13 タイマRD I/O制御レジスタ Ci (TRDIORCi)(i = 0, 1)

図8 - 23 タイマRD I/O制御レジスタ Ci (TRDIORCi)(i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス : F0272H (TRDIORC0), F0282H (TRDIORC1) リセット時 : 88H^{注1} R/W

略号	7	6	5	4	3	2	1	0	
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
IOD3	TRDGRD レジスタ機能選択								
インプットキャプチャ機能では1(ジェネラルレジスタまたはバッファレジスタ)にしてください。									
IOD2	TRDGRD モード選択 ^{注2}								
インプットキャプチャ機能では1(インプットキャプチャ)にしてください。									
IOD1	IOD0	TRDGRD 制御							
0	0	立ち上がりエッジでTRDGRDiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRDiヘインプットキャプチャ							
1	0	両エッジでTRDGRDiヘインプットキャプチャ							
上記以外		設定禁止							
IOC3	TRDGRC レジスタ機能選択								
インプットキャプチャ機能では1(ジェネラルレジスタまたはバッファレジスタ)にしてください。									
IOC2	TRDGRC モード選択 ^{注3}								
インプットキャプチャ機能では1(インプットキャプチャ)にしてください。									
IOC1	IOC0	TRDGRC 制御							
0	0	立ち上がりエッジでTRDGRCiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRCiヘインプットキャプチャ							
1	0	両エッジでTRDGRCiヘインプットキャプチャ							
上記以外		設定禁止							

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8 - 24 タイマRD I/O制御レジスタ Ci (TRDIORCi)(i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス : F0272H (TRDIORC0), F0282H (TRDIORC1) リセット時 : 88H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
	IOD3	TRDGRD レジスタ機能選択						
	0	TRDIOB出力レジスタ (8.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1) の出力端子変更参照)						
	1	ジェネラルレジスタまたはバッファレジスタ						
	IOD2	TRDGRD モード選択 ^{注2}						
	アウトプットコンペア機能では0 (アウトプットコンペア) にしてください。							
	IOD1	IOD0	TRDGRD 制御					
	0	0	コンペア一致による端子出力禁止					
	0	1	TRDGRDiのコンペア一致でL出力					
	1	0	TRDGRDiのコンペア一致でH出力					
	1	1	TRDGRDiのコンペア一致でトル出力					
	IOC3	TRDGRC レジスタ機能選択						
	0	TRDIOA出力レジスタ (8.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1) の出力端子変更参照)						
	1	ジェネラルレジスタまたはバッファレジスタ						
	IOC2	TRDGRC モード選択 ^{注3}						
	アウトプットコンペア機能では0 (アウトプットコンペア) にしてください。							
	IOC1	IOC0	TRDGRC 制御					
	0	0	コンペア一致による端子出力禁止					
	0	1	TRDGRCiのコンペア一致でL出力					
	1	0	TRDGRCiのコンペア一致でH出力					
	1	1	TRDGRCiのコンペア一致でトル出力					

注1. ユーザ・オプション・バイト (000C2H/010C2H) の FRQSEL4 = 1 かつ、PER1 レジスタの TRD0EN = 0 の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLK を fIH に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注2. TRDMR レジスタの TRDBFDi ビットで1 (TRDGRBi レジスタのバッファレジスタ) を選択した場合、TRDIORAi レジスタの IOB2 ビットと TRDIORCi レジスタの IOD2 ビットの設定を同じにしてください。

注3. TRDMR レジスタの TRDBFCi ビットで1 (TRDGRAi レジスタのバッファレジスタ) を選択した場合、TRDIORAi レジスタの IOA2 ビットと TRDIORCi レジスタの IOC2 ビットの設定を同じにしてください。

8.3.14 タイマRDステータスレジスタ0 (TRDSR0)

図8 - 25 タイマRDステータスレジスタ0 (TRDSR0) [インプットキャプチャ機能]

アドレス : F0273H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA
	OVF		オーバフローフラグ ^{注2}					
	[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRD0がオーバフローしたとき							
	IMFD		インプットキャプチャ/コンペアー致フラグD ^{注6}					
	[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOD0端子の入力エッジ ^{注4}							
	IMFC		インプットキャプチャ/コンペアー致フラグC ^{注6}					
	[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOC0端子の入力エッジ ^{注4}							
	IMFB		インプットキャプチャ/コンペアー致フラグB ^{注6}					
	[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOB0端子の入力エッジ ^{注5}							
	IMFA		インプットキャプチャ/コンペアー致フラグA ^{注6}					
	[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOA0端子の入力エッジ ^{注5}							

- 注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. オーバフローフラグは, タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。また, TRDCR0レジスタのCCLR0~CCLR2ビットの設定によって, 動作中のインプットキャプチャ/コンペアー致により, タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

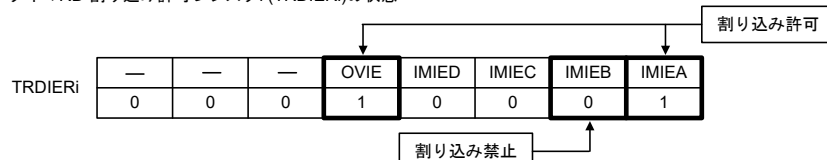
ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



注4. TRDIORC0レジスタのIOk1, IOk0ビット(k = CまたはD)で選択したエッジ。

TRDMRレジスタのTRDBFk0ビットが1 (TRDGRk0はバッファレジスタ)の場合を含む。

注5. TRDIORA0レジスタのIOj1, IOj0ビット(j = AまたはB)で選択したエッジ。

注6. DTCを使用する場合、IMFA, IMFB, IMFC, IMFDビットは、DTCの転送終了後に1になります。

図8 - 26 タイマRDステータスレジスタ0 (TRDSR0)のフォーマット[インプットキャプチャ機能以外]

アドレス : F0273H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA
OVF	オーバフローフラグ ^{注3}							
[0になる要因]								
読んだ後, 0を書く ^{注2}								
[1になる要因]								
TRD0がオーバフローしたとき								
IMFD	インプットキャプチャ/コンペアー致フラグD ^{注5}							
[0になる要因]								
読んだ後, 0を書く ^{注2}								
[1になる要因]								
TRD0とTRDGRD0の値が一致したとき ^{注4}								
IMFC	インプットキャプチャ/コンペアー致フラグC ^{注5}							
[0になる要因]								
読んだ後, 0を書く ^{注2}								
[1になる要因]								
TRD0とTRDGRC0の値が一致したとき ^{注4}								
IMFB	インプットキャプチャ/コンペアー致フラグB ^{注5}							
[0になる要因]								
読んだ後, 0を書く ^{注2}								
[1になる要因]								
TRD0とTRDGRB0の値が一致したとき								
IMFA	インプットキャプチャ/コンペアー致フラグA ^{注5}							
[0になる要因]								
読んだ後, 0を書く ^{注2}								
[1になる要因]								
TRD0とTRDGRA0の値が一致したとき								

注1. ユーザ・オプション・バイト (000C2H/010C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H(すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRDステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	0

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ(OVF、IMFA)が0なので、IMFBに0を書いてください。

(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRDステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ(IMFA)が1なので、IMFBと同時にIMFAにも0を書いてください。

注3. オーバフローフラグは、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

また、TRDCR0レジスタのCCLR0~CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンパレータにより、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

注4. TRDMRレジスタのTRDBFK0ビット(k = CまたはD)が1 (TRDGRk0はバッファレジスタ)の場合を含む。

注5. DTCを使用する場合、IMFA、IMFB、IMFC、IMFDビットは、DTCの転送終了後に1になります。

8.3.15 タイマRDステータスレジスタ1 (TRDSR1)

図8-27 タイマRDステータスレジスタ1 (TRDSR1)のフォーマット[インプットキャプチャ機能]

アドレス : F0283H リセット時 : 00H注 R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	0	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDF	アンダフローフラグ							
インプットキャプチャ機能では無効です。								
OVF	オーバフローフラグ注2							
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRD1がオーバフローしたとき								
IMFD	インプットキャプチャ/コンペアー致フラグD注6							
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOD1端子の入力エッジ注4								
IMFC	インプットキャプチャ/コンペアー致フラグC注6							
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOC1端子の入力エッジ注4								
IMFB	インプットキャプチャ/コンペアー致フラグB注6							
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOB1端子の入力エッジ注5								
IMFA	インプットキャプチャ/コンペアー致フラグA注6							
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOA1端子の入力エッジ注5								

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

注2. オーバフローフラグは、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR1レジスタのCCLR0～CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

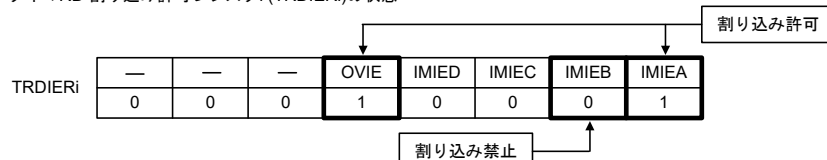
ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



注4. TRDIORC1レジスタのIOk1、IOk0ビット(k=CまたはD)で選択したエッジ。

TRDMRレジスタのTRDBFk1ビットが1 (TRDGRk1はバッファレジスタ)の場合を含む。

注5. TRDIORA1レジスタのIOj1、IOj0ビット(j=AまたはB)で選択したエッジ。

注6. DTCを使用する場合、IMFA、IMFB、IMFC、IMFDビットは、DTCの転送終了後に1になります。

図8-28 タイマRDステータスレジスタ1 (TRDSR1)のフォーマット[インプットキャプチャ機能以外]

アドレス : F0283H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	0	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDF		アンダフローフラグ						
相補PWMモードのとき [0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1がアンダフローしたとき 相補PWMモード以外では無効です。								
OVF		オーバフローフラグ ^{注3}						
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1がオーバフローしたとき 相補PWMモードでは無効です。								
IMFD		インプットキャプチャ/コンペアー致フラグD ^{注5}						
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRD1の値が一致したとき ^{注4}								
IMFC		インプットキャプチャ/コンペアー致フラグC ^{注5}						
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRC1の値が一致したとき ^{注4}								
IMFB		インプットキャプチャ/コンペアー致フラグB ^{注5}						
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRB1の値が一致したとき								
IMFA		インプットキャプチャ/コンペアー致フラグA ^{注5}						
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRA1の値が一致したとき								

注1. ユーザ・オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1かつ, PER1 レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRDステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	0

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ (OVF、IMFA)が0なので、IMFBに0を書いてください。

(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRDステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ(IMFA)が1なので、IMFBと同時にIMFAにも0を書いてください。

注3. オーバフローフラグは、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

また、TRDCR1レジスタのCCLR0~CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンパレータにより、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

注4. TRDMRレジスタのTRDBFK1ビット(k = CまたはD)が1 (TRDGRk1はバッファレジスタ)の場合を含む。

注5. DTCを使用する場合、IMFA、IMFB、IMFC、IMFDビットは、DTCの転送終了後に1になります。

8.3.16 タイマRD割り込み許可レジスタ*i* (TRDIER*i*)(*i* = 0, 1)図8-29 タイマRD割り込み許可レジスタ*i* (TRDIER*i*)(*i* = 0, 1)のフォーマット

アドレス : F0274H (TRDIER0), F0284H (TRDIER1) リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDIER <i>i</i>	0	0	0	OVIE	IMIED	IMIEC	IMIEB	IMIEA
OVIE	オーバフロー/アンダフロー割り込み許可							
0	OVF, UDFビットによる割り込み (OVI) 禁止							
1	OVF, UDFビットによる割り込み (OVI) 許可							
IMIED	インプットキャプチャ/コンペアー致割り込み許可D							
0	IMFDビットによる割り込み禁止							
1	IMFDビットによる割り込み許可							
IMIEC	インプットキャプチャ/コンペアー致割り込み許可C							
0	IMFCビットによる割り込み禁止							
1	IMFCビットによる割り込み許可							
IMIEB	インプットキャプチャ/コンペアー致割り込み許可B							
0	IMFBビットによる割り込み禁止							
1	IMFBビットによる割り込み許可							
IMIEA	インプットキャプチャ/コンペアー致割り込み許可A							
0	IMFAビットによる割り込み禁止							
1	IMFAビットによる割り込み許可							

注 ユーザ・オプション・バイト (000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.17 タイマRD PWM機能出力レベル制御レジスタ*i* (TRDPOCR*i*)(*i* = 0, 1)

TRDPOCR*i*レジスタへの設定は、PWM機能のときのみ有効です。PWM機能以外は、無効です。

図8 - 30 タイマRD PWM機能出力レベル制御レジスタ*i* (TRDPOCR*i*)(*i* = 0, 1)のフォーマット[PWM機能]

アドレス : F0275H (TRDPOCR0), F0285H (TRDPOCR1) リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDPOCR <i>i</i>	0	0	0	0	0	POLD	POLC	POLB
POLD	PWM機能出力レベル制御D							
0	TRDIOD <i>i</i> の出力レベルはLアクティブ							
1	TRDIOD <i>i</i> の出力レベルはHアクティブ							
POLC	PWM機能出力レベル制御C							
0	TRDIOC <i>i</i> の出力レベルはLアクティブ							
1	TRDIOC <i>i</i> の出力レベルはHアクティブ							
POLB	PWM機能出力レベル制御B							
0	TRDIOB <i>i</i> の出力レベルはLアクティブ							
1	TRDIOB <i>i</i> の出力レベルはHアクティブ							

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

8.3.18 タイマRDカウンタ*i* (TRDi)(*i* = 0, 1)

[タイマモード]

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[リセット同期PWMモード, PWM3モード]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。リセット同期PWMモードおよびPWM3モードでは、TRD1レジスタは使用しません。

[相補PWMモード(TRD0)]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[相補PWMモード(TRD1)]

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図8 - 31 タイマRDカウンタ*i* (TRDi)(*i* = 0, 1)のフォーマット[タイマモード]

アドレス : F0276H (TRD0), F0286H (TRD1)

リセット時 : 0000H^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi																

—	機能	設定範囲
ビット15~0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR <i>i</i> レジスタのOVFビットが1になる。	0000H~FFFFH

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図8 - 32 タイマRDカウンタ0(TRD0)のフォーマット[リセット同期PWMモード, PWM3モード]

アドレス : F0276H (TRD0)

リセット時 : 0000H^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

—	機能	設定範囲
ビット15~0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR0レジスタのOVFビットが1になる。	0000H~FFFFH

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.19 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)(i = 0, 1)

[インプットキャプチャ機能]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。

TRDOER1, TRDOER2, TRDOCR, TRDPOCR0, TRDPOCR1

TRDIOji 端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが0)の場合、タイマRDの動作クロック (fCLK)の3サイクル以上にしてください。

[アウトプットコンペア機能]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。

TRDDF0, TRDDF1, TRDPOCR0, TRDPOCR1

[PWM機能]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM機能では、次のレジスタは無効です。

TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDIORA1, TRDIORC1

[リセット同期PWMモード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR, TRDOCR^注, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注 TRDOCRレジスタのTOC0ビットのみ、リセット同期PWMモード、相補PWMモード時のTRDIORC0初期出力設定として有効となります。

[相補PWMモード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0 レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR, TRDOCR^注, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注 TRDOCR レジスタのTOC0ビットのみ、リセット同期PWMモード、相補PWMモード時のTRDIOC0初期出力設定として有効となります。

TRDGRB0, TRDGRA1, TRDGRB1 レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0, TRDGRC1, TRDGRD1 をバッファレジスタとして使用してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1 の書き込みに際しては、TRDBFD0, TRDBFC1, TRDBFD1 ビットを0 (ジェネラルレジスタ)にして書き込み、その後TRDBFD0, TRDBFC1, TRDBFD1 ビットを1 (バッファレジスタ)にできます。

[PWM3モード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

PWM3モードでは使用しませんが、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1 レジスタをバッファレジスタに使う際に、TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1 ビットを0 (ジェネラルレジスタ)にして、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1 レジスタに値を書き込み、その後TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1 ビットを1 (バッファレジスタ)にできます。

図8 - 35 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15~0 表8-3 インプットキャプチャ機能時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 3 インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ 入力端子
TRDGRAi	—	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(8.4.2 バッファ動作参照)。	TRDIOAi
TRDGRDi	TRDBFDi = 1		TRDIOBi

備考 i = 0, 1, j = A, B, C, D

TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図8 - 36 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15~0															
	表8-4 アウトプットコンペア機能時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 4 アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能	アウトプットコンペア出力端子
	TRDBFji	IOj3		
TRDGRAi	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi
TRDGRBi				TRDIOBi
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi
TRDGRDi				TRDIODi
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください(8.4.2 バッファ動作参照)。	TRDIOAi
TRDGRDi				TRDIOBi
TRDGRCi	0	0	TRDIOAi出力制御	(8.5.2 (2) TRDGRCi, TRDGRDiレジスタ (i = 0, 1)の出力端子変更参照)
TRDGRDi			TRDIOBi出力制御	

注意 TRDCRiレジスタのTCK2~TCK0ビットの設定を000B (fCLK, fHOCO), コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFji : TRDMRレジスタのビット, IOj3 : TRDIORCiレジスタのビット

図8 - 37 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[PWM機能]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	機能															
	ビット15~0		表8 - 5 PWM機能時のTRDGRji レジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 5 PWM機能時のTRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRDGRBi	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。	—
TRDGRDi	TRDBFDi = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOBi

注意 TRDCRiレジスタのTCK2~TCK0ビットの設定を000B (fCLK, fHOCO)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図8 - 38 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[リセット同期PWMモード]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	—		機能													
	ビット15~0		表8 - 6 リセット同期PWMモード時のTRDGRjiレジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8-6 リセット同期PWMモード時のTRDGR*ji*レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0, PWM周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	TRDBFC0 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD0	TRDBFD0 = 0		
TRDGRA1	—	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	TRDBFC1 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。	(TRDIOC0, PWM周期ごとに出力反転)
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOB1 TRDIOD1

注意 TRDCR0レジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHoco), コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペアー一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図8 - 39 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[相補PWMモード]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	—		機能													
	ビット15~0		表8-7 相補PWMモード時のTRDGRjiレジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8-7 相補PWMモード時のTRDGR*j*レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上、 FFFFH - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	(TRDIOC0 半周期ごとに 出力反転)
TRDGRB0	—	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	—	(相補PWMモードでは使用しません。)	—
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

注意 TRDCR*i*レジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOC0), コンペア値を0000Hにした場合, DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 $i = 0, 1, j = A, B, C, D$

TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図8 - 40 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット [PWM3モード]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	—		機能													
	ビット15~0		表8 - 8 PWM3モード時のTRDGRjiレジスタの機能参照													

注 ユーザ・オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 8 PWM3モード時のTRDGR_{ij}レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1	—	ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0	—	ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上, TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1	—	ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	TRDBFC0 = 0	(PWM3モードでは使用しません)	—
TRDGRC1	TRDBFC1 = 0		
TRDGRD0	TRDBFD0 = 0		
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRD1レジスタ設定値以上, TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

注意 TRDCR0レジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOCO), コンペア値を0000Hにした場合, DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

8.3.20 ポート・モード・レジスタ 1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート(P10/TRDIOD1, P11/TRDIOC1など)をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P10/TRDIOD1をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを0に設定

タイマ入力端子を兼用するポート(P10/TRDIOD1, P11/TRDIOC1など)をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

(例) P10/TRDIOD1をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM10ビットを1に設定

ポート・レジスタ1のP10ビットを0または1に設定

PM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図8-41 ポート・モード・レジスタ 1 (PM1)のフォーマット(64ピン製品の場合)

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PMmn	Pmn端子の入出力モードの選択(m = 1, n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

備考 上記は、64ピン製品のポート・モード・レジスタ1のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-4~表4-6 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビットを参照してください。

8.4 複数モードにかかわる共通事項

8.4.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックを選択できません。

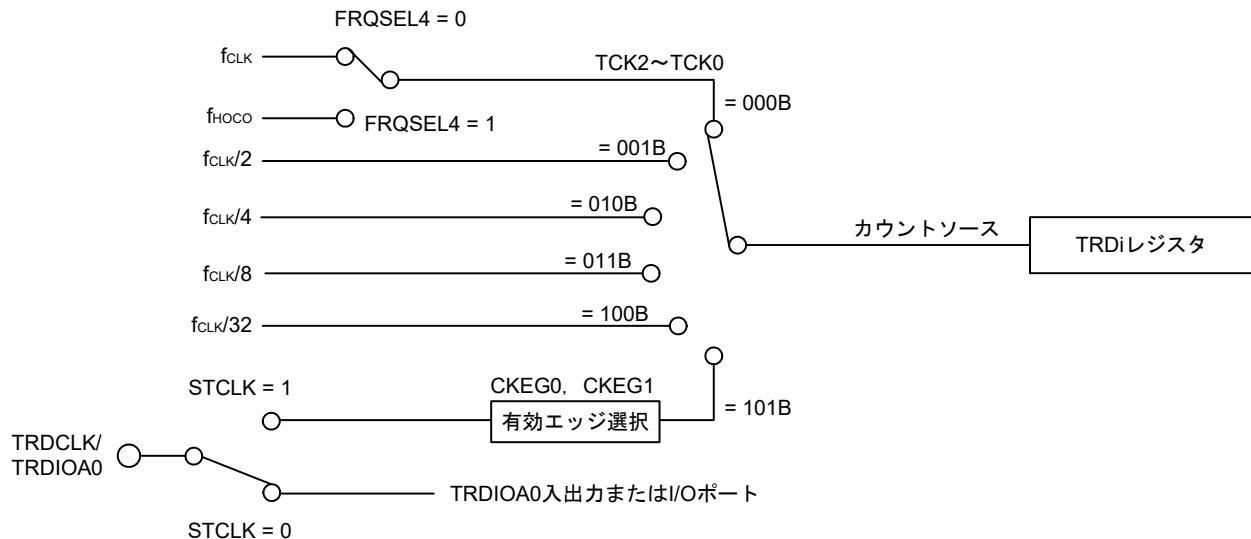
表 8 - 9 カウントソースの選択

カウントソース	選択方法
fCLK, fHOCO ^注 , fCLK/2, fCLK/4, fCLK/8, fCLK/32	TRDCRi レジスタの TCK2~TCK0 ビットでカウントソースを選択
TRDCLK 端子に入力された外部信号	TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効) TRDCRi レジスタの TCK2~TCK0 ビットが 101B (カウントソースは外部クロック) TRDCRi レジスタの CKEG1~CKEG0 ビットで有効エッジを選択 TRDCLK 端子と共用している I/O ポートのポート・モード・レジスタのビットが 1 (入力モード)

備考 i = 0, 1

注 ユーザ・オプション・バイト(000C2H/010C2H)の FRQSEL4=0 のときは fCLK, FRQSEL4=1 のときは fHOCO が選択されます。タイマRD のカウントソースに fHOCO を選択する場合、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に、fCLK を fIH に設定してください。fCLK を fIH 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をクリアしたあとに変更してください。

図 8 - 42 カウントソースのブロック図



備考
i = 0, 1

TCK0~TCK2, CKEG0~CKEG1: TRDCRi レジスタのビット
STCLK: TRDFCR レジスタのビット
FRQSEL4: ユーザ・オプションバイト(000C2H/010C2H)のビット

TRDCLK 端子に入力する外部クロックのパルス幅は、タイマRD の動作クロック (fCLK) の 3 サイクル以上にして
ください。

8.4.2 バッファ動作

TRDMRレジスタのTRDBFCiビット($i = 0, 1$), TRDBFDiビットで, TRDGRCi, TRDGRDiレジスタをTRDGRAi, TRDGRBiレジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ : TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ : TRDGRDiレジスタ

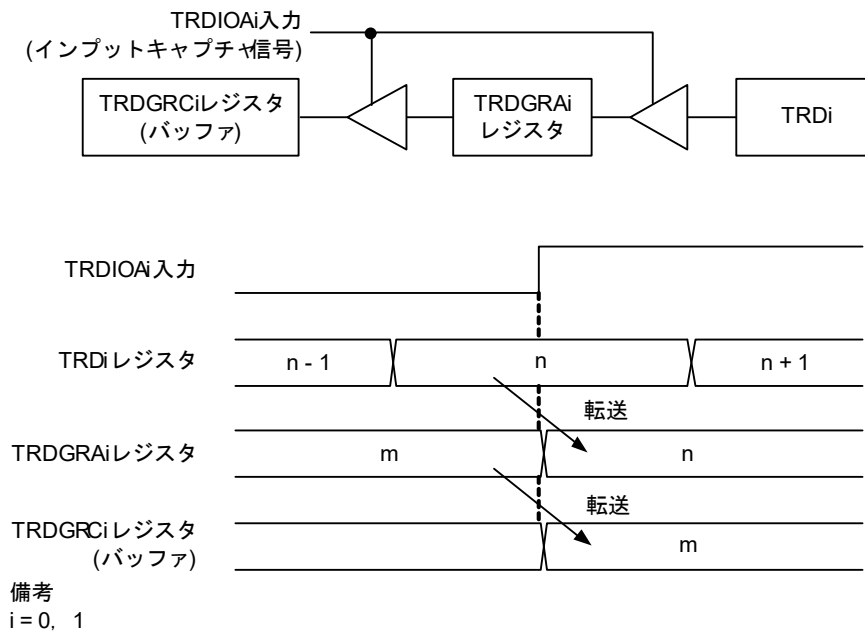
バッファ動作は, モードによって違います。表8 - 10に各モードのバッファ動作を示します。

表8 - 10 各モードのバッファ動作

機能, モード		転送タイミング	転送するレジスタ
タイマモード	入力キャプチャ機能	TRDIOAi入力信号 (入力キャプチャ信号入力)	TRDGRAiレジスタの内容をTRDGRCiレジスタ(バッファレジスタ)に転送
		TRDIOBi入力信号 (入力キャプチャ信号入力)	TRDGRBiレジスタの内容をTRDGRDiレジスタ(バッファレジスタ)に転送
	アウトプットコンペア機能	TRDiレジスタとTRDGRAiレジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送
		TRDiレジスタとTRDGRBiレジスタのコンペア一致	TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送
	PWM機能	TRDiレジスタとTRDGRAiレジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送
		TRDiレジスタとTRDGRBiレジスタのコンペア一致	TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送
リセット同期PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送 TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送	
相補PWMモード	<ul style="list-style-type: none"> • TRDFCRレジスタのCMD1, 0ビットが11Bの場合は, TRD1レジスタのアンダーフロー • TRDFCRレジスタのCMD1, 0ビットが10Bの場合はTRD0レジスタとTRDGRA0レジスタのコンペア一致 	TRDGRC1レジスタ(バッファレジスタ)の内容をTRDGRA1レジスタに転送 TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送	
PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送 TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送	

備考 $i = 0, 1$

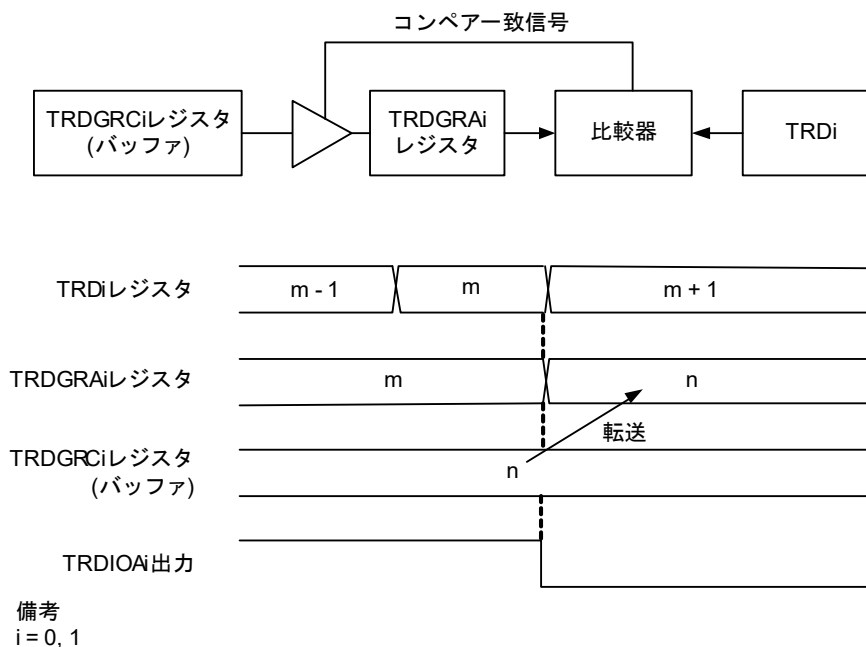
図8-43 インพุットキャプチャ機能のバッファ動作



上図は次の条件の場合です。

- TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
- TRDIORAiレジスタのIOA2~IOA0ビット100B (立ち上がりエッジでインพุットキャプチャ)

図8-44 アウツプツコンペア機能のバッファ動作



上図は次の場合です。

- TRDMRレジスタのBFciビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
- TRDIORAiレジスタのIOA2~IOA0ビット001B (コンペア一致でL出力)

タイマモード(インプットキャプチャ機能, アウトプットコンペア機能)では次のようにしてください。

TRDGRCi レジスタ (i = 0, 1) を TRDGRAi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタのIOC3ビットを1(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCi レジスタのIOC2ビットは, TRDIORAi レジスタのIOA2ビットと同じ設定にしてください。

TRDGRDi レジスタを TRDGRBi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタのIOD3ビットを1(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCi レジスタのIOD2ビットは, TRDIORAi レジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では, TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も, TRDIORCi 端子, TRDIODi 端子の入力エッジで TRDSRi レジスタのIMFC, IMFDビットが1になります。

アウトプットコンペア機能, PWM 機能, リセット同期PWMモード, 相補PWMモード, PWM3モードでは, TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も, TRDi レジスタとのコンペア一致で TRDSRi レジスタのIMFC, IMFDビットが1になります。

8.4.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

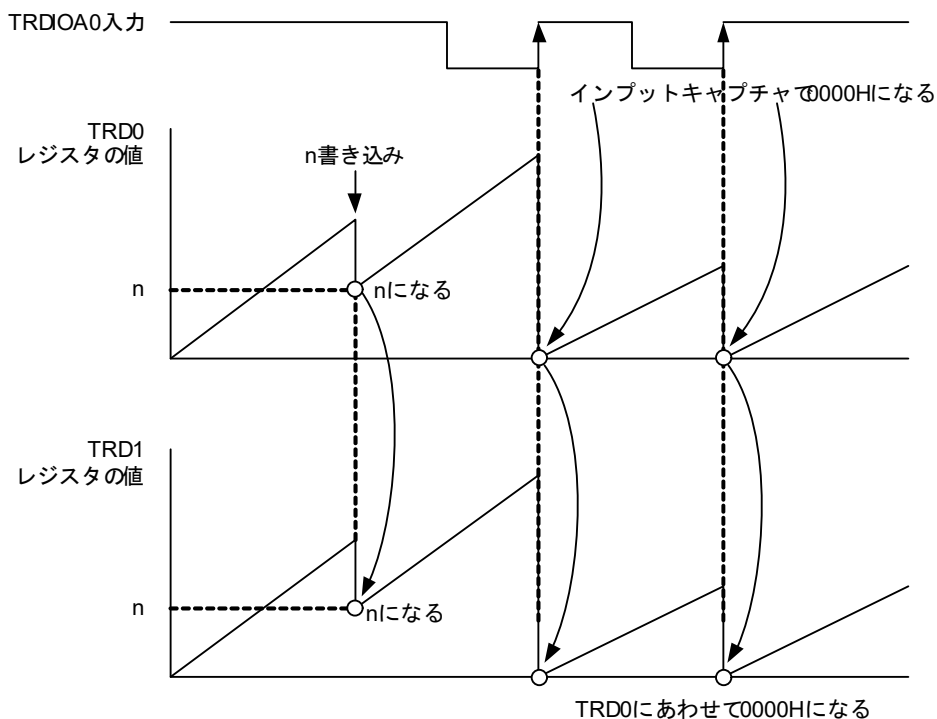
TRDMRレジスタのTRDSYNCビットが1 (同期動作)の場合, TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

TRDSYNCビットが1で, かつTRDCR0レジスタのCCLR2~CCLR0ビットが011B (同期クリア)の場合, TRD0レジスタはTRD1レジスタが0000Hになるとき, 同時に0000Hになります。

同様に, TRDSYNCビットが1で, かつCCLR2~CCLR0ビットが011B (同期クリア)の場合, TRD1レジスタはTRD0レジスタが0000Hになるとき, 同時に0000Hになります。

図8 - 45 同期動作



上図は次の条件の場合です。

- TRDMRレジスタのTRDSYNCビットが1 (同期動作)
- TRDCR0レジスタのCCLR2~CCLR0ビットが001B (インプットキャプチャでTRD0を0000Hにする)
TRDCR1レジスタのCCLR2~CCLR0ビットが011B (TRD0に同期して, TRD1を0000Hにする)
- TRDIOA0レジスタのIOA2~IOA0ビットが100B } (TRDIOA0入力の立ち上がりエッジでインプットキャプチャ)
- TRDFCRレジスタのCMD1, CMD0ビットが00B }
TRDFCRレジスタのPWM3ビットが1

8.4.4 パルス出力強制遮断

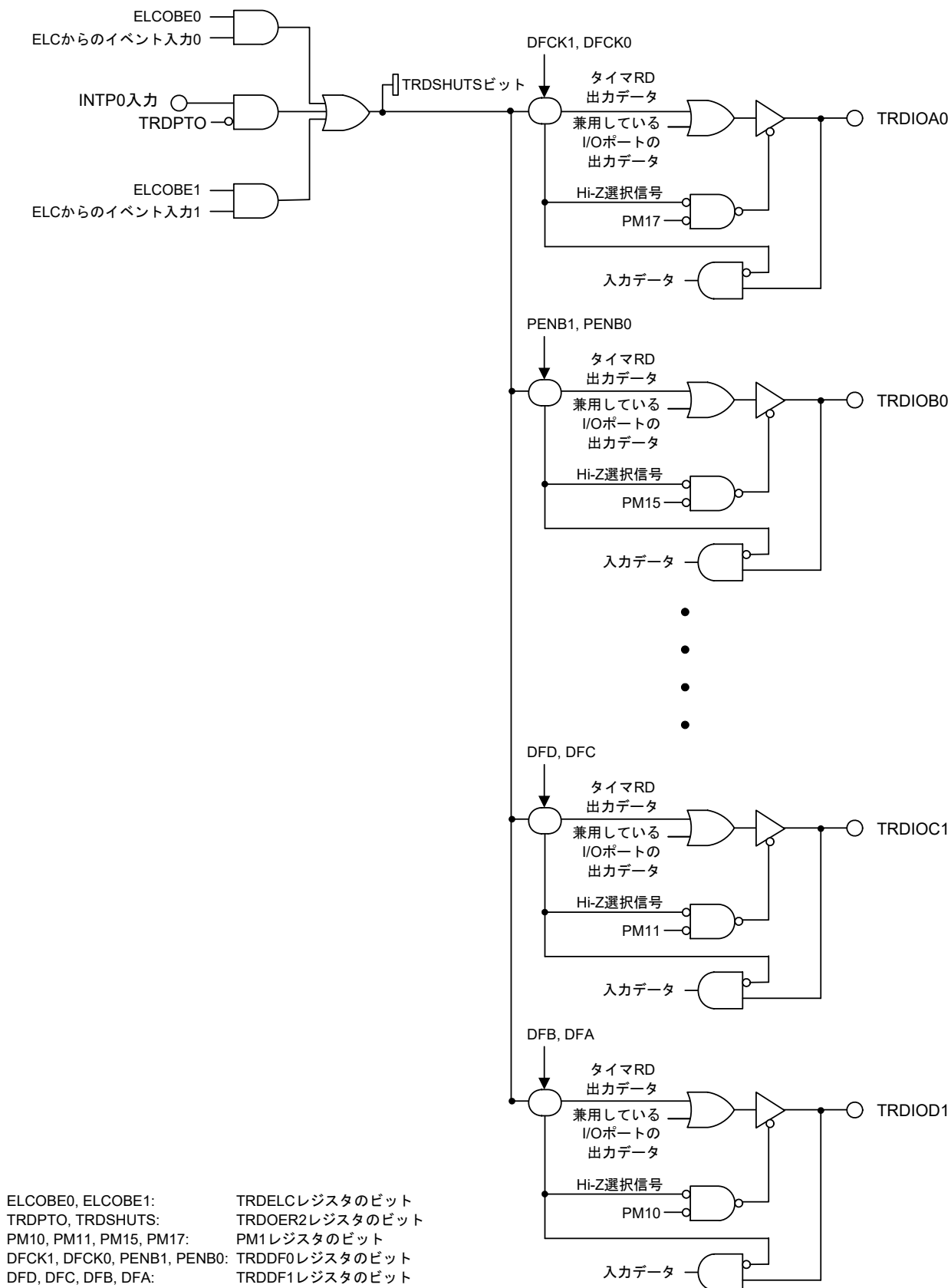
PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、INTP0端子の入力によってTRDIO_j出力端子($i = 0, 1, j = A, B, C, D$)のパルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを0(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのTRDPTOビットが1(パルス出力強制遮断信号INTP0端子入力有効)のとき、タイマRDの出力ポートとして使用している出力端子は、TRDDF0/TRDDF1レジスタのDFCK1, DFCK0, PENB1, PENB0, DFD, DFC, DFB, DFAビットで設定した出力値を出力します。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス, L出力, またはH出力)をTRDDFiで設定する。
- ELCイベント入力によるパルス強制遮断は8.4.5 イベント・リンク・コントローラ(ELC)からのイベント入力参照してください。
- パルス出力強制遮断時、TRDOER2レジスタのTRDSHUTSビットが1となります。パルス出力強制遮断を中断させたい場合、カウント停止中(TSTART_i = 0)にTRDSHUTSビットを0にしてください。
- TRDOER2レジスタのTRDPTOビットを1(パルス出力強制遮断信号INTP0端子入力有効)にする。

図8 - 46 パルス出力強制遮断



8.4.5 イベント・リンク・コントローラ(ELC)からのイベント入力

ELCからのイベント入力によって、タイマRDは2つの動作をします。

(a) TRDIOD0/TRDIOD1のインプットキャプチャ

ELCからのイベント入力によって、タイマRDはTRDIOD0/TRDIOD1のインプットをキャプチャします。このとき、TRDSRiレジスタのIMFDビットが1になります。

この機能を使用する場合、タイマモードのインプットキャプチャ機能を選択し、TRDELICレジスタのELCICE0/ELCICE1ビットを1にしてください。その他のモード(タイマモードのアウトプットコンペア機能、PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード)では無効です。

(b) パルス出力強制遮断動作注

ELCからのイベント入力によって、パルス出力を強制遮断します。この機能を使用する場合、パルス出力モード(PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード)を選択し、ELCOBE0/ELCOBE1ビットを1にしてください。タイマモードのインプットキャプチャ機能では無効です。

注 INTPO端子の強制遮断はL入力期間中パルス出力を遮断しますが、ELCイベントによるパルス強制遮断は、ELCからのイベント入力1回に対し、1回パルス出力を遮断します。

設定手順

(1) ELCのイベントリンク先をタイマRDに設定する。

(2) TRDELICレジスタのELCICEi (i = 0, 1), ELCOBEi (i = 0, 1)ビットを1にする。

8.4.6 イベント・リンク・コントローラ(ELC)/データ・トランスファ・コントローラ(DTC)へのイベント出力

表8-11にタイマRDのモードとELC/DTCへのイベント出力を示します。

表8-11 タイマRDのモードとELC/DTCへのイベント出力

使用モード	出力要因	ELC	DTC
インプットキャプチャ機能	TRDIORA0レジスタのIOA1, IOA0ビットで設定したTRDIOA0のエッジ検出	○	○
	TRDIORA0レジスタのIOB1, IOB0ビットで設定したTRDIOB0のエッジ検出	○	○
	TRDIORC0レジスタのIOC1, IOC0ビットで設定したTRDIOC0のエッジ検出	—	○
	TRDIORC0レジスタのIOD1, IOD0ビットで設定したTRDIOD0のエッジ検出	—	○
	TRDIORA1レジスタのIOA1, IOA0ビットで設定したTRDIOA1のエッジ検出	○	○
	TRDIORA1レジスタのIOB1, IOB0ビットで設定したTRDIOB1のエッジ検出	○	○
	TRDIORC1レジスタのIOC1, IOC0ビットで設定したTRDIOC1のエッジ検出	—	○
	TRDIORC1レジスタのIOD1, IOD0ビットで設定したTRDIOD1のエッジ検出	—	○
アウトプットコンペア機能, PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDGRB0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDGRC0レジスタのコンペア一致	—	○
	TRD0レジスタとTRDGRD0レジスタのコンペア一致	—	○
	TRD1レジスタとTRDGRA1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDGRB1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDGRC1レジスタのコンペア一致	—	○
	TRD1レジスタとTRDGRD1レジスタのコンペア一致	—	○
相補PWMモード	TRD1レジスタのアンダフロー	○	—

8.5 タイマRDの動作

タイマRXと連携動作、タイマRD強制遮断制御(PWMOPA)と連携動作については、第10章 タイマRX, 8.8 PWMオプションユニットA (PWMOPA) を参照してください。

8.5.1 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO $_{ji}$ 端子 ($i = 0, 1, j = A, B, C, D$) の外部信号をトリガにしてTRDi レジスタ (カウンタ) の内容をTRDGR $_{ji}$ レジスタに転送します (インพุットキャプチャ)。TRDIO $_{ji}$ 端子とTRDGR $_{ji}$ レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

図8-47にインพุットキャプチャ機能のブロック図 (タイマRD0の場合) を、表8-12にインพุットキャプチャ機能の仕様を、図8-48にインพุットキャプチャ機能の動作例を示します。

表8-12 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2~CCLR0ビットが000B(フリーランニング動作)の場合 1/fk × 65536 fk: カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インพุットキャプチャ(TRDIOji入力の有効エッジ) TRDiオーバフロー
TRDIOA0端子機能	I/Oポート, インพุットキャプチャ入力, またはTRDCLK(外部クロック)入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1~ TRDIOD1端子機能	I/Oポートまたはインพุットキャプチャ入力(1端子ごとに選択)
INTP0端子機能	使用しない(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと, カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのTRDSYNCビットが0(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのTRDSYNCビットが1(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> インพุットキャプチャ入力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がりエッジと立ち下がりエッジの両方 TRDiを0000Hにするタイミング オーバフローまたはインพุットキャプチャ時 バッファ動作(8.4.2 バッファ動作参照) 同期動作(8.4.3 同期動作参照) デジタルフィルタ TRDIOji入力をサンプリングし, 3回一致したらレベルが確定したとみなす ELCからのイベント入力によるインพุットキャプチャ動作

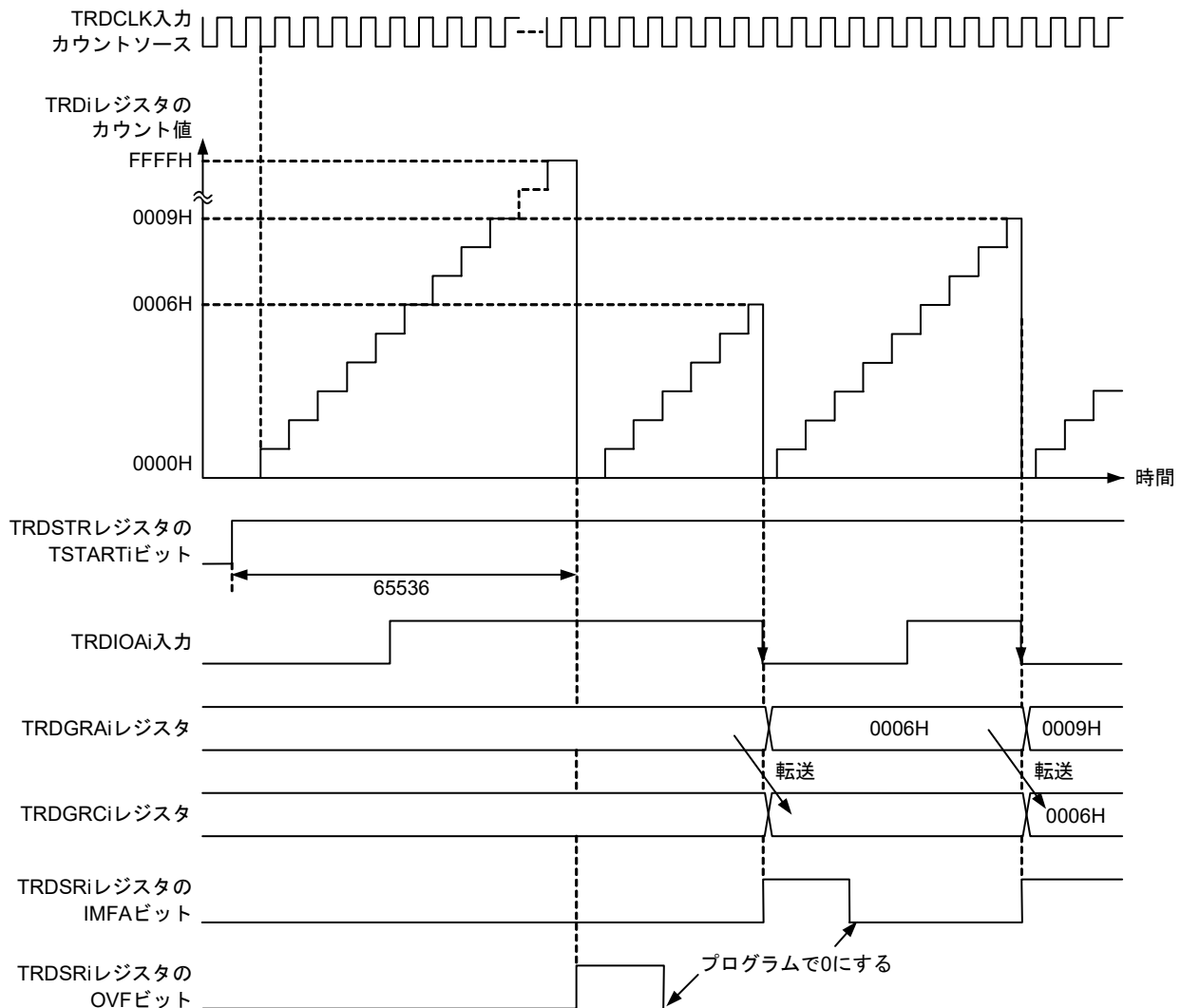
注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

TRDCRiレジスタ ($i = 0, 1$)のCCLR0～CCLR2ビットの設定で、インプットキャプチャ/コンペアー一致により、タイマRDiのカウンタ値はリセットされます。図8-48は、CCLR2～CCLR0ビットを001Bと設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定をしていて、タイマカウンタ値がFFFFHにおいてインプットキャプチャ動作をした場合、カウントソースとインプットキャプチャ動作のタイミングによって割り込みフラグであるTRDSRiレジスタのIMFA～IMFDビットとOVFビットが同時に1となる場合があります。

図8-48 インプットキャプチャ機能の動作例



備考
i = 0, 1

上図は次の条件の場合です。

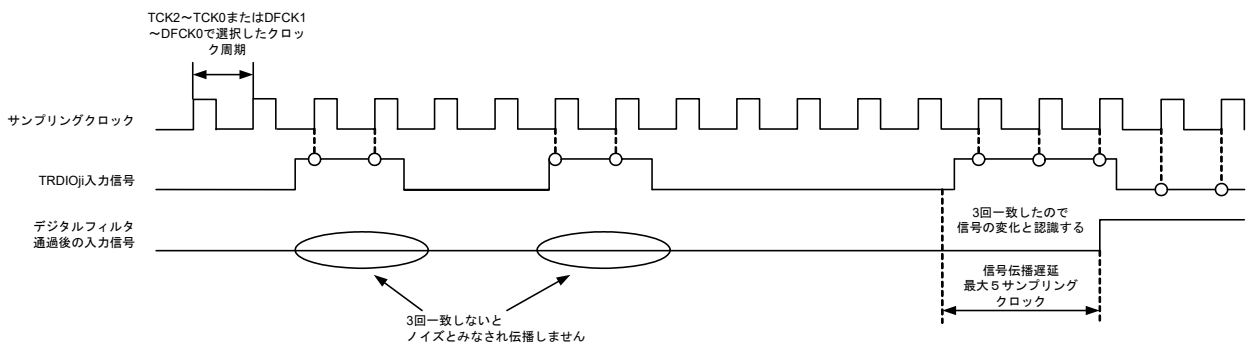
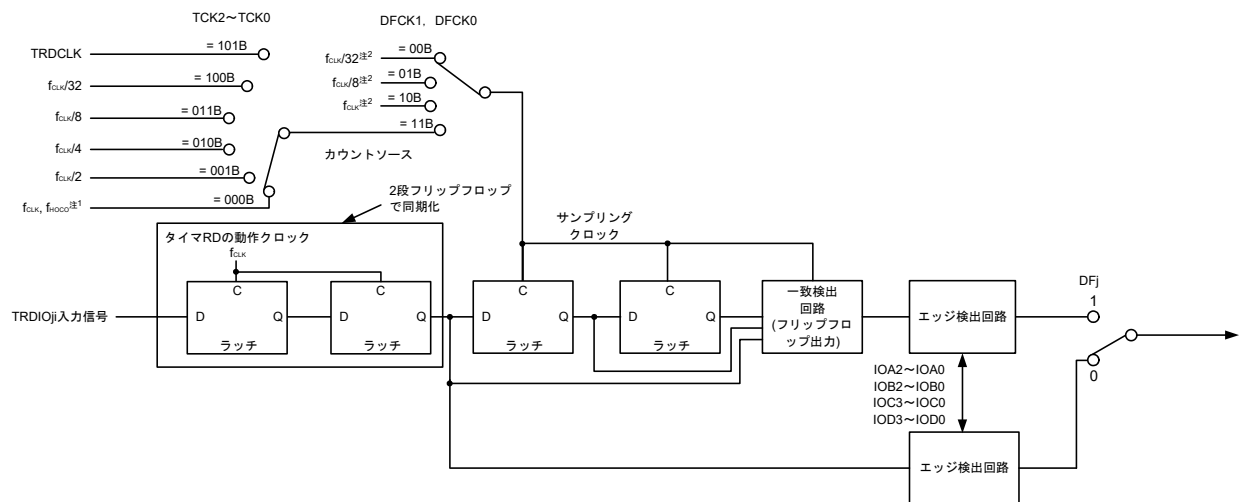
- TRDCRiレジスタのCCLR2～CCLR0ビットが001B (TRDGRAiのインプットキャプチャでTRDiを0000Hにする)
- TRDCRiレジスタのTCK2～TCK0ビットが101B (カウントソースはTRDCLK入力)
- TRDCRiレジスタのCKEG1, CKEG0ビットが01B (カウントソースは立ち下がりでカウント)
- TRDIOAiレジスタのIOA2～IOA0ビットが101B (TRDIOAi入力の立ち下がりでエッジでインプットキャプチャ)
- TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)

(2) デジタルフィルタ

TRDIO_{ji} 入力 (i = 0, 1, j = A, B, C, D) をサンプリングし, 3回一致したらレベルが確定したとみなします。デジタルフィルタ機能, サンプリングクロックはTRDDFiレジスタで選択してください。

図8-49にデジタルフィルタのブロック図を示します。

図8-49 デジタルフィルタのブロック図



備考
i = 0, 1, j = A, B, C, D

TCK0~TCK2 : TRDCRiレジスタのビット
DFCK0, DFCK1, DFj : TRDDFiレジスタのビット
IOA0~IOA2, IOB0~IOB2 : TRDIORAIのレジスタのビット
IOC0~IOC3, IOD0~IOD3 : TRDIORCIのレジスタのビット

- 注1. ユーザ・オプション・バイト (000C2H/010C2H) のFRQSEL4 = 0のときはfclk, FRQSEL4 = 1のときはfhocoが選択されます。
- 注2. ユーザ・オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1の場合はfclk/32, fclk/8, fclkはそれぞれfhoco/32, fhoco/8, fhocoになります。

8.5.2 アウトプットコンペア機能

TRDi レジスタ (カウンタ) ($i = 0, 1$) の内容と, TRDGRj レジスタ ($j = A, B, C, D$) の内容の一致 (コンペア一致) を検出するモードです。一致したとき TRDIOj 端子から任意のレベルを出力します。TRDIOj 端子と TRDGRj レジスタの組み合わせで機能しますので, 端子1本ごとにアウトプットコンペア機能にするか, 他のモード, 機能にするかを選択できます。

図8 - 50にアウトプットコンペア機能のブロック図 (タイマRD0の場合) を, 表8 - 13にアウトプットコンペア機能の仕様を, 図8 - 51にアウトプットコンペア機能の動作例を示します。

表8-13 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRDCRiレジスタのCCLR2~CCLR0ビットが000B(フリーランニング動作)の場合 1/fk × 65536 fk : カウントソースの周波数 TRDCRiレジスタのCCLR1~CCLR0ビットが01B, 10B(TRDGRjiのコンペアー一致でTRDiを0000Hにする)の場合 1/fk × (n + 1) n : TRDGRjiレジスタ設定値
波形出カタイミング	コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致)
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが0の場合, TRDGRAiコンペアー一致でカウント停止 アウトプットコンペア出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRDiオーバフロー
TRDIOA0端子機能	I/Oポート, アウトプットコンペア出力, またはTRDCLK(外部クロック)入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1~TRDIOD1端子機能	I/Oポートまたはアウトプットコンペア出力(1端子ごとに選択)
INTP0端子機能	使用しない(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと, カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのTRDSYNCビットが0(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのTRDSYNCビットが1(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 コンペアー一致時の出力レベル選択 L出力, H出力, または出力レベル反転 初期出力レベル選択 カウント開始からコンペアー一致までの期間のレベルを設定 TRDiを0000Hにするタイミング オーバフローまたはTRDGRAiレジスタのコンペアー一致 バッファ動作(8.4.2 バッファ動作参照) 同期動作(8.4.3 同期動作参照) TRDGRCi, TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の, TRDGRDiをTRDIOBi端子の出力制御に使用できる タイマRDは出力しないことで内部タイマとして使用できる

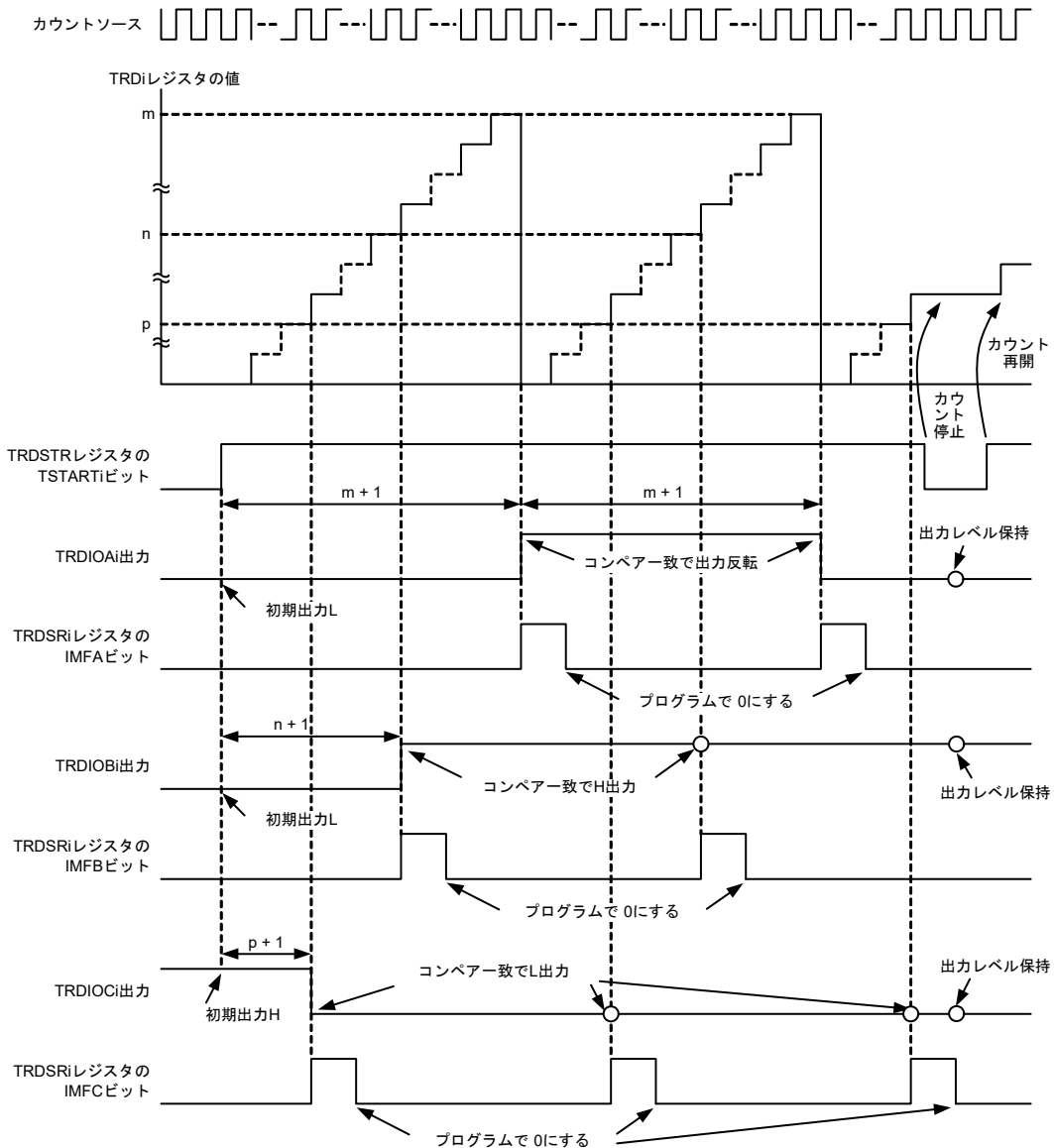
注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

TRDCR_iレジスタ ($i = 0, 1$)のCCLR0～CCLR2ビットの設定によって、インプットキャプチャ/コンペアー一致により、タイマRD_iのカウンタ値はリセットされます。このとき、コンペアー期待値がFFFFHの場合、オーバーフロー動作と同様にFFFFHから0000Hとなり、オーバーフローフラグは1となります。

図8-51 アウトプットコンペアー機能の動作例



備考

 $i = 0, 1$ m : TRDGRA_iレジスタ設定値n : TRDGRB_iレジスタ設定値p : TRDGRCl_iレジスタ設定値

上図は次の条件の場合です。

TRDSTRレジスタのCSELiビットが1 (TRDiはコンペアー一致で停止しない)

TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRCl_i, TRDGRDiバッファ動作しない)

TRDOER1レジスタのEAI, EBi, ECIビットが0 (TRDIOAi, TRDIOBi, TRDIOCi出力許可)

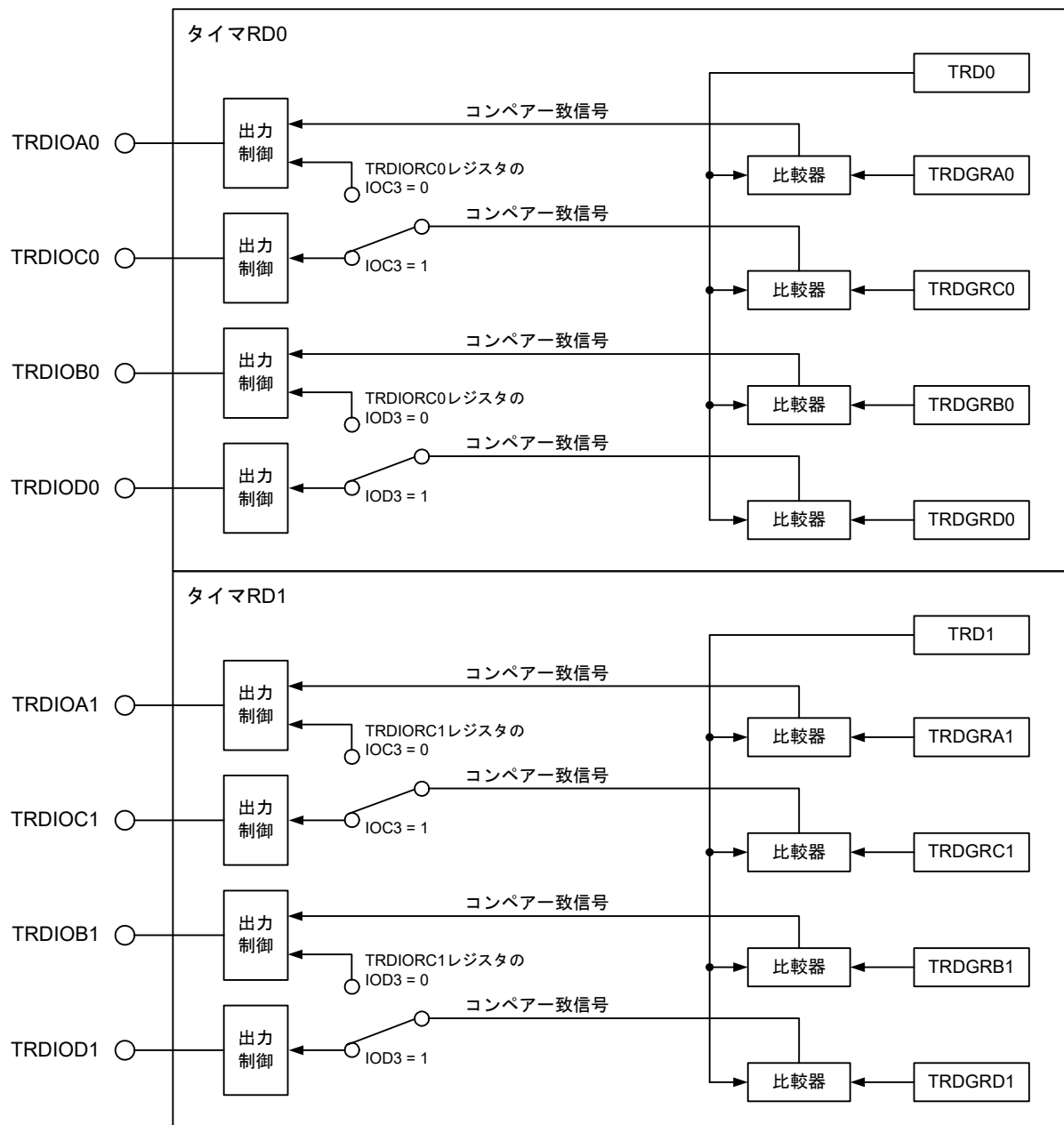
TRDCR_iレジスタのCCLR2～CCLR0ビットが001B (TRDGRA_iのコンペアー一致でTRDiを0000Hにする)TRDCR_iレジスタのTOAi, TOBiビットが0 (コンペアー一致までの初期出力L), TOCiビットが1 (コンペアー一致までの初期出力H)TRDIOAiレジスタのIOA2～IOA0ビットが011B (TRDGRA_iコンペアー一致時, TRDIOAi出力反転)TRDIOBiレジスタのIOB2～IOB0ビットが010B (TRDGRB_iコンペアー一致時, TRDIOBi出力)TRDIOCiレジスタのIOC3～IOC0ビットが1001B (TRDGRCl_iコンペアー一致時, TRDIOCi出力)

TRDIOCiレジスタのIOD3～IOD0ビットを1000B (TRDGRDiレジスタはTRDIOBi端子出力制御しない。コンペアー一致による端子出力禁止)

(2) TRDGRC_i, TRDGRD_i レジスタ ($i = 0, 1$) の出力端子変更

TRDGRC_i レジスタを TRDIOA_i 端子の, TRDGRD_i レジスタを TRDIOB_i 端子の出力制御に使用できます。したがって, 各端子の出力は次のように制御できます。

- TRDIOA_i 出力は, TRDGRA_i レジスタの値と TRDGRC_i レジスタの値の2点で制御
- TRDIOB_i 出力は, TRDGRB_i レジスタの値と TRDGRD_i レジスタの値の2点で制御

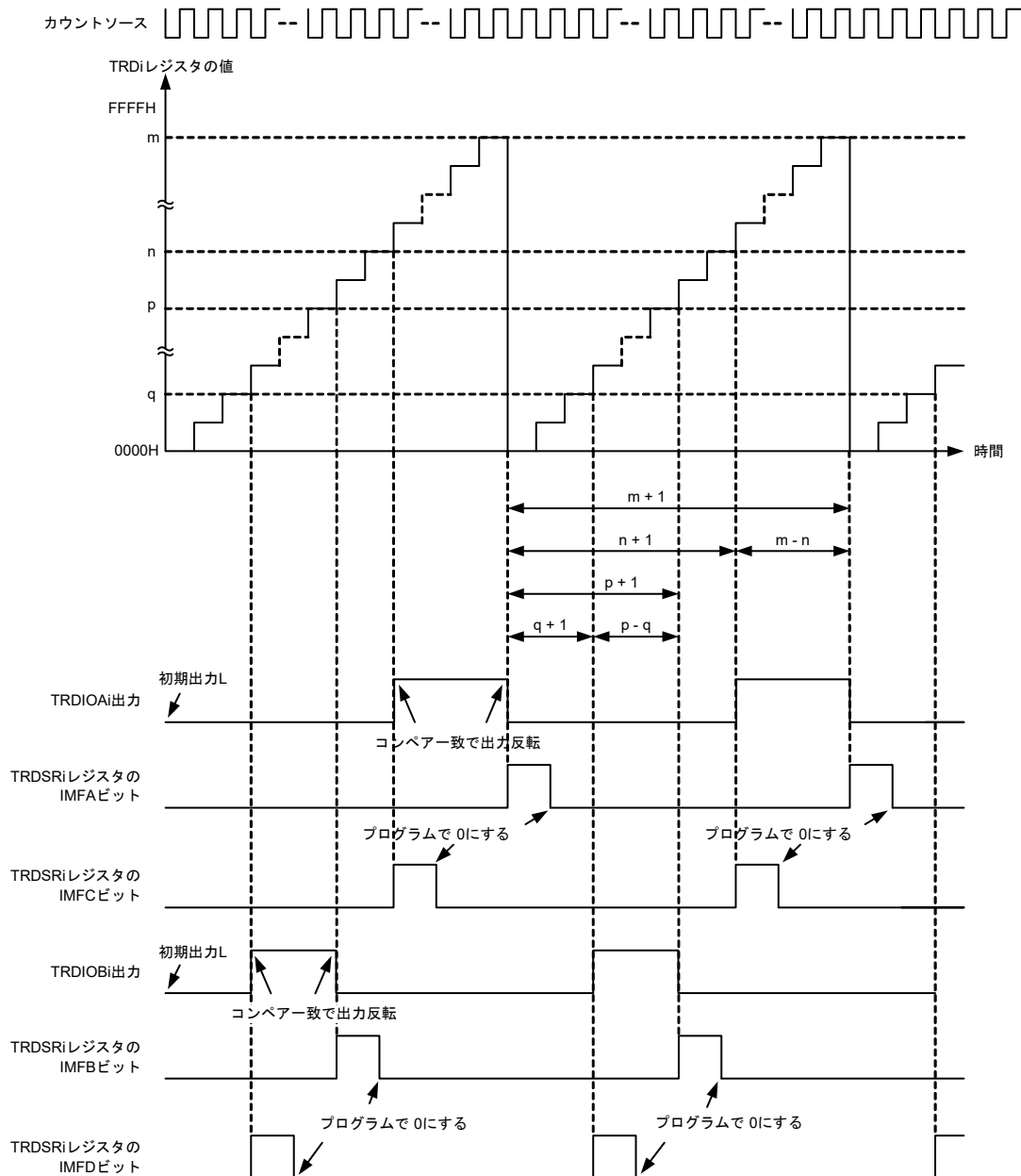
図8 - 52 TRDGRC_i, TRDGRD_i の出力端子変更

TRDGRC_i, TRDGRD_i レジスタの出力端子を変更する場合は, 次のようにしてください。

- TRDIORC_i レジスタの IOj3 ビット ($j = C, D$) で 0 (TRDGR_j レジスタ出力端子変更) を選択。
- TRDMR レジスタの TRDBF_j ビットを 0 (ジェネラルレジスタ) にする。
- TRDGRA_i レジスタと TRDGRC_i レジスタは違う値を設定。また, TRDGRB_i レジスタと TRDGRD_i レジスタは違う値を設定。

図8 - 53にTRDGR*C*iをTRDIOA*i*端子の, TRDGRD*i*をTRDIOB*i*端子の出力制御に使用した場合の動作例を示します。

図8 - 53 TRDGR*C*iをTRDIOA*i*端子の, TRDGRD*i*をTRDIOB*i*端子の出力制御に使用した場合の動作例



備考

$i = 0, 1$

m : TRDGRA*i*レジスタの設定値

n : TRDGR*C*iレジスタの設定値

p : TRDGRB*i*レジスタの設定値

q : TRDGRD*i*レジスタの設定値

上図は次の条件の場合です。

- TRDSTRレジスタのCSEL*i*ビットが1 (TRD*i*はコンパレー一致で停止しない)
- TRDMRレジスタのTRDBFC*i*, TRDBFD*i*ビットが0 (TRDGR*C*i, TRDGRD*i*バッファ動作しない)
- TRDOER1レジスタのEA*i*, EB*i*ビットが0 (TRDIOA*i*, TRDIOB*i*出力許可)
- TRDCR*i*レジスタのCCLR2~CCLR0ビットが001B (TRDGRA*i*のコンパレー一致でTRD*i*を0000Hにする)
- TRDOCRレジスタのTOA*i*, TOB*i*ビットが0 (コンパレー一致までの初期出力L)
- TRDIORA*i*レジスタのIOA2~IOA0ビットが011B (TRDGRA*i*コンパレー一致時, TRDIOA*i*出力反転)
- TRDIORA*i*レジスタのIOB2~IOB0ビットが011B (TRDGRB*i*コンパレー一致時, TRDIOB*i*出力反転)
- TRDIORC*i*レジスタのIOC3~IOC0ビットが0011B (TRDGR*C*iコンパレー一致時, TRDIOA*i*出力反転)
- TRDIORC*i*レジスタのIOD3~IOD0ビットが0011B (TRDGRD*i*コンパレー一致時, TRDIOB*i*出力反転)

8.5.3 PWM機能

PWM波形を出力する機能です。タイマRD i ($i = 0, 1$)で同周期のPWM波形を最大3本出力できます。

また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。TRDIO j 端子 ($j = B, C, D$)とTRDGR j レジスタの組み合わせで機能しますので、端子1本ごとにPWM機能にするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWM機能に使用する場合もTRDGRA i レジスタを使用しますので、TRDGRA i レジスタは他のモードに使用できません)。

図8-54にPWM機能のブロック図(タイマRD0の場合)を、表8-14にPWM機能の仕様を、図8-55、図8-56にPWM機能の動作例を示します。

図8 - 54 PWM機能のブロック図 (タイマRD0の場合)

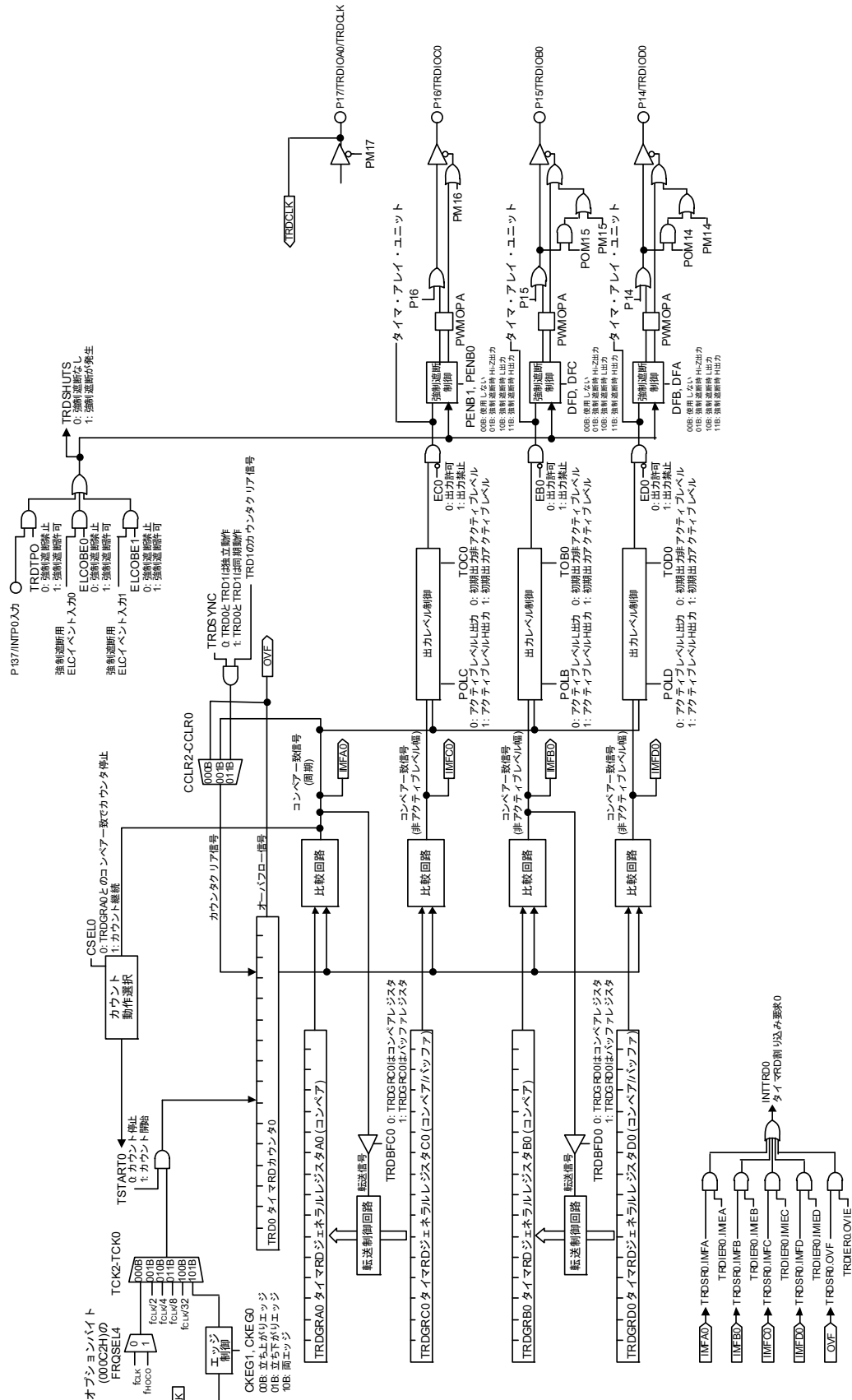
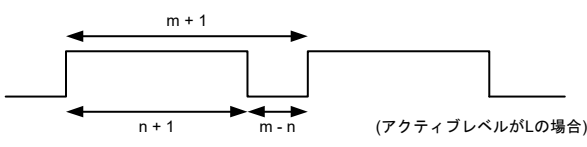


表 8 - 14 PWM機能の仕様

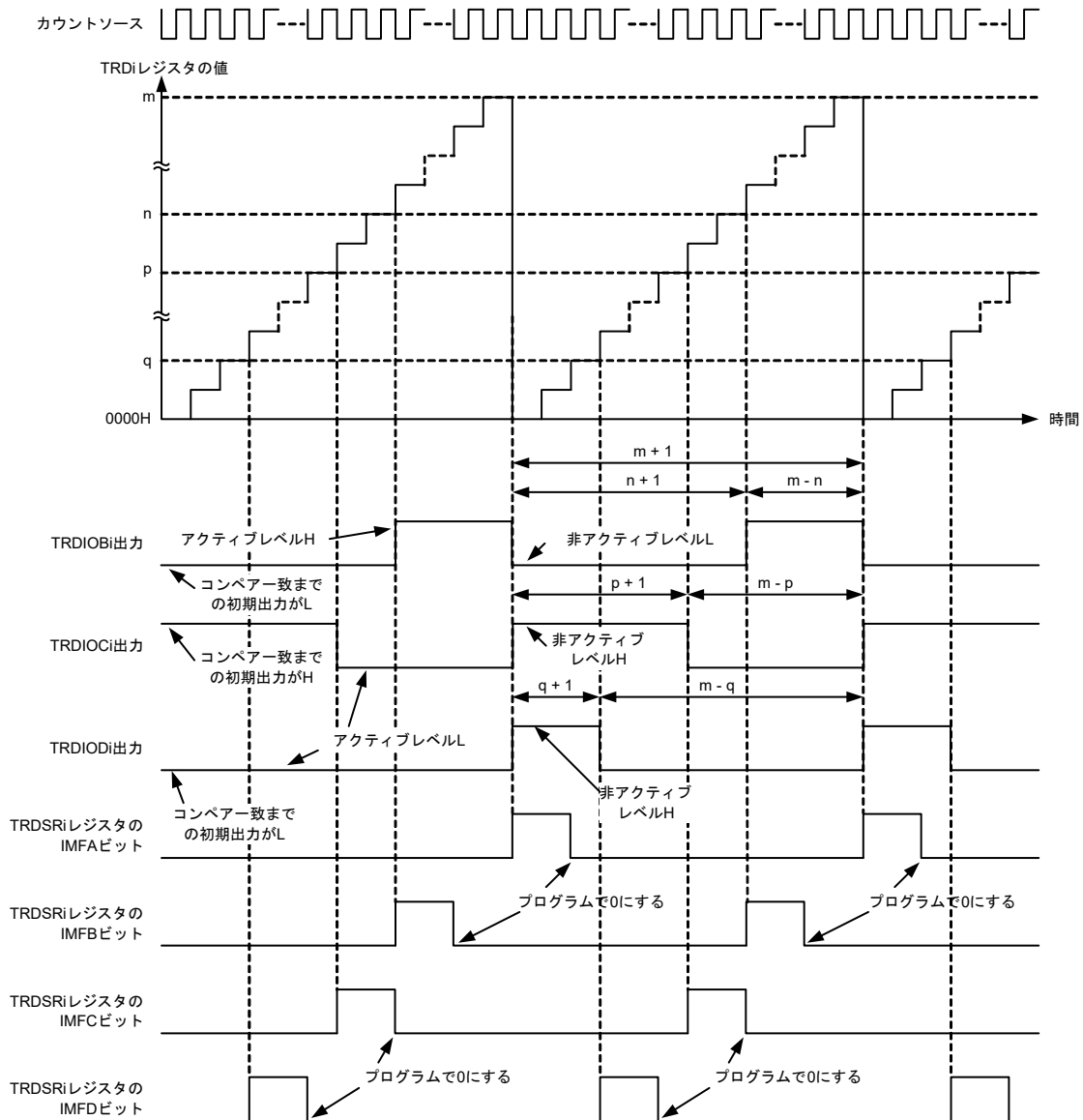
項目	仕様
カウントソース	fHOCO注, fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	<p>PWM周期: $1/f_k \times (m + 1)$ アクティブレベル幅: $1/f_k \times (m - n)$ アクティブでないレベルの幅: $1/f_k \times (n + 1)$</p> <p>f_k: カウントソースの周波数 m: TRDGRA_i レジスタ設定値 n: TRDGR_ji レジスタ設定値</p>  <p>(アクティブレベルがLの場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART _i ビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL_iビットが1に設定されているとき, TSTART_iビットへの0(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSEL_iビットが0の場合, TRDGRA_iコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRD_iレジスタとTRDGR_hiレジスタの内容が一致) TRD_iオーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOA1端子機能	I/Oポート
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOB1, TRDIOC1, TRDIOD1 端子機能	I/OポートまたはPWM出力(1端子ごとに選択)
INTP0端子機能	パルス出力強制遮断信号入力(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRD _i レジスタを読むと, カウント値が読める
タイマの書き込み	TRD _i レジスタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子をタイマRD_iで1~3本選択 TRDIOB_i, TRDIOC_i, TRDIOD_i端子のいずれか1本または複数本 アクティブレベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 同期動作(8.4.3 同期動作参照) バッファ動作(8.4.2 バッファ動作参照) パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照)

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = B, C, D, h = A, B, C, D

(1) 動作例

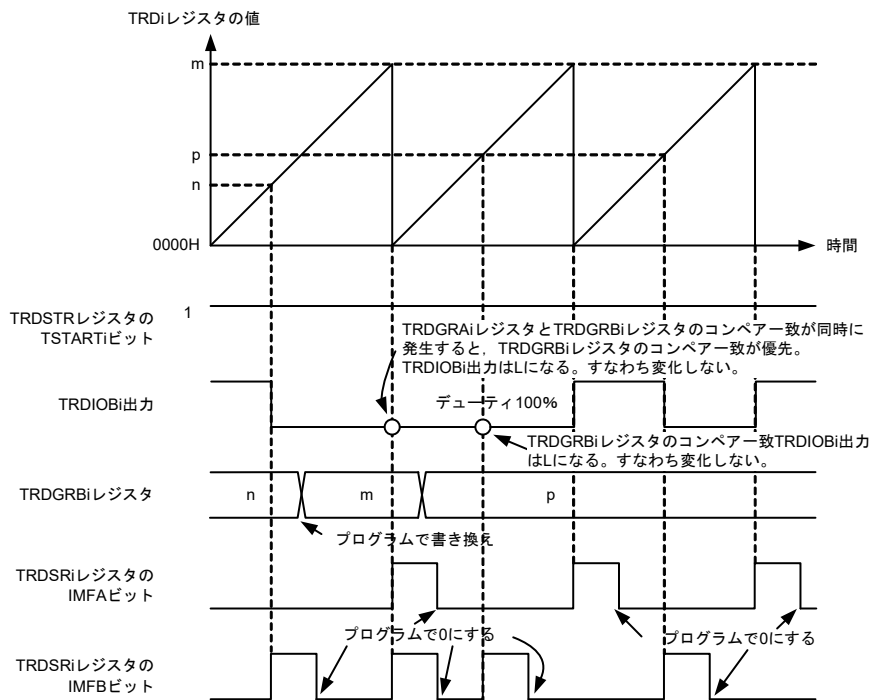
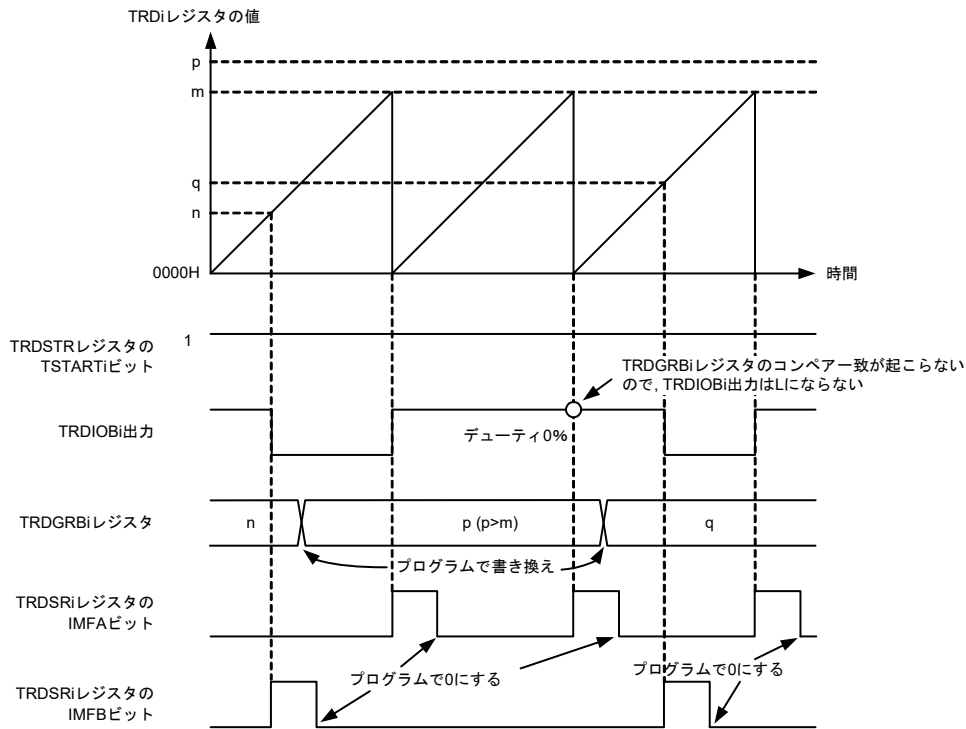
図8 - 55 PWM機能の動作例



備考
 i = 0, 1
 m : TRDGRAiレジスタの設定値
 n : TRDGRBiレジスタの設定値
 p : TRDGRCiレジスタの設定値
 q : TRDGRDiレジスタの設定値

上図は次の条件の場合です。
 TRDMRレジスタのTRDBFCi, TRBFDiビットが0 (TRDGRCi, TRDGRDiレジスタはバッファ動作しない)
 TRDOER1レジスタのEBi, ECi, EDiビットが0 (TRDIOBi, TRDIOCi, TRDIODi出力許可)
 TRDOCRレジスタのTOBi, TOCiビットが0 (非アクティブレベル), TODiビットが1 (アクティブレベル)
 TRDPOCRiレジスタのPOLBビットが1 (アクティブレベルH), POLC, POLDビットが0 (アクティブレベルL)

図8 - 56 PWM機能の動作例(デューティ 0%, デューティ 100%)



備考

i = 0, 1

m : TRDGRAiレジスタの設定値

上図は次の条件の場合です。

TRDOER1レジスタのEBiビットが0 (TRDIOBi出力許可)

TRDPOCRiレジスタのPOLBビットが0 (アクティブレベルL)

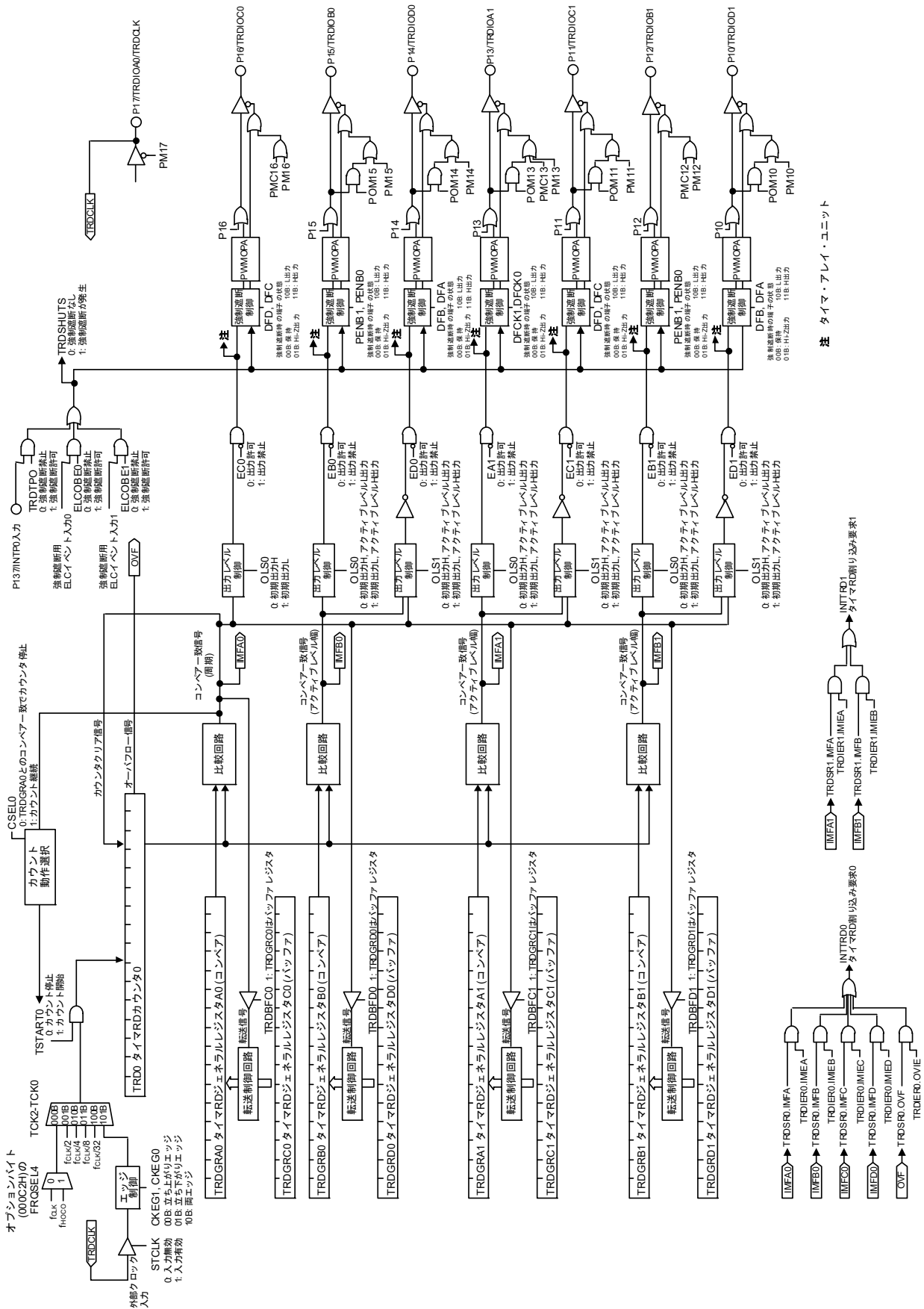
8.5.4 リセット同期PWMモード

同周期のPWM波形を正相3本, 逆相3本, 計6本出力します(三相, 鋸波変調, 短絡防止時間なし)。

図8 - 57にリセット同期PWMモードのブロック図(タイマRD0の場合)を, 表8 - 15にリセット同期PWMモードの仕様を, 図8 - 58にリセット同期PWMモードの動作例を示します。

デューティ 0%, 100%のPWM動作例は図8 - 56 PWM機能の動作例(デューティ 0%, デューティ 100%)を参照してください。

図8-57 リセット同期PWMモードのブロック図 (タイマRD0の場合)



注 タイマ・アレイ・ユニタット

表8-15 リセット同期PWMモードの仕様

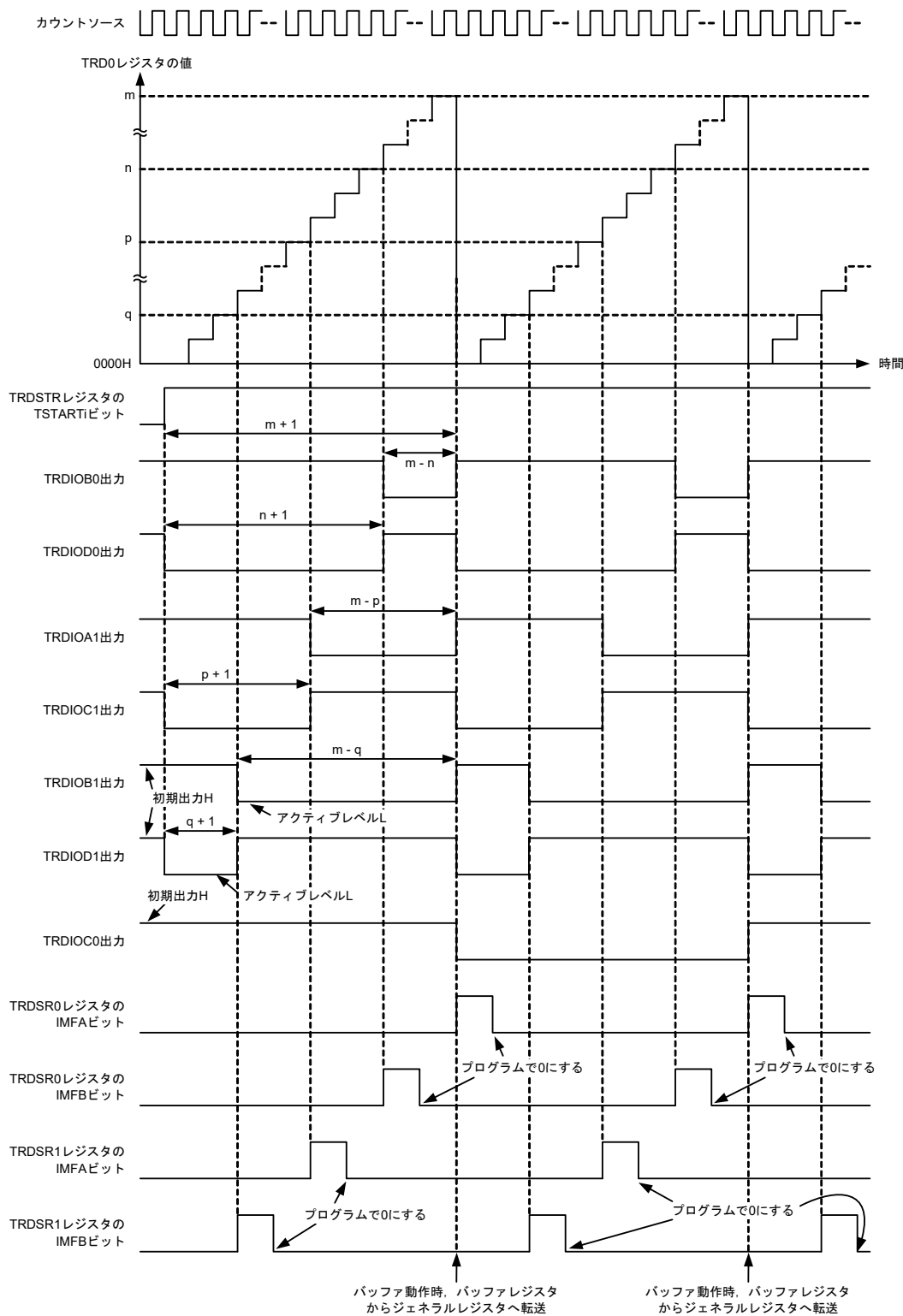
項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期: $1/fk \times (m + 1)$ 正相のアクティブレベル幅: $1/fk \times (m - n)$ 逆相のアクティブレベル幅: $1/fk \times (n + 1)$ fk: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3)</p> <p>(アクティブレベルがLの場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが1に設定されているとき, TSTART0ビットへの0(カウント停止)書き込み PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力 TRDSTRレジスタのCSEL0ビットが0の場合, TRDGRA0コンパレー一致でカウント停止 PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンパレー一致(TRD0レジスタとTRDGRj0, TRDGRA1, TRDGRB1レジスタの内容が一致) TRD0オーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRD0レジスタを読むと, カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> 正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 バッファ動作(8.4.2 バッファ動作参照) パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照)

注 ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 j = A, B, C, D

(1) 動作例

図8-58 リセット同期PWMモードの動作例



備考
 $i = 0 \sim 1$
 m : TRDGRA0レジスタの設定値
 n : TRDGRB0レジスタの設定値
 p : TRDGRA1レジスタの設定値
 q : TRDGRB1レジスタの設定値
 上図は次の条件の場合です。
 TRDFCRレジスタのOLS1, OLS0ビットが0 (初期出力レベルH, アクティブレベルL)

8.5.5 相補PWMモード

同周期のPWM波形を正相3本, 逆相3本, 計6本出力します(三相, 三角波変調, 短絡防止時間あり)。

図8 - 59に相補PWMモードのブロック図(タイマRD0の場合)を, 表8 - 16に相補PWMモードの仕様を, 図8 - 60に相補PWMモードの出力モデルを, 図8 - 61に相補PWMモードの動作例を示します。

図8 - 59 相補PWMモードのブロック図 (タイマRD0の場合)

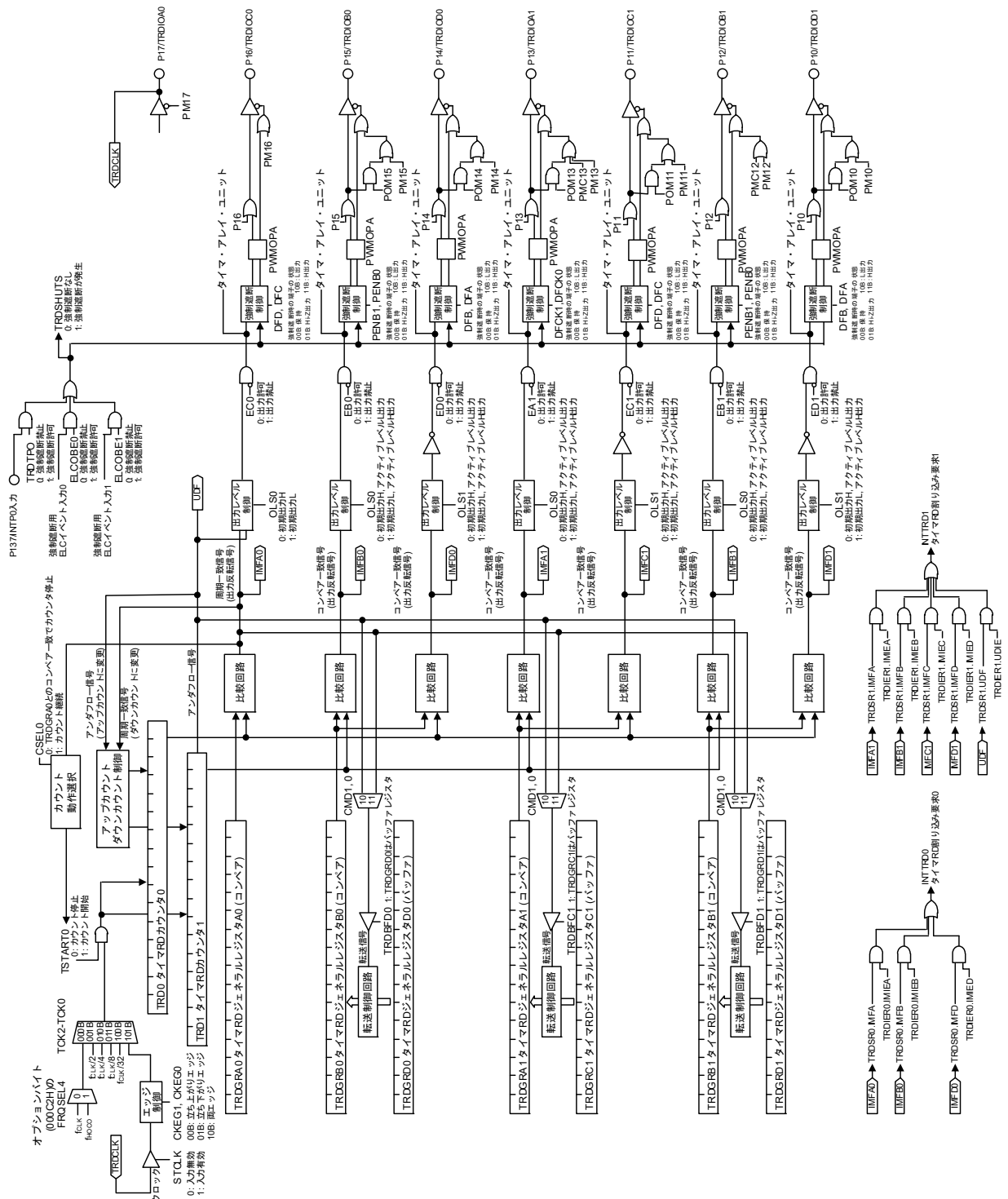
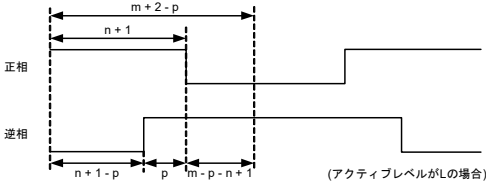


表 8 - 16 相補PWMモードの仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK0~TCK2ビットと, TRDCR1レジスタのTCK0~TCK2ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペア一致すると, TRD0, TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが0000HからFFFFHになるとTRD0, TRD1ともアップカウントになる。
PWM波形	PWM周期: $1/fk \times (m + 2 - p) \times 2$ ^{注2} 短絡防止時間: p 正相のアクティブレベル幅: $1/fk \times (m - n - p + 1) \times 2$ 逆相のアクティブレベル幅: $1/fk \times (n + 1 - p) \times 2$ fk: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p: TRD0レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD1アンダフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと, カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照) 正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 バッファレジスタからの転送タイミング選択

注1. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

注2. カウント開始後, PWM周期は固定です。

備考 i = 0, 1 j = A, B, C, D

(1) 動作例

図8 - 60 相補PWMモードの出力モデル

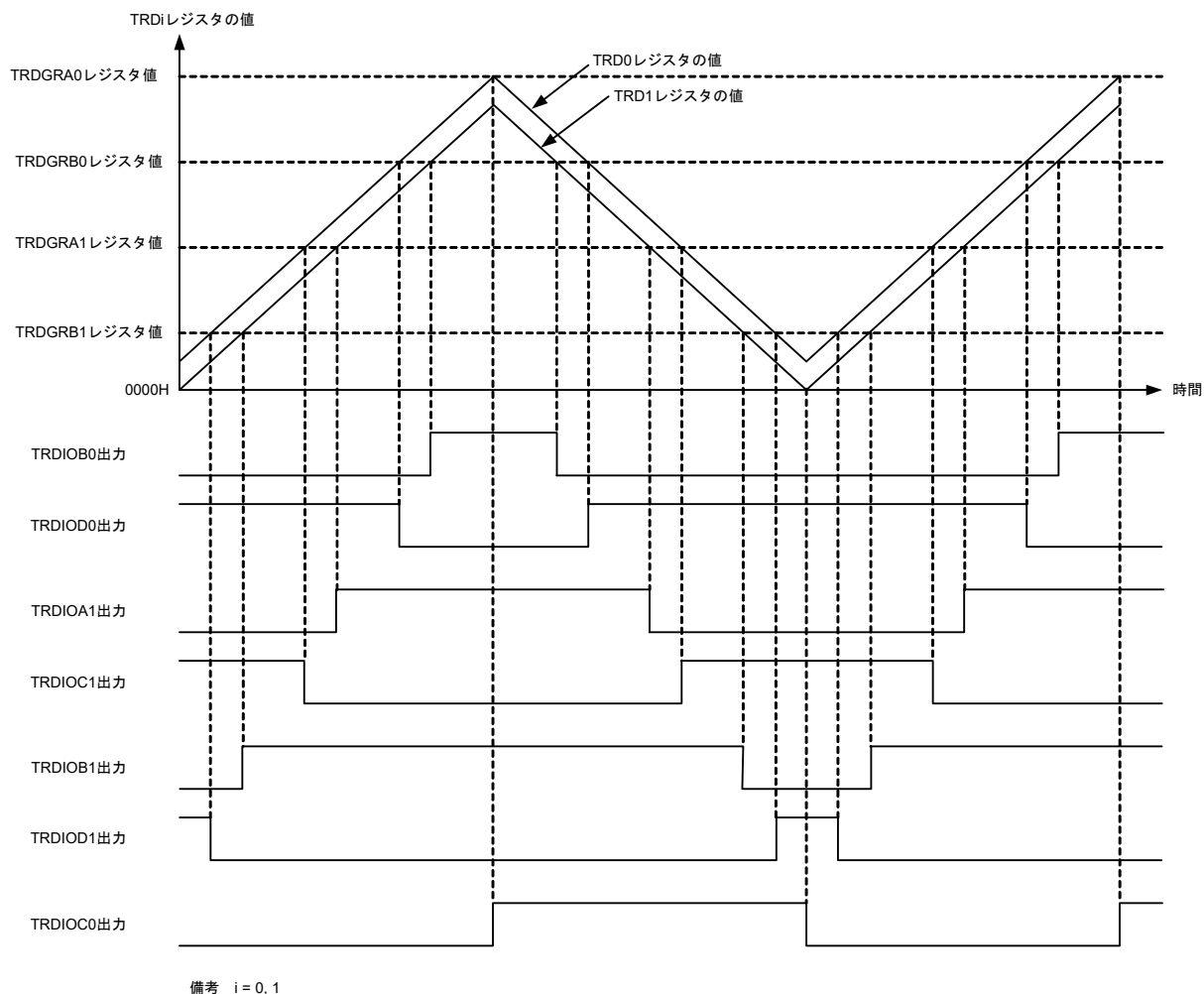
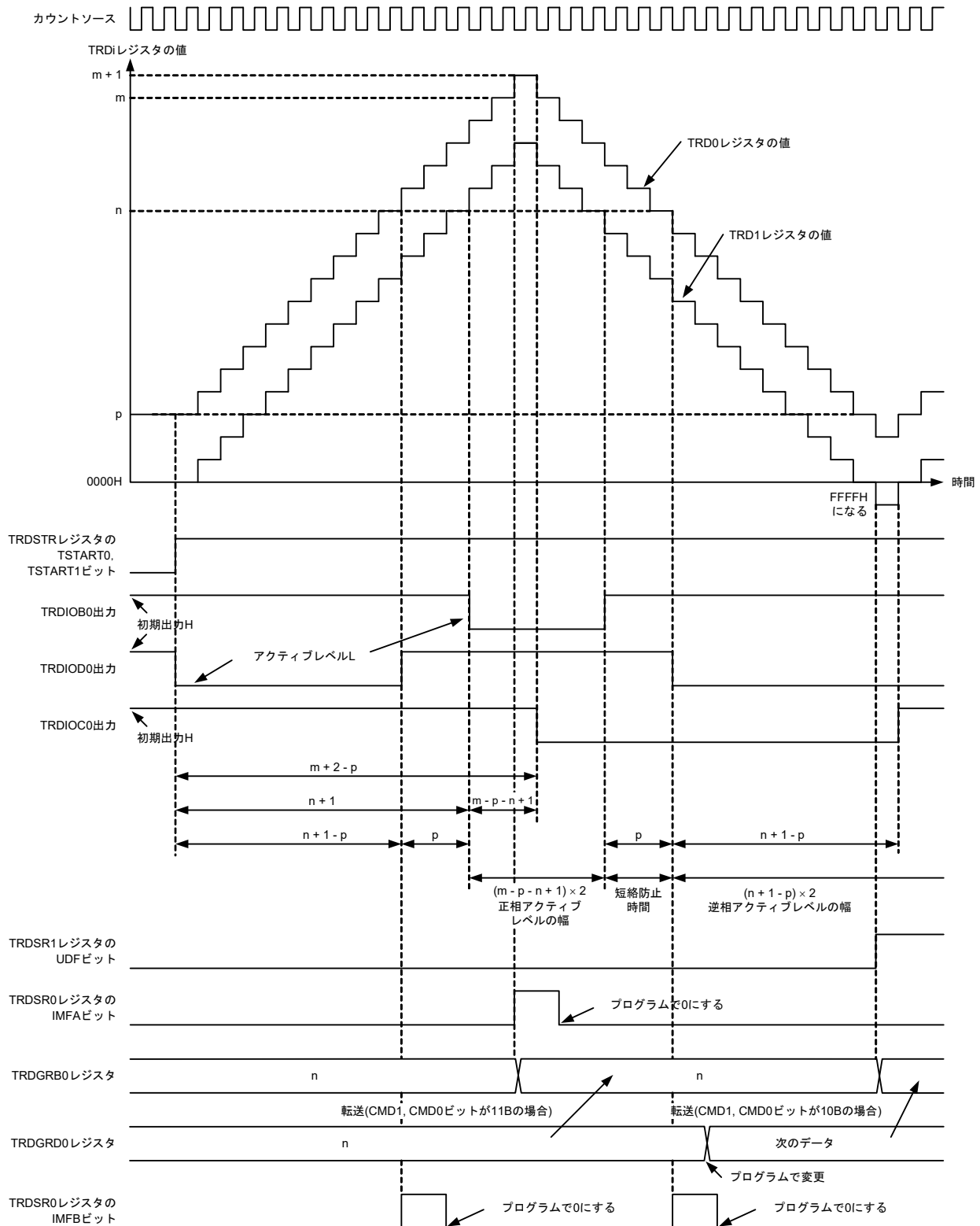


図8-61 相補PWMモードの動作例



備考
 CMD0, CMD1 : TRDFCRレジスタのビット
 $i = 0, 1$
 m : TRDGRA0レジスタの設定値
 n : TRDGRB0レジスタの設定値
 p : TRD0レジスタの設定値
 上図は次の条件の場合です。
 TRDFCRレジスタのOLS1, OLS0ビットが0 (正相、逆相とも初期出力レベルH、アクティブレベルL)

(2) バッファレジスタからの転送タイミング

- TRDGRD0, TRDGRC1, TRDGRD1 レジスタから TRDGRB0, TRDGRA1, TRDGRB1 レジスタへの転送
TRDFCR レジスタの CMD1, CMD0 ビットが 10B の場合, TRD1 がアンダフローしたときに転送します。
CMD1, CMD0 ビットが 11B の場合, TRD0 と TRDGRA0 レジスタがコンペア一致したときに転送します。

8.5.6 PWM3モード

同周期のPWM波形を2本出力します。

図8 - 62にPWM3モードのブロック図（タイマRD0の場合）を、表8 - 17にPWM3モードの仕様を、図8 - 63にPWM3モードの動作例を示します。

図8-62 PWM3モードのブロック図 (タイマRD0の場合)

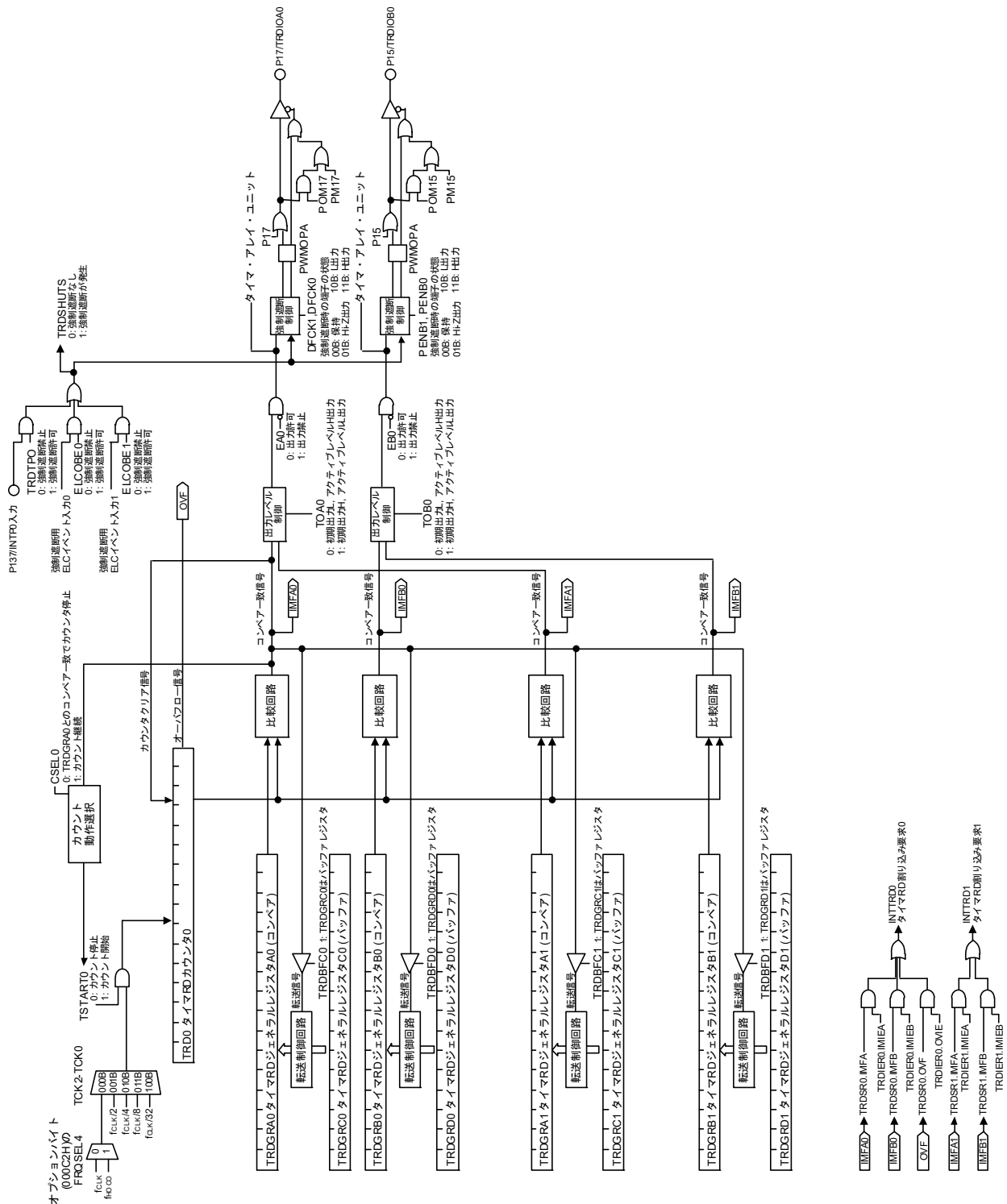
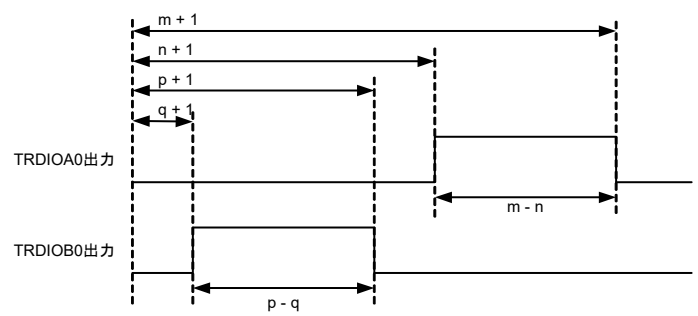


表 8 - 17 PWM3モードの仕様

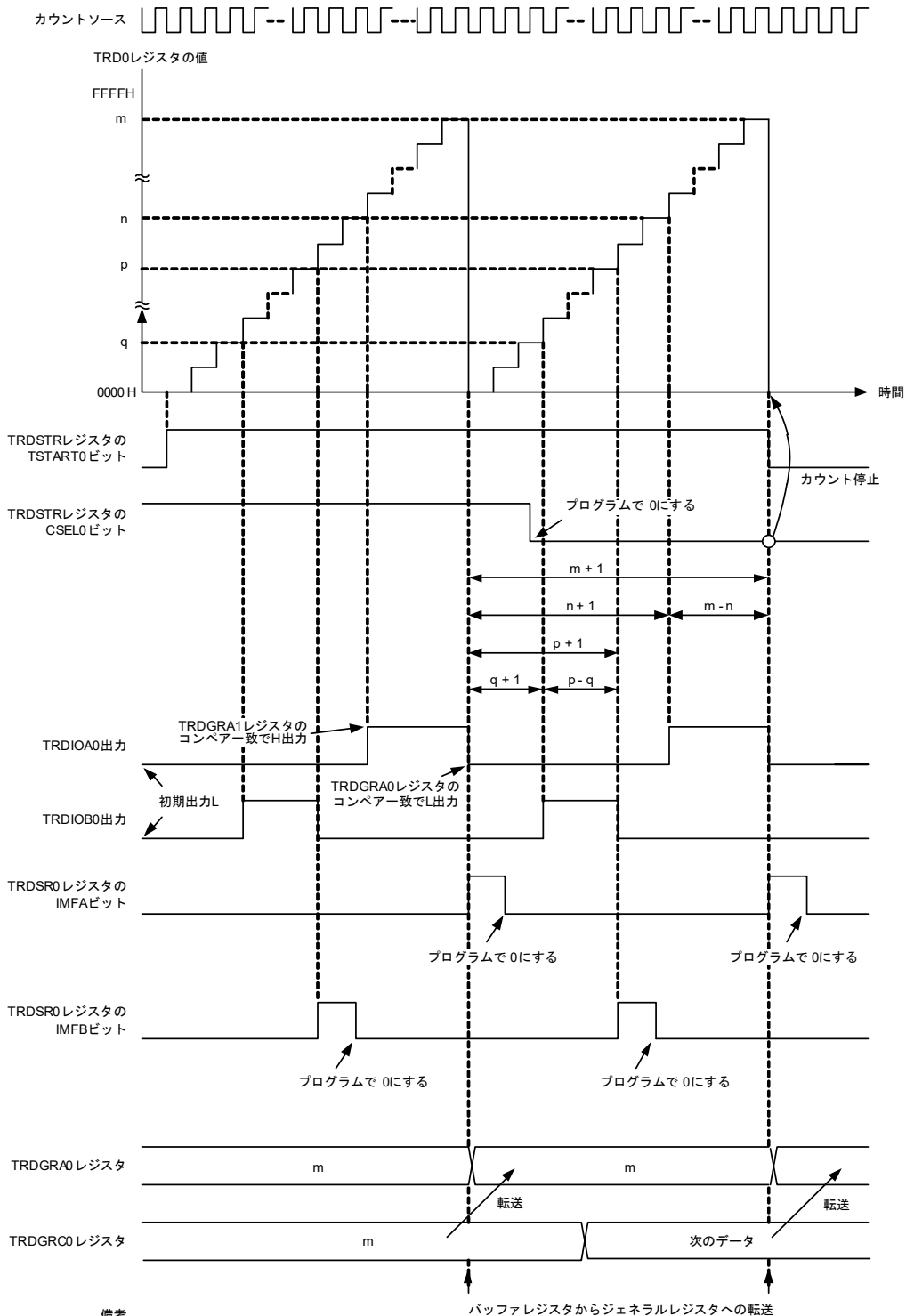
項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32
カウント動作	TRD0はアップカウント (TRD1は使用しない)
PWM波形	<p>PWM周期 : $1/fk \times (m + 1)$ TRDIOA0出力のアクティブレベル幅 : $1/fk \times (m - n)$ TRDIOB0出力のアクティブレベル幅 : $1/fk \times (p - q)$</p> <p>fk : カウントソースの周波数 m : TRDGRA0 レジスタ設定値 n : TRDGRA1 レジスタ設定値 p : TRDGRB0 レジスタ設定値 q : TRDGRB1 レジスタ設定値</p>  <p>(アクティブレベルがHの場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1 (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが1に設定されているとき、TSTART0ビットへの0 (カウント停止) 書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSEL0ビットが0の場合、TRDGRA0コンパレー一致でカウント停止 PWM出力端子はコンパレー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンパレー一致 (TRD0レジスタとTRDGRjiレジスタの内容が一致) TRD0オーバーフロー
TRDIOA0, TRDIOB0端子機能	PWM出力
TRDIOC0, TRDIOD0, TRDIOA1~TRDIOD1 端子機能	I/Oポート
INTP0端子機能	パルス出力強制遮断信号入力 (入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力 (8.4.4 パルス出力強制遮断参照) アクティブレベルを端子ごとに選択 バッファ動作 (8.4.2 バッファ動作参照)

注 ユーザ・オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1 のときのみ fHOCO が選択できます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1) のビット4 (TRD0EN) をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1) のビット4 (TRD0EN) をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

図8 - 63 PWM3モードの動作例



備考
 j = A, B
 m : TRDGRA0レジスタの設定値
 n : TRDGRA1レジスタの設定値
 p : TRDGRB0レジスタの設定値
 q : TRDGRB1レジスタの設定値

上図は次の条件の場合です。
 ・TRDOCRレジスタのTOA0、TOB0ビットがともにも0 (初期出力L、TRDGRj1レジスタのコンペアー致でH出力、TRDGRj0レジスタのコンペアー致でL出力)
 ・TRDMRレジスタのTRDBFC0ビットが1 (TRDGR0レジスタはTRDGRA0レジスタのバッファレジスタ)

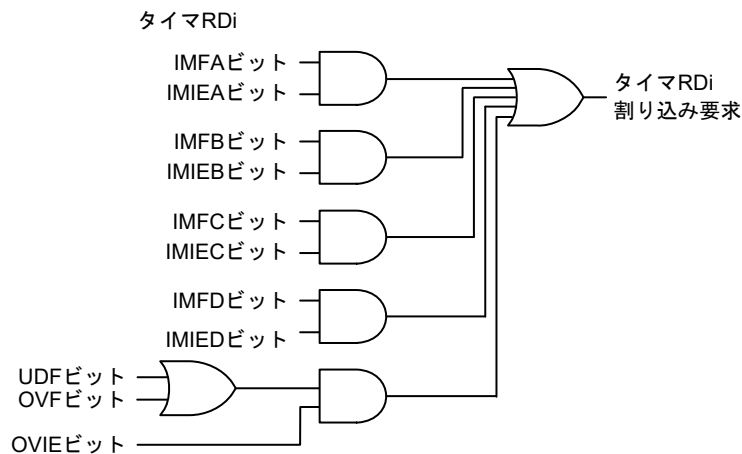
8.6 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRD i ($i = 0 \sim 1$)割り込み要求を発生します。表8-18にタイマRD割り込み関連レジスタを、図8-64にタイマRD割り込みのブロック図を示します。

表8-18 タイマRD割り込み関連レジスタ

	タイマRD ステータス レジスタ	タイマRD 割り込み許可 レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・ フラグ (レジスタ)	優先順位指定フラグ (レジスタ)
タイマRD0	TRDSR0	TRDIER0	TRDIF0 (IF2H)	TRDMK0 (MK2H)	TRDPR00 (PR02H) TRDPR10 (PR12H)
タイマRD1	TRDSR1	TRDIER1	TRDIF1 (IF2H)	TRDMK1 (MK2H)	TRDPR01 (PR02H) TRDPR11 (PR12H)

図8-64 タイマRD割り込みのブロック図



$i = 0 \sim 1$

IMFA, IMFB, IMFC, IMFD, OVF, UDF : TRDSR i レジスタのビット

IMIEA, IMIEB, IMIEC, IMIED, OVIE : TRDIER i レジスタのビット

タイマRDは、複数の割り込み要求要因から1つの割り込み要因(タイマRD割り込み)を発生するため、タイマRG割り込みを除く他のマスカブル割り込みとは次のような違いがあります。

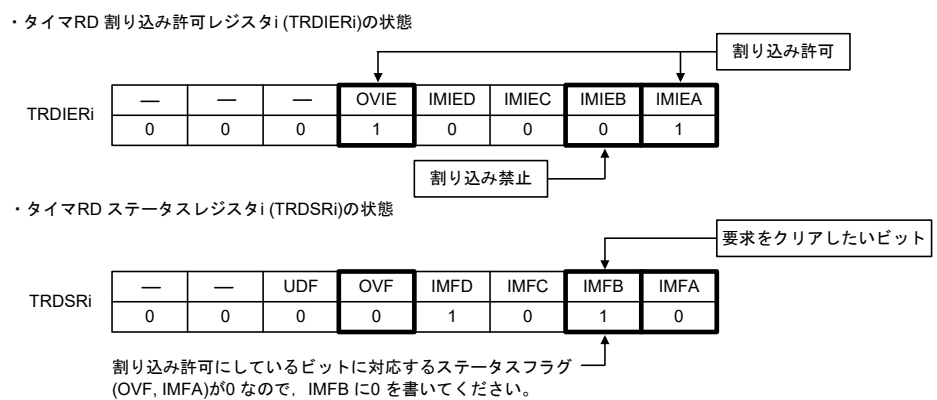
- TRDSR i レジスタのビットが1で、それに対するTRDIER i レジスタのビットが1(割り込み許可)の場合、IF2HレジスタのTRDIF i ビットが1(割り込み要求あり)になります。
- TRDIER i レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRDSR i レジスタで判定してください。
- TRDSR i レジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。

- ・タイマRD の、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD 割り込み許可レジスタ i (TRDIER i)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD 割り込み許可レジスタ i (TRDIER i)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

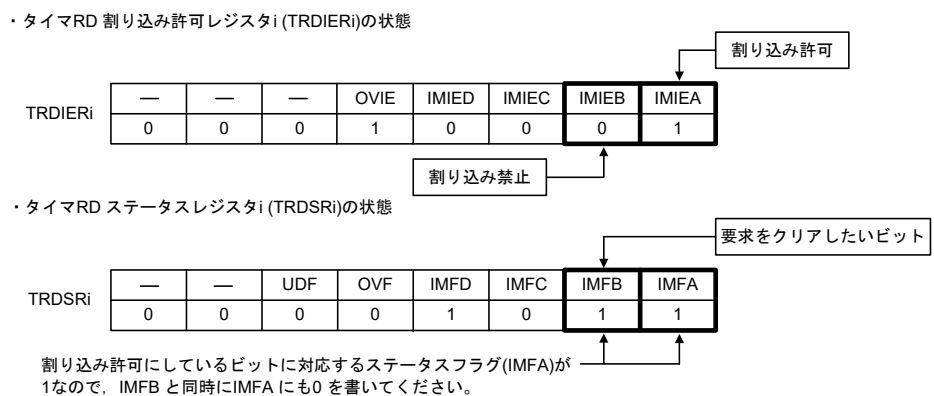
(b) タイマRD 割り込み許可レジスタ i (TRDIER i)の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA, OVIE が割り込み許可, IMIEB が割り込み禁止の状態、IMFB をクリアする場合



(c) タイマRD 割り込み許可レジスタ i (TRDIER i)の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEA が割り込み許可, IMIEB が割り込み禁止の状態、IMFB をクリアする場合



8.7 タイマRD使用上の注意事項

8.7.1 SFR リード/ライトアクセス

タイマRDを設定するには、最初にPER1レジスタのTRD0ENビットを1にしてください。TRD0ENビットが0の場合は、タイマRDの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・レジスタ, ポート・モード・レジスタは除く)。

また、以下のレジスタはカウント動作中に書き換え禁止のレジスタです。

TRDELICレジスタ, TRDMRレジスタ, TRDPMRレジスタ, TRDFCRレジスタ, TRDOER1レジスタ, TRDOER2レジスタのTRDPTOビット, TRDDFiレジスタ, TRDCRiレジスタ, TRDIORAiレジスタ, TRDIORCiレジスタ, TRDPOCRiレジスタ

(1) TRDSTRレジスタ

- TRDSTRレジスタは8ビット・メモリ操作命令で設定できます。
- TRDSTRレジスタのCSELiビット($i = 0, 1$)が0 (TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合, TSTARTiビットに0 (カウント停止)を書いても, カウントは停止せず, TSTARTiビットも変化しません。
TRDGRAiレジスタとのコンペア一致時のみ, TSTARTiビットは0 (カウント停止)となります。
TRDSTRレジスタを書き換える際に, CSELiビットが0の場合, カウント動作に影響なくCSELiビットを1へ変更したい場合は, TSTARTiビットに0を書いてください。
TSTARTiビットに1を書き込むと, カウンタが停止中の場合カウント開始する恐れがあります。
また, プログラムでカウントを停止させる場合は, CSELiビットを1にした後で, TSTARTiビットに0を書いてください。同時に(1命令で)CSELiビットに1, TSTARTiビットに0を書いてもカウントは停止できません。
- TRDIOj端子 ($j = A, B, C, D$) をタイマRD出力で使用している場合の, カウント停止時の出力レベルを表8-19に示します。

表8-19 カウント停止時のTRDIOj ($j = A, B, C, D$)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELiビットが1のときに, TSTARTiビットに0を書きカウント停止	直前の出力レベルを保持(タイマRDの相補PWMモード, リセット同期PWMモードではTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが0のときに, TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後, そのレベルを保持(タイマRDの相補PWMモード, リセット同期PWMモードではTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力)

備考 $i = 0, 1, j = A, B, C, D$

(2) TRDDFi レジスタ ($i = 0, 1$)

TRDDFi レジスタのDFCK0, DFCK1ビットを設定した後、カウント動作を開始してください。

(3) TRDi レジスタ ($i = 0, 1$)

• TRDi レジスタが0000Hになるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。

8.7.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態(TSTART0ビット, TSTART1ビットを0)にした後、行ってください。
- TSTART0ビット, TSTART1ビットを0から1へ変更する前に、TRDIF0ビット, TRDIF1ビットを0にしてください。詳細は第24章 割り込み機能を参照してください。

8.7.3 カウントソース

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

[変更手順]

(1) TRDSTR レジスタのTSTARTiビット ($i = 0, 1$) を0 (カウント停止)にする

(2) TRDCRi レジスタのTCK0~TCK2ビットを変更する

- タイマRDのカウントソースにfHOCO (64 MHz, 48 MHz)を選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

8.7.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロックの3サイクル以上にしてください。
- TRDIOj端子 ($j = A, B, C, D$) にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロック (fCLK) の2~3サイクル後にTRDiレジスタの値をTRDGRjレジスタに転送します (デジタルフィルタなしの場合)。
- インพุットキャプチャモードでは、TRDSTRレジスタのTRDTSTARTiビットが0 (カウント停止)のときも、TRDIORjレジスタのTRDIOj0, TRDIOj1ビットで選択したエッジがTRDIOj端子に入力されると、TRDIOj入力の有効エッジのインพุットキャプチャ割り込み要求が発生します ($i = 0, 1 \quad j = A, B, C, D$)。

8.7.5 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順(i = 0, 1)

リセット後, TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子と共用しているI/Oポートは入力ポートとして機能します。

- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定, 初期値設定をする
- (2) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の出力許可にする (TRDOER1レジスタ)。
- (3) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・レジスタのビットを0にする。
- (4) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力開始)
- (5) カウントを開始する (TSTART0, TSTART1ビットを1にする)。

- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合, 以下の手順で設定してください。

変更手順

- (1) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを入力モードに設定する ((TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から入力開始)。
- (2) インプットキャプチャ機能に設定する。
- (3) カウントを開始する (TSTART0, TSTART1ビットを1にする)。

- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子を出力モードから入力モードに切り替える場合, 端子の状態によりインプットキャプチャ動作することがあります。デジタルフィルタを使用しない場合, 動作クロックの2サイクル以上経過した後で, エッジ検出を行います。デジタルフィルタを使用する場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

8.7.6 外部クロック TRDCLK

TRDCLK端子に入力する外部クロックのパルス幅は, タイマRDの動作クロックの3サイクル以上にしてください。

8.7.7 リセット同期PWMモード

- モータ制御に用いる場合は OLS0 = OLS1 で使用してください。
- リセット同期PWMモードに設定するときは, 次の手順で設定してください。

[変更手順]

- (1) TRDSTRレジスタのTSTART0ビットを0 (カウント停止)にする
- (2) TRDFCRレジスタのCMD1, CMD0ビットを00B (タイマモード, PWMモード, PWM3モード)にする
- (3) CMD1, CMD0ビットを01B (リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

8.7.8 相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- TRDFCRレジスタのCMD0, CMD1ビットを変更するときは、次の手順で変更してください。

[変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]

- (1) TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0(カウント停止)にする
- (2) TRDFCRレジスタのCMD1, CMD0ビットを00B(タイマモード, PWMモード, PWM3モード)にする
- (3) CMD1, CMD0ビットを10B, または11B(相補PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

[変更手順：相補PWMモードを止める場合]

- (1) TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0(カウント停止)にする
- (2) CMD1, CMD0ビットを00B(タイマモード, PWMモード, PWM3モード)にする

- 動作中にTRDGRA0, TRDGRB0, TRDGRA1, TRDGRB1レジスタに書き込まないでください。

PWM波形を変更する場合は、TRDGRD0, TRDGRC1, TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0, TRDGRA1, TRDGRB1レジスタへ転送してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1の書き込みの際には、TRDBFD0, TRDBFC1, TRDBFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1(バッファレジスタ)にできます。

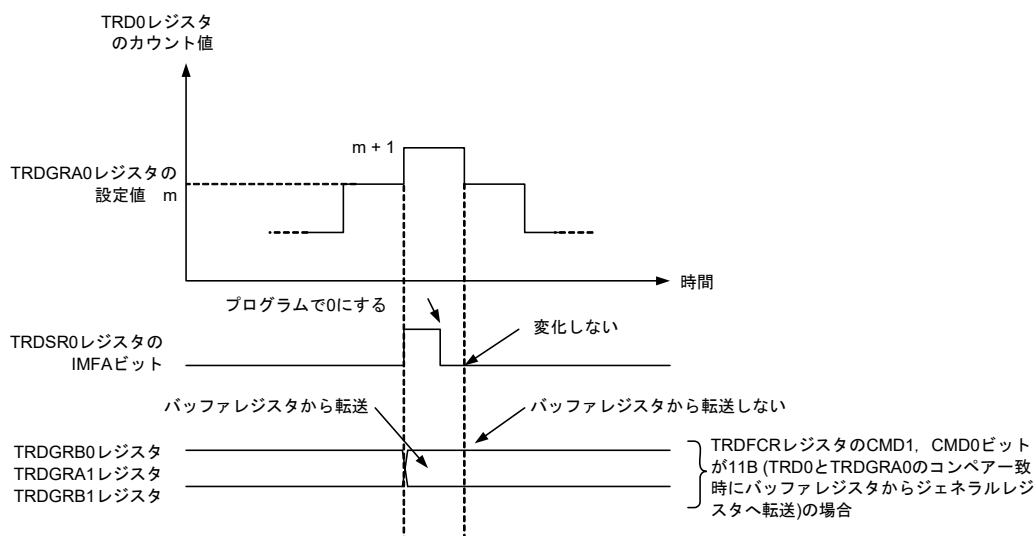
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ とカウントします。

$m \rightarrow m+1$ のとき、TRDSRiレジスタのIMFAビットが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが11B(相補PWMモード, TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0, TRDGRC1, TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0, TRDGRA1, TRDGRB1)に転送されます。

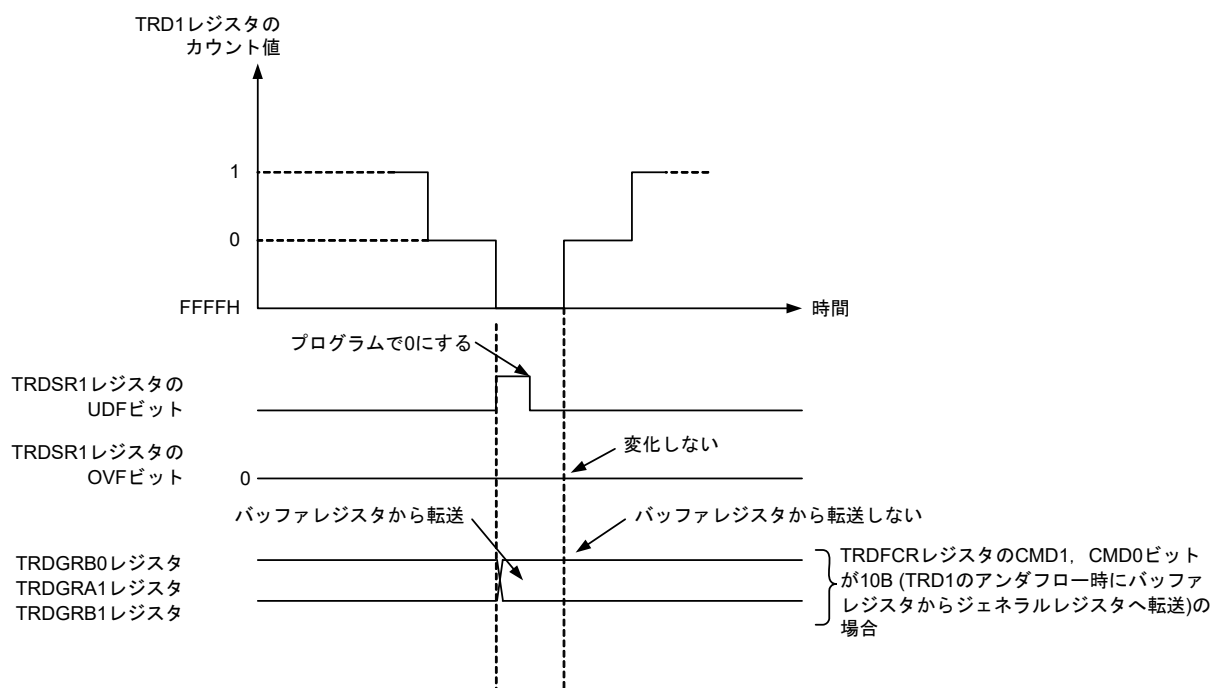
$m+1 \rightarrow m \rightarrow m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

図8-65 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作



- TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFH→0→1とカウントします。
1→0→FFFFHの動作によって、TRDSR_iレジスタのUDFビットが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが10B (相補PWMモード, TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ (TRDGRD0, TRDGRC1, TRDGRD1)の内容がジェネラルレジスタ (TRDGRB0, TRDGRA1, TRDGRB1)に転送されます。
FFFFH → 0 → 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、TRDSR_iレジスタのOVFビットは変化しません。

図8 - 66 相補PWMモード TRD1がアンダフローしたときの動作



- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCRレジスタのCMD0, CMD1ビットで選択してください。ただし、デューティ0%の場合およびデューティ100%の場合、CMD0, CMD1ビットの値に関係なく、以下に示すタイミングで転送します。

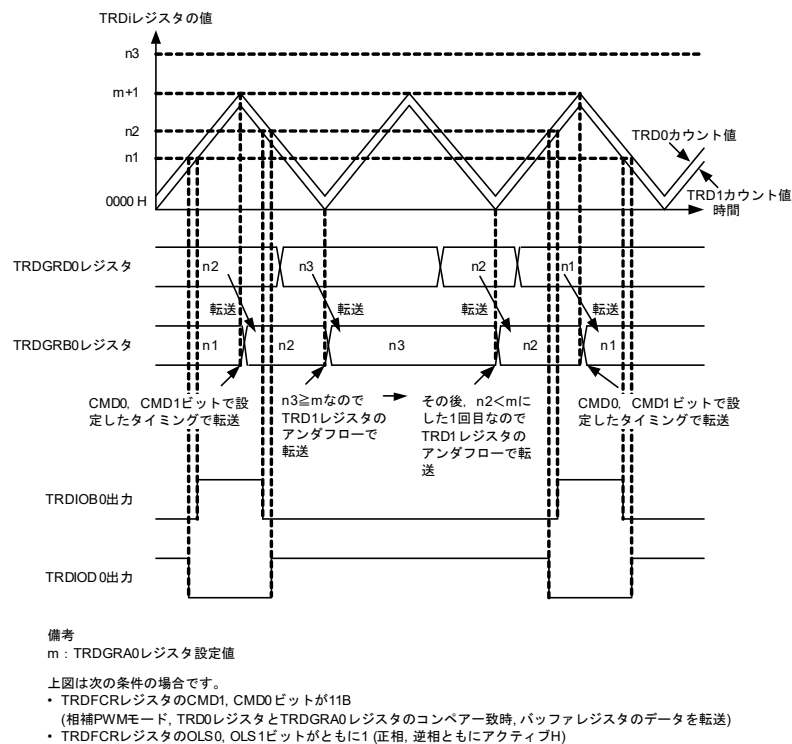
バッファレジスタの値 \geq TRDGRA0レジスタの値の場合(デューティ0%)

TRD1レジスタのアンダフローで転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。

ただし、バッファレジスタの初期値FFFFHのままデューティ0%の波形を生成することはできません。デューティ0%の波形を生成したい場合、バッファレジスタへの書き込みによりバッファレジスタの値 \geq TRDGRA0としてください。

図8 - 67 相補PWMモード時のバッファレジスタの値 \geq TRDGRA0レジスタ値の場合の動作例



バッファレジスタにTRDGRA0レジスタ値以上の値を書き込むと、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ100%出力、逆相デューティ0%の出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0レジスタ設定値以上かつ(TRDGRA0設定値 - TRD0レジスタ設定値)以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力された後は、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。

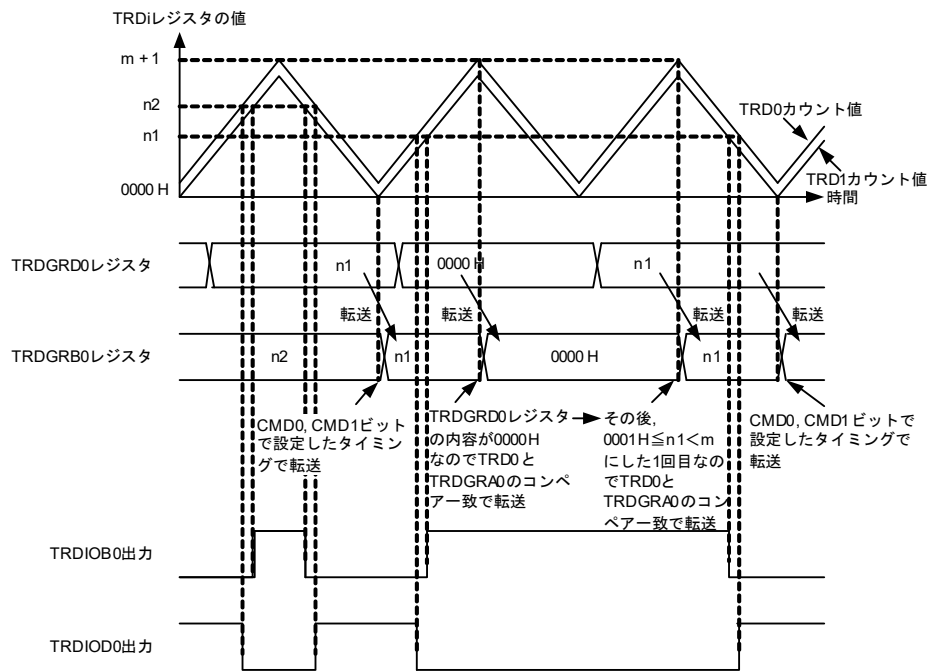
ただし、バッファレジスタの初期値“FFFFH”を用いて正相デューティ100%出力、逆相デューティ0%出力を設定することはできません。また、正相デューティ100%出力、逆相デューティ0%出力状態から正相デューティ0%出力、逆相デューティ100%出力への直接変更もできません。

バッファレジスタの値が0000Hの場合(デューティ 100%)

TRD0とTRDGRA0レジスタのコンペアー致で転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペアー致したとき、ジェネラルレジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。

図8 - 68 相補PWMモード時のバッファレジスタの値が0000Hの場合の動作例



備考
m : TRDGRA0 レジスタ設定値

- 上図は次の条件の場合です。
- TRDFCRレジスタのCMD1, CMD0ビットが10B (相補PWMモード, TRD1レジスタのアンダフローで、バッファレジスタのデータを転送)
 - TRDFCRレジスタのOLS0, OLS1ビットがともに1 (正相, 逆相ともにアクティブH)

バッファレジスタに0000Hの値を書き込むと、CMD0ビットの設定にかかわらず、TRD0レジスタとTRDGRA0レジスタのコンペアー致でバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ 0% 出力、逆相デューティ 100%出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0 レジスタ設定値以上かつ (TRDGRA0 設定値 - TRD0 レジスタ設定値) 以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力された後は、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。

正相デューティ 0% 出力、逆相デューティ 100% 出力設定から正相デューティ 100% 出力、逆相デューティ 0%出力への直接変更はできません。

8.8 PWM オプションユニットA (PWMOPA)

PWMオプションユニットは、タイマRDとポートの出力を、コンパレータ0出力、外部割り込み0(INTP0)、イベント・リンク・コントローラ(ELC)を起因とし、出力を遮断/遮断解除できる機能です。PWMオプションユニットはタイマRDに内蔵されているパルス強制遮断とは異なる遮断機能です。

表8-20 パルス強制遮断と出力強制遮断の機能差分

	タイマRDのパルス強制遮断	PWMオプションユニットの出力強制遮断
強制遮断に対応しているモード	<ul style="list-style-type: none"> ・PWM機能 ・リセット同期PWMモード ・相補PWMモード ・PWM3モード 	<ul style="list-style-type: none"> ・タイマRDの全ての出力モードに対応 ・ポート出力も遮断可能
遮断要因	<ul style="list-style-type: none"> ・ELC入力 ・INTP0のL入力 	<ul style="list-style-type: none"> ・ELC入力 ・INTP0 ・コンパレータ0出力
遮断解除	<ul style="list-style-type: none"> ・タイマRDのカウンタを停止し、ソフトウェアで解除 	<ul style="list-style-type: none"> ・ハードウェアで解除 ・ソフトウェアで解除（カウンタの停止は不要）
遮断可能な端子	P17/TRDIOA0, P15/TRDIOB0, P16/TRDIOC0, P14/TRDIOD0, P13/TRDIOA1, P12/TRDIOB1, P11/TRDIOC1, P10/TRDIOD1のうち、タイマRDの出力に設定している端子から選択。	P17/TRDIOA0, P15/TRDIOB0, P16/TRDIOC0, P14/TRDIOD0, P13/TRDIOA1, P12/TRDIOB1, P11/TRDIOC1, P10/TRDIOD1から選択。ポート出力も遮断可能。
遮断時のポート状態選択	<ul style="list-style-type: none"> ・ハイインピーダンス出力 ・L出力 ・H出力 	<ul style="list-style-type: none"> ・ハイインピーダンス出力 ・L出力 ・H出力 ただし、ポート出力を遮断する場合、ハイインピーダンス出力のみ選択可能

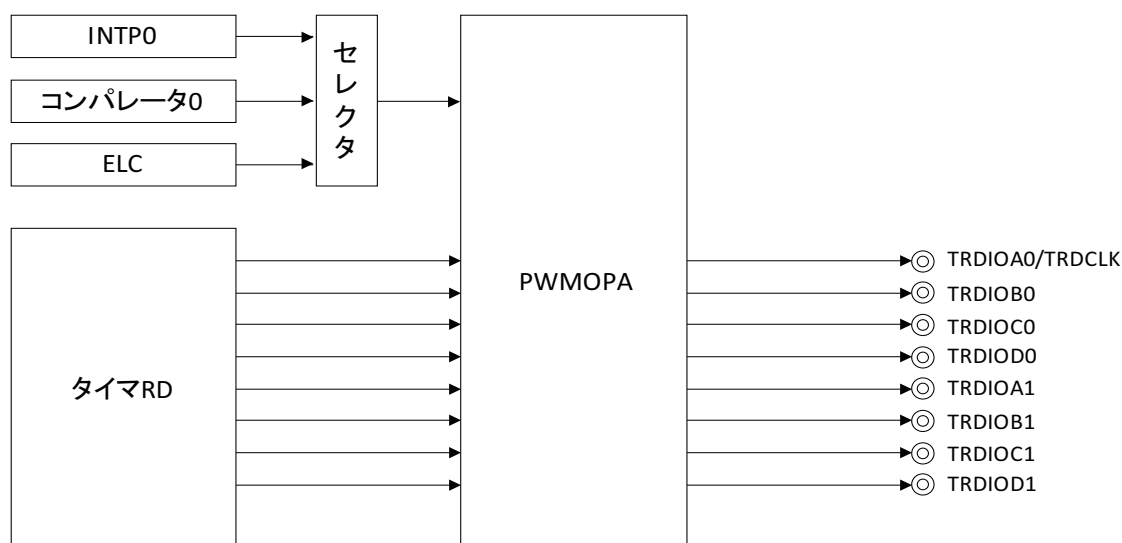
注意 パルス強制遮断と出力強制遮断は同時に使用する場合、同一の遮断要因を選択しないでください。

8.8.1 PWMオプションユニットの概要

PWMオプションユニットには、次のような機能があります。

- 出力遮断要因はコンパレータ0, 外部割り込み0, イベント・リンク・コントローラから選択可能。
- コンパレータ0, 外部割り込み0が出力強制遮断要因の場合, 遮断要因となるエッジを選択可能。
- 出力強制遮断解除はソフトウェア解除とハードウェア解除を選択可能
- 遮断時の出力レベルをハイ・レベル, ロウ・レベル, ハイ・インピーダンスから選択可能

図8 - 69 PWMOPA制御論理図



8.8.2 PWMオプションユニットを制御するレジスタ

表8-21にPWMオプションユニットを制御するレジスタを示します。

表8 - 21 PWMOPAを制御するレジスタ

機能	シンボル
PWMOPA制御レジスタ0	OPCTL0
PWMOPA遮断制御レジスタ0	OPDF0
PWMOPA遮断制御レジスタ1	OPDF1
PWMOPAエッジ選択レジスタ	OPEDGE
PWMOPAステータス・レジスタ	OPSR

(1) PWMOPA制御レジスタ0 (OPCTL0)

これはPWMOPAの制御レジスタです。

OPCTL0レジスタは8ビット操作命令で設定します。

リセット信号の発生により00Hになります。

図8-70 PWMOPA制御レジスタ0 (OPCTL0) のフォーマット

アドレス : F0358H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OPCTL0	0	HAZAD_SET	IN_EG	IN_SEL1	IN_SELO	ACT	HZ_REL	HS_SEL
HAZAD_SET	出力遮断ハザード制御選択注1							
0	ハザード対策無効							
1	ハザード対策有効							
IN_EG	出力強制遮断要因エッジ/出力強制遮断解除エッジ選択注2,注3							
0	立ち上がりエッジ : 出力強制遮断 立ち下がりエッジ : 出力強制遮断解除							
1	立ち上がりエッジ : 出力強制遮断解除 立ち下がりエッジ : 出力強制遮断							
IN_SEL1	IN_SELO	遮断要因選択 注2,注4,注5						
0	0	出力遮断要因選択なし						
0	1	コンパレータ0出力						
1	0	INTP0端子入力						
1	1	ELCからのイベント入力						
ACT	ソフトウェア解除選択時のソフトウェア解除タイミング選択							
0	ソフトウェアでHZ_RELに1を設定すると、強制遮断を解除してパルス出力を再開							
1	HZ_RELに1を設定するとタイマRDの動作モードにより次のタイミングで出力遮断を解除し、パルス出力を再開します。 <ul style="list-style-type: none"> タイマRD相補PWMモード : OPEDGEレジスタで選択したTRDIOC0のエッジタイミングから出力強制遮断を解除してパルス出力を再開 タイマRDリセット同期PWMモード : TRD0のカウント0000Hのタイミングから、出力強制遮断を解除する 上記モード以外 : TRD0のカウント0000Hのタイミングから、TRDIOj0 (j = A, B, C, D) 強制遮断を解除する。 TRD1のカウント0000Hのタイミングから、TRDIOj1 (j = A, B, C, D) 強制遮断を解除する。注6 							
HZ_REL	ソフトウェア解除選択時 : 出力遮断解除制御							
0	出力強制遮断を継続 (強制遮断を解除すると、HZ_RELビットが0になる)注7							
1	出力強制遮断を解除してパルス出力を再開注8							
<ul style="list-style-type: none"> HZ_RELビットは状態によって読み出し、書込みできる値が異なります。 通常状態時 : 1/0をライト, 0のみリード 出力強制遮断時 : 1のみライト, 1のみリード 								

HS_SEL	出力強制遮断の解除モード選択
0	<p>ハードウェアで解除：</p> <p>ハードウェアで出力強制遮断を解除する場合、タイマRDの動作モードにより遮断解除タイミングが異なります。</p> <ul style="list-style-type: none"> ・タイマRD相補PWMモード：遮断解除要因を検出後OPEDGEで選択したTRDIOC0エッジタイミングから出力強制遮断を解除する。 ・タイマRDリセット同期PWMモード：遮断解除要因を検出後TRD0のカウント0000Hのタイミングから、出力強制遮断を解除する。^{注6} ・タイマRD上記モード以外：遮断解除要因を検出後 <ul style="list-style-type: none"> - TRD0のカウント0000Hのタイミングから、TRDIOi0 (i = A, B, C, D)出力強制遮断を解除する。 - TRD1のカウント0000Hのタイミングから、TRDIOi1 (i = A, B, C, D) 出力強制遮断を解除する^{注9}
1	ソフトウェアで解除

- 注1. タイマRDが動作中は変更しないでください。
- 注2. IN_EGビットを設定してから3クロック以上経過後にIN_SEL1ビット、IN_SEL0ビットを設定してください。
- 注3. 出力遮断要因に、コンパレータ0出力またはINTP0端子入力を選択時に有効になります。
- 注4. ELC要因で出力強制遮断の解除時は必ずソフトウェア解除を選択してください(HS_SELビットを1にする)。外部割り込み0(INTP0)とコンパレータ0による出力遮断解除には制限がありません。
- 注5. コンパレータ0出力とINTP0の入力有効レベル期間は1クロックより長くしてください。
- 注6. タイマRD0とタイマRD1のカウント値 = 0000Hのタイミングは、タイマRD0とタイマRD1が動作中で、カウンタのビット15～ビット0が全て0になった時です。
- 注7. タイマRDはアウトプットコンペア機能、PWM機能、PWM3モードで動作する場合、2チャンネル使用する場合と、1チャンネル使用する場合で出力遮断解除時の動作が異なります。
- ・タイマRDを2チャンネルで使用する場合：

ソフトウェアでHZ_RELビットに“1”を設定すると、出力遮断状態ビット (HZOF0, HZOF1) は全て“0” (遮断解除) になり、HZ_RELビットが“0”になります。
 - ・タイマRDを1チャンネルで使用する場合：

ソフトウェアでHZ_RELビットに“1”を設定すると、使用しているタイマRDのチャンネルに対応した出力遮断状態ビット (HZOF0又はHZOF1) が“0”になり、HZ_RELビットが“0”になります。
- 注8. 強制遮断が発生していない場合は“1”に設定できません。
- 注9. タイマRDをアウトプットコンペア機能、PWM機能、PWM3モードで動作する場合、出力遮断状態から出力遮断解除するとき、動作していないチャンネルに対しては遮断解除できません (遮断状態ビット HZOF0, HZOF1) は“0”になりません)。

(2) PWMOPA 遮断制御レジスタ0 (OPDF0)

PWMOPAのPWM出力TRDIOj0 (j = A, B, C, D) パルス遮断制御レジスタです。

OPDF0レジスタは8ビット操作命令で設定します。

リセット信号の発生により00Hになります。

図8 - 71 PWMOPA遮断制御レジスタ0 (OPDF0) のフォーマット

アドレス : F0359H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OPDF0	DFD01	DFD00	DFC01	DFC00	DFB01	DFB00	DFA01	DFA00
	DFD01	DFD00	TRDIOD0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFC01	DFC00	TRDIOC0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFB01	DFB00	TRDIOB0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFA01	DFA00	TRDIOA0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					

注意1. TRDIOj0 (j = A, B, C, D) 端子をポート出力として使用し、強制遮断を有効にする場合、ハイ・インピーダンス出力を選択してください。

注意2. 強制遮断状態時にレジスタ値を変更しないでください。

注意3. PIORレジスタの設定により複数TRDIOji (j = A, B, C, D, i = 1, 0) を保有している端子から使用する機能を選択する場合、使用するTRDIOjiの機能のみ設定してください。

例 : PIOR2でP17をTRDIOD0に選択し、TRDOER1レジスタの設定によりTRDIOD0を出力設定したとき、

DFA0n, DFD0n (n = 0, 1) もTRDIOD0のみ設定を行い、TRDIOA0は強制遮断禁止を選択してください。

(3) PWMOPA遮断制御レジスタ1 (OPDF1)

PWMOPAのPWM出力TRDIOj1 (j = A, B, C, D) パルス遮断制御レジスタです。

OPDF1レジスタは8ビット操作命令で設定します。

リセット信号の発生により00Hになります。

図8 - 72 PWMOPA遮断制御レジスタ1 (OPDF1) のフォーマット

アドレス : F035AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OPDF1	DFD11	DFD10	DFC11	DFC10	DFB11	DFB10	DFA11	DFA10
	DFD11	DFD10	TRDIOD1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFC11	DFC10	TRDIOC1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFB11	DFB10	TRDIOB1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFA11	DFA10	TRDIOA1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	ハイ・インピーダンス出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					

注意1. TRDIOj1 (j = A, B, C, D) 端子をポート出力として使用し、強制遮断を有効にする場合、ハイ・インピーダンス出力を選択してください。

注意2. 強制遮断状態時、レジスタ値を変更しないでください。

注意3. PIORレジスタの設定により複数TRDIOji (j = A, B, C, D, i = 1, 0) を保有している端子から使用する機能を選択する場合、使用するTRDIOjiの機能のみ設定してください。

例: PIOR2でP16をTRDIOA1に選択し、TRDOER1レジスタの設定によりTRDIOA1を出力選択したとき、DFA1n, DFC1n (n = 0, 1)もTRDIOA1のみ設定を行い、TRDIOC1は強制遮断禁止を選択してください。

(4) PWMOPAエッジ選択レジスタ (OPEDGE)

タイマRDを相補PWMモードに設定し、ハードウェアで出力強制遮断解除を行う場合に、遮断解除のタイミングを選択するレジスタです。

OPEDGEレジスタは8ビット操作命令で設定します。

リセット信号の発生により00Hになります。

図8 - 73 PWMOPAエッジ選択レジスタ (OPEDGE) のフォーマット

アドレス : F035BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OPEDGE	—	—	—	—	—	—	EG1	EG0
	EG1	EG0	出力強制遮断解除のエッジ選択					
	0	0	TRDIOC0立ち上がりで遮断解除					
	0	1	TRDIOC0立ち下がりで遮断解除					
	1	0	TRDIOC0の両エッジで遮断解除					
	1	1	TRDIOC0の入力エッジ無効, 遮断保持					

(5) PWMOPAステータス・レジスタ (OPSR)

出力強制遮断，遮断要因のステータスを表示するレジスタです。

OPSRレジスタは8ビット操作命令で読み出します。

リセット信号の発生により00Hになります。

図8-74 PWMOPAステータス・レジスタ (OPSR) のフォーマット

アドレス : F035CH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OPSR	0	0	0	0	0	HZOF1	HZOF0	HZIF0
HZOF1	遮断状態注1							
0	通常タイマ出力 (TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1)							
1	遮断状態 (TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1)							
HZOF0	遮断状態注1							
0	通常タイマ出力 (TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0)							
1	遮断状態 (TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0)							
HZIF0	出力遮断要因の状態注1,注2							
0	出力遮断要因が閾値を超えていない状態							
1	出力遮断要因が閾値を超えている状態							

注1. OPCTL0レジスタのIN_SEL1ビット, IN_SEL0ビットでINTP0, コンパレータ0を遮断要因として選択する前に, 出力遮断要因が閾値を超えている状態になった場合, IN_SEL1ビット, IN_SEL0ビットを設定後, HZIF0ビットは1にセットされますが, HZOF0ビット, HZOF1ビットはセットされません。

注2. INTP0, コンパレータ0を遮断要因として選択時に有効

8.8.3 動作説明

INTP0入力, ELCからのイベント入力, コンパレータ0出力をトリガとして, タイマRD出力端子 TRDIO_{ji} (j=A, B, C, D; i=0, 1)の出力強制遮断と出力強制遮断の解除を制御できます。INTP0入力, コンパレータ0出力を遮断要因として使用する場合は, 出力強制遮断/出力強制遮断解除の要因となるエッジを選択できます。

8.8.3.1 強制遮断

INTP0入力, ELCからのイベント入力, コンパレータ0出力をトリガとして, タイマRD出力端子TRDIO_{ji} (j=A, B, C, D; i=0, 1)のパルス出力を遮断できます。

出力強制遮断要因を検出したとき, タイマRDの出力を強制遮断し, OPDF0/OPDF1レジスタで設定した出力値を出力します。詳細動作は図8-76を参照してください。

OPCTL0レジスタのHS_SELビットの設定値よりハードウェアでもしくはソフトウェアで強制遮断解除を選択できます。

8.8.3.2 ハードウェア解除 (HS_SEL = 0の場合)

タイマRD機能より, 強制遮断解除のタイミングは異なります。

(1) タイマRD相補PWM機能以外の出力の場合

- ・タイマRDがアウトプットコンペア機能, PWM機能, PWM3モードの場合:

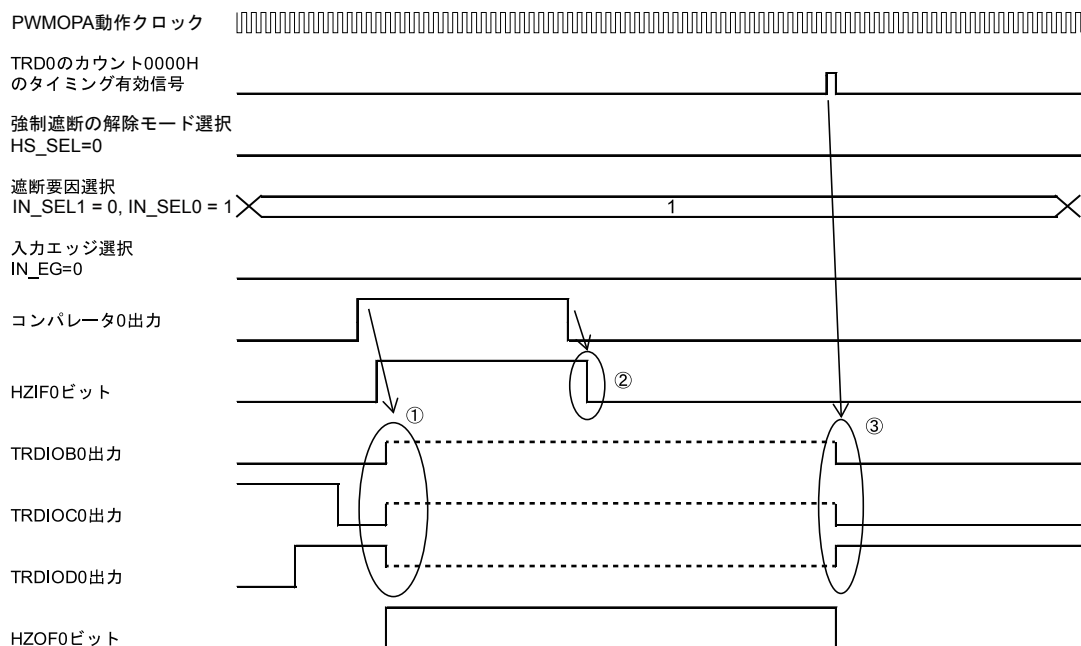
出力強制遮断解除要因を検出後TRD0のカウント値が0000Hになるタイミングで,

TRDIOA0,TRDIOB0,TRDIOC0,TRDIOD0の出力強制遮断を解除します。また, TRD1のカウント値が0000Hになるタイミングで, TRDIOA1, TRDIOB1,TRDIOC1, TRDIOD1の出力強制遮断を解除します。

- ・タイマRDがリセット同期PWMモードの場合:

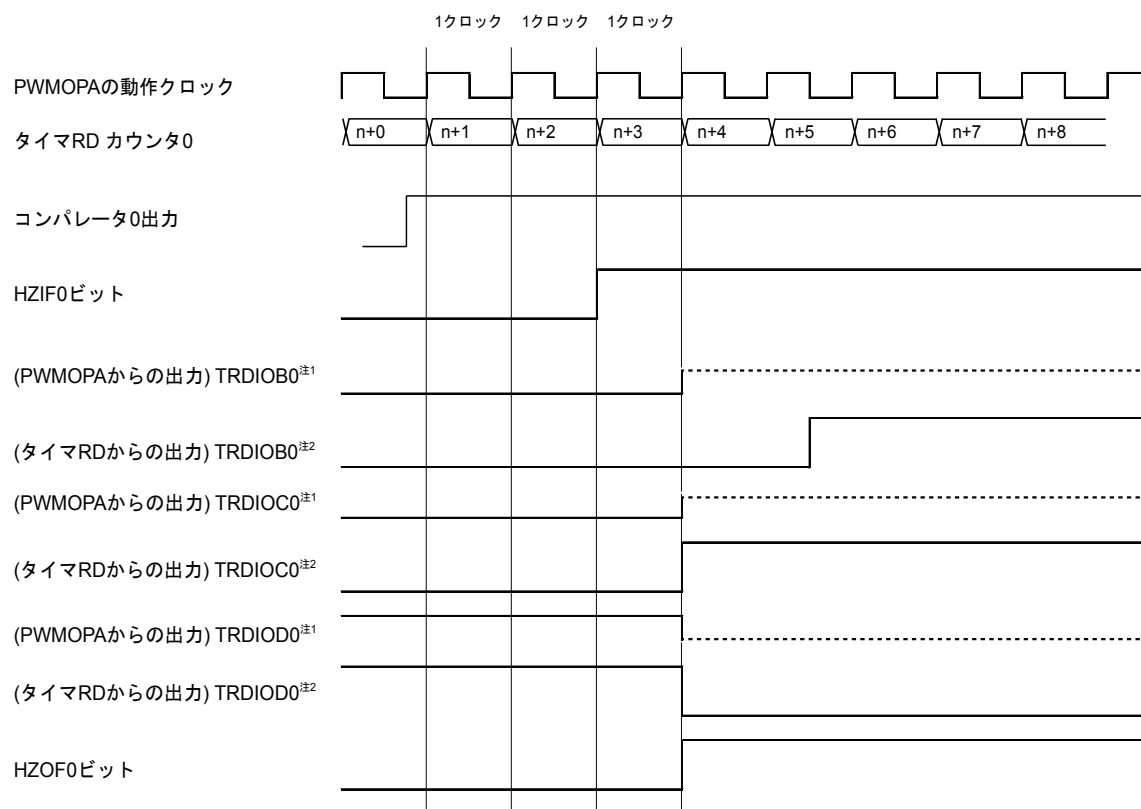
出力強制遮断解除要因を検出後TRD0のカウント値が0000Hになるタイミングで, すべてのTRDIO端子の強制遮断を解除します。

図8 - 75 出力強制遮断/ハードウェアで出力強制遮断解除の動作例
(TRDIOB0, TRDIOC0, TRDIOD0 端子を遮断する場合)



- ① コンパレータ0出力信号の立ち上りエッジ検出で、TRDIOB0, TRDIOC0, TRDIOD0 端子出力が出力強制遮断状態になる。
- ② コンパレータ0出力信号の立ち下がりエッジ検出後、HZIF0ビットがクリアされる。
- ③ TRDiのカウンタ値が0000Hになるタイミングで、強制遮断状態が解除される。

図8-76 遮断詳細タイミング図

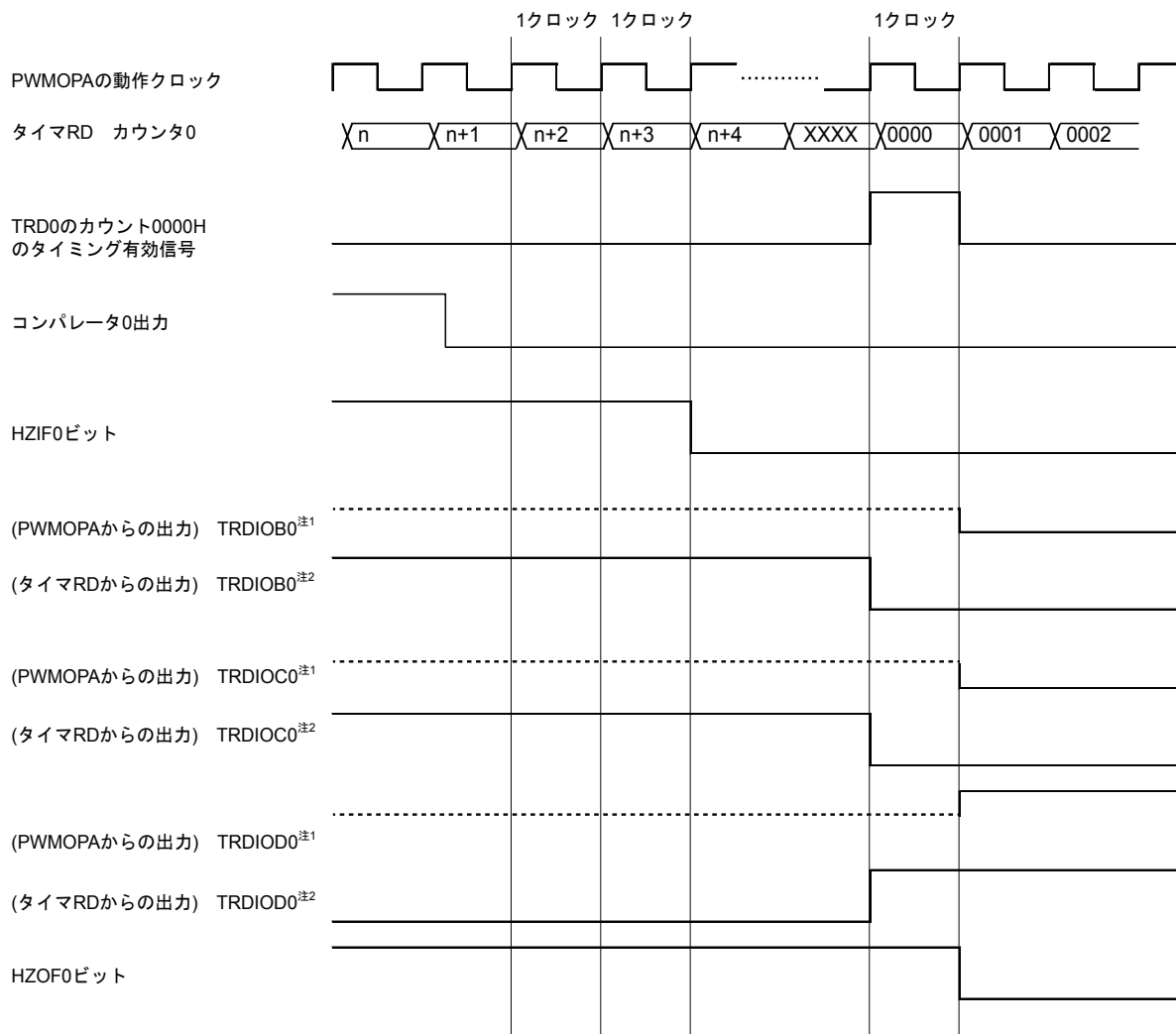


----- は遮断状態を示します。(レジスタ値より"H"、"L"、"Hi-Z"を固定する)

注1. (PWMOPAからの出力) TRDIO*($* = B \sim D$)は兼用タイマRD機能端子の状態を示します。

注2. (タイマRDからの出力) TRDIO* ($* = B \sim D$)はPWMOPAへのタイマRDからの入力を示します。

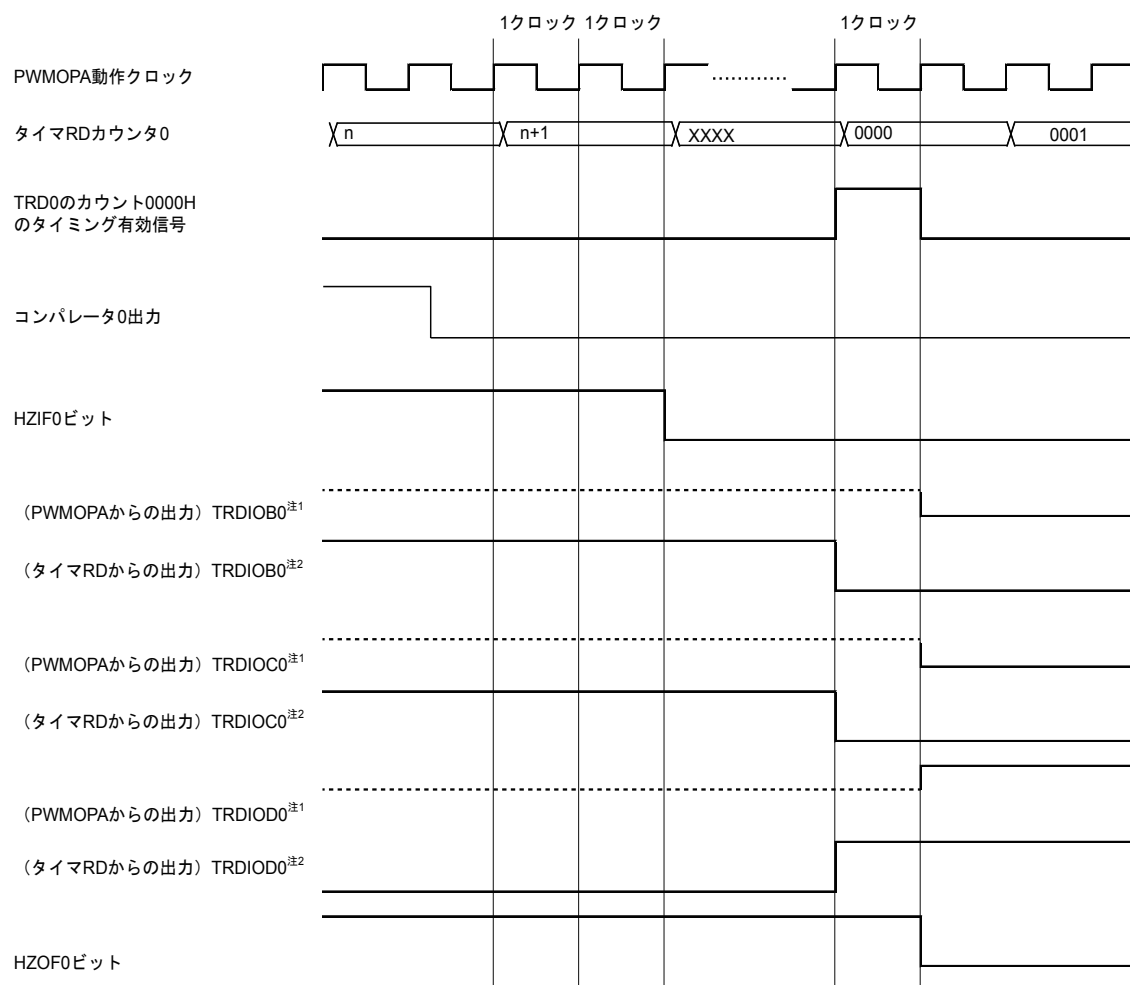
図8 - 77 遮断解除詳細タイミング図(タイマRDカウントソース = fCLK)



----- は遮断状態を示します。(レジスタ値より"H"、"L"、"Hi-Z"を固定する)

注1. (PWMOPAからの出力) TRDIO*(* = B ~ D)は兼用タイマRD機能端子の状態を示します。

注2. (タイマRDからの出力) TRDIO* (* = B ~ D) はPWMOPAへのタイマRDからの入力を示します。

図8 - 78 遮断解除詳細タイミング図 (タイマRDカウントソース = $f_{CLK}/2$)

..... は遮断状態を示します。(レジスタ値より"H"、"L"、"Hi-Z"を固定する)

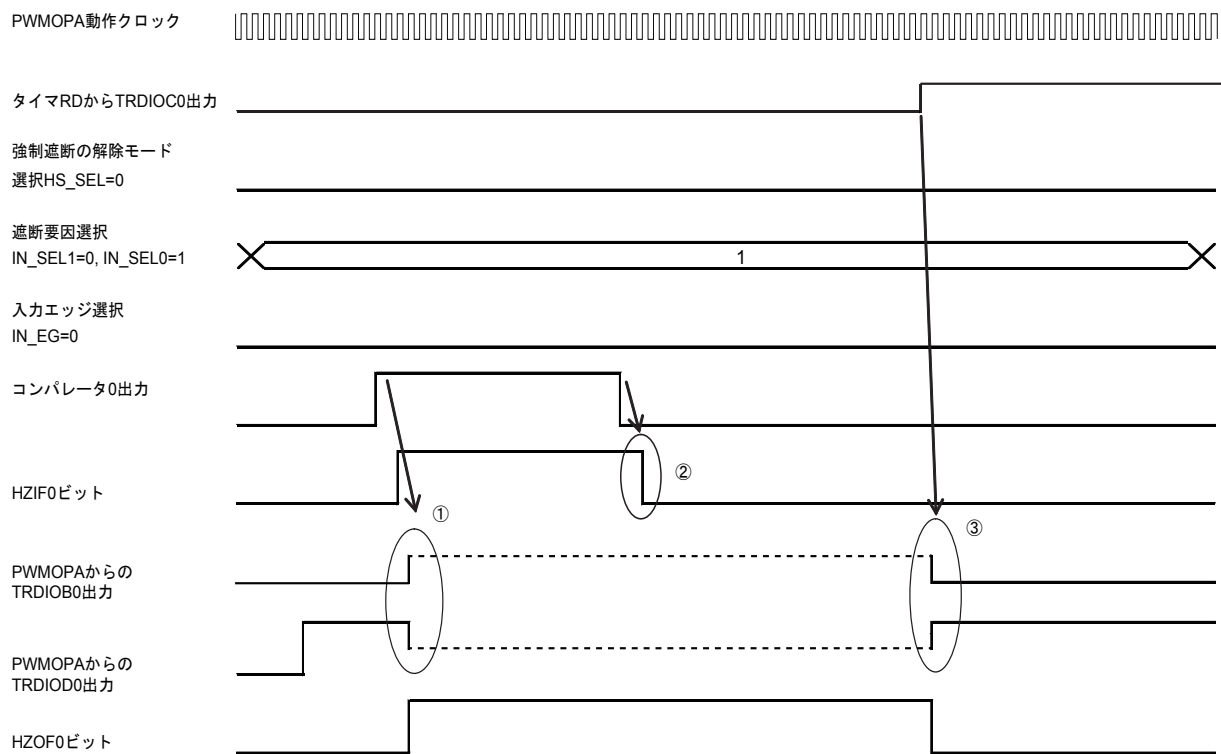
注1. (PWMOPAからの出力) TRDIO* (* = B ~ D)は兼用タイマRD機能端子の状態を示します。

注2. (タイマRDからの出力) TRDIO* (* = B ~ D)はPWMOPAへのタイマRDからの入力を示します。

(2) タイマRD相補PWM機能の出力の場合

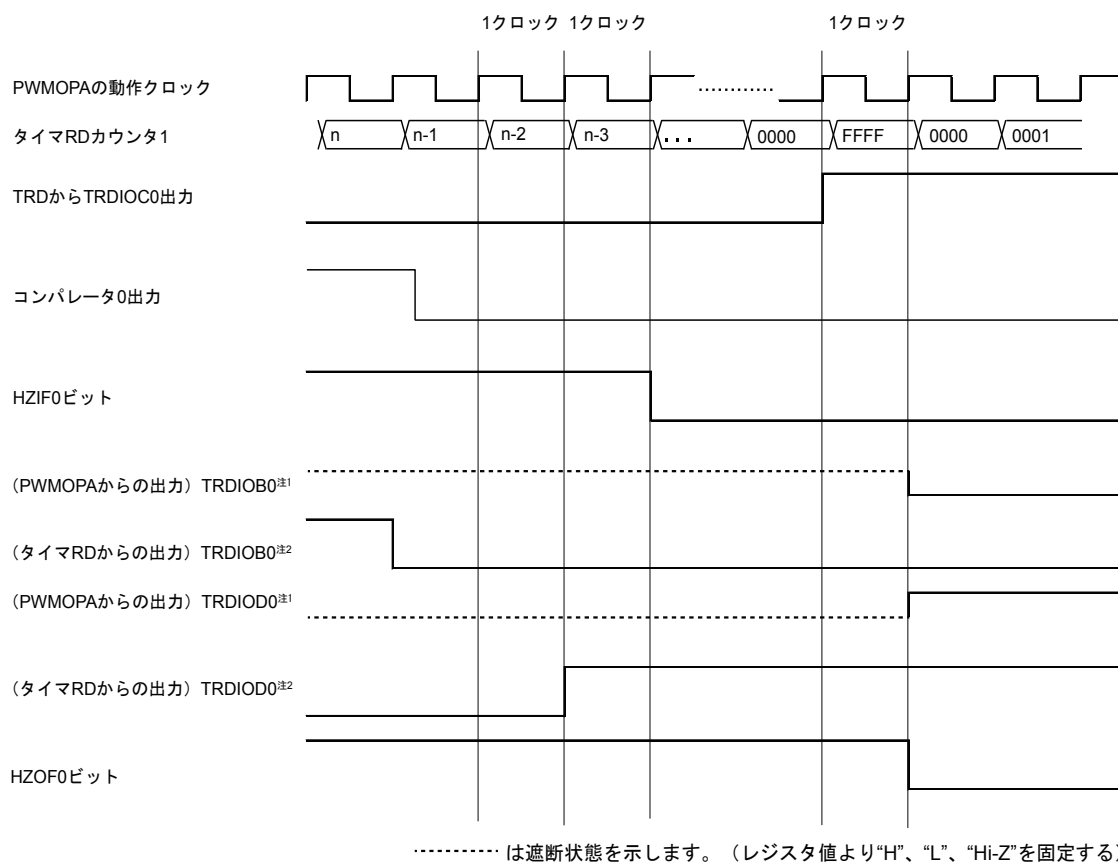
出力遮断要因検出後 OPEDGE レジスタの設定によって、選択したTRDIOC0の立ち上がり/立ち下がり/両エッジ・タイミングからタイマRDの出力強制遮断状態を解除します。

図8 - 79 ハードウェアで遮断解除機能動作例 (TRDIOB0, TRDIOD0の例)



- ① コンパレータ0出力信号の立ち上がりエッジ検出で、TRDIOB0, TRDIOD0端子出力が強制遮断状態になる。
- ② コンパレータ0出力信号の立ち下がりエッジ検出後、HZIF0ビットがクリアされる。
- ③ TRDIOC0立ち上がりから、強制遮断状態を解除する。

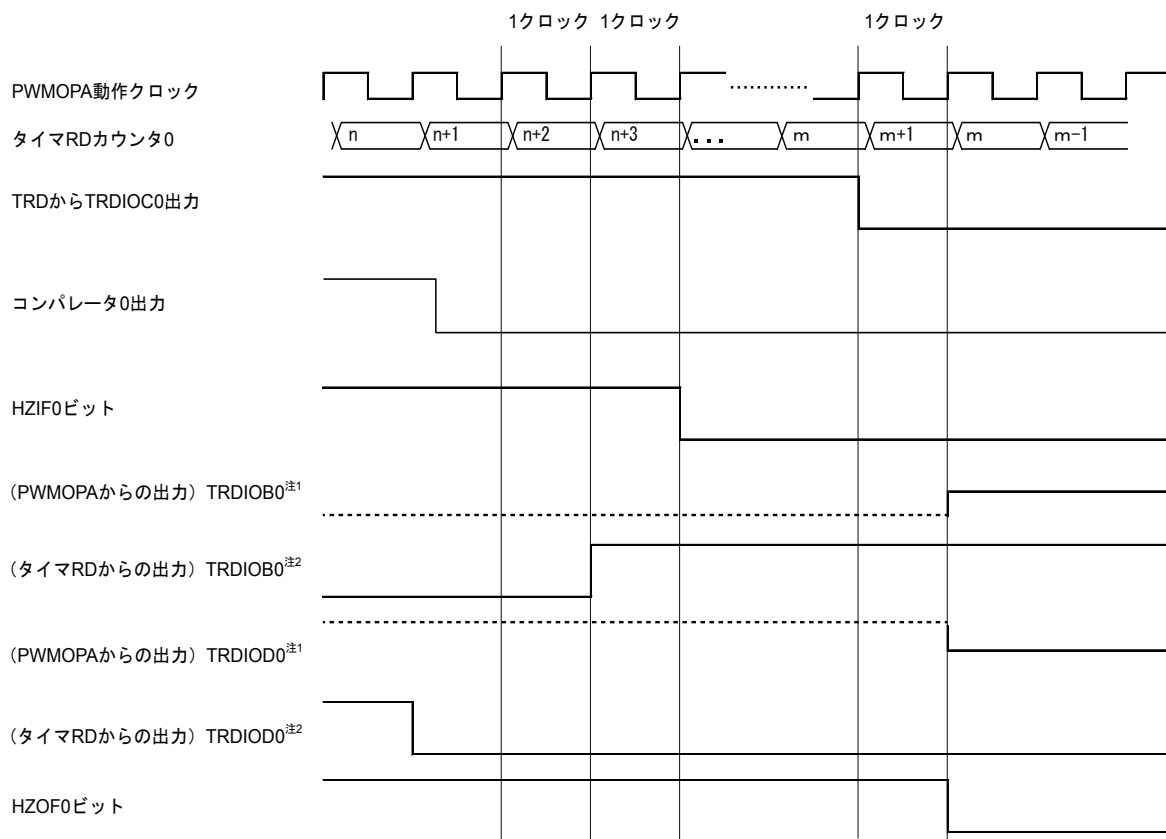
遮断詳細タイミング図については図8 - 76を参考してください

図8 - 80 遮断解除の詳細タイミング図 (タイマRDカウントソース = f_{CLK} , タイマRDダウンカウント)

注1. (PWMOPAからの出力) TRDIO*($* = B \sim D$)は兼用タイマRD機能端子の状態を示します。

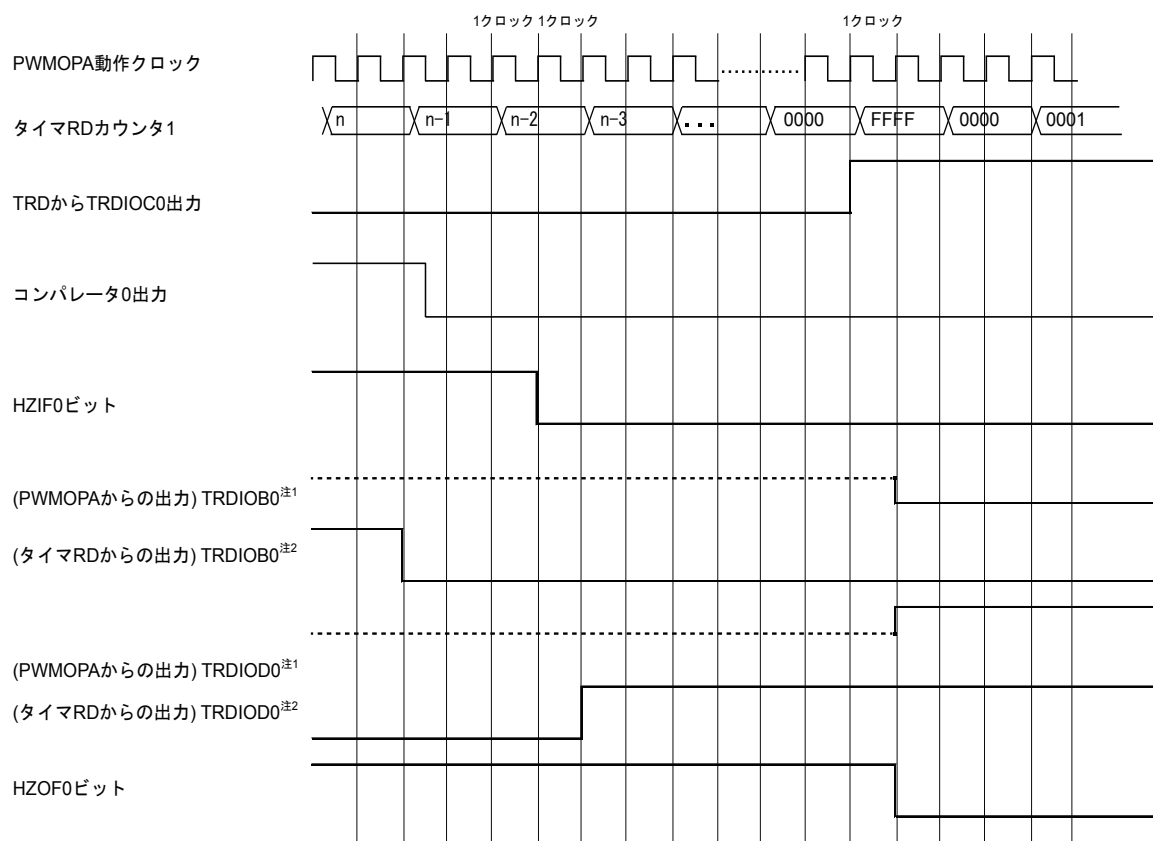
注2. (タイマRDからの出力) TRDIO*($* = B \sim D$)はPWMOPAへのタイマRDからの入力を示します。

図8 - 81 遮断解除詳細タイミング図 (タイマRD カウントソース = f_{CLK}, タイマRD カウント = TRDGRA0)



m : TRDGRA0の値 は遮断状態を示します。(レジスタ値より“H”、“L”、“Hi-Z”を固定する)

- 注1. (PWMOPAからの出力) TRDIO*(*= B~D)は兼用タイマRD機能端子の状態を示します。
- 注2. (タイマRDからの出力) TRDIO*(*= B~D)はPWMOPAへのタイマRDからの入力を示します。

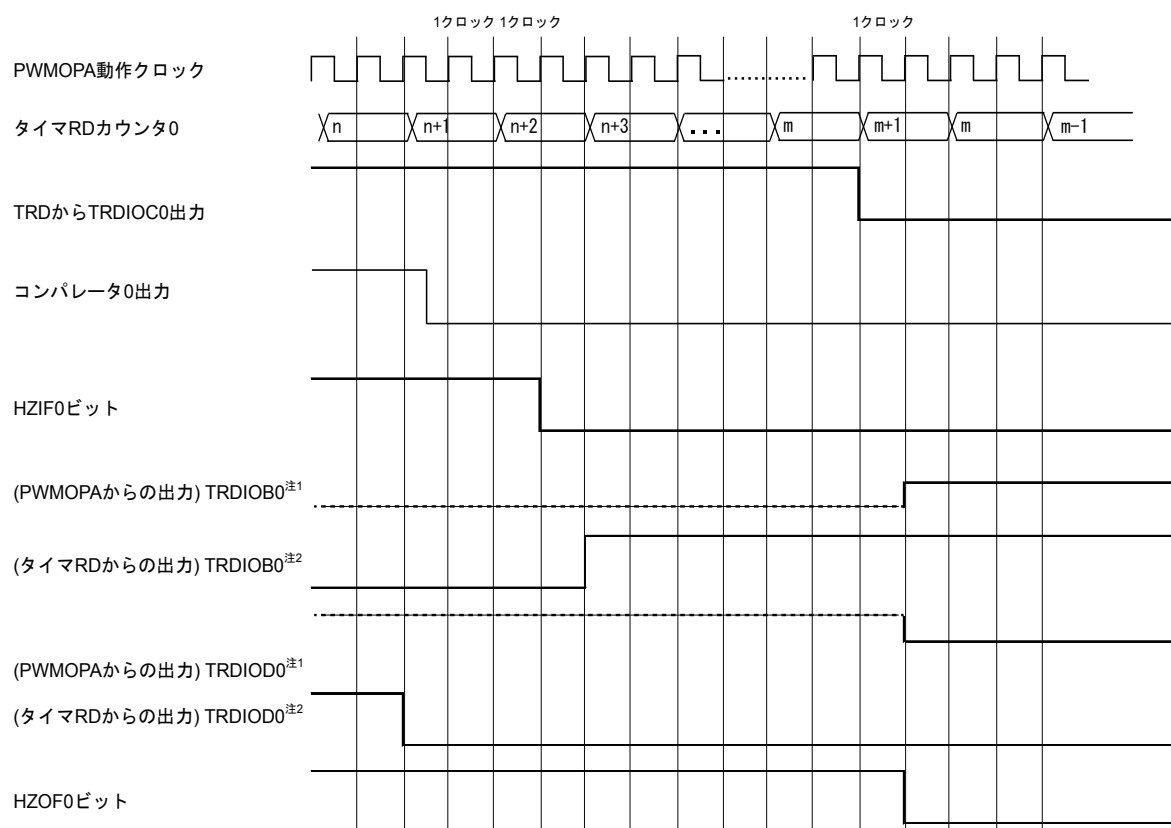
図8 - 82 遮断解除詳細タイミング図 (タイマRD カウントソース = $f_{CLK}/2$, タイマRDはダウンカウント)

..... は遮断状態を示します。(レジスタ値より“H”、“L”、“Hi-Z”を固定する)

注1. (PWMOPAからの出力) TRDIO*(* = B ~ D)は兼用タイマRD機能端子の状態を示します。

注2. (タイマRDからの出力) TRDIO* (* = B ~ D)はPWMOPAへのタイマRDからの入力を示します。

図8 - 83 遮断解除詳細タイミング図
 (タイミングRD カウントソース = $f_{CLK}/2$, タイマRD カウント = TRDGRA0)



m : TRDGRA0の値 は遮断状態を示します。(レジスタ値より“H”、“L”、“Hi-Z”を固定する)

注1. (PWMOPAからの出力) TRDIO*($* = B \sim D$)は兼用タイマRD機能端子の状態を示します。

注2. (タイマRDからの出力) TRDIO*($* = B \sim D$)はPWMOPAへのタイマRDからの入力を示します。

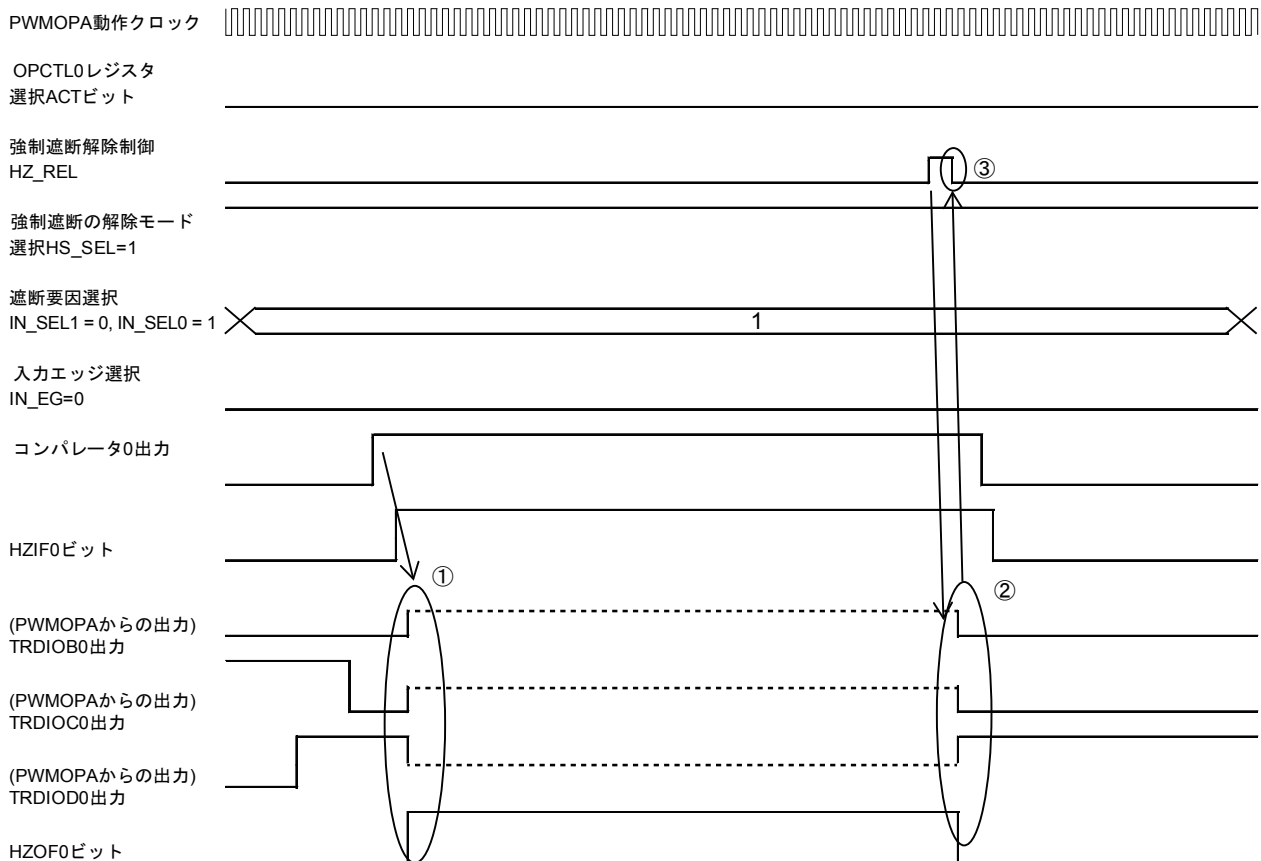
8.8.3.3 ソフトウェア遮断解除 (HS_SEL = 1時)

OPCTL0レジスタのACTビットの設定により、出力強制遮断解除タイミングは異なります。

(1) ソフトウェアを使用し即時遮断解除を行う場合 (ACT = 0の時)

ACTを0に設定する場合、OPCTL0レジスタのHZ_RELビットに1を設定すると、即時強制遮断を解除します。強制遮断解除後自動的にHZ_RELビットは0になります。

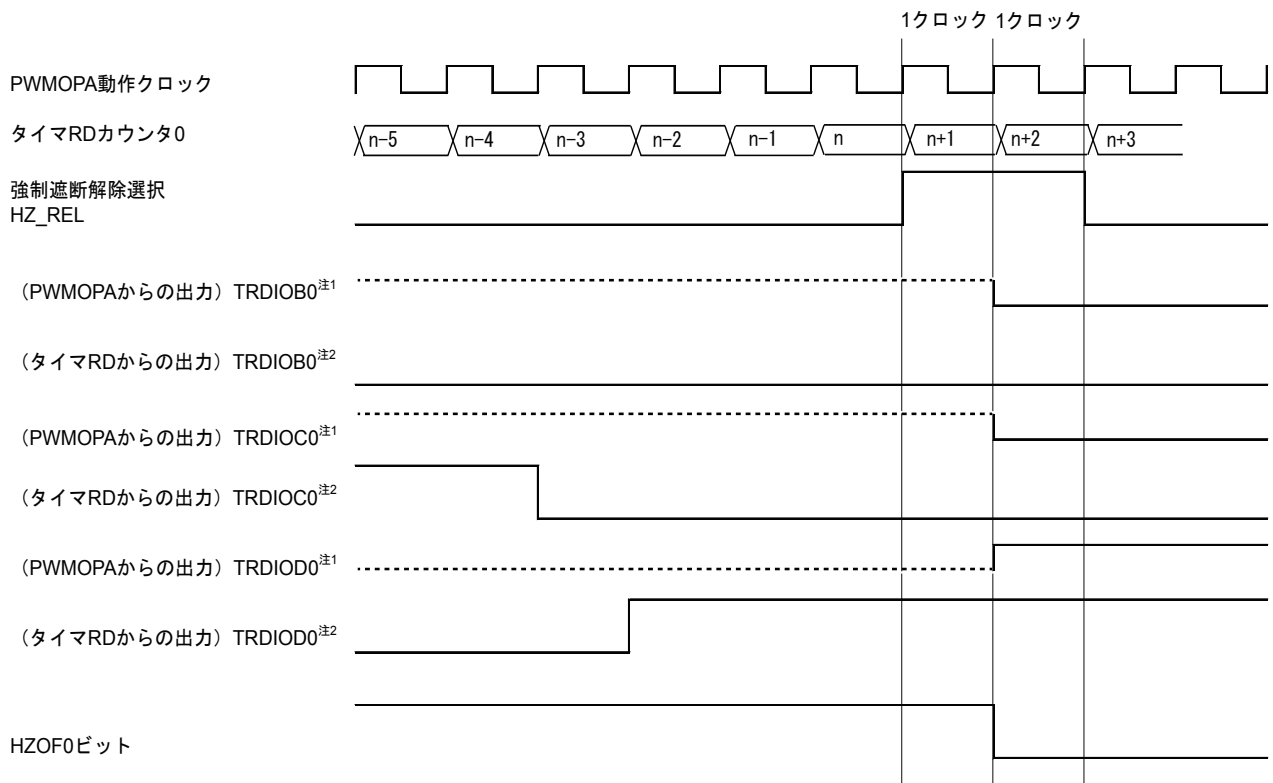
図8-84 ソフトウェアで遮断解除したときの動作例 (TRDIOB0, TRDIOC0, TRDIOD0の例)



- ① コンパレータ0出力信号の立ち上がりエッジ検出で、TRDIOB0, TRDIOC0, TRDIOD0端子出力が遮断状態になる。
- ② HZ_RELビットを1に設定し、即時強制遮断を解除する。
- ③ 強制遮断を解除後、HZ_RELビットが0になる。

遮断詳細タイミング図については図8-76を参考してください。

図8 - 85 遮断解除詳細タイミング図



..... は遮断状態を示します。(レジスタ値より"H"、"L"、"Hi-Z"を固定する)

(2) ソフトウェア条件解除時 (ACT = 1時)

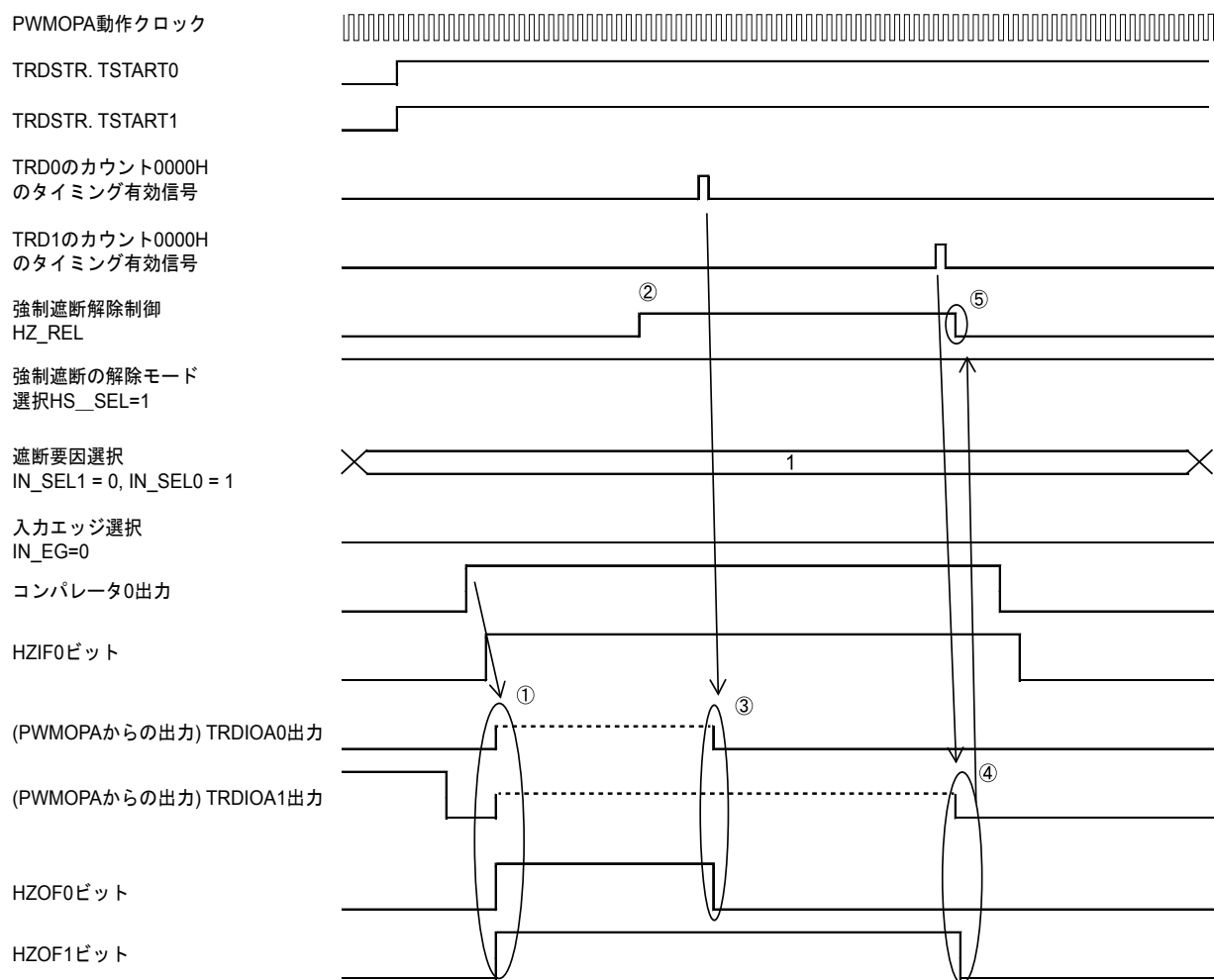
ACTに1を設定する場合、OPCTL0レジスタのHZ_RELビットに1を設定した後、タイマRDからの信号により強制遮断解除できます。強制遮断解除後自動的にHZ_RELビットは0になります。

ハードウェアで遮断解除を行う場合は出力遮断解除要因を検出後、タイマRDからの解除信号をトリガとして出力を再開します。ソフトウェアで遮断解除を行う場合は、HZ_RELビットに1を設定した後タイマRDからの解除信号をトリガとして出力を再開します。解除タイミングは同じです。

(a) タイマRDがアウトプットコンペア機能、PWM機能、PWM3モードの場合：

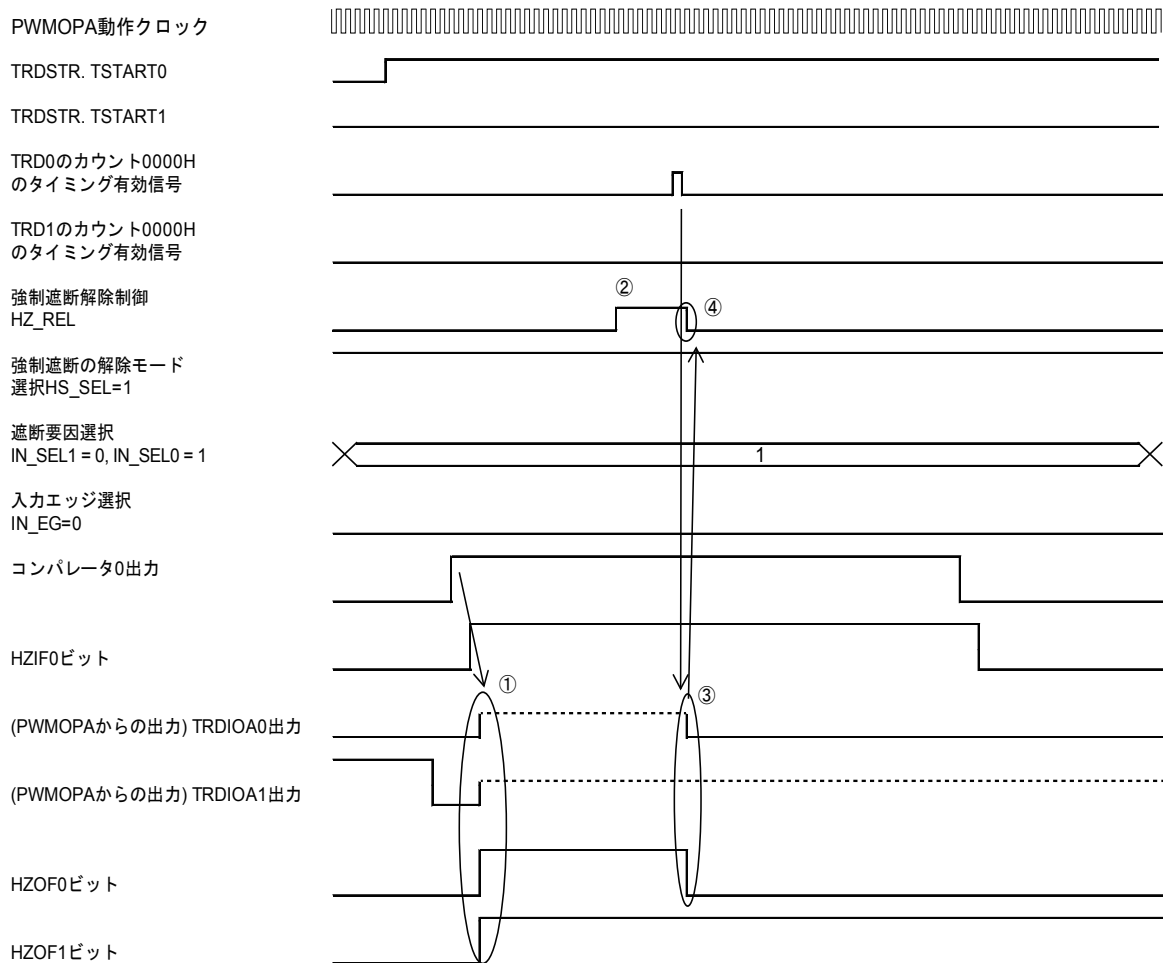
HZ_RELビットに1を設定後、TRD0のカウンタ値が0000Hになると、TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0 の出力強制遮断を解除します。TRD1のカウンタ値が0000HになるとTRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1の出力強制遮断を解除します。

図8 - 86 ソフトウェアにより遮断解除する場合の動作例（タイマRD, 2チャンネル・カウント時）



- ① コンパレータ0出力信号の立ち上がりエッジ検出で、TRDIOA0、TRDIOA1端子出力が遮断状態になる。
- ② HZ_REL = 1設定後に、各カウンタ値が0000Hになるタイミングを待つ。
- ③ TRD0のカウンタ値が0000Hになると、TRDIOA0強制遮断状態が解除される。
- ④ TRD1のカウンタ値が0000Hになると、TRDIOA1強制遮断状態が解除される。
- ⑤ 各チャンネル強制遮断解除後HZ_RELビットは自動的に0になる。

図8-87 ソフトウェアにより遮断解除する場合の動作例（タイマRD, 1チャンネル・カウント）



- ① コンパレータ0出力信号の立ち上がりエッジ検出で、TRDIOA0、TRDIOA1端子出力が遮断状態になる。
- ② HZ_REL = 1設定後に、カウンタ値が0000Hになるタイミングを待つ。
- ③ TRD0のカウンタ値が0000Hになると、TRDIOA0強制遮断状態が解除される。
- ④ 強制遮断解除後HZ_RELビットは自動的に0になる。

遮断詳細タイミングについては、図8-76を参照してください。

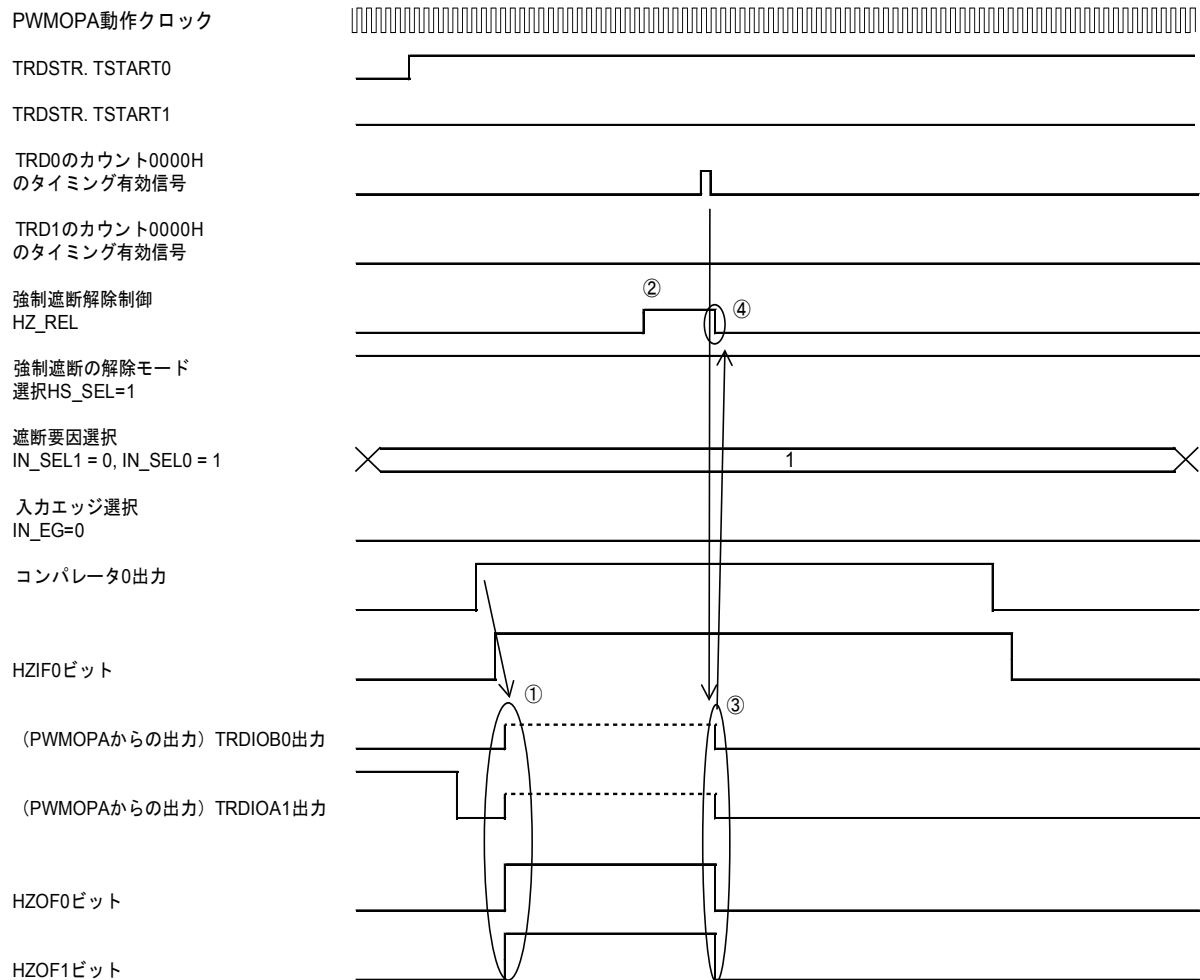
遮断解除詳細タイミングについては、図8-77、図8-78を参照してください。

HZ_RELビットが自動的に0になるタイミングについては図8-85を参照してください。

(b) タイマRDがリセット同期PWMモードの場合：

HZ_RELビットに1を設定後、TRD0カウンタ値が0000Hになると、全てのTRDIO端子の出力強制遮断を解除します。

図8 - 88 ソフトウェアにより出力遮断解除する場合の動作例



- ① コンパレータ0出力信号の立ち上がりエッジ検出で、TRDIOB0、TRDIOA1端子出力が遮断状態になる。
- ② HZ_RELビットに1を設定後、タイマRDのチャンネル0のカウンタの値が0000Hになるタイミングを待つ。
- ③ TRD0のカウンタ値が0000Hになると、TRDIOB0、TRDIOA1の強制遮断状態が解除される（タイマRDチャンネル1動作は影響しない）。
- ④ 強制遮断解除後HZ_RELビットは自動的に0になる。

遮断詳細タイミングについては図8 - 76を参考してください

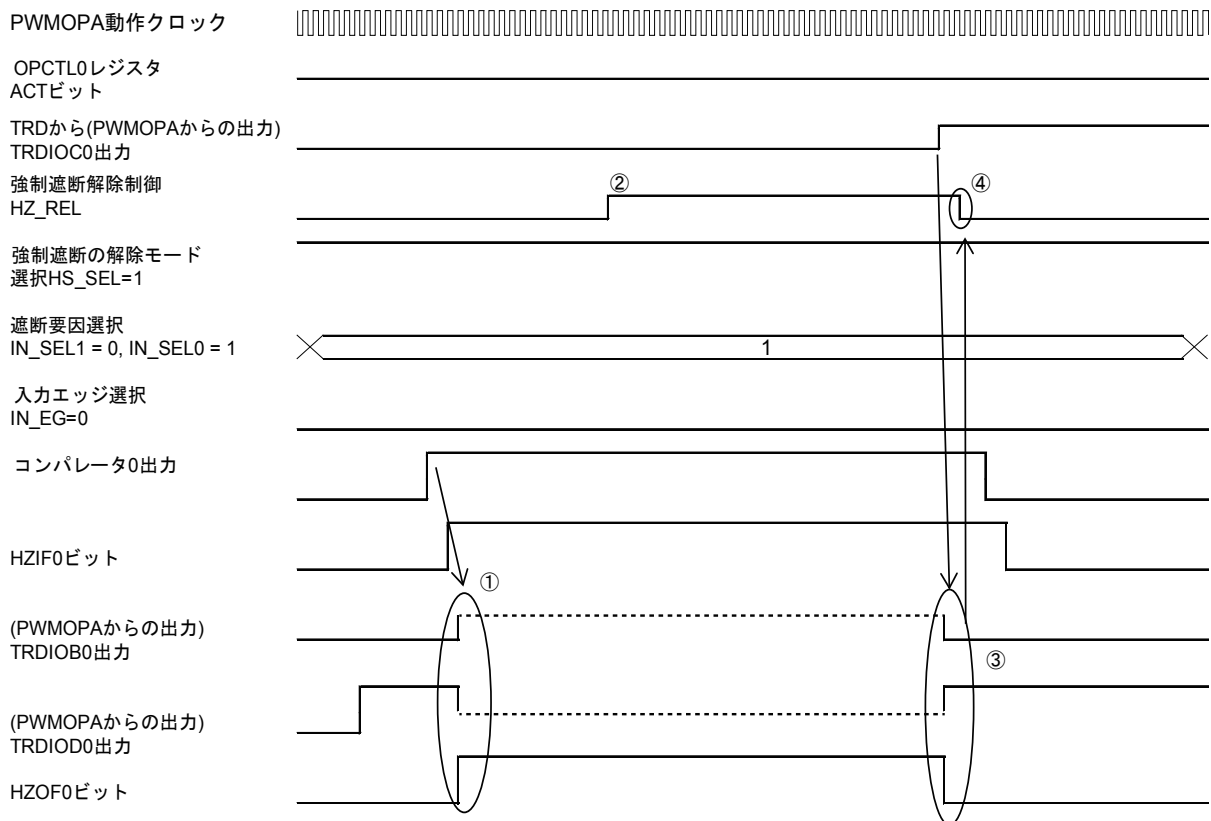
遮断解除詳細タイミングについては図8 - 77、図8 - 78を参考してください。

HZ_RELビットが自動的に0になるタイミングについては図8 - 85を参考してください。

(c) タイマRDが相補PWMモードの場合：

HZ_RELビットを1に設定したあと、OPEDGEレジスタの設定によって、TRDIOC0の選択した両エッジ/立ち上がりエッジ/立ち下がりエッジのタイミングからタイマRDの出力強制遮断状態を解除します。

図8 - 89 ソフトウェアにより遮断解除する場合の動作例（TRDIOB0, TRDIOD0の例）



- ① コンパレータ0出力信号の立ち上がりエッジ検出で、TRDIOB0,TRDIOD0端子出力が遮断状態になる。
- ② HZ_REL = 1に設定したあと、TRDIOC0立ち上がり信号を待つ。
- ③ TRDIOC0の立ち上がりエッジが検出されると、強制遮断状態が解除される。
- ④ 強制遮断が解除されると、HZ_RELビット自動的に0になる。

遮断詳細タイミングについては図8 - 76を参考してください

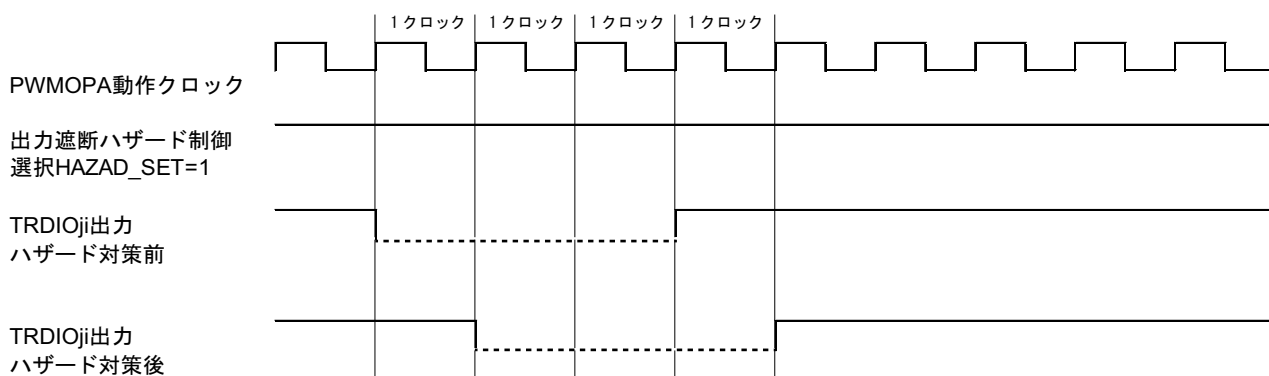
遮断解除詳細タイミングについては図8 - 80, 図8 - 81, 図8 - 82, 図8 - 83を参考してください。

HZ_RELが自動的に0になるタイミングについては図8 - 85を参考してください。

8.8.3.4 ハザード対策

遮断状態になる/遮断解除になる/タイマRD動作中でのTRDIO端子 \leftrightarrow ポート切換え時にハザードが出力される可能性があります。ハザード制御選択ビット(HAZAD_SET)を1に設定することにより、ハザード対策を行うことができます。ただし、ハザード制御有効時のタイマRD出力は無効時のタイマRD出力より1クロックの遅延が発生します。

図8-90 ハザード制御タイミング図



----- は遮断状態を示します。(レジスタ値より"H"、"L"、"Hi-Z"を固定する)

備考 j = A, B, C, D ; i = 0, 1

8.8.3.5 出力遮断要因検出状態・出力遮断要因未検出状態

遮断要因選択ビット (OPCTL0.IN_SEL1, OPCTL0.IN_SEL0) で選択した信号 (INTP0, コンパレータ0出力) のレベルで出力遮断要因検出か (HZIF0 = 1), 出力遮断要因未検出か (HZIF0 = 0) を判断します。

出力遮断/出力遮断解除エッジ (OPCTL0.IN_EG) を0に設定した場合, ハイ・レベルは出力遮断要因を検出状態になり, ロウ・レベルは出力遮断要因を未検出状態になります。

出力遮断/出力遮断解除エッジ (OPCTL0.IN_EG) を1に設定した場合, ロウ・レベルは出力遮断要因を検出状態になり, ハイ・レベルは出力遮断要因を未検出状態になります。

備考 OPCTL0レジスタのIN_SEL1ビット, IN_SEL0ビットでINTP0, コンパレータ0を遮断要因として設定する前に, 出力遮断要因が閾値を超えている状態になった場合, IN_SEL1ビット, IN_SEL0ビットを設定後, HZIF0ビットは1に設定されますが, HZOF0ビット, HZOF1ビットはセットされません。

8.8.3.6 タイマRDのカウンタの値が0000Hになるタイミング

ハードウェアで出力遮断解除を行う場合、出力遮断条件はタイマRDの動作モードによって異なります。

(1) タイマRDがアウトプットコンペア機能時、カウンタ値が0000Hになるタイミング

- カウンタ値 = 0000H, タイマRDはカウント開始 :
出力遮断解除しない。
- タイマRDはカウント中, ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
- カウンタがオーバフローして, カウンタが0000Hになる
出力遮断解除する。
- TRDGRA0レジスタとコンペア一致して, カウンタが0000Hになる
出力遮断解除する。

(2) タイマRDがPWM機能時、カウンタ値が0000Hになるタイミング

- カウンタ値 = 0000H, タイマRDはカウント開始
出力遮断解除しない。
- タイマRDはカウント中, ソフトウェアでカウンタに0000Hを書く
出力遮断解除する
- TRDGRA0レジスタとコンペア一致してカウンタが0000Hになる
出力遮断解除する

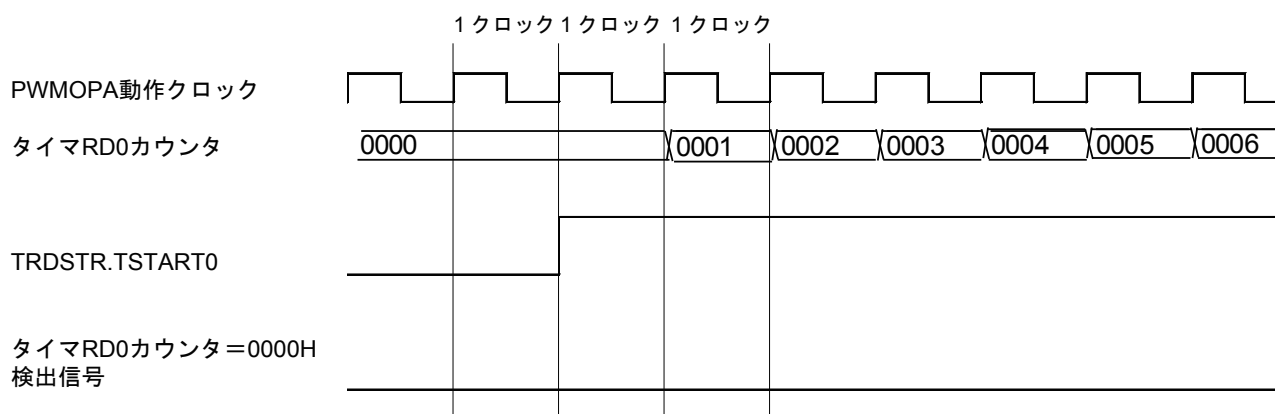
(3) タイマRDがリセット同期PWMモード時、カウンタ値が0000Hになるタイミング

- カウンタ値 = 0000H, タイマRDはカウント開始
出力遮断解除しない。
- タイマRDはカウント中, ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
- TRDGRA0レジスタとコンペア一致して, カウンタが0000Hになる
出力遮断解除する。

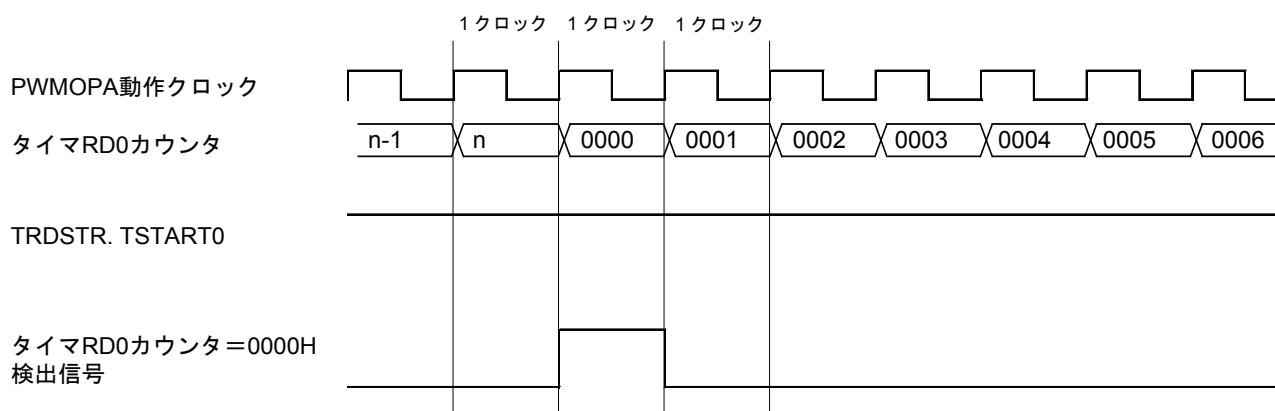
(4) タイマRDがPWM3モード時、カウンタ値が0000Hになるタイミング

- カウンタ値 = 0000H, タイマRDはカウント開始
出力遮断解除しない。
- タイマRDはカウント中, ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
- TRDGRA0レジスタとコンペア一致して, カウンタが0000Hになる
出力遮断解除する。

図8-91 カウント値 = 0000Hになる判定タイミング (カウント値 = 0000H時タイマRDカウント開始)

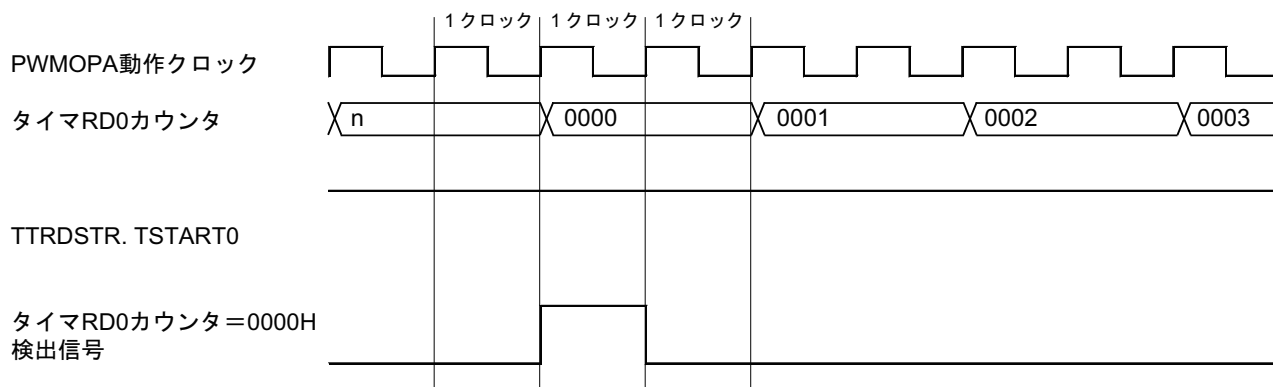


- カウント値 = 0000Hになる判定をしない

図8-92 カウント値 = 0000Hになる判定タイミング
(カウントソース = 動作クロックでカウント中, カウント値は0000Hになる)

- カウント値 = 0000Hになる判定をする

図8 - 93 カウント値 = 0000Hになる判定タイミング
(カウントソース = 動作クロック/2でカウント中, カウント値は0000Hになる)

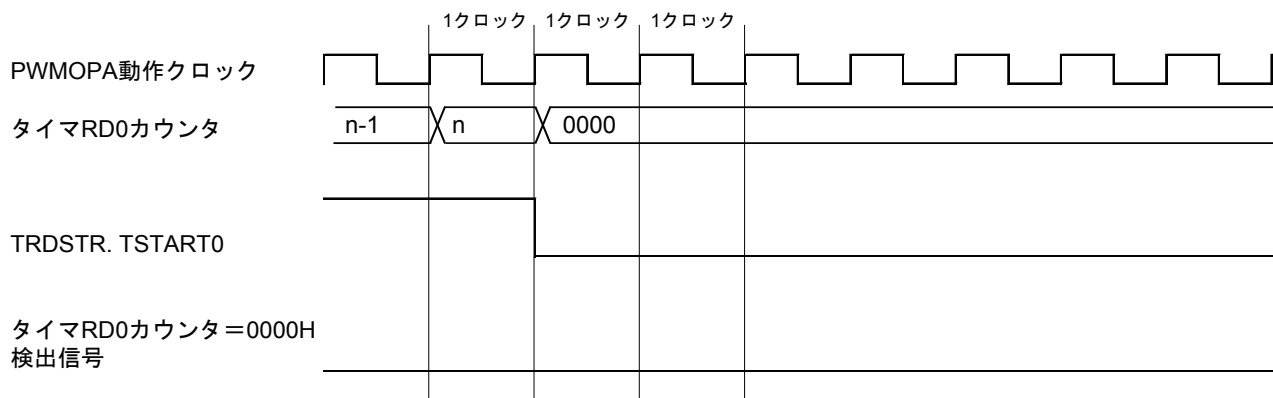


- カウント値 = 0000Hになる判定をする

(5) タイマRDのカウント値 = 0000H, タイマRDが停止時

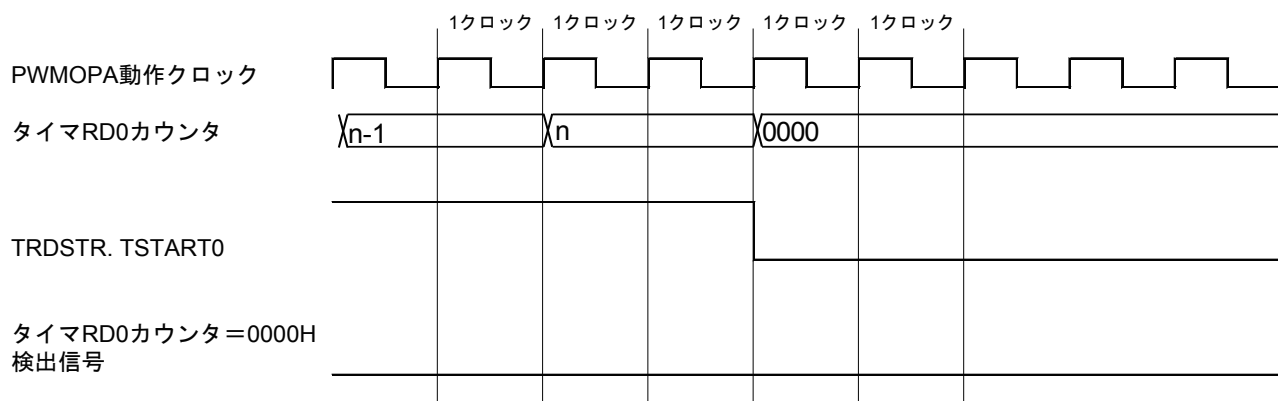
- タイマRDのカウント値は0000Hになると同時に, タイマRDが停止すると, 遮断解除タイミングにならない。

図8 - 94 カウント値 = 0000Hになる判定タイミング
(カウントソース = 動作クロック, タイマRDカウンタ値が0000Hとなると同時に停止)



- カウント値 = 0000Hになる判定をしない

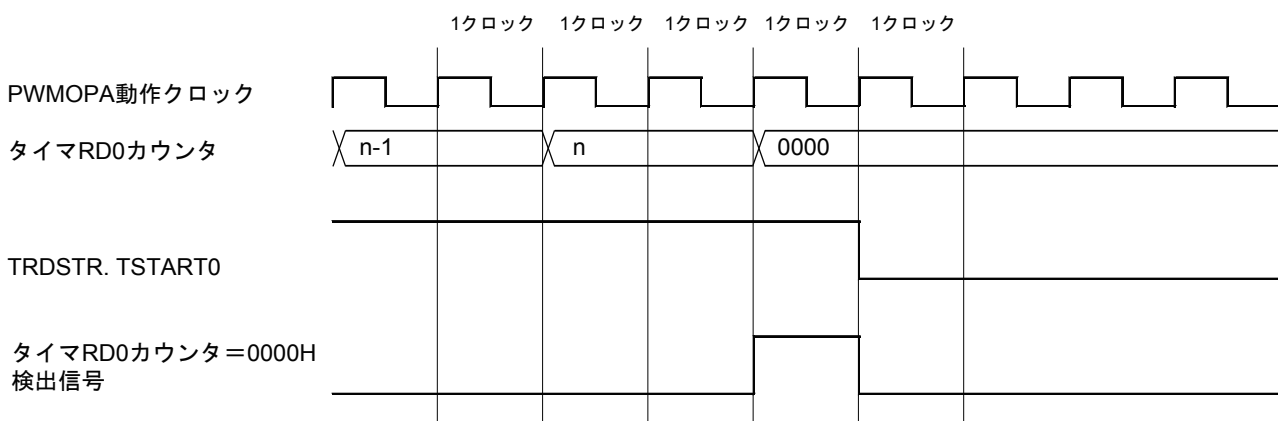
図8-95 カウント値 = 0000H になる判定タイミング
(カウントソース = $f_{CLK}/2$, タイマRDカウント値が0000Hになると同時にカウント停止)



- ・カウント値 = 0000Hになる判定をしない

タイマRDのカウント値が0000Hになった次の1 cycleでタイマRDは停止すると、強制遮断が解除されます。

図8-96 カウント値 = 0000Hになる判定タイミング
(カウントソース = 動作クロック/2, タイマRDのカウント値は0000Hの次のタイミングでカウント停止)



- ・カウント値 = 0000Hになる判定をする

8.8.3.7 設定手順

PWMOPA はタイマ RD と連携動作できます。設定コードはタイマ RD 設定の中で追加します。手順を次に示します。

タイマ RD のクロック, モードの設定後

- 1) PER1 レジスタの PWMOPEN ビット "1" にセット
 - 2) OPCTL0 レジスタ設定
 - 3) OPEDGE レジスタ設定
 - 4) OPDF0,OPDF1 レジスタ設定
- タイマ RD の動作開始
- 5) OPSR のビット HZOF0,HZOF1 の遮断状態を待つ
 - 6) OPCTL0 遮断解除 (HS_SEL ビットによってソフトウェアとハードウェア選択できます)

備考1. PWMOPA はタイマ RD 遮断機能の元にコンパレータ 0 出力, 外部割り込み 0(INTP0), イベント・リンク・コントローラ (ELC) を起因として追加した制御モジュールです。それで, PWMOPA の動作は必ずタイマ RD の動作と共に使用します。

備考2. タイマ RD 機能を独立動作したい時は, PWMOPA の関連レジスタを設定しないでください。

8.8.4 注意事項

- (1) タイマRDのパルス出力強制遮断とPWMOPAの出力遮断が共に動作した場合の優先度を示します。

表8 - 22 強制遮断の優先度

		PWMOPA出力強制遮断時端子状態制御			
		禁止	Hi-Z	ロウ・レベル	ハイ・レベル
タイマRD 出力強制遮断時 端子状態制御	禁止	禁止	Hi-Z	ロウ・レベル	ハイ・レベル
	Hi-Z	Hi-Z	Hi-Z	ロウ・レベル	ハイ・レベル
	ロウ・レベル	ロウ・レベル	Hi-Z	ロウ・レベル	ハイ・レベル
	ハイ・レベル	ハイ・レベル	Hi-Z	ロウ・レベル	ハイ・レベル

- (2) 相補 PWM モードで、PWMOPA が出力遮断状態時に、タイマ RD がパルス出力強制遮断状態に入ると、TRDIOC0の状態により、PWMOPAに出力遮断解除エッジが入力される可能性があります。
- (3) イベント・リンク・コントローラを要因として出力遮断を行う場合、出力遮断解除は必ずソフトウェア解除を選択してください（HS_SELビットを1に設定）。
- (4) 出力遮断ハザード制御選択時、PWMOPAを経由するタイマRD出力はPWMOPAの動作クロックで1クロック遅れます。
- (5) 出力遮断ハザード制御選択（HAZAD_SETビットに1を設定）時、PWMOPAを経由するタイマRD出力端子は、端子をタイマRD出力に設定した場合、タイマRDカウント動作中にタイマRD出力←→ポート出力の切換えが可能です。
- (6) PWMOPAを経由するタイマRD出力端子は、端子をポート動作に設定した場合、出力遮断/遮断解除時、ハザードが発生する可能性があります。
- (7) コンパレータ0とINTP0の入力有効レベル期間はPWMOPAの動作クロックで1クロックより長くしてください。

第9章 タイマRG

9.1 タイマRGの機能

タイマRGは、次の3種類のモードを持ちます。

- タイマモード：
 - インพุットキャプチャ機能 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり/立ち下がりの両エッジでカウント
 - アウトプットコンペア機能 L出力/H出力/トグル出力
- PWMモード：任意デューティのPWM出力が可能
- 位相計数モード：2相エンコーダのカウント数の自動計測が可能

9.2 タイマRGの構成

図9-1にタイマRGのブロック図を、表9-1にタイマRGの端子構成を示します。

図9-1 タイマRGのブロック図

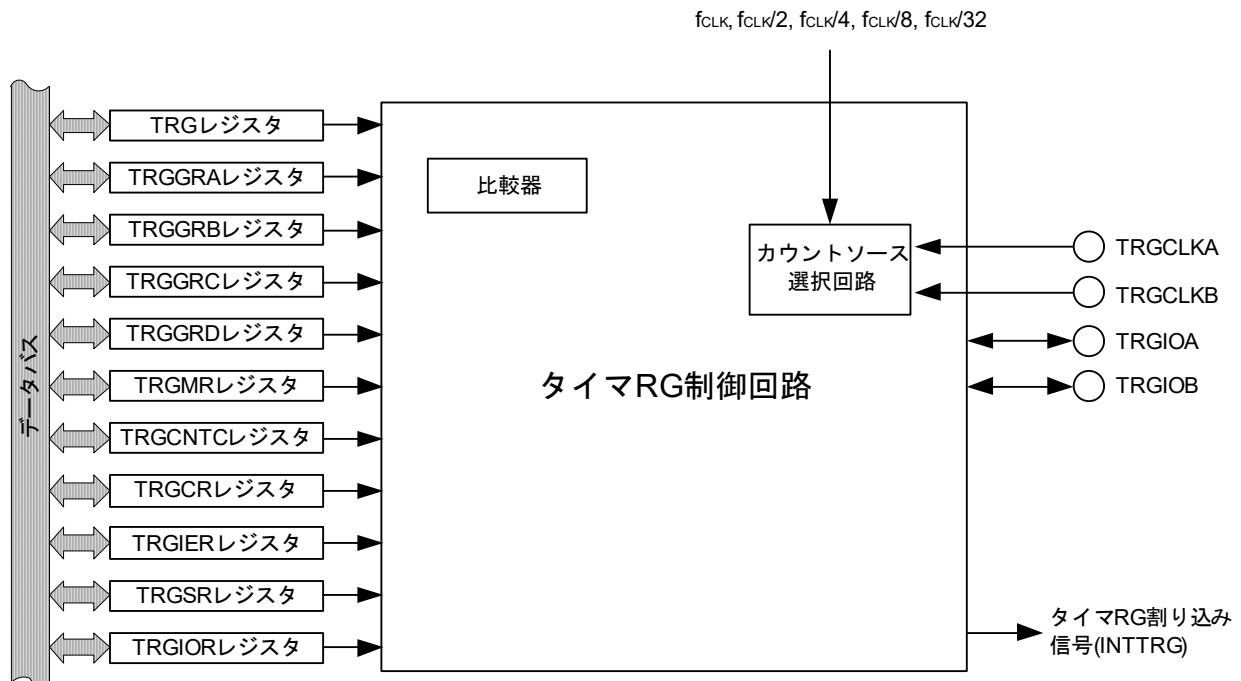


表9-1 タイマRGの端子構成

端子名	兼用しているポート名	入出力	機能
TRGCLKA	P00	入力	<ul style="list-style-type: none"> 位相計数モード時 A相入力 位相計数モード時以外 外部クロックA入力
TRGCLKB	P01	入力	<ul style="list-style-type: none"> 位相計数モード時 B相入力 位相計数モード時以外 外部クロックB入力
TRGIOA	P50	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRAアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRAインプットキャプチャ入力 PWMモード時 PWM出力
TRGIOB	P51	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRBアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRBインプットキャプチャ入力

9.3 タイマRGを制御するレジスタ

表9-2にタイマRGを制御するレジスタを示します。

表9-2 タイマRGを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
タイマRGモードレジスタ	TRGMR
タイマRGカウント制御レジスタ	TRGCNTC
タイマRG制御レジスタ	TRGCR
タイマRG割り込み許可レジスタ	TRGIER
タイマRGステータスレジスタ	TRGSR
タイマRG I/O制御レジスタ	TRGIOR
タイマRGカウンタ	TRG
タイマRGジェネラルレジスタA	TRGGRA
タイマRGジェネラルレジスタB	TRGGRB
タイマRGジェネラルレジスタC	TRGGRC
タイマRGジェネラルレジスタD	TRGGRD
ポート・レジスタ0	P0
ポート・レジスタ5	P5
ポート・モード・レジスタ0	PM0
ポート・モード・レジスタ5	PM5

9.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRGを使用する場合は、必ずビット6 (TRGEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMPEN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN

TRGEN	タイマRGの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRGで使用するSFRへのライト不可 ・タイマRGはリセット状態
1	入カクロック供給 ・タイマRGで使用するSFRへのリード/ライト可

注意1. タイマRGの設定をする際には、必ず最初にTRGEN = 1の設定を行ってください。TRGEN = 0の場合は、タイマRGの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ0, 5 (PM0, PM5), ポート・レジスタ0, 5 (P0, P5)は除く)。

9.3.2 タイマRGモードレジスタ (TRGMR)

図9-3 タイマRGモードレジスタ (TRGMR)のフォーマット

アドレス : F0250H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGMR	TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFOB	TRGDFA	TRGMDF	TRGPWM
TRGSTART	TRGカウント開始							
0	カウント停止, PWM出力信号 (TRGIOA端子) を初期化 (PWMモード時)							
1	カウント開始							
TRGELCICE	ELCインプットキャプチャ要求選択 ^{注1,2}							
0	外部入力信号B/デジタルフィルタ通過信号Bを選択							
1	ELCからのイベント入力(インプットキャプチャ)を選択							
TRGDFCK1	TRGDFCK0	デジタルフィルタ機能で使用するクロック選択 ^{注1}						
0	0	fCLK/32						
0	1	fCLK/8						
1	0	fCLK						
1	1	TRGCRレジスタのTRGTCK0~TRGTCK2ビットで選択したクロック						
TRGDFOB	TRGIOB端子のデジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
TRGDFA	TRGIOA端子のデジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
TRGMDF	位相計数モード選択							
0	アップカウント							
1	位相計数モード							
TRGMDFビットが0のとき, カウンタはTRGCRレジスタのTRGTCK0~TRGTCK2ビットで設定したカウントソースをカウントします。 TRGMDFビットが1のとき, カウンタは, 表9-15 TRGレジスタの加算/減算条件に示すTRGCLKj端子(j = A, B)からの入力信号の位相をカウントします。								
TRGPWM	PWMモード選択							
0	タイマモード							
1	PWMモード							

注1. TRGSTARTビットが0(カウンタ停止)のとき, このビットを設定してください。

注2. ELCからのイベント入力(インプットキャプチャ)を有効にしたい場合は, TRGIORレジスタのTRGIOB2 = 1, TRGIOB1, TRGIOB0 = 00B(立ち上がりエッジ)に設定してください。

9.3.3 タイマRGカウント制御レジスタ (TRGCNTC)

TRGCNTCレジスタは位相計数モードで使用します。位相計数モードのカウント条件を設定します。

図9-4 タイマRGカウント制御レジスタ (TRGCNTC)のフォーマット

アドレス : F0251H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGCNTC	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
	カウント許可7							
	0	無効						
	1	アップカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち上がりエッジのとき						
	カウント許可6							
	0	無効						
	1	アップカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち上がりエッジのとき						
	カウント許可5							
	0	無効						
	1	アップカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち下がりエッジのとき						
	カウント許可4							
	0	無効						
	1	アップカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち下がりエッジのとき						
	カウント許可3							
	0	無効						
	1	ダウンカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち下がりエッジのとき						
	カウント許可2							
	0	無効						
	1	ダウンカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち下がりエッジのとき						
	カウント許可1							
	0	無効						
	1	ダウンカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち上がりエッジのとき						
	カウント許可0							
	0	無効						
	1	ダウンカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち上がりエッジのとき						

9.3.4 タイマRG制御レジスタ (TRGCR)

TRGCRレジスタに書く場合は、TRGMRレジスタのTRGSTARTビットが0 (カウント停止)の状態で行ってください。

図9-5 タイマRG制御レジスタ (TRGCR)のフォーマット

アドレス : F0252H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGCR	0	TRGCCLR1	TRGCCLR0	TRGCKEG1	TRGCKEG0	TRGTCK2	TRGTCK1	TRGTCK0
TRGCCLR1	TRGCCLR0	TRGレジスタクリア要因選択						
0	0	クリア禁止						
0	1	TRGGRAのインプットキャプチャ/コンペア一致でクリア						
1	0	TRGGRBのインプットキャプチャ/コンペア一致でクリア						
上記以外		設定禁止						
TRGCKEG1	TRGCKEG0	外部クロック有効エッジ選択 ^{注1,2}						
0	0	立ち上がりエッジでカウント						
0	1	立ち下がりエッジでカウント						
1	0	立ち上がり/立ち下がりの両エッジでカウント						
上記以外		設定禁止						
TRGTCK2	TRGTCK1	TRGTCK0	カウントソース選択 ^{注1}					
0	0	0	fCLK					
0	0	1	fCLK/2					
0	1	0	fCLK/4					
0	1	1	fCLK/8					
1	0	0	fCLK/32					
1	0	1	TRGCLKA入力					
1	1	1	TRGCLKB入力					
上記以外			設定禁止					

注1. 位相計数モードのとき、TRGTCK0～TRGTCK2ビット、およびTRGCKEG0、TRGCKEG1ビット設定は無効になり、位相計数モードの動作が優先されます。

注2. TRGCKEG0、TRGCKEG1ビットは、TRGTCK0～TRGTCK2ビットの設定が外部クロック (TRGCLKA、TRGCLKB) 時に有効です。外部クロック以外では無効です。

9.3.5 タイマRG割り込み許可レジスタ (TRGIER)

図9 - 6 タイマRG割り込み許可レジスタ (TRGIER)のフォーマット

アドレス : F0253H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGIER	0	0	0	0	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA

TRGOVIE	オーバーフロー割り込み許可
0	TRGOVF ビットによる割り込みを禁止
1	TRGOVF ビットによる割り込みを有効

TRGUDIE	アンダフロー割り込み許可
0	TRGUDF ビットによる割り込みを禁止
1	TRGUDF ビットによる割り込みを有効

TRGIMIEB	インプットキャプチャ/コンペアー致割り込み許可B
0	TRGIMFB ビットによる割り込みを禁止
1	TRGIMFB ビットによる割り込みを有効

TRGIMIEA	インプットキャプチャ/コンペアー致割り込み許可A
0	TRGIMFA ビットによる割り込みを禁止
1	TRGIMFA ビットによる割り込みを有効

備考 TRGIMFA, TRGIMFB, TRGUDF, TRGOVF : TRGSRレジスタのビット

9.3.6 タイマRGステータスレジスタ (TRGSR)

図9-7 タイマRGステータスレジスタ (TRGSR)のフォーマット

アドレス : F0254H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGSR	0	0	0	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
TRGDIRF	カウント方向フラグ							
0	TRGレジスタはダウンカウント							
1	TRGレジスタはアップカウント							
TRGOVF	オーバフローフラグ注1							
[0になる条件]	読んだ後, 0を書く注2							
[1になる条件]	表9-3 各フラグが1になる条件参照							
TRGUDF	アンダフローフラグ							
[0になる条件]	読んだ後, 0を書く注2							
[1になる条件]	表9-3 各フラグが1になる条件参照							
TRGIMFB	インプットキャプチャ/コンペアー致フラグB							
[0になる条件]	読んだ後, 0を書く注2, 3							
[1になる条件]	表9-3 各フラグが1になる条件参照							
TRGIMFA	インプットキャプチャ/コンペアー致フラグA							
[0になる条件]	読んだ後, 0を書く注2, 3							
[1になる条件]	表9-3 各フラグが1になる条件参照							

注1. TRGOVFビットは、タイマRGのカウンタ値がFFFFHから0000Hになったとき、1になります。また、TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRGのカウンタ値がFFFFHから0000Hになったときにも、1になります。

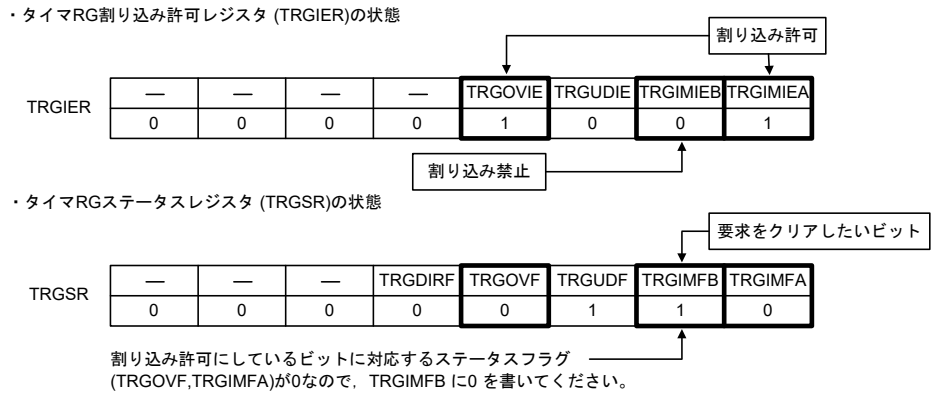
注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

ただし、タイマRGの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にするとき、その割り込みがタイマRG割り込み許可レジスタ (TRGIER)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

- (a) タイマRG 割り込み許可レジスタ (TRGIER) を 00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRG 割り込み許可レジスタ (TRGIER) の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) TRGIMIEA, TRGOVIE が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合



- (c) タイマRG 割り込み許可レジスタ (TRGIER) の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) TRGIMIEA が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合



注3. DTCを使用する場合、TRGIMFA, TRGIMFBビットは、DTCの転送終了後に1になります。

表9-3 各フラグが1になる条件

ビットシンボル	タイマモード ^{注1}		PWMモード
	入力キャプチャ機能	アウトプットコンペア機能	
TRGOVF	TRGがオーバフローしたとき		
TRGUDF	TRGがアンダフローしたとき(位相計数モード時のみ)		
TRGIMFB	TRGIOB端子の入カエッジ ^{注2}	TRGとTRGGRBの値が一致したとき	
TRGIMFA	TRGIOA端子の入カエッジ ^{注2}	TRGとTRGGRAの値が一致したとき	

注1. 位相計数モードはタイマRG カウントレジスタのカウンタ方法であり、設定により上記のタイマモード、PWMモードを使用可能です。

注2. TRGIORレジスタのTRGIOj0, TRGIOj1ビット(j = A, B)で選択したエッジ。

9.3.7 タイマRG I/O制御レジスタ (TRGIOR)

図9-8 タイマRG I/O制御レジスタ (TRGIOR)のフォーマット

アドレス : F0255H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGIOR	TRGBUFB	TRGIOB2	TRGIOB1	TRGIOB0	TRGBUFA	TRGIA2	TRGIA1	TRGIA0
TRGBUFB	TRGGRD レジスタ機能選択							
0	TRGGRB レジスタのバッファレジスタとして使用しない							
1	TRGGRB レジスタのバッファレジスタとして使用する							
TRGIOB2	TRGGRB モード選択注1,2							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							
TRGIOB1	TRGIOB0	TRGGRB制御						
0	0	コンペア一致による端子出力禁止						
0	1	L出力						
1	0	H出力						
1	1	トグル出力						
アウトプットコンペア機能では, TRG レジスタと TRGGRB レジスタのコンペア一致出力								
TRGIOB1	TRGIOB0	TRGGRB制御						
0	0	TRGIOBの立ち上がりエッジ						
0	1	TRGIOBの立ち下がりエッジ						
1	0	TRGIOBの両エッジ						
上記以外		設定禁止						
インプットキャプチャ機能では, TRG レジスタ内容を TRGGRBヘインプットキャプチャ								
TRGBUFA	TRGGRC レジスタ機能選択							
0	TRGGRA レジスタのバッファレジスタとして使用しない							
1	TRGGRA レジスタのバッファレジスタとして使用する							
TRGIA2	TRGGRA モード選択注1,2							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							
TRGIA1	TRGIA0	TRGGRA制御						
0	0	コンペア一致による端子出力禁止						
0	1	L出力						
1	0	H出力						
1	1	トグル出力						
アウトプットコンペア機能では, TRG レジスタと TRGGRA レジスタのコンペア一致出力								

TRGIOA1	TRGIOA0	TRGGRA制御
0	0	TRGIOAの立ち上がりエッジ
0	1	TRGIOAの立ち下がりエッジ
1	0	TRGIOAの両エッジ
上記以外		設定禁止
インプットキャプチャ機能では、TRGレジスタ内容をTRGGRAへインプットキャプチャ		

注1. TRGIOj2ビット(j = A, B)が1 (インプットキャプチャ機能)のとき、TRGGRjレジスタはインプットキャプチャレジスタとして機能します。

注2. TRGIOj2ビット(j = A, B)が0 (アウトプットコンペア機能)のとき、TRGGRjレジスタはコンペア一致レジスタとして機能します。リセット後TRGIOj0, TRGIOj1を設定し、最初のコンペア一致が発生するまで、TRGIOj端子からは、

TRGIOj1, TRGIOj0 = 01BのときH出力

10BのときL出力

11BのときL出力

このTRGIORレジスタは、タイマモードにおいて入出力の端子制御をします。PWMモードでは無効になります。

TRGIORレジスタはカウント停止中(TRGMRレジスタのTRGSTART = 0)に設定してください。

9.3.8 タイマRGカウンタ (TRG)

TRGレジスタは、CPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGレジスタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TRGレジスタは対応するTRGGRA、TRGGRBレジスタとのコンペア一致、またはTRGGRA、TRGGRBレジスタへのインプットキャプチャにより0000Hにクリアすることができます(カウンタクリア機能)。

TRGレジスタがオーバーフロー (FFFFH→0000H)すると、TRGSRレジスタのTRGOVFビットが1になります。アンダフロー (0000H→FFFFH)すると、TRGSRレジスタのTRGUDFビットが1になります。

図9-9 タイマRGカウンタ (TRG)のフォーマット

アドレス : F0256H リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRG

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

—	機能	設定範囲
ビット15~0	位相計数モードの場合、カウント動作はアップカウント/ダウンカウント。 それ以外の場合はアップカウント。	0000H~FFFFH

9.3.9 タイマRGジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)

TRGGRA, TRGGRBレジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIORレジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA, TRGGRBレジスタの値とTRGレジスタの値は常に比較されています。両者の値が一致(コンペア一致)すると、TRGSRレジスタのTRGIMFA/TRGIMFBビットが1になります。TRGIORレジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRGレジスタの値を格納します。このときTRGIMFA/TRGIMFBビットが1になります。インプットキャプチャ信号の検出エッジ選択はTRGIORレジスタにより行います。

また、TRGGRCレジスタはTRGGRAレジスタのバッファレジスタとして、TRGGRDレジスタはTRGGRBレジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能はTRGIORレジスタのTRGBUFA, TRGBUFBビットにより選択できます。

例えば、TRGGRAレジスタがアウトプットコンペアレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、コンペア一致Aが発生するたびにTRGGRCレジスタの値がTRGGRAレジスタに転送されます。

TRGGRAレジスタがインプットキャプチャレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRGレジスタの値がTRGGRAレジスタに、TRGGRAレジスタの値がTRGGRCレジスタに転送されます。

TRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタは16ビット単位でリード/ライト可能です。

図9-10 タイマRGジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)のフォーマット

アドレス : F0258H (TRGGRA), F025AH (TRGGRB), FFF60H (TRGGRC), FFF62H (TRGGRD) リセット時 : FFFFH R/W
略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRGGRj															
	機能														
	モード, 機能によって機能が異なる。 表9-4にTRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタ機能を示します。														

備考 j = A, B, C, D

表9 - 4 TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタ機能

モード, 機能	レジスタ	設定	機能
インプットキャプチャ	TRGGRA	TRGIOR (TRGIOA2 = 1) TRGMR (TRGPWM = 0)	インプットキャプチャレジスタ (TRGレジスタの値を格納)
	TRGGRB	TRGIOR (TRGIOB2 = 1) TRGMR (TRGPWM = 0)	インプットキャプチャレジスタ (TRGレジスタの値を格納)
アウトプットコンペア	TRGGRA	TRGIOR (TRGIOA2 = 0) TRGMR (TRGPWM = 0)	アウトプットコンペアレジスタ (TRGレジスタとのコンペア値を格納, コンペア一致で TRGIOAに設定値を出力)
	TRGGRB	TRGIOR (TRGIOB2 = 0) TRGMR (TRGPWM = 0)	アウトプットコンペアレジスタ (TRGレジスタとのコンペア値を格納, コンペア一致で TRGIOBに設定値を出力)
PWM	TRGGRA	TRGMR (TRGPWM = 1)	アウトプットコンペアレジスタ (コンペア一致でTRGIOAにH出力)
	TRGGRB		アウトプットコンペアレジスタ (コンペア一致でTRGIOAにL出力)
共通	TRGGRC	TRGIOR (TRGBUFA = 0)	使用しない
	TRGGRD	TRGIOR (TRGBUFB = 0)	使用しない
	TRGGRC	TRGIOR (TRGBUFA = 1)	TRGGRAのバッファレジスタ (TRGGRAとの転送あり) <ul style="list-style-type: none"> • TRGIOA2 = 1 の場合 インプットキャプチャ信号により, TRGGRAから前回のインプットキャプチャ値を受け取る • TRGIOA2 = 0 の場合 TRGとTRGGRAのコンペア一致により, 次のコンペア期待値をTRGGRAへ転送する
	TRGGRD	TRGIOR (TRGBUFB = 1)	TRGGRBのバッファレジスタ (TRGGRBとの転送あり) <ul style="list-style-type: none"> • TRGIOB2 = 1 の場合 インプットキャプチャ信号により, TRGGRBから前回のインプットキャプチャ値を受け取る • TRGIOB2 = 0 の場合 TRGとTRGGRBのコンペア一致により, 次のコンペア期待値をTRGGRBへ転送する

注意 TRGCRレジスタのTRGTCK2～TRGTCK0ビットの設定を000B (f_{CLK}), コンペア値を0000Hにした場合, DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

9.3.10 ポート・モード・レジスタ 0, 5 (PM0, PM5)

ポート0, 5の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P50/TRGIOA, P51/TRGIOB) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P50/TRGIOAをタイマ出力として使用する場合

ポート・モード・レジスタ5のPM50ビットを0に設定

ポート・レジスタ5のP50ビットを0に設定

タイマ入力端子を兼用するポート (P50/TRGIOA, P51/TRGIOB) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P50/TRGIOAをタイマ入力として使用する場合

ポート・モード・レジスタ5のPM50ビットを1に設定

ポート・レジスタ5のP50ビットを0または1に設定

PM0, PM5レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図9-11 ポート・モード・レジスタ 0, 5 (PM0, PM5) のフォーマット (64ピン製品)

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス : FFF25H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PMmn	Pmn端子の入出力モードの選択 (m = 0, 5 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

備考 上記は、64ピン製品のポート・モード・レジスタ0, 5のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-4～表4-6各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

9.4 タイマRGの動作

9.4.1 複数モード, 機能に関わる共通事項

(1) カウントソース

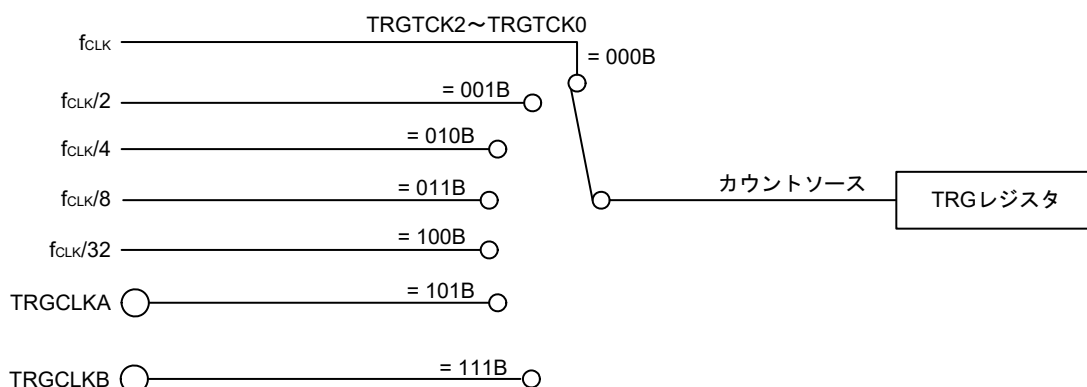
表9-5にカウントソースの選択を, 図9-12にカウントソースのブロック図を示します。

位相計数モード選択時, TRGCRレジスタのTRGTCK0 ~ TRGTCK2ビットおよびTRGCKEG0, TRGCKEG1ビットの設定は無効になります。

表9-5 カウントソースの選択

カウントソース	選択方法
f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8, f _{CLK} /32	TRGCRレジスタのTRGTCK0 ~ TRGTCK2ビットでカウントソース選択
TRGCLKA, TRGCLKB端子に入力された外部信号	TRGCRレジスタのTRGTCK2 ~ TRGTCK0ビットが101B (TRGCLKA入力)または111B (TRGCLKB入力) TRGCRレジスタのTRGCKEG0, TRGCKEG1ビットで有効エッジを選択 対応するポート・モード・レジスタのビットが1 (入力モード)

図9-12 カウントソースのブロック図



備考 TRGTCK0~TRGTCK2: TRGCRレジスタのビット

TRGCLK_j端子(j = A, B)に入力する外部クロックのパルス幅は, タイマRGの動作クロック (f_{CLK})の3サイクル以上にしてください。

(2) バッファ動作

TRGIOR レジスタの TRGBUFA, TRGBUFB ビットで, TRGGRC, TRGGRD レジスタを TRGGRA, TRGGRB レジスタのバッファレジスタにできます。

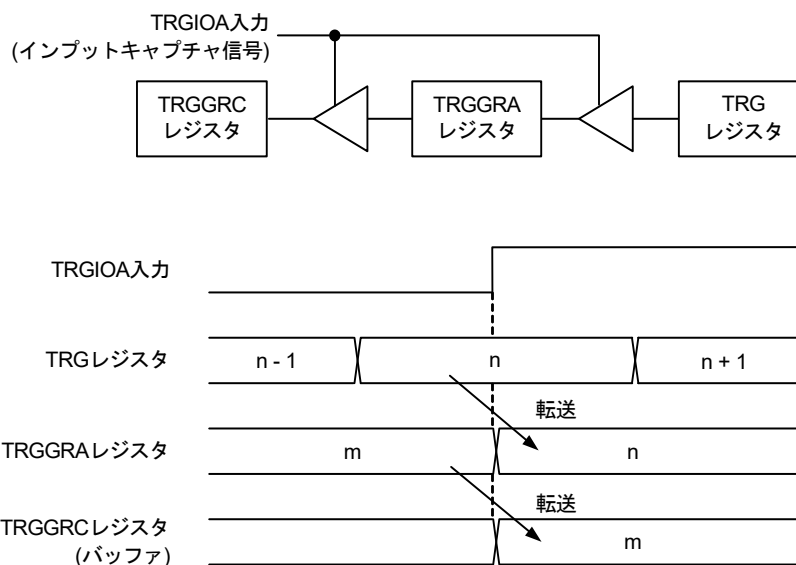
- TRGGRAのバッファレジスタ : TRGGRC レジスタ
- TRGGRBのバッファレジスタ : TRGGRD レジスタ

バッファ動作は, モードによって違います。表9-6に各モードのバッファ動作を, 図9-13にインプットキャプチャ機能のバッファ動作を, 図9-14にアウトプットコンペア機能のバッファ動作を示します。

表9-6 各モードのバッファ動作

機能, モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA (TRGGRB) レジスタの内容を バッファレジスタに転送
アウトプットコンペア機能	TRG レジスタと TRGGRA (TRGGRB) レジスタのコンペア一致	バッファレジスタの内容を TRGGRA (TRGGRB) レジスタに転送

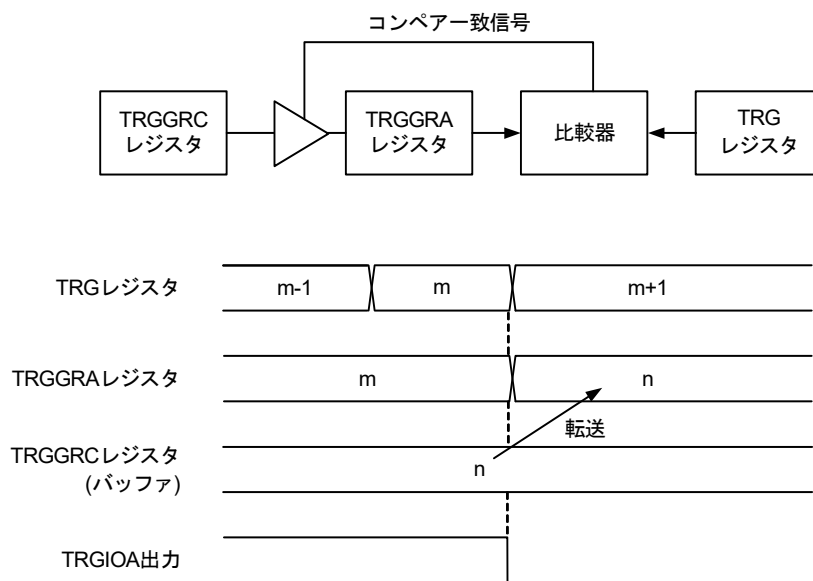
図9-13 インプットキャプチャ機能のバッファ動作



上図は次の条件の場合です。

- TRGIORレジスタのTRGBUFAビットが1 (TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
- TRGIORレジスタのTRGIOA2~TRGIOA0ビットが100B (立ち上がりエッジでインプットキャプチャ)

図9-14 アウトプットコンペア機能のバッファ動作



上図は次の条件の場合です。

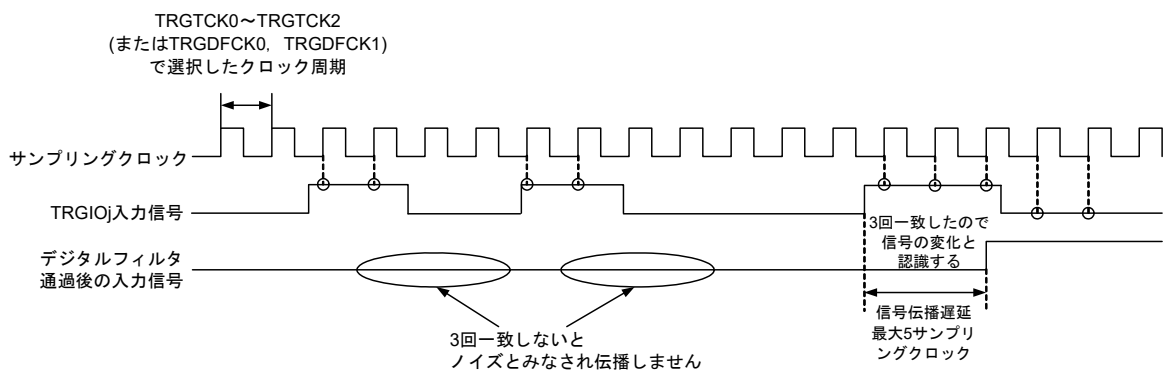
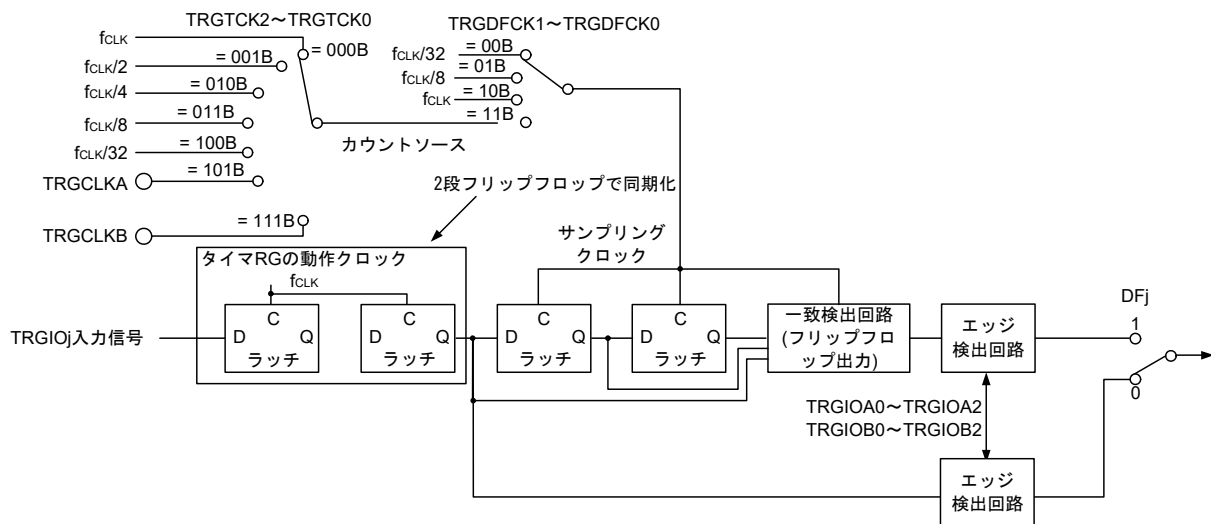
- ・ TRGIORレジスタのTRGBUFAビットが1 (TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
- ・ TRGIORレジスタのTRGIOA2～TRGIOA0ビットが001B (コンペア一致でL出力)

(3) デジタルフィルタ

TRGIOj 入力 (j = A, B) をサンプリングし, 3 回一致したらレベルが確定したとみなします。デジタルフィルタ機能, サンプリングクロックは TRGMR レジスタで選択してください。

図 9 - 15 にデジタルフィルタのブロック図を示します。

図 9 - 15 デジタルフィルタのブロック図



備考
j = A, B

TRGTCK0~TRGTCK2 : TRGCR レジスタのビット
TRGDFCK0, TRGDFCK1, TRGDFj : TRGMR レジスタのビット
TRGIOA0~TRGIOA2, TRGIOB0~TRGIOB2 : TRGIOR のレジスタのビット

(4) イベント・リンク・コントローラ(ELC)からのイベント入力

ELCからのイベント入力によって、タイマRGはインプットキャプチャ動作Bをします。このとき、TRGSRレジスタのTRGIMFBビットが1になります。

この機能を使用する場合、タイマモード/位相計数モードのインプットキャプチャ機能を選択し、TRGMRレジスタのTRGELCICEビットを1にしてください。その他のモード(タイマモード/位相計数モードのアウトプットコンペア機能, PWMモード)では無効です。

設定手順

- (a) ELCのイベントリンク先をタイマRGに設定する。
- (b) TRGMRレジスタのTRGELCICEビットを1にする。

(5) イベント・リンク・コントローラ(ELC)へのイベント出力

表9-7にTRGIMFAビットによるELCへのイベント出力を示します。表9-8にTRGIMFBビットによるELCへのイベント出力を示します。

表9-7 TRGIMFAビットによるELCへのイベント出力

モード, 機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGIOA0, TRGIOA1ビットで設定したTRGIOAのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGレジスタとTRGGRAレジスタのコンペア一致
PWMモード(TRGPWM = 1)	TRGレジスタとTRGGRAレジスタのコンペア一致

備考 TRGPWM : TRGMRレジスタのビット

TRGIOA0, TRGIOA1, TRGIOA2 : TRGIORレジスタのビット

表9-8 TRGIMFBビットによるELCへのイベント出力

モード, 機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGIOB0, TRGIOB1ビットで設定したTRGIOBのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGレジスタとTRGGRBレジスタのコンペア一致
PWMモード(TRGPWM = 1)	TRGレジスタとTRGGRBレジスタのコンペア一致

備考 TRGPWM : TRGMRレジスタのビット

TRGIOB0, TRGIOB1, TRGIOB2 : TRGIORレジスタのビット

9.4.2 タイマモード(インプットキャプチャ機能)

インプットキャプチャ/アウトプットコンペア端子 (TRGIOA, TRGIOB)の入力エッジを検出して TRG レジスタの値を TRGGRA, TRGGRB レジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

表9-9にインプットキャプチャ機能の仕様を示します。

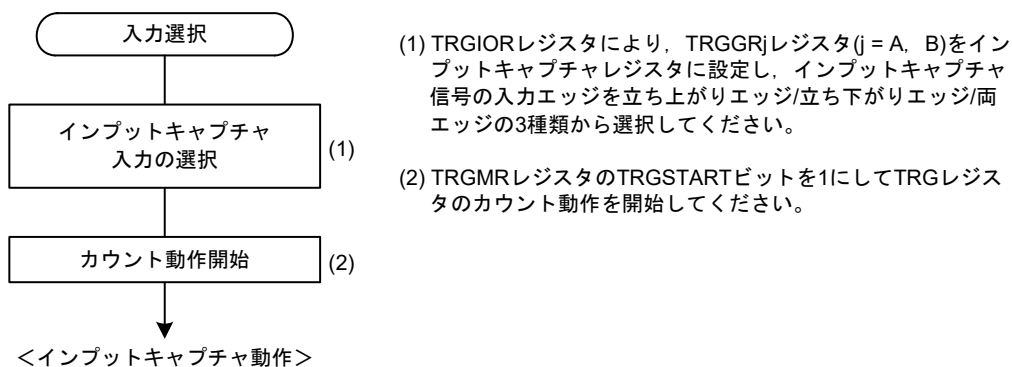
表9-9 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKA, TRGCLKB 端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 00B (フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRGMR レジスタの TRGSTART ビットへの 1 (カウント開始)書き込み
カウント停止条件	TRGMR レジスタの TRGSTART ビットへの 0 (カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOA, TRGIOB 端子入力の有効エッジ) TRG レジスタオーバフロー
TRGIOA, TRGIOB 端子機能	I/Oポート, またはインプットキャプチャ入力(1端子ごとに選択)
TRGCLKA, TRGCLKB 端子機能	I/Oポート, または外部クロック入力
タイマの読み出し	TRG レジスタを読むと, カウント値が読める
タイマの書き込み	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRGIOA, TRGIOB 端子のいずれか1本または両方 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がりエッジと立ち下がりエッジの両方 TRG レジスタを 0000Hにするタイミング オーバフロー, またはインプットキャプチャ時 バッファ動作(9.4.1 (2) バッファ動作参照) デジタルフィルタ(9.4.1 (3) デジタルフィルタ参照) ELCからのイベント入力信号(インプットキャプチャ)によるインプットキャプチャ動作

(1) インพุットキャプチャ動作の設定手順例

図9 - 16にインพุットキャプチャ動作の設定手順例を示します。

図9 - 16 インพุットキャプチャ動作の設定手順例



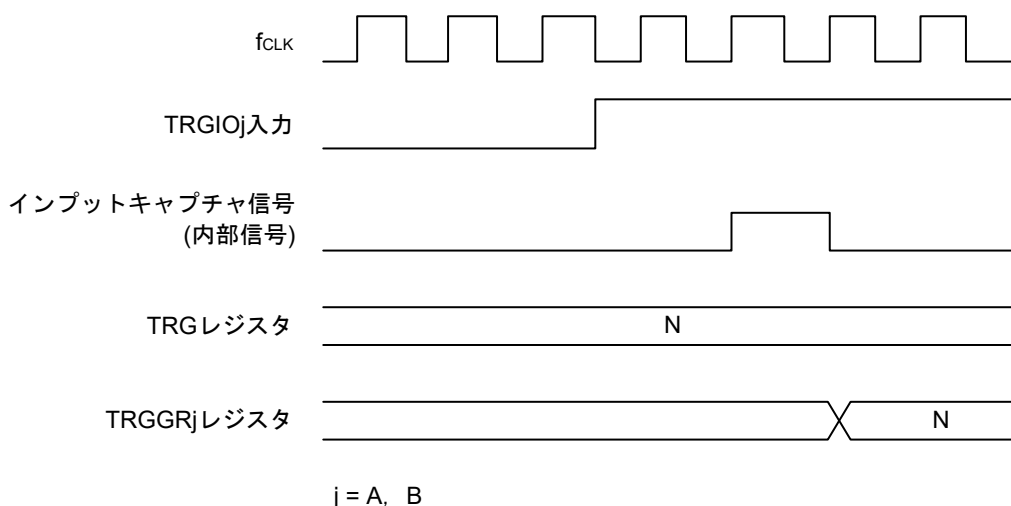
(2) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は, TRGIOR レジスタの設定により立ち上がりエッジ/立ち下がりエッジ/
 両エッジの選択ができます。

図9 - 17にインพุットキャプチャ入力信号タイミングを示します。

インพุットキャプチャ入力信号のパルス幅は, 単エッジの場合は1.5 fCLK以上, 両エッジの場合は
 2.5 fCLK以上必要です。

図9 - 17 インพุットキャプチャ入力信号タイミング



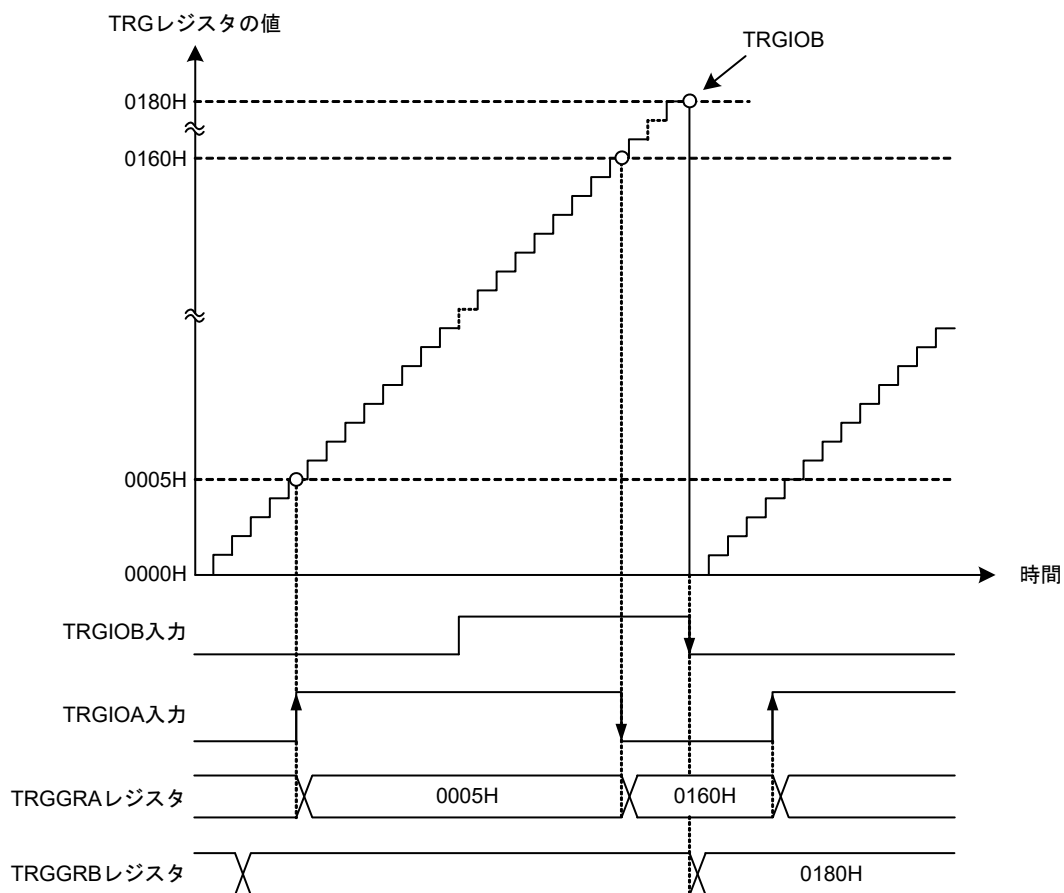
(3) 動作例

図9-18にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり/立ち下りの両エッジ, またTRGIOB端子のインプットキャプチャ入力エッジは立ち下りエッジを選択し, TRGレジスタはTRGGRBレジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

- (a) TRGIORレジスタにより, TRGGRA, TRGGRBレジスタをインプットキャプチャレジスタに設定し, インプットキャプチャ信号の入力エッジを立ち上がりエッジ/立ち下りエッジ/両エッジの3種類から選択してください。
- (b) TRGMRレジスタのTRGSTARTビットを1にしてTRGレジスタのカウンタ動作を開始してください。

図9-18 インプットキャプチャ動作例



TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって, インプットキャプチャA, インプットキャプチャBによりカウンタクリア動作させることができます。図9-18では, TRGCCLR1, TRGCCLR0ビットを10Bに設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウンタをクリアする設定をし, タイマカウンタ値がFFFFHにおいてインプットキャプチャ動作をした場合, カウンタソースとインプットキャプチャ動作のタイミングによって, 割り込みフラグであるTRGIMFA, TRGIMFBビットとTRGOVFビットが同時に1となる場合があります。

9.4.3 タイマモード(アウトプットコンペア機能)

TRGレジスタの内容と、TRGGRA, TRGGRBレジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき、TRGIOA, TRGIOB端子から任意のレベルを出力します。

表9-10にアウトプットコンペア機能の仕様を示します。

表9-10 アウトプットコンペア機能の仕様

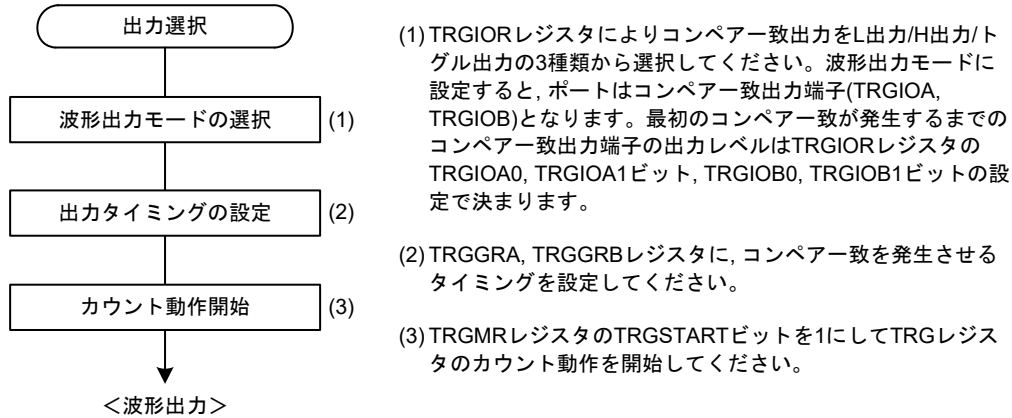
項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが00B(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが01B, 10B(TRGGRjのコンペア一致でTRGを0000Hにする)の場合 $1/fk \times (n + 1)$ n: TRGGRjレジスタの設定値
波形出カタイミング	コンペア一致(TRGレジスタ内容とTRGGRjレジスタの内容が一致)
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー
TRGIOA, TRGIOB端子機能	I/Oポート, またはアウトプットコンペア出力(1端子ごとに選択)
TRGCLKA, TRGCLKB端子機能	I/Oポート, または外部クロック入力
タイマの読み出し	TRGレジスタを読むと, カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRGIOA, TRGIOB端子のいずれか1本または両方 コンペア一致時の出力レベル選択 L出力, H出力, または出力レベル反転 TRGレジスタを0000Hにするタイミング オーバフロー, またはTRGGRjレジスタのコンペア一致 バッファ動作(9.4.1 (2) バッファ動作参照)

備考 j = A, B

(1) コンペアー一致による波形出力の設定手順例

図9-19にコンペアー一致による波形出力の設定手順を示します。

図9-19 コンペアー一致による波形出力の設定手順

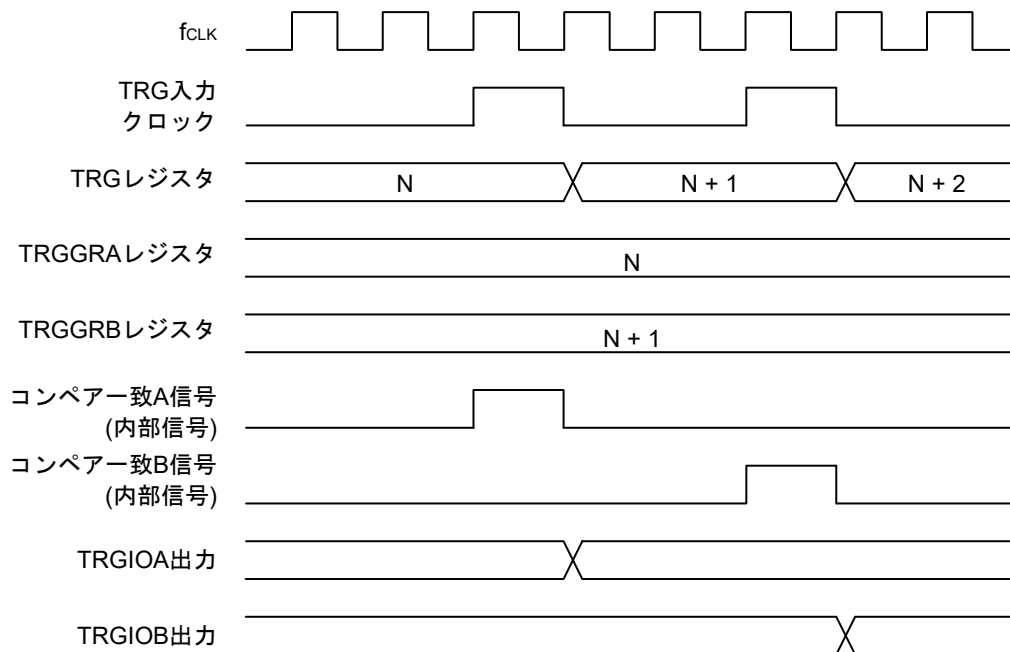


(2) アウトプットコンペアー出力タイミング

コンペアー一致信号は、TRGレジスタとTRGGRA, TRGGRBレジスタが一致した最後のステート(TRGレジスタが一致したカウント値を更新するタイミング)で発生します。コンペアー一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペアー出力端子(TRGIOA, TRGIOB)に出力されます。TRGレジスタとTRGGRA, TRGGRBレジスタが一致した後、TRGレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図9-20にアウトプットコンペアー出力タイミングを示します。

図9-20 アウトプットコンペアー出力タイミング



(3) 動作例

図9 - 21にL出力, H出力の動作例を示します。

TRGレジスタをフリーランニングカウント動作, またコンペアー一致AによりL出力, コンペアー一致BによりH出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には, 端子のレベルは変化しません。

図9 - 21 L出力, H出力の動作例

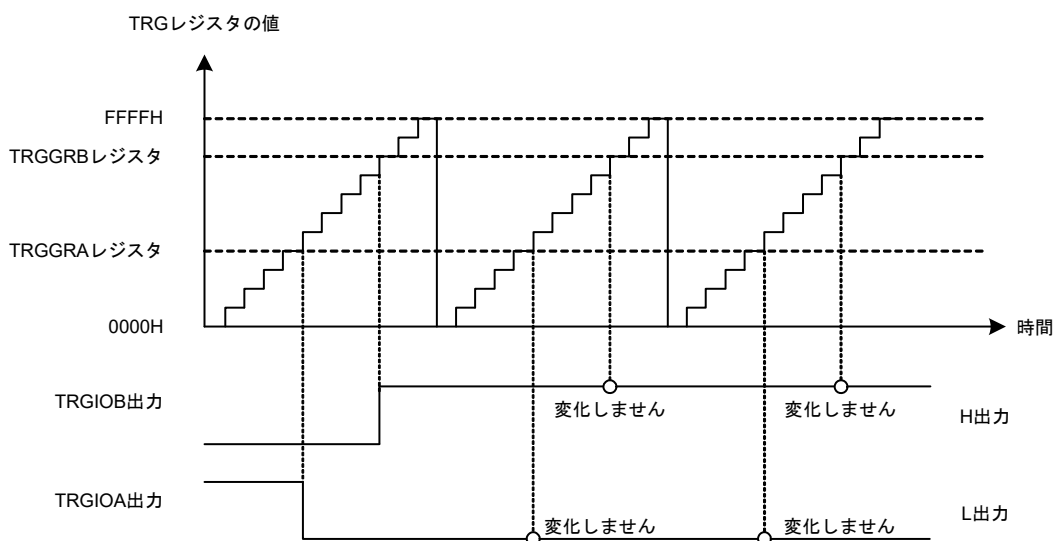
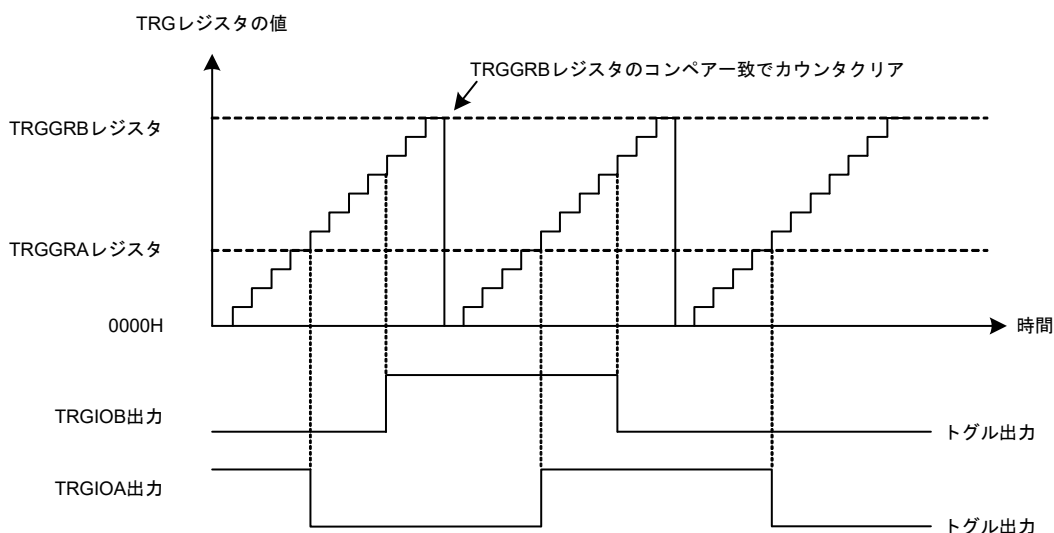


図9-22にトグル出力の動作例を示します。TRGレジスタを周期カウント動作(コンペアー一致Bでカウンタクリア)に、コンペアー一致A, Bともトグル出力となるように設定した場合の例です。

- (a) TRGIORレジスタによりコンペアー一致出力をL出力/H出力/トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペアー一致出力端子(TRGIOA, TRGIOB)となります。
- (b) TRGGRA, TRGGRBレジスタに、コンペアー一致を発生させるタイミングを設定してください。
- (c) TRGMRレジスタのTRGSTARTビットを1にしてTRGレジスタのカウント動作を開始してください。

動作中に、TRGSTARTビットを0にしても、コンペアー一致出力端子(TRGIOA, TRGIOB)は初期化されません。初期値に戻すには、TRGIORレジスタに書き込み動作することにより出力が初期化されます(ただし、TRGIORレジスタのTRGIOA0, TRGIOA1, TRGIOB0, TRGIOB1ビットによる出力設定をL出力、もしくはH出力に設定している場合にのみ初期化されます)。TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって、インプットキャプチャ/コンペアー一致(TRGGRAレジスタ, TRGGRBレジスタとの一致)によりタイマRGのカウンタ値はリセットされます。このとき、コンペアー期待値がFFFFHの場合、オーバフロー動作と同様にFFFFHから0000Hとなり、TRGOVFビットは1となります。この動作は、タイマRGのカウンタ値とコンペアー期待値とのアウトプットコンペアー機能を使用するモードも同様となります。

図9-22 トグル出力の動作例



9.4.4 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。PWMモードに設定された出力端子はTRGIORレジスタの出力の設定は無効となります。TRGGRAレジスタにはPWM波形のH出力タイミングを設定し、TRGGRBレジスタにはPWM波形のL出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペアー一致をTRGレジスタのカウントクリア要因とすることにより、デューティ0～100%のPWM波形をTRGIOA端子より出力することができます。

表9-11にPWMモードの仕様を、表9-12にPWM出力端子とレジスタの組み合わせを示します。

TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペアー一致が発生しても出力値は変化しません。

表9-11 PWMモードの仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
PWM波形	<ul style="list-style-type: none"> TRGGRAレジスタにPWM波形のH出力タイミングを設定 TRGGRBレジスタにPWM波形のL出力タイミングを設定
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー
TRGIOA端子機能	PWM出力
TRGIOR端子機能	I/Oポート
TRGCLKA, TRGCLKB端子機能	I/Oポート,または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> TRGレジスタを0000Hにするタイミング オーバフロー,またはTRGGRjレジスタのコンペアー一致 バッファ動作(9.4.1 (2) バッファ動作参照)

備考 j = A, B

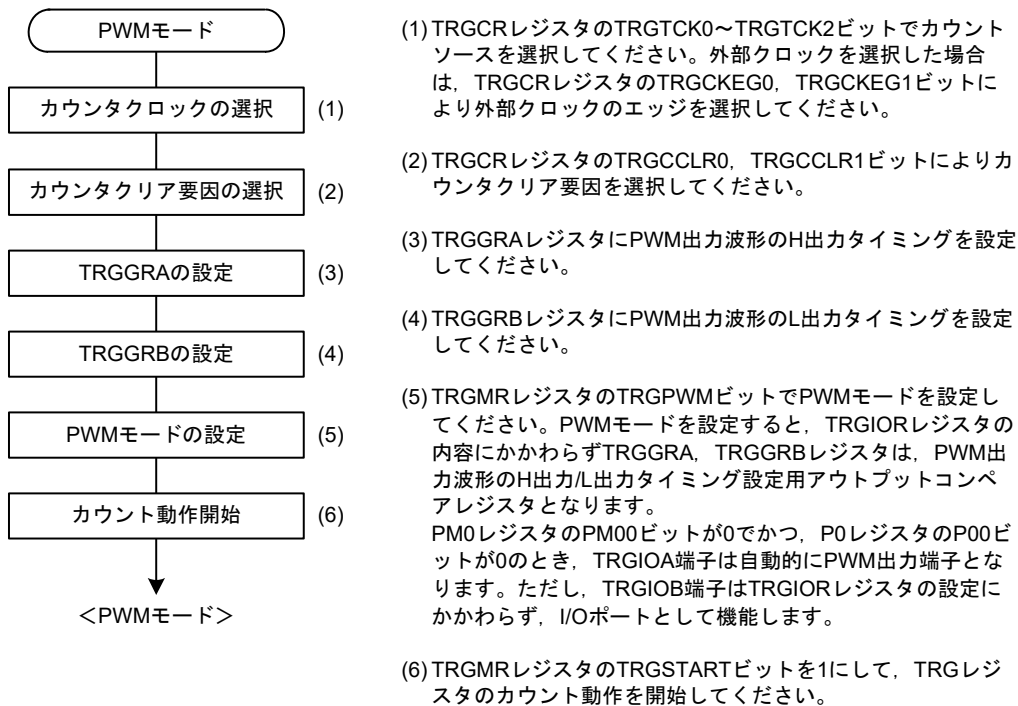
表9-12 PWM出力端子とレジスタの組み合わせ

出力端子	H出力	L出力
TRGIOA	TRGGRA	TRGGRB
TRGIOR	I/Oポートとして機能	

(1) PWMモードの設定手順例

図9 - 23にPWMモードの設定手順例を示します。

図9 - 23 PWMモードの設定手順例



(2) 動作例

図9-24にPWMモードの動作例(1)を示します。

PM0レジスタのPM00ビットが0でかつ、P0レジスタのP00ビットが0のとき、PWMモードに設定するとTRGIOA端子は自動的に出力端子となり、TRGGRAレジスタのコンペアー一致でH出力、TRGGRBレジスタのコンペアー一致でL出力となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、I/Oポートとして機能します。

TRGレジスタのカウンタクリア要因をTRGGRA、TRGGRBレジスタのコンペアー一致とした場合の例です。TRGIOA端子の初期状態はカウンタクリア要因だけで決まります。この対応関係を表9-13に示します。

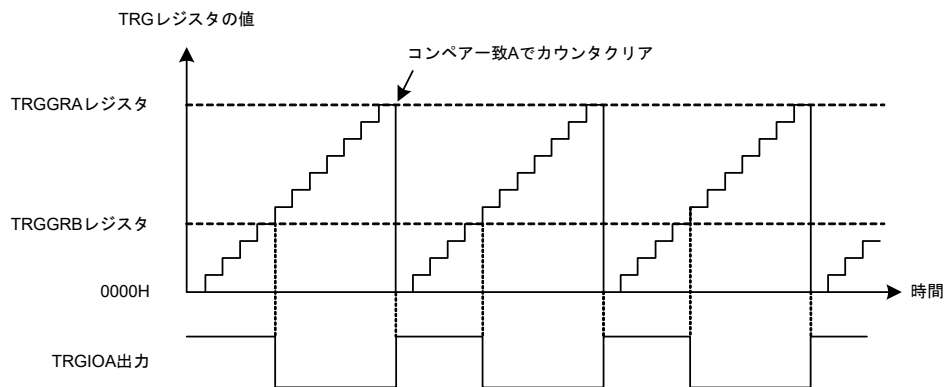
この初期化はTRGMRレジスタのTRGSTARTビットが0(カウント停止)時に行われます。

表9-13 TRGIOA端子の初期状態とカウンタクリア要因の対応関係

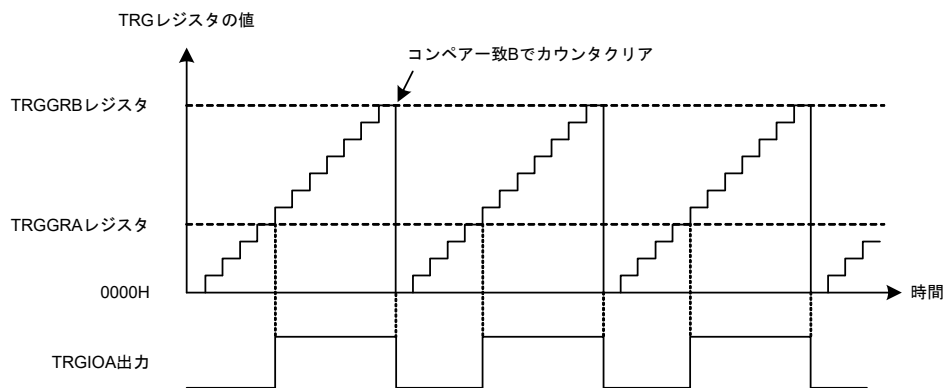
カウンタクリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペアー一致	H
TRGGRBレジスタのコンペアー一致	L

TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが00B(クリア禁止)の場合、TRGIOA端子の初期状態はHとなります。

図9-24 PWMモードの動作例(1)



(a) TRGGRAレジスタのコンペアー一致でカウンタクリア



(b) TRGGRBレジスタのコンペアー一致でカウンタクリア

図9-25にPWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を示します。

カウンタクリア要因をTRGGRBレジスタのコンペアー一致に設定し、

- TRGGRAレジスタの設定値 > TRGGRBレジスタの設定値

としたとき、PWM波形はデューティ0%となります。

また、カウンタクリア要因をTRGGRAレジスタのコンペアー一致に設定し、

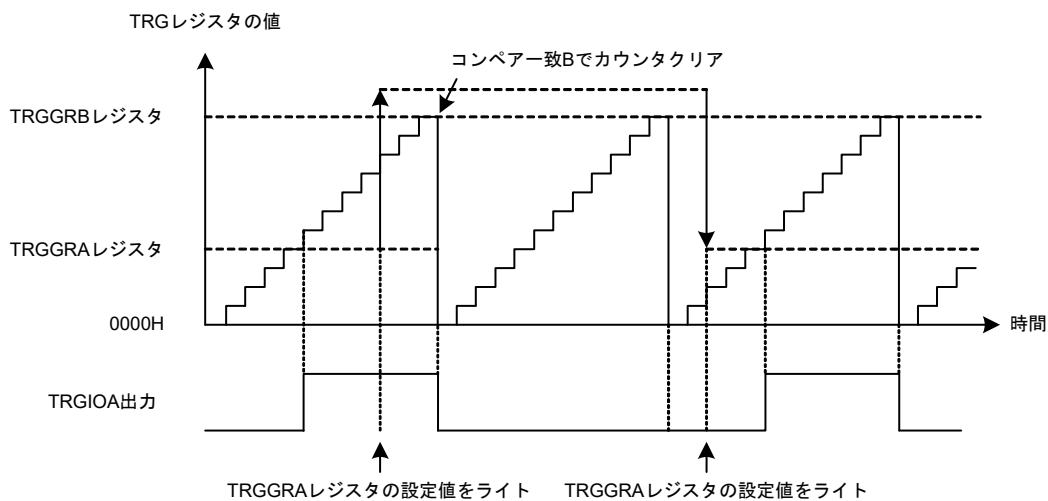
- TRGGRBレジスタの設定値 > TRGGRAレジスタの設定値

としたときPWM波形はデューティ100%となります。

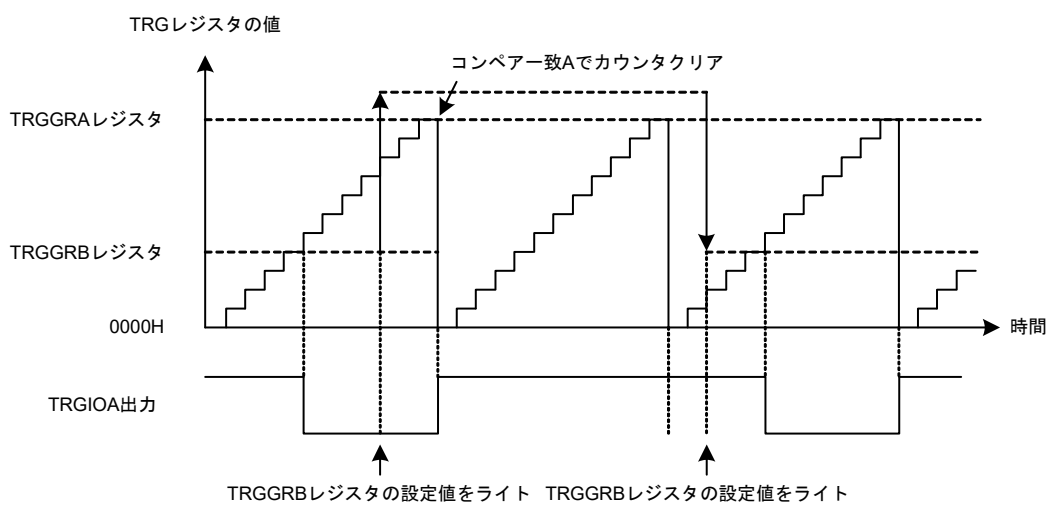
- TRGGRAレジスタの設定値 = TRGGRBレジスタの設定値

としたとき、コンペアー一致が発生しても出力値は変化しません。

図9-25 PWMモードの動作例(2)



(a) デューティ0%の場合



(b) デューティ100%の場合

9.4.5 位相計数モード

位相計数モードは、2本のTRGCLKA, TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

PM0レジスタのPM00ビットとPM01ビットが1のとき位相計数モードに設定すると、TRGCRレジスタのTRGTCK0～TRGTCK2ビット、TRGCKEG0, TRGCKEG1ビットの設定にかかわらず、TRGCLKA, TRGCLKB端子は自動的に外部クロック入力端子として機能し、またTRGレジスタはTRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、加算/減算されます。ただし、TRGCRレジスタのTRGCCLR0, TRGCCLR1ビット、TRGIOR, TRGIER, TRGSR, TRGGRA, TRGGRBレジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能やPWM出力機能や割り込み要因を使用することができます。

TRGレジスタは、CNTEN0～CNTEN7ビットにより、TRGCLKA, TRGCLKB端子の立ち上がり/立ち下りの両エッジでカウントします。

表9-14に位相計数モードの仕様を、表9-15にTRGレジスタの加算/減算条件を示します。

表9-14 位相計数モードの仕様

項目	仕様
カウントソース	TRGCLKj端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOj入力の有効エッジ) コンペアー一致 (TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー TRGレジスタアンダフロー
TRGIOA端子機能	I/Oポート、インプットキャプチャ入力、アウトプットコンペア出力、またはPWM出力
TRGIOB端子機能	I/Oポート、インプットキャプチャ入力、またはアウトプットコンペア出力
TRGCLKA, TRGCLKB端子機能	外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> カウンタの加算/減算条件選択 TRGCNTCレジスタのCNTEN0～CNTEN7ビットで選択 インプットキャプチャ/アウトプットコンペア機能, PWM機能を使用可

備考 j = A, B

表9-15 TRGレジスタの加算/減算条件

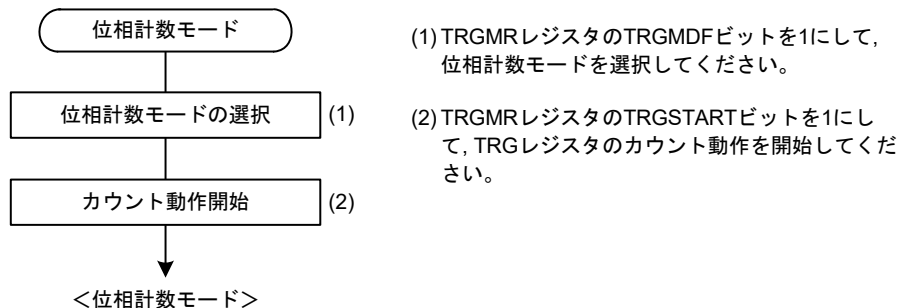
TRGCLKB端子	↑	H	↓	L	H	↓	L	↑
TRGCLKA端子	L	↑	H	↓	↓	L	↑	H
TRGCNTCレジスタの CNTEN0～CNTEN7ビット	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
カウント方向注	+1	+1	+1	+1	-1	-1	-1	-1

注 TRGCNTCレジスタの各ビットが1(ダウンカウントまたはアップカウント)のときのカウント方向を示しています。0(無効)のとき、カウントしません。

(1) 位相計数モードの設定手順例

図9-26に位相計数モードの設定手順例を示します。

図9-26 位相計数モードの設定手順例



(2) 動作例

図9-27～図9-30に位相計数モードの動作例を示します。

位相計数モードでは、TRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり(↑)/立ち下がり(↓)の両エッジで加算/減算されます。

図9-27 位相計数モードの動作例1

・TRGCNTCレジスタの値がFFHの場合

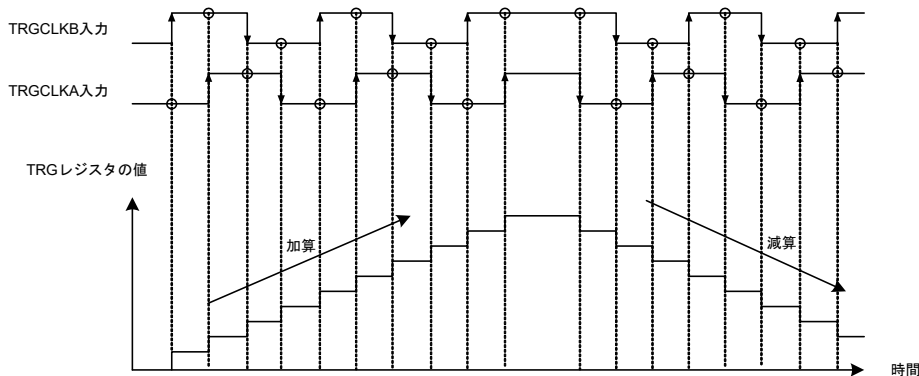


図9-28 位相計数モードの動作例2

・TRGCNTCレジスタの値が24Hの場合

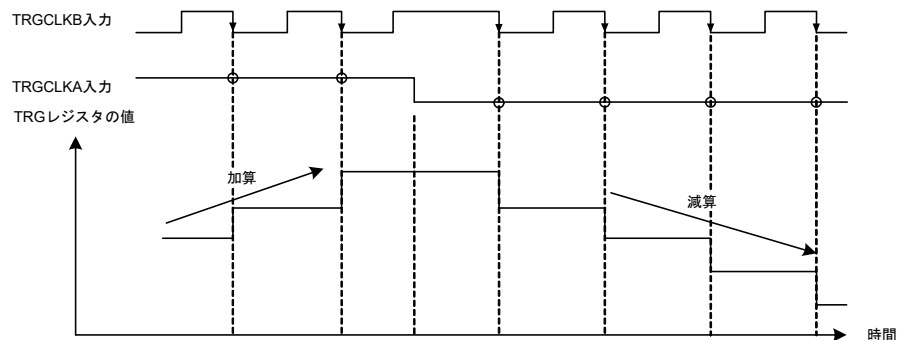


図9 - 29 位相計数モードの動作例3

・ TRGCNTCレジスタの値が28Hの場合

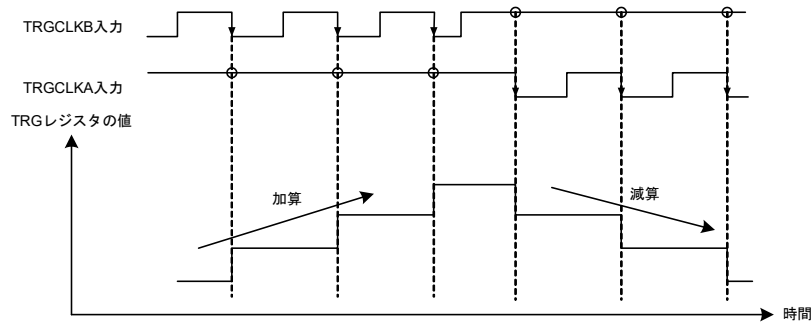
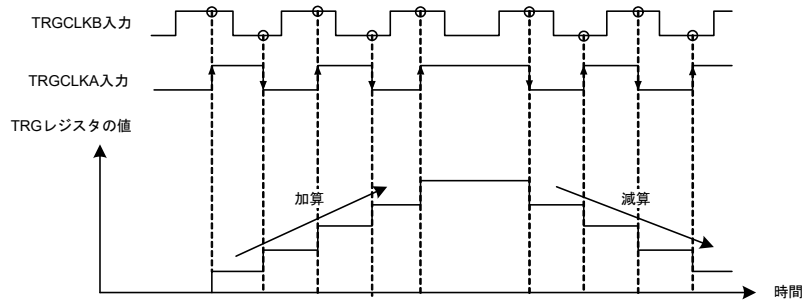


図9 - 30 位相計数モードの動作例4

・ TRGCNTCレジスタの値が5AHの場合



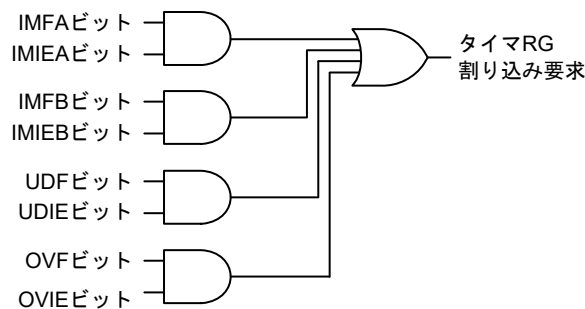
9.5 タイマRG 割り込み

タイマRGは、4つの要因からタイマRG割り込み要求を発生します。表9-16にタイマRG割り込み関連レジスタを、図9-31にタイマRG割り込みのブロック図を示します。

表9-16 タイマRG割り込み関連レジスタ

	タイマRGステータスレジスタ	タイマRG割り込み許可レジスタ	割り込み要求フラグ(レジスタ)	割り込みマスク・フラグ(レジスタ)	優先順位指定フラグ(レジスタ)
タイマRG	TRGSR	TRGIER	TRGIF (IF2H)	TRGMK (MK2H)	TRGPR0 (PR02H) TRGPR1 (PR12H)

図9-31 タイマRG割り込みのブロック図



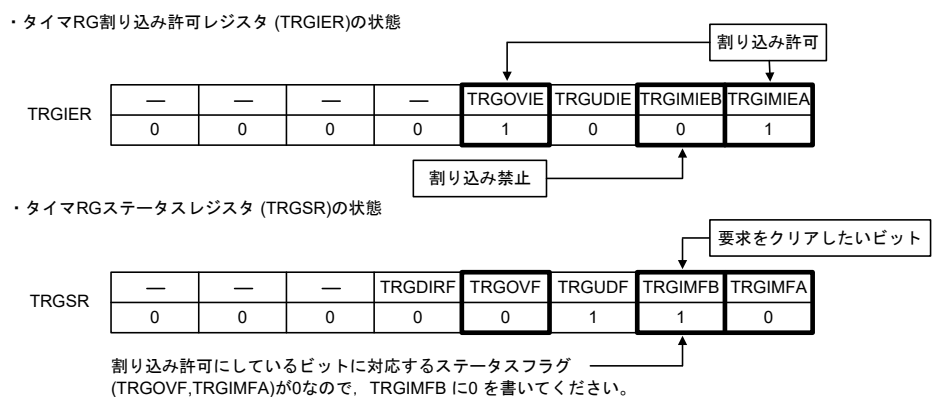
IMFA, IMFB, UDF, OVF: TRGSRレジスタのビット

IMIEA, IMIEB, UDIE, OVIE: TRGIERレジスタのビット

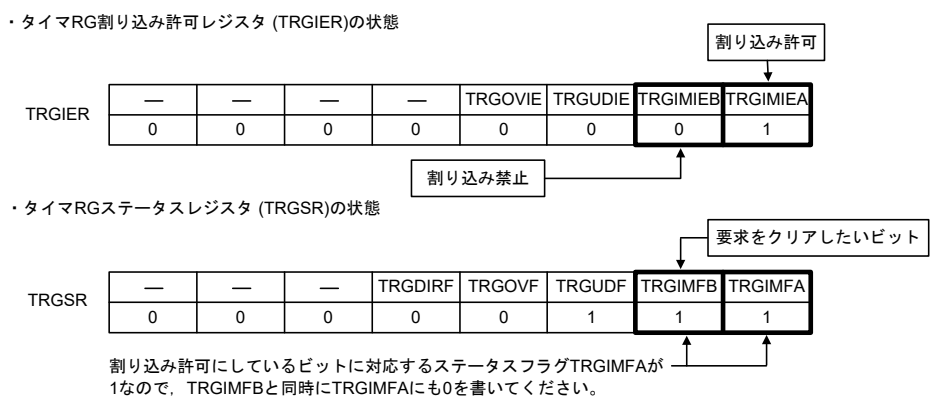
タイマRGは、複数の割り込み要求要因から1つの割り込み要因(タイマRG割り込み)を発生するため、タイマRD割り込みを除く他のマスカブル割り込みとは次のような違いがあります。

- TRGSRレジスタのビットが1で、それに対するTRGIERレジスタのビットが1(割り込み許可)の場合、IF2HレジスタのTRGIFビットが1(割り込み要求あり)になります。
- TRGIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判定してください。
- TRGSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。
- タイマRGの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にするとき、その割り込みがタイマRG割り込み許可レジスタi(TRGIER)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

- (a) タイマRG 割り込み許可レジスタ (TRGIER) を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書き込んでください。
- (b) タイマRG 割り込み許可レジスタ (TRGIER) の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書き込んでください。
- (例) TRGIMIEA, TRGOVIE が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合



- (c) タイマRG 割り込み許可レジスタ (TRGIER) の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書き込んでください。
- (例) TRGIMIEA が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

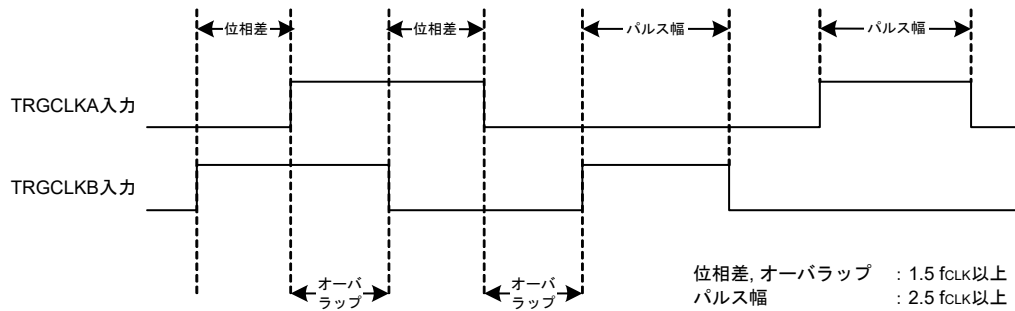


9.6 タイマRG使用上の注意事項

9.6.1 位相計数モード時の位相差, オーバラップ, およびパルス幅

TRGCLKA, TRGCLKB 端子からの外部入力信号の位相差およびオーバラップはそれぞれ1.5 fCLK以上, パルス幅は2.5 fCLK以上が必要です。図9-32に位相計数モード時の位相差, オーバラップ, およびパルス幅を示します。

図9-32 位相計数モード時の位相差, オーバラップ, およびパルス幅



9.6.2 モード切り替え

- 動作中にモードを切り替える際は, TRGMRレジスタのTRGSTARTビットを0 (カウント停止)にした後, 行ってください。
- モード切り替え後, 動作開始前にTRGIFビットを0にしてください。
詳細は, 第24章 割り込み機能を参照してください。

9.6.3 カウントソース切り替え

- カウントソースを切り替える際は, カウントを停止した後, 切り替えてください注。

変更手順

- (1) TRGMRレジスタのTRGSTARTビットを0 (カウント停止)にする。
- (2) TRGCRレジスタのTRGTCK0~TRGTCK2ビットを変更する。

注 カウント動作中に書き換え禁止のレジスタまたはビットは以下のとおりです。

- TRGMRレジスタのTRGSTARTを除くすべてのビット
- TRGCNTCレジスタ
- TRGCRレジスタ
- TRGIORレジスタ

9.6.4 TRGIOA, TRGIOB 端子の設定手順

リセット後, TRGIOA, TRGIOB 端子と共用している I/O ポートは入力ポートとして機能します。

- TRGIOA, TRGIOB 端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定, 初期値設定/出力許可設定をする(初期値設定と許可設定を同じSFRで行うため)。
- (2) TRGIOA, TRGIOB 端子に対応するポート・レジスタのビットを0にする。
- (3) TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを出力モードに設定する (TRGIOA, TRGIOB 端子から出力開始)。
- (4) カウントを開始する (TRGMR レジスタの TRGSTART = 1)。

- TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合, 以下の手順で設定してください。

変更手順

- (1) TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを入力モードに設定する (TRGIOA, TRGIOB 端子から入力開始)。
- (2) インพุットキャプチャ機能に設定する。
- (3) カウントを開始する (TRGMR レジスタの TRGSTART = 1)。

- TRGIOA, TRGIOB 端子を出力モードから入力モードに切り替える場合, 端子の状態によりインพุットキャプチャ動作することがあります。デジタルフィルタを使用しない場合, CPUクロックの2サイクル以上経過した後で, エッジ検出を行います。デジタルフィルタを使用する場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

9.6.5 外部クロック TRGCLKA, TRGCLKB

TRGCLKj 端子 (j = A, B) に入力する外部クロックのパルス幅は, タイマRGの動作クロック (fCLK) の3サイクル以上にしてください。

9.6.6 SFR リード/ライトアクセス

タイマRGを設定するには、最初にPER1レジスタのTRGENビットを1にしてください。TRGENビットが0の場合は、タイマRGの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・レジスタ、ポート・モード・レジスタは除く)。

(1) TRGMRレジスタ

デジタルフィルタクロック切り替えの際、以下の設定手順を行ってください。

- (a) TRGSTARTビットが0(カウント停止)の状態において、TRGMRレジスタのTRGDFA, TRGDFBビット(TRGIOA, TRGIOB 端子のデジタルフィルタ機能選択ビット), TRGMRレジスタのTRGDFCK0, TRGDFCK1ビット(デジタルフィルタ機能で使用するクロック選択ビット)を設定する。
- (b) TRGSTARTビットを1に設定する。

ただし、デジタルフィルタを設定しない場合、リセット直後のTRGDFCK1, TRGDFCK0 = 00Bから変更しない場合は、1回で設定することが可能です。

インプットキャプチャの動作要因として、外部入力端子(TRGIOA, TRGIOB)の他に、ELCからのイベント入力を選択できます。この機能を使用したい場合はTRGMRレジスタのTRGELCICEビットを1に設定し、インプットキャプチャ機能(インプットキャプチャの有効エッジは立ち上がりエッジ(TRGIOB2 ~ TRGIOB0 = 100B))に設定してください。PWMモードやタイマモードのアウトプットコンペア機能時(TRGPWM = 1, TRGIOB2 = 0)、この機能は無効となります。

(2) TRGレジスタ

TRGMRレジスタへの書き込み動作とタイマRG動作条件によるカウンタリセット動作は、TRGMRレジスタへの書き込み動作を優先動作としています。

9.6.7 カウント停止時のインプットキャプチャ動作

インプットキャプチャモードでは、TRGMRレジスタのTRGSTARTビットが0(カウント停止)のときも、TRGIORレジスタのTRGIOj0, TRGIOj1ビットで選択したエッジがTRGIOj端子に入力されると、TRGIOj入力の有効エッジのインプットキャプチャ割り込み要求が発生します(j = A, B)。

第10章 タイマRX

10.1 タイマRXの機能

タイマRXは、ソフトウェアトリガ、もしくはコンパレータ1とタイマRDをトリガとしてカウントする、インプット・キャプチャ・タイマです。

タイマRXの動作を次に示します。

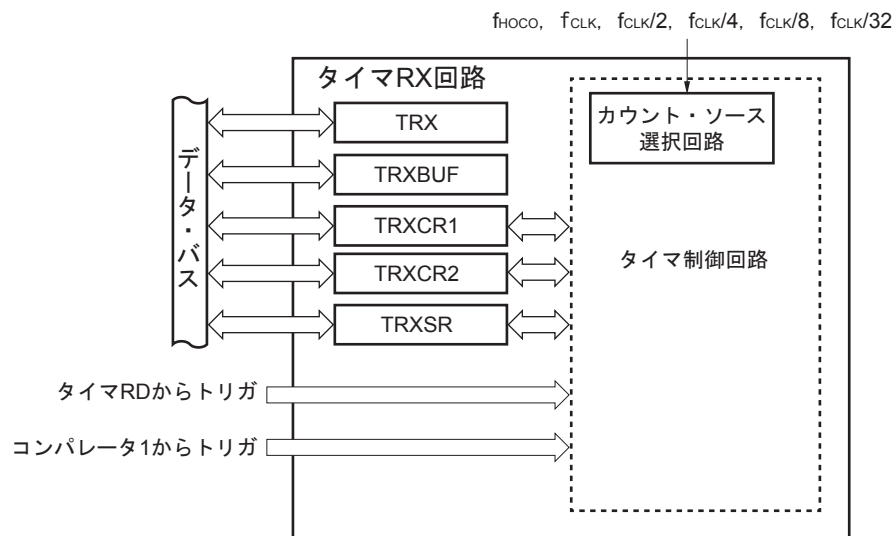
- カウント・スタート動作 : タイマRDからのトリガ、又はソフトウェアで行います。
- カウント・ストップ動作 : コンパレータ1からのトリガ、又はソフトウェアで行います。
- インプット・キャプチャ動作 : コンパレータ1の割り込みにより、カウント値をバッファに転送します。
- カウント・リセット動作 : タイマRDまたはコンパレータ1からのトリガによって、カウントをリセットします。

タイマRXの動作クロックは、fCLKまたは、fHOCOです。

10.2 タイマRXの構成

図10-1にタイマRXのブロック図を示します。

図10-1 タイマRXのブロック図



10.3 タイマRXを制御するレジスタ

表10-1にタイマRXを制御するレジスタを示します。

表10-1 タイマRXを制御するレジスタ

レジスタ名	略号
周辺イネーブル・レジスタ1	PER1
タイマRXカウント・レジスタ	TRX
タイマRXカウント・バッファ・レジスタ	TRXBUF
タイマRX機能制御レジスタ1	TRXCR1
タイマRX機能制御レジスタ2	TRXCR2
タイマRXステータス・レジスタ	TRXSR

10.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRXを使用する場合は、必ずTRXENビットを1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMPEN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN

注意1. タイマRXの設定をする際には、必ず最初にTRXEN = 1の設定を行ってください。TRXEN = 0の場合は、タイマRXの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. タイマRXのカウントソースにf_{HOCO}を選択する場合、PER1レジスタのTRXENビットをセットする前に、f_{CLK}をf_Hに設定してください。f_{CLK}をf_H以外のクロックに変更するときは、PER1レジスタのTRXENビットをクリアしたあとに変更してください。

TRXEN	タイマRXの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRXで使用するSFRへのライト不可。 ・タイマRXはリセット状態。
1	入カクロック供給 ・タイマRXで使用するSFRへのリード/ライト可。

10.3.2 タイマRXカウンタ (TRX)

図10-3 タイマRXカウンタ (TRX) のフォーマット

アドレス : F0350H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRX																

—	機能	設定範囲
ビット15~0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローするとTRXSRレジスタのTRXOVFビットが1になります。	0000H~FFFFH

注意 オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1, PER1レジスタのTRXEN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, f_{CLK} を f_{IH} に設定し TRXEN = 1 にセットしたあとに読み出してください。

10.3.3 タイマRXカウント・バッファ・カウンタ (TRXBUF)

図10-4 タイマRXカウント・バッファ・カウンタ (TRXBUF) のフォーマット

アドレス : F0352H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRXBUF																

—	機能	設定範囲
ビット15~0	TRXレジスタのバッファレジスタ コンパレータ1の割り込みトリガにより, TRXレジスタの値をバッファ・レジスタに転送します。	0000H~FFFFH

注意 オプション・バイト (000C2H/010C2H) のFRQSEL4 = 1, PER1レジスタのTRXEN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, f_{CLK} を f_{IH} に設定し TRXEN = 1 にセットしたあとに読み出してください。

10.3.4 タイマRX機能制御レジスタ1(TRXCR1)

図10-5 タイマRX機能制御レジスタ1(TRXCR1)のフォーマット

アドレス : F0354H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRXCR1	TCK2	TCK1	TCK0	START_MD	TRIG_MD _SW	TRIG_MD _HW	TRD_TRIG	OVIE
	TCK2	TCK1	TCK0	カウントソース選択注				
	0	0	0	fCLK, fHoco注1				
	0	0	1	fCLK/2注2				
	0	1	0	fCLK/4注2				
	0	1	1	fCLK/8注2				
	1	0	0	fCLK/32注2				
	上記以外			設定禁止				
	START_MD	カウント開始要因選択						
	0	ソフトウェアでタイマRXカウンタのカウント開始						
	1	タイマRDからの信号をトリガとしてタイマRXカウンタのカウント開始						
	START_MD=1のとき、TRXCR2レジスタのTSTARTビットに1を設定するとカウントを開始します。							
	TRIG_MD _SW	ソフトウェアでのタイマRXリセットイネーブル信号						
	0	ソフトウェアでタイマRXのカウント・リセット禁止						
	1	ソフトウェアでタイマRXのカウント・リセット許可						
	START_MDビットが1のとき無効です。							
	TRIG_MD _HW	タイマRDからのトリガによるカウント・モード時の動作選択						
	0	タイマRXカウンタをリセットした後、カウントを開始する。						
	1	タイマRXカウンタのカウントを開始する。						
	タイマRDからのトリガでタイマRXカウンタのカウントを開始する際の動作を選択。 START_MDビットが0のとき無効です。							
	TRD_TRIG	タイマRDからのハードウェア・スタート・トリガを選択						
	0	タイマRD0のカウント開始 (TSTART0ビットを1に設定) をトリガとしてタイマRXのカウント開始						
	1	タイマRD1のカウント開始 (TSTART1ビットを1に設定) をトリガとしてタイマRXのカウント開始						
	START_MDビットが0のとき無効です。							
	OVIE	オーバーフロー割り込み許可						
	0	TRXレジスタのオーバーフロー時に割り込みを禁止						
	1	TRXレジスタのオーバーフロー時に割り込みを許可						

注 タイマRDと連携動作するとき、タイマRX動作のクロックはタイマRDの動作クロックと同じ周波数を選択してください。

- 注1. ユーザ・オプション・バイト (000C2H/010C2H)のFRQSEL4 = 0のときは f_{CLK} , FRQSEL4 = 1のときは f_{HOCO} が選択されます。タイマRDのカウンタソースに f_{HOCO} を選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、 f_{CLK} を f_{IH} に設定してください。 f_{CLK} を f_{IH} 以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。
- 注2. ユーザ・オプション・バイト (000C2H/010C2H)のFRQSEL4 = 1のときは設定しないでください。
- 注意 オプション・バイト (000C2H/010C2H)のFRQSEL4 = 1, PER1レジスタのTRXEN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、 f_{CLK} を f_{IH} に設定しTRXEN = 1にセットしたあとに読み出してください。

10.3.5 タイマRX機能制御レジスタ2 (TRXCR2)

図 10 - 6 タイマRX機能制御レジスタ2(TRXCR2)のフォーマット

アドレス : F0355H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRXCR2	0	0	0	0	0	CMP1_TCR1	CMP1_TCR0	TSTART
CMP1_TCR1	CMP1_TCR0	コンパレータ1からのトリガ発生時の動作選択						
0	0	タイマRXカウンタのカウンタ停止						
0	1	タイマRXカウンタのカウンタ値をタイマRXカウンタ・バッファ。レジスタへ転送 タイマRXカウンタはカウンタを継続						
1	0	タイマRXカウンタ値を0000Hにし、カウンタ継続						
1	1	タイマRXカウンタのカウンタ値をタイマRXカウンタ・バッファ・レジスタへ転送 タイマRXカウンタ値を0000Hにし、カウンタ継続						
TSTART	タイマRX動作開始制御注							
0	TRXカウンタ停止							
1	TRXカウンタ開始							

注 コンパレータ1からのストップ信号とTSTARTビットの操作が競合した場合、コンパレータ1からのストップ信号が優先されます。

注意 オプション・バイト(000C2H/010C2H)のFRQSEL4=1, PER1レジスタのTRXEN=0の場合、リセット時の値は不定となります。初期値を読みだす必要がある場合は、 f_{CLK} を f_{IH} に設定し、TRXEN=1にセットした後に読みだしてください。

10.3.6 タイマRXステータス・レジスタ (TRXSR)

図10-7 タイマRXステータス・レジスタ (TRXSR)のフォーマット

アドレス : F0356H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRXSR	0	0	0	0	0	0	TRXSB	TRXOVF
TRXSB	タイマRXカウンタ・ステータス・フラグ ^{注1}							
0	カウント停止							
1	カウント中							
TRXOVF	タイマRXカウンタのオーバーフロー状況 ^{注2,3}							
0	オーバーフローなし							
1	オーバーフロー発生							

注1. 読み出しのみ有効です。書き込みは無効となります。

注2. TRXOVFビットに0を書きこむとTRXOVFビットは0になりますが1を書き込んででも変化しません。

注3. タイマRXカウンタオーバーフローとTRXOVFへの0書き込みが同時に発生した場合オーバーフローが優先されます。

注意 オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1, PER1レジスタのTRXEN = 0の場合, リセット時の値は不定となります。初期値を読みだす必要がある場合は, f_{CLK}をf_{IH}に設定し, TRXEN = 1にセットした後に読みだしてください。

10.4 タイマRXの動作

タイマRXはタイマRDの信号をトリガにしてカウント開始、コンパレータ1の信号をトリガとしてカウント停止を行うことができます。

10.4.1 カウントソース

タイマRXの動作クロックはオプション・バイトとタイマRXの分周器により選択します。

(1) タイマRXのカウント・ソース

- オプション・バイト (000C2H/010C2H) でFRQSEL4=1を設定し、CPU/周辺ハードウェア・クロック周波数 (f_{CPU}) に高速オンチップ・オシレータ・クロック (f_{HOCO}) を選択している場合、タイマRXのカウント・ソースは高速オンチップ・オシレータ・クロック (f_{HOCO}) になります。
- オプション・バイト (000C2H/010C2H) でFRQSEL4=0を設定、もしくはCPU/周辺ハードウェア・クロック周波数 (f_{CPU}) に高速システム・クロック (f_{MX}) を選択している場合はタイマRXのカウント・ソースはCPU/周辺ハードウェア・クロック (f_{CPU}) になります。

(2) タイマRXのカウントソース

TRXGR1レジスタで設定した周波数を使用します。

タイマRDからの信号をトリガとしてタイマRXカウンタをカウント開始する場合、タイマRXのカウントソースはタイマRDのカウントソースと同じ周波数を選択してください。

10.4.2 タイマRXカウントスタート動作

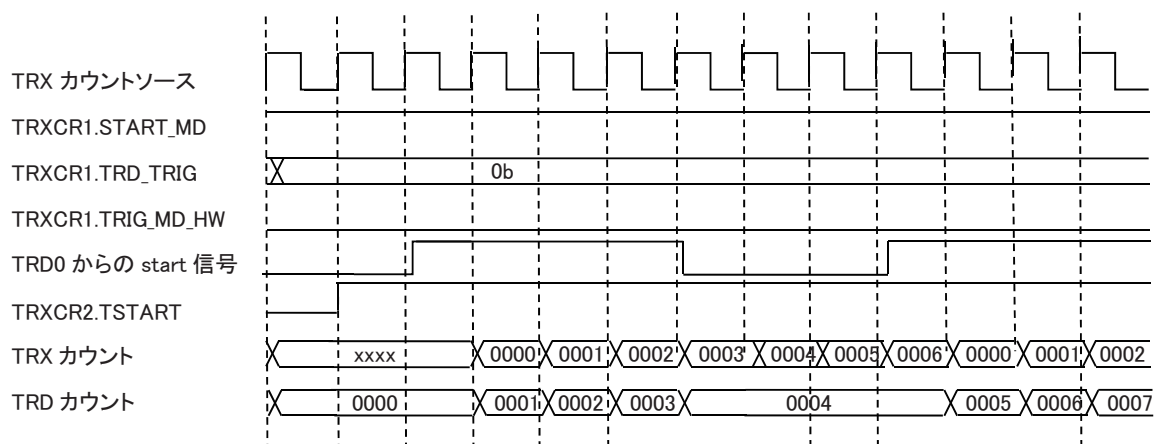
タイマRDからのトリガまたはソフトウェアによって、タイマRXのカウントを開始させることができます。

10.4.2.1 タイマRDからのトリガ選択時の設定と動作

(1)タイマRXカウントをリセットしスタート (TRIG_MD_HW=0)するときの設定手順

1. カウントスタート要因はタイマRDからトリガを選択 : TRXCR1.START_MD=1
2. タイマRXのトリガ機能を選択 : TRXCR1.TRIG_MD_HW=0
3. タイマRD_0/1からトリガ信号選択 : TRXCR1.TRD_TRIG=1/0
4. タイマRXカウントスタート設定 : TRXCR2.TSTART=1

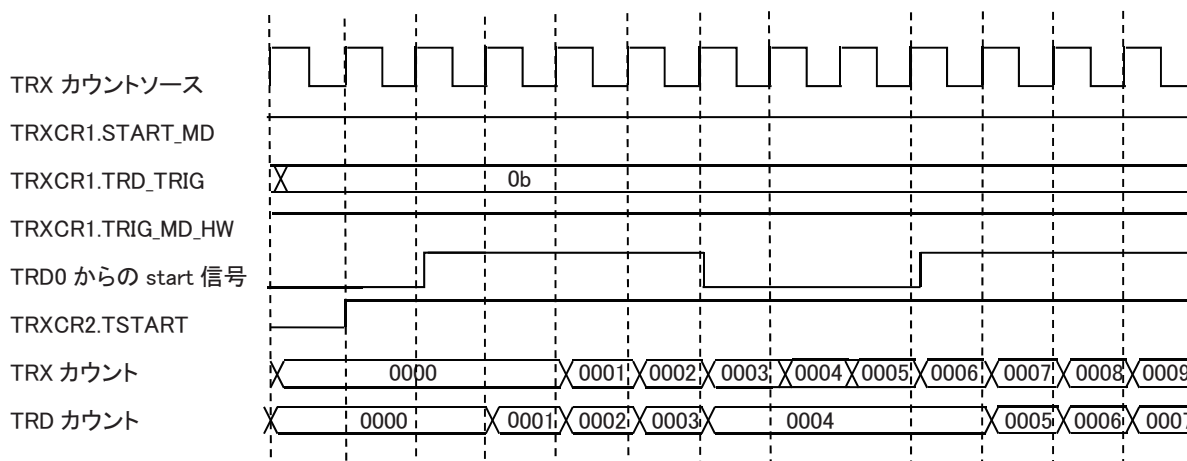
図 10 - 8 タイマRXカウントをリセットしスタート (TRIG_MD_HW=0)するときの動作例



(2)タイマRXカウントをスタート (TRIG_MD_HW=1)するときの設定手順

1. カウント・スタート要因はタイマRDからのトリガを選択 : RXCR1.START_MD=1
2. タイマRXのトリガ機能を選択 : TRXCR1.TRIG_MD_HW=1
3. タイマRD_0/1からトリガ信号選択 : TRXCR1.TRD_TRIG=1/0
4. タイマRXカウント・スタート設定 : TRXCR2.TSTART=1

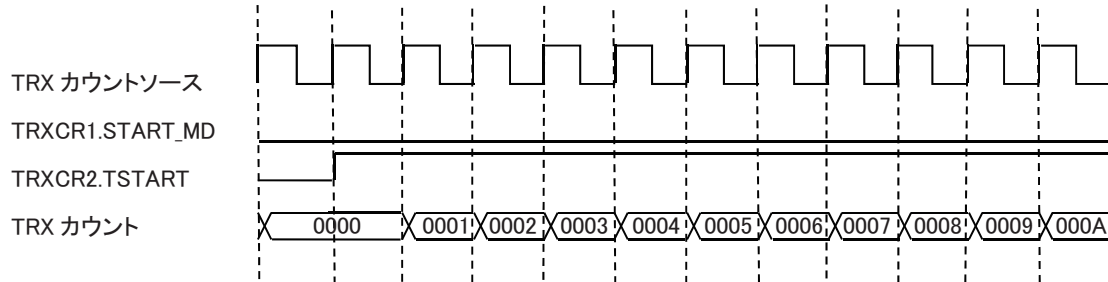
図 10 - 9 タイマRXカウントをスタート (TRIG_MD_HW=1)するときの動作例



10.4.2.2 ソフトウェア・トリガ選択時の設定と動作

1. カウント・スタート要因はソフトウェアを選択 : TRXCR1.START_MD=0
2. タイマRXカウント・スタート設定 : TRXCR2.TSTART=1

図10 - 10 ソフトウェアでタイマRXカウント・スタートするときの動作例



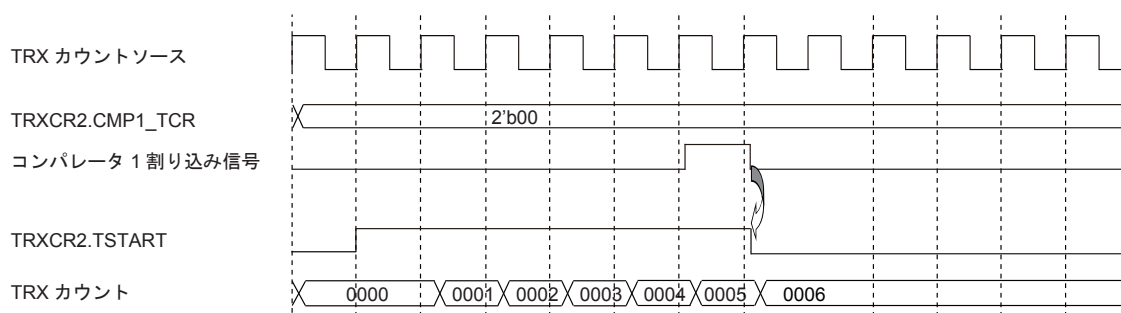
10.4.3 タイマRXカウントストップ動作

タイマRXはカウント（ハードウェアまたはソフトウェアでスタート）中、コンパレータ1からトリガまたはソフトウェアによって、タイマRXのカウントを停止することができます。

10.4.3.1 コンパレータ1からのトリガ選択時の設定と動作

- 1.コンパレータ1からトリガ機能選択：TRXCR2.CMP1_TCR=00（ストップ機能選択）
- 2.タイマRXカウントスタート：TRXCR2.TSTART=1

図10-11 コンパレータ1からのトリガによる、タイマRXカウント・ストップの動作例



10.4.3.2 ソフトウェア・トリガ選択時の設定と動作

- 1.タイマRXカウント・スタート選択：TRXCR2.TSTART=0
- 2.ソフトウェアでTRXCR2.TSTARTビットに0を書込み、タイマRXカウントを停止する。

10.4.4 インプット・キャプチャ動作

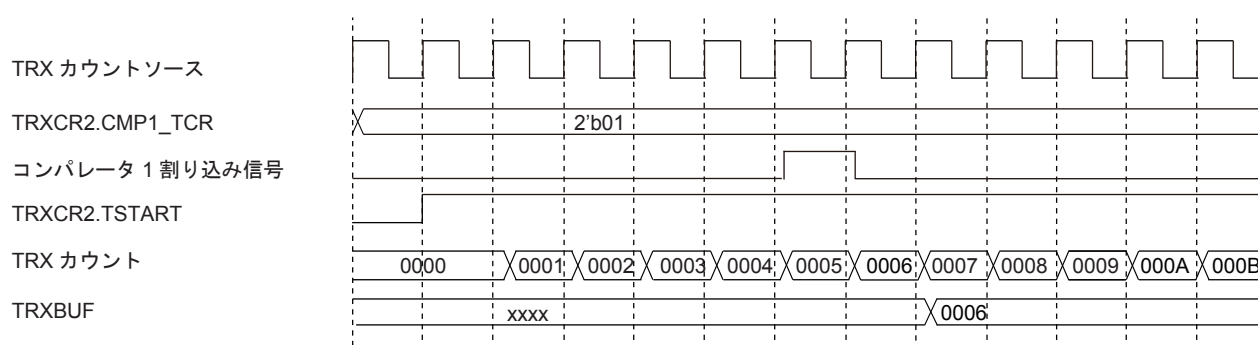
タイマRXカウントは動作中, コンパレータ1からの割り込み信号より, タイマRXカウント動作は変化します。

(1) ケース1:

TRXCR2.CMP1_TCR=01の設定により, タイマRXのカウント値をカウント・バッファに転送します。

- TRXCR2.CMP1_TCR=01 (カウントにインプット・キャプチャ機能選択)
- TRXCR2.TSTART=1 (タイマRXカウント・スタート選択)

図10 - 12 インプット・キャプチャ動作例

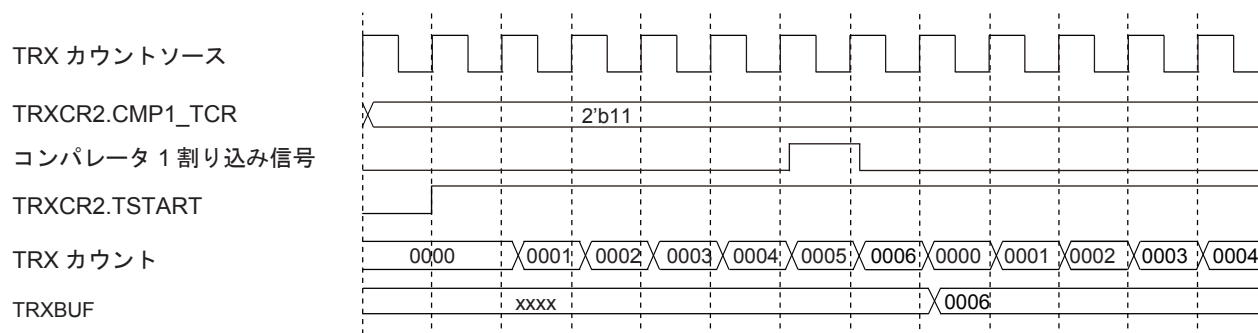


(2) ケース2

TRXCR2.CMP1_TCR=11の設定によりタイマRXのカウント値をカウント・バッファに転送して, タイマRXカウント値をリセットします。

- TRXCR2.CMP1_TCR=11 (カウントにインプット・キャプチャとリセット機能選択)
- TRXCR2.TSTART=1 (タイマRXカウント・スタート選択)

図10 - 13 インプットキャプチャ動作例(同時にカウント値をリセット)

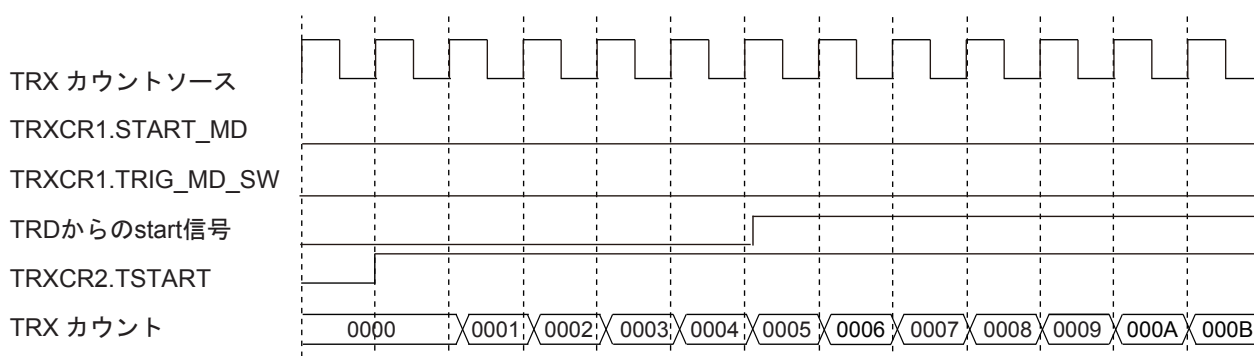


10.4.5 タイマRXカウント・リセット動作

ソフトウェアでタイマRXカウント・スタート動作選択する場合、タイマRDからのトリガにて、カウント・レジスタのリセット制御、またはコンパレータ1からのトリガでカウント・レジスタのリセット制御を選択できます。

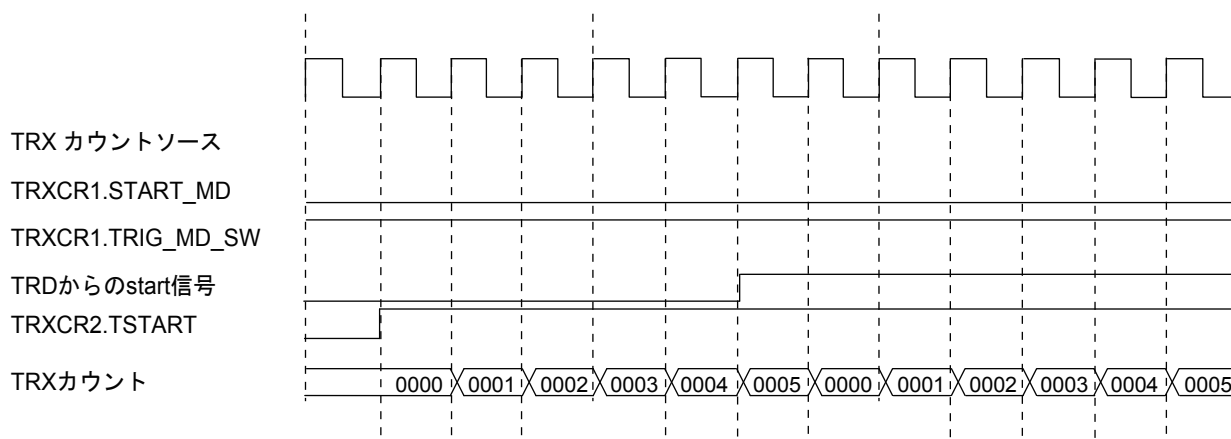
- (1) TRIG_MD_SW=0, ソフトウェアでカウント開始時、タイマRDからのトリガでカウント値をリセットしない。
1. カウント・スタート要因はソフトウェアを選択 : TRXCR1.START_MD=0
 2. ソフトウェアでカウント・リセット・イネーブル機能 ; TRXCR1.TRIG_MD_SW=0
 3. タイマRXカウント・スタート ; TRXCR2.TSTART=1

図10-14 タイマRDからのトリガでカウント値をリセット動作例



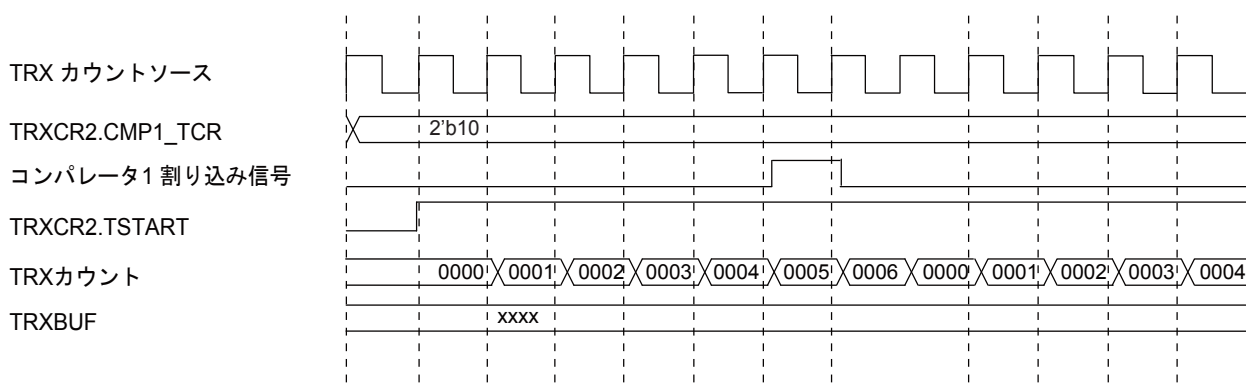
- (2) TRIG_MD_SW=1, ソフトウェアでカウント開始時、タイマRDからのトリガでカウント値をリセットする。
1. カウントスタート要因はソフトウェアを選択 : TRXCR1.START_MD=0
 2. ソフトウェアでカウント・リセット・イネーブル機能 ; TRXCR1.TRIG_MD_SW=1
 3. タイマRXカウント・スタート : TRXCR2.TSTART=1

図10-15 タイマRDからのトリガでカウント値をリセット動作例



- (3) TRXCR2.CMP1_TCR=10の設定により、コンパレータ1からのトリガでタイマRXのカウンタ値をリセットする。
1. カウンタ値をリセット，カウンタ継続：TRXCR2.CMP1_TCR=10（インプット・キャプチャ機能は使用できない）
 2. タイマRXカウンタ・スタート：TRXCR2.TSTART = 1

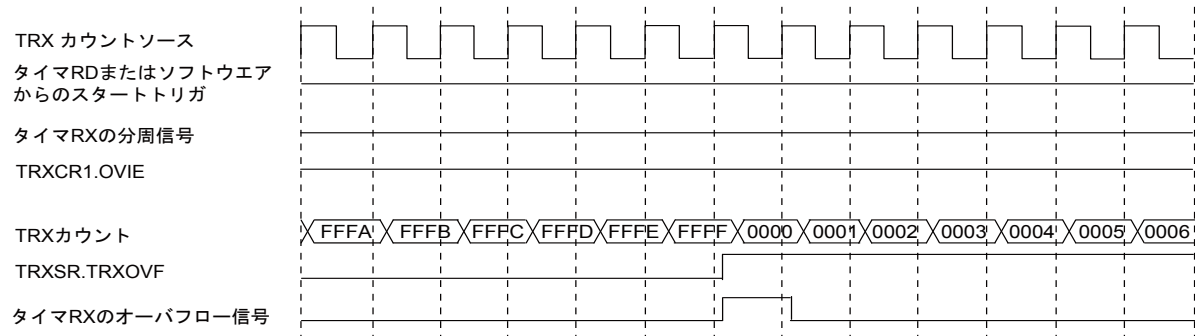
図10-16 コンパレータ1からのトリガでカウンタ・リセット動作例



10.4.6 タイマRX割り込み動作

タイマRXのカウンタがオーバーフローした場合、TRXCR1.OVIE=1の設定により、オーバーフロー割り込み信号を発生させることができます。

図10 - 17 タイマRXカウントオーバーフロー割り込み発生時の動作例



10.5 タイマRX使用上の注意事項

10.5.1 SFR リード/ライト・アクセス

タイマRXを設定するには必ず最初にPER1レジスタのTRXENビットを1に設定してください。0の場合はタイマRXの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

クロック供給停止中は、TRX、TRXBUFレジスタへの書き込みはできません。その他のタイマRX関連レジスタへの読み出し/書き込みは可能です。

注意 カウント動作中に次のレジスタの書き換えは禁止です。

- ・ TRXCR1
- ・ TRXCR2

10.5.2 オーバフロー割り込み

タイマRXのカウント値がFFFFHのとき、オーバフローによって0000Hをセットする前に外部からのトリガ信号によってカウントがリセットされた場合は、オーバフロー割り込みは発生しません。

10.5.3 インプット・キャプチャとタイマRXカウント・リセット動作

タイマRD、コンパレータ1からの信号によるインプットキャプチャ動作と、タイマRXカウント・リセット動作はTRXSRレジスタのTRXSBビットが0（カウント停止）のときでも、動作します。

注意 タイマRXカウント中、タイマRXがFFFFHのとき、外部からのトリガ信号によってカウントがリセットされる場合、タイマRXのオーバフロー割り込みは発生しません。

10.5.4 タイマRXとタイマRD, コンパレータ1との連携動作するときの設定手順

タイマRXがタイマRD, コンパレータ1と連携動作するときには以下の設定手順で行ってください。

1. コンパレータ1のクロック供給を開始 : PGACMPEN=1
2. コンパレータ1割り込み許可と出力許可設定 : 詳細はコンパレータ関連レジスタの設定手順を参照
3. タイマRXクロック供給を開始 : TRXEN=1
4. TRXCR1レジスタを設定
5. TRXCR2レジスタを設定
6. タイマRD関連SFRを設定してからタイマRDのカウンタ開始 : TRDOEN=1
7. タイマRXのカウンタ開始 : TRXCR2.START=1

備考1. タイマRXはタイマRDとコンパレータ1と組み合わせて使用するとき、タイマRX動作クロックはタイマRDの動作クロックと同じ周波数を選択してください。

備考2. レジスタの設定順番は、制御レジスタ TRXCR1を設定して、TRXCR2.TSTARTを最後に設定してください。

第11章 リアルタイム・クロック

11.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能(周期：0.5秒、1秒、1分、1時間、1日、1月)
- アラーム割り込み機能(アラーム：曜日・時・分)
- 1 Hzの端子出力機能(36ピン、48ピン、64ピン製品のみ)

リアルタイム・クロック割り込み信号(INTRTC)を、STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

注意 リアルタイム・クロックの動作クロックにサブシステム・クロック($f_{SUB} = 32.768 \text{ kHz}$)を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック($f_{IL} = 15 \text{ kHz}$)を選択時は、定周期割り込み機能のみ使用できます。24ピン、32ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出される値になります。

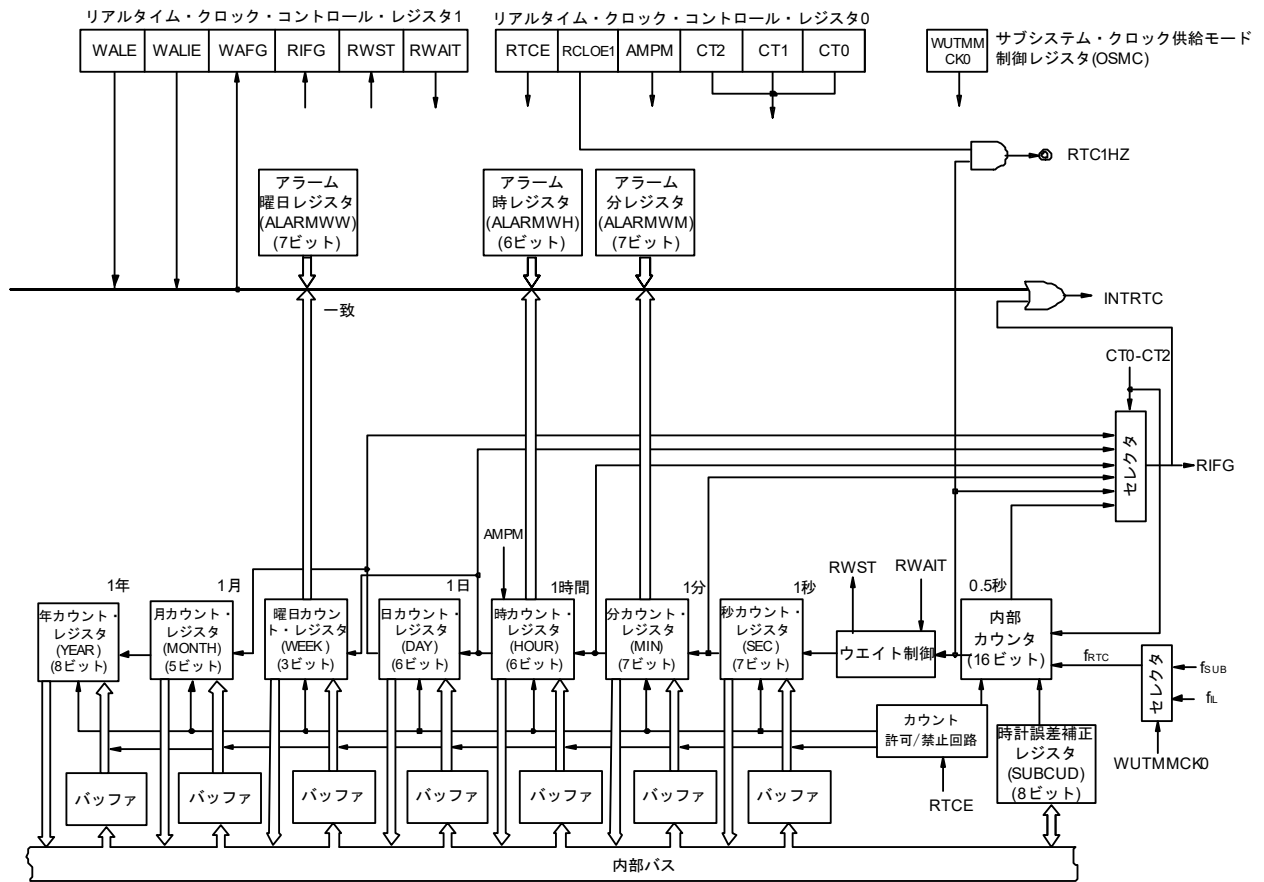
11.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表11-1 リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ(16ビット)
制御レジスタ	周辺イネーブル・レジスタ0(PER0)
	サブシステム・クロック供給モード制御レジスタ(OSMC)
	リアルタイム・クロック・コントロール・レジスタ0(RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1(RTCC1)
	秒カウント・レジスタ(SEC)
	分カウント・レジスタ(MIN)
	時カウント・レジスタ(HOUR)
	日カウント・レジスタ(DAY)
	曜日カウント・レジスタ(WEEK)
	月カウント・レジスタ(MONTH)
	年カウント・レジスタ(YEAR)
	時計誤差補正レジスタ(SUBCUD)
	アラーム分レジスタ(ALARMWM)
	アラーム時レジスタ(ALARMWH)
アラーム曜日レジスタ(ALARMWW)	

図11-1 リアルタイム・クロックのブロック図



注意 リアルタイム・クロックの動作クロックにサブシステム・クロック ($f_{SUB} = 32.768 \text{ kHz}$) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15 \text{ kHz}$) を選択時は、定周期割り込み機能のみ使用できます。24ピン、32ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。

ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出される値になります。

11.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ3 (PM3)
- ポート・レジスタ3 (P3)

11.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは、必ずビット7 (RTCEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
------	-------	--------	-------	---------	--------	--------	---	--------

RTCEN	リアルタイム・クロック (RTC), 12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意1. リアルタイム・クロックを使用する場合は、カウント・クロック (f_{RTC})が発振安定した状態で、必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC), ポート・モード・レジスタ3 (PM3), ポート・レジスタ3 (P3)は除く)。

- ・リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC)のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

注意3. ビット1には必ず"0"を設定してください。

11.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットでリアルタイム・クロックのカウンタ・クロック (fRTC)を選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック, 12ビット・インターバル・タイマのカウンタ・クロック (fRTC), タイマRJの動作クロックの選択
0	サブシステム・クロック (fSUB) <ul style="list-style-type: none"> リアルタイム・クロック, 12ビット・インターバル・タイマのカウンタ・クロックはサブシステム・クロックになります。 タイマRJのカウンタソースに低速オンチップ・オシレータを選択することはできません。
1	低速オンチップ・オシレータ・クロック (fIL) <ul style="list-style-type: none"> リアルタイム・クロック, 12ビット・インターバル・タイマのカウンタ・クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJのカウンタソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。

注意 リアルタイム・クロックの動作クロックにサブシステム・クロック (fSUB = 32.768 kHz)を選択時のみ、年、月、曜日、日、時、分、秒のカウンタができます。低速オンチップ・オシレータ・クロック (fIL = 15 kHz)を選択時は、定周期割り込み機能のみ使用できます。24ピン、32ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。
 ただし、fIL選択時の定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値) × fSUB/fILで算出される値になります。

11.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック動作の開始/停止, RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図 11-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1注	0	AMPM	CT2	CT1	CT0
RTCE	リアルタイム・クロックの動作制御							
0	カウンタ動作停止							
1	カウンタ動作開始							
RCLOE1注	RTC1HZ端子の出力制御							
0	RTC1HZ端子の出力(1 Hz)禁止							
1	RTC1HZ端子の出力(1 Hz)許可							
AMPM	12時間制/24時間制の選択							
0	12時間制(午前/午後を表示)							
1	24時間制							
<ul style="list-style-type: none"> • AMPMビットの値を変更する場合は, RWAITビット(リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のビット0) = 1にしてから書き換えてください。AMPMレジスタの値を変更すると, 時カウント・レジスタ(HOUR)の値は設定した時間制に対応した値に変更されます。 • 時間桁表示表を表11-2に示します。 								
CT2	CT1	CT0	定周期割り込み(INTRTC)の選択					
0	0	0	定周期割り込み機能を使用しない					
0	0	1	0.5秒に1度(秒カウントアップに同期)					
0	1	0	1秒に1度(秒カウントアップと同時)					
0	1	1	1分に1度(毎分00秒)					
1	0	0	1時間に1度(毎時00分00秒)					
1	0	1	1日に1度(毎日00時00分00秒)					
1	1	×	1月に1度(毎月1日午前00時00分00秒)					
カウンタ動作中(RTCE = 1)にCT2-CT0ビットの値を変更する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTCIFフラグをクリアしてから割り込み処理許可にしてください。								

注 24ピン, 32ピンの製品はRCLOE1ビットに0を設定してください。

注意1. RTCE = 1のときにRCLOE1ビットを変更しないでください。

注意2. RTCE = 0のときに, RCCOE1 = 1に設定しても1Hz出力されません。

備考 × : Don't care

11.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(1/2)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効

カウンタ動作中(RTCE = 1)かつWALIE = 1の時にWALEビットへ設定する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RTCIFフラグをクリアしてください。アラームの各レジスタ(RTCC1レジスタのWALIEフラグ、アラーム分レジスタ(ALARMWM)、アラーム時レジスタ(ALARMWH)、アラーム曜日レジスタ(ALARMWW))を設定する場合、WALEビットを一致動作無効“0”にしてください。

WALIE	アラーム割り込み(INTRTC)機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出

アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、fRTCの1クロック後に“1”となります。
“0”を書き込むことでクリアされ、“1”の書き込みは無効となります。

図11-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ、“1”の書き込みは無効となります。

RWST	リアルタイム・クロックのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITビットの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大fRTCの1クロックの時間がかかります注1,2。アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B(1秒毎に定周期割り込み発生)にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。
内部カウンタ(16ビット)のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

★

★

★

注1. RTCE = 1に設定した後、fRTCの1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック(fRTC)の2クロック時間がかかる場合があります。

注2. スタンバイ(HALTモード、STOPモード、SNOOZEモード)から復帰した後、fRTCの1クロック時間内で、RWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック(fRTC)の2クロック時間がかかる場合があります。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ(SEC)へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

11.3.5 秒カウント・レジスタ (SEC)

0-59 (10進)までの値を取り、秒のカウント値を示す8ビットのレジスタです。

内部カウンタ(16ビット)からのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大fRTCの2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-7 秒カウント・レジスタ (SEC)のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、11.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

備考 秒カウント・レジスタ (SEC)へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

11.3.6 分カウント・レジスタ (MIN)

0-59 (10進)までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-8 分カウント・レジスタ (MIN)のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、11.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

11.3.7 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進)までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大FRTCの2クロック後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM)で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図11-9 時カウント・レジスタ (HOUR)のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5 (HOUR20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

注意2. カウンタ動作中 (RTCE = 1)にこのレジスタの読み出し / 書き込みをする場合は、11.4.3 リアルタイム・クロックのカウンタ読み出し / 書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値、および時カウント・レジスタ(HOUR)値と時間の関係を表11-2に示します。

表11-2 時間桁表示表

24時間表示(AMPMビット=1)		12時間表示(AMPMビット=0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00 H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示、“1”のときに24時間表示となります。

12時間表示の場合は、HOURレジスタの5ビット目で午前/午後を表示し、午前(AM)のときに0に、午後(PM)のときに1となります。

11.3.8 日カウント・レジスタ (DAY)

1-31 (10進)までの値を取り、日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは、次に示すようにカウントします。

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図 11 - 10 日カウント・レジスタ (DAY)のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、11.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

11.3.9 曜日カウント・レジスタ (WEEK)

0-6 (10進)までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大FRTCの2クロック後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 11 曜日カウント・レジスタ (WEEK)のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK)には、月カウント・レジスタ (MONTH)および日カウント・レジスタ (DAY)に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00 H
月	01 H
火	02 H
水	03 H
木	04 H
金	05 H
土	06 H

注意2. カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、11.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

11.3.10 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進)までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図11 - 12 月カウント・レジスタ (MONTH)のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、11.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

11.3.11 年カウント・レジスタ (YEAR)

0-99 (10進)までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH)からのオーバフローによりカウント・アップします。

00, 04, 08, …, 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 13 年カウント・レジスタ (YEAR)のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、11.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

11.3.12 時計誤差補正レジスタ (SUBCUD)

内部カウンタ(16ビット)から秒カウンタ・レジスタ(SEC)へオーバフローする値(基準値: 7FFFH)を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : FFF99H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0
DEV	時計誤差補正のタイミングの設定							
0	秒桁が00, 20, 40秒時(20秒ごと)に時計誤差補正							
1	秒桁が00秒時のみ(60秒ごと)に時計誤差補正							
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。								
<ul style="list-style-type: none"> • DEV = 0設定時 : SEC = 00H, 20H, 40Hの期間 • DEV = 1設定時 : SEC = 00Hの期間 								
F6	時計誤差補正値の設定							
0	$\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$ だけ増加							
1	$\{/(F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2$ だけ減少							
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *)のときは、時計誤差補正を行いません。*は0または1です。								
/F5~/F0は、ビット反転した値(111100のときは000011)となります。								
補正値の範囲 : (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124								
(F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124								

次に、時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	-189.2 ppm ~ 189.2 ppm	-63.1 ppm ~ 63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考 補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

11.3.13 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図11-15 アラーム分レジスタ (ALARMWM)のフォーマット

アドレス : FFF9AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

11.3.14 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図11-16 アラーム時レジスタ (ALARMWH)のフォーマット

アドレス : FFF9BH リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHレジスタのビット5 (WH20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

11.3.15 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-17 アラーム曜日レジスタ (ALARMWW)のフォーマット

アドレス : FFF9CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
	0	1	2	3	4	5	6								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

11.3.16 ポート・モード・レジスタ3 (PM3)

PM3レジスタは、1ビット・メモリ・操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

RTC1HZ端子の1 Hz出力として使用する時は、PM30ビットに“0”を設定してください。

図11-18 ポート・モード・レジスタ3 (PM3)のフォーマット

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

11.3.17 ポート・レジスタ3 (P3)

P3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

RTC1Hz端子へ1 Hz出力として使用する時は、P30ビットに“0”を設定してください。

図11-19 ポート・レジスタ3 (P3)のフォーマット

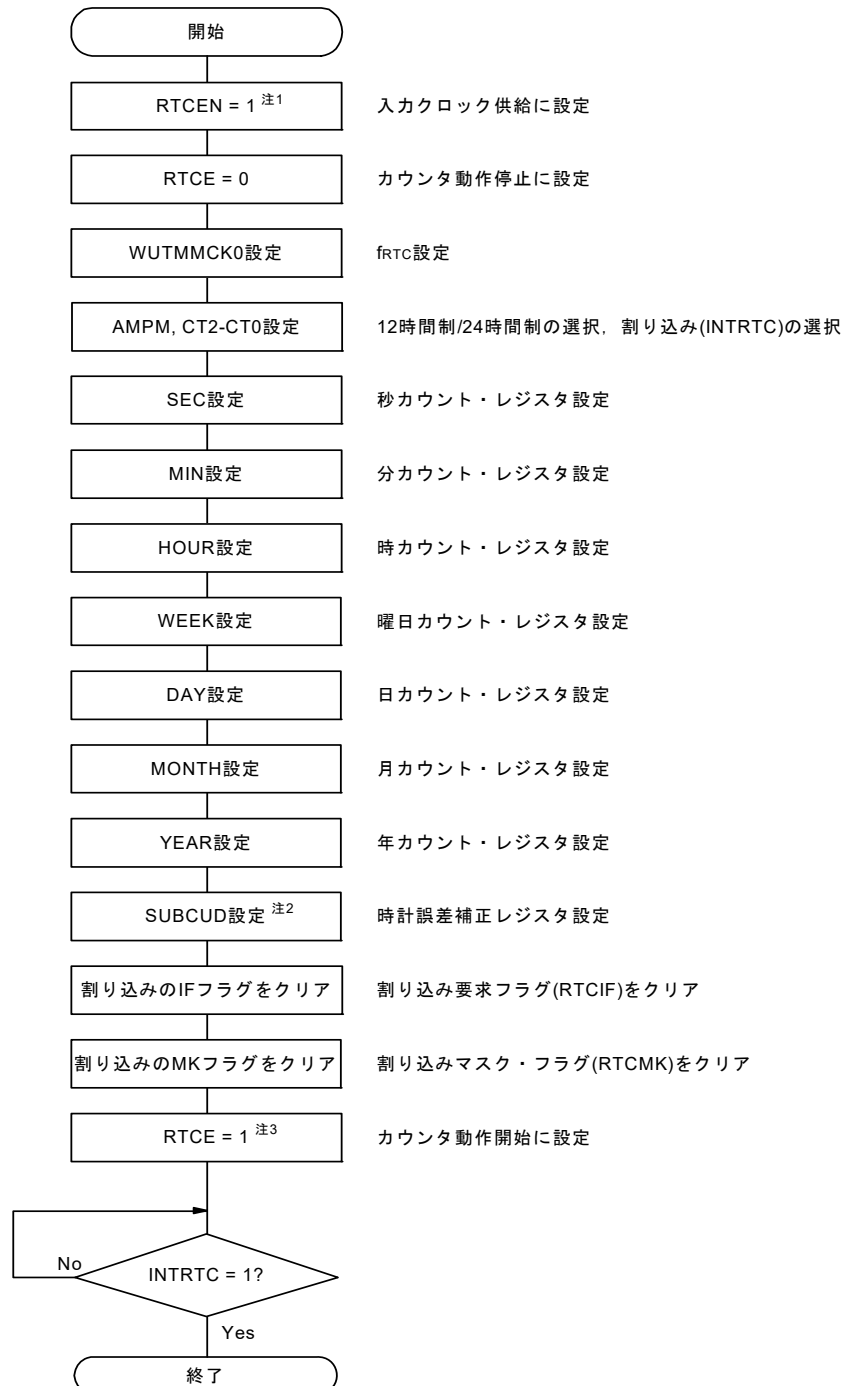
アドレス : FFF03H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
P3	0	0	0	0	0	0	P31	P30

11.4 リアルタイム・クロックの動作

11.4.1 リアルタイム・クロックの動作開始

図 11 - 20 リアルタイム・クロックの動作開始手順



注意1. カウント・クロック (f_{RTC}) が発振安定状態において、最初に RTCEN = 1 の設定を行ってください。

注意2. 時計誤差補正する必要がある場合のみ。補正值の算出方法は、11.4.6 リアルタイム・クロックの時計誤差補正例を参照してください。

注意3. RTCE = 1 のあとに INTRTC = 1 を待たずに HALT/STOP モードへ移行する場合は、11.4.2 動作開始後の HALT/STOP モードへの移行の手順を確認してください。

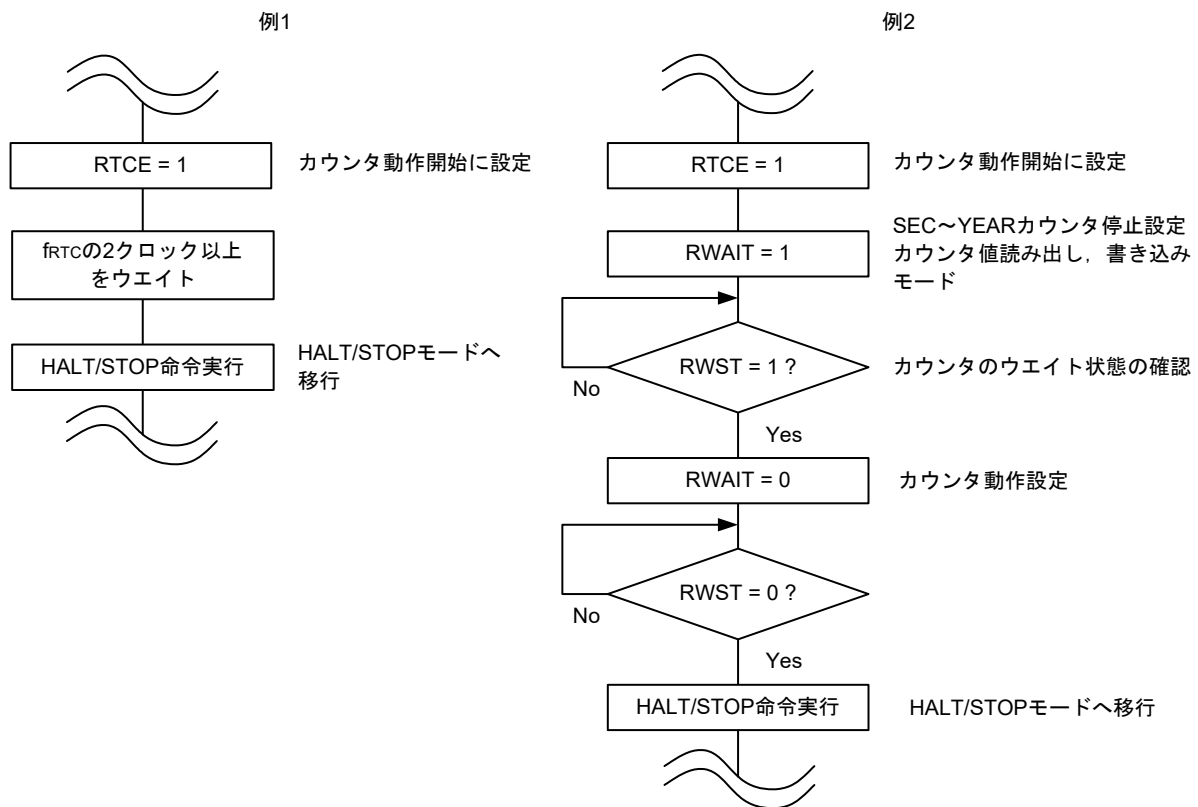
11.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC 割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1に設定してから、カウント・クロック (fRTC)の2クロック分以上経過後にHALT/STOPモードへ移行する(図11-21 例1参照)。
- RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する(図11-21 例2参照)。

図11-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順

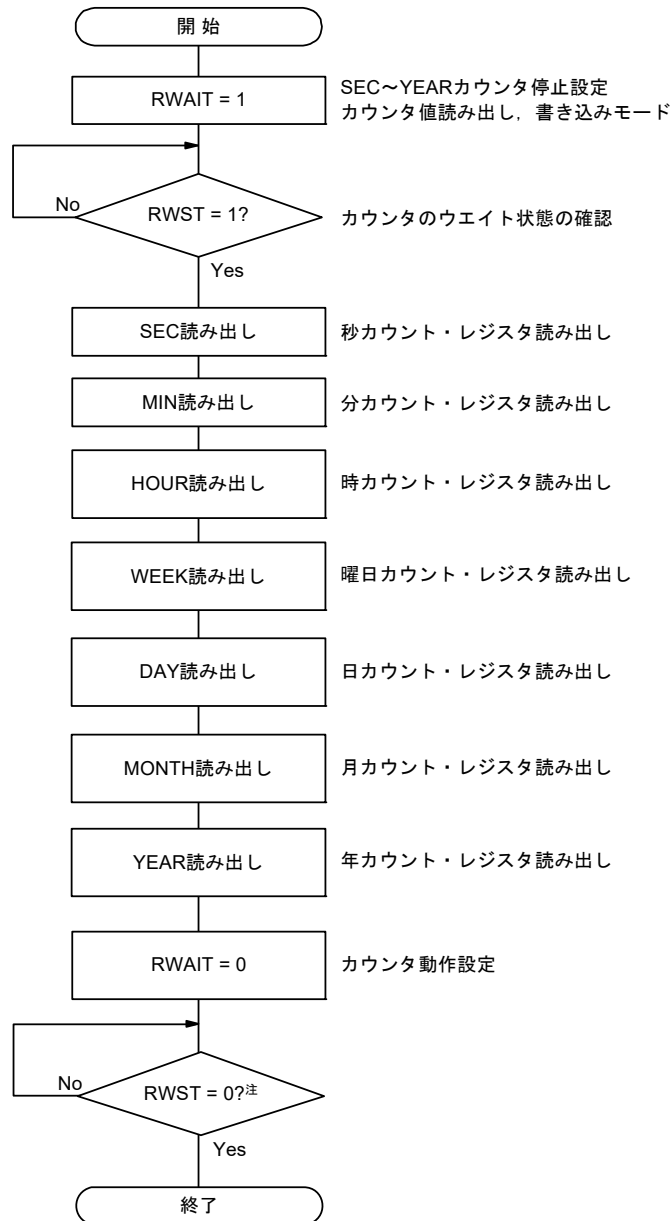


11.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し／書き込み終了後は、RWAIT = 0にしてください。

図 11 - 22 リアルタイム・クロックの読み出し手順



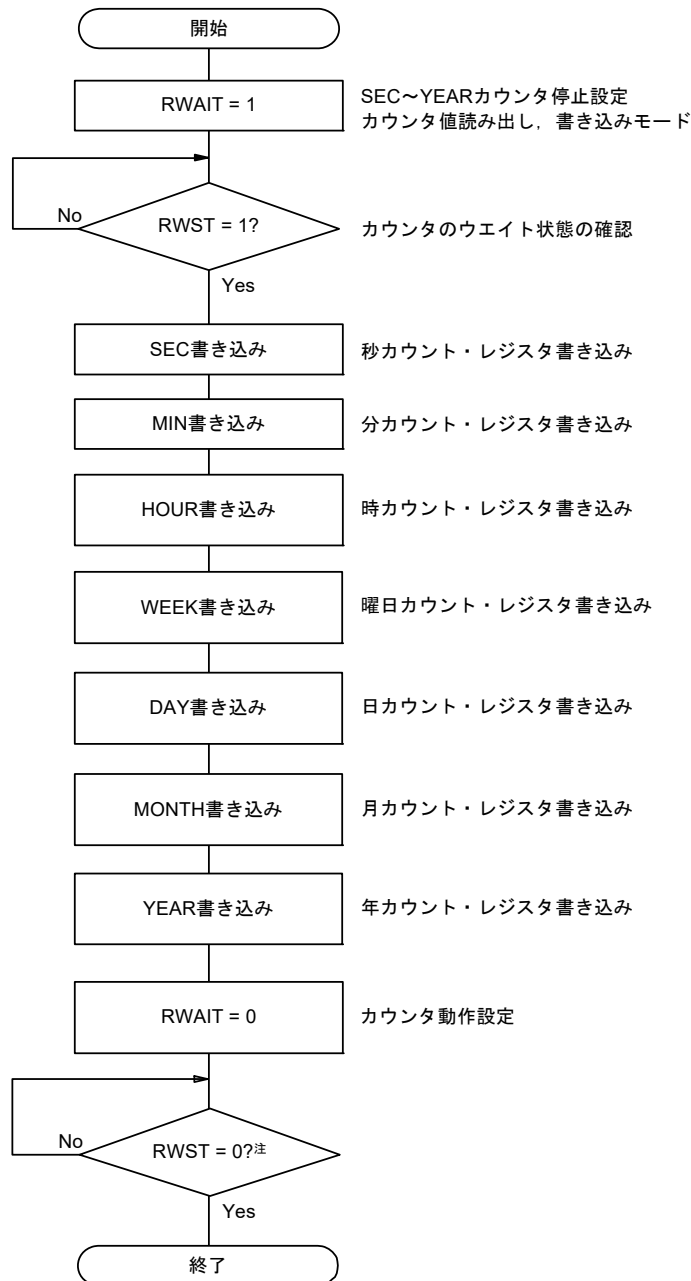
注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 から RWAIT = 0 までの処理を1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0 レジスタのCT2 ~ CT0 ビットを010B (1秒毎に定周期割り込み発生) にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

備考 秒カウンタ・レジスタ (SEC)、分カウンタ・レジスタ (MIN)、時カウンタ・レジスタ (HOUR)、曜日カウンタ・レジスタ (WEEK)、日カウンタ・レジスタ (DAY)、月カウンタ・レジスタ (MONTH)、年カウンタ・レジスタ (YEAR) の読み出しの順番に制限はありません。

また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出しても構いません。

図 11 - 23 リアルタイム・クロックの書き込み手順



注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。

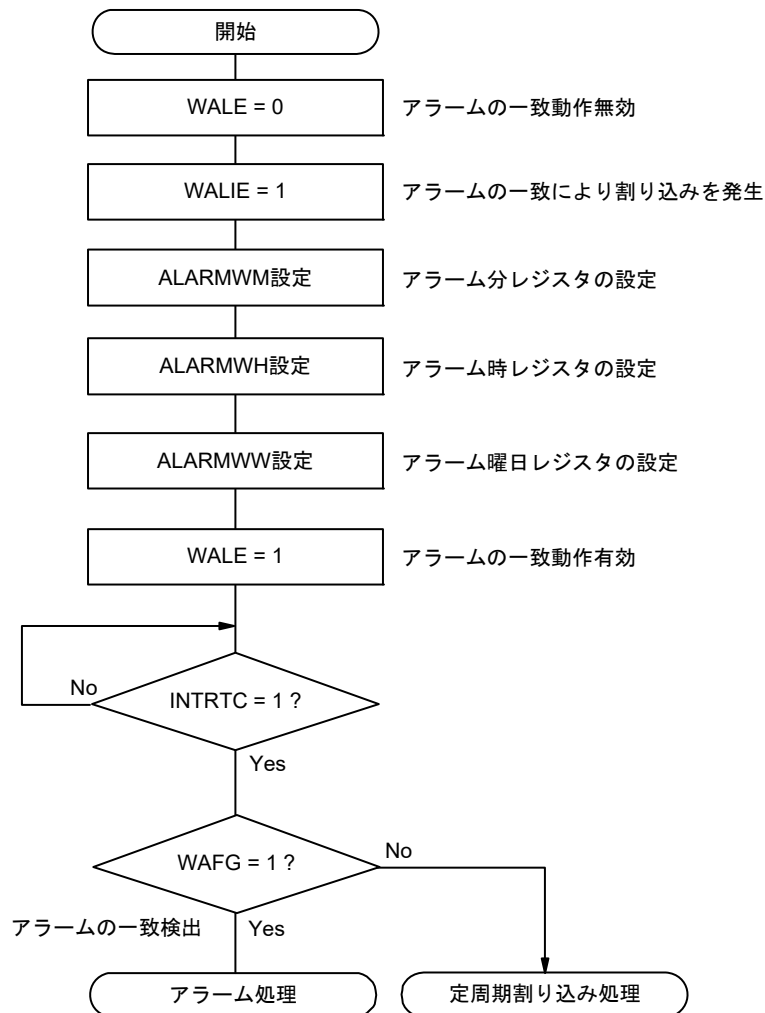
備考 秒カウント・レジスタ (SEC), 分カウント・レジスタ (MIN), 時カウント・レジスタ (HOUR), 曜日カウント・レジスタ (WEEK), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), 年カウント・レジスタ (YEAR)の書き込みの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

11.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は、最初にWALE = 0 (アラーム動作無効)にしてから行ってください。

図 11 - 24 アラーム設定手順

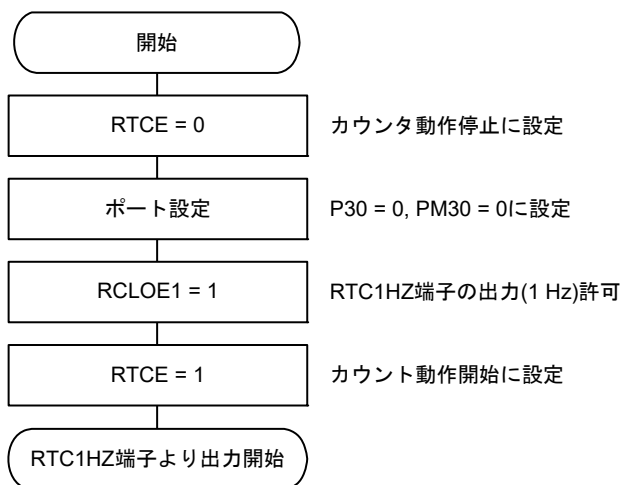


備考1. アラーム分レジスタ (ALARMWWM)、アラーム時レジスタ (ALARMWH)、アラーム曜日レジスタ (ALARMWW)の書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

11.4.5 リアルタイム・クロックの1 Hz出力

図 11 - 25 1 Hz 出力の設定手順



注意1. カウント・クロック (f_{SUB})が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

注意2. 24ピン、32ピンの製品はリアルタイム・クロックの1 Hz出力機能はありません。

11.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ(16ビット)のカウンタ値を補正する際の補正値は、次の式で算出できます。

補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

補正値注 = 1分間の補正カウント数 ÷ 3 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60 ÷ 3

(DEV = 1の場合)

補正値注 = 1分間の補正カウント数 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット 6-0 の値により求められる時計誤差補正値です。

(F6=0の場合)補正値 = {(F5, F4, F3, F2, F1, F0) - 1} × 2

(F6=1の場合)補正値 = - {(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *)のときは、時計誤差補正を行いません。*は0または1です。

/F5~/F0は、ビット反転した値(111100のときは000011)となります。

備考1. 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または-2, -4, -6, -8 . . . -120, -122, -124です。

備考2. 発振周波数とは、カウンタ・クロック (fRTC)の値です。

時計誤差補正レジスタが初期値(00H)時のRTC1HZ端子の出力周波数 × 32768で求めることができます。

備考3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm)への補正例

【発振周波数の測定】

各製品の発振周波数^注はPCLBUZ0端子から約32.768 kHzを出力するか、時計誤差補正レジスタ (SUBCUD)が初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、11.4.5 リアルタイム・クロックの1 Hz出力を、PCLBUZ0端子から約32 kHzの出力の設定手順は、13.4 クロック出力/ブザー出力制御回路の動作を参照してください。

【補正値の算出】

(PCLBUZ0端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm)とすると、-131.2 ppmは補正範囲が⁶-63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1 \text{ 分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6～F0)への設定値の算出】

(補正値 = 86の場合)

補正値が⁶0以上(遅くする場合)では、F6 = 0とします。

(F5, F4, F3, F2, F1, F0)は、補正値から算出します。

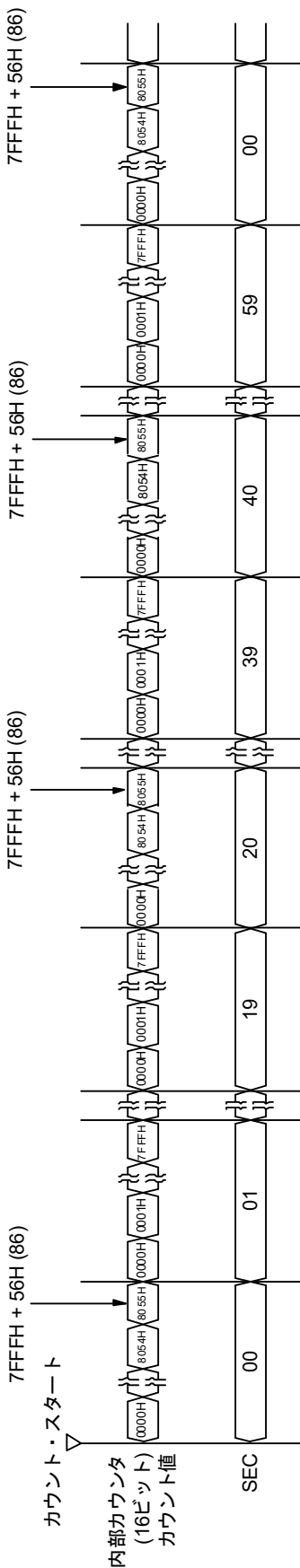
$$\begin{aligned} \{(F5, F4, F3, F2, F1, F0) - 1\} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm)への補正の場合、

DEV = 0, 補正値 = 86 (SUBCUDレジスタのビット6-0 : 0101100)と補正レジスタを設定すると、32768 Hz (0 ppm)となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0)の場合の補正動作を図11 - 26に示します。

図 11 - 26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作



補正例②

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm)への補正例

【発振周波数の測定】

各製品の発振周波数注を、時計誤差補正レジスタ (SUBCUD)が初期値 (00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、11.4.5 リアルタイム・クロックの1 Hz出力を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \div 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm)とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = 1 \text{ 分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6～F0)への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F6 = 1とします。

(F5, F4, F3, F2, F1, F0)は、補正値から算出します。

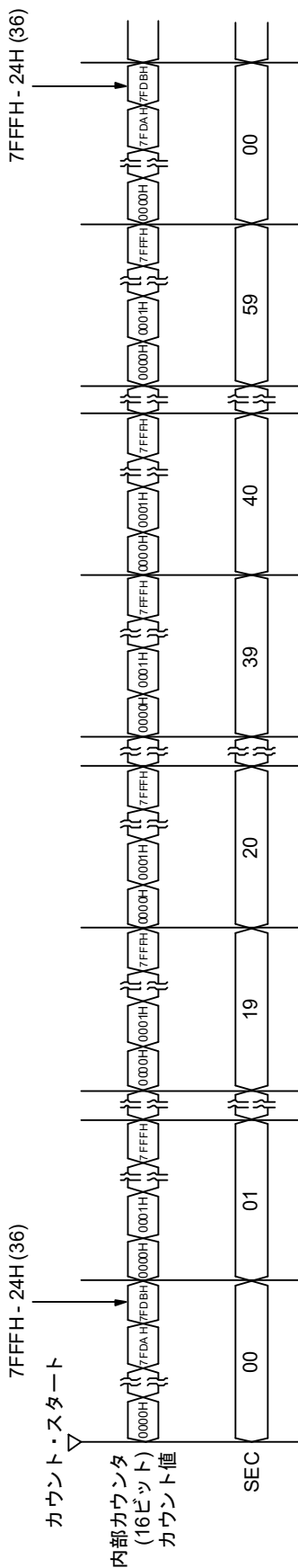
$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm)への補正の場合、

DEV = 1, 補正値 = -36 (SUBCUDレジスタのビット6-0 : 1101110)と補正レジスタを設定すると、32768 Hz (0 ppm)となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0)の場合の動作を図11 - 27に示します。

図11 - 27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0)の場合の動作



第12章 12ビット・インターバル・タイマ

12.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOP モードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに役立ちます。

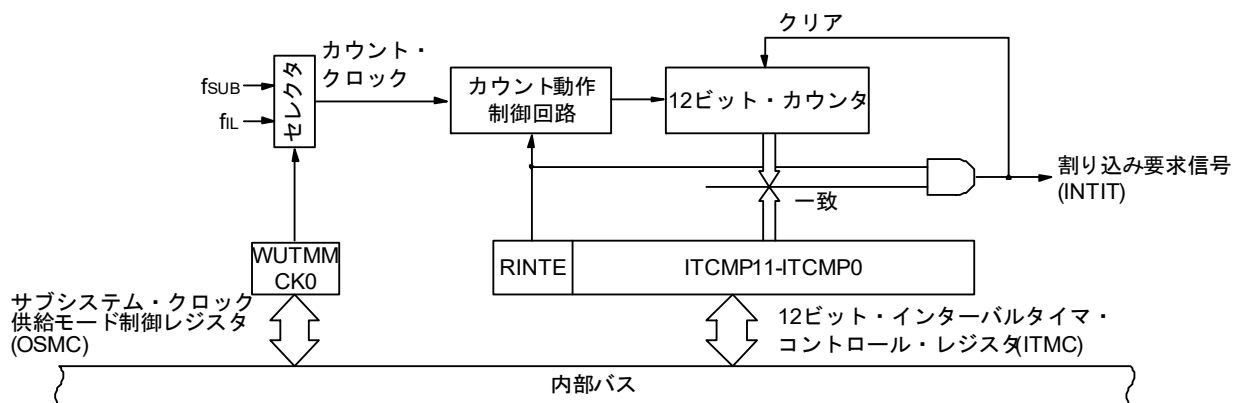
12.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表 12 - 1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図 12 - 1 12ビット・インターバル・タイマのブロック図



注意 カウント・クロックにサブシステム・クロック (fsUB) を選択できるのは、36, 48, 64ピンの製品です。

12.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは、必ずビット7 (RTCEN)を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 12-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック (RTC), 12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給許可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

注意1. 12ビット・インターバル・タイマを使用する際には、カウント・クロックが発振安定した状態で、必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります(サブシステム・クロック供給モード制御レジスタ (OSMC)は除く)。

- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC)のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイムクロック、12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止することが可能です。

注意3. ビット1には必ず"0"を設定してください。

12.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマ，リアルタイム・クロック，タイマRJの動作クロックを選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章 クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12-3 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイムクロック，12ビット・インターバル・タイマ，タイマRJの動作クロックの選択
0	サブシステム・クロック (fsUB) ・リアルタイム・クロック，12ビット・インターバル・タイマの動作クロックはサブシステム・クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータを選択することはできません。
1	低速オンチップ・オシレータ・クロック (fil) ・リアルタイム・クロック，12ビット・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースは低速オンチップ・オシレータ，サブシステム・クロックのいずれかを選択することができます。

12.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図12-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0
RINTE	12ビット・インターバル・タイマの動作制御				
0	カウンタ動作停止(カウント・クリア)				
1	カウンタ動作開始				
ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定				
001H	「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。				
.					
.					
.					
FFFH					
000H	設定禁止				
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例					
<ul style="list-style-type: none"> ITCMP11-ITCMP0 = 001H, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \doteq 61.03 \text{ [}\mu\text{s]}$ ITCMP11-ITCMP0 = FFFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$ 					

注意1. RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、ITIFフラグをクリアしてから割り込み処理許可にしてください。

注意2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。

注意3. スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。

注意4. ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。

ただし、RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

12.4 12ビット・インターバル・タイマの動作

12.4.1 12ビット・インターバル・タイマの動作タイミング

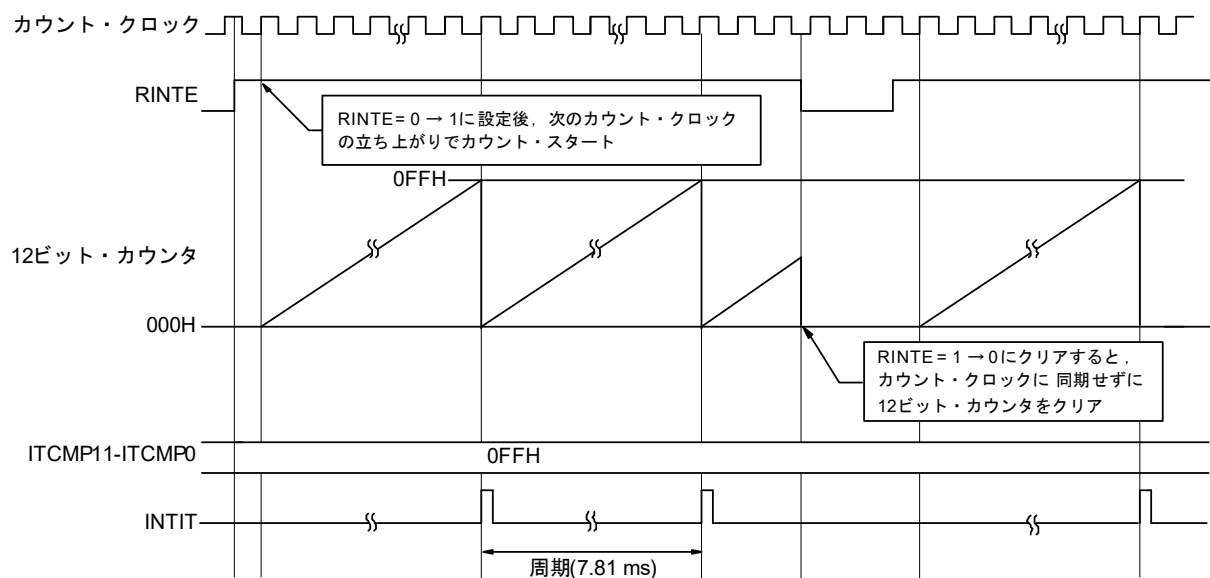
ITCMP11-ITCMP0 ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生する 12ビット・インターバル・タイマとして動作します。

RINTE ビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0 ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号(INTIT)を発生します。

12ビット・インターバル・タイマの基本動作を図12-5に示します。

図12-5 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック : $f_{SUB} = 32.768$ kHz)

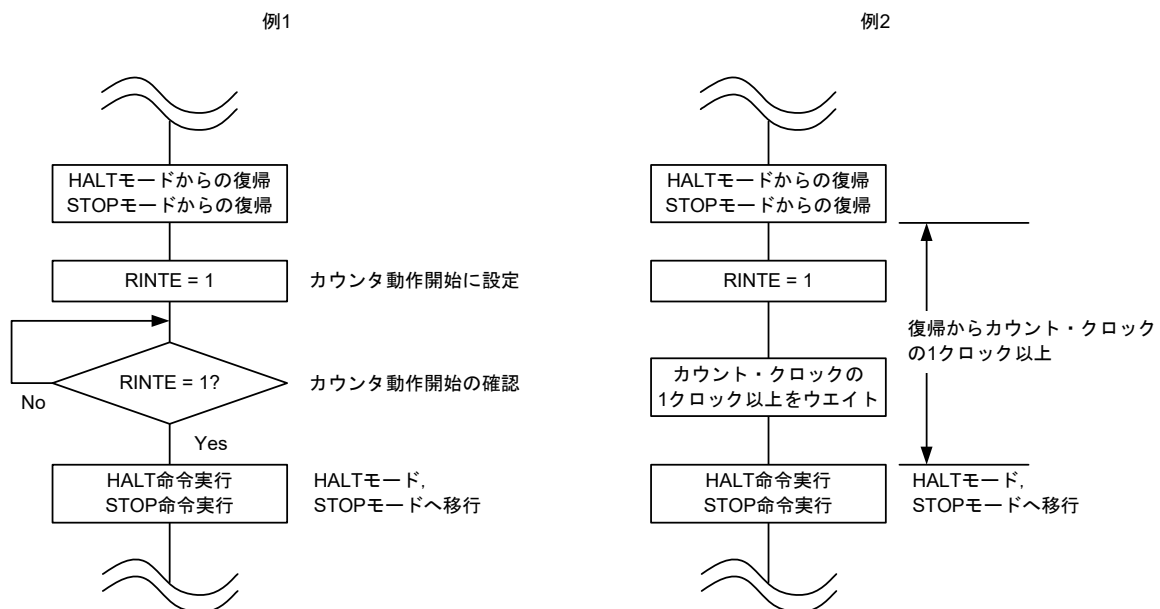


12.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図12-6 例1参照)。
- RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図12-6 例2参照)。

図12-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第13章 クロック出力／ブザー出力制御回路

注意 この章では、以降の主な説明を64ピン製品の場合で説明しています。

13.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

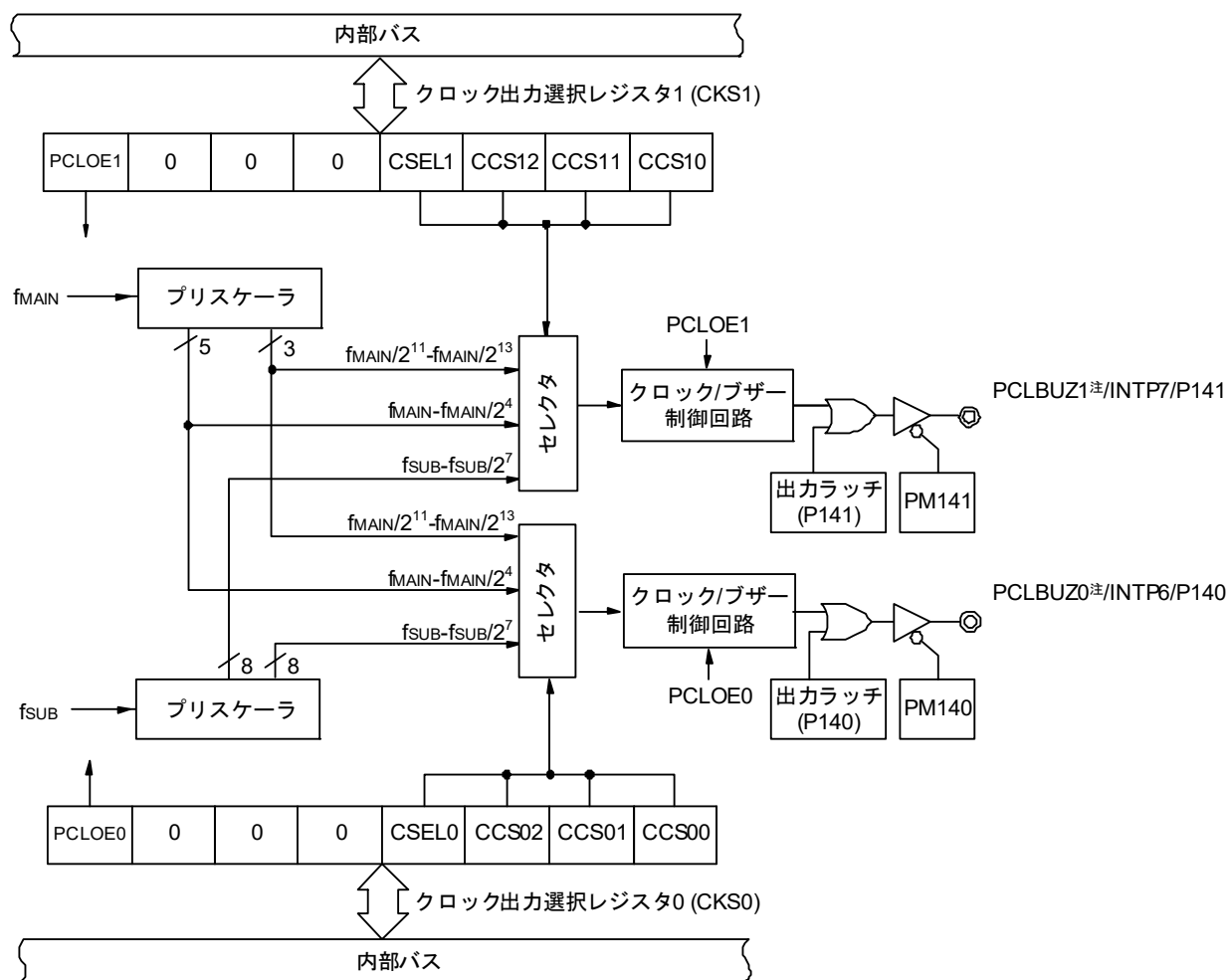
PCLBUZn端子は、クロック出力選択レジスタn(CKSn)で選択したクロックを出力します。

図13-1にクロック出力／ブザー出力制御回路のブロック図を示します。

注意 サブシステム・クロック供給モード制御レジスタ(OSMC)のRTCLPC = 1かつ、サブシステム・クロック(f_{SUB})でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック(f_{SUB})を出力することはできません。

備考 n = 0, 1

図13-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、37.4または38.4 AC特性を参照してください。

備考 この図のクロック出力／ブザー出力端子は、64ピン製品でPIOR03 = 0, PIOR04 = 0の場合です。

13.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 13 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) ポート・モード・レジスタ 1, 3, 5, 14 (PM1, PM3, PM5, PM14) ポート・レジスタ 3, 5, 14 (P3, P5, P14)

13.3 クロック出力／ブザー出力制御回路を制御するレジスタ

13.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子(PCLBUZn)の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 32 MHz	
0	0	0	0	fMAIN	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz	10 MHz注	16 MHz注
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	fSUB	32.768 kHz			
1	0	0	1	fSUB/2	16.384 kHz			
1	0	1	0	fSUB/2 ²	8.192 kHz			
1	0	1	1	fSUB/2 ³	4.096 kHz			
1	1	0	0	fSUB/2 ⁴	2.048 kHz			
1	1	0	1	fSUB/2 ⁵	1.024 kHz			
1	1	1	0	fSUB/2 ⁶	512 Hz			
1	1	1	1	fSUB/2 ⁷	256 Hz			

注 出力クロックは、16 MHz 以内の範囲で使用してください。詳しくは、37.4 または 38.4 AC 特性を参照してください。

注意1. 出力クロックの切り替えは、出力禁止(PCLOEn = 0)にしてから行ってください。

注意2. メイン・システム・クロック選択時(CSELn = 0)にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時(CSELn = 1)は、サブシステム・クロック供給モード制御レジスタ(OSMC)のRTCLPC = 0かつSTOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。

注意3. サブシステム・クロック供給モード制御レジスタ(OSMC)のRTCLPC = 1かつ、サブシステム・クロック(fSUB)でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック(fSUB)を出力することはできません。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fSUB : サブシステム・クロック周波数

13.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート (P140/INTP6/PCLBUZ0, P141/INTP7/PCLBUZ1 など) をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P140/INTP6/PCLBUZ0 をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ 14 の PM140 ビットを 0 に設定

ポート・レジスタ 14 の P140 ビットを 0 に設定

13.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

13.4.1 出力端子の動作

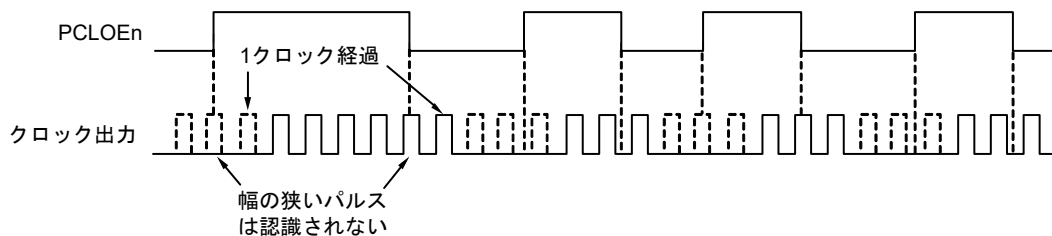
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx)およびポート・レジスタ (Pxx)のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn)のビット0-3 (CCSn0-CCSn2, CSELn)で出力周波数を選択する(出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn)に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止(PCLOEnビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図13-3に示します。

備考2. n = 0, 1

図13-3 PCLBUZ端子からのクロック出力のタイミング



13.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択(CSELn = 0)している場合は、出力停止設定(PCLOEn = 0)にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

第14章 ウォッチドッグ・タイマ

14.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック (f_{IL})で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF)がセット(1)されます。RESFレジスタの詳細については第27章 リセット機能を参照してください。

また、オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込みを発生することもできます。

14.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 14-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

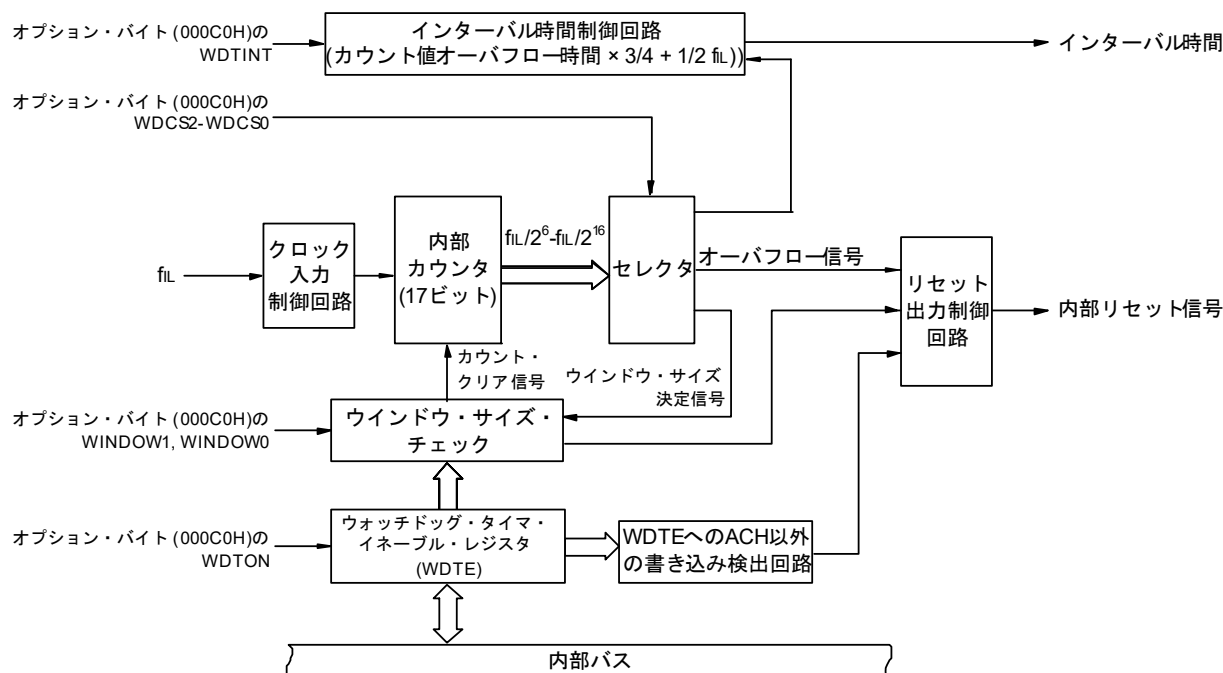
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表 14-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDSC2- WDSC0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第32章 オプション・バイトを参照してください。

図 14-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

14.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

14.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図14-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH	リセット時 : 9AH/1AH注	R/W						
略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト(000C0H)のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTEレジスタのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

14.4 ウォッチドッグ・タイマの動作

14.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4 (WDTON)を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第32章 を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止(リセット解除後、カウンタ停止)
1	カウンタ動作許可(リセット解除後、カウンタ開始)

- オプション・バイト(000C0H)のビット3-1 (WDOS2-WDOS0)で、オーバフロー時間を設定してください(詳細は、14.4.2および第32章 を参照)。
- オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で、ウインドウ・オープン期間を設定してください(詳細は、14.4.3および第32章 を参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生しません。
5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
- 注意2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大11の2クロックの誤差が生じる場合があります。
- 注意3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

14.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表 14 - 3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /fIL (3.71 ms)
0	0	1	2 ⁷ /fIL (7.42 ms)
0	1	0	2 ⁸ /fIL (14.84 ms)
0	1	1	2 ⁹ /fIL (29.68 ms)
1	0	0	2 ¹¹ /fIL (118.72 ms)
1	0	1	2 ¹³ /fIL (474.89 ms)注
1	1	0	2 ¹⁴ /fIL (949.79 ms)注
1	1	1	2 ¹⁶ /fIL (3799.18 ms)注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

- ・ ウォッチドッグ・タイマのオーバフローの時間を2¹³/fIL, 2¹⁴/fILまたは2¹⁶/fILに設定
- ・ ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75%以上の時にWDTEレジスタ(FFFABH)にACHを書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウンタをクリア
- ③ 80 μs 以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

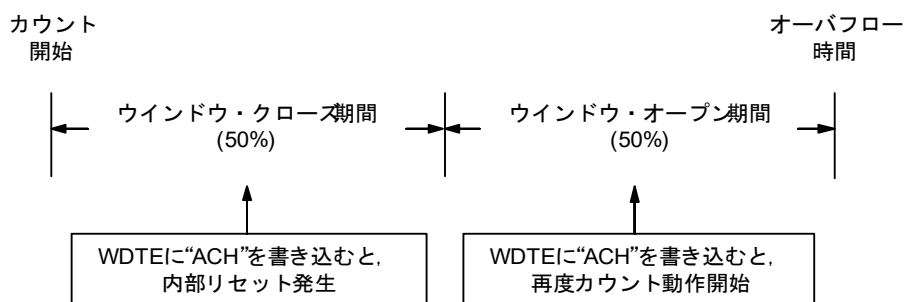
備考 fIL : 低速オンチップ・オシレータ・クロック周波数

14.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ・ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウィンドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウィンドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表 14 - 4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

★

★

注 ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.)の場合)	ウィンドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms ~ 2570.04 ms

注意 オプション・バイト(000C0H)のビット0(WDSTBYON) = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定		
	50%	75%	100%
ウィンドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウィンドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

<ウィンドウ・オープン期間50%のとき>

• オーバフロー時間 :

$$2^9/f_{IL} (\text{MAX.}) = 2^9 / 17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$$

• ウィンドウ・クローズ時間 :

$$0 \sim 2^9/f_{IL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$$

• ウィンドウ・オープン時間 :

$$2^9/f_{IL} (\text{MIN.}) \times (1 - 0.5) \sim 2^9/f_{IL} (\text{MAX.}) = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$$

14.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7(WDTINT)の設定により、オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込み(INTWDTI)を発生することができます。

表 14 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。
 そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。
 よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第15章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	24ピン	32ピン	36ピン	48, 64ピン
アナログ入力 チャンネル	8ch (ANI0-ANI2, ANI16- ANI18, ANI20, ANI21)	13ch (ANI0-ANI3, ANI16-ANI24)	15ch (ANI0-ANI5, ANI16-ANI24)	17ch (ANI0-ANI7, ANI16-ANI24)

15.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大17チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI7, ANI16-ANI24) を制御できる ANI0-ANI7, ANI16-ANI24 構成になっています。A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

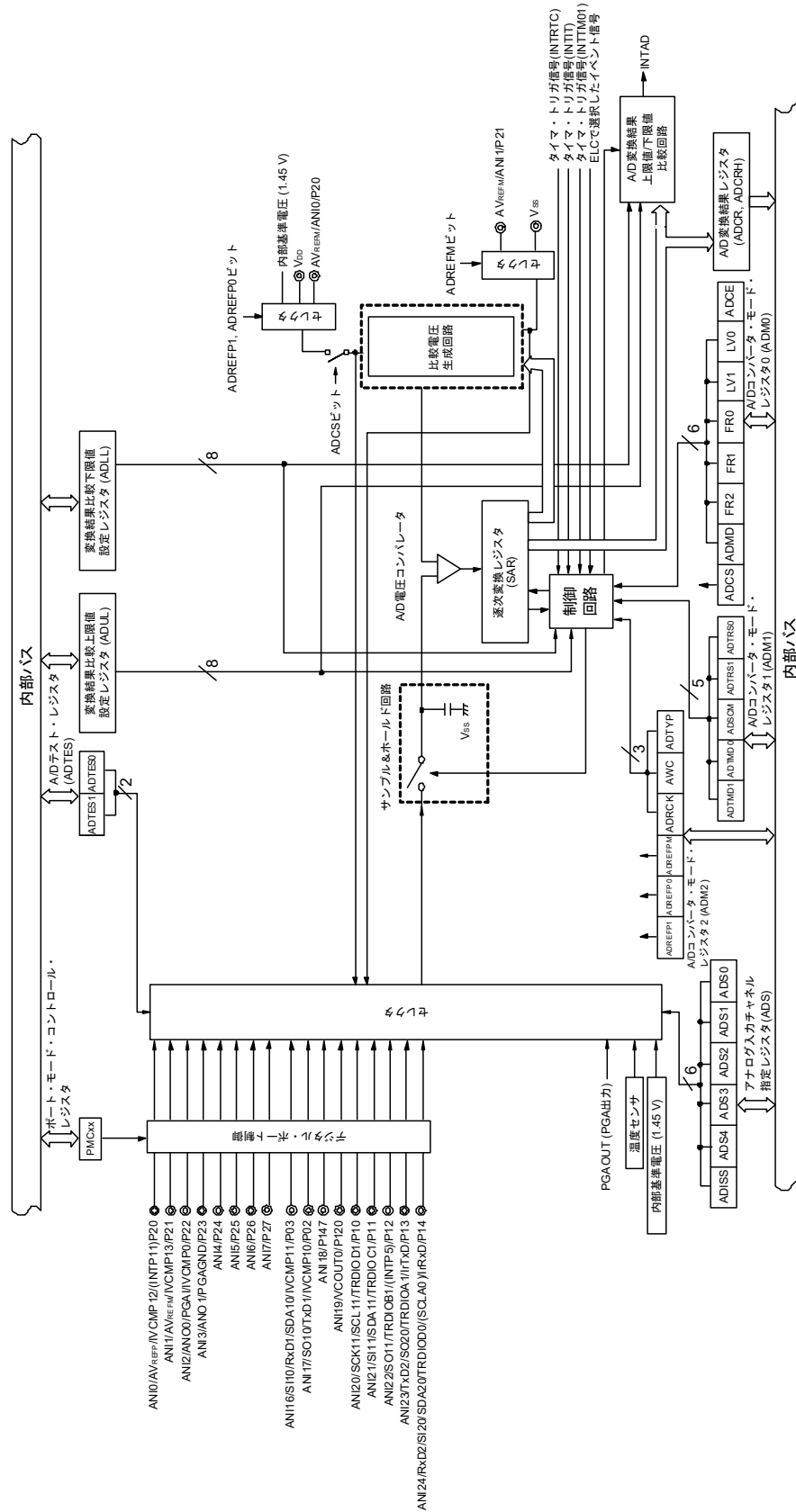
- 10ビット/8ビット分解能A/D変換

ANI0-ANI7, ANI16-ANI24からアナログ入力を1チャンネル選択し、10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します (セレクト・モード時の場合)。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ ウェイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウェイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。ANI0-ANI14のうち連続した4チャンネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1/標準2モード	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作する時に選択します。
	低電圧1/低電圧2モード	$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作が可能です。低電圧時に変換動作する時に選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数： 7 f _{AD}	標準1/低電圧1モードのサンプリング時間は、変換クロック(f _{AD})の7クロックです。アナログ入力源の出カインピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： 5 f _{AD}	標準2/低電圧2モードのサンプリング時間は、変換クロック(f _{AD})の5クロックです。アナログ入力源の出カインピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図15-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、64ピン製目の場合です。

15.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7, ANI16-ANI24端子

A/Dコンバータの17チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧(1/2 AVREF)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧(1/2 AVREF)より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます

ビット9 = 0 : (1/4 AVREF)

ビット9 = 1 : (3/4 AVREF)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AVREF : A/Dコンバータの+側基準電圧。AVREFP, 内部基準電圧(1.45 V), VDDから選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)、そのSARレジスタの内容(変換結果)は、A/D変換結果レジスタ(ADCR)に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号(INTAD)が発生します。

(6) 10ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します(下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(9) AVREFP端子

外部から基準電圧(AVREFP)を入力する端子です。

AVREFPをA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2(ADM2)のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと-側基準電圧(AVREFM/VSS)間にかかる電圧に基づいて、ANI2-ANI7、ANI16-ANI24に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AVREFPのほかにVDDと内部基準電圧(1.45 V)を選択することが可能です。

(10) AVREFM端子

外部から基準電圧(AVREFM)を入力する端子です。AVREFMをA/Dコンバータの-側基準電圧として使用する場合は、ADM2レジスタのADREFMビットをセット(1)してください。

A/Dコンバータの-側基準電圧には、AVREFMのほかにVSSを選択することが可能です。

15.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャンネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- ポート・モード・コントロール・レジスタ0-2, 12, 14 (PMC0-PMC2, PMC12, PMC14)
- ポート・モード・レジスタ0-2, 12, 14 (PM0-PM2, PM12, PM14)

15.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態です、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ0-2, 12, 14- (PM0-PM2, PM12, PM14), ポート・モード・コントロール・レジスタ0-2, 12, 14 (PMC0-PMC2, PMC12, PMC14)は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. ビット1には必ず"0"を設定してください。

15.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-3 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス : FFF30H リセット時 : 00H R/W

略号	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE
ADCS	A/D変換動作の制御							
0	変換動作停止 [リード時] 変換動作停止/待機状態							
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時 : 変換動作状態 ハードウェア・トリガ・ウェイト・モード時 : A/D電源安定待ち状態 + 変換動作状態							
ADMD	A/D変換チャンネル選択モードを設定							
0	セレクト・モード							
1	スキャン・モード							
ADCE	A/D電圧コンパレータの動作制御 ^{注2}							
0	A/D電圧コンパレータの動作停止							
1	A/D電圧コンパレータの動作許可							

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表15-3~表15-6 A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1μsかかります。このため、ADCEビットに1を設定してから1μs以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1μs以上ウェイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず15.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

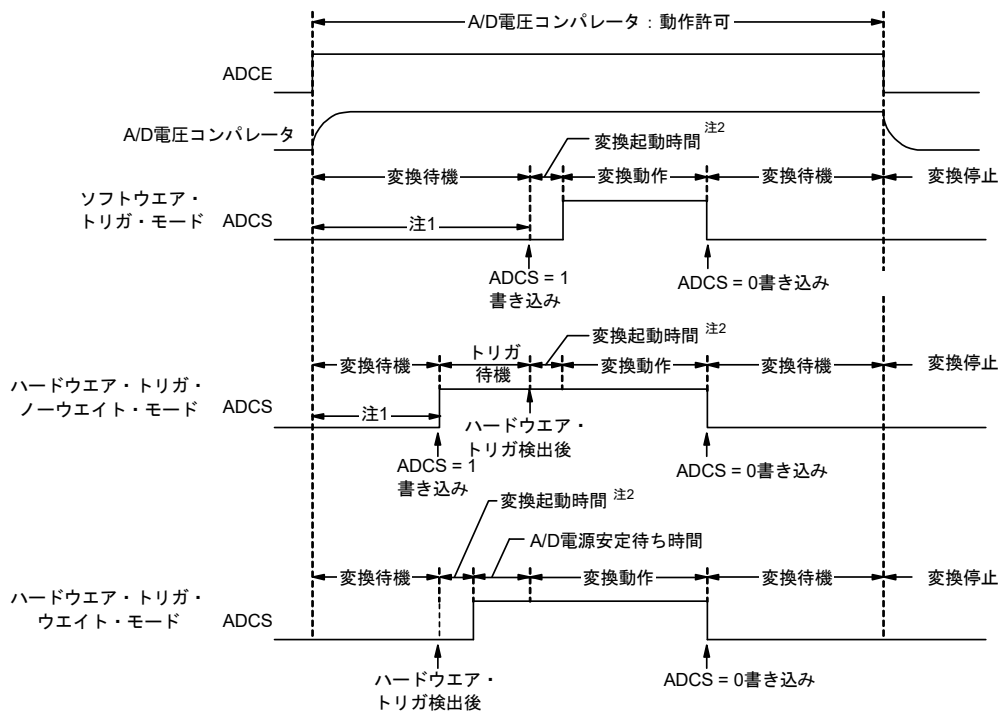
表 15 - 1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表 15 - 2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
ハードウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図15-4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1µs以上必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック (fAD)	変換起動時間(fCLKクロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	fCLK/64	63	1
0	0	1	fCLK/32	31	
0	1	0	fCLK/16	15	
0	1	1	fCLK/8	7	
1	0	0	fCLK/6	5	
1	0	1	fCLK/5	4	
1	1	0	fCLK/4	3	
1	1	1	fCLK/2	1	

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です(ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0 (変換停止/変換待機状態)のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時: fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時: fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 fCLK: CPU/周辺ハードウェア・クロック周波数

表 15 - 3 A/D 変換時間の選択 (1/4)

(1) A/D 電源安定待ち時間なし 標準モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数注	変換時間	10ビット分解能時の変換時間					
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ VDD ≤ 5.5 V					
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	標準1	fCLK/64	19 fAD (サンプリング・クロック数 : 7 fAD)	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs	
0	0	1	fCLK/32	608/fCLK		76 μs		38 μs				19 μs		
0	1	0	fCLK/16	304/fCLK		76 μs		38 μs				19 μs	9.5 μs	
0	1	1	fCLK/8	152/fCLK		38 μs		19 μs				9.5 μs	4.75 μs	
1	0	0	fCLK/6	114/fCLK		28.5 μs		14.25 μs				7.125 μs	3.5625 μs	
1	0	1	fCLK/5	95/fCLK		95 μs		23.75 μs				11.875 μs	5.938 μs	2.9688 μs
1	1	0	fCLK/4	76/fCLK		76 μs		19 μs				9.5 μs	4.75 μs	2.375 μs
1	1	1	fCLK/2	38/fCLK		38 μs		9.5 μs				4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	17 fAD (サンプリング・クロック数 : 5 fAD)	1088/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs	
0	0	1	fCLK/32	544/fCLK		68 μs		34 μs				17 μs		
0	1	0	fCLK/16	272/fCLK		68 μs		34 μs				17 μs	8.5 μs	
0	1	1	fCLK/8	136/fCLK		34 μs		17 μs				8.5 μs	4.25 μs	
1	0	0	fCLK/6	102/fCLK		25.5 μs		12.75 μs				6.375 μs	3.1875 μs	
1	0	1	fCLK/5	85/fCLK		85 μs		21.25 μs				10.625 μs	5.3125 μs	2.6563 μs
1	1	0	fCLK/4	68/fCLK		68 μs		17 μs				8.5 μs	4.25 μs	2.125 μs
1	1	1	fCLK/2	34/fCLK		34 μs		8.5 μs				4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (fAD) の2クロック分短くなります。

注意1. A/D変換時間は、37.6.1または38.6.1 A/Dコンバータ特性に示す変換時間 (tCONV) の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 15 - 4 A/D 変換時間の選択 (2/4)

(2) A/D 電源安定待ち時間なし 低電圧モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数 注4	変換時間	10ビット分解能時の変換時間							
FR2	FR1	FR0	LV1	LV0					1.6 V ≤ VDD ≤ 5.5 V		注1	注2	注3			
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz			
0	0	0	1	0	低電圧 1	fCLK/64	19 fAD (サンプリング・ クロック数 : 7 fAD)	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs			
0	0	1	fCLK/32	608/fCLK		76 μs		38 μs						19 μs		
0	1	0	fCLK/16	304/fCLK		76 μs		38 μs						19 μs	9.5 μs	
0	1	1	fCLK/8	152/fCLK		38 μs		19 μs						9.5 μs	4.75 μs	
1	0	0	fCLK/6	114/fCLK		28.5 μs		14.25 μs						7.125 μs	3.5625 μs	
1	0	1	fCLK/5	95/fCLK		95 μs		23.75 μs						11.875 μs	5.938 μs	2.9688 μs
1	1	0	fCLK/4	76/fCLK		76 μs		19 μs						9.5 μs	4.75 μs	2.375 μs
1	1	1	fCLK/2	38/fCLK		38 μs		9.5 μs						4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧 2	fCLK/64	17 fAD (サンプリング・ クロック数 : 5 fAD)	1088/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs			
0	0	1	fCLK/32	544/fCLK		68 μs		34 μs						17 μs		
0	1	0	fCLK/16	272/fCLK		68 μs		34 μs						17 μs	8.5 μs	
0	1	1	fCLK/8	136/fCLK		34 μs		17 μs						8.5 μs	4.25 μs	
1	0	0	fCLK/6	102/fCLK		25.5 μs		12.75 μs						6.375 μs	3.1875 μs	
1	0	1	fCLK/5	85/fCLK		85 μs		21.25 μs						10.625 μs	5.3125 μs	2.6563 μs
1	1	0	fCLK/4	68/fCLK		68 μs		17 μs						8.5 μs	4.25 μs	2.125 μs
1	1	1	fCLK/2	34/fCLK		34 μs		8.5 μs						4.25 μs	2.125 μs	設定禁止

注1. 1.8 V ≤ VDD ≤ 5.5 V

注2. 2.4 V ≤ VDD ≤ 5.5 V

注3. 2.7 V ≤ VDD ≤ 5.5 V

注4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (fAD) の2クロック分短くなります。

注意1. A/D変換時間は、37.6.1または38.6.1 A/Dコンバータ特性に示す変換時間 (tCONV) の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 15 - 5 A/D 変換時間の選択 (3/4)

(3) A/D 電源安定待ち時間あり 標準モード1, 2
(ハードウェア・トリガ・ウエイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数注2	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間 2.7 V ≤ VDD ≤ 5.5 V					
FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	標準1	fCLK/64	8 fAD	19 fAD (サンプリング・クロック数 : 7 fAD)	1728/fCLK	設定禁止	設定禁止	設定禁止	108 μs	54 μs	
0	0	1	fCLK/32	864/fCLK		108 μs			54 μs				27 μs		
0	1	0	fCLK/16	432/fCLK		108 μs			54 μs				27 μs	13.5 μs	
0	1	1	fCLK/8	216/fCLK		54 μs			27 μs				13.5 μs	6.75 μs	
1	0	0	fCLK/6	162/fCLK		40.5 μs			20.25 μs				10.125 μs	5.0625 μs	
1	0	1	fCLK/5	135/fCLK		135 μs			33.75 μs				16.875 μs	8.4375 μs	4.21875 μs
1	1	0	fCLK/4	108/fCLK		108 μs			27 μs				13.5 μs	6.75 μs	3.375 μs
1	1	1	fCLK/2	54/fCLK		54 μs			13.5 μs				6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	8 fAD	17 fAD (サンプリング・クロック数 : 5 fAD)	1600/fCLK	設定禁止	設定禁止	設定禁止	100 μs	50 μs	
0	0	1	fCLK/32	800/fCLK		100 μs			50 μs				25 μs		
0	1	0	fCLK/16	400/fCLK		100 μs			50 μs				25 μs	12.5 μs	
0	1	1	fCLK/8	200/fCLK		50 μs			25 μs				12.5 μs	6.25 μs	
1	0	0	fCLK/6	150/fCLK		37.5 μs			18.75 μs				9.375 μs	4.6875 μs	
1	0	1	fCLK/5	125/fCLK		125 μs			31.25 μs				15.625 μs	7.8125 μs	3.90625 μs
1	1	0	fCLK/4	100/fCLK		100 μs			25 μs				12.5 μs	6.25 μs	3.125 μs
1	1	1	fCLK/2	50/fCLK		50 μs			12.5 μs				6.25 μs	3.125 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表15-3参照)。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

注意1. A/D変換時間は、37.6.1または38.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 15 - 6 A/D 変換時間の選択 (4/4)

(4) A/D 電源安定待ち時間あり 低電圧モード1, 2
(ハードウェア・トリガ・ウエイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数注5	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間						
FR2	FR1	FR0	LV1	LV0						1.6 V ≤ VDD ≤ 5.5 V	注2	注3	注4			
										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz		
0	0	0	1	0	低電圧1	fCLK/64	2 fAD	19 fAD (サンプリング・クロック数 : 7 fAD)	1344/fCLK	設定禁止	設定禁止	設定禁止	84 μs	42 μs		
0	0	1				672/fCLK			84 μs				42 μs	21 μs		
0	1	0				336/fCLK			84 μs				42 μs	21 μs	10.5 μs	
0	1	1				168/fCLK			42 μs				21 μs	10.5 μs	5.25 μs	
1	0	0				126/fCLK			31.25 μs				15.75 μs	7.875 μs	3.9375 μs	
1	0	1				105/fCLK			105 μs				26.25 μs	13.125 μs	6.5625 μs	3.238125 μs
1	1	0				84/fCLK			84 μs				21 μs	10.5 μs	5.25 μs	2.625 μs
1	1	1				42/fCLK			42 μs				10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	fCLK/64	2 fAD	17 fAD (サンプリング・クロック数 : 5 fAD)	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs		
0	0	1				608/fCLK			76 μs				38 μs	19 μs		
0	1	0				304/fCLK			76 μs				38 μs	19 μs	9.5 μs	
0	1	1				152/fCLK			38 μs				19 μs	9.5 μs	4.75 μs	
1	0	0				114/fCLK			28.5 μs				14.25 μs	7.125 μs	3.5625 μs	
1	0	1				95/fCLK			96 μs				23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				76/fCLK			76 μs				19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				38/fCLK			38 μs				9.5 μs	4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表 15 - 4 参照)。

注2. 1.8 V ≤ VDD ≤ 5.5 V

注3. 2.4 V ≤ VDD ≤ 5.5 V

注4. 2.7 V ≤ VDD ≤ 5.5 V

注5. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

注意1. A/D変換時間は、37.6.1または38.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

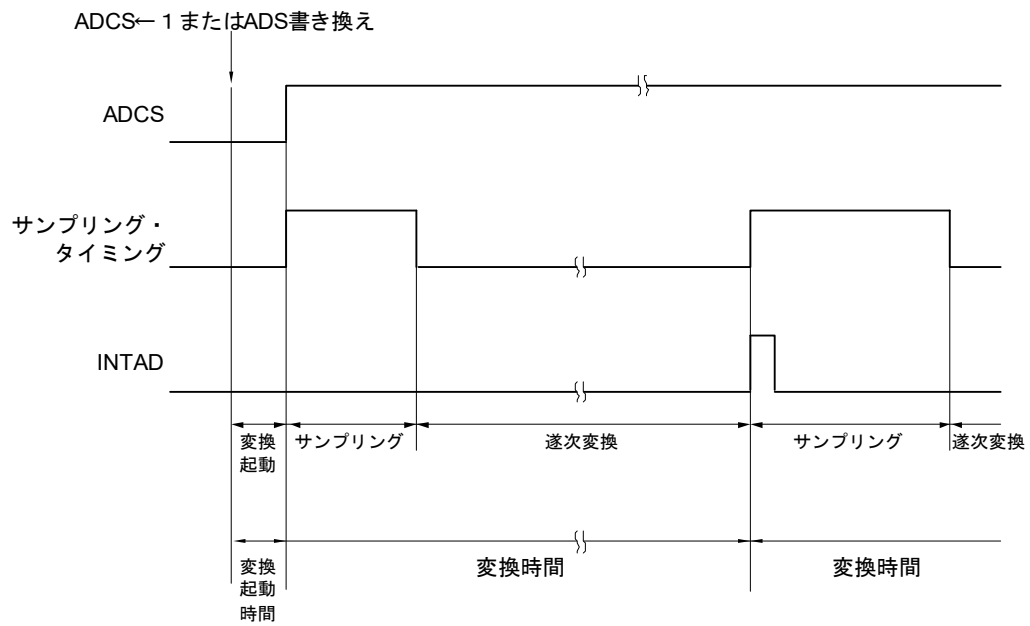
注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

図15-5 A/DコンバータのサンプリングとA/D変換のタイミング(例 ソフトウェア・トリガ・モードの場合)



15.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-6 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
	ADTMD1	ADTMD0	A/D変換トリガ・モードの選択					
	0	0	ソフトウェア・トリガ・モード					
	0	1						
	1	0	ハードウェア・トリガ・ノーウエイト・モード					
	1	1	ハードウェア・トリガ・ウエイト・モード					
	ADSCM	A/D変換動作モードの設定						
	0	連続変換モード						
	1	ワンショット変換モード						
	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択					
	0	0	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)					
	0	1	ELCで選択されたイベント信号					
	1	0	リアルタイム・クロック割り込み信号 (INTRTC)					
	1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)					

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTRTC、INTIT入力後最大fCLKの4クロック間は、次のINTRTC、INTIT入力がトリガとして有効になりません。

備考1. × : Don't care

備考2. fCLK : CPU/周辺ハードウェア・クロック周波数

15.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図 15-7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP
ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択						
0	0	VDDから供給						
0	1	P20/AVREFP/ANI0から供給						
1	0	内部基準電圧(1.45 V)から供給注						
1	1	設定禁止						
<p>・ ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。</p> <p>① ADCE = 0に設定</p> <p>② ADREFP1, ADREFP0の値を変更</p> <p>③ 基準電圧安定待ち時間ウエイト(A)</p> <p>④ ADCE = 1に設定</p> <p>⑤ 基準電圧安定待ち時間ウエイト(B)</p> <p>ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μs, B = 1 μs</p> <p>ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウエイト不要, B = 1 μs</p> <p>⑤のウエイトのあとに, A/D変換開始してください。</p> <p>・ ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力電圧と内部基準電圧をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。</p>								
ADREFM	A/Dコンバータの-側の基準電圧の選択							
0	VSSから供給							
1	P21/AVREFM/ANI1から供給							

注 HS (高速メイン)モードでのみ動作可能です。

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は, ADREFP1 = 1に設定しないでください。内部基準電圧(ADREFP1, ADREFP0 = 1, 0)選択時は, 37.3.2または38.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

注意3. AVREFPとAVREFMを使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

図15-8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ ≤ ADCRレジスタ ≤ ADULレジスタ (AREA1)のとき割り込み信号 (INTAD)が発生。
1	ADCRレジスタ < ADLLレジスタ (AREA2), ADULレジスタ < ADCRレジスタ (AREA3)のとき割り込み信号 (INTAD)が発生。
AREA1 ~ AREA3の割り込み信号 (INTAD)発生範囲を図15-9に示します。	

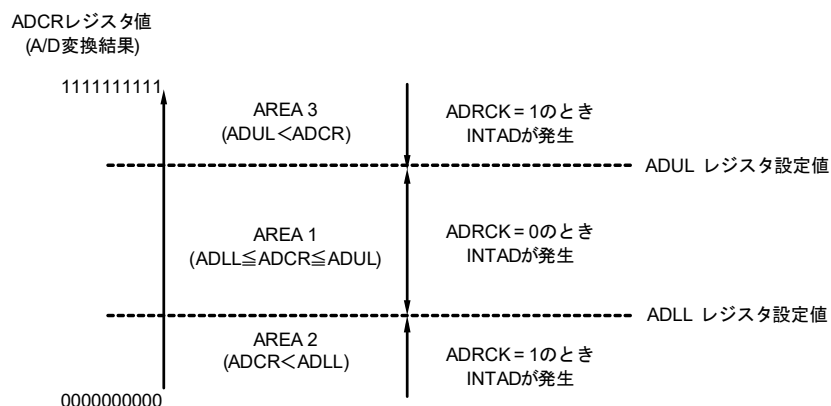
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。	
<ul style="list-style-type: none"> • SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック」以上の間隔を空けて設定してください。 • SNOOZE機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。 AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。 	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 26.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0)のときに行ってください。

図15-9 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

15.3.5 10ビットA/D変換結果レジスタ (ADCR)

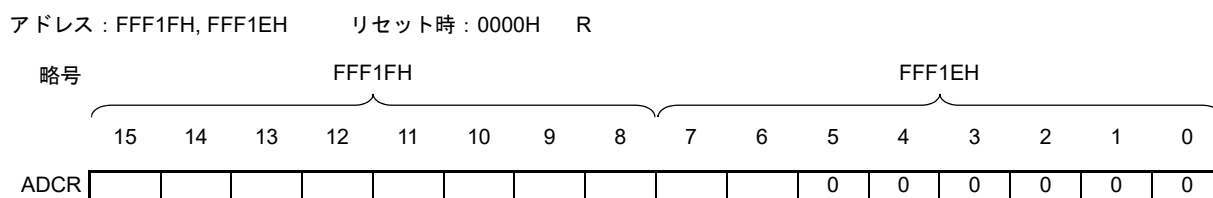
A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます注。

ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図15-9参照))で設定した値の範囲外の場合は格納されません。

図15-10 10ビットA/D変換結果レジスタ(ADCR)のフォーマット



注意1. 8ビット分解能A/D変換を選択時(A/Dコンバータ・モード・レジスタ2(ADM2)のADTYP = 1)にADCRレジスタをリードした場合、下位2ビット(ADCRレジスタのビット7、ビット6)は、0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合、変換結果上位10ビットがビット15から順に読み出せます。

15.3.6 8ビットA/D変換結果レジスタ (ADCRH)

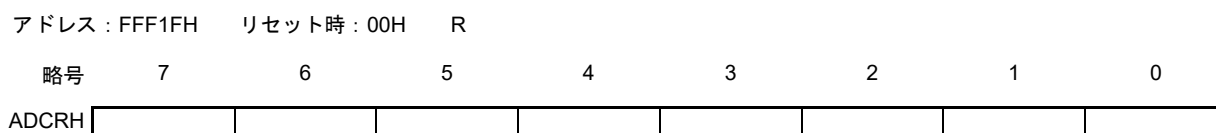
A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します注。

ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図15-9参照))で設定した値の範囲外の場合は格納されません。

図15-11 8ビットA/D変換結果レジスタ(ADCRH)のフォーマット



注意 A/Dコンバータ・モード・レジスタ0(ADM0)、アナログ入力チャネル指定レジスタ(ADS)に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

15.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-12 アナログ入力チャネル指定レジスタ (ADS)のフォーマット(1/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	選択チャネル	64-pin	48-pin	36-pin	32-pin	24-pin
0	0	0	0	0	0	ANI0	○	○	○	○	○
0	0	0	0	0	1	ANI1	○	○	○	○	○
0	0	0	0	1	0	ANI2	○	○	○	○	○
0	0	0	0	1	1	ANI3	○	○	○	○	×
0	0	0	1	0	0	ANI4	○	○	○	×	×
0	0	0	1	0	1	ANI5	○	○	○	×	×
0	0	0	1	1	0	ANI6	○	○	×	×	×
0	0	0	1	1	1	ANI7	○	○	×	×	×
0	1	0	0	0	0	ANI16	○	○	○	○	○
0	1	0	0	0	1	ANI17	○	○	○	○	○
0	1	0	0	1	0	ANI18	○	○	○	○	○
0	1	0	0	1	1	ANI19	○	○	○	○	×
0	1	0	1	0	0	ANI20	○	○	○	○	○
0	1	0	1	0	1	ANI21	○	○	○	○	○
0	1	0	1	1	0	ANI22	○	○	○	○	×
0	1	0	1	1	1	ANI23	○	○	○	○	×
0	1	1	0	0	0	ANI24	○	○	○	○	×
0	1	1	0	0	1	PGAOUT (PGA出力)	○	○	○	○	○
1	0	0	0	0	0	温度センサ出力電圧 ^{注1,2}	○	○	○	○	○
1	0	0	0	0	1	内部基準電圧(1.45 V) ^{注2}	○	○	○	○	○
上記以外						設定禁止					

注1. コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧(1.45 V)を選択している場合は、温度センサ出力を選択できません。

注2. HS (高速メイン)モードでのみ動作可能です。

(注意, 備考は次ページにあります。)

図15-13 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット(2/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○ スキャン・モード (ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル				64-pin	48-pin	36-pin	32-pin	24-pin
						スキャン0	スキャン1	スキャン2	スキャン3					
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3	○	○	○	○	×
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4	○	○	○	×	×
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5	○	○	○	×	×
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6	○	○	×	×	×
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7	○	○	×	×	×
上記以外						設定禁止								

注意1. ビット5, 6には必ず0を設定してください。

注意2. PMCx レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ 0-2, 12, 14 (PM0-PM2, PM12, PM14) で入力モードに選択してください。

注意3. ポート・モード・コントロール・レジスタ 0-2, 12, 14 (PMC0-PMC2, PMC12, PMC14) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。

注意6. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。

注意7. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧(1.45 V)は使用できません。

また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、15.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定(例 ソフトウェア・トリガ・モード、ワンショット変換モード時)を参照してください。

注意8. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、37.3.2 または38.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

備考 ○ : 設定可能, × : 設定禁止

15.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図15-9参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

図15-14 変換結果比較上限値設定レジスタ (ADUL)のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

15.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図15-9参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-15 変換結果比較下限値設定レジスタ (ADLL)のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

15.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、は8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx / 温度センサ出力電圧注 / 内部基準電圧(1.45 V)注 (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

15.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx))を設定してください。詳細は, 4.3.1 ポート・モード・レジスタ (PMxx), 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)を参照してください。

ANI0-ANI7, ANI16-ANI24 端子をA/Dコンバータのアナログ入力として使用するときは, 各ポートに対応するポート・モード・レジスタ (PMxx)とポート・モード・コントロール・レジスタ (PMCxx)のビットに1を設定してください。

15.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 9 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力が $(1/2)AV_{REF}$ よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、 $(1/2)AV_{REF}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次に SAR レジスタのビット 8 が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ビット9 = 1 : $(3/4) AV_{REF}$
 - ビット9 = 0 : $(1/4) AV_{REF}$この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 - サンプリングされた電圧 \geq 電圧タップ : ビット8 = 1
 - サンプリングされた電圧 < 電圧タップ : ビット8 = 0
- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします注1。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します注2。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図15-9参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

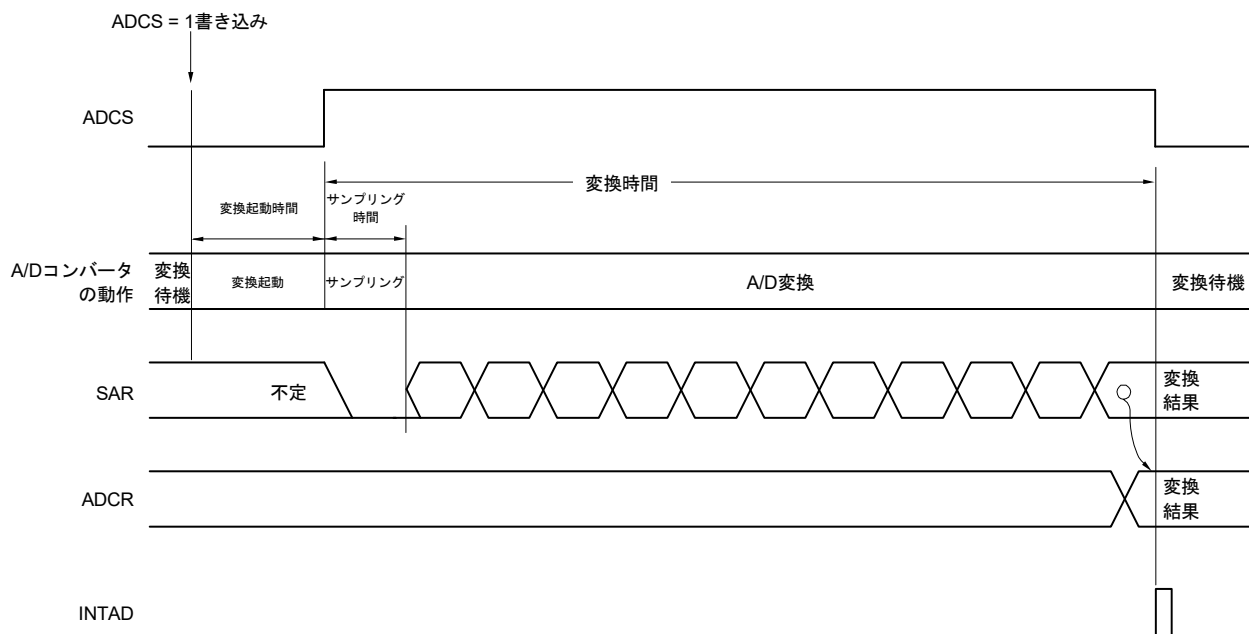
注2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ (16ビット): 10ビットのA/D変換値を格納します。
- ADCRHレジスタ (8ビット): 8ビットのA/D変換値を格納します。

備考2. AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧 (1.45 V), V_{DD} から選択可能です。

図15-17 A/Dコンバータの変換動作(ソフトウェア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ(ADS)に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ(ADCR, ADCRH)は、リセット信号の発生により0000Hまた00Hとなります。

15.5 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7, ANI16-ANI24) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (10 ビット A/D 変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT (): () 内の値の整数部を返す関数

V_AIN : アナログ入力電圧

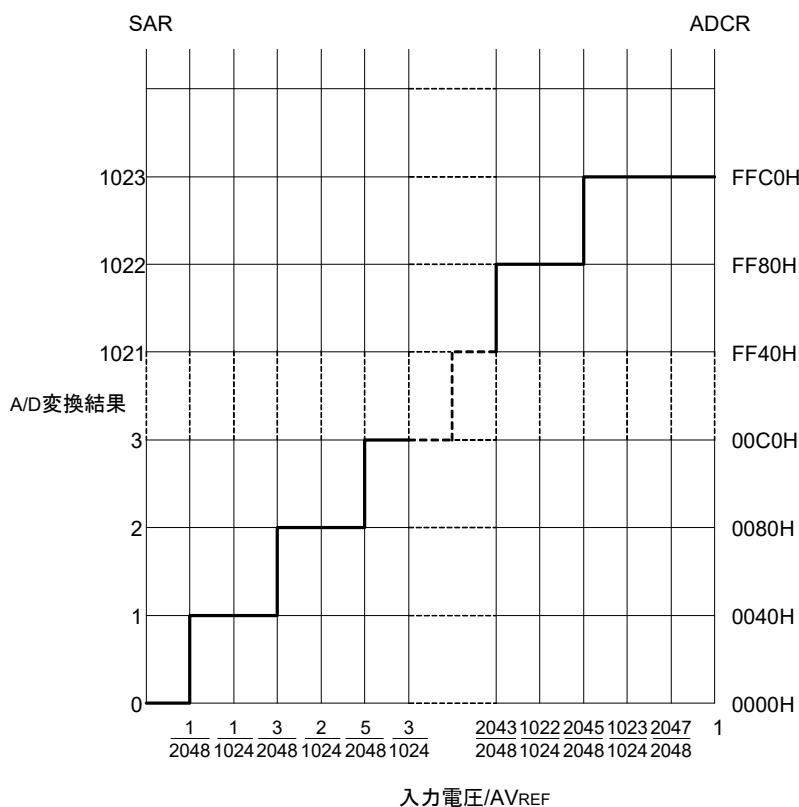
V_{REF} : V_{REF} 端子電圧

ADCR : A/D 変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図 15 - 18 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 15 - 18 アナログ入力電圧と A/D 変換結果の関係



備考 V_{REF} : A/D コンバータの + 側基準電圧。V_{REFP}, 内部基準電圧 (1.45 V), V_{DD} から選択可能です。

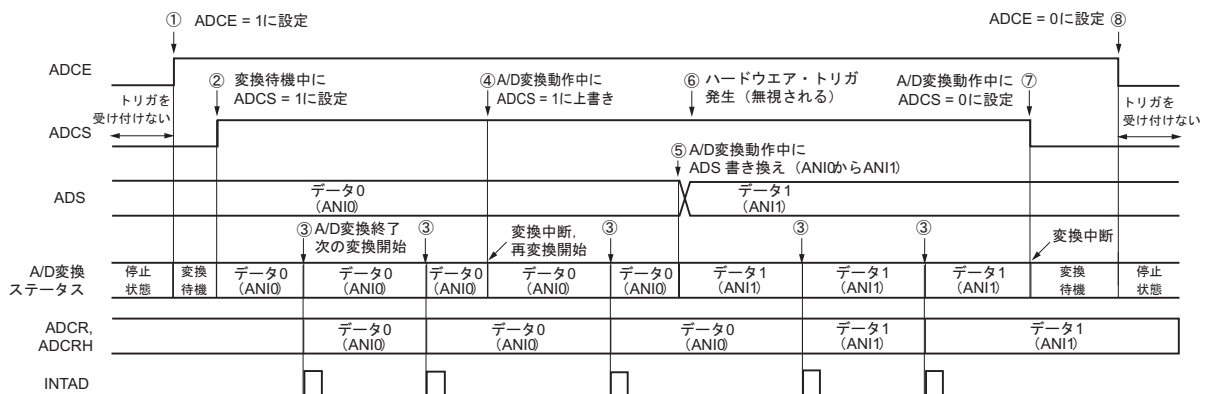
15.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を15.7 A/Dコンバータの設定フロー・チャートに示します。

15.6.1 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

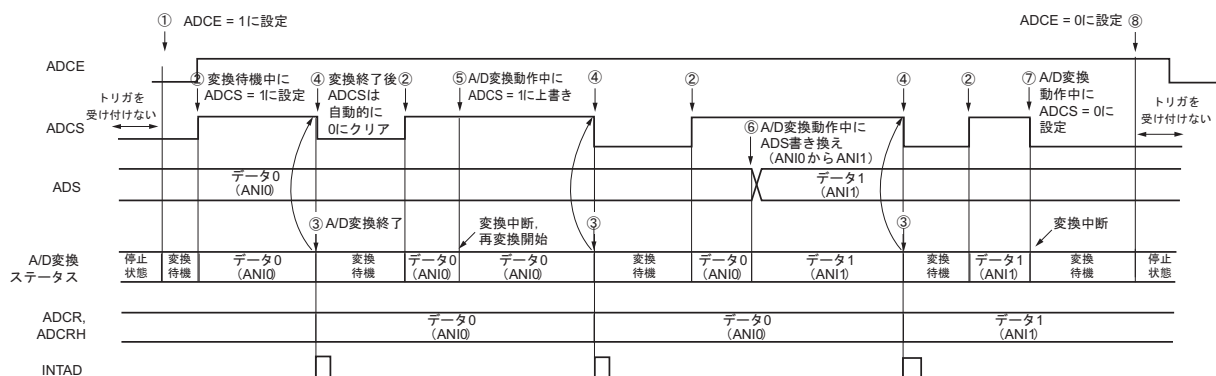
図15-19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例



15.6.2 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

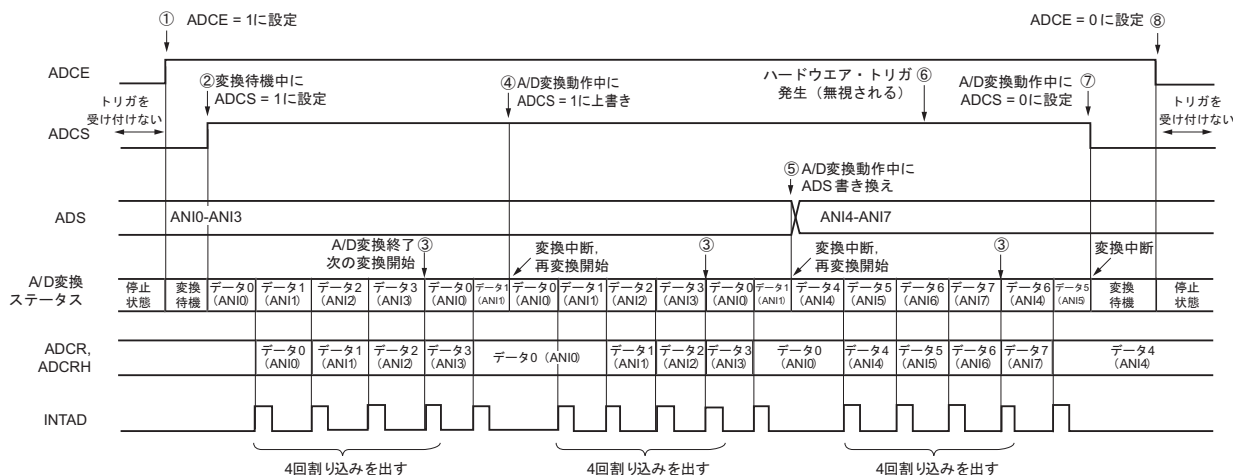
図15-20 ソフトウェア・セレクト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



15.6.3 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます(4チャンネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

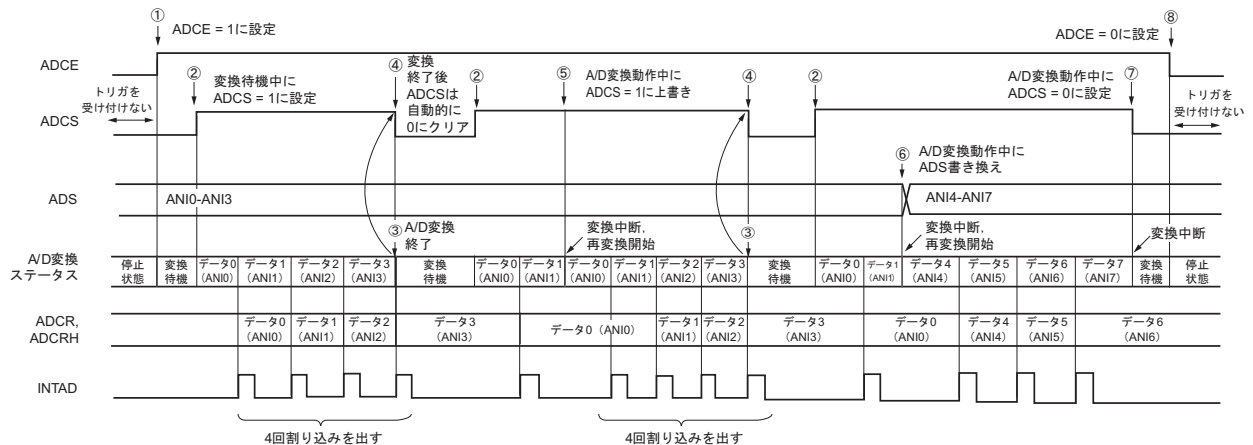
図15-21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例



15.6.4 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ 4チャンネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

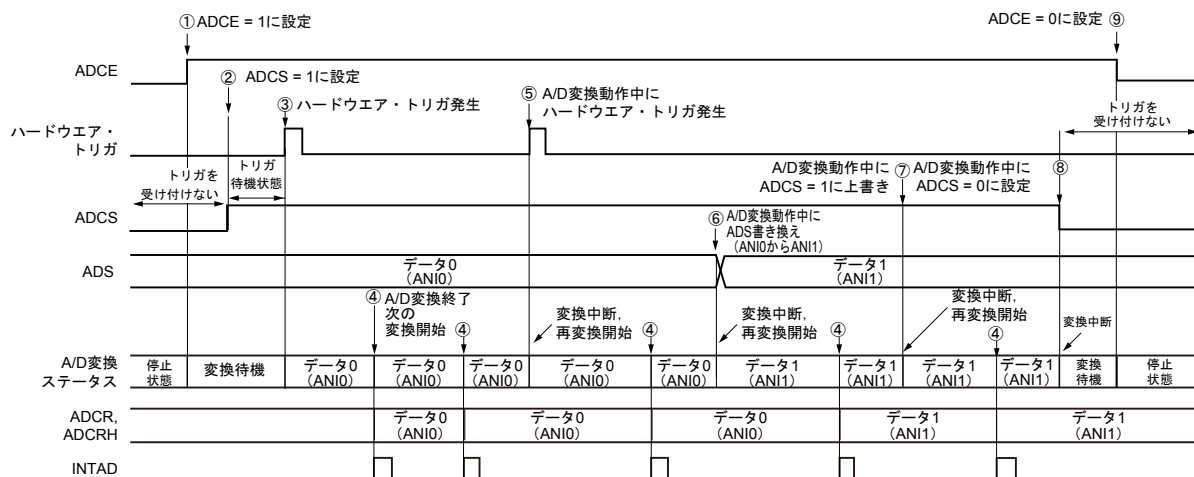
図 15 - 22 フトウエア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



15.6.5 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

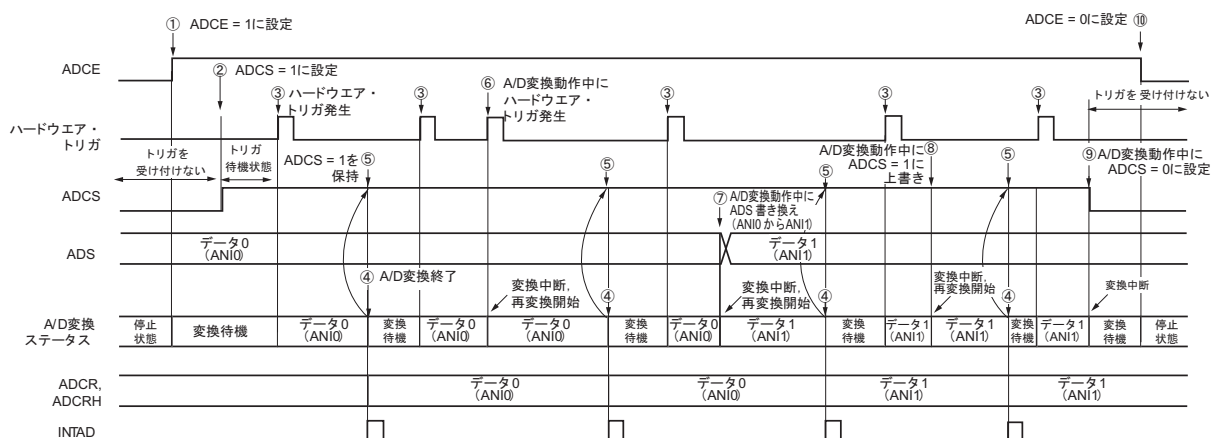
図15-23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



15.6.6 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

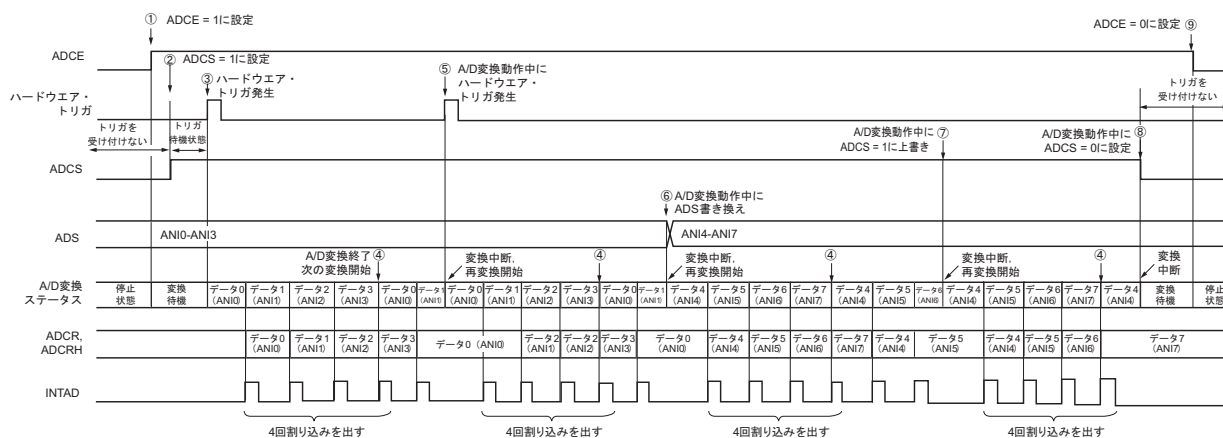
図15-24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



15.6.7 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

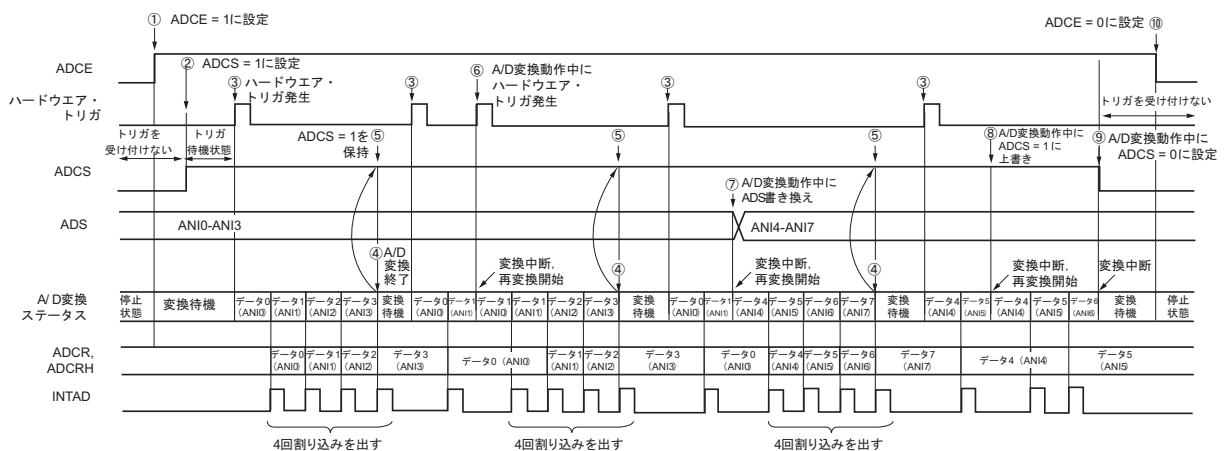
図15-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



15.6.8 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ 4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

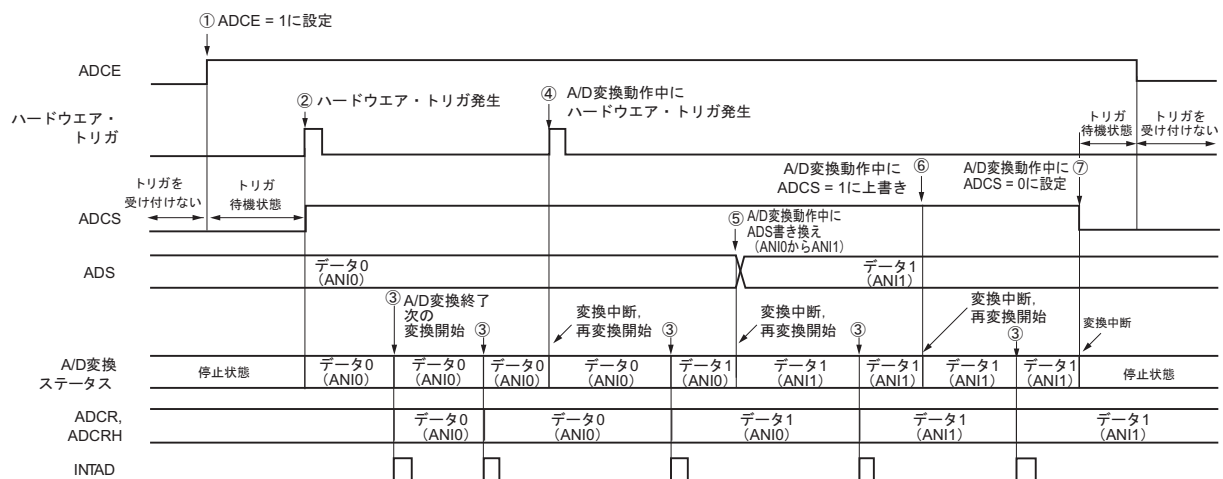
図15-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



15.6.9 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します(このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS= 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

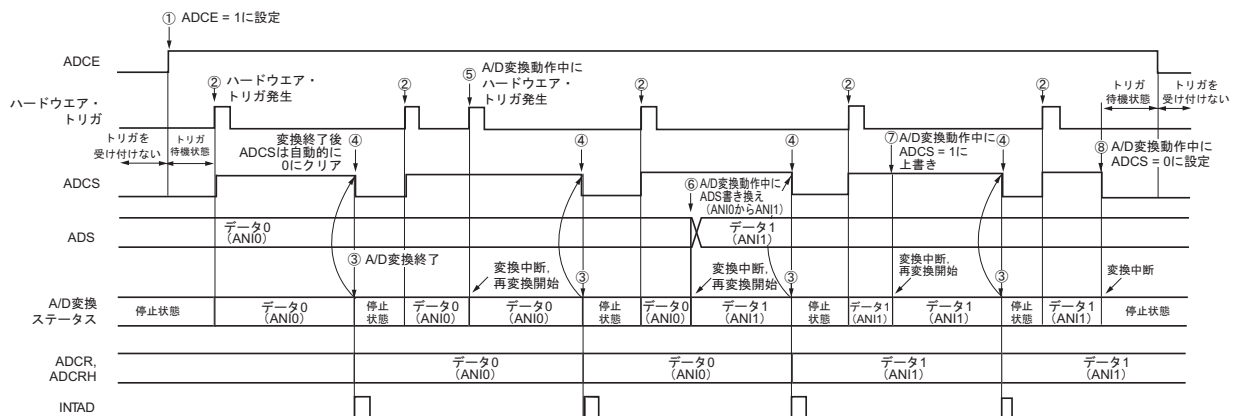
図 15 - 27 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



15.6.10 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS= 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

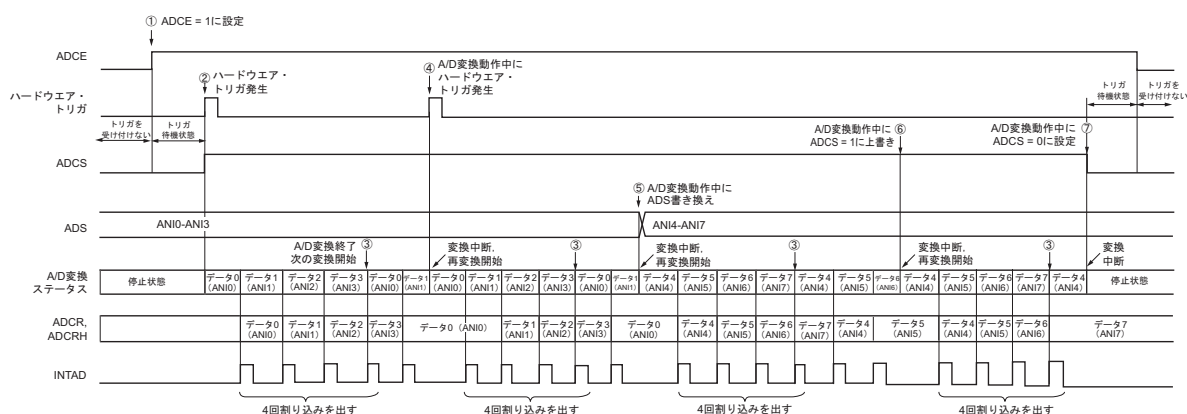
図 15 - 28 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



15.6.11 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

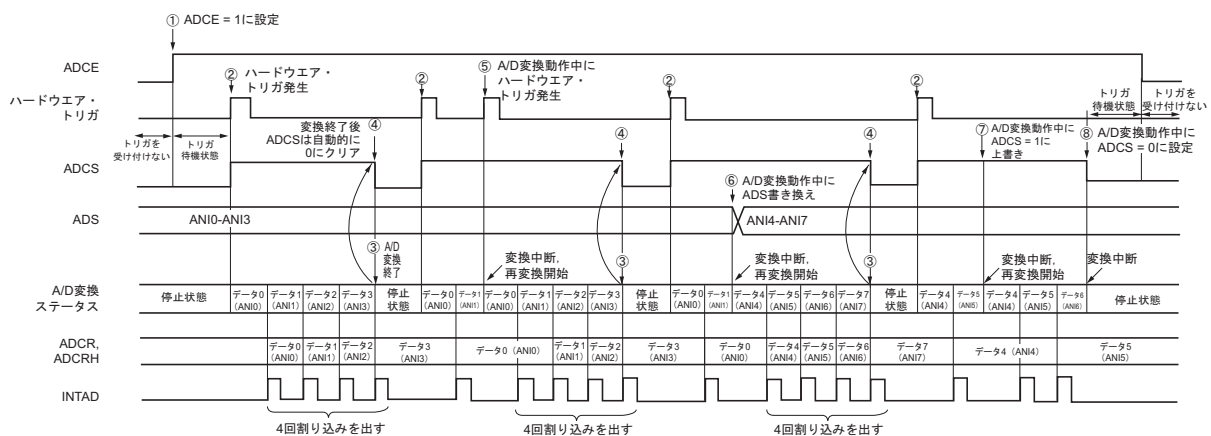
図 15 - 29 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



15.6.12 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図15-30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例

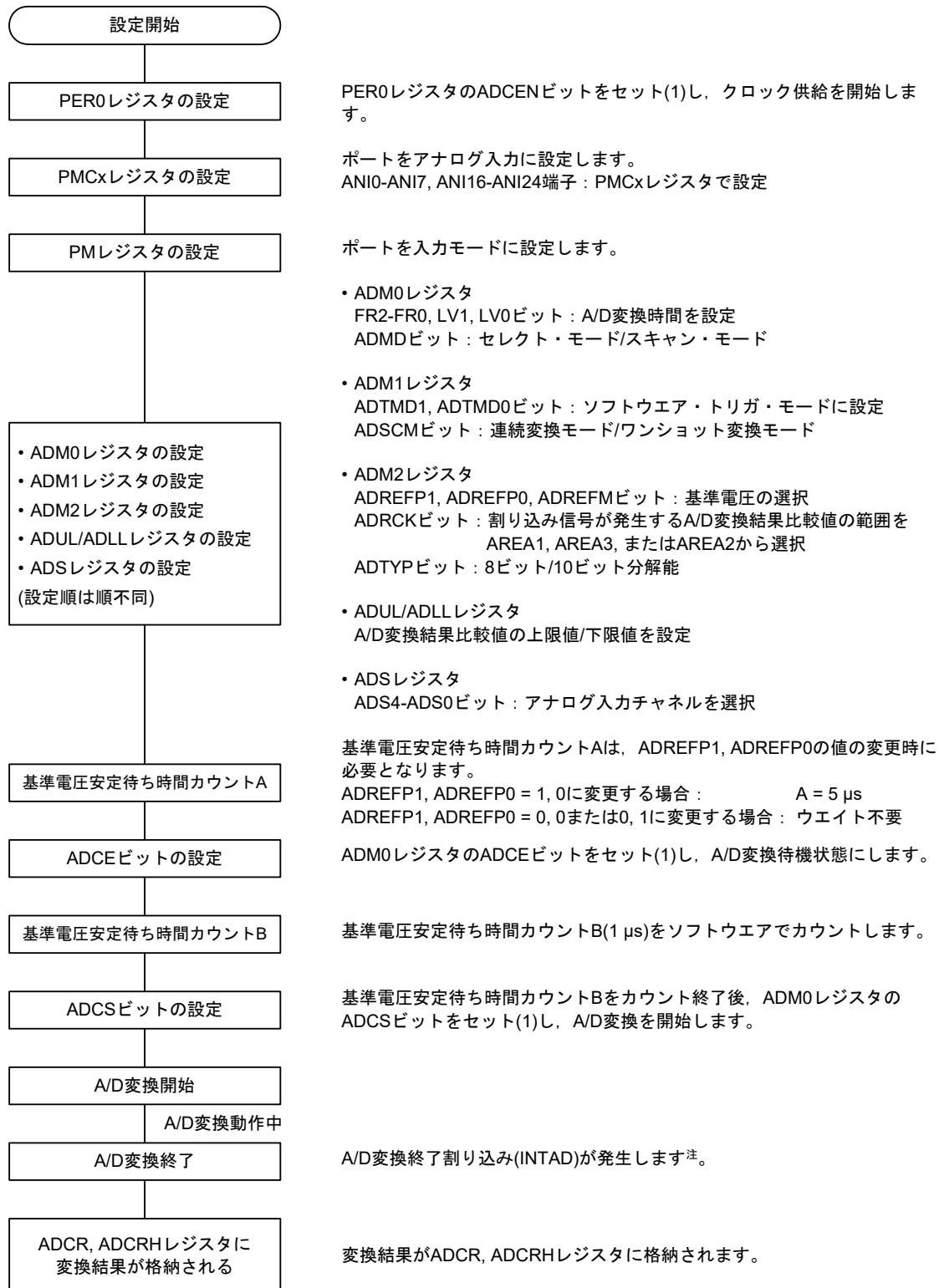


15.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

15.7.1 ソフトウェア・トリガ・モード設定

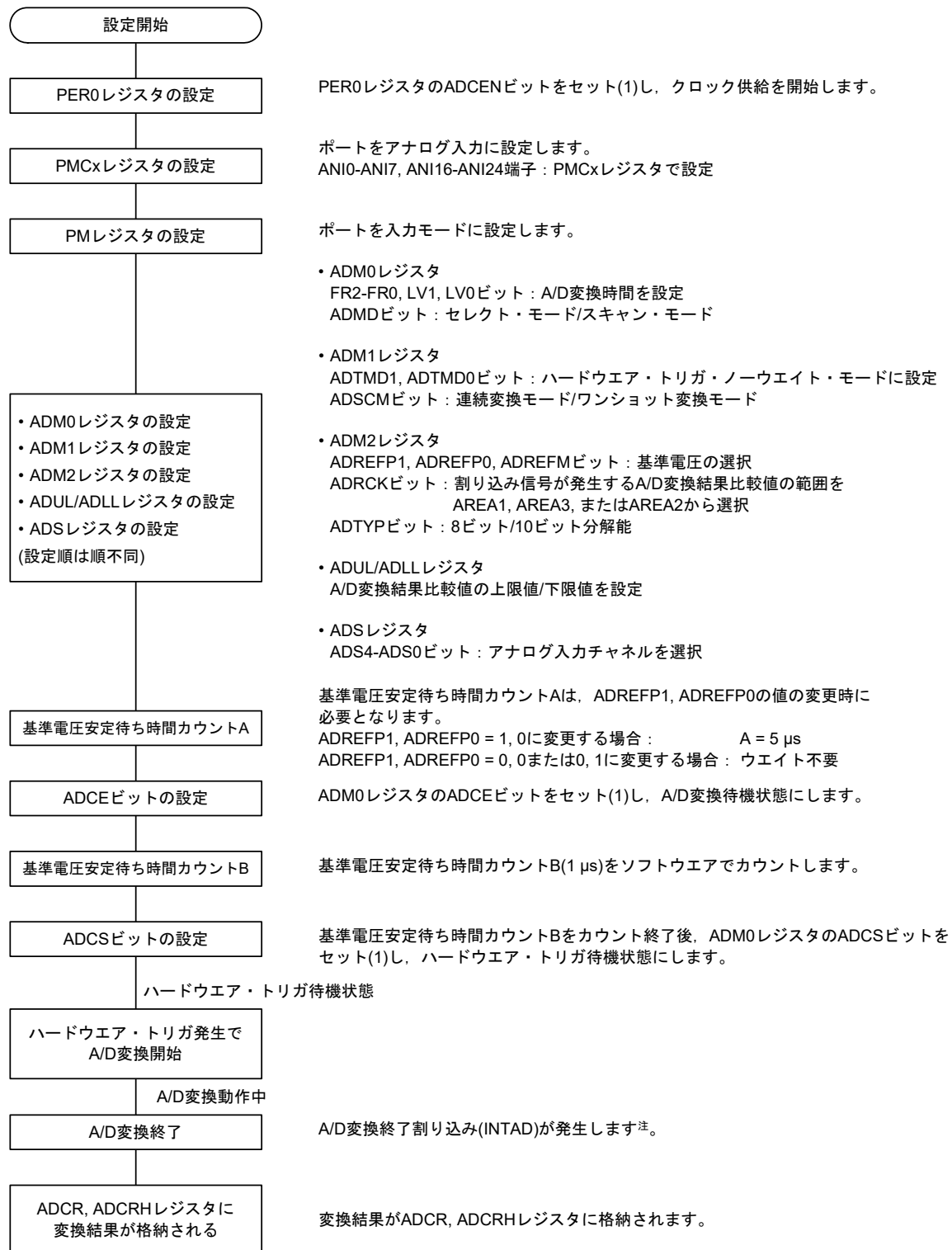
図 15 - 31 ソフトウェア・トリガ・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

15.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

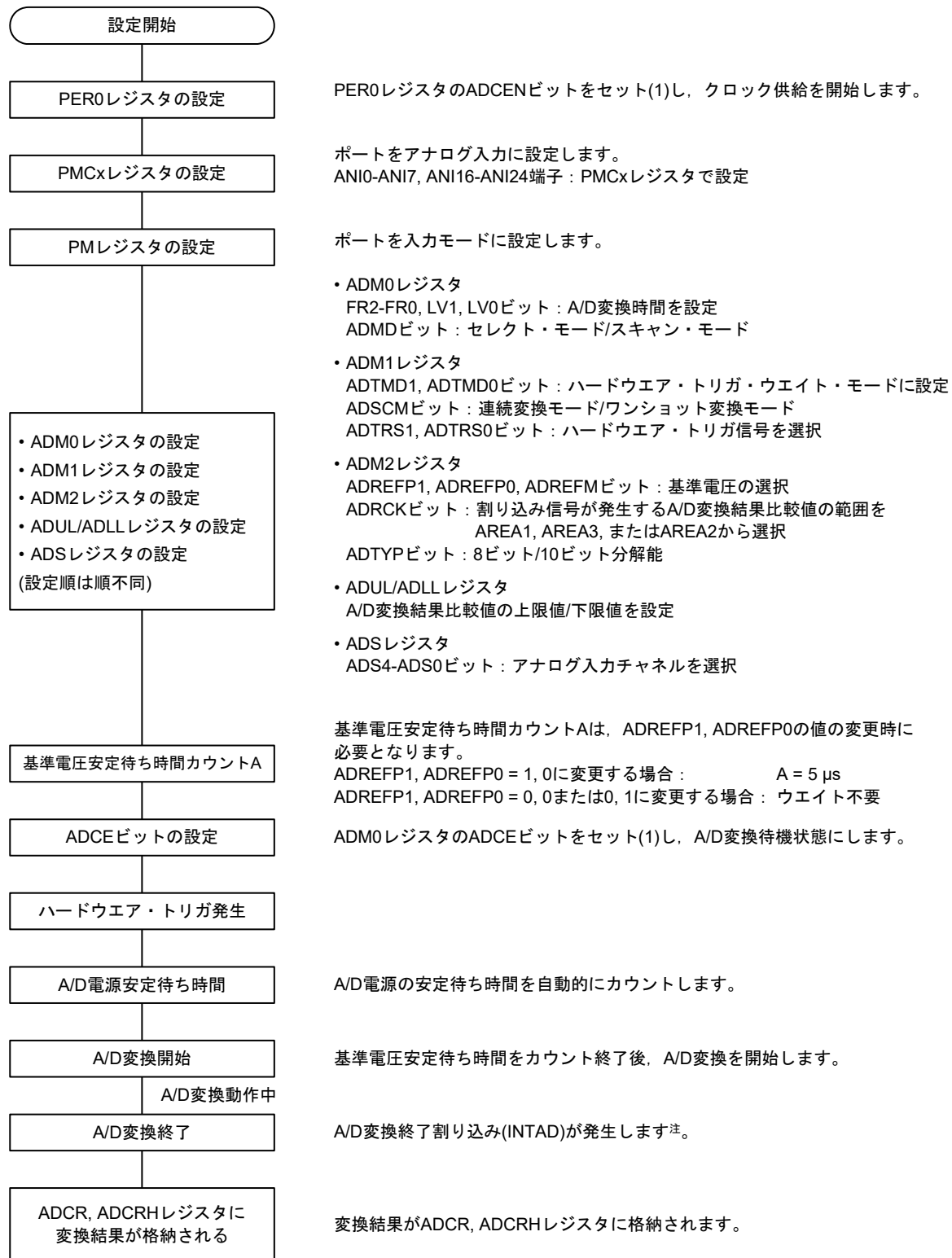
図15-32 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADCR, ADCRHレジスタに結果は格納されません。

15.7.3 ハードウェア・トリガ・ウェイト・モード設定

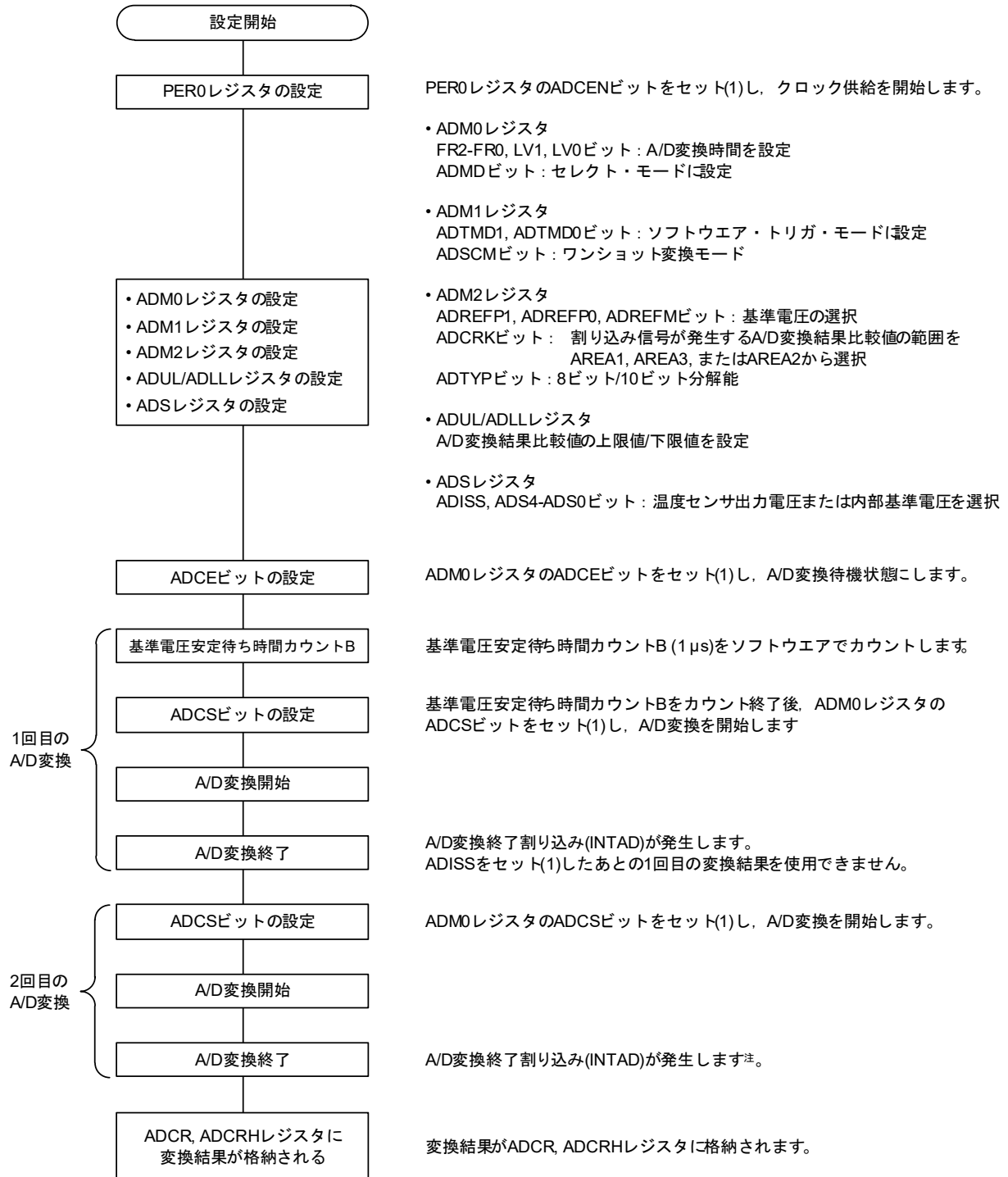
図15-33 ハードウェア・トリガ・ウェイト・モード設定



注 ADCR, ADCRHレジスタに格納されません。

15.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード、ワンショット変換モード時)

図 15 - 34 温度センサ出力電圧／内部基準電圧を選択時の設定

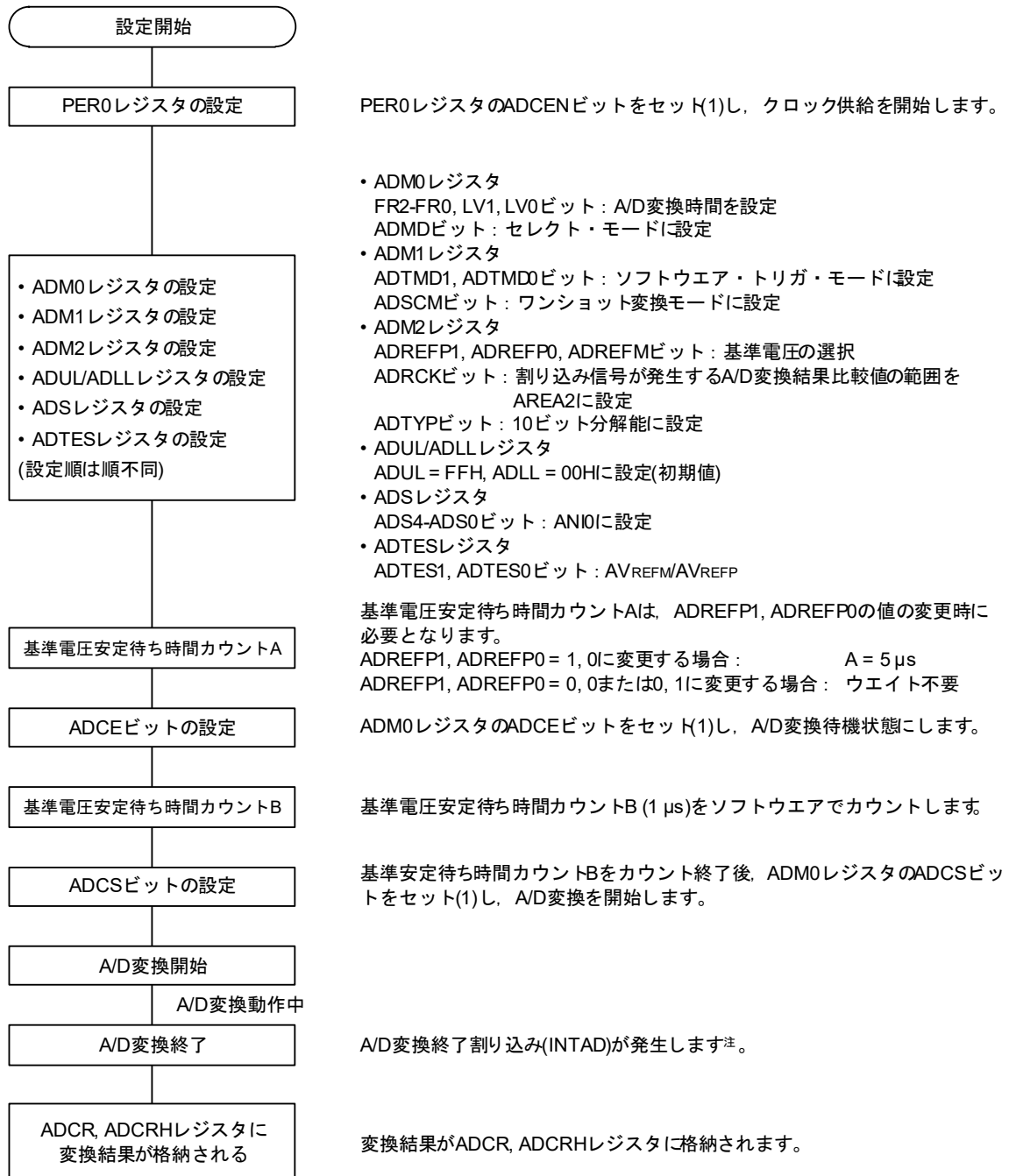


注 ADCRKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン)モードでのみ選択可能です。

15.7.5 テスト・モード設定

図15 - 35 テスト・モード設定



注 ADRCKEビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、30.3.8 A/Dテスト機能を参照してください。

15.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

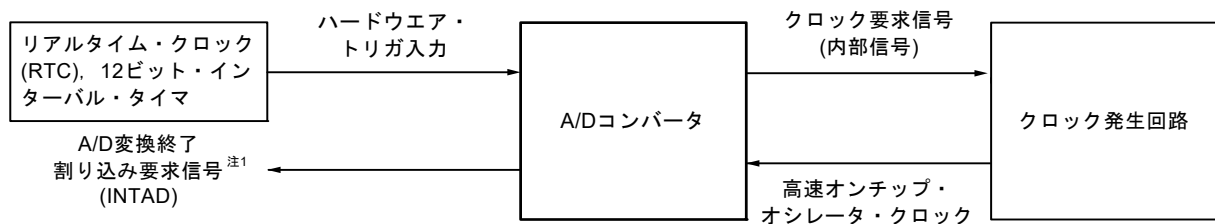
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)
- ・ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図15-36 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います(15.7.3ハードウェア・トリガ・ウエイト・モード設定を参照注2)。このとき、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定しておきます。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります注1。

注意1. A/D変換結果比較機能の設定(ADRCKビット, ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。

注意2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考 ハードウェア・トリガは、ELCで選択されたイベント, INTRTCまたはINTITです。

ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合, A/D変換終了割り込み要求信号(INTAD)は発生します。

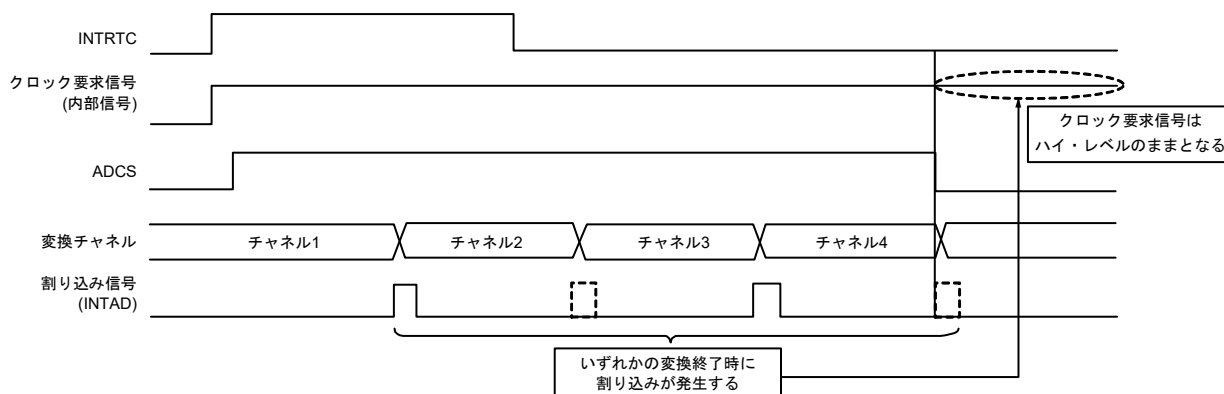
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号(INTAD)が発生した場合, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にA/D変換が開始されません。

図15-37 A/D変換終了後に割り込みが発生する場合の動作例(スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合, A/D変換終了割り込み要求信号(INTAD)は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, 4チャンネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

図15-38 A/D変換終了後に割り込みが発生しない場合の動作例(スキャン・モード時)

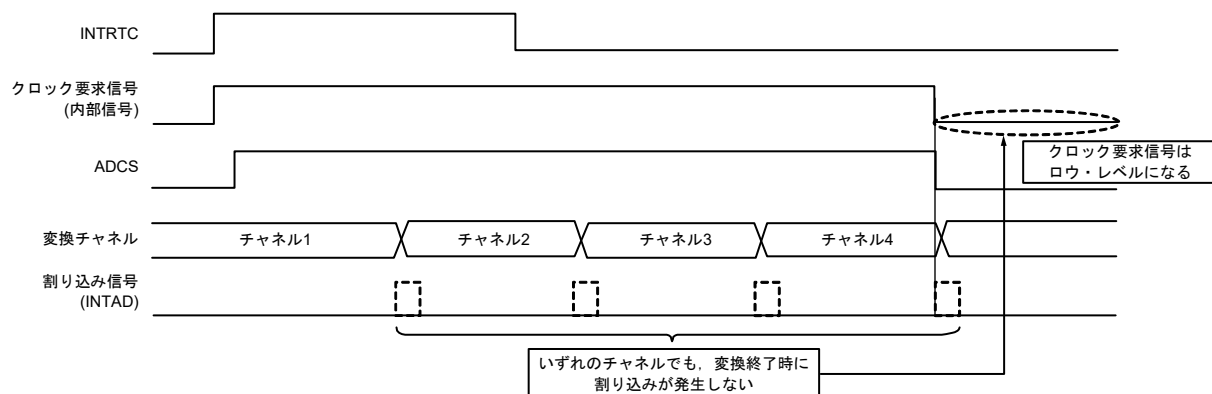
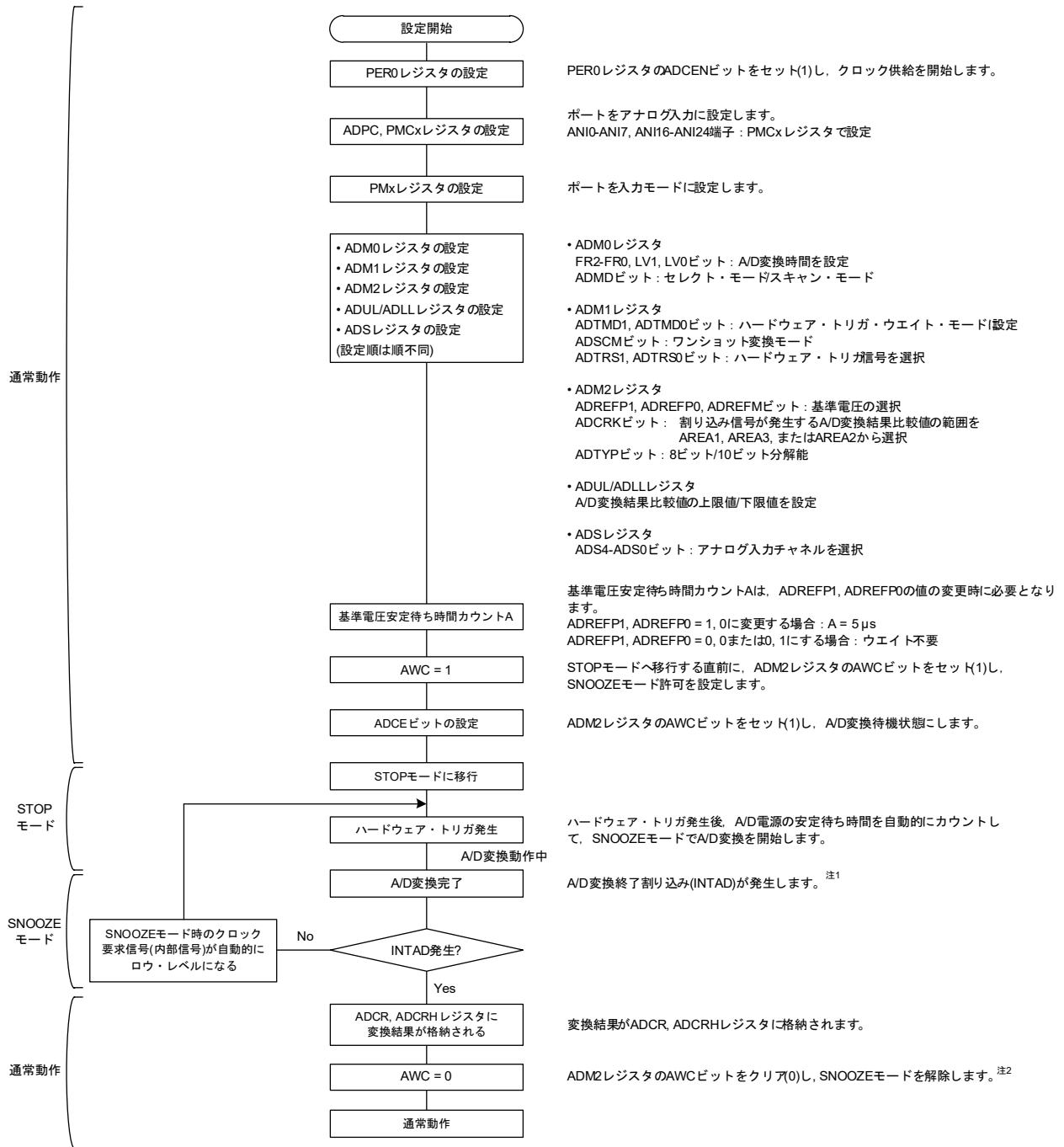


図 15 - 39 SNOOZEモード設定のフローチャート



注1. ADCRKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

15.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range)で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{10} = 1/1024 \\ = 0.098 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図 15 - 40 総合誤差

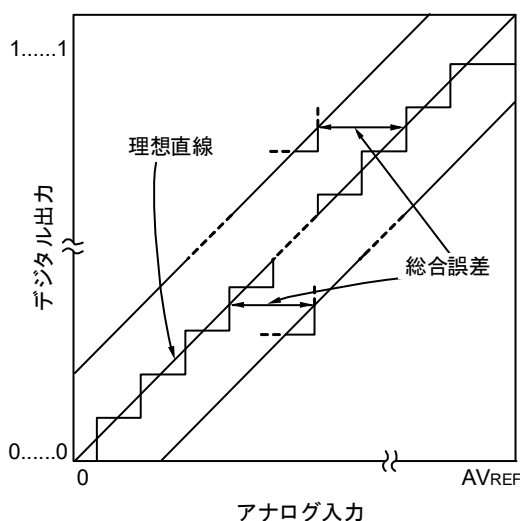
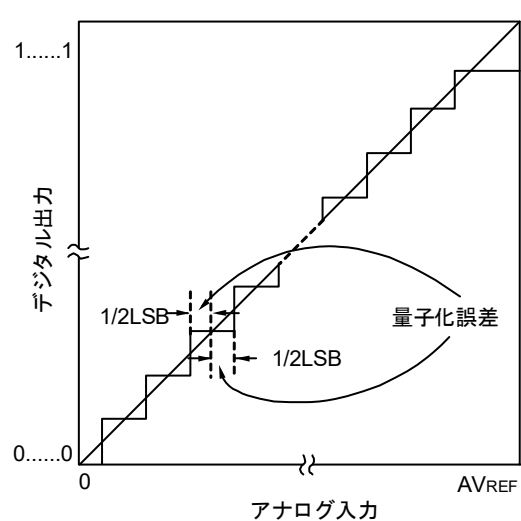


図 15 - 41 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図 15 - 42 ゼロスケール誤差

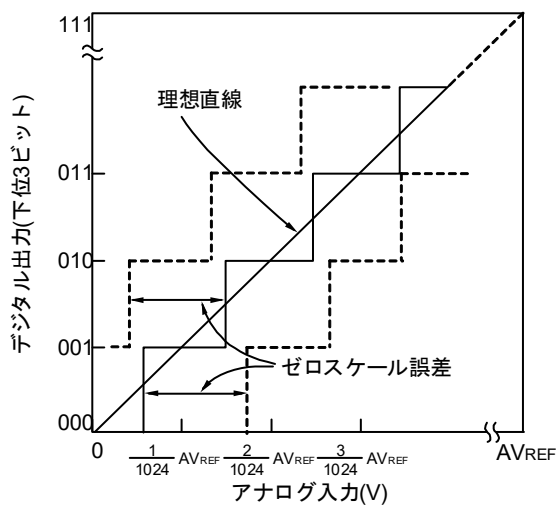


図 15 - 43 フルスケール誤差

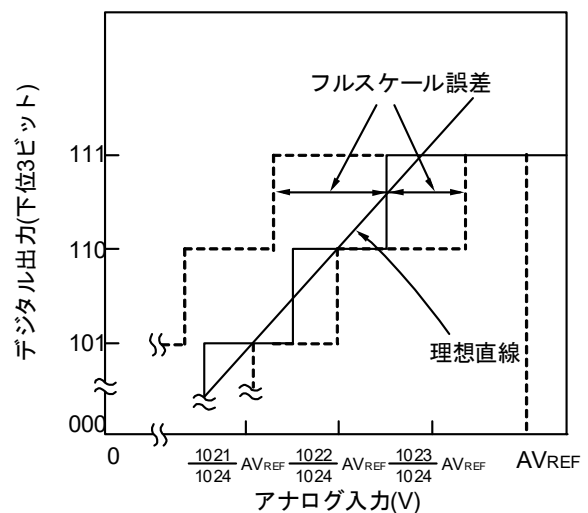


図15-44 積分直線性誤差

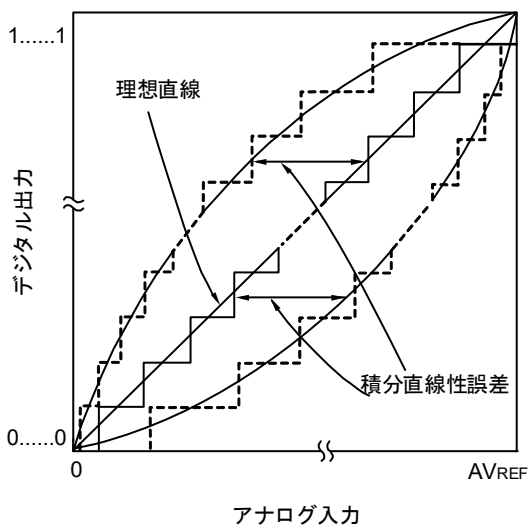
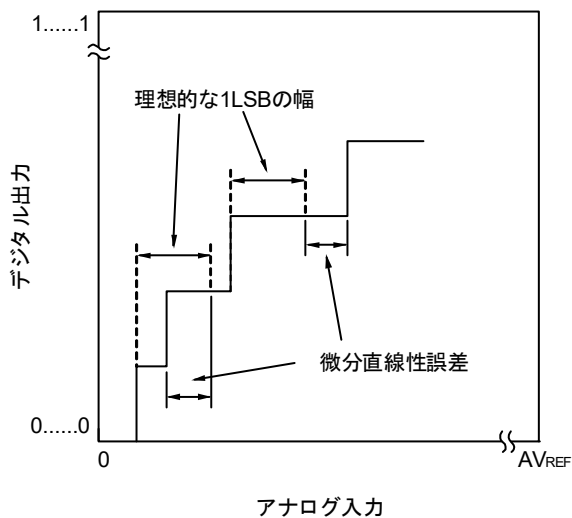


図15-45 微分直線性誤差



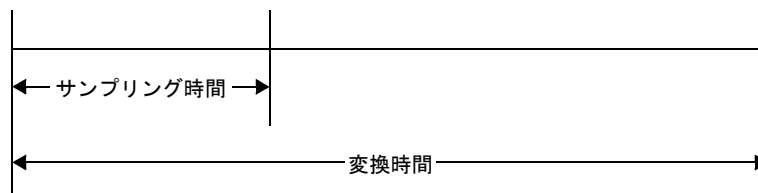
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



15.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H)のビット0 (ADIF)をクリア(0)してから、動作開始してください。

(2) ANI0-ANI7, ANI16-ANI24端子入力範囲について

ANI0-ANI7, ANI16-ANI24 端子入力電圧は規格の範囲内でご使用ください。特にVDD, AVREFPを超える電圧, VSS, AVREFM未満(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内蔵基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内蔵基準電圧を超える電圧になっていても問題ありません。

注意 内蔵基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト、アナログ入力チャンネル指定レジスタ(ADS)へのライトの競合

ADM0, ADSレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AVREFP, VDD, ANI0-ANI7, ANI16-ANI24端子へのノイズに注意する必要があります。

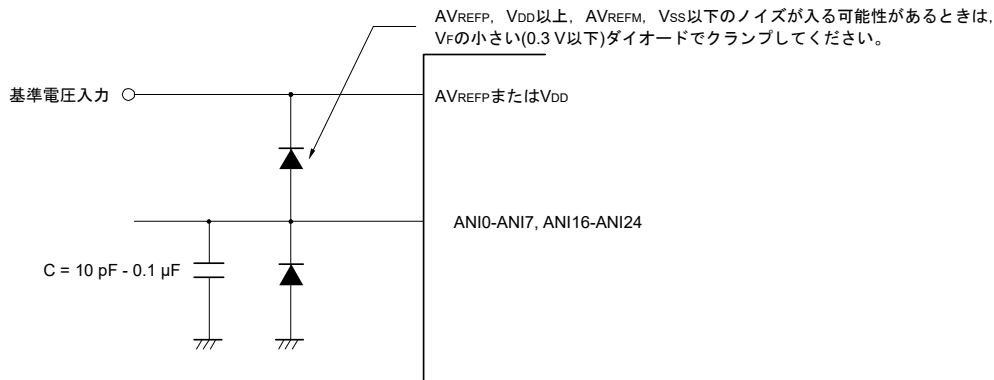
① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図15-46のようにコンデンサを外付けすることを推奨します。

③ 変換中においては、他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図15-46 アナログ入力端子の処理



(5) アナログ入力(ANIn)端子

- ① アナログ入力(ANI0-ANI7, ANI16-ANI24)端子は入力ポート(P20-P27, P03, P02, P147, P120, P10-P14)端子と兼用になっています。

ANI0-ANI7, ANI16-ANI24 端子のいずれかを選択してA/D変換をする場合、変換中にP20-P27, P03, P02, P147, P120, P10-P14に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

(6) アナログ入力(ANIn)端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを $1 \text{ k}\Omega$ 以下にしてください。出カインピーダンスが $1 \text{ k}\Omega$ 以下にできないときはサンプリング時間を長く設定するかANI0-ANI7, ANI16-ANI24端子に $0.1 \mu\text{F}$ 程度のコンデンサを付けることを推奨します(図15-46参照)。また、変換動作中にADCS = 0に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出カインピーダンスを低くするか十分なサンプリング時間を確保してください。

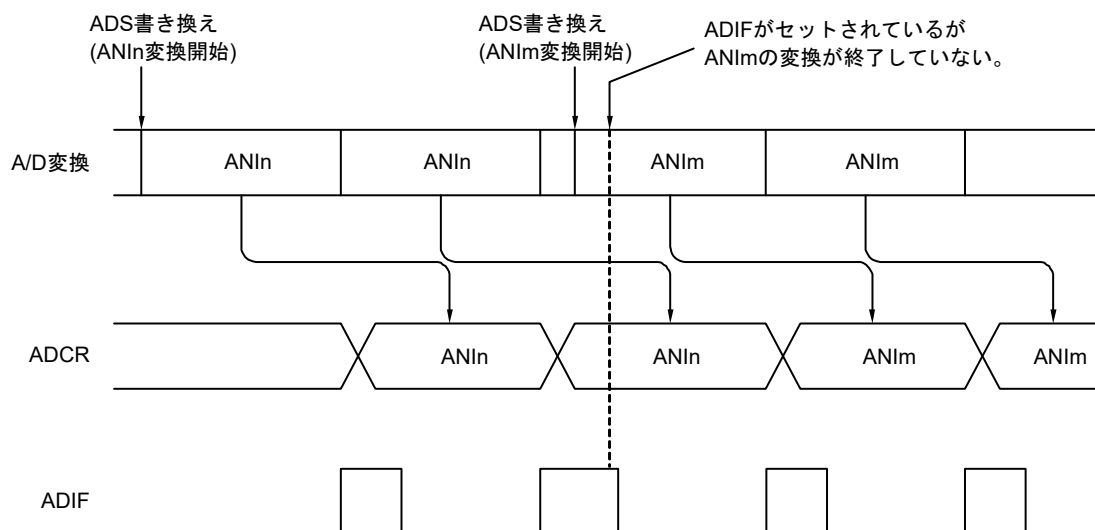
(7) 割り込み要求フラグ(ADIF)について

アナログ入力チャンネル指定レジスタ(ADS)を変更しても割り込み要求フラグ(ADIF)はクリア(0)されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア(0)してください。

図15-47 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット=1にしてから、1 μ s以内にADCSビット=1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロール・レジスタ (PMCxx) に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図 15 - 48 ANIn 端子内部等価回路

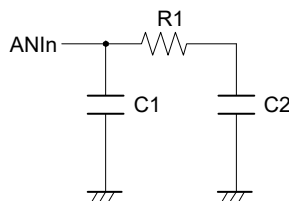


表 15 - 7 等価回路の各抵抗と容量値(参考値)

AVREFP, VDD	ANIn 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V ≤ VDD ≤ 5.5 V	ANI0-ANI7	14	8	2.5
	ANI16-ANI24	18	8	7.0
2.7 V ≤ VDD < 3.6 V	ANI0-ANI7	39	8	2.5
	ANI16-ANI24	53	8	7.0
1.8 V ≤ VDD < 2.7 V	ANI0-ANI7	231	8	2.5
	ANI16-ANI24	321	8	7.0
1.6 V ≤ VDD < 2.7 V	ANI0-ANI7	632	8	2.5
	ANI16-ANI24	902	8	7.0

備考 表 15 - 7 の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

(12) 温度センサ出力について

コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧(1.45 V)を選択している場合は、温度センサ出力を選択できません。

(13) AVREFP/AVREFM使用時について

AVREFP/AVREFMを使用する場合は、ANI0/ANI1をアナログ入力に設定 (PMC20/PMC21 = 1) し、ポート・モード・レジスタは入力モードを選択してください。

(14) 電源安定時間について

ADCE = 1を設定後、ADCS = 1を設定するまでのADの電源安定待ち時間は、通常モード、低電圧モードのどちらの場合であっても1 μs以上必要です。

第16章 D/Aコンバータ

D/Aコンバータのチャンネルは製品によって異なります。

表 16 - 1 D/Aコンバータの出力端子

D/A出力端子	24ピン	32, 36, 48, 64ピン
ANO0	○	○
ANO1	—	○

注意 この章では、以降の主な説明を64ピン製品の場合で説明しています。

16.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8ビット分解能のコンバータで、2チャンネル(ANO0, ANO1)のアナログ出力を制御できます。

D/Aコンバータには、次のような機能があります。

○8ビット分解能 × 2ch

○OR-2Rラダー方式

○アナログ出力電圧

- 8ビット分解能 : $V_{DD} \times m8/256$ (m8 : DACSiレジスタに設定した値)

○動作モード

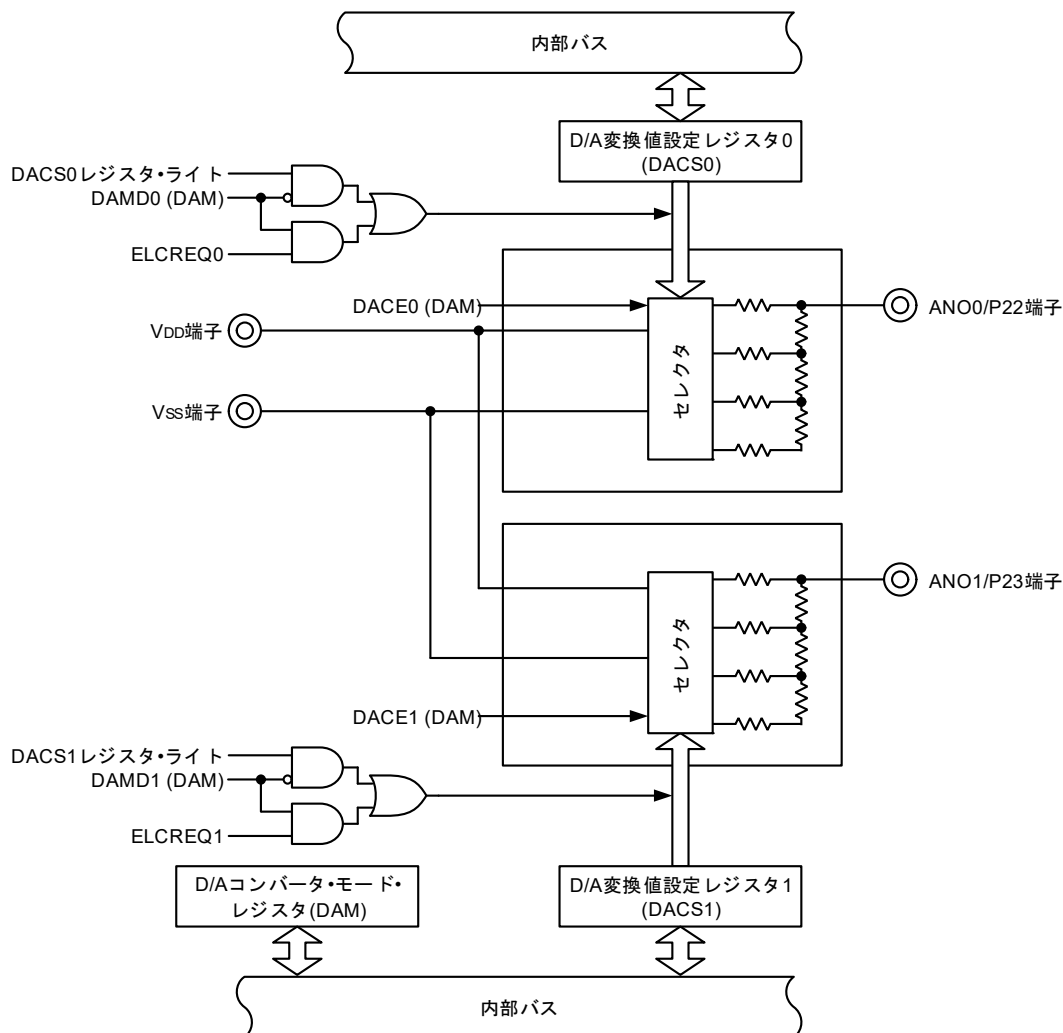
- 通常モード
- リアルタイム出力モード

備考 $i = 0, 1$

16.2 D/Aコンバータの構成

図16-1にD/Aコンバータのブロック図を示します。

図16-1 D/Aコンバータのブロック図



備考 ELCREQ0, ELCREQ1は、リアルタイム出力モードに使用するトリガ信号(ELCからのイベント信号)です。

16.3 D/Aコンバータを制御するレジスタ

D/Aコンバータは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ1 (PER1)
- D/Aコンバータ・モード・レジスタ (DAM)
- D/A変換値設定レジスタ0, 1 (DACS0, DACS1)
- ポート・モード・コントロール・レジスタ (PMC2)
- イベント出力先選択レジスタn (ELSELRn) (n = 00~21)

16.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用する場合は、必ずビット7 (DACEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1レジスタは00Hになります。

図16-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMPEN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN
DACEN	D/Aコンバータの入カクロックの制御							
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータはリセット状態							
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード/ライト可							

注意 D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。

DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ2 (PM2), ポート・レジスタ2 (P2)は除く)。

16.3.2 D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

DAMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-3 D/Aコンバータ・モード・レジスタ (DAM)のフォーマット

アドレス : FFF36H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0
DACEi	D/Aコンバータの変換動作の制御							
0	D/A変換動作停止							
1	D/A変換動作許可							
DAMDi	D/Aコンバータの動作モードの選択							
0	通常動作モード							
1	リアルタイム出力モード							

備考 i = 0, 1

16.3.3 D/A変換値設定レジスタi (DACSi)(i = 0, 1)

D/Aコンバータを使用する場合、ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

DACSiレジスタは、8ビット・メモリ操作命令で設定します。

リセットにより、00Hになります。

図16-4 D/A変換値設定レジスタi (DACSi)(i = 0, 1)のフォーマット

アドレス : FFF34H (DACS0), FFF35H (DACS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DACSi	DACSi7	DACSi6	DACSi5	DACSi4	DACSi3	DACSi2	DACSi1	DACSi0

備考 D/Aコンバータのアナログ出力電圧(VANOi)は、次のようになります。

$$VANOi = V_{DD} \times (DACSi) / 256$$

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDACEiビットを0(出力禁止)にし、DACSiレジスタを00Hにして、R-2Rの抵抗に電流が流れないようにしてください。

16.3.4 イベント出力先選択レジスタ n (ELSELRn) (n = 00～21)

D/Aコンバータのリアルタイム出力モードを使用する場合、イベント・リンク・コントローラからのイベント信号を起動トリガとして、D/A変換を行います。詳細は、23.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00～21) を参照してください。

16.3.5 アナログ入力端子のポート機能を制御するレジスタ

D/Aコンバータのアナログ出力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx)、ポート・モード・コントロール・レジスタ (PMCxx)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.6 ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

ANO0, ANO1端子をD/Aコンバータのアナログ出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定し、ポート・モード・コントロール・レジスタ (PMCxx) でアナログ出力に設定してください。

16.4 D/Aコンバータの動作

16.4.1 通常モード時の動作

DACSiレジスタへのライト動作を起動トリガとして、D/A変換を行います。

以下にその設定動作を示します。

- ①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ②ポート・モード・コントロール・レジスタ (PMC2)でポートをアナログ端子に設定します。
- ③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMD_iビットを0(通常モード)に設定します。
- ④DACSiレジスタ(D/A変換値設定レジスタ_i)に、ANO_i端子出力するアナログ電圧値を設定します。

以上①～④を初期設定として行います。

- ⑤DAMレジスタのDACE_iビットを1(D/A変換動作許可)に設定します。

これによりD/A変換を開始し、セトリング・タイム経過後、ANO_i端子に④にて設定したアナログ電圧を出力します。

- ⑥以降、D/A変換を行う場合は、DACSiレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、DAMレジスタのDACE_iビット=0(D/A変換動作停止)に設定すると、D/A変換を停止します。

注意1. DACE_iビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANO_i端子にDACSiレジスタにて設定したアナログ電圧を出力します。

注意2. セトリング・タイム中にDACSiレジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

備考. $i = 0, 1$

16.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャンネルはELCからのイベント信号を起動トリガとして、D/A変換を行います。以下に、その設定方法を示します。

- ①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ②ポート・モード・コントロール・レジスタ (PMC2)でポートをアナログ端子に設定します。
- ③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMDiビットを0(通常モード)に設定します。
- ④DACSiレジスタ(D/A変換値設定レジスタi)に、ANOi端子出力するアナログ電圧値を設定します。
- ⑤DAMレジスタのDACEiビットを1(D/A変換動作許可)に設定します。
これによりD/A変換を開始し、セトリング・タイム経過後、ANOi端子に③にて設定したアナログ電圧を出力します。
- ⑥ポート・モード・コントロール・レジスタ (PMC2)で、リアルタイム出力モードに使用するトリガ信号を設定します。
- ⑦DAMレジスタのDAMDiビットを1(リアルタイム出力モード)に設定します。
- ⑧イベント発生元の動作を開始します。

以上①～⑧を初期設定として行います。

- ⑨以降、リアルタイム出力モードに使用するトリガ信号の発生により、D/A変換を開始し、セトリング・タイム経過後、ANOi端子に④にて設定したアナログ電圧を出力します。
なお、次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までにANOi端子に出力するアナログ電圧値をDACSiレジスタに設定します。

なお、次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までに、DACSiレジスタに、ANOi端子に出力するアナログ電圧値を設定してください。

また、DAMレジスタのDACEiビット=0(D/A変換動作停止)に設定すると、D/A変換を停止します。

注意1. DACEiビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANOi端子にDACSiレジスタにて設定したアナログ電圧を出力します。

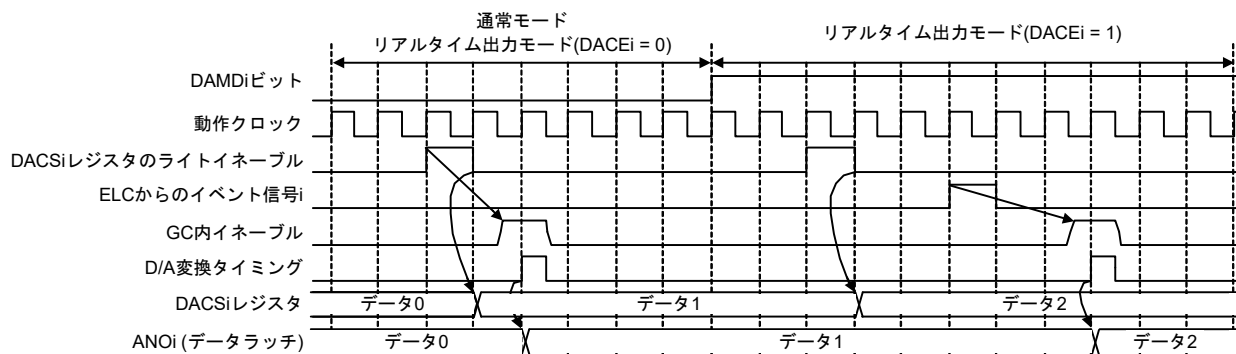
注意2. 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。

注意3. 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、fCLKの3クロックより長くしてください。fCLKの3クロック以下の間隔で連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。

16.4.3 D/A変換値の出カタイミング

図16-5にD/A変換値の出カタイミングを示します。

図16-5 D/A変換値の出カタイミング



備考 $i = 0, 1$

- 通常動作モードおよびリアルタイム出力モード(変換動作不許可時)
DACSiレジスタへのライトの1周期後(動作クロック)にデータラッチヘライト(ANOi端子から出力)
- リアルタイム出力モード(変換動作許可時)
ELCからのイベント信号の受け付けから3周期後(動作クロック)にデータラッチヘライト(ANOi端子から出力)

16.5 D/Aコンバータ使用上の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) ポート・モード・コントロール・レジスタ (PMC2)でポートをアナログ端子に設定している場合は、ANO0, ANO1端子と兼用するデジタル・ポートの入出力機能は動作しません。
PMC2レジスタでポートをアナログ端子に設定中にP2レジスタをリードしても、入力モード時は0, 出力モード時はP2の設定値が読み出されます。また、デジタル出力モードとして設定しても、端子には出力データは出力されません。
- (2) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACEiビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

備考 i = 0, 1

- (3) リアルタイム出力モードを停止する場合(通常モードへ変更する場合を含む)には以下のいずれかの手順で行う必要があります。
 - ・トリガ出力元を停止させてから3クロック以上待ってからDACEiビットおよびDAMDiビットを0にする。
 - ・DACEiビットおよびDAMDiビットを0にした後、PER1レジスタのDACENビットを0にする(DAC停止)。なお、DACENビットを0にした場合、DAC内部の全レジスタがクリアされるため再度動作させる場合は各SFRの設定が必要となります。
- (4) D/A変換動作許可時に、ANO0, ANO1端子と兼用するアナログ入力端子からA/D変換を行わないでください。
- (5) リアルタイム出力モード時は、リアルタイム出力モードに使用するトリガ信号が発生する前までにDACSiレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSiレジスタの設定値を変更しないでください。
- (6) D/Aコンバータの出力インピーダンスが高いため、ANO0, ANO1端子から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とANO0, ANO1端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください(出力インピーダンスが高いため)。配線が長くなるような場合は、グランド・パターンで囲むなどの処置をしてください。
- (7) リアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。

第17章 コンパレータ (CMP)

RL78/G1Fは、2 chのコンパレータ (CMP) を搭載します。

17.1 CMPの機能

コンパレータには、次のような機能があります。

- CMP1のアナログ入力に端子切り替えスイッチを追加
(外部端子／内部基準電圧, 内蔵DAC基準電圧を含めた比較が可能)
- センサレス・モータ制御の際に、U/V/Wを組み合わせて比較することで、モータ停止時の位置検出が可能
- 1つのコンパレータを切り替えて三相のゼロ・クロス検出の実行が可能
- コンパレータ0とコンパレータ1の比較結果が端子 (VCOUT0, VCOUT1) から出力が可能

表 17 - 1 CMPの機能概要

項目	内容
CMP	<ul style="list-style-type: none"> • 2チャンネル搭載 (コンパレータ0とコンパレータ1) • マイナス側に基準電圧選択可能 : コンパレータ0のマイナス側にアナログ端子入力, コンパレータ0内蔵基準電圧, 内部基準電圧 (1.45V) から選択可能 • コンパレータ1のマイナス側にアナログ端子入力 (4本), コンパレータ1内蔵基準電圧, 内部基準電圧 (1.45V) から選択可能 • マイナス側に内蔵基準電圧設定可能 (256通り) • コンパレータ0のプラス側がPGAの出力と接続選択可能 • コンパレータ1のプラス側が端子からの4入力選択可能 • プラス側入力電圧 > マイナス側入力電圧時ハイ・レベル出力, プラス側入力電圧 < マイナス側入力電圧時ロウ・レベル出力 • ノイズ除去デジタル・フィルタの除去幅が選択可能 • 出力反転機能 • 比較結果が端子 (VCOUT0, VCOUT1) から出力可能 • 有効エッジ検出時に割り込み要求発生 • 他の機能と組み合わせしてモータの初期位置検出, 高/低高速回転制御可能。 過電流時にタイマの6相PWM出力をHi-Z状態に設定／解除可能 • TAU0と組み合わせしてTIMER WINDOW出力可能

17.2 CMPの構成

図17-1にコンパレータ0のブロック図を、図17-2にコンパレータ1のブロック図を示します。

図17-1 コンパレータ0のブロック図

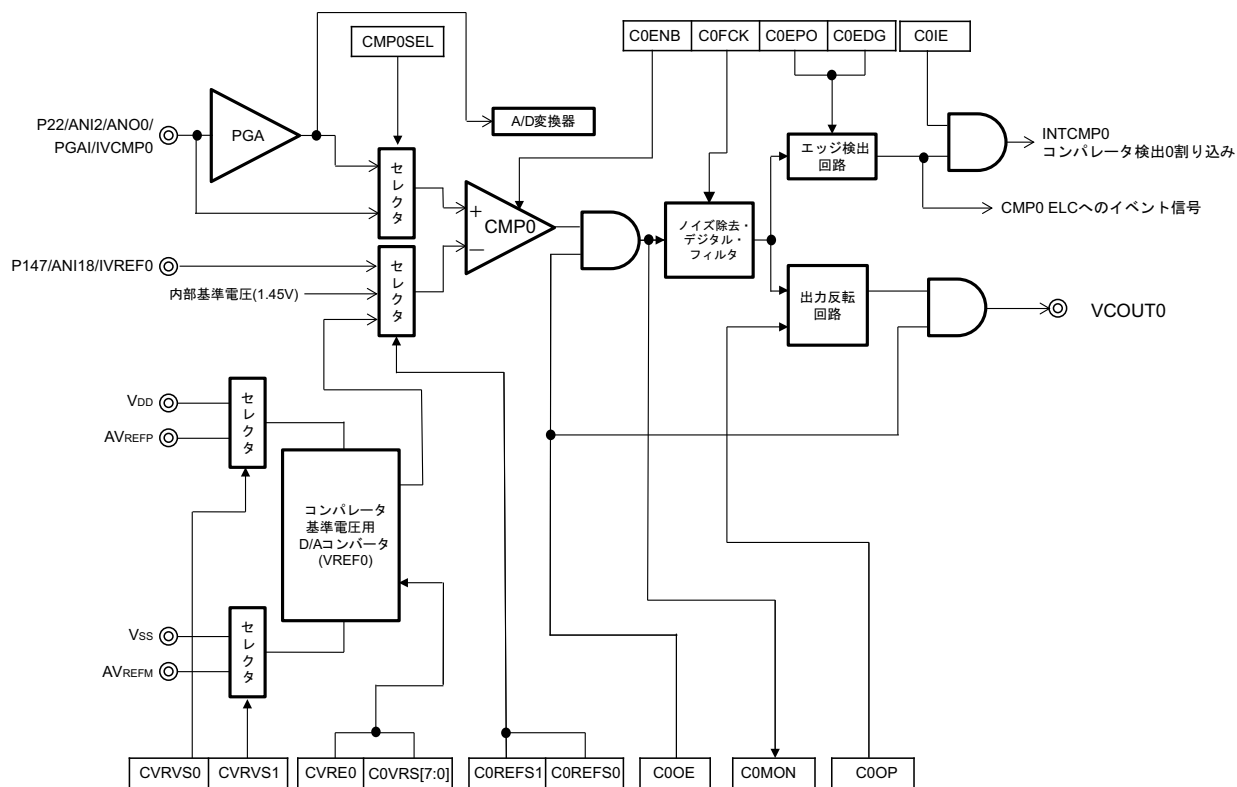
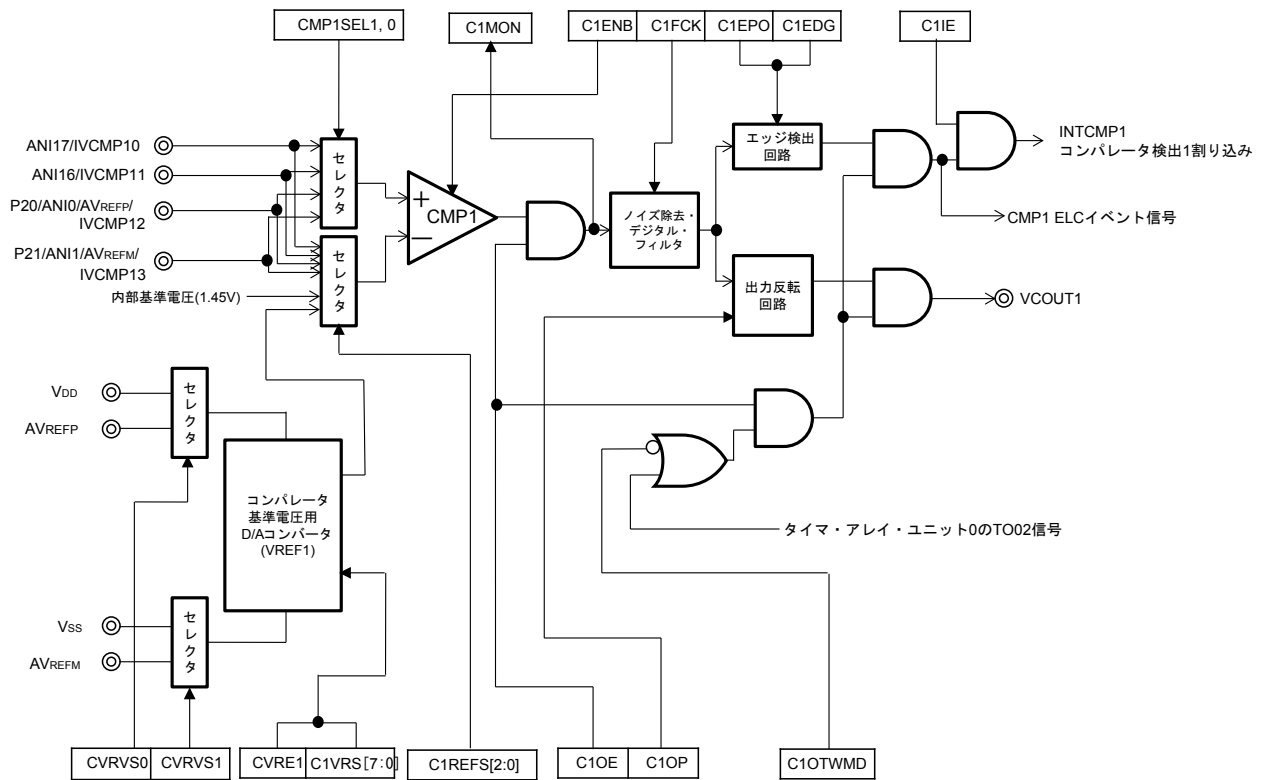


図17-2 コンパレータ1のブロック図



17.3 コンパレータを制御するレジスタ

表17-2にコンパレータを制御するレジスタを示します。

表17-2 コンパレータを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
コンパレータモード設定レジスタ	COMPMDR
コンパレータフィルタ制御レジスタ	COMPFIR
コンパレータ出力制御レジスタ	COMPOCR
コンパレータ内蔵基準電圧制御レジスタ	CVRCTL
コンパレータ内蔵基準電圧選択レジスタ0	C0RVM
コンパレータ内蔵基準電圧選択レジスタ1	C1RVM
コンパレータ0入力選択制御レジスタ	CMPSEL0
コンパレータ1入力選択制御レジスタ	CMPSEL1
ポート・モード・コントロール・レジスタ0, 2, 14	PMC0, PMC2, PMC14
ポート・モード・レジスタ0, 1, 2, 3, 7, 12, 14	PM0, PM1, PM2, PM3, PM7, PM12, PM14
ポート・レジスタ0, 1, 2, 3, 7, 12, 14	P0, P1, P2, P3, P7, P12, P14
周辺IOリダイレクション機能レジスタ2, 3	PIOR2, PIOR3

17.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PGA, コンパレータを使用するときは、必ずビット5 (PGACMPEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-3 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMP EN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN
	PGACMP EN	PGA, コンパレータの入カクロックの制御						
	0	入カクロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態						
	1	入カクロック供給 ・コンパレータで使用するSFRへのリード/ライト可						

注意 PGA, コンパレータの設定をする際には、必ず最初にPGACMPEN = 1の設定を行ってください。

PGACMPEN = 0 の場合は、PGA, コンパレータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ0, 1, 2, 3, 7, 12, 14 (PM0, PM1, PM2, PM3, PM7, PM12, PM14), ポート・レジスタ0, 1, 2, 3, 7, 12, 14 (P0, P1, P2, P3, P7, PM12, P14), 周辺IO機能設定レジスタ2, 3 (PIOR2, PIOR3) は除く)。

17.3.2 コンパレータモード設定レジスタ (COMPMDR)

コンパレータ動作許可/停止の設定とコンパレータ出力をモニタします。

COMPMDRレジスタのCiENBビットは、出力許可 (COMPOCRレジスタのCiOEビット=1)の時に0にすることは禁止です。

次の場合はCiENB = 1 (動作許可) にすることは禁止です (i = 0, 1)

- CMP側の入力は内蔵基準電圧を選択し、内蔵基準電圧動作禁止 (CVRCTLレジスタのCVREiビット=0)のとき
- コンパレータ0入力=PGA出力の選択でPGA動作禁止 (CVRCTLレジスタのCMPSEL0 = 1でPGAENレジスタのPGAENビット=0)のとき

COMPMDRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-4 コンパレータモード設定レジスタ (COMPMDR)のフォーマット

アドレス : F0340H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	0	0	C1ENB	COMON	0	0	COENB
	C1MON	コンパレータ1モニタフラグ注1,2						
	0	IVCMP1<コンパレータ1リファレンス電圧またはコンパレータ1停止						
	1	IVCMP1>コンパレータ1リファレンス電圧						
	C1ENB	コンパレータ1動作許可						
	0	コンパレータ1動作禁止						
	1	コンパレータ1動作許可						
	COMON	コンパレータ0モニタフラグ注1,2						
	0	IVCMP0<コンパレータ0リファレンス電圧またはコンパレータ0停止						
	1	IVCMP0>コンパレータ0リファレンス電圧						
	COENB	コンパレータ0動作許可						
	0	コンパレータ0動作禁止						
	1	コンパレータ0動作許可						

注1. リセット解除直後は初期値“0”ですが、一度コンパレータを動作許可にした後にCOENB = 0かつC1ENB = 0の設定にすると値は不定となります。

注2. このビットに書き込まれた値は無視されます。

17.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)

COMPFIRレジスタはデジタル・ノイズ・フィルタの制御をします。

COMPFIRレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 17 - 5 コンパレータフィルタ制御レジスタ (COMPFIR)のフォーマット

アドレス : F0341H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	コンパレータ1エッジ検出選択 ^{注1}							
0	コンパレータ1片エッジ検出での割り込み要求							
1	コンパレータ1両エッジ検出での割り込み要求							
C1EPO	コンパレータ1エッジ極性切り替え ^{注1}							
0	コンパレータ1立ち上がりエッジで割り込み要求							
1	コンパレータ1立ち下がりエッジで割り込み要求							
C1FCK1	C1FCK0	コンパレータ1フィルタ選択 ^{注1}						
0	0	コンパレータ1フィルタなし						
0	1	コンパレータ1フィルタあり, fCLKでサンプリング						
1	0	コンパレータ1フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ1フィルタあり, fCLK/32でサンプリング						
C0EDG	コンパレータ0エッジ検出選択 ^{注2}							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え ^{注2}							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^{注2}						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり, fCLKでサンプリング						
1	0	コンパレータ0フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ0フィルタあり, fCLK/32でサンプリング						

注1. C1FCK1, C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR21レジスタを0(コンパレータ1出力をリンクさせない)にしてから変更してください。また、割り込み要求フラグ・レジスタ2H(IF2H)のビット0(CMPIF1)をクリア(0)してください。

また、C1FCK1, C1FCK0ビットを00B(コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

- 注2. C0FCK1, C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR20レジスタを0(コンパレータ0出力をリンクさせない)にしてから変更してください。また、割り込み制御レジスタ2L(IF2L)のビット7(CMPIF0)をクリア(0)してください。
- また、C0FCK1, C0FCK0ビットを00B(コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

17.3.4 コンパレータ出力制御レジスタ (COMPOCR)

コンパレータ出力の極性、出力許可/禁止、および割り込み出力の許可/禁止を制御するレジスタです。

次の場合、COMPOCRレジスタのCiOEビット=1（出力許可）にすることは禁止です（i=0, 1）。

- コンパレータ動作禁止（COMPMDRレジスタのCiENBビット=0）のとき
- CMP一側の入力は内蔵基準電圧を選択し、内蔵基準電圧動作禁止（CVRCTLレジスタのCVREiビット=0）のとき
- コンパレータ0入力=PGA出力の選択でPGA動作禁止（CVRCTLレジスタのCMPSEL0=1でPGAENレジスタのPGAENビット=0）のとき

COMPOCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 17 - 6 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス : F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	C10TWMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
C10TWMD	コンパレータ1のTIMER WINDOW 出力モード制御ビット注1							
0	コンパレータ1通常出力モード（C1OEビットにより制御）							
1	コンパレータ1TIMER WINDOW出力モード（TO02とC1OE両方により制御）							
C1OP	VCOUT1出力極性選択							
0	コンパレータ1出力をVCOUT1へ出力							
1	コンパレータ1出力の反転をVCOUT1へ出力							
C1OE	VCOUT1端子出力許可注2, 注3							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可							
C1IE	コンパレータ1割り込み要求許可注4							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	VCOUT0出力極性選択注5							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可注5, 注6, 注7							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可注4, 注8							
C0IE	コンパレータ0割り込み要求許可注8							
0	コンパレータ0割り込み要求禁止							

COIE	コンパレータ0割り込み要求許可 ^{注8}
1	コンパレータ0割り込み要求許可

- 注1. コンパレータ1がTIMER WINDOW 出力モードを使う時、必ずレジスタ COMPFIR のビット7 (C1EDG) を0に設定してください。C1OEビットとC1OTWMDビットは同時に設定できません。C1OTWMDビットを設定した後で、C1OE = 1を設定してください。
- 注2. C1OE ビットを変更するとコンパレータ1割り込み要求および ELC イベントを発生することがあります。このビットは、ELC の ELSELR21 レジスタを0 (コンパレータ1出力をリンクさせない) にしてから変更してください。また、変更後に割り込み制御レジスタのフラグビット CMPIF1を初期化 (割り込み要求なし) してください。
- 注3. コンパレータ1結果を端子に出力する時、必ずレジスタ PIOR3 のビット2 (PIOR32) を1に設定してください。
- 注4. C0OE ビットを変更するとコンパレータ0割り込み要求および ELC イベントを発生することがあります。このビットは、ELC の ELSELR20 レジスタを0 (コンパレータ0出力をリンクさせない) にしてから変更してください。また、変更後に割り込み制御レジスタのフラグビット CMPIF0を初期化 (割り込み要求なし) してください。
- 注5. C0OE ビット、C0OP ビットがコンパレータ0の結果をPWM オプション・ユニットに入力して、PWM 出力を強制遮断できるように制御します。
- 注6. C1IE を0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み制御レジスタ 2H (IF2H) のビット0 (CMPIF1) が1 (割り込み要求あり) になることがありますので、割り込み制御レジスタ 2H (IF2H) のビット0 (CMPIF1) を初期化 (割り込み要求なし) してから割り込みを使用してください。
- 注7. コンパレータ0結果を端子に出力する時、必ずレジスタ PIOR3 のビット1 (PIOR31) を1に設定してください。
- 注8. C0IE を0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み制御レジスタ 2L (IF2L) のビット7 (CMPIF0) が1 (割り込み要求あり) になることがありますので、割り込み要求制御レジスタ 2L (IF2L) のビット7 (CMPIF0) を初期化 (割り込み要求なし) してから割り込みを使用してください。

17.3.5 コンパレータ内蔵基準電圧制御レジスタ (CVRCTL)

コンパレータ内蔵基準電圧の動作許可/停止を設定するレジスタです。

CVRCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 CVRCTLレジスタの CVRVS_iビットは、内蔵基準電圧動作停止中 (CVRE_i = 0) に書き換えてください (i = 0, 1)。

図 17 - 7 コンパレータ内蔵基準電圧制御レジスタ (CVRCTL) のフォーマット

アドレス : F0343H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CVRCTL	0	0	CVRE1	CVRVS1	0	0	CVRE0	CVRVS0
CVRE1	内蔵基準電圧1の制御ビット							
0	内蔵基準電圧1の動作停止							
1	内蔵基準電圧1の動作許可							
CVRVS1	内蔵基準電圧のグランド選択ビット							
0	内蔵基準電圧のグランドにV _{SS} を選択							
1	内蔵基準電圧のグランドにAV _{REFM} を選択 ^{注1}							
CVRE0	内蔵基準電圧0の制御ビット							
0	内蔵基準電圧0の動作停止							
1	内蔵基準電圧0の動作許可							
CVRVS0	内蔵基準電圧の電源選択ビット							
0	内蔵基準電圧の電源にV _{DD} を選択							
1	内蔵基準電圧の電源にAV _{REFP} を選択 ^{注2}							

注1. P21は、AV_{REFM}とIVCMP13が兼用しているため、P21端子をCMP1入力信号として使用する場合は、CVRVS1を1に設定することは禁止です。

注2. P20は、AV_{REFP}とIVCMP12が兼用しているため、P20端子をCMP1入力信号として使用する場合は、CVRVS0を1に設定することは禁止です。

17.3.6 コンパレータ内蔵基準電圧選択レジスタ*i* (CiRVM) (*i* = 0, 1)

CiRVMレジスタは、コンパレータの内蔵基準電圧を設定します。

CiRVMレジスタは、内蔵基準電圧動作停止中 (CVRE*i* = 0) に書き換えてください。

CiRVMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-8 コンパレータ内蔵基準電圧選択レジスタ*i* (CiRVM) のフォーマット

アドレス : F0344H (C0RVM) リセット時 : 00H R/W

F0345H (C1RVM)

略号	7	6	5	4	3	2	1	0
CiRVM	CiVRS7	CiVRS6	CiVRS5	CiVRS4	CiVRS3	CiVRS2	CiVRS1	CiVRS0
CiVR	CiVR	CiVR	CiVR	CiVR	CiVR	CiVR	CiVR	
	S7	S6	S5	S4	S3	S2	S1	S0
	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	1
	0	0	0	0	0	0	1	0
	0	0	0	0	0	0	1	1
	:							:
	1	1	1	1	1	0	0	0
	1	1	1	1	1	0	1	1
	1	1	1	1	1	1	0	0
	1	1	1	1	1	1	1	1
	コンパレータの内蔵基準電圧の設定							
	{(AV _{REFP} またはV _{DD})/256}×0							
	{(AV _{REFP} またはV _{DD})/256}×1							
	{(AV _{REFP} またはV _{DD})/256}×2							
	{(AV _{REFP} またはV _{DD})/256}×3							
	{(AV _{REFP} またはV _{DD})/256}×252							
	{(AV _{REFP} またはV _{DD})/256}×253							
	{(AV _{REFP} またはV _{DD})/256}×254							
	{(AV _{REFP} またはV _{DD})/256}×255							

17.3.7 コンパレータ 0 入力信号選択制御レジスタ (CMPSEL0)

CMPSEL0レジスタはコンパレータ0の“+”と“-”側入力信号を選択します。

CMPSEL0レジスタはコンパレータ動作停止中 (C0ENB = 0) に書き換えてください。

CMPSEL0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 17-9 コンパレータ 0 入力信号選択制御レジスタ (CMPSEL0)

アドレス : F034AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0	
CMPSEL0	CMP0SEL	0	0	0	0	0	C0REFS1	C0RFES0	
CMP0SEL	コンパレータ0の“+”側入力信号選択								
0	AIN5V0 (端子IVCMP0) 選択								
1	PGAからの信号								
C0REFS1	C0RFES0	コンパレータ0の“-”側入力信号選択							
0	0	内蔵基準電圧 VREF0 を選択							
0	1	内部基準電圧 (1.45 V) を選択							
1	0	外部端子 (IVREF0) を選択							
1	1	設定禁止							

17.3.8 コンパレータ 1 入力信号選択制御レジスタ (CMPSEL1)

CMPSEL1レジスタはコンパレータ1の“+”と“-”側入力信号を選択します。

CMPSEL1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 17 - 10 コンパレータ 1 入力信号選択制御レジスタ (CMPSEL1)

アドレス : F034BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMPSEL1	CMP1SEL1	CMP1SELO	0	0	0	C1REFS2	C1REFS1	C1REFS0
CMP1SEL1	CMP1SELO	コンパレータ1の“+”側入力信号選択						
0	0	外部端子 (IVCMP10) を選択						
0	1	外部端子 (IVCMP11) を選択						
1	0	外部端子 (IVCMP12) を選択						
1	1	外部端子 (IVCMP13) を選択						
C1REFS2	C1REFS1	C1REFS0	コンパレータ1の“-”側入力信号選択					
0	0	0	内蔵基準電圧VREF1を選択					
0	0	1	内部基準電圧 (1.45 V) を選択					
0	1	0	外部端子 (IVCMP10) を選択					
0	1	1	外部端子 (IVCMP11) を選択					
1	0	0	外部端子 (IVCMP12) を選択					
1	0	1	外部端子 (IVCMP13) を選択					
1	1	0	設定禁止					
1	1	1	設定禁止					

注意 CMP1アナログ入力の切り替え時、二つの入力信号間の貫通電流の影響をなくすために、切り替え間隔は3 μs以上を設定してください。

17.3.9 アナログ入力端子のポート機能を制御するレジスタ

IVCMP0, IVCMP10-13端子, IVREF0端子をコンパレータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに1を設定してください。

VCOOUT0, 1機能を使用する場合は、対象チャネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), 周辺IOリダイレクション機能設定レジスタ (PIOR2, PIOR3)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx), 4.3.9 周辺I/Oリダイレクション・レジスタ2 (PIOR2), 4.3.10 周辺I/Oリダイレクション・レジスタ3 (PIOR3) を参照してください。

17.4 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法と動作は同じです。

CMPとPGAは、コンパレータ0とPGAの組み合わせだけ連動動作が可能です。

コンパレータの単独動作と連動動作の設定手順を表17-3に示します。

表 17-3 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PGACTL	PGAVG0, PGCVG1	GAIN選択 ^{注3}
2	PGACTL	PVRVS	0 (Vss端子選択) ^{注3}
3	PGACTL	PGAEN	1 (動作許可) ^{注3}
4	PGA安定時間(最小10 μ s)待ち		
5	COMPSELi	CMPOSEL/CMP1SELi	コンパレータi+側入力選択
6	COMPSELi	CiREFS	コンパレータi-側入力選択
7	CiRVM	CiVRSn	内蔵基準電圧の値を設定
8	CVRCTL	CVRVSi	内蔵基準電圧の電源とGND選択
9	CVRCTL	CVREi	1 (内蔵基準電圧i動作許可)
10	基準電圧安定時間 (最小20 μ s)待ち		
11	IVCMP0, IVCMP1x, IVREF0端子 (入力)、PGAi(入力) ^{注3} の機能選択。		
12	COMPMDR	CiENB	1 (動作許可)
13	コンパレータ安定時間(最小3 μ s)待ち		
14	COMPFIR	CiFCK	デジタル・フィルタ使用する/しない、サンプリング・クロック選択
		CiEPO, CiEDG	割り込み要求のためのエッジ検出条件選択 (立ち上り/立下り/両エッジ)
15	COMPOCR	CiOP, CiOE	コンパレータi出力の設定 (極性選択、出力許可)
		CiIE	割り込み要求出力の許可/禁止を設定
		C1OTWMD	コンパレータ1のTIMER WINDOW出力の許可/禁止を設定
16	PR2L, PR2H ^{注1}	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択
17	MK2L, MK2H ^{注1}	CMPMKi	割り込みを使用する場合: 割り込みマスク選択
18	IF2L, IF2H ^{注1}	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし: 初期化) ^{注2}

注1. xx2Lはコンパレータ0、xx2Hはコンパレータ1の割り込み制御レジスタ (xx: PR, MK, IF)

注2. コンパレータの設定後、安定動作するまでに不要な割り込みが発生することがありますので、割り込みフラグを初期化してください。

注3. コンパレータ0とPGA連動動作の場合、設定必要

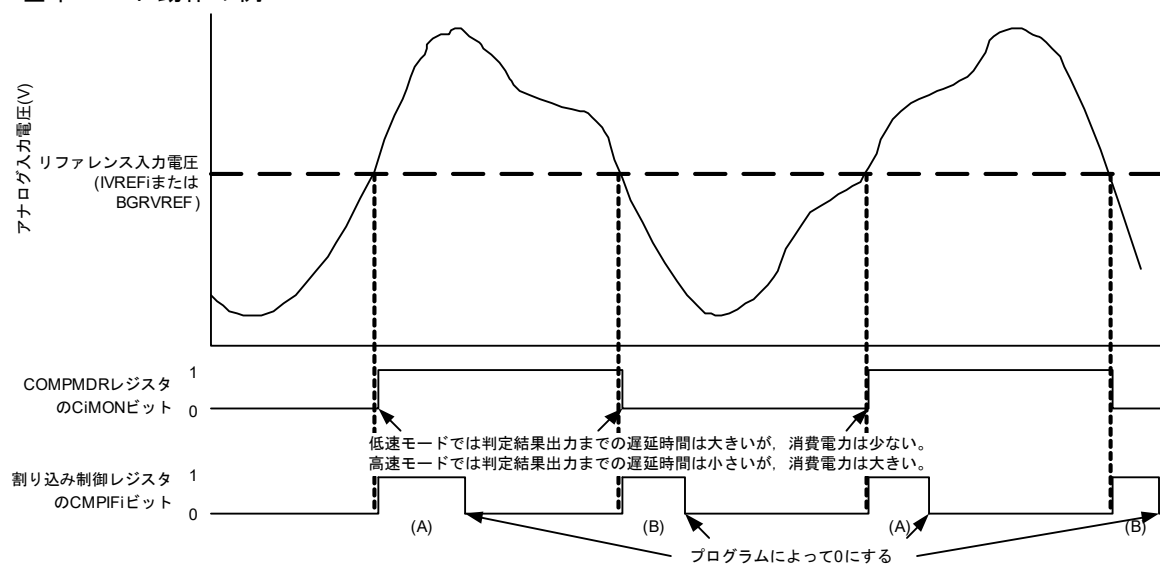
備考 i = 0, 1, n = 0-7, x = 0-3

図17-11にコンパレータ*i* ($i = 0, 1$) の動作例を示します。リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが“0”になります。

コンパレータ*i*割り込みを使用する場合は、COMPOCRレジスタのCiIEを1（割り込み要求許可）にしてください。このとき比較結果が変化すれば、コンパレータ*i*割り込み要求が発生します。割り込み要求の詳細については「17.4.1コンパレータ*i*デジタルフィルタ ($i = 0, 1$)」を参照してください。

図17-11 コンパレータ*i* ($i = 0, 1$) の動作例(基本モード)

• 基本モード動作の例



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし), CiEDG = 1 (両エッジ) の場合です (CiEDG = 0, CiEPO = 0 (立ち上がりエッジ) のときのCMPiFiは(A)の変化のみ, CiEDG = 0, CiEPO = 1 (立ち下がりエッジ) のときのCMPiFiは(B)の変化のみとなります)。

17.4.1 コンパレータ*i*デジタルフィルタ (*i* = 0, 1)

コンパレータは、デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1 - CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリングクロックで、デジタル・フィルタ出力がその値になります。

図17-12にコンパレータ*i*デジタル・フィルタの構成を、図17-13にコンパレータ*i* (*i* = 0, 1)デジタルフィルタと割り込み動作例を示します。

図17-12 コンパレータ*i*デジタル・フィルタとエッジ検出の構成

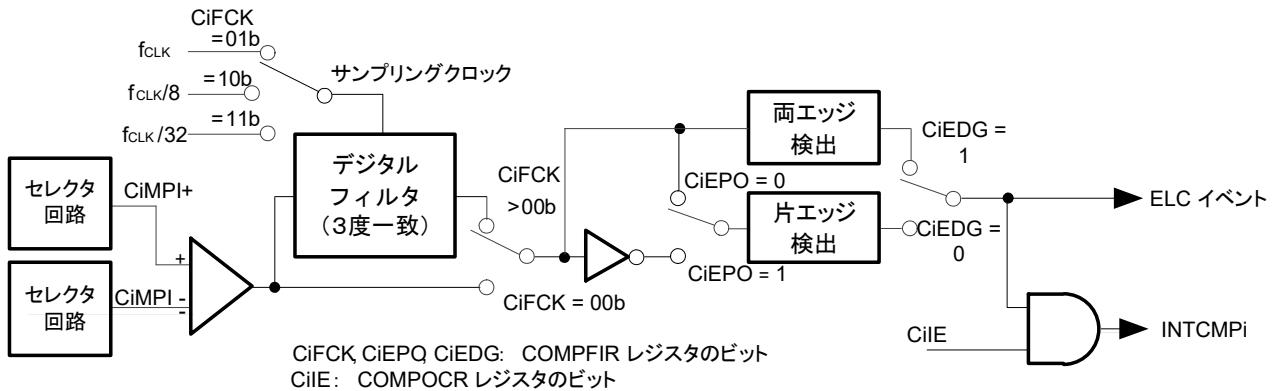
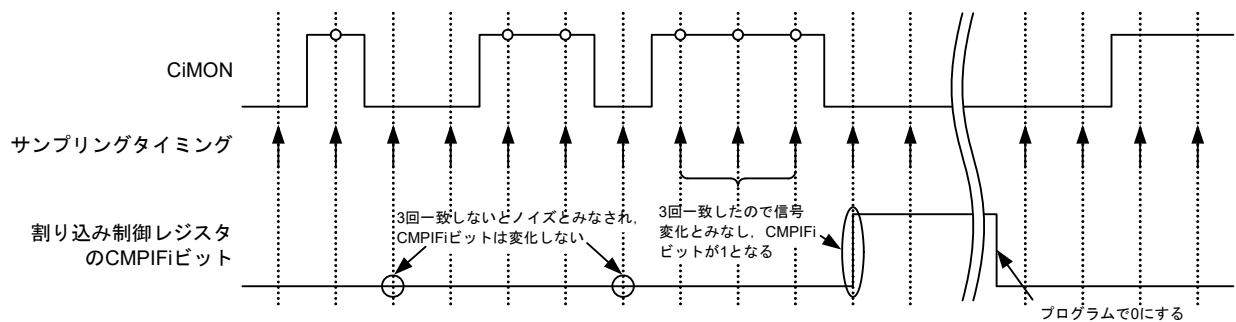


図17-13 コンパレータ*i* (*i* = 0, 1)デジタルフィルタと割り込み動作例



注意 上図は、COMPOCRのC1OTWMD=0 & COMPFIRレジスタのCiFCK1 - CiFCK0ビットが、01B, 10B, 11Bのいずれか(デジタルフィルタあり)の場合の動作例です。

17.4.2 コンパレータ*i*割り込み ($i = 0, 1$)

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIEビットを1（割り込み要求出力許可）にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタル・フィルタを付けることが可能です。デジタル・フィルタは、3種類のサンプリング・クロックを選択可能です。

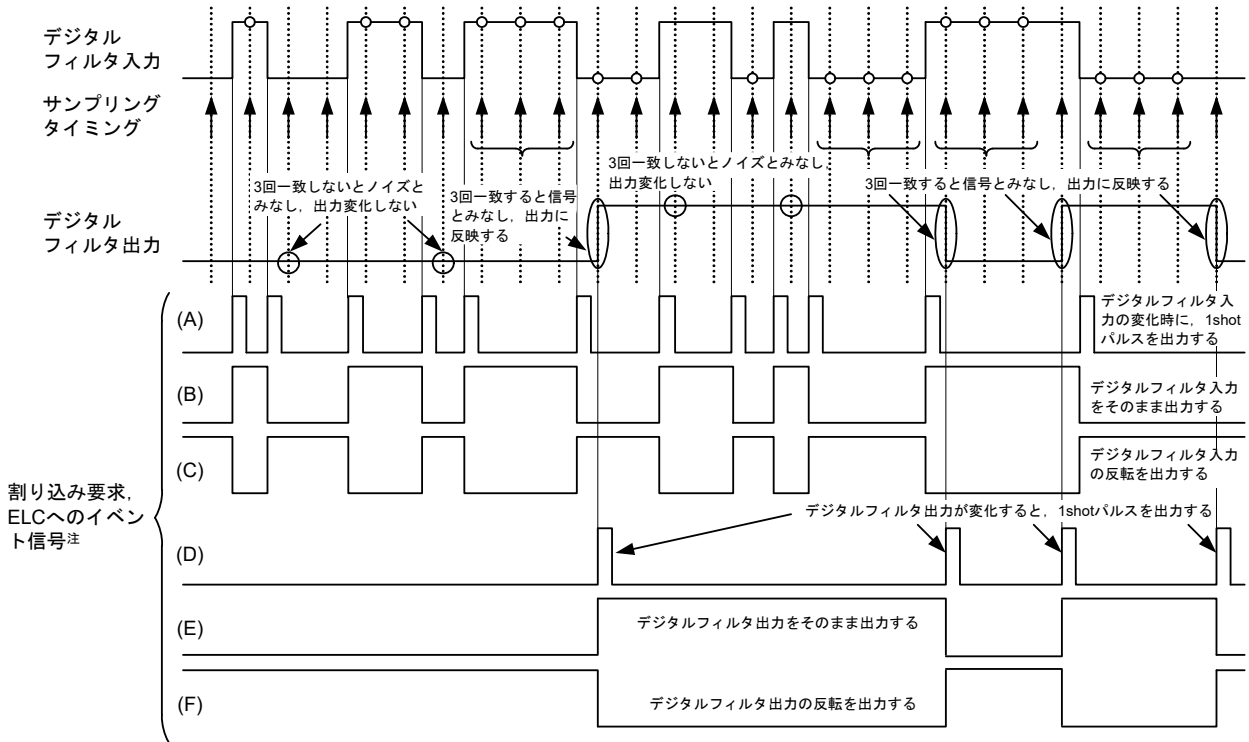
レジスタ設定と割り込み要求発生への対応については、「17.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)」および「17.3.4 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

注意 CMP1の割り込みはC1OTWMD = 0の時に、上記の設定により発生可能になります。C1OTWMD = 1の時には、タイマ・アレイ・ユニット (TAU) からの出力信号TO02が、ハイ・レベルの場合、割り込みが正常に発生します。ロウ・レベルの場合、割り込み信号は0に固定されます。

17.4.3 イベント・リンク・コントローラ(ELC)へのイベント信号出力

ELC へのイベント信号は、割り込み要求の発生条件と同じく COMPFIR レジスタで設定したデジタルフィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCR レジスタの CiIE ビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELC の ELSELR20 レジスタ、ELSELR21 レジスタで設定してください。

図 17 - 14 デジタルフィルタと割り込み要求・ELCへのイベント信号出力動作



注 CiIE ビット (i = 0, 1) が 1 の場合は、割り込み要求と ELC へのイベント信号は同じ波形になります。
 CiIE ビット (i = 0, 1) が 0 の場合は、割り込み要求のみ 0 固定になります。

(A), (B), (C) の波形は COMPFIR レジスタの CiFCK ビット (i = 0, 1) が "00B" (デジタルフィルタなし) の場合、
 (D), (E), (F) の波形は COMPFIR レジスタの CiFCK ビット (i = 0, 1) が "01B", "10B", "11B" のいずれか (デジタル
 フィルタあり) の場合の動作例です。(A), (D) は CiEDG ビットを "1" (両エッジ) に設定した場合、(B), (E) は
 CiEDG ビット = 0, CiEPO ビット = 0 (立ち上がりエッジ) の場合、(C), (F) は CiEDG ビット = 0, CiEPO ビット =
 1 (立ち下がりエッジ) の場合です。

注意 CMP1 の ELC イベントは、C1OTWMD = 0 の時、上記の設定より発生可能になります。C1OTWMD =
 0 の時は、タイマ・アレイ・ユニット (TAU) からの出力信号 TO02 がハイ・レベルの場合は、ELC イ
 ベントは正常に発生します。ロウ・レベルの場合は、ELC イベント出力は 0 に固定されます。

17.4.4 コンパレータ*i*出力($i = 0, 1$)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性(そのまま出力/反転出力)や出力許可/禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「17.3.4 コンパレータ出力制御レジスタ(COMPOCR)」を参照してください。

VCOUT*i*出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポート設定してください(リセット後、ポートは入力設定になっています)。

- ①コンパレータのモード設定をする(表17-3 コンパレータ関連レジスタの設定手順の順番2~5)。
- ②コンパレータのVCOUT*i*出力を設定する(COMPOCRレジスタを設定し、極性選択、出力許可にする)。
- ③VCOUT*i*出力端子に対応するポート・モード・コントロール・レジスタのビットを0にする。
- ④VCOUT*i*出力端子に対応するポート・レジスタのビットを0にする。
- ⑤VCOUT*i*出力端子に対応するポート・モード・レジスタを出力に設定する(端子から出力開始)。

17.4.5 コンパレータクロック停止/供給

周辺イネーブル・レジスタ1 (PER1)の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ①COMPMDRレジスタのCiENBビットを0にする(コンパレータを停止する)。
- ②IF2L, IF2HレジスタのCMPiFiビットを0にする(コンパレータ停止前の不要な割り込みをクリア)。
- ③PER1レジスタのPGACMPENビットを0にする。

PER1の設定によりクロック停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、表17-3の手順に従ってレジスタ設定してください。

注意1. コンパレータモード設定レジスタ (COMPMDR) のコンパレータ *i* リファレンス電圧選択ビット (CiVRF) を“1” (コンパレータ *i* リファレンス電圧は内部基準電圧(1.45 V))にしている場合は、A/Dコンバータで、温度センサ出力をA/D変換することはできません。

注意2. コンパレータを片エッジ検出での割り込み要求に設定 (CiEDG = 0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CiEPO = 0) かつ $IVCMP > IVREF$ (または内部基準電圧 1.45 V) の状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CiEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CiEPO = 1)、 $IVCMP < IVREF$ (または内部基準電圧 1.45 V) の状態で、DTCを起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ (CiMON)を確認してからDTCを起動許可にしてください
($i = 0-1$)。

第18章 プログラマブル・ゲイン・アンプ(PGA)

RL78/G1Fは、プログラマブル・ゲイン・アンプを1回路搭載しています。

プログラマブル・ゲイン・アンプのフィードバック抵抗のGNDとして選択できる端子は、製品によって異なります。プログラマブル・ゲイン・アンプのフィードバック抵抗としてPGAGNDを使用する場合には、V_{ss}と同電位で使用してください。

項目	24ピン	32, 36, 48, 64ピン
アナログ入力チャンネル	PGAI	PGAI
プログラマブル・ゲイン・アンプのフィードバック抵抗のGND	V _{ss}	V _{ss} /PGAGND

18.1 プログラマブル・ゲイン・アンプの性能

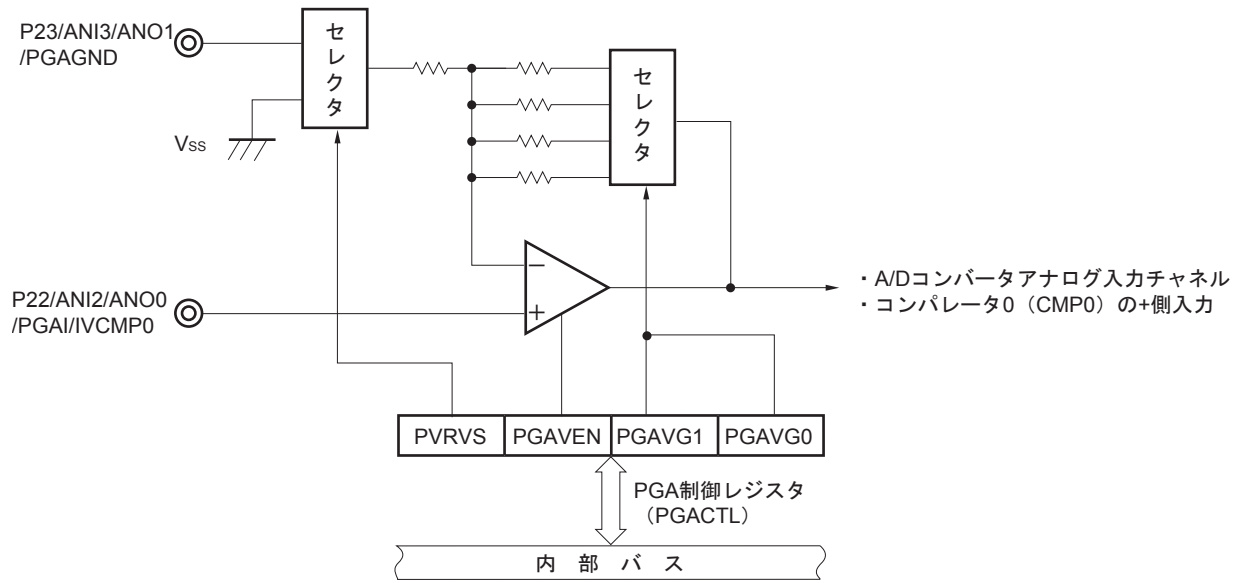
プログラマブル・ゲイン・アンプには、次のような機能があります。

- 増幅率を4通りから選択可能
- プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力、コンパレータ0 (CMP0) の”+”側入力信号として設定可能

18.2 プログラマブル・ゲイン・アンプの構成

プログラマブル・ゲイン・アンプは、次のハードウェアで構成されています。

図18-1 プログラマブル・ゲイン・アンプのブロック図



18.3 プログラマブル・ゲイン・アンプを制御するレジスタ

表18-1にプログラマブル・ゲイン・アンプを制御するレジスタを示します。

表18-1 プログラマブル・ゲイン・アンプを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
PGA制御レジスタ	PGACTL
ポート・モード・コントロール・レジスタ2	PMC2
ポート・モード・レジスタ2	PM2

18.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PGA, コンパレータを使用するときは、必ずビット5 (PGACMPEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMP EN注	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN

PGACMP EN注	コンパレータ/プログラマブル・ゲイン・アンプの入カクロックの制御
0	入カクロック供給停止 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ/プログラマブル・ゲイン・アンプはリセット状態
1	入カクロック供給 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのリード/ライト可

注意 コンパレータ/プログラマブル・ゲイン・アンプの設定をする際には、必ず最初にPGACMPEN = 1の設定を行ってください。

PGACMPEN = 0の場合は、コンパレータ/プログラマブル・ゲイン・アンプの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ2 (PM2), ポート・レジスタ2 (P2)は除く)。

注 C1FCK1, C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR21レジスタを0(コンパレータ1出力をリンクさせない)にしてから変更してください。また、割り込み要求フラグ・レジスタ2H (IF2H)のビット0 (CMPIF1)をクリア(0)してください。

また、C1FCK1, C1FCK0ビットを00B(コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

18.3.2 PGA制御レジスタ (PGACTL)

プログラマブル・ゲイン・アンプの動作許可/停止と増幅率を設定するレジスタです。

PGACTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図18-3 PGA制御レジスタ (PGACTL) のフォーマット

アドレス : F0347H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PGACTL	PGAEN	—	—	—	PVRVS注	—	PGAVG1	PGAVG0
	PGAEN	プログラマブル・ゲイン・アンプの動作制御						
	0	プログラマブル・ゲイン・アンプ 動作停止						
	1	プログラマブル・ゲイン・アンプ動作許可						
	PVRVS注	プログラマブル・ゲイン・アンプ のフィードバック抵抗のGND選択						
	0	Vss 選択						
	1	PGAGND 選択						
	PGAVG1	PGAVG0	プログラマブル・ゲイン・アンプの増幅率選択					
	0	0	4倍					
	0	1	8倍					
	1	0	16倍					
	1	1	32倍					

注 24ピン製品では0に設定してください。

注意1. PGACTLレジスタのPGAENを除くビットは、PGA 動作停止中 (PGAEN = 0) に書き換えてください。

注意2. プログラマブル・ゲイン・アンプは、PGAEN = 1に設定後、動作安定待ち時間に10μsが必要です。

18.3.3 ポート・モード・コントロール・レジスタ2 (PMC2)

デジタル入出力/アナログ入力を1ビット単位で設定するレジスタです。

プログラマブル・ゲイン・アンプを使用するときは、ビット2 (PMC22) を1に設定してください。また、プログラマブル・ゲイン・アンプのフィードバック抵抗のGNDにPGAGNDを選択するときは、ビット3 (PMC23) を1に設定してください。

ポート・モード・コントロール・レジスタ2 (PMC2) は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18-4 ポート・モード・コントロール・レジスタ2 (PMC2) のフォーマット

アドレス : F0062H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
PMC2n	P2n端子のデジタル入出力/アナログ入力の選択							
0	デジタル入出力(アナログ入力以外の兼用機能)							
1	アナログ入力							

備考 n : チャネル番号 (n=0-7)

18.3.4 ポート・モード・レジスタ2 (PM2)

ポートの入力/出力を1ビット単位で設定するレジスタです。

プログラマブル・ゲイン・アンプを使用するときは、ビット2 (PM22) を1に設定してください。また、プログラマブル・ゲイン・アンプのフィードバック抵抗のGNDにPGAGNDを選択するときは、ビット3 (PM23) を1に設定してください。

ポート・モード・レジスタ2 (PM2) は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。リセット信号の発生により、FFHになります。

図 18 - 5 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス : FFF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
PM2n	P2n端子の入出力モードの選択							
0	出力モード (出力バッファ・オン)							
1	入力モード (入力バッファ・オン)							

備考 n : チャネル番号 (n = 0-7)

18.4 プログラマブル・ゲイン・アンプの動作

プログラマブル・ゲイン・アンプはPGAI端子から入力されたアナログ電圧を、マイコン内部で増幅します。増幅率は4種類 (4倍/8倍/16倍/32倍) から選択できます。

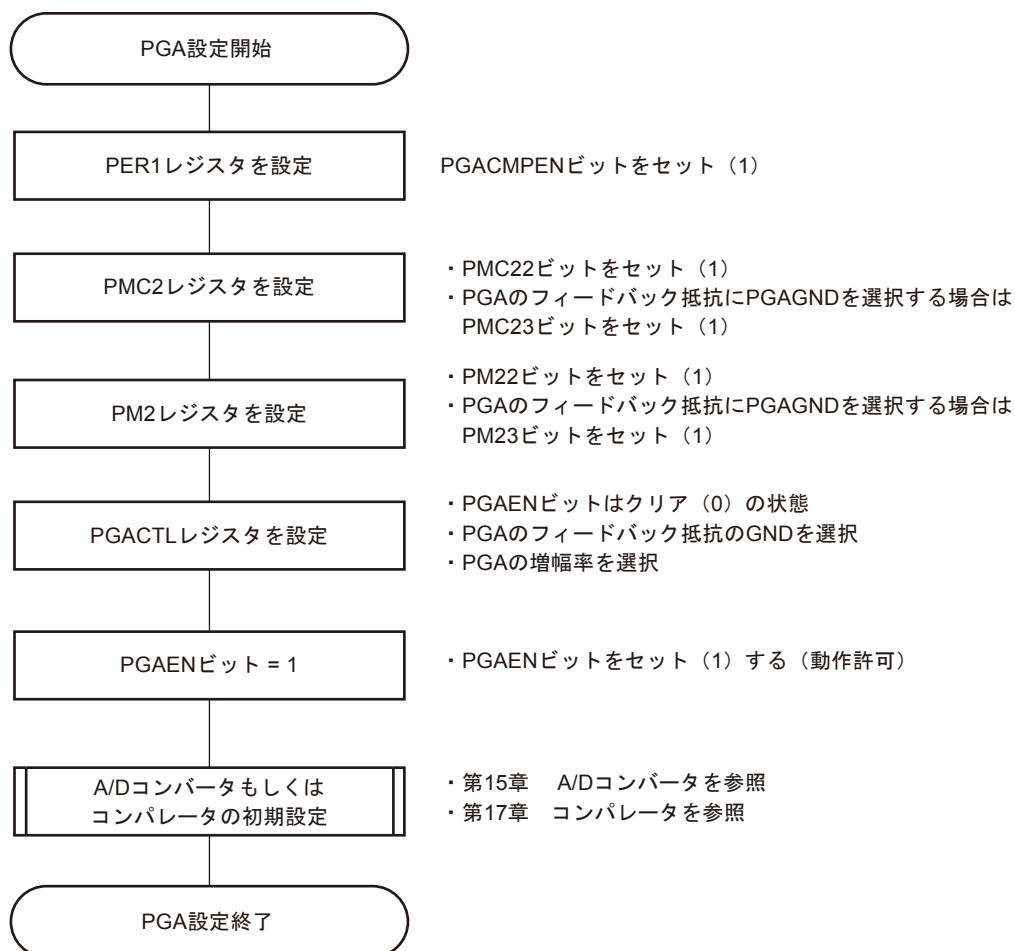
増幅した電圧は、A/Dコンバータのアナログ入力、コンパレータ0 (CMP0) の" + "側入力信号として使用することができます。

プログラマブル・ゲイン・アンプの動作開始手順を次に示します。

- (1) PER1レジスタのPGACMPENビットで、プログラマブル・ゲイン・アンプに入力クロック供給を設定
- (2) PMC2レジスタで、プログラマブル・ゲイン・アンプで使用する端子(PMC22, PMC23)をアナログ入力に設定
- (3) PM2レジスタで、プログラマブル・ゲイン・アンプで使用する端子(PM22, PM23)を入力モードに設定
- (4) PGAVG1, PGAVG0ビットで、増幅率(4倍/8倍/16倍/32倍)を選択
- (5) プログラマブル・ゲイン・アンプの出力をコンパレータ0の" + "側入力信号として使用するときは、CMPSEL0レジスタのCMP0SELビットにPGAからの信号を設定
- (6) PGAENビットをセット(1)し、プログラマブル・ゲイン・アンプの動作を許可

18.4.1 プログラマブル・ゲイン・アンプの設定手順

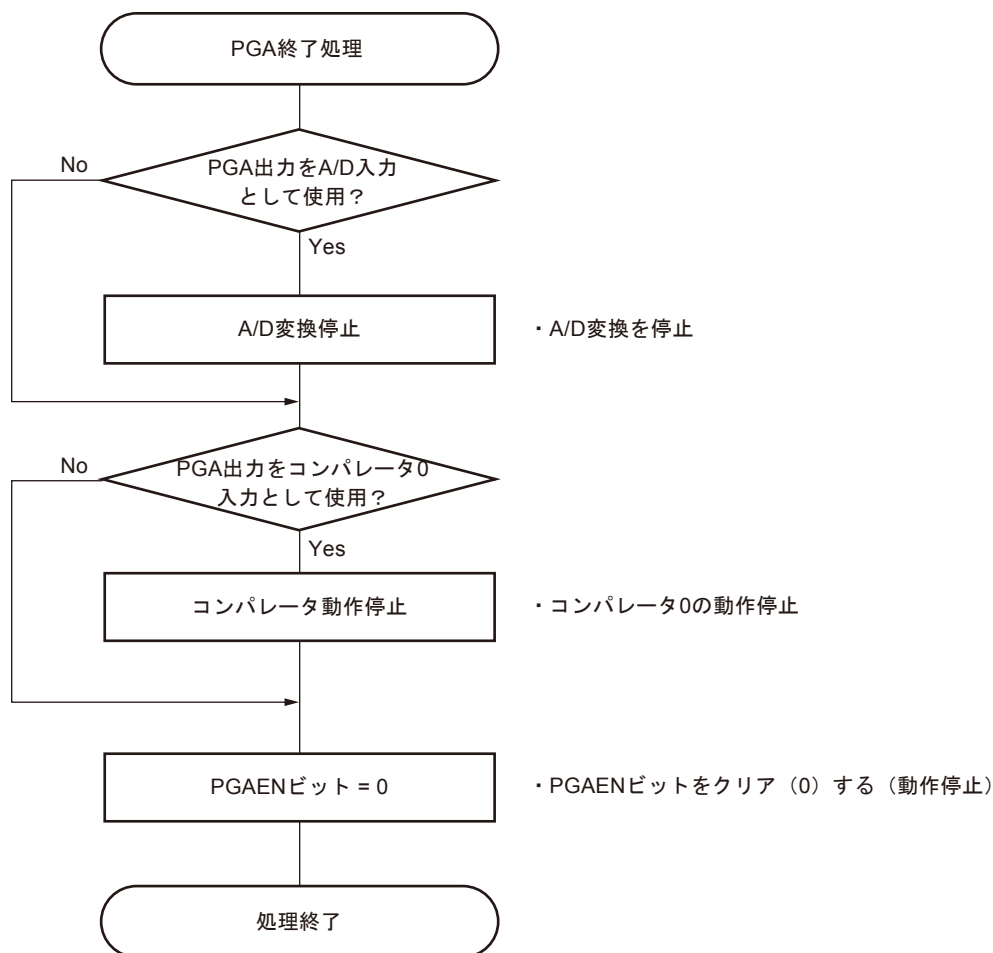
図 18 - 6 プログラマブル・ゲイン・アンプ (PGA) 動作設定フロー・チャート



注意 PGAENビットをセット (1) した後、PGA動作安定待ち時間として10 μ s経過後にA/D変換を開始してください。

18.4.2 プログラマブル・ゲイン・アンプの設定手順

図 18 - 7 プログラマブル・ゲイン・アンプ (PGA) 動作停止フロー・チャート



注意1. PGAとA/Dコンバータ、もしくはコンパレータの動作再開時は、PGAENビットをセット（1）した後、PGA動作安定待ち時間として10 μ s経過後に各機能を開始してください。

注意2. PGA出力が接続されていないA/D変換用端子、コンパレータに関してはPGA動作停止中も使用することができます。

第19章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは2つのユニットを持ちます。シリアル・アレイ・ユニット0は、1つのユニットに4つのシリアル・チャンネルを持ちます。シリアル・アレイ・ユニット1は、1つのユニットに2つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI (CSI), UART, 簡易I²Cの通信機能を実現できます。

RL78/G1Fで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○24, 32, 36ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (IrDA 対応)	IIC20
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (IrDA 対応)	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (IrDA 対応)	IIC20
	1	CSI21		IIC21

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意 この章では、以降の主な説明を64ピン製品のユニット、チャンネル構成で説明しています。

19.1 シリアル・アレイ・ユニットの機能

RL78/G1Fで対応している各シリアル・インタフェースの特徴を示します。

19.1.1 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、「19.5 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信の動作」を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時： Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時： Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。CSI00のみ設定可能です。

注 SCKサイクル・タイム (tkcy) の特性を満たす範囲内で使用してください。詳細は、第3章 または第38章 電气的特性を参照してください。

表 19 - 1 簡易SPI (CSI) 機能一覧

機能	24, 32, 36ピン	48ピン	64ピン
CSI00 (SSI付き) (SNOOZE対応)	○	○	○
CSI01	—	○	○
CSI10	—	—	○
CSI11	○	○	○
CSI20	○	○	○
CSI21	—	○	○

19.1.2 UART (UART0-UART2)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボーレートを使用して)データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

具体的な設定例は、「19.7 UART (UART0-UART2)通信の動作」を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSBファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4 = 0の時に、UART0のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- ウェイクアップ信号検出
 - ブレーク・フィールド(BF)検出
 - シンク・フィールド測定、ボー・レート算出
- } 外部割り込み(INTP0),
タイマ・アレイ・ユニットを使用

注 9ビット・データ長は、UART0のみ対応しています。

表 19 - 2 簡易SPI (CSI) 機能一覧

機能	24, 32, 36ピン	48ピン	64ピン
UART0 (LIN対応) (SNOOZE対応)	○	○	○
UART1	○	○	○
UART2	○	○	○

19.1.3 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「19.9 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能注, ACK 検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACK エラー, オーバーラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- ウェイト検出機能

注 最終データの受信時は、SOEmn ビット (シリアル出力許可レジスタ m (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、19.9.3 (2) 処理フローを参照してください。

備考 フル機能の I²C バスをご使用の場合は、第20章 シリアル・インタフェース IICA を参照してください。

表 19 - 3 簡易 SPI (CSI) 機能一覧

機能	24, 32, 36ピン	48ピン	64ピン
IIC00	○	○	○
IIC01	—	○	○
IIC10	—	—	○
IIC11	○	○	○
IIC20	○	○	○
IIC21	—	○	○

19.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 19-4 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット注 ¹
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット注 ^{1,2}
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21 端子 (簡易 SPI 用), SCL00, SCL01, SCL10, SCL11, SCL20, SCL21 端子 (簡易 I ² C 用)
シリアル・データ 入力	SI00, SI01, SI10, SI11, SI20, SI21 端子 (簡易 SPI 用), RxD0 (LIN-bus 対応 UART 用), RxD1, RxD2 端子 (UART 用)
シリアル・データ 出力	SO00, SO01, SO10, SO11, SO20, SO21 端子 (簡易 SPI 用), TxD0 (LIN-bus 対応 UART 用), TxD1, TxD2 端 子 (UART 用)
シリアル・データ 入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21 端子 (簡易 I ² C 用)
スレーブ選択入力	SSI00 端子 (スレーブセレクト入力機能用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・シリアル・クロック選択レジスタ m (SPSm) ・シリアル・チャンネル許可ステータス・レジスタ m (SEm) ・シリアル・チャンネル開始レジスタ m (SSm) ・シリアル・チャンネル停止レジスタ m (STm) ・シリアル出力許可レジスタ m (SOEm) ・シリアル出力レジスタ m (SOM) ・シリアル出力レベル・レジスタ m (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ 0 (SSC0) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタ mn (SDRmn) ・シリアル・モード・レジスタ mn (SMRmn) ・シリアル通信動作設定レジスタ mn (SCRmn) ・シリアル・ステータス・レジスタ mn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <ul style="list-style-type: none"> ・ポート入力モード・レジスタ 0, 1, 3, 5, 7 (PIM0, PIM1, PIM3, PIM5, PIM7) ・ポート出力モード・レジスタ 0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7) ・ポート・モード・レジスタ 0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7) ・ポート・レジスタ 0, 1, 3, 5-7 (P0, P1, P3, P5-P7)

(注, 備考は次ページにあります。)

- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・ 30-64ピン製品でmn = 00, 01の場合：下位9ビット
 - ・ 上記以外の場合：下位8ビット
- 注2. シリアル・データ・レジスタ mn (SDRmn)の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。
- ・ CSIp通信時 SIOp (CSIpデータ・レジスタ)
 - ・ UARTq受信時 RXDq (UARTq受信データ・レジスタ)
 - ・ UARTq送信時 TXDq (UARTq送信データ・レジスタ)
 - ・ IICr通信時 SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

図19-1にシリアル・アレイ・ユニット0のブロック図を示します。

図19-1 シリアル・アレイ・ユニット0のブロック図

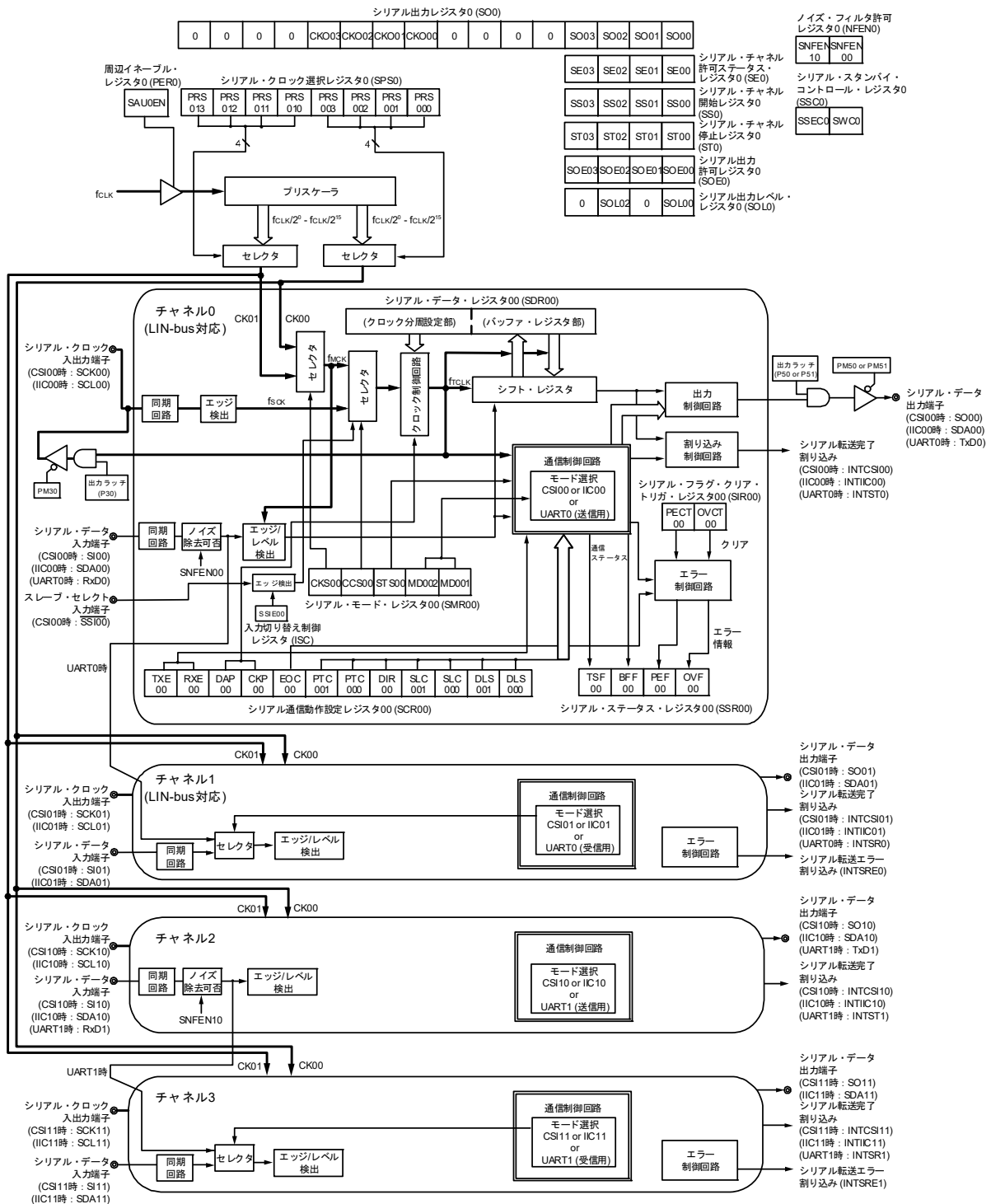
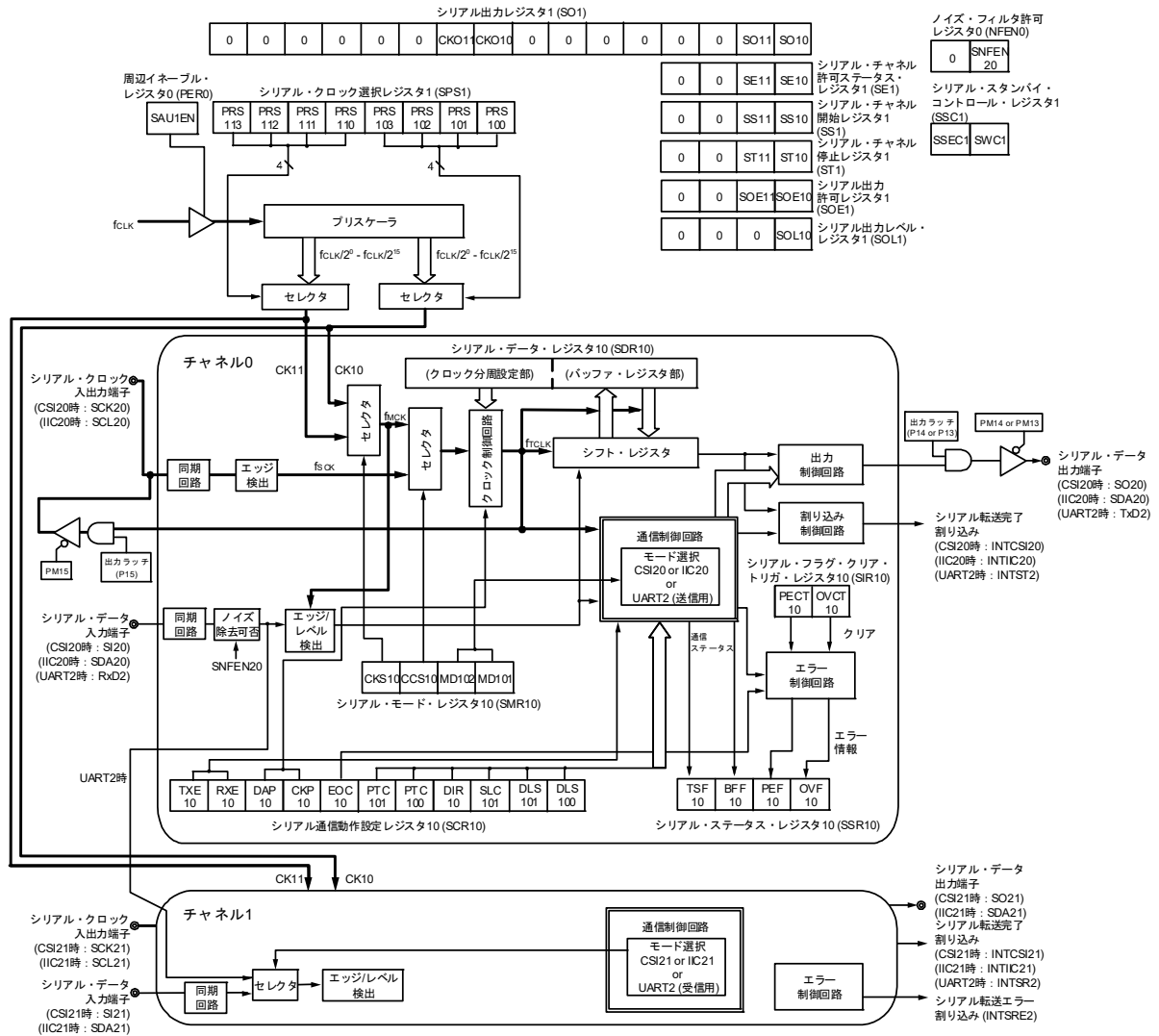


図19-2にシリアル・アレイ・ユニット1のブロック図を示します。

図19-2 シリアル・アレイ・ユニット1のブロック図



19.2.1 シフト・レジスタ

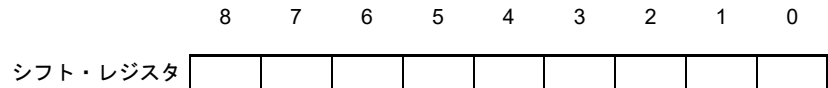
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0~8)を使用します^{注1}。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します^{注1}。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビットを使用します。



19.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)^{注1}、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fmck)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- 9ビット・データ長(SDRmnレジスタのビット0-8に格納)^{注1}

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^{注1}です。

- CSIp通信時 SIOp (CSIpデータ・レジスタ)
- UARTq受信時 RXDq (UARTq受信データ・レジスタ)
- UARTq送信時 TXDq (UARTq送信データ・レジスタ)
- IICr通信時 SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は、UART0のみ対応しています。

動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn [7:0]の書き換えは禁止です(SDRmn [15:9]がすべてクリア(0)されます)。

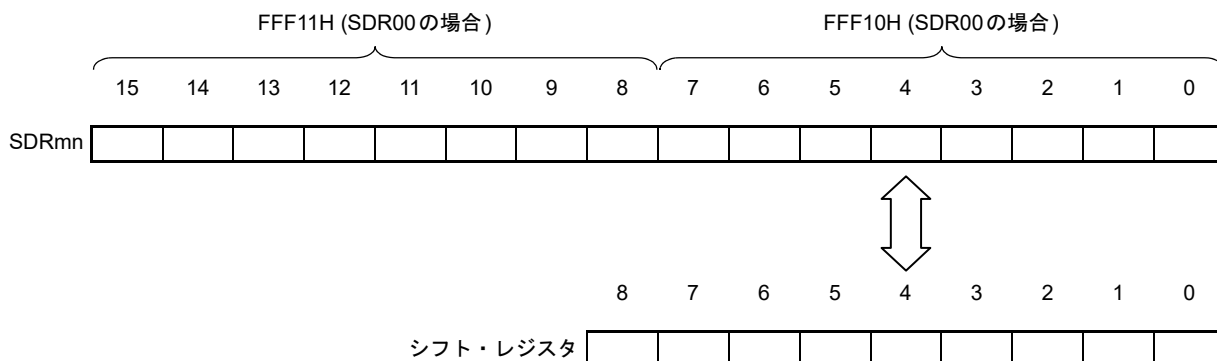
備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01, 10, 11, 20, 21)

q : UART番号(q = 0-2) r : IIC番号(r = 00, 01, 10, 11, 20, 21)

図19-3 シリアル・データ・レジスタ mn (SDRmn)(mn = 00, 01, 10, 11)のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)



備考 SDRmnレジスタの上位7ビットの機能については、19.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図19-4 シリアル・データ・レジスタ mn (SDRmn)(mn = 02, 03)のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), リセット時 : 0000H R/W



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、19.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

19.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOM)
- シリアル・スタンバイ・コントロール・レジスタ 0 (SSC0)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート入力モード・レジスタ 0, 1, 3, 5, 7 (PIM0, PIM1, PIM3, PIM5, PIM7)
- ポート出力モード・レジスタ 0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7)
- ポート・モード・レジスタ 0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7)
- ポート・レジスタ 0, 1, 3, 5-7 (P0, P1, P3, P5-P7)

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

19.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN)に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図19-5 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御							
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態							
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可							

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態です。下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります(入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ0, 1, 3, 5, 7 (PIM0, PIM1, PIM3, PIM5, PIM7)、ポート出力モード・レジスタ0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7)、ポート・モード・レジスタ0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7)、ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)、ポート・レジスタ0, 1, 3, 5-7 (P0, P1, P3, P5-P7)は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

注意2. ビット1には必ず"0"を設定してください。

19.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図19-6 シリアル・クロック選択レジスタ m (SPSm)のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0		動作クロック (CKmk)の選択注				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.8 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.9 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中に fCLK で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAU の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

注意 ビット 15-8 には、必ず 0 を設定してください。

備考1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0, 1)

備考3. k = 0, 1

19.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmck)の選択、シリアル・クロック (fsck)入力の使用可否、スタート・トリガ設定、動作モード(簡易SPI (CSI), UART, 簡易I²C)設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただし MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図19-7 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SISmn 0注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (fmck)の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (ftclk)を生成します。	

CCS mn	チャンネルnの転送クロック (ftclk)の選択
0	CKSmnビットで指定した動作クロックfmckの分周クロック
1	SCKp端子からの入力クロックfsck (簡易SPI (CSI) モードのスレーブ転送)
転送クロックftclkは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fmck)の分周設定を行います。	

STS mn注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効(簡易SPI (CSI), UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ(UART受信時に選択)
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

図19-8 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SISmn 0注	1	0	0	MD mn2	MD mn1	MD mn0

SISm n0注	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がリエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	簡易SPI (CSI) モード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11 レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10 レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

19.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

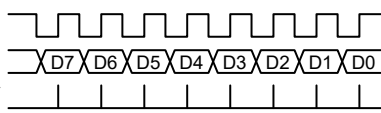
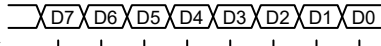

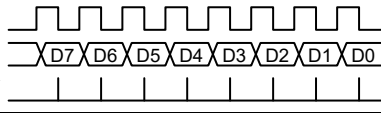
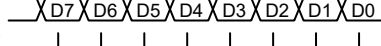
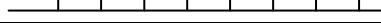
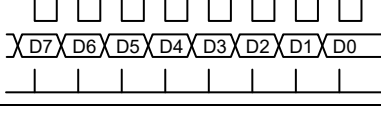
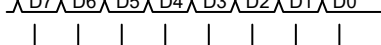
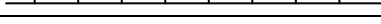

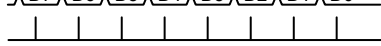
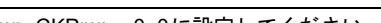
リセット信号の発生により、SCRmnレジスタは0087Hになります。

図19-9 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI (CSI) モードでのデータとクロックの位相選択	タイプ
0	0	SCKp  SOp  SIp入カタイミング 	1
0	1	SCKp  SOp  SIp入カタイミング 	2
1	0	SCKp  SOp  SIp入カタイミング 	3
1	1	SCKp  SOp  SIp入カタイミング 	4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号(INTSREx (x = 0-2))のマスク制御
0	エラー割り込みINTSRExの発生を禁止する(INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する(エラー発生時、INTSRxは発生しない)

簡易SPI (CSI) モード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください注3。

注1. SCR00, SCR02, SCR10レジスタのみ。

注2. SCR00, SCR01レジスタのみ。その他は1固定になります。

注3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください(SCR01, SCR03, SCR11レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01, 10, 11, 20, 21)

図19 - 10 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

PTC	PTC	UARTモードでのパリティ・ビットの設定	
mn1	mn0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI (CSI) モード, 簡易I ² Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIR	簡易SPI (CSI), UARTモードでのデータ転送順序の選択	
mn		
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	
簡易I ² Cモード時には, 必ずDIRmn = 0に設定してください。		

SLCm	SLC	UARTモードでのストップ・ビットの設定	
n1注1	mn0		
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10のみ)	
1	1	設定禁止	
転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時, 簡易I ² Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。 簡易SPI (CSI) モード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。 UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。			

DLSm	DLS	簡易SPI (CSI), UARTモードでのデータ長の設定	
n1注2	mn0		
0	1	9ビット・データ長 (SDRmn レジスタのビット0-8に格納)(UARTモード時のみ選択可)	
1	0	7ビット・データ長 (SDRmn レジスタのビット0-6に格納)	
1	1	8ビット・データ長 (SDRmn レジスタのビット0-7に格納)	
その他		設定禁止	
簡易I ² Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。			

注1. SCR00, SCR02, SCR10レジスタのみ。

注2. SCR00, SCR01レジスタのみ。その他は1固定になります。

注3. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には, 必ず0を設定してください(SCR01, SCR03, SCR11レジスタはビット5も0に設定してください)。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)

19.3.5 シリアル・データ・レジスタ mn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01, SDR10, SDR11のビット8-0 (下位9ビット), またはSDR02, SDR03, SDR10, SDR11のビット7-0 (下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9 (上位7ビット)の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9 (上位7ビット)で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットを1に設定した場合は、SDR00, SDR01, SDR10, SDR11のビット15-9 (上位7ビット)に“0000000B”を設定してください。SCKp 端子からの入力クロック f_{sck} (簡易 SPI (CSI) モードのスレーブ転送)が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SEmn = 0) のときのみ有効です。動作中 (SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図19-11 シリアル・データ・レジスタ mn (SDRmn)のフォーマット



- 注意1. SDR02, SDR03, SDR10, SDR11レジスタのビット8は、必ず0を設定してください。
- 注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。
- 注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
- 注意4. 動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn [7:0]の書き換えは禁止です(SDRmn [15:9]がすべてクリア(0)されます)。
- 備考1. SDRmnレジスタの下位8/9ビットの機能については、19.2 シリアル・アレイ・ユニットの構成を参照してください。
- 備考2. m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0-3)

19.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn)が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図 19 - 12 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W
F0148H, F0149H (SIR10), F014AH, F014BH (SIR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECT mn注	PEC Tmn	OVC Tmn
FEC Tmn 注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのFEFmnビットを0にクリアする															
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのPEFmnビットを0にクリアする															
OVC Tmn	チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのOVFmnビットを0にクリアする															

注 SIR01, SIR03, SIR11レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10レジスタの場合は、ビット15-2)には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. SIRmnレジスタの読み出し値は常に0000Hとなります。

19.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図 19 - 13 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R

F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> ・ STmレジスタのSTmnビットに1を設定時(通信停止状態)、もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) ・ 通信動作が終了時 <セット条件> 通信動作を開始時	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> ・ 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・ STmレジスタのSTmnビットに1を設定時(通信停止状態)、SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 <セット条件> ・ SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信、送受信モード時)の状態ではSDRmnレジスタに送信データを書き込んだとき ・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信、送受信モード時)の状態ではSDRmnレジスタに受信データが格納されたとき ・ 受信エラー時	

注 SSR01, SSR03, SSR11 レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI(CSI)の受信動作を行う場合、BFFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

図19 - 14 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn

FEF mn注	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> SIRmnレジスタのFECTmnビットに1を書き込んだとき	
<セット条件> UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> SIRmnレジスタのPECTmnビットに1を書き込んだとき	
<セット条件> <ul style="list-style-type: none"> • UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) • I²C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出) 	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> SIRmnレジスタのOVCTmnビットに1を書き込んだとき	
<セット条件> <ul style="list-style-type: none"> • SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき • 簡易SPI (CSI) モードのスレーブ送信/送受信で、送信データが準備できていないとき 	

注 SSR01, SSR03, SSR11レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVEmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI (CSI)の受信動作を行う場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0-3)

19.3.8 シリアル・チャンネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(SSmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が1にセット(動作許可状態)されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図 19 - 15 シリアル・チャンネル開始レジスタ m (SSm)のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0	SS0	SS0
													3	2	1	0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS1	SS1
															1	0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4, SS1レジスタのビット15-2には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

19.3.9 シリアル・チャンネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(STmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が0にクリア(動作停止状態)されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図 19 - 16 シリアル・チャンネル停止レジスタ m (STm)のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 3	ST0 2	ST0 1	ST0 0

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST1 1	ST1 0

STm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 ST0レジスタのビット15-4、ST1レジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

19.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャンネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図 19 - 17 シリアル・チャンネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE1 1	SE1 0

SEm n	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

19.3.11 シリアル出力許可レジスタ m (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図19-18 シリアル出力許可レジスタ m (SOEm)のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 03	SOE 02	SOE 01	SOE 00
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	-----------	-----------	-----------	-----------

アドレス : F016AH, F016BH リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 11	SOE 10
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	-----------	-----------

SOE mn	チャンネルnのシリアル出力許可/停止														
0	シリアル通信動作による出力停止														
1	シリアル通信動作による出力許可														

注意 SOE0レジスタのビット15-4, SOE1レジスタのビット15-2には、必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

19.3.12 シリアル出力レジスタ m (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止(SEmn = 0)時のみ可能です。チャンネル動作許可(SEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能等のシリアル・インタフェース機能以外として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

★

図19 - 19 シリアル出力レジスタ m (SOm)のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO 03	CKO 02	CKO 01	CKO 00	0	0	0	0	SO 03	SO 02	SO 01	SO 00

★

アドレス : F0168H, F0169H リセット時 : 0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	0	0	CKO 11	CKO 10	0	0	0	0	0	0	SO 11	SO 10

★

CKO mn	チャンネルnのシリアル・クロック出力															
0	シリアル・クロック出力値が“0”															
1	シリアル・クロック出力値が“1”															

SO mn	チャンネルnのシリアル・データ出力															
0	シリアル・データ出力値が“0”															
1	シリアル・データ出力値が“1”															

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。

SO1レジスタのビット15-10, 7-2には、必ず0を設定してください。

★

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

19.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI) モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図19-20 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 10

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

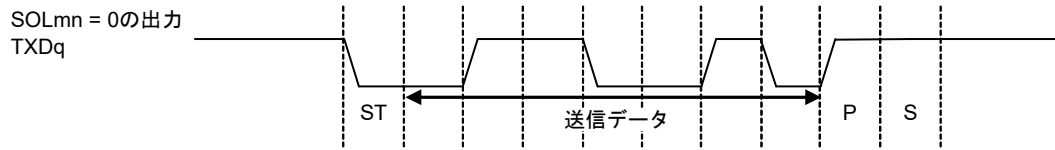
注意 SOL0レジスタのビット15-3, 1, SOL1レジスタのビット15-1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

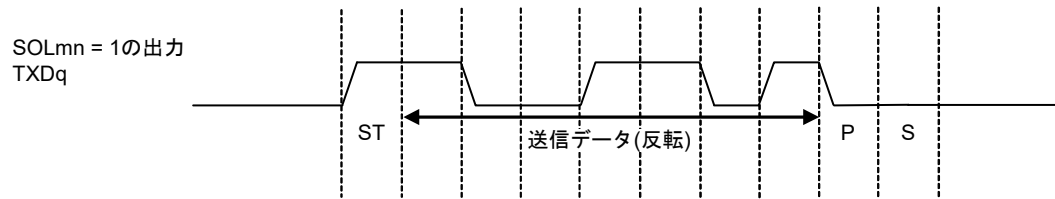
UART送信時、送信データのレベル反転例を図19-21に示します。

図 19 - 21 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

19.3.14 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

SSC0レジスタは、CSI00、UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動(SNOOZEモード)を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSC0レジスタの下位8ビットは、SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- CSI00, CSI20の場合 : ~1 Mbps
 - UART0, UART2の場合 : 4800 bpsのみ
- (オプション・バイト(000C2H)のFRQSEL4を0に設定している場合に使用可能です)

図19-22 シリアル・スタンバイ・コントロール・レジスタm (SSCm)のフォーマット

アドレス : F0138H (SSC0)

リセット時 : 0000H RW

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEC	SWC
															0	0

SSEC0	SNOOZEモード時の通信エラー割り込み発生許可/停止の選択
0	エラー割り込み(INTSRE0/INTSRE2)発生許可
1	エラー割り込み(INTSRE0/INTSRE2)発生停止

- SNOOZEモード時のUART受信で、SWC0 = 1かつEOC0n = 1の時のみ、SSEC0ビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。
- SSEC0, SWC0 = 1, 0は設定禁止です。

SWC0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

- STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI) /UARTの受信動作を行います(SNOOZEモード)。
- SNOOZEモード機能は、CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。オプション・バイト(000C2H)のFRQSEL4を1に設定している場合でUARTとして使用する場合も設定禁止です。
- SNOOZEモードを使用する場合でも、通常動作モード時はSWC0を0に設定し、STOPモードへ移行する直前にSWC0を1に変更してください。

またSTOPモードから通常動作モードへ復帰後、必ずSWC0を0に変更してください。

注意 SSEC0, SWC0 = 1, 0は設定禁止です。

図 19 - 23 SNOOZEモードでUART受信したときの割り込み

EOC0nビット	SSEC0ビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

19.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1、ISC0ビットは、UART0でLIN-bus通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力(RxD0)端子の入力信号が外部割り込み入力(INTP0)として選択されます。これによって、ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると、シリアル・データ入力(RxD0)端子の入力信号がタイマ入力として選択されます。これによって、ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

SSIE00ビットは、CSI00通信かつスレーブ・モード時にチャンネル0の $\overline{\text{SSI00}}$ 端子入力を制御するビットです。 $\overline{\text{SSI00}}$ 端子にハイ・レベルが入力されている期間は、シリアル・クロックが入力されても送受信動作を行いません。 $\overline{\text{SSI00}}$ 端子にロウ・レベルが入力されている期間は、シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図 19 - 24 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0の $\overline{\text{SSI00}}$ 入力の設定
0	$\overline{\text{SSI00}}$ 端子入力の無効
1	$\overline{\text{SSI00}}$ 端子入力の有効

ISC1	タイマ・アレイ・ユニット0のチャンネル3の入力切り替え
0	TI03端子の入力信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)

注意 ビット6-2に必ず0を設定してください。

19.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI), 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図19-25 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-5, 3, 1には、必ず0を設定してください。

19.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ(ポート・モード・レジスタ(PMxx)、ポート・レジスタ(Pxx)、ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)、ポート・モード・コントロール・レジスタ(PMCxx))を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ(PMxx)、4.3.2 ポート・レジスタ(Pxx)、4.3.4 ポート入力モード・レジスタ(PIMxx)、4.3.5 ポート出力モード・レジスタ(POMxx)、4.3.6 ポート・モード・コントロール・レジスタ(PMCxx)を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート(P02/ANI17/SO10/TxD1など)をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ(PMCxx)のビットおよびポート・モード・レジスタ(PMxx)のビットに0を、ポート・レジスタ(Pxx)のビットに1を設定してください。

なお、N-chオープン・ドレイン出力(VDD耐圧^{注1}/EVDD耐圧^{注2})モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ(POMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.5 入出力バッファによる異電位(1.8V系、2.5V系、3V系)対応を参照してください。

(例) P02/ANI17/SO10/TxD1をシリアル・データ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC02ビットを0に設定

ポート・モード・レジスタ0のPM02ビットを0に設定

ポート・レジスタ0のP02ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート(P03/ANI16/SI10/RxD1/SDA10など)をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ(PMCxx)のビットに0を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ(PIMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.5 入出力バッファによる異電位(1.8V系、2.5V系、3V系)対応を参照してください。

(例) P03/ANI16/SI10/RxD1/SDA10をシリアル・データ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC03ビットを0に設定

ポート・モード・レジスタ0のPM03ビットを1に設定

ポート・レジスタ0のP03ビットを0または1に設定

注1. 24～48ピン製品の場合

注2. 64ピン製品の場合

19.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

19.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0)で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN)に0を設定してください。

図19-26 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0)..... 停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN		TAU0EN
	x	x	x	x	0/1	0/1	0	x

SAUmの入カクロックの制御
0: 入カクロック供給停止
1: 入カクロック供給

注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0, 1, 3, 5, 7 (PIM0, PIM1, PIM3, PIM5, PIM7)
- ポート出力モード・レジスタ0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7)
- ポート・モード・レジスタ0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7)
- ポート・レジスタ0, 1, 3, 5-7 (P0, P1, P3, P5-P7)

注意2. ビット1には必ず“0”を設定してください。

備考 x: シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1: ユーザの用途に応じて0または1に設定

19.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

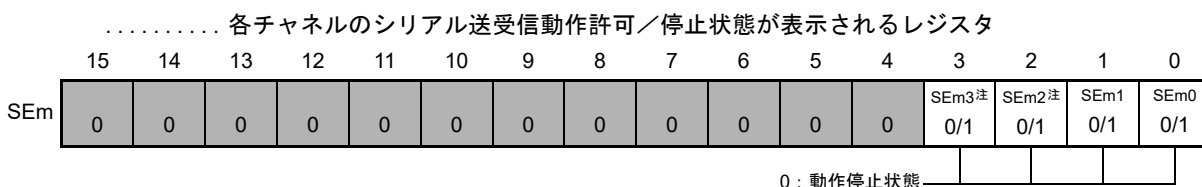
図19-27 チャンネルごとに動作停止とする場合の各レジスタの設定

(a)シリアル・チャンネル停止レジスタ m (STm)



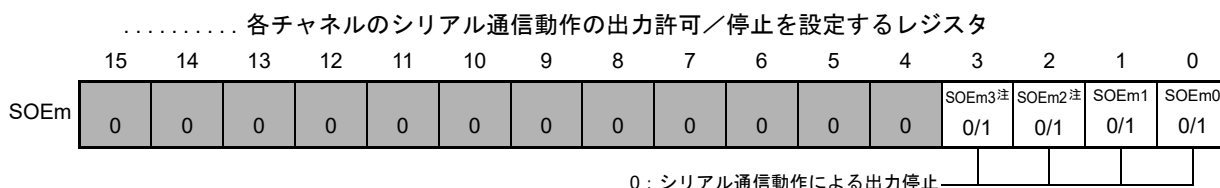
※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

(b)シリアル・チャンネル許可ステータス・レジスタ m (SEm)



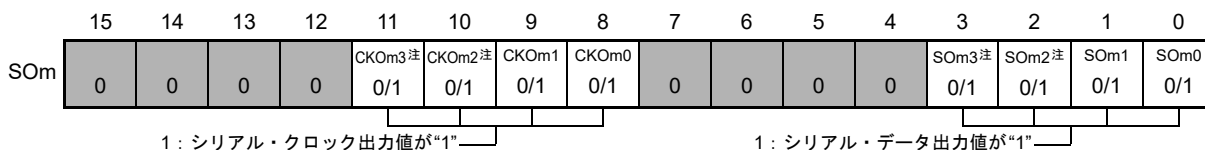
※SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャンネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c)シリアル出力許可レジスタ m (SOEm)



※ シリアル出力を停止したチャンネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d)シリアル出力レジスタ m (SOm) 各チャンネルのシリアル出力のバッファ・レジスタ



※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに"1"を設定してください。

注 シリアル・アレイ・ユニット0の場合のみ。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

備考2. : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

19.5 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信の動作

シリアル・クロック(SCK)とシリアル・データ(SI, SO)の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)
マスタ通信時 : Max. fCLK/4
スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。CSI00のみ設定可能です。

注 SCKサイクル・タイム(tkcy)の特性を満たす範囲内で使用してください。詳細は、第37章 または第38章 電気的特性を参照してください。

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)に対応しているチャンネルは、SAU0のチャンネル0-3とSAU1のチャンネル0-3です。

○24, 32, 36ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)の通信動作は、以下の7種類があります。

- マスタ送信(19.5.1項を参照)
- マスタ受信(19.5.2項を参照)
- マスタ送受信(19.5.3項を参照)
- スレーブ送信(19.5.4項を参照)
- スレーブ受信(19.5.5項を参照)
- スレーブ送受信(19.5.6項を参照)
- SNOOZEモード機能(19.5.7項を参照)

19.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスヘータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み(シングル転送モード時)か、パuffers空き割り込み(連続転送モード時)かを選択可能					
エラー検出フラグ	なし					
転送データ長	7ビットまたは8ビット					
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転					
データ方向	MSB ファーストまたはLSB ファースト					

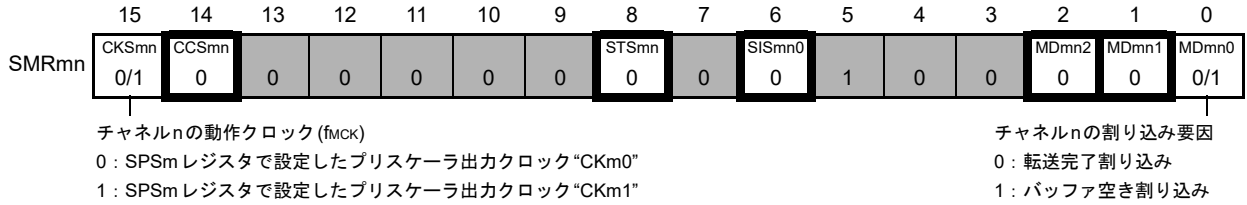
注 この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

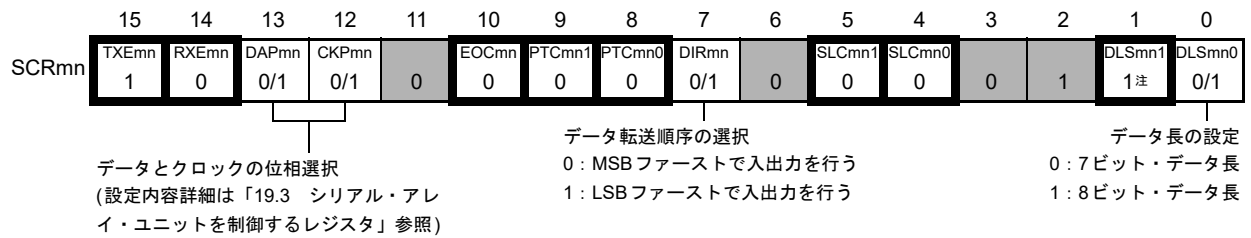
(1) レジスタ設定

図19 - 28 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)のマスター送信時のレジスタ設定内容例

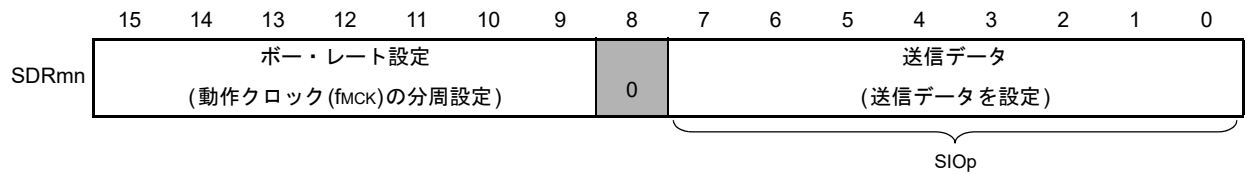
(a) シリアル・モード・レジスタ mn (SMRmn)



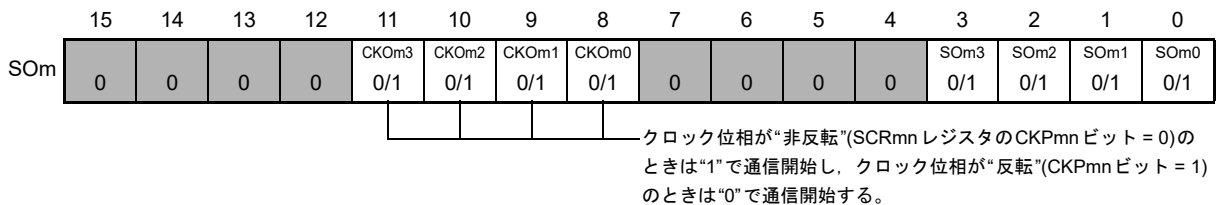
(b) シリアル通信動作設定レジスタ mn (SCRmn)



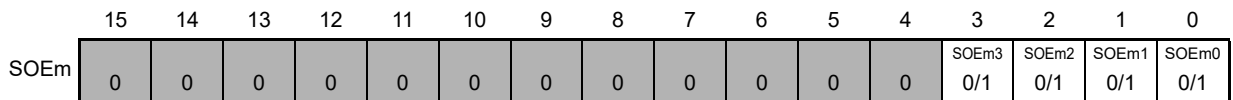
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



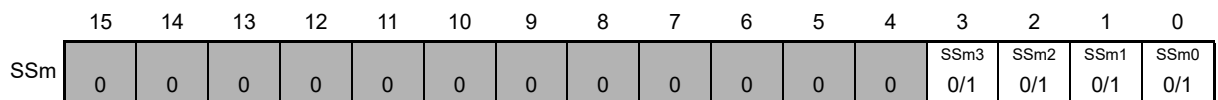
(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) マスタ送信モードでは設定固定 : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 29 マスタ送信の初期設定手順

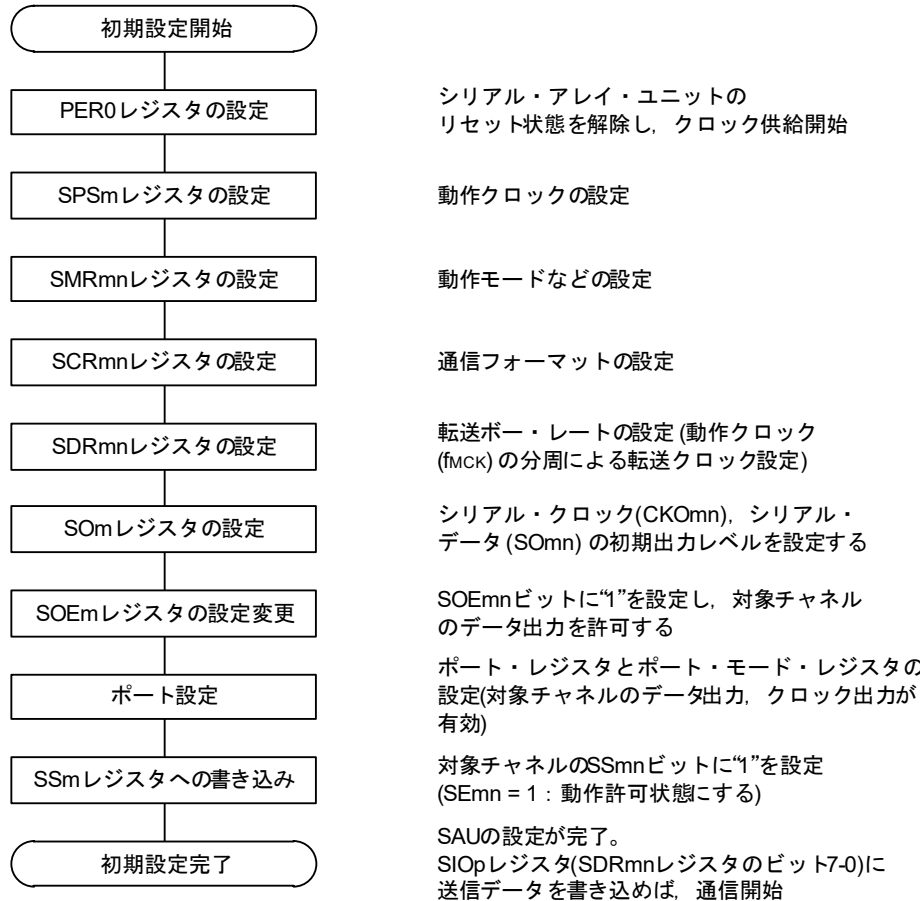


図 19 - 30 マスタ送信の中断手順

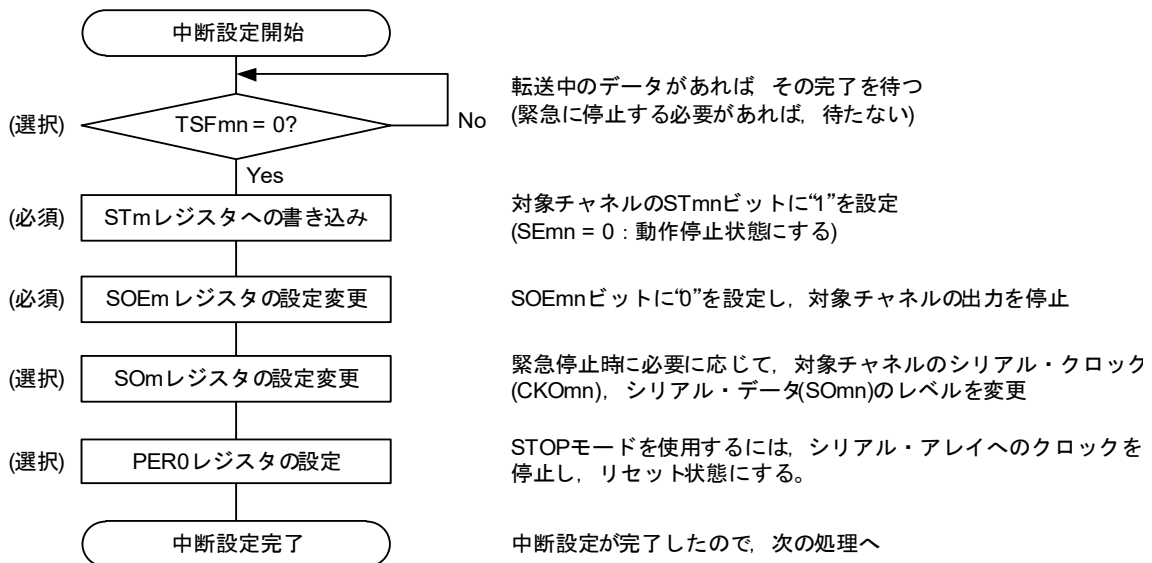
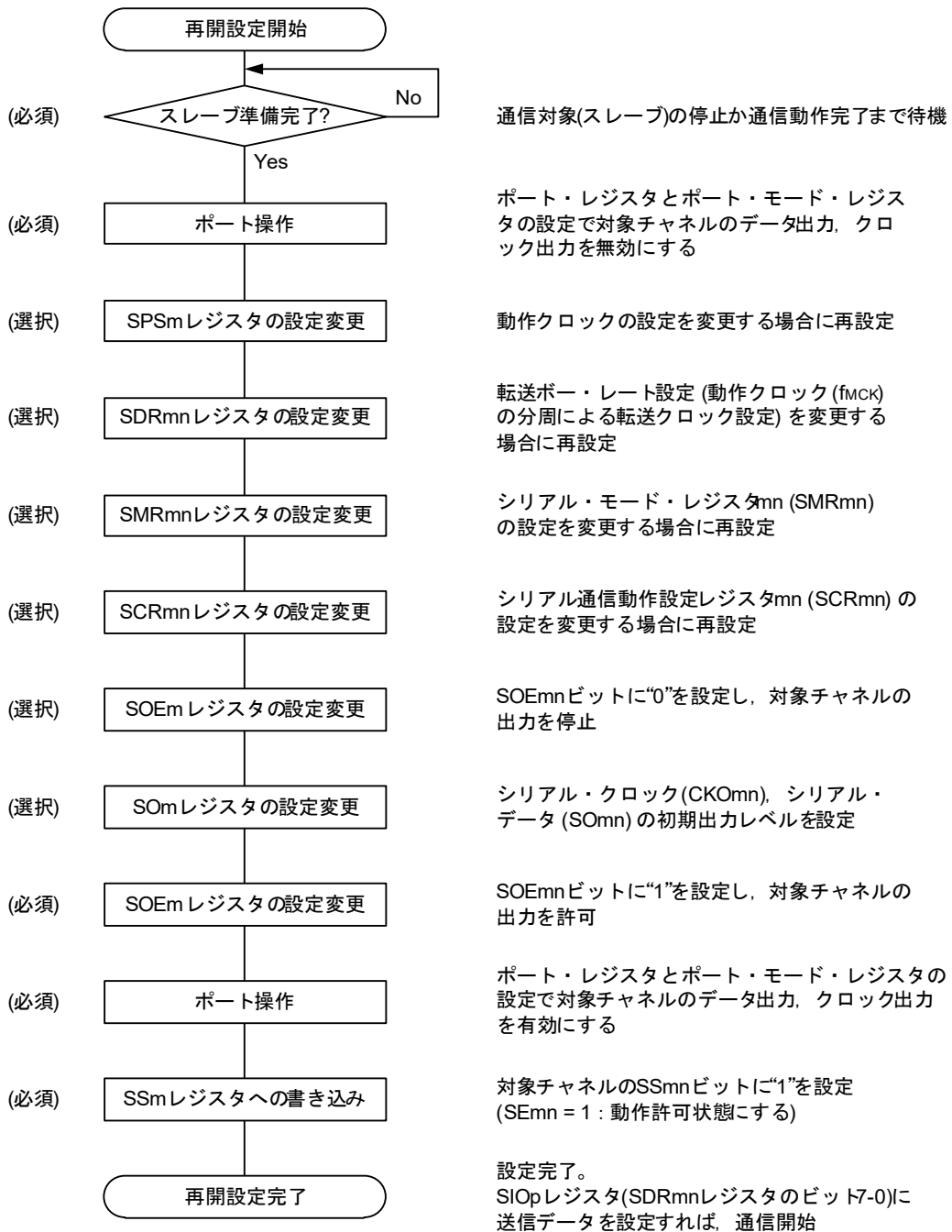


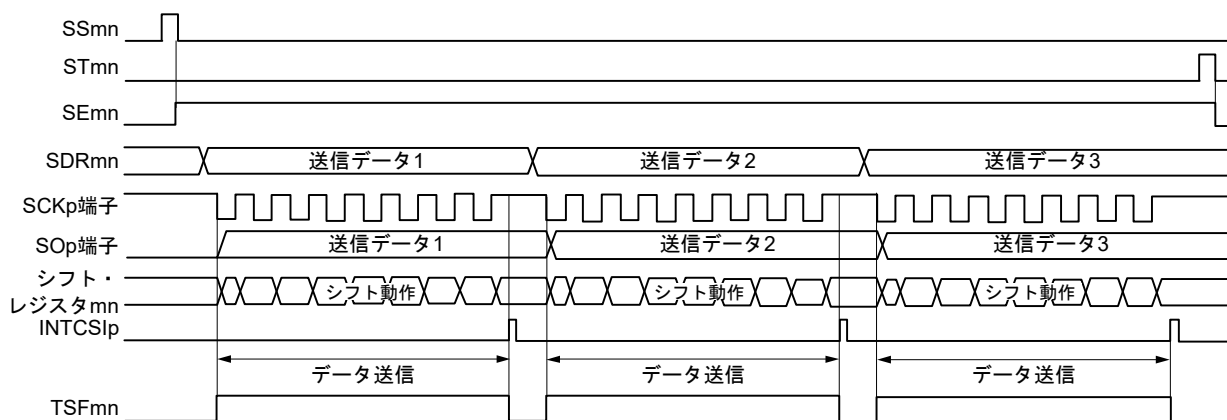
図 19 - 31 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

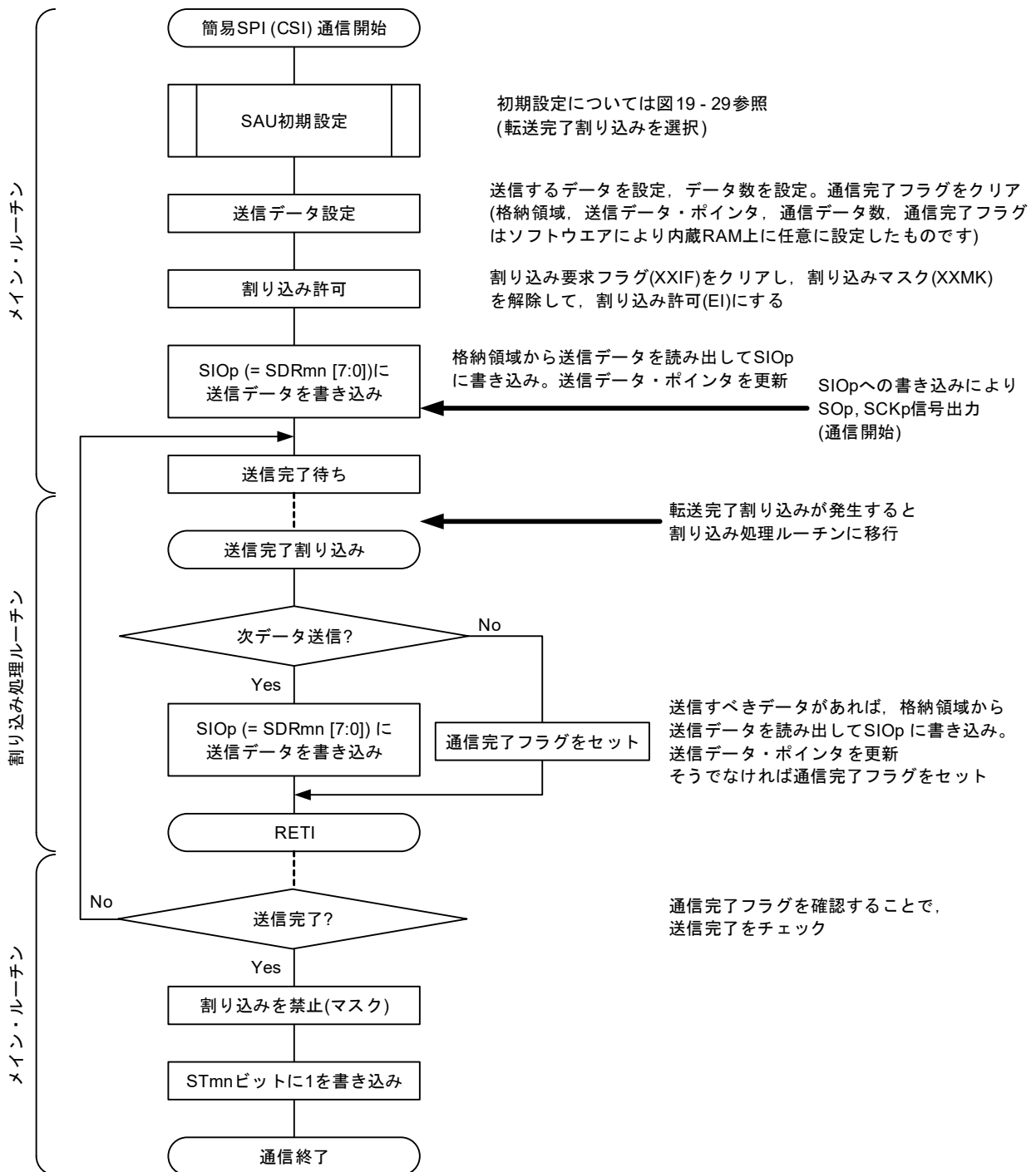
(3) 処理フロー (シングル送信モード時)

図 19 - 32 マスタ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



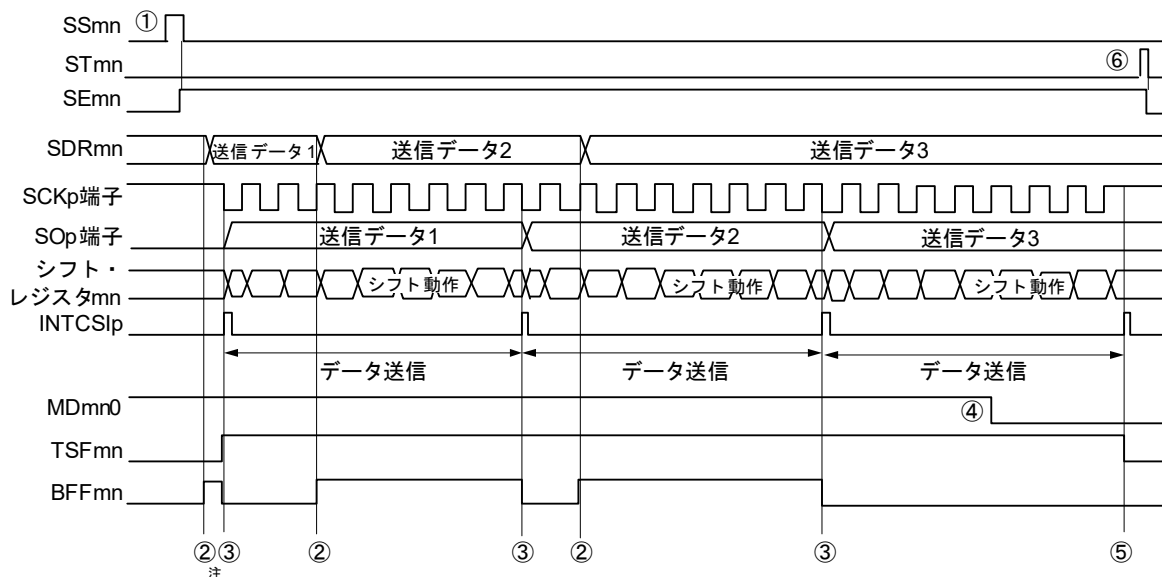
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19-33 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図19-34 マスタ送信(連続送信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)

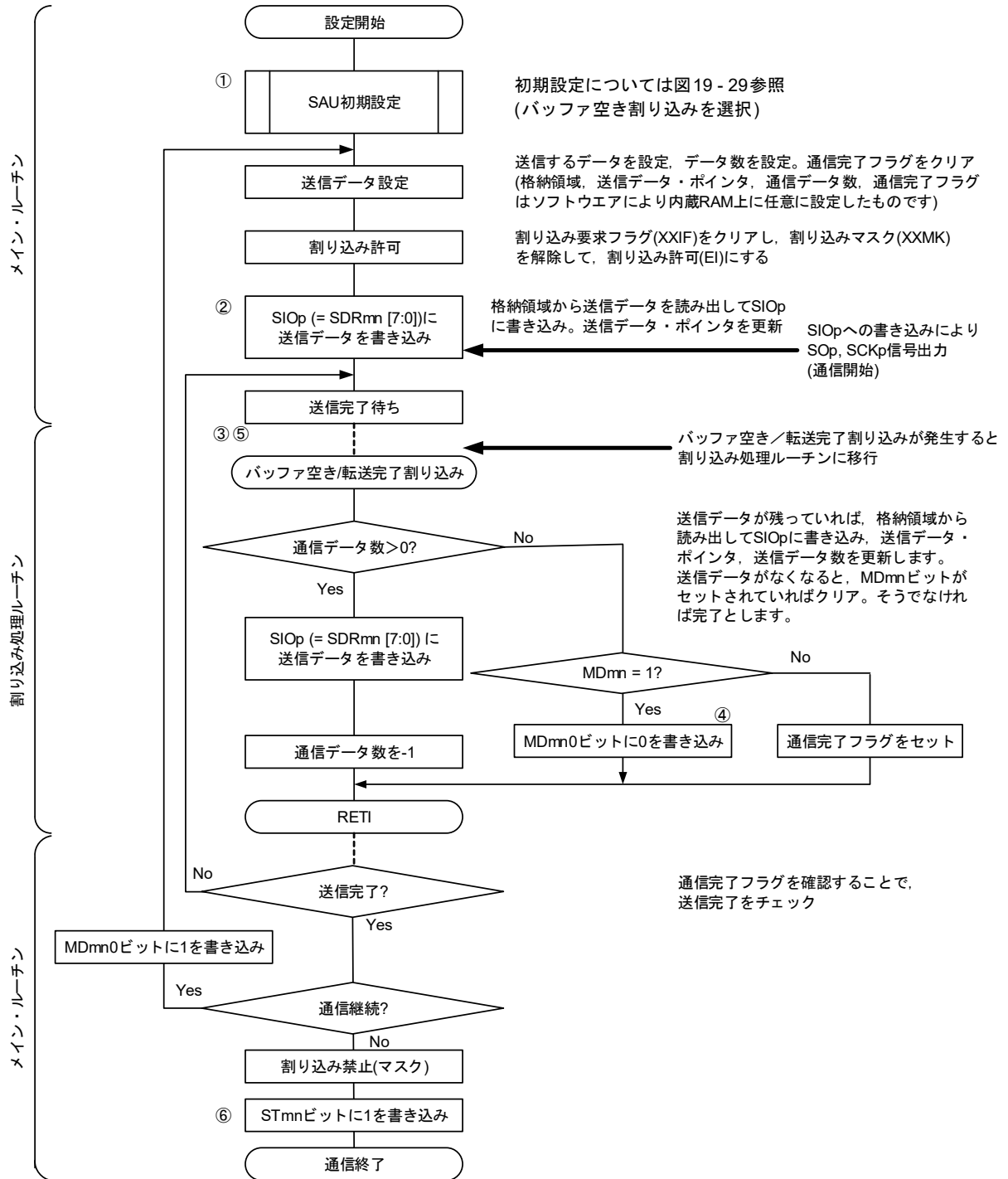


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

図19-35 マスタ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は, 図19-34 マスタ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

19.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ					
転送データ長	7ビットまたは8ビット					
転送レート注	Max. $f_{CLK}/2$ [Hz] (CSI00のみ), $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合: 非反転 • CKPmn = 1の場合: 反転					
データ方向	MSB ファーストまたはLSB ファースト					

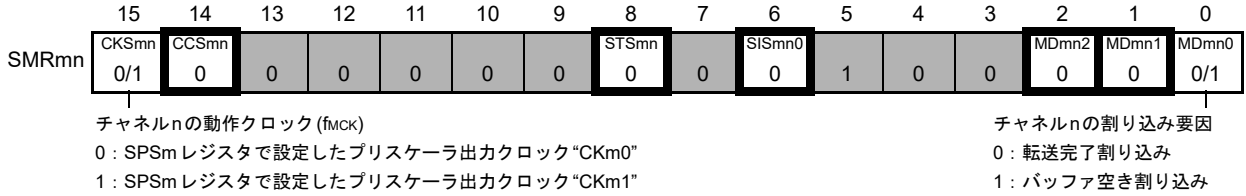
注 この条件を満たし、かつ電氣的特性の周辺機能特性(第37章 または第38章 電氣的特性を参照)を満たす範囲内で使用してください。

備考 m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 0-3) p: CSI番号(p = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

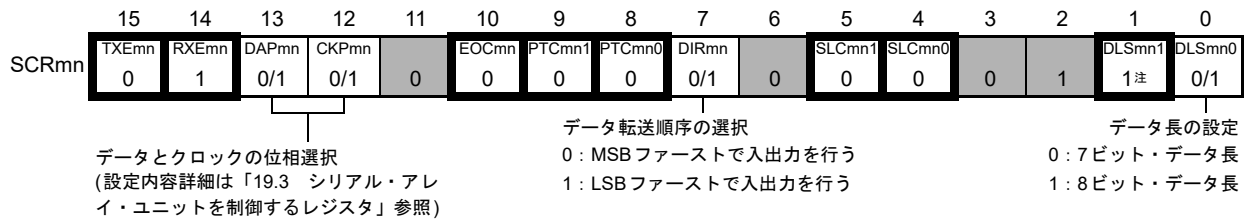
(1) レジスタ設定

図19 - 36 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)のマスター受信時のレジスタ設定内容例

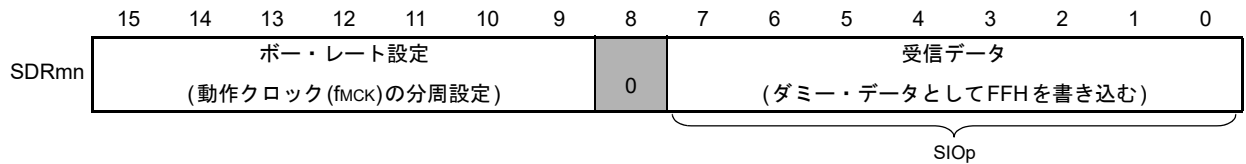
(a) シリアル・モード・レジスタ mn (SMRmn)



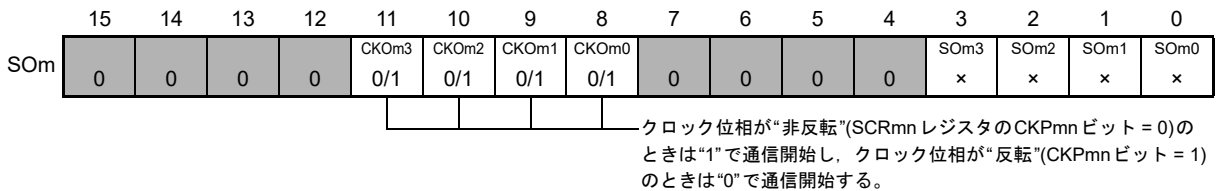
(b) シリアル通信動作設定レジスタ mn (SCRmn)



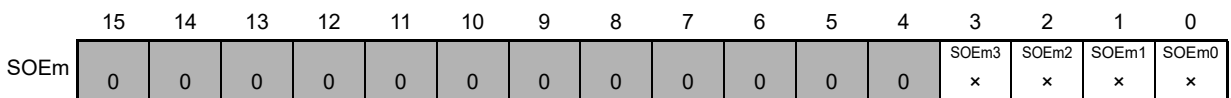
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



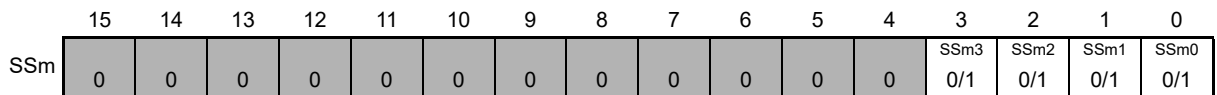
(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm)..... このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) マスター受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 37 マスタ受信の初期設定手順

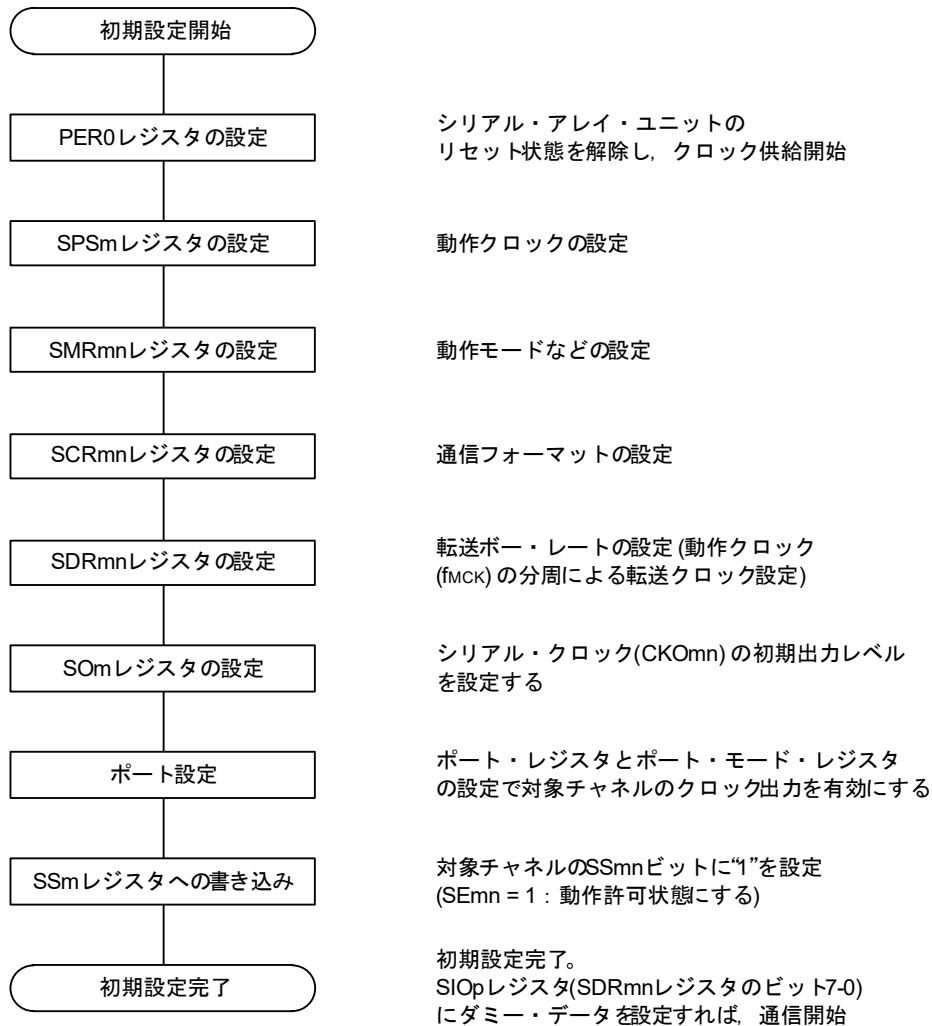


図 19 - 38 マスタ受信の中断手順

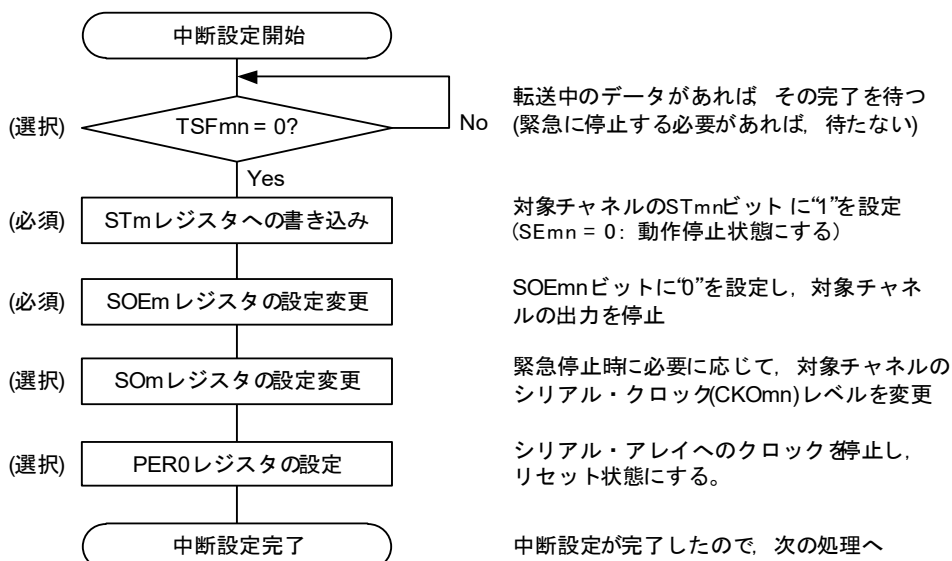
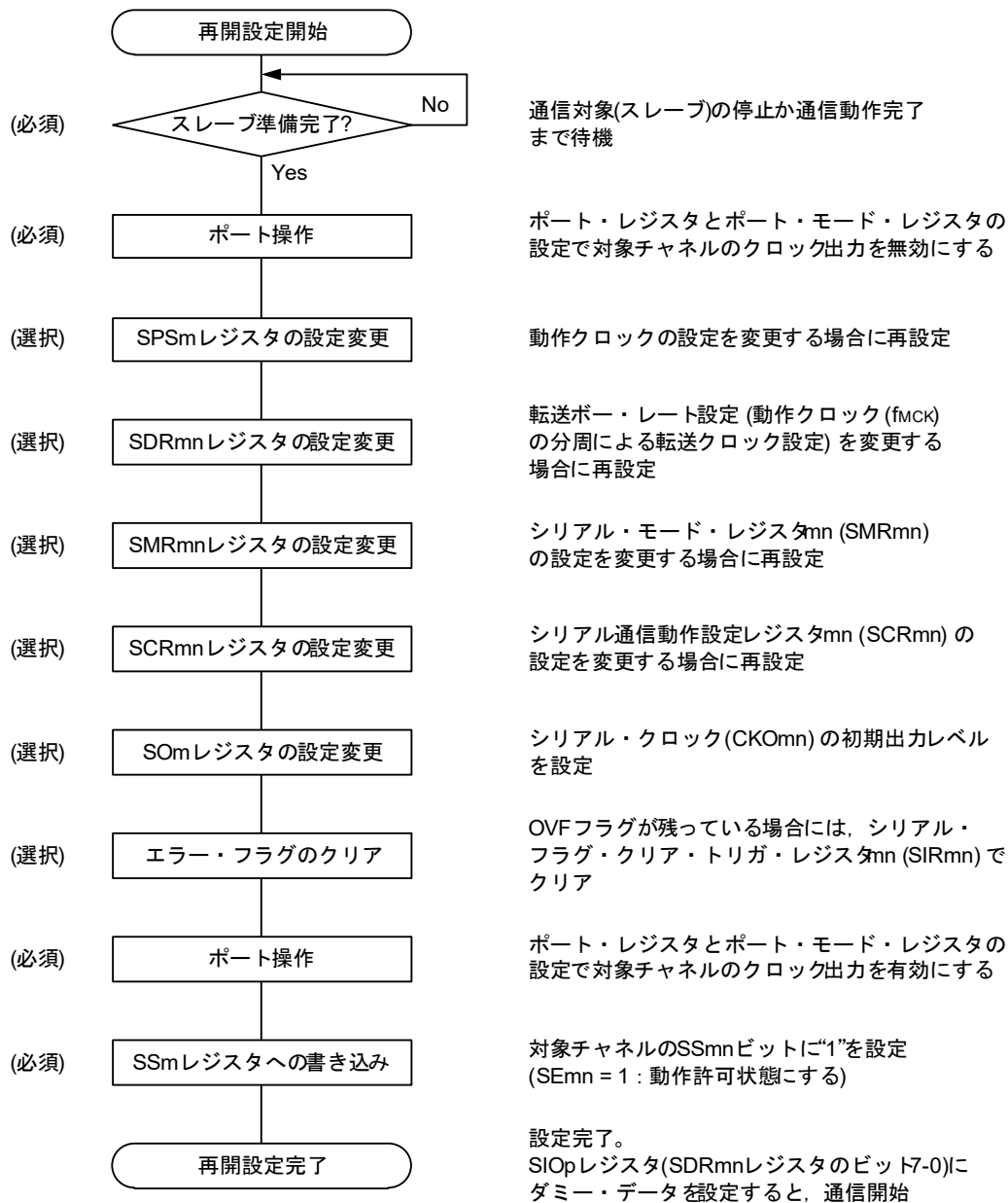


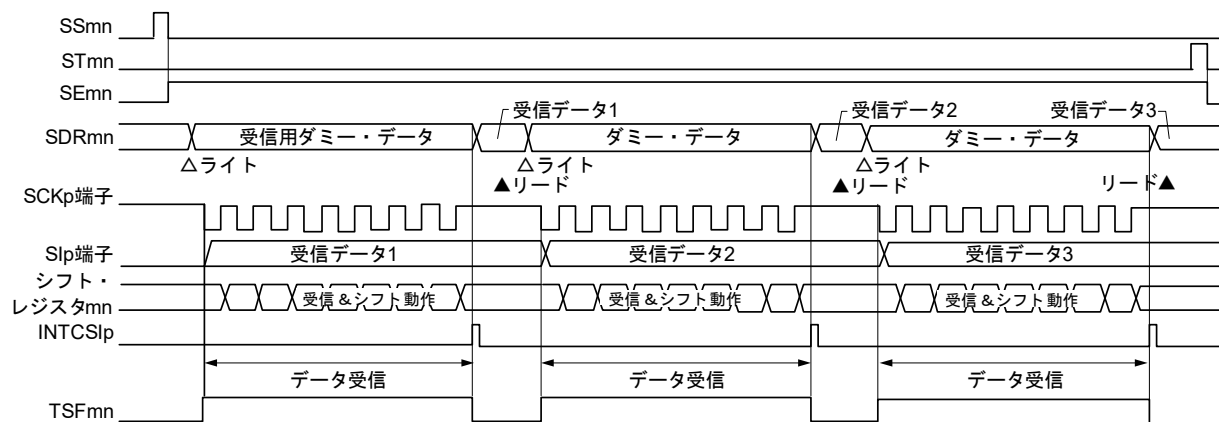
図 19 - 39 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

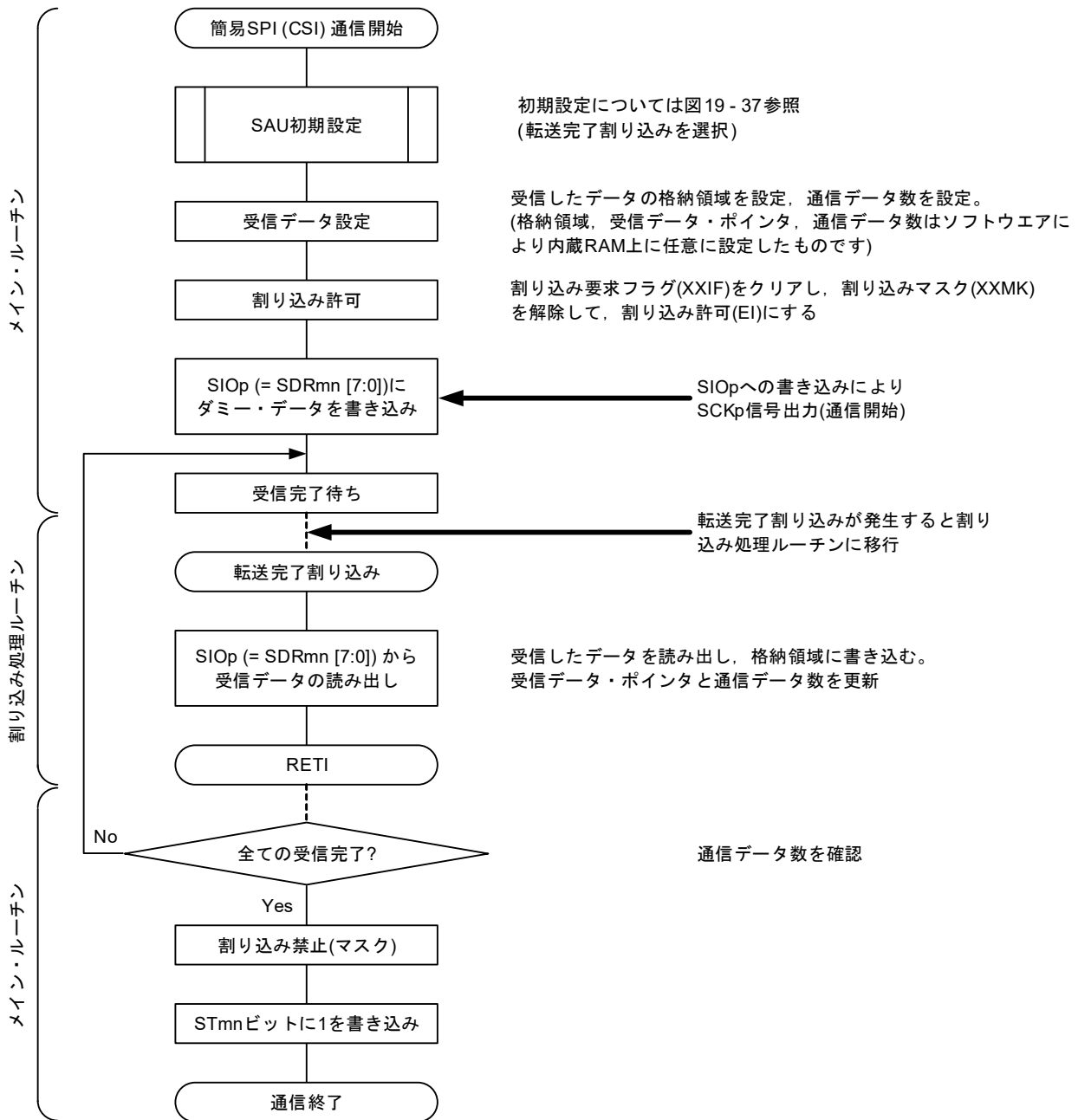
(3) 処理フロー (シングル受信モード時)

図 19 - 40 マスタ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



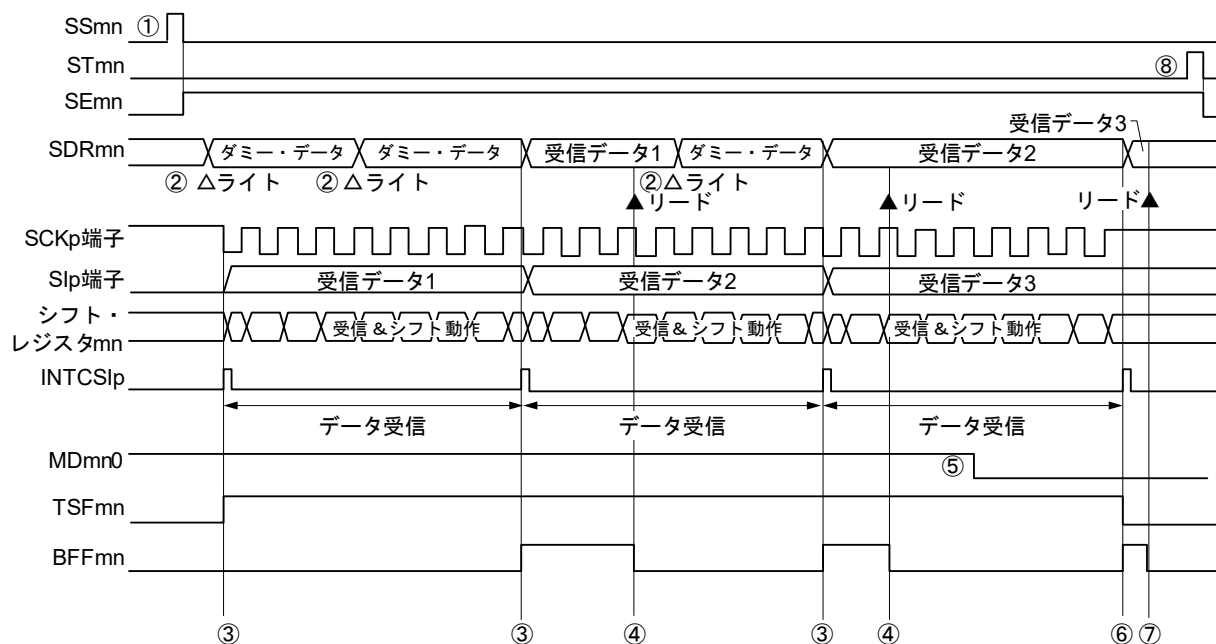
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19-41 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図19-42 マスタ受信(連続受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



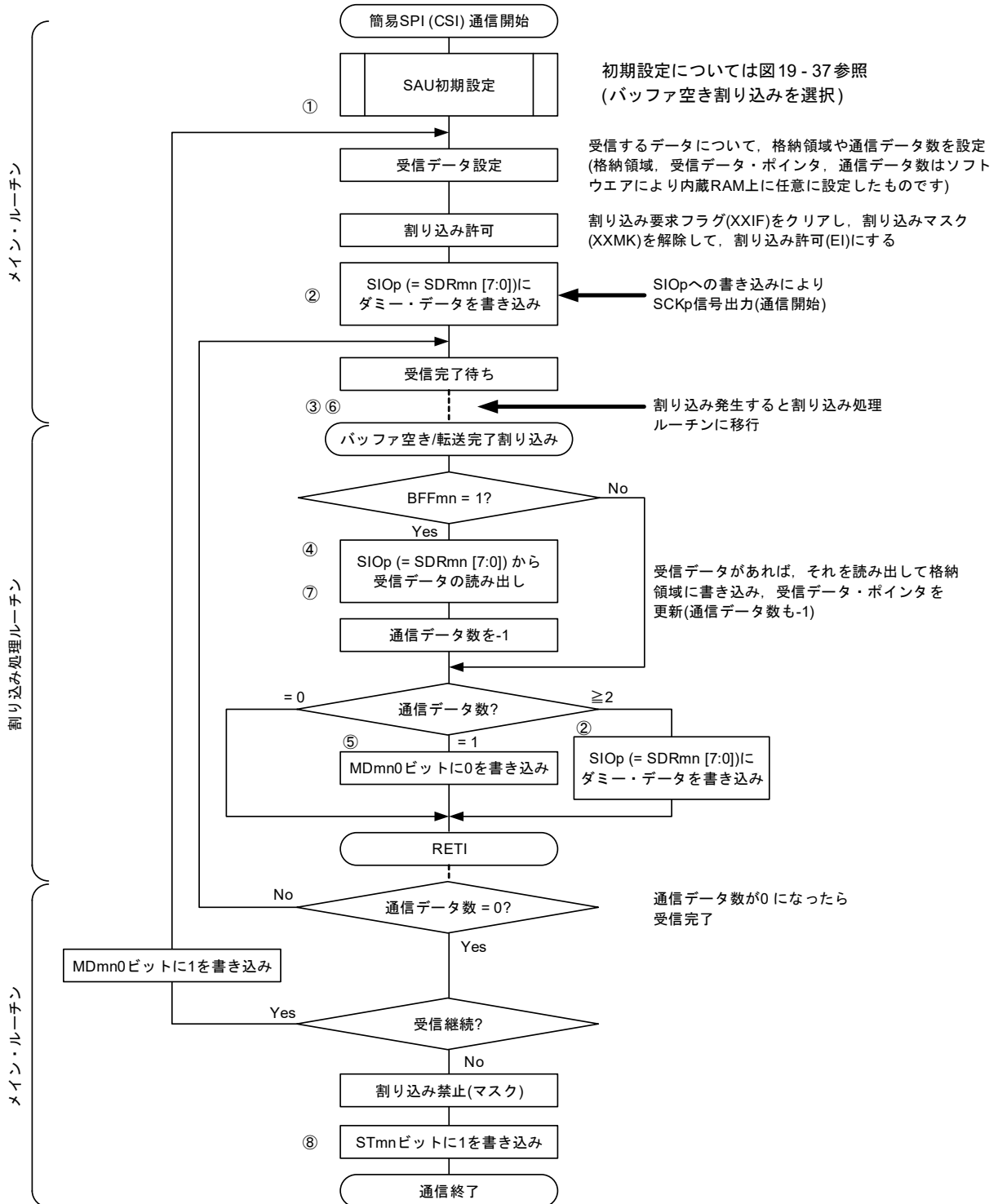
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-43 マスタ受信(連続受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19-43 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図19-42 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

19.5.3 マスタ送受信

マスタ送受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

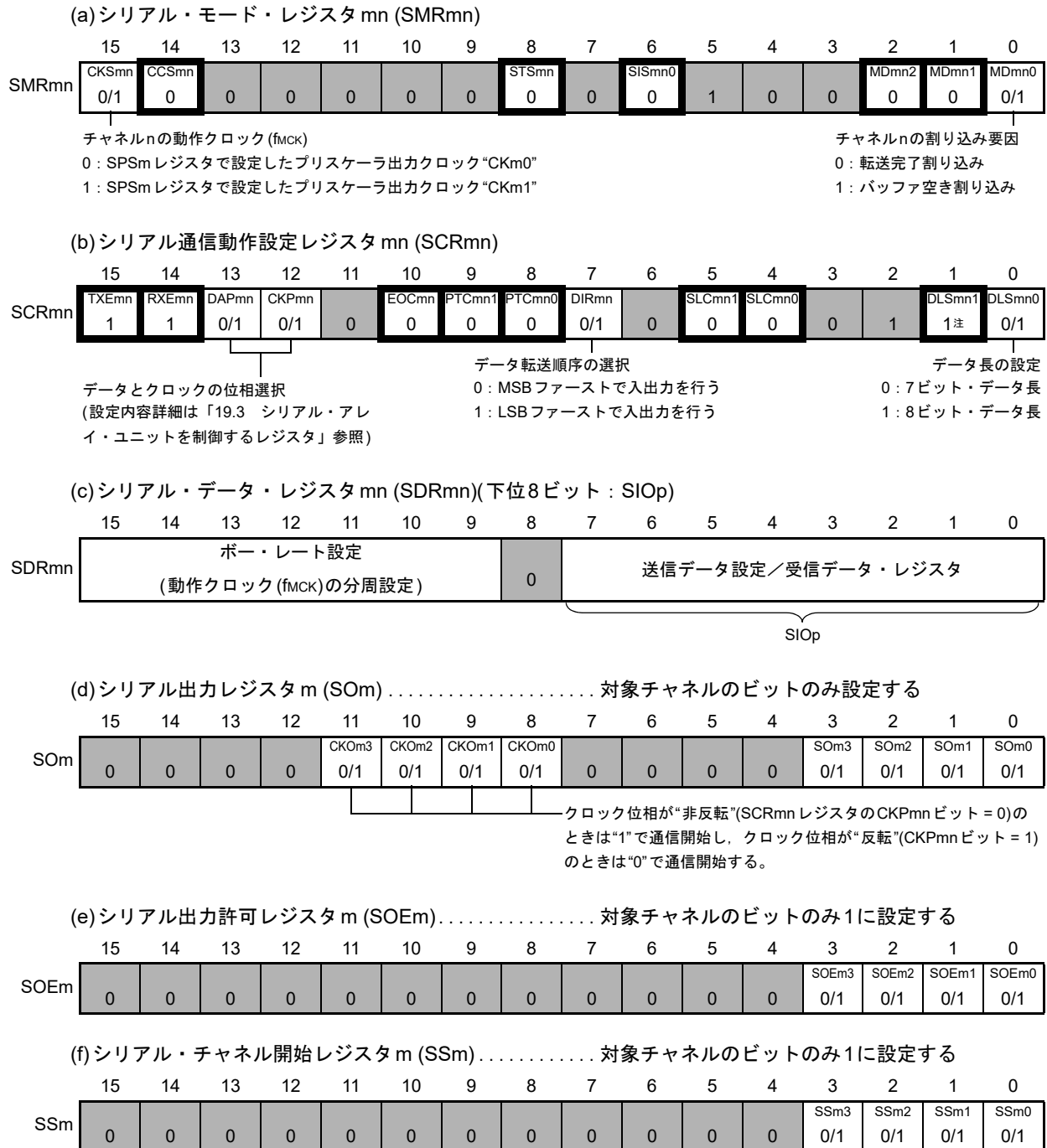
簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ					
転送データ長	7ビットまたは8ビット					
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合 : 非反転 ・ CKPmn = 1の場合 : 反転					
データ方向	MSBファーストまたはLSBファースト					

注 この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

(1) レジスタ設定

図19 - 44 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)のマスタ送受信時のレジスタ設定内容例



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) マスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 45 マスタ送受信の初期設定手順

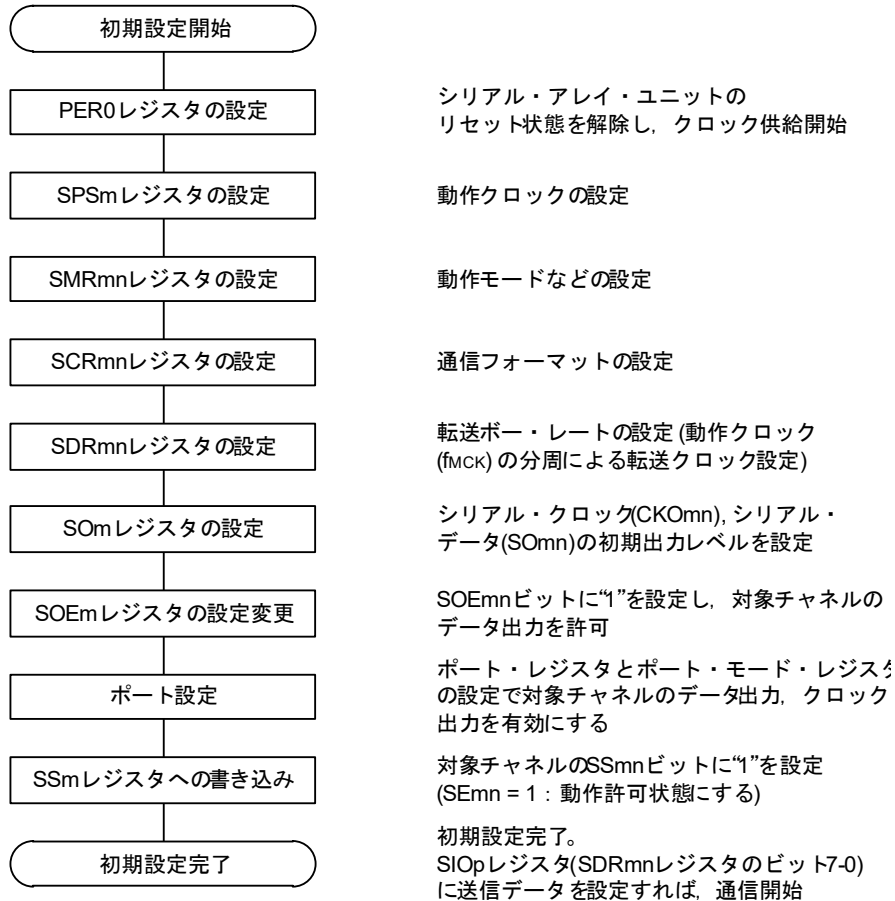


図 19 - 46 マスタ送受信の中断手順

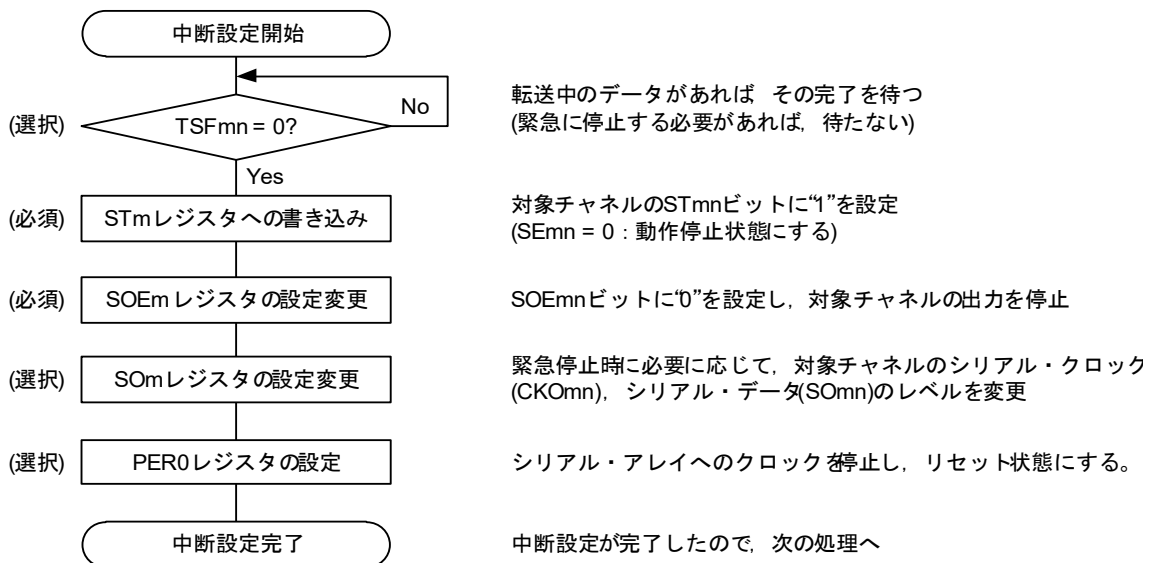
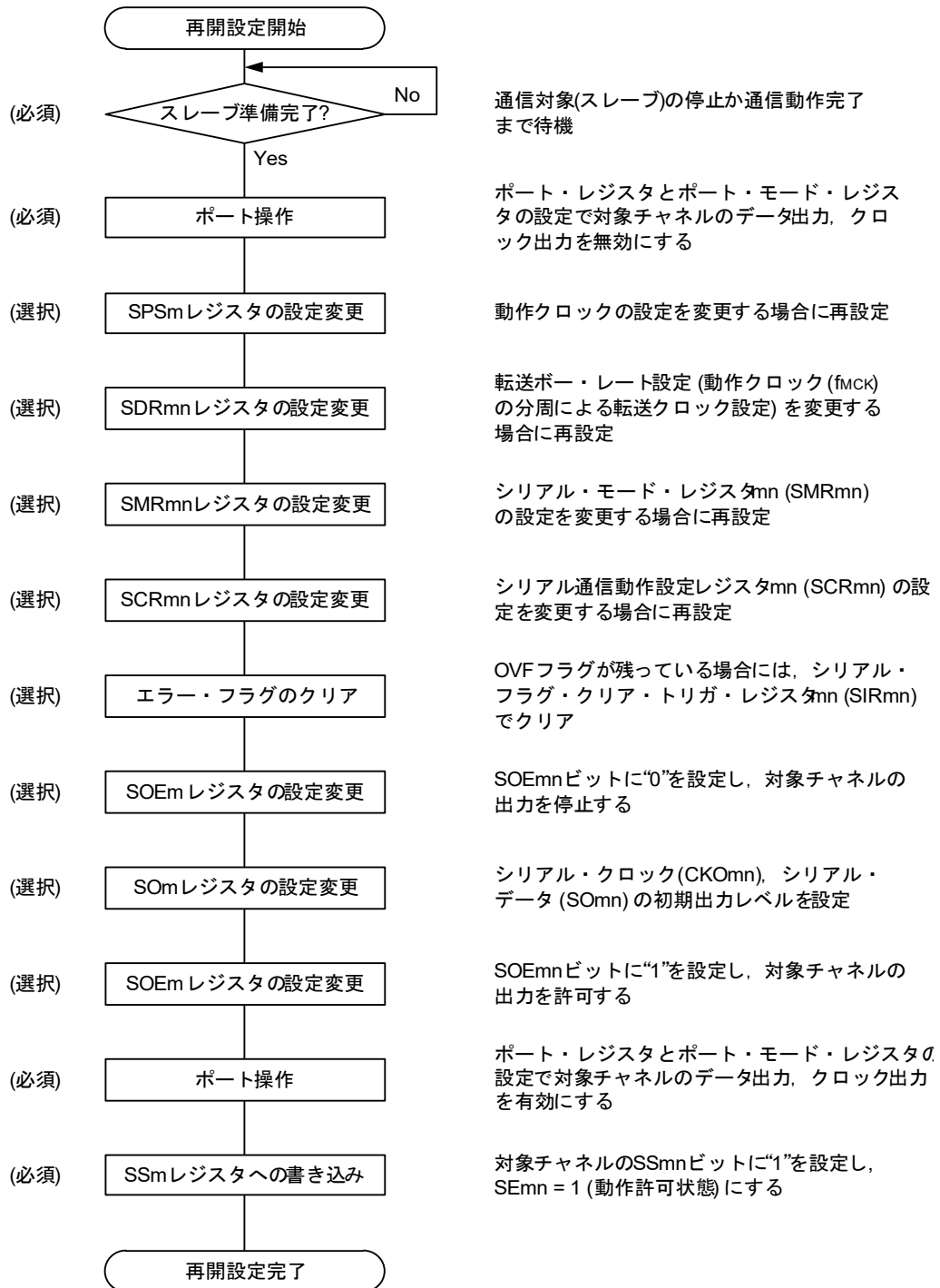
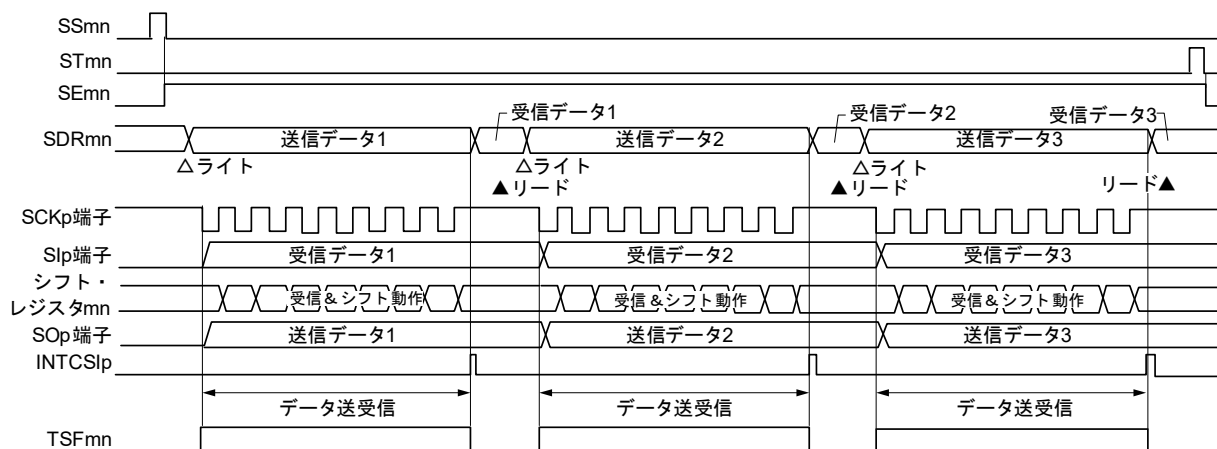


図 19 - 47 マスタ送受信の再開設定手順



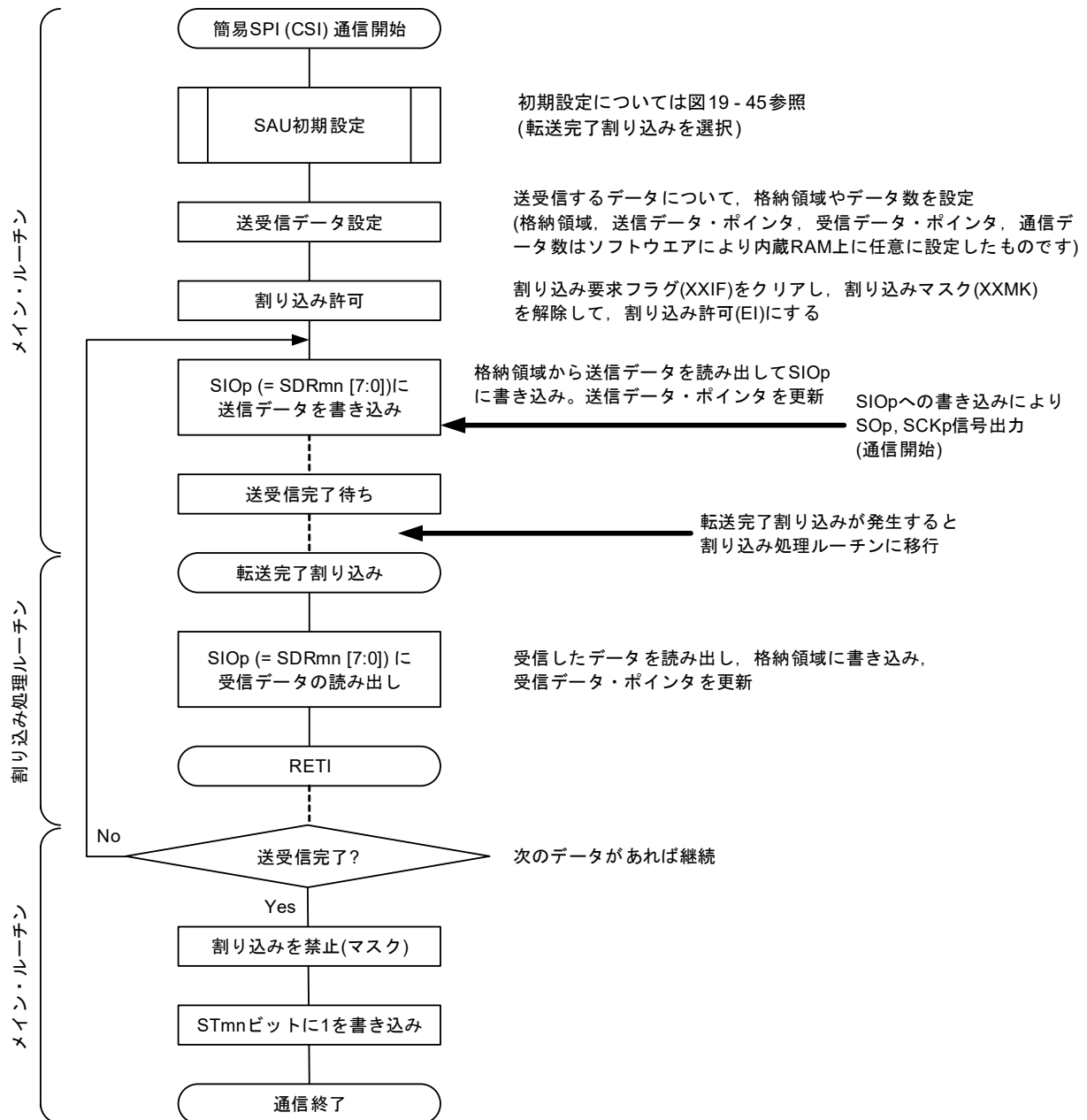
(3) 処理フロー (シングル送受信モード時)

図19-48 マスタ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



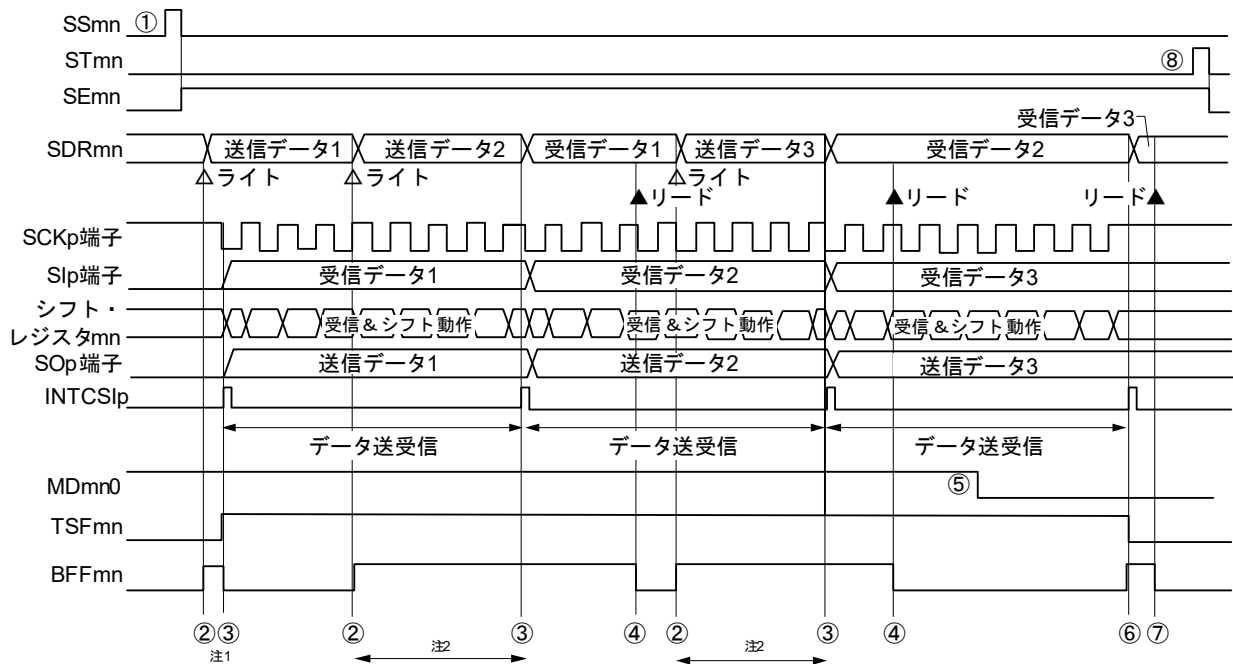
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19 - 49 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図19-50 マスタ送受信(連続送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

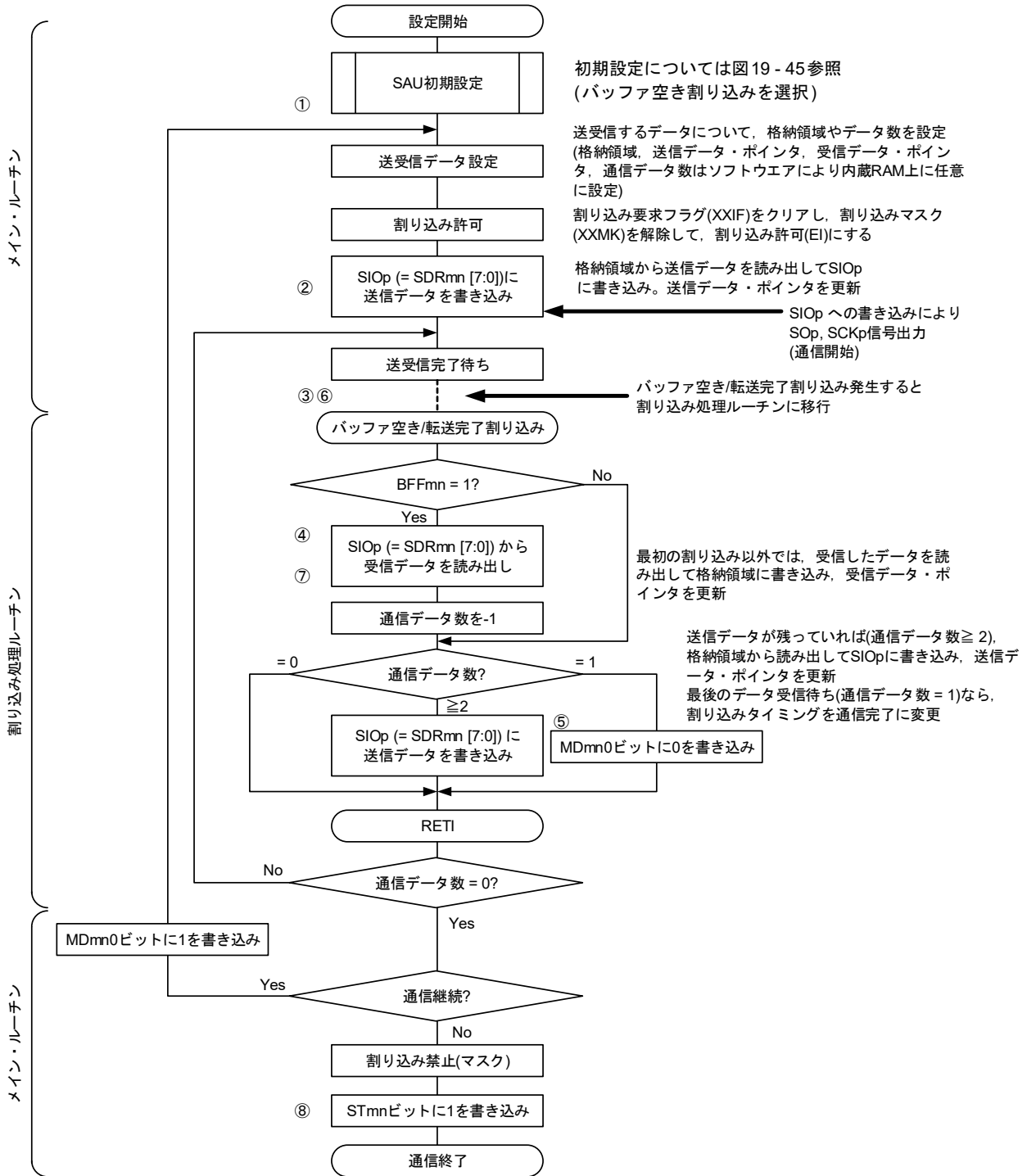
注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-51 マスタ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0-3) p : CSI番号(p = 00, 01, 10, 11, 20, 21)

mn = 00-03, 10, 11

図19-51 マスタ送受信(連続送受信モード時)のフロー・チャート



備考 図中の①～⑧は、図19-50 マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

19.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み(シングル転送モード時)か、パツファ空き割り込み(連続転送モード時)かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. $f_{mck}/6$ [Hz] ^{注1, 2}					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第37章 または第38章 電氣的特性を参照)を満たす範囲内で使用してください。

備考1. f_{mck} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0-3$), $mn = 00-03, 10, 11$

(1) レジスタ設定

図19 - 52 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)のスレーブ送信時のレジスタ設定内容例



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 53 スレーブ送信の初期設定手順

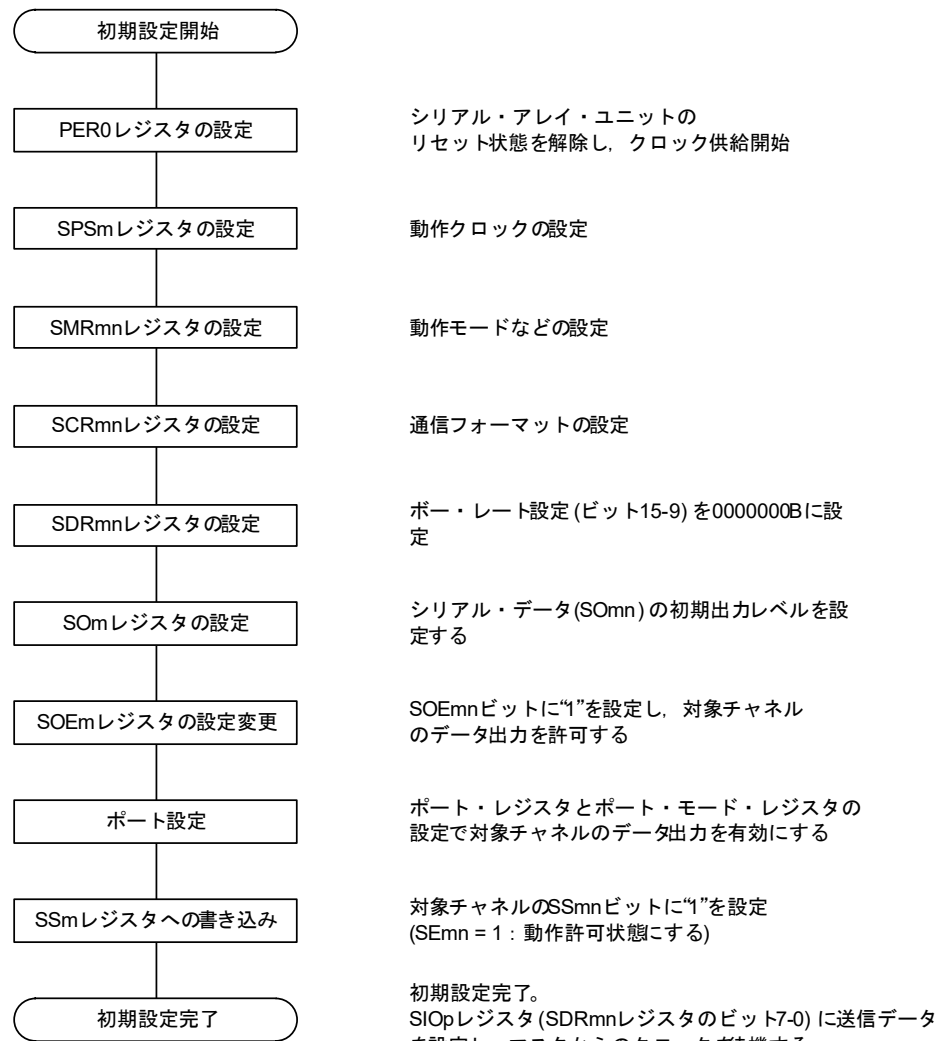


図 19 - 54 スレーブ送信の中断手順

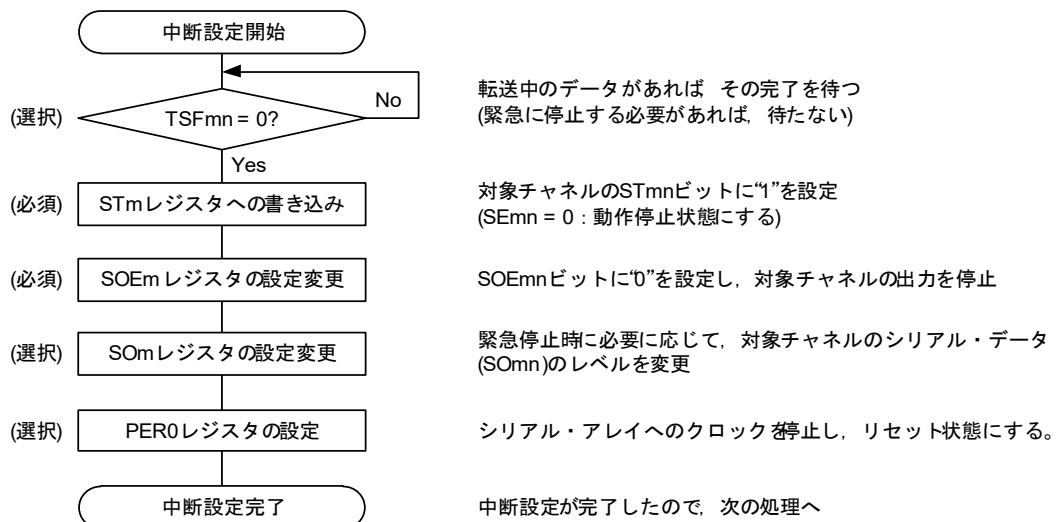
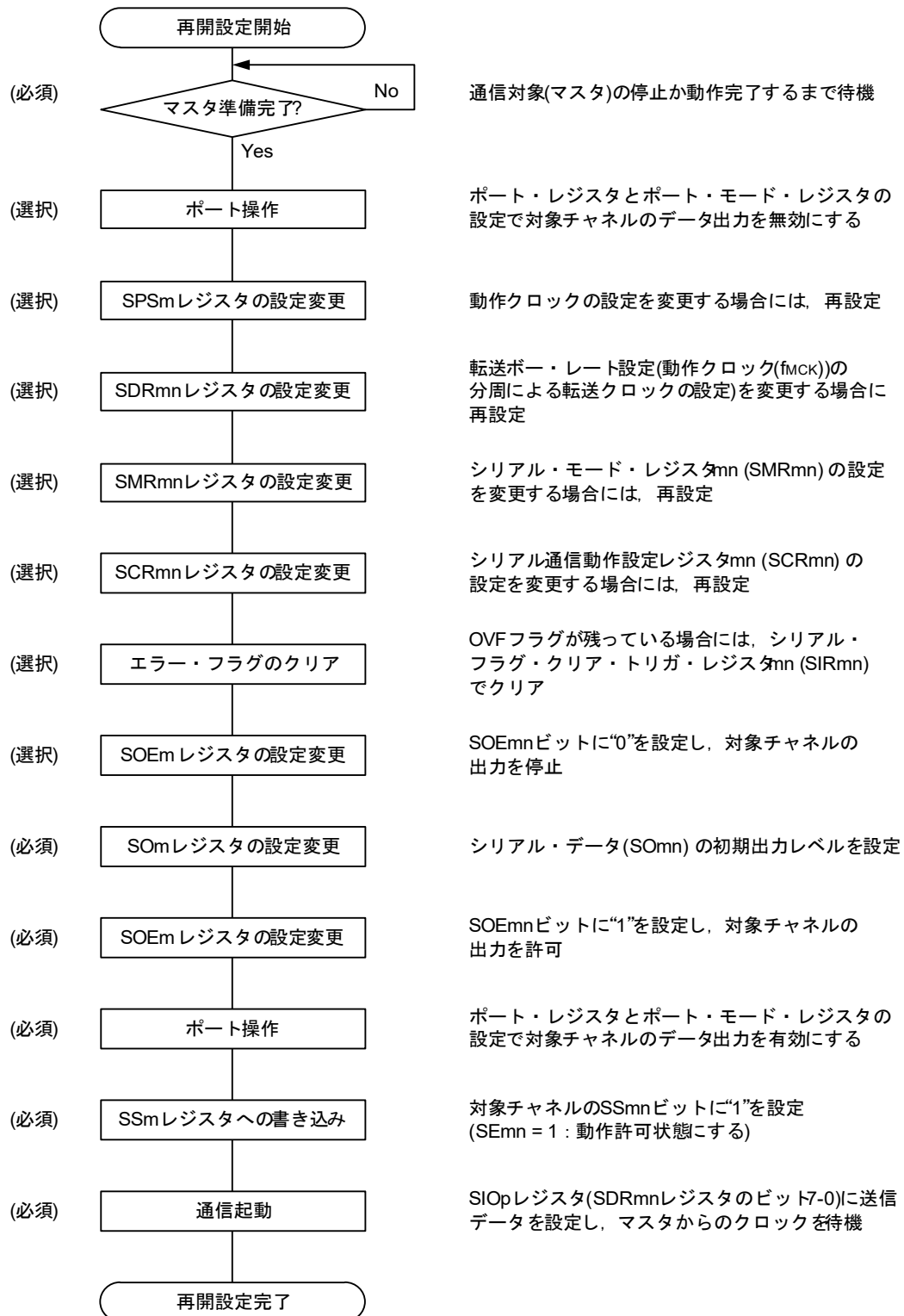


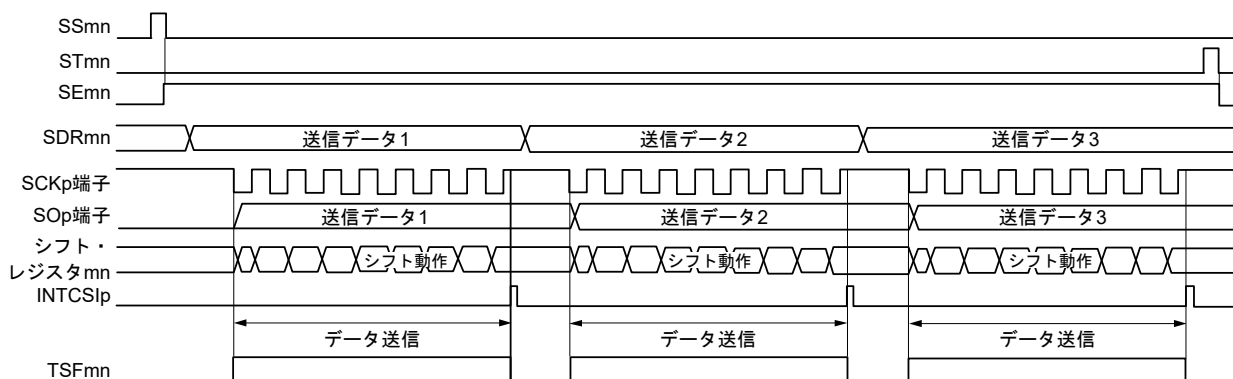
図 19 - 55 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

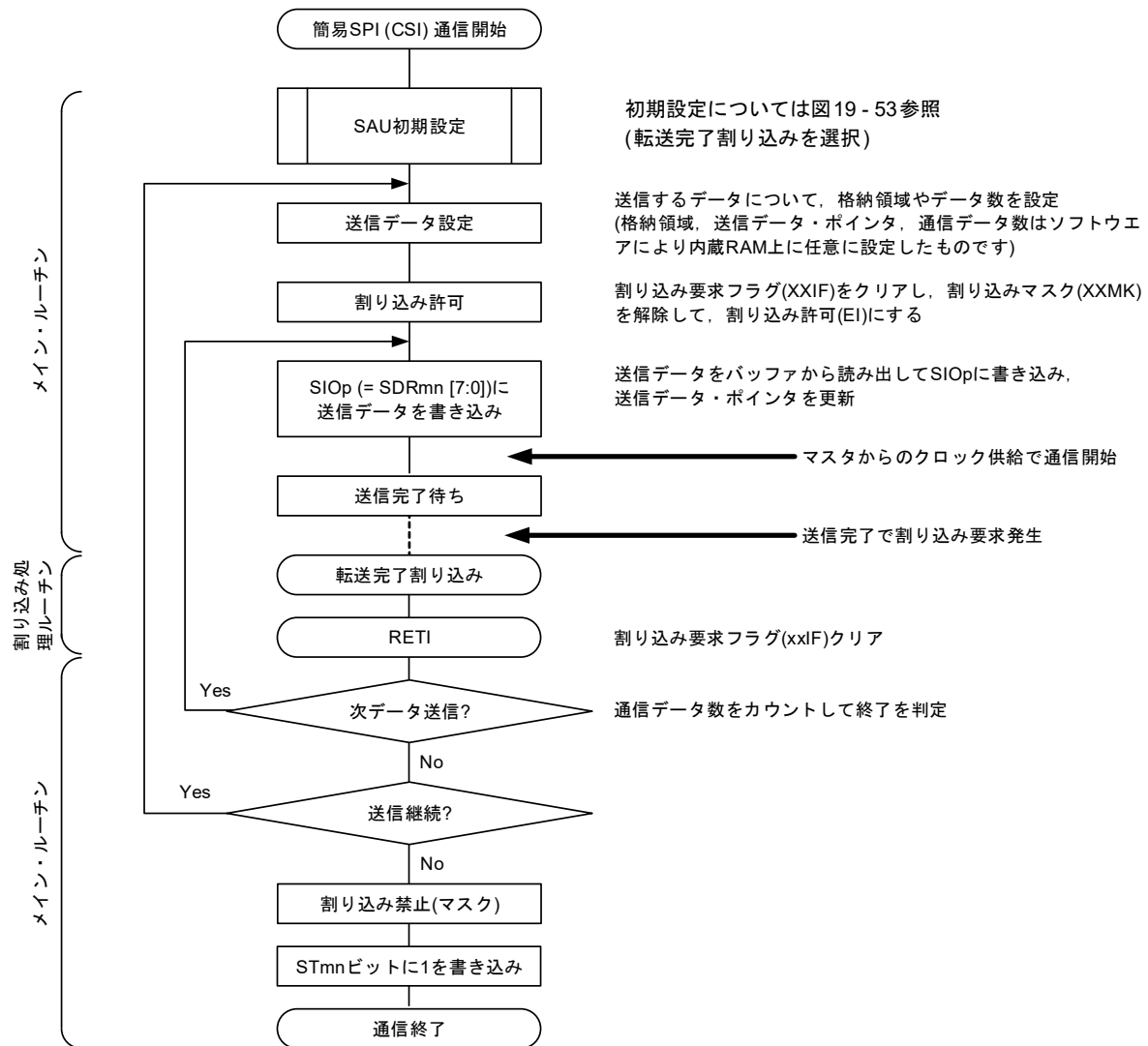
(3) 処理フロー (シングル送信モード時)

図 19 - 56 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



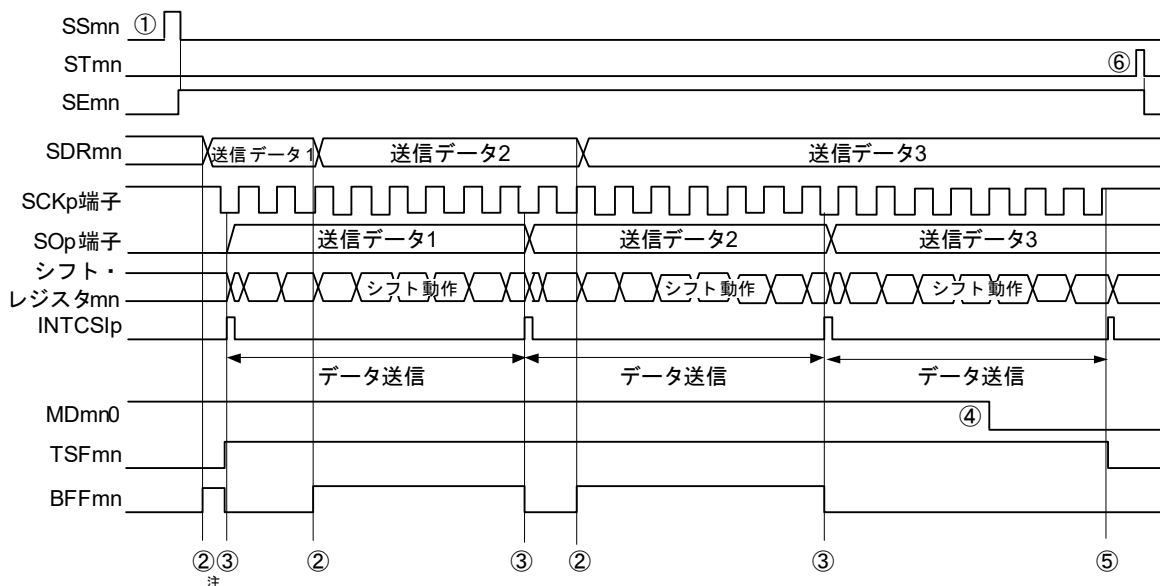
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19 - 57 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図19 - 58 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

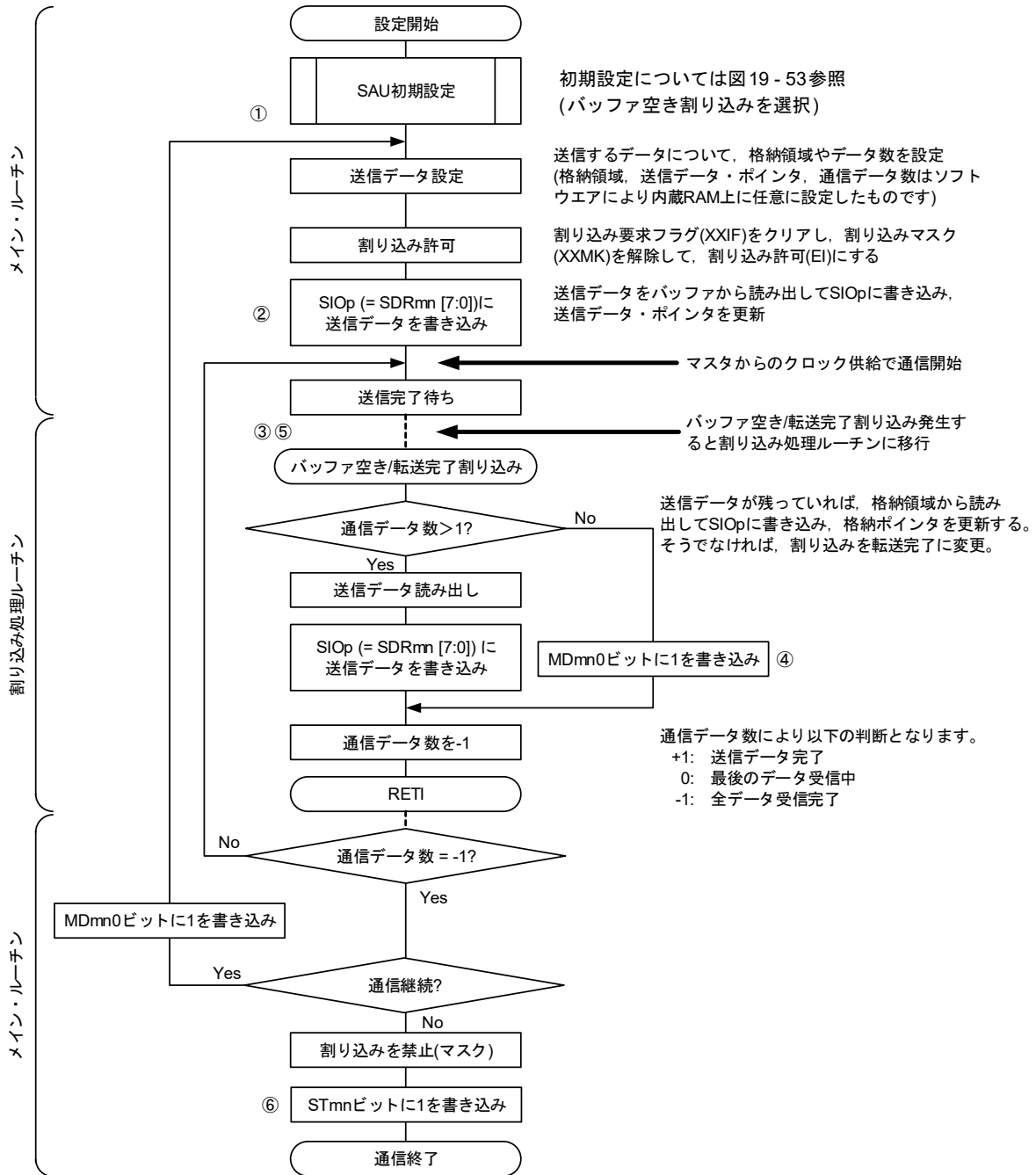


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されているとき)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

図 19 - 59 スレーブ送信 (連続送信モード時) のフロー・チャート



備考 図中の①～⑥は、図 19 - 58 スレーブ送信 (連続送信モード時) のタイミング・チャートの①～⑥に対応しています。

19.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)					
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

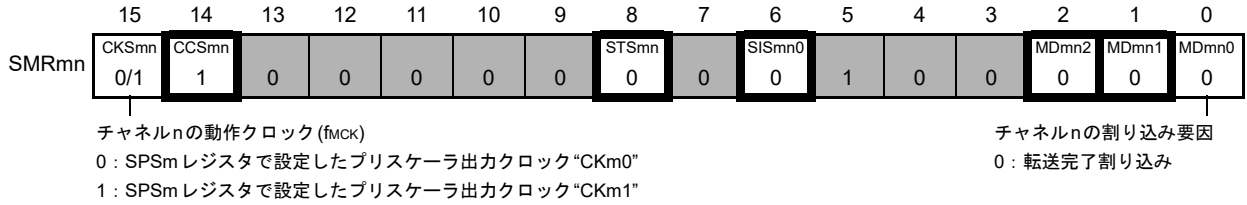
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

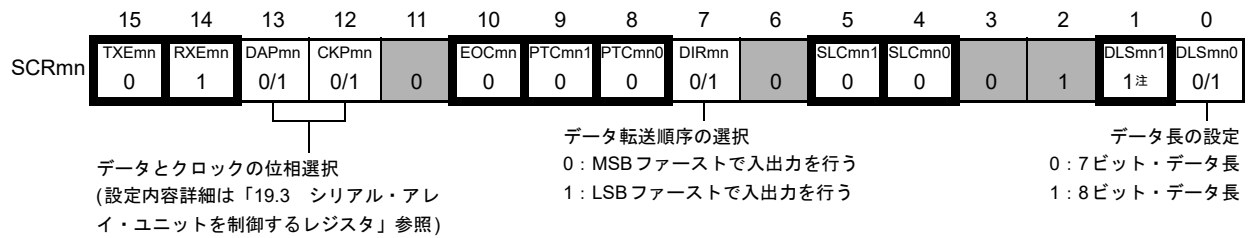
(1) レジスタ設定

図19 - 60 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)のスレーブ受信時のレジスタ設定内容例

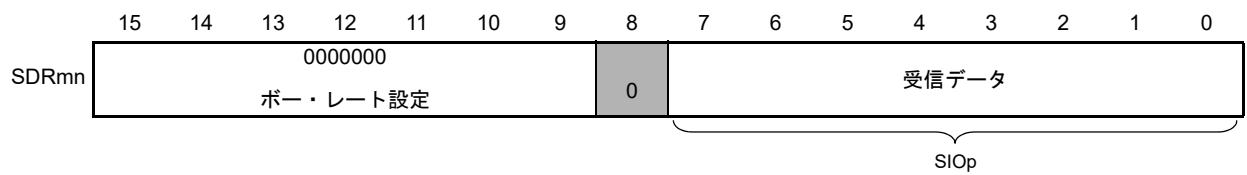
(a) シリアル・モード・レジスタ mn (SMRmn)



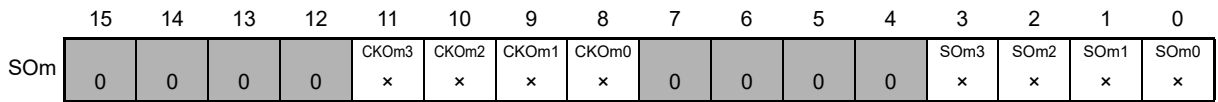
(b) シリアル通信動作設定レジスタ mn (SCRmn)



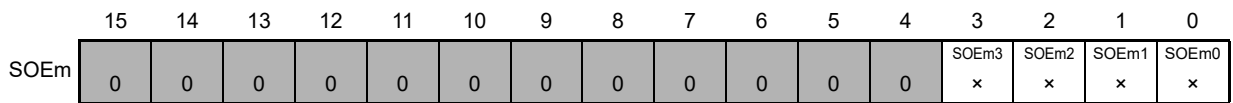
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



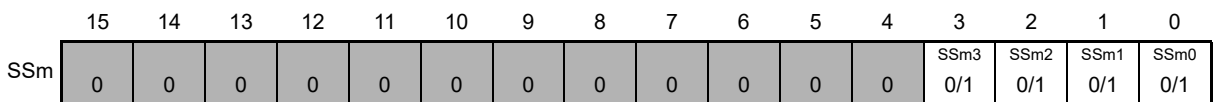
(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI)スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 61 スレーブ受信の初期設定手順

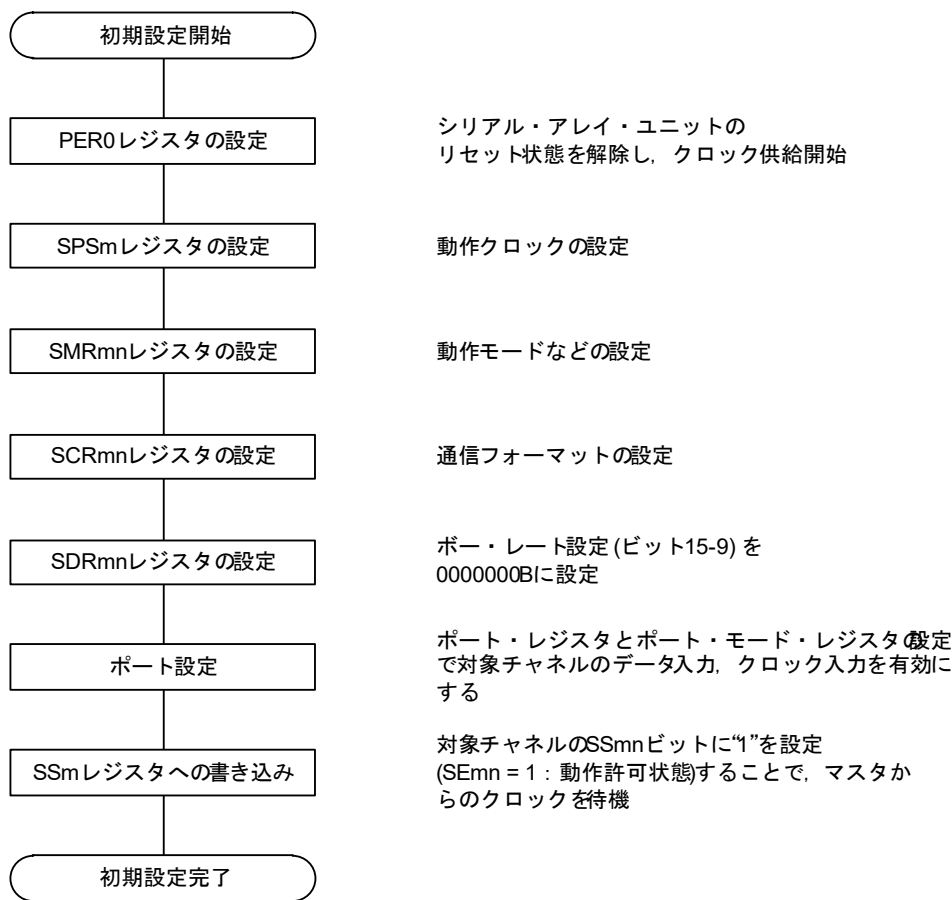


図 19 - 62 スレーブ受信の中断手順

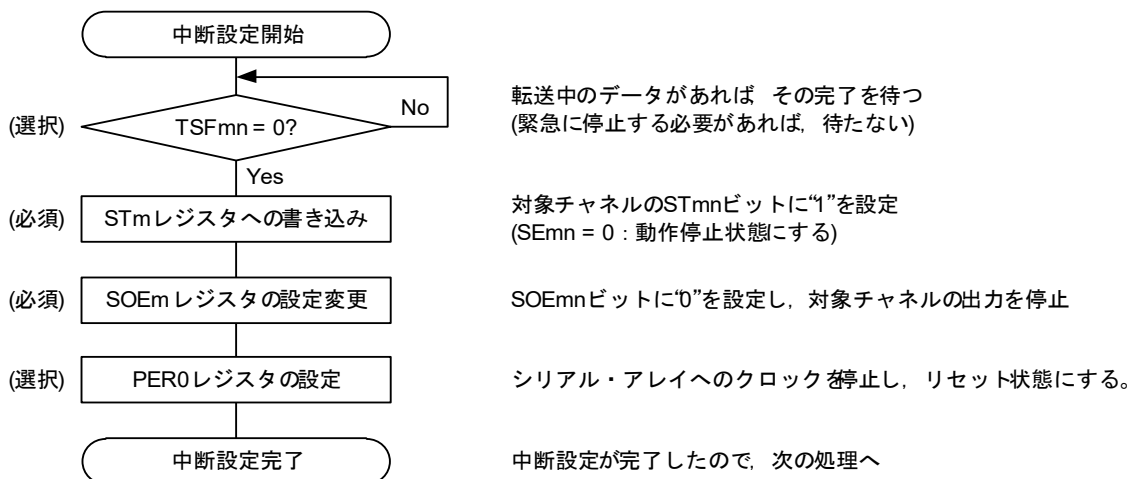
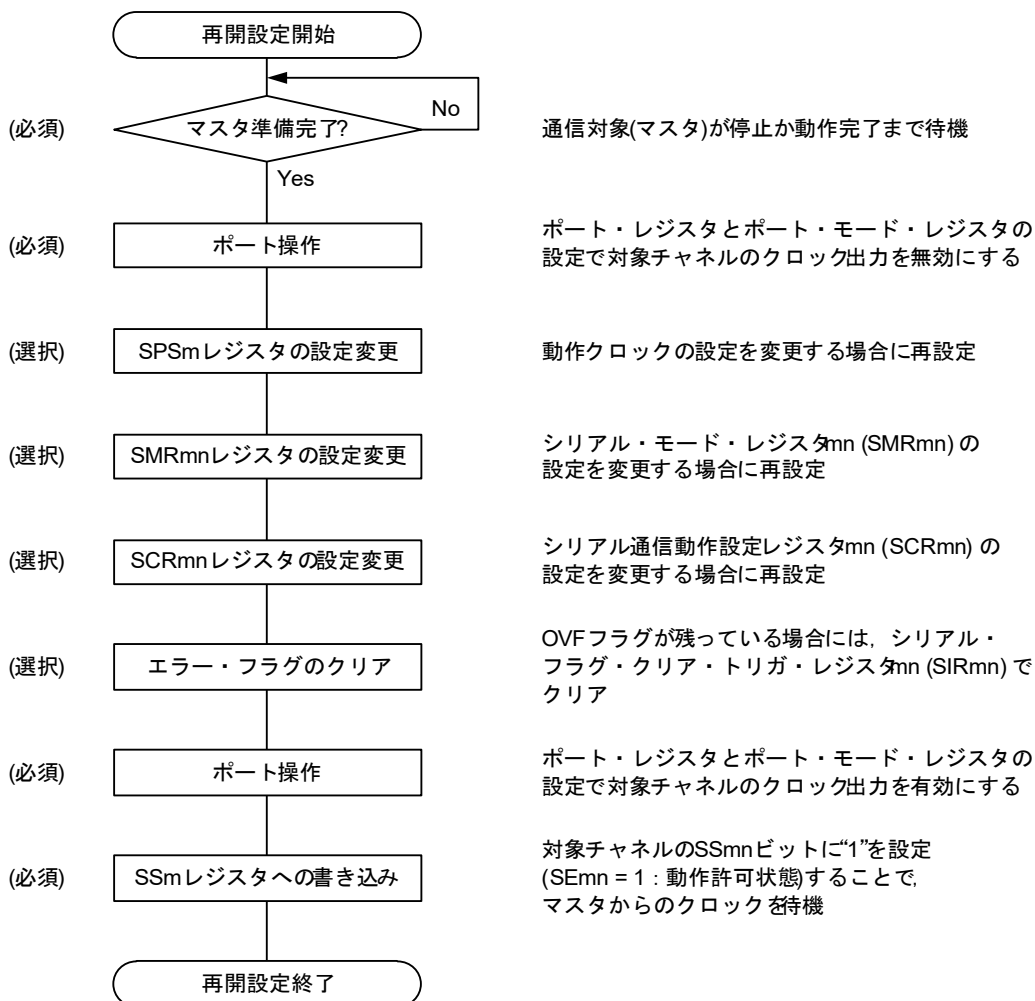


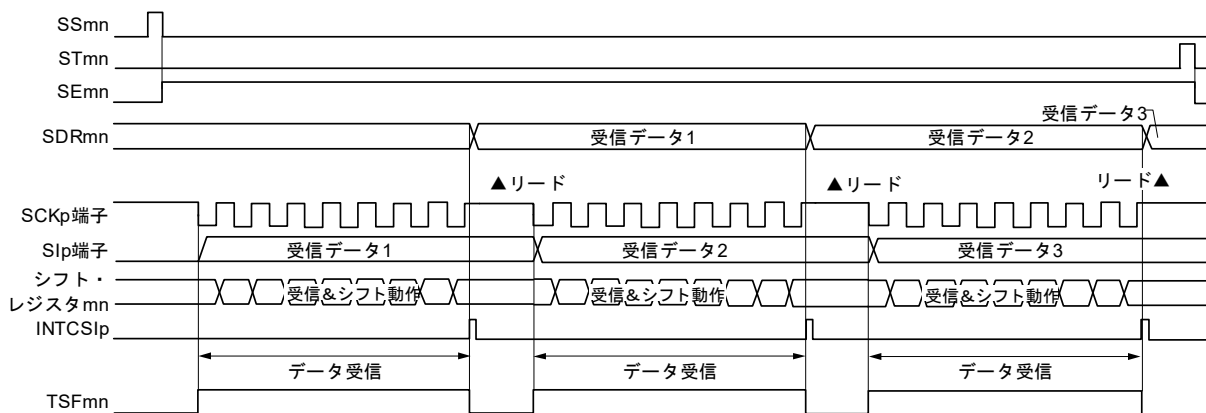
図 19 - 63 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

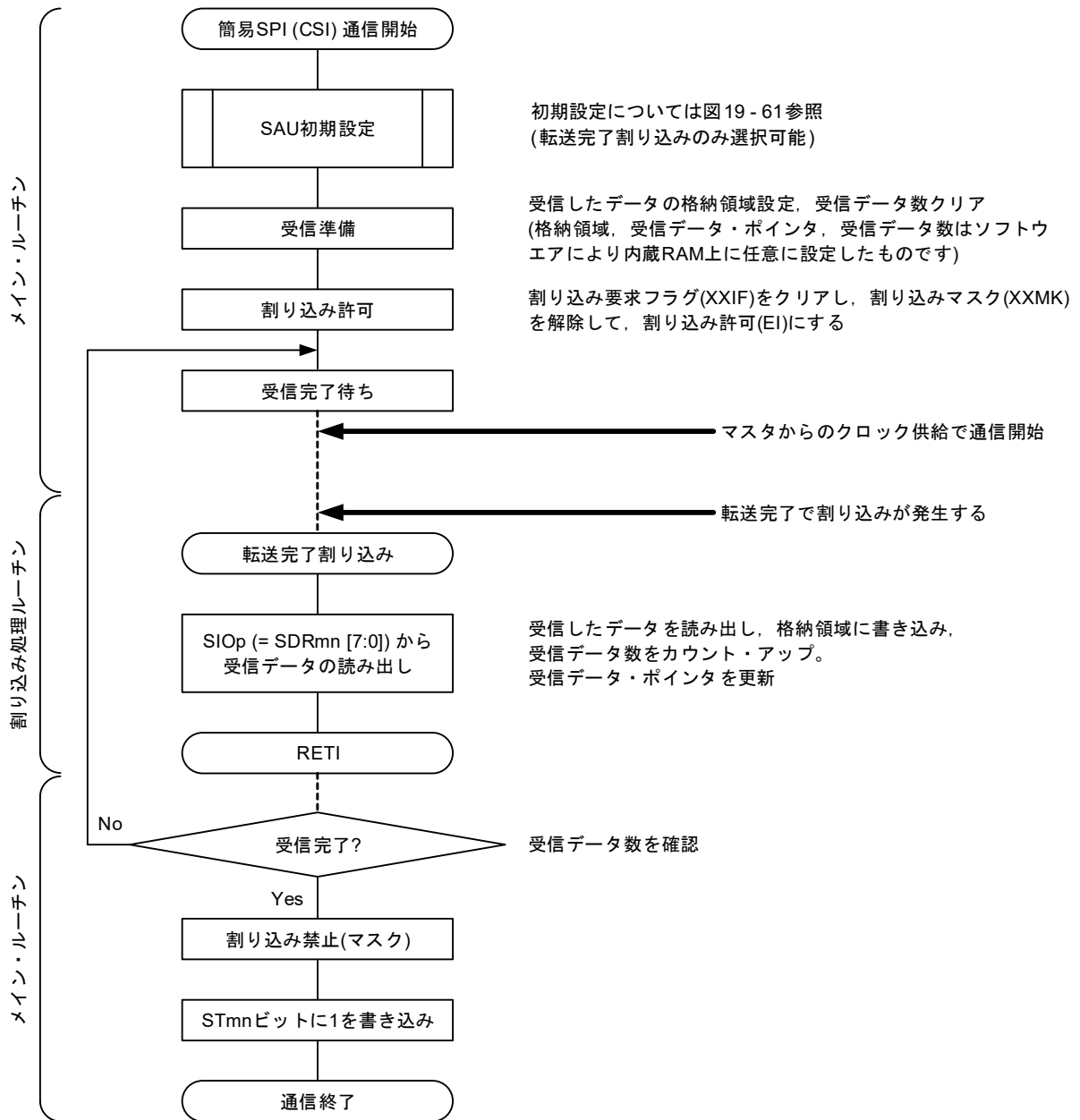
(3) 処理フロー (シングル受信モード時)

図 19 - 64 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19 - 65 スレーブ受信(シングル受信モード時)のフロー・チャート



19.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. $f_{mck}/6$ [Hz]注1,2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 					
データ方向	MSB ファーストまたはLSB ファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。

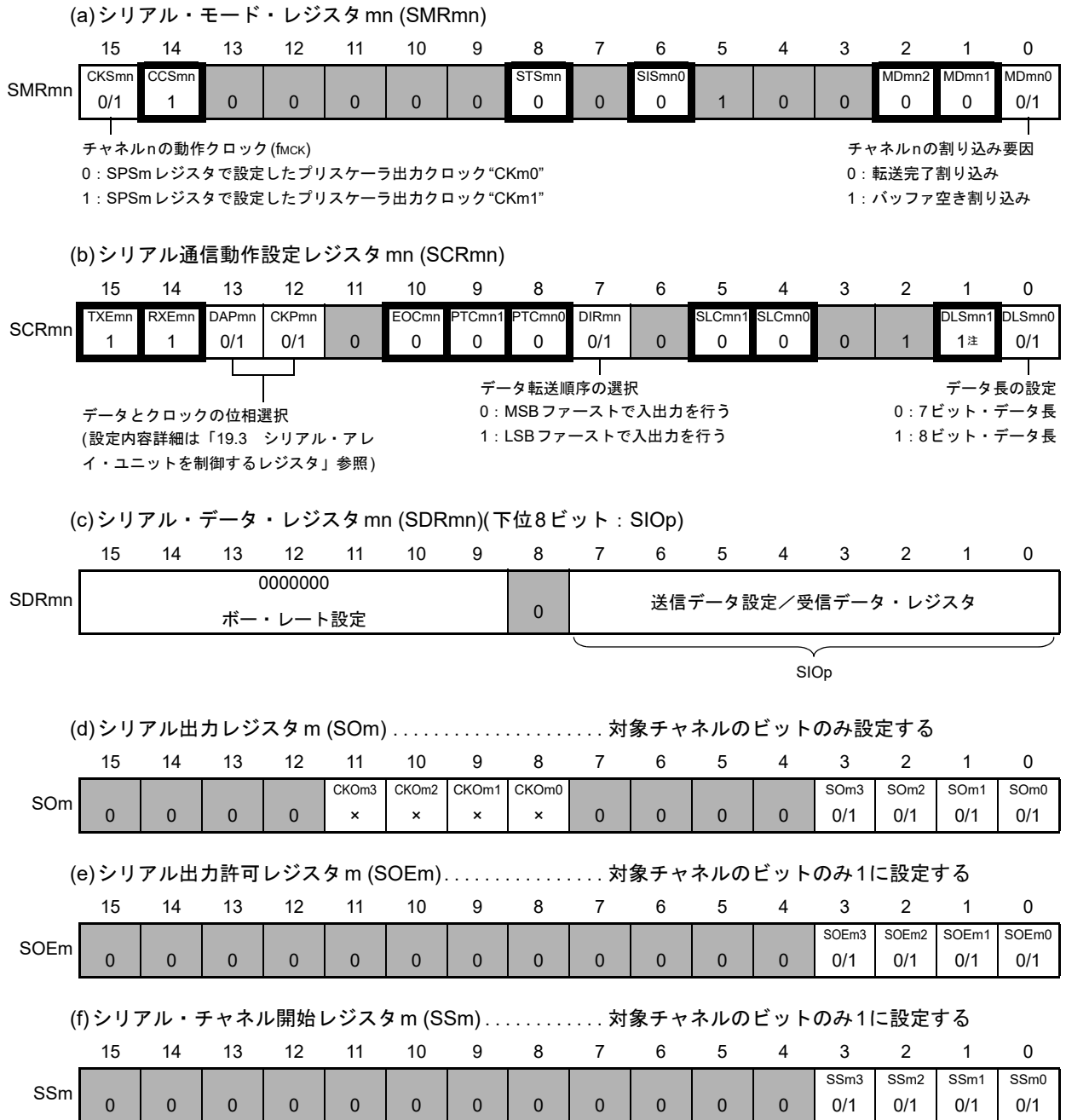
注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{mck} ：対象チャンネルの動作クロック周波数

備考2. m：ユニット番号(m = 0, 1) n：チャンネル番号(n = 0-3), mn = 00-03, 10, 11

(1) レジスタ設定

図 19 - 66 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)のスレーブ送受信時のレジスタ設定内容例



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

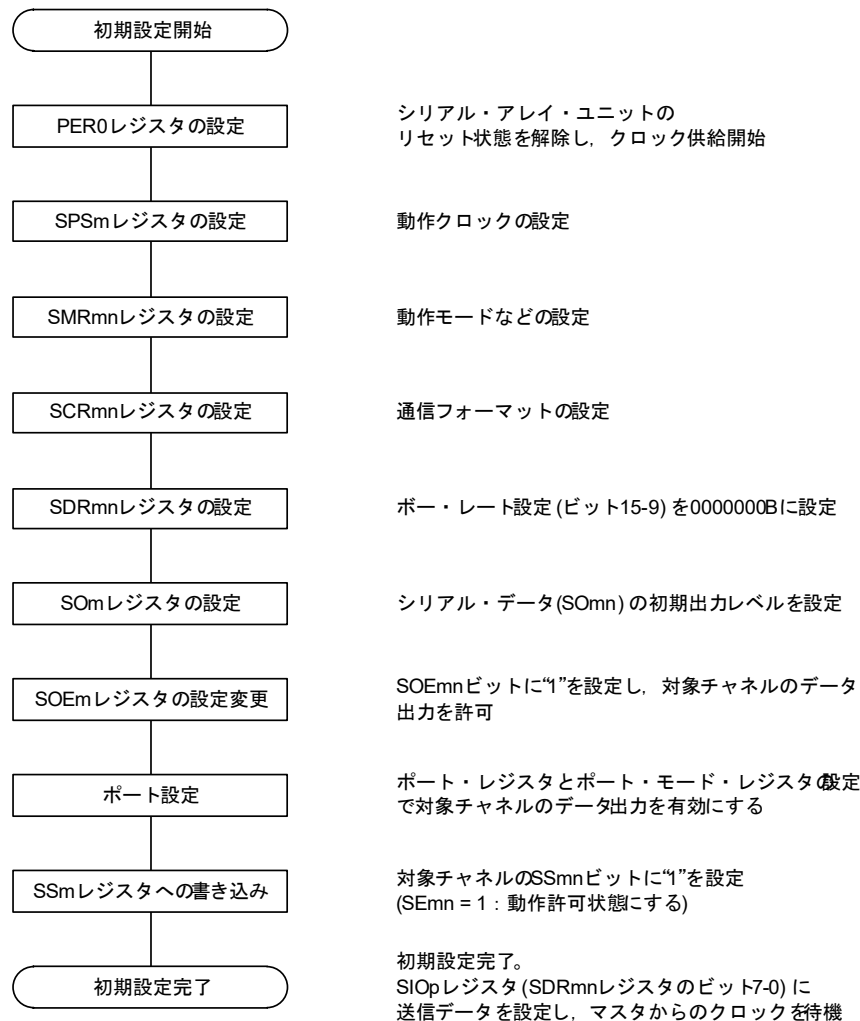
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

備考2. : 簡易 SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 67 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 19 - 68 スレーブ送受信の中断手順

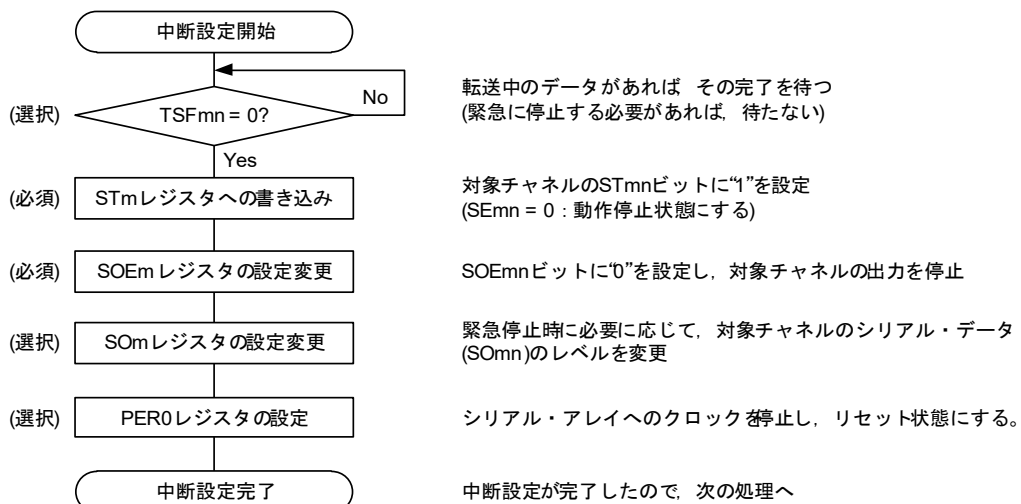
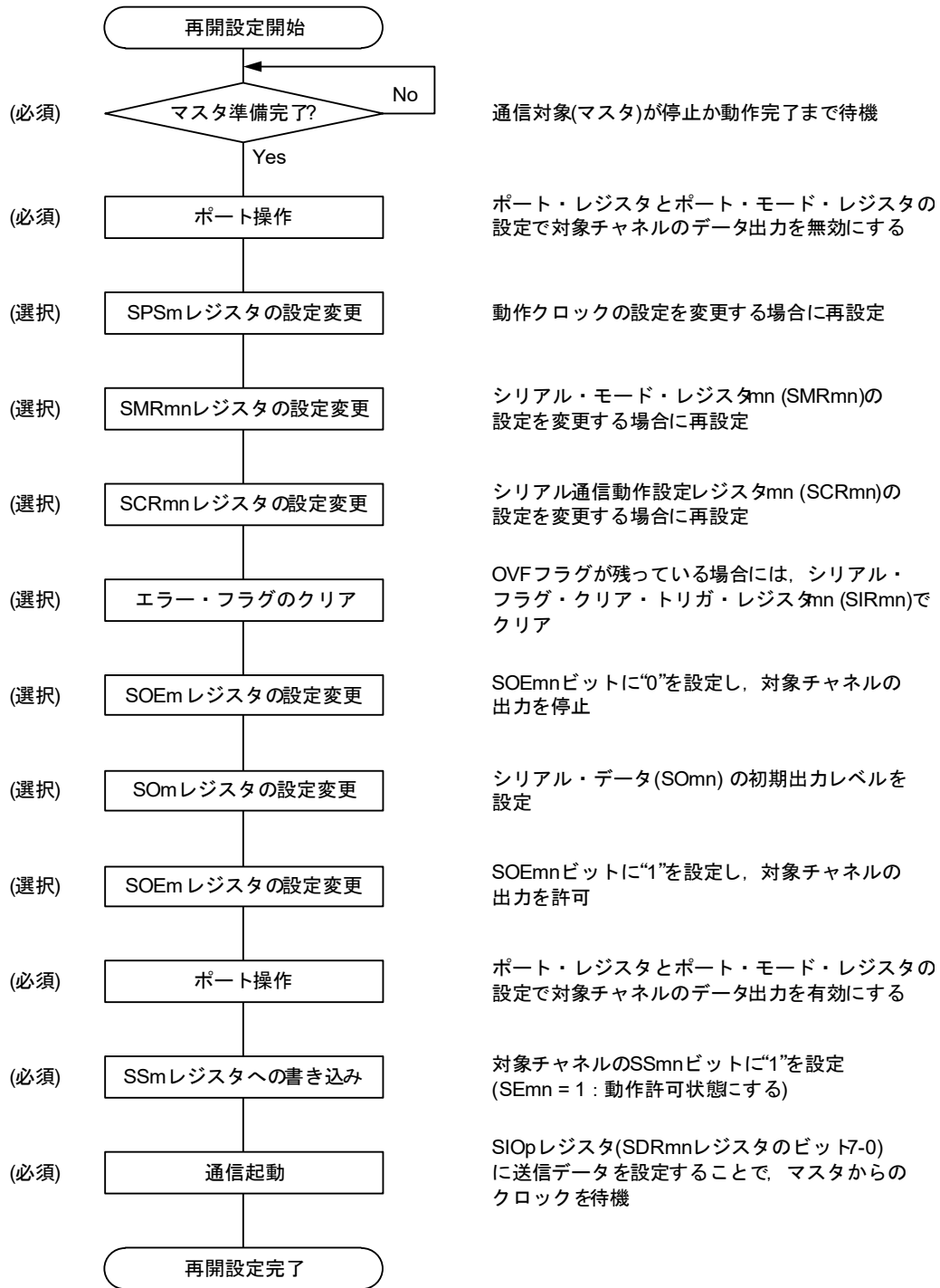


図 19 - 69 スレーブ送受信の再開設定手順

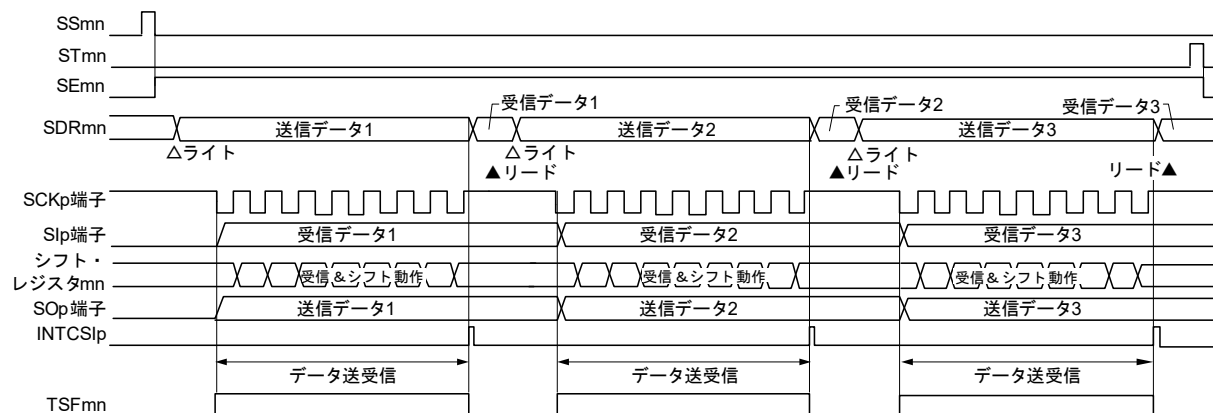


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

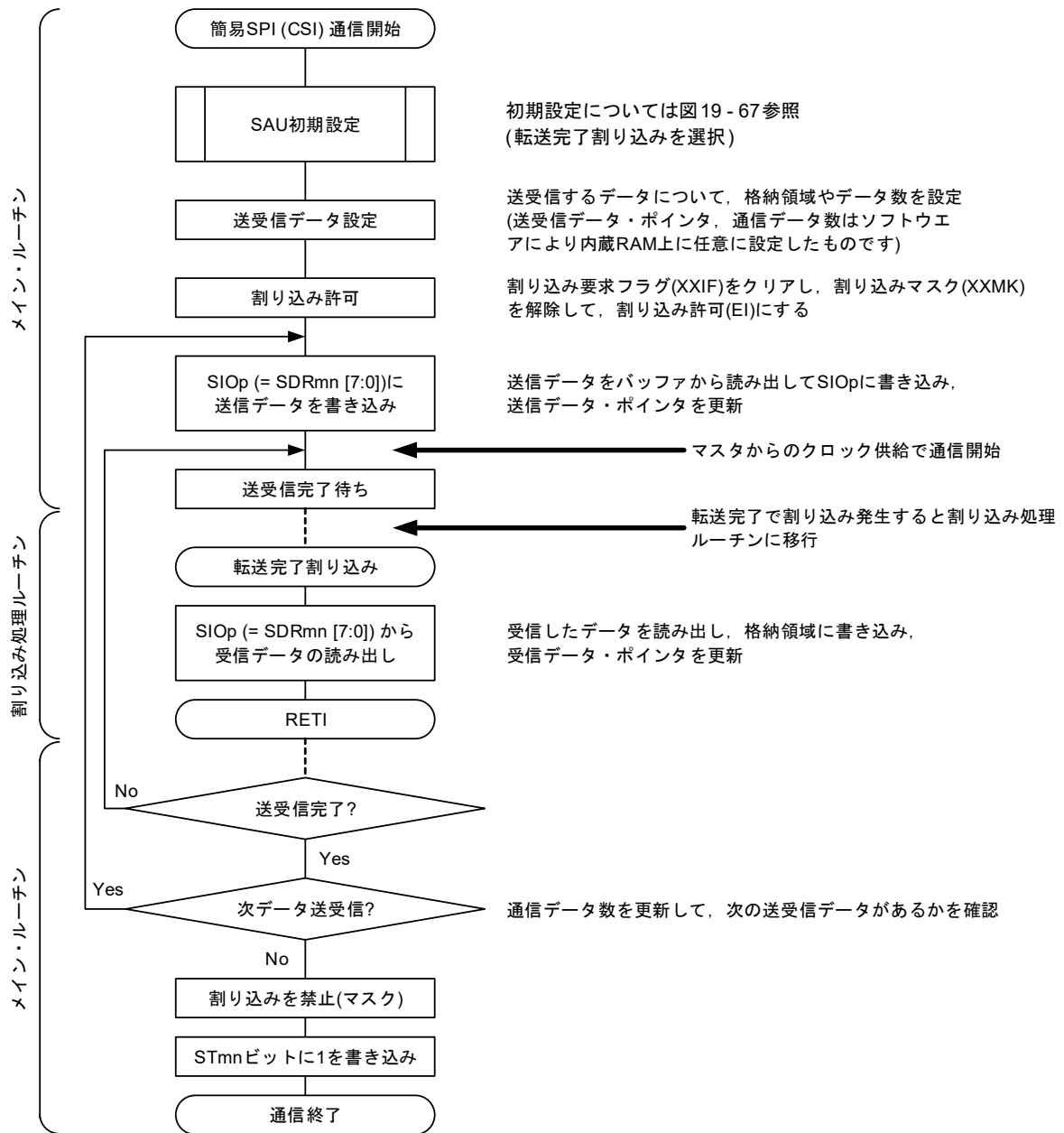
(3) 処理フロー (シングル送受信モード時)

図 19 - 70 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21),
mn = 00-03, 10, 11

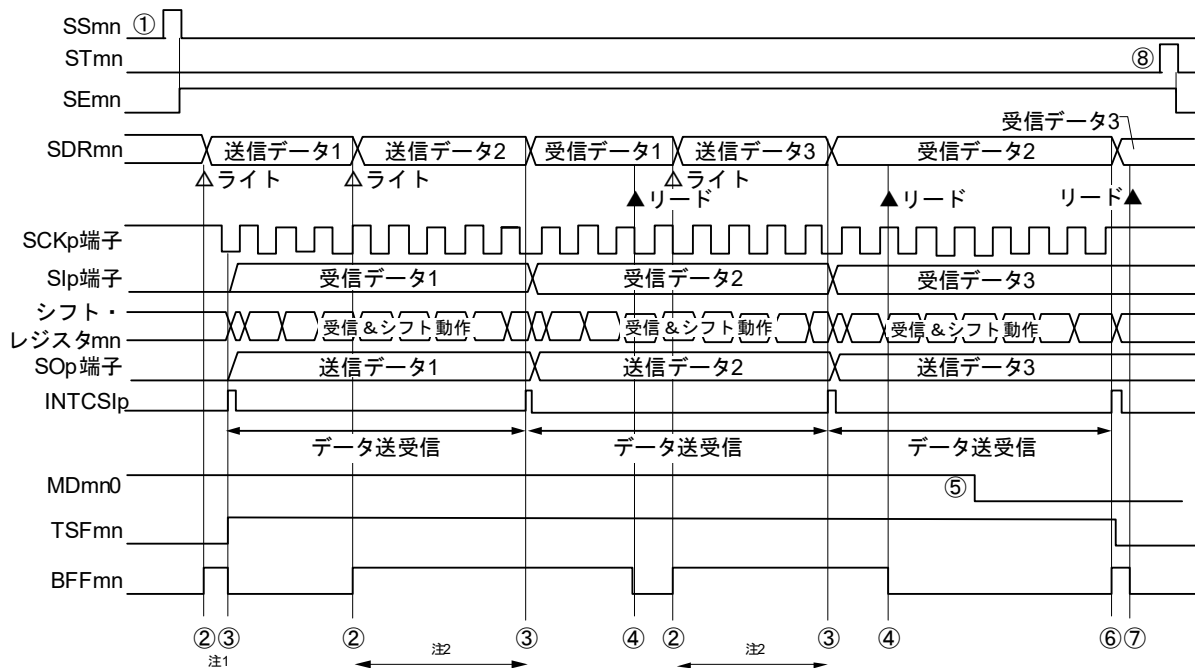
図19-71 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図19-72 スレーブ送受信(連続送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

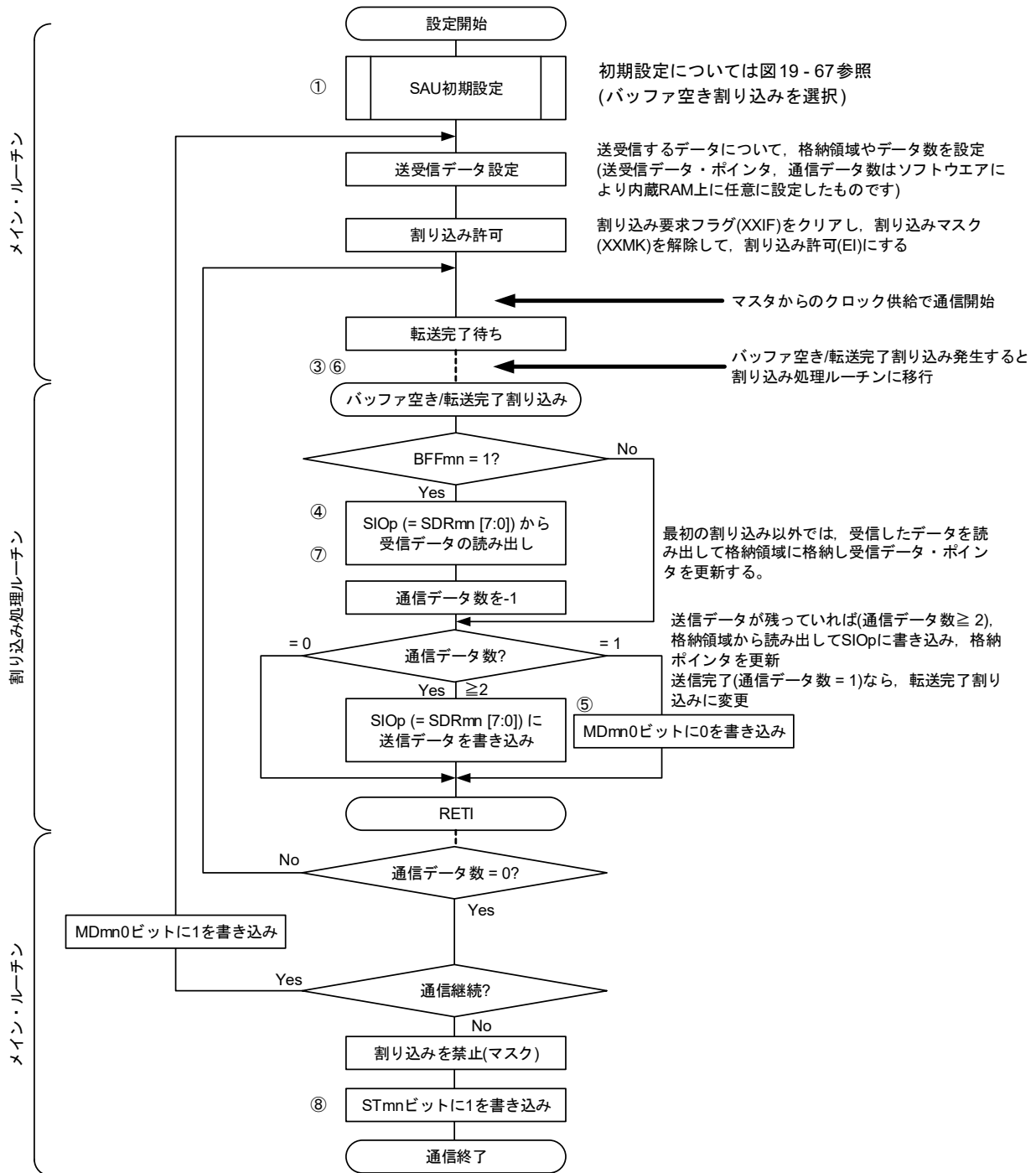
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-73 スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21),
mn = 00-03, 10, 11

図19-73 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIopレジスタへ設定してください。

備考 図中の①～⑧は、図19-72 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

19.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI (CSI) の受信動作をさせるモードです。通常STOP時に簡易SPI (CSI) は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI (CSI) の受信動作を行うことができます。SNOOZEモードは、CSI00のみ設定可能です。

簡易SPI (CSI) をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います(図19-75、図19-77 SNOOZEモード動作時のフローチャートを参照)。

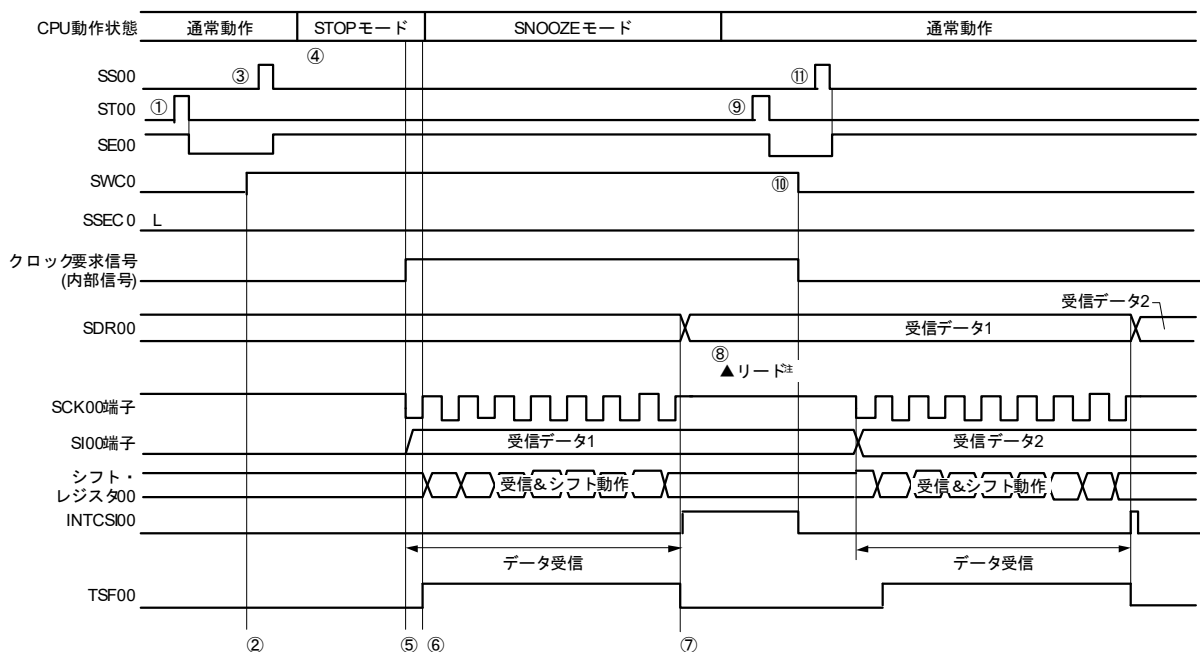
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ m (SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタ m (SSm)のSSm1ビットをセット(1)します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作(1回起動)

図19-74 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



(注、注意、備考は次ページにあります。)

注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

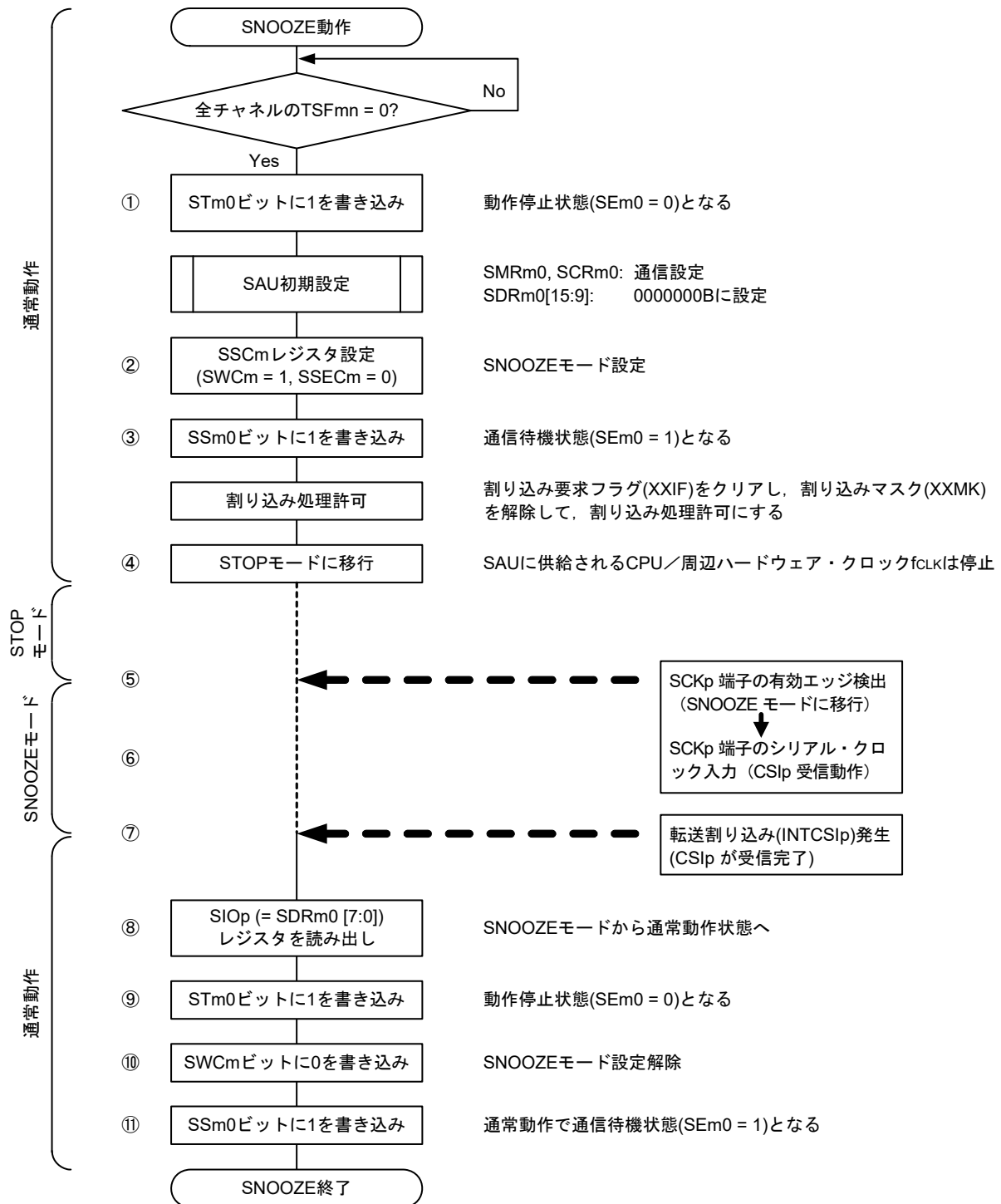
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

備考1. 図中の①~⑪は、図19-75 SNOOZEモード動作(1回起動)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0; p = 00

図19-75 SNOOZEモード動作(1回起動)時のフロー・チャート

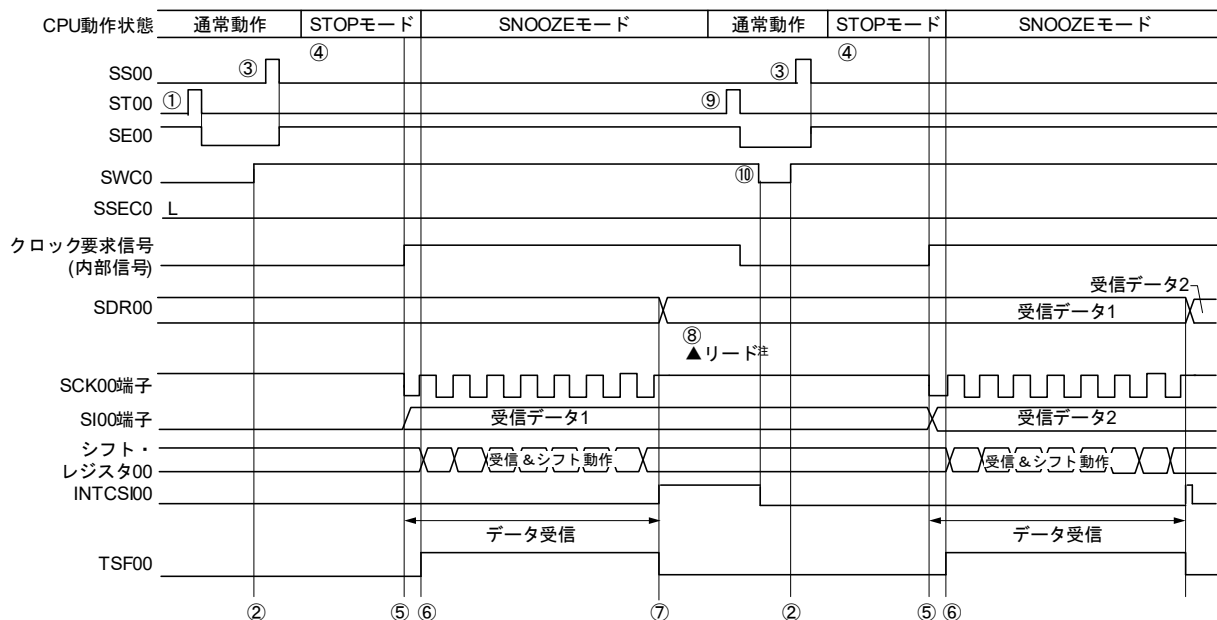


備考1. 図中の①~⑪は, 図19-74 SNOOZEモード動作(1回起動)時のタイミング・チャートの①~⑪に対応しています。

備考2. m = 0; p = 00

(2) SNOOZEモード動作(連続起動)

図19 - 76 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

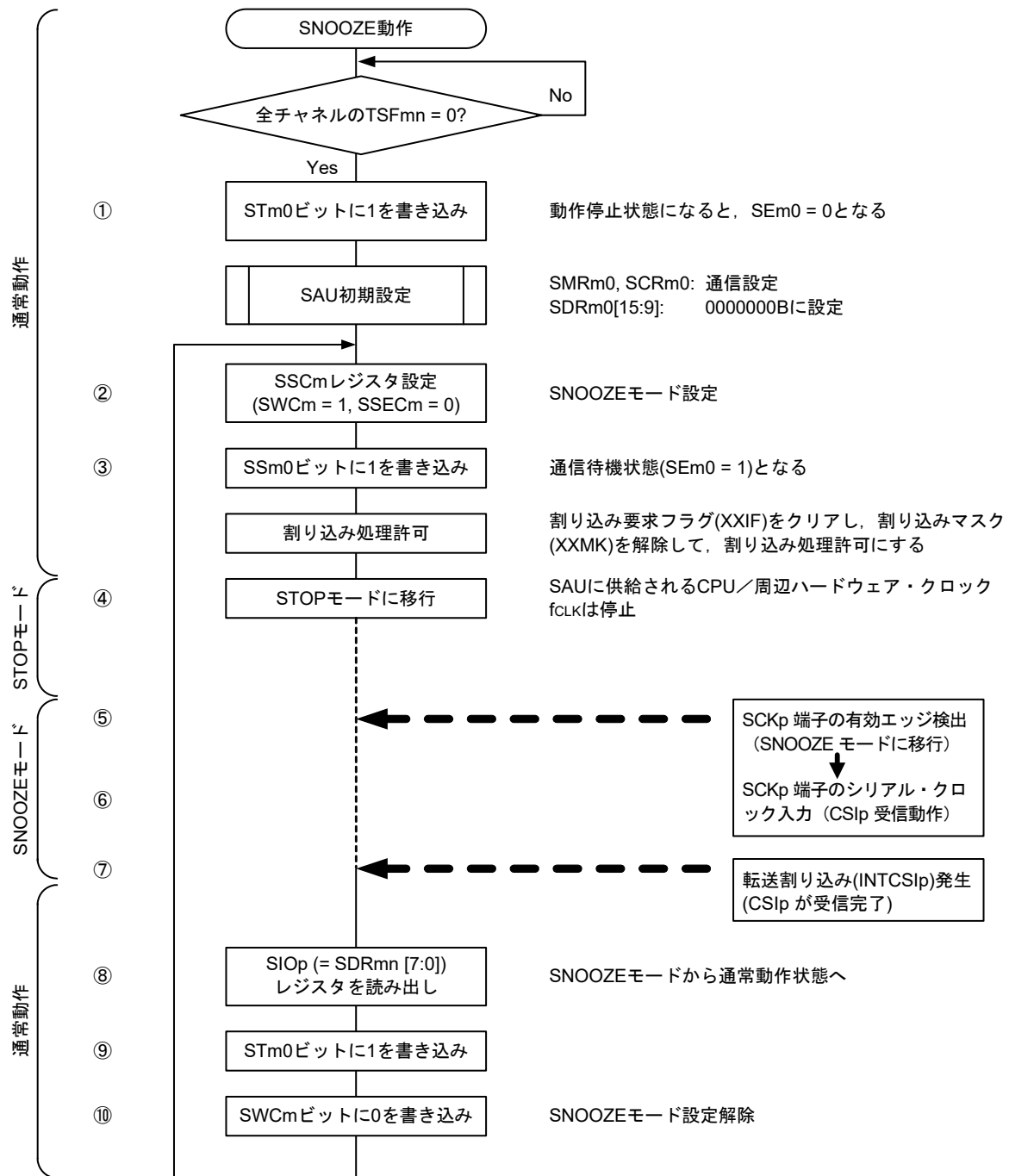
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVfM1フラグは動作しません。

備考1. 図中の①～⑩は、図19 - 77 SNOOZEモード動作(連続起動)時のフロー・チャートの①～⑩に対応しています。

備考2. m = 0; p = 00

図 19 - 77 SNOOZE モード動作(連続起動)時のフロー・チャート



備考 1. 図中の①～⑩は, 図 19 - 76 SNOOZE モード動作(連続起動)時のタイミング・チャートの①～⑩に対応しています。

備考 2. m = 0; p = 00

19.5.8 転送クロック周波数の算出

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 19 - 5 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz	
1	0	0	0	0	X	X	X	X	fCLK	32 MHz
	0	0	0	1	X	X	X	X	fCLK/2	16 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	8 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	4 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	15.63 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	7.81 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	3.91 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.95 kHz
1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	977 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

19.5.9 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信時にエラーが発生した場合の処理手順を図19-78に示します。

図19-78 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする	SSRmn レジスタのBFFmn ビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのままSIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

19.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

[クロック制御]

- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第37章 または第38章 電気的特性を参照してください。

○24, 32, 36ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

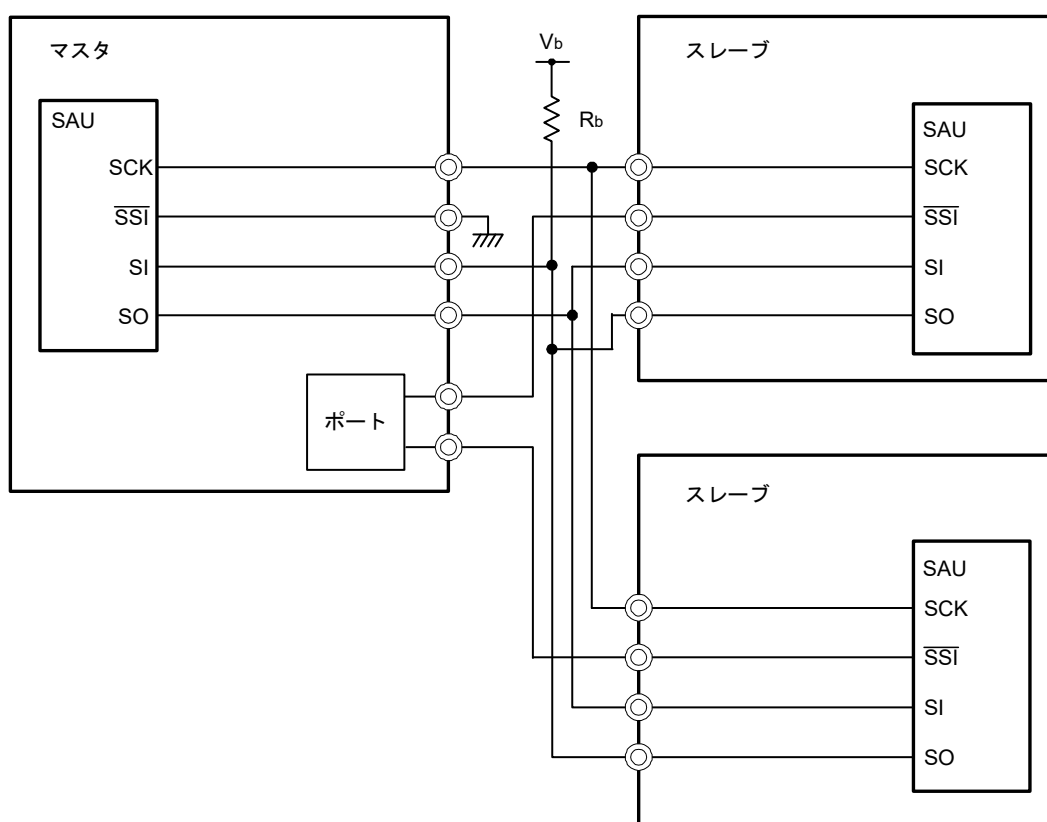
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- スレーブ送信 (19.6.1項を参照)
- スレーブ受信 (19.6.2項を参照)
- スレーブ送受信 (19.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・レベル出力となるため、複数のスレーブが接続される環境では、SO端子はNch-O.Dの設定にし、そのノードはプルアップする必要があります。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

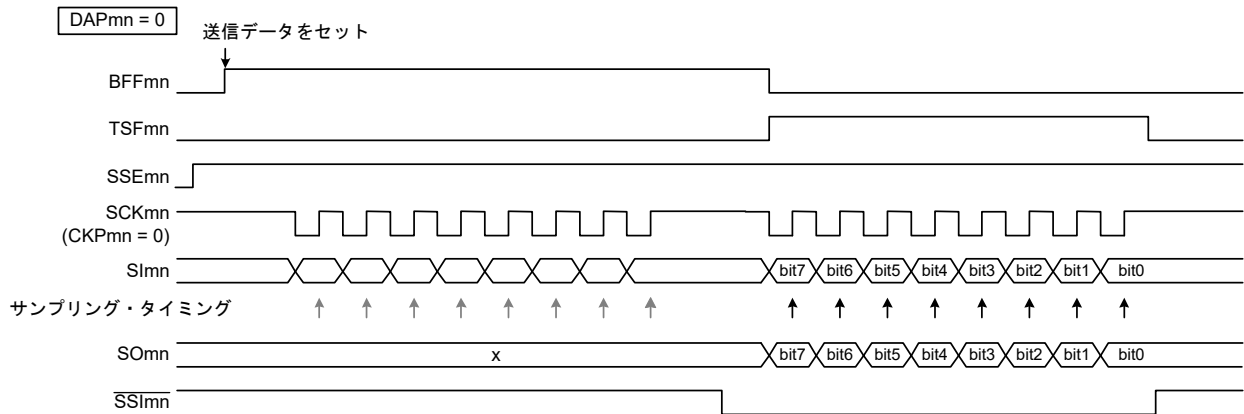
図19 - 79 スレーブセレクト入力機能の構成例



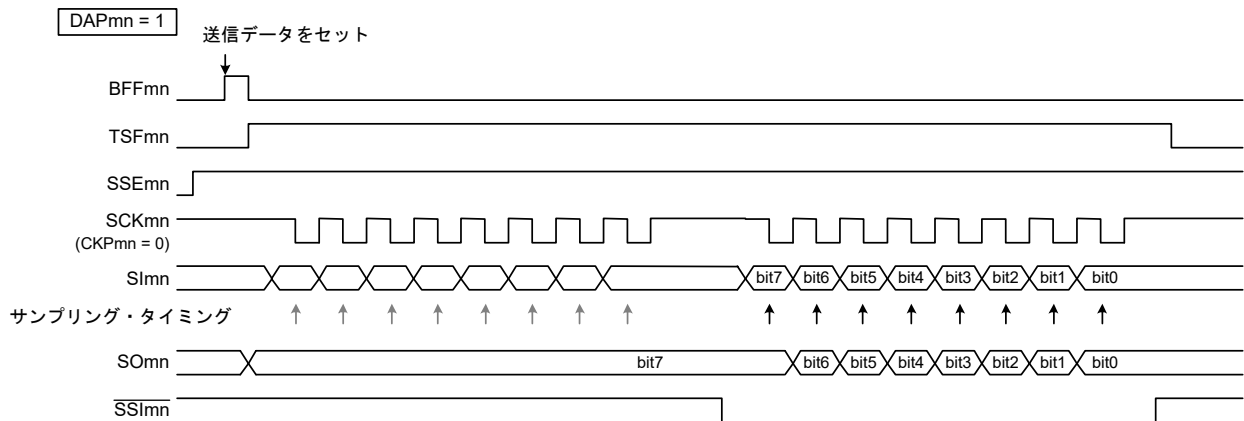
注意 $EV_{DD0} \geq V_b$ で使用してください。

SO00端子はN-chオープン・ドレイン出力(EV_{DD}耐圧)モードを選択。

図 19 - 80 スレーブセレクト入力機能のタイミング図



SSImnがハイ期間ではSCKmn(シリアル・クロック)の立ち下がりエッジが来ても送信を行いません。
 また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
 SSI $\bar{m}n$ がロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力(シフト)し、
 立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ(bit7)を出力します。しかし、SCKmn(シリアル・クロック)の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを出力(シフト)し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0)

19.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスヘデータを送信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

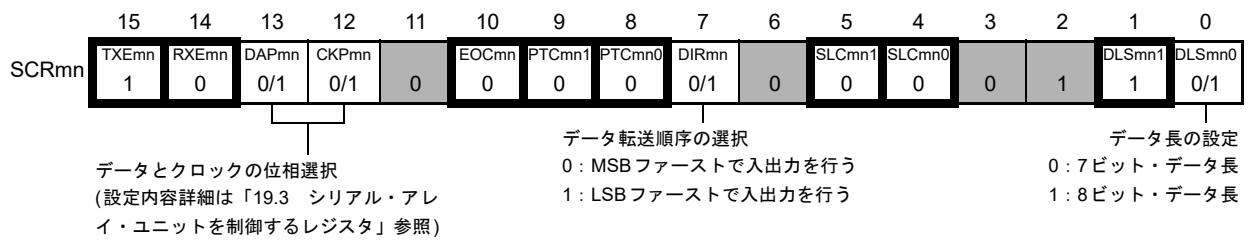
(1) レジスタ設定

図 19 - 81 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

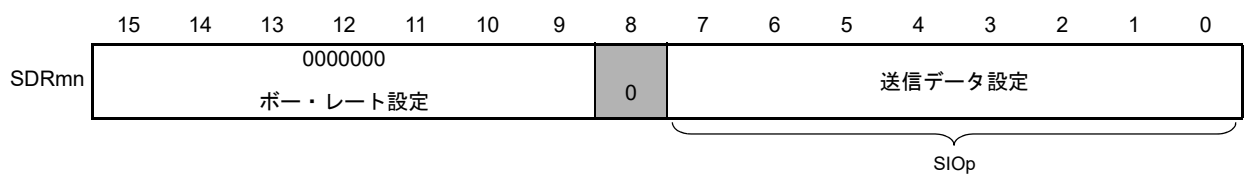
(a) シリアル・モード・レジスタ mn (SMRmn)



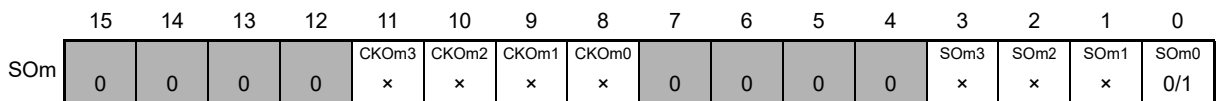
(b) シリアル通信動作設定レジスタ mn (SCRmn)



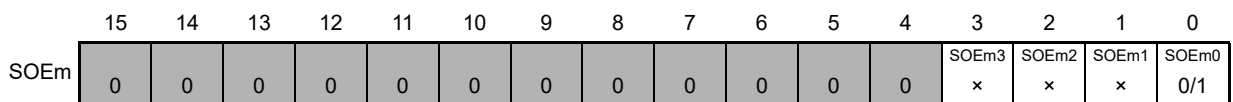
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図19 - 82 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

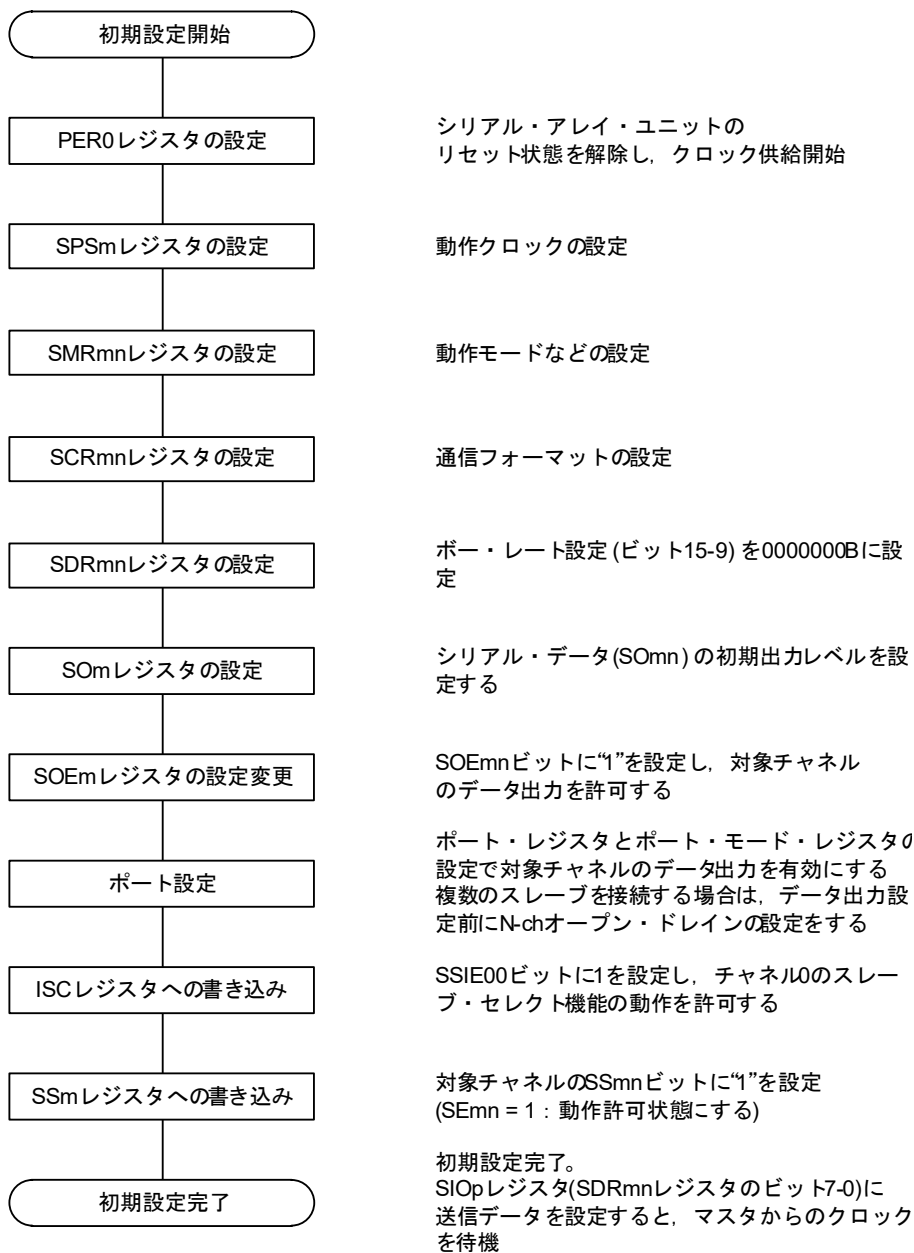
0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

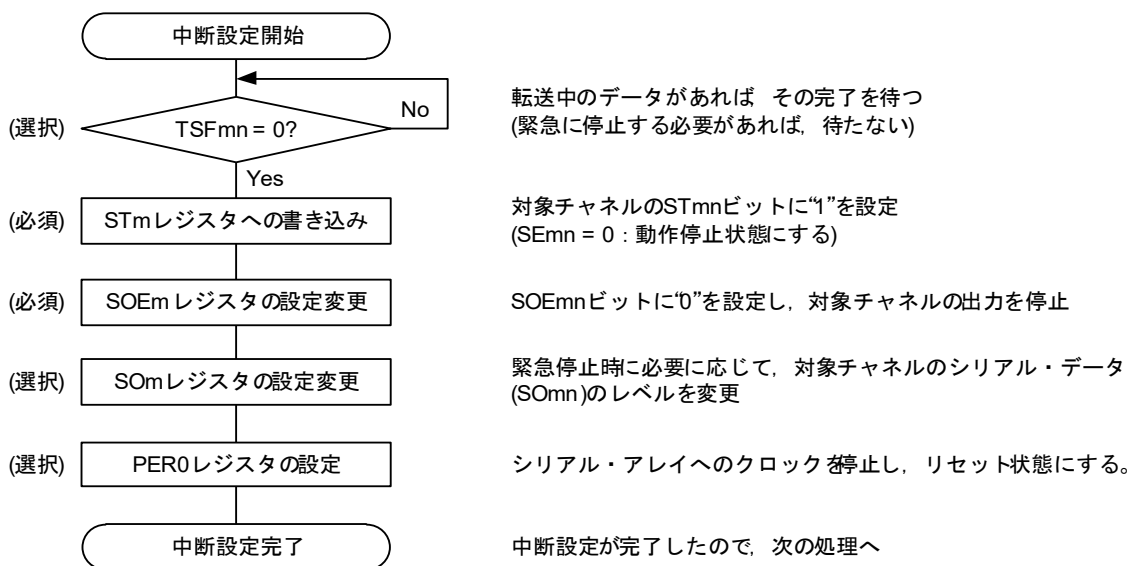
(2) 操作手順

図 19 - 83 スレーブ送信の初期設定手順



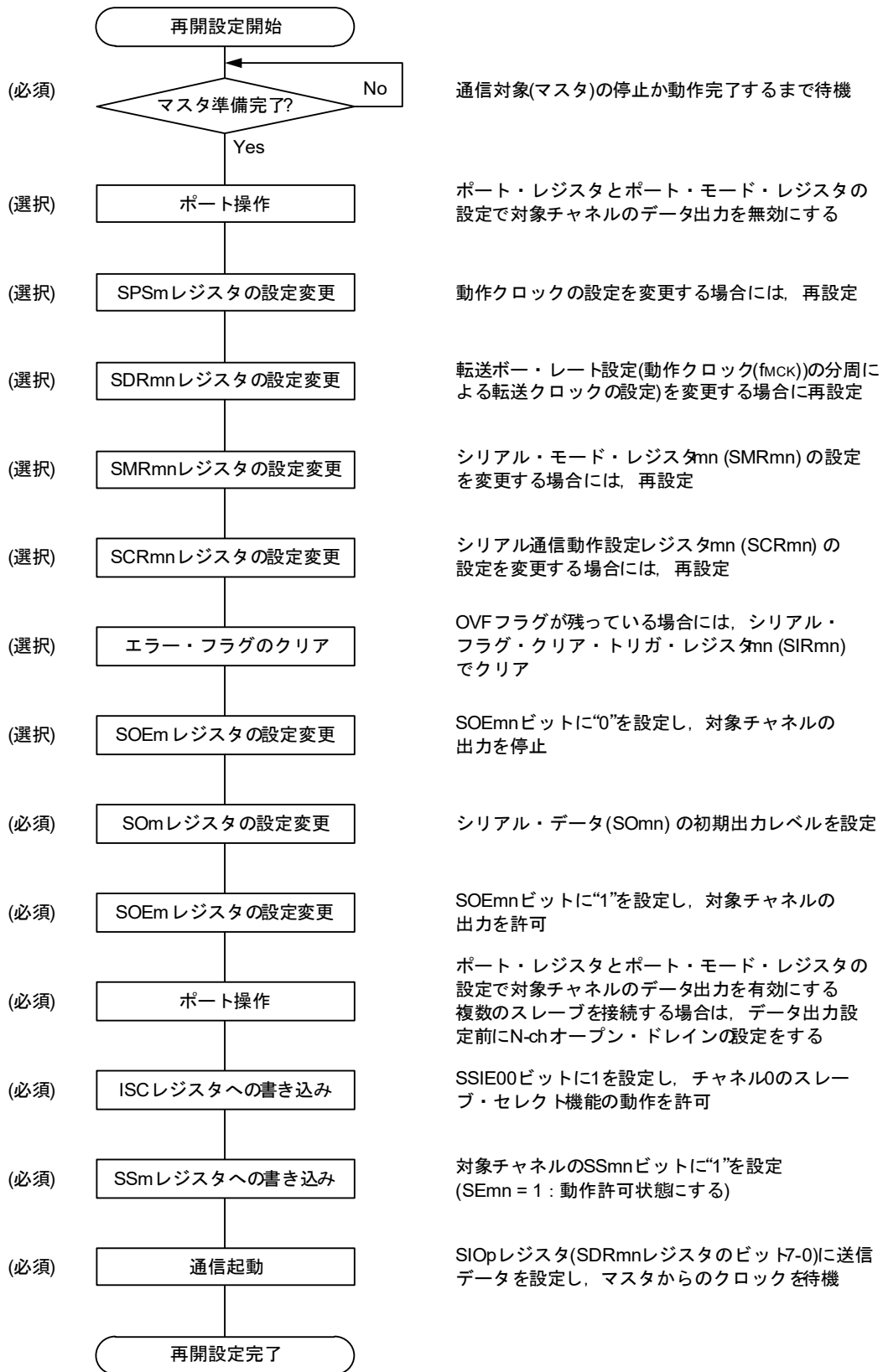
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 84 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 85 スレーブ送信の再開設定手順

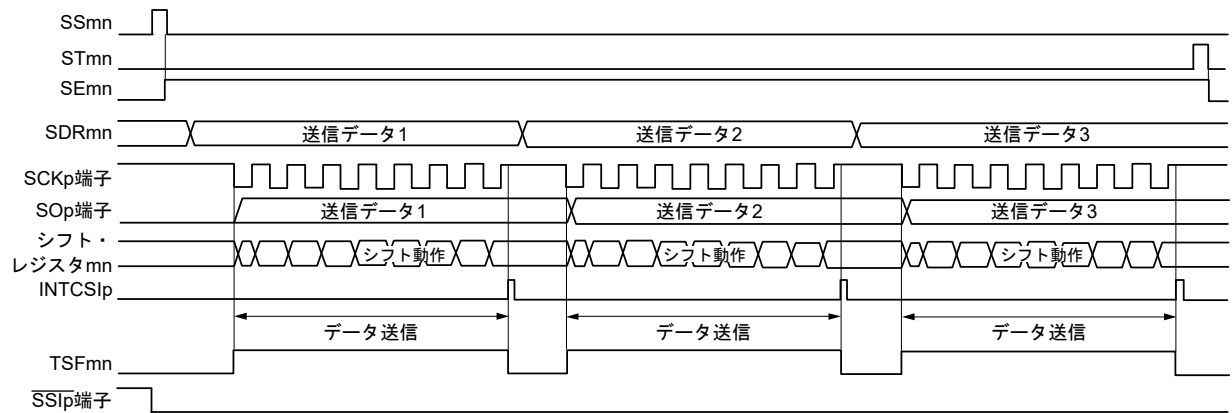


備考1. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

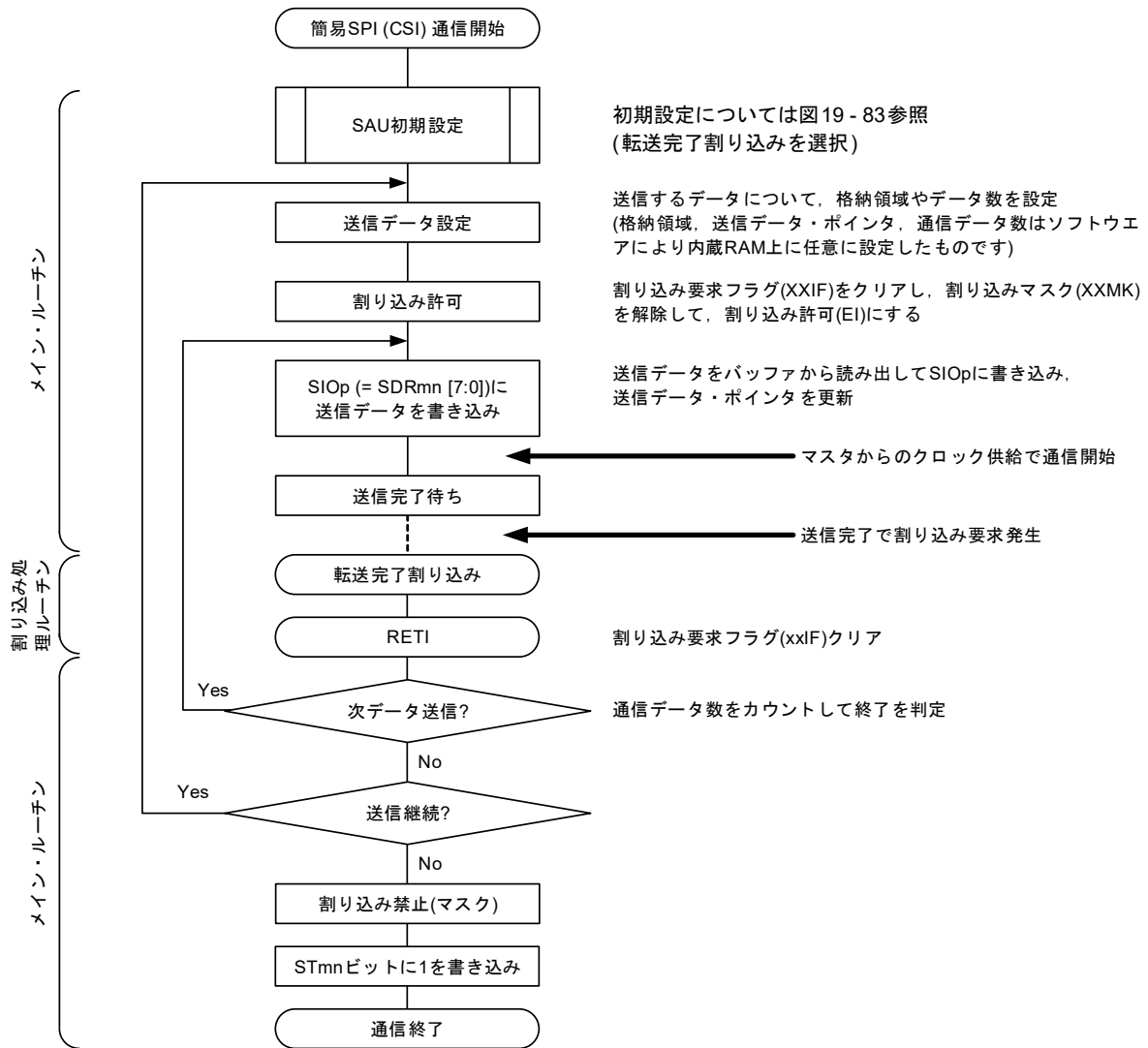
(3) 処理フロー (シングル送信モード時)

図 19 - 86 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

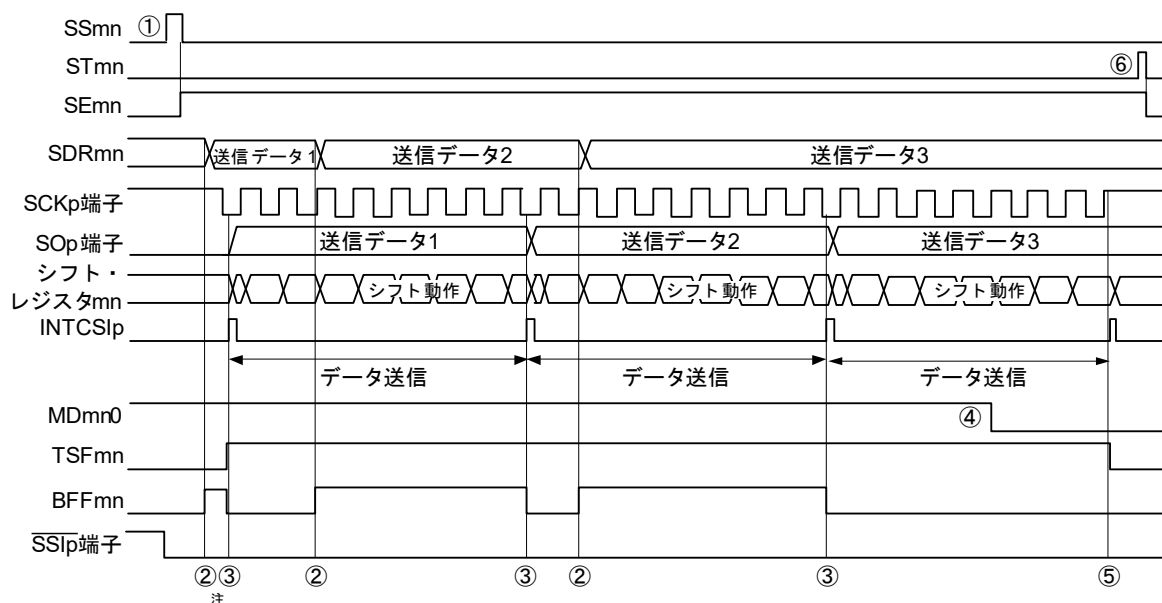
図19-87 スレーブ送信(シングル送信モード時)のフロー・チャート



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送信モード時)

図19 - 88 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

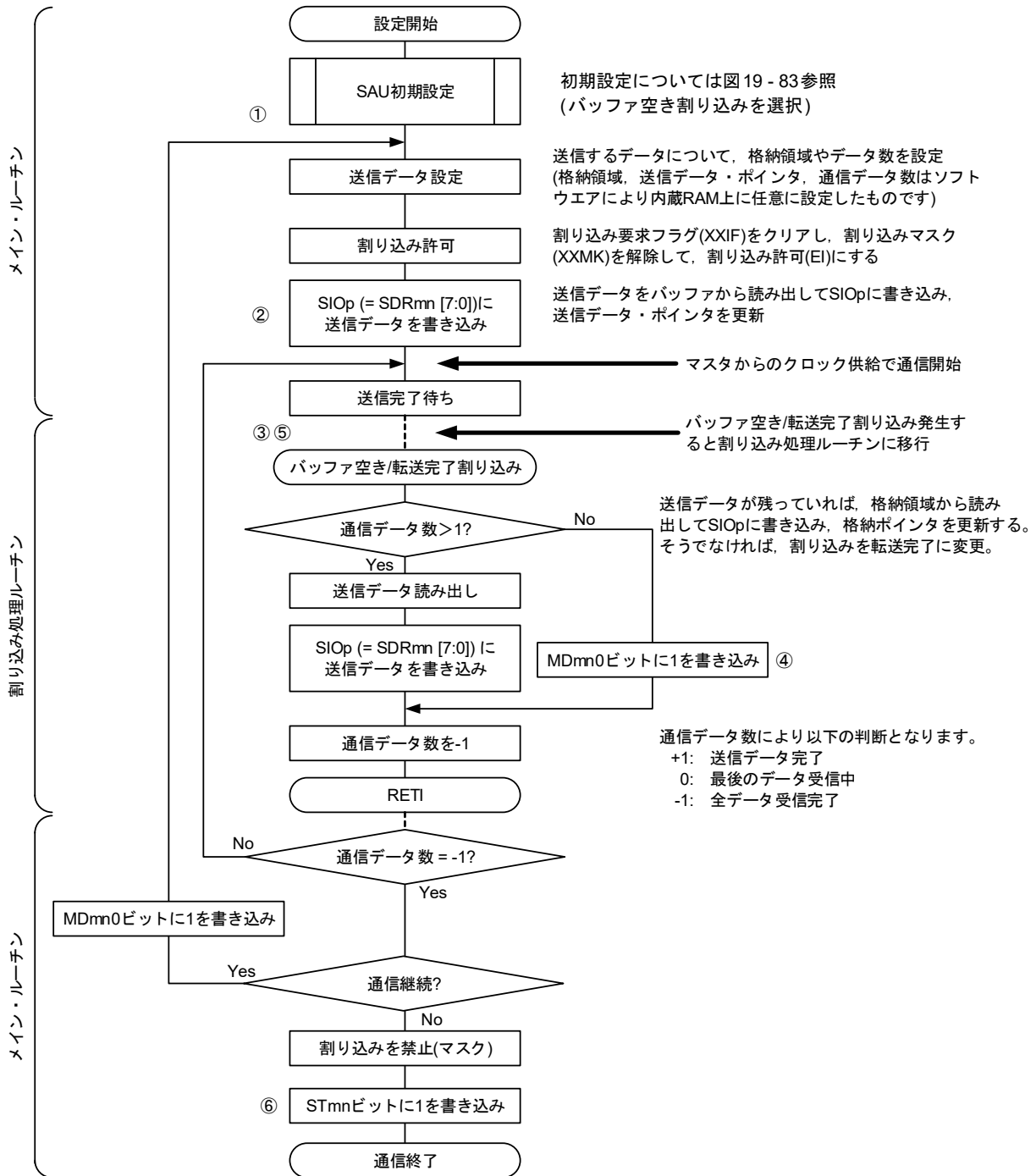


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図19-89 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①～⑥は、図19-88 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

19.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

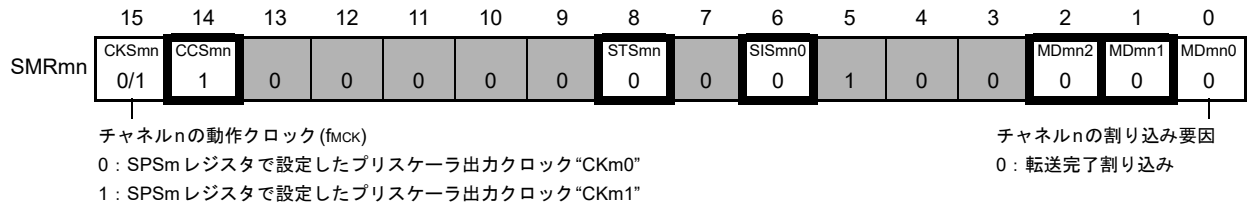
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

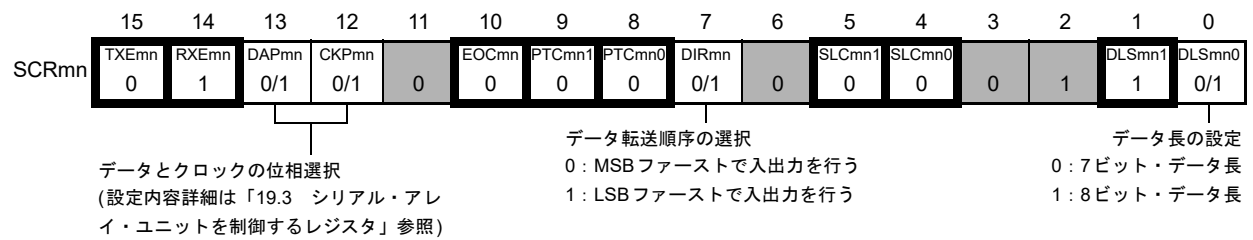
(1) レジスタ設定

図 19 - 90 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

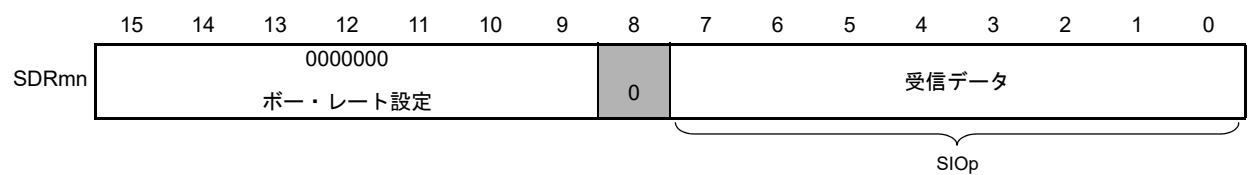
(a) シリアル・モード・レジスタ mn (SMRmn)



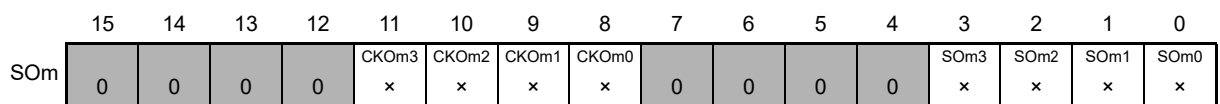
(b) シリアル通信動作設定レジスタ mn (SCRmn)



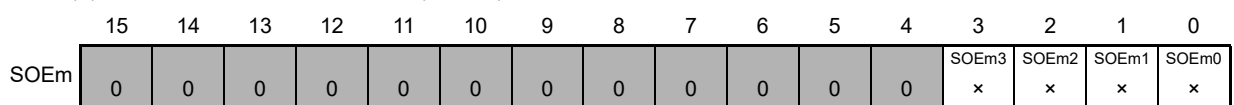
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図19 - 91 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効
 1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 92 スレーブ受信の初期設定手順

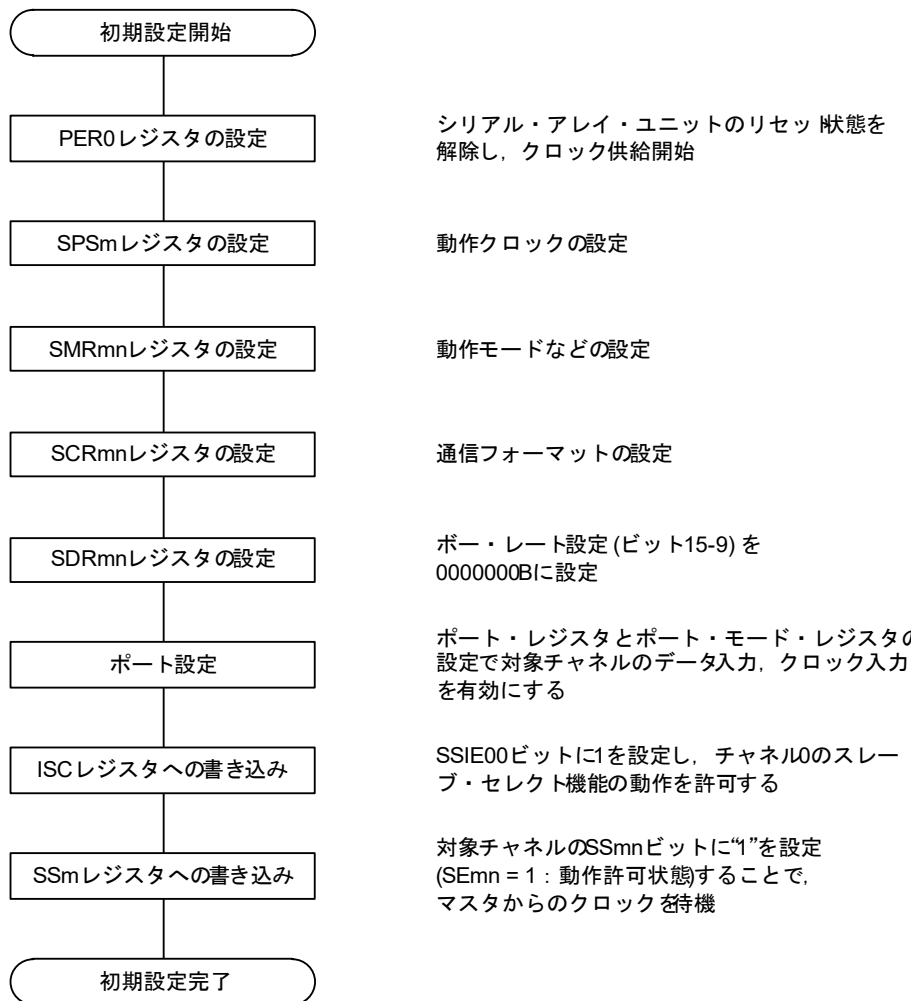
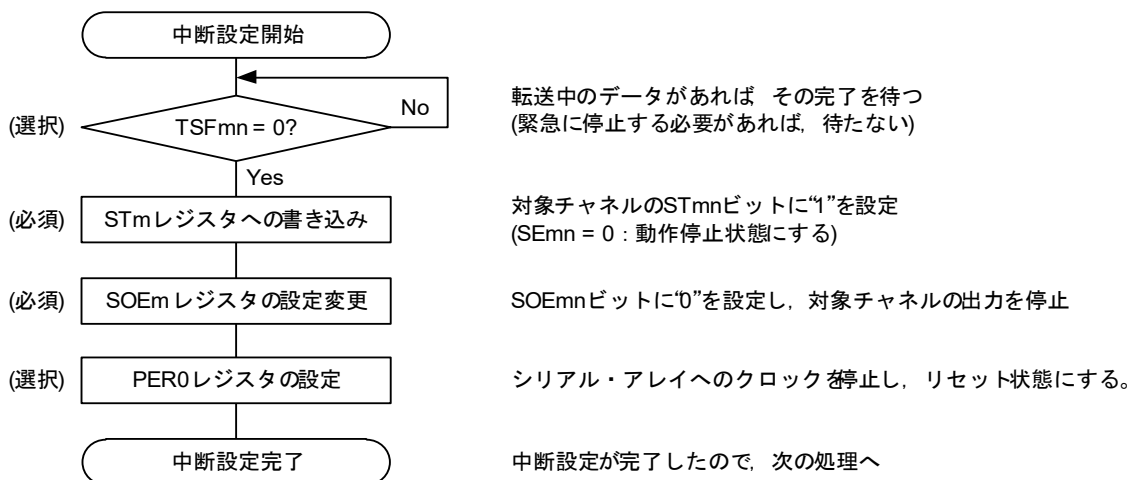
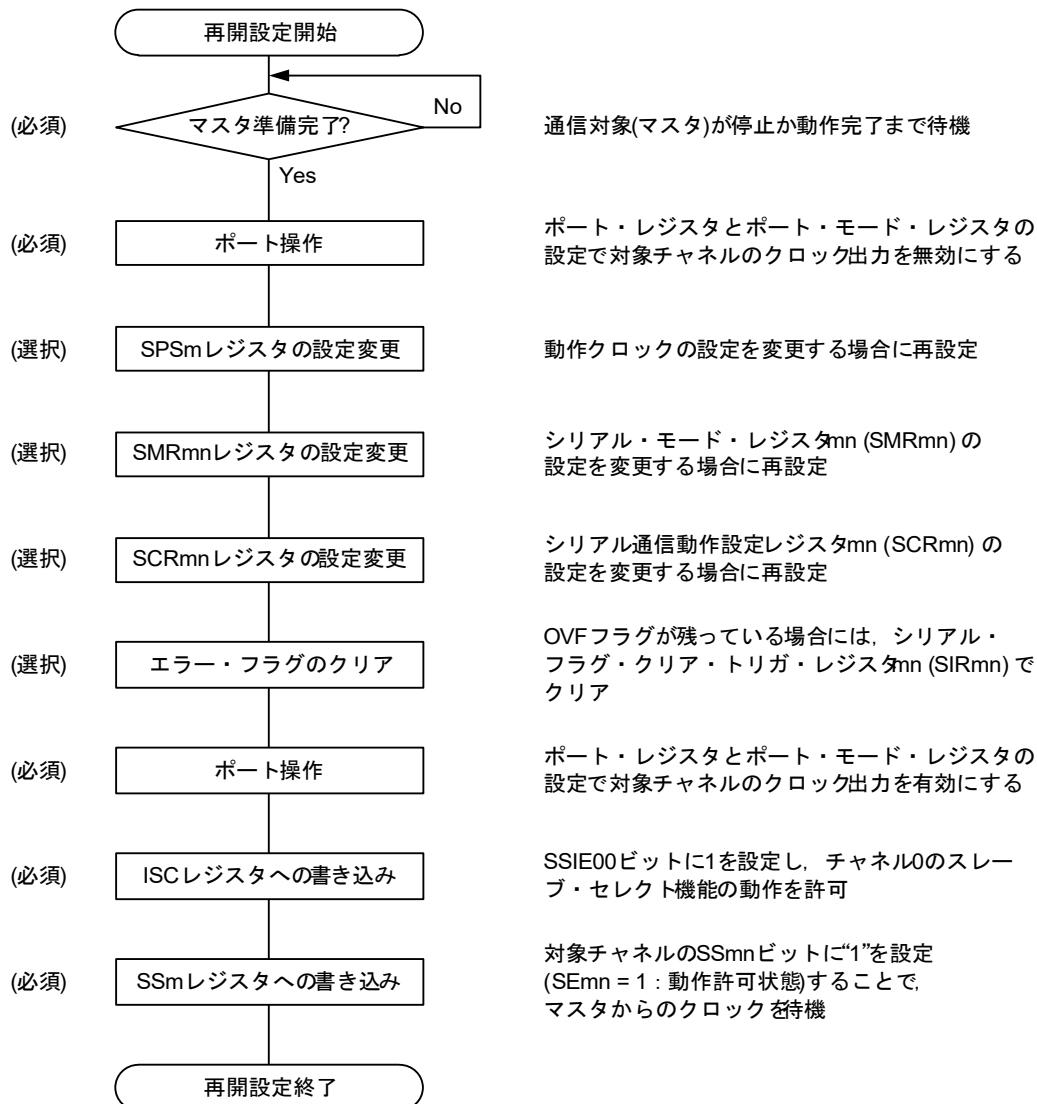


図 19 - 93 スレーブ受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

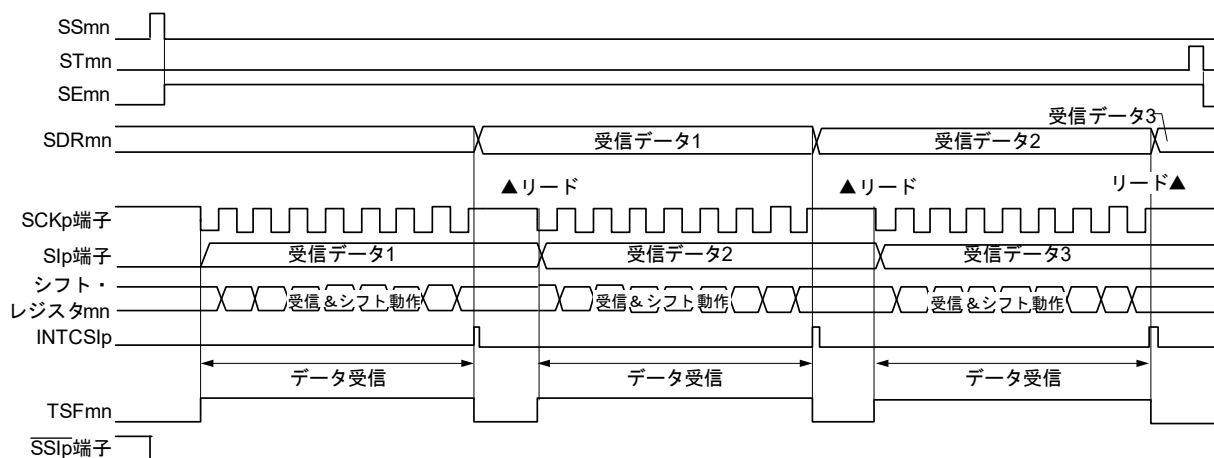
図 19 - 94 スレーブ受信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

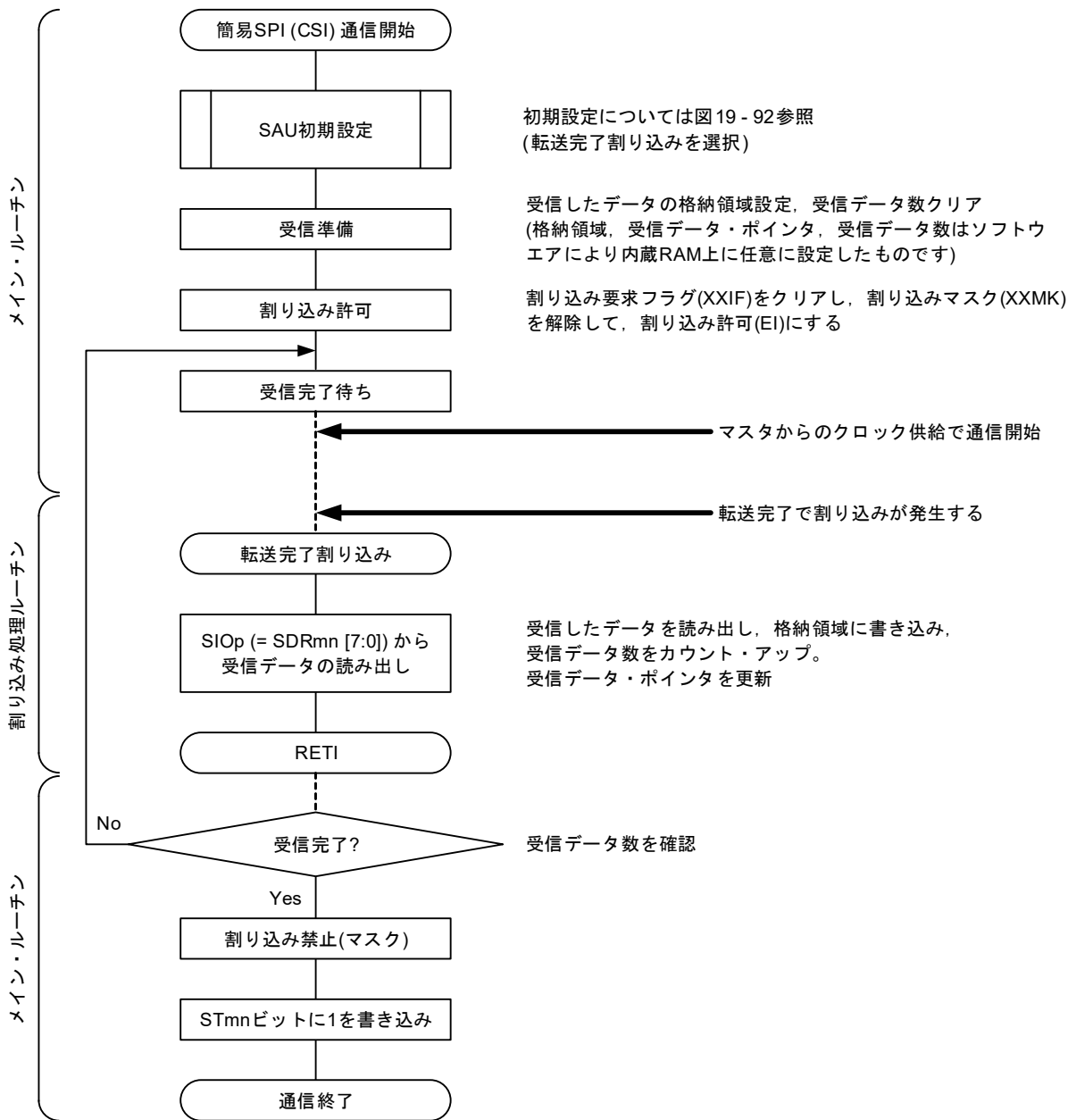
(3) 処理フロー (シングル受信モード時)

図 19 - 95 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図19 - 96 スレーブ受信(シングル受信モード時)のフロー・チャート



19.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

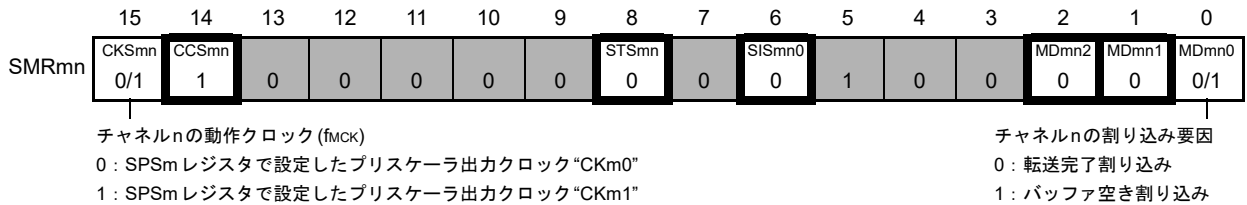
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

備考2. m：ユニット番号(m = 0) n：チャンネル番号(n = 0)

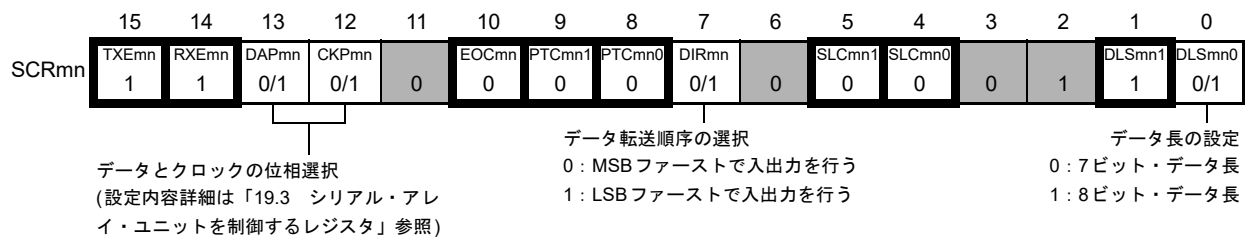
(1) レジスタ設定

図 19 - 97 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

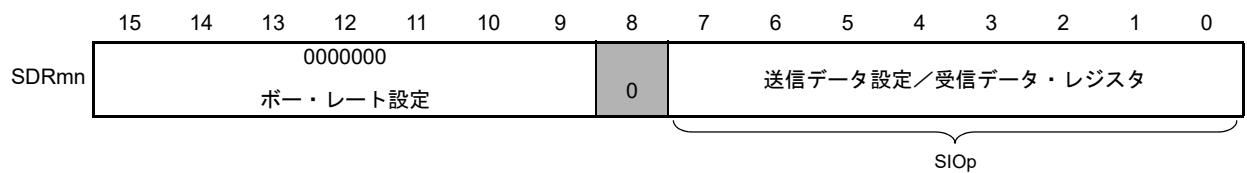
(a) シリアル・モード・レジスタ mn (SMRmn)



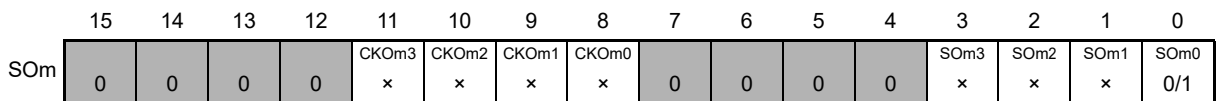
(b) シリアル通信動作設定レジスタ mn (SCRmn)



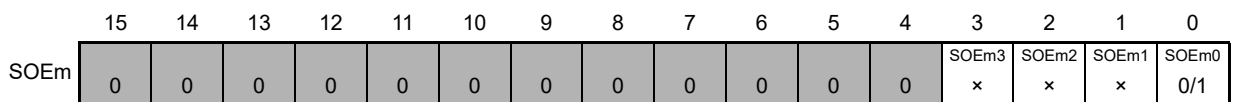
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図19-98 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

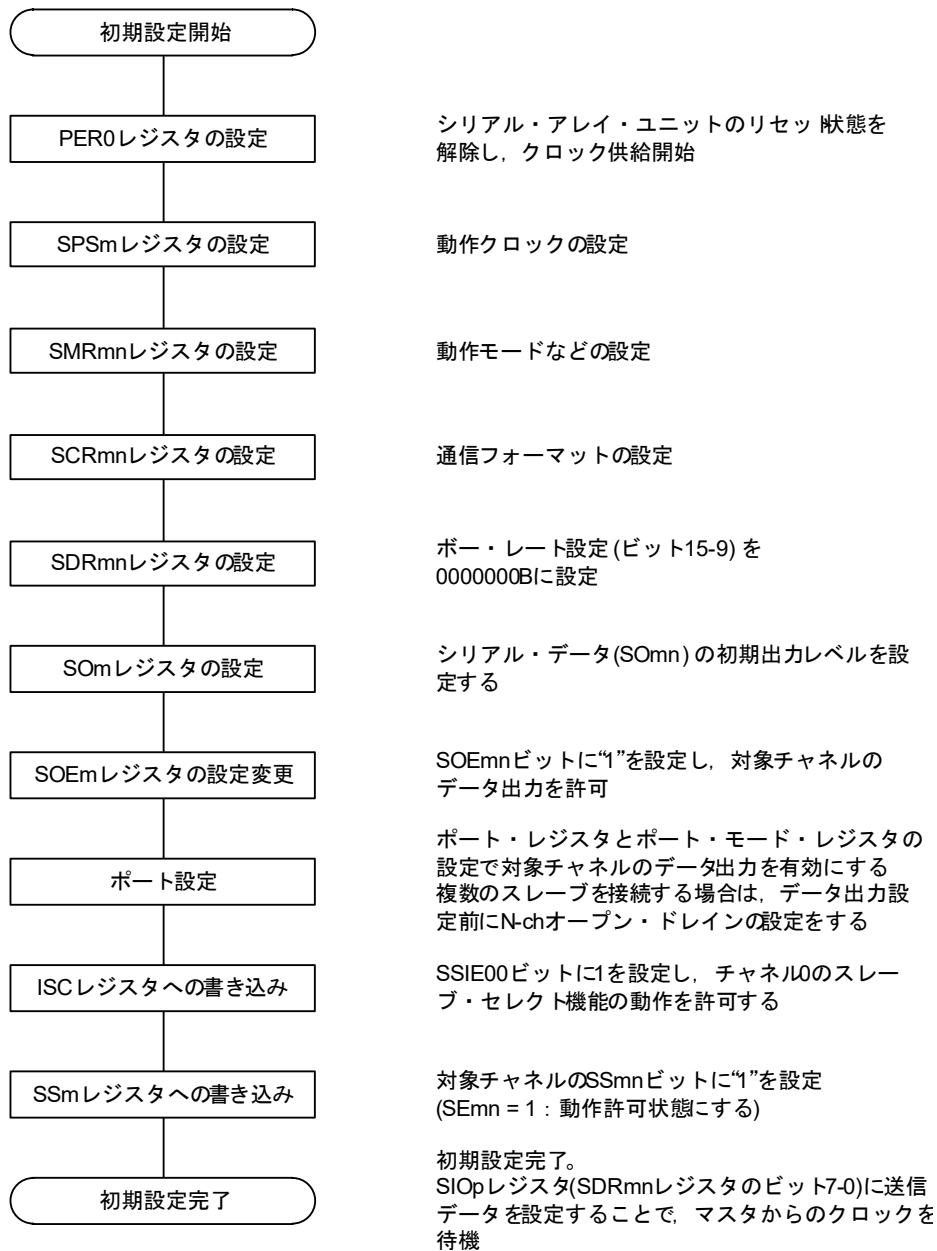
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考1. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

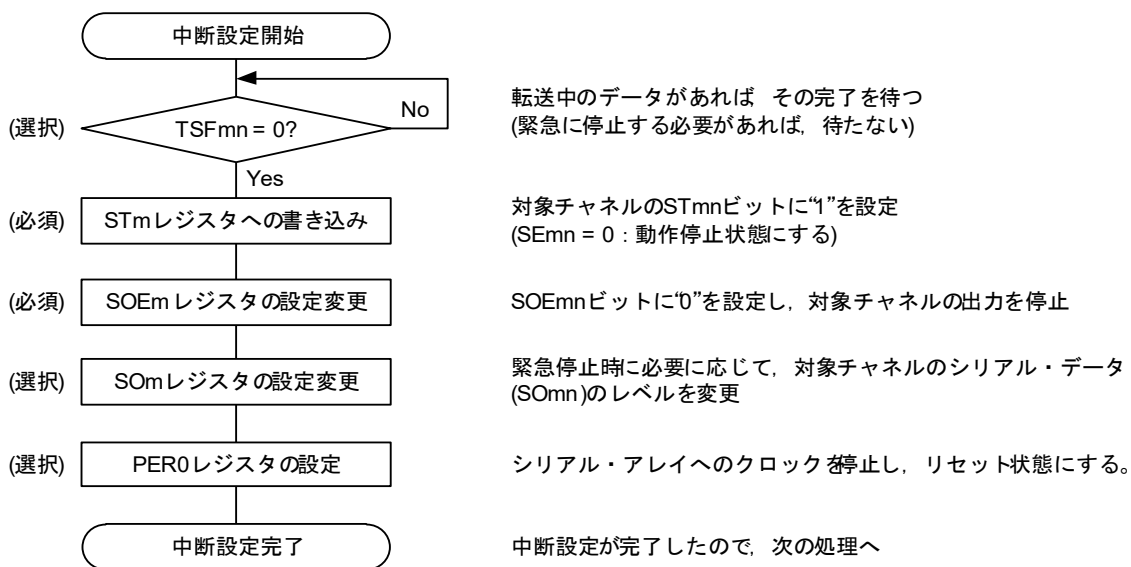
図 19 - 99 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

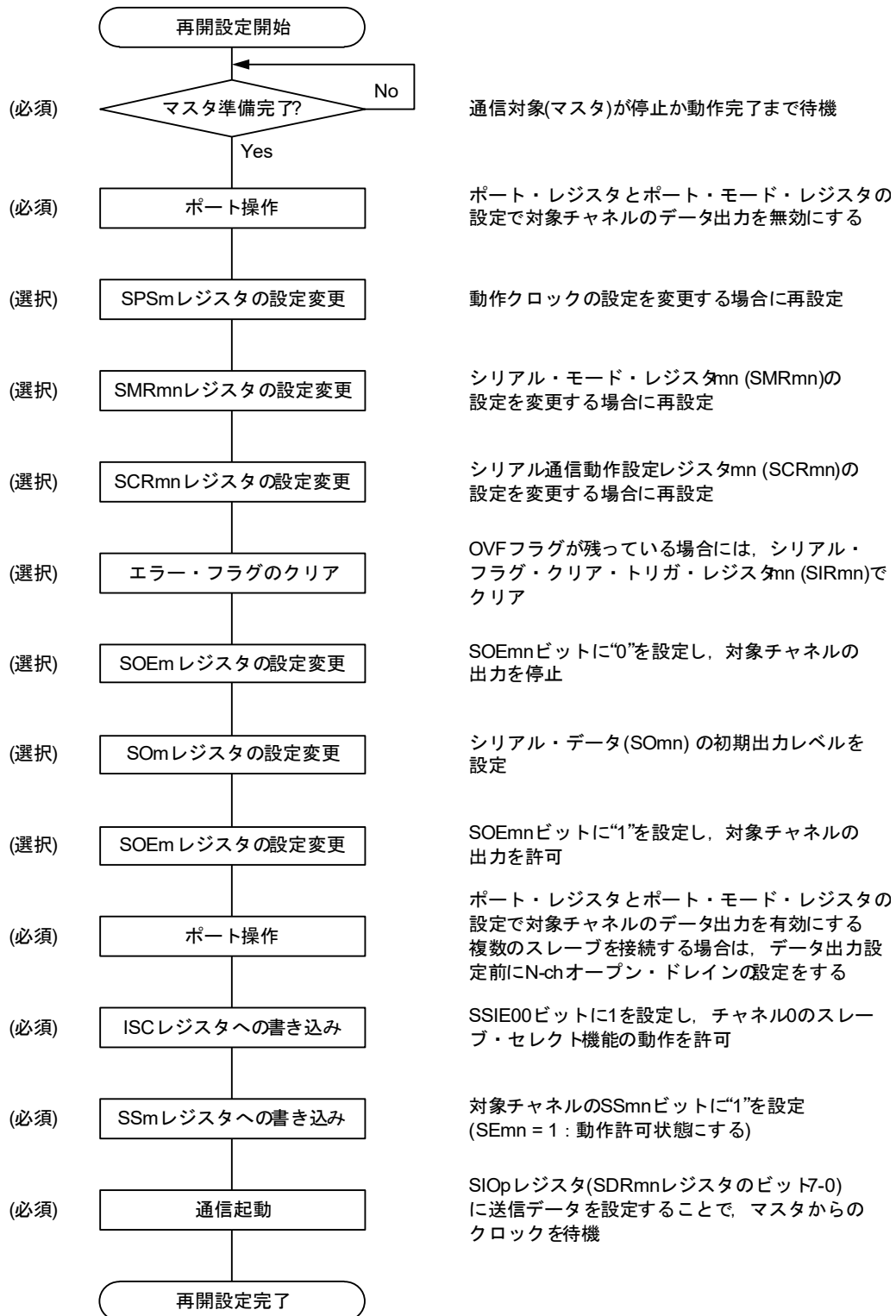
備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

図19 - 100 スレーブ送受信の中断手順



備考1. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図19 - 101 スレーブ送受信の再開設定手順

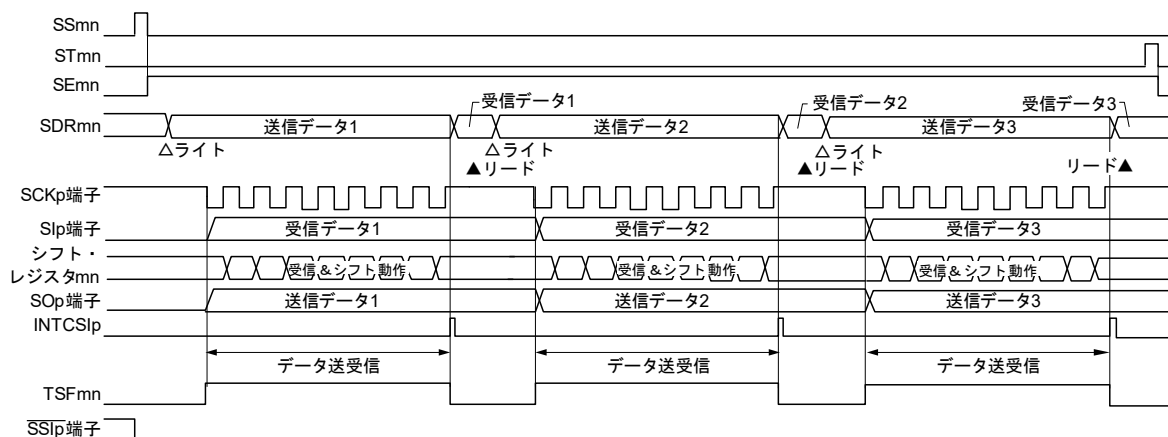


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOPレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

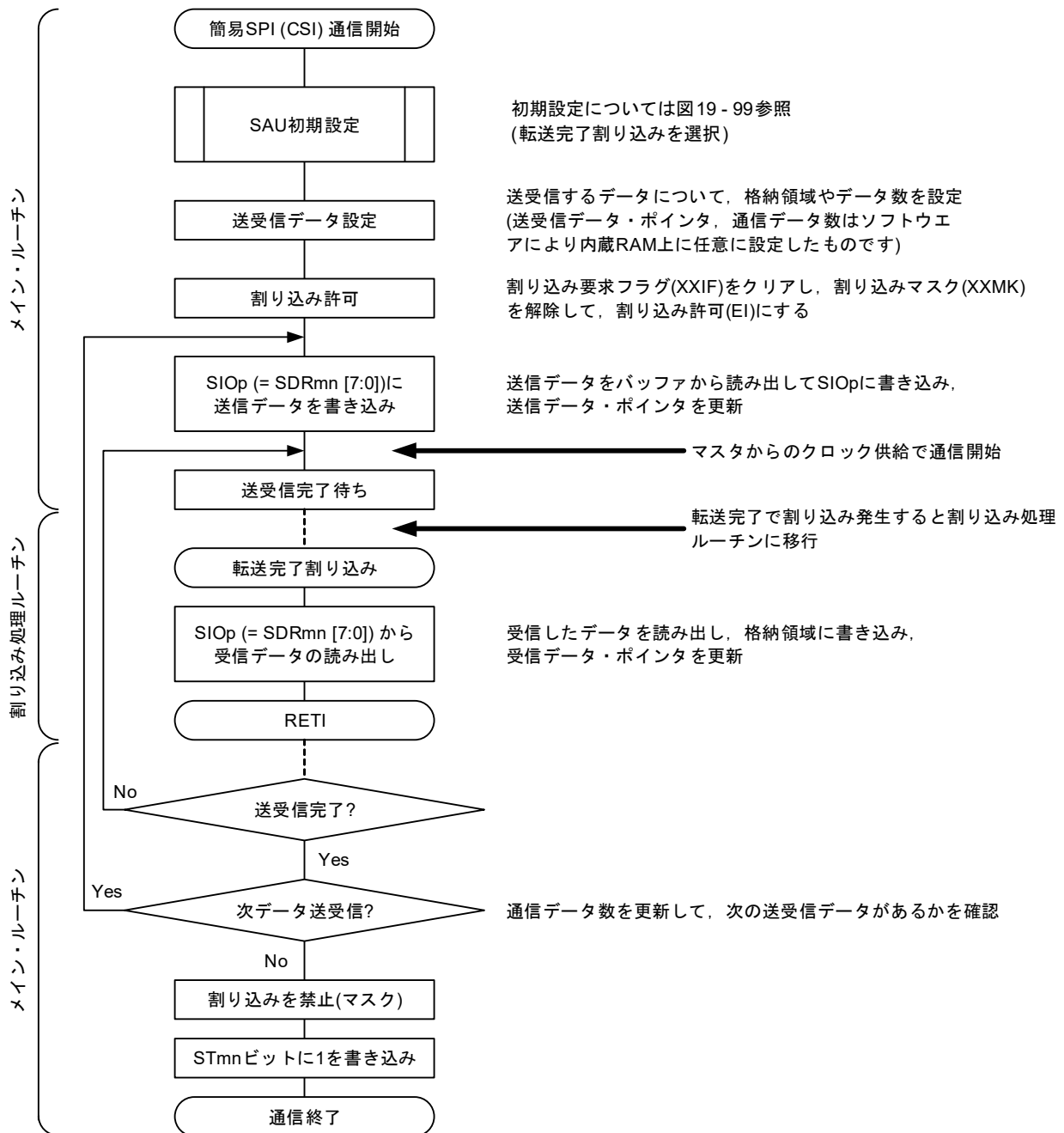
(3) 処理フロー (シングル送受信モード時)

図 19 - 102 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図19 - 103 スレーブ送受信(シングル送受信モード時)のフロー・チャート

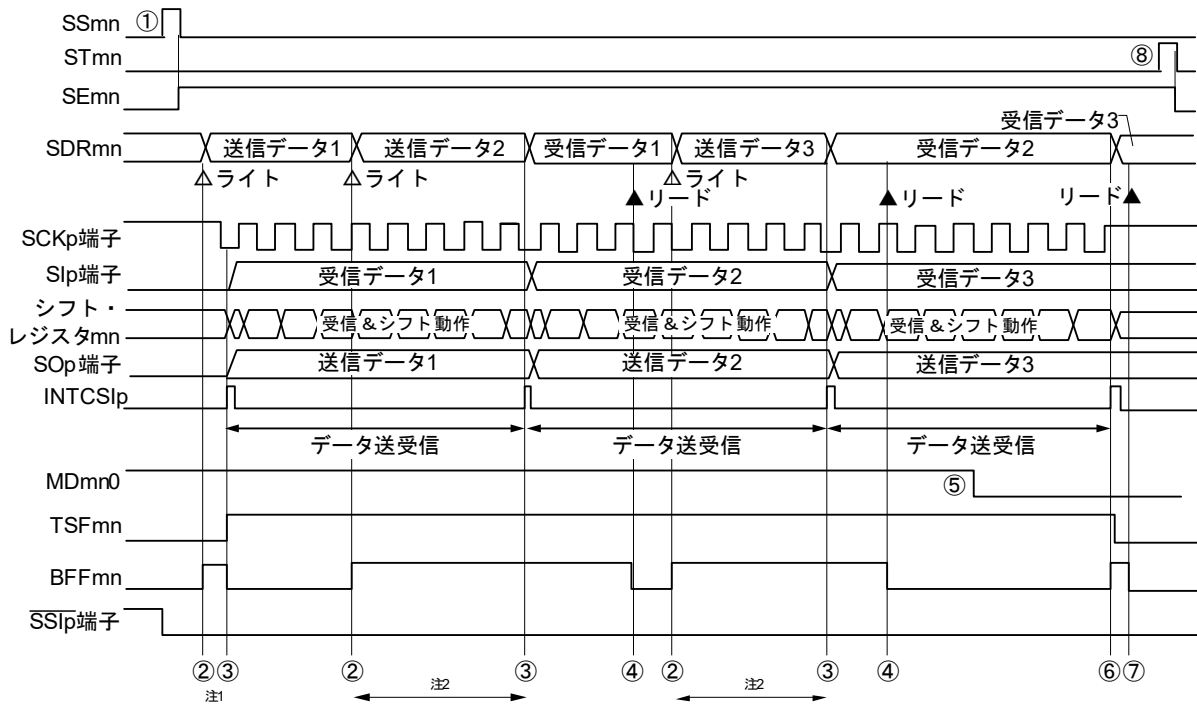


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

(4) 処理フロー (連続送受信モード時)

図19 - 104 スレーブ送受信 (連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn)のBFFmnビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

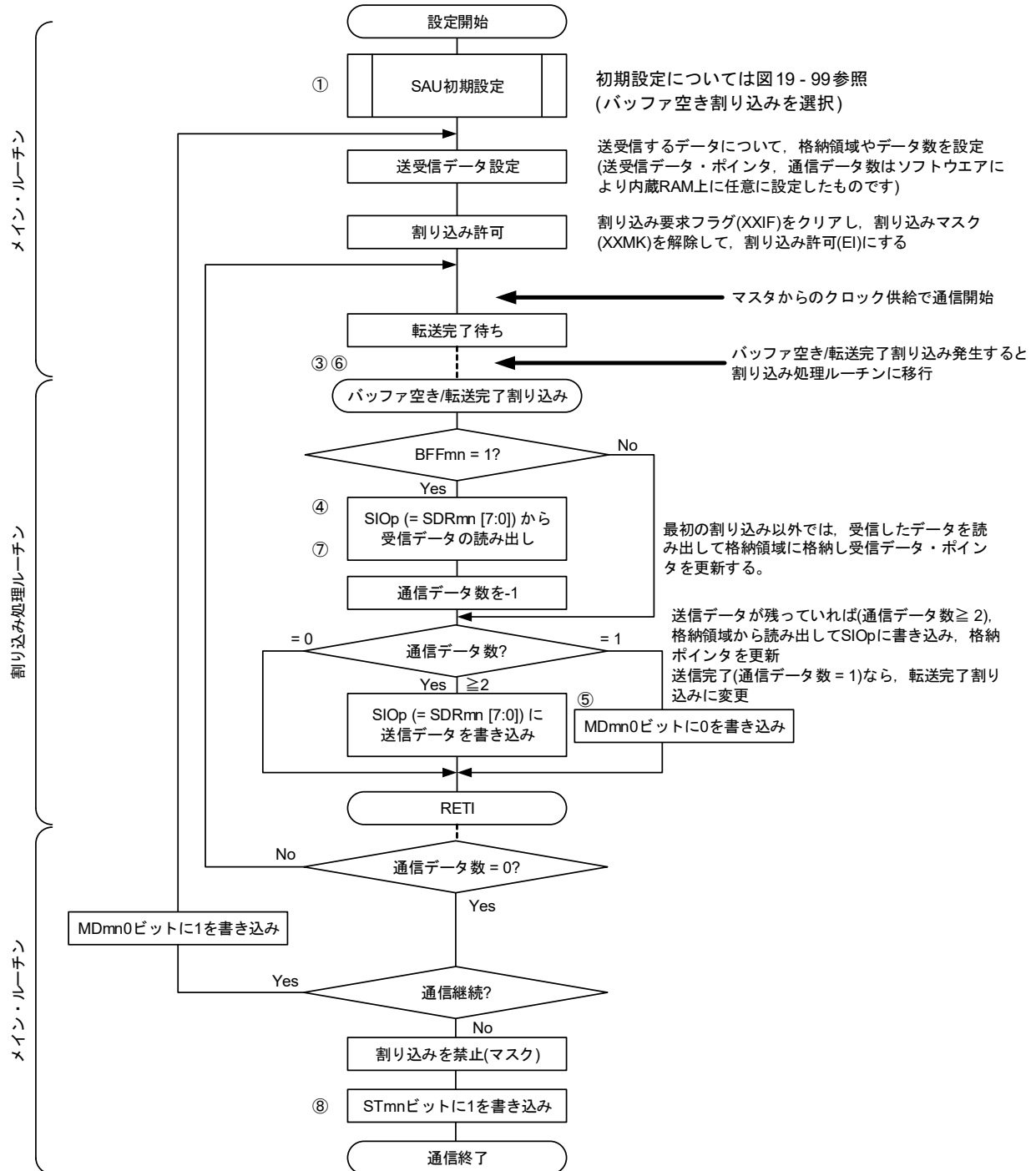
注2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn)のMDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19 - 105 スレーブ送受信 (連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 105 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①～⑧は、図 19 - 104 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

19.6.4 転送クロック周波数の算出

スレーブセレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$$\text{(転送クロック周波数)} = \text{[マスタが供給するシリアル・クロック (SCK)周波数]} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

表 19 - 6 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

19.6.5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図 19 - 106 に示します。

図 19 - 106 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

19.7 UART (UART0-UART2)通信の動作

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0(チャンネル3)と外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定(レベルを、反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4が0の時に、UART0のみ設定可能です。

•

UART0(ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|--|---|--|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定, ポー・レート算出 | } | <p>外部割り込み(INTP0),
タイマ・アレイ・ユニット0(チャンネル3)を使用</p> |
|--|---|--|

注 9ビット・データ長は、UART0のみ対応しています。

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

UART2では、SAU1のチャンネル0, 1を使用します。

○24, 32, 36ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信(19.7.1項を参照)
- UART受信(19.7.2項を参照)
- LIN送信(UART0のみ)(19.8.1項を参照)
- LIN受信(UART0のみ)(19.8.2項を参照)

19.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット注1		
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] 注2		
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加 		
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加 		
データ方向	MSB ファーストまたはLSB ファースト		

注1. 9ビット・データ長は、UART0のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

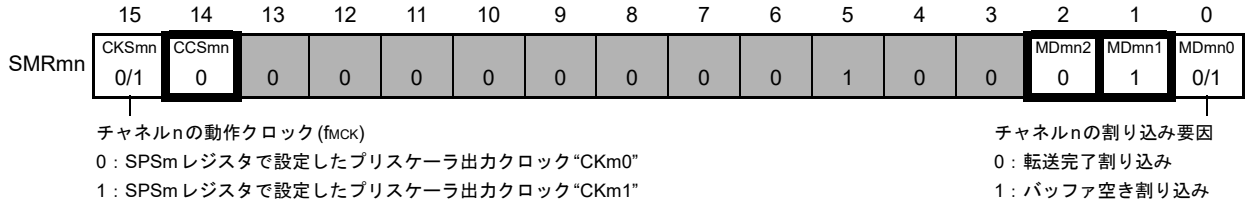
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0, 1$) n : チャンネル番号($n = 0, 2$), $mn = 00, 02, 10$

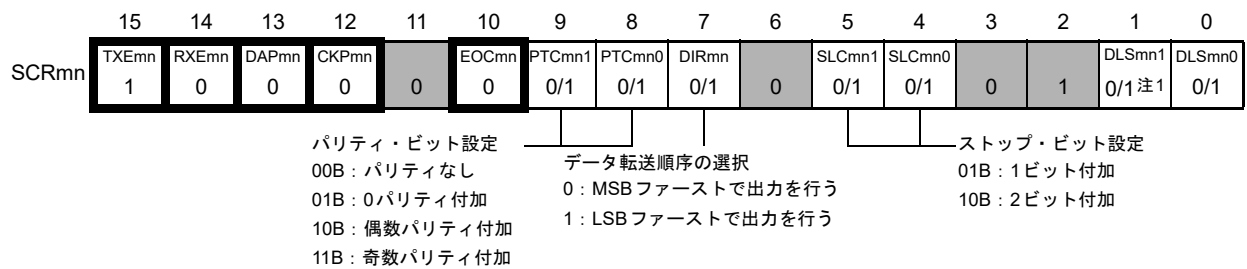
(1) レジスタ設定

図19 - 107 UART (UART0-UART2)のUART送信時のレジスタ設定内容例(1/2)

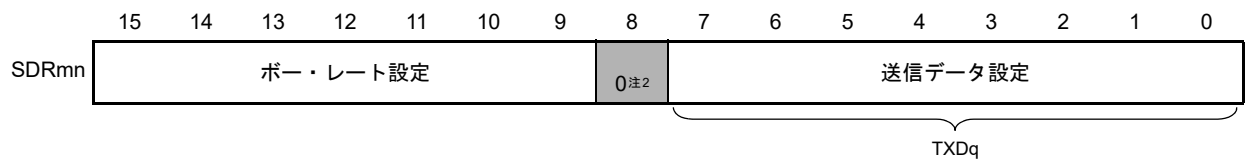
(a)シリアル・モード・レジスタ mn (SMRmn)



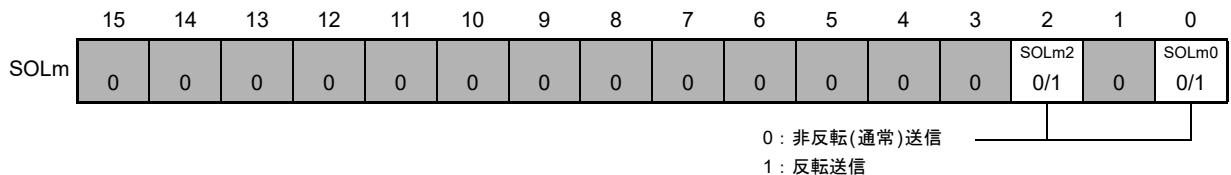
(b)シリアル通信動作設定レジスタ mn (SCRmn)



(c)シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: TXDq)



(d)シリアル出力レベル・レジスタ m (SOLm)..... 対象チャンネルのビットのみ設定する



注1. SCR00レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UART0のみです。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) q : UART番号(q = 0-2),
mn = 00, 02, 10

備考2. : UART送信モードでは設定固定 : 設定不可(初期値を設定)

×: このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図19 - 108 UART (UART0-UART2)のUART送信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3	CKOm2	CKOm1	CKOm0	0	0	0	0	SOm3	SOm2	SOm1	SOm0
					x	x	x	x					x	0/1注	x	0/1注

0 : シリアル・データ出力値が“0”
 1 : シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
													x	0/1	x	0/1

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													x	0/1	x	0/1

注 該当するチャンネルの SOLmn ビットに0を設定している場合は“1”に、SOLmn ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0-2),
 mn = 00, 02, 10

備考2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 109 UART 送信の初期設定手順

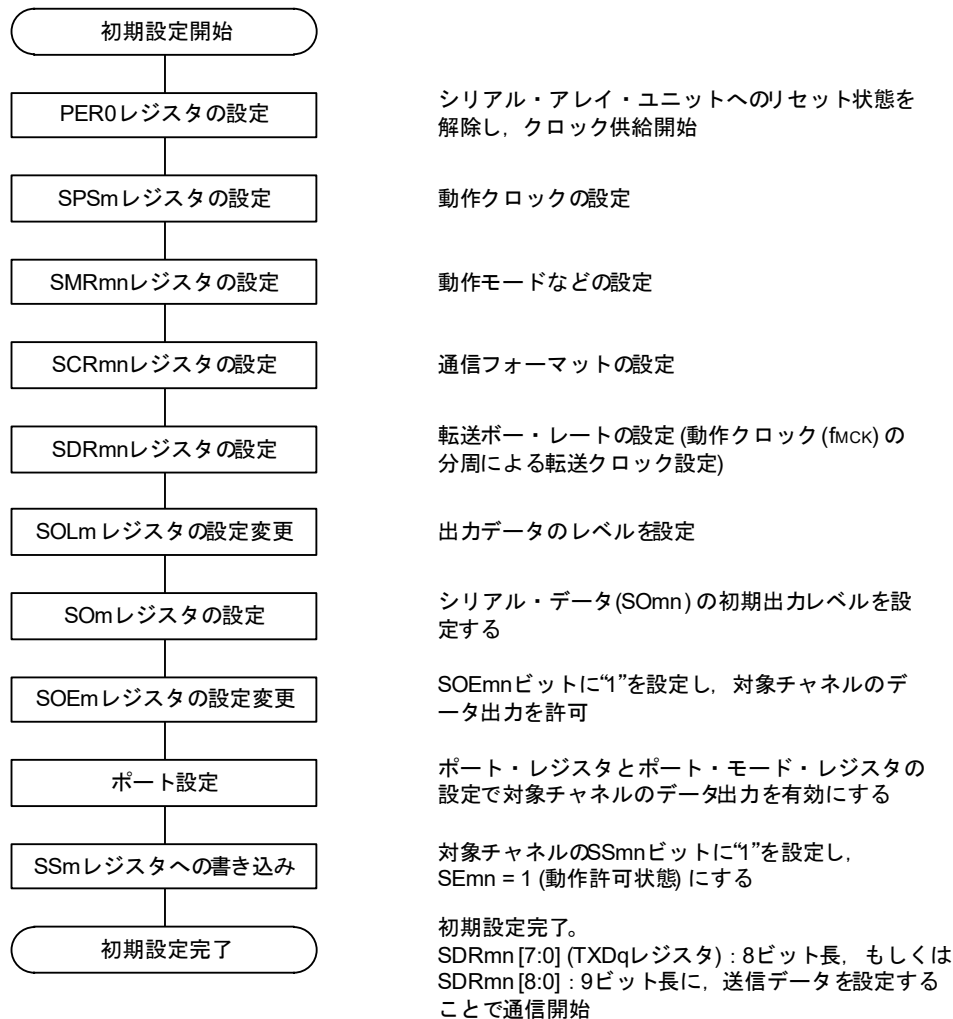


図 19 - 110 UART 送信の中断手順

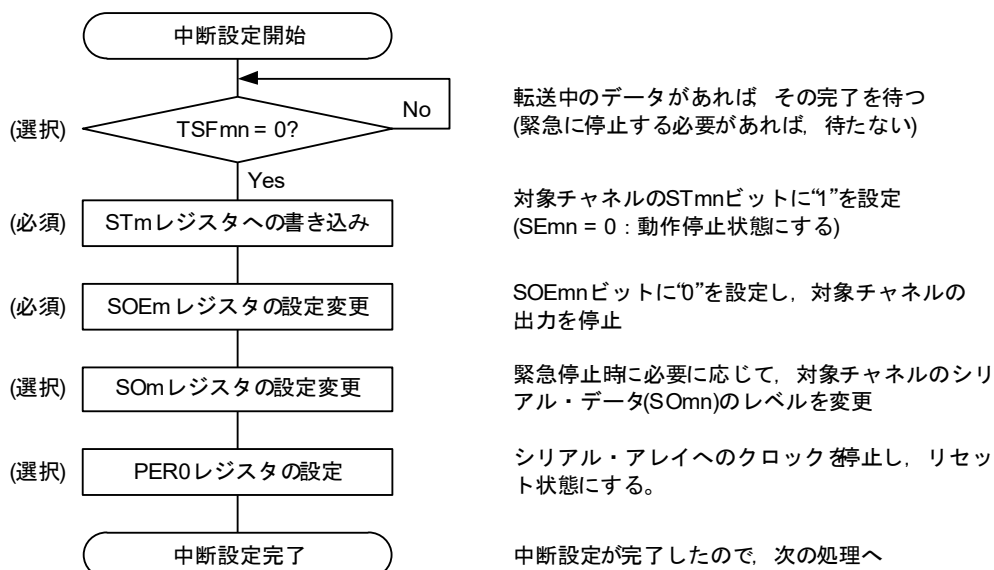
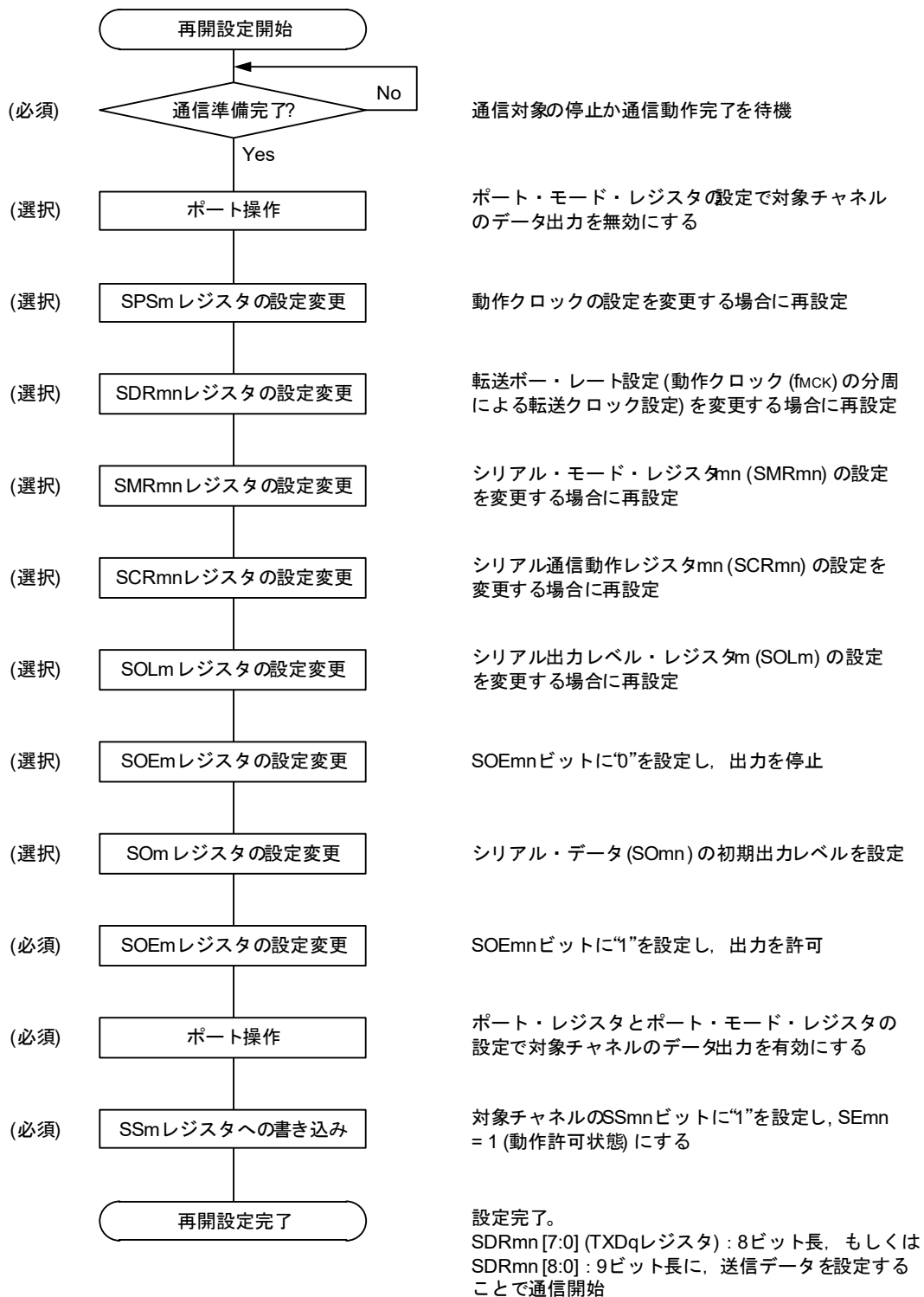


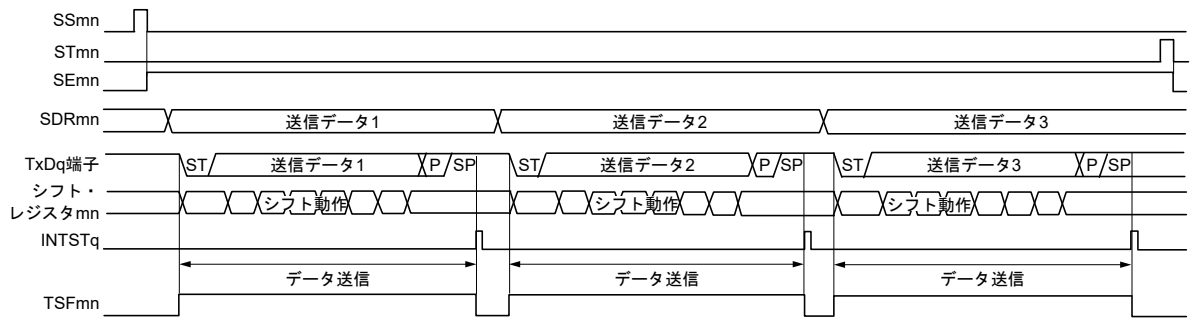
図 19 - 111 UART 送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

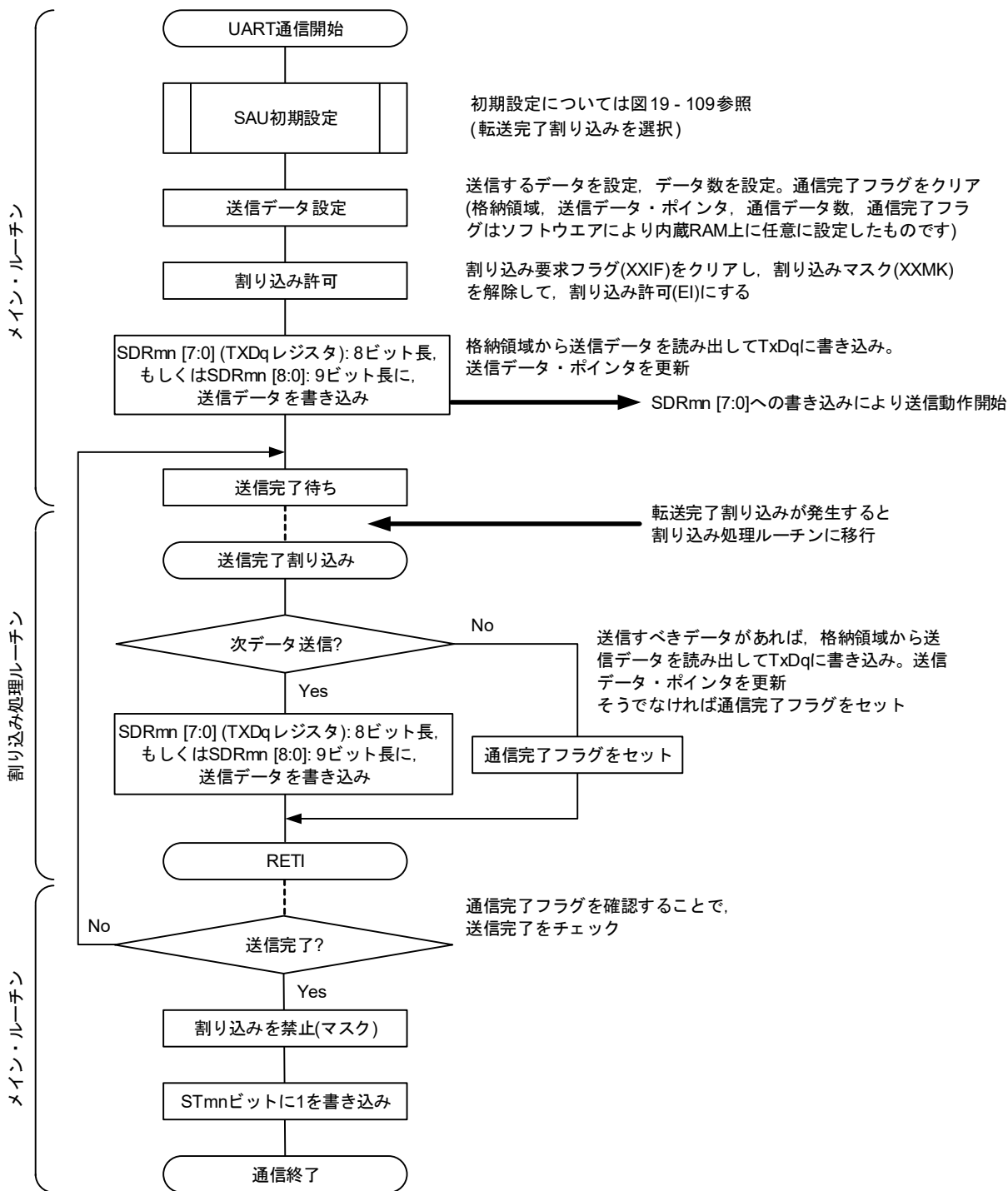
(3) 処理フロー (シングル送信モード時)

図 19 - 112 UART 送信 (シングル送信モード時) のタイミング・チャート



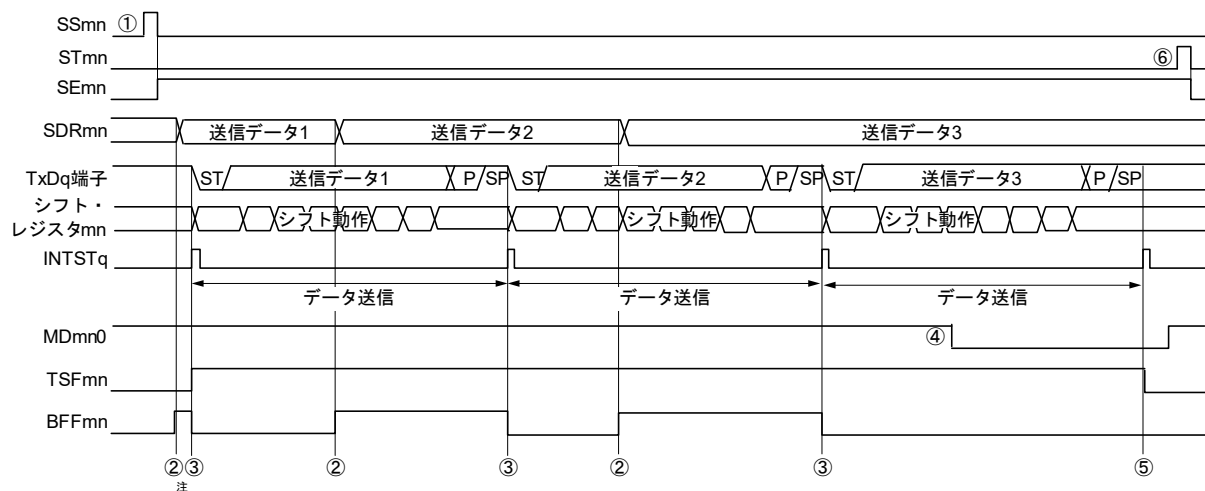
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-2)
 mn = 00, 02, 10

図 19 - 113 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 19 - 114 UART 送信 (連続送信モード時) のタイミング・チャート

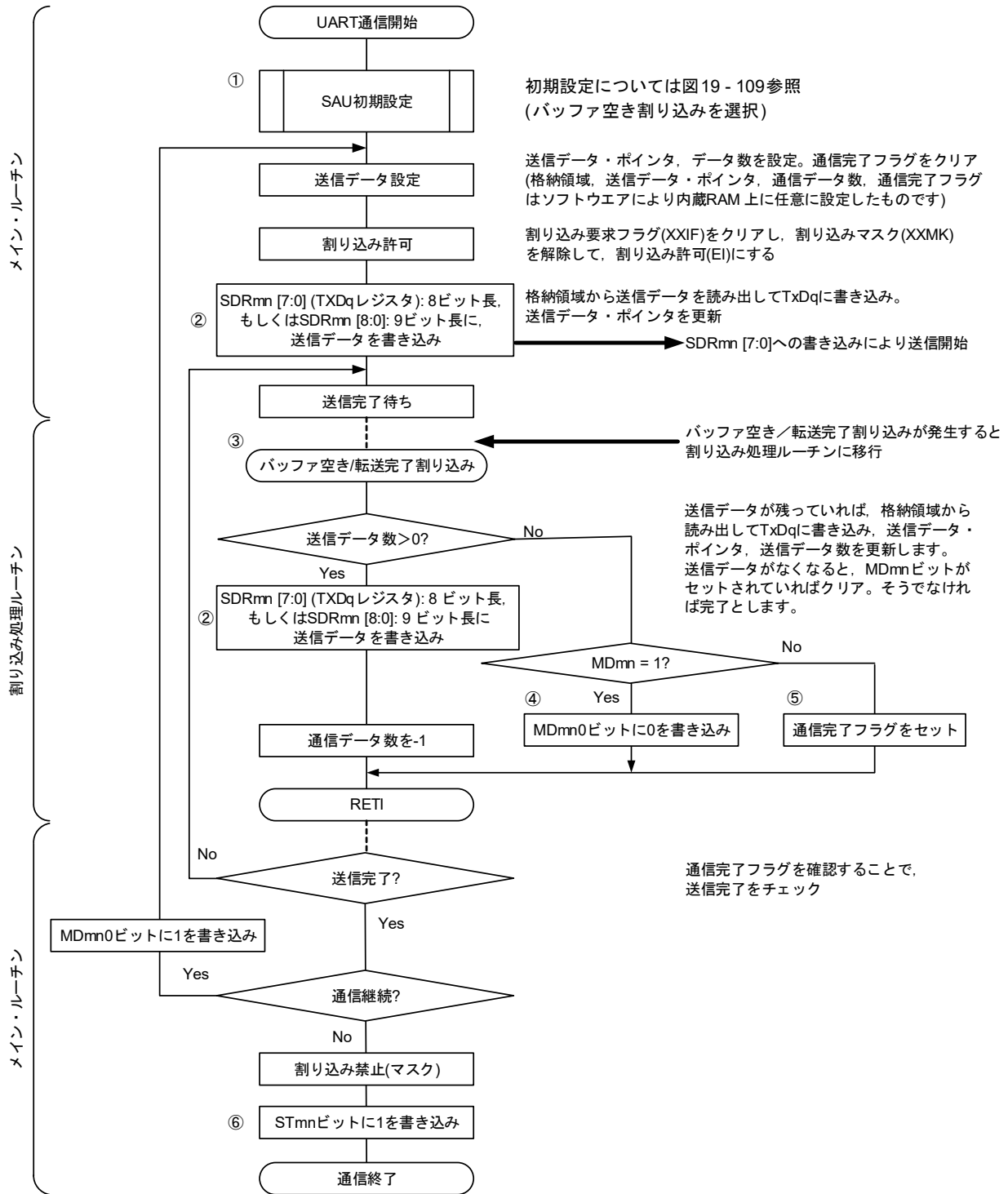


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに関に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-2)
mn = 00, 02, 10

図19 - 115 UART送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図19 - 114 UART送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

19.7.2 UART 受信

UART 受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART 受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FEFmn) • パリティ・エラー検出フラグ(PEFmn) • オーバラン・エラー検出フラグ(OVFmn) 		
転送データ長	7ビットまたは8ビットまたは9ビット注 ¹		
転送レート注 ²	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロー・レベル)		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし(パリティ・チェックなし) • 0パリティ・ビット付加(パリティ・チェックなし) • 偶数パリティ・チェック • 奇数パリティ・チェック 		
ストップ・ビット	1ビット付加		
データ方向	MSB ファーストまたはLSB ファースト		

注1. 9ビット・データ長は、UART0のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0, 1$) n : チャンネル番号($n = 1, 3$), $mn = 01, 03, 11$

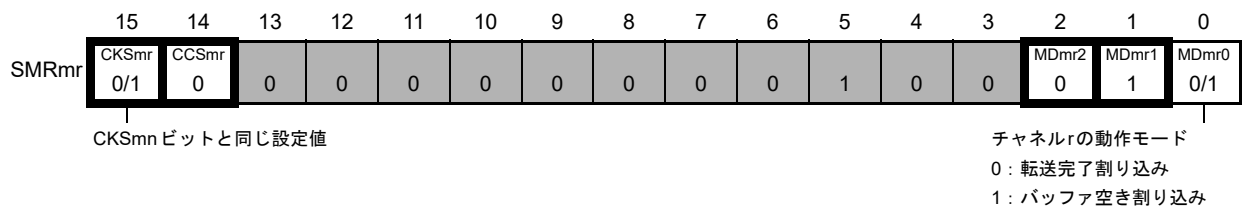
(1) レジスタ設定

図 19 - 116 UART (UART0-UART2)のUART受信時のレジスタ設定内容例(1/2)

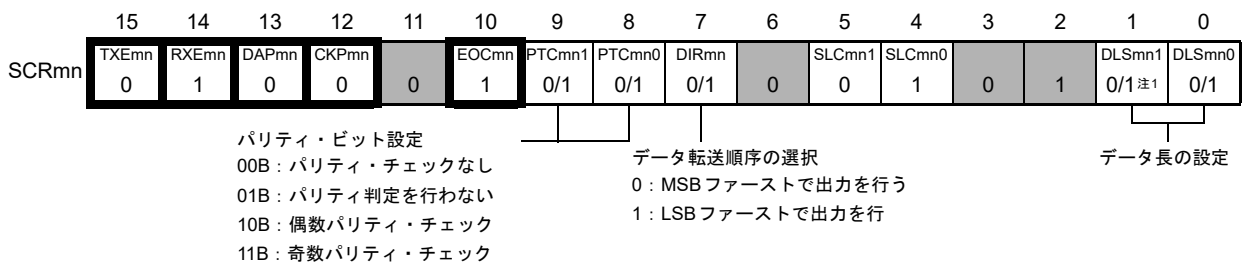
(a) シリアル・モード・レジスタ mn (SMRmn)



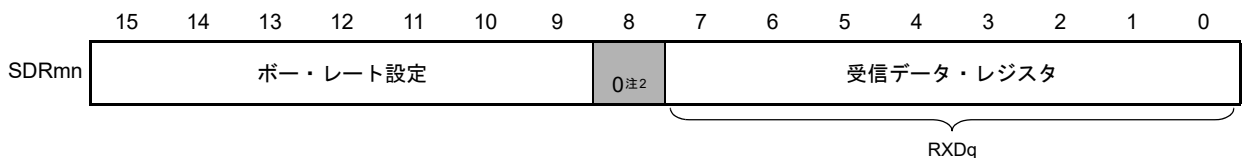
(b) シリアル・モード・レジスタ mr (SMRmr)



(c) シリアル通信動作設定レジスタ mn (SCRmn)



(d) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: RXDq)



注1. SCR01レジスタのみ。その他は1固定になります。
 注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が送信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、UART0のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ず設定してください。

備考1. m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 1, 3), mn = 01, 03, 11
 r: チャンネル番号(r = n - 1) q: UART番号(q = 0-2)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)
 ×: このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図19 - 117 UART (UART0-UART2)のUART受信時のレジスタ設定内容例(2/2)

(e)シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3	CKOm2	CKOm1	CKOm0	0	0	0	0	SOm3	SOm2	SOm1	SOm0
	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	x

(f)シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x

(g)シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x	0/1	x

備考1. m : ユニット番号 (m = 0, 1)

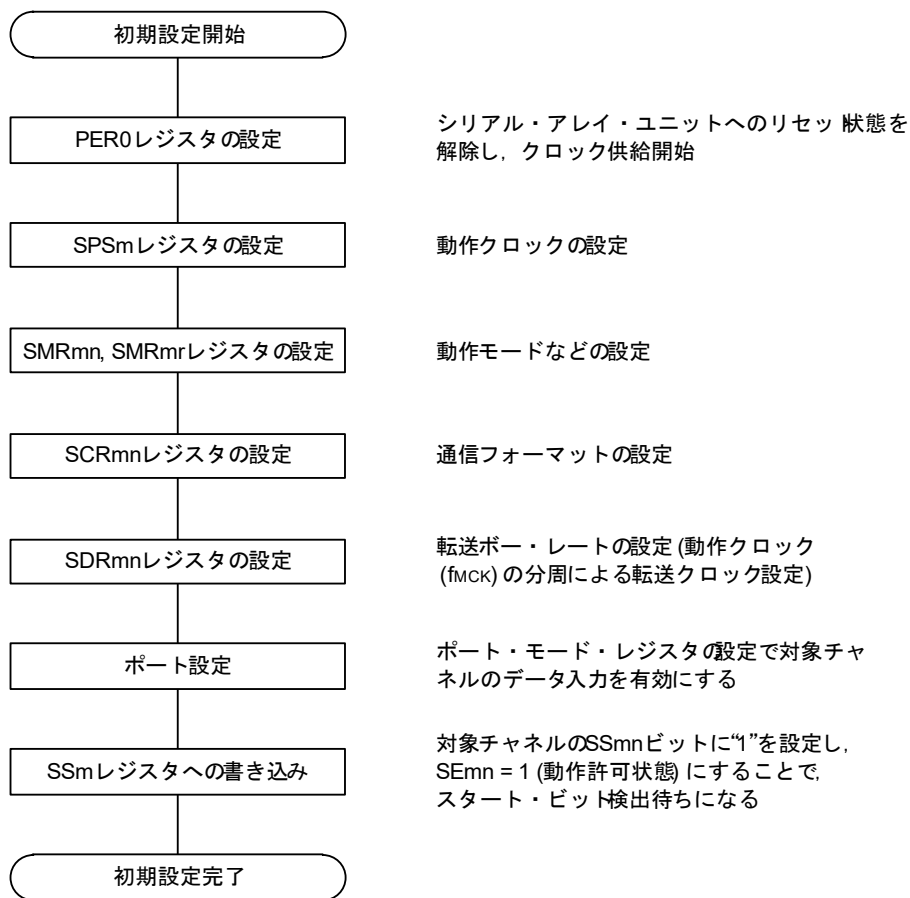
備考2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 118 UART 受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図 19 - 119 UART 受信の中断手順

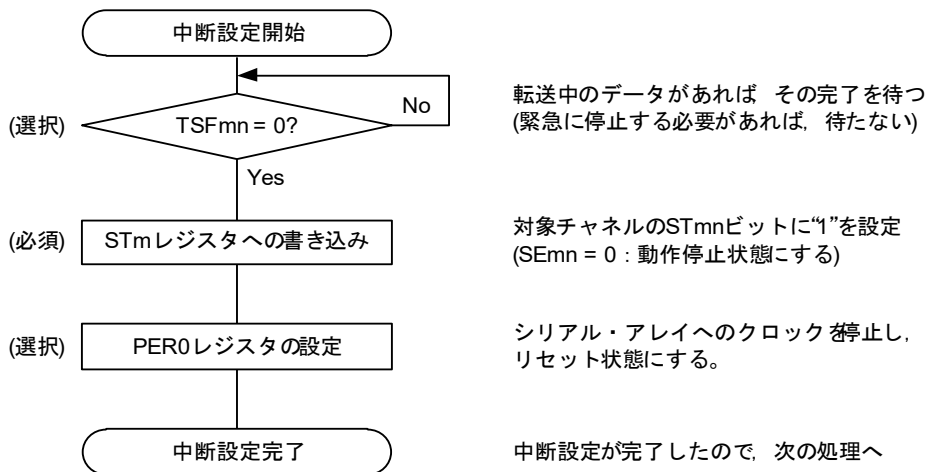
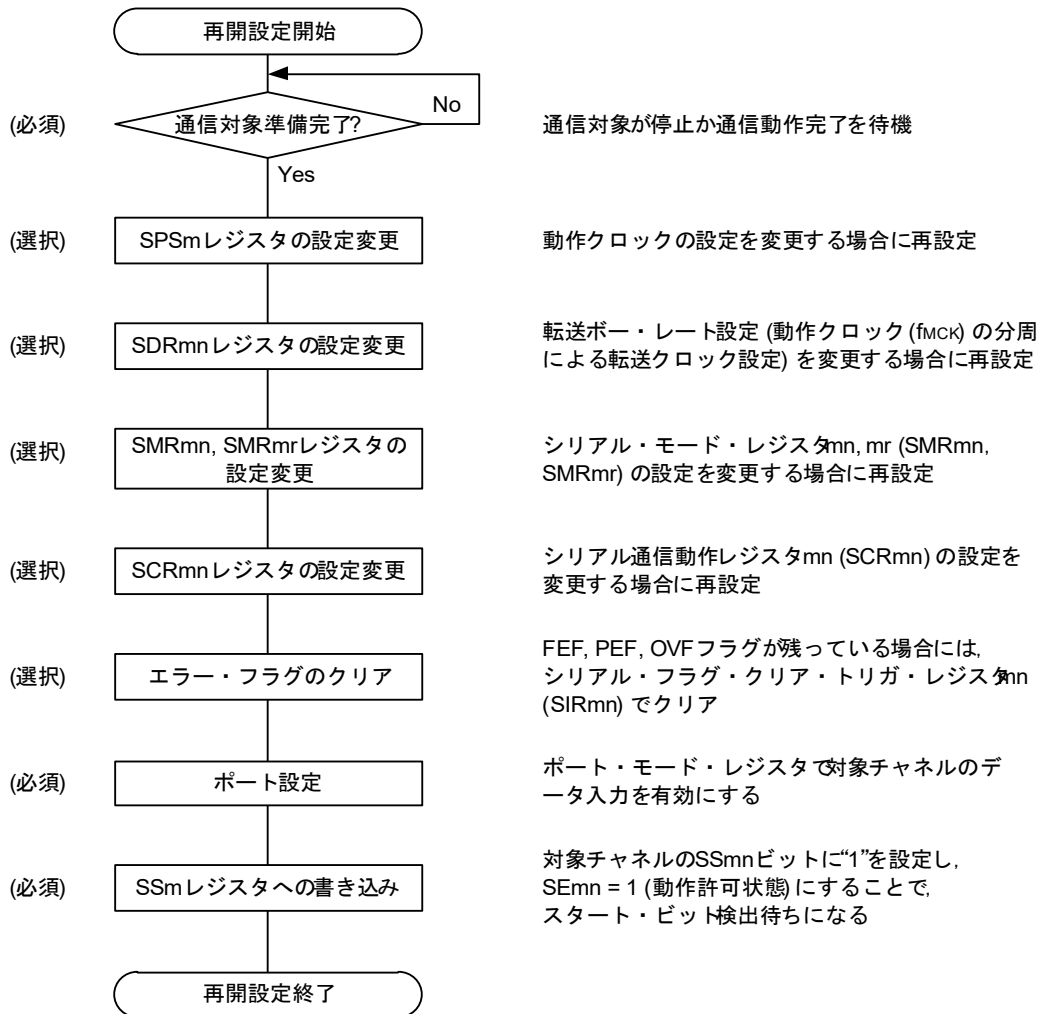


図19 - 120 UART受信の再開設定手順

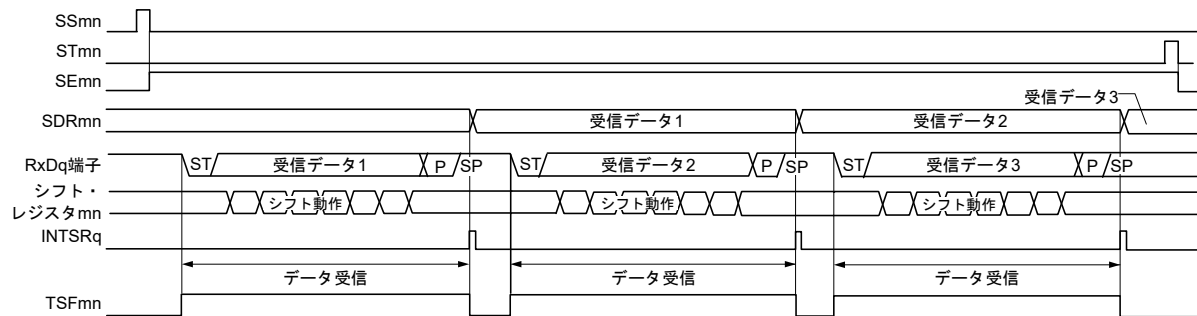


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

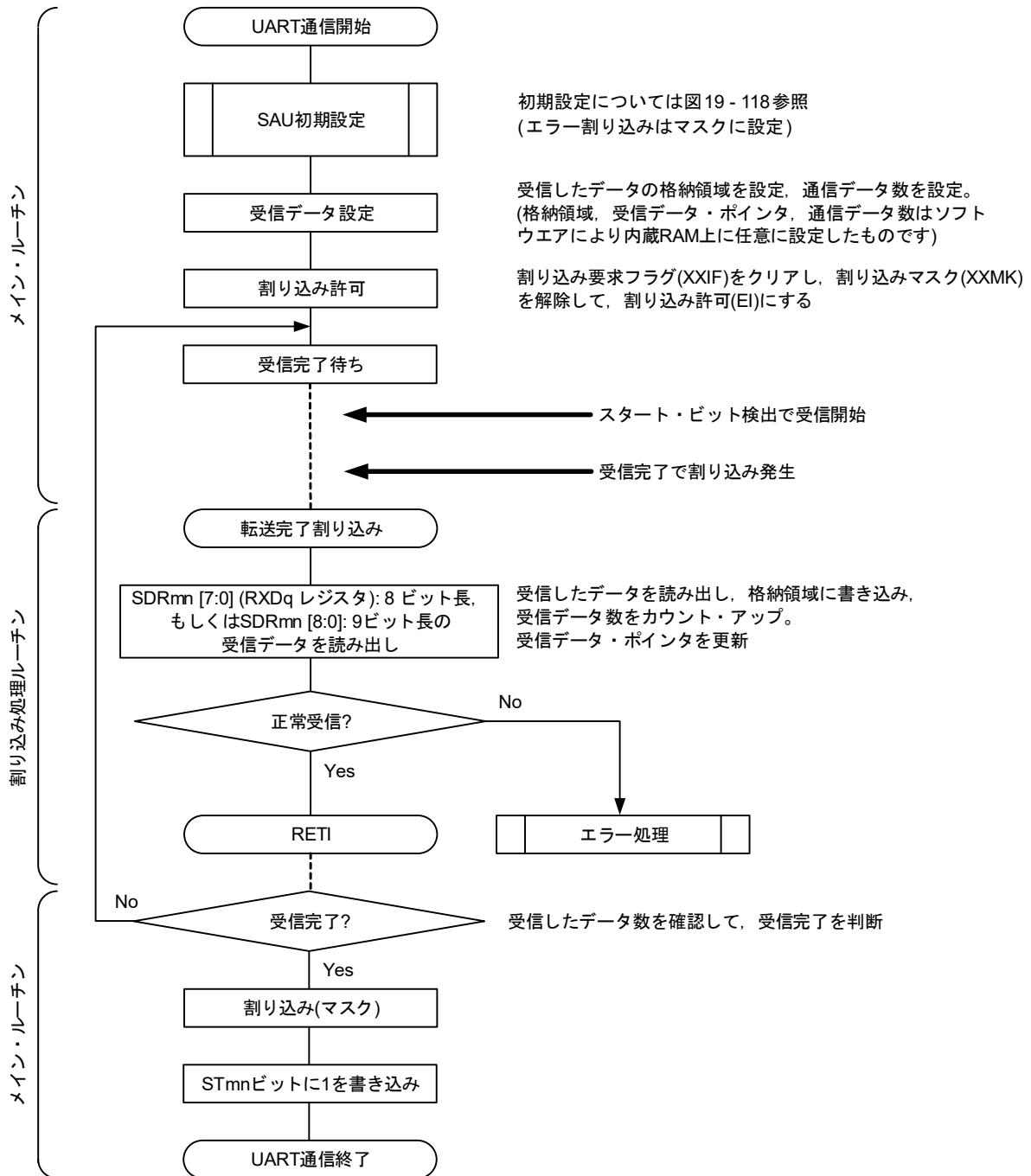
(3) 処理フロー

図19 - 121 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3), mn = 01, 03, 11
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0-2)

図19 - 122 UART受信のフロー・チャート



19.7.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4が0の時に、UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図19-125、図19-127 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ポー・レートの設定を通常動作時とは異なる値に変更する必要があります。表19-7を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm0ビットをセット(1)します。
- STOPモードに移行後、RxDqのエッジを検出(スタート・ビット入力)すると、UART受信を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合のみ使用できます。

注意2. SNOOZEモードでの転送レートは4800bpsのみです。

注意3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合

注意4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表 19 - 7 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (f _{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32 MHz ± 1.0%注	f _{CLK} /2 ⁵	105	2.27%	-1.53%
24 MHz ± 1.0%注	f _{CLK} /2 ⁵	79	1.60%	-2.18%
16 MHz ± 1.0%注	f _{CLK} /2 ⁴	105	2.27%	-1.53%
12 MHz ± 1.0%注	f _{CLK} /2 ⁴	79	1.60%	-2.19%
8 MHz ± 1.0%注	f _{CLK} /2 ³	105	2.27%	-1.53%
6 MHz ± 1.0%注	f _{CLK} /2 ³	79	1.60%	-2.19%
4 MHz ± 1.0%注	f _{CLK} /2 ²	105	2.27%	-1.53%
3 MHz ± 1.0%注	f _{CLK} /2 ²	79	1.60%	-2.19%
2 MHz ± 1.0%注	f _{CLK} /2	105	2.27%	-1.54%
1 MHz ± 1.0%注	f _{CLK}	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- f_{IH} ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- f_{IH} ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

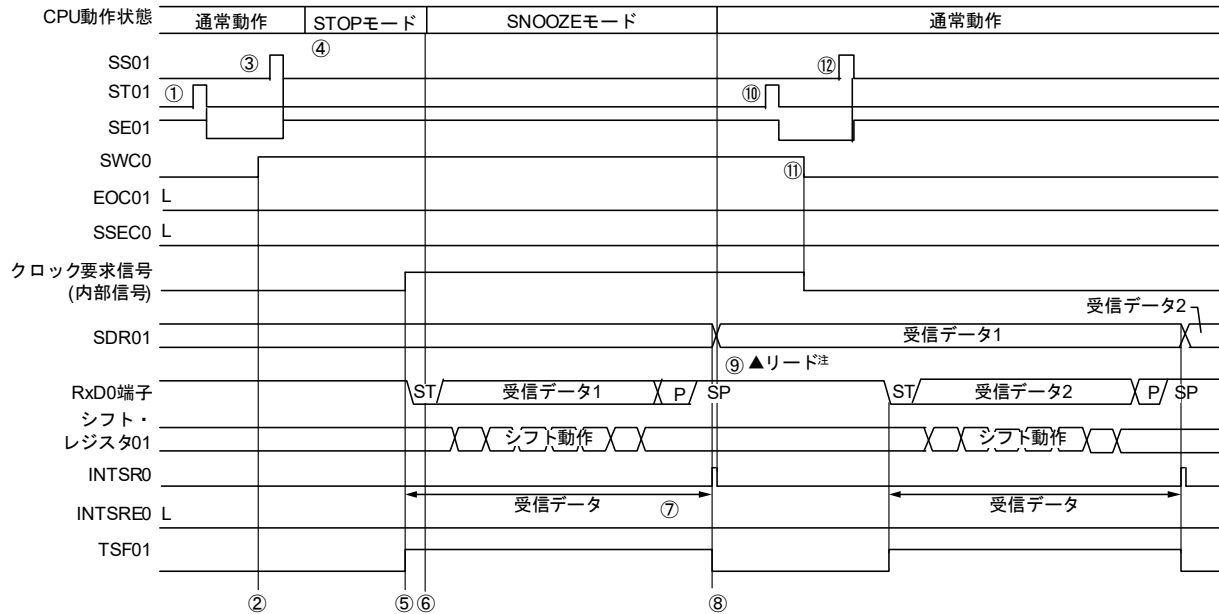
備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0 のため SSECm ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み(INTSREq)は発生しません。転送完了割り込み(INTSRq)は発生します。

図 19 - 123 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート



注 SWCm = 1 の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

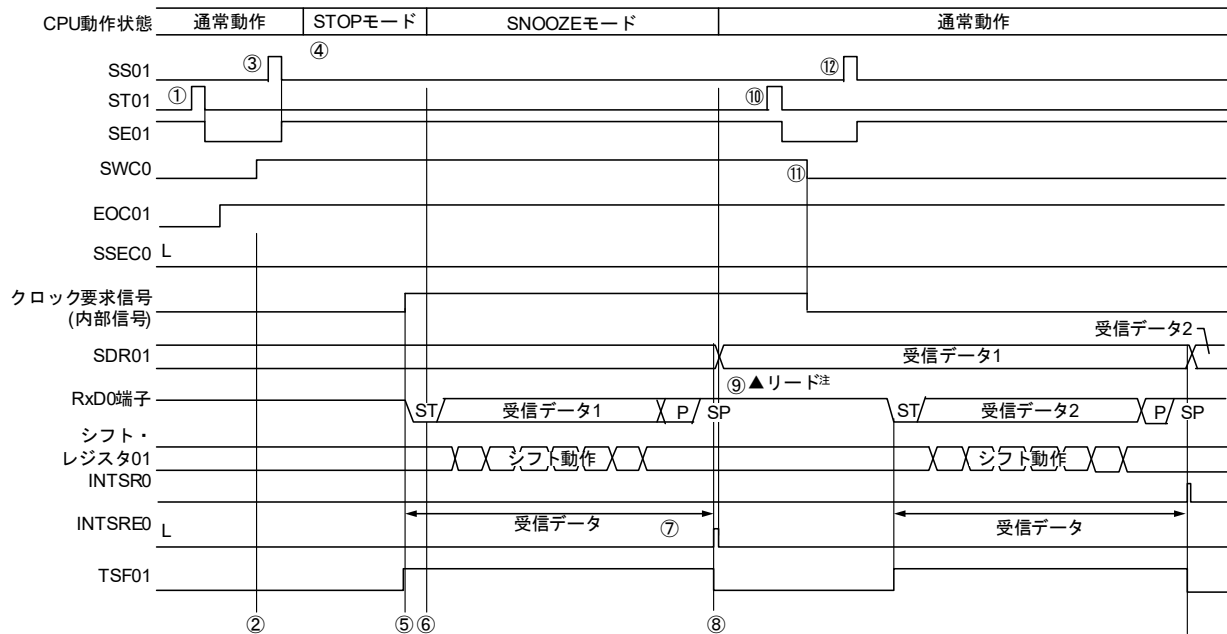
備考1. 図中の①～⑫は、図 19 - 125 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0; q = 0

(2) SNOOZEモード動作(EOCm1 = 1, SSECM = 0 : エラー割り込み(INTSREq)発生許可)

EOCm1 = 1, SSECM = 0のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生します。

図 19 - 124 SNOOZEモード動作(EOCm1 = 1, SSECM = 0)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

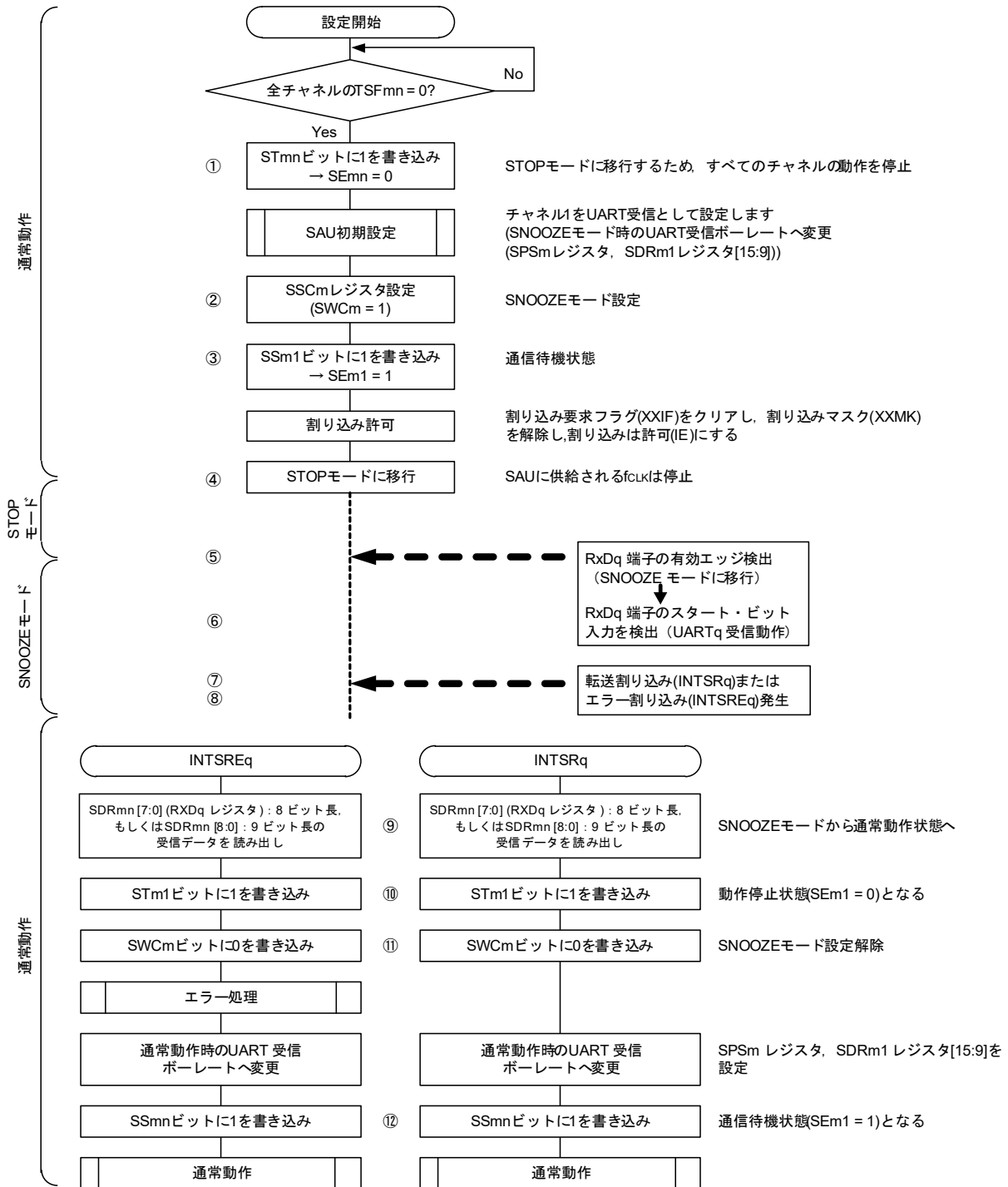
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①~⑫は、図 19 - 125 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0; q = 0

図 19 - 125 SNOOZEモード動作 (EOCm1 = 0, SSECM = 0/1 もしくは EOCm1 = 1, SSECM = 0) 時のフロー・チャート



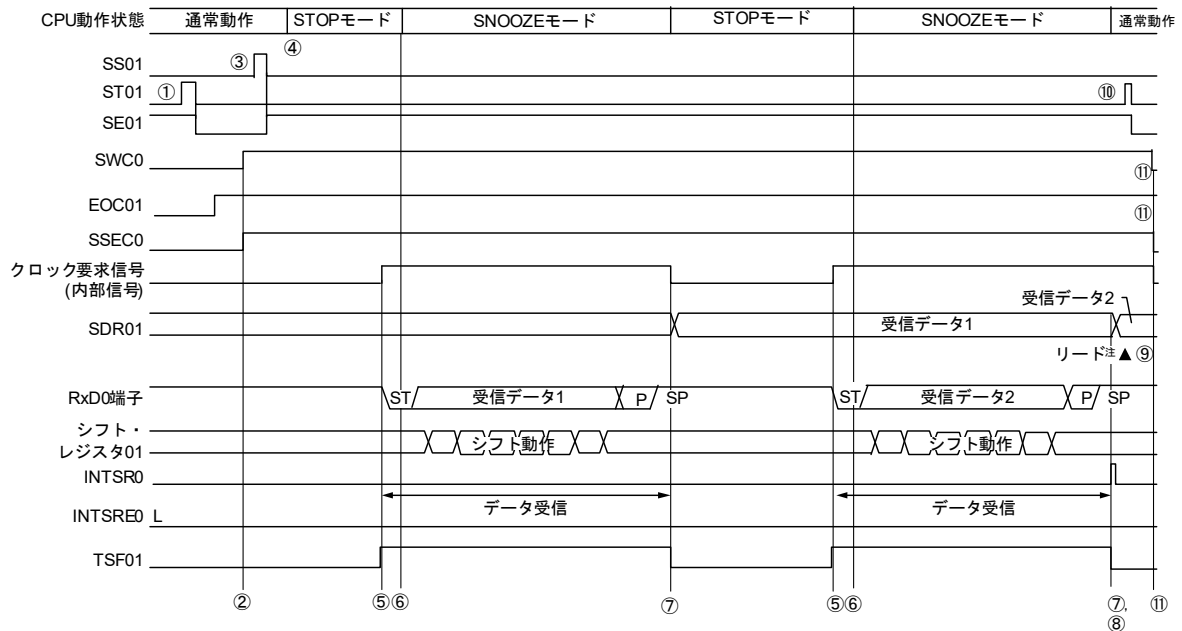
備考1. 図中の①~⑫は、図 19 - 123 SNOOZEモード動作 (EOCm1 = 0, SSECM = 0/1) 時のタイミング・チャート、図 19 - 124 SNOOZEモード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャートの①~⑫に対応しています。

備考2. m = 0; q = 0

(3) SNOOZEモード動作(EOCm1 = 1, SSECm = 1 : エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図 19 - 126 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

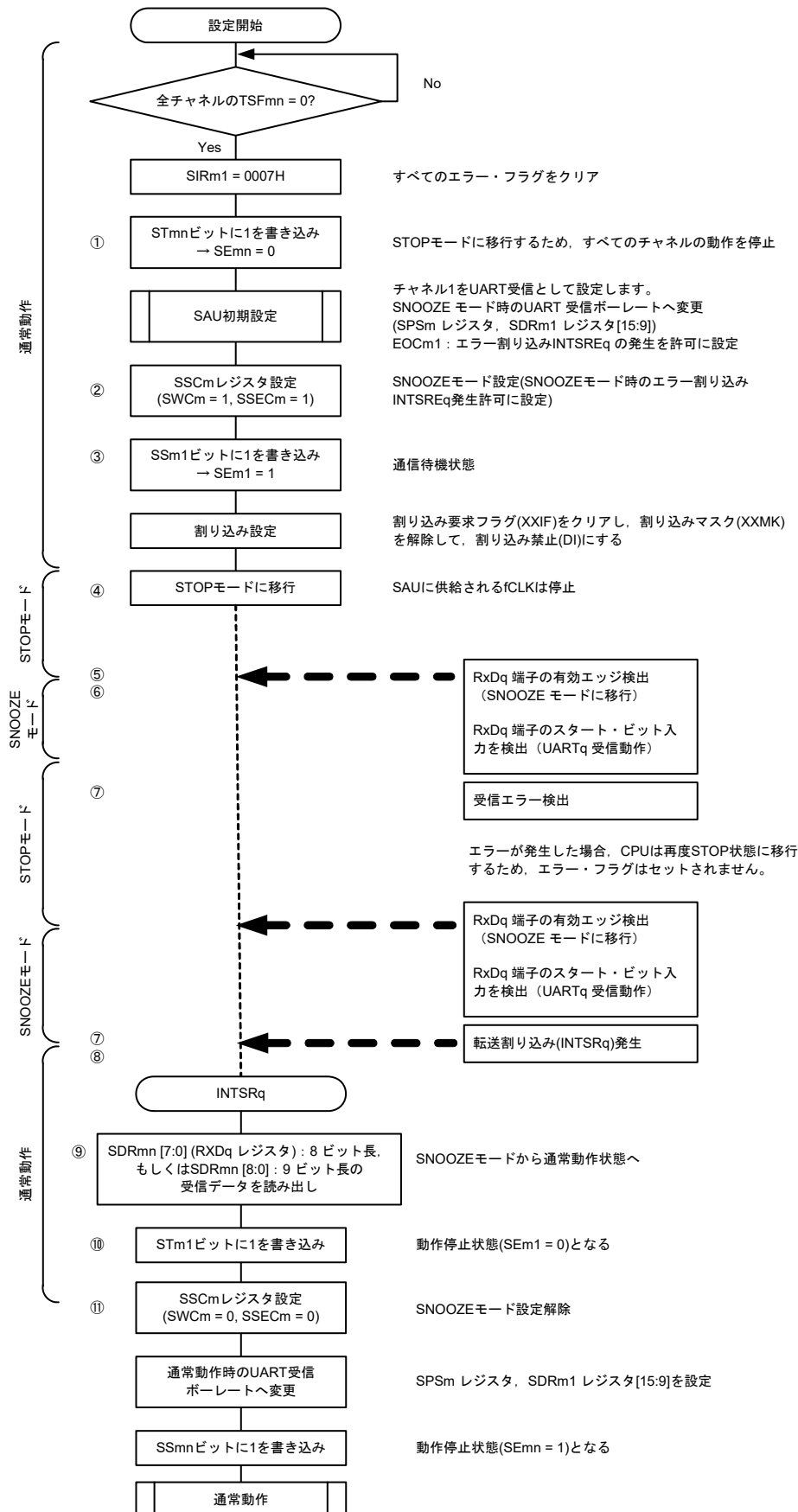
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーパラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①～⑪は、図 19 - 127 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0; q = 0

図 19 - 127 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFM1 フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1 [8:0] : 9 ビット長を読み出してください。

備考1. 図中の①~⑩は、図 19 - 126 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0, 1; q = 0, 2

19.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART2)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 19 - 8 UART 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時	
0		X	X	X	X	0	0	0	0	fCLK	32 MHz
		X	X	X	X	0	0	0	1	fCLK/2	16 MHz
		X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
		X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
		X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
		X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
		X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
		X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
		X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
		X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
		X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
		X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
		X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
		X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
		X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz	
1		0	0	0	0	X	X	X	X	fCLK	32 MHz
		0	0	0	1	X	X	X	X	fCLK/2	16 MHz
		0	0	1	0	X	X	X	X	fCLK/2 ²	8 MHz
		0	0	1	1	X	X	X	X	fCLK/2 ³	4 MHz
		0	1	0	0	X	X	X	X	fCLK/2 ⁴	2 MHz
		0	1	0	1	X	X	X	X	fCLK/2 ⁵	1 MHz
		0	1	1	0	X	X	X	X	fCLK/2 ⁶	500 kHz
		0	1	1	1	X	X	X	X	fCLK/2 ⁷	250 kHz
		1	0	0	0	X	X	X	X	fCLK/2 ⁸	125 kHz
		1	0	0	1	X	X	X	X	fCLK/2 ⁹	62.5 kHz
		1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	31.25 kHz
		1	0	1	1	X	X	X	X	fCLK/2 ¹¹	15.63 kHz
		1	1	0	0	X	X	X	X	fCLK/2 ¹²	7.81 kHz
		1	1	0	1	X	X	X	X	fCLK/2 ¹³	3.91 kHz
		1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.95 kHz
	1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	977 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART (UART0-UART2)通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 32 MHzの場合のUARTボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 32 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	103	300.48 bps	+0.16 %
600 bps	fCLK/2 ⁸	103	600.96 bps	+0.16 %
1200 bps	fCLK/2 ⁷	103	1201.92 bps	+0.16 %
2400 bps	fCLK/2 ⁶	103	2403.85 bps	+0.16 %
4800 bps	fCLK/2 ⁵	103	4807.69 bps	+0.16 %
9600 bps	fCLK/2 ⁴	103	9615.38 bps	+0.16 %
19200 bps	fCLK/2 ³	103	19230.8 bps	+0.16 %
31250 bps	fCLK/2 ³	63	31250.0 bps	±0.0 %
38400 bps	fCLK/2 ²	103	38461.5 bps	+0.16 %
76800 bps	fCLK/2	103	76923.1 bps	+0.16 %
153600 bps	fCLK	103	153846 bps	+0.16 %
312500 bps	fCLK	50	312500 bps	±0.39 %

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2), mn = 00, 02, 10

(3) 受信時のポー・レート許容範囲

UART (UART0-UART2) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$(\text{受信可能な最大ポー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ポー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値(19.7.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 1, 3), mn = 01, 03, 11

図19-128 受信時の許容ポー・レート範囲(1データ・フレーム長 = 11ビットの場合)

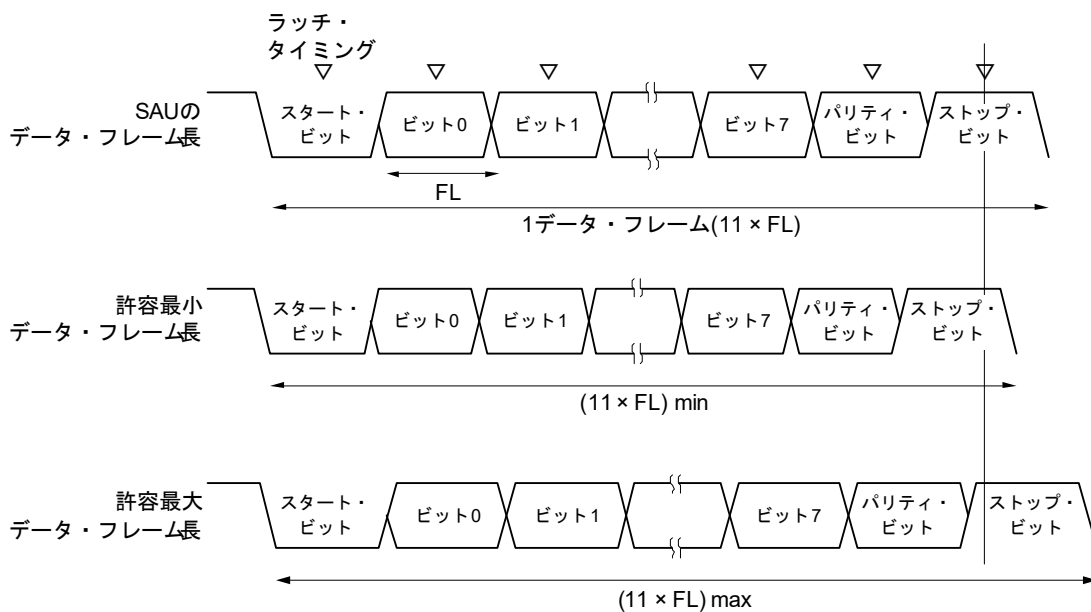


図19-128に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

19.7.5 UART (UART0-UART2)通信時におけるエラー発生時の処理手順

UART (UART0-UART2)通信時にエラーが発生した場合の処理手順を図19 - 129, 図19 - 130に示します。

図19 - 129 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図19 - 130 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“0”となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

19.8 LIN通信の動作

19.8.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—
使用端子	TxD0	—	—
割り込み	INTST0	—	—
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR00[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加		
データ方向	MSBファースト		

注 この条件を満たし、かつ電气的特性の周辺機能特性(第37章 または第38章 電气的特性を参照)を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

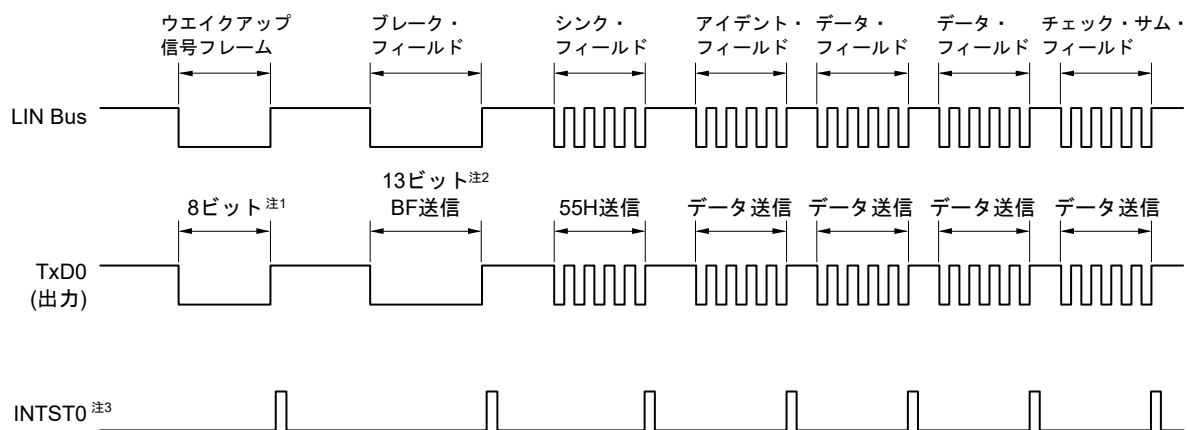
LINのマスタは通常、CAN (Controller Area Network)などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの Protokolでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作の概略を、図19-131に示します。

図19-131 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、ブレーク・フィールドで使用するポー・レートは次のようになります。

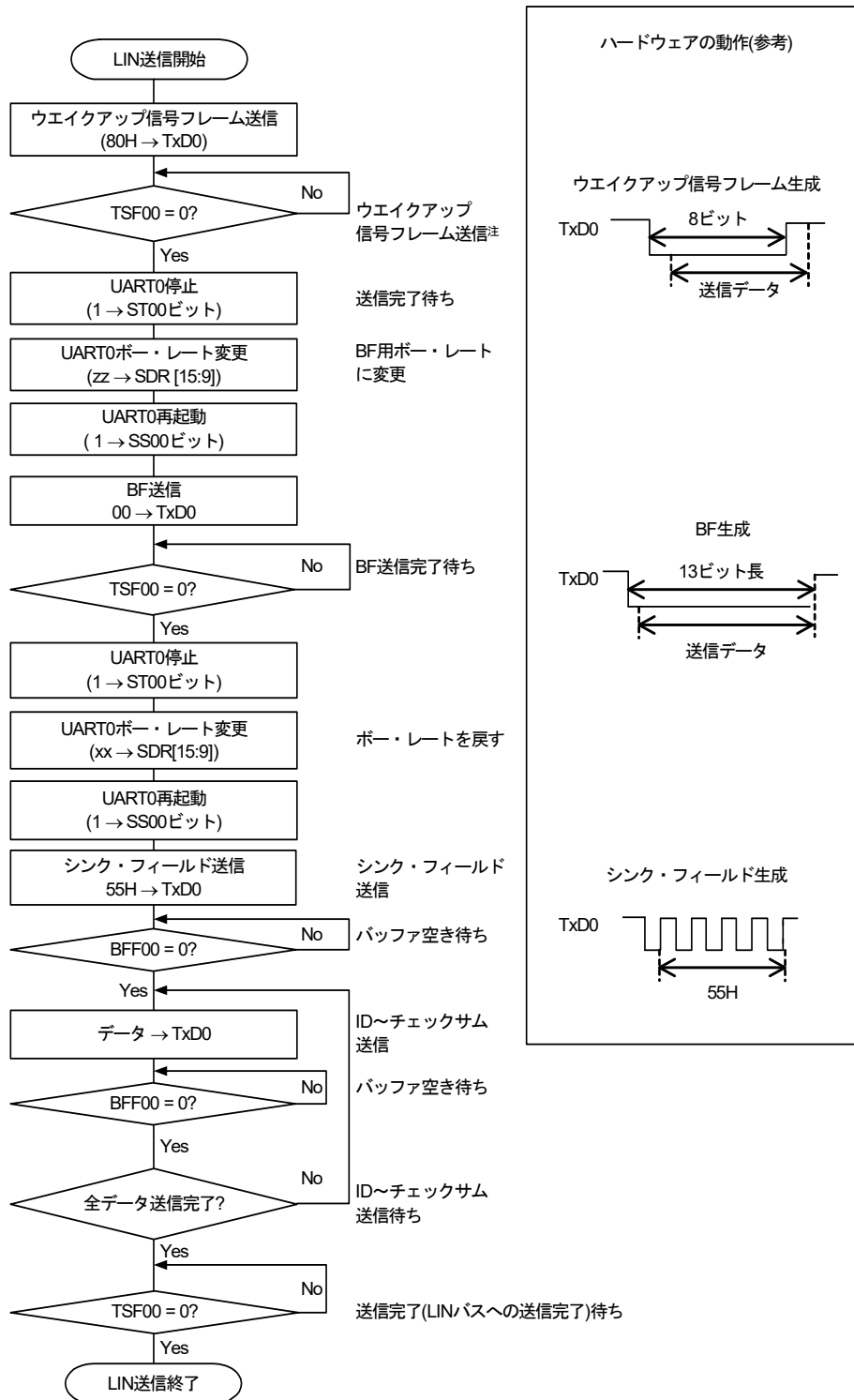
$$(\text{ブレーク・フィールド時のポー・レート}) = 9/13 \times N$$

このポー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図 19 - 132 LIN 送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ。

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

19.8.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット0のチャンネル1を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—
使用端子	RxD0	—	—
割り込み	INTSR0 転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	—	—
エラー割り込み	INTSRE0	—	—
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FEF01) • オーバラン・エラー検出フラグ(OVF01) 		
転送データ長	8ビット		
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR01[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロー・レベル)		
パリティ・ビット	パリティ・ビットなし(パリティ・チェックしない)		
ストップ・ビット	1ビット付加		
データ方向	LSBファースト		

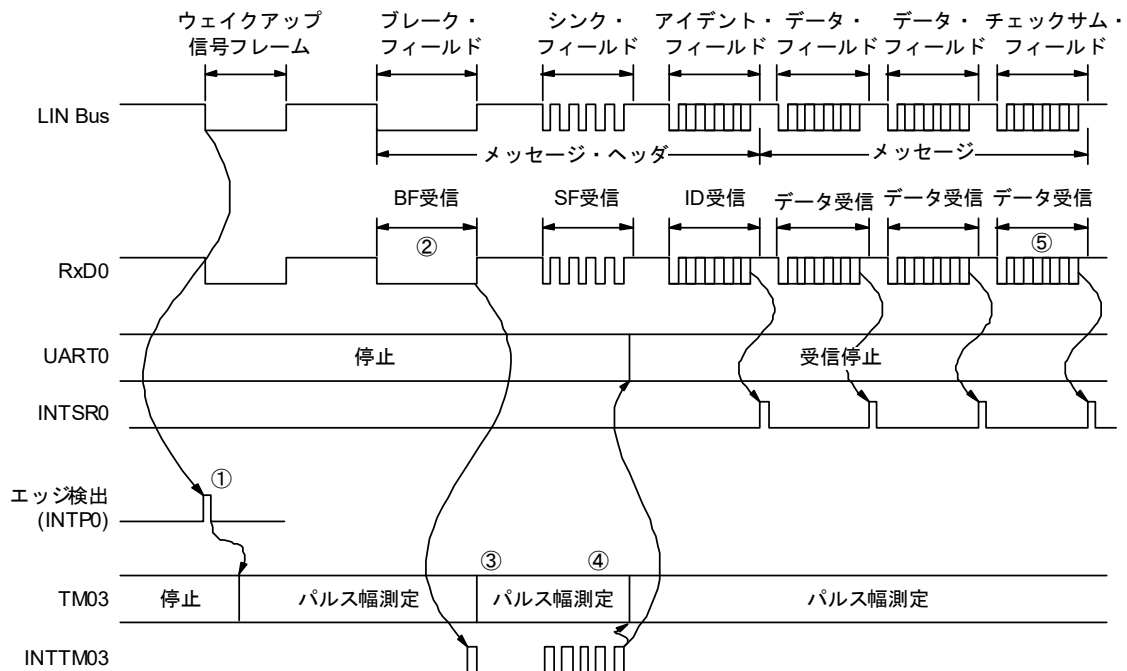
注 この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性を参照)を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINの受信操作の概略を、図19-133に示します。

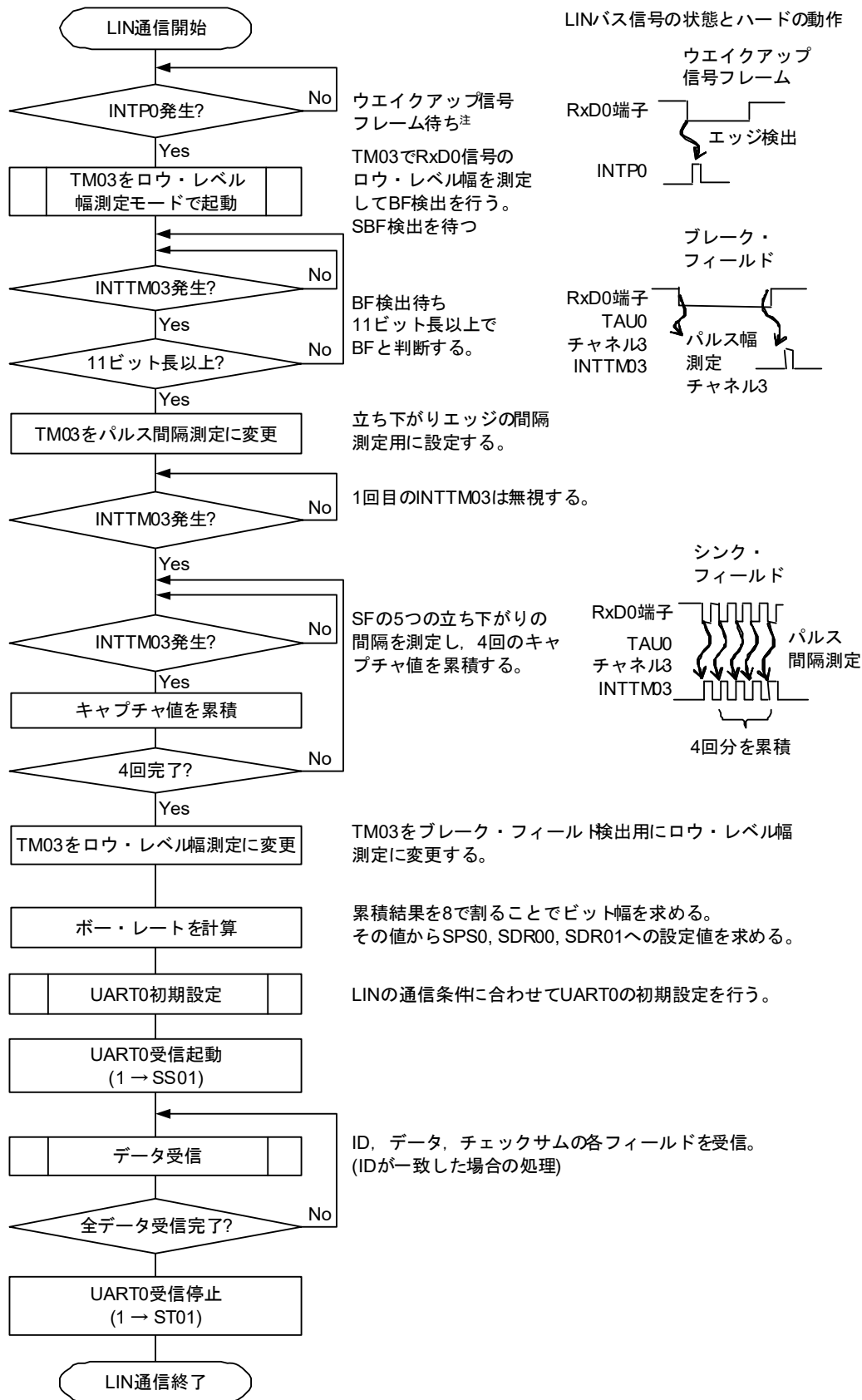
図19 - 133 LINの受信操作



受信処理の流れを次に示します。

- ①ウエイクアップ信号の検出は、端子の割り込みエッジ検出(INTP0)で行います。ウエイクアップ信号を検出したら、TM03をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ②BFの立ち下がりを検出したら、TM03はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③BF受信を正常終了した場合、TM03をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がり間隔を4回測定してください(6.8.4 入力パルス間隔測定としての動作を参照)。
- ④シンク・フィールド(SF)のビット間隔からボー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからボー・レートを調整(再設定)してください。
- ⑤チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図19 - 134 LIN受信のフロー・チャート



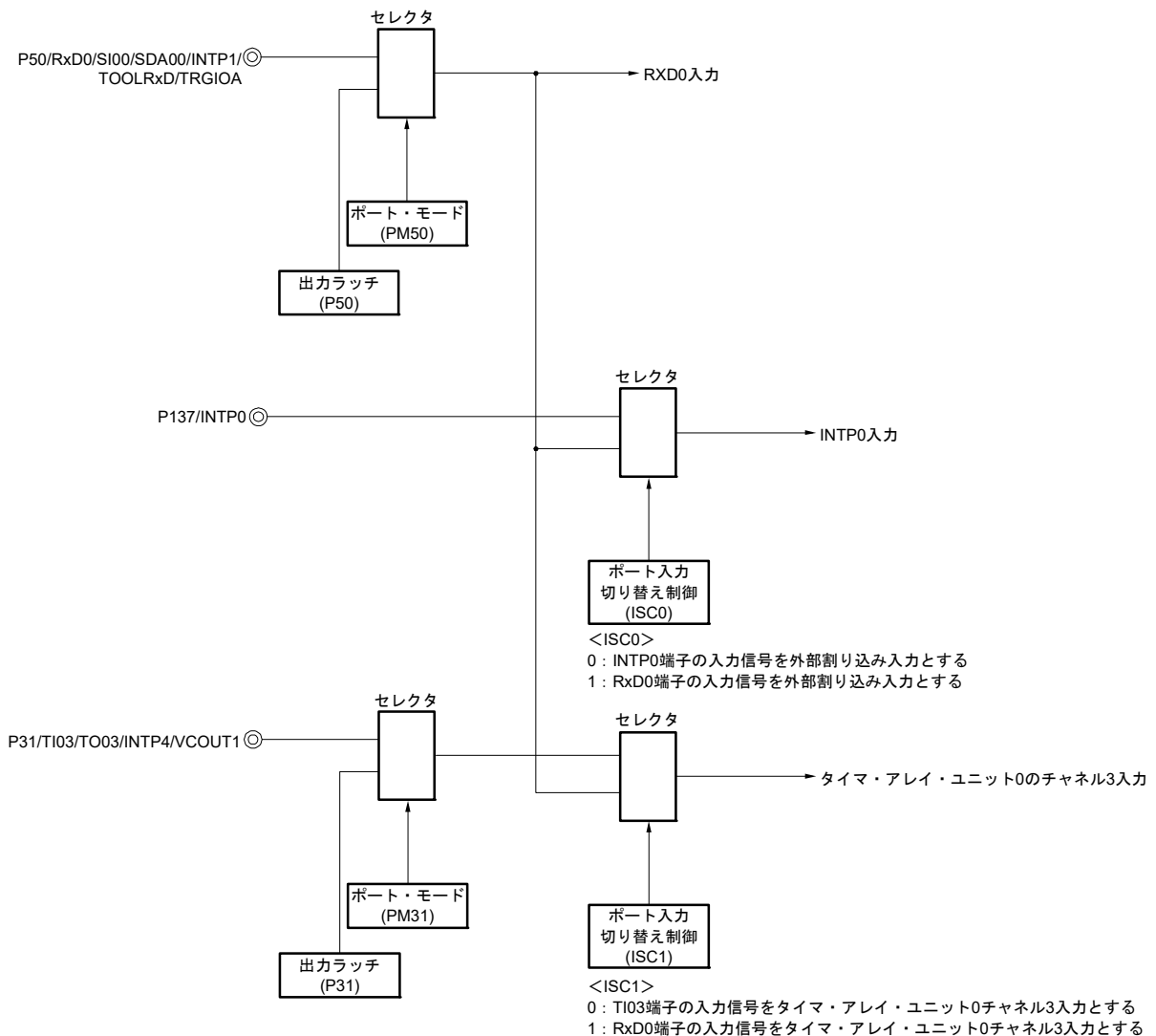
注 スリープ状態でのみ必要となります。

図19 - 135はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部で結線をせずに、受信用ポート入力(RxD0)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニットへ入力することができます。

図19 - 135 LINの受信操作のポート構成図



備考 ISC0, ISC1: 入力切り替え制御レジスタ (ISC) のビット0, 1 (図19 - 24参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み(INTP0)；ウエイクアップ信号検出
用途：ウエイクアップ信号のエッジを検出し、通信開始を検出
- タイマ・アレイ・ユニットのチャンネル3；ボー・レート誤差検出、ブレーク・フィールド(BF)検出
用途：シンク・フィールド(SF)の長さを検出し、ビット数で割ることでボー・レート誤差を検出
(RxD0入力エッジの間隔をキャプチャ・モードで測定)
ロウ・レベル幅を測定し、ブレーク・フィールド(BF)かを判定
- シリアル・アレイ・ユニット0 (SAU0)のチャンネル0, 1 (UART0)

19.9 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- マルチ・マスタ機能(アービトレーション負け検出機能)
- ウェイト検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、19.9.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0-3), mn = 00-03, 10, 11

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)に対応しているチャンネルは, SAU0のチャンネル0-3とSAU1のチャンネル0-3です。

○24, 32, 36ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)の通信動作は, 以下の4種類があります。

- アドレス・フィールド送信(19.9.1項を参照)
- データ送信(19.9.2項を参照)
- データ受信(19.9.3項を参照)
- ストップ・コンディション発生(19.9.4項を参照)

19.9.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)					
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)					
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)					
転送レート注2	Max.f _{MCK} /4 [Hz] (SDR _{mn} [15:9] = 1以上) f _{MCK} : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 					
データ・レベル	非反転出力(デフォルト: ハイ・レベル)					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加(ACK受信タイミング用)					
データ方向	MSBファースト					

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧(24~48ピン製品の場合)/EV_{DD}耐圧(64ピン製品の場合))モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧(24~48ピン製品の場合)/EV_{DD}耐圧(64ピン製品の場合))モードを設定してください(POMxx = 1)。

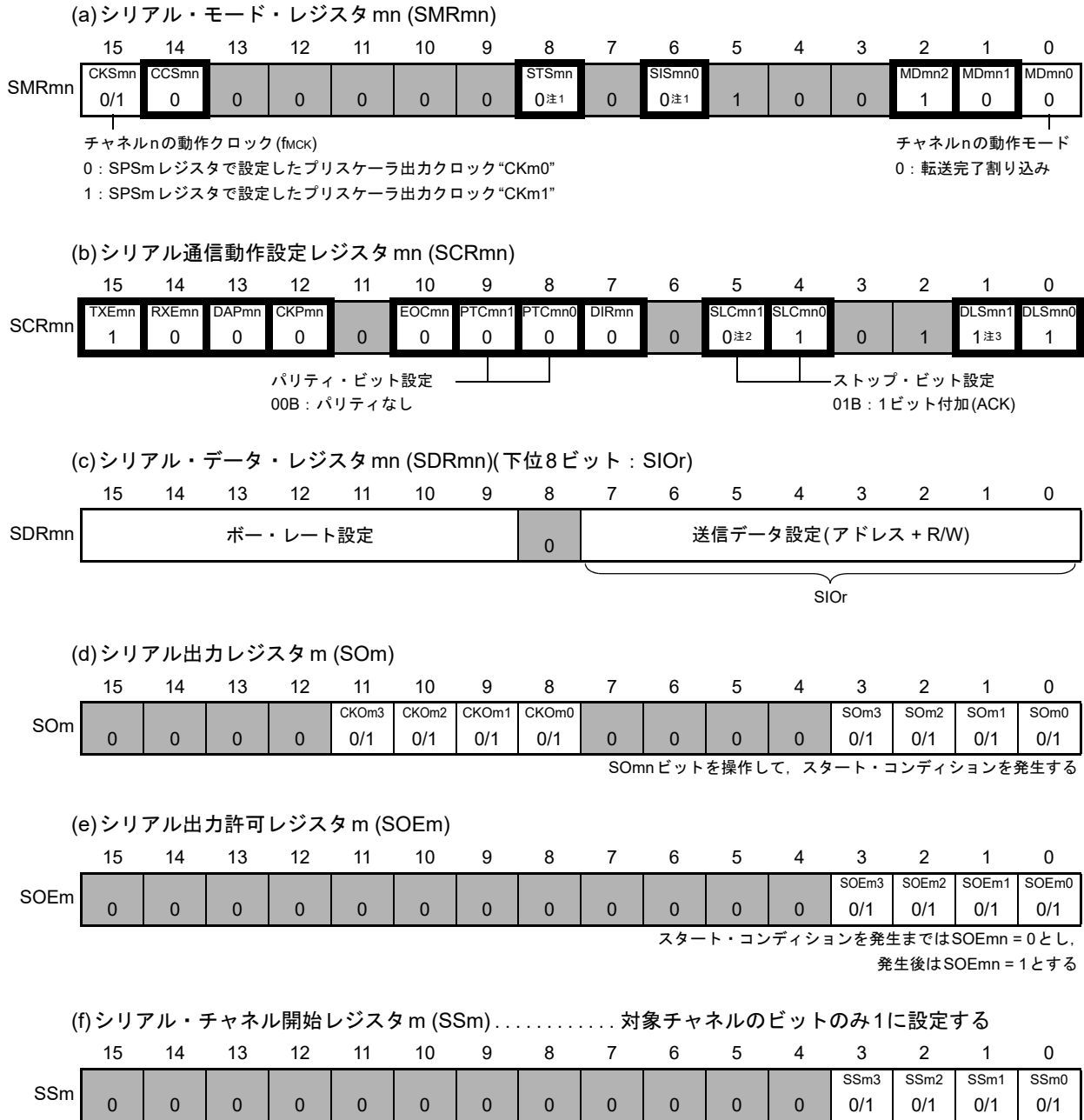
詳細は、4.4.5 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

(1) レジスタ設定

図19 - 136 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)のアドレス・フィールド送信時のレジスタ設定内容例



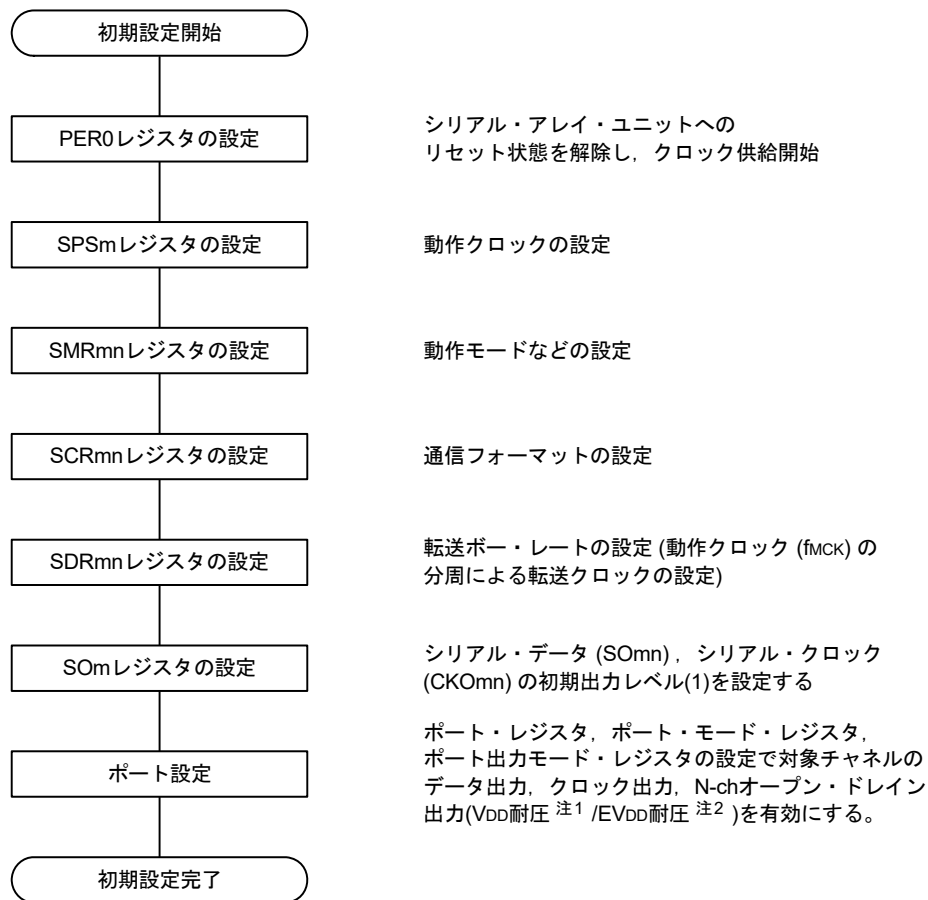
- 注1. SMR00, SMR03, SMR11レジスタのみ。
- 注2. SCR00, SCR02, SCR10レジスタのみ。
- 注3. SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 137 アドレス・フィールド送信の初期設定手順



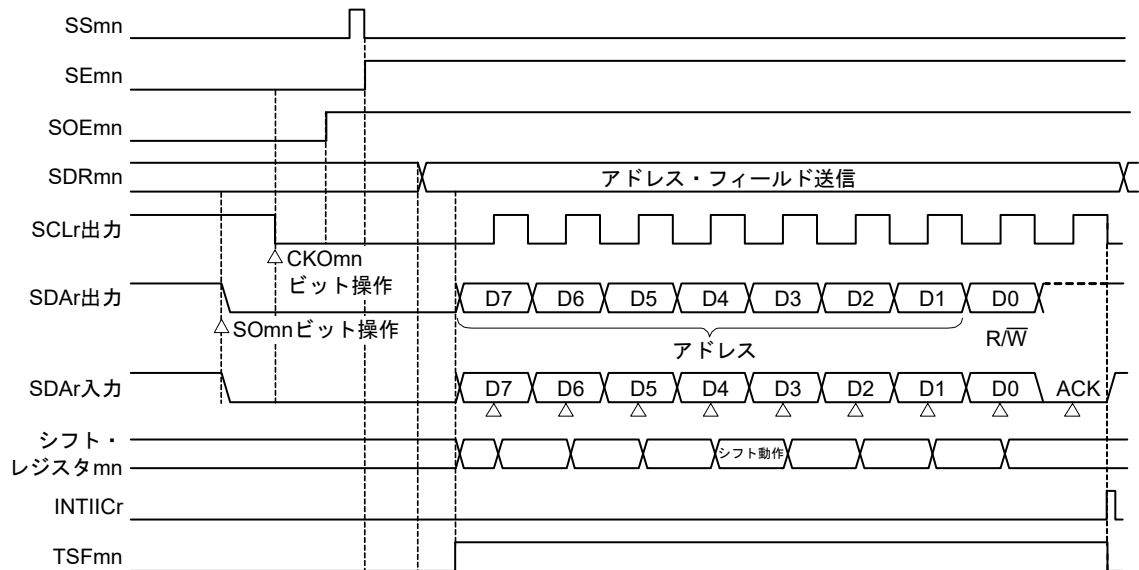
注1. 24～48ピン製品の場合

注2. 64ピン製品の場合

備考 初期設定完了時点では、簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)は出力禁止、動作停止状態としておきます。

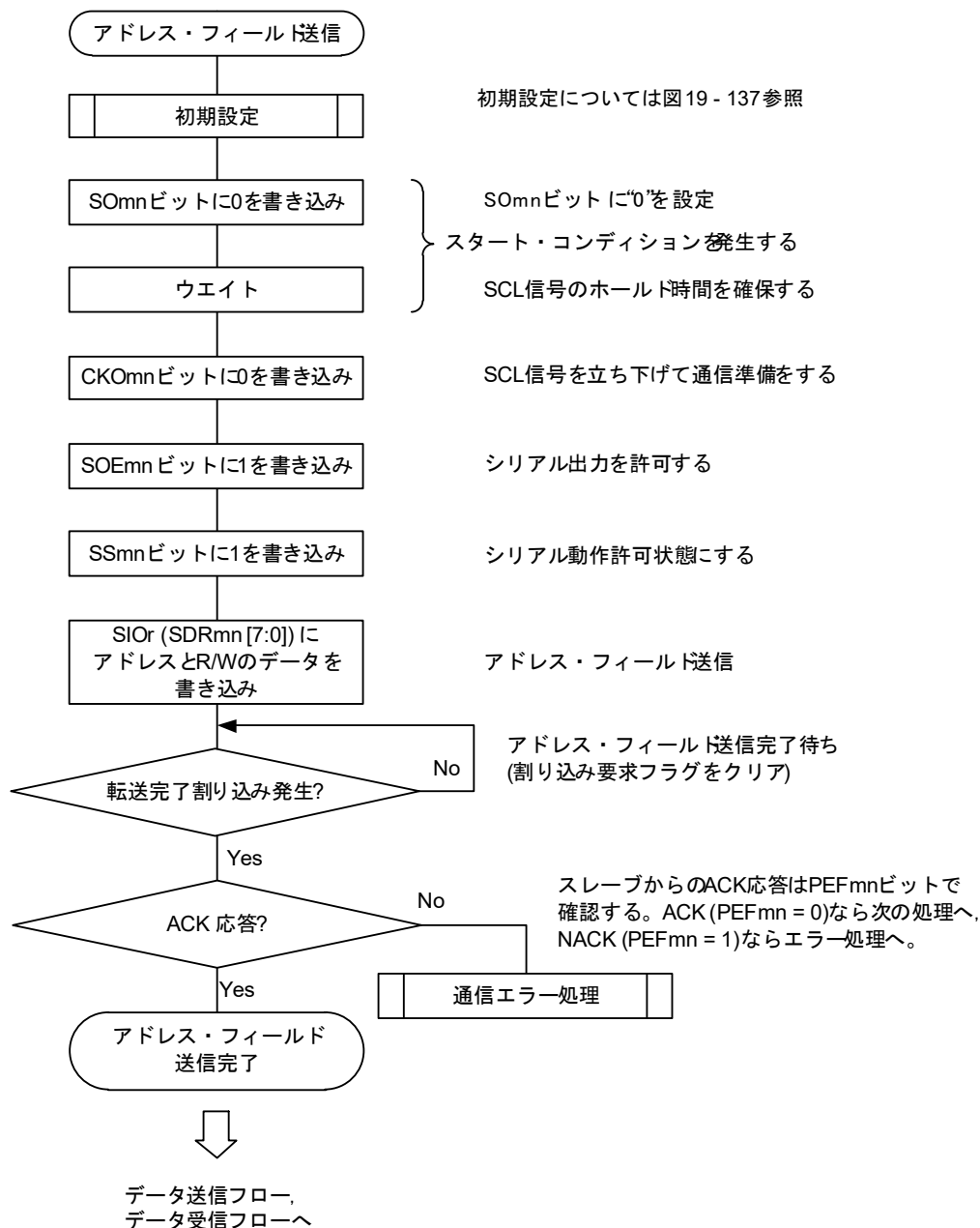
(3) 処理フロー

図19 - 138 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19 - 139 アドレス・フィールド送信のフロー・チャート



19.9.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)					
エラー検出フラグ	ACKエラー・フラグ(PEFmn)					
転送データ長	8ビット					
転送レート注2	Max.fmck/4 [Hz] (SDRmn[15:9] = 1 以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 					
データ・レベル	非反転出力(デフォルト:ハイ・レベル)					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加(ACK受信タイミング用)					
データ方向	MSBファースト					

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧(24~48ピン製品の場合)/EV_{DD}耐圧(64ピン製品の場合))モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧(24~48ピン製品の場合)/EV_{DD}耐圧(64ピン製品の場合))モードを設定してください(POMxx = 1)。

詳細は、4.4.5 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

(1) レジスタ設定

図 19 - 140 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLsmn1	DLsmn0
	1	0	0	0	0	0	0	0	0	0	0注2	1	0	1	1注3	1

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIO_r)

..... データ送受信中は下位8ビット(SIO_r)のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定注4								0	送信データ設定							
	SIO _r																

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5

(e) シリアル出力許可レジスタ m (SOEm)..... データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

(f) シリアル・チャンネル開始レジスタ m (SSm)..... データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11 レジスタのみ。

注2. SCR00, SCR02, SCR10 レジスタのみ。

注3. SCR00, SCR01 レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) r : IIC番号(r = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

備考2. : IICモードでは設定固定 : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図19-141 データ送信のタイミング・チャート

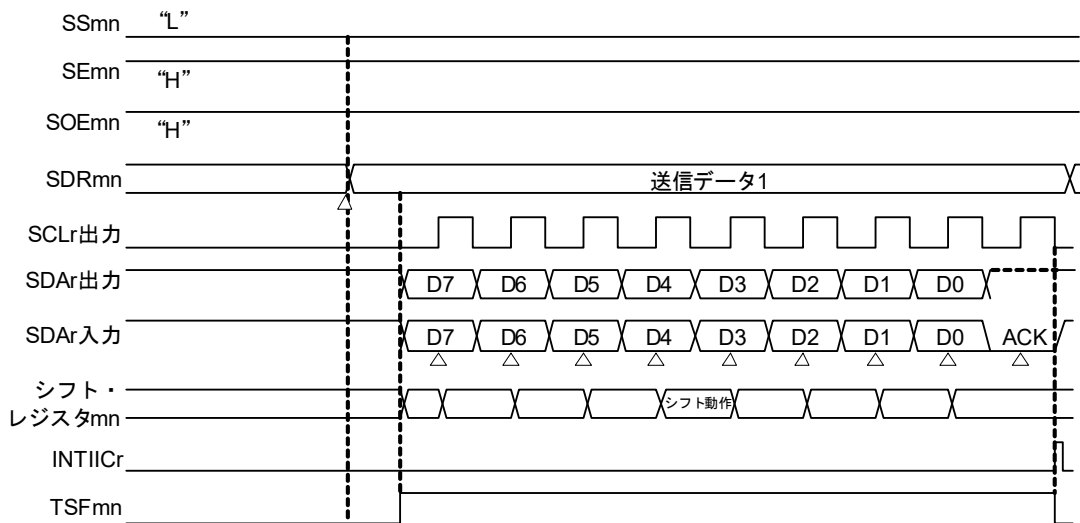
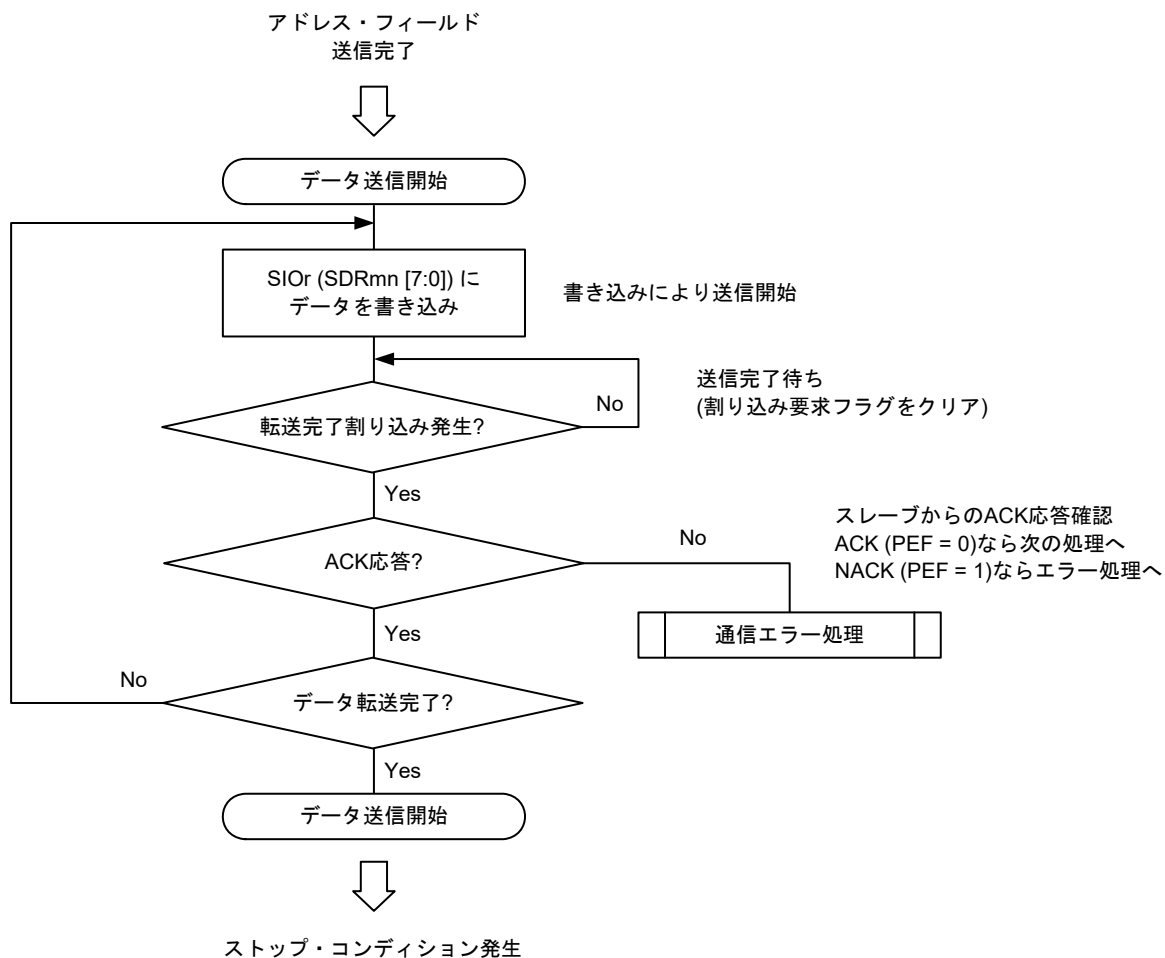


図19-142 データ送信のフロー・チャート



19.9.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)					
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ					
転送データ長	8ビット					
転送レート注2	Max.fmck/4 [Hz] (SDRmn[15:9] = 1 以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 					
データ・レベル	非反転出力(デフォルト: ハイ・レベル)					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加(ACK送信)					
データ方向	MSBファースト					

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧(24~48ピン製品の場合)/EV_{DD}耐圧(64ピン製品の場合))モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧(24~48ピン製品の場合)/EV_{DD}耐圧(64ピン製品の場合))モードを設定してください(POMxx = 1)。

詳細は、4.4.5 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第37章 または第38章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

(1) レジスタ設定

図 19 - 143 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0注2	1	0	1	1注3	1

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定注4								0	ダミー送信データ設定 (FFH)							
	SIO _r																

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11 レジスタのみ。

注2. SCR00, SCR02, SCR10 レジスタのみ。

注3. SCR00, SCR01 レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

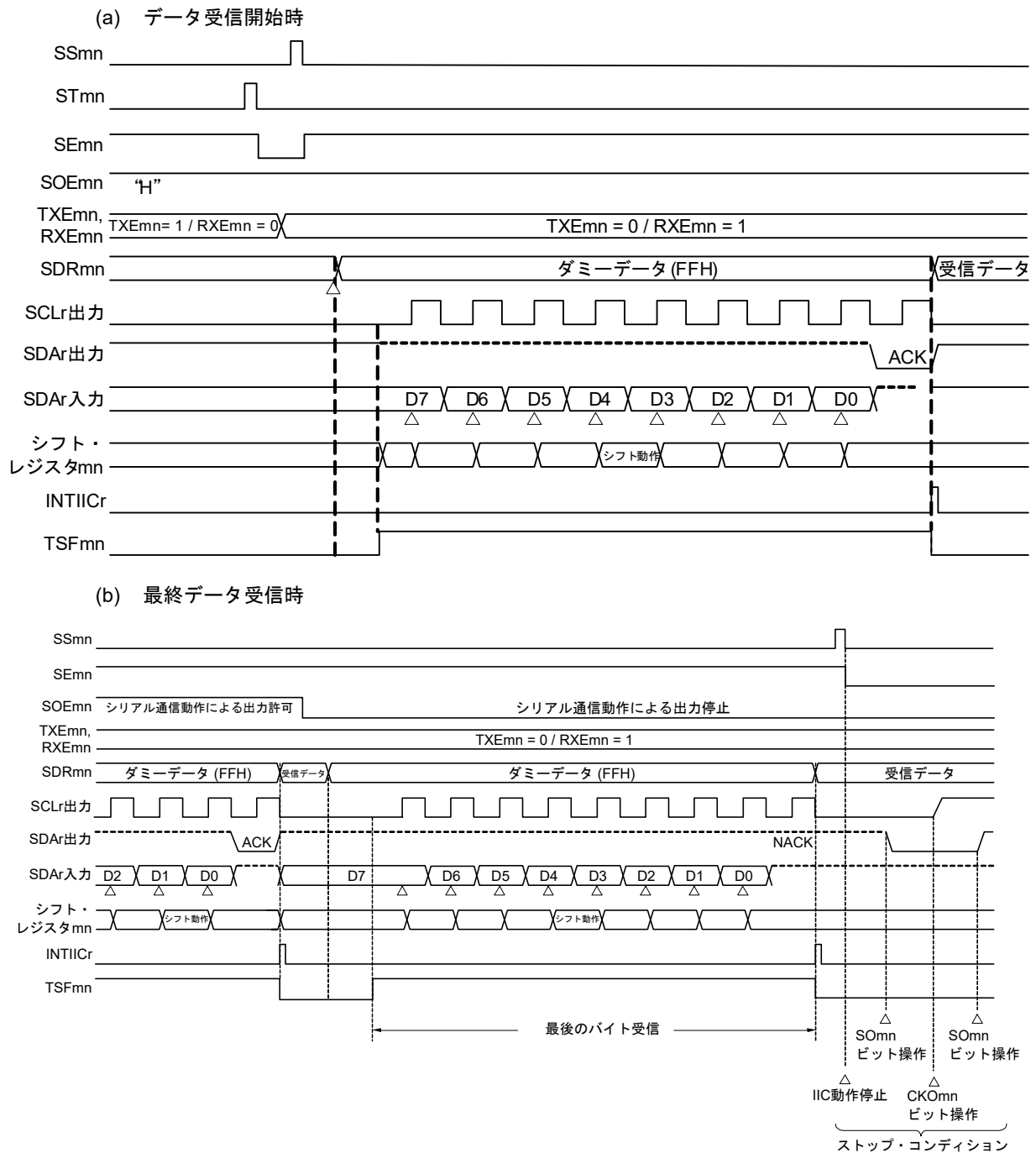
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

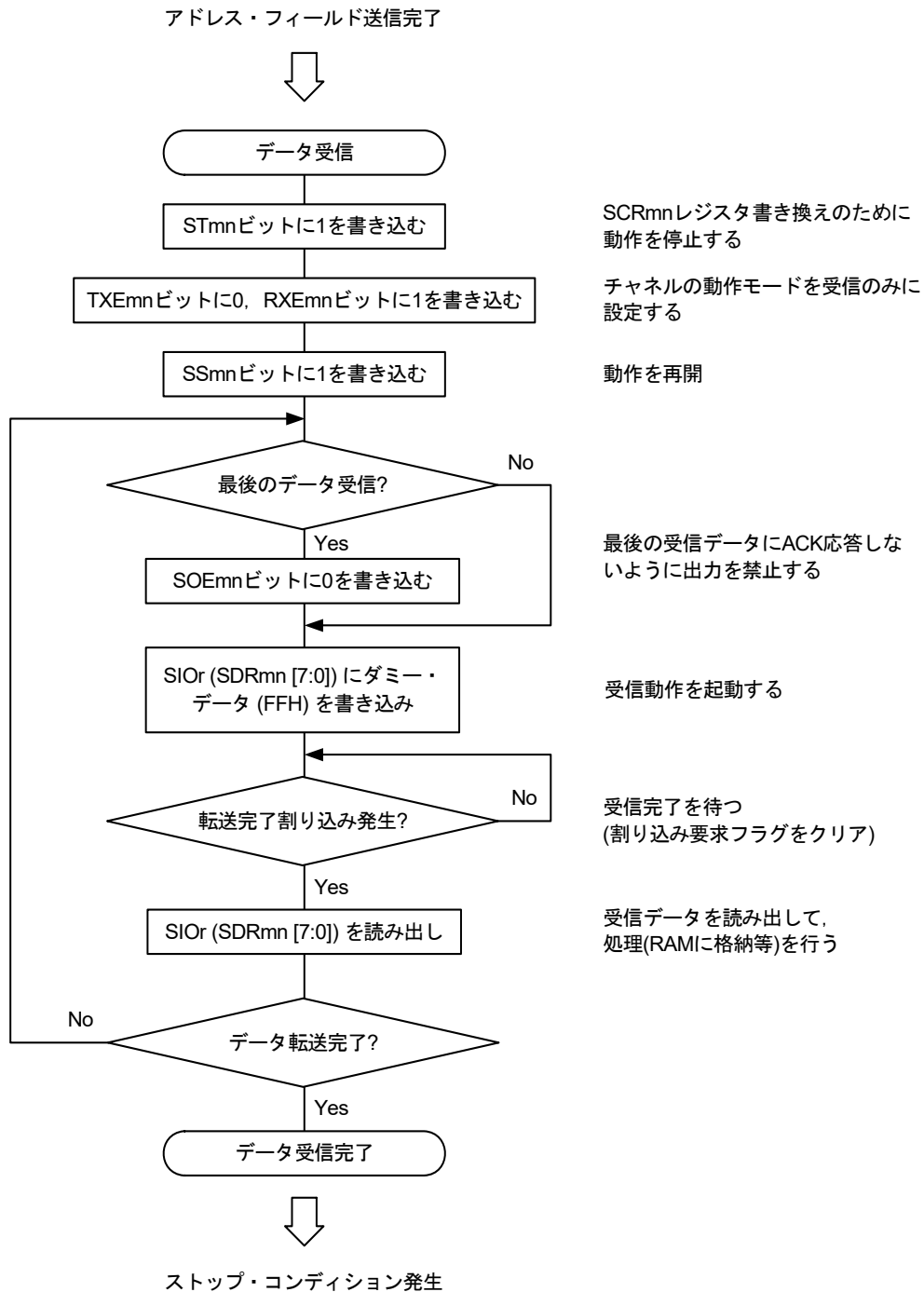
(2) 処理フロー

図19-144 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図19-145 データ受信のフロー・チャート



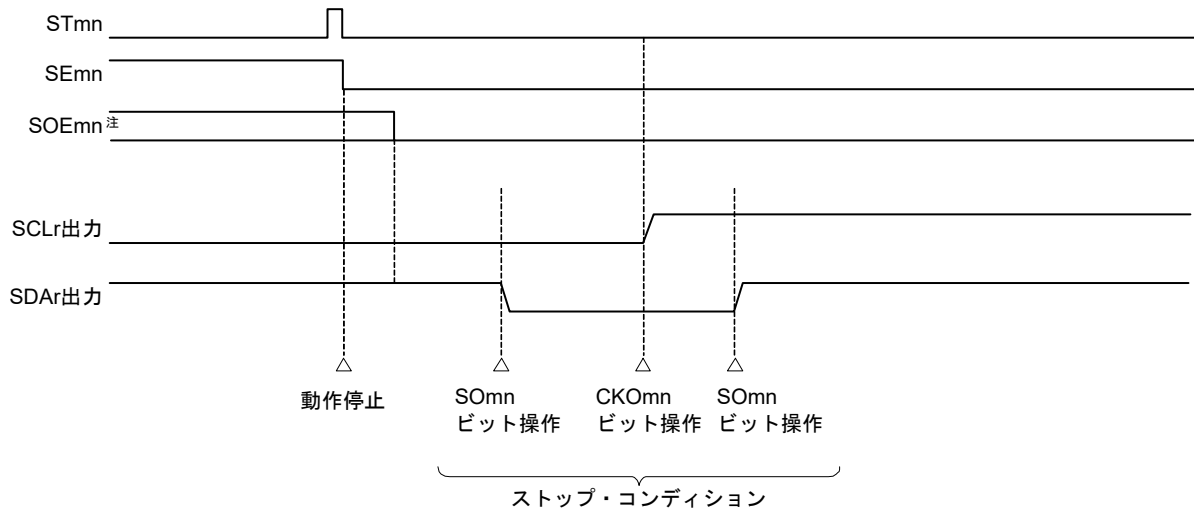
注意 最終データの受信時はACKを出しません(NACK)。その後、シリアル・チャンネル停止レジスタ m (STm)のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

19.9.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

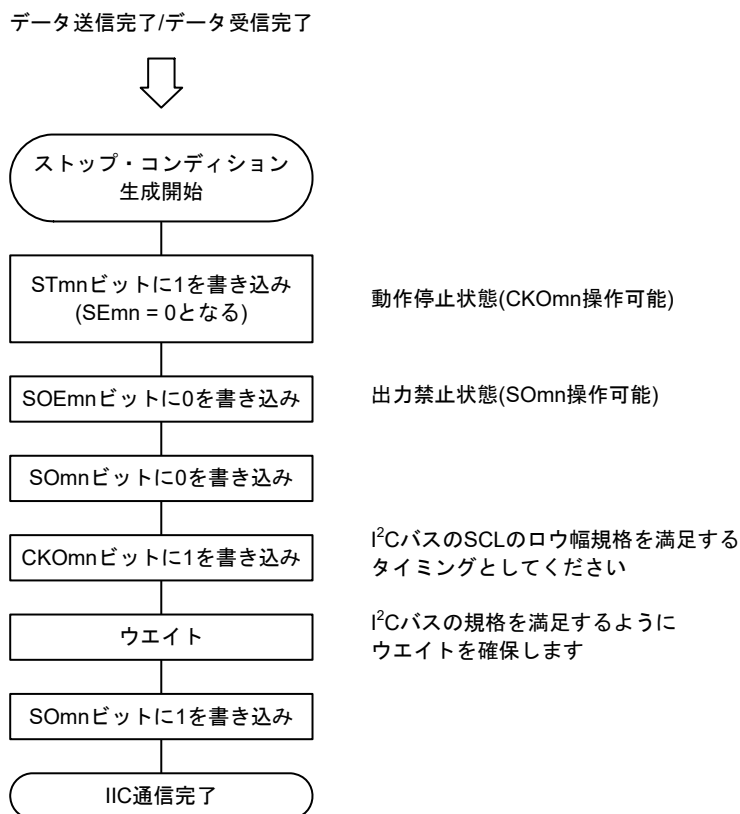
(1) 処理フロー

図19-146 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを“0”に設定しています。

図19-147 ストップ・コンディション発生のフロー・チャート



19.9.5 転送レートの算出

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{ \text{対象チャンネルの動作クロック (fmck) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

動作クロック (fmck) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 19 - 9 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
1	0	0	0	0	X	X	X	X	fCLK	32 MHz
	0	0	0	1	X	X	X	X	fCLK/2	16 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	8 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	4 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	15.63 kHz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

fMCK = fCLK = 32 MHzの場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	fCLK = 32 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	79	100 kHz	0.0%
400 kHz	fCLK	41	380 kHz	5.0%注
1 MHz	fCLK	18	0.84 MHz	16.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

19.9.6 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)通信時にエラーが発生した場合の処理手順を図 19 - 148, 図 19 - 149に示します。

図 19 - 148 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn)をリードする	→SSRmn レジスタのBFFmn ビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)に“1”をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図 19 - 149 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm)の STmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm)の SEmn ビットが“0”となり、チャンネルnは動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm)の SSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm)の SEmn ビットが“1”となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

第20章 シリアル・インタフェースIICA

シリアル・インタフェースIICAを1チャンネル搭載しています。

注意1. IICAn入出力端子の配置は製品によって異なります。詳細は、2章を参照してください。

注意2. この章では、以降の主な説明を64ピン製品の場合で説明しています。

20.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード(マルチマスタ対応)

シリアル・クロック(SCLAn)とシリアル・データ・バス(SDAAn)の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号(INTIICAn)を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1(IICCTLn1)のWUPnビットにより設定します。

図20-1にシリアル・インタフェースIICAのブロック図を示します。

備考 n=0

図20-1 シリアル・インタフェース IICA のブロック図

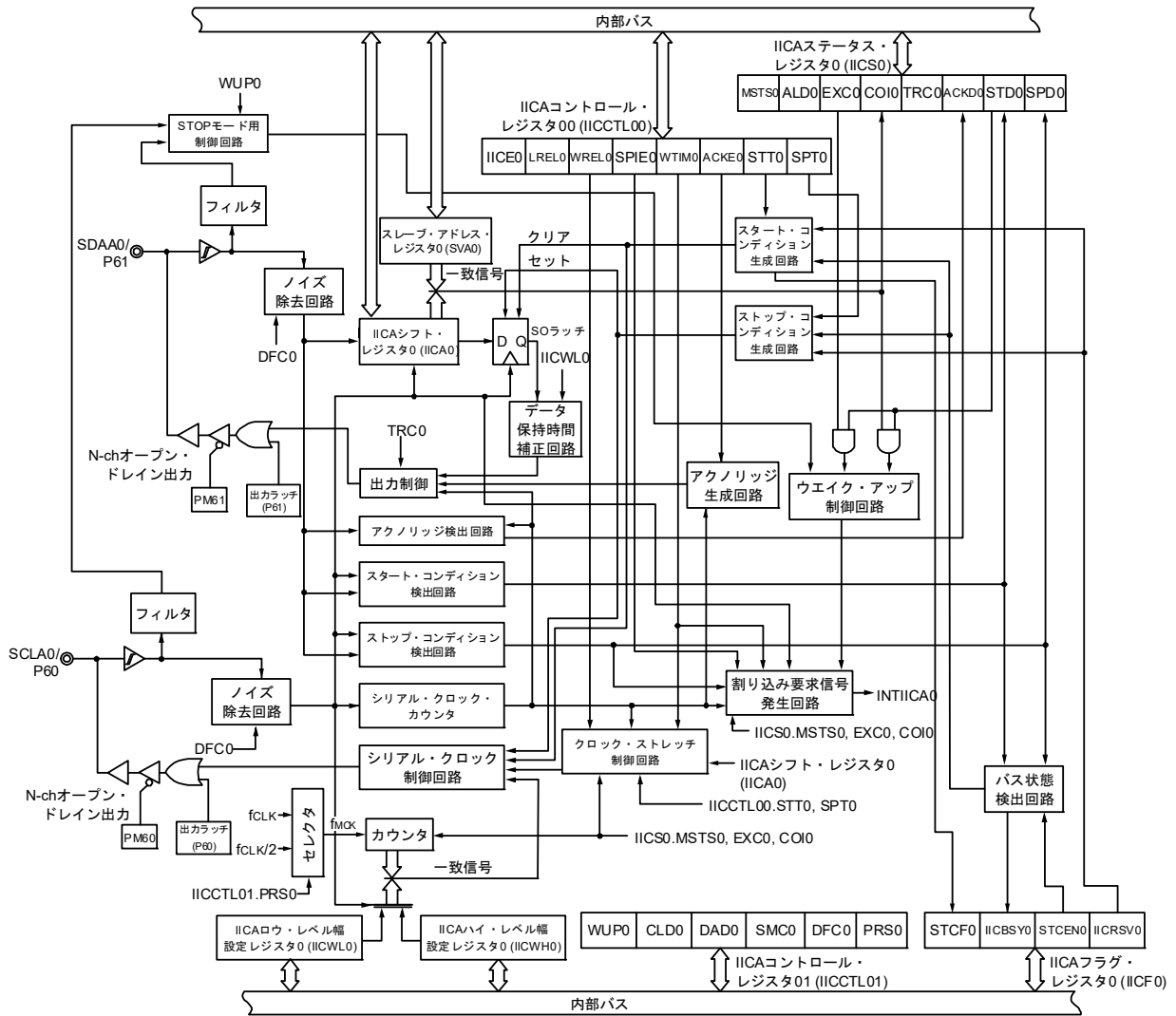
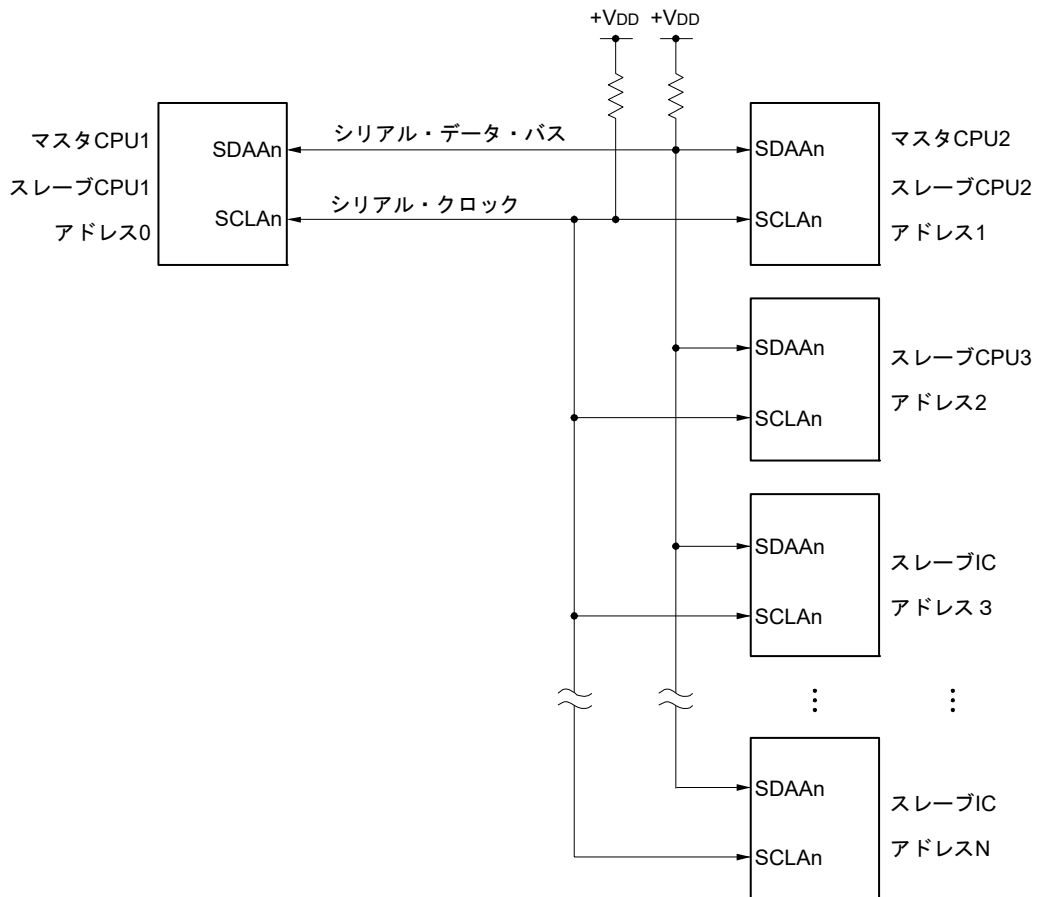


図20-2にシリアル・バス構成例を示します。

図20-2 I²Cバスによるシリアル・バス構成例



備考 n = 0

20.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表 20 - 1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0) IICAコントロール・レジスタ n0 (IICCTLn0) IICAステータス・レジスタ n (IICSn) IICAフラグ・レジスタ n (IICFn) IICAコントロール・レジスタ n1 (IICCTLn1) IICAロウ・レベル幅設定レジスタ n (IICWLn) IICAハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ 1, 6 (PM1, PM6)注 ポート・レジスタ 1, 6 (P1, P6)注

注 64ピン製品の場合のみ。他の製品についての詳細は、4.3 ポート機能を制御するレジスタを参照してください。
ご使用の製品により使用する端子が異なります。PIOR0レジスタのPIOR02ビットを下記のように設定してください。

製品	機能	PIOR02の設定	
		0	1
24ピン製品	SCLA0	P01	P14
	SDAA0	P00	P15
32ピン製品	SCLA0	P31	P14
	SDAA0	P74	P15
36ピン, 48ピン, 64ピン製品	SCLA0	P60	P14
	SDAA0	P61	P15

PIOR02ビットの設定の詳細は、4.3.7 周辺I/Oダイレクション・レジスタ0(PIOR0)を参照してください。

備考 n = 0

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-3 IICAシフト・レジスタ n (IICAn)のフォーマット

アドレス : FFF50H

リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
----	---	---	---	---	---	---	---	---

IICAn								
-------	--	--	--	--	--	--	--	--

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット(STTn)をセット(1)したあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0

(2) スレーブ・アドレス・レジスタ n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出)のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図20-4 スレーブ・アドレス・レジスタ n (SVAn)のフォーマット

アドレス : F0234H										リセット時 : 00H	R/W
略号	7	6	5	4	3	2	1	0			
SVAn	A6	A5	A4	A3	A2	A1	A0	0注			

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ n (SVAn)に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn)の発生を制御します。

I²C 割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット3

SPIEnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

- (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路

STTnビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVnビット = 1)で、かつバスが解放されていない(IICBSYnビット = 1)場合には、スタート・コンディション要求は無視し、STCFnビットをセット(1)します。

- (12) ストップ・コンディション生成回路

SPTnビットがセット(1)されるとストップ・コンディションを生成します。

- (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考1. STTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

SPTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット0

IICRSVnビット : IICAフラグ・レジスタ n (IICFn)のビット0

IICBSYnビット : IICAフラグ・レジスタ n (IICFn)のビット6

STCFnビット : IICAフラグ・レジスタ n (IICFn)のビット7

STCENnビット : IICAフラグ・レジスタ n (IICFn)のビット1

備考2. n = 0

20.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- 周辺イネーブル・レジスタ 0 (PER0)
- IICAコントロール・レジスタ n0 (IICCTLn0)
- IICAフラグ・レジスタ n (IICFn)
- IICAステータス・レジスタ n (IICSn)
- IICAコントロール・レジスタ n1 (IICCTLn1)
- IICAロウ・レベル幅設定レジスタ n (IICWLn)
- IICAハイ・レベル幅設定レジスタ n (IICWHn)
- ポート・モード・レジスタ 1, 6 (PM1, PM6)
- ポート・レジスタ 1, 6 (P1, P6)

備考 n = 0

20.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICAn を使用するときは、必ずビット 4 (IICA0EN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 20 - 5 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェース IICAn の入力クロック供給の制御
0	入力クロック供給停止 <ul style="list-style-type: none"> シリアル・インタフェース IICAn で使用する SFR へのライト不可 シリアル・インタフェース IICAn はリセット状態
1	入力クロック供給許可 <ul style="list-style-type: none"> シリアル・インタフェース IICAn で使用する SFR へのリード／ライト可

注意 1. シリアル・インタフェース IICA の設定をする際には、必ず最初に IICAnEN = 1 の状態で、下記のレジスタの設定を行ってください。IICAnEN = 0 の場合は、シリアル・インタフェース IICA の制御レジスタは初期値となり、書き込みは無視されます (ポート・モード・レジスタ 6 (PM6)、ポート・レジスタ 6 (P6) は除く)。

- IICA コントロール・レジスタ n0 (IICCTLn0)
- IICA フラグ・レジスタ n (IICFn)
- IICA ステータス・レジスタ n (IICSn)
- IICA コントロール・レジスタ n1 (IICCTLn1)
- IICA ロウ・レベル幅設定レジスタ n (IICWLn)
- IICA ハイ・レベル幅設定レジスタ n (IICWHn)

注意 2. ビット 1 には必ず "0" を設定してください。

備考 n = 0

20.3.2 IICA コントロール・レジスタ n0 (IICCTLn0)

I²C の動作許可／停止、クロック・ストレッチ・タイミングの設定、その他 I²C の動作を設定するレジスタです。

IICCTLn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEn ビットは、IICEn = 0 のとき、またはクロック・ストレッチ期間中に設定してください。また IICEn ビットを "0" から "1" に設定するとき、これらのビットを同時に設定できます。

リセット信号の発生により、00H になります。

備考 n = 0

図20 - 6 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(1/4)

アドレス : F0230H

リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
	I ² Cの動作許可							
	0	動作停止。IICAステータス・レジスタ n (IICSn)をリセット ^{注1} 。内部動作も停止。						
	1	動作許可。						
このビットのセット(1)は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。								
クリアされる条件(IICEn = 0)					セットされる条件(IICEn = 1)			
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 					<ul style="list-style-type: none"> ・ 命令によるセット 			
	通信退避							
	0	通常動作。						
	1	現在行っている通信から退避し、待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ n0 (IICCTLn0), IICAステータス・レジスタ n (IICSn)のうち、次のフラグがクリア(0)される。 ・ STTn ・ SPTn ・ MSTSn ・ EXCn ・ COIn ・ TRCn ・ ACKDn ・ STDn						
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。								
<ul style="list-style-type: none"> ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信 								
クリアされる条件(LRELn = 0)					セットされる条件(LRELn = 1)			
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ リセット時 					<ul style="list-style-type: none"> ・ 命令によるセット 			
	クロック・ストレッチ解除							
	0	クロック・ストレッチを解除しない。						
	1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。						
送信状態(TRCn = 1)で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット(クロック・ストレッチを解除)した場合、SDAAnラインをハイ・インピーダンス(TRCn = 0)にします。								
クリアされる条件(WRELn = 0)					セットされる条件(WRELn = 1)			
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ リセット時 					<ul style="list-style-type: none"> ・ 命令によるセット 			

注1. リセットされるのは、IICAシフト・レジスタ n (IICAn), IICAフラグ・レジスタ n (IICFn)のSTCFn, IICBSYnビット、IICAコントロール・レジスタ n1 (IICCTLn1)レジスタのCLDn, DADnビットです。

注2. IICEn = 0の状態では、このビットの信号は無効になります。

注3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン(IICCTLn1レジスタのDFCn = 1)のときにI²Cを動作許可(IICEn = 1)した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可(IICEn = 1)したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット(1)してください。

備考 n = 0

図20 - 7 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(2/4)

SPIEn 注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ n1 (IICCTLn1)のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件(SPIEn = 0)		セットされる条件(SPIEn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

WTIMn 注1	クロック・ストレッチおよび割り込み要求発生制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ(ACK)発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。		
クリアされる条件(WTIMn = 0)		セットされる条件(WTIMn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

ACKEn 注1,2	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件(ACKEn = 0)		セットされる条件(ACKEn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。
スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0

図20 - 8 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(3/4)

STTn 注1,2	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき(待機状態, IICBSYnが0のとき) : セット(1)すると, スタート・コンディションを生成する(マスタとしての起動)。 第三者が通信中のとき : ・通信予約機能許可の場合(IICRSVn = 0) スタート・コンディション予約フラグとして機能する。セット(1)すると, バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合(IICRSVn = 1) セット(1)してもSTTnビットはクリアされ, STTnクリア・フラグ(STCFn)がセット(1)される。スタート・コンディションは生成しない。 クロック・ストレッチ状態(マスタ時) : クロック・ストレッチを解除してリスタート・コンディションを生成する。	
セット・タイミングに関する注意 ・マスタ受信の場合 : 転送中のセット(1)は禁止です。ACKEn = 0に設定し, 受信の最後であることをスレーブに伝えたとのクロック・ストレッチ期間中にだけセット(1)可能です。 ・マスタ送信の場合 : アクノリッジ期間中は, 正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット(1)してください。 ・ストップ・コンディション・トリガ(SPTn)と同時セット(1)することは禁止です。 ・STTnビットをセット(1)後, クリア条件になる前に再度セット(1)することは禁止です。		
クリアされる条件(STTn = 0)		セットされる条件(STTn = 1)
・通信予約禁止状態でのSTTnビットのセット(1) ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 0 (動作停止)のとき ・リセット時		・命令によるセット

注1. IICEn = 0の状態では, このビットの信号は無効になります。

注2. STTnビットの読み出し値は, 常に0になります。

備考1. ビット1 (STTn)は, データ設定後に読み出すと0になっています。

備考2. IICRSVn : IICAフラグ・レジスタ n (IICFn)のビット0

STCFn : IICAフラグ・レジスタ n (IICFn)のビット7

備考3. n = 0

図20-9 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(4/4)

SPTn注	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する(マスタとしての転送終了)。	
セット・タイミングに関する注意 <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット(1)は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット(1)可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 スタート・コンディション・トリガ(STTn)と同時にセット(1)することは禁止です。 SPTnビットのセット(1)は、マスタのときのみ行ってください。 WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)してください。 SPTnビットをセット(1)後、クリア条件になる前に、再度セット(1)することは禁止です。 		
クリアされる条件(SPTn = 0)		セットされる条件(SPTn = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELn = 1 (通信退避)によるクリア IICEn = 0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5 (WRELn)をセット(1)してクロック・ストレッチ解除すると、TRCnビットをクリア(受信状態)してSDAA_nラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考 n = 0

20.3.3 IICAステータス・レジスタ n (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可(WUPn=1)状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止)に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可(SPIEn = 1)して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット1
 WUPn: IICAコントロール・レジスタ n1 (IICCTLn1)のビット7

図20 - 10 IICAステータス・レジスタ n (IICSn)のフォーマット(1/3)

アドレス : FFF51H

リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACK _n	STD _n	SPD _n
	MSTS _n	マスタ状態確認フラグ						
	0	スレーブ状態または通信待機状態。						
	1	マスタ通信状態。						
	クリアされる条件(MSTS _n = 0)				セットされる条件(MSTS _n = 1)			
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD_n = 1 (アービトレーション負け)のとき ・LREL_n = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 				<ul style="list-style-type: none"> ・スタート・コンディション生成時 			
	ALD _n	アービトレーション負け検出						
	0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。						
	1	アービトレーションに負けた状態。MSTS _n ビットがクリアされる。						
	クリアされる条件(ALD _n = 0)				セットされる条件(ALD _n = 1)			
	<ul style="list-style-type: none"> ・IICSnレジスタ読み出し後、自動的にクリア注 ・IICEn = 1→0 (動作停止)のとき ・リセット時 				<ul style="list-style-type: none"> ・アービトレーションに負けたとき 			

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD_nビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考1. LREL_n : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

図20 - 11 IICAステータス・レジスタ n (IICSn)のフォーマット(2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信回避)によるクリア IICEn = 1→0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき(8クロック目の立ち上がりでセット)
COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信回避)によるクリア IICEn = 1→0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信アドレスが自局アドレス(スレーブ・アドレス・レジスタ n (SVAn))と一致したとき(8クロック目の立ち上がりでセット)
TRCn	送信/受信状態検出	
0	受信状態(送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする(1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ストップ・コンディション検出時 LRELn = 1 (通信回避)によるクリア IICEn = 1→0 (動作停止)のとき WRELn = 1 (クロック・ストレッチ解除)によるクリア注 ALDn = 0→1 (アービトラージ負け)のとき リセット時 通信不参加の場合 (MSTSn, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> 1バイト目のLSB (転送方向指定ビット)に“1”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> スタート・コンディション検出時 1バイト目のLSB (転送方向指定ビット)に“0”を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> スタート・コンディション生成時 1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“0” (マスタ送信)を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> マスタからの1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“1” (スレーブ送信)が入力されたとき

注 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)をセット(1)してクロック・ストレッチを解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

図20 - 12 IICAステータス・レジスタ n (IICSn)のフォーマット(3/3)

ACKDn	アクトリッジ(ACK)検出	
0	アクトリッジを検出していない。	
1	アクトリッジを検出している。	
クリアされる条件(ACKDn = 0)		セットされる条件(ACKDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき
STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件(STDn = 0)		セットされる条件(STDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時
SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件(SPDn = 0)		セットされる条件(SPDn = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

20.3.4 IICAフラグ・レジスタ n (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ(STCFn)、I²Cバス状態フラグ(IICBSYn)は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn、STCENnビットはI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = n)のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図20 - 13 IICA フラグ・レジスタ n (IICFn) のフォーマット

アドレス : FFF52H

リセット時 : 00H

R/W注

略号 7 6 5 4 3 2 1 0

IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn
-------	-------	---------	---	---	---	---	--------	---------

STCFn	STTnクリア・フラグ	
0	スタート・コンディション発行。	
1	スタート・コンディション発行できず、STTnフラグ・クリア。	
クリアされる条件(STCFn = 0)		セットされる条件(STCFn = 1)
<ul style="list-style-type: none"> • STTn = 1によるクリア • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • 通信予約禁止(IICRSVn = 1)設定時にスタート・コンディション発行できず、STTnビットがクリア(0)されたとき

IICBSYn	I ² Cバス状態フラグ	
0	バス解放状態(STCENn = 1時の通信初期状態)。	
1	バス通信状態(STCENn = 0時の通信初期状態)。	
クリアされる条件(IICBSYn = 0)		セットされる条件(IICBSYn = 1)
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • スタート・コンディション検出時 • STCENn = 0時のIICEnビットのセット

STCENn	初期スタート許可トリガ	
0	動作許可(IICEn = 1)後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。	
1	動作許可(IICEn = 1)後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。	
クリアされる条件(STCENn = 0)		セットされる条件(STCENn = 1)
<ul style="list-style-type: none"> • 命令によるクリア • スタート・コンディション検出時 • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
クリアされる条件(IICRSVn = 0)		セットされる条件(IICRSVn = 1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを発行(STTn = 1)する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

備考2. IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考3. n = 0

20.3.5 IICAコントロール・レジスタ n1 (IICCTLn1)

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPnビットを除きI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により、00Hになります。

図20-14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(1/2)

アドレス : F0231H

リセット時 : 00H

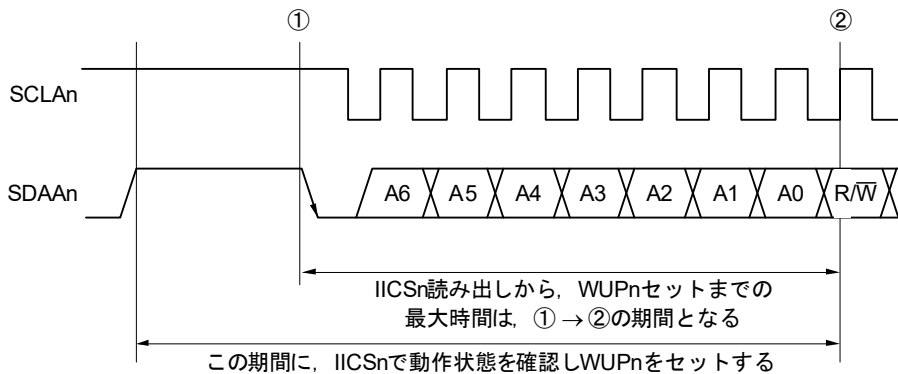
R/W^{注1}

略号	<input type="checkbox"/> 7	6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	1	<input type="checkbox"/> 0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット(1)してfmckの3クロック以上経過後にSTOP命令を実行してください(図20-29 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnビットをクリア(0)してください。WUPnビットをクリア(0)することで、その後の通信に参加する事ができます(クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア(0)したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです(クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件(WUPn = 0)	セットされる条件(WUPn = 1)
・ 命令によるクリア(アドレス一致もしくは拡張コード受信後)	・ 命令によるセット(MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事)のとき) ^{注2}

注1. ビット4, 5はRead Onlyです。

注2. 次に示す期間に、IICAステータス・レジスタ n (IICSn)の状態を確認しセットする必要があります。



備考 n = 0

図20 - 15 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件 (CLDn = 0)		セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> • SCLAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DADn = 0)		セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> • SDAAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作 (最大転送レート : 100 kbps)
1	ファースト・モード (最大転送レート : 400 kbps) またはファースト・モード・プラス (最大転送レート : 1 Mbps) で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。
デジタル・フィルタは、ノイズ除去のために使用します。
DFCnビットのセット(1)/クリア(0)により、転送クロックが変化することはありません。

PRSn	IICA 動作クロック (f _{MCK})の制御
0	f _{CLK} を選択 (1 MHz ≤ f _{CLK} ≤ 20 MHz)
1	f _{CLK} /2 を選択 (20 MHz < f _{CLK})

注意1. IICA動作クロック (f_{MCK})の最高動作周波数は20 MHz (Max.)です。f_{CLK}が20 MHzを越える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1)のビット0 (PRSn)に“1”を設定してください。

注意2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時 : f_{CLK} = 3.5 MHz (Min.)

ファースト・モード・プラス時 : f_{CLK} = 10 MHz (Min.)

標準モード時 : f_{CLK} = 1 MHz (Min.)

注意3. ファースト・モード・プラスは、A : 民生用途 (TA = -40 ~ +85 °C) D : 産業用途 (TA = -40 ~ +85 °C)のみです。

備考1. IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

20.3.6 IICA ロウ・レベル幅設定レジスタ n (IICWLn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLow) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8 ビット・メモリ操作命令で設定します。

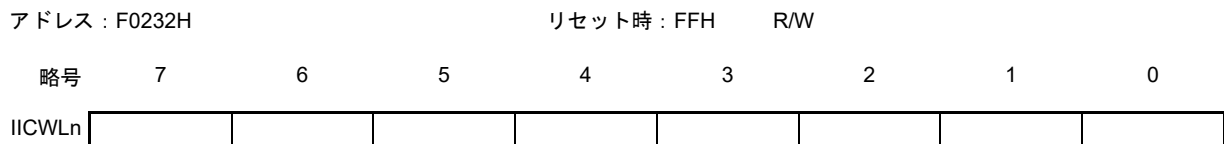
IICWLn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWLn の設定方法については、20.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法を参照してください。

また、データ・ホールド時間は IICWLn で設定した時間の 1/4 になります。

図 20 - 16 IICA ロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット



20.3.7 IICA ハイ・レベル幅設定レジスタ n (IICWHn)

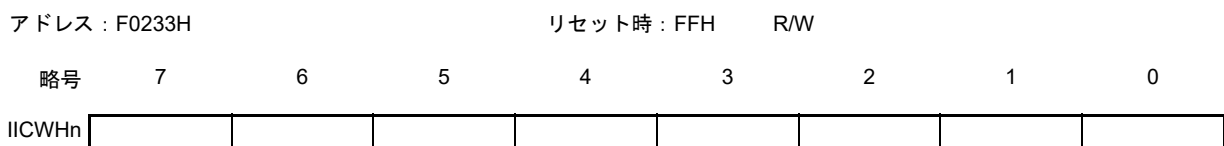
シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

図 20 - 17 IICA ハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット



備考 1. マスタ側の転送クロックの設定方法は 20.4.2 (1) を、スレーブ側の IICWLn, IICWHn レジスタの設定方法は、20.4.2 (2) を参照してください。

備考 2. n = 0

20.3.8 ポート・モード・レジスタ 1, 6 (PM1, PM6) ^注

ポート1, 6の入力/出力を1ビット単位で設定するレジスタです。

P60/SCLA0 端子または P14/(SCLA0) 端子をクロック入出力, P61/SDAA0 端子または P15/(SDAA0) 端子をシリアル・データ入出力として使用するとき, PM60, PM61 および P60, P61 の出力ラッチ, または PM14, PM15 および P14, P15 の出力ラッチに 0 を設定してください。

IICEn (IICA コントロール・レジスタ n0 (IICCTLn0 のビット 7) が 0 の場合, P60/SCLA0 端子および P61/SDAA0 端子, または P14/ (SCLA0) 端子および P15/ (SDAA0) 端子は, ロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICEn ビットに 1 を設定してから行ってください。

PM1, PM6 レジスタは, 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFH になります。

図 20 - 18 ポート・モード・レジスタ 1, 6 (PM1, PM6) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W

PMmn	Pmn 端子の入出力モードの選択 (m = 1, 6 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 64ピン製品の場合のみ。他の製品についての詳細は, 4.3 ポート機能を制御するレジスタを参照してください。

ご使用の製品により使用する端子が異なります。PIOR0 レジスタの PIOR02 ビットを下記のように設定してください。

製品	機能	PIOR02 の設定	
		0	1
24ピン製品	SCLA0	P01	P14
	SDAA0	P00	P15
32ピン製品	SCLA0	P31	P14
	SDAA0	P74	P15
36ピン, 48ピン, 64ピン製品	SCLA0	P60	P14
	SDAA0	P61	P15

PIOR02 ビットの設定の詳細は, 4.3.7 周辺I/Oリダイレクション・レジスタ0 (PIOR0) を参照してください。

20.4 I²Cバス・モードの機能

20.4.1 端子構成

シリアル・クロック端子(SCLAn)と、シリアル・データ・バス端子(SDAAn)の構成は、次のようになっています。

(1) SCLAn... シリアル・クロックを入出力するための端子。

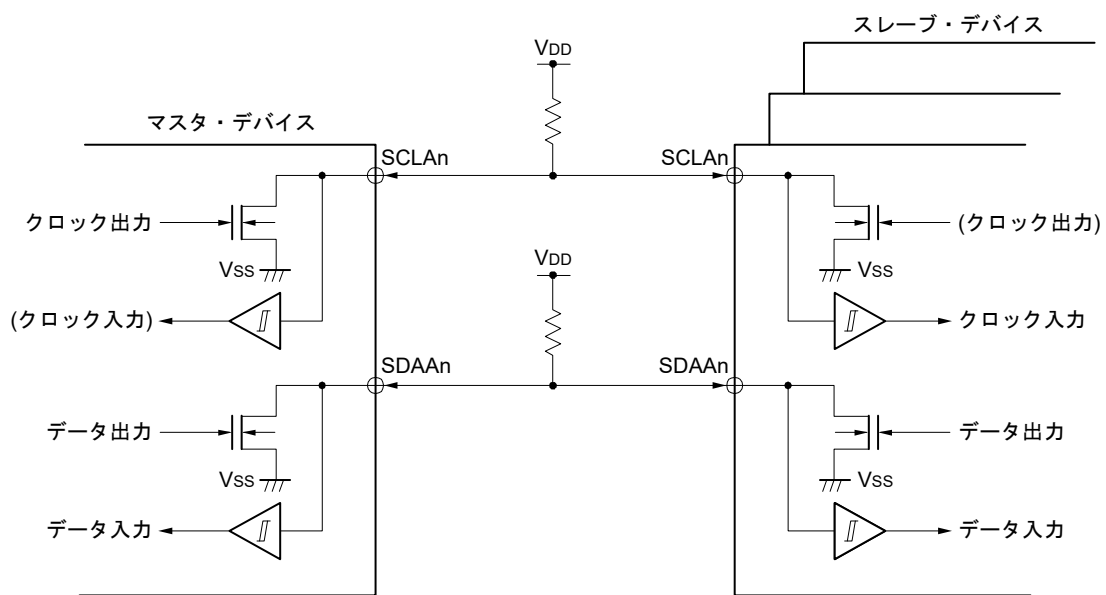
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図 20 - 19 端子構成図



備考 n = 0

20.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適な IICWLn レジスタと IICWHn レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

(2) スレーブ側の IICWLn, IICWHn レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = 1.3 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (1.2 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

・標準モード時

$$IICWLn = 4.7 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (5.3 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWLn = 0.50 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (0.50 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

注意1. IICA動作クロック (f_{MCK})の最高動作周波数は20 MHz (Max.)です。f_{CLK}が20 MHzを越える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1)のビット0 (PRSn)に“1”を設定してください。

注意2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェース IICAはモードによって f_{CLK}の最低動作周波数が決められています。

ファースト・モード時 : f_{CLK} = 3.5 MHz (Min.)

ファースト・モード・プラス時 : f_{CLK} = 10 MHz (Min.)

標準モード時 : f_{CLK} = 1 MHz (Min.)

(備考は、次ページにあります。)

備考1. SDAAn, SCLAn信号の立ち上がり時間(t_R)と立ち下がり時間(t_F)は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn : IICAロウ・レベル幅設定レジスタ n
IICWHn : IICAハイ・レベル幅設定レジスタ n
 t_F : SDAAn, SCLAn信号の立ち下がり時間
 t_R : SDAAn, SCLAn信号の立ち上がり時間
 f_{MCK} : IICA動作クロック周波数

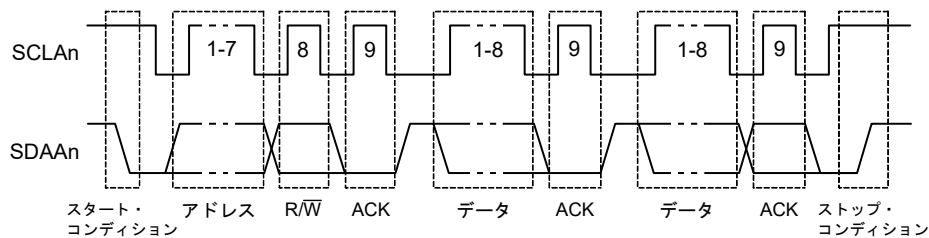
備考3. $n = 0$

20.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図20-20に示します。

図20-20 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

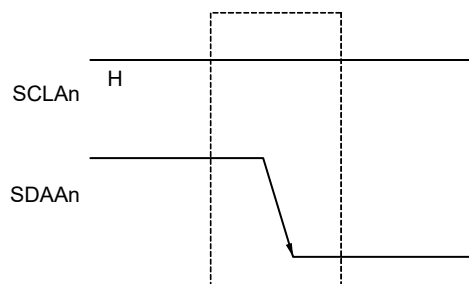
アクノリッジ(ACK)は、マスタ、スレーブのどちらでも生成できます(通常、8ビット・データの受信側が出力します)。

シリアル・クロック(SCLAn)は、マスタが出力し続けます。ただし、スレーブはSCLAn端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

20.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図20-21 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態(SPDn: IICAステータス・レジスタn (IICSn)のビット0 = 1)のときにIICAコントロール・レジスタn0 (IICCTLn0)のビット1 (STTn)をセット(1)すると出力されます。また、スタート・コンディションを検出すると、IICSnレジスタのビット1 (STDn)がセット(1)されます。

備考 n = 0

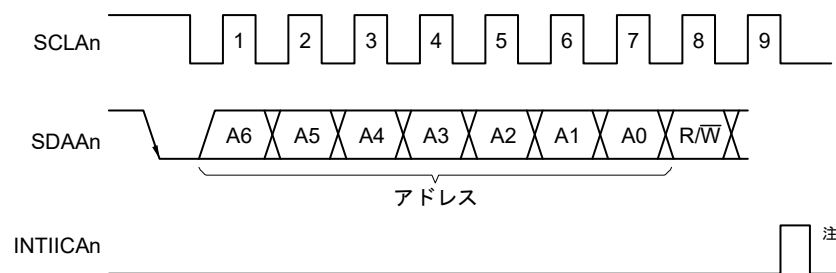
20.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データと SVAn レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図20-22 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと20.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnシフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

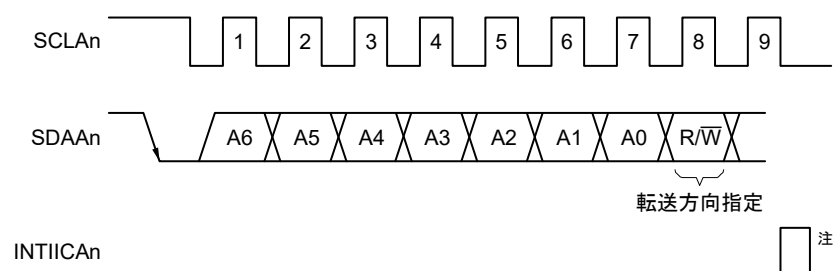
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

20.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図20-23 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 n = 0

20.5.4 アクノリッジ(ACK)

アクノリッジ(ACK)によって、送信側と受信側におけるシリアル・データの状態を確認することができます。受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ n (IICSn)のビット2 (ACKDn)で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

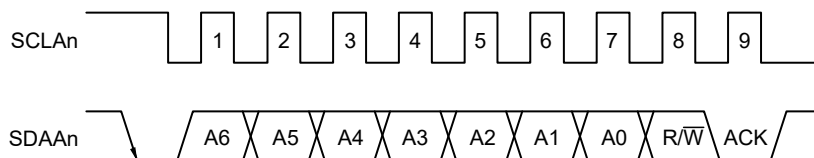
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ n0 (IICCTLn0)のビット2 (ACKEn)をセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn)が設定されます。受信(TRCn = 0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCn = 0)にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCn = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図 20 - 24 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- ・ 8クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前にACKEnビットをセット(1)することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・ 9クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

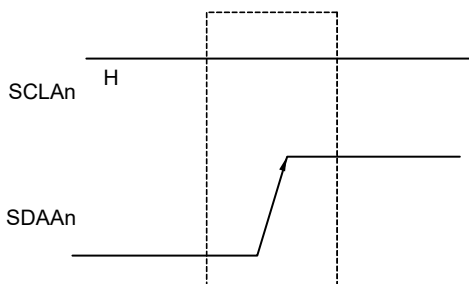
備考 n = 0

20.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図20 - 25 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット0 (SPTn)をセット(1)すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ n (IICSn)のビット0 (SPDn)がセット(1)され、IICCTLn0レジスタのビット4 (SPIEn)がセット(1)されている場合にはINTIICAnが発生します。

備考 n = 0

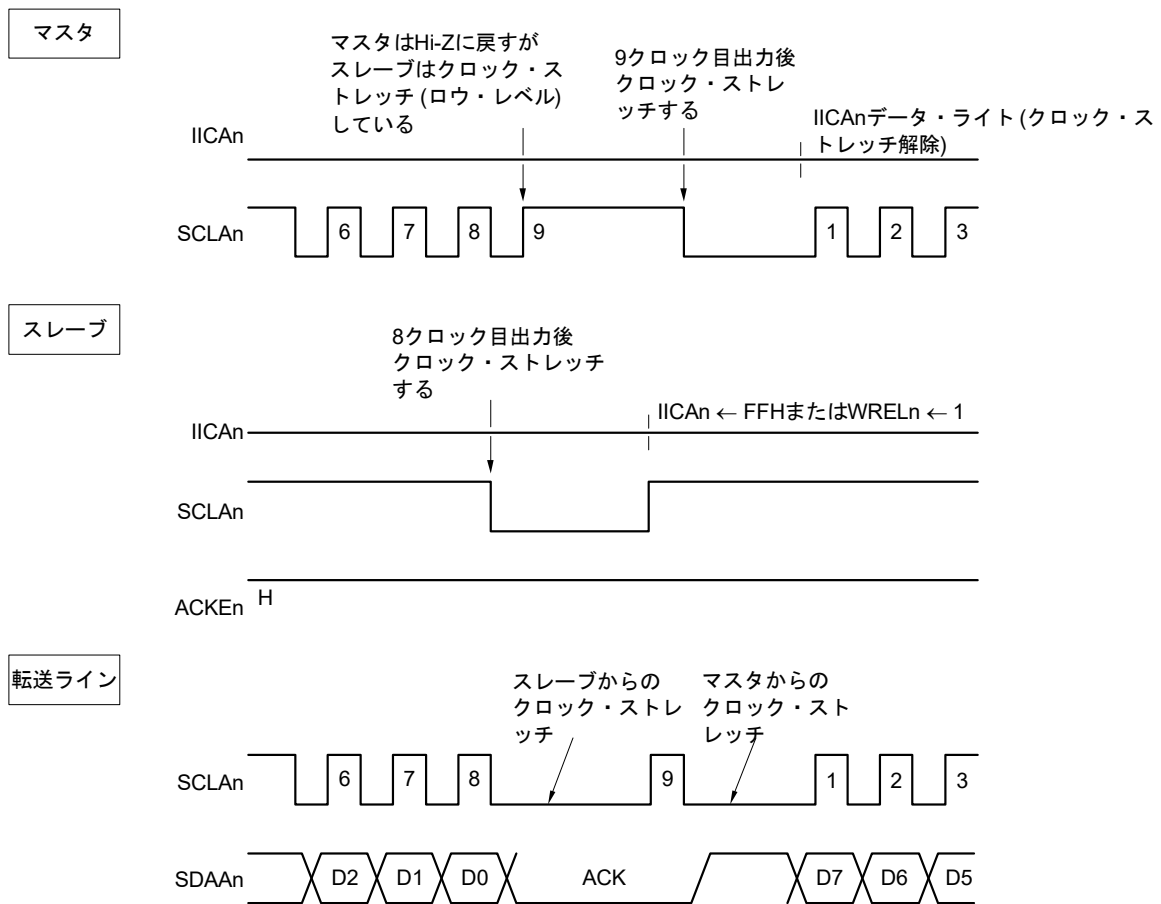
20.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中(クロック・ストレッチ状態)であることを相手に知らせます。

SCLAn 端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図20 - 26 クロック・ストレッチ(1/2)

- (1) マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時
(マスタ：送信，スレーブ：受信，ACKEn = 1)

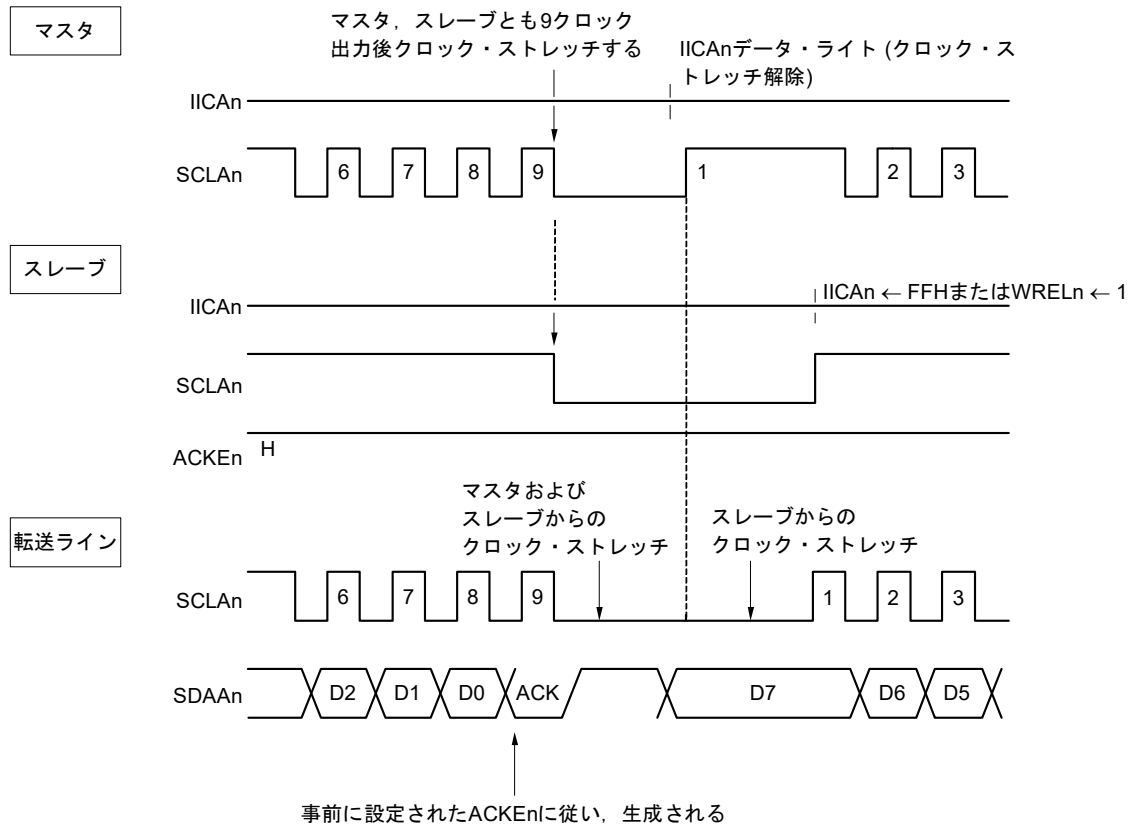


備考 n = 0

図20-27 クロック・ストレッチ(2/2)

(2) マスタ、スレーブとも9クロック・クロック・ストレッチ時

(マスタ：送信，スレーブ：受信，ACKEn = 1)



備考 ACKEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット2

WRELn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット3 (WTIMn)の設定により自動的に発生します。

通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタ n (IICAn)にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0

20.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ(アドレスを含む)を送信する場合には、IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn)をセット(1)してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn)をセット(1)してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn)をセット(1)してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット(1)によるクロック・ストレッチ解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア(0)すると通信を停止するので、クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn)をセット(1)すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0

20.5.8 割り込み要求 (INTIICAn)発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 3 (WTIMn) の設定で、表 20 - 2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表 20 - 2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1,2	8注2	8注2	9	8	8
1	9注1,2	9注2	9注2	9	9	9

- 注1. スレーブの INTIICAn 信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTLn0 レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。
- 注2. スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAn もクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMn ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・マスタ動作時：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- ・ IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・クロック・ストレッチ選択 (WTIMn = 0)時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

20.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn)に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

20.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn)の状態が、送信しているデバイスのIICAシフト・レジスタ n (IICAn)にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

20.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn)をセット(1)し、8クロック目の立ち下がりで割り込み要求 (INTIICAn)を発生します。スレーブ・アドレス・レジスタ n (SVAn)に格納された自局アドレスは影響しません。
- (2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn)は、8クロック目の立ち下がりで発生します。

- ・ 上位4ビット・データ的一致 : EXCn = 1
- ・ 7ビット・データ的一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタ n (IICSn)のビット5

COIn : IICAステータス・レジスタ n (IICSn)のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表20-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0

20.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合($STDn = 1$ になる前に $STTn = 1$ にしたとき)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタ n ($IICSn$)のアービトレーション負けフラグ($ALDn$)をセット(1)し、 $SCLAn$, $SDAAn$ ラインともハイ・インピーダンス状態にしてバスを解放します。

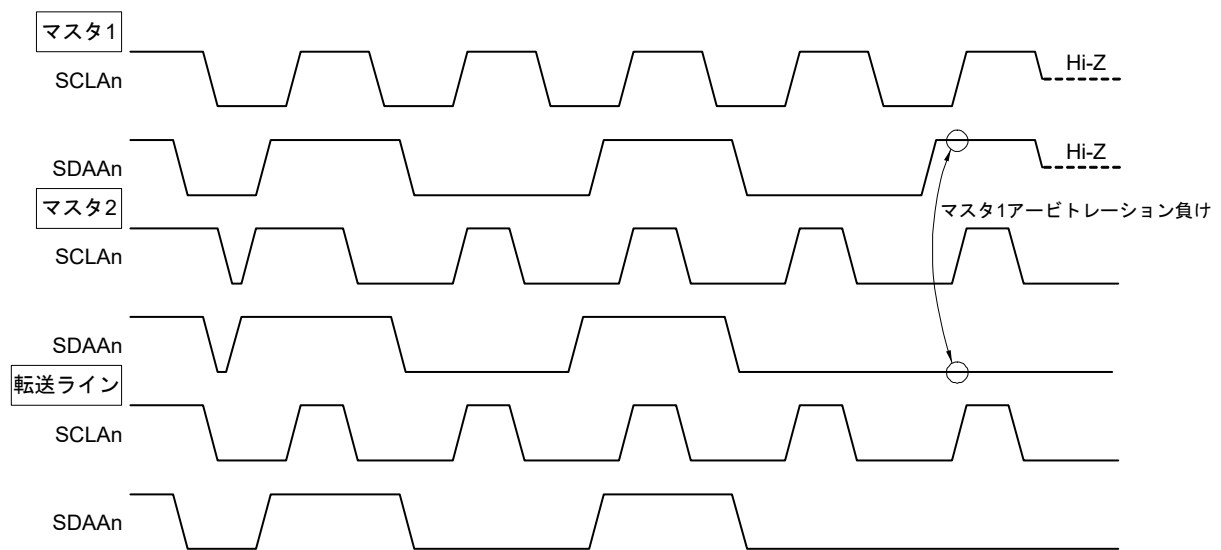
アービトレーションに負けたことは、次の割り込み要求発生タイミング(8または9クロック目、ストップ・コンディション検出など)で、ソフトウェアで $ALDn = 1$ になっていることで検出します。

割り込み要求発生タイミングについては、20.5.8 割り込み要求($INTIICAn$)発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考 $STDn$: IICAステータス・レジスタ n ($IICSn$)のビット1

$STTn$: IICAコントロール・レジスタ $n0$ ($IICCTLn0$)のビット1

図20 - 28 アービトレーション・タイミング例



備考 $n = 0$

表 20 - 4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット(IICAコントロール・レジスタ n0 (IICCTLn0)のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0 および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット 4

備考2. n = 0

20.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生する機能です。

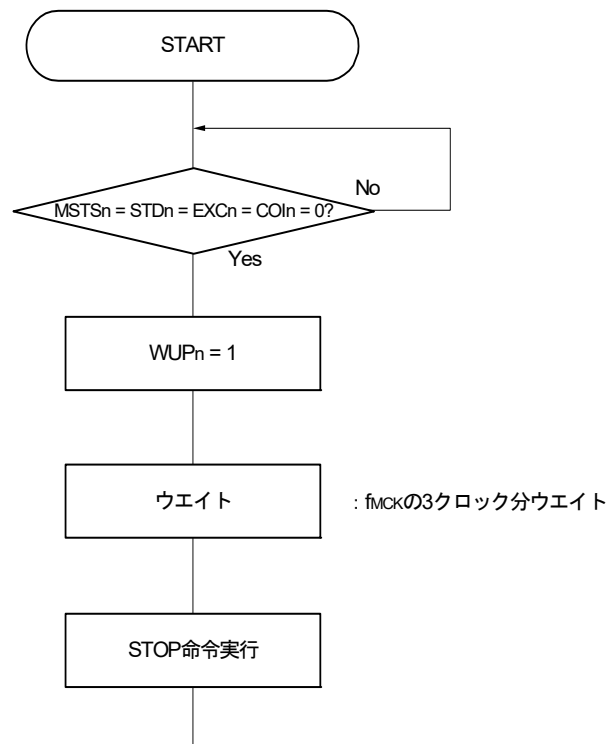
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ(スタート・コンディションを生成した場合)でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生します。この割り込み発生後に命令でWUPnビットをクリア(0)することで通常動作に戻ります。

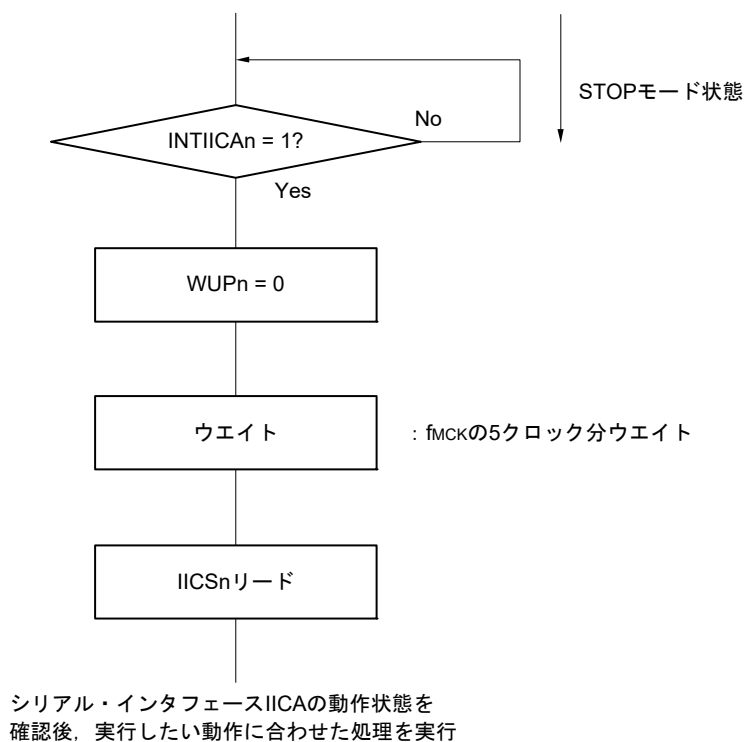
WUPn = 1に設定する場合のフローを図20 - 29に、アドレス一致によりWUPn = 0に設定する場合のフローを図20 - 30に示します。

図20 - 29 WUPn = 1を設定する場合のフロー



備考 n = 0

図20 - 30 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む)

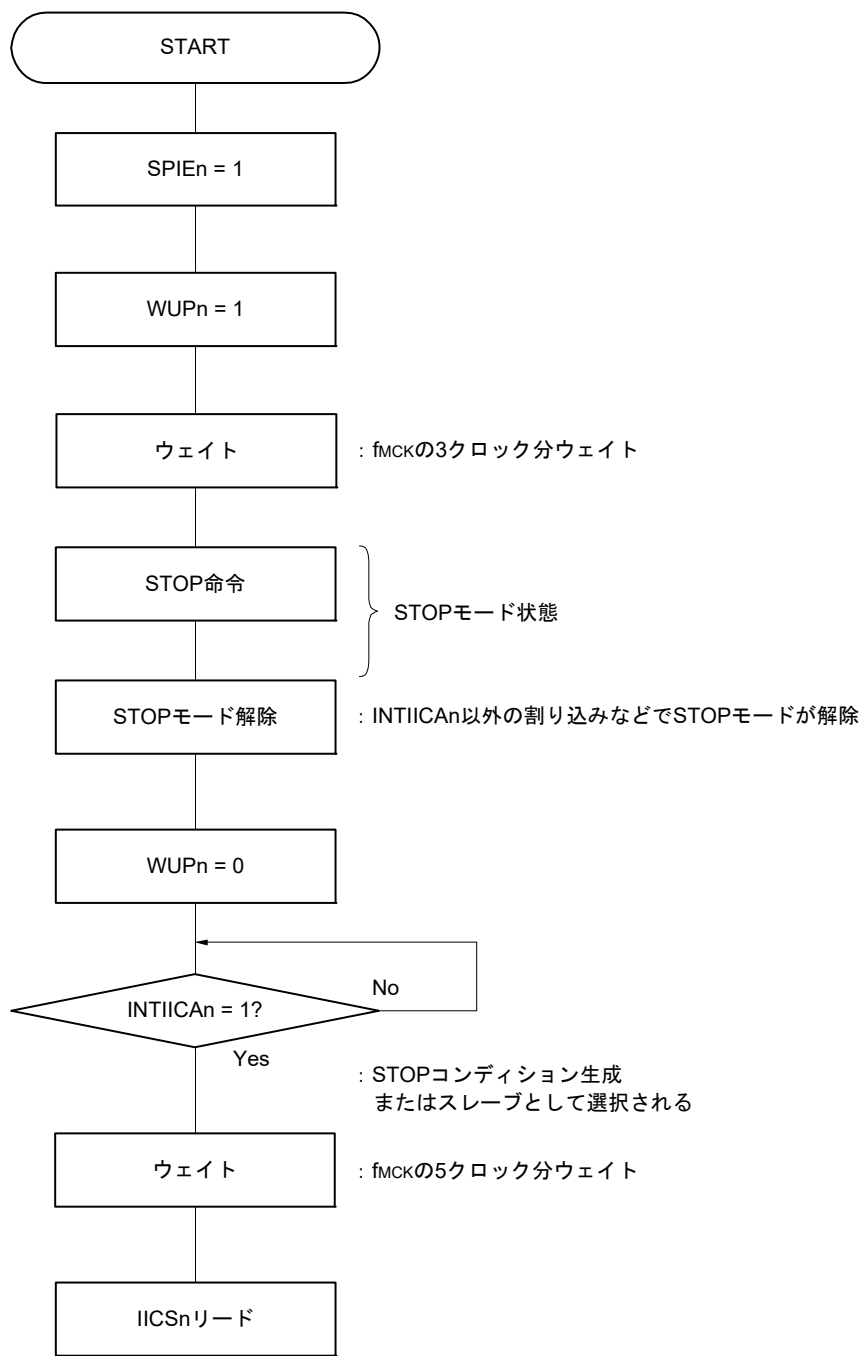


また、シリアル・インタフェース IICA からの割り込み要求 (INTIICAn) 以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- 次の IIC 通信をマスタとして動作させる場合 : 図20 - 31のフロー
- 次の IIC 通信をスレーブとして動作させる場合 :
 - INTIICAn 割り込みで復帰した場合 : 図20 - 30のフローと同じになります。
 - INTIICAn 割り込み以外の割り込みで復帰した場合 : INTIICAn 割り込みが発生するまで WUPn = 1 のまま動作を継続してください。

備考 n = 0

図20 - 31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

備考 n = 0

20.5.14 通信予約

(1) 通信予約機能許可の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1で通信退避してバスを解放した)とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn)をセット(1)すると、バスが解放されたあと(ストップ・コンディション検出時)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn)をセット(1)し、割り込み要求信号 (INTIICAn)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICAシフト・レジスタ n (IICAn)にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・ バスが解放されているとき スタート・コンディション生成
- ・ バスが解放されていないとき(待機状態) 通信予約

通信予約として動作するかどうかは、STTnビットをセット(1)し、ウェイト時間をとったあと、MSTSnビット(IICAステータス・レジスタ n (IICSn)のビット7)で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

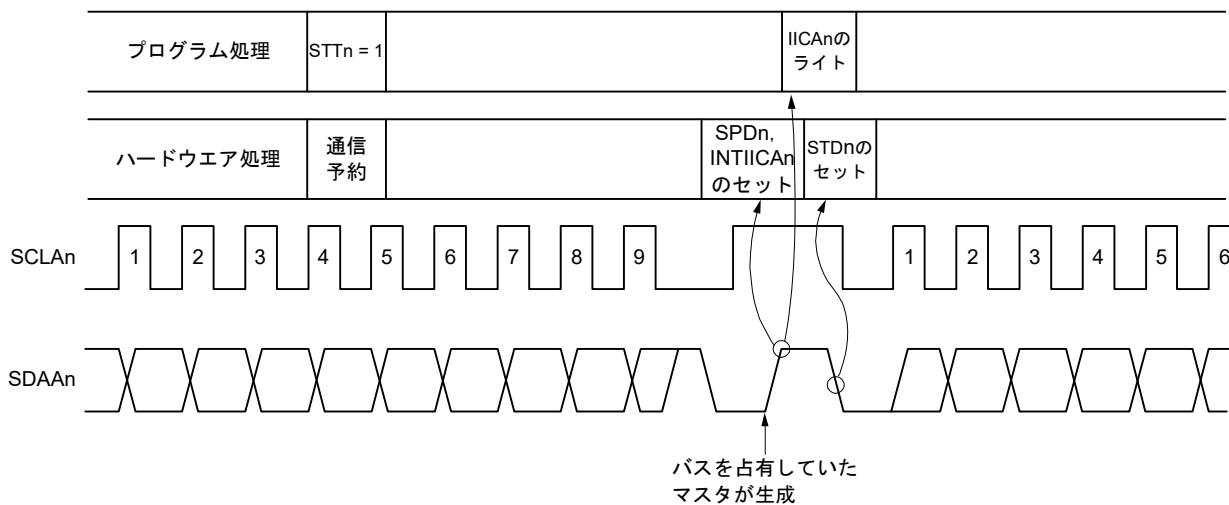
$$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 :} \\ (\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4) / \text{fMCK} + \text{tF} \times 2$$

- 備考1. IICWLn : IICA ロウ・レベル幅設定レジスタ n
 IICWHn : IICA ハイ・レベル幅設定レジスタ n
 tF : SDAAn, SCLAn 信号の立ち下がり時間
 fMCK : IICA 動作クロック周波数

備考2. n = 0

通信予約のタイミングを図20 - 32に示します。

図20 - 32 通信予約のタイミング



- 備考 IICAn : IICAシフト・レジスタ n
 STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1
 STDn : IICAステータス・レジスタ n (IICSn)のビット1
 SPDn : IICAステータス・レジスタ n (IICSn)のビット0

通信予約は図20 - 33に示すタイミングで受け付けられます。IICAステータス・レジスタ n (IICSn)のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn) = 1で通信予約をします。

図20 - 33 通信予約受け付けタイミング

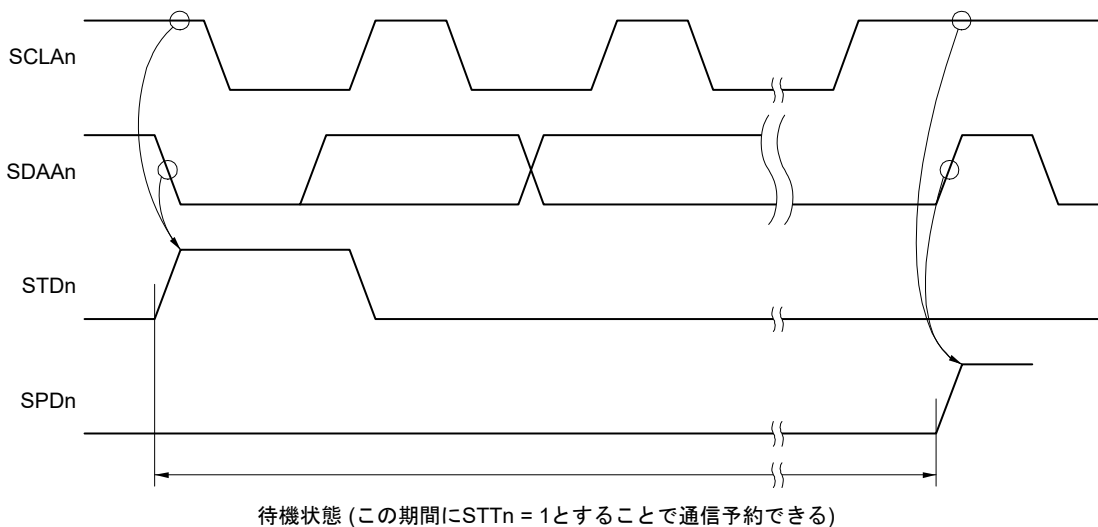
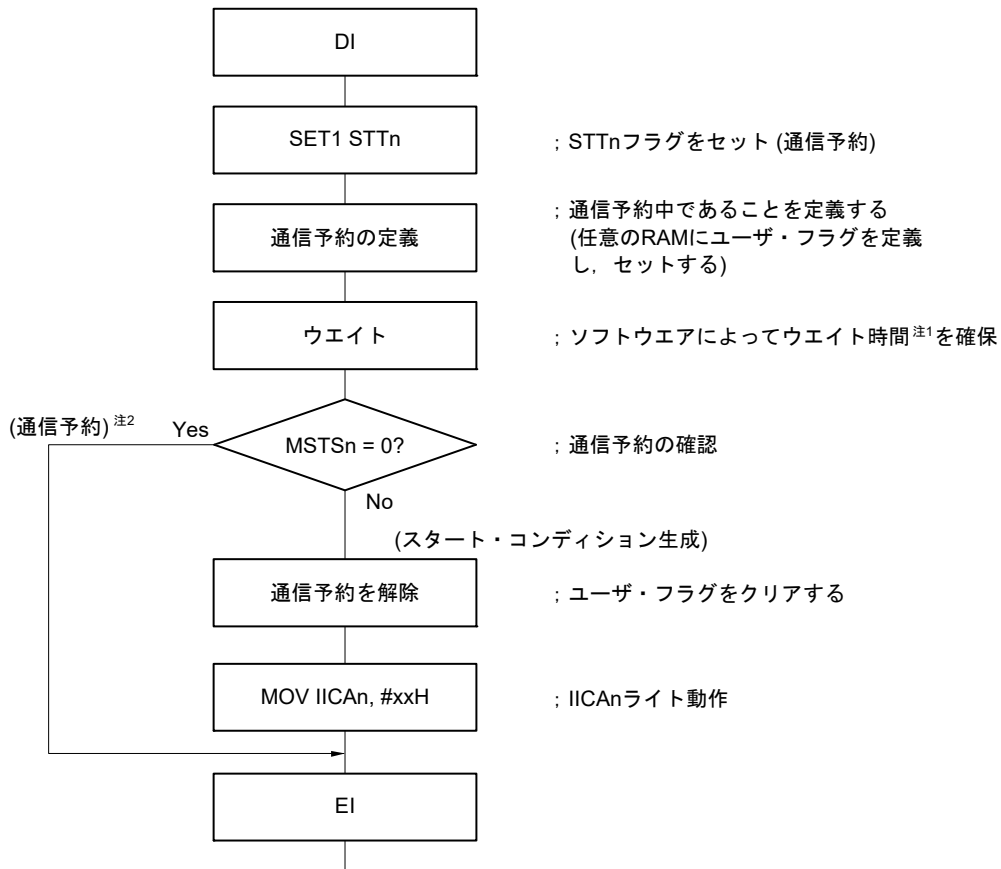


図20 - 34に通信予約の手順を示します。

- 備考 n = 0

図 20 - 34 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWLnの設定値 + IICWHnの設定値 + 4)/fMCK + tF \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ n (IICAn)への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

MSTS n : IICAステータス・レジスタ n (IICSn)のビット7

IICAn : IICAシフト・レジスタ n

IICWLn : IICAロウ・レベル幅設定レジスタ n

IICWHn : IICAハイ・レベル幅設定レジスタ n

tF : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0

(2) 通信予約機能禁止の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn)をセット(1)すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した)とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFn レジスタのビット7)で確認できます。STTn = 1としてからSTCFnがセット(1)されるまでfmckの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

20.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず通信状態(IICBSYn = 1)と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ n1 (IICCTLn1)を設定する
- ② IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn)をセット(1)する
- ③ IICCTLn0レジスタのビット0 (SPTn)をセット(1)する

(2) STCENn = 1の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを生成(STTn = 1)する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識(スタート・コンディション検出)します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn)をクリア(0)し、ストップ・コンディション検出による割り込み要求信号(INTIICAn)発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn)をセット(1)し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで(IICEnビットをセット(1)してから、fMCKの4~72クロック)に、IICCTLn0レジスタのビット6 (LRELn)をセット(1)にし、強制的に検出を無効とする

(4) STTn, SPTnビット(IICCTLn0レジスタのビット1, 0)をセットしたあと、クリア(0)される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット(IICCTLn0レジスタのビット4)をセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ n (IICAn)に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット(IICAステータス・レジスタ n (IICSn)のビット7)を検出する場合には、SPIEnビットをセット(1)する必要はありません。

備考 n = 0

20.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

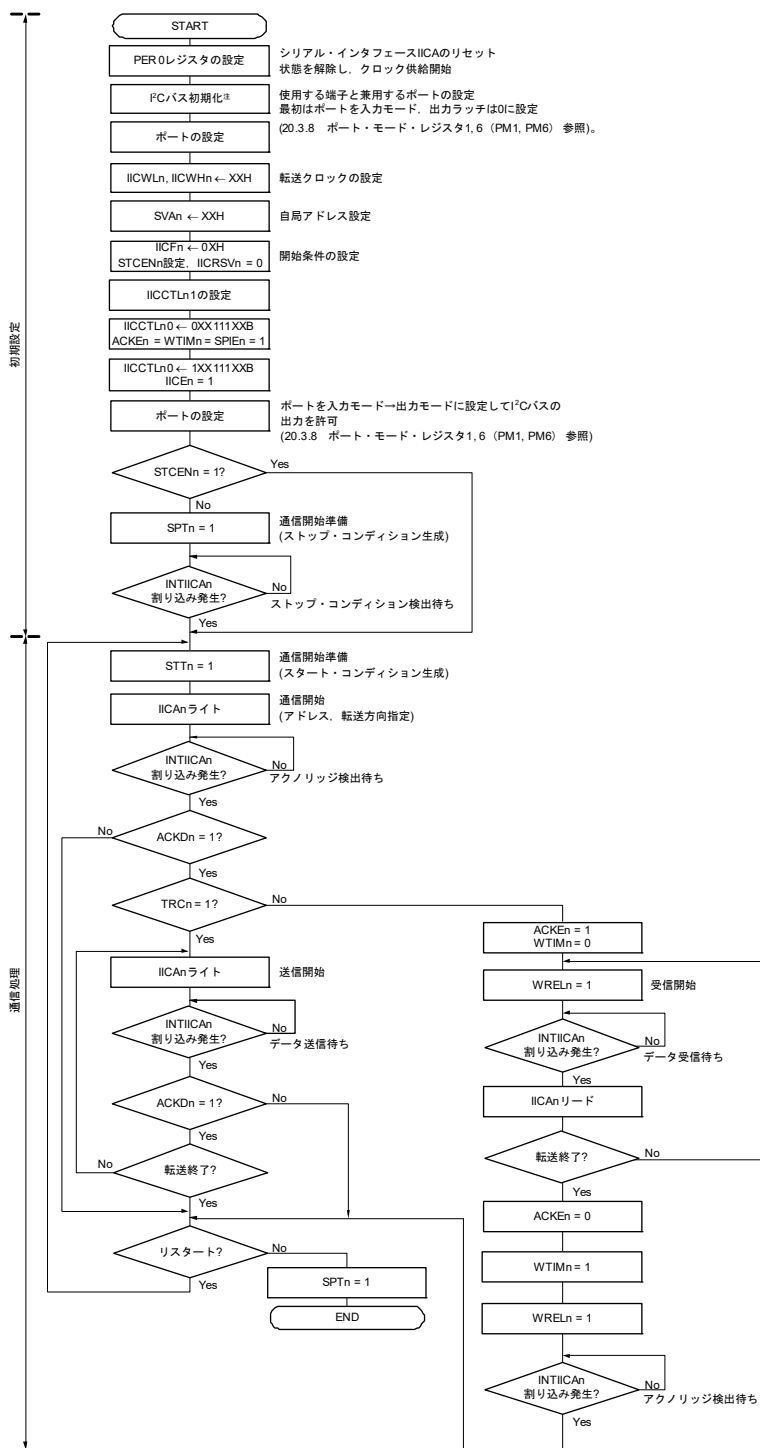
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(1) シングルマスタ・システムでのマスタ動作

図 20 - 35 シングルマスタ・システムでのマスタ動作



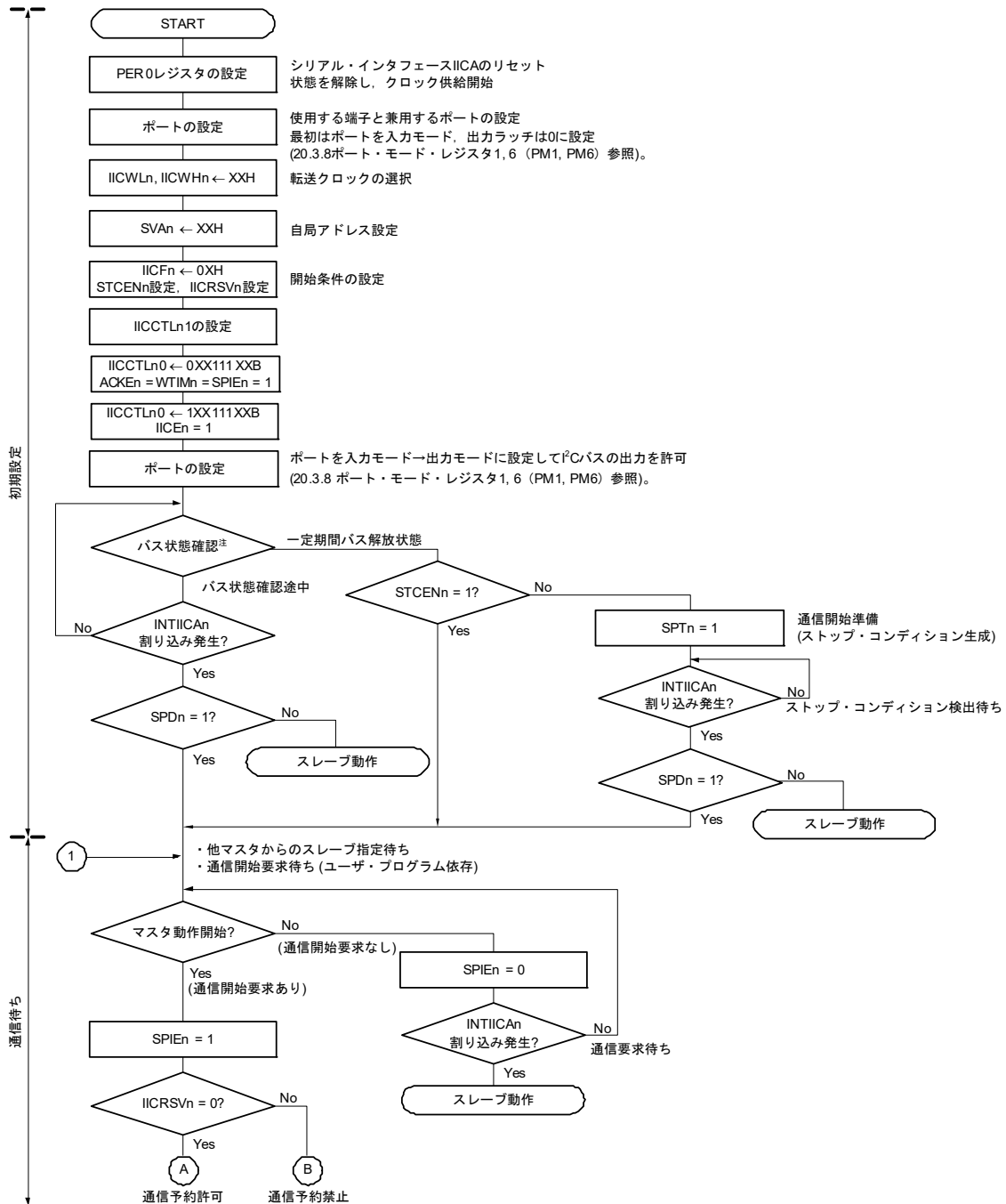
注 通信している製品の仕様に準拠し、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0

(2) マルチマスタ・システムでのマスタ動作

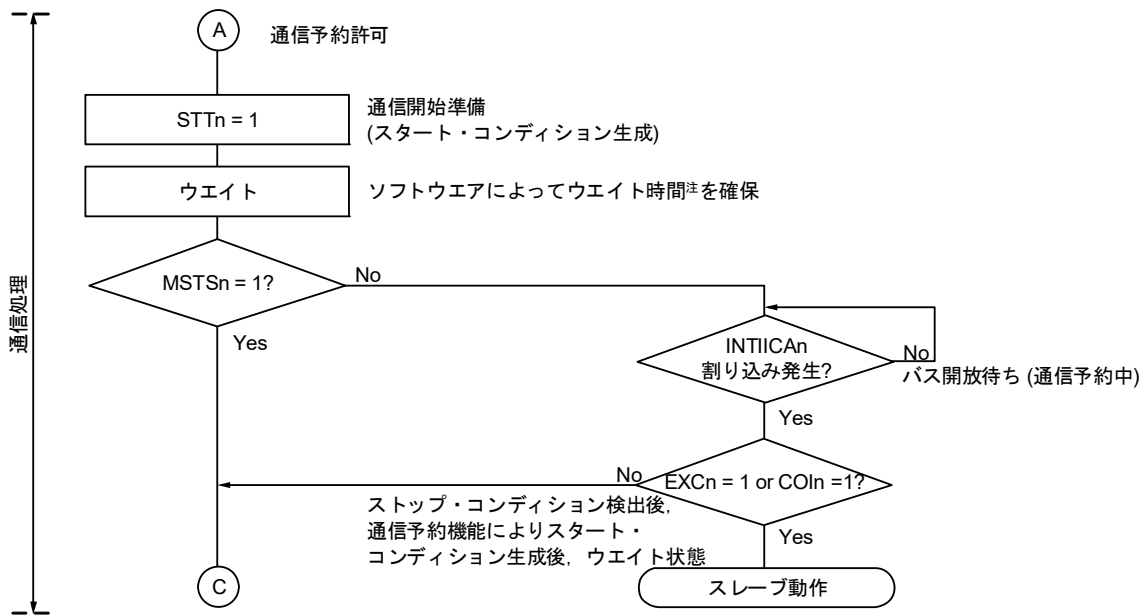
図20-36 マルチマスタ・システムでのマスタ動作(1/3)



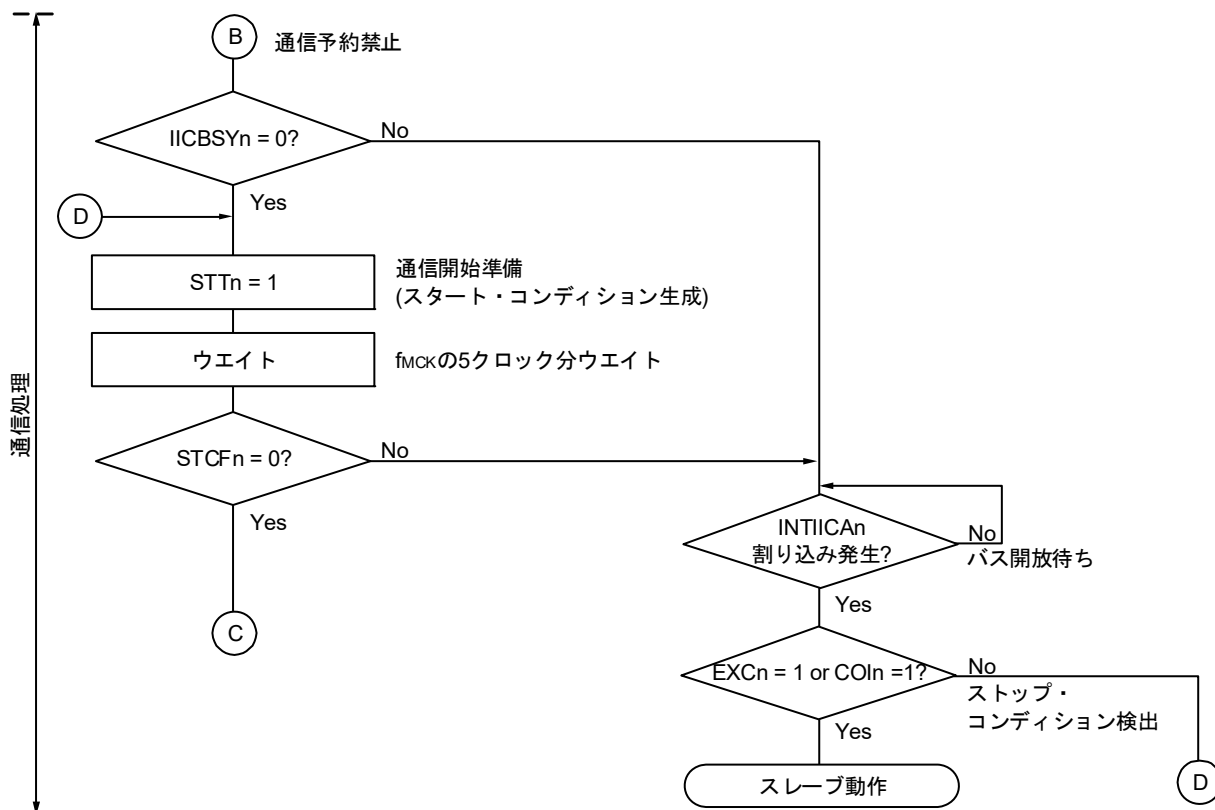
注 一定期間(たとえば1フレーム分)、バス解放状態(CLDnビット = 1, DADnビット = 1)であることを確認してください。定期的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)するか判断してください。

備考 n = 0

図20 - 37 マルチマスタ・システムでのマスタ動作(2/3)



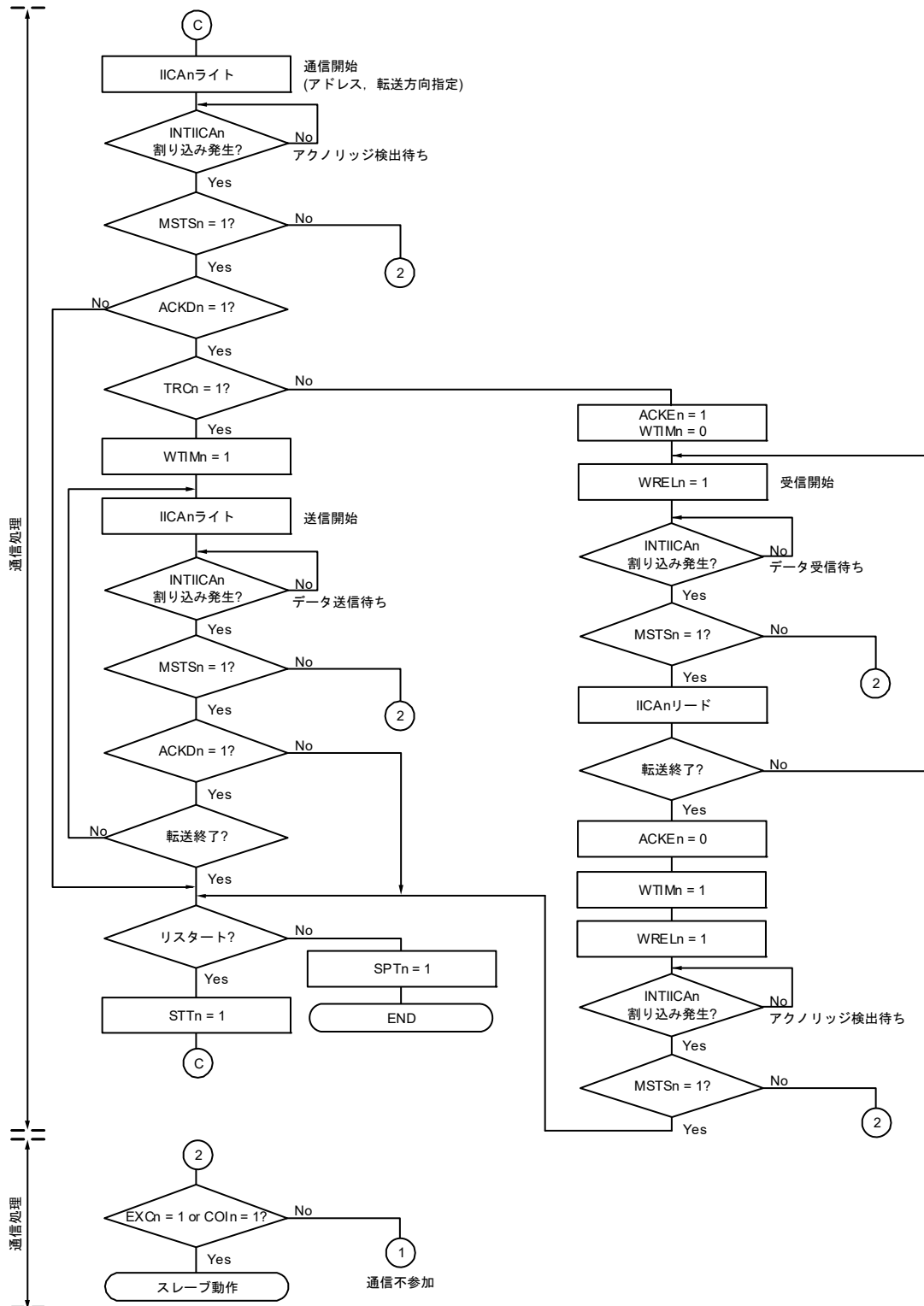
注 ウェイト時間は次のようになります。
 $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / fMCK + t_f \times 2$



備考1. IICWLn : IICA ロウ・レベル幅設定レジスタ n
 IICWHn : IICA ハイ・レベル幅設定レジスタ n
 t_f : SDAAn, SCLAn 信号の立ち下がり時間
 f_{MCK} : IICA 動作クロック周波数

備考2. n = 0

図20-38 マルチマスタ・システムでのマスタ動作(3/3)



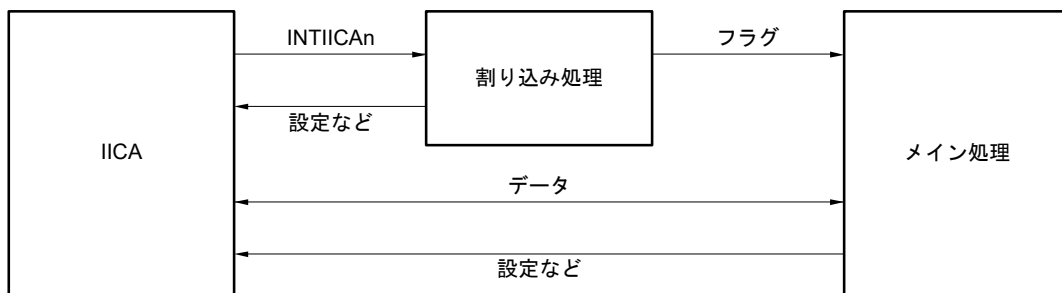
- 備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
- 備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み発生ごとにMSTS_n ビットをリードし、アービトレーション結果を確認してください。
- 備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn 割り込み発生ごとに IICA ステータス・レジスタ n (IICSn), IICA フラグ・レジスタ n (IICFn) でステータスを確認して次に行う処理を決定してください。
- 備考4. n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンの動作となります。このため INTIICAn 割り込みによる処理(通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理)が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。また INTIICAn 割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これを INTIICAn の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード： データ通信を行っていない状態
- ・通信モード： データ通信を行っている状態(有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致)

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信では INTIICAn 割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります(アドレス一致自体が次のデータの要求と解釈します)。

③ 通信方向フラグ

通信の方向を示します。TRCn ビットの値と同じです。

備考 n = 0

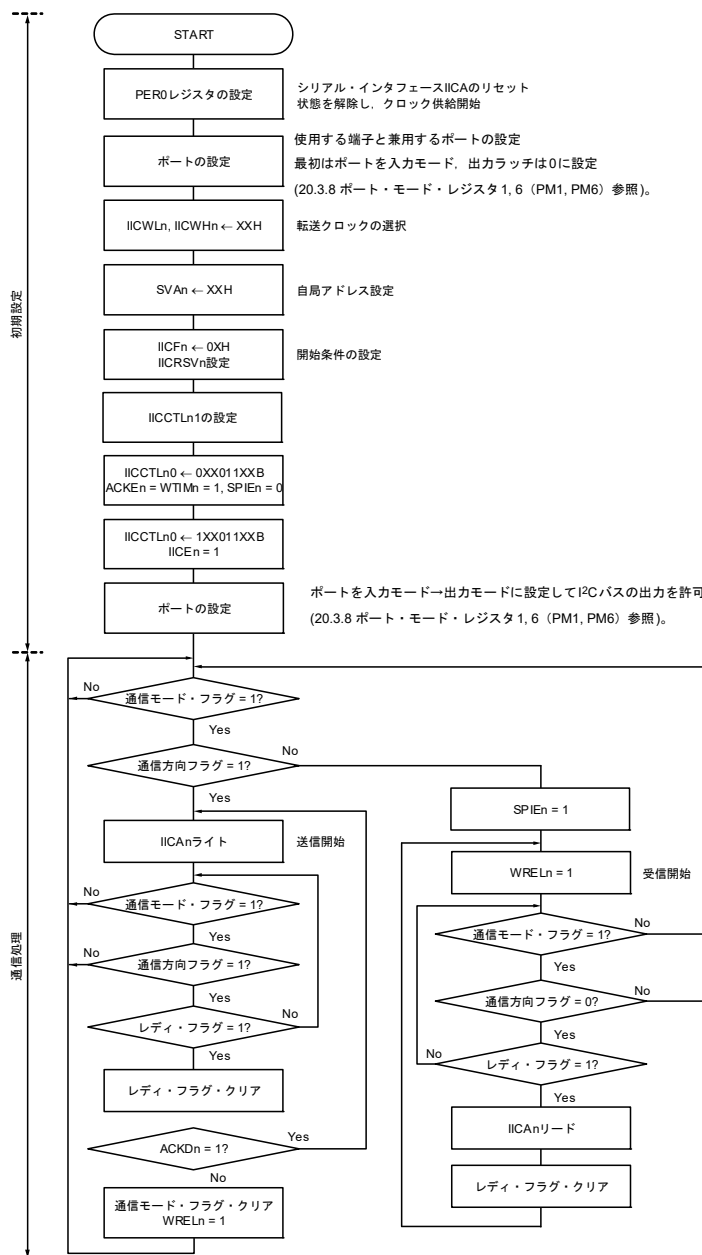
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います (ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します)。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図 20 - 39 スレーブ動作手順(1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

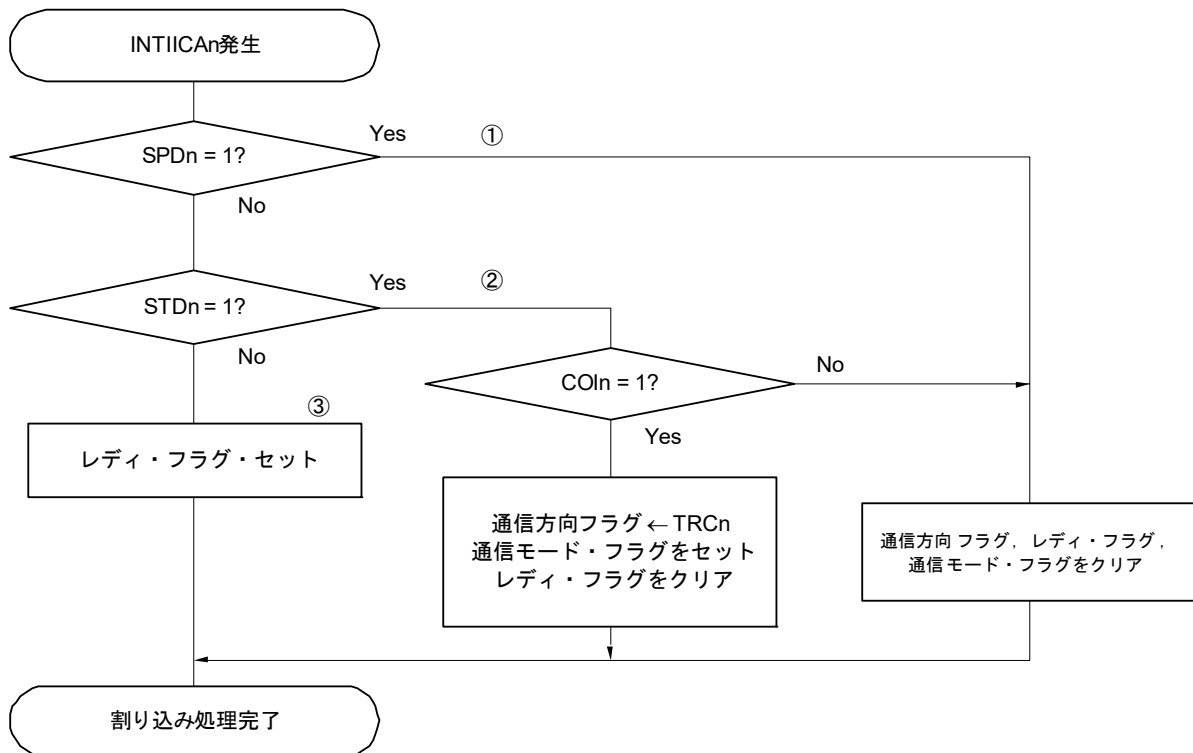
備考2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図20-40 スレーブ動作手順(2)の①～③と対応しています。

図20-40 スレーブ動作手順(2)



備考 n = 0

20.5.17 I²C 割り込み要求 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでのIICAステータス・レジスタ n (IICSn) の値を示します。

備考1. ST : スタート・コンディション

AD6-AD0 : アドレス

$\overline{R/W}$: 転送方向指定

ACK : アクノリッジ

D7-D0 : データ

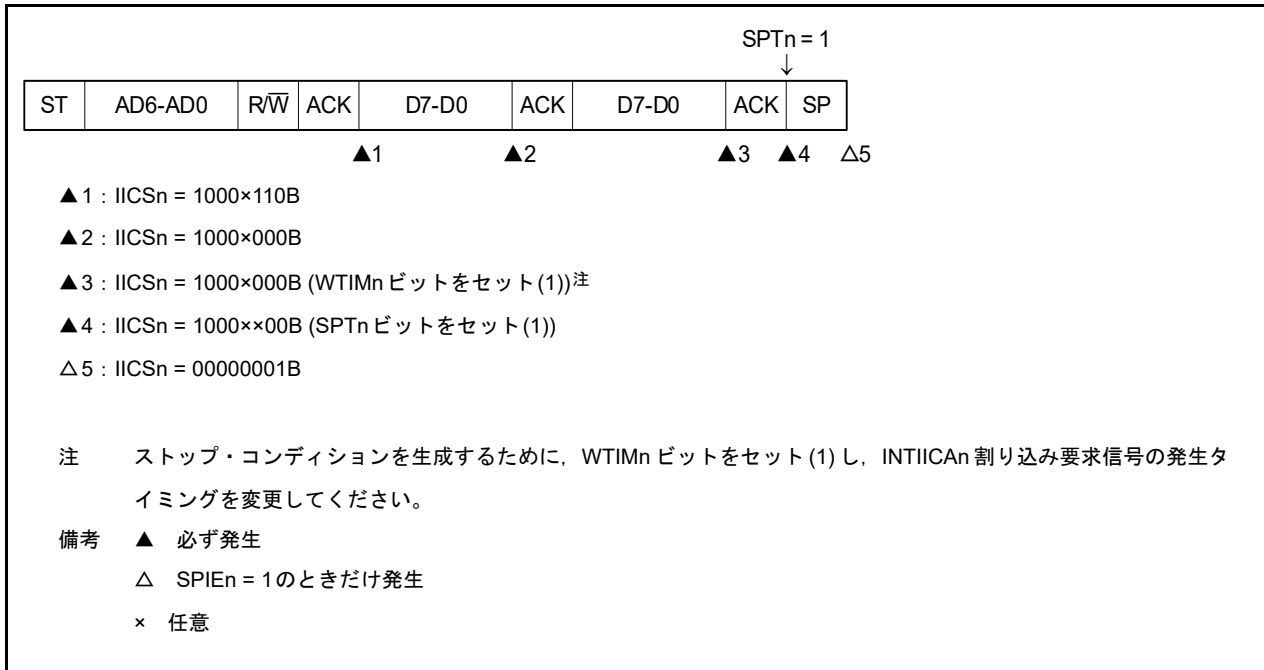
SP : ストップ・コンディション

備考2. n = 0

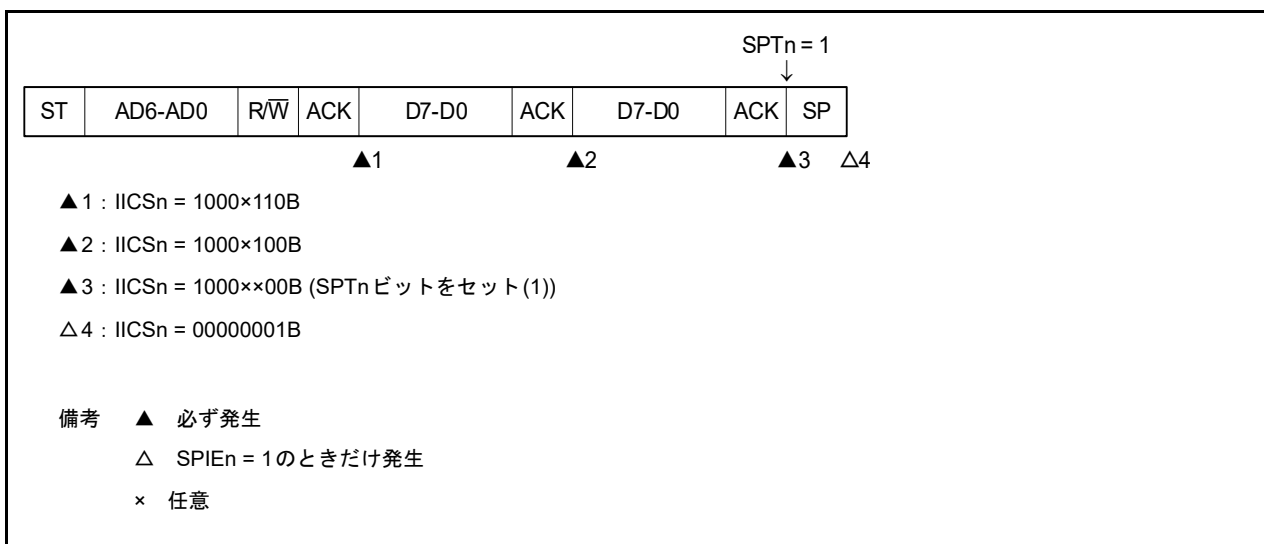
(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIMn = 0 のとき



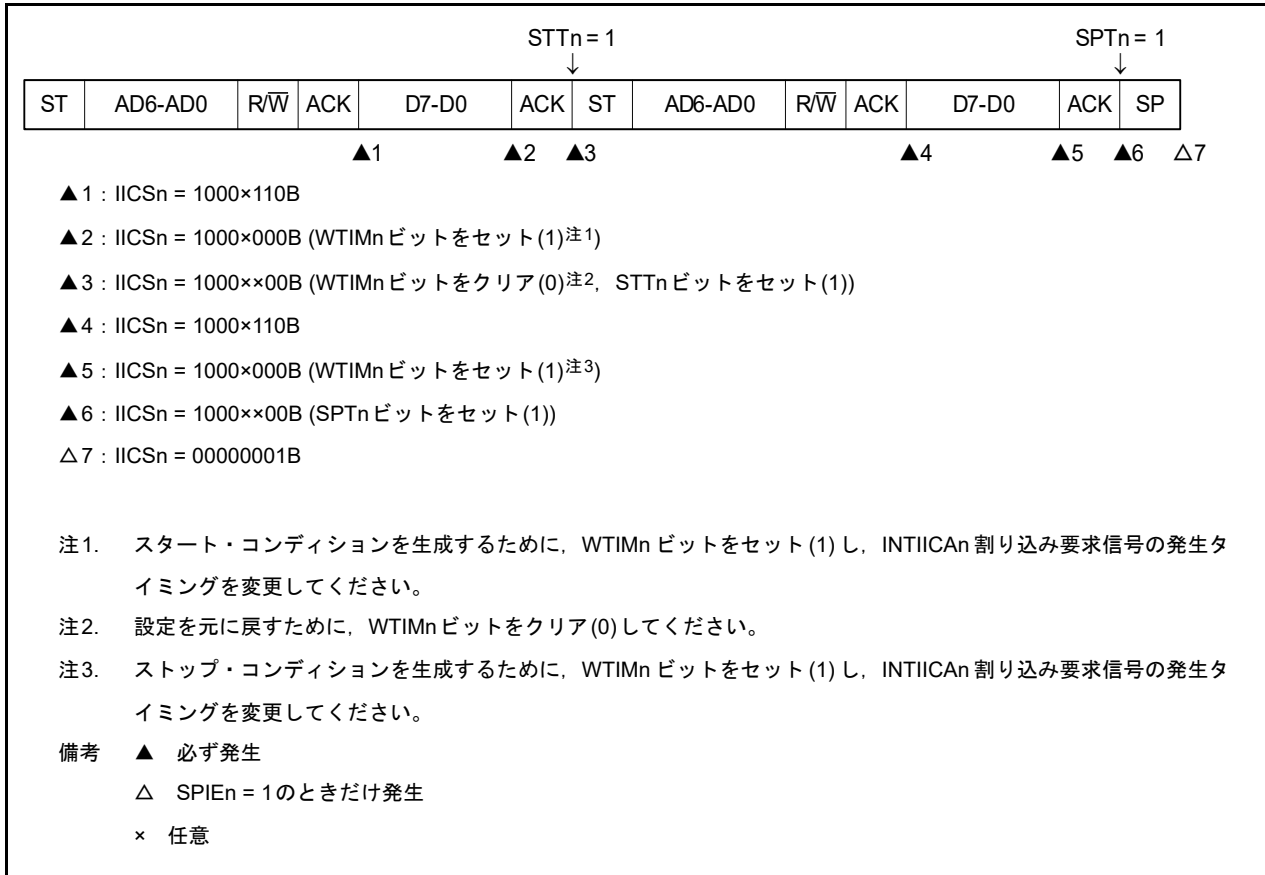
(ii) WTIMn = 1 のとき



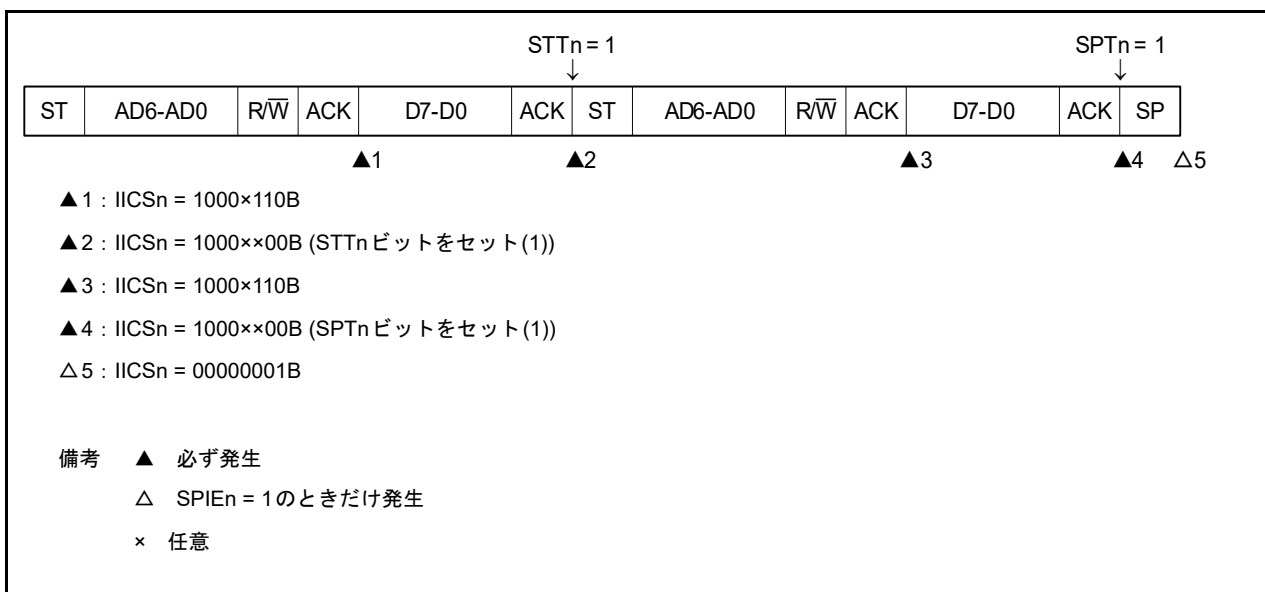
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIMn = 0 のとき



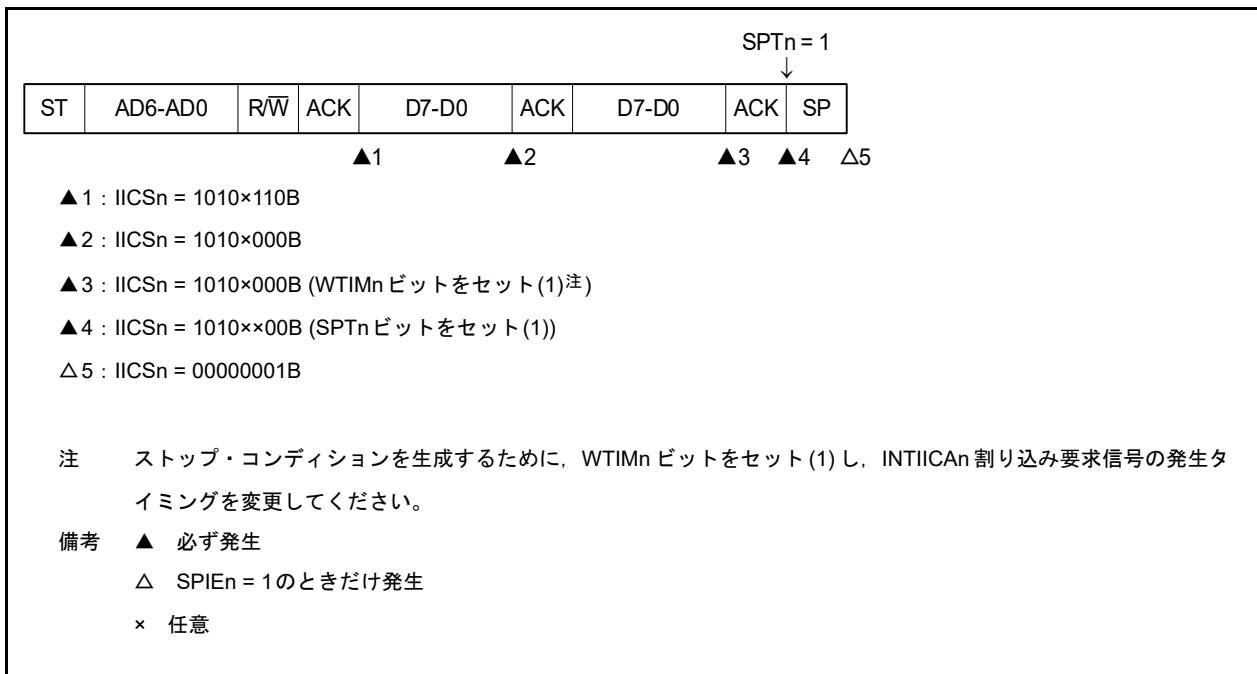
(ii) WTIMn = 1 のとき



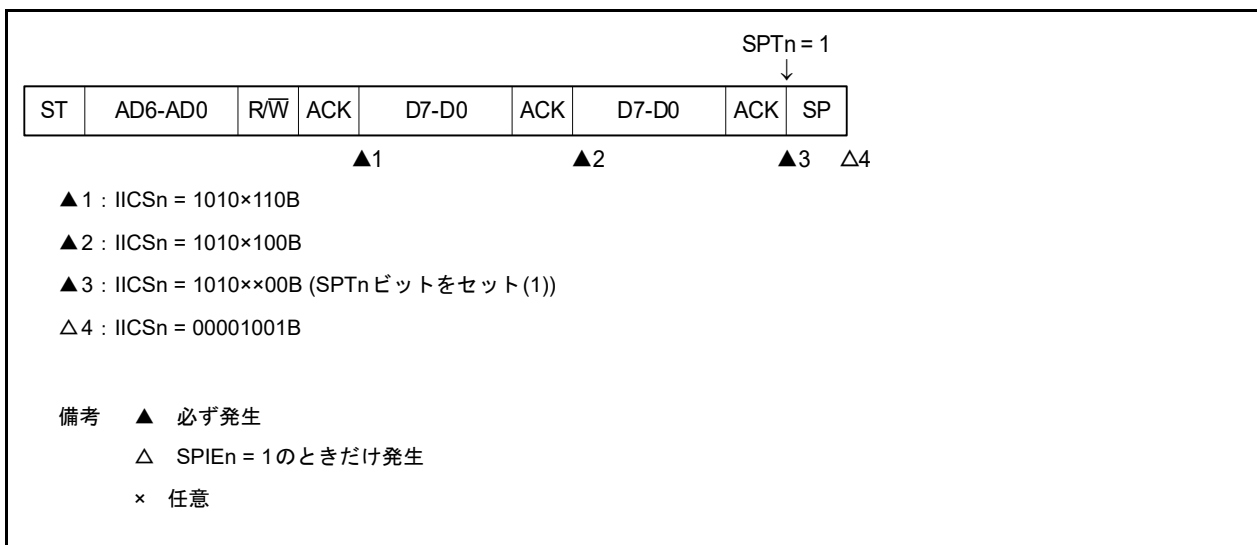
備考 n = 0

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき

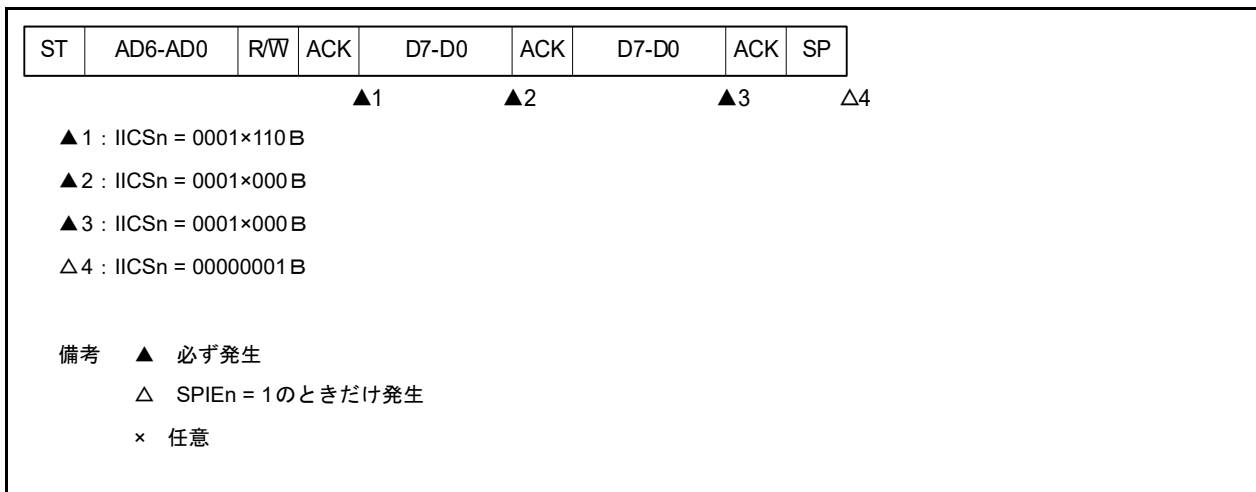


備考 n = 0

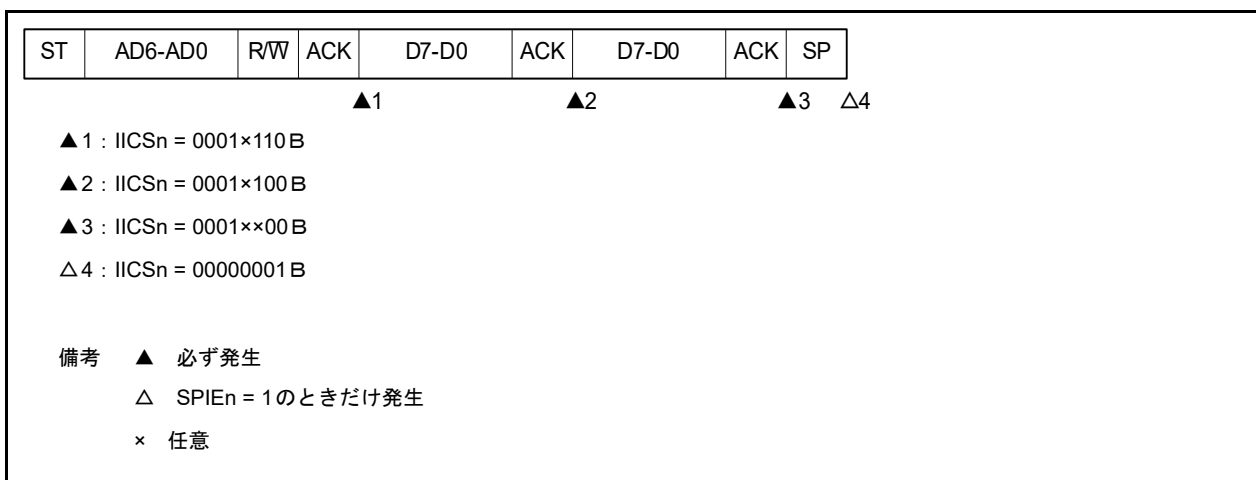
(2) スレーブ動作(スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



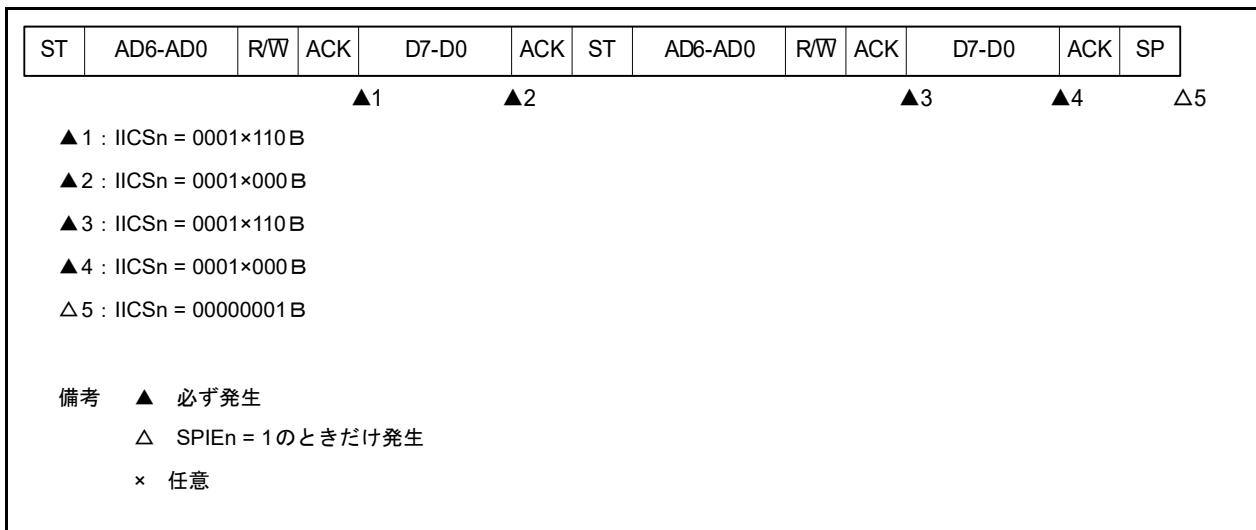
(ii) WTIMn = 1 のとき



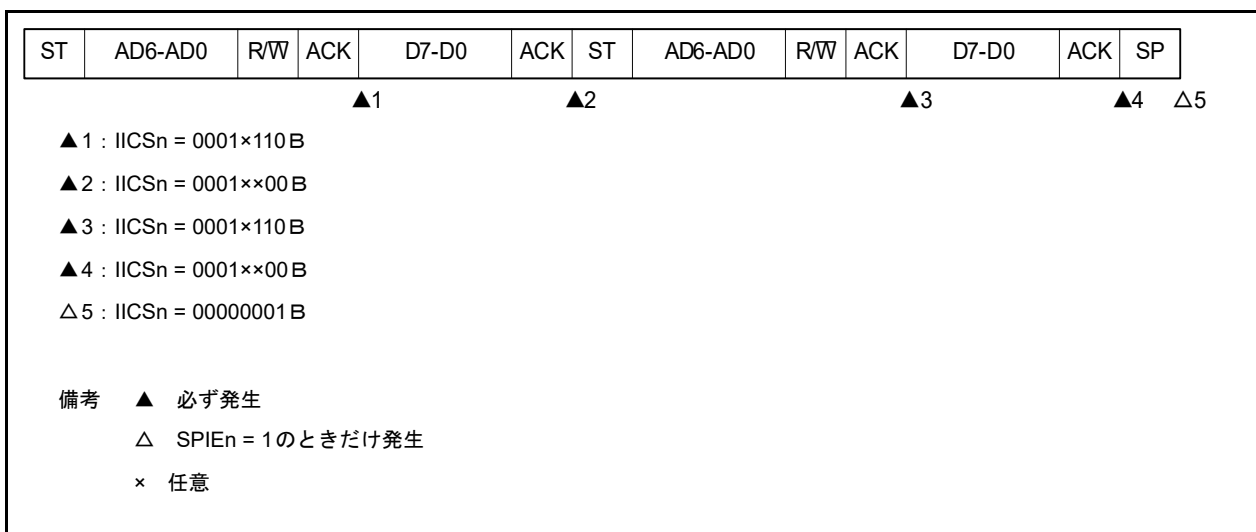
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



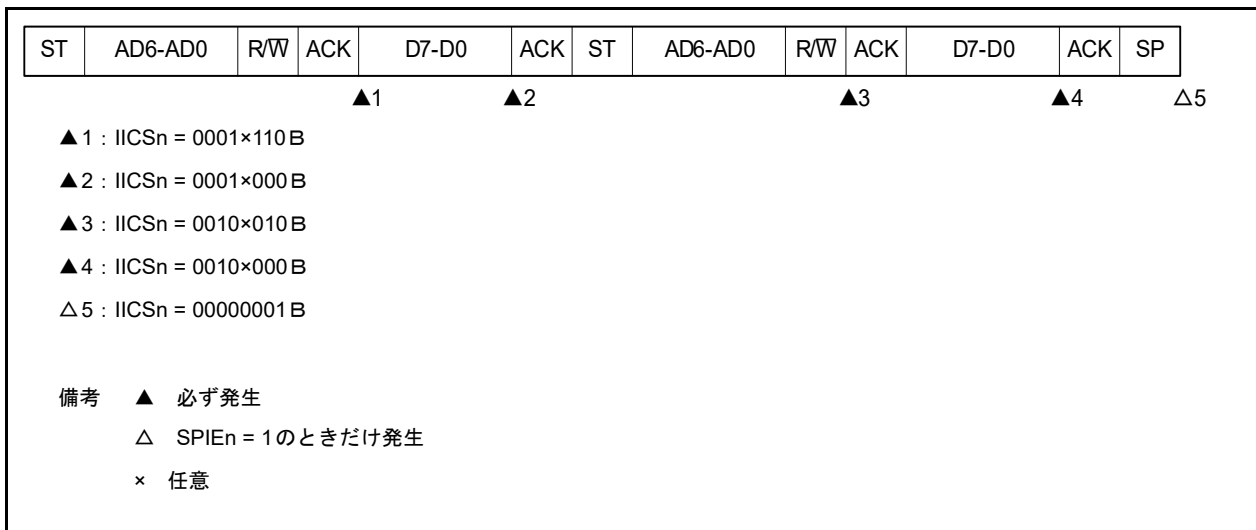
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



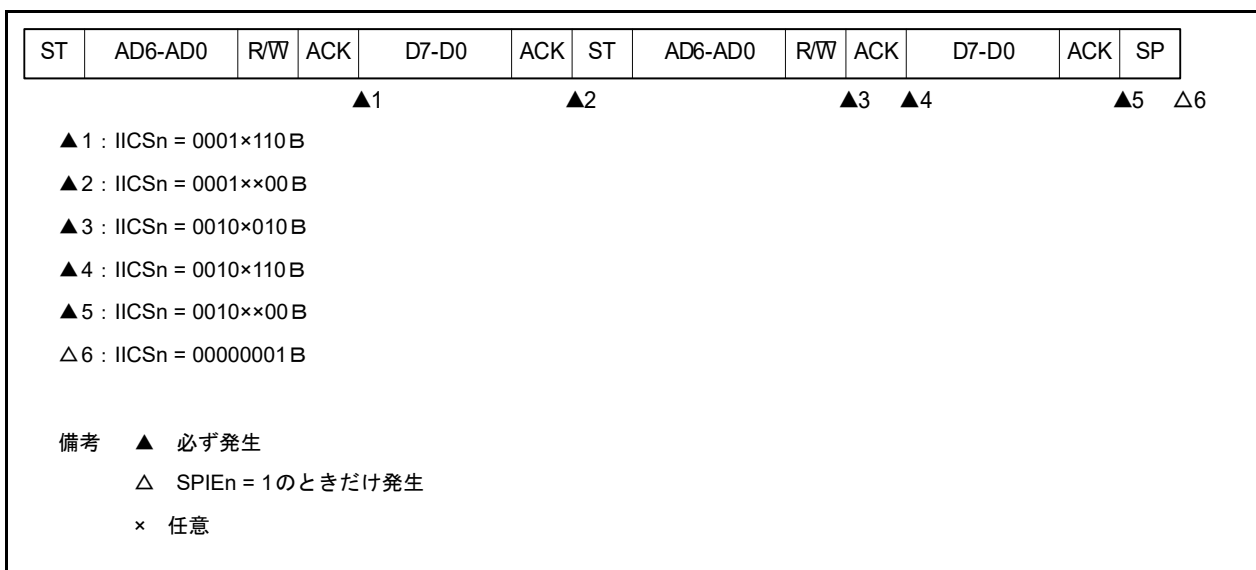
備考 n = 0

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード))



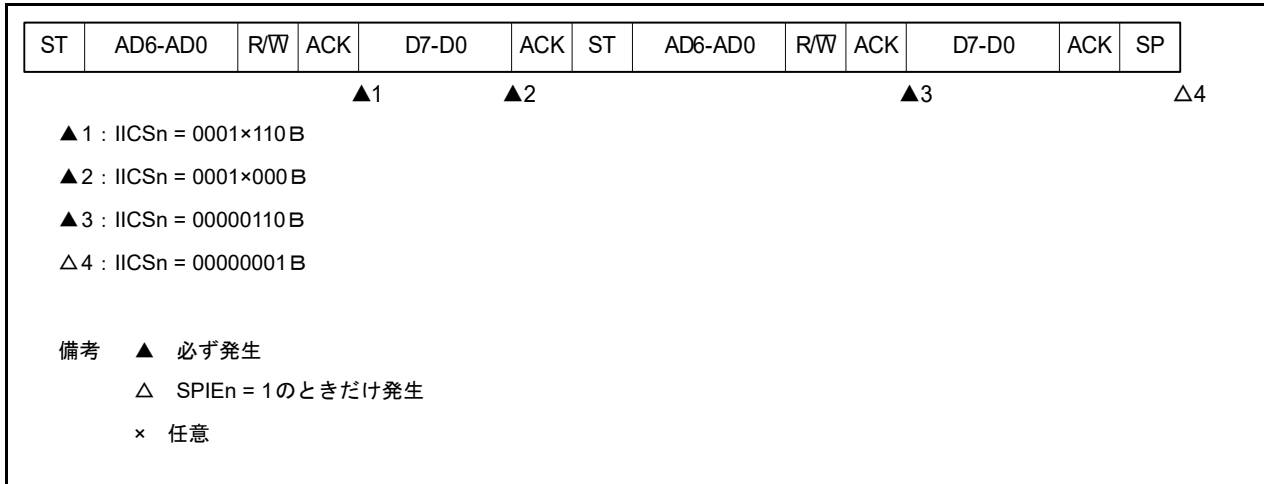
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード))



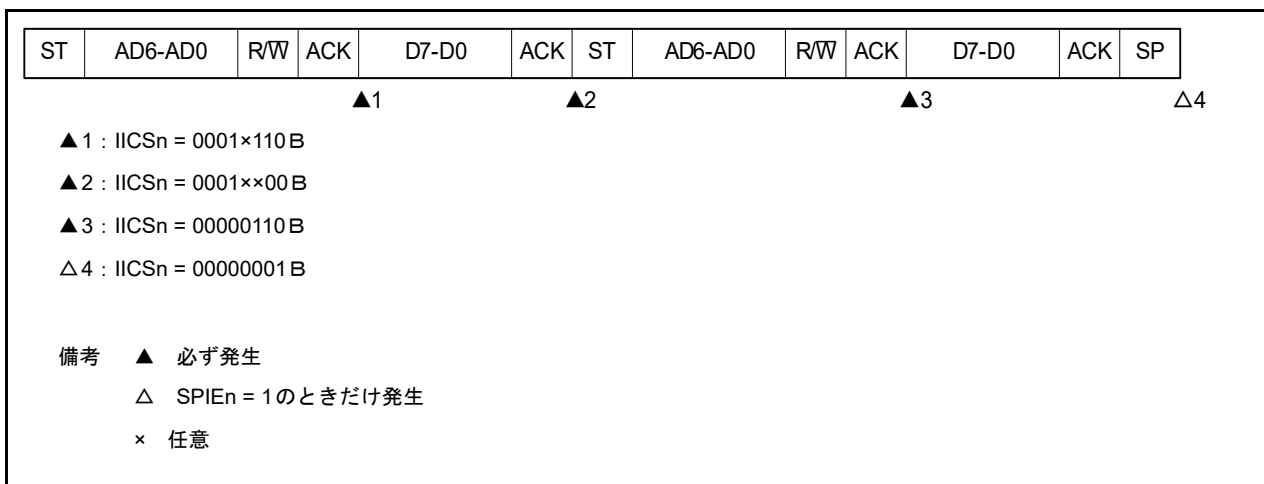
備考 n = 0

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



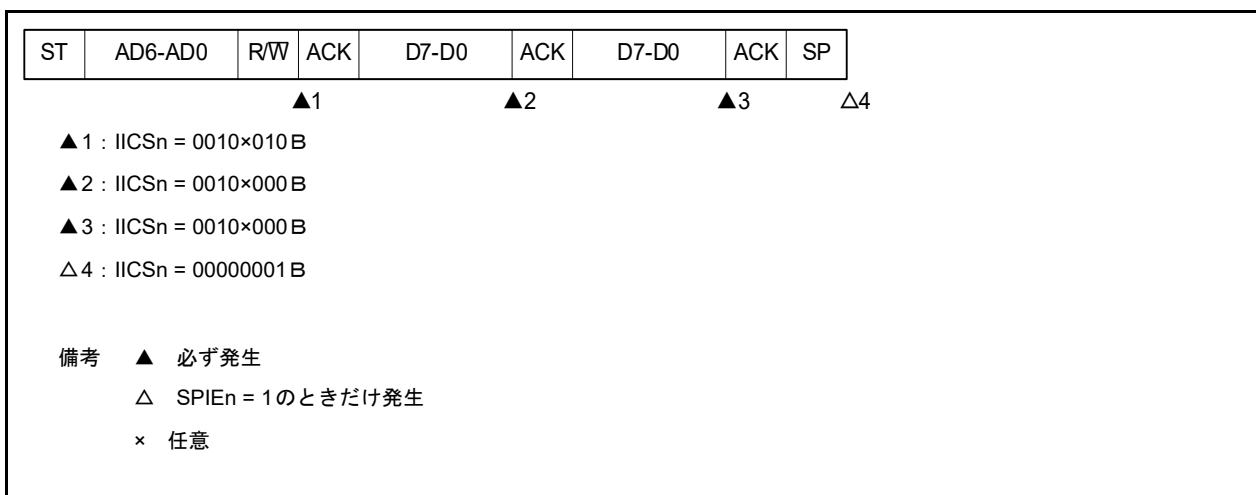
備考 n = 0

(3) スレーブ動作(拡張コード受信時)

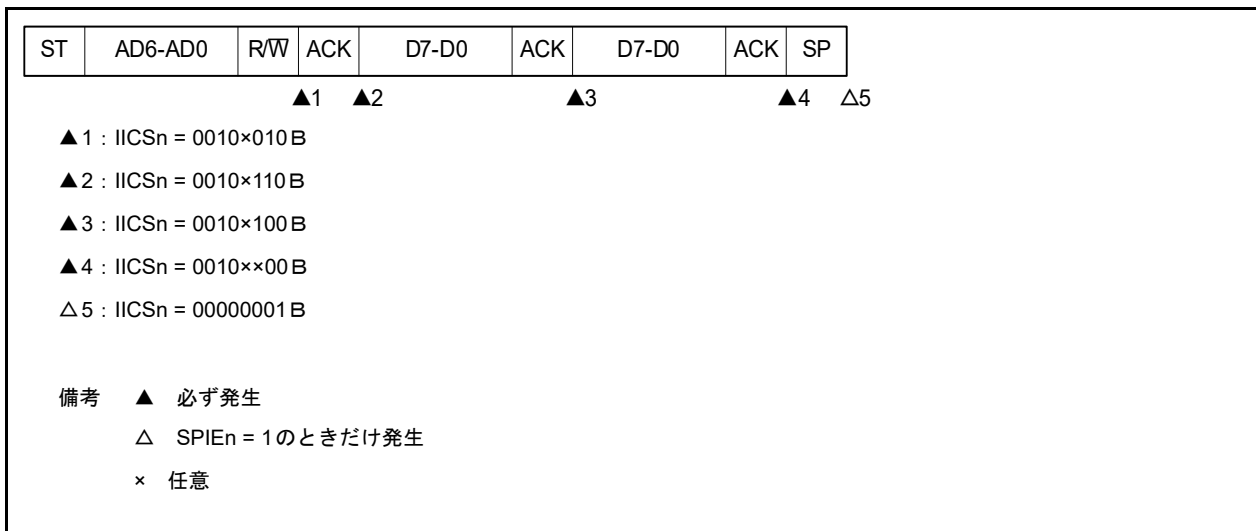
拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



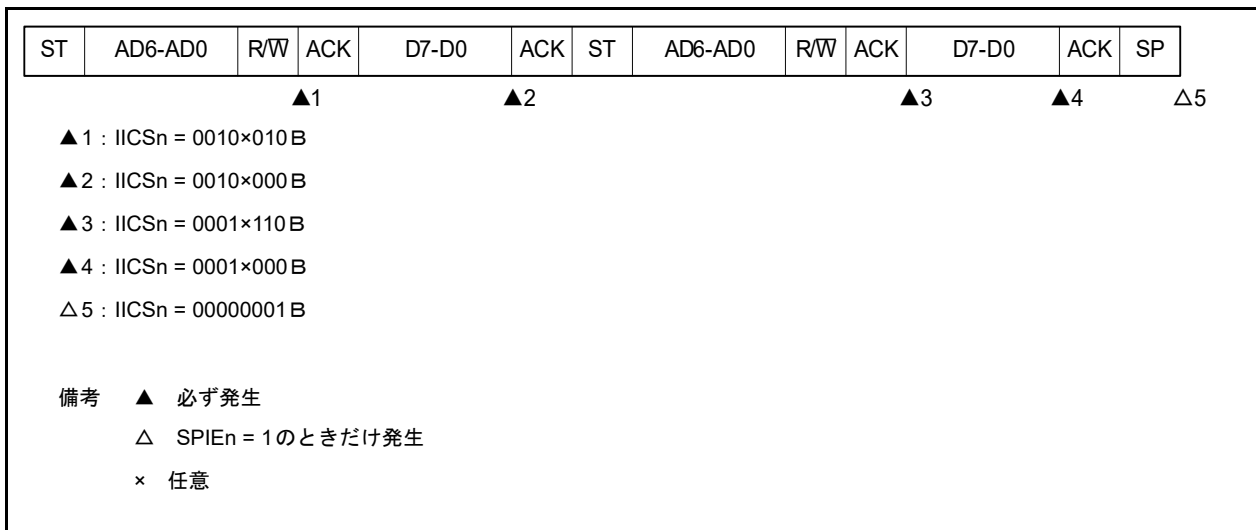
(ii) WTIMn = 1 のとき



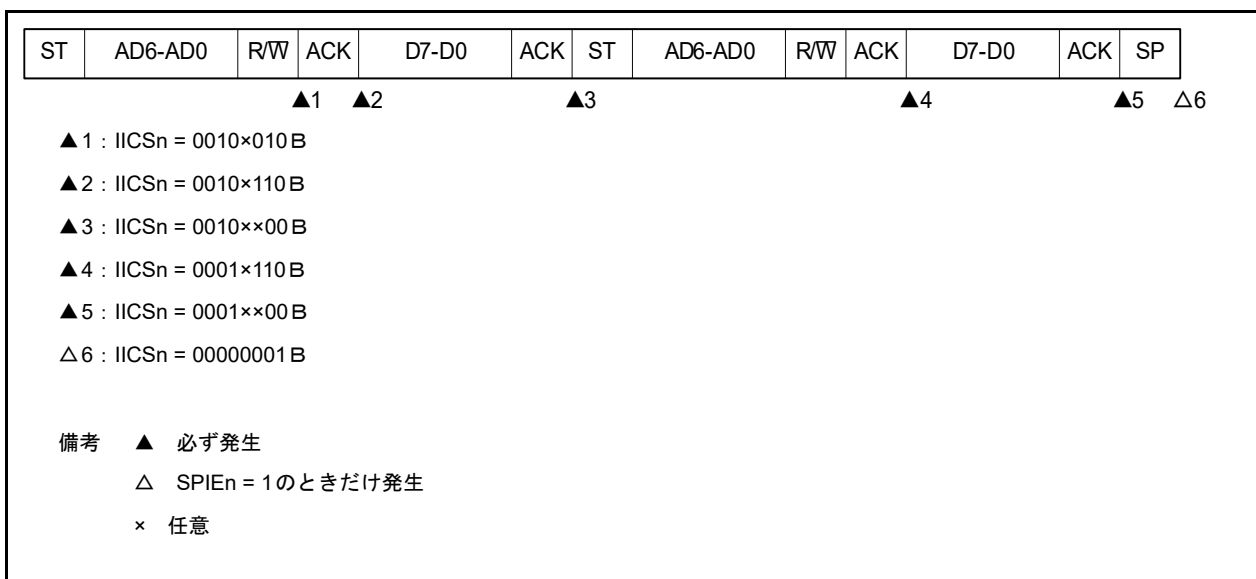
備考 n = 0

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



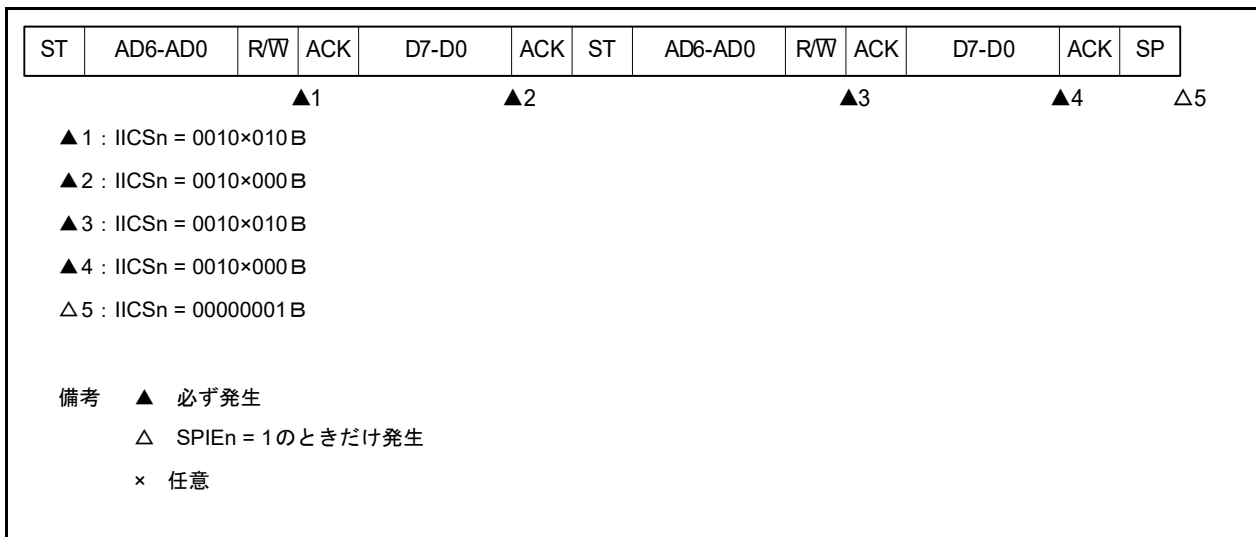
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



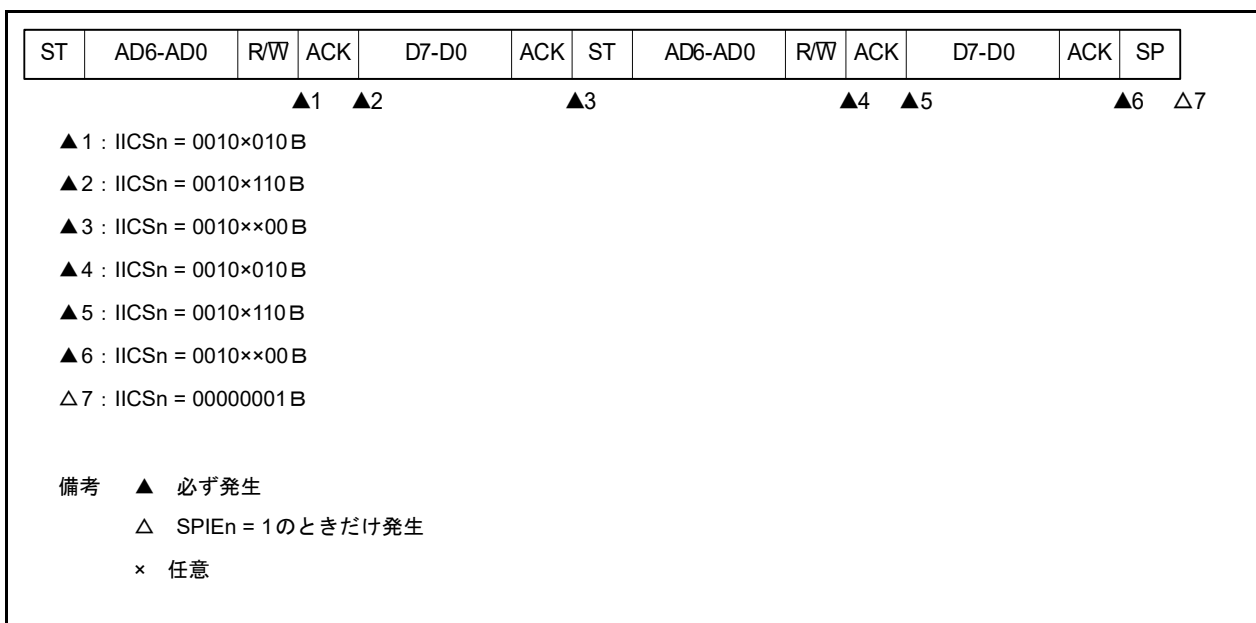
備考 n = 0

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, 拡張コード受信)



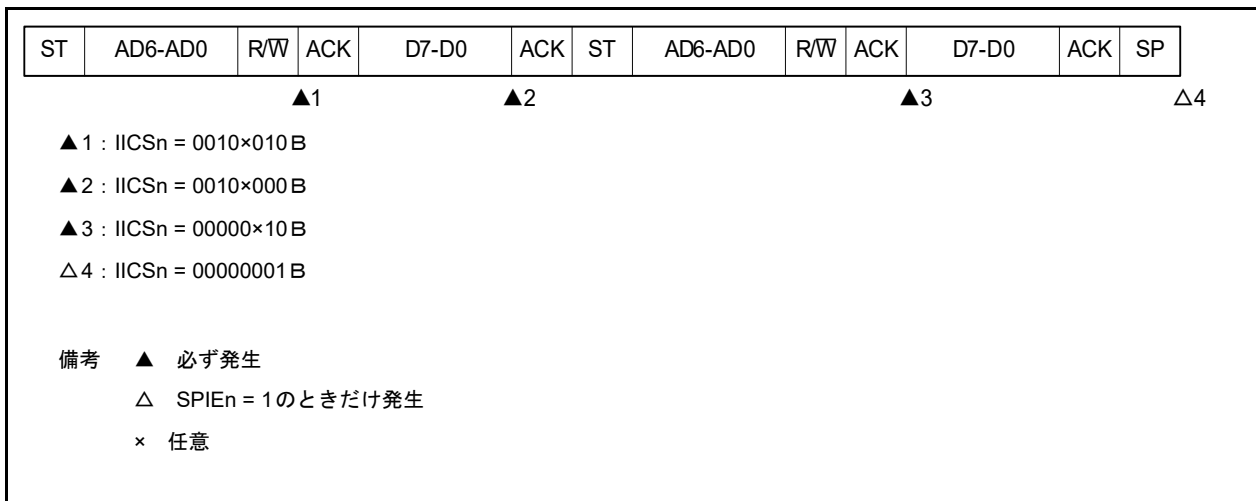
(ii) WTIMn = 1 のとき (リスタート後, 拡張コード受信)



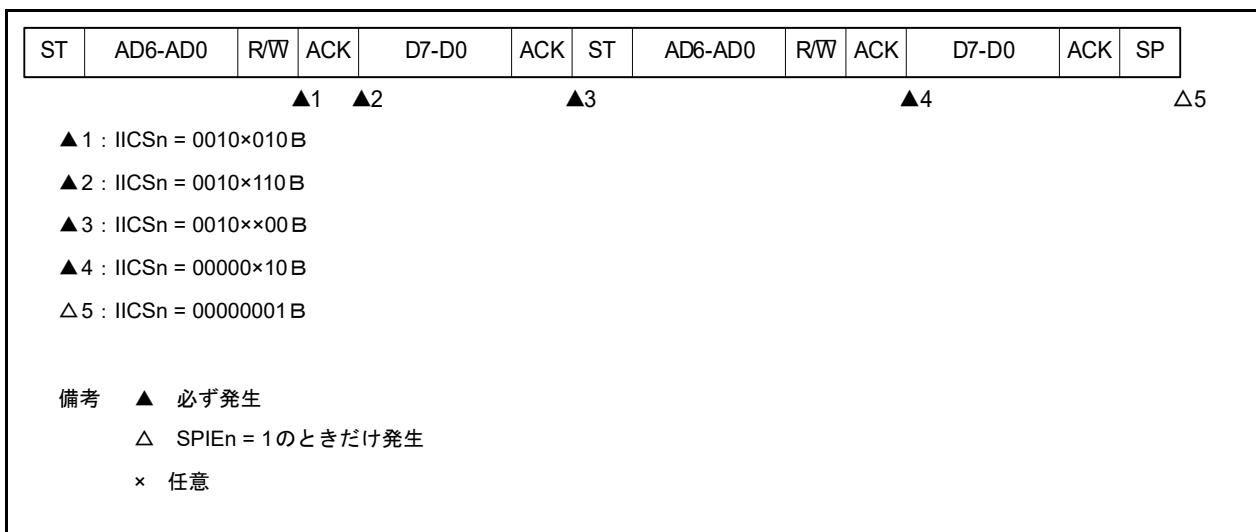
備考 n = 0

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



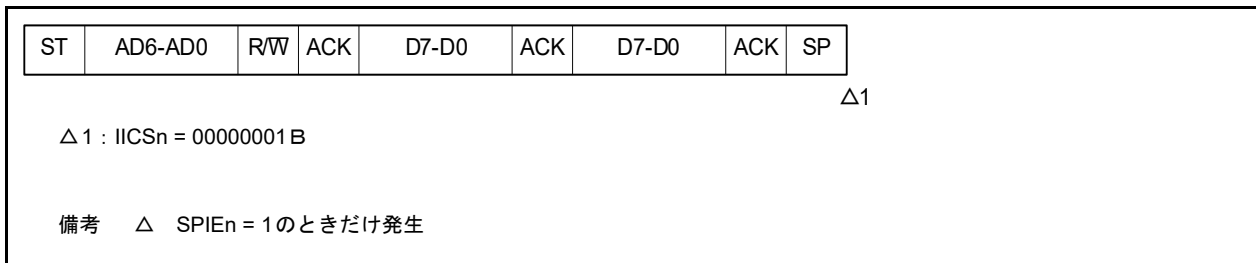
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



備考 n = 0

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

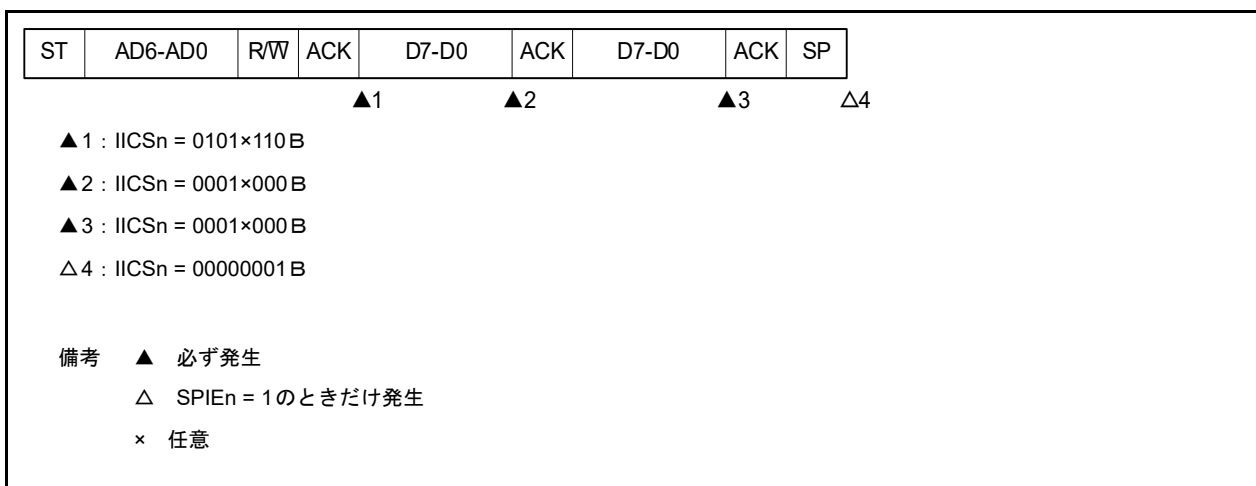


(5) アービトレーション負けの動作(アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

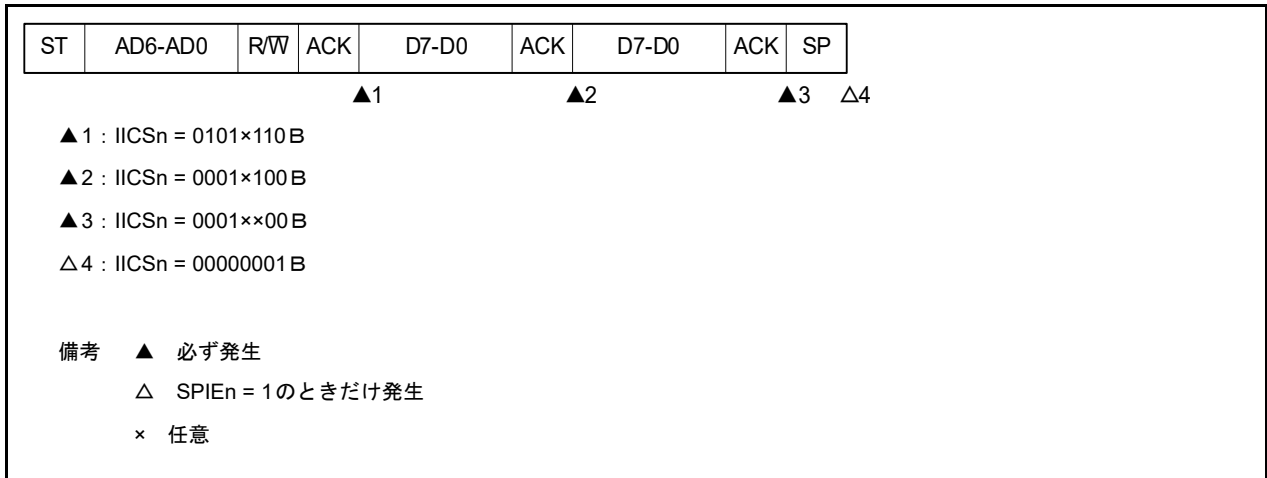
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



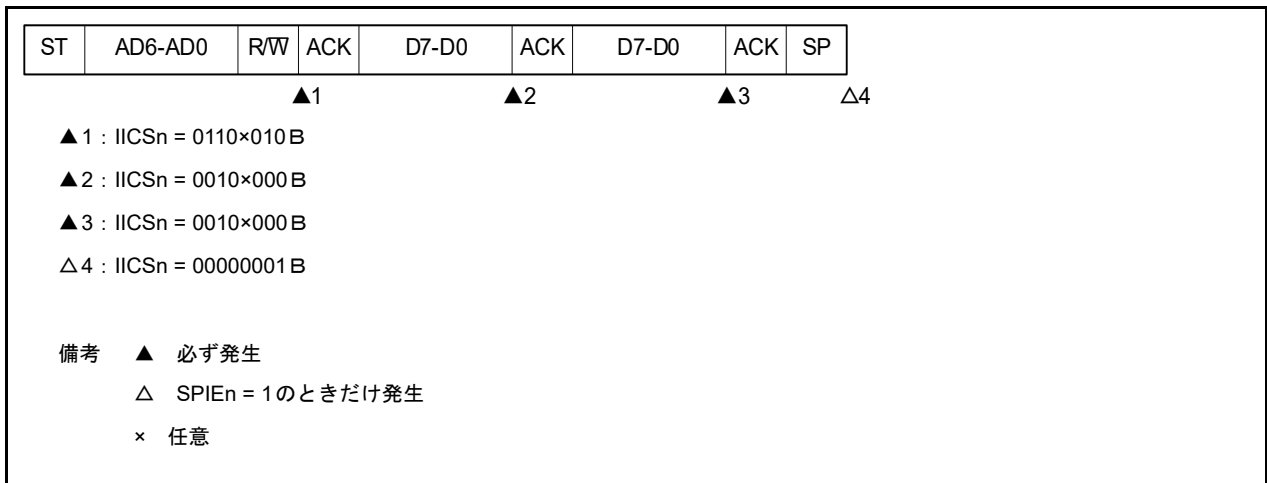
備考 n = 0

(ii) WTIMn = 1 のとき



(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0

(ii) WTIMn = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3		▲4 Δ5
▲1 : IICSn = 0110×010 B								
▲2 : IICSn = 0010×110 B								
▲3 : IICSn = 0010×100 B								
▲4 : IICSn = 0010××00 B								
Δ5 : IICSn = 00000001 B								
備考 ▲ 必ず発生								
△ SPIEn = 1 のときだけ発生								
× 任意								

(6) アービトレーション負けの動作(アービトレーション負けのあと、不参加)

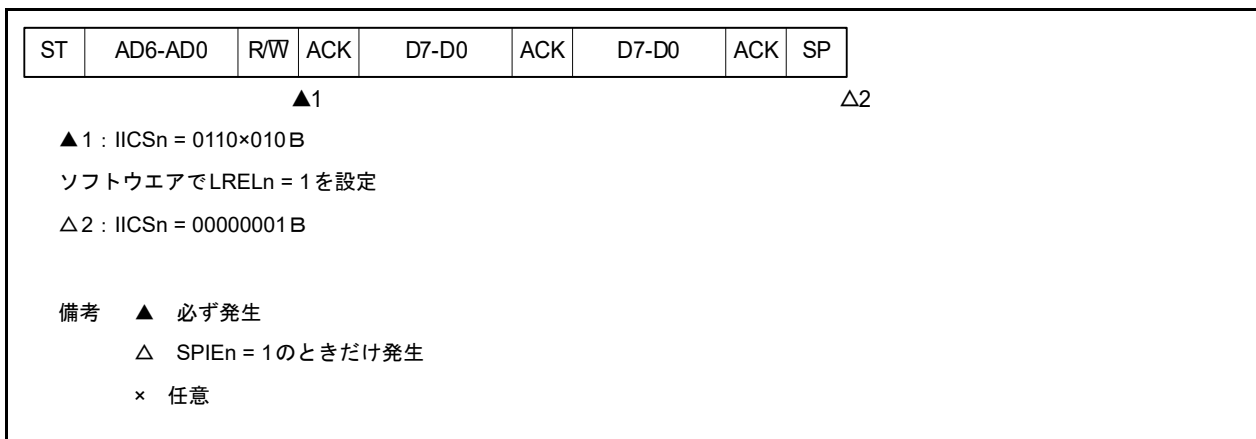
マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合(WTIMn = 1 のとき)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1					Δ2
▲1 : IICSn = 01000110 B								
Δ2 : IICSn = 00000001 B								
備考 ▲ 必ず発生								
△ SPIEn = 1 のときだけ発生								

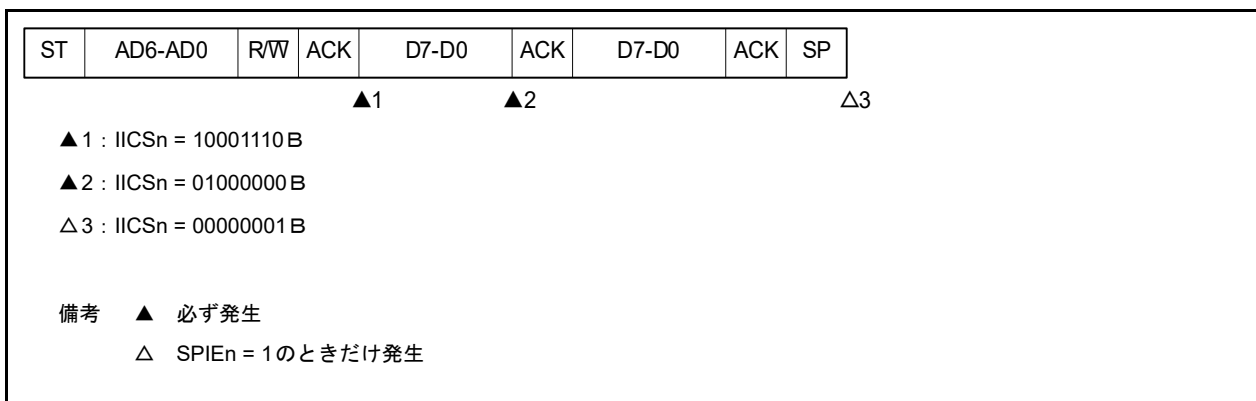
備考 n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合



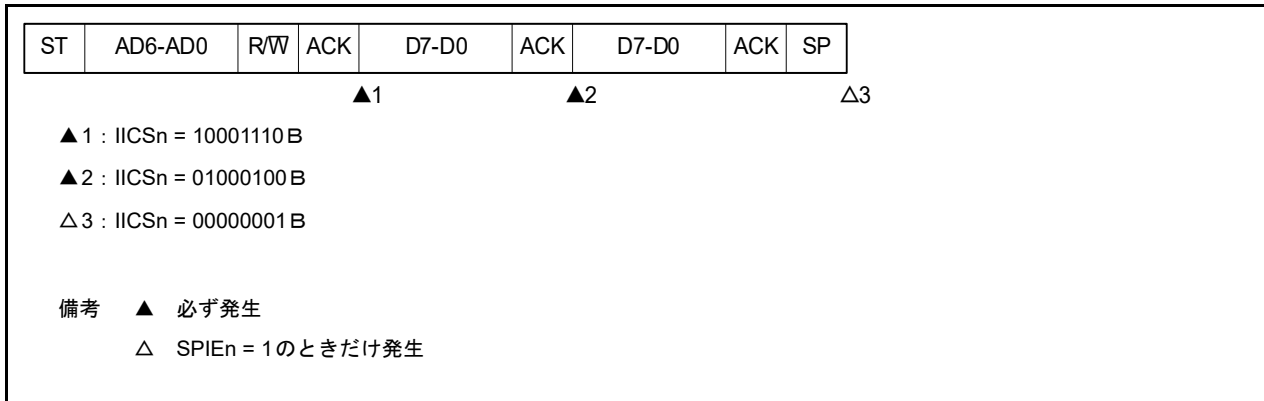
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



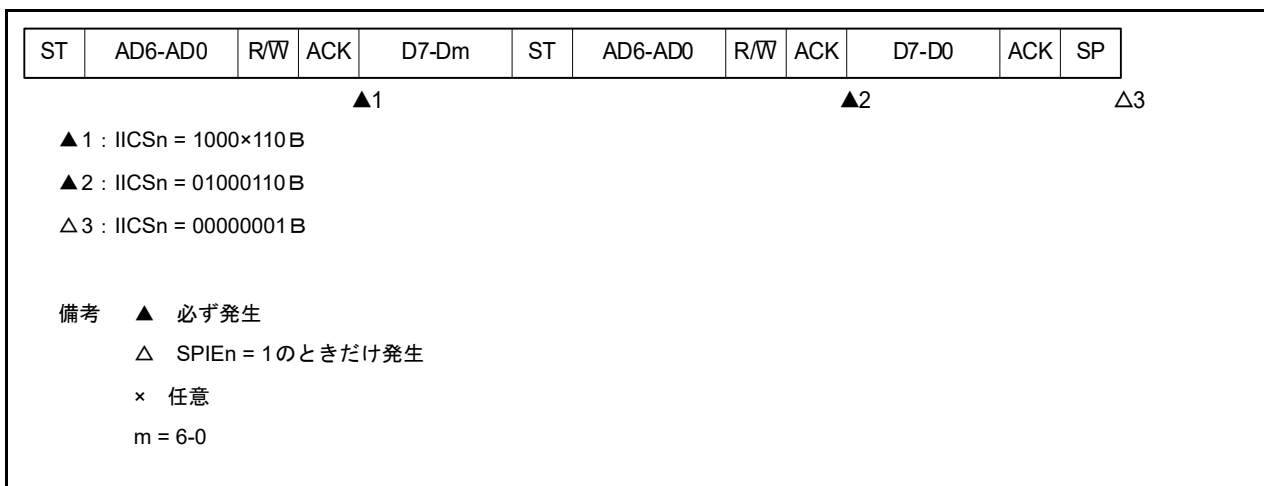
備考 n = 0

(ii) WTIMn = 1 のとき



(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外(例 SVAn 不一致)



備考 n = 0

(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dm	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1				▲2				△3

▲1 : IICSn = 1000×110 B
▲2 : IICSn = 01100010 B
ソフトウェアで LRELn = 1 を設定
△3 : IICSn = 00000001 B

備考 ▲ 必ず発生
△ SPIEn = 1 のときだけ発生
× 任意
m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dm	SP
			▲1		△2

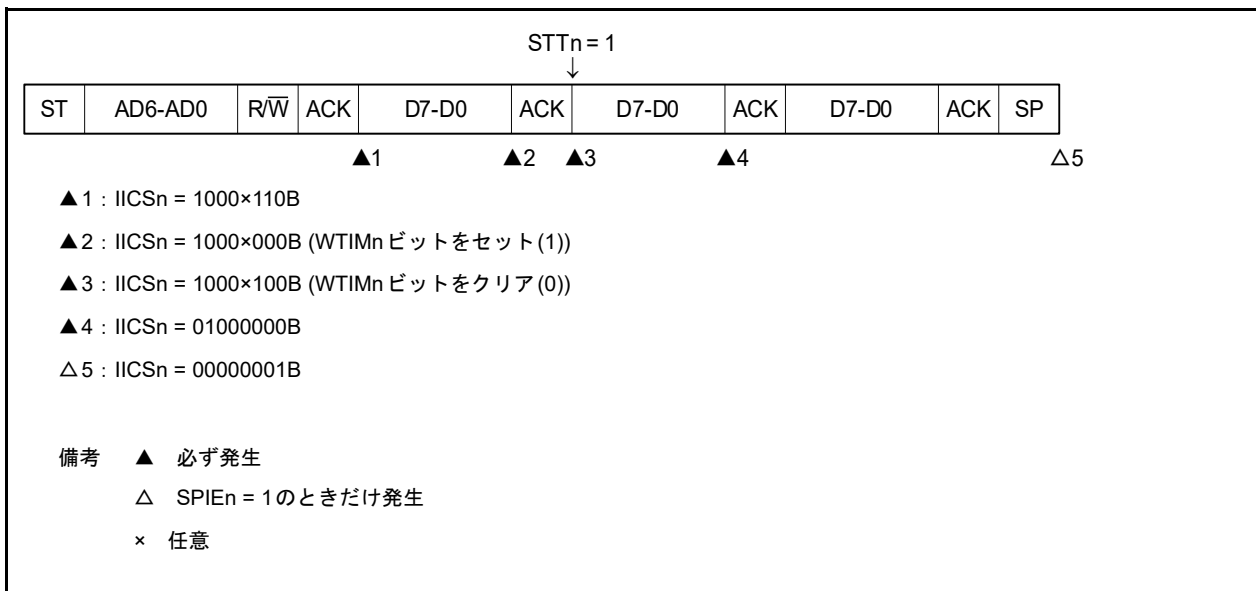
▲1 : IICSn = 10000110 B
△2 : IICSn = 01000001 B

備考 ▲ 必ず発生
△ SPIEn = 1 のときだけ発生
× 任意
m = 6-0

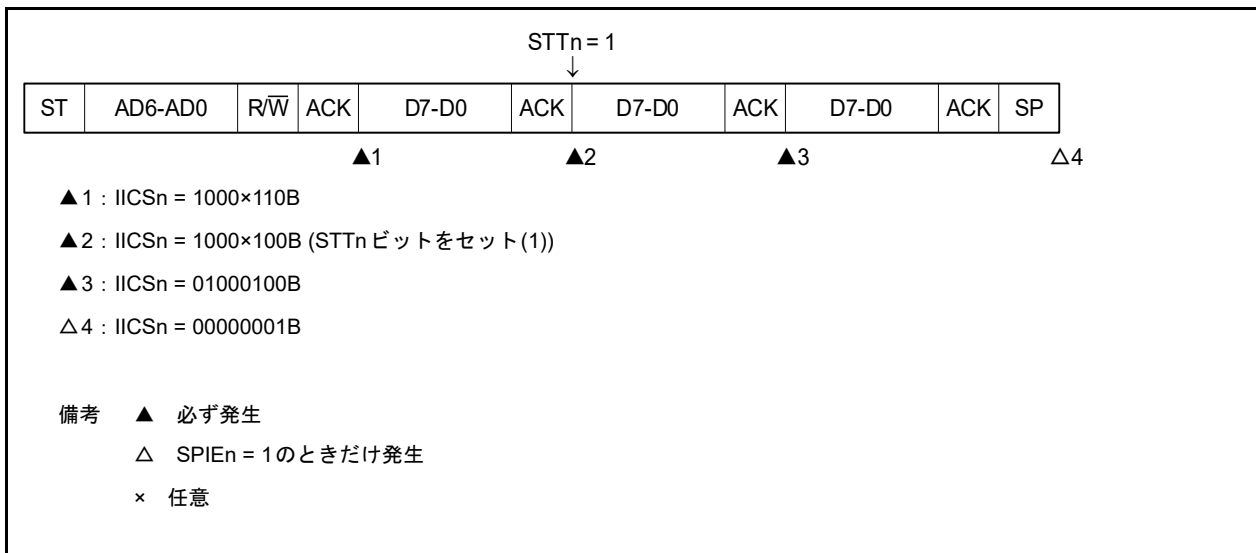
備考 n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



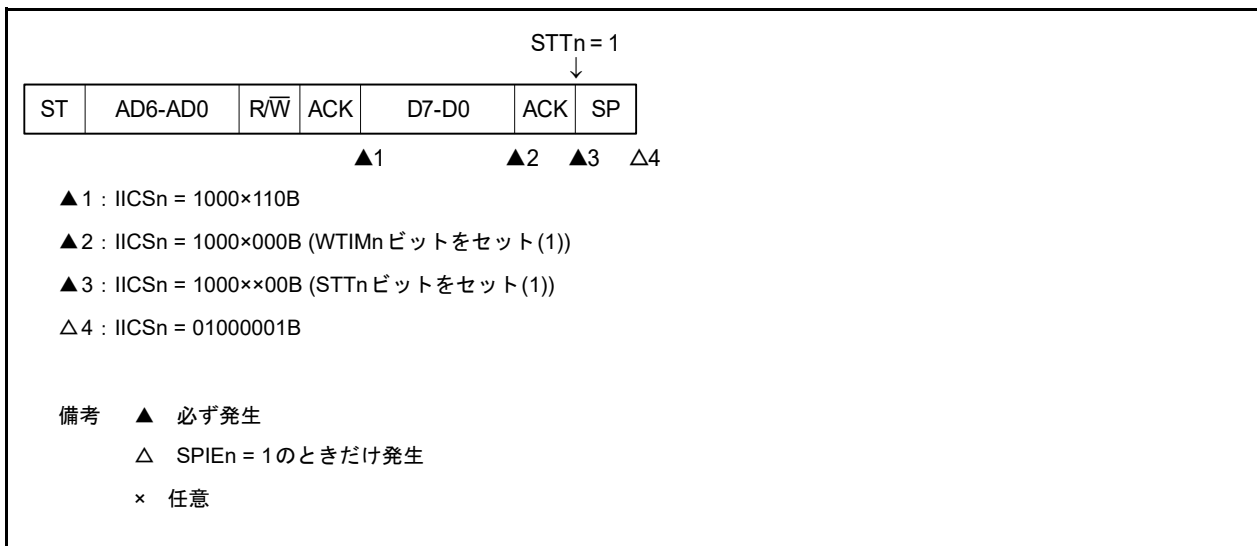
(ii) WTIMn = 1 のとき



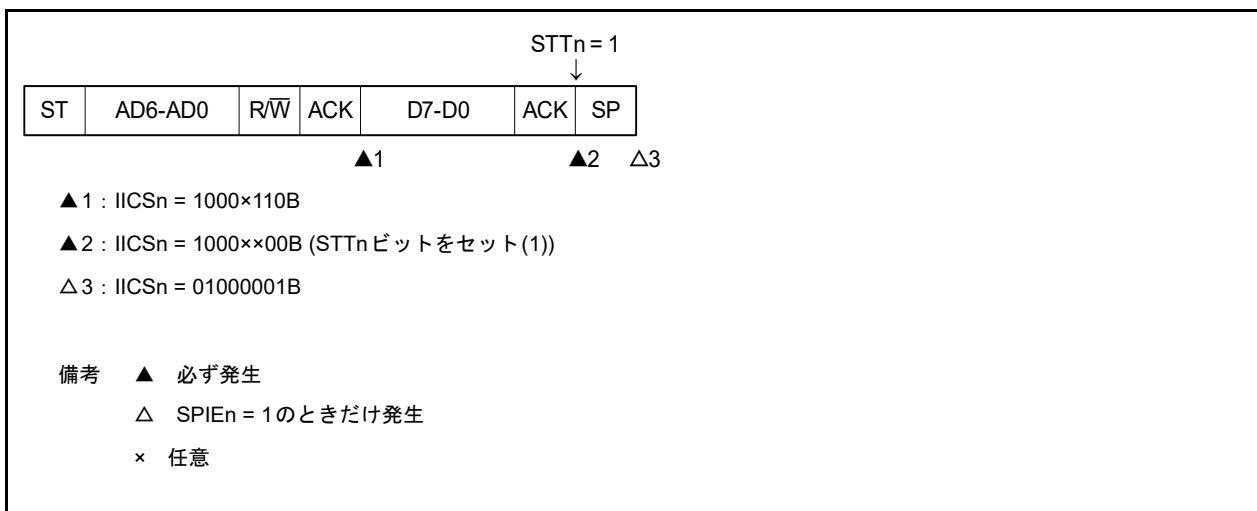
備考 n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



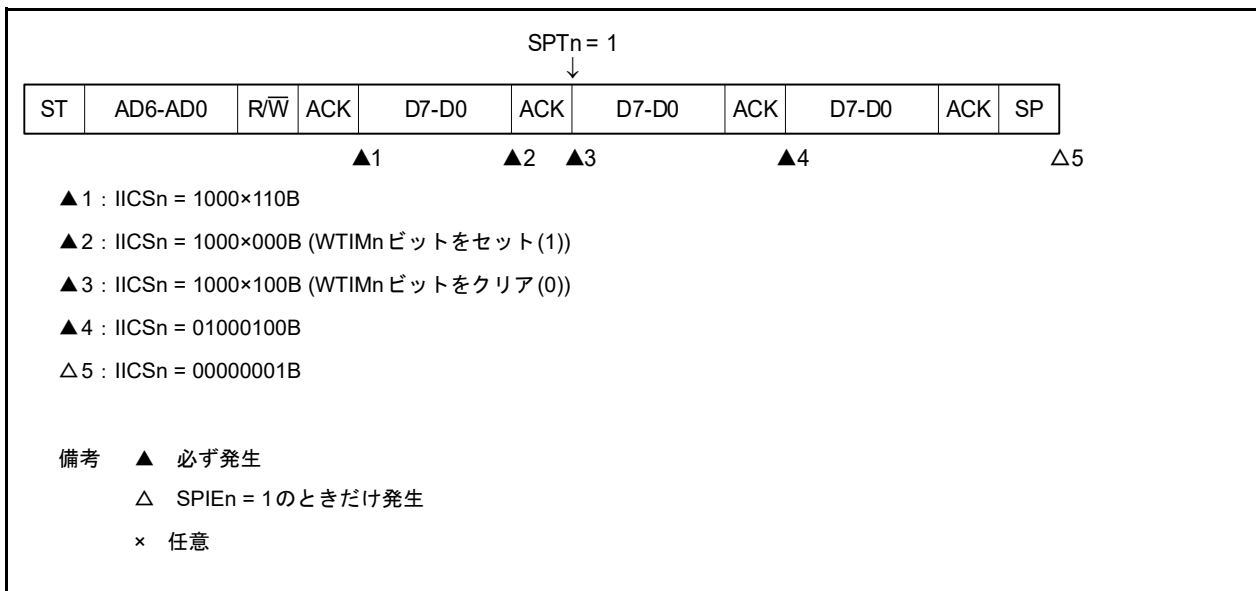
(ii) WTIMn = 1 のとき



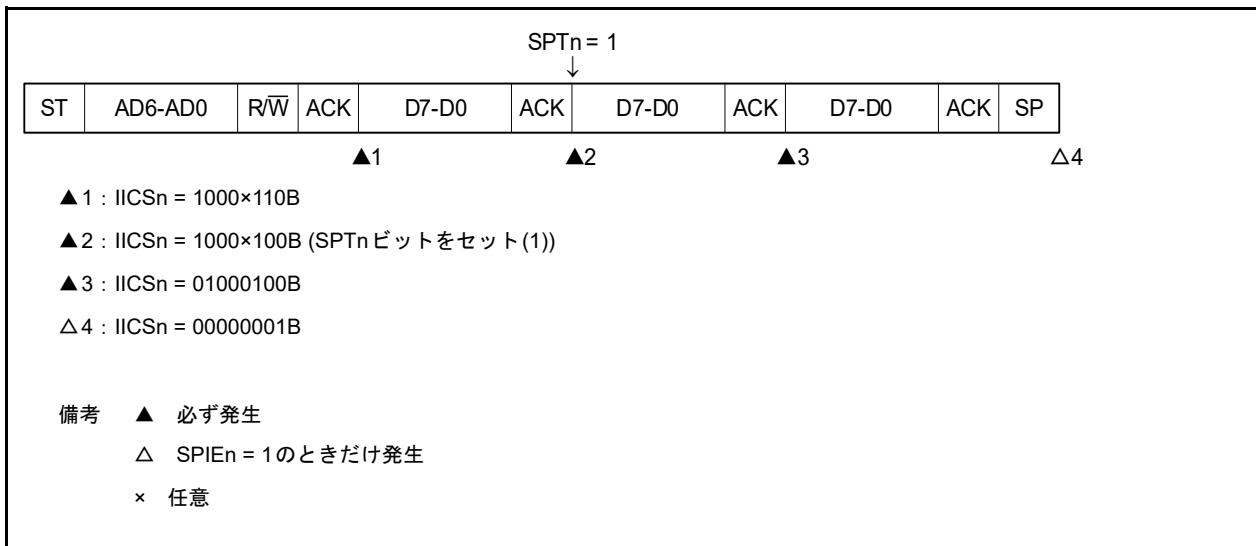
備考 n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



備考 n = 0

20.6 タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す TRCn ビット (IICA ステータス・レジスタ n (IICSn) のビット 3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図 20 - 41 ~ 図 20 - 47 に示します。

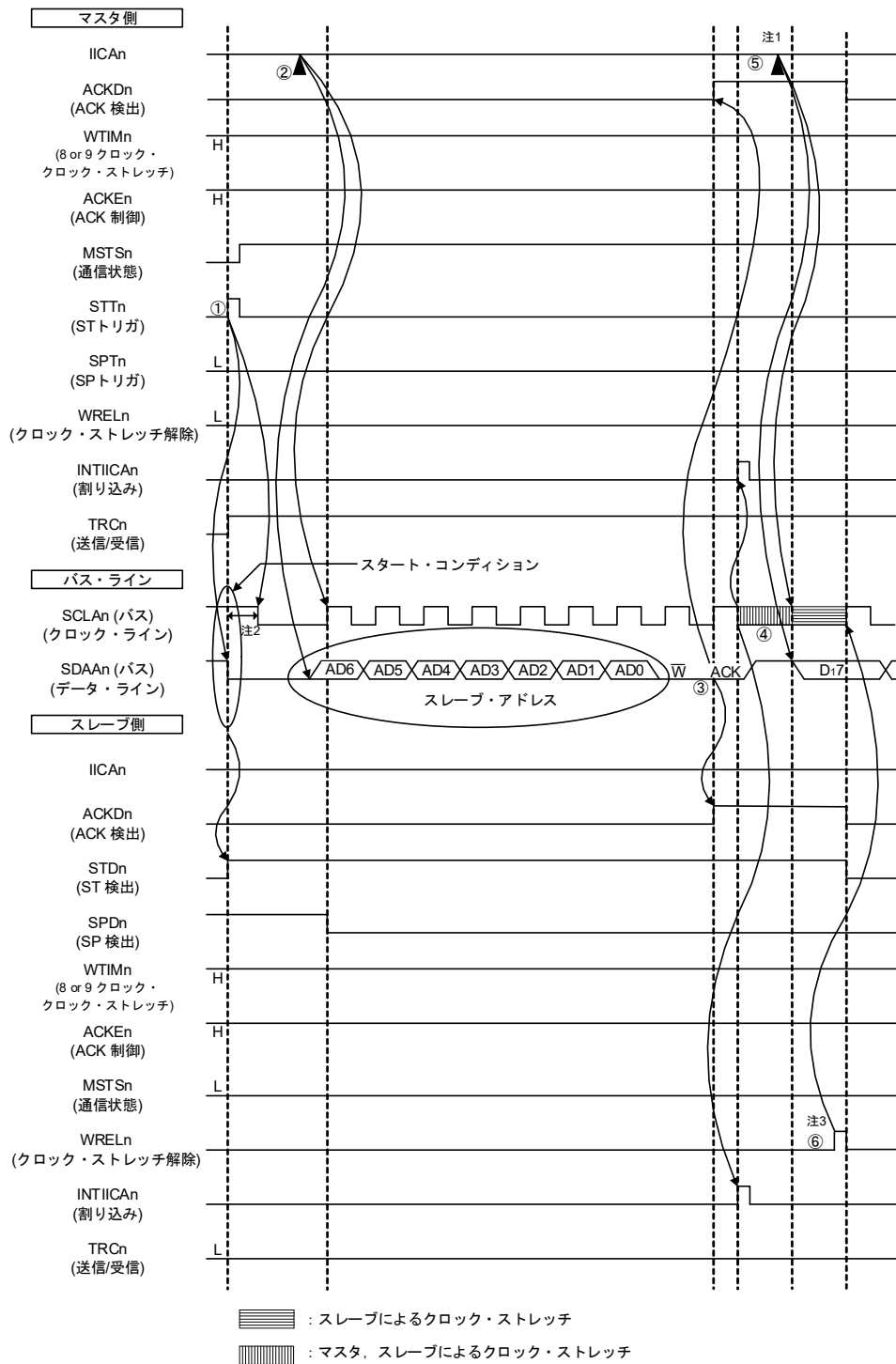
シリアル・クロック (SCLAn) の立ち下がりに同期して IICA シフト・レジスタ n (IICAn) のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

備考 n = 0

図20-41 マスタ→スレーブ通信例(マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択時)(1/4)

(1) スタート・コンディション～アドレス～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図20-41 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット($STTn = 1$)されると、バス・データ・ライン($SDAAn$)が立ち下がり、スタート・コンディション($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態($MSTSn = 1$)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$)にアドレス + W (送信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス($SVAAn$ の値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出($ACKDn = 1$)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み($INTIICAn$: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブは、クロック・ストレッチ($SCLAn = 0$)をかけ、割り込み($INTIICAn$: アドレス一致割り込み)が発生します注。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除($WRELn = 1$)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図20-41～図20-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図20-41 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図20-42 (2) アドレス～データ～データでは手順③～⑩

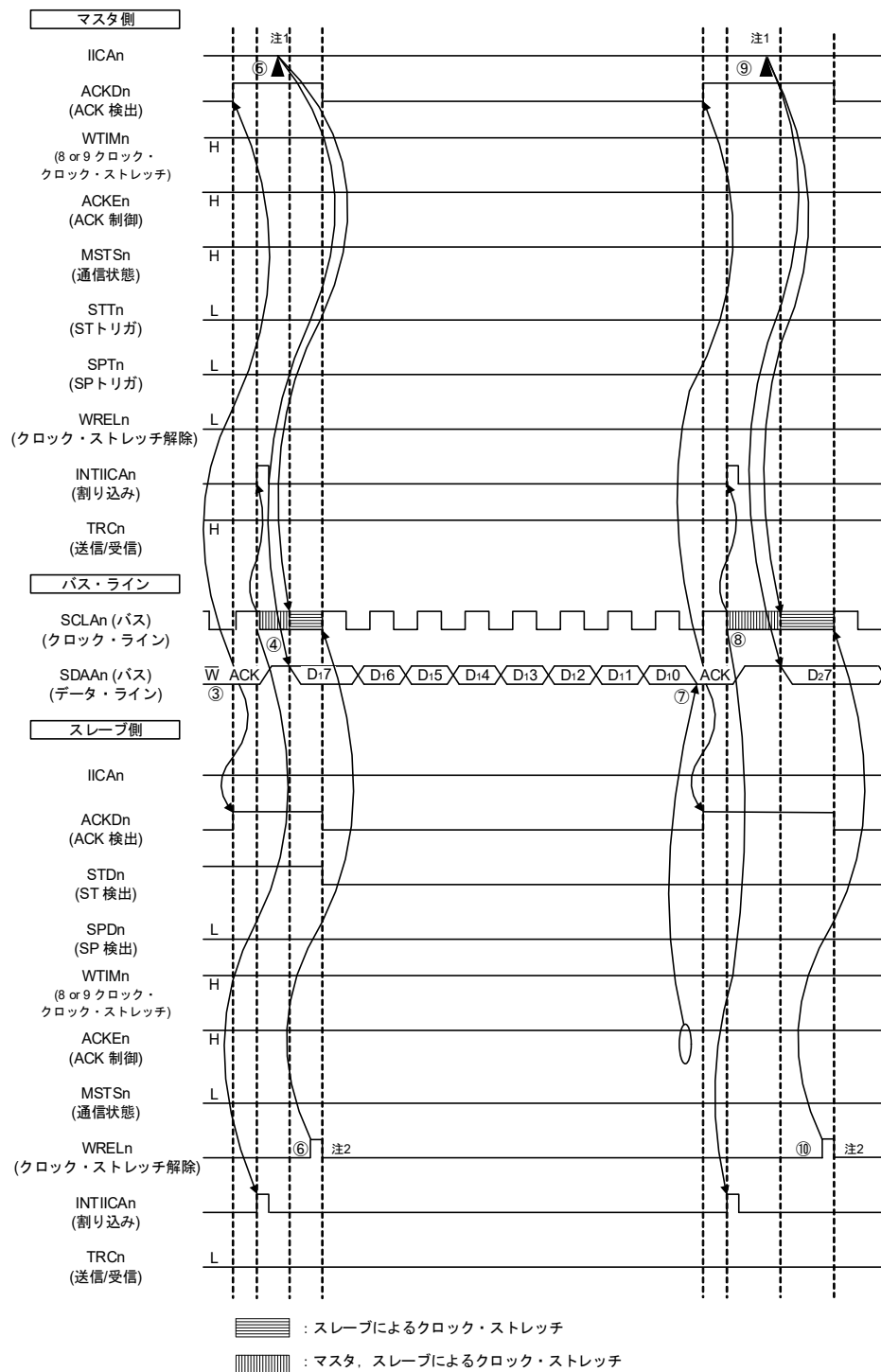
図20-43 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. $n = 0$

図20-42 マスタ→スレーブ通信例(マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(2/4)

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図20 - 42 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス(SVAnの値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK : SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図20 - 41～図20 - 43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図20 - 41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

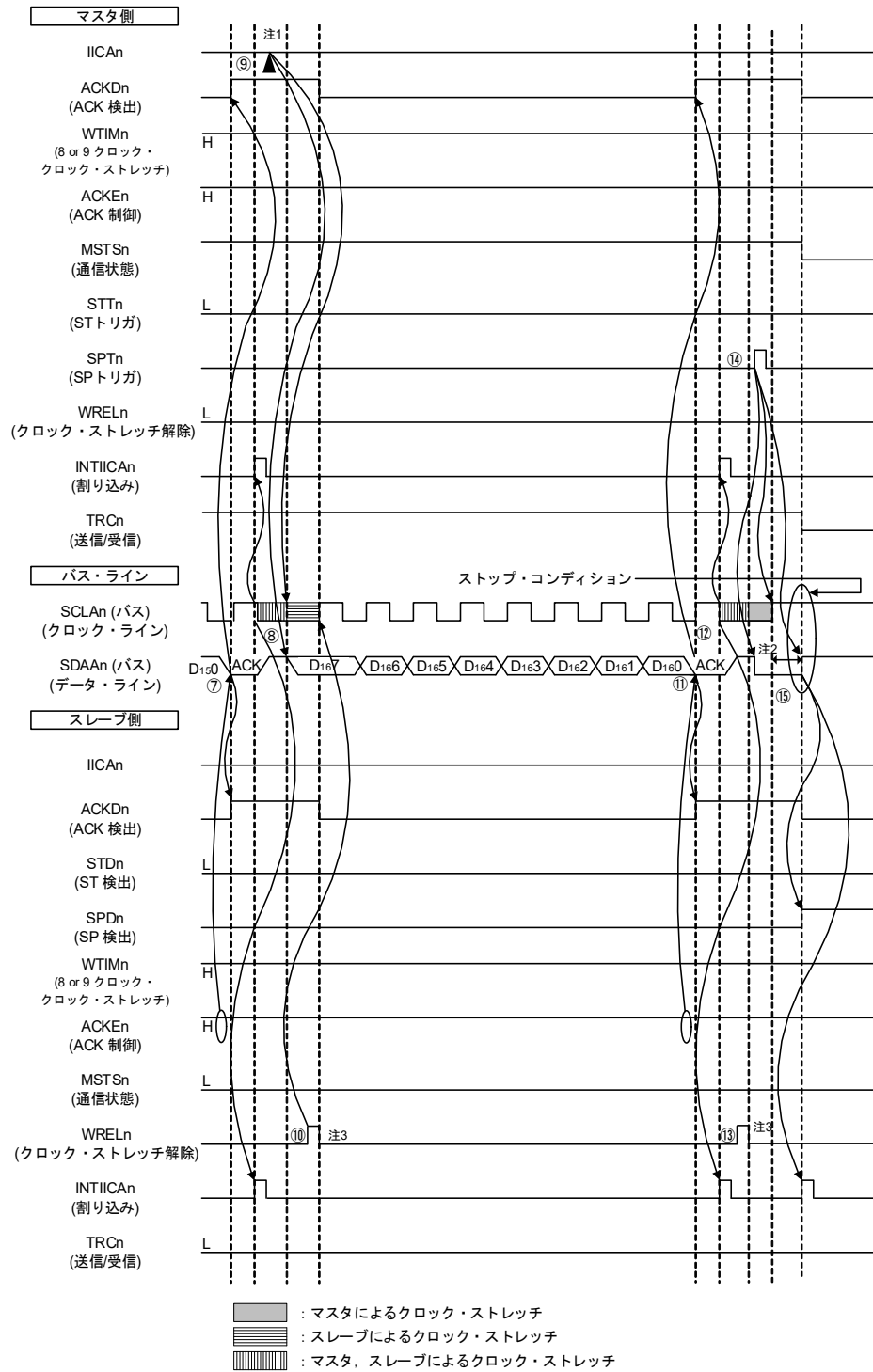
図20 - 42 (2)アドレス～データ～データでは手順③～⑩

図20 - 43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図20-43 マスタ→スレーブ通信例(マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(3/4)
 (3) データ～データ～ストップ・コンディション



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図20 - 43 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側(ACKEn = 1)のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除(WRELn = 1)します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、バス・クロック・ラインがセット(SCLAn = 1)され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット(SDAAn = 1)されることでストップ・コンディション(SCLAn = 1でSDAAn = 0→1)が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図20 - 41～図20 - 43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図20 - 41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図20 - 42 (2)アドレス～データ～データでは手順③～⑩

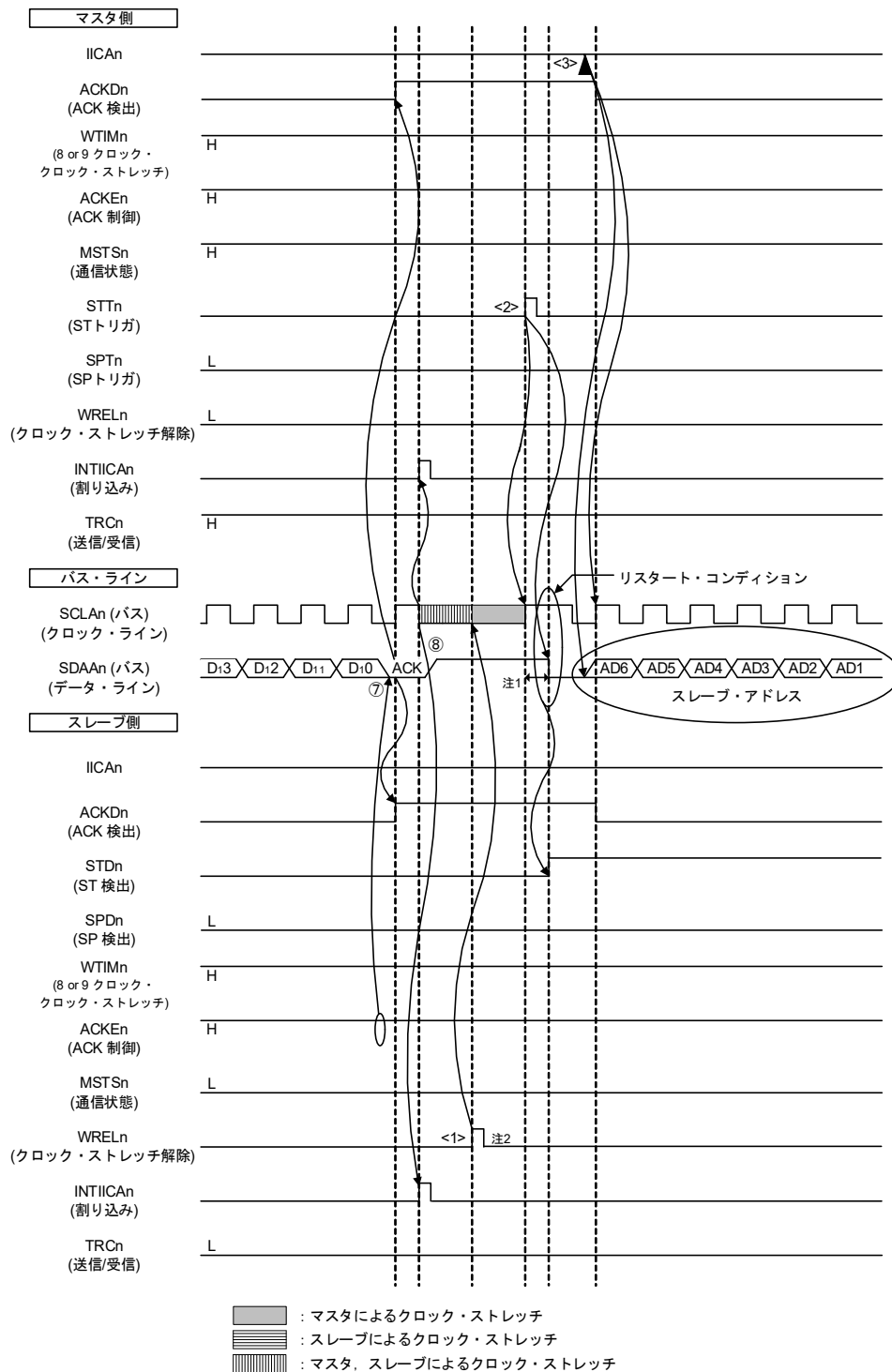
図20 - 43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図20-44 マスタ→スレーブ通信例(マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択時)(4/4)

(4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後、SCLAn 端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

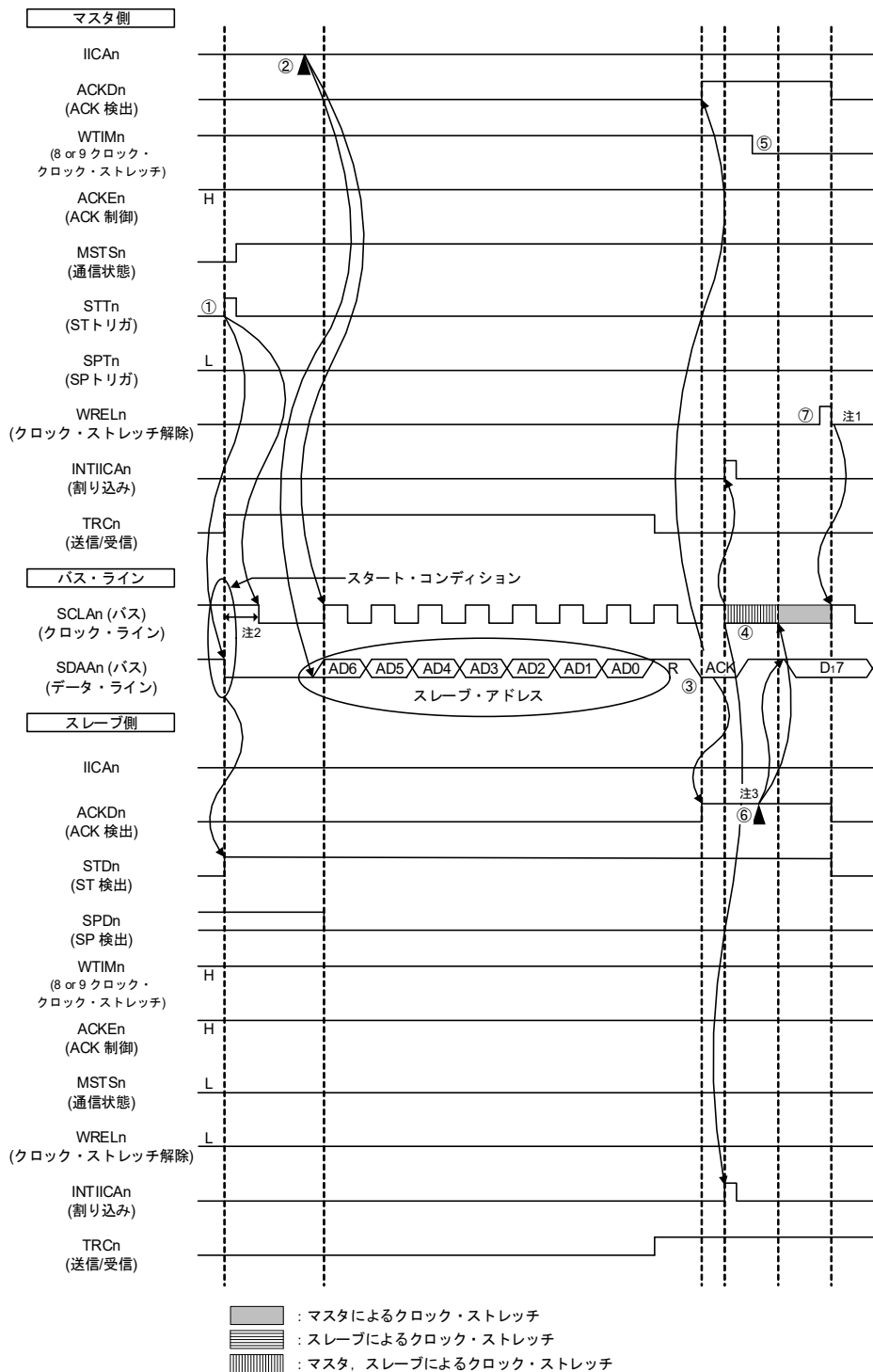
備考 n = 0

図 20 - 44 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側は $ACKEn = 1$ なのでハードウェアにより ACK がマスタ側へ送信され, 9 クロック目の立ち上がり時に, マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ⑧ 9 クロック目の立ち下がりで, マスタ側とスレーブ側によるクロック・ストレッチ ($SCLAn = 0$) がかかり, マスタ側, スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
 - <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除 ($WRELn = 1$) します。
 - <2> マスタ側で再度スタート・コンディション・トリガがセット ($STTn = 1$) されると, バス・クロック・ラインが立ち上がり ($SCLAn = 1$), リスタート・コンディション・セットアップ時間後バス・データ・ライン ($SDAAn = 0$) が立ち下がり, スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり ($SCLAn = 0$), 通信準備が完了となります。
 - <3> マスタ側が IICA シフト・レジスタ n (IICAn) にアドレス + R/W (送信) を書き込むと, スレーブ・アドレスが送信されます。

備考 n = 0

図20 - 45 スレーブ→マスタ通信例(マスタ : 8クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (1/3)
 (1) スタート・コンディション~アドレス~データ



注1. マスタ側での受信時クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図20 - 45 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット(STTn = 1)されると、バス・データ・ライン(SDAAn)が立ち下がり、スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態(MSTSn = 1)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり(SCLAn = 0)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n (IICAn)にアドレス + R (受信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK : SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図20 - 45～図20 - 47の①～⑯は、I²Cバスによるデータ通信の一連の操作手順です。

図20 - 45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図20 - 46 (2)アドレス～データ～データでは手順③～⑫

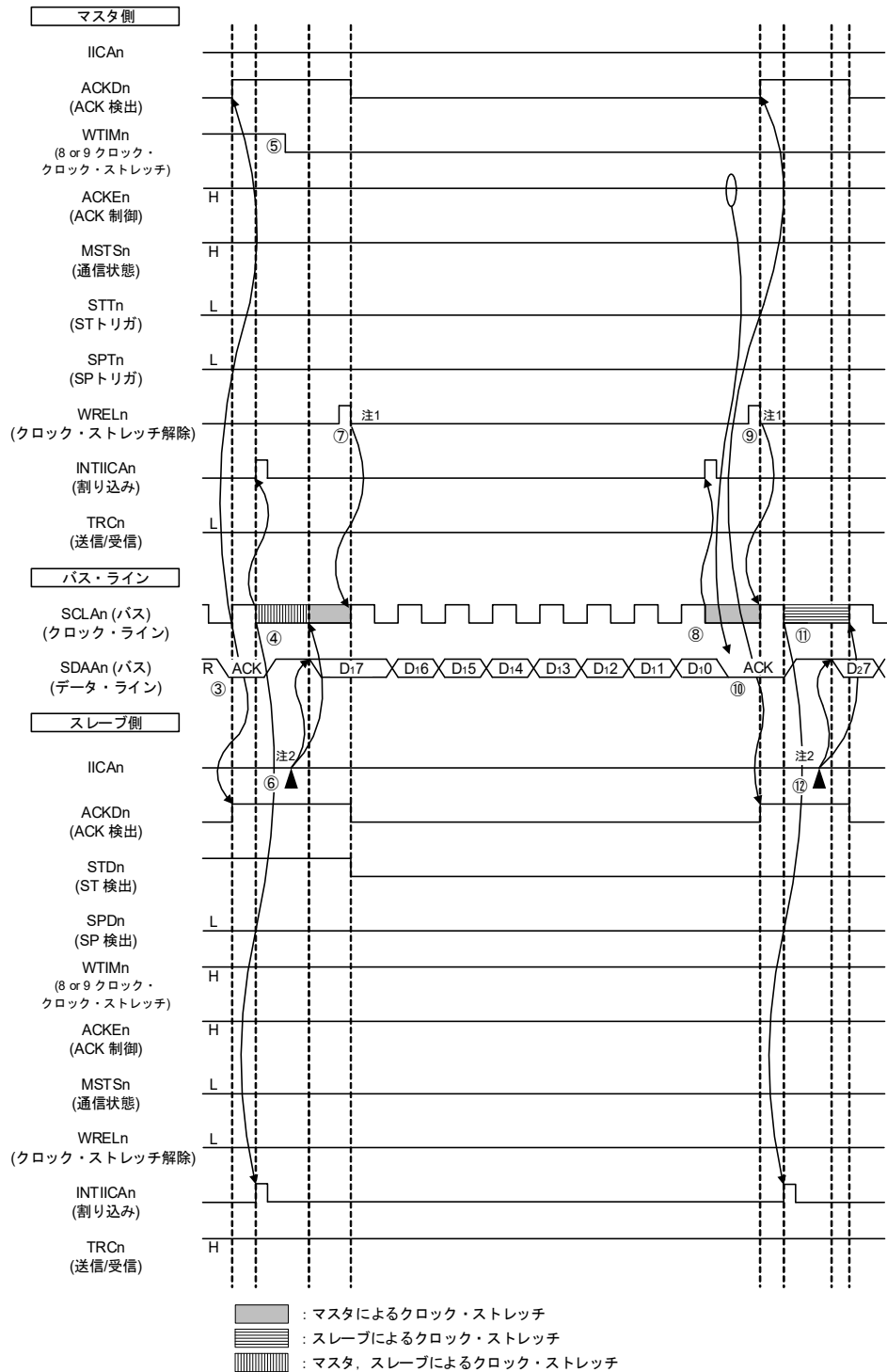
図20 - 47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

備考2. n = 0

図20 - 46 スレーブ→マスタ通信例(マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択時)(2/3)

(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図20 - 46 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLAn = 0)がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み)が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが (NACK : SDAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図20 - 45～図20 - 47の①～⑯は、I²Cバスによるデータ通信の一連の操作手順です。

図20 - 45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図20 - 46 (2)アドレス～データ～データでは手順③～⑫

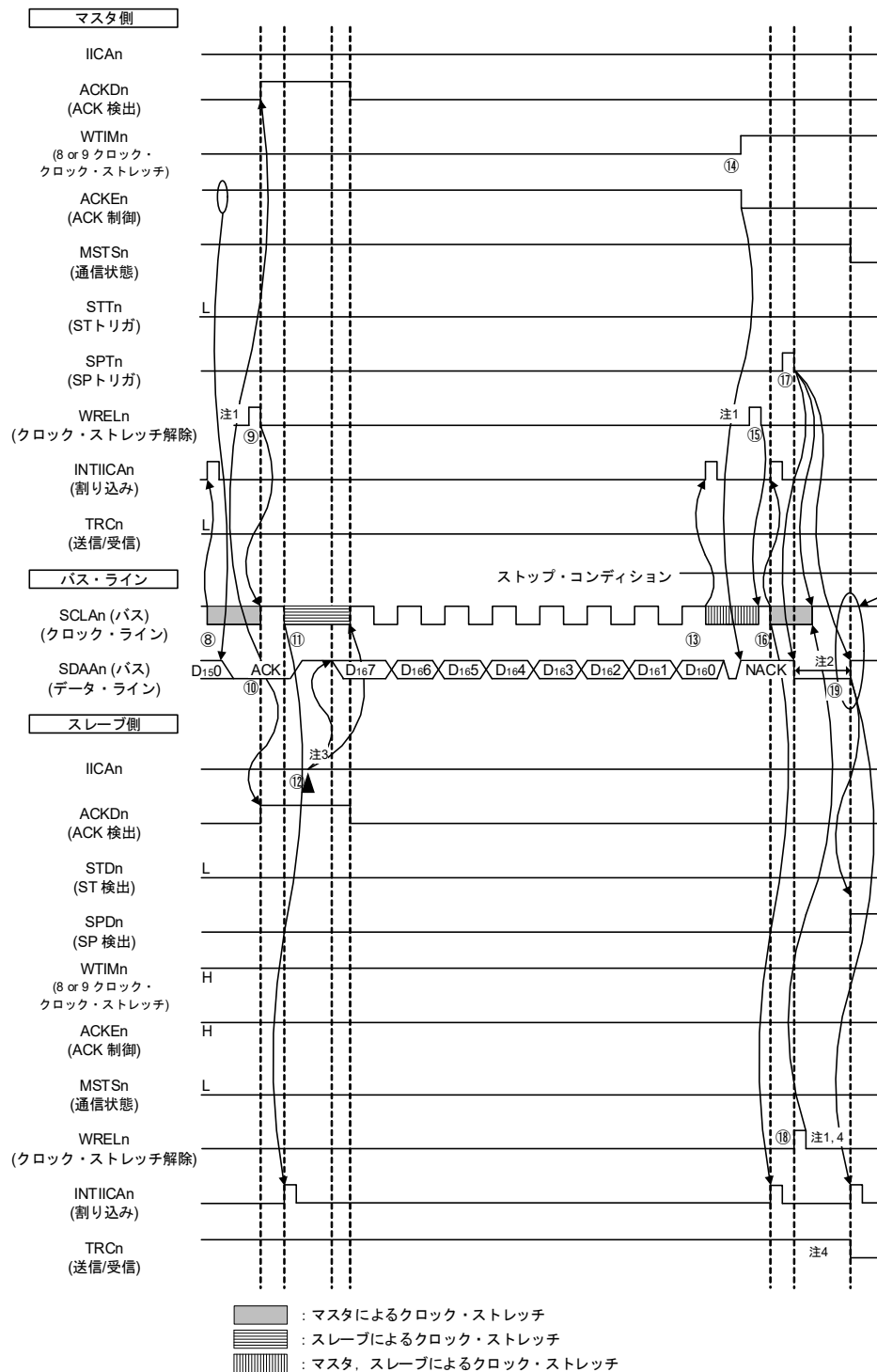
図20 - 47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑯

について説明しています。

備考2. n = 0

図20 - 47 スレーブ→マスタ通信例(マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択時)(3/3)

(3) データ～データ～ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
 - 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
 - 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
 - 注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。
- 備考 n = 0

図20 - 47 (3) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ($SCLAn = 0$)がかかり、マスタ側の割り込み
($INTIICAn$: 転送完了割り込み)が発生し、マスタ側は $ACKEn = 0$ なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除($WRELn = 1$)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出($ACKDn = 1$)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ($SCLAn = 0$)がかかり、スレーブ側は割り込み($INTIICAn$: 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn($IICAn$)に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み($INTIICAn$: 転送完了割り込み)が発生し、マスタ側によるクロック・ストレッチ($SCLAn = 0$)がかかります。ACK制御($ACKEn = 1$)されているので、この段階でのバス・データ・ラインはロウ・レベル($SDAAn = 0$)となります。
- ⑭ マスタ側はNACK応答に設定($ACKEn = 0$)し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ($WTIMn = 1$)に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除($WRELn = 1$)すると、スレーブ側は9クロック目の立ち上がりでNACKを検出($ACKDn = 0$)します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ($SCLAn = 0$)がかかり、マスタ側、スレーブ側で割り込み($INTIICAn$: 転送完了割り込み)が発生します。
- ⑰ マスタ側でストップ・コンディション発行($SPTn = 1$)すると、バス・データ・ラインがクリア($SDAAn = 0$)され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット($SCLAn = 1$)されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除($WRELn = 1$)します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット($SCLAn = 1$)されます。
- ⑲ マスタ側はバス・クロック・ラインがセット($SCLAn = 1$)されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット($SDAAn = 1$)してストップ・コンディション($SCLAn = 1$ で $SDAAn = 0 \rightarrow 1$)を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み($INTIICAn$: ストップ・コンディション割り込み)が発生します。

備考1. 図20 - 45～図20 - 47の①～⑲は、I²Cバスによるデータ通信の一連の操作手順です。

図20 - 45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図20 - 46 (2)アドレス～データ～データでは手順③～⑫

図20 - 47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑲

について説明しています。

備考2. $n = 0$

第21章 IrDA

IrDAはシリアル・アレイ・ユニット (SAU) と連携してIrDA (Infrared Data Association) 規格バージョン1.0に基づくIrDA通信波形の送受信を実現します。

21.1 IrDAの機能

IRCRレジスタのIREビットでIrDA機能を有効にすると、SAUのTxD2、RxD2信号はIrDA規格バージョン1.0に準拠した波形のエンコード/デコードを行います (IrTxD/IrRxD 端子)。これを赤外線送受信トランスミッタ/レシーバと接続することで、IrDA規格バージョン1.0システムに準拠した赤外線送受信を実現できます。

IrDA規格バージョン1.0システムでは、9600 bpsの転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。IrDAでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより、設定を変更してください。

高速オンチップオシレータ (f_{IH} = 24/12/6/3 MHz) 選択時、以下のボーレートを設定可能です。

- 115.2 kbps/57.6 kbps/38.4 kbps/19.2 kbps/9600 bps/2400 bps

図21 - 1にIrDAとSAUの連携イメージのブロック図を示します。

図21 - 1 IrDAとSAUの連携イメージのブロック図

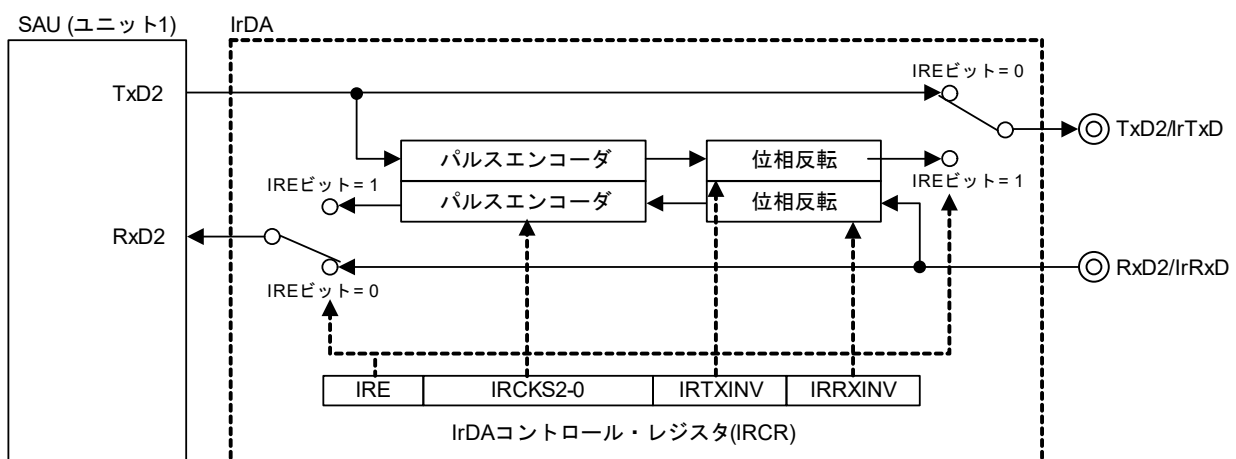


表21 - 1 IrDAの端子構成

端子名	入出力	機能
IrTxD	出力	送信データ出力端子
IrRxD	入力	受信データ入力端子

21.2 レジスタの説明

表21-1にIrDAのレジスタ構成を示します。

表21-1 IrDAのレジスタ構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	IrDAコントロール・レジスタ (IRCR)

21.2.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

IrDAを使用するときは、必ずビット6 (IRDAEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IRDAEN	IrDAの入カクロック供給の制御
0	入カクロック供給停止 ・ IrDAで使用するSFRへのライト不可 ・ IrDAはリセット状態
1	入カクロック供給 ・ IrDAで使用するSFRへのリード/ライト可

注意1. IrDAの設定をする際には、必ず最初にIRDAEN = 1の設定を行ってください。

IRDAEN = 0の場合は、IrDAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. ビット1には必ず0を設定してください。

21.2.2 IrDAコントロール・レジスタ (IRCR)

IrDA 機能を制御するレジスタです。受信データ、送信データの極性切り替え、IrDAのクロックの選択、シリアル入出力端子機能（通常のシリアル機能／IrDA機能）の切り替えを選択します。

IRCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-3 IrDAコントロール・レジスタ (IRCR) のフォーマット

アドレス : F03A0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IRCR	IRE	IRCKS2	IRCKS1	IRCKS0	IRTXINV	IRRXINV	0	0

IRE	IrDAイネーブル
0	シリアル入出力端子は、通常のシリアル機能として動作
1	シリアル入出力端子は、IrDA機能として動作

IRCKS2	IRCKS1	IRCKS0	IrDAクロックセレクト
0	0	0	$B \times 3/16$ (B = ビットレート)
0	0	1	fCLK/2
0	1	0	fCLK/4
0	1	1	fCLK/8
1	0	0	fCLK/16
1	0	1	fCLK/32
1	1	0	fCLK/64
1	1	1	設定禁止

IRTXINV	IrTxDデータ極性切り替え
0	送信データをそのままIrTxD出力
1	送信データを反転してIrTxD出力

IRRXINV	IrRxDデータ極性切り替え
0	IrRxD入力をそのまま受信データとして使用
1	IrRxD入力を反転して受信データとして使用

注意1. ビット1, 0には必ず0を設定してください。

注意2. IRCKS[2:0], IRTXINV, IRRXINVは、IREビットが0の時のみ設定可能です。

21.3 動作説明

21.3.1 IrDA通信操作手順

(1) IrDA通信 初期設定フロー

IrDA初期設定は、以下の手順で行ってください。

1. PER0レジスタのIRDAENビットに1を設定します。
2. IRCRレジスタを設定します。
3. SAU関連レジスタ（UARTモード設定の手順を参照）を設定します。

(2) IrDA通信停止フロー

1. ポート・レジスタとポート・モード・レジスタの設定で、IrDA通信停止後のIrTxD端子の状態を設定します。

備考 手順3でIrDAリセット時にIrTxD端子は通常のシリアル・インタフェースUARTのデータ出力に切り替わるため、出力状態が変化する場合があります。

- IrTxD端子からロウ・レベルを出力する場合

ポート・レジスタに0を設定します。本設定の直後にIrTxD端子はロウ・レベルに固定されます。

- IrTxD端子からハイ・レベルを出力する場合

ポート・レジスタに1を設定します。本設定により、手順3 IrDAリセット直後、IrTxD端子はハイ・レベルに固定されます。

- IrTxD端子をHi-Z状態に設定する場合

ポート・モード・レジスタに1を設定します。本設定の直後にIrTxD端子はHi-Z状態となります。

2. STmレジスタ（SAU関連レジスタ）のSTm0ビットおよびSTm1ビットに1を設定（SAUのチャンネル0, チャンネル1動作停止）します。
3. PER0レジスタのIRDAENビットに0を設定し、IrDAをリセットします。

上記手順以外でSTmレジスタのSTm0ビットおよびSTm1ビットに1を設定、またはIrDAのIREビットに0を設定しないでください。

(3) IrDAフレーミング・エラー発生時の手順

IrDA通信中にフレーミング・エラーが発生した場合、後続のデータを受信可能な状態にするため、以下の手順が必要です。

1. SAU STmレジスタのSTm1ビットに1を設定（SAU CH1動作停止）
2. SAU SSmレジスタのSSm1ビットに1を設定（SAU CH1動作開始）

備考 m : ユニット番号 (m = 0, 1)

SAUフレーミング・エラー処理については、SAUの章も参照してください。

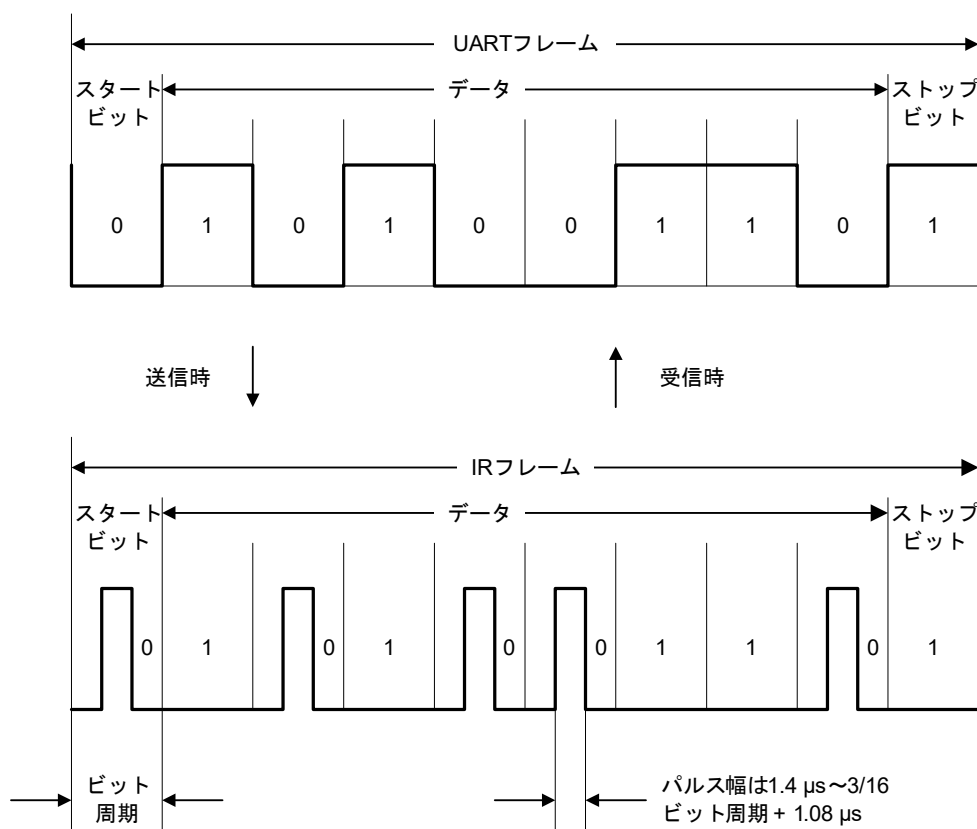
21.3.2 送信

送信時には、SAUからの出力信号(UARTフレーム)はIrDAによりIRフレームに変換されます(図21-4参照)。

IRTXINVビットが0でシリアルデータが0のとき、ビットレート(1ビット幅の期間)の3/16のハイ・パルスが出力されます(初期値)。なお、ハイ・パルス幅は、IRCKS2-IRCKS0ビットの設定値により変化させることもできます。規格では、ハイ・パルス幅は最小1.41 μ s、最大 $(3/16 + 2.5\%) \times$ ビットレート、または $(3/16 \times$ ビットレート) + 1.08 μ sと定められています。

CPU/周辺ハードウェア・クロック(f_{CLK})が20 MHzのとき、1.41 μ s以上で最大のハイ・パルス幅としては1.6 μ sが設定可能です。また、シリアルデータが1のときは、パルスは出力されません。

図21-4 IrDAの送信/受信動作図



21.3.3 受信

受信時には、IRフレームのデータはIrDAによりUARTフレームに変換され、SAUに入力されます。IRRXINVビットが0で、ハイ・パルスが検出されたときにロウ・データを出力し、1ビット期間中にパルスがない場合にはハイ・データを出力します。最小パルス幅の1.41 μ sより短いパルスは認識されませんので注意してください。

21.3.4 ハイ・パルス幅の選択

送信時にビットレート \times 3/16よりパルス幅を短くする場合に、適用可能なIRCKS2-IRCKS0ビットの設定（最小パルス幅）と設定時のハイ・パルス幅を表21-2に示します。

表21-2 IRCKS2-IRCKS0ビットの設定値

f _{CLK} [MHz]	項目	<上段>ビットレート [kbps]					
		<下段>ビットレート \times 3/16 [μ s]					
		2.4	9.6	19.2	38.4	57.6	115.2
		78.13	19.53	9.77	4.87	3.26	1.63
1	IRCKS2-IRCKS0	001	001	001	—注1	—注1	—注1
	ハイパルス幅 [μ s]	2.00	2.00	2.00	—注1	—注1	—注1
2	IRCKS2-IRCKS0	010	010	010	010	010	—注1
	ハイパルス幅 [μ s]	2.00	2.00	2.00	2.00	2.00	—注1
3	IRCKS2-IRCKS0	011	011	011	011	011	—注1
	ハイパルス幅 [μ s]	2.67	2.67	2.67	2.67	2.67	—注1
4	IRCKS2-IRCKS0	011	011	011	011	011	000注2
	ハイパルス幅 [μ s]	2.00	2.00	2.00	2.00	2.00	1.50
6	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅 [μ s]	2.67	2.67	2.67	2.67	2.67	1.50
8	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅 [μ s]	2.00	2.00	2.00	2.00	2.00	1.50
12	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅 [μ s]	2.67	2.67	2.67	2.67	2.67	1.50
16	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅 [μ s]	2.00	2.00	2.00	2.00	2.00	1.50
24	IRCKS2-IRCKS0	110	110	110	110	110	000注2
	ハイパルス幅 [μ s]	2.67	2.67	2.67	2.67	2.67	1.50

注1. “—”の意味は、通信Specを満たせないことです。

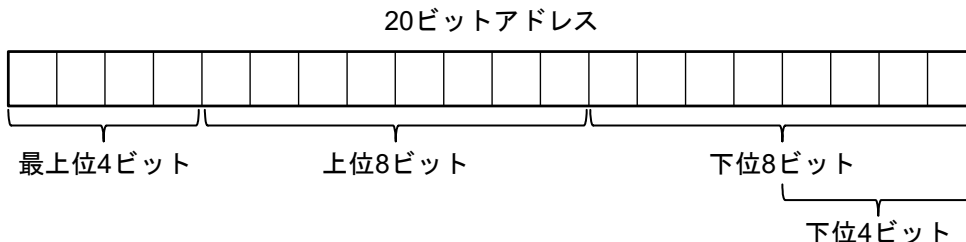
注2. ビットレート \times 3/16よりパルス幅を小さくすることはできません。

21.4 IrDA使用上の注意事項

- (1) IrDA機能を使用してIrRxD受信によるSNOOZE遷移はできません。
- (2) 周辺イネーブルレジスタにより、IrDAの動作クロックの供給禁止/許可を設定することができます。初期状態では、クロック供給が禁止状態であるため、レジスタへのアクセスができません。レジスタ設定の前に、周辺イネーブルレジスタによりIrDAの動作クロックを供給許可状態にしてください。
- (3) HALTモード時は、IrDA機能は動作を継続します。
- (4) IrDA通信中にSAUの初期化機能（SSビット=1）は使用禁止です。
- (5) IRCRレジスタのIRRXINVビット、IRTXINVビット、及びIRCKS[2:0]ビットは、IREビットが0の時のみ設定可能です。

第22章 データ・トランスファ・コントローラ(DTC)

本章の説明で記載されているアドレスの上位8ビットとは下記のとおり、20ビットアドレスのビット(15-8)になります。



また、本章の説明の中で、特に指定が無い場合、アドレスの最上位4ビットは全て1(FxxxH)になります。

22.1 DTCの機能

データ・トランスファ・コントローラ (DTC)は、CPUを使わずにメモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用权はCPUよりも優先されます。

表22-1にDTCの仕様を示します。

表22-1 DTCの仕様

項目		仕様
起動要因		30要因(24ピン製品)/31要因(36ピン製品)/32要因(32, 48ピン製品)/33要因(64ピン製品))
配置可能なコントロールデータ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間(F0000H~FFFFFFH)ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、ミラー領域注、データ・フラッシュ・メモリ領域注、拡張特殊機能レジスタ(2nd SFR)
	デスティネーション	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、拡張特殊機能レジスタ(2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード(8ビット転送)	256バイト
	ノーマルモード(16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTJレジスタが1から0になる転送で終了する
	リピートモード	DTCCTJレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdJレジスタの値がDTCCTJレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表22-4 DTC起動要因とベクタアドレス参照

表22 - 1 DTCの仕様

項目		仕様
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リポートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0～DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> • DTCENi0～DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リポートモード	<ul style="list-style-type: none"> • DTCENi0～DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

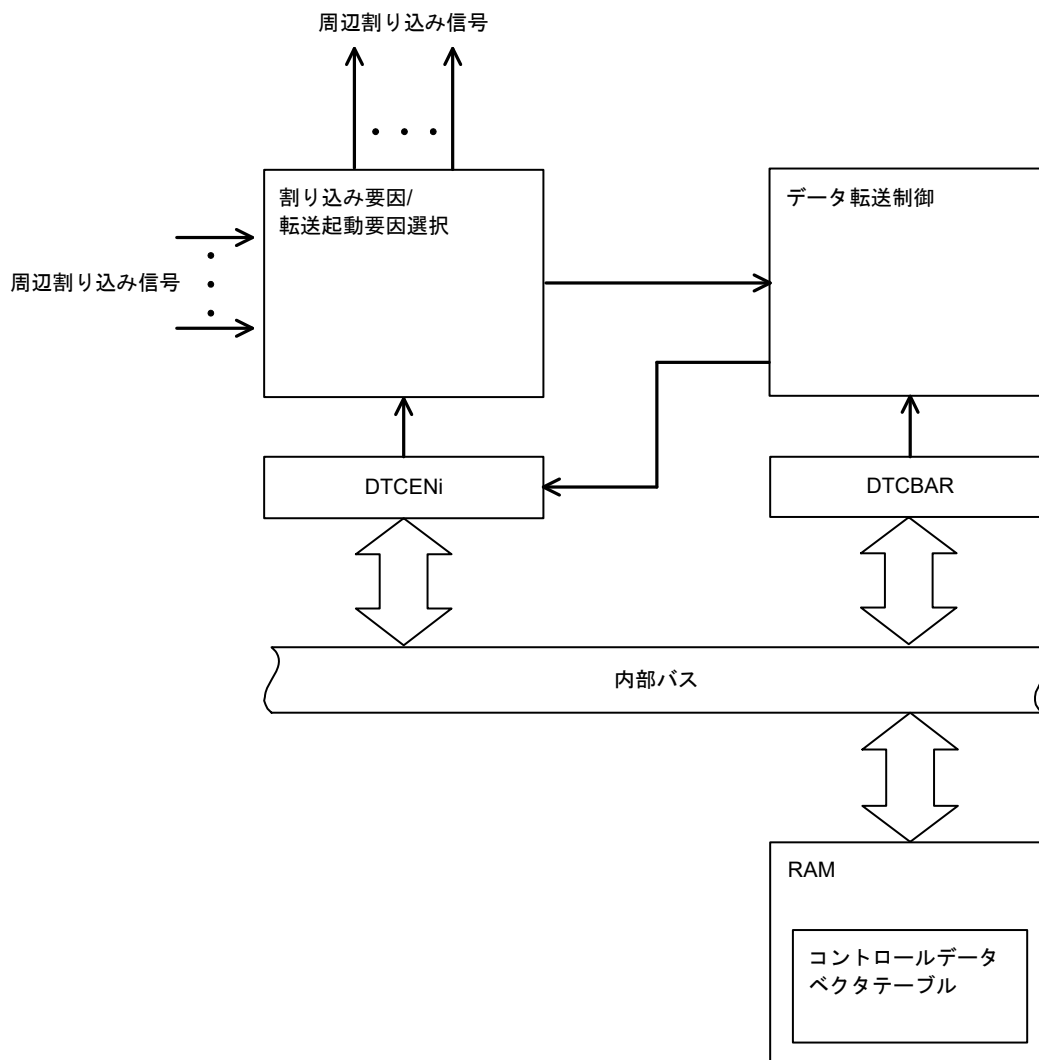
注 HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0～4, j = 0～23

22.2 DTCの構成

図22 - 1にDTCのブロック図を示します。

図22 - 1 DTCのブロック図



22.3 DTCを制御するレジスタ

表22-2にDTCを制御するレジスタを示します。

表22-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTC起動許可レジスタ4	DTCEN4
DTCベースアドレスレジスタ	DTCBAR

表22-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表22-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロックサイズレジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロードレジスタj	DTRLDj
DTCソースアドレスレジスタj	DTSARj
DTCデスティネーションアドレスレジスタj	DTDARj

備考 j = 0 ~ 23

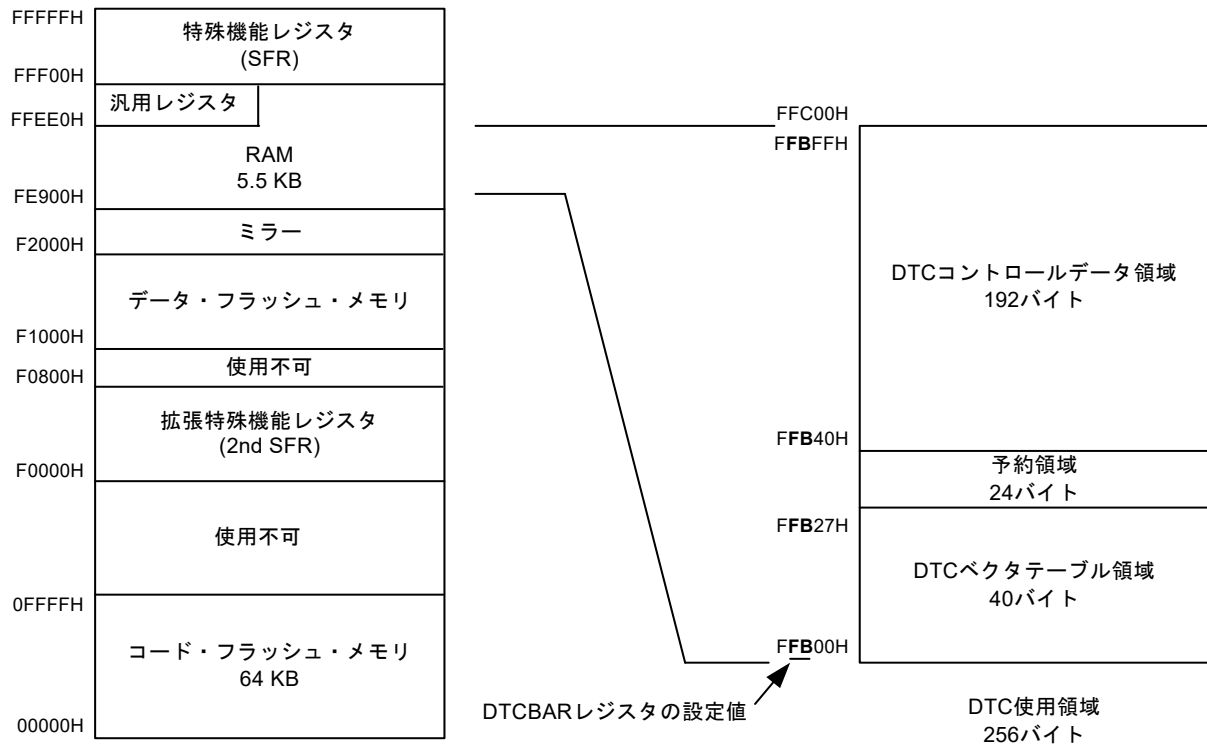
22.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図22-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図22-2 DTCBARレジスタにFBHを設定したときのメモリマップ例



DTCのコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- 注意2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 注意3. FE900H-FED09Hの内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
- 注意4. FED00H-FF0FFHの内部RAM領域は、オンチップ・デバッグのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

22.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23) レジスタの順に配置します。

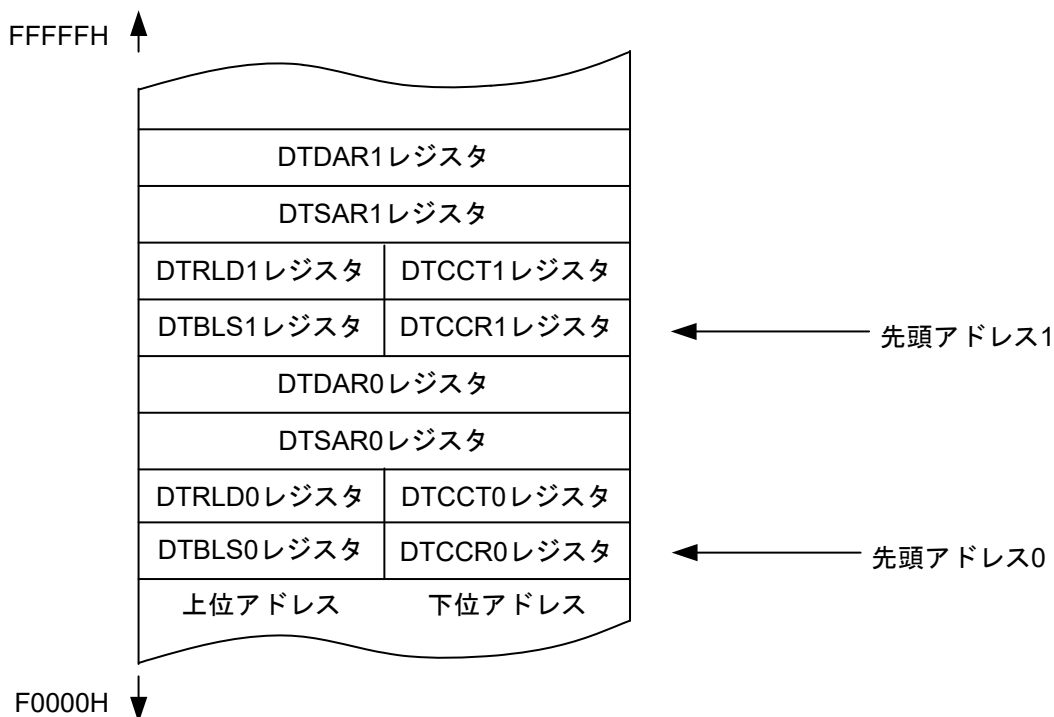
先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図22-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0~4)のDTCENi0~DTCENi7ビットが0(起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図22-3 コントロールデータの配置



22.3.3 ベクタテーブル

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表22-4にDTC起動要因とベクタアドレスを示します。起動要因ごとにベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。ベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因に対応して00Hから27Hまでが割り当てられます。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0~4) レジスタのDTCENi0~DTCENi7ビットが0(起動禁止)のときに変更してください。

図22-4 コントロールデータの先頭アドレスとベクタテーブル

DTCBARレジスタの設定値がFBHの場合(例)

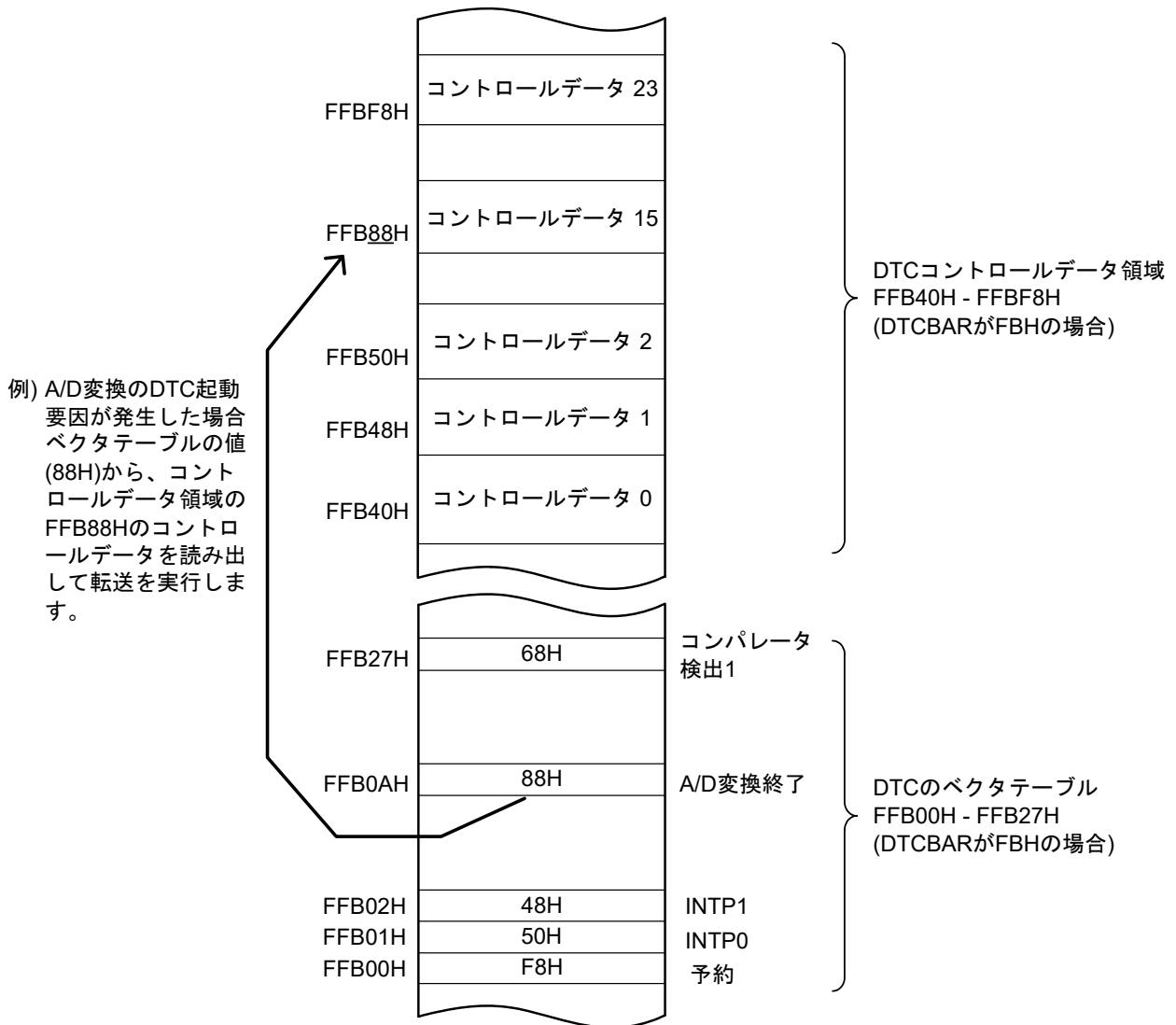




表 22 - 4 DTC起動要因とベクタアドレス

DTC起動要因(割り込み要因発生元)	要因番号	ベクタアドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス + 00H	高   低
INTP0	1	DTCBARレジスタの設定アドレス + 01H	
INTP1	2	DTCBARレジスタの設定アドレス + 02H	
INTP2	3	DTCBARレジスタの設定アドレス + 03H	
INTP3	4	DTCBARレジスタの設定アドレス + 04H	
INTP4	5	DTCBARレジスタの設定アドレス + 05H	
INTP5	6	DTCBARレジスタの設定アドレス + 06H	
INTP6注1	7	DTCBARレジスタの設定アドレス + 07H	
INTP7注2	8	DTCBARレジスタの設定アドレス + 08H	
キー入力注3	9	DTCBARレジスタの設定アドレス + 09H	
A/D変換終了	10	DTCBARレジスタの設定アドレス + 0AH	
UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	11	DTCBARレジスタの設定アドレス + 0BH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	12	DTCBARレジスタの設定アドレス + 0CH	
UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	13	DTCBARレジスタの設定アドレス + 0DH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	14	DTCBARレジスタの設定アドレス + 0EH	
UART2受信の転送完了/CSI21の転送完了またはバッファ空き/IIC21の転送完了	15	DTCBARレジスタの設定アドレス + 0FH	
UART2送信の転送完了/CSI20の転送完了またはバッファ空き/IIC20の転送完了	16	DTCBARレジスタの設定アドレス + 10H	
タイマ・アレイ・ユニット0のチャンネル0のカウント完了またはキャプチャ完了	19	DTCBARレジスタの設定アドレス + 13H	
タイマ・アレイ・ユニット0のチャンネル1のカウント完了またはキャプチャ完了	20	DTCBARレジスタの設定アドレス + 14H	
タイマ・アレイ・ユニット0のチャンネル2のカウント完了またはキャプチャ完了	21	DTCBARレジスタの設定アドレス + 15H	
タイマ・アレイ・ユニット0のチャンネル3のカウント完了またはキャプチャ完了	22	DTCBARレジスタの設定アドレス + 16H	
タイマRDコンペア一致A0	27	DTCBARレジスタの設定アドレス + 1BH	
タイマRDコンペア一致B0	28	DTCBARレジスタの設定アドレス + 1CH	
タイマRDコンペア一致C0	29	DTCBARレジスタの設定アドレス + 1DH	
タイマRDコンペア一致D0	30	DTCBARレジスタの設定アドレス + 1EH	
タイマRDコンペア一致A1	31	DTCBARレジスタの設定アドレス + 1FH	
タイマRDコンペア一致B1	32	DTCBARレジスタの設定アドレス + 20H	
タイマRDコンペア一致C1	33	DTCBARレジスタの設定アドレス + 21H	
タイマRDコンペア一致D1	34	DTCBARレジスタの設定アドレス + 22H	
タイマRGコンペア一致A	35	DTCBARレジスタの設定アドレス + 23H	
タイマRGコンペア一致B	36	DTCBARレジスタの設定アドレス + 24H	
タイマRJ0アンダフロー	37	DTCBARレジスタの設定アドレス + 25H	
コンパレータ検出0	38	DTCBARレジスタの設定アドレス + 26H	
コンパレータ検出1	39	DTCBARレジスタの設定アドレス + 27H	

注1. 32, 36, 48, 64ピン製品のみ

注2. 32, 64ピン製品のみ

注3. 48, 64ピン製品のみ

22.3.4 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-5 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	PGACMPEN	TRD0EN	DTCEN	PWMOPEN	TRXEN	TRJ0EN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 • DTCは動作不可
1	入カクロック供給 • DTCは動作可

22.3.5 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図22 - 6 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス : 22.3.2 コントローラデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ		転送データサイズを選択						
	0	8ビット						
	1	16ビット						
RPTINT		リピートモード割り込みの許可・禁止						
	0	割り込み発生禁止						
	1	割り込み発生許可						
MODEビットが0 (ノーマルモード)のときRPTINTビットの設定は無効です。								
CHNE		チェーン転送の許可・禁止						
	0	チェーン転送禁止						
	1	チェーン転送許可						
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止)にしてください。								
DAMOD		転送先アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが0 (転送先がリピートエリア)のときDAMODビットの設定は無効です。								
SAMOD		転送元アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが1 (転送元がリピートエリア)のときSAMODビットの設定は無効です。								
RPTSEL		リピートエリアの選択						
	0	転送先がリピートエリア						
	1	転送元がリピートエリア						
MODEビットが0 (ノーマルモード)のときRPTSELビットの設定は無効です。								
MODE		転送モードの選択						
	0	ノーマルモード						
	1	リピートモード						

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

22.3.6 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

1回の起動で転送されるデータのブロックサイズを設定します。

図22 - 7 DTCブロックサイズレジスタj (DTBLSj)のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0
DTBLSj	転送ブロックサイズ							
	8ビット転送				16ビット転送			
00H	256バイト				512バイト			
01H	1バイト				2バイト			
02H	2バイト				4バイト			
03H	3バイト				6バイト			
.	.				.			
.	.				.			
.	.				.			
FDH	253バイト				506バイト			
FEH	254バイト				508バイト			
FFH	255バイト				510バイト			

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

22.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図22 - 8 DTC転送回数レジスタj (DTCCTj)のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0
DTCCTj	転送回数							
00H	256回							
01H	1回							
02H	2回							
03H	3回							
.	.							
.	.							
.	.							
FDH	253回							
FEH	254回							
FFH	255回							

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

22.3.8 DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図22 - 9 DTC転送回数リロードレジスタj (DTRLDj)のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

22.3.9 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図22 - 10 DTCソースアドレスレジスタj (DTSARj)のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTSARj15	DTSARj14	DTSARj13	DTSARj12	DTSARj11	DTSARj10	DTSARj9	DTSARj8	DTSARj7	DTSARj6	DTSARj5	DTSARj4	DTSARj3	DTSARj2	DTSARj1	DTSARj0

注意1. 転送元アドレスに汎用レジスタ(FFEE0H~FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

22.3.10 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図22 - 11 DTCデスティネーションアドレスレジスタj (DTDARj)のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTDARj15	DTDARj14	DTDARj13	DTDARj12	DTDARj11	DTDARj10	DTDARj9	DTDARj8	DTDARj7	DTDARj6	DTDARj5	DTDARj4	DTDARj3	DTDARj2	DTDARj1	DTDARj0

注意1. 転送先アドレスに汎用レジスタ(FFEE0H~FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

22.3.11 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0 ~ 4)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表22-5に割り込み要因とDTCENi0~DTCENi7ビットの対応を示します。

DTCENiレジスタは8ビット・メモリ操作命令, および1ビット・メモリ操作命令で設定できます。

注意1. DTCENi0~DTCENi7ビットは, そのビットに対応する起動要因が発生しない箇所で変更してください。

注意2. DTC転送でDTCENiレジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには必ず“0”を設定してください。

図22-12 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0 ~ 4)のフォーマット

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時 : 00H R/W
F02EBH (DTCEN3), F02ECH (DTCEN4)

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
DTCENi7	DTC起動許可i7							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi7ビットは0(起動禁止)になります。								
DTCENi6	DTC起動許可i6							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi6ビットは0(起動禁止)になります。								
DTCENi5	DTC起動許可i5							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi5ビットは0(起動禁止)になります。								
DTCENi4	DTC起動許可i4							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi4ビットは0(起動禁止)になります。								
DTCENi3	DTC起動許可i3							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi3ビットは0(起動禁止)になります。								

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0(起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0(起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0(起動禁止)になります。	

表22 - 5 割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6注1
DTCEN1	INTP7注2	キー入力注3	A/D変換終了	UART0受信の 転送完了/ CSI01の転送 完了または バッファ空き/ IIC01の転送 完了	UART0送信の 転送完了/ CSI00の転送 完了または バッファ空き/ IIC00の転送 完了	UART1受信の 転送完了/ CSI11の転送 完了または バッファ空き/ IIC11の転送 完了	UART1送信の 転送完了/ CSI10の転送 完了または バッファ空き/ IIC10の転送 完了	UART2受信の 転送完了/ CSI21の転送 完了または バッファ空き/ IIC21の転送 完了
DTCEN2	UART2送信の 転送完了/ CSI20の転送 完了または バッファ空き/ IIC20の転送 完了	—	—	タイマ・アレ イ・ユニット0 のチャンネル0の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル1の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル2の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル3の カウント完了 またはキャプ チャ完了	—
DTCEN3	—	—	—	タイマRD コンペアー致 A0	タイマRD コンペアー致 B0	タイマRD コンペアー致 C0	タイマRD コンペアー致 D0	タイマRD コンペアー致 A1
DTCEN4	タイマRD コンペアー致 B1	タイマRD コンペアー致 C1	タイマRD コンペアー致 D1	タイマRG コンペアー致 A	タイマRG コンペアー致 B	タイマRJ0 アンドアフロー	コンパレータ 検出0	コンパレータ 検出1

注1. 32, 36, 48, 64ピン製品のみ

注2. 32, 64ピン製品のみ

注3. 48, 64ピン製品のみ

注意 機能が割り当てられていないビットには必ず“0”を設定してください。

備考 i = 0～4

22.3.12 DTCベースアドレスレジスタ(DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- 注意2. DTCBARレジスタを2回以上書き換えしないでください。
- 注意3. DTC転送でDTCBARレジスタをアクセスしないでください。
- 注意4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、22.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図22 - 13 DTCベースアドレスレジスタ(DTCBAR)のフォーマット

アドレス : F02E0H リセット時 : FDH R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

22.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj(j=0~23)レジスタのCHNEビットが1(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されます。

22.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0 ~ 4)レジスタで選択します。

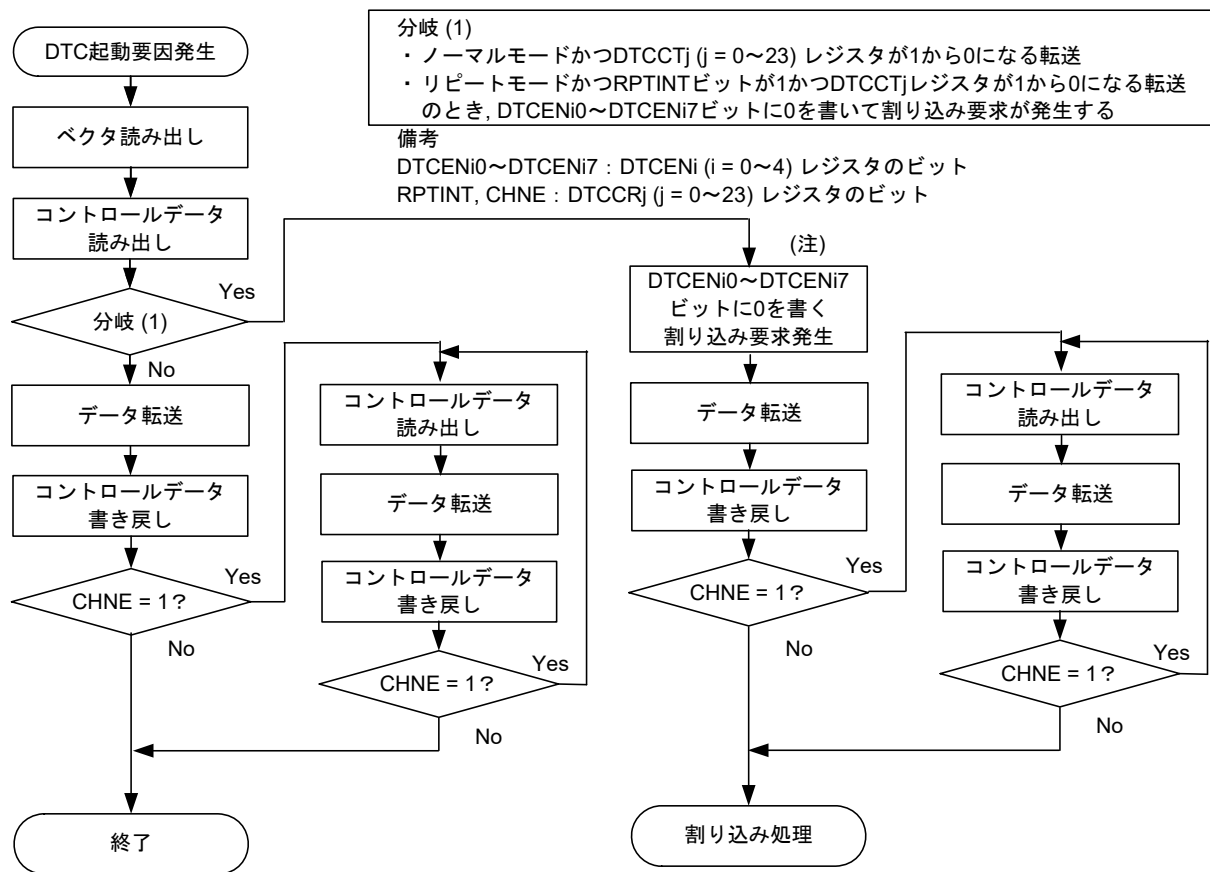
データ転送(チェーン転送の場合、連続して行う最初の転送)の設定が、

- ・ノーマルモードでDTCCTj (j = 0 ~ 23)レジスタが0になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0 ~ DTCENi7ビットを0(起動禁止)にします。

図22-14にDTC内部動作フローチャートを示します。

図22-14 DTC内部動作フローチャート



注 チェーン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0 ~ DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

22.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23)レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~4)レジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

表22-6にノーマルモードでのレジスタ機能を示します。図22-15にノーマルモードでのデータ転送を示します。

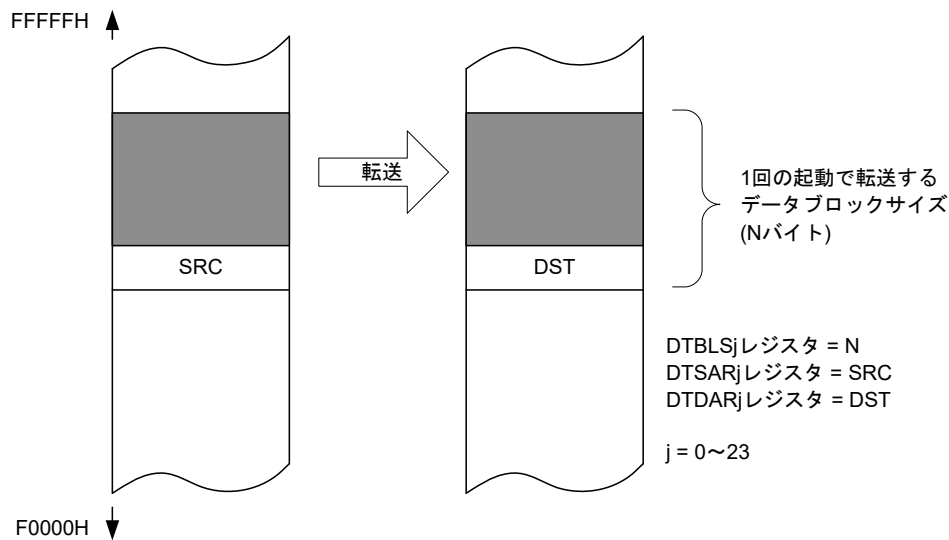
表22-6 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRL Dj	使用しません注
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図22-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

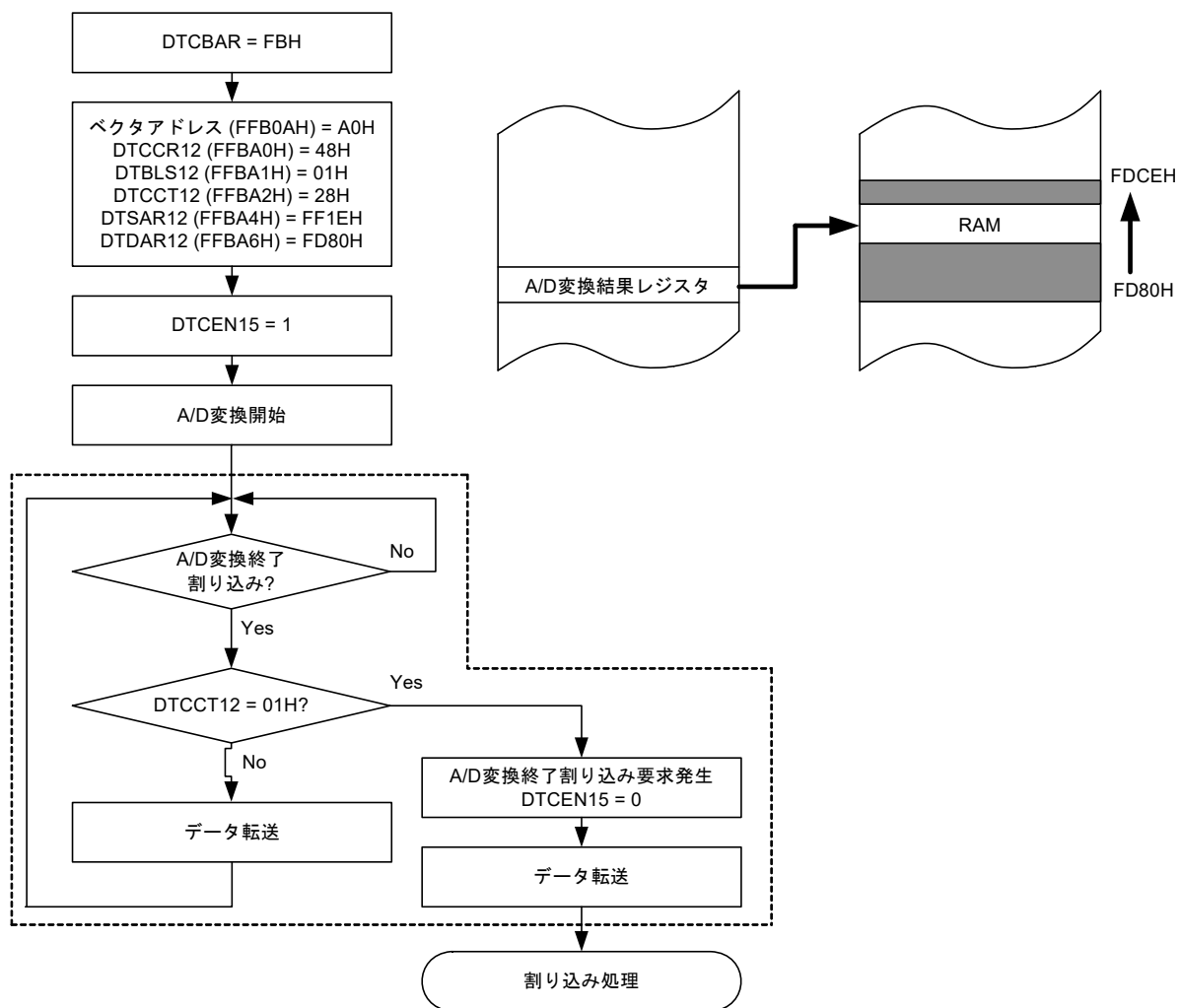
X : 0または1

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタアドレスはFFB0AH, コントロールデータはFFBA0H～FFBA7Hに配置
- A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ40回転送

図22-16 ノーマルモードの使用例1：A/D変換結果の連続取り込み



【---】内の処理はDTCが自動で実行します。

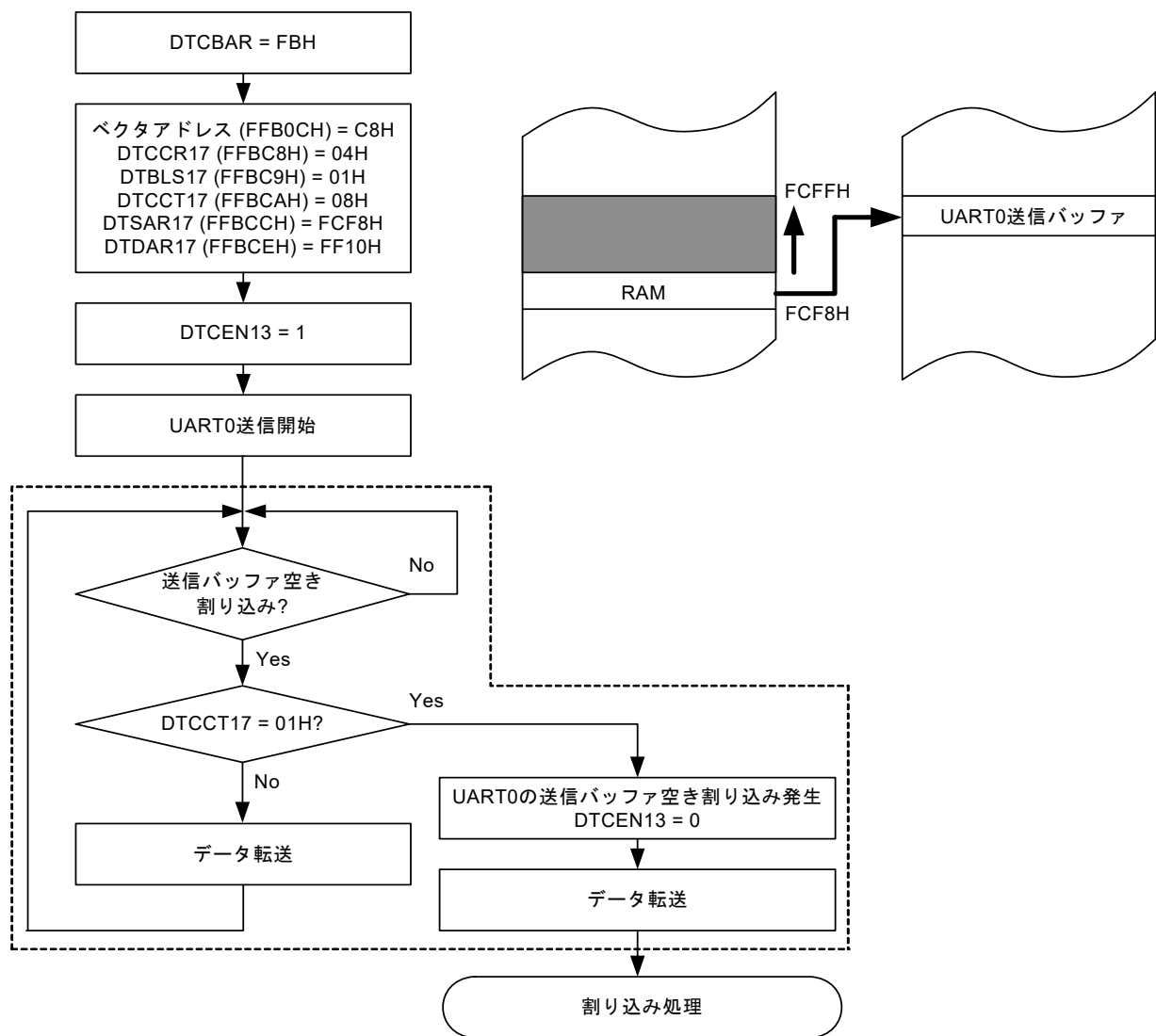
ノーマルモードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRLD12レジスタを初期化(00H)してください。

(2) ノーマルモードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し, RAMの値をUART0の送信バッファに転送します。

- ベクタアドレスはFFB0CH, コントロールデータはFFBC8H~FFBCFHに配置
- RAMのFFCF8H~FFCFEHの8バイトをUART0の送信バッファ(FFF10H)へ転送

図22 - 17 ノーマルモードの使用例2 : UART0連続送信



[] 内の処理はDTCが自動で実行します。

ノーマルモードのため, DTRLD17レジスタの値は使用しませんが, RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は, DTRLD17レジスタを初期化(00H)してください。

UART0の最初の送信は, ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより, 自動的に送信されます。

22.4.3 リピートモード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～4)レジスタの対応するDTCENi0～DTCENi7ビットを0(起動禁止)にします。DTCCRjレジスタのRPTINTビットが0(割り込み発生禁止)の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0～DTCENi7ビットは0になりません。

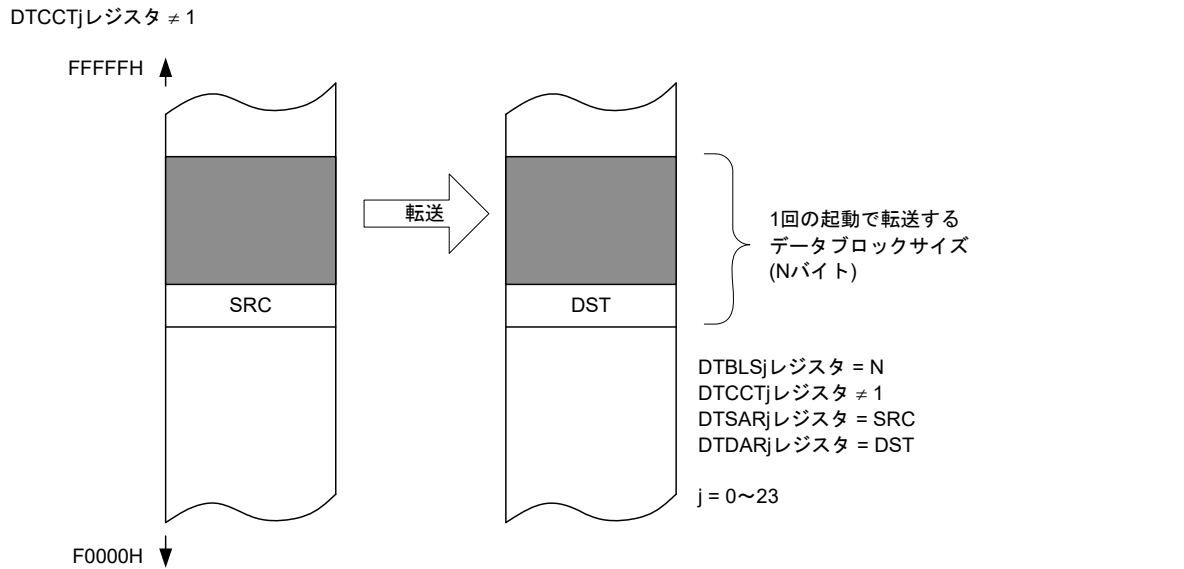
表22-7にリピートモードでのレジスタ機能を示します。図22-18にリピートモードでのデータ転送を示します。

表22-7 リピートモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

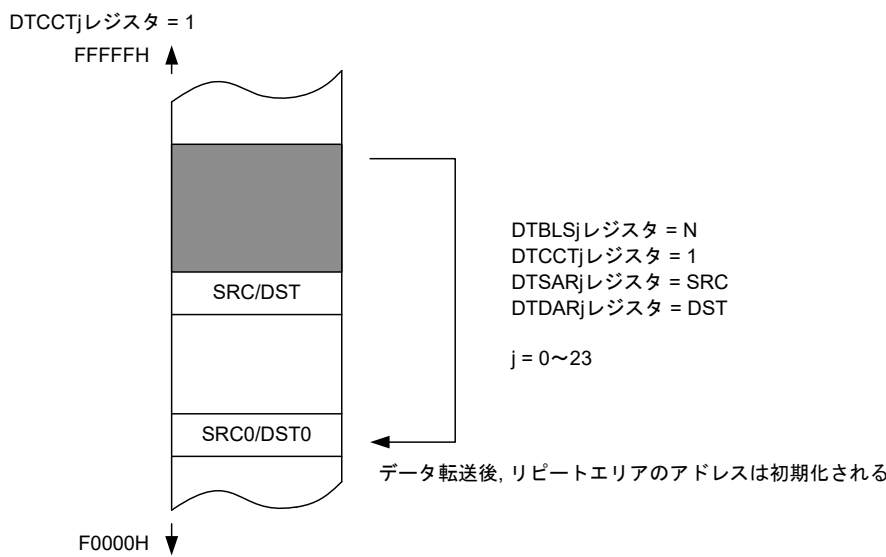
備考 j = 0～23

図22 - 18 リポートモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス 制御	デスティネーション アドレス制御	転送後の ソースアドレス	転送後の デスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC + N	DST
1	X	1	1	リピートエリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST + N
X	1	0	1	加算	リピートエリア	SRC + N	DST + N

X : 0または1



DTCCRレジスタ設定				ソースアドレス 制御	デスティネーション アドレス制御	転送後の ソースアドレス	転送後の デスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC + N	DST0

SRC0 : ソースアドレス初期値

DST0 : デスティネーションアドレス初期値

X : 0または1

注意1. リポートモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

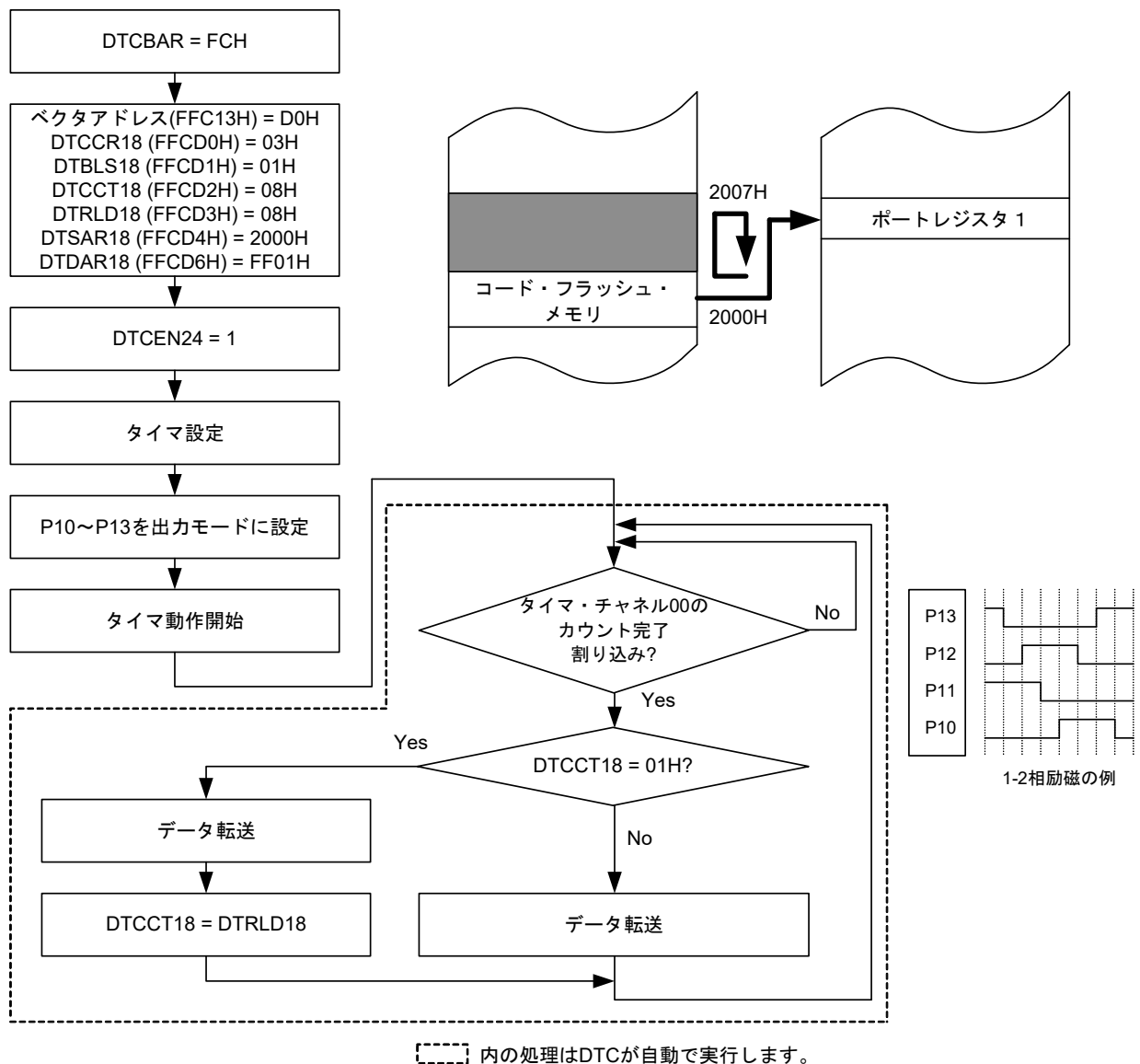
注意2. リポートモード使用時は、リピートエリアのデータサイズを255バイト以内にしてください。

(1) リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力

タイマ・アレイ・ユニット0のチャンネル0のインターバルタイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ベクタアドレスはFFC13H, コントロールデータはFFCD0H~FFCD7Hに配置
- コード・フラッシュ・メモリの02000H~02007Hの8バイトデータをミラー領域F2000H~F2007Hからポートレジスタ1(FFF01H)へ転送
- リピートモード割り込みは禁止

図22-19 リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN24をクリアしてください。

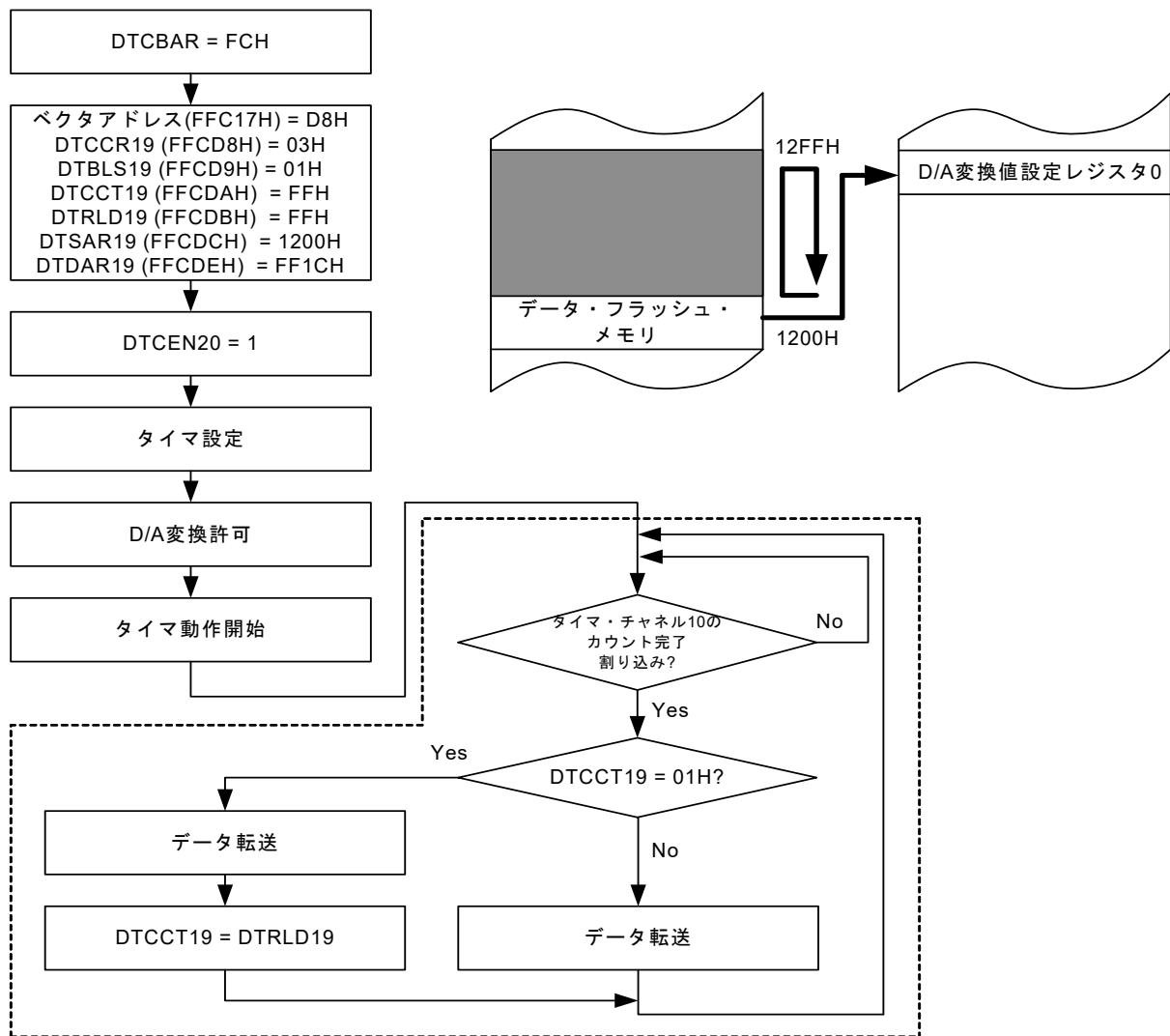
(2) リピートモードの使用例2：8ビットD/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニット1のチャンネル0のインターバルタイマ機能を使って割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを8ビットのD/A変換値設定レジスタ0(FFF34H)に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ベクタアドレスはFFC17H, コントロールデータはFFCD8H~FFCDFHに配置
- データ・フラッシュ・メモリのF1200H~F12FEHの255バイトデータをD/A変換値設定レジスタ0(FFF34H)へ転送
- リピートモード割り込みは禁止

図22-20 リピートモードの使用例2：8ビットD/Aコンバータを使ったサイン波出力



【---】内の処理はDTCが自動で実行します。

出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

22.4.4 チェイン転送

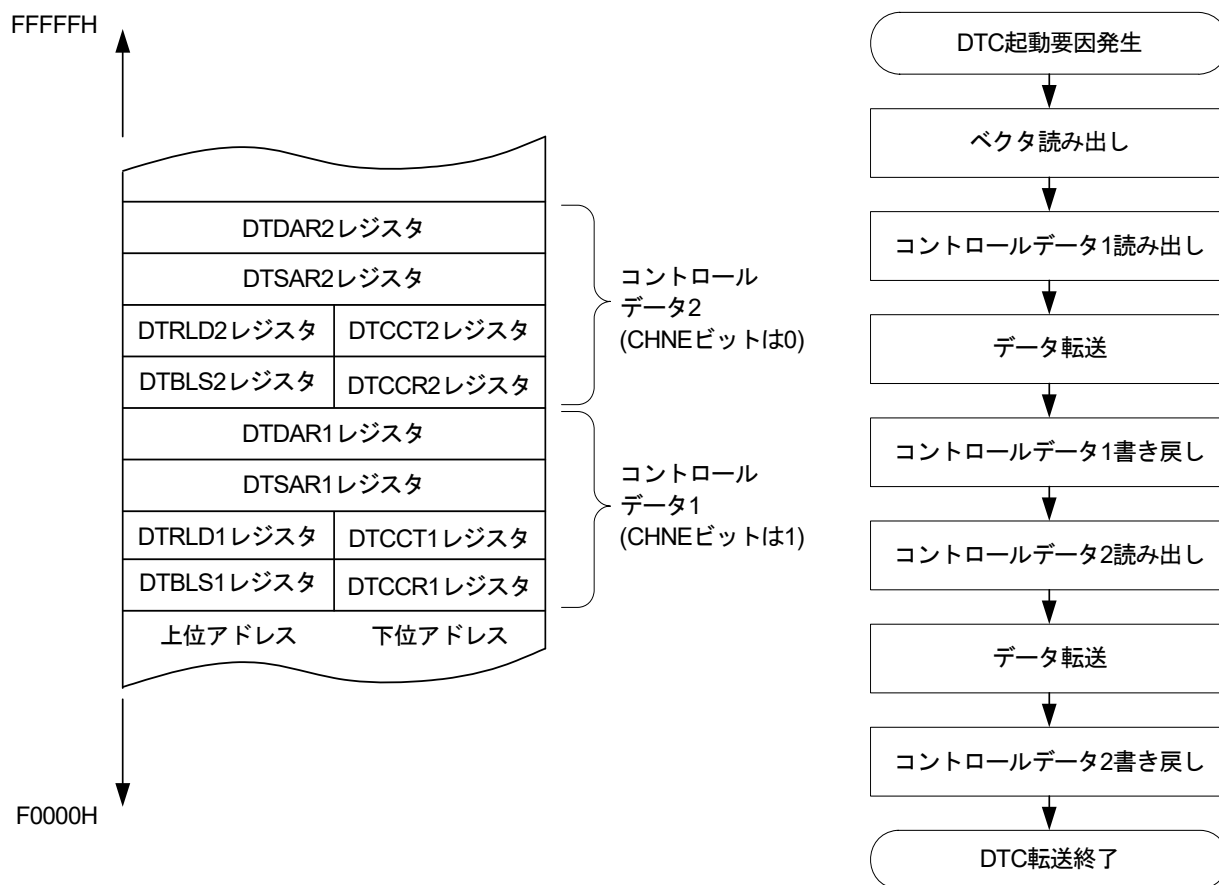
DTCCRj (j = 0 ~ 22) レジスタのCHNEビットが1 (チェーン転送許可) のとき、1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると、起動要因に対応したベクタアドレスから読み出されたデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェーン転送許可) であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェーン転送禁止) のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェーン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

図22-21にチェーン転送でのデータ転送を示します。

図22-21 チェイン転送でのデータ転送



注意1. DTCCR23 レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。

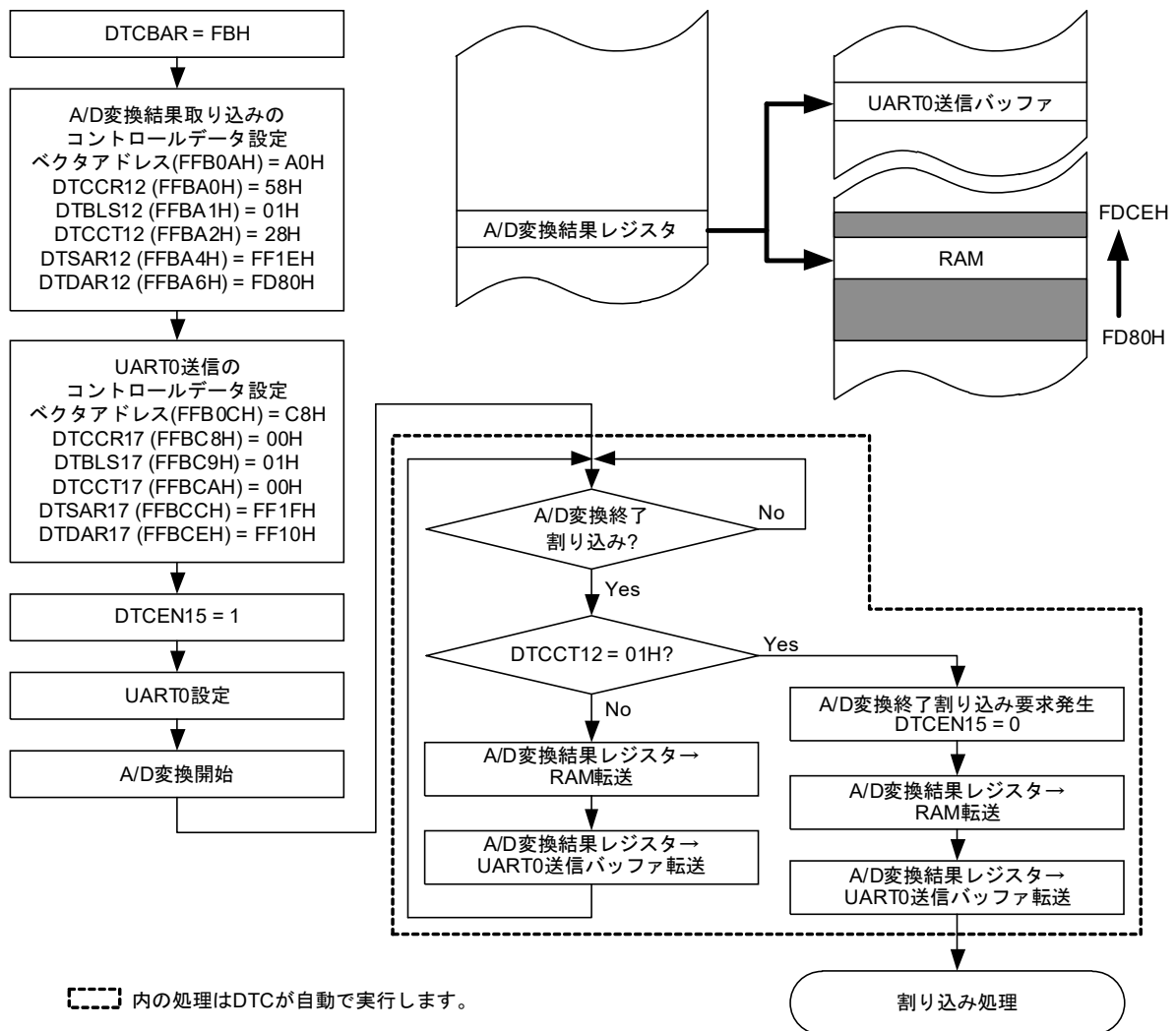
注意2. チェイン転送の場合、2回目以降のデータ転送では、DTCENi (i = 0 ~ 4) レジスタのDTCENi0 ~ DTCENi7 ビットは0 (起動禁止) になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタアドレスはFFB0AH
- A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置
- UART0送信のコントロールデータはFFBA8H～FFBAFHに配置
- A/D変換結果レジスタ(FFF1FH, FFF1EH)の2バイトデータをRAMのFFD80H～FFDCFHに転送し、A/D変換結果レジスタの上位1バイト(FFF1FH)をUARTの送信バッファ(FFF10H)へ転送

図22 - 22 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



22.5 DTC使用上の注意事項

22.5.1 DTCのコントロールデータおよびベクタテーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベースアドレスレジスタ(DTCBAR)は、全てのDTC起動要因を起動(禁止に設定した状態)で変更してください。
- DTCベースアドレスレジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

22.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCのコントロールデータとベクタテーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- FE900H-FED09Hの内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。

22.5.3 DTC 保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令(MULU命令を除く)

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC 保留命令によるDTC 保留中は、全ての割り込み要求が保留されます。

22.5.4 データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, !データ・フラッシュ空間

22.5.5 DTC実行クロック数

表22-8にDTC起動時の実行状況と必要なクロック数を示します。

表22-8 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表22-9 コントロールデータの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は、表22-10 1データの読み出し/書き込みに必要なクロック数を参照してください。

表22-9 コントロールデータの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロールレジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算	エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0~23, X: 0または1

表22-10 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・ フラッシュ・メモリ	データ・ フラッシュ・メモリ	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数注
データ書き込み	1	—	—	1	1	1+ウェイト数注

注 ウェイト数はアクセスする拡張特殊機能レジスタ (2nd SFR)に配置されたレジスタの仕様によって異なります。

22.5.6 DTC 応答時間

表 22 - 11にDTCにおける応答時間を示します。DTC 応答時間とはDTC 起動要因の検出からDTC 転送開始までの時間です。DTC 応答時間にDTC 実行クロック数は含まれません。

表 22 - 11 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合
最大応答時間：20クロック
- DTC 保留命令実行の場合(22.5.3 DTC 保留命令を参照)
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生するTRJ0レジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK (fCLK：CPU/周辺ハードウェアクロック)

22.5.7 DTC 起動要因

- DTC 起動要因を入力してからDTC 転送が完了するまでは同一起動要因を入力しないでください。
- DTC 起動要因が発生する箇所、その起動要因に対応したDTC 起動許可ビットを操作しないでください。
- DTC 起動要因が競合した場合は、CPUがDTC 転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は22.3.3 ベクタテーブルを参照してください。
- コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO = 0) かつ IVCMP > IVREF (または内部基準電圧 1.45 V) の状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CnEPO = 1)、IVCMP < IVREF (または内部基準電圧 1.45 V) の状態で、DTC を起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ(CnMON)を確認してからDTCを起動許可にしてください。(n = 0-1)

22.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能(低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注1, 3, 4, 5}

- 注1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。
- 注3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。
- 注4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。
- 注5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み、AWCビットに1を書き込む)を行ってください。

備考 p = 00; q = 0; m = 0

第23章 イベント・リンク・コントローラ(ELC)

23.1 ELCの機能

イベント・リンク・コントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

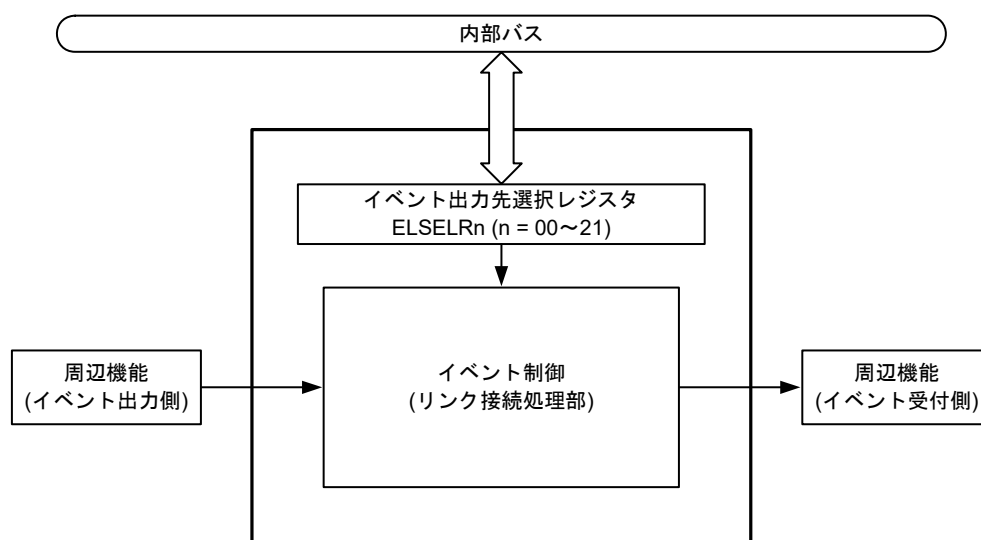
ELCには次の機能があります。

- 22種類(48, 64ピン製品) / 21種類(24, 32, 36ピン製品)の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 10種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

23.2 ELCの構成

図23-1にELCのブロック図を示します。

図23-1 ELCのブロック図



23.3 ELCを制御するレジスタ

表23-1にELCを制御するレジスタを示します。

表23-1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18
イベント出力先選択レジスタ19	ELSELR19
イベント出力先選択レジスタ20	ELSELR20
イベント出力先選択レジスタ21	ELSELR21

23.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 21)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表23-2にELSELRnレジスタ(n = 00 ~ 21)と周辺機能の対応を、表23-3にELSELRnレジスタ(n = 00 ~ 21)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図23-2 イベント出力先選択レジスタ n (ELSELRn)のフォーマット

アドレス : F0300H (ELSELR00) ~ F0315H (ELSELR21) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	ELSELn3	ELSELn2	ELSELn1	ELSELn0

ELSELn3	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	0	イベントリンク禁止
0	0	0	1	リンクする周辺機能1の動作を選択 ^{注1}
0	0	1	0	リンクする周辺機能2の動作を選択 ^{注1}
0	0	1	1	リンクする周辺機能3の動作を選択 ^{注1}
0	1	0	0	リンクする周辺機能4の動作を選択 ^{注1}
0	1	0	1	リンクする周辺機能5の動作を選択 ^{注1}
0	1	1	0	リンクする周辺機能6の動作を選択 ^{注1}
0	1	1	1	リンクする周辺機能7の動作を選択 ^{注1}
1	0	0	0	リンクする周辺機能8の動作を選択 ^{注1}
1	0	0	1	リンクする周辺機能9の動作を選択 ^{注1}
1	0	1	0	リンクする周辺機能10の動作を選択 ^{注1}
上記以外				設定禁止

注1. 表23-3 ELSELRnレジスタ(n = 00 ~ 21)に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表 23 - 2 ELSELRn レジスタ (n = 00 ~ 21) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06 ^注	キーリターン信号検出	INTKR
ELSELR07	RTC 定周期信号/アラーム一致検出	INTRTC
ELSELR08	タイマRD0インプットキャプチャ A/コンペアー一致A	INTTRD0
ELSELR09	タイマRD0インプットキャプチャ B/コンペアー一致B	INTTRD0
ELSELR10	タイマRD1インプットキャプチャ A/コンペアー一致A	INTTRD1
ELSELR11	タイマRD1インプットキャプチャ B/コンペアー一致B	INTTRD1
ELSELR12	タイマRD1アングダフロー	TRD1アングダフロー信号
ELSELR13	タイマRJ0アングダフロー/パルス幅測定期間終了/パルス周期測定期間終了	INTTRJ0
ELSELR14	タイマRGインプットキャプチャ A/コンペアー一致A	INTTRG
ELSELR15	タイマRGインプットキャプチャ B/コンペアー一致B	INTTRG
ELSELR16	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR17	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR18	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR19	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR20	コンパレータ検出0	コンパレータ検出0信号
ELSELR21	コンパレータ検出1	コンパレータ検出1信号

注 48, 64ピン製品のみ

表 23 - 3 ELSELRn レジスタ (n = 00 ~ 21) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn3 ~ ELSELn0 ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
0001B	1	A/Dコンバータ	A/D変換開始
0010B	2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0011B	3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0100B	4	タイマRJ0	カウントソース
0101B	5	タイマRG	TRGIOBのインプットキャプチャ
0110B	6	タイマRD0	TRDIOD0のインプットキャプチャ, パルス出力強制遮断
0111B	7	タイマRD1	TRDIOD1のインプットキャプチャ, パルス出力強制遮断
1000B	8	DA0注3	リアルタイム出力
1001B	9	DA1注3	リアルタイム出力 (32, 36, 48, 64ピン製品のみ)
1010B	10	PWMOPA	パルス出力強制遮断

- 注1. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル0のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0)でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI00端子のノイズフィルタをOFFに(TNFEN0 = 0)設定し、タイマ入出力選択レジスタ0 (TIOS0)でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注2. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル1のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0)でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI01端子のノイズフィルタをOFF (TNFEN01 = 0)に設定し、タイマ入出力選択レジスタ0 (TIOS0)でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注3. D/A変換のリアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。

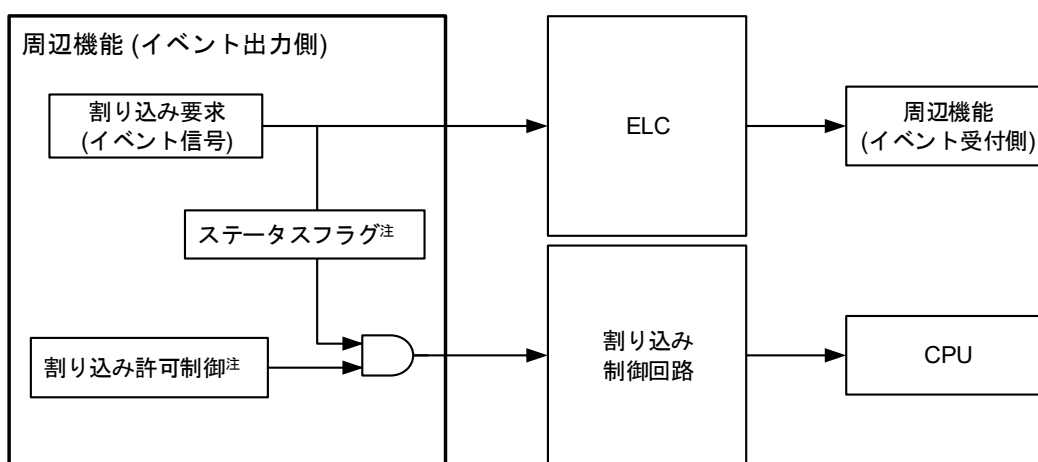
23.4 ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図23-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(表23-3 ELSELRnレジスタ(n = 00~21)に設定する値とリンク先周辺機能の受付時の動作の対応参照)。

図23-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表23-4にイベントを受け付ける周辺機能の応答性を示します。

表23-4 イベントを受け付ける周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベントが直接、A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
4	タイマRJ	カウントソース	ELCからのイベントが直接、タイマRJのカウントソースになります。
5	タイマRG	TRGIOBのインプットキャプチャ	ELCのイベント発生からfCLKの2, 3サイクル後にカウント開始トリガが発生します。
6	タイマRD0	TRDIOD0のインプットキャプチャ	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後に強制遮断状態になります。
7	タイマRD1	TRDIOD1のインプットキャプチャ	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後に強制遮断状態になります。
8	D/Aコンバータのチャンネル0	リアルタイム出力(チャンネル0)	ELCからの非同期イベントを同期化するため1サイクル以上2サイクル未満の期間でイベントを受け取り、次のサイクルでD/A変換動作を開始する。
9	D/Aコンバータのチャンネル1	リアルタイム出力(チャンネル1)	ELCからの非同期イベントを同期化するため1サイクル以上2サイクル未満の期間でイベントを受け取り、次のサイクルでD/A変換動作を開始する。
10	PWMOPA	パルス出力強制遮断	ELCからの非同期イベントを同期化するため1サイクル以上2サイクル未満の期間でイベントを受け取る。次のサイクルでパルス出力強制遮断動作をする。

第24章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		24ピン	32ピン	36ピン	48ピン	64ピン
マスカブル割り込み	外部	9	11	10	12	13
	内部	25	25	25	25	25

24.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表24-1～表24-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

24.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります(表24-1～表24-1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表 24 - 1 割り込み要因一覧(1/3)

割り込みの処理 デフォルト・ プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	64ピン	48ピン	36ピン	32ピン	24ピン	
	名称	トリガ									
マスクابل	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75% + 1/2 fIL)	内部	00004H	(A)	○	○	○	○	○
	1	INTLVI	電圧検出 ^{注4}		00006H		○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○	○	○	○
	3	INTP1			0000AH		○	○	○	○	○
	4	INTP2			0000CH		○	○	○	○	○
	5	INTP3			0000EH		○	○	○	○	○
	6	INTP4			00010H		○	○	○	○	○
	7	INTP5			00012H		○	○	○	○	○
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了, バッファ空き割り込み ／CSI20の転送完了, バッファ空き割り込み ／IIC20の転送完了	内部	00014H	(A)	○	○	○	○	○
	9	INTSR2/ INTCSI21/ INTIIC21	UART2受信の転送完了／CSI21の転送完了, バッファ空き割り込み／IIC21の転送完了		00016H		○	○	○ ^{注5}	○ ^{注5}	○ ^{注5}
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○	○
	11	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了, バッファ空き割り込み ／CSI00の転送完了, バッファ空き割り込み ／IIC00の転送完了		0001EH		○	○	○	○	○
	12	INTSR0/ INTCSI01/ INTIIC01	UART0受信の転送完了／CSI01の転送完了, バッファ空き割り込み／IIC01の転送完了		00020H		○	○	○ ^{注6}	○ ^{注6}	○ ^{注6}
13	INTSRE0	UART0受信の通信エラー発生		00022H		○	○	○	○	○	
	INTTM01H	タイマ・チャンネル01のカウント完了または キャプチャ完了(上位8ビット・タイマ動作時)			○	○	○	○	○		

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位、37が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図24 - 1の(A) - (D)に対応しています。

注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

注5. INTSR2のみ

注6. INTSR0のみ

表 24 - 1 割り込み要因一覧(2/3)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	64ピン	48ピン	36ピン	32ピン	24ピン
		名称	トリガ								
マスクابل	14	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了、バッファ空き割り込み/CSI10の転送完了、バッファ空き割り込み/IIC10の転送完了	内部	00024H	(A)	○	○ ^{注3}	○ ^{注3}	○ ^{注3}	○ ^{注3}
	15	INTSR1/ INTCSI11/ INTIIC11	UART1受信の転送完了/CSI11の転送完了、バッファ空き割り込み/IIC11の転送完了		00026H		○	○	○	○	○
	16	INTSRE1	UART1受信の通信エラー発生		00028H		○	○	○	○	○
		INTTM03H	タイマ・チャンネル03のカウント完了またはキャプチャ完了(上位8ビット・タイマ動作時)				○	○	○	○	○
	17	INTICA0	IICA0通信完了		0002AH		○	○	○	○	○
	18	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ完了		0002CH		○	○	○	○	○
	19	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ完了		0002EH		○	○	○	○	○
	20	INTTM02	タイマ・チャンネル02のカウント完了またはキャプチャ完了		0030H		○	○	○	○	○
	21	INTTM03	タイマ・チャンネル03のカウント完了またはキャプチャ完了		00032H		○	○	○	○	○
	22	INTAD	A/D変換終了		00034H		○	○	○	○	○
	23	INTRTC	リアルタイム・クロックの定周期信号/ アラーム一致検出		00036H		○	○	○	○	○
	24	INTIT	インターバル信号検出		00038H		○	○	○	○	○
	25	INTKR	キー・リターン信号検出	外部	0003AH	(C)	○	○	—	—	—
	26	INTTRJ0	タイマRJ割り込み	内部	00040H	(A)	○	○	○	○	○

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位、37が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図24 - 1の(A) - (D)に対応しています。

注3. INTST1のみ

表 24 - 1 割り込み要因一覧(3/3)

割り込みの処理	割り込み要因			内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	64ピン	48ピン	36ピン	32ピン	24ピン	
	デフォルト・プライオリティ注1	名称	トリガ									
マスカブル	27	INTP6	端子入力エッジ検出	外部	0004AH	(B)	○	○	○	○	—	
	28	INTP7			0004CH		○	—	—	○	—	
	29	INTP8			0004EH		○	○	○	○	○	
	30	INTP9			00050H		○	○	—	—	—	
	31	INTP10	端子入力エッジ検出	外部	00052H		○	○	○	○	○	
		INTCMP0	コンパレータ検出0	内部			○	○	○	○	○	
	32	INTP11	端子入力エッジ検出	外部	00054H		○	○	○	○	○	
		INTCMP1	コンパレータ検出1	内部			○	○	○	○	○	
	33	INTTRD0	タイマRD0インプットキャプチャ, コンペア一致, オーバフロー, アンダフロー割り込み	内部	00056H		(A)	○	○	○	○	○
	34	INTTRD1	タイマRD1インプットキャプチャ, コンペア一致, オーバフロー, アンダフロー割り込み		00058H			○	○	○	○	○
35	INTTRG	タイマRGインプットキャプチャ, コンペア一致, オーバフロー, アンダフロー割り込み	0005AH		○	○		○	○	○		
36	INTTRX	タイマRXオーバフロー検出	0005CH		○	○		○	○	○		
37	INTFL	予約注3	00062H		○	○		○	○	○		
ソフトウエア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○	○	○	○	
リセット	—	RESET	RESET 端子入力	—	00000H	—	○	○	○	○	○	
		POR	パワーオン・リセット				○	○	○	○	○	
		LVD	電圧検出注4				○	○	○	○	○	
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○	
		TRAP	不正命令の実行注5				○	○	○	○	○	
		IAW	不正メモリ・アクセス				○	○	○	○	○	
		RPE	RAMパリティ・エラー				○	○	○	○	○	

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、37が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図24 - 1の(A) - (D)に対応しています。

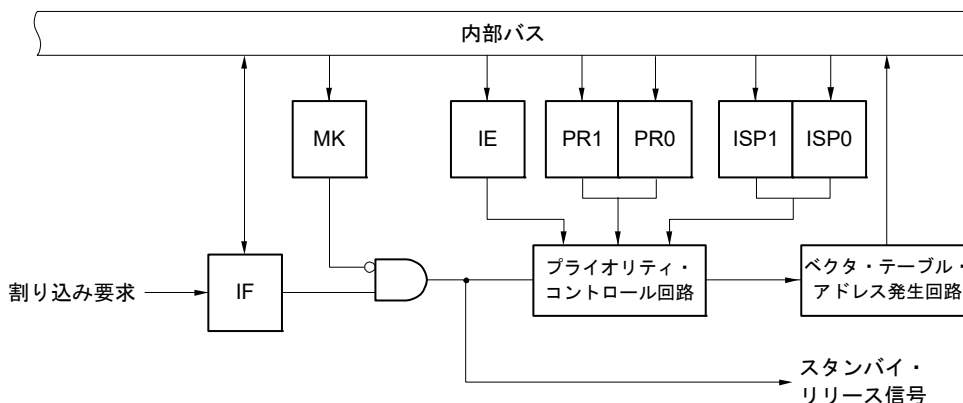
注3. フラッシュ・セルフ・プログラミング・ライブラリ、データ・フラッシュ・ライブラリで使用します。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 1選択時。

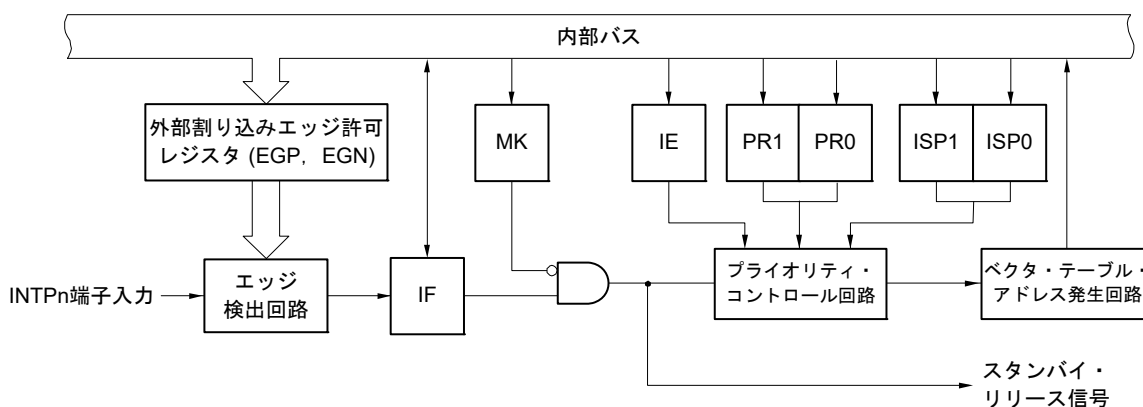
注5. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図24 - 1 割り込み機能の基本構成

(A)内部マスカブル割り込み



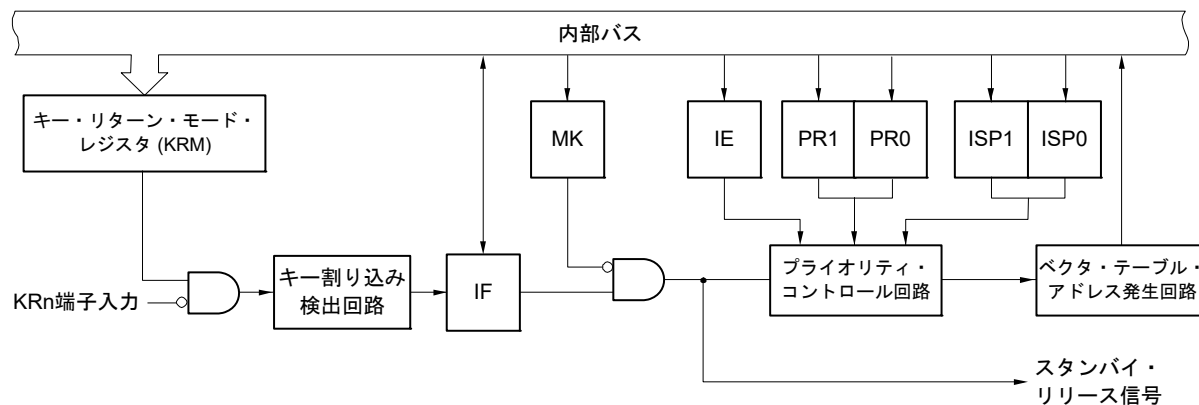
(B)外部マスカブル割り込み(INTPn)



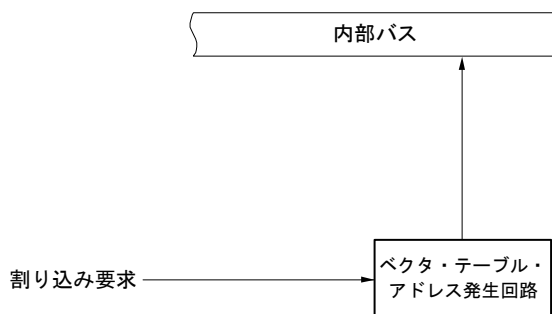
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

- 備考
- 24ピン : n = 0-5, 8, 10, 11
 - 32ピン : n = 0-8, 10, 11
 - 36ピン : n = 0-6, 8, 10, 11
 - 48ピン : n = 0-6, 8-11
 - 64ピン : n = 0-11

(C)外部マスカブル割り込み(INTKR)



(D)ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサース・プライオリティ・フラグ0
- ISP1 : インサース・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 48ピン : n = 0-5
64ピン : n = 0-7

24.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表24-2～表24-5に示します。

表24-2 割り込み要求ソースに対応する各種フラグ(1/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64 ピン	48 ピン	36 ピン	32 ピン	24 ピン
		レジスタ		レジスタ		レジスタ					
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○

表24-3 割り込み要求ソースに対応する各種フラグ(2/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64 ピン	48 ピン	36 ピン	32 ピン	24 ピン
		レジスタ		レジスタ		レジスタ					
INTST2注1	STIF2注1	IF0H	STMK2注1	MK0H	STPR02, STPR12注1	PR00H, PR10H	○	○	○	○	○
INTCSI20注1	CSIIF20注1		CSIMK20注1		CSIPR020, CSIPR120注1		○	○	○	○	○
INTIIC20注1	IICIF20注1		IICMK20注1		IICPR020, IICPR120注1		○	○	○	○	○
INTSR2注2	SRIF2注2		SRMK2注2		SRPR02, SRPR12注2		○	○	○	○	○
INTCSI21注2	CSIIF21注2		CSIMK21注2		CSIPR021, CSIPR121注2		○	○	—	—	—
INTIIC21注2	IICIF21注2		IICMK21注2		IICPR021, IICPR121注2		○	○	—	—	—
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○	○	○	○
INTST0注3	STIF0注3		STMK0注3		STPR00, STPR10注3		○	○	○	○	○
INTCSI00注3	CSIIF00注3		CSIMK00注3		CSIPR000, CSIPR100注3		○	○	○	○	○
INTIIC00注3	IICIF00注3		IICMK00注3		IICPR000, IICPR100注3		○	○	○	○	○
INTSR0注4	SRIF0注4		SRMK0注4		SRPR00, SRPR10注4		○	○	○	○	○
INTCSI01注4	CSIIF01注4		CSIMK01注4		CSIPR001, CSIPR101注4		○	○	—	—	—
INTIIC01注4	IICIF01注4		IICMK01注4		IICPR001, IICPR101注4		○	○	—	—	—
INTSRE0注5	SREIF0注5		SREMK0注5		SREPR00, SREPR10注5		○	○	○	○	○
INTTM01H注5	TMIF01H注5		TMMK01H注5		TMPR001H, TMPR101H注5		○	○	○	○	○

- 注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。
- 注2. 割り込み要因INTSR2, INTCSI21, INTIIC21のうち、いずれかが発生したら、IF0Hレジスタのビット1はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注3. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。
- 注4. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生したら、IF0Hレジスタのビット6はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット6は、3つすべての割り込み要因に対応しています。
- 注5. UART0受信のエラー割り込み、TAU0のチャンネル1(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない(EOC01=0)場合は、UART0、TAU0のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

表24-4 割り込み要求ソースに対応する各種フラグ(3/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ レジスタ	64 ピン	48 ピン	36 ピン	32 ピン	24 ピン	
		レジスタ		レジスタ							
INTST1注1	STIF1注1	IF1L	STMK1注1	MK1L	STPR01, STPR11注1	PR01L, PR11L	○	○	○	○	○
INTCSI10注1	CSIIF10注1		CSIMK10注1		CSIPR010, CSIPR110注1		○	—	—	—	—
INTIIC10注1	IICIF10注1		IICMK10注1		IICPR010, IICPR110注1		○	—	—	—	—
INTSR1注2	SRIF1注2		SRMK1注2		SRPR01, SRPR11注2		○	○	○	○	○
INTCSI11注2	CSIIF11注2		CSIMK11注2		CSIPR011, CSIPR111注2		○	○	○	○	○
INTIIC11注2	IICIF11注2		IICMK11注2		IICPR011, IICPR111注2		○	○	○	○	○
INTSRE1注3	SREIF1注3		SREMK1注3		SREPR01, SREPR11注3		○	○	○	○	○
INTTM03H注3	TMIF03H注3		TMMK03H注3		TMPR003H, TMPR103H注3		○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○
INTTM03	TMIF03	TMMK03	TMPR003, TMPR103	○	○	○	○	○			
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	—	—	—
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10		○	○	○	○	○

- 注1. 割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lレジスタのビット0はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット0は、3つすべての割り込み要因に対応しています。
- 注2. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生したら、IF1Lレジスタのビット1はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注3. UART1受信のエラー割り込み、TAU0のチャンネル3(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない(EOC03 = 0)場合は、UART1, TAU0のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット2はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

表24 - 5 割り込み要求ソースに対応する各種フラグ(4/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64 ピン	48 ピン	36 ピン	32 ピン	24 ピン
		レジスタ		レジスタ		レジスタ					
INTP6	PIF6	IF2L	PMK6	MK2L	PPR06, PPR16	PR02L, PR12L	○	○	○	○	—
INTP7	PIF7		PMK7		PPR07, PPR17		○	—	—	○	—
INTP8	PIF8		PMK8		PPR08, PPR18		○	○	○	○	○
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	—	—	—
INTP10注1	PIF10注1		PMK10注1		PPR010, PPR110注1		○	○	○	○	○
INTCMP0注1	CMPIF0注1		CMPMK0注1		CMPPR00, CMPPR10注1		○	○	○	○	○
INTP11注2	PIF11注2	IF2H	PMK11注2	MK2H	PPR011, PPR111注2	PR02H, PR12H	○	○	○	○	○
INTCMP1注2	CMPIF1注2		CMPMK1注2		CMPPR01, CMPPR11注2		○	○	○	○	○
INTTRD0	TRDIF0		TRDMK0		TRDPR00, TRDPR10		○	○	○	○	○
INTTRD1	TRDIF1		TRDMK1		TRDPR01, TRDPR11		○	○	○	○	○
INTTRG	TRGIF		TRGMK		TRGPR0, TRGPR1		○	○	○	○	○
INTTRX	TRXIF		TRXMK		TRXPR0, TRXPR1		○	○	○	○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○

注1. INTP10,コンパレータ0は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP10, INTCMP0のうち、どちらかが発生したら、IF2Lレジスタのビット7はセット(1)されます。また、MK2L, PR02L, PR12Lレジスタのビット7は、両方の割り込み要因に対応しています。

注2. INTP11,コンパレータ1は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP11, INTCMP1のうち、どちらかが発生したら、IF2Hレジスタのビット0はセット(1)されます。また、MK2H, PR02H, PR12Hレジスタのビット0は、両方の割り込み要因に対応しています。

24.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図24 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0 TMIF01H	SRIF0 CSIF01 IICIF01	STIF0 CSIF00 IICIF00	0	0	SREIF2	SRIF2 CSIF21 IICIF21	STIF2 CSIF20 IICIF20

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIF10 IICIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	TRJIF0	0	0	KRIF	ITIF	RTCIF	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	PIF10 CMPIF0	PIF9	PIF8	PIF7	PIF6	0	0	0

図24 - 3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	0	TRXIF	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1
XXIFX	割り込み要求フラグ							
0	割り込み要求信号が発生していない							
1	割り込み要求信号が発生し、割り込み要求状態							

注意1. 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表24 - 2～表24 - 5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令(CLR1)を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令(CLR1)になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ(IF0L)の他ビットの要求フラグがセット(1)されても、「mov IF0L, a」でクリア(0)されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

24.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図24-4 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	1	1	SREMK2	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	TRJMK0	1	1	KRMK	ITMK	RTCMK	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	PMK10 CMPMK0	PMK9	PMK8	PMK7	PMK6	1	1	1

図24 - 5 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	1	TRXMK	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
XXMKX	割り込み処理の制御							
0	割り込み処理許可							
1	割り込み処理禁止							

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表24 - 2～表24 - 5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

24.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図24 - 6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(1/3)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00	SRPR00	STPR00	1	1	SREPR02	SRPR02	STPR02
	TMPR001H	CSIPR001	CSIPR000				CSIPR021	CSIPR020
		IICPR001	IICPR000				IICPR021	IICPR020

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10	SRPR10	STPR10	1	1	SREPR12	SRPR12	STPR12
	TMPR101H	CSIPR101	CSIPR100				CSIPR121	CSIPR120
		IICPR101	IICPR100				IICPR121	IICPR120

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01	SRPR01	STPR01
						TMPR003H	CSIPR011	CSIPR010
							IICPR011	IICPR010

図24 - 7 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(2/3)

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	1	TRJPR00	1	1	KRPR0	ITPR0	RTCPR0	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	1	TRJPR10	1	1	KRPR1	ITPR1	RTCPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	PPR010 CMPPR00	PPR09	PPR08	PPR07	PPR06	1	1	1

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	PPR110 CMPPR10	PPR19	PPR18	PPR17	PPR16	1	1	1

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	1	1	TRXPR0	TRGPR0	TRDPR01	TRDPR00	PPR011 CMPPR01

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	1	1	TRXPR1	TRGPR1	TRDPR11	TRDPR10	PPR111 CMPPR11

図24 - 8 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット (3/3)

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表24 - 2～表24 - 5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

24.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 9 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0
------	------	------	------	------	------	------	------	------

アドレス : FFF39H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0
------	------	------	------	------	------	------	------	------

アドレス : FFF3AH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8
------	---	---	---	---	-------	-------	------	------

アドレス : FFF3BH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8
------	---	---	---	---	-------	-------	------	------

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-11)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表24 - 6に示します。

表 24 - 6 EGPn ビットと EGNn ビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	64ピン	48ピン	36ピン	32ピン	24ピン
EGP0	EGN0	INTP0	○	○	○	○	○
EGP1	EGN1	INTP1	○	○	○	○	○
EGP2	EGN2	INTP2	○	○	○	○	○
EGP3	EGN3	INTP3	○	○	○	○	○
EGP4	EGN4	INTP4	○	○	○	○	○
EGP5	EGN5	INTP5	○	○	○	○	○
EGP6	EGN6	INTP6	○	○	○	○	—
EGP7	EGN7	INTP7	○	—	—	○	—
EGP8	EGN8	INTP8	○	○	○	○	○
EGP9	EGN9	INTP9	○	○	—	—	—
EGP10	EGN10	INTP10	○	○	○	○	○
EGP11	EGN11	INTP11	○	○	○	○	○

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0) にしてからポート・モード・レジスタ (PMxx) を 0 に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n = 0-11

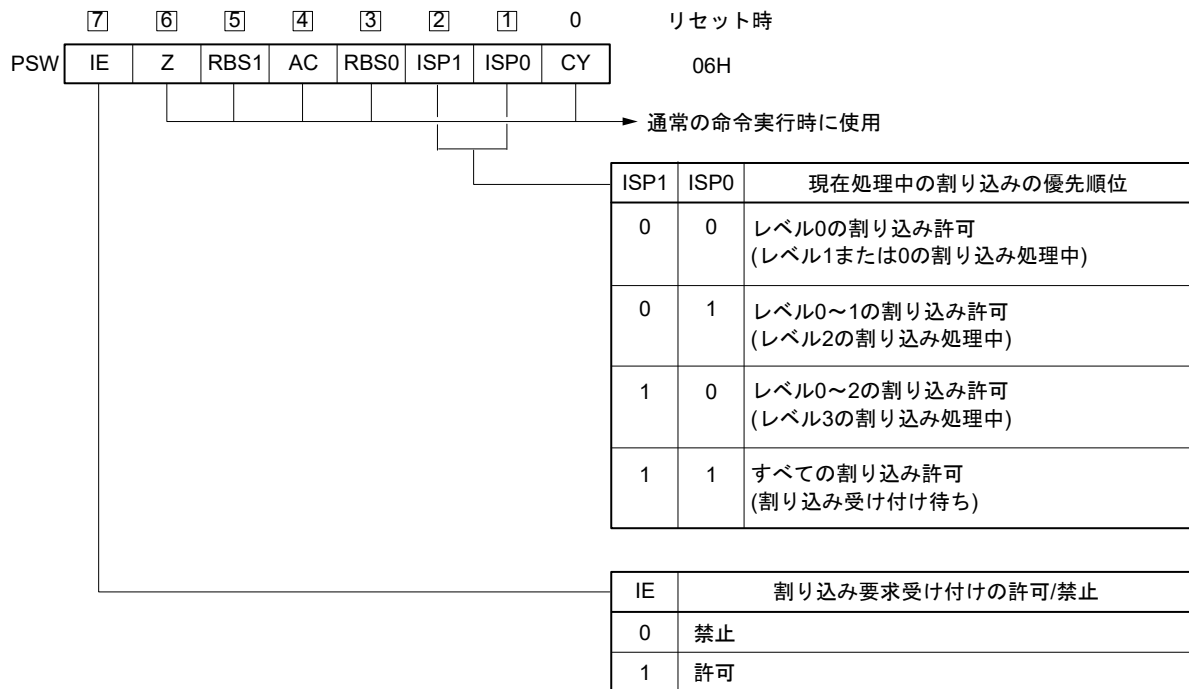
24.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図24 - 10 プログラム・ステータス・ワードの構成



24.4 割り込み処理動作

24.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表 24 - 7 のようになります。

割り込み要求の受け付けタイミングについては、図 24 - 12, 図 24 - 13 を参照してください。

表 24 - 7 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

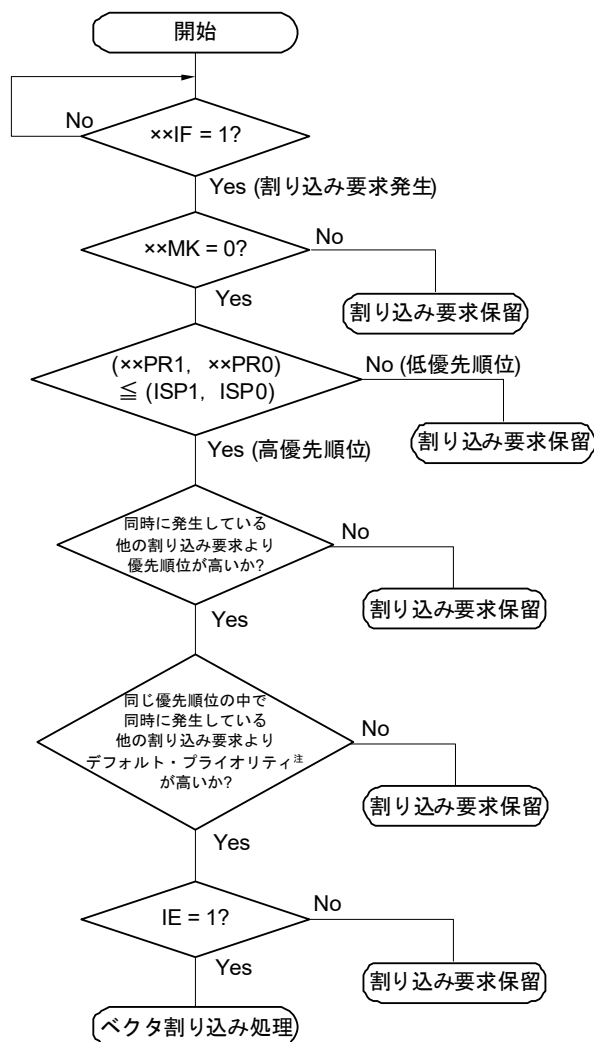
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図 24 - 11 に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図24 - 11 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

××PR0 : 優先順位指定フラグ0

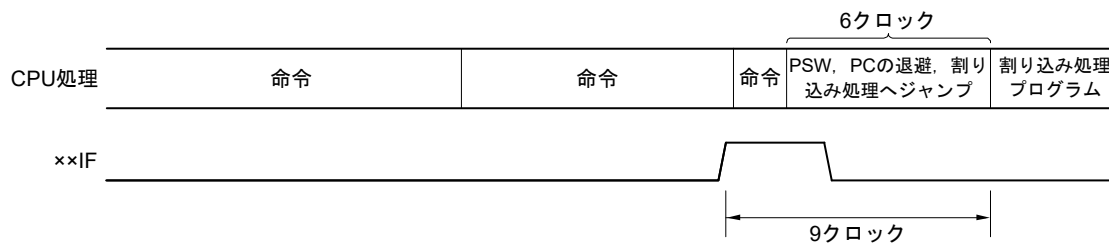
××PR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図24 - 10参照)

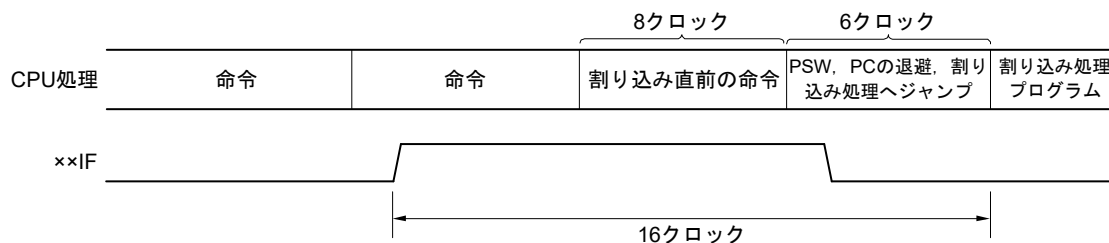
注 デフォルト・プライオリティは、表24 - 1～表24 - 1 割り込み要因一覧を参照してください。

図24 - 12 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図24 - 13 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

24.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

24.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表24 - 8に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図24 - 14～図24 - 15に多重割り込みの例を示します。

表24 - 8 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスクブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスクブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00 : **PR1×= 0, **PR0×= 0でレベル0を指定(高優先順位)

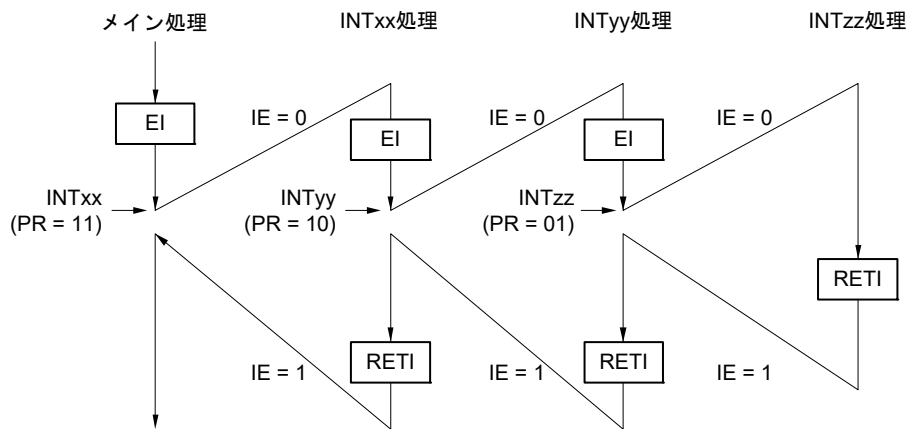
PR = 01 : **PR1×= 0, **PR0×= 1でレベル1を指定

PR = 10 : **PR1×= 1, **PR0×= 0でレベル2を指定

PR = 11 : **PR1×= 1, **PR0×= 1でレベル3を指定(低優先順位)

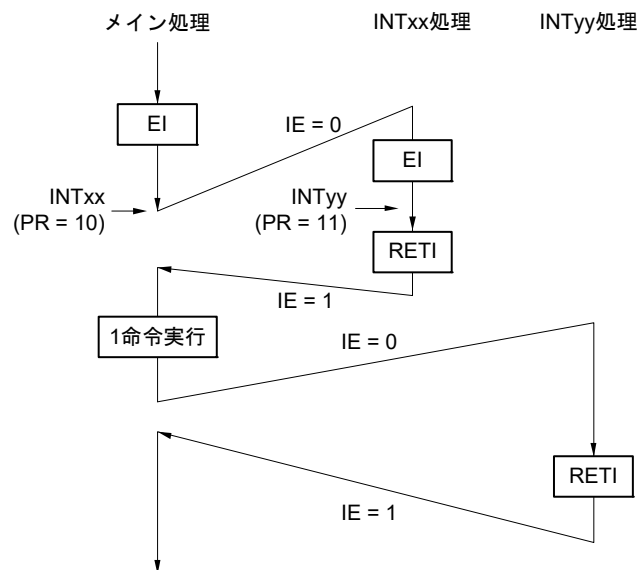
図24 - 14 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0$, $\times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1$, $\times\times PR0\times = 0$ でレベル2を指定

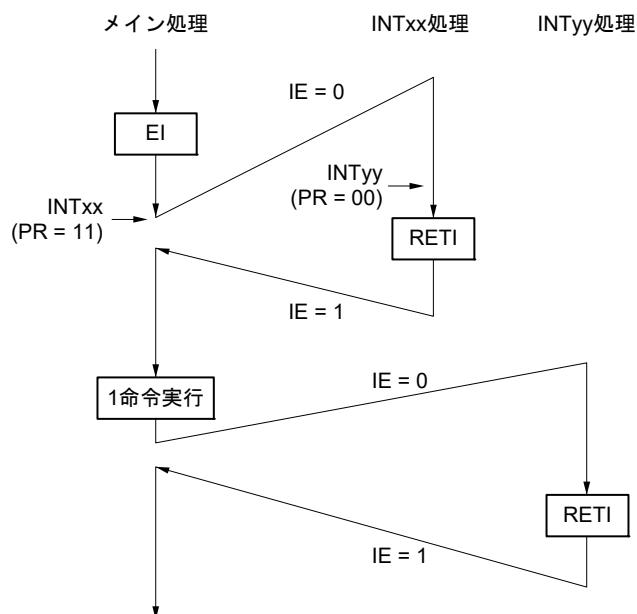
PR = 11 : $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図24 - 15 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x= 0, xxPR0x= 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x= 0, xxPR0x= 1でレベル1を指定

PR = 10 : xxPR1x= 1, xxPR0x= 0でレベル2を指定

PR = 11 : xxPR1x= 1, xxPR0x= 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

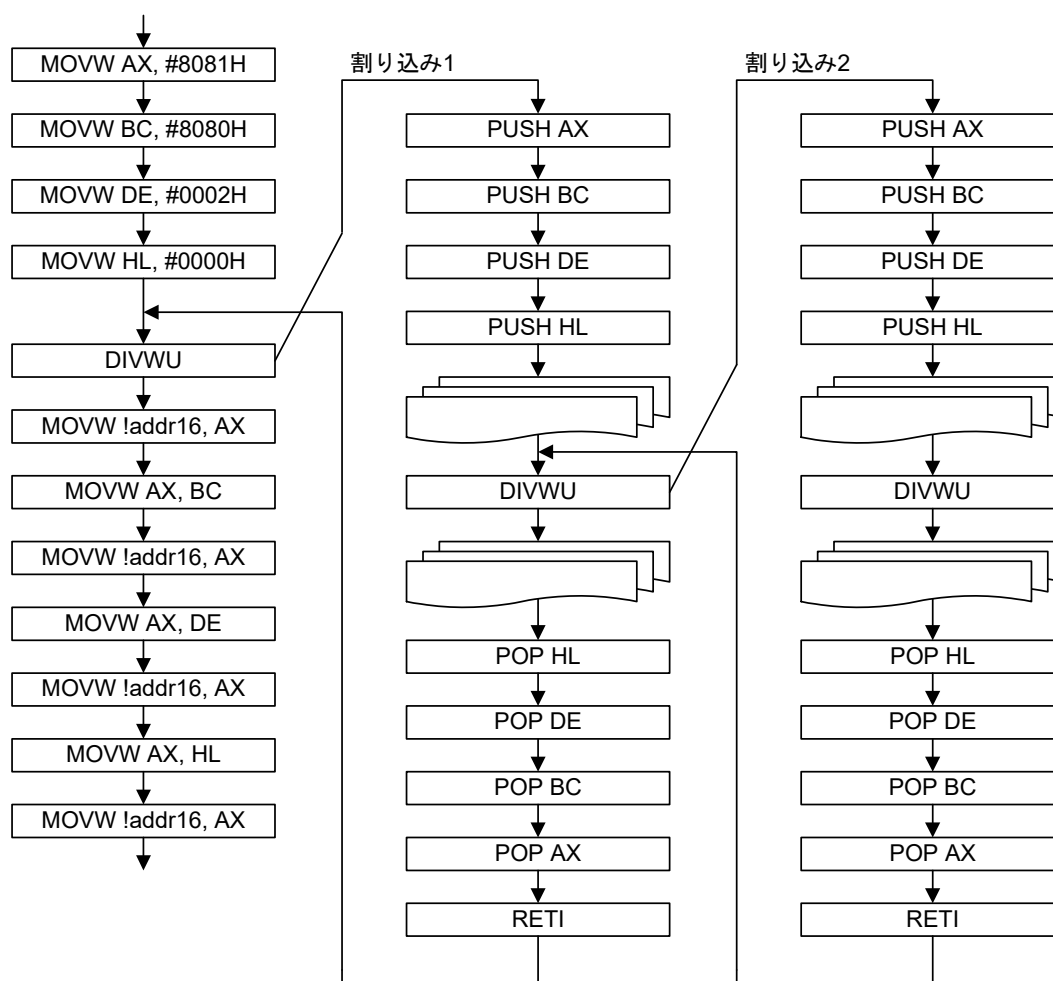
24.4.4 除算命令中の割り込み処理

RL78/G1Fは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)s	(SP-2) ← (PC-3)s
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCs ← 0000	PCs ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

24.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, # byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図24 - 16に示します。

図24 - 16 割り込み要求の保留



備考1. 命令N : 割り込み要求の保留命令

備考2. 命令M : 割り込み要求の保留命令以外の命令

第25章 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	24, 32, 36ピン	48ピン	64ピン
キー割り込み入力チャネル	—	6ch	8ch

25.1 キー割り込みの機能

キー割り込み入力端子(KR0-KR7)に立ち下がリエッジを入力することによって、キー割り込み(INTKR)を発生させることができます。

表 25 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ (KRM)
KR0	KRM0
KR1	KRM1
KR2	KRM2
KR3	KRM3
KR4	KRM4
KR5	KRM5
KR6	KRM6
KR7	KRM7

備考 KR0-KR5 : 48ピン製品

KR0-KR7 : 64ピン製品

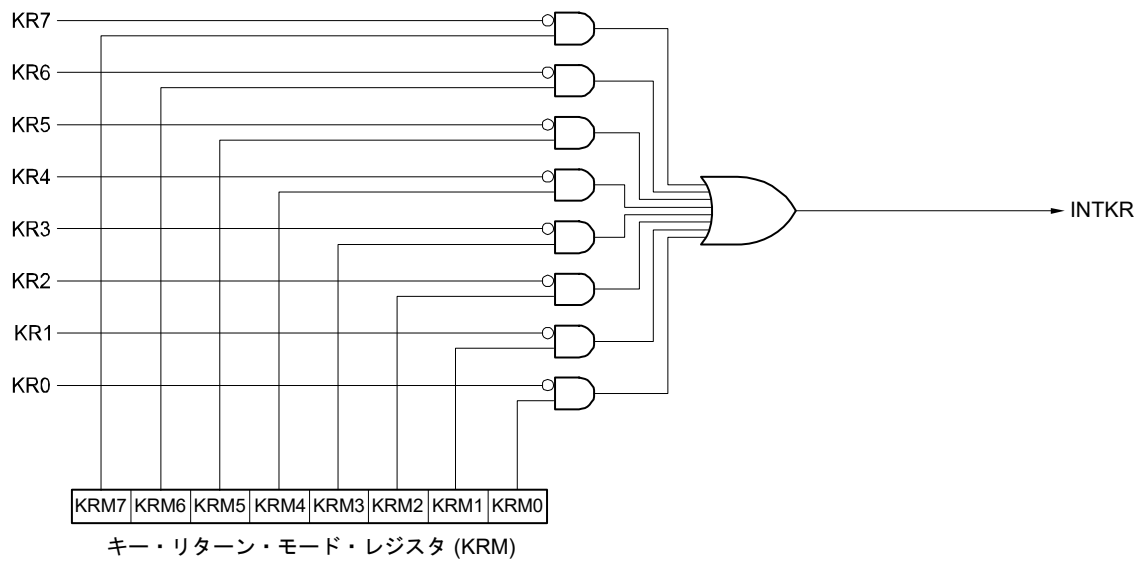
25.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表 25 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ 7(PM7)

図25 - 1 キー割り込みのブロック図



備考 KR0-KR5 : 48ピン製品
KR0-KR7 : 64ピン製品

25.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次のレジスタで制御します。

- ・キー・リターン・モード・レジスタ (KRM)
- ・ポート・モード・レジスタ7 (PM7)

25.3.1 キー・リターン・モード・レジスタ (KRM)

KRM0-KRM7ビットはKR0-KR7信号で制御するレジスタです。

KRMレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図25-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. キー割り込み入力端子のプルアップ抵抗レジスタ7 (PU7)の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。

注意2. キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅(tkR)(37.4または38.4 AC特性参照)を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

注意3. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考1. n = 0-7

備考2. KR0-KR5 : 48ピン製品

KR0-KR7 : 64ピン製品

25.3.2 ポート・モード・レジスタ7 (PM7)

キー割り込み入力端子 (KR0-KR7) として使用するとき、PM7n ビットにそれぞれ1を設定してください。このときP7nの出カラッチは、0または1のどちらでもかまいません。PM7レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

また、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用することができます。

図25-3 ポート・モード・レジスタ7 (PM7)のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	P7n端子の入出力モードの選択 (n = 0-7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

第26章 スタンバイ機能

26.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI00, UART0のデータ受信、タイマ・トリガ信号(割り込み要求信号(INTRTC/INTIT)またはELCイベント入力)によるA/D変換要求、DTC起動要因により、STOPモードを解除し、CPUを動作させることなくCSI00, UART0のデータ受信、A/D変換、DTC動作を行います。CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意3. CSI00, UART0, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ0 (SSC0), A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、19.3 シリアル・アレイ・ユニットを制御するレジスタ、15.3 A/Dコンバータを制御するレジスタを参照してください。
- 注意4. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)とビット0 (ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 注意5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第32章 オプション・バイトを参照してください。

26.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第15章 A/Dコンバータ、第19章 シリアル・アレイ・ユニットを参照してください。

26.3 スタンバイ機能の動作

26.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”(割り込み処理許可)で且つ割り込み要求フラグが“1”(割り込み要求信号が発生)の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表 26 - 1 HALTモード時の動作状態 (1/2)

HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時			
項目			高速オンチップ・オシレータ・クロック (f _H)でCPU動作時	X1クロック (f _X)でCPU動作時	外部メイン・システム・クロック (f _{EX})でCPU動作時
	システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _H	動作継続(停止不可)	動作禁止		
	f _X	動作禁止	動作継続(停止不可)	動作不可	
サブシステム・クロック	f _{XT}	HALTモード設定前の状態を継続			
	f _{EXS}				
低速オンチップ・オシレータ・クロック	f _L	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止(DTC実行時は動作可能)			
ポート(ラッチ)		HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット		動作可能			
リアルタイム・クロック(RTC)					
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照			
タイマRJ		動作可能			
タイマRD					
タイマRG					
タイマRX, PWMOPA					
クロック出力/ブザー出力					
A/Dコンバータ					
D/Aコンバータ					
PGA, コンパレータ					
シリアル・アレイ・ユニット(SAU)					
IrDA					
シリアル・インタフェース(IICA)					
データ・トランスファ・コントローラ(DTC)					
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC				
	汎用CRC	RAM領域の演算で、DTC実行時は動作可能			
不正メモリ・アクセス検出機能		DTC実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 f_H : 高速オンチップ・オシレータ・クロック f_L : 低速オンチップ・オシレータ・クロック
 f_X : X1クロック f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック f_{EXS} : 外部サブシステム・クロック

表 26 - 1 HALTモード時の動作状態 (2/2)

項目		HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
				XT1クロック (fxT)でCPU動作時	外部サブシステム・クロック (fexs)でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	fiH	動作禁止			
	fx				
	fex				
サブシステム・クロック	fxT	動作継続(停止不可)	動作不可		
	fexs	動作不可	動作継続(停止不可)		
低速オンチップ・オシレータ・クロック	fil	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止(DTC実行時は動作可能)			
ポート(ラッチ)		HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット		RTCLPC = 0のときは動作可能(それ以外は動作禁止)			
リアルタイム・クロック(RTC)		動作可能			
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照			
タイマRJ		RTCLPC = 0のときは動作可能(それ以外は動作禁止)			
タイマRD					
タイマRX, PWMOPA					
タイマRG					
クロック出力/ブザー出力					
A/Dコンバータ		動作禁止			
D/Aコンバータ		RTCLPC = 0のときは動作可能(それ以外は動作禁止)			
PGA, コンパレータ		RTCLPC = 0のときは動作可能(それ以外は動作禁止)			
シリアル・アレイ・ユニット(SAU)		RTCLPC = 0のときは動作可能(それ以外は動作禁止)			
IrDA					
シリアル・インタフェース(IICA)		動作禁止			
データ・トランスファ・コントローラ(DTC)		RTCLPC = 0のときは動作可能(それ以外は動作禁止)			
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC	動作禁止			
	汎用CRC	RAM領域の演算で、DTC実行時は動作可能			
不正メモリ・アクセス検出機能		DTC実行時は動作可能			
RAMパリティ・チェック機能					
RAMガード機能					
SFRガード機能					

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 fiH : 高速オンチップ・オシレータ・クロック fil : 低速オンチップ・オシレータ・クロック
 fx : X1クロック fex : 外部メイン・システム・クロック
 fxT : XT1クロック fexs : 外部サブシステム・クロック

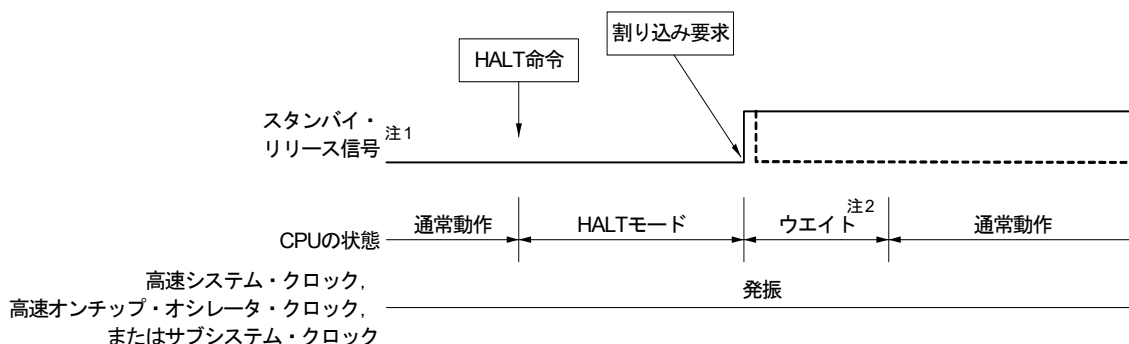
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図26-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図24-1 割り込み機能の基本構成を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時: 15～16クロック
 - サブシステム・クロック時(RTCLPC = 0): 10～11クロック
 - サブシステム・クロック時(RTCLPC = 1): 11～12クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時: 9～10クロック
 - サブシステム・クロック時(RTCLPC = 0): 4～5クロック
 - サブシステム・クロック時(RTCLPC = 1): 5～6クロック

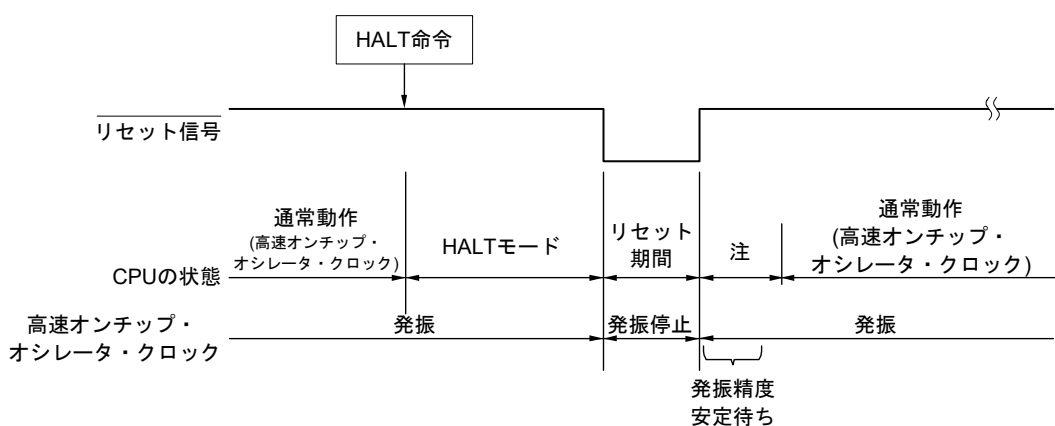
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

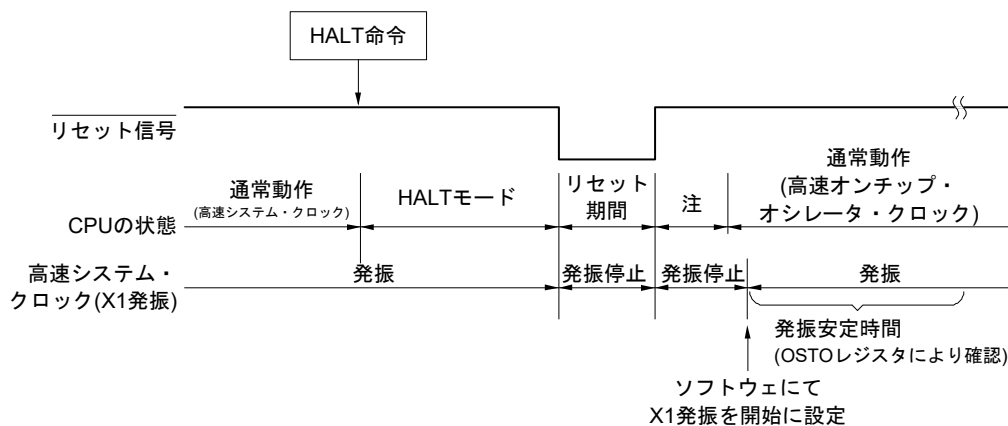
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図26 - 2 HALTモードのリセットによる解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



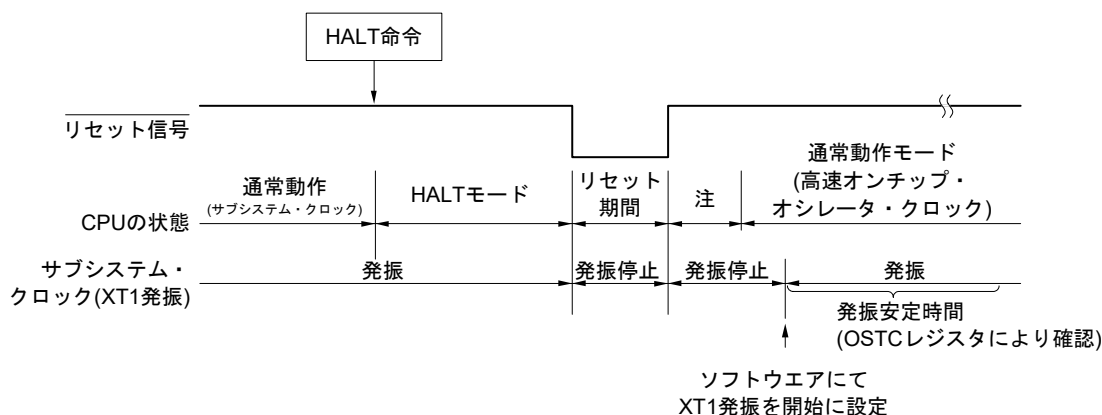
(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第27章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第28章 パワーオン・リセット回路を参照してください。

図26 - 3 HALTモードのリセットによる解除(2/2)

(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、第27章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第28章 パワーオン・リセット回路を参照してください。

26.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが“0” (割り込み処理許可)かつ割り込み要求フラグが“1” (割り込み要求信号が発生)の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入っただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表 26 - 2 STOPモード時の動作状態

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック (f _H)でCPU動作時	X1クロック (f _X)でCPU動作時	外部メイン・システム・クロック (f _{EX})でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _H	停止		
	f _X			
	f _{EX}			
サブシステム・クロック	f _{XT}	STOPモード設定前の状態を継続		
	f _{EXS}			
f _{IL}		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ		動作禁止		
データ・フラッシュ・メモリ				
RAM				
ポート(ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
リアルタイム・クロック(RTC)		動作可能		
12ビット・インターバル・タイマ		動作可能		
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照		
タイマRJ		<ul style="list-style-type: none"> ・ TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 ・ カウントソースにサブシステム・クロック選択時でかつOSMCレジスタのRTCLPC = 0の時は動作可能 ・ カウントソースに低速オンチップオシレータ選択時は動作可能 ・ 上記以外は動作禁止 		
タイマRD, PWMOPA		動作禁止		
タイマRG				
タイマRX				
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能(それ以外は, 動作禁止)		
A/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)		
D/Aコンバータ		動作可能(STOPモード設定前の状態を継続)		
PGA, コンパレータ		動作可能(デジタルフィルタ未使用時かつコンパレータのリファレンス電圧は外部入力(IVREFn)選択時のみ)		
シリアル・アレイ・ユニット(SAU)		CSI00, UART0のみウエイク・アップ動作可能(SNOOZEモードへ移行) CSI00, UART0以外は動作禁止		
IrDA		動作禁止		
シリアル・インタフェース(IICA)		アドレス一致によるウエイク・アップ動作可能		
データ・トランスファ・コントローラ(DTC)		DTC起動要因受付動作可能(SNOOZEモードへ移行)		
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能	高速CRC	動作停止		
	汎用CRC			
不正メモリ・アクセス検出機能		動作停止		
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				

(備考は次ページにあります。)

備考1. 動作停止 :	STOPモード移行時に自動的に動作停止	
動作禁止 :	STOPモード移行前に動作を停止させる	
f _H :	高速オンチップ・オシレータ・クロック	f _L : 低速オンチップ・オシレータ・クロック
f _X :	X1クロック	f _{EX} : 外部メイン・システム・クロック
f _{XT} :	XT1クロック	f _{EXS} : 外部サブシステム・クロック

(2) STOPモードの解除

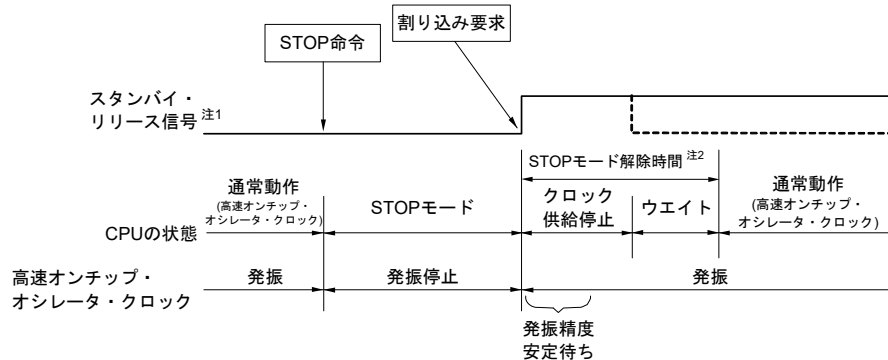
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図26 - 4 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図24 - 1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止 :

- FRQSEL4 = 0の場合 : 18 μ s ~ 65 μ s
- FRQSEL4 = 1の場合 : 18 μ s ~ 135 μ s

ウェイト :

- ベクタ割り込み処理を行う場合 : 7クロック
- ベクタ割り込み処理を行わない場合 : 1クロック

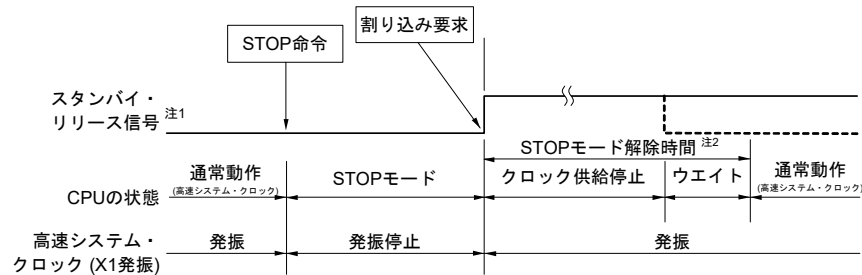
注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図26 - 5 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図24 - 1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

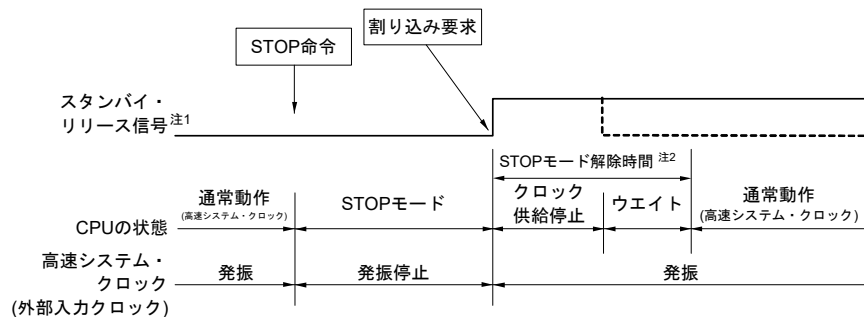
クロック供給停止：

- FRQSEL4 = 0 の場合：18 μ s ~ “65 μ s または発振安定時間(OSTSで設定)の長い方”
- FRQSEL4 = 1 の場合：18 μ s ~ “135 μ s または発振安定時間(OSTSで設定)の長い方”

ウェイト

- ベクタ割り込み処理を行う場合：10~11クロック
- ベクタ割り込み処理を行わない場合：4~5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関する詳細は、図24 - 1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止：

- FRQSEL4 = 0 の場合：18 μ s ~ 65 μ s
- FRQSEL4 = 1 の場合：18 μ s ~ 135 μ s

ウェイト：

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

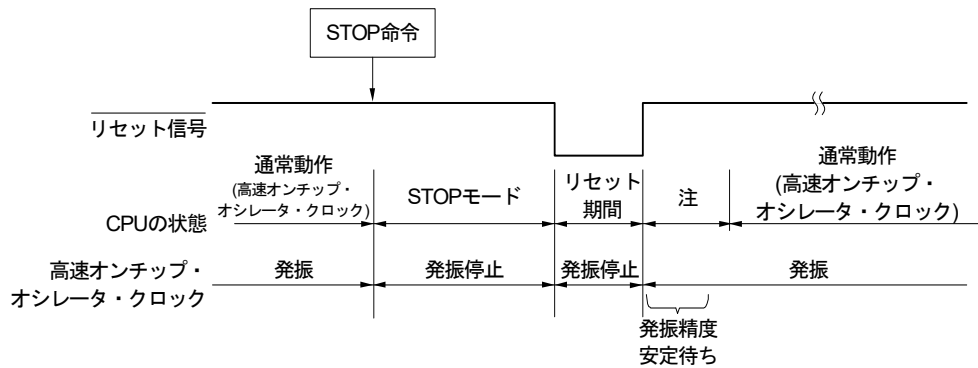
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

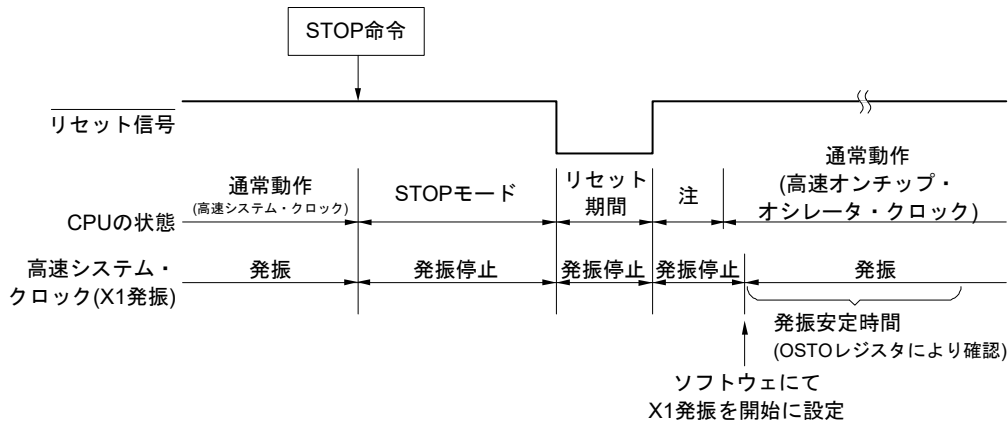
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図26-6 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第27章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第28章 パワーオン・リセット回路を参照してください。

26.3.3 SNOOZE モード

(1) SNOOZE モードの設定および動作状態

CSI00または、A/Dコンバータまたは、DTCが設定可能です。UART0はオプションバイト000C2HのFRQSEL4が0の時のみ設定可能です。また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSI00, UART0をSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)をSTOPモードに移行前に設定してください。詳細は、19.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、15.3 A/Dコンバータを制御するレジスタを参照してください。

DTC転送をSNOOZEモードで使用する場合は、STOPモードに移行する前に、使用するDTC起動要因を許可してください。STOPモード中に、許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は、22.3 DTCを制御するレジスタを参照してください。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間

FRQSEL4 = 0の場合 : 18 μ s ~ 65 μ s

FRQSEL4 = 1の場合 : 18 μ s ~ 135 μ s

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間 :

•ベクタ割り込み処理を行う場合

HS (高速メイン)モード : “4.99~9.44 μ s” + 7クロック

LS (低速メイン)モード : “1.10~5.08 μ s” + 7クロック

LV (低電圧メイン)モード : “16.58~25.40 μ s” + 7クロック

•ベクタ割り込み処理を行わない場合

HS (高速メイン)モード : “4.99~9.44 μ s” + 1クロック

LS (低速メイン)モード : “1.10~5.08 μ s” + 1クロック

LV (低電圧メイン)モード : “16.58~25.40 μ s” + 1クロック

次にSNOOZEモード時の動作状態を示します。

表 26 - 3 SNOOZE モード時の動作状態 (1/2)

STOPモードの設定		STOPモード中にCSI00, UART0のデータ受信信号, A/Dコンバータのタイマ・トリガ信号入力, DTC起動要因発生時
項目		高速オンチップ・オシレータ・クロック (f _{IH})でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{IH}	動作開始
	f _X	停止
	f _{EX}	
サブシステム・クロック	f _{XT}	STOPモード中の状態を継続
	f _{EXS}	
f _{IL}		オプション・バイト(00C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0 ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		動作停止 (DTC実行時は動作可能)
ポート (ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
リアルタイム・クロック (RTC)		動作可能
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照
タイマRJ		<ul style="list-style-type: none"> TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 カウントソースにサブシステム・クロック選択時でかつOSMCレジスタのRTCLPC = 0の時は動作可能 カウントソースに低速オンチップオシレータ選択時は動作可能 上記以外は動作禁止
タイマRD, PWMOPA		動作禁止
タイマRG		
タイマRX		
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能 (それ以外は, 動作禁止)
A/Dコンバータ		動作可能
D/Aコンバータ		動作可能 (SNOOZEモード遷移前の状態を保持)
PGA, コンパレータ		動作可能 (デジタルフィルタ未使用時のみ)
シリアル・アレイ・ユニット (SAU)		CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止
IrDA		動作禁止
シリアル・インタフェース (IICA)		動作禁止
データ・トランスファ・コントローラ (DTC)		動作可能
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
キー割り込み機能		
CRC演算機能	高速CRC	動作停止
	汎用CRC	動作禁止

表 26 - 3 SNOOZE モード時の動作状態 (2/2)

STOPモードの設定	STOPモード中にCSI00, UART0のデータ受信信号, A/Dコンバータのタイマ・トリガ信号入力, DTC起動要因発生時
項目	高速オンチップ・オシレータ・クロック (f _H) でCPU動作時
不正メモリ・アクセス検出機能	DTC実行時は動作可能
RAMパリティ・エラー検出機能	
RAMガード機能	
SFRガード機能	

備考 1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_H : 高速オンチップ・オシレータ・クロック

f_L : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

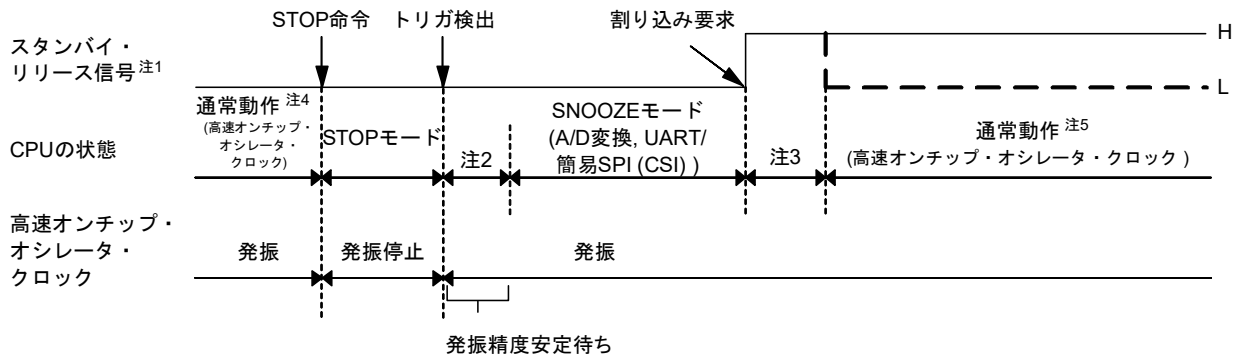
f_{EX} : 外部メイン・システム・クロック

f_{XT} : XT1クロック

f_{EXS} : 外部サブシステム・クロック

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

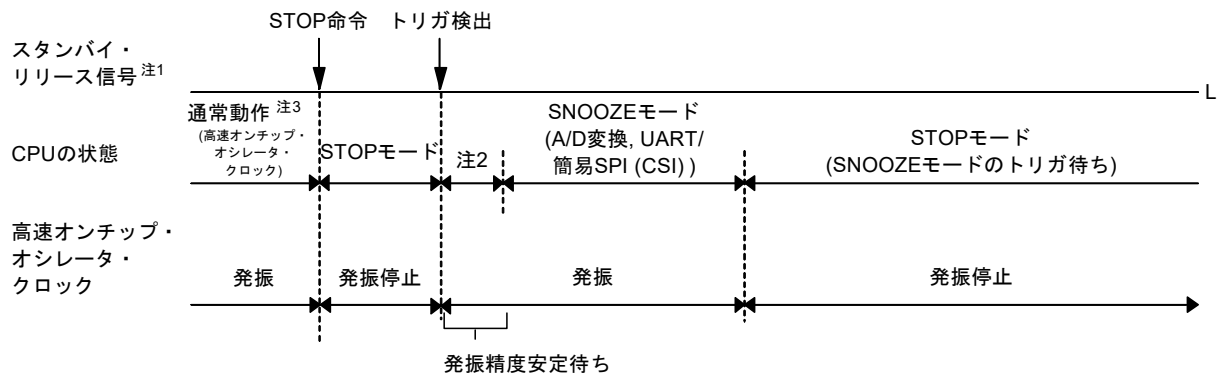
図26 - 7 SNOOZEモードの割り込み要求が発生する場合



- 注1. スタンバイ・リリース信号に関する詳細は、図24 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. SNOOZEモード→通常動作の遷移時間
- 注4. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。
- 注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(AWC = 0/SWC = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図26 - 8 SNOOZEモードの割り込み要求が発生しない場合



- 注1. スタンバイ・リリース信号に関する詳細は、図24 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。

備考 SNOOZEモード機能の詳細は、第15章 A/Dコンバータ、第19章 シリアル・アレイ・ユニットを参照してください。

第27章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表27-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

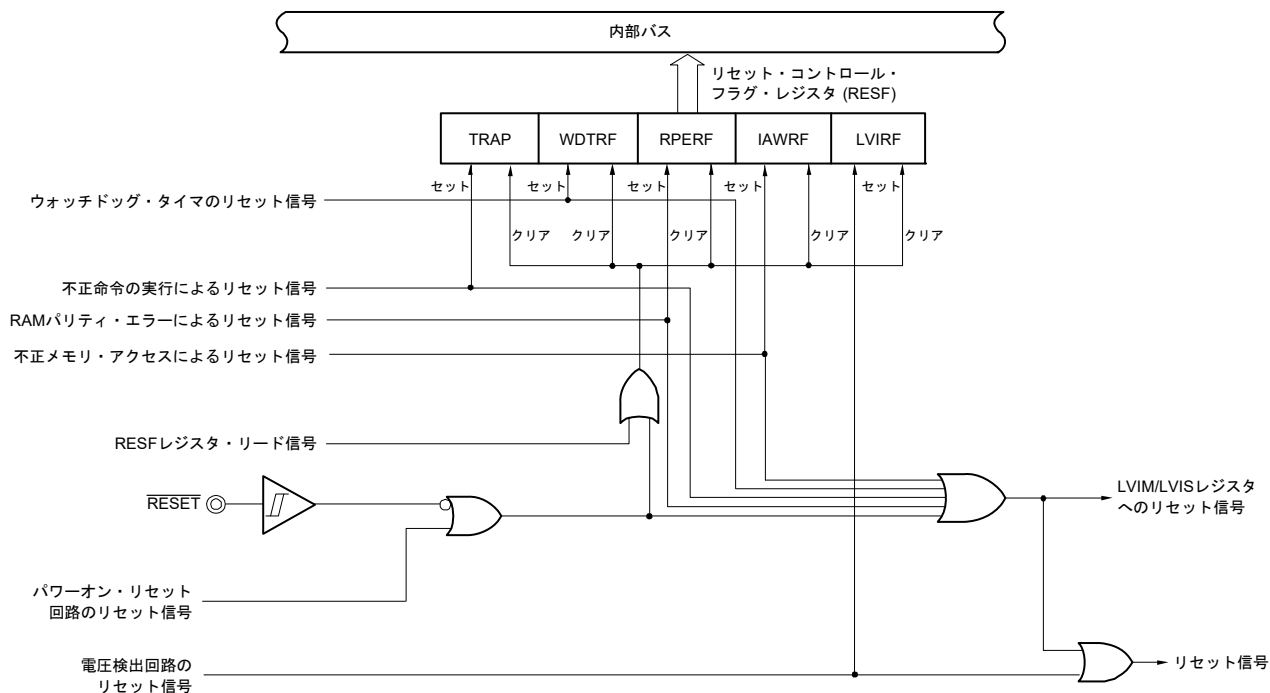
電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、37.4または38.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、XT1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。

注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)
- P130：リセット期間中およびリセット受け付け後はロウ・レベル出力
- P40, P130以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

図27-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

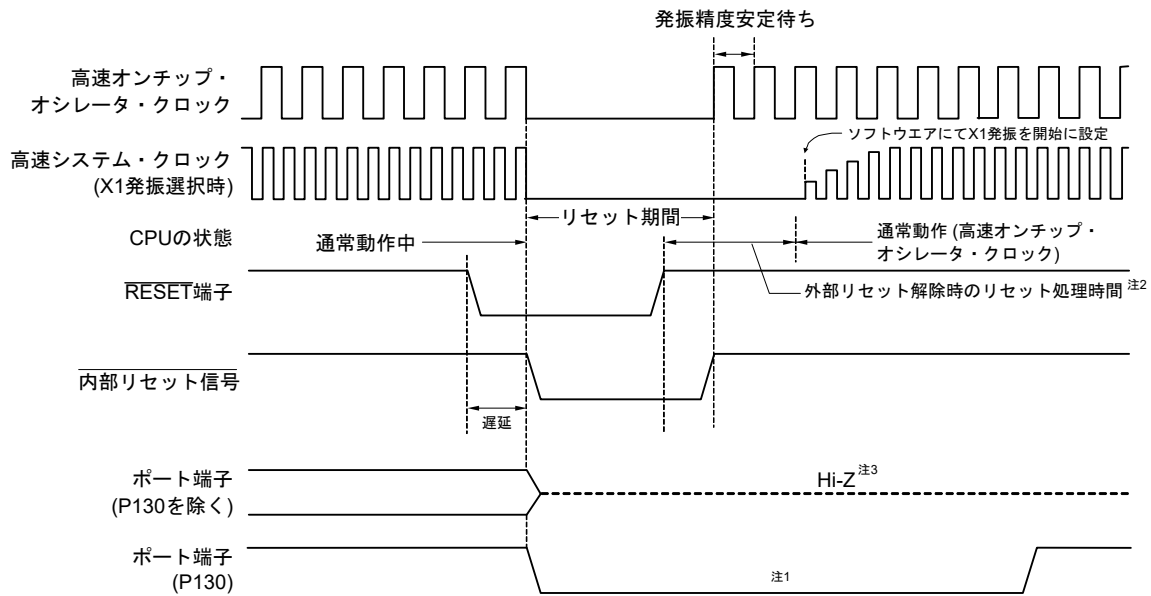
備考1. LVIM : 電圧検出レジスタ

備考2. LVIS : 電圧検出レベル・レジスタ

27.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

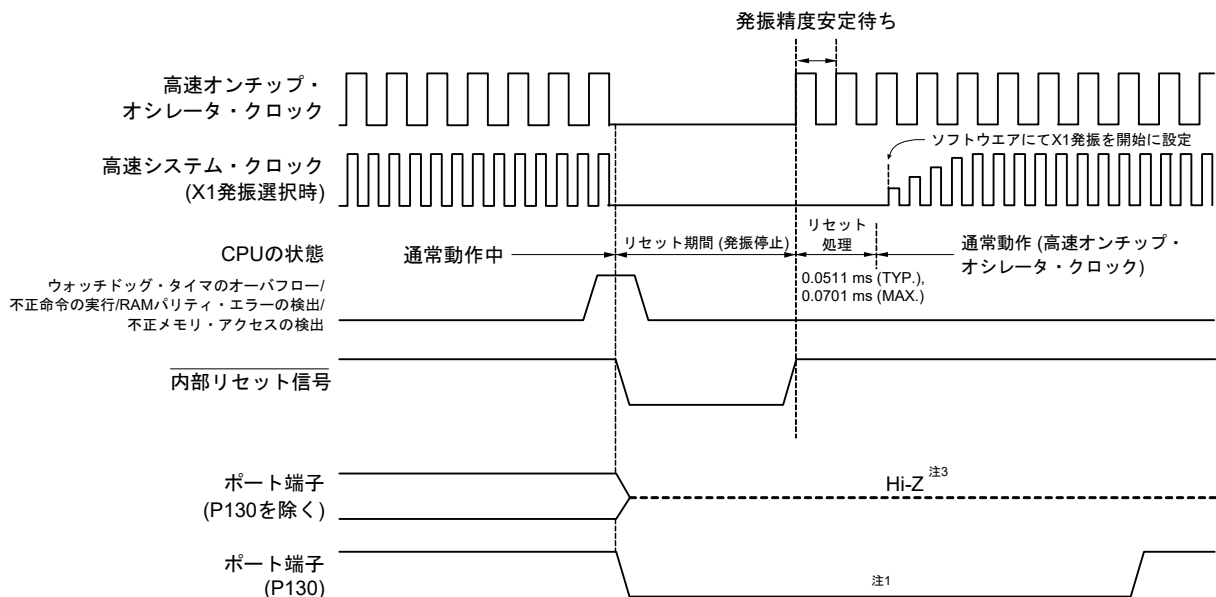
図27-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



(注は、次ページにあります。)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図27-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注は、次ページにあります。)

- 注1. リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130 からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130 をソフトウェアでハイ・レベル出力にしてください。
- 注2. 外部リセット解除時のリセット時間：
- | | |
|--------------|---|
| POR解除後1回目： | 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時) |
| | 0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時) |
| POR解除後2回目以降： | 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時) |
| | 0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時) |
- 電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) がかかります。
- 注3. ポート端子P40は次の状態になります。
- ・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
 - ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は、第28章 パワーオン・リセット回路または第29章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{LVD} : LVD検出電圧

表27-1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作停止
	f _X	動作停止(X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効(端子は入力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止(XT1, XT2端子は入力ポート・モード)
	f _{EXS}	クロックの入力無効(端子は入力ポート・モード)
f _{IL}	動作停止	
CPU		
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)	ハイ・インピーダンス ^{注1}	
タイマ・アレイ・ユニット	動作停止	
タイマRJ		
タイマRD, PWMOPA		
タイマRG		
タイマRX		
リアルタイム・クロック(RTC)		
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
D/Aコンバータ		
PGA, コンパレータ		
シリアル・アレイ・ユニット(SAU)		
IrDA		
シリアル・インタフェース(IICA)		
データ・トランスファ・コントローラ(DTC)		
パワーオン・リセット機能	検出動作可能	
電圧検出機能	LVDリセット時は動作可能。それ以外のリセット時は動作停止。	
外部割り込み	動作停止	
キー割り込み機能		
CRC演算機能	高速CRC	
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

注1. ポート端子P40, P130は次の状態になります。

- ・P40: 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル(内蔵プルアップ抵抗接続)
- ・P130: リセット期間中はロウ・レベル出力

備考 f_{IH}: 高速オンチップ・オシレータ・クロック f_X: X1発振クロック
f_{EX}: 外部メイン・システム・クロック f_{XT}: XT1発振クロック
f_{EXS}: 外部サブシステム・クロック周波数 f_{IL}: 低速オンチップ・オシレータ・クロック

表27-2 各ハードウェアのリセット受け付け後の状態

ハードウェア		リセット受け付け後の状態注
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(00000H, 00001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 特殊機能レジスタ(SFR: Special Function Register)のリセット受け付け後の状態は、3.2.4 特殊機能レジスタ(SFR: Special Function Register)領域、3.2.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)領域を参照してください。

27.2 リセット要因を確認するレジスタ

27.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF)は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット (POR)回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図27-4 リセット・コントロール・フラグ・レジスタ (RESF)のフォーマット

アドレス : FFFA8H リセット時 : 不定注¹ R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求注 ²							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ(WDT)による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
LVIRF	電圧検出(LVD)回路による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。表27-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、30.3.3 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表27-3に示します。

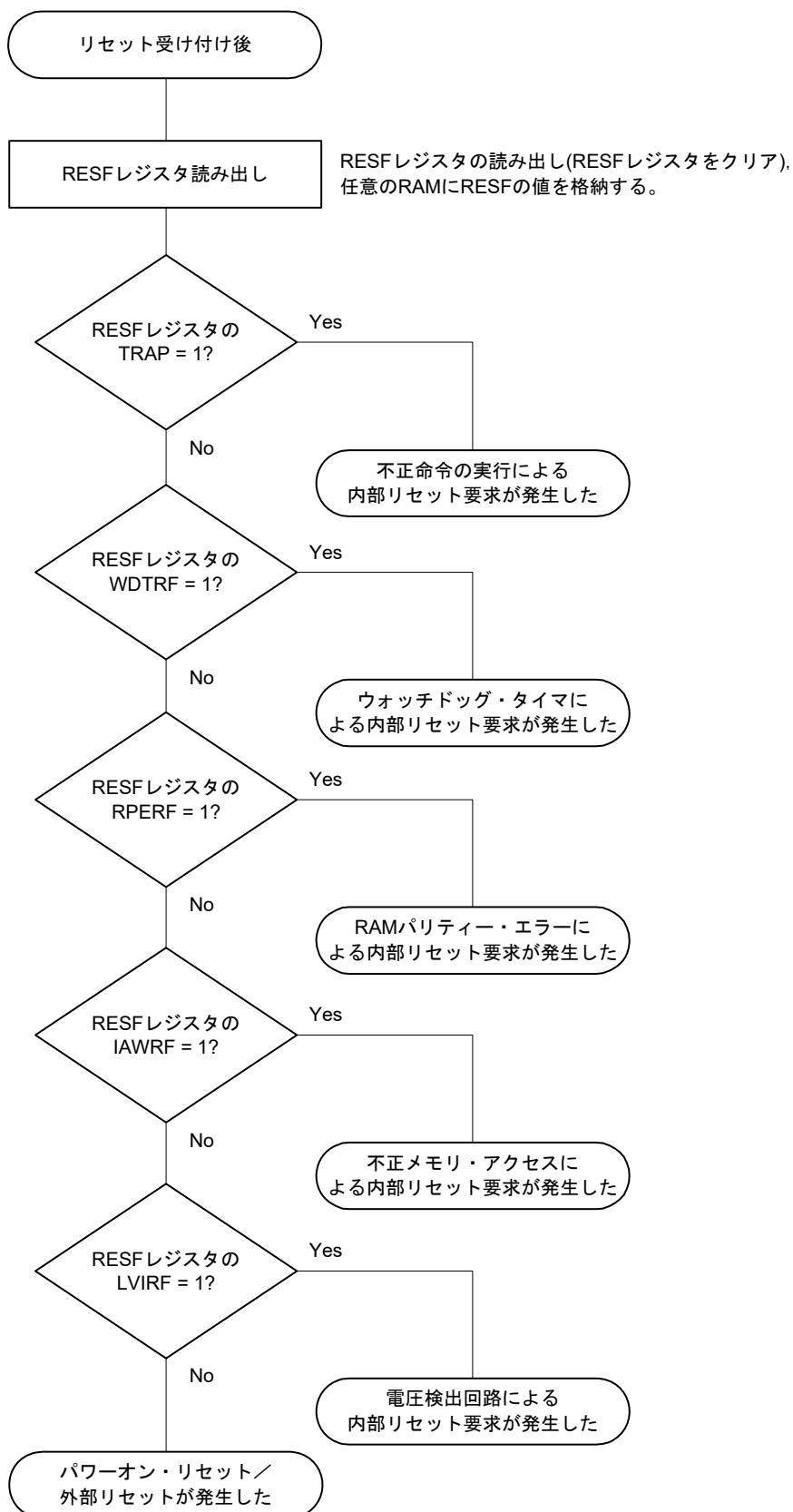
表27-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の発行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持
WDTRF			保持	セット(1)			
RPERF				保持	セット(1)		
IAWRF					保持	セット(1)	
LVIRF						保持	

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

リセット要因の手順を図27-5に示します。

図27-5 リセット要因の確認手順例



注意 上記フローは確認手順の一例です。

第28章 パワーオン・リセット回路

28.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。ただし、37.4または38.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(VDD)と検出電圧(VPDR)を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、37.4または38.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第27章 リセット機能を参照してください。

備考2. VPOR : POR電源立ち上がり検出電圧

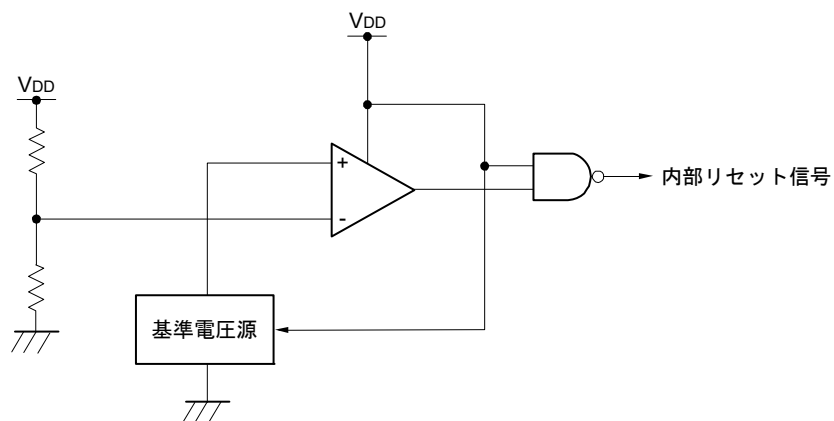
VPDR : POR電源立ち下がり検出電圧

詳細は、37.6.6または38.6.6 POR回路特性を参照してください。

28.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図28 - 1に示します。

図28 - 1 パワーオン・リセット回路のブロック図

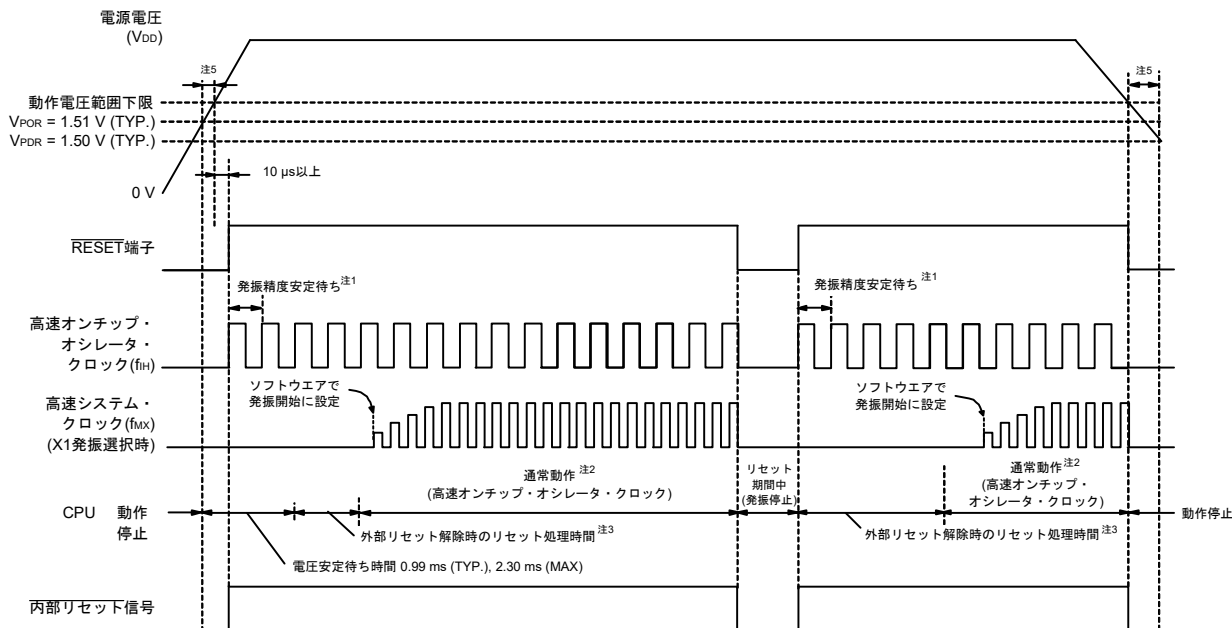


28.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図28-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) RESET端子による外部リセット入力使用時



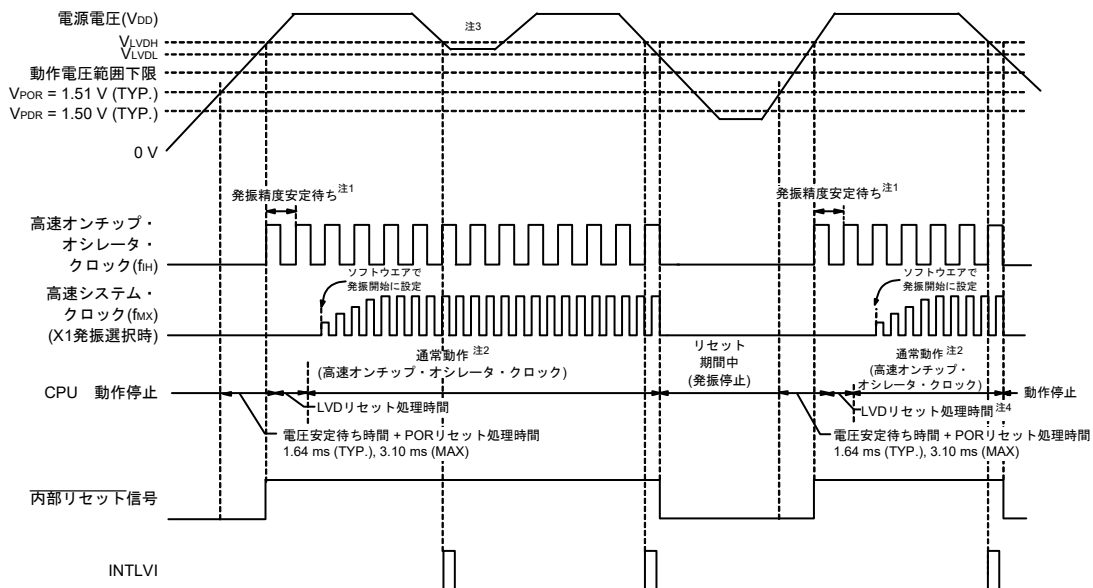
- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。
 POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
 0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
- 注4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。
 POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
 0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
- 注5. 電源立ち上がり時は、37.4または38.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第29章 電圧検出回路を参照してください。

図28-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング(2/3)

(2) LVD割り込み&リセットモード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

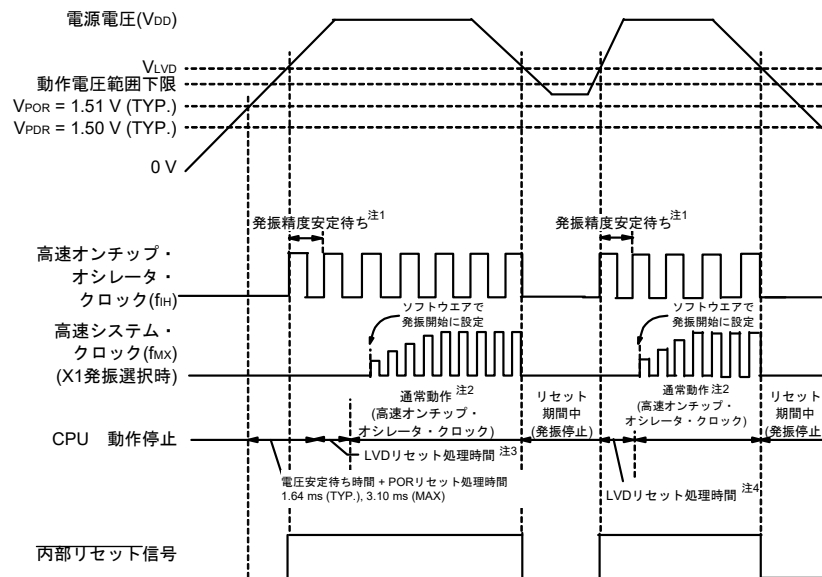


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧(VLVDL)を下回らずに、高電圧検出電圧(VLVDH)以上に復帰する場合を考慮して、INTLVI発生後は、“図29-10 動作電圧確認/リセットの設定手順”と、“図29-11 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(VLVDH)に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

備考	VLVDH, VLVDL :	LVD検出電圧
	VPOR :	POR電源立ち上がり検出電圧
	VPDR :	POR電源立ち下がり検出電圧

図28-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(3/3)

(3) LVD リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。

注3. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(VLVD)に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

注4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル(VLVD)に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. VLVDH, VLVDL : LVD検出電圧

VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

備考2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0 = 0, 1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図28-4 (3) LVDリセット・モード時の“注3”の時間と同じです。

第29章 電圧検出回路

29.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL)は、オプション・バイトにて検出レベルを14段階より選択できます(第32章 オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、37.4 または 38.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用/割り込み発生用として使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生/解除用として使用します。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、割り込み発生/リセット解除用として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセットを発生	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

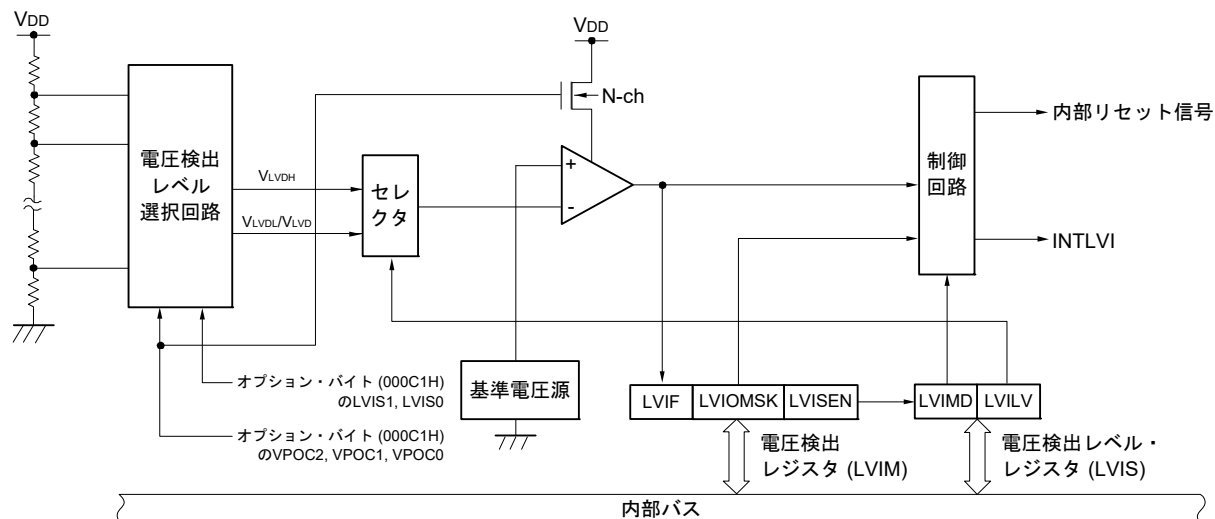
電圧検出回路動作時では、電圧検出フラグ(LVIF：電圧検出レジスタ(LVIM)のビット0)を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ(RESF)のビット0(LVIRF)がセット(1)されません。RESFレジスタについての詳細は、第27章 リセット機能を参照してください。

29.2 電圧検出回路の構成

電圧検出回路のブロック図を図29-1に示します。

図29-1 電圧検出回路のブロック図



29.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

29.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD 出力のマスキング状態を確認するレジスタです。

LVIM レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図29-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFFA9H リセット時：00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF
LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVIS レジスタの書き換え禁止 (LVIOMSK = 0 (LVD 出力マスク無効)になる)							
1	LVIS レジスタの書き換え許可 (LVIOMSK = 1 (LVD 出力マスク有効)になる)							
LVIOMSK	LVD 出力マスク状態フラグ							
0	LVD 出力マスク無効							
1	LVD 出力マスク有効 ^{注4}							
LVIF	電圧検出フラグ							
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}), または LVD オフ時							
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})							

注1. リセット値は、リセット要因により変化します。

LVD によるリセットのときには、LVIM レジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、LVISEN は“0”にクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. 割り込み&リセット・モード(オプション・バイト LVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他モードでは初期値から変更しないでください。

注4. 割り込み&リセット・モード(オプション・バイト LVIMDS1, LVIMDS0 = 1, 0)選択時のみ、LVIOMSK ビットは以下の期間に自動で“1”となり、LVD によるリセットまたは割り込み発生がマスクされます。

- LVISEN = 1の期間
- LVD 割り込み発生から、LVD 検出電圧が安定するまでの待ち時間
- LVILV ビットの値変更から、LVD 検出電圧が安定するまでの待ち時間

29.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図29 - 3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
	7	6	5	4	3	2	1	0
LVIS	LVIMD ^{注2}	0	0	0	0	0	0	LVILV ^{注2}
	LVIMD ^{注2}	電圧検出の動作モード						
	0	割り込みモード						
	1	リセット・モード						
	LVILV ^{注2}	LVD 検出レベル						
	0	高電圧検出レベル(VLVDH)						
	1	低電圧検出レベル(VLVDLまたはVLVD)						

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア(00H)されません。

LVD以外のリセット時は、次のようになります。

- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

注2. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図29 - 10、図29 - 11の手順で行ってください。

注意2. LVDの動作モードと各モードの検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを図29 - 4に示します。オプション・バイトの詳細は第32章 オプション・バイトを参照してください。

図29-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V			0	1				
3.13 V	3.06 V			0	0				
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V			0	1				
3.75 V	3.67 V			0	0				
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V		0	1					
4.06 V	3.98 V		0	0					
—			上記以外は設定禁止						

• LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、第29章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、37.6.7または38.6.7 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図29-5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—	—		上記以外は設定禁止					

• LVDオフ (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、37.4または38.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. × : Don't care

備考2. LVD回路の詳細は、第29章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、37.6.7または38.6.7 LVD回路特性を参照してください。

29.4 電圧検出回路の動作

29.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と検出電圧(VLVD)の設定は、オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、81Hに設定されます。
ビット7(LVIMD)は“1”(リセット・モード)
ビット0(LVILV)は“1”(電圧検出レベル: VLVD)

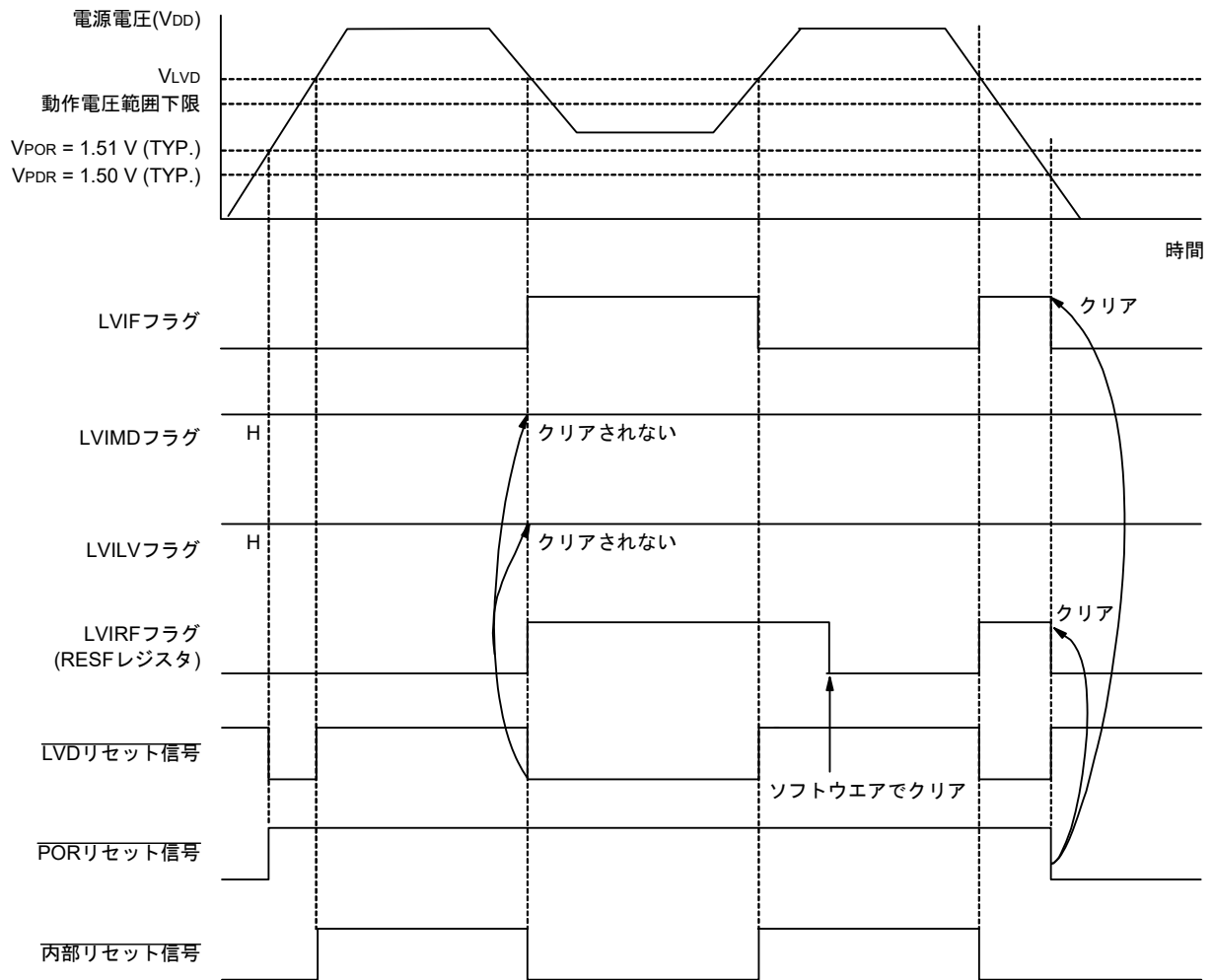
●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(VDD)が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(VDD)が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(VDD)が電圧検出レベル(VLVD)を下回るとLVDによる内部リセットが発生します。

図29-6に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図29 - 6 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



備考 V_{POR} : POR 電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

29.4.2 割り込みモードとして使用する場合の設定

動作モード (割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)) と検出電圧 (VLVD) の設定は、オプション・バイト 000C1H で設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、01H に設定されます。
ビット7 (LVIMD) は“0” (割り込みモード)
ビット0 (LVILV) は“1” (電圧検出レベル : VLVD)

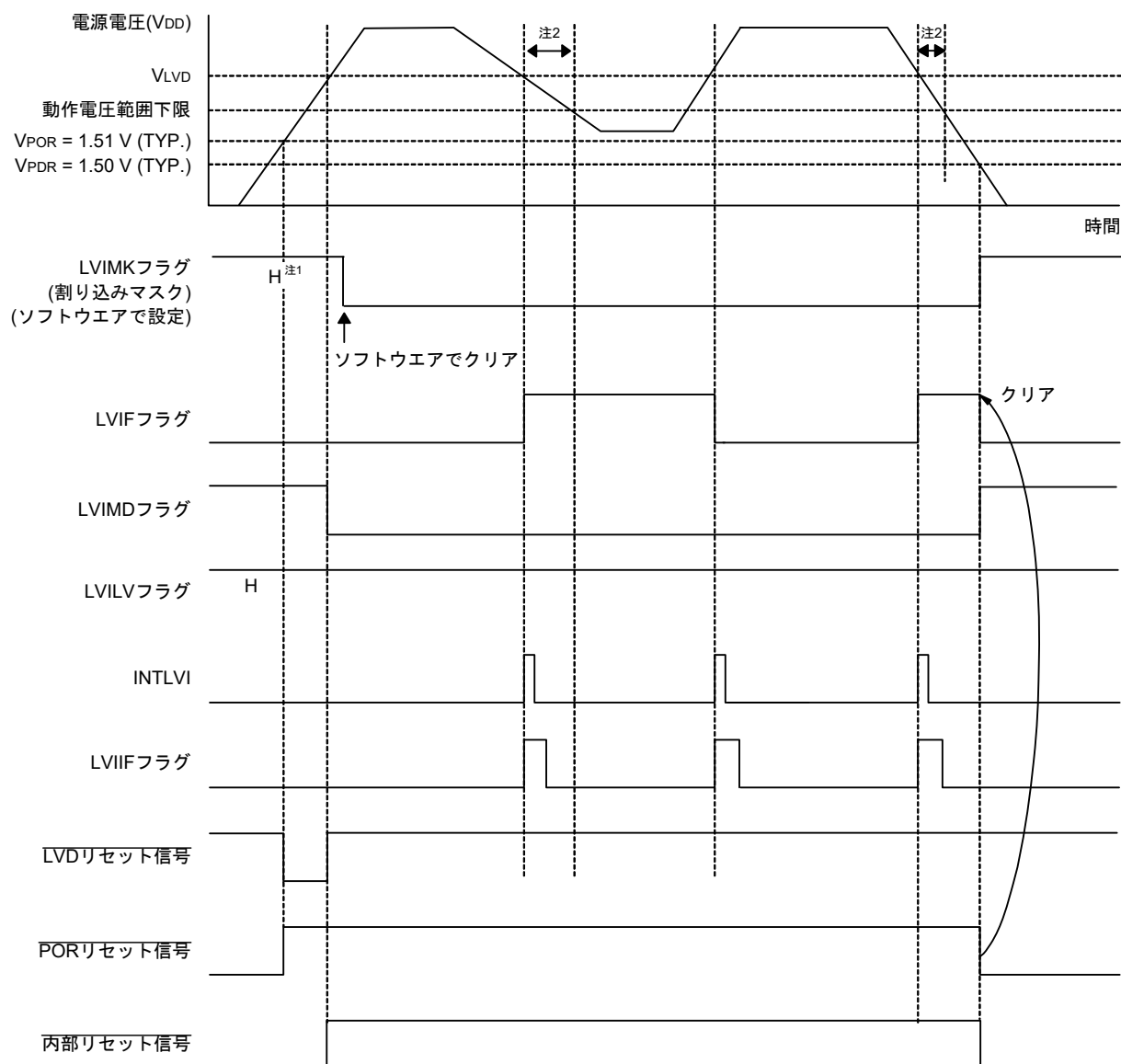
● LVD 割り込みモードの動作

割り込みモード (オプション・バイトの LVIMDS1, LVIMDS0 = 0, 1) では、リセット発生直後、電源電圧 (VDD) が電圧検出レベル (VLVD) を上回るまでは LVD による内部リセット状態を保ちます。電源電圧 (VDD) が電圧検出レベル (VLVD) を上回ると LVD による内部リセットを解除します。

LVD の内部リセット解除後は、電源電圧 (VDD) が電圧検出レベル (VLVD) を超えると LVD による割り込み要求信号 (INTLVI) が発生します。動作電圧降下時は、37.4 または 38.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図 29 - 7 に、LVD 割り込みモードの割り込み要求信号発生タイミングを示します。

図29-7 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

注2. 動作電圧降下時は、37.4または38.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

29.4.3 割り込み&リセット・モードとして使用時の設定

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 (VLVDH, VLVDL) の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、00Hに設定されます。ビット7 (LVIMD) は“0” (割り込みモード)、ビット0 (LVILV) は“0” (高電圧検出レベル : VLVDH)

● LVD 割り込み&リセット・モードの動作

割り込み&リセット・モード (オプション・バイトの LVIMDS1, LVIMDS0 = 1, 0) は、電源投入時、電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えるまでは LVD による内部リセット状態を保ちます。

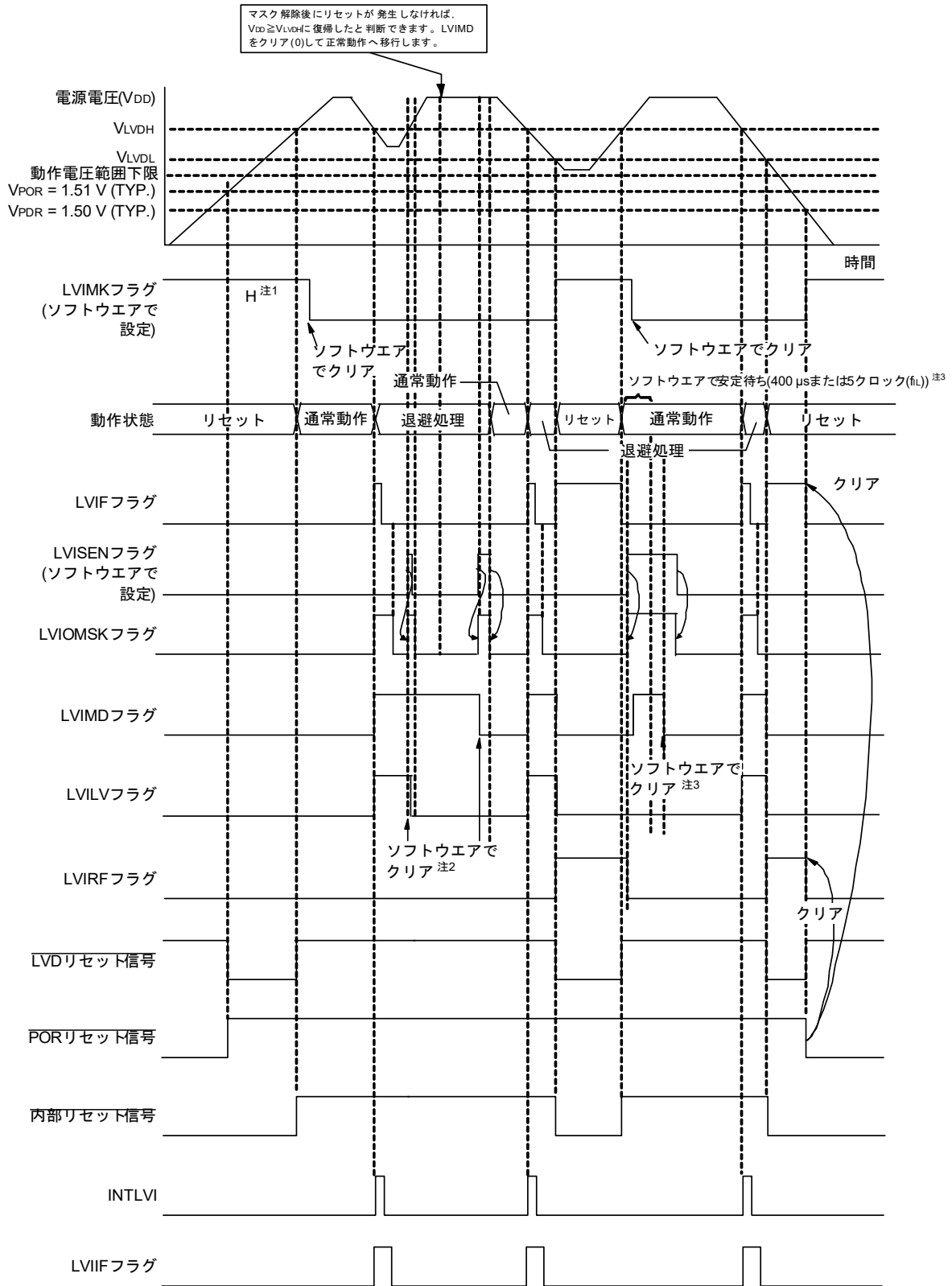
電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (VDD) が高電圧検出レベル (VLVDH) を下回ると LVD による割り込み要求信号 (INTLVI) が発生し、任意の退避処理を行うことができます。その後、電源電圧 (VDD) が低電圧検出レベル (VLVDL) を下回ると LVD による内部リセットが発生します。ただし、INTLVI 発生後、電源電圧 (VDD) が低電圧検出電圧 (VLVDL) を下回らずに高電圧検出電圧 (VLVDH) 以上に復帰しても割り込み要求信号は発生しません。

LVD 割り込み&リセット・モードの使用する場合は、“図 29 - 10 動作電圧確認/リセットの設定手順”と、“図 29 - 11 割り込み&リセット・モードの初期設定の設定手順”に示すフローチャートの手順に従って設定をしてください。

図 29 - 8 ~ 図 29 - 9 に、LVD 割り込み&リセット・モードの内部リセット信号と割り込み信号発生タイミングを示します。

図29 - 8 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



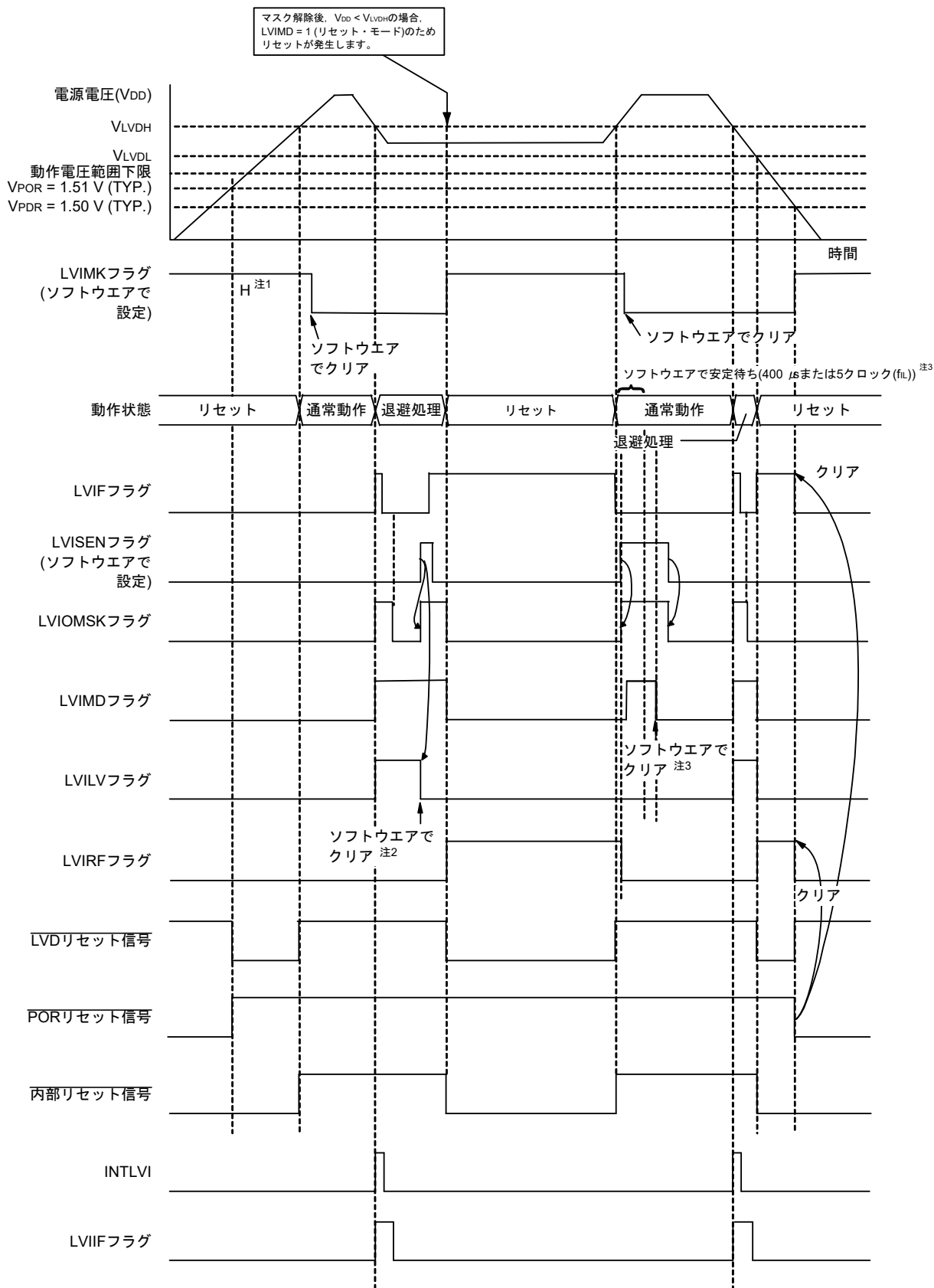
(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図29 - 10 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図29 - 11 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図29-9 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)

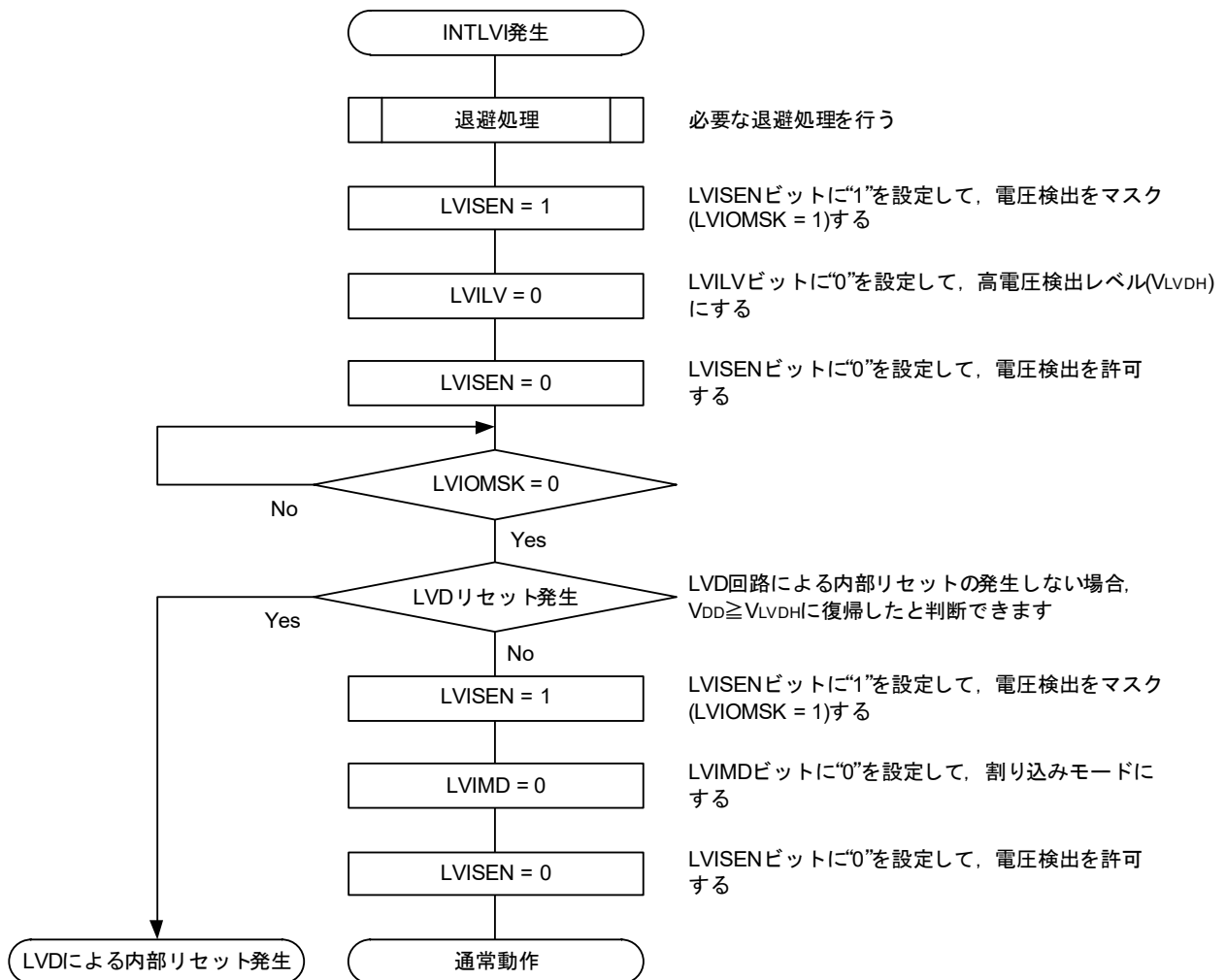


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図29 - 10 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図29 - 11 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧
VPDR : POR電源立ち下がり検出電圧

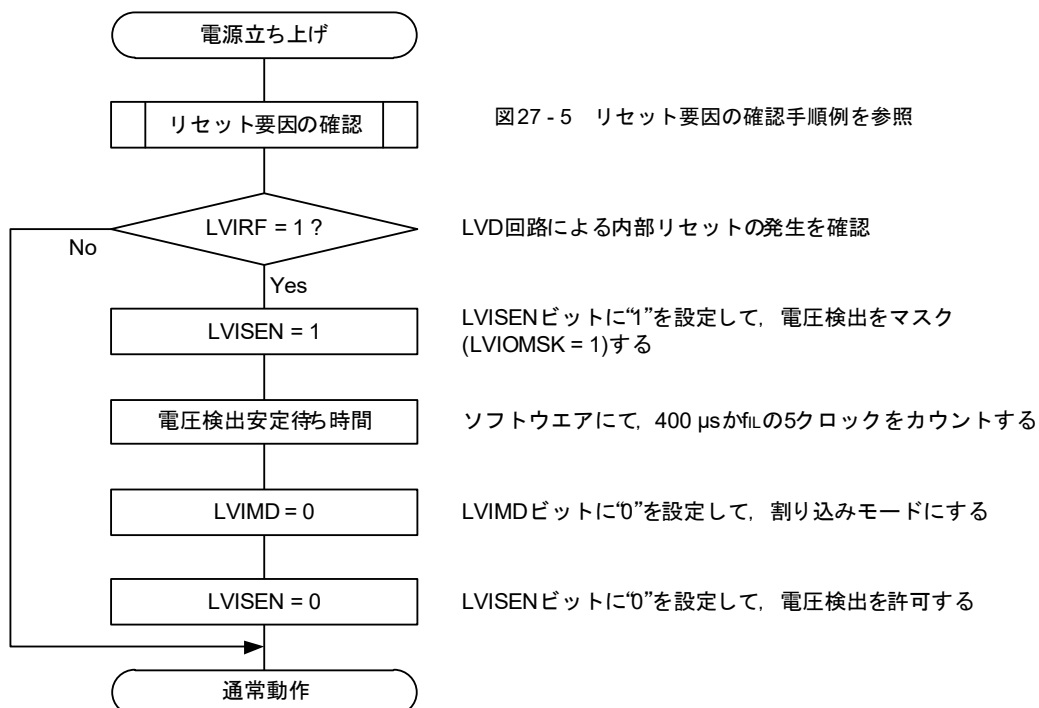
図29 - 10 動作電圧確認／リセットの設定手順



割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合, LVDリセット解除後(LVIRF = 1)から400 μ sかf_{IL}の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図29 - 11に割り込み&リセット・モードの初期設定の設定手順の手順を示します。

図29 - 11 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

29.5 電圧検出回路の注意事項

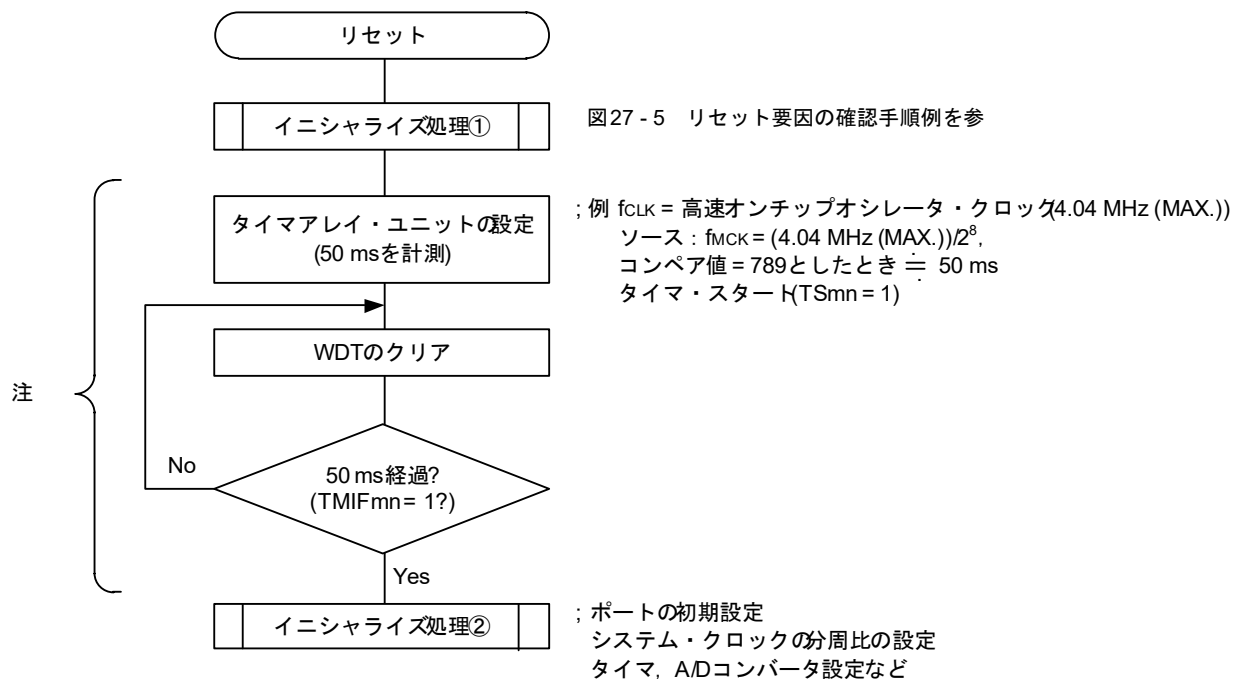
(1) 電源投入時の電圧変動について

電源電圧 (VDD) が LVD 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図29 - 12 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



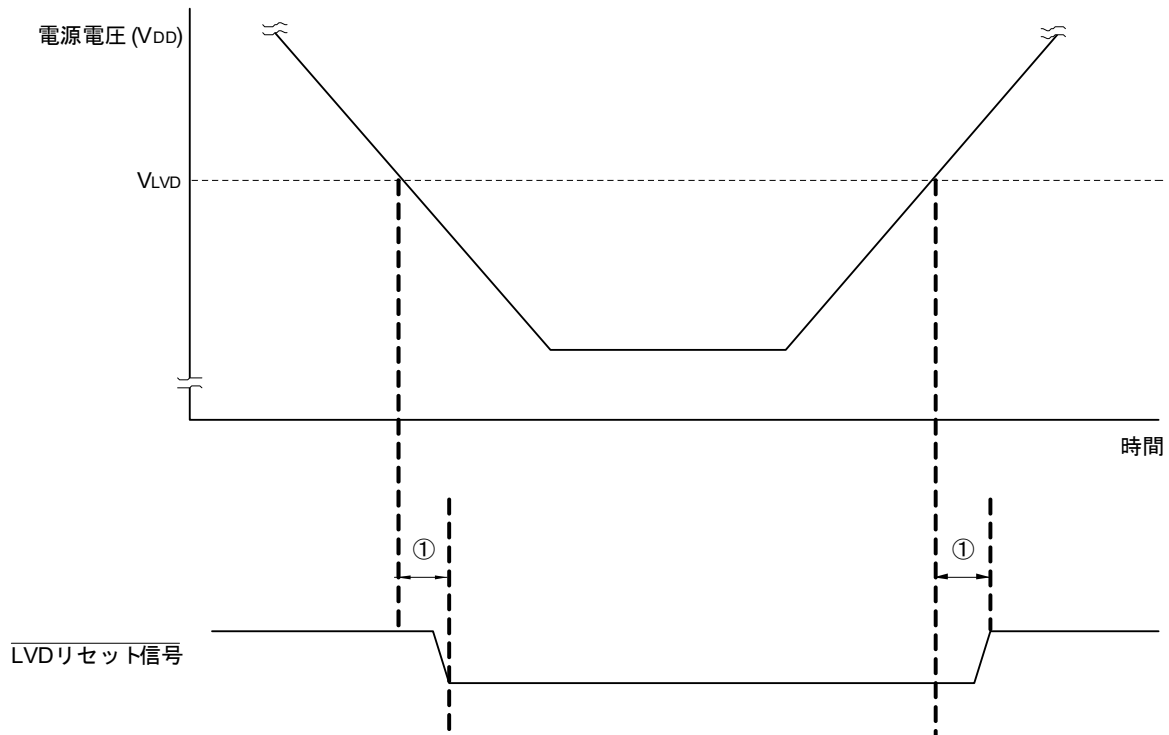
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 m = 0, 1 n = 0-3

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧(V_{DD}) < LVD検出電圧(V_{LVD})になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧(V_{LVD}) \leq 電源電圧(V_{DD})になってから、LVDリセットが解除されるまでにも遅延が生じます(図29-13参照)。

図29-13 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延(300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、37.4または38.4 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、37.4または38.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第30章 安全機能

30.1 安全機能の概要

- ★ 安全規格 IEC60730 に対応するため、RL78/G1F では以下の安全機能を搭載しています。
- この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。
- (1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)
CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて、以下の2つの CRC を使い分けていただくことができます。
 - 「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
 - 「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。
 - (2) RAM パリティ・エラー検出機能
RAM をデータとして読み出すとき、パリティ・エラーを検出します。
 - (3) RAM ガード機能
CPU の暴走による RAM データの書き換えを防止します。
 - (4) SFR ガード機能
CPU の暴走による SFR の書き換えを防止します。
 - (5) 不正メモリ・アクセス検出機能
不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。
 - (6) 周波数検出機能
タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。
 - (7) A/D テスト機能
A/D コンバータの + 側基準電圧、- 側基準電圧、アナログ入力チャネル (ANI)、温度センサ出力および内部基準電圧出力を A/D 変換することにより、A/D コンバータの自己チェックができます。
 - (8) 入出力端子のデジタル出力信号レベル検出機能
入出力端子が出力モード時に、端子の出力レベルをリードすることができます。
- ★ 備考 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリ アプリケーションノート (R01AN1062, R01AN1296) を参照してください。

30.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
<ul style="list-style-type: none"> フラッシュ・メモリCRC制御レジスタ (CRC0CTL) フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) 	フラッシュ・メモリCRC演算機能 (高速CRC)
<ul style="list-style-type: none"> CRC入力レジスタ (CRCIN) CRCデータ・レジスタ (CRCD) 	CRC演算機能 (汎用CRC)
<ul style="list-style-type: none"> RAMパリティ・エラー制御レジスタ (RPECTL) 	RAMパリティ・エラー検出機能
<ul style="list-style-type: none"> 不正メモリ・アクセス検出制御レジスタ (IAWCTL) 	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
<ul style="list-style-type: none"> タイマ入出力選択レジスタ0 (TIOS0) 	周波数検出機能
<ul style="list-style-type: none"> A/Dテスト・レジスタ (ADTES) 	A/Dテスト機能
<ul style="list-style-type: none"> ポート・モード選択レジスタ (PMS) 	入出力端子のデジタル出力信号レベル検出機能

各レジスタの内容については、30.3 安全機能の動作の中で説明します。

30.3 安全機能の動作

30.3.1 フラッシュ・メモリCRC演算機能(高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ64KB:512 μ s@32MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

30.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲		
0	0	0	0	0	0	00000H-03FFBH (16K-4バイト)		
0	0	0	0	0	1	00000H-07FFBH (32K-4バイト)		
0	0	0	0	1	0	00000H-0BFFBH (48K-4バイト)		
0	0	0	0	1	1	00000H-0FFFH (64K-4バイト)		
上記以外						設定禁止		

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

30.3.1.2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図30-2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

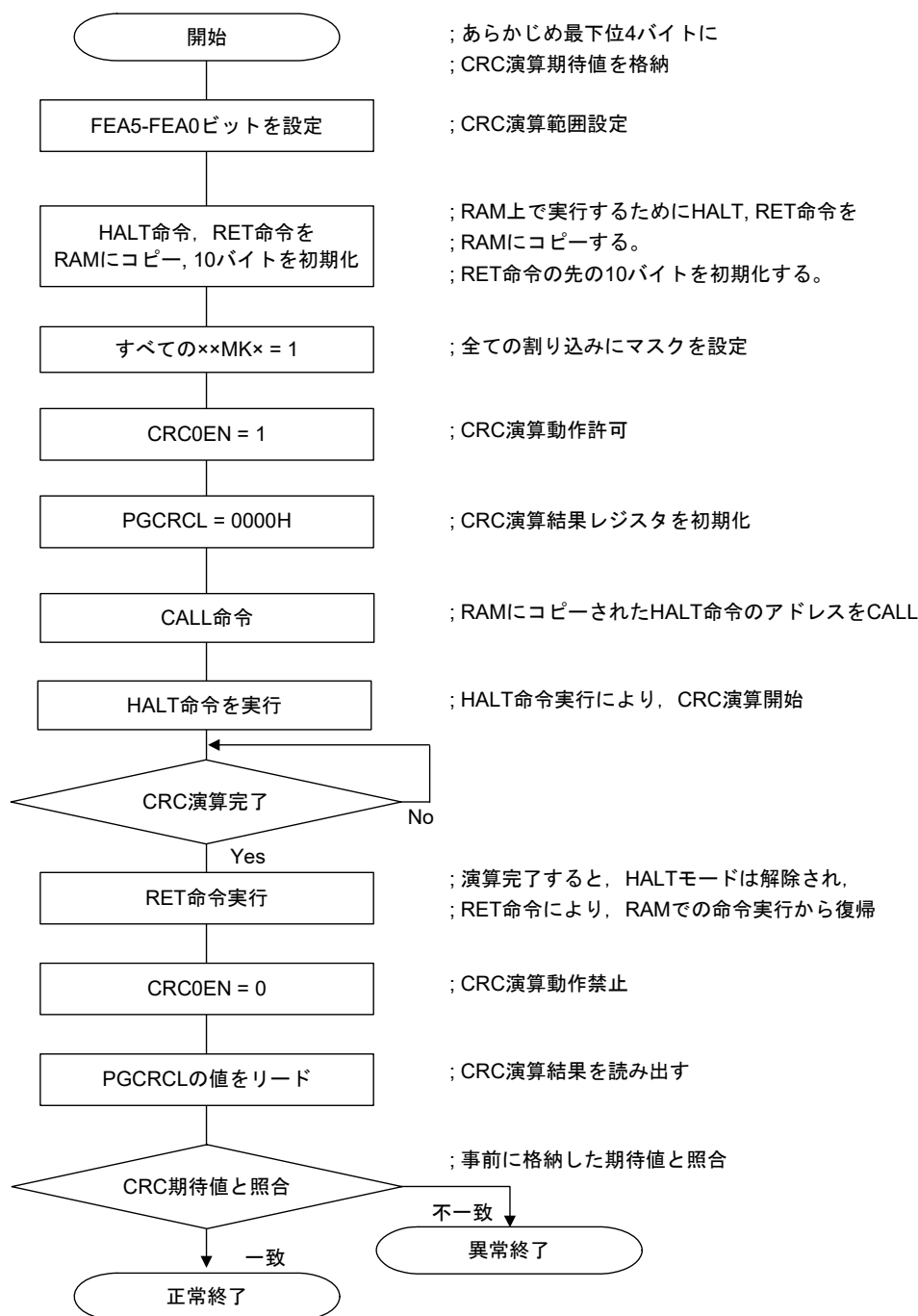
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0	高速CRC演算結果						
	0000H-FFFFH	高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図30-3に示します。

<動作フロー>

図30-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

CRC演算の期待値は、総合開発環境 CubeSuite+ を使用して算出することができます。詳細は、CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

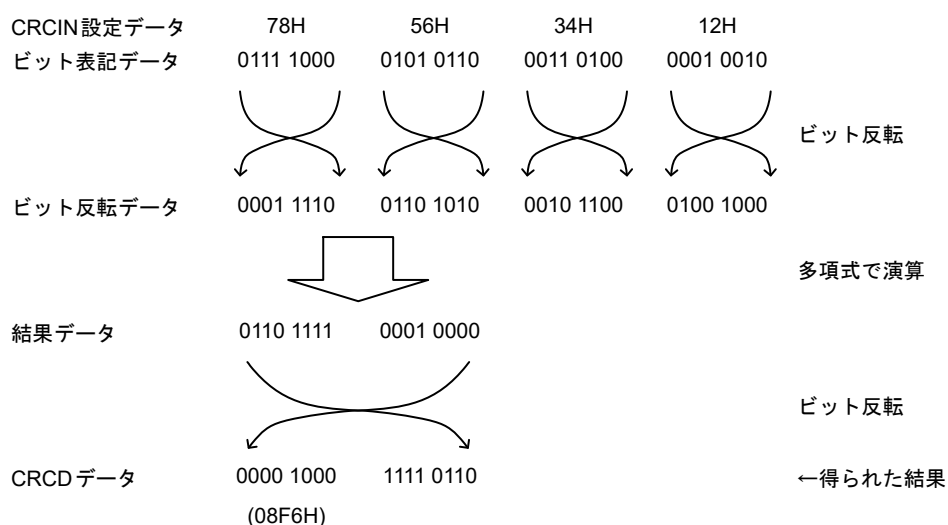
30.3.2 CRC演算機能(汎用CRC)



この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッグはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

30.3.2.1 CRC入力レジスタ (CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30 - 4 CRC入力レジスタ (CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0		機能					
	00H-FFH		データ入力					

30.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

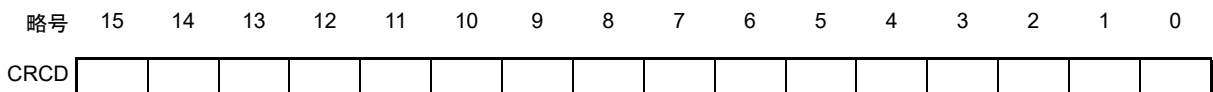
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK)の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図30-5 CRCデータ・レジスタ (CRCD)のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

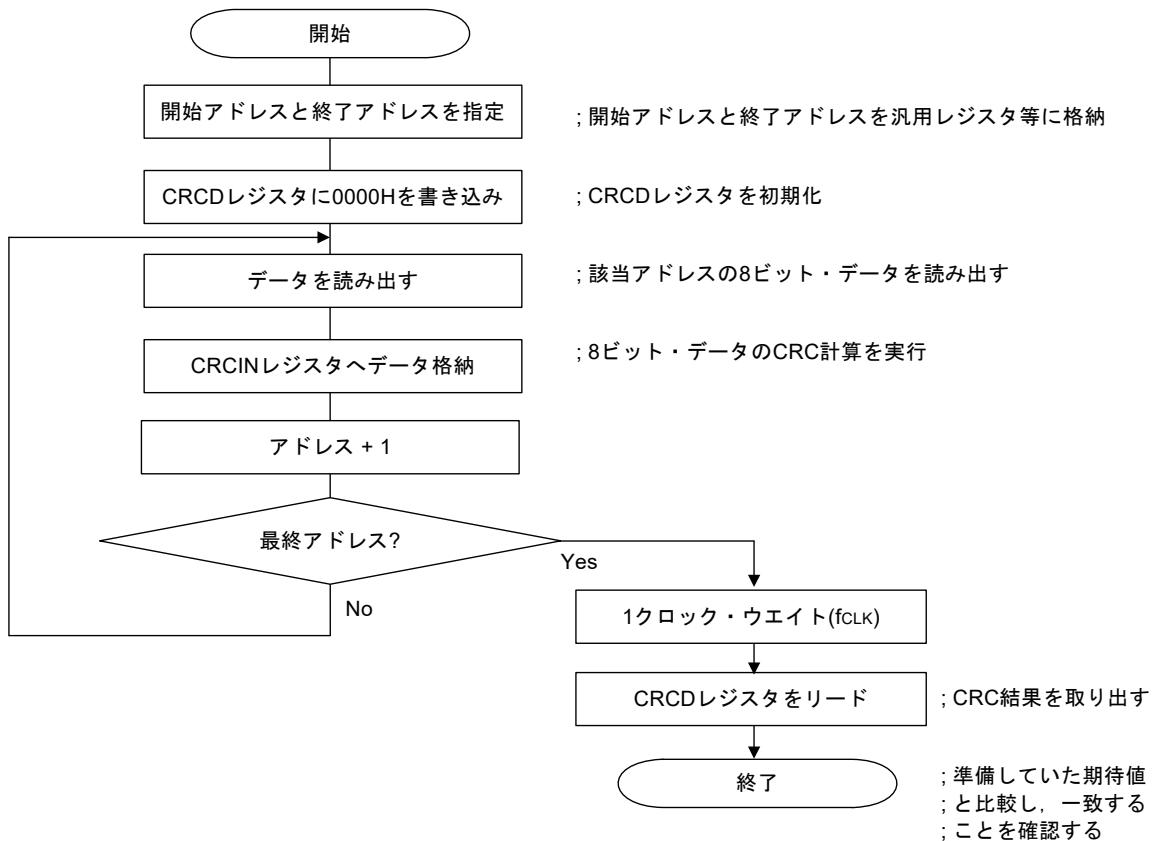


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図30-6 CRCIN演算機能 (汎用CRC)のフロー・チャート



30.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/G1FのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

30.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図30-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

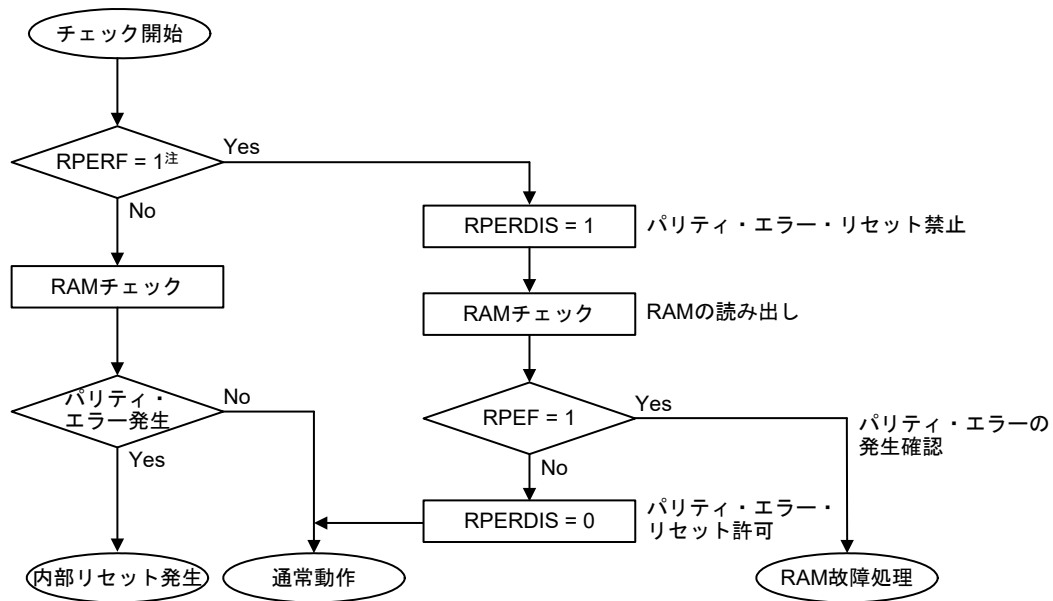
アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

- 備考1. 初期状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)になっています。
- 備考2. パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット(1)されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
- 備考3. RPECTLレジスタのRPEFフラグは、RAMのパリティ・エラーによりセット(1)され、0の書き込みまたはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
- 備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含まれません。

図30-8 RAMパリティチェックフロー



注 RAMパリティ・エラーによる内部リセットの確認は、第27章 リセット機能を参照してください。

30.3.4 RAM ガード機能



このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

30.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAMガード空間注					
	0	0	無効。RAMへのライト可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

30.3.5 SFRガード機能



SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

30.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30 - 10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT		ポート機能の制御レジスタのガード						
0		無効。ポート機能の制御レジスタのリード/ライト可能。						
1		有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, PIORx 注						
GINT		割り込み機能のレジスタのガード						
0		無効。割り込み機能の制御レジスタのリード/ライト可能。						
1		有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx						
GCSC		クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード						
0		無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。						
1		有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL						

注 Pxx (ポート・レジスタ)はガードされません。

30.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図30 - 11で「NG」と記載した範囲になります。

図30 - 11 不正アクセス検出空間

アドレス	機能	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H FFEFFFH				汎用レジスタ 32バイト
FFEE0H FFEDFH	RAM注	OK	OK	
zzzzzH				Mirror
F1000H F0FFFH	データ・フラッシュ・メモリ	OK	OK	
F0800H F07FFH				使用不可
F0000H EFFFFFH	拡張特殊機能レジスタ (2nd SFR) 2 K バイト	OK	OK	
E0000H EEFFFFH				使用不可
yyyyyH	コード・フラッシュ・メモリ注	OK	OK	
xxxxxH				OK
00000H				

(注は次ページにあります。)

注 各製品のコード・フラッシュ・メモリ, RAM, 検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ (実行)時の検出最下位 アドレス (yyyyyH)
R5F11BxC (x = 7, B, C, G, L)	32768 × 8ビット (00000H-07FFFH)	5632 × 8ビット (FE900H-FFEFFH)	08000H
R5F11BxE (x = 7, B, C, G, L)	65536 × 8ビット (00000H-0FFFFH)	5632 × 8ビット (FE900H-FFEFFH)	08000H

30.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否, RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では, IAWENビットを使用します。

IAWCTLレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図30 - 12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN ^注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし, IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイトWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき, IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

30.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

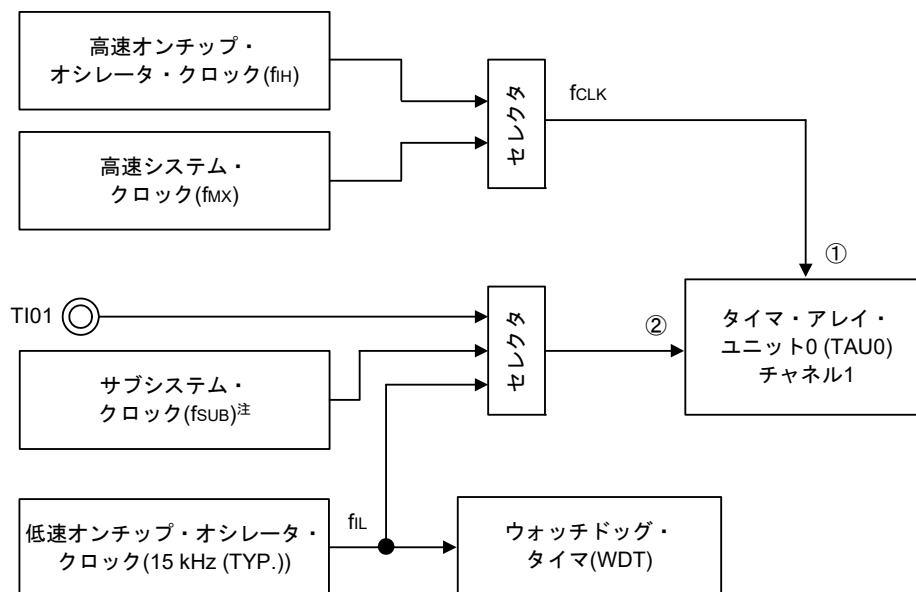
周波数検出機能は、CPU/周辺ハードウェア・クロック周波数 (fCLK) を使用し、タイマ・アレイ・ユニット0 (TAU0)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。

ただし、片一方のクロック、もしくは両方のクロックが停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ① CPU/周辺ハードウェア・クロック周波数 (fCLK) :
 - ・高速オンチップ・オシレータ・クロック (fIH)
 - ・高速システム・クロック (fMX)
- ② タイマ・アレイ・ユニット0のチャンネル1入力 :
 - ・チャンネル1のタイマ入力 (TI01)
 - ・低速オンチップ・オシレータ・クロック (fIL : 15 kHz (TYP.))
 - ・サブシステム・クロック (fSUB)注

図 30 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については、6.8.4 入力パルス間隔測定としての動作を参照してください。

注 サブシステム・クロック搭載している製品のみ選択可能です。

30.3.7.1 タイマ入出力選択レジスタ0 (TIOS0)

TIOS0レジスタは、タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力およびチャンネル2のタイマ出力を選択するレジスタです。TIOS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30 - 14 タイマ入出力選択レジスタ0 (TIOS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIOS0	TIOS7	TIOS6	TIOS5	TIOS4	TOS03	TIOS2	TIOS1	TIOS0
TIOS7	TIOS6	TIOS5	チャンネル0で使用するタイマ入力の信号切り替え					
0	0	0	タイマ入力端子(TI00)の入力信号					
0	0	1	PWMOPAを經由しないタイマRD出力信号(TRDIOB0)					
0	1	0	PWMOPAを經由しないタイマRD出力信号(TRDIOD0)					
0	1	1	PWMOPAを經由しないタイマRD出力信号(TRDIOA1)					
1	0	0	PWMOPAを經由しないタイマRD出力信号(TRDIOC1)					
1	0	1	PWMOPAを經由しないタイマRD出力信号(TRDIOB1)					
1	1	0	PWMOPAを經由しないタイマRD出力信号(TRDIOD1)					
1	1	1	PWMOPAを經由しないタイマRD出力信号(TRDIOC0)					
TIOS4	チャンネル0で使用するタイマ入力の選択							
0	TIOS7-TIOS5ビットで指定の入力信号							
1	ELCからのイベント入力信号							
TOS03	P17端子へのTAUチャンネル2出力許可／禁止							
0	出力許可							
1	出力禁止 (Lに固定)							
TIOS2	TIOS1	TIOS0	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号 ^{注1}					
0	0	1	ELCからのイベント入力信号					
0	1	0	タイマ入力端子(TI01)の入力信号 ^{注1}					
0	1	1						
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})					
1	0	1	サブシステム・クロック (f _{SUB}) ^{注2}					
上記以外			設定禁止					

注1. 24ピン製品では設定禁止

注2. 24, 32ピン製品では設定禁止

注意1. 24ピン製品のビット3には必ず0を設定してください。

注意2. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、1/f_{MCK} + 10 ns以上必要となります。そのため、f_{CLK}にf_{SUB}を選択時(CKCレジスタのCSS = 1)は、TIOS2ビットに1を設定できません。

注意3. タイマ入出力選択レジスタ0 (TIOS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はf_{CLK}を選択してください。

30.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル(ANI)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

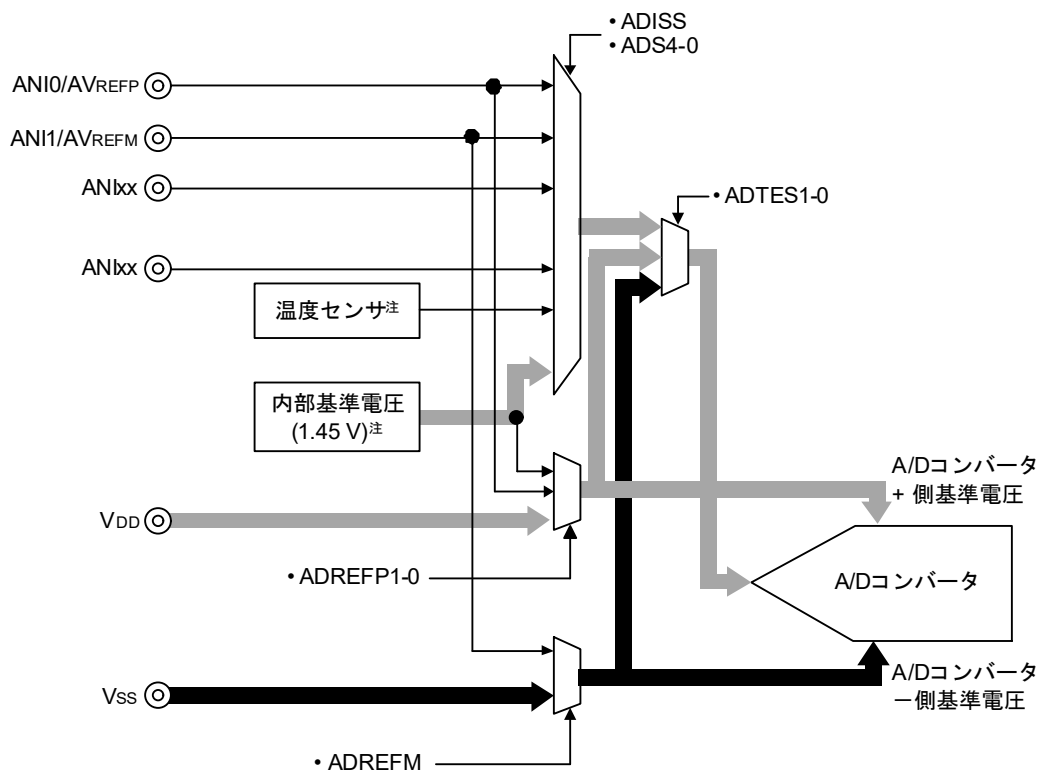
- ① ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANIX端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う(変換結果2-1)
- ⑤ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANIX端子のA/D変換を行う(変換結果1-2)
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)
- ⑨ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANIX端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」=「変換結果1-2」=「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0、「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図 30 - 15 A/Dテスト機能の構成



注 HS (高速メイン)モードでのみ選択可能です。

30.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力注/内部基準電圧出力(1.45 V)注 (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)注
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

30.3.8.2 アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/Dテスト機能で ANI_{xx} / 温度センサ出力 / 内部基準電圧 (1.45 V) を測定するときは、A/Dテスト・レジスタ (ADTES) を 00H に設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30 - 17 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	1	0	0	0	0	ANI16	P03/ANI16 端子注1
0	1	0	0	0	1	ANI17	P02/ANI17 端子注2
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	ANI20	P10/ANI20 端子
0	1	0	1	0	1	ANI21	P11/ANI21 端子
0	1	0	1	1	0	ANI22	P12/ANI22 端子注4
0	1	0	1	1	1	ANI23	P13/ANI23 端子注4
0	1	1	0	0	0	ANI24	P14/ANI24 端子注4
0	1	1	0	0	1	—	PGAOUT (PGA出力)
1	0	0	0	0	0	—	温度センサ出力注3
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V)注3
上記以外						設定禁止	

注1. 24, 32, 36, 48ピン製品の場合は、P01/ANI16端子になります。

注2. 24, 32, 36, 48ピン製品の場合は、P00/ANI17端子になります。

注3. HS (高速メイン)モードでのみ選択可能です。

注4. 24ピン製品にはありません。

(注意は次ページにあります。)

- 注意1. ビット5, 6には必ず0を設定してください。
- 注意2. PMCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0, 1, 2, 12, 14 (PM0, PM1, PM2, PM12, PM14)で入力モードに選択してください。
- 注意3. ポート・モード・コントロール・レジスタ0, 1, 2, 12, 14 (PMC0, PMC1, PMC2, PMC12, PMC14)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- 注意4. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。
- 注意5. AVREFFをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。
- 注意6. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。
- 注意7. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧出力(1.45 V)は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、15.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定(例 ソフトウェア・トリガ・モード、ワンショット変換モード時)を参照してください。
- 注意8. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、37.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

30.3.9 入出力端子のデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルをリードすることができます。

30.3.9.1 ポート・モード選択レジスタ (PMS)

端子が出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-18 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

注意1. PMSレジスタのPMS0ビットを“1”に設定時は、ビット操作命令でポート・レジスタ(Pxx)を書き換えしないでください。ポート・レジスタ(Pxx)を書き換える場合は、8ビット・データ操作命令を使用してください。

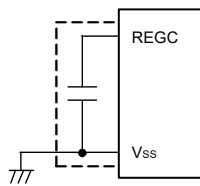
注意2. タイマRDのパルス出力強制遮断機能でハイインピーダンス状態となっている端子に対して端子のデジタル出力レベルを読み出すと、読み出した値は“0”になります。

備考 m = 0-7, 12, 14
 n = 0-7

第31章 レギュレータ

31.1 レギュレータの概要

RL78/G1Fは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表31-1のようになります。

表31-1 レギュレータ出力電圧条件

モード	出力電圧	条件
LV (低電圧メイン)モード	1.8 V	—
LS (低速メイン)モード		—
HS (高速メイン)モード	1.8 V	STOPモード時
		サブシステム・クロック (f _{SUB})でCPU動作中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{IH})が共に停止
	サブシステム・クロック (f _{SUB})でCPU動作設定時のHALTモード中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{IH})が共に停止	
	2.1 V	上記以外(オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します(1.8 Vにはなりません)。

第32章 オプション・バイト

32.1 オプション・バイトの機能

RL78/G1Fのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

32.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・インターバル割り込みを使用する／使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ(RESET端子による外部リセット入力を使用)
- LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

注意1. 電源立ち上がり時は、37.4 または 38.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください

(3) 000C2H/010C2H

○フラッシュの動作モード設定

使用するメイン・システム・クロック周波数 (fMAIN)、電源電圧 (VDD) に応じて設定

- LV (低電圧メイン)モード
- LS (低速メイン)モード
- HS (高速メイン)モード

○高速オンチップ・オシレータの周波数設定

- 1 MHz～32 MHz, 48 MHz, 64 MHz から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

32.1.2 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)

○オンチップ・デバッグ動作制御

- オンチップ・デバッグ動作禁止/許可

○セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理

- オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

32.2 ユーザ・オプション・バイトのフォーマット

図32-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス : 000C0H/010C0H^{注1}

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/2 f_{IL} 到達時にインターバル割り込みを発生する							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}						
0	0	設定禁止						
0	1	50%						
1	0	75%						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止(リセット解除後, カウント停止)							
1	カウンタ動作許可(リセット解除後, カウント開始)							
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)					
0	0	0	$2^6/f_{IL}$ (3.71 ms)					
0	0	1	$2^7/f_{IL}$ (7.42 ms)					
0	1	0	$2^8/f_{IL}$ (14.84 ms)					
0	1	1	$2^9/f_{IL}$ (29.68 ms)					
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)					
1	0	1	$2^{13}/f_{IL}$ (474.90 ms)					
1	1	0	$2^{14}/f_{IL}$ (949.80 ms)					
1	1	1	$2^{16}/f_{IL}$ (3799.19 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)							
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}							
1	HALT/STOPモード時, カウンタ動作許可							

注1. ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図32-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/4)

アドレス : 000C1H/010C1H注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値								
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定			
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0		
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0		
1.88 V	1.84 V					0	1				
2.92 V	2.86 V					0	0				
1.98 V	1.94 V	1.84 V				0	1			1	0
2.09 V	2.04 V					0	1				
3.13 V	3.06 V					0	0				
2.61 V	2.55 V	2.45 V	1	0	1	0					
2.71 V	2.65 V		0	1							
3.75 V	3.67 V		0	0							
2.92 V	2.86 V	2.75 V	1	1	1	0					
3.02 V	2.96 V		0	1							
4.06 V	3.98 V		0	0							
—			上記以外は設定禁止								

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第29章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、37.6.7または38.6.7 LVD回路特性を参照してください。

図32-3 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/4)

アドレス : 000C1H/010C1H注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値								
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定			
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0		
1.67 V	1.63 V	0	0	0	1	1	1	1		
1.77 V	1.73 V		0	0	1	0				
1.88 V	1.84 V		0	1	1	1				
1.98 V	1.94 V		0	1	1	0				
2.09 V	2.04 V		0	1	0	1				
2.50 V	2.45 V		1	0	1	1				
2.61 V	2.55 V		1	0	1	0				
2.71 V	2.65 V		1	0	0	1				
2.81 V	2.75 V		1	1	1	1				
2.92 V	2.86 V		1	1	1	0				
3.02 V	2.96 V		1	1	0	1				
3.13 V	3.06 V		0	1	0	0				
3.75 V	3.67 V		1	0	0	0				
4.06 V	3.98 V		1	1	0	0				
—			上記以外は設定禁止							

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第29章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、37.6.7または38.6.7 LVD回路特性を参照してください。

図32-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(3/4)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第29章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、37.6.7または38.6.7 LVD回路特性を参照してください。

図32-5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(4/4)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDオフの設定(RESET端子による外部リセット入力を使用)

検出電圧		オプション・バイト設定値						
VLVDH		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、37.4または38.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. × : Don't care

備考2. LVD回路の詳細は、第29章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、37.6.7または38.6.7 LVD回路特性を参照してください。

図32 - 6 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス : 000C2H/010C2H注

7	6	5	4	3	2	1	0	
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	
CMODE1	CMODE0	フラッシュの動作モード設定						
			動作周波数範囲 (fMAIN)		動作電圧範囲 (VDD)			
0	0	LV (低電圧メイン)モード	1 MHz~4 MHz		1.6 V~5.5 V			
1	0	LS (低速メイン)モード	1 MHz~8 MHz		1.8 V~5.5 V			
1	1	HS (高速メイン)モード	1 MHz~16 MHz		2.4 V~5.5 V			
			1 MHz~32 MHz		2.7 V~5.5 V			
上記以外		設定禁止						
FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数			
					fHOCO	fIH		
1	1	0	0	0	64 MHz	32 MHz		
1	0	0	0	0	48 MHz	24 MHz		
0	1	0	0	0	32 MHz	32 MHz		
0	0	0	0	0	24 MHz	24 MHz		
0	1	0	0	1	16 MHz	16 MHz		
0	0	0	0	1	12 MHz	12 MHz		
0	1	0	1	0	8 MHz	8 MHz		
0	0	0	1	0	6 MHz	6 MHz		
0	1	0	1	1	4 MHz	4 MHz		
0	0	0	1	1	3 MHz	3 MHz		
0	1	1	0	0	2 MHz	2 MHz		
0	1	1	0	1	1 MHz	1 MHz		
上記以外					設定禁止			

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5には、必ず1を書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、37.4または38.4 AC特性を参照してください。

32.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図32-7 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス : 000C3H/010C3H^注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去しない						

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD)のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値(0, 1, 0)を設定してください。

32.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	1AH	;VLVDLに1.63 Vを選択 ;VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB	2DH	;フラッシュの動作モードにLV (低電圧メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

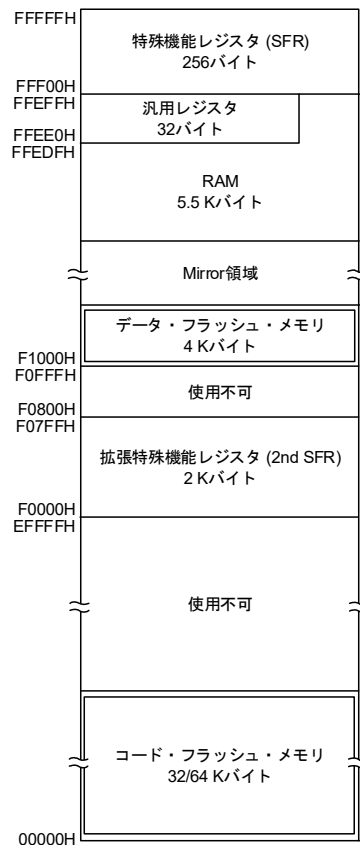
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		1AH	;VLVDLに1.63 Vを選択 ;VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB		2DH	;フラッシュの動作モードにLV (低電圧メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB		85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第33章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス (UART 通信) によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング (33.1 参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- 外部デバイス (UART 通信) によるシリアル・プログラミング (33.2 参照)

外部デバイス (マイコンや ASIC) との UART 通信を使用してオンボード上で書き込みができます。

- セルフ・プログラミング (33.6 参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます (バックグラウンド・オペレーション)。データ・フラッシュへのアクセスや書き込みについては、

33.8 データ・フラッシュ を参照してください。

33.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP5, FL-PR5
- E1オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ (FAシリーズ)などでフラッシュ・メモリに書き込みます。

備考 FL-PR5, FAシリーズは、(株)内藤電誠町田製作所の製品です。

表 33 - 1 RL78/G1F と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
					24ピン	32ピン	36ピン	48ピン	64ピン
信号名		入出力	端子機能	端子名	24ピン	32ピン	36ピン	48ピン	64ピン
PG-FP5, FL-PR5	E1オンチップ デバッグ エミュレータ				WQFN (4 × 4)	LQFP (7 × 7)	FLGA (4 × 4)	LQFP (7 × 7)	LQFP (10 × 10)
SI/RxD	TOOL0	入出力	送受信信号	TOOL0/ P40	24	1	F6	39	5
/RESET	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	1	2	E5	40	6
VDD		入出力	VDD電圧生成 ／電源監視	VDD	7	8	B6	48	15
GND		—	グラウンド	VSS	6	7	C5	47	13
				REGC注	5	6	D5	46	12
FLMD1	EMVDD	—	TOOL0端子 駆動電源	VDD	7	8	A6	48	16

注 REGC端子はコンデンサ(0.47～1 μF)を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

33.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図33-1 フラッシュ・メモリにプログラムを書き込むための環境



注 64, 36ピン製品のみ。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

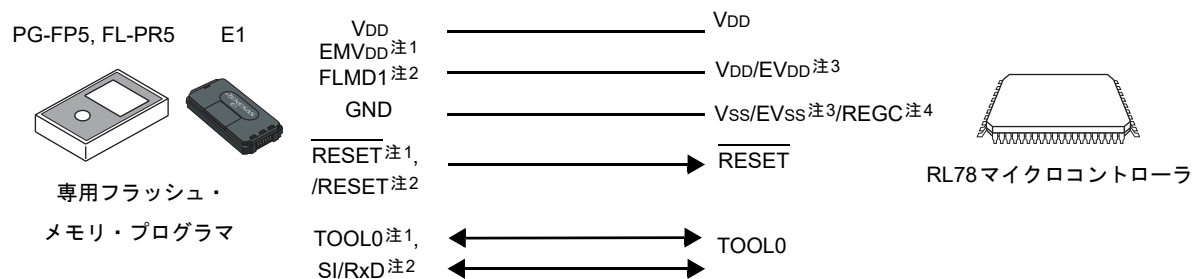
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインターフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

33.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図33-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1オンチップデバッグエミュレータ使用時。

注2. PG-FP5, FL-PR5使用時。

注3. 64, 36ピン製品のみ。

注4. REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップデバッグエミュレータのマニュアルを参照してください。

表33-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名注2
PG-FP5, FL-PR5	E1オンチップデバッグエミュレータ			
V _{DD}		入出力	V _{DD} 電圧生成/電圧監視	V _{DD}
GND		—	グラウンド	V _{SS} , EV _{SS} , REGC注1
FLMD1	EMV _{DD}	—	TOOL0端子駆動電源	V _{DD} , EV _{DD}
/RESET	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$
SI/RxD	TOOL0	入出力	送受信信号	TOOL0

注1. REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

注2. 接続先端子は、製品によって異なります。詳細は、表33-1を参照してください。

33.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

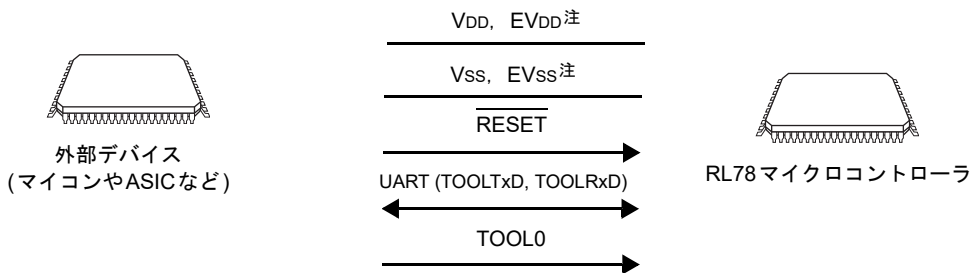
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

33.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図33-3 フラッシュ・メモリにプログラムを書き込むための環境



注 64, 36ピン製品のみ。

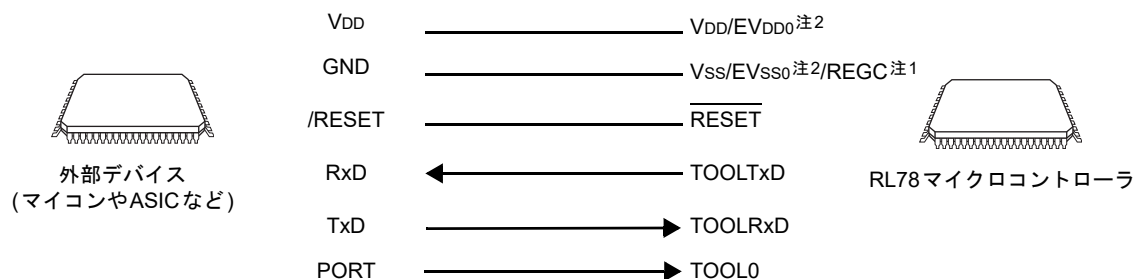
外部デバイスからRL78マイクロコントローラに書き込み/消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

33.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図33 - 4 外部デバイスとの通信



注1. REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

注2. 64, 36ピン製品のみ。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表33 - 3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成/電圧監視	VDD, EVDD0 ^{注2}
GND	—	グラウンド	Vss, EVss0 ^{注2} , REGC ^{注1}
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注1. REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

注2. 64, 36ピン製品のみ。

33.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、33.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

33.3.1 P40/TOOL0 端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時： 外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。37.10または38.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

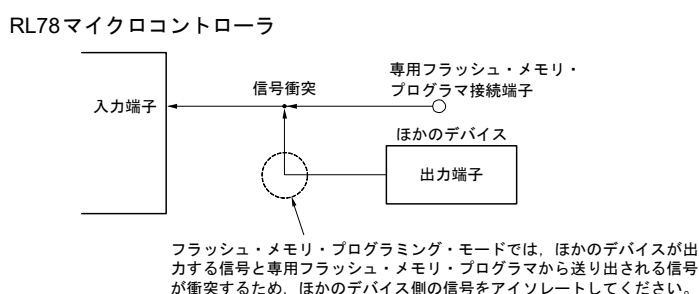
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子)を使用するので、SAUやIICAの端子は使用しません。

33.3.2 RESET 端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図33-5 信号の衝突(RESET端子)



33.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してVDDまたはEVDD0に接続するか、もしくは抵抗を介してVSSまたはEVSS0に接続するなどの端子処理が必要です。

33.3.4 REGC端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μ F)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

33.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (fIH) を使用します。

33.3.6 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、VDD端子はフラッシュ・メモリ・プログラムのVDDに、VSS端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

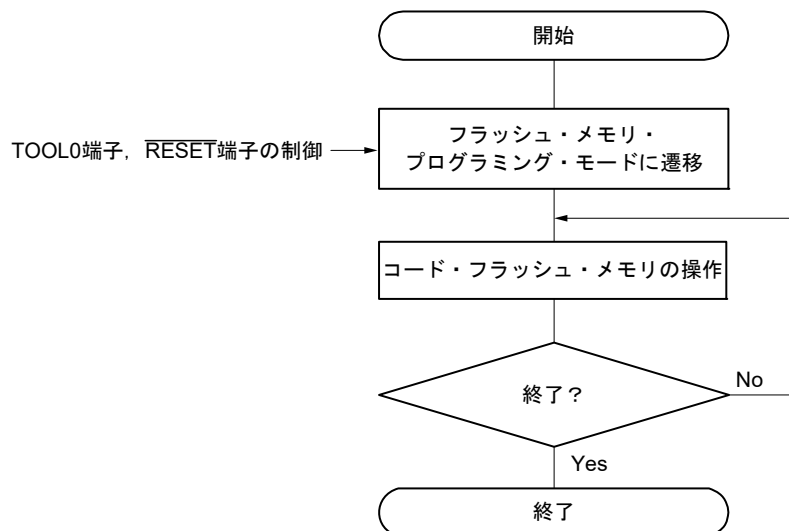
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD, VSS端子はフラッシュ・メモリ・プログラマのVDD, GNDと必ず接続してください。

33.4 プログラミング方法

33.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図33-6 コード・フラッシュメモリの操作手順



33.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

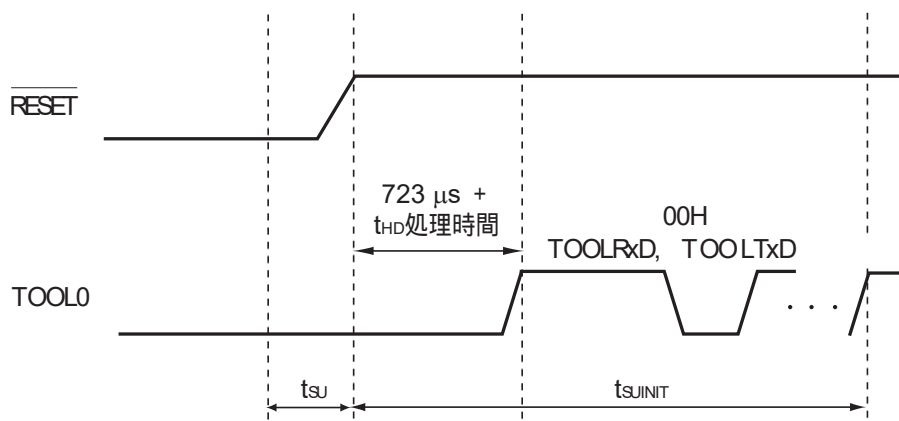
<外部デバイスを使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します(表33-4参照)。その後、図33-7に示す①~④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表33-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
EV _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図33-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるポー・レート設定完了

備考 t_{SUNIT}: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD}: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

詳細は、37.10または38.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表33-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧(V _{DD})	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数(fCLK)	
2.7 V ≤ V _{DD} ≤ 5.5 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz～32 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
2.4 V ≤ V _{DD} < 2.7 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz～16 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
1.8 V ≤ V _{DD} < 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は、33.4.4 通信コマンドを参照してください。

33.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表 33 - 6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・ プログラマ使用時, また は外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

33.4.4 通信コマンド

RL78マイクロコントローラは、表33-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表33-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名, フラッシュ・メモリ構成, プログラミング用ファームウェア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報(品名, ファームウェア・バージョンなど)を取得することができます。

表33-8 シグネチャ・データ一覧, 表33-9 シグネチャ・データ例を示します。

表33-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-0FFFFH (64 KB) → FFH, FFH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表33-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F11BLE	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 31 = “1” 42 = “B” 4C = “L” 45 = “E” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-0FFFFH (64 KB)	3バイト	FF FF 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH (4 KB)	3バイト	FF 1F 0F
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

33.5 PG-FP5使用時の各コマンド処理時間(参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の各コマンド処理時間(参考値)を次に示します。

表33 - 10 PG-FP5使用時の各コマンド処理時間(参考値)

PG-FP5のコマンド	Port: TOOL0 (UART)	
	Speed: 1M bps	
	32 Kバイト	64 Kバイト
消去	1 s	1.5 s
書き込み	1.5 s	2.5 s
ペリファイ	1.5 s	2 s
消去後, 書き込み	2 s	3 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード(フラッシュ動作モード: HS(高速メイン)モード)

33.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP = 0)させ、ユーザ・オプション・バイト(000C2H)のFRQSEL4が0の場合は30 μ s、FRQSEL4が1の場合は80 μ s経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

備考2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン)モード設定時はフルスピード・モードに、LS (低速メイン)モードおよびLV (低電圧メイン)モード設定時はワイド・ボルテージ・モードに設定してください。

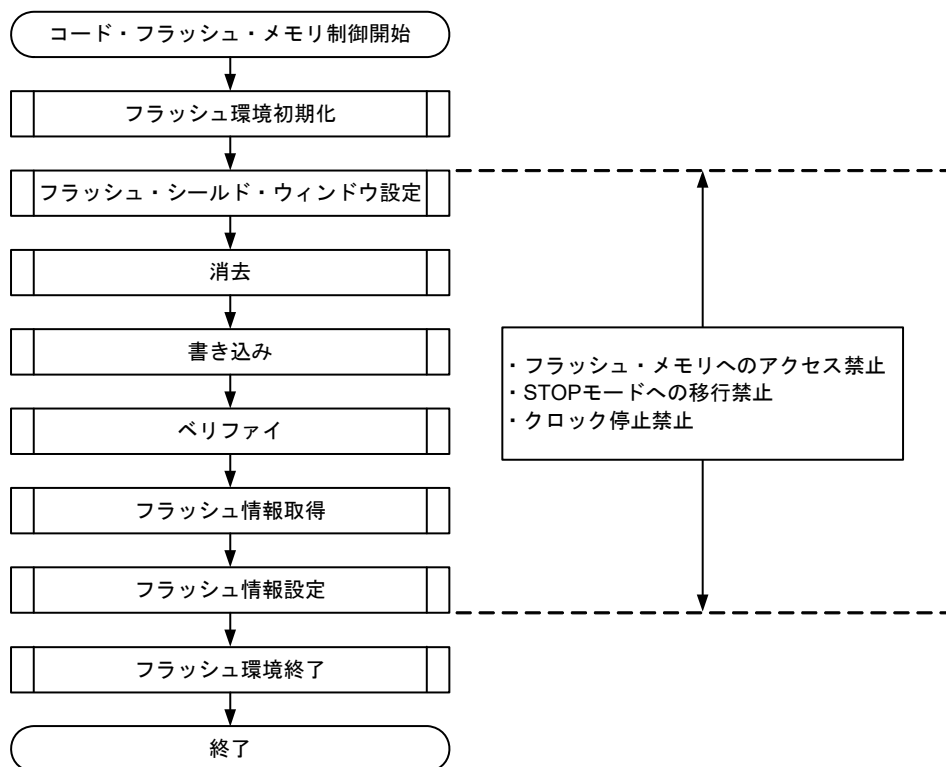
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

33.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図33-8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



33.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

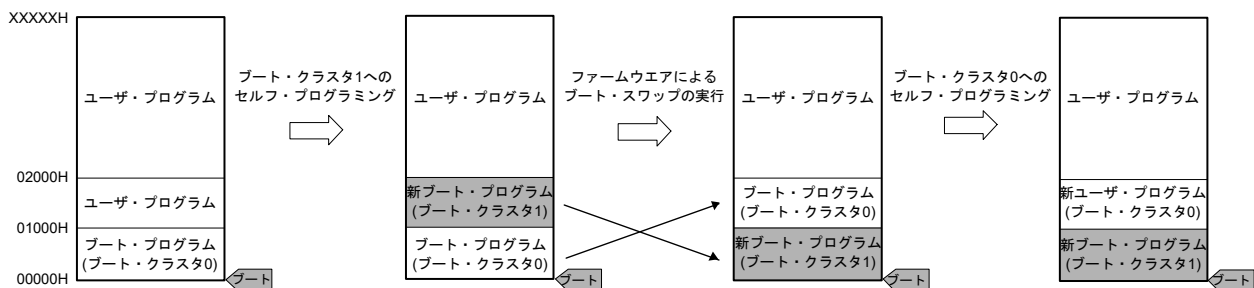
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^注の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78 マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図33-9 ブート・スワップ機能

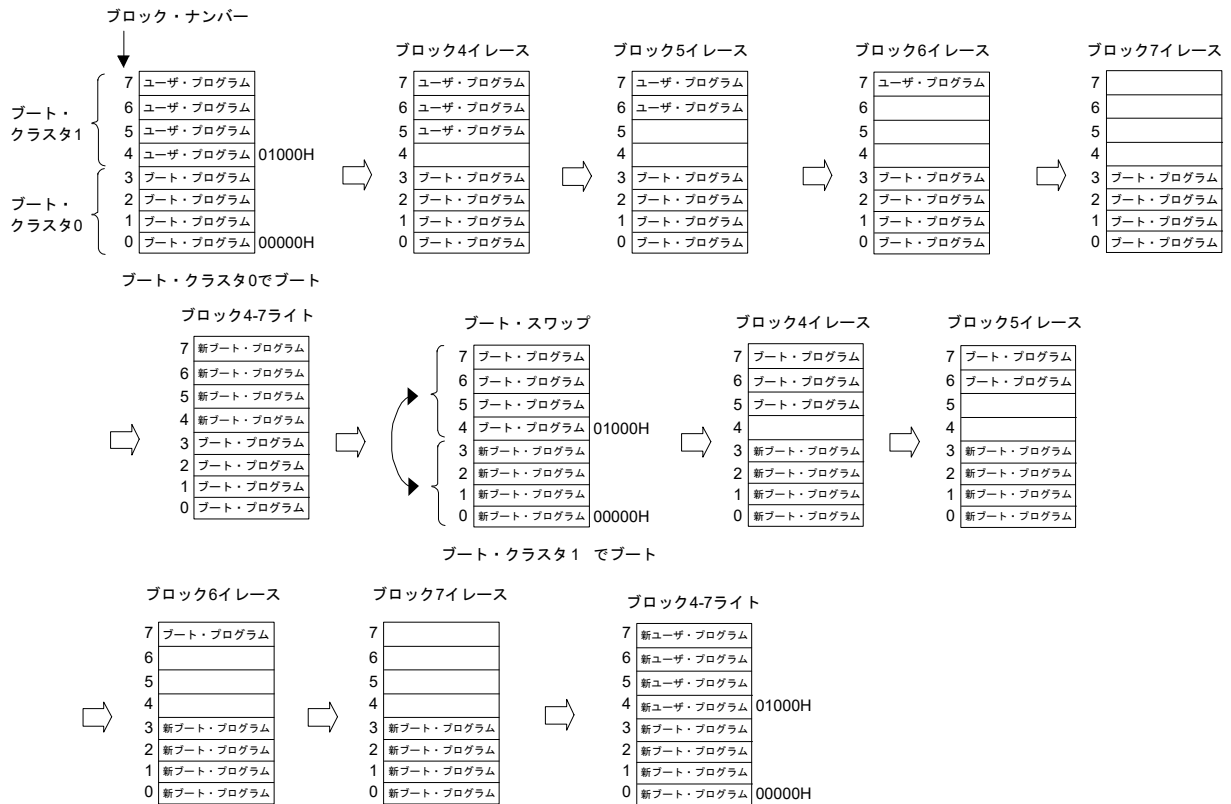


この図の例では、次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図33-10 ブート・スワップの実行例



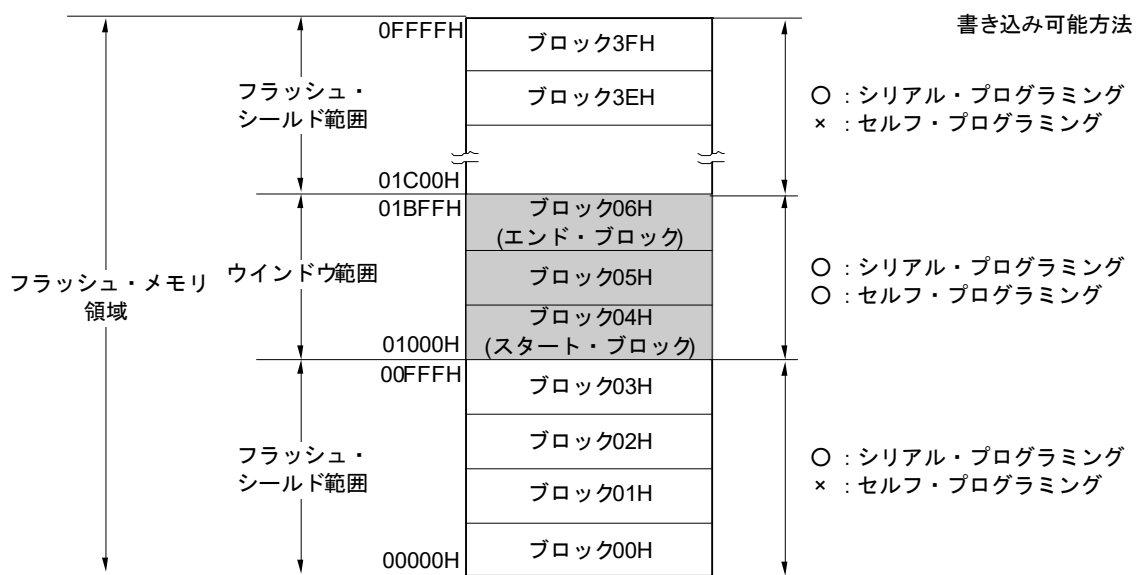
33.6.3 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図33-11 フラッシュ・シールド・ウインドウの設定例
(対象デバイス：R5F111BLE, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表33-11 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み/消去を禁止したい場合には、33.7 セキュリティ設定を参照してください。

33.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 33-12 に示します。

注意 ただし、フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は33.6.3を参照)。

表 33 - 12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は33.6.3を参照)。

表 33 - 13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート・クラスタ0の書き換え禁止」に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない(シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する)
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

33.8 データ・フラッシュ

33.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、「RL78ファミリ データ・フラッシュ・ライブラリ Type04」を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能(バックグラウンド・オペレーション(BGO)対応)
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、ユーザ・オプション・バイト(000C2H)のFRQSEL4 が0の場合は30 μ s、FRQSEL4が1の場合は80 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、33.6 セルフ・プログラミングを参照してください。

33.8.2 データ・フラッシュを制御するレジスタ

33.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図33 - 12 データ・フラッシュ・コントロール・レジスタ (DFLCTL)のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュのアクセス制御							
0	データ・フラッシュのアクセス禁止							
1	データ・フラッシュのアクセス許可							

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

33.8.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

- ①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0(DFLEN)に“1”を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
<各メイン・クロック・モードでのセットアップ時間>
 - HS(高速メイン)モード時： 5 μ s
 - LS(低速メイン)モード時： 720 ns
 - LV(低電圧メイン)モード時： 10 μ s
- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、ユーザ・オプション・バイト(000C2H)のFRQSEL4が0の場合は30 μ s、FRQSEL4が1の場合は80 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

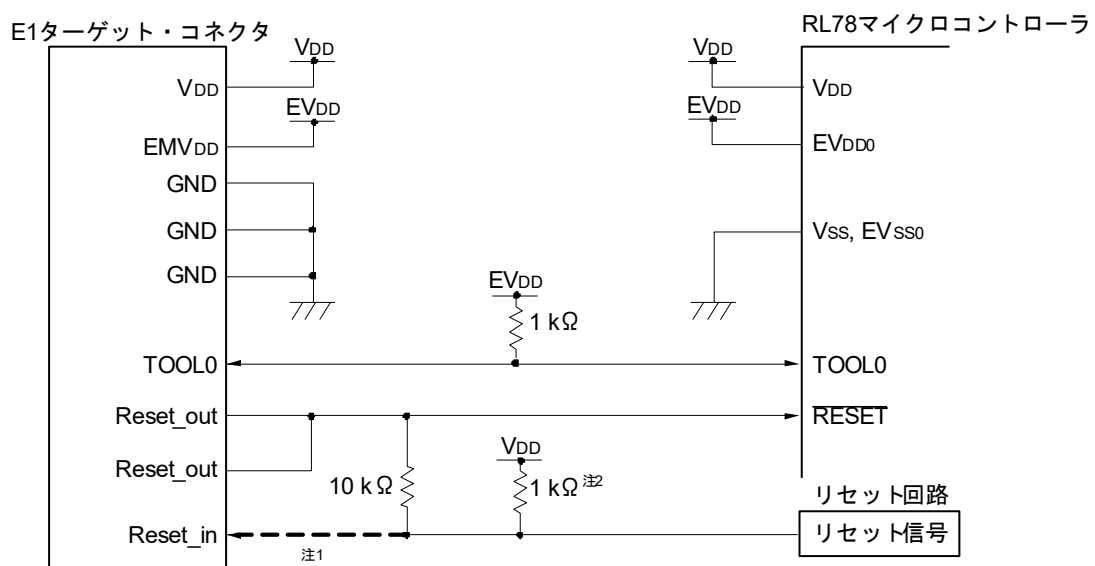
第34章 オンチップ・デバッグ機能

34.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 $\overline{\text{RESET}}$ 、 TOOL0 、 V_{SS} 端子を使用します。シリアル通信としては、 TOOL0 端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図34-1 E1オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

備考 EV_{DD0} 、 EV_{SS0} 端子が無い製品は、 EV_{DD0} を V_{DD} に、 EV_{SS0} を V_{SS} に置き換えてください。

34.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第32章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表34-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード注
010C4H-010CDH	

注 “FFFFFFFFFFFFFFFFFFFFFH”は設定できません。

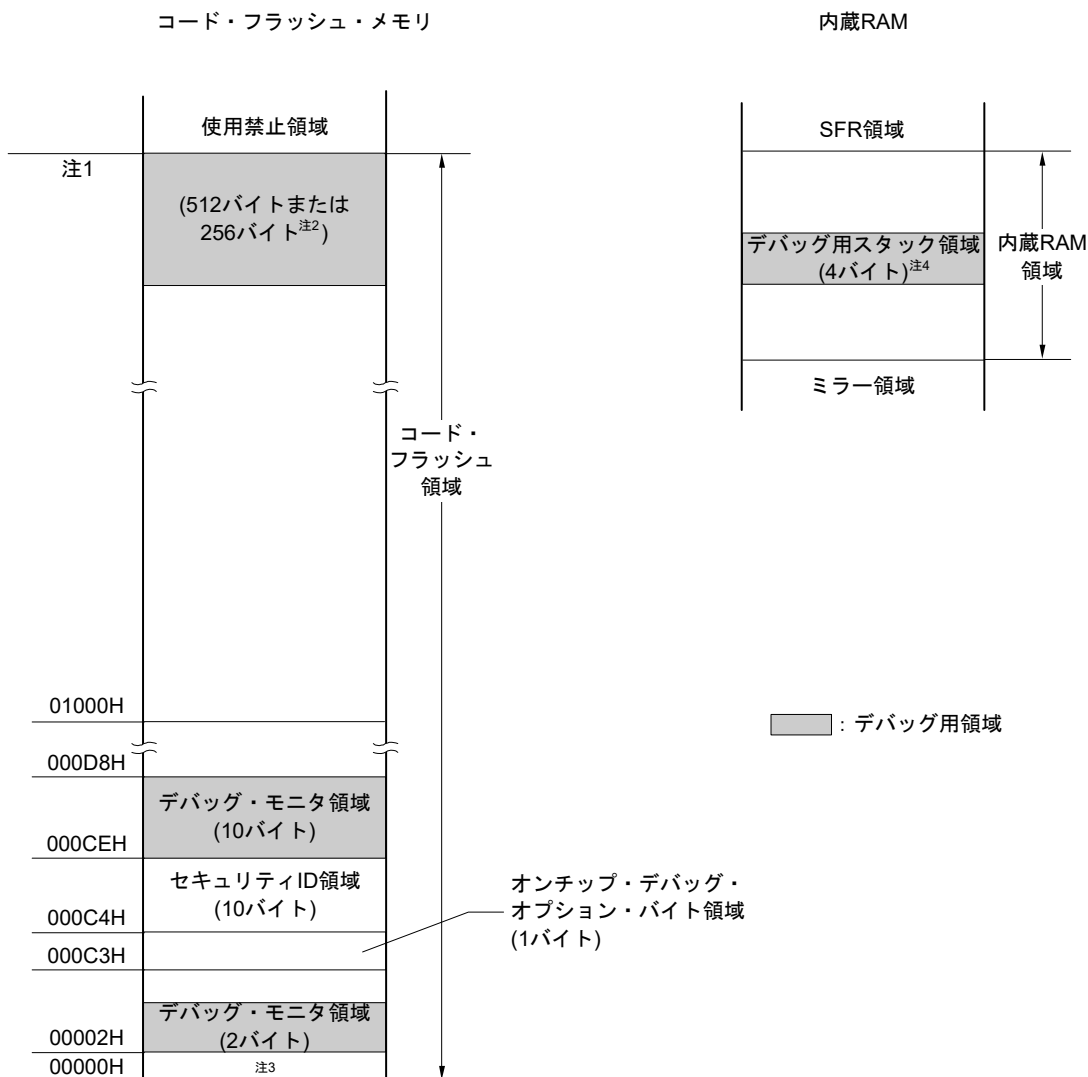
34.3 ユーザ資源の確保

RL78 マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図34-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図 34 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F11B7C,R5F11BBC,R5F11BCC,R5F11BGC,R5F11BLC	07FFFH
R5F11B7E,R5F11BBE,R5F11BCE,R5F11BGE,R5F11BLE	0FFFFH

注2. リアルタイムRAMモニタ(RRM)機能, Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注3. デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。

セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

第35章 10進補正(BCD)回路

35.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

35.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

35.2.1 BCD補正結果レジスタ(BCDADJ)

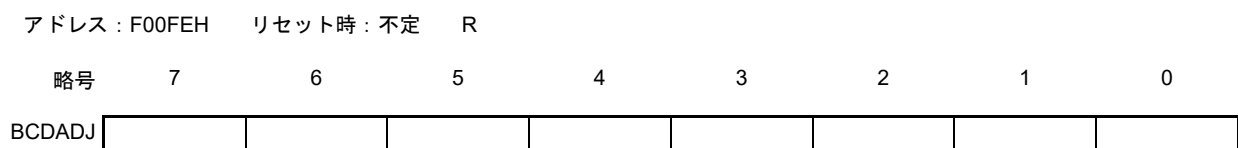
BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図35-1 BCD補正結果レジスタ(BCDADJ)のフォーマット



35.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
- ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW(CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ;①	99H	—	—	—
ADD A, #89H ;②	22H	1	1	66H
ADD A, !BCDADJ ;③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ;①	85H	—	—	—
ADD A, #15H ;②	9AH	0	0	66H
ADD A, !BCDADJ ;③	00H	1	1	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ;①	80H	—	—	—
ADD A, #80H ;②	00H	1	0	60H
ADD A, !BCDADJ ;③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令		Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H ;①	91H	—	—	—
SUB	A, #52H ;②	3FH	0	1	06H
SUB	A, !BCDADJ ;③	39H	0	0	—

第36章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015)を参照してください。

36.1 凡例

36.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様によります)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #: イミーディエト・データ指定
- !: 16ビット絶対アドレス指定
- !!: 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$!: 16ビット相対アドレス指定
- []: 間接アドレス指定
- ES: 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(表36-1中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表36-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-6～表3-9 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-10～表3-17 拡張SFR(2nd SFR)一覧を参照してください。

36.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表 36 - 2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL	16ビット・レジスタの場合はXH=上位8ビット, XL=下位8ビット
Xs, XH, XL	20ビット・レジスタの場合はXs (ビット19-16), XH (ビット15-8), XL (ビット7-0)
∧	論理積(AND)
∨	論理和(OR)
⊖	排他的論理和(exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ(0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ(ディスプレイースメント値)
jdisp16	符号付き16ビット・データ(ディスプレイースメント値)

36.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表 36 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

36.1.4 PREFIX 命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFFH の 64 Kバイト空間から、ES レジスタの値を付加した 00000H-FFFFFFH の 1 Mバイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表 36 - 4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

36.2 オペレーション一覧

表 36 - 5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ デー タ 転 送	MOV	r, #byte	2	1	—	r ← byte				
		PSW, #byte	3	3	—	PSW ← byte	x	x	x	
		CS, #byte	3	1	—	CS ← byte				
		ES, #byte	2	1	—	ES ← byte				
		!addr16, #byte	4	1	—	(addr16) ← byte				
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte				
		saddr, #byte	3	1	—	(saddr) ← byte				
		sfr, #byte	3	1	—	sfr ← byte				
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte				
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte				
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte				
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte				
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte				
		word[B], #byte	4	1	—	(B + word) ← byte				
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte				
		word[C], #byte	4	1	—	(C + word) ← byte				
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte				
		word[BC], #byte	4	1	—	(BC + word) ← byte				
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte				
		A, r	注3	1	1	—	A ← r			
		r, A	注3	1	1	—	r ← A			
		A, PSW		2	1	—	A ← PSW			
		PSW, A		2	3	—	PSW ← A	x	x	x
		A, CS		2	1	—	A ← CS			
		CS, A		2	1	—	CS ← A			
		A, ES		2	1	—	A ← ES			
		ES, A		2	1	—	ES ← A			
		A, !addr16		3	1	4	A ← (addr16)			
		A, ES:!addr16		4	2	5	A ← (ES, addr16)			
		!addr16, A		3	1	—	(addr16) ← A			
ES:!addr16, A		4	2	—	(ES, addr16) ← A					
A, saddr		2	1	—	A ← (saddr)					
saddr, A		2	1	—	(saddr) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 6 オペレーション一覧(2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ データ 転送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP} + \text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP} + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B} + \text{word})$			
		word[B], A	3	1	—	$(\text{B} + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B}) + \text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C} + \text{word})$			
		word[C], A	3	1	—	$(\text{C} + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C}) + \text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC} + \text{word})$			
		word[BC], A	3	1	—	$(\text{BC} + \text{word}) \leftarrow A$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$			
		ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 7 オペレーション一覧(3/18)

命令群	ニモニック	オペラント	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
	C, saddr	2	1	—	$C \leftarrow (saddr)$				
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r	注3 1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16		5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr		3	2	—	$A \leftrightarrow (saddr)$				
A, sfr		3	2	—	$A \leftrightarrow sfr$				
A, [DE]		2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]		3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]		2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]		4	3	—	$A \leftrightarrow ((ES, HL) + byte)$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 8 オペレーション一覧(4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ デ ータ 転 送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL + B)$				
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$				
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL + C)$				
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$				
	ONEB	A	1	1	—	$A \leftarrow 01H$				
		X	1	1	—	$X \leftarrow 01H$				
		B	1	1	—	$B \leftarrow 01H$				
		C	1	1	—	$C \leftarrow 01H$				
		!addr16	3	1	—	$(addr16) \leftarrow 01H$				
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$				
		saddr	2	1	—	$(saddr) \leftarrow 01H$				
	CLR B	A	1	1	—	$A \leftarrow 00H$				
		X	1	1	—	$X \leftarrow 00H$				
		B	1	1	—	$B \leftarrow 00H$				
		C	1	1	—	$C \leftarrow 00H$				
		!addr16	3	1	—	$(addr16) \leftarrow 00H$				
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$				
		saddr	2	1	—	$(saddr) \leftarrow 00H$				
	MOVS	[HL+byte], X	3	1	—	$(HL + byte) \leftarrow X$	×		×	
		ES:[HL+byte], X	4	2	—	$(ES, HL + byte) \leftarrow X$	×		×	
	16 ビット ・ デ ータ 転 送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
			saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
sfrp, #word			4	1	—	$sfrp \leftarrow word$				
AX, rp 注3			1	1	—	$AX \leftarrow rp$				
rp, AX 注3			1	1	—	$rp \leftarrow AX$				
AX, !addr16			3	1	4	$AX \leftarrow (addr16)$				
!addr16, AX			3	1	—	$(addr16) \leftarrow AX$				
AX, ES:!addr16			4	2	5	$AX \leftarrow (ES, addr16)$				
ES:!addr16, AX			4	2	—	$(ES, addr16) \leftarrow AX$				
AX, saddrp			2	1	—	$AX \leftarrow (saddrp)$				
saddrp, AX			2	1	—	$(saddrp) \leftarrow AX$				
AX, sfrp			2	1	—	$AX \leftarrow sfrp$				
sfrp, AX			2	1	—	$sfrp \leftarrow AX$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
CPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 9 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ データ 転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)					
ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fclk) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fclk) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 10 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	×	×	×
		A, r 注4	2	1	—	A, CY ← A + r	×	×	×
		r, A	2	1	—	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	×	×	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36 - 11 オペレーション一覧(7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x
A, [HL+B]		2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x	
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 12 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A - byte - CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte - CY	×	×	×
		A, r 注3	2	1	—	A, CY ← A - r - CY	×	×	×
		r, A	2	1	—	r, CY ← r - A - CY	×	×	×
		A, laddr16	3	1	4	A, CY ← A - (addr16) - CY	×	×	×
		A, ES:laddr16	4	2	5	A, CY ← A - (ES, addr16) - CY	×	×	×
		A, saddr	2	1	—	A, CY ← A - (saddr) - CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A - (HL) - CY	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A - (ES, HL) - CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte) - CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A - ((ES, HL) + byte) - CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B) - CY	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A - ((ES, HL) + B) - CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C) - CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A - ((ES:HL) + C) - CY	×	×	×
	AND	A, #byte	2	1	—	A ← A ∧ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	×		
		A, r 注3	2	1	—	A ← A ∧ r	×		
		r, A	2	1	—	r ← r ∧ A	×		
		A, laddr16	3	1	4	A ← A ∧ (addr16)	×		
		A, ES:laddr16	4	2	5	A ← A ∧ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∧ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∧ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	×		
A, ES:[HL+byte]	3	2	5	A ← A ∧ ((ES:HL) + byte)	×				
A, [HL+B]	2	1	4	A ← A ∧ (HL + B)	×				
A, ES:[HL+B]	3	2	5	A ← A ∧ ((ES:HL) + B)	×				
A, [HL+C]	2	1	4	A ← A ∧ (HL + C)	×				
A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 13 オペレーション一覧(9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \vee r$	×		
		r, A	2	1	—	$r \leftarrow r \vee A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	×		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	×		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	×		
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \nabla r$	×		
		r, A	2	1	—	$r \leftarrow r \nabla A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	×		
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	×				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36 - 14 オペレーション一覧(10/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A - byte	×	×	×
		!addr16, #byte	4	1	4	(addr16) - byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	×	×	×
		saddr, #byte	3	1	—	(saddr) - byte	×	×	×
		A, r 注3	2	1	—	A - r	×	×	×
		r, A	2	1	—	r - A	×	×	×
		A, !addr16	3	1	4	A - (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A - (ES:addr16)	×	×	×
		A, saddr	2	1	—	A - (saddr)	×	×	×
		A, [HL]	1	1	4	A - (HL)	×	×	×
		A, ES:[HL]	2	2	5	A - (ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A - (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A - (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A - (HL + C)	×	×	×
	A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	×	×	×	
	CMP0	A	1	1	—	A - 00H	×	0	0
		X	1	1	—	X - 00H	×	0	0
		B	1	1	—	B - 00H	×	0	0
		C	1	1	—	C - 00H	×	0	0
		!addr16	3	1	4	(addr16) - 00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	×	0	0
saddr		2	1	—	(saddr) - 00H	×	0	0	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	×	×	×	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	×	×	×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fclk) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fclk) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36 - 15 オペレーション一覧(11/18)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX - BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX - DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX - HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX - word	×	×	×
		AX, BC	1	1	—	AX - BC	×	×	×
		AX, DE	1	1	—	AX - DE	×	×	×
		AX, HL	1	1	—	AX - HL	×	×	×
		AX, !addr16	3	1	4	AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	×	×	×
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	×	×	×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36 - 16 オペレーション一覧(12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

備考2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

表36 - 17 オペレーション一覧(13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	×	×	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r - 1$	×	×	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. cntはビット・シフト数です。

表 36 - 18 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
BC, 1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			×	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36 - 19 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			×
SET1	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
CLR1	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
SET1	SET1	CY	2	1	—	$CY \leftarrow 1$			1
CLR1	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
NOT1	NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 36 - 20 オペレーション一覧(16/18)

命令群	モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC ← CS, rp, SP ← SP - 4			
		!addr20	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4) _s , (SP - 3) ← (PC + 4) _H , (SP - 4) ← (PC + 4) _L , PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PCL ← (SP), PCH ← (SP + 1), PC _s ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36 - 21 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		\$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
ES:[HL].bit, \$addr20		4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 36 - 22 オペレーション一覧(18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK)数。
- 注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。
- 注3. クロック数は“条件不成立時/条件成立時”を表しています。
- 注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

第37章 電気的特性(TA = -40 ~ +85 °C)

この章では、以下の対象製品の電気的特性を示します。

対象製品

A : 民生用途 TA = -40 ~ +85 °C

R5F11BxxAxx

G : 産業用途 TA = -40 ~ +105 °C品を TA = -40 ~ +85 °Cの範囲で使用する場合

R5F11BxxGxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. EVDD0, EVSS0端子がない製品は、EVDD0をVDDに、EVSS0をVSSに置き換えてください。

注意3. 製品により搭載している端子が異なります。2.1 ポート機能~2.2.1 製品別の搭載機能を参照してください。

37.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ + 6.5	V
	EVDD0		-0.5 ~ + 6.5	V
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ + 2.8 かつ -0.3 ~ VDD + 0.3注1	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ + 6.5	V
	Vi3	P20-P27, P121-P124, P137, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3注2	V
出力電圧	Vo1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	Vo2	P20-P27	-0.3 ~ VDD + 0.3注2	V
アナログ入力電圧	VAi1	ANI16-ANI24	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREF(+) + 0.3注2,3	V
	VAi2	ANI0-ANI7	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3注2,3	V

注1. REGC 端子にはコンデンサ(0.47 ~ 1 μ F)を介してVssに接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREF(+) + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF(+): A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	-40	mA
		端子合計	P00-P04, P40-P43, P120, P130, P140, P141	-70	mA
		-170 mA	P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147	-100	mA
	IOH2	1端子	P20-P27	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	40	mA
		端子合計	P00-P04, P40-P47, P120, P130, P140, P141	70	mA
		170 mA	P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147	100	mA
	IOL2	1端子	P20-P27	1	mA
		端子合計		5	mA
	動作周囲温度	TA	通常動作時		-40 ~ + 85
フラッシュ・メモリ・プログラミング時					
保存温度	T _{stg}			-65 ~ + 150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

37.2 発振回路特性

37.2.1 X1, XT1特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} = V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx)注	セラミック発振子/水晶振動子	2.7 V ≤ V _{DD} ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ V _{DD} < 2.7 V	1.0		16.0	
		1.8 V ≤ V _{DD} < 2.4 V	1.0		8.0	
		1.6 V ≤ V _{DD} < 1.8 V	1.0		4.0	
XT1クロック発振周波数 (fxT)注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS)の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

37.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +85 °C, 1.6 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位	
高速オンチップ・オシレータ発振周波数注1,2	f _{IH}	2.7V ≤ V _{DD} ≤ 5.5 V	1		32	MHz	
		2.4V ≤ V _{DD} ≤ 2.7 V	1		16	MHz	
		1.8V ≤ V _{DD} ≤ 2.4V	1		8	MHz	
		1.6V ≤ V _{DD} ≤ 1.8V	1		4	MHz	
高速オンチップ・オシレータ発振周波数精度		TA = -20 ~ +85 °C	1.8 V ≤ V _{DD} ≤ 5.5 V	-1		1	%
			1.6 V ≤ V _{DD} < 1.8 V	-5		5	%
		TA = -40 ~ -20 °C	1.8 V ≤ V _{DD} ≤ 5.5 V	-1.5		1.5	%
			1.6 V ≤ V _{DD} < 1.8 V	-5.5		5.5	%
低速オンチップ・オシレータ発振周波数注	f _{IL}			15		kHz	
低速オンチップ・オシレータ発振周波数精度			-15		+15	%	

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット0-4 およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

37.3 DC 特性

37.3.1 端子特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子			-10.0 ^{注2}	mA	
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-55.0	mA
			2.7 V ≤ EVDD0 < 4.0 V			-10.0	mA
			1.8 V ≤ EVDD0 < 2.7 V			-5.0	mA
			1.6 V ≤ EVDD0 < 1.8 V			-2.5	mA
		P05, P06, P10-P17, P30, P31, P50-P53, P70-P77, P146, P147 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-80.0	mA
			2.7 V ≤ EVDD0 < 4.0 V			-19.0	mA
			1.8 V ≤ EVDD0 < 2.7 V			-10.0	mA
			1.6 V ≤ EVDD0 < 1.8 V			-5.0	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})				-135.0 ^{注4}	mA
	IOH2	P20-P27 端子				-0.1 ^{注2}	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})	1.6 V ≤ VDD ≤ 5.5 V			-1.5	mA

注1. EVDD0, VDD 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70% の条件での出力電流の値です。

デューティ > 70% に変更した出力電流の値は、次の計算式で求めることができます(デューティ比を n% に変更する場合)。

• 端子合計の出力電流 = (IOH × 0.7) / (n × 0.01)

< 計算例 > IOH = -10.0 mA の場合, n = 80%

端子合計の出力電流 = (-10.0 × 0.7) / (80 × 0.01) ≒ -8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. 産業用途向け製品 (R5F11BxxGxx) は、-100 mA です。

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43, P50-P55, P71, P74 は、N-ch オープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子			20.0 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70% ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		70.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		9.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		4.5	mA
		P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147 合計 (デューティ ≤ 70% ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		80.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		20.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		10.0	mA
	全端子合計 (デューティ ≤ 70% ^{注3})			150.0	mA	
	IOL2	P20-P27 1端子			0.4 ^{注2}	mA
全端子合計 (デューティ ≤ 70% ^{注3})		1.6 V ≤ VDD ≤ 5.5 V		5.0	mA	

注1. 出力端子から EVSS0, VSS 端子に流れ込んでも、デバイスの動作を保證する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P14-P17, P30, P43, P50, P53-P55	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27 (P20に対して、PORT機能とするとき)		0.7 VDD		VDD	V
	VIH4	P60-P63		0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET(P20 : INTTP11機能とするとき)		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0		0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P14-P17, P30, P43, P50, P53-P55	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
	VIL3	P20-P27 (P20 : PORT機能とするとき)		0		0.3 VDD	V
	VIL4	P60-P63		0		0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET(P20 : INTTP11機能とするとき)		0		0.2 VDD	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43, P50-P55, P71, P74は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -10.0 mA	EVDD0 - 1.5			V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 - 0.7			V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0 - 0.6			V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 - 0.5			V
			1.6 V ≤ EVDD0 < 1.8 V, IOH1 = -1.0 mA	EVDD0 - 0.5			V
	VOH2	P20-P27	1.6 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 20.0 mA			1.3	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA			0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA			0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.6 mA			0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.3 mA			0.4	V
			1.6 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA			0.4	V
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA			2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA			0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA			0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA			0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 1.0 mA			0.4	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43, P50-P55, P71, P74は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値(MAX.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	Vi = EVDD0			1	μA	
	ILIH2	P20-P27, P137, RESET	Vi = VDD			1	μA	
	ILIH3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VDD	入力ポート時, 外部クロック入力時		1	μA	
発振子接続時					10	μA		
ロウ・レベル 入力リーク電流	ILIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	Vi = EVSS0			-1	μA	
	ILIL2	P20-P27, P137, RESET	Vi = VSS			-1	μA	
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VSS	入力ポート時, 外部クロック入力時		-1	μA	
発振子接続時					-10	μA		
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	Vi = EVSS0, 入力ポート時		10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

37.3.2 電源電流特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位				
電源電流注1	IDD1	動作モード	HS (高速メイン)モード 注5	f _{HOCO} = 64MHz, f _{IH} = 32 MHz注3	基本動作	VDD = 5.0 V		2.4		mA	
						VDD = 3.0 V		2.4			
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz注3	基本動作	VDD = 5.0 V		2.1			
						VDD = 3.0 V		2.1			
				HS (高速メイン)モード 注5	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz注3	通常動作	VDD = 5.0 V		5.2		8.7
							VDD = 3.0 V		5.2		8.7
			f _{HOCO} = 32 MHz, f _{IH} = 32 MHz注3		通常動作	VDD = 5.0 V		4.8	8.1		
						VDD = 3.0 V		4.8	8.1		
			f _{HOCO} = 48 MHz, f _{IH} = 24 MHz注3		通常動作	VDD = 5.0 V		4.1	6.9		
						VDD = 3.0 V		4.1	6.9		
			f _{HOCO} = 24 MHz, f _{IH} = 24 MHz注3	通常動作	VDD = 5.0 V		3.8	6.3			
					VDD = 3.0 V		3.8	6.3			
			f _{HOCO} = 16 MHz, f _{IH} = 16 MHz注3	通常動作	VDD = 5.0 V		2.8	4.6			
					VDD = 3.0 V		2.8	4.6			
			LS (低速メイン)モード 注5	f _{HOCO} = 8 MHz, f _{IH} = 8 MHz注3	通常動作	VDD = 3.0 V		1.3	2.1		
						VDD = 2.0 V		1.3	2.1		
			LV (低電圧メイン)モード 注5	f _{HOCO} = 4 MHz, f _{IH} = 4 MHz注3	通常動作	VDD = 3.0 V		1.3	1.9		
						VDD = 2.0 V		1.3	1.9		
			HS (高速メイン)モード 注5	f _{MX} = 20 MHz注2, VDD = 5.0 V	通常動作	方形波入力 発振子接続		3.3	5.3		
								3.5	5.5		
				f _{MX} = 20 MHz注2, VDD = 3.0 V	通常動作	方形波入力 発振子接続		3.3	5.3		
								3.5	5.5		
				f _{MX} = 10 MHz注2, VDD = 5.0 V	通常動作	方形波入力 発振子接続		2	3.1		
								2.1	3.2		
f _{MX} = 10 MHz注2, VDD = 3.0 V	通常動作	方形波入力 発振子接続			2	3.1					
					2.1	3.2					
LS (低速メイン)モード 注5	f _{MX} = 8 MHz注2, VDD = 3.0 V	通常動作	方形波入力 発振子接続		1.2	1.9					
					1.2	2					
	f _{MX} = 8 MHz注2, VDD = 2.0 V	通常動作	方形波入力 発振子接続		1.2	1.9					
					1.2	2					
サブシステム・クロック 動作	f _{SUB} = 32.768 kHz注4 TA = -40 °C	通常動作	方形波入力 発振子接続		4.7	6.1					
					4.7	6.1					
	f _{SUB} = 32.768 kHz注4 TA = +25 °C	通常動作	方形波入力 発振子接続		4.7	6.1					
					4.7	6.1					
	f _{SUB} = 32.768 kHz注4 TA = +50 °C	通常動作	方形波入力 発振子接続		4.8	6.7					
					4.8	6.7					
f _{SUB} = 32.768 kHz注4 TA = +70 °C	通常動作	方形波入力 発振子接続		4.8	7.5						
				4.8	7.5						
f _{SUB} = 32.768 kHz注4 TA = +85 °C	通常動作	方形波入力 発振子接続		5.4	8.9						
				5.4	8.9						

(注、備考は次ページにあります。)

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード, LS（低速メイン）モード, LV（低電圧メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はRTCに流れる電流を含みます。

注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速システム・クロック、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1)設定時。

注5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS（高速メイン）モード： $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

LS（低速メイン）モード： $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$

LV（低電圧メイン）モード： $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$

備考1. fMX： 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO： 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH： 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB： サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25 °Cです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注6}	fHOCO = 64 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V	0.8	3.09	mA		
					VDD = 3.0 V	0.8	3.09			
				fHOCO = 32 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V	0.54	2.4			
					VDD = 3.0 V	0.54	2.4			
				fHOCO = 48 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V	0.62	2.4			
					VDD = 3.0 V	0.62	2.4			
				fHOCO = 24 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V	0.44	1.83			
					VDD = 3.0 V	0.44	1.83			
				fHOCO = 16 MHz, fIH = 16 MHz ^{注4}	VDD = 5.0 V	0.4	1.38			
					VDD = 3.0 V	0.4	1.38			
				LS (低速メイン)モード ^{注6}	fHOCO = 8 MHz, fIH = 8 MHz ^{注4}	VDD = 3.0 V	260		790	μA
					VDD = 2.0 V	260	790			
			LV (低電圧メイン)モード ^{注6}	fHOCO = 4 MHz, fIH = 4 MHz ^{注4}	VDD = 3.0 V	420	830	μA		
				VDD = 2.0 V	420	830				
			HS (高速メイン)モード ^{注6}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力 発振子接続	0.28 0.49	1.55 1.74	mA		
				fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力 発振子接続	0.28 0.49	1.55 1.74			
				fMX = 10 MHz ^{注3} , VDD = 5.0 V	方形波入力 発振子接続	0.19 0.3	0.86 0.93			
				fMX = 10 MHz ^{注3} , VDD = 3.0 V	方形波入力 発振子接続	0.19 0.3	0.86 0.93			
			LS (低速メイン)モード ^{注6}	fMX = 8 MHz ^{注3} , VDD = 3.0 V	方形波入力 発振子接続	95 145	640 680	μA		
				fMX = 8 MHz ^{注3} , VDD = 2.0 V	方形波入力 発振子接続	95 145	640 680			
			サブシステム・クロック動作	fSUB = 32.768 kHz ^{注5} , TA = -40 °C	方形波入力 発振子接続	0.25 0.44	0.57 0.76	μA		
				fSUB = 32.768 kHz ^{注5} , TA = 25 °C	方形波入力 発振子接続	0.3 0.49	0.57 0.76			
				fSUB = 32.768 kHz ^{注5} , TA = 50 °C	方形波入力 発振子接続	0.36 0.59	1.17 1.36			
				fSUB = 32.768 kHz ^{注5} , TA = 70 °C	方形波入力 発振子接続	0.49 0.72	1.97 2.16			
			fSUB = 32.768 kHz ^{注5} , TA = 85 °C	方形波入力 発振子接続	0.97 1.16	3.37 3.56				
			fSUB = 32.768 kHz ^{注5} , TA = 85 °C	方形波入力 発振子接続	0.97 1.16	3.37 3.56				
			IDD3	STOP モード ^{注7}	TA = -40 °C		0.18	0.51	μA	
					TA = +25 °C		0.24	0.51		
					TA = +50 °C		0.29	1.1		
					TA = +70 °C		0.41	1.9		
			TA = +85 °C		0.9	3.3				

(注, 備考は次ページにあります。)

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, A/Dコンバータ, D/Aコンバータ, コンパレータ, LVD回路, I/Oポート, 内蔵ブルアップ/ブルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALTモード時はRTCに流れる電流を含みます。
- STOPモード時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注4. 高速システム・クロック, サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振(AMPHS1 = 1)設定時。
- 注6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$
- LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
- 備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)
- 備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, TA = 25 °Cです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC動作電流	IRTC注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	IIT注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC注1, 6	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	0.7	
A/Dコンバータ基準電圧電流	IADREF注1				75.0		μA
温度センサ動作電流	ITMPS注1				75.0		μA
D/Aコンバータ動作電流	IDAC注1, 11	1チャンネル当たり				1.5	mA
PGA動作電流		動作時			480	700	μA
コンパレータ動作電流	ICMP注1, 12	動作時 (コンパレータ1チャンネルあたり, CMP用定電流は含める)	内蔵基準電圧未使用時		50	100	μA
			内蔵基準電圧使用時		60	110	
LVD動作電流	ILVD注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP注1, 9				2.50	12.20	mA
BGO電流	IBGO注1, 8				2.50	12.20	mA
SNOOZE動作電流	ISNOZ注1	ADC動作	モード遷移中注10		0.50	0.60	mA
			変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V		1.20	1.44	
		簡易SPI (CSI) /UART動作			0.70	0.84	
		DTC動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

注3. リアルタイム・クロック (RTC)にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, IDD1またはIDD2にIRTCを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注8. データ・フラッシュ書き換え時に流れる電流です。
- 注9. セルフ・プログラミング時に流れる電流です。
- 注10. SNOOZEモードへの移行時間は、26.3.3 SNOOZEモードを参照してください。
- 注11. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考2. f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考3. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
- 備考4. TYP.値の温度条件は、TA = 25 °Cです。

37.4 AC特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック (fMAIN)動作	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
			LV (低電圧メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.25		1	μs
			サブシステム・クロック (fSUB)動作	1.8 V ≤ VDD ≤ 5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミ ング時	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
			LV (低電圧メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.25		1	μs
		外部システム・ クロック周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V			1.0	
2.4 V ≤ VDD < 2.7 V				1.0		16.0	MHz	
1.8 V ≤ VDD < 2.4 V				1.0		8.0	MHz	
1.6 V ≤ VDD < 1.8 V				1.0		4.0	MHz	
fEXS				32		35	kHz	
外部システム・ クロック入力 ハイ、ロウ・ レベル幅	tEXH, tEXL	2.7 V ≤ VDD ≤ 5.5 V			24			ns
		2.4 V ≤ VDD < 2.7 V			30			ns
		1.8 V ≤ VDD < 2.4 V			60			ns
		1.6 V ≤ VDD < 1.8 V			120			ns
	tEXHS, tEXLS				13.7			μs
Ti00-Ti03入力ハイ・ レベル幅、ロウ・レベ ル幅	tTIH, tTIL				1/fmck + 10注			ns
タイマRJ入力 サイクル	tc	TRJIO		2.7 V ≤ EVDD0 ≤ 5.5 V	100			ns
				1.8 V ≤ EVDD0 < 2.7 V	300			ns
				1.6 V ≤ EVDD0 < 1.8 V	500			ns
タイマRJ入力 ハイ・レベル幅, ロウ・レベル幅	tTJH, tTJL	TRJIO		2.7 V ≤ EVDD0 ≤ 5.5 V	40			ns
				1.8 V ≤ EVDD0 < 2.7 V	120			ns
				1.6 V ≤ EVDD0 < 1.8 V	200			ns

注 EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

1.8 V ≤ EVDD0 ≤ 2.7 V : MIN. 125 ns

1.6 V ≤ EVDD0 < 1.8 V : MIN. 250 ns

備考 fmck : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0, 1),

n : チャンネル番号(n = 0-3))

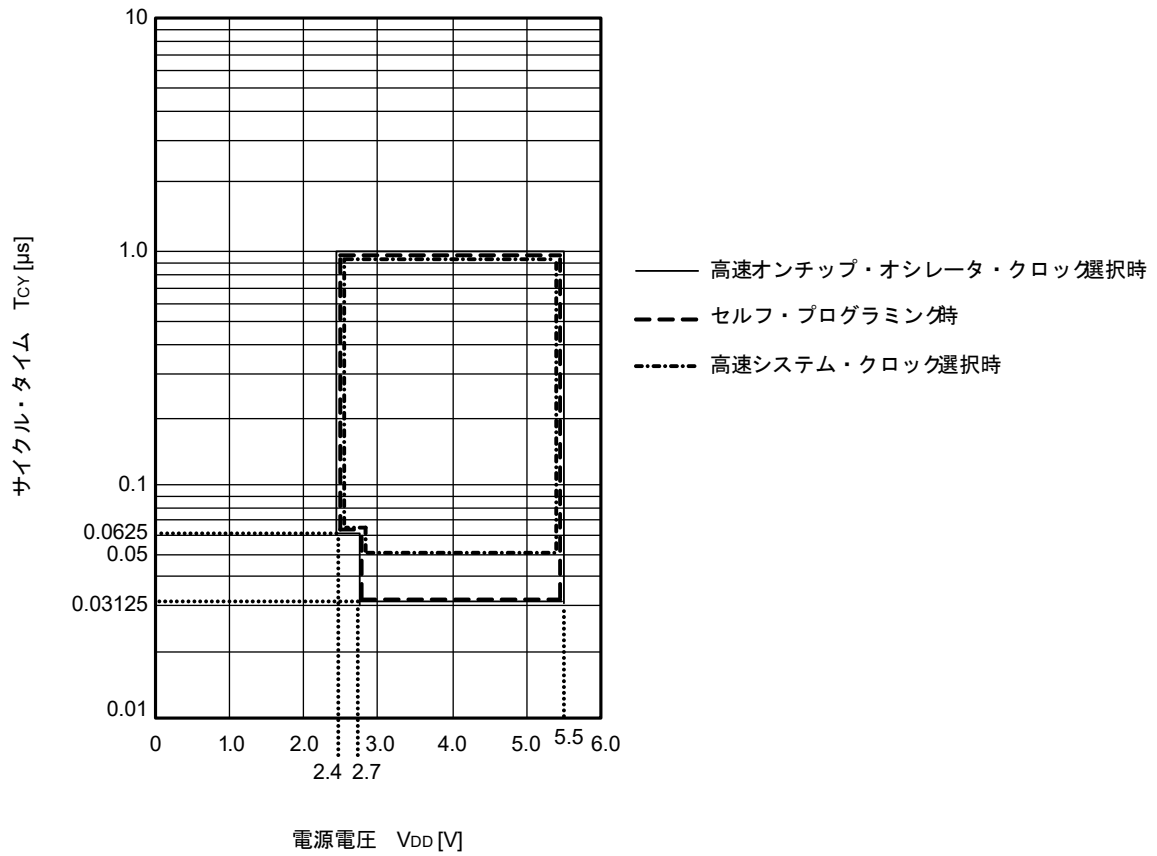
(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

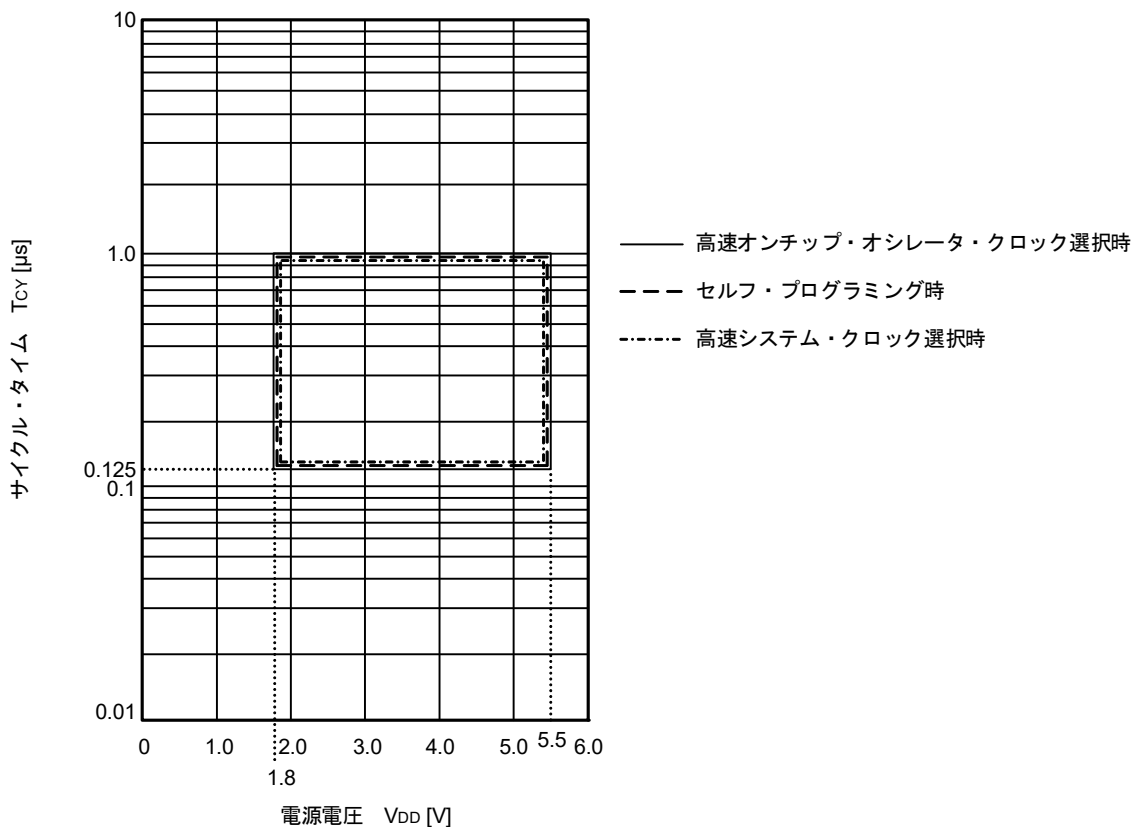
項目	略号	条件		MIN.	TYP.	MAX.	単位
タイマRD入力ハイ・レベル幅, ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/fCLK			ns
タイマRD強制遮断信号入力 ロウ・レベル幅	ttDSIL	P130/INTP0	2MHz < fCLK ≤ 32 MHz	1			μs
			fCLK ≤ 2 MHz	1/fCLK + 1			
タイマRG入力ハイ・レベル幅, ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TRJIO0, TRJO0, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRGIOA, TRGIOB出力周波数	fTO	HS (高速メイン)モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LS (低速メイン)モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
LV (低電圧メイン)モード	1.6 V ≤ EVDD0 ≤ 5.5 V			2	MHz		
PCLBUZ0, PCLBUZ1出力周波数	fPCL	HS (高速メイン)モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LS (低速メイン)モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LV (低電圧メイン)モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0	1.6 V ≤ VDD ≤ 5.5 V	1			μs
		INTP1-INTP11	1.6 V ≤ EVDD0 ≤ 5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7	1.8 V ≤ EVDD0 ≤ 5.5 V	250			ns
			1.6 V ≤ EVDD0 < 1.8 V	1			μs
RESETロウ・レベル幅	tRSL			10			μs

メイン・システム・クロック動作時の最小命令実行時間

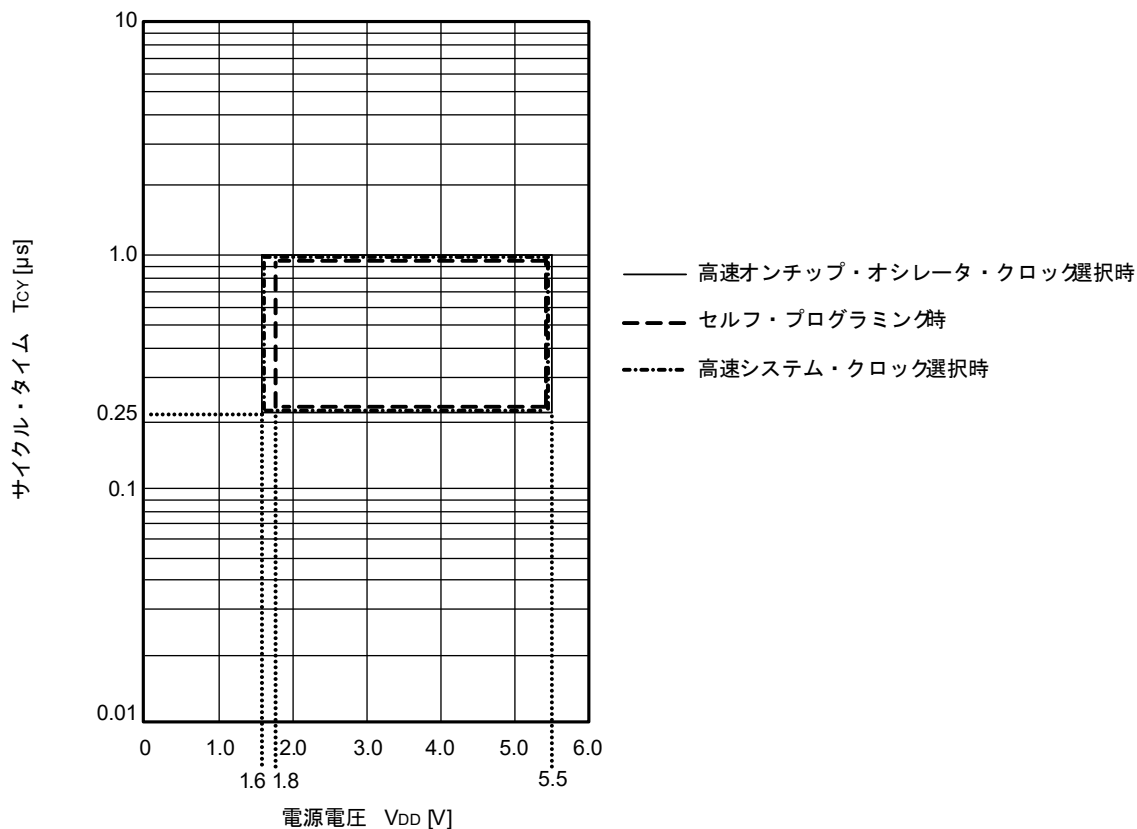
Tcy vs VDD (HS (高速メイン)モード)



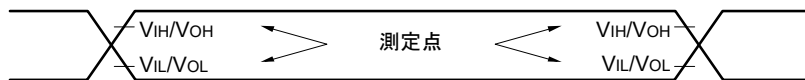
Tcy vs VDD (LS (低速メイン)モード)



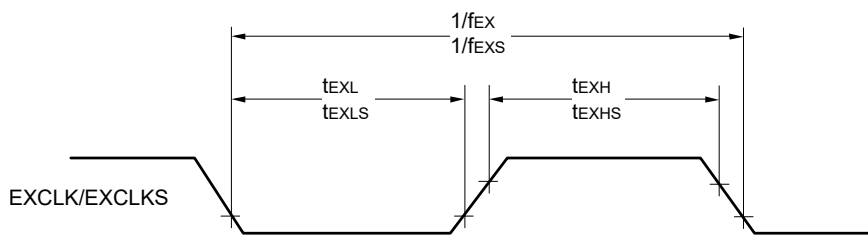
Tcy vs VDD (LV (低電圧メイン)モード)



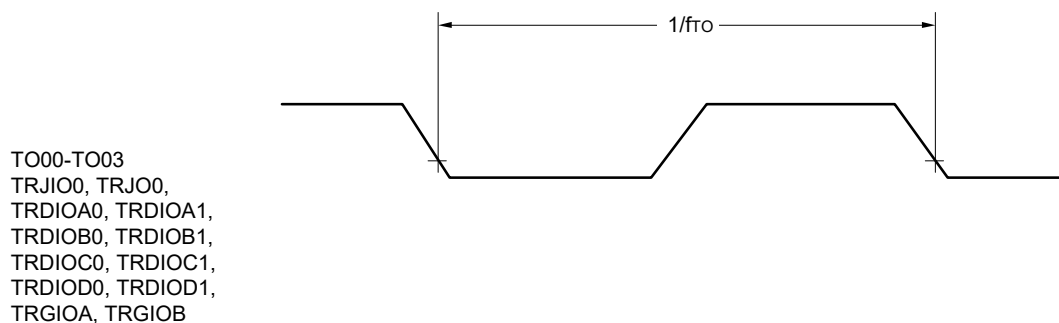
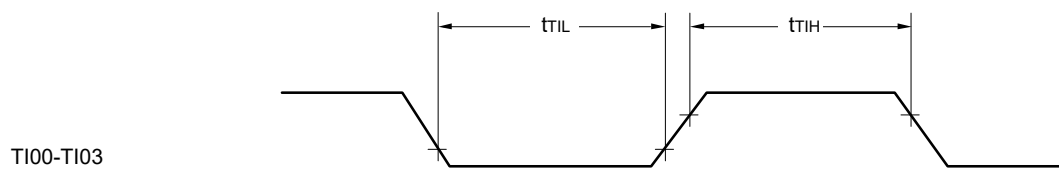
AC タイミング測定点



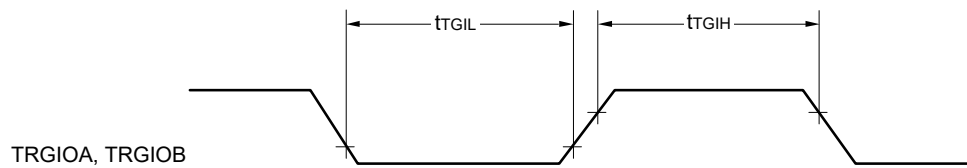
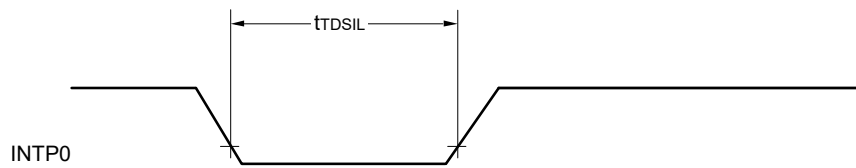
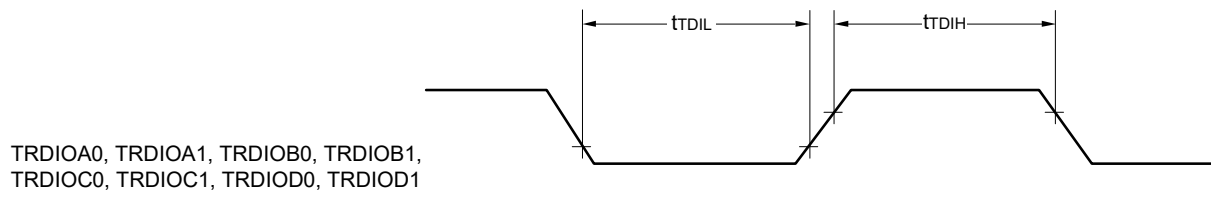
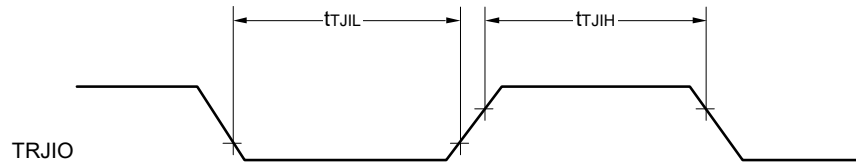
外部システム・クロック・タイミング



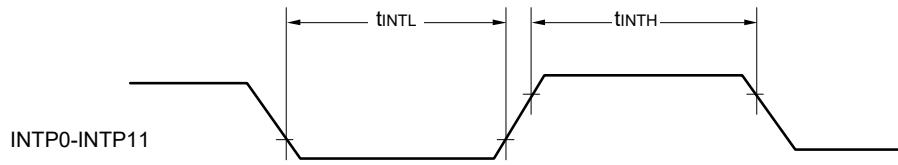
TI/TO タイミング



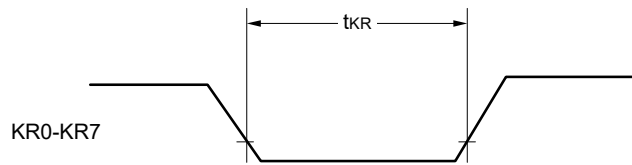
TO00-TO03
 TRJIO0, TRJIO1,
 TRDIOA0, TRDIOA1,
 TRDIOB0, TRDIOB1,
 TRDIOC0, TRDIOC1,
 TRDIOD0, TRDIOD1,
 TRGIOA, TRGIOB



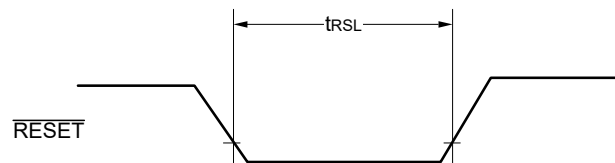
割り込み要求入カタイミング



キー割り込み入カタイミング

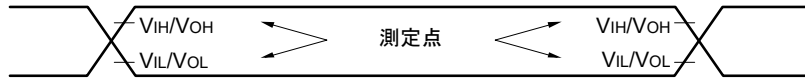


$\overline{\text{RESET}}$ 入カタイミング



37.5 周辺機能特性

ACタイミング測定点



37.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.4 V ≤ EVDD0 ≤ 5.5 V		fMCK/6注2		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		5.3		1.3		0.6	Mbps
		1.8 V ≤ EVDD0 ≤ 5.5 V		fMCK/6注2		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		5.3		1.3		0.6	Mbps
		1.7 V ≤ EVDD0 ≤ 5.5 V		fMCK/6注2		fMCK/6注2		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		5.3		1.3		0.6	Mbps
	1.6 V ≤ EVDD0 ≤ 5.5 V		—		fMCK/6注2		fMCK/6	bps	
	最大転送レート理論値 fMCK = fCLK注3		—		1.3		0.6	Mbps	

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V : MAX. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V : MAX. 1.3 Mbps

1.6 V ≤ EVDD0 < 1.8 V : MAX. 0.6 Mbps

注3. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード : 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

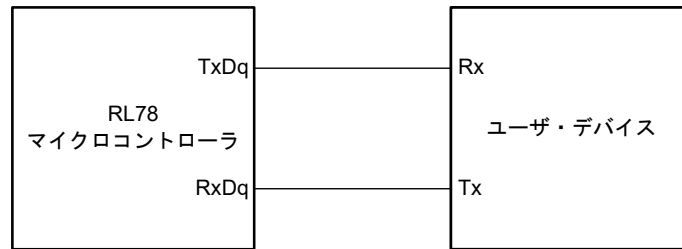
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

LS (低速メイン)モード : 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

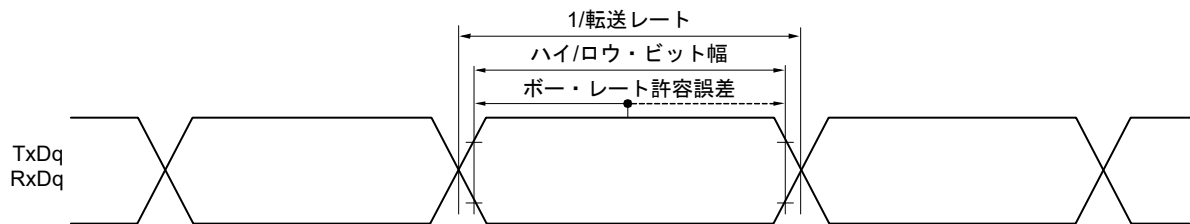
LV (低電圧メイン)モード : 4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART番号 (q = 0-2), g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 2/fCLK	4.0 V ≤ EVDD0 ≤ 5.5 V	62.5		250		500		ns
			2.7 V ≤ EVDD0 ≤ 5.5 V	83.3		250		500		ns
SCKpハイ, ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 7		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slpセットアップ時間 (対SCKp↑)注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V		23		110		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		33		110		110		ns
Slpホールド時間 (対SCKp↑)注1	tkSH1	2.7 V ≤ EVDD0 ≤ 5.5 V		10		10		10		ns
SCKp↓→SOp出力 遅延時間注2	tkSO1	C = 20 pF注3			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは、SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

備考2. p: CSI番号(p = 00), m: ユニット番号(m = 0), n: チャネル番号(n = 0), g: PIM, POM番号(g = 1)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号(mn = 00))

(3) 同電位通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ EVDD0 ≤ 5.5 V	125		500		1000		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	250		500		1000		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	500		500		1000		ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1000		1000		1000		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1000		1000		ns
SCKpハイ, ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 12		tkCY1/2 - 50		tkCY1/2 - 50		ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		ns	
		2.4 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 38		tkCY1/2 - 50		tkCY1/2 - 50		ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 100		tkCY1/2 - 100		tkCY1/2 - 100		ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		tkCY1/2 - 100		tkCY1/2 - 100		ns	
Slpセットアップ時間 (対SCKp ↑)注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V	44		110		110		ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V	44		110		110		ns	
		2.4 V ≤ EVDD0 ≤ 5.5 V	75		110		110		ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V	110		110		110		ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V	220		220		220		ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		220		220		ns	
Slpホールド時間 (対SCKp ↑)注1	tkSI1	1.7 V ≤ EVDD0 ≤ 5.5 V	19		19		19		ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		19		19		ns	
SCKp ↓ → SOp出力 遅延時間注2	tkSO1	1.7 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3		25		25		25	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3		—		25		25	ns	

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 01, 10, 11, 20, 21), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),
g: PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号(mn = 00-03, 10, 11))

(4) 同電位通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム注4	tkcy2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	8/fMCK		—		—		ns
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		6/fMCK	ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	8/fMCK		—		—	ns	
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		6/fMCK	ns	
		2.4 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ500		6/fMCK かつ500		6/fMCK かつ500	ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ750		6/fMCK かつ750		6/fMCK かつ750	ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ1500		6/fMCK かつ1500		6/fMCK かつ1500	ns	
1.6 V ≤ EVDD0 ≤ 5.5 V		—		—		6/fMCK かつ1500	6/fMCK かつ1500	ns		
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V		tkcy2/2 - 7		tkcy2/2 - 7		tkcy2/2 - 7	ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkcy2/2 - 8		tkcy2/2 - 8		tkcy2/2 - 8	ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V		tkcy2/2 - 18		tkcy2/2 - 18		tkcy2/2 - 18	ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V		tkcy2/2 - 66		tkcy2/2 - 66		tkcy2/2 - 66	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		tkcy2/2 - 66		tkcy2/2 - 66	ns	
Slpセットアップ 時間(対SCKp ↑) 注1	tSIK2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30	ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30	ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 40		1/fMCK + 40		1/fMCK + 40	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		1/fMCK + 40		1/fMCK + 40	ns	
Slpホールド時間 (対SCKp ↑)注1	tkSI2	1.8 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31	ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 250		1/fMCK + 250		1/fMCK + 250	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		1/fMCK + 250		1/fMCK + 250	ns	
SCKp ↓ → SOp 出力遅延時間注2	tkSO2	C = 30 pF注3	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 44		2/fMCK + 110		2/fMCK + 110	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 75		2/fMCK + 110		2/fMCK + 110	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 100		2/fMCK + 110		2/fMCK + 110	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 220		2/fMCK + 220		2/fMCK + 220	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V		—		2/fMCK + 220		2/fMCK + 220	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは、SOp出力ラインの負荷容量です。

注4. SNOOZEモードでの転送レートは、MAX. 1 Mbpsです。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は通常入力バッファを選択し、SOp 端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),
g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号(mn = 00-03, 10, 11))

(4) 同電位通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

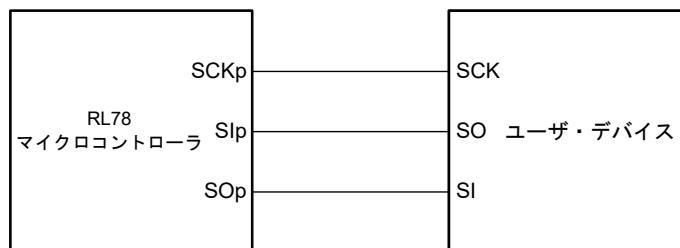
(2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SSI00セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	120		120		120		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	200		200		200		ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	400		400		400		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		400		400		ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1/fMCK + 400		1/fMCK + 400		ns
SSI00ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1/fMCK + 400		1/fMCK + 400		ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	120		120		120		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	200		200		200		ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	400		400		400		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		400		400		ns

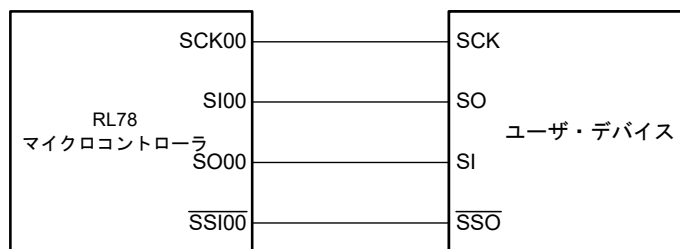
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0),
g : PIM, POM番号(g = 3, 5)

簡易SPI (CSI) モード接続図(同電位通信時)



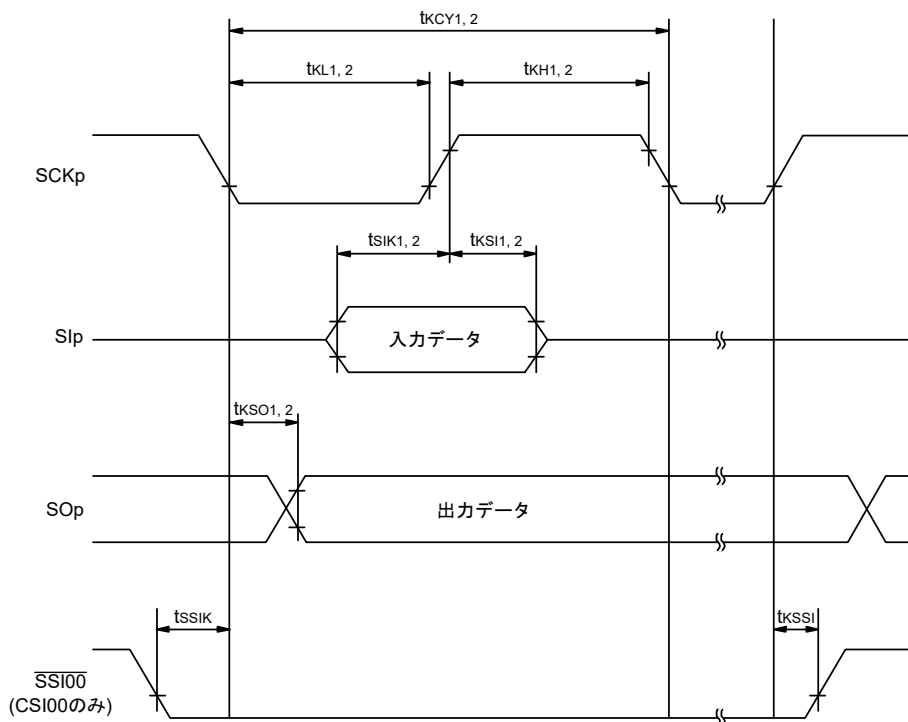
簡易SPI (CSI) モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



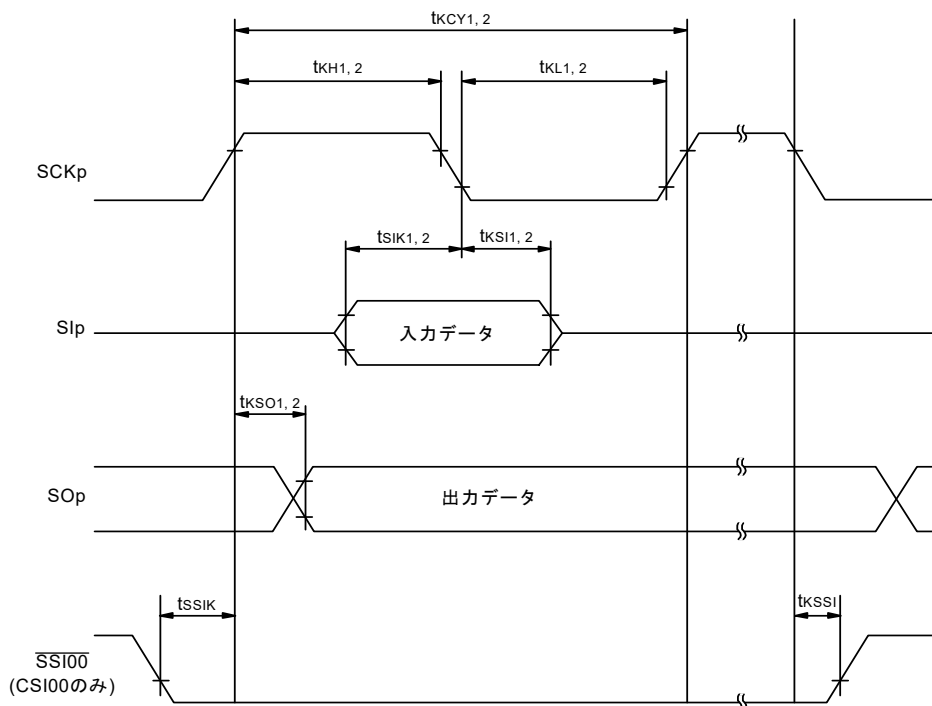
備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10, 11)

簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10, 11)

(5) 同電位通信時(簡易I²Cモード)(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fsCL	2.7 V ≤ EV _{DD0} ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000注1		400注1		400注1	kHz
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400注1		400注1		400注1	kHz
		1.8 V ≤ EV _{DD0} < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300注1		300注1		300注1	kHz
		1.7 V ≤ EV _{DD0} < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250注1		250注1		250注1	kHz
		1.6 V ≤ EV _{DD0} < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		—		250注1		250注1	kHz
SCLr = "L"の ホールド・タイム	tLOW	2.7 V ≤ EV _{DD0} ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EV _{DD0} < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EV _{DD0} < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EV _{DD0} < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns
SCLr = "H"の ホールド・タイム	tHIGH	2.7 V ≤ EV _{DD0} ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EV _{DD0} < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EV _{DD0} < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EV _{DD0} < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns

(注, 注意は次ページに, 備考は次々ページにあります。)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

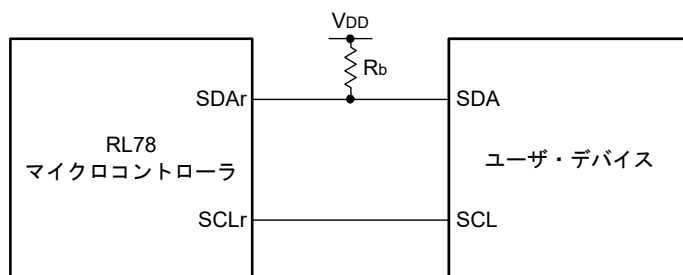
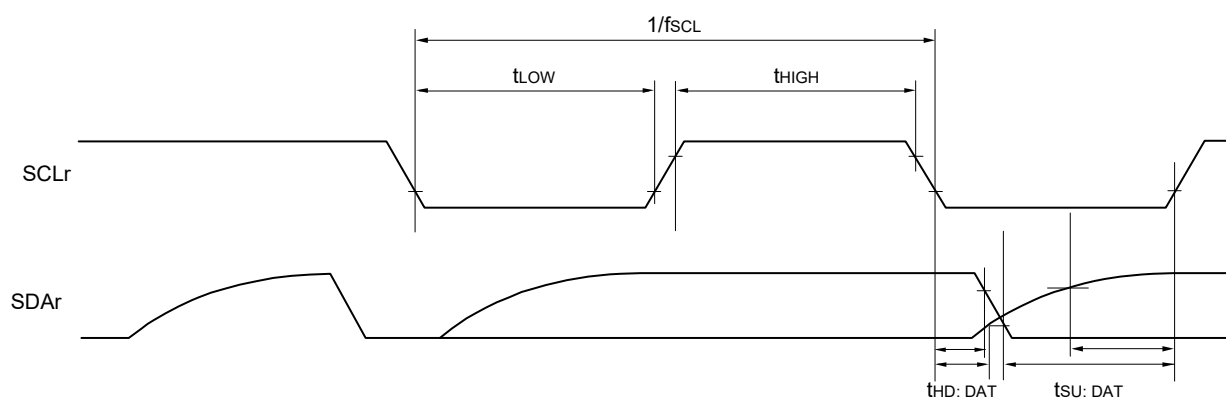
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セット アップ時間(受信時)	tsu: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fmck + 85注2		1/fmck + 145注2		1/fmck + 145注2		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fmck + 145注2		1/fmck + 145注2		1/fmck + 145注2		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fmck + 230注2		1/fmck + 230注2		1/fmck + 230注2		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/fmck + 290注2		1/fmck + 290注2		1/fmck + 290注2		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1/fmck + 290注2		1/fmck + 290注2		ns
データ・ホールド 時間(送信時)	thd: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		0	405	0	405	ns

注1. かつfmck/4以下に設定してください。

注2. fmck値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図(同電位通信時)簡易I²Cモード・シリアル転送タイミング(同電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr)プルアップ抵抗値, C_b [F]: 通信ライン(SCLr, SDAr)負荷容量値

備考2. r: IIC番号(r = 00, 01, 10, 11, 20, 21), g: PIM番号(g = 0, 1, 3, 5, 7),

h: POM番号(h = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),

mn = 00-03, 10, 11)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート	受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6 ^{注1}		fMCK/6 ^{注1}		fMCK/6 ^{注1}	bps
		最大転送レート理論値 fMCK = fCLK ^{注4}		5.3		1.3		0.6	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6 ^{注1}		fMCK/6 ^{注1}		fMCK/6 ^{注1}	bps
		最大転送レート理論値 fMCK = fCLK ^{注4}		5.3		1.3		0.6	Mbps
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 2, 3		fMCK/6 ^{注1, 2}		fMCK/6 ^{注1, 2}	bps
		最大転送レート理論値 fMCK = fCLK ^{注4}		5.3		1.3		0.6	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 ≥ Vbで使用してください。

注3. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V: MAX. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V: MAX. 1.3 Mbps

注4. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

LS (低速メイン)モード: 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

LV (低電圧メイン)モード: 4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モード)を選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-2), g: PIM, POM番号(g = 0, 1, 5, 7)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき、UART2の異電位通信は使用できません。

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート	送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2		2.8注2		2.8注2	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4		1.2注4		1.2注4	Mbps
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5, 6		注5, 6		注5, 6	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7		0.43注7		0.43注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. EVDD0 ≥ Vbで使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V \leq EVDD0 < 3.3 V, 1.6 V \leq Vb \leq 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 [\%]$$

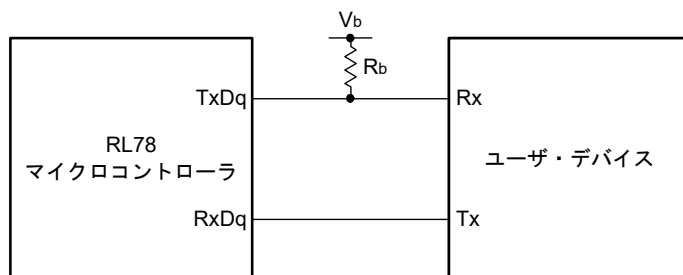
※この値は送信側と受信側の相対差の理論値となります。

注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

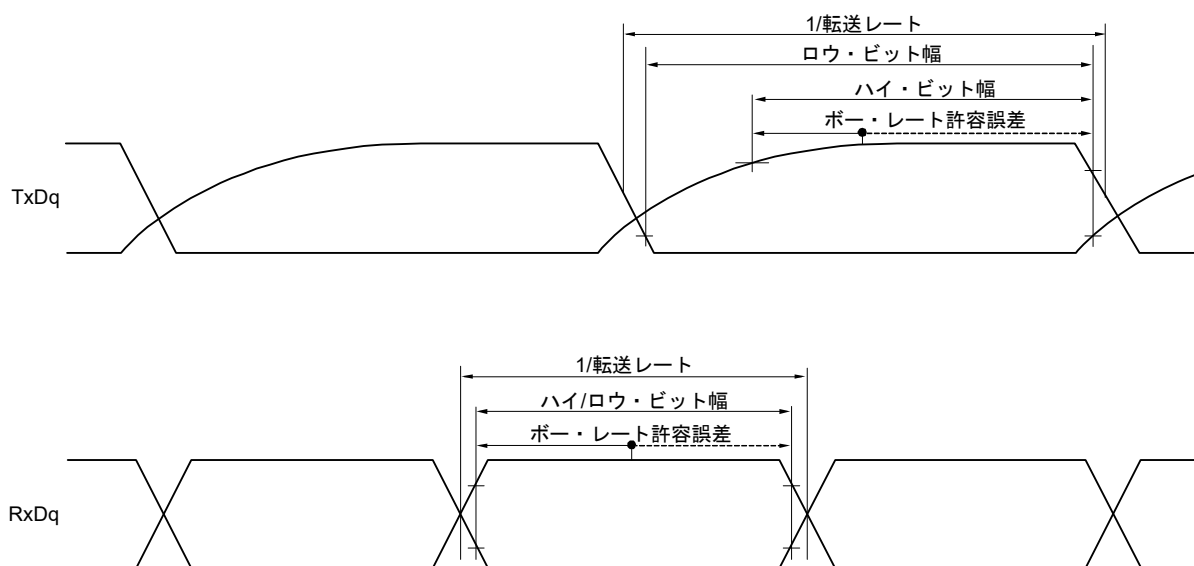
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モード)を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-2), g: PIM, POM番号(g = 0, 1, 5, 7)

備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき, UART2の異電位通信は使用できません。

(7) 異電位(2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力, CSI00のみ)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	tkCY1	tkCY1 ≥ 2/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200		1150		1150		ns
			300		1150		1150		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns
			tkCY1/2 - 120		tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 7		tkCY1/2 - 50		tkCY1/2 - 50		ns
			tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slp セットアップ時間 (対SCKp ↑)注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	58		479		479		ns
			121		479		479		ns
Slp ホールド時間 (対SCKp ↑)注1	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
			10		10		10		ns
SCKp ↓ → SOp 出力遅延時間注1	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		60		60		60	ns
				130		130		130	ns

(注, 注意, 備考は次ページにあります。)

(7) 異電位(2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力, CSI00のみ)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓)注2	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	23		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	33		110		110		ns
Slpホールド時間 (対SCKp ↓)注2	tSIH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↑ → SOp出力遅延時 間注2	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合) / EVDD耐圧(64, 36ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

備考1. Rb [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, Cb [F]: 通信ライン(SCKp, SOp)負荷容量値, Vb [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00), m: ユニット番号(m = 0), n: チャネル番号(n = 0), g: PIM, POM番号(g = 3, 5)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00))

備考4. この値は, CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		1150		1150		ns
			500		1150		1150		ns
			1150		1150		1150		ns
SCKpハイ・ レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 75		tkCY1/2 - 75		tkCY1/2 - 75		ns
			tkCY1/2 - 170		tkCY1/2 - 170		tkCY1/2 - 170		ns
			tkCY1/2 - 458		tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKpロウ・ レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 12		tkCY1/2 - 50		tkCY1/2 - 50		ns
			tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		ns
			tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns

注 EVDD0 ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↑)注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
Slpホールド時間 (対SCKp ↑)注1	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↓ → SOp出力遅延 時間注1	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. EVDD0 ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合) / EVDD耐圧(64, 36ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓)注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		110		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
Slpホールド時間 (対SCKp ↓)注1	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↑ → SOp出力遅延 時間注1	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

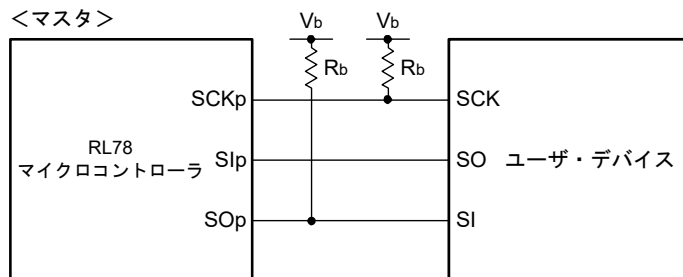
注1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注2. EVDD0 ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合) / EVDD耐圧(64, 36ピン製品の場合)モード)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI番号(p = 00, 01, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),

g : PIM, POM番号(g = 0, 1, 3, 5, 7)

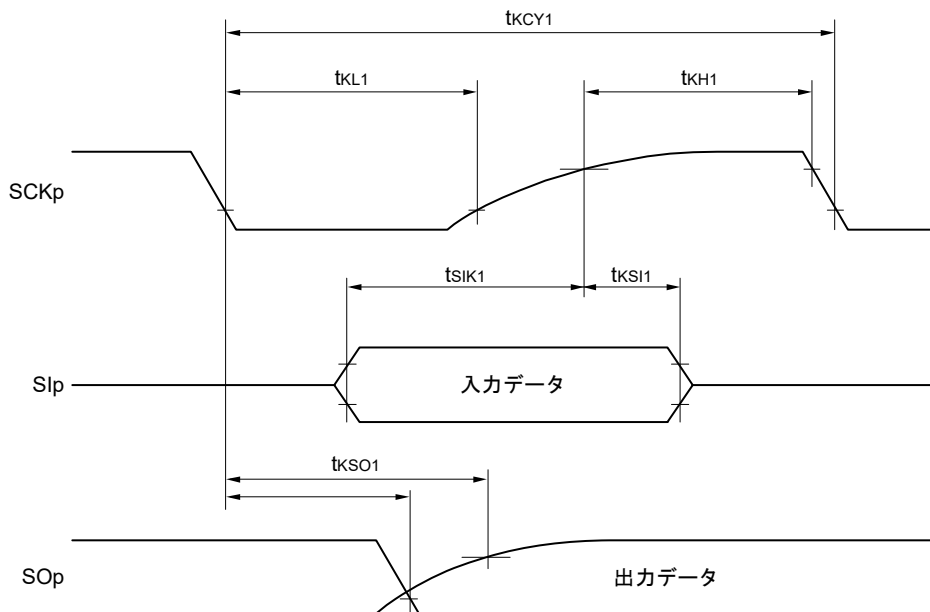
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

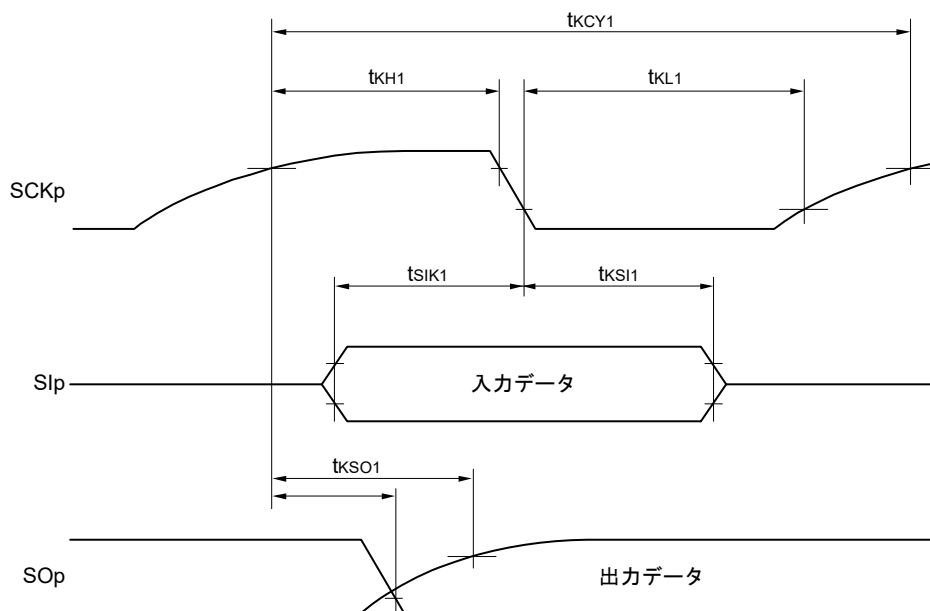
n : チャネル番号(mn = 00))

備考4. CSI11, CSI21と、48, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21と、48, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用して
ください。

(9) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

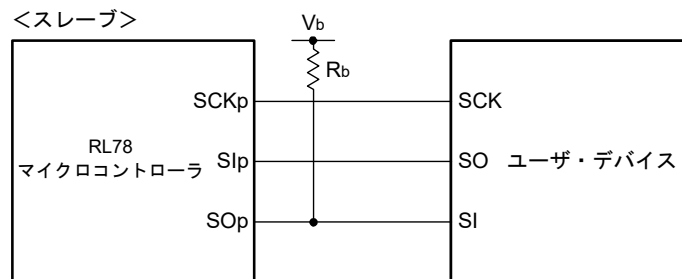
(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位				
				モード		モード		モード						
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.					
SCKpサイクル・ タイム注1	tkcy2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	14/fMCK	—	—	—	—	ns					
			20 MHz < fMCK ≤ 24 MHz	12/fMCK	—	—	—	ns						
			8 MHz < fMCK ≤ 20 MHz	10/fMCK	—	—	—	ns						
			4 MHz < fMCK ≤ 8 MHz	8/fMCK	16/fMCK	—	—	ns						
			fMCK ≤ 4 MHz	6/fMCK	10/fMCK	10/fMCK	—	ns						
	2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	24 MHz < fMCK	20/fMCK	—	—	—	ns							
			20 MHz < fMCK ≤ 24 MHz	16/fMCK	—	—	ns							
			16 MHz < fMCK ≤ 20 MHz	14/fMCK	—	—	ns							
			8 MHz < fMCK ≤ 16 MHz	12/fMCK	—	—	ns							
			4 MHz < fMCK ≤ 8 MHz	8/fMCK	16/fMCK	—	ns							
	1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	24 MHz < fMCK	48/fMCK	—	—	—	ns							
			20 MHz < fMCK ≤ 24 MHz	36/fMCK	—	—	ns							
			16 MHz < fMCK ≤ 20 MHz	32/fMCK	—	—	ns							
			8 MHz < fMCK ≤ 16 MHz	26/fMCK	—	—	ns							
			4 MHz < fMCK ≤ 8 MHz	16/fMCK	16/fMCK	—	ns							
fMCK ≤ 4 MHz	10/fMCK	10/fMCK	10/fMCK	10/fMCK	—	ns								
							SCKpハイ, ロウ・ レベル幅	tkcy2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		tkcy2/2 - 12	tkcy2/2 - 50	tkcy2/2 - 50	ns
									2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		tkcy2/2 - 18	tkcy2/2 - 50	tkcy2/2 - 50	ns
									1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		tkcy2/2 - 50	tkcy2/2 - 50	tkcy2/2 - 50	ns
							Slpセットアップ 時間(対SCKp ↑) 注3	tsik2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		1/fMCK + 20	1/fMCK + 30	1/fMCK + 30	ns
2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		1/fMCK + 20	1/fMCK + 30	1/fMCK + 30	ns									
1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		1/fMCK + 30	1/fMCK + 30	1/fMCK + 30	ns									
Slpホールド時間 (対SCKp ↑)注3	tkSi2			1/fMCK + 31	1/fMCK + 31	1/fMCK + 31	ns							
SCKp ↓ → Sop 出力遅延時間注4	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 120	2/fMCK + 573	2/fMCK + 573	ns							
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 214	2/fMCK + 573	2/fMCK + 573	ns							
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rv = 5.5 kΩ		2/fMCK + 573	2/fMCK + 573	2/fMCK + 573	ns							

(注, 注意, 備考は次ページにあります。)

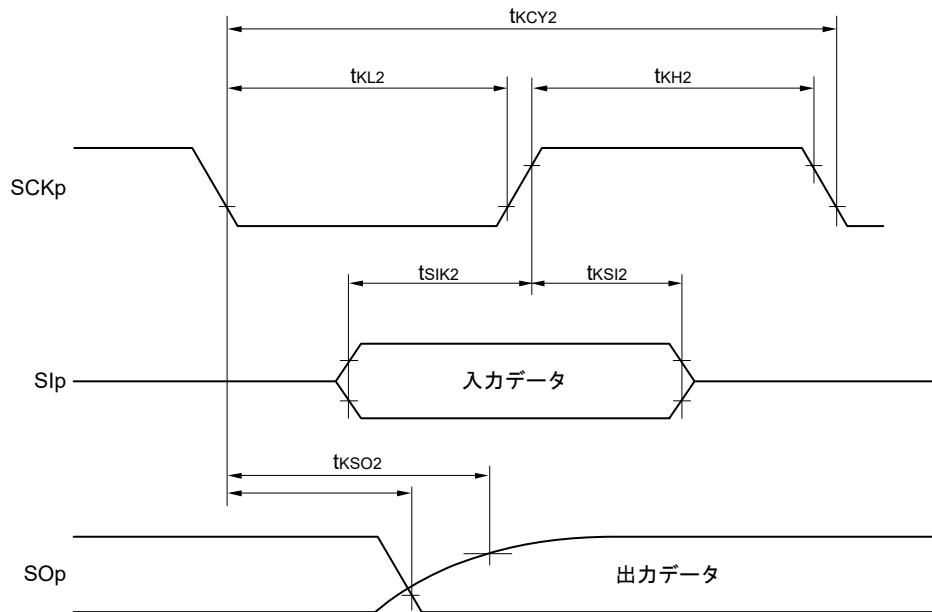
- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. $EV_{DD0} \geq V_b$ で使用してください。
- 注3. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対SCKp ↓”となります。
- 注4. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧 (48, 32, 24 ピン製品の場合) / EV_{DD} 耐圧 (64, 36 ピン製品の場合) モード) を選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI (CSI) モード接続図 (異電位通信時)

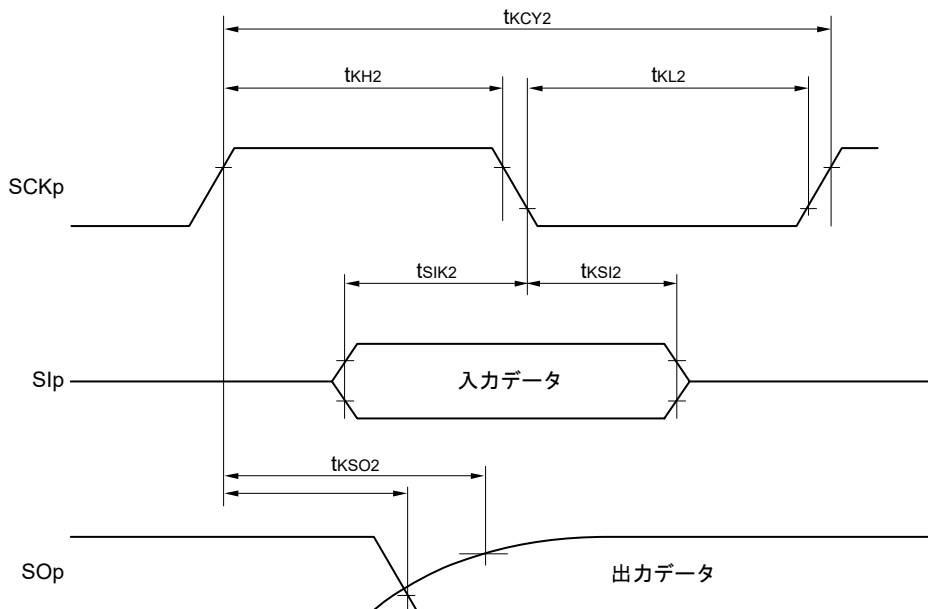


- 備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値, V_b [V]: 通信ライン電圧
- 備考2. p: CSI番号(p = 00, 01, 10, 20), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),
g: PIM, POM番号(g = 0, 1, 3, 5, 7)
- 備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号(mn = 00, 01, 02, 10))
- 備考4. CSI11, CSI21と、48, 64ピン製品CSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。
また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21と、48, 64ピン製品CSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(10) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fsCL	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000注1		300注1		300注1	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000注1		300注1		300注1	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400注1		300注1		300注1	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400注1		300注1		300注1	kHz
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ		300注1		300注1		300注1	kHz
SCLr = "L" のホールド・ タイム	tLOW	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H" のホールド・ タイム	tHIGH	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		610		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		610		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns

(10)異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ 時間(受信時)	tsu: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135注3		1/fMCK + 190注3		1/fMCK + 190注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135注3		1/fMCK + 190注3		1/fMCK + 190注3		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		1/fMCK + 190注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		1/fMCK + 190注3		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		1/fMCK + 190注3		ns
データ・ホールド 時間(送信時)	tHD: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

注1. かつfMCK/4以下に設定してください。

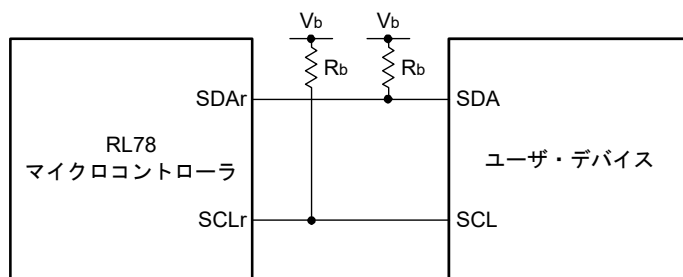
注2. EVDD0 ≥ Vbで使用してください。

注3. fMCK値は, SCLr = "L"とSCLr = "H"のホールド・タイムを越えない設定にしてください。

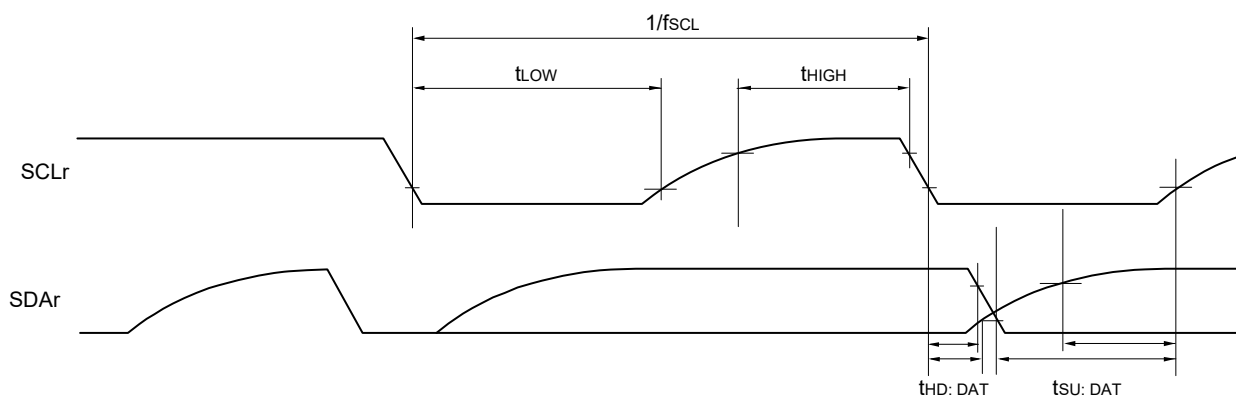
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モードを選択し, SCLrはN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)



簡易I²Cモード・シリアル転送タイミング(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F] : 通信ライン(SDAr, SCLr)負荷容量値, V_b [V] : 通信ライン電圧

備考2. r : IIC番号(r = 00, 01, 10, 11, 20), g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2), mn = 00, 01, 02, 10)

37.5.2 シリアル・インタフェース IICA

(1) I²C 標準モード(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCLA0クロック周波数	fsCL	標準モード : f _{CLK} ≥ 1 MHz	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.8 V ≤ EV _{DD0} ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.7 V ≤ EV _{DD0} ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.6 V ≤ EV _{DD0} ≤ 5.5 V	—		0	100	0	100	kHz
リスタート・コンディション のセットアップ時間	tsU: STA	2.7 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	—		4.7		4.7		μs	
ホールド時間注1	tHD: STA	2.7 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	—		4.0		4.0		μs	
SCLA0 = "L" のホールド・ タイム	tLOW	2.7 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	—		4.7		4.7		μs	
SCLA0 = "H" のホールド・ タイム	tHIGH	2.7 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	—		4.0		4.0		μs	

(注, 注意, 備考は次ページにあります。)

(1) I²C 標準モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間 (受信時)	tsu: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	250		250		250		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V	250		250		250		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V	250		250		250		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		250		250		ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.8 V ≤ EVDD0 ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.7 V ≤ EVDD0 ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		0	3.45	0	3.45	μs
ストップ・コンディションの セットアップ時間	tsu: STO	2.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.0		4.0		μs
パス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.7		4.7		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も, 上記の値を適用できます。

ただし, 端子特性(IoH1, IoL1, VoH1, VoL1)はリダイレクト先の値を満たしてください。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。

標準モード : Cb = 400 pF, Rb = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
			1.8 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
データ・セットアップ時間(受信時)	tSU: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
データ・ホールド時間(送信時)注2	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
バス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
- 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

注意 周辺I/Oリダイレクション・レジスタ0(PIOR0)のビット2(PIOR02)が1の場合も, 上記の値を適用できます。
ただし, 端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b(通信ライン容量)のMAX.値と, そのときのR_b(通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード: C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

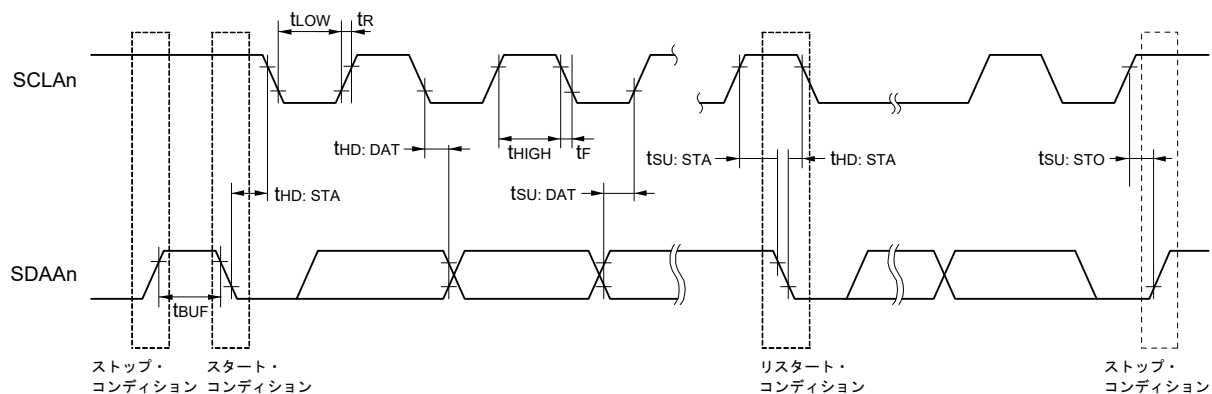
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz 2.7 V ≤ EVDD0 ≤ 5.5 V	0	1000	—	
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26		—	—	—	—	μs
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26		—	—	—	—	μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V	0.5		—	—	—	—	μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26		—	—	—	—	μs
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	50		—	—	—	—	ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	0	0.45	—	—	—	—	μs
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26		—	—	—	—	μs
パス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V	0.5		—	—	—	—	μs

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK (アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も, 上記の値を適用できます。
 ただし, 端子特性(IoH1, IoL1, VoH1, VoL1)はリダイレクト先の値を満たしてください。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
 ファースト・モード・プラス : Cb = 120 pF, Rb = 1.1 kΩ

I²C シリアル転送タイミング



備考 n = 0, 1

37.6 アナログ特性

37.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧 基準電圧(+) = AV _{REFP} 基準電圧(-) = AV _{REFM}	基準電圧(+) = V _{DD} 基準電圧(-) = V _{SS}	基準電圧(+) = V _{BGR} 基準電圧(-) = AV _{REFM}
ANI0-ANI7	37.6.1 (1)参照	37.6.1 (3)参照	37.6.1 (4)参照
ANI16-ANI24	37.6.1 (2)参照		
内部基準電圧 温度センサ出力電圧	37.6.1 (1)参照		

(1) 基準電圧(+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AV_{REFM}/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI2-ANI7, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85 °C, 1.6 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧(+) = AV_{REFP}, 基準電圧(-) = AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V	1.2	±3.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}	1.2	±7.0	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI2-ANI7 ^{注3}	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
			1.6 V ≤ V _{DD} ≤ 5.5 V	57	95	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625	39	μs
ゼロスケール誤差 ^{注1,2}	E _{ZS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±0.50	%FSR
フルスケール誤差 ^{注1,2}	E _{FS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±0.50	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±2.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±5.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±1.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±2.0	LSB
アナログ入力電圧	V _{AIN}	ANI2-ANI7	0		AV _{REFP}	V
		内部基準電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{BGR} ^{注5}	V
		温度センサ出力電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{TMPs25} ^{注5}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. AV_{REFP} < V_{DD}の場合, MAX.値は次のようになります。

総合誤差 : AV_{REFP} = V_{DD}のMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : AV_{REFP} = V_{DD}のMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差/微分直線性誤差 : AV_{REFP} = V_{DD}のMAX.値に±0.5 LSBを加算してください。

注4. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

注5. 37.6.2 温度センサ/内部基準電圧特性を参照してください。

(2) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI16-ANI24

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V,

基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能 EVDD0 ≤ AVREFP = VDD ^{注3,4}	1.8 V ≤ AVREFP ≤ 5.5 V		1.2	±5.0	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}		1.2	±8.5	LSB
変換時間	tCONV	10ビット分解能 変換対象 : ANI16-ANI24	3.6 V ≤ VDD ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ VDD ≤ 5.5 V	17		39	μs
			1.6 V ≤ VDD ≤ 5.5 V	57		95	μs
ゼロスケール誤差 ^{注1,2}	Ezs	10ビット分解能 EVDD0 ≤ AVREFP = VDD ^{注3,4}	1.8 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±0.60	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 EVDD0 ≤ AVREFP = VDD ^{注3,4}	1.8 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 EVDD0 ≤ AVREFP = VDD ^{注3,4}	1.8 V ≤ AVREFP ≤ 5.5 V			±3.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±6.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 EVDD0 ≤ AVREFP = VDD ^{注3,4}	1.8 V ≤ AVREFP ≤ 5.5 V			±2.0	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI24	0		AVREFP かつ EVDD0	V	

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. EVDD0 ≤ AVREFP < VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差/微分直線性誤差 : AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. AVREFP < EVDD0 ≤ VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±4.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : AVREFP = VDDのMAX.値に±0.20 %FSRを加算してください。

積分直線性誤差/微分直線性誤差 : AVREFP = VDDのMAX.値に±2.0 LSBを加算してください。

注5. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

(3) 基準電圧(+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = V_{SS} (ADREFM = 0)選択時,

変換対象 : ANI0-ANI7, ANI16-ANI24, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = 0 V, 基準電圧(+) = V_{DD}, 基準電圧(-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V	1.2	±7.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}	1.2	±10.5	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI0-ANI7, ANI16-ANI24	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
			1.6 V ≤ V _{DD} ≤ 5.5 V	57	95	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン)モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625	39	μs
ゼロスケール誤差 ^{注1,2}	EzS	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V		±0.60	%FSR
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}		±0.85	%FSR
フルスケール誤差 ^{注1,2}	Efs	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V		±0.60	%FSR
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}		±0.85	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V		±4.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}		±6.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V		±2.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}		±2.5	LSB
アナログ入力電圧	V _{AIN}	ANI0-ANI7	0		V _{DD}	V
		ANI16-ANI24	0		EV _{DD0}	V
		内部基準電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン)モード)			V _{BGR} ^{注4}	V
		温度センサ出力電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン)モード)			V _{TMP525} ^{注4}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

注4. 37.6.2 温度センサ/内部基準電圧特性を参照してください。

(4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI0, ANI2-ANI7, ANI16-ANI24

(TA = -40 ~ +85 °C, 2.4 V ≤ VDD ≤ 5.5 V, 1.6 V ≤ EVDD0 ≤ VDD, VSS = EVSS0 = 0 V,

基準電圧(+) = VBGR^{注3}, 基準電圧(-) = AVREFM^{注4} = 0 V, HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±1.0	LSB
アナログ入力電圧	VAIN			0		VBGR ^{注3}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 37.6.2 温度センサ/内部基準電圧特性を参照してください。

注4. 基準電圧(-) = VSSの場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.35 %FSRを加算してください。

積分直線性誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.5 LSBを加算してください。

微分直線性誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.2 LSBを加算してください。

37.6.2 温度センサ／内部基準電圧特性

(TA = -40 ~ +85 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = EVSS1 = 0 V, HS (高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	ADSレジスタ = 80H設定, TA = +25 °C		1.05		V
内部基準電圧	VBGR	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP		5			μs

37.6.3 D/Aコンバータ

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
		Rload = 8 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
セットリング・タイム	tSET	Cload = 20pF	2.7 V ≤ VDD ≤ 5.5 V		3	μs
			1.6 V ≤ VDD < 2.7 V		6	μs

37.6.4 コンパレータ

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOCOMP}			±5	±40	mV
入力電圧範囲	V _{ICMP}		0		V _{DD}	V
内蔵基準電圧偏差	ΔV _{IREF}	CmRVMレジスタ値 : 7FH-80H (m = 0-1)			±2	LSB
		上記以外			±1	LSB
応答時間	t _{CR} , t _{CF}	入力振幅±100mV		70	150	ns
動作安定時間 ^{注1}	t _{CMP}	CMPnEN = 0 → 1	V _{DD} = 3.3 ~ 5.5 V		1	μs
			V _{DD} = 2.7 ~ 3.3 V		3	μs
基準電圧安定待ち時間	t _{VR}	CVRE : 0 → 1 ^{注2}			20	μs
動作電流	ICMPDD	別途周辺機能の動作電流として定義				

注1. コンパレータの動作許可信号切り替え (CMPnEN=0 → 1) から、コンパレータがDC/AC特性を満足できる状態になるまでの時間。

注2. 内蔵基準電圧生成を動作許可 (CVREmビット = 1 : m = 0-1) し、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 (CnOEビット = 1 : n = 0-1) してください。

37.6.5 PGA

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOPGA}				±10	mV
入力電圧範囲	V _{IPGA}		0		0.9 × V _{DD} / 増幅率	V
出力電圧範囲	V _{IOHPGA}		0.93 × V _{DD}			V
	V _{IOPLPGA}				0.07 × V _{DD}	V
増幅率誤差		4倍, 8倍			±1	%
		16倍			±1.5	%
		32倍			±2	%
スルーレート	SR _{RPGA}	立ち上がり Vin = V _{DD} × 0.1 / 増幅率 ~ V _{DD} × 0.9 / 増幅率 出力振幅の10% ~ 90%	4.0 V ≤ V _{DD} ≤ 5.5V	32倍 以外	3.5	V/μs
			4.0 V ≤ V _{DD} ≤ 5.5V	32倍	3.0	
			2.7 V ≤ V _{DD} ≤ 4.0V		0.5	
	SR _{FPGA}	立ち下がり Vin = V _{DD} × 0.1 / 増幅率 ~ V _{DD} × 0.9 / 増幅率 出力振幅の90% ~ 10%	4.0 V ≤ V _{DD} ≤ 5.5V	32倍 以外	3.5	
			4.0 V ≤ V _{DD} ≤ 5.5V	32倍	3.0	
			2.7 V ≤ V _{DD} ≤ 4.0V		0.5	
動作安定待ち時間 ^{注1}	t _{PGA}	4倍, 8倍			5	μs
		16倍, 32倍			10	μs
動作電流	IPGADD	別途周辺機能の動作電流として定義				

注1. PGAの動作を許可 (PGAEN=1) してから、PGA動作のDC/AC特性を満足できる状態になるまでの時間。

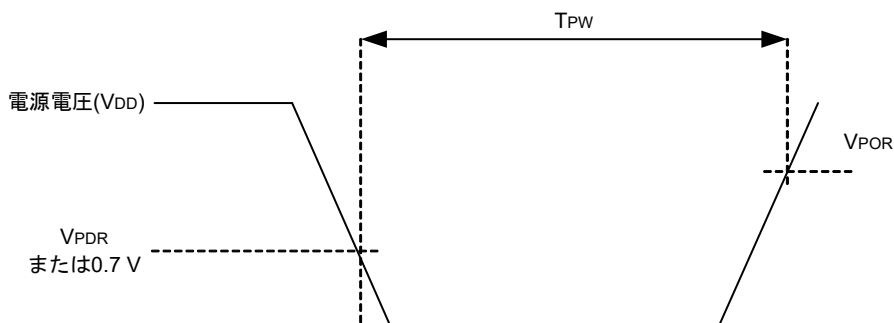
37.6.6 POR回路特性

(TA = -40 ~ +85 °C, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V _{PDR}	電源立ち下がり時注1	1.46	1.50	1.54	V
最小パルス幅注2	T _{PW}		300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、37.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能が外部リセット端子で、リセット状態にしてください。

注2. V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(f_{MAIN})を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



37.6.7 LVD回路特性

(1) リセット・モード, 割り込みモードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		VLVD1	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		VLVD11	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		VLVD12	電源立ち上がり時	1.74	1.77	1.81	V
			電源立ち下がり時	1.70	1.73	1.77	V
VLVD13	電源立ち上がり時	1.64	1.67	1.70	V		
	電源立ち下がり時	1.60	1.63	1.66	V		
最小パルス幅	tlw		300			μs	
検出遅延					300	μs	

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDA0	VPOC2, VPOC1, VPOC0 = 0, 0, 0, 立ち下がりリセット電圧	1.60	1.63	1.66	V	
	VLVDA1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がり割り込み電圧	1.70	1.73	1.77	V
	VLVDA2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
			立ち下がり割り込み電圧	1.80	1.84	1.87	V
	VLVDA3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDB0	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧	1.80	1.84	1.87	V	
	VLVDB1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.40	2.45	2.50	V	
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDC3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
			立ち下がり割り込み電圧	3.60	3.67	3.74	V
	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.81	V	
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	
VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V	
		立ち下がり割り込み電圧	3.90	3.98	4.06	V	

37.6.8 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

注意 VDDが37.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

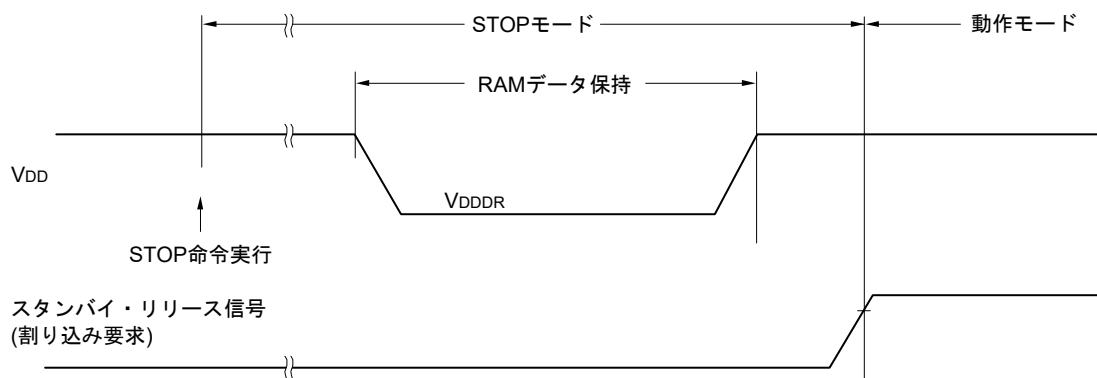
37.7 RAMデータ保持特性

(TA = -40 ~ +85 °C, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注1,2		5.5	V

注1. POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注2. 推奨動作電圧を下回る場合は、その前にSTOPモードへ移行してください。



37.8 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +85 °C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	1.8 V ≤ VDD ≤ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cenwr	保持年数 : 20年 TA = 85 °C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数 : 1年 TA = 25 °C		1,000,000		
		保持年数 : 5年 TA = 85 °C	100,000			
		保持年数 : 20年 TA = 85 °C	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

37.9 専用フラッシュ・メモリ・プログラマ通信(UART)

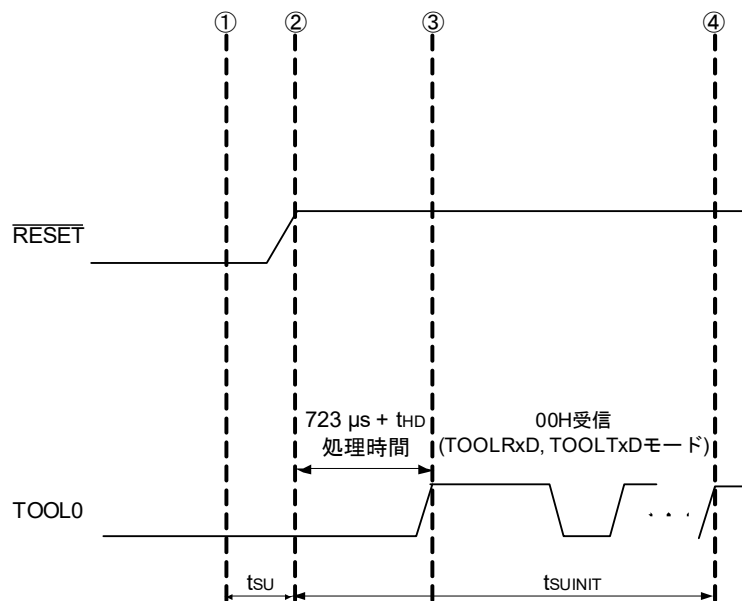
(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

37.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第38章 電気的特性(G: TA = -40 ~ +105 °C)

この章では、以下の対象製品の電気的特性を示します。

対象製品

G : 産業用途 TA=-40 ~ +105°C

R5F11BxxGxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. EVDD0, EVSS0端子がない製品は、EVDD0をVDDに、EVSS0をVSSに置き換えてください。

注意3. 製品により搭載している端子が異なります。2.1 ポート機能~2.2.1 製品別の搭載機能を参照してください。

注意4. TA = +85 °C ~ +105 °Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

備考 G: 産業用途品をTA = -40 ~ +85 °Cの範囲で使用する場合は、第37章 電気的特性(TA = -40 ~ +85 °C)を参照してください。

“G: 産業用途 (TA = -40 ~ +105 °C)”は、85°Cを超えて使用する場合には、“A: 民生用途” と次に示す機能が異なります。

用途区分	A : 民生用途	G : 産業用途
動作周囲温度	TA = -40 ~ +85 °C	TA = -40 ~ +105 °C
動作モード 動作電圧範囲	HS (高速メイン)モード : 2.7 V ≤ V _{DD} ≤ 5.5 V @ 1 MHz ~ 32 MHz 2.4 V ≤ V _{DD} ≤ 5.5 V @ 1 MHz ~ 16 MHz LS (低速メイン)モード : 1.8 V ≤ V _{DD} ≤ 5.5 V @ 1 MHz ~ 8 MHz LV (低電圧メイン)モード : 1.6 V ≤ V _{DD} ≤ 5.5 V @ 1 MHz ~ 4 MHz	HS (高速メイン)モードのみ : 2.7 V ≤ V _{DD} ≤ 5.5 V @ 1 MHz ~ 32 MHz 2.4 V ≤ V _{DD} ≤ 5.5 V @ 1 MHz ~ 16 MHz
高速オンチップ・オシレータ・ クロック精度	1.8 V ≤ V _{DD} ≤ 5.5 V : ±1.0% @ TA = -20 ~ +85 °C ±1.5% @ TA = -40 ~ -20 °C 1.6 V ≤ V _{DD} < 1.8 V : ±5.0% @ TA = -20 ~ +85 °C ±5.5% @ TA = -40 ~ -20 °C	2.4 V ≤ V _{DD} ≤ 5.5 V : ±2.0% @ TA = +85 ~ +105 °C ±1.0% @ TA = -20 ~ +85 °C ±1.5% @ TA = -40 ~ -20 °C
シリアル・アレイ・ユニット	UART 簡易SPI (CSI) : f _{CLK} /2 (16Mbps対応), f _{CLK} /4 簡易I ² C	UART 簡易SPI (CSI) : f _{CLK} /4 簡易I ² C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	• 立ち上がり : 1.67 V ~ 4.06 V (14段階) • 立ち下がり : 1.63 V ~ 3.98 V (14段階)	• 立ち上がり : 2.61 V ~ 4.06 V (8段階) • 立ち下がり : 2.55 V ~ 3.98 V (8段階)

備考 G : 産業用途 (Ta = -40 ~ +105 °C) を 85°C を超えて使用する場合は、A : 民生用途のものとは異なります。詳細は次頁以降38.1 ~ 38.10を参照してください。

38.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0		-0.5 ~ +6.5	V
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD + 0.3注1	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3注2	V
出力電圧	Vo1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	Vo2	P20-P27	-0.3 ~ VDD + 0.3注2	V
アナログ入力電圧	VAi1	ANI16-ANI24	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREF(+) + 0.3注2,3	V
	VAi2	ANI0-ANI7	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3注2,3	V

注1. REGC 端子にはコンデンサ(0.47 ~ 1 μ F)を介してVssに接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREF(+) + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF(+): A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	-40	mA
		端子合計	P00-P04, P40-P43, P120, P130, P140, P141	-70	mA
		-170 mA	P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147	-100	mA
	IOH2	1端子	P20-P27	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	40	mA
		端子合計	P00-P04, P40-P47, P120, P130, P140, P141	70	mA
		170 mA	P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147	100	mA
	IOL2	1端子	P20-P27	1	mA
		端子合計		5	mA
	動作周囲温度	TA	通常動作時		-40 ~ + 105
フラッシュ・メモリ・プログラミング時					
保存温度	T _{stg}			-65 ~ + 150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

38.2 発振回路特性

38.2.1 X1, XT1特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数(fx)注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
XT1クロック発振周波数(fXT)注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

38.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1,2	fIH	2.7 V ≤ VDD ≤ 5.5 V	1		32	MHz
		2.4 V ≤ VDD ≤ 2.7 V	1		16	MHz
高速オンチップ・オシレータ・クロック周波数精度		TA = +85 ~ +105 °C	-2		2	%
		TA = -20 ~ +85 °C	-1		1	%
		TA = -40 ~ -20 °C	-1.5		1.5	%
低速オンチップ・オシレータ・クロック周波数	fIL			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

38.3 DC特性

38.3.1 端子特性

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子			-3.0 ^{注2}	mA	
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70% ^{時注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-30.0	mA
			2.7 V ≤ EVDD0 < 4.0 V			-10.0	mA
			2.4 V ≤ EVDD0 < 2.7 V			-5.0	mA
		P05, P06, P10-P17, P30, P31, P50-P53, P70-P77, P146, P147 合計 (デューティ ≤ 70% ^{時注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-30.0	mA
			2.7 V ≤ EVDD0 < 4.0 V			-19.0	mA
	2.4 V ≤ EVDD0 < 2.7 V				-10.0	mA	
	全端子合計 (デューティ ≤ 70% ^{時注3})				-60.0	mA	
	IOH2	P20-P27 端子				-0.1 ^{注2}	mA
		全端子合計 (デューティ ≤ 70% ^{時注3})	2.4 V ≤ VDD ≤ 5.5 V			-1.5	mA

注1. EVDD0, VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (\text{IOH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43, P50-P55, P71, P74は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子			8.5 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70% ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		40.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			2.4 V ≤ EVDD0 < 2.7 V		9.0	mA
		P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147 合計 (デューティ ≤ 70% ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		40.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
	2.4 V ≤ EVDD0 < 2.7 V			20.0	mA	
	全端子合計 (デューティ ≤ 70% ^{注3})			80.0	mA	
	IOL2	P20-P27 1端子			0.4 ^{注2}	mA
全端子合計 (デューティ ≤ 70% ^{注3})		2.4 V ≤ VDD ≤ 5.5 V		5.0	mA	

注1. 出力端子からEVSS0, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P14-P17, P30, P43, P50, P53-P55	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 2.4 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27 (P20 : PORT機能とするとき)		0.7 VDD		VDD	V
	VIH4	P60-P63		0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$ (P20 : INTP11機能とするとき)		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0		0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P14-P17, P30, P43, P50, P53-P55	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 2.4 V ≤ EVDD0 < 3.3 V	0		0.32	V
	VIL3	P20-P27 (P20 : PORT機能とするとき)		0		0.3 VDD	V
	VIL4	P60-P63		0		0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$ (P20 : INTP11機能とするとき)		0		0.2 VDD	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43, P50-P55, P71, P74は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 - 0.7		V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0 - 0.6		V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 - 0.5		V
	VOH2	P20-P27	2.4 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD - 0.5		V
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA		0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA		0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA		0.4	V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.6 mA		0.4	V
	VOL2	P20-P27	2.4 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA		0.4	V
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA		2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA		0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA		0.4	V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA		0.4	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43, P50-P55, P71, P74は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値(MAX.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	Vi = EVDD0			1	μA	
	ILIH2	P20-P27, P137, RESET	Vi = VDD			1	μA	
	ILIH3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VDD	入力ポート時, 外部クロック入力時			1	μA
発振子接続時					10	μA		
ロウ・レベル 入力リーク電流	ILIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	Vi = EVSS0			-1	μA	
	ILIL2	P20-P27, P137, RESET	Vi = VSS			-1	μA	
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VSS	入力ポート時, 外部クロック入力時			-1	μA
発振子接続時					-10	μA		
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	Vi = EVSS0, 入力ポート時		10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

38.3.2 電源電流特性

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	2.4		mA
						V _{DD} = 3.0 V	2.4		
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	2.1		
						V _{DD} = 3.0 V	2.1		
				HS (高速メイン)モード ^{注5}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	5.2	9.3
							V _{DD} = 3.0 V	5.2	9.3
		f _{HOCO} = 32 MHz, f _{IH} = 32 MHz ^{注3}	通常動作		V _{DD} = 5.0 V	4.8	8.7		
					V _{DD} = 3.0 V	4.8	8.7		
		f _{HOCO} = 48 MHz, f _{IH} = 24 MHz ^{注3}	通常動作		V _{DD} = 5.0 V	4.1	7.3		
					V _{DD} = 3.0 V	4.1	7.3		
		f _{HOCO} = 24 MHz, f _{IH} = 24 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	3.8	6.7			
				V _{DD} = 3.0 V	3.8	6.7			
		HS (高速メイン)モード ^{注5}	f _{HOCO} = 16 MHz, f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	2.8	4.9		
					V _{DD} = 3.0 V	2.8	4.9		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	3.3	5.7		
					発振子接続	3.5	5.8		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	3.3	5.7		
					発振子接続	3.5	5.8		
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.0	3.4			
				発振子接続	2.1	3.5			
		サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力	4.7	6.1		
発振子接続	4.7				6.1				
f _{SUB} = 32.768 kHz ^{注4} TA = +25 °C	通常動作		方形波入力	4.7	6.1				
			発振子接続	4.7	6.1				
f _{SUB} = 32.768 kHz ^{注4} TA = +50 °C	通常動作		方形波入力	4.8	6.7				
			発振子接続	4.8	6.7				
f _{SUB} = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力	4.8	7.5					
		発振子接続	4.8	7.5					
f _{SUB} = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力	5.4	8.9					
		発振子接続	5.4	8.9					
f _{SUB} = 32.768 kHz ^{注4} TA = +105 °C	通常動作	方形波入力	7.2	21.0					
		発振子接続	7.3	21.1					

(注, 備考は次ページにあります。)

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みません。ただし、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はRTCに流れる電流を含みます。

注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速システム・クロック、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1)設定時。

注5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS（高速メイン）モード： $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. fMX： 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO： 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH： 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB： サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25 °Cです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注6}	fHOCO = 64 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V	0.80	4.36	mA
					VDD = 3.0 V	0.80	4.36	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V	0.54	3.67	
					VDD = 3.0 V	0.54	3.67	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V	0.62	3.42	
					VDD = 3.0 V	0.62	3.42	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V	0.44	2.85	
				VDD = 3.0 V	0.44	2.85		
			fHOCO = 16 MHz, fIH = 16 MHz ^{注4}	VDD = 5.0 V	0.40	2.08		
				VDD = 3.0 V	0.40	2.08		
			HS (高速メイン)モード ^{注6}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力 発振子接続	0.28	2.45	mA
						0.49	2.57	
				fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力 発振子接続	0.28	2.45	
						0.49	2.57	
		fMX = 10 MHz ^{注3} , VDD = 5.0 V		方形波入力 発振子接続	0.19	1.28		
					0.30	1.36		
		fMX = 10 MHz ^{注3} , VDD = 3.0 V		方形波入力 発振子接続	0.19	1.28		
					0.30	1.36		
		サブシステム・クロック動作	fSUB = 32.768 kHz ^{注5} TA = -40 °C	方形波入力 発振子接続	0.25	0.57	μA	
					0.44	0.76		
			fSUB = 32.768 kHz ^{注5} TA = +25 °C	方形波入力 発振子接続	0.30	0.57		
					0.49	0.76		
			fSUB = 32.768 kHz ^{注5} TA = +50 °C	方形波入力 発振子接続	0.36	1.17		
					0.59	1.36		
			fSUB = 32.768 kHz ^{注5} TA = +70 °C	方形波入力 発振子接続	0.49	1.97		
					0.72	2.16		
		fSUB = 32.768 kHz ^{注5} TA = +85 °C	方形波入力 発振子接続	0.97	3.37			
		1.16	3.56					
fSUB = 32.768 kHz ^{注5} TA = +105 °C	方形波入力 発振子接続	3.20	17.10					
		3.40	17.50					
IDD3	STOP モード ^{注7}	TA = -40 °C		0.18	0.51	μA		
		TA = +25 °C		0.24	0.51			
		TA = +50 °C		0.29	1.10			
		TA = +70 °C		0.41	1.90			
		TA = +85 °C		0.90	3.30			
		TA = +105 °C		3.10	17.00			

(注, 備考は次ページにあります。)

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みません。ただし、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はRTCに流れる電流を含みます。
STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振(AMPHS1 = 1)設定時。
- 注6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
- 備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)
- 備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は、TA = 25 °Cです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC動作電流	IRTC注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	IIT注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC注1, 6	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	0.7	
A/Dコンバータ基準電圧電流	IADREF注1				75.0		μA
温度センサ動作電流	ITMPS注1				75.0		μA
D/Aコンバータ動作電流	IDAC注1, 11	1チャンネル当たり				1.5	mA
PGA動作電流		動作時			480	700	μA
コンパレータ動作電流	ICMP注1, 12	動作時 (コンパレータ1チャンネル当たり, CMP用定電流は含める)	内蔵基準電圧未使用時		50	100	μA
			内蔵基準電圧使用時		60	110	
LVD動作電流	ILVD注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP注1, 9				2.50	12.20	mA
BGO電流	IBGO注1, 8				2.50	12.20	mA
SNOOZE動作電流	ISNOZ注1	ADC動作	モード遷移中注10		0.50	1.10	mA
			変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V		1.20	2.04	
		簡易SPI (CSI) /UART動作			0.70	1.54	
		DTC動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

注3. リアルタイム・クロック (RTC)にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, IDD1またはIDD2にIRTCを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注8. データ・フラッシュ書き換え時に流れる電流です。
- 注9. セルフ・プログラミング時に流れる電流です。
- 注10. SNOOZEモードへの移行時間は、26.3.3 SNOOZEモードを参照してください。
- 注11. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考2. f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考3. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
- 備考4. TYP.値の温度条件は、TA = 25 °Cです。

38.4 AC特性

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック (fMAIN)動作	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
		サブシステム・クロック (fSUB)動作		2.4 V ≤ VDD ≤ 5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミ ング時	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
2.4 V ≤ VDD < 2.7 V	0.0625				1	μs		
外部システム・ クロック周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V		1.0		20.0	MHz	
		2.4 V ≤ VDD < 2.7 V		1.0		16.0	MHz	
	fEXS			32		35	kHz	
外部システム・ クロック入力	tEXH,	2.7 V ≤ VDD ≤ 5.5 V		24			ns	
	tEXL	2.4 V ≤ VDD < 2.7 V		30			ns	
ハイ・ロウ・ レベル幅	tEXHS,			13.7			μs	
	tEXLS							
TI00-TI03入力ハイ・ レベル幅, ロウ・レベ ル幅	tTIH,			1/fMCK + 10注			ns	
	tTIL							
タイマRJ入力 サイクル	tc	TRJIO	2.7 V ≤ EVDD0 ≤ 5.5 V	100			ns	
			2.4 V ≤ EVDD0 < 2.7 V	300			ns	
タイマRJ入力 ハイ・レベル幅, ロウ・レベル幅	tTJH, tTJL	TRJIO	2.7 V ≤ EVDD0 ≤ 5.5 V	40			ns	
			2.4 V ≤ EVDD0 < 2.7 V	120			ns	

注 EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 ≤ 2.7 V : MIN. 125 ns

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1),

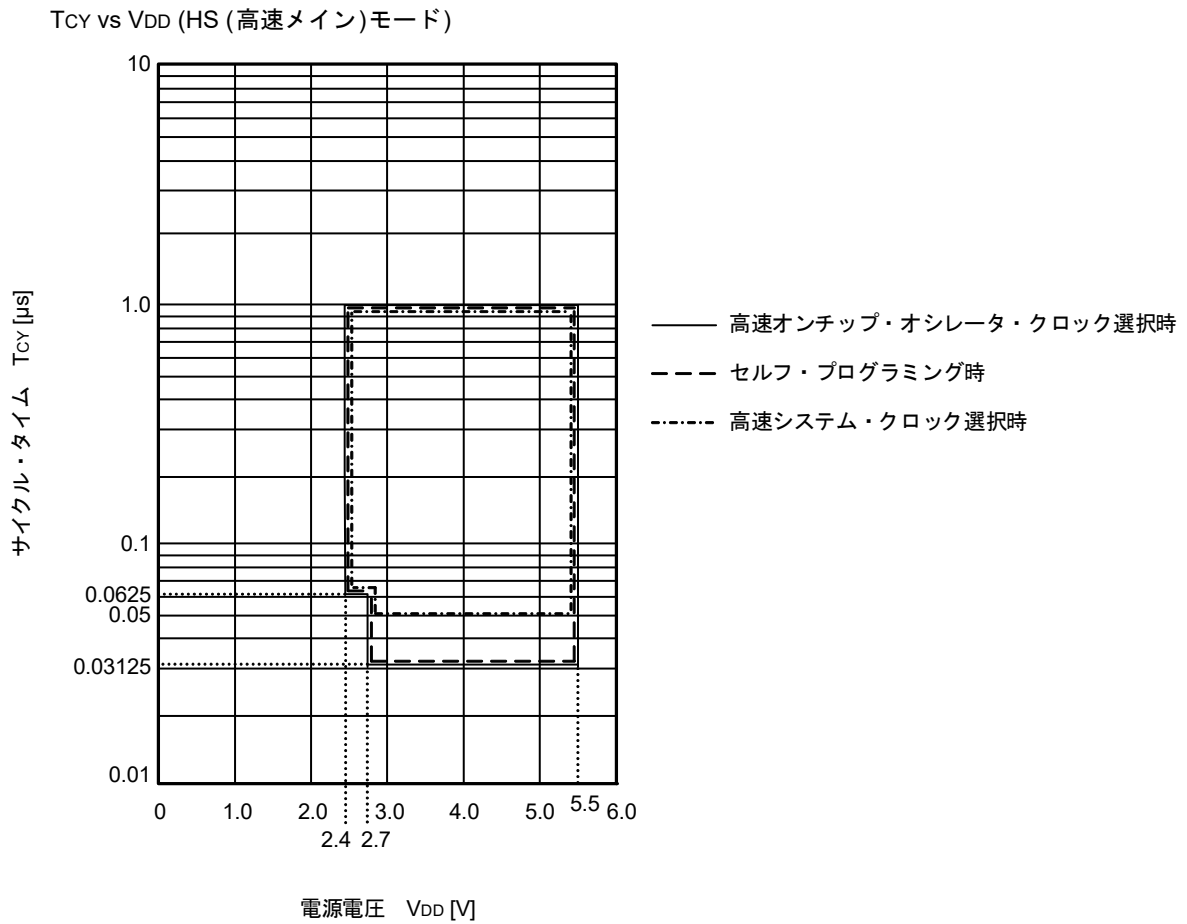
n : チャネル番号 (n = 0-3))

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

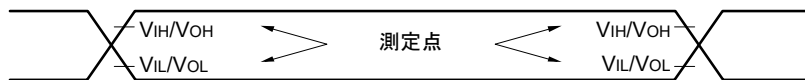
(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
タイマRD入力ハイ・レベル幅, ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/fCLK			ns
タイマRD強制遮断信号入力 ロウ・レベル幅	ttDSIL	P130/INTP0	2MHz < fCLK ≤ 32 MHz	1			μs
			fCLK ≤ 2 MHz	1/fCLK + 1			
タイマRG入力ハイ・レベル幅, ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TRJIO0, TRJIO1, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRGIOA, TRGIOB出力周波数	fTO	HS (高速メイン)モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			2.4 V ≤ EVDD0 < 2.7 V			4	MHz
PCLBUZ0, PCLBUZ1出力周波数	fPCL	HS (高速メイン)モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			2.4 V ≤ EVDD0 < 2.7 V			4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0	2.4 V ≤ VDD ≤ 5.5 V	1			μs
		INTP1-INTP11	2.4 V ≤ EVDD0 ≤ 5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7	2.4 V ≤ EVDD0 ≤ 5.5 V	250			ns
RESETロウ・レベル幅	tRSL			10			μs

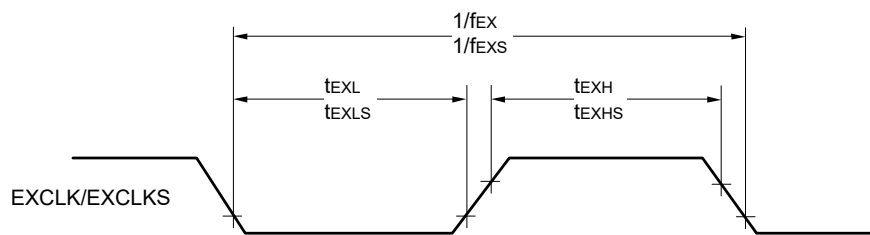
メイン・システム・クロック動作時の最小命令実行時間



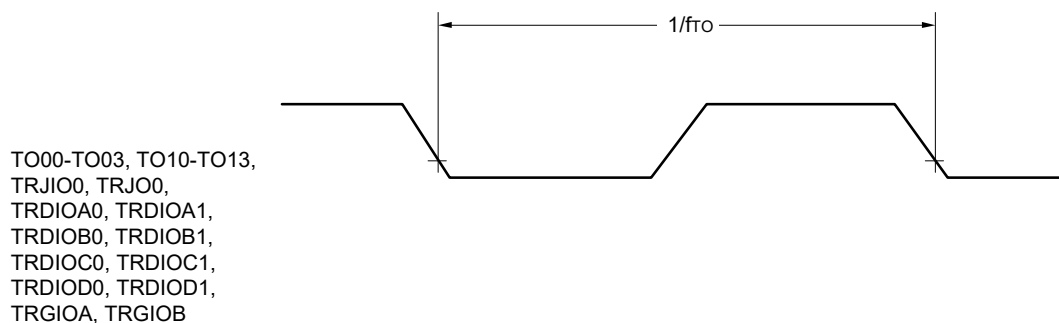
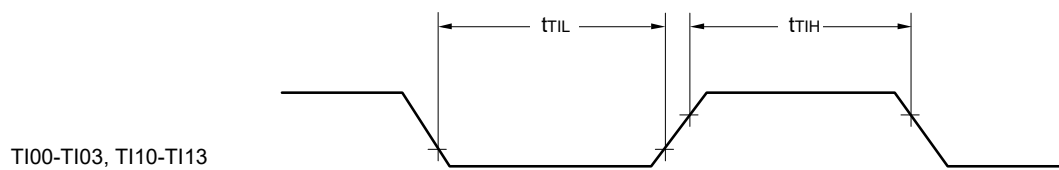
AC タイミング測定点

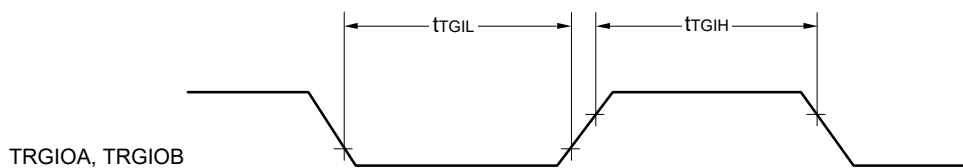
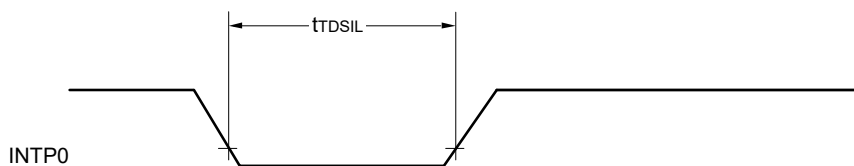
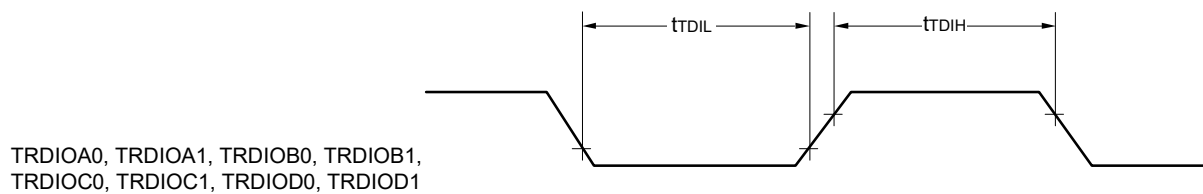
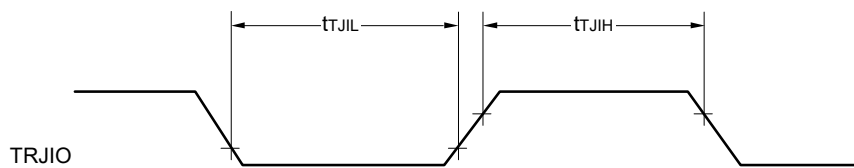


外部システム・クロック・タイミング

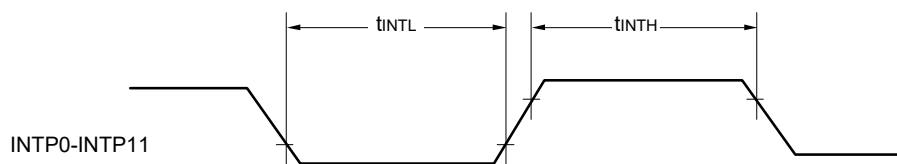


TI/TO タイミング

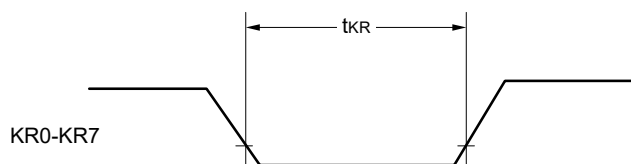
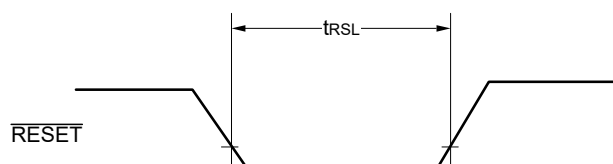




割り込み要求入力タイミング

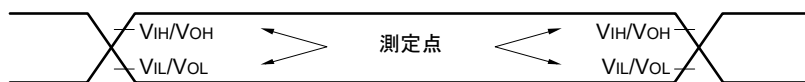


キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

38.5 周辺機能特性

AC タイミング測定点



38.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注1		2.4 V ≤ EVDD0 ≤ 5.5 V		fMCK/12注2	bps
		最大転送レート理論値 fMCK = fCLK注3		2.6	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V : MAX. 1.3 Mbps

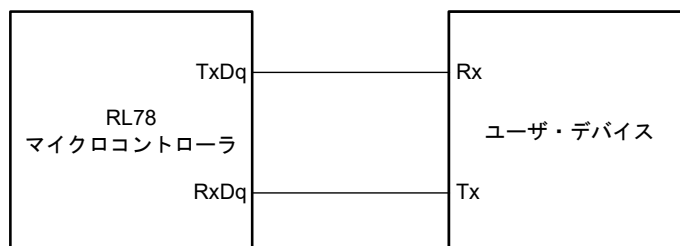
注3. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード : 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

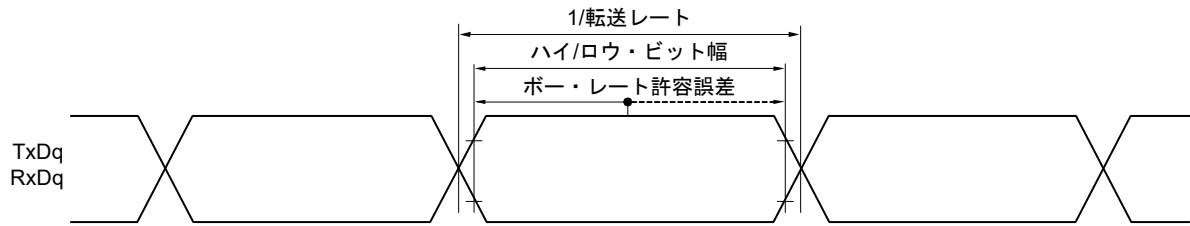
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART 番号 (q = 0-2), g : PIM, POM 番号 (g = 0, 1, 3, 5, 7)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャンネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK 2.7 V ≤ EVDD0 ≤ 5.5 V	250		ns
			500		ns
SCKpハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 24		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 36		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 76		ns
Slpセットアップ時間(対SCKp ↑)注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V	66		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	66		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	113		ns
Slpホールド時間(対SCKp ↑)注1	tkSI1		38		ns
SCKp ↓ → SOp出力遅延時間注2	tkSO1	C = 30 pF注3		50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),
g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号(mn = 00-03, 10, 11))

(3) 同電位通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム注4	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 20 MHz	12/fMCK		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 16 MHz	12/fMCK		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		12/fMCK かつ 1000		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 14		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 16		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 36		ns
Slpセットアップ時間(対SCKp ↑)注1	tsIK2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 40		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 60		ns
Slpホールド時間(対SCKp ↑)注1	tkSI2			1/fMCK + 62		ns
SCKp ↓ → SOp出力遅延時間注2	tkSO2	C = 30 pF注3	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 66	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 113	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは, SOp出力ラインの負荷容量です。

注4. SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 01, 10, 11, 20, 21), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),

g: PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10, 11))

(3) 同電位通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

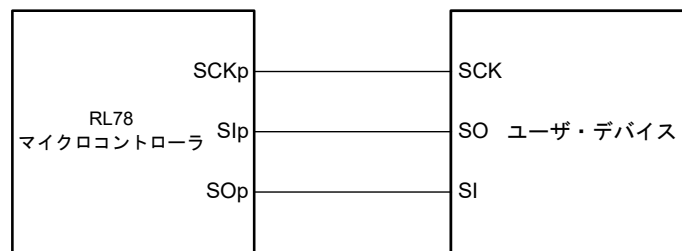
(2/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SSI00セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	240		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	400		ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 240		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		ns
SSI00ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 240		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	240		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	400		ns

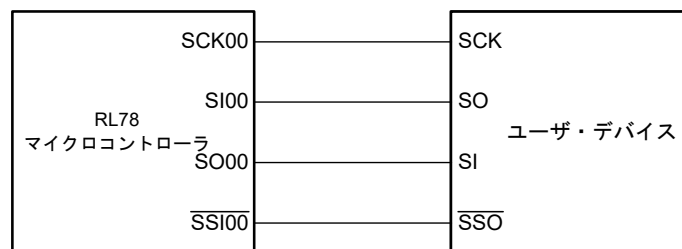
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0),
g : PIM, POM番号(g = 3, 5)

簡易SPI (CSI) モード接続図(同電位通信時)



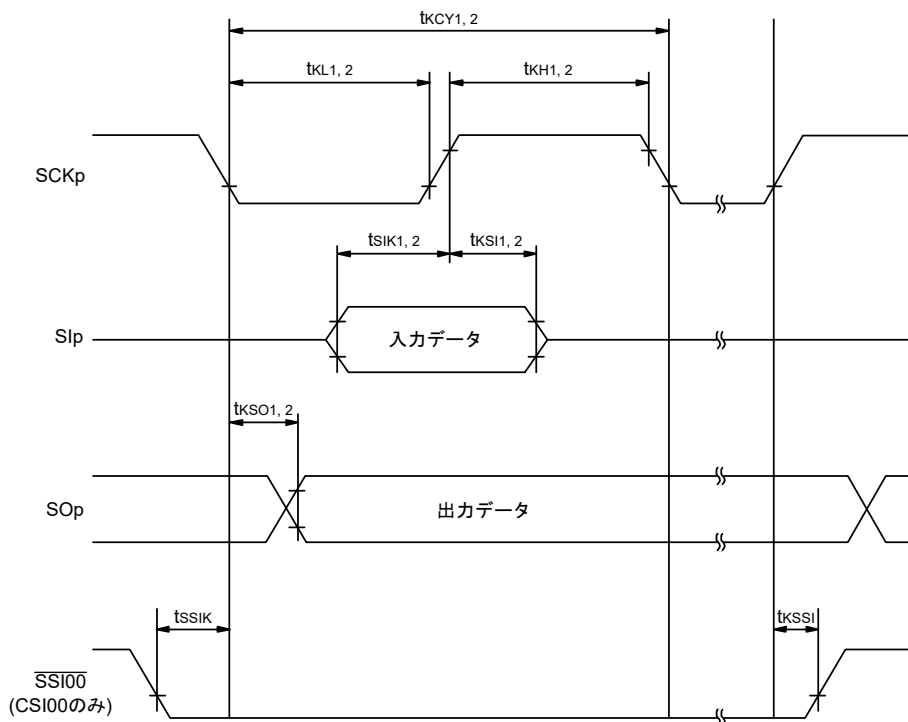
簡易SPI (CSI) モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



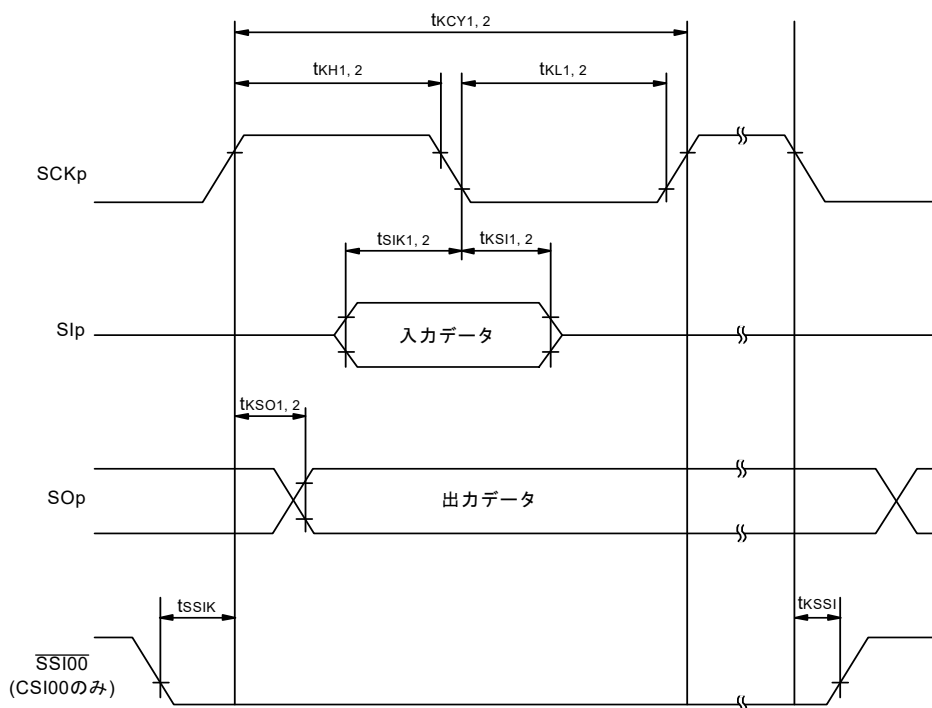
備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10, 11)

簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10, 11)

(4) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

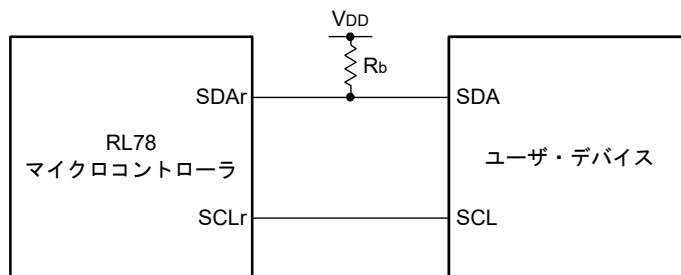
項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		100注1	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
データ・セットアップ時間(受信時)	t _{SU: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f _{MCK} + 220注2		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/f _{MCK} + 580注2		ns
データ・ホールド時間(送信時)	t _{HD: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	1420	ns

注1. かつf_{MCK}/4以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

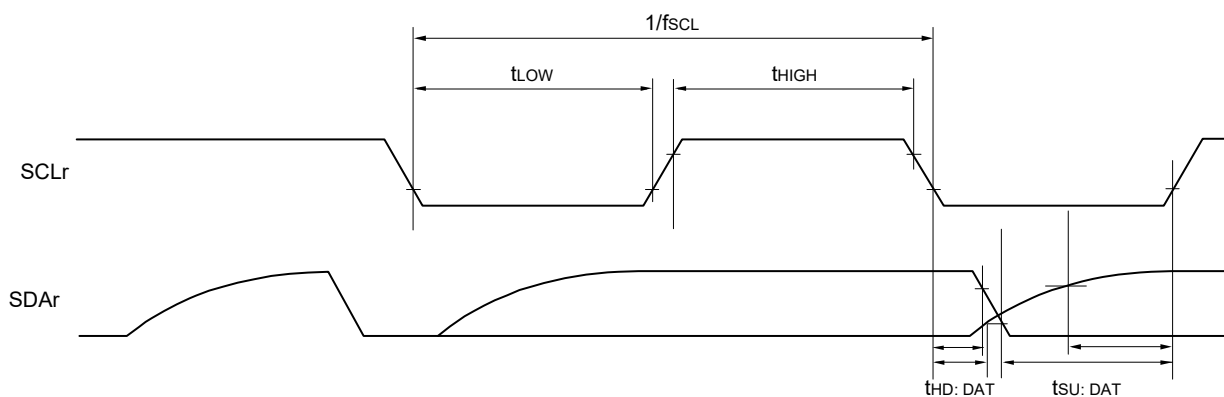
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧(48, 32, 24ピン製品の場合)/EV_{DD}耐圧(64, 36ピン製品の場合)モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図(同電位通信時)



簡易I²Cモード・シリアル転送タイミング(同電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr)プルアップ抵抗値, C_b [F] : 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号(r = 00, 01, 10, 11, 20, 21), g : PIM番号(g = 0, 1, 3, 5, 7),

h : POM番号(h = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),

mn = 00-03, 10, 11)

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/12 ^{注1}	bps
			最大転送レート理論値 fMCK = fCLK ^{注3}		2.6	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/12 ^{注1}	bps	
			最大転送レート理論値 fMCK = fCLK ^{注3}		2.6	Mbps
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/12 注1, 2	bps	
			最大転送レート理論値 fMCK = fCLK ^{注3}		1.3	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V: MAX. 1.3 Mbps

注3. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モード)を選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-2), g: PIM, POM番号(g = 0, 1, 5, 7)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき、UART2の異電位通信は使用できません。

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.6注2	Mbps
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4	Mbps
			2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注6	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V \leq EVDD0 < 3.3 V, 1.6 V \leq Vb \leq 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 [\%]$$

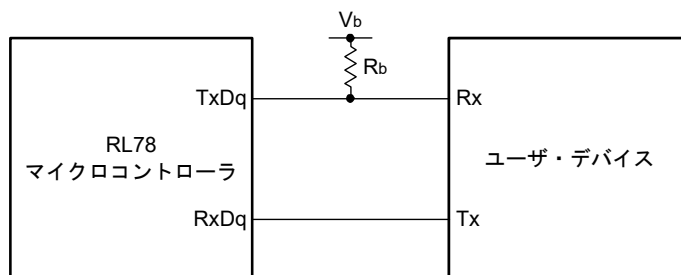
※この値は送信側と受信側の相対差の理論値となります。

注6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

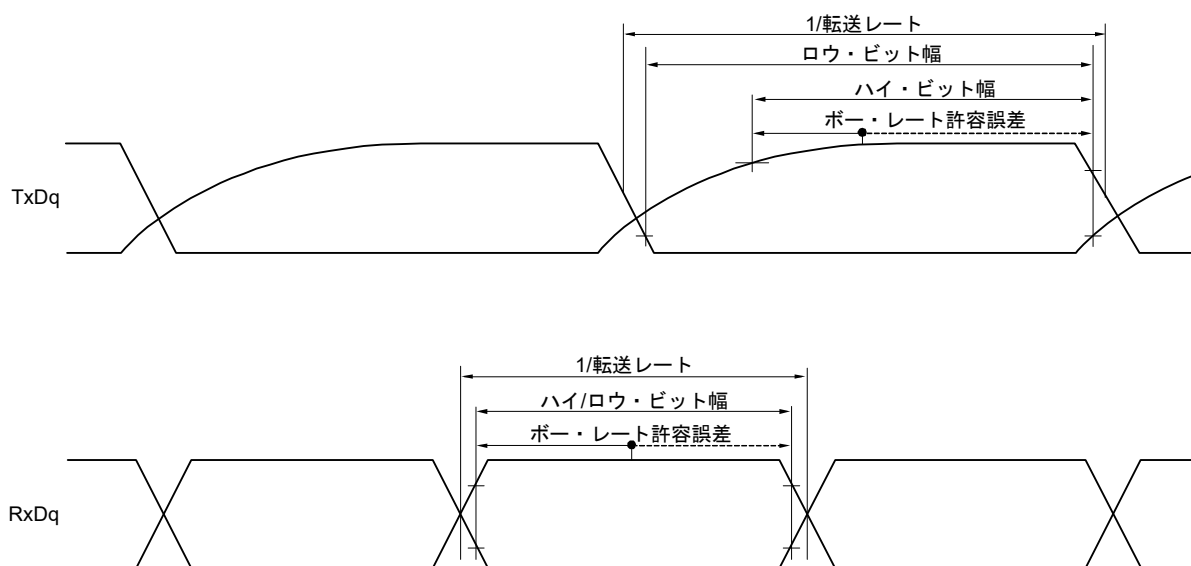
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モード)を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-2), g: PIM, POM番号(g = 0, 1, 5, 7)

備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき, UART2の異電位通信は使用できません。

(6) 異電位 (2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp... 内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	600		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	2300		ns
SCKpハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 150		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 340		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 916		ns
SCKpロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 24		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 36		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 100		ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子はTTL入力バッファを選択し, SOp 端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合) / EVDD耐圧(64, 36ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↑)注	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	162		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	354		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	958		ns
Slpホールド時間(対SCKp ↑)注	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		200	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		390	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		966	ns

注 DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モード)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/3)

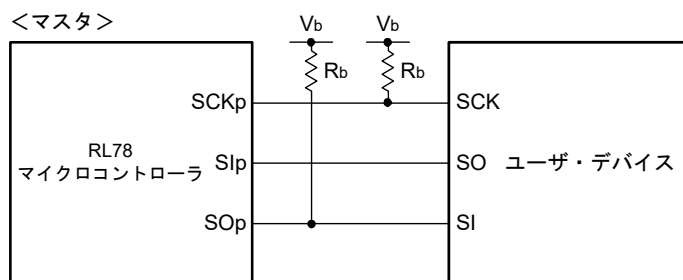
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↓)注	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	88		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	88		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
Slpホールド時間(対SCKp ↓)注	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↑ → SOp出力遅延時間注	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		50	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		50	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		50	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(48, 32, 24ピン製品の場合)/EVDD耐圧(64, 36ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI番号(p = 00, 01, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),

g : PIM, POM番号(g = 0, 1, 3, 5, 7)

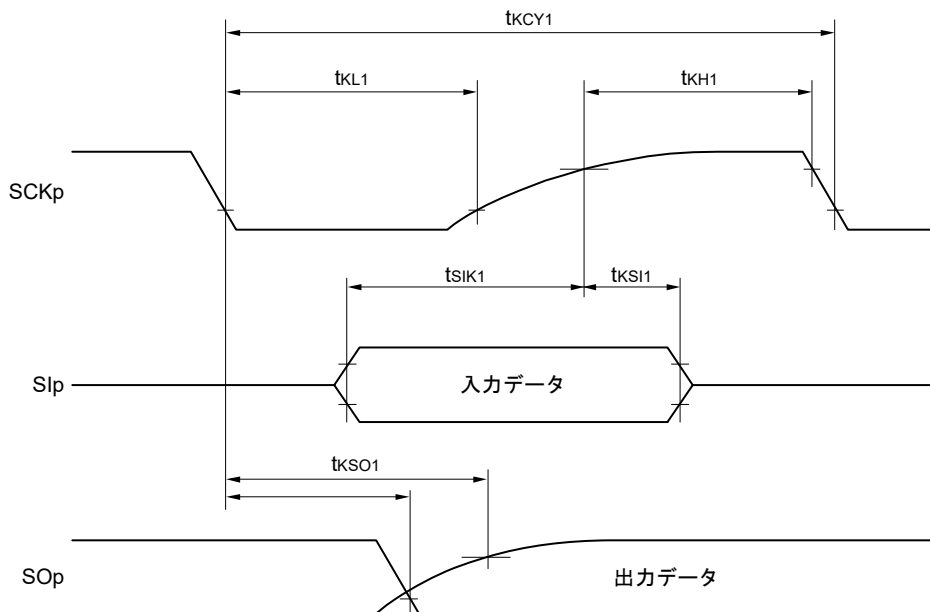
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

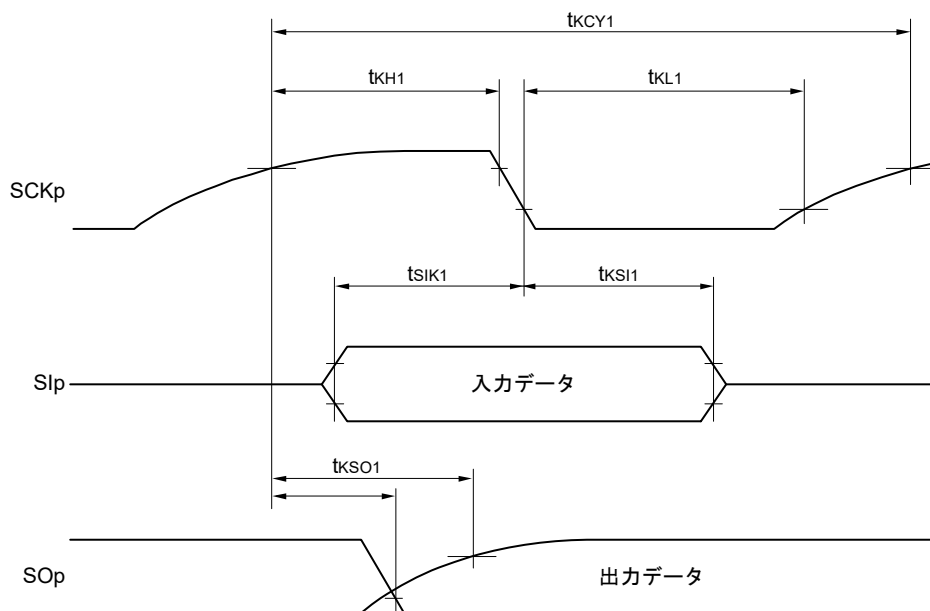
n : チャネル番号(mn = 00))

備考4. CSI11, CSI21と、48, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21と、48, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(7) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

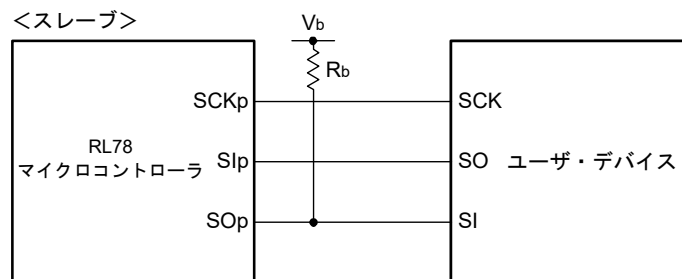
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム注1	tkcy2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	28/fMCK		ns
			20 MHz < fMCK ≤ 24 MHz	24/fMCK		ns
			8 MHz < fMCK ≤ 20 MHz	20/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
			fMCK ≤ 4 MHz	12/fMCK		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	24 MHz < fMCK	40/fMCK		ns
			20 MHz < fMCK ≤ 24 MHz	32/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	28/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	24/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	fMCK ≤ 4 MHz	12/fMCK		ns
			24 MHz < fMCK	96/fMCK		ns
			20 MHz < fMCK ≤ 24 MHz	72/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	64/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	52/fMCK		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		tkcy2/2 - 24		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		tkcy2/2 - 36		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		tkcy2/2 - 100		ns
Slpセットアップ時間 (対SCKp ↑)注2	tsik2	2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		1/fMCK + 40		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		1/fMCK + 60		ns
Slpホールド時間(対SCKp ↑)注2	tkSI2			1/fMCK + 62		ns
SCKp ↓ → SOp出力遅延時間注3	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 240		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 428		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rv = 5.5 kΩ		2/fMCK + 1146		ns

(注, 注意, 備考は次ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子はN-chオープン・ドレイン出力(V_{DD}耐圧(48, 32, 24ピン製品の場合) / EV_{DD}耐圧(64, 36ピン製品の場合)モード)を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI (CSI) モード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00, 01, 10, 20), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),

g: PIM, POM番号(g = 0, 1, 3, 5, 7)

備考3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

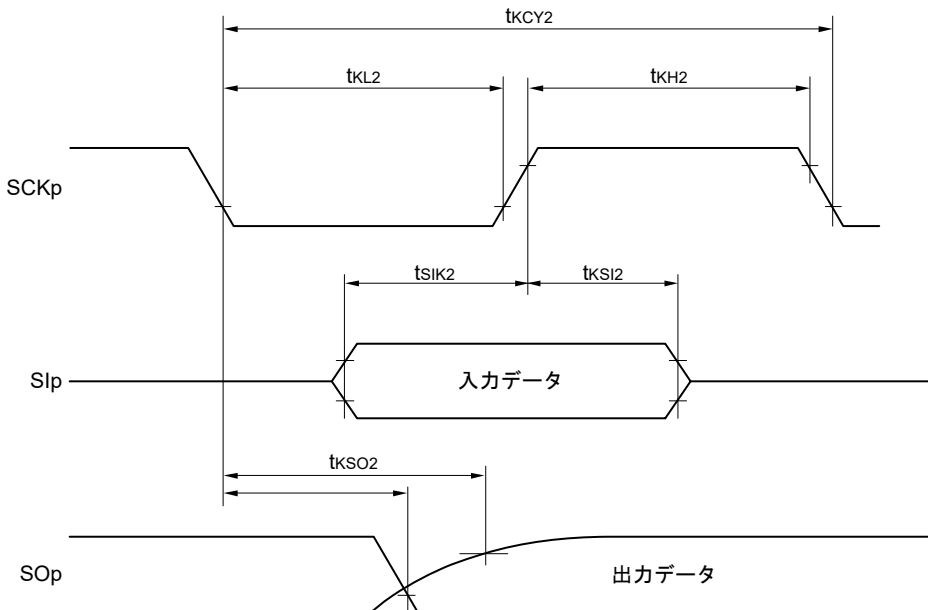
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00, 01, 02, 10))

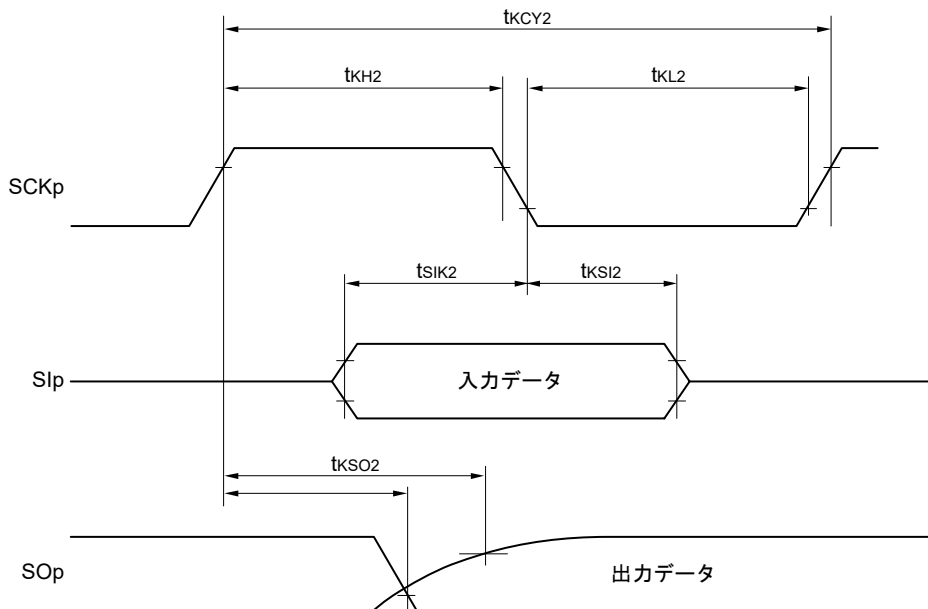
備考4. CSI11, CSI21と、48, 64ピン製品CSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21と、48, 64ピン製品CSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fsCL	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		100注1	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		100注1	kHz
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ		100注1	kHz
SCLr = "L" のホールド・タイム	tLOW	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	4600		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	4600		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	4650		ns
SCLr = "H" のホールド・タイム	tHIGH	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	620		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	500		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	2700		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	2400		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	1830		ns

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)(TA = -40 ~ +105 °C, 2.4 V ≤ EV_{DD0} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = 0 V)

(2/2)

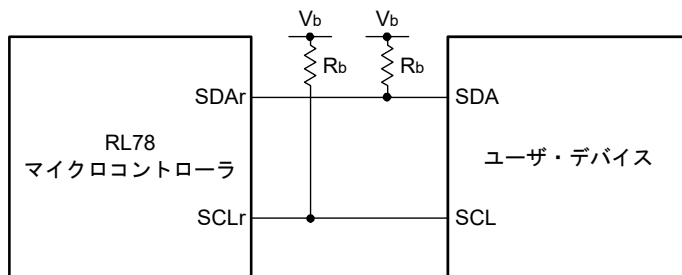
項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
データ・セットアップ時間(受信時)	tsu: DAT	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340注2		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340注2		ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 760注2		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760注2		ns
		2.4 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570注2		ns
データ・ホールド時間(送信時)	thd: DAT	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	1420	ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	ns
		2.4 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	0	1215	ns

注1. かつf_{MCK}/4以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない設定にしてください。

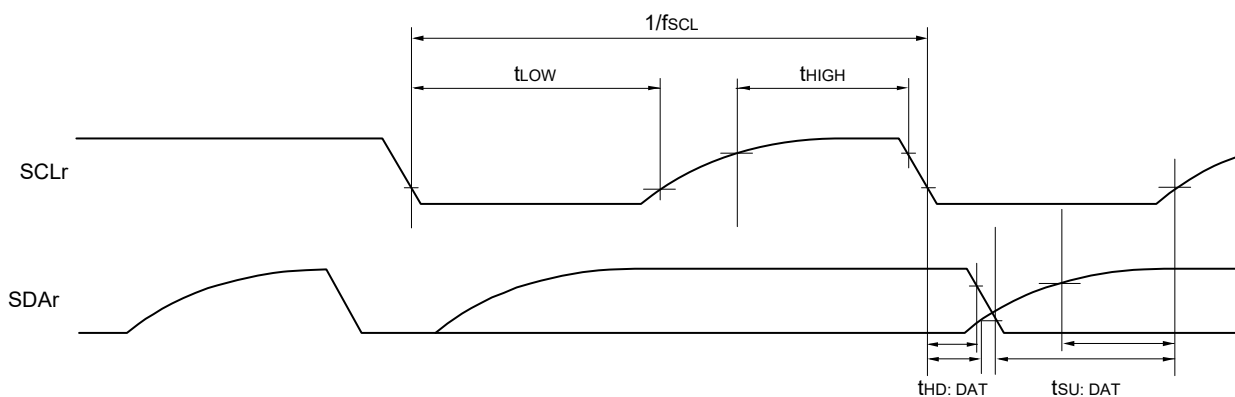
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧(48, 32, 24ピン製品の場合)/EV_{DD}耐圧(64, 36ピン製品の場合)モードを選択し、SCLrはN-chオープン・ドレイン出力(V_{DD}耐圧(48, 32, 24ピン製品の場合)/EV_{DD}耐圧(64, 36ピン製品の場合)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)



簡易I²Cモード・シリアル転送タイミング(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F] : 通信ライン(SDAr, SCLr)負荷容量値, V_b [V] : 通信ライン電圧

備考2. r : IIC番号(r = 00, 01, 10, 11, 20), g : PIM, POM番号(g = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2), mn = 00, 01, 02, 10)

38.5.2 シリアル・インタフェース IICA

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

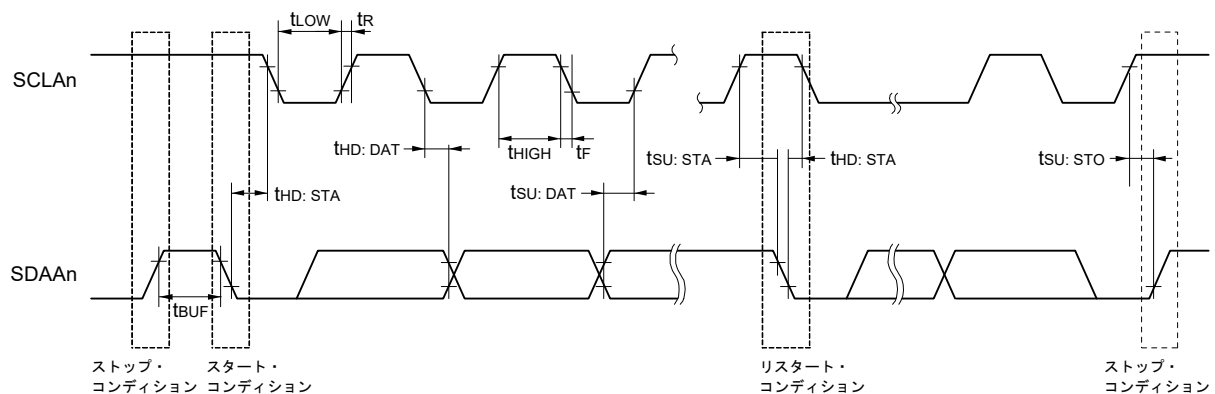
項目	略号	条件	HS (高速メイン)モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード: fCLK ≥ 3.5 MHz	—	—	0	400	kHz
		標準モード: fCLK ≥ 1 MHz	0	100	—	—	kHz
リスタート・コンディションのセットアップ時間	tSU: STA		4.7		0.6		μs
ホールド時間注1	tHD: STA		4.0		0.6		μs
SCLA0 = "L"のホールド・タイム	tLOW		4.7		1.3		μs
SCLA0 = "H"のホールド・タイム	tHIGH		4.0		0.6		μs
データ・セットアップ時間(受信時)	tSU: DAT		250		100		ns
データ・ホールド時間(送信時)注2	tHD: DAT		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO		4.0		0.6		μs
バス・フリー時間	tBUF		4.7		1.3		μs

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
- 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

注意 周辺I/Oリダイレクション・レジスタ0(PIOR0)のビット2(PIOR02)が1の場合も, 上記の値を適用できます。
ただし, 端子特性(IoH1, IoL1, VoH1, VoL1)はリダイレクト先の値を満たしてください。

注意 各モードにおけるCb(通信ライン容量)のMAX.値と, そのときのRb(通信ライン・プルアップ抵抗値)の値は次のとおりです。
標準モード: Cb = 400 pF, Rb = 2.7 kΩ
ファースト・モード: Cb = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



備考 n = 0, 1

38.6 アナログ特性

38.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧 基準電圧(+) = AVREFP 基準電圧(-) = AVREFM	基準電圧(+) = VDD 基準電圧(-) = VSS	基準電圧(+) = VBGR 基準電圧(-) = AVREFM
ANI0-ANI7	38.6.1 (1)参照	38.6.1 (3)参照	38.6.1 (4)参照
ANI16-ANI24	38.6.1 (2)参照		
内部基準電圧 温度センサ出力電圧	38.6.1 (1)参照		

(1) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI2-ANI7, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105 °C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V	1.2	±3.5	LSB
変換時間	tCONV	10ビット分解能 変換対象 : ANI2-ANI7	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17	39	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	3.6 V ≤ VDD ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.5625	39	μs
		2.4 V ≤ VDD ≤ 5.5 V	17	39	μs	
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±1.5	LSB
アナログ入力電圧	VAIN	ANI2-ANI7	0		AVREFP	V
		内部基準電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン)モード)			VBGR ^{注4}	V
		温度センサ出力電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン)モード)			VTMP25 ^{注4}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. AVREFP < VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差/微分直線性誤差 : AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. 38.6.2 温度センサ/内部基準電圧特性を参照してください。

(2) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI16-ANI24

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V,

基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差注1	AINL	10ビット分解能 EVDD0 ≤ AVREFP = VDD注3,4	2.4 V ≤ AVREFP ≤ 5.5 V	1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象 : ANI16-ANI20	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17	39	μs
ゼロスケール誤差注1,2	EZS	10ビット分解能 EVDD0 ≤ AVREFP = VDD注3,4	2.4 V ≤ AVREFP ≤ 5.5 V		±0.35	%FSR
フルスケール誤差注1,2	EFS	10ビット分解能 EVDD0 ≤ AVREFP = VDD注3,4	2.4 V ≤ AVREFP ≤ 5.5 V		±0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 EVDD0 ≤ AVREFP = VDD注3,4	2.4 V ≤ AVREFP ≤ 5.5 V		±3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 EVDD0 ≤ AVREFP = VDD注3,4	2.4 V ≤ AVREFP ≤ 5.5 V		±2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI24	0		AVREFP かつ EVDD0	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. EVDD0 ≤ AVREFP < VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差/微分直線性誤差 : AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. AVREFP < EVDD0 ≤ VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±4.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : AVREFP = VDDのMAX.値に±0.20 %FSRを加算してください。

積分直線性誤差/微分直線性誤差 : AVREFP = VDDのMAX.値に±2.0 LSBを加算してください。

(3) 基準電圧(+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = V_{SS} (ADREFM = 0)選択時,

変換対象 : ANI0-ANI7, ANI16-ANI24, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105 °C, 2.4 V ≤ EV_{DD0} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = 0 V, 基準電圧(+) = V_{DD},

基準電圧(-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差注1	AINL	10ビット分解能 2.4 V ≤ V _{DD} ≤ 5.5 V		1.2	±7.0	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI0-ANI7, ANI16-ANI24	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875	39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン)モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625	39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
ゼロスケール誤差注1,2	EzS	10ビット分解能 2.4 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
フルスケール誤差注1,2	EFS	10ビット分解能 2.4 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能 2.4 V ≤ V _{DD} ≤ 5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能 2.4 V ≤ V _{DD} ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	V _{AIN}	ANI0-ANI7	0		V _{DD}	V
		ANI16-ANI24	0		EV _{DD0}	V
		内部基準電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン)モード)	V _{BGR} 注3			V
		温度センサ出力電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン)モード)	V _{TMP525} 注3			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 38.6.2 温度センサ/内部基準電圧特性を参照してください。

(4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI0, ANI2-ANI7, ANI16-ANI24

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, 2.4 V ≤ EVDD0 ≤ VDD, VSS = EVSS0 = 0 V,

基準電圧(+) = VBGR^{注3}, 基準電圧(-) = AVREFM^{注4} = 0 V, HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±1.0	LSB
アナログ入力電圧	VAIN			0		VBGR ^{注3}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 38.6.2 温度センサ/内部基準電圧特性を参照してください。

注4. 基準電圧(-) = VSSの場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.35 %FSRを加算してください。

積分直線性誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.5 LSBを加算してください。

微分直線性誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.2 LSBを加算してください。

38.6.2 温度センサ／内部基準電圧特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = EVSS1 = 0 V, HS (高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	ADSレジスタ = 80H設定, TA = +25 °C		1.05		V
内部基準電圧	VBGR	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP		5			μs

38.6.3 D/Aコンバータ

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 MΩ	2.4 V ≤ VDD ≤ 5.5 V		±2.5	LSB
		Rload = 8 MΩ	2.4 V ≤ VDD ≤ 5.5 V		±2.5	LSB
セットリング・タイム	tSET	Cload = 20pF	2.7 V ≤ VDD ≤ 5.5 V		3	μs
			2.4 V ≤ VDD < 2.7 V		6	μs

38.6.4 コンパレータ

(TA = -40 ~ +105 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	VI _{OCMP}			±5	±40	mV
入力電圧範囲	VI _{COMP}		0		V _{DD}	V
内蔵基準電圧偏差	ΔV _{IREF}	CmRVMレジスタ値: 7FH-80H (m = 0-1)			±2	LSB
		上記以外			±1	LSB
応答時間	t _{CR} , t _{CF}	入力振幅±10mV		70	150	ns
動作安定時間注1	t _{CMP}	CMPnEN = 0-1	V _{DD} = 3.3 ~ 5.5 V		1	μs
			V _{DD} = 2.7 ~ 3.3 V		3	μs
基準電圧安定待ち時間	t _{VR}	CVRE: 0 → 1注2			20	μs
動作電流	ICMPDD	別途周辺機能の動作電流として定義				

注1. コンパレータの動作許可信号切り替え (CMPnEN=0→1) から、コンパレータがDC/AC特性を満足できる状態になるまでの時間。

注2. 内蔵基準電圧生成を動作許可 (CVREmビット = 1: m = 0-1) し、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 (CnOEビット = 1: n = 0-1) してください。

38.6.5 PGA

(TA = -40 ~ +105 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	VI _{OPGA}				±10	mV
入力電圧範囲	VI _{PGA}		0		0.9 × V _{DD} / 増幅率	V
出力電圧範囲	VI _{OHPGA}		0.93 × V _{DD}			V
	VI _{OLPGA}				0.07 × V _{DD}	V
増幅率誤差		4倍, 8倍			±1	%
		16倍			±1.5	%
		32倍			±2	%
スルーレート	SR _{RPGA}	立ち上がり Vin = V _{DD} × 0.1/増幅率 ~ V _{DD} × 0.9/増幅率 出力振幅の10% ~ 90%	4.0 V ≤ V _{DD} ≤ 5.5V	32倍 以外	3.5	V/μs
			4.0 V ≤ V _{DD} ≤ 5.5V	32倍	3.0	
			2.7 V ≤ V _{DD} ≤ 4.0V		0.5	
	SR _{FPGA}	立ち下がり Vin = V _{DD} × 0.1/増幅率 ~ V _{DD} × 0.9/増幅率 出力振幅の90% ~ 10%	4.0 V ≤ V _{DD} ≤ 5.5V	32倍 以外	3.5	
			4.0 V ≤ V _{DD} ≤ 5.5V	32倍	3.0	
			2.7 V ≤ V _{DD} ≤ 4.0V		0.5	
動作安定待ち時間注1	t _{PGA}	4倍, 8倍			5	μs
		16倍, 32倍			10	μs
動作電流	IPGADD	別途周辺機能の動作電流として定義				

注1. PGAの動作を許可 (PGAEN=1) してから、PGA動作のDC/AC特性を満足できる状態になるまでの時間。

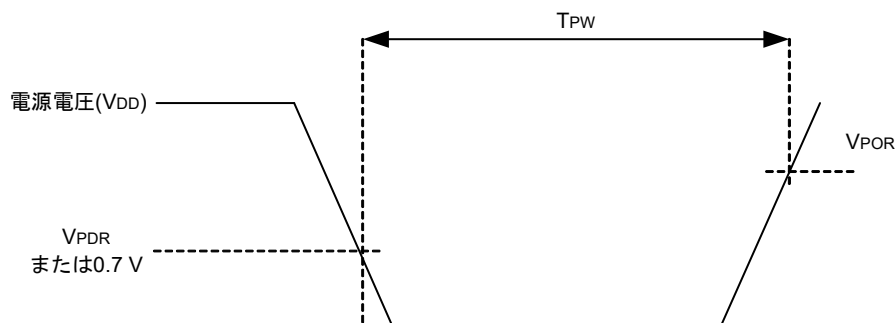
38.6.6 POR回路特性

(TA = -40 ~ +105 °C, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.45	1.51	1.55	V
	V _{PDR}	電源立ち下がり時 ^{注1}	1.44	1.50	1.54	V
最小パルス幅 ^{注2}	T _{PW}		300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、38.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能が外部リセット端子で、リセット状態にしてください。

注2. V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(f_{MAIN})を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



38.6.7 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.90	4.06	4.22	V
			電源立ち下がり時	3.83	3.98	4.13	V
		VLVD1	電源立ち上がり時	3.60	3.75	3.90	V
			電源立ち下がり時	3.53	3.67	3.81	V
		VLVD2	電源立ち上がり時	3.01	3.13	3.25	V
			電源立ち下がり時	2.94	3.06	3.18	V
		VLVD3	電源立ち上がり時	2.90	3.02	3.14	V
			電源立ち下がり時	2.85	2.96	3.07	V
		VLVD4	電源立ち上がり時	2.81	2.92	3.03	V
			電源立ち下がり時	2.75	2.86	2.97	V
		VLVD5	電源立ち上がり時	2.70	2.81	2.92	V
			電源立ち下がり時	2.64	2.75	2.86	V
		VLVD6	電源立ち上がり時	2.61	2.71	2.81	V
			電源立ち下がり時	2.55	2.65	2.75	V
VLVD7	電源立ち上がり時	2.51	2.61	2.71	V		
	電源立ち下がり時	2.45	2.55	2.65	V		
最小パルス幅	tLW		300			μs	
検出遅延					300	μs	

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +105 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.64	2.75	2.86	V	
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がり割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
			立ち下がり割り込み電圧	2.85	2.96	3.07	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
			立ち下がり割り込み電圧	3.83	3.98	4.13	V

38.6.8 電源電圧立ち上がり傾き特性

(TA = -40 ~ +105 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

注意 VDDが38.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

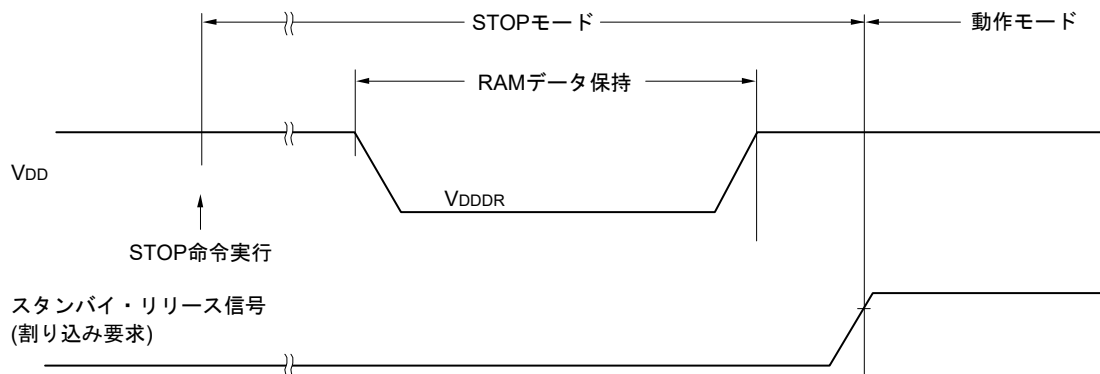
38.7 RAMデータ保持特性

(TA = -40 ~ +105 °C, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44注1,2		5.5	V

注1. POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注2. 推奨動作電圧を下回る場合は、その前にSTOPモードへ移行してください。



38.8 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cenwr	保持年数 : 20年 TA = 85 °C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数 : 1年 TA = 25 °C		1,000,000		
		保持年数 : 5年 TA = 85 °C	100,000			
		保持年数 : 20年 TA = 85 °C	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

38.9 専用フラッシュ・メモリ・プログラマ通信(UART)

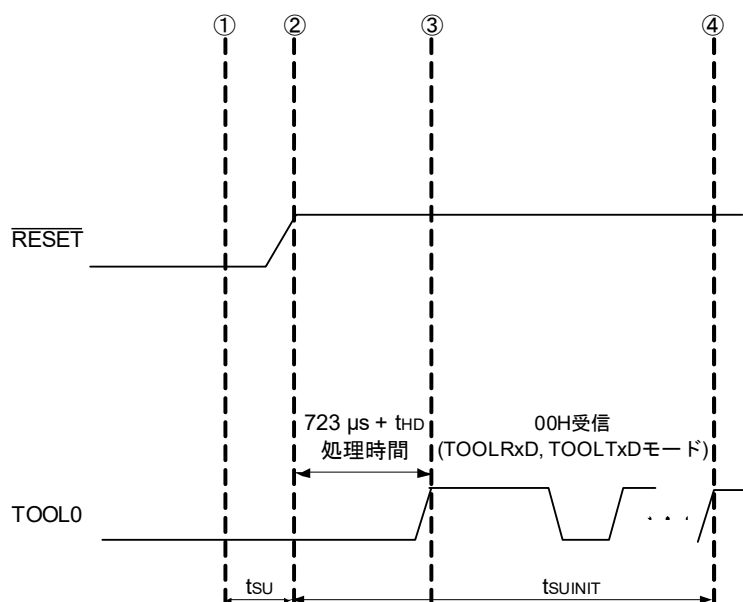
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

38.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

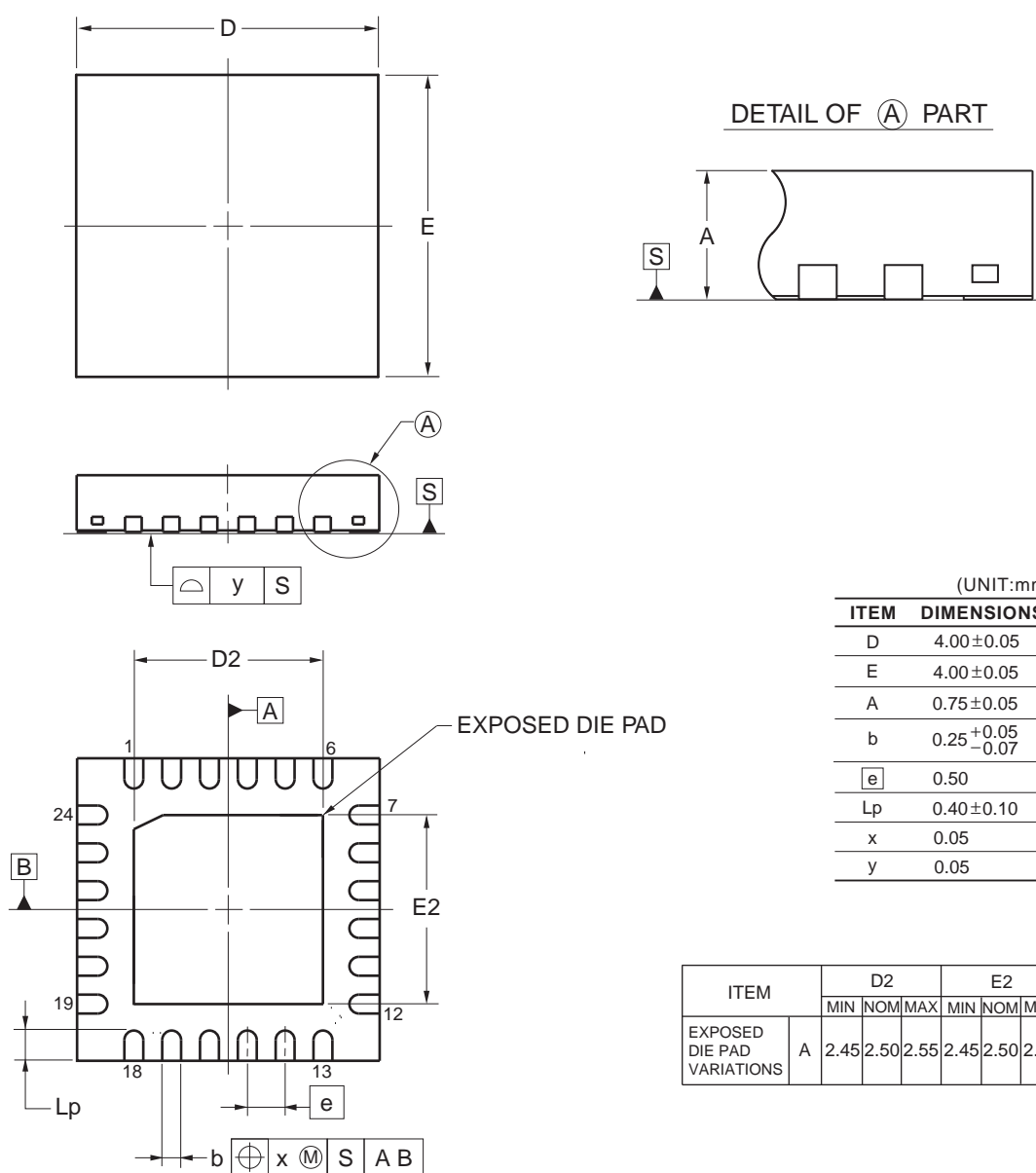
tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

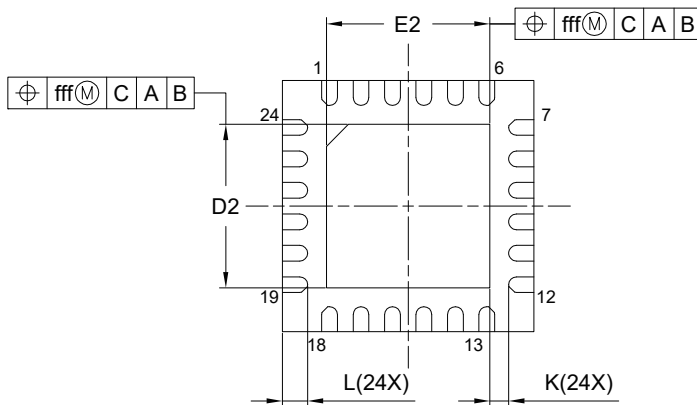
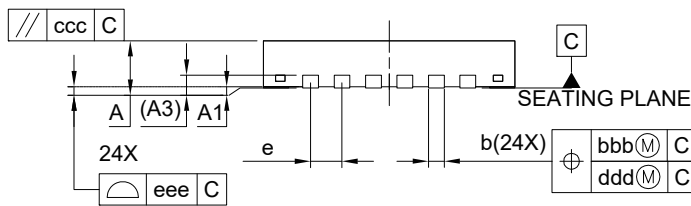
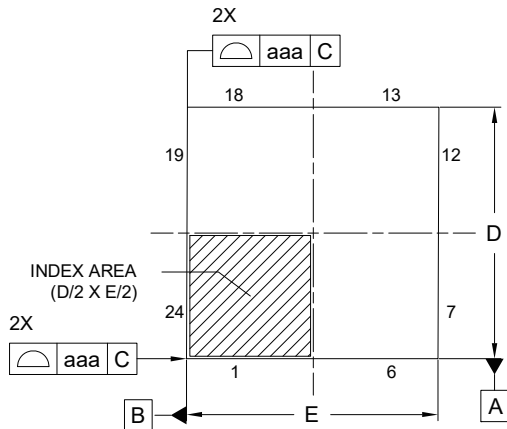
第39章 外形図

39.1 24ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN24-4x4-0.50	PWQN0024KE-A	P24K8-50-CAB-1	0.04

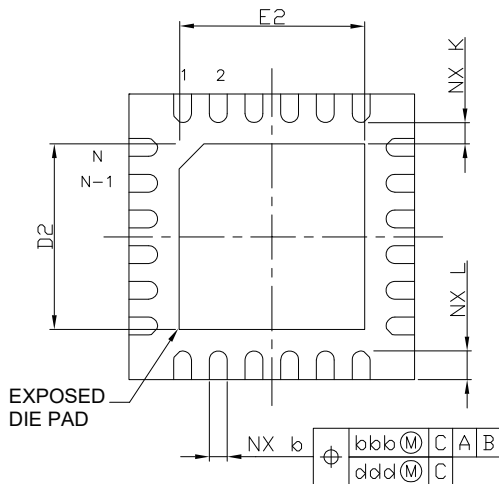
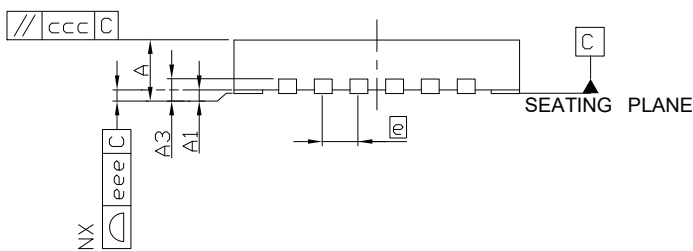
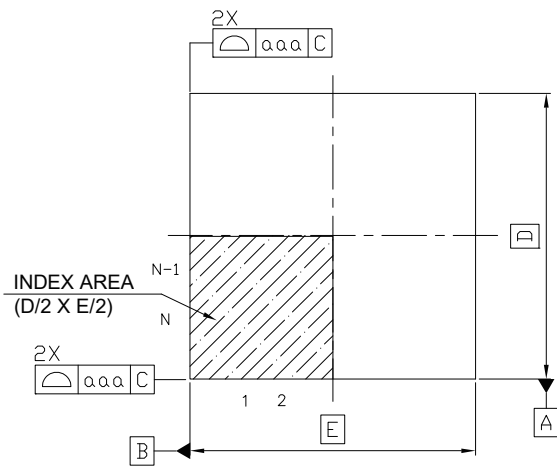


JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN024-4x4-0.50	PWQN0024KF-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D2	2.55	2.60	2.65
E2	2.55	2.60	2.65
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

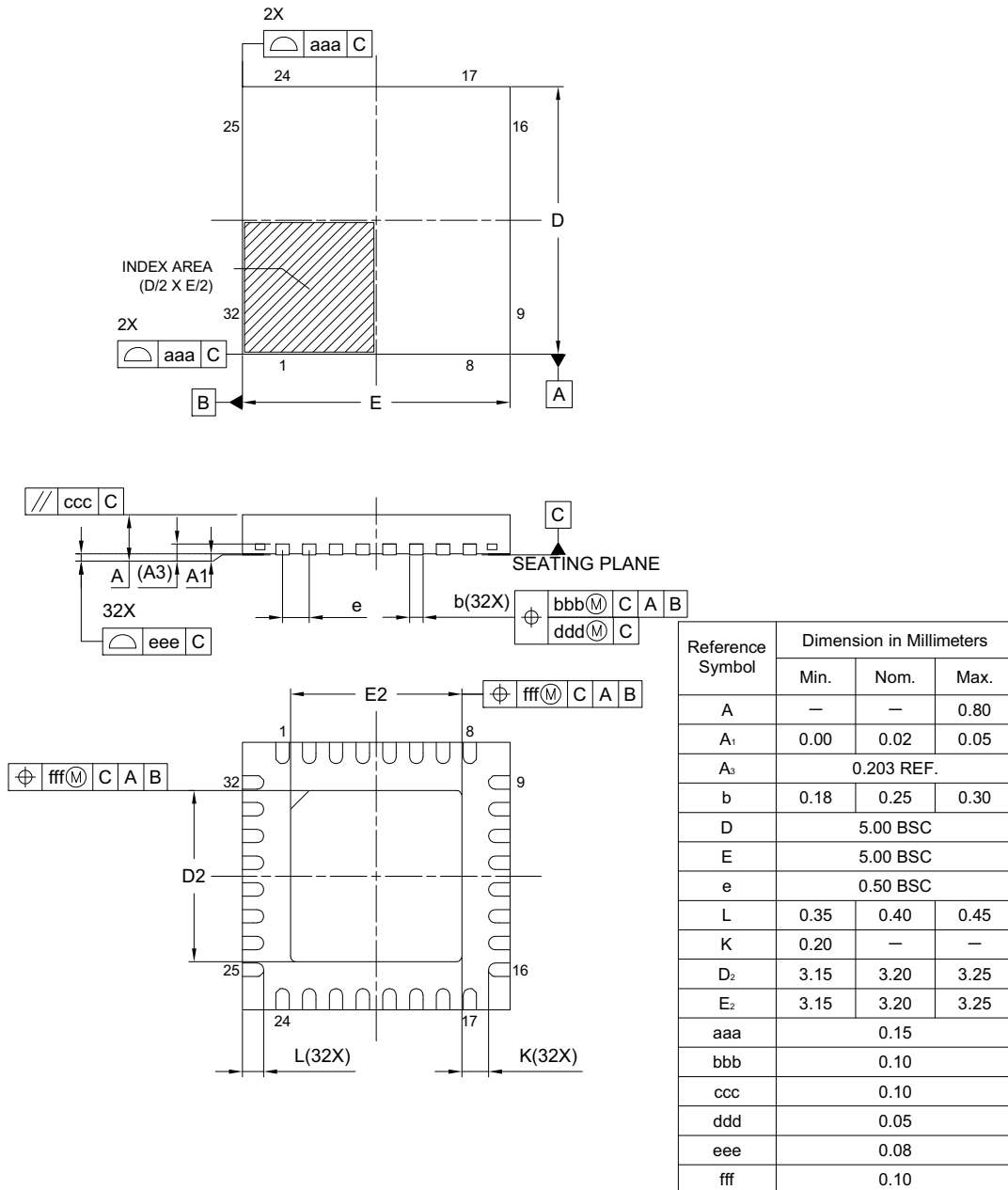
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN24-4×4-0.50	PWQN0024KH-A	0.04



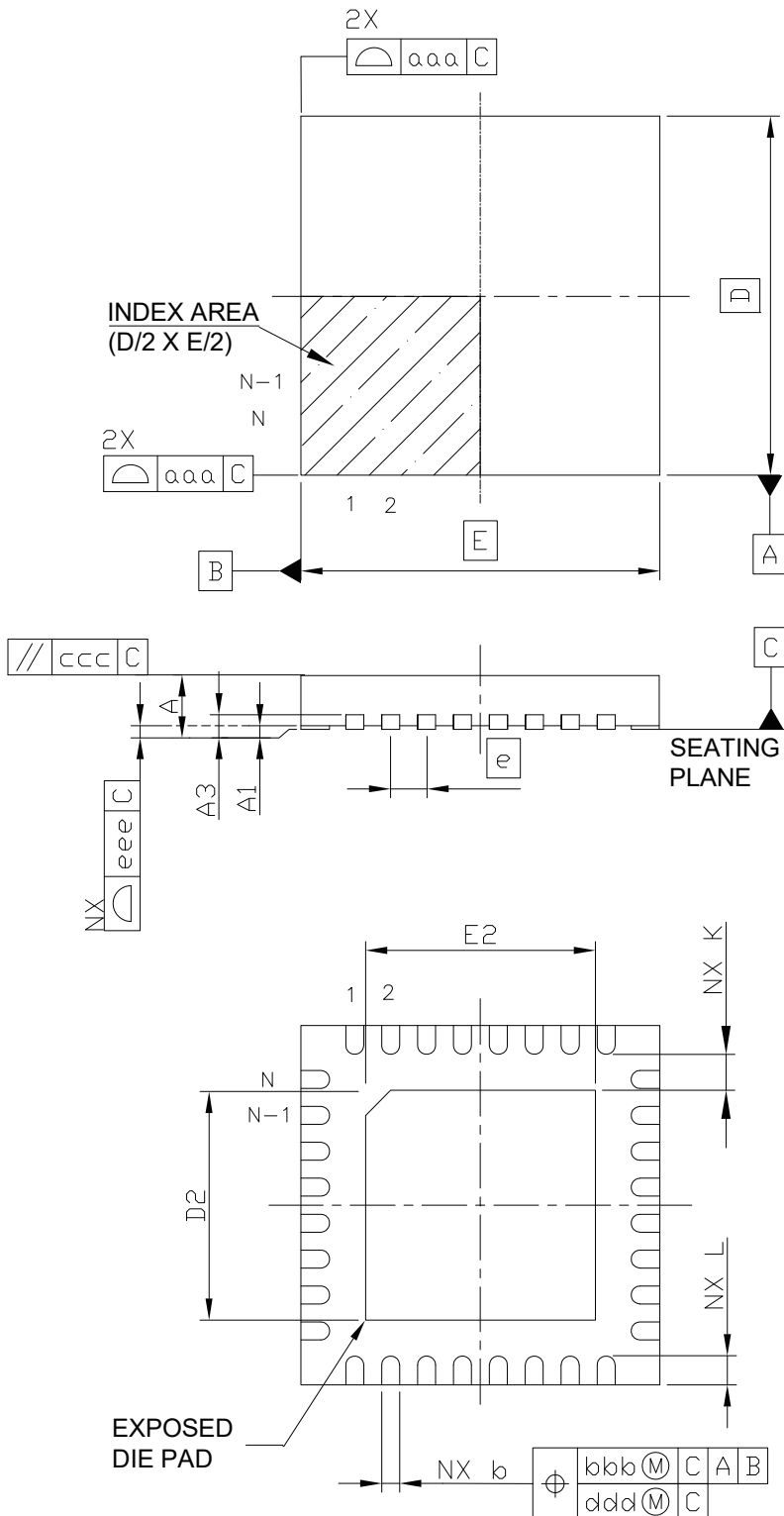
Referenc Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	—	0.05
A ₃	0.20 REF.		
b	0.20	0.25	0.30
D	—	4.00	—
E	—	4.00	—
e	—	0.50	—
N	24		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	2.50	2.60	2.70
E ₂	2.50	2.60	2.70
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

39.2 32ピン製品

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06

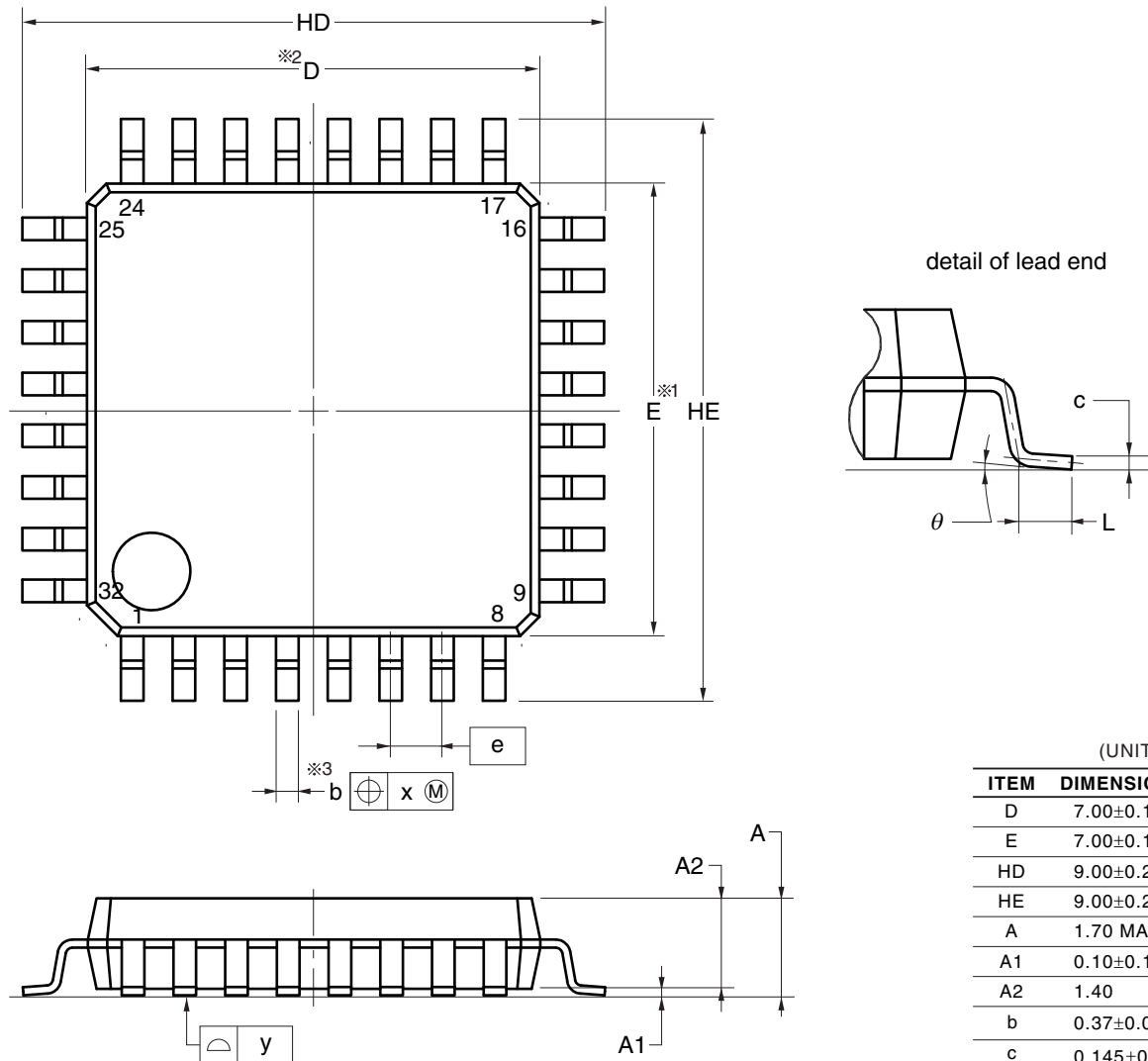


JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN32-5×5-0.50	PWQN0032KG-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	—	0.05
A ₃	0.20 REF.		
b	0.20	0.25	0.30
D	—	5.00	—
E	—	5.00	—
e	—	0.50	—
N	32		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	3.10	3.20	3.30
E ₂	3.10	3.20	3.30
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



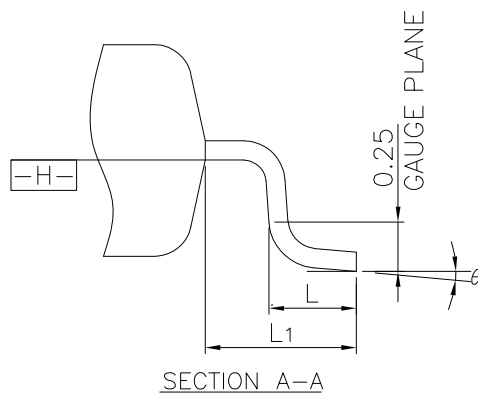
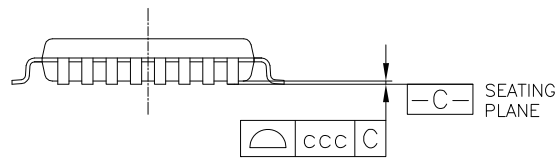
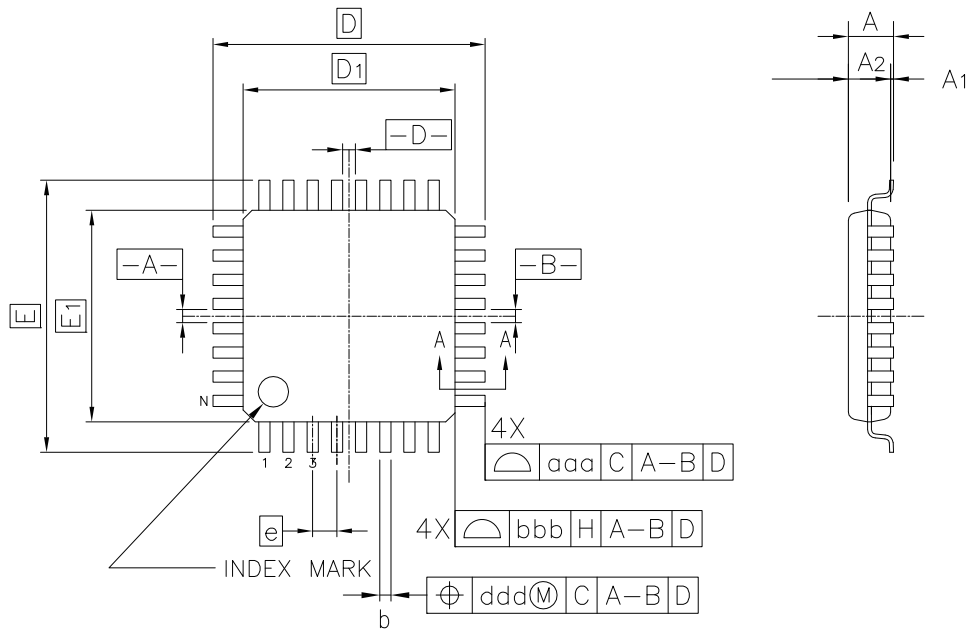
(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

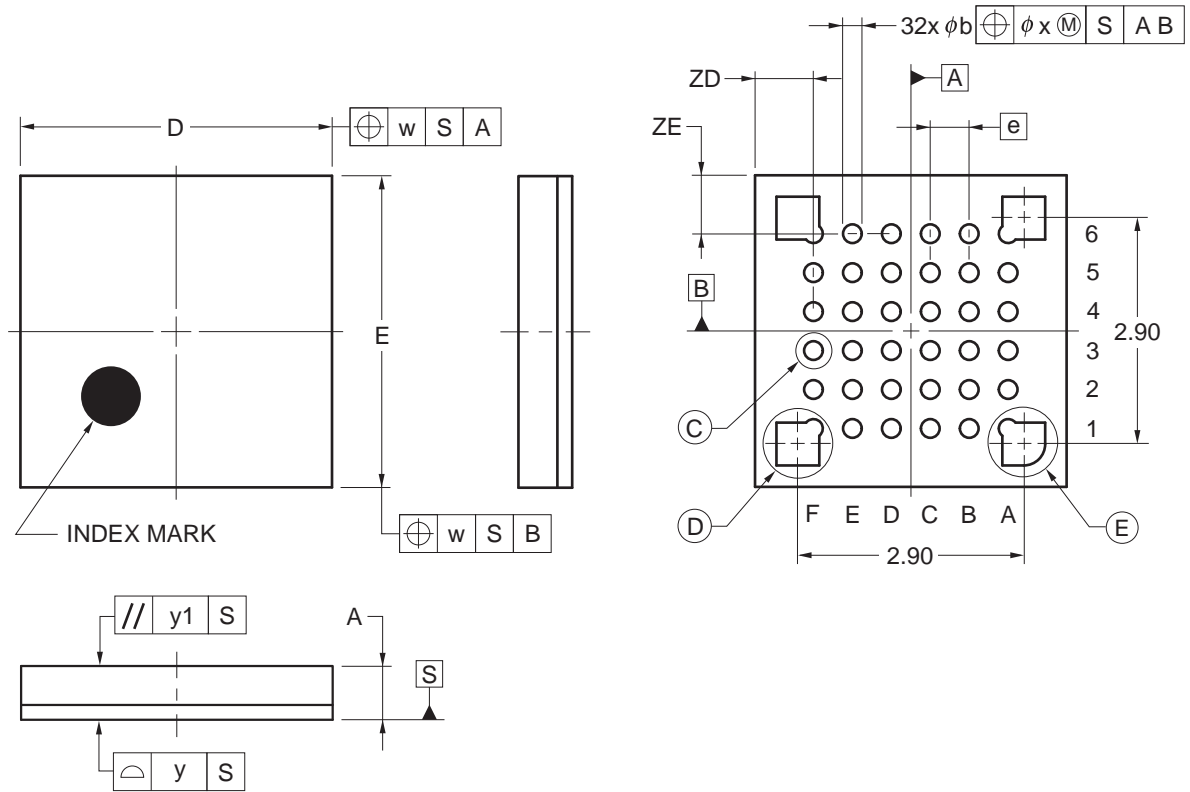
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP32-7x7-0.80	PLQP0032GE-A	0.18



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	1.60
A ₁	0.05	-	0.15
A ₂	1.35	1.40	1.45
D	-	9.00	-
D ₁	-	7.00	-
E	-	9.00	-
E ₁	-	7.00	-
N	-	32	-
e	-	0.80	-
b	0.30	0.37	0.45
c	0.09	-	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	-	1.00	-
aaa	-	-	0.20
bbb	-	-	0.20
ccc	-	-	0.10
ddd	-	-	0.20

39.3 36ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-WFLGA36-4x4-0.50	PWLG0036KA-A	P36FC-50-AA4-2	0.023

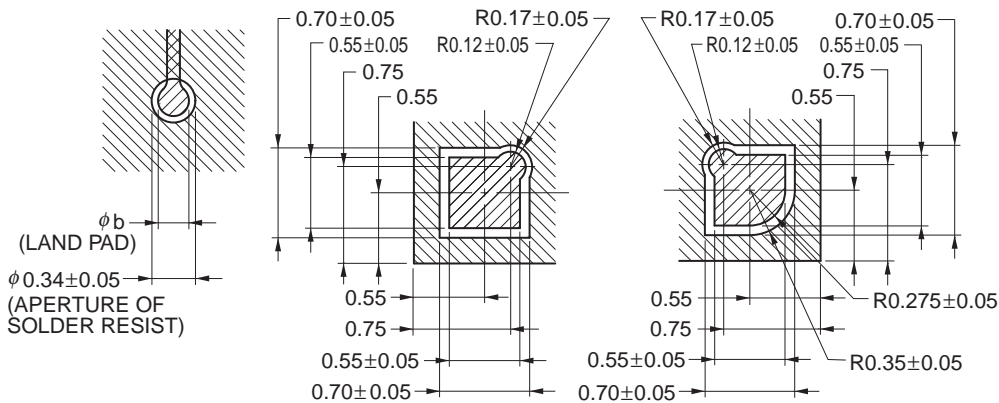


DETAIL (C)

DETAIL (D)

DETAIL (E)

(UNIT:mm)

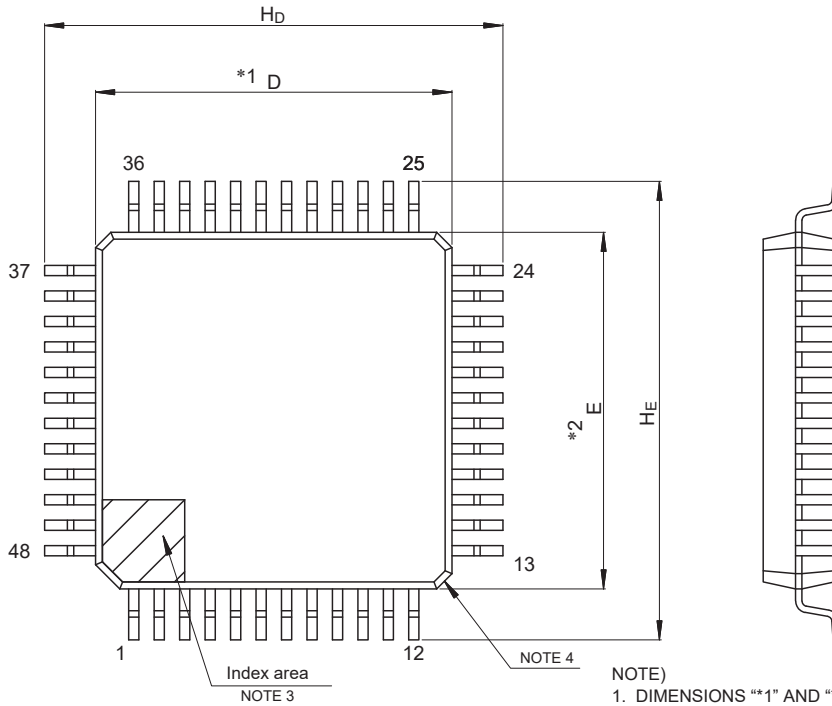


ITEM	DIMENSIONS
D	4.00±0.10
E	4.00±0.10
w	0.20
e	0.50
A	0.69±0.07
b	0.24±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

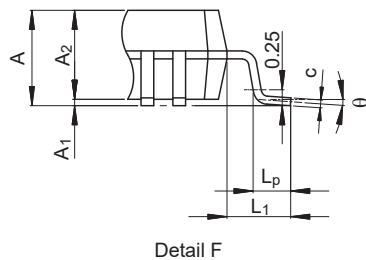
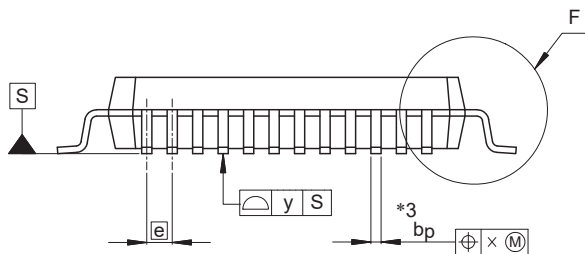
39.4 48ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



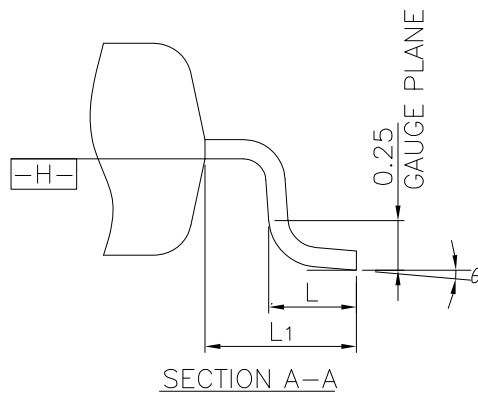
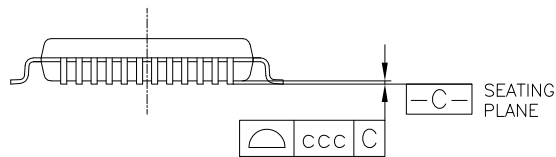
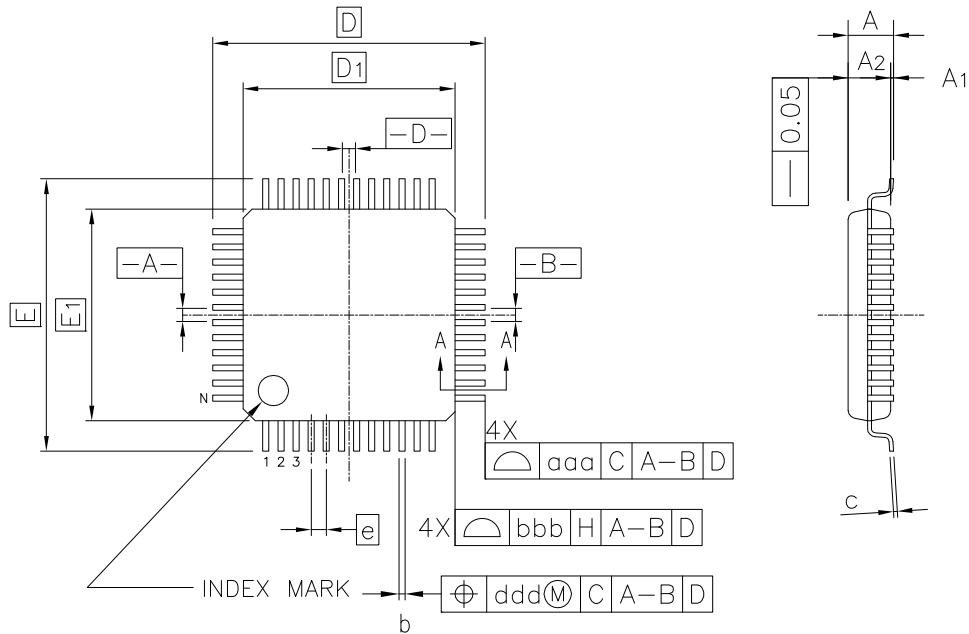
- NOTE)
1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP48-7x7-0.50	PLQP0048KL-A	0.18

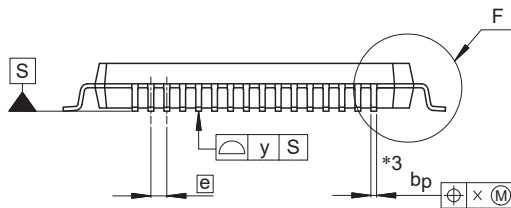
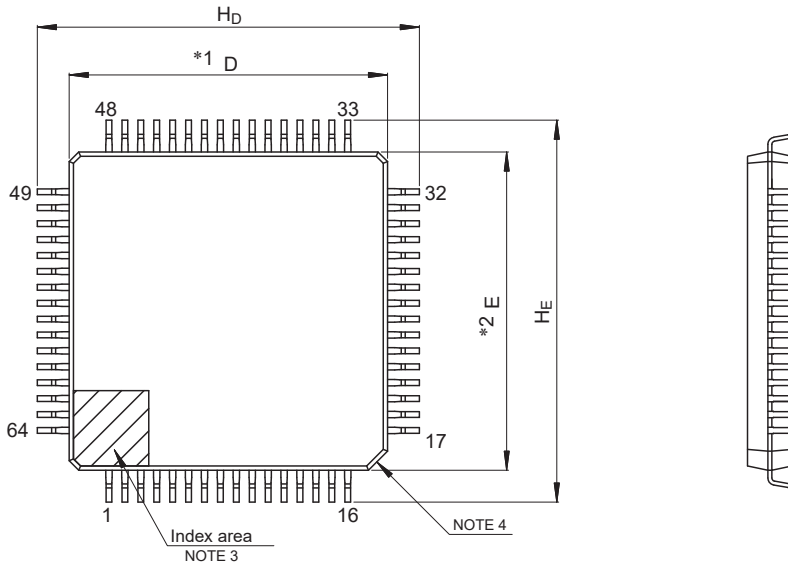


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	1.60
A ₁	0.05	-	0.15
A ₂	1.35	1.40	1.45
D	-	9.00	-
D ₁	-	7.00	-
E	-	9.00	-
E ₁	-	7.00	-
N	-	48	-
e	-	0.50	-
b	0.17	0.22	0.27
c	0.09	-	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	-	1.00	-
aaa	-	-	0.20
bbb	-	-	0.20
ccc	-	-	0.08

39.5 64ピン製品

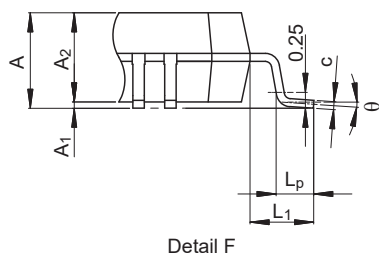
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

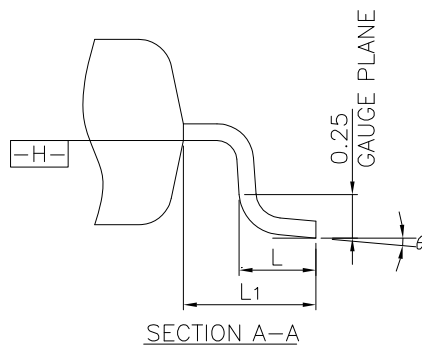
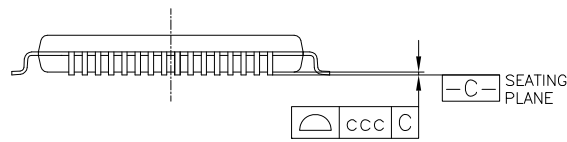
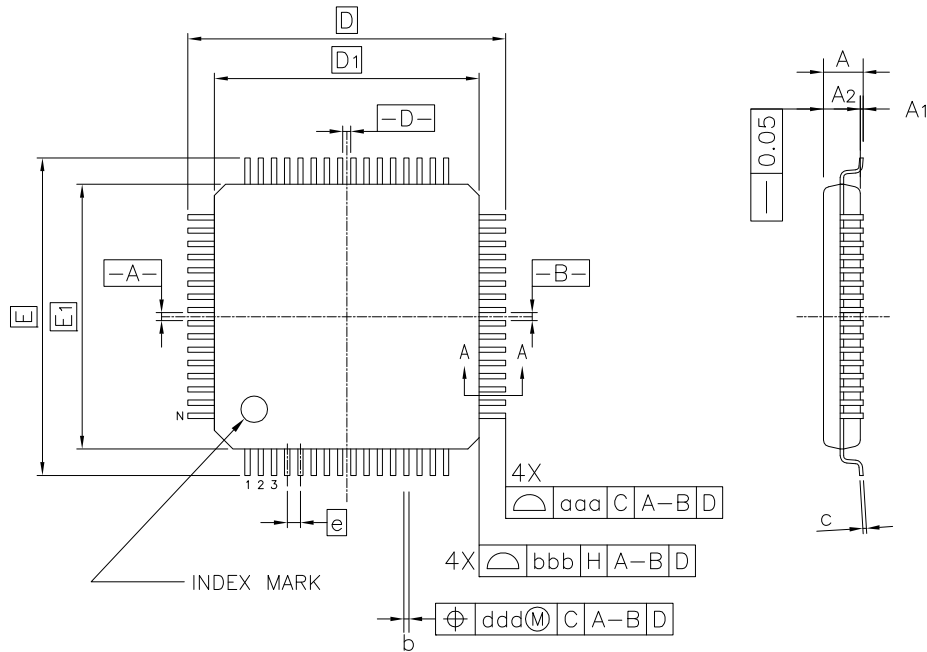
1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP064-10x10-0.50	PLQP0064KL-A	0.36



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	12.00	—
D ₁	—	10.00	—
E	—	12.00	—
E ₁	—	10.00	—
N	—	64	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第1章 概説		
p.4	図1-1 RL78/G1Fの型名とメモリサイズ・パッケージを変更	(d)
p.5	表1-1 発注型名一覧を変更	(d)
第4章 ポート機能		
p.123	図4-5 ポート出力モード・レジスタのフォーマットの注1を変更	(c)
p.123	図4-5 ポート出力モード・レジスタのフォーマットの注2を変更	(c)
p.126	図4-7 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のフォーマットを変更	(c)
p.130	図4-11 UART2またはIrDAを使う場合のリダイレクト機能の割り当てを変更	(c)
p.140	表4-8 P00-P17端子機能使用時のレジスタの設定例 (64ピン製品の場合) (1/4)を変更	(c)
第6章 タイマ・アレイ・ユニット		
p.229	図6-19 タイマ・チャンネル停止レジスタm (TTm)のフォーマットを変更	(c)
第11章 リアルタイム・クロック		
p.528	図11-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/2)に注1、注2を追加	(c)
第14章 ウォッチドッグ・タイマ		
p.566	表14-3 ウォッチドッグ・タイマのオーバフロー時間の設定に注を追加	(c)
p.568	表14-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定に注を追加	(c)
第19章 シリアル・アレイ・ユニット		
p.692	19.3.12 シリアル出力レジスタm (SOm)の注意を削除	(c)
p.692	図19-19 シリアル出力レジスタm (SOm)のフォーマットを変更	(c)
p.692	図19-19 シリアル出力レジスタm (SOm)のフォーマットの注意を変更	(c)
第30章 安全機能		
p.1065	30.1 安全機能の概要を変更	(c)
p.1065	30.1 安全機能の概要の備考を変更	(c)
p.1070	30.3.2 CRC演算機能(汎用CRC)を変更	(c)
p.1075	30.3.4 RAMガード機能を変更	(c)
p.1076	30.3.5 SFRガード機能を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a): 誤記訂正, (b): 仕様(スペック含む)の追加/変更, (c): 説明, 注意事項の追加/変更,
(d): パッケージ, オーダ名称, 管理区分の追加/変更, (e): 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/8)

版数	内容	適用箇所
Rev. 1.20	図11-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/2) 説明を追加	第11章 リアルタイム・クロック
	図11-22 リアルタイム・クロックの読み出し手順 注意を変更	
	図11-23 リアルタイム・クロックの書き込み手順 注意1を変更	
	37.3.2 電源電流特性 (TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/2) 注1および注4を変更	第37章 電氣的特性 (TA = -40 ~ +85 °C)
	37.3.2 電源電流特性 (TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (2/2) 注1および注5を変更, 注6を削除	
	38.3.2 電源電流特性 (TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/2) 注1および注4を変更	第38章 電氣的特性 (G: TA = -40 ~ +105 °C)
	38.3.2 電源電流特性 (TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (2/2) 注1および注5を変更, 注6を削除	
39.2 32ピン製品 PWQN0032KG-A を変更	第39章 外形図	
Rev. 1.13	3線シリアルI/O、3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPIに変更	
	IICAのウェイトをクロック・ストレッチに変更	
	1.1 特徴 注を追加	第1章 概説
	1.2 型名一覧 表1-1 発注型名一覧を変更	第4章 ポート機能
	4.4.5 入出力バッファによる異電位 (1.8V系, 2.5V系, 3V系) 対応 注を追加	
	第19章 シリアル・アレイ・ユニット 注を追加	第19章 シリアル・アレイ・ユニット
	39.1 24ピン製品 PWQN0024KH-Aの外形図 を追加	第39章 外形図
	39.2 32ピン製品 PWQN0032KG-A, PLQP0032GE-Aの外形図 を追加	
	39.4 48ピン製品 PLQP0048KL-Aの外形図 を追加	
39.5 64ピン製品 PLQP0064KL-Aの外形図 を追加		
Rev. 1.12	表1-1 発注型名一覧 を変更	第1章 概説
	1.3.2 32ピン製品 32ピン・プラスチックHWQFN (5 × 5 mm, 0.5 mmピッチ) を追加	第39章 外形図
	39.2 32ピン製品 PWQN0032KE-Aの外形図 を追加	
Rev. 1.11	図1-1 RL78/G1Fの型名とメモリスizes・パッケージ を修正	第1章 概説
	表1-1 発注型名一覧 タイトルを追加、表を修正	第39章 外形図
	第39章 外形図 を修正	
Rev. 1.10	1.3.1 24ピン製品 端子接続図に製品名および(Top View)を記載	第1章 概説
	1.3.2 32ピン製品 端子接続図に製品名および(Top View)を記載	
	1.3.4 48ピン製品 端子接続図に製品名および(Top View)を記載	
	1.3.5 64ピン製品 端子接続図に製品名および(Top View)を記載	

(2/8)

版数	内容	適用箇所
Rev. 1.10	図2 - 10 端子タイプ7-1-4の端子ブロック図 注意を追加	第2章 端子機能
	図2 - 12 端子タイプ7-1-8の端子ブロック図 注意を追加	
	図2 - 17 端子タイプ7-9-2の端子ブロック図 注意を追加	
	図2 - 18 端子タイプ8-1-3の端子ブロック図 注意を追加	
	図2 - 19 端子タイプ8-1-4の端子ブロック図 注意1、注意2を追加	
	図2 - 20 端子タイプ8-1-7の端子ブロック図 注意を追加	
	図2 - 21 端子タイプ8-1-8の端子ブロック図 注意1、注意2を追加	
	図2 - 22 端子タイプ8-3-8の端子ブロック図 注意1、注意2を追加	
	図2 - 23 端子タイプ8-9-1の端子ブロック図 注意を追加	
	図2 - 24 端子タイプ8-9-2の端子ブロック図 注意1、注意2を追加	
	図3 - 1 メモリ・マップ(R5F11BxC (x = 7, B, C, G, L)) 注1を修正	第3章 CPUアーキテクチャ
	図3 - 2 メモリ・マップ(R5F11BxE (x = 7, B, C, G, L)) 注1を修正	
	表3 - 3 ベクタ・テーブル ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	
Rev. 1.10	3.3.1 制御レジスタ (1) プログラム・カウンタ(PC) アドレスを5桁表示(xxxxxH)に修正	第3章 CPUアーキテクチャ
	表3 - 3 拡張特殊機能レジスタ(2nd SFR)一覧(3/8) F0139Hを追加	
	X1, X2端子 → X1端子, X2端子, XT1, XT2端子 → XT1端子, XT2端子	第5章 クロック発生回路
	5.7 発振子と発振回路定数 (1) X1発振 備考2を追加	
	図6 - 14 タイマ・モード・レジスタmn (TMRmn)のフォーマット(3/4) 注2を追加	第6章 タイマ・アレイ・ユニット
	図8 - 1 タイマRDのブロック図 fHOCO,を追加	第8章 タイマRD
	図8 - 10 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[アウトブットコンペア機能] TOA1, TOA0ビットに注2を記載	
	図8 - 11 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[PWM機能] TOA1, TOA0ビットに注2を記載、TOC0ビットの説明を修正	
	図8 - 12 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[リセット同期PWMモード, 相補PWMモード] 追加	第8章 タイマRD
	図8 - 13 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[PWM3モード] TOA0ビットに注2を記載	
	図8 - 19 タイマRD制御レジスタi (TRDCRi)(i=0,1)のフォーマット[相補PWMモード] TRDCR1レジスタの説明を追加	
	図8 - 32 タイマRDカウンタ0(TRD0)のフォーマット[リセット同期PWMモード, PWM3モード] TRD1レジスタの説明を削除	
	図8 - 33 タイマRDカウンタ0(TRD0)のフォーマット[相補PWMモード(TRD0)] TRD1レジスタの説明を削除	
	図8 - 34 タイマRDカウンタ1 (TRD1)のフォーマット[相補PWMモード(TRD1)]TRD0レジスタの説明を削除	
	図8 - 57 リセット同期PWMモードのブロック図 修正	
	図8 - 59 相補PWMモードのブロック図 (タイマRD0の場合) 修正	

(3/8)

版数	内容	適用箇所
	8.8 PWMオプションユニットA (PWMOPA) タイトル変更、表8-20 パルス強制遮断と出力強制遮断の機能差分 変更	
	8.8.3 動作説明 説明を修正	
	図8-75 出力強制遮断/ハードウェアで出力強制遮断解除の動作例 表記を修正	
	図8-76 遮断詳細タイミング図 表記を修正、注1、注2を変更	
	図8-77 遮断解除詳細タイミング図(タイマRDカウントソース = fCLK) 表記を修正、注1、注2を変更	
	図8-78 遮断解除詳細タイミング図(タイマRDカウントソース = fCLK/2) 表記を修正	
	図8-79 ハードウェアで遮断解除機能動作例 (TRDIOB0, TRDIOD0の例) 表記を修正	
	図8-80 遮断解除の詳細タイミング図(タイマRDカウントソース = fCLK, タイマRDダウンカウント) 表記を修正	
	図8-81 遮断解除詳細タイミング図(タイマRD カウントソース = fCLK, タイマRD カウント = TRDGRA0) 表記を修正	
Rev. 1.10	図8-82 遮断解除詳細タイミング図(タイマRD カウントソース = fCLK/2, タイマRDはダウンカウント) 表記を修正	第8章 タイマRD
	図8-83 遮断解除詳細タイミング図(タイミングRD カウントソース = fCLK/2, タイマRD カウント = TRDGRA0) 表記を修正、注1、注2を変更	
	図8-84 ソフトウェアで遮断解除したときの動作例 (TRDIOB0, TRDIOC0, TRDIOD0の例) 表記を修正	
	図8-85 遮断解除詳細タイミング図 表記を修正	
	図8-86 ソフトウェアにより遮断解除する場合の動作例(タイマRD, 2チャンネル・カウント時) 表記を修正	
	図8-87 ソフトウェアにより遮断解除する場合の動作例(タイマRD, 1チャンネル・カウント) 表記を修正	
	図8-88 ソフトウェアにより出力遮断解除する場合の動作例 表記を修正、①、③の説明を修正	
	図8-89 ソフトウェアにより遮断解除する場合の動作例 (TRDIOB0, TRDIOD0の例) 表記を修正	
	図8-91 カウント値 = 0000Hになる判定タイミング(カウント値 = 0000H時タイマRDカウント開始) 表記を修正	
	図8-92 カウント値 = 0000Hになる判定タイミング(カウントソース = 動作クロックでカウント中, カウント値は0000Hになる) 表記を修正	
	図8-93 カウント値 = 0000Hになる判定タイミング(カウントソース = 動作クロック/2でカウント中, カウント値は0000Hになる) 表記を修正	
	図8-94 カウント値 = 0000Hになる判定タイミング(カウントソース = 動作クロック, タイマRDカウンタ値が0000Hとなると同時に停止) 表記を修正	
	図8-95 カウント値 = 0000Hになる判定タイミング(カウントソース = fCLK/2, タイマRD カウント値が0000Hになると同時にカウント停止) 表記を修正	

(4/8)

版数	内容	適用箇所
	図8-96 カウント値 = 0000Hになる判定タイミング (カウントソース = 動作クロック/2, タイマRDのカウント値は0000Hの次のタイミングでカウント停止) 表記を修正	
	図15-4 A/D電圧コンパレータ使用時のタイミング・チャート 修正	第15章 A/Dコンバータ
	図15-19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード) 動作タイミング例 修正	
	図15-20 ソフトウェア・セレクト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 修正	
	図15-21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード) 動作タイミング例 修正	
	図15-22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 修正	
	図15-23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例 修正	
	図15-24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 修正	
Rev. 1.10	図15-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例 修正	第15章 A/Dコンバータ
	図15-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 修正	
	図15-27 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例 修正	
	図15-28 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 修正	
	図15-29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例 修正	
	図15-30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 修正	
	図15-31 ソフトウェア・トリガ・モード設定 修正 (用語統一)	
	図15-32 ハードウェア・トリガ・ノーウエイト・モード設定 修正 (用語統一)	
	図15-33 ハードウェア・トリガ・ウエイト・モード設定 修正 (用語統一)	
	図15-34 温度センサ出力電圧/内部基準電圧を選択時の設定 修正 (用語統一)	
	図15-35 テスト・モード設定 修正 (用語統一)	
	表17-1 CMPの機能概要 変更	第17章 コンパレータ (CMP)
	図19-75 SNOOZEモード動作(1回起動)時のフロー・チャート SNOOZEモードを修正	第19章 シリアル・アレイ・ユニット
	図19-77 SNOOZEモード動作(連続起動)時のフロー・チャート SNOOZEモードを修正	
	19.7.3 SNOOZEモード機能 説明を修正	

(5/8)

版数	内容	適用箇所
	図19 - 125 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャート SNOOZEモードを修正	
	図19 - 127 SNOOZEモード動作(EOCm1 = 1, SSECM = 1)時のフロー・チャート SNOOZEモードのフロー・チャートを修正	
	図20 - 15 IICAコントロール・レジスタn1 (IICCTLn1)のフォーマット(2/2) PRSnビットの機能を修正	第20章 シリアル・インタフェースIICA
	第22章 データ・トランスファ・コントローラ(DTC) 説明を追加	第22章 データ・トランスファ・コントローラ(DTC)
	表24 - 1 割り込み要因一覧 ベクタ・テーブル・アドレスを5桁表示(XXXXH)に修正	第24章 割り込み機能
	アドレスを5桁表示(XXXXH)に変更	第27章 リセット機能
	表27 - 2 各ハードウェアのリセット受け付け後の状態 アドレスを5桁表示(XXXXH)に変更	
	32.1.1 ユーザ・オプション・バイト (3) 000C2H/010C2Hの説明を追加	第32章 オプション・バイト
	表34 - 1 オンチップ・デバッグ・セキュリティ ID 注を追加	第34章 オンチップ・デバッグ機能
Rev. 1.10	37.3.2 電源電流特性 I _{DD2} のHALTモードでサブシステム・クロック動作の条件を追加	第37章 電氣的特性(T _A = -40 ~ +85 °C)
	38.3.2 電源電流特性 IDD2のHALTモードでサブシステム・クロック動作の条件を追加	第38章 電氣的特性(G: T _A = -40 ~ +105 °C)

(6/8)

版数	内容	適用箇所	
Rev. 1.00	ユニット略称を変更 (PWMOP→PWMOPA)	全般	
	1.1 特徴の説明を変更	第1章 概説	
	1.4 端子名称を変更		
	1.6 機能概要を変更		
	図5-2 クロック動作モード制御レジスタ(CMC)のフォーマットの注意7を変更	第5章 クロック発生回路	
	図5-17 XT1発振回路の外付け回路例の注意を変更		
	5.7 発振子と発振回路定数の(1) X1発振を変更		
	5.7 発振子と発振回路定数の(2) XT1発振 (水晶振動子) を削除	第6章 タイマ・アレイ・ユニット	
	図6-1 タイマ・アレイ・ユニット0の全体ブロック図を変更		
	図6-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図を変更		
	タイマRDの説明を変更	第8章 タイマRD	
	8.2 タイマRDの構成の説明を変更		
	図8-1 タイマRDのブロック図を変更		
	図8-27 タイマRDステータスレジスタ1(TRDSR1)のフォーマット[インプットキャプチャ機能以外]を変更		
	図8-32 タイマRDカウンタi(TRDi)(i = 0, 1)のフォーマット[相補PWMモード(TRD0)]を変更		
	図8-49 アウトプットコンペア機能のブロック図 (タイマRD0の場合) を変更		
	図8-53 PWM機能のブロック図 (タイマRD0の場合) を変更		
	図8-56 リセット同期PWMモードのブロック図 (タイマRD0の場合) を変更		
	図8-58 相補PWMモードのブロック図 (タイマRD0の場合) を変更		
	図8-61 PWM3モードのブロック図 (タイマRD0の場合) を変更		
	8.8 PWM オプションユニット (PWMOPA) の説明を変更		
	表8-20 パルス強制遮断と出力強制遮断の機能差分の説明を変更		
	図8-68 PWMOP制御論理図を削除		
	10.1 タイマRXの機能の説明を変更		第10章 タイマRX
	図10-3 タイマRXカウンタ (TRX) のフォーマットの注意の説明を変更		
	図10-4 タイマRXカウント・バッファ・カウンタ (TRXBUF) のフォーマットの注意の説明を変更		
	図10-5 タイマRX機能制御レジスタ1(TRXCR1)のフォーマットを変更		
	図10-5 タイマRX機能制御レジスタ1(TRXCR1)のフォーマットの注意の説明を変更		
	図10-6 タイマRX機能制御レジスタ2(TRXCR2)のフォーマットの注意の説明を変更		
	図10-7 タイマRXステータス・レジスタ(TRXSR)のフォーマットの注意の説明を変更		
	10.4.1 カウントソースの説明を変更		

(7/8)

版数	内容	適用箇所	
Rev. 1.00	図10-11 コンパレータ1からのトリガによる、タイマRXカウント・ストップの動作例を変更	第10章 タイマRX	
	図10-12 インพุット・キャプチャ動作例を変更		
	図10-13 インพุットキャプチャ動作例(同時にカウント値をリセット)を変更		
	表17-1 CMPの機能概要を変更	第17章 コンパレータ (CMP)	
	図17-1 コンパレータ0のブロック図を変更		
	図17-2 コンパレータ1のブロック図を変更		
	17.3.7 コンパレータ0 入力信号選択制御レジスタ (CMPSEL0) の説明を変更		
	図17-9 コンパレータ0 入力信号選択制御レジスタ (CMPSEL0) を変更		
	17.3.8 コンパレータ1 入力信号選択制御レジスタ (CMPSEL1) の説明を変更		
	図17-10 コンパレータ1 入力信号選択制御レジスタ (CMPSEL1) を変更		
	図17-12 コンパレータi デジタル・フィルタとエッジ検出の構成を変更	第18章 プログラマブル・ゲイン・アンプ(PGA)	
	プログラマブル・ゲイン・アンプ(PGA)の説明を変更		
	18.1 プログラマブル・ゲイン・アンプの性能の説明を変更		
	図18-1 プログラマブル・ゲイン・アンプのブロック図を変更		
	18.4 プログラマブル・ゲイン・アンプの動作の説明を変更		
	表22-1 DTCの仕様の説明を変更	第22章 データ・トランスファ・コントローラ(DTC)	
	図23-2 イベント出力先選択レジスタn (ELSELn)のフォーマットを変更	第23章 イベント・リンク・コントローラ(ELC)	
37.6.5 PGAを変更	第37章 電気的特性(TA = -40~+85 °C)		
38.6.5 PGAを変更	第38章 電気的特性(G: TA = -40~+105 °C)		
Rev. 0.50	図1-1の説明を変更	第1章 概説	
	1.4 端子名称の説明を追加		
	1.5 ブロックの説明を変更		
	1.6 機能概要の説明を変更	第2章 端子機能	
	図2-5~図2-8の誤記を修正		
	3.1 概要に説明を追加		第3章 CPUアーキテクチャ
	図3-1に注意1を追加		
	図3-2に注意1を追加		
	3.2.3 内部データ・メモリ空間に注意4を追加		
	表3-10の誤記を修正		
	図4-5の注1、2を変更	第4章 ポート機能	
	図6-12の説明を追加	第6章 タイマ・アレイ・ユニット	
	6.9.1 ワンショット・パルス出力機能としての動作の注意を変更		
	図8-1 タイマRDのブロック図を変更	第8章 タイマRD	
	図8-49 アウトพุットコンペア機能のブロック図(タイマRD0の場合)を変更		
図8-53 PWM機能のブロック図(タイマRD0の場合)を変更			
図8-56 リセット同期PWMモード(タイマRD0の場合)のブロック図を変更			

(8/8)

版数	内容	適用箇所
Rev. 0.50	図8-58 相補PWMモードのブロック図（タイマRD0の場合）を変更	第8章 タイマRD
	図8-61 PWM3モードのブロック図（タイマRD0の場合）を変更	
	8.8 PWMオプションユニット（PWMOP）の説明を変更	
	第10章 タイマRXの説明を変更	第10章 タイマRX
	図18-6のフロー・チャートを修正	第18章 プログラマブル・ゲイン・アンプ（PGA）
	冒頭の説明を追加	
	19.3.12 シリアル出力レジスタm（SOm）に注意を追加	第19章 シリアル・アレイ・ユニット
	冒頭に注意1、2を追加	第20章 シリアル・インタフェースIICA
	表20-1に注を追加	
	図20-13に備考3を追加	
	20.3.6 IICAロウ・レベル幅設定レジスタn（IICWLn）に説明を追加	
	図20-18に注を追加	第22章 データ・トランスファ・コントローラ（DTC）
	22.5.3 DTC保留命令に説明を追加	
	24.4.4 除算命令中の割り込み処理に注意を追加	第24章 割り込み機能
	24.4.5 割り込み要求の保留に説明を追加	
	図30-11の注の誤記を修正	第30章 安全機能
	図30-17の説明を追加	
	表36-16に注意を追加	第36章 命令セットの概要
	冒頭の説明に対象製品を追加	第37章 電気的特性（ $T_A = -40 \sim +85^\circ\text{C}$ ）（ターゲット）
	37.2.2 オンチップ・オシレータ特性を変更	
	37.3.1 端子特性に注4を追加	
	37.3.2 電源電流特性を変更	
	37.6.4 コンパレータの特性を変更	
	37.6.5 PGAの特性を変更	
	37.7 RAMデータ保持特性に改称	
	冒頭の説明に対象製品を追加	
	38.2.2 オンチップ・オシレータ特性を変更	
ロウ・レベル出力電圧を変更		
38.3.2 電源電流特性を変更	第38章 電気的特性（G：産業用途 $T_A = -40 \sim +105^\circ\text{C}$ ）（ターゲット）	
38.6.4 コンパレータの特性を変更		
38.6.5 PGAの特性を変更		
38.7 RAMデータ保持特性に改称		
初版作成		全般

RL78/G1F ユーザーズマニュアル ハードウェア編

発行年月日 2024年4月26日 Rev.1.30

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/G1F



ルネサスエレクトロニクス株式会社

R01UH0516JJ0130