

R8C/LAPS グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ
R8Cファミリ / R8C/Lxシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/LAPS グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサスエレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/LAPSグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0002
アプリケーション ノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語による プログラムの作成方法	ルネサスエレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

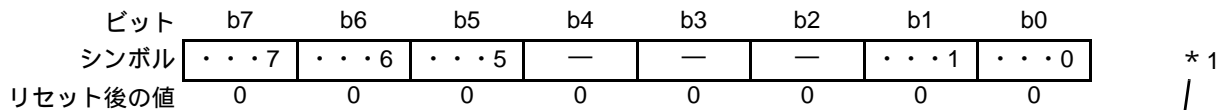
- | |
|---|
| <p>(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5 端子、VCC 端子</p> <p>(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数：11b
16進数：EFA0h
10進数：1234</p> |
|---|

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X レジスタ(シンボル)

アドレス . . . h番地



ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . .	R/W R/W R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b3	—	予約ビット	“0”にしてください。	W
b4	—			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6			R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

* 1

R/W : 読むとビットの状態が読めます。書くと有効データになります。

R : 読むとビットの状態が読めます。書いた値は無効になります。

W : 書くと有効データになります。ビットの状態は読めません。

— : 何も配置されていないビットです。

* 2

• 予約ビット

予約ビットです。指定された値にしてください。

* 3

• 何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

• 設定しないでください

設定した場合の動作は保証されません。

• 動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 応用	1
1.1.2 仕様概要	2
1.2 製品一覧	3
1.3 ブロック図	4
1.4 ピン配置図	5
1.5 端子機能の説明	7
2. 中央演算処理装置(CPU)	8
2.1 データレジスタ(R0、R1、R2、R3)	9
2.2 アドレスレジスタ(A0、A1)	9
2.3 フレームベースレジスタ(FB)	9
2.4 割り込みテーブルレジスタ(INTB)	9
2.5 プログラムカウンタ(PC)	9
2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)	9
2.7 スタティックベースレジスタ(SB)	9
2.8 フラグレジスタ(FLG)	9
2.8.1 キャリフラグ(Cフラグ)	9
2.8.2 デバッグフラグ(Dフラグ)	9
2.8.3 ゼロフラグ(Zフラグ)	9
2.8.4 サインフラグ(Sフラグ)	9
2.8.5 レジスタバンク指定フラグ(Bフラグ)	9
2.8.6 オーバフローフラグ(Oフラグ)	10
2.8.7 割り込み許可フラグ(Iフラグ)	10
2.8.8 スタックポインタ指定フラグ(Uフラグ)	10
2.8.9 プロセッサ割り込み優先レベル(IPL)	10
2.8.10 予約ビット	10
3. メモリ	11
4. SFR	12
5. リセット	22
5.1 レジスタの説明	24
5.1.1 プロセッサモードレジスタ0 (PM0)	24
5.1.2 リセット要因判別レジスタ (RSTFR)	24
5.1.3 オプション機能選択レジスタ (OFS)	25
5.1.4 オプション機能選択レジスタ2 (OFS2)	26
5.2 ハードウェアリセット	27
5.2.1 電源が安定している場合	27
5.2.2 電源投入時	27
5.3 パワーオンリセット機能	29
5.4 電圧監視0リセット	30
5.5 ウォッチドッグタイマリセット	31
5.6 ソフトウェアリセット	31
5.7 コールドスタート/ウォームスタート判定機能	32

5.8	リセット要因判別機能.....	32
6.	電圧検出回路.....	33
6.1	概要.....	33
6.2	レジスタの説明.....	37
6.2.1	電圧監視回路制御レジスタ(CMPA).....	37
6.2.2	電圧監視回路エッジ選択レジスタ(VCAC).....	37
6.2.3	電圧検出レジスタ1(VCA1).....	38
6.2.4	電圧検出レジスタ2(VCA2).....	39
6.2.5	電圧検出1レベル選択レジスタ(VD1LS).....	40
6.2.6	電圧監視0回路制御レジスタ(VW0C).....	41
6.2.7	電圧監視1回路制御レジスタ(VW1C).....	42
6.2.8	電圧監視2回路制御レジスタ(VW2C).....	43
6.2.9	オプション機能選択レジスタ(OFS).....	44
6.3	VCC入力電圧のモニタ.....	45
6.3.1	Vdet0のモニタ.....	45
6.3.2	Vdet1のモニタ.....	45
6.3.3	Vdet2のモニタ.....	45
6.4	電圧監視0リセット.....	46
6.5	電圧監視1割り込み.....	47
6.6	電圧監視2割り込み.....	49
7.	I/Oポート.....	51
7.1	概要.....	51
7.2	I/Oポートの機能.....	52
7.3	周辺機能への影響.....	52
7.4	I/Oポート以外の端子.....	52
7.5	レジスタの説明.....	58
7.5.1	ポートPi方向レジスタ(PDi)(i = 2、5、7 ~ 9).....	58
7.5.2	ポートPiレジスタ(Pi)(i = 2、5、7 ~ 9).....	59
7.5.3	タイマRJ端子選択レジスタ(TRJSR).....	60
7.5.4	タイマRC端子選択レジスタ0(TRCPSR0).....	61
7.5.5	タイマRC端子選択レジスタ1(TRCPSR1).....	62
7.5.6	SSU/IIC端子選択レジスタ(SSUIICSR).....	63
7.5.7	入出力機能端子選択レジスタ(PINSR).....	64
7.5.8	ポートPiプルアップ制御レジスタ(PiPUR)(i = 2、5、7 ~ 9).....	65
7.5.9	ポートP8駆動能力制御レジスタ(P8DRR).....	65
7.5.10	入力しきい値制御レジスタ0(VLT0).....	66
7.5.11	入力しきい値制御レジスタ1(VLT1).....	67
7.5.12	入力しきい値制御レジスタ2(VLT2).....	68
7.6	ポートの設定.....	69
7.7	未使用端子の処理.....	77
8.	バス制御.....	78
9.	クロック発生回路.....	79
9.1	概要.....	79
9.2	レジスタの説明.....	82
9.2.1	システムクロック制御レジスタ0(CM0).....	82

9.2.2	システムクロック制御レジスタ1 (CM1)	83
9.2.3	システムクロック制御レジスタ3 (CM3)	84
9.2.4	発振停止検出レジスタ(OCD)	85
9.3	XINクロック	86
9.4	低速オンチップオシレータクロック	87
9.5	CPUクロックと周辺機能クロック	87
9.5.1	システムクロック	87
9.5.2	CPUクロック	87
9.5.3	周辺機能クロック (f1、f2、f4、f8、f32)	87
9.5.4	fOCO	87
9.5.5	fOCO-S	87
9.5.6	fOCO128	88
9.5.7	fOCO-WDT	88
9.6	発振停止検出機能	89
9.6.1	発振停止検出機能の使用方法	89
9.7	クロック発生回路使用上の注意	91
9.7.1	発振停止検出機能	91
9.7.2	発振回路定数	91
10.	パワーコントロール	92
10.1	概要	92
10.2	レジスタの説明	93
10.2.1	システムクロック制御レジスタ0 (CM0)	93
10.2.2	システムクロック制御レジスタ1 (CM1)	94
10.2.3	システムクロック制御レジスタ3 (CM3)	95
10.2.4	発振停止検出レジスタ(OCD)	96
10.2.5	電圧検出レジスタ2 (VCA2)	97
10.3	標準動作モード	98
10.3.1	高速クロックモード	98
10.3.2	低速オンチップオシレータモード	98
10.4	ウェイトモード	99
10.4.1	周辺機能クロック停止機能	99
10.4.2	ウェイトモードへの移行	99
10.4.3	VCA20ビットによる内部電源低消費操作	99
10.4.4	ウェイトモード時の端子の状態	99
10.4.5	ウェイトモードからの復帰	100
10.4.6	CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰	101
10.4.7	WAIT命令実行後のウェイトモードからの復帰	102
10.5	ストップモード	103
10.5.1	ストップモードへの移行	103
10.5.2	ストップモード時の端子の状態	103
10.5.3	ストップモードからの復帰	104
10.6	消費電力の低減	105
10.6.1	電圧検出回路	105
10.6.2	ポート	105
10.6.3	クロック	105
10.6.4	ウェイトモード、ストップモード	105
10.6.5	周辺機能クロックの停止	105

10.6.6	タイマ	105
10.6.7	クロック同期形シリアルインタフェース	105
10.6.8	VCA20ビットによる内部電源低消費操作	106
10.6.9	フラッシュメモリの停止	108
10.6.10	低消費電流リードモード	109
10.7	パワーコントロール使用上の注意	110
10.7.1	ストップモード	110
10.7.2	ウェイトモード	110
10.7.3	VCA20ビットによる内部電源低消費操作	111
11.	プロテクト	112
11.1	レジスタの説明	112
11.1.1	プロテクトレジスタ (PRCR)	112
12.	割り込み	113
12.1	概要	113
12.1.1	割り込みの分類	113
12.1.2	ソフトウェア割り込み	113
12.1.3	特殊割り込み	114
12.1.4	周辺機能割り込み	115
12.1.5	割り込みと割り込みベクタ	115
12.2	レジスタの説明	117
12.2.1	割り込み制御レジスタ (KUPIC、TRJ0IC、TRB1IC、TRB0IC、VCMP1IC、VCMP2IC)	117
12.2.2	割り込み制御レジスタ(FMRDYIC、TRCIC、SSUIC/IICIC)	118
12.2.3	INT _i 割り込み制御レジスタ (INT _i IC)(i = 0 ~ 3、5)	119
12.3	割り込み制御	120
12.3.1	Iフラグ	120
12.3.2	IRビット	120
12.3.3	ILVL2 ~ ILVL0ビット、IPL	120
12.3.4	割り込みシーケンス	121
12.3.5	割り込み応答時間	122
12.3.6	割り込み要求受付時のIPLの変化	122
12.3.7	レジスタ退避	122
12.3.8	割り込みルーチンからの復帰	124
12.3.9	割り込み優先順位	124
12.3.10	割り込み優先レベル判定回路	125
12.4	INT割り込み	127
12.4.1	INT _i 割り込み (i = 0 ~ 3、5)	127
12.4.2	外部入力許可レジスタ0 (INTEN)	128
12.4.3	外部入力許可レジスタ1 (INTEN1)	129
12.4.4	INT入力フィルタ選択レジスタ0 (INTF)	130
12.4.5	INT入力フィルタ選択レジスタ1 (INTF1)	130
12.4.6	INT _i 入力フィルタ (i = 0 ~ 3、5)	131
12.5	キー入力割り込み	132
12.5.1	キー入力許可レジスタ0(KIEN)	134
12.5.2	キー入力許可レジスタ1(KIEN1)	135
12.6	アドレス一致割り込み	136
12.6.1	アドレス一致割り込み許可レジスタ _i (AIER _i)(i = 0 ~ 1)	137

12.6.2	アドレス一致割り込みレジスタ i (RMAD i)($i = 0 \sim 1$)	137
12.7	タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I ² Cバス インタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)	138
12.8	割り込み使用上の注意	139
12.8.1	00000h番地の読み出し	139
12.8.2	SPの設定	139
12.8.3	外部割り込み、キー入力割り込み	139
12.8.4	割り込み要因の変更	140
12.8.5	割り込み制御レジスタの変更	141
13.	IDコード領域	142
13.1	概要	142
13.2	機能	143
13.3	強制イレース機能	144
13.4	標準シリアル入出力モード禁止機能	144
13.5	IDコード領域使用上の注意	145
13.5.1	IDコード領域の設定例	145
14.	オプション機能選択領域	146
14.1	概要	146
14.2	レジスタの説明	147
14.2.1	オプション機能選択レジスタ(OFS)	147
14.2.2	オプション機能選択レジスタ2(OFS2)	148
14.3	オプション機能選択領域使用上の注意	149
14.3.1	オプション機能選択領域の設定例	149
15.	ウォッチドッグタイマ	150
15.1	概要	150
15.2	レジスタの説明	152
15.2.1	プロセッサモードレジスタ1(PM1)	152
15.2.2	ウォッチドッグタイマリセットレジスタ(WDTR)	152
15.2.3	ウォッチドッグタイマスタートレジスタ(WDTS)	152
15.2.4	ウォッチドッグタイマ制御レジスタ(WDTC)	153
15.2.5	カウントソース保護モードレジスタ(CSPR)	153
15.2.6	オプション機能選択レジスタ(OFS)	154
15.2.7	オプション機能選択レジスタ2(OFS2)	155
15.3	動作説明	156
15.3.1	複数モードに関わる共通事項	156
15.3.2	カウントソース保護モード無効時	157
15.3.3	カウントソース保護モード有効時	158
16.	タイマ総論	159
17.	タイマRB	160
17.1	概要	160
17.2	レジスタの説明	162
17.2.1	モジュールスタンバイ制御レジスタ1(MSTCR1)	162
17.2.2	タイマRB i 制御レジスタ(TRBiCR)($i = 0 \sim 1$)	163
17.2.3	タイマRB i ワンショット制御レジスタ(TRBiOCR)($i = 0 \sim 1$)	163

17.2.4	タイマR <i>B</i> i I/O制御レジスタ (TR <i>B</i> iIOC)(<i>i</i> = 0 ~ 1)	164
17.2.5	タイマR <i>B</i> i モードレジスタ (TR <i>B</i> iMR)(<i>i</i> = 0 ~ 1)	164
17.2.6	タイマR <i>B</i> i プリスケーラレジスタ (TR <i>B</i> iPRE)(<i>i</i> = 0 ~ 1)	165
17.2.7	タイマR <i>B</i> i セカンダリレジスタ (TR <i>B</i> iSC)(<i>i</i> = 0 ~ 1)	165
17.2.8	タイマR <i>B</i> i プライマリレジスタ (TR <i>B</i> iPR)(<i>i</i> = 0 ~ 1)	166
17.3	タイマモード	167
17.3.1	タイマR <i>B</i> i I/O制御レジスタ (TR <i>B</i> iIOC)(<i>i</i> = 0 ~ 1)[タイマモード時]	167
17.3.2	カウント中のタイマ書き込み制御	168
17.4	プログラマブル波形発生モード	170
17.4.1	タイマR <i>B</i> i I/O制御レジスタ (TR <i>B</i> iIOC)(<i>i</i> = 0 ~ 1)[プログラマブル波形発生モード時]	171
17.4.2	動作例	172
17.5	プログラマブルワンショット発生モード	173
17.5.1	タイマR <i>B</i> i I/O制御レジスタ (TR <i>B</i> iIOC)(<i>i</i> = 0 ~ 1) [プログラマブルワンショット発生モード時]	174
17.5.2	動作例	175
17.5.3	ワンショットトリガ選択	176
17.6	プログラマブルウェイトワンショット発生モード	177
17.6.1	タイマR <i>B</i> i I/O制御レジスタ (TR <i>B</i> iIOC)(<i>i</i> = 0 ~ 1) [プログラマブルウェイトワンショット発生モード時]	178
17.6.2	動作例	179
17.7	タイマRB使用上の注意	180
17.7.1	タイマモード	180
17.7.2	プログラマブル波形発生モード	180
17.7.3	プログラマブルワンショット発生モード	181
17.7.4	プログラマブルウェイトワンショット発生モード	181
18.	タイマRC	182
18.1	概要	182
18.2	レジスタの説明	184
18.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0)	185
18.2.2	タイマRCモードレジスタ (TRCMR)	186
18.2.3	タイマRC制御レジスタ1 (TRCCR1)	187
18.2.4	タイマRC割り込み許可レジスタ (TRCIER)	187
18.2.5	タイマRCステータスレジスタ (TRCSR)	188
18.2.6	タイマRC I/O制御レジスタ0 (TRCIOR0)	189
18.2.7	タイマRC I/O制御レジスタ1 (TRCIOR1)	189
18.2.8	タイマRCカウンタ (TRC)	190
18.2.9	タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)	190
18.2.10	タイマRC制御レジスタ2 (TRCCR2)	191
18.2.11	タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)	191
18.2.12	タイマRCアウトプットマスタ許可レジスタ (TRCOER)	192
18.2.13	タイマRC端子選択レジスタ0 (TRCPSR0)	193
18.2.14	タイマRC端子選択レジスタ1 (TRCPSR1)	194
18.3	複数モードに関わる共通事項	195
18.3.1	カウントソース	195
18.3.2	バッファ動作	196
18.3.3	デジタルフィルタ	197
18.3.4	パルス出力強制遮断	199

18.4	タイマモード(インプットキャプチャ機能).....	201
18.4.1	タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(インプットキャプチャ機能)時].....	203
18.4.2	タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(インプットキャプチャ機能)時].....	204
18.4.3	動作例	205
18.5	タイマモード(アウトプットコンペア機能).....	206
18.5.1	タイマRC制御レジスタ1(TRCCR1) [タイマモード(アウトプットコンペア機能)時].....	208
18.5.2	タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(アウトプットコンペア機能)時].....	209
18.5.3	タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(アウトプットコンペア機能)時].....	210
18.5.4	タイマRC制御レジスタ2(TRCCR2) [タイマモード(アウトプットコンペア機能)時].....	211
18.5.5	動作例	212
18.5.6	TRCGRC、TRCGRD レジスタの出力端子変更.....	213
18.6	PWMモード	215
18.6.1	タイマRC制御レジスタ1(TRCCR1)[PWMモード時].....	217
18.6.2	タイマRC制御レジスタ2(TRCCR2)[PWMモード時].....	218
18.6.3	動作例	219
18.7	PWM2モード	221
18.7.1	タイマRC制御レジスタ1(TRCCR1)[PWM2モード時].....	223
18.7.2	タイマRC制御レジスタ2(TRCCR2)[PWM2モード時].....	224
18.7.3	タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)[PWM2モード時].....	225
18.7.4	動作例	226
18.8	タイマRC割り込み.....	229
18.9	タイマRC使用上の注意.....	230
18.9.1	TRCレジスタ	230
18.9.2	TRCSRレジスタ	230
18.9.3	カウントソース切り替え	230
18.9.4	インプットキャプチャ機能	230
18.9.5	PWM2モード時のTRCMRレジスタ.....	230
19.	タイマRJ	231
19.1	概要.....	231
19.2	レジスタの説明.....	232
19.2.1	モジュールスタンバイ制御レジスタ1(MSTCR1).....	232
19.2.2	タイマRJ0制御レジスタ(TRJ0CR)	233
19.2.3	タイマRJ0 I/O制御レジスタ(TRJ0IOC)	233
19.2.4	タイマRJ0モードレジスタ(TRJ0MR)	234
19.2.5	タイマRJ0イベント端子選択レジスタ(TRJ0ISR)	235
19.2.6	タイマRJ0レジスタ(TRJ0).....	235
19.2.7	タイマRJ端子選択レジスタ(TRJSR).....	236
19.3	タイマモード	237
19.3.1	タイマRJ0 I/O制御レジスタ(TRJ0IOC)[タイマモード時].....	238
19.3.2	カウント中のタイマ書き込み制御	239
19.4	パルス出力モード.....	240
19.4.1	タイマRJ0 I/O制御レジスタ(TRJ0IOC)[パルス出力モード時].....	241
19.5	イベントカウンタモード.....	242

19.5.1	タイマRJ0 I/O制御レジスタ (TRJ0IOC)[イベントカウンタモード時]	243
19.6	パルス幅測定モード	244
19.6.1	タイマRJ0 I/O制御レジスタ (TRJ0IOC)[パルス幅測定モード時]	245
19.6.2	動作例	246
19.7	パルス周期測定モード	247
19.7.1	タイマRJ0 I/O制御レジスタ (TRJ0IOC)[パルス周期測定モード時]	248
19.7.2	動作例	249
19.8	タイマRJ使用上の注意	250
20.	タイマ拡張機能	251
20.1	概要	251
20.2	レジスタの説明	252
20.2.1	タイマ搬送波入出力制御レジスタ (TRCRIO)	252
20.3	リモコン搬送波出力機能	253
20.4	動作波形	253
20.5	リモコン搬送波入力機能	254
20.6	動作波形	255
21.	クロック同期形シリアルインタフェース	256
21.1	モード選択	256
22.	シンクロナスシリアルコミュニケーションユニット (SSU)	257
22.1	概要	257
22.2	レジスタの説明	259
22.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0)	259
22.2.2	SSU/IIC端子選択レジスタ (SSUIICSR)	260
22.2.3	SSビットカウンタレジスタ (SSBR)	260
22.2.4	SS送信データレジスタ (SSTDR)	261
22.2.5	SS受信データレジスタ (SSRDR)	262
22.2.6	SS制御レジスタH (SSCRH)	262
22.2.7	SS制御レジスタL (SSCRL)	263
22.2.8	SSモードレジスタ (SSMR)	264
22.2.9	SS許可レジスタ (SSER)	265
22.2.10	SSステータスレジスタ (SSSR)	266
22.2.11	SSモードレジスタ2 (SSMR2)	267
22.3	複数モードに関わる共通事項	268
22.3.1	転送クロック	268
22.3.2	SSシフトレジスタ (SSTRSR)	270
22.3.3	割り込み要求	271
22.3.4	各通信モードと端子機能	272
22.4	クロック同期式通信モード	273
22.4.1	クロック同期式通信モードの初期化	273
22.4.2	データ送信	274
22.4.3	データ受信	276
22.5	4線式バス通信モード	280
22.5.1	4線式バス通信モードの初期化	281
22.5.2	データ送信	282
22.5.3	データ受信	284
22.5.4	SCS端子制御とアービトレーション	286

22.6	シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意	287
23.	I ² Cバスインタフェース	288
23.1	概要	288
23.2	レジスタの説明	291
23.2.1	モジュールスタンバイ制御レジスタ0(MSTCR0)	291
23.2.2	SSU/IIC端子選択レジスタ(SSUIICSR)	292
23.2.3	入出力機能端子選択レジスタ(PINSR)	293
23.2.4	IICバス送信データレジスタ(ICDRT)	294
23.2.5	IICバス受信データレジスタ(ICDRR)	294
23.2.6	IICバス制御レジスタ1(ICCR1)	295
23.2.7	IICバス制御レジスタ2(ICCR2)	296
23.2.8	IICバスモードレジスタ(ICMR)	297
23.2.9	IICバス割り込み許可レジスタ(ICIER)	298
23.2.10	IICバスステータスレジスタ(ICSR)	299
23.2.11	スレーブアドレスレジスタ(SAR)	300
23.2.12	IICバスシフトレジスタ(ICDRS)	300
23.3	複数モードに関わる共通事項	301
23.3.1	転送クロック	301
23.3.2	SDA端子デジタル遅延選択	303
23.3.3	割り込み要求	304
23.4	I ² Cバスインタフェースモード	305
23.4.1	I ² Cバスフォーマット	305
23.4.2	マスタ送信動作	306
23.4.3	マスタ受信動作	308
23.4.4	スレーブ送信動作	311
23.4.5	スレーブ受信動作	314
23.5	クロック同期式シリアルモード	316
23.5.1	クロック同期式シリアルフォーマット	316
23.5.2	送信動作	317
23.5.3	受信動作	318
23.6	レジスタ設定例	319
23.7	ノイズ除去回路	323
23.8	ビット同期回路	324
23.9	I ² Cバスインタフェース使用上の注意	325
23.9.1	マスタ受信モード	325
23.9.2	ICCR1レジスタのICEビットおよびICCR2レジスタのICRSTビット	325
24.	フラッシュメモリ	327
24.1	概要	327
24.2	メモリ配置	328
24.3	フラッシュメモリ書き換え禁止機能	331
24.3.1	IDコードチェック機能	331
24.3.2	ROMコードプロテクト機能	332
24.3.3	オプション機能選択レジスタ(OFS)	332
24.4	CPU書き換えモード	333
24.4.1	フラッシュメモリステータスレジスタ(FST)	334
24.4.2	フラッシュメモリ制御レジスタ0(FMR0)	337
24.4.3	フラッシュメモリ制御レジスタ1(FMR1)	340

24.4.4	フラッシュメモリ制御レジスタ2(FMR2).....	342
24.4.5	EW0モード.....	343
24.4.6	EW1モード.....	343
24.4.7	サスペンド動作.....	344
24.4.8	各モードの設定と解除方法.....	346
24.4.9	データ保護機能.....	347
24.4.10	ソフトウェアコマンド.....	348
24.4.11	フルステータスチェック.....	360
24.5	標準シリアル入出力モード.....	362
24.5.1	IDコードチェック機能.....	362
24.6	パラレル入出力モード.....	365
24.6.1	ROMコードプロテクト機能.....	365
24.7	フラッシュメモリ使用上の注意.....	366
24.7.1	CPU書き換えモード.....	366
25.	電気的特性.....	370
25.1	絶対最大定格.....	370
25.2	推奨動作条件.....	371
25.3	周辺機能の特性.....	373
25.4	DC特性.....	378
25.5	AC特性.....	384
26.	使用上の注意事項.....	391
26.1	クロック発生回路使用上の注意.....	391
26.1.1	発振停止検出機能.....	391
26.1.2	発振回路定数.....	391
26.2	パワーコントロール使用上の注意.....	392
26.2.1	ストップモード.....	392
26.2.2	ウェイトモード.....	392
26.2.3	VCA20ビットによる内部電源低消費操作.....	393
26.3	割り込み使用上の注意.....	394
26.3.1	00000h番地の読み出し.....	394
26.3.2	SPの設定.....	394
26.3.3	外部割り込み、キー入力割り込み.....	394
26.3.4	割り込み要因の変更.....	395
26.3.5	割り込み制御レジスタの変更.....	396
26.4	IDコード領域使用上の注意.....	397
26.4.1	IDコード領域の設定例.....	397
26.5	オプション機能選択領域使用上の注意.....	397
26.5.1	オプション機能選択領域の設定例.....	397
26.6	タイマRB使用上の注意.....	398
26.6.1	タイマモード.....	398
26.6.2	プログラマブル波形発生モード.....	398
26.6.3	プログラマブルワンショット発生モード.....	399
26.6.4	プログラマブルウェイトワンショット発生モード.....	399
26.7	タイマRC使用上の注意.....	400
26.7.1	TRCレジスタ.....	400
26.7.2	TRCSRレジスタ.....	400
26.7.3	カウントソース切り替え.....	400

26.7.4	入力キャプチャ機能	400
26.7.5	PWM2モード時のTRCMRレジスタ	400
26.8	タイマRJ使用上の注意	401
26.9	シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意	401
26.10	I ² Cバスインタフェース使用上の注意	402
26.10.1	マスタ受信モード	402
26.10.2	ICCR1レジスタのICEビットおよびICCR2レジスタのICRSTビット	402
26.11	フラッシュメモリ使用上の注意	404
26.11.1	CPU書き換えモード	404
26.12	ノイズに関する注意	408
26.12.1	ノイズおよびラッチアップ対策として、VCC-VSSライン間へのバイパスコンデンサ挿入	408
26.12.2	ポート制御レジスタのノイズ誤動作対策	408
26.13	電源電圧の変動に関する注意事項	408
27.	オンチップデバッグの注意事項	409
付録1.	外形寸法図	410
付録2.	シリアルライタとの接続例	411
付録3.	エミュレータE8aとの接続例	412
索引	413

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	24
0005h	プロセッサモードレジスタ1	PM1	152
0006h	システムクロック制御レジスタ0	CM0	82、93
0007h	システムクロック制御レジスタ1	CM1	83、94
0008h	モジュールスタンバイ制御レジスタ0	MSTCR0	185、259、291
0009h	システムクロック制御レジスタ3	CM3	84、95
000Ah	プロテクトレジスタ	PRCR	112
000Bh	リセット要因判別レジスタ	RSTFR	24
000Ch	発振停止検出レジスタ	OCD	85、96
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	152
000Eh	ウォッチドッグタイムスタートレジスタ	WDTS	152
000Fh	ウォッチドッグタイム制御レジスタ	WDTC	153
0010h	モジュールスタンバイ制御レジスタ1	MSTCR1	162、232
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	153
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h	電圧監視回路制御レジスタ	CMPA	37
0031h	電圧監視回路エッジ選択レジスタ	VCAC	37
0032h			
0033h	電圧検出レジスタ1	VCA1	38
0034h	電圧検出レジスタ2	VCA2	39、97
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	40
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	41
0039h	電圧監視1回路制御レジスタ	VW1C	42
003Ah	電圧監視2回路制御レジスタ	VW2C	43
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	118
0042h			
0043h			
0044h			
0045h	INT5割り込み制御レジスタ	INT5IC	119
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	118
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	117
004Eh			
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	118
0050h			
0051h			
0052h			
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	119
0056h	タイマRJO割り込み制御レジスタ	TRJOIC	117
0057h	タイマRB1割り込み制御レジスタ	TRB1IC	117
0058h	タイマRB0割り込み制御レジスタ	TRB0IC	117
0059h	INT1割り込み制御レジスタ	INT1IC	119
005Ah	INT3割り込み制御レジスタ	INT3IC	119
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	119
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	117
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	117
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載 ページ
0080h	タイマRJ0制御レジスタ	TRJ0CR	233
0081h	タイマRJ0 I/O制御レジスタ	TRJ0IOC	233、238、241、 243、245、248
0082h	タイマRJ0モードレジスタ	TRJ0MR	234
0083h	タイマRJ0イベント端子選択レジスタ	TRJ0ISR	235
0084h	タイマRJ0レジスタ	TRJ0	235
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h	タイマRB1制御レジスタ	TRB1CR	163
0099h	タイマRB1ワンショット制御レジスタ	TRB1OCR	163
009Ah	タイマRB1 I/O制御レジスタ	TRB1IOC	164、167、171、 174、178
009Bh	タイマRB1モードレジスタ	TRB1MR	164
009Ch	タイマRB1プリスケールレジスタ	TRB1PRE	165
009Dh	タイマRB1セカンダリレジスタ	TRB1SC	165
009Eh	タイマRB1プライマリレジスタ	TRB1PR	166
009Fh			
00A0h			
00A1h			
00A2h			
00A3h			
00A4h			
00A5h			
00A6h			
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

番地	レジスタ	シンボル	掲載 ページ
00C0h			
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h			
00D5h			
00D6h			
00D7h			
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h			
00E2h			
00E3h			
00E4h	ポートP2レジスタ	P2	59
00E5h			
00E6h	ポートP2方向レジスタ	PD2	58
00E7h			
00E8h			
00E9h	ポートP5レジスタ	P5	59
00EAh			
00EBh	ポートP5方向レジスタ	PD5	58
00ECh			
00EDh	ポートP7レジスタ	P7	59
00EEh			
00EFh	ポートP7方向レジスタ	PD7	58
00F0h	ポートP8レジスタ	P8	59
00F1h	ポートP9レジスタ	P9	59
00F2h	ポートP8方向レジスタ	PD8	58
00F3h	ポートP9方向レジスタ	PD9	58
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0100h			
0101h			
0102h			
0103h			
0104h			
0105h			
0106h			
0107h			
0108h	タイマRB0制御レジスタ	TRB0CR	163
0109h	タイマRB0ワンショット制御レジスタ	TRB0OCR	163
010Ah	タイマRB0 I/O制御レジスタ	TRB0IOC	164、167、171、174、178
010Bh	タイマRB0モードレジスタ	TRB0MR	164
010Ch	タイマRB0プリスケラレジスタ	TRB0PRE	165
010Dh	タイマRB0セカンダリレジスタ	TRB0SC	165
010Eh	タイマRB0プライマリレジスタ	TRB0PR	166
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	186
0121h	タイマRC制御レジスタ1	TRCCR1	187、208、217、223
0122h	タイマRC割り込み許可レジスタ	TRCIER	187
0123h	タイマRCステータスレジスタ	TRCSR	188
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	189、203、209
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	189、204、210
0126h	タイマRCカウンタ	TRC	190
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	190
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	190
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	190
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	190
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0130h	タイマRC制御レジスタ2	TRCCR2	191、211、218、224
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	191、225
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	192
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			

番地	レジスタ	シンボル	掲載ページ
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h	タイマRJ端子選択レジスタ	TRJSR	60、236
0181h			
0182h	タイマRC端子選択レジスタ0	TRCPSR0	61、193
0183h	タイマRC端子選択レジスタ1	TRCPSR1	62、194
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	63、260、292
018Dh			
018Eh			
018Fh	入出力機能端子選択レジスタ	PINSR	64、293

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0190h	タイマ搬送波入出力制御レジスタ	TRCRIO	252
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	260
0194h	SS送信データレジスタL/IICバス送信データレジスタ	SSTDR/ICDRT	261、294
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL/IICバス受信データレジスタ	SSRDR/ICDRR	262、294
0197h	SS受信データレジスタH	SSRDRH	
0198h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH/ICCR1	262、295
0199h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL/ICCR2	263、296
019Ah	SSモードレジスタ/IICバスモードレジスタ	SSMR/ICMR	264、297
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ	SSER/ICIER	265、298
019Ch	SSステータスレジスタ/IICバスステータスレジスタ	SSSR/ICSR	266、299
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ	SSMR2/SAR	267、300
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	334
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	337
01B5h	フラッシュメモリ制御レジスタ1	FMR1	340
01B6h	フラッシュメモリ制御レジスタ2	FMR2	342
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	137
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	137
01C4h	アドレス一致割り込みレジスタ1	RMAD1	137
01C5h			
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	137
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			

番地	レジスタ	シンボル	掲載 ページ
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h	ポートP2ブルアップ制御レジスタ	P2PUR	65
01E3h			
01E4h			
01E5h	ポートP5ブルアップ制御レジスタ	P5PUR	65
01E6h			
01E7h	ポートP7ブルアップ制御レジスタ	P7PUR	65
01E8h	ポートP8ブルアップ制御レジスタ	P8PUR	65
01E9h	ポートP9ブルアップ制御レジスタ	P9PUR	65
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h	ポートP8駆動能力制御レジスタ	P8DRR	65
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	66
01F6h	入力しきい値制御レジスタ1	VLT1	67
01F7h	入力しきい値制御レジスタ2	VLT2	68
01F8h			
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	128
01FBh	外部入力許可レジスタ1	INTEN1	129
01FCh	INT入力フィルタ選択レジスタ0	INTF	130
01FDh	INT入力フィルタ選択レジスタ1	INTF1	130
01FEh	キー入力許可レジスタ0	KIEN	134
01FFh	キー入力許可レジスタ1	KIEN1	135

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0200h			
0201h			
0202h			
0203h			
0204h			
0205h			
0206h			
0207h			
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh			
020Fh			
0210h			
0211h			
0212h			
0213h			
0214h			
0215h			
0216h			
0217h			
0218h			
0219h			
021Ah			
021Bh			
021Ch			
021Dh			
021Eh			
021Fh			
0220h			
0221h			
0222h			
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h			
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
:			
FFDBh	オプション機能選択レジスタ2	OFS2	26、148、155
:			
FFFFh	オプション機能選択レジスタ	OFS	25、44、147、154、332

1. 概要

1.1 特長

R8C/LAPSグループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シンクロナスシリアルコミュニケーションユニット (SSU) など、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/LAPSグループはデータフラッシュ (2KB × 2ブロック) を内蔵します。

1.1.1 応用

リモコン、他

1.1.2 仕様概要

表1.1に仕様概要を示します。

表1.1 仕様概要

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：50ns ($f(XIN) = 20\text{MHz}$、$VCC = 2.7\text{V} \sim 5.5\text{V}$) 100ns ($f(XIN) = 10\text{MHz}$、$VCC = 2.0\text{V} \sim 5.5\text{V}$) 125ns ($f(XIN) = 8\text{MHz}$、$VCC = 1.8\text{V} \sim 5.5\text{V}$) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM/RAM データフラッシュ	表1.2 製品一覧を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> CMOS入出力：25、CMOS入力：1、プルアップ抵抗選択可能(注1) 大電流駆動ポート：8
クロック	クロック発生回路	<ul style="list-style-type: none"> 2回路：XINクロック発振回路 低速オンチップオシレータ 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速オンチップオシレータ)、 ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：13 (INT×5、キー入力×8) 割り込み優先レベル：7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
タイマ	タイマRB0、 タイマRB1	8ビット×2(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、 プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、 PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRJ0	16ビット×1 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、 イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
シンクロナスシリアルコミュニ ケーションユニット(SSU)		1 (I ² Cバスインタフェースと兼用)
I ² Cバス		1 (SSUと兼用)
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：$VCC = 1.8\text{V} \sim 5.5\text{V}$ (データフラッシュ $VCC = 1.8\text{V} \sim 5.5\text{V}$) プログラム、イレーズ回数：10,000回 (データフラッシュ) 10,000回 (プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック オンチップデバッグ機能 オンボードフラッシュ書き換え機能
動作周波数/電源電圧		$f(XIN) = 20\text{MHz}$ ($VCC = 2.7\text{V} \sim 5.5\text{V}$) $f(XIN) = 10\text{MHz}$ ($VCC = 2.0\text{V} \sim 5.5\text{V}$) $f(XIN) = 8\text{MHz}$ ($VCC = 1.8\text{V} \sim 5.5\text{V}$)
消費電流		標準 4.7 mA ($VCC = 5\text{V}$ 、 $f(XIN) = 20\text{MHz}$) 標準 2.3 mA ($VCC = 3\text{V}$ 、 $f(XIN) = 10\text{MHz}$) 標準 0.5 μA ($VCC = 3\text{V}$ 、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン)

注1. P5_4 ~ P5_6端子にプルアップ抵抗はありません。

1.2 製品一覧

表 1.2 に R8C/LAPS グループの製品一覧表、図 1.1 に R8C/LAPS グループの型名とメモリサイズ・パッケージを示します。

表 1.2 R8C/LAPSグループの製品一覧表

2011年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2LAP6SNSP	32Kバイト	2Kバイト×2	3Kバイト	PLSP0030JB-A	Nバージョン
R5F2LAP7SNSP	48Kバイト	2Kバイト×2	3Kバイト	PLSP0030JB-A	
R5F2LAP8SNSP	64Kバイト	2Kバイト×2	3Kバイト	PLSP0030JB-A	
R5F2LAPASNSP	96Kバイト	2Kバイト×2	3.5Kバイト	PLSP0030JB-A	
R5F2LAPCSNSP	128Kバイト	2Kバイト×2	3.5Kバイト	PLSP0030JB-A	

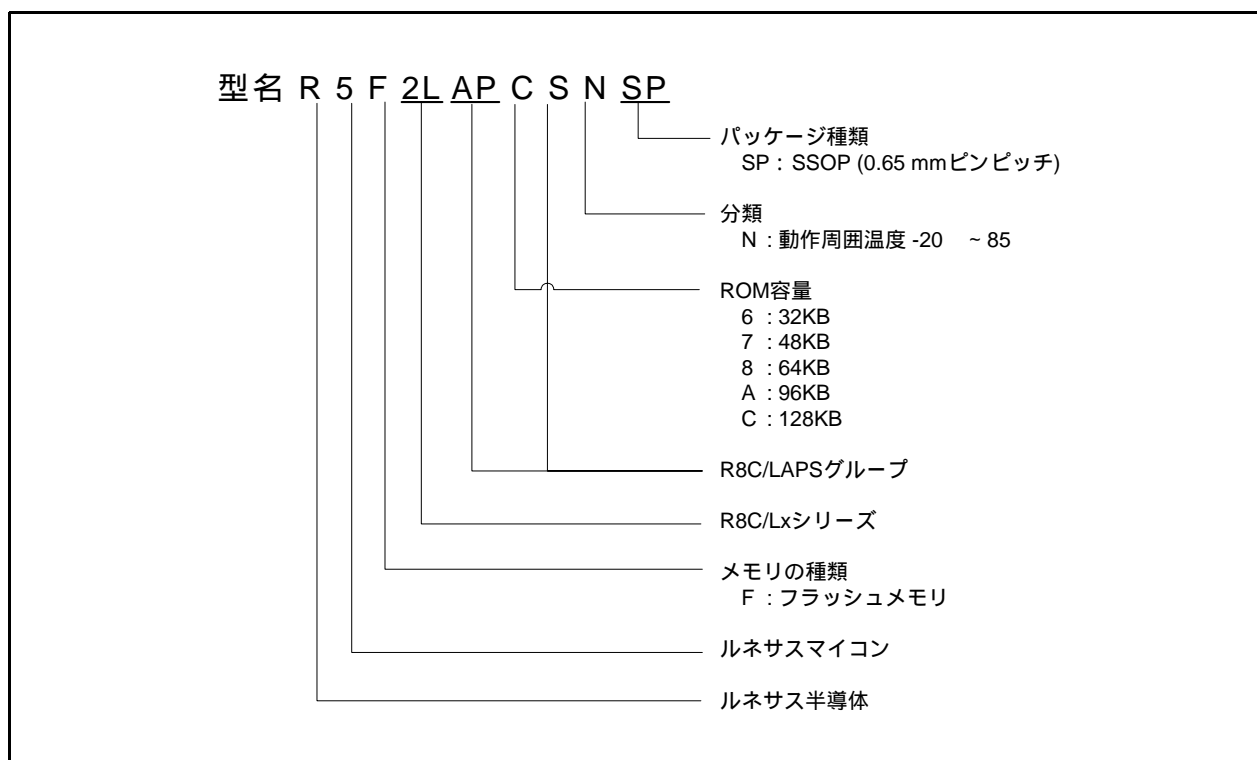


図 1.1 R8C/LAPSグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にR8C/LAPSグループのブロック図を示します。

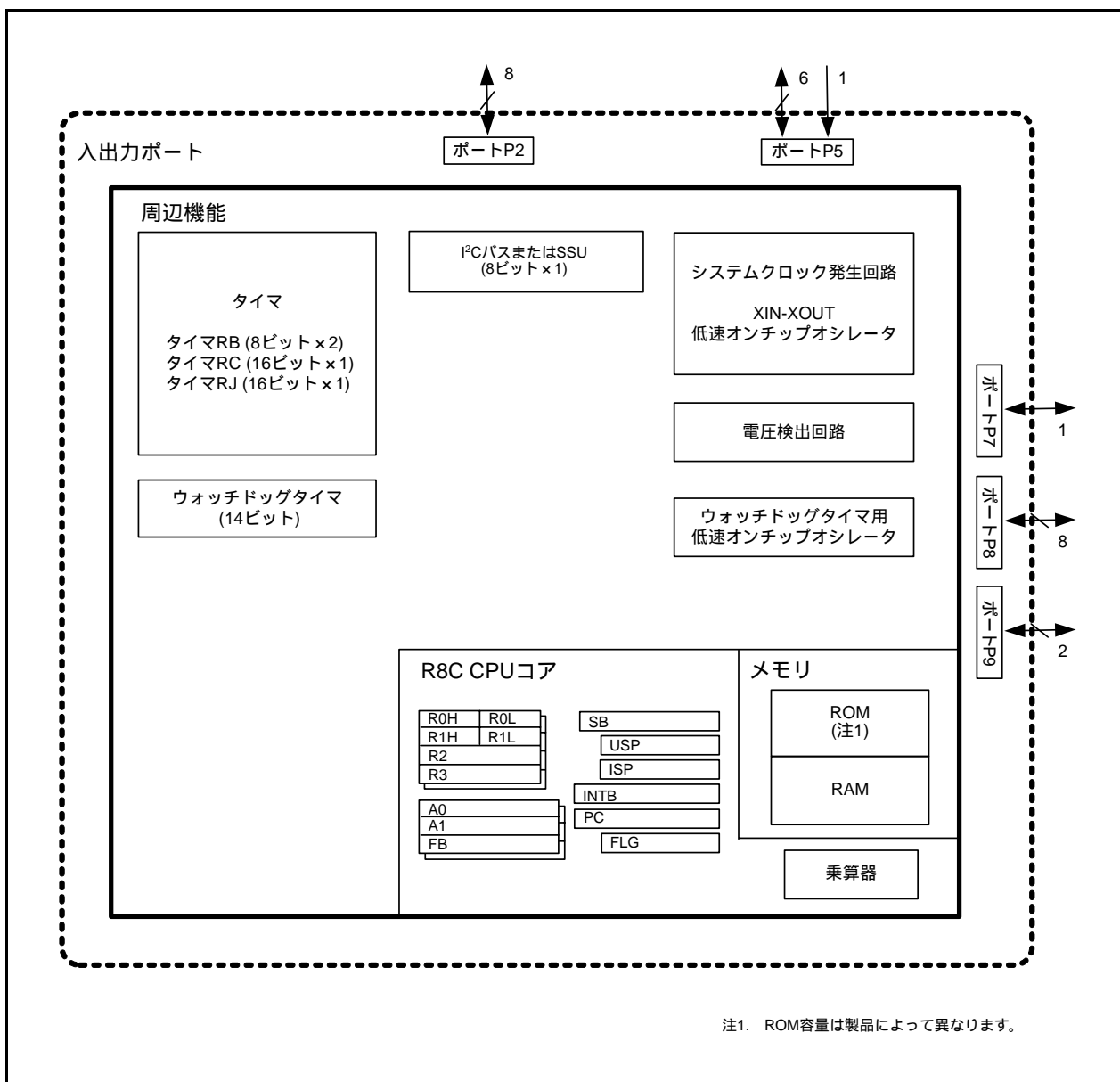


図1.2 R8C/LAPSグループのブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)、表1.3にピン番号別端子名一覧を示します。

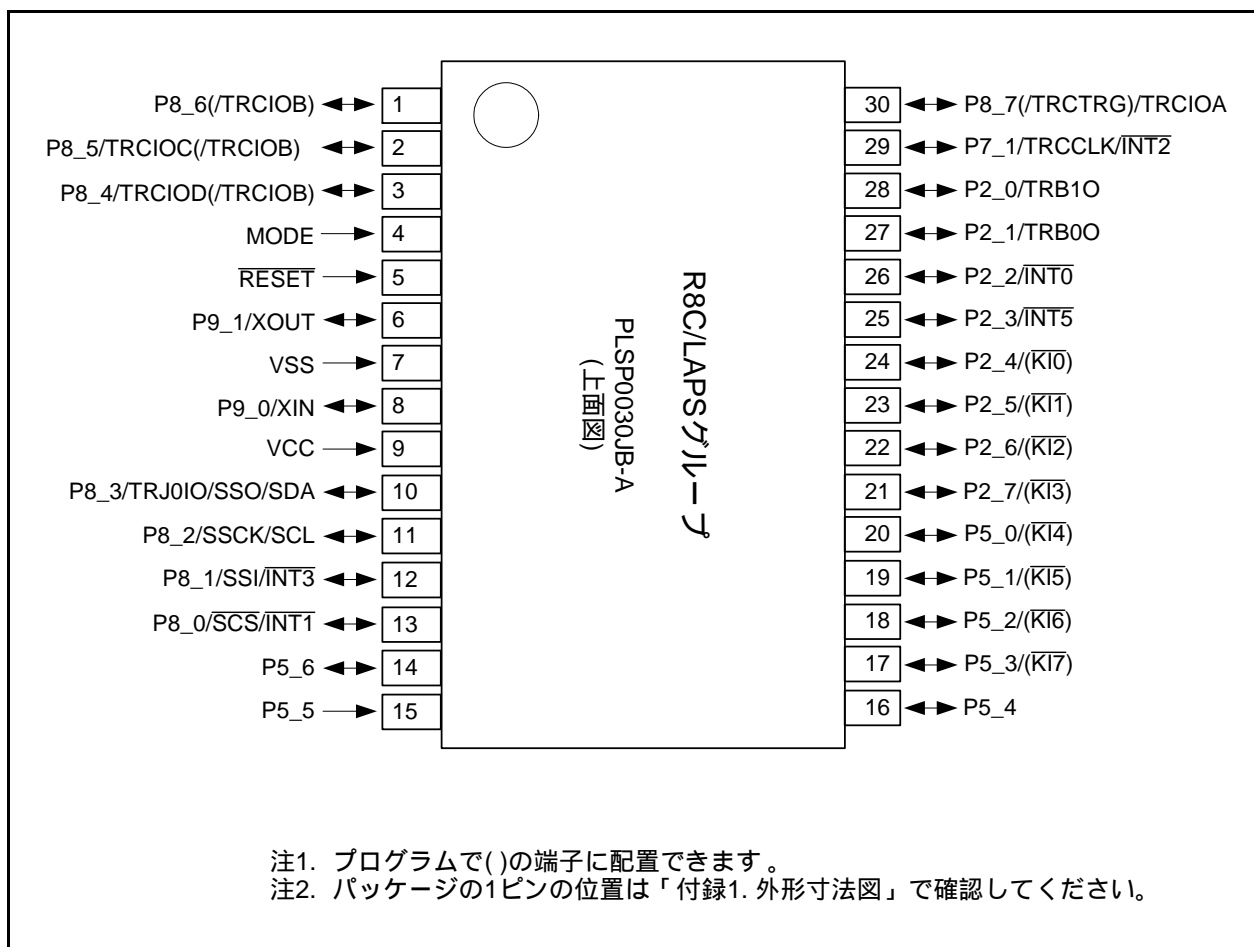


図1.3 PLSP0030JB-Aパッケージ品のピン配置図(上面図)

表 1.3 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	SSU	I ² Cバス
1		P8_6		(TRCIOB)		
2		P8_5		TRCIOC(/TRCIOB)		
3		P8_4		TRCIOD(/TRCIOB)		
4	MODE					
5	RESET					
6	XOUT	P9_1				
7	VSS					
8	XIN	P9_0				
9	VCC					
10		P8_3		TRJ0IO	SSO	SDA
11		P8_2			SSCK	SCL
12		P8_1	INT3		SSI	
13		P8_0	INT1		SCS	
14		P5_6				
15		P5_5				
16		P5_4				
17		P5_3	(KI7)			
18		P5_2	(KI6)			
19		P5_1	(KI5)			
20		P5_0	(KI4)			
21		P2_7	(KI3)			
22		P2_6	(KI2)			
23		P2_5	(KI1)			
24		P2_4	(KI0)			
25		P2_3	INT5			
26		P2_2	INT0			
27		P2_1		TRB00		
28		P2_0		TRB10		
29		P7_1	INT2	TRCCLK		
30		P8_7		(TRCTRG)/TRCIOA		

注1. プログラムで()の端子に配置できます。

1.5 端子機能の説明

表1.4にR8C/LAPSグループの端子機能の説明を示します。

表1.4 R8C/LAPSグループの端子機能の説明

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	VCCには、1.8 V ~ 5.5 Vを入力してください。 VSSには、0 Vを入力してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは入出力ポートP9_1として設定してください。使用しない場合は、未使用端子の処理をしてください。
XINクロック出力	XOUT	出力	
INT割り込み入力	INT0 ~ INT3、INT5	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0 ~ KI7	入力	キー入力割り込みの入力です。
タイマRB	TRB00、TRB10	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRJ	TRJ0IO	入出力	タイマRJの入出力です。
I ² Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
入出力ポート	P2_0 ~ P2_7、P5_0 ~ P5_4、P5_6、P7_1、P8_0 ~ P8_7、P9_0、P9_1	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。ポートP8は、LED駆動ポートとして使用できます。
入力ポート	P5_5	入力	入力専用ポートです。

注1. 発振特性は発振メーカーにお問い合わせください。

2. 中央演算処理装置 (CPU)

図 2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

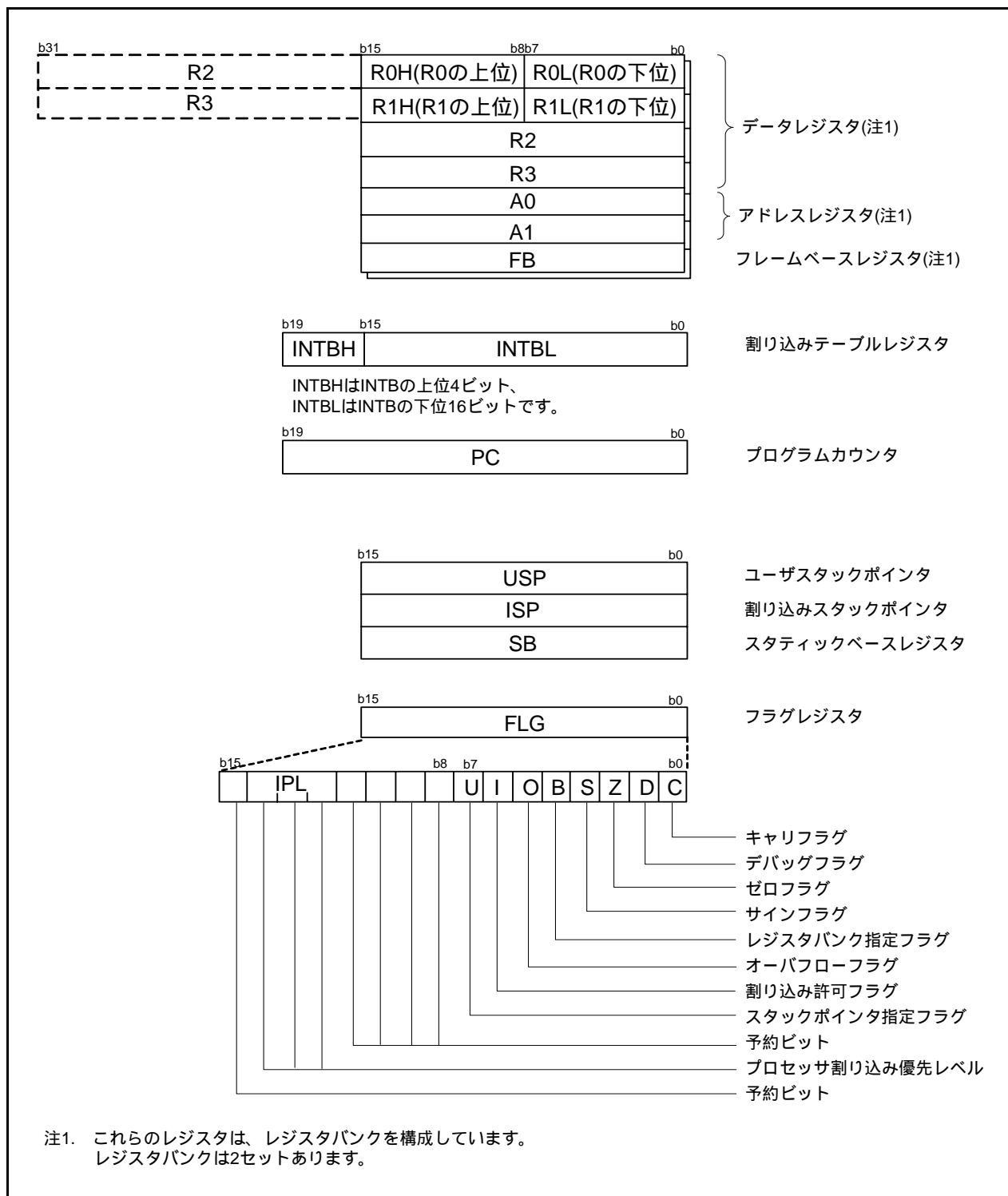


図 2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できません。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

図3.1にR8C/LAPSグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば3Kバイトの内部RAMは、00400h番地から00FFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地と、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

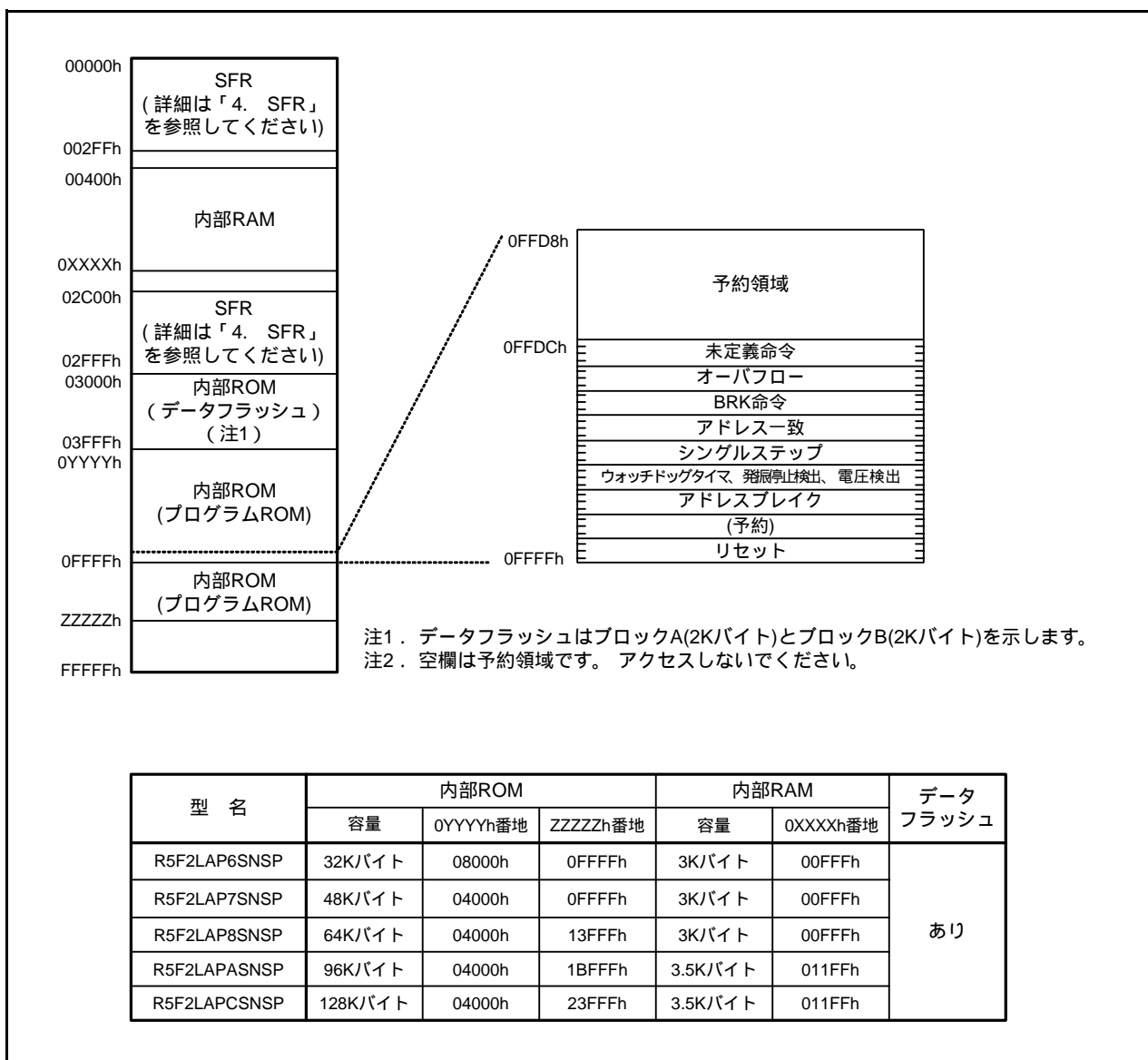


図3.1 R8C/LAPSグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.9にSFR一覧表を、表4.10にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h 00000100b (注2)
0006h	システムクロック制御レジスタ0	CM0	00100000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ0	MSTCR0	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	XXh (注3)
000Ch	発振停止検出レジスタ	OCD	00000100b (注4) 00h (注4)
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h	モジュールスタンバイ制御レジスタ1	MSTCR1	00h
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注5)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注6) 00100000b (注7)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注6) 1100X011b (注7)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。

注2. CSPRレジスタのCSPROビットが“1”の場合。

注3. RSTFRレジスタのCWRビットは、電源投入後および電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注4. モードにより異なります。

注5. OFSレジスタのCSPROINIビットが“0”の場合。

注6. OFSレジスタのLVDASビットが“1”の場合。

注7. OFSレジスタのLVDASビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	1000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h			
0044h			
0045h	INT5割り込み制御レジスタ	INT5IC	XX00X000b
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh			
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h			
0052h			
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRJ0割り込み制御レジスタ	TRJ0IC	XXXXX000b
0057h	タイマRB1割り込み制御レジスタ	TRB1IC	XXXXX000b
0058h	タイマRB0割り込み制御レジスタ	TRB0IC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	タイマRJ0制御レジスタ	TRJ0CR	00h
0081h	タイマRJ0 I/O制御レジスタ	TRJ0IOC	00h
0082h	タイマRJ0モードレジスタ	TRJ0MR	00h
0083h	タイマRJ0イベント端子選択レジスタ	TRJ0ISR	00h
0084h	タイマRJ0レジスタ	TRJ0	FFh
0085h			FFh
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h	タイマRB1制御レジスタ	TRB1CR	00h
0099h	タイマRB1ワンショット制御レジスタ	TRB1OCR	00h
009Ah	タイマRB1 I/O制御レジスタ	TRB1IOC	00h
009Bh	タイマRB1モードレジスタ	TRB1MR	00h
009Ch	タイマRB1プリスケアラレジスタ	TRB1PRE	FFh
009Dh	タイマRB1セカンダリレジスタ	TRB1SC	FFh
009Eh	タイマRB1プライマリレジスタ	TRB1PR	FFh
009Fh			
00A0h			
00A1h			
00A2h			
00A3h			
00A4h			
00A5h			
00A6h			
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h			
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h			
00D5h			
00D6h			
00D7h			
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h			
00E2h			
00E3h			
00E4h	ポートP2レジスタ	P2	XXh
00E5h			
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h			
00E8h			
00E9h	ポートP5レジスタ	P5	XXh
00EAh			
00EBh	ポートP5方向レジスタ	PD5	00h
00ECh			
00EDh	ポートP7レジスタ	P7	XXh
00EEh			
00EFh	ポートP7方向レジスタ	PD7	00h
00F0h	ポートP8レジスタ	P8	XXh
00F1h	ポートP9レジスタ	P9	XXh
00F2h	ポートP8方向レジスタ	PD8	00h
00F3h	ポートP9方向レジスタ	PD9	00h
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h			
0101h			
0102h			
0103h			
0104h			
0105h			
0106h			
0107h			
0108h	タイマRB0制御レジスタ	TRB0CR	00h
0109h	タイマRB0ワンショット制御レジスタ	TRB0OCR	00h
010Ah	タイマRB0 I/O制御レジスタ	TRB0IOC	00h
010Bh	タイマRB0モードレジスタ	TRB0MR	00h
010Ch	タイマRB0プリスケールレジスタ	TRB0PRE	FFh
010Dh	タイマRB0セカンダリレジスタ	TRB0SC	FFh
010Eh	タイマRB0プライマリレジスタ	TRB0PR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h 00h
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh FFh
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh FFh
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh FFh
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh FFh
012Fh			
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスク許可レジスタ	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマRJ端子選択レジスタ	TRJSR	00h
0181h			
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	00h
018Dh			
018Eh			
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h	タイマ搬送波入出力制御レジスタ	TRCRIO	00h
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH (注2)	SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH (注2)	SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スリープアドレスレジスタ (注2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	000000X0b
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	00h
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h	ポートP2ブルアップ制御レジスタ	P2PUR	00h
01E3h			
01E4h			
01E5h	ポートP5ブルアップ制御レジスタ	P5PUR	00h
01E6h			
01E7h	ポートP7ブルアップ制御レジスタ	P7PUR	00h
01E8h	ポートP8ブルアップ制御レジスタ	P8PUR	00h
01E9h	ポートP9ブルアップ制御レジスタ	P9PUR	00h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h	ポートP8駆動能力制御レジスタ	P8DRR	00h
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h	入力しきい値制御レジスタ2	VLT2	00h
01F8h			
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh	外部入力許可レジスタ1	INTEN1	00h
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh	INT入力フィルタ選択レジスタ1	INTF1	00h
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh	キー入力許可レジスタ1	KIEN1	00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
0200h			
0201h			
0202h			
0203h			
0204h			
0205h			
0206h			
0207h			
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh			
020Fh			
0210h			
0211h			
0212h			
0213h			
0214h			
0215h			
0216h			
0217h			
0218h			
0219h			
021Ah			
021Bh			
021Ch			
021Dh			
021Eh			
021Fh			
0220h			
0221h			
0222h			
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h			
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
:			
2FFFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
FFDFh	ID1		(注2)
FFE3h	ID2		(注2)
FFEBh	ID3		(注2)
FFEFh	ID4		(注2)
FFF3h	ID5		(注2)
FFF7h	ID6		(注2)
FFFBh	ID7		(注2)
FFFFh	オプション機能選択レジスタ	OFS	(注1)

- 注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。
 ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
 書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。
- 注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。
 ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
 書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET 端子の入力電圧が “ L ”
パワーオンリセット	VCC の上昇
電圧監視0リセット	VCC の下降 (監視電圧 : Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0 レジスタの PM03 ビットに “ 1 ” を書く

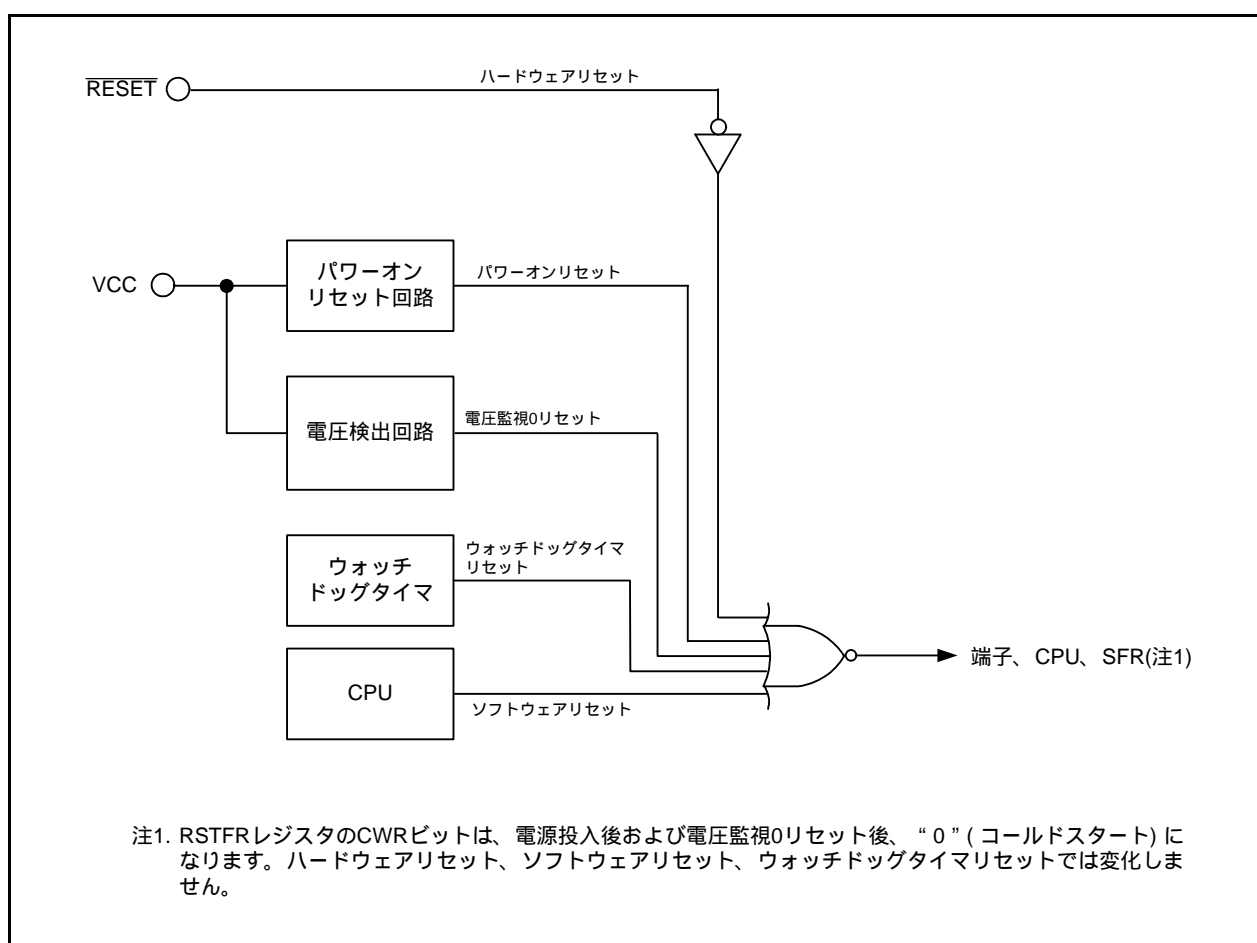


図 5.1 リセット回路のブロック図

表 5.2にRESET端子のレベルが“L”の期間の端子の状態を、図 5.2にリセット後のCPUレジスタの状態を、図 5.3にリセットシーケンスを示します。

表 5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P2、P5_0 ~ P5_6、P7_1、P8、P9_0 ~ P9_1	ハイインピーダンス

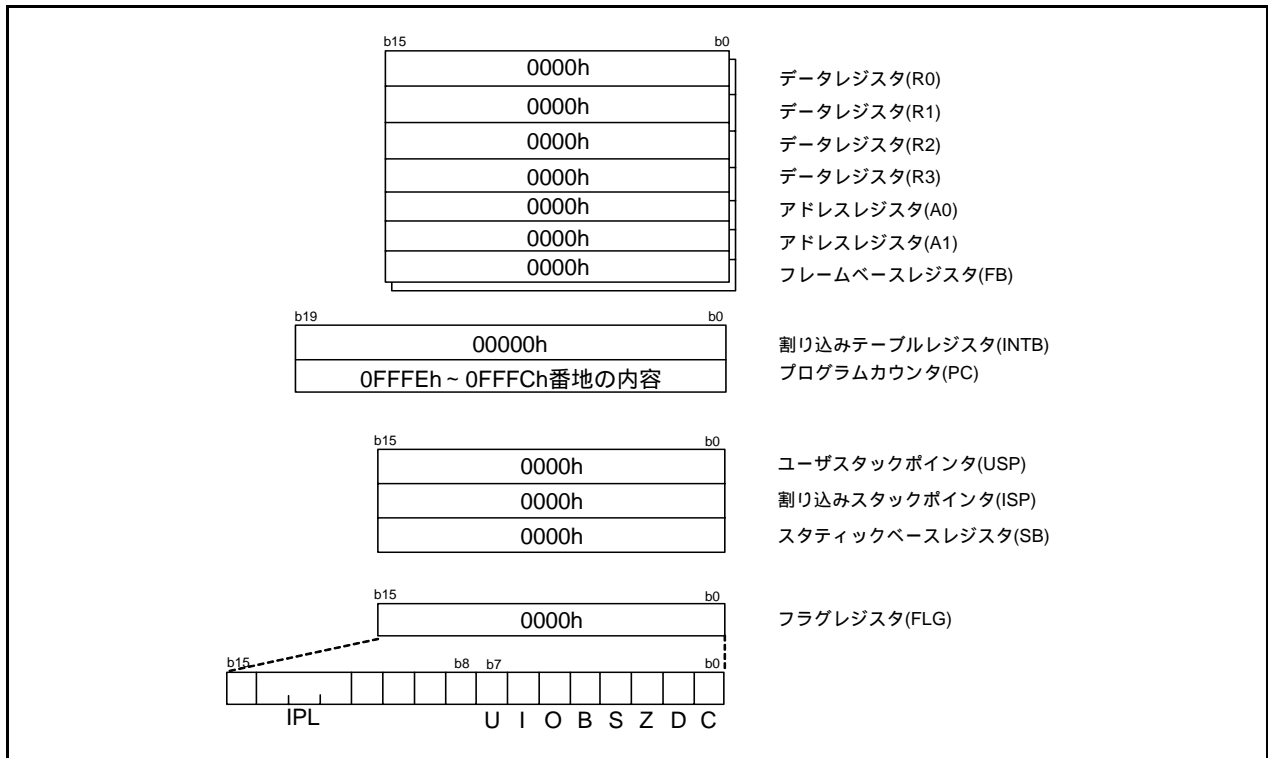


図 5.2 リセット後のCPUレジスタの状態

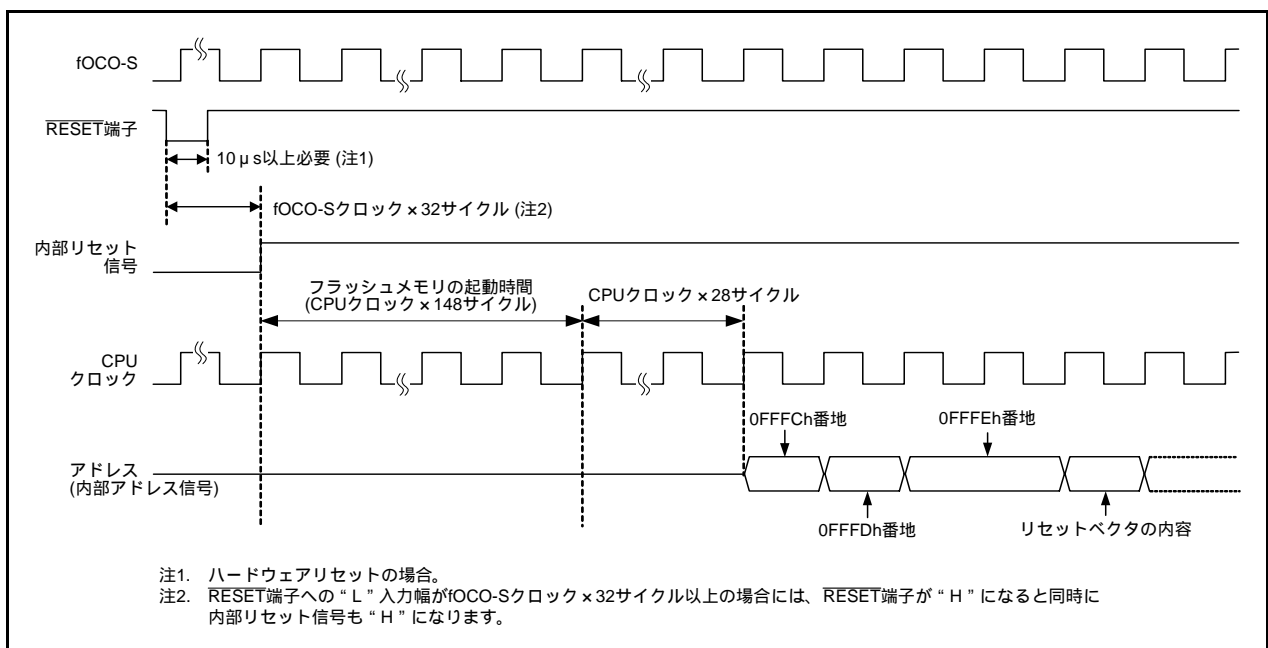


図 5.3 リセットシーケンス

注1. ハードウェアリセットの場合。
 注2. RESET端子への“L”入力幅がfOCO-Sクロック×32サイクル以上の場合には、RESET端子が“H”になると同時に内部リセット信号も“H”になります。

5.1 レジスタの説明

5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

5.1.2 リセット要因判別レジスタ (RSTFR)

アドレス 000Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDR	SWR	HWR	CWR
リセット後の値	X	X	X	X	X	X	X	X (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ(注4)	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	—	予約ビット	読んだ場合、その値は不定。	R
b5	—			
b6	—			
b7	—			

注1. CWRビットは、電源投入後および電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

注3. VW0CレジスタのVW0C0ビットが“0”(電圧監視0リセット禁止)のとき、CWRビットは不定です。

注4. ハードウェアリセットを検出します。

5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1 リフレッシュ受付期間」を参照してください。

5.2 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.2 RESET端子のレベルが“L”の期間の端子の状態」, 「図 5.2 リセット後のCPUレジスタの状態」, および「表4.1～表4.9 SFR一覧」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図 5.4にハードウェアリセット回路例と動作を、図 5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.2.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) 10 μ s待つ
- (3) RESET端子に“H”を入力する

5.2.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「25. 電気的特性」参照)
- (4) 10 μ s待つ
- (5) RESET端子に“H”を入力する

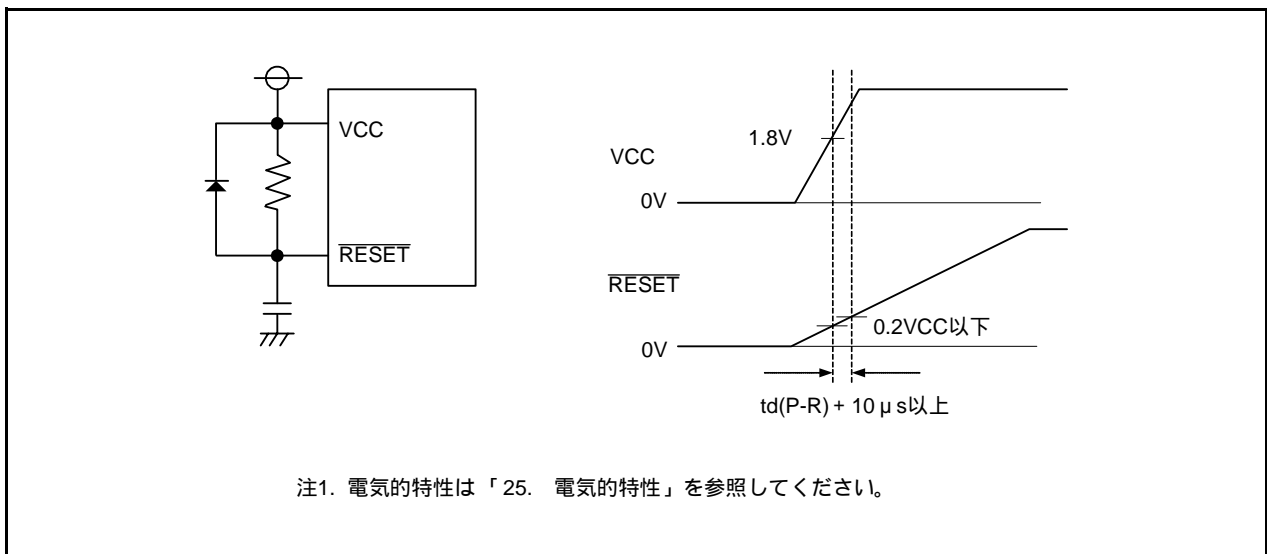


図 5.4 ハードウェアリセット回路例と動作

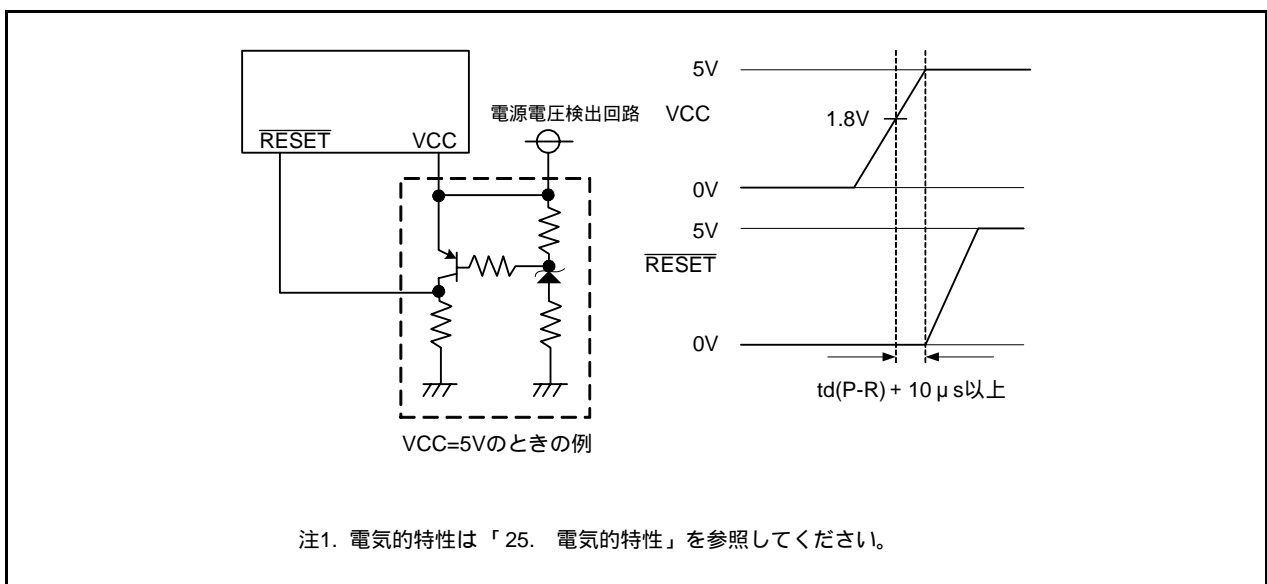


図 5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.3 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧が V_{det0} 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。

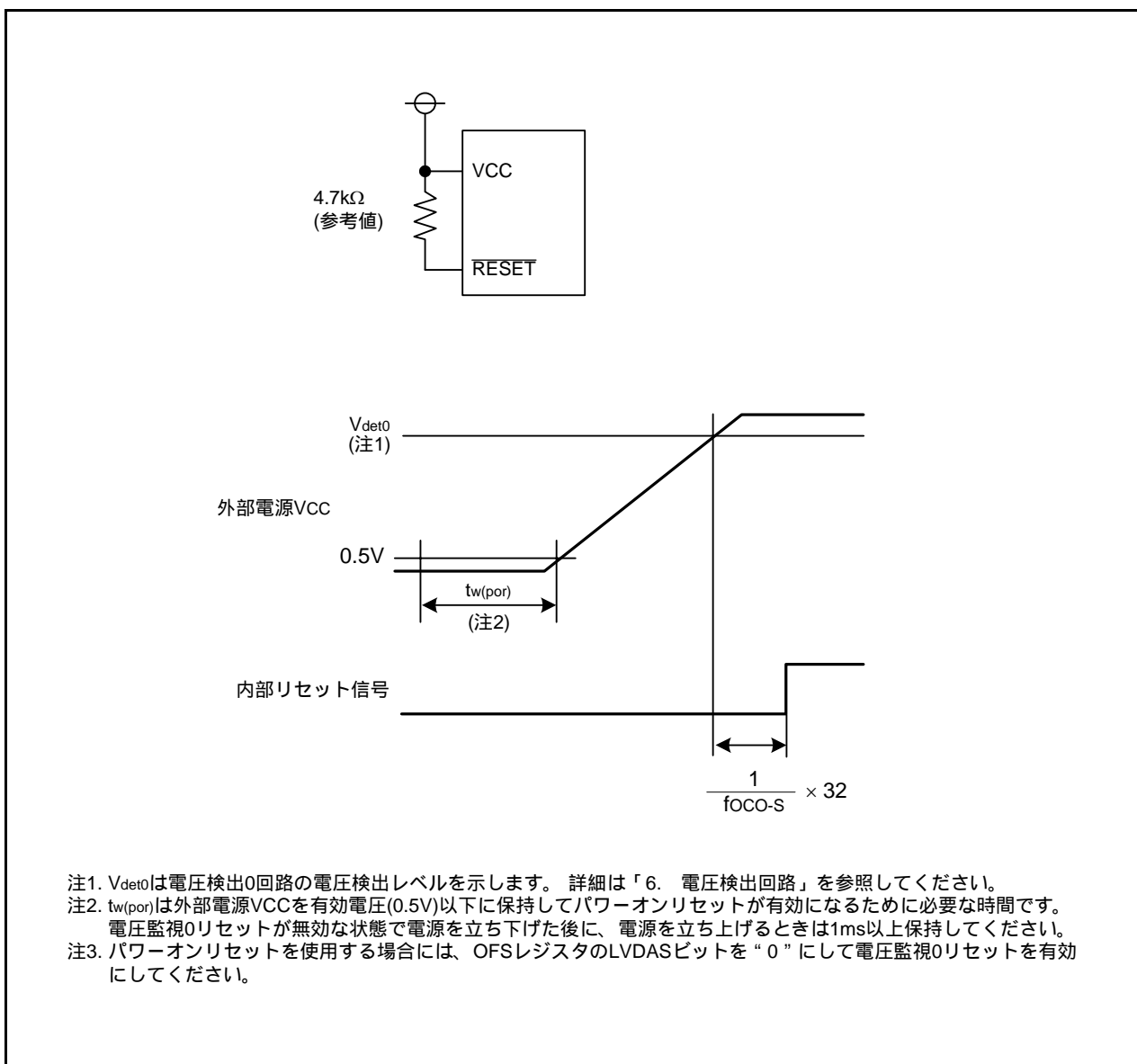


図 5.6 パワーオンリセット回路例と動作

5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウンタを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書き込んでください。OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視0リセット回路例と動作を示します。

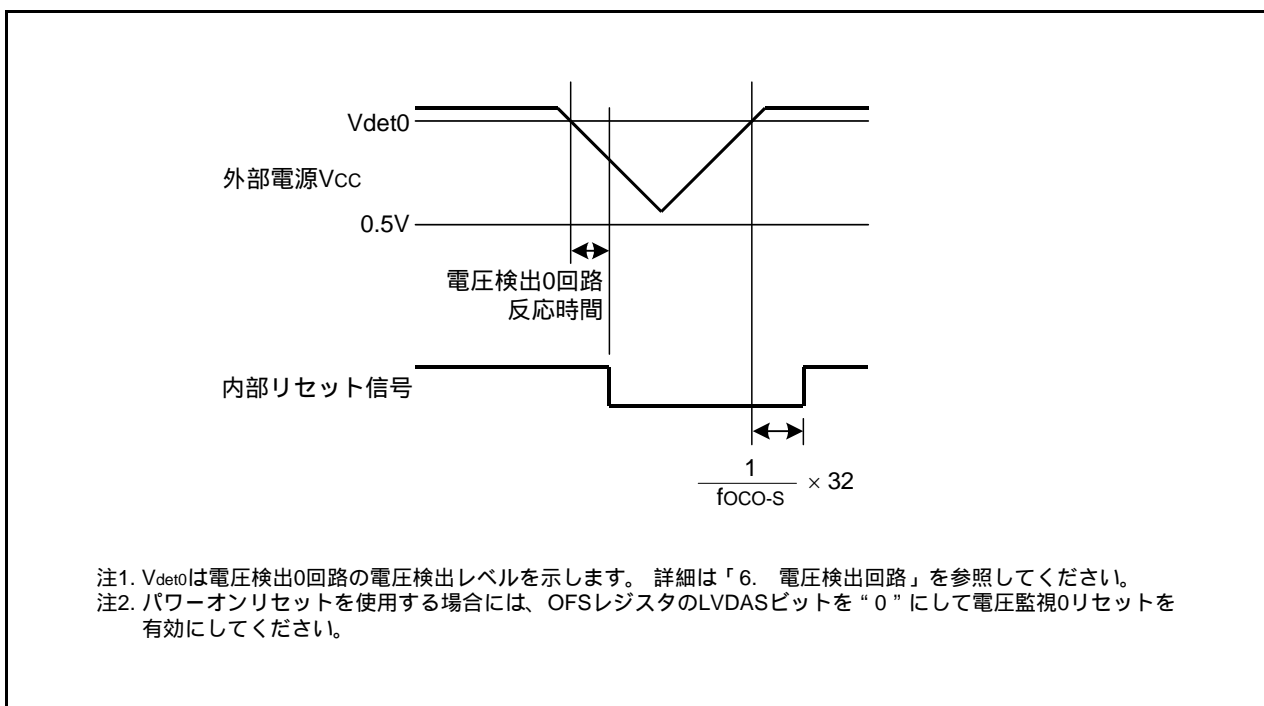


図 5.7 電圧監視0リセット回路例と動作

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「15. ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図 5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

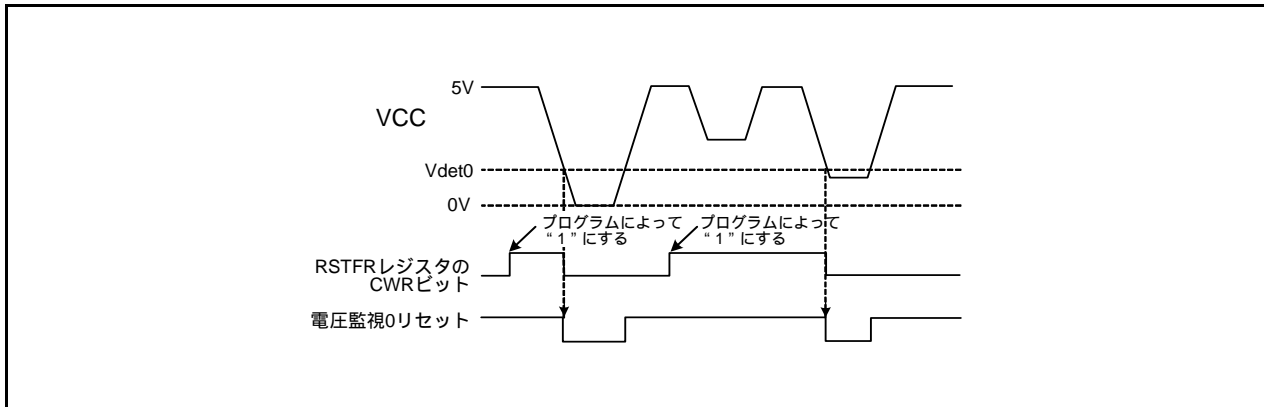


図 5.8 コールドスタート/ウォームスタート判定機能の動作例

5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが“1”(検出)になります。

ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。

ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できません。

6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表 6.1 電圧検出回路の仕様

項目	電圧監視0	電圧監視1	電圧監視2	
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	VCCは固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低いかなし	VCA1レジスタのVCA13ビット Vdet2より高いか低いかなし
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット； VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fOCO-Sのn分周) × 2 n : 1、2、4、8	(fOCO-Sのn分周) × 2 n : 1、2、4、8

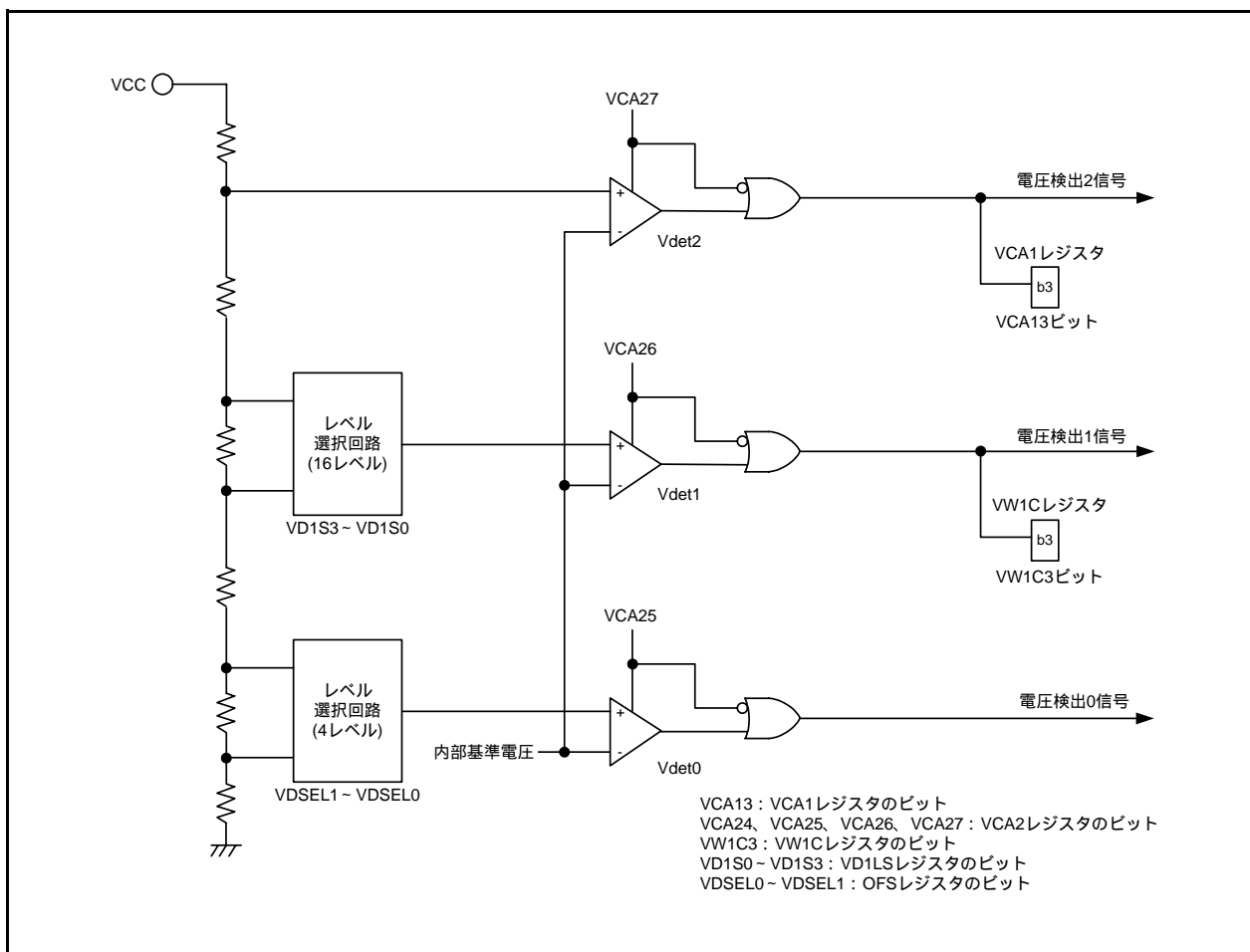


図 6.1 電圧検出回路ブロック図

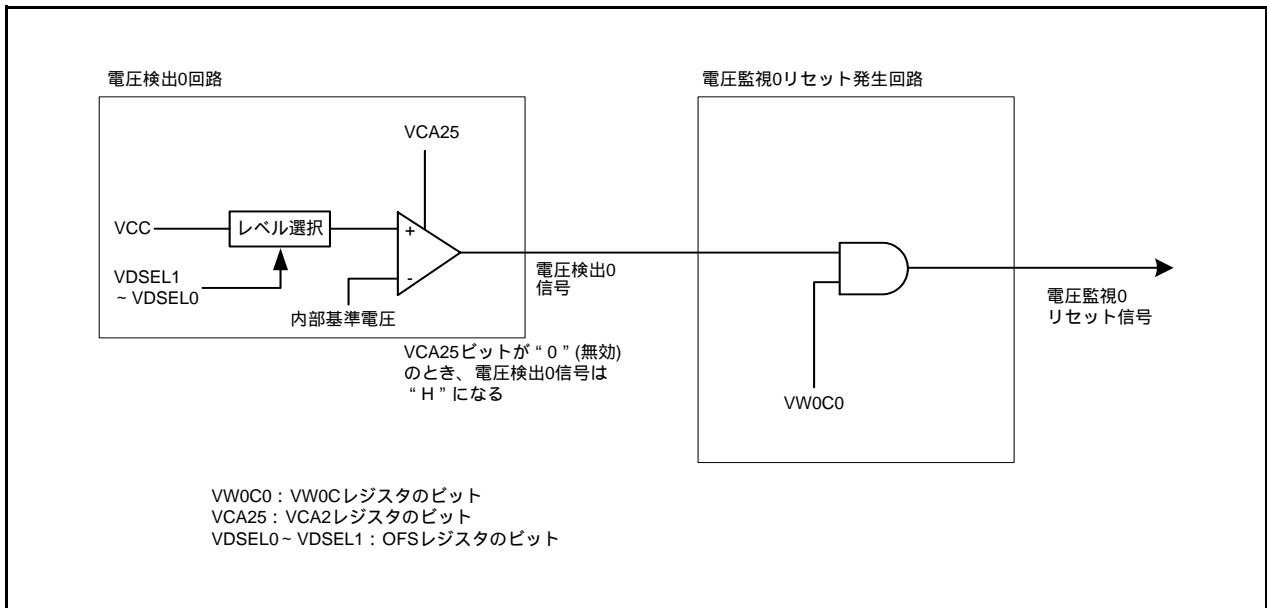


図 6.2 電圧監視0リセット発生回路のブロック図

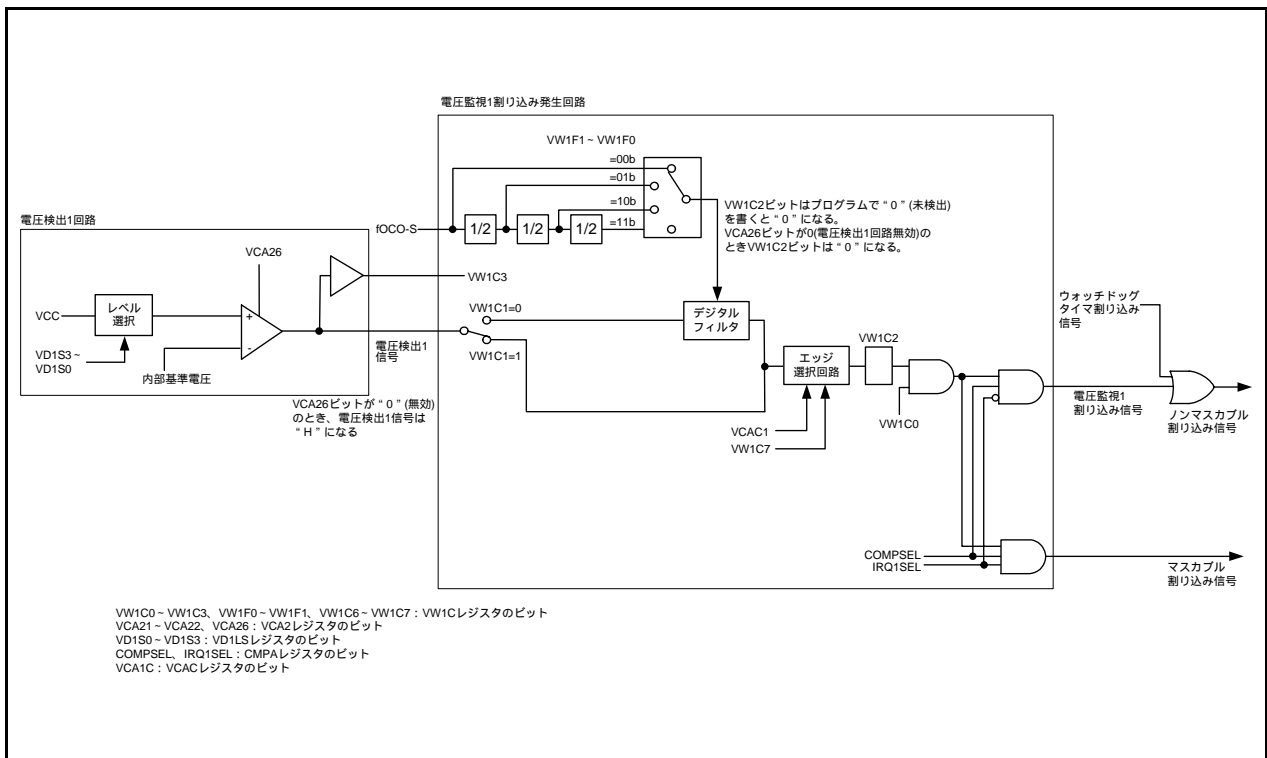


図 6.3 電圧監視1割り込み発生回路のブロック図

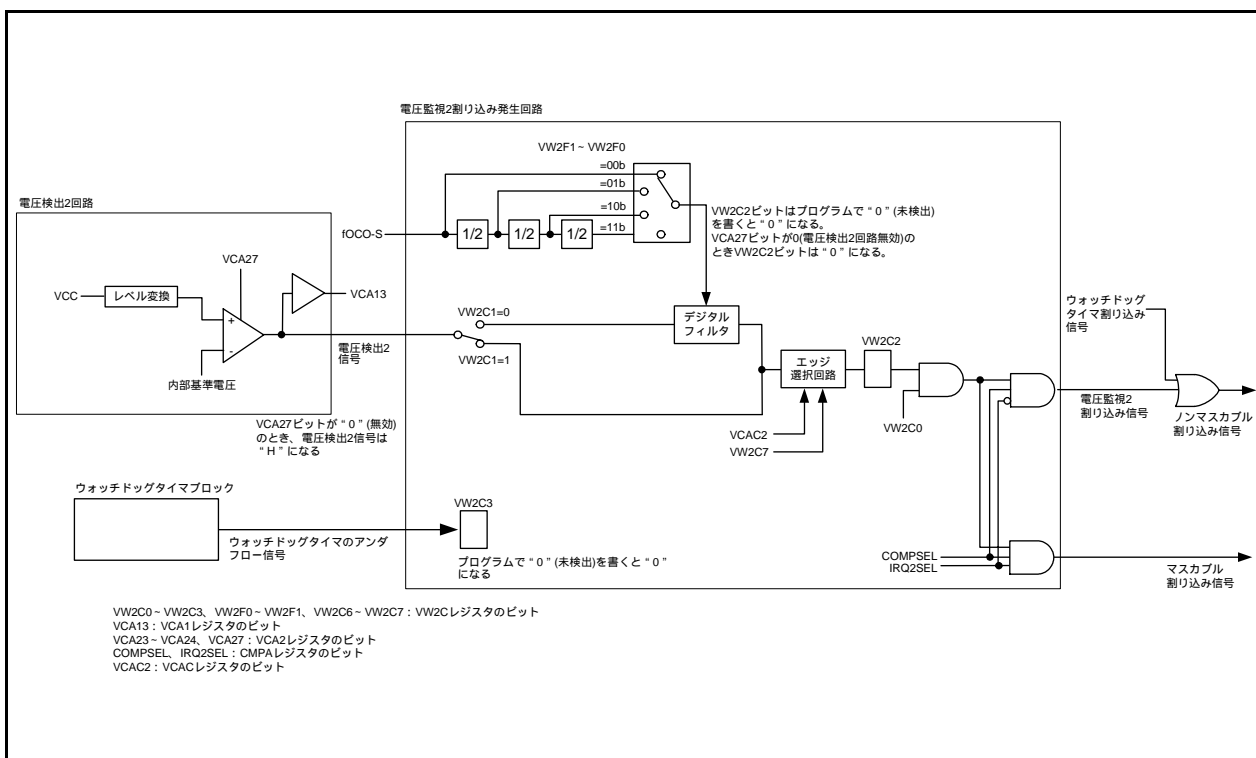


図 6.4 電圧監視2割り込み発生回路のブロック図

6.2 レジスタの説明

6.2.1 電圧監視回路制御レジスタ(CMPA)

アドレス 0030h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット (注1)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット (注2)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	COMPSEL	電圧監視割り込み種類選択有効ビット (注1、2)	0: IRQ1SEL、IRQ2SELビット無効 1: IRQ1SEL、IRQ2SELビット有効	R/W

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが“1”(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

6.2.2 電圧監視回路エッジ選択レジスタ(VCAC)

アドレス 0031h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	VCAC2	VCAC1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	VCAC1	電圧監視1回路エッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット (注2)	0: 片エッジ 1: 両エッジ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

6.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VCA13	—	—	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	VCA13	電圧検出2信号モニタフラグ(注1)	0 : VCC < Vdet2 1 : VCC > Vdet2、または電圧検出2回路無効	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC > Vdet2)になります。

6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「10.6.8 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(全クロック停止)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”(電圧検出1回路有効)にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”(電圧検出2回路有効)にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.5 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0	R/W
b1	VD1S1		0 0 0 0 : 2.20 V (Vdet1_0)	R/W
b2	VD1S2		0 0 0 1 : 2.35 V (Vdet1_1)	R/W
b3	VD1S3		0 0 1 0 : 2.50 V (Vdet1_2)	R/W
			0 0 1 1 : 2.65 V (Vdet1_3)	
			0 1 0 0 : 2.80 V (Vdet1_4)	
			0 1 0 1 : 2.95 V (Vdet1_5)	
			0 1 1 0 : 3.10 V (Vdet1_6)	
			0 1 1 1 : 3.25 V (Vdet1_7)	
			1 0 0 0 : 3.40 V (Vdet1_8)	
		1 0 0 1 : 3.55 V (Vdet1_9)		
		1 0 1 0 : 3.70 V (Vdet1_A)		
		1 0 1 1 : 3.85 V (Vdet1_B)		
		1 1 0 0 : 4.00 V (Vdet1_C)		
		1 1 0 1 : 4.15 V (Vdet1_D)		
		1 1 1 0 : 4.30 V (Vdet1_E)		
		1 1 1 1 : 4.45 V (Vdet1_F)		
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

VD1LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.6 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VW0C0
リセット後の値	1	1	0	0	X	0	1	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	1	1	0	0	X	0	1	1
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—	予約ビット	読んだ場合、その値は不定。	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—	予約ビット	“1” にしてください	R/W
b7	—			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.7 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet1 通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0: VCC < Vdet1 1: VCC > Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表 6.2 電圧監視1割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くとき“0”になります(“1”を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
- 注6. VW1C0ビットが“1”(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

6.2.8 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	—	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet2通過検出	R/W
b3	VW2C3	WDT検出フラグ(注4)	0: 未検出 1: 検出	R/W
b4	VW2F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW2F1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注5)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	R/W

注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表 6.3 電圧監視2割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。

注4. プログラムで“0”にしてください。プログラムで“0”を書くとき“0”になります(“1”を書いても変化しません)。

注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

6.2.9 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

6.3 VCC入力電圧のモニタ

6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「25. 電気的特性」参照) 経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S3 ~ VD1S0ビット(電圧検出1検出電圧)を設定する
- (2) VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

6.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「25. 電気的特性」参照) 経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

- VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図 6.5 に電圧監視0リセット動作例を示します。

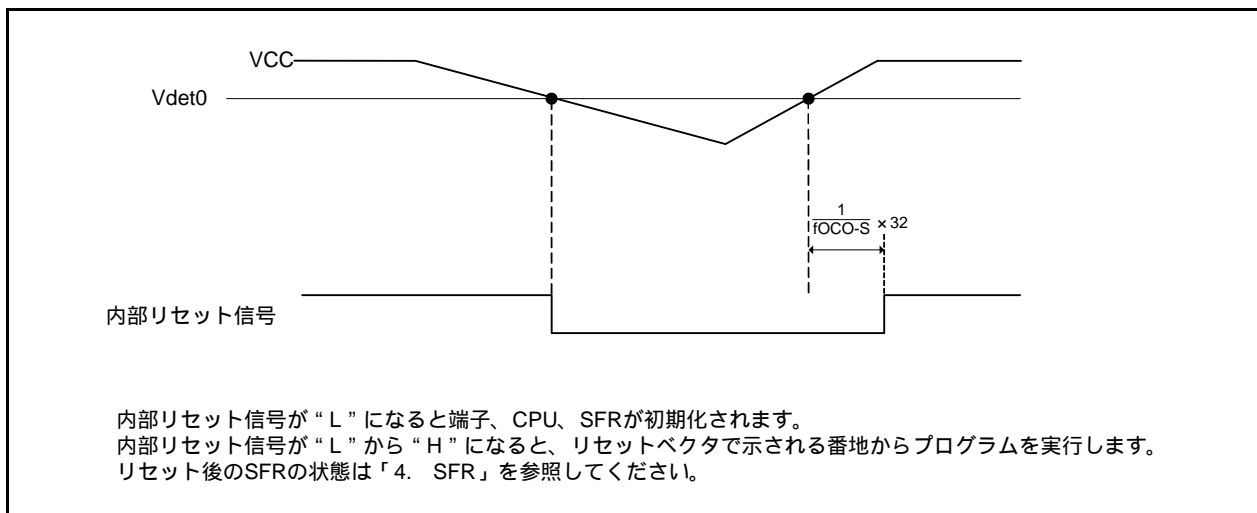


図 6.5 電圧監視0リセット動作例

6.5 電圧監視1割り込み

表 6.2 に電圧監視1割り込み関連ビットの設定手順を、図 6.6 に電圧監視1割り込み動作例を示します。
 なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.2 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのCOMPSELビットを“1”にする	
5(注1)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
7(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	—
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	—
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	—(待ち時間なし)
12(注3)	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行可能です。

注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。

注3. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。

電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

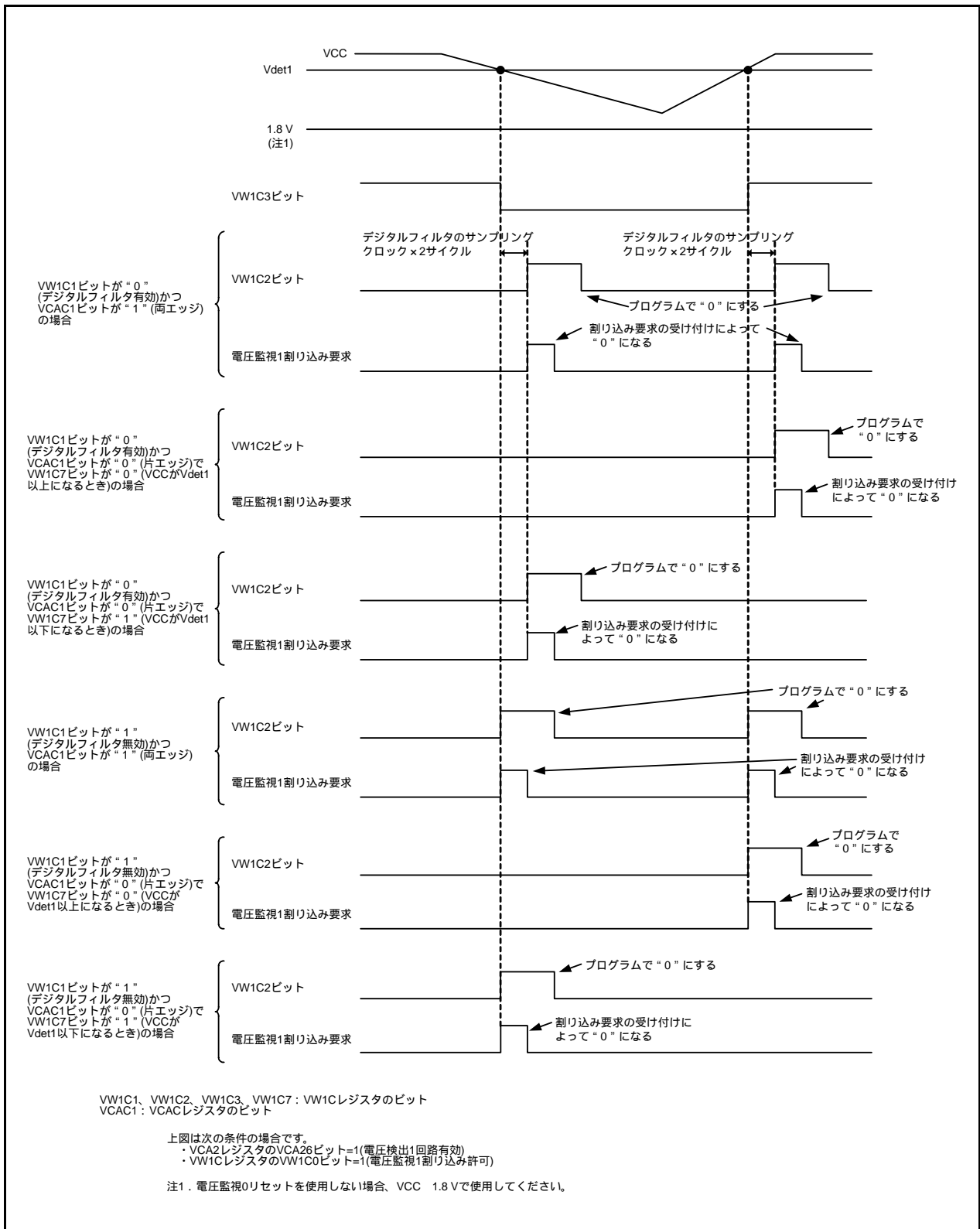


図 6.6 電圧監視1割り込み動作例

6.6 電圧監視2割り込み

表 6.3 に電圧監視2割り込み関連ビットの設定手順を、図 6.7 に電圧監視2割り込み動作例を示します。
 なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする	
2	td(E-A)待つ	
3	CMPAレジスタのCOMPSELビットを“1”にする	
4(注1)	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
5	VW2CレジスタのVW2F1～VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする
6(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする	—
7	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
8	VW2CレジスタのVW2C2ビットを“0”にする	
9	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	—
10	デジタルフィルタのサンプリングクロック×2サイクル待つ	—(待ち時間なし)
11(注3)	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが“0”のとき、手順3と4は同時に(1命令で)実行可能です。

注2. VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行可能です。

注3. 電圧監視2割り込み禁止の状態でも、電圧検出2回路が有効であれば、電圧低下を検出し、VW2C2ビットは“1”になります。

電圧監視2割り込み関連ビットの設定手順において、電圧検出2回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW2C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

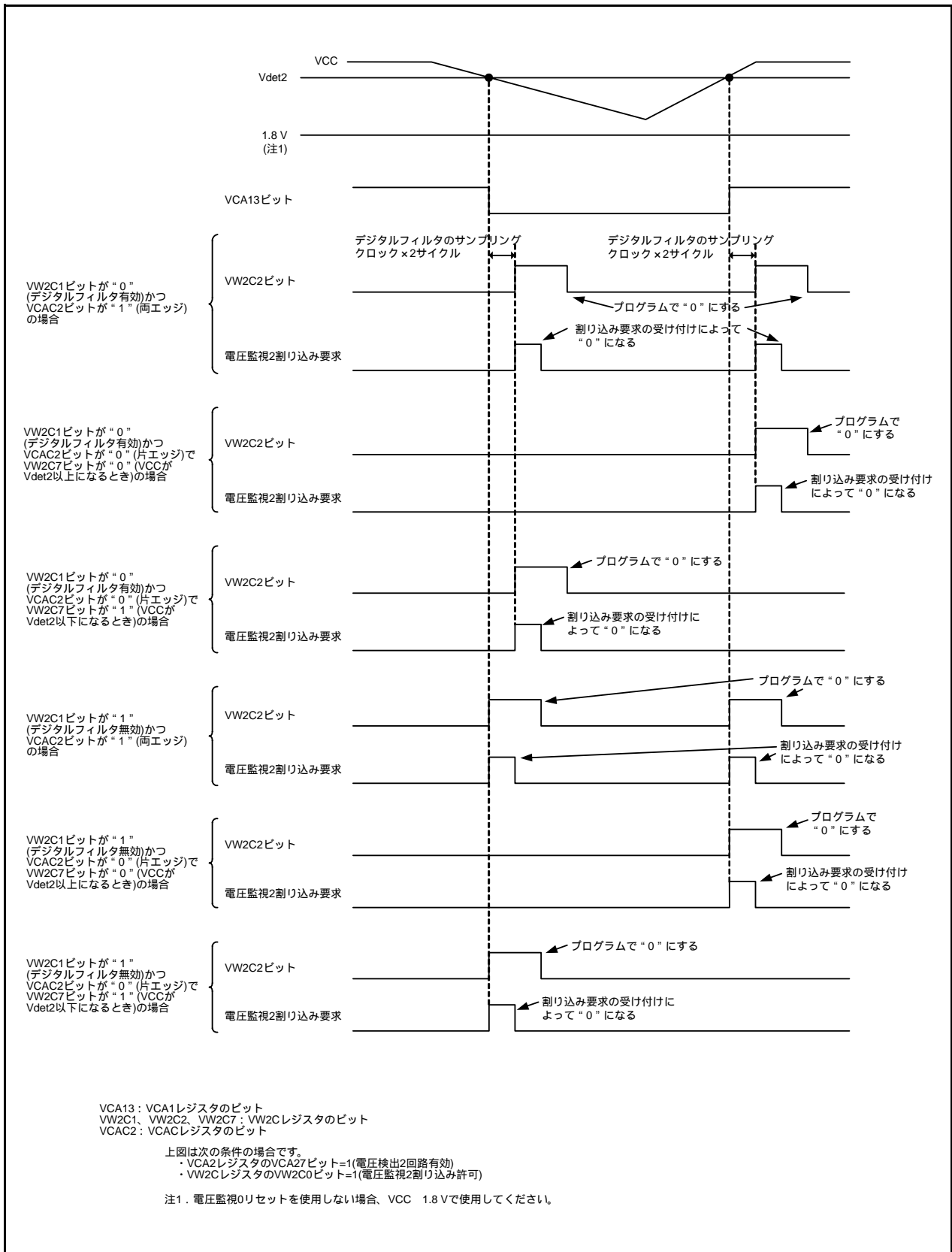


図 6.7 電圧監視2割り込み動作例

7. I/Oポート

7.1 概要

I/Oポートは、発振回路、タイマなどの入出力機能を兼用しています。これらの機能を使用しないときI/Oポートとして使用できます。

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

ポート名	入出力形式	入出力設定	内部プルアップ抵抗 (注1)	駆動能力 切り替え (注2)	入力レベル 切り替え (注3)
P2	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で設定
P5_0 ~ P5_3	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	7ビット単位で設定
P5_4、P5_6	入出力CMOS3 ステート	1ビット単位で設定	なし	なし	
P5_5	CMOS入力 レベル	—	なし	なし	
P7_1	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	1ビット単位で設定
P8	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	1ビット単位で設定	8ビット単位で設定
P9_0 ~ P9_1	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	2ビット単位で設定

注1. 入力モード時、P2PUR、P5PUR、P7PUR、P8PUR、P9PURレジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P8DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. VLT0レジスタ、VLT1レジスタおよびVLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.2 I/Oポートの機能

ポートP2、P5、P7～P9の入出力はPDi ($i = 2, 5, 7 \sim 9$)レジスタのPDi_j ($j = 0 \sim 7$)ビットで制御します。Pi ($i = 2, 5, 7 \sim 9$)レジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.4にI/Oポートの構成を、表7.2にI/Oポートの機能を示します。

表7.2 I/Oポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

注1. $i = 2, 5, 7 \sim 9, j = 0 \sim 7$

7.3 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.3 ピン番号別端子名一覧」を参照してください)。

表7.3に周辺機能の入出力として機能する場合のPDi_jビットの設定($i = 2, 5, 7 \sim 9, j = 0 \sim 7$)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表7.3 周辺機能の入出力として機能する場合のPDi_jビットの設定($i = 2, 5, 7 \sim 9, j = 0 \sim 7$)

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でもよい(ポートの設定に関係なく、出力になる)

7.4 I/Oポート以外の端子

図7.5に端子の構成を示します。

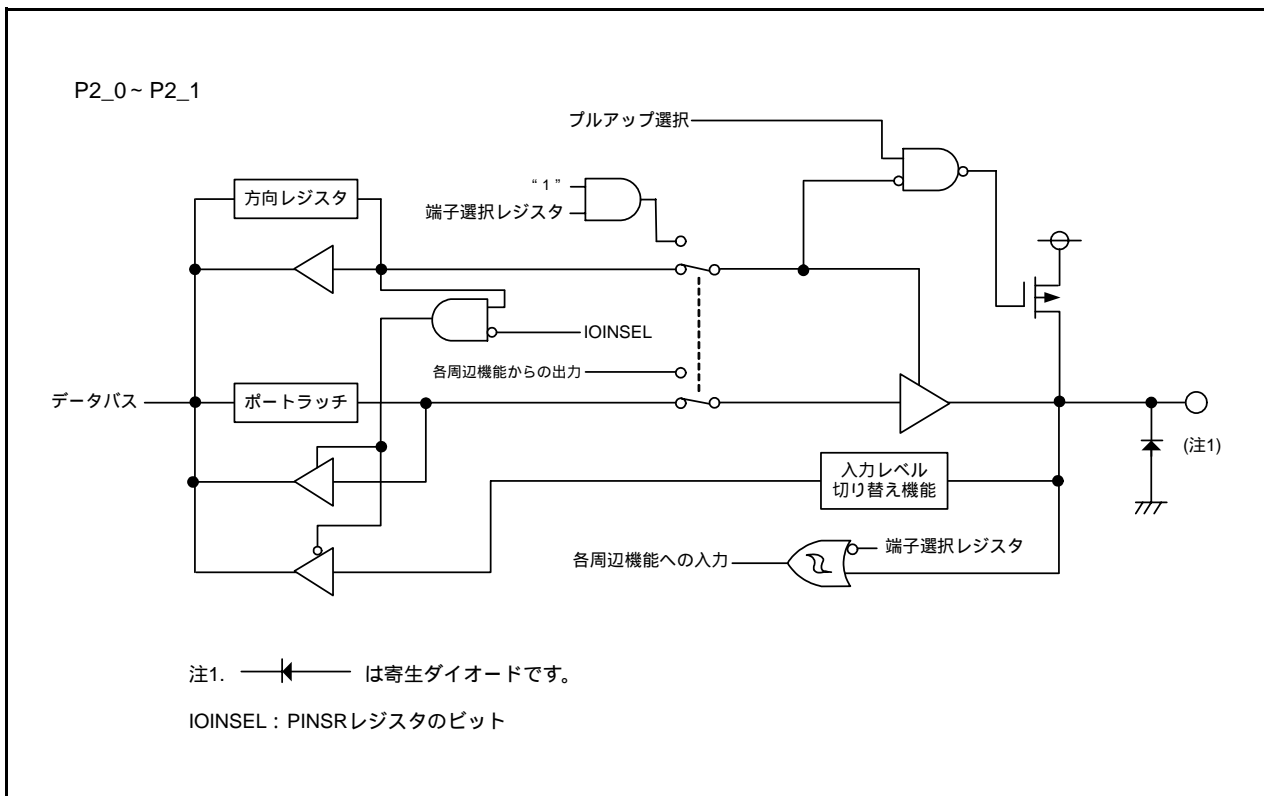


図7.1 I/Oポートの構成(1)

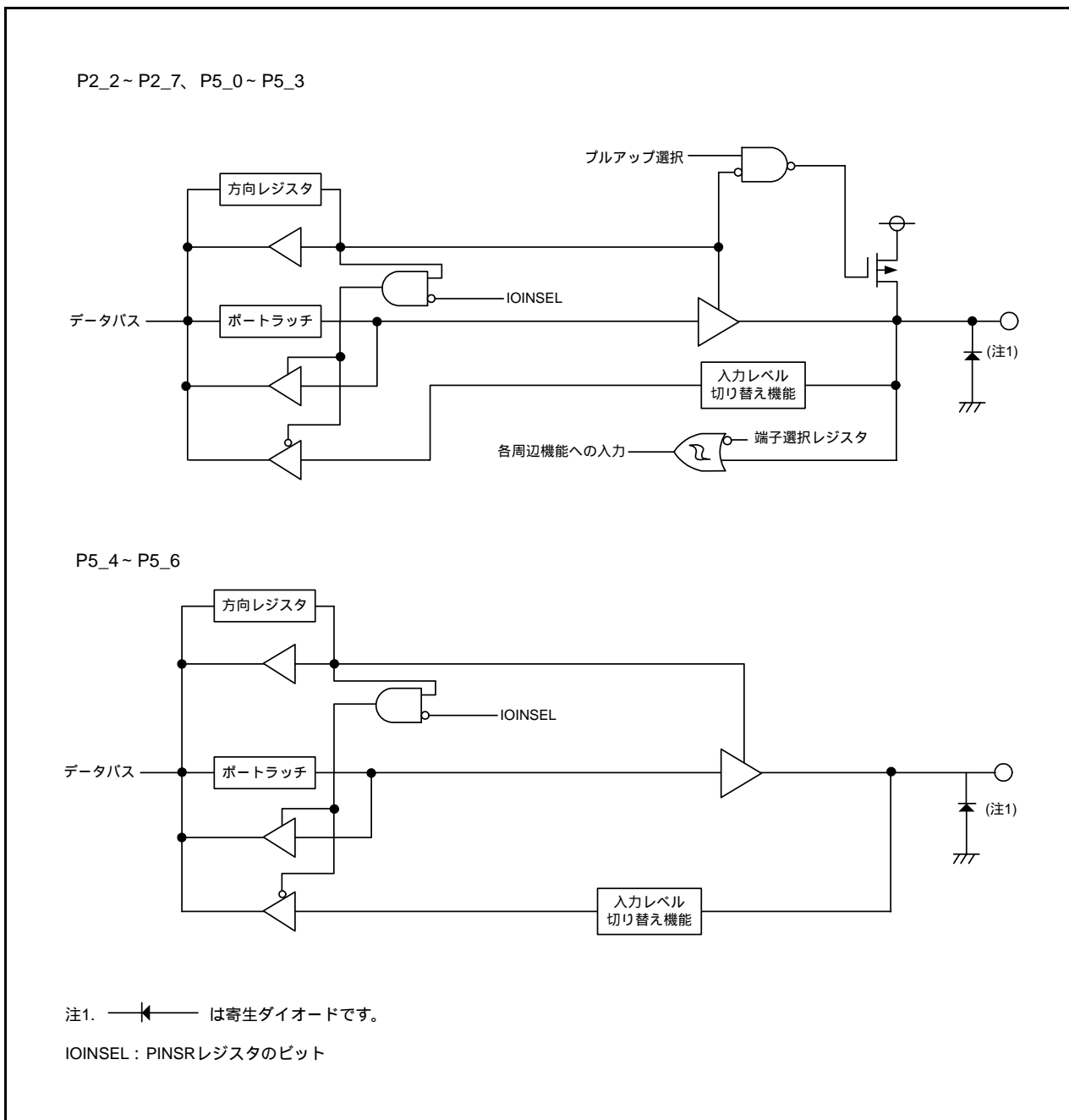


図7.2 I/Oポートの構成(2)

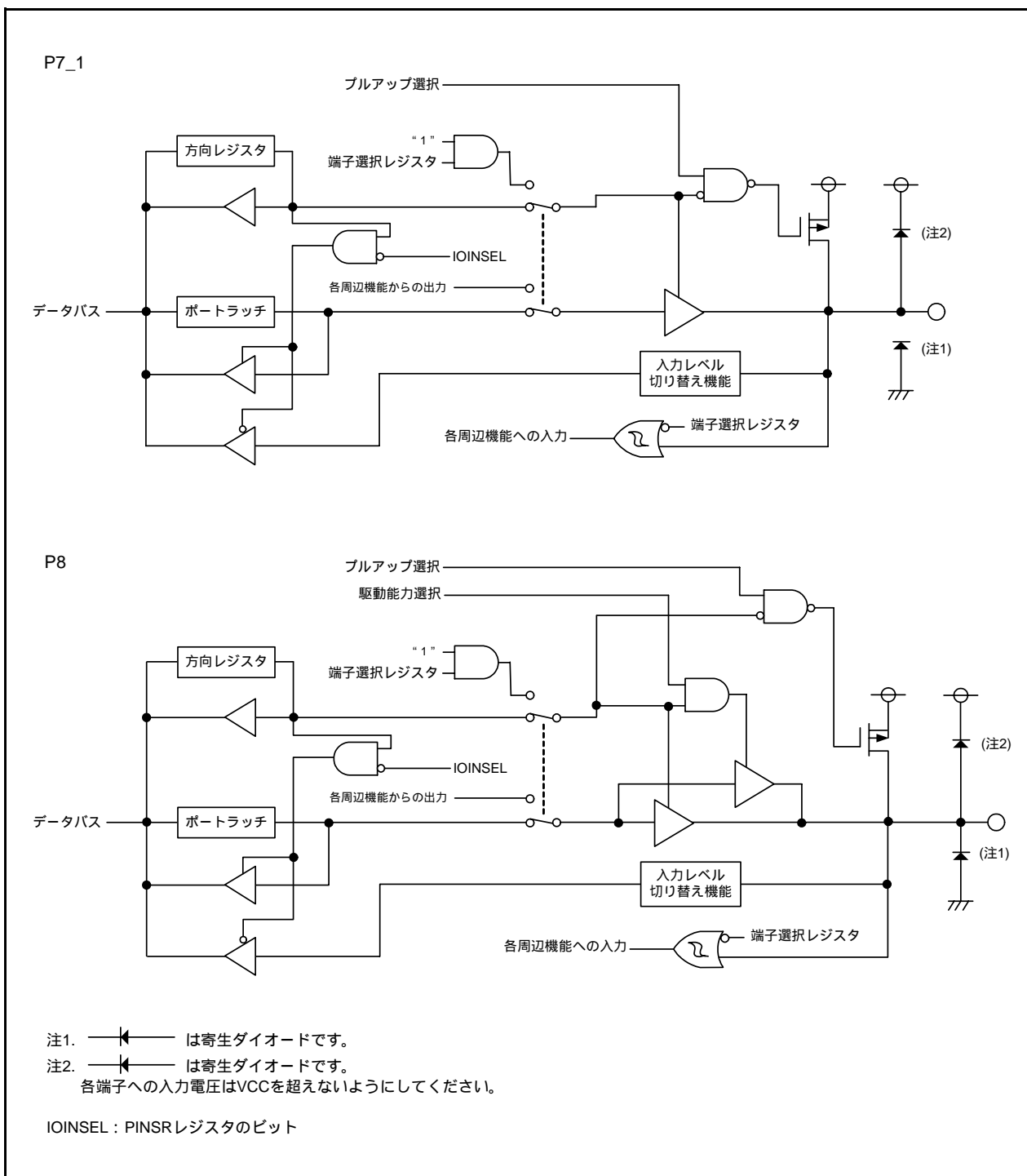


図7.3 I/Oポートの構成(3)

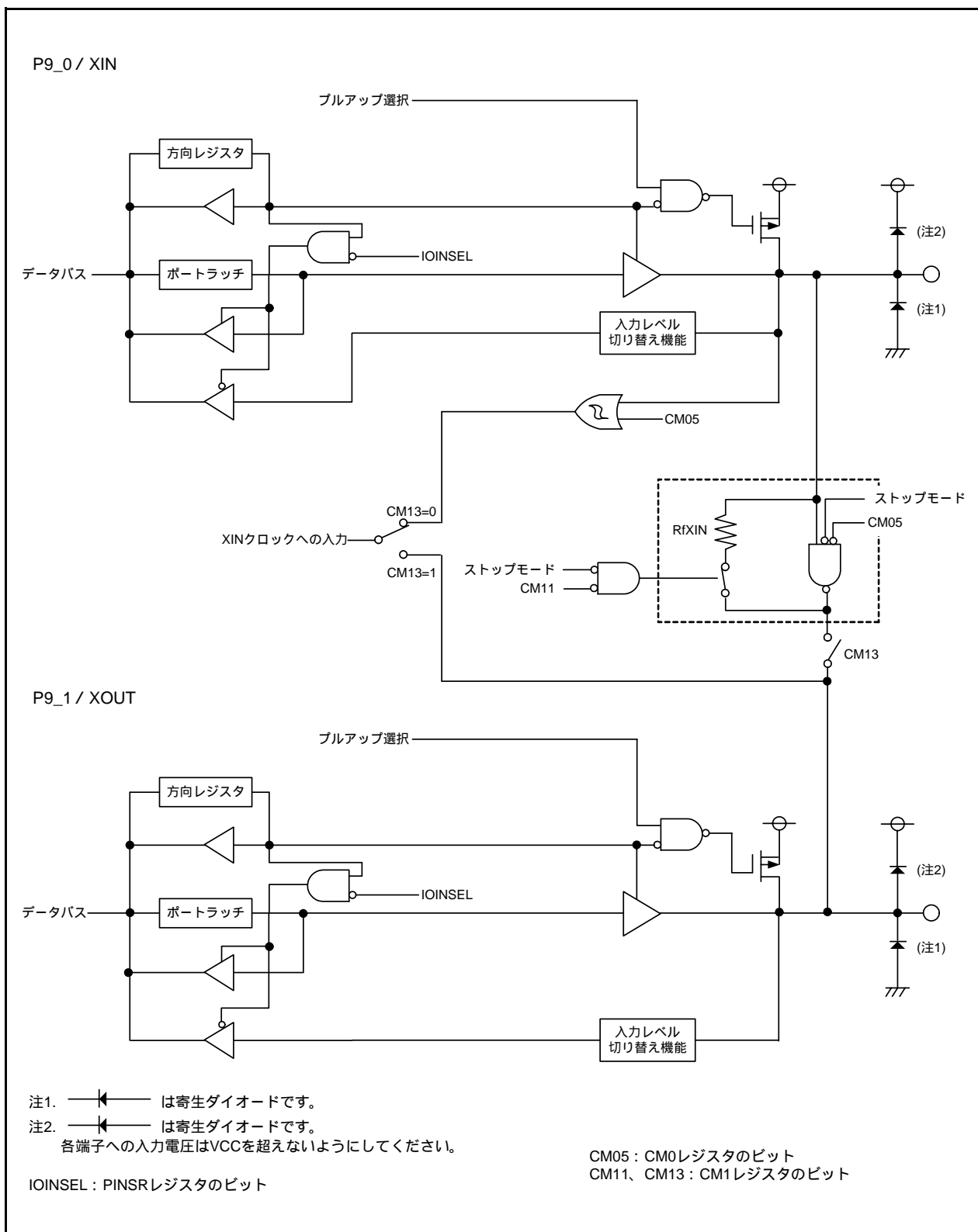


図7.4 I/Oポートの構成(4)

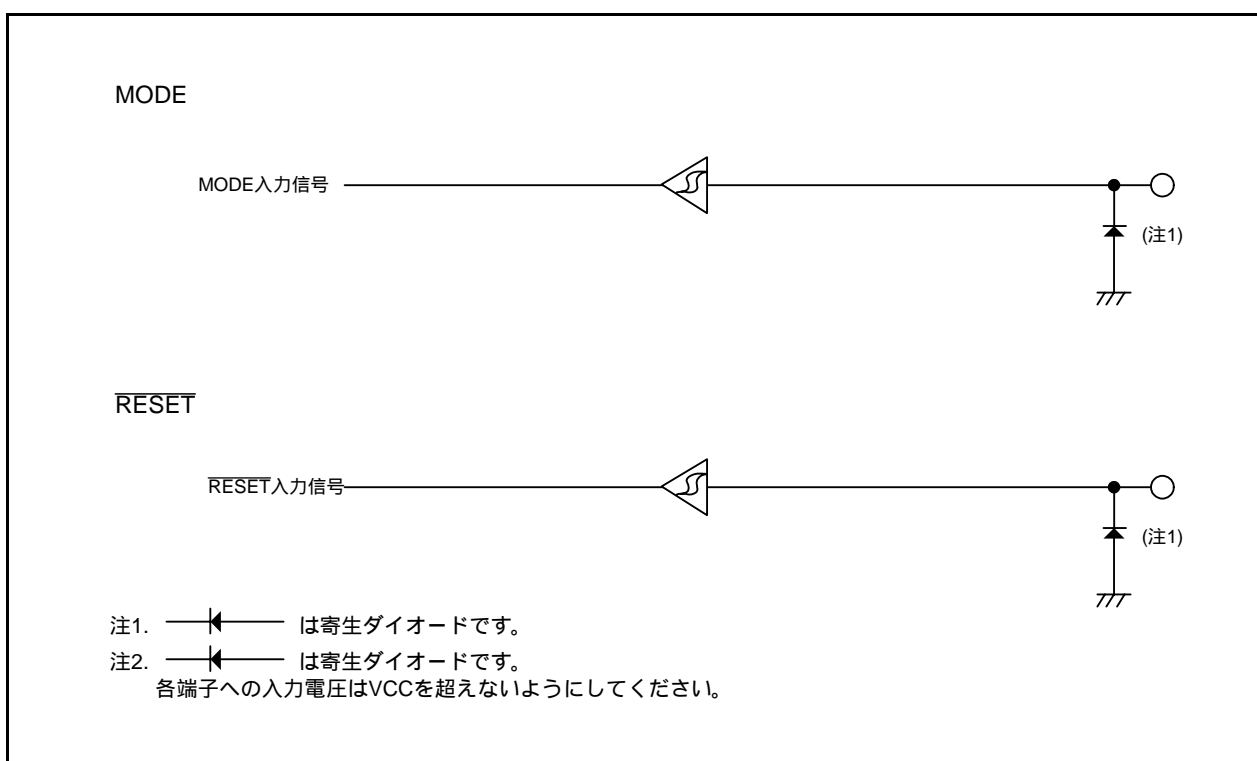


図7.5 端子の構成

7.5 レジスタの説明

7.5.1 ポートPi方向レジスタ(PDi)(i = 2、5、7 ~ 9)

アドレス 00E6h番地(PD2)、00EBh番地(PD5(注1、2)、00EFh番地(PD7(注3))、
00F2h番地(PD8)、00F3h番地(PD9(注4))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0:入力モード(入力ポートとして機能) 1:出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

- 注1. PD5レジスタのPD5_7ビットは予約ビットです。PD5_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注2. ポートP5_5は入力ポートです。PD5_5ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. PD7レジスタのPD7_0、PD7_2 ~ PD7_7ビットは予約ビットです。PD7_0、PD7_2 ~ PD7_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注4. PD9レジスタのPD9_2 ~ PD9_3ビットは予約ビットです。PD9_2 ~ PD9_3ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
PD9レジスタのPD9_4 ~ PD9_7ビットは何も配置されていません。PD9_4 ~ PD9_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDiレジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。

周辺機能を出力として使用する場合は、方向レジスタを“1”(出力モード)にしてください。

7.5.2 ポートPiレジスタ(Pi)(i = 2、5、7 ~ 9)

アドレス 00E4h番地(P2)、00E9h番地(P5(注1))、00EDh番地(P7(注2))、
00F0h番地(P8)、00F1h番地(P9(注3))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0:“L”レベル 1:“H”レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

- 注1. P5レジスタのP5_7ビットは予約ビットです。P5_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注2. P7レジスタのP7_0、P7_2 ~ P7_7ビットは予約ビットです。P7_0、P7_2 ~ P7_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. P9レジスタのP9_2 ~ P9_3ビットは予約ビットです。P9_2 ~ P9_3ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
P9レジスタのP9_4 ~ P9_7ビットは何も配置されていません。P9_4 ~ P9_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

Pi_jビット(i = 2、5、7 ~ 9、j = 0 ~ 7)(ポートPi_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

7.5.3 タイマRJ端子選択レジスタ (TRJSR)

アドレス 0180h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRJ0IOSEL1	TRJ0IOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJ0IOSEL0	TRJ0IO端子選択ビット	b1 b0 00: TRJ0IO端子は使用しない 01: P8_3に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b1	TRJ0IOSEL1			R/W
b2	—	予約ビット	"0" にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

タイマRJ0の入出力端子を使用する場合は、TRJSRレジスタを設定してください。

タイマRJ0の関連レジスタを設定する前に、TRJSRレジスタを設定してください。また、タイマRJ0の動作中はTRJSRレジスタの設定値を変更しないでください。

7.5.4 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCIOBSEL1	TRCIOBSEL0	TRCIOASEL1	TRCIOASEL0	—	TRCCLKSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCLKSEL0	TRCCLK端子選択ビット	0 : TRCCLK端子は使用しない 1 : P7_1に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b3 b2 00 : TRCIOA/TRCTRG端子は使用しない 01 : TRCIOA/TRCTRG端子をP8_7に割り当てる 10 : 設定しないでください 11 : 設定しないでください	R/W
b3	TRCIOASEL1			R/W
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 00 : TRCIOB端子は使用しない 01 : P8_6に割り当てる 10 : P8_5に割り当てる(注1) 11 : P8_4に割り当てる(注2)	R/W
b5	TRCIOBSEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

注1. TRCPSR1 レジスタの TRCIOSEL0 ビットを“1”(TRCIOC 端子を P8_5 に割り当てる)にした場合は、TRCIOSEL1 ~ TRCIOSEL0ビットの内容にかかわらず、P8_5はTRCIOC端子になります。

注2. TRCPSR1 レジスタの TRCIOSEL0 ビットを“1”(TRCIOD 端子を P8_4 に割り当てる)にした場合は、TRCIOSEL1 ~ TRCIOSEL0ビットの内容にかかわらず、P8_4はTRCIOD端子になります。

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。タイマRC端子の割り当てを変更した場合、変更したときの端子レベルによってはエッジが発生し、TRCレジスタが“0000h”になる場合があります。

7.5.5 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TRCIODSELO	—	TRCIOCESELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCESELO	TRCIOCE端子選択ビット	0 : TRCIOCE端子は使用しない 1 : P8_5に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIODSELO	TRCIOD端子選択ビット	0 : TRCIOD端子は使用しない 1 : P8_4に割り当てる	R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

TRCPSR1レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

7.5.6 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² Cバス切り替えビット	0 : SSU機能を選択 1 : I ² Cバス機能を選択	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

7.5.7 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	IOINSEL	I/Oポート入力機能 選択ビット	0 : I/Oポートの入力機能はPDi (i = 2、5、7 ~ 9) レジスタに 依存 PDiレジスタのPDi_j (j=0 ~ 7) ビットが“0” (入力モード) のとき、端子の入力レベルを読む PDiレジスタのPDi_j ビットが“1” (出力モード) のとき、 ポートラッチを読む 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の 入力レベルを読む	R/W
b4	IICTCTWI	I ² C転送レート2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I ² C転送レート1/2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延 選択ビット	b7 b6 0 0 : 3 × f1 サイクルのデジタル遅延 0 1 : 11 × f1 サイクルのデジタル遅延 1 0 : 19 × f1 サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I²Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方とも“0”にしてください。

7.5.8 ポートPiプルアップ制御レジスタ (PiPUR)(i = 2、5、7 ~ 9)

アドレス 01E2h番地 (P2PUR)、01E5h番地 (P5PUR(注2))、01E7h番地 (P7PUR(注3))、
01E8h番地 (P8PUR)、01E9h番地 (P9PUR(注4))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUi7	PUi6	PUi5	PUi4	PUi3	PUi2	PUi1	PUi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUi0	ポートPi_0のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PUi1	ポートPi_1のプルアップ		R/W
b2	PUi2	ポートPi_2のプルアップ		R/W
b3	PUi3	ポートPi_3のプルアップ		R/W
b4	PUi4	ポートPi_4のプルアップ		R/W
b5	PUi5	ポートPi_5のプルアップ		R/W
b6	PUi6	ポートPi_6のプルアップ		R/W
b7	PUi7	ポートPi_7のプルアップ		R/W

- 注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。
- 注2. P5PURレジスタのPU54 ~ PU57ビットは予約ビットです。PU54 ~ PU57ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. P7PURレジスタのPU70、PU72 ~ PU77ビットは予約ビットです。PU70、PU72 ~ PU77ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注4. P9PURレジスタのPU92 ~ PU93ビットは予約ビットです。PU92 ~ PU93ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
P9PURレジスタのPU94 ~ PU97ビットは何も配置されていません。PU94 ~ PU97ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

入力として使用している端子は、PiPURレジスタの設定値が有効になります。

7.5.9 ポートP8駆動能力制御レジスタ (P8DRR)

アドレス 01F1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P8DRR7	P8DRR6	P8DRR5	P8DRR4	P8DRR3	P8DRR2	P8DRR1	P8DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P8DRR0	ポートP8_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P8DRR1	ポートP8_1の駆動能力		R/W
b2	P8DRR2	ポートP8_2の駆動能力		R/W
b3	P8DRR3	ポートP8_3の駆動能力		R/W
b4	P8DRR4	ポートP8_4の駆動能力		R/W
b5	P8DRR5	ポートP8_5の駆動能力		R/W
b6	P8DRR6	ポートP8_6の駆動能力		R/W
b7	P8DRR7	ポートP8_7の駆動能力		R/W

- 注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P8DRRレジスタはP8の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P8DRR_iビット(i = 0 ~ 7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子はP8DRRレジスタの設定値が有効になります。

7.5.10 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	VLT05	VLT04	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	VLT04	P2の入力レベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT05			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

VLT0レジスタはポートP2の入力しきい値の電圧レベルを選択するレジスタです。対応するビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5.11 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT17	VLT16	—	—	VLT13	VLT12	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	VLT12	P5の入力レベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT13			R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			R/W
b6	VLT16	P7の入力レベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT17			R/W

VLT1 レジスタはポートP5、P7の入力しきい値の電圧レベルを選択するレジスタです。対応するビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5.12 入力しきい値制御レジスタ2 (VLT2)

アドレス 01F7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VLT23	VLT22	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P8の入力レベル選択ビット	$b^1 b^0$ 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT21			R/W
b2	VLT22			P9の入力レベル選択ビット
b3	VLT23	R/W		
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

VLT2 レジスタはポートP8 ~ P9の入力しきい値の電圧レベルを選択するレジスタです。VLT20 ~ VLT23 ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.6 ポートの設定

表7.4～表7.29にポートの設定を示します。

表7.4 P2_0/TRB1O

レジスタ		PD2	TRB1IOC	TRB1MR		機能
ビット		PD2_0	TOCNT	TMOD		
				1	0	
端子	P2_0	0	X	0	0	入力ポート(注1)
		1	X	0	0	出力ポート
		X	1			
	TRB1O	X	0	0	1	プログラマブル波形発生モード (パルス出力)
		X	0	1	0	プログラマブルワンショット波形発生 モード
		X	0	1	1	プログラマブルウェイトワンショット 波形発生モード

X: "0" または "1"

注1. P2PURレジスタのPU20ビットを"1"にするとプルアップありとなります。

表7.5 P2_1/TRB0O

レジスタ		PD2	TRB0IOC	TRB0MR		機能
ビット		PD2_1	TOCNT	TMOD		
				1	0	
端子	P2_1	0	X	0	0	入力ポート(注1)
		1	X	0	0	出力ポート
		X	1			
	TRB0O	X	0	0	1	プログラマブル波形発生モード (パルス出力)
		X	0	1	0	プログラマブルワンショット波形発生 モード
		X	0	1	1	プログラマブルウェイトワンショット 波形発生モード

X: "0" または "1"

注1. P2PURレジスタのPU21ビットを"1"にするとプルアップありとなります。

表7.6 P2_2/ $\overline{\text{INT0}}$

レジスタ		PD2	INTEN	機能
ビット		PD2_2	INT0EN	
端子	P2_2	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{INT0}}$	0	1	$\overline{\text{INT0}}$ 入力(注1)

X: "0" または "1"

注1. P2PURレジスタのPU22ビットを"1"にするとプルアップありとなります。

表7.7 P2_3/ $\overline{\text{INT5}}$

レジスタ		PD2	INTEN1	機能
ビット		PD2_3	INT5EN	
端子	P2_3	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{INT5}}$	0	1	$\overline{\text{INT5}}$ 入力(注1)

X: "0" または "1"

注1. P2PURレジスタのPU23ビットを"1"にするとプルアップありとなります。

表7.8 P2_4/ $\overline{\text{KI0}}$

レジスタ		PD2	KIEN	機能
ビット		PD2_4	KI0EN	
端子	P2_4	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI0}}$	0	1	$\overline{\text{KI0}}$ 入力(注1)

X: "0" または "1"

注1. P2PURレジスタのPU24ビットを"1"にするとプルアップありとなります。

表7.9 P2_5/ $\overline{\text{KI1}}$

レジスタ		PD2	KIEN	機能
ビット		PD2_5	KI1EN	
端子	P2_5	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI1}}$	0	1	$\overline{\text{KI1}}$ 入力(注1)

X: "0" または "1"

注1. P2PURレジスタのPU25ビットを"1"にするとプルアップありとなります。

表7.10 P2_6/ $\overline{\text{KI2}}$

レジスタ		PD2	KIEN	機能
ビット		PD2_6	KI2EN	
端子	P2_6	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI2}}$	0	1	$\overline{\text{KI2}}$ 入力(注1)

X: "0" または "1"

注1. P2PURレジスタのPU26ビットを"1"にするとプルアップありとなります。

表7.11 P2_7/ $\overline{\text{KI3}}$

レジスタ		PD2	KIEN	機能
ビット		PD2_7	KI3EN	
端子	P2_7	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI3}}$	0	1	$\overline{\text{KI3}}$ 入力(注1)

X: "0" または "1"

注1. P2PURレジスタのPU27ビットを"1"にするとプルアップありとなります。

表7.12 P5_0/ $\overline{\text{KI4}}$

レジスタ		PD5	KIEN1	機能
ビット		PD5_0	KI4EN	
端子	P5_0	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI4}}$	0	1	$\overline{\text{KI4}}$ 入力(注1)

X: "0" または "1"

注1. P5PURレジスタのPU50ビットを"1"にするとプルアップありとなります。

表7.13 P5_1/ $\overline{\text{KI5}}$

レジスタ		PD5	KIEN1	機能
ビット		PD5_1	KI5EN	
端子	P5_1	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI5}}$	0	1	$\overline{\text{KI5}}$ 入力(注1)

X:“0”または“1”

注1. P5PURレジスタのPU51ビットを“1”にするとプルアップありとなります。

表7.14 P5_2/ $\overline{\text{KI6}}$

レジスタ		PD5	KIEN1	機能
ビット		PD5_2	KI6EN	
端子	P5_2	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI6}}$	0	1	$\overline{\text{KI6}}$ 入力(注1)

X:“0”または“1”

注1. P5PURレジスタのPU52ビットを“1”にするとプルアップありとなります。

表7.15 P5_3/ $\overline{\text{KI7}}$

レジスタ		PD5	KIEN1	機能
ビット		PD5_3	KI7EN	
端子	P5_3	0	X	入力ポート(注1)
		1	X	出力ポート
	$\overline{\text{KI7}}$	0	1	$\overline{\text{KI7}}$ 入力(注1)

X:“0”または“1”

注1. P5PURレジスタのPU53ビットを“1”にするとプルアップありとなります。

表7.16 P5_4

レジスタ		PD5	機能
ビット		PD5_4	
端子	P5_4	0	入力ポート
		1	出力ポート

表7.17 P5_5

レジスタ		PD5	機能
ビット		PD5_5	
端子	P5_5	0	入力ポート
		1	設定しないでください

表7.18 P5_6

レジスタ		PD5	機能
ビット		PD5_6	
端子	P5_6	0	入力ポート
		1	出力ポート

表7.19 P7_1/TRCCLK/INT2

レジスタ		PD7	TRCPSR0	TRCCR1			INTEN	機能
ビット		PD7_1	TRCCLKSELO	TCK			INT2EN1	
				2	1	0		
端子	P7_1	0	0	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	出力ポート
	TRCCLK	0	1	1	0	1	X	TRCCLK入力(注1)
	INT2	0	0	X	X	X	1	INT2入力(注1)

X: "0" または "1"

注1. P7PURレジスタのPU71ビットを"1"にするとプルアップありとなります。

表7.20 P8_0/SCS/INT1

レジスタ		PD8	INTEN	SSMR2		機能
ビット		PD8_0	INT1EN	CSS		
				1	0	
端子	P8_0	0	X	0	0	入力ポート(注1)
		1	X	0	0	出力ポート(注2)
	SCS	0	X	0	1	SCS入力(注1)
		0	X	1	X	SCS出力(注1、2、3)
	INT1	0	1	0	0	INT1入力(注1)

X: "0" または "1"

注1. P8PURレジスタのPU80ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR0ビットを"1"にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのCSOSビットを"1"にするとNチャンネルオープンドレイン出力になります。

表7.21 P8_1/SSI/INT3

レジスタ		PD8	INTEN	SSUIICSR	SSU関連レジスタ	機能
ビット		PD8_1	INT3EN	IICSEL		
端子	P8_1	0	X	X	シンクロナスシリアルコ ミュニケーションユニット (「表 22.4 通信モードと 入出力端子の関係」)参照。	入力ポート(注1)
		1	X	X		出力ポート(注2)
	SSI	0	X	0		SSI入力(注1)
		X	X	0		SSI出力(注1、2、3)
	INT3	0	1	X		INT3入力(注1)

X: "0" または "1"

注1. P8PURレジスタのPU81ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR1ビットを"1"にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

表7.22 P8_2/SSCK/SCL

レジスタ		PD8	SSUICSR	ICCR1	SSMR2	SSU関連レジスタ	機能
ビット		PD8_2	IICSEL	ICE	SCKS		
端子	P8_2	0	0	X	0	シンクロナスシリアルコ ミュニケーションユニット (「表 22.4 通信モードと 入出力端子の関係」)参照。	入力ポート(注1)
			1	0			出力ポート(注2)
		1	0	X	0		SCL入出力(注1、2)
			1	0			SSCK入力(注1)
	SCL	0	1	1	0		SSCK出力 (注1、2、3)
	SSCK	0	0	X	1		
0		0	X	1			

X:“0”または“1”

注1. P8PURレジスタのPU82ビットを“1”にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR2ビットを“1”にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSOOSビットを“1”にすると、Nチャンネルオープンドレイン出力になります。このとき、PD8レジスタのPD8_2ビットを“0”にしてください。

表7.23 P8_3/TRJ0IO/SSO/SDA

レジスタ		PD8	TRJSR	TRJ0IOC	TRJ0MR	SSUICSR	ICCR1	SSU関連レジスタ	機能			
ビット		PD8_3	TRJ0IOSEL	TOPCR	TMOD					IICSEL	ICE	
			1 0		2 1 0							
端子	P8_3	0	01b以外	1	X	X	X	1	0	シンクロナスシリアル アルコミュニケーション ユニット (「表 22.4 通信モード と入出力端子の関係」) 参照。	入力ポート(注1)	
								0	X		出力ポート(注2)	
		1	01b以外	1	X	X	X	1	0		SDA入出力 (注1、2)	
								0	X		SSO入力(注1)	
	SSO	0	01b以外	1	X	X	X	0	X		SSO出力 (注1、2、3)	
								0	X		パルス出力モード (注1、2)	
	TRJ0IO	X	0	1	0	0	1	0	0		X	イベントカウンタ モード
									1		0	パルス幅測定モード
		X	0	1	0	0	1	1	0		X	パルス周期測定モード
									1		0	
	X	0	1	0	1	0	0	0	X			
								1	0			

X:“0”または“1”

注1. P8PURレジスタのPU83ビットを“1”にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR3ビットを“1”にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSOOSビットを“1”(Nチャンネルオープンドレイン出力)かつBIDEビットを“0”(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

表7.24 P8_4/TRCIOD(/TRCIOB)

レジスタ		PD8	TRCPSR0		TRCPSR1	TRCOER		TRCMR			TRCIOR0			TRCIOR1			機能
ビット		PD8_4	TRCIOBSEL		TRCIOD SEL0	EB	ED	PWM			IOB			IOD			
			1	0				2	B	D	2	1	0	2	1	0	
端子	P8_4	0	11b以外		0	X	X	X	X	X	X	X	X	X	X	X	入力ポート(注1)
		1	11b以外		0	X	X	X	X	X	X	X	X	X	X	X	出力ポート(注2)
		X	11b以外		0	X	X	X	X	X	X	X	X	X	X	X	出力ポート(注2)
	(TRCIOB)	X	1	1	0	0	X	0	X	X	X	X	X	X	X	X	PWM2モード 波形出力(注2)
		X	1	1	0	0	X	1	1	X	X	X	X	X	X	X	PWMモード 波形出力(注2)
		X	1	1	0	0	X	1	0	X	0	0	1	X	X	X	タイマ波形出力 (アウトプット コンペア機能) (注2)
		0	1	1	0	X	X	1	0	X	1	0	X	X	X	X	タイマモード (インプット キャプチャ機能) (注1)
	TRCIOD	X	11b以外		1	X	0	1	X	1	X	X	X	X	X	X	PWMモード 波形出力(注2)
		X	11b以外		1	X	0	1	X	0	X	X	X	0	0	1	タイマ波形出力 (アウトプット コンペア機能) (注2)
		0	11b以外		1	X	X	1	X	0	X	X	X	1	X	X	タイマモード (インプット キャプチャ機能) (注1)

X: "0" または "1"

注1. P8PURレジスタのPU84ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR4ビットを"1"にすると、駆動能力Highの出力となります。

表7.25 P8_5/TRCIOC(/TRCIOB)

レジスタ		PD8	TRCPSR0		TRCPSR1	TRCOER		TRCMR			TRCIOR0			TRCIOR1			機能
ビット		PD8_5	TRCIOBSEL		TRCIOC SEL0	EB	EC	PWM			IOB			IOC			
			1	0				2	B	C	2	1	0	2	1	0	
端子	P8_5	0	10b以外		0	X	X	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	10b以外		0	X	X	X	X	X	X	X	X	X	X	出力ポート(注2)	
		X	10b以外		0	X	X	X	X	X	X	X	X	X	X	出力ポート(注2)	
	(TRCIOB)	X	1	0	X	0	X	0	X	X	X	X	X	X	X	PWM2モード 波形出力(注2)	
		X	1	0	X	0	X	1	1	X	X	X	X	X	X	PWMモード 波形出力(注2)	
		X	1	0	X	0	X	1	0	X	0	0	1	X	X	X	タイマ波形出力 (アウトプット コンペア機能) (注2)
	TRCIOC	0	1	0	0	X	X	1	0	X	1	0	X	X	X	タイマモード (インプット キャプチャ機能) (注1)	
		X	10b以外		1	X	0	1	X	1	X	X	X	X	X	X	PWMモード波形 出力(注2)
		X	10b以外		1	X	0	1	X	0	X	X	X	0	0	1	タイマ波形出力 (アウトプット コンペア機能) (注2)
			0	10b以外		1	X	X	1	X	0	X	X	X	1	X	タイマモード (インプット キャプチャ機能) (注1)

X: "0" または "1"

注1. P8PURレジスタのPU85ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR5ビットを"1"にすると、駆動能力Highの出力となります。

表7.26 P8_6(/TRCIOB)

レジスタ		PD8	TRCPSR0		TRCOER	TRCMR			TRCIOR0			機能
ビット		PD8_6	TRCIOBSEL		EB	PWM			IOB			
			1	0		2	B	D	2	1	0	
端子	P8_6	0	01b以外		X	X	X	X	X	X	X	入力ポート(注1)
		1	01b以外		X	X	X	X	X	X	X	出力ポート(注2)
	(TRCIOB)	X	0	1	0	0	X	X	X	X	X	PWM2モード波形出力(注2)
		X	0	1	0	1	1	X	X	X	X	PWMモード波形出力(注2)
		X	0	1	0	1	0	X	0	0	1	タイマ波形出力(アウトプット コンペア機能)(注2)
		0	0	1	X	1	0	X	1	0	X	タイマモード(インプットキャ プチャ機能)(注1)

X: "0" または "1"

注1. P8PURレジスタのPU86ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR6ビットを"1"にすると、駆動能力Highの出力となります。

表7.27 P8_7/(TRCTRG)/TRCIOA

レジスタ		PD8	TRCPSR0		TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
ビット		PD8_7	TRCIOASEL		EA	PWM2	IOA			TCEG		
			1	0			2	1	0	1	0	
端子	P8_7	0	0	0	X	X	X	X	X	X	X	入力ポート(注1)
		1	0	0	X	X	X	X	X	X	X	出力ポート(注2)
	TRCIOA	X	0	1	0	1	0	0	1	X	X	タイマ波形出力(アウトプットコンペア機能)(注2)
			1	X	0	X	0	X	タイマモード(インプットキャプチャ機能)(注1)			
		0	0	1	X	1	1	1	0	X	X	タイマモード(インプットキャプチャ機能)(注1)
	(TRCTRG)	0	0	1	X	0	X	X	X	X	0	1
1											X	

X: "0" または "1"

注1. P8PURレジスタのPU87ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR7ビットを"1"にすると、駆動能力Highの出力となります。

表7.28 P9_0/XIN

レジスタ		PD9	CM0	CM1			機能	発振 バッファ	帰還抵抗	
ビット		PD9_0	CM05	CM						
				10	11	13				
端子	P9_0	0	1	0	1	0	入力ポート(注1)	OFF	OFF	
		1	1	0	1	0	出力ポート	OFF	OFF	
	XIN	X	0	0	0	1	0	XINクロック入力(注1)	ON	ON
			0	0	1	1	0	XINクロック入力停止(STOPモード)(注1)	ON	ON
			0	0	0	0	1	XIN-XOUT発振(内部帰還抵抗有効)	ON	ON
			0	0	0	1	1	XIN-XOUT発振(内部帰還抵抗無効)	ON	OFF
			0	1	0	0	1	XIN-XOUT発振停止(内部帰還抵抗有効)	OFF	ON
			0	1	0	1	1	XIN-XOUT発振停止(内部帰還抵抗無効)	OFF	OFF
			0	0	1	X	1	XIN-XOUT発振停止(STOPモード)	OFF	OFF

X: "0" または "1"

注1. P9PURレジスタのPU90ビットを"1"にすると、プルアップありとなります。

表7.29 P9_1/XOUT

レジスタ		PD9	CM0	CM1			機能	発振 バッファ	帰還抵抗	
ビット		PD9_1	CM05	CM						
				10	11	13				
端子	P9_1	0	X	0	1	0	入力ポート(注1)	OFF	OFF	
		1	X	0	1	0	出力ポート	OFF	OFF	
	XOUT	X	0	0	0	0	1	XIN-XOUT発振(内部帰還抵抗有効)	ON	ON
			0	0	0	1	1	XIN-XOUT発振(内部帰還抵抗無効)	ON	OFF
			0	1	0	0	1	XIN-XOUT発振停止(内部帰還抵抗有効)	OFF	ON
			0	1	0	1	1	XIN-XOUT発振停止(内部帰還抵抗無効)	OFF	OFF
			0	0	1	X	1	XIN-XOUT発振停止(STOPモード)	OFF	OFF

X: "0" または "1"

注1. P9PURレジスタのPU91ビットを"1"にすると、プルアップありとなります。

7.7 未使用端子の処理

表7.30に未使用端子の処理例を示します。

表7.30 未使用端子の処理例

端子名	処理内容
ポートP2、P5_0～P5_4、P5_6、P7_1、P8、P9_0～P9_1	<ul style="list-style-type: none"> •入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2)
P5_5	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注3)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定したほうがプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

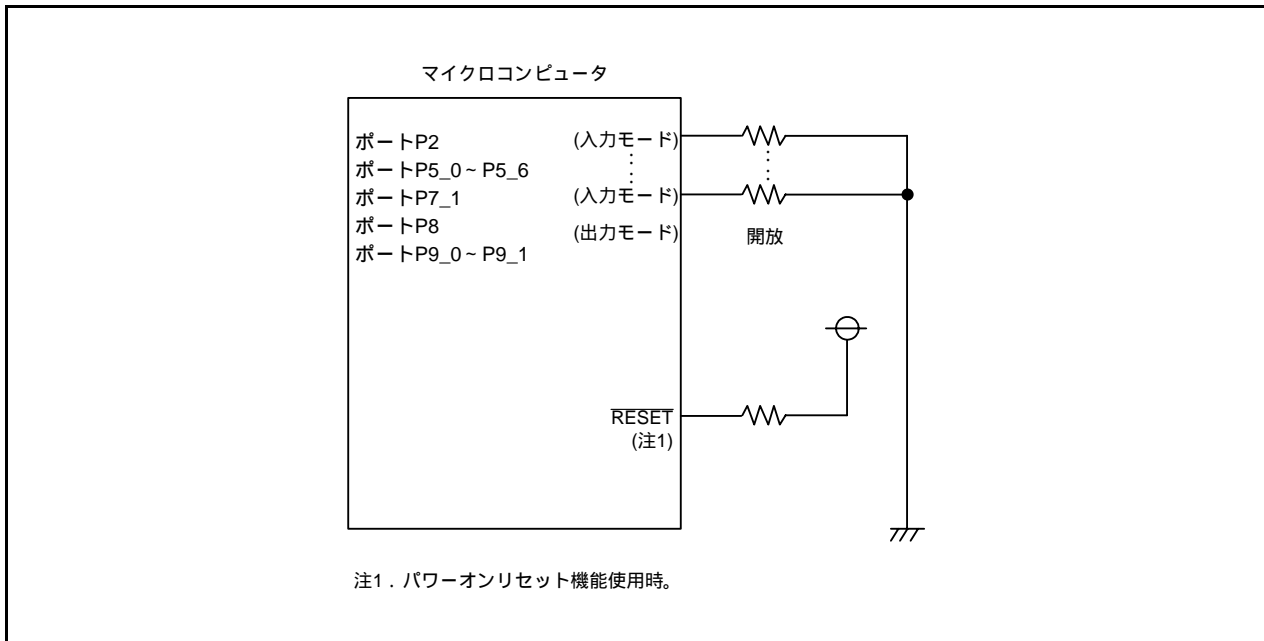


図7.6 未使用端子の処理例

8. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

表8.1にアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表8.2にアクセス単位とバスの動作を示します。

表8.1 アクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表8.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ		ROM(プログラムROM)、RAM	
偶数番地 バイトアクセス	CPU クロック		CPU クロック	
奇数番地 バイトアクセス	CPU クロック		CPU クロック	
偶数番地 ワードアクセス	CPU クロック		CPU クロック	
奇数番地 ワードアクセス	CPU クロック		CPU クロック	

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRJ：TRJ0レジスタ

SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

9. クロック発生回路

9.1 概要

クロック発生回路として、3つの回路が内蔵されています。

- XINクロック発振回路
- 低速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

表9.1にクロック発生回路の概略仕様を、図9.1にクロック発生回路を、図9.2に周辺機能のクロックを示します。

表9.1 クロック発生回路の概略仕様

項目	XINクロック発振回路	低速オンチップオシレータ	ウォッチドッグタイマ用 低速オンチップオシレータ
用途	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源 	<ul style="list-style-type: none"> • ウォッチドッグタイマのクロック源
クロック周波数	0 ~ 20MHz	約125kHz	約125kHz
接続できる発振子	<ul style="list-style-type: none"> • セラミック共振子 • 水晶発振子 	—	—
発振子の接続端子	XIN、XOUT(注1)	— (注1)	—
発振の開始と停止	あり	あり	あり
リセット後の状態	停止	発振	停止(注2) 発振(注3)
その他	外部で生成されたクロックを入力可能	—	—

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP9_0、P9_1として使うことができます。

P9_0端子はXIN端子と、P9_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらをI/Oポートとして使用できません。

注2. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注3. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

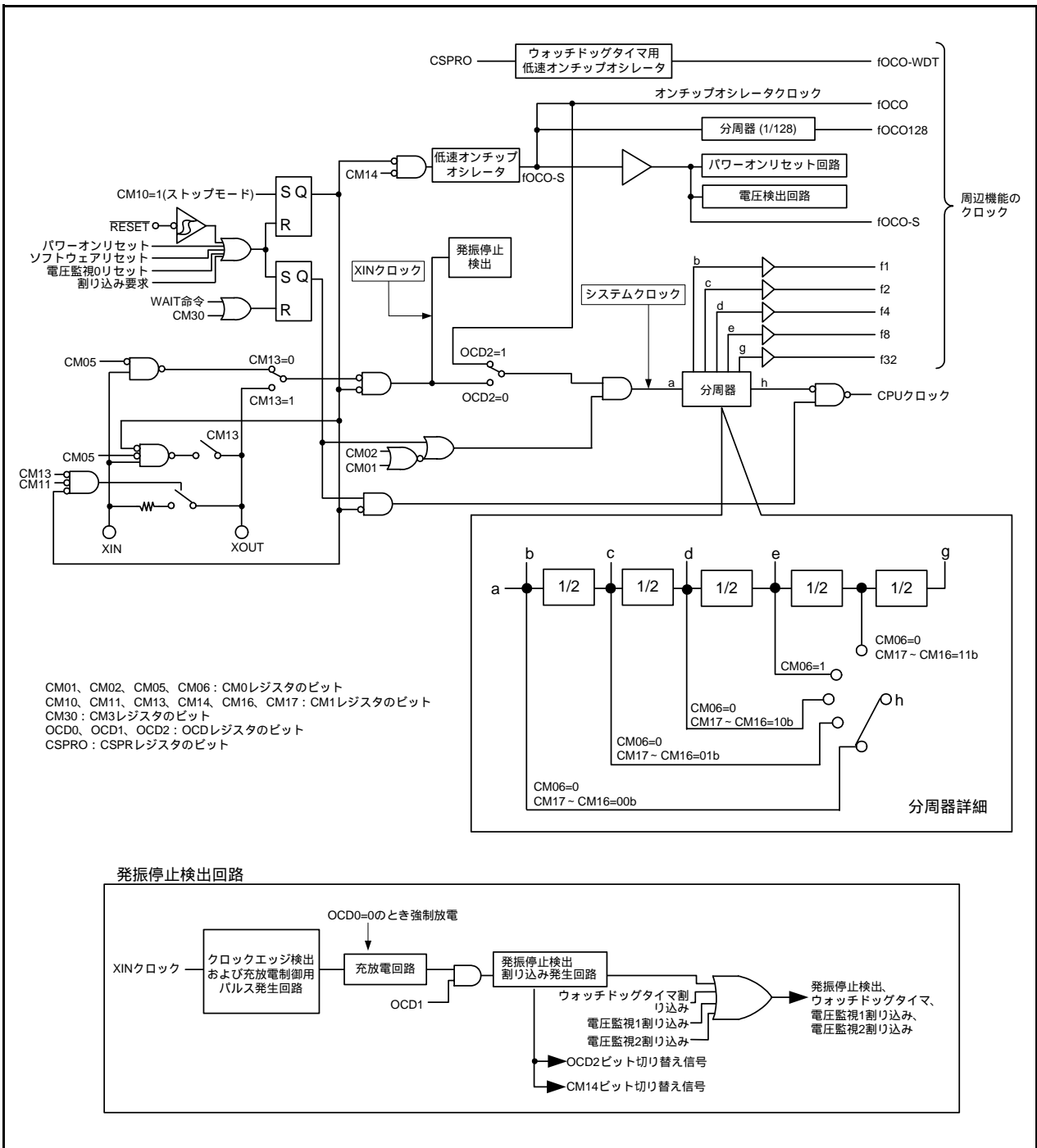


図9.1 クロック発生回路

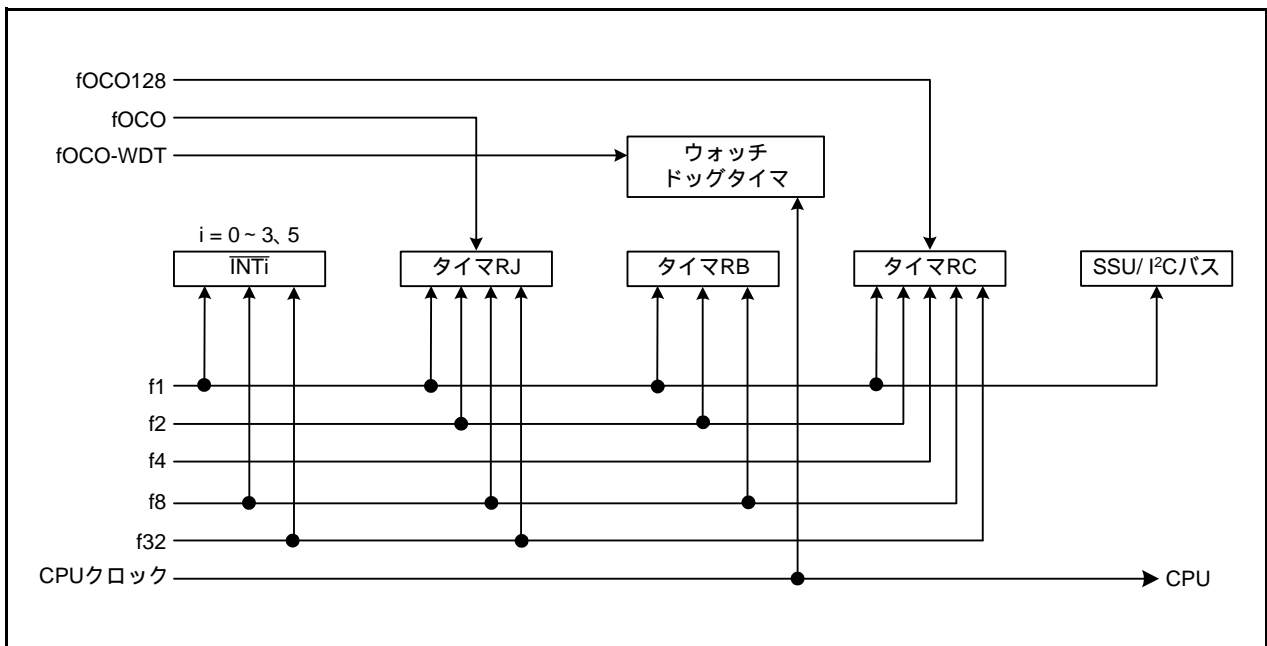


図9.2 周辺機能のクロック

9.2 レジスタの説明

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	CM06	CM05	—	CM03	CM02	CM01	—
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	CM01	ウェイトモード時周辺機能クロック停止ビット	b2 b1 00: ウェイトモード時、周辺機能クロックを停止しない 01: ウェイトモード時、f1 ~ f32クロック停止 10: ウェイトモード時、f1 ~ f32クロック停止 11: ウェイトモード時、f1 ~ f32クロック停止	R/W
b2	CM02			
b3	CM03	予約ビット	“1” にしてください	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止	R/W
b6	CM06	CPUクロック分周比選択ビット0(注3)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	—	予約ビット	“0” にしてください	R/W

注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

- (1) OCDレジスタのOCD1 ~ OCD0ビットを“00b”にする。
- (2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注2. CM05ビットが“1”(XINクロック停止)かつCM13ビットが“0”(入出力ポート)の場合のみ、P9_0、P9_1は入出力ポートとして使用できます。

P9_0端子はXIN端子と、P9_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらを入出力ポートとして使用できません。

注3. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注2、7)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	予約ビット	“1” にしてください	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注5、6)	0: 入出力ポートP9_0、P9_1 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。

注2. CM10ビットが“1”(全クロック停止)の場合、内蔵している帰還抵抗は無効となります。

注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。

外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“0”(XINクロック発振)、CM11ビットを“1”(内部帰還抵抗無効)にしてください。さらに、PD9レジスタのPD9_0ビットを“0”(入力モード)にすると外部クロックを入力できます。このとき、XOUTは入出力ポートP9_1として設定してください。使用しない場合は、未使用端子の処理をしてください。

P9_0端子はXIN端子と、P9_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらI/Oポートとして使用できません。

注6. CM13ビットはプログラムで一度“1”(XIN-XOUT端子)にすると、“0”(入出力ポートP9_0、P9_1)にはできません。

注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタの CM16、CM17ビットの設定有効 1: 分周なし(注2)	R/W
b6	CM36	ウェイトモード、ストップモード から復帰時のシステムクロック選 択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する 直前のCPUクロックで復帰 01: 設定しないでください 10: 設定しないでください 11: XINクロックを選択(注3)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。

注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。

注3. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。

- CM0レジスタのCM05ビット=0(XINクロック発振)
- CM1レジスタのCM13ビット=1(XIN-XOUT端子)
- OCDレジスタのOCD2ビット=0(XINクロック選択)

CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。

ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

- 注1. ストップモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.6.1 発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

クロック発生回路で生成するクロックを説明します。

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。

図9.3にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。

XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。

XINクロックを外部で生成されたクロックに切り換える場合、または外部で生成されたクロックをXINクロックに切り換える場合、CM05ビットは“1”(XINクロック停止)にしてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

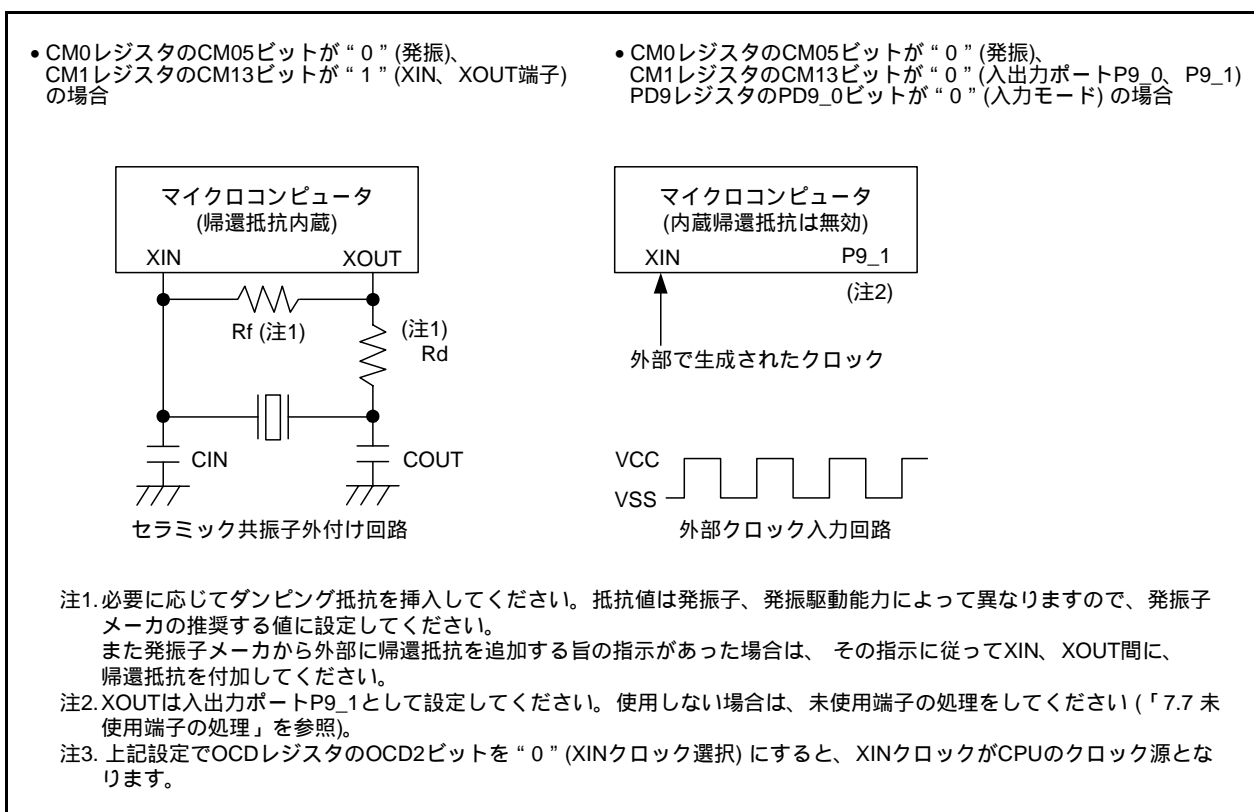


図9.3 XINクロックの接続回路例

9.4 低速オンチップオシレータクロック

低速オンチップオシレータが供給するクロックです。低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック(fOCO、fOCO-S、fOCO128)のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.5 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります。(「図9.1 クロック発生回路」参照。)

9.5.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロックまたはオンチップオシレータクロックが選択できます。

9.5.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

9.5.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i ($i=1, 2, 4, 8, 32$)はシステムクロックを i 分周したクロックです。 f_i はタイマRJ、タイマRB、タイマRCで使用します。

CM0レジスタのCM02、CM01ビットを“01”または“10”または“11”にした後にウェイトモードに移行した場合、 f_i は停止します。

9.5.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRJで使用します。fOCOはウェイトモード時、停止しません。

9.5.5 fOCO-S

電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

9.5.6 fOCO128

fOCO-Sを128分周したクロックです。

タイマRCのTRCGRAレジスタで使用するキャプチャ信号になります。

9.5.7 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.6 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.2に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット = 1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット = 1(XINクロック停止)
- CM1レジスタのCM14ビット = 0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.2 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

9.6.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。

表9.3に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.5に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。

- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。

図9.4に発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順を示します。

- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02、CM01ビットを“00”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、OCD1～OCD0ビットを“11b”にしてください。

表9.3 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3 = 1 (b)OCDレジスタのOCD1～OCD0 = 11bかつOCD2 = 1
ウォッチドッグタイマ	VW2CレジスタのVW2C3 = 1
電圧監視1	VW1CレジスタのVW1C2 = 1
電圧監視2	VW2CレジスタのVW2C2 = 1

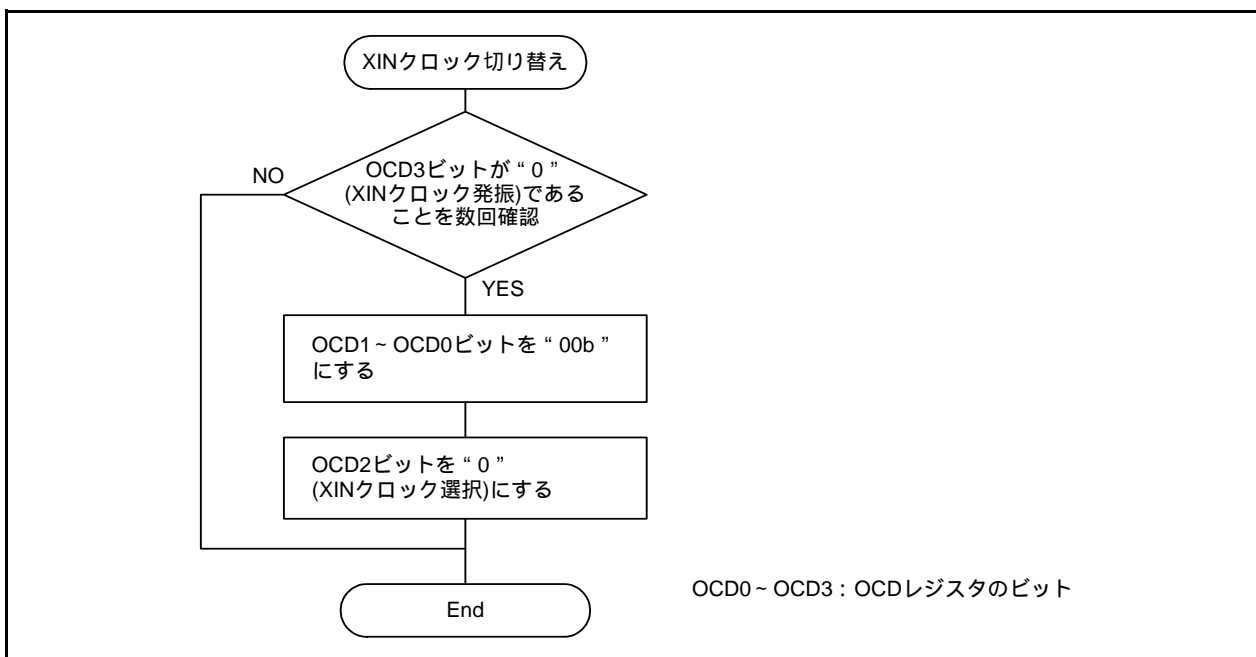


図9.4 発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順

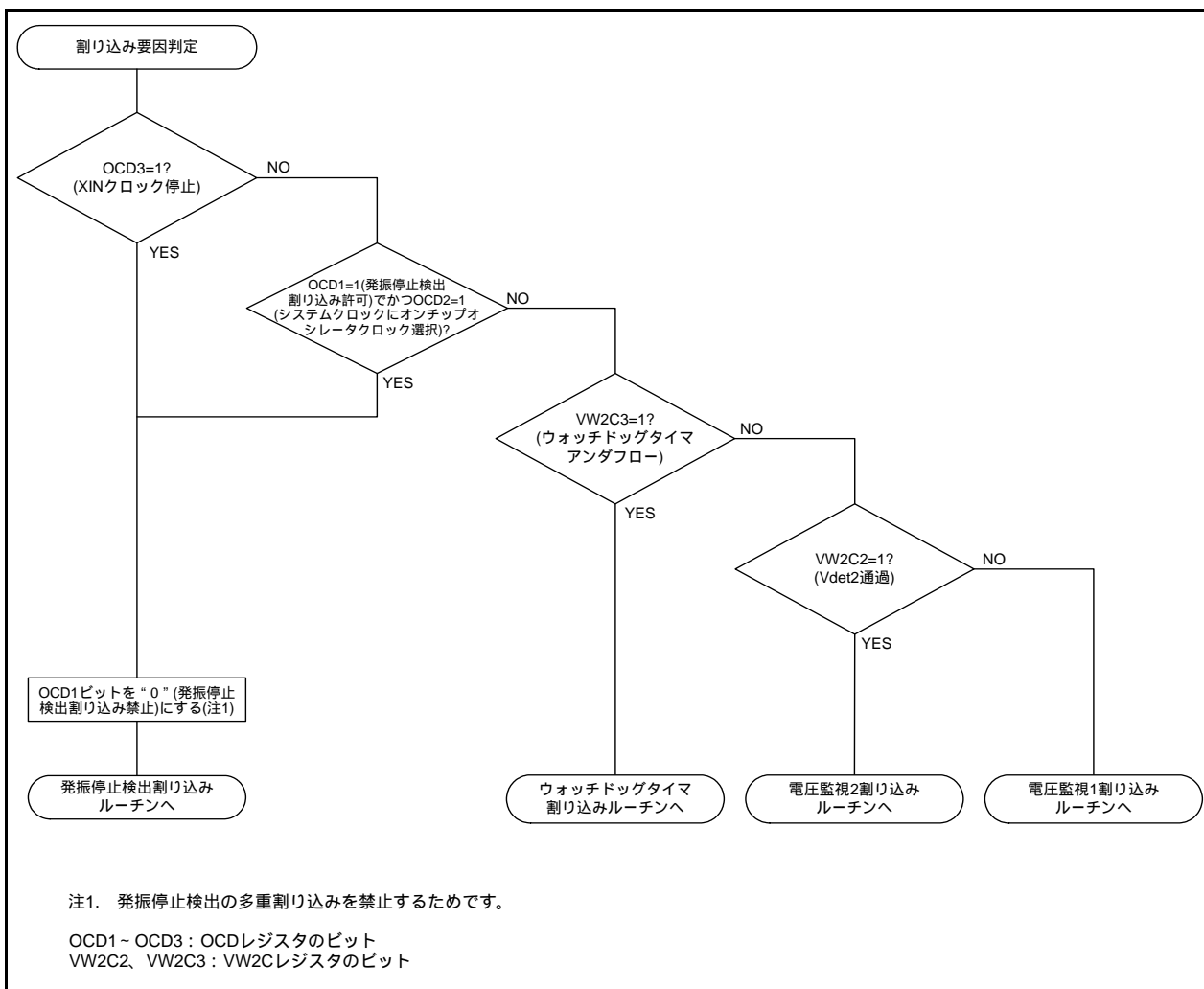


図9.5 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.7 クロック発生回路使用上の注意

9.7.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

9.7.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

10. パワーコントロール

10.1 概要

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

表10.1に各モードを、図10.1にパワーコントロールモード状態遷移を示します。

表10.1 パワーコントロール

モード	動作
標準動作モード	CPU、周辺機能動作
高速クロック 低速オンチップオシレータ	
ウェイトモード	CPU停止、周辺機能動作
ストップモード	CPU停止、ウォッチドッグタイマ以外の周辺機能停止(発振停止)

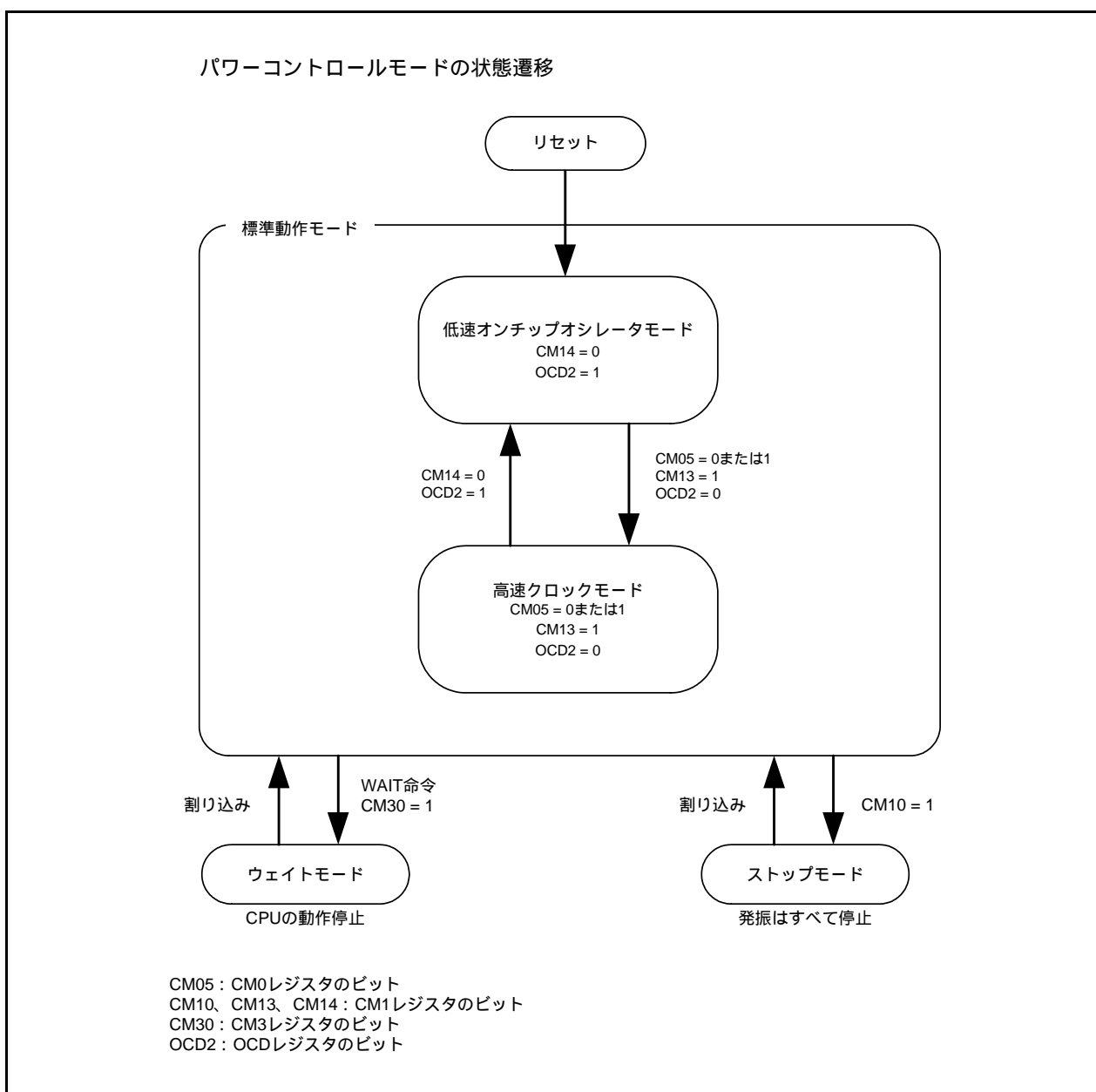


図10.1 パワーコントロールモード状態遷移

10.2 レジスタの説明

10.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	CM06	CM05	—	CM03	CM02	CM01	—
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	CM01	ウェイトモード時周辺機能クロック停止ビット	b2 b1 00: ウェイトモード時、周辺機能クロックを停止しない 01: ウェイトモード時、f1 ~ f32クロック停止 10: ウェイトモード時、f1 ~ f32クロック停止 11: ウェイトモード時、f1 ~ f32クロック停止	R/W
b2	CM02			
b3	CM03	予約ビット	“1” にしてください	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	CM05	XINクロック (XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止	R/W
b6	CM06	CPUクロック分周比選択ビット0(注3)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	—	予約ビット	“0” にしてください	R/W

- 注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。
(1) OCDレジスタのOCD1 ~ OCD0ビットを“00b”にする。
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
- 注2. CM05ビットが“1”(XINクロック停止)かつCM13ビットが“0”(入出力ポート)の場合のみ、P9_0、P9_1は入出力ポートとして使用できます。
P9_0端子はXIN端子と、P9_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらを入出力ポートとして使用できません。
- 注3. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

10.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注2、7)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	予約ビット	“1” にしてください	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注5、6)	0: 入出力ポートP9_0、P9_1 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

- 注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。
- 注2. CM10ビットが“1”(全クロック停止)の場合、内蔵している帰還抵抗は無効となります。
- 注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
- 注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。
外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“0”(XINクロック発振)、CM11ビットを“1”(内部帰還抵抗無効)にしてください。さらに、PD9レジスタのPD9_0ビットを“0”(入力モード)にすると外部クロックを入力できます。このとき、XOUTは入出力ポートP9_1として設定してください。使用しない場合は、未使用端子の処理をしてください。
P9_0端子はXIN端子と、P9_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらI/Oポートとして使用できません。
- 注6. CM13ビットはプログラムで一度“1”(XIN-XOUT端子)にすると、“0”(入出力ポートP9_0、P9_1)にはできません。
- 注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

10.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし(注2)	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 設定しないでください 11: XINクロックを選択(注3)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
 - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
 - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

10.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

- 注1. ストップモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.6.1 発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

10.2.5 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「10.6.8 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(全クロック停止)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”(電圧検出1回路有効)にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”(電圧検出2回路有効)にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

10.3 標準動作モード

表10.2に標準動作モードのクロック選択を示します。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってからクロックを切り替えてください。

表10.2 標準動作モードのクロック選択

モード		OCDレジスタ	CM1レジスタ				CM0レジスタ	
		OCD2	CM17	CM16	CM14	CM13	CM06	CM05
高速クロックモード	分周なし	0	0	0		0または1(注1)	0	0
	2分周	0	0	1		0または1(注1)	0	0
	4分周	0	1	0		0または1(注1)	0	0
	8分周	0				0または1(注1)	1	0
	16分周	0	1	1		0または1(注1)	0	0
低速オンチップオシレータモード	分周なし	1	0	0	0		0	
	2分周	1	0	1	0		0	
	4分周	1	1	0	0		0	
	8分周	1			0		1	
	16分周	1	1	1	0		0	

：“0”でも“1”でも影響ない

注1. 外部クロック入力を選択する場合は、CM13ビットを“0”、内蔵発振回路を選択する場合は、CM13ビットを“1”にしてください。

10.3.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCOをタイマRJで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

10.3.2 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「10.6 消費電力の低減」を参照してください。

10.4 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.1 周辺機能クロック停止機能

CM0レジスタのCM01、CM02ビット(ウェイトモード時周辺機能クロック停止ビット)の設定で、ウェイトモード時に停止する周辺機能クロックを選択できるので、用途にあわせて消費電力を調整できます。

10.4.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。

高速クロックモードからウェイトモードに移行するときに、CM37～CM36ビットを00b以外に設定する場合はXINクロックの周波数を28kHz以上にしてください。

10.4.3 VCA20ビットによる内部電源低消費操作

低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。VCA20ビットにより内部電源低消費電力を許可する場合は、「10.6.8 VCA20ビットによる内部電源低消費操作」に従ってください。

10.4.4 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

10.4.5 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。周辺機能割り込みはCM0レジスタのCM01、CM02ビットの影響を受けます。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02、CM01 = 00bの場合	CM02、CM01 = 01bの場合	CM02、CM01 = 10bの場合	CM02、CM01 = 11bの場合
シンクロナスシリアルコミュニケーションユニット/I ² Cバスインタフェース割り込み	すべてのモードで使用可	(使用しないでください)	(使用しないでください)	(使用しないでください)
キー入力割り込み	使用可	使用可	使用可	使用可
タイマRJ割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可
タイマRB割り込み	すべてのモードで使用可	(使用しないでください)	タイマRJのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRJのアンダフローを選択することで使用可	タイマRJのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRJのアンダフローを選択することで使用可
タイマRC割り込み	すべてのモードで使用可	(使用しないでください)	(使用しないでください)	(使用しないでください)
INT割り込み	使用可	フィルタなしの場合に、使用可	フィルタなしの場合に、使用可	フィルタなしの場合に、使用可
電圧監視1割り込み	使用可	使用可	使用可	使用可
電圧監視2割り込み	使用可	使用可	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)	(使用しないでください)	(使用しないでください)

- CM02、CM01ビットが“00b”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、周辺機能割り込みがウェイトモードから復帰に使用できます。
- CM02、CM01ビットが“01b”(ウェイトモード時、f1～f32クロック停止)の場合は、外部信号、オンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
- CM02、CM01ビットが“10b”(ウェイトモード時、f1～f32クロック停止)の場合は、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
- CM02、CM01ビットが“11b”(ウェイトモード時、f1～f32クロック停止)の場合は、CM02、CM01ビットが“10b”のときと同様です。

10.4.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰

図10.2にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図10.2のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

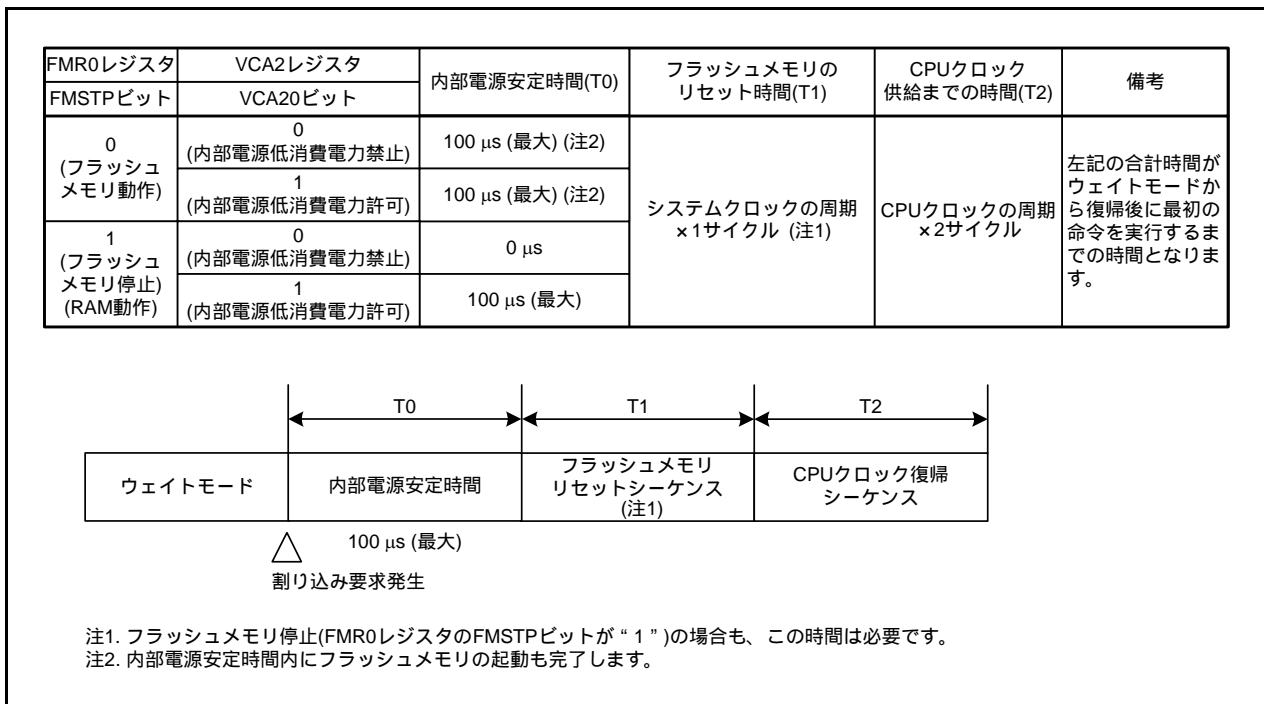


図10.2 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

10.4.7 WAIT命令実行後のウェイトモードからの復帰

図10.3にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”(マスカブル割り込み許可)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図10.3のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

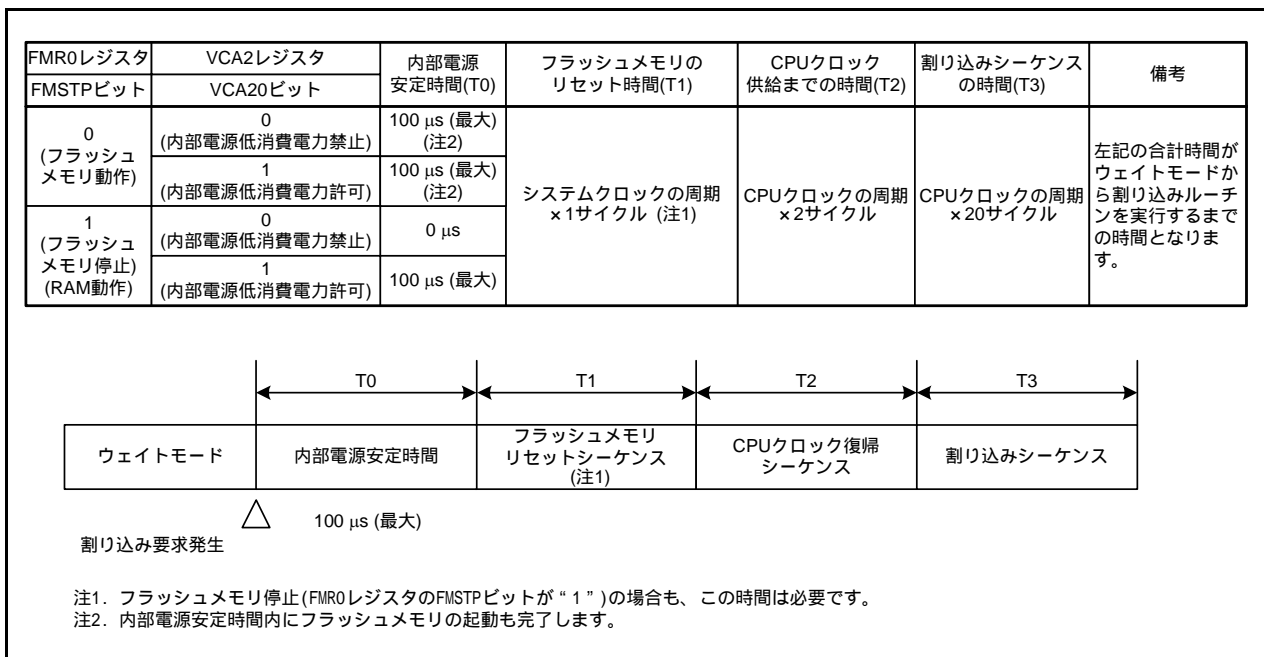


図10.3 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

10.5 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 、 $\overline{\text{INT5}}$ 割り込み	フィルタなしの場合に使用可
タイマRJ割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

10.5.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1～OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態では、ストップモードへ移行しないでください。

10.5.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P9_1)端子は“H”になります。

10.5.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図10.4にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”(マスカブル割り込み許可)にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

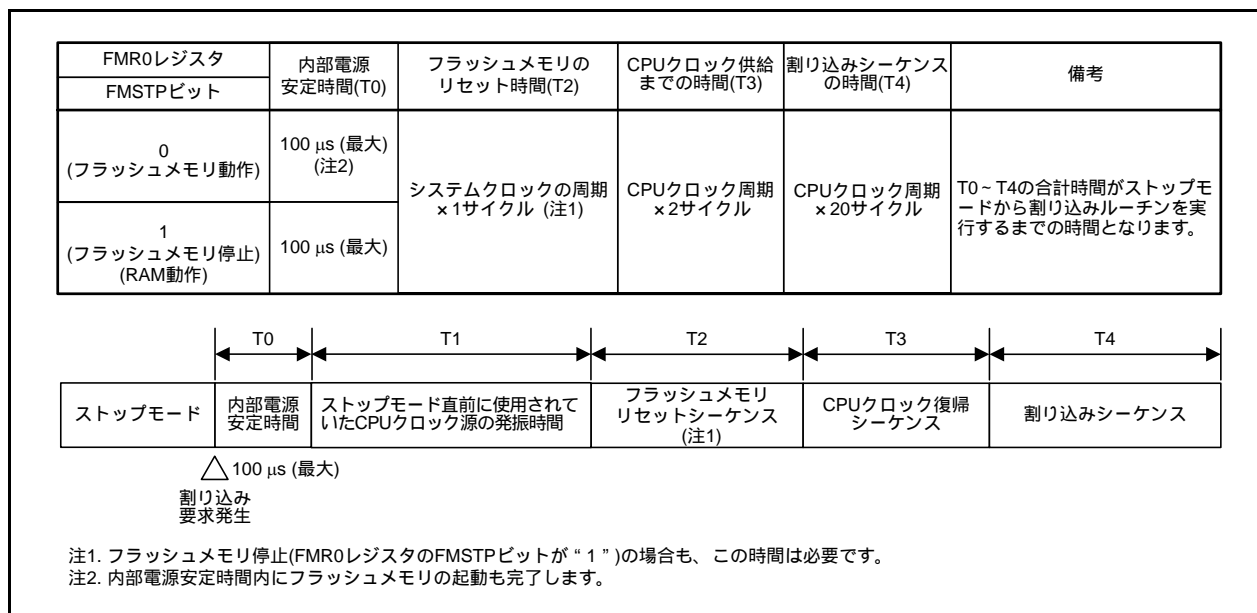


図10.4 ストップモードから割り込みルーチンを実行するまでの時間

10.6 消費電力の低減

消費電力を小さくするためのポイント、処理方法について説明します。システム設計やプログラムを作成するときに参考にしてください。

10.6.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

10.6.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは出力に設定してください。入力に設定する場合は、安定した電位に固定してから、ウェイトモードまたはストップモードに移行してください。

10.6.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にしてください。

10.6.4 ウェイトモード、ストップモード

ウェイトモードおよびストップモードでは消費電力が低減できます。

10.6.5 周辺機能クロックの停止

ウェイトモード時に必要のない周辺機能クロックは、CM0レジスタのCM01、CM02ビットでクロックを停止させてください。

10.6.6 タイマ

タイマRJを使用しない場合、TRJ0MRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCR0レジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

10.6.7 クロック同期形シリアルインタフェース

SSUおよびI²Cバスを使用しない場合、MSTCR0レジスタのMSTIICビットを“1”(スタンバイ)にしてください。

10.6.8 VCA20ビットによる内部電源低消費操作

VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。VCA20ビットは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

VCA20ビットによる内部電源低消費操作設定手順は、CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合と、WAIT命令を実行してウェイトモードにする場合とで異なります。図10.5にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を、図10.6にWAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を示します。

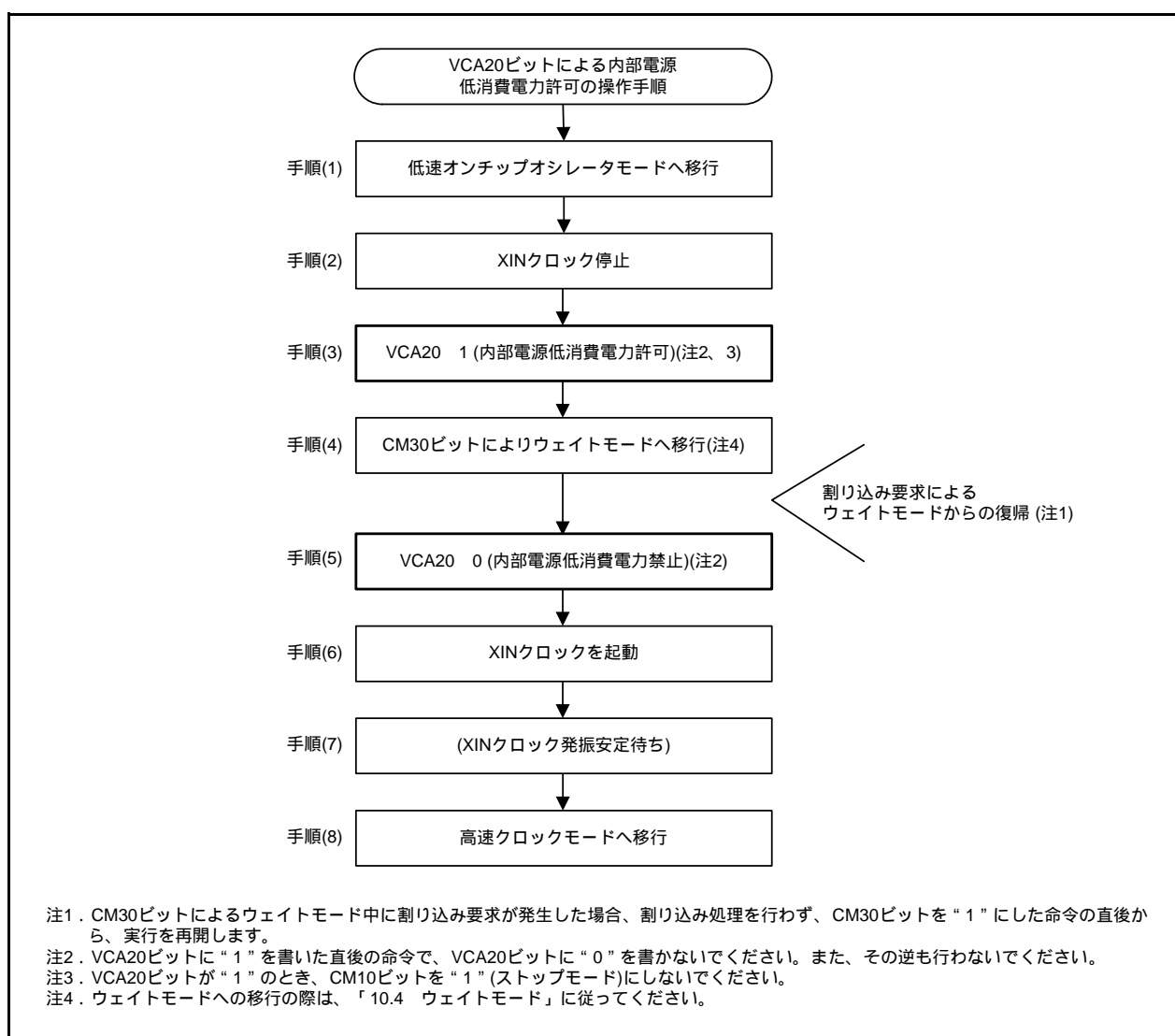


図 10.5 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

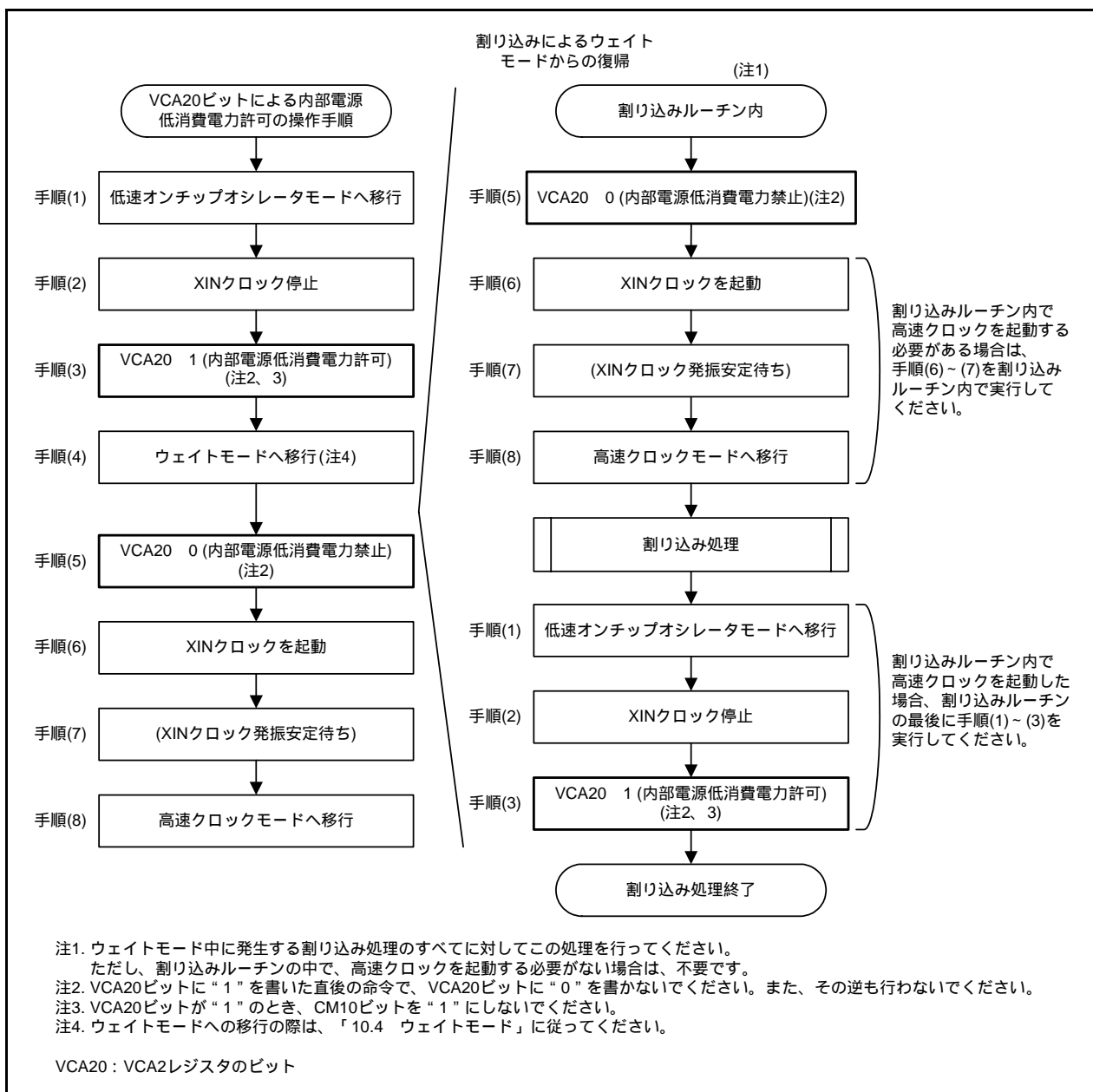


図 10.6 WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

10.6.9 フラッシュメモリの停止

低速オンチップオシレータモードの場合、FMR0 レジスタの FMSTP ビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTP ビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

FMR27ビット = “1”(低消費電流リードモード許可)とFMSTPビット = “1”(フラッシュメモリ停止)の設定を同時に使用しないでください。

図 10.7にFMSTPビットによる低消費電力操作手順例を示します。

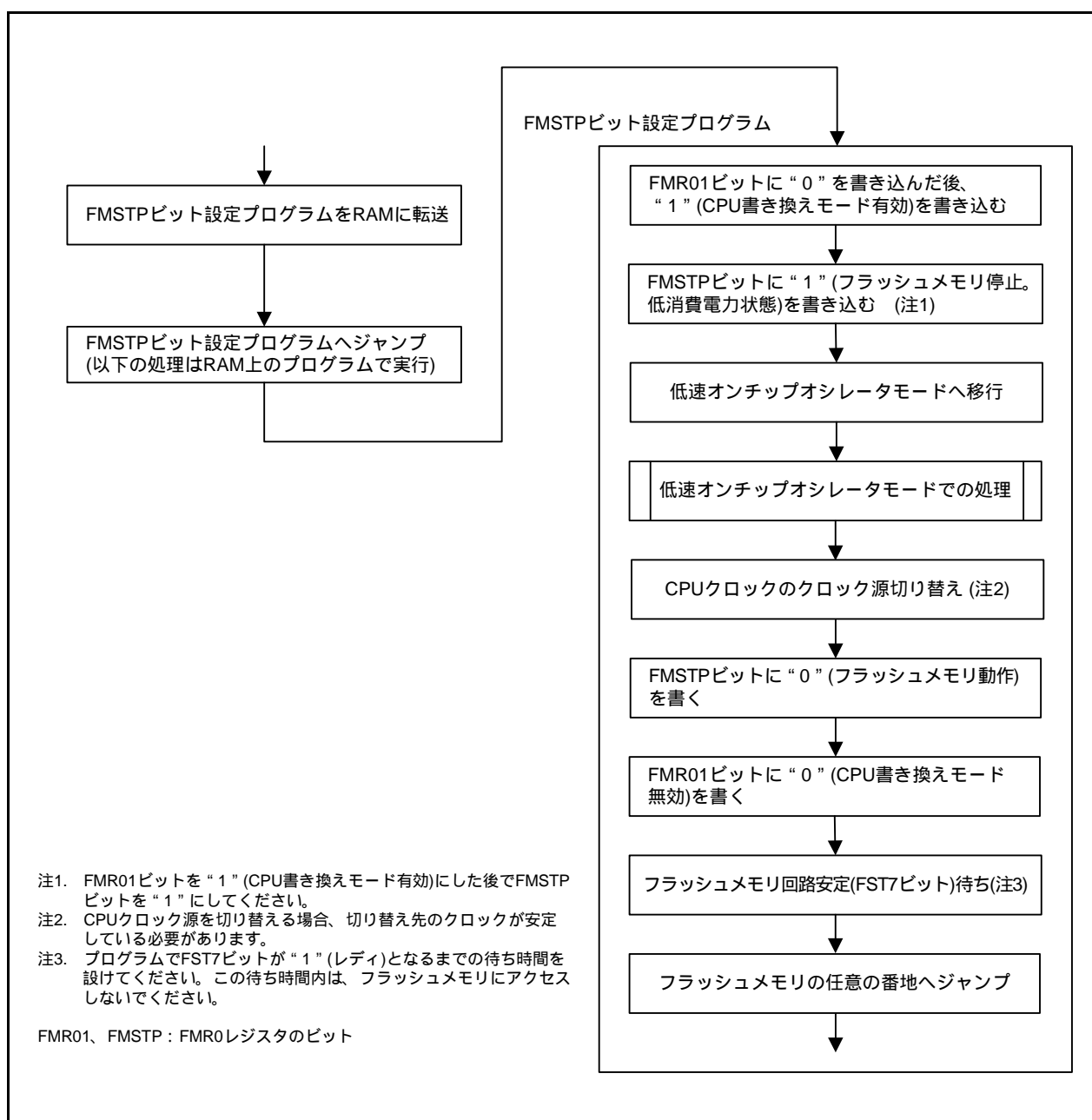


図 10.7 FMSTP ビットによる低消費電力操作手順例

10.6.10 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを“1”（低消費電流リードモード許可）にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27 ビットを“1”（低消費電流リードモード許可）にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”（低消費電流リードモード禁止）にした後、移行してください。FMR27 ビットが“1”（低消費電流リードモード許可）の状態、ウェイトモードまたはストップモードへ移行しないでください。

FMR27 ビット = “1”（低消費電流リードモード許可）とFMSTP ビット = “1”（フラッシュメモリ停止）の設定を同時に使用しないでください。

図 10.8 に低消費電流リードモードの操作手順例を示します。

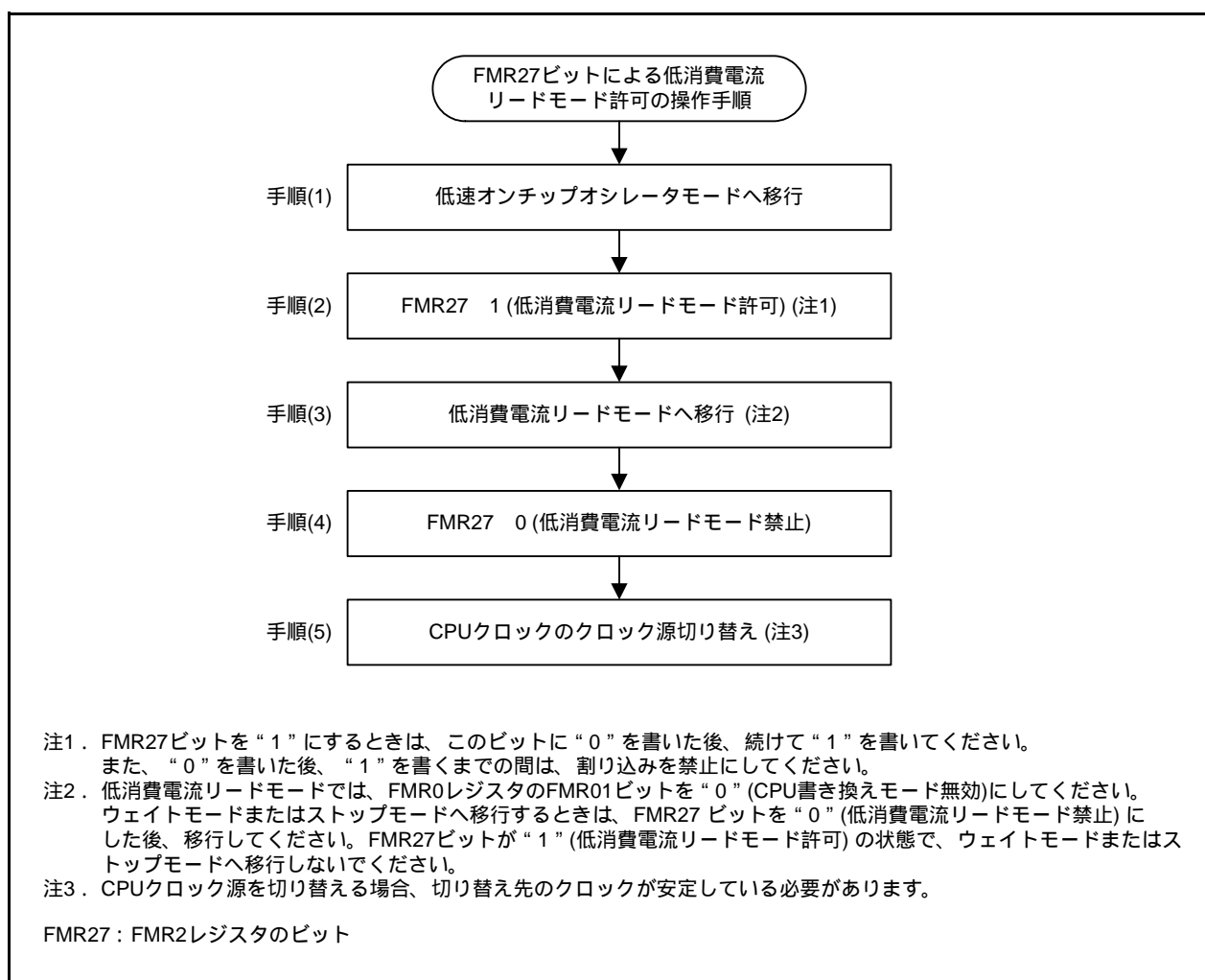


図 10.8 低消費電流リードモードの操作手順例

10.7 パワーコントロール使用上の注意

10.7.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”にしてください。命令キューはCM10ビットを“1”にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCR    ; CM0、CM1レジスタへの書き込み許可
FSET      I          ; 割り込み許可
BSET      0, CM1     ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

10.7.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
FSET      I          ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

• CM30ビットを“1”を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCR    ; CM3レジスタへの書き込み許可
FCLR      I          ; 割り込み禁止
BSET      0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR      0, PRCR    ; CM3レジスタへの書き込み禁止
FSET      I          ; 割り込み許可

```

10.7.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.8に示す手順に従ってください。

WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.6に示す手順に従ってください。

11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、CM3、OCDレジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC3ビットで保護されるレジスタ：VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタ

11.1 レジスタの説明

11.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCDレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	PRC3	プロテクトビット3	VCA2、VW0C、VW1C、VW2C、VD1LSレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—

注1. PRC0、PRC1、PRC3ビットを“1”(書き込み許可)にした後、SFR領域に書き込んでも“0”になりませんので、プログラムで“0”にしてください。

12. 割り込み

12.1 概要

12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。

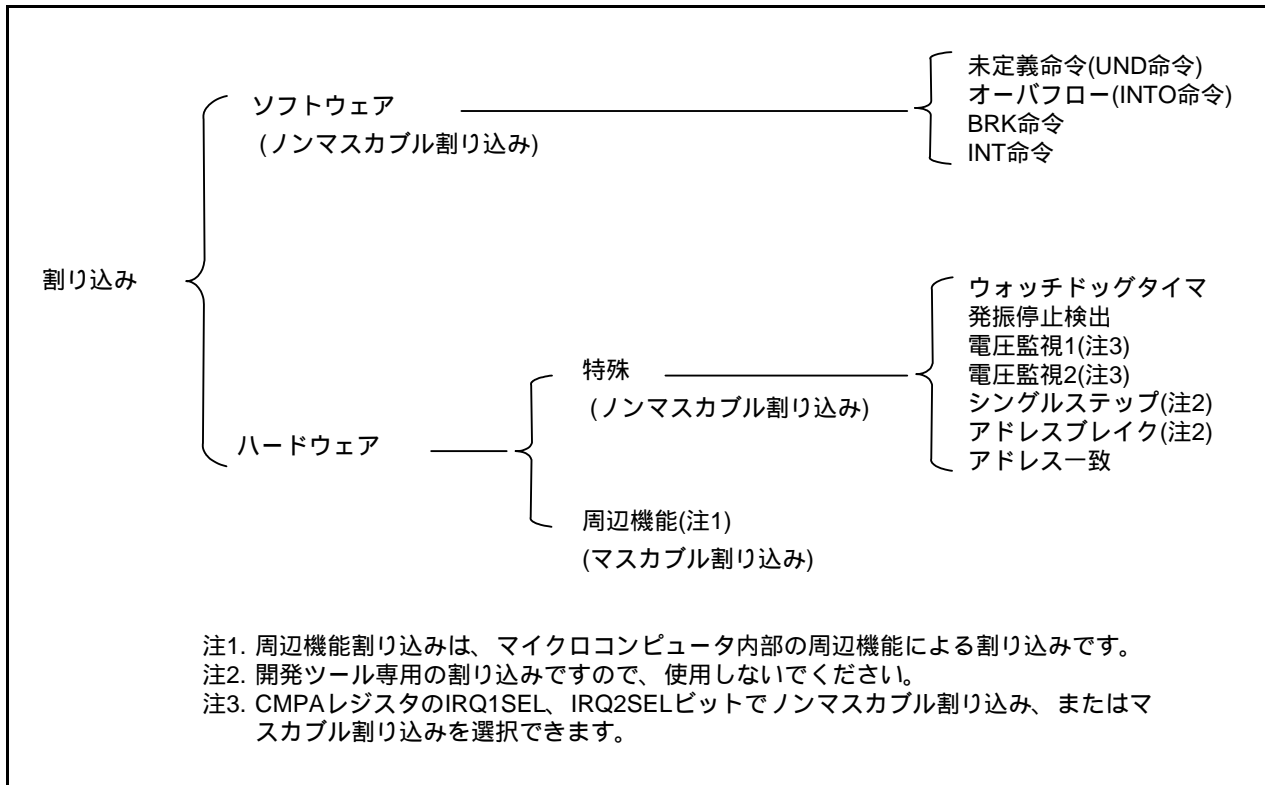


図12.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.1.3 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「15. ウォッチドッグタイマ」を参照してください。

12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

12.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ2SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.6 アドレス一致割り込み」を参照してください。

12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 12.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図 12.2 に割り込みベクタを示します。

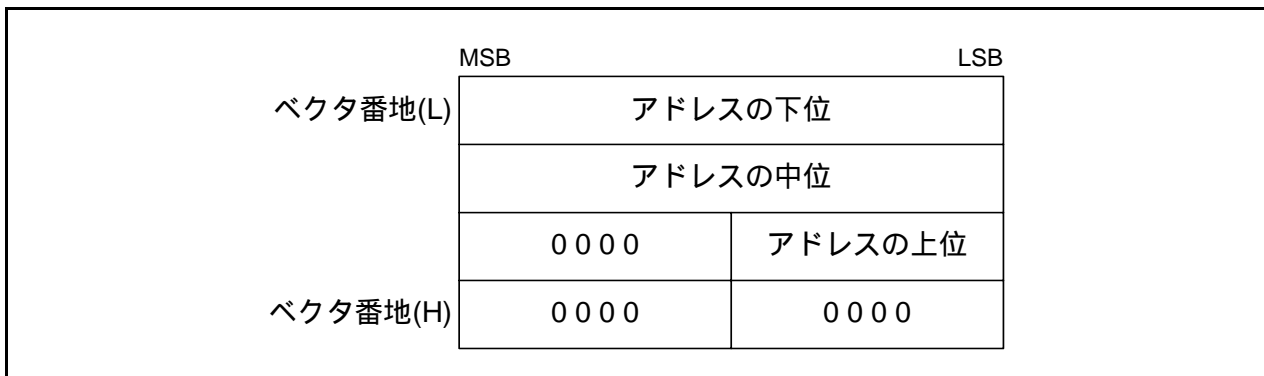


図 12.2 割り込みベクタ

12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表 12.1 に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使します。詳細は「24.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表 12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND 命令で割り込み	R8C/Tinyシリーズ ソフトウェアマニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO 命令で割り込み	
BRK 命令	0FFE4h ~ 0FFE7h	0FFE6h 番地の内容が FFh の場合は可変ベクタ テーブル内のベクタが 示す番地から実行	
アドレス一致	0FFE8h ~ 0FFEBh		12.6 アドレス一致割り込み
シングルステップ(注1)	0FFEC h ~ 0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1(注2)、 電圧監視2(注3)	0FFF0h ~ 0FFF3h		15. ウォッチドッグタイマ、 9. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFCh ~ 0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスカブル割り込み)の場合です。

注3. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“0”(ノンマスカブル割り込み)の場合です。

12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表12.2に可変ベクタテーブルを示します。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注3)	+0 ~ +3(0000h ~ 0003h)	0		R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ	+4 ~ +7(0004h ~ 0007h)	1	FMRDYIC	24. フラッシュメモリ
(予約)		2		
(予約)		3		
(予約)		4		
INT5	+20 ~ +23(0014h ~ 0017h)	5	INT5IC	12.4 INT割り込み
(予約)		6		
タイマRC	+28 ~ +31(001Ch ~ 001Fh)	7	TRCIC	18. タイマRC
(予約)		8		
(予約)		9		
(予約)		10		
(予約)		11		
(予約)		12		
キー入力	+52 ~ +55(0034h ~ 0037h)	13	KUPIC	12.5 キー入力割り込み
(予約)		14		
シンクロナスシリアル コミュニケーションユニット/ I ² Cバスインタフェース(注2)	+60 ~ +63(003Ch ~ 003Fh)	15	SSUIC/ IICIC	22. シンクロナスシリアルコミュニケー ションユニット(SSU)、 23. I ² Cバスインタフェース
(予約)		16		
(予約)		17		
(予約)		18		
(予約)		19		
(予約)		20		
INT2	+84 ~ +87(0054h ~ 0057h)	21	INT2IC	12.4 INT割り込み
タイマRJ0	+88 ~ +91(0058h ~ 005Bh)	22	TRJ0IC	19. タイマRJ
タイマRB1	+92 ~ +95(005Ch ~ 005Fh)	23	TRB1IC	17. タイマRB
タイマRB0	+96 ~ +99(0060h ~ 0063h)	24	TRB0IC	17. タイマRB
INT1	+100 ~ +103(0064h ~ 0067h)	25	INT1IC	12.4 INT割り込み
INT3	+104 ~ +107(0068h ~ 006Bh)	26	INT3IC	
(予約)		27		
(予約)		28		
INT0	+116 ~ +119(0074h ~ 0077h)	29	INT0IC	12.4 INT割り込み
(予約)		30		
(予約)		31		
ソフトウェア(注3)	+128 ~ +131(0080h ~ 0083h) ~ +164 ~ +167(00A4h ~ 00A7h)	32 ~ 41		R8C/Tinyシリーズ ソフトウェアマニュアル
(予約)		42		
(予約)		43		
(予約)		44 ~ 49		
電圧監視1(注4)	+200 ~ +203(00C8h ~ 00CBh)	50	VCMP1IC	6. 電圧検出回路
電圧監視2(注5)	+204 ~ +207(00CCh ~ 00CFh)	51	VCMP2IC	
(予約)		52 ~ 55		
ソフトウェア(注3)	+224 ~ +227(00E0h ~ 00E3h) ~ +252 ~ +255(00FCh ~ 00FFh)	56 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. SSUICSRレジスタのIICSELビットで選択できます。

注3. Iフラグによる禁止はできません。

注4. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)の場合です。

注5. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“1”(マスカブル割り込み)の場合です。

12.2 レジスタの説明

12.2.1 割り込み制御レジスタ

(KUPIC、TRJ0IC、TRB1IC、TRB0IC、VCMP1IC、VCMP2IC)

アドレス 004Dh番地(KUPIC)、0056h番地(TRJ0IC)、0057h番地(TRB1IC)、
0058h番地(TRB0IC)、0072h番地(VCMP1IC)、0073h番地(VCMP2IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5 割り込み制御レジスタの変更」を参照してください。

12.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、SSUIC/IICIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、004Fh番地(SSUIC/IICIC(注1))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

注1. SSUICSRレジスタのIICSELビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5 割り込み制御レジスタの変更」を参照してください。

12.2.3 INTi割り込み制御レジスタ (INTiIC)(i = 0 ~ 3、5)

アドレス 0045h 番地 (INT5IC)、0055h 番地 (INT2IC)、0059h 番地 (INT1IC)、
005Ah 番地 (INT3IC)、005Dh 番地 (INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット(注3)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択(注2)	R/W
b5	—	予約ビット	“0” にしてください	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b7	—			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

注2. INTENレジスタのINTiPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。
「12.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5 割り込み制御レジスタの変更」を参照してください。

12.3 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

12.3.1 Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクブル割り込みは許可され、“0”(禁止)にするとすべてのマスクブル割り込みは禁止されます。

12.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込みでは、IRビットの動作が違います。「12.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

12.3.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定を、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1 (マスクブル割り込み許可)
- IRビット = 1 (割り込み要求あり)
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表12.3 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクブル割り込みを禁止

12.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図12.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

注2. タイマRC、シンクロナスシリアルコミュニケーションユニット、I2Cバスインタフェース割り込みのIRビットの動作は「12.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I2Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

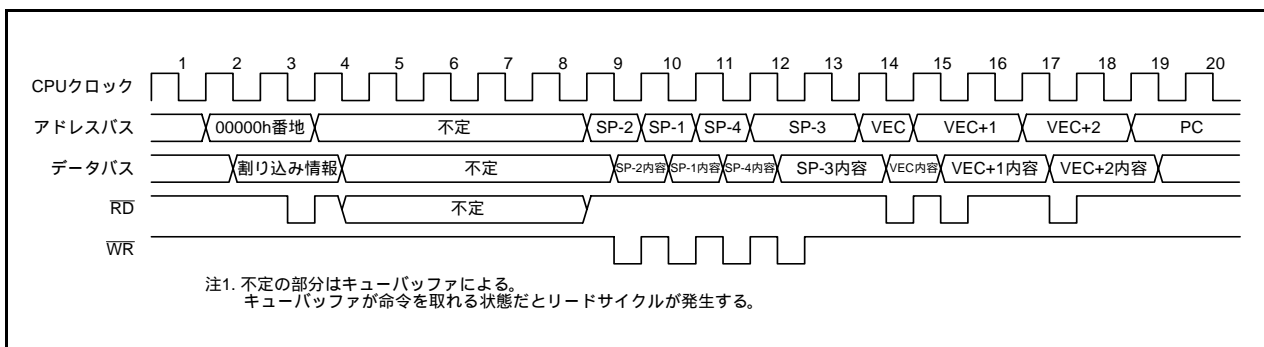


図12.3 割り込みシーケンスの実行時間

12.3.5 割り込み応答時間

図12.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.4の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

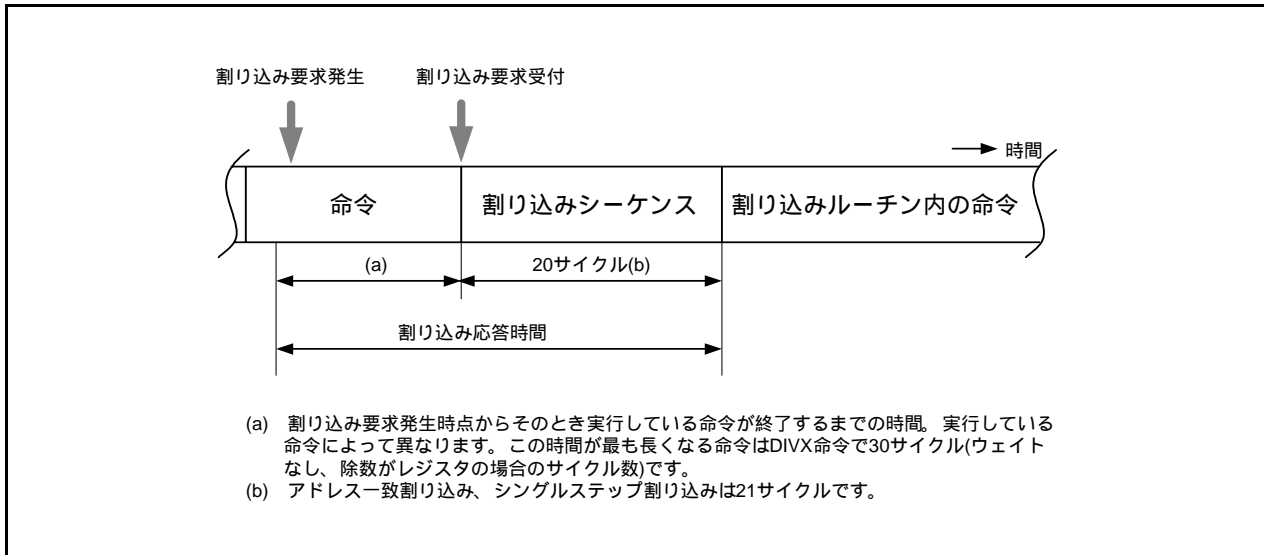


図12.4 割り込み応答時間

12.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。

表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

12.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図12.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. 0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

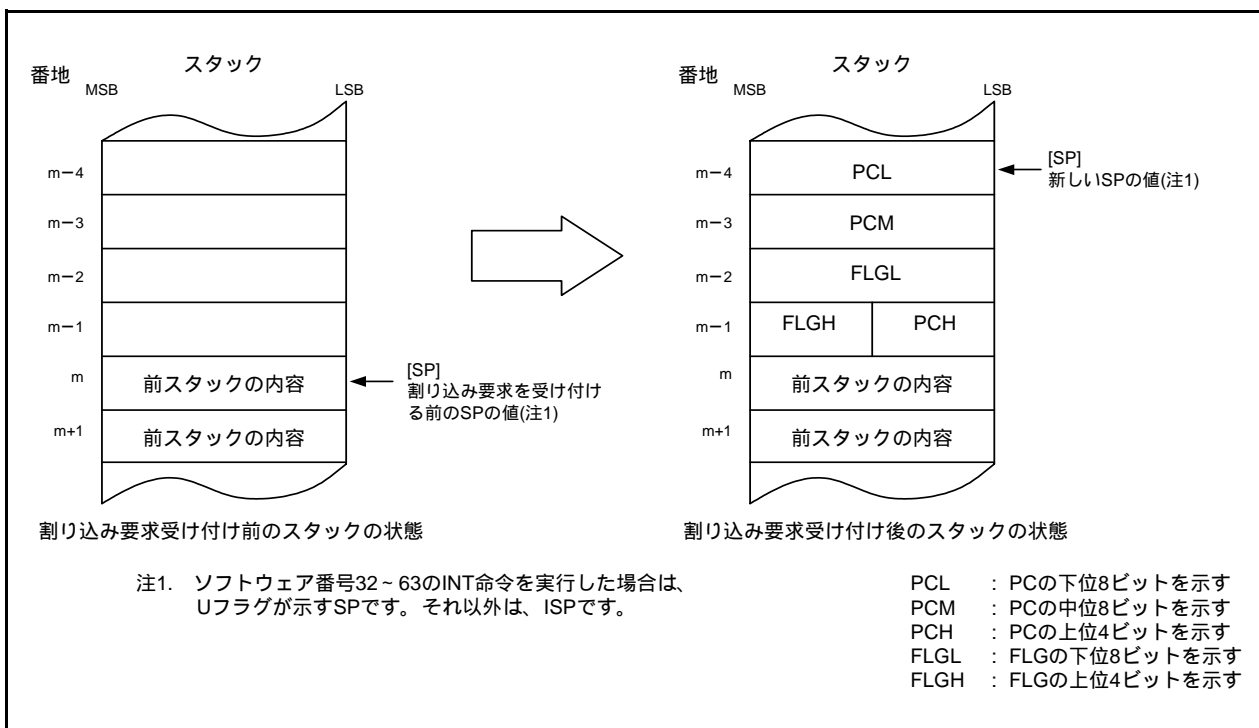


図12.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図12.6にレジスタ退避動作を示します。

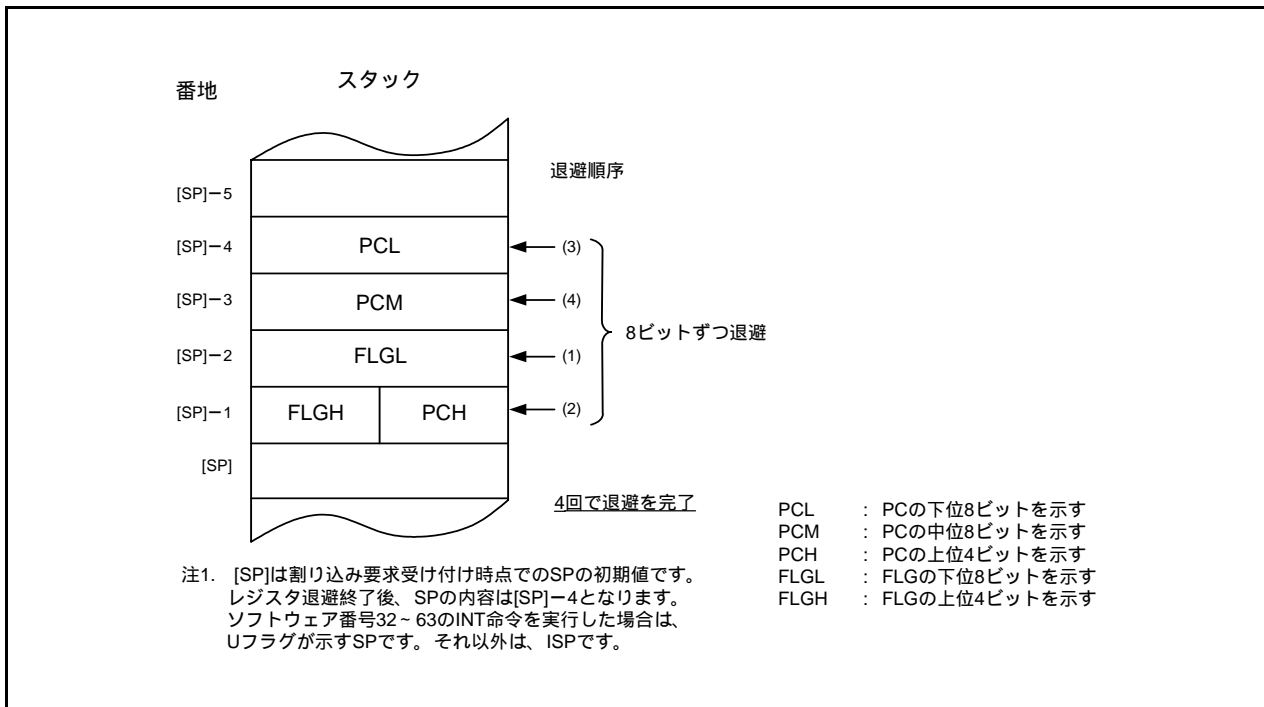


図12.6 レジスタ退避動作

12.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

12.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されていません。

図12.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

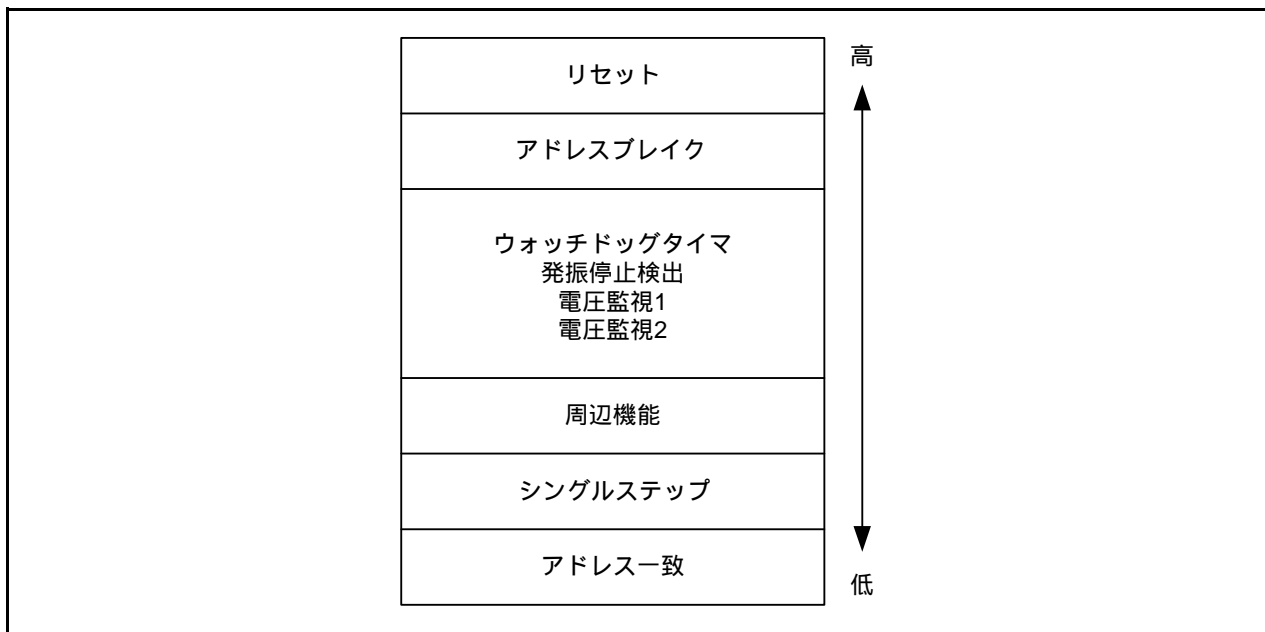


図12.7 ハードウェア割り込みの割り込み優先順位

12.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。図12.8に割り込み優先レベルの判定回路を示します。

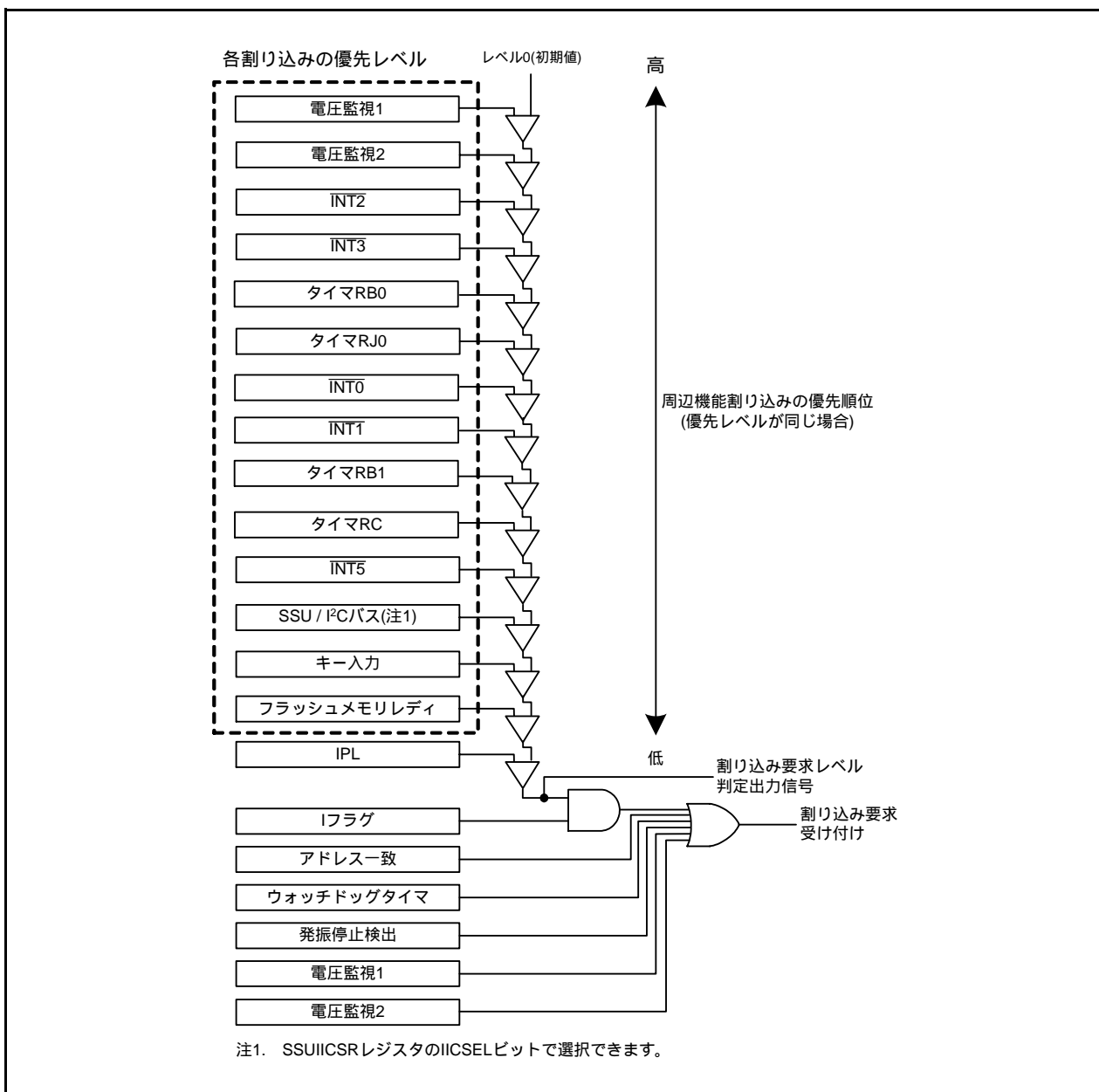


図 12.8 割り込み優先レベルの判定回路

12.4 $\overline{\text{INT}}$ 割り込み

12.4.1 $\overline{\text{INT}}_i$ 割り込み ($i = 0 \sim 3, 5$)

$\overline{\text{INT}}_i$ 割り込みは $\overline{\text{INT}}_i$ 入力による割り込みです。 $\overline{\text{INT}}_i$ 割り込みを使用するときはINTENレジスタのINTiENビット“1”(許可)にしてください。極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。 $\overline{\text{INT}}_i$ 入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

$\overline{\text{INT}}_0$ 端子はタイマRCのパルス出力強制遮断入力と、タイマRB0の外部トリガ入力と兼用です。

$\overline{\text{INT}}_2$ 端子はタイマRJのイベント入力と兼用です。

$\overline{\text{INT}}_5$ 端子はタイマRB1の外部トリガ入力と兼用です。

表12.6に $\overline{\text{INT}}$ 割り込みの端子構成を示します。

表12.6 $\overline{\text{INT}}$ 割り込みの端子構成

端子名	割り当てる端子	入出力	機能
$\overline{\text{INT}}_0$	P2_2	入力	$\overline{\text{INT}}_0$ 割り込み入力、タイマRB0の外部トリガ入力、タイマRCのパルス出力強制遮断入力
$\overline{\text{INT}}_1$	P8_0	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	P7_1	入力	$\overline{\text{INT}}_2$ 割り込み入力、タイマRJのイベントコントロール
$\overline{\text{INT}}_3$	P8_1	入力	$\overline{\text{INT}}_3$ 割り込み入力
$\overline{\text{INT}}_5$	P2_3	入力	$\overline{\text{INT}}_5$ 割り込み入力、タイマRB1の外部トリガ入力

12.4.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i=0~3)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

12.4.3 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INT5PL	INT5EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	INT5EN	INT5入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT5PL	INT5入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. INT5PLビットを“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がリエッジを選択)にしてください。

注2. INTEN1レジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

12.4.4 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

12.4.5 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 01FDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INT5F1	INT5F0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	INT5F0	INT5入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT5F1			R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			R/W
b6	—			R/W
b7	—			R/W

12.4.6 $\overline{\text{INTi}}$ 入力フィルタ ($i = 0 \sim 3, 5$)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックは $\overline{\text{INTF}}$ 、 $\overline{\text{INTF1}}$ レジスタの $\overline{\text{INTiF0}} \sim \overline{\text{INTiF1}}$ ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、 $\overline{\text{INTiC}}$ レジスタの $\overline{\text{IR}}$ ビットが“1”(割り込み要求あり)になります。

図 12.9 に $\overline{\text{INTi}}$ 入力フィルタの構成を、図 12.10 に $\overline{\text{INTi}}$ 入力フィルタ動作例を示します。

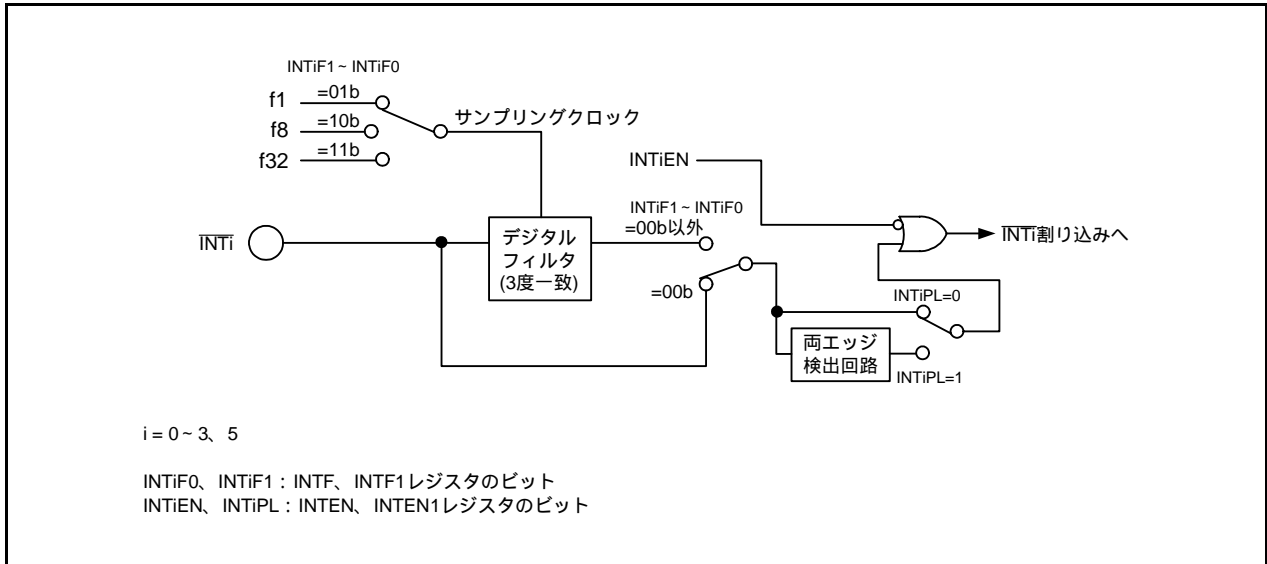


図 12.9 $\overline{\text{INTi}}$ 入力フィルタの構成

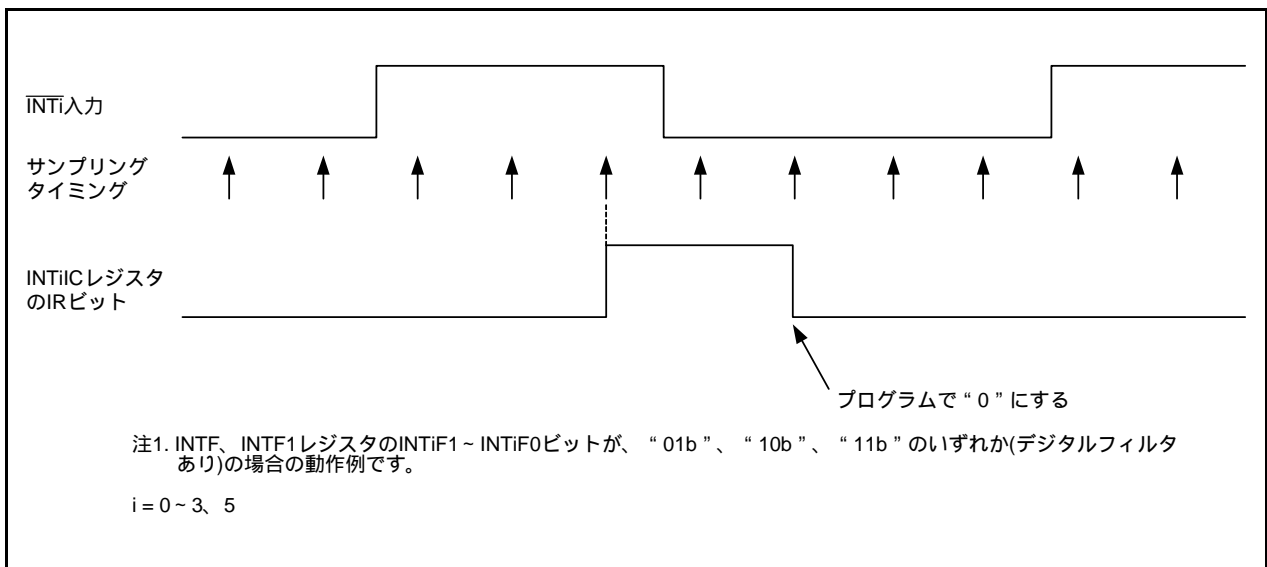


図 12.10 $\overline{\text{INTi}}$ 入力フィルタ動作例

12.5 キー入力割り込み

$\overline{KI0} \sim \overline{KI7}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタの $KIiEN$ ビット($i = 0 \sim 7$)で、端子を KIi 入力として使用するかどうかを選択できます。また、KIENレジスタの $KIiPL$ ビットで入力極性を選択できます。

なお、 $KIiPL$ ビットを“0”(立ち下がリエッジ)にしている KIi 端子に“L”を入力していると、他の $\overline{KI0} \sim \overline{KI7}$ 端子の入力は割り込みとして検知されません。同様に、 $KIiPL$ ビットを“1”(立ち上がりエッジ)にしている \overline{KIi} 端子に“H”を入力していると、他の $\overline{KI0} \sim \overline{KI7}$ 端子の入力は割り込みとして検知されません。

図12.11にキー入力割り込みのブロック図を示します。表12.7にキー入力割り込みの端子構成を示します。

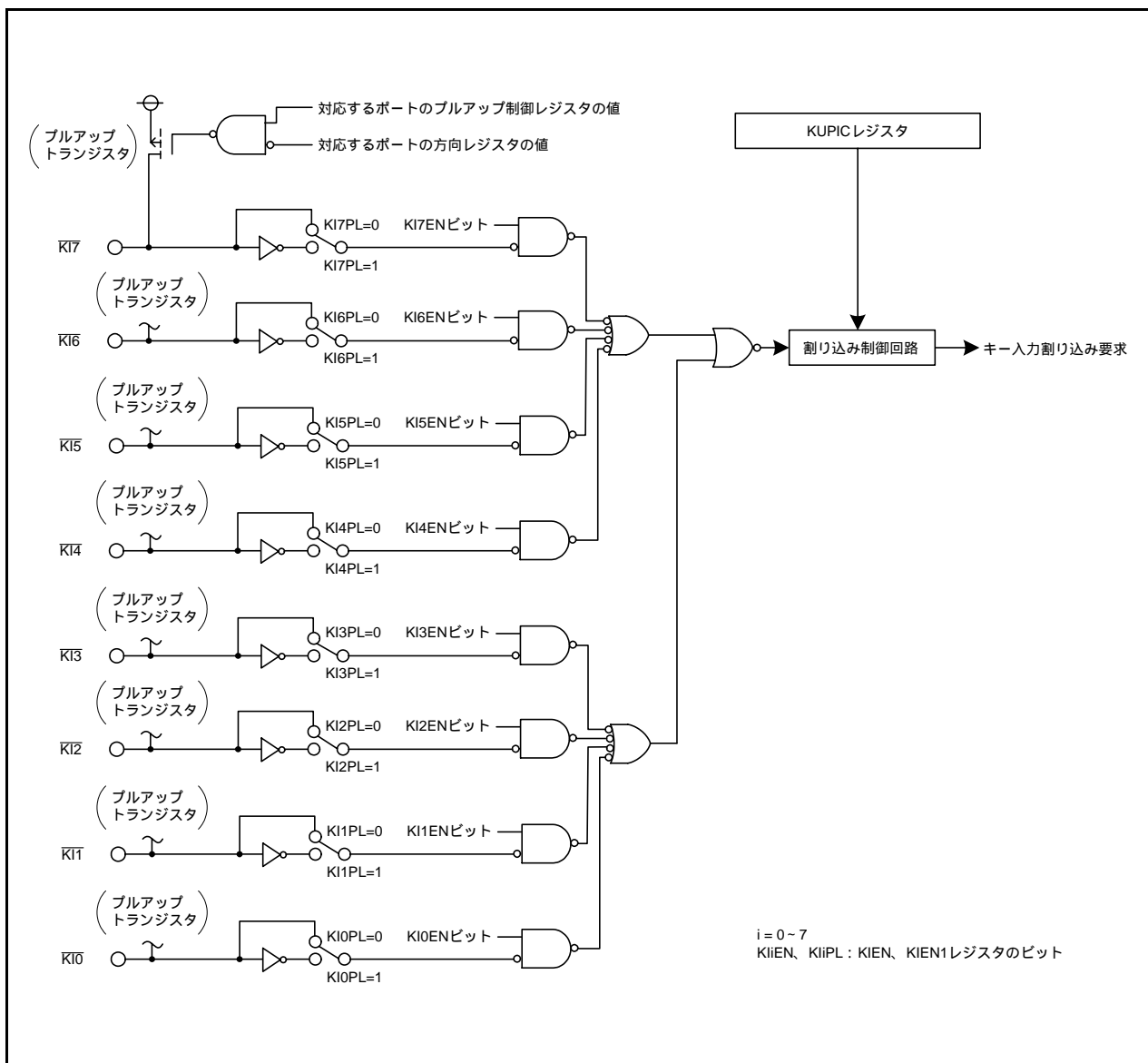


図12.11 キー入力割り込みのブロック図

表 12.7 キー入力割り込みの端子構成

端子名	入出力	機能
KI0	入力	KI0 割り込み入力
KI1	入力	KI1 割り込み入力
KI2	入力	KI2 割り込み入力
KI3	入力	KI3 割り込み入力
KI4	入力	KI4 割り込み入力
KI5	入力	KI5 割り込み入力
KI6	入力	KI6 割り込み入力
KI7	入力	KI7 割り込み入力

12.5.1 キー入力許可レジスタ0(KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

12.5.2 キー入力許可レジスタ1(KIEN1)

アドレス 01FFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7PL	KI7EN	KI6PL	KI6EN	KI5PL	KI5EN	KI4PL	KI4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI4EN	KI4入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI4PL	KI4入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI5EN	KI5入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI5PL	KI5入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI6EN	KI6入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI6PL	KI6入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI7EN	KI7入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI7PL	KI7入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIEN1レジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

12.6 アドレス一致割り込み

RMADi(i = 0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバuggのブレイク機能に使用します。なお、オンチップデバugg使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i = 0 ~ 1)レジスタには命令の先頭番地を設定してください。割り込みの禁止または許可はAIERiレジスタのAIERiビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.3.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表12.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

表12.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタ(i = 0 ~ 1)で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> • オペコードが2バイトの命令(注2) • オペコードが1バイトの命令(注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

注1. 退避されるPCの値:「12.3.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表12.9 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER00	RMAD0
アドレス一致割り込み1	AIER10	RMAD1

12.6.1 アドレス一致割り込み許可レジスタ i (AIER i)($i = 0 \sim 1$)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	—	AIER00
リセット後の値	0	0	0	0	0	0	0	0	AIER0レジスタ

シンボル	—	—	—	—	—	—	—	—	AIER10	AIER1レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込み許可ビット	0：禁止 1：許可	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

12.6.2 アドレス一致割り込みレジスタ i (RMAD i)($i = 0 \sim 1$)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19 ~ b0	—	アドレス一致割り込み用アドレス設定レジスタ	00000h ~ FFFFFh	R/W
b20	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b21	—			
b22	—			
b23	—			

12.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表12.10にタイマRC、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを示します。

表12.10 タイマRC、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIE	TRCIC
シンクロナスシリアルコミュニケーションユニット	SSSR	SSER	SSUIC
I ² Cバスインタフェース	ICSR	ICIE	IICIC
フラッシュメモリ	RDYSTI (FSTのビット0)	RDYSTIE (FMR0のビット7)	FMRDYIC
	BSYAEI (FSTのビット1)	BSYAEIE (FMR0のビット6)	
		CMDERIE (FMR0のビット5)	

タイマRC、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。
すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「18. タイマRC」, 「22. シンクロナスシリアルコミュニケーションユニット(SSU)」, 「23. I²Cバスインタフェース」, 「24. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「12.3 割り込み制御」を参照してください。

12.8 割り込み使用上の注意

12.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

12.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

12.8.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 、 $\overline{\text{INT5}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i = 0 \sim 3, 5$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表25.21 外部割り込み $\overline{\text{INTi}}$ ($i = 0 \sim 3, 5$)キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 7$)のタイミング条件」を参照。)

12.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 12.12 に割り込み要因の変更手順例を示します。

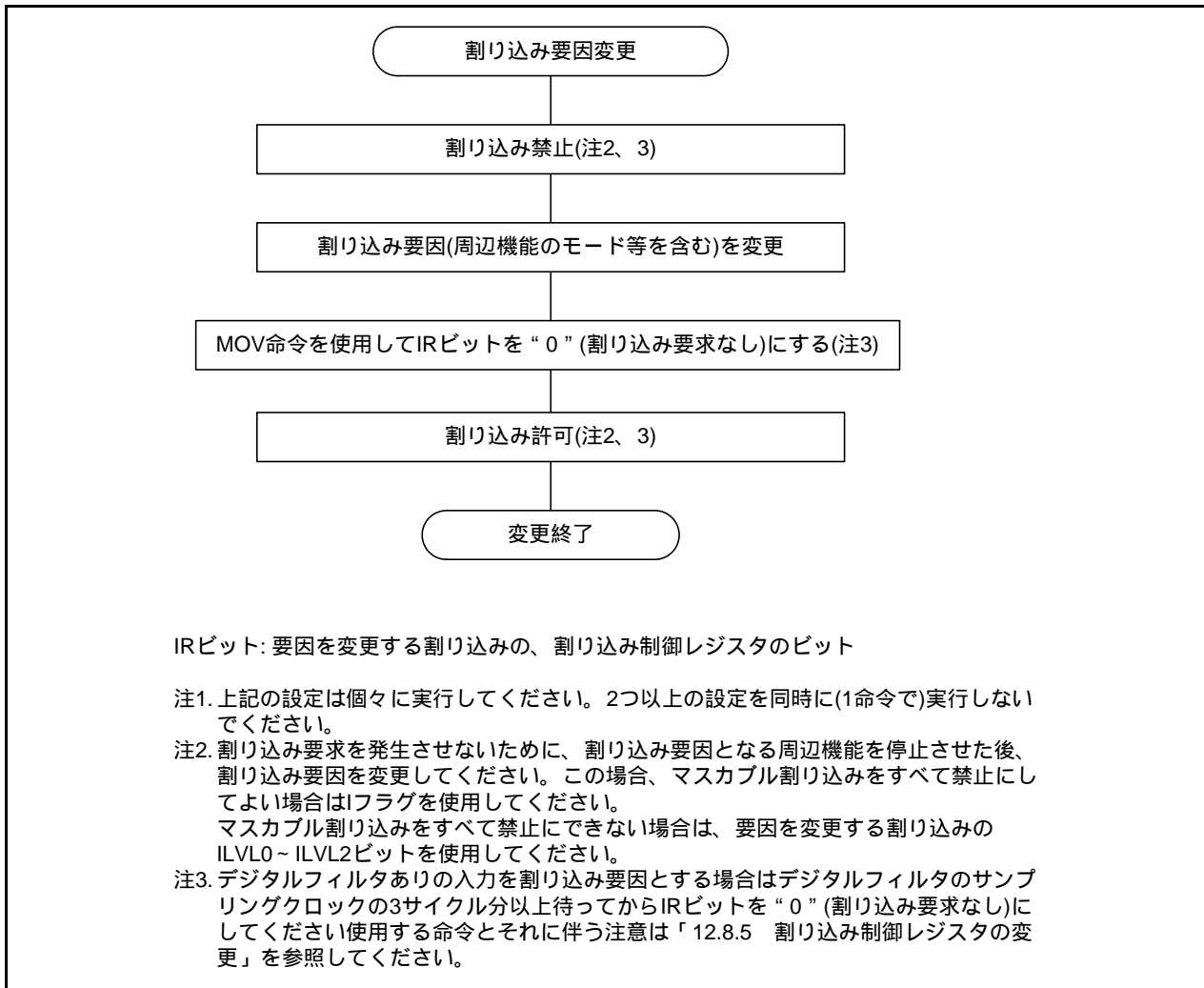


図 12.12 割り込み要因の変更手順例

12.8.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

13. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

13.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFEBh、0FFEfH、0FFF3h、0FFF7h、0FFFBh 番地です。図13.1にIDコード領域を示します。

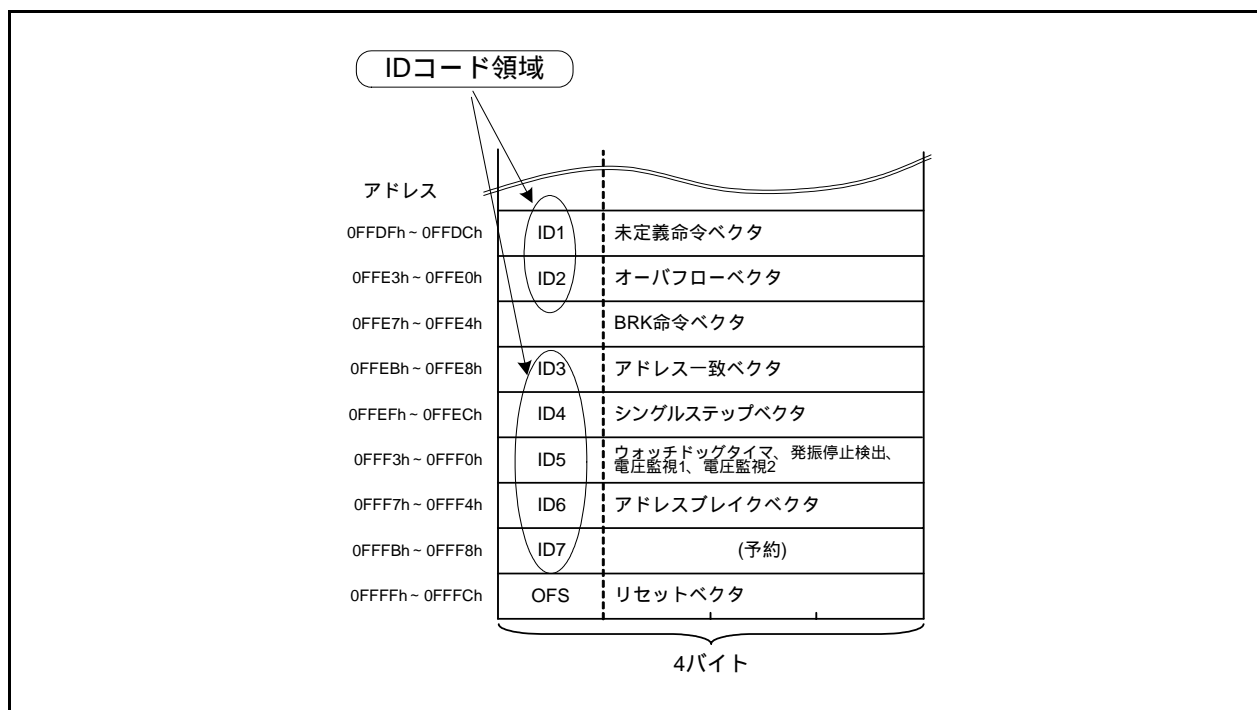


図13.1 IDコード領域

13.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表13.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表13.1と一致する場合が予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表13.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“A”大文字)	50h (“P”大文字)
0FFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
0FFEBh	ID3	65h (“e”小文字)	6Fh (“o”小文字)
0FFEfH	ID4	52h (“R”大文字)	74h (“t”小文字)
0FFF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
0FFF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
0FFFBh	ID7	45h (“E”大文字)	74h (“t”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表13.1と一致する場合が予約語です。

13.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表13.1 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表13.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表13.2 強制イレーズ機能の条件と動作

条件			動作
シリアルライタやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去 (強制イレーズ機能)
	ALeRASE以外 (注1)	“01b”以外 (ROMコードプロテクト解除)	
ALeRASE以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
	ALeRASE以外 (注1)	—	IDコードの判定 (IDコードチェック機能)

注1. “Protect”の場合は「13.4 標準シリアル入出力モード禁止機能」参照。

13.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表13.1 IDコードの予約語」参照)の場合、シリアルライタやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライタやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライタやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライタやオンチップデバッグエミュレータでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

13.5 IDコード領域使用上の注意

13.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
```

```
.lword dummy | (55000000h) ; UND
```

```
.lword dummy | (55000000h) ; INTO
```

```
.lword dummy ; BREAK
```

```
.lword dummy | (55000000h) ; ADDRESS MATCH
```

```
.lword dummy | (55000000h) ; SET SINGLE STEP
```

```
.lword dummy | (55000000h) ; WDT
```

```
.lword dummy | (55000000h) ; ADDRESS BREAK
```

```
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

14. オプション機能選択領域

14.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図14.1にオプション機能選択領域を示します。

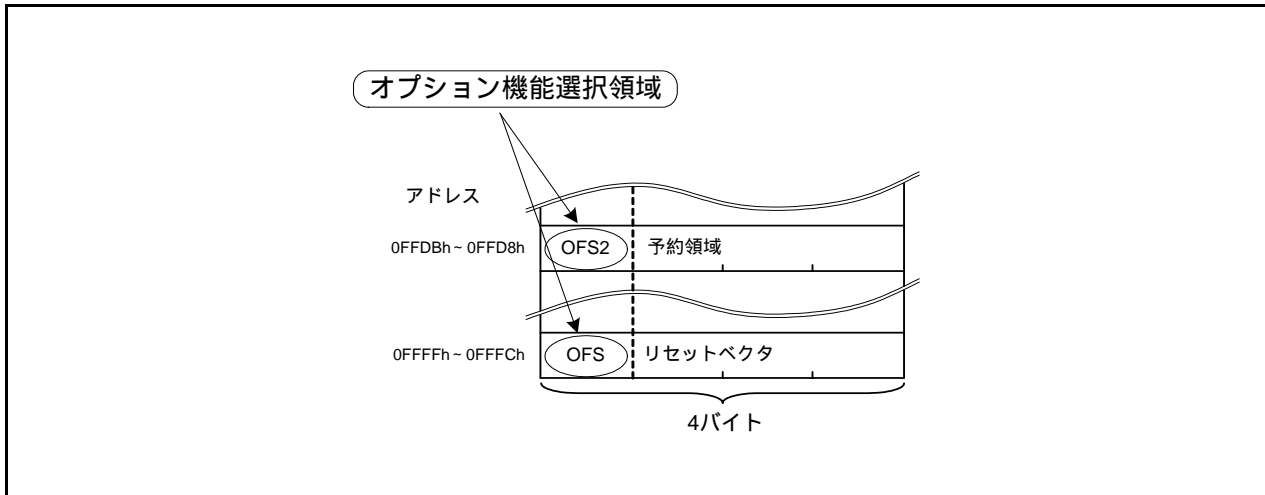


図14.1 オプション機能選択領域

14.2 レジスタの説明

OFSレジスタおよびOFS2レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

14.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0:リセット後、ウォッチドッグタイマは自動的に起動 1:リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0:ROMコードプロテクト解除 1:ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0:ROMコードプロテクト有効 1:ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00:3.80Vを選択(Vdet0_3) 01:2.85Vを選択(Vdet0_2) 10:2.35Vを選択(Vdet0_1) 11:1.90Vを選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0:リセット後、電圧監視0リセット有効 1:リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0:リセット後、カウントソース保護モード有効 1:リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

14.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1 リフレッシュ受付期間」を参照してください。

14.3 オプション機能選択領域使用上の注意

14.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFC
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

15. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお勧めします。

15.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表15.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図15.1にウォッチドッグタイマのブロック図を示します。

表15.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) アンダフロー 	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> プリスケアラの分周比 WDTCレジスタのWDTC7ビットで選択 カウントソース保護モード リセット後に有効が無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで選択 ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択 	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

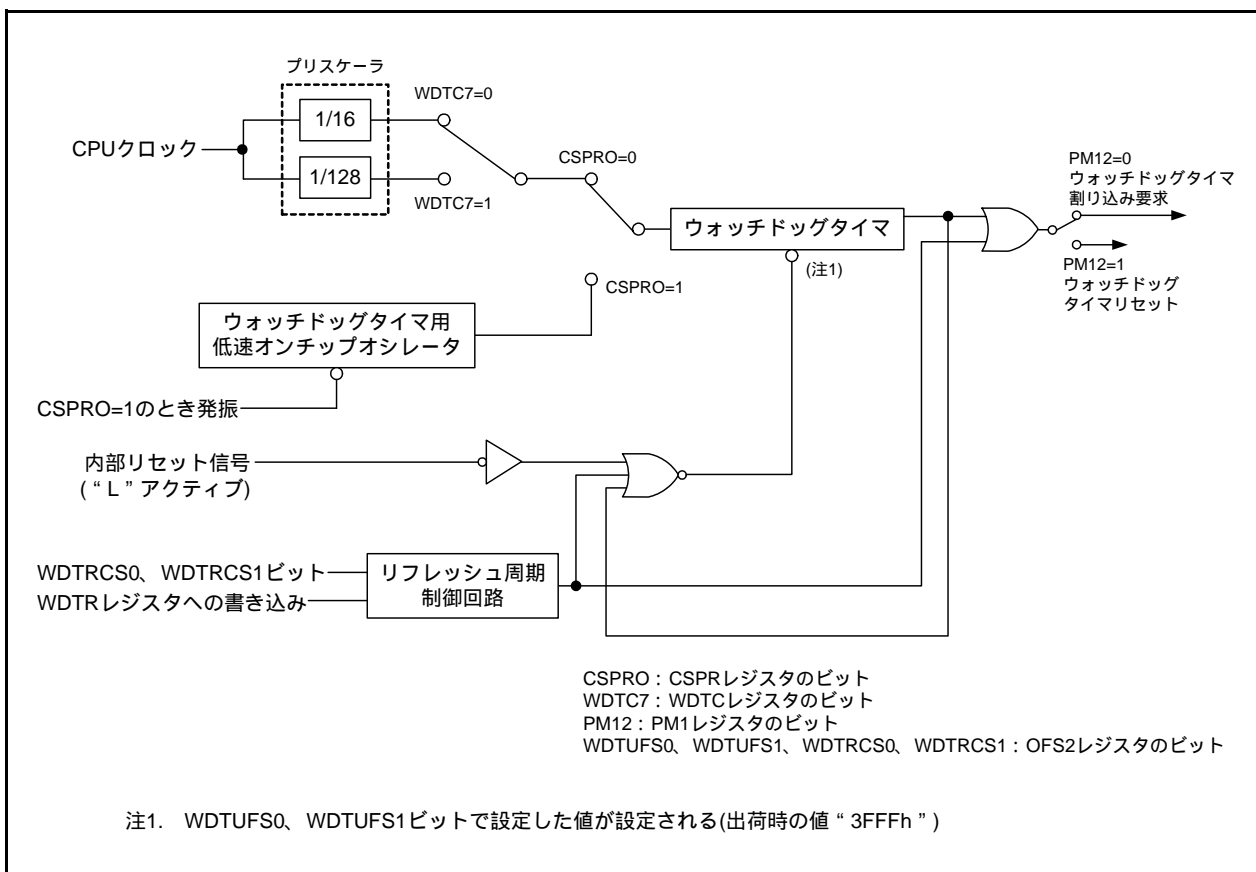


図 15.1 ウォッチドッグタイマのブロック図

15.2 レジスタの説明

15.2.1 プロセッサモードレジスタ1 (PM1)

アドレス	0005h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PM12	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	PM12	WDT割り込み/リセット切り替えビット	0:ウォッチドッグタイマ割り込み 1:ウォッチドッグタイマリセット(注1)	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—	予約ビット	“0” にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

15.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス	000Dh番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウンタ動作中に書いてください。

15.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス	000Eh番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

15.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	—	—	—	—	—	—	—
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	ウォッチドッグタイマの次のビットが読める。 OFS2レジスタのWDTUFS1 ~ WDTUFS0ビットが		R
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケアラ選択ビット	0 : 16分周 1 : 128分周	R/W

15.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが“1”の場合								
リセット後の値	1	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが“0”の場合								

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0 : カウントソース保護モード無効 1 : カウントソース保護モード有効	R/W

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

15.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

15.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1 リフレッシュ受付期間」を参照してください。

15.3 動作説明

15.3.1 複数モードに関わる共通事項

15.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図15.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中に、リフレッシュ動作を実行しないでください。

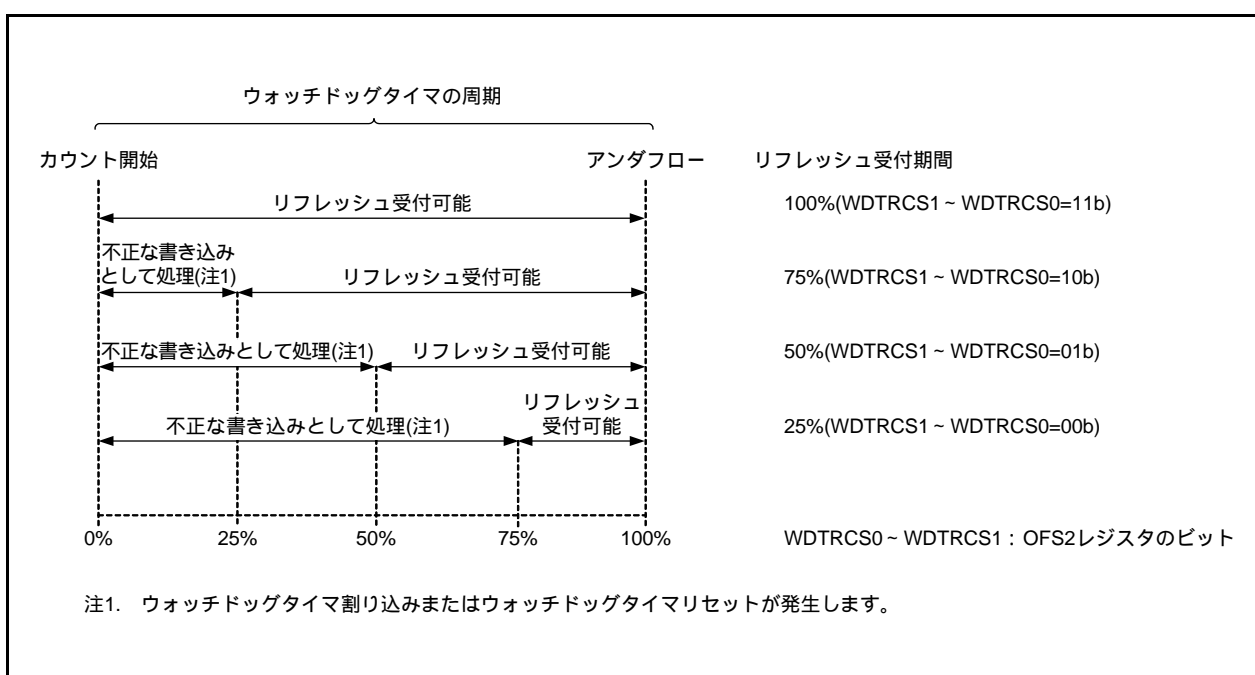


図15.2 ウォッチドッグタイマのリフレッシュ受付期間

15.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表15.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表15.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) CPUクロック n: 16または128 (WDTCレジスタのWDTC7ビットで選択) m: OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例: CPUクロックが20MHzで、プリスケアラが16分周し、WDTUFS1 ~ WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約13.1ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(注3) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. OFSレジスタのWDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

15.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表15.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表15.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(m) ウォッチドッグタイマ用低速オンチップオシレータクロック m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、WDTUFS1 ~ WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(注3) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される <ul style="list-style-type: none"> ウォッチドッグタイマ用低速オンチップオシレータが発振 PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)

注1. OFSレジスタのWDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

16. タイマ総論

タイマは、次の3種類の計4本のタイマを備えています。

- タイマRB：8ビットプリスケアラ付8ビットタイマ×2本
- タイマRC：16ビットタイマ×1本
- タイマRJ：16ビットタイマ×1本

これらのタイマは、それぞれ独立して動作します。

表 16.1 各タイマの機能比較

項目	タイマRJ (0)	タイマRB (0)	タイマRB (1)	タイマRC
構成	16ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付)
カウント	ダウンカウント	ダウンカウント	ダウンカウント	アップカウント/ ダウンカウント
カウントソース	•f1 •f2 •f8 •fOCO	•f1 •f2 •f8 •タイマRJ (0) アンダ フロー	•f1 •f2 •f8	•f1 •f2 •f4 •f8 •f32 •TRCCLK
機能	内部のカウント ソースの カウント	タイマモード	タイマモード	タイマモード (アウトプットコンペア 機能)
	外部のカウント ソースの カウント	イベントカウンタモード	—	タイマモード (アウトプットコンペア 機能)
	外部パルス幅/ 周期測定	パルス幅測定モード パルス周期測定モード	—	タイマモード (インプットキャプチャ 機能；4本)
	PWM出力	パルス出力モード(注1) イベントカウンタモード (注1)	プログラマブル波形発生 モード	タイマモード (アウトプットコンペア 機能；4本)(注1) PWMモード(3本) PWM2モード(1本)
	ワンショット 波形出力	—	プログラマブルワン ショット発生モード プログラマブルウェイト ワンショット発生モード	PWMモード(3本)
入力端子	TRJ0IO	INT0	INT5	INT0、 TRCCLK、TRCTRГ、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD
出力端子	TRJ0IO	TRB00	TRB10	TRCIOA、TRCIOB、 TRCIOC、TRCIOD
関連する割り込み	タイマRJ0 割り込み	タイマRB0 割り込み INT0 割り込み	タイマRB1 割り込み INT5 割り込み	コンペア一致/インプット キャプチャ A ~ D 割り込み オーバフロー/フロー 割り 込み INT0 割り込み
タイマ停止	あり	あり	あり	あり

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

17. タイマRB

17.1 概要

タイマRBには、タイマRB0、タイマRB1の2本があります。

タイマRB0、タイマRB1は、8ビットプリスケアラ付き8ビットタイマです。

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表 17.3 ~ 表 17.6の各モードの仕様を参照してください)。タイマRB i ($i = 0 \sim 1$)は、リロードレジスタとしてタイマRB i プライマリ、タイマRB i セカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 17.1にタイマRB i のブロック図を、表 17.1にタイマRB i の端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード
 - 内部カウントソース (周辺機能クロックまたはタイマRJ0のアンダフロー) をカウントするモード
 - タイマRB1のカウントソースとしてタイマRJ0のアンダフローは選択できません。
- プログラブル波形発生モード
 - 任意のパルス幅を連続して出力するモード
- プログラブルワンショット発生モード
 - ワンショットパルスを出力するモード
- プログラブルウェイトワンショット発生モード
 - ディレイドワンショットパルスを出力するモード

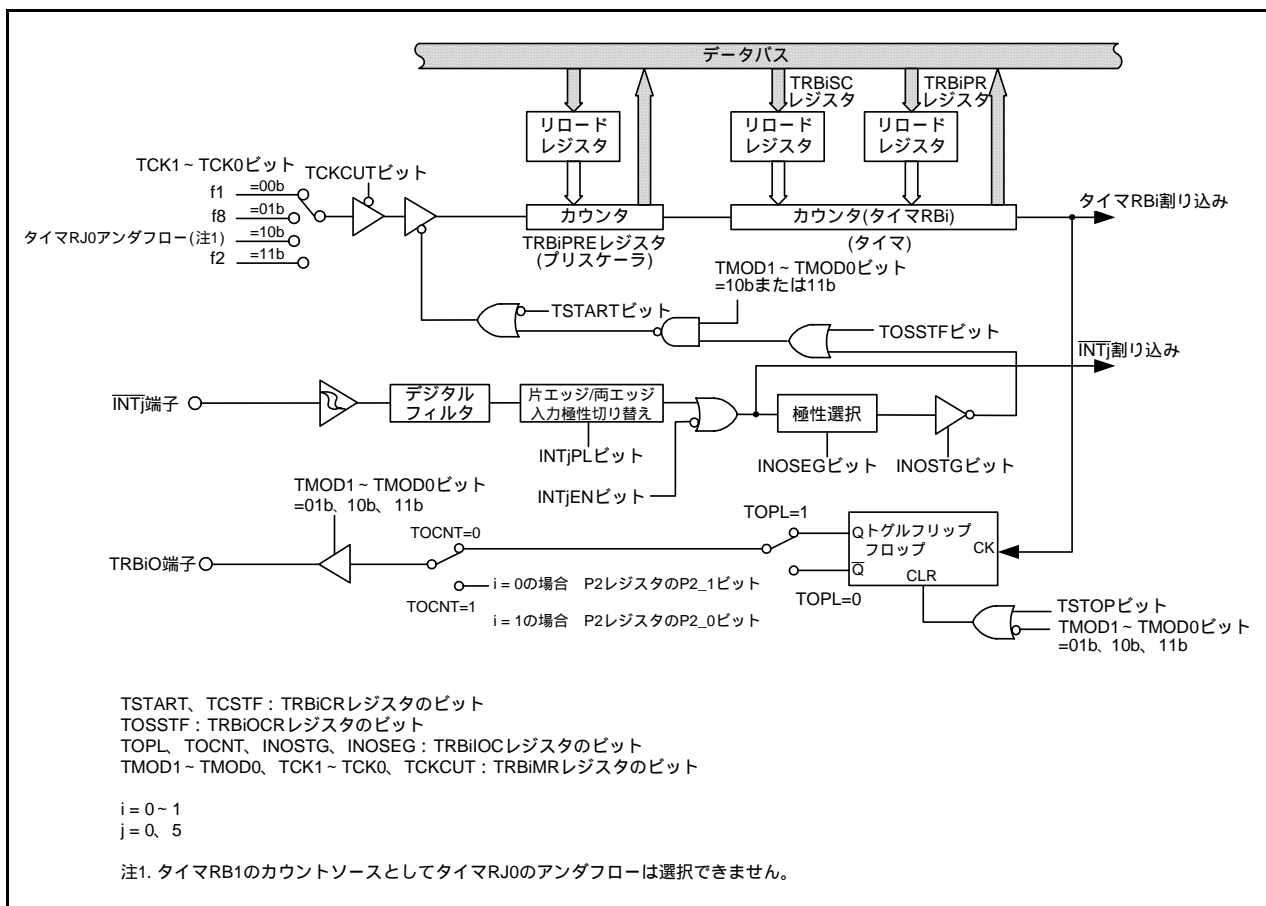


図 17.1 タイマRB i のブロック図

表 17.1 タイマR_B_iの端子構成

端子名	割り当てる端子	入出力	機能
TRB00	P2_1	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)
TRB10	P2_0		

i = 0 ~ 1

表 17.2 タイマR_B_iの各チャンネルに割り当てる $\overline{\text{INT}}_j$ 端子と内部カウントソース(i = 0 ~ 1、j = 0、5)

チャンネル	$\overline{\text{INT}}_j$ 端子	内部カウントソース(アンダフロー)
タイマRB0	$\overline{\text{INT}}_0$ 端子	タイマRJ0
タイマRB1	$\overline{\text{INT}}_5$ 端子	—

17.2 レジスタの説明

17.2.1 モジュールスタンバイ制御レジスタ1 (MSTCR1)

アドレス 0010h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTTRJ1	MSTTRJ0	MSTTRH	MSTTRB1	MSTTRB0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRB0	タイマRB0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTTRB1	タイマRB1スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	MSTTRH	予約ビット	“1” にしてください	R/W
b3	MSTTRJ0	タイマRJ0スタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b4	MSTTRJ1	予約ビット	“1” にしてください	R/W
b5	—	予約ビット	“0” にしてください	R/W
b6	—			
b7	—			

注1. MSTTRB0ビットが“1”(スタンバイ)のとき、タイマRB0関連レジスタ(0108h ~ 010Eh番地)へのアクセスは無効になります。

注2. MSTTRB1ビットが“1”(スタンバイ)のとき、タイマRB1関連レジスタ(0098h ~ 009Eh番地)へのアクセスは無効になります。

注3. MSTTRJ0ビットが“1”(スタンバイ)のとき、タイマRJ0関連レジスタ(0080h ~ 0086h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

17.2.2 タイマR*B*i制御レジスタ (TR*B*iCR)(*i* = 0 ~ 1)アドレス 0108h番地 (TR*B*0CR)、0098h番地 (TR*B*1CR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマR <i>B</i> iカウント開始ビット(注1)	0 : カウント停止 1 : カウント開始	R/W
b1	TCSTF	タイマR <i>B</i> iカウントステータスフラグ(注1)	0 : カウント停止 1 : カウント中(注3)	R
b2	TSTOP	タイマR <i>B</i> iカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「17.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TR*B*iPREレジスタ、TR*B*iSCレジスタ、TR*B*iPRレジスタ、TSTARTビット、TCSTFビット、TR*B*iOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

17.2.3 タイマR*B*iワンショット制御レジスタ (TR*B*iOCR)(*i* = 0 ~ 1)アドレス 0109h番地 (TR*B*0OCR)、0099h番地 (TR*B*1OCR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマR <i>B</i> iワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマR <i>B</i> iワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマR <i>B</i> iワンショットステータスフラグ(注1)	0 : ワンショット停止中 1 : ワンショット動作中(ウェイト期間含む)	R
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TR*B*iCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TR*B*iOCRレジスタは、TR*B*iMRレジスタのT*M*OD1 ~ T*M*OD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

17.2.4 タイマR*Bi* I/O制御レジスタ (TR*Bi*IOC)(*i* = 0 ~ 1)

アドレス 010Ah番地 (TRB0IOC)、009Ah番地 (TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <i>Bi</i> アウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマR <i>Bi</i> 出力許可ビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

17.2.5 タイマR*Bi*モードレジスタ (TR*Bi*MR)(*i* = 0 ~ 1)

アドレス 010Bh番地 (TRB0MR)、009Bh番地 (TRB1MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	—	TCK1	TCK0	TWRC	—	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマR <i>Bi</i> 動作モード選択ビット (注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	TWRC	タイマR <i>Bi</i> 書き込み制御ビット (注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマR <i>Bi</i> カウントソース選択ビット (注1)	b5 b4 00: f1 01: f8 10: タイマRJ0のアンダフロー (注3) 11: f2	R/W
b5	TCK1			R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	TCKCUT	タイマR <i>Bi</i> カウントソース遮断 ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TMOD1 ~ TMOD0ビット、TCK1 ~ TCK0ビット、TCKCUTビットは、TR*Bi*CRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマRJ0のアンダフロー信号をタイマRB0のカウントソースにする場合、タイマRJ0はタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。タイマRB1のカウントソースとしてタイマRJ0のアンダフローは選択できません。

17.2.6 タイマR*B*_iプリスケアラレジスタ(TRB*P*RE)(*i* = 0 ~ 1)

アドレス 010Ch番地(TRB0PRE)、009Ch番地(TRB1PRE)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソース、またはタイマRJ0アンダフローをカウント(注1)	00h ~ FFh	R/W
	プログラマブル波形発生モード		00h ~ FFh	R/W
	プログラマブルワンショット発生モード		00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h ~ FFh	R/W

注1. タイマRB1のカウントソースとしてタイマRJ0のアンダフローは選択できません。

TRBiCRレジスタのTSTOPビットに“1”を書くと、TRBiPREレジスタは“FFh”になります。

17.2.7 タイマR*B*_iセカンダリレジスタ(TRBiSC)(*i* = 0 ~ 1)

アドレス 010Dh番地(TRB0SC)、009Dh番地(TRB1SC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	無効	00h ~ FFh	—
	プログラマブル波形発生モード	タイマR <i>B</i> _i プリスケアラのアンダフローをカウント(注1)	00h ~ FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h ~ FFh	—
	プログラマブルウェイトワンショット発生モード	タイマR <i>B</i> _i プリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	W (注2)

注1. TRBiPRレジスタとTRBiSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBiPRレジスタで読めます。

TRBiCRレジスタのTSTOPビットに“1”を書くと、TRBiSCレジスタは“FFh”になります。

TRBiSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBiSCレジスタに値を書く
- (2) TRBiPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

17.2.8 タイマR*B*_iプライマリレジスタ(TRB*B*_iPR)(*i* = 0 ~ 1)

アドレス 010Eh番地 (TRB0PR)、009Eh番地 (TRB1PR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	タイマR <i>B</i> _i プリスケアラのアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード	タイマR <i>B</i> _i プリスケアラのアンダフローをカウント(注1)	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	タイマR <i>B</i> _i プリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマR <i>B</i> _i プリスケアラのアンダフローをカウント(ウェイト期間をカウント)	00h ~ FFh	R/W

注1. TRB*B*_iPRレジスタとTRB*B*_iSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRB*B*_iCRレジスタのTSTOPビットに“1”を書くと、TRB*B*_iPRレジスタは“FFh”になります。

17.3 タイマモード

内部で生成されたカウントソースまたはタイマRJ0のアンダフローをカウントするモードです(表 17.3)。
タイマモード時、TRBiOCRおよびTRBiSCレジスタは使用しません。
タイマRB1のカウントソースとしてタイマRJ0のアンダフローは選択できません。

表 17.3 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRJ0のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続(タイマRB<i>i</i>のアンダフロー時はタイマRB<i>i</i>プライマリリロードレジスタの内容をリロード)
分周比	1/(n+1)(m+1) n: TRBiPREレジスタの設定値、m: TRBiPRレジスタの設定値
カウント開始条件	TRBiCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> •TRBiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRBiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRB <i>i</i> のアンダフロー時[タイマRB <i>i</i> 割り込み]
TRBiO端子機能	プログラマブル入出力ポート
INT <i>j</i> 端子機能	プログラマブル入出力ポート、またはINT <i>j</i> 割り込み入力
タイマの読み出し	TRBiPRレジスタ、TRBiPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TRBiPREレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRBiPREレジスタ、TRBiPRレジスタに書き込むと、TRBiMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。(「17.3.2 カウント中のタイマ書き込み制御」参照)

注1. タイマRB1はタイマRJ0のアンダフローを選択できません。

$i = 0 \sim 1$ 、 $j = 0, 5$

17.3.1 タイマRB*i* I/O制御レジスタ(TRBiIOC)($i = 0 \sim 1$)[タイマモード時]

アドレス 010Ah番地(TRB0IOC)、009Ah番地(TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRB <i>i</i> アウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB <i>i</i> 出力許可ビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

17.3.2 カウント中のタイマ書き込み制御

タイマR_{Bi}($i = 0 \sim 1$)はプリスケータと、タイマ(プリスケータのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケータやタイマに書き込む場合、TR_{Bi}MRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケータのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケータのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケータの値を変更すると書き込んだときの周期がずれま
す。図 17.2にタイマR_{Bi}カウント中にカウント値を書き換えた場合の動作例を示します。

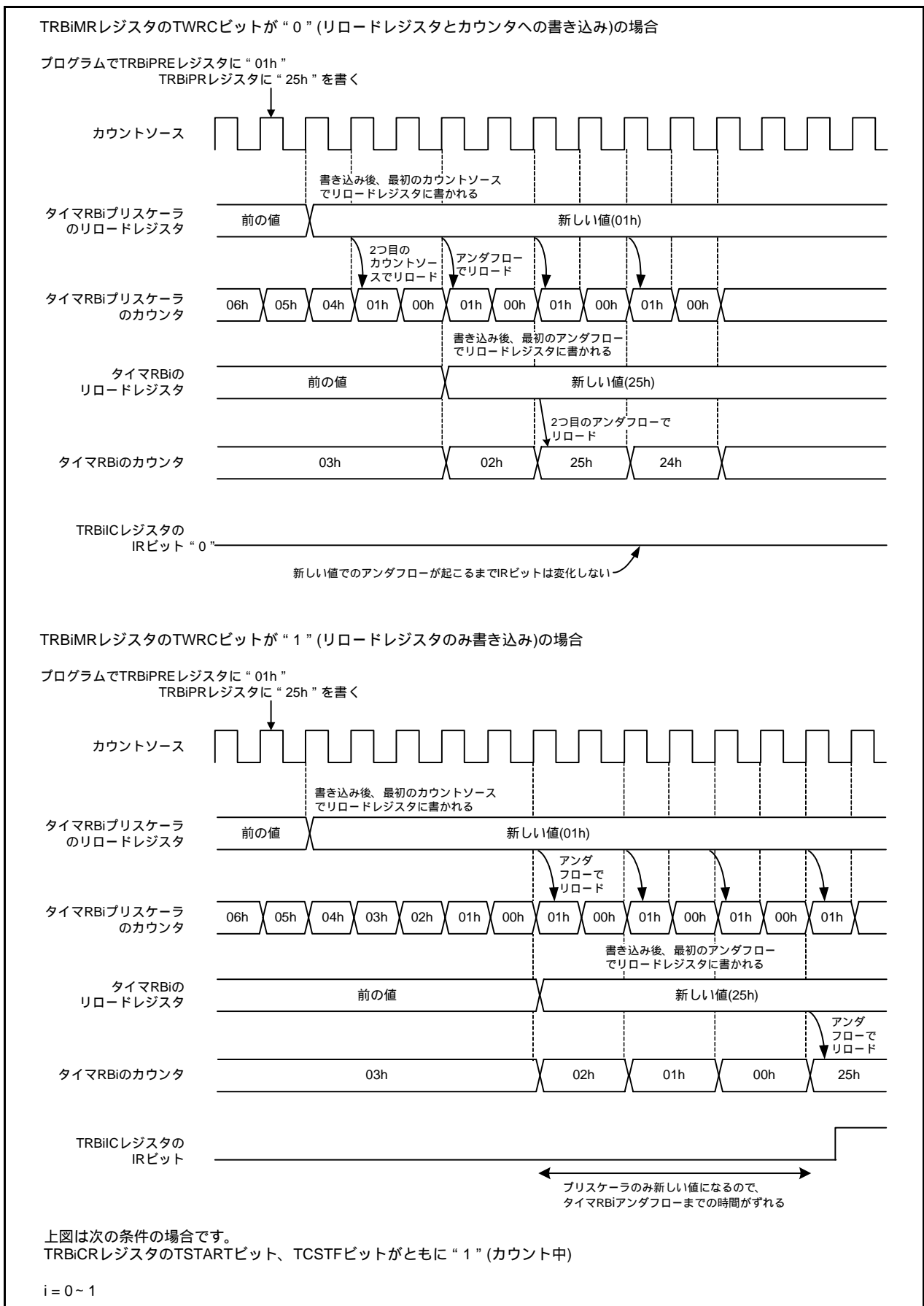


図 17.2 タイマRBiカウント中にカウント値を書き換えた場合の動作例

17.4 プログラマブル波形発生モード

TRBiPR($i = 0 \sim 1$)レジスタとTRBiSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBiO端子から出力する信号を反転するモードです(表 17.4)。カウント開始時は、TRBiPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBiOCRレジスタは使用しません。

図 17.3にプログラマブル波形発生モード時のタイマR B_i の動作例を示します。

表 17.4 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRJ0のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間： $(n+1)(m+1)/f_i$ セカンダリ期間： $(n+1)(p+1)/f_i$ 周期： $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i ：カウントソースの周波数 n ：TRBiPREレジスタの設定値、 m ：TRBiPRレジスタの設定値 p ：TRBiSCレジスタの設定値
カウント開始条件	TRBiCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRBiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマR B_i のアンダフローからカウントソースの1/2サイクル後(TRBiO出力の変化と同時)[タイマR B_i 割り込み]
TRBiO端子機能	プログラマブル出力ポート、またはパルス出力
INT T_j 端子機能	プログラマブル入出力ポート、またはINT T_j 割り込み入力
タイマの読み出し	TRBiPRレジスタ、TRBiPREレジスタを読み出すと、それぞれカウント値が読み出される(注2)
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注3)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択 ・波形出力許可/禁止機能 TRBiIOCレジスタのTOCNTビットでタイマRB波形の出力許可、または禁止を選択(注4)

注1. タイマR B_1 はタイマRJ0のアンダフローを選択できません。

注2. セカンダリ期間をカウント中でも、TRBiPRレジスタを読み出してください。

注3. 波形の出力は、TRBiPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注4. TOCNTビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマR B_i 割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

$i = 0 \sim 1$ 、 $j = 0, 5$

17.4.1 タイマR*B*i I/O制御レジスタ(TR*B*iIOC)(*i* = 0 ~ 1)[プログラマブル波形発生モード時]アドレス 010Ah番地 (TR*B*0IOC)、009Ah番地 (TR*B*1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <i>B</i> iアウトプットレベル選択ビット	0: プライマリ期間 “H” 出力、セカンダリ期間 “L” 出力 タイマ停止時 “L” 出力 1: プライマリ期間 “L” 出力、セカンダリ期間 “H” 出力 タイマ停止時 “H” 出力	R/W
b1	TOCNT	タイマR <i>B</i> i出力許可ビット	0: タイマRB波形出力許可 1: タイマRB波形出力禁止	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは “0” にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		—
b5	—			
b6	—			
b7	—			

17.4.2 動作例

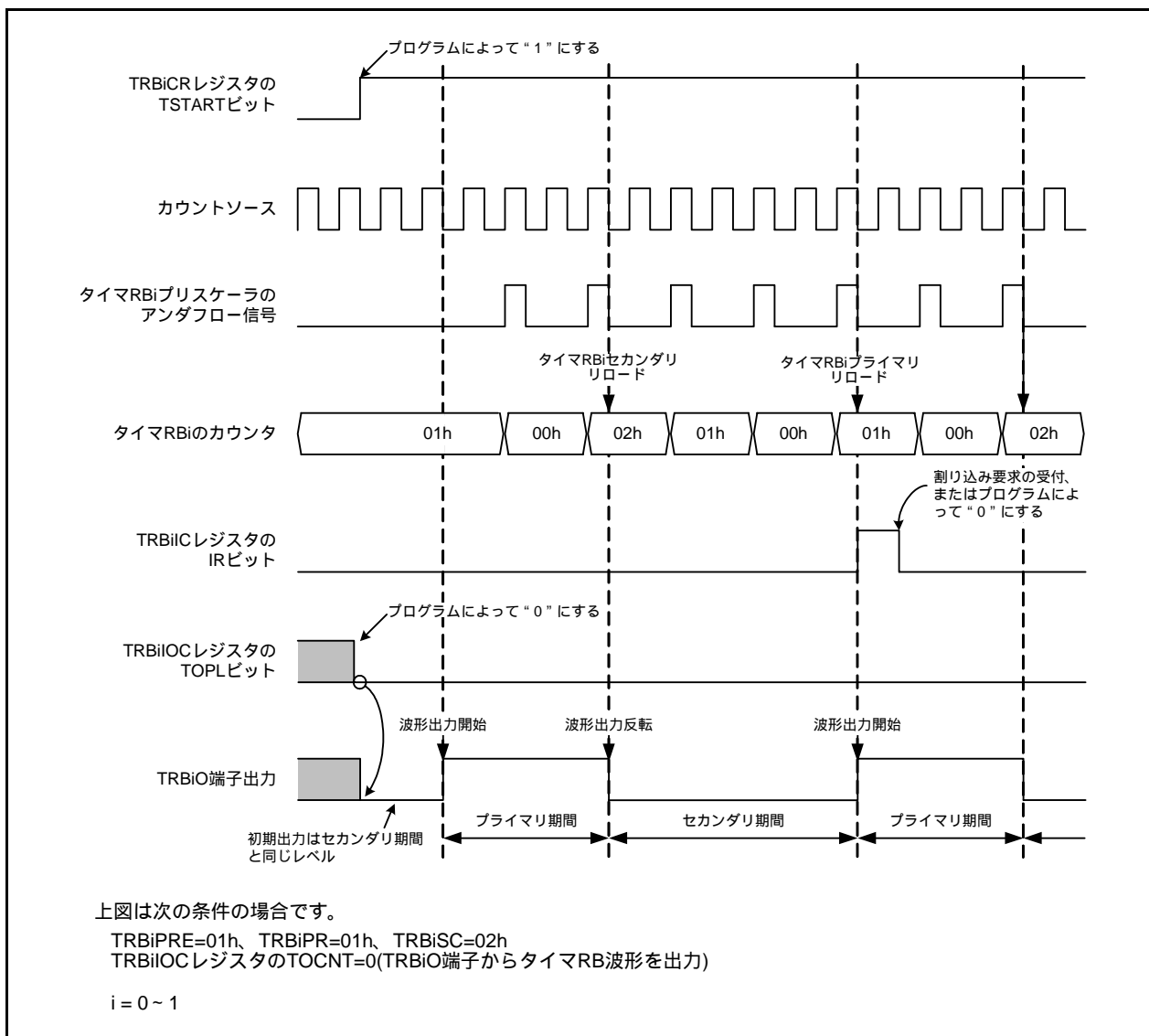


図 17.3 プログラマブル波形発生モード時のタイマRBiの動作例

17.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INTj(j=0, 5)端子の入力)により、ワンショットパルスをTRBiO(i=0~1)端子から出力するモードです(表 17.5)。トリガが発生するとその時点から任意の時間(TRBiPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBiSCレジスタは使用しません。

図 17.4にプログラマブルワンショット発生モード時の動作例を示します。

表 17.5 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRJ0のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> •TRBiPRレジスタの設定値をダウンカウント •アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTビットが“0”(ワンショット停止)になる •カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBiPREレジスタの設定値、 m : TRBiPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> •TRBiCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 •TRBiOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み •INTj端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> •タイマRBiプライマリカウント時のカウントの値がアンダフローし、リロードした後 •TRBiOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み •TRBiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRBiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBiO端子からの波形出力の終了と同時に) [タイマRBi割り込み]
TRBiO端子機能	パルス出力
INTj端子機能	<ul style="list-style-type: none"> •TRBiIOCレジスタのINOSTGビットが“0”(INTjワンショットトリガ無効)の場合プログラマブル入出力ポート、またはINTj(j=0, 5)割り込み入力 •TRBiIOCレジスタのINOSTGビットが“1”(INTjワンショットトリガ有効)の場合外部トリガ(INTj割り込み入力)
タイマの読み出し	TRBiPRレジスタ、TRBiPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TRBiPREレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRBiPREレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> •アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 •ワンショットトリガ選択機能 「17.5.3 ワンショットトリガ選択」参照

注1. タイマRB1はタイマRJ0のアンダフローを選択できません。

注2. TRBiPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

i=0~1、j=0, 5

17.5.1 タイマR*B*_i I/O制御レジスタ (TRB*B*_iIOC)(*i* = 0 ~ 1) [プログラマブルワンショット発生モード時]

アドレス 010Ah番地 (TRB0IOC)、009Ah番地 (TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <i>B</i> _i アウトプットレベル選択ビット	0: ワンショットパルス“H”出力、タイマ停止時“L”出力 1: ワンショットパルス“L”出力、タイマ停止時“H”出力	R/W
b1	TOCNT	タイマR <i>B</i> _i 出力許可ビット	プログラマブルワンショット発生モードでは“0”にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: INT _j (<i>j</i> = 0, 5)端子ワンショットトリガ無効(注2) 1: INT _j (<i>j</i> = 0, 5)端子ワンショットトリガ有効(注2)	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1. 「17.5.3 ワンショットトリガ選択」を参照してください。

注2. タイマRB0はINT0端子、タイマRB1はINT5端子からワンショットトリガが入力されます。

17.5.2 動作例

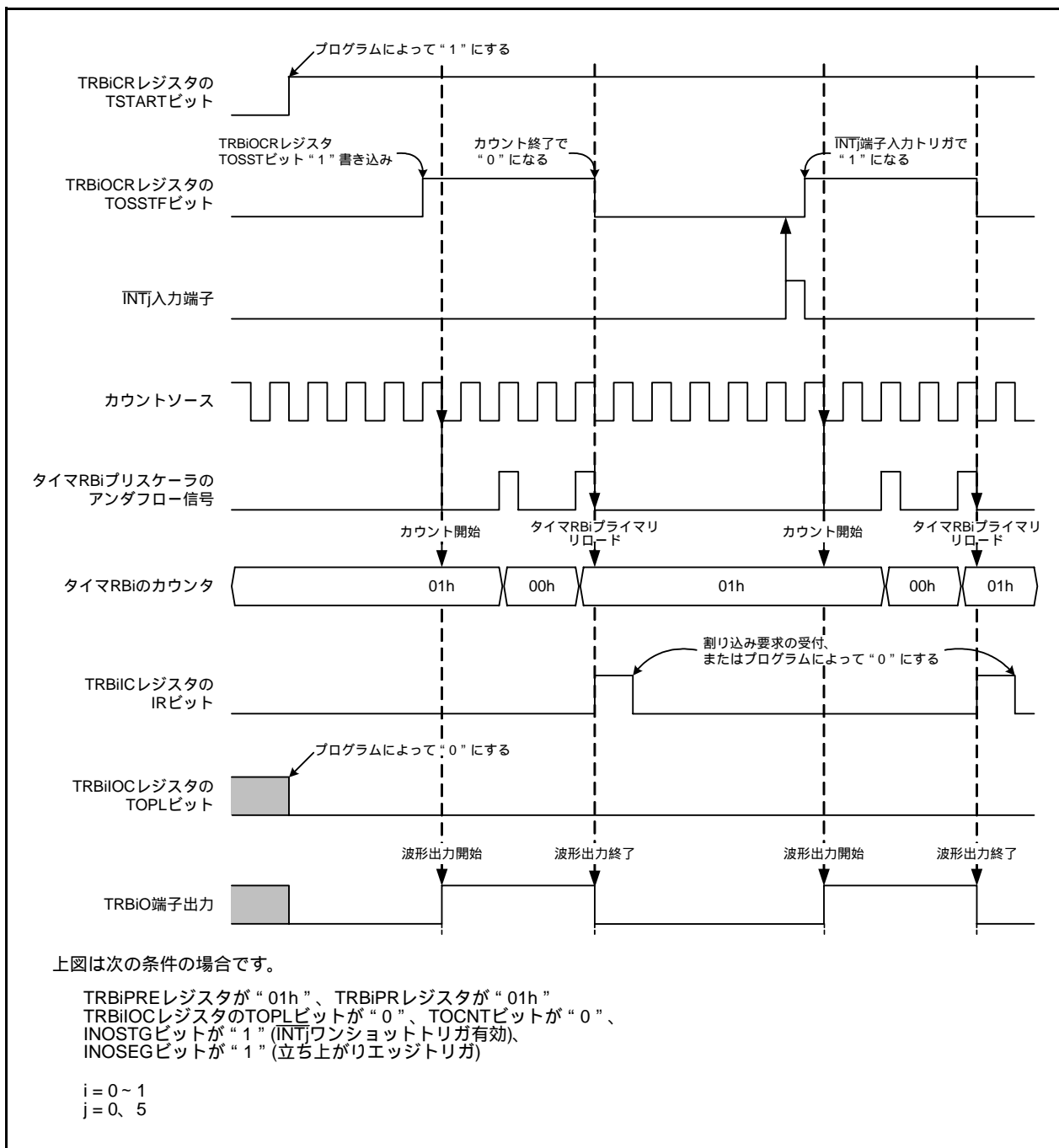


図 17.4 プログラマブルワンショット発生モード時の動作例

17.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBiCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBiOCRレジスタのTOSSTビットに“1”を書く
- INT_j(j = 0, 5)端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBiOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT}}_j$ からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

(1) $\overline{\text{INT}}_0$ 端子の場合

- $\overline{\text{INT}}_0$ 端子に対応するポート方向レジスタのポート方向ビットを“0”(入力モード)にする。
- $\overline{\text{INT}}_0$ のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する。
- INTENレジスタのINT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジ)にする。さらにTRB0IOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する。
- INTENレジスタにINT0ENを“1”(許可)にする。
- 上記の設定後、TRB0IOCレジスタのINOSTGビットを“1”(INT₀端子ワンショットトリガ有効)にする。

(2) $\overline{\text{INT}}_5$ 端子の場合

- $\overline{\text{INT}}_5$ 端子に対応するポート方向レジスタのポート方向ビットを“0”(入力モード)にする。
- $\overline{\text{INT}}_5$ のデジタルフィルタをINTF1レジスタのINT5F1～INT5F0ビットで選択する。
- INTEN1レジスタのINT5PLビットを“0”(片エッジ)、INT5ICレジスタのPOLビットを“0”(立ち下がりエッジ)にする。さらにTRB1IOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する。
- INTEN1レジスタにINT5ENを“0”(許可)にする。
- 上記の設定後、TRB1IOCレジスタのINOSTGビットを“1”(INT₅端子ワンショットトリガ有効)にする。

なお、 $\overline{\text{INT}}_j$ 端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「12. 割り込み」を参照してください。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT_jICレジスタのIRビットは変化します。

17.6 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ (INTj(j = 0, 5) 端子の入力) から、一定時間後にワンショットパルスを TRBiO(i = 0 ~ 1) 端子から出力するモードです(表 17.6)。トリガが発生すると、その時点から任意の時間 (TRBiPR レジスタの設定値) 後、一度だけ任意の時間 (TRBiSC レジスタの設定値) パルス出力を行います。図 17.5 にプログラブルウェイトワンショット発生モードの動作例を示します。

表 17.6 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRJ0のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> • タイマRBiプライマリの設定値をダウンカウント • タイマRBiプライマリのカウントがアンダフロー時、タイマRBiセカンダリの内容をリロードしてカウントを継続 • タイマRBiセカンダリのカウントがアンダフロー時、タイマRBiプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる • カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBiPRE レジスタの設定値、 m : TRBiPR レジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBiPRE レジスタの設定値、 p : TRBiSC レジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> • TRBiCR レジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 • TRBiOCR レジスタのTOSSTビットへの“1”(ワンショット開始)書き込み • INTj端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> • タイマRBiセカンダリカウント時のカウントの値がアンダフローし、リロードした後 • TRBiOCR レジスタのTOSSPビットへの“1”(ワンショット停止)書き込み • TRBiCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み • TRBiCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBiのアンダフローからカウントソースの1/2サイクル後 (TRBiO端子からの波形出力の終了と同時に)[タイマRBi割り込み]
TRBiO端子機能	パルス出力
INTj端子機能	<ul style="list-style-type: none"> • TRBiIOC レジスタのINOSTGビットが“0”(INTjワンショットトリガ無効)の場合 プログラブル入出力ポート、またはINTj割り込み入力 • TRBiIOC レジスタのINOSTGビットが“1”(INTjワンショットトリガ有効)の場合 外部トリガ(INTj割り込み入力)
タイマの読み出し	TRBiPRレジスタ、TRBiPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> • アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 • ワンショットトリガ選択機能 「17.5.3 ワンショットトリガ選択」参照

注1. タイマRB1はタイマRJ0のアンダフローを選択できません。

注2. TRBiSCレジスタおよびTRBiPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

i = 0 ~ 1、j = 0、5

17.6.1 タイマR*B*_i I/O制御レジスタ (TRB*B*_iIOC)(*i* = 0 ~ 1) [プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah番地 (TRB0IOC)、009Ah番地 (TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <i>B</i> _i アウトプットレベル選択ビット	0: ワンショットパルス“H”出力、タイマ停止時とウェイト中は“L”出力 1: ワンショットパルス“L”出力、タイマ停止時とウェイト中は“H”出力	R/W
b1	TOCNT	タイマR <i>B</i> _i 出力許可ビット	プログラマブルウェイトワンショット発生モードでは“0”にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: $\overline{\text{INT}}_j$ (<i>j</i> = 0, 5) 端子ワンショットトリガ無効(注2) 1: INT_j (<i>j</i> = 0, 5) 端子ワンショットトリガ有効(注2)	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	—	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1. 「17.5.3 ワンショットトリガ選択」を参照してください。

注2. タイマRB0はINT0端子、タイマRB1はINT5端子からワンショットトリガが入力されます。

17.6.2 動作例

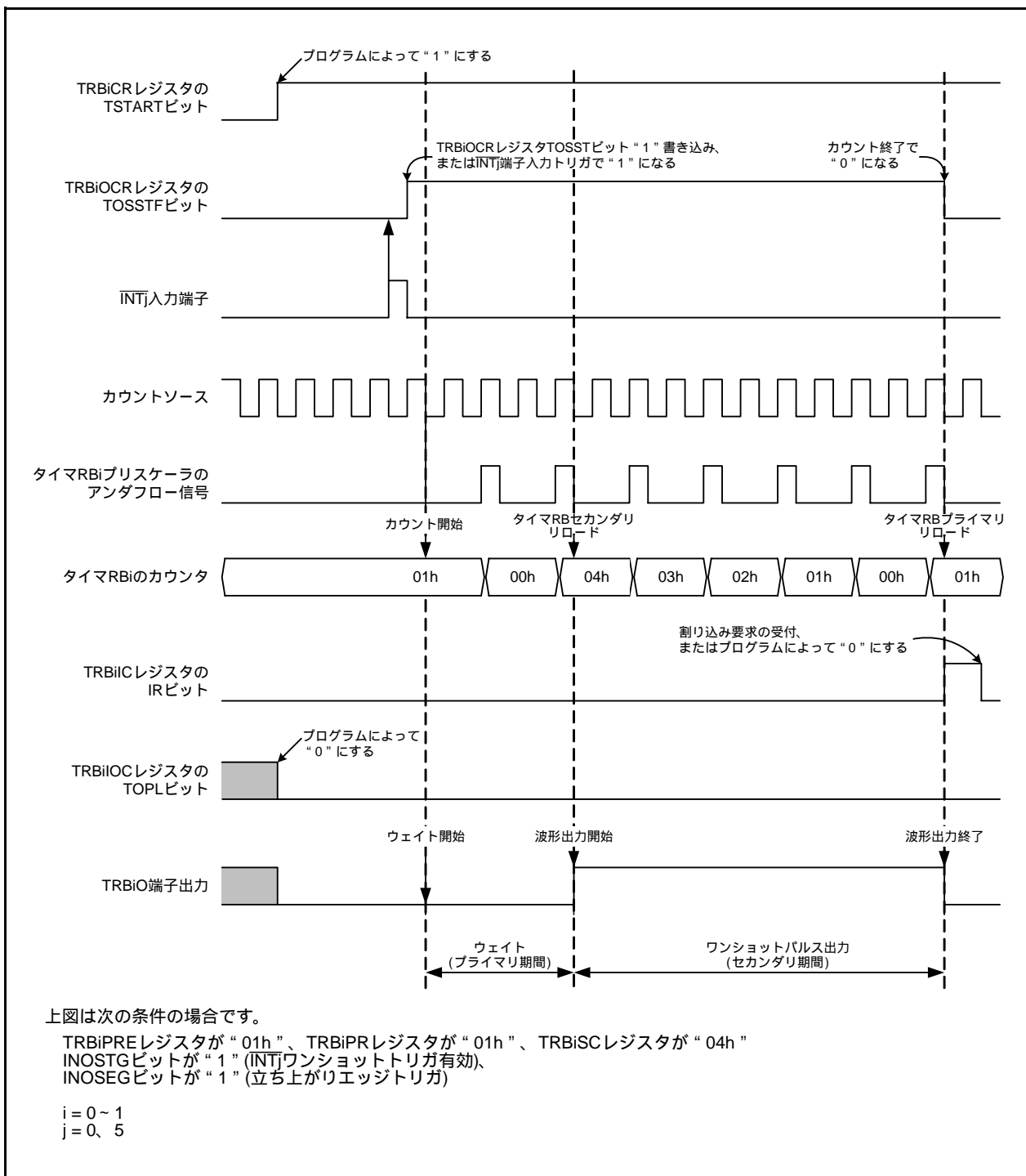


図 17.5 プログラマブルウェイトワンショット発生モードの動作例

17.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラブルワンショット発生モードおよびプログラブルウェイトワンショット発生モード時、TRBiCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBiOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”(カウント開始)を書いた後は、カウントソースの1~2サイクルの間、TCSTFビットは“0”(カウント停止)になっています。
TCSTFビットが“1”(カウント中)になるまで、TCSTFビットを除くタイマRB*i*関連レジスタ(注1)をアクセスしないでください。
カウント中にTSTARTビットに“0”(カウント停止)を書いた後は、カウントソースの1~2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”(カウント停止)になったときカウントは停止します。
TCSTFビットが“0”(カウント停止)になるまで、TCSTFビットを除くタイマRB*i*関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB*i*関連レジスタ: TRBiCR、TRBiOCR、TRBiOC、TRBiMR、TRBiPRE、TRBiSC、TRBiPR

- カウント中にTRBiCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBiOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1~2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いた後からTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いた後からTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRJ0のアンダフロー信号をタイマRB0のカウントソースにする場合、タイマRJ0はタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。タイマRB1のカウントソースとしてタイマRJ0のアンダフローは選択できません。

17.7.1 タイマモード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.7.2 プログラブル波形発生モード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.7.3 プログラマブルワンショット発生モード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

18.1 概要

タイマRCの動作クロックはf1です。表 18.1にタイマRCの動作クロックを示します。

表 18.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1

表 18.2にタイマRCの端子構成を、図18.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード
 - インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能 (検出時に端子出力変更可能)
- 次の2つのモードは、アウトプットコンペア機能を用います。
- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

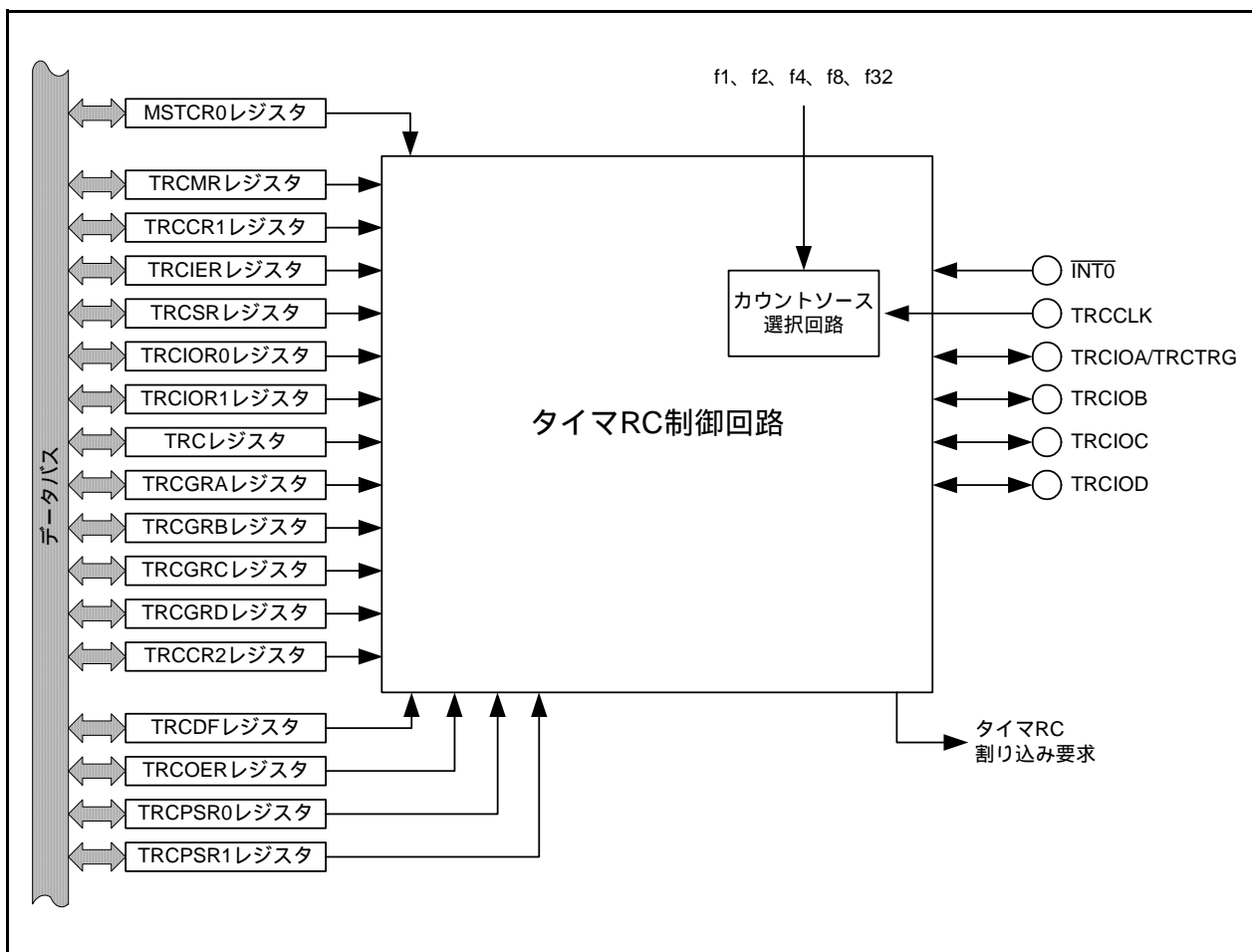


図 18.1 タイマRCのブロック図

表 18.2 タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P8_7	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCIOB	P8_6、P8_5、またはP8_4		
TRCIOC	P8_5		
TRCIOD	P8_4		
TRCCLK	P7_1	入力	外部クロック入力
TRCTRГ	P8_7	入力	PWM2モードの外部トリガ入力

18.2 レジスタの説明

表 18.3にタイマRC関連レジスタ一覧を示します。

表 18.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプット キャプチャ 機能	アウトプット コンペア 機能			
0008h	MSTCR0	有効	有効	有効	有効	18.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)
0120h	TRCMR	有効	有効	有効	有効	18.2.2 タイマRCモードレジスタ (TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 18.2.3 タイマRC制御レジスタ1(TRCCR1) 18.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマ モード(アウトプットコンペア機能)時] 18.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモ ード時] 18.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2 モード時]
0122h	TRCIER	有効	有効	有効	有効	18.2.4 タイマRC割り込み許可レジスタ (TRCIER)
0123h	TRCSR	有効	有効	有効	有効	18.2.5 タイマRCステータスレジスタ (TRCSR)
0124h	TRCIOR0	有効	有効	—	—	タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 18.2.6 タイマRC I/O制御レジスタ0(TRCIOR0) 18.2.7 タイマRC I/O制御レジスタ1(TRCIOR1) 18.4.1 タイマRC I/O制御レジスタ0(TRCIOR0)[タイ マモード(インプットキャプチャ機能)時] 18.4.2 タイマRC I/O制御レジスタ1(TRCIOR1)[タイ マモード(インプットキャプチャ機能)時] 18.5.2 タイマRC I/O制御レジスタ0(TRCIOR0)[タイ マモード(アウトプットコンペア機能)時] 18.5.3 タイマRC I/O制御レジスタ1(TRCIOR1)[タイ マモード(アウトプットコンペア機能)時]
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	18.2.8 タイマRCカウンタ (TRC)
0128h 0129h	TRCGRA	有効	有効	有効	有効	18.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)
012Ah 012Bh	TRCGRB					
012Ch 012Dh	TRCGRC					
012Eh 012Fh	TRCGRD					
0130h	TRCCR2	—	有効	有効	有効	18.2.10 タイマRC制御レジスタ2(TRCCR2)
0131h	TRCDF	有効	—	—	有効	18.2.11 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)
0132h	TRCOER	—	有効	有効	有効	18.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)
0182h	TRCPSR0	有効	有効	有効	有効	18.2.13 タイマRC端子選択レジスタ0 (TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	18.2.14 タイマRC端子選択レジスタ1 (TRCPSR1)

—：無効

18.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	—	MSTURTO	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURTO	予約ビット	“1” にしてください	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTLCD	予約ビット	“1” にしてください	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	予約ビット	“1” にしてください	R/W

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²C関連レジスタ(0193h ~ 19Dh番地)へのアクセスは無効になります。

注2. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

18.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	—	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0: PWM2モード 1: タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット (注2)	0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	TSTART	TRCカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「18.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

18.2.3 タイマRC制御レジスタ1(TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのインプットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

18.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVIE	オーバフロー割り込み許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W

18.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表 18.4 各フラグが“1”になる要因」を参照	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB		R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表 18.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表 18.4 各フラグが“1”になる要因

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1～IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

18.2.6 タイマRC I/O制御レジスタ0(TRCIOR0)

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b3	IOA3	インプットキャプチャ入力切替ビット(注3)	0: fOCO128信号 1: TRCIOA入力端子	R/W
b4	IOB0	TRCGRB 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

18.2.7 タイマRC I/O制御レジスタ1(TRCIOR1)

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

18.2.8 タイマRCカウンタ(TRC)

アドレス 0127h ~ 0126h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRCSRレジスタのOVFビットが“1”になる	0000h ~ FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.9 タイマRCジェネラルレジスタA、B、C、D
(TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h 番地 (TRCGRA)、012Bh ~ 012Ah 番地 (TRCGRB)、
012Dh ~ 012Ch 番地 (TRCGRC)、012Fh ~ 012Eh 番地 (TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	モードによって機能が異なる	R/W

TRCGRA ~ TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.10 タイマRC制御レジスタ2(TRCCR2)

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB(注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC(注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD(注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			—
b5	CSEL	TRCカウンタ動作選択ビット(注2)	0: TRCGRAレジスタとのコンペア一致後もカウンタ継続 1: TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット(注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

18.2.11 タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース(TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

18.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止(TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止(TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止(TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止(TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効(INT0端子に“L”または“H”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

18.2.13 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCIOBSEL1	TRCIOBSEL0	TRCIOASEL1	TRCIOASEL0	—	TRCCLKSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCLKSEL0	TRCCLK端子選択ビット	0 : TRCCLK端子は使用しない 1 : P7_1に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b3 b2 00 : TRCIOA/TRCTRG端子は使用しない 01 : TRCIOA/TRCTRG端子をP8_7に割り当てる 10 : 設定しないでください 11 : 設定しないでください	R/W
b3	TRCIOASEL1			R/W
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 00 : TRCIOB端子は使用しない 01 : P8_6に割り当てる 10 : P8_5に割り当てる(注1) 11 : P8_4に割り当てる(注2)	R/W
b5	TRCIOBSEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

注1. TRCPSR1レジスタのTRCIOSEL0ビットを“1”(TRCIO端子をP8_5に割り当てる)にした場合は、TRCIOSEL1～TRCIOSEL0ビットの内容にかかわらず、P8_5はTRCIO端子になります。

注2. TRCPSR1レジスタのTRCIOSEL0ビットを“1”(TRCIO端子をP8_4に割り当てる)にした場合は、TRCIOSEL1～TRCIOSEL0ビットの内容にかかわらず、P8_4はTRCIO端子になります。

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。タイマRC端子の割り当てを変更した場合、変更したときの端子レベルによってはエッジが発生し、TRCレジスタが“0000h”になる場合があります。

18.2.14 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TRCIODSELO	—	TRCIOCESELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCESELO	TRCIOCE端子選択ビット	0 : TRCIOCE端子は使用しない 1 : P8_5に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIODSELO	TRCIOD端子選択ビット	0 : TRCIOD端子は使用しない 1 : P8_4に割り当てる	R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

TRCPSR1レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

18.3 複数モードに関わる共通事項

18.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表 18.5にカウントソースの選択を、図 18.2にカウントソースのブロック図を示します。

表 18.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

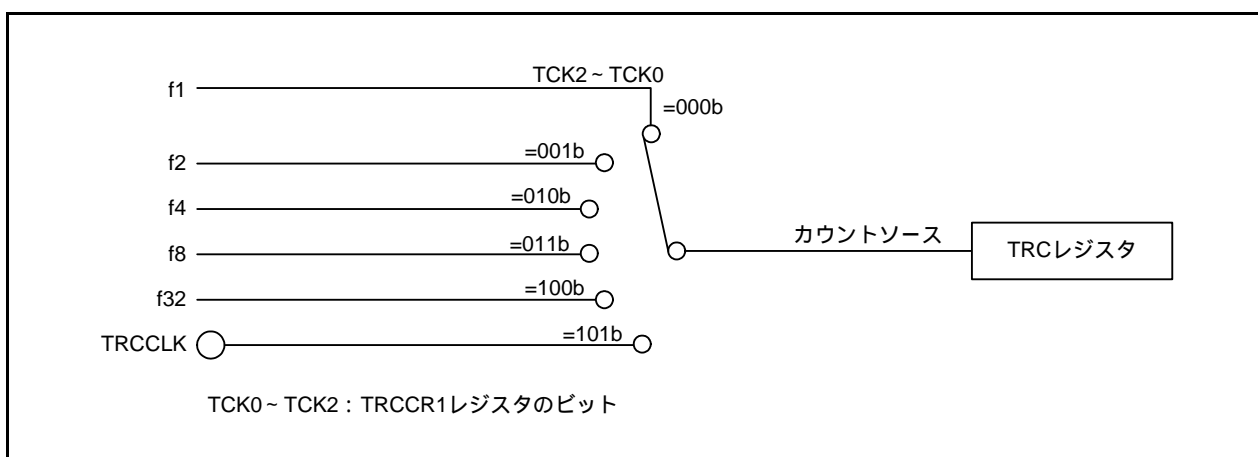


図 18.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック（「表 18.1 タイマRCの動作クロック」参照）の3サイクル以上にしてください。

18.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表 18.6 に各モードのバッファ動作を、図 18.3 にインプットキャプチャ機能のバッファ動作を、図 18.4 にアウトプットコンペア機能のバッファ動作を示します。

表 18.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> •TRCレジスタとTRCGRAレジスタのコンペア一致 •TRCTRG端子トリガ入力 	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

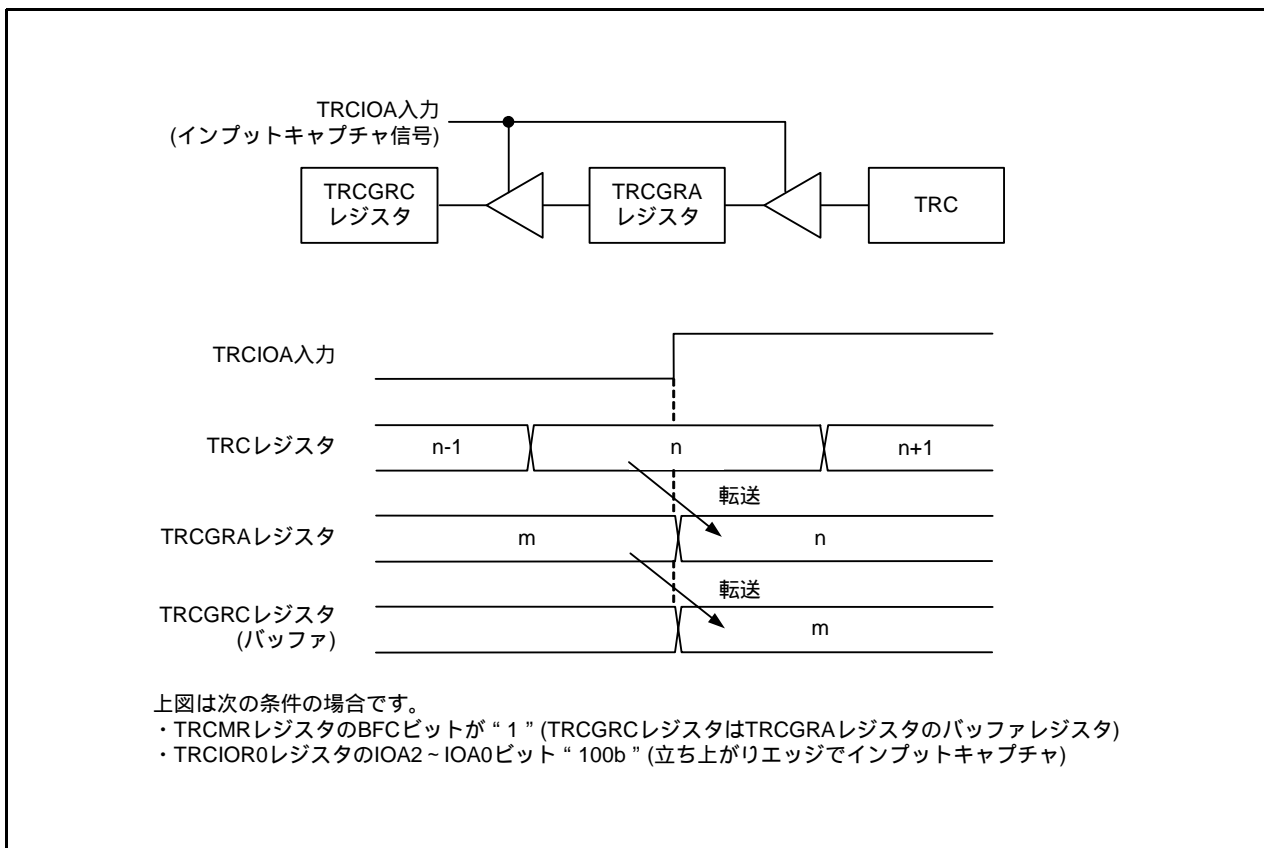


図 18.3 インプットキャプチャ機能のバッファ動作

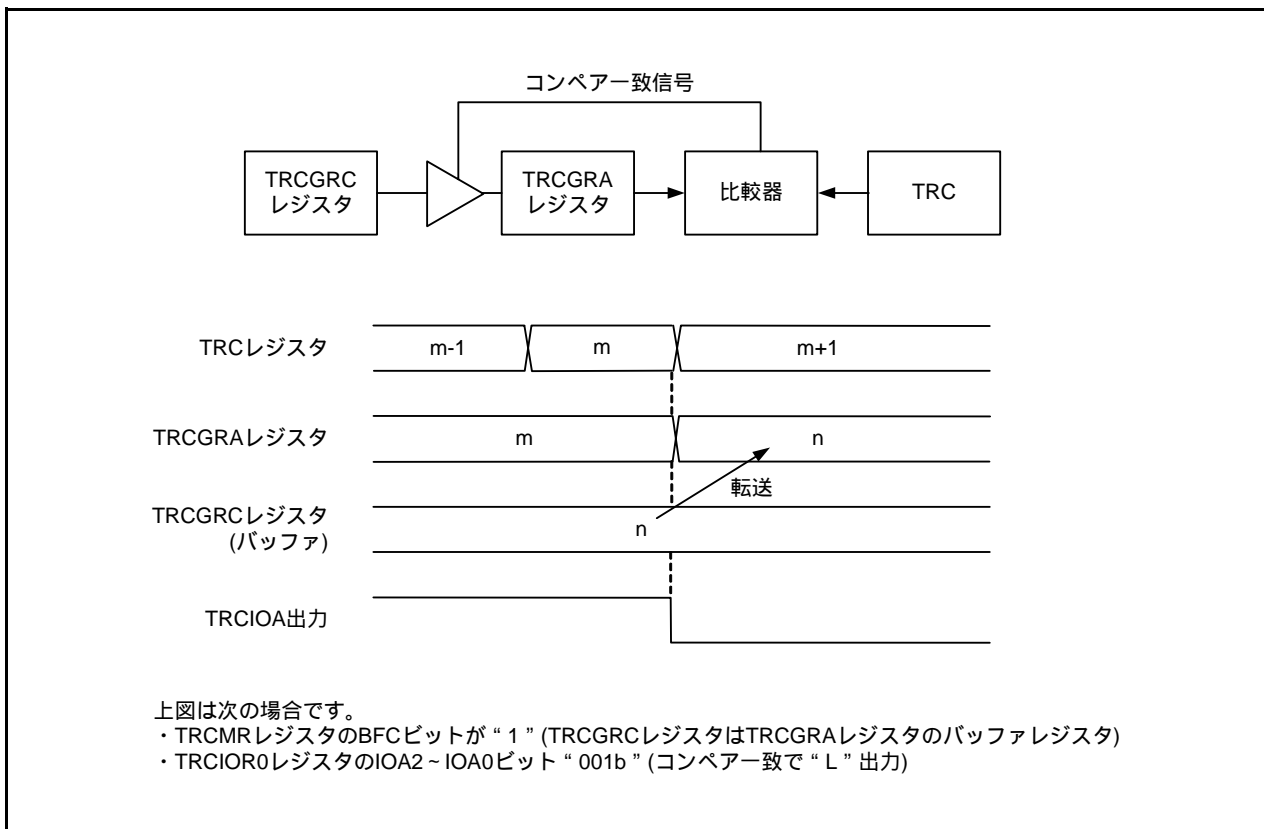


図18.4 アウトプットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- ・ TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- ・ TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

入力キャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

18.3.3 デジタルフィルタ

TRCTRg入力またはTRCIOj(j = A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図18.5にデジタルフィルタのブロック図を示します。

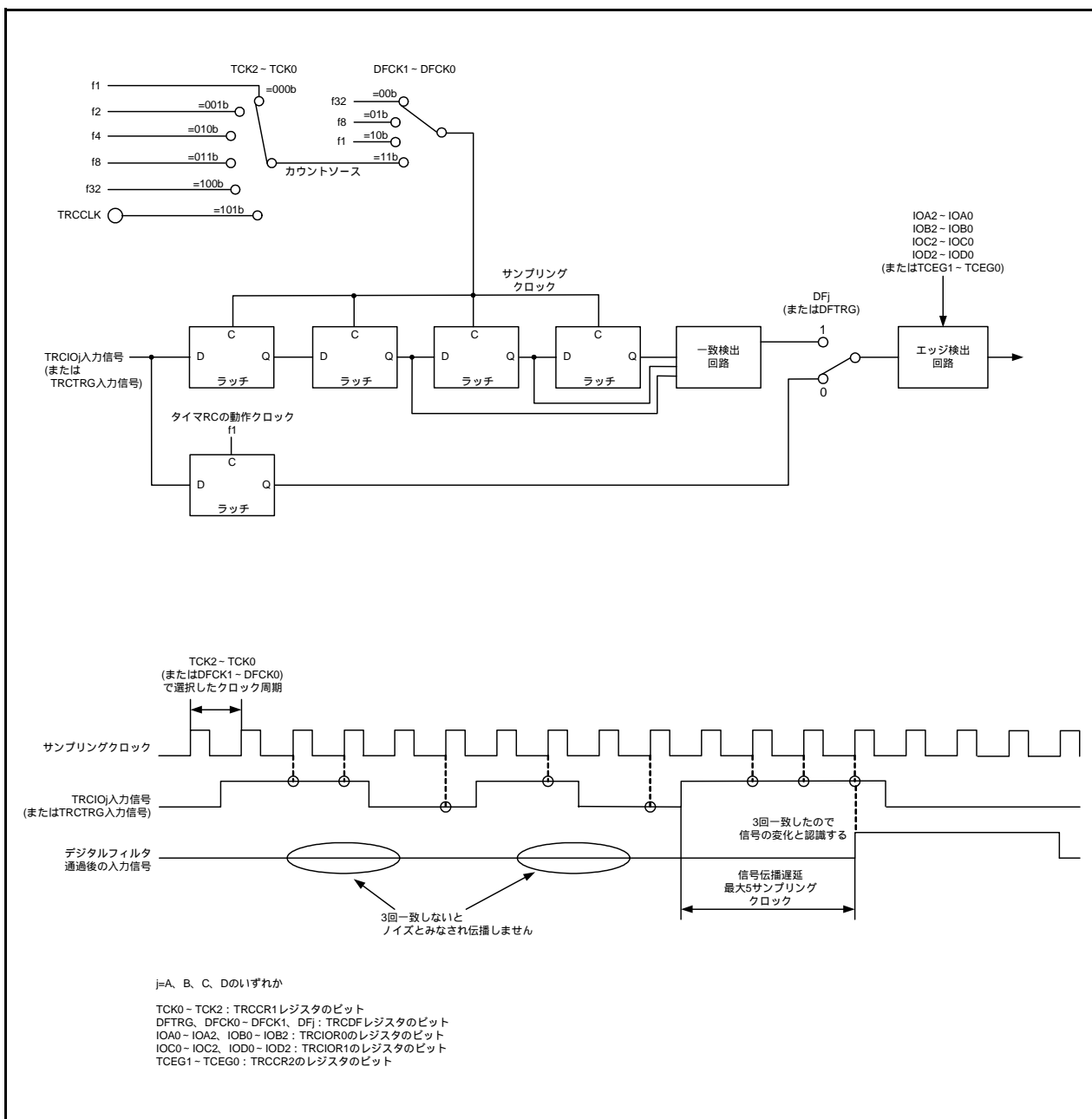


図 18.5 デジタルフィルタのブロック図

18.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”(または“H”)を入力すると、タイマRCの動作クロックの1~2サイクル後に、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。タイマRCの動作クロックについては「表 18.1 タイマRCの動作クロック」を参照してください。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- INT0ICレジスタのPOLビットで立ち上がりまたは立ち下がりエッジを選択する。
POLビットを“0”(立ち下がりエッジ)にしている場合は、 $\overline{\text{INT0}}$ 端子の立ち下がりパルス出力を強制遮断します。
POLビットを“1”(立ち上がりエッジ)にしている場合は、 $\overline{\text{INT0}}$ 端子の立ち上がりパルス出力を強制遮断します。
- $\overline{\text{INT0}}$ を選択したI/Oポートの方向レジスタを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで選択する。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「12.8 割り込み使用上の注意」参照)。
割り込みの詳細は「12. 割り込み」を参照してください。

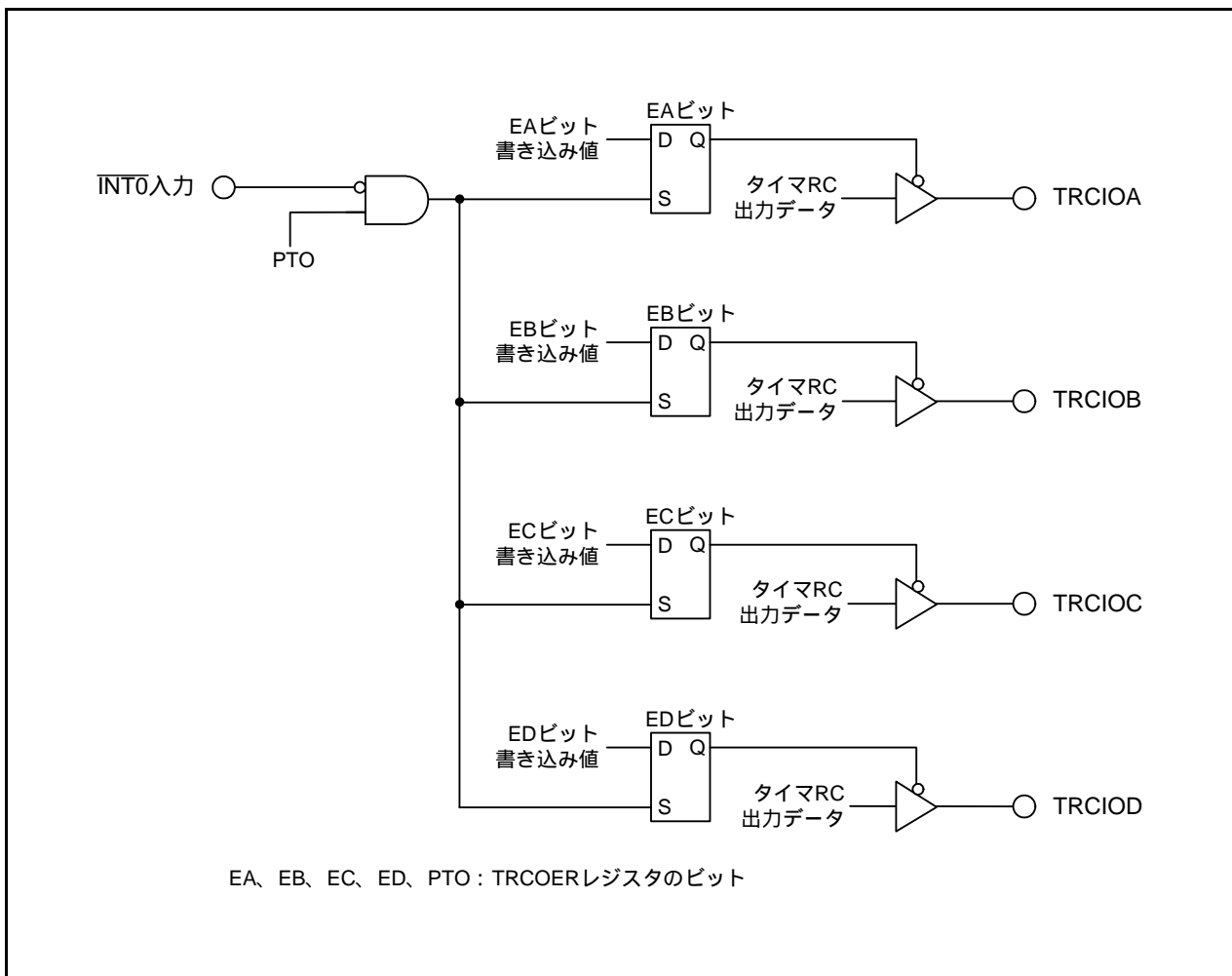


図18.6 パルス出力強制遮断

18.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

表 18.7 にインプットキャプチャ機能の仕様を、図 18.7 にインプットキャプチャ機能のブロック図を、表 18.8 にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図 18.8 にインプットキャプチャ機能の動作例を示します。

表 18.7 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk : カウントソースの周波数 • TRCCR1レジスタのCCLRビットが“1”(TRCGRAのインプットキャプチャでTRCレジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n : TRCGRAレジスタ設定値
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • インプットキャプチャ (TRCIOj入力の有効エッジ) • TRCレジスタオーバーフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> • インプットキャプチャ入力端子選択 • TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 • インプットキャプチャ入力の有効エッジ選択 • 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • バッファ動作(「18.3.2 バッファ動作」参照) • デジタルフィルタ(「18.3.3 デジタルフィルタ」参照) • TRCレジスタを“0000h”にするタイミング • オーバーフローまたはインプットキャプチャ

j = A、B、C、Dのいずれか

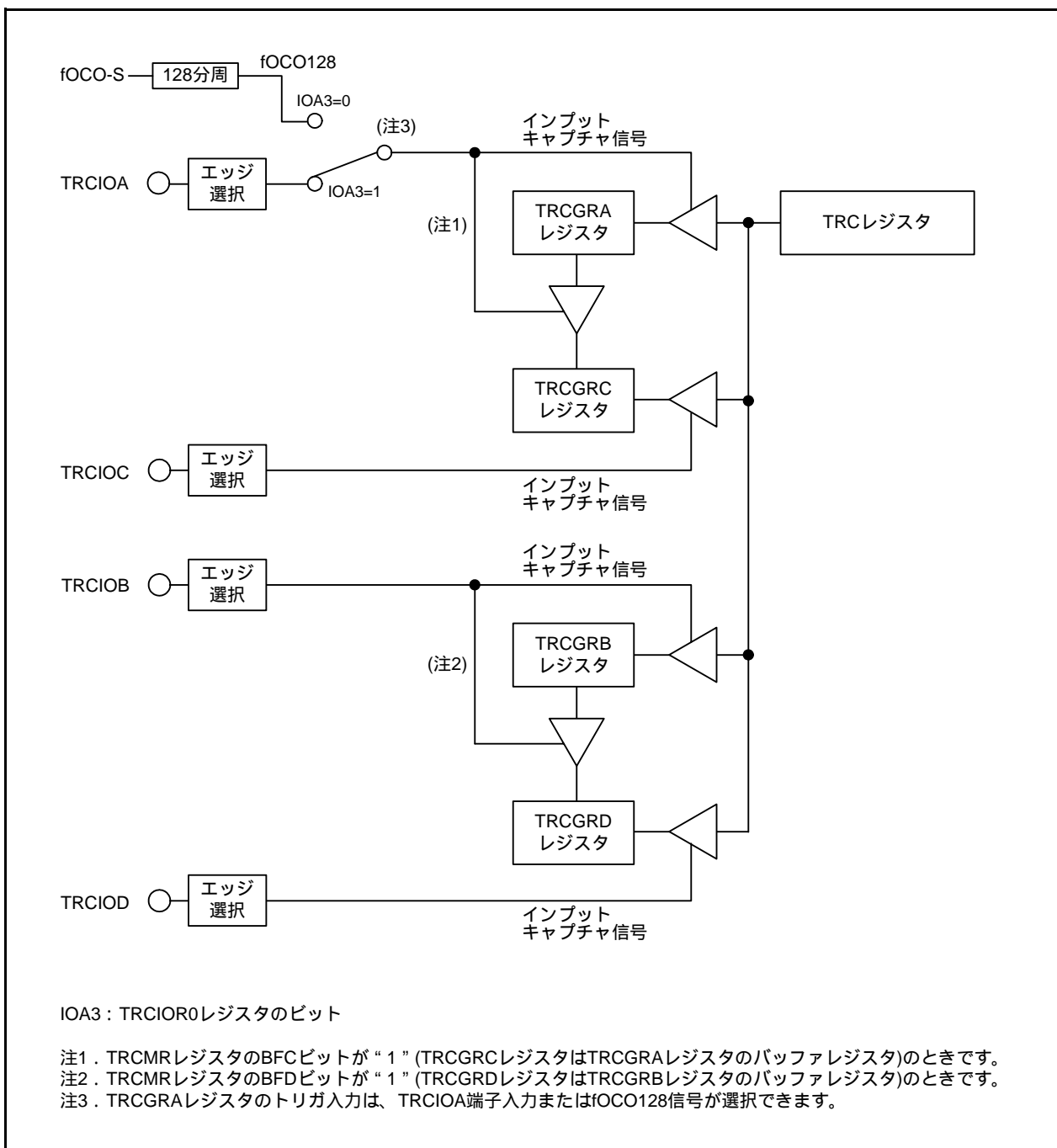


図18.7 インプットキャプチャ機能のブロック図

18.4.1 タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(インプットキャプチャ機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRAへインプットキャプチャ 01: 立ち下がりエッジでTRCGRAへインプットキャプチャ 10: 両エッジでTRCGRAへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	インプットキャプチャ機能では“1”にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット(注3)	0: fOCO128信号 1: TRCIOA 端子入力	R/W
b4	IOB0	TRCGRB 制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRBへインプットキャプチャ 01: 立ち下がりエッジでTRCGRBへインプットキャプチャ 10: 両エッジでTRCGRBへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	インプットキャプチャ機能では“1”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

18.4.2 タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRCへインプットキャプチャ 01: 立ち下がりエッジでTRCGRCへインプットキャプチャ 10: 両エッジでTRCGRCへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	インプットキャプチャ機能では“1”にしてください	R/W
b3	IOC3	TRCGRC レジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD 制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRDへインプットキャプチャ 01: 立ち下がりエッジでTRCGRDへインプットキャプチャ 10: 両エッジでTRCGRDへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	インプットキャプチャ機能では“1”にしてください	R/W
b7	IOD3	TRCGRD レジスタ機能選択ビット	“1”にしてください	R/W

注1. TRCMR レジスタのBFCビットを“1”(TRCGRA レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOA2ビットとTRCIOR1 レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMR レジスタのBFDビットを“1”(TRCGRB レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOB2ビットとTRCIOR1 レジスタのIOD2ビットの設定を同じにしてください。

表 18.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA	—	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB	—		TRCIOB
TRCGRC	BFC = 0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD = 0		TRCIOD
TRCGRC	BFC = 1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「18.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD = 1		TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD : TRCMR レジスタのビット

18.4.3 動作例

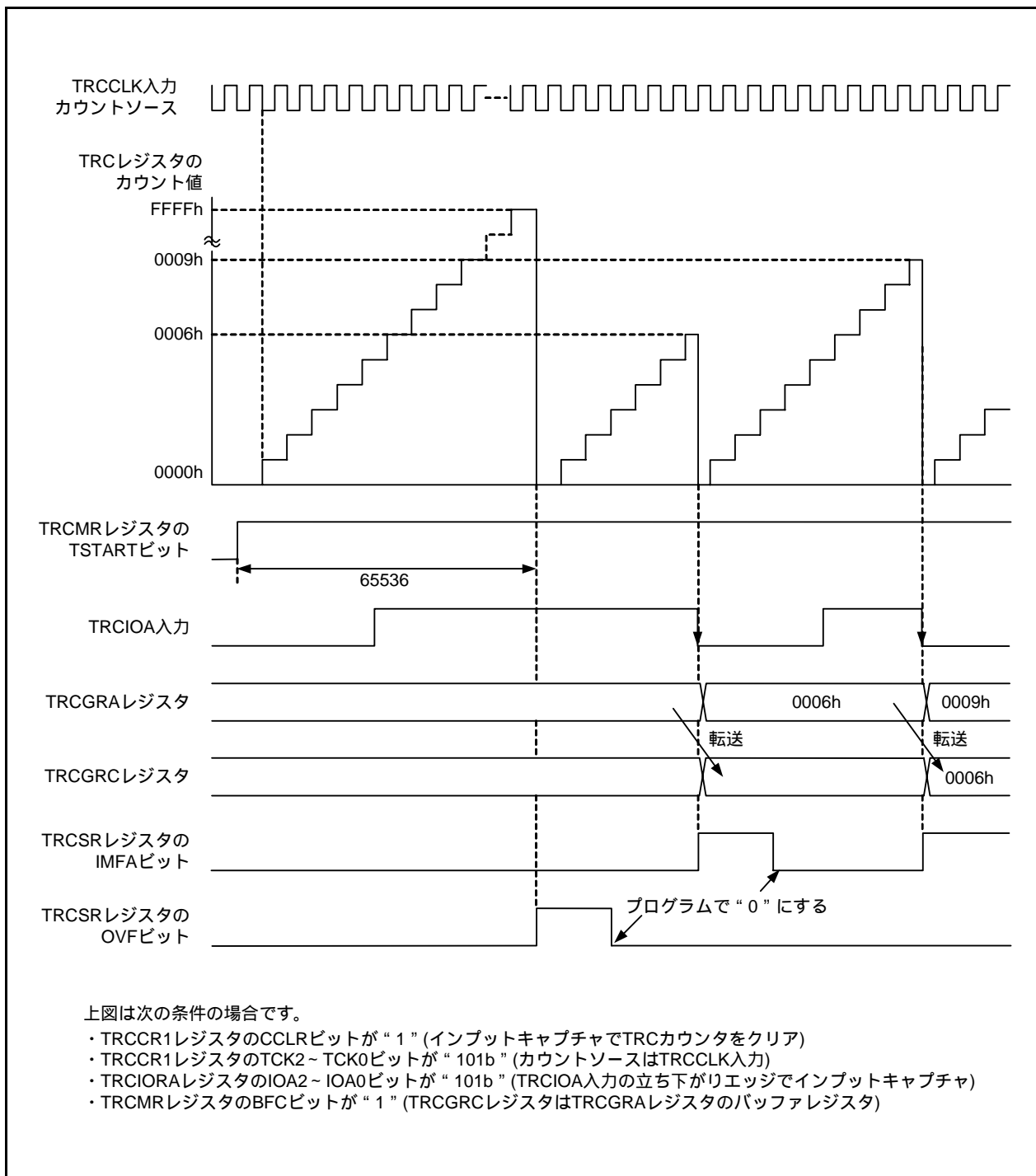


図18.8 インプットキャプチャ機能の動作例

18.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j = A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIOj端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 18.9 にアウトプットコンペア機能の仕様を、図 18.9 にアウトプットコンペア機能のブロック図を、表 18.10 にアウトプットコンペア機能時のTRCGRjレジスタの機能を、図 18.10 にアウトプットコンペア機能の動作例を示します。

表 18.9 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRCGRAレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 • TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRCレジスタを“0000h”にするタイミング オーバフロー、またはTRCGRAレジスタのコンペア一致 • バッファ動作(「18.3.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照) • タイマRCは出力しないことで内部タイマとして使用できる • TRCGRC、TRCGRDの出力端子変更 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用できる

j = A、B、C、Dのいずれか

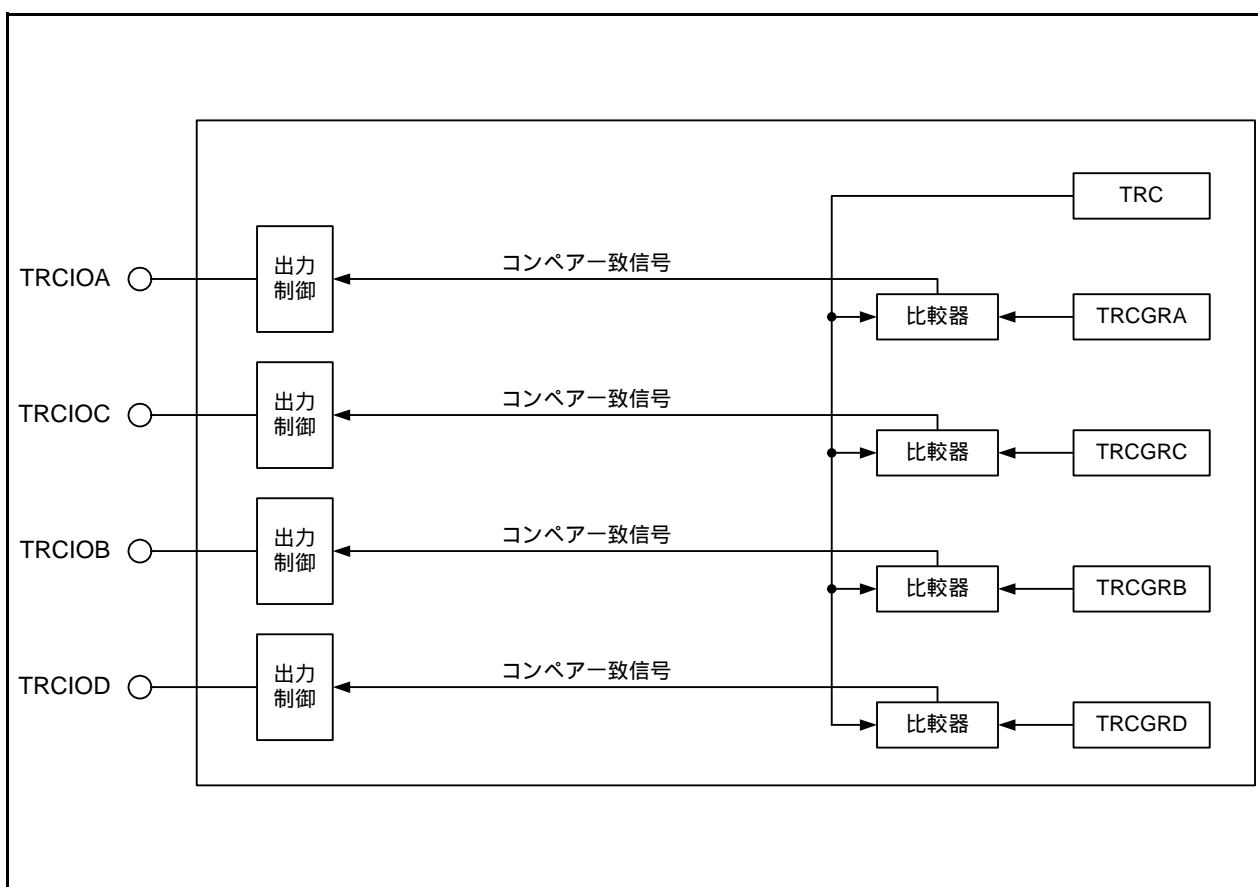


図 18.9 アウトプットコンペア機能のブロック図

18.5.1 タイマRC制御レジスタ1(TRCCR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0121h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0: 初期出力“L” 1: 初期出力“H”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

表 18.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA	—	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC = 0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD = 0		TRCIOD
TRCGRC	BFC = 1	バッファレジスタ。次回のコンペア値を書いてください。(「18.3.2 バッファ動作」参照)	TRCIOA
TRCGRD	BFD = 1		TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

18.5.2 タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	b1 b0 00: コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 01: TRCGRAのコンペア一致で“L”出力 10: TRCGRAのコンペア一致で“H”出力 11: TRCGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	アウトプットコンペア機能では“0”にしてください	R/W
b3	IOA3	インプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4	IOB0	TRCGRB 制御ビット	b5 b4 00: コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 01: TRCGRBのコンペア一致で“L”出力 10: TRCGRBのコンペア一致で“H”出力 11: TRCGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	アウトプットコンペア機能では“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのパッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのパッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

18.5.3 タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	b1 b0 00: コンペア一致による端子出力禁止 01: TRCGRCのコンペア一致で“L”出力 10: TRCGRCのコンペア一致で“H”出力 11: TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	アウトプットコンペア機能では“0”にしてください	R/W
b3	IOC3	TRCGRC レジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	b5 b4 00: コンペア一致による端子出力禁止 01: TRCGRDのコンペア一致で“L”出力 10: TRCGRDのコンペア一致で“H”出力 11: TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	アウトプットコンペア機能では“0”にしてください	R/W
b7	IOD3	TRCGRD レジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

18.5.4 タイマRC制御レジスタ2(TRCCR2) [タイマモード(アウトプットコンペア機能)時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット (注2)	0 : TRCGRA レジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

18.5.5 動作例

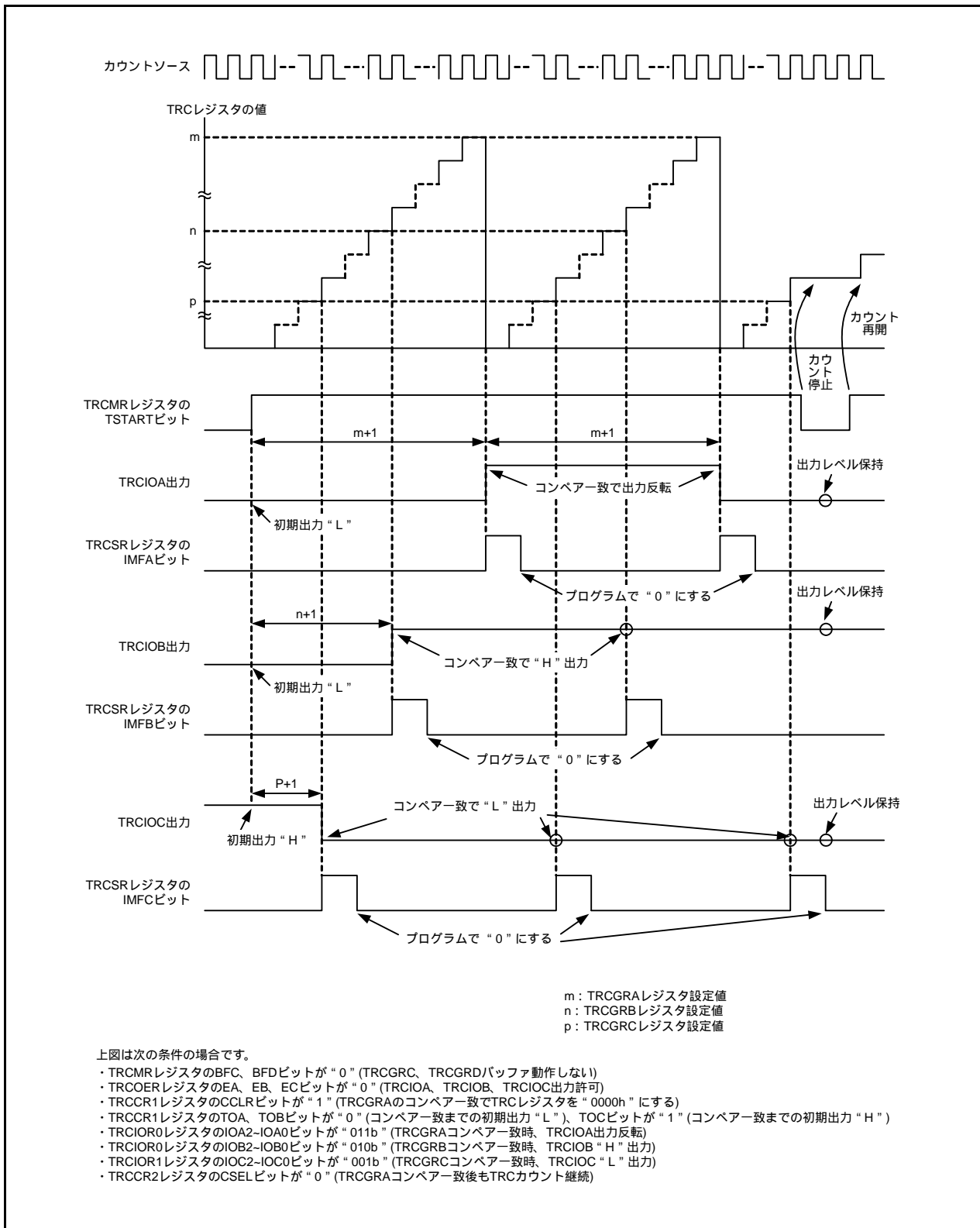


図 18.10 アウトプットコンペアー機能の動作例

18.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

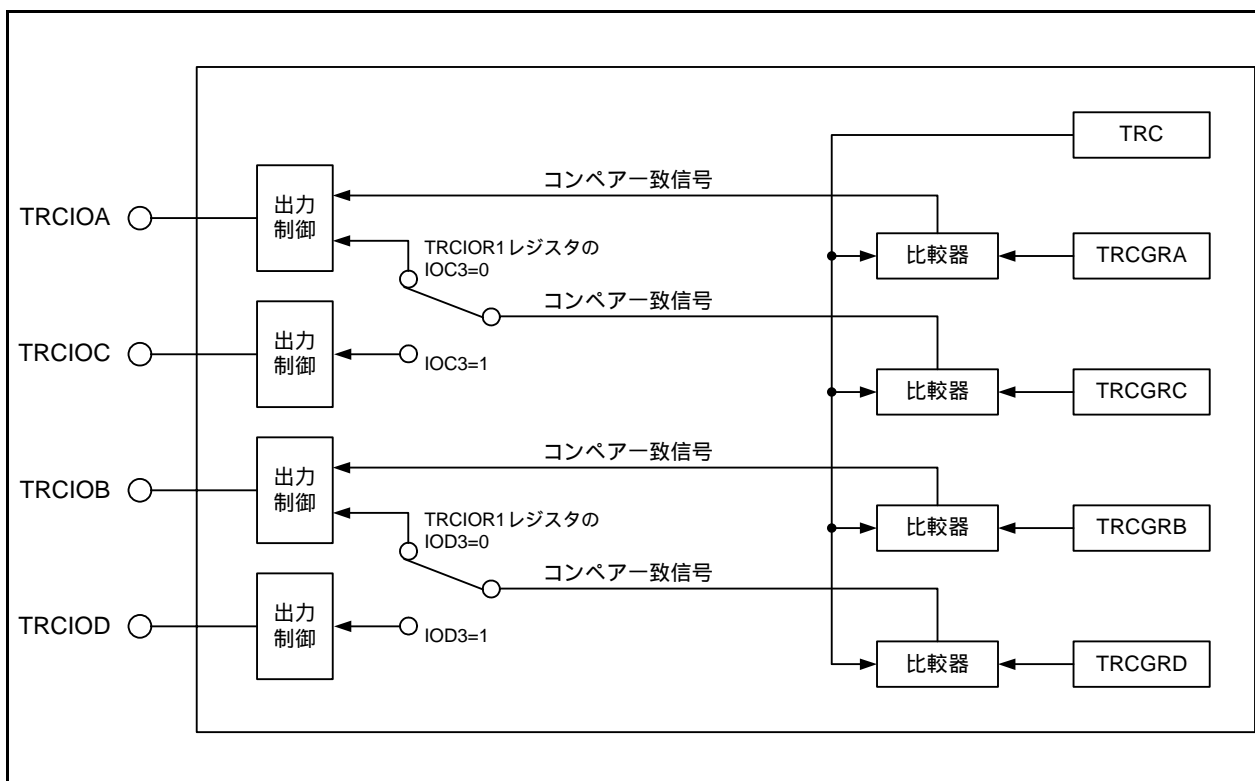


図18.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図18.12にTRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例を示します。

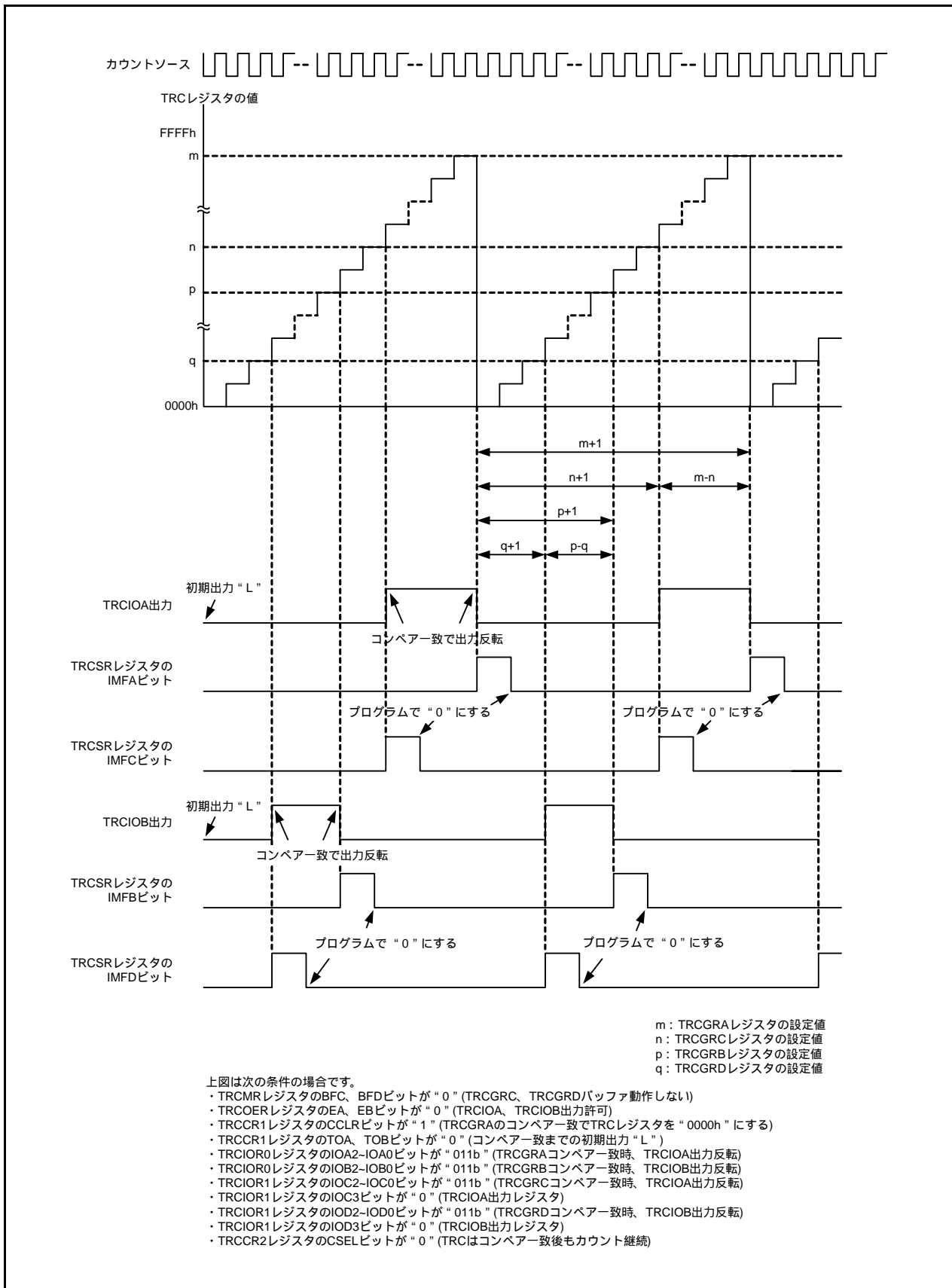


図18.12 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例

18.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子もPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表 18.11 にPWMモードの仕様を、図 18.13 にPWMモードのブロック図を、表 18.12 にPWMモード時のTRCGRjレジスタの機能を、図 18.14 ~ 図 18.15 にPWMモードの動作例を示します。

表 18.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f _k : カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRhレジスタ設定値  (アクティブレベルが“L”の場合)
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致) TRCレジスタオーバフロー
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子を1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。 アクティブレベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 バッファ動作(「18.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照)

j = A、B、C、Dのいずれか

h = B、C、Dのいずれか

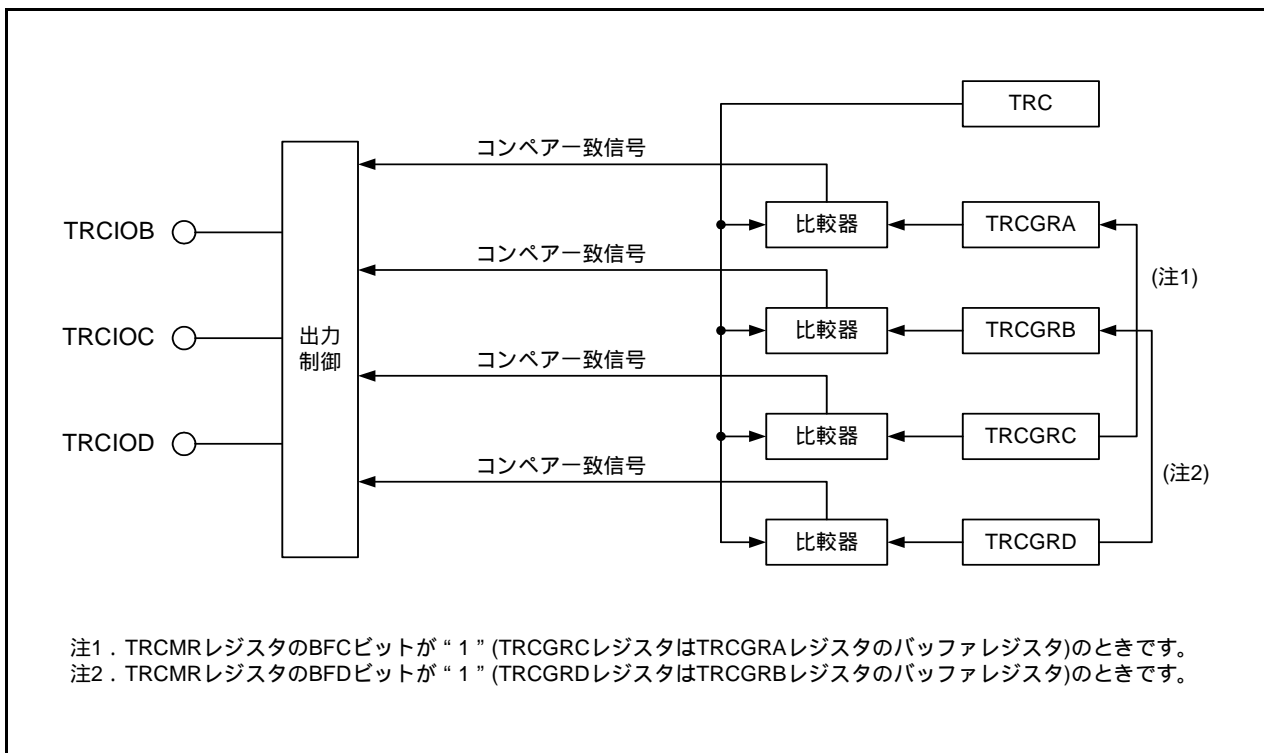


図 18.13 PWMモードのブロック図

18.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：設定しないでください 1 1 1：設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

18.6.2 タイマRC制御レジスタ2(TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			—
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0: TRCGRA レジスタとのコンペア一致後もカウント継続 1: TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表 18.12 PWMモード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRCGRB	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD = 0		TRCIOD
TRCGRC	BFC = 1	バッファレジスタ。次回のPWM周期を設定してください (「18.3.2 バッファ動作」参照)。	—
TRCGRD	BFD = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (「18.3.2 バッファ動作」参照)。	TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。

18.6.3 動作例

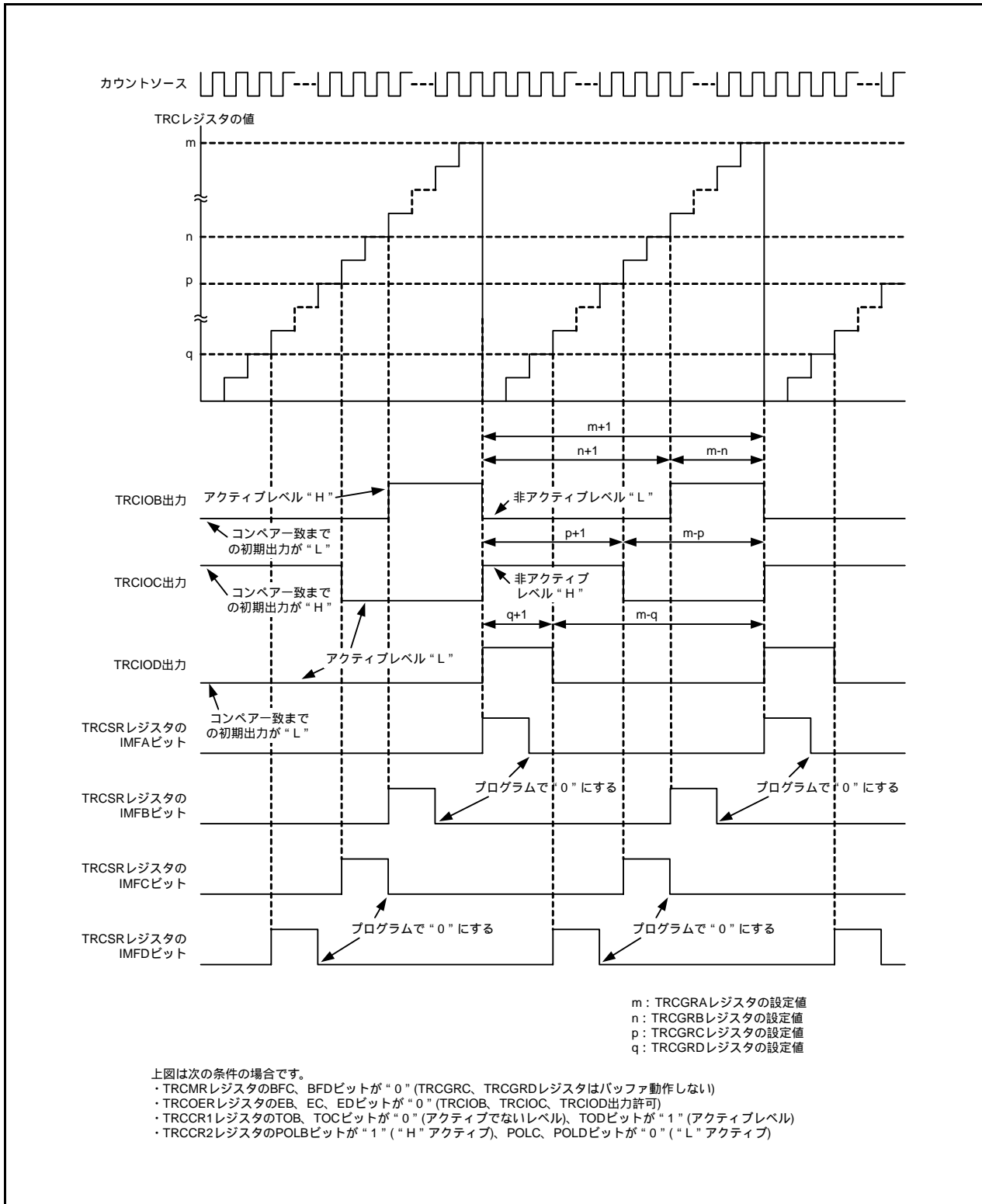


図18.14 PWMモードの動作例

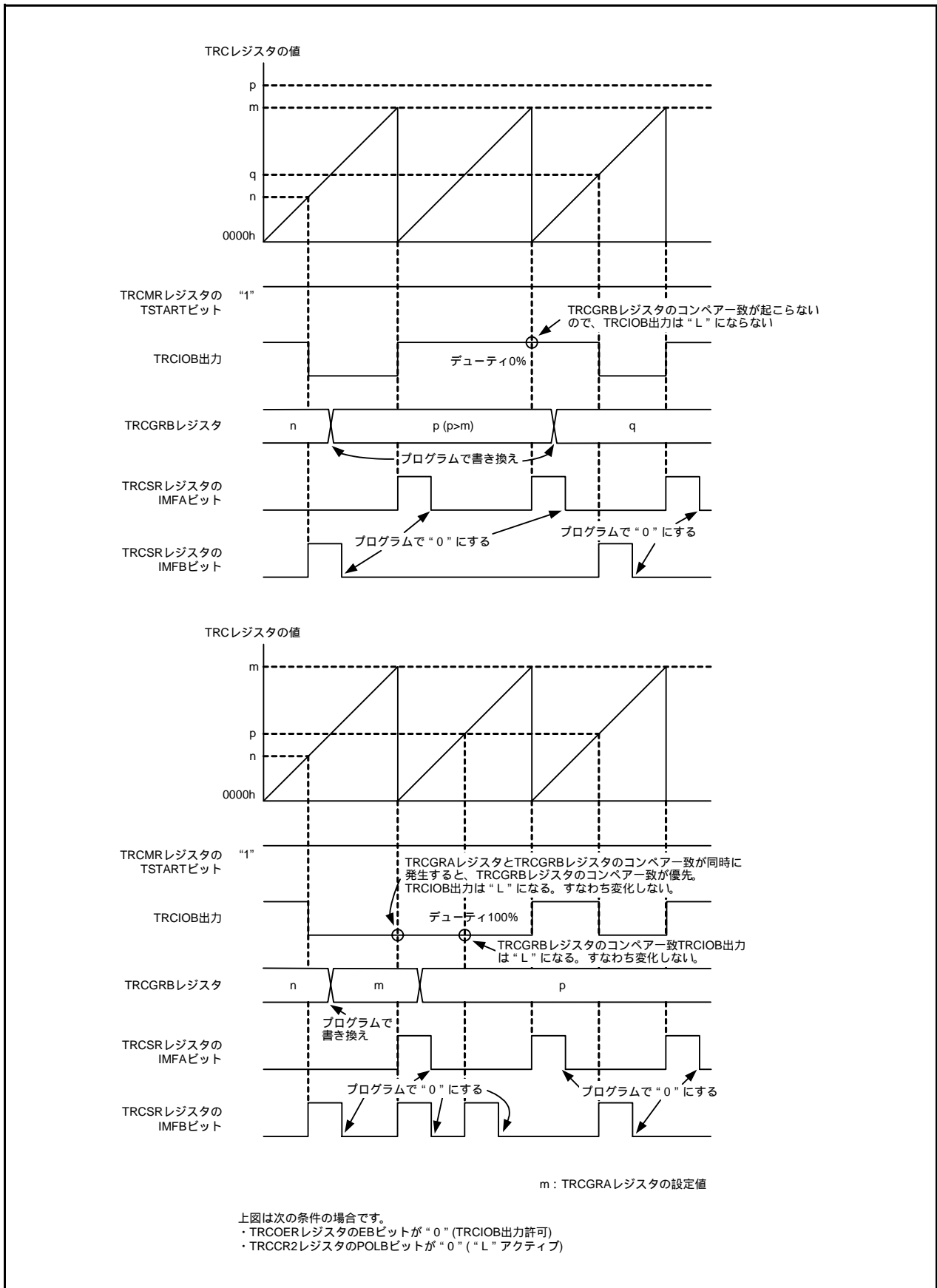


図18.15 PWMモードの動作例(デューティ0%、デューティ100%)

18.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間をおいて、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

図18.16にPWM2モードのブロック図を、表18.13にPWM2モードの仕様を、表18.14にPWM2モード時のTRCGRjレジスタの機能を、図18.17～図18.19にPWM2モードの動作例を示します。

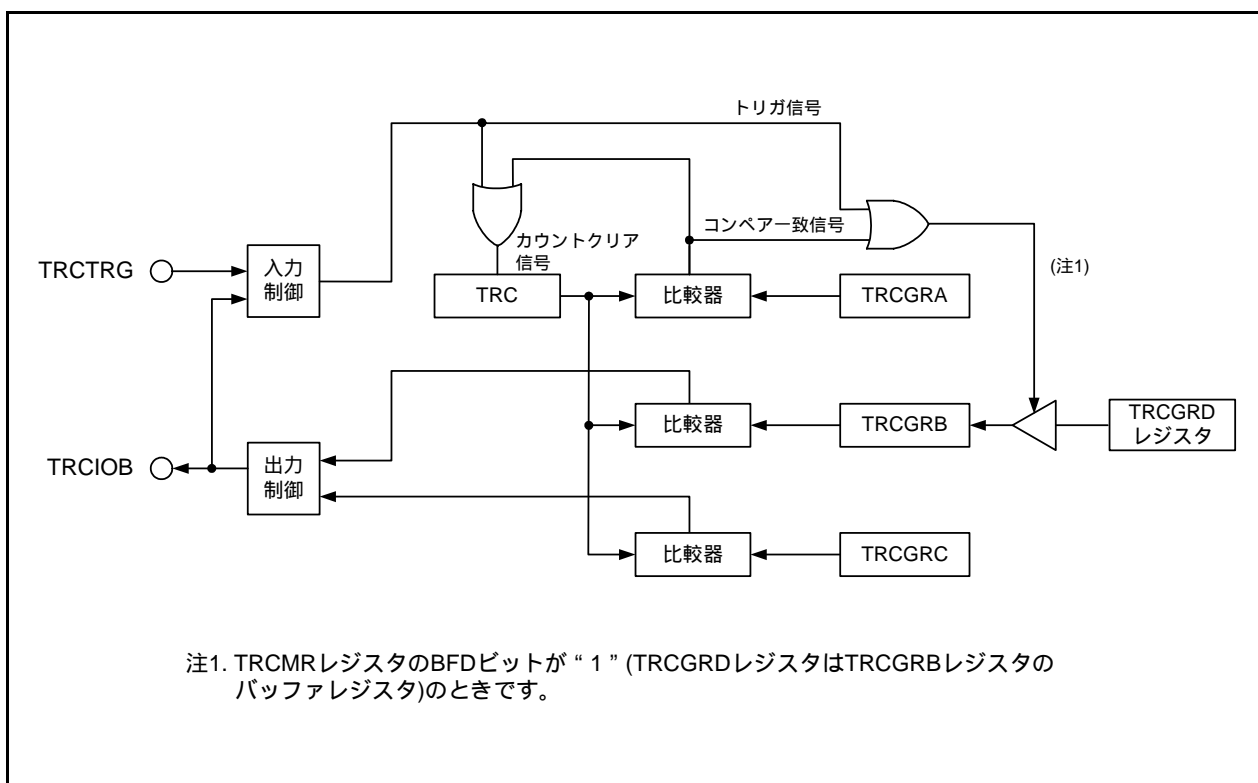
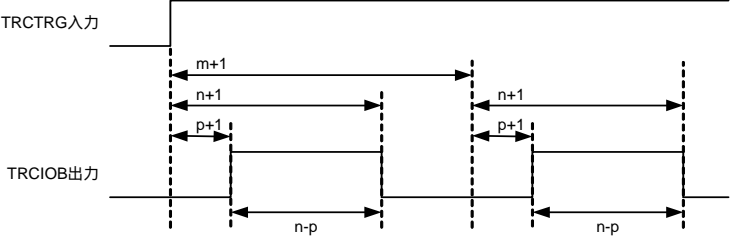


図18.16 PWM2モードのブロック図

表 18.13 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期：$1/fk \times (m+1)$ (TRCTRГ入力がない場合) アクティブレベル幅：$1/fk \times (n-p)$ カウント開始またはトリガからのウェイト時間：$1/fk \times (p+1)$</p> <p>fk：カウントソースの周波数 m：TRCGRAレジスタ設定値 n：TRCGRBレジスタ設定値 p：TRCGRCレジスタ設定値</p>  <p>(TRCTRГ：立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> • TRCCR2レジスタのTCEG1～TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み • TRCCR2レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力
カウント停止条件	<ul style="list-style-type: none"> • TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み(TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。 • TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペア一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。
割り込み発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> • 外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 • バッファ動作(「18.3.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照) • デジタルフィルタ(「18.3.3 デジタルフィルタ」参照)

j = A、B、C、Dのいずれか

18.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペア一致で“H”出力 TRCGRBのコンペア一致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペア一致で“L”出力 TRCGRBのコンペア一致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

18.7.2 タイマRC制御レジスタ2(TRCCR2)[PWM2モード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRA レジスタとのコンペア一致後もカウンタ継続 1 : TRCGRA レジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

18.7.3 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2モード時]

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能 選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース(TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

表 18.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC (注1)	BFC = 0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD = 0	(PWM2モードでは使用しません)	—
TRCGRD	BFD = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください。 (「18.3.2 バッファ動作」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

18.7.4 動作例

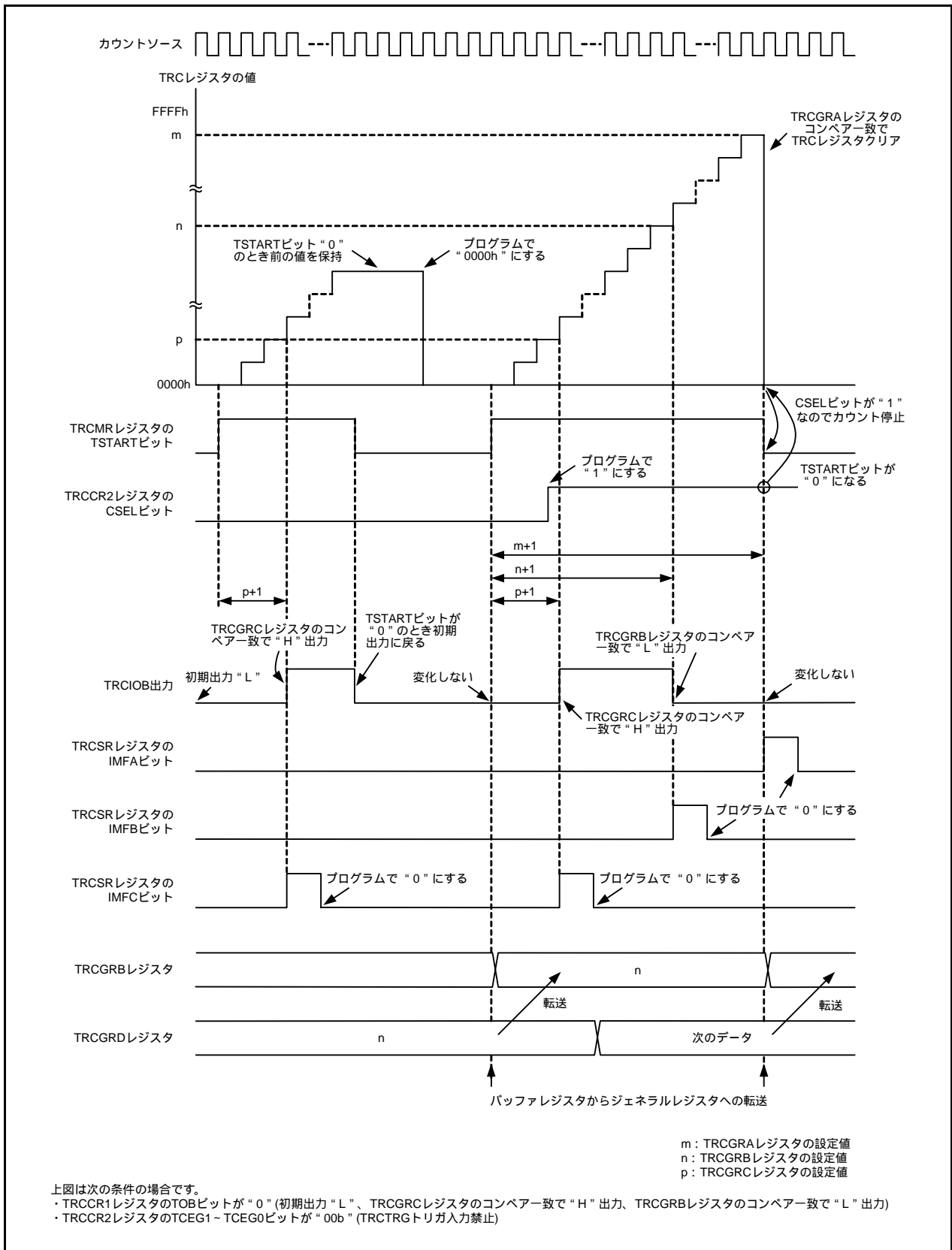


図 18.17 PWM2モードの動作例 (TRCTRGTリガ入力禁止の場合)

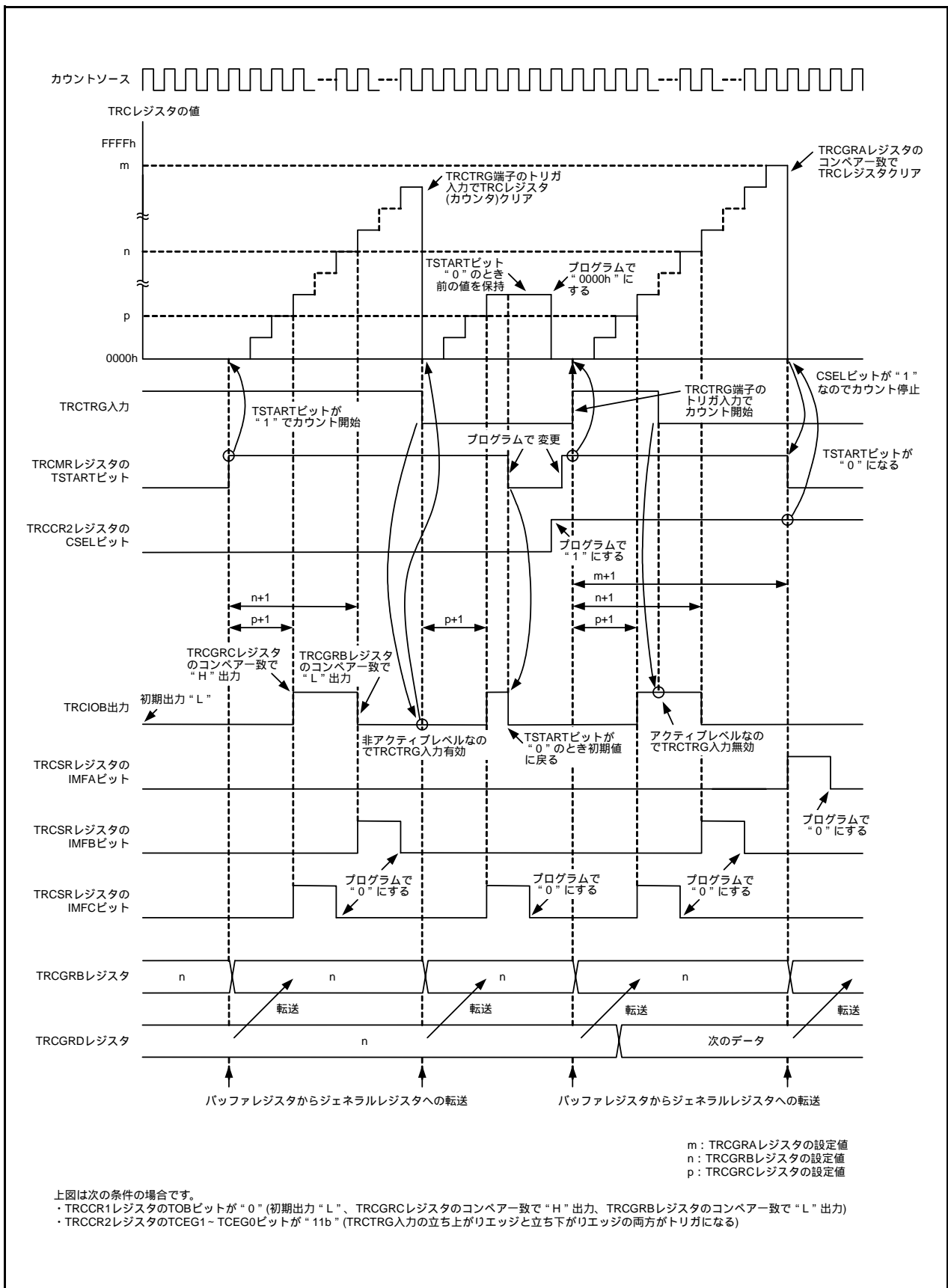


図 18.18 PWM2モードの動作例 (TRCTRGRトリガ入力許可の場合)

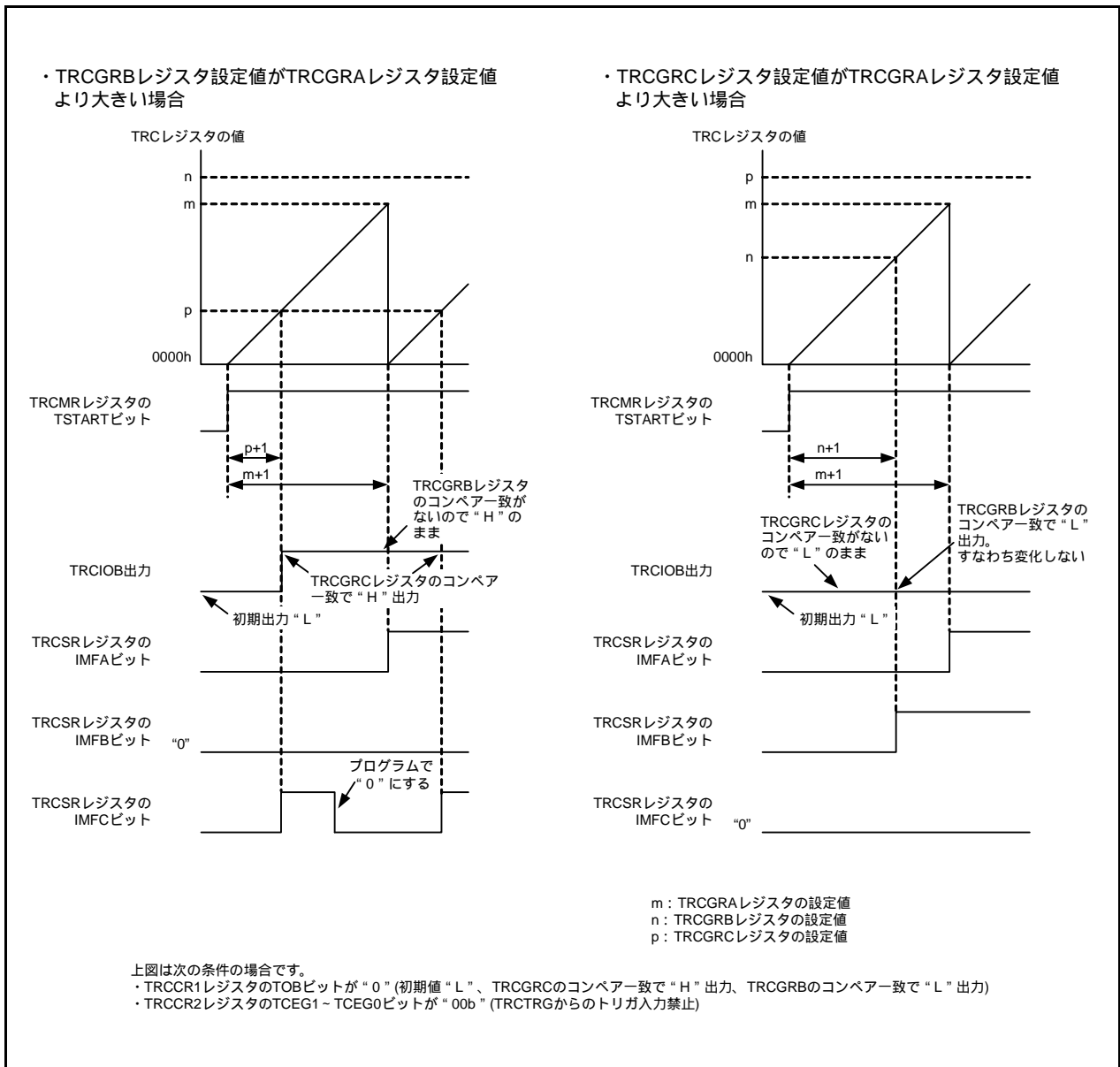


図 18.19 PWM2モードの動作例(デューティ 0%、デューティ 100%)

18.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表 18.15 にタイマRC割り込み関連レジスタを、図 18.20 にタイマRC割り込みのブロック図を示します。

表 18.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

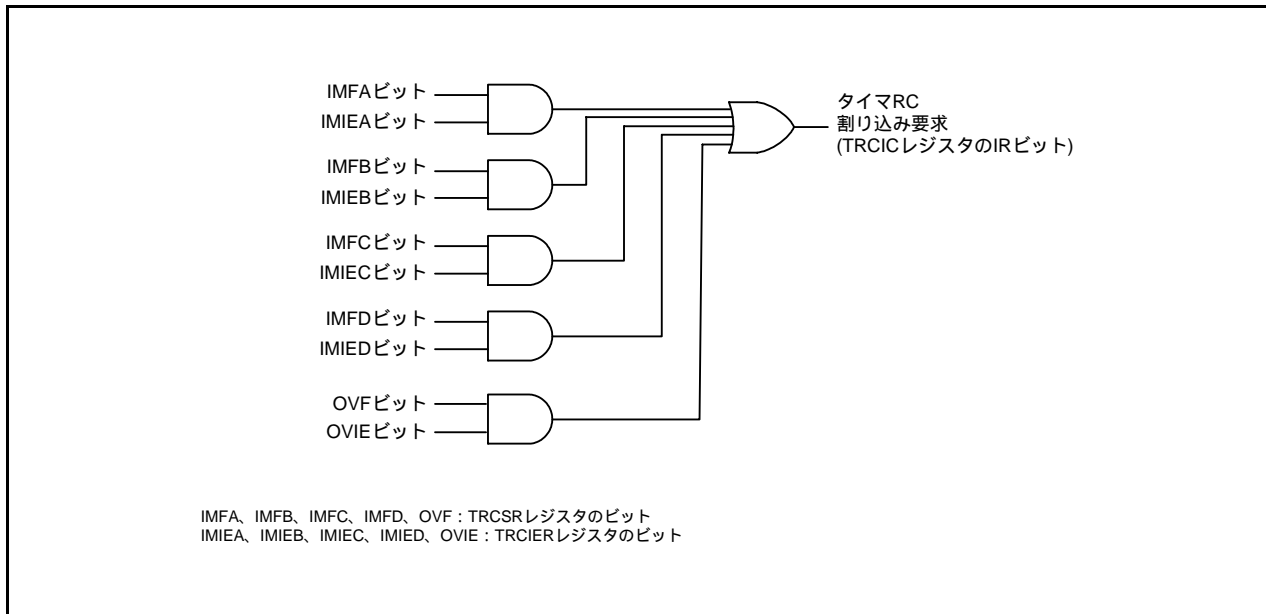


図 18.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「18.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「18.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「12.3 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

18.9 タイマRC使用上の注意

18.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC      ;書き込み
                   JMP.B  L1          ;JMP.B命令
L1:                MOV.W  TRC,DATA   ;読み出し

```

18.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR    ;書き込み
                   JMP.B  L1          ;JMP.B命令
L1:                MOV.B  TRCSR,DATA   ;読み出し

```

18.9.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

18.9.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表 18.1 タイマRCの動作クロック」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図18.5 デジタルフィルタのブロック図」参照)

- TRCIOj(j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インพุットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0～IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

18.9.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

19. タイマRJ

19.1 概要

タイマRJ0は16ビットタイマです。

タイマRJ0は1本の入出力端子を持ちます。

タイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRJ0レジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表 19.2 ~ 表 19.6の各モードの仕様を参照)。

タイマRJのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 19.1にタイマRJ0のブロック図を、表 19.1にタイマRJ0の端子構成を示します。タイマRJ0は、次の5種類のモードを持ちます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- ・イベントカウンタモード 外部パルスをカウントするモード
- ・パルス幅測定モード 外部パルスのパルス幅を測定するモード
- ・パルス周期測定モード 外部パルスのパルス周期を測定するモード

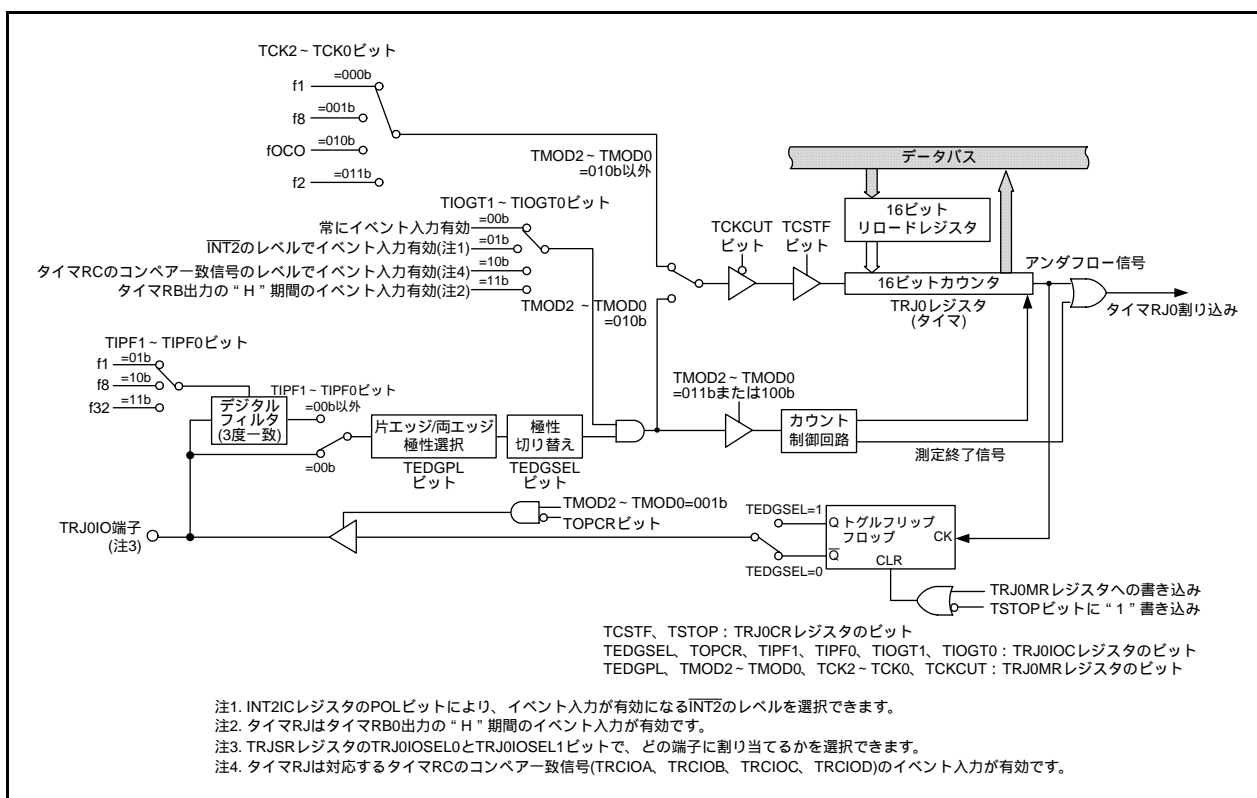


図 19.1 タイマRJ0のブロック図

表 19.1 タイマRJ0の端子構成

端子名	割り当てる端子	入出力	機能
TRJ0IO	P8_3	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。

19.2 レジスタの説明

19.2.1 モジュールスタンバイ制御レジスタ1 (MSTCR1)

アドレス 0010h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTTRJ1	MSTTRJ0	MSTTRH	MSTTRB1	MSTTRB0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRB0	タイマRB0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTTRB1	タイマRB1スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	MSTTRH	予約ビット	“1” にしてください	R/W
b3	MSTTRJ0	タイマRJ0スタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b4	MSTTRJ1	予約ビット	“1” にしてください	R/W
b5	—	予約ビット	“0” にしてください	R/W
b6	—			
b7	—			

注1. MSTTRB0ビットが“1”(スタンバイ)のとき、タイマRB0関連レジスタ(0108h ~ 010Eh番地)へのアクセスは無効になります。

注2. MSTTRB1ビットが“1”(スタンバイ)のとき、タイマRB1関連レジスタ(0098h ~ 009Eh番地)へのアクセスは無効になります。

注3. MSTTRJ0ビットが“1”(スタンバイ)のとき、タイマRJ0関連レジスタ(0080h ~ 0086h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

19.2.2 タイマRJ0制御レジスタ(TRJ0CR)

アドレス 0080h番地(TRJ0CR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRJ0カウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRJ0カウントステータスフラグ(注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRJ0カウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRJ0アンダフローフラグ(注3、5)	0: アンダフローなし 1: アンダフローあり	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

注1. TSTART、TCSTFビットの使用上の注意事項については、「19.8 タイマRJ使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRJ0レジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードではTEDGFビットを使用しません。

注5. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRJ0CRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

19.2.3 タイマRJ0 I/O制御レジスタ(TRJ0IOC)

アドレス 0081h番地(TRJ0IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	—	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJ0IO極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRJ0IO出力制御ビット		R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJ0IO入力フィルタ選択ビット	動作モードによって機能が異なる	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJ0IOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

19.2.4 タイマRJ0モードレジスタ(TRJ0MR)

アドレス 0082h番地(TRJ0MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRJ0動作モード選択ビット	b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	TEDGPL			TRJ0IO入力極性選択ビット
b4	TCK0	タイマRJ0カウントソース選択ビット	b6 b5 b4 000: f1 001: f8 010: fOCO 011: f2 100: 設定しないでください 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT			タイマRJ0カウントソース遮断ビット

注1. TEDGPLビットを“1”(両エッジ)にする場合、TRJ0IOCレジスタのTEDGSELビットを“0”(立ち上がりエッジでカウント)にしてください。両エッジの設定は、イベントカウンタモードでのみ使用できます。

TRJ0CRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRJ0MRレジスタを変更してください。

19.2.5 タイマRJ0 イベント端子選択レジスタ (TRJ0ISR)

アドレス 0083h 番地 (TRJ0ISR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	RCCPSEL2	RCCPSEL1	RCCPSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCCPSEL0	タイマRCコンペア入力イベント 選択ビット(注1)	b1 b0 00: TRCIOD出力を使用する 01: TRCIOC出力を使用する 10: TRCIOB出力を使用する 11: TRCIOA出力を使用する	R/W
b1	RCCPSEL1			R/W
b2	RCCPSEL2	タイマRCコンペアイベント反転 ビット	0: コンペア一致信号の“L”期間カウント 1: コンペア一致信号の“H”期間カウント	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は “0”。		—
b4	—			
b5	—			
b6	—			
b6	—			
b7	—			

注1. TRJ0ISRレジスタのRCCPSEL0ビット～RCCPSEL1ビットによって、タイマRCのコンペア出力を選択します。

19.2.6 タイマRJ0 レジスタ (TRJ0)

アドレス 0084h ~ 0085h 番地 (TRJ0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b15 ~ b0	タイマモード	内部カウントソースをカウント	0000h ~ FFFFh	R/W
	パルス出力モード		0000h ~ FFFFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	0000h ~ FFFFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	0001h ~ FFFFh (注3)	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	0001h ~ FFFFh (注3)	R/W

注1. TRJ0CRレジスタのTSTOPビットに“1”を書くとTRJ0レジスタは“FFFFh”になります。

注2. TRJ0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

注3. パルス幅測定モードおよびパルス周期測定モードでは、TRJ0レジスタに0000hを設定しないでください。

19.2.7 タイマRJ端子選択レジスタ (TRJSR)

アドレス 0180h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRJ0IOSEL1	TRJ0IOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJ0IOSEL0	TRJ0IO端子選択ビット	b1 b0 00: TRJ0IO端子は使用しない 01: P8_3に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b1	TRJ0IOSEL1			R/W
b2	—	予約ビット	"0" にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

タイマRJ0の入出力端子を使用する場合は、TRJSRレジスタを設定してください。

タイマRJ0の関連レジスタを設定する前に、TRJSRレジスタを設定してください。また、タイマRJ0の動作中はTRJSRレジスタの設定値を変更しないでください。

19.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 19.2)。

表 19.2 タイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(m+1)$ m : TRJ0レジスタの設定値
カウント開始条件	TRJ0CRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> •TRJ0CRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRJ0CRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRJ0のアンダフロー時 [タイマRJ0割り込み]
TRJ0IO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRJ0レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「19.3.2 カウント中のタイマ書き込み制御」参照)

19.3.1 タイマRJ0 I/O制御レジスタ(TRJ0IOC)[タイマモード時]

アドレス 0081h番地(TRJ0IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	—	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJ0IO極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRJ0IO出力制御ビット		R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJ0IO入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJ0IOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

19.3.2 カウント中のタイマ書き込み制御

タイマRJ0はリロードレジスタとカウンタがあります。タイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

図 19.2にタイマRJ0カウント中にカウント値を書き換えた場合の動作例を示します。

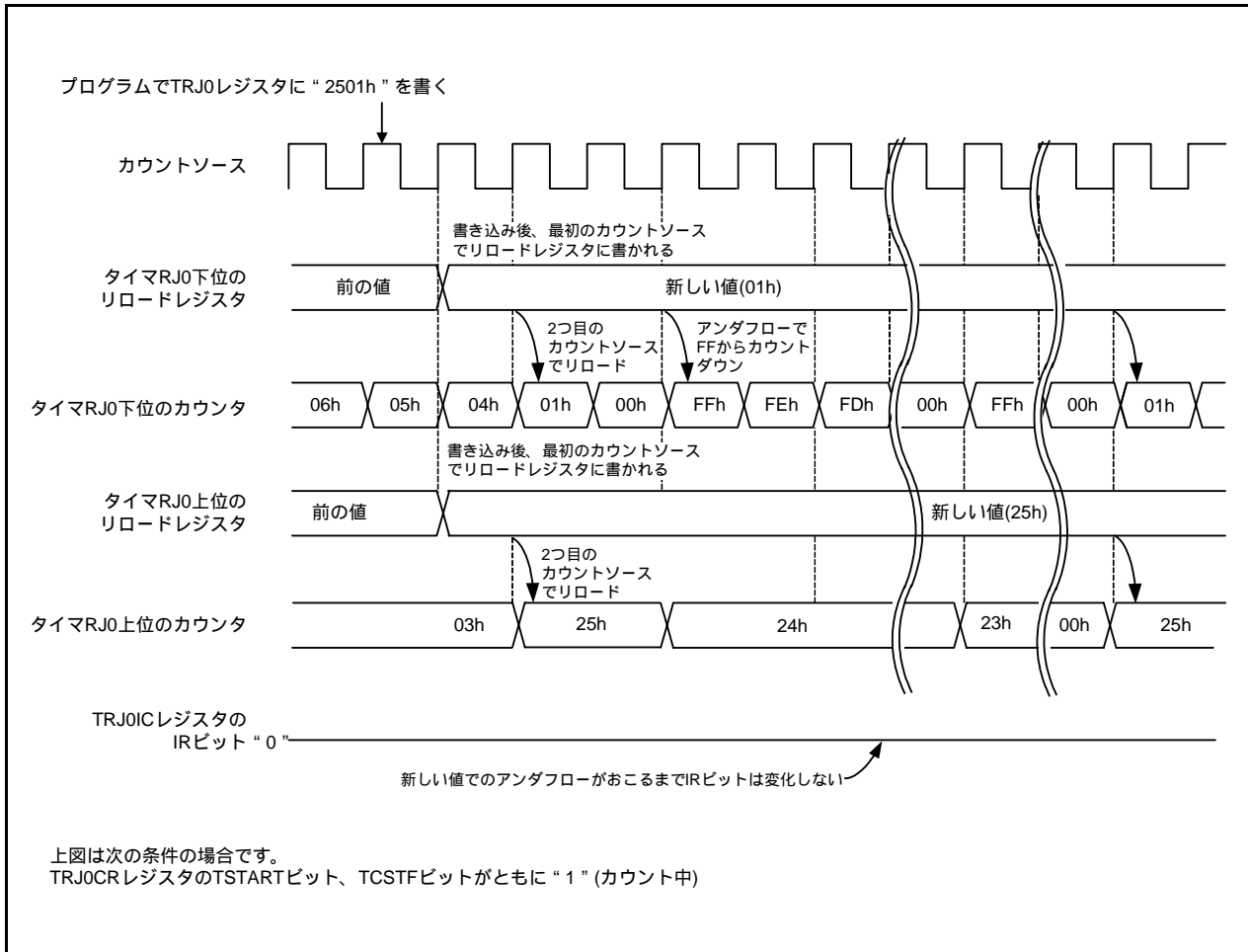


図 19.2 タイマRJ0カウント中にカウント値を書き換えた場合の動作例

19.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRJ0IO端子から出力するモードです(表 19.3)。

表 19.3 パルス出力モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(m+1)$ m : TRJ0レジスタの設定値
カウント開始条件	TRJ0CRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> •TRJ0CRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRJ0CRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRJ0のアンダフロー時 [タイマRJ0割り込み]
TRJ0IO信号端子機能	パルス出力、またはプログラマブル出力ポート
タイマの読み出し	TRJ0レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「19.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> •TRJ0IO出力極性切り替え機能 TRJ0IOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1) •パルス出力停止機能 TRJ0IOCレジスタのTOPCRビットでTRJ0IO端子からのパルス出力を停止 •TRJ0IO端子選択機能 TRJSRレジスタのTRJ0IOSEL0 ~ TRJ0IOSEL1ビットでTRJ0IO端子を使用するかどうかを選択

注1. TRJ0MRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

19.4.1 タイマRJ0 I/O制御レジスタ (TRJ0IOC)[パルス出力モード時]

アドレス 0081h番地 (TRJ0IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	—	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJ0IO極性切り替えビット	0: “H” から TRJ0IO出力開始 1: “L” から TRJ0IO出力開始	R/W
b1	TOPCR	TRJ0IO出力制御ビット	0: TRJ0IO出力 1: I/Oポート	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJ0IO入力フィルタ選択ビット	パルス出力モードでは“0” にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJ0IOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

19.5 イベントカウンタモード

TRJ0IO端子から入力する外部信号をカウントするモードです(表 19.4)。

表 19.4 イベントカウンタモードの仕様

項 目	仕 様
カウントソース	TRJ0IO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(m+1)$ m : TRJ0レジスタの設定値
カウント開始条件	TRJ0CRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> •TRJ0CRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRJ0CRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRJ0のアンダフロー時 [タイマRJ0割り込み]
TRJ0IO信号端子機能	カウントソース入力
タイマの読み出し	TRJ0レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「19.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> •TRJ0IO入力極性切り替え機能 TRJ0IOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択 •カウントソース入力端子選択機能 TRJSRレジスタのTRJ0IOSEL0 ~ TRJ0IOSEL1ビットでTRJ0IO端子を使用するかどうかを選択 •デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRJ0IOCレジスタのTIPF0 ~ TIPF1ビットで選択 •イベント入力制御機能 TRJ0IO端子へのイベント入力の有効期間をTRJ0IOCレジスタのTIOGT0 ~ TIOGT1ビットで選択

19.5.1 タイマRJ0 I/O制御レジスタ(TRJ0IOC)[イベントカウンタモード時]

アドレス 0081h番地(TRJ0IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	—	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJ0IO極性切り替えビット(注1)	0 : TRJ0IO入力の立ち上がりエッジでカウント 1 : TRJ0IO入力の立ち下がりエッジでカウント	R/W
b1	TOPCR	TRJ0IO出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJ0IO入力フィルタ選択ビット(注2)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJ0IOイベント入力制御ビット	b7 b6 00 : 常にイベント入力有効 01 : INT2のレベルでイベント入力有効(注3) 10 : タイマRCのコンペア一致信号のレベルでイベント入力有効(注5) 11 : タイマRB出力の“H”期間のイベント入力有効(注4)	R/W
b7	TIOGT1			R/W

注1. カウント中にTEDGSELビットの設定値を変更しないでください。

注2. TRJ0IO端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

注3. INTENレジスタのINT2PLビットを“0”(片エッジ)にしてください。

INT2ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が有効になります。POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が有効になります。

注4. タイマRJはタイマRB0出力の“H”期間のイベント入力が有効です。

注5. タイマRJは対応するタイマRCのコンペア一致信号(TRCIOA、TRCIOB、TRCIOC、TRCIOD)のイベント入力が有効です。TRJ0ISRレジスタのRCCPSEL0ビット~RCCPSEL1ビットによって、タイマRCのコンペア出力を選択、またRCCPSEL2ビットによってタイマRCのコンペア一致信号のレベルを選択します。

19.6 パルス幅測定モード

TRJ0IO端子から入力する外部信号のパルス幅を測定するモードです(表 19.5)。

図 19.3にパルス幅測定モード時の動作例を示します。

表 19.5 パルス幅測定モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRJ0CRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> •TRJ0CRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRJ0CRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> •タイマRJ0のアンダフロー時 [タイマRJ0割り込み] •TRJ0IO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRJ0割り込み]
TRJ0IO信号端子機能	測定パルス入力
タイマの読み出し	TRJ0レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「19.3.2 カウント中のタイマ書き込み制御」)参照
選択機能	<ul style="list-style-type: none"> •測定レベル設定 TRJ0IOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 •測定パルス入力端子選択機能 TRJSRレジスタのTRJ0IOSEL0 ~ TRJ0IOSEL1ビットでTRJ0IO端子を使用するかどうかを選択 •デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRJ0IOCレジスタのTIPF0 ~ TIPF1ビットで選択

19.6.1 タイマRJ0 I/O制御レジスタ (TRJ0IOC)[パルス幅測定モード時]

アドレス 0081h番地 (TRJ0IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	—	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJ0IO極性切り替えビット	0 : TRJ0IO入力の“L”レベル幅を測定 1 : TRJ0IO入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRJ0IO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJ0IO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJ0IOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRJ0IO端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

19.6.2 動作例

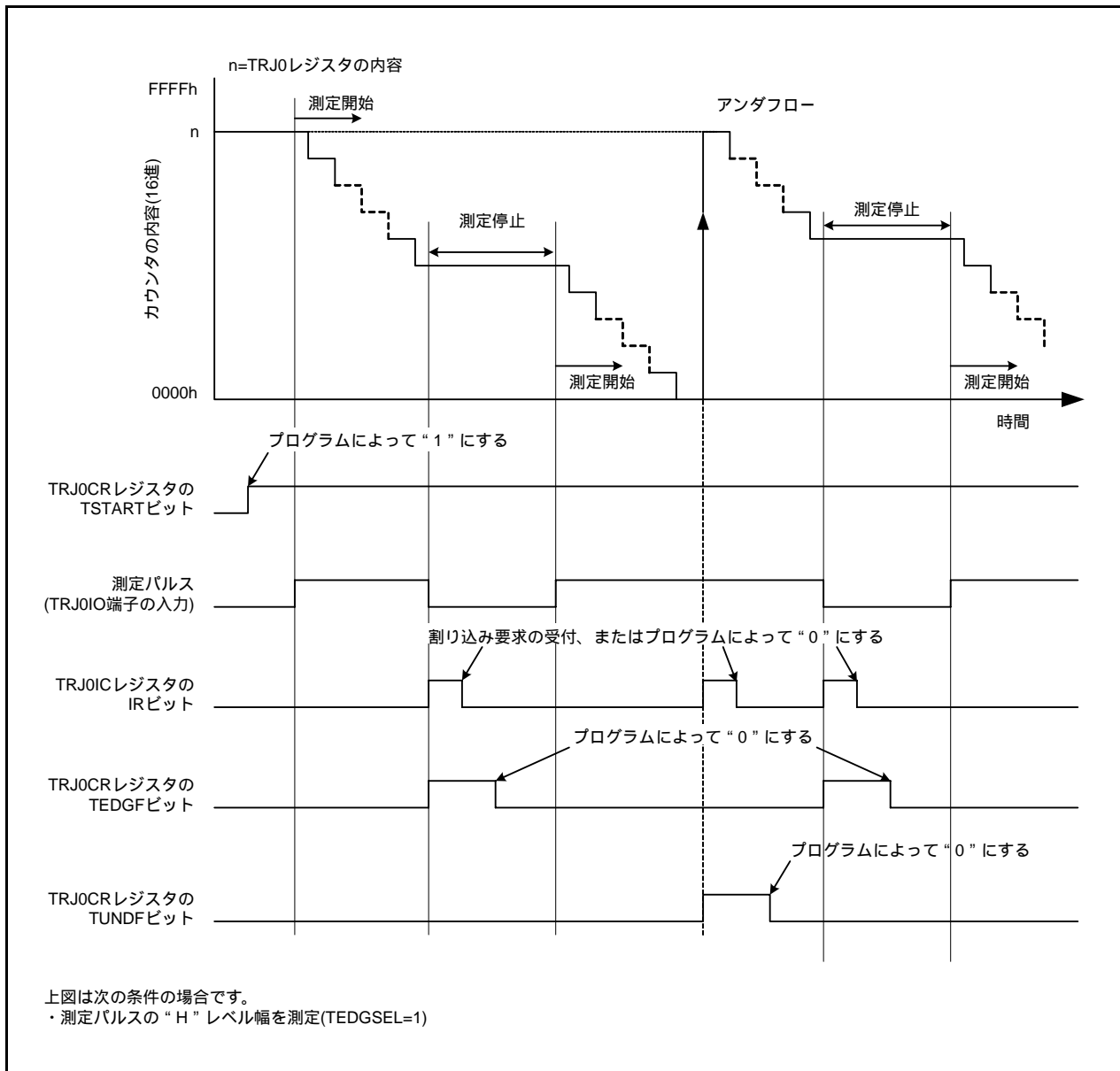


図 19.3 パルス幅測定モード時の動作例

19.7 パルス周期測定モード

TRJ0IO端子から入力する外部信号のパルス周期を測定するモードです(表 19.6)。

図 19.4にパルス周期測定モード時の動作例を示します。

表 19.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •測定パルスの有効エッジ入力後、1回目のタイマRJ0のアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRJ0のアンダフロー時にタイマRJ0はリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRJ0CRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> •TRJ0CRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRJ0CRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> •タイマRJ0のアンダフロー時、またはリロード時 [タイマRJ0割り込み] •TRJ0IO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRJ0割り込み]
TRJ0IO端子機能	測定パルス入力
タイマの読み出し	TRJ0レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRJ0レジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「19.3.2 カウント中のタイマ書き込み制御」)参照
選択機能	<ul style="list-style-type: none"> •測定期間選択 TRJ0IOCレジスタのTEDGSELビットで入力パルスの測定期間を選択 •測定パルス入力端子選択機能 TRJSRレジスタのTRJ0IOSEL0 ~ TRJ0IOSEL1ビットでTRJ0IO端子を使用するかどうかを選択 •デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRJ0IOCレジスタのTIPF0 ~ TIPF1ビットで選択

19.7.1 タイマRJ0 I/O制御レジスタ (TRJ0IOC)[パルス周期測定モード時]

アドレス 0081h番地 (TRJ0IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	—	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJ0IO極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRJ0IO出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b4	TIPF0	TRJ0IO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJ0IOイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRJ0IO端子から同じ値を3回連続してサンプリングした時点で入力が増加します。

19.7.2 動作例

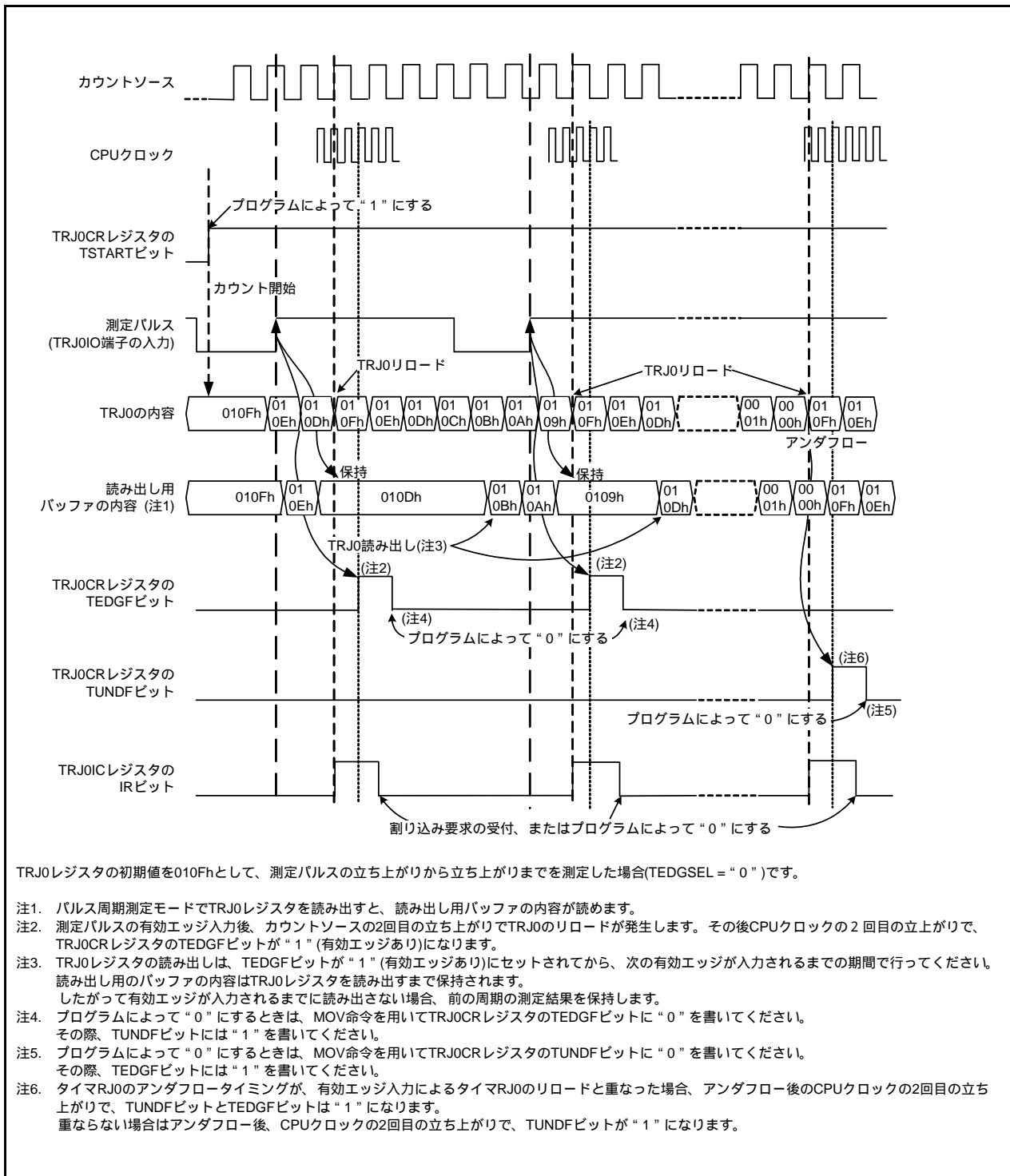


図 19.4 パルス周期測定モード時の動作例

19.8 タイマRJ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマに値を設定した後、カウントを開始してください。
- タイマは16ビット単位で読み出してください。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRJ0CR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRJ0CR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRJ0のカウントを開始してください。
- カウント開始後に初めて発生するタイマRJ0のアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRJ0レジスタの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRJ0関連レジスタ(注1)をアクセスしないでください。
TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRJ0関連レジスタ(注1)をアクセスしないでください。

注1. タイマRJ0関連レジスタ：TRJ0CR、TRJ0IOC、TRJ0MR、TRJ0

- カウント中(TCSTFビットが“1”)にTRJ0レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRJ0レジスタに0000hを設定しないでください。

20. タイマ拡張機能

20.1 概要

タイマの拡張機能として次の2つの機能があります。

- リモコン搬送波出力機能 (タイマRB1、タイマRC)
- リモコン搬送波入力機能 (タイマRB0、タイマRJ0)

20.2 レジスタの説明

20.2.1 タイマ搬送波入出力制御レジスタ (TRCRIO)

アドレス 0190h 番地 (TRCRIO)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRJCRUND	TRJCREDG	—	TRJCRI	—	—	—	TRCCRO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCRO	搬送波出力制御ビット	0 : 通常 1 : 搬送波出力	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	TRJCRI	搬送波入力制御ビット	0 : 通常 1 : 搬送波入力	R/W
b5	—	予約ビット	“0” にしてください	R/W
b6	TRJCREDG	測定期間終了エッジ割り込み信号許可 選択ビット	0 : OFF 1 : ON	R/W
b7	TRJCRUND	アンダフロー信号許可選択ビット	0 : OFF 1 : ON	R/W

20.5 リモコン搬送波入力機能

タイマRB0のカウンタソースとして、タイマRJ0のアンダフローとタイマRJ0の測定期間終了エッジ割り込み信号(パルス周期測定モード時)を組み合わせることができる機能です。

タイマRB0のカウンタソースとしてタイマRJ0のアンダフローを選択し、TRJCRIBットを“1”(搬送波入力)に設定すると、TRJCRUNDビットとTRJCREDGビットの組み合わせにより、以下のいずれかをカウンタソースとして選択できます。

- タイマRJ0のアンダフローと測定期間終了エッジ割り込み信号の両方
- タイマRJ0のアンダフローのみ
- タイマRJ0の測定期間終了エッジ割り込み信号のみ

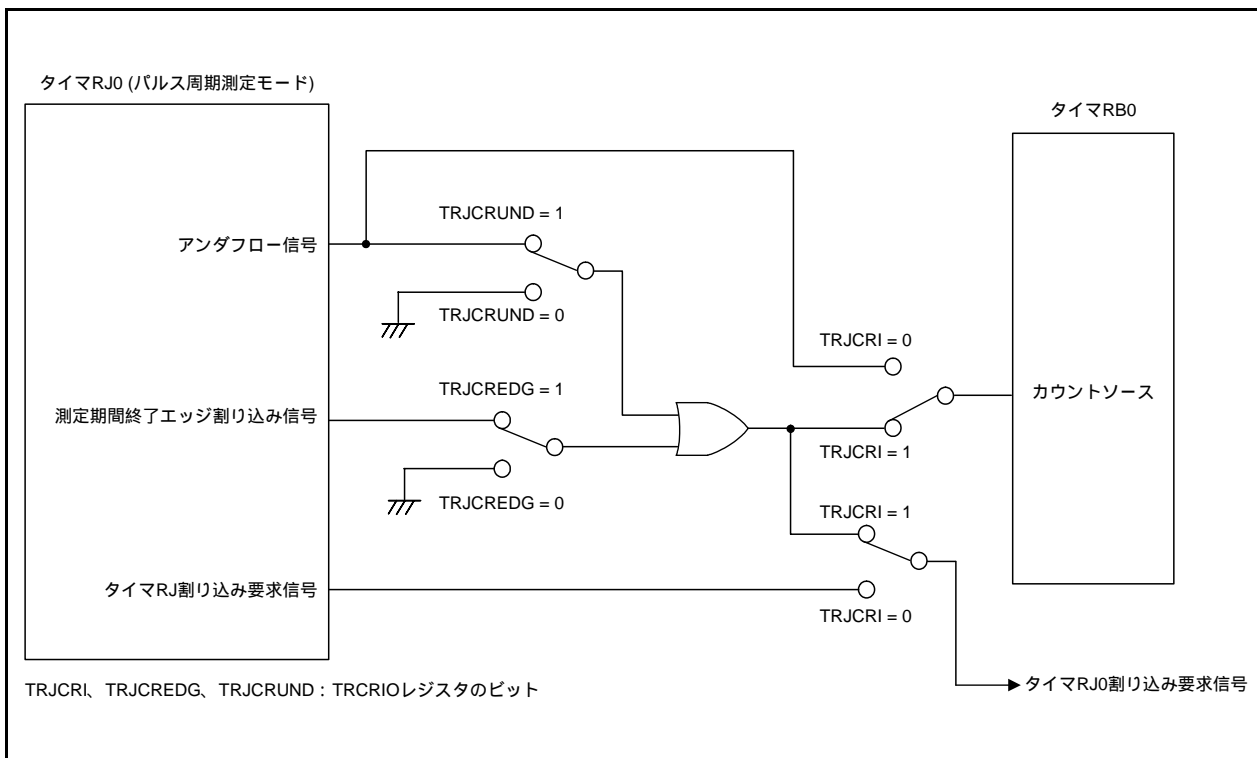


図 20.3 リモコン搬送波入力機能のブロック図

20.6 動作波形

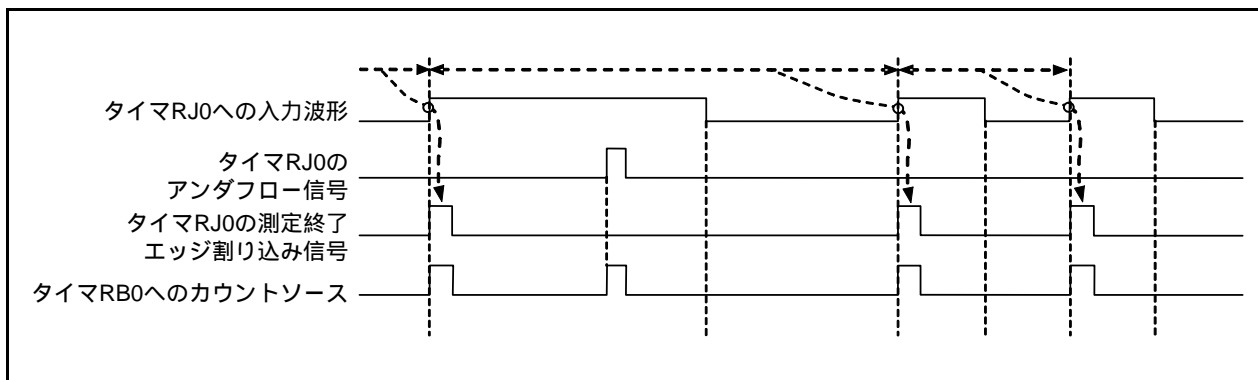


図 20.4 リモコン搬送波入力機能動作時の波形 (TRJCRUND = "1"、TRJCREDG = "1"、タイマRJ0 : パルス周期測定モード)

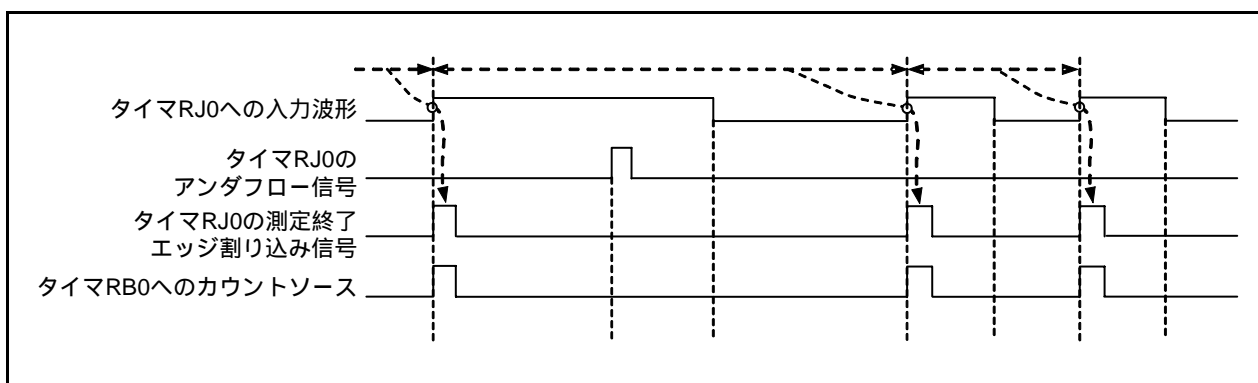


図 20.5 リモコン搬送波入力機能動作時の波形 (TRJCRUND = "0"、TRJCREDG = "1"、タイマRJ0 : パルス周期測定モード)

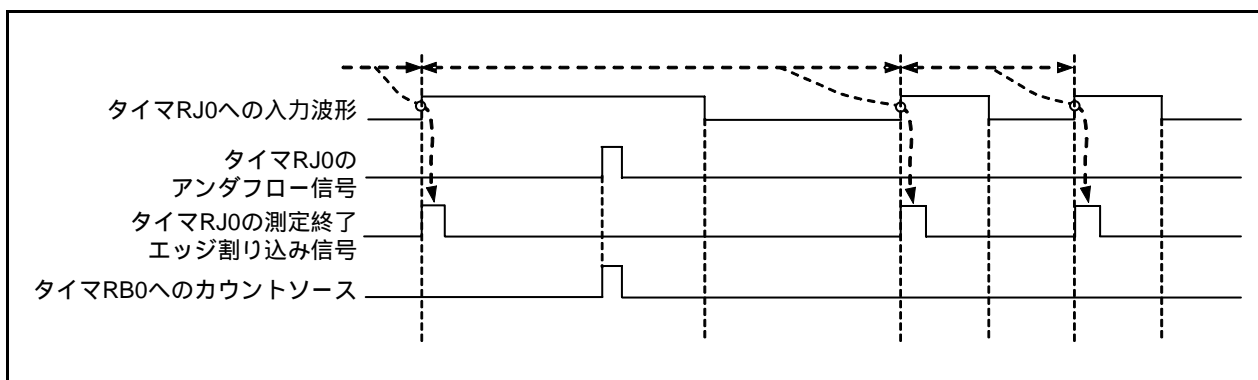
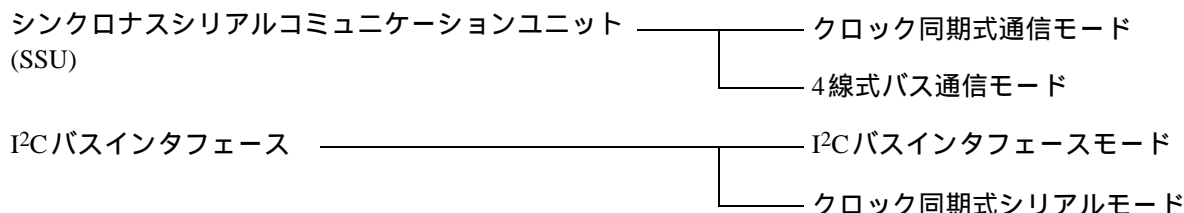


図 20.6 リモコン搬送波入力機能動作時の波形 (TRJCRUND = "1"、TRJCREDG = "0"、タイマRJ0 : パルス周期測定モード)

21. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h ~ 019Dh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

21.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 21.1 にモード選択に関わるビットを示します。各モードの詳細は「22. シンクロナスシリアルコミュニケーションユニット (SSU)」および「23. I²Cバスインタフェース」を参照してください。

表 21.1 モード選択

SSUICSR レジスタの IICSELビット	0198h番地のビット7 (ICCR1レジスタの ICEビット)	019Dh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット	クロック同期式通信 モード
0	0	1		4線式バス通信モード
1	1	0	I²Cバスインタフェース	I²Cバスインタフェース モード
1	1	1		クロック同期式シリアル モード

22. シンクロナスシリアルコミュニケーションユニット (SSU)

22.1 概要

シンクロナスシリアルコミュニケーションユニット (SSU) は、クロック同期式のシリアルデータ通信が可能です。

表 22.1 にシンクロナスシリアルコミュニケーションユニットの仕様を、図 22.1 にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表 22.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> 転送データ長 8 ~ 16ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	<ul style="list-style-type: none"> クロック同期式通信モード 4線式バス通信モード(双方向通信モード含む)
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力) : クロック入出力端子 SSI(入出力) : データ入出力端子 SSO(入出力) : データ入出力端子 SCS(入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力) SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力) クロック極性と位相を選択できる
受信エラーの検出	<ul style="list-style-type: none"> オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になる。
マルチマスタエラーの検出	<ul style="list-style-type: none"> コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態、シリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> データ転送方向 MSBファーストまたはLSBファーストを選択 SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択 SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

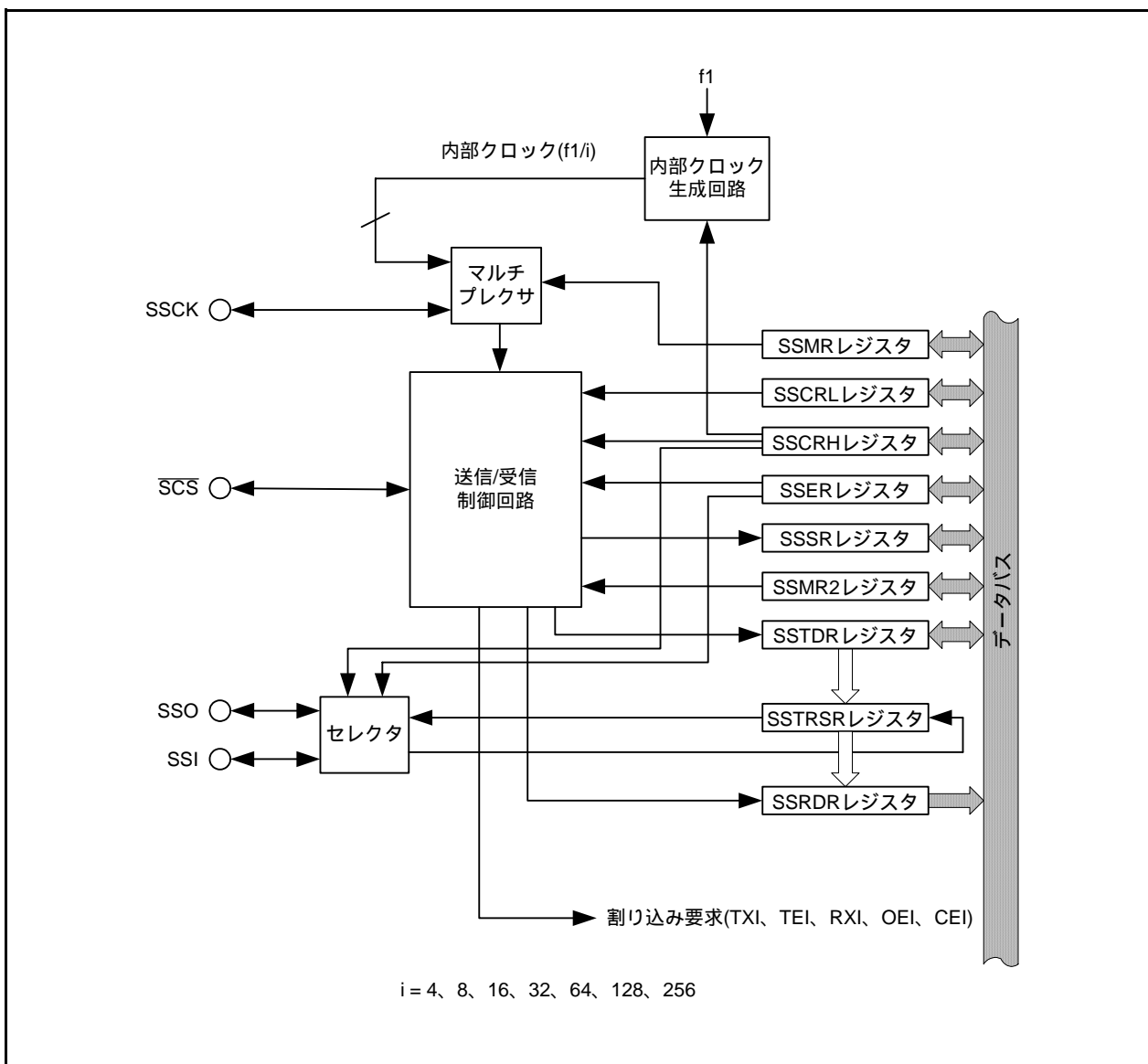


図 22.1 シンクロナスシリアルコミュニケーションユニットブロック図

表 22.2 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P8_1	入出力	データ入出力
SCS	P8_0	入出力	チップセレクト入出力
SSCK	P8_2	入出力	クロック入出力
SSO	P8_3	入出力	データ入出力

22.2 レジスタの説明

22.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	—	MSTURTO	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURTO	予約ビット	“1” にしてください	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTLCD	予約ビット	“1” にしてください	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	予約ビット	“1” にしてください	R/W

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²C関連レジスタ(0193h ~ 19Dh番地)へのアクセスは無効になります。

注2. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

22.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² Cバス切り替えビット	0 : SSU機能を選択 1 : I ² Cバス機能を選択	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

22.2.3 SSビットカウンタレジスタ(SSBR)

アドレス 0193h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0 : 16ビット 1 0 0 0 : 8ビット 1 0 0 1 : 9ビット 1 0 1 0 : 10ビット 1 0 1 1 : 11ビット 1 1 0 0 : 12ビット 1 1 0 1 : 13ビット 1 1 1 0 : 14ビット 1 1 1 1 : 15ビット	R/W
b1	BS1			R/W
b2	BS2			R/W
b3	BS3			R/W
b4	—			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。
b5	—			
b6	—			
b7	—			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”(受信禁止)、TEビットを“0”(送信禁止)にしてください。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

22.2.4 SS送信データレジスタ (SSTDR)

アドレス 0195h ~ 0194h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15 ~ b0	—	送付データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書きおくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読まれます。	R/W

注1. SSBPレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

22.2.5 SS受信データレジスタ(SSRDR)

アドレス 0197h ~ 0196h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15 ~ b0	—	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

- 注1. SSSRレジスタのORERビットが“1”(オーバーランエラー発生)になったとき、SSRDRレジスタはオーバーランエラー発生前の受信データを保持します。オーバーランエラー発生時の受信データは、破棄されます。
- 注2. SSSRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

22.2.6 SS制御レジスタH(SSCRH)

アドレス 0198h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RSSTP	MSS	—	—	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0	R/W
b1	CKS1		0 0 0 : f1/256	R/W
b2	CKS2		0 0 1 : f1/128	R/W
			0 1 0 : f1/64	R/W
		0 1 1 : f1/32		
		1 0 0 : f1/16		
		1 0 1 : f1/8		
		1 1 0 : f1/4		
		1 1 1 : 設定しないでください		
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

- 注1. MSSビットが“1”(マスタデバイスとして動作)のときに、設定されたクロックが使用されます。
- 注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。
- 注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

22.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	SOL	SOLP	—	—	SRES	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。 SSU内部レジスタ(注1)の値は保持される。	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b3	—			—
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0：シリアルデータ出力が“L” 1：シリアルデータ出力が“H” 書いた場合(注2、3) 0：データ出力を“L”にする 1：データ出力を“H”にする	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. SSB、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTD、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。

シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。

SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

22.2.8 SSモードレジスタ (SSMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3~0	b3 b2 b1 b0 0000: 残り16ビット	R
b1	BC1		0001: 残り1ビット	R
b2	BC2		0010: 残り2ビット	R
b3	BC3		0011: 残り3ビット	R
			0100: 残り4ビット	
			0101: 残り5ビット	
			0110: 残り6ビット	
			0111: 残り7ビット	
			1000: 残り8ビット	
				1001: 残り9ビット
			1010: 残り10ビット	
			1011: 残り11ビット	
			1100: 残り12ビット	
			1101: 残り13ビット	
			1110: 残り14ビット	
			1111: 残り15ビット	
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	CPHS	SSCKクロック位相選択ビット(注1)	0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0: クロック停止時、“H” 1: クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送 1: LSBファーストでデータ転送	R/W

注1. CPHS、CPOSビットの設定については「22.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

22.2.9 SS許可レジスタ (SSER)

アドレス 019Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	—	—	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b4	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

22.2.10 SSステータスレジスタ (SSSR)

アドレス 019Ch番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	—	—	ORER	—	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			—
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0: SSRDR レジスタにデータなし 1: SSRDR レジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0: 送信データの最後尾ビットの送信時、TDRE ビットが“0” 1: 送信データの最後尾ビットの送信時、TDRE ビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0: SSTDR レジスタから SSTRSR レジスタにデータ転送されていない 1: SSTDR レジスタから SSTRSR レジスタにデータ転送された	R/W

- 注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
- 注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「22.5.4 SCS端子制御とアービトレーション」を参照してください。
- 注3. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中でSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。
- 注4. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
- 注5. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
- 注6. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。SSTDRレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。
- 注7. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

22.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力(注5) 1: Nチャンネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注2)	b5 b4 00: ポートとして機能 01: SCS入力端子として機能 10: SCS出力端子として機能(注3) 11: SCS出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

注1. データ入出力端子の組み合わせは、「22.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

22.3 複数モードに関わる共通事項

22.3.1 転送クロック

転送クロックを7種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0 ~ CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

22.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図 22.2 に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

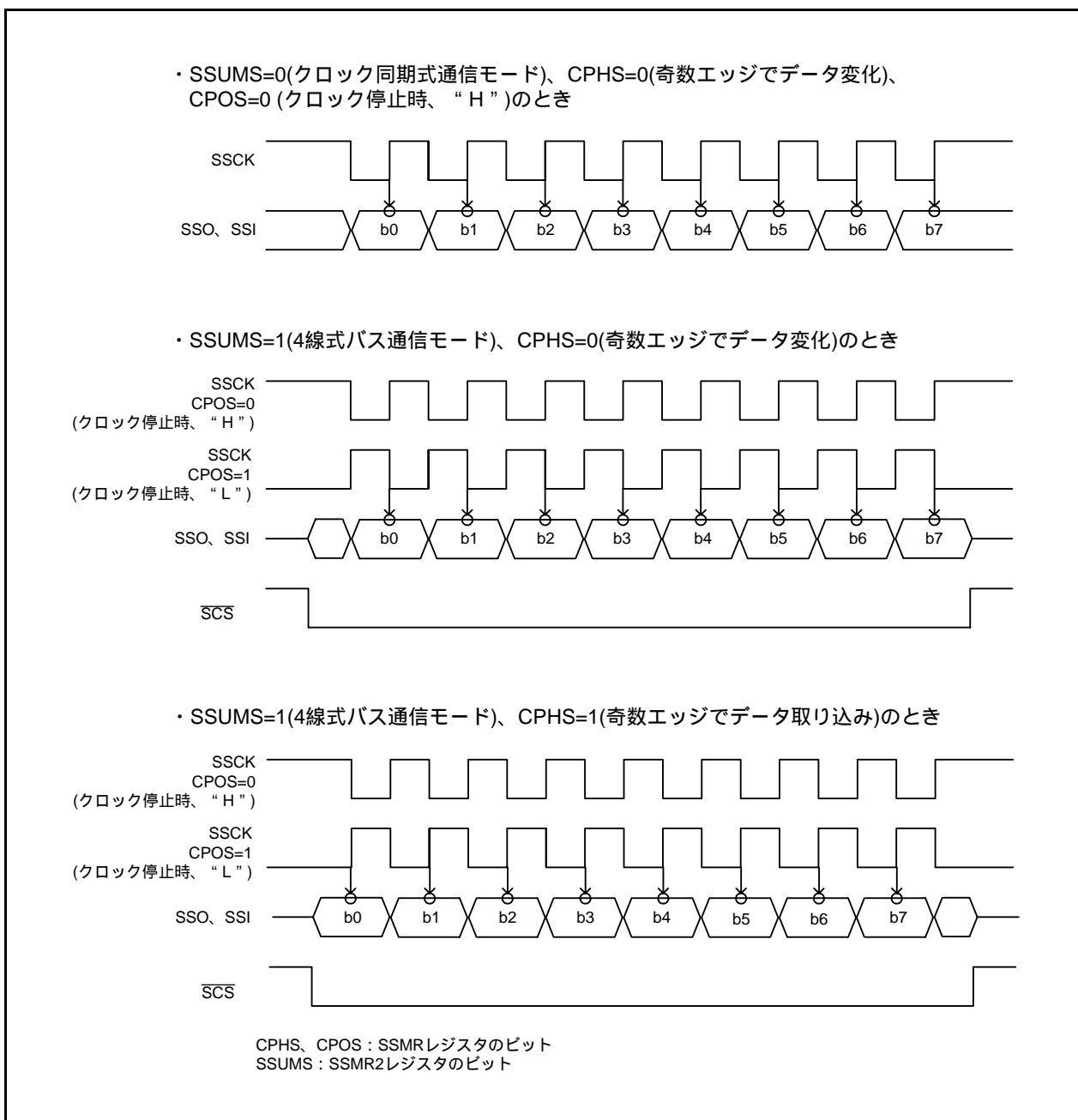


図 22.2 転送クロックの極性、位相および転送データの関係

22.3.2 SSシフトレジスタ (SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

22.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図22.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

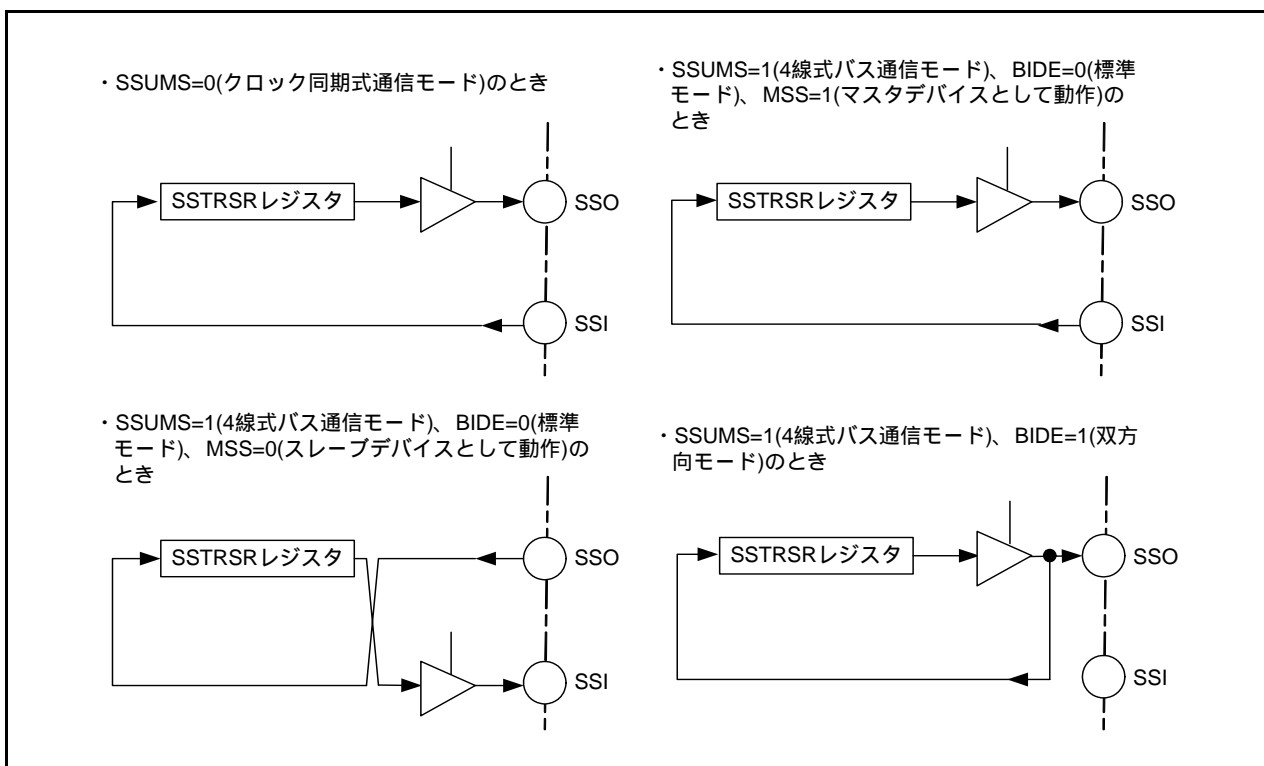


図 22.3 データ入出力端子とSSTRSRレジスタの接続関係

22.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 22.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 22.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE = 1 かつ TDRE = 1
送信終了	TEI	TEIE = 1 かつ TEND = 1
受信データフル	RXI	RIE = 1 かつ RDRF = 1
オーバランエラー	OEI	RIE = 1 かつ ORER = 1
コンフリクトエラー	CEI	CEIE = 1 かつ CE = 1

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表 22.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビット および TEND ビットは SSTDR レジスタに送信データを書くことで、RDRF ビットは SSRDR レジスタを読むことで自動的に“0”になります。特に TDRE ビットは SSTDR レジスタに送信データを書いたとき、同時に再度 TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、さらに TDRE ビットを“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)にすると、余分に1バイト送信する場合があります。

22.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表 22.4 に通信モードと入出力端子の関係を示します。

表 22.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	-(注1)	入力	
				1	0	-(注1)	出力	入力	
				1	1	入力	出力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス通信モード	1	0	0	0	1	-(注1)	入力	入力	
				1	0	出力	-(注1)	入力	
				1	1	出力	入力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	-(注1)	入力	入力	
				1	0	-(注1)	出力	入力	
			1	0	1	-(注1)	入力	出力	出力
				1	0	-(注1)	出力	出力	出力

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

22.4 クロック同期式通信モード

22.4.1 クロック同期式通信モードの初期化

図 22.4 にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

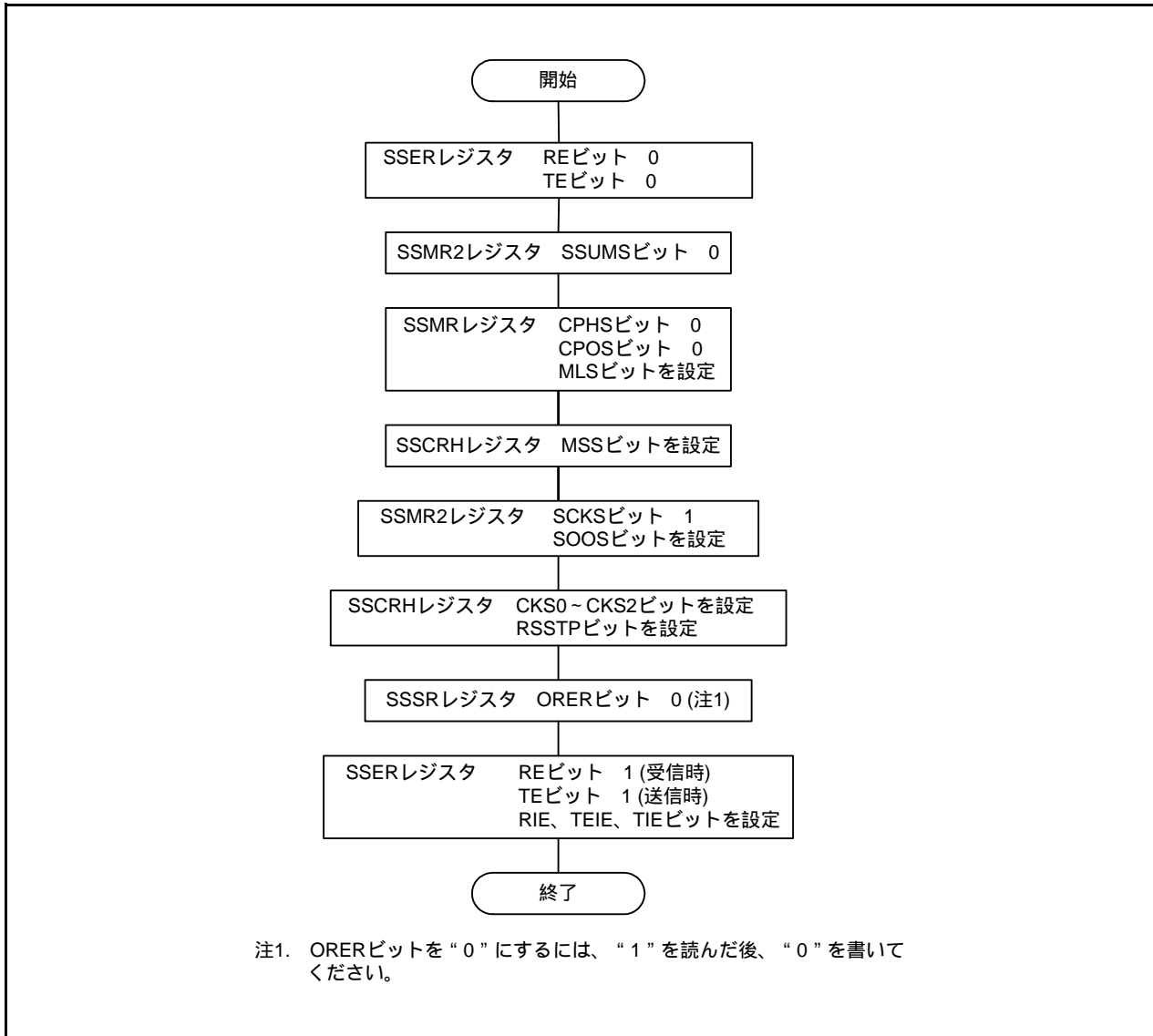


図 22.4 クロック同期式通信モードの初期化

22.4.2 データ送信

図 22.5 にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SSERレジスタのTEビットを“1”(送信許可)にした後、SSTDREレジスタに送信データを書くと、自動的にSSSRレジスタのTDREビットが“0”(SSTDREレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDREレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDREレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求が発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDREレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求が発生します。送信終了後、SSCK端子は“H”に固定されます。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”(オーバランエラーなし)であることを確認してください。

図 22.6 にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

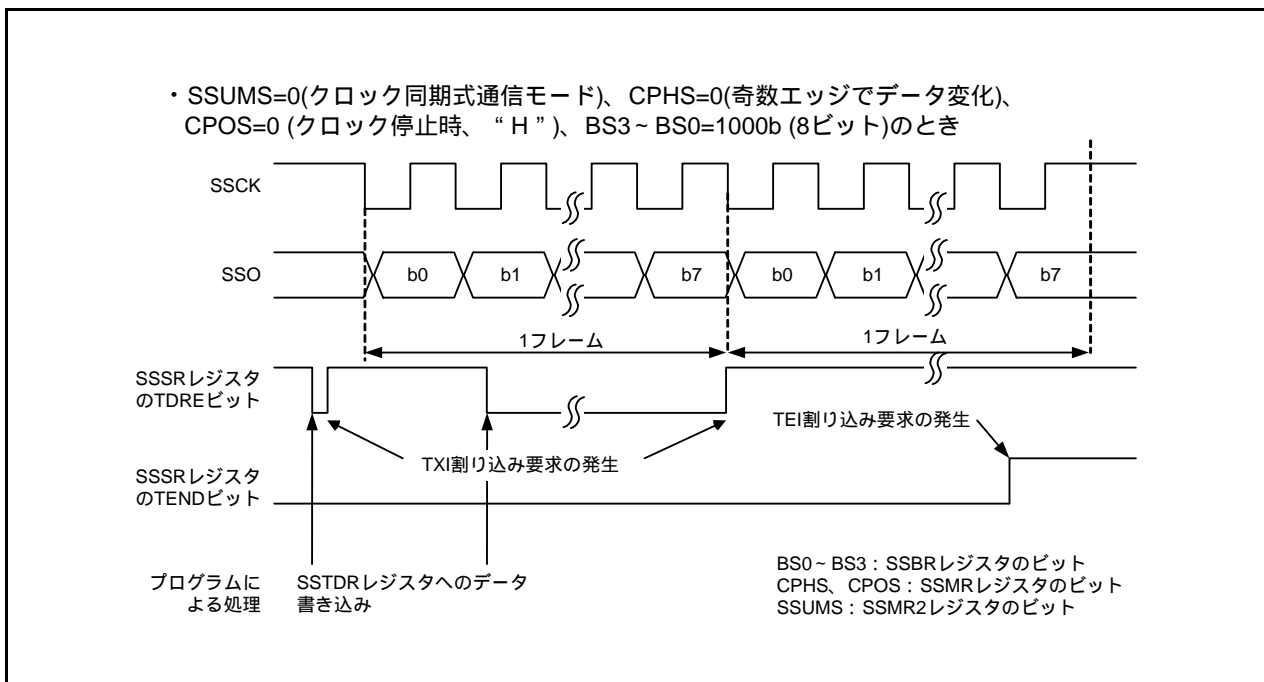


図 22.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

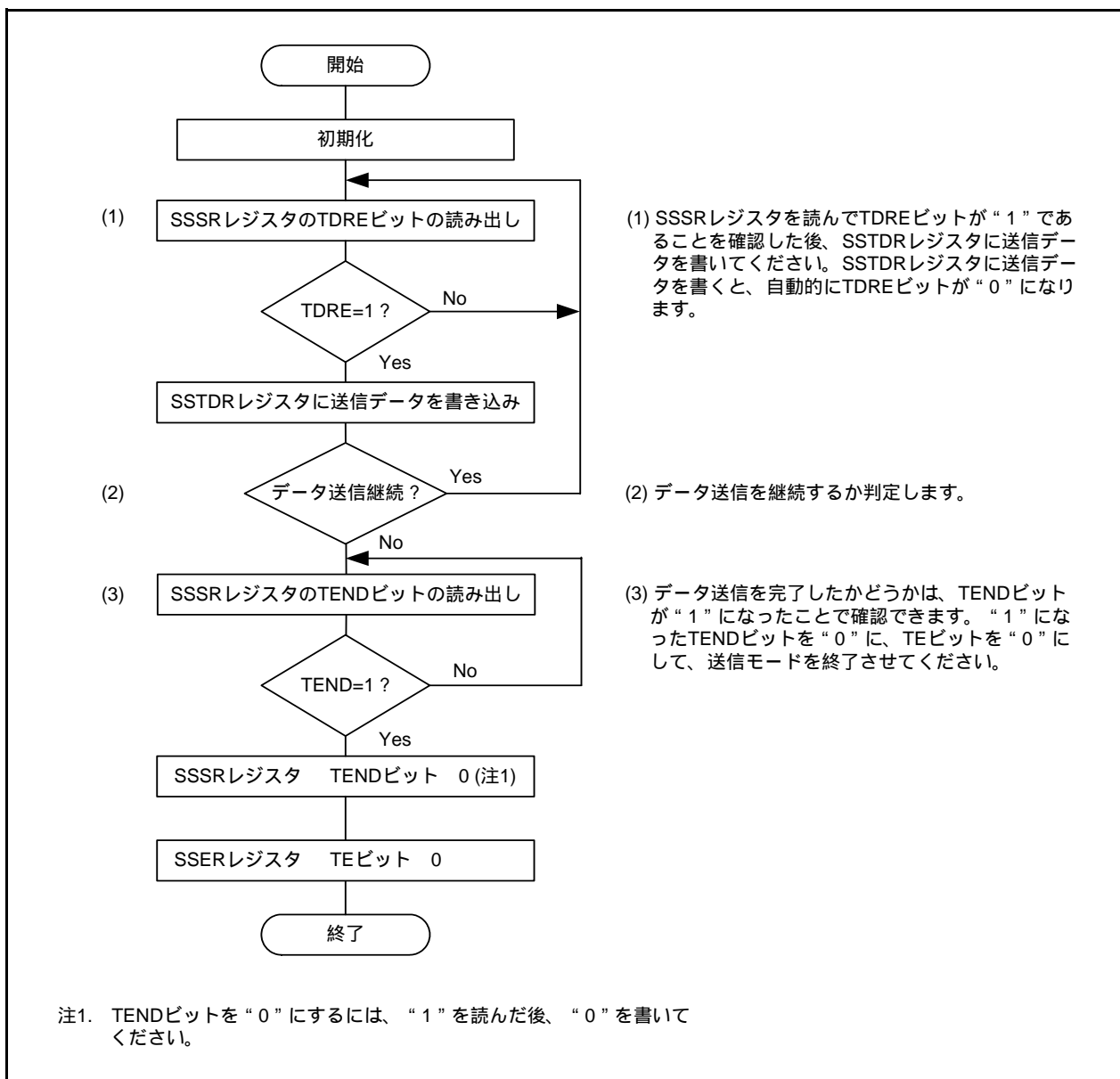


図 22.6 データ送信のフローチャート例(クロック同期式通信モード)

22.4.3 データ受信

図 22.7 にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバーランエラー発生)になり、オーバーランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図 22.8 にデータ受信のフローチャート例(MSS = 1)(クロック同期式通信モード)を示します。

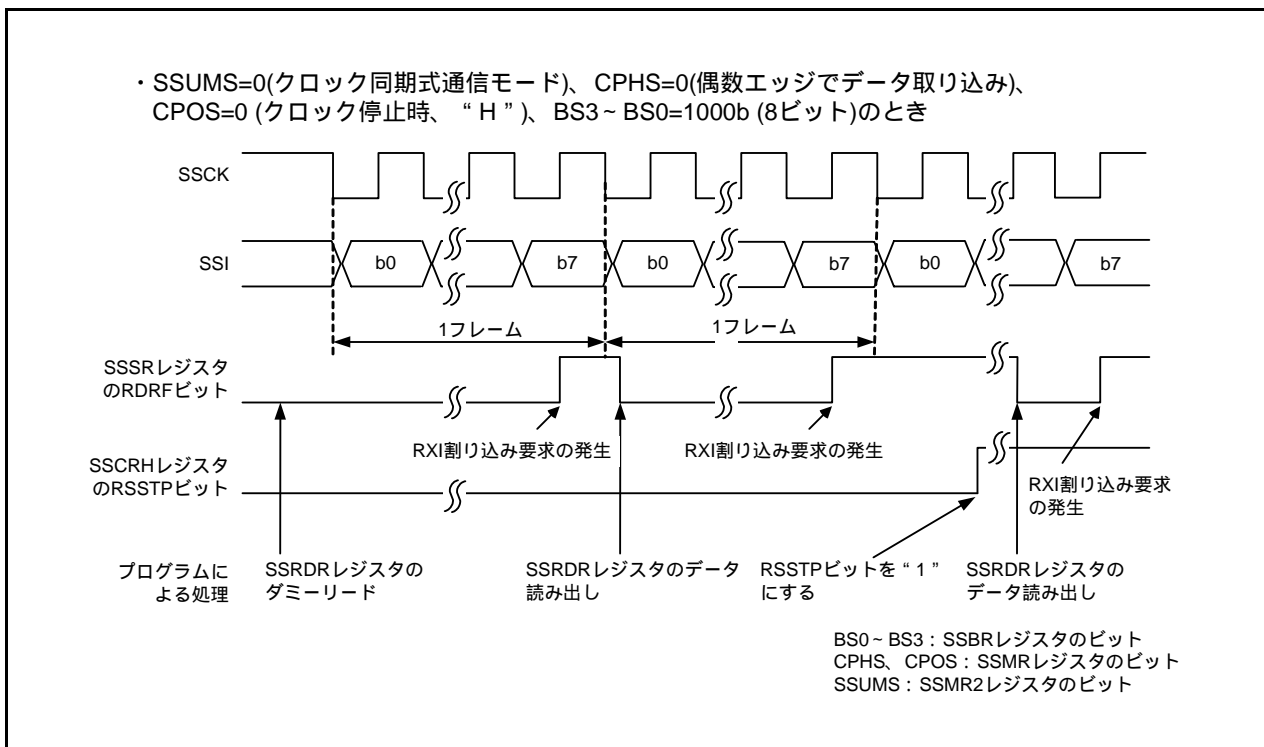


図 22.7 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

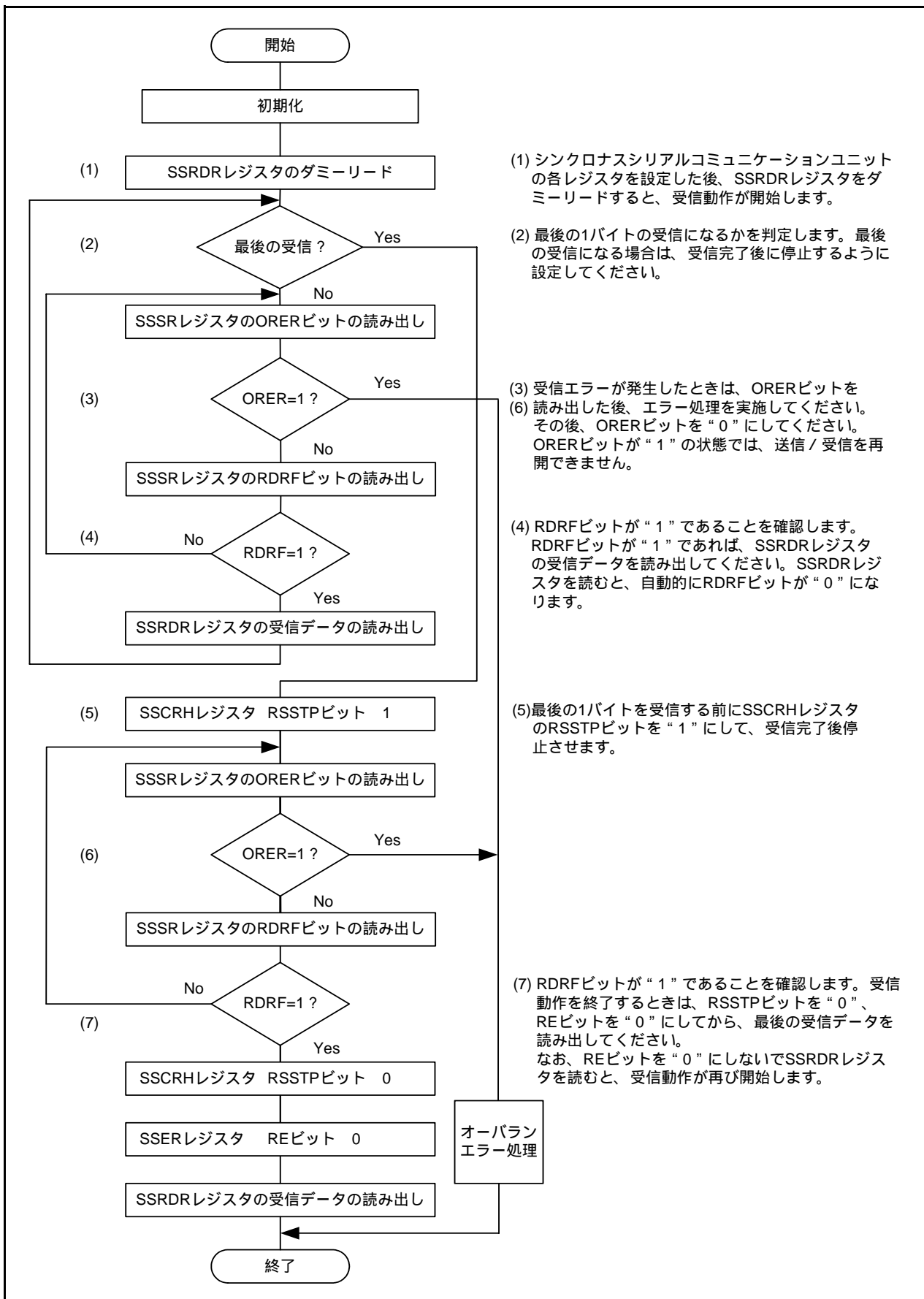


図 22.8 データ受信のフローチャート例(MSS = 1)(クロック同期式通信モード)

22.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態最終転送クロック(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)が立ち上がった場合、またはORERビットが“1”(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバーランエラーなし)であることを確認した後、TEおよびREビットを“1”(送信許可/受信許可)にしてください。

図22.9にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE=RE=1)から送受信モードを解除する場合、SSRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずREビットを“0”にして、その後、TEビットを“0”にする
- TEビットとREビットを同時に“0”にする

その後、受信モード(TE=0、RE=1)にする場合は、SSCRLレジスタのSRESビットに“1”を書いた後、“0”にしてSSU制御部およびSSTRSRレジスタを初期化してから、REビットを“1”にしてください。

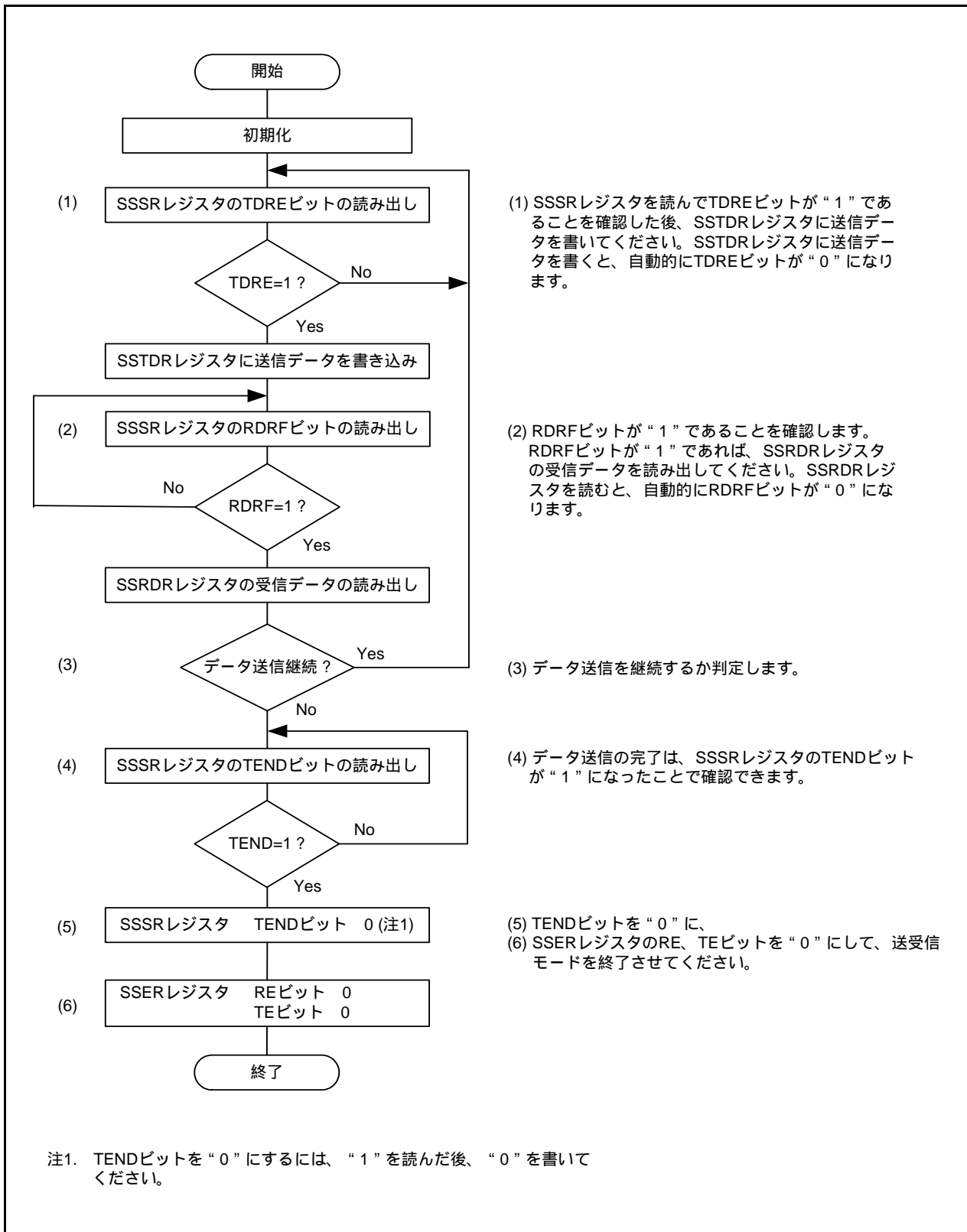


図 22.9 データ送受信のフローチャート例(クロック同期式通信モード)

22.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「22.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの間をSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「22.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

22.5.1 4線式バス通信モードの初期化

図 22.10 に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

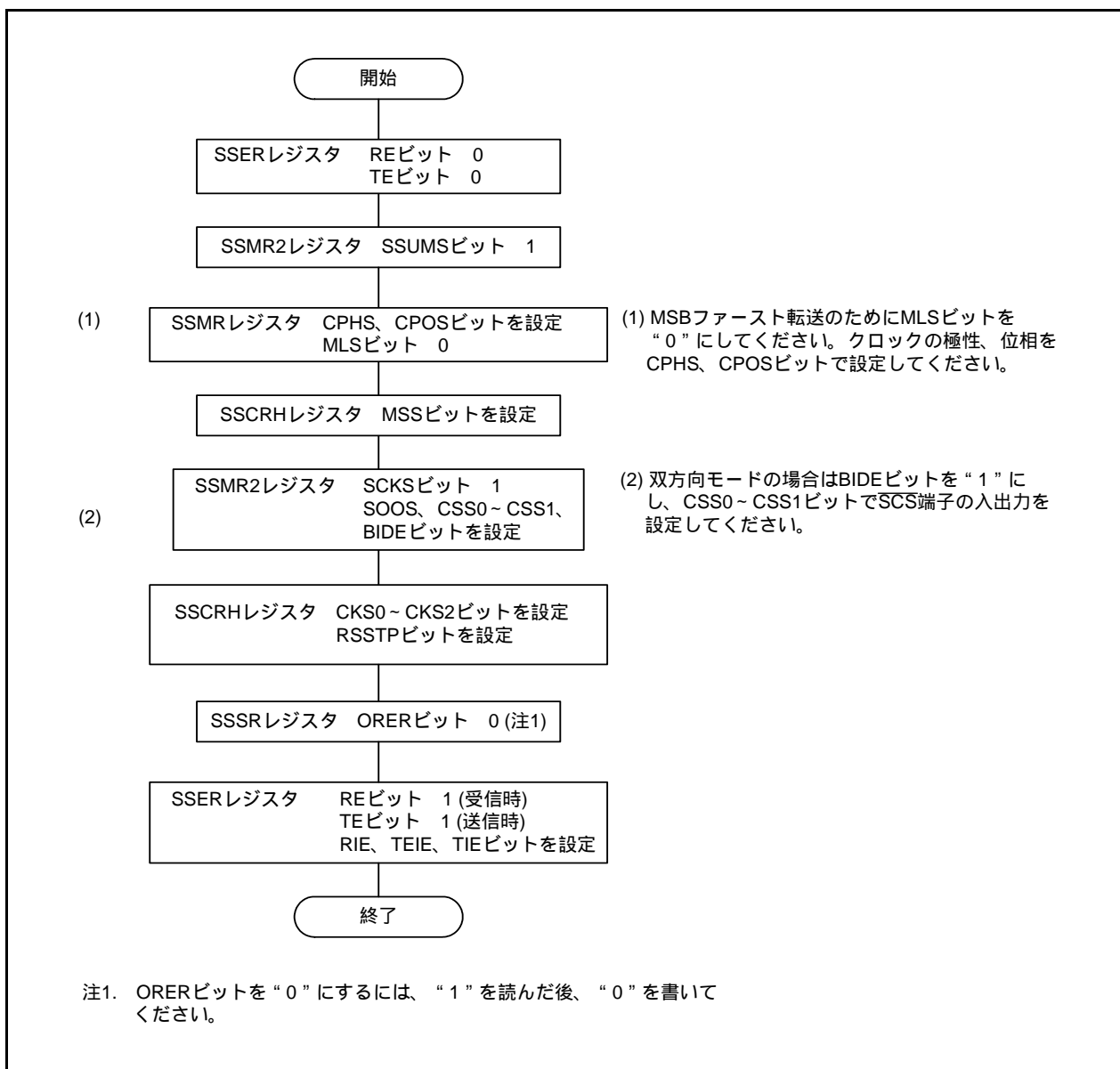


図 22.10 4線式バス通信モードの初期化

22.5.2 データ送信

図 22.11 にデータ送信時の動作例(4線式バス通信モード、SSU データ転送長 8 ビット)を示します。データ送信時は以下のように動作します(SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS 端子が“L”入力状態で入力クロックに同期してデータを出力します。

SSER レジスタの TE ビットを“1”(送信許可)にした後、SSTDR レジスタに送信データを書くと、自動的に SSSR レジスタの TDRE ビットが“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、送信を開始します。このとき、SSER レジスタの TIE ビットが“1”の場合、TXI 割り込み要求を発生します。

TDRE ビットが“0”の状態では 1 フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE が“1”の状態では 8 ビット目が送出されると、SSSR レジスタの TEND ビットが“1”(送信データの最後尾ビットの送信時、TDRE ビットが“1”)になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが“1”(送信終了割り込み要求許可)の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は“H”に固定され、SCS 端子は“H”になります。SCS 端子が“L”のまま連続的に送信する場合、8 ビット目が送出される前に次の送信データを SSTDR レジスタに書いてください。

なお、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER ビットが“0”(オーバランエラーなし)であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時に SCS 端子がハイインピーダンス状態では、SSO 端子がハイインピーダンス状態となり、スレーブデバイス時に SCS 端子が“H”入力状態では、SSI 端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図 22.6 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

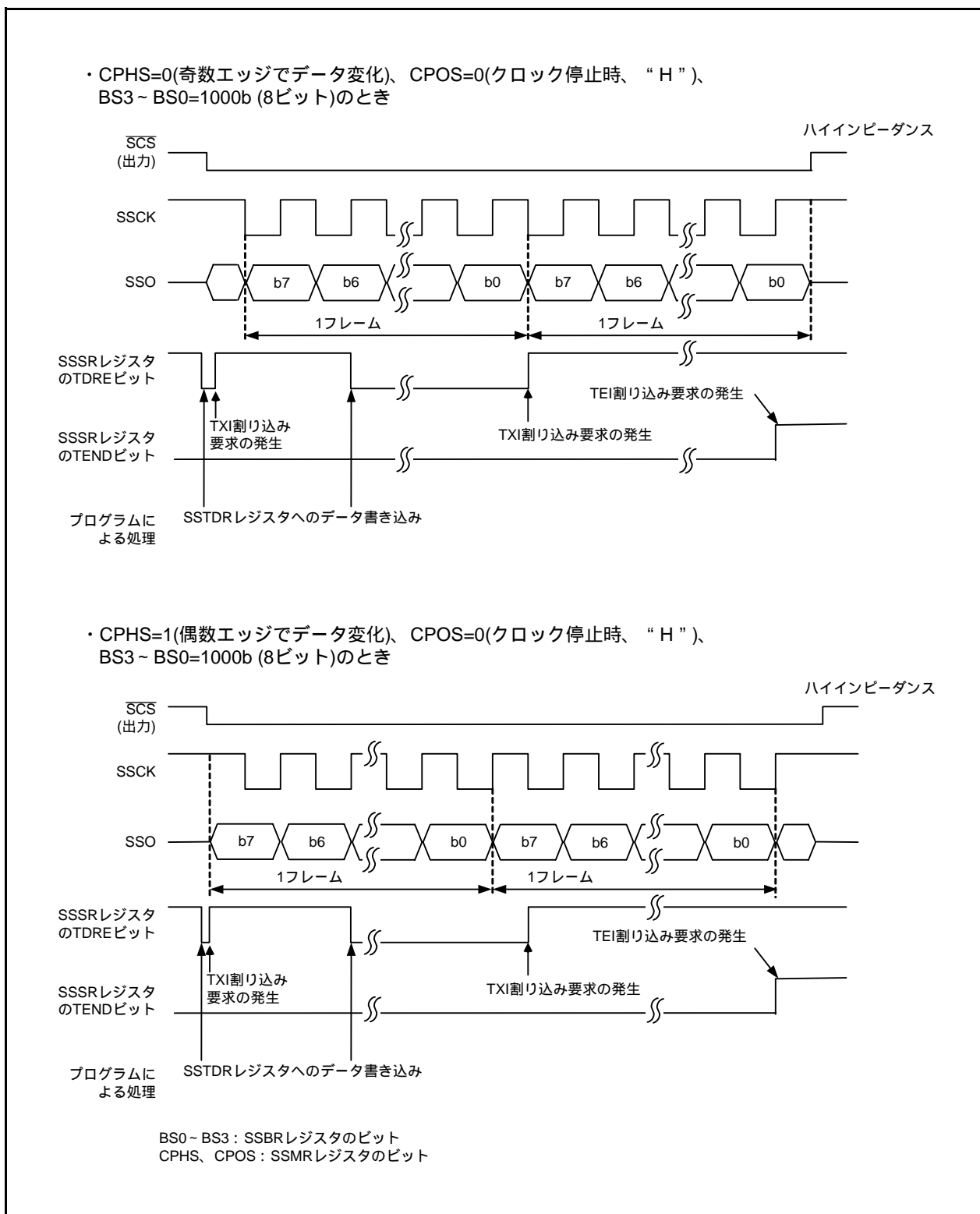


図 22.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

22.5.3 データ受信

図 22.12 にデータ受信時の動作例(4線式バス通信モード、SSU データ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBR レジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS 端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSR レジスタの RDRF ビットが“1”(SSRDR レジスタにデータあり)になり、SSRDR レジスタに受信データが格納されます。このとき、SSER レジスタの RIE ビットが“1”(RXI および OEI 割り込み要求許可)の場合、RXI 割り込み要求を発生します。SSRDR レジスタを読むと、自動的に RDRF ビットは“0”(SSRDR レジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRH レジスタの RSSTP ビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSER レジスタの RE ビットを“0”(受信禁止)に、RSSTP ビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。RE ビットが“1”(受信許可)状態で SSRDR レジスタを読むと、受信クロックを再度出力してしまいます。

RDRF ビットが“1”の状態では8クロック目が立ち上がると、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER ビットが“1”の状態では受信できません、受信再開の前には、ORER ビットが“0”(オーバランエラーなし)であることを確認してください。

RDRF ビット、ORER ビットが“1”になるタイミングは、SSMR レジスタの CPHS ビットの設定により異なります。このタイミングを図 22.12 に示します。CPHS ビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 22.8 データ受信のフローチャート例(MSS = 1)(クロック同期式通信モード)」参照)。

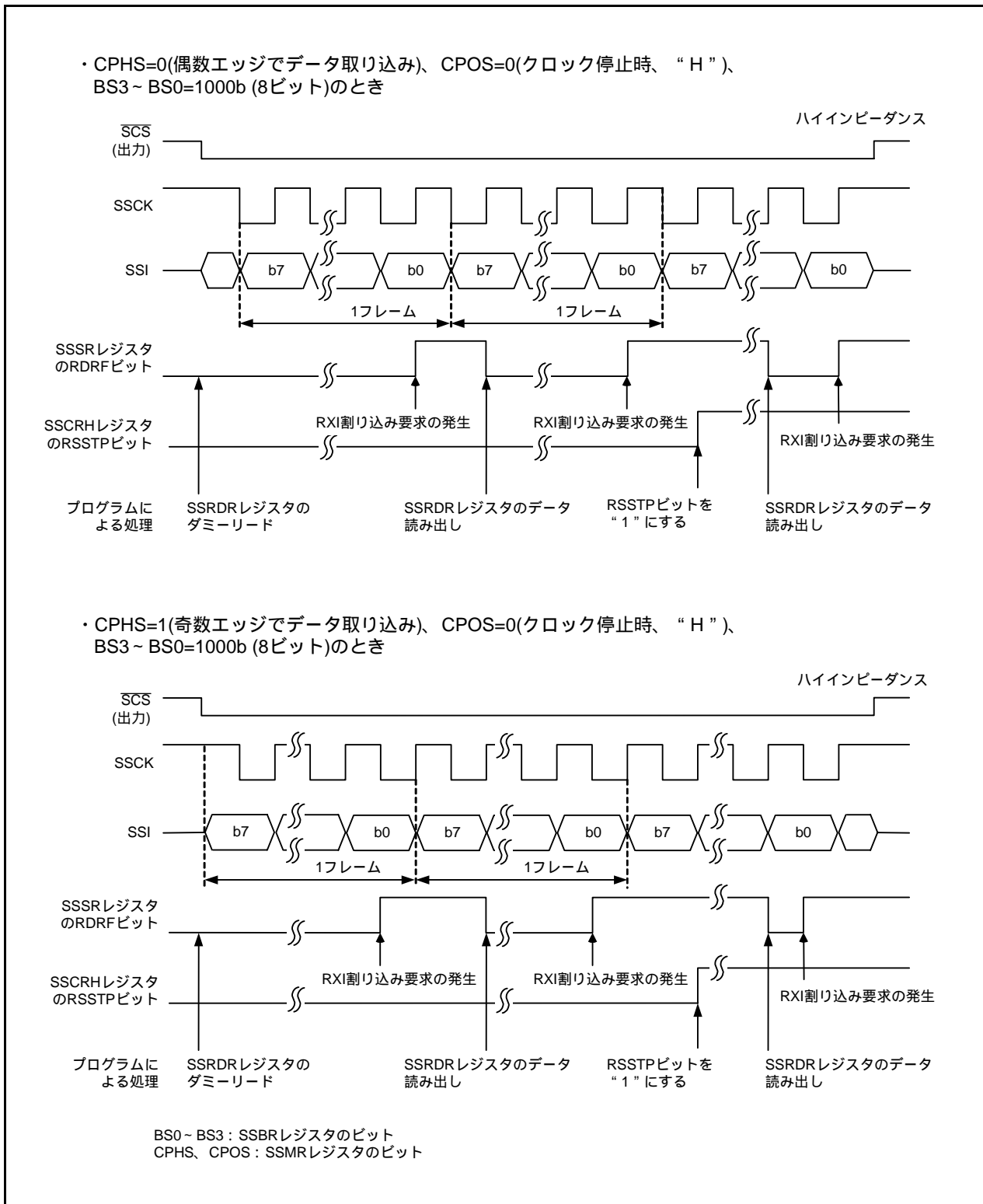


図 22.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

22.5.4 SCS端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1” (4線式バス通信モード)、CSS1ビットを“1” (SCS出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1” (マスタデバイスとして動作)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1” (コンフリクトエラー発生)になり、自動的にMSSビットが“0” (スレーブデバイスとして動作)になります。

図 22.13 にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0” (コンフリクトエラーなし)にしてください。

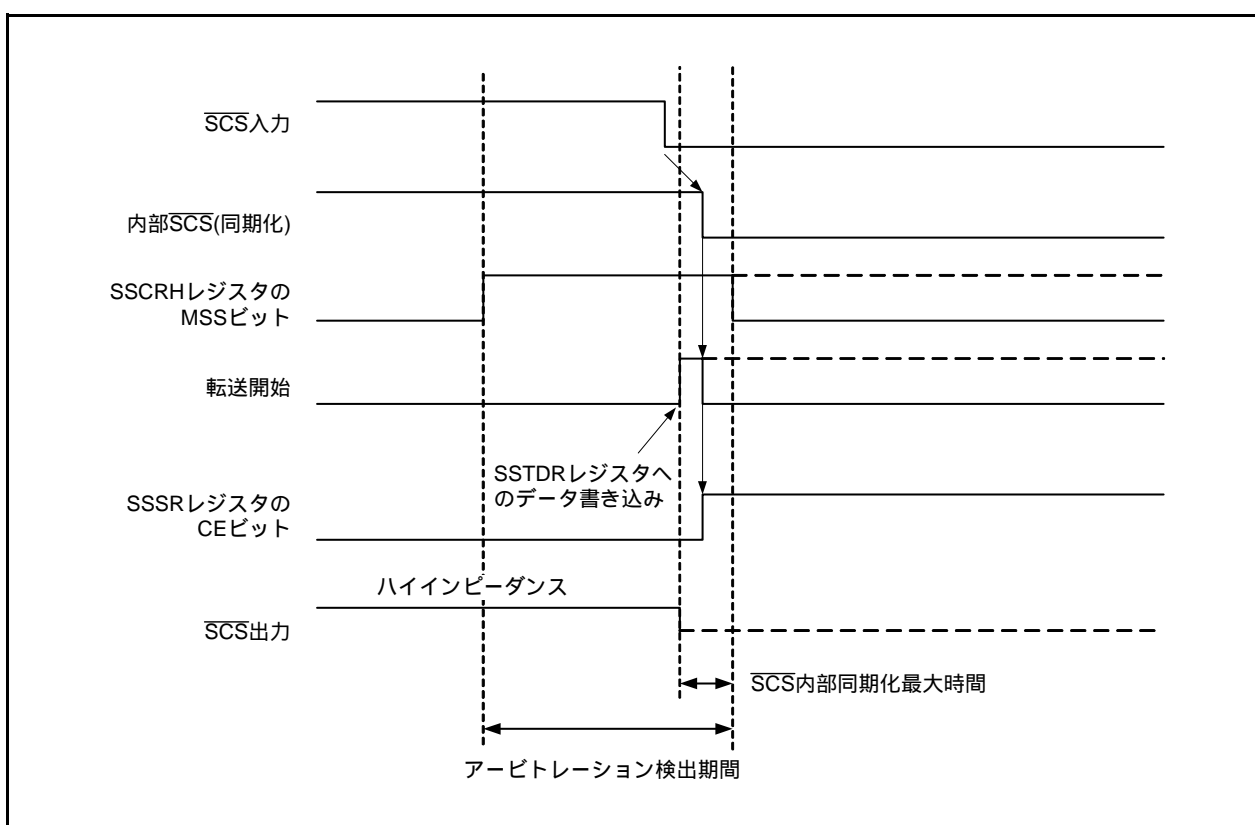


図 22.13 アービトレーションチェックタイミング

22.6 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

23. I²Cバスインタフェース

23.1 概要

I²Cバスインタフェースは、フィリップス社I²Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

表 23.1にI²Cバスインタフェースの仕様、図 23.1にI²Cバスインタフェースブロック図、図 23.2にSCL、SDA端子の外部回路接続例、表 23.2にI²Cバスインタフェースの端子構成を示します。

表 23.1 I²Cバスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> •I²Cバスフォーマット <ul style="list-style-type: none"> -マスタ/スレーブデバイスの選択可能 -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため) -マスタモードでは開始条件、停止条件の自動生成 -送信時、アクノリッジビットを自動ロード -ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。) -SCL、SDA端子の直接駆動(Nチャンネルオープンドレイン出力)が可能 •クロック同期式シリアルフォーマット <ul style="list-style-type: none"> -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL(入出力)：シリアルクロック入出力端子 SDA(入出力)：シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> •ICCR1レジスタのMSTビットが“0”(スレーブモード)のとき 外部クロック(SCL端子から入力) •ICCR1レジスタのMSTビットが“1”(マスタモード)のとき ICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)
受信エラーの検出	<ul style="list-style-type: none"> •オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる
割り込み要因	<ul style="list-style-type: none"> •I²Cバスフォーマット……………6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトラクションロスト、NACK検出、停止条件検出 •クロック同期式シリアルフォーマット……………4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	<ul style="list-style-type: none"> •I²Cバスフォーマット 受信時、アクノリッジの出力レベルを選択可能 •クロック同期式シリアルフォーマット データ転送方向にMSBファーストまたはLSBファーストを選択可能 •SDAのデジタル遅延 PINSRレジスタのSDADLY0～SDADLY1ビットでSDA端子のデジタル遅延値を選択可能

注1. 割り込みベクタテーブルはI²Cバスインタフェースの1つです。

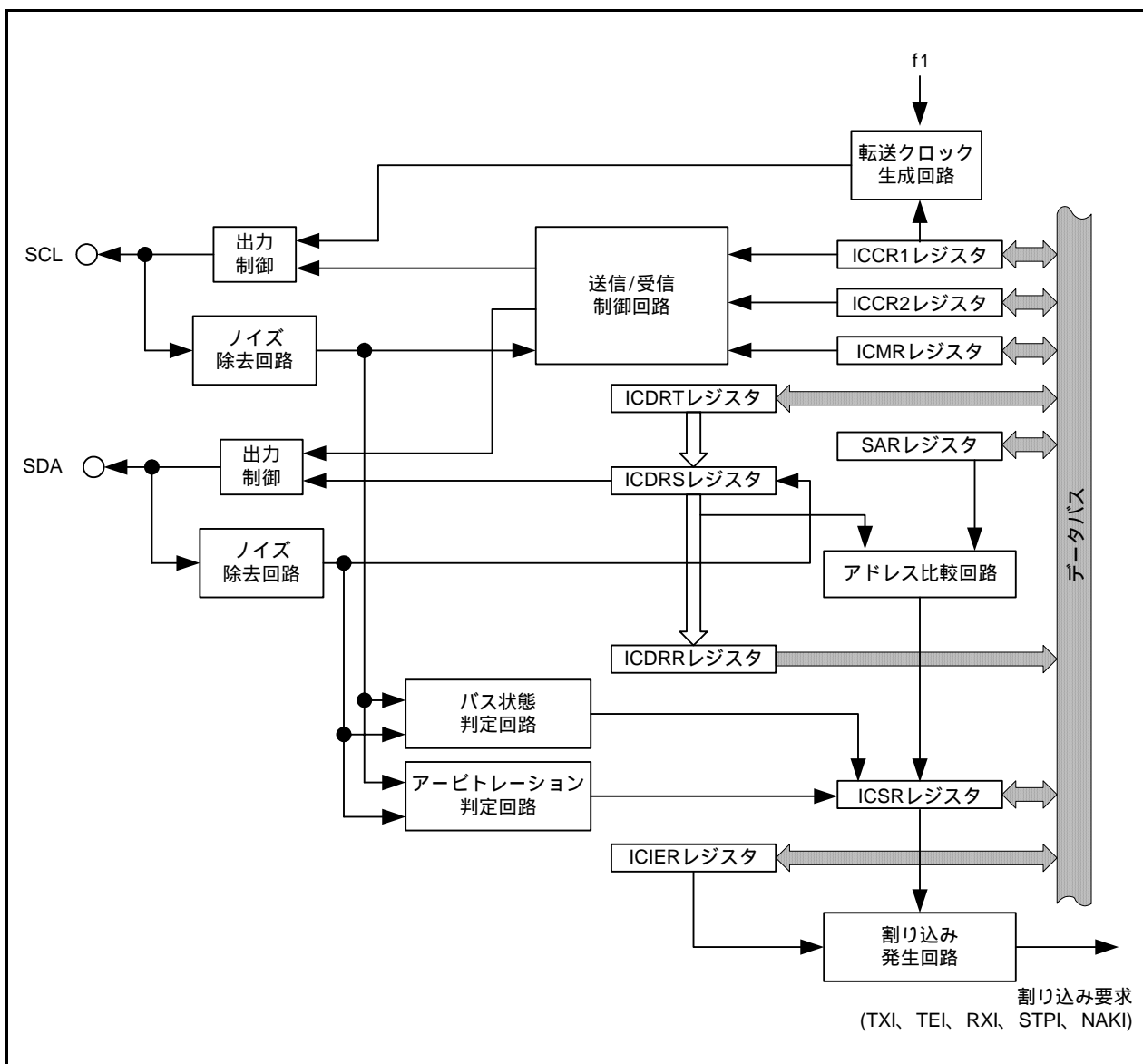


図 23.1 I²Cバスインタフェースブロック図

表 23.2 I²Cバスインタフェースの端子構成

端子名	割り当てる端子	機能
SCL	P8_2	クロック入出力
SDA	P8_3	データ入出力

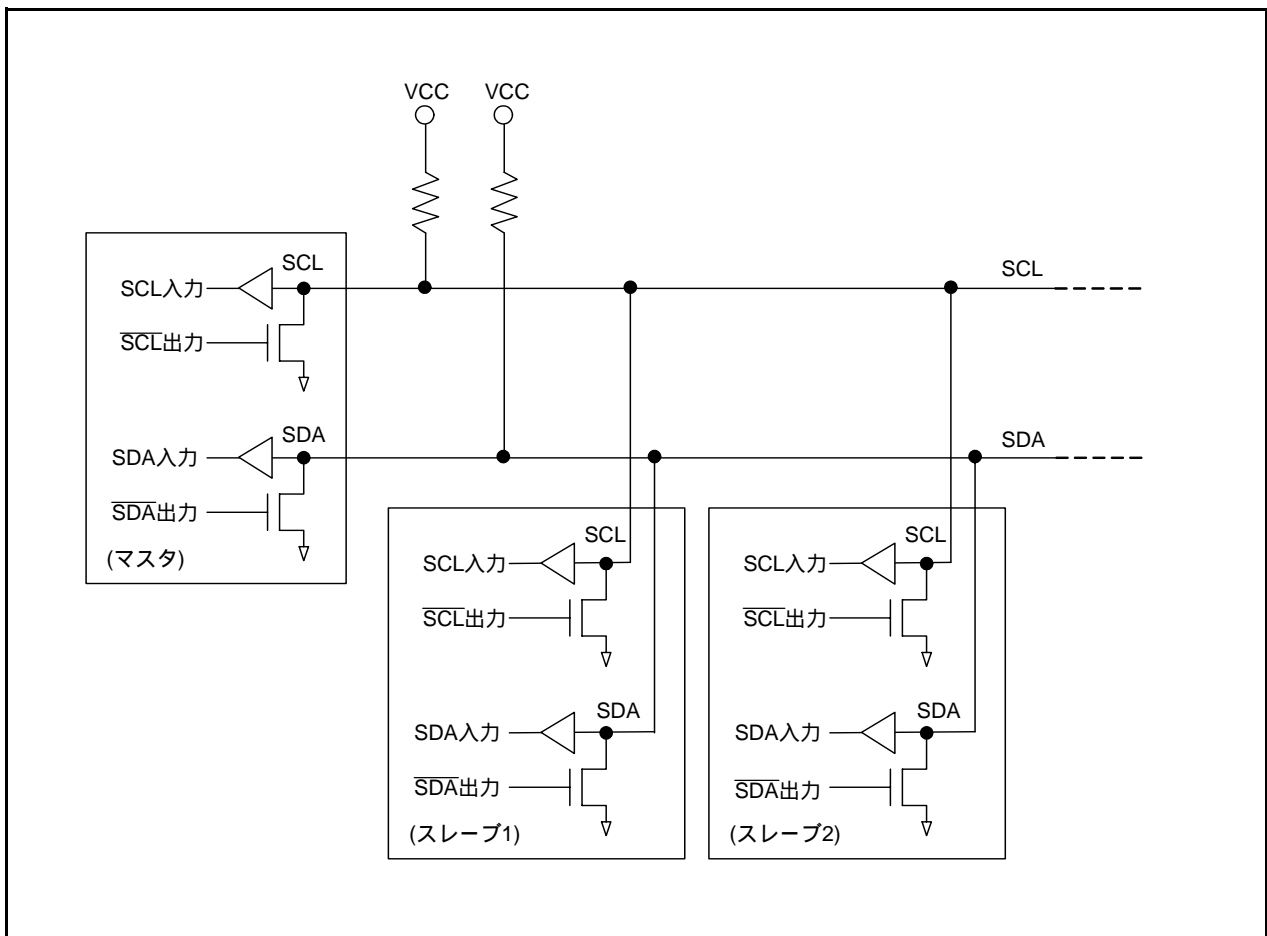


図 23.2 SCL、SDA端子の外部回路接続例

23.2 レジスタの説明

23.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス 0008h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	—	MSTURTO	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURTO	予約ビット	“1” にしてください	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTLCD	予約ビット	“1” にしてください	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	予約ビット	“1” にしてください	R/W

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²C関連レジスタ(0193h ~ 19Dh番地)へのアクセスは無効になります。

注2. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

23.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² Cバス切り替えビット	0 : SSU機能を選択 1 : I ² Cバス機能を選択	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

23.2.3 入出力機能端子選択レジスタ(PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	IOINSEL	I/Oポート入力機能 選択ビット	0 : I/Oポートの入力機能はPDi (i = 2、5、7 ~ 9) レジスタに 依存 PDiレジスタのPDi_j (j=0 ~ 7) ビットが“0” (入力モード) のとき、端子の入力レベルを読む PDiレジスタのPDi_j ビットが“1” (出力モード)のとき、 ポートラッチを読む 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の 入力レベルを読む	R/W
b4	IICTCTWI	I ² C転送レート2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I ² C転送レート1/2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延 選択ビット	b7 b6 0 0 : 3 × f1サイクルのデジタル遅延 0 1 : 11 × f1サイクルのデジタル遅延 1 0 : 19 × f1サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I²Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方とも“0”にしてください。

23.2.4 IICバス送信データレジスタ(ICDRT)

アドレス 0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	送信データを保管。 ICDRSレジスタの空きが検出されると、保管されている送信データがICDRSレジスタへ転送されて、送信が開始します。 ICDRSレジスタからデータを送信中に、ICDRTレジスタに次の送信データを書いておくと、連続して送信できます。 ICMRレジスタのMLSビットが“1(LSBファーストでデータ転送)”の場合、ICDRTレジスタに書いた後、読み出すとMSBとLSBが反転したデータが読み出されます。	R/W

23.2.5 IICバス受信データレジスタ(ICDRR)

アドレス 0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	受信データを保管。 ICDRSレジスタが1バイトのデータを受信すると、ICDRRレジスタへ受信データが転送されて、次の受信が可能になります。	R

23.2.6 IICバス制御レジスタ1(ICCR1)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット3~0(注1)	b3 b2 b1 b0	R/W
b1	CKS1		0 0 0 0 : f1/28	R/W
b2	CKS2		0 0 0 1 : f1/40	R/W
b3	CKS3		0 0 1 0 : f1/48	R/W
			0 0 1 1 : f1/64	
			0 1 0 0 : f1/80	
			0 1 0 1 : f1/100	
			0 1 1 0 : f1/112	
		0 1 1 1 : f1/128		
b4	TRS	送信/受信選択ビット(注2、3、6)	b5 b4	R/W
b5	MST	マスタ/スレーブ選択ビット(注5、6)	0 0 : スレーブ受信モード(注4)	R/W
			0 1 : スレーブ送信モード	
			1 0 : マスタ受信モード	
			1 1 : マスタ送信モード	
b6	RCVD	受信禁止ビット	TRS = 0 (受信モード)の状態ではICDRRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I ² Cバスインタフェース許可ビット(注7)	0 : 本モジュールは機能停止状態(SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態(SCL、SDA端子はバス駆動状態)	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 23.3 転送レート例(1)、表 23.4 転送レート例(2)」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3 = 0のとき 10Tcyc、CKS3 = 1のとき 20Tcycとなります。(1Tcyc = 1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”(送信モード)になります。

注4. I²Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注7. I²Cバスインタフェース動作中に、ICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「23.9 I²Cバスインタフェース使用上の注意」を参照してください。

23.2.7 IICバス制御レジスタ2(ICCR2)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	IICRST	I ² Cバス制御部リセットビット (注5)	I ² Cバスの動作中に、通信不具合等によりハンゲアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I ² Cバスの制御部をリセットします。	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b3	SCLO	SCLモニタフラグ	0：SCL端子は“L” 1：SCL端子は“H”	R
b4	SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時に“0”を書いてください。(注1) 読んだ場合、その値は“1”。	R/W
b5	SDAO	SDA出力値制御ビット	読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンスに変更する (外部プルアップ抵抗によって、“H”出力)。	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSYビットに書くとき、同時に“0”を書いてください。(注3) 読んだ場合、その値は“1”。“1”書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4、5)	読んだ場合 0：バスが開放状態(SCL信号が“H”の状態ですDA信号が“L”から“H”に変化) 1：バスが占有状態(SCL信号が“H”の状態ですDA信号が“H”から“L”に変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行	R/W

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

注5. I²Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはIICRSTビットに“1”を書くと、BBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「23.9 I²Cバスインタフェース使用上の注意」を参照してください。

23.2.8 IICバスモードレジスタ(ICMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	WAIT	—	—	BCWP	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ2~0	I ² Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BCWP	BCライトプロテクトビット	BC0~BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4) 読んだ場合、その値は“1”。	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—	予約ビット	“0”にしてください	R/W
b6	WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	R/W

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I²Cバスフォーマットのマスターモード時に、設定値が有効です。I²Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I²Cバスフォーマット時は、“0”にしてください。

23.2.9 IICバス割り込み許可レジスタ (ICIER)

アドレス 019Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止	R/W
b3	STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注1)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注1)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. オーバランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

23.2.10 IICバスステータスレジスタ(ICSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
リセット後の値	0	0	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1”になります	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	AL	アービトレーションロストフラグ/オーバランエラーフラグ(注1)	I ² Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります(注3) <ul style="list-style-type: none"> マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに“1”になります <ul style="list-style-type: none"> RDRFビットが“1”の状態、次のデータの最終ビットを受信したとき 	R/W
b3	STOP	停止条件検出フラグ(注1、7)	フレームの転送の完了後に停止条件を検出したとき、“1”になります	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、“1”になります	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I ² Cバスフォーマットの場合、TDREビットが“1”の状態SCL信号の9クロック目が立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに“1”になります。 <ul style="list-style-type: none"> ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき 開始条件(再送含む)を発行したとき スレーブ受信モードからスレーブ送信モードに変わったとき 	R/W

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I²Cバスフォーマットのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKFビットが“1”(受信アクノリッジが“1”の場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

ICDRTレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。

注7. I²Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはICCR2レジスタのICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとSTOPビットが不定になる場合があります。「23.9 I²Cバスインタフェース使用上の注意」を参照してください。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

23.2.11 スレーブアドレスレジスタ(SAR)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	フォーマット選択ビット	0 : I ² Cバスフォーマット 1 : クロック同期式シリアルフォーマット	R/W
b1	SVA0	スレーブアドレス6 ~ 0	I ² Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I ² Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0 ~ SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

23.2.12 IICバスシフトレジスタ(ICDRS)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—

ビット	機能	R/W
b7 ~ b0	データを送受信するシフトレジスタ。 送信時はICRDTレジスタから送信データがICDRSレジスタに転送され、データがSDA端子から送出されます。 受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。	—

23.3 複数モードに関わる共通事項

23.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”(スレーブモード)のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”(マスタモード)のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表 23.3、表 23.4に転送レート例を示します。

表 23.3 転送レート例(1)

PINSRレジスタ		ICCR1レジスタ				転送 クロック	転送レート						
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5MHz	f1 = 8MHz	f1 = 10MHz	f1 = 16MHz	f1 = 20MHz		
0	0	0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz		
					1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz		
				1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz		
					1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz		
				1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz	
						1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz	
			1		0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz		
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz		
			1		0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
							1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
				1		0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz	
					1	0	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz	
		1				f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz		
		1		0	0	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz		
			1		f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz			
			1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz				

表 23.4 転送レート例(2)

PINSR レジスタ		ICCR1 レジスタ				転送 クロック	転送レート					
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5MHz	f1 = 8MHz	f1 = 10MHz	f1 = 16MHz	f1 = 20MHz	
0	1	0	0	0	0	f1/28	358kHz	572kHz	714kHz	1142kHz	1428kHz	
					1	f1/40	250kHz	400kHz	500kHz	800kHz	1000kHz	
				1	0	f1/48	208kHz	334kHz	416kHz	666kHz	834kHz	
					1	f1/64	156kHz	250kHz	312kHz	500kHz	626kHz	
				1	0	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz	
					1	f1/100	100kHz	160kHz	200kHz	320kHz	400kHz	
			1	0	f1/112	89kHz	143kHz	179kHz	286kHz	358kHz		
				1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz		
				1	0	0	f1/56	179kHz	286kHz	358kHz	572kHz	714kHz
						1	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz
						0	f1/96	104kHz	167kHz	208kHz	334kHz	416kHz
					1	1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz
		0	f1/160			63kHz	100kHz	125kHz	200kHz	250kHz		
		1	f1/200			50kHz	80kHz	100kHz	160kHz	200kHz		
		1	0	0	0	0	f1/28	90kHz	143kHz	179kHz	286kHz	357kHz
						1	f1/40	63kHz	100kHz	125kHz	200kHz	250kHz
						0	f1/48	52kHz	84kHz	104kHz	167kHz	209kHz
					1	1	f1/64	39kHz	63kHz	78kHz	125kHz	157kHz
						0	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz
						1	f1/100	25kHz	40kHz	50kHz	80kHz	100kHz
				1	0	0	f1/112	22kHz	36kHz	45kHz	72kHz	90kHz
						1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz
						0	f1/56	45kHz	72kHz	90kHz	143kHz	179kHz
					1	1	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz
0	f1/96					26kHz	42kHz	52kHz	84kHz	104kHz		
1	f1/128					20kHz	31kHz	39kHz	63kHz	78kHz		
1	0	0	f1/160	16kHz	25kHz	31kHz	50kHz	63kHz				
		1	f1/200	13kHz	20kHz	25kHz	40kHz	50kHz				
		0	f1/224	11kHz	18kHz	22kHz	36kHz	45kHz				
	1	1	f1/256	10kHz	16kHz	20kHz	31kHz	39kHz				

23.3.2 SDA端子デジタル遅延選択

PINSRレジスタのSDADLY0 ~ SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。
 図 23.3にSDA端子のデジタル遅延の動作例を示します。

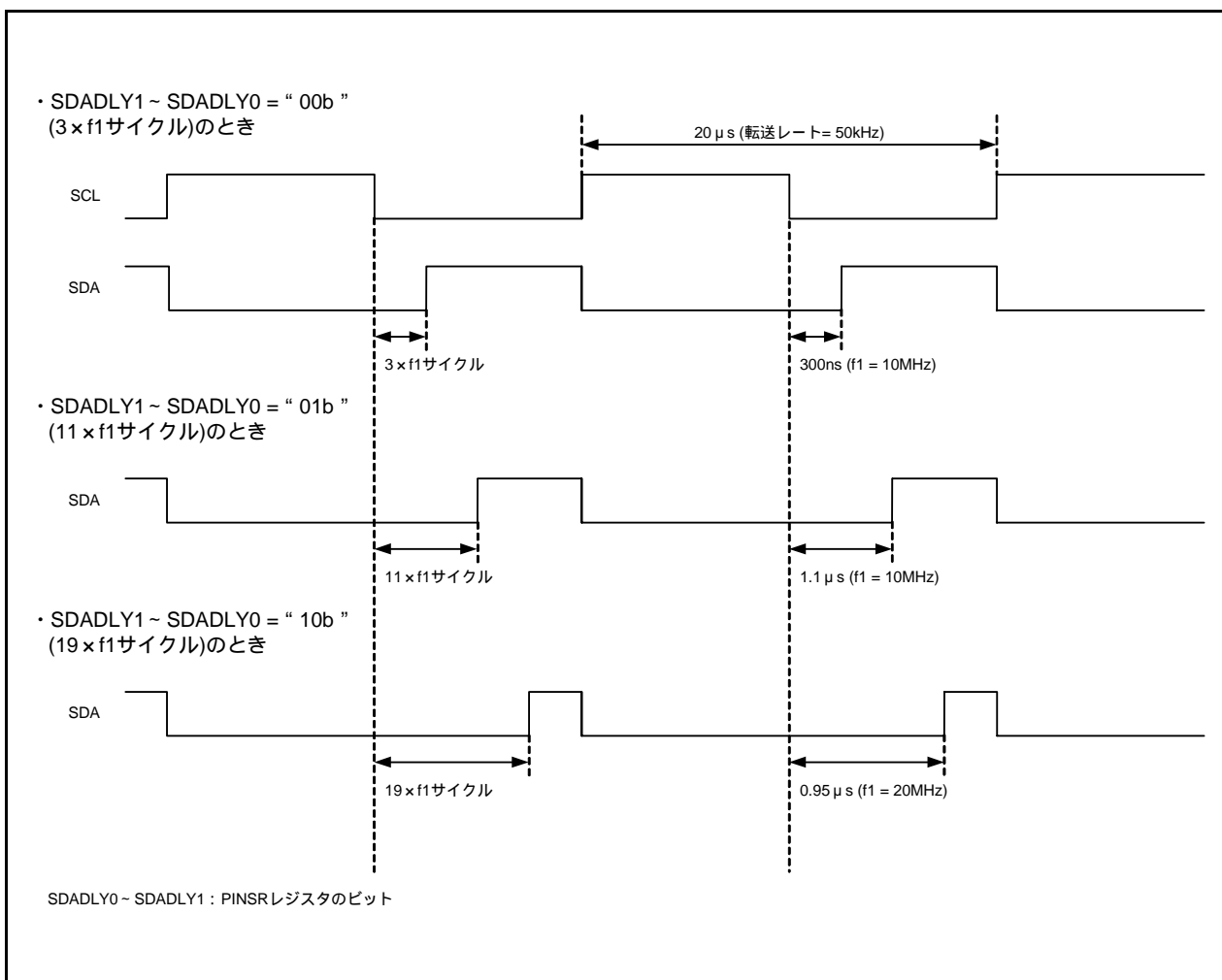


図 23.3 SDA端子のデジタル遅延の動作例

23.3.3 割り込み要求

I²Cバスインタフェースの割り込み要求は、I²Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表 23.5にI²Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI²Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表 23.5 I²Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I ² Cバス	クロック同期式シリアル
送信データエンプティ	TXI	TIE = 1かつTDRE = 1	有効	有効
送信終了	TEI	TEIE = 1かつTEND = 1	有効	有効
受信データフル	RXI	RIE = 1かつRDRF = 1	有効	有効
停止条件検出	STPI	STIE = 1かつSTOP = 1	有効	無効
NACK検出	NAKI	NAKIE = 1かつAL = 1 (またはNAKIE = 1かつNACKF = 1)	有効	無効
アービトレーションロスト/ オーバーランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIERレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表 23.5の発生条件が満たされたとき、I²Cバスインタフェース割り込み要求が発生します。I²Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1”(停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

23.4 I²Cバスインタフェースモード23.4.1 I²Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I²Cバスフォーマットで通信します。

図23.4にI²Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

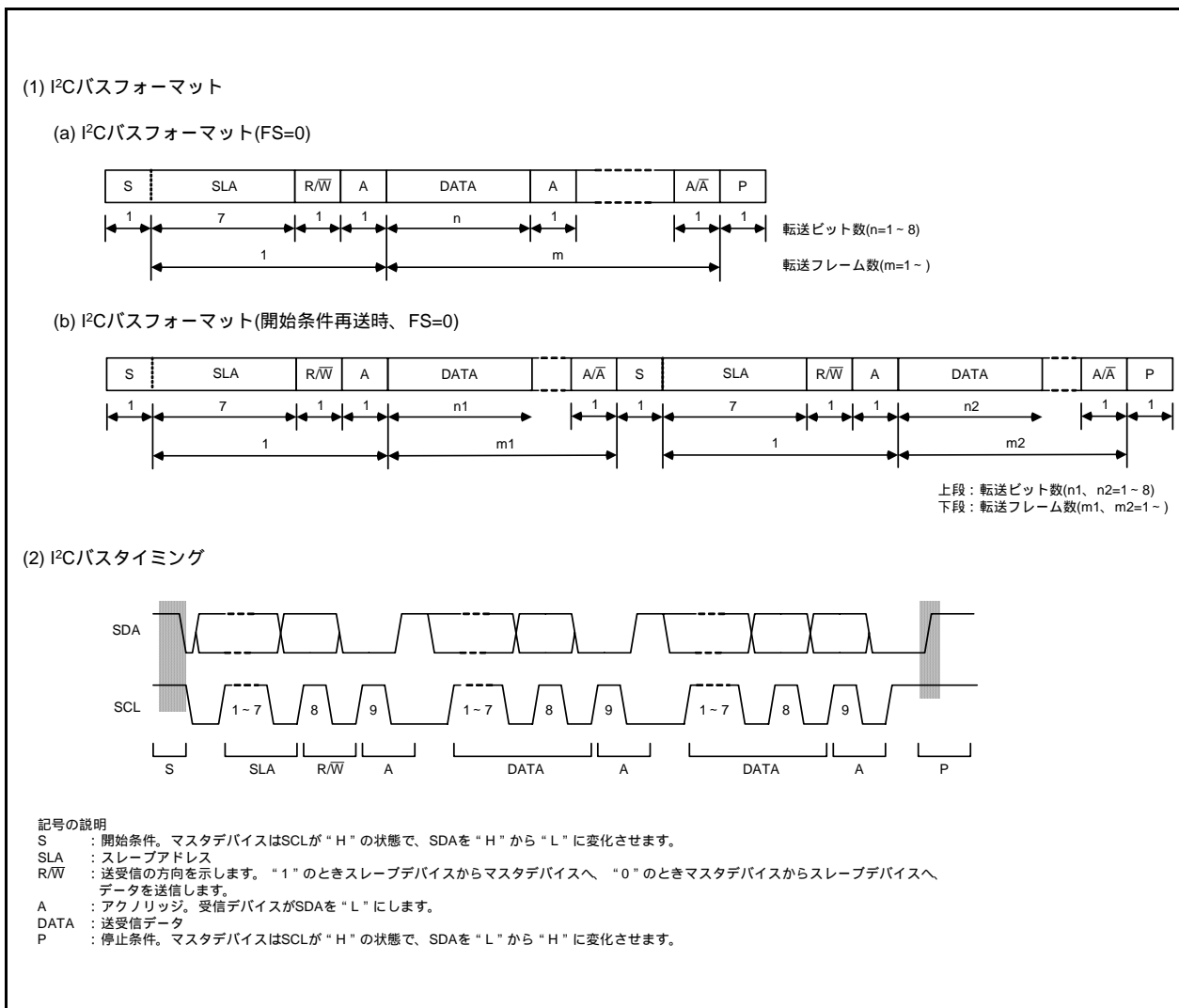


図23.4 I²Cバスフォーマットとバスタイミング

23.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 23.5、図 23.6 にマスタ送信モードの動作タイミング (I²C バスインタフェースモード) を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSR レジスタの STOP ビットを初期化するために “0” にしてください。その後、ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください(初期設定)。
- (2) ICCR2 レジスタの BBSY ビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタの TRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY = 1 と SCP = 0 を MOV 命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSR レジスタの TDRE ビットが “1” であることを確認した後、ICDRT レジスタに送信データ (1 バイト目はスレーブアドレスと R/W を示すデータ) を書いてください。このとき TDRE ビットは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE ビットが “1” になります。
- (4) TDRE ビットが “1” の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR レジスタの TEND ビットが “1” になります。ICIER レジスタの ACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを ICDRT レジスタに書いてください。ACKBR ビットが “1” のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY = 0 と SCP = 0 を MOV 命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が “L” に固定されます。
- (5) 2 バイト目以降の送信データは、TDRE ビットが “1” になるたびに、ICDRT レジスタにデータを書いてください。
- (6) 送信するバイト数を ICDRT レジスタに書いたとき、その後は TDRE ビットが “1” の状態で TEND ビットが “1” になるまで待ってください。または、ICIER レジスタの ACKE ビットが “1” (受信アクノリッジが “1” の場合、転送中止) の状態で、受信デバイスからの NACK (ICSR レジスタの NACKF = 1) を待ってください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを “0” にしてください。
- (7) ICSR レジスタの STOP ビットが “1” になったとき、スレーブ受信モードに戻してください。

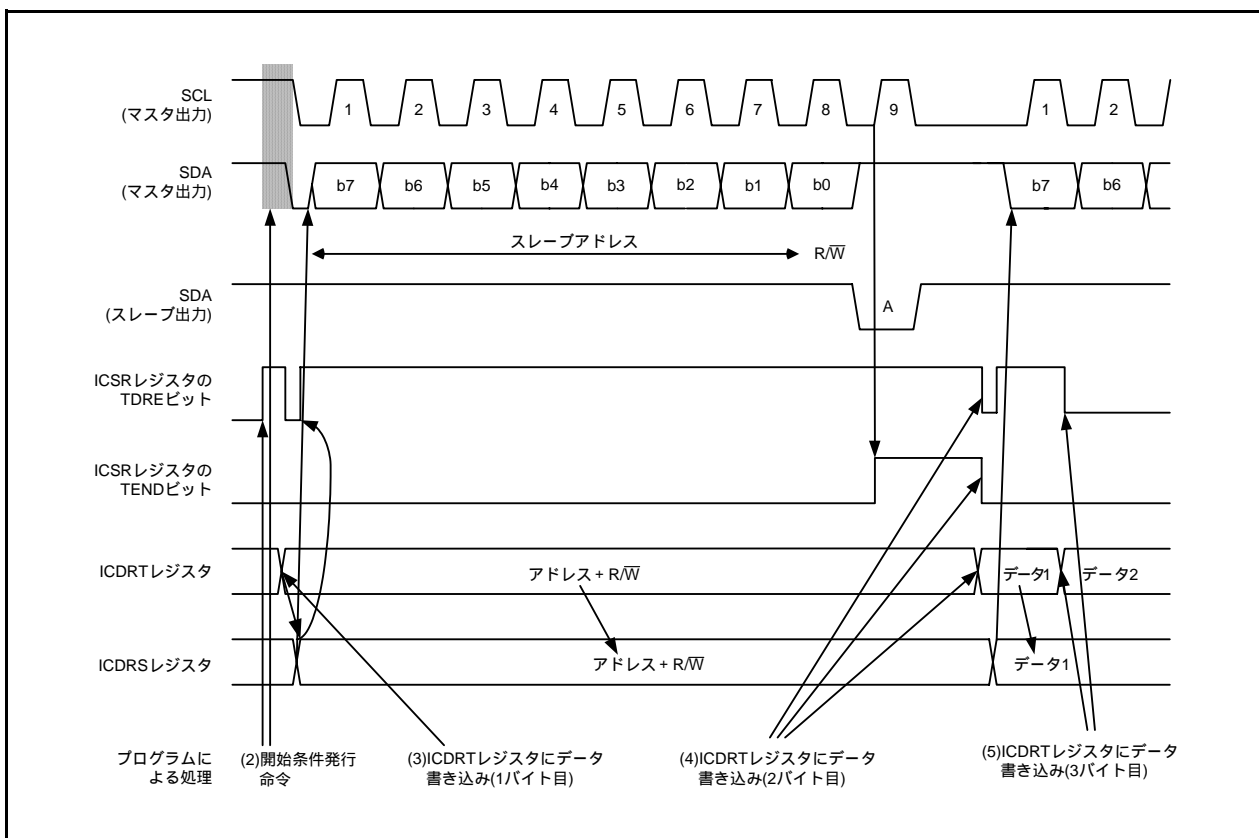


図 23.5 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

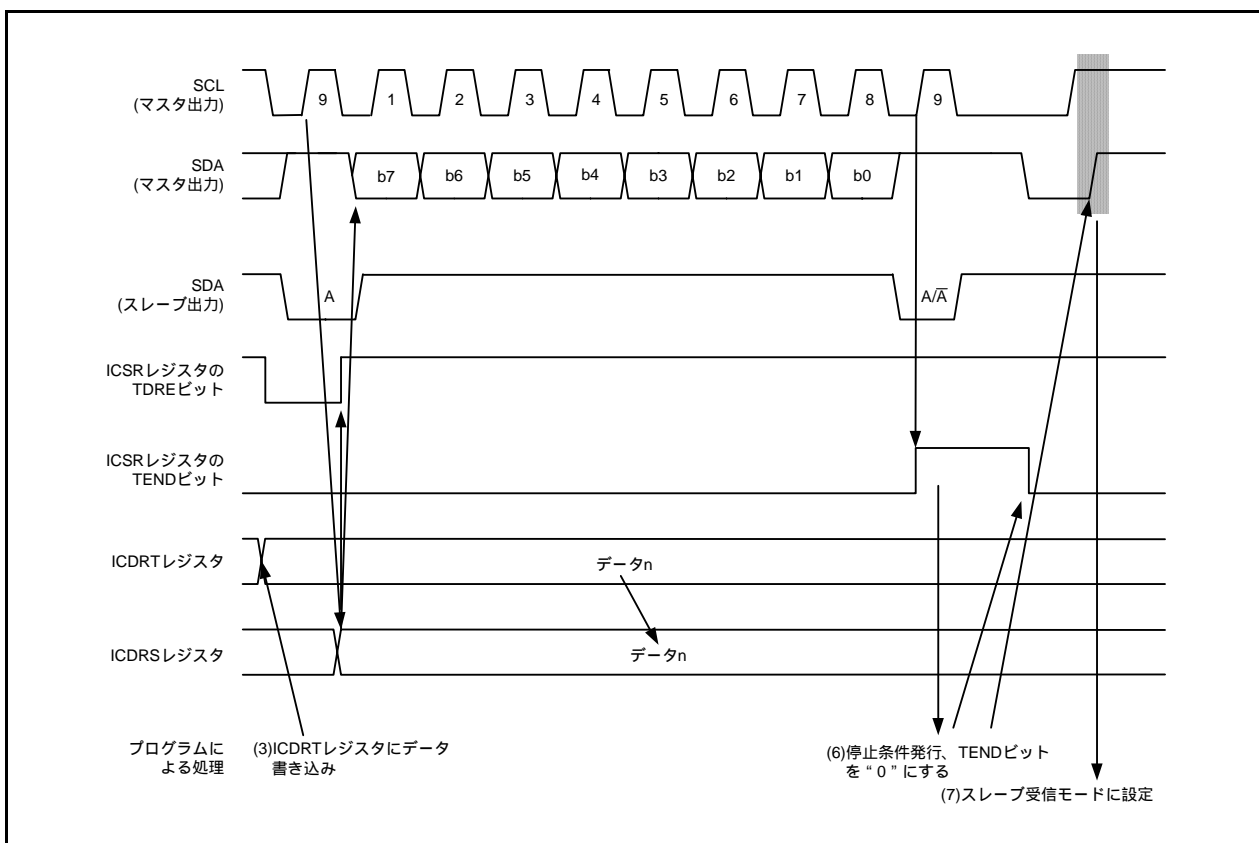


図 23.6 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

23.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。、図 23.7、図 23.8にマスタ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。なお、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がり重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。「23.9 I²Cバスインタフェース使用上の注意」を参照してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

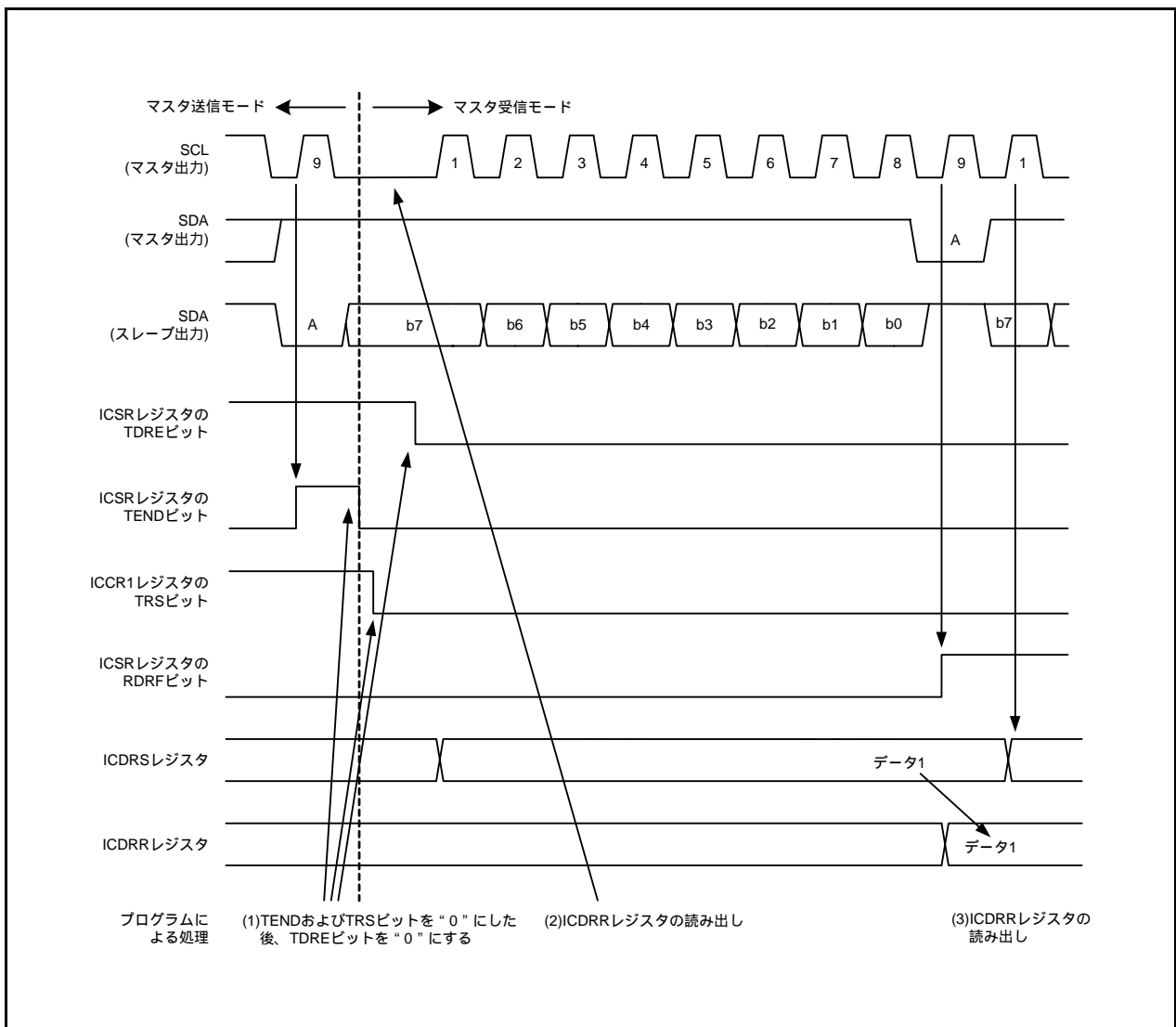


図 23.7 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

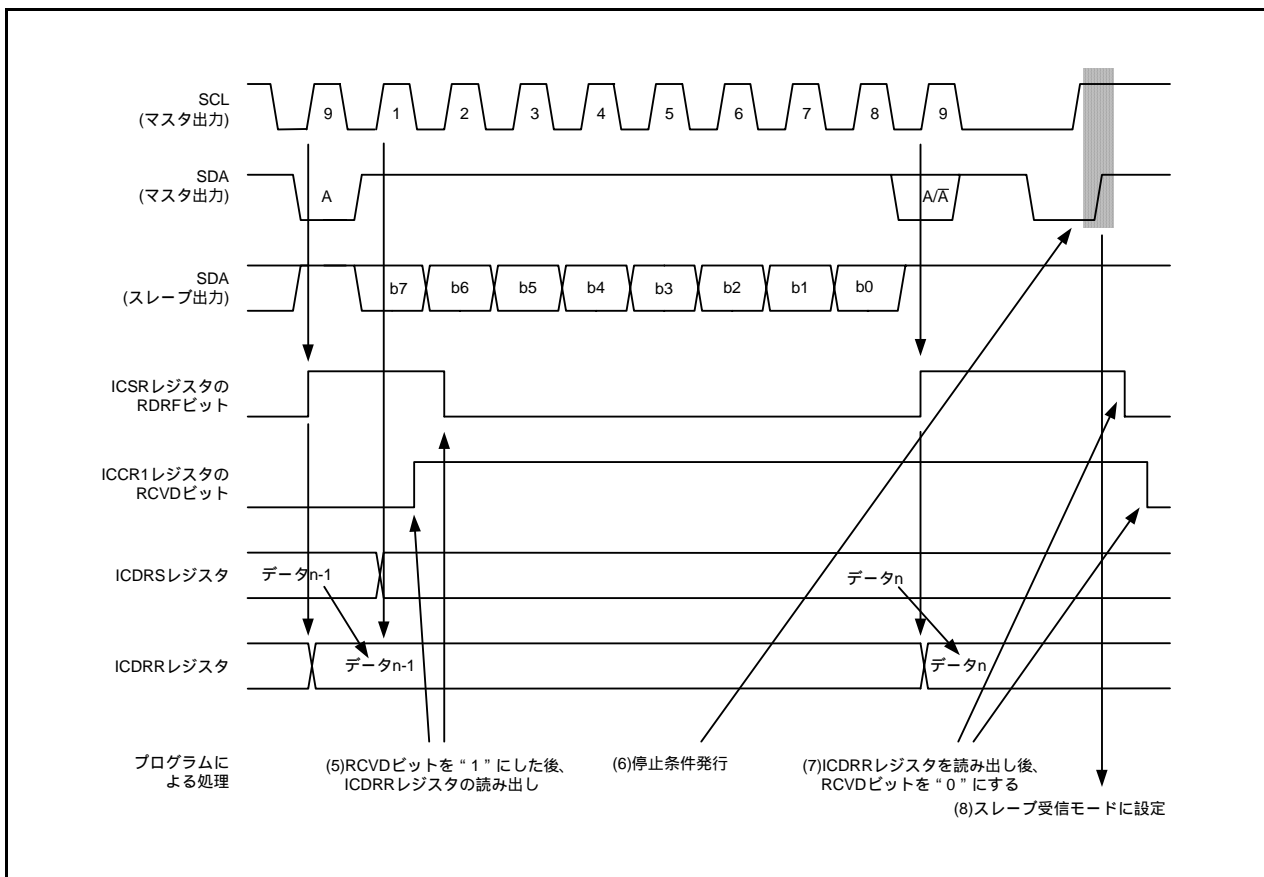


図 23.8 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

23.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 23.9、図 23.10 にスレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1 レジスタのICE ビットを“1”(転送動作可能状態)にしてください。その後、ICMR レジスタのWAIT、MLS ビット、ICCR1 レジスタのCKS0 ~ CKS3 ビットなどを設定してください(初期設定)。次にICCR1 レジスタのTRS、MST ビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタのACKBT ビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRS ビットおよびICSR レジスタのTDRE ビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが“1”になるたびにICDRT レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRT レジスタに書いた後にTDRE ビットが“1”になったとき、TDRE ビットが“1”の状態でもICSR レジスタのTEND ビットが“1”になるまで待ってください。TEND ビットが“1”になったら、TEND ビットを“0”にしてください。
- (4) 終了処理のためTRS ビットを“0”にし、ICDRR レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを“0”にしてください。

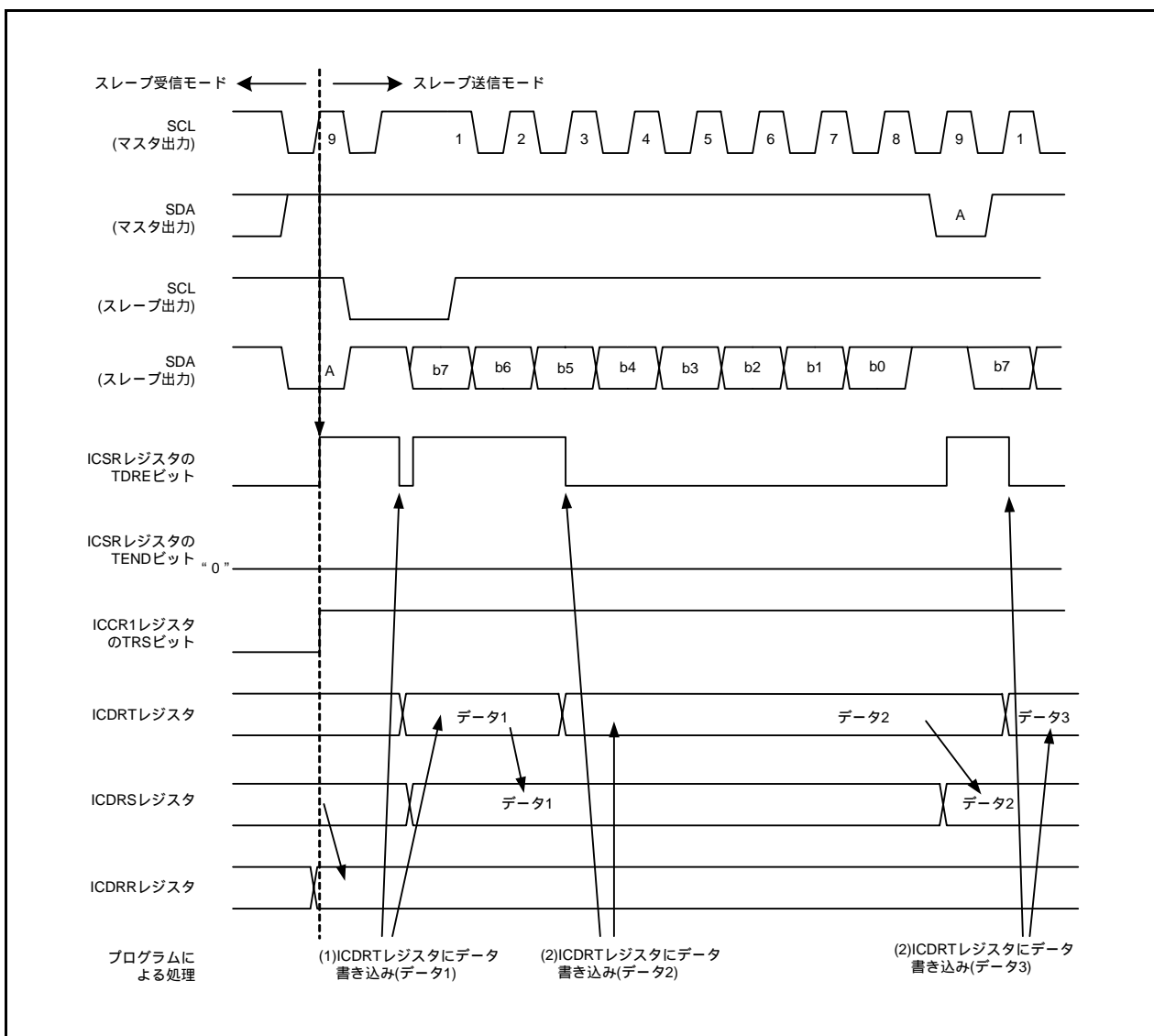


図 23.9 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

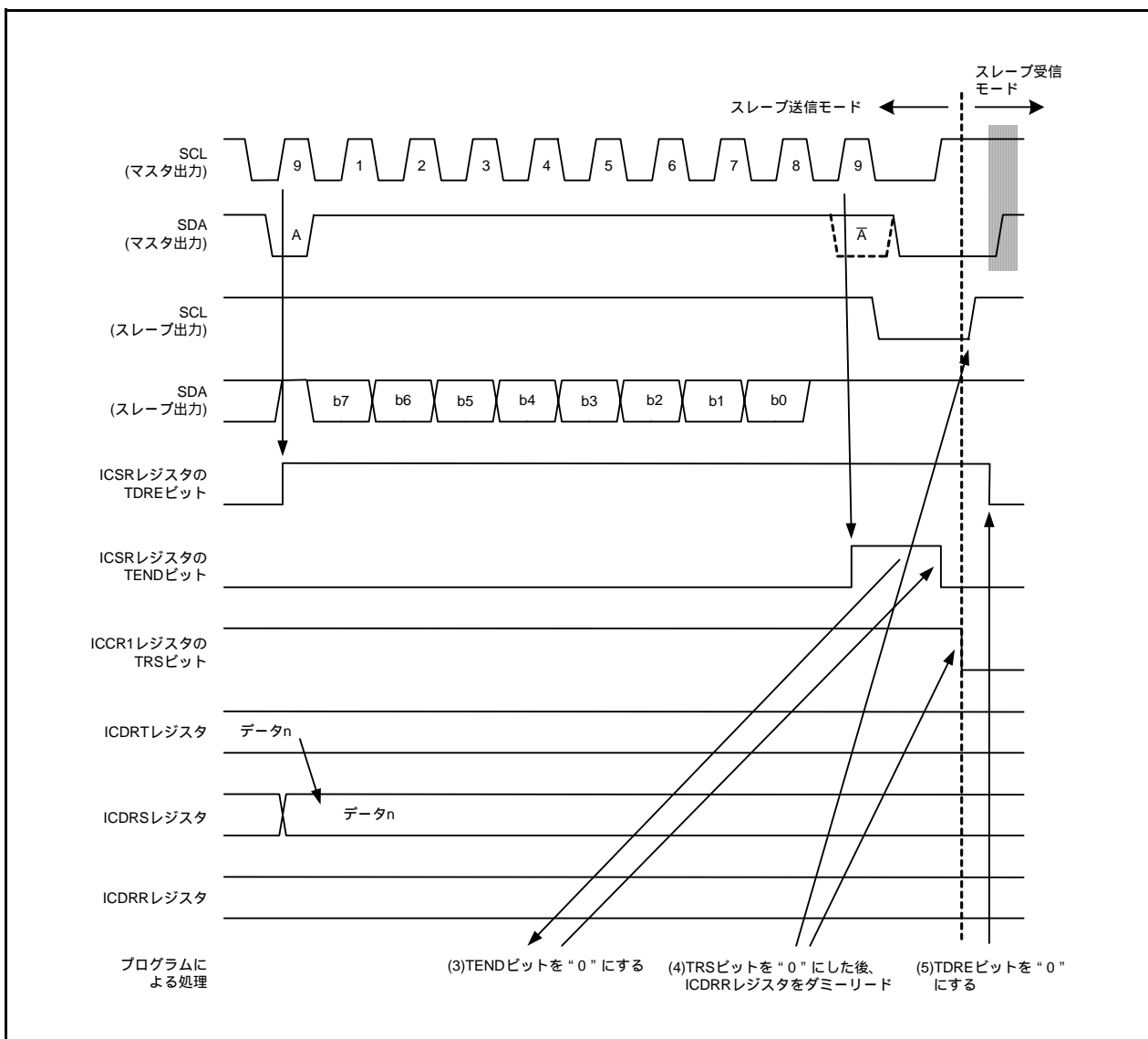


図 23.10 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

23.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 23.11、図 23.12 にスレーブ受信モードの動作タイミング (I²C バスインタフェースモード) を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください (初期設定)。次に ICCR1 レジスタの TRS、MST ビットを “0” にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスは ICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。同時に ICSR レジスタの RDRF ビットが “1” になりますので、ICDRR レジスタをダミーリード (読み出したデータはスレーブアドレス+R/Wを示すので不要) してください。
- (3) RDRF ビットが “1” になるたびに、ICDRR レジスタを読んでください。RDRF ビットが “1” の状態で8クロック目が立ち下がると、ICDRR レジスタを読むまで SCL が “L” に固定されま。ICDRR レジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されま。
- (4) 最終バイトの読み出しも、同様に ICDRR レジスタを読むことで行います。

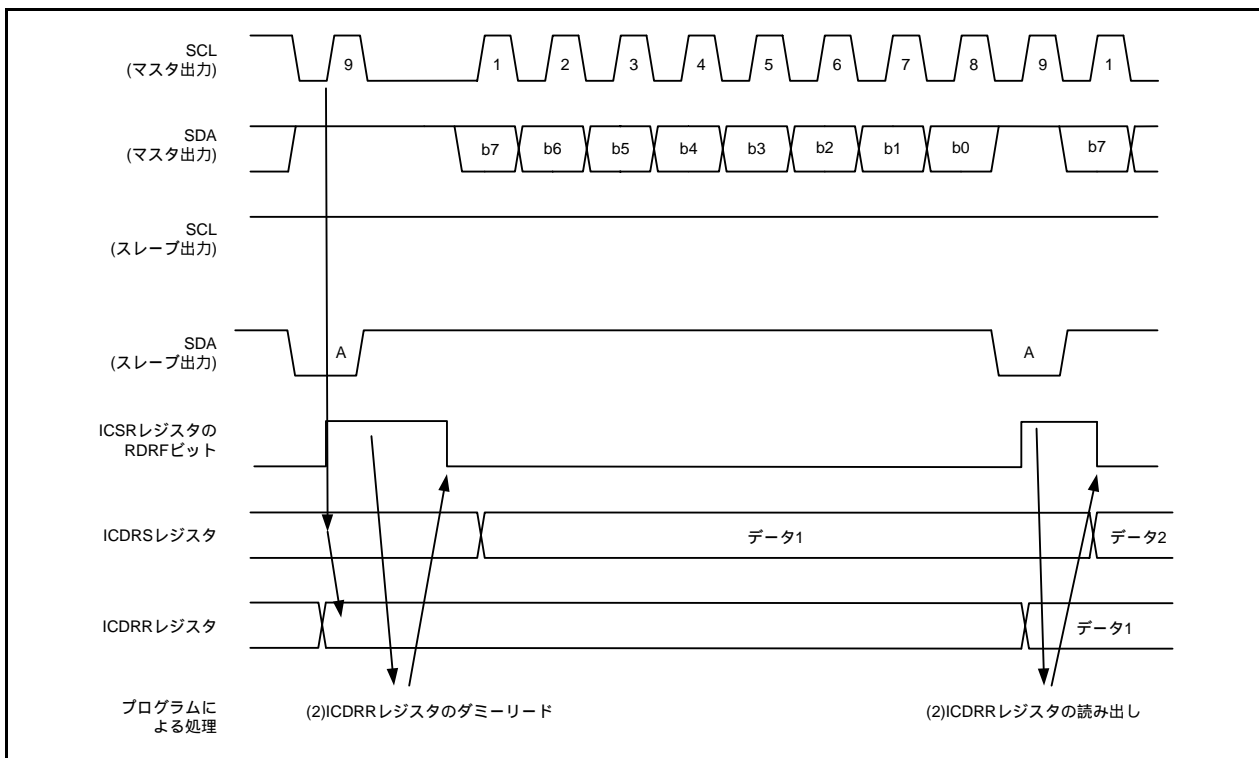


図 23.11 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

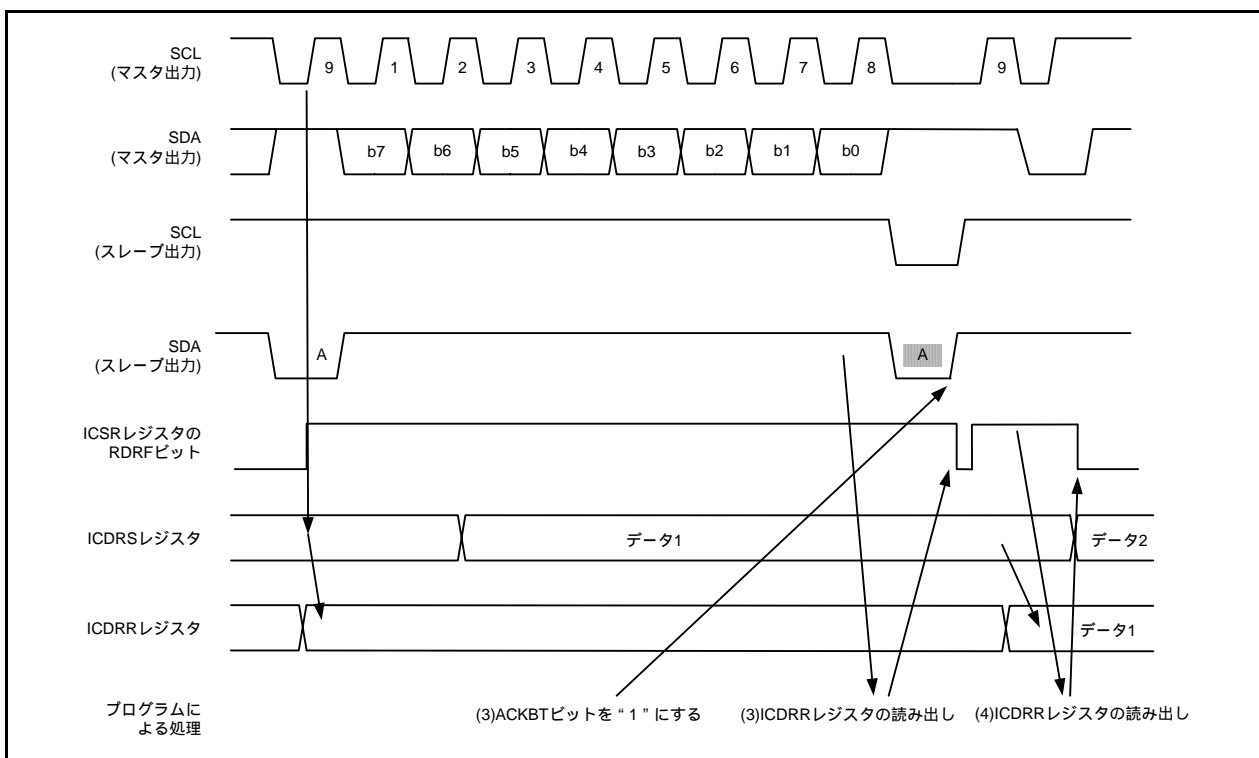


図 23.12 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

23.5 クロック同期式シリアルモード

23.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。
図 23.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”(マスタモード)のときSCLから転送クロック出力となり、MSTビットが“0”(スレーブモード)のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち上がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

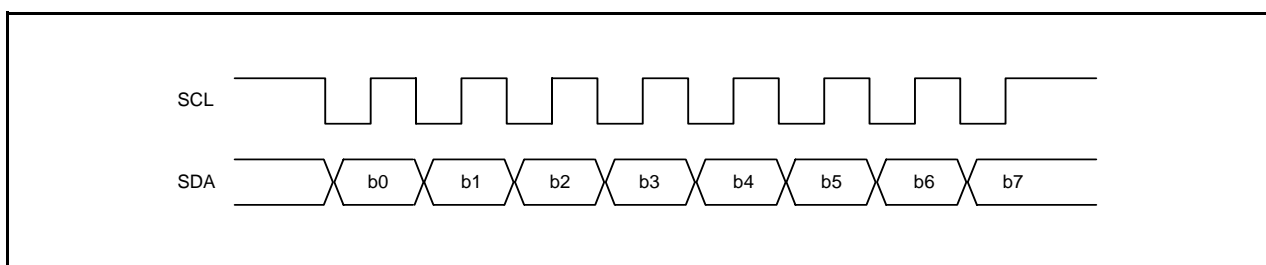


図 23.13 クロック同期式シリアルフォーマットの転送フォーマット

23.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”(マスタモード)のとき出力、MSTビットが“0”(スレーブモード)のとき入力となります。

図 23.14 に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。
- (3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書き込んでください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態ではTRSビットを“0”にしてください。

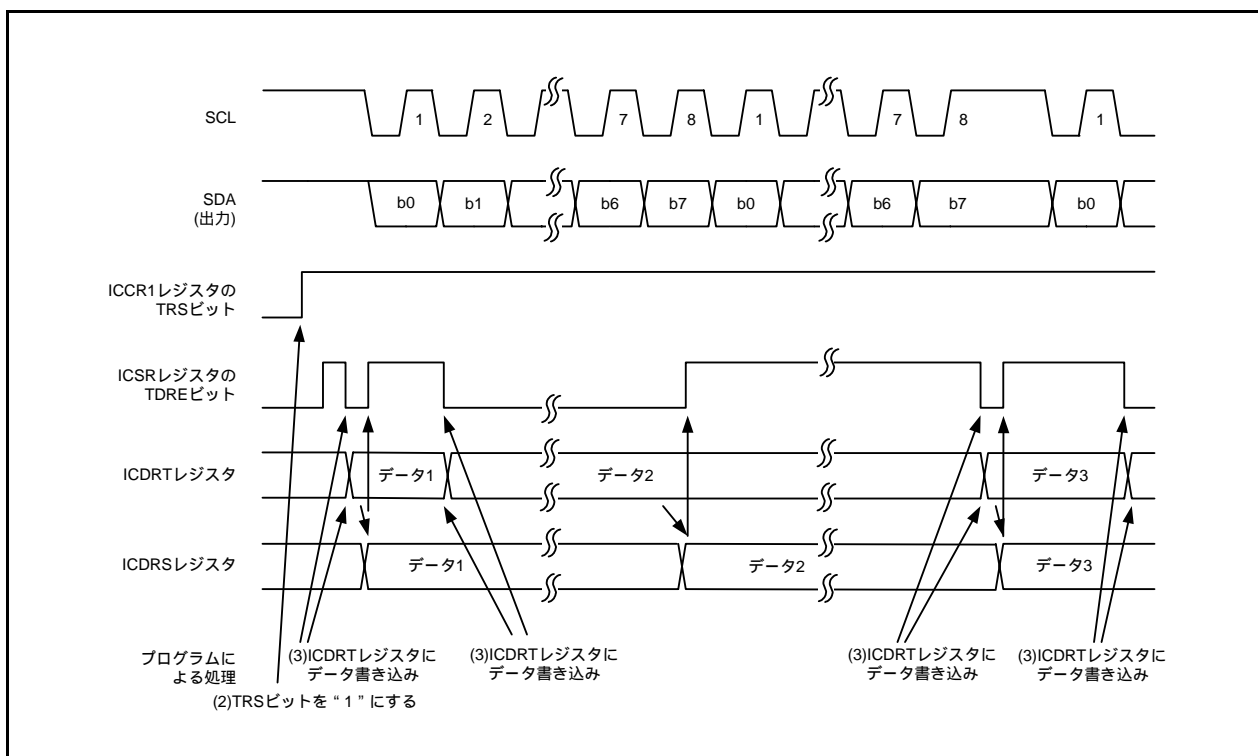


図 23.14 送信モードの動作タイミング(クロック同期式シリアルモード)

23.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”(マスタモード)のとき出力、MSTビットが“0”(スレーブモード)のとき入力となります。

図 23.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態で8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

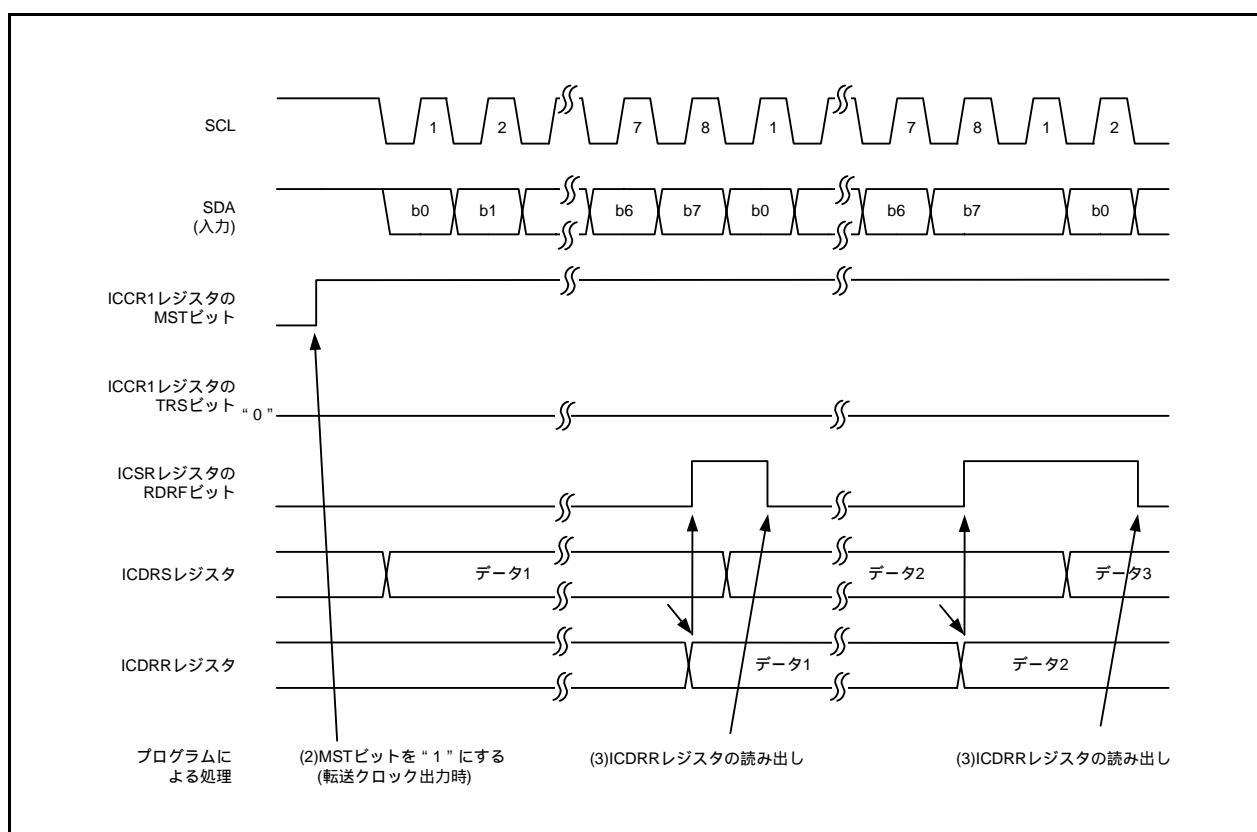


図 23.15 受信モードの動作タイミング(クロック同期式シリアルモード)

23.6 レジスタ設定例

I²Cバスインタフェースを使用する場合のレジスタ設定例を図 23.16 ~ 図 23.19 に示します。

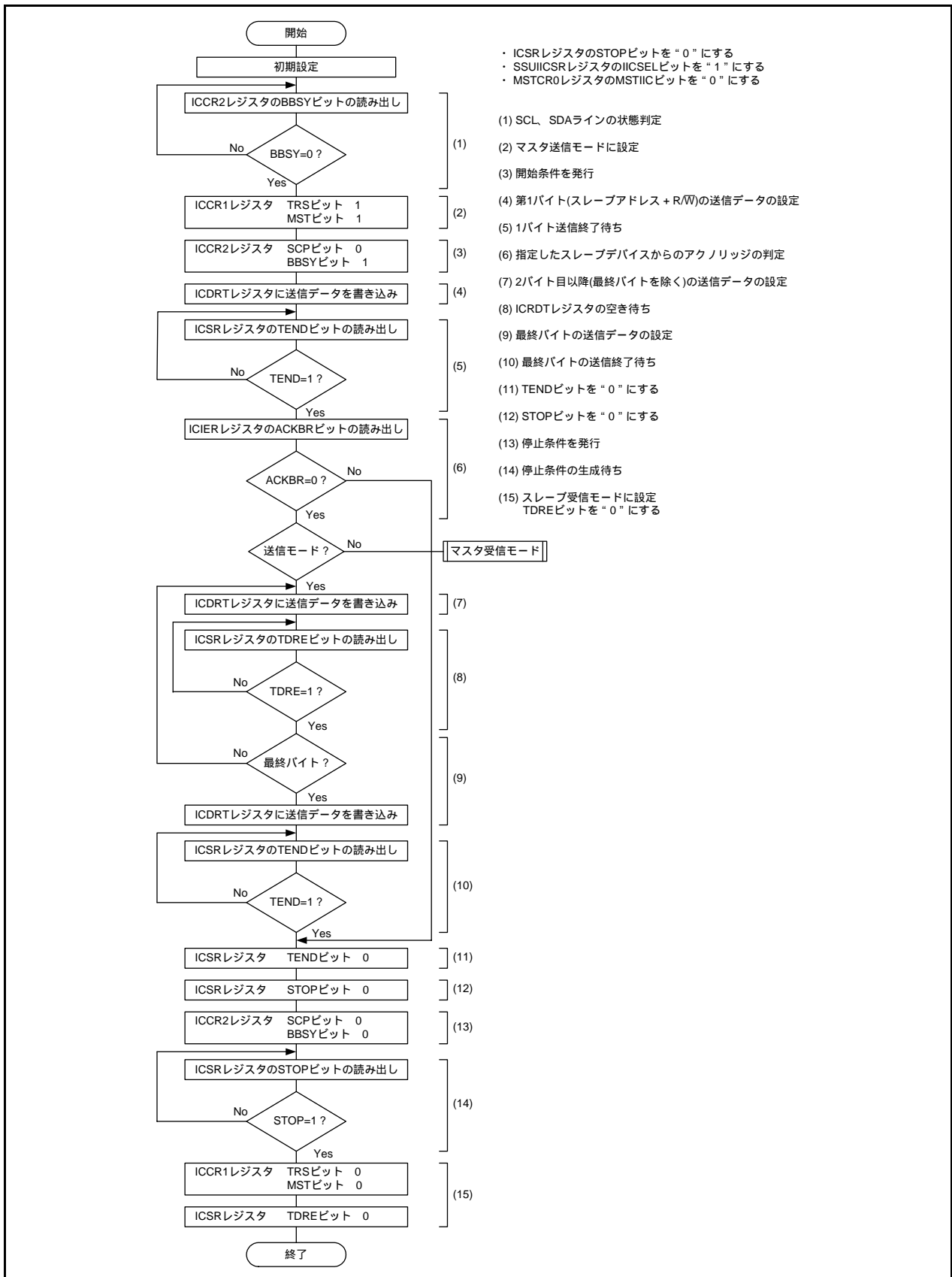


図 23.16 マスタ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

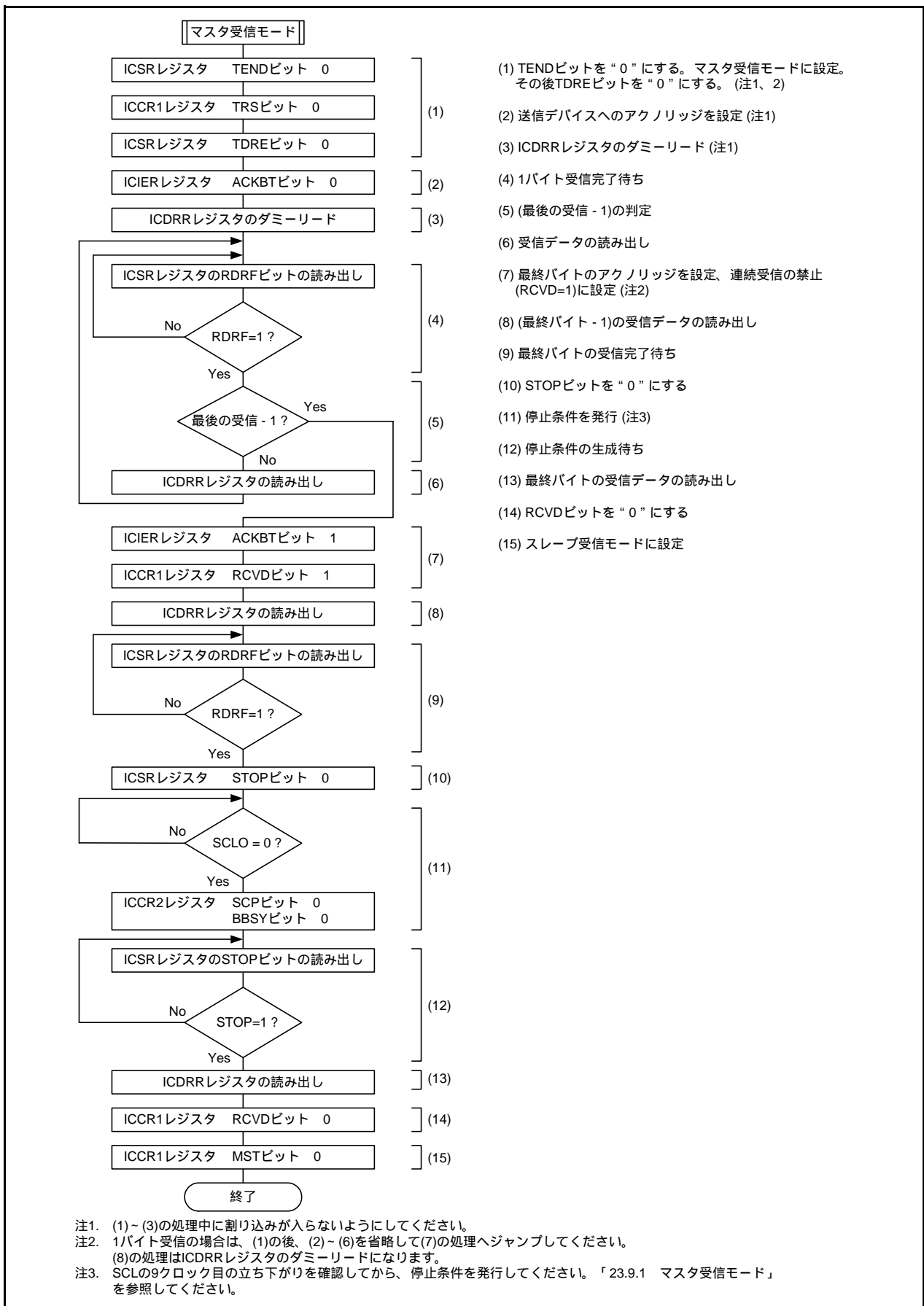


図 23.17 マスタ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

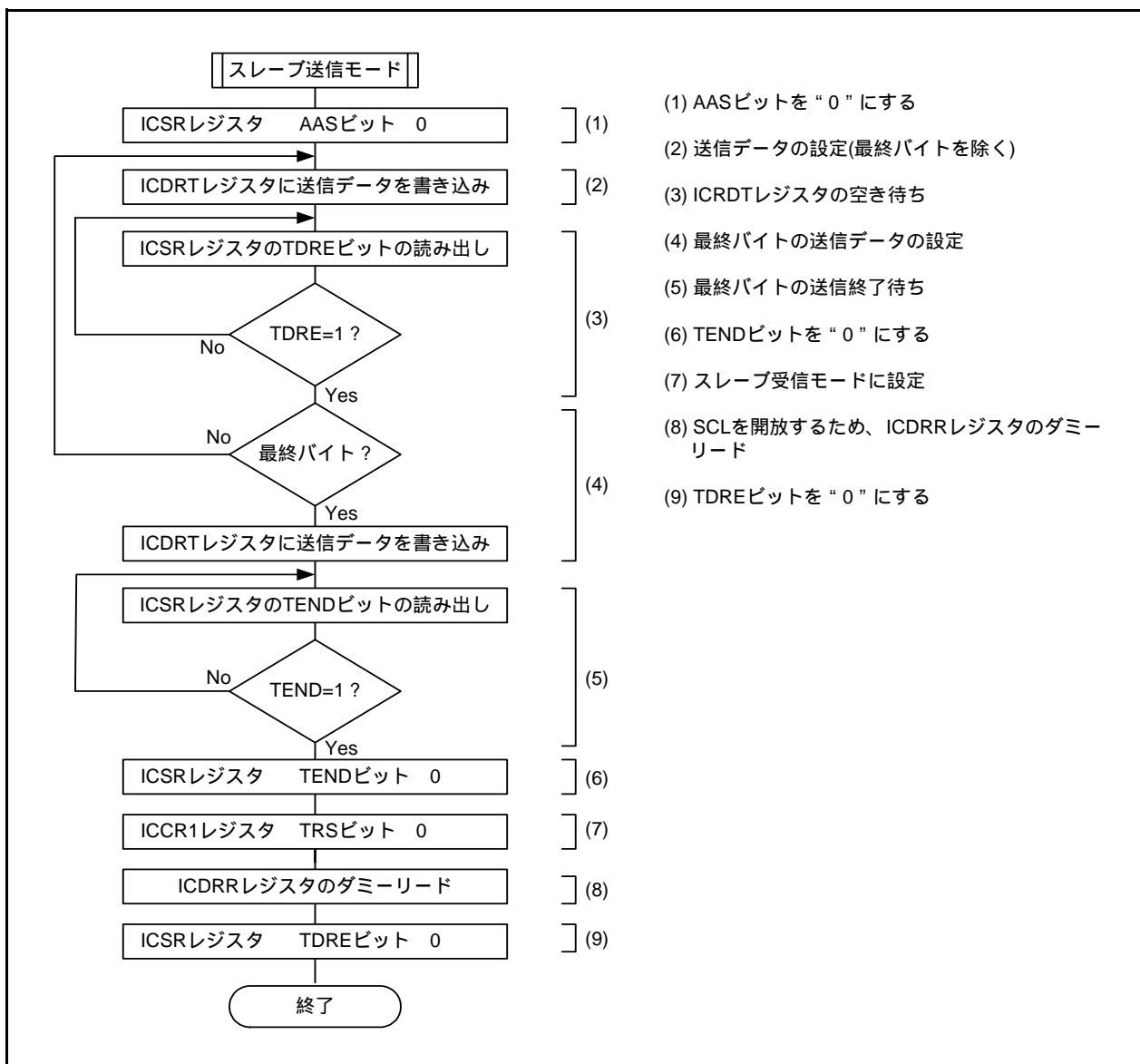


図 23.18 スレーブ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

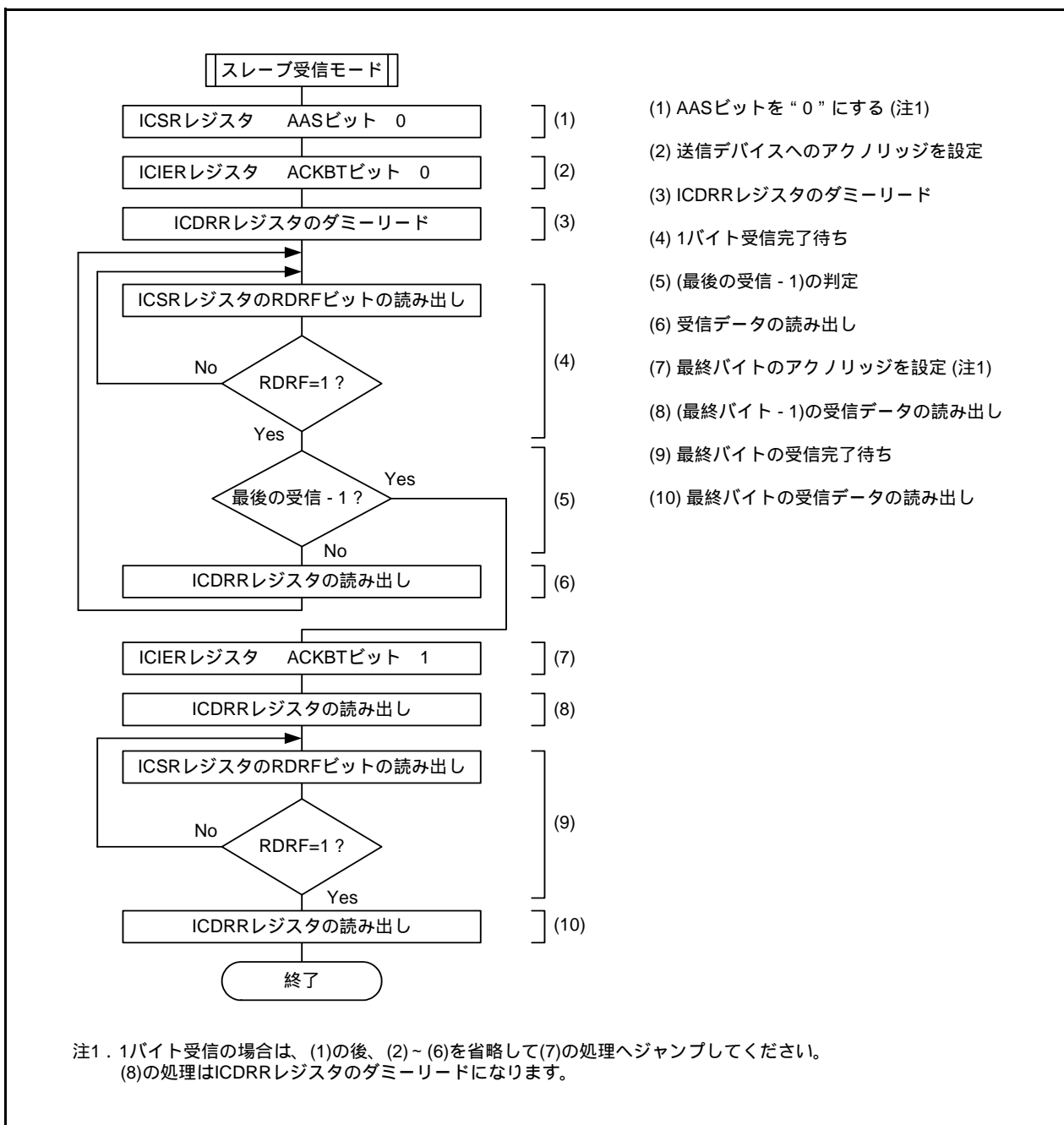


図 23.19 スレーブ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

23.7 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図23.20にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)が f_1 でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

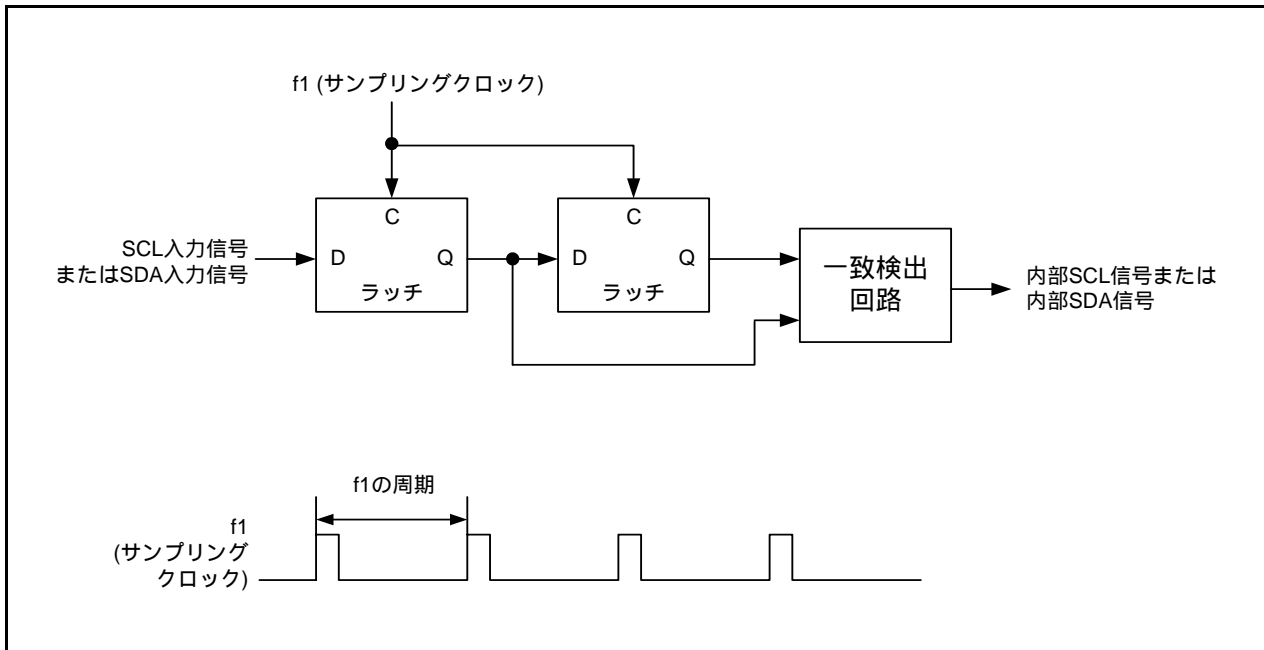


図 23.20 ノイズ除去回路のブロック図

23.8 ビット同期回路

I²Cバスインタフェースをマスターモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
 - SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合
- の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図 23.21 にビット同期回路のタイミングを、表 23.6 にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

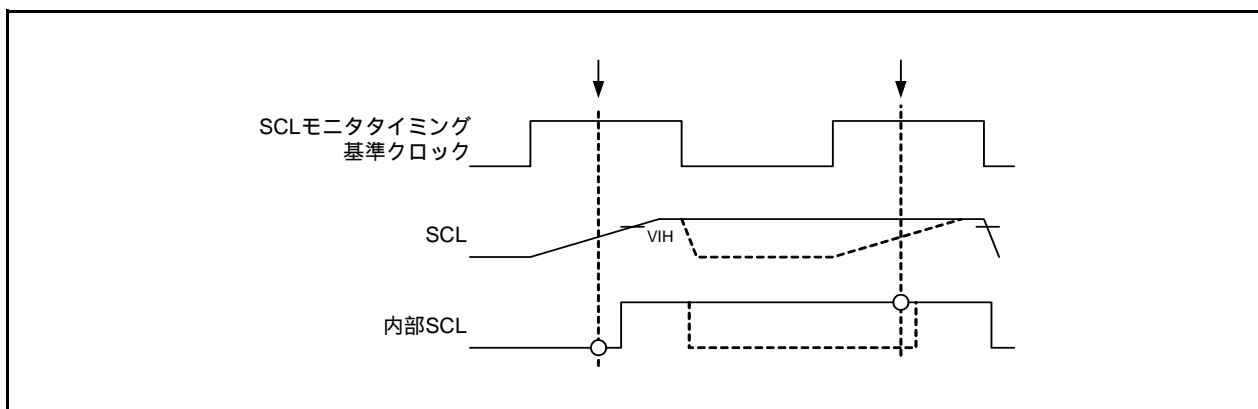


図 23.21 ビット同期回路のタイミング

表 23.6 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1 レジスタ		SCL をモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc = 1/f1(s)

23.9 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I²Cバスインタフェース機能を選択)にしてください。

23.9.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

23.9.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

23.9.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I²Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

23.9.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI²Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI²Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

23.9.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

23.9.2.3 IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRST ビットに“1”を書くと、ICSRレジスタのTDRE ビットは“1”になります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRST ビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

24. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

24.1 概要

表 24.1にフラッシュメモリの性能概要を示します(表 24.1に示す以外の項目は「表 1.1 仕様概要」を参照してください)。

表 24.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図 24.1 ~ 図 24.2を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0~5 (プログラムROM)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B (データフラッシュ)	FMR1レジスタのFMR14、FMR15ビットによるブロックA、Bに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注3)	ブロック0~5 (プログラムROM)	10,000回
	ブロックA、B (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラムROMのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8 V ~ 5.5 Vの条件で行ってください。

注2. データフラッシュのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8 V ~ 5.5 Vの条件で行ってください。

注3. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。
プログラム、イレーズ回数がn回(n = 10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

表 24.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	

24.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 24.1 ~ 図 24.2にR8C/LAPSグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM： 主にプログラムを格納するためのフラッシュメモリ

データフラッシュ： 主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

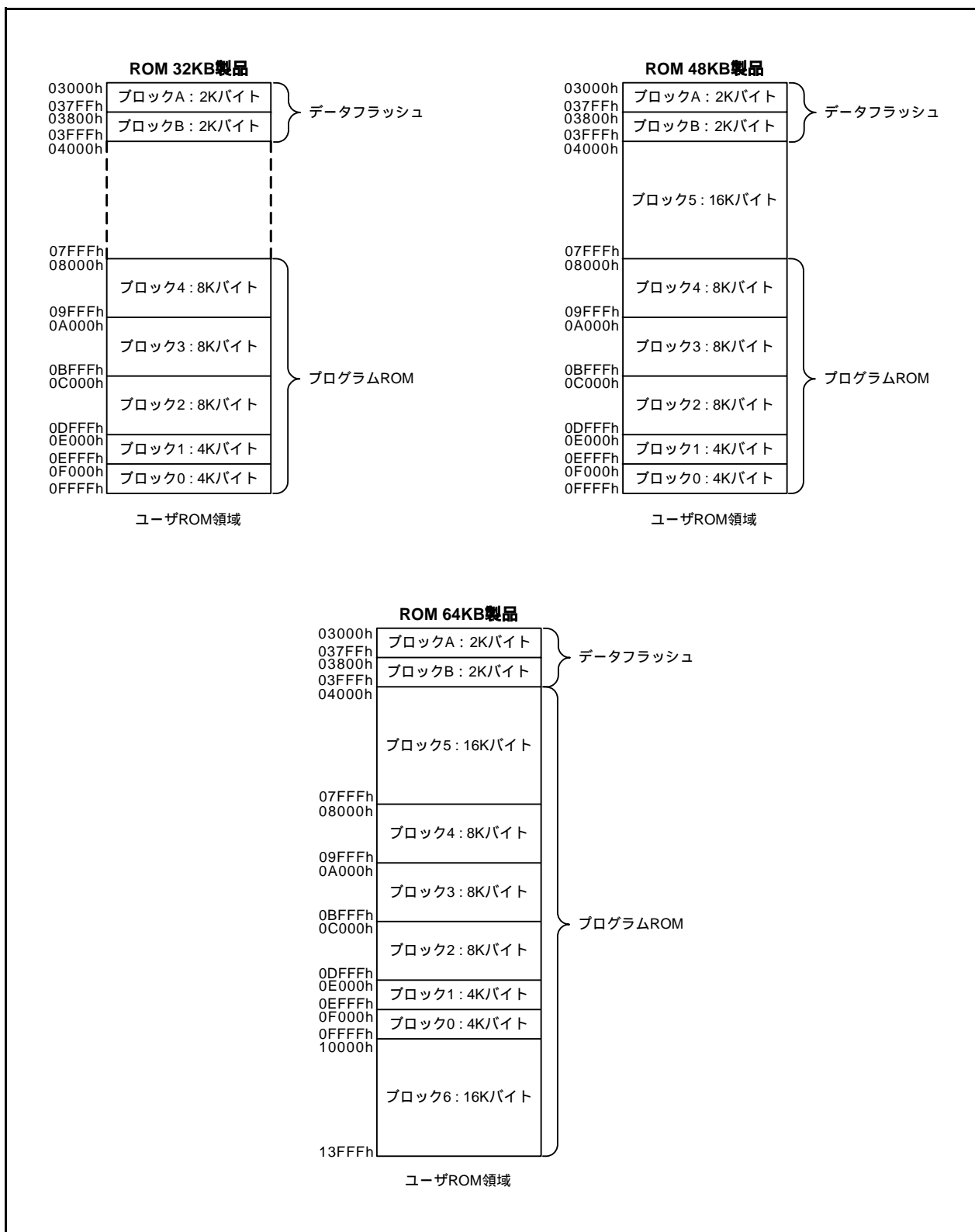


図 24.1 R8C/LAPSグループのフラッシュメモリのブロック図 (1)

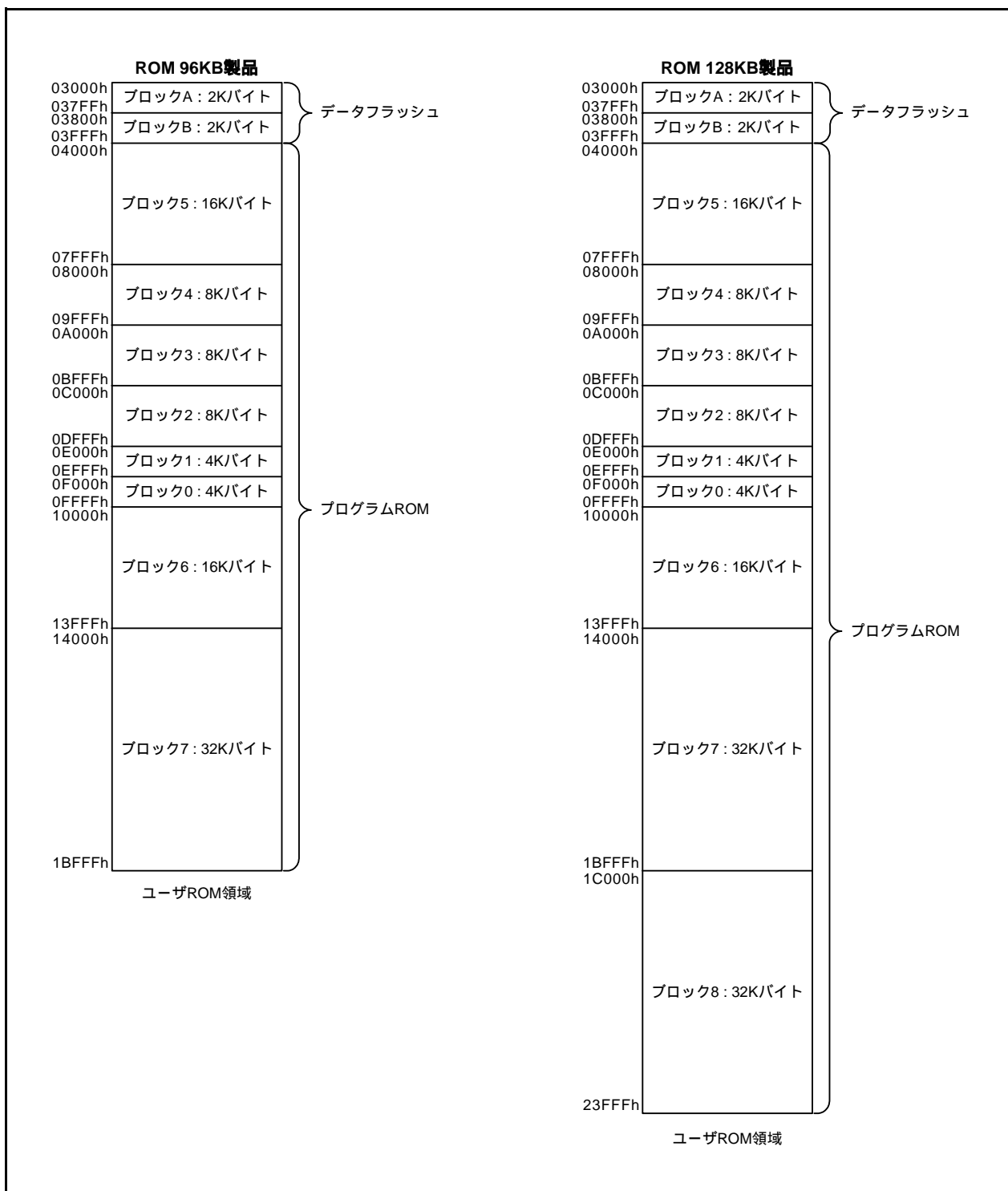


図 24.2 R8C/LAPSグループのフラッシュメモリのブロック図 (2)

24.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

24.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「13. IDコード領域」を参照してください。

24.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「14. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

24.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0: 3.80Vを選択 (Vdet0_3) 0 1: 2.85Vを選択 (Vdet0_2) 1 0: 2.35Vを選択 (Vdet0_1) 1 1: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷時の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷時の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

24.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで、消去動作もしくは書き込み動作を一時中断するサスペンド機能（プログラムサスペンド、イレーズサスペンド）を持ちます。サスペンド中は、フラッシュメモリの読み出しができません。また、イレーズサスペンドに限り、フラッシュメモリのプログラムも可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表 24.3にEW0モードとEW1モードの違いを示します。

表 24.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
フラッシュメモリの動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行)	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限		プログラム、ブロックコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、サスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPUの状態	動作	プログラム、ブロックイレーズ実行中、CPUはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生 	FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生
プログラムサスペンドの移行条件	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生 	FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生
CPUクロック	最大20MHz	最大20MHz

24.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	FST3	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	FST3	プログラムサスペンドステータスフラグ	0: プログラムサスペンド以外 1: プログラムサスペンド中	R
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

- 注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にしてください。
- 注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にしてください。
- 注3. コマンドエラー時にも“1”(エラーあり)になります。
- 注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディに変化するの、次の状態のときです。

- ・フラッシュメモリのイレーズ/プログラム終了
- ・サスペンド受付
- ・強制終了完了
- ・ロックビットプログラム終了
- ・リードロックビットステータス終了
- ・ブランクチェック終了
- ・フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレース/ライトエラー割り込み許可)のときに、イレースエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレース/ライトを実行している領域を読み/書きする。
または、プログラムROM領域をイレース/ライト中にデータフラッシュ領域をリードする。
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレース/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレースエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

LBDATAビット(LBDATAモニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

更新条件は、プログラム、イレース、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST3ビット(プログラムサスペンドステータスフラグ)

サスペンド状態を示す読み出し専用のビットです。プログラムサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”となります。

FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「24.4.11 フルステータスチェック」を参照してください。

FST5ビット(イレースエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレースエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「24.4.11 フルステータスチェック」を参照してください。

FST6ビット(イレースサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレースサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”となります。

FST7ビット(レディ/ビジーステータスフラグ)

FST7ビットが“0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7ビットが“1”(レディ)になります。

24.4.2 フラッシュメモリ制御レジスタ0(FMR0)

アドレス 01B4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。 読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み 許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は割り込みを禁止にしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「10.6.9 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

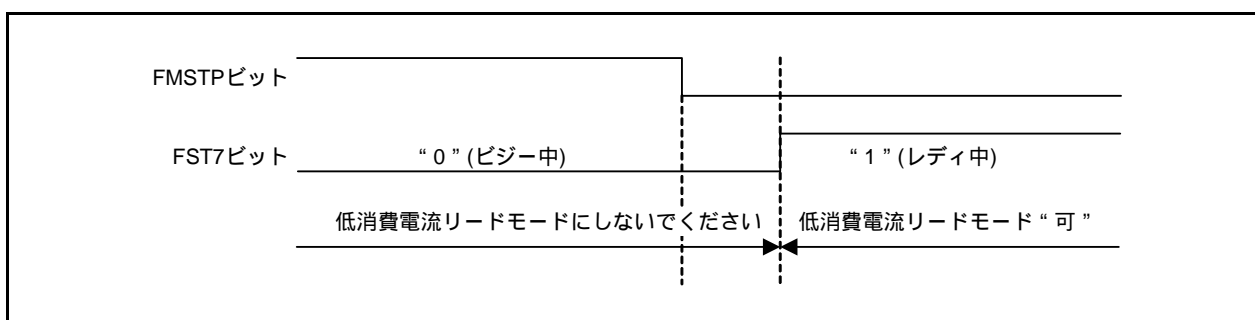


図 24.3 低消費電流リードモードへの移行

CMDRSTビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレースコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレースコマンドを再度実行し、ブロックイレースが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレースコマンドを再度実行してください。

また、イレースサスペンド中にCMDRSTビットを“1”(イレース/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレースをサスペンドしていたブロックに対しても、ブロックイレースを再度実行してください。

CMDRSTビットを“1”(イレース/ライト停止)にしてから、 $t_d(\text{CMDRST-READY})$ 後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

CMDERIE ビット(イレース/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレースエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIE ビットを“1”(イレース/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを“0”(イレース/ライトエラー割り込み禁止)から“1”(イレース/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを“1”にする。

BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを“0”(フラッシュアクセスエラー割り込み禁止)から“1”(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのBSYAEI ビットを読む(ダミーリード)。
- (2) BSYAEI ビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIE ビットを“1”(フラッシュアクセスエラー割り込み許可)にする。

RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを“0”(フラッシュレディステータス割り込み禁止)から“1”(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのRDYSTI ビットを読む(ダミーリード)。
- (2) RDYSTI ビットに“0”(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIE ビットを“1”(フラッシュレディステータス割り込み許可)にする。

24.4.3 フラッシュメモリ制御レジスタ1(FMR1)

アドレス 01B5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	FMR15	FMR14	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	X	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R
b2	—			R/W
b3	FMR13	ロックビット無効選択ビット(注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は割り込みを禁止にしてください。

注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は割り込みを禁止にしてください。

注3. FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると“0”になります。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「24.4.9 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- サスペンド移行時点
- コマンドシーケンスエラー発生時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]

プログラムで“1”にしてください。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

24.4.4 フラッシュメモリ制御レジスタ2(FMR2)

アドレス 01B6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	—	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	サスペンド許可ビット(注1)	0: サスペンド禁止 1: サスペンド許可	R/W
b1	FMR21	サスペンドリクエストビット(注2)	0: リスタート 1: サスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット(注1)	0: 割り込み要求でサスペンドリクエスト禁止 1: 割り込み要求でサスペンドリクエスト許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。		—
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	FMR27	低消費電流リードモード許可ビット(注1、3)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

注2. FMR21ビットを“0”(リスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。

注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。

- ・CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
- ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

FMR20ビット(サスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、サスペンド機能が許可されます。

FMR21ビット(サスペンドリクエストビット)

FMR21ビットを“1”にすると、サスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(サスペンドリクエスト)になり、サスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(リスタート)にしてください。

[“0”になる条件]

プログラムで“0”にしてください。

[“1”になる条件]

- ・割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でサスペンドリクエスト許可)のとき。
- ・プログラムで“1”にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込み要求でサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(サスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にサスペンドを使用するときに、“1”にしてください。

FMR27ビット(低消費電流リードモード許可ビット)

低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「10.6.10 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

・CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

24.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動書き込み中、自動消去中にサスペンドに移行する場合は、FMR20ビットを“1”(サスペンド許可)、FMR21ビットを“1”(サスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST3ビットが“1”(プログラムサスペンド中)もしくはFST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST3ビットが“0”になった場合は書き込み終了、FST6ビットが“0”になった場合は消去終了です)。

FMR2レジスタのFMR21ビットを“0”(リスタート)にすると、自動書き込み、自動消去を再開します。また、自動書き込み、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST3ビットが“0”(プログラムサスペンド以外)、もしくはFST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

24.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

サスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからプログラム、ブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でサスペンドリクエスト許可)にしてください。また、サスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(サスペンドリクエスト)になり、td(SR-SUS)後に、自動書き込み、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(リスタート)にして自動書き込み、自動消去を再開させてください。

24.4.7 サスペンド動作

サスペンド機能は自動書き込み、自動消去の途中で、その動作を一時中断する機能です。

自動書き込み、自動消去を中断したとき、次の動作が実行できます。（「表 24.4 サスペンド中に実行できる動作」参照）

- プログラムサスペンドを確認する場合、FST7ビットが“1”（レディ）となったことを確認後、FST3ビットが“1”（プログラムサスペンド中）になったことで、サスペンドしたことを確認してください。（FST3ビットが“0”（プログラムサスペンド以外）となったときは、書き込み終了です。）
- イレーズサスペンドを確認する場合、FST7ビットが“1”（レディ）となったことを確認後、FST6ビットが“1”（イレーズサスペンド中）になったことで、サスペンドしたことを確認してください。（FST6ビットが“0”（イレーズサスペンド以外）となったときは、消去終了です。）

図 24.4にイレーズサスペンド動作に関するタイミング(EW0モード)を示します。

表 24.4 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラムROM (サスペンド移行前の イレーズ実行ブロック)			プログラムROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド 移行前の イレーズ 実行領域	データ フラッシュ	×	×	×	×						×		
	プログラム ROM				×			×	×	×	×		
サスペンド 移行前の プログラム 実行領域	データ フラッシュ	×	×	×	×	×					×	×	
	プログラム ROM				×	×		×	×	×	×	×	

注1. はサスペンド機能を使用することで動作可能、×は動作禁止、 は組み合わせなし

注2. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”（レディ）で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注3. サスペンド移行直後は、リードアレイモードになります。

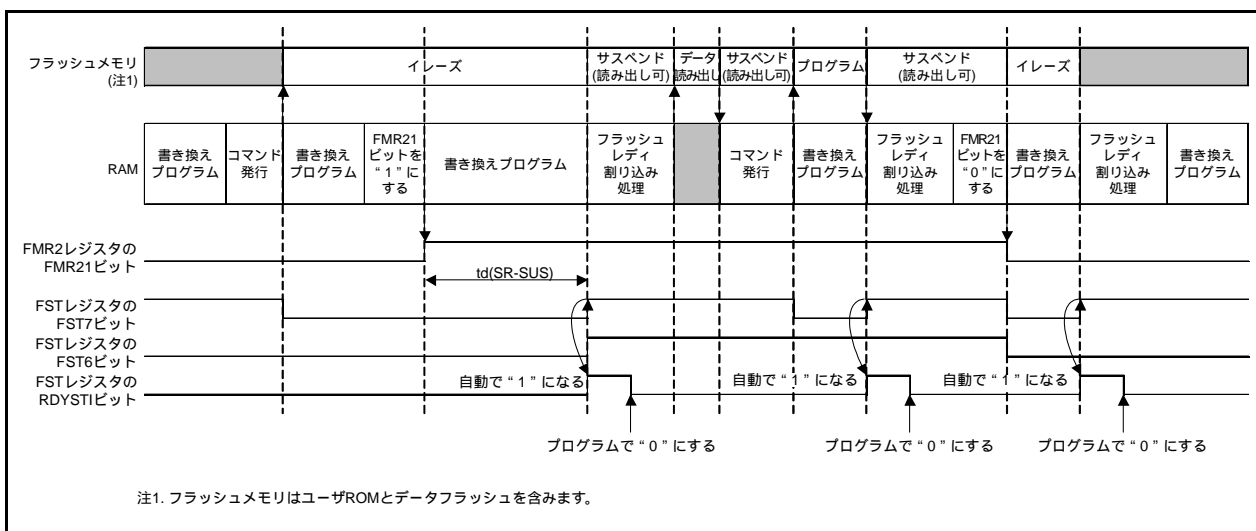


図 24.4 イレーズサuspend動作に関するタイミング(EW0モード)

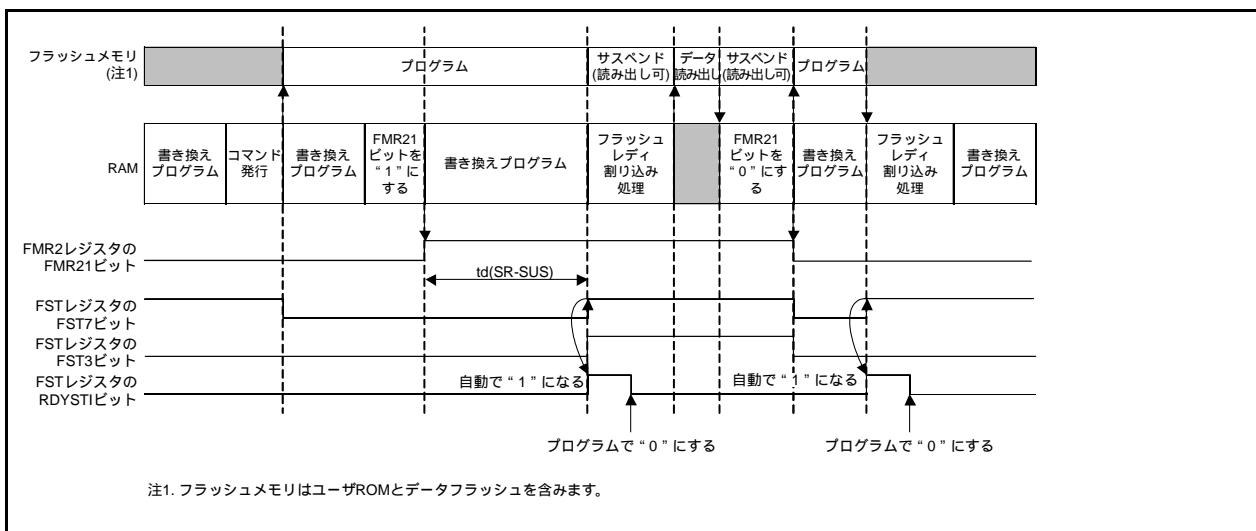


図 24.5 プログラムサuspend動作に関するタイミング(EW0モード)

24.4.8 各モードの設定と解除方法

図 24.6にEW0モードの設定と解除方法を、図 24.7にEW1モードの設定と解除方法を示します。

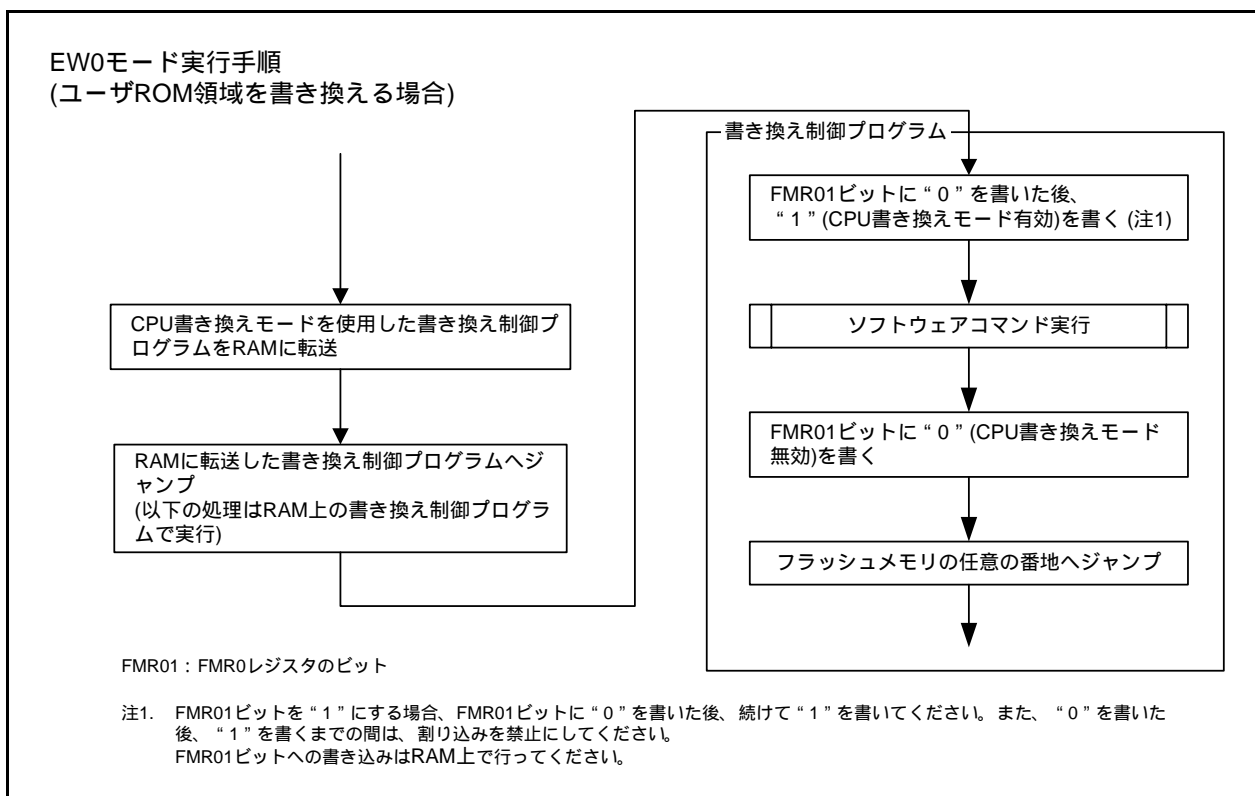


図 24.6 EW0モードの設定と解除方法

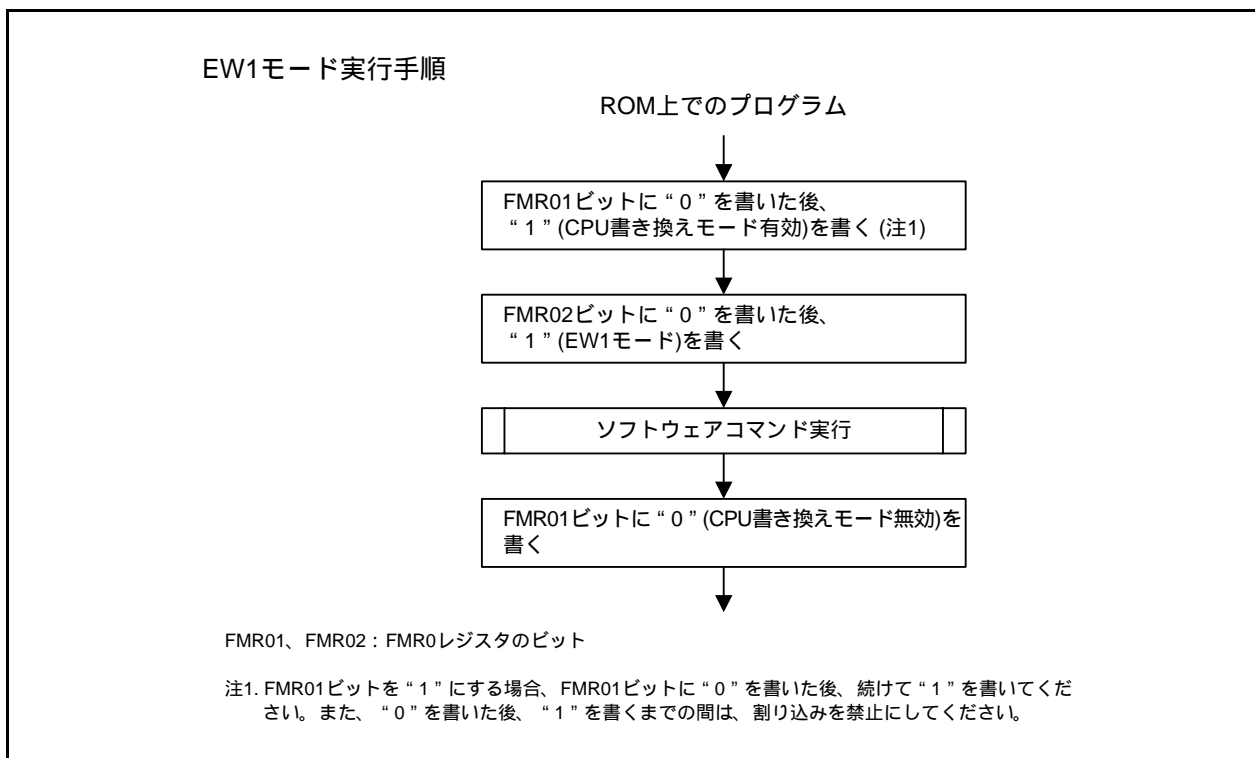


図 24.7 EW1モードの設定と解除方法

24.4.9 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「24.4.10 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが“0”(ビジー)から“1”(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

図 24.8にFMR13ビットの動作に関するタイミングを示します。

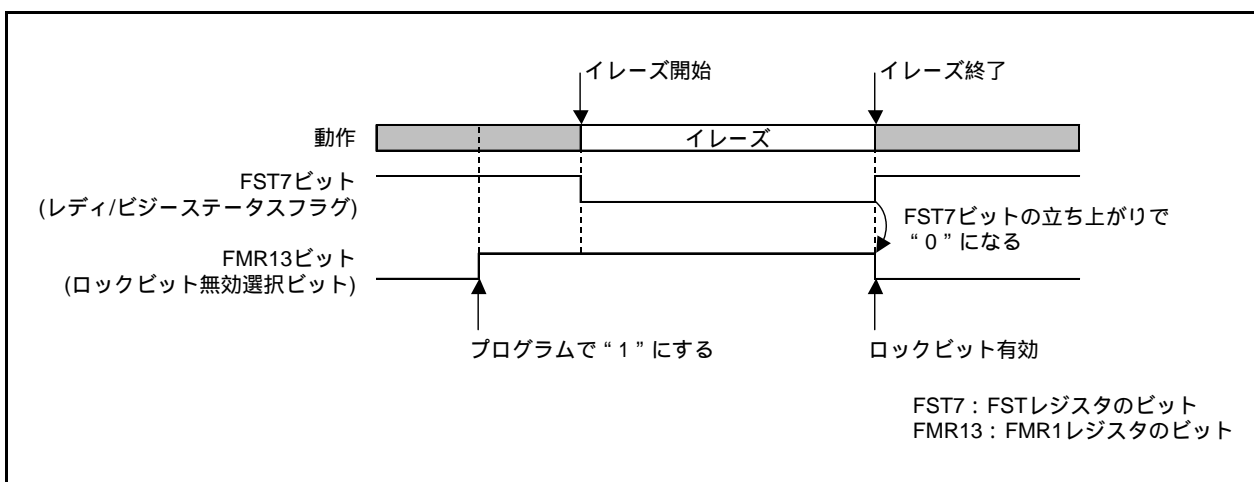


図 24.8 FMR13ビットの動作に関するタイミング

24.4.10 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表 24.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh			
クリアステータスレジスタ	ライト	x	50h			
プログラム(バイト単位)	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	x	25h	ライト	BA	D0h

WA：書き込み番地(ワード単位でプログラムを実行する場合は、偶数番地を指定してください。)

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

x：ユーザROM領域内の任意の番地

24.4.10.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

24.4.10.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

24.4.10.3プログラム

1バイトでフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。

(「24.4.11 フルステータスチェック」参照)

すでにプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンドが受け付けられません。

図24.9にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図24.10にEW0モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(サスペンド許可)のときにFMR21ビットが“1”(サスペンドリクエスト)に変化した場合、自動書き込みが中断され、フラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

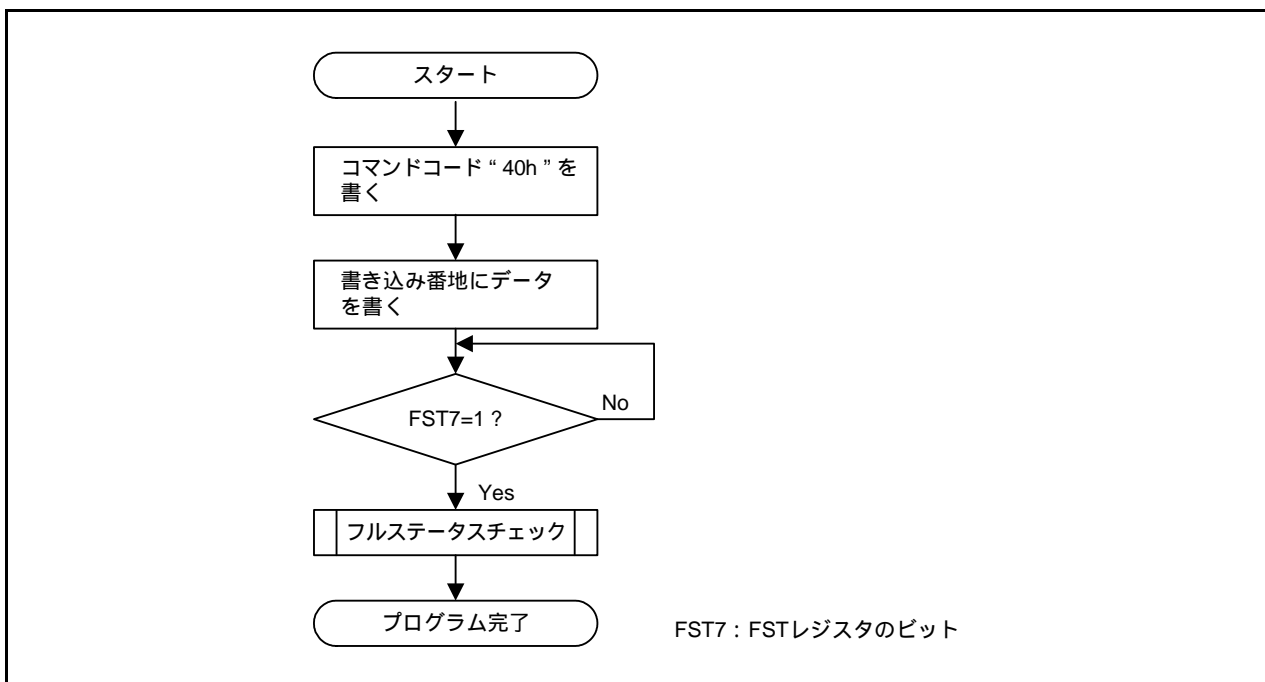


図 24.9 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

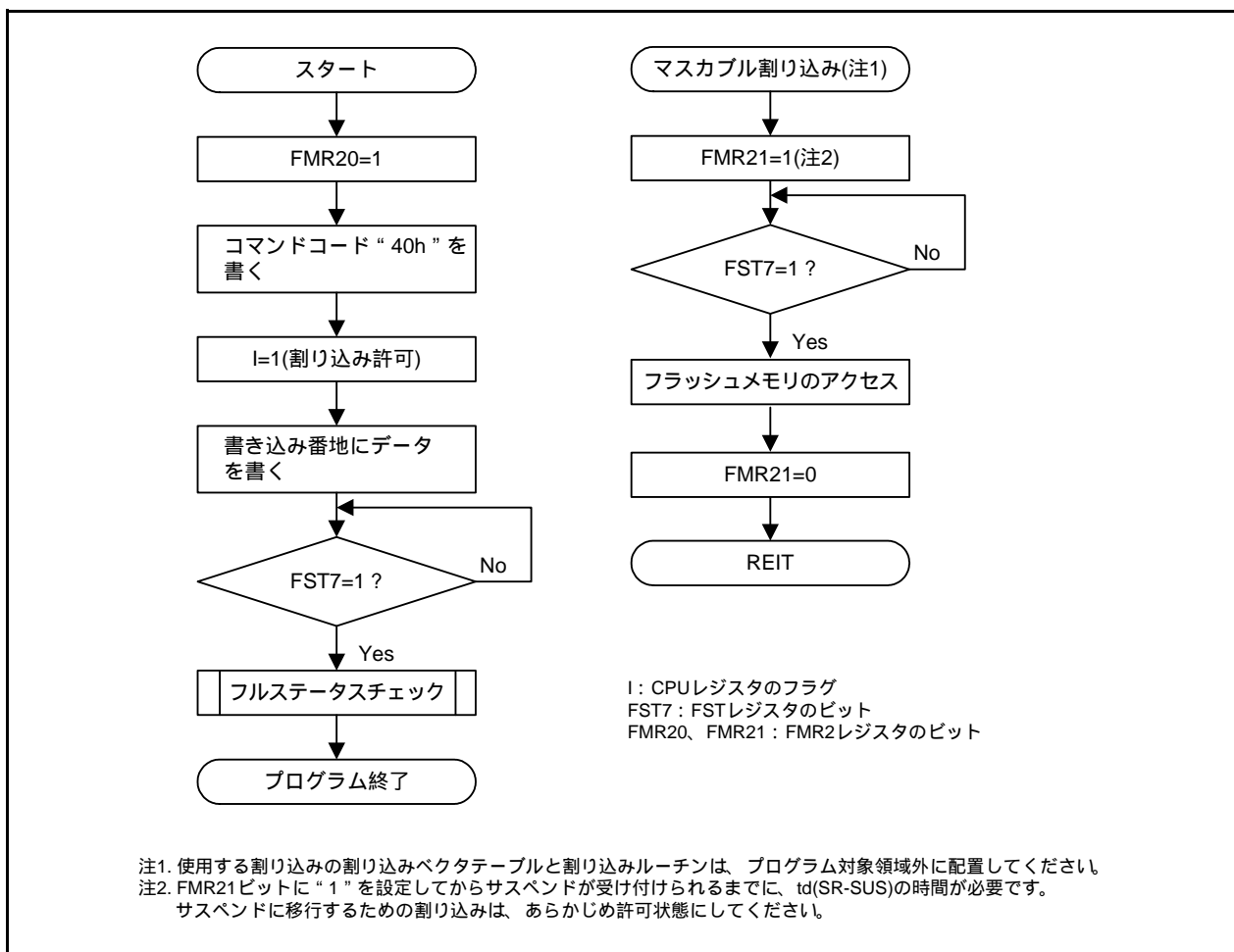


図 24.10 EW0モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

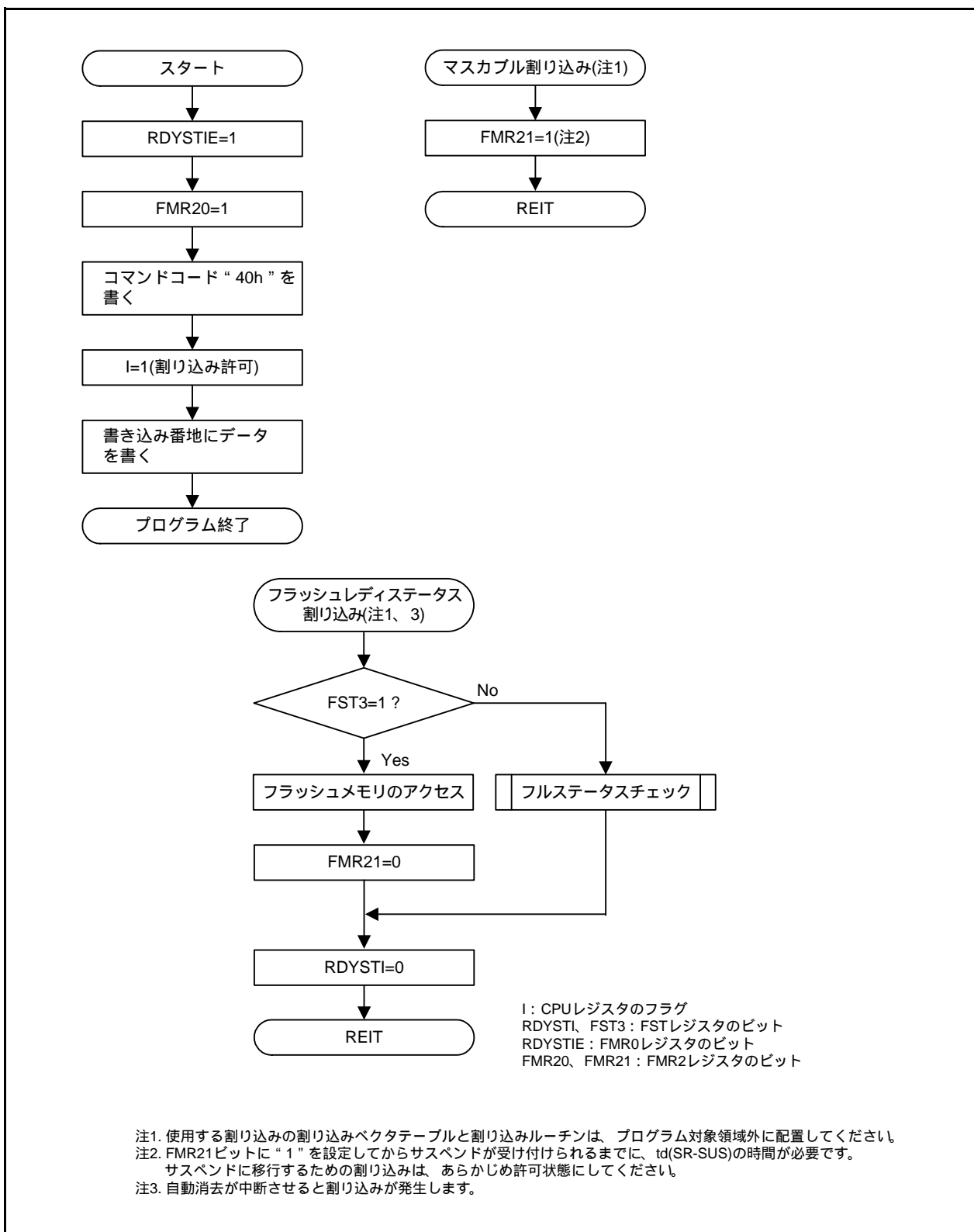


図 24.11 EWOモードのプログラムフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

FMR22ビットを“1”(割り込み要求でサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(サスペンドリクエスト)にします。EW1モードでユーザROM領域を書き換え中にサスペンドを使用するときに、“1”にしてください。

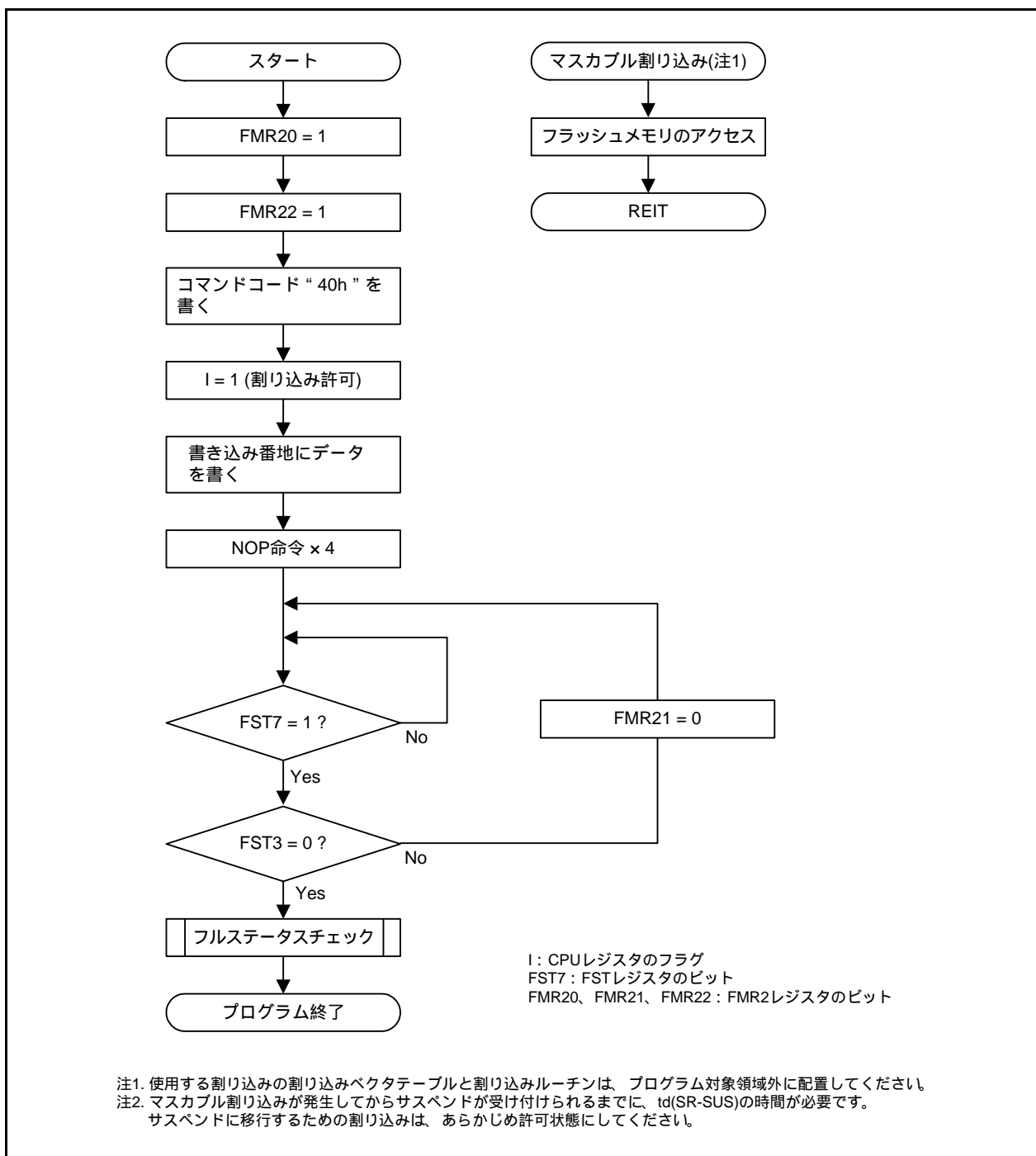


図 24.12 EW1モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

24.4.10.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地にはくと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます。(「24.4.11 フルステータスチェック」参照)

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンドが受け付けられません。

図24.13にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図24.14にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図24.15にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(サスペンド許可)のときは、FMR21ビットが“1”(サスペンドリクエスト)に変化した場合、自動消去が中断され、フラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

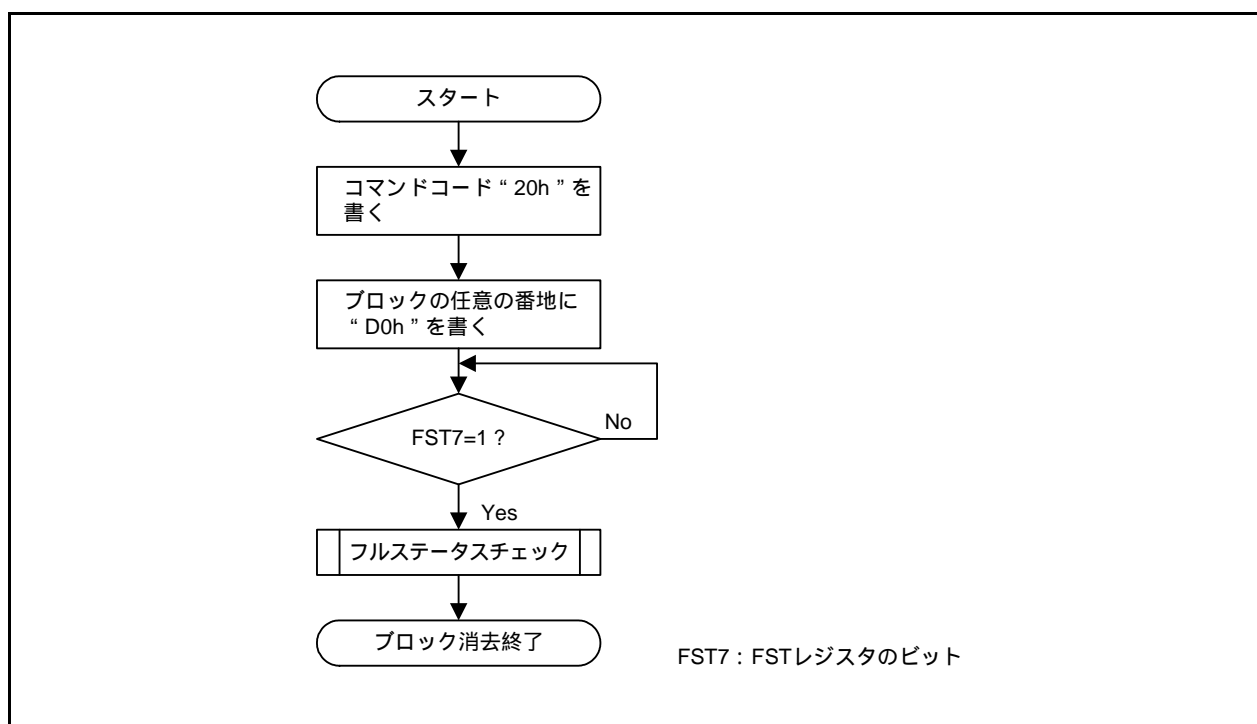


図 24.13 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

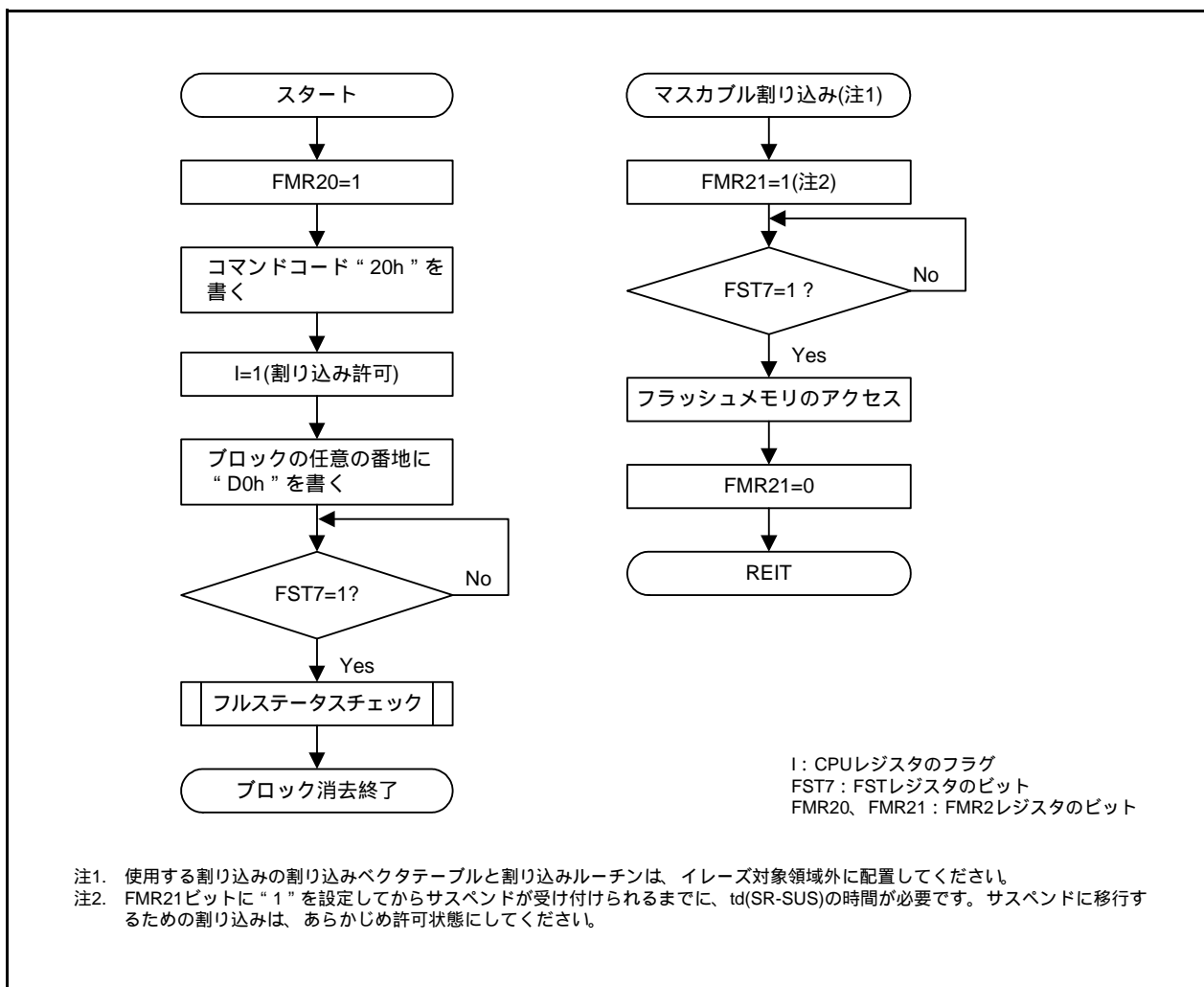


図 24.14 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

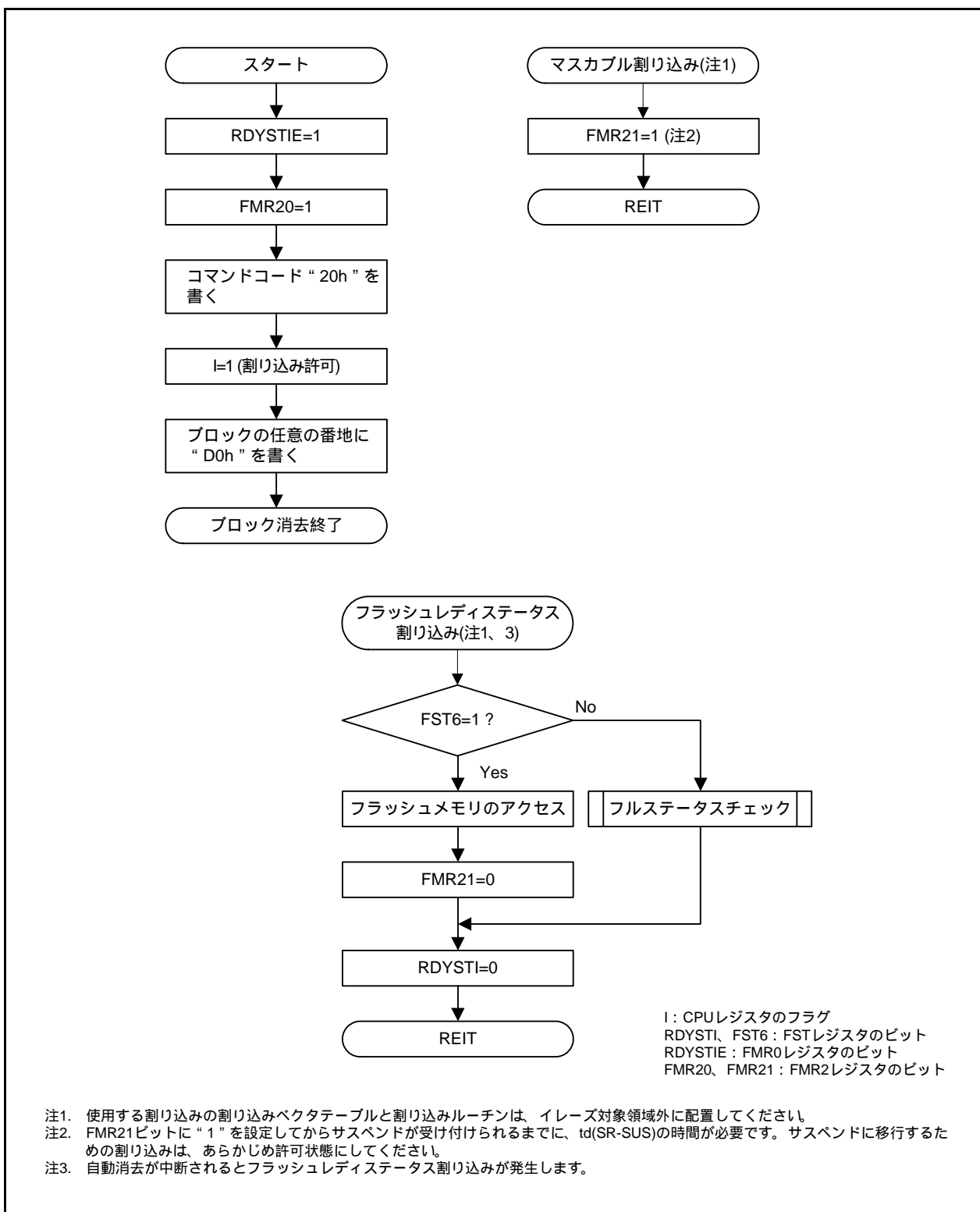


図 24.15 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

注1. 使用する割り込みの割り込みベクタテーブルと割り込みルーチンは、イレーズ対象領域外に配置してください。
 注2. FMR21ビットに“1”を設定してからサスペンドが受け付けられるまでに、td(SR-SUS)の時間が必要です。サスペンドに移行するための割り込みは、あらかじめ許可状態にしてください。
 注3. 自動消去が中断されるとフラッシュレディステータス割り込みが発生します。

FMR22ビットを“1”(割り込み要求でサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(サスペンドリクエスト)にします。EW1モードでユーザROM領域を書き換え中にサスペンドを使用するときに、“1”にしてください。

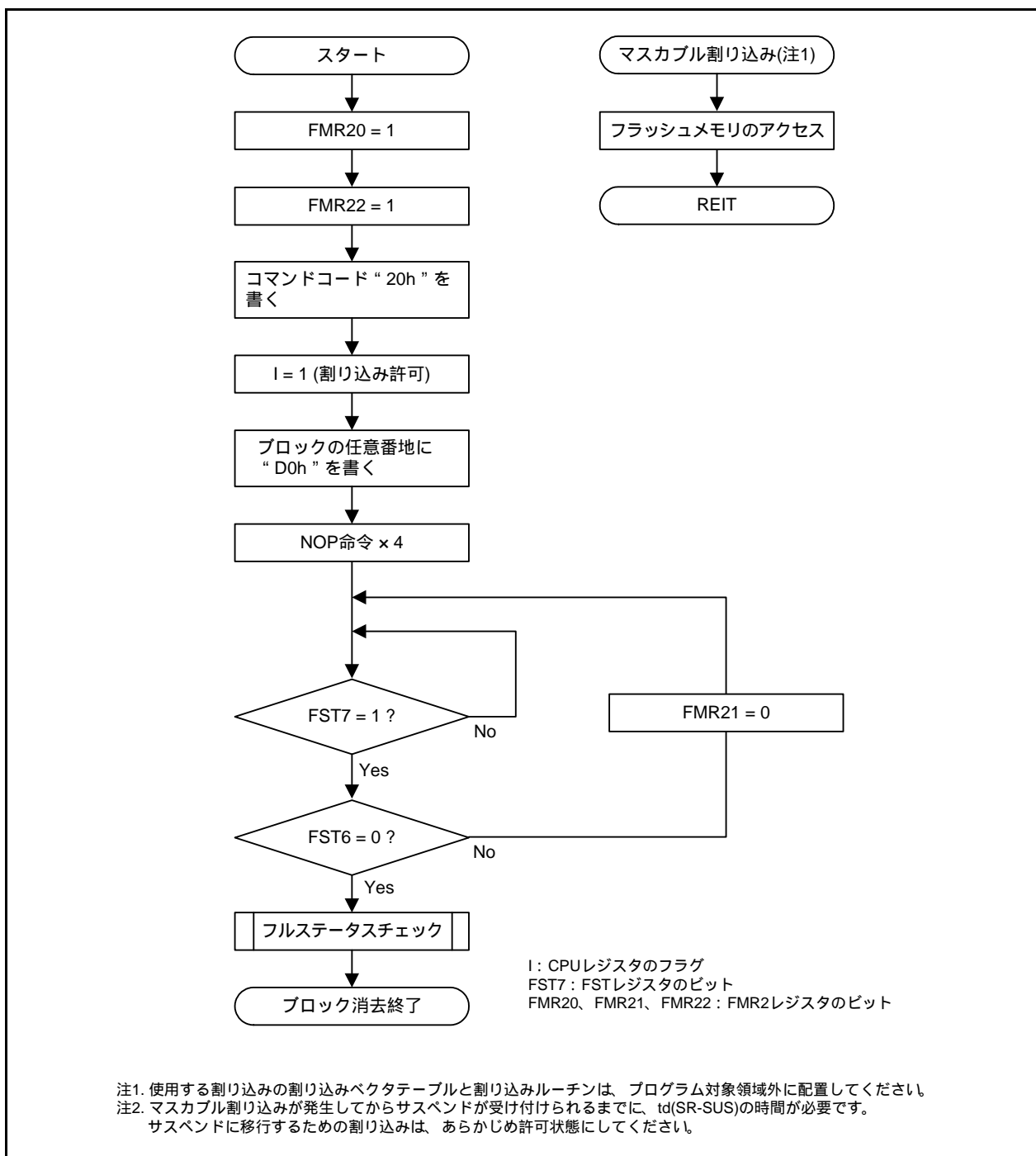


図 24.16 EW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

24.4.10.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地に書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図24.17にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「24.4.9 データ保護機能」を参照してください。

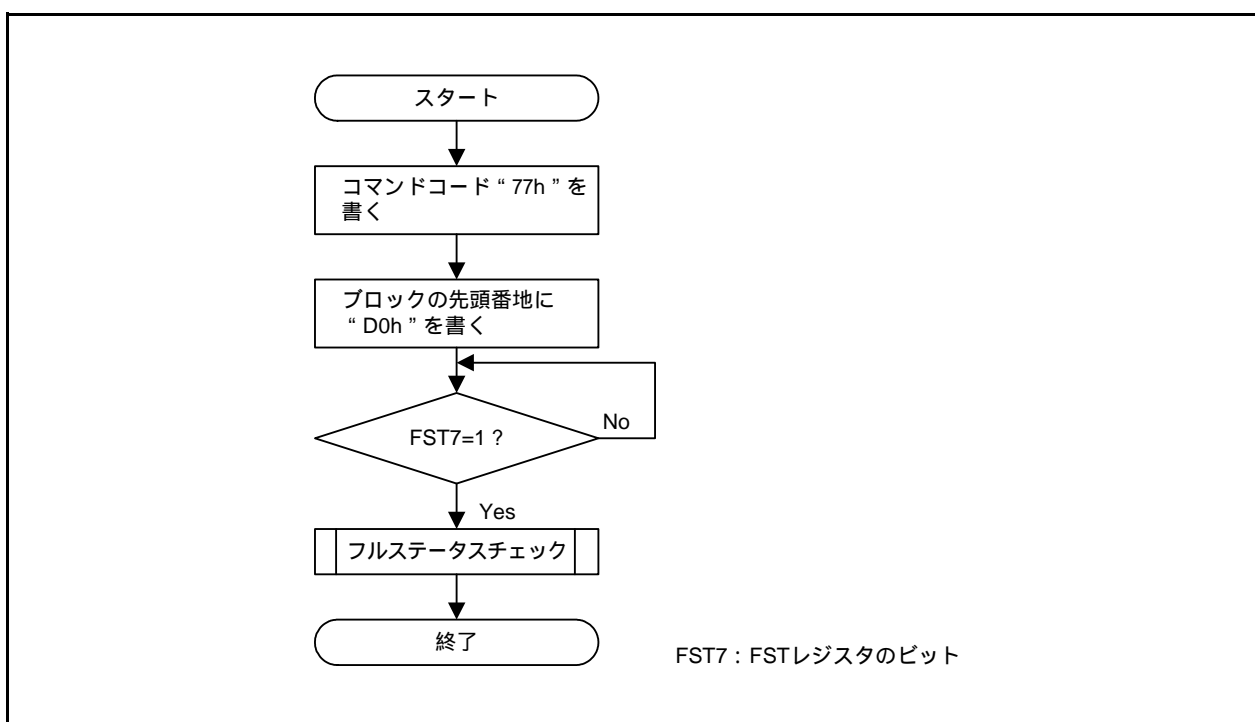


図 24.17 ロックビットプログラムフローチャート

24.4.10.6リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBADATAビットに格納されます。FSTレジスタのFST7ビットが“1”（レディ）になった後、LBADATAビットを読んでください。

図24.18にリードロックビットステータスフローチャートを示します。

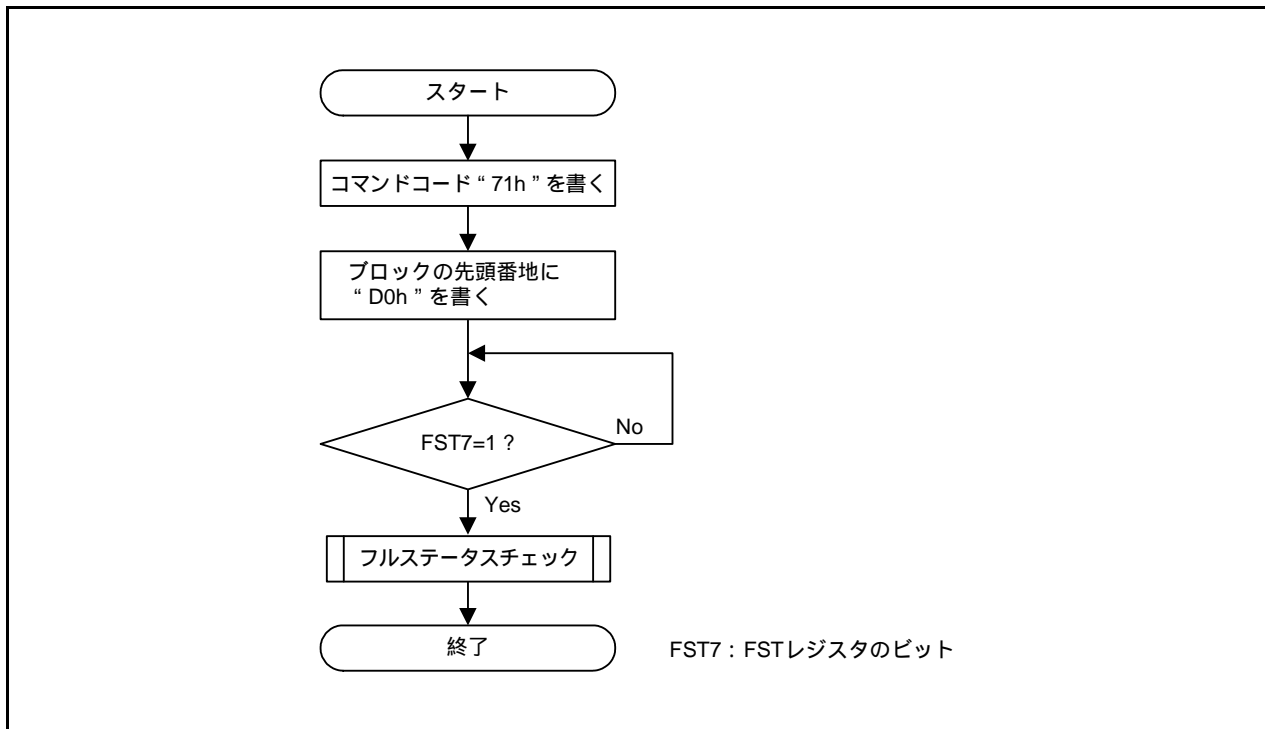


図 24.18 リードロックビットステータスフローチャート

24.4.10.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます。（「24.4.11 フルステータスチェック」参照）。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“1”（イレーズサスペンド中）のときは、ブロックブランクチェックコマンドを実行しないでください。

図 24.19 にブロックブランクチェックフローチャートを示します。

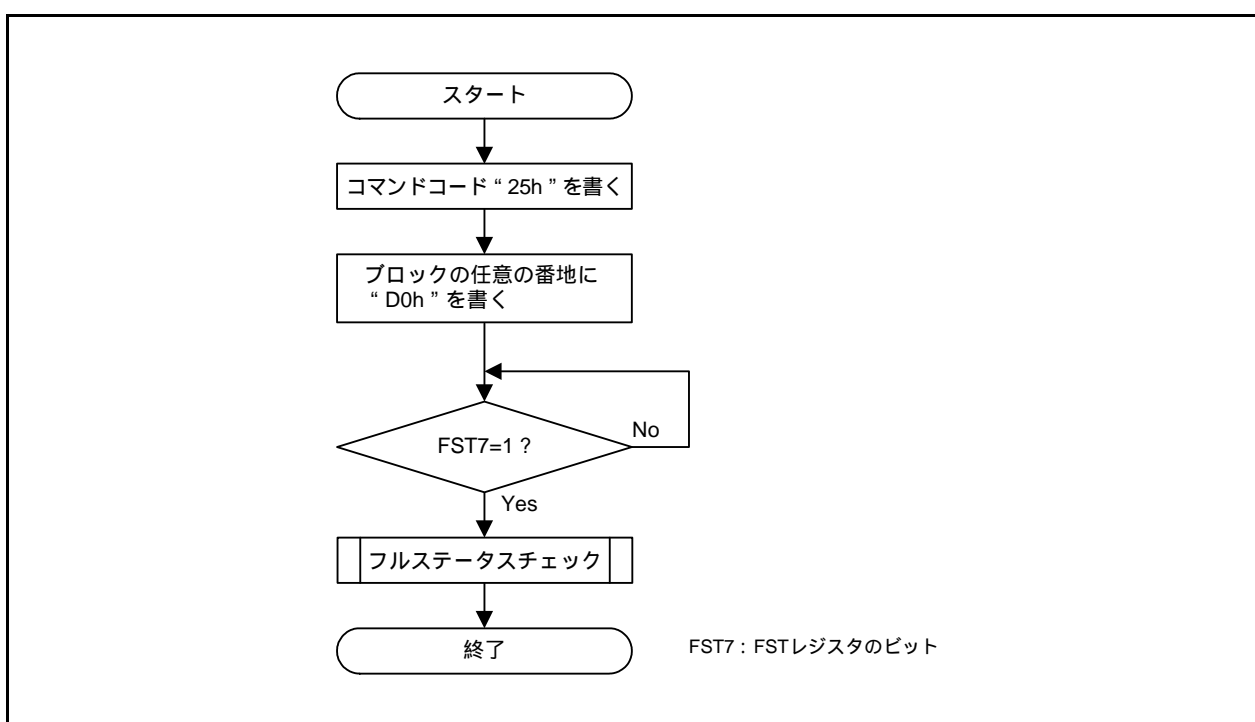


図 24.19 ブロックブランクチェックフローチャート

なお、本コマンドはライターメカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

24.4.11 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4～FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック（フルステータスチェック）することにより、実行結果を確認できます。

表 24.6 にエラーとFSTレジスタの状態を、図 24.20 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 24.6 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> •コマンドを正しく書かなかったとき •ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“D0h”または“FFh”)以外のデータを書いたとき(注1) •イレーズサスペンド中のイレーズコマンドを実行 •プログラムサスペンド中のプログラムコマンドを実行もしくはイレーズコマンドを実行 •サスペンド中のブロックへのコマンドを実行
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットコマンドを実行し、ロックビットが“0”(ロック状態)にならなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

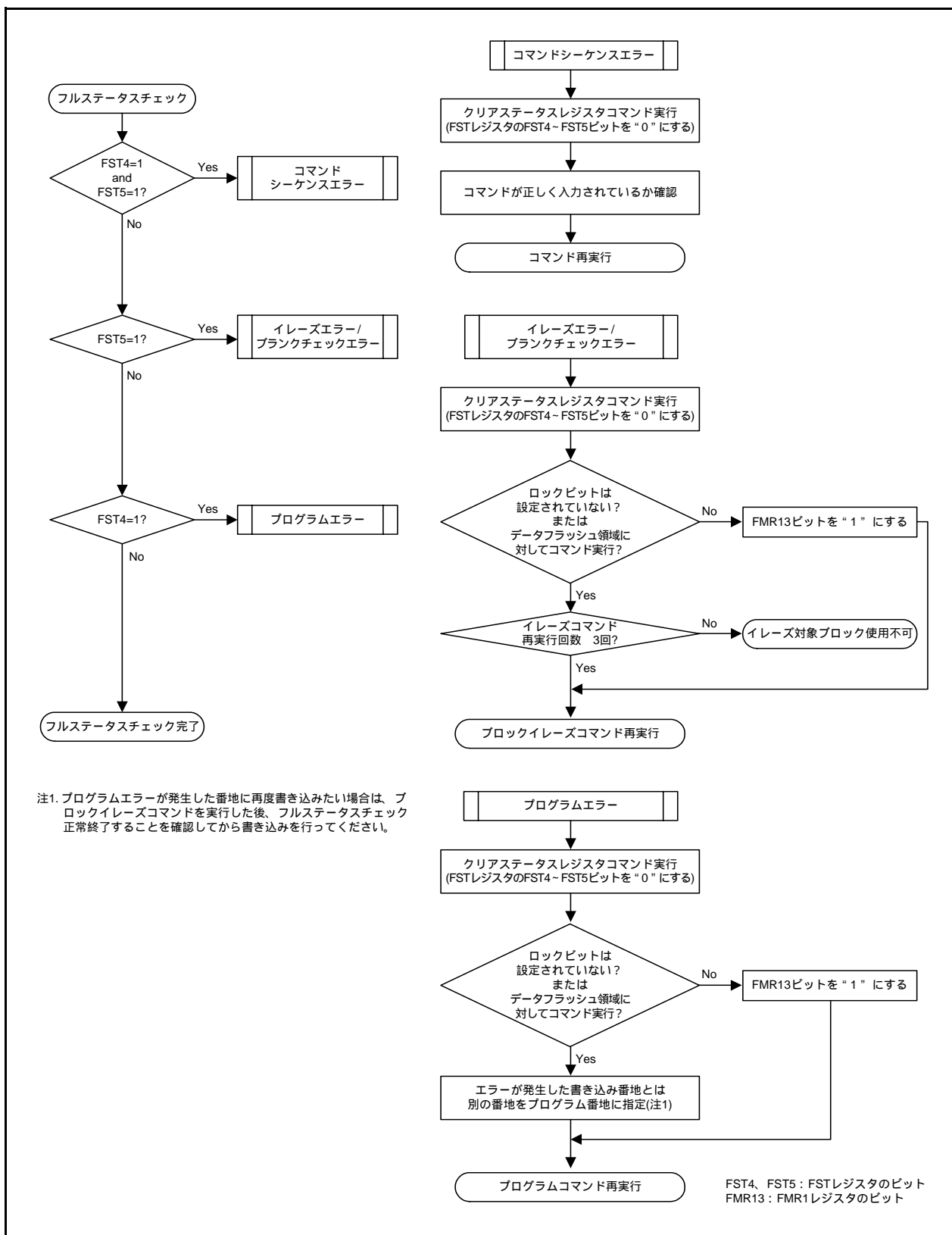


図 24.20 フルステータスチェックフローチャート、各エラー発生時の対処方法

24.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表 24.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図 24.21に標準シリアル入出力モード2を使用する場合の端子処理例を、表 24.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 24.22に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表 24.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

24.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「13. IDコード領域」を参照してください。

表 24.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P9_0/XIN	P9_0入力/クロック入力	入力	オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。ユーザシステムにおいて外付け発振子を接続する場合でも、動作に影響しません。
P9_1/XOUT	P9_1入力/クロック出力	入出力	
MODE	MODE	入出力	“L”を入力してください。
P8_5	TXD出力	出力	シリアルデータの出力端子です。
P8_6	RXD入力	入力	シリアルデータの入力端子です。
その他の入出力ポート端子		入力	“H”を入力、“L”を出力、または開放してください。

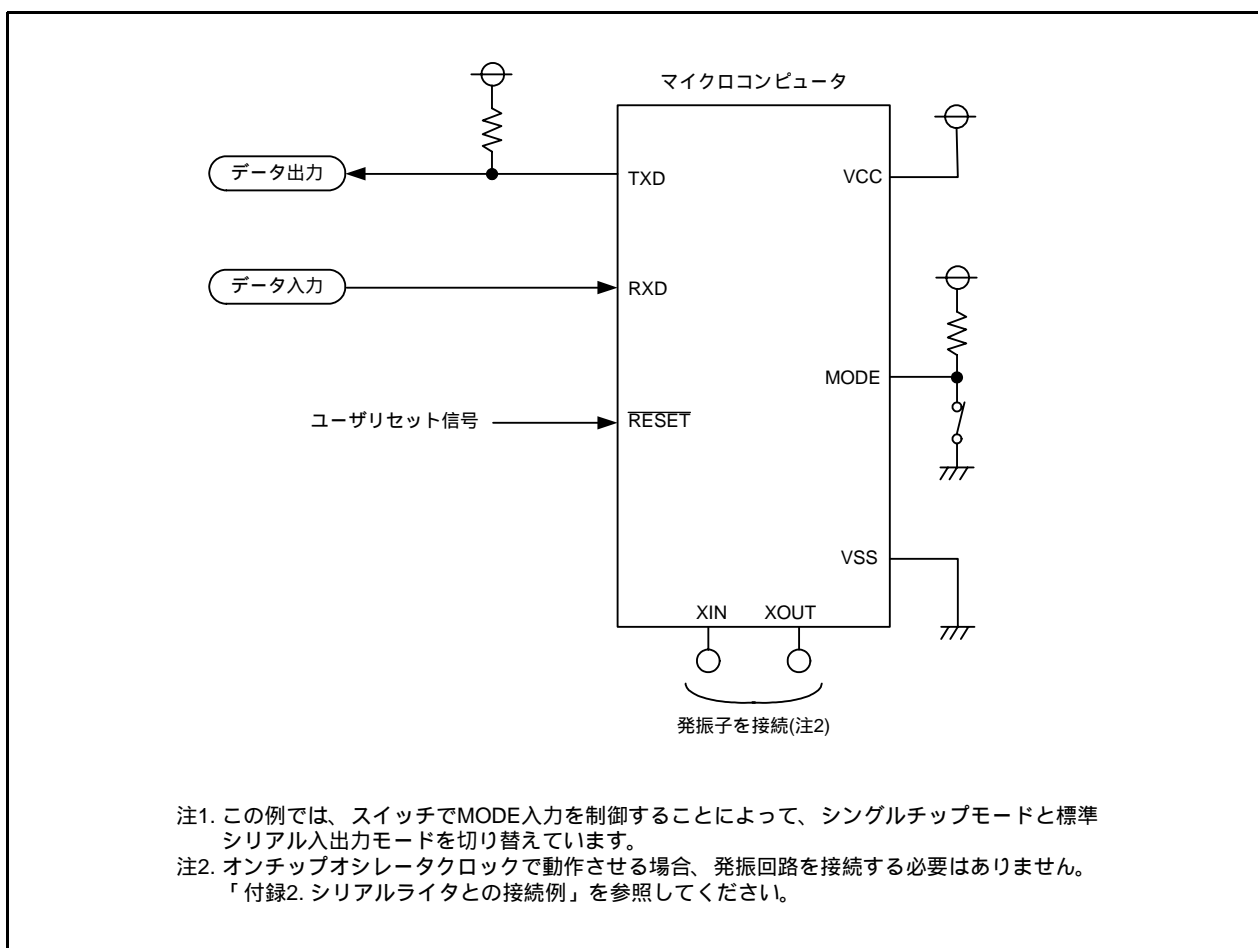


図 24.21 標準シリアル入出力モード2を使用する場合の端子処理例

表 24.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P9_0/XIN	P9_0入力/クロック入力	入力	オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。ユーザシステムにおいて外付け発振子を接続する場合でも、動作に影響しません。
P9_1/XOUT	P9_1入力/クロック出力	入出力	
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。
その他の入出力ポート端子		入力	“H”を入力、“L”を出力、または開放してください。

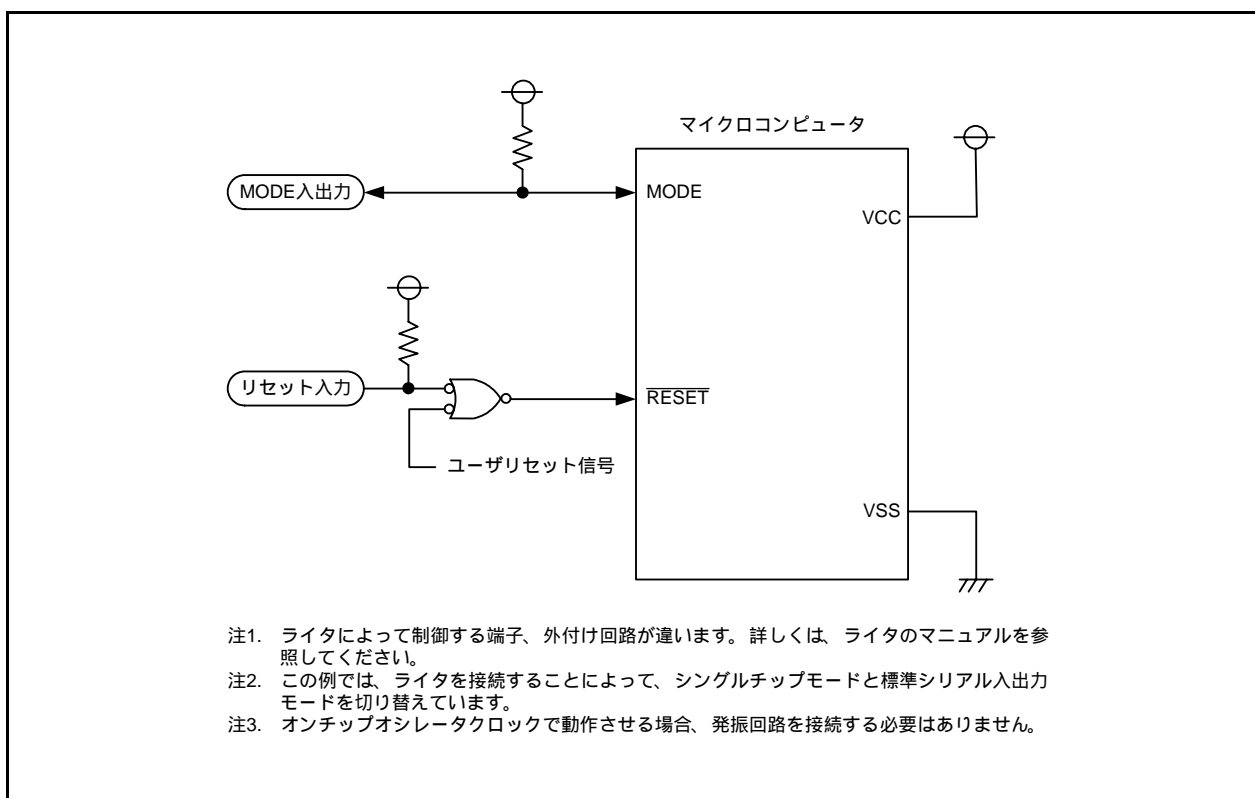


図 24.22 標準シリアル入出力モード3を使用する場合の端子処理例

24.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 24.1 ~ 図 24.2 に示すユーザROM領域の書き換えができます。

24.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「24.3.2 ROMコードプロテクト機能」参照)。

24.7 フラッシュメモリ使用上の注意

24.7.1 CPU書き換えモード

24.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

24.7.1.2 割り込み

表24.9～表24.10にCPU書き換えモード時の割り込みを示します。

表24.9 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み	
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができません。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができません。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができません。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができません。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができません。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができません。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
			自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
プログラム ROM		自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができません。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができません。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	

FMR21、FMR22 : FMR2レジスタのビット

表24.10 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドックタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ (注1)
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

24.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みを禁止にしてください。

- FMR1レジスタのFMR14、FMR15ビット

24.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

24.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

24.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

24.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラムROMのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8 ~ 5.5 Vの条件で行ってください。1.8 V未満では、プログラム、イレーズを実行しないでください。

24.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

24.7.1.9 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「10.6 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

25. 電気的特性

25.1 絶対最大定格

表 25.1 絶対最大定格

記号	項目	測定条件	定格値	単位	
V _{cc}	電源電圧		- 0.3 ~ 6.5	V	
V _i	入力電圧	XIN	XIN-XOUT 発振時 (発振バッファ ON時)(注1)	- 0.3 ~ 1.9	V
		XIN	XIN-XOUT 発振停止時 (発振バッファ OFF時)(注1)	- 0.3 ~ V _{cc} + 0.3	V
		その他の端子		- 0.3 ~ V _{cc} + 0.3	V
V _o	出力電圧	XOUT	XIN-XOUT 発振時 (発振バッファ ON時)(注1)	- 0.3 ~ 1.9	V
		XOUT	XIN-XOUT 発振停止時 (発振バッファ OFF時)(注1)	- 0.3 ~ V _{cc} + 0.3	V
		その他の端子		- 0.3 ~ V _{cc} + 0.3	V
P _d	消費電力	- 20 T _{opr} 85	500	mW	
T _{opr}	動作周囲温度		- 20 ~ 85 (Nバージョン)		
T _{stg}	保存温度		- 65 ~ 150		

注1. 各動作のためのレジスタ設定は「7. I/Oポート」、「9. クロック発生回路」を参照してください。

25.2 推奨動作条件

表25.2 推奨動作条件
(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目			測定条件	規格値			単位	
					最小	標準	最大		
V_{CC}	電源電圧				1.8	—	5.5	V	
V_{SS}	電源電圧				—	0	—	V	
V_{IH}	“H”入力 電圧	CMOS入力以外		4.0 V $V_{CC} = 5.5\text{ V}$	0.8 V_{CC}	—	V_{CC}	V	
				2.7 V $V_{CC} < 4.0\text{ V}$	0.8 V_{CC}	—	V_{CC}	V	
				1.8 V $V_{CC} < 2.7\text{ V}$	0.9 V_{CC}	—	V_{CC}	V	
		CMOS入力	入力レベル 切り替え 機能 (I/Oポート)	入力レベル選択: 0.35 V_{CC}	4.0 V $V_{CC} = 5.5\text{ V}$	0.5 V_{CC}	—	V_{CC}	V
					2.7 V $V_{CC} < 4.0\text{ V}$	0.55 V_{CC}	—	V_{CC}	V
					1.8 V $V_{CC} < 2.7\text{ V}$	0.65 V_{CC}	—	V_{CC}	V
	入力レベル選択: 0.5 V_{CC}		4.0 V $V_{CC} = 5.5\text{ V}$	0.65 V_{CC}	—	V_{CC}	V		
			2.7 V $V_{CC} < 4.0\text{ V}$	0.7 V_{CC}	—	V_{CC}	V		
			1.8 V $V_{CC} < 2.7\text{ V}$	0.8 V_{CC}	—	V_{CC}	V		
	入力レベル選択: 0.7 V_{CC}	4.0 V $V_{CC} = 5.5\text{ V}$	0.85 V_{CC}	—	V_{CC}	V			
		2.7 V $V_{CC} < 4.0\text{ V}$	0.85 V_{CC}	—	V_{CC}	V			
		1.8 V $V_{CC} < 2.7\text{ V}$	0.85 V_{CC}	—	V_{CC}	V			
V_{IL}	“L”入力 電圧	CMOS入力以外		4.0 V $V_{CC} = 5.5\text{ V}$	0	—	0.2 V_{CC}	V	
				2.7 V $V_{CC} < 4.0\text{ V}$	0	—	0.2 V_{CC}	V	
				1.8 V $V_{CC} < 2.7\text{ V}$	0	—	0.05 V_{CC}	V	
		CMOS入力	入力レベル 切り替え 機能 (I/Oポート)	入力レベル選択: 0.35 V_{CC}	4.0 V $V_{CC} = 5.5\text{ V}$	0	—	0.2 V_{CC}	V
					2.7 V $V_{CC} < 4.0\text{ V}$	0	—	0.2 V_{CC}	V
					1.8 V $V_{CC} < 2.7\text{ V}$	0	—	0.2 V_{CC}	V
	入力レベル選択: 0.5 V_{CC}		4.0 V $V_{CC} = 5.5\text{ V}$	0	—	0.4 V_{CC}	V		
			2.7 V $V_{CC} < 4.0\text{ V}$	0	—	0.3 V_{CC}	V		
			1.8 V $V_{CC} < 2.7\text{ V}$	0	—	0.2 V_{CC}	V		
	入力レベル選択: 0.7 V_{CC}	4.0 V $V_{CC} = 5.5\text{ V}$	0	—	0.55 V_{CC}	V			
		2.7 V $V_{CC} < 4.0\text{ V}$	0	—	0.45 V_{CC}	V			
		1.8 V $V_{CC} < 2.7\text{ V}$	0	—	0.35 V_{CC}	V			
$I_{OH}(\text{sum})$	“H” 尖頭総出力電流	全端子の $I_{OH}(\text{peak})$ の総和			—	—	- 160	mA	
$I_{OH}(\text{sum})$	“H” 平均総出力電流	全端子の $I_{OH}(\text{avg})$ の総和			—	—	- 80	mA	
$I_{OH}(\text{peak})$	“H” 尖頭出力電流	ポート P8 (注2)			—	—	- 40	mA	
		その他の端子			—	—	- 10	mA	
$I_{OH}(\text{avg})$	“H” 平均出力電流(注1)	ポート P8 (注2)			—	—	- 20	mA	
		その他の端子			—	—	- 5	mA	
$I_{OL}(\text{sum})$	“L” 尖頭総出力電流	全端子の $I_{OL}(\text{peak})$ の総和			—	—	160	mA	
$I_{OL}(\text{sum})$	“L” 平均総出力電流	全端子の $I_{OL}(\text{avg})$ の総和			—	—	80	mA	
$I_{OL}(\text{peak})$	“L” 尖頭出力電流	ポート P8 (注2)			—	—	40	mA	
		その他の端子			—	—	10	mA	
$I_{OL}(\text{avg})$	“L” 平均出力電流(注1)	ポート P8 (注2)			—	—	20	mA	
		その他の端子			—	—	5	mA	
$f(\text{XIN})$	XIN クロック入力発振周波数			2.7 V $V_{CC} = 5.5\text{ V}$	2	—	20	MHz	
				2.0 V $V_{CC} = 2.7\text{ V}$	2	—	20	MHz	
				1.8 V $V_{CC} < 2.0\text{ V}$	2	—	20	MHz	
—	システムクロック周波数			2.7 V $V_{CC} = 5.5\text{ V}$	—	—	10	MHz	
				2.0 V $V_{CC} = 2.7\text{ V}$	—	—	10	MHz	
				1.8 V $V_{CC} < 2.0\text{ V}$	—	—	10	MHz	
$f(\text{CLK})$	CPU クロック周波数			2.7 V $V_{CC} = 5.5\text{ V}$	0	—	8	MHz	
				2.0 V $V_{CC} = 2.7\text{ V}$	0	—	8	MHz	
				1.8 V $V_{CC} < 2.0\text{ V}$	0	—	8	MHz	

注1. 平均出力電流は100msの期間内での平均値です。

注2. P8DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

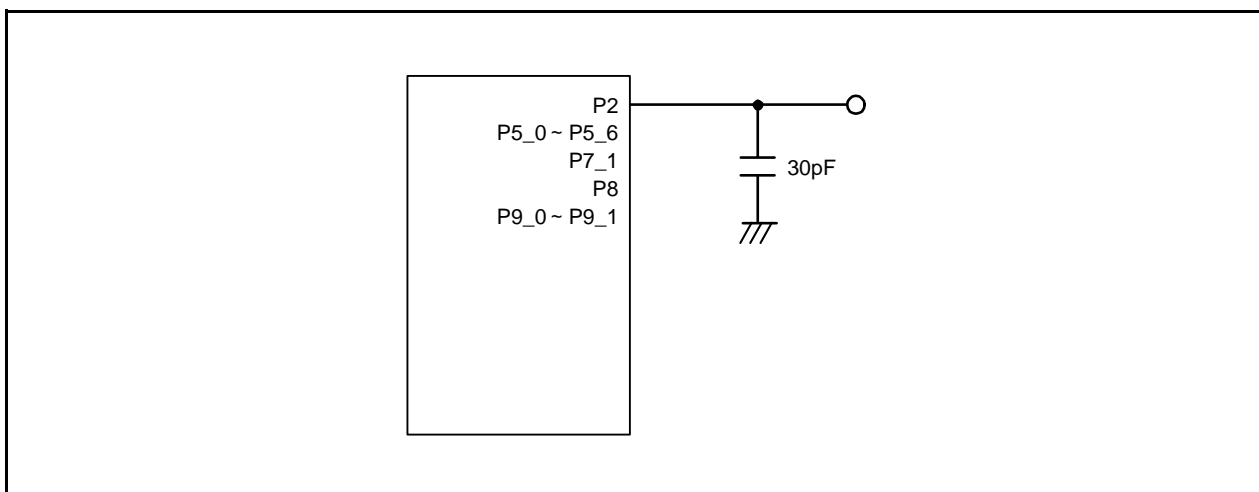


図25.1 ポートP2、P5_0 ~ P5_6、P7_1、P8、P9_0 ~ P9_1のタイミング測定回路

25.3 周辺機能の特性

表25.3 フラッシュメモリ(プログラムROM)の特性
(指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = 0 ~ 60)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000(注2)	—	—	回
—	バイトプログラム時間		—	80	—	μs
—	ブロックイレーズ時間		—	0.2	—	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		0	—	60	
—	データ保持時間(注6)	周囲温度 = 85	10	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

表25.4 フラッシュメモリ(データフラッシュ ブロックA~ブロックB)の特性
(指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = - 20 ~ 85 (Nバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレース回数(注1)		10,000(注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレース回数 10,000回)		—	150	—	μs
—	ブロックイレース時間 (プログラム/イレース回数 10,000回)		—	0.055	1	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレースの再開までの 時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し 可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		- 20	—	85	
—	データ保持時間(注6)	周囲温度 = 85	10	—	—	年

注1. プログラム/イレース回数の定義

プログラム/イレース回数はブロックごとのイレース回数です。

プログラム/イレース回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレースすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレースした場合も、プログラム/イレース回数は1回と数えます。ただし、イレース1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレース後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレースを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレースをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックBのイレース回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレースを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレースでイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレースコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

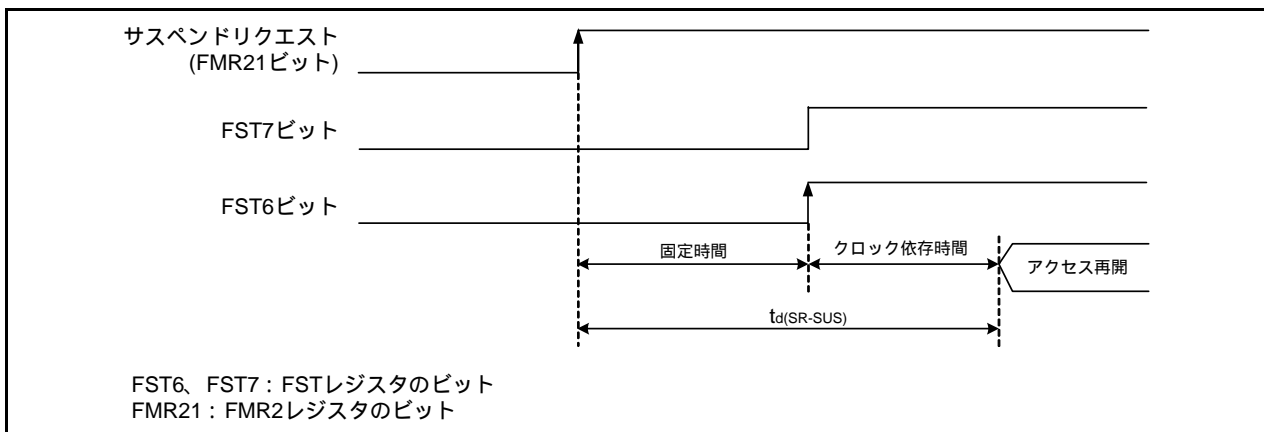


図25.2 サスペンドへの遷移時間

表25.5 電圧検出0回路の特性

(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Vdet0	電圧検出レベルVdet0_0(注1)		1.8	1.90	2.05	V		
	電圧検出レベルVdet0_1(注1)		2.15	2.35	2.50	V		
	電圧検出レベルVdet0_2(注1)		2.70	2.85	3.05	V		
	電圧検出レベルVdet0_3(注1)		3.55	3.80	4.05	V		
—	電圧検出0回路反応時間(注3)	動作時	$V_{cc} = 5\text{ V}$ ($V_{det0_0} - 0.1$) V に下げたとき		—	50	500	μs
		ストップモード時	$V_{cc} = 5\text{ V}$ ($V_{det0_0} - 0.1$) V に下げたとき		—	100	500	μs
—	電圧検出回路の自己消費電流	VCA25 = 1、 $V_{cc} = 5.0\text{ V}$		—	1.5	—	μA	
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)		—	—	100	μs		

注1. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表25.6 電圧検出1回路の特性

(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Vdet1	電圧検出レベルVdet1_0(注1)	Vcc立ち下がり時	2.00	2.20	2.40	V		
	電圧検出レベルVdet1_1(注1)	Vcc立ち下がり時	2.15	2.35	2.55	V		
	電圧検出レベルVdet1_2(注1)	Vcc立ち下がり時	2.30	2.50	2.70	V		
	電圧検出レベルVdet1_3(注1)	Vcc立ち下がり時	2.45	2.65	2.85	V		
	電圧検出レベルVdet1_4(注1)	Vcc立ち下がり時	2.60	2.80	3.00	V		
	電圧検出レベルVdet1_5(注1)	Vcc立ち下がり時	2.75	2.95	3.15	V		
	電圧検出レベルVdet1_6(注1)	Vcc立ち下がり時	2.85	3.10	3.40	V		
	電圧検出レベルVdet1_7(注1)	Vcc立ち下がり時	3.00	3.25	3.55	V		
	電圧検出レベルVdet1_8(注1)	Vcc立ち下がり時	3.15	3.40	3.70	V		
	電圧検出レベルVdet1_9(注1)	Vcc立ち下がり時	3.30	3.55	3.85	V		
	電圧検出レベルVdet1_A(注1)	Vcc立ち下がり時	3.45	3.70	4.00	V		
	電圧検出レベルVdet1_B(注1)	Vcc立ち下がり時	3.60	3.85	4.15	V		
	電圧検出レベルVdet1_C(注1)	Vcc立ち下がり時	3.75	4.00	4.30	V		
	電圧検出レベルVdet1_D(注1)	Vcc立ち下がり時	3.90	4.15	4.45	V		
	電圧検出レベルVdet1_E(注1)	Vcc立ち下がり時	4.05	4.30	4.60	V		
	電圧検出レベルVdet1_F(注1)	Vcc立ち下がり時	4.20	4.45	4.75	V		
—	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0 ~ Vdet1_5選択時	—	0.07	—	V		
		Vdet1_6 ~ Vdet1_F選択時	—	0.10	—	V		
—	電圧検出1回路反応時間(注2)	動作時	$V_{cc} = 5\text{ V}$ ($V_{det1_0} - 0.1$) V に下げたとき		—	60	150	μs
		ストップモード時	$V_{cc} = 5\text{ V}$ ($V_{det1_0} - 0.1$) V に下げたとき		—	250	500	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、 $V_{cc} = 5.0\text{ V}$		—	1.7	—	μA	
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)		—	—	100	μs		

注1. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表25.7 電圧検出2回路の特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.0	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス幅		—	0.10	—	V
—	電圧検出2回路反応時間(注1)	動作時	Vcc = 5 V (Vdet2_0 - 0.1) V に下げたとき			μs
		ストップモード時	Vcc = 5 V (Vdet2_0 - 0.1) V に下げたとき			
—	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0 V	—	1.7	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)		—	—	100	μs

注1. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注2. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表25.8 パワーオンリセット回路の特性(注1)

(指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/ms

注1. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

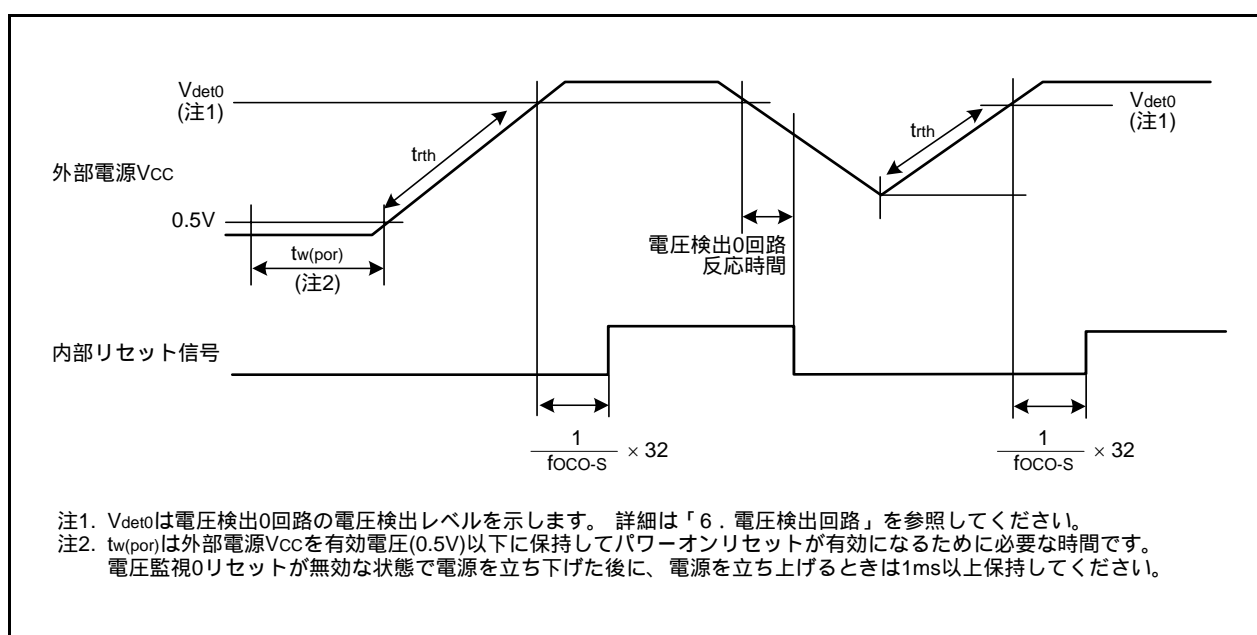


図25.3 パワーオンリセット回路の特性

表 25.9 低速オンチップオシレータ発振回路の特性
(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間		—	—	35	μs
—	発振時の自己消費電流	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25$	—	2	—	μA
fOCO-WDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間		—	—	35	μs
—	発振時の自己消費電流	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25$	—	2	—	μA

表 25.10 電源回路の特性
(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = 25$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注1)		—	—	2000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

25.4 DC特性

表25.11 DC特性(1) [4.0 V V_{CC} 5.5 V] (指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件			規格値			単位	
					最小	標準	最大		
VOH	“H”出力電圧	ポートP8 (注1)	$V_{CC} = 5\text{ V}$	$I_{OH} = -20\text{ mA}$	$V_{CC} - 2.0$	—	V_{CC}	V	
		その他の端子	$V_{CC} = 5\text{ V}$	$I_{OH} = -5\text{ mA}$	$V_{CC} - 2.0$	—	V_{CC}	V	
VOL	“L”出力電圧	ポートP8 (注1)	$V_{CC} = 5\text{ V}$	$I_{OL} = 20\text{ mA}$	—	—	2.0	V	
		その他の端子	$V_{CC} = 5\text{ V}$	$I_{OL} = 5\text{ mA}$	—	—	2.0	V	
VT+、VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT5、 KI0、KI1、KI2、KI3、 KI4、KI5、KI6、KI7、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRJ0IO、 TRCTRG、TRCCLK、 SSI、SCL、SDA、SSO			0.05	0.5	—	V	
		RESET			0.1	0.8	—	V	
I _{IH}	“H”入力電流	$V_I = 5\text{ V}$ 、 $V_{CC} = 5\text{ V}$			—	—	5.0	μA	
I _{IL}	“L”入力電流	$V_I = 0\text{ V}$ 、 $V_{CC} = 5\text{ V}$			—	—	-5.0	μA	
R _{PULLUP}	プルアップ抵抗	$V_I = 0\text{ V}$ 、 $V_{CC} = 5\text{ V}$			20	40	80	k	
R _{iXIN}	帰還抵抗	XIN				—	2.0	—	M
V _{RAM}	RAM保持電圧	ストップモード時			1.8	—	—	V	

注1. P8DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表25.12 DC特性(2) [4.0 V Vcc 5.5 V] (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン))

記号	項目	測定条件					規格値			単位	
		発振回路 XIN (注2)	低速オンチップ オシレータ	CPU クロック	低消費電力設定	その他	最小	標準 (注3)	最大		
Icc	電源 電流 (注1)	高速クロック モード	20MHz	125kHz	分周なし	—	—	4.7	10	mA	
			16MHz	125kHz	分周なし	—	—	3.9	8	mA	
			10MHz	125kHz	分周なし	—	—	2.3	—	mA	
			20MHz	停止	分周なし	FMR27 = " 1 " MSTCR0 = BEh MSTCR1 = 3Fh	フラッシュメモリ停止 RAM上のプログラム動作 モジュールスタンバイ設定 許可	—	3.1	—	mA
			20MHz	125kHz	8分周	—	—	1.8	—	mA	
			16MHz	125kHz	8分周	—	—	1.5	—	mA	
			10MHz	125kHz	8分周	—	—	1.0	—	mA	
	低速オンチップ オシレータモード	停止	125kHz	分周なし	FMR27 = " 1 " VCA20 = " 0 "	—	110	320	μA		
		停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "	—	63	220	μA		
	ウェイトモード	停止	125kHz	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 "	WAIT命令実行中 周辺クロック動作	—	9.0	50	μA	
		停止	125kHz	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止	—	2.8	33	μA	
	ストップモード	停止	停止	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " CM10 = " 1 "	Topr=25 周辺クロック停止	—	0.5	2.2	μA	
		停止	停止	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " CM10 = " 1 "	Topr=85 周辺クロック停止	—	1.2	—	μA	

注1. Vcc = 4.0 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 5.0 V。

表25.13 DC特性(3) [2.7 V $V_{CC} < 4.0$ V] (指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧	ポートP8 (注1)	$I_{OH} = -5\text{mA}$	$V_{CC} - 0.5$	—	V_{CC}	V
		その他の端子	$I_{OH} = -1\text{mA}$	$V_{CC} - 0.5$	—	V_{CC}	V
VOL	“L”出力電圧	ポートP8 (注1)	$I_{OL} = 5\text{mA}$	—	—	0.5	V
		その他の端子	$I_{OL} = 1\text{mA}$	—	—	0.5	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT5、 K10、K11、K12、K13、 K14、K15、K16、K17、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRJ0IO、TRCTRG、 TRCCLK、 SSI、SCL、SDA、SSO		0.05	0.4	—	V
		RESET		0.1	0.8	—	V
I _{IH}	“H”入力電流	$V_I = 3\text{V}$ 、 $V_{CC} = 3\text{V}$		—	—	5.0	μA
I _{IL}	“L”入力電流	$V_I = 0\text{V}$ 、 $V_{CC} = 3\text{V}$		—	—	- 5.0	μA
R _{PULLUP}	プルアップ抵抗	$V_I = 0\text{V}$ 、 $V_{CC} = 3\text{V}$		25	80	140	k
R _{IXIN}	帰還抵抗	XIN		—	2.0	—	M
V _{RAM}	RAM保持電圧	ストップモード時		1.8	—	—	V

注1. P8DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表25.14 DC特性(4) [2.7 V $V_{cc} < 4.0$ V] (指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件					規格値			単位
		発振回路 XIN (注2)	低速オンチップ オシレータ	CPU クロック	低消費電力設定	その他	最小	標準 (注3)	最大	
I _{cc}	電源電流 (注1)	高速クロック モード	20MHz	125kHz	分周なし	—	—	4.7	10	mA
			10MHz	125kHz	分周なし	—	—	2.3	6	mA
			20MHz	停止	分周なし	FMR27 = "1" MSTCR0 = BEh MSTCR1 = 3Fh	フラッシュメモリ停止 RAM上のプログラム動作 モジュールスタンバイ設定 許可	—	2.9	—
		20MHz	125kHz	8分周	—	—	—	1.8	—	mA
		10MHz	125kHz	8分周	—	—	—	1.0	—	mA
		低速オンチップ オシレータモード	停止	125kHz	分周なし	FMR27 = "1" VCA20 = "0"	—	—	106	300
	停止		125kHz	8分周	FMR27 = "1" VCA20 = "0"	—	—	54	200	μA
	ウェイトモード	停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1"	WAIT命令実行中 周辺クロック動作	—	9.0	50	μA
		停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック停止	—	2.5	31	μA
	ストップモード	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=25 周辺クロック停止	—	0.5	2.2	μA
		停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=85 周辺クロック停止	—	1.2	—	μA

注1. $V_{cc} = 2.7$ V ~ 4.0 V、シングルチップモードで、出力端子は開放、その他の端子はV_{ss}。

注2. XINは方形波入力。

注3. $V_{cc} = 3.0$ V。

表25.15 DC特性(5) [1.8 V $V_{CC} < 2.7$ V] (指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧	ポートP8 (注1)	IOH = - 2mA	$V_{CC} - 0.5$	—	V_{CC}	V
		その他の端子	IOH = - 1mA	$V_{CC} - 0.5$	—	V_{CC}	V
VOL	“L”出力電圧	ポートP8 (注1)	IOL = 2mA	—	—	0.5	V
		その他の端子	IOL = 1mA	—	—	0.5	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT5、 K10、K11、K12、K13、 K14、K15、K16、K17、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRJ0IO、TRCTRG、 TRCCLK、 SSI、SCL、SDA、SSO		0.05	0.4	—	V
		RESET		0.1	0.8	—	V
I _{IH}	“H”入力電流	$V_I = 1.8$ V、 $V_{CC} = 1.8$ V		—	—	4.0	μA
I _{IL}	“L”入力電流	$V_I = 0$ V、 $V_{CC} = 1.8$ V		—	—	- 4.0	μA
R _{PULLUP}	プルアップ抵抗	$V_I = 0$ V、 $V_{CC} = 1.8$ V		85	220	500	k
R _{I_{XIN}}	帰還抵抗	XIN		—	2.0	—	M
V _{RAM}	RAM保持電圧	ストップモード時		1.8	—	—	V

注1. P8DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表25.16 DC特性(6) [1.8 V $V_{CC} < 2.7$ V] (指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	測定条件					規格値			単位
		発振回路 XIN (注2)	低速オンチップ オシレータ	CPU クロック	低消費電力設定	その他	最小	標準 (注3)	最大	
I _{CC}	電源電流 (注1)	高速クロック モード	8MHz	125kHz	分周なし	—	—	2.1	—	mA
			8MHz	125kHz	8分周	—	—	0.9	—	mA
	低速オンチップ オシレータモード	停止	125kHz	分周なし	FMR27 = " 1 " VCA20 = " 0 "		—	106	300	μA
		停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "		—	54	200	μA
	ウェイトモード	停止	125kHz	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 "	WAIT命令実行中 周辺クロック動作	—	9.0	50	μA
		停止	125kHz	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止	—	2.5	31	μA
	ストップモード	停止	停止	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " CM10 = " 1 "	Topr=25 周辺クロック停止	—	0.5	2.2	μA
		停止	停止	—	VCA27 = " 0 " VCA26 = " 0 " VCA25 = " 0 " CM10 = " 1 "	Topr=85 周辺クロック停止	—	1.2	—	μA

注1. $V_{CC} = 1.8$ V ~ 2.7 V、シングルチップモードで、出力端子は開放、その他の端子はV_{SS}。

注2. XINは方形波入力。

注3. $V_{CC} = 2.2$ V。

25.5 AC特性

表25.17 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング条件
(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $V_{ss} = 0\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4	—	—	tcyc (注1)
tHI	SSCKクロック“H”パルス幅			0.4	—	0.6	tsucyc
tLO	SSCKクロック“L”パルス幅			0.4	—	0.6	tsucyc
tRISE	SSCKクロック立ち上がり時間	マスタ		—	—	1	tcyc (注1)
		スレーブ		—	—	1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ		—	—	1	tcyc (注1)
		スレーブ		—	—	1	μs
tsu	SSO、SSIデータ入力セットアップ時間			100	—	—	ns
th	SSO、SSIデータ入力ホールド時間			1	—	—	tcyc (注1)
tLEAD	SCSセットアップ時間	スレーブ		$1t_{cyc}+50$	—	—	ns
tLAG	SCSホールド時間	スレーブ		$1t_{cyc}+50$	—	—	ns
tOD	SSO、SSIデータ出力遅延時間			—	—	$1t_{cyc} + 20$	ns
tsa	SSIスレーブアクセス時間		2.7 V $V_{cc} = 5.5\text{ V}$	—	—	$1.5t_{cyc} + 100$	ns
			1.8 V $V_{cc} < 2.7\text{ V}$	—	—	$1.5t_{cyc} + 200$	ns
tor	SSIスレーブアウト開放時間		2.7 V $V_{cc} = 5.5\text{ V}$	—	—	$1.5t_{cyc} + 100$	ns
			1.8 V $V_{cc} < 2.7\text{ V}$	—	—	$1.5t_{cyc} + 200$	ns

注1. $1t_{cyc} = 1/f_1$ (s)

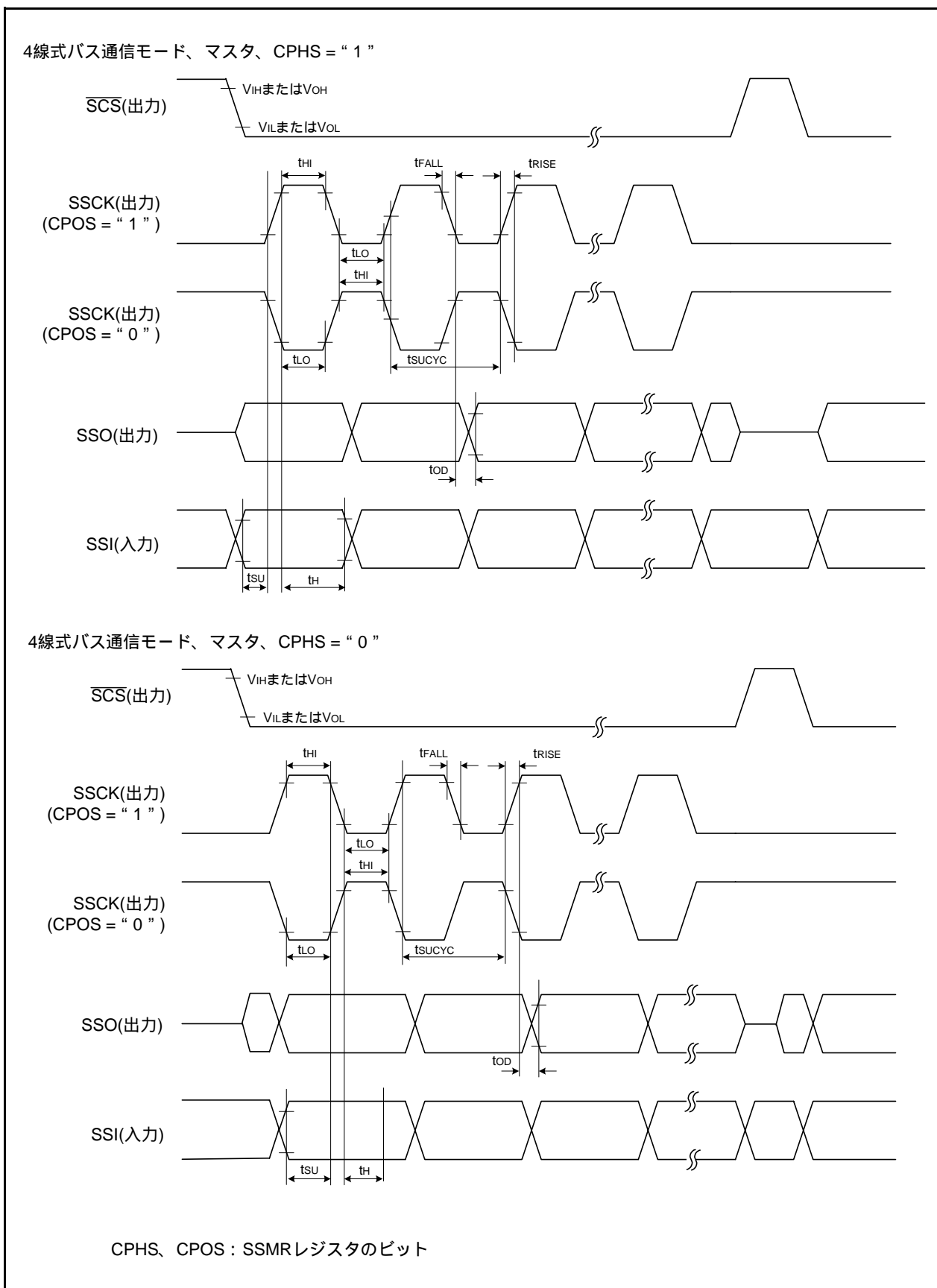


図25.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

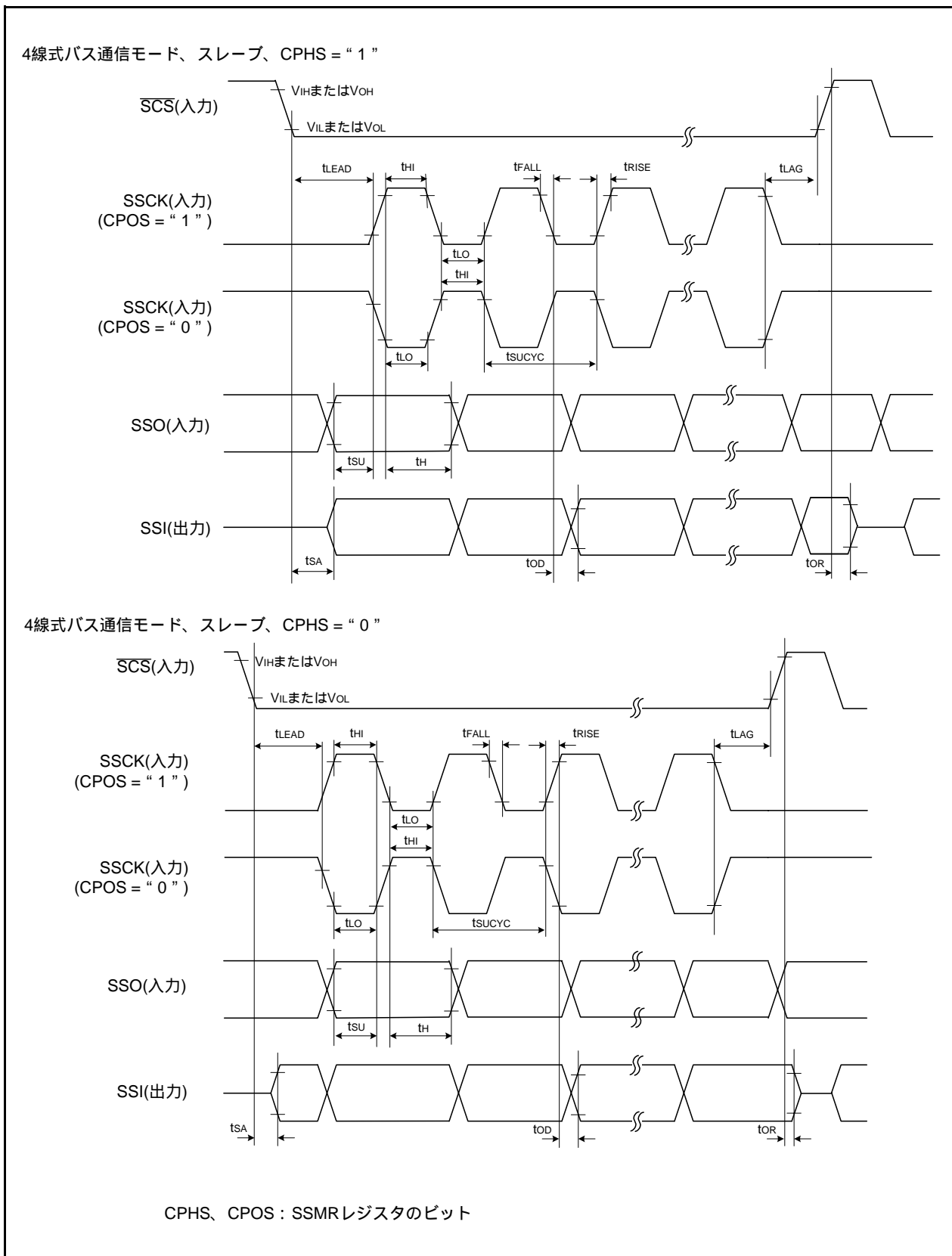


図 25.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

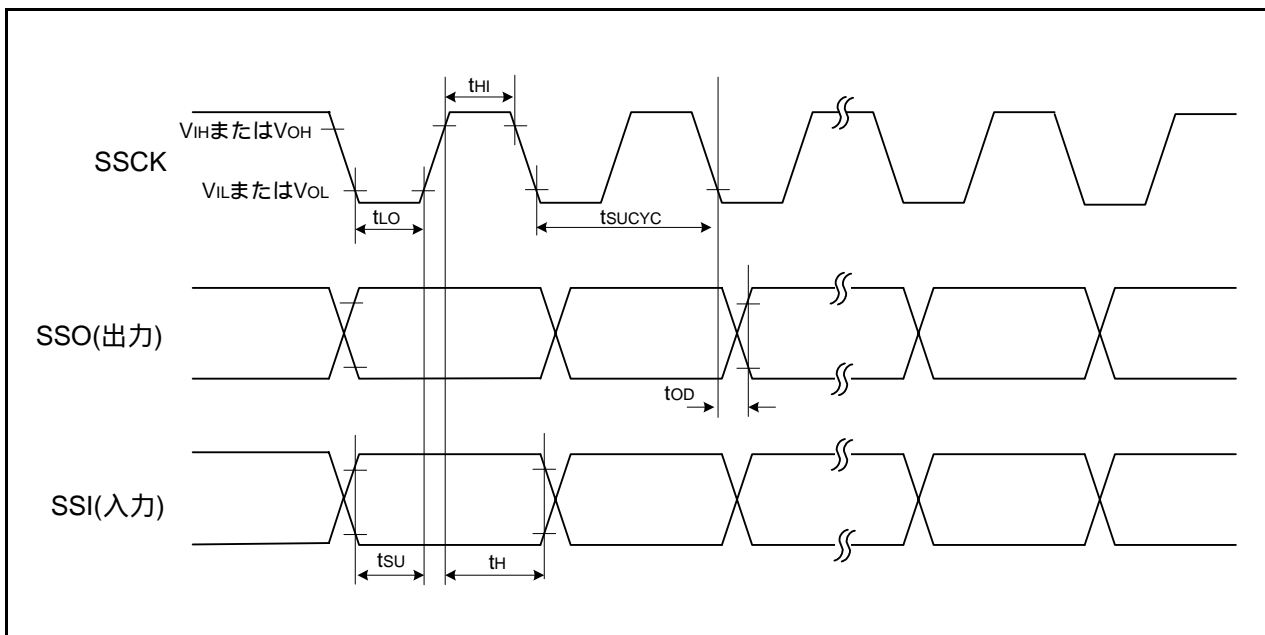


図25.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表25.18 I²Cバスインタフェースのタイミング条件(指定のない場合は、V_{CC} = 1.8 V ~ 5.5 V、V_{SS} = 0 V、Topr = - 20 ~ 85 (Nバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{SCL}	SCL入力サイクル時間		12tcyc + 600(注1)	—	—	ns
t _{SCLH}	SCL入力“H”パルス幅		3tcyc + 300(注1)	—	—	ns
t _{SCLL}	SCL入力“L”パルス幅		5tcyc + 500(注1)	—	—	ns
t _{sf}	SCL、SDA入力立ち下がり時間		—	—	300	ns
t _{SP}	SCL、SDA入カスパイクパルス除去時間		—	—	1tcyc(注1)	ns
t _{BUF}	SDA入力バスフリー時間		5tcyc(注1)	—	—	ns
t _{STAH}	開始条件入力ホールド時間		3tcyc(注1)	—	—	ns
t _{STAS}	再送開始条件入力セットアップ時間		3tcyc(注1)	—	—	ns
t _{STOP}	停止条件入力セットアップ時間		3tcyc(注1)	—	—	ns
t _{SDAS}	データ入力セットアップ時間		1tcyc + 40(注1)	—	—	ns
t _{SDAH}	データ入力ホールド時間		10	—	—	ns

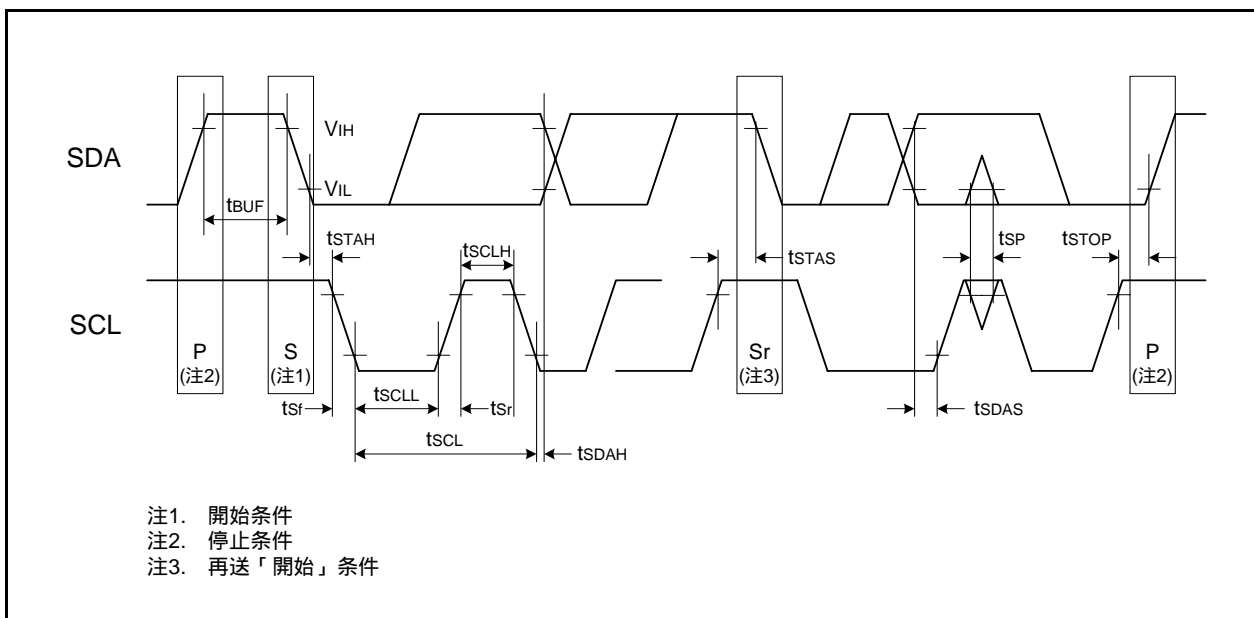
注1. 1tcyc = 1/f₁ (s)図25.7 I²Cバスインタフェースの入出力タイミング

表25.19 外部クロック入力(XIN)のタイミング条件
(指定のない場合は、 $V_{ss} = 0\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2\text{ V}$ 、 $T_{opr} = 25$		$V_{cc} = 3\text{ V}$ 、 $T_{opr} = 25$		$V_{cc} = 5\text{ V}$ 、 $T_{opr} = 25$		
		最小	最大	最小	最大	最小	最大	
$t_c(\text{XIN})$	XIN入力サイクル時間	200	—	50	—	50	—	ns
$t_{WH}(\text{XIN})$	XIN入力“H”パルス幅	90	—	24	—	24	—	ns
$t_{WL}(\text{XIN})$	XIN入力“L”パルス幅	90	—	24	—	24	—	ns

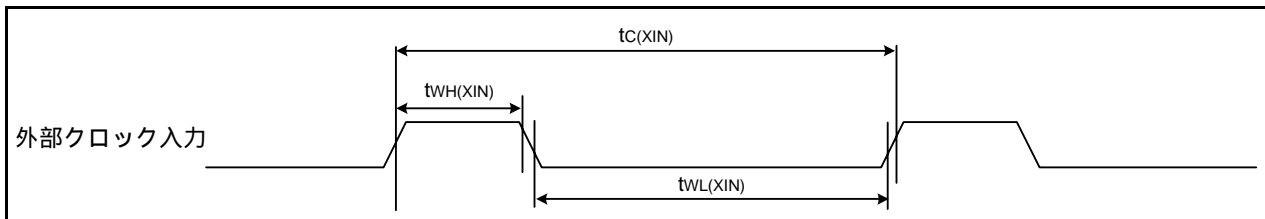


図25.8 外部クロック入力のタイミング

表25.20 TRJ0IOのタイミング条件
(指定のない場合は、 $V_{ss} = 0\text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2\text{ V}$ 、 $T_{opr} = 25$		$V_{cc} = 3\text{ V}$ 、 $T_{opr} = 25$		$V_{cc} = 5\text{ V}$ 、 $T_{opr} = 25$		
		最小	最大	最小	最大	最小	最大	
$t_c(\text{TRJ0IO})$	TRJ0IO入力サイクル時間	500	—	300	—	100	—	ns
$t_{WH}(\text{TRJ0IO})$	TRJ0IO入力“H”パルス幅	200	—	120	—	40	—	ns
$t_{WL}(\text{TRJ0IO})$	TRJ0IO入力“L”パルス幅	200	—	120	—	40	—	ns

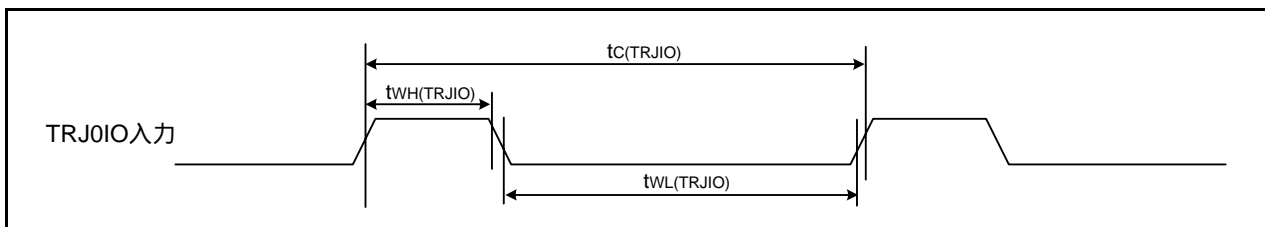


図25.9 TRJ0IOの入力タイミング

表25.21 外部割り込み $\overline{\text{INTi}}$ ($i = 0 \sim 3, 5$)、キー入力割り込み $\overline{\text{Kli}}$ ($i = 0 \sim 7$)のタイミング条件
(指定のない場合は、 $V_{ss} = 0 \text{ V}$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2 \text{ V}$ 、 $T_{opr} = 25$		$V_{cc} = 3 \text{ V}$ 、 $T_{opr} = 25$		$V_{cc} = 5 \text{ V}$ 、 $T_{opr} = 25$		
		最小	最大	最小	最大	最小	最大	
$t_{w(\text{INH})}$	$\overline{\text{INTi}}$ 入力“H”パルス幅、 $\overline{\text{Kli}}$ 入力“H”パルス幅	1000 (注1)	—	380 (注1)	—	250 (注1)	—	ns
$t_{w(\text{INL})}$	$\overline{\text{INTi}}$ 入力“L”パルス幅、 $\overline{\text{Kli}}$ 入力“L”パルス幅	1000 (注2)	—	380 (注2)	—	250 (注2)	—	ns

注1. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 $\times 3$)と最小値のいずれか値の大きい方となります。

注2. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 $\times 3$)と最小値のいずれか値の大きい方となります。

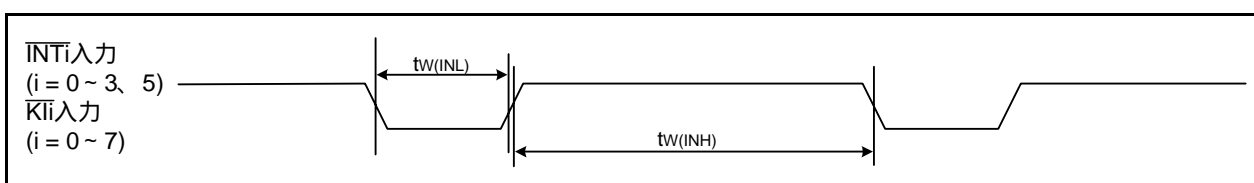


図25.10 外部割り込み $\overline{\text{INTi}}$ およびキー入力割り込み $\overline{\text{Kli}}$ の入力タイミング

26. 使用上の注意事項

26.1 クロック発生回路使用上の注意

26.1.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

26.1.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

26.2 パワーコントロール使用上の注意

26.2.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”にしてください。命令キューはCM10ビットを“1”にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCR    ; CM0、CM1レジスタへの書き込み許可
FSET      I          ; 割り込み許可
BSET      0, CM1     ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

26.2.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
FSET      I          ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

• CM30ビットを“1”を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCR    ; CM3レジスタへの書き込み許可
FCLR      I          ; 割り込み禁止
BSET      0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR      0, PRCR    ; CM3レジスタへの書き込み禁止
FSET      I          ; 割り込み許可

```

26.2.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.8に示す手順に従ってください。

WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.6に示す手順に従ってください。

26.3 割り込み使用上の注意

26.3.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

26.3.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

26.3.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 、 $\overline{\text{INT5}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i = 0 \sim 3, 5$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表25.21 外部割り込み $\overline{\text{INTi}}$ ($i = 0 \sim 3, 5$)キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 7$)のタイミング条件」を参照。)

26.3.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 26.1 に割り込み要因の変更手順例を示します。

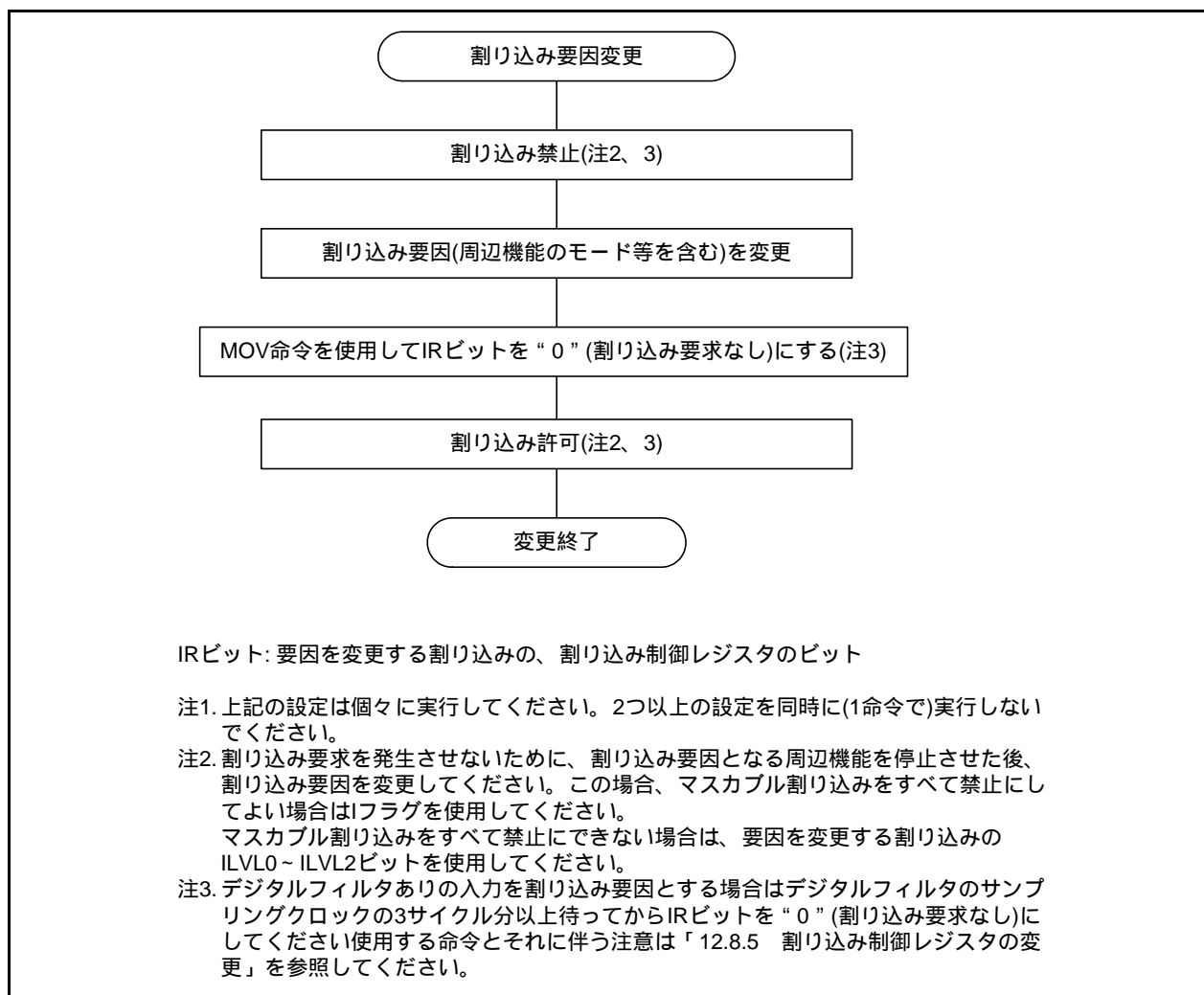


図 26.1 割り込み要因の変更手順例

26.3.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

26.4 IDコード領域使用上の注意

26.4.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h) ; UND
.lword dummy | (55000000h) ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h) ; ADDRESS MATCH
.lword dummy | (55000000h) ; SET SINGLE STEP
.lword dummy | (55000000h) ; WDT
.lword dummy | (55000000h) ; ADDRESS BREAK
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

26.5 オプション機能選択領域使用上の注意

26.5.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

26.6 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBiCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBiOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”(カウント開始)を書いた後は、カウントソースの1~2サイクルの間、TCSTFビットは“0”(カウント停止)になっています。
TCSTFビットが“1”(カウント中)になるまで、TCSTFビットを除くタイマR*Bi*関連レジスタ(注1)をアクセスしないでください。
カウント中にTSTARTビットに“0”(カウント停止)を書いた後は、カウントソースの1~2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”(カウント停止)になったときカウントは停止します。
TCSTFビットが“0”(カウント停止)になるまで、TCSTFビットを除くタイマR*Bi*関連レジスタ(注1)をアクセスしないでください。

注1. タイマR*Bi*関連レジスタ：TRBiCR、TRBiOCR、TRBiOC、TRBiMR、TRBiPRE、TRBiSC、TRBiPR

- カウント中にTRBiCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBiOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1~2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRJ0のアンダフロー信号をタイマRB0のカウントソースにする場合、タイマRJ0はタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。タイマRB1のカウントソースとしてタイマRJ0のアンダフローは選択できません。

26.6.1 タイマモード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

26.6.2 プログラマブル波形発生モード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

26.6.3 プログラマブルワンショット発生モード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

26.6.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBiCRレジスタ($i = 0 \sim 1$)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

26.7 タイマRC使用上の注意

26.7.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC          ;書き込み
                   JMP.B   L1              ;JMP.B命令
                   L1:   MOV.W  TRC,DATA    ;読み出し

```

26.7.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR      ;書き込み
                   JMP.B   L1              ;JMP.B命令
                   L1:   MOV.B  TRCSR,DATA  ;読み出し

```

26.7.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

26.7.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅については、次のように設定してください。
[デジタルフィルタなしの場合]
タイマRCの動作クロックの3サイクル分以上(「表 18.1 タイマRCの動作クロック」参照)
[デジタルフィルタありの場合]
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図 18.5 デジタルフィルタのブロック図」参照)
- TRCIOj(j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インพุットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0～IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

26.7.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

26.8 タイマRJ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマに値を設定した後、カウントを開始してください。
- タイマは16ビット単位で読み出してください。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRJ0CR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRJ0CR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRJ0のカウントを開始してください。
- カウント開始後に初めて発生するタイマRJ0のアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRJ0レジスタの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“0”になっています。
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRJ0関連レジスタ(注1)をアクセスしないでください。
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRJ0関連レジスタ(注1)をアクセスしないでください。

注1. タイマRJ0関連レジスタ：TRJ0CR、TRJ0IOC、TRJ0MR、TRJ0

- カウント中(TCSTF ビットが“1”)に TRJ0 レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRJ0 レジスタに0000hを設定しないでください。

26.9 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSR レジスタの IICSEL ビットを“0”(SSU機能を選択)にしてください。

26.10 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I²Cバスインタフェース機能を選択)にしてください。

26.10.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

26.10.1.1対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

26.10.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I²Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

26.10.2.1ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI²Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI²Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

26.10.2.2対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

26.10.2.3 IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRST ビットに“1”を書くと、ICSRレジスタのTDRE ビットは“1”になります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRST ビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

26.11 フラッシュメモリ使用上の注意

26.11.1 CPU書き換えモード

26.11.1.1使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

26.11.1.2割り込み

表26.1～表26.2にCPU書き換えモード時の割り込みを示します。

表26.1 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み	
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
			自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
プログラム ROM		自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	

FMR21、FMR22 : FMR2レジスタのビット

表26.2 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドックタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ (注1)
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

26.11.1.3アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みを禁止にしてください。

- FMR1レジスタのFMR14、FMR15ビット

26.11.1.4ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

26.11.1.5プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

26.11.1.6ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

26.11.1.7フラッシュメモリのプログラム電圧、イレーズ電圧

プログラムROMのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8 ~ 5.5 Vの条件で行ってください。1.8 V未満では、プログラム、イレーズを実行しないでください。

26.11.1.8ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

26.11.1.9低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「10.6 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

26.12 ノイズに関する注意

26.12.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

26.12.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

26.13 電源電圧の変動に関する注意事項

リセット解除後、VCC 端子に入力する電源電圧は、図 26.2 に示す許容電源リップル電圧 $V_r(vcc)$ および電源リップル立ち下がり勾配 $dV_r(vcc)/dt$ のどちらか一方または両方を満たしてください。

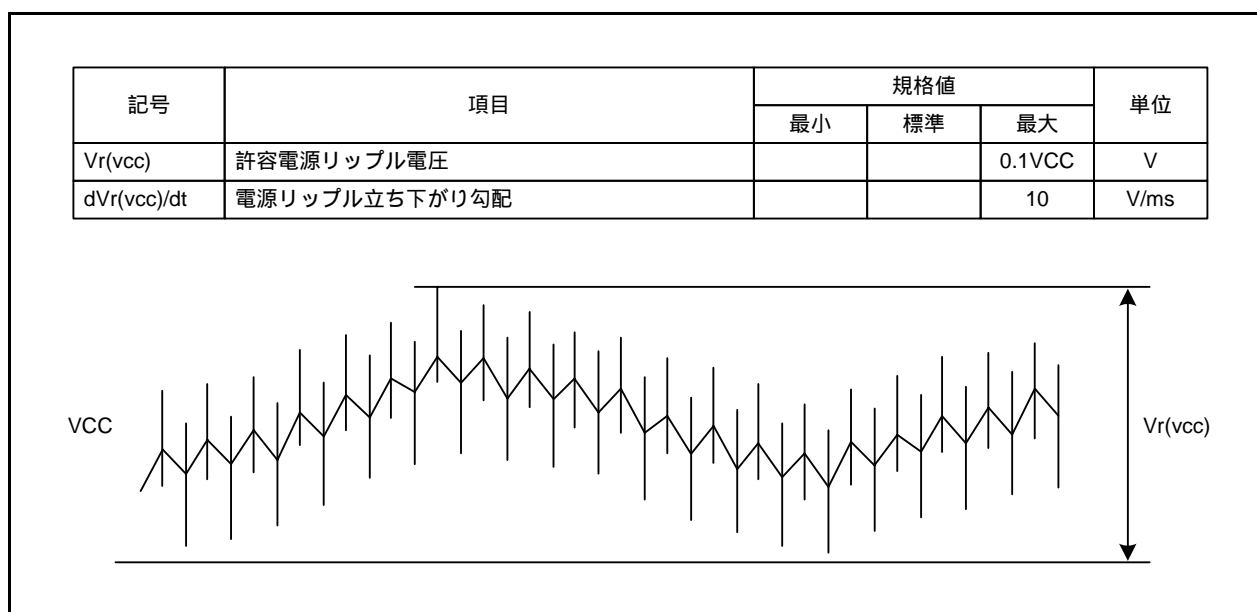


図 26.2 電源リップルの定義

27. オンチップデバッグの注意事項

オンチップデバッグを使用してR8C/LAPSグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

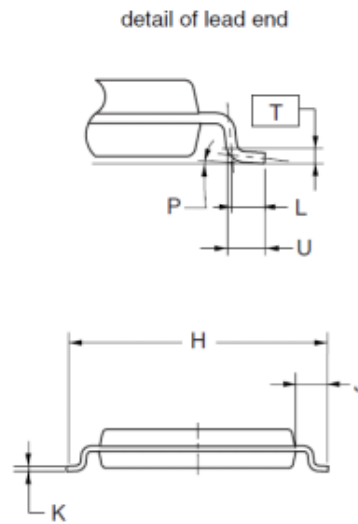
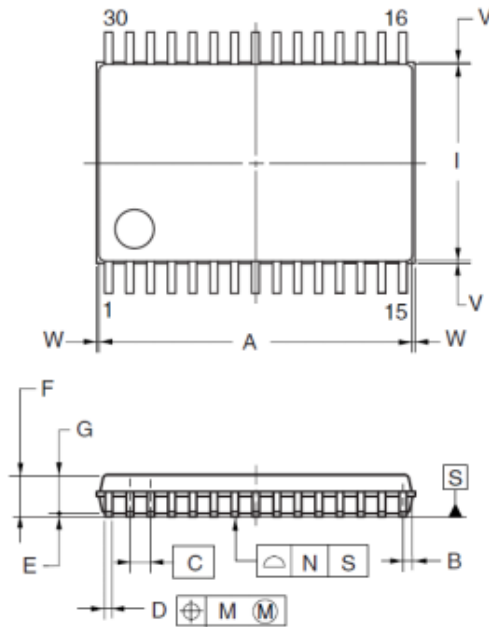
- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC = 1.8 ~ 5.5 Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、1.8 V以上にしてください。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

● SSOP-30 package dimension



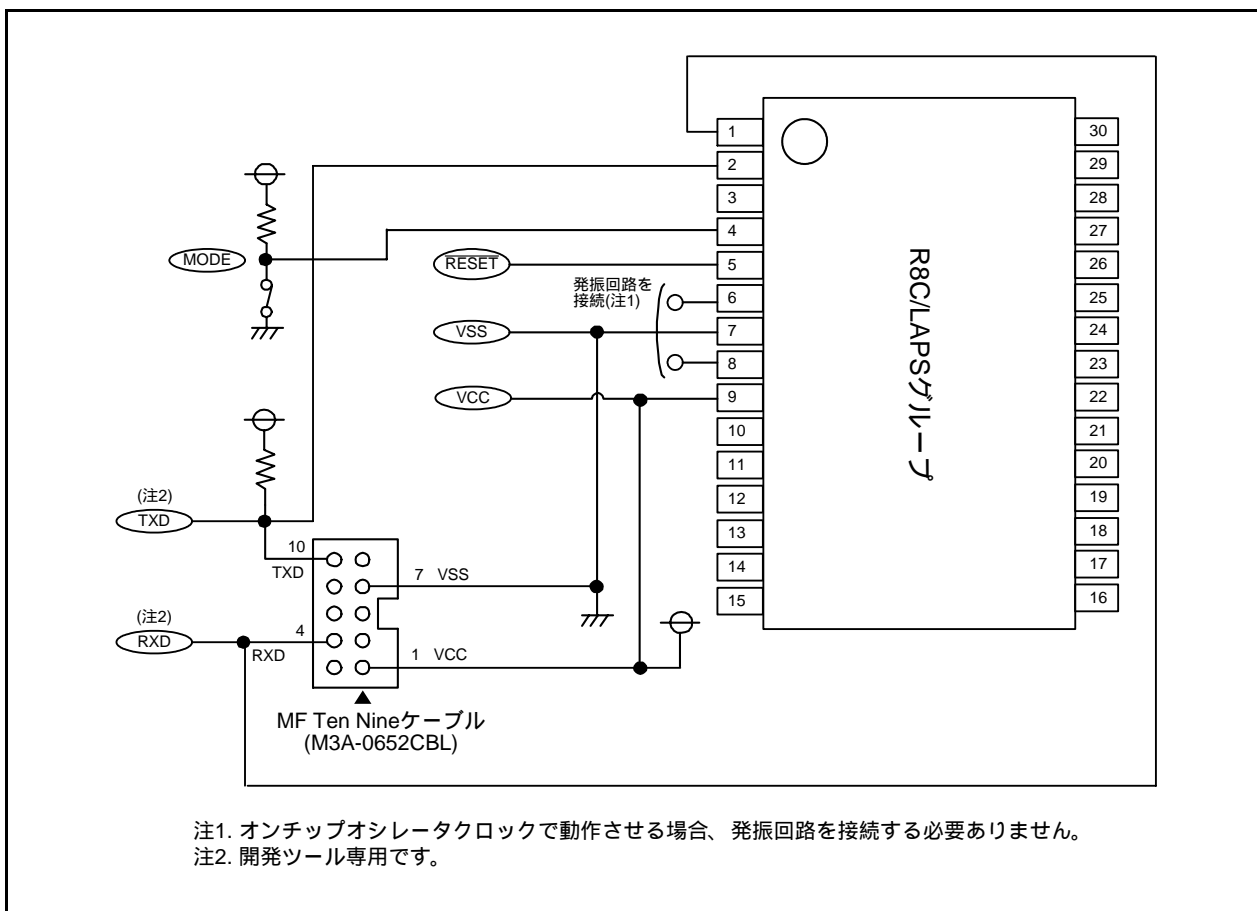
(UNIT:mm)	
ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3 ⁺⁵ ₋₃
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

付録2. シリアルライターとの接続例

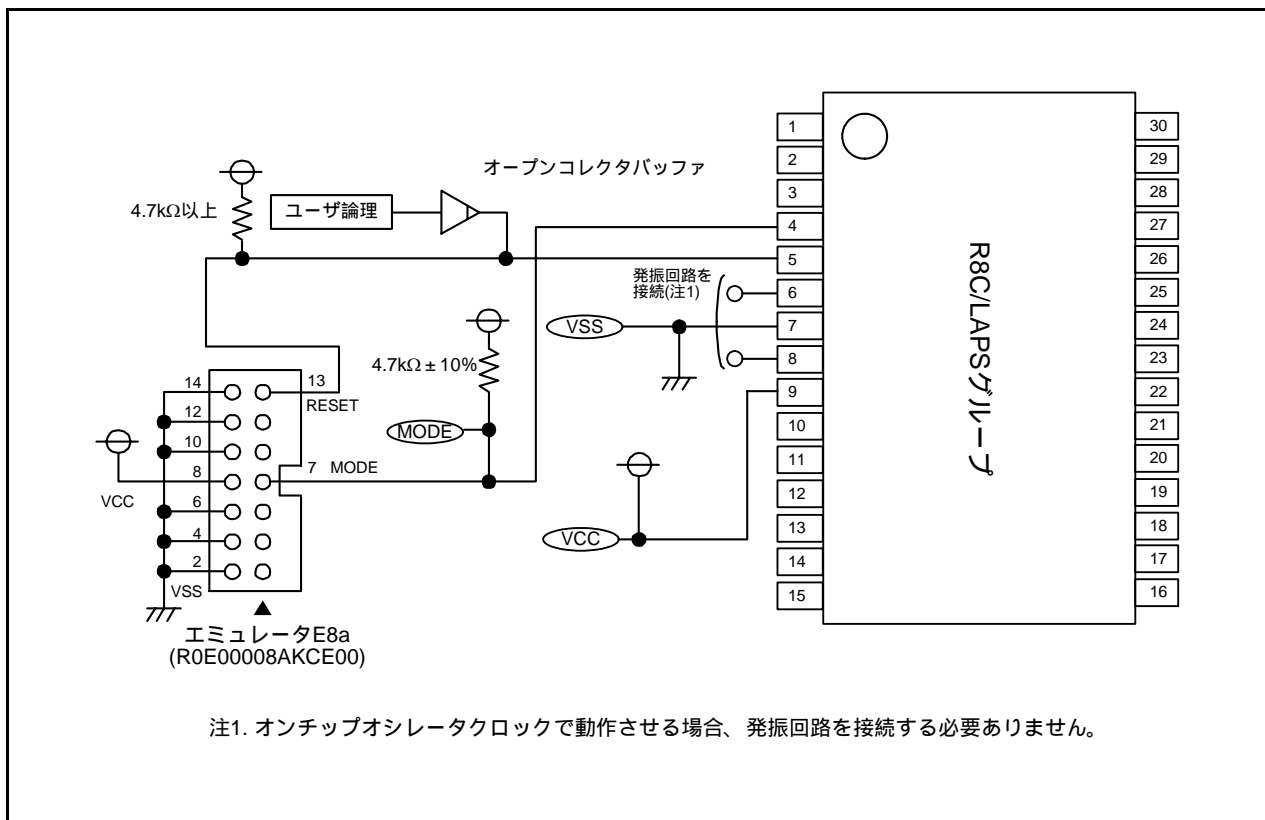
付図 2.1 に MF Ten Nine ケーブル (M3A-0652CBL) との接続例を示します。



付図 2.1 MF Ten Nine ケーブル (M3A-0652CBL) との接続例

付録3. エミュレータE8aとの接続例

付図 3.1 にエミュレータE8a (R0E00008AKCE00)との接続例を示します。



付図 3.1 エミュレータE8a (R0E00008AKCE00)との接続例

索引

【記号/数字】

4線式バス通信モード	280
4線式バス通信モードの初期化	281

【A】

A0、A1	9
AC特性	384
AIER _i (i = 0 ~ 1)	137

【B】

Bフラグ	9
------	---

【C】

CM0	82, 93
CM1	83, 94
CM3	84, 95
CMPA	37
CPU	8
CPU書き換えモード	333
CPUクロック	87
CPUクロックと周辺機能クロック	87
CSPR	153
Cフラグ	9

【D】

DC特性	378
Dフラグ	9

【E】

EW0モード	343
EW1モード	343

【F】

f1、f2、f4、f8、f32	87
FB	9
FLG	9
FMR0	337
FMR1	340
FMR2	342
FMRDYIC	118
fOCO	87
fOCO128	88
fOCO-S	87
fOCO-WDT	88
FST	334

【I】

I/Oポート	51
I/Oポート以外の端子	52
I/Oポートの機能	52
I ² Cバスインタフェース	288
I ² Cバスインタフェースモード	305
I ² Cバスフォーマット	305
ICCR1	295
ICCR2	296
ICDRR	294
ICDRS	300
ICDRT	294
ICIER	298

ICMR	297
ICSR	299
IDコードチェック機能	331, 362
IDコード領域	142
ILVL2 ~ ILVL0ビット、IPL	120
INTB	9
INTEN	128
INTEN1	129
INTF	130
INTF1	130
INTiC (i = 0 ~ 3、5)	119
INTi入力フィルタ (i = 0 ~ 3、5)	131
INTi割り込み (i = 0 ~ 3、5)	127
INT割り込み	127
IPL	10
IRビット	120
ISP	9
Iフラグ	10, 120

【K】

KIEN	134
KIEN1	135
KUPIC	117

【M】

MSTCR0	185, 259, 291
MSTCR1	162, 232

【O】

OCD	85, 96
OFS	25, 44, 147, 154, 332
OFS2	26, 148, 155
Oフラグ	10

【P】

P8DRR	65
PC	9
PD _i (i = 2、5、7 ~ 9)	58
P _i (i = 2、5、7 ~ 9)	59
PINSR	64, 293
PIPUR (i = 2、5、7 ~ 9)	65
PM0	24
PM1	152
PRCR	112
PWM2モード	221
PWMモード	215

【R】

R0、R1、R2、R3	9
RMAD _i (i = 0 ~ 1)	137
ROMコードプロテクト機能	332, 365
RSTFR	24

【S】

SAR	300
SB	9
SCS端子制御とアービトレーション	286
SDA端子デジタル遅延選択	303
SFR	12
SSBR	260

SSCRH	262
SSCRL	263
SSER	265
SSMR	264
SSMR2	267
SSRDR	262
SSSR	266
SSTDR	261
SSTRSR	270
SSUIC/IICIC	118
SSUICSR	63, 260, 292
SSシフトレジスタ	270
Sフラグ	9

【 T 】

TRB0IC	117
TRB1IC	117
TRBiCR (i = 0 ~ 1)	163
TRBiOC (i = 0 ~ 1)	164, 167, 171, 174, 178
TRBiMR (i = 0 ~ 1)	164
TRBiOCR (i = 0 ~ 1)	163
TRBiPR (i = 0 ~ 1)	166
TRBiPRE (i = 0 ~ 1)	165
TRBiSC (i = 0 ~ 1)	165
TRC	190
TRCCR1	187, 208, 217, 223
TRCCR2	191, 211, 218, 224
TRCDF	191, 225
TRCGRA	190
TRCGRB	190
TRCGRC	190
TRCGRC、TRCGRDレジスタの出力端子変更	213
TRCGRD	190
TRCIC	118
TRCIER	187
TRCIOR0	189, 203, 209
TRCIOR1	189, 204, 210
TRCMR	186
TRCOER	192
TRCPSR0	61, 193
TRCPSR1	62, 194
TRCRIO	252
TRCSR	188
TRJ0	235
TRJ0CR	233
TRJ0IC	117
TRJ0IOC	233, 238, 241, 243, 245, 248
TRJ0ISR	235
TRJ0MR	234
TRJSR	60, 236

【 U 】

USP	9
Uフラグ	10

【 V 】

VCA1	38
VCA2	39, 97
VCAC	37
VCC入力電圧のモニタ	45
VCMP1IC	117
VCMP2IC	117
VD1LS	40

Vdet0のモニタ	45
Vdet1のモニタ	45
Vdet2のモニタ	45
VLT0	66
VLT1	67
VLT2	68
VW0C	41
VW1C	42
VW2C	43

【 W 】

WDTC	153
WDTR	152
WDTS	152

【 X 】

XINクロック	86
---------	----

【 Z 】

Zフラグ	9
------	---

【 あ 】

アウトプットコンペア機能	206
アドレス一致割り込み	136
アドレスレジスタ	9

【 い 】

イベントカウンタモード	242
インプットキャプチャ機能	201

【 う 】

ウェイトモード	99
ウェイトモードからの復帰	100
ウェイトモード時の端子の状態	99
ウェイトモードへの移行	99
ウェイトモード、ストップモード	105
ウォッチドッグタイマ	150
ウォッチドッグタイマリセット	31

【 え 】

エミュレータE8aとの接続例	412
----------------	-----

【 お 】

応用	1
オーバフローフラグ	10
オプション機能選択領域	146
オンチップデバッガの注意事項	409

【 か 】

外形寸法図	410
概要	1
カウントソース	195
カウントソース保護モード無効時	157
カウントソース保護モード有効時	158
カウント中のタイマ書き込み制御	168, 239
各通信モードと端子機能	272
各モードの設定と解除方法	346

【き】		ソフトウェアコマンド	348
キー入力割り込み	132	ソフトウェアリセット	31
機能	143	ソフトウェア割り込み	113
キャリフラグ	9		
強制イレース機能	144	【た】	
		タイマ	105
【く】		タイマRB	160
クロック	105	タイマRC	182
クロック同期形シリアルインタフェース	105, 256	タイマRC割り込み	229
クロック同期式シリアルフォーマット	316	タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I ² Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)	138
クロック同期式シリアルモード	316	タイマRJ	231
クロック同期式通信モード	273	タイマ拡張機能	251
クロック同期式通信モードの初期化	273	タイマ総論	159
クロック発生回路	79	タイマモード	167, 201, 206, 237
		端子機能の説明	7
【こ】			
高速クロックモード	98	【ち】	
コールドスタート/ウォームスタート判定機能	32	中央演算処理装置(CPU)	8
【さ】		【て】	
サインフラグ	9	低消費電流リードモード	109
サスペンド動作	344	低速オンチップオシレータクロック	87
		低速オンチップオシレータモード	98
【し】		データ受信	276, 284
システムクロック	87	データ送信	274, 282
周辺機能クロック	87	データ保護機能	347
周辺機能クロック停止機能	99	データレジスタ	9
周辺機能クロックの停止	105	デジタルフィルタ	197
周辺機能の特性	373	デバッグフラグ	9
周辺機能への影響	52	電圧監視0リセット	30, 46
周辺機能割り込み	115	電圧監視1割り込み	47
受信動作	318	電圧監視2割り込み	49
仕様概要	2	電圧検出回路	33, 105
使用上の注意事項	391	電気的特性	370
消費電力の低減	105	電源が安定している場合	27
シリアルライタとの接続例	411	電源投入時	27
シンクロナスシリアルコミュニケーションユニット(SSU)	257	転送クロック	268, 301
【す】		【と】	
推奨動作条件	371	動作波形	253, 255
スタックポインタ指定フラグ	10	特殊割り込み	114
スタティックベースレジスタ	9	特長	1
ストップモード	103		
ストップモードからの復帰	104	【な】	
ストップモード時の端子の状態	103	内部電源の消費電力低減	106
ストップモードへの移行	103		
スレーブ受信動作	314	【の】	
スレーブ送信動作	311	ノイズ除去回路	323
【せ】		【は】	
製品一覧	3	ハードウェアリセット	27
絶対最大定格	370	バス制御	78
ゼロフラグ	9	発振停止検出機能	89
		発振停止検出機能の使用方法	89
【そ】		バッファ動作	196
送信動作	317		

パラレル入出力モード	365	リセット要因判別機能	32
パルス周期測定モード	247	リモコン搬送波出力機能	253
パルス出力強制遮断	199	リモコン搬送波入力機能	254
パルス出力モード	240		
パルス幅測定モード	244	【れ】	
パワーオンリセット機能	29	レジスタ設定例	319
パワーコントロール	92	レジスタ退避	122
		レジスタバンク指定フラグ	9
【ひ】			
ビット同期回路	324	【わ】	
標準シリアル入出力モード	362	割り込み	113
標準シリアル入出力モード禁止機能	144	割り込み応答時間	122
標準動作モード	98	割り込み許可フラグ	10
ピン配置図	5	割り込みシーケンス	121
		割り込みスタックポインタ	9
【ふ】		割り込み制御	120
フラグレジスタ	9	割り込みテーブルレジスタ	9
フラッシュメモリ	327	割り込みと割り込みベクタ	115
フラッシュメモリ書き換え禁止機能	331	割り込みの分類	113
フラッシュメモリの停止	108	割り込み優先順位	124
フルステータスチェック	360	割り込み優先レベル判定回路	125
フレームベースレジスタ	9	割り込み要求	271, 304
プログラマブルウェイトワンショット発生モード	177	割り込み要求受付時のIPLの変化	122
プログラマブル波形発生モード	170	割り込みルーチンからの復帰	124
プログラマブルワンショット発生モード	173	ワンショットトリガ選択	176
プログラムカウンタ	9		
プロセッサ割り込み優先レベル	10		
ブロック図	4		
プロテクト	112		
【ほ】			
ポート	105		
ポートの設定	69		
【ま】			
マスタ受信動作	308		
マスタ送信動作	306		
【み】			
未使用端子の処理	77		
【め】			
メモリ	11		
メモリ配置	328		
【も】			
モード選択	256		
【ゆ】			
ユーザスタックポインタ	9		
【よ】			
予約ビット	10		
【り】			
リセット	22		

改訂記録

R8C/LAPSグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.12.28	—	初版発行
1.00	2011.09.22	全ページ	「暫定仕様書」、「開発中」 削除
		1	1.1.1 変更
		39	6.2.4 注1、注2、注4、注5 変更
		64	7.5.7 注1 追記
		83	9.2.2 注2、注6 変更
		87	9.5.4 変更
		90	図9.4 タイトル 変更
		91	9.7.1 変更
		94	10.2.2 注2、注6 変更
		97	10.2.5 注1、注2、注4、注5 変更
		98	表10.2 変更、注1 追記
		99	10.4.2 変更、
			「10.4.3 VCA20ビットによる内部電源低消費操作」 追記
		101	「10.4.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰」 タイトル 追記
		102	「10.4.7 WAIT命令実行後のウェイトモードからの復帰」 タイトル 追記、(2)、図10.3 変更
		104	10.5.3 (2) 変更
		106	10.6.8 変更、図10.5 追記
		107	図10.6 タイトル 変更
		110	10.7.2 変更
		111	「10.7.3 VCA20ビットによる内部電源低消費操作」 追記
		120	12.3.3 変更
		139	12.8.1 変更
		159	表16.1 変更
		160	17.1 変更、図17.1 注1 追記
		164、167、170、171、174、178	17.2.4、17.3.1、17.4.1、17.5.1、17.6.1 「タイマRbi出力許可ビット」ビット名 変更
		165	17.2.6 注1 追記
		167	17.3 変更
		180	17.7 変更
		230	18.9.4 変更
		233	19.2.2 注4 追記
		257	表22.1 変更
		274	22.4.2 変更
		278	22.4.3.1 変更
		282	22.5.2 変更
		284	22.5.3 変更
		288	表23.1 変更
		293	23.2.3 注1 追記
		295	23.2.6、注3 変更

改訂記録

R8C/LAPSグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.09.22	301	23.3.1 変更
		316	23.5.1 変更
		317	23.5.2 変更
		318	23.5.3 変更
		363	表24.7 変更
		364	表24.8 変更
		373	表25.3 変更
		374	表25.4 変更
		391	26.1.1 変更
		392	26.2.2 変更
		393	「26.2.3 VCA20ビットによる内部電源低消費操作」 追記
		394	26.3.1 変更
		398	26.6 変更
		400	26.7.4 変更

R8C/LAPSグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2010年12月28日 Rev.0.10
2011年9月22日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

R8C/LAPS グループ