

# R8C/LA6A グループ、R8C/LA8A グループ

## ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ  
R8C ファミリ／R8C/Lx シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/LA6Aグループ、R8C/LA8Aグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサスエレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要	R8C/LA3Aグループ、 R8C/LA5Aグループ、 R8C/LA6Aグループ、 R8C/LA8Aグループ データシート	R01DS0011JJ0100
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、 メモリマップ、周辺機能の仕様、 電気的特性、タイミング)と動作 説明 ※周辺機能の使用方法はアプリ ケーションノートを参照してくだ さい。	R8C/LA6Aグループ、 R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0002
アプリケーション ノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプ ログラムの作成方法	ルネサスエレクトロニクスホーム ページに掲載されて います。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に 関する速報		

## 2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

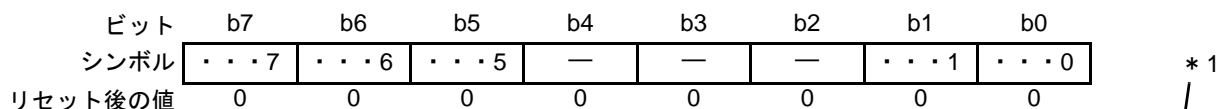
- (1) レジスタ名、ビット名、端子名  
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。  
(例) PM0 レジスタのPM03ビット  
P3\_5端子、VCC端子
- (2) 数の表記  
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。  
(例) 2進数 : 11b  
16進数 : EFA0h  
10進数 : 1234

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

#### X.X.X . . . . レジスタ (シンボル)

アドレス . . . . h 番地



ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . .	R/W R/W R/W
b1	. . . 1			
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b3	—	予約ビット	“0” にしてください。	W
b4	—			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6			R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

\* 2

\* 3

#### \* 1

- R/W : 読むとビットの状態が読めます。書くと有効データになります。
- R : 読むとビットの状態が読めます。書いた値は無効になります。
- W : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

#### \* 2

- 予約ビット  
予約ビットです。指定された値にしてください。

#### \* 3

- 何も配置されていない  
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- 設定しないでください  
設定した場合の動作は保証されません。
- 動作モードによって機能が異なる  
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

#### 4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

# 目次

番地別ページ早見表 .....	B - 1
1. 概要.....	1
1.1   特長.....	1
1.1.1   応用 .....	1
1.1.2   グループごとの相違点 .....	2
1.1.3   仕様概要 .....	4
1.2   製品一覧.....	7
1.3   ブロック図.....	9
1.4   ピン配置図.....	11
1.5   端子機能の説明.....	16
2.   中央演算処理装置 (CPU).....	18
2.1   データレジスタ (R0、R1、R2、R3).....	19
2.2   アドレスレジスタ (A0、A1).....	19
2.3   フレームベースレジスタ (FB).....	19
2.4   割り込みテーブルレジスタ (INTB).....	19
2.5   プログラムカウンタ (PC).....	19
2.6   ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP).....	19
2.7   スタティックベースレジスタ (SB).....	19
2.8   フラグレジスタ (FLG).....	19
2.8.1   キャリフラグ (Cフラグ).....	19
2.8.2   デバッグフラグ (Dフラグ).....	19
2.8.3   ゼロフラグ (Zフラグ).....	19
2.8.4   サインフラグ (Sフラグ) .....	19
2.8.5   レジスタバンク指定フラグ (Bフラグ).....	19
2.8.6   オーバフローフラグ (Oフラグ).....	20
2.8.7   割り込み許可フラグ (Iフラグ).....	20
2.8.8   スタックポインタ指定フラグ (Uフラグ).....	20
2.8.9   プロセッサ割り込み優先レベル (IPL).....	20
2.8.10   予約ビット .....	20
3.   メモリ .....	21
4.   SFR.....	23
5.   リセット .....	33
5.1   レジスタの説明 .....	36
5.1.1   プロセッサモードレジスタ 0 (PM0).....	36
5.1.2   リセット要因判別レジスタ (RSTFR).....	36
5.1.3   オプション機能選択レジスタ (OFS).....	37
5.1.4   オプション機能選択レジスタ 2 (OFS2).....	38
5.2   ハードウェアリセット .....	39
5.2.1   電源が安定している場合 .....	39
5.2.2   電源投入時 .....	39
5.3   パワーオンリセット機能.....	41
5.4   電圧監視0リセット .....	42
5.5   ウォッチドッグタイマリセット .....	43
5.6   ソフトウェアリセット .....	43



5.7	コールドスタート/ウォームスタート判定機能 .....	44
5.8	リセット要因判別機能 .....	44
<b>6.</b>	<b>電圧検出回路 .....</b>	<b>45</b>
6.1	概要 .....	45
6.2	レジスタの説明 .....	49
6.2.1	電圧監視回路制御レジスタ (CMPA) .....	49
6.2.2	電圧監視回路エッジ選択レジスタ (VCAC) .....	49
6.2.3	電圧検出レジスタ1 (VCA1) .....	50
6.2.4	電圧検出レジスタ2 (VCA2) .....	51
6.2.5	電圧検出1レベル選択レジスタ (VD1LS) .....	52
6.2.6	電圧監視0回路制御レジスタ (VW0C) .....	53
6.2.7	電圧監視1回路制御レジスタ (VW1C) .....	54
6.2.8	電圧監視2回路制御レジスタ (VW2C) .....	55
6.2.9	オプション機能選択レジスタ (OFS) .....	56
6.3	VCC入力電圧のモニタ .....	57
6.3.1	Vdet0のモニタ .....	57
6.3.2	Vdet1のモニタ .....	57
6.3.3	Vdet2のモニタ .....	57
6.4	電圧監視0リセット .....	58
6.5	電圧監視1割り込み .....	59
6.6	電圧監視2割り込み .....	61
<b>7.</b>	<b>I/Oポート .....</b>	<b>63</b>
7.1	概要 .....	63
7.2	I/Oポートの機能 .....	65
7.3	周辺機能への影響 .....	65
7.4	I/Oポート以外の端子 .....	65
7.5	レジスタの説明 .....	72
7.5.1	ポートPi方向レジスタ (PDi)(i = 0~9) .....	72
7.5.2	ポートPiレジスタ (Pi)(i = 0~9) .....	73
7.5.3	タイマRJ端子選択レジスタ (TRJSR) .....	74
7.5.4	タイマRB端子選択レジスタ (TRBSR) .....	75
7.5.5	タイマRC端子選択レジスタ0 (TRCPSR0) .....	76
7.5.6	タイマRC端子選択レジスタ1 (TRCPSR1) .....	77
7.5.7	UART0端子選択レジスタ (U0SR) .....	78
7.5.8	UART2端子選択レジスタ0 (U2SR0) .....	79
7.5.9	UART2端子選択レジスタ1 (U2SR1) .....	80
7.5.10	SSU/IIC端子選択レジスタ (SSUIICSR) .....	81
7.5.11	INT割り込み入力端子選択レジスタ (INTSR) .....	82
7.5.12	入出力機能端子選択レジスタ (PINSR) .....	83
7.5.13	ポートPiプルアップ制御レジスタ (PiPUR)(i = 0~9) .....	84
7.5.14	ポートP7駆動能力制御レジスタ (P7DRR) .....	85
7.5.15	ポートP8駆動能力制御レジスタ (P8DRR) .....	85
7.5.16	入力しきい値制御レジスタ0 (VLT0) .....	86
7.5.17	入力しきい値制御レジスタ1 (VLT1) .....	87
7.5.18	入力しきい値制御レジスタ2 (VLT2) .....	88
7.6	ポートの設定 .....	89
7.7	未使用端子の処理 .....	112

8.	バス制御 .....	113
9.	クロック発生回路 .....	114
9.1	概要 .....	114
9.2	レジスタの説明 .....	117
9.2.1	システムクロック制御レジスタ0(CM0) .....	117
9.2.2	システムクロック制御レジスタ1(CM1) .....	118
9.2.3	システムクロック制御レジスタ3 (CM3) .....	119
9.2.4	発振停止検出レジスタ (OCD) .....	120
9.2.5	高速オンチップオシレータ制御レジスタ0 (FRA0) .....	121
9.2.6	高速オンチップオシレータ周波数制御レジスタ0(FRC0) .....	121
9.2.7	高速オンチップオシレータ制御レジスタ2 (FRA2) .....	122
9.2.8	高速オンチップオシレータ18MHz設定値レジスタ0 (FR18S0) .....	123
9.2.9	高速オンチップオシレータ18MHz設定値レジスタ1 (FR18S1) .....	123
9.2.10	高速オンチップオシレータ周波数制御レジスタ1 (FRC1) .....	123
9.3	XINクロック .....	124
9.4	オンチップオシレータクロック .....	125
9.4.1	低速オンチップオシレータクロック .....	125
9.4.2	高速オンチップオシレータクロック .....	125
9.5	XCINクロック .....	126
9.6	CPUクロックと周辺機能クロック .....	127
9.6.1	システムクロック .....	127
9.6.2	CPUクロック .....	127
9.6.3	周辺機能クロック (f1、f2、f4、f8、f16、f32) .....	127
9.6.4	fOCO .....	127
9.6.5	fOCO20M .....	127
9.6.6	fOCO-F .....	127
9.6.7	fOCO-S .....	128
9.6.8	fOCO128 .....	128
9.6.9	fC-LCD .....	128
9.6.10	fC、fC32 .....	128
9.6.11	fOCO-WDT .....	128
9.6.12	fC-TRH .....	128
9.7	発振停止検出機能 .....	129
9.7.1	発振停止検出機能の使用方法 .....	129
9.8	クロック発生回路使用上の注意 .....	131
9.8.1	発振停止検出機能 .....	131
9.8.2	発振回路定数 .....	131
9.8.3	XCINクロック .....	131
10.	パワーコントロール .....	132
10.1	概要 .....	132
10.2	レジスタの説明 .....	134
10.2.1	システムクロック制御レジスタ0(CM0) .....	134
10.2.2	システムクロック制御レジスタ1(CM1) .....	135
10.2.3	システムクロック制御レジスタ3 (CM3) .....	136
10.2.4	発振停止検出レジスタ (OCD) .....	137
10.2.5	高速オンチップオシレータ制御レジスタ0 (FRA0) .....	138
10.2.6	電圧検出レジスタ2 (VCA2) .....	139

10.2.7	パワーオフモード制御レジスタ0 (POMCR0) .....	140
10.3	標準動作モード .....	141
10.3.1	高速クロックモード .....	142
10.3.2	低速クロックモード .....	142
10.3.3	高速オンチップオシレータモード .....	142
10.3.4	低速オンチップオシレータモード .....	142
10.4	ウェイトモード .....	143
10.4.1	周辺機能クロック停止機能 .....	143
10.4.2	ウェイトモードへの移行 .....	143
10.4.3	VCA20ビットによる内部電源低消費操作 .....	143
10.4.4	ウェイトモード時の端子の状態 .....	143
10.4.5	ウェイトモードからの復帰 .....	144
10.4.6	CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後の ウェイトモードからの復帰 .....	145
10.4.7	WAIT命令実行後のウェイトモードからの復帰 .....	146
10.5	ストップモード .....	147
10.5.1	ストップモードへの移行 .....	147
10.5.2	ストップモード時の端子の状態 .....	147
10.5.3	ストップモードからの復帰 .....	148
10.6	パワーオフ0モード .....	149
10.6.1	パワーオフ0モードの端子処理 .....	149
10.6.2	パワーオフ0モードへの移行 .....	149
10.6.3	パワーオフ0モード時の端子の状態 .....	150
10.6.4	パワーオフ0モードの解除 .....	150
10.7	パワーオフ2モード .....	151
10.7.1	パワーオフ2モードへの移行 .....	151
10.7.2	パワーオフ2モード時の端子の状態 .....	151
10.7.3	パワーオフ2モードからの復帰 .....	152
10.8	消費電力の低減 .....	153
10.8.1	電圧検出回路 .....	153
10.8.2	ポート .....	153
10.8.3	クロック .....	153
10.8.4	ウェイトモード、ストップモード、パワーオフモード .....	153
10.8.5	周辺機能クロックの停止 .....	153
10.8.6	タイマ .....	153
10.8.7	A/Dコンバータ .....	154
10.8.8	クロック同期形シリアルインタフェース .....	154
10.8.9	VCA20ビットによる内部電源低消費操作 .....	154
10.8.10	フラッシュメモリの停止 .....	156
10.8.11	低消費電流リードモード .....	157
10.9	パワーコントロール使用上の注意 .....	158
10.9.1	ストップモード .....	158
10.9.2	ウェイトモード .....	158
10.9.3	VCA20ビットによる内部電源低消費操作 .....	159
10.9.4	パワーオフ0モード .....	159
10.9.5	パワーオフ2モード .....	160
11.	プロテクト .....	161
11.1	レジスタの説明 .....	161

11.1.1	プロテクトレジスタ (PRCR) .....	161
12.	割り込み .....	162
12.1	概要 .....	162
12.1.1	割り込みの分類 .....	162
12.1.2	ソフトウェア割り込み .....	162
12.1.3	特殊割り込み .....	163
12.1.4	周辺機能割り込み .....	164
12.1.5	割り込みと割り込みベクタ .....	164
12.2	レジスタの説明 .....	166
12.2.1	割り込み制御レジスタ (S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、TRJ0IC、TRB1IC、TRB0IC、TRJ1IC、 TRJ2IC、U2BCNIC、LCDIC、VCMP1IC、VCMP2IC).....	166
12.2.2	割り込み制御レジスタ(FMRDYIC、TRCIC、SSUIC/ICIC、TRHIC).....	167
12.2.3	INT <sub>i</sub> 割り込み制御レジスタ(INT <sub>i</sub> IC)(i = 0 ~ 7).....	168
12.3	割り込み制御 .....	169
12.3.1	Iフラグ .....	169
12.3.2	IRビット .....	169
12.3.3	ILVL2 ~ ILVL0ビット、IPL .....	169
12.3.4	割り込みシーケンス .....	170
12.3.5	割り込み応答時間 .....	171
12.3.6	割り込み要求受付時のIPLの変化.....	171
12.3.7	レジスタ退避 .....	171
12.3.8	割り込みルーチンからの復帰 .....	173
12.3.9	割り込み優先順位 .....	173
12.3.10	割り込み優先レベル判定回路 .....	174
12.4	INT割り込み .....	176
12.4.1	INT <sub>i</sub> 割り込み(i = 0 ~ 7) .....	176
12.4.2	INT割り込み入力端子選択レジスタ(INTSR).....	177
12.4.3	外部入力許可レジスタ0(INTEN) .....	178
12.4.4	外部入力許可レジスタ1(INTEN1) .....	179
12.4.5	INT入力フィルタ選択レジスタ0(INTF) .....	180
12.4.6	INT入力フィルタ選択レジスタ1(INTF1) .....	180
12.4.7	INT <sub>i</sub> 入力フィルタ(i = 0 ~ 7) .....	181
12.5	キー入力割り込み .....	182
12.5.1	キー入力許可レジスタ0(KIEN).....	184
12.5.2	キー入力許可レジスタ1(KIEN1).....	185
12.6	アドレス一致割り込み .....	186
12.6.1	アドレス一致割り込み許可レジスタi(AIER <sub>i</sub> )(i = 0 ~ 1).....	187
12.6.2	アドレス一致割り込みレジスタi(RMAD <sub>i</sub> )(i = 0 ~ 1) .....	187
12.7	タイマRC割り込み、タイマRH割り込み、シンクロナスシリアルコミュニケーション ユニット割り込み、I <sup>2</sup> Cバスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み) .....	188
12.8	割り込み使用上の注意 .....	190
12.8.1	0000h番地の読み出し .....	190
12.8.2	SPの設定 .....	190
12.8.3	外部割り込み、キー入力割り込み .....	190
12.8.4	割り込み要因の変更 .....	191
12.8.5	割り込み制御レジスタの変更 .....	192

13.	IDコード領域	193
13.1	概要	193
13.2	機能	194
13.3	強制イレーズ機能	195
13.4	標準シリアル入出力モード禁止機能	195
13.5	IDコード領域使用上の注意	196
13.5.1	IDコード領域の設定例	196
14.	オプション機能選択領域	197
14.1	概要	197
14.2	レジスタの説明	198
14.2.1	オプション機能選択レジスタ (OFS)	198
14.2.2	オプション機能選択レジスタ2 (OFS2)	199
14.3	オプション機能選択領域使用上の注意	200
14.3.1	オプション機能選択領域の設定例	200
15.	ウォッチドッグタイマ	201
15.1	概要	201
15.2	レジスタの説明	203
15.2.1	プロセッサモードレジスタ1 (PM1)	203
15.2.2	ウォッチドッグタイマリセットレジスタ (WDTR)	203
15.2.3	ウォッチドッグタイマスタートレジスタ (WDTS)	203
15.2.4	ウォッチドッグタイマ制御レジスタ (WDTC)	204
15.2.5	カウントソース保護モードレジスタ (CSPR)	204
15.2.6	オプション機能選択レジスタ (OFS)	205
15.2.7	オプション機能選択レジスタ2 (OFS2)	206
15.3	動作説明	207
15.3.1	複数モードに関わる共通事項	207
15.3.2	カウントソース保護モード無効時	208
15.3.3	カウントソース保護モード有効時	209
16.	タイマ総論	210
17.	タイマRB	211
17.1	概要	211
17.2	レジスタの説明	213
17.2.1	モジュールスタンバイ制御レジスタ1 (MSTCR1)	213
17.2.2	タイマR <i>B</i> <sub><i>i</i></sub> 制御レジスタ (TR <i>B</i> <sub><i>i</i></sub> CR)( <i>i</i> = 0 ~ 1)	214
17.2.3	タイマR <i>B</i> <sub><i>i</i></sub> ワンショット制御レジスタ (TR <i>B</i> <sub><i>i</i></sub> OCR)( <i>i</i> = 0 ~ 1)	214
17.2.4	タイマR <i>B</i> <sub><i>i</i></sub> I/O制御レジスタ (TR <i>B</i> <sub><i>i</i></sub> IOC)( <i>i</i> = 0 ~ 1)	215
17.2.5	タイマR <i>B</i> <sub><i>i</i></sub> モードレジスタ (TR <i>B</i> <sub><i>i</i></sub> MR)( <i>i</i> = 0 ~ 1)	215
17.2.6	タイマR <i>B</i> <sub><i>i</i></sub> プリスケアラレジスタ (TR <i>B</i> <sub><i>i</i></sub> PRE)( <i>i</i> = 0 ~ 1)	216
17.2.7	タイマR <i>B</i> <sub><i>i</i></sub> セカンダリレジスタ (TR <i>B</i> <sub><i>i</i></sub> SC)( <i>i</i> = 0 ~ 1)	216
17.2.8	タイマR <i>B</i> <sub><i>i</i></sub> プライマリレジスタ (TR <i>B</i> <sub><i>i</i></sub> PR)( <i>i</i> = 0 ~ 1)	217
17.2.9	タイマRB端子選択レジスタ (TRBSR)	217
17.3	タイマモード	218
17.3.1	タイマR <i>B</i> <sub><i>i</i></sub> I/O制御レジスタ (TR <i>B</i> <sub><i>i</i></sub> IOC)( <i>i</i> = 0 ~ 1)[タイマモード時]	218
17.3.2	カウント中のタイマ書き込み制御	219
17.4	プログラマブル波形発生モード	221

17.4.1	タイマRBi I/O制御レジスタ (TRBiIOC)(i = 0~1)[プログラマブル波形発生モード時].....	222
17.4.2	動作例 .....	223
17.5	プログラマブルワンショット発生モード.....	224
17.5.1	タイマRBi I/O制御レジスタ (TRBiIOC)(i = 0~1) [プログラマブルワンショット発生モード時].....	225
17.5.2	動作例 .....	226
17.5.3	ワンショットトリガ選択 .....	227
17.6	プログラマブルウェイトワンショット発生モード.....	228
17.6.1	タイマRBi I/O制御レジスタ (TRBiIOC)(i = 0~1) [プログラマブルウェイトワンショット発生モード時].....	229
17.6.2	動作例 .....	230
17.7	タイマRB使用上の注意.....	231
17.7.1	タイマモード .....	231
17.7.2	プログラマブル波形発生モード .....	231
17.7.3	プログラマブルワンショット発生モード .....	232
17.7.4	プログラマブルウェイトワンショット発生モード .....	232
<b>18.</b>	<b>タイマRC .....</b>	<b>233</b>
18.1	概要.....	233
18.2	レジスタの説明.....	235
18.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0).....	236
18.2.2	タイマRCモードレジスタ (TRCMR) .....	237
18.2.3	タイマRC制御レジスタ1(TRCCR1).....	238
18.2.4	タイマRC割り込み許可レジスタ (TRCIER).....	238
18.2.5	タイマRCステータスレジスタ (TRCSR).....	239
18.2.6	タイマRC I/O制御レジスタ0(TRCIOR0) .....	240
18.2.7	タイマRC I/O制御レジスタ1(TRCIOR1) .....	240
18.2.8	タイマRCカウンタ (TRC) .....	241
18.2.9	タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD) .....	241
18.2.10	タイマRC制御レジスタ2(TRCCR2).....	242
18.2.11	タイマRCデジタルフィルタ機能選択レジスタ (TRCDF) .....	242
18.2.12	タイマRCアウトプットマスタ許可レジスタ (TRCOER) .....	243
18.2.13	タイマRCトリガ制御レジスタ (TRCADCR) .....	243
18.2.14	タイマRC端子選択レジスタ0 (TRCPSR0) .....	244
18.2.15	タイマRC端子選択レジスタ1 (TRCPSR1) .....	245
18.3	複数モードに関わる共通事項.....	246
18.3.1	カウントソース .....	246
18.3.2	バッファ動作 .....	247
18.3.3	デジタルフィルタ .....	248
18.3.4	パルス出力強制遮断 .....	250
18.4	タイマモード(インプットキャプチャ機能).....	252
18.4.1	タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(インプットキャプチャ機能)時].....	254
18.4.2	タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(インプットキャプチャ機能)時].....	255
18.4.3	動作例 .....	256
18.5	タイマモード(アウトプットコンペア機能).....	257
18.5.1	タイマRC制御レジスタ1(TRCCR1) [タイマモード(アウトプットコンペア機能)時].....	259

18.5.2	タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(アウトプットコンペア機能)時].....	260
18.5.3	タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(アウトプットコンペア機能)時].....	261
18.5.4	タイマRC制御レジスタ2(TRCCR2) [タイマモード(アウトプットコンペア機能)時].....	262
18.5.5	動作例 .....	263
18.5.6	TRCGRC、TRCGRD レジスタの出力端子変更.....	264
18.6	PWMモード.....	266
18.6.1	タイマRC制御レジスタ1(TRCCR1)[PWMモード時].....	268
18.6.2	タイマRC制御レジスタ2(TRCCR2)[PWMモード時].....	269
18.6.3	動作例 .....	270
18.7	PWM2モード.....	272
18.7.1	タイマRC制御レジスタ1(TRCCR1)[PWM2モード時].....	274
18.7.2	タイマRC制御レジスタ2(TRCCR2)[PWM2モード時].....	275
18.7.3	タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)[PWM2モード時].....	276
18.7.4	動作例 .....	277
18.8	タイマRC割り込み.....	280
18.9	タイマRC使用上の注意.....	281
18.9.1	TRCレジスタ .....	281
18.9.2	TRCSRレジスタ .....	281
18.9.3	TRCCR1レジスタ .....	281
18.9.4	カウントソース切り替え .....	281
18.9.5	インプットキャプチャ機能.....	282
18.9.6	PWM2モード時のTRCMRレジスタ.....	282
19.	タイマRH .....	283
19.1	概要.....	283
19.2	リアルタイムクロックモード.....	284
19.2.1	モジュールスタンバイ制御レジスタ1(MSTCR1).....	286
19.2.2	タイマRH秒データレジスタ(TRHSEC)[リアルタイムクロックモード時].....	287
19.2.3	タイマRH分データレジスタ(TRHMIN)[リアルタイムクロックモード時].....	288
19.2.4	タイマRH時データレジスタ(TRHHR)[リアルタイムクロックモード時].....	289
19.2.5	タイマRH曜日データレジスタ(TRHWK)[リアルタイムクロックモード時].....	290
19.2.6	タイマRH日データレジスタ(TRHDY)[リアルタイムクロックモード時].....	291
19.2.7	タイマRH月データレジスタ(TRHMON)[リアルタイムクロックモード時].....	292
19.2.8	タイマRH年データレジスタ(TRHYR)[リアルタイムクロックモード時].....	293
19.2.9	タイマRH制御レジスタ(TRHCR)[リアルタイムクロックモード時].....	294
19.2.10	タイマRHカウントソース選択レジスタ(TRHCSR) [リアルタイムクロックモード時].....	297
19.2.11	タイマRH時計誤差補正レジスタ(TRHADJ)[リアルタイムクロックモード時].....	298
19.2.12	タイマRH割り込みフラグレジスタ(TRHIFR)[リアルタイムクロックモード時].....	299
19.2.13	タイマRH割り込み許可レジスタ(TRHIER)[リアルタイムクロックモード時].....	300
19.2.14	タイマRHアラーム分レジスタ(TRHAMN)[リアルタイムクロックモード時].....	301
19.2.15	タイマRHアラーム時レジスタ(TRHAHR)[リアルタイムクロックモード時].....	302
19.2.16	タイマRHアラーム曜日レジスタ(TRHAWK)[リアルタイムクロックモード時].....	303
19.2.17	タイマRHプロテクトレジスタ(TRHPRC)[リアルタイムクロックモード時].....	304
19.2.18	タイマRH秒割り込み制御レジスタ(TRHICR)[リアルタイムクロックモード時].....	305
19.2.19	動作例 .....	307

19.2.20	アラーム機能 .....	310
19.2.21	秒調整機能 .....	312
19.2.22	時計誤差補正機能 .....	314
19.2.23	クロック出力 .....	317
19.3	アウトプットコンペアモード .....	318
19.3.1	タイマRHカウンタデータレジスタ (TRHSEC)[アウトプットコンペアモード時] .....	319
19.3.2	タイマRHコンペアデータレジスタ (TRHMIN)[アウトプットコンペアモード時] .....	319
19.3.3	タイマRH制御レジスタ (TRHCR)[アウトプットコンペアモード時] .....	320
19.3.4	タイマRHカウントソース選択レジスタ (TRHCSR) [アウトプットコンペアモード時] .....	321
19.3.5	タイマRH割り込みフラグレジスタ (TRHIFR)[アウトプットコンペアモード時] .....	323
19.3.6	タイマRH割り込み許可レジスタ (TRHIER)[アウトプットコンペアモード時] .....	324
19.3.7	タイマRHプロテクトレジスタ (TRHPRC)[アウトプットコンペアモード時] .....	324
19.3.8	動作例 .....	325
19.4	タイマRH使用上の注意 .....	327
19.4.1	リセット .....	327
19.4.2	カウント開始、停止 .....	327
19.4.3	レジスタ設定 .....	327
19.4.4	リアルタイムクロックモードの時刻読み出し手順 .....	328
20.	タイマRJ .....	329
20.1	概要 .....	329
20.2	レジスタの説明 .....	331
20.2.1	モジュールスタンバイ制御レジスタ1(MSTCR1) .....	331
20.2.2	タイマRJi制御レジスタ (TRJiCR)(i = 0 ~ 2) .....	332
20.2.3	タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2) .....	332
20.2.4	タイマRJiモードレジスタ (TRJiMR)(i = 0 ~ 2) .....	333
20.2.5	タイマRJiイベント端子選択レジスタ (TRJiISR)(i = 0 ~ 2) .....	334
20.2.6	タイマRJiレジスタ (TRJi)(i = 0 ~ 2) .....	334
20.2.7	タイマRJ端子選択レジスタ (TRJSR) .....	335
20.2.8	タイマRB端子選択レジスタ (TRBSR) .....	336
20.3	タイマモード .....	337
20.3.1	タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)[タイマモード時] .....	338
20.3.2	カウント中のタイマ書き込み制御 .....	339
20.4	パルス出力モード .....	340
20.4.1	タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)[パルス出力モード時] .....	341
20.5	イベントカウンタモード .....	342
20.5.1	タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)[イベントカウンタモード時] .....	343
20.6	パルス幅測定モード .....	344
20.6.1	タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)[パルス幅測定モード時] .....	345
20.6.2	動作例 .....	346
20.7	パルス周期測定モード .....	347
20.7.1	タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)[パルス周期測定モード時] .....	348
20.7.2	動作例 .....	349
20.8	タイマRJ使用上の注意 .....	350
21.	シリアルインタフェース(UART0) .....	351
21.1	概要 .....	351
21.2	レジスタの説明 .....	353



21.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0).....	353
21.2.2	UART0送受信モードレジスタ (U0MR).....	354
21.2.3	UART0ビットレートレジスタ (U0BRG).....	354
21.2.4	UART0送信バッファレジスタ (U0TB).....	355
21.2.5	UART0送受信制御レジスタ0 (U0C0).....	356
21.2.6	UART0送受信制御レジスタ1 (U0C1).....	356
21.2.7	UART0受信バッファレジスタ (U0RB).....	357
21.2.8	UART0端子選択レジスタ (U0SR).....	358
21.3	クロック同期形シリアルI/Oモード.....	359
21.3.1	通信エラー発生時の対処方法.....	363
21.3.2	極性選択機能.....	364
21.3.3	LSB ファースト、MSB ファースト選択.....	364
21.3.4	連続受信モード.....	365
21.4	クロック非同期形シリアルI/O(UART)モード.....	366
21.4.1	ビットレート.....	371
21.4.2	通信エラー発生時の対処方法.....	372
21.5	シリアルインタフェース(UART0)使用上の注意.....	373
<b>22.</b>	<b>シリアルインタフェース(UART2).....</b>	<b>374</b>
22.1	概要.....	374
22.2	レジスタの説明.....	376
22.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0).....	376
22.2.2	UART2送受信モードレジスタ (U2MR).....	377
22.2.3	UART2ビットレートレジスタ (U2BRG).....	377
22.2.4	UART2送信バッファレジスタ (U2TB).....	378
22.2.5	UART2送受信制御レジスタ0 (U2C0).....	379
22.2.6	UART2送受信制御レジスタ1 (U2C1).....	380
22.2.7	UART2受信バッファレジスタ (U2RB).....	381
22.2.8	UART2デジタルフィルタ機能選択レジスタ (URXDF).....	382
22.2.9	UART2特殊モードレジスタ5(U2SMR5).....	382
22.2.10	UART2特殊モードレジスタ4 (U2SMR4).....	383
22.2.11	UART2特殊モードレジスタ3 (U2SMR3).....	384
22.2.12	UART2特殊モードレジスタ2 (U2SMR2).....	384
22.2.13	UART2特殊モードレジスタ (U2SMR).....	385
22.2.14	UART2端子選択レジスタ0 (U2SR0).....	385
22.2.15	UART2端子選択レジスタ1 (U2SR1).....	386
22.3	クロック同期形シリアルI/Oモード.....	387
22.3.1	通信エラー発生時の対処方法.....	391
22.3.2	CLK極性選択.....	391
22.3.3	LSB ファースト、MSB ファースト選択.....	392
22.3.4	連続受信モード.....	392
22.3.5	シリアルデータ論理切り替え.....	393
22.3.6	CTS/RTS機能.....	393
22.4	クロック非同期形シリアルI/O(UART)モード.....	394
22.4.1	ビットレート.....	398
22.4.2	通信エラー発生時の対処方法.....	399
22.4.3	LSB ファースト、MSB ファースト選択.....	399
22.4.4	シリアルデータ論理切り替え.....	400
22.4.5	TXD、RXD入出力極性切り替え機能.....	400

22.4.6	CTS/RTS機能	401
22.4.7	RXD2デジタルフィルタ選択機能	401
22.5	特殊モード1(I <sup>2</sup> Cモード)	402
22.5.1	スタートコンディション、ストップコンディションの検出	408
22.5.2	スタートコンディション、ストップコンディションの出力	409
22.5.3	転送クロック	410
22.5.4	SDA出力	410
22.5.5	SDA入力	411
22.5.6	ACK、NACK	411
22.5.7	送受信初期化	411
22.6	マルチプロセッサ通信機能	412
22.6.1	マルチプロセッサ送信	415
22.6.2	マルチプロセッサ受信	416
22.6.3	RXD2デジタルフィルタ選択機能	418
22.7	シリアルインタフェース(UART2)使用上の注意	419
22.7.1	クロック同期形シリアルI/Oモード	419
22.7.2	特殊モード1(I <sup>2</sup> Cモード)	419
22.7.3	U2BRGレジスタ	420
22.7.4	U2TBレジスタ	420
23.	クロック同期形シリアルインタフェース	421
23.1	モード選択	421
24.	シンクロナスシリアルコミュニケーションユニット(SSU)	422
24.1	概要	422
24.2	レジスタの説明	424
24.2.1	モジュールスタンバイ制御レジスタ0(MSTCR0)	424
24.2.2	SSU/IIC端子選択レジスタ(SSUIICSR)	425
24.2.3	SSビットカウンタレジスタ(SSBR)	425
24.2.4	SS送信データレジスタ(SSTDR)	426
24.2.5	SS受信データレジスタ(SSRDR)	427
24.2.6	SS制御レジスタH(SSCRH)	427
24.2.7	SS制御レジスタL(SSCRL)	428
24.2.8	SSモードレジスタ(SSMR)	429
24.2.9	SS許可レジスタ(SSER)	430
24.2.10	SSステータスレジスタ(SSSR)	431
24.2.11	SSモードレジスタ2(SSMR2)	432
24.3	複数モードに関わる共通事項	433
24.3.1	転送クロック	433
24.3.2	SSシフトレジスタ(SSTRSR)	435
24.3.3	割り込み要求	436
24.3.4	各通信モードと端子機能	437
24.4	クロック同期式通信モード	438
24.4.1	クロック同期式通信モードの初期化	438
24.4.2	データ送信	439
24.4.3	データ受信	441
24.5	4線式バス通信モード	445
24.5.1	4線式バス通信モードの初期化	446
24.5.2	データ送信	447

24.5.3	データ受信 .....	449
24.5.4	SCS端子制御とアービトレーション .....	451
24.6	シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意 .....	452
<b>25.</b>	<b>I<sup>2</sup>Cバスインタフェース .....</b>	<b>453</b>
25.1	概要 .....	453
25.2	レジスタの説明 .....	456
25.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0) .....	456
25.2.2	SSU/IIC端子選択レジスタ(SSUIICSR) .....	457
25.2.3	入出力機能端子選択レジスタ(PINSR) .....	458
25.2.4	IICバス送信データレジスタ(ICDRT) .....	459
25.2.5	IICバス受信データレジスタ(ICDRR) .....	459
25.2.6	IICバス制御レジスタ1(ICCR1) .....	460
25.2.7	IICバス制御レジスタ2(ICCR2) .....	461
25.2.8	IICバスモードレジスタ(ICMR) .....	462
25.2.9	IICバス割り込み許可レジスタ(ICIER) .....	463
25.2.10	IICバスステータスレジスタ(ICSR) .....	464
25.2.11	スレーブアドレスレジスタ(SAR) .....	465
25.2.12	IICバスシフトレジスタ(ICDRS) .....	465
25.3	複数モードに関わる共通事項 .....	466
25.3.1	転送クロック .....	466
25.3.2	SDA端子デジタル遅延選択 .....	468
25.3.3	割り込み要求 .....	469
25.4	I <sup>2</sup> Cバスインタフェースモード .....	470
25.4.1	I <sup>2</sup> Cバスフォーマット .....	470
25.4.2	マスタ送信動作 .....	471
25.4.3	マスタ受信動作 .....	473
25.4.4	スレーブ送信動作 .....	476
25.4.5	スレーブ受信動作 .....	479
25.5	クロック同期式シリアルモード .....	481
25.5.1	クロック同期式シリアルフォーマット .....	481
25.5.2	送信動作 .....	482
25.5.3	受信動作 .....	483
25.6	レジスタ設定例 .....	484
25.7	ノイズ除去回路 .....	488
25.8	ビット同期回路 .....	489
25.9	I <sup>2</sup> Cバスインタフェース使用上の注意 .....	490
25.9.1	マスタ受信モード .....	490
25.9.2	ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット .....	490
<b>26.</b>	<b>A/Dコンバータ .....</b>	<b>492</b>
26.1	概要 .....	492
26.2	レジスタの説明 .....	494
26.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0) .....	494
26.2.2	チップ内蔵基準電圧制御レジスタ(OCVREFCR) .....	495
26.2.3	A/Dレジスタi (ADi)(i=0~7) .....	496
26.2.4	A/Dモードレジスタ(ADMOD) .....	497
26.2.5	A/D入力選択レジスタ(ADINSEL) .....	498
26.2.6	A/D制御レジスタ0 (ADCON0) .....	499

26.2.7	A/D制御レジスタ1 (ADCON1).....	500
26.2.8	A/D制御レジスタ2 (ADCON2).....	501
26.3	複数モードに関わる共通事項.....	502
26.3.1	入出力端子.....	502
26.3.2	A/D変換サイクル数.....	502
26.3.3	A/D変換開始条件.....	504
26.3.4	A/D変換結果.....	506
26.3.5	消費電流低減機能.....	506
26.3.6	チップ内蔵基準電圧 (OCVREF).....	506
26.3.7	ゲインアンプ.....	506
26.3.8	A/D断線検出アシスト機能.....	507
26.4	単発モード.....	508
26.5	繰り返しモード0.....	509
26.6	繰り返しモード1.....	510
26.7	単掃引モード.....	512
26.8	繰り返し掃引モード.....	514
26.9	温度センサ.....	516
26.9.1	温度センサの設定手順.....	517
26.10	A/D変換時のセンサの出力インピーダンス.....	518
26.11	A/Dコンバータ使用上の注意.....	519
26.11.1	A/Dコンバータ.....	519
26.11.2	温度センサ.....	519
<b>27.</b>	<b>コンパレータB.....</b>	<b>520</b>
27.1	概要.....	520
27.2	レジスタの説明.....	522
27.2.1	コンパレータB制御レジスタ0(INTCMP).....	522
27.2.2	外部入力許可レジスタ0 (INTEN).....	522
27.2.3	INT入力フィルタ選択レジスタ0 (INTF).....	523
27.3	動作説明.....	524
27.3.1	コンパレータBiデジタルフィルタ (i = 1、3).....	525
27.4	コンパレータB1、コンパレータB3割り込み.....	526
<b>28.</b>	<b>LCD駆動制御回路.....</b>	<b>527</b>
28.1	概要.....	527
28.2	レジスタの説明.....	530
28.2.1	モジュールスタンバイ制御レジスタ0 (MSTCR0).....	530
28.2.2	LCD制御レジスタ (LCR0).....	531
28.2.3	LCDオプションクロック制御レジスタ (LCR2).....	531
28.2.4	LCDクロック制御レジスタ (LCR3).....	532
28.2.5	LCD表示制御レジスタ (LCR4).....	532
28.2.6	LCDポート選択レジスタ0 (LSE0).....	533
28.2.7	LCDポート選択レジスタ1 (LSE1).....	533
28.2.8	LCDポート選択レジスタ2 (LSE2).....	534
28.2.9	LCDポート選択レジスタ3 (LSE3).....	534
28.2.10	LCDポート選択レジスタ4 (LSE4).....	535
28.2.11	LCDポート選択レジスタ5 (LSE5).....	535
28.3	データレジスタの説明.....	536
28.4	LCD駆動制御.....	537

28.4.1	セグメント出力端子の選択 .....	539
28.4.2	LCDクロック選択 .....	539
28.4.3	バイアス制御 .....	539
28.4.4	LCDデータ表示 .....	540
28.4.5	ストップモードおよびパワーオフ2モード時の端子の状態 .....	540
28.4.6	パワーオフ0モード時の端子の状態 .....	540
28.5	LCD駆動波形 .....	541
28.5.1	セグメントパネル駆動波形 .....	541
28.5.2	メモリ性液晶パネル用駆動波形 .....	545
28.5.3	割り込み制御波形 .....	546
28.6	LCD駆動制御回路使用上の注意 .....	547
28.6.1	分割抵抗を外付けする場合 .....	547
<b>29.</b>	<b>フラッシュメモリ .....</b>	<b>548</b>
29.1	概要 .....	548
29.2	メモリ配置 .....	549
29.3	フラッシュメモリ書き換え禁止機能 .....	552
29.3.1	IDコードチェック機能 .....	552
29.3.2	ROMコードプロテクト機能 .....	553
29.3.3	オプション機能選択レジスタ (OFS) .....	553
29.4	CPU書き換えモード .....	554
29.4.1	フラッシュメモリステータスレジスタ (FST) .....	555
29.4.2	フラッシュメモリ制御レジスタ0(FMR0) .....	558
29.4.3	フラッシュメモリ制御レジスタ1(FMR1) .....	561
29.4.4	フラッシュメモリ制御レジスタ2(FMR2) .....	563
29.4.5	EW0モード .....	564
29.4.6	EW1モード .....	564
29.4.7	サスペンド動作 .....	565
29.4.8	各モードの設定と解除方法 .....	567
29.4.9	データ保護機能 .....	568
29.4.10	ソフトウェアコマンド .....	569
29.4.11	フルステータスチェック .....	582
29.5	標準シリアル入出力モード .....	584
29.5.1	IDコードチェック機能 .....	584
29.6	パラレル入出力モード .....	587
29.6.1	ROMコードプロテクト機能 .....	587
29.7	フラッシュメモリ使用上の注意 .....	588
29.7.1	CPU書き換えモード .....	588
<b>30.</b>	<b>電気的特性 .....</b>	<b>592</b>
30.1	絶対最大定格 .....	592
30.2	推奨動作条件 .....	593
30.3	周辺機能の特性 .....	595
30.4	DC特性 .....	602
30.5	AC特性 .....	608
<b>31.</b>	<b>使用上の注意事項 .....</b>	<b>615</b>
31.1	クロック発生回路使用上の注意 .....	615
31.1.1	発振停止検出機能 .....	615

31.1.2	発振回路定数 .....	615
31.1.3	XCINクロック .....	615
31.2	パワーコントロール使用上の注意 .....	616
31.2.1	ストップモード .....	616
31.2.2	ウェイトモード .....	616
31.2.3	VCA20ビットによる内部電源低消費操作 .....	617
31.2.4	パワーオフ0モード .....	617
31.2.5	パワーオフ2モード .....	618
31.3	割り込み使用上の注意 .....	619
31.3.1	00000h番地の読み出し .....	619
31.3.2	SPの設定 .....	619
31.3.3	外部割り込み、キー入力割り込み .....	619
31.3.4	割り込み要因の変更 .....	620
31.3.5	割り込み制御レジスタの変更 .....	621
31.4	IDコード領域使用上の注意 .....	622
31.4.1	IDコード領域の設定例 .....	622
31.5	オプション機能選択領域使用上の注意 .....	622
31.5.1	オプション機能選択領域の設定例 .....	622
31.6	タイマRB使用上の注意 .....	623
31.6.1	タイマモード .....	623
31.6.2	プログラマブル波形発生モード .....	623
31.6.3	プログラマブルワンショット発生モード .....	624
31.6.4	プログラマブルウェイトワンショット発生モード .....	624
31.7	タイマRC使用上の注意 .....	625
31.7.1	TRCレジスタ .....	625
31.7.2	TRCSRレジスタ .....	625
31.7.3	TRCCR1レジスタ .....	625
31.7.4	カウントソース切り替え .....	625
31.7.5	インプットキャプチャ機能 .....	626
31.7.6	PWM2モード時のTRCMRレジスタ .....	626
31.8	タイマRH使用上の注意 .....	627
31.8.1	リセット .....	627
31.8.2	カウント開始、停止 .....	627
31.8.3	レジスタ設定 .....	627
31.8.4	リアルタイムクロックモードの時刻読み出し手順 .....	628
31.9	タイマRJ使用上の注意 .....	629
31.10	シリアルインタフェース(UART0)使用上の注意 .....	629
31.11	シリアルインタフェース(UART2)使用上の注意 .....	630
31.11.1	クロック同期形シリアルI/Oモード .....	630
31.11.2	特殊モード1(I <sup>2</sup> Cモード) .....	630
31.11.3	U2BRGレジスタ .....	631
31.11.4	U2TBレジスタ .....	631
31.12	シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意 .....	631
31.13	I <sup>2</sup> Cバスインタフェース使用上の注意 .....	631
31.13.1	マスタ受信モード .....	631
31.13.2	ICCR1レジスタのICEビットおよびICCR2レジスタのICRSTビット .....	631
31.14	A/Dコンバータ使用上の注意 .....	632
31.14.1	A/Dコンバータ .....	632
31.14.2	温度センサ .....	633

31.15	LCD駆動制御回路使用上の注意.....	633
31.15.1	分割抵抗を外付けする場合 .....	633
31.16	フラッシュメモリ使用上の注意 .....	634
31.16.1	CPU書き換えモード .....	634
31.17	ノイズに関する注意 .....	638
31.17.1	ノイズおよびラッチアップ対策として、VCC-VSSライン間への バイパスコンデンサ挿入 .....	638
31.17.2	ポート制御レジスタのノイズ誤動作対策 .....	638
31.18	電源電圧の変動に関する注意事項 .....	638
32.	オンチップデバッグの注意事項 .....	639
付録1.	外形寸法図.....	640
付録2.	シリアルライタとの接続例.....	644
付録3.	エミュレータ E8aとの接続例 .....	646
索引	.....	648

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	36
0005h	プロセッサモードレジスタ1	PM1	203
0006h	システムクロック制御レジスタ0	CM0	117、134
0007h	システムクロック制御レジスタ1	CM1	118、135
0008h	モジュールスタンバイ制御レジスタ0	MSTCR0	236、353、376、424、456、494、530
0009h	システムクロック制御レジスタ3	CM3	119、136
000Ah	プロテクトレジスタ	PRCR	161
000Bh	リセット要因判別レジスタ	RSTFR	36
000Ch	発振停止検出レジスタ	OCDC	120、137
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	203
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	203
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	204
0010h	モジュールスタンバイ制御レジスタ1	MSTCR1	213、286、331
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	204
001Dh			
001Eh			
001Fh			
0020h	パワーオフモード制御レジスタ0	POMCR0	140
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	121、138
0024h	高速オンチップオシレータ周波数制御レジスタ0	FRC0	121
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	122
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	495
0027h			
0028h			
0029h	高速オンチップオシレータ18MHz設定値レジスタ0	FR18S0	123
002Ah	高速オンチップオシレータ18MHz設定値レジスタ1	FR18S1	123
002Bh			
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ周波数制御レジスタ1	FRC1	123
0030h	電圧監視回路制御レジスタ	CMPA	49
0031h	電圧監視回路エッジ選択レジスタ	VCAC	49
0032h			
0033h	電圧検出レジスタ1	VCA1	50
0034h	電圧検出レジスタ2	VCA2	51、139
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	52
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	53
0039h	電圧監視1回路制御レジスタ	VW1C	54
003Ah	電圧監視2回路制御レジスタ	VW2C	55
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	167
0042h			
0043h	INT7割り込み制御レジスタ	INT7IC	168
0044h	INT6割り込み制御レジスタ	INT6IC	168
0045h	INT5割り込み制御レジスタ	INT5IC	168
0046h	INT4割り込み制御レジスタ	INT4IC	168
0047h	タイマRC割り込み制御レジスタ	TRCIC	167
0048h			
0049h			
004Ah	タイマRH割り込み制御レジスタ	TRHIC	167
004Bh	UART2送信割り込み制御レジスタ	S2TIC	166
004Ch	UART2受信割り込み制御レジスタ	S2RIC	166
004Dh	キー入力割り込み制御レジスタ	KUPIC	166
004Eh	A/D変換割り込み制御レジスタ	ADIC	166
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	167
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	166
0052h	UART0受信割り込み制御レジスタ	S0RIC	166
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	168
0056h	タイマRJ0割り込み制御レジスタ	TRJ0IC	166
0057h	タイマRB1割り込み制御レジスタ	TRB1IC	166
0058h	タイマRB0割り込み制御レジスタ	TRB0IC	166
0059h	INT1割り込み制御レジスタ	INT1IC	168
005Ah	INT3割り込み制御レジスタ	INT3IC	168
005Bh	タイマRJ1割り込み制御レジスタ	TRJ1IC	166
005Ch	タイマRJ2割り込み制御レジスタ	TRJ2IC	166
005Dh	INT0割り込み制御レジスタ	INT0IC	168
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	166
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah	LCD割り込み制御レジスタ	LCDIC	166
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	166
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	166
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			



番地	レジスタ	シンボル	掲載ページ
0080h	タイマRJ0制御レジスタ	TRJ0CR	332
0081h	タイマRJ0 I/O制御レジスタ	TRJ0IOC	332、338、341、343、345、348
0082h	タイマRJ0モードレジスタ	TRJ0MR	333
0083h	タイマRJ0イベント端子選択レジスタ	TRJ0ISR	334
0084h	タイマRJ0レジスタ	TRJ0	334
0085h			
0086h			
0087h			
0088h	タイマRJ1制御レジスタ	TRJ1CR	332
0089h	タイマRJ1 I/O制御レジスタ	TRJ1IOC	332、338、341、343、345、348
008Ah	タイマRJ1モードレジスタ	TRJ1MR	333
008Bh	タイマRJ1イベント端子選択レジスタ	TRJ1ISR	334
008Ch	タイマRJ1レジスタ	TRJ1	334
008Dh			
008Eh			
008Fh			
0090h	タイマRJ2制御レジスタ	TRJ2CR	332
0091h	タイマRJ2 I/O制御レジスタ	TRJ2IOC	332、338、341、343、345、348
0092h	タイマRJ2モードレジスタ	TRJ2MR	333
0093h	タイマRJ2イベント端子選択レジスタ	TRJ2ISR	334
0094h	タイマRJ2レジスタ	TRJ2	334
0095h			
0096h			
0097h			
0098h	タイマRB1制御レジスタ	TRB1CR	214
0099h	タイマRB1ワンショット制御レジスタ	TRB1OCR	214
009Ah	タイマRB1 I/O制御レジスタ	TRB1IOC	215、218、222、225、229
009Bh	タイマRB1モードレジスタ	TRB1MR	215
009Ch	タイマRB1プリスケアラレジスタ	TRB1PRE	216
009Dh	タイマRB1セカンダリレジスタ	TRB1SC	216
009Eh	タイマRB1プライマリレジスタ	TRB1PR	217
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	354
00A1h	UART0ビットレートレジスタ	U0BRG	354
00A2h	UART0送信バッファレジスタ	U0TB	355
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	356
00A5h	UART0送受信制御レジスタ1	U0C1	356
00A6h	UART0受信バッファレジスタ	U0RB	357
00A7h			
00A8h	UART2送受信モードレジスタ	U2MR	377
00A9h	UART2ビットレートレジスタ	U2BRG	377
00AAh	UART2送信バッファレジスタ	U2TB	378
00ABh			
00ACh	UART2送受信制御レジスタ0	U2C0	379
00ADh	UART2送受信制御レジスタ1	U2C1	380
00AEh	UART2受信バッファレジスタ	U2RB	381
00AFh			
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	382
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	382
00BCh	UART2特殊モードレジスタ4	U2SMR4	383
00BDh	UART2特殊モードレジスタ3	U2SMR3	384
00BEh	UART2特殊モードレジスタ2	U2SMR2	384
00BFh	UART2特殊モードレジスタ	U2SMR	385

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ0	AD0	496
00C1h			
00C2h	A/Dレジスタ1	AD1	496
00C3h			
00C4h	A/Dレジスタ2	AD2	496
00C5h			
00C6h	A/Dレジスタ3	AD3	496
00C7h			
00C8h	A/Dレジスタ4	AD4	496
00C9h			
00CAh	A/Dレジスタ5	AD5	496
00CBh			
00CCh	A/Dレジスタ6	AD6	496
00CDh			
00CEh	A/Dレジスタ7	AD7	496
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	497
00D5h	A/D入力選択レジスタ	ADINSEL	498
00D6h	A/D制御レジスタ0	ADCON0	499
00D7h	A/D制御レジスタ1	ADCON1	500
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh	A/D制御レジスタ2	ADCON2	501
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	73
00E1h	ポートP1レジスタ	P1	73
00E2h	ポートP0方向レジスタ	PD0	72
00E3h	ポートP1方向レジスタ	PD1	72
00E4h	ポートP2レジスタ	P2	73
00E5h	ポートP3レジスタ	P3	73
00E6h	ポートP2方向レジスタ	PD2	72
00E7h	ポートP3方向レジスタ	PD3	72
00E8h	ポートP4レジスタ	P4	73
00E9h	ポートP5レジスタ	P5	73
00EAh	ポートP4方向レジスタ	PD4	72
00EBh	ポートP5方向レジスタ	PD5	72
00ECh	ポートP6レジスタ	P6	73
00EDh	ポートP7レジスタ	P7	73
00EEh	ポートP6方向レジスタ	PD6	72
00EFh	ポートP7方向レジスタ	PD7	72
00F0h	ポートP8レジスタ	P8	73
00F1h	ポートP9レジスタ	P9	73
00F2h	ポートP8方向レジスタ	PD8	72
00F3h	ポートP9方向レジスタ	PD9	72
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0100h			
0101h			
0102h			
0103h			
0104h			
0105h			
0106h			
0107h			
0108h	タイマRB0制御レジスタ	TRB0CR	214
0109h	タイマRB0ワンショット制御レジスタ	TRB0OCR	214
010Ah	タイマRB0 I/O制御レジスタ	TRB0IOC	215、218、222、225、229
010Bh	タイマRB0モードレジスタ	TRB0MR	215
010Ch	タイマRB0プリスケアラレジスタ	TRB0PRE	216
010Dh	タイマRB0セカンダリレジスタ	TRB0SC	216
010Eh	タイマRB0プライマリレジスタ	TRB0PR	217
010Fh			
0110h	タイマRH秒データレジスタ/カウンタデータレジスタ	TRHSEC	287、319
0111h	タイマRH分データレジスタ/コンペアデータレジスタ	TRHMIN	288、319
0112h	タイマRH時データレジスタ	TRHHR	289
0113h	タイマRH曜日データレジスタ	TRHWK	290
0114h	タイマRH日データレジスタ	TRHDY	291
0115h	タイマRH月データレジスタ	TRHMON	292
0116h	タイマRH年データレジスタ	TRHYR	293
0117h	タイマRH制御レジスタ	TRHCR	294、320
0118h	タイマRHカウントソース選択レジスタ	TRHCSR	297、321
0119h	タイマRH時計誤差補正レジスタ	TRHADJ	298
011Ah	タイマRH割り込みフラグレジスタ	TRHIFR	299、323
011Bh	タイマRH割り込み許可レジスタ	TRHIER	300、324
011Ch	タイマRHアラーム分レジスタ	TRHAMN	301
011Dh	タイマRHアラーム時レジスタ	TRHAHR	302
011Eh	タイマRHアラーム曜日レジスタ	TRHAWK	303
011Fh	タイマRHプロテクトレジスタ	TRHPRC	304、324
0120h	タイマRCモードレジスタ	TRCMR	237
0121h	タイマRC制御レジスタ1	TRCCR1	238、259、268、274
0122h	タイマRC割り込み許可レジスタ	TRCIER	238
0123h	タイマRCステータスレジスタ	TRCSR	239
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	240、254、260
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	240、255、261
0126h	タイマRCカウンタ	TRC	241
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	241
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	241
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	241
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	241
012Fh			

番地	レジスタ	シンボル	掲載ページ
0130h	タイマRC制御レジスタ2	TRCCR2	242、262、269、275
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	242、276
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	243
0133h	タイマRCトリガ制御レジスタ	TRCADCR	243
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h	タイマRJ端子選択レジスタ	TRJSR	74、335
0181h	タイマRB端子選択レジスタ	TRBSR	75、217、336
0182h	タイマRC端子選択レジスタ0	TRCPSR0	76、244
0183h	タイマRC端子選択レジスタ1	TRCPSR1	77、245
0184h			
0185h			
0186h			
0187h			
0188h	UART0端子選択レジスタ	U0SR	78、358
0189h			
018Ah	UART2端子選択レジスタ0	U2SR0	79、385
018Bh	UART2端子選択レジスタ1	U2SR1	80、386
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	81、425、457
018Dh	タイマRH秒割り込み制御レジスタ	TRHICR	305
018Eh	INT割り込み入力端子選択レジスタ	INTSR	82、177
018Fh	入出力機能端子選択レジスタ	PINSR	83、458

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	425
0194h	SS送信データレジスタL/IICバス送信データレジスタ	SSTDR/ICDRT	426、459
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL/IICバス受信データレジスタ	SSRDR/ICDRR	427、459
0197h	SS受信データレジスタH	SSRDRH	
0198h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH/ICCR1	427、460
0199h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL/ICCR2	428、461
019Ah	SSモードレジスタ/IICバスモードレジスタ	SSMR/ICMR	429、462
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ	SSER/ICIER	430、463
019Ch	SSステータスレジスタ/IICバスステータスレジスタ	SSSR/ICSR	431、464
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ	SSMR2/SAR	432、465
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	555
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	558
01B5h	フラッシュメモリ制御レジスタ1	FMR1	561
01B6h	フラッシュメモリ制御レジスタ2	FMR2	563
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	187
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	187
01C4h	アドレス一致割り込みレジスタ1	RMAD1	187
01C5h			
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	187
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			

番地	レジスタ	シンボル	掲載ページ
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ポートP0ブルアップ制御レジスタ	P0PUR	84
01E1h	ポートP1ブルアップ制御レジスタ	P1PUR	84
01E2h	ポートP2ブルアップ制御レジスタ	P2PUR	84
01E3h	ポートP3ブルアップ制御レジスタ	P3PUR	84
01E4h	ポートP4ブルアップ制御レジスタ	P4PUR	84
01E5h	ポートP5ブルアップ制御レジスタ	P5PUR	84
01E6h	ポートP6ブルアップ制御レジスタ	P6PUR	84
01E7h	ポートP7ブルアップ制御レジスタ	P7PUR	84
01E8h	ポートP8ブルアップ制御レジスタ	P8PUR	84
01E9h	ポートP9ブルアップ制御レジスタ	P9PUR	84
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP7駆動能力制御レジスタ	P7DRR	85
01F1h	ポートP8駆動能力制御レジスタ	P8DRR	85
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	86
01F6h	入力しきい値制御レジスタ1	VLT1	87
01F7h	入力しきい値制御レジスタ2	VLT2	88
01F8h	コンパレータB制御レジスタ0	INTCMP	522
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	178、522
01FBh	外部入力許可レジスタ1	INTEN1	179
01FCh	INT入力フィルタ選択レジスタ0	INTF	180、523
01FDh	INT入力フィルタ選択レジスタ1	INTF1	180
01FEh	キー入力許可レジスタ0	KIEN	184
01FFh	キー入力許可レジスタ1	KIEN1	185

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0200h	LCD制御レジスタ	LCR0	531
0201h			
0202h	LCDオプションクロック制御レジスタ	LCR2	531
0203h	LCDクロック制御レジスタ	LCR3	532
0204h	LCD表示制御レジスタ	LCR4	532
0205h			
0206h	LCDポート選択レジスタ0	LSE0	533
0207h	LCDポート選択レジスタ1	LSE1	533
0208h	LCDポート選択レジスタ2	LSE2	534
0209h	LCDポート選択レジスタ3	LSE3	534
020Ah	LCDポート選択レジスタ4	LSE4	535
020Bh	LCDポート選択レジスタ5	LSE5	535
020Ch			
020Dh			
020Eh			
020Fh			
0210h	LCD表示データレジスタ	LRA0L	536
0211h		LRA1L	536
0212h		LRA2L	536
0213h		LRA3L	536
0214h		LRA4L	536
0215h		LRA5L	536
0216h		LRA6L	536
0217h		LRA7L	536
0218h		LRA8L	536
0219h		LRA9L	536
021Ah		LRA10L	536
021Bh		LRA11L	536
021Ch		LRA12L	536
021Dh		LRA13L	536
021Eh		LRA14L	536
021Fh		LRA15L	536
0220h		LRA16L	536
0221h		LRA17L	536
0222h		LRA18L	536
0223h		LRA19L	536
0224h		LRA20L	536
0225h		LRA21L	536
0226h		LRA22L	536
0227h		LRA23L	536
0228h		LRA24L	536
0229h		LRA25L	536
022Ah		LRA26L	536
022Bh		LRA27L	536
022Ch		LRA28L	536
022Dh		LRA29L	536
022Eh		LRA30L	536
022Fh		LRA31L	536
0230h		LRA32L	536
0231h		LRA33L	536
0232h		LRA34L	536
0233h		LRA35L	536
0234h		LRA36L	536
0235h		LRA37L	536
0236h		LRA38L	536
0237h		LRA39L	536
:			
FFDBh	オプション機能選択レジスタ2	OFS2	38、199、206
:			
FFFFh	オプション機能選択レジスタ	OFS	37、56、198、205、553

## 1. 概要

### 1.1 特長

R8C/LA6A グループ、R8C/LA8A グループの計2グループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/LA6A グループ、R8C/LA8A グループはデータフラッシュを内蔵します。

#### 1.1.1 応用

家電、事務機器、オーディオ、民生機器、他

### 1.1.2 グループごとの相違点

表 1.1にグループ相違点を、表 1.2にグループごとに備えるプログラマブル入出力ポートを示します。  
各グループのピン配置図は、図 1.5～図 1.6に、各製品については、表 1.7～表 1.8に示します。  
なお、次章以降の説明ではR8C/LA8Aグループについて説明しますので、以上の相違点に留意ください。

表 1.1 グループごとの相違点

分類	機能	R8C/LA6Aグループ	R8C/LA8Aグループ
I/Oポート	プログラマブル入出力ポート	56本	72本
	大電流駆動ポート	8本	10本
タイマRJ	タイマRJ0の出力端子	なし	1本
	タイマRJ1の出力端子	なし	1本
	タイマRJ2の入出力端子	なし	1本
	タイマRJ2の出力端子	なし	1本
A/Dコンバータ	アナログ入力端子	8本	12本
LCD駆動制御回路	セグメント出力端子	最大32本	最大40本
パッケージ		64ピンLQFP	80ピンLQFP

注1. I/Oポートは割り込みやタイマなどの入出力機能を兼用しています。  
詳細については、表 1.9～表 1.11 ピン番号別端子名一覧を参照してください。

表1.2 グループごとに備えるプログラマブル入出力ポート

プログラマブル 入出力ポート	R8C/LA6Aグループ I/O合計56本								R8C/LA8Aグループ I/O合計72本							
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P1	○	○	○	○	○	○	—	—	○	○	○	○	○	○	○	○
P2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P4	○	○	—	—	—	—	—	—	○	○	○	○	○	○	○	○
P5	—	○	○	○	○	○	○	○	—	○	○	○	○	○	○	○
P6	○	○	○	○	○	○	○	—	○	○	○	○	○	○	○	○
P7	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
P8	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P9	—	—	—	—	—	—	○	○	—	—	—	—	—	—	○	○

注1. “○” が搭載するプログラマブル入出力ポートです。

注2. “—” は以下のように設定してください。

- ・ PDi (i=1, 4~7, 9)レジスタの対応するビットに“0”を書いてください。読んだ場合、その値は“0”です。
- ・ Pi (i=1, 4~7, 9)レジスタの対応するビットに“0”を書いてください。読んだ場合、その値は“0”です。
- ・ P7DRRレジスタの対応するビットに“0”を書いてください。読んだ場合、その値は“0”です。

表1.3 グループごとに備えるLCD表示機能端子

兼用I/Oポート	R8C/LA6Aグループ コモン出力：最大4本 セグメント出力：最大32本								R8C/LA8Aグループ コモン出力：最大4本 セグメント出力：最大40本							
	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0
P0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0
P1	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	—	—	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8
P2	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16
P3	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24
P4	SEG 39	SEG 38	—	—	—	—	—	—	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32
P5	—	VL3 (注2)	VL2 (注2)	VL1 (注2)	COM 0	COM 1	COM 2	COM 3	—	VL3 (注2)	VL2 (注2)	VL1 (注2)	COM 0	COM 1	COM 2	COM 3

注1. “—” はLCD表示機能はありません。これらの端子は、LSE1、LSE4~LSE5レジスタの対応するビットを“0”にしてください。

注2. LCD駆動制御回路を使用する場合は、LSE5レジスタの対応するビットを“1”にしてください。

## 1.1.3 仕様概要

表1.4～表1.6に仕様概要を示します。

表1.4 仕様概要(1)

分類	機能	説明	
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> <li>基本命令数：89命令</li> <li>最小命令実行時間：50ns (f(XIN) = 20MHz、VCC = 2.7 V～5.5 V) 125ns (f(XIN) = 8MHz、VCC = 1.8 V～5.5 V)</li> <li>乗算器：16ビット×16ビット→32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット→32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1Mバイト)</li> </ul>	
メモリ	ROM/RAM データフラッシュ	表1.7～表1.8 製品一覧を参照してください	
電圧検出	電圧検出回路	<ul style="list-style-type: none"> <li>パワーオンリセット</li> <li>電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)</li> </ul>	
I/Oポート	プログラマブル 入出力ポート	R8C/LA6A グループ	<ul style="list-style-type: none"> <li>CMOS入出力：56、プルアップ抵抗選択可能(注1)</li> <li>大電流駆動ポート：8</li> </ul>
		R8C/LA8A グループ	<ul style="list-style-type: none"> <li>CMOS入出力：72、プルアップ抵抗選択可能(注1)</li> <li>大電流駆動ポート：10</li> </ul>
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>4回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>周波数分周回路：1、2、4、8、16分周選択</li> <li>低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード、パワーオフモード</li> </ul>	
割り込み		リアルタイムクロック(タイマRH)あり <ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：16 (INT×8、キー入力×8)</li> <li>割り込み優先レベル：7レベル</li> </ul>	
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1(プリスケラ付)</li> <li>リセットスタート機能選択可能</li> <li>ウォッチドッグタイマ用低速オンチップオシレータ選択可能</li> </ul>	

注1. P5\_4～P5\_6端子にプルアップ抵抗はありません。



表 1.5 仕様概要(2)

分類	機能		説明	
タイマ	タイマRB0、タイマRB1		8ビット×2(8ビットプリスケラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、 プログラマブルワンショット発生モード、 プログラマブルウェイトワンショット発生モード	
	タイマRC		16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、 PWMモード(出力3本)、PWM2モード(PWM出力1本)	
	タイマRH		リアルタイムクロックモード(秒、分、時、曜日、日、月、年カウント)、 アウトプットコンペアモード	
	タイマRJ0 タイマRJ1 タイマRJ2	R8C/LA6A グループ R8C/LA8A グループ	タイマRJ0、タイマRJ1 タイマRJ2	16ビット×2 16ビット×3
シリアルイ ンタフェ ース	UART0		1チャンネル クロック同期形シリアルI/O/非同期形シリアルI/O兼用	
	UART2		1チャンネル クロック同期形シリアルI/O/非同期形シリアルI/O兼用、 I <sup>2</sup> Cモード(I <sup>2</sup> Cバス)、マルチプロセッサ通信機能	
シンクロナスシリアルコミュニケー ションユニット(SSU)			1(I <sup>2</sup> Cバスインタフェースと兼用)	
I <sup>2</sup> Cバス			1(SSUと兼用)	
A/Dコンバータ	R8C/LA6A グループ	分解能10ビット×8チャンネル、サンプル&ホールドあり、掃引モードあり、 温度センサ内蔵 (測定温度範囲：-20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン))		
	R8C/LA8A グループ	分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり、 温度センサ内蔵 (測定温度範囲：-20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン))		
コンパレータB			2回路(コンパレータB1、コンパレータB3)	
LCD駆動制御回路	R8C/LA6A グループ	<ul style="list-style-type: none"> <li>•コモン出力：最大4本</li> <li>•セグメント出力：最大32本</li> </ul>		<ul style="list-style-type: none"> <li>•バイアス：1/2、1/3</li> <li>•デューティ：スタティック、 1/2、1/3、1/4</li> </ul>
	R8C/LA8A グループ	<ul style="list-style-type: none"> <li>•コモン出力：最大4本</li> <li>•セグメント出力：最大40本</li> </ul>		

表 1.6 仕様概要(3)

分類	説明
フラッシュメモリ	<ul style="list-style-type: none"> <li>•プログラム、イレーズ電圧：VCC = 1.8 V ~ 5.5 V (データフラッシュ VCC = 1.8 V ~ 5.5 V)</li> <li>•プログラム、イレーズ回数：10,000回 (データフラッシュ) 10,000回 (プログラムROM)</li> <li>•プログラムセキュリティ：ROMコードプロテクト、IDコードチェック</li> <li>•オンチップデバッグ機能</li> <li>•オンボードフラッシュ書き換え機能</li> </ul>
動作周波数/電源電圧	f(XIN) = 20MHz (VCC = 2.7 V ~ 5.5 V) f(XIN) = 8MHz (VCC = 1.8 V ~ 5.5 V)
消費電流	標準 4.7 mA (VCC = 5 V、f(XIN) = 20MHz) 標準 2.3 mA (VCC = 3 V、f(XIN) = 10MHz) 標準 1.7 $\mu$ A (VCC = 3 V、ウェイトモード (f (XCIN) = 32kHz)) 標準 0.5 $\mu$ A (VCC = 3 V、ストップモード) 標準 1.3 $\mu$ A (VCC = 3 V、パワーオフ2モード、タイマRH有効) 標準 0.01 $\mu$ A (VCC = 3 V、パワーオフ0モード、タイマRH無効)
動作周囲温度	-20°C ~ 85°C (Nバージョン) -40°C ~ 85°C (Dバージョン)(注1)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2 製品一覧

表1.7～表1.8に各グループの製品一覧表、図1.1～図1.2に各グループの型名とメモリサイズ・パッケージを示します。

表1.7 R8C/LA6Aグループの製品一覧表

2011年11月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考	
	プログラムROM	データフラッシュ				
R5F2LA64ANFP	16Kバイト	1Kバイト×2	2Kバイト	PLQP0064KB-A	Nバージョン	
R5F2LA64ANFA	16Kバイト	1Kバイト×2	2Kバイト	PLQP0064GA-A		
R5F2LA66ANFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0064KB-A		
R5F2LA66ANFA	32Kバイト	1Kバイト×2	2Kバイト	PLQP0064GA-A		
R5F2LA67ANFP	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064KB-A		
R5F2LA67ANFA	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064GA-A		
R5F2LA68ANFP	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064KB-A		
R5F2LA68ANFA	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064GA-A		
R5F2LA6AANFP	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064KB-A		
R5F2LA6AANFA	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064GA-A		
R5F2LA6CANFP	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064KB-A		
R5F2LA6CANFA	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064GA-A		
R5F2LA64ADFP	16Kバイト	1Kバイト×2	2Kバイト	PLQP0064KB-A		Dバージョン
R5F2LA64ADFA	16Kバイト	1Kバイト×2	2Kバイト	PLQP0064GA-A		
R5F2LA66ADFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0064KB-A		
R5F2LA66ADFA	32Kバイト	1Kバイト×2	2Kバイト	PLQP0064GA-A		
R5F2LA67ADFP	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064KB-A		
R5F2LA67ADFA	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064GA-A		
R5F2LA68ADFP	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064KB-A		
R5F2LA68ADFA	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0064GA-A		
R5F2LA6AADFP	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064KB-A		
R5F2LA6AADFA	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064GA-A		
R5F2LA6CADFP	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064KB-A		
R5F2LA6CADFA	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0064GA-A		

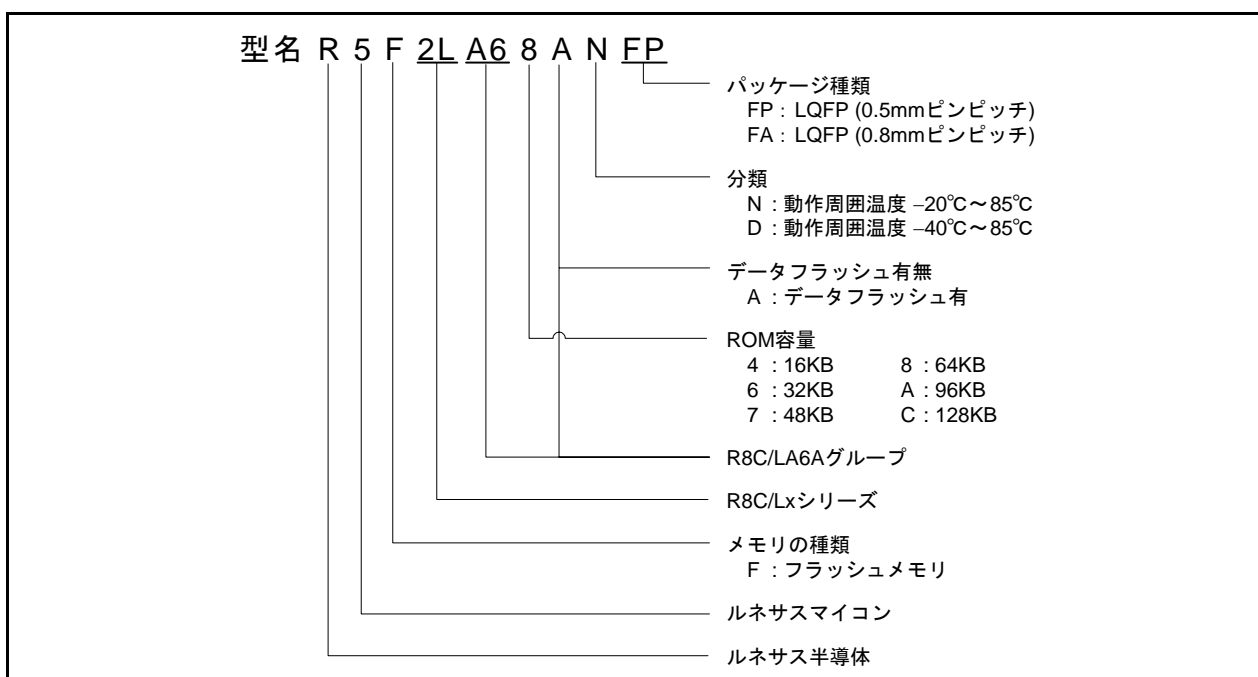


図1.1 R8C/LA6Aグループの型名とメモリサイズ・パッケージ

表 1.8 R8C/LA8Aグループの製品一覧表

2011年11月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2LA84ANFP	16Kバイト	1Kバイト×2	2Kバイト	PLQP0080KB-A	Nバージョン
R5F2LA84ANFA	16Kバイト	1Kバイト×2	2Kバイト	PLQP0080JA-A	
R5F2LA86ANFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0080KB-A	
R5F2LA86ANFA	32Kバイト	1Kバイト×2	2Kバイト	PLQP0080JA-A	
R5F2LA87ANFP	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080KB-A	
R5F2LA87ANFA	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080JA-A	
R5F2LA88ANFP	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080KB-A	
R5F2LA88ANFA	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080JA-A	
R5F2LA8AANFP	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080KB-A	
R5F2LA8AANFA	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080JA-A	
R5F2LA8CANFP	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080KB-A	
R5F2LA8CANFA	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080JA-A	
R5F2LA84ADFP	16Kバイト	1Kバイト×2	2Kバイト	PLQP0080KB-A	Dバージョン
R5F2LA84ADFA	16Kバイト	1Kバイト×2	2Kバイト	PLQP0080JA-A	
R5F2LA86ADFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0080KB-A	
R5F2LA86ADFA	32Kバイト	1Kバイト×2	2Kバイト	PLQP0080JA-A	
R5F2LA87ADFP	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080KB-A	
R5F2LA87ADFA	48Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080JA-A	
R5F2LA88ADFP	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080KB-A	
R5F2LA88ADFA	64Kバイト	1Kバイト×2	3.5Kバイト	PLQP0080JA-A	
R5F2LA8AADFP	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080KB-A	
R5F2LA8AADFA	96Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080JA-A	
R5F2LA8CADFP	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080KB-A	
R5F2LA8CADFA	128Kバイト	2Kバイト×2	5.5Kバイト	PLQP0080JA-A	

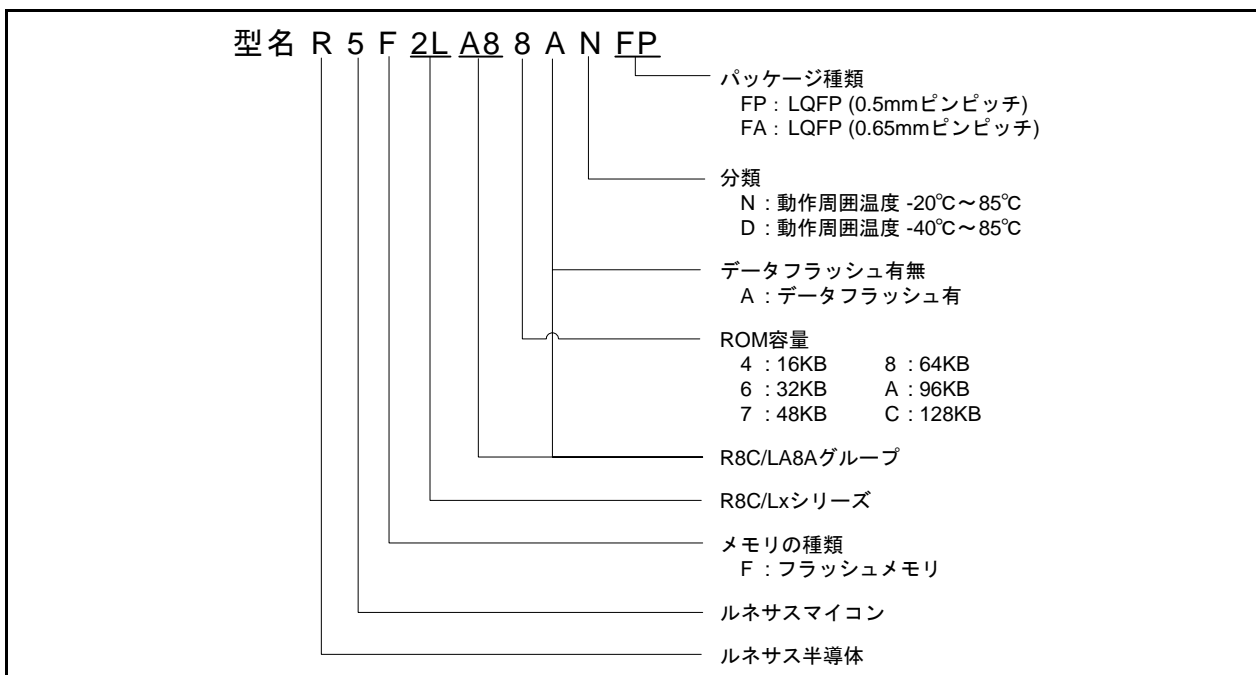


図 1.2 R8C/LA8Aグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.3にR8C/LA6Aグループのブロック図、図1.4にR8C/LA8Aグループのブロック図を示します。

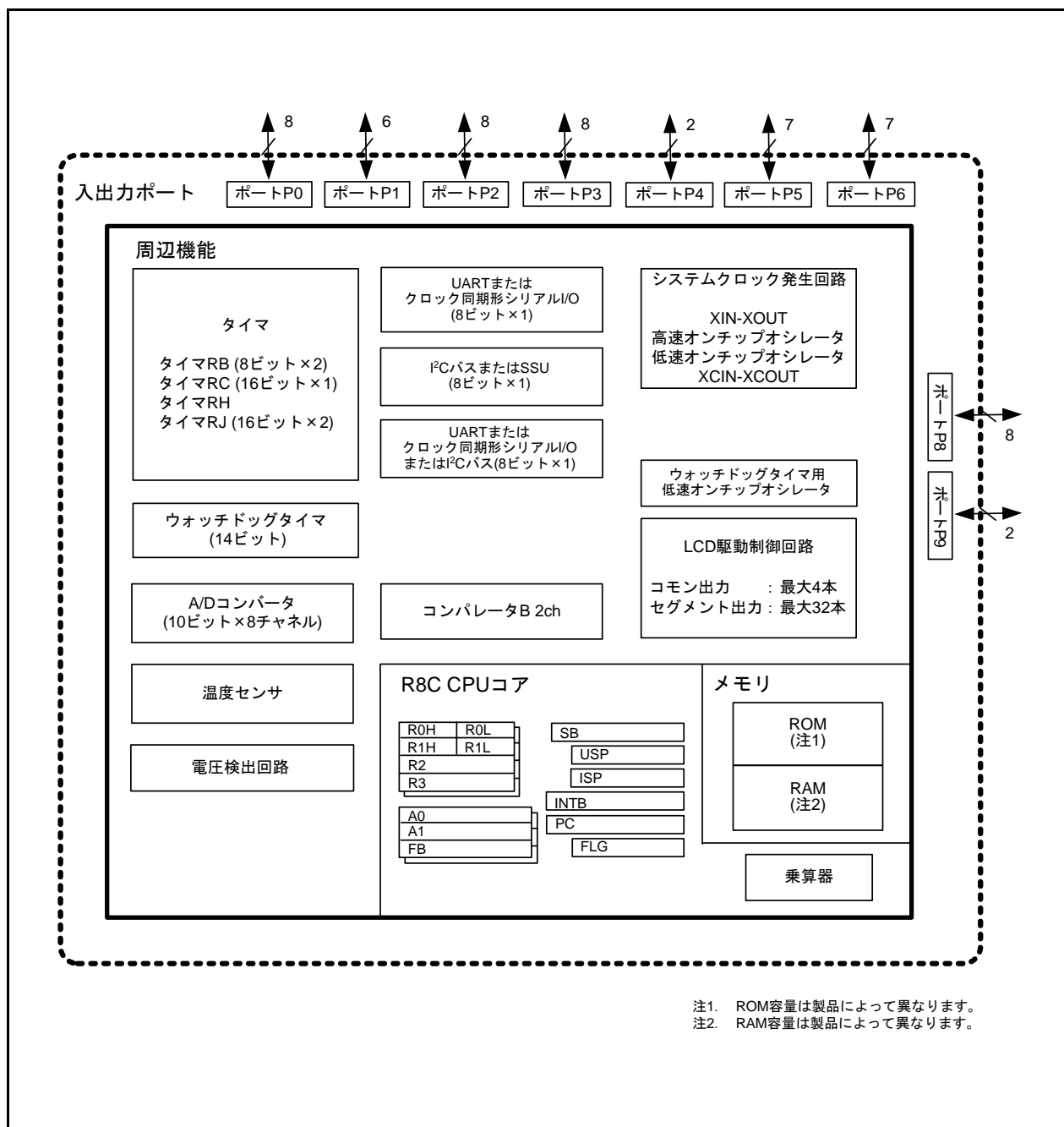


図1.3 R8C/LA6Aグループのブロック図

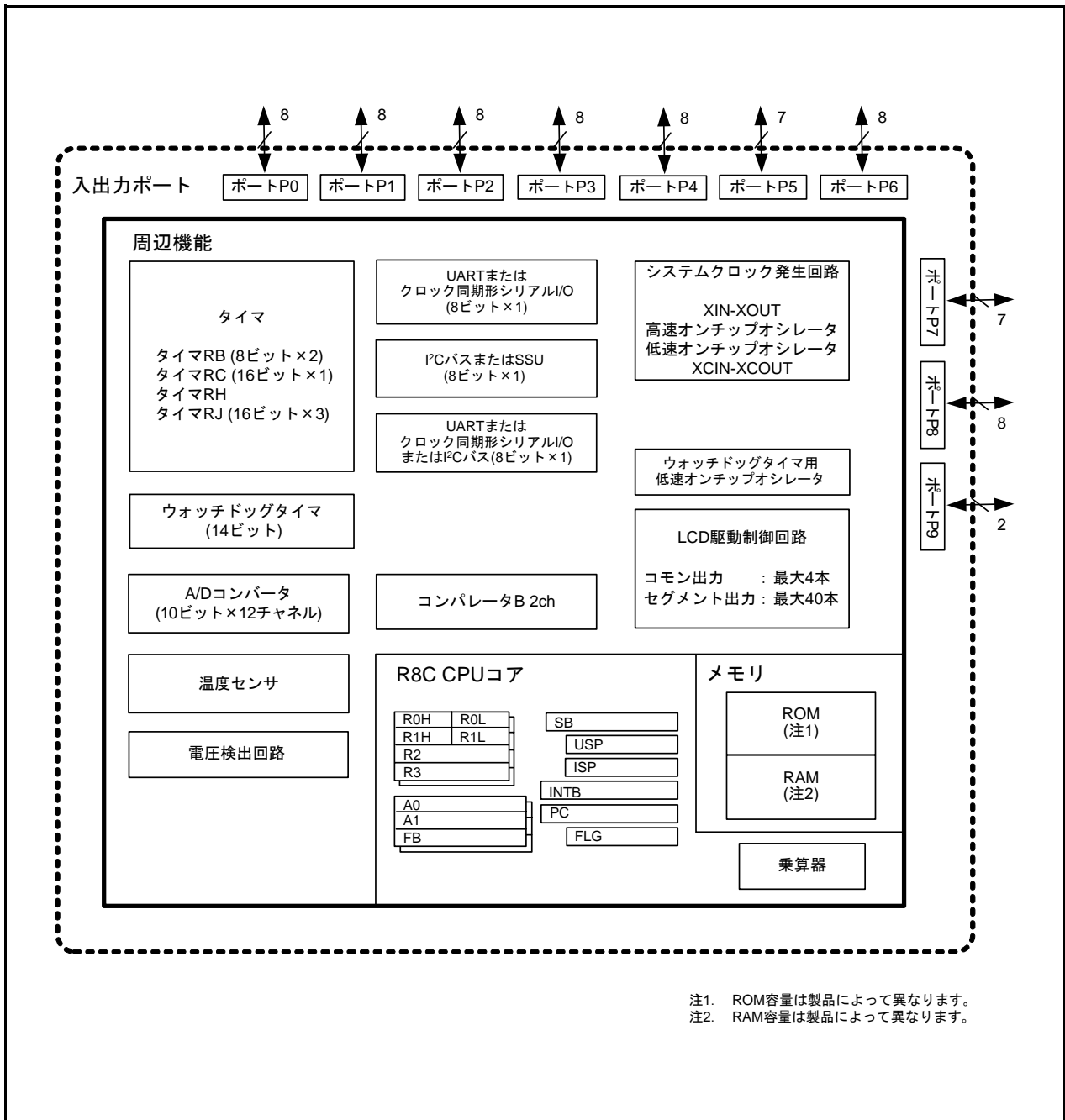
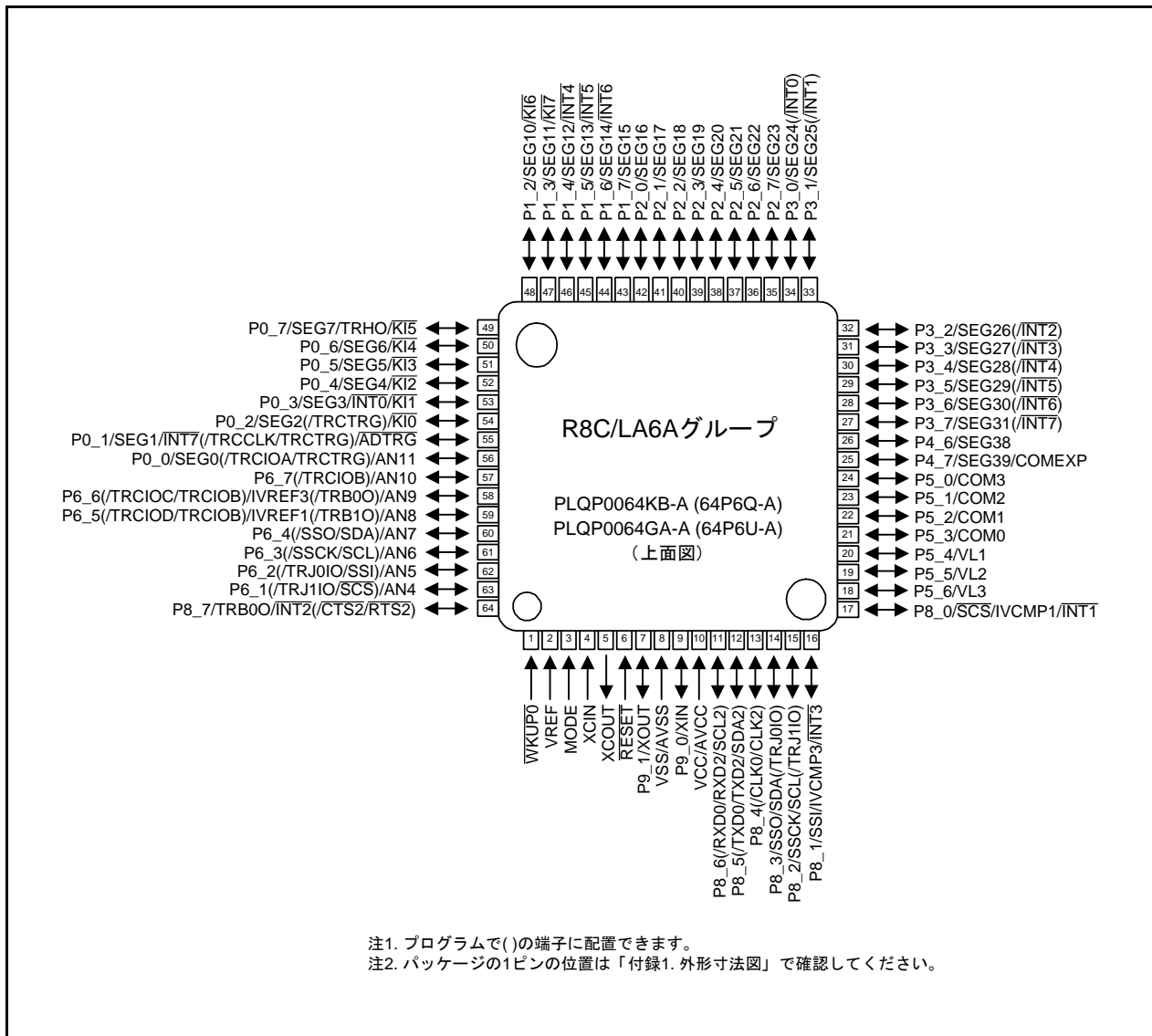


図 1.4 R8C/LA8Aグループのブロック図

1.4 ピン配置図

図1.5～図1.6にピン配置図(上面図)、表1.9～表1.11にピン番号別端子名一覧を示します。



注1. プログラムで()の端子に配置できます。  
注2. パッケージの1ピンの位置は「付録1. 外形寸法図」で確認してください。

図1.5 PLQP0064KB-A、PLQP0064GA-Aパッケージ品のピン配置図(上面図)

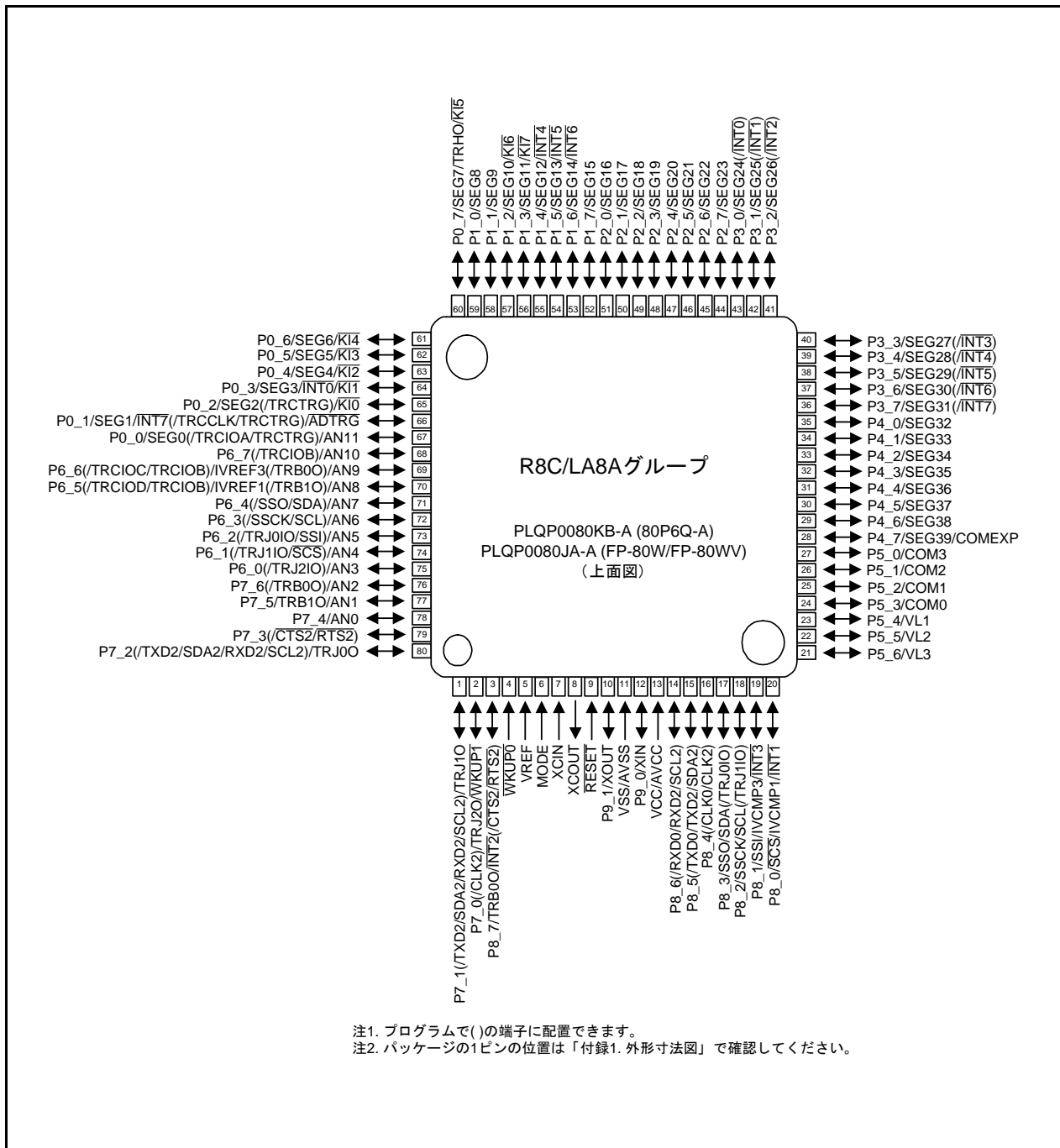


図 1.6 PLQP0080KB-A、PLQP0080JA-Aパッケージ品のピン配置図(上面図)



表 1.9 ピン番号別端子名一覧(1)

ピン番号		制御端子	ポート	周辺機能の入出力端子						
LA8A	LA6A			割り込み	タイマ	シリアルインタフェース	SSU	I <sup>2</sup> Cバス	A/Dコンバータ コンパレータB	LCD駆動 制御回路
1			P7_1		TRJ1O	(TXD2 / SDA2 / RXD2 / SCL2)				
2		WKUP1	P7_0		TRJ2O	(CLK2)				
3	64		P8_7	INT2	TRB0O	(CTS2 / RTS2)				
4	1	WKUP0								
5	2	VREF								
6	3	MODE								
7	4	XCIN								
8	5	XCOU								
9	6	RESET								
10	7	XOUT	P9_1							
11	8	VSS/ AVSS								
12	9	XIN	P9_0							
13	10	VCC/ AVCC								
14	11		P8_6			(RXD0/ RXD2/SCL2)				
15	12		P8_5			(TXD0/TXD2/SDA2)				
16	13		P8_4			(CLK0/CLK2)				
17	14		P8_3		(TRJ0IO)		SSO	SDA		
18	15		P8_2		(TRJ1IO)		SSCK	SCL		
19	16		P8_1	INT3			SSI		IVCMP3	
20	17		P8_0	INT1			SCS		IVCMP1	
21	18		P5_6							VL3
22	19		P5_5							VL2
23	20		P5_4							VL1
24	21		P5_3							COM0
25	22		P5_2							COM1
26	23		P5_1							COM2
27	24		P5_0							COM3
28	25		P4_7							SEG39/ COMEXP
29	26		P4_6							SEG38
30			P4_5							SEG37

注1. プログラムで()の端子に配置できます。

表 1.10 ピン番号別端子名一覧(2)

ピン番号		制御端子	ポート	周辺機能の入出力端子						
LA8A	LA6A			割り込み	タイマ	シリアルインタフェース	SSU	I <sup>2</sup> Cバス	A/Dコンバータ コンパレータB	LCD駆動 制御回路
31			P4_4							SEG36
32			P4_3							SEG35
33			P4_2							SEG34
34			P4_1							SEG33
35			P4_0							SEG32
36	27		P3_7	$\overline{\text{INT7}}$						SEG31
37	28		P3_6	$\overline{\text{INT6}}$						SEG30
38	29		P3_5	$\overline{\text{INT5}}$						SEG29
39	30		P3_4	$\overline{\text{INT4}}$						SEG28
40	31		P3_3	$\overline{\text{INT3}}$						SEG27
41	32		P3_2	$\overline{\text{INT2}}$						SEG26
42	33		P3_1	$\overline{\text{INT1}}$						SEG25
43	34		P3_0	$\overline{\text{INT0}}$						SEG24
44	35		P2_7							SEG23
45	36		P2_6							SEG22
46	37		P2_5							SEG21
47	38		P2_4							SEG20
48	39		P2_3							SEG19
49	40		P2_2							SEG18
50	41		P2_1							SEG17
51	42		P2_0							SEG16
52	43		P1_7							SEG15
53	44		P1_6	$\overline{\text{INT6}}$						SEG14
54	45		P1_5	$\overline{\text{INT5}}$						SEG13
55	46		P1_4	$\overline{\text{INT4}}$						SEG12
56	47		P1_3	$\overline{\text{KI7}}$						SEG11
57	48		P1_2	$\overline{\text{KI6}}$						SEG10
58			P1_1							SEG9
59			P1_0							SEG8
60	49		P0_7	$\overline{\text{KI5}}$	TRHO					SEG7
61	50		P0_6	$\overline{\text{KI4}}$						SEG6
62	51		P0_5	$\overline{\text{KI3}}$						SEG5
63	52		P0_4	$\overline{\text{KI2}}$						SEG4
64	53		P0_3	$\overline{\text{KI1}}$ $\overline{\text{INT0}}$						SEG3
65	54		P0_2	$\overline{\text{KI0}}$	(TRCTRG)					SEG2
66	55		P0_1	$\overline{\text{INT7}}$	(TRCTRG/ TRCCLK)				$\overline{\text{ADTRG}}$	SEG1
67	56		P0_0		(TRCIOA/ TRCTRG)				AN11	SEG0
68	57		P6_7		(TRCIOB)				AN10	

注1. プログラムで()の端子に配置できません。

表 1.11 ピン番号別端子名一覧(3)

ピン番号		制御端子	ポート	周辺機能の入出力端子						
LA8A	LA6A			割り込み	タイマ	シリアルインタフェース	SSU	I <sup>2</sup> Cバス	A/Dコンバータ コンパレータB	LCD駆動 制御回路
69	58		P6_6		(TRB00/ TRCIOB/ TRCIOC)				AN9/IVREF3	
70	59		P6_5		(TRB10/ TRCIOB/ TRCIOD)				AN8/IVREF1	
71	60		P6_4				(SSO)	(SDA)	AN7	
72	61		P6_3				(SSCK)	(SCL)	AN6	
73	62		P6_2		(TRJ0IO)		(SSI)		AN5	
74	63		P6_1		(TRJ1IO)		(SCS)		AN4	
75			P6_0		(TRJ2IO)				AN3	
76			P7_6		(TRB00)				AN2	
77			P7_5		TRB10				AN1	
78			P7_4						AN0	
79			P7_3			(CTS2/RTS2)				
80			P7_2		TRJ00	(RXD2/SCL2/ TXD2/SDA2)				

注1. プログラムで()の端子に配置できます。

## 1.5 端子機能の説明

表1.12～表1.13にR8C/LA8Aグループの端子機能の説明を示します。

表1.12 R8C/LA8Aグループの端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC VSS	—	VCCには、1.8V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
パワーオフモード解除入力	WKUP0	入力	パワーオフモード時に使用するモード解除入力です。パワーオフモードを使用しないときはVSSに接続してください。
	WKUP1	入力	パワーオフモード時に使用するモード解除入力です。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは入出力ポートP9_1として設定してください。使用しない場合は、未使用端子の処理をしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCOUTクロック出力	XCOUT	出力	
INT割り込み入力	INT0～INT7	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0～KI7	入力	キー入力割り込みの入力です。
タイマRB	TRB00、TRB10	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRH	TRHO	出力	タイマRHの出力です。
タイマRJ	TRJ0IO、TRJ1IO、TRJ2IO	入出力	タイマRJの入出力です。
	TRJ0O、TRJ1O、TRJ2O	出力	タイマRJの出力です。
シリアルインタフェース	CLK0、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD2	出力	シリアルデータ出力です。
	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I <sup>2</sup> Cモードのクロック入出力です。
SDA2	入出力	I <sup>2</sup> Cモードのデータ入出力です。	

注1. 発振特性は発振メーカーにお問い合わせください。

表 1.13 R8C/LA8Aグループの端子機能の説明(2)

分類	端子名	入出力	機能
I <sup>2</sup> Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN11	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	AD外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
入出力ポート	P0_0~P0_7、 P1_0~P1_7、 P2_0~P2_7、 P3_0~P3_7、 P4_0~P4_7、 P5_0~P5_6、 P6_0~P6_7、 P7_0~P7_6、 P8_0~P8_7、 P9_0、P9_1	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP7_0、P7_1、P8は、LED駆動ポートとして使用できます。
セグメント出力	SEG0~SEG39	出力	LCDセグメント出力端子です。
コモン出力	COM0~COM3、 COMEXP	出力	LCDコモン出力端子です。
LCD用電源	VL1	入力	$1\text{V} \leq \text{VL1} \leq \text{VCC}$ かつ $\text{VL1} \leq \text{VL2}$ の電圧を印加してください。
	VL2	入力	$\text{VL2} \leq 5.5\text{V}$ かつ $\text{VL1} \leq \text{VL2} \leq \text{VL3}$ の電圧を印加してください。
	VL3	入力	$\text{VL3} \leq 5.5\text{V}$ かつ $\text{VL2} \leq \text{VL3}$ の電圧を印加してください。

注1. 発振特性は発振メーカーにお問い合わせください。

## 2. 中央演算処理装置 (CPU)

図 2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

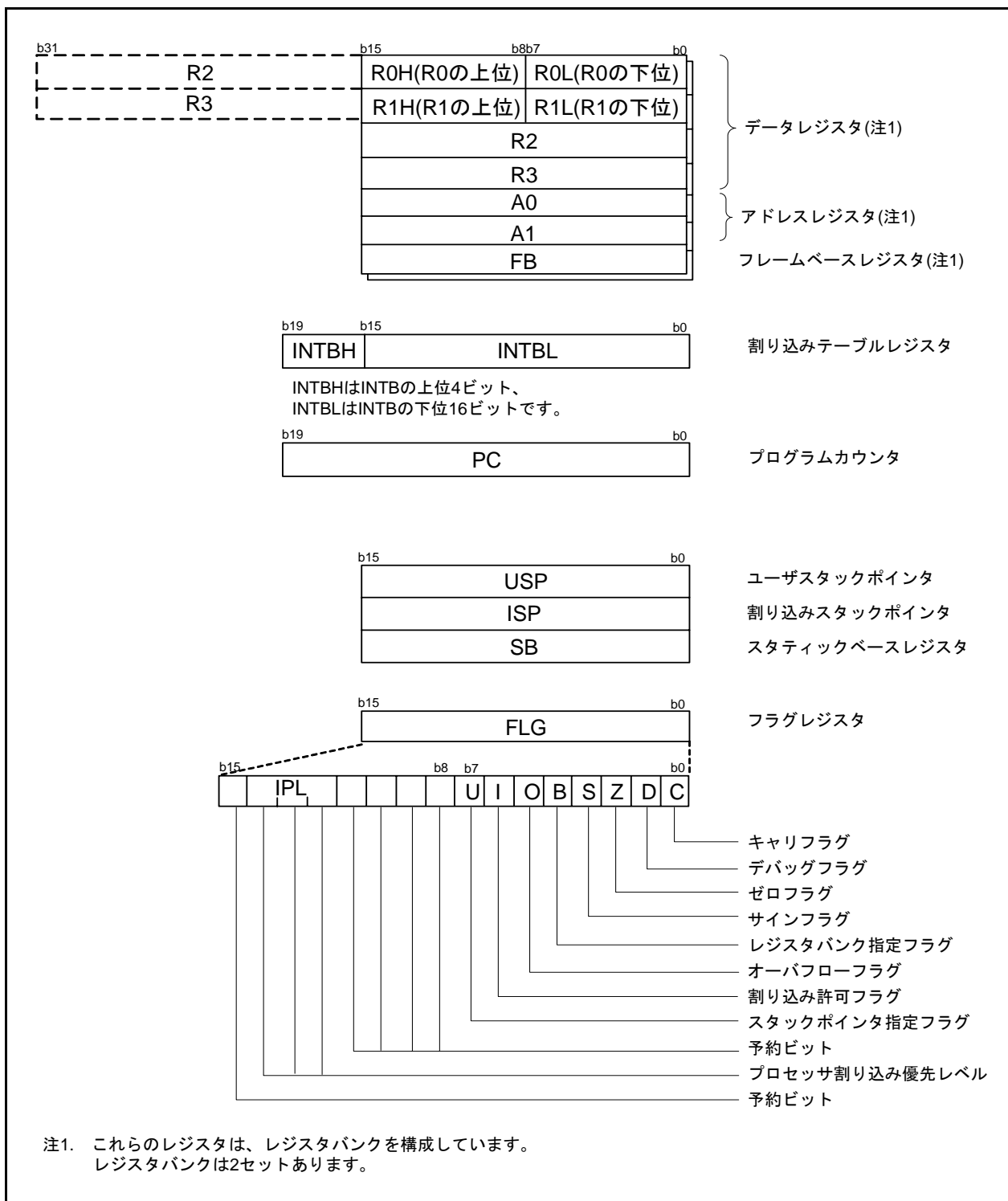


図 2.1 CPUのレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できません。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。



### 3. メモリ

図3.1、図3.2に各グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から上位方向に配置されます。例えば1Kバイト×2の内部ROM(データフラッシュ)は、03000h番地から037FFh番地に配置されます。2Kバイト×2の内部ROM(データフラッシュ)は、03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば3.5Kバイトの内部RAMは、00400h番地から011FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地と、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

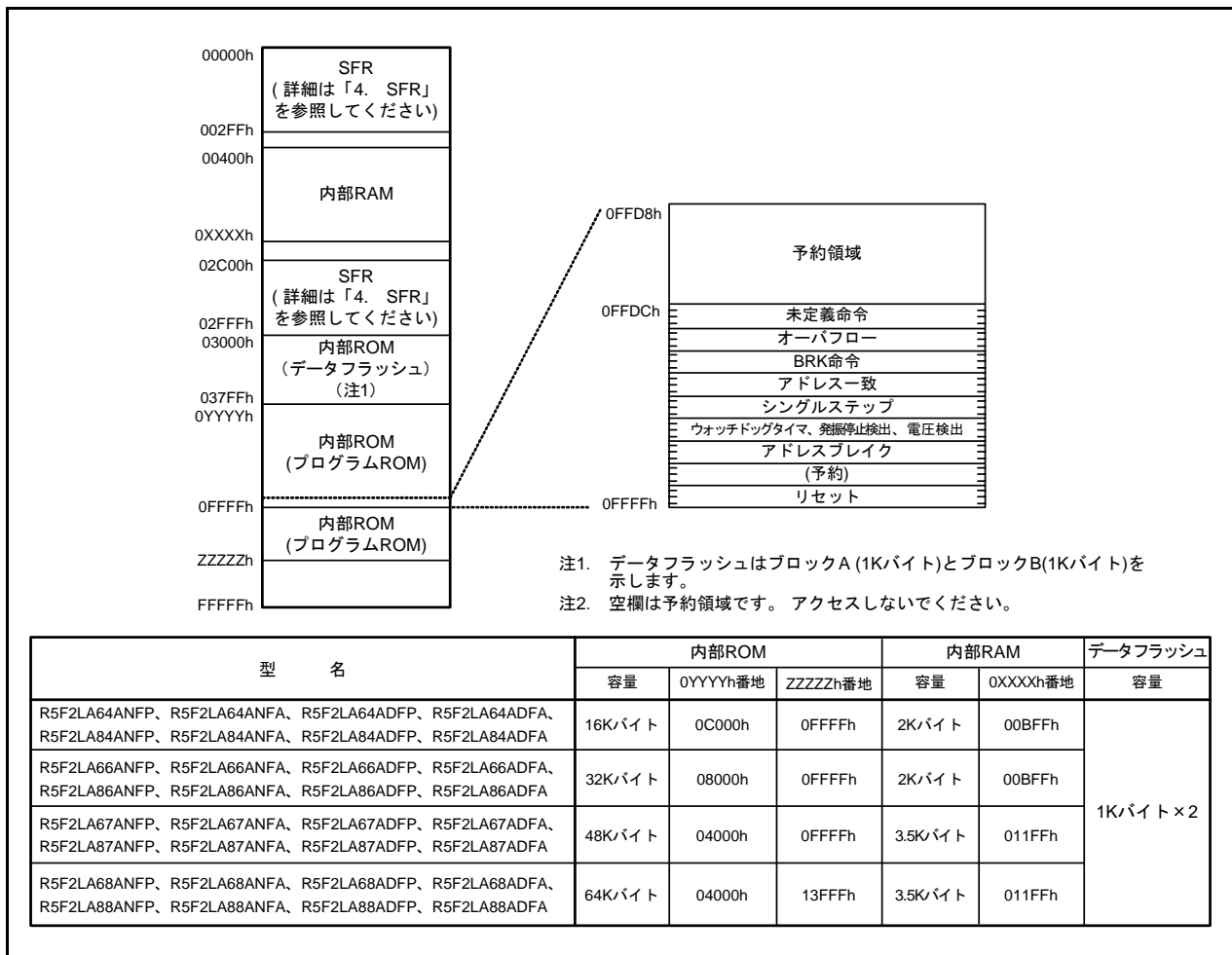


図3.1 メモリ配置図(1)

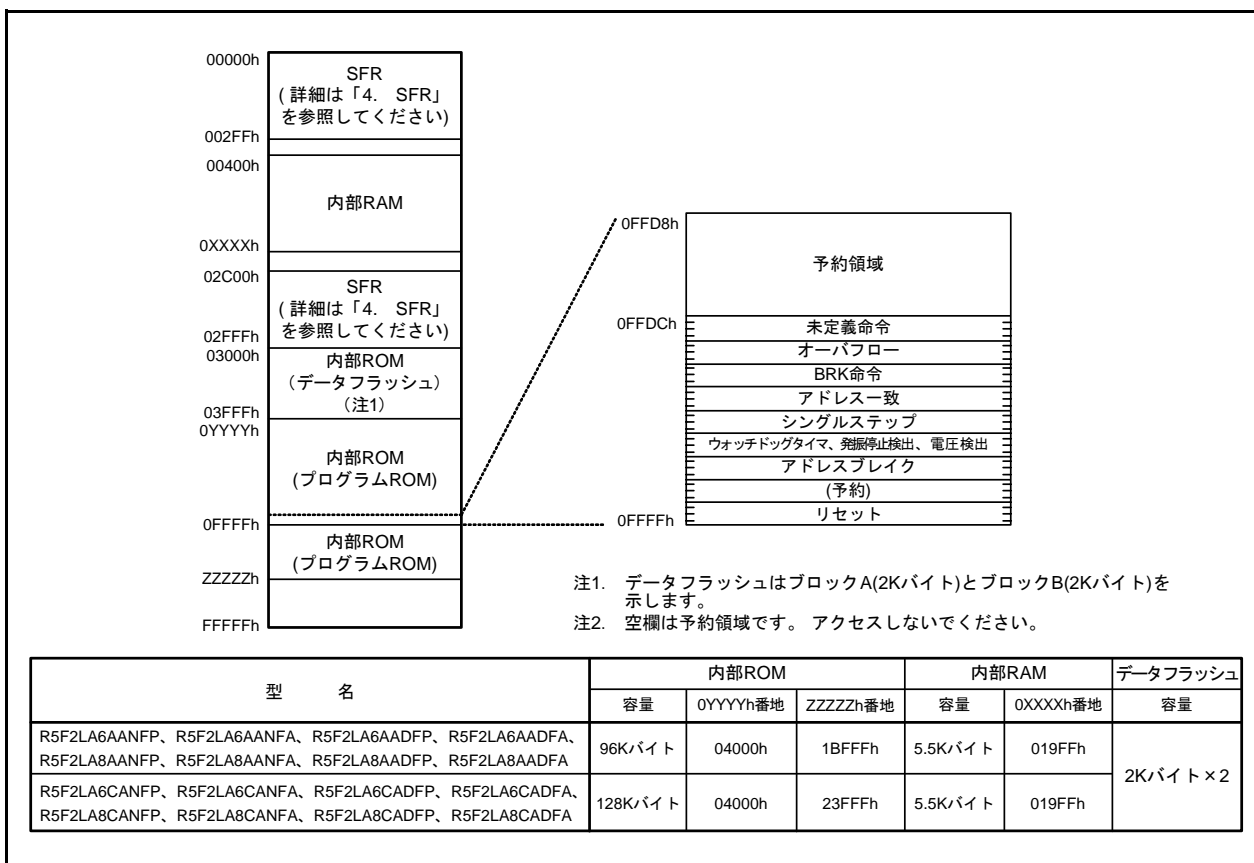


図3.2 メモリ配置図(2)

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.9にSFR一覧表を、表4.10にIDコード領域、オプション機能選択領域を示します。本章ではR8C/LA8Aグループについて説明します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h 00000100b (注2)
0006h	システムクロック制御レジスタ0	CM0	00100000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ0	MSTCR0	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	XXh (注3)
000Ch	発振停止検出レジスタ	OCD	00000100b (注4) 00h (注4)
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h	モジュールスタンバイ制御レジスタ1	MSTCR1	00h
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注5)
001Dh			
001Eh			
001Fh			
0020h	パワーオフモード制御レジスタ0	POMCR0	XXXXXX00b
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ周波数制御レジスタ0	FRC0	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h			
0029h	高速オンチップオシレータ18MHz設定値レジスタ0	FR18S0	XXh
002Ah	高速オンチップオシレータ18MHz設定値レジスタ1	FR18S1	XXh
002Bh			
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ周波数制御レジスタ1	FRC1	出荷時の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注6) 00100000b (注7)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注6) 1100X011b (注7)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。

注2. CSPRレジスタのCSPROビットが“1”の場合。

注3. RSTFRレジスタのCWRビットは電源投入後、電圧監視0リセット後、およびパワーオフモード解除後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注4. モードにより異なります。

注5. OFSレジスタのCSPROINIビットが“0”の場合。

注6. OFSレジスタのLVDASビットが“1”の場合。

注7. OFSレジスタのLVDASビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h	INT7割り込み制御レジスタ	INT7IC	XX00X000b
0044h	INT6割り込み制御レジスタ	INT6IC	XX00X000b
0045h	INT5割り込み制御レジスタ	INT5IC	XX00X000b
0046h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h			
004Ah	タイマRH割り込み制御レジスタ	TRHIC	XXXXX000b
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRJ0割り込み制御レジスタ	TRJ0IC	XXXXX000b
0057h	タイマRB1割り込み制御レジスタ	TRB1IC	XXXXX000b
0058h	タイマRB0割り込み制御レジスタ	TRB0IC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh	タイマRJ1割り込み制御レジスタ	TRJ1IC	XXXXX000b
005Ch	タイマRJ2割り込み制御レジスタ	TRJ2IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah	LCD割り込み制御レジスタ	LCDIC	XXXXX000b
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。  
注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	タイマRJ0制御レジスタ	TRJ0CR	00h
0081h	タイマRJ0 I/O制御レジスタ	TRJ0IOC	00h
0082h	タイマRJ0モードレジスタ	TRJ0MR	00h
0083h	タイマRJ0イベント端子選択レジスタ	TRJ0ISR	00h
0084h	タイマRJ0レジスタ	TRJ0	FFh
0085h			FFh
0086h			
0087h			
0088h	タイマRJ1制御レジスタ	TRJ1CR	00h
0089h	タイマRJ1 I/O制御レジスタ	TRJ1IOC	00h
008Ah	タイマRJ1モードレジスタ	TRJ1MR	00h
008Bh	タイマRJ1イベント端子選択レジスタ	TRJ1ISR	00h
008Ch	タイマRJ1レジスタ	TRJ1	FFh
008Dh			FFh
008Eh			
008Fh			
0090h	タイマRJ2制御レジスタ	TRJ2CR	00h
0091h	タイマRJ2 I/O制御レジスタ	TRJ2IOC	00h
0092h	タイマRJ2モードレジスタ	TRJ2MR	00h
0093h	タイマRJ2イベント端子選択レジスタ	TRJ2ISR	00h
0094h	タイマRJ2レジスタ	TRJ2	FFh
0095h			FFh
0096h			
0097h			
0098h	タイマRB1制御レジスタ	TRB1CR	00h
0099h	タイマRB1ワンショット制御レジスタ	TRB1OCR	00h
009Ah	タイマRB1 I/O制御レジスタ	TRB1IOC	00h
009Bh	タイマRB1モードレジスタ	TRB1MR	00h
009Ch	タイマRB1プリスケアラレジスタ	TRB1PRE	FFh
009Dh	タイマRB1セカンダリレジスタ	TRB1SC	FFh
009Eh	タイマRB1プライマリレジスタ	TRB1PR	FFh
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2送受信モードレジスタ	U2MR	00h
00A9h	UART2ビットレートレジスタ	U2BRG	XXh
00AAh	UART2送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2送受信制御レジスタ0	U2C0	00001000b
00ADh	UART2送受信制御レジスタ1	U2C1	00000010b
00AEh	UART2受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	00h
00BCh	UART2特殊モードレジスタ4	U2SMR4	00h
00BDh	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
00BEh	UART2特殊モードレジスタ2	U2SMR2	X0000000b
00BFh	UART2特殊モードレジスタ	U2SMR	X0000000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ 0	AD0	XXh
00C1h			000000XXb
00C2h	A/D レジスタ 1	AD1	XXh
00C3h			000000XXb
00C4h	A/D レジスタ 2	AD2	XXh
00C5h			000000XXb
00C6h	A/D レジスタ 3	AD3	XXh
00C7h			000000XXb
00C8h	A/D レジスタ 4	AD4	XXh
00C9h			000000XXb
00CAh	A/D レジスタ 5	AD5	XXh
00CBh			000000XXb
00CCh	A/D レジスタ 6	AD6	XXh
00CDh			000000XXb
00CEh	A/D レジスタ 7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D モードレジスタ	ADMOD	00h
00D5h	A/D 入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D 制御レジスタ 0	ADCON0	00h
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh	A/D 制御レジスタ 2	ADCON2	00h
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h	ポートP2レジスタ	P2	XXh
00E5h	ポートP3レジスタ	P3	XXh
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h	ポートP5レジスタ	P5	XXh
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh	ポートP5方向レジスタ	PD5	00h
00ECh	ポートP6レジスタ	P6	XXh
00EDh	ポートP7レジスタ	P7	XXh
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh	ポートP7方向レジスタ	PD7	00h
00F0h	ポートP8レジスタ	P8	XXh
00F1h	ポートP9レジスタ	P9	XXh
00F2h	ポートP8方向レジスタ	PD8	00h
00F3h	ポートP9方向レジスタ	PD9	00h
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h			
0101h			
0102h			
0103h			
0104h			
0105h			
0106h			
0107h			
0108h	タイマRB0制御レジスタ	TRB0CR	00h
0109h	タイマRB0ワンショット制御レジスタ	TRB0OCR	00h
010Ah	タイマRB0 I/O制御レジスタ	TRB0IOC	00h
010Bh	タイマRB0モードレジスタ	TRB0MR	00h
010Ch	タイマRB0プリスケアラレジスタ	TRB0PRE	FFh
010Dh	タイマRB0セカンダリレジスタ	TRB0SC	FFh
010Eh	タイマRB0プライマリレジスタ	TRB0PR	FFh
010Fh			
0110h	タイマRH秒データレジスタ/カウンタデータレジスタ	TRHSEC	XXh 00h (注2)
0111h	タイマRH分データレジスタ/コンペアデータレジスタ	TRHMIN	XXh 00h (注2)
0112h	タイマRH時データレジスタ	TRHHR	00XXXXXXb 00h (注2)
0113h	タイマRH曜日データレジスタ	TRHWK	0000XXXXb 00h (注2)
0114h	タイマRH日データレジスタ	TRHDY	00XXXXXXb 00000001b (注2)
0115h	タイマRH月データレジスタ	TRHMON	000XXXXXb 00000001b (注2)
0116h	タイマRH年データレジスタ	TRHYR	XXh 00h (注2)
0117h	タイマRH制御レジスタ	TRHCR	XXX00X0Xb 000XX1X0b (注2)
0118h	タイマRHカウントソース選択レジスタ	TRHCSR	X0001000b 0XXXXXXb (注2)
0119h	タイマRH時計誤差補正レジスタ	TRHADJ	XXh 00h (注2)
011Ah	タイマRH割り込みフラグレジスタ	TRHIFR	00000XXXXb 000XX000b (注2)
011Bh	タイマRH割り込み許可レジスタ	TRHIER	XXh 00h (注2)
011Ch	タイマRHアラーム分レジスタ	TRHAMN	XXh 00h (注2)
011Dh	タイマRHアラーム時レジスタ	TRHAHR	XXh 00h (注2)
011Eh	タイマRHアラーム曜日レジスタ	TRHAWK	X0000XXXXb 00h (注2)
011Fh	タイマRHプロテクトレジスタ	TRHPRC	00h X0000000b (注2)
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h 00h
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh FFh
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh FFh
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh FFh
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh FFh
012Fh			
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスク許可レジスタ	TRCOER	01111111b
0133h	タイマRCトリガ制御レジスタ	TRCADCR	00h
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. TRHCRレジスタのRTCSTビットによるリセット後の値。

X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。



表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマRJ端子選択レジスタ	TRJSR	00h
0181h	タイマRB端子選択レジスタ	TRBSR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h			
0185h			
0186h			
0187h			
0188h	UART0端子選択レジスタ	U0SR	00h
0189h			
018Ah	UART2端子選択レジスタ0	U2SR0	00h
018Bh	UART2端子選択レジスタ1	U2SR1	00h
018Ch	SSU/IIC端子選択レジスタ	SSUIICSR	00h
018Dh	タイマRH秒割り込み制御レジスタ	TRHICR	X0XXXXXXb 00000001b (注3)
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH (注2)	SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH (注2)	SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/CCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/CCR2	0111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	000000X0b
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。  
注2. SSUIICSRレジスタのIICSELビットで選択できます。  
注3. TRHICRレジスタのRTCSTビットによるリセット後の値。

X: 不定です。

表 4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	00h
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ポートP0ブルアップ制御レジスタ	P0PUR	00h
01E1h	ポートP1ブルアップ制御レジスタ	P1PUR	00h
01E2h	ポートP2ブルアップ制御レジスタ	P2PUR	00h
01E3h	ポートP3ブルアップ制御レジスタ	P3PUR	00h
01E4h	ポートP4ブルアップ制御レジスタ	P4PUR	00h
01E5h	ポートP5ブルアップ制御レジスタ	P5PUR	00h
01E6h	ポートP6ブルアップ制御レジスタ	P6PUR	00h
01E7h	ポートP7ブルアップ制御レジスタ	P7PUR	00h
01E8h	ポートP8ブルアップ制御レジスタ	P8PUR	00h
01E9h	ポートP9ブルアップ制御レジスタ	P9PUR	00h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP7駆動能力制御レジスタ	P7DRR	00h
01F1h	ポートP8駆動能力制御レジスタ	P8DRR	00h
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h	入力しきい値制御レジスタ2	VLT2	00h
01F8h	コンパレータB制御レジスタ0	INTCMP	00h
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh	外部入力許可レジスタ1	INTEN1	00h
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh	INT入力フィルタ選択レジスタ1	INTF1	00h
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh	キー入力許可レジスタ1	KIEN1	00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
0200h	LCD制御レジスタ	LCR0	00h
0201h			
0202h	LCDオプションロック制御レジスタ	LCR2	00h
0203h	LCDクロック制御レジスタ	LCR3	00h
0204h	LCD表示制御レジスタ	LCR4	00h
0205h			
0206h	LCDポート選択レジスタ0	LSE0	00h
0207h	LCDポート選択レジスタ1	LSE1	00h
0208h	LCDポート選択レジスタ2	LSE2	00h
0209h	LCDポート選択レジスタ3	LSE3	00h
020Ah	LCDポート選択レジスタ4	LSE4	00h
020Bh	LCDポート選択レジスタ5	LSE5	00h
020Ch			
020Dh			
020Eh			
020Fh			
0210h	LCD表示データレジスタ	LRA0L	XXh
0211h		LRA1L	XXh
0212h		LRA2L	XXh
0213h		LRA3L	XXh
0214h		LRA4L	XXh
0215h		LRA5L	XXh
0216h		LRA6L	XXh
0217h		LRA7L	XXh
0218h		LRA8L	XXh
0219h		LRA9L	XXh
021Ah		LRA10L	XXh
021Bh		LRA11L	XXh
021Ch		LRA12L	XXh
021Dh		LRA13L	XXh
021Eh		LRA14L	XXh
021Fh		LRA15L	XXh
0220h		LRA16L	XXh
0221h		LRA17L	XXh
0222h		LRA18L	XXh
0223h		LRA19L	XXh
0224h		LRA20L	XXh
0225h		LRA21L	XXh
0226h		LRA22L	XXh
0227h		LRA23L	XXh
0228h		LRA24L	XXh
0229h		LRA25L	XXh
022Ah		LRA26L	XXh
022Bh		LRA27L	XXh
022Ch		LRA28L	XXh
022Dh		LRA29L	XXh
022Eh		LRA30L	XXh
022Fh		LRA31L	XXh
0230h		LRA32L	XXh
0231h		LRA33L	XXh
0232h		LRA34L	XXh
0233h		LRA35L	XXh
0234h		LRA36L	XXh
0235h		LRA37L	XXh
0236h		LRA38L	XXh
0237h		LRA39L	XXh
⋮			
2FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
FFDFh	ID1		(注2)
FFE3h	ID2		(注2)
FFEBh	ID3		(注2)
FFEFh	ID4		(注2)
FFF3h	ID5		(注2)
FFF7h	ID6		(注2)
FFFBh	ID7		(注2)
FFFFh	オプション機能選択レジスタ	OFS	(注1)

- 注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。  
 ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
 書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。
- 注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。  
 ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
 書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

## 5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表 5.1にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET 端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

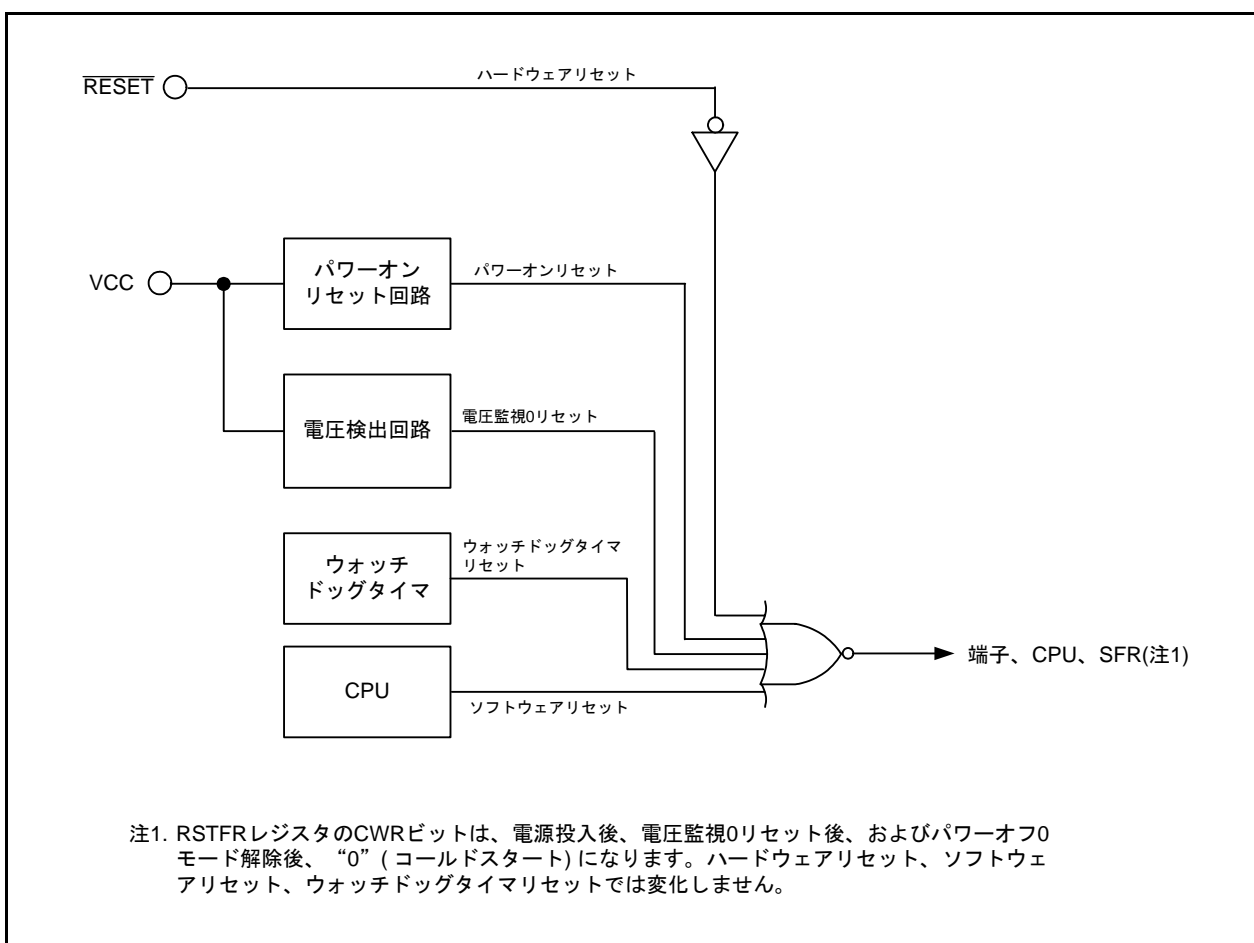


図 5.1 リセット回路のブロック図

表 5.2に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を、図 5.2にリセット後のCPUレジスタの状態を、図 5.3にリセットシーケンスを示します。

表 5.2  $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0～P4、P5_0～P5_6、P6、 P7_0～P7_6、P8、P9_0～P9_1	ハイインピーダンス
WKUP0	ハイインピーダンス
XCIN、XCOUT	不定
VL1～VL3	ハイインピーダンス

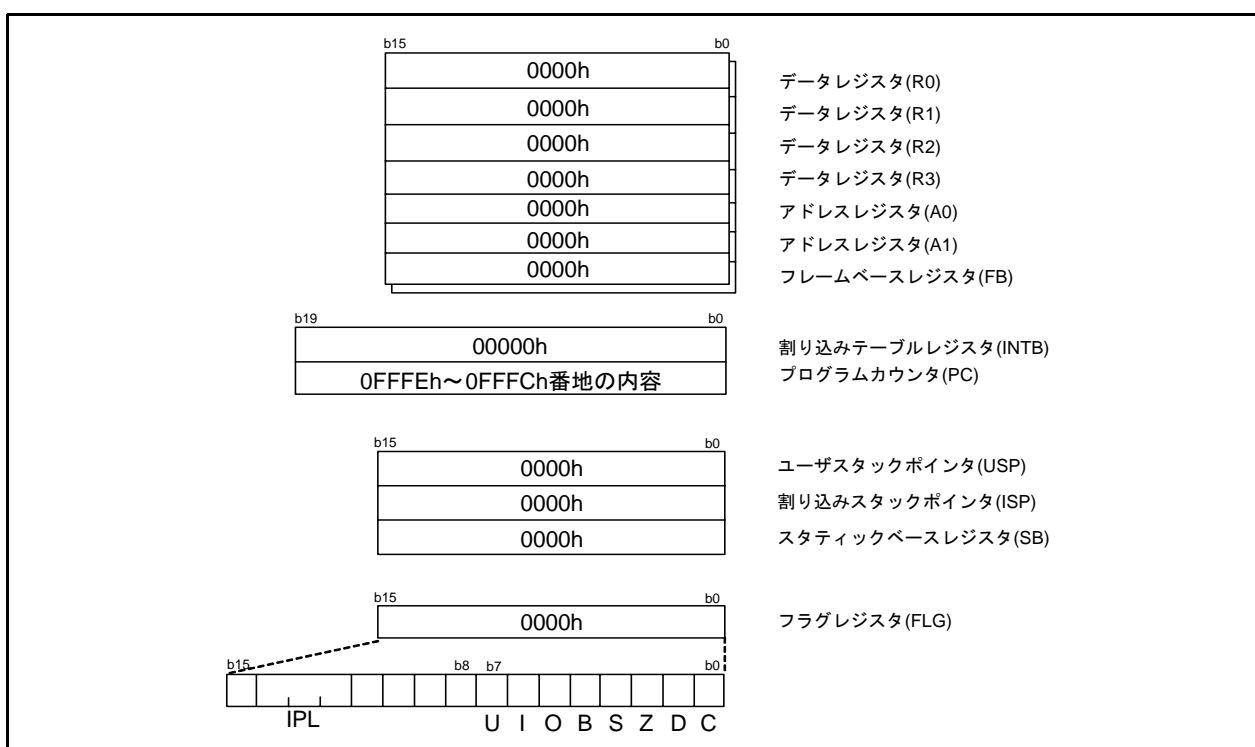


図 5.2 リセット後のCPUレジスタの状態

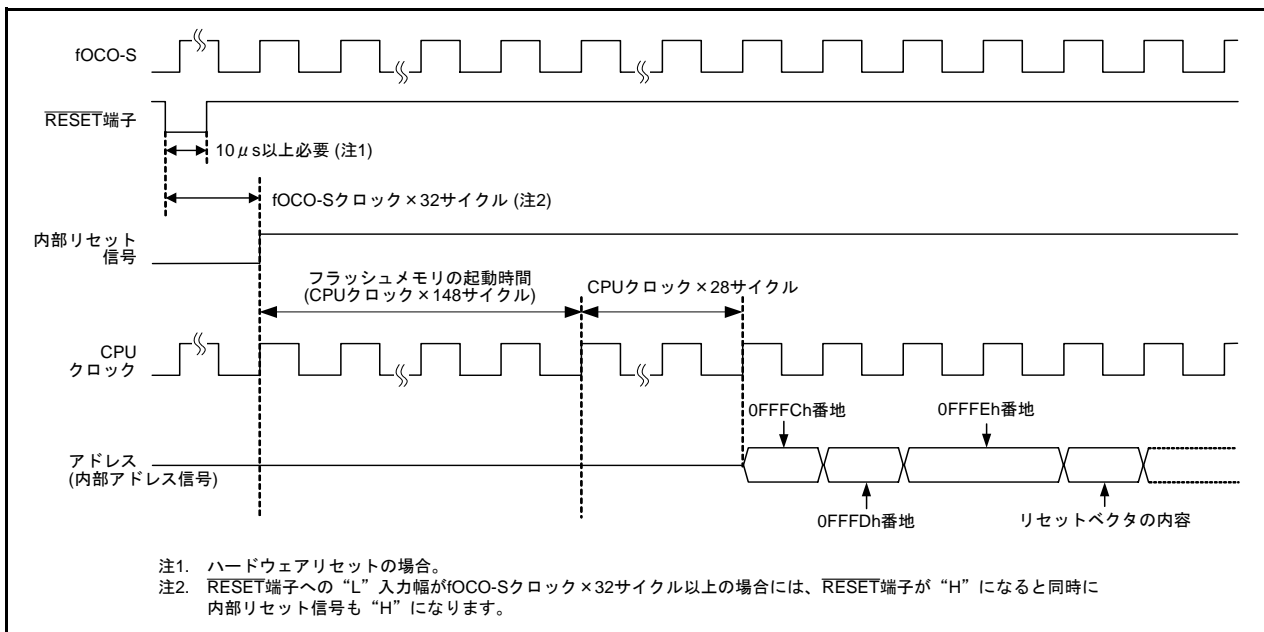


図 5.3 リセットシーケンス

## 5.1 レジスタの説明

## 5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b5	—			
b6	—			
b7	—			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

## 5.1.2 リセット要因判別レジスタ (RSTFR)

アドレス 000Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDR	SWR	HWR	CWR
リセット後の値	X	X	X	X	X	X	X	X

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ(注4)	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	—	予約ビット	読んだ場合、その値は不定。	R
b5	—			
b6	—			
b7	—			

注1. CWRビットは電源投入後、電圧監視0リセット後、およびパワーオフ0モード解除後、“0”（コールドスタート）になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

注3. VW0CレジスタのVW0C0ビットが“0”（電圧監視0リセット禁止）のとき、CWRビットは不定です。

注4. ハードウェアリセット、または、パワーオフ0モード解除を検出します。



## 5.1.3 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1 リフレッシュ受付期間」を参照してください。

## 5.2 ハードウェアリセット

$\overline{\text{RESET}}$  端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$  端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.2  $\overline{\text{RESET}}$  端子のレベルが“L”の期間の端子の状態」、[「図 5.2 リセット後のCPUレジスタの状態」](#)、および「表 4.1～表 4.9 SFR一覧」を参照)。

$\overline{\text{RESET}}$  端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中に $\overline{\text{RESET}}$  端子が“L”になると、内部RAMは不定となります。

図 5.4にハードウェアリセット回路例と動作を、図 5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

### 5.2.1 電源が安定している場合

- (1)  $\overline{\text{RESET}}$  端子に“L”を入力する
- (2)  $10\mu\text{s}$ 待つ
- (3)  $\overline{\text{RESET}}$  端子に“H”を入力する

### 5.2.2 電源投入時

- (1)  $\overline{\text{RESET}}$  端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ(「30. 電気的特性」参照)
- (4)  $10\mu\text{s}$ 待つ
- (5)  $\overline{\text{RESET}}$  端子に“H”を入力する

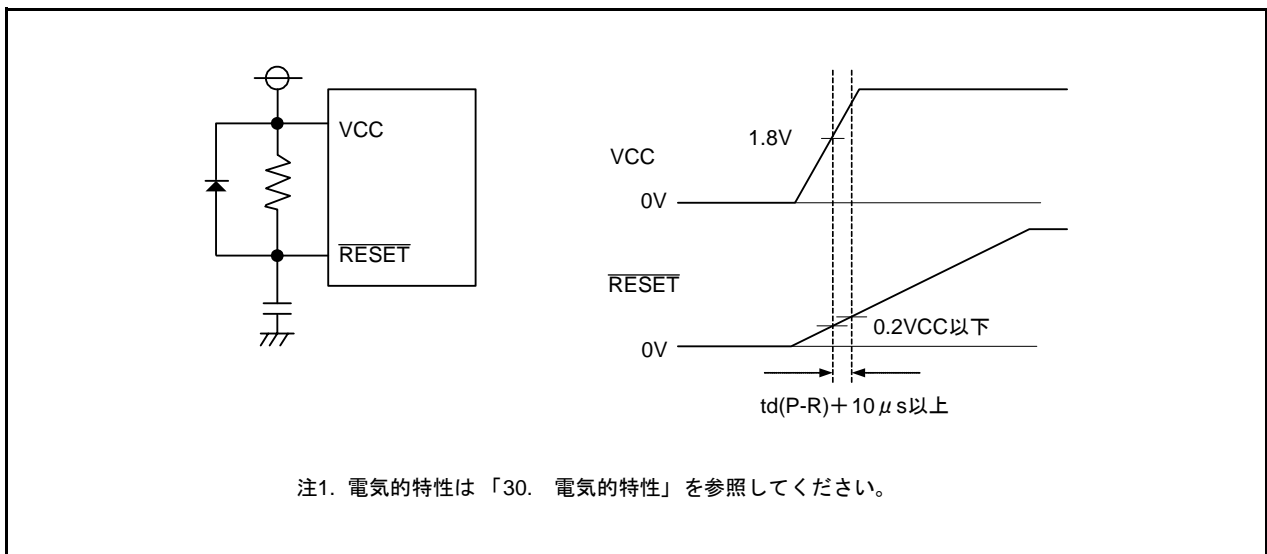


図 5.4 ハードウェアリセット回路例と動作

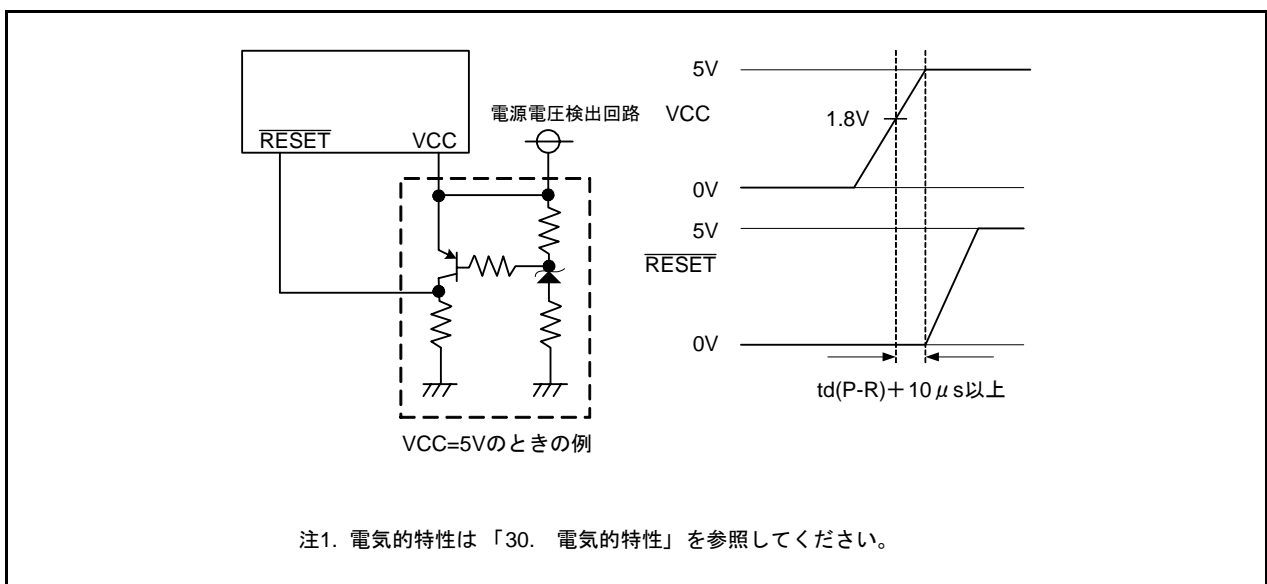


図 5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

### 5.3 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC端子に入力する電圧が $V_{det0}$ 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。

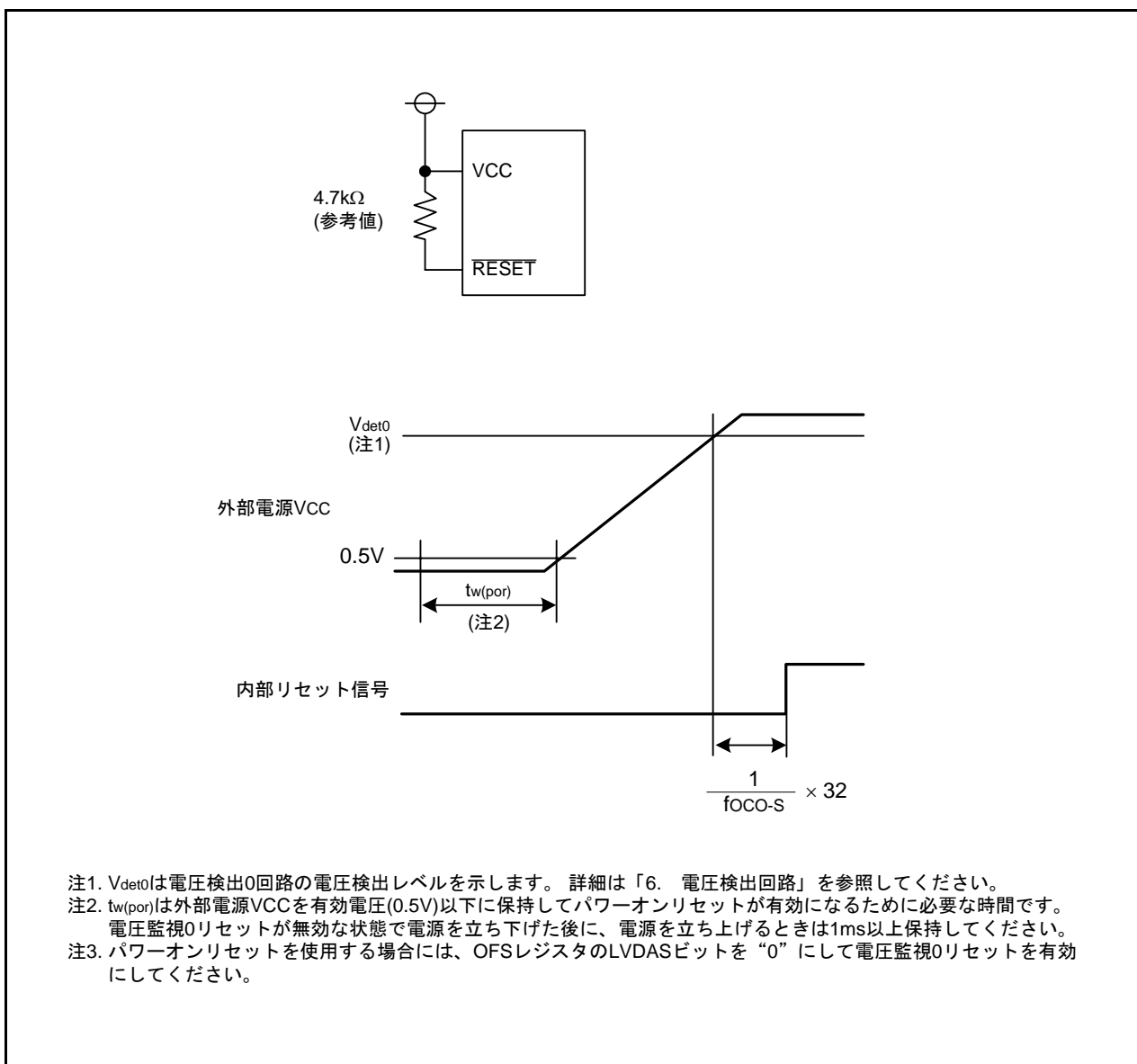


図 5.6 パワーオンリセット回路例と動作

## 5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”（リセット後、電圧監視0リセット有効）にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウンタを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視0リセット回路例と動作を示します。

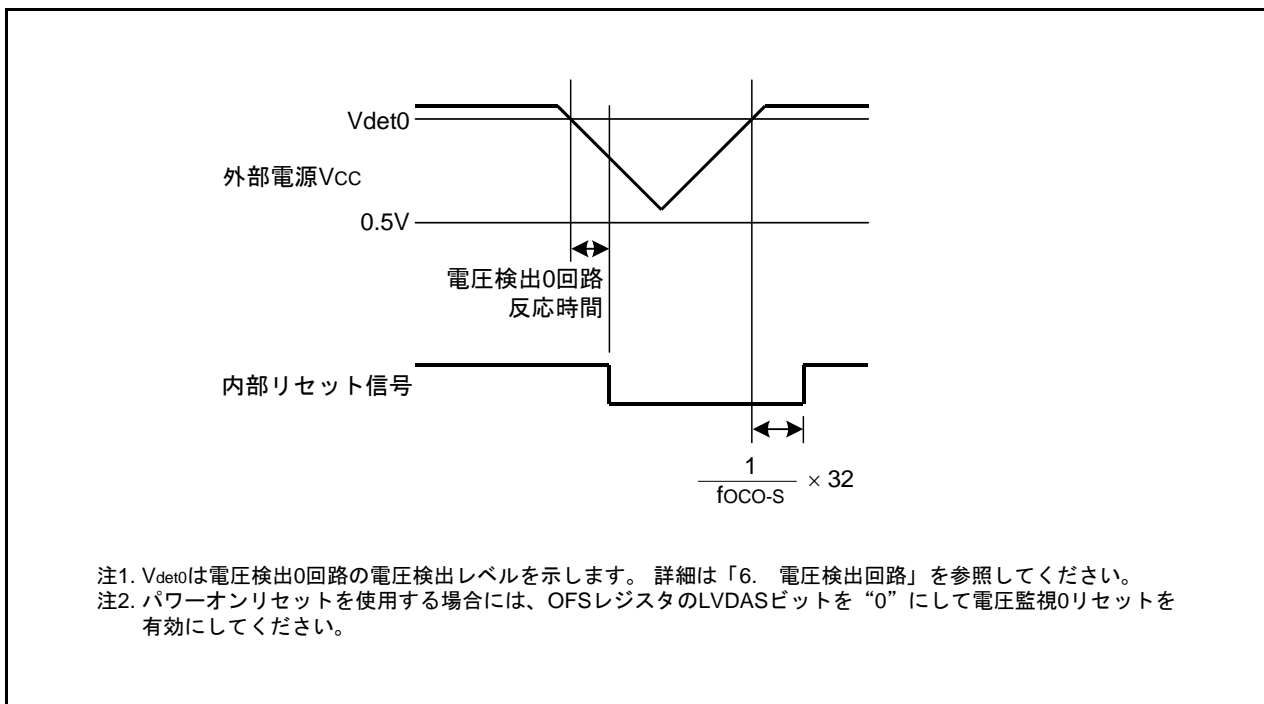


図 5.7 電圧監視0リセット回路例と動作

## 5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「15. ウォッチドッグタイマ」を参照してください。

## 5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

## 5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットとパワーオフ0モード解除でも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

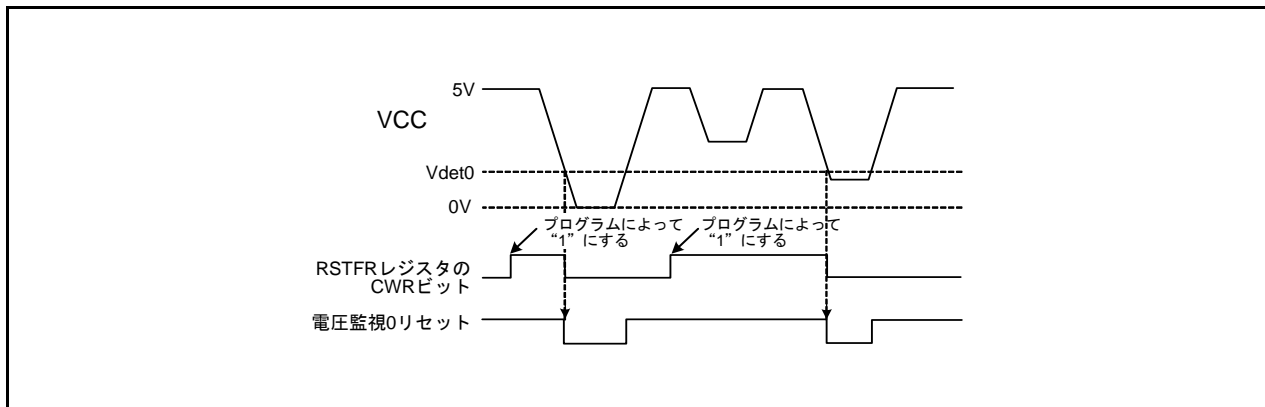


図 5.8 コールドスタート/ウォームスタート判定機能の動作例

## 5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセット、または、パワーオフ0モード解除が発生すると、HWRビットが“1”(検出)になります。

ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。

ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。



## 6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

### 6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表 6.1 電圧検出回路の仕様

項目	電圧監視0	電圧監視1	電圧監視2	
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	VCCは固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VCA1レジスタのVCA13ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット； VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み ノンマスクブルまたはマスクブルを選択可能 Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクブルまたはマスクブルを選択可能 Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fOCO-Sのn分周) × 2 n : 1、2、4、8	(fOCO-Sのn分周) × 2 n : 1、2、4、8

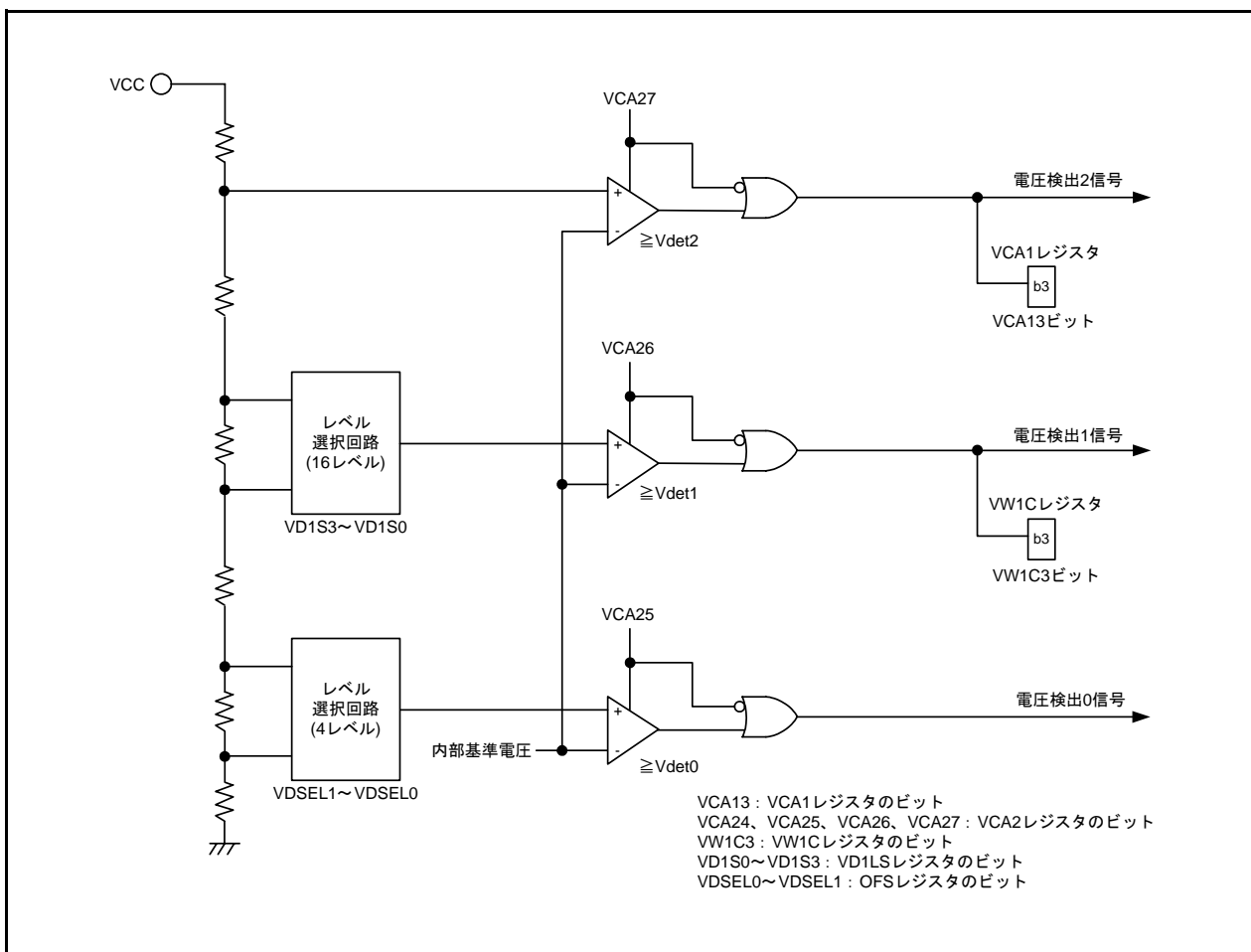


図 6.1 電圧検出回路ブロック図

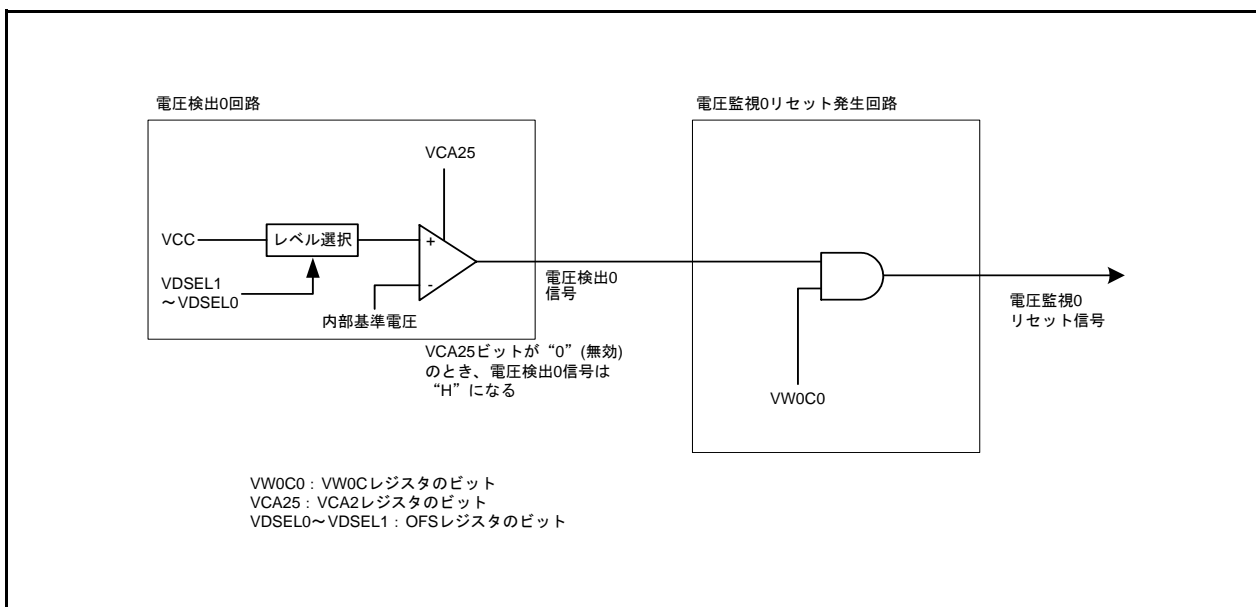


図 6.2 電圧監視0リセット発生回路のブロック図

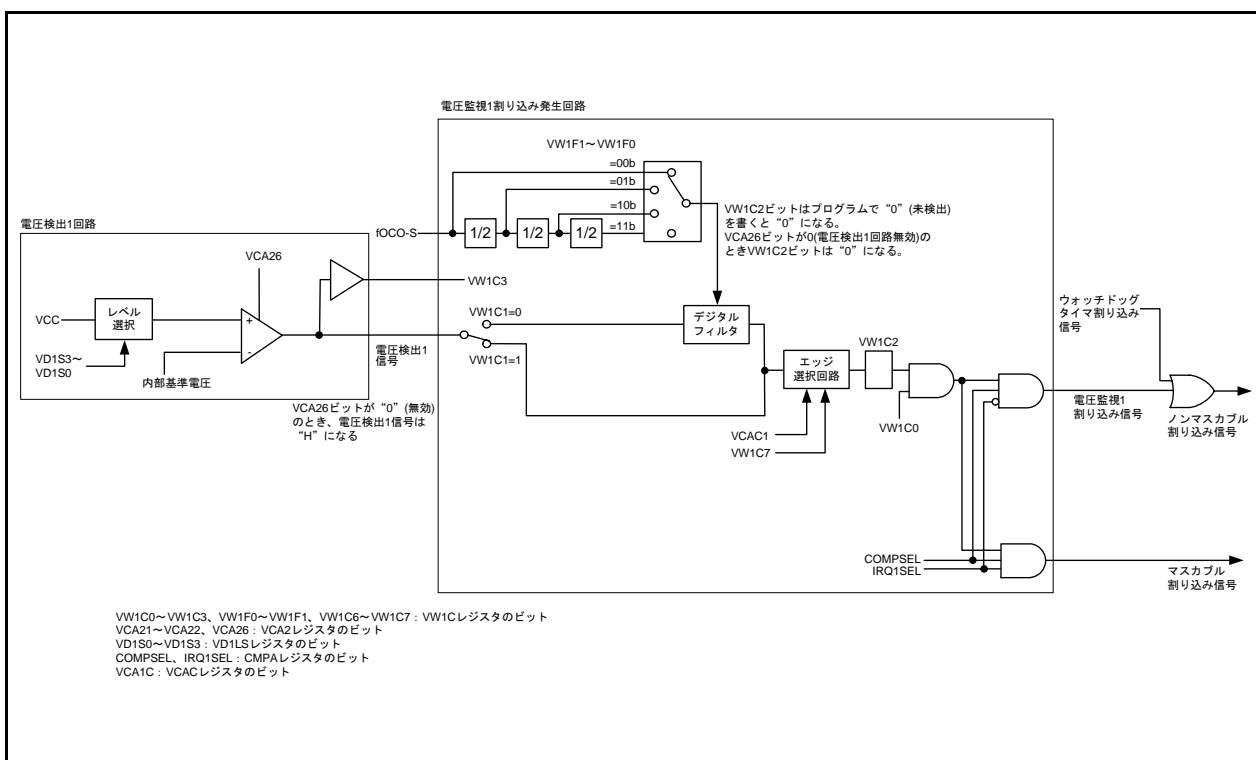


図 6.3 電圧監視1割り込み発生回路のブロック図

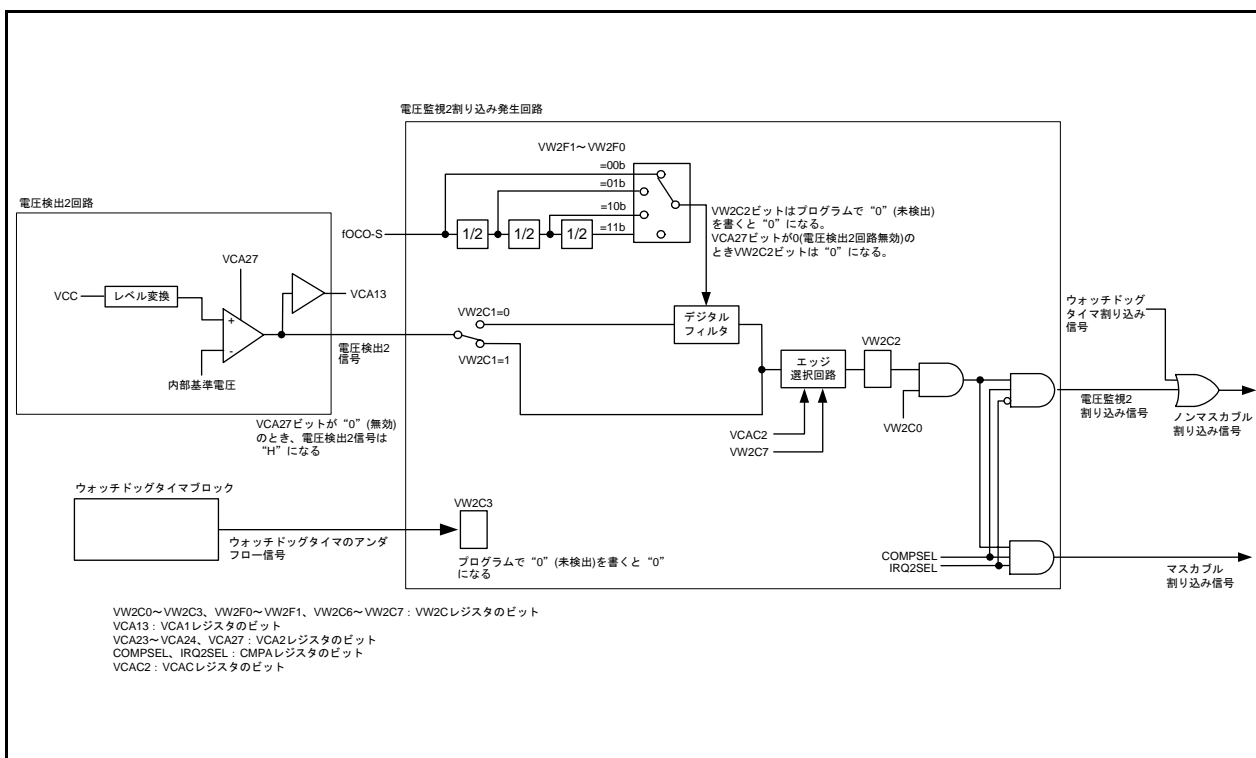


図 6.4 電圧監視2割り込み発生回路のブロック図

## 6.2 レジスタの説明

## 6.2.1 電圧監視回路制御レジスタ (CMPA)

アドレス 0030h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット (注1)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット (注2)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	COMPSEL	電圧監視割り込み種類選択有効ビット (注1、2)	0: IRQ1SEL、IRQ2SELビット無効 1: IRQ1SEL、IRQ2SELビット有効	R/W

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが“1”(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

## 6.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス 0031h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	VCAC2	VCAC1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	VCAC1	電圧監視1回路エッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット (注2)	0: 片エッジ 1: 両エッジ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

## 6.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VCA13	—	—	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	VCA13	電圧検出2信号モニタフラグ(注1)	0 : $VCC < V_{det2}$ 1 : $VCC \geq V_{det2}$ 、または電圧検出2回路無効	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. VCA2レジスタのVCA27ビットが“1”（電圧検出2回路有効）のとき、VCA13ビットは有効です。  
VCA2レジスタのVCA27ビットが“0”（電圧検出2回路無効）のとき、VCA13ビットは“1”（ $VCC \geq V_{det2}$ ）になります。

## 6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「10.8.9 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(全クロック停止)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”(電圧検出1回路有効)にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”(電圧検出2回路有効)にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 6.2.5 電圧検出1レベル選択レジスタ (VD1LS)

アドレス 0036h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0	R/W
b1	VD1S1		0 0 0 0 : 2.20 V (Vdet1_0)	R/W
b2	VD1S2		0 0 0 1 : 2.35 V (Vdet1_1)	R/W
b3	VD1S3		0 0 1 0 : 2.50 V (Vdet1_2)	R/W
			0 0 1 1 : 2.65 V (Vdet1_3)	
			0 1 0 0 : 2.80 V (Vdet1_4)	
			0 1 0 1 : 2.95 V (Vdet1_5)	
			0 1 1 0 : 3.10 V (Vdet1_6)	
			0 1 1 1 : 3.25 V (Vdet1_7)	
			1 0 0 0 : 3.40 V (Vdet1_8)	
		1 0 0 1 : 3.55 V (Vdet1_9)		
		1 0 1 0 : 3.70 V (Vdet1_A)		
		1 0 1 1 : 3.85 V (Vdet1_B)		
		1 1 0 0 : 4.00 V (Vdet1_C)		
		1 1 0 1 : 4.15 V (Vdet1_D)		
		1 1 1 0 : 4.30 V (Vdet1_E)		
		1 1 1 1 : 4.45 V (Vdet1_F)		
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

VD1LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。



## 6.2.6 電圧監視0回路制御レジスタ (VW0C)

アドレス 0038h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VW0C0
リセット後の値	1	1	0	0	X	0	1	0
	上記はOFSレジスタのLVDASビットが“1”の場合							
リセット後の値	1	1	0	0	X	0	1	1
	上記はOFSレジスタのLVDASビットが“0”の場合							

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—	予約ビット	読んだ場合、その値は不定。	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—	予約ビット	“1” にしてください	R/W
b7	—			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1” (電圧検出0回路有効)のとき有効になります。  
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。

## 6.2.7 電圧監視1回路制御レジスタ (VW1C)

アドレス 0039h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet1 通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0: VCC < Vdet1 1: VCC ≥ Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表 6.2 電圧監視1割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。  
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
- 注6. VW1C0ビットが“1”(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

## 6.2.8 電圧監視2回路制御レジスタ (VW2C)

アドレス 003Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	—	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet2通過検出	R/W
b3	VW2C3	WDT検出フラグ(注4)	0: 未検出 1: 検出	R/W
b4	VW2F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW2F1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注5)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	R/W

- 注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表 6.3 電圧監視2割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。  
なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。
- 注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

## 6.2.9 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 6.3 VCC入力電圧のモニタ

### 6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

### 6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「30. 電気的特性」参照) 経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S3～VD1S0ビット(電圧検出1検出電圧)を設定する
- (2) VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

### 6.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「30. 電気的特性」参照) 経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

- VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

## 6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”（リセット後、電圧監視0リセット有効)にしてください。

図 6.5に電圧監視0リセット動作例を示します。

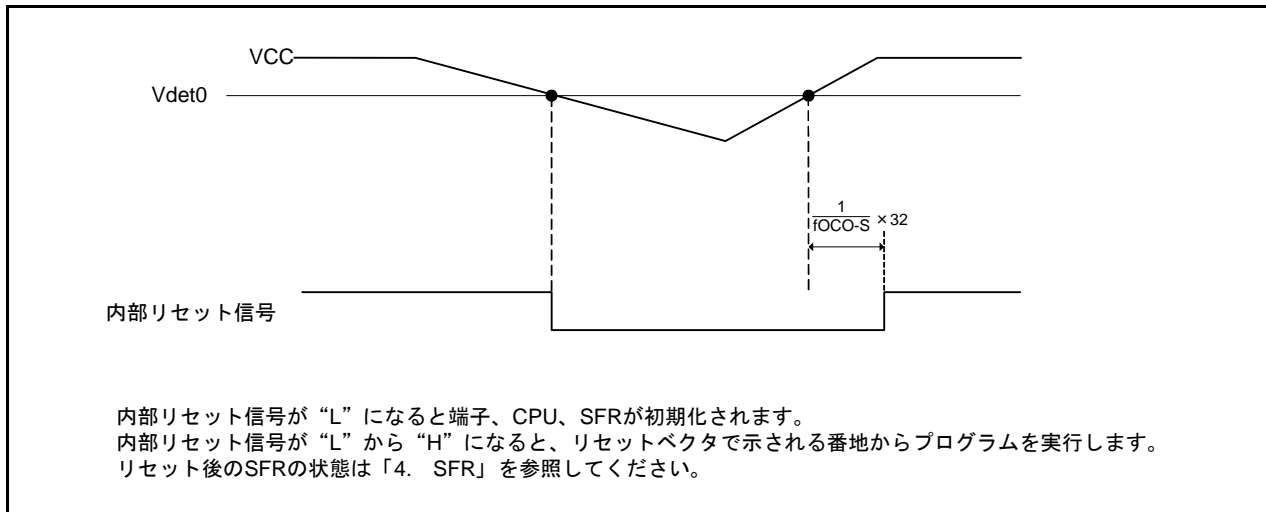


図 6.5 電圧監視0リセット動作例

## 6.5 電圧監視1割り込み

表 6.2に電圧監視1割り込み関連ビットの設定手順を、図 6.6に電圧監視1割り込み動作例を示します。  
 なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”（デジタルフィルタ無効）にしてください。

表 6.2 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを“1”（電圧検出1回路有効）にする	
3	td(E-A)待つ	
4	CMPAレジスタのCOMPSELビットを“1”にする	
5 (注1)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”（デジタルフィルタ無効）にする
7 (注2)	VW1CレジスタのVW1C1ビットを“0”（デジタルフィルタ有効）にする	—
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”（低速オンチップオシレータ発振）にする	—
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	—（待ち時間なし）
12 (注3)	VW1CレジスタのVW1C0ビットを“1”（電圧監視1割り込み許可）にする	

注1. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行可能です。

注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。

注3. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。

電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

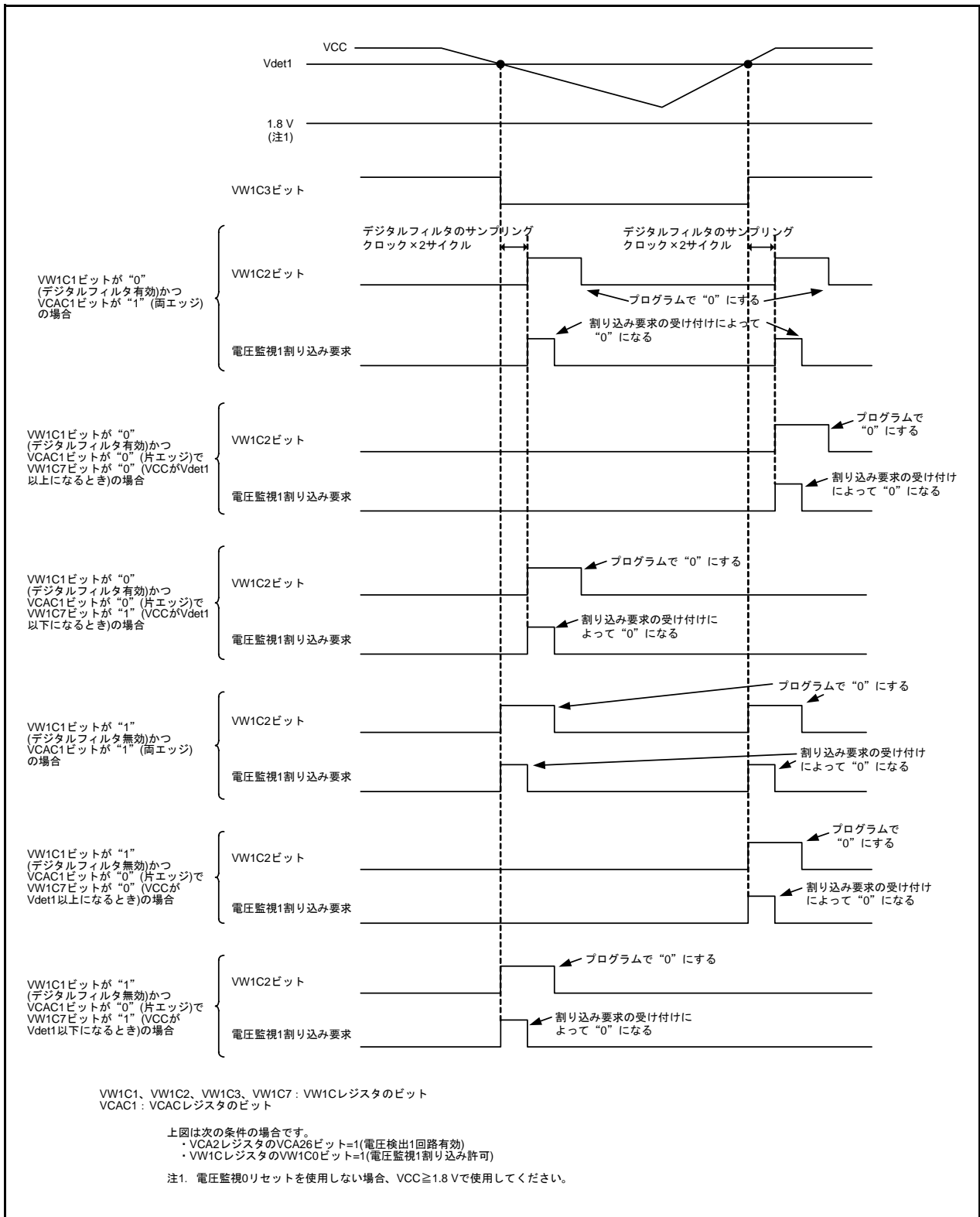


図 6.6 電圧監視1割り込み動作例



## 6.6 電圧監視2割り込み

表 6.3に電圧監視2割り込み関連ビットの設定手順を、図 6.7に電圧監視2割り込み動作例を示します。  
 なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする	
2	td(E-A)待つ	
3	CMPAレジスタのCOMPSELビットを“1”にする	
4(注1)	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
5	VW2CレジスタのVW2F1~VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする
6(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする	—
7	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
8	VW2CレジスタのVW2C2ビットを“0”にする	
9	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	—
10	デジタルフィルタのサンプリングクロック×2サイクル待つ	—(待ち時間なし)
11(注3)	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが“0”のとき、手順3と4は同時に(1命令で)実行可能です。

注2. VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行可能です。

注3. 電圧監視2割り込み禁止の状態でも、電圧検出2回路が有効であれば、電圧低下を検出し、VW2C2ビットは“1”になります。

電圧監視2割り込み関連ビットの設定手順において、電圧検出2回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW2C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

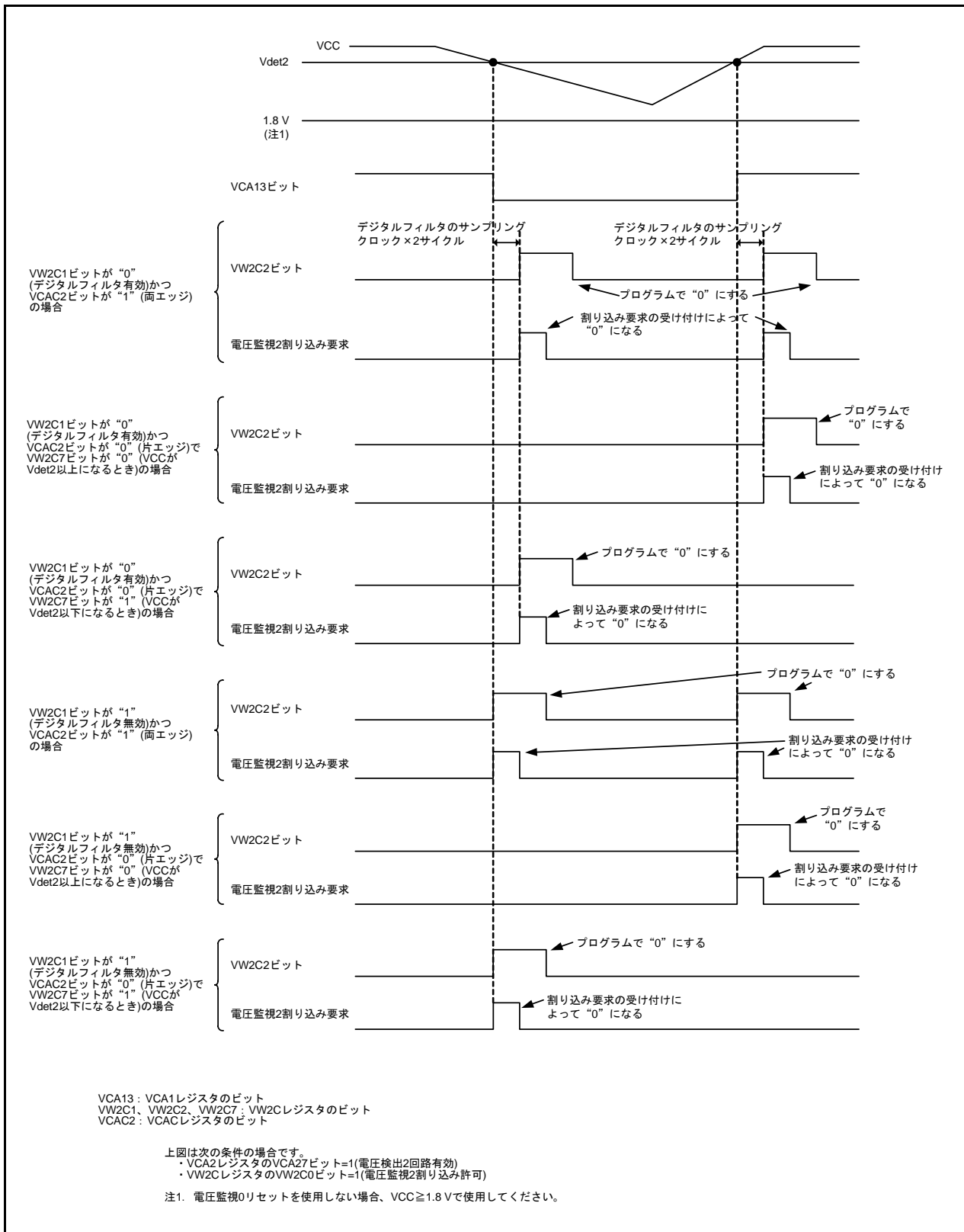


図 6.7 電圧監視2割り込み動作例

## 7. I/Oポート

### 注意

本章ではR8C/LA8Aグループについて説明します。  
R8C/LA6Aグループについては「1.1.2 グループごとの相違点」を参照してください。

### 7.1 概要

I/Oポートは、LCD駆動制御波形出力用のLCDポートや発振回路、タイマ、A/Dコンバータなどの入出力機能を兼用しています。これらの機能を使用しないときI/Oポートとして使用できます。

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

ポート名	入出力形式	入出力設定	内部プルアップ抵抗 (注1)	駆動能力 切り替え(注2)	入力レベル 切り替え(注3)
P0～P4	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で設定
P5_0～P5_3	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	7ビット単位で設定
P5_4～P5_6	入出力CMOS3 ステート	1ビット単位で設定	なし	なし	
P6	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で設定
P7_0～P7_1	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	1ビット単位で設定	7ビット単位で設定
P7_2～P7_6	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	
P8	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	1ビット単位で設定	8ビット単位で設定
P9_0～P9_1	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	2ビット単位で設定

注1. 入力モード時、P0PUR～P9PURレジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P7DRRレジスタおよびP8DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. VLT0レジスタ、VLT1レジスタおよびVLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

表7.2 グループごとに備えるプログラマブル入出力ポート

プログラマブル 入出力ポート	R8C/LA6Aグループ I/O合計56本								R8C/LA8Aグループ I/O合計72本							
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P1	○	○	○	○	○	○	—	—	○	○	○	○	○	○	○	○
P2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P4	○	○	—	—	—	—	—	—	○	○	○	○	○	○	○	○
P5	—	○	○	○	○	○	○	○	—	○	○	○	○	○	○	○
P6	○	○	○	○	○	○	○	—	○	○	○	○	○	○	○	○
P7	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
P8	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P9	—	—	—	—	—	—	○	○	—	—	—	—	—	—	○	○

注1. “○” が搭載するプログラマブル入出力ポートです。

注2. “—” は以下のように設定してください。

- ・ PDi (i=1, 4~7, 9)レジスタの対応するビットに“0”を書いてください。読んだ場合、その値は“0”です。
- ・ Pi (i=1, 4~7, 9)レジスタの対応するビットに“0”を書いてください。読んだ場合、その値は“0”です。
- ・ P7DRRレジスタの対応するビットに“0”を書いてください。読んだ場合、その値は“0”です。

## 7.2 I/Oポートの機能

ポートP0～P9の入出力はPDi ( $i = 0 \sim 9$ )レジスタのPDi\_j ( $j = 0 \sim 7$ )ビットで制御します。Piレジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.4にI/Oポートの構成を、表7.3にI/Oポートの機能を示します。

表7.3 I/Oポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0” (入力モード)のとき	“1” (出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

注1.  $i = 0 \sim 9$ 、 $j = 0 \sim 7$

## 7.3 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表 1.9～表 1.11 のピン番号別端子名一覧」を参照してください)。

表7.4に周辺機能の入出力として機能する場合のPDi\_jビットの設定( $i = 0 \sim 9$ 、 $j = 0 \sim 7$ )を示します。周辺機能の設定方法は、各機能説明を参照してください。

表7.4 周辺機能の入出力として機能する場合のPDi\_jビットの設定( $i = 0 \sim 9$ 、 $j = 0 \sim 7$ )

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0” (入力モード)に設定してください
出力	“1” (出力モード)に設定してください

## 7.4 I/Oポート以外の端子

図7.6に端子の構成を示します。

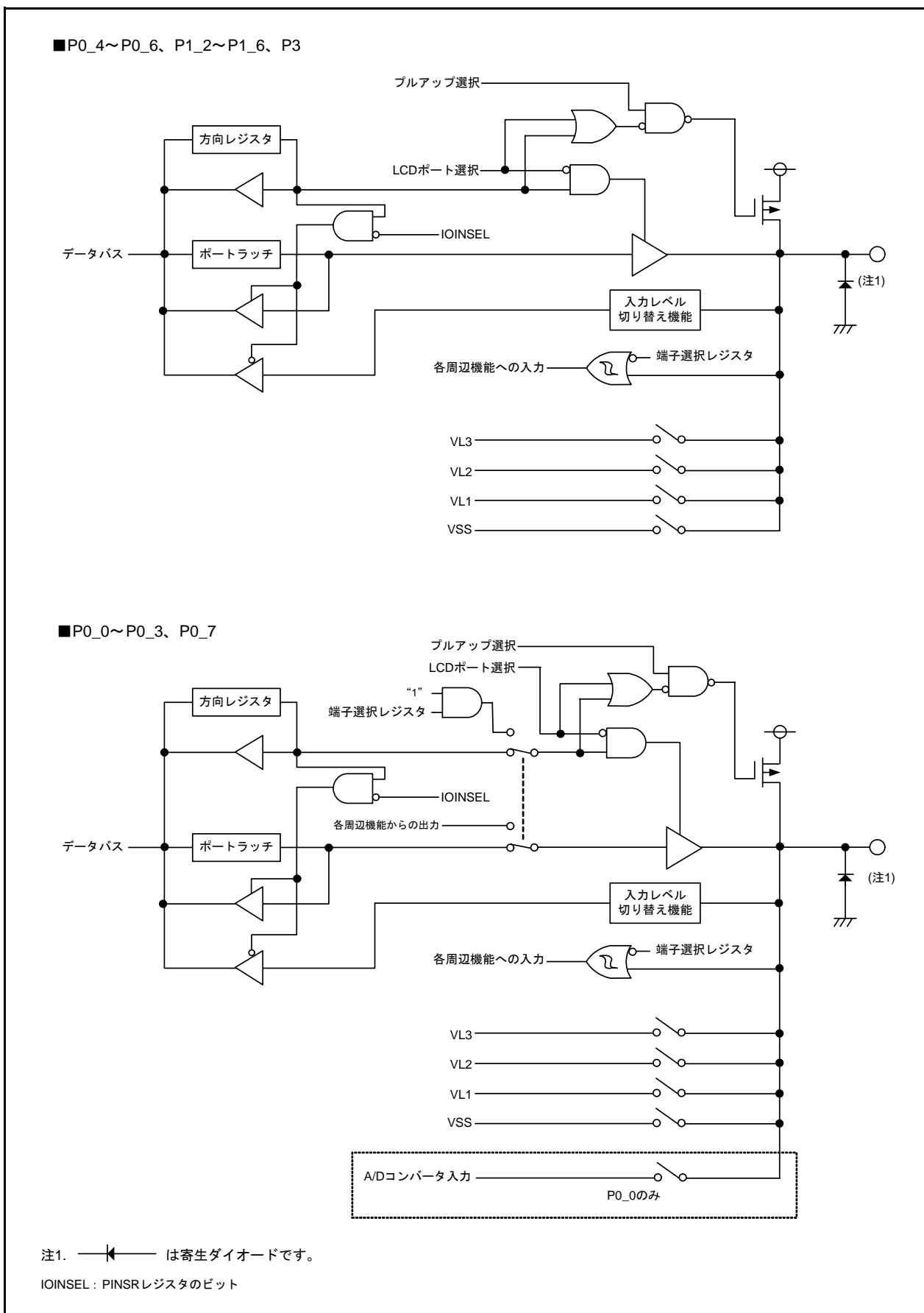


図7.1 I/Oポートの構成(1)

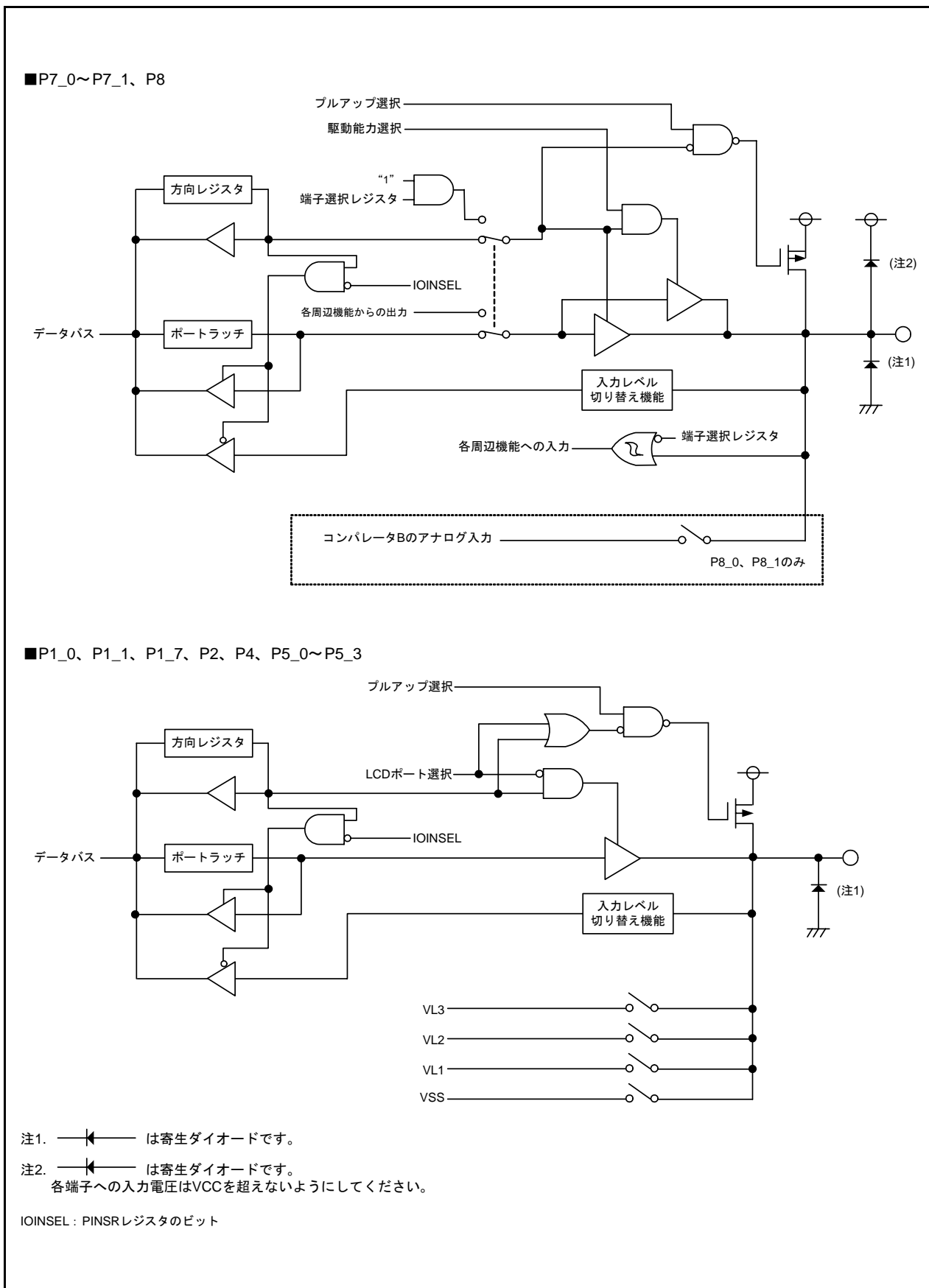


図7.2 I/Oポートの構成(2)

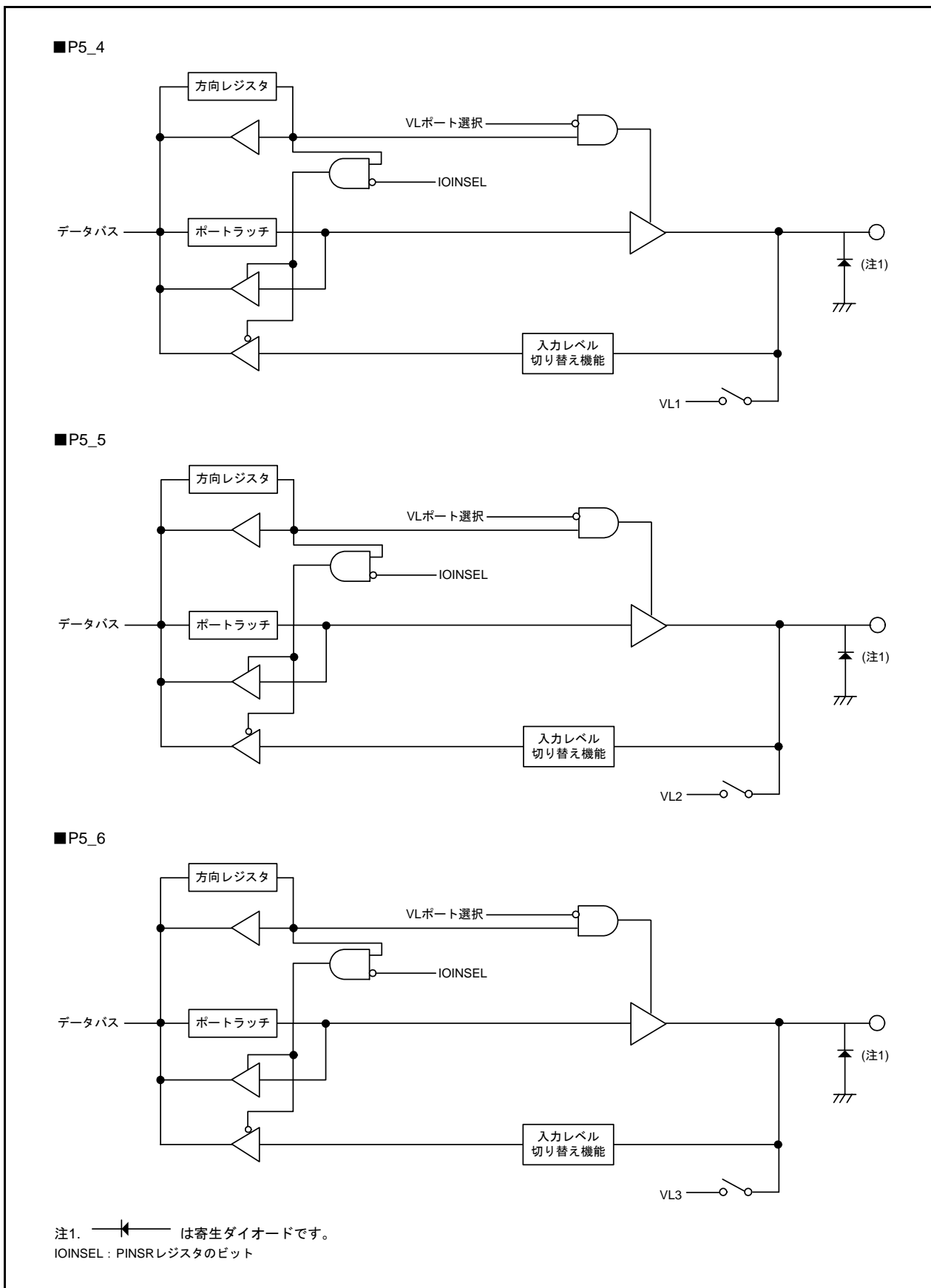


図7.3 I/Oポートの構成(3)



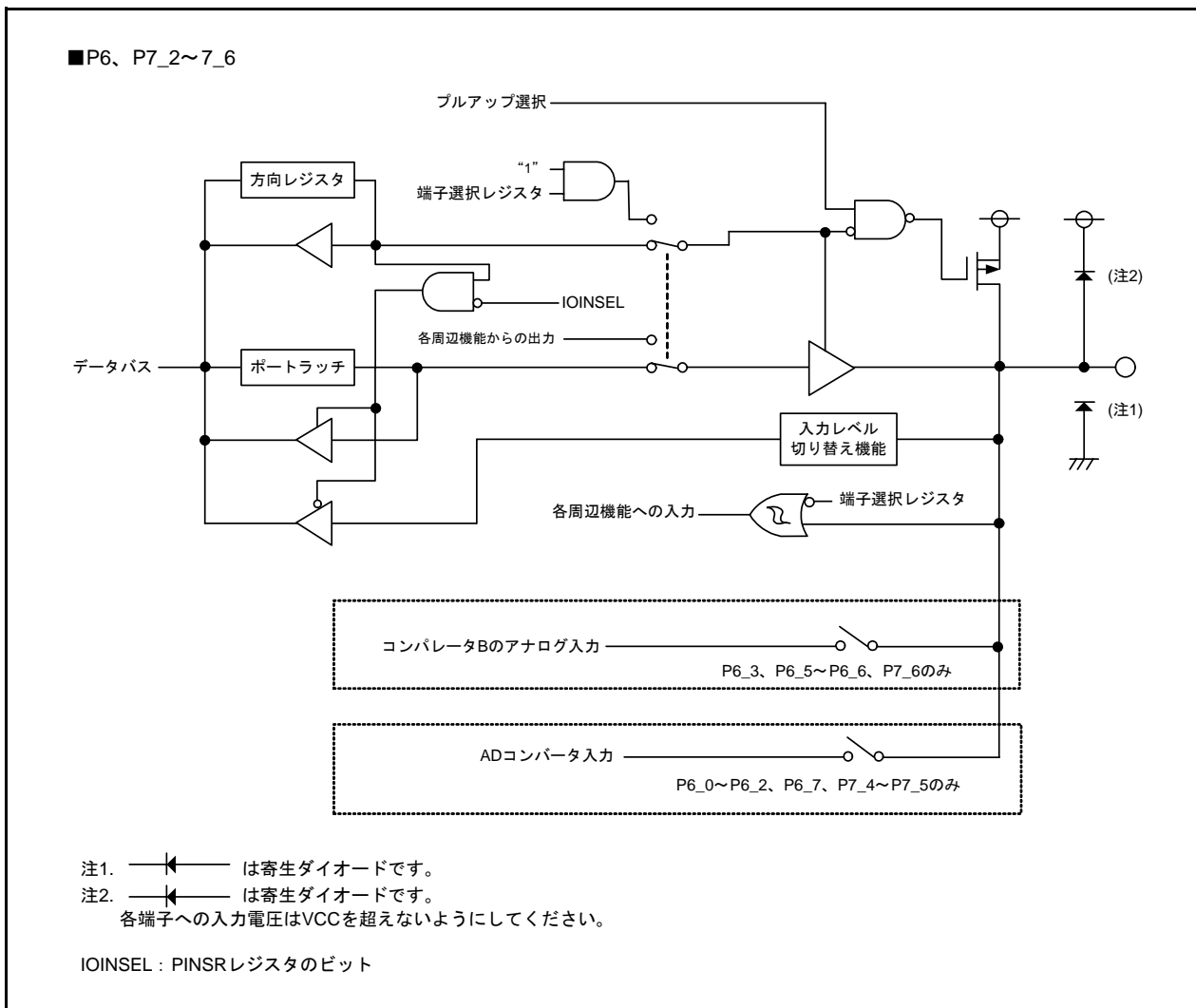


図7.4 I/Oポートの構成(4)

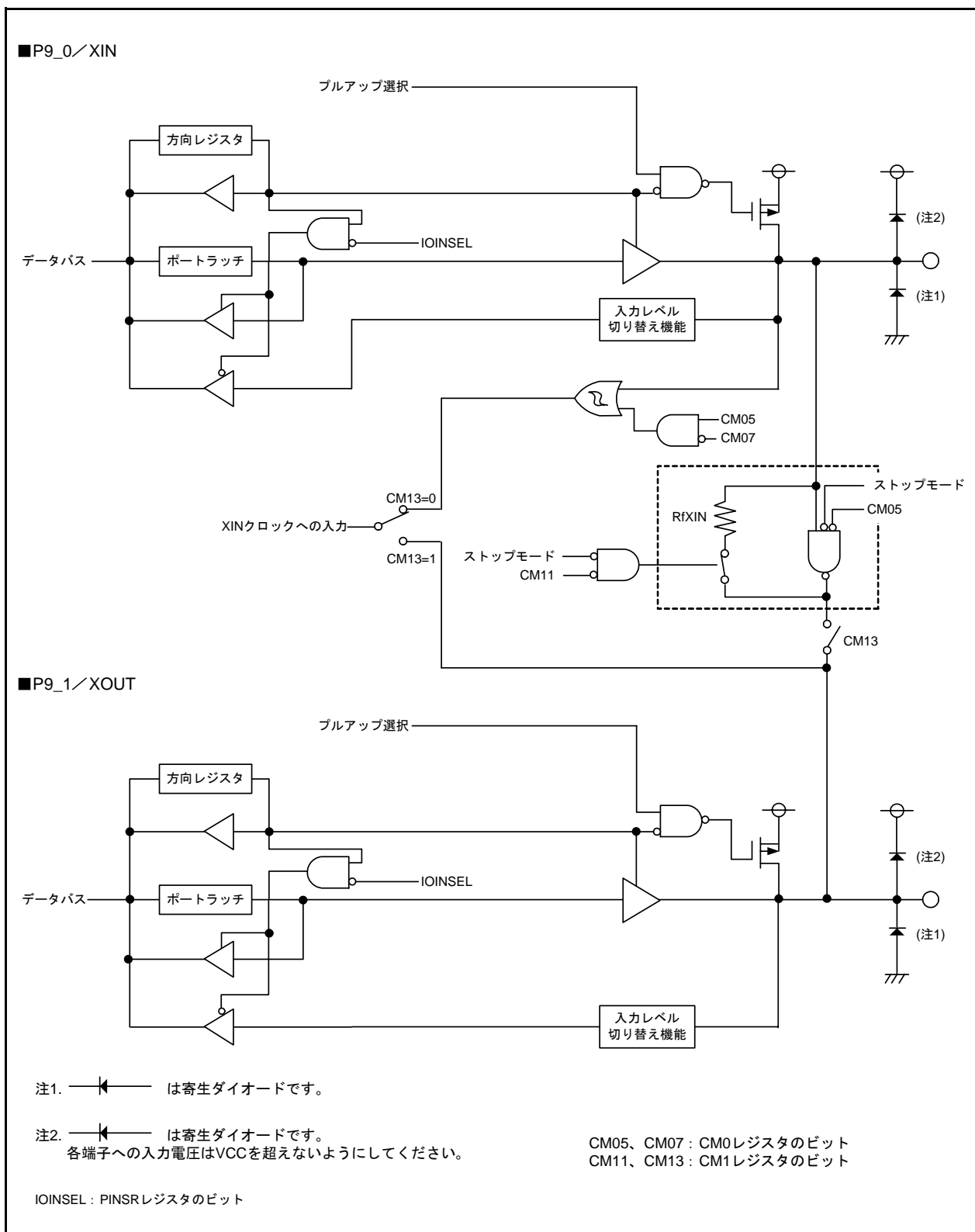


図7.5 I/Oポートの構成(5)

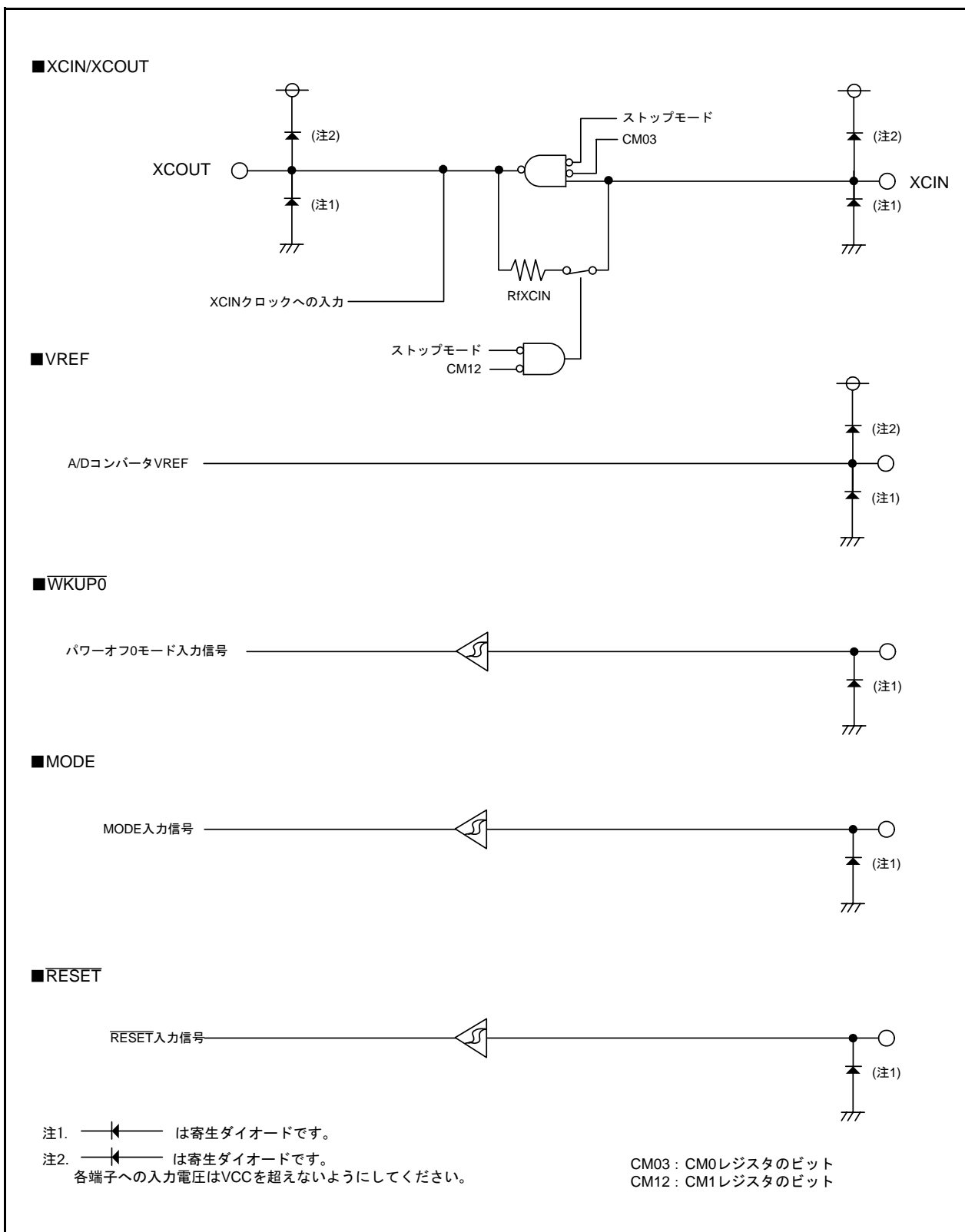


図7.6 端子の構成

## 7.5 レジスタの説明

### 7.5.1 ポートPi方向レジスタ (PDi)(i = 0 ~ 9)

アドレス 00E2h番地 (PD0)、00E3h番地 (PD1)、00E6h番地 (PD2)、00E7h番地 (PD3)、  
00EAh番地 (PD4)、00EBh番地 (PD5(注1))、00EEh番地 (PD6)、00EFh番地 (PD7(注2))、  
00F2h番地 (PD8)、00F3h番地 (PD9(注3))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

- 注1. PD5レジスタのPD5\_7ビットは予約ビットです。PD5\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注2. PD7レジスタのPD7\_7ビットは予約ビットです。PD7\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. PD9レジスタのPD9\_2～PD9\_3ビットは予約ビットです。PD9\_2～PD9\_3ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。  
PD9レジスタのPD9\_4～PD9\_7ビットは何も配置されていません。PD9\_4～PD9\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDi レジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。  
周辺機能を出力として使用する場合は、方向レジスタを“1”(出力モード)にしてください。

### 7.5.2 ポートPiレジスタ (Pi)(i = 0~9)

アドレス 00E0h番地 (P0)、00E1h番地 (P1)、00E4h番地 (P2)、00E5h番地 (P3)、  
00E8h番地 (P4)、00E9h番地 (P5(注1))、00ECh番地 (P6)、00EDh番地 (P7(注2))、  
00F0h番地 (P8)、00F1h番地 (P9(注3))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0: "L" レベル 1: "H" レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

- 注1. P5レジスタのP5\_7ビットは予約ビットです。P5\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注2. P7レジスタのP7\_7ビットは予約ビットです。P7\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. P9レジスタのP9\_2~P9\_3ビットは予約ビットです。P9\_2~P9\_3ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。  
P9レジスタのP9\_4~P9\_7ビットは何も配置されていません。P9\_4~P9\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

#### Pi\_jビット (i = 0~9、j = 0~7)(ポートPi\_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

## 7.5.3 タイマRJ端子選択レジスタ (TRJSR)

アドレス 0180h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRJ1IOSEL1	TRJ1IOSEL0	—	—	TRJ0IOSEL1	TRJ0IOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJ0IOSEL0	TRJ0IO端子選択ビット	b1 b0 00 : TRJ0IO端子は使用しない 01 : P6_2に割り当てる 10 : P8_3に割り当てる 11 : 設定しないでください	R/W
b1	TRJ0IOSEL1			R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—			
b4	TRJ1IOSEL0	TRJ1IO端子選択ビット	b5 b4 00 : TRJ1IO端子は使用しない 01 : P6_1に割り当てる 10 : P8_2に割り当てる 11 : 設定しないでください	R/W
b5	TRJ1IOSEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

タイマRJiの入出力端子を使用する場合は、TRJSRレジスタを設定してください。

タイマRJiの関連レジスタを設定する前に、TRJSRレジスタを設定してください。また、タイマRJiの動作中はTRJSRレジスタの設定値を変更しないでください。

## 7.5.4 タイマRB端子選択レジスタ (TRBSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRB1OSEL1	TRB1OSEL0	TRB0OSEL1	TRB0OSEL0	—	—	TRJ2IOSEL1	TRJ2IOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJ2IOSEL0	TRJ2IO端子選択ビット	b1 b0 00: TRJ2IO端子は使用しない 01: P6_0に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b1	TRJ2IOSEL1			R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—			R/W
b4	TRB0OSEL0	TRB0O端子選択ビット	b5 b4 00: P8_7に割り当てる 01: P7_6に割り当てる 10: P6_6に割り当てる 11: 設定しないでください	R/W
b5	TRB0OSEL1			R/W
b6	TRB1OSEL0	TRB1O端子選択ビット	b7 b6 00: P7_5に割り当てる 01: P6_5に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b7	TRB1OSEL1			R/W

タイマRJ2の出力端子を使用する場合は、TRBSRレジスタを設定してください。

タイマRJ2の関連レジスタを設定する前に、TRBSRレジスタを設定してください。また、タイマRJ2の動作中はTRBSRレジスタの設定値を変更しないでください。

## 7.5.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCIOBSEL1	TRCIOBSEL0	TRCIOASEL1	TRCIOASEL0	—	TRCCLKSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCLKSEL0	TRCCLK端子選択ビット(注1)	0 : TRCCLK端子は使用しない 1 : P0_1に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b3 b2 00 : TRCIOA/TRCTRG端子は使用しない 01 : TRCIOA/TRCTRG端子をP0_0に割り当てる 10 : TRCTRG端子をP0_1に割り当てる(注1) 11 : TRCTRG端子をP0_2に割り当てる	R/W
b3	TRCIOASEL1			R/W
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 00 : TRCIOB端子は使用しない 01 : P6_7に割り当てる 10 : P6_6に割り当てる(注2) 11 : P6_5に割り当てる(注3)	R/W
b5	TRCIOBSEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

注1. TRCCLK端子とTRCTRG端子をP0\_1に同時に割り当てることはできません。

注2. TRCPSR1 レジスタの TRCIOSEL0 ビットを“1”(TRCIO端子を P6\_6 に割り当てる)にした場合は、TRCIOSEL1~TRCIOSEL0ビットの内容にかかわらず、P6\_6はTRCIO端子になります。

注3. TRCPSR1 レジスタの TRCIOSEL0 ビットを“1”(TRCIO端子を P6\_5 に割り当てる)にした場合は、TRCIOSEL1~TRCIOSEL0ビットの内容にかかわらず、P6\_5はTRCIO端子になります。

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。タイマRC端子の割り当てを変更した場合、変更したときの端子レベルによってはエッジが発生し、TRCレジスタが“0000h”になる場合があります。



## 7.5.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TRCIODSELO	—	TRCIOCSELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCSELO	TRCIOC端子選択ビット	0 : TRCIOC端子は使用しない 1 : P6_6に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIODSELO	TRCIOD端子選択ビット	0 : TRCIOD端子は使用しない 1 : P6_5に割り当てる	R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

TRCPSR1レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

## 7.5.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CLK0SEL1	CLK0SEL0	RXD0SEL1	RXD0SEL0	TXD0SEL1	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	b1 b0 00: TXD0端子は使用しない 01: P8_5に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b1	TXD0SEL1			R/W
b2	RXD0SEL0	RXD0端子選択ビット	b3 b2 00: RXD0端子は使用しない 01: P8_6に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b3	RXD0SEL1			R/W
b4	CLK0SEL0	CLK0端子選択ビット	b5 b4 00: CLK0端子は使用しない 01: P8_4に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b5	CLK0SEL1			R/W
b6	—	予約ビット	"0" にしてください	R/W
b7	—			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

## 7.5.8 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RXD2SEL1	RXD2SEL0	—	—	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	b1 b0 00 : TXD2/SDA2端子は使用しない 01 : P7_1に割り当てる 10 : P7_2に割り当てる 11 : P8_5に割り当てる	R/W
b1	TXD2SEL1			R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—			R/W
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 00 : RXD2/SCL2端子は使用しない 01 : P7_2に割り当てる 10 : P7_1に割り当てる 11 : P8_6に割り当てる	R/W
b5	RXD2SEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			R/W

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

## 7.5.9 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CTS2SEL1	CTS2SEL0	—	—	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	b1 b0 00 : CLK2端子は使用しない 01 : P7_0に割り当てる 10 : P8_4に割り当てる 11 : 設定しないでください	R/W
b1	CLK2SEL1			R/W
b2	—	予約ビット	"0" にしてください	R/W
b3	—			R/W
b4	CTS2SEL0	CTS2/RTS2端子選択ビット	b5 b4 00 : CTS2/RTS2端子は使用しない 01 : P7_3に割り当てる 10 : P8_7に割り当てる 11 : 設定しないでください	R/W
b5	CTS2SEL1			R/W
b6	—	予約ビット	"0" にしてください	R/W
b7	—			R/W

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

## 7.5.10 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SSOSEL0	SCSSEL0	SSCKSEL0	SSISEL0	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0 : SSU機能を選択 1 : I <sup>2</sup> Cバス機能を選択	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	SSISEL0	SSI端子選択ビット	0 : P8_1に割り当てる 1 : P6_2に割り当てる	R/W
b5	SSCKSEL0	SSCK/SCL端子選択ビット	0 : P8_2に割り当てる 1 : P6_3に割り当てる	R/W
b6	SCSSEL0	SCS端子選択ビット	0 : P8_0に割り当てる 1 : P6_1に割り当てる	R/W
b7	SSOSEL0	SSO/SDA端子選択ビット	0 : P8_3に割り当てる 1 : P6_4に割り当てる	R/W

## 7.5.11 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7SELO	INT6SELO	INT5SELO	INT4SELO	INT3SELO	INT2SELO	INT1SELO	INT0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0SELO	$\overline{\text{INT0}}$ 端子選択ビット	0 : P0_3に割り当てる 1 : P3_0に割り当てる	R/W
b1	INT1SELO	$\overline{\text{INT1}}$ 端子選択ビット	0 : P8_0に割り当てる 1 : P3_1に割り当てる	R/W
b2	INT2SELO	$\overline{\text{INT2}}$ 端子選択ビット	0 : P8_7に割り当てる 1 : P3_2に割り当てる	R/W
b3	INT3SELO	$\overline{\text{INT3}}$ 端子選択ビット	0 : P8_1に割り当てる 1 : P3_3に割り当てる	R/W
b4	INT4SELO	$\overline{\text{INT4}}$ 端子選択ビット	0 : P1_4に割り当てる 1 : P3_4に割り当てる	R/W
b5	INT5SELO	$\overline{\text{INT5}}$ 端子選択ビット	0 : P1_5に割り当てる 1 : P3_5に割り当てる	R/W
b6	INT6SELO	$\overline{\text{INT6}}$ 端子選択ビット	0 : P1_6に割り当てる 1 : P3_6に割り当てる	R/W
b7	INT7SELO	$\overline{\text{INT7}}$ 端子選択ビット	0 : P0_1に割り当てる 1 : P3_7に割り当てる	R/W

INTSRレジスタは、 $\overline{\text{INTi}}$  (i=0~7)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INTi}}$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INTi}}$ の関連レジスタを設定をする前に、INTSRレジスタを設定してください。また、 $\overline{\text{INTi}}$ の動作中はINTSRレジスタの設定値を変更しないでください。

## 7.5.12 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	IOINSEL	I/Oポート入力機能 選択ビット	0 : I/Oポートの入力機能はPDi (i=0~9) レジスタに依存 PDiレジスタのPDi_j (j=0~7) ビットが“0” (入力モード) のとき、端子の入力レベルを読む PDiレジスタのPDi_j ビットが“1” (出力モード)のとき、 ポートラッチを読む 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の 入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0~CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0~CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延 選択ビット	b7 b6 00 : 3×f1サイクルのデジタル遅延 01 : 11×f1サイクルのデジタル遅延 10 : 19×f1サイクルのデジタル遅延 11 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I<sup>2</sup>Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方とも“0”にしてください。

## 7.5.13 ポートPiプルアップ制御レジスタ (PiPUR)(i = 0~9)

アドレス 01E0h番地 (P0PUR)、01E1h番地 (P1PUR)、01E2h番地 (P2PUR)、01E3h番地 (P3PUR)、  
01E4h番地 (P4PUR)、01E5h番地 (P5PUR(注2))、01E6h番地 (P6PUR)、01E7h番地 (P7PUR(注3))  
01E8h番地 (P8PUR)、01E9h番地 (P9PUR(注4))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUi7	PUi6	PUi5	PUi4	PUi3	PUi2	PUi1	PUi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUi0	ポートPi_0のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PUi1	ポートPi_1のプルアップ		R/W
b2	PUi2	ポートPi_2のプルアップ		R/W
b3	PUi3	ポートPi_3のプルアップ		R/W
b4	PUi4	ポートPi_4のプルアップ		R/W
b5	PUi5	ポートPi_5のプルアップ		R/W
b6	PUi6	ポートPi_6のプルアップ		R/W
b7	PUi7	ポートPi_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

注2. P5PURレジスタのPU54~PU57ビットは予約ビットです。PU54~PU57ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

注3. P7PURレジスタのPU77ビットは予約ビットです。PU77に書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

注4. P9PURレジスタのPU92~PU93ビットは予約ビットです。PU92~PU93ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

P9PURレジスタのPU94~PU97ビットは何も配置されていません。PU94~PU97ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

入力として使用している端子は、PiPURレジスタの設定値が有効になります。



## 7.5.14 ポートP7駆動能力制御レジスタ (P7DDR)

アドレス 01F0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	P7DDR1	P7DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P7DDR0	ポートP7_0の駆動能力	0 : Low	R/W
b1	P7DDR1	ポートP7_1の駆動能力	1 : High(注1)	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P7DDRレジスタはP7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P7DDRi ビット (i=0~1) によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子はP7DDRレジスタの設定値が有効になります。

## 7.5.15 ポートP8駆動能力制御レジスタ (P8DDR)

アドレス 01F1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P8DDR7	P8DDR6	P8DDR5	P8DDR4	P8DDR3	P8DDR2	P8DDR1	P8DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P8DDR0	ポートP8_0の駆動能力	0 : Low	R/W
b1	P8DDR1	ポートP8_1の駆動能力	1 : High(注1)	R/W
b2	P8DDR2	ポートP8_2の駆動能力		R/W
b3	P8DDR3	ポートP8_3の駆動能力		R/W
b4	P8DDR4	ポートP8_4の駆動能力		R/W
b5	P8DDR5	ポートP8_5の駆動能力		R/W
b6	P8DDR6	ポートP8_6の駆動能力		R/W
b7	P8DDR7	ポートP8_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P8DDRレジスタはP8の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P8DDRi ビット (i=0~7) によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子はP8DDRレジスタの設定値が有効になります。

## 7.5.16 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P00、P01、P02、P03、P04、P05、 P06の入カレベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P07、P10、P11、P12、P13、P14、 P15、P16、P17の入カレベル選択 ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT03			R/W
b4	VLT04	P20、P21、P22、P23、P24、P25、 P26、P27、P36の入カレベル選択 ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT05			R/W
b6	VLT06	P30、P31、P32、P33、P34、P35、 P37の入カレベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP0～P3の入力しきい値の電圧レベルを選択するレジスタです。VLT00～VLT07ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.5.17 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT17	VLT16	VLT15	VLT14	VLT13	VLT12	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4の入カレベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT11			R/W
b2	VLT12	P5の入カレベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT13			R/W
b4	VLT14	P6の入カレベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT15			R/W
b6	VLT16	P7の入カレベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT17			R/W

VLT1 レジスタはポートP4～P7の入カしきい値の電圧レベルを選択するレジスタです。VLT10～VLT17ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.5.18 入力しきい値制御レジスタ 2 (VLT2)

アドレス 01F7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VLT23	VLT22	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P8の入力レベル選択ビット	$b1\ b0$ 00 : $0.50 \times VCC$ 01 : $0.35 \times VCC$ 10 : $0.70 \times VCC$ 11 : 設定しないでください	R/W
b1	VLT21			R/W
b2	VLT22			R/W
b3	VLT23	P9の入力レベル選択ビット	$b3\ b2$ 00 : $0.50 \times VCC$ 01 : $0.35 \times VCC$ 10 : $0.70 \times VCC$ 11 : 設定しないでください	R/W
b4	—			R/W
b5	—	予約ビット	"0" にしてください	R/W
b6	—			R/W
b7	—			R/W
				R/W

VLT2 レジスタはポート P8 ~ P9 の入力しきい値の電圧レベルを選択するレジスタです。VLT20 ~ VLT23 ビットによって、入力しきい値を 3 種類の電圧レベル ( $0.35VCC$ 、 $0.50VCC$ 、 $0.70VCC$ ) から選択できます。

## 7.6 ポートの設定

表7.5～表7.76にポートの設定を示します。

表7.5 P0\_0/SEG0/(TRCIOA/TRCTRG)/AN11

レジスタ	PD0	LSE0	ADINSEL						TRCPSR0	TRC OER	TRC MR	TRCIOR0			TRCCR2	機能		
ビット	PD0_0	LSE00	CH			ADG SEL		TRCIOA SEL		EA	PWM 2	IOA			TCEG			
			2	1	0	1	0	1	0			2	1	0	1		0	
端子	P0_0	0	0	X	X	X	X	X	01b以外	X	X	X	X	X	X	入力ポート(注1)		
		1	0	X	X	X	X	X	01b以外	X	X	X	X	X	X	出力ポート		
	(SEG0)	X	1	X	X	X	X	X	01b以外	X	X	X	X	X	X	LCD駆動制御出力		
	(TRCIOA)	X	0	X	X	X	X	X	0	1	0	1	0	0	1	X	タイマ波形出力(アウト プットコンペア機能)	
		0	0	X	X	X	X	X	0	1	X	1	0	1	0	X	タイマモード(インプ ットキャプチャ機能)(注1)	
	(TRCTRG)	0	0	X	X	X	X	X	0	1	X	0	X	X	X	0	1	PWM2モード(TRCTRG 入力)
	AN11	0	0	0	1	1	0	1	01b以外	X	X	X	X	X	X	X	A/Dコンバータ入力 (AN11)(注1)	

X: "0" または "1"

注1. P0PURレジスタのPU00ビットを"1"にするとプルアップありとなります。

表7.6 P0\_1/SEG1/(TRCCLK/TRCTRG)/ADTRG

レジスタ	PD0	LSE0	ADM OD	TRCPSR0				TRCMR	TRC CR2	TRCCR1			INTEN	機能		
ビット	PD0_1	LSE01	ADC AP	TRCIOA SEL		TRCCLK SEL0		PWM2	TCEG		TCK				INT7EN	
			1	0	1	0	1		0	2	1	0				
端子	P0_1	0	0	X	X	10b以外		0	X	X	X	X	X	X	入力ポート(注1)	
		1	0	X	X	10b以外		0	X	X	X	X	X	X	出力ポート	
	SEG1	X	1	X	X	10b以外		0	X	X	X	X	X	X	LCD駆動制御出力	
	INT7	0	0	X	X	10b以外		0	X	X	X	X	X	1	INT7入力(注1)	
	(TRCCLK)	0	X	X	X	10b以外		1	X	X	X	1	0	1	TRCCLK入力(注1)	
	(TRCTRG)	0	0	X	X	1	0	0	0	0	1	X	X	X	X	PWM2モード (TRCTRG入力)(注1)
	ADTRG	0	0	1	1	10b以外		0	X	X	X	X	X	X	X	ADTRG入力(注1)

X: "0" または "1"

注1. P0PURレジスタのPU01ビットを"1"にするとプルアップありとなります。

表 7.7 P0\_2/SEG2(/TRCTRG)/KI0

レジスタ		PD0	LSE0	TRCPSR0		TRCMR		TRCCR2		KI0EN	機能
ビット		PD0_2	LSE02	TRCIOASEL		PWM2	TCEG				
				1	0		1	0			
端子	P0_2	0	0	11b以外		X	X	X	X	入力ポート(注1)	
		1	0	11b以外		X	X	X	X	出力ポート	
	SEG2	X	1	11b以外		X	X	X	X	LCD駆動制御出力	
	(TRCTRG)	0	0	1	1	0	0	1	X	PWM2モードTRCTRG入力(注1)	
						1	X				
	KI0	0	0	11b以外		X	X	X	1	KI0入力(注1)	

X: "0" または "1"

注1. P0PURレジスタのPU02ビットを"1"にするとプルアップありとなります。

表 7.8 P0\_3/SEG3/INT0/KI1

レジスタ		PD0	LSE0	INTSR	INTEN	KIEN	機能
ビット		PD0_3	LSE03	INT0SEL0	INT0EN	KI1EN	
端子	P0_3	0	0	X	X	X	入力ポート(注1)
		1	0	X	X	X	出力ポート
	SEG3	X	1	X	X	X	LCD駆動制御出力
	INT0	0	0	0	1	X	INT0入力(注1)
	KI1	0	0	X	X	1	KI1入力(注1)

X: "0" または "1"

注1. P0PURレジスタのPU03ビットを"1"にするとプルアップありとなります。

表 7.9 P0\_4/SEG4/KI2

レジスタ		PD0	LSE0	KIEN	機能
ビット		PD0_4	LSE04	KI2EN	
端子	P0_4	0	0	X	入力ポート(注1)
		1	0	X	出力ポート
	SEG4	X	1	X	LCD駆動制御出力
	KI2	0	0	1	KI2入力(注1)

X: "0" または "1"

注1. P0PURレジスタのPU04ビットを"1"にするとプルアップありとなります。

表 7.10 P0\_5/SEG5/KI3

レジスタ		PD0	LSE0	KIEN	機能
ビット		PD0_5	LSE05	KI3EN	
端子	P0_5	0	0	X	入力ポート(注1)
		1	0	X	出力ポート
	SEG5	X	1	X	LCD駆動制御出力
	KI3	0	0	1	KI3入力(注1)

X: "0" または "1"

注1. P0PURレジスタのPU05ビットを"1"にするとプルアップありとなります。

表7.11 P0\_6/SEG6/KI4

レジスタ		PD0	LSE0	KIEN1	機能
ビット		PD0_6	LSE06	KI4EN1	
端子	P0_6	0	0	X	入力ポート(注1)
		1	0	X	出力ポート
	SEG6	X	1	X	LCD駆動制御出力
	KI4	0	0	1	KI4入力(注1)

X: "0" または "1"

注1. P0PURレジスタのPU06ビットを"1"にするとプルアップありとなります。

表7.12 P0\_7/SEG7/TRHO/KI5

レジスタ		PD0	LSE0	KIEN1	TRHCR	機能
ビット		PD0_7	LSE07	KI5EN1	TRHOE	
端子	P0_7	0	0	X	0	入力ポート(注1)
		1	0	X	0	出力ポート
	SEG7	X	1	X	0	LCD駆動制御出力
	TRHO	X	0	X	1	タイマ波形出力
	KI5	0	0	1	0	KI5入力(注1)

X: "0" または "1"

注1. P0PURレジスタのPU07ビットを"1"にするとプルアップありとなります。

表7.13 P1\_0/SEG8

レジスタ		PD1	LSE1	機能
ビット		PD1_0	LSE08	
端子	P1_0	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG8	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P1PURレジスタのPU10ビットを"1"にするとプルアップありとなります。

表7.14 P1\_1/SEG9

レジスタ		PD1	LSE1	機能
ビット		PD1_1	LSE09	
端子	P1_1	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG9	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P1PURレジスタのPU11ビットを"1"にするとプルアップありとなります。

表7.15 P1\_2/SEG10/KI6

レジスタ		PD1	LSE1	KIEN1	機能
ビット		PD1_2	LSE10	KI6EN1	
端子	P1_2	0	0	X	入力ポート(注1)
		1	0	X	出力ポート
	SEG10	X	1	X	LCD駆動制御出力
	KI6	0	0	1	KI6入力(注1)

X: "0" または "1"

注1. P1PURレジスタのPU12ビットを"1"にするとプルアップありとなります。

表7.16 P1\_3/SEG11/ $\overline{\text{KI7}}$ 

レジスタ		PD1	LSE1	KIEN1	機能
ビット		PD1_3	LSE11	KI7EN1	
端子	P1_3	0	0	X	入力ポート(注1)
		1	0	X	出力ポート
	SEG11	X	1	X	LCD駆動制御出力
	$\overline{\text{KI7}}$	0	0	1	$\overline{\text{KI7}}$ 入力(注1)

X: "0" または "1"

注1. P1PURレジスタのPU13ビットを"1"にするとプルアップありとなります。

表7.17 P1\_4/SEG12/ $\overline{\text{INT4}}$ 

レジスタ		PD1	LSE1	INTSR	INTEN1	機能
ビット		PD1_4	LSE14	INT4SELO	INT4EN	
端子	P1_4	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG12	X	1	X	X	LCD駆動制御出力
	$\overline{\text{INT4}}$	0	0	0	1	$\overline{\text{INT4}}$ 入力(注1)

X: "0" または "1"

注1. P1PURレジスタのPU14ビットを"1"にするとプルアップありとなります。

表7.18 P1\_5/SEG13/ $\overline{\text{INT5}}$ 

レジスタ		PD1	LSE1	INTSR	INTEN1	機能
ビット		PD1_5	LSE15	INT5SELO	INT5EN	
端子	P1_5	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG13	X	1	X	X	LCD駆動制御出力
	$\overline{\text{INT5}}$	0	0	0	1	$\overline{\text{INT5}}$ 入力(注1)

X: "0" または "1"

注1. P1PURレジスタのPU15ビットを"1"にするとプルアップありとなります。

表7.19 P1\_6/SEG14/ $\overline{\text{INT6}}$ 

レジスタ		PD1	LSE2	INTSR	INTEN1	機能
ビット		PD1_6	LSE16	INT6SELO	INT6EN	
端子	P1_6	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG14	X	1	X	X	LCD駆動制御出力
	$\overline{\text{INT6}}$	0	0	0	1	$\overline{\text{INT6}}$ 入力(注1)

X: "0" または "1"

注1. P1PURレジスタのPU16ビットを"1"にするとプルアップありとなります。

表7.20 P1\_7/SEG15

レジスタ		PD1	LSE2	INTSR	INTEN1	機能
ビット		PD1_7	LSE17	INT7SELO	INT7EN	
端子	P1_7	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG15	X	1	X	X	LCD駆動制御出力
	$\overline{\text{INT7}}$	0	0	0	1	$\overline{\text{INT7}}$ 入力(注1)

X: "0" または "1"

注1. P1PURレジスタのPU17ビットを"1"にするとプルアップありとなります。



表7.21 P2\_0/SEG16

レジスタ		PD2	LSE2	機能
ビット		PD2_0	LSE20	
端子	P2_0	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG16	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P2PURレジスタのPU20ビットを"1"にするとプルアップありとなります。

表7.22 P2\_1/SEG17

レジスタ		PD2	LSE2	機能
ビット		PD2_1	LSE21	
端子	P2_1	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG17	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P2PURレジスタのPU21ビットを"1"にするとプルアップありとなります。

表7.23 P2\_2/SEG18

レジスタ		PD2	LSE2	機能
ビット		PD2_2	LSE22	
端子	P2_2	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG18	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P2PURレジスタのPU22ビットを"1"にするとプルアップありとなります。

表7.24 P2\_3/SEG19

レジスタ		PD2	LSE2	機能
ビット		PD2_3	LSE23	
端子	P2_3	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG19	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P2PURレジスタのPU23ビットを"1"にするとプルアップありとなります。

表7.25 P2\_4/SEG20

レジスタ		PD2	LSE2	機能
ビット		PD2_4	LSE24	
端子	P2_4	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG20	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P2PURレジスタのPU24ビットを"1"にするとプルアップありとなります。

表7.26 P2\_5/SEG21

レジスタ		PD2	LSE2	機能
ビット		PD2_5	LSE25	
端子	P2_5	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG21	X	1	LCD駆動制御出力

X：“0”または“1”

注1. P2PURレジスタのPU25ビットを“1”にするとプルアップありとなります。

表7.27 P2\_6/SEG22

レジスタ		PD2	LSE2	機能
ビット		PD2_6	LSE26	
端子	P2_6	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG22	X	1	LCD駆動制御出力

X：“0”または“1”

注1. P2PURレジスタのPU26ビットを“1”にするとプルアップありとなります。

表7.28 P2\_7/SEG23

レジスタ		PD2	LSE2	機能
ビット		PD2_7	LSE27	
端子	P2_7	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG23	X	1	LCD駆動制御出力

X：“0”または“1”

注1. P2PURレジスタのPU27ビットを“1”にするとプルアップありとなります。

表7.29 P3\_0/SEG24( $\overline{\text{INT0}}$ )

レジスタ		PD3	LSE3	INTSR	INTEN	機能
ビット		PD3_0	LSE24	INT0SELO	INT0EN	
端子	P3_0	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG24	X	1	X	X	LCD駆動制御出力
	$\overline{\text{INT0}}$	0	0	1	1	$\overline{\text{INT0}}$ 入力(注1)

X：“0”または“1”

注1. P3PURレジスタのPU30ビットを“1”にするとプルアップありとなります。

表7.30 P3\_1/SEG25( $\overline{\text{INT1}}$ )

レジスタ		PD3	LSE3	INTSR	INTEN	機能
ビット		PD3_1	LSE25	INT1SELO	INT1EN	
端子	P3_1	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG25	X	1	X	X	LCD駆動制御出力
	$\overline{\text{INT1}}$	0	0	1	1	$\overline{\text{INT1}}$ 入力(注1)

X：“0”または“1”

注1. P3PURレジスタのPU31ビットを“1”にするとプルアップありとなります。

表 7.31 P3\_2/SEG26(/INT2)

レジスタ	PD3	LSE3	INTSR	INTEN	機能	
ビット	PD3_2	LSE26	INT2SELO	INT2EN		
端子	P3_2	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG26	X	1	X	X	LCD駆動制御出力
	(INT2)	0	0	1	1	INT2入力(注1)

X: "0" または "1"

注1. P3PURレジスタのPU32ビットを"1"にするとプルアップありとなります。

表 7.32 P3\_3/SEG27(/INT3)

レジスタ	PD3	LSE3	INTSR	INTEN	機能	
ビット	PD3_3	LSE27	INT3SELO	INT3EN		
端子	P3_3	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG27	X	1	X	X	LCD駆動制御出力
	(INT3)	0	0	1	1	INT3入力(注1)

X: "0" または "1"

注1. P3PURレジスタのPU33ビットを"1"にするとプルアップありとなります。

表 7.33 P3\_4/SEG28(/INT4)

レジスタ	PD3	LSE3	INTSR	INTEN	機能	
ビット	PD3_4	LSE28	INT4SELO	INT4EN		
端子	P3_4	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG28	X	1	X	X	LCD駆動制御出力
	(INT4)	0	0	1	1	INT4入力(注1)

X: "0" または "1"

注1. P3PURレジスタのPU34ビットを"1"にするとプルアップありとなります。

表 7.34 P3\_5/SEG29(/INT5)

レジスタ	PD3	LSE3	INTSR	INTEN	機能	
ビット	PD3_5	LSE29	INT5SELO	INT5EN		
端子	P3_5	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG29	X	1	X	X	LCD駆動制御出力
	(INT5)	0	0	1	1	INT5入力(注1)

X: "0" または "1"

注1. P3PURレジスタのPU35ビットを"1"にするとプルアップありとなります。

表 7.35 P3\_6/SEG30(/INT6)

レジスタ	PD3	LSE3	INTSR	INTEN	機能	
ビット	PD3_6	LSE30	INT6SELO	INT6EN		
端子	P3_6	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG30	X	1	X	X	LCD駆動制御出力
	(INT6)	0	0	1	1	INT6入力(注1)

X: "0" または "1"

注1. P3PURレジスタのPU36ビットを"1"にするとプルアップありとなります。

表7.36 P3\_7/SEG31(/INT7)

レジスタ	PD3	LSE3	INTSR	INTEN	機能	
ビット	PD3_7	LSE31	INT7SEL0	INT7EN		
端子	P3_7	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG31	X	1	X	X	LCD駆動制御出力
	(INT7)	0	0	1	1	INT7入力(注1)

X: “0” または “1”

注1. P3PURレジスタのPU37ビットを“1”にするとプルアップありとなります。

表7.37 P4\_0/SEG32

レジスタ	PD4	LSE4	機能	
ビット	PD4_0	LSE32		
端子	P4_0	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG32	X	1	LCD駆動制御出力

X: “0” または “1”

注1. P4PURレジスタのPU40ビットを“1”にするとプルアップありとなります。

表7.38 P4\_1/SEG33

レジスタ	PD4	LSE4	機能	
ビット	PD4_1	LSE33		
端子	P4_1	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG33	X	1	LCD駆動制御出力

X: “0” または “1”

注1. P4PURレジスタのPU41ビットを“1”にするとプルアップありとなります。

表7.39 P4\_2/SEG34

レジスタ	PD4	LSE4	機能	
ビット	PD4_2	LSE34		
端子	P4_2	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG34	X	1	LCD駆動制御出力

X: “0” または “1”

注1. P4PURレジスタのPU42ビットを“1”にするとプルアップありとなります。

表7.40 P4\_3/SEG35

レジスタ	PD4	LSE4	機能	
ビット	PD4_3	LSE35		
端子	P4_3	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG35	X	1	LCD駆動制御出力

X: “0” または “1”

注1. P4PURレジスタのPU43ビットを“1”にするとプルアップありとなります。

表7.41 P4\_4/SEG36

レジスタ		PD4	LSE4	機能
ビット		PD4_4	LSE36	
端子	P4_4	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG36	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P4PURレジスタのPU44ビットを"1"にするとプルアップありとなります。

表7.42 P4\_5/SEG37

レジスタ		PD4	LSE4	機能
ビット		PD4_5	LSE37	
端子	P4_5	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG37	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P4PURレジスタのPU45ビットを"1"にするとプルアップありとなります。

表7.43 P4\_6/SEG38

レジスタ		PD4	LSE4	機能
ビット		PD4_6	LSE38	
端子	P4_6	0	0	入力ポート(注1)
		1	0	出力ポート
	SEG38	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P4PURレジスタのPU46ビットを"1"にするとプルアップありとなります。

表7.44 P4\_7/SEG39/COMEXP

レジスタ		PD4	LSE	LCR4		機能
ビット		PD4_7	LSE39	LCTZS	COMEXP	
端子	P4_7	0	0	X	X	入力ポート(注1)
		1	0	X	X	出力ポート
	SEG39	X	1	0	0	LCD駆動制御出力
	COMEXP	X	1	1	1	LCD駆動制御出力(メモリ性液晶パネル用)

X: "0" または "1"

注1. P4PURレジスタのPU47ビットを"1"にするとプルアップありとなります。

表7.45 P5\_0/COM3

レジスタ		PD5	LSE5	機能
ビット		PD5_0	LCOM0	
端子	P5_0	0	0	入力ポート(注1)
		1	0	出力ポート
	COM3	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P5PURレジスタのPU50ビットを"1"にするとプルアップありとなります。

表7.46 P5\_1/COM2

レジスタ		PD5	LSE5	機能
ビット		PD5_1	LCOM1	
端子	P5_1	0	0	入力ポート(注1)
		1	0	出力ポート
	COM2	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P5PURレジスタのPU51ビットを"1"にするとプルアップありとなります。

表7.47 P5\_2/COM1

レジスタ		PD5	LSE5	機能
ビット		PD5_2	LCOM2	
端子	P5_2	0	0	入力ポート(注1)
		1	0	出力ポート
	COM1	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P5PURレジスタのPU52ビットを"1"にするとプルアップありとなります。

表7.48 P5\_3/COM0

レジスタ		PD5	LSE5	機能
ビット		PD5_3	LCOM3	
端子	P5_3	0	0	入力ポート(注1)
		1	0	出力ポート
	COM0	X	1	LCD駆動制御出力

X: "0" または "1"

注1. P5PURレジスタのPU53ビットを"1"にするとプルアップありとなります。

表7.49 P5\_4/VL1

レジスタ		PD5	LSE5	機能
ビット		PD5_4	LVL1P1	
端子	P5_4	0	0	入力ポート
		1	0	出力ポート
	VL1	X	1	VL1電圧入力

X: "0" または "1"

表7.50 P5\_5/VL2

レジスタ		PD5	LSE5	機能
ビット		PD5_5	LVL2P2	
端子	P5_5	0	0	入力ポート
		1	0	出力ポート
	VL2	X	1	VL2電圧入力

X: "0" または "1"

表7.51 P5\_6/VL3

レジスタ		PD5	LSE5	機能
ビット		PD5_6	LVL3P3	
端子	P5_6	0	0	入力ポート
		1	0	出力ポート
	VL3	X	1	VL3電圧入力

X: "0" または "1"

表7.52 P6\_0/(TRJ2IO)/AN3

レジスタ		PD6	ADINSEL					TRBSR		TRJ2IOC	TRJ2MR			機能
ビット		PD6_0	CH			ADGSEL		TRJ2IOSEL		TOPCR	TMOD			
			2	1	0	1	0	1	0		2	1	0	
端子	P6_0	0	X	X	X	X	X	01b以外		1	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	01b以外		1	X	X	X	出力ポート
	AN3	0	0	1	1	0	0	01b以外		1	X	X	X	A/Dコンバータ入力(AN3)(注1)
	(TRJ2IO)	X	X	X	X	X	X	0	1	0	0	0	1	パルス出力モード
										0	0	1	0	イベントカウンタモード
										0	0	1	1	パルス幅測定モード
0										1	0	0	パルス周期測定モード	

X: "0" または "1"

注1. P6PURレジスタのPU60ビットを"1"にするとプルアップありとなります。

表7.53 P6\_1/(TRJ1IO/SCS)/AN4

レジスタ		PD6	ADINSEL					TRJSR		TRJ1IOC	TRJ1MR			SSUICSR	SSMR2		機能
ビット		PD6_1	CH			ADGSEL		TRJ1IOSEL		TOPCR	TMOD			SCSSEL0	CSS		
			2	1	0	1	0	1	0		2	1	0		1	0	
端子	P6_1	0	X	X	X	X	X	01b以外		1	X	X	X	X	0	0	入力ポート(注1)
		1	X	X	X	X	X	01b以外		1	X	X	X	X	0	0	出力ポート
	AN4	0	1	0	0	0	0	01b以外		1	X	X	X	X	0	0	A/Dコンバータ入力(AN4)(注1)
	(TRJ1IO)	X	X	X	X	X	X	0	1	0	0	0	1	X	0	0	パルス出力モード
										0	0	1	0				イベントカウンタモード
										0	0	1	1				パルス幅測定モード
										0	1	0	0				パルス周期測定モード
	(SCS)	0	X	X	X	X	X	X	X	1	X	X	X	1	0	1	SCS入力(注1)
1										X	X	X	1	1	X	SCS出力(注2)	

X: "0" または "1"

注1. P6PURレジスタのPU61ビットを"1"にするとプルアップありとなります。

注2. SSMR2レジスタのCSOSビットを"1"にするとNチャンネルオープンドレイン出力になります。

表 7.54 P6\_2/(TRJ0IO/SSI)/AN5

レジスタ		PD6	ADINSEL				TRJSR	TRJ0IOC	TRJ0MR	SSUICSR			SSU関連レジスタ	機能			
ビット		PD6_2	CH			ADGSEL	TRJ0IOSEL	TOPCR	TMOD			SSI SEL0			IIC SEL		
			2	1	0	1	0		1	0	2	1			0		
端子	P6_2	0	X	X	X	X	X	01b以外	1	X	X	X	0	X	シンクロナスシリアル コミュニケーションユニット («表 24.4 通信モードと入出力端子の関係」参照)	入力ポート(注1)	
		1	X	X	X	X	X	01b以外	1	X	X	X	0	X		出力ポート	
	(TRJ0IO)	X	X	X	X	X	X	0	1	0	0	0	1	0		X	A/Dコンバータ入力(AN5)(注1)
										0	0	1	0				イベントカウンタモード
										0	0	1	1				パルス幅測定モード
										0	1	0	0				パルス周期測定モード
	(SSI)	0	X	X	X	X	X	01b以外	1	X	X	X	1	0		SSI入力(注1)	
		X	X	X	X	X	X	01b以外	1	X	X	X	1	0		SSI出力(注2)	

X: "0" または "1"

注1. P6PURレジスタのPU62ビットを"1"にするとプルアップありとなります。

注2. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

表 7.55 P6\_3/(SSCK/SCL)/AN6

レジスタ		PD6	ADINSEL				SSUICSR			ICCR1	SSMR2	SSU関連レジスタ	機能
ビット		PD6_3	CH			ADGSEL	SSCKSEL0	IICSEL	ICE	SCKS			
			2	1	0	1					0		
端子	P6_3	0	X	X	X	X	X	0	X	0	シンクロナスシリアル コミュニケーションユニット («表 24.4 通信モードと入出力端子の関係」参照)	入力ポート(注1)	
		1	X	X	X	X	X	X	0	0		出力ポート	
	AN6	0	1	1	0	0	0	X	0	X		0	A/Dコンバータ入力(AN6)(注1)
									1	0		0	SCL入出力
	(SCL)	0	X	X	X	X	X	1	1	1		0	
	(SSCK)	0	X	X	X	X	X	1	0	X		1	SCK入力(注1)
0		X	X	X	X	X	1	0	X	1	SCK出力(注2)		

X: "0" または "1"

注1. P6PURレジスタのPU63ビットを"1"にするとプルアップありとなります。

注2. SSMR2レジスタのSCKDSビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このときPD6レジスタのPD6\_3ビットを"0"にしてください。



表7.56 P6\_4(/SSO/SDA)/AN7

レジスタ		PD6	ADINSEL					SSUICSR		ICCR1	SSU関連レジスタ	機能
ビット		PD6_4	CH			ADGSEL		SSOSEL0	IICSEL	ICE		
			2	1	0	1	0					
端子	P6_4	0	X	X	X	X	X	0	1 0	0 X	シンクロナス シリアル コミュニケーション ユニット(「表 24.4 通信モードと入出力 端子の関係」参照)	入力ポート(注1)
		1	X	X	X	X	X	0	1 0	0 X		出力ポート
	AN7	0	1	1	1	0	0	0	1 0	0 X		A/Dコンバータ入力 (AN7)(注1)
	(SDA)	0	X	X	X	X	X	1	1	1		SDA入出力
	(SSO)	0	X	X	X	X	X	1	0	X		SSO入力(注1)
		0	X	X	X	X	X	1	0	X		SSO出力(注2)

X: "0" または "1"

注1. P6PURレジスタのPU64ビットを"1"にするとプルアップありとなります。

注2. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

表7.57 P6\_5/(TRCIOD/TRCIOB)/IVREF1/(TRB1O)/AN8

レジスタ		PD6	ADINSEL						TRC PSR0		TRC PSR1	TRC OER		TRCMR			TRC IOR0			TRC IOR1			INT CMP	TRB 1IOC	TRB SR	TRB 1MR	機能			
ビット	PD 6_5	CH			ADG SEL			TRC IOB SEL		TRC IOD SEL0	EB	EC	PWM			IOB			IOC			INT1 CP0	TOCNT	TRB1 OSEL				TM OD		
		2	1	0	1	0	1	0	1				0	2	B	C	2	1	0	2	1			0	1	0			1	0
端子	P6_5	0	X	X	X	X	X	X	11b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	01b 以外	0	0	入力ポート (注1)	
		1 X	X	X	X	X	X	X	11b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	01b 以外	0 X	0 X	出力ポート	
	AN8	0	0	0	0	0	0	1	11b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	01b 以外	0	0	A/Dコン バータ入力 (AN8)(注1)		
	(TRCIOB)	X	X	X	X	X	X	X	1	1	0	0	X	0	X	X	X	X	X	X	X	X	X	X	X	01b 以外	0	0	PWM2モード 波形出力	
		X	X	X	X	X	X	X	1	1	0	0	X	1	1	X	X	X	X	X	X	X	X	X	X	01b 以外	0	0	PWMモード 波形出力	
		X	X	X	X	X	X	X	1	1	0	0	X	1	0	X	0	0	1	X	X	X	X	X	X	01b 以外	0	0	タイマ波形 出力(アウト プットコン ペア機能)	
		0	X	X	X	X	X	X	1	1	0	X	X	1	0	X	1	0	X	X	X	X	X	X	X	01b 以外	0	0	タイマモード (インプット キャプ チャ機能) (注1)	
	(TRCIOD)	X	X	X	X	X	X	X	X	1	X	0	1	X	1	X	X	X	X	X	X	X	X	X	01b 以外	0	0	PWMモード 波形出力		
		X	X	X	X	X	X	X	X	1	X	0	1	X	0	X	X	X	0	0	1	X	X	X	01b 以外	0	0	タイマ波形 出力(アウト プットコン ペア機能)		
		0	X	X	X	X	X	X	X	1	X	X	1	X	0	X	X	X	1	X	X	X	X	X	01b 以外	0	0	タイマモード (インプット キャプ チャ機能) (注1)		
	IVREF1	0	X	X	X	X	X	X	11b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	1	X	01b 以外	0	0	コンパレー タB1リファ レンス電圧 入力 (IVREF1)		
	(TRB1O)	X	X	X	X	X	X	X	11b 以外	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	1	0	1	プログラ ムブル波 形発生 モード (パ ルス出力)
		X	X	X	X	X	X	X	11b 以外	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	1	1	0	プログラ ムブルワ ンショッ ト波 形発生 モード
		X	X	X	X	X	X	X	11b 以外	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	1	1	1	プログラ ムブルウ ェイト ワンス ショッ ト波 形発生 モード

X: "0" または "1"

注1. P6PURレジスタのPU65ビットを"1"にするとプルアップありとなります。

表7.58 P6\_6/(TRCIOC/TRCIOB)/IVREF3/(TRB00)/AN9

レジスタ	PD6	ADINSEL						TRC PSR0		TRC PSR1	TRC OER		TRCMR			TRC IOR0			TRC IOR1			INT CMP	TRB OIOC	TRB SR	TRB OMR	機能			
ビット	PD 6_6	CH			ADG SEL			TRC IOB SEL		TRC IOCS ELO	EB	EC	PWM			IOB			IOC			INT1 CP0	TOCNT	TRB0 OSEL			TM OD		
		2	1	0	1	0	1	0	1	0			2	B	C	2	1	0	2	1	0			1	0		1	0	
端子	P6_6	0	X	X	X	X	X	X	10b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	10b 以外	0	0	入力ポート (注1)
		1 X	X	X	X	X	X	X	10b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X 1	10b 以外	0	0	出力ポート
	AN9	0	0	0	1	0	1	10b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	10b 以外	0	0	A/Dコン バータ入力 (AN9)(注1)	
	(TRCIOB)	X	X	X	X	X	X	1	0	0	0	X	0	X	X	X	X	X	X	X	X	X	X	X	10b 以外	0	0	PWM2モード 波形出力	
		X	X	X	X	X	X	1	0	0	0	X	1	1	X	X	X	X	X	X	X	X	X	X	10b 以外	0	0	PWMモード 波形出力	
		X	X	X	X	X	X	1	0	0	0	X	1	0	X	0	0	1	X	X	X	X	X	10b 以外	0	0	タイマ波形 出力(アウト プットコン ペア機能)		
		0	X	X	X	X	X	1	0	0	X	X	1	0	X	1	1	0	X	X	X	X	X	10b 以外	0	0	タイマモード (インプット キャプ チャ機能) (注1)		
	(TRCIOC)	X	X	X	X	X	X	X	1	X	0	1	X	1	X	X	X	X	X	X	X	X	X	X	10b 以外	0	0	PWMモード 波形出力	
		X	X	X	X	X	X	X	1	X	0	1	X	0	X	X	X	0	0	1	X	X	X	X	X	10b 以外	0	0	タイマ波形 出力(アウト プットコン ペア機能)
		0	X	X	X	X	X	X	1	X	X	1	X	0	X	X	X	1	X	X	X	X	X	X	X	10b 以外	0	0	タイマモード (インプット キャプ チャ機能) (注1)
	IVREF3	0	X	X	X	X	X	10b 以外	0	X	X	X	X	X	X	X	X	X	X	X	X	1	X	10b 以外	0	0	コンパレー タB1リファ レンス電圧 入力 (IVREF3)		
	(TRB00)	X	X	X	X	X	X	10b 以外	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1	0	0	1	プログラ ムブル波 形発生モ ード(パ ルス出力)	
		X	X	X	X	X	X	10b 以外	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1	0	1	0	プログラ ムブルワ ンショッ ト波 形発生モ ード	
		X	X	X	X	X	X	10b 以外	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1	0	1	1	プログラ ムブルウ ェイトワ ンショッ ト波 形発生モ ード	

X: "0" または "1"

注1. P6PURレジスタのPU66ビットを"1"にするとプルアップありとなります。

表7.59 P6\_7(/TRCIOB)/AN10

レジスタ		PD6	ADINSEL				TRCPSR0		TRCOER	TRCMR			TRCIOR0			機能	
ビット		PD6_7	CH			ADGSEL		TRCIOBSEL		EB	PWM			IOB			
			2	1	0	1	0	1	0		2	B	D	2	1		0
端子	P6_7	0	X	X	X	X	X	10b以外		X	X	X	X	X	X	入力ポート(注1)	
		1	X	X	X	X	X	10b以外		X	X	X	X	X	X	出力ポート	
	AN10	0	0	1	0	0	1	10b以外		X	X	X	X	X	X	A/Dコンバータ入力(AN10)(注1)	
	(TRCIOB)		X	X	X	X	X	0	1	0	0	X	X	X	X	X	PWM2モード波形出力
			X	X	X	X	X	0	1	0	1	1	X	X	X	X	PWMモード波形出力
			X	X	X	X	X	0	1	0	1	0	X	0	0	1	タイマ波形出力(アウトプットコンペア機能)
			0	X	X	X	X	0	1	X	1	0	X	0	X	1	タイマモード(インプットキャプチャ機能)(注1)

X: "0" または "1"

注1. P6PURレジスタのPU67ビットを"1"にするとプルアップありとなります。

表7.60 P7\_0(/CLK2)/TRJ2O/WKUP1

レジスタ		PD7	U2SR1		U2MR			機能	
ビット		PD7_0	CLK2SEL		SMD				
			1	0	2	1	0		CKDIR
端子	P7_0	0	01b以外		X	X	X	X	入力ポート(注1)
		1	01b以外		X	X	X	X	出力ポート(注2)
	(CLK2)	0	0	1	X	X	X	1	CLK2入力(注1)
		0	0	1	0	0	1	0	CLK2出力(注2、3)
	TRJ2O	X	01b以外		X	X	X	X	パルス出力モード(注2)
	WKUP1	0	01b以外		X	X	X	X	WKUP1入力(注1)

X: "0" または "1"

注1. P7PURレジスタのPU70ビットを"1"にするとプルアップありとなります。

注2. P7DRRレジスタのP7DRR0ビットを"1"にすると、駆動能力Highの出力となります。

注3. U2SMR3レジスタのNODCビットを"1"にするとNチャンネルオープンドレイン出力になります。

表7.61 P7\_1(/TXD2/SDA2/RXD2/SCL2)/TRJ1O

レジスタ		PD7	U2SR0				U2MR			U2SMR	機能
ビット		PD7_1	TXD2SEL		RXD2SEL		SMD			IICM	
			1	0	1	0	2	1	0		
端子	P7_1	0	01b以外		10b以外		X	X	X	X	入力ポート(注1)
		1	01b以外		10b以外		X	X	X	X	出力ポート(注2)
	(TXD2)	X	0	1	10b以外		0	0	1	0	TXD2出力(注2、3)
							1	0	X		
							1	1	0		
	(RXD2)	0	01b以外		1	0	X	X	X	0	RXD2入力(注2)
	(SDA2)	0	0	1	10b以外		0	1	0	1	SDA2入出力(注2、3)
	(SCL2)	0	01b以外		1	0	0	1	0	1	SCL2入出力(注2、3)
TRJ1O	X	01b以外		10b以外		X	X	X	X	パルス出力モード(注2)	

X: "0" または "1"

注1. P7PURレジスタのPU71ビットを"1"にするとプルアップありとなります。

注2. P7DRRレジスタのP7DRR1ビットを"1"にすると、駆動能力Highの出力となります。

注3. U2C0レジスタのNCHビットを"1"にするとNチャンネルオープンドレイン出力になります。このとき、PD7レジスタのPD7\_1ビットを"0"にしてください。

表7.62 P7\_2/(TXD2/SDA2/RXD2/SCL2)/TRJ00

レジスタ		PD7	U2SR0				U2MR			U2SMR	機能
ビット		PD7_2	TXD2SEL		RXD2SEL		SMD			IICM	
			1	0	1	0	2	1	0		
端子	P7_2	0	10b以外		01b以外		X	X	X	X	入力ポート(注1)
		1	10b以外		01b以外		X	X	X	X	出力ポート
	(TXD2)	X	1	0	01b以外		0	0	1	0	TXD2出力(注2)
							1	0	X		
							1	1	0		
	(RXD2)	0	10b以外		1	0	X	X	X	0	RXD2入力(注1)
	(SDA2)	0	1	0	01b以外		0	1	0	1	SDA2入出力(注2)
(SCL2)	0	10b以外		0	1	0	1	0	1	SCL2入出力(注2)	
TRJ00	X	10b以外		01b以外		X	X	X	X	パルス出力モード	

X: "0" または "1"

注1. P7PURレジスタのPU72ビットを"1"にするとプルアップありとなります。

注2. U2C0レジスタのNCHビットを"1"にするとNチャンネルオープンドレイン出力になります。このとき、PD7レジスタのPD7\_2ビットを"0"にしてください。

表7.63 P7\_3/(CTS2/RTS2)

レジスタ		PD7	U2C0		U2SR1		U2MR			機能
ビット		PD7_3	CRS	CRD	CTS2SEL		SMD			
					1	0	2	1	0	
端子	P7_3	0	X	X	01b以外		X	X	X	入力ポート(注1)
		1	X	X	01b以外		X	X	X	出力ポート
	(CTS2)	0	0	0	0	1	000b以外			CTS2入力(注1)
	(RTS2)	0	1	0	0	1	000b以外			RTS2出力

X: "0" または "1"

注1. P7PURレジスタのPU73ビットを"1"にするとプルアップありとなります。

表7.64 P7\_4/AN0

レジスタ		PD7	ADINSEL			ADGSEL		機能
ビット		PD7_4	CH			1	0	
			2	1	0			
端子	P7_4	0	X	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	出力ポート
	AN0	0	0	0	0	0	0	A/Dコンバータ入力(AN0)(注1)

X: "0" または "1"

注1. P7PURレジスタのPU74ビットを"1"にするとプルアップありとなります。

表7.65 P7\_5/TRB10/AN1

レジスタ	PD7	ADINSEL					TRB1IOC	TRBSR		TRB1MR		機能	
		CH			ADGSEL			TRB1OSEL		TMOD			
		2	1	0	1	0		1	0	1	0		
端子	P7_5	0	X	X	X	X	X	X	00b以外	0	0	入力ポート(注1)	
		1	X	X	X	X	X	X	00b以外	0	0	出力ポート	
		X	X	X	X	X	X	1	00b以外	0	0	出力ポート	
	AN1	0	0	0	1	0	0	X	00b以外	0	0	A/Dコンバータ入力(AN1)(注1)	
	TRB10	X	X	X	X	X	X	0	0	0	0	1	プログラマブル波形発生モード (パルス出力)
		X	X	X	X	X	X	0	0	0	1	0	プログラマブルワンショット 波形発生モード
X		X	X	X	X	X	0	0	0	1	1	プログラマブルウェイトワン ショット波形発生モード	

X: "0" または "1"

注1. P7PURレジスタのPU75ビットを"1"にするとプルアップありとなります。

表7.66 P7\_6/(TRB00)/AN2

レジスタ	PD7	ADINSEL					VCA2	TRB1IOC	TRBSR		TRB1MR		機能	
		CH			ADGSEL		VCA24		TRB0OSEL		TMOD			
		2	1	0	1	0	1		0	1	0			
端子	P7_6	0	X	X	X	X	X	X	01b以外	0	0	入力ポート(注1)		
		1	X	X	X	X	X	X	01b以外	0	0	出力ポート		
		X	X	X	X	X	X	1	01b以外	0	0	出力ポート		
	AN2	0	0	1	0	0	0	X	X	01b以外	0	0	A/Dコンバータ入力(AN2)(注1)	
	(TRB00)	X	X	X	X	X	X	X	0	0	1	0	1	プログラマブル波形発生モード (パルス出力)
		X	X	X	X	X	X	X	0	0	1	1	0	プログラマブルワンショット 波形発生モード
X		X	X	X	X	X	X	0	0	1	1	1	プログラマブルウェイトワン ショット波形発生モード	

X: "0" または "1"

注1. P7PURレジスタのPU76ビットを"1"にするとプルアップありとなります。

表7.67 P8\_0/SCS/IVCMP1/INT1

レジスタ	PD8	INTSR	INTEN	INTCMP	SSUICSR	SSMR2		機能		
						CSS				
						1	0			
端子	P8_0	0	X	X	X	X	0	0	入力ポート(注1)	
		1	X	X	X	X	X	0	0	出力ポート(注2)
	SCS	0	X	X	X	0	0	0	1	SCS入力(注1)
		0	X	X	X	0	0	1	X	SCS出力(注1、2、3)
	INT1	0	0	1	0	X	0	0	0	INT1入力(注1)
	IVCMP1	0	X	X	1	X	0	0	0	コンパレータB1入力(IVCMP1)

X: "0" または "1"

注1. P8PURレジスタのPU80ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR0ビットを"1"にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのCSOSビットを"1"にするとNチャンネルオープンドレイン出力になります。

表7.68 P8\_1/SSI/IVCMP3/INT3

レジスタ	PD8	INTSR	INTEN	INTCMP	SSUICSR		SSU関連レジスタ	機能	
ビット	PD8_1	INT3SEL0	INT3EN	INT3CP0	SSISEL0	IICSEL			
端子	P8_1	0	X	X	X	X	シンクロナス シリアル コミュニケーション ユニット(「表 24.4 通信モードと入出 力端子の関係」参照)	入力ポート(注1)	
		1	X	X	X	X		出力ポート(注2)	
	SSI	0	X	X	X	0		0	SSI入力(注1)
		X	X	X	X	0		0	SSI出力(注1、2、3)
	INT3	0	0	1	0	X		X	INT3入力(注1)
IVCMP3	0	X	X	1	X	X	コンパレータB1入力 (IVCMP3)		

X: "0" または "1"

注1. P8PURレジスタのPU81ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR1ビットを"1"にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

表7.69 P8\_2/SSCK/SCL(TRJ1IO)

レジスタ	PD8	TRJSR		TRJ1IOC	TRJ1MR			SSUICSR		ICCR1	SSMR2	SSU関連 レジスタ	機能	
		TRJ1IOSEL		TOPCR	TMOD			SSCK SEL0	IICSEL	ICE	SCKS			
ビット	PD8_2	1	0		2	1	0					SSCK SEL0	IICSEL	ICE
端子	P8_2	0	10b以外		1	X	X	X	X	0	X	シンクロナス シリアルコミュ ニケーション ユニット (「表 24.4 通 信モードと入出 力端子の関係」 参照)	入力ポート (注1)	
		1	10b以外		1	X	X	X	X	0	X		出力ポート (注2)	
	SCL	0	10b以外		1	X	X	X	0	1	1		0	SCL入出力 (注1、2)
	SSCK	0	10b以外		1	X	X	X	0	0	X		1	SSCK入力 (注1)
		0	10b以外						0	0	X		1	SSCK出力 (注1、2、3)
	(TRJ1IO)	X	1	0	0	0	0	1	X	0	X		0	パルス出力 モード (注1、2)
			1	0	0	0	1	0	X	0	X		0	イベント カウンタ モード
		X	1	0	0	0	1	1	X	0	X		0	パルス幅 測定モード
			1	0	0	1	0	0	X	0	X		0	パルス周期 測定モード

X: "0" または "1"

注1. P8PURレジスタのPU82ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR2ビットを"1"にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSOOSビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このときPD8レジスタのPD8\_2ビットを"0"にしてください。

表 7.70 P8\_3/SSO/SDA(/TRJ0IO)

レジスタ		PD8	TRJSR		TRJ0IOC	TRJ0MR			SSUICSR			ICCR1	SSU関連レジスタ	機能
ビット		PD8_3	TRJ0IOSEL		TOPCR	TMOD			SSO SEL0	IICSEL	ICE			
			1	0		2	1	0						
端子	P8_3	0	10b以外		1	X	X	X	X	1	0	シンクロナス シリアル コミュニケー ションユニット (「表 24.4 通信 モードと入出力 端子の関係」参 照)	入力ポート(注1)	
		1	10b以外		1	X	X	X	X	0	X		出力ポート(注2)	
	SDA	0	10b以外		1	X	X	X	0	1	1		SDA入出力 (注1、2)	
	SSO	0	10b以外		1	X	X	X	0	0	X		SSO入力(注1)	
		0	10b以外						0	0	X		SSO出力 (注1、2、3)	
	(TRJ0IO)	X	1	0	0	0	0	1	X	0	X		パルス出力モード (注1、2)	
			1	0	0	0	1	0	X	0	X		イベントカウンタ モード	
			1	0	0	0	1	1	X	0	X		パルス幅測定モー ド	
			1	0	0	1	0	0	X	0	X		パルス周期測定 モード	

X: “0” または “1”

注1. P8PURレジスタのPU83ビットを“1”にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR3ビットを“1”にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSOOSビットを“1”(Nチャンネルオープンドレイン出力)かつBIDEビットを“0”(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

表 7.71 P8\_4(/CLK0/CLK2)

レジスタ		PD8	U0SR		U0MR			U2SR1		U2MR			機能		
ビット		PD8_4	CLK0SEL		SMD			CKDIR	CLK2SEL		SMD				
			1	0	2	1	0		1	0	2	1	0	CKDIR	
端子	P8_4	0	01b以外		X	X	X	X	10b以外		X	X	X	X	入力ポート(注1)
		1	01b以外		X	X	X	X	10b以外		X	X	X	X	出力ポート(注2)
	(CLK0)	0	0	1	X	X	X	1	10b以外		X	X	X	X	CLK0(外部クロック入力)(注1)
		X	0	1	0	0	1	0	10b以外		X	X	X	X	CLK0(内部クロック出力)(注2)
	(CLK2)	0	01b以外		X	X	X	X	1	0	X	X	X	1	CLK2(外部クロック入力)(注1)
		X	01b以外		X	X	X	X	1	0	0	0	1	0	CLK2(内部クロック出力)(注2、3)

X: “0” または “1”

注1. P8PURレジスタのPU84ビットを“1”にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR4ビットを“1”にすると、駆動能力Highの出力となります。

注3. U2SMR3レジスタのNODCビットを“1”にすると、Nチャンネルオープンドレイン出力になります。このときPD8レジスタのPD8\_4ビットを“0”にしてください。



表7.72 P8\_5/(TXD0/TXD2/SDA2)

レジスタ		PD8	U0SR		U0MR			U2SR0		U2MR			U2SMR	機能	
ビット		PD8_5	TXD0SEL		SMD			TXD2SEL		SMD			IICM		
			1	0	2	1	0	1	0	2	1	0			
端子	P8_5	0	01b以外		X	X	X	11b以外		X	X	X	X	入力ポート(注1)	
		1	01b以外		X	X	X	11b以外		X	X	X	X	出力ポート(注2)	
	(TXD0)	X	0	1	0	0	1	11b以外		X	X	X	X	X	TXD0出力(注2)
					1	0	X								
					1	1	0								
	(TXD2)	X	01b以外	X	X	X	1	1	0	0	1	0	TXD2出力(注2、3)		
1									0	X					
1									1	0					
(SDA2)	0	01b以外	X	X	X	1	1	0	1	0	1	SDA2入出力(注2、3)			

X: "0" または "1"

注1. P8PURレジスタのPU85ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR5ビットを"1"にすると、駆動能力Highの出力となります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このときPD8レジスタのPD8\_5ビットを"0"にしてください。

表7.73 P8\_6/(RXD0/RXD2/SCL2)

レジスタ		PD8	U0SR		U2SR0		U2MR			U2SMR	機能
ビット		PD8_6	RXD0SEL		RXD2SEL		SMD			IICM	
			1	0	1	0	2	1	0		
端子	P8_6	0	01b以外		11b以外		X	X	X	X	入力ポート(注1)
		1	01b以外		11b以外		X	X	X	X	出力ポート(注2)
	(RXD0)	0	0	1	11b以外		X	X	X	X	RXD0入力(注2)
	(RXD2)	0	01b以外		1	1	X	X	X	1	RXD2入力(注2)
	(SCL2)	0	01b以外		1	1	0	1	0	1	SCL2入出力(注3)

X: "0" または "1"

注1. P8PURレジスタのPU86ビットを"1"にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR6ビットを"1"にすると、駆動能力Highの出力となります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このときPD8レジスタのPD8\_6ビットを"0"にしてください。

表7.74 P8\_7/TRB00/INT2/(CTS2/RTS2)

レジスタ	PD8	TRB0 IOC	TRBSR		TRB0MR		INTSR	INTEN	U2C0		U2SR1		U2MR			機能		
			TRB0OSEL		TMOD				INT2 SEL0	INT2 EN	CRS	CRD	CTSSEL		SMD			
			1	0	1	0							1	0	2		1	0
端子	P8_7	0	X	00b以外		0	0	X	X	X	X	10b以外		X	X	X	入力ポート(注1)	
		1	X	00b以外		0	0	X	X	X	X	10b以外		X	X	X	出力ポート(注2)	
		X	1	00b以外		0	0	X	X	X	X	10b以外		X	X	X	出力ポート(注2)	
	TRB00	X	0	0	0	0	1	X	X	X	X	10b以外		X	X	X	プログラマブル 波形発生モード (パルス出力)(注2)	
		X	0	0	0	1	0	X	X	X	X	10b以外		X	X	X	プログラマブル ワンショット波形 発生モード(注2)	
		X	0	0	0	1	1	X	X	X	X	10b以外		X	X	X	プログラマブルウェ イトワンショット波 形発生モード(注2)	
	INT2	0	X	00b以外		0	0	0	1	X	X	10b以外		X	X	X	INT2入力(注1)	
	(CTS2)	0	X	00b以外		0	0	X	X	0	0	1	0	000b以外			CTS2入力(注1)	
	(RTS2)	0	X	00b以外		0	0	X	X	1	0	1	0	000b以外			RTS2出力(注2)	

X：“0”または“1”

注1. P8PURレジスタのPU87ビットを“1”にするとプルアップありとなります。

注2. P8DRRレジスタのP8DRR7ビットを“1”にすると、駆動能力Highの出力となります。

表7.75 P9\_0/XIN

レジスタ	PD9	CM0		CM1			機能	発振バッファ	帰還抵抗	
		CM05	CM07	CM10	CM11	CM13				
端子	P9_0	0	1	X	0	1	0	入力ポート(注1)	OFF	OFF
		1	1	X	0	1	0	出力ポート	OFF	OFF
	XIN	0	0	0	0	1	0	XINクロック入力(注1)	ON	ON
		0	0	0	1	1	0	XINクロック入力停止 (STOPモード)(注1)	ON	ON
		0	0	0	0	0	1	XIN-XOUT発振(内部帰還抵抗有効)	ON	ON
		0	0	0	0	1	1	XIN-XOUT発振(内部帰還抵抗無効)	ON	OFF
		0	1	0	0	0	1	XIN-XOUT発振停止(内部帰還抵抗 有効)	OFF	ON
		0	1	0	0	1	1	XIN-XOUT発振停止(内部帰還抵抗 無効)	OFF	OFF
		0	0	0	1	X	1	XIN-XOUT発振停止(STOPモード)	OFF	OFF

X：“0”または“1”

注1. P9PURレジスタのPU90ビットを“1”にすると、プルアップありとなります。

表 7.76 P9\_1/XOUT

レジスタ		PD9	CM0		CM1			機能	発振バッファ	帰還抵抗
ビット		PD9_1	CM05	CM07	CM10	CM11	CM13			
端子	P9_1	0	X	X	0	1	0	入力ポート(注1)	OFF	OFF
		1	X	X	0	1	0	出力ポート	OFF	OFF
	XOUT	0	0	0	0	0	1	XIN-XOUT発振(内部帰還抵抗有効)	ON	ON
		0	0	0	0	1	1	XIN-XOUT発振(内部帰還抵抗無効)	ON	OFF
		0	1	0	0	0	1	XIN-XOUT発振停止(内部帰還抵抗有効)	OFF	ON
		0	1	0	0	1	1	XIN-XOUT発振停止(内部帰還抵抗無効)	OFF	OFF
		0	0	0	1	X	1	XIN-XOUT発振停止(STOPモード)	OFF	OFF

X: "0" または "1"

注1. P9PURレジスタのPU91ビットを"1"にすると、ブルアップありとなります。

## 7.7 未使用端子の処理

表7.77に未使用端子の処理例を示します。

表7.77 未使用端子の処理例

端子名	処理内容
ポートP0~P4、P5_0~P5_6、 ポートP6、P7_0~P7_6、P8、 P9_0~P9_1	<ul style="list-style-type: none"> <li>入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2)</li> <li>出力モードに設定し、端子を開放(注1、2)</li> </ul>
XCOUT	開放
XCIN、VL1	抵抗を介してVCCに接続(プルアップ)(注2)
VREF、VL2~VL3	VCCに接続
WKUP0(注3)	VSSに接続(注3)
RESET(注4)	抵抗を介してVCCに接続(プルアップ)(注4)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定したほうがプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオフモードを使用しない時。

注4. パワーオンリセット機能使用時。

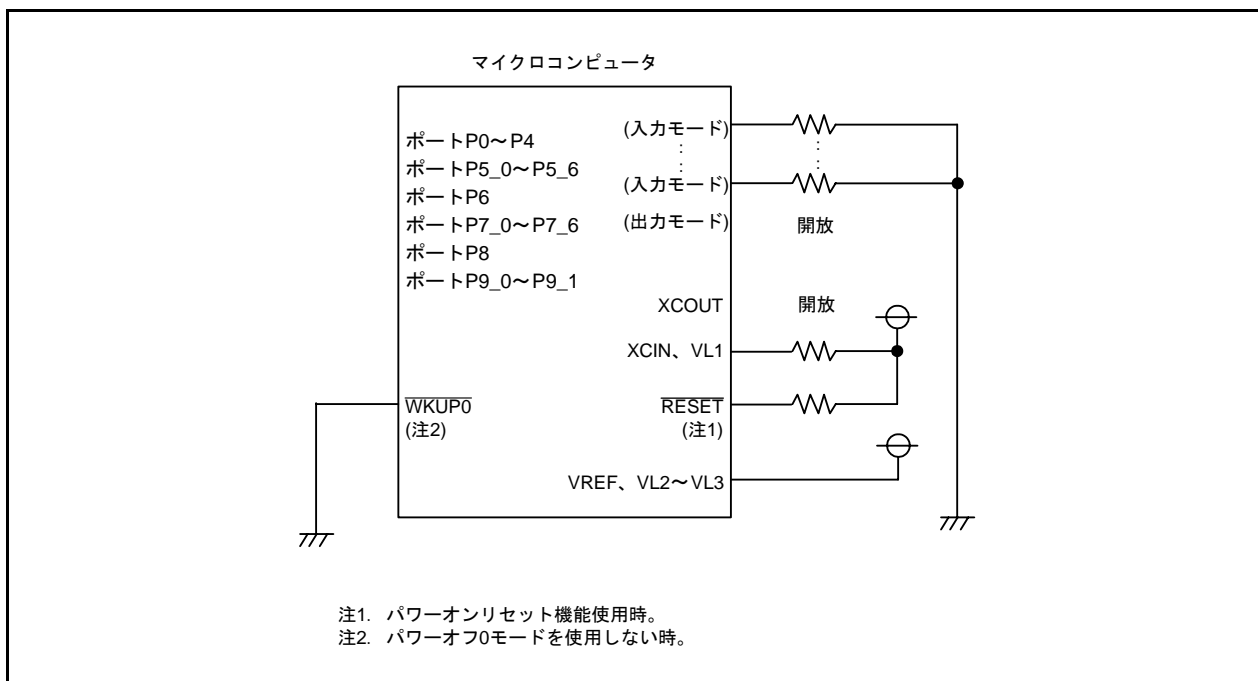


図7.7 未使用端子の処理例

## 8. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

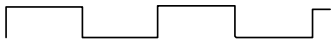
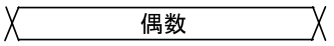

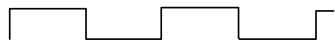

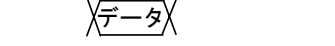
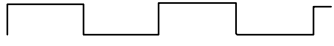
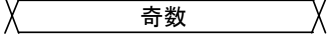
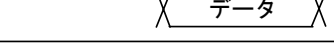
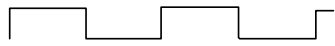

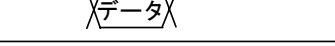

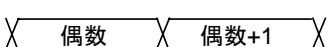

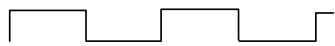
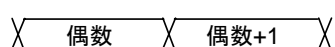
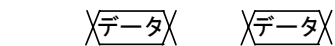

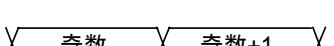
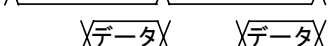
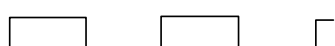
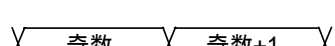
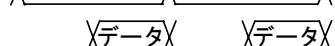
表8.1にアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表8.2にアクセス単位とバスの動作を示します。

表8.1 アクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表8.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ  データ	CPU クロック  アドレス  偶数 データ  データ
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ  データ	CPU クロック  アドレス  奇数 データ  データ
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRJ：TRJ<sub>i</sub>レジスタ(i=0~2)

SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ

UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMR  
レジスタ

A/Dコンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、  
ADCON1レジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

## 9. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

### 9.1 概要

表9.1にクロック発生回路の概略仕様を、図9.1にクロック発生回路を、図9.2に周辺機能のクロックを示します。

表9.1 クロック発生回路の概略仕様

項目	XINクロック 発振回路	XCINクロック 発振回路	オンチップオシレータ		ウォッチドッグ タイマ用低速オン チップオシレータ
			高速オンチップ オシレータ	低速オンチップ オシレータ	
用途	•CPUのクロック源 •周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源	•ウォッチドッグタイマのクロック源
クロック周波数	0~20MHz	32.768kHz	約20MHz	約125kHz	約125kHz
接続できる発振子	•セラミック共振子 •水晶発振子	•水晶発振子	—	—	—
発振子の接続端子	XIN、XOUT(注1)	XCIN、XCOUT	—(注1)	—(注1)	—
発振の開始と停止	あり	あり	あり	あり	あり
リセット後の状態	停止	発振	停止	発振	停止(注2) 発振(注3)
その他	外部で生成されたクロックを入力可能	•外部で生成されたクロックを入力可能 •帰還抵抗Rfを内蔵。(接続/非接続選択可能)	—	—	—

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP9\_0、P9\_1として使うことができます。

P9\_0端子はXIN端子と、P9\_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらをI/Oポートとして使用できません。

注2. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注3. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

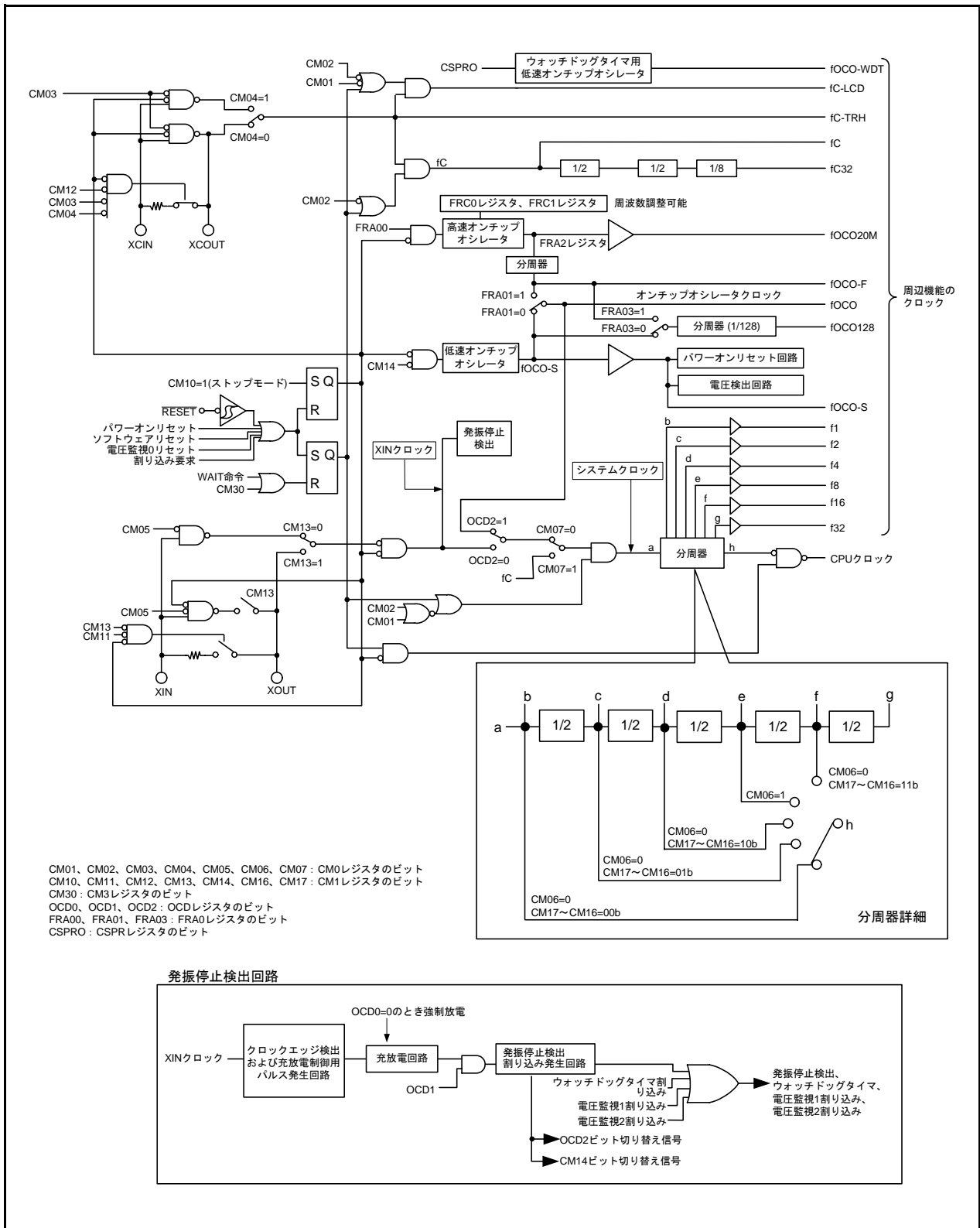


図9.1 クロック発生回路

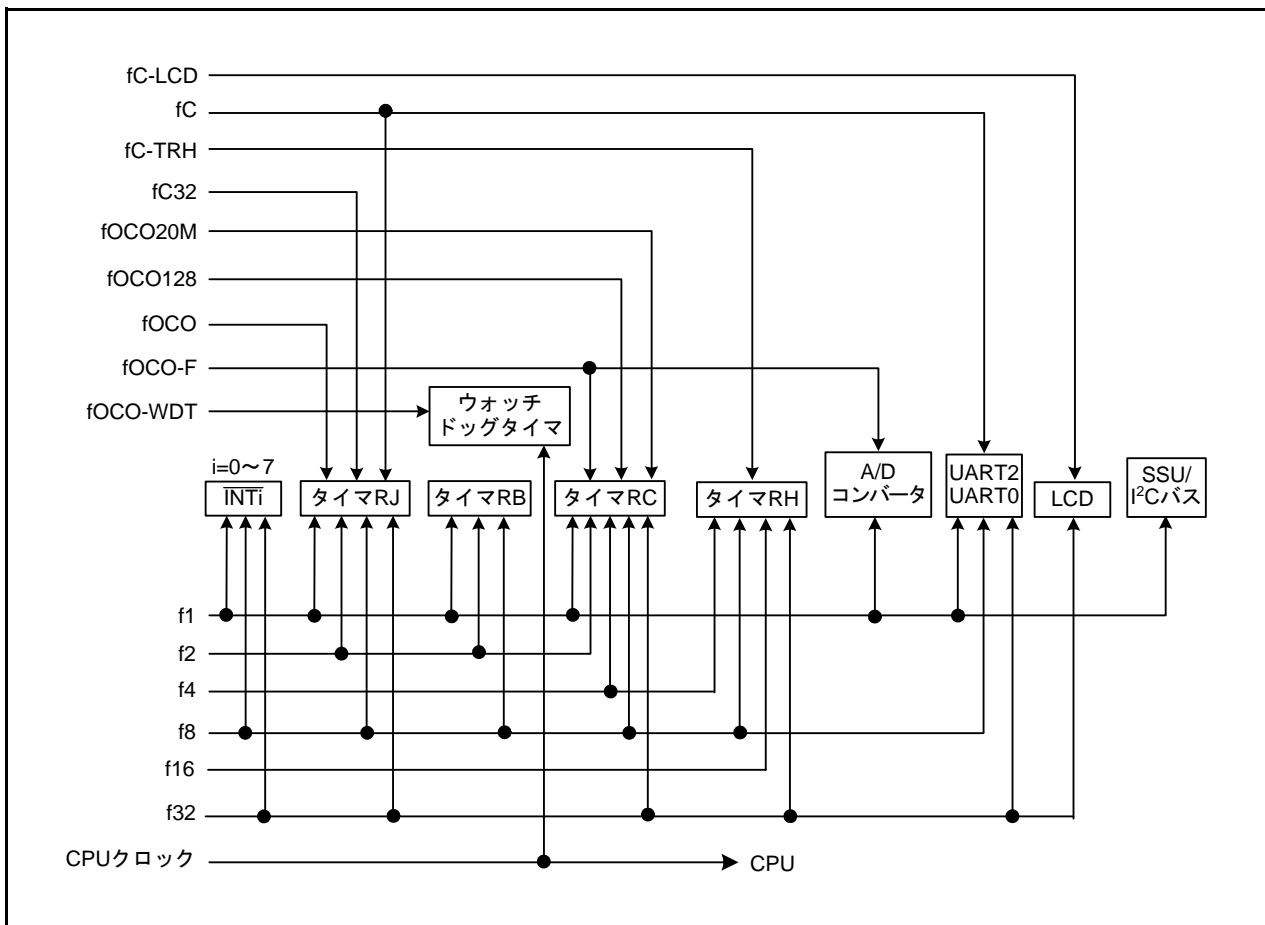


図9.2 周辺機能のクロック



## 9.2 レジスタの説明

## 9.2.1 システムクロック制御レジスタ0(CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	CM01	CM00
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM00	パワーオフ2モード移行許可ビット	0: 禁止 1: 許可(注6)	R/W
b1	CM01	ウェイトモード時周辺機能クロック停止ビット(注6)	b2 b1 00: ウェイトモード時、周辺機能クロックを停止しない 01: ウェイトモード時、f1~f32クロック停止 10: ウェイトモード時、f1~f32、fCクロック停止 11: ウェイトモード時、f1~f32、fC、fC-LCDクロック停止	R/W
b2	CM02			
b3	CM03	XCINクロック停止ビット(注5、7)	0: 発振 1: 停止	R/W
b4	CM04	XCIN外部クロック入力許可ビット	0: 外部クロック入力禁止 1: 外部クロック入力許可	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止	R/W
b6	CM06	CPUクロック分周比選択ビット0(注3)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	システムクロック選択ビット(注4)	0: XINクロック、またはオンチップオシレータクロック 1: XCINクロック	R/W

- 注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。  
(1) OCDレジスタのOCD1~OCD0ビットを“00b”にする。  
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
- 注2. CM05ビットが“1”(XINクロック停止)かつCM13ビットが“0”(入出力ポート)の場合のみ、P9\_0、P9\_1は入出力ポートとして使用できます。  
P9\_0端子はXIN端子と、P9\_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらをI/Oポートとして使用できません。
- 注3. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
- 注4. XCINクロックの発振が安定した後、CM07ビットを“0”から“1”(XCINクロック)にしてください。
- 注5. XCINクロックを使用する場合は、電源投入後およびパワーオフ解除後に、CM03ビットをいったん“1”(停止)にした後、“0”(発振)にしてください。
- 注6. CM00ビットを“1”(許可)にする場合は、CM02~CM01ビットを“11b”にしてください。
- 注7. 外部クロック入力時は、CM03ビットを“0”(発振)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 9.2.2 システムクロック制御レジスタ 1(CM1)

アドレス 0007h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注2、7、8)	0: クロック発振 1: 全クロック停止(ストップモード/パワーオフ2モード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注5、6)	0: 入出力ポートP9_0、P9_1 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

- 注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。
- 注2. CM10ビットが“1”(全クロック停止)の場合、内蔵している帰還抵抗は無効となります。ただし、パワーオフ2モードでは内蔵しているXCIN-XCOOUT帰還抵抗は無効になりません。
- 注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
- 注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。  
外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“0”(XINクロック発振)、CM11ビットを“1”(内部帰還抵抗無効)にしてください。さらに、PD9レジスタのPD9\_0ビットを“0”(入力モード)にすると外部クロックを入力できます。このとき、XOUTは入出力ポートP9\_1として設定してください。使用しない場合は、未使用端子の処理をしてください。  
P9\_0端子はXIN端子と、P9\_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらI/Oポートとして使用できません。
- 注6. CM13ビットはプログラムで一度“1”(XIN-XOUT端子)にすると、“0”(入出力ポートP9\_0、P9\_1)にはできません。
- 注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”にしないでください。
- 注8. CM0レジスタのCM00ビットが“1”(許可)の場合、パワーオフ2モードに移行します。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタの CM16、CM17ビットの設定有効 1: 分周なし(注2)	R/W
b6	CM36	ウェイトモード、ストップモード、 パワーオフ2モードから復帰時の システムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモード、パワーオフ2 モードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択(注3) 11: XINクロックを選択(注4)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード、パワーオフ2モード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモード、パワーオフ2モードから復帰時に次になります。
- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
  - FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
  - FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)
- 注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモード、パワーオフ2モードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
  - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
  - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

## 9.2.4 発振停止検出レジスタ (OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

- 注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.7.1 発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 9.2.5 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0: 低速オンチップオシレータ選択(注2) 1: 高速オンチップオシレータ選択(注3)	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0: fOCO-Sの128分周を選択 1: fOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	—	—
b5	—			
b6	—			
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが  
VCC=2.7V~5.5Vの場合は全分周モード設定可能“000b”~“111b”  
VCC=1.8V~5.5Vの場合は4分周以上の分周比“011b”~“111b”(4分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くと、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 9.2.6 高速オンチップオシレータ周波数制御レジスタ0(FRC0)

アドレス 0024h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7~b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 20MHz: FRC0=リセット後の値、FRC1=リセット後の値 18.432MHz: FR18S0レジスタの値をFRC0レジスタに転送し、かつ、 FR18S1レジスタの値をFRC1レジスタに転送。	R/W

FRC0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRC0レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

## 9.2.7 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ周波数切り替えビット	分周比選択	R/W
b1	FRA21		高速オンチップオシレータクロック分周比を選択します。	R/W
b2	FRA22		b2 b1 b0 000: 1分周モード 001: 2分周モード 010: 3分周モード 011: 4分周モード 100: 5分周モード 101: 6分周モード 110: 7分周モード 111: 8分周モード	R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

FRA2レジスタは、PRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後、書き換えてください。

## 9.2.8 高速オンチップオシレータ 18MHz 設定値レジスタ 0 (FR18S0)

アドレス 0029h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7~b0	18.432MHzの周波数調整用データが格納されます。 この値をFRC0レジスタに転送し、かつ、FR18S1レジスタの調整値をFRC1レジスタに転送することにより、調整ができます。	R

## 9.2.9 高速オンチップオシレータ 18MHz 設定値レジスタ 1 (FR18S1)

アドレス 002Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7~b0	18.432MHzの周波数調整用データが格納されます。 この値をFRC1レジスタに転送し、かつ、FR18S0レジスタの調整値をFRC0レジスタに転送することにより、調整ができます。	R

## 9.2.10 高速オンチップオシレータ周波数制御レジスタ 1 (FRC1)

アドレス 002Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7~b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 20MHz： FRC0 = リセット後の値、FRC1 = リセット後の値 18.432MHz： FR18S0レジスタの値をFRC0レジスタに転送し、かつ、FR18S1レジスタの値をFRC1レジスタに転送。	R/W

FRC1 レジスタは、PRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後、書き換えてください。

また、FRC1レジスタはFRA0レジスタのFRA00ビットが“0”（高速オンチップオシレータ停止）のときに、書き換えてください。

クロック発生回路で生成するクロックを説明します。

### 9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。

図9.3にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。

XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。

XINクロックを外部で生成されたクロックに切り換える場合、または外部で生成されたクロックをXINクロックに切り換える場合、CM05ビットは“1”(XINクロック停止)にしてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

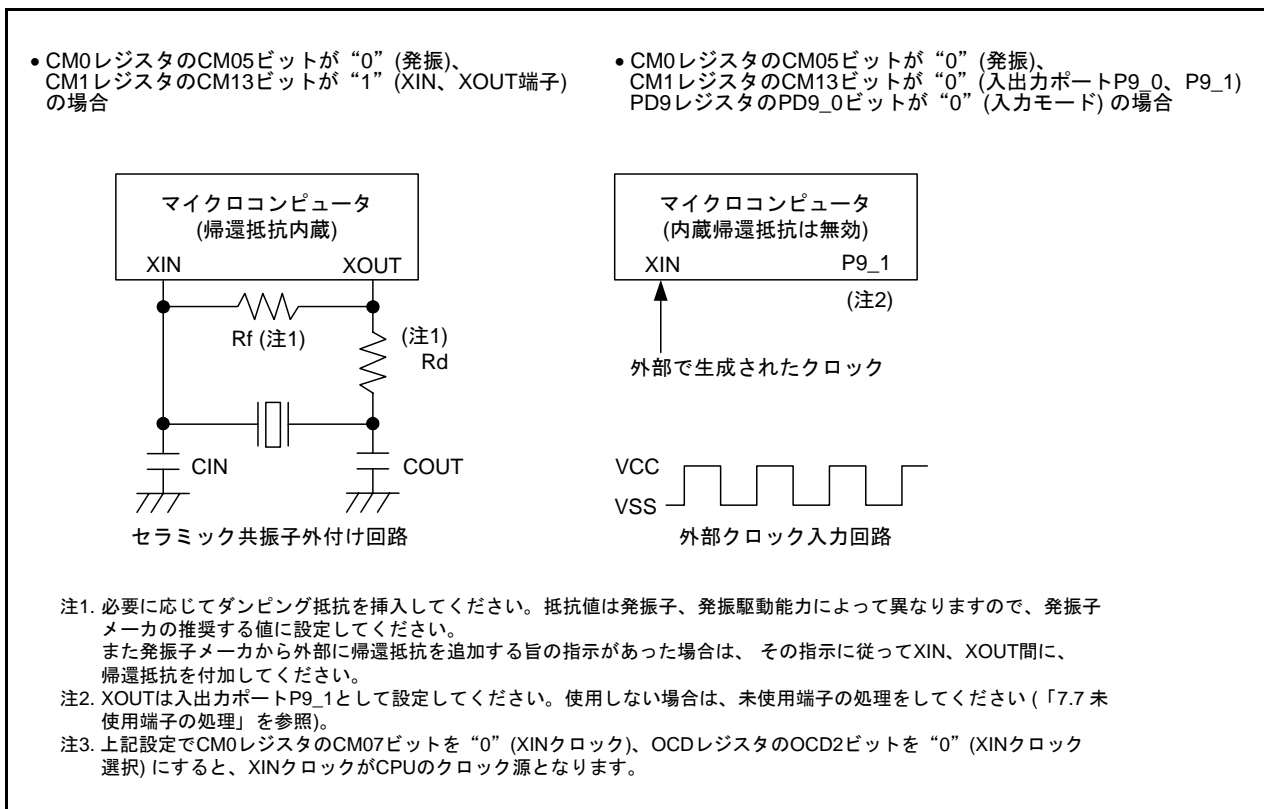


図9.3 XINクロックの接続回路例



## 9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

### 9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック(fOCO、fOCO-S、fOCO128)のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

### 9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、(fOCO、fOCO-F、fOCO20M、fOCO128)のクロック源になります。

CPUクロック、周辺クロック、fOCO、fOCO-Fのクロック源として使用する場合には、FRA2レジスタのFRA20～FRA22ビットにより、以下のように設定してください。

- VCC = 2.7 V～5.5 Vの場合、全分周モード設定可能 “000b”～“111b”
- VCC = 1.8 V～5.5 Vの場合、4分周以上の分周比 “011b”～“111b”(4分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。

また、FR18S0、FR18S1レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を18.432MHzにするには、FR18S0レジスタの調整値をFRC0レジスタへ、FR18S1レジスタの調整値をFRC1レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートを使用することができます(「表 21.8、表 22.8 UARTモード時のビットレート設定例(内部クロック選択時)」を参照)。

## 9.5 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。

図9.4にXCINクロックの接続回路例を示します。

リセットで、CM0レジスタのCM04～CM03ビットが“00b”（外部クロック入力禁止、XCINクロック発振）になり、XCINクロックが発振します（内蔵帰還抵抗は有効）。リセット後、XCINクロックが発振が安定した後、CM0レジスタのCM07ビットを“1”（XCINクロック）にするとXCINクロックがCPUのクロック源になります。

CM03ビットを“1”（XCINクロック発振停止）にするとXCINクロックは停止します。

CM04～CM03に“10b”（外部クロック入力許可、XCINクロック発振）にすると外部で生成されたクロックをXCIN端子へ入力することもできます。このとき、XCOUT端子は開放してください。

内蔵する帰還抵抗は、CM1レジスタのCM12ビットにより、内部帰還抵抗を無効／有効の切り替えも可能です。

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”（発振）にしてください。

XCINクロックを使用しない場合は、CM04～CM03を“01b”（外部クロック入力禁止、XCINクロック発振停止）、CM12を“1”（内蔵帰還抵抗無効）にしてください。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

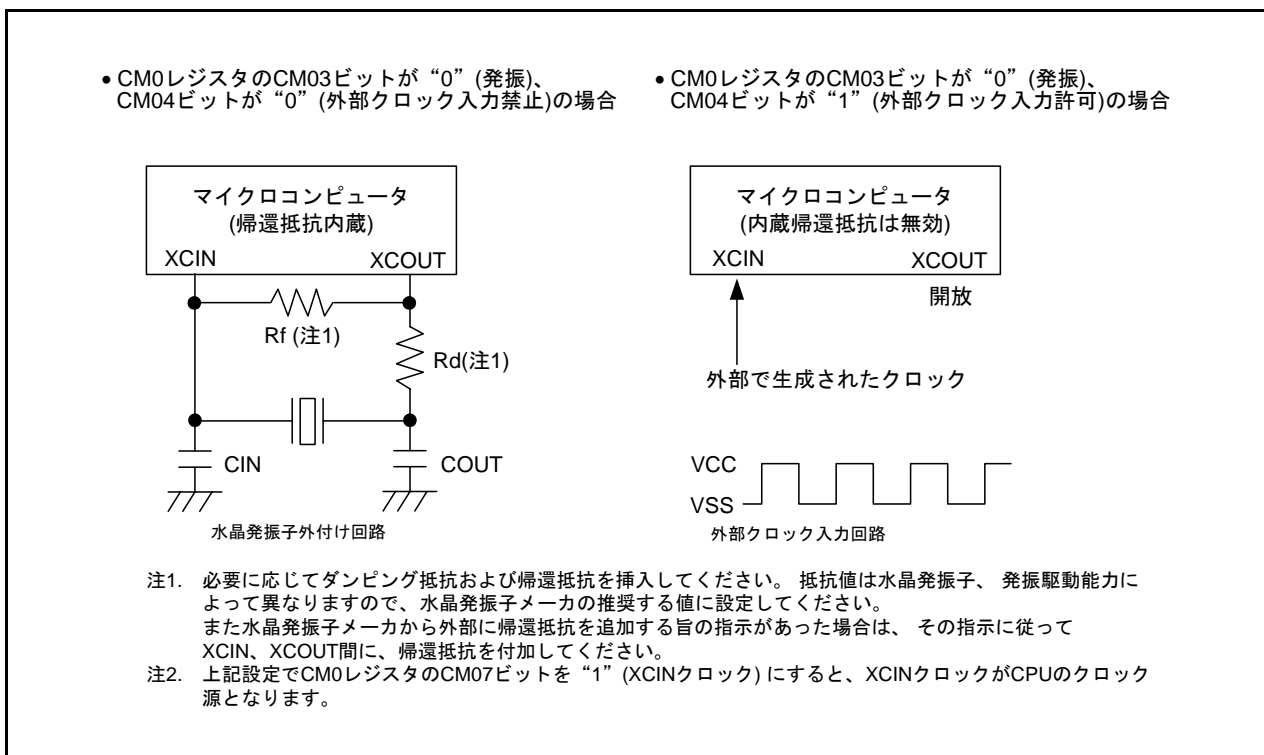


図9.4 XCINクロックの接続回路例

## 9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります。(「図9.1 クロック発生回路」参照。)

### 9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

### 9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

### 9.6.3 周辺機能クロック (f1、f2、f4、f8、f16、f32)

周辺機能の動作クロックです。

$f_i$ ( $i=1, 2, 4, 8, 16, 32$ )はシステムクロックを $i$ 分周したクロックです。 $f_i$ はタイマRJ、タイマRB、タイマRC、タイマRH、シリアルインタフェース、A/Dコンバータ、LCD波形制御回路で使用します。

CM0レジスタのCM02、CM01ビットを“01”または“10”または“11”にした後にウェイトモードに移行した場合、 $f_i$ は停止します。

### 9.6.4 fOCO

周辺機能の動作クロックです。

fOCOの周波数は、FRA0レジスタのFRA01ビットで選択したオンチップオシレータクロックの周波数です。高速オンチップオシレータの場合は、FRA2レジスタのFRA20～FRA22ビットで選択した分周比で分周された周波数です。タイマRJで使用します。fOCOはウェイトモード時、停止しません。

### 9.6.5 fOCO20M

タイマRCのカウントソースになります。

fOCO20Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO20Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC=2.7～5.5Vの範囲で使用することができます。

### 9.6.6 fOCO-F

タイマRC、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックを $i$ 分周( $i=1, 2, 3, 4, 5, 6, 7, 8$ ; FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。

### 9.6.7 fOCO-S

電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

### 9.6.8 fOCO128

fOCO-SまたはfOCO-Fを128分周したクロックです。FRA03ビットを“0”にするとfOCO-Sの128分周が選択され、“1”にすると、fOCO-Fの128分周が選択されます。

タイマRCのTRCGRAレジスタで使用するキャプチャ信号になります。

### 9.6.9 fC-LCD

fC-LCDはLCD波形制御回路で使用します。

なお、fC-LCDは、XCINクロックの発振が安定しているときに使用してください。

### 9.6.10 fC、fC32

fC、fC32はタイマRJ、シリアルインタフェースで使用します。

なお、fC、fC32は、XCINクロックの発振が安定しているときに使用してください。

### 9.6.11 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

### 9.6.12 fC-TRH

fC-TRHはタイマRHのカウントソースで使用します。

なお、fC-TRHは、XCINクロックの発振が安定しているときに使用してください。

## 9.7 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.2に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1(XINクロック停止)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.2 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(\text{XIN}) \geq 2\text{MHz}$
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

### 9.7.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。

表9.3に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。

- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。

図9.5に発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順を示します。

- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02、CM01ビットを“00”（ウェイトモード時周辺機能クロックを停止しない）にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合（ストップモードにする、またはCM05ビットを変更する）は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”（低速オンチップオシレータ選択）にした後、OCD1～OCD0ビットを“11b”にしてください。  
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”（高速オンチップオシレータ発振）にし、FRA01ビットを“1”（高速オンチップオシレータ選択）にした後、OCD1～OCD0ビットを“11b”にしてください。

表9.3 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3 = 1 (b)OCDレジスタのOCD1～OCD0 = 11bかつOCD2 = 1
ウォッチドッグタイマ	VW2CレジスタのVW2C3 = 1
電圧監視1	VW1CレジスタのVW1C2 = 1
電圧監視2	VW2CレジスタのVW2C2 = 1

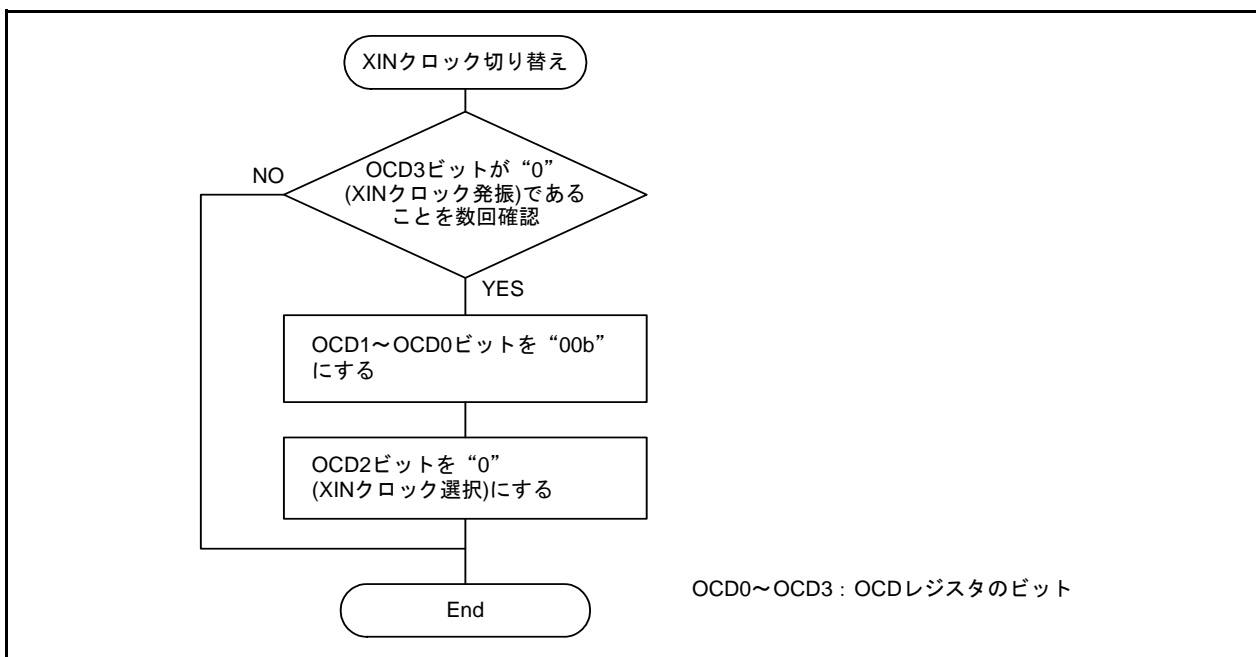


図9.5 発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順

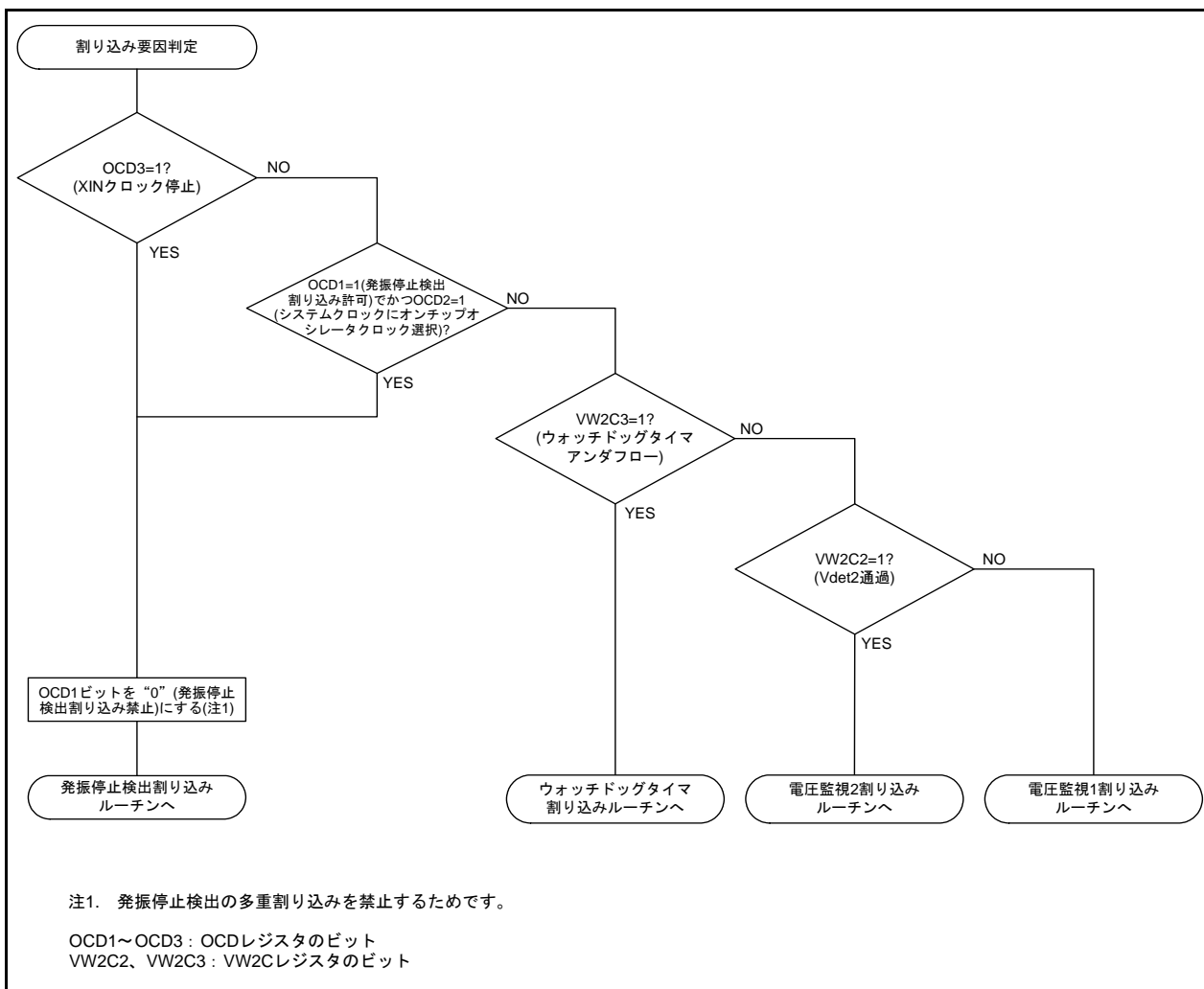


図9.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

## 9.8 クロック発生回路使用上の注意

### 9.8.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

### 9.8.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

### 9.8.3 XCINクロック

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。

## 10. パワーコントロール

### 10.1 概要

パワーコントロールには4つのモードがあります。なお、ここではウェイトモード、ストップモード、パワーオフ0モード、パワーオフ2モード以外の状態を、標準動作モードと呼びます。

表10.1に各モードを、図10.1にパワーコントロールモード状態遷移を示します。

表10.1 パワーコントロール

モード		動作
標準動作モード	高速クロック	CPU、周辺機能動作
	高速オンチップオシレータ	
	低速クロック	CPU、周辺機能動作
	低速オンチップオシレータ	
ウェイトモード		CPU停止、周辺機能動作
ストップモード		CPU停止、ウォッチドッグタイマ以外の周辺機能停止(発振停止)
パワーオフ0モード		CPU停止、全周辺機能停止(発振停止)、RAMとSFRは保持されない
パワーオフ2モード		CPU停止、ウォッチドッグタイマとタイマRH以外の周辺機能停止、RAMとSFRは保持



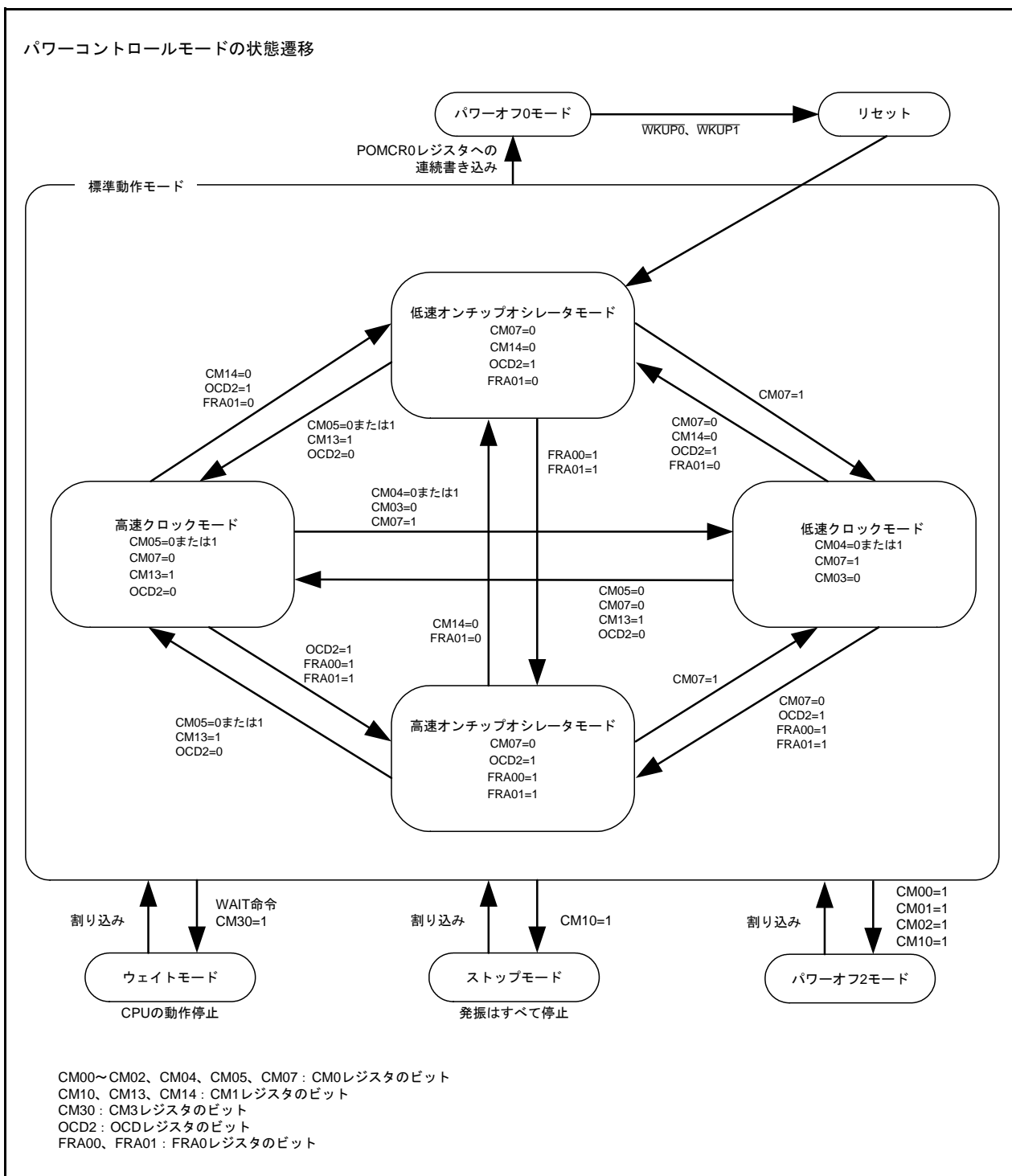


図 10.1 パワーコントロールモード状態遷移

## 10.2 レジスタの説明

## 10.2.1 システムクロック制御レジスタ0(CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	CM01	CM00
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM00	パワーオフ2モード移行許可ビット	0: 禁止 1: 許可(注6)	R/W
b1	CM01	ウェイトモード時周辺機能クロック停止ビット(注6)	b2 b1 00: ウェイトモード時、周辺機能クロックを停止しない 01: ウェイトモード時、f1~f32クロック停止 10: ウェイトモード時、f1~f32、fCクロック停止 11: ウェイトモード時、f1~f32、fC、fC-LCDクロック停止	R/W
b2	CM02			
b3	CM03	XCINクロック停止ビット(注5、7)	0: 発振 1: 停止	R/W
b4	CM04	XCIN外部クロック入力許可ビット	0: 外部クロック入力禁止 1: 外部クロック入力許可	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止	R/W
b6	CM06	CPUクロック分周比選択ビット0(注3)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	システムクロック選択ビット(注4)	0: XINクロック、またはオンチップオシレータクロック 1: XCINクロック	R/W

- 注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。  
(1) OCDレジスタのOCD1~OCD0ビットを“00b”にする。  
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
- 注2. CM05ビットが“1”(XINクロック停止)かつCM13ビットが“0”(入出力ポート)の場合のみ、P9\_0、P9\_1は入出力ポートとして使用できます。  
P9\_0端子はXIN端子と、P9\_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらを入出力ポートとして使用できません。
- 注3. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
- 注4. XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。
- 注5. XCINクロックを使用する場合は、電源投入後およびパワーオフ解除後に、CM03ビットをいったん“1”(停止)にした後、“0”(発振)にしてください。
- 注6. CM00ビットを“1”(許可)にする場合は、CM02~CM01ビットを“11b”にしてください。
- 注7. 外部クロック入力時は、CM03ビットを“0”(発振)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 10.2.2 システムクロック制御レジスタ 1(CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注2、7、8)	0: クロック発振 1: 全クロック停止(ストップモード/パワーオフ2モード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注5、6)	0: 入出力ポートP9_0、P9_1 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

- 注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。
- 注2. CM10ビットが“1”(全クロック停止)の場合、内蔵している帰還抵抗は無効となります。ただし、パワーオフ2モードでは内蔵しているXCIN-XCOOUT帰還抵抗は無効になりません。
- 注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
- 注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。  
外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“0”(XINクロック発振)、CM11ビットを“1”(内部帰還抵抗無効)にしてください。さらに、PD9レジスタのPD9\_0ビットを“0”(入力モード)にすると外部クロックを入力できます。このとき、XOUTは入出力ポートP9\_1として設定してください。使用しない場合は、未使用端子の処理をしてください。  
P9\_0端子はXIN端子と、P9\_1端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらを入出力ポートとして使用できません。
- 注6. CM13ビットはプログラムで一度“1”(XIN-XOUT端子)にすると、“0”(入出力ポートP9\_0、P9\_1)にはできません。
- 注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”にしないでください。
- 注8. CM0レジスタのCM00ビットが“1”(許可)の場合、パワーオフ2モードに移行します。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 10.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし(注2)	R/W
b6	CM36	ウェイトモード、ストップモード、パワーオフ2モードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモード、パワーオフ2モードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択(注3) 11: XINクロックを選択(注4)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード、パワーオフ2モード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモード、パワーオフ2モードから復帰時に次になります。
- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
  - FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
  - FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)
- 注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモード、パワーオフ2モードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
  - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
  - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

## 10.2.4 発振停止検出レジスタ (OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

- 注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.7.1 発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 10.2.5 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0 : 低速オンチップオシレータ選択(注2) 1 : 高速オンチップオシレータ選択(注3)	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0 : fOCO-Sの128分周を選択 1 : fOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが  
VCC=2.7V~5.5Vの場合は全分周モード設定可能“000b”~“111b”  
VCC=1.8V~5.5Vの場合は4分周以上の分周比“011b”~“111b”(4分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 10.2.6 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「10.8.9 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(全クロック停止)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”(電圧検出1回路有効)にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”(電圧検出2回路有効)にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 10.2.7 パワーオフモード制御レジスタ0 (POMCR0)

アドレス 0020h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00
リセット後の値	X	X	X	X	X	X	0	0

1回目書き込み：パワーオフ0モード時のモード解除入力端子の設定

ビット	シンボル	ビット名	機能	R/W
b0	POM00	予約ビット	“0” にしてください	W
b1	POM01	WKUP1入力有効ビット	0：入力無効 1：入力有効	W
b2	POM02	予約ビット	“0” にしてください	W
b3	POM03			
b4	POM04			
b5	POM05			
b6	POM06			
b7	POM07			

2～5回目書き込み：パワーオフ0モードへ移行

ビット	機能	R/W
b7～b0	“88h”、“15h”、“92h”、“25h” を連続して書いてください。	W

読み出し時

ビット	シンボル	ビット名	機能	R/W
b0	POM00	WKUP0要因パワーオフ0モード解除フラグ	0：未検出 1：検出	R
b1	POM01	WKUP1要因パワーオフ0モード解除フラグ	0：未検出 1：検出	R
b2	—	何も配置されていない。読んだ場合、その値は不定。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. パワーオフ0モードへの移行は、5回連続してPOMCR0レジスタへの書き込みを行ってください。

表 10.2 パワーオフ0モード解除後のPOMCR0レジスタの値

パワーオフ0モード解除要因	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00
WKUP0要因	X	X	X	X	X	X	0	1
WKUP1要因	X	X	X	X	X	X	1	0



### 10.3 標準動作モード

表10.3に標準動作モードのクロック選択を示します。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってからクロックを切り替えてください。

表10.3 標準動作モードのクロック選択

モード	OCD レジスタ	CM1レジスタ				CM0レジスタ					FRA0レジスタ		
		OCD2	CM17	CM16	CM14	CM13	CM07	CM06	CM05	CM04	CM03	FRA01	FRA00
高速クロック モード	分周なし	0	0	0	—	0または1 (注2)	0	0	0	—	—	—	—
	2分周	0	0	1	—	0または1 (注2)	0	0	0	—	—	—	—
	4分周	0	1	0	—	0または1 (注2)	0	0	0	—	—	—	—
	8分周	0	—	—	—	0または1 (注2)	0	1	0	—	—	—	—
	16分周	0	1	1	—	0または1 (注2)	0	0	0	—	—	—	—
低速クロック モード	分周なし	—	0	0	—	—	1	0	—	0または1 (注1)	0	—	—
	2分周	—	0	1	—	—	1	0	—	0または1 (注1)	0	—	—
	4分周	—	1	0	—	—	1	0	—	0または1 (注1)	0	—	—
	8分周	—	—	—	—	—	1	1	—	0または1 (注1)	0	—	—
	16分周	—	1	1	—	—	1	0	—	0または1 (注1)	0	—	—
高速オンチッ プオシレータ モード	分周なし	1	0	0	—	—	0	0	—	—	—	1	1
	2分周	1	0	1	—	—	0	0	—	—	—	1	1
	4分周	1	1	0	—	—	0	0	—	—	—	1	1
	8分周	1	—	—	—	—	0	1	—	—	—	1	1
	16分周	1	1	1	—	—	0	0	—	—	—	1	1
低速オンチッ プオシレータ モード	分周なし	1	0	0	0	—	0	0	—	—	—	0	—
	2分周	1	0	1	0	—	0	0	—	—	—	0	—
	4分周	1	1	0	0	—	0	0	—	—	—	0	—
	8分周	1	—	—	0	—	0	1	—	—	—	0	—
	16分周	1	1	1	0	—	0	0	—	—	—	0	—

—：“0”でも“1”でも影響ない

注1. 外部クロック入力を選択する場合は、CM04ビットを“1”、内蔵発振回路を選択する場合は、CM04ビットを“0”にしてください。

注2. 外部クロック入力を選択する場合は、CM13ビットを“0”、内蔵発振回路を選択する場合は、CM13ビットを“1”にしてください。

### 10.3.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRJで使用できます。

また、FRA00ビットが“1”のとき、fOCO20MをタイマRCで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

### 10.3.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周のいずれかで、低消費電流リードモードを使用できます。ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、FRA00ビットが“1”のとき、fOCO20MをタイマRCで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「10.8 消費電力の低減」を参照してください。

### 10.3.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”のとき、fOCO20MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

### 10.3.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”のとき、fOCO20MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「10.8 消費電力の低減」を参照してください。

## 10.4 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

### 10.4.1 周辺機能クロック停止機能

CM0レジスタのCM01、CM02ビット(ウェイトモード時周辺機能クロック停止ビット)の設定で、ウェイトモード時に停止する周辺機能クロックを選択できるので、用途にあわせて消費電力を調整できます。

### 10.4.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。

低速クロックモードからウェイトモードに移行するときに、CM37～CM36ビットを00b以外に設定する場合はXCINクロックの周波数を28kHz以上にしてください。

高速クロックモードからウェイトモードに移行するときに、CM37～CM36ビットを00b以外に設定する場合はXINクロックの周波数を28kHz以上にしてください。

### 10.4.3 VCA20ビットによる内部電源低消費操作

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。VCA20ビットにより内部電源低消費電力を許可する場合は、「10.8.9 VCA20ビットによる内部電源低消費操作」に従ってください。

### 10.4.4 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

## 10.4.5 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。周辺機能割り込みはCM0レジスタのCM01、CM02ビットの影響を受けます。

表 10.4 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02、CM01 = 00bの場合	CM02、CM01 = 01bの場合	CM02、CM01 = 10bの場合	CM02、CM01 = 11bの場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	fC、外部クロックで使用可	外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコミュニケーションユニット/I <sup>2</sup> Cバスインタフェース割り込み	すべてのモードで使用可	— (使用しないでください)	— (使用しないでください)	— (使用しないでください)
キー入力割り込み	使用可	使用可	使用可	使用可
A/D変換割り込み	— (A/D変換中にウェイトモードに移行しないでください)	— (A/D変換中にウェイトモードに移行しないでください)	— (A/D変換中にウェイトモードに移行しないでください)	— (A/D変換中にウェイトモードに移行しないでください)
タイマRJ割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC、fC32を選択することで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可
タイマRB割り込み	すべてのモードで使用可	— (使用しないでください)	タイマRJのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRJのアンダフローを選択することで使用可	タイマRJのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRJのアンダフローを選択することで使用可
タイマRC割り込み	すべてのモードで使用可	— (使用しないでください)	— (使用しないでください)	— (使用しないでください)
タイマRH割り込み	すべてのモードで使用可	リアルタイムクロックモードで使用可	リアルタイムクロックモードで使用可	リアルタイムクロックモードで使用可
INT割り込み	使用可	フィルタなしの場合に、使用可	フィルタなしの場合に、使用可	フィルタなしの場合に、使用可
電圧監視1割り込み	使用可	使用可	使用可	使用可
電圧監視2割り込み	使用可	使用可	使用可	使用可
発振停止検出割り込み	使用可	— (使用しないでください)	— (使用しないでください)	— (使用しないでください)

- CM02、CM01ビットが“00b”（ウェイトモード時、周辺機能クロックを停止しない）の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。
  - CM02、CM01ビットが“01b”（ウェイトモード時、f1～f32クロック停止）の場合は、外部信号、オンチップオシレータクロックまたはfC1～fC32クロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
  - CM02、CM01ビットが“10b”（ウェイトモード時、f1～f32、fCクロック停止）の場合は、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
  - CM02、CM01ビットが“11b”（ウェイトモード時、f1～f32、fC、fC-LCDクロック停止）の場合は、CM02、CM01ビットが“10b”のときと同様です。
- 表10.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

### 10.4.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰

図10.2にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図10.2のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

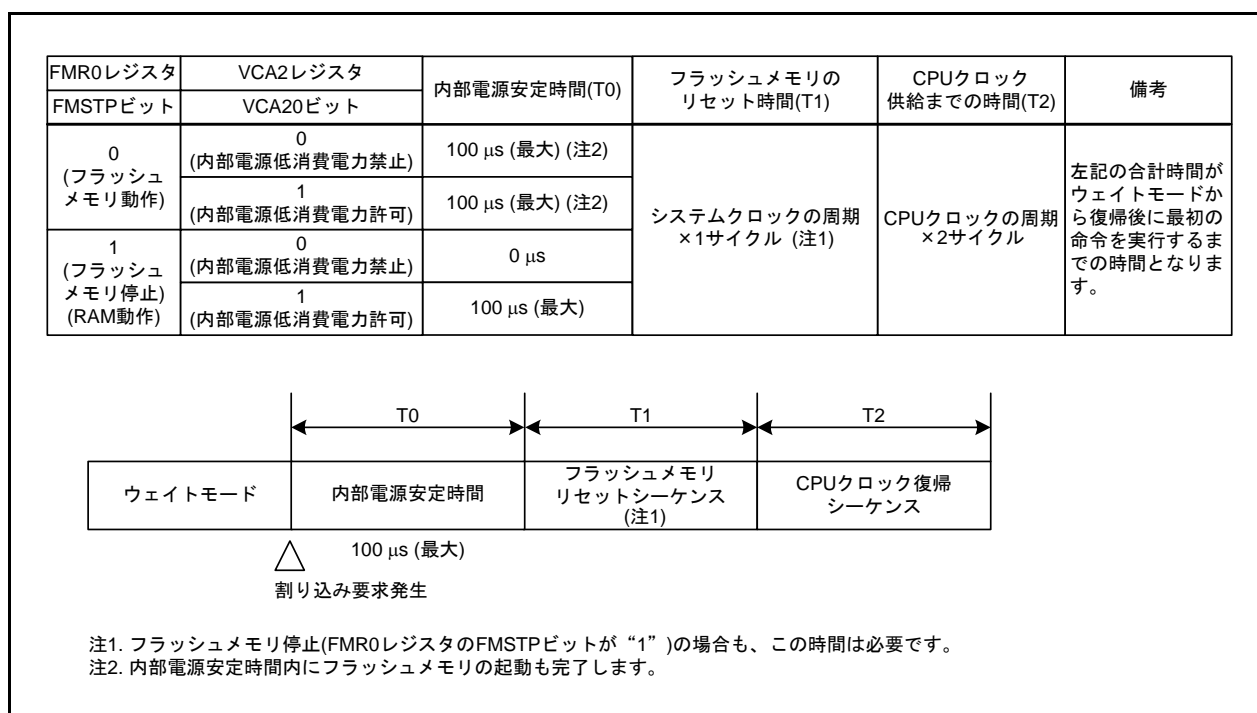


図10.2 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

## 10.4.7 WAIT命令実行後のウェイトモードからの復帰

図10.3にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”(マスカブル割り込み許可)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図10.3のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

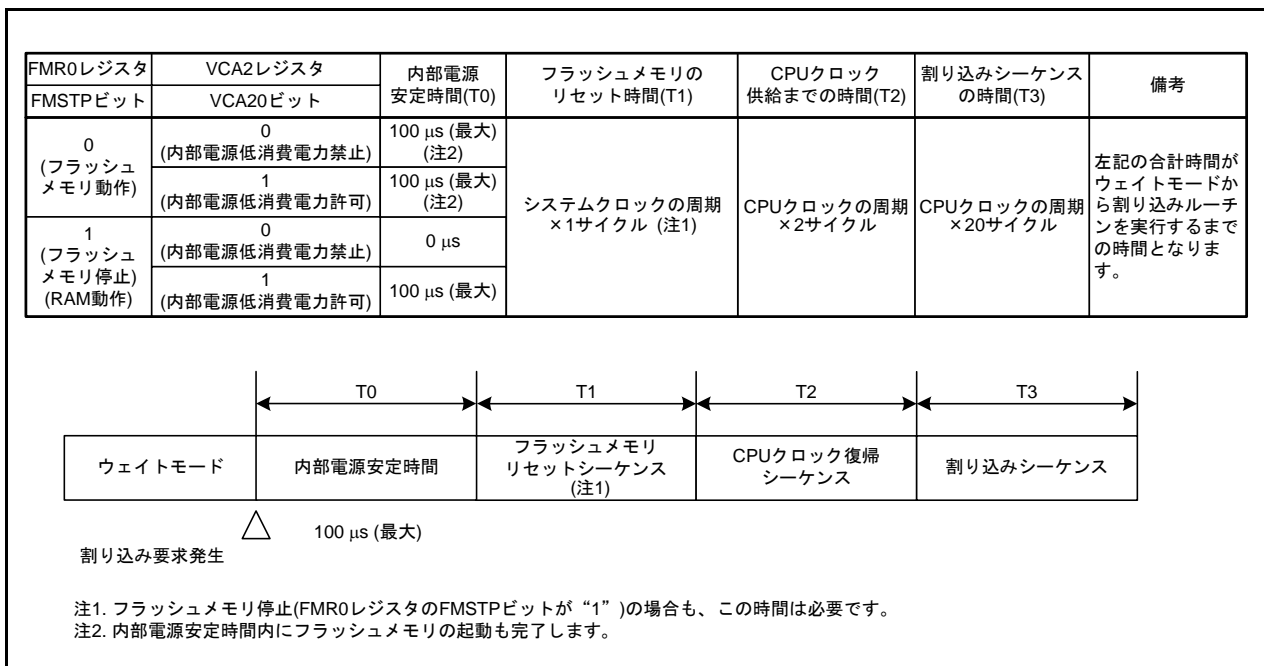


図10.3 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

## 10.5 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.5にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.5 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
$\overline{\text{INT0}} \sim \overline{\text{INT7}}$ 割り込み	フィルタなしの場合に使用可
タイマRJ割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時(注1)
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

注1. タイマRJのイベントカウンタモードでは、タイマRJ0～タイマRJ2のうち、任意の1本のみ使用できます。

### 10.5.1 ストップモードへの移行

CM0レジスタのCM00ビットを“0”にした後、CM1レジスタのCM10ビットを“1”にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1～OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態では、ストップモードへ移行しないでください。

### 10.5.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P9\_1)端子は“H”になります。

### 10.5.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図10.4にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。  
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”（割り込み禁止）にする。
- (2) Iフラグを“1”（マスカブル割り込み許可）にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”（CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効）にしてください。

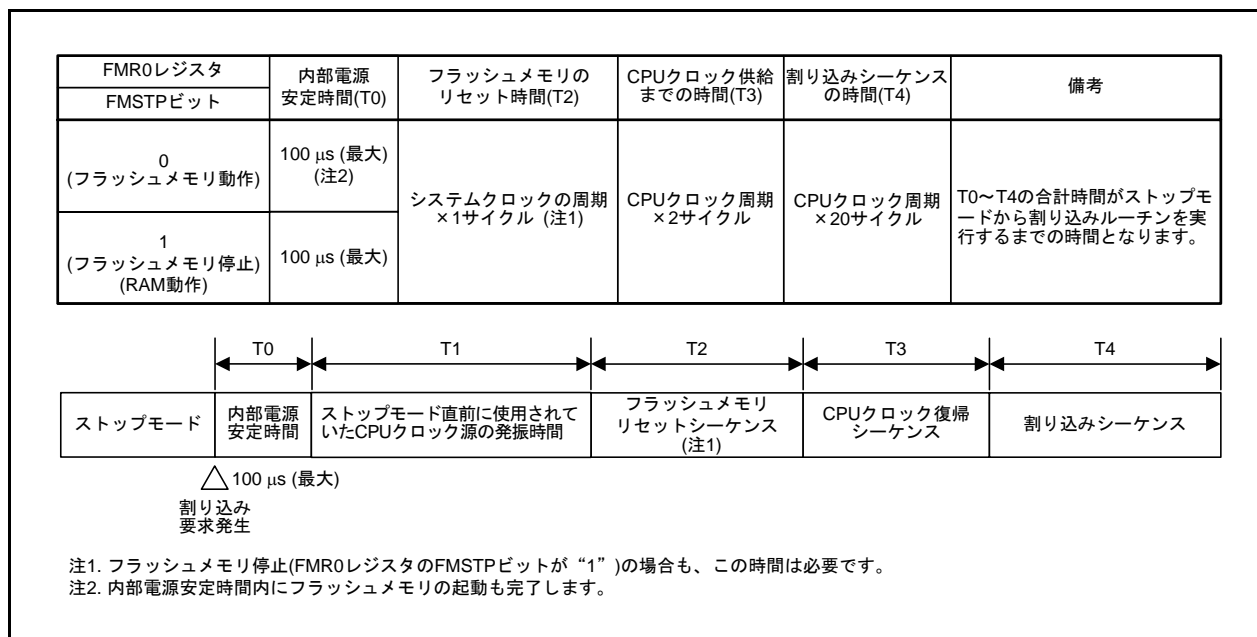


図10.4 ストップモードから割り込みルーチンを実行するまでの時間



## 10.6 パワーオフ0モード

パワーオフ0モードではfOCO-WDTやfOCO-Sを含むすべての発振が停止します。したがって、CPUクロックで動作するCPU、全周辺機能は停止します。

このモードは最も消費電力が少ないモードです。

### 10.6.1 パワーオフ0モードの端子処理

図10.5にパワーオフ0モード時の端子処理例を示します。このモードではハードウェアリセットを使用してください。パワーオンリセットは使用できません。リセットの詳細については「5. リセット」を参照してください。

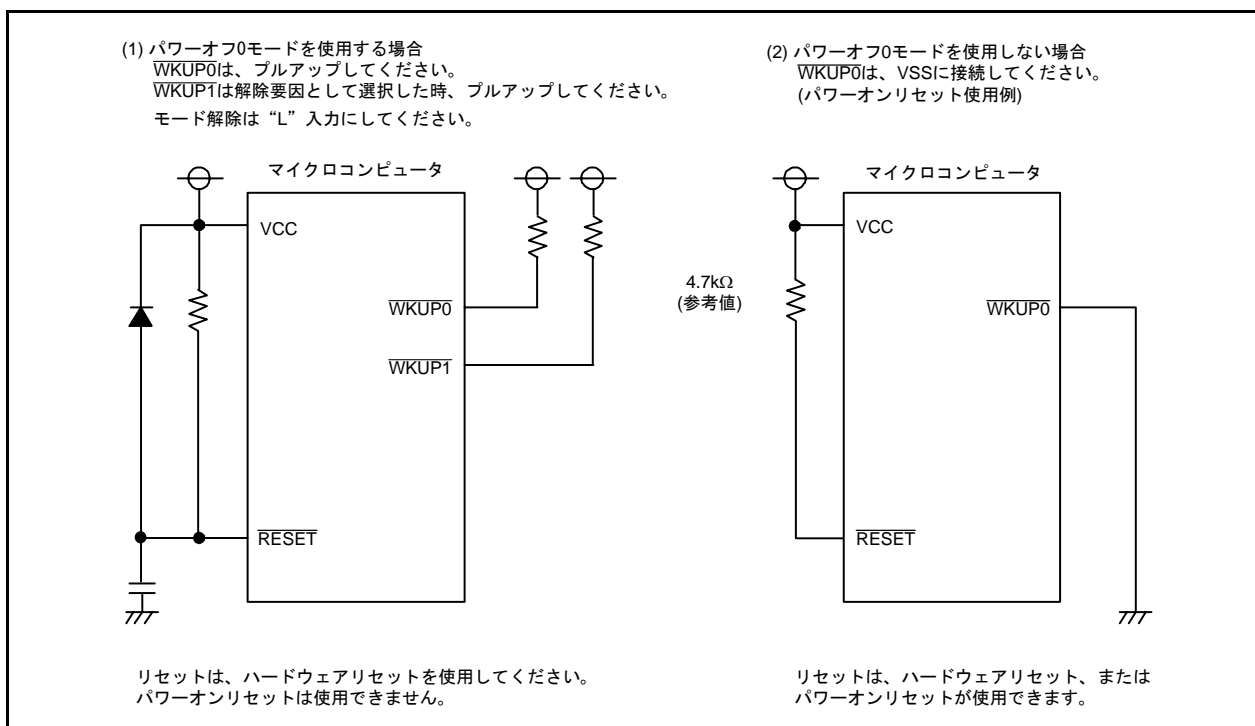


図10.5 パワーオフ0モード時の端子処理例

### 10.6.2 パワーオフ0モードへの移行

表10.6にパワーオフ0モードへの移行と解除方法を示します。

- (1) FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にする。
- (2) 1回目のPOMCR0レジスタへの書き込みで、パワーオフ0モード時のモード解除入力端子を設定する。
- (3) POMCR0レジスタに“88h”、“15h”、“92h”、“25h”を連続して書き込むことにより、パワーオフ0モードに移行する。

パワーオフ0モードへの移行処理中は、 $\overline{\text{WKUP0}}$ 端子および $\overline{\text{WKUP1}}$ 端子(入力有効時)は“H”にしてください。移行処理中に“L”に変化した場合、パワーオフ0モードへ移行しません。

表10.6 パワーオフ0モードへの移行と解除方法

パワーオフ0モードへの移行	状態	解除方法
POMCR0レジスタにパワーオフ0モード時のモード解除入力端子の設定を書き込む(注1) その後POMCR0レジスタに“88h”、“15h”、“92h”、“25h”を連続して書き込む	全周辺機能停止、RAM、SFRは保持されない	$\overline{\text{RESET}}$ 入力、 $\overline{\text{WKUP0}}$ 入力 または $\overline{\text{WKUP1}}$ 入力(注1)

注1. パワーオフ0モードの解除にWKUP1を使用するには、1回目のPOMCR0レジスタの書き込みで、POM01ビットを入力有効にしてください。

### 10.6.3 パワーオフ0モード時の端子の状態

表 10.7 にパワーオフ0モード時の端子の状態を示します。パワーオフ0モードに移行するとRAMやSFRは保持されません。したがって、保持の必要な内容は、パワーオフ0モードに入る前にデータフラッシュに必要なデータを退避してください。

表 10.7 パワーオフ0モード時の端子の状態

端子名	状態
ポートP0～P4、P5_0～P5_6	パワーオフ0モード移行前の、LSE0～LSE5レジスタの状態が保持されます。このレジスタで、LCDポートを選択した場合は、“L”出力、ポートを選択した場合はハイインピーダンスとなります。
ポートP6、P7_0～P7_6、P8、P9_0～P9_1	ハイインピーダンス
WKUP0	WKUP0入力
XCIN、XCOUT	発振停止(ハイインピーダンス)
VL1～VL3	ハイインピーダンス

### 10.6.4 パワーオフ0モードの解除

RESET 端子、WKUP0 端子、または WKUP1 端子(入力有効時)に“L”パルスを入力することによりモードを解除します。

- RESET 端子：“L”入力幅は2ms以上必要。
- WKUP0 端子、WKUP1 端子：“L”入力幅は10 $\mu$ s以上必要。

パワーオフ0モードの解除後の動作は通常のリセットシーケンスと同じです。

パワーオフ0モードを解除したとき、POMCR0レジスタのフラグ(POM00、POM01)読み出しにより解除要因を特定できます。これらのフラグは電源投入後は不定値、POMCR0レジスタへの書き込みによりクリアされます。複数の解除要因が重なった場合は、複数のフラグがセットされます。なお、パワーオフ0モードへの移行処理中にWKUP0端子またはWKUP1端子(入力有効時)が“L”に変化した場合、パワーオフ0モードへは移行しませんが、POMCR0レジスタのフラグ(POM00、POM01)は“1”(検出)になります。

図 10.6 にパワーオフ0モードからリセットベクタアドレス読み出しを実行するまでの時間を示します。

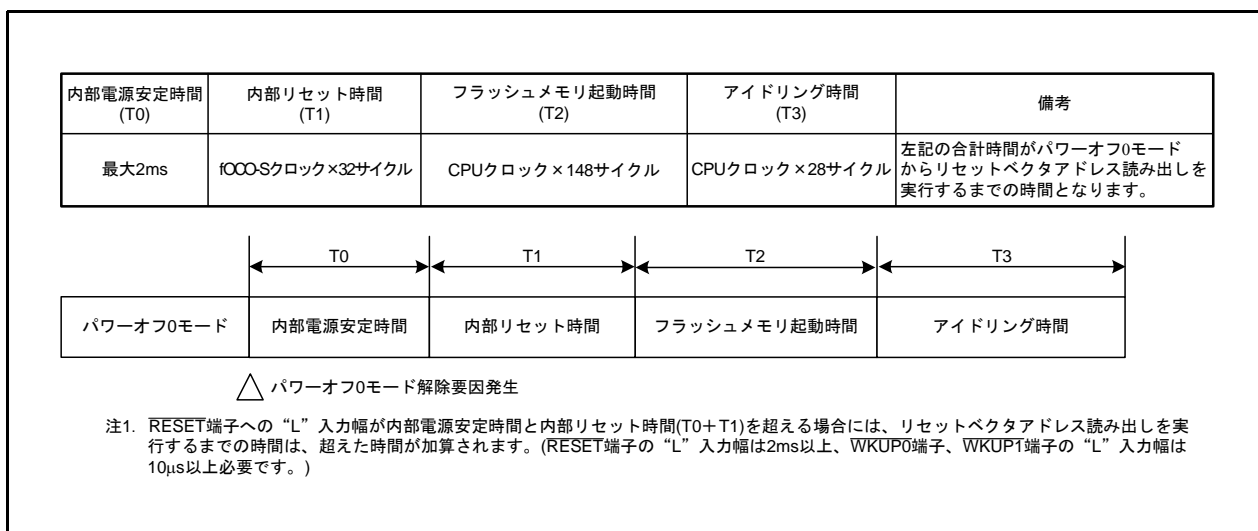


図 10.6 パワーオフ0モードからリセットベクタアドレス読み出しを実行するまでの時間

## 10.7 パワーオフ2モード

パワーオフ2モードでは、fOCO-WDTとfC-TRHを除くすべての発振が停止します。したがって、CPUクロックで動作するCPU、ウォッチドッグタイマとタイマRH以外の周辺機能は停止します。

なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.8 パワーオフ2モードからの復帰に使用できる割り込みと使用条件を示します。

表10.8 パワーオフ2モードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0～INT7割り込み	フィルタなしの場合に使用可
タイマRH割り込み	リアルタイムクロックモードで使用可
タイマRJ割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスのカウント時(注1)
シリアルインタフェースの割り込み	外部クロック選択時

注1. タイマRJのイベントカウンタモードでは、タイマRJ0～タイマRJ2のうち、任意の1本のみ使用できます。

### 10.7.1 パワーオフ2モードへの移行

CM0レジスタのCM00ビットを“1”、CM02～CM01ビットを“11b”にしてから、CM1レジスタのCM10ビットを“1”にすると、パワーオフ2モードになります。同時にCM06ビットは“1”(8分周モード)になります。

パワーオフ2モードを使用する場合、OCDレジスタのOCD1～OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからパワーオフ2モードにしてください。

パワーオフ2モードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、パワーオフ2モードへ移行しないでください。

### 10.7.2 パワーオフ2モード時の端子の状態

入出力ポートはパワーオフ2モードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P9\_1)端子は“H”になります。

### 10.7.3 パワーオフ2モードからの復帰

リセット、または周辺機能割り込みにより、パワーオフ2モードから復帰します。

図10.7にパワーオフ2モードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) パワーオフ2モードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。  
また、パワーオフ2モードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”(マスカブル割り込み許可)にする。
- (3) パワーオフ2モードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでパワーオフ2モードから復帰した場合のCPUクロックは、パワーオフ2モード直前に使用していたクロックの8分周になります。パワーオフ2モードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

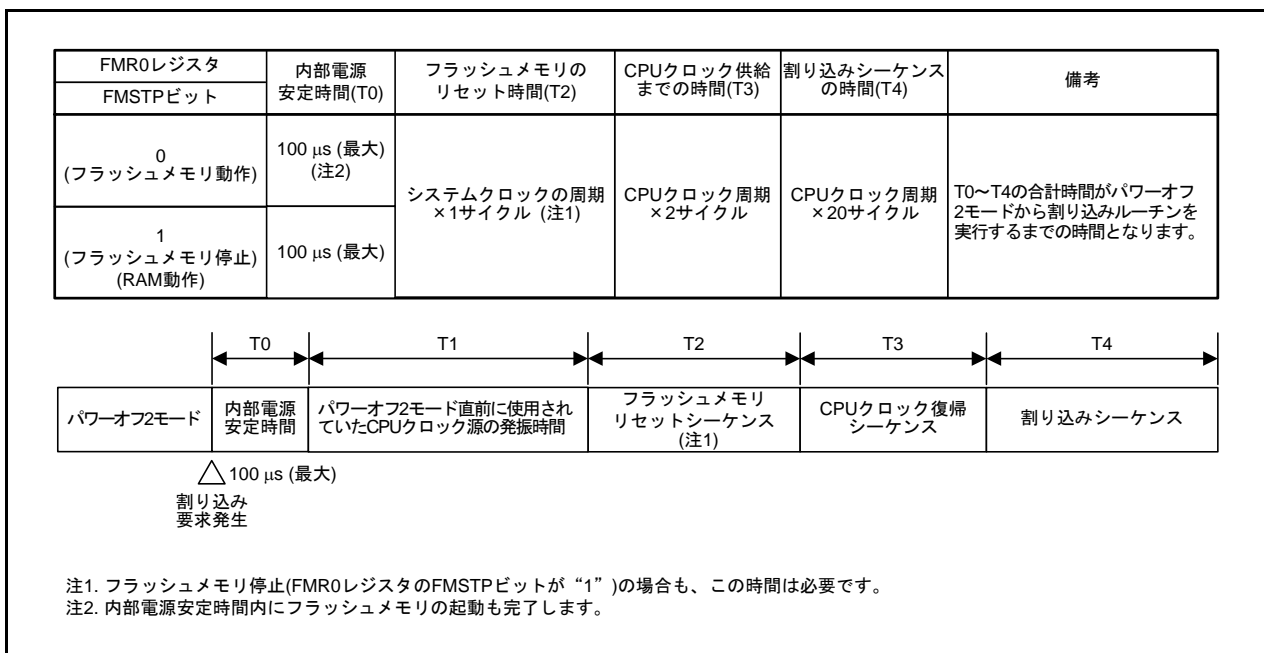


図10.7 パワーオフ2モードから割り込みルーチンを実行するまでの時間

## 10.8 消費電力の低減

消費電力を小さくするためのポイント、処理方法について説明します。システム設計やプログラムを作成するときに参考にしてください。

### 10.8.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

### 10.8.2 ポート

ウェイトモード、ストップモード、またはパワーオフ2モードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは出力に設定してください。入力に設定する場合は、安定した電位に固定してから、ウェイトモード、ストップモード、またはパワーオフ2モードに移行してください。

### 10.8.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にしてください。

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビットを“0”にしてください。

### 10.8.4 ウェイトモード、ストップモード、パワーオフモード

ウェイトモード、ストップモード、およびパワーオフモードでは消費電力が低減できます。

### 10.8.5 周辺機能クロックの停止

ウェイトモード時に必要のない周辺機能クロックは、CM0レジスタのCM01、CM02ビットでクロックを停止させてください。

### 10.8.6 タイマ

タイマRJを使用しない場合、TRJiMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCR0レジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

### 10.8.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

### 10.8.8 クロック同期形シリアルインタフェース

SSUおよびI<sup>2</sup>Cバスを使用しない場合、MSTCR0レジスタのMSTIICビットを“1”(スタンバイ)にしてください。

### 10.8.9 VCA20ビットによる内部電源低消費操作

VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。VCA20ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

VCA20ビットによる内部電源低消費操作設定手順は、CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合と、WAIT命令を実行してウェイトモードにする場合とで異なります。図10.8にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を、図10.9にWAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を示します。

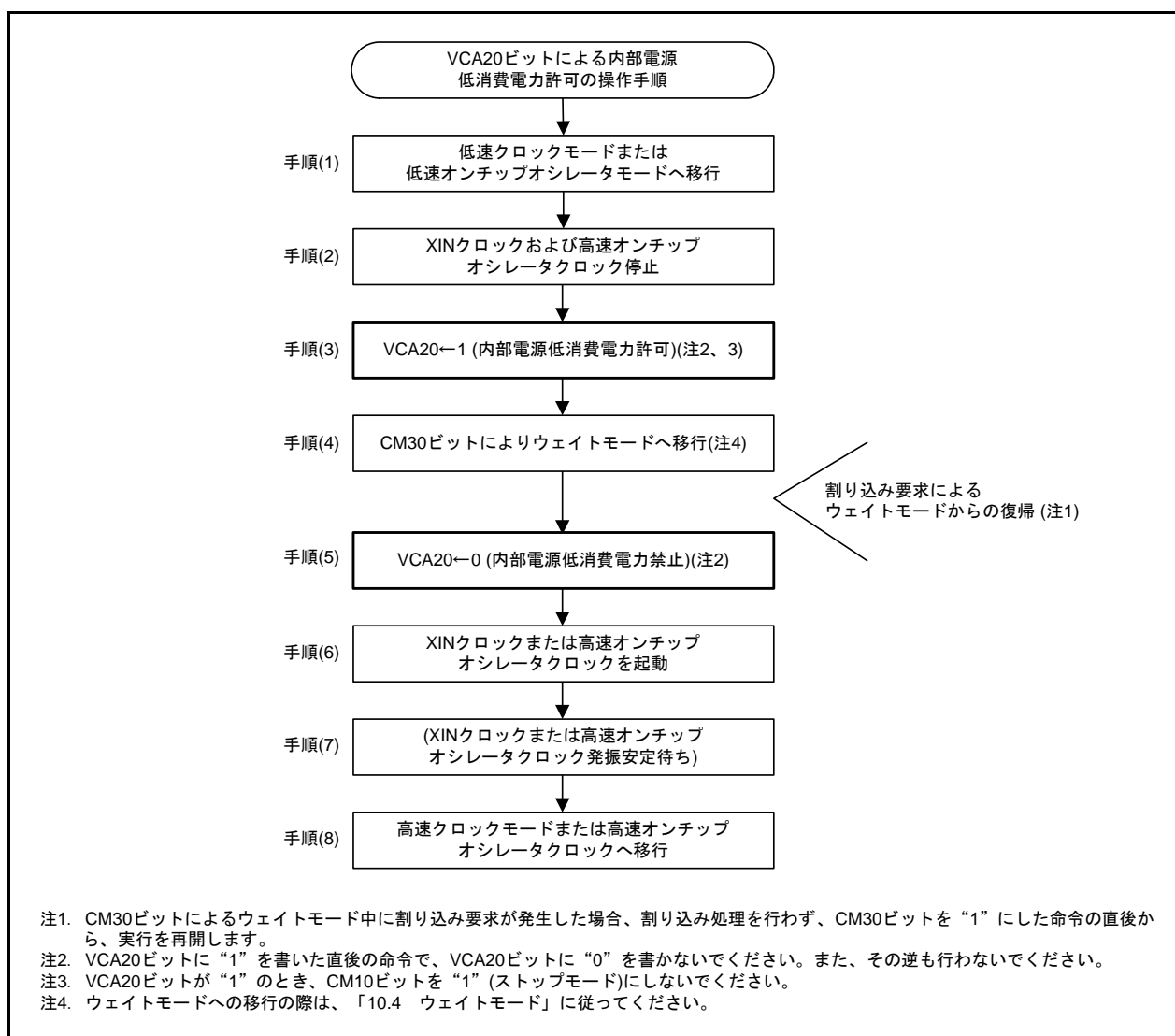


図10.8 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

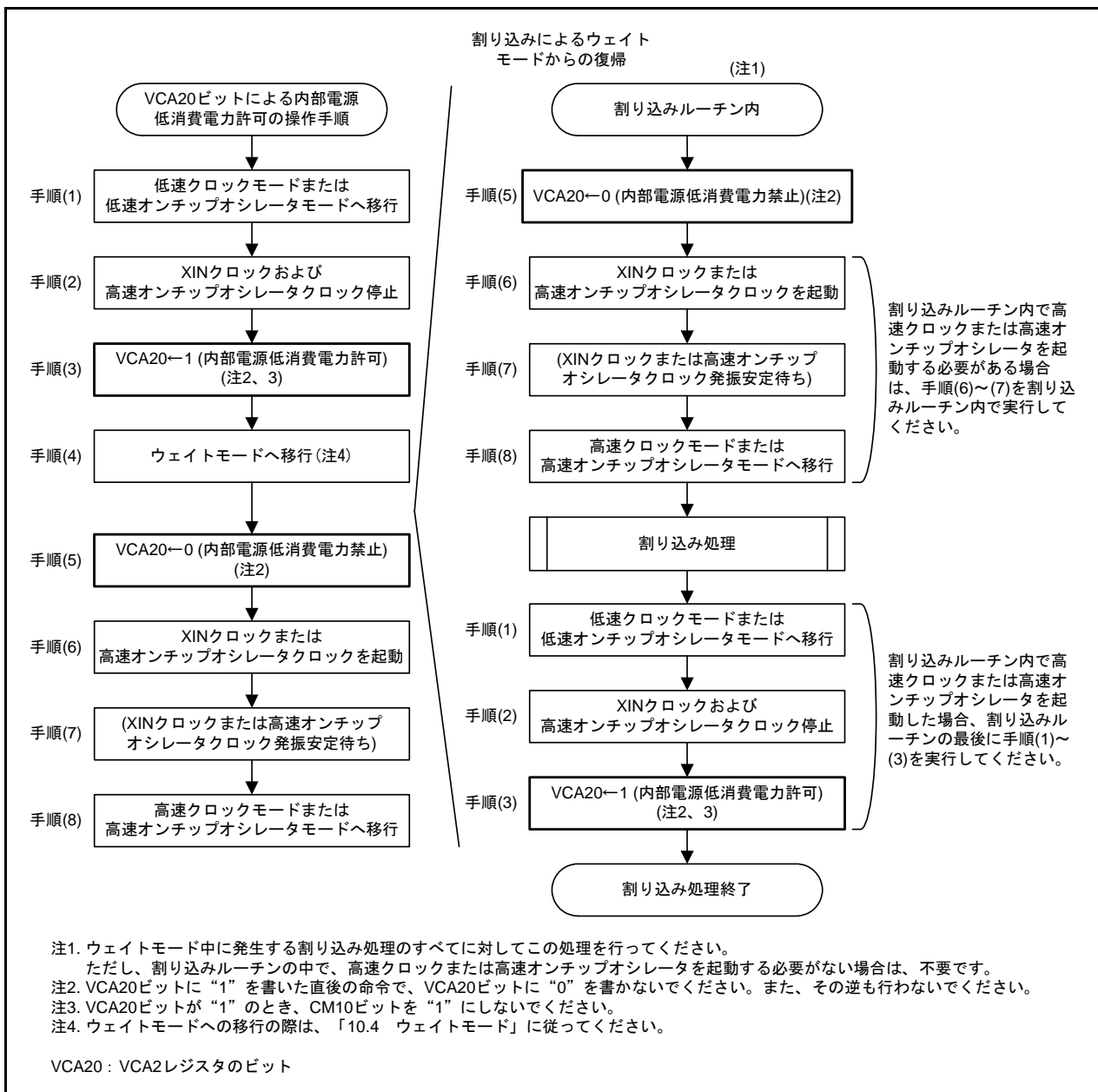


図 10.9 WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

### 10.8.10 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”（フラッシュメモリ停止）にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモード、ウェイトモード、またはパワーオフ2モードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

FMR27ビット＝“1”（低消費電流リードモード許可）とFMSTPビット＝“1”（フラッシュメモリ停止）の設定を同時に使用しないでください。

図 10.10にFMSTPビットによる低消費電力操作手順例を示します。

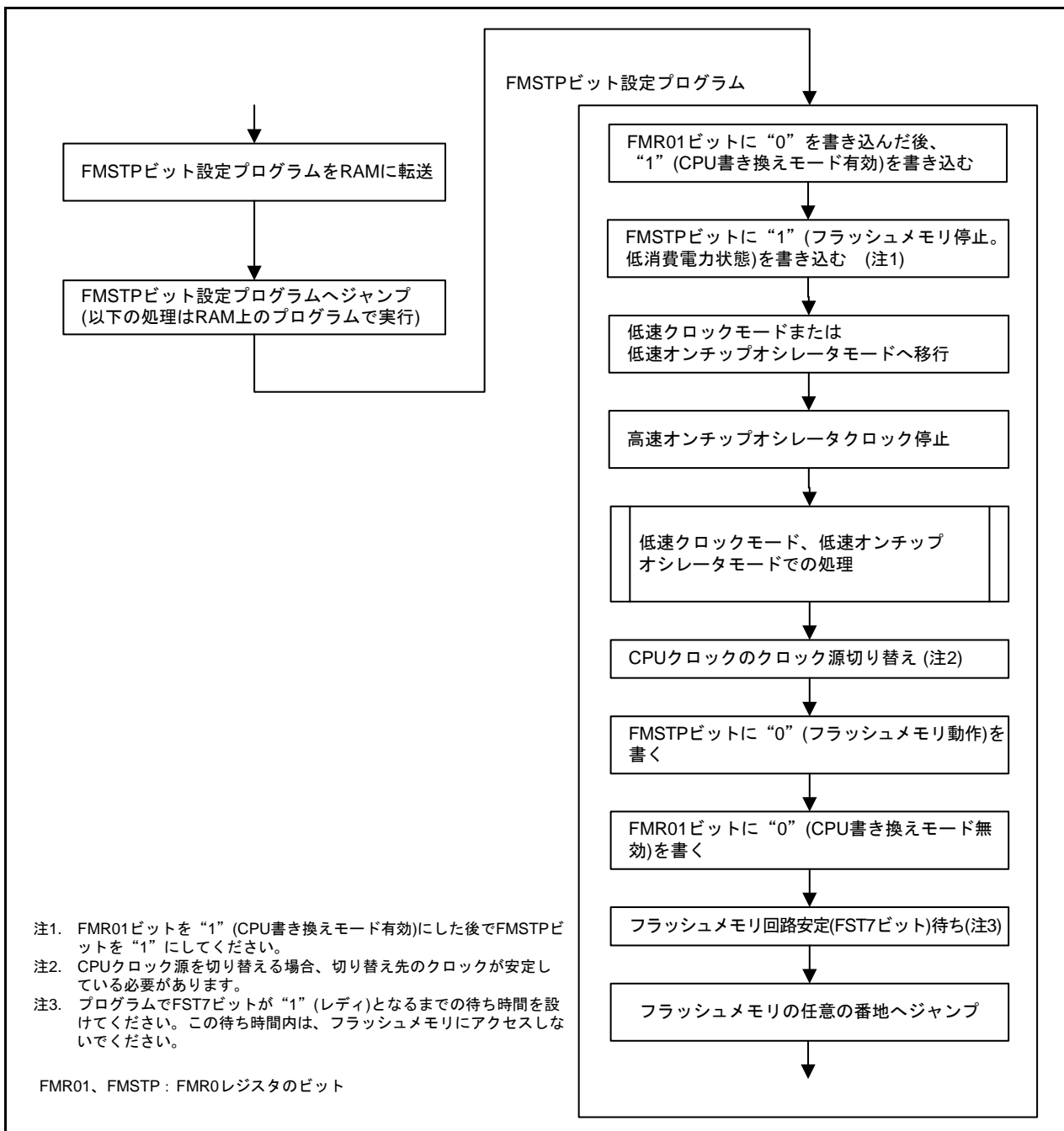


図 10.10 FMSTP ビットによる低消費電力操作手順例



### 10.8.11 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを“1” (低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1” (低消費電流リードモード許可)にしてください。

ウェイトモード、ストップモード、またはパワーオフ2モードへ移行するときは、FMR27 ビットを“0” (低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが“1” (低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

FMR27ビット＝“1” (低消費電流リードモード許可)とFMSTPビット＝“1” (フラッシュメモリ停止)の設定を同時に使用しないでください。

図 10.11に低消費電流リードモードの操作手順例を示します。

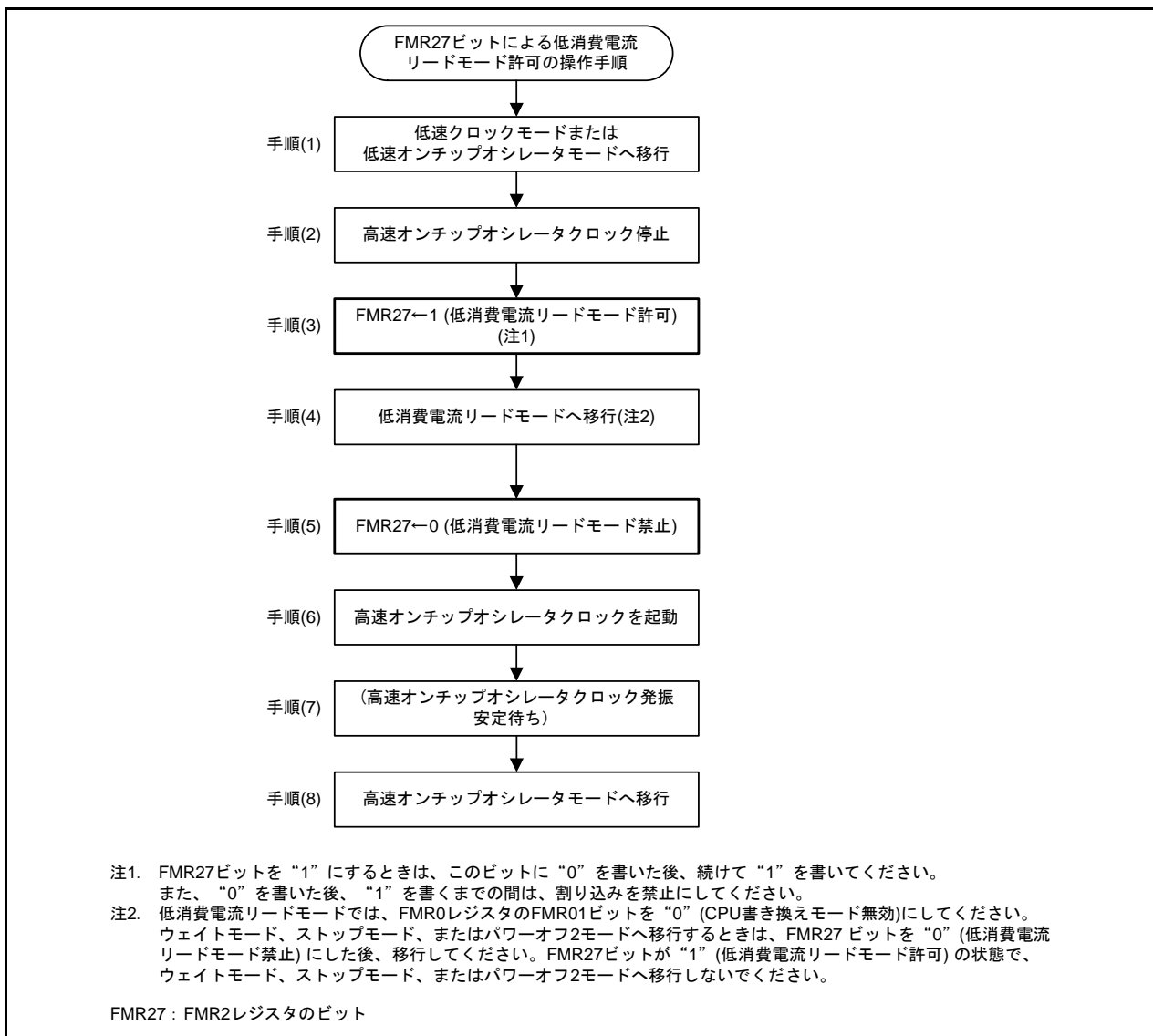


図 10.11 低消費電流リードモードの操作手順例

## 10.9 パワーコントロール使用上の注意

### 10.9.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”（CPU書き換えモード無効）にした後、CM0レジスタのCM00ビットを“0”に、CM1レジスタのCM10ビットを“1”にしてください。命令キューはCM10ビットを“1”にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCR    ; CM0、CM1レジスタへの書き込み許可
FSET      I          ; 割り込み許可
BSET      0, CM1     ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

### 10.9.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”（CPU書き換えモード無効）ならびにFMR27ビットを“0”（低消費電流リードモード禁止）にした後、移行してください。FMR01ビットが“1”（CPU書き換えモード有効）あるいはFMR27ビットが“1”（低消費電流リードモード許可）の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”（マスカブル割り込み禁止）にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”（マスカブル割り込み許可）にしてください。命令キューはCM30ビットを“1”（ウェイトモードに移行する）にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”（ウェイトモードに移行する）にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
FSET      I          ; 割り込み許可
WAIT
NOP
NOP
NOP
NOP

```

- CM30ビットを“1”を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCR    ; CM3レジスタへの書き込み許可
FCLR      I          ; 割り込み禁止
BSET      0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP
BCLR      0, PRCR    ; CM3レジスタへの書き込み禁止
FSET      I          ; 割り込み許可

```

### 10.9.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.8に示す手順に従ってください。WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.9に示す手順に従ってください。

### 10.9.4 パワーオフ0モード

パワーオフ0モードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、POMCR0レジスタにアクセスしてください。POMCR0レジスタにアクセスしてからパワーオフ0モードへ移行するまでに遅延がありますので、NOP命令を最低4つ入れてください。

パワーオフ0モードへの移行処理中は、WKUP0端子およびWKUP1端子(入力有効時)は“H”にしてください。移行処理中に“L”に変化した場合、パワーオフ0モードへは移行せずに、プログラムの実行を続けます。このとき、POMCR0レジスタのフラグ(POM00、POM01)が“1”(検出)になります。

• パワーオフ0モードに移行するプログラム例

BCLR	1, FMR0	; CPU書き換えモード無効
MOV.B	#02H, POMCR0	; パワーオフ0、WUKPI入力有効を選択。
MOV.B	#88H, POMCR0	; 固定値
MOV.B	#15H, POMCR0	; 固定値
MOV.B	#92H, POMCR0	; 固定値
MOV.B	#25H, POMCR0	; 固定値
NOP		
NOP		
NOP		
NOP		; パワーオフ0モードへ移行
BSET	1, PRCR	; ソフトウェアリセット
BSET	3, PM0	

パワーオフ0モードの解除後の動作は通常のリセットシーケンスと同じです。そのため、パワーオフ0モード移行直後にパワーオフ0モードを解除すると、リセットシーケンスとリセット後のプログラム動作により、消費電力を低減できません。パワーオフ0モード移行と解除の間隔についてはシステムレベルで十分評価してください。

### 10.9.5 パワーオフ2モード

パワーオフ2モードに移行する場合、FMR0レジスタのFMR01ビットを“0”（CPU書き換えモード無効）にした後、CM0レジスタのCM00ビットを“1”、CM02～CM01ビットを“11b”にしてから、CM1レジスタのCM10ビットを“1”にしてください。命令キューはCM10ビットを“1”にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- パワーオフ2モードに移行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
BCLR      7, FMR2      ; 低消費電流リードモード禁止
BSET      0, PRCR      ; CM0、CM1レジスタへの書き込み許可
FSET      1            ; 割り込み許可
BSET      0, CM0       ; パワーオフ2モード選択
BSET      1, CM0       ;
BSET      2, CM0       ;
BSET      0, CM1       ; パワーオフ2モード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

## 11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCR レジスタが保護するレジスタは次です。

- PRC0 ビットで保護されるレジスタ：CM0、CM1、CM3、OCD、FRA0、FRC0、FRA2、FRC1 レジスタ
- PRC1 ビットで保護されるレジスタ：PM0、PM1 レジスタ
- PRC3 ビットで保護されるレジスタ：OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタ

### 11.1 レジスタの説明

#### 11.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRC0、FRA2、FRC1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	PRC3	プロテクトビット3	VCA2、VW0C、VW1C、VW2C、VD1LS、OCVREFCR レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	—	—

注1. PRC0、PRC1、PRC3 ビットを“1” (書き込み許可)にした後、SFR領域に書き込んでも“0”になりませんので、プログラムで“0”にしてください。

## 12. 割り込み

### 注意

本章ではR8C/LA8Aグループについて説明します。  
R8C/LA6Aのグループについては「1.1.2 グループごとの相違点」を参照してください。

### 12.1 概要

#### 12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。

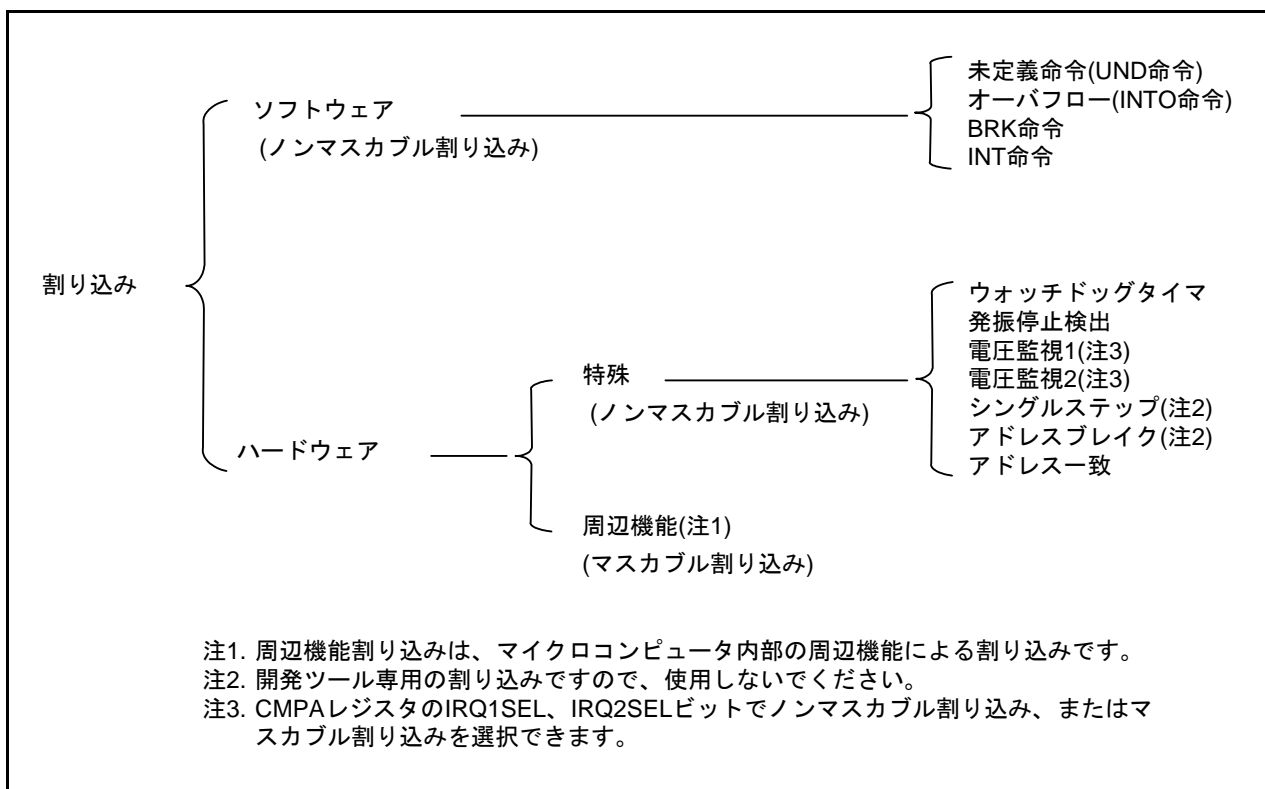


図12.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

#### 12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

##### 12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

### 12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”（演算の結果がオーバフロー）の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

### 12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

### 12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”（ISPを選択）にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

## 12.1.3 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

### 12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「15. ウォッチドッグタイマ」を参照してください。

### 12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

### 12.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

### 12.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ2SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

### 12.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

### 12.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが“1”（アドレス一致割り込み許可）の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.6 アドレス一致割り込み」を参照してください。

### 12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 12.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

### 12.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図 12.2 に割り込みベクタを示します。

	MSB	LSB
ベクタ番地(L)	アドレスの下位	
	アドレスの中位	
	0 0 0 0	アドレスの上位
ベクタ番地(H)	0 0 0 0	0 0 0 0

図 12.2 割り込みベクタ

#### 12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表 12.1 に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「29.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表 12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズ ソフトウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		12.6 アドレス一致割り込み
シングルステップ(注1)	0FFECCh～0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1(注2)、 電圧監視2(注3)	0FFF0h～0FFF3h		15. ウォッチドッグタイマ、 9. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスクابل割り込み)の場合です。

注3. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“0”(ノンマスクابل割り込み)の場合です。



## 12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。  
表12.2に可変ベクタテーブルを示します。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注3)	+0～+3(0000h～0003h)	0	—	R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリエディ	+4～+7(0004h～0007h)	1	FMRDYIC	29. フラッシュメモリ
—(予約)		2	—	—
INT7	+12～+15(000Ch～000Fh)	3	INT7IC	12.4 INT割り込み
INT6	+16～+19(0010h～0013h)	4	INT6IC	12.4 INT割り込み
INT5	+20～+23(0014h～0017h)	5	INT5IC	12.4 INT割り込み
INT4	+24～+27(0018h～001Bh)	6	INT4IC	12.4 INT割り込み
タイマRC	+28～+31(001Ch～001Fh)	7	TRCIC	18. タイマRC
—(予約)		8	—	—
—(予約)		9	—	—
タイマRH	+40～+43(0028h～002Bh)	10	TRHIC	19. タイマRH
UART2送信/NACK2	+44～+47(002Ch～002Fh)	11	S2TIC	22. シリアルインタフェース (UART2)
UART2受信/ACK2	+48～+51(0030h～0033h)	12	S2RIC	
キー入力	+52～+55(0034h～0037h)	13	KUPIC	12.5 キー入力割り込み
A/D変換	+56～+59(0038h～003Bh)	14	ADIC	26. A/Dコンバータ
シンクロナスシリアルコミュニ ケーションユニット/I <sup>2</sup> Cバスイ ンタフェース(注2)	+60～+63(003Ch～003Fh)	15	SSUIC/ IICIC	24. シンクロナスシリアルコミュニ ケーションユニット(SSU)、 25. I <sup>2</sup> Cバスインタフェース
—(予約)		16	—	—
UART0送信	+68～+71(0044h～0047h)	17	S0TIC	21. シリアルインタフェース (UART0)
UART0受信	+72～+75(0048h～004Bh)	18	S0RIC	
—(予約)		19	—	—
—(予約)		20	—	—
INT2	+84～+87(0054h～0057h)	21	INT2IC	12.4 INT割り込み
タイマRJ0	+88～+91(0058h～005Bh)	22	TRJ0IC	20. タイマRJ
タイマRB1	+92～+95(005Ch～005Fh)	23	TRB1IC	17. タイマRB
タイマRB0	+96～+99(0060h～0063h)	24	TRB0IC	17. タイマRB
INT1	+100～+103(0064h～0067h)	25	INT1IC	12.4 INT割り込み
INT3	+104～+107(0068h～006Bh)	26	INT3IC	
タイマRJ1	+108～+111(006Ch～006Fh)	27	TRJ1IC	20. タイマRJ
タイマRJ2	+112～+115(0070h～0073h)	28	TRJ2IC	20. タイマRJ
INT0	+116～+119(0074h～0077h)	29	INT0IC	12.4 INT割り込み
UART2バス衝突検出	+120～+123(0078h～007Bh)	30	U2BCNIC	22. シリアルインタフェース (UART2)
—(予約)		31	—	—
ソフトウェア(注3)	+128～+131(0080h～0083h)～ +164～+167(00A4h～00A7h)	32～41	—	R8C/Tinyシリーズ ソフトウェアマニュアル
LCD	+168～+171(00A8h～00ABh)	42	LCDIC	28. LCD駆動制御回路
—(予約)		43	—	—
—(予約)		44～49	—	—
電圧監視1(注4)	+200～+203(00C8h～00CBh)	50	VCMP1IC	6. 電圧検出回路
電圧監視2(注5)	+204～+207(00CCh～00CFh)	51	VCMP2IC	
—(予約)		52～55	—	—
ソフトウェア(注3)	+224～+227(00E0h～00E3h)～ +252～+255(00FCh～00FFh)	56～63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. SSUIICSRレジスタのIICSELビットで選択できます。

注3. フラグによる禁止はできません。

注4. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)の場合です。

注5. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“1”(マスカブル割り込み)の場合です。

## 12.2 レジスタの説明

## 12.2.1 割り込み制御レジスタ

(S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、TRJ0IC、TRB1IC、TRB0IC、TRJ1IC、TRJ2IC、U2BCNIC、LCDIC、VCMP1IC、VCMP2IC)

アドレス 004Bh番地(S2TIC)、004Ch番地(S2RIC)、004Dh番地(KUPIC)、004Eh番地(ADIC)、0051h番地(S0TIC)、0052h番地(S0RIC)、0056h番地(TRJ0IC)、0057h番地(TRB1IC)、0058h番地(TRB0IC)、005Bh番地(TRJ1IC)、005Ch番地(TRJ2IC)、005Eh番地(U2BCNIC)、006Ah番地(LCDIC)、0072h番地(VCMP1IC)、0073h番地(VCMP2IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	R/W
b1	ILVL1		0 0 0 : レベル0 (割り込み禁止)	R/W
b2	ILVL2		0 0 1 : レベル1	R/W
			0 1 0 : レベル2	
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5 割り込み制御レジスタの変更」を参照してください。

### 12.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、SSUIC/IICIC、TRHIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、004Ah番地(TRHIC)、  
004Fh番地(SSUIC/IICIC(注1))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 000: レベル0 (割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	R/W
b1	ILVL1			R/W
b2	ILVL2			R/W
				R/W
b3	IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

注1. SSUICSRレジスタのIICSELビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5 割り込み制御レジスタの変更」を参照してください。

## 12.2.3 INTi割り込み制御レジスタ (INTiIC)(i = 0 ~ 7)

アドレス 0043h番地 (INT7IC)、0044h番地 (INT6IC)、0045h番地 (INT5IC)、0046h番地 (INT4IC)、  
0055h番地 (INT2IC)、0059h番地 (INT1IC)、005Ah番地 (INT3IC)、005Dh番地 (INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット (注3)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択 (注2)	R/W
b5	—	予約ビット	“0” にしてください	R/W
b6	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—
b7	—			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

注2. INTENレジスタのINTiPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。  
「12.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5 割り込み制御レジスタの変更」を参照してください。

## 12.3 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

### 12.3.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスクابل割り込みは許可され、“0”（禁止）にするとすべてのマスクابل割り込みは禁止されます。

### 12.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込みでは、IRビットの動作が異なります。「12.7 タイマRC割り込み、タイマRH割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

### 12.3.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定を、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1 (マスクابل割り込み許可)
- IRビット = 1 (割り込み要求あり)
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 12.3 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル 0 (割り込み禁止)	—
001b	レベル 1	低い ↓ 高い
010b	レベル 2	
011b	レベル 3	
100b	レベル 4	
101b	レベル 5	
110b	レベル 6	
111b	レベル 7	

表 12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル 1 以上を許可
001b	レベル 2 以上を許可
010b	レベル 3 以上を許可
011b	レベル 4 以上を許可
100b	レベル 5 以上を許可
101b	レベル 6 以上を許可
110b	レベル 7 以上を許可
111b	すべてのマスクابل割り込みを禁止

### 12.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、**SMOVB**、**SMOVF**、**SSTR**、**RMPA**の各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図12.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。  
Iフラグは“0”(割り込み禁止)  
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)  
Uフラグは“0”(ISPを指定)  
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

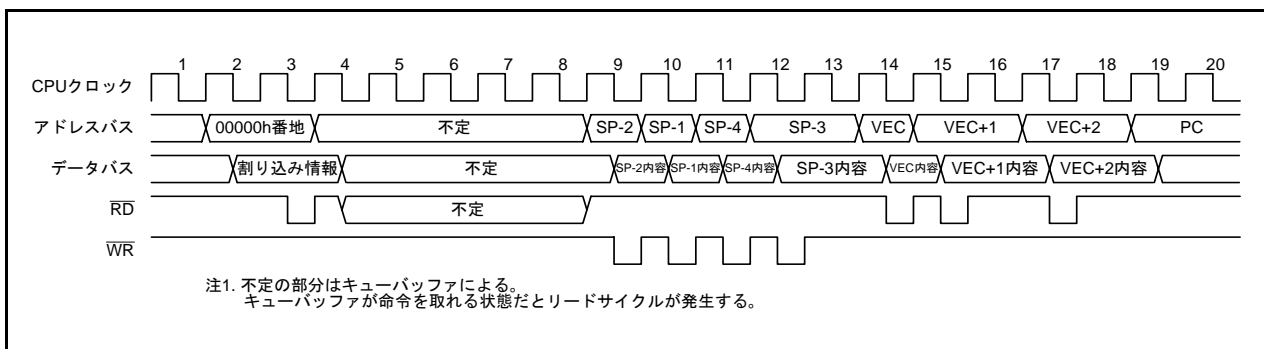


図12.3 割り込みシーケンスの実行時間

注2. タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース割り込みのIRビットの動作は「12.7 タイマRC割り込み、タイマRH割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

### 12.3.5 割り込み応答時間

図12.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.4の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

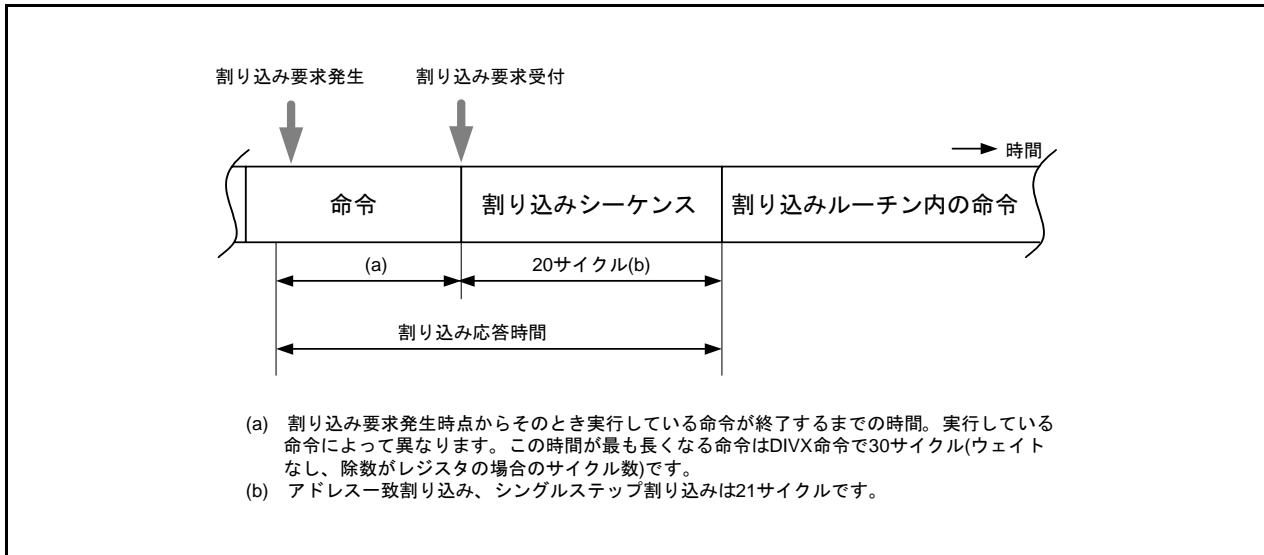


図12.4 割り込み応答時間

### 12.3.6 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。

表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

### 12.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図12.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

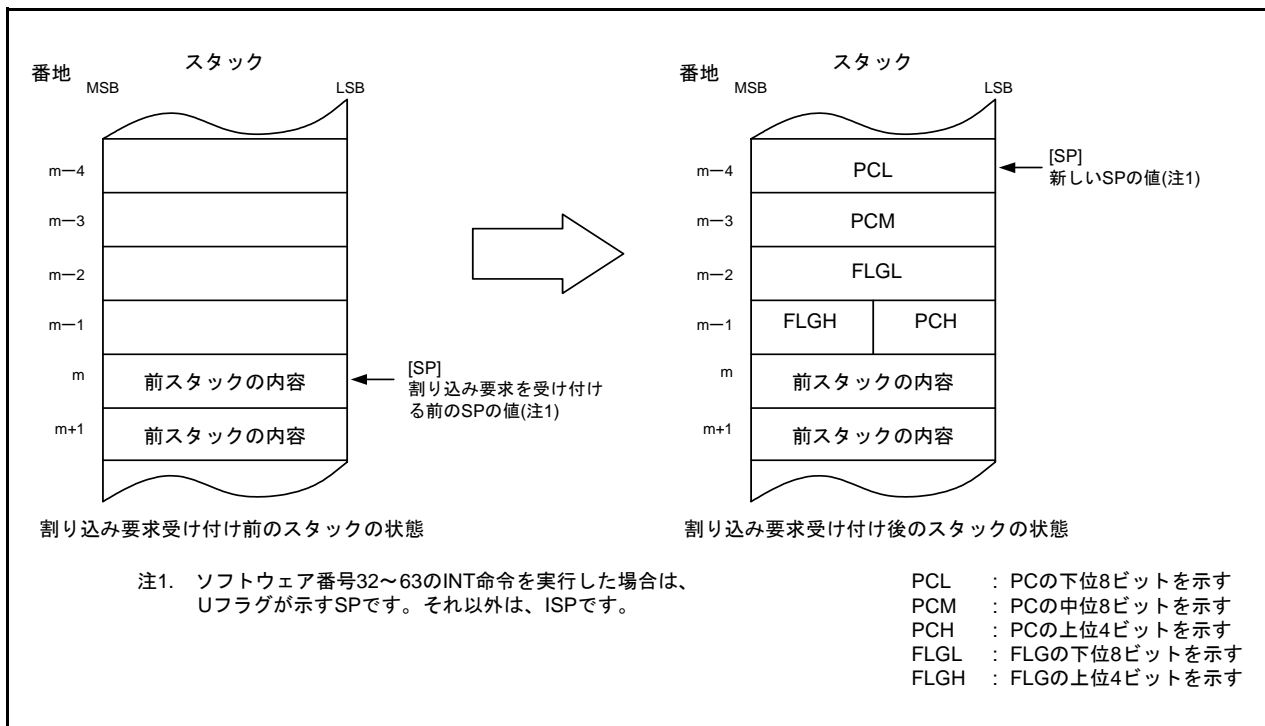


図 12.5 割り込み要求受け付け前と後のスタックの状態



割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。  
図12.6にレジスタ退避動作を示します。

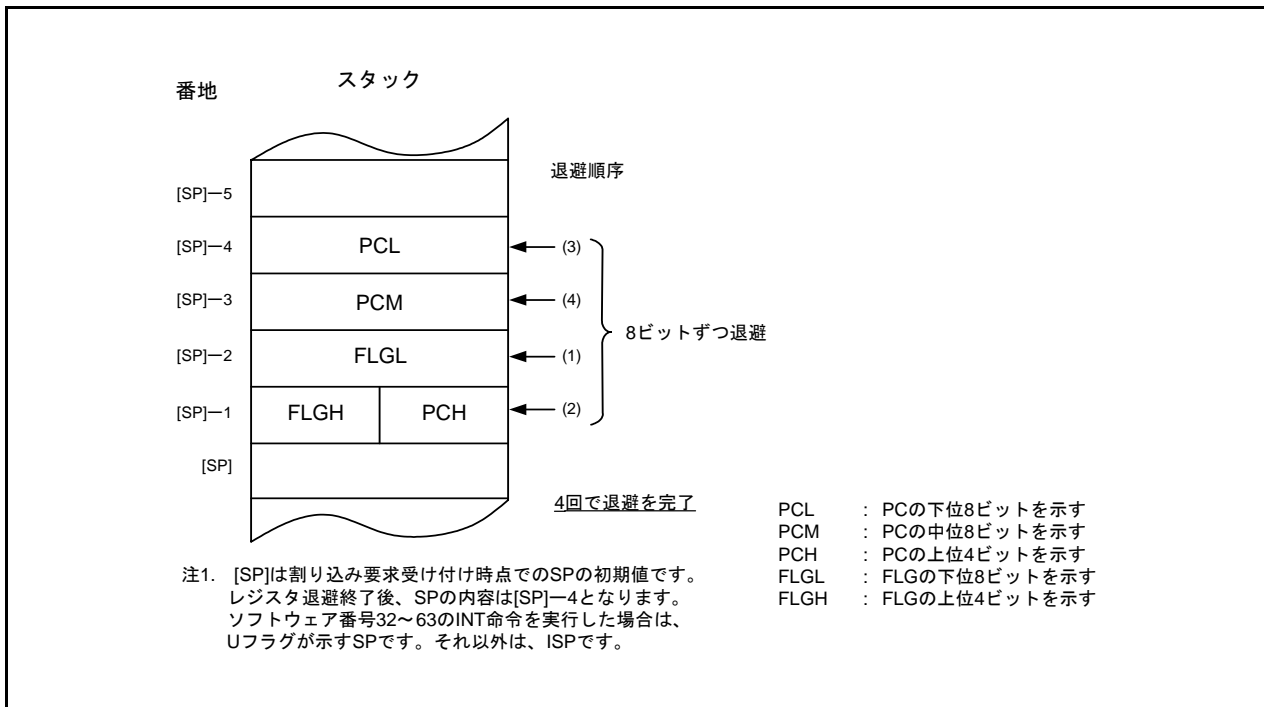


図12.6 レジスタ退避動作

### 12.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

### 12.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図12.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

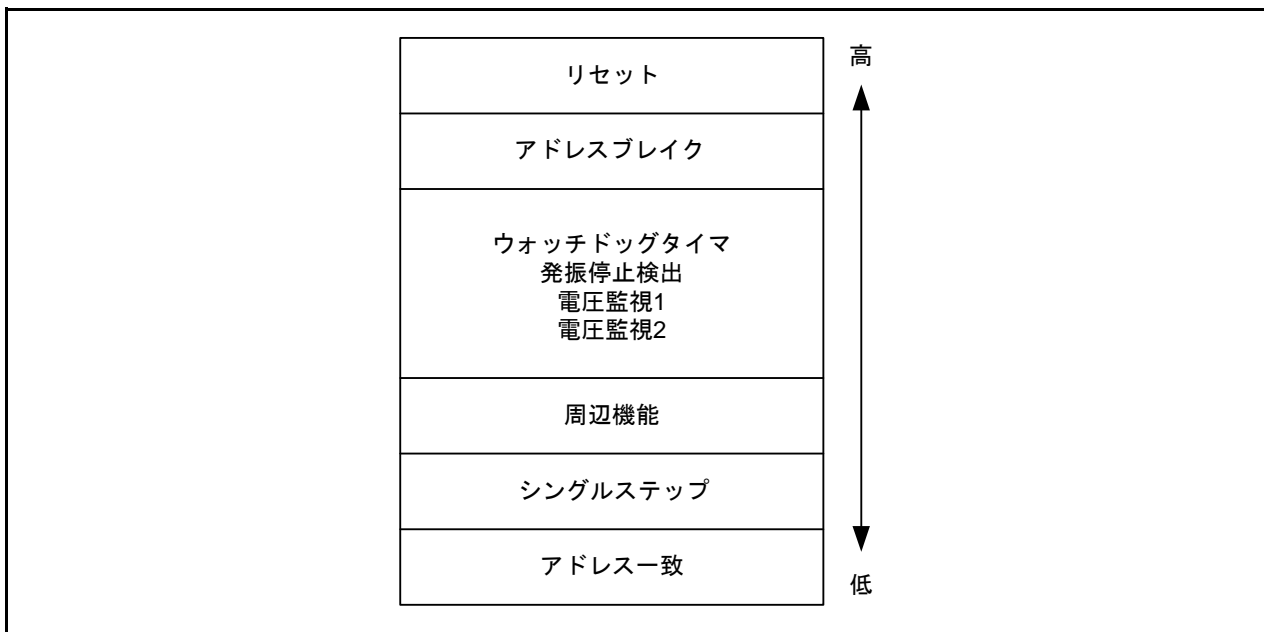


図 12.7 ハードウェア割り込みの割り込み優先順位

### 12.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。  
図 12.8 に割り込み優先レベルの判定回路を示します。

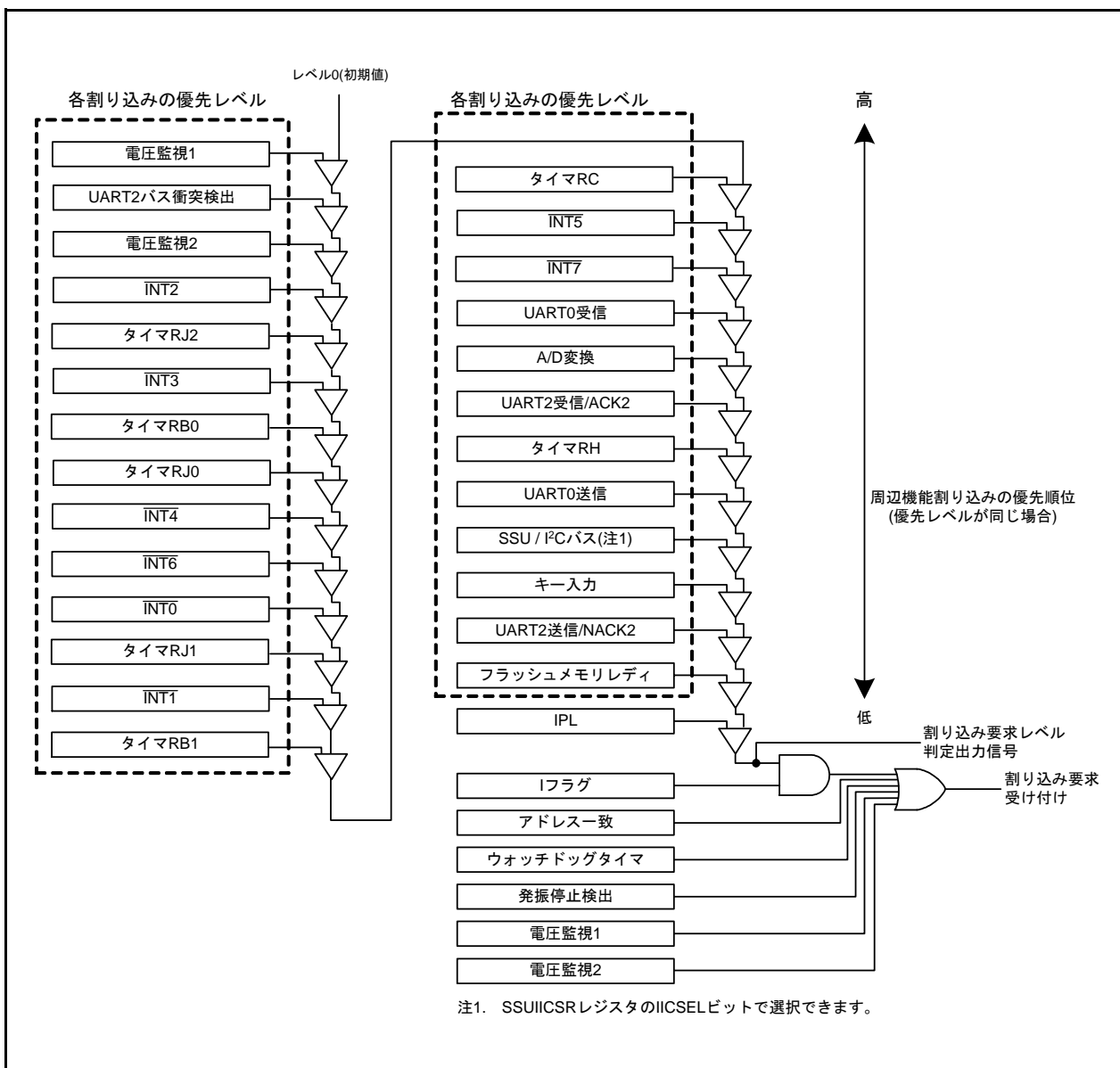


図 12.8 割り込み優先レベルの判定回路

## 12.4 $\overline{\text{INT}}$ 割り込み

### 12.4.1 $\overline{\text{INT}}_i$ 割り込み ( $i = 0 \sim 7$ )

$\overline{\text{INT}}_i$  割り込みは  $\overline{\text{INT}}_i$  入力による割り込みです。 $\overline{\text{INT}}_i$  割り込みを使用するときは  $\overline{\text{INTEN}}$  レジスタの  $\overline{\text{INT}}_i\text{EN}$  ビット “1” (許可) にしてください。極性を  $\overline{\text{INTEN}}$  レジスタの  $\overline{\text{INT}}_i\text{PL}$  ビットと  $\overline{\text{INT}}_i\text{IC}$  レジスタの  $\overline{\text{POL}}$  ビットで選択できます。 $\overline{\text{INT}}_i$  入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

$\overline{\text{INT}}_0$  端子はタイマRCのパルス出力強制遮断入力と、タイマRB0の外部トリガ入力と兼用です。

$\overline{\text{INT}}_2$  端子はタイマRJのイベント入力と兼用です。

$\overline{\text{INT}}_5$  端子はタイマRB1の外部トリガ入力と兼用です。

表12.6に  $\overline{\text{INT}}$  割り込みの端子構成を示します。

表 12.6  $\overline{\text{INT}}$  割り込みの端子構成

端子名	割り当てる端子	入出力	機能
$\overline{\text{INT}}_0$	P0_3またはP3_0	入力	$\overline{\text{INT}}_0$ 割り込み入力、タイマRB0の外部トリガ入力、タイマRCのパルス出力強制遮断入力
$\overline{\text{INT}}_1$	P8_0またはP3_1	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	P8_7またはP3_2	入力	$\overline{\text{INT}}_2$ 割り込み入力、タイマRJのイベントコントロール
$\overline{\text{INT}}_3$	P8_1またはP3_3	入力	$\overline{\text{INT}}_3$ 割り込み入力
$\overline{\text{INT}}_4$	P1_4またはP3_4	入力	$\overline{\text{INT}}_4$ 割り込み入力
$\overline{\text{INT}}_5$	P1_5またはP3_5	入力	$\overline{\text{INT}}_5$ 割り込み入力、タイマRB1の外部トリガ入力
$\overline{\text{INT}}_6$	P1_6またはP3_6	入力	$\overline{\text{INT}}_6$ 割り込み入力
$\overline{\text{INT}}_7$	P0_1またはP3_7	入力	$\overline{\text{INT}}_7$ 割り込み入力

## 12.4.2 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル INT7SELO|INT6SELO|INT5SELO|INT4SELO|INT3SELO|INT2SELO|INT1SELO|INT0SELO

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	INT0SELO	$\overline{\text{INT0}}$ 端子選択ビット	0 : P0_3に割り当てる 1 : P3_0に割り当てる	R/W
b1	INT1SELO	$\overline{\text{INT1}}$ 端子選択ビット	0 : P8_0に割り当てる 1 : P3_1に割り当てる	R/W
b2	INT2SELO	$\overline{\text{INT2}}$ 端子選択ビット	0 : P8_7に割り当てる 1 : P3_2に割り当てる	R/W
b3	INT3SELO	$\overline{\text{INT3}}$ 端子選択ビット	0 : P8_1に割り当てる 1 : P3_3に割り当てる	R/W
b4	INT4SELO	$\overline{\text{INT4}}$ 端子選択ビット	0 : P1_4に割り当てる 1 : P3_4に割り当てる	R/W
b5	INT5SELO	$\overline{\text{INT5}}$ 端子選択ビット	0 : P1_5に割り当てる 1 : P3_5に割り当てる	R/W
b6	INT6SELO	$\overline{\text{INT6}}$ 端子選択ビット	0 : P1_6に割り当てる 1 : P3_6に割り当てる	R/W
b7	INT7SELO	$\overline{\text{INT7}}$ 端子選択ビット	0 : P0_1に割り当てる 1 : P3_7に割り当てる	R/W

INTSRレジスタは、 $\overline{\text{INTi}}$  (i=0~7)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INTi}}$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INTi}}$ の関連レジスタを設定をする前に、INTSRレジスタを設定してください。また、 $\overline{\text{INTi}}$ の動作中はINTSRレジスタの設定値を変更しないでください。

## 12.4.3 外部入力許可レジスタ 0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i=0~3)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

## 12.4.4 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7PL	INT7EN	INT6PL	INT6EN	INT5PL	INT5EN	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	$\overline{\text{INT4}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	$\overline{\text{INT4}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT5EN	$\overline{\text{INT5}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT5PL	$\overline{\text{INT5}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT6EN	$\overline{\text{INT6}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT6PL	$\overline{\text{INT6}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT7EN	$\overline{\text{INT7}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT7PL	$\overline{\text{INT7}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i=4~7)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTEN1レジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

## 12.4.5 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

## 12.4.6 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 01FDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7F1	INT7F0	INT6F1	INT6F0	INT5F1	INT5F0	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT4F1			R/W
b2	INT5F0	INT5入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT5F1			R/W
b4	INT6F0	INT6入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT6F1			R/W
b6	INT7F0	INT7入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT7F1			R/W



### 12.4.7 $\overline{\text{INT}}_i$ 入力フィルタ ( $i = 0 \sim 7$ )

$\overline{\text{INT}}_i$  入力は、デジタルフィルタを持ちます。サンプリングクロックは  $\overline{\text{INT}}_i$ 、 $\text{INTF}$ 、 $\text{INTF1}$  レジスタの  $\text{INTiF0} \sim \text{INTiF1}$  ビットで選択できます。サンプリングクロックごとに  $\overline{\text{INT}}_i$  のレベルをサンプリングし、レベルが3度一致した時点で、 $\text{INTiC}$  レジスタの  $\text{IR}$  ビットが“1” (割り込み要求あり) になります。

図 12.9 に  $\overline{\text{INT}}_i$  入力フィルタの構成を、図 12.10 に  $\overline{\text{INT}}_i$  入力フィルタ動作例を示します。

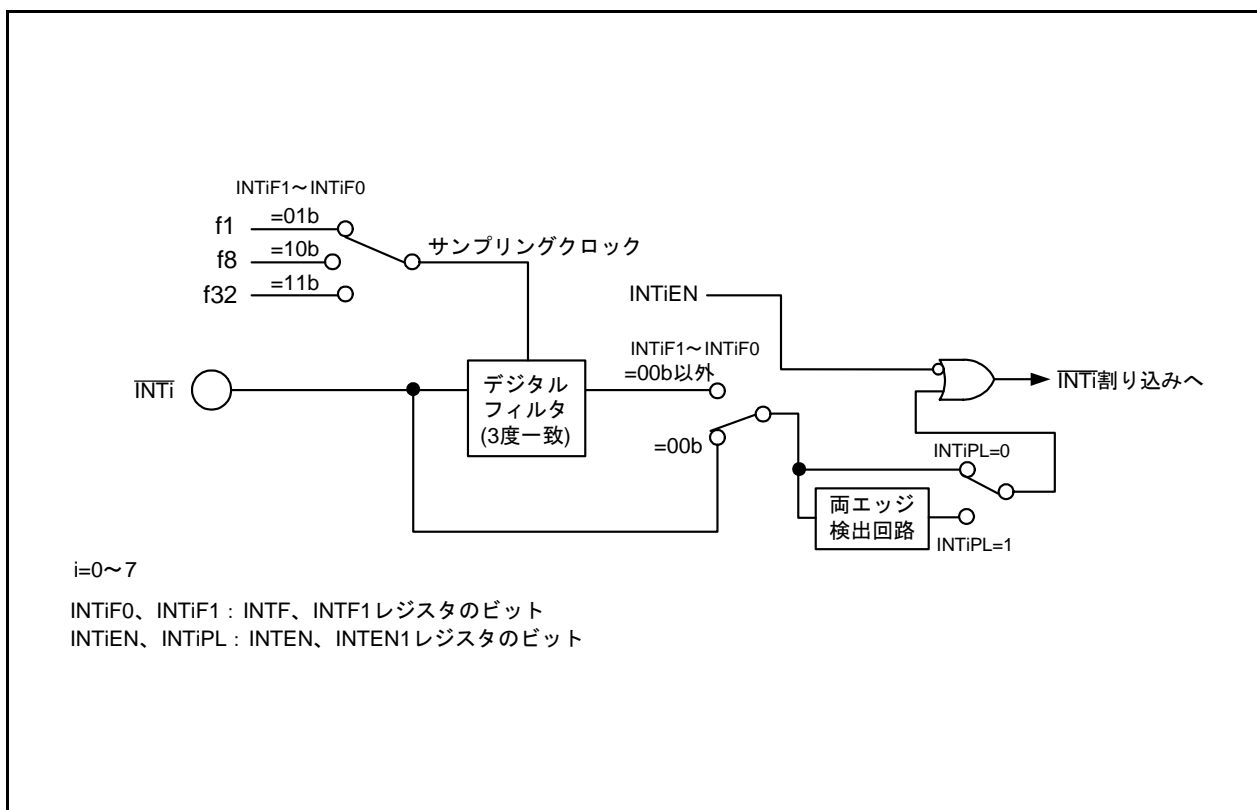


図 12.9  $\overline{\text{INT}}_i$  入力フィルタの構成

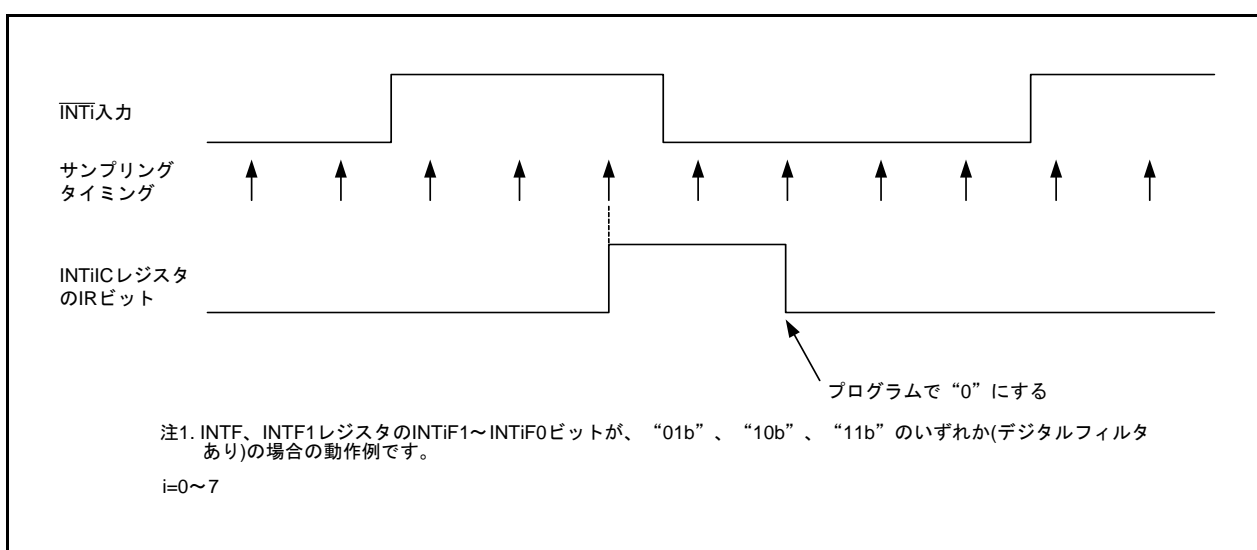


図 12.10  $\overline{\text{INT}}_i$  入力フィルタ動作例

## 12.5 キー入力割り込み

$\overline{KI0} \sim \overline{KI7}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

$KIEN$ レジスタの $KIiEN$ ビット( $i=0 \sim 7$ )で、端子を $\overline{KIi}$ 入力として使用するかどうかを選択できます。また、 $KIEN$ レジスタの $KIiPL$ ビットで入力極性を選択できます。

なお、 $KIiPL$ ビットを“0”(立ち下がりエッジ)にしている $\overline{KIi}$ 端子に“L”を入力していると、他の $\overline{KI0} \sim \overline{KI7}$ 端子の入力は割り込みとして検知されません。同様に、 $KIiPL$ ビットを“1”(立ち上がりエッジ)にしている $\overline{KIi}$ 端子に“H”を入力していると、他の $\overline{KI0} \sim \overline{KI7}$ 端子の入力は割り込みとして検知されません。

図12.11にキー入力割り込みのブロック図を示します。表12.7にキー入力割り込みの端子構成を示します。

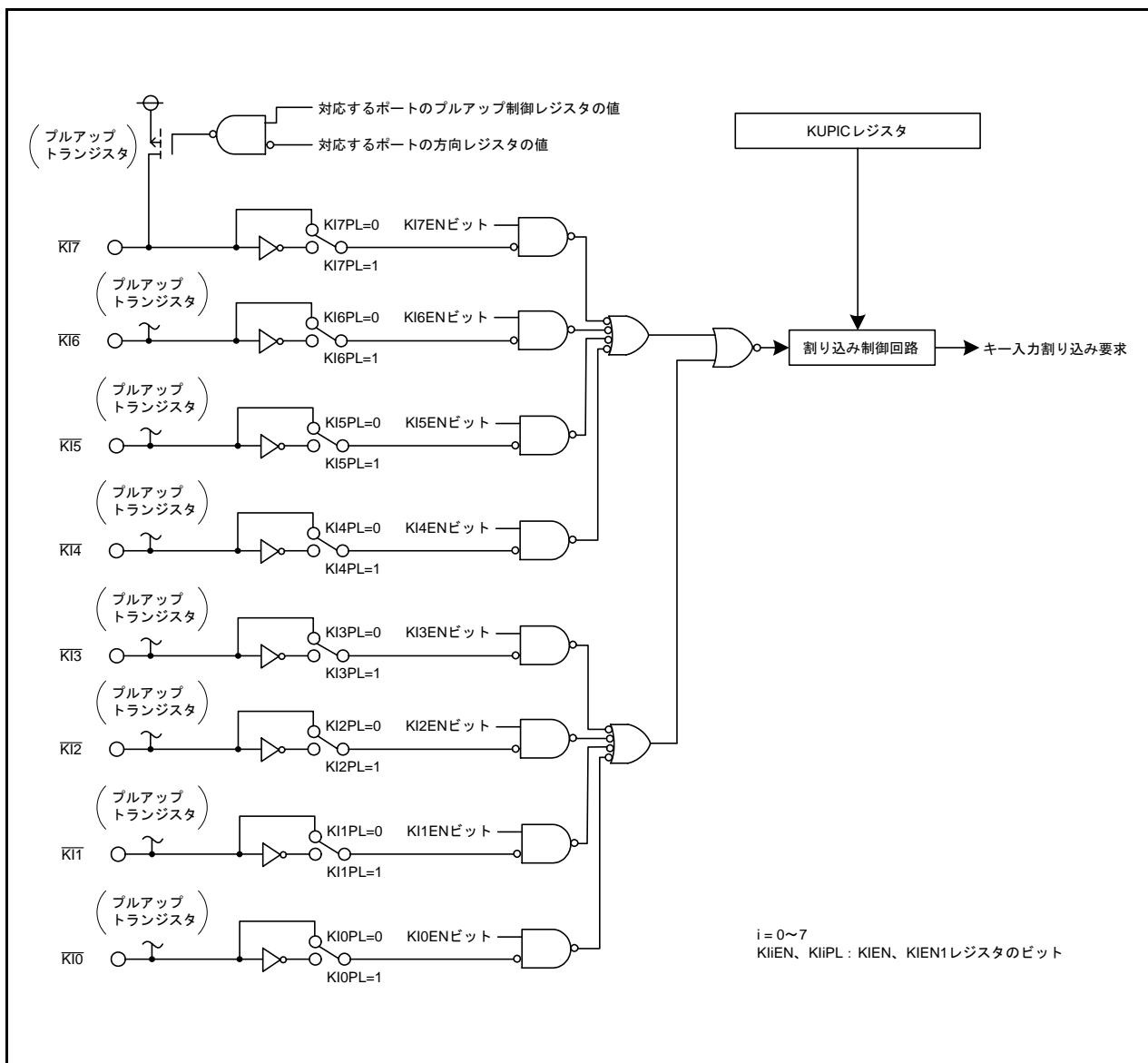


図12.11 キー入力割り込みのブロック図

表 12.7 キー入力割り込みの端子構成

端子名	入出力	機能
KI0	入力	$\overline{\text{KI0}}$ 割り込み入力
KI1	入力	$\overline{\text{KI1}}$ 割り込み入力
KI2	入力	$\overline{\text{KI2}}$ 割り込み入力
KI3	入力	$\overline{\text{KI3}}$ 割り込み入力
KI4	入力	$\overline{\text{KI4}}$ 割り込み入力
KI5	入力	$\overline{\text{KI5}}$ 割り込み入力
KI6	入力	$\overline{\text{KI6}}$ 割り込み入力
KI7	入力	$\overline{\text{KI7}}$ 割り込み入力

## 12.5.1 キー入力許可レジスタ 0(KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”（割り込み要求あり）になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

## 12.5.2 キー入力許可レジスタ 1(KIEN1)

アドレス 01FFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7PL	KI7EN	KI6PL	KI6EN	KI5PL	KI5EN	KI4PL	KI4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI4EN	KI4入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI4PL	KI4入力極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がリエッジ	R/W
b2	KI5EN	KI5入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI5PL	KI5入力極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がリエッジ	R/W
b4	KI6EN	KI6入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI6PL	KI6入力極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がリエッジ	R/W
b6	KI7EN	KI7入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI7PL	KI7入力極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がリエッジ	R/W

KIEN1レジスタを変更すると、KUPICレジスタのIRビットが“1”（割り込み要求あり）になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

## 12.6 アドレス一致割り込み

RMADi(i = 0 ~ 1) レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレイク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1 レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i = 0 ~ 1) レジスタには命令の先頭番地を設定してください。割り込みの禁止または許可はAIERi レジスタのAIERi ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.3.7 レジスタ退避」参照)は、RMADi レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表12.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

表 12.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタ(i = 0 ~ 1)で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> <li>• オペコードが2バイトの命令(注2)</li> <li>• オペコードが1バイトの命令(注2)</li> </ul> ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

注1. 退避されるPCの値 : 「12.3.7 レジスタ退避」参照。

注2. オペコード : 「R8C/Tinyシリーズ ソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表 12.9 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER00	RMAD0
アドレス一致割り込み1	AIER10	RMAD1

12.6.1 アドレス一致割り込み許可レジスタ*i* (AIER<sub>*i*</sub>)(*i* = 0 ~ 1)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	—	AIER00
リセット後の値	0	0	0	0	0	0	0	0	AIER0 レジスタ

シンボル	—	—	—	—	—	—	—	—	AIER10
リセット後の値	0	0	0	0	0	0	0	0	AIER1 レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

12.6.2 アドレス一致割り込みレジスタ*i* (RMAD<sub>*i*</sub>)(*i* = 0 ~ 1)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19 ~ b0	—	アドレス一致割り込み用アドレス設定レジスタ	00000h ~ FFFFFh	R/W
b20	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b21	—			
b22	—			
b23	—			

## 12.7 タイマRC割り込み、タイマRH割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRH、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表12.10にタイマRC、タイマRH、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを示します。

表12.10 タイマRC、タイマRH、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIER	TRCIC
タイマRH	ALIF (TRHIFRのビット0)(注1)、 RTCF (TRHIFRのビット1)(注1)、 INTF (TRHICRのビット7)、 CMIF (TRHIFRのビット0)(注2)、 OVIF (TRHIFRのビット1)(注2)	TRHIER SLINT (TRHICRのビット5) ALIE (TRHIFRのビット2)	TRHIC
シンクロナスシリアルコミュニケーションユニット	SSSR	SSER	SSUIC
I <sup>2</sup> Cバスインタフェース	ICSR	ICIER	IICIC
フラッシュメモリ	RDYSTI (FSTのビット0) BSYAEI (FSTのビット1)	RDYSTIE (FMR0のビット7) BSYAEIE (FMR0のビット6) CMDERIE (FMR0のビット5)	FMRDYIC

注1. リアルタイムクロックモード時

注2. アウトプットコンペアモード時



タイマRC、タイマRH、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。  
すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。  
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。  
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。  
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「18. タイマRC」、「19. タイマRH」、「24. シンクロナスシリアルコミュニケーションユニット(SSU)」、「25. I<sup>2</sup>Cバスインタフェース」、「29. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「12.3 割り込み制御」を参照してください。

## 12.8 割り込み使用上の注意

### 12.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 12.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 12.8.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT7}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力( $i=0 \sim 7$ )に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表30.29 外部割り込み $\overline{\text{INTi}}$  ( $i=0 \sim 7$ )、キー入力割り込み $\overline{\text{KIi}}$  ( $i=0 \sim 7$ )のタイミング条件」を参照。)

### 12.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 12.12に割り込み要因の変更手順例を示します。

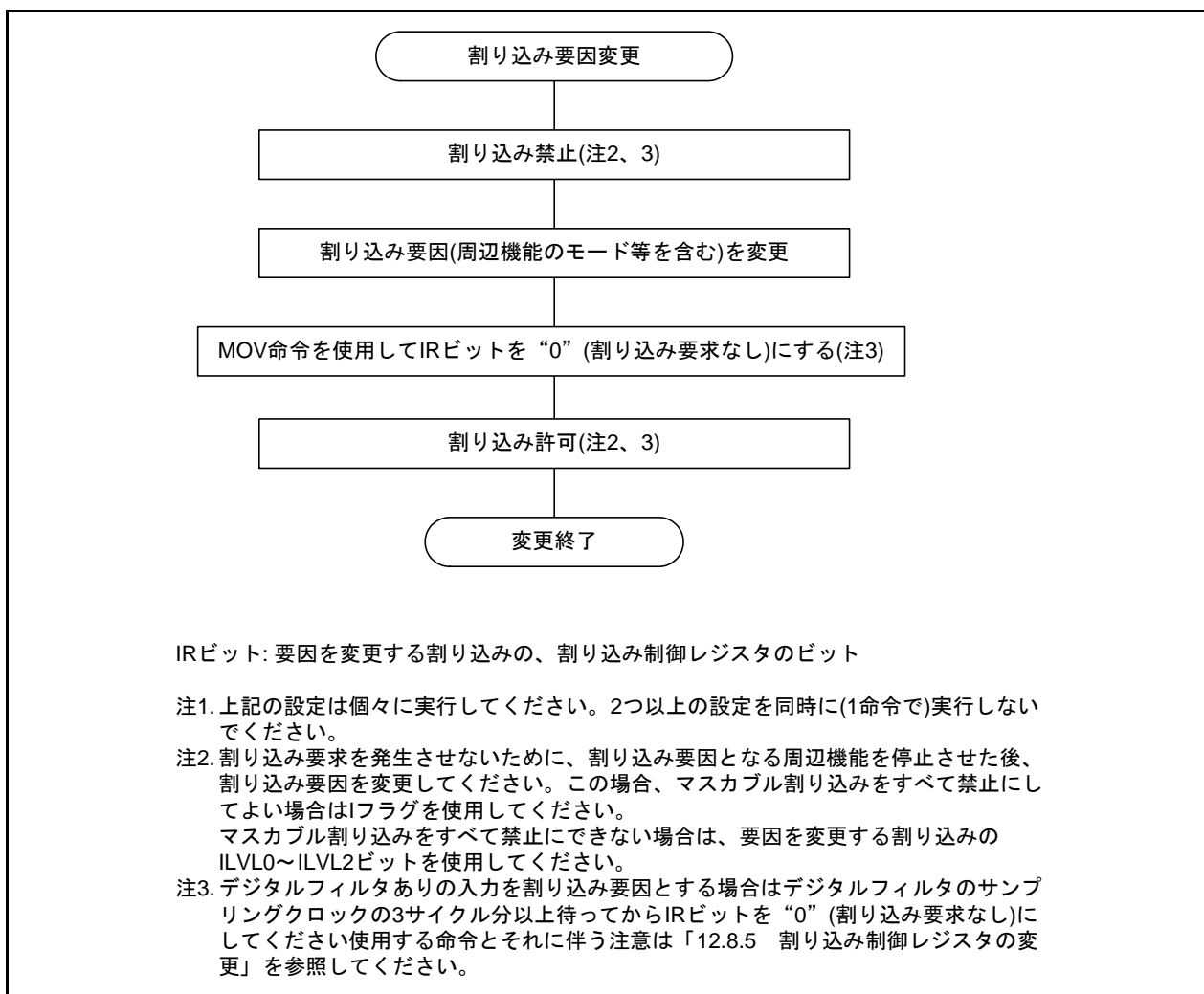


図 12.12 割り込み要因の変更手順例

### 12.8.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。  
IRビット以外のビットの変更  
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。  
対象となる命令 ..... AND、OR、BCLR、BSET
- IRビットの変更  
IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRJ0ICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

## 13. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

### 13.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFFb 番地です。図13.1にIDコード領域を示します。

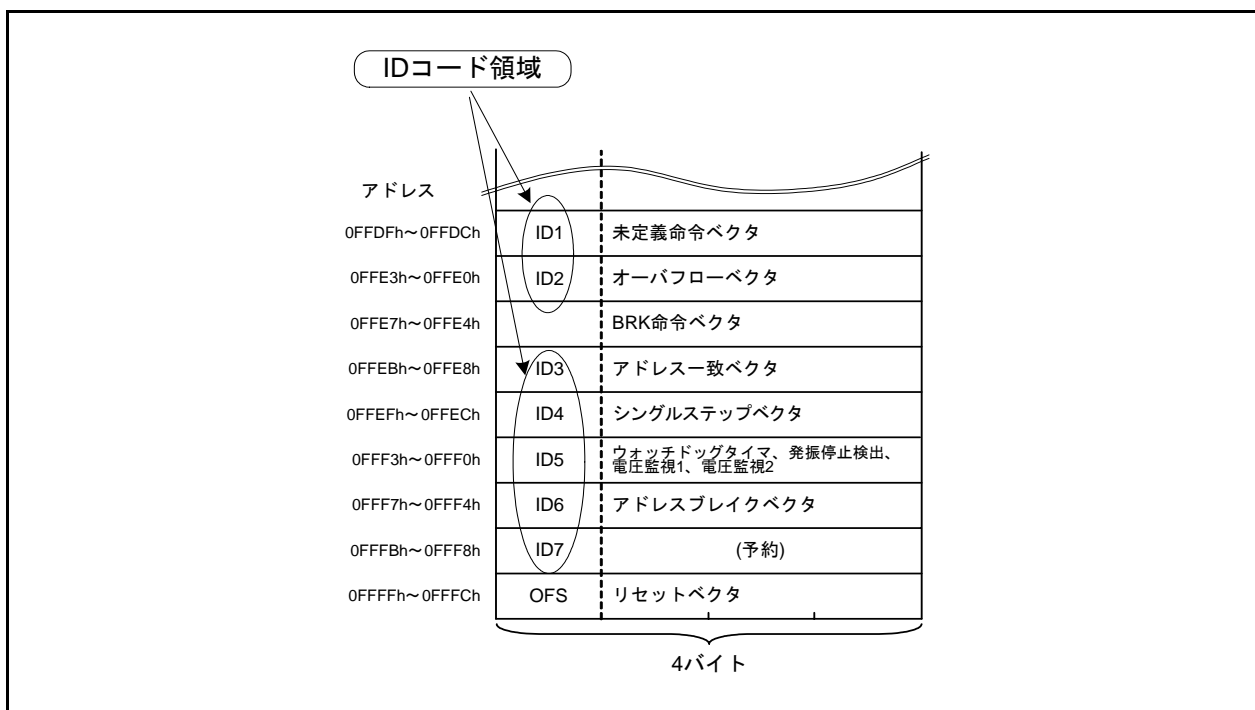


図13.1 IDコード領域

## 13.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh～0FFFEh番地)が“FFFFFFh”ではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh～0FFFEh番地)が“FFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表13.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表13.1と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表 13.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“A” 大文字)	50h (“P” 大文字)
0FFE3h	ID2	4Ch (“L” 大文字)	72h (“r” 小文字)
0FFE8h	ID3	65h (“e” 小文字)	6Fh (“o” 小文字)
0FFEfH	ID4	52h (“R” 大文字)	74h (“t” 小文字)
0FFF3h	ID5	41h (“A” 大文字)	65h (“e” 小文字)
0FFF7h	ID6	53h (“S” 大文字)	63h (“c” 小文字)
0FFFBh	ID7	45h (“E” 大文字)	74h (“t” 小文字)

注1. IDコード格納番地のアドレスとデータがすべて表13.1と一致する場合は予約語です。

### 13.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表13.1 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表13.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表 13.2 強制イレーズ機能の条件と動作

条件			動作
シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去 (強制イレーズ機能)
	ALeRASE 以外 (注1)	“01b” 以外 (ROMコードプロテクト解除)	
ALeRASE 以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
	ALeRASE 以外 (注1)	—	IDコードの判定 (IDコードチェック機能)

注1. “Protect” の場合は「13.4 標準シリアル入出力モード禁止機能」参照。

### 13.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表13.1 IDコードの予約語」参照)の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライターやオンチップデバッグエミュレータでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

## 13.5 IDコード領域使用上の注意

### 13.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h) ; UND
.lword dummy | (55000000h) ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h) ; ADDRESS MATCH
.lword dummy | (55000000h) ; SET SINGLE STEP
.lword dummy | (55000000h) ; WDT
.lword dummy | (55000000h) ; ADDRESS BREAK
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)



## 14. オプション機能選択領域

### 14.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図14.1にオプション機能選択領域を示します。

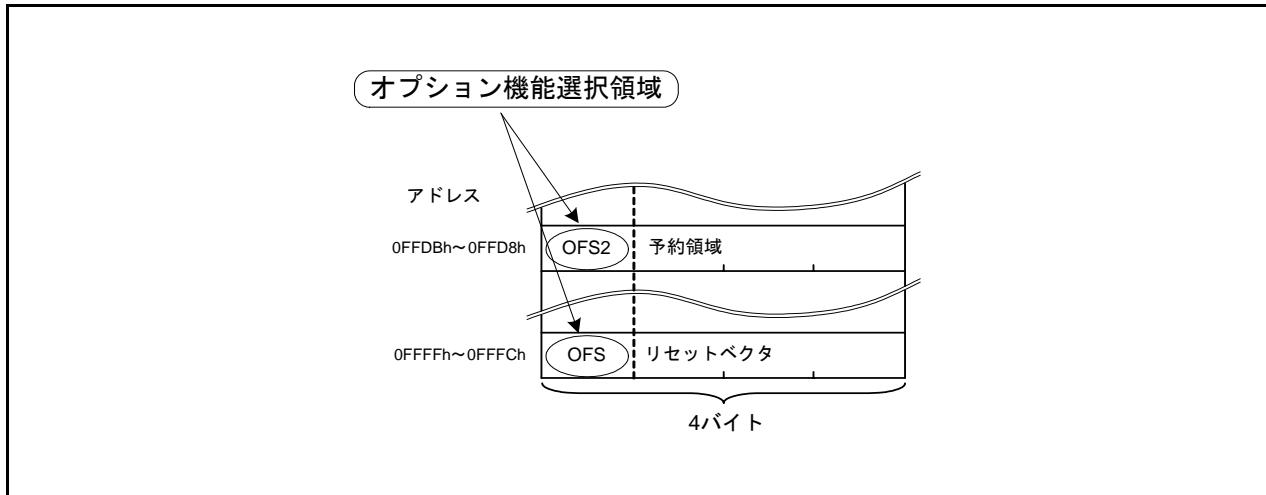


図14.1 オプション機能選択領域

## 14.2 レジスタの説明

OFSレジスタおよびOFS2レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

### 14.2.1 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

### LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 14.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1 リフレッシュ受付期間」を参照してください。

### 14.3 オプション機能選択領域使用上の注意

#### 14.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFC
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 15. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお勧めします。

### 15.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表15.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図15.1にウォッチドッグタイマのブロック図を示します。

表 15.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> <li>リセット後、自動的にカウントを開始</li> <li>WDTSレジスタへの書き込みによりカウントを開始</li> </ul>	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1)</li> <li>アンダフロー</li> </ul>	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> <li>プリスケアラの分周比 WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択</li> <li>カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択</li> <li>リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択</li> <li>ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0～WDTUFS1ビットで選択</li> <li>ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択</li> </ul>	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

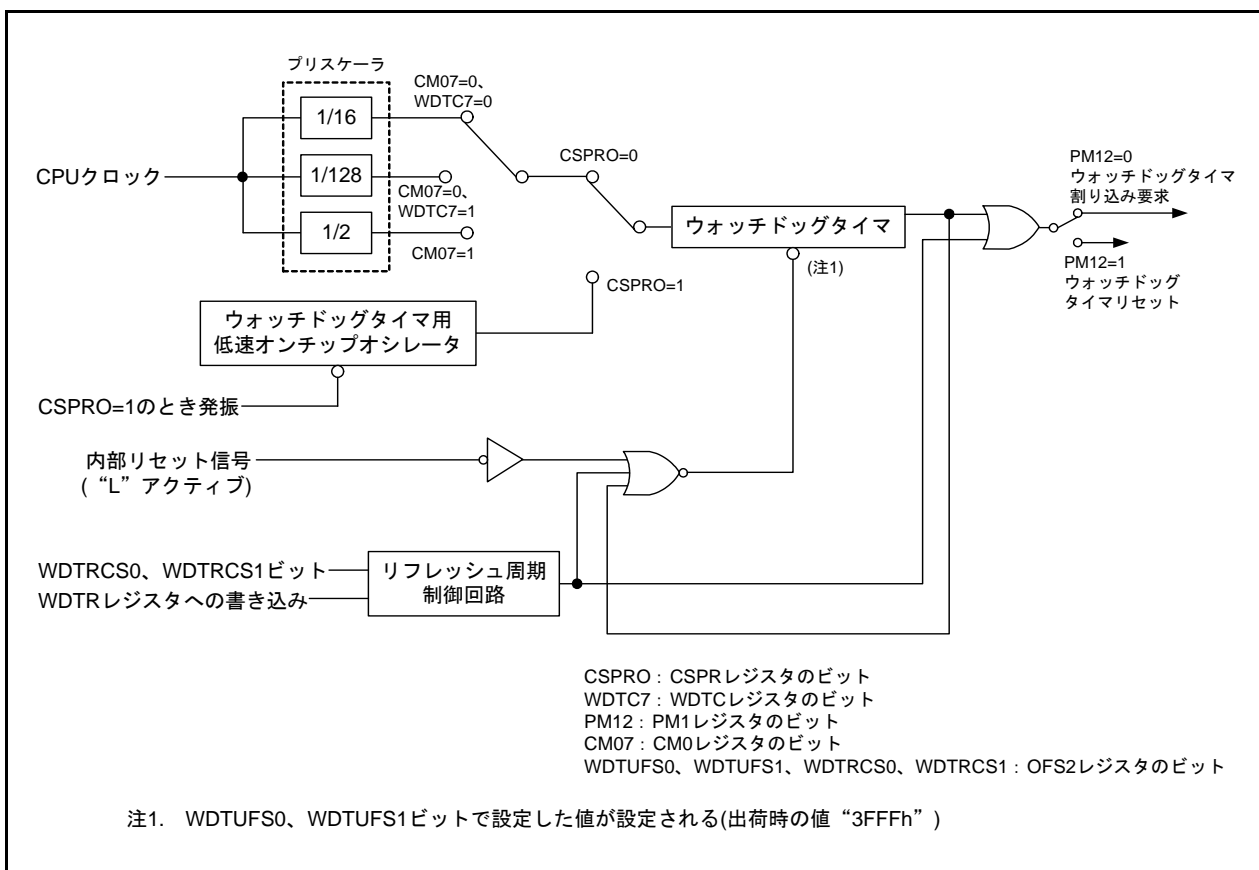


図 15.1 ウォッチドッグタイマのブロック図

## 15.2 レジスタの説明

## 15.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PM12	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	PM12	WDT 割り込み/リセット切り替えビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット(注1)	R/W
b3	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—	予約ビット	“0” にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

## 15.2.2 ウォッチドッグタイマリセットレジスタ (WDTR)

アドレス 000Dh 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7~b0	“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウンタ動作中に書いてください。

## 15.2.3 ウォッチドッグタイマスタートレジスタ (WDTS)

アドレス 000Eh 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7~b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

## 15.2.4 ウォッチドッグタイマ制御レジスタ (WDTC)

アドレス 000Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	—	—	—	—	—	—	—
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	ウォッチドッグタイマの次のビットが読める。 OFS2レジスタのWDTUFS1～WDTUFS0ビットが “00b” (03FFh)のとき：b5～b0 “01b” (0FFFh)のとき：b7～b2 “10b” (1FFFh)のとき：b8～b3 “11b” (3FFFh)のとき：b9～b4		R
b1	—			R
b2	—			R
b3	—			R
b4	—			R
b5	—			R
b6	—	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケアラ選択ビット	0：16分周 1：128分周	R/W

## 15.2.5 カウントソース保護モードレジスタ (CSPR)

アドレス 001Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが“1”の場合								
リセット後の値	1	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが“0”の場合								

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0：カウントソース保護モード無効 1：カウントソース保護モード有効	R/W

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。



## 15.2.6 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”（リセット後、電圧監視0リセット有効）にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 15.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1 リフレッシュ受付期間」を参照してください。

## 15.3 動作説明

### 15.3.1 複数モードに関わる共通事項

#### 15.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択できます。図15.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中に、リフレッシュ動作を実行しないでください。

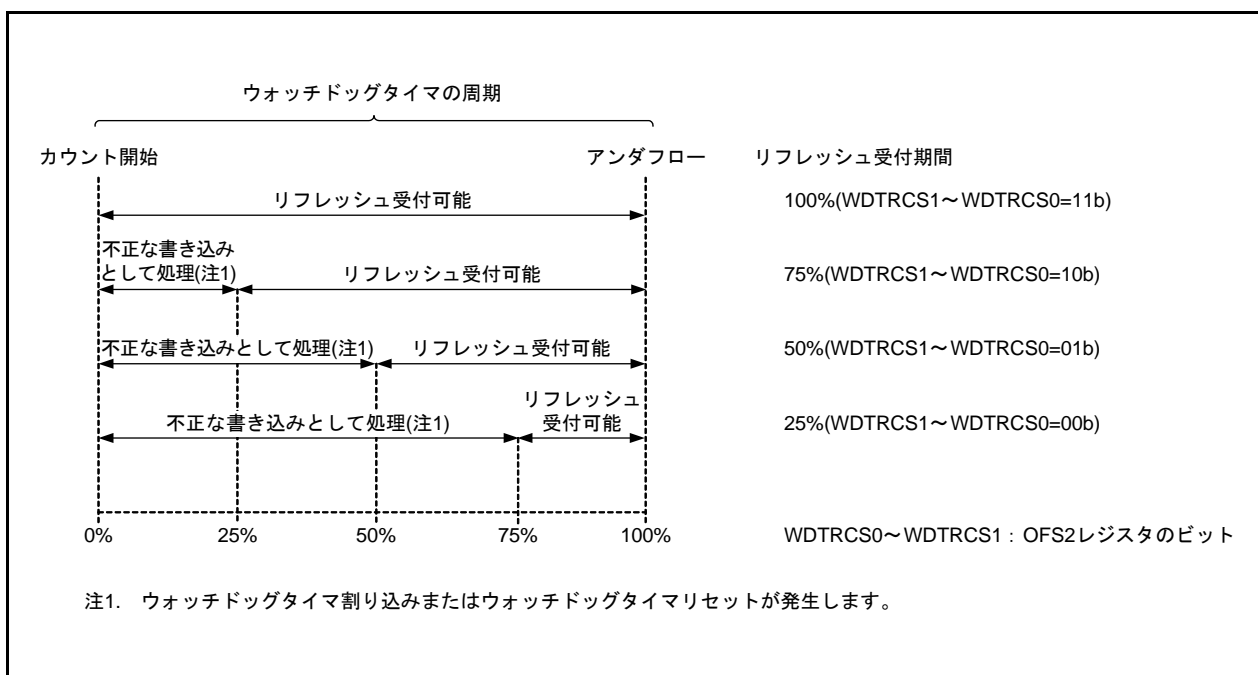


図15.2 ウォッチドッグタイマのリフレッシュ受付期間

## 15.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。  
表15.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表15.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n)×ウォッチドッグタイマのカウント値(m) (注1) CPUクロック n: 16または128 (WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時 (CM0レジスタのCM07ビット=1)は2 m: OFS2レジスタのWDTUFS0~WDTUFS1ビットで設定した値 例: CPUクロックが20MHzで、プリスケアラが16分周し、WDTUFS1~WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約13.1ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> <li>PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み</li> <li>PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)</li> </ul>

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. OFSレジスタのWDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

### 15.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表15.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表 15.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	<p style="text-align: center;">ウォッチドッグタイマのカウント値(m)</p> <p>ウォッチドッグタイマ用低速オンチップオシレータクロック</p> <p>m : OFS2レジスタのWDTUFS0～WDTUFS1ビットで設定した値            例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、            WDTUFS1～WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms</p>
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>•リセット</li> <li>•WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>•アンダフロー</li> </ul>
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択</p> <ul style="list-style-type: none"> <li>•WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき              リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>•WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき              リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> <li>•CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される               <ul style="list-style-type: none"> <li>-ウォッチドッグタイマ用低速オンチップオシレータが発振</li> <li>-PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)</li> </ul> </li> </ul>

注1. OFSレジスタのWDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 16. タイマ総論

タイマは、次の4種類の計7本のタイマを備えています。

- タイマRB：8ビットプリスケアラ付8ビットタイマ×2本
- タイマRC：16ビットタイマ×1本
- タイマRH：3ビットカウンタ×1本、4ビットカウンタ×1本、8ビットカウンタ×1本
- タイマRJ：16ビットタイマ×3本

これらのタイマは、それぞれ独立して動作します。

表 16.1 各タイマの機能比較

項目	タイマRJ(0)	タイマRJ(1)	タイマRJ(2)	タイマRB(0)	タイマRB(1)	タイマRC	タイマRH	
構成	16ビットタイマ (リロードレジスタ付)	16ビットタイマ (リロードレジスタ付)	16ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)	3ビットカウンタ 4ビットカウンタ 8ビットカウンタ	
カウント	ダウンカウント	ダウンカウント	ダウンカウント	ダウンカウント	ダウンカウント	アップカウント/ ダウンカウント	アップカウント	
カウントソース	<ul style="list-style-type: none"> <li>• f1</li> <li>• f2</li> <li>• f8</li> <li>• fOCO</li> <li>• fC32</li> <li>• fC</li> </ul>	<ul style="list-style-type: none"> <li>• f1</li> <li>• f2</li> <li>• f8</li> <li>• fOCO</li> <li>• fC32</li> <li>• fC</li> <li>• タイマRJ(0) アンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>• f1</li> <li>• f2</li> <li>• f8</li> <li>• fOCO</li> <li>• fC32</li> <li>• fC</li> <li>• タイマRJ(1) アンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>• f1</li> <li>• f2</li> <li>• f8</li> <li>• タイマRJ(0) アンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>• f1</li> <li>• f2</li> <li>• f8</li> <li>• タイマRJ(1) アンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>• f1</li> <li>• f2</li> <li>• f4</li> <li>• f8</li> <li>• f32</li> <li>• fOCO20M</li> <li>• fOCO-F</li> <li>• TRCCLK</li> </ul>	<ul style="list-style-type: none"> <li>• f8</li> <li>• f32</li> <li>• f128</li> <li>• f256</li> <li>• f512</li> <li>• f2048</li> <li>• f4096</li> <li>• f8192</li> <li>• fC-TRH</li> </ul>	
機能	内部のカウントソースのカウント	タイマモード	タイマモード	タイマモード	タイマモード	タイマモード (アウトプットコンペア機能)	—	
	外部のカウントソースのカウント	イベントカウンタモード	イベントカウンタモード	イベントカウンタモード	—	タイマモード (アウトプットコンペア機能)	—	
	外部パルス幅/周期測定	パルス幅測定モード パルス周期測定モード	パルス幅測定モード パルス周期測定モード	パルス幅測定モード パルス周期測定モード	—	タイマモード (インプットキャプチャ機能：4本)	—	
	PWM出力	パルス出力モード (注1) イベントカウンタモード(注1)	パルス出力モード (注1) イベントカウンタモード(注1)	パルス出力モード (注1) イベントカウンタモード(注1)	プログラマブル波形発生モード	プログラマブル波形発生モード	タイマモード (アウトプットコンペア機能：4本) (注1) PWMモード(3本) PWM2モード(1本)	アウトプットコンペアモード
	ワンショット波形出力	—	—	—	プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード	プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード	PWMモード(3本)	—
	三相波形出力	—	—	—	—	—	—	—
	時計	タイマモード (fC32カウントのみ)	タイマモード (fC32カウントのみ)	タイマモード (fC32カウントのみ)	—	—	—	リアルタイムクロックモード
入力端子	TRJ0IO	TRJ1IO	TRJ2IO	INT0	INT5	INT0、 TRCCLK、 TRCTRG、 TRCIOA、 TRCIOB、 TRCIOC、 TRCIOD	—	
出力端子	TRJ0O TRJ0IO	TRJ1O TRJ1IO	TRJ2O TRJ2IO	TRB0O	TRB1O	TRCIOA、 TRCIOB、 TRCIOC、 TRCIOD	TRHO	
関連する割り込み	タイマRJ0割り込み	タイマRJ1割り込み	タイマRJ2割り込み	タイマRB0割り込み INT0割り込み	タイマRB1割り込み INT5割り込み	コンペアー致/ インプットキャプチャA～D割り込み オーバフロー/アンダフロー INT0割り込み	タイマRH割り込み	
タイマ停止	あり	あり	あり	あり	あり	あり	あり	

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

## 17. タイマRB

### 17.1 概要

タイマRBには、タイマRB0、タイマRB1の2本があります。

タイマRB0、タイマRB1は、8ビットプリスケラ付き8ビットタイマです。

プリスケラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表 17.3～表 17.6の各モードの仕様を参照してください)。タイマRB $i$ ( $i=0\sim 1$ )は、リロードレジスタとしてタイマRB $i$ プライマリ、タイマRB $i$ セカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 17.1にタイマRB $i$ のブロック図を、表 17.1にタイマRB $i$ の端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソース(周辺機能クロックまたはタイマR $j$ iのアンダフロー)をカウントするモード
- プログラマブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード デイレイドワンショットパルスを出力するモード

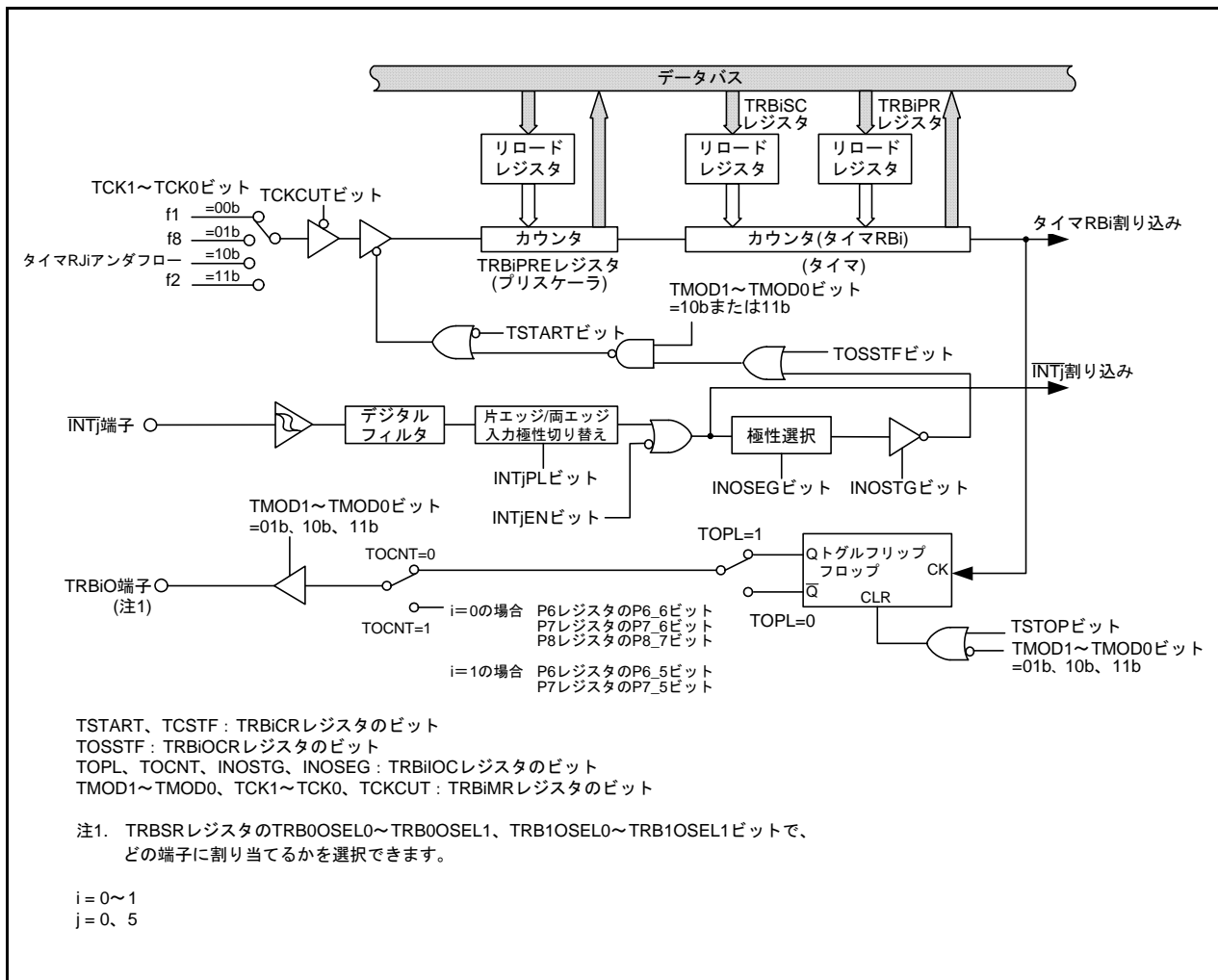


図 17.1 タイマRB $i$ のブロック図

表 17.1 タイマR<sub>B</sub><sub>i</sub>の端子構成

端子名	割り当てる端子	入出力	機能
TRB00	P6_6、P7_6、P8_7	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)
TRB10	P6_5、P7_5		

i = 0~1

表 17.2 タイマR<sub>B</sub><sub>i</sub>の各チャンネルに割り当てる $\overline{\text{INT}}_j$ 端子と内部カウントソース(i = 0~1、j = 0、5)

チャンネル	$\overline{\text{INT}}_j$ 端子	内部カウントソース (アンダフロー)
タイマRB0	$\overline{\text{INT}}_0$ 端子	タイマRJ0
タイマRB1	$\overline{\text{INT}}_5$ 端子	タイマRJ1



## 17.2 レジスタの説明

## 17.2.1 モジュールスタンバイ制御レジスタ1(MSTCR1)

アドレス 0010h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRJ2	MSTTRJ1	MSTTRJ0	MSTTRRH	MSTTRB1	MSTTRB0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRB0	タイマRB0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTTRB1	タイマRB1スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	MSTTRRH	タイマRHスタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b3	MSTTRJ0	タイマRJ0スタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b4	MSTTRJ1	タイマRJ1スタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b5	MSTTRJ2	タイマRJ2スタンバイビット	0: アクティブ 1: スタンバイ(注6)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

- 注1. MSTTRB0ビットが“1”(スタンバイ)のとき、タイマRB0関連レジスタ(0108h~010Eh番地)へのアクセスは無効になります。
- 注2. MSTTRB1ビットが“1”(スタンバイ)のとき、タイマRB1関連レジスタ(0098h~009Eh番地)へのアクセスは無効になります。
- 注3. MSTTRRHビットが“1”(スタンバイ)のとき、タイマRH関連レジスタ(0110h~011Fh番地)へのアクセスは無効になります。
- 注4. MSTTRJ0ビットが“1”(スタンバイ)のとき、タイマRJ0関連レジスタ(0080h~0086h番地)へのアクセスは無効になります。
- 注5. MSTTRJ1ビットが“1”(スタンバイ)のとき、タイマRJ1関連レジスタ(0088h~008Eh番地)へのアクセスは無効になります。
- 注6. MSTTRJ2ビットが“1”(スタンバイ)のとき、タイマRJ2関連レジスタ(0090h~0096h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

17.2.2 タイマR*Bi*制御レジスタ (TR*Bi*CR)(*i* = 0 ~ 1)

アドレス 0108h番地 (TRB0CR)、0098h番地 (TRB1CR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマR <i>Bi</i> カウント開始ビット(注1)	0 : カウント停止 1 : カウント開始	R/W
b1	TCSTF	タイマR <i>Bi</i> カウントステータスフラグ(注1)	0 : カウント停止 1 : カウント中(注3)	R
b2	TSTOP	タイマR <i>Bi</i> カウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「17.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TR*Bi*PREレジスタ、TR*Bi*SCレジスタ、TR*Bi*PRレジスタ、TSTARTビット、TCSTFビット、TR*Bi*OCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

17.2.3 タイマR*Bi*ワンショット制御レジスタ (TR*Bi*OCR)(*i* = 0 ~ 1)

アドレス 0109h番地 (TRB0OCR)、0099h番地 (TRB1OCR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマR <i>Bi</i> ワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマR <i>Bi</i> ワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマR <i>Bi</i> ワンショットステータスフラグ(注1)	0 : ワンショット停止中 1 : ワンショット動作中(ウェイト期間含む)	R
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TR*Bi*CRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TR*Bi*OCRレジスタは、TR*Bi*MRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

17.2.4 タイマR*B*i I/O制御レジスタ (TR*B*iIOC)(*i* = 0~1)アドレス 010Ah番地 (TR*B*0IOC)、009Ah番地 (TR*B*1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <i>B</i> iアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマR <i>B</i> i出力許可/不許可ビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

17.2.5 タイマR*B*iモードレジスタ (TR*B*iMR)(*i* = 0~1)アドレス 010Bh番地 (TR*B*0MR)、009Bh番地 (TR*B*1MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	—	TCK1	TCK0	TWRC	—	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマR <i>B</i> i動作モード選択ビット (注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	TWRC	タイマR <i>B</i> i書き込み制御ビット (注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマR <i>B</i> iカウントソース選択ビット (注1)	b5 b4 00: f1 01: f8 10: タイマR <i>J</i> iのアンダフロー (注3) 11: f2	R/W
b5	TCK1			R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	TCKCUT	タイマR <i>B</i> iカウントソース遮断 ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TMOD1~TMOD0ビット、TCK1~TCK0ビット、TCKCUTビットは、TR*B*iCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマR*J*iのアンダフロー信号をタイマR*B*のカウントソースにする場合、タイマR*J*iはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。

17.2.6 タイマR<sub>i</sub>プリスケーラレジスタ (TRBiPRE)(i = 0 ~ 1)

アドレス 010Ch番地 (TRB0PRE)、009Ch番地 (TRB1PRE)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソース、またはタイマR <sub>Ji</sub> アンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード		00h ~ FFh	R/W
	プログラマブルワンショット発生モード		00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h ~ FFh	R/W

TRBiCRレジスタのTSTOPビットに“1”を書くと、TRBiPREレジスタは“FFh”になります。

17.2.7 タイマR<sub>i</sub>セカンダリレジスタ (TRBiSC)(i = 0 ~ 1)

アドレス 010Dh番地 (TRB0SC)、009Dh番地 (TRB1SC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	無効	00h ~ FFh	—
	プログラマブル波形発生モード	タイマR <sub>i</sub> プリスケーラのアンダフローをカウント(注1)	00h ~ FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h ~ FFh	—
	プログラマブルウェイトワンショット発生モード	タイマR <sub>i</sub> プリスケーラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	W (注2)

注1. TRBiPRレジスタとTRBiSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBiPRレジスタで読めます。

TRBiCRレジスタのTSTOPビットに“1”を書くと、TRBiSCレジスタは“FFh”になります。

TRBiSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBiSCレジスタに値を書く
- (2) TRBiPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

17.2.8 タイマR*B*iプライマリレジスタ (TRBiPR)(*i* = 0~1)

アドレス 010Eh番地 (TRB0PR)、009Eh番地 (TRB1PR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7~b0	タイマモード	タイマR <i>B</i> iプリスケアラのアンダフローをカウント	00h~FFh	R/W
	プログラマブル波形発生モード	タイマR <i>B</i> iプリスケアラのアンダフローをカウント(注1)	00h~FFh	R/W
	プログラマブルワンショット発生モード	タイマR <i>B</i> iプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h~FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマR <i>B</i> iプリスケアラのアンダフローをカウント(ウェイト期間をカウント)	00h~FFh	R/W

注1. TRBiPRレジスタとTRBiSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBiCRレジスタのTSTOPビットに“1”を書くと、TRBiPRレジスタは“FFh”になります。

## 17.2.9 タイマRB端子選択レジスタ (TRBSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRB1OSEL1	TRB1OSEL0	TRB0OSEL1	TRB0OSEL0	—	—	TRJ2IOSEL1	TRJ2IOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJ2IOSEL0	TRJ2IO端子選択ビット	b1 b0 00: TRJ2IO端子は使用しない 01: P6_0に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b1	TRJ2IOSEL1			R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—			
b4	TRB0OSEL0	TRB0O端子選択ビット	b5 b4 00: P8_7に割り当てる 01: P7_6に割り当てる 10: P6_6に割り当てる 11: 設定しないでください	R/W
b5	TRB0OSEL1			R/W
b6	TRB1OSEL0	TRB1O端子選択ビット	b7 b6 00: P7_5に割り当てる 01: P6_5に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b7	TRB1OSEL1			R/W

タイマRJ2の出力端子を使用する場合は、TRBSRレジスタを設定してください。

タイマRJ2の関連レジスタを設定する前に、TRBSRレジスタを設定してください。また、タイマRJ2の動作中はTRBSRレジスタの設定値を変更しないでください。

### 17.3 タイマモード

内部で生成されたカウントソースまたはタイマR<sub>Ji</sub>(i = 0 ~ 1)のアンダフローをカウントするモードです(表 17.3)。タイマモード時、TRBiOCRおよびTRBiSCレジスタは使用しません。

表 17.3 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマR <sub>Ji</sub> のアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>•ダウncount</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続(タイマR<sub>Bi</sub>のアンダフロー時はタイマR<sub>Bi</sub>プライマリリロードレジスタの内容をリロード)</li> </ul>
分周比	1/(n+1)(m+1) n : TRBiPREレジスタの設定値、m : TRBiPRレジスタの設定値
カウント開始条件	TRBiCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>•TRBiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRBiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマR <sub>Bi</sub> のアンダフロー時[タイマR <sub>Bi</sub> 割り込み]
TRBiO端子機能	プログラマブル入出力ポート
$\overline{\text{INTj}}$ 端子機能	プログラマブル入出力ポート、または $\overline{\text{INTj}}$ 割り込み入力
タイマの読み出し	TRBiPRレジスタ、TRBiPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRBiPREレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRBiPREレジスタ、TRBiPRレジスタに書き込むと、TRBiMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>

i = 0 ~ 1、j = 0、5

#### 17.3.1 タイマR<sub>Bi</sub> I/O制御レジスタ (TRBiIOC)(i = 0 ~ 1)[タイマモード時]

アドレス 010Ah番地(TRB0IOC)、009Ah番地(TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <sub>Bi</sub> アウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマR <sub>Bi</sub> 出力許可/不許可ビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

### 17.3.2 カウント中のタイマ書き込み制御

タイマR<sub>Bi</sub>( $i=0\sim 1$ )はプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TR<sub>Bi</sub>MRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれません。図 17.2にタイマR<sub>Bi</sub>カウント中にカウント値を書き換えた場合の動作例を示します。

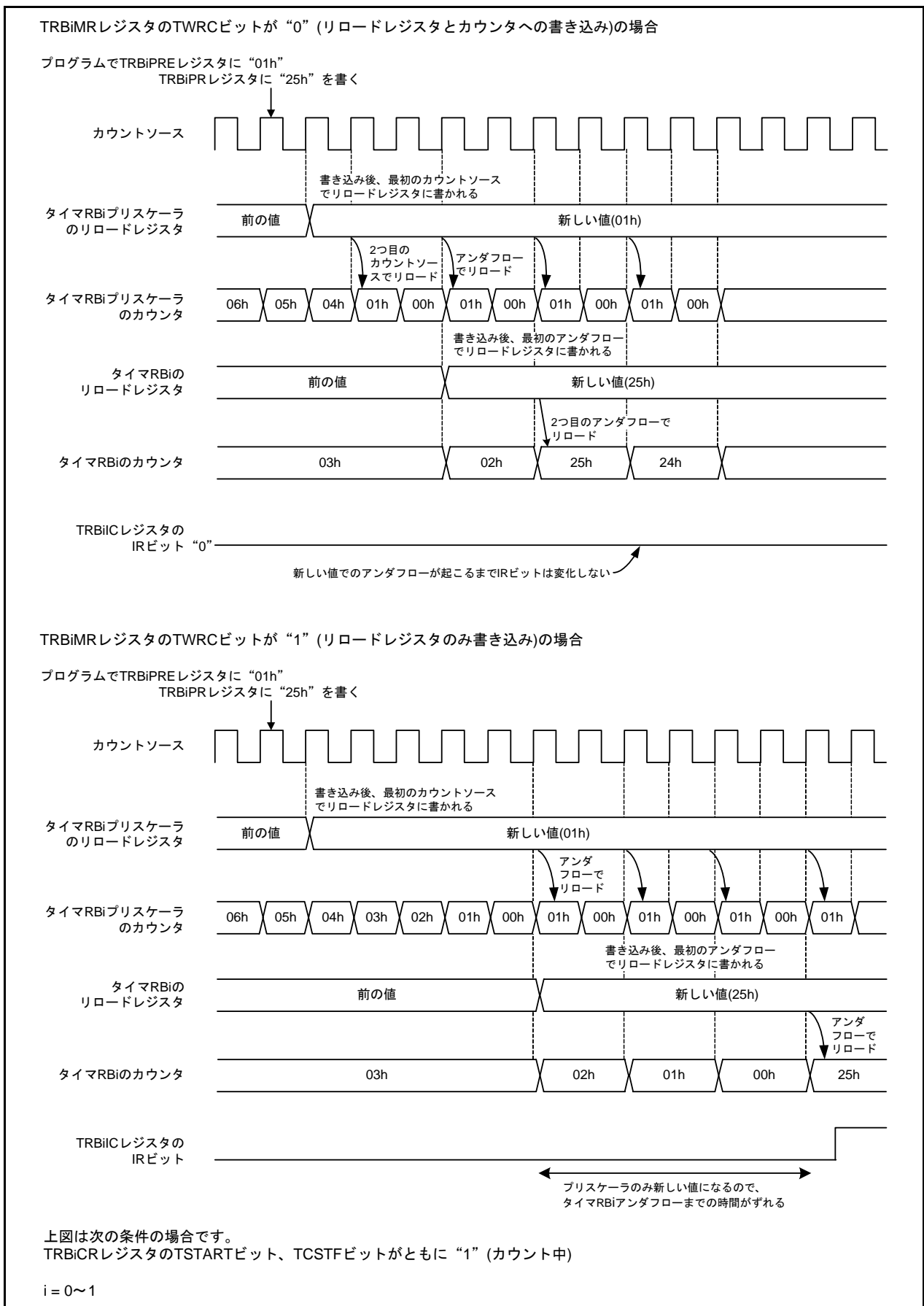


図 17.2 タイマRBiカウント中にカウント値を書き換えた場合の動作例



## 17.4 プログラマブル波形発生モード

TRBiPR( $i = 0 \sim 1$ )レジスタとTRBiSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBiO端子から出力する信号を反転するモードです(表 17.4)。カウント開始時は、TRBiPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBiOCRレジスタは使用しません。

図 17.3にプログラマブル波形発生モード時のタイマR*Bi*の動作例を示します。

表 17.4 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマR <i>Ji</i> のアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続</li> </ul>
出力波形の幅、周期	プライマリ期間： $(n+1)(m+1)/f_i$ セカンダリ期間： $(n+1)(p+1)/f_i$ 周期： $(n+1)\{(m+1)+(p+1)\}/f_i$ $f_i$ ：カウントソースの周波数 $n$ ：TRBiPREレジスタの設定値、 $m$ ：TRBiPRレジスタの設定値 $p$ ：TRBiSCレジスタの設定値
カウント開始条件	TRBiCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>・TRBiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRBiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマR <i>Bi</i> のアンダフローからカウントソースの1/2サイクル後(TRBiO出力の変化と同時)[タイマR <i>Bi</i> 割り込み]
TRBiO端子機能	プログラマブル出力ポート、またはパルス出力
INT <i>J</i> 端子機能	プログラマブル入出力ポート、またはINT <i>J</i> 割り込み入力
タイマの読み出し	TRBiPRレジスタ、TRBiPREレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択</li> <li>・波形出力許可/禁止機能 TRBiIOCレジスタのTOCNTビットでタイマRB波形の出力許可、または禁止を選択(注3)</li> </ul>

注1. セカンダリ期間をカウント中でも、TRBiPRレジスタを読み出してください。

注2. 波形の出力は、TRBiPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNTビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマR*Bi*割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

$i = 0 \sim 1$ 、 $j = 0, 5$

17.4.1 タイマR*B*<sub>*i*</sub> I/O制御レジスタ (TRB*i*IOC)(*i* = 0~1)[プログラマブル波形発生モード時]

アドレス 010Ah番地 (TRB0IOC)、009Ah番地 (TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <i>B</i> <sub><i>i</i></sub> アウトプットレベル選択ビット	0 : プライマリ期間 “H” 出力、セカンダリ期間 “L” 出力 タイマ停止時 “L” 出力 1 : プライマリ期間 “L” 出力、セカンダリ期間 “H” 出力 タイマ停止時 “H” 出力	R/W
b1	TOCNT	タイマR <i>B</i> <sub><i>i</i></sub> 出力許可ビット	0 : タイマRB波形出力許可 1 : タイマRB波形出力禁止	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは “0” にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		—
b5	—			
b6	—			
b7	—			

17.4.2 動作例

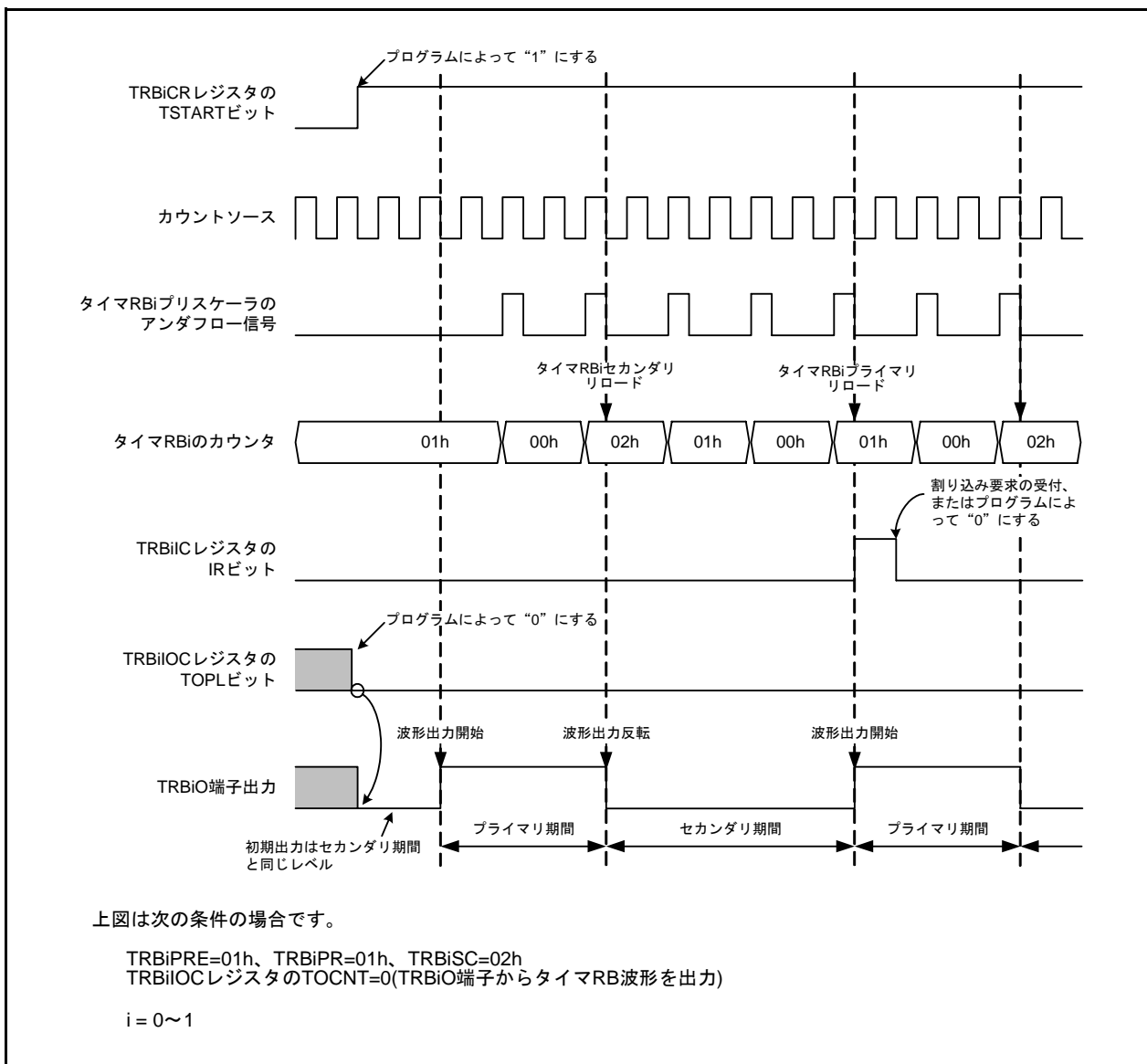


図 17.3 プログラマブル波形発生モード時のタイマRBの動作例

### 17.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INTj(j=0, 5)端子の入力)により、ワンショットパルスをTRBiO(i=0~1)端子から出力するモードです(表 17.5)。トリガが発生するとその時点から任意の時間(TRBiPR レジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBiSC レジスタは使用しません。

図 17.4にプログラマブルワンショット発生モード時の動作例を示します。

表 17.5 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRjのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>•TRBiPR レジスタの設定値をダウンカウント</li> <li>•アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTビットが“0”(ワンショット停止)になる</li> <li>•カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBiPRE レジスタの設定値、 $m$ : TRBiPR レジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>•TRBiCR レジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生</li> <li>•TRBiOCR レジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>•INTj端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>•タイマRjプライマリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>•TRBiOCR レジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>•TRBiCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRBiCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBiO端子からの波形出力の終了と同時に) [タイマRj割り込み]
TRBiO端子機能	パルス出力
INTj端子機能	<ul style="list-style-type: none"> <li>•TRBiOC レジスタのINOSTGビットが“0”(INTjワンショットトリガ無効)の場合プログラマブル入出力ポート、またはINTj(j=0, 5)割り込み入力</li> <li>•TRBiOC レジスタのINOSTGビットが“1”(INTjワンショットトリガ有効)の場合外部トリガ(INTj割り込み入力)</li> </ul>
タイマの読み出し	TRBiPR レジスタ、TRBiPRE レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRBiPRE レジスタ、TRBiPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRBiPRE レジスタ、TRBiPR レジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>•ワンショットトリガ選択機能 「17.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBiPR レジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

i=0~1、j=0、5

### 17.5.1 タイマR<sub>B</sub><sub>i</sub> I/O制御レジスタ (TRB<sub>i</sub>IOC)(i = 0~1) [プログラマブルワンショット発生モード時]

アドレス 010Ah番地 (TRB0IOC)、009Ah番地 (TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <sub>B</sub> <sub>i</sub> アウトプットレベル選択ビット	0: ワンショットパルス “H” 出力、タイマ停止時 “L” 出力 1: ワンショットパルス “L” 出力、タイマ停止時 “H” 出力	R/W
b1	TOCNT	タイマR <sub>B</sub> <sub>i</sub> 出力許可ビット	プログラマブルワンショット発生モードでは “0” にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: INT <sub>j</sub> (j = 0、5)端子ワンショットトリガ無効(注2) 1: INT <sub>j</sub> (j = 0、5)端子ワンショットトリガ有効(注2)	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		—
b5	—			
b6	—			
b7	—			

注1. 「17.5.3 ワンショットトリガ選択」を参照してください。

注2. タイマRB0はINT0端子、タイマRB1はINT5端子からワンショットトリガが入力されます。

17.5.2 動作例

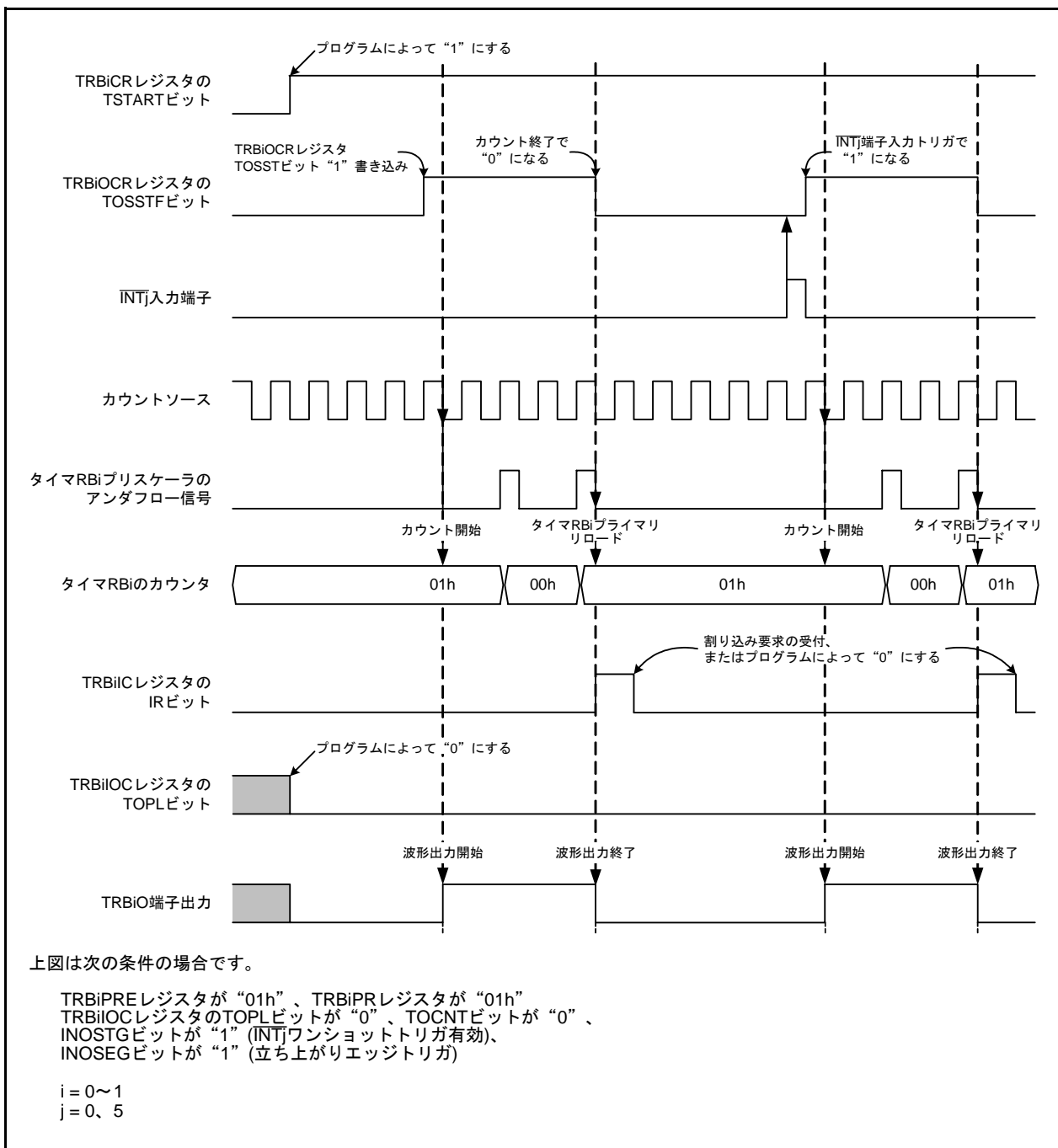


図 17.4 プログラマブルワンショット発生モード時の動作例

### 17.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBiCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBiOCRレジスタのTOSSTビットに“1”を書く
- INTj(j = 0, 5)端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBiOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INTj}}$ からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

#### (1) $\overline{\text{INT0}}$ 端子の場合

- INTSRレジスタのINT0SEL0ビットで、 $\overline{\text{INT0}}$ 入力をP0\_3またはP3\_0のどちらに割り当てるかを選択する。
- $\overline{\text{INT0}}$ 入りに割り当てた端子に対応するポート方向レジスタのポート方向ビットを“0”(入力モード)にする。
- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する。
- INTENレジスタのINT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジ)にする。さらにTRB0IOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する。
- INTENレジスタにINT0ENを“1”(許可)にする。
- 上記の設定後、TRB0IOCレジスタのINOSTGビットを“1”(INT0端子ワンショットトリガ有効)にする。

#### (2) $\overline{\text{INT5}}$ 端子の場合

- INTSRレジスタのINT5SEL0ビットで、 $\overline{\text{INT5}}$ 入力をP1\_5またはP3\_5のどちらに割り当てるかを選択する。
- $\overline{\text{INT5}}$ 入りに割り当てた端子に対応するポート方向レジスタのポート方向ビットを“0”(入力モード)にする。
- $\overline{\text{INT5}}$ のデジタルフィルタをINTF1レジスタのINT5F1～INT5F0ビットで選択する。
- INTEN1レジスタのINT5PLビットを“0”(片エッジ)、INT5ICレジスタのPOLビットを“0”(立ち下がりエッジ)にする。さらにTRB1IOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する。
- INTEN1レジスタにINT5ENを“0”(許可)にする。
- 上記の設定後、TRB1IOCレジスタのINOSTGビットを“1”(INT5端子ワンショットトリガ有効)にする。

なお、 $\overline{\text{INTj}}$ 端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「12. 割り込み」を参照してください。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INTjICレジスタのIRビットは変化します。

## 17.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ (INTj(j = 0, 5) 端子の入力) から、一定時間後にワンショットパルスを TRBiO(i = 0~1) 端子から出力するモードです(表 17.6)。トリガが発生すると、その時点から任意の時間 (TRBiPR レジスタの設定値) 後、一度だけ任意の時間 (TRBiSC レジスタの設定値) パルス出力を行います。

図 17.5 にプログラマブルウェイトワンショット発生モードの動作例を示します。

表 17.6 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRjのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>•タイマRBi プライマリの設定値をダウンカウント</li> <li>•タイマRBi プライマリのカウントがアンダフロー時、タイマRBiセカンダリの内容をリロードしてカウントを継続</li> <li>•タイマRBiセカンダリのカウントがアンダフロー時、タイマRBi プライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>•カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ウェイト時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBiPRE レジスタの設定値、 $m$ : TRBiPR レジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBiPRE レジスタの設定値、 $p$ : TRBiSC レジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>•TRBiCR レジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生</li> <li>•TRBiOCR レジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>•INTj端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>•タイマRBiセカンダリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>•TRBiOCR レジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>•TRBiCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRBiCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマRBiのアンダフローからカウントソースの1/2サイクル後 (TRBiO端子からの波形出力の終了と同時に)[タイマRBi割り込み]
TRBiO端子機能	パルス出力
INTj端子機能	<ul style="list-style-type: none"> <li>•TRBiIOC レジスタのINOSTGビットが“0”(INTjワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINTj割り込み入力</li> <li>•TRBiIOC レジスタのINOSTGビットが“1”(INTjワンショットトリガ有効)の場合 外部トリガ(INTj割り込み入力)</li> </ul>
タイマの読み出し	TRBiPRレジスタ、TRBiPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRBiPREレジスタ、TRBiSCレジスタ、TRBiPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>•ワンショットトリガ選択機能 「17.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBiSCレジスタおよびTRBiPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。  
i = 0~1、j = 0、5



### 17.6.1 タイマR*B*<sub>i</sub> I/O制御レジスタ (TRB*i*IOC)(*i* = 0~1) [プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah番地 (TRB0IOC)、009Ah番地 (TRB1IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマR <i>B</i> <sub>i</sub> アウトプットレベル選択ビット	0: ワンショットパルス “H” 出力、タイマ停止時とウェイト中は “L” 出力 1: ワンショットパルス “L” 出力、タイマ停止時とウェイト中は “H” 出力	R/W
b1	TOCNT	タイマR <i>B</i> <sub>i</sub> 出力許可ビット	プログラマブルウェイトワンショット発生モードでは “0” にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット(注1)	0: $\overline{\text{INT}}_j$ ( <i>j</i> = 0、5)端子ワンショットトリガ無効(注2) 1: $\text{INT}_j$ ( <i>j</i> = 0、5)端子ワンショットトリガ有効(注2)	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	—	何も配置されていない。 書く場合、“0” を書いてください。読んだ場合、その値は “0”。		—
b5	—			
b6	—			
b7	—			

注1. 「17.5.3 ワンショットトリガ選択」を参照してください。

注2. タイマRB0はINT0端子、タイマRB1はINT5端子からワンショットトリガが入力されます。

17.6.2 動作例

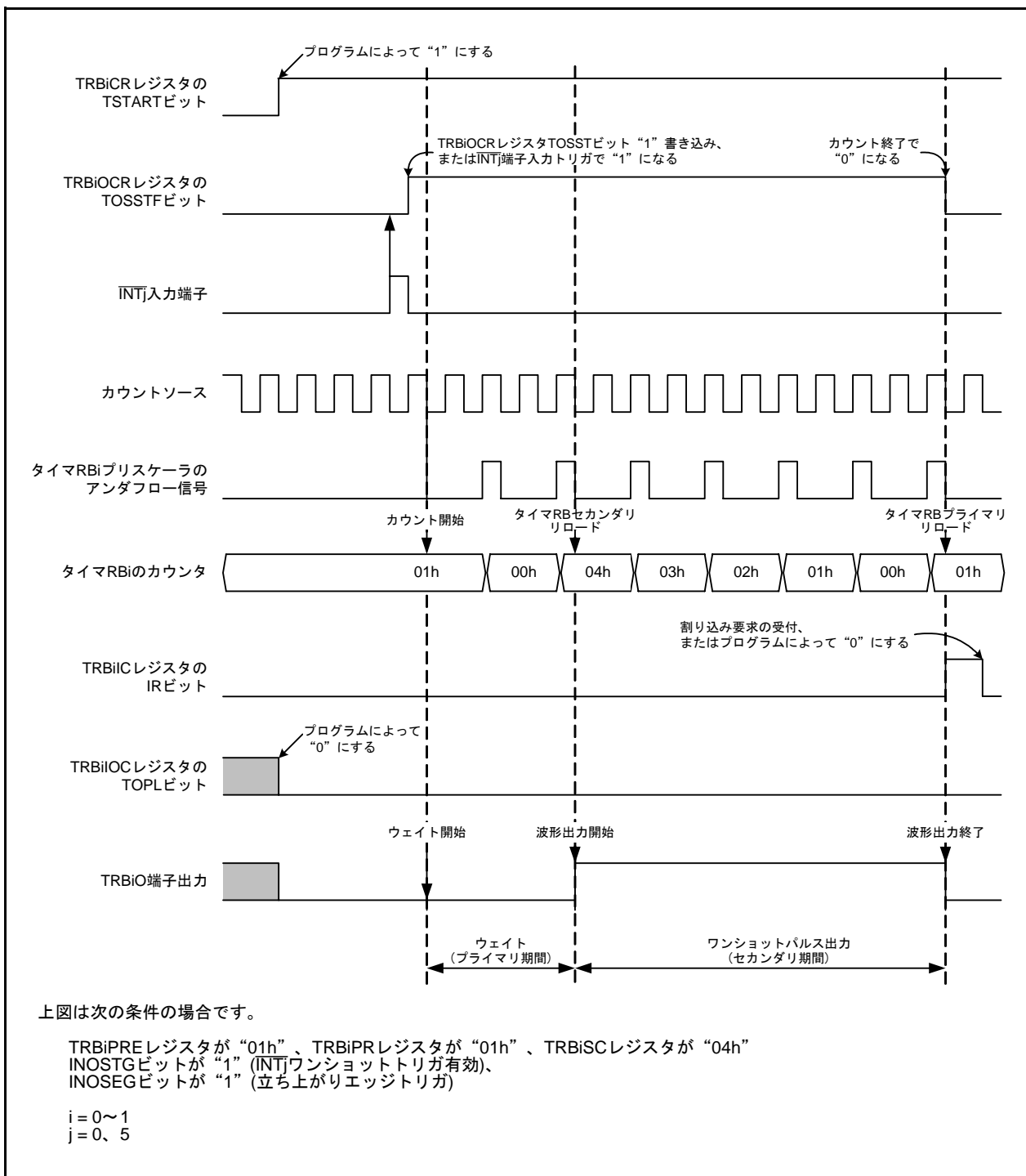


図 17.5 プログラマブルウェイトワンショット発生モードの動作例

## 17.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBiCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBiOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”（カウント開始）を書いた後は、カウントソースの1～2サイクルの間、TRBiCRレジスタのTCSTFビットは“0”（カウント停止）になっています。TCSTFビットが“1”（カウント中）になるまで、TCSTFビットを除くタイマRBi関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”（カウント停止）を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”（カウント中）になっています。TCSTFビットが“0”（カウント停止）になったときカウントは停止します。  
TCSTFビットが“0”（カウント停止）になるまで、TCSTFビットを除くタイマRBi関連レジスタ(注1)をアクセスしないでください。

注1. タイマRBi関連レジスタ：TRBiCR、TRBiOCR、TRBiOC、TRBiMR、TRBiPRE、TRBiSC、TRBiPR

- カウント中にTRBiCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBiOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRjiのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRjiはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。

### 17.7.1 タイマモード

カウント中(TRBiCRレジスタ(i=0～1)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 17.7.2 プログラマブル波形発生モード

カウント中(TRBiCRレジスタ(i=0～1)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 17.7.3 プログラマブルワンショット発生モード

カウント中(TRBiCRレジスタ(i = 0~1)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 17.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBiCRレジスタ(i = 0~1)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 18. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

### 18.1 概要

タイマRCの動作クロックは、f1、fOCO20MまたはfOCO-Fです。表 18.1にタイマRCの動作クロックを示します。

表 18.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO20M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO20M
カウントソースがfOCO-F (TRCCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

表 18.2にタイマRCの端子構成を、図18.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード
  - インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
- 次の2つのモードは、アウトプットコンペア機能を用います。
- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

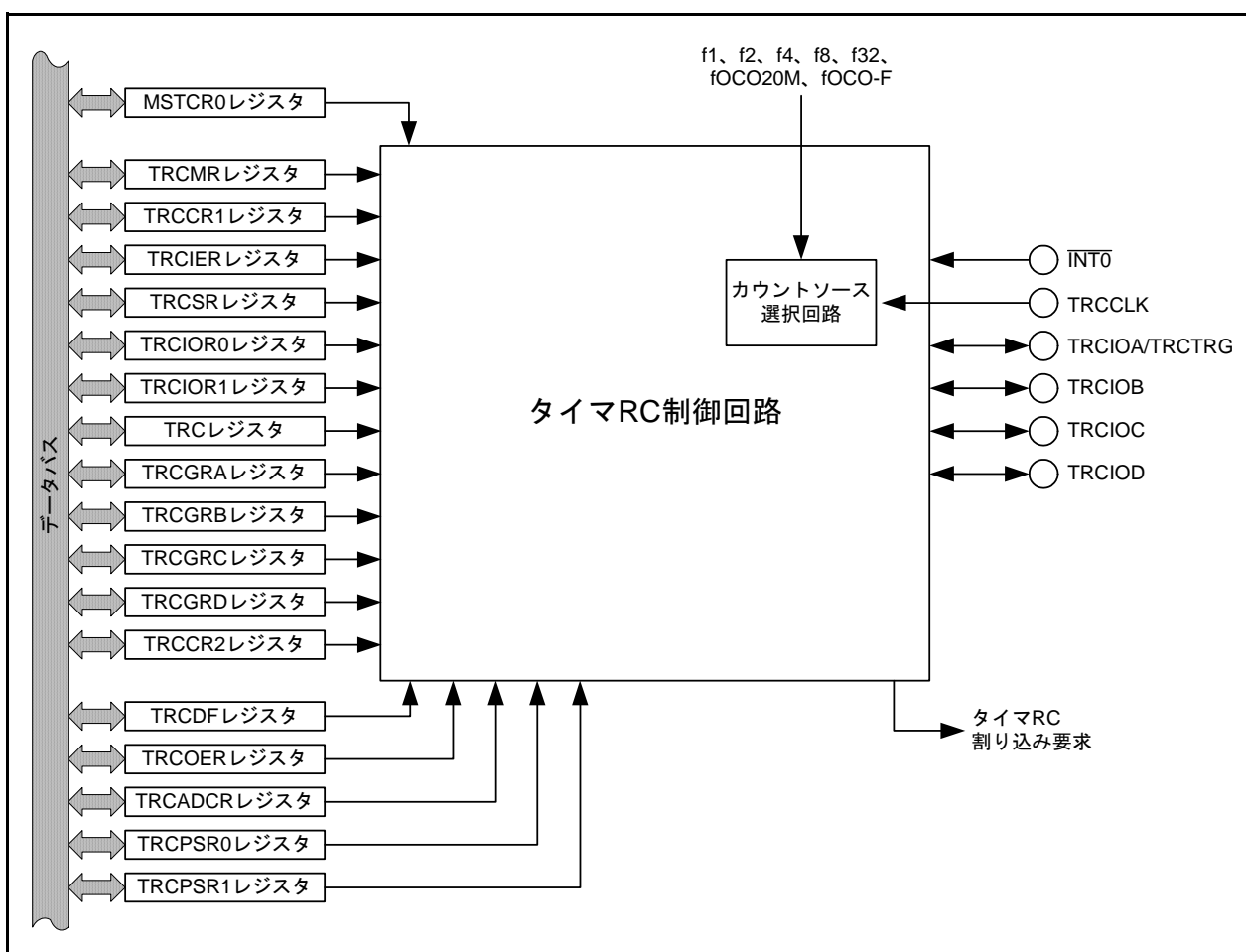


図 18.1 タイマRCのブロック図

表 18.2 タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P0_0	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCIOB	P6_7、P6_6、またはP6_5		
TRCIOC	P6_6		
TRCIOD	P6_5		
TRCCLK	P0_1	入力	外部クロック入力
TRCTRГ	P0_0、P0_1、またはP0_2	入力	PWM2モードの外部トリガ入力

## 18.2 レジスタの説明

表 18.3にタイマRC関連レジスタ一覧を示します。

表 18.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプット キャプチャ 機能	アウトプット コンペア 機能			
0008h	MSTCR0	有効	有効	有効	有効	18.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)
0120h	TRCMR	有効	有効	有効	有効	18.2.2 タイマRCモードレジスタ (TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 18.2.3 タイマRC制御レジスタ1(TRCCR1) 18.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマ モード(アウトプットコンペア機能)時] 18.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモ ード時] 18.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2 モード時]
0122h	TRCIER	有効	有効	有効	有効	18.2.4 タイマRC割り込み許可レジスタ (TRCIER)
0123h	TRCSR	有効	有効	有効	有効	18.2.5 タイマRCステータスレジスタ (TRCSR)
0124h	TRCIOR0	有効	有効	—	—	タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 18.2.6 タイマRC I/O制御レジスタ0(TRCIOR0) 18.2.7 タイマRC I/O制御レジスタ1(TRCIOR1) 18.4.1 タイマRC I/O制御レジスタ0(TRCIOR0)[タイ マモード(インプットキャプチャ機能)時] 18.4.2 タイマRC I/O制御レジスタ1(TRCIOR1)[タイ マモード(インプットキャプチャ機能)時] 18.5.2 タイマRC I/O制御レジスタ0(TRCIOR0)[タイ マモード(アウトプットコンペア機能)時] 18.5.3 タイマRC I/O制御レジスタ1(TRCIOR1)[タイ マモード(アウトプットコンペア機能)時]
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	18.2.8 タイマRCカウンタ (TRC)
0128h 0129h	TRCGRA	有効	有効	有効	有効	18.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)
012Ah 012Bh	TRCGRB					
012Ch 012Dh	TRCGRC					
012Eh 012Fh	TRCGRD					
0130h	TRCCR2	—	有効	有効	有効	18.2.10 タイマRC制御レジスタ2(TRCCR2)
0131h	TRCDF	有効	—	—	有効	18.2.11 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)
0132h	TRCOER	—	有効	有効	有効	18.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)
0133h	TRCADCR	—	有効	有効	有効	18.2.13 タイマRCトリガ制御レジスタ (TRCADCR)
0182h	TRCPSR0	有効	有効	有効	有効	18.2.14 タイマRC端子選択レジスタ0 (TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	18.2.15 タイマRC端子選択レジスタ1 (TRCPSR1)

—：無効

## 18.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	MSTURT2	MSTURT0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURT0	UART0スタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b2	MSTURT2	UART2スタンバイビット	0: アクティブ 1: スタンバイ (注2)	R/W
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ (注3)	R/W
b4	MSTLCD	LCDスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	A/Dスタンバイビット (注6)	0: アクティブ 1: スタンバイ	R/W

- 注1. MSTURT0ビットが“1” (スタンバイ)のとき、UART0関連レジスタ (00A0h～00A7h番地)へのアクセスは無効になります。
- 注2. MSTURT2ビットが“1” (スタンバイ)のとき、UART2関連レジスタ (00A8h～00BFh番地)へのアクセスは無効になります。
- 注3. MSTIICビットが“1” (スタンバイ)のとき、SSU、I<sup>2</sup>C関連レジスタ (0193h～19Dh番地)へのアクセスは無効になります。
- 注4. MSTLCDビットが“1” (スタンバイ)のとき、LCD関連レジスタ (0200h～0237h番地)へのアクセスは無効になります。
- 注5. MSTTRCビットが“1” (スタンバイ)のとき、タイマRC関連レジスタ (0120h～0133h番地)へのアクセスは無効になります。
- 注6. MSTADCビットが“1” (スタンバイ)のとき、A/D関連レジスタ (00C0h～00D9h番地、00DCh～00DFh番地)へのアクセスは無効になります。  
温度センサ使用時は、MSTADCビットを“0” (アクティブ)にしてください。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。



## 18.2.2 タイマRCモードレジスタ (TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	—	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0 : PWM2モード 1 : タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット (注2)	0 : ジェネラルレジスタ 1 : TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	TSTART	TRCカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W

注1. これらのビットはPWM2ビットが“1” (タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0” (ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

## 18.2.3 タイマRC制御レジスタ1(TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO20M 1 1 1 : fOCO-F(注2)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : インพุットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. fOCO-Fを選択する場合は、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

## 18.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インพุットキャプチャ/コンペア一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インพุットキャプチャ/コンペア一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インพุットキャプチャ/コンペア一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インพุットキャプチャ/コンペア一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVIE	オーバフロー割り込み許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W

## 18.2.5 タイマRCステータスレジスタ (TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1)	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB	[“1”になる要因] 「表 18.4 各フラグが“1”になる要因」を参照	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表 18.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表 18.4 各フラグが“1”になる要因

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペアー機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1～IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

## 18.2.6 タイマRC I/O制御レジスタ0(TRCIOR0)

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	R/W
b3	IOA3	インพุットキャプチャ入力切替ビット(注3)	0: fOCO128信号 1: TRCIOA入力端子	R/W
b4	IOB0	TRCGRB 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インพุットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

## 18.2.7 タイマRC I/O制御レジスタ1(TRCIOR1)

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

## 18.2.8 タイマRCカウンタ (TRC)

アドレス 0127h～0126h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRCSRレジスタのOVFビットが“1”になる	0000h～FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.9 タイマRCジェネラルレジスタ A、B、C、D  
(TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h～0128h番地 (TRCGRA)、012Bh～012Ah番地 (TRCGRB)、  
012Dh～012Ch番地 (TRCGRC)、012Fh～012Eh番地 (TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	モードによって機能が異なる	R/W

TRCGRA～TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

## 18.2.10 タイマRC制御レジスタ2(TRCCR2)

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB(注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC(注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD(注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			—
b5	CSEL	TRCカウンタ動作選択ビット(注2)	0: TRCGRAレジスタとのコンペア一致後もカウント継続 1: TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット(注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 18.2.11 タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース(TRCCR1レジスタのTCK2～TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

## 18.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)

アドレス 0132h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”または“H”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

## 18.2.13 タイマRCトリガ制御レジスタ (TRCADCR)

アドレス 0133h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	A/DトリガA許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRAレジスタのコンペアー一致時にA/Dトリガ発生	R/W
b1	ADTRGBE	A/DトリガB許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRBレジスタのコンペアー一致時にA/Dトリガ発生	R/W
b2	ADTRGCE	A/DトリガC許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRCレジスタのコンペアー一致時にA/Dトリガ発生	R/W
b3	ADTRGDE	A/DトリガD許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRDレジスタのコンペアー一致時にA/Dトリガ発生	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

## 18.2.14 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCIOBSEL1	TRCIOBSEL0	TRCIOASEL1	TRCIOASEL0	—	TRCCLKSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCLKSEL0	TRCCLK端子選択ビット(注1)	0 : TRCCLK端子は使用しない 1 : P0_1に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b3 b2 00 : TRCIOA/TRCTRG端子は使用しない 01 : TRCIOA/TRCTRG端子をP0_0に割り当てる 10 : TRCTRG端子をP0_1に割り当てる(注1) 11 : TRCTRG端子をP0_2に割り当てる	R/W
b3	TRCIOASEL1			R/W
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 00 : TRCIOB端子は使用しない 01 : P6_7に割り当てる 10 : P6_6に割り当てる(注2) 11 : P6_5に割り当てる(注3)	R/W
b5	TRCIOBSEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

注1. TRCCLK端子とTRCTRG端子をP0\_1に同時に割り当てることはできません。

注2. TRCPSR1レジスタのTRCIOSEL0ビットを“1”(TRCIO端子をP6\_6に割り当てる)にした場合は、TRCIOSEL1~TRCIOSEL0ビットの内容にかかわらず、P6\_6はTRCIO端子になります。

注3. TRCPSR1レジスタのTRCIOSEL0ビットを“1”(TRCIO端子をP6\_5に割り当てる)にした場合は、TRCIOSEL1~TRCIOSEL0ビットの内容にかかわらず、P6\_5はTRCIO端子になります。

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。タイマRC端子の割り当てを変更した場合、変更したときの端子レベルによってはエッジが発生し、TRCレジスタが“0000h”になる場合があります。



## 18.2.15 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TRCIODSEL0	—	TRCIOCESEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCESEL0	TRCIOCE端子選択ビット	0 : TRCIOCE端子は使用しない 1 : P6_6に割り当てる	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	TRCIODSEL0	TRCIOD端子選択ビット	0 : TRCIOD端子は使用しない 1 : P6_5に割り当てる	R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

TRCPSR1 レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1 レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1 レジスタを設定してください。また、タイマRCの動作中はTRCPSR1 レジスタの設定値を変更しないでください。

## 18.3 複数モードに関わる共通事項

### 18.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表 18.5にカウントソースの選択を、図18.2にカウントソースのブロック図を示します。

表 18.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO20M fOCO-F	FRA0レジスタのFRA00ビットが“1”（高速オンチップオシレータ発振） TRCCR1レジスタのTCK2～TCK0ビットが“110b”（fOCO20M） TRCCR1レジスタのTCK2～TCK0ビットが“111b”（fOCO-F）
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”（カウントソースは外部クロックの立ち上がりエッジ） 対応する方向レジスタの方向ビットが“0”（入力モード）

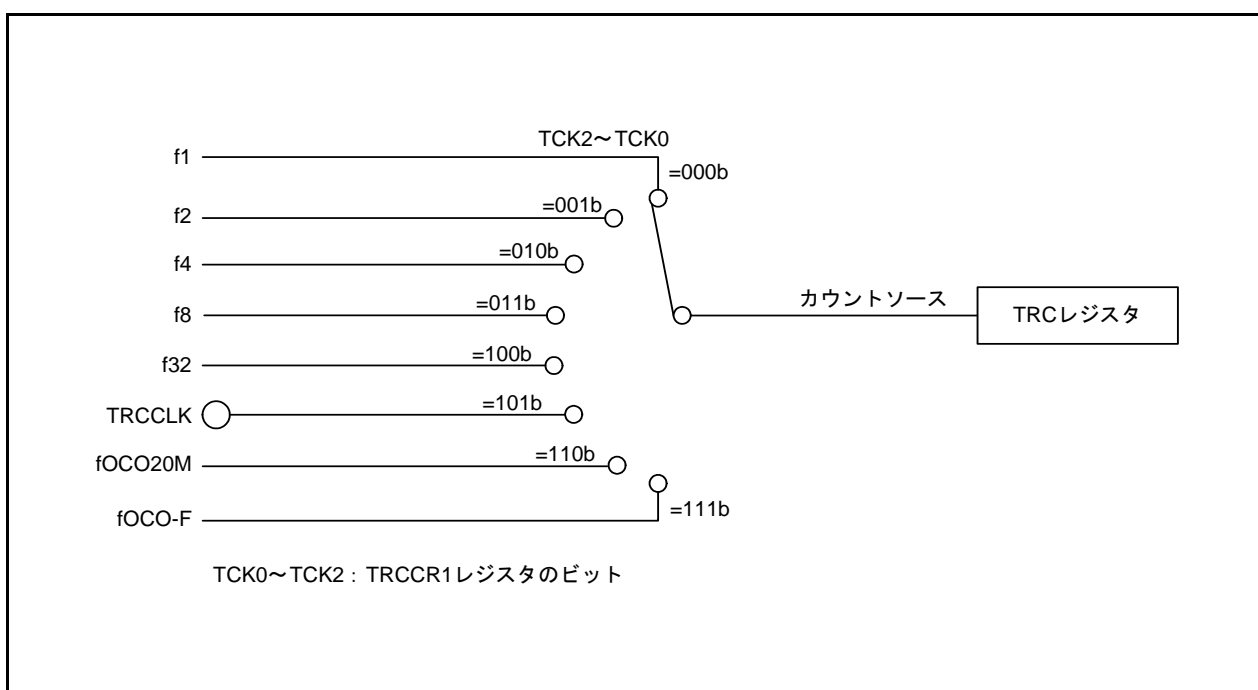


図 18.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック（「表 18.1 タイマRCの動作クロック」参照）の3サイクル以上にしてください。

カウントソースにfOCO20MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”（高速オンチップオシレータ発振）にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”（fOCO20M）または“111b”（fOCO-F）にしてください。

### 18.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表 18.6に各モードのバッファ動作を、図 18.3にインプットキャプチャ機能のバッファ動作を、図18.4にアウトプットコンペア機能のバッファ動作を示します。

表 18.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> <li>•TRCレジスタとTRCGRAレジスタのコンペア一致</li> <li>•TRCTRIG端子トリガ入力</li> </ul>	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

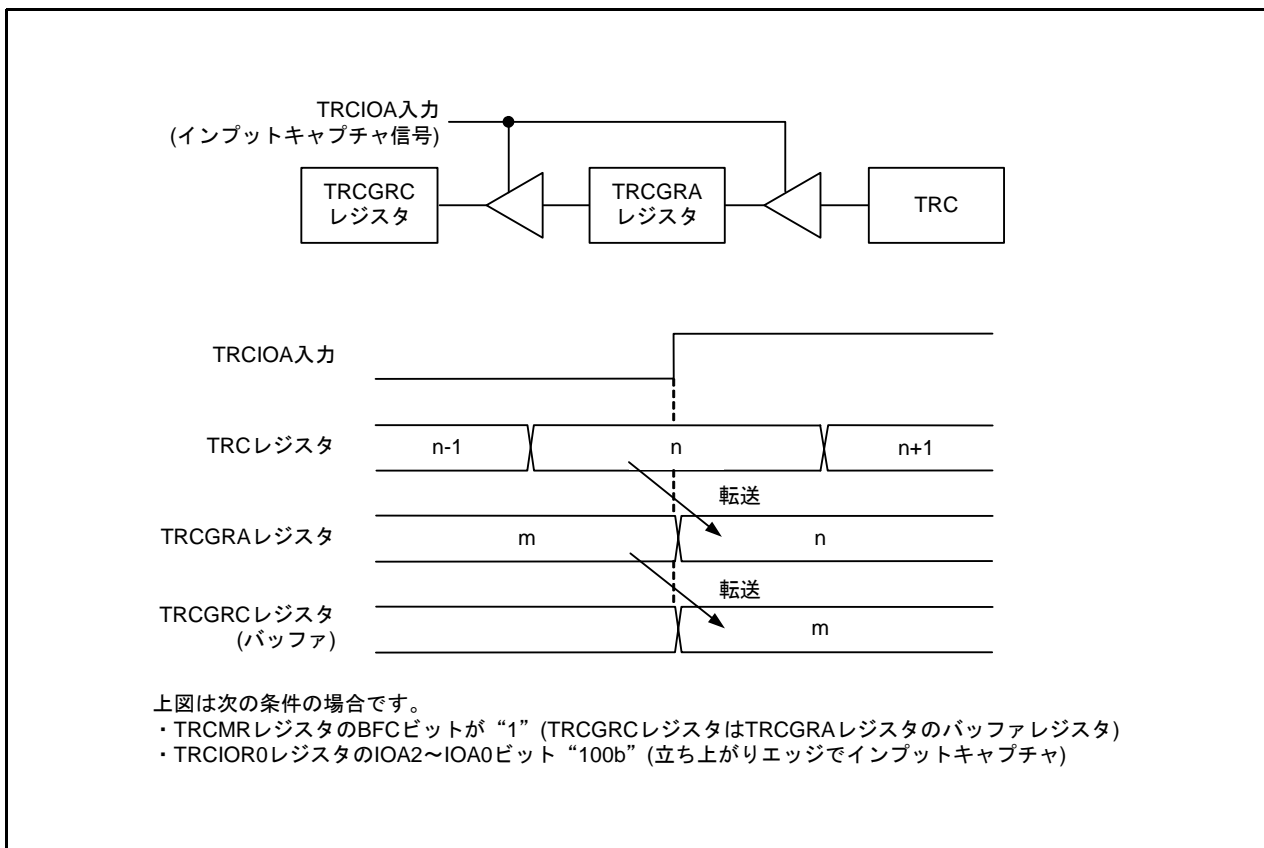


図 18.3 インプットキャプチャ機能のバッファ動作

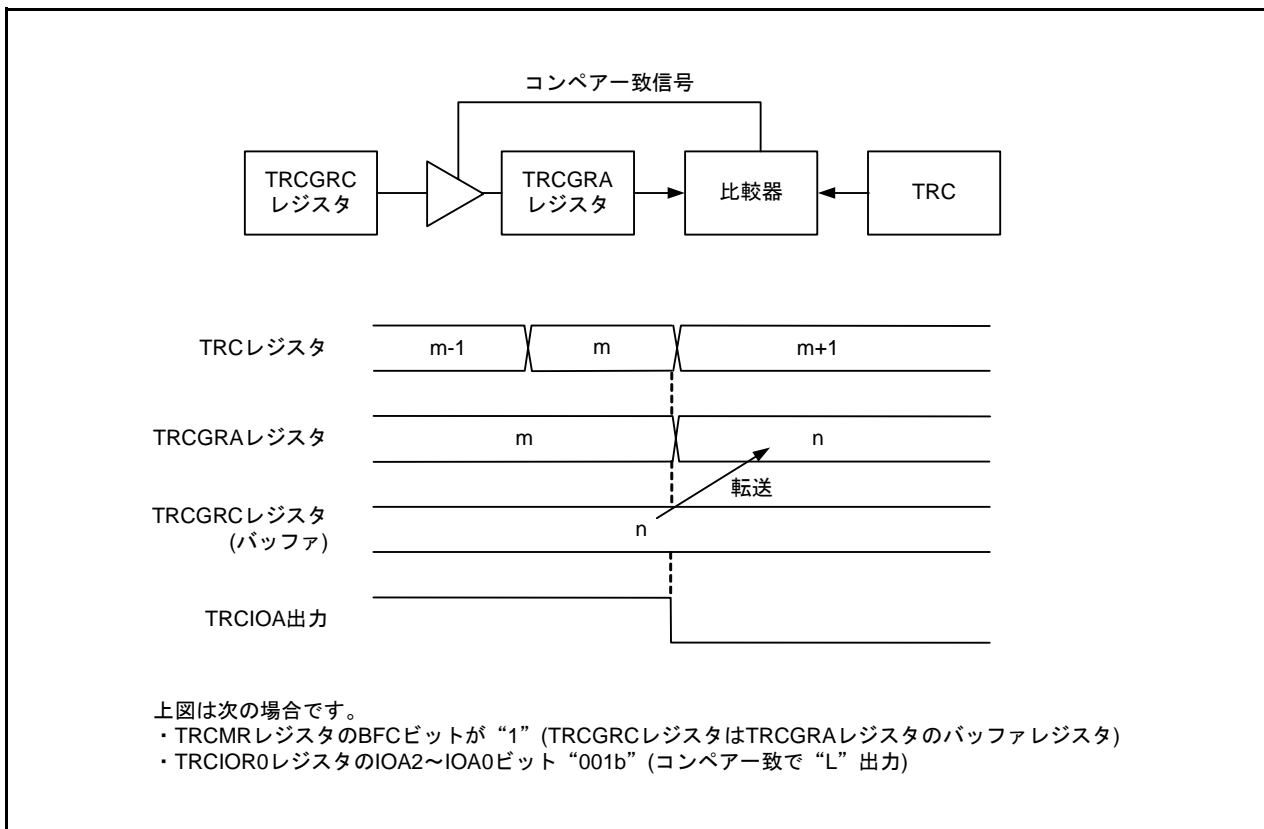


図18.4 アウトプットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

入力キャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

### 18.3.3 デジタルフィルタ

TRCTRG入力またはTRCIOj(j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図18.5にデジタルフィルタのブロック図を示します。

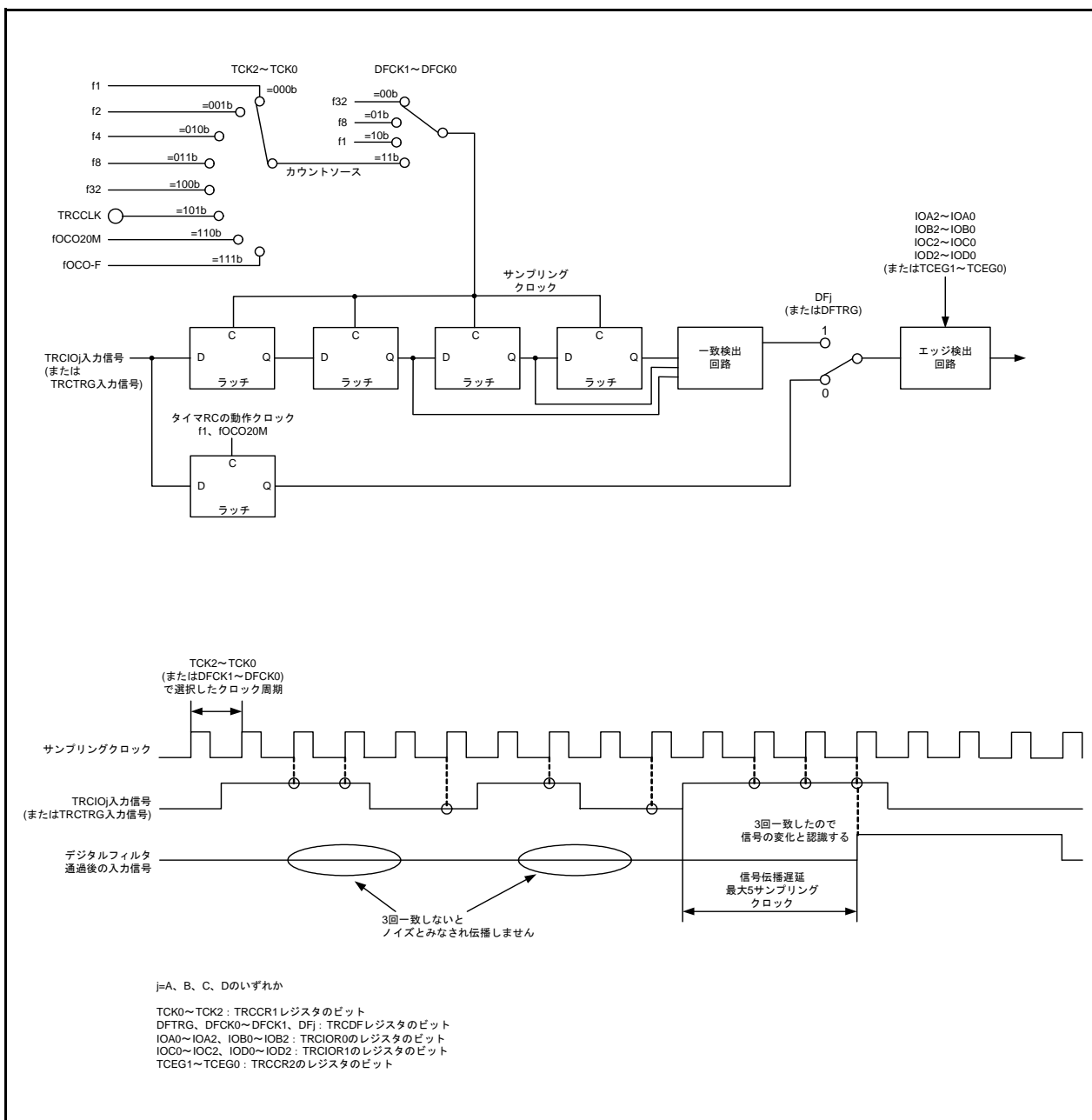


図 18.5 デジタルフィルタのブロック図

### 18.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j=A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”(または“H”)を入力すると、タイマRCの動作クロックの1~2サイクル後に、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。タイマRCの動作クロックについては「表 18.1 タイマRCの動作クロック」を参照してください。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- INT0ICレジスタのPOLビットで立ち上がりまたは立ち下がりエッジを選択する。  
POLビットを“0”(立ち下がりエッジ)にしている場合は、 $\overline{\text{INT0}}$ 端子の立ち下がりパルス出力を強制遮断します。  
POLビットを“1”(立ち上がりエッジ)にしている場合は、 $\overline{\text{INT0}}$ 端子の立ち上がりパルス出力を強制遮断します。
- INT0を選択したI/Oポートの方向レジスタを“0”(入力モード)にする。  
INTSRレジスタのINT0SEL0ビットで $\overline{\text{INT0}}$ をP3\_0に割り当てたときは、PD3レジスタのPD3\_0ビットを“0”(入力モード)にする。  
INTSRレジスタのINT0SEL0ビットで $\overline{\text{INT0}}$ をP0\_3に割り当てたときは、PD0レジスタのPD0\_3ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「12.8 割り込み使用上の注意」参照)。

割り込みの詳細は「12. 割り込み」を参照してください。

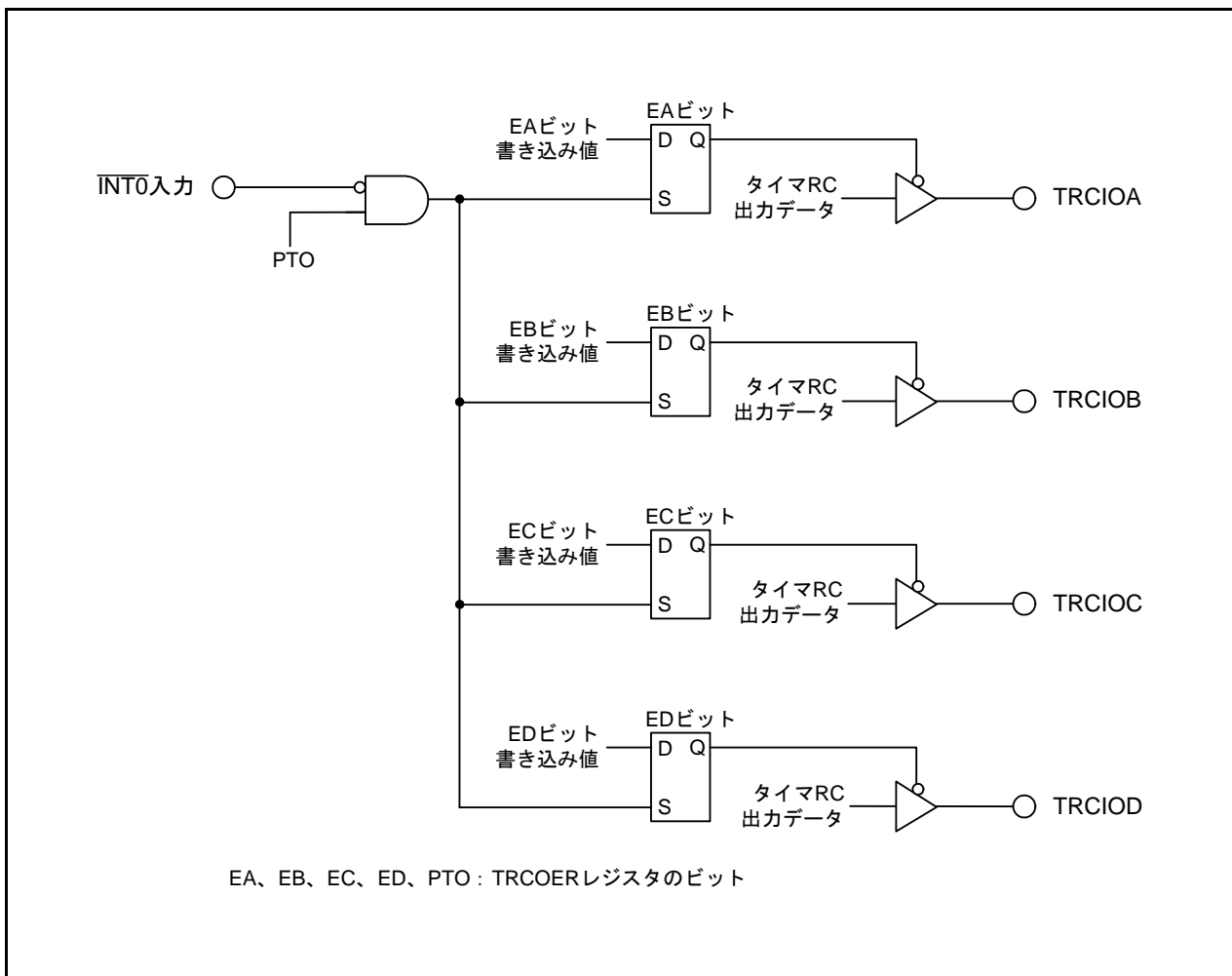


図 18.6 パルス出力強制遮断

## 18.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

表 18.7にインプットキャプチャ機能の仕様を、図 18.7にインプットキャプチャ機能のブロック図を、表 18.8にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図 18.8にインプットキャプチャ機能の動作例を示します。

表 18.7 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO20M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 <math>1/fk \times 65536</math> <math>fk</math>: カウントソースの周波数</li> <li>TRCCR1レジスタのCCLRビットが“1”(TRCGRAのインプットキャプチャでTRCレジスタを“0000h”にする)の場合 <math>1/fk \times (n+1)</math> <math>n</math>: TRCGRAレジスタ設定値</li> </ul>
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インプットキャプチャ(TRCIOj入力の有効エッジ)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> <li>インプットキャプチャ入力端子選択</li> <li>TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本</li> <li>インプットキャプチャ入力の有効エッジ選択</li> <li>立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方</li> <li>バッファ動作(「18.3.2 バッファ動作」参照)</li> <li>デジタルフィルタ(「18.3.3 デジタルフィルタ」参照)</li> <li>TRCレジスタを“0000h”にするタイミング</li> <li>オーバフローまたはインプットキャプチャ</li> </ul>

j=A、B、C、Dのいずれか



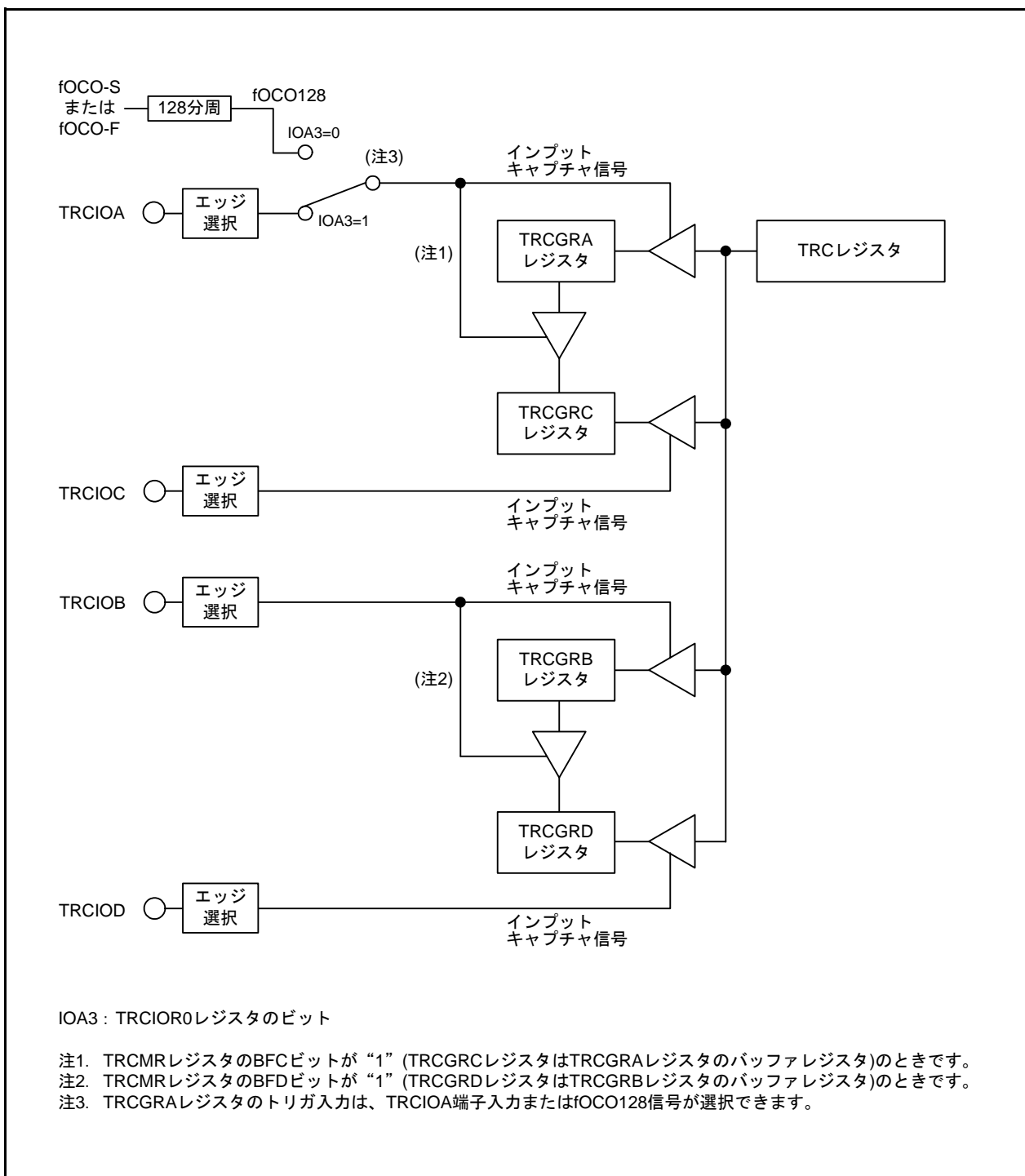


図18.7 インพุットキャプチャ機能のブロック図

### 18.4.1 タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(インプットキャプチャ機能)時]

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	<sup>b1 b0</sup> 00: 立ち上がりエッジでTRCGRAへインプットキャプチャ 01: 立ち下がりエッジでTRCGRAへインプットキャプチャ 10: 両エッジでTRCGRAへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	インプットキャプチャ機能では“1”にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット(注3)	0: fOCO128信号 1: TRCIOA端子入力	R/W
b4	IOB0	TRCGRB 制御ビット	<sup>b5 b4</sup> 00: 立ち上がりエッジでTRCGRBへインプットキャプチャ 01: 立ち下がりエッジでTRCGRBへインプットキャプチャ 10: 両エッジでTRCGRBへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	インプットキャプチャ機能では“1”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

### 18.4.2 タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRCへインプットキャプチャ 01: 立ち下がりエッジでTRCGRCへインプットキャプチャ 10: 両エッジでTRCGRCへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	インプットキャプチャ機能では“1”にしてください	R/W
b3	IOC3	TRCGRC レジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD 制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRDへインプットキャプチャ 01: 立ち下がりエッジでTRCGRDへインプットキャプチャ 10: 両エッジでTRCGRDへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	インプットキャプチャ機能では“1”にしてください	R/W
b7	IOD3	TRCGRD レジスタ機能選択ビット	“1”にしてください	R/W

注1. TRCMR レジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMR レジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表 18.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA	—	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC = 0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD = 0		TRCIOD
TRCGRC	BFC = 1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「18.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD = 1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCMR レジスタのビット

18.4.3 動作例

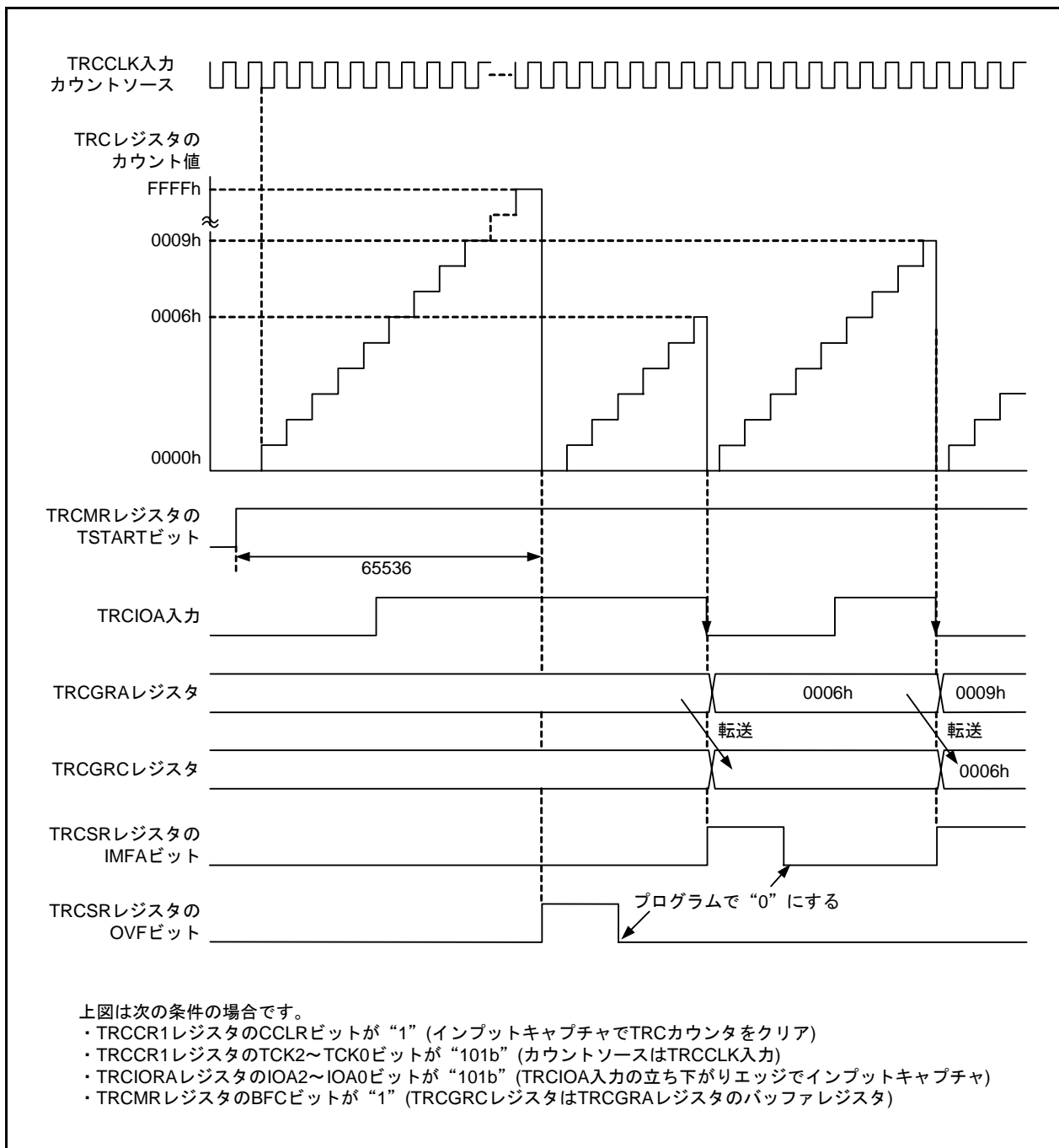


図18.8 インプットキャプチャ機能の動作例

### 18.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIOj端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 18.9 にアウトプットコンペア機能の仕様を、図 18.9 にアウトプットコンペア機能のブロック図を、表 18.10 にアウトプットコンペア機能時のTRCGRjレジスタの機能を、図 18.10 にアウトプットコンペア機能の動作例を示します。

表 18.9 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO20M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 <math>1/fk \times 65536</math> fk: カウントソースの周波数</li> <li>TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 <math>1/fk \times (n+1)</math> n: TRCGRAレジスタ設定値</li> </ul>
波形出力タイミング	コンペア一致
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持</li> <li>TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本</li> <li>コンペア一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力</li> <li>初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定</li> <li>TRCレジスタを“0000h”にするタイミング オーバフロー、またはTRCGRAレジスタのコンペア一致</li> <li>バッファ動作(「18.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照)</li> <li>タイマRCは出力しないことで内部タイマとして使用できる</li> <li>TRCGRC、TRCGRDの出力端子変更 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用できる</li> <li>A/Dトリガ発生</li> </ul>

j=A、B、C、Dのいずれか

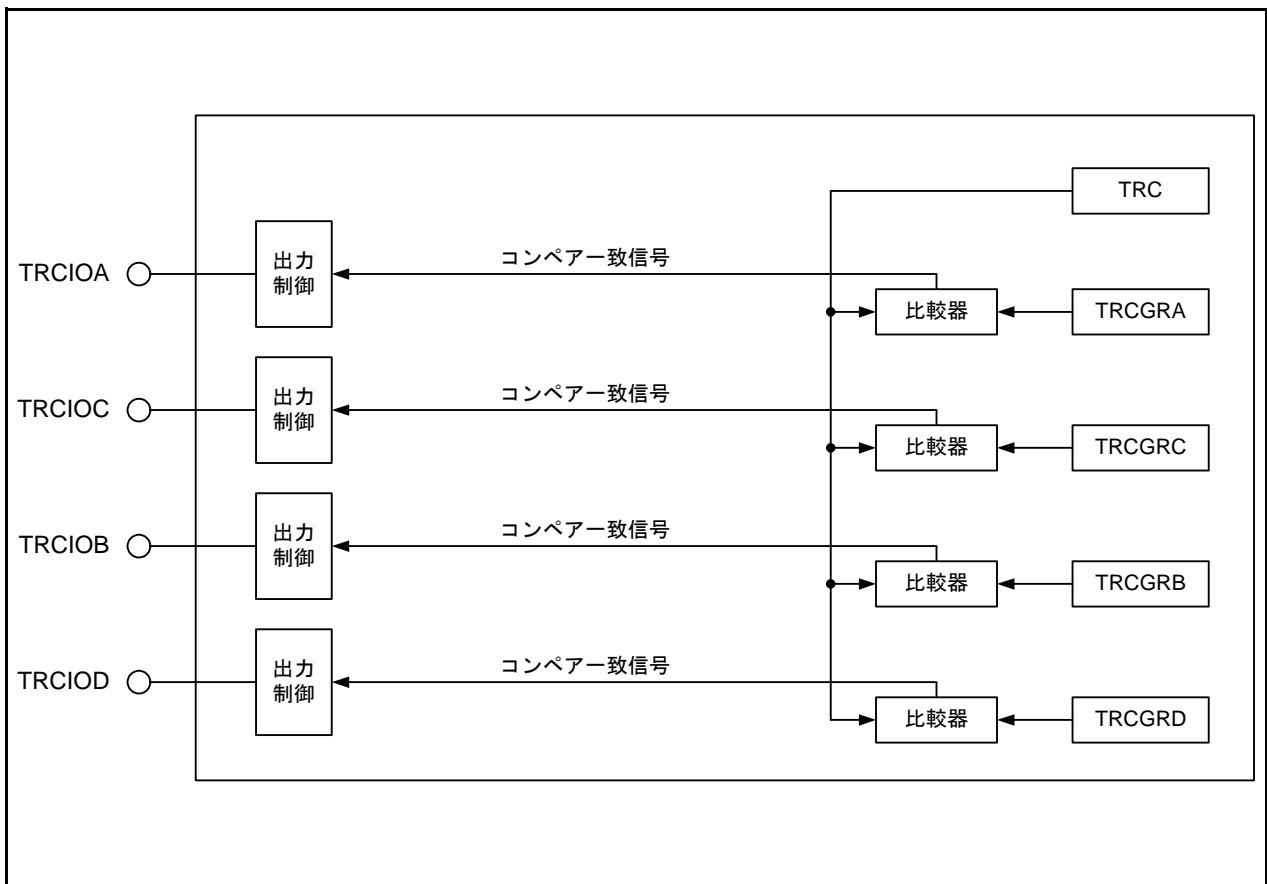


図 18.9 アウトプットコンペア機能のブロック図

### 18.5.1 タイマRC制御レジスタ1(TRCCR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0: 初期出力 “L” 1: 初期出力 “H”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO20M 1 1 1 : fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表 18.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA	—	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC = 0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD = 0		TRCIOD
TRCGRC	BFC = 1	バッファレジスタ。次回のコンペア値を書いてください。(「18.3.2 バッファ動作」参照)	TRCIOA
TRCGRD	BFD = 1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

### 18.5.2 タイマRC I/O制御レジスタ0(TRCIOR0) [タイマモード(アウトプットコンペア機能)時]

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	b1 b0 00 : コンペアー一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 01 : TRCGRAのコンペアー一致で“L”出力 10 : TRCGRAのコンペアー一致で“H”出力 11 : TRCGRAのコンペアー一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	アウトプットコンペア機能では“0”にしてください	R/W
b3	IOA3	インプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4	IOB0	TRCGRB 制御ビット	b5 b4 00 : コンペアー一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 01 : TRCGRBのコンペアー一致で“L”出力 10 : TRCGRBのコンペアー一致で“H”出力 11 : TRCGRBのコンペアー一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	アウトプットコンペア機能では“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのパッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのパッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。



### 18.5.3 タイマRC I/O制御レジスタ1(TRCIOR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	b1 b0 00: コンペア一致による端子出力禁止 01: TRCGRCのコンペア一致で“L”出力 10: TRCGRCのコンペア一致で“H”出力 11: TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	アウトプットコンペア機能では“0”にしてください	R/W
b3	IOC3	TRCGRC レジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	b5 b4 00: コンペア一致による端子出力禁止 01: TRCGRDのコンペア一致で“L”出力 10: TRCGRDのコンペア一致で“H”出力 11: TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	アウトプットコンペア機能では“0”にしてください	R/W
b7	IOD3	TRCGRD レジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

### 18.5.4 タイマRC制御レジスタ2(TRCCR2) [タイマモード(アウトプットコンペア機能)時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			—
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 18.5.5 動作例

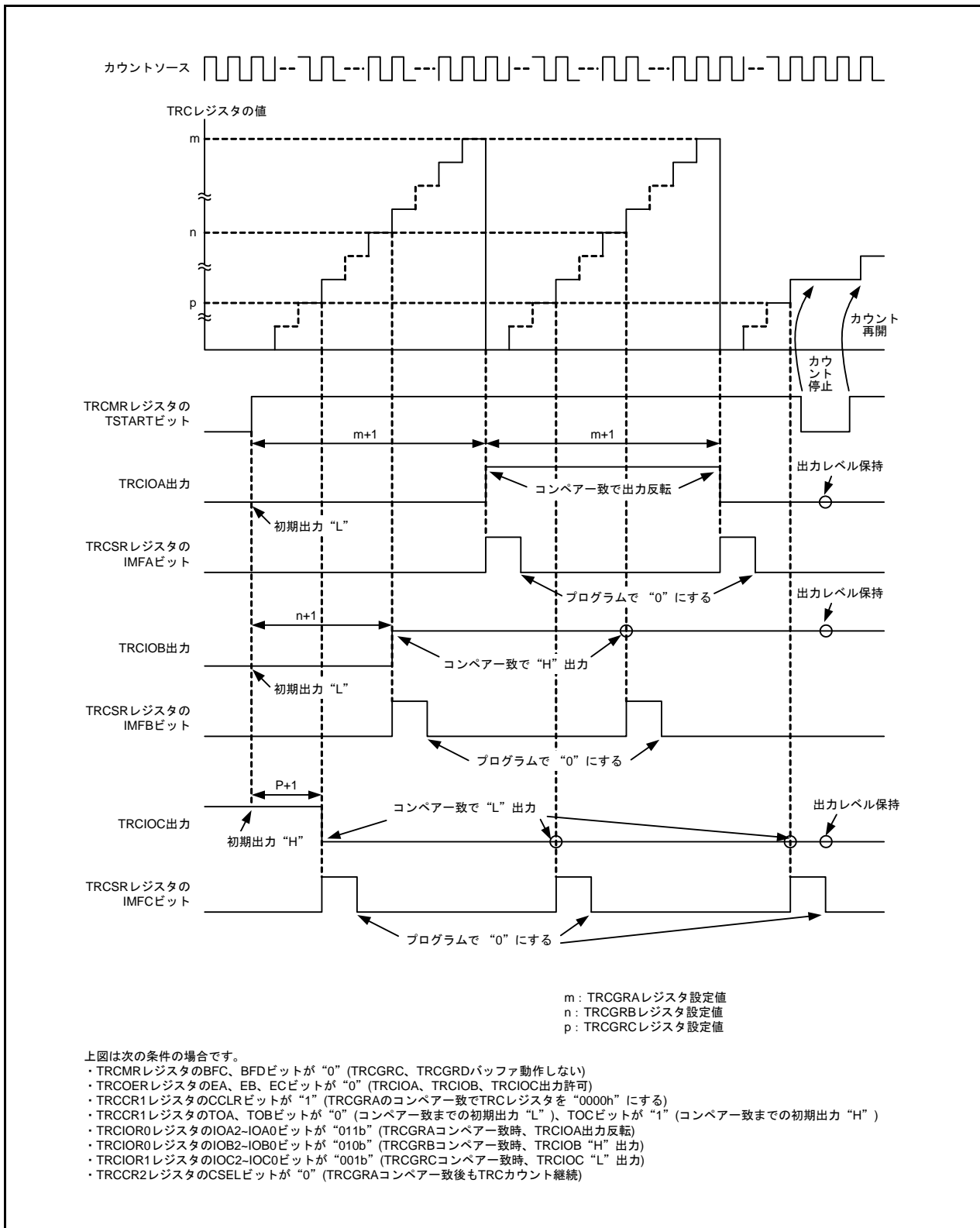


図18.10 アウトプットコンペアー機能の動作例

### 18.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

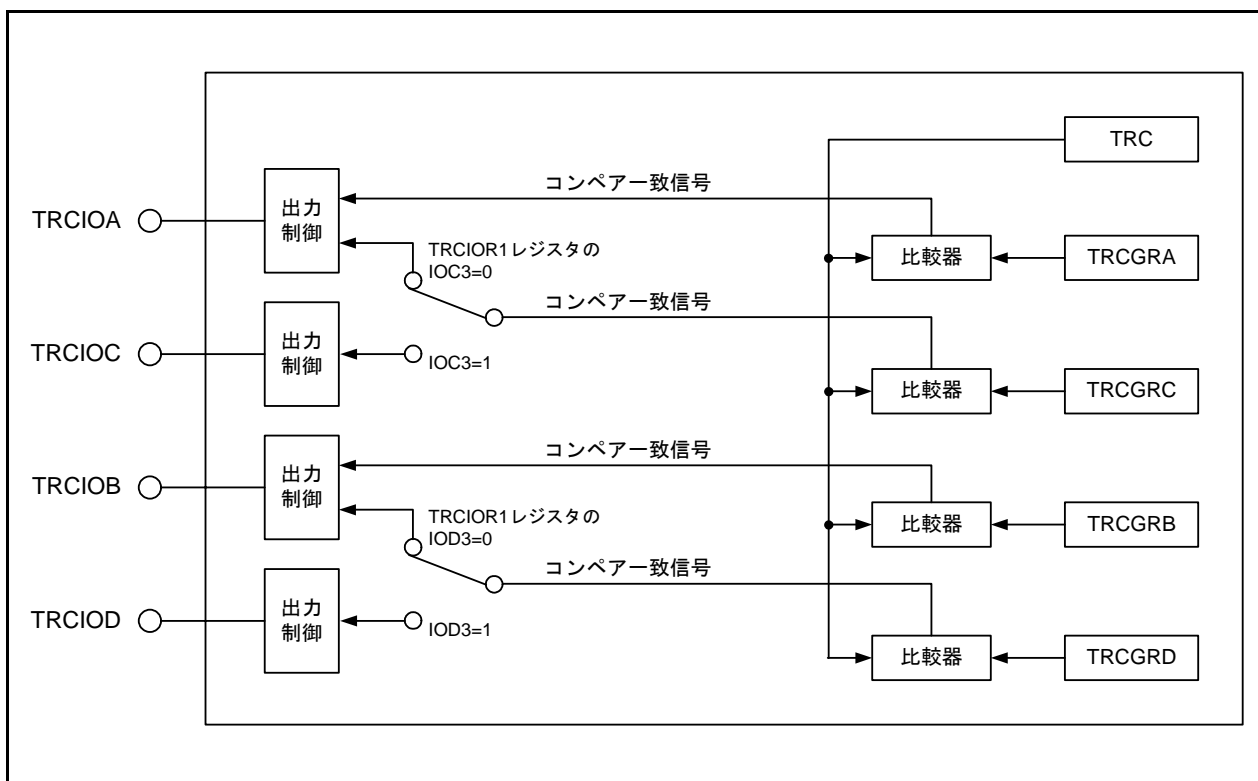


図18.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0” (TRCIOA出力レジスタ)、IOD3ビットを“0” (TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0” (ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図18.12にTRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例を示します。

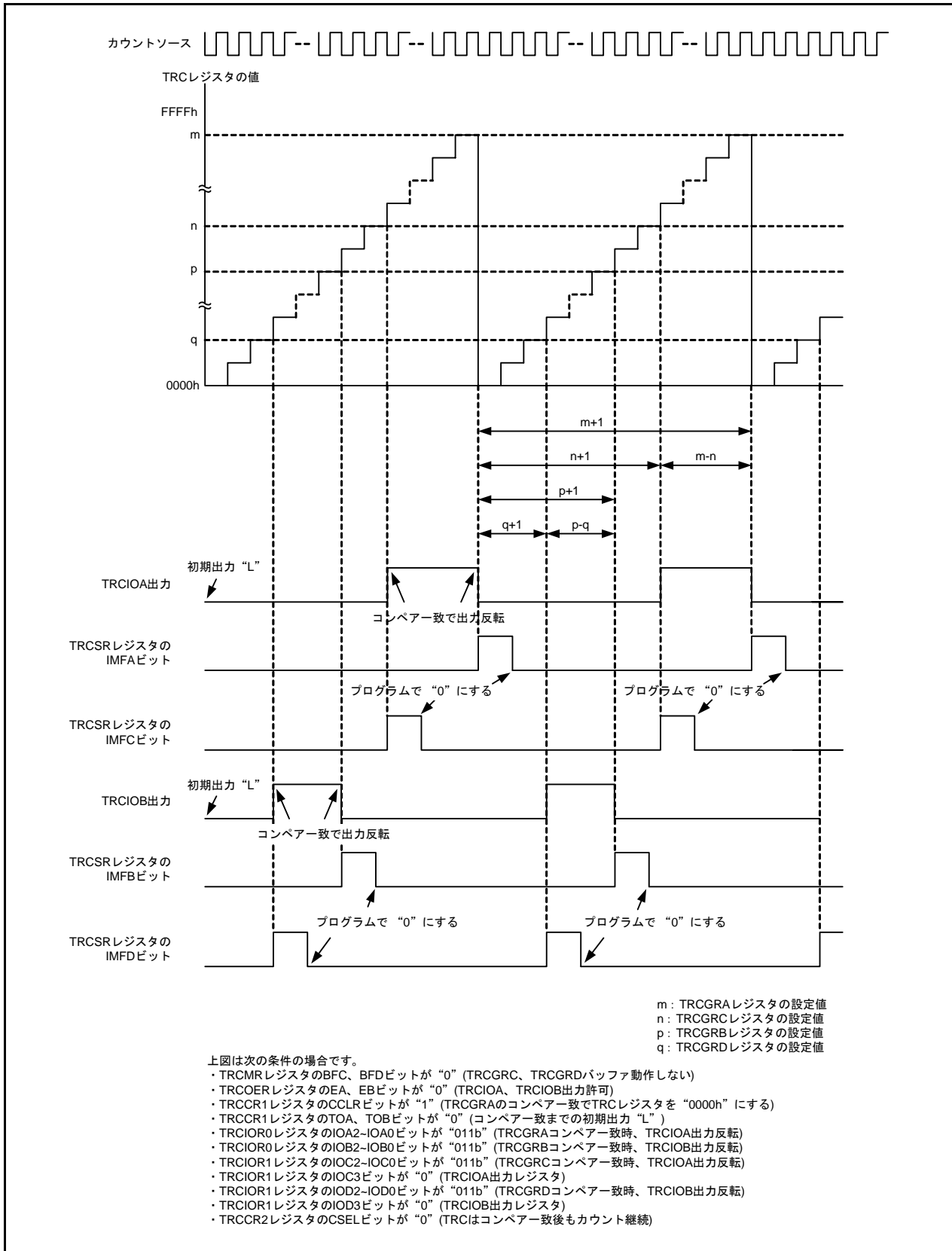


図18.12 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例

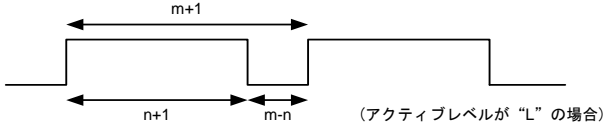
## 18.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表18.11にPWMモードの仕様を、図18.13にPWMモードのブロック図を、表18.12にPWMモード時のTRCGRjレジスタの機能を、図18.14～図18.15にPWMモードの動作例を示します。

表 18.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO20M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f <sub>k</sub> : カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRhレジスタ設定値  (アクティブレベルが“L”の場合)
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持</li> <li>TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、PWM出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>PWM出力端子を1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。</li> <li>アクティブレベルを1端子ごとに選択</li> <li>初期出力レベルを1端子ごとに選択</li> <li>バッファ動作(「18.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照)</li> <li>A/Dトリガ発生</li> </ul>

h=B、C、Dのいずれか

j=A、B、C、Dのいずれか

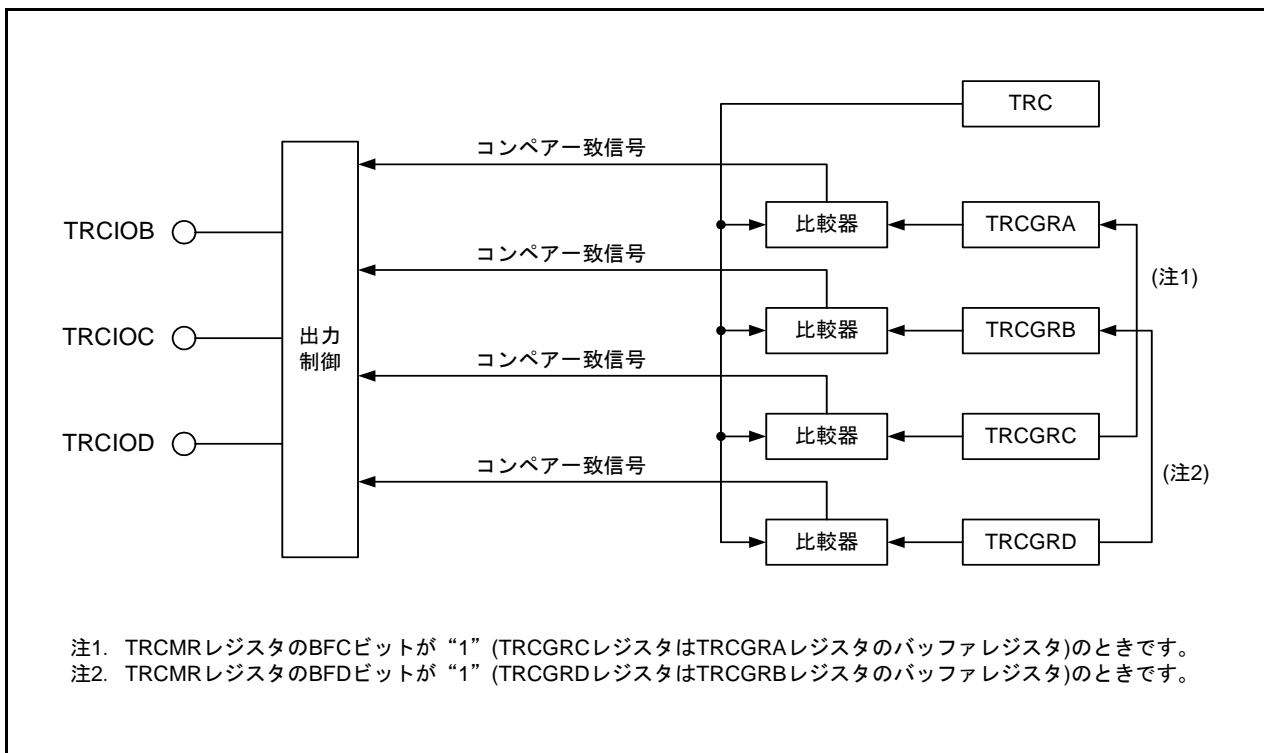


図 18.13 PWMモードのブロック図

## 18.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0 : 初期出力はアクティブでないレベル 1 : 初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO20M 1 1 1 : fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペアー一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。



## 18.6.2 タイマRC制御レジスタ2(TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0: TRCGRAレジスタとのコンペア一致後もカウント継続 1: TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRГ入力エッジ選択ビット (注3)	b7 b6 00: TRCTRГからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表 18.12 PWMモード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRCGRB	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD = 0		TRCIOD
TRCGRC	BFC = 1	バッファレジスタ。次回のPWM周期を設定してください(「18.3.2 バッファ動作」参照)。	—
TRCGRD	BFD = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「18.3.2 バッファ動作」参照)。	TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。

## 18.6.3 動作例

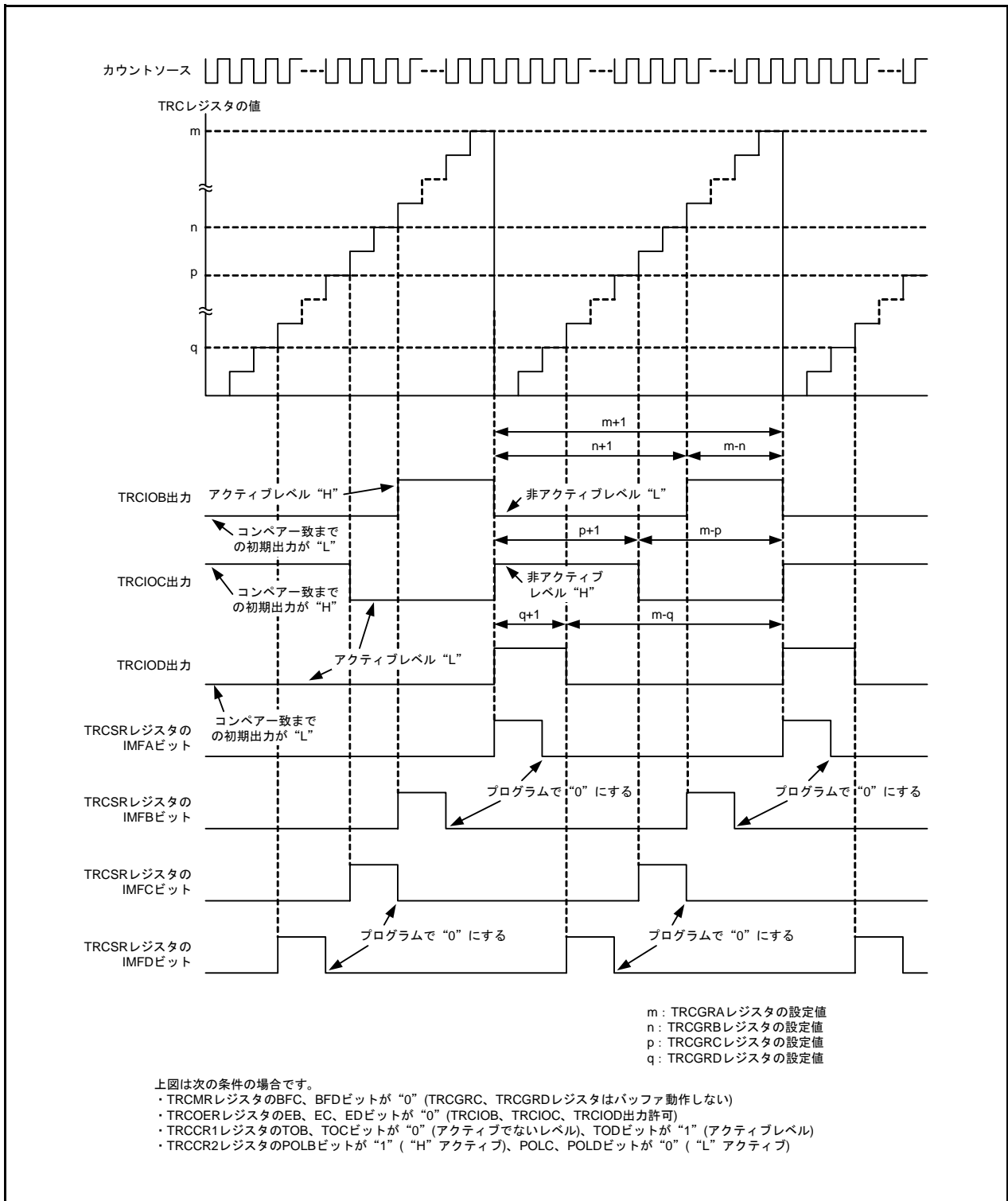


図 18.14 PWMモードの動作例

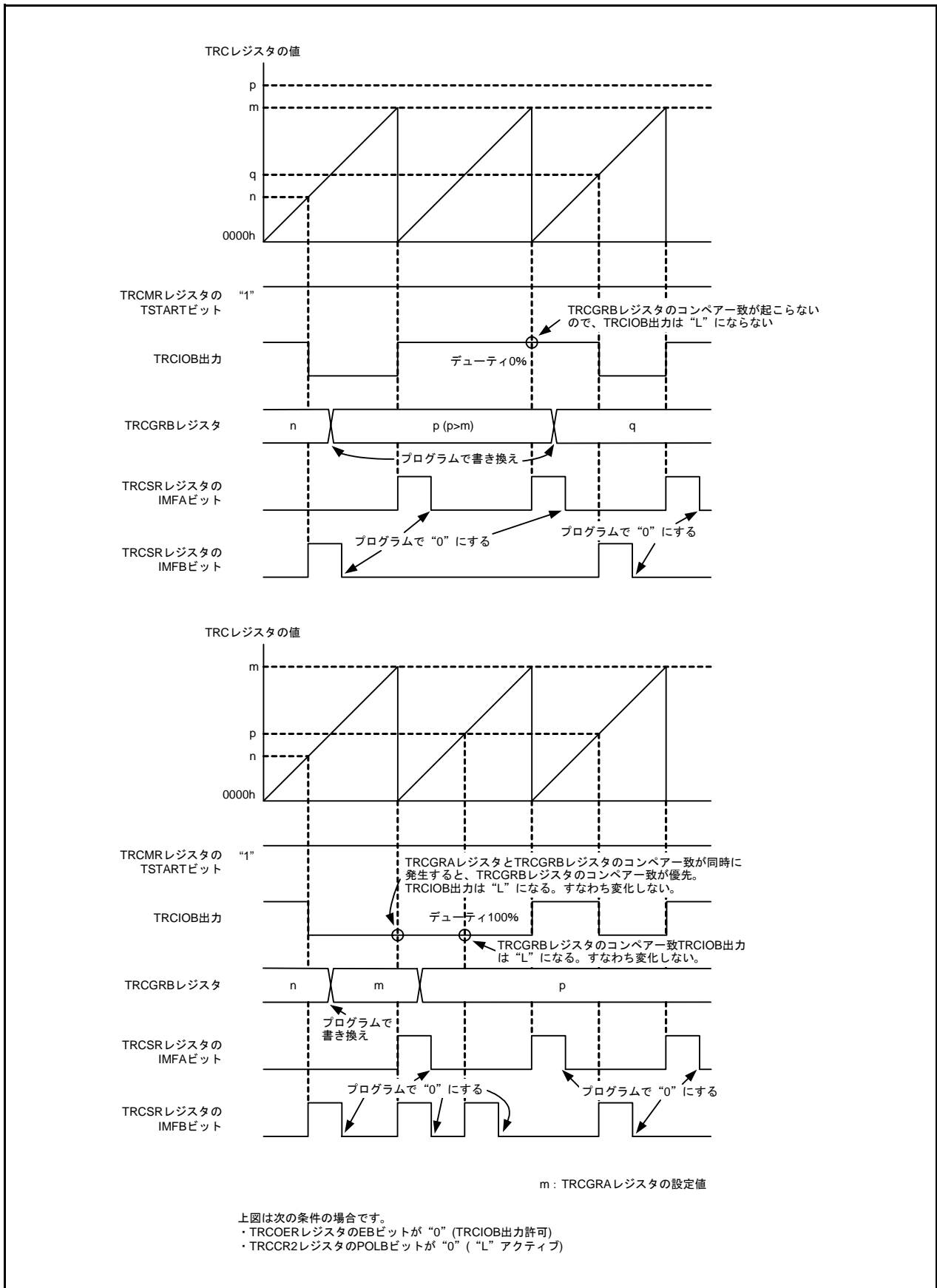


図18.15 PWMモードの動作例(デューティ0%、デューティ100%)

## 18.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間において、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせる使用しますので、他のモードと組み合わせる使用できません。

図18.16にPWM2モードのブロック図を、表18.13にPWM2モードの仕様を、表18.14にPWM2モード時のTRCGRjレジスタの機能を、図18.17～図18.19にPWM2モードの動作例を示します。

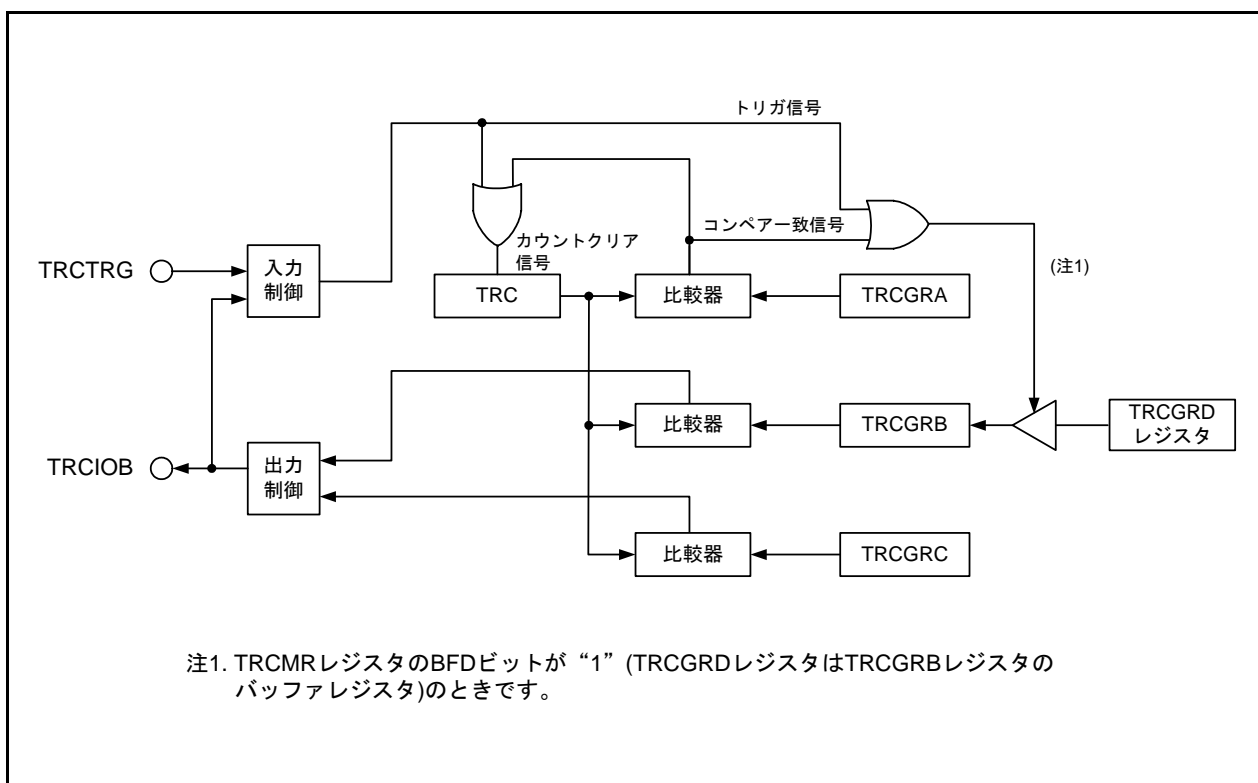


図18.16 PWM2モードのブロック図

表 18.13 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO20M、fOCO-F TRCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期: <math>1/fk \times (m+1)</math> (TRCTRГ入力がない場合)            アクティブレベル幅: <math>1/fk \times (n-p)</math>            カウント開始またはトリガからのウェイト時間: <math>1/fk \times (p+1)</math></p> <p>fk: カウントソースの周波数            m: TRCGRAレジスタ設定値            n: TRCGRBレジスタ設定値            p: TRCGRCレジスタ設定値</p>  <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのTCEG1~TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み</li> <li>TRCCR2レジスタのTCEG1~TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み(TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。</li> <li>TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペアー一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。</li> </ul>
割り込み発生タイミング	<ul style="list-style-type: none"> <li>コンペアー一致(TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。</li> <li>バッファ動作(「18.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照)</li> <li>デジタルフィルタ(「18.3.3 デジタルフィルタ」参照)</li> <li>A/Dトリガ発生</li> </ul>

j=A、B、C、Dのいずれか

## 18.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペア一致で“H”出力 TRCGRBのコンペア一致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペア一致で“L”出力 TRCGRBのコンペア一致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCLK入力の立ち上がりエッジ 1 1 0: fOCO20M 1 1 1: fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

## 18.7.2 タイマRC制御レジスタ2(TRCCR2)[PWM2モード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRA レジスタとのコンペア一致後もカウンタ継続 1 : TRCGRA レジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 18.7.3 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2モード時]

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能 選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース(TRCCR1レジスタのTCK2 ~TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1~TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

表 18.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC (注1)	BFC = 0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD = 0	(PWM2モードでは使用しません)	—
TRCGRD	BFD = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください。 (「18.3.2 バッファ動作」参照)	TRCIOB端子

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。



18.7.4 動作例

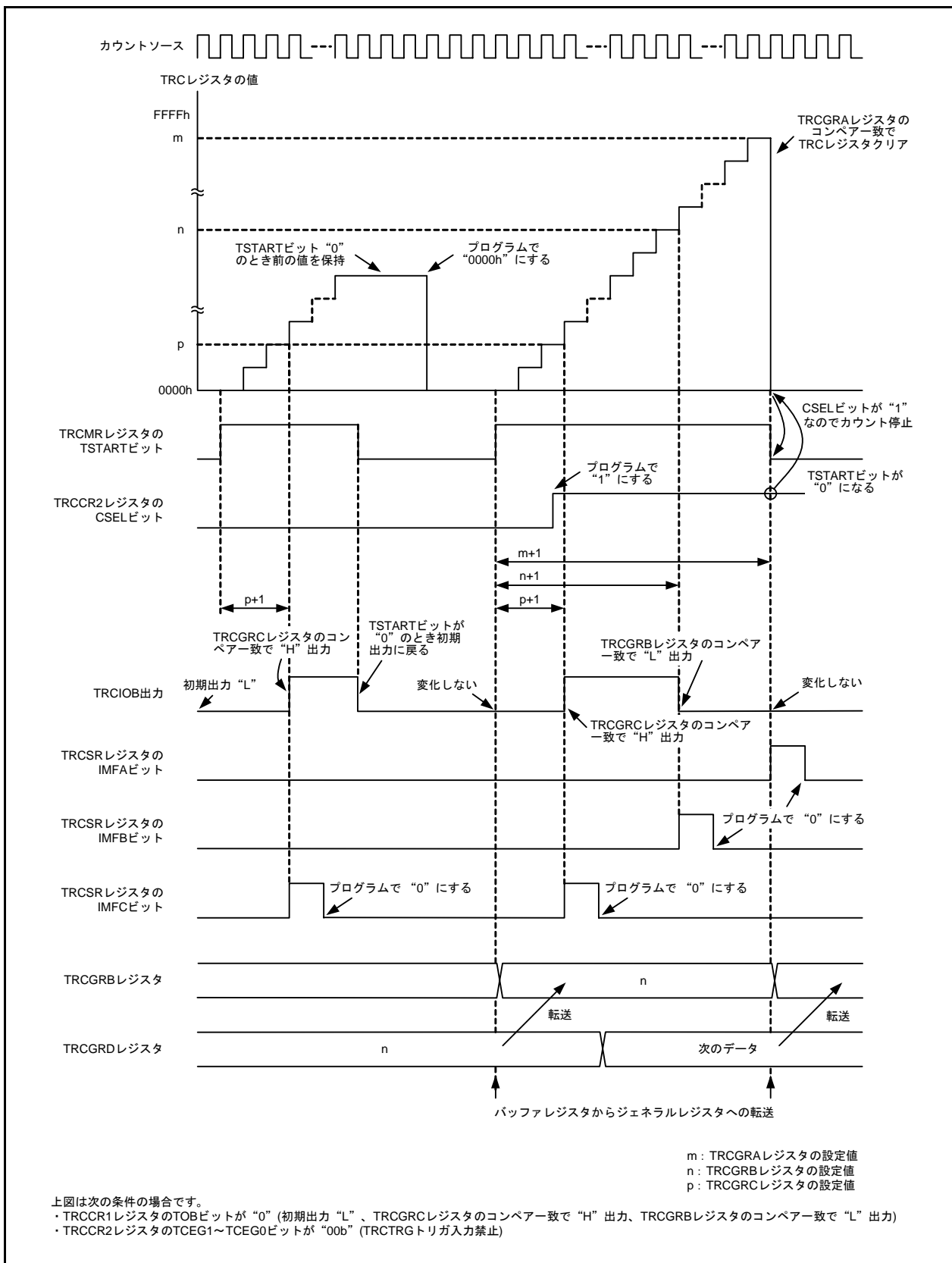


図 18.17 PWM2モードの動作例(TRCTRトリガ入力禁止の場合)

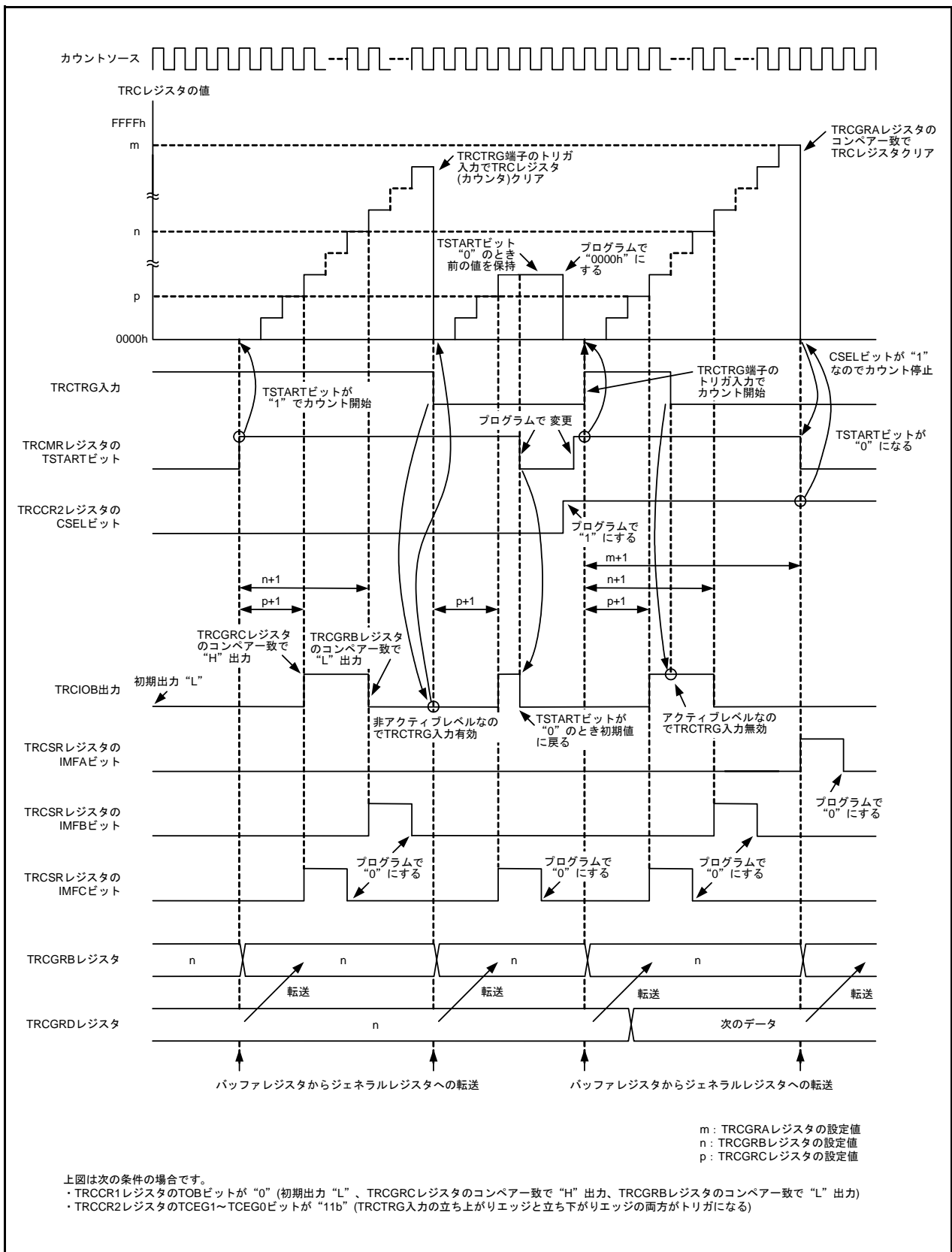


図18.18 PWM2モードの動作例 (TRCTRGRトリガ入力許可の場合)

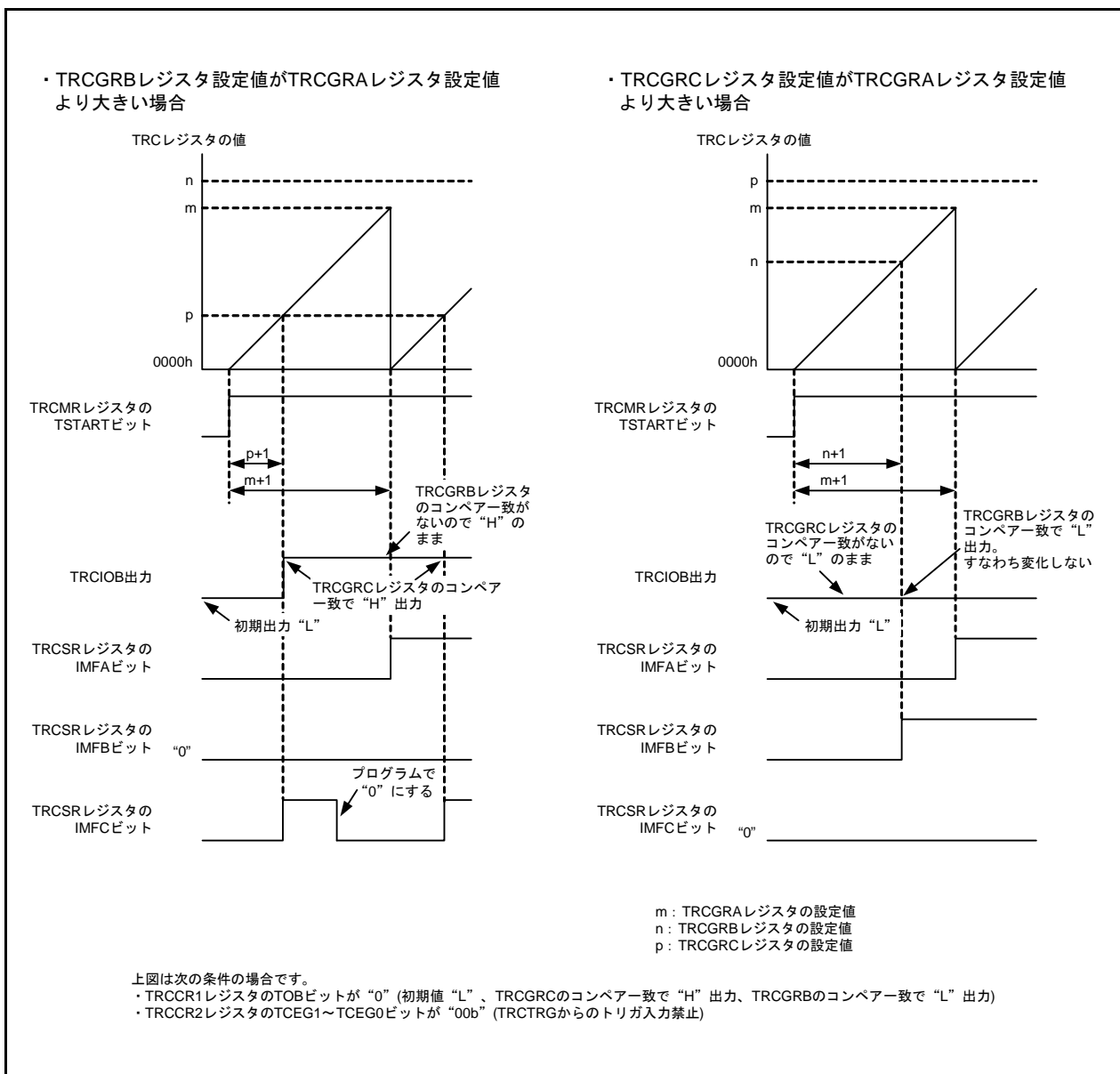


図 18.19 PWM2モードの動作例(デューティ 0%、デューティ 100%)

## 18.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表 18.15にタイマRC割り込み関連レジスタを、図18.20にタイマRC割り込みのブロック図を示します。

表 18.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

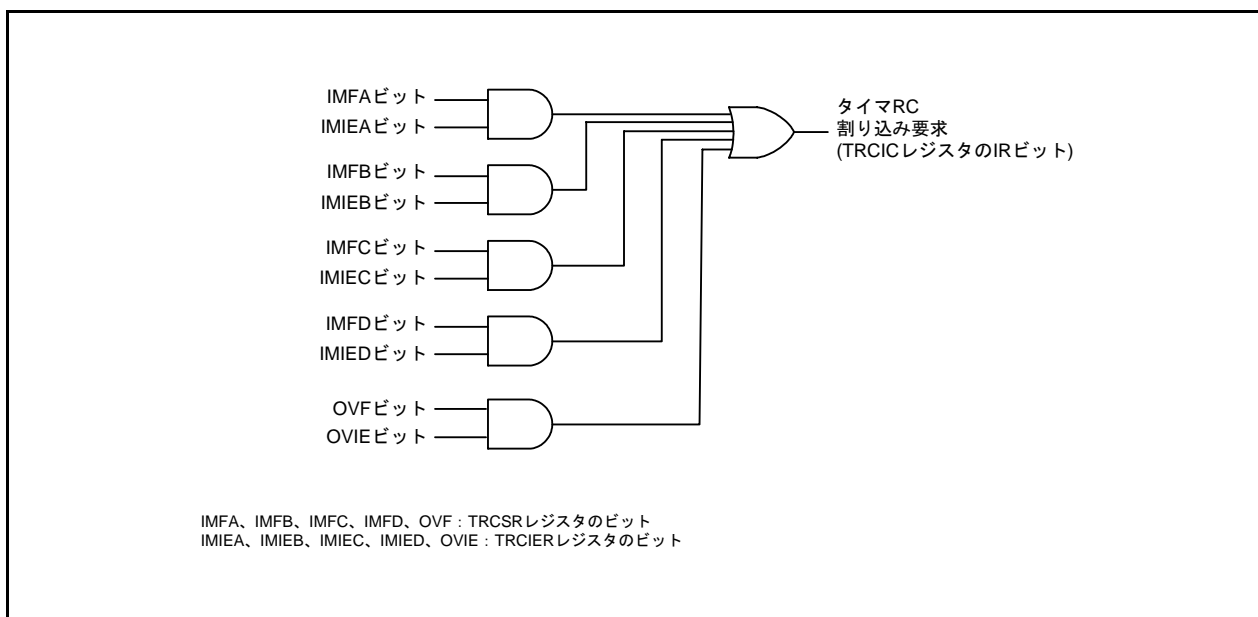


図18.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「18.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「18.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「12.3 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

## 18.9 タイマRC使用上の注意

### 18.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC      ; 書き込み
                  JMP.B  L1          ; JMP.B命令
L1:                MOV.W  TRC,DATA    ; 読み出し

```

### 18.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR    ; 書き込み
                  JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRCSR,DATA    ; 読み出し

```

### 18.9.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

### 18.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- カウントソースをfOCO20MからfOCO-F以外のクロックに変更し、fOCO20Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待つからfOCO20Mを停止させてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
  - (3) f1の2サイクル以上待つ
  - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする
- カウントソースをfOCO-FからfOCO20M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル+fOCO20Mの1サイクル以上待つからfOCO-Fを停止させてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
  - (3) fOCO-Fの1サイクル+fOCO20Mの1サイクル以上待つ
  - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

### 18.9.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表 18.1 タイマRCの動作クロック」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図18.5 デジタルフィルタのブロック図」参照)

- TRCIOj(j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

- インพุットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0~IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

### 18.9.6 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

## 19. タイマRH

### 19.1 概要

タイマRHは、3ビットカウンタ、4ビットカウンタ、8ビットカウンタを持つタイマです。

タイマRHは次の2つのモードを持ちます。

- リアルタイムクロックモード  
fC-TRHから1sを作り、秒、分、時、曜日、日、月、年(2000年から2099年まで閏年対応)をカウントするモード
- アウトプットコンペアモード  
カウントソースをカウントし、コンペア一致を検出するモード

タイマRHのカウントソースは、タイマ動作の動作クロックになります。

表 19.1にタイマRHの端子構成を示します。

表 19.1 タイマRHの端子構成

端子名	割り当てる端子	入出力	機能
TRHO	P0_7	出力	モードによって機能が異なります。 詳細は各モードを参照してください。

### 19.2 リアルタイムクロックモード

fC-TRHから3ビットカウンタ、4ビットカウンタ、8ビットカウンタを使って1秒を作り、それを元に秒、分、時、曜日、日、月、年をカウントするモードです。また、特定の分、時、曜日との一致を検出します。図 19.1にリアルタイムクロックモードのブロック図を、表 19.2にリアルタイムクロックモードの仕様を示します。

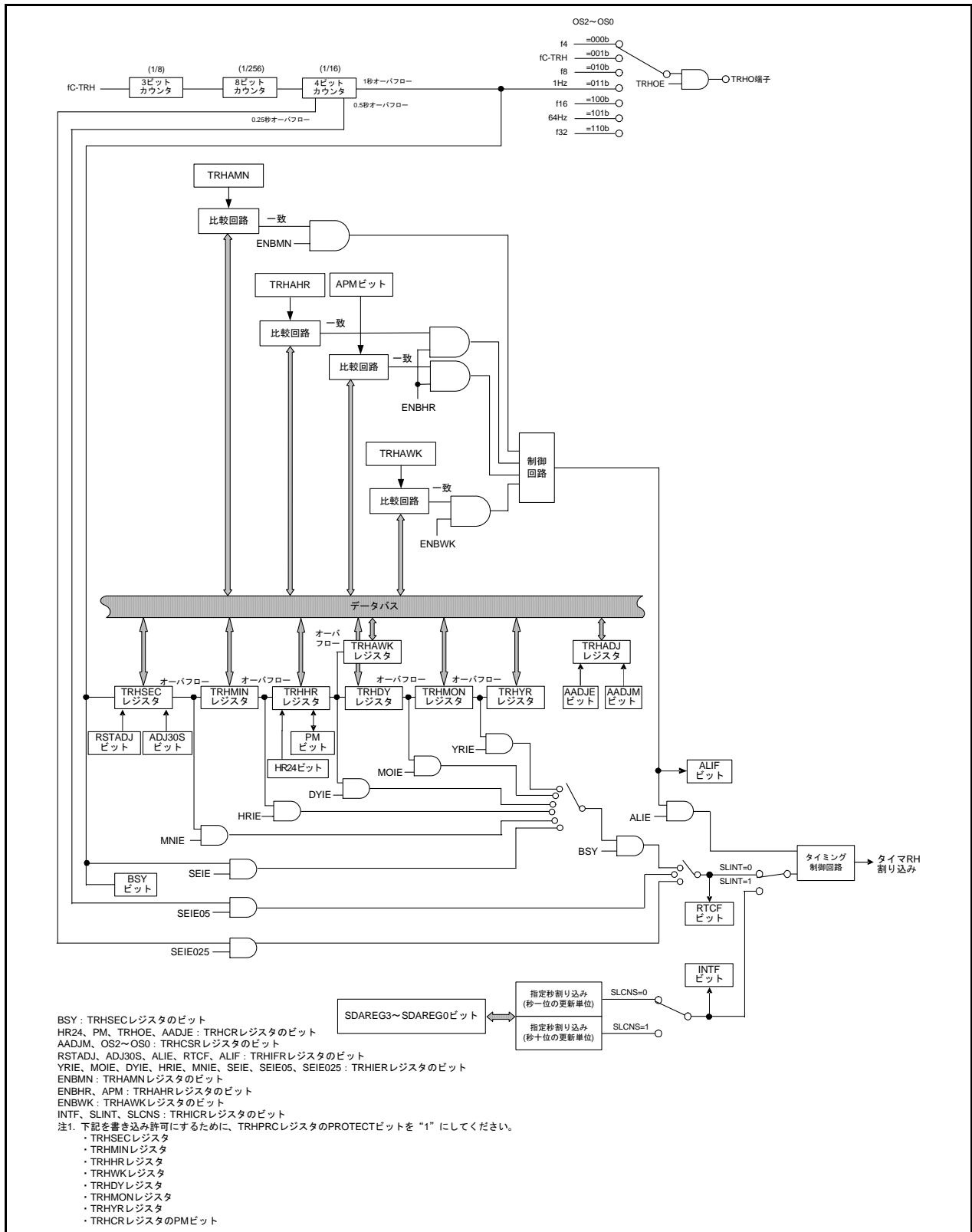


図 19.1 リアルタイムクロックモードのブロック図



表 19.2 リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC-TRH (32.768kHz)
カウント動作	アップカウント
カウント開始条件	TRHCRレジスタのRUNビットへの“1”(カウント開始)書き込み
カウント停止条件	TRHCRレジスタのRUNビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<p>周期割り込み 次のうち、いずれか1つを選択</p> <ul style="list-style-type: none"> <li>• 0.25秒周期</li> <li>• 0.5秒周期</li> <li>• 秒データの更新</li> <li>• 分データの更新</li> <li>• 時データの更新</li> <li>• 日データの更新</li> <li>• 月データの更新</li> <li>• 年データの更新</li> </ul> <p>アラーム割り込み 時刻のデータとアラームのデータの一致 TRHICRレジスタで設定した指定秒の更新</p>
TRHO端子機能	プログラブル入出力ポート、またはf4、f8、f16、f32、1Hz、64Hz、fC-TRHのいずれかを出力
タイマの読み出し	タイマRHデータレジスタ(注1)を読むと、カウント値が読める。TRHWKレジスタ以外のタイマRHデータレジスタ(注1)の値はBCDコード。
タイマの書き込み	TRHPRCレジスタのPROTECTビットが“1”(書き込み許可)、かつTRHCRレジスタのRUNビットが“0”(カウント停止)のときタイマRHデータレジスタ(注1)とTRHCRレジスタのPMビットに書き込める。TRHWKレジスタ以外のタイマRHデータレジスタ(注1)へ書き込む値はBCDコード。
選択機能	<ul style="list-style-type: none"> <li>• 12時間モード/24時間モード切り替え機能</li> <li>• アラーム機能 分、時、曜日のいずれか、またはこれらの組み合わせを検出</li> <li>• 秒調整機能</li> <li>• 時計誤差補正機能 自動補正機能またはソフトウェアによる補正</li> <li>• クロック出力</li> </ul>

注1. タイマRHデータレジスタ : TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタ

## 19.2.1 モジュールスタンバイ制御レジスタ1(MSTCR1)

アドレス 0010h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRJ2	MSTTRJ1	MSTTRJ0	MSTTRH	MSTTRB1	MSTTRB0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRB0	タイマRB0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTTRB1	タイマRB1スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	MSTTRH	タイマRHスタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b3	MSTTRJ0	タイマRJ0スタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b4	MSTTRJ1	タイマRJ1スタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b5	MSTTRJ2	タイマRJ2スタンバイビット	0: アクティブ 1: スタンバイ(注6)	R/W
b6	—	予約ビット	"0" にしてください	R/W
b7	—			

- 注1. MSTTRB0ビットが“1”(スタンバイ)のとき、タイマRB0関連レジスタ(0108h～010Eh番地)へのアクセスは無効になります。
- 注2. MSTTRB1ビットが“1”(スタンバイ)のとき、タイマRB1関連レジスタ(0098h～009Eh番地)へのアクセスは無効になります。
- 注3. MSTTRHビットが“1”(スタンバイ)のとき、タイマRH関連レジスタ(0110h～011Fh番地)へのアクセスは無効になります。
- 注4. MSTTRJ0ビットが“1”(スタンバイ)のとき、タイマRJ0関連レジスタ(0080h～0086h番地)へのアクセスは無効になります。
- 注5. MSTTRJ1ビットが“1”(スタンバイ)のとき、タイマRJ1関連レジスタ(0088h～008Eh番地)へのアクセスは無効になります。
- 注6. MSTTRJ2ビットが“1”(スタンバイ)のとき、タイマRJ2関連レジスタ(0090h～0096h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 19.2.2 タイマRH秒データレジスタ (TRHSEC)[リアルタイムクロックモード時]

アドレス 0110h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTRCRSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。	0~9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒をカウント	0~5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマRHビジーフラグ	タイマRHデータレジスタ(注1)、TRHCRレジスタのPMビットの更新中“1”になります。		R

注1. タイマRHデータレジスタ：TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタ

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

## SC03～SC00ビット(秒一位カウントビット)

## SC12～SC10ビット(秒十位カウントビット)

BCDコードで“00”～“59”を設定してください。

TRHSECレジスタのSC12～SC10、SC03～SC00ビットは、TRHCRレジスタのRUNビット“0”(カウント停止)のときに書いてください。

また、BSYビットが“0”(データ更新中ではない)のときに読み出してください。

## BSYビット(タイマRHビジーフラグ)

データ更新中に“1”になります。次のレジスタとビットはBSYビットが“0”(データ更新中ではない)のときに読み出してください。

- タイマRHデータレジスタ(注1)
- TRHCRレジスタのPMビット

また、次のレジスタとビットはBSYビットが“0”(データ更新中ではない)のときに書いてください。

- タイマRHデータレジスタ(注1)
- タイマRHアラームレジスタ(注2)
- TRHCRレジスタのPMとHR24ビット
- 補正関連レジスタとビット(注3)

注1. タイマRHデータレジスタ： TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタ

注2. タイマRHアラームレジスタ： TRHAMN、TRHAHR、TRHAWKレジスタ

注3. 補正関連レジスタとビット： TRHADJレジスタ、TRHCSRレジスタのAADJMビット、TRHCRレジスタのAADJEビット

## 19.2.3 タイマRH分データレジスタ (TRHMIN)[リアルタイムクロックモード時]

アドレス 0111h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。	0~9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分をカウント	0~5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	MN7	リアルタイムクロックモードでは“0”にしてください。			R/W

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

## MN03~MN00ビット(分一位カウントビット)

## MN12~MN10ビット(分十位カウントビット)

BCDコードで“00”~“59”を設定してください。

TRHSECレジスタからの桁上がりがあると、“1”加算されます。

TRHMINレジスタのMN12~MN10、MN03~MN00ビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

## 19.2.4 タイマRH時データレジスタ (TRHHR)[リアルタイムクロックモード時]

アドレス 0112h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	0	0	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0~9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	TRHCRレジスタのHR24ビットが“0”(12時間モード)のとき、0から1をカウント。HR24ビットが“1”(24時間モード)のとき、0から2をカウント。	0~2 (BCDコード)	R/W
b5	HR11				R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			—
b7	—				—

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

## HR03～HR00 (時一位カウントビット)

## HR11～HR10 (時十位カウントビット)

TRHCRレジスタのHR24ビットが“0”(12時間モード)の場合はBCDコードで“00”～“11”を設定してください。HR24ビットが“1”(24時間モード)の場合はBCDコードで“00”～“23”を設定してください。

TRHMINレジスタからの桁上がりがあると、“1”加算されます。

TRHHRレジスタのHR11～HR10、HR03～HR00ビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

## 19.2.5 タイマRH曜日データレジスタ (TRHWK)[リアルタイムクロックモード時]

アドレス 0113h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	WK2	WK1	WK0
リセット後の値	0	0	0	0	0	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WK0	曜日カウントビット	b2 b1 b0 000: 日曜日	R/W
b1	WK1		001: 月曜日	R/W
b2	WK2		010: 火曜日	R/W
			011: 水曜日	
		100: 木曜日		
		101: 金曜日		
		110: 土曜日		
		111: 設定しないでください		
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

## WK2～WK0ビット(曜日カウントビット)

“000b”(日曜日)～“110b”(土曜日)を繰り返しカウントしますので、1週間がカウントできます。“111b”にはなりません。“111b”を設定しないでください。

TRHHRレジスタからの桁上がりがあると、“1”加算されます。

TRHWKレジスタのWK2～WK0ビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

## 19.2.6 タイマRH日データレジスタ (TRHDY)[リアルタイムクロックモード時]

アドレス 0114h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	DY11	DY10	DY03	DY02	DY01	DY00
リセット後の値	0	0	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	DY00	日一位カウントビット	1日ごとに0から9をカウント。桁上がりが発生すると、日十位が1加算される。	0~9 (BCDコード)	R/W
b1	DY01				R/W
b2	DY02				R/W
b3	DY03				R/W
b4	DY10	日十位カウントビット	0から3をカウント。	0~3 (BCDコード)	R/W
b5	DY11				R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			—
b7	—				—

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

## DY03～DY00 ビット(日一位カウントビット)

## DY11～DY10 ビット(日十位カウントビット)

BCDコードで“01”～“31”を設定してください。

TRHHRレジスタからの桁上がりがあると、“1”加算されます。2000年から2099年まで、閏年の2月を含む各月の日数(28～31)をカウントします。

TRHDYレジスタのDY11～DY10、DY03～DY00ビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

## 19.2.7 タイマRH月データレジスタ (TRHMON)[リアルタイムクロックモード時]

アドレス 0115h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MO10	MO03	MO02	MO01	MO00
リセット後の値	0	0	0	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MO00	月一位カウントビット	1月ごとに0から9をカウント。桁上がりが発生すると、月十位が1加算される。	0~9 (BCDコード)	R/W
b1	MO01				R/W
b2	MO02				R/W
b3	MO03				R/W
b4	MO10	月十位カウントビット	0から1をカウント。	0~1 (BCDコード)	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			—
b6	—				
b7	—				

TRHPRCレジスタのPROTECTビットを“1”（書き込み許可）にした後で書き換えてください。

## MO03～MO00ビット（月一位カウントビット）

## MO10ビット（月十位カウントビット）

BCDコードで“01”～“12”を設定してください。

TRHDYレジスタからの桁上がりがあると、“1”加算されます。

TRHMONレジスタのMO10、MO03～MO00ビットは、TRHCRレジスタのRUNビットが“0”（カウント停止）のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”（データ更新中ではない）のときに読み出してください。



## 19.2.8 タイマRH年データレジスタ (TRHYR)[リアルタイムクロックモード時]

アドレス 0116h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YR13	YR12	YR11	YR10	YR03	YR02	YR01	YR00
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	YR00	年一位カウントビット	1年ごとに0から9をカウント。桁上がりが発生すると、年十位が1加算される。	0~9 (BCDコード)	R/W
b1	YR01				R/W
b2	YR02				R/W
b3	YR03				R/W
b4	YR10	年十位カウントビット	0から9をカウント。	0~9 (BCDコード)	R/W
b5	YR11				R/W
b6	YR12				R/W
b7	YR13				R/W

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

## YR03~YR00ビット (年一位カウントビット)

## YR13~YR10ビット (年十位カウントビット)

BCDコードで“00”~“99”を設定してください。年の千と百の位は“20”固定です。

TRHMONレジスタからの桁上がりがあると、“1”加算されます。

TRHYRレジスタのYR13~YR10、YR03~YR00ビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

## 19.2.9 タイマRH制御レジスタ (TRHCR)[リアルタイムクロックモード時]

アドレス 0117h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	HR24	PM	RTCST	CCLR	LFLAG	TRHOE	AADJE
リセット後の値	X	X	X	0	0	X	0	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	X	X	1	X	0

ビット	シンボル	ビット名	機能	R/W
b0	AADJE	タイマRH自動補正機能許可ビット	0: 自動補正機能禁止(ソフトウェアによる補正有効) 1: 自動補正機能許可(ソフトウェアによる補正無効)	R/W
b1	TRHOE	タイマRH出力許可ビット	0: TRHO出力禁止 1: TRHO出力許可	R/W
b2	LFLAG	閏年フラグ(注1)	0: 平年 1: 閏年	R
b3	CCLR	リアルタイムクロックモードでは“0”にしてください。		R/W
b4	RTCST	タイマRHリセットビット(注2)	このビットを“1”にすると対象のレジスタとビットがリセット後の値に初期化され、タイマRH制御回路が初期化される。	R/W
b5	PM	午前/午後ビット	0: 午前 1: 午後	R/W
b6	HR24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	R/W
b7	RUN	タイマRH動作開始ビット	0: カウント停止 1: カウント開始	R/W

注1. RTCSTビットが“1”のとき、TRHYRレジスタは“00h”にリセットされます。

2000年は閏年なので、LFLAGビットの初期値は“1”になります。

注2. RTCSTビットを“1”にした後は、“0”にしてください。

## AADJE ビット

TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに変更してください。

## TRHOE ビット (タイマRH出力許可ビット)

RUNビットが“0”(カウント停止)のときに変更してください。

## LFLAG ビット (閏年フラグ)

TRHYRレジスタの値が“00”または4の倍数の場合、LFLAGビットが“1”(閏年)になります。  
LFLAGビットが“1”の場合、2月の日数を29日にします。

### RTCRSTビット (タイマRHリセットビット)

RTCRSTビットを“1”にすると表 19.3に示すレジスタとビットをリセット後の値に初期化し、タイマRH制御回路を初期化します。なお、RTCRSTビットを“1”にした後は、必ず“0”にしてください。

表 19.3 RTCRSTビットで初期化されるレジスタとビット(注1)

レジスタ	初期化されるビット	設定値を保持するビット
タイマRHデータレジスタ(注2)	ビット0～ビット7	—
タイマRHアラームレジスタ(注3)	ビット0～ビット7	—
TRHCR	AADJE、LFLAG、PM、HR24、RUN	TRHOE、CCLR、RTCRST
TRHCSR	ビット7	ビット0～ビット6
TRHADJ	ビット0～ビット7	—
TRHIFR	ビット0～ビット2	ビット3～ビット7
TRHIER	ビット0～ビット7	—
TRHPRC	ビット0～ビット7	—
TRHICR	ビット0～ビット7	—

注1. リセット値については、各レジスタのRTCRSTビットによるリセット値を参照してください。

注2. タイマRHデータレジスタ：TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタ

注3. タイマRHアラームレジスタ：TRHAMN、TRHAHR、TRHAWKレジスタ

## PMビット(午前/午後ビット)

PMビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

HR24ビットが“0”(12時間モード)の場合に有効です。

PMビットは、カウント動作中、次のように変化します。

PMビットが“1”(午後)で、11時59分59秒から、次の00時00分00秒になるとき、“0”になる。

PMビットが“0”(午前)で、11時59分59秒から、次の00時00分00秒になるとき“1”になる。

図 19.2に時刻表現の定義を示します。

<2000年1月1日土曜日の午前0時からカウントを始めた場合>

正午  
↓

HR24ビット=1 (24時間モード)	TRHHRレジスタの内容	0	1	...	10	11	12	13	...	22	23	0	1	2	...	21	22	23	0	1	2
	PMビットの内容	0																			
HR24ビット=0 (12時間モード)	TRHHRレジスタの内容	0	1	...	10	11	0	1	...	10	11	0	1	2	...	9	10	11	0	1	2
	PMビットの内容	0(午前)					1(午後)					0(午前) ... 1(午後)					0(午前)				
TRHWKレジスタの内容		110(土)										000(日) ... 001(月)					010(火)				
TRHDYレジスタの内容		1日										2日 ... 31日					1日				
TRHMONレジスタの内容		1月										2月									
TRHYRレジスタの内容		2000年																			
LFLAGビット		1																			

HR24ビット=1 (24時間モード)	TRHHRレジスタの内容	3	4	5	...	21	22	23	0	1	2	...	21	22	23	0	1	2	...
	PMビットの内容	0																	
HR24ビット=0 (12時間モード)	TRHHRレジスタの内容	3	4	5	...	21	10	11	0	1	2	...	9	10	11	0	1	2	...
	PMビットの内容	0(午前) ... 1(午後)					0(午前) ... 1(午後)					0(午前) ...							
TRHWKレジスタの内容		010(火) ... 010(火)					011(水) ... 000(日)					001(月) ...							
TRHDYレジスタの内容		1日 ... 29日					1日 ... 31日					1日 ...							
TRHMONレジスタの内容		2月					3月 ... 12月					1月 ...							
TRHYRレジスタの内容		2000年										2001年 ...							
LFLAGビット		1										0 ...							

LFLAGビット、PMビット、HR24ビット：TRHCRレジスタのビット

図 19.2 時間表現の定義

## HR24ビット(動作モード選択ビット)

HR24ビットが“0”の場合、TRHHRレジスタは0~11のカウントを行い、“1”の場合、0~23のカウントを行います。HR24ビットは、RUNビットが“0”(カウント停止)のときに書き込んでください。

### 19.2.10 タイマRHカウントソース選択レジスタ (TRHCSR) [リアルタイムクロックモード時]

アドレス 0118h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AADJM	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	X	0	0	0	1	0	0	0
TRHCRレジスタの RTRCRSTビットによる リセット後の値	0	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット	リアルタイムクロックモード(CS3ビット=“1”)では “1000b (fC-TRH)” にしてください。	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRH出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : fC-TRH 0 1 0 : f8 0 1 1 : 1 Hz (注1、3) 1 0 0 : f16 1 0 1 : 64 Hz (注2、3) 1 1 0 : f32 1 1 1 : 設定しないでください。	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	AADJM	自動補正モード選択ビット	0 : 1分毎に補正 1 : 10秒毎に補正	R/W

注1. fC-TRH = 32.768 kHzの場合

fC-TRH ≠ 32.768 kHzの場合は、1 Hzと異なる場合があります。

注2. fC-TRH = 32.768 kHzの場合

fC-TRH ≠ 32.768 kHzの場合は、64 Hzと異なる場合があります。

注3. 秒調整、時計誤差補正を使用した場合は、そのタイミングで出力周波数が異なる場合があります。

#### CS3～CS0ビット (カウントソース選択ビット)

TRHCRレジスタのRUNビットが“0” (カウント停止)のときに変更してください。

#### OS2～OS0ビット (タイマRH出力選択ビット)

TRHCRレジスタのRUNビットが“0” (カウント停止)のときに変更してください。

TRHCRレジスタのTRHOEビットが“1” (TRHO出力許可)の場合に有効です。

#### AADJMビット (自動補正モード選択ビット)

TRHCRレジスタのAADJEビットが“1” (自動補正機能許可)の場合に有効です。

TRHSECレジスタのBSYビットが“0” (データ更新中ではない)のときに変更してください。

## 19.2.11 タイマRH時計誤差補正レジスタ (TRHADJ)[リアルタイムクロックモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PLUS	MINUS	ADJ5	ADJ4	ADJ3	ADJ2	ADJ1	ADJ0
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADJ0	補正值設定ビット	設定範囲：00h～3Fh(00～63)	R/W
b1	ADJ1			R/W
b2	ADJ2			R/W
b3	ADJ3			R/W
b4	ADJ4			R/W
b5	ADJ5			R/W
b6	MINUS	補正カウンタビット	<sup>b7 b6</sup> 00：補正しない 01：マイナス側補正 10：プラス側補正 11：設定しないでください	R/W
b7	PLUS			R/W

本レジスタはTRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに変更してください。

## MINUS、PLUSビット(補正カウンタビット)

1秒のカウンタをADJ0～ADJ5ビットの値によって変更します。

PLUSビットを“0”、MINUSビットを“1”にすると、内部カウンタをマイナス側に補正します。時計が進んでいるときに、遅らせることができます。

PLUSビットを“1”、MINUSビットを“0”にすると、内部カウンタをプラス側に補正します。時計が遅れているときに進めることができます。

## 19.2.12 タイマRH割り込みフラグレジスタ (TRHIFR)[リアルタイムクロックモード時]

アドレス 011Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	RSTADJ	ADJ30S	ALIE	RTCF	ALIF
リセット後の値	0	0	0	0	0	X	X	X
TRHCRレジスタの RTRCSTビットによる リセット後の値	0	0	0	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ALIF	アラーム割り込みフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W
b1	RTCF	RTC周期割り込みフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W
b2	ALIE	アラーム割り込み許可ビット	0 : アラーム割り込み禁止 1 : アラーム割り込み許可	R/W
b3	ADJ30S	30秒調整ビット	このビットに“1”を書くとTRHSECレジスタの値が次のようになる。 TRHSECレジスタの値 $\leq 29$ の場合 : TRHSEC $\leftarrow 00$ TRHSECレジスタの値 $\geq 30$ の場合 : TRHSEC $\leftarrow 00$ 、 TRHMIN $\leftarrow$ TRHMIN + 1 読んだ場合、その値は“0”。	W
b4	RSTADJ	秒カウンタリセット調整ビット	このビットに“1”を書くとTRHSECレジスタの値が“00”になり、内部カウンタが初期化される。 読んだ場合、その値は“0”。	W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は		—
b6	—	“0”。		
b7	—			

## ALIFビット (アラーム割り込みフラグ)

[“0”になる条件]

読んだ後、“0”を書く。読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。

[“1”になる条件]

タイマRHアラームレジスタ(注1)の内容とタイマRHデータレジスタ(注2)の内容が一致(「19.2.20 アラーム機能」参照)

なお、読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。“1”を書いた場合は変化しません。一致を確認するためには、タイマRHアラームレジスタ(注1)の各ENBビットを“1”にしてください。

注1. タイマRHアラームレジスタ : TRHAMN、TRHAHR、TRHAWK

注2. タイマRHデータレジスタ : TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタ

## RTCFビット (RTC周期割り込みフラグ)

[“0”になる条件]

読んだ後、“0”を書く。読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。

[“1”になる条件]

TRHIERレジスタで許可した割り込みの要因が発生

なお、読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。“1”を書いた場合は変化しません。

## 19.2.13 タイマRH割り込み許可レジスタ (TRHIER)[リアルタイムクロックモード時]

アドレス 011Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YRIE	MOIE	DYIE	HRIE	MNIE	SEIE	SEIE05	SEIE025
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE025	0.25秒周期割り込み許可ビット	0: 0.25秒周期割り込み禁止 1: 0.25秒周期割り込み許可	R/W
b1	SEIE05	0.5秒周期割り込み許可ビット	0: 0.5秒周期割り込み禁止 1: 0.5秒周期割り込み許可	R/W
b2	SEIE	秒周期割り込み許可ビット	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	R/W
b3	MNIE	分周期割り込み許可ビット	0: 分周期割り込み禁止 1: 分周期割り込み許可	R/W
b4	HRIE	時周期割り込み許可ビット	0: 時周期割り込み禁止 1: 時周期割り込み許可	R/W
b5	DYIE	日周期割り込み許可ビット	0: 日周期割り込み禁止 1: 日周期割り込み許可	R/W
b6	MOIE	月周期割り込み許可ビット	0: 月周期割り込み禁止 1: 月周期割り込み許可	R/W
b7	YRIE	年周期割り込み許可ビット	0: 年周期割り込み禁止 1: 年周期割り込み許可	R/W

TRHIERレジスタは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。

0.25秒、0.5秒、1秒、分、時、日、月、年のいずれかの周期で割り込み要求を発生させることができます。SEIE025、SEIE05、SEIE、MNIE、HRIE、DYIE、MOIE、YRIEビットのうち、いずれか1ビットを“1”(割り込み許可)にしてください(複数ビットを“1”にしないでください)。表 19.4にRTC周期割り込み要因を示します。

表 19.4 RTC周期割り込み要因

要因名	割り込み要因	割り込み許可ビット
年周期割り込み	TRHYRレジスタが更新(1年周期)される	YRIE
月周期割り込み	TRHMONレジスタが更新(1ヶ月周期)される	MOIE
日周期割り込み	TRHDYレジスタが更新(1日周期)される	DYIE
時周期割り込み	TRHHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TRHMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRHSECレジスタが更新(1秒周期)される	SEIE
0.5秒周期割り込み	0.5秒周期	SEIE05
0.25秒周期割り込み	0.25秒周期	SEIE025

上記のビットで割り込みを許可した場合、周期割り込み要因が発生すると、次のようになります。

- TRHIFRレジスタのRTCFビットが“1”(周期割り込み要求あり)になる
- TRHICレジスタのIRビットが“1”(割り込み要求あり)になる



## 19.2.14 タイマRHアラーム分レジスタ (TRHAMN)[リアルタイムクロックモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBMN	AMN6	AMN5	AMN4	AMN3	AMN2	AMN1	AMN0
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	AMN0	分一位アラームデータビット	アラームデータ格納	0~9 (BCDコード)	R/W
b1	AMN1				R/W
b2	AMN2				R/W
b3	AMN3				R/W
b4	AMN4	分十位アラームデータビット	アラームデータ格納	0~5 (BCDコード)	R/W
b5	AMN5				R/W
b6	AMN6				R/W
b7	ENBMN	分アラーム許可ビット	0 : 分アラーム禁止 (TRHMINレジスタと比較しない) 1 : 分アラーム許可 (TRHMINレジスタと比較する)		R/W

TRHSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

AMN3～AMN0ビット (分一位アラームデータビット)

AMN6～AMN4ビット (分十位アラームデータビット)

BCDコードで“00”～“59”を設定してください。

## 19.2.15 タイマRHアラーム時レジスタ (TRHAHR)[リアルタイムクロックモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBHR	APM	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	AHR0	時一位アラームデータ ビット	アラームデータ格納	0~9 (BCDコード)	R/W
b1	AHR1				R/W
b2	AHR2				R/W
b3	AHR3				R/W
b4	AHR4	時十位アラームデータ ビット	アラームデータ格納	0~2 (BCDコード)	R/W
b5	AHR5				R/W
b6	APM	午前/午後アラームデータ ビット	0: 午前 1: 午後		R/W
b7	ENBHR	時アラーム許可ビット	0: 時アラーム禁止 (TRHHRレジスタと比較しない) 1: 時アラーム許可 (TRHHRレジスタと比較する)		R/W

TRHSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

**AHR3~AHR0ビット(時一位アラームデータビット)****AHR5~AHR4ビット(時十位アラームデータビット)**

TRHCRレジスタのHR24ビットが“0”(12時間モード)の場合はBCDコードで“00”~“11”を設定してください。HR24ビットが“1”(24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

**APMビット(午前/午後アラームデータビット)ビット**

TRHCRレジスタのHR24ビットが“1”(24時間モード)の場合は無効です。

## 19.2.16 タイマRHアラーム曜日レジスタ (TRHAWK)[リアルタイムクロックモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBWK	—	—	—	—	AWK2	AWK1	AWK0
リセット後の値	X	0	0	0	0	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AWK0	曜日アラームデータビット	b2 b1 b0 000: 日曜日 001: 月曜日 010: 火曜日 011: 水曜日 100: 木曜日 101: 金曜日 110: 土曜日 111: 設定しないでください	R/W
b1	AWK1			R/W
b2	AWK2			R/W
b3	—			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	—			
b5	—			
b6	—			
b7	ENBWK	曜日アラーム許可ビット	0: 曜日アラーム禁止 (TRHWKレジスタと比較しない) 1: 曜日アラーム許可 (TRHWKレジスタと比較する)	—

TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

## AWK2～AWK0ビット (曜日アラームデータビット)

“000b”(日曜日)～“110b”(土曜日)を設定してください。

## 19.2.17 タイマRHプロテクトレジスタ (TRHPRC)[リアルタイムクロックモード時]

アドレス 011Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRHCRレジスタの RTCSTビットによる リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PROTECT	プロテクトビット	時刻のデータのレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W

## PROTECTビット (プロテクトビット)

次のレジスタとビットは、PROTECTビットが“1”(書き込み許可)のとき変更できます。

タイマRHデータレジスタ(注1)とTRHCRレジスタのPMビット

PROTECTビットはプログラムで“1”を書くと、その後“1”の状態が続きます。このビットで保護されるレジスタは次の手順で変更してください。

- (1) PROTECTビットに“1”を書く
- (2) PROTECTビットで保護されるレジスタに値を書く
- (3) PROTECTビットに“0”(書き込み禁止)を書く

注1. タイマRHデータレジスタ：TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタ

## 19.2.18 タイマRH秒割り込み制御レジスタ (TRHICR)[リアルタイムクロックモード時]

アドレス 018Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INTF	—	SLINT	SLCNS	SDAREG3	SDAREG2	SDAREG1	SDAREG0
リセット後の値	X	0	X	X	X	X	X	X
TRHICRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W	
b0	SDAREG0	指定秒割り込み値設定ビット	b3 b2 b1 b0 <SLCNS = "0" > <SLCNS = "1" > 0 0 0 0 : 設定しないでください	R/W	
b1	SDAREG1		0 0 0 1 : 1秒 10秒	R/W	
b2	SDAREG2		0 0 1 0 : 2秒 20秒	R/W	
b3	SDAREG3		0 0 1 1 : 3秒 30秒	R/W	
			0 1 0 0 : 4秒 40秒		
			0 1 0 1 : 5秒 50秒		
			0 1 1 0 : 6秒 60秒		
			0 1 1 1 : 7秒 70秒		
			1 0 0 0 : 8秒 80秒		
			1 0 0 1 : 9秒 90秒		
			1 0 1 0 : 10秒 100秒		
			1 0 1 1 : 11秒 110秒		
b4	SLCNS		カウントソース選択ビット	0 : 秒一位更新 1 : 秒十位更新	R/W
b5	SLINT		割り込み選択ビット(注1)	0 : RTC周期割り込み 1 : 指定秒割り込み	R/W
b6	—		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”	—	—
b7	INTF	指定秒割り込みフラグ (注2)	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W	

注1. INTFフラグを“0”にした後、指定秒割り込みを使用しない場合はSLINTビットを“0”にしてください。

注2. INTFフラグは割り込みが受け付けられても、自動的に“0”になりません。“0”を書いてください。

注3. TRHICRレジスタに書き込むと、カウンタにSDAREG0～SDAREG3をリロードします。

RTC周期割り込みを禁止の状態(TRHIERレジスタが“00h”)で使用してください。

## SDAREG3～SDAREG0ビット(指定秒割り込み値設定ビット)

割り込み要求を発生させる時間を設定してください。カウントソースはSLCNSビットでTRHSECレジスタの秒一位更新時か、秒十位更新時かを選択してください。

TRHICRレジスタのRUNビットが“1”のときにTRHICRレジスタへ書いた場合、SDAREG3～SDAREG0ビットとSLCNSビットの内容でカウントを開始します。RUNビットが“0”のときに書いた場合、RUNビットを“1”にしたときにカウントを開始します。

## INTFビット(指定秒割り込みフラグ)

[“0”になる条件]

読んだ後、“0”を書く。ただし、INTFビットが“0”になるまでに最大0.04ms必要です。読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。

[“1”になる条件]

SDAREG3～SDAREG0ビットで設定した値をダウンカウントし、“0”になったとき。

なお、読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。“1”を書いた場合は変化しません。

指定秒割り込みを使用する場合は、INTFビットの状態を確認してください。

TRHCRレジスタのRUNビットが“1”(カウント開始)の状態、秒一位(または秒十位)が更新されると、カウント動作を行いますので、INTFビットは“1”になる場合があります。一度“1”になると、“0”にするか、TRHCRレジスタのRTCRSTビットで初期化するまで“1”のままとなります。

INTFビットはTRHSECレジスタのBSYビットが“1”(データ更新中)→“0”(データ更新中ではない)の後、約0.04msの間に“1”になりますので、RUNビットが“1”の状態、INTFビットを“0”にする場合は、タイミングを調整してください。

19.2.19 動作例

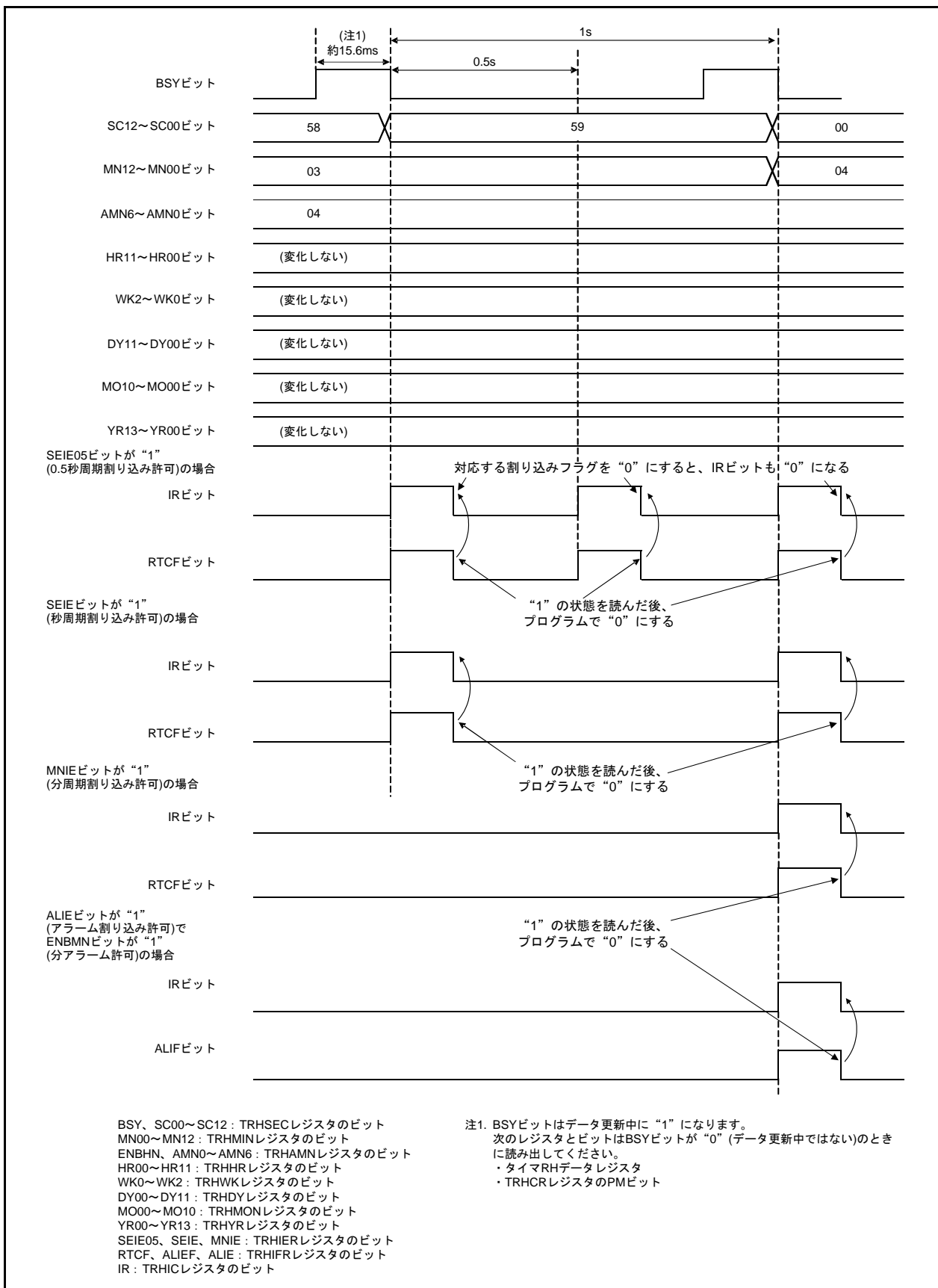


図 19.3 リアルタイムクロックモードの動作例

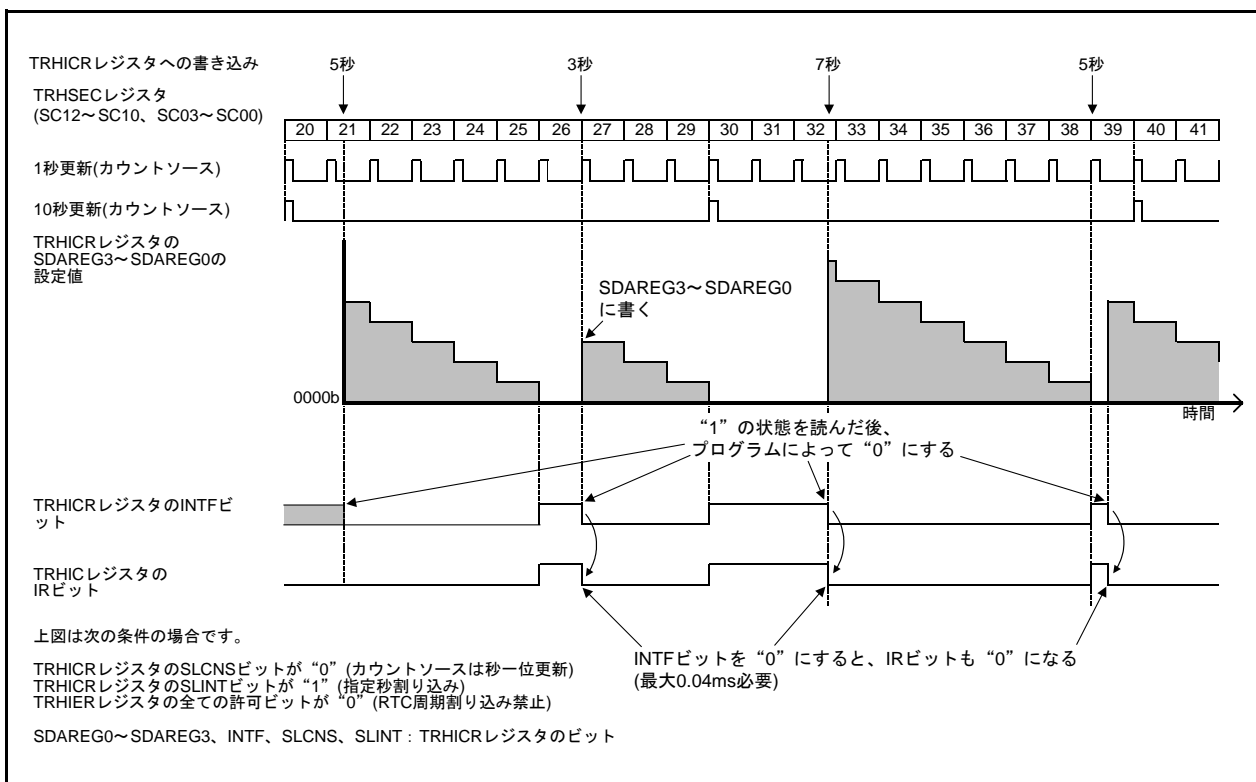


図 19.4 リアルタイムクロックモードの指定秒割り込み使用時の動作例



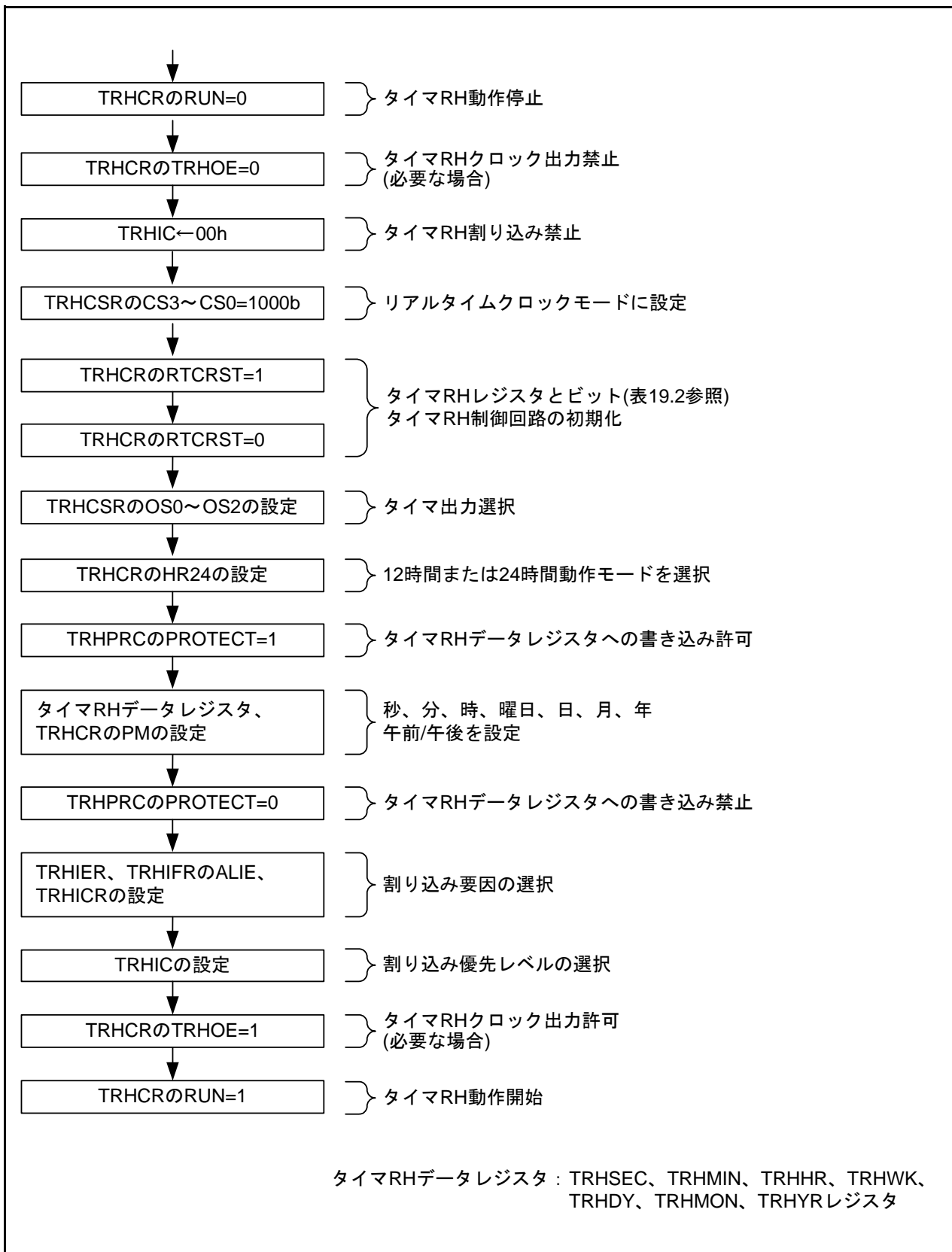


図 19.5 リアルタイムクロックモード時の設定例

## 19.2.20 アラーム機能

時刻のデータ(注1)とアラームデータ(注2)を比較し、一致を検出します。アラームは分、時、曜日のいずれか、またはこれらの組み合わせで発生させることができます。対応するアラームレジスタのENBビットを“1”にしてください。時は午前、午後の区別を含みます。

比較結果が一致すると、次のようになります。

- TRHIFRレジスタのALIFビットが“1”(アラーム割り込み要求あり)になる
- TRHIFRレジスタのALIEビットが“1”(アラーム割り込み許可)の場合、TRHICレジスタのIRビットが“1”(アラーム割り込み要求あり)になる

注1. 時刻データのビットは次のとおりです。

TRHMINレジスタのMN12～MN10、MN03～MN00ビット

TRHHRレジスタのHR11～HR10、HR03～HR00ビット

TRHCRレジスタのPMビット

TRHWKレジスタのWK2～WK0ビット

注2. アラームデータのビットは次のとおりです。

TRHAMNレジスタのAMN6～AMN4、AMN3～AMN0ビット

TRHAHRレジスタのAHR5～AHR4、AHR3～AHR0ビット

TRHAHRレジスタのAPMビット

TRHAWKレジスタのAWK2～AWK0ビット

図 19.6にアラーム時刻設定手順を示します。

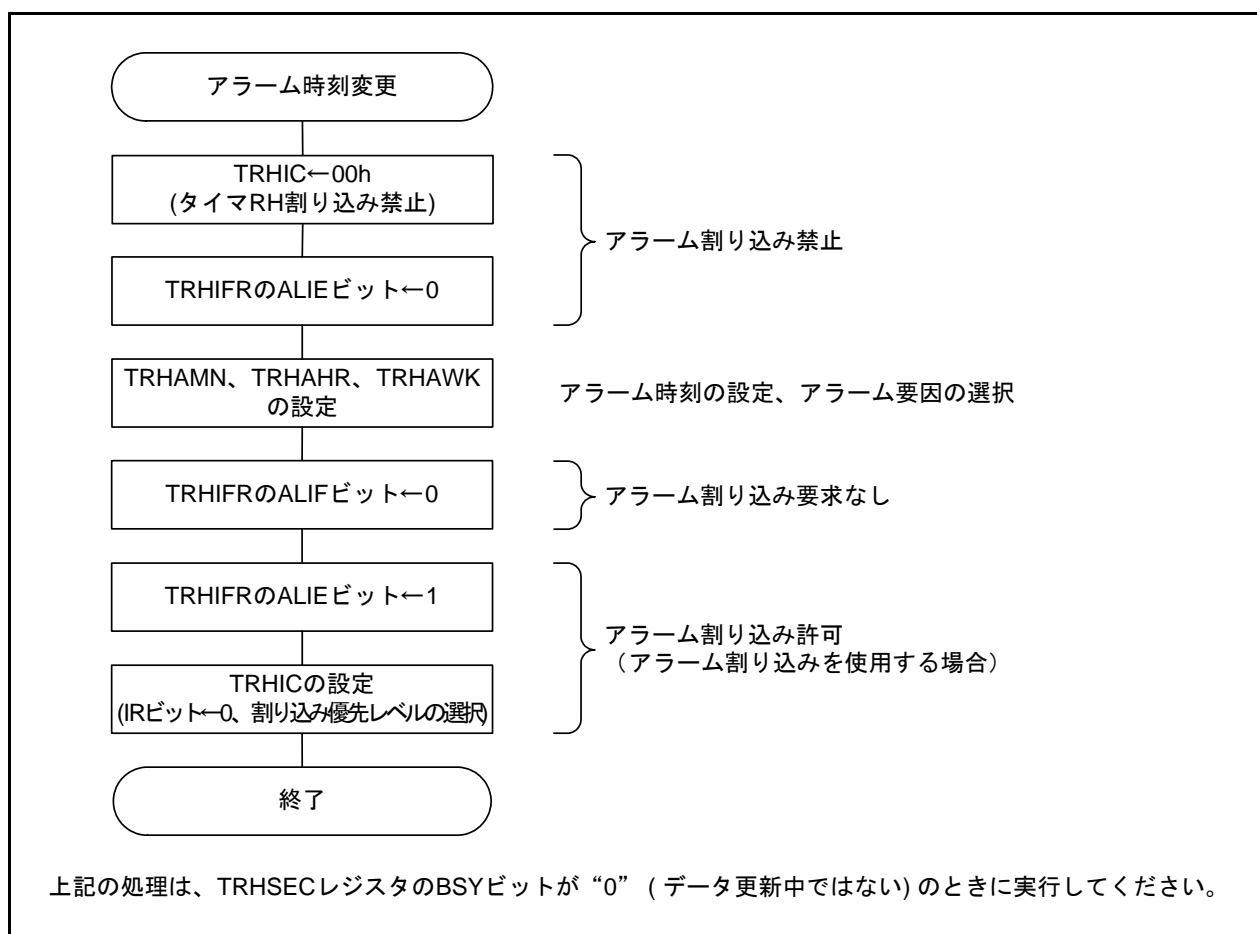


図 19.6 アラーム時刻設定手順

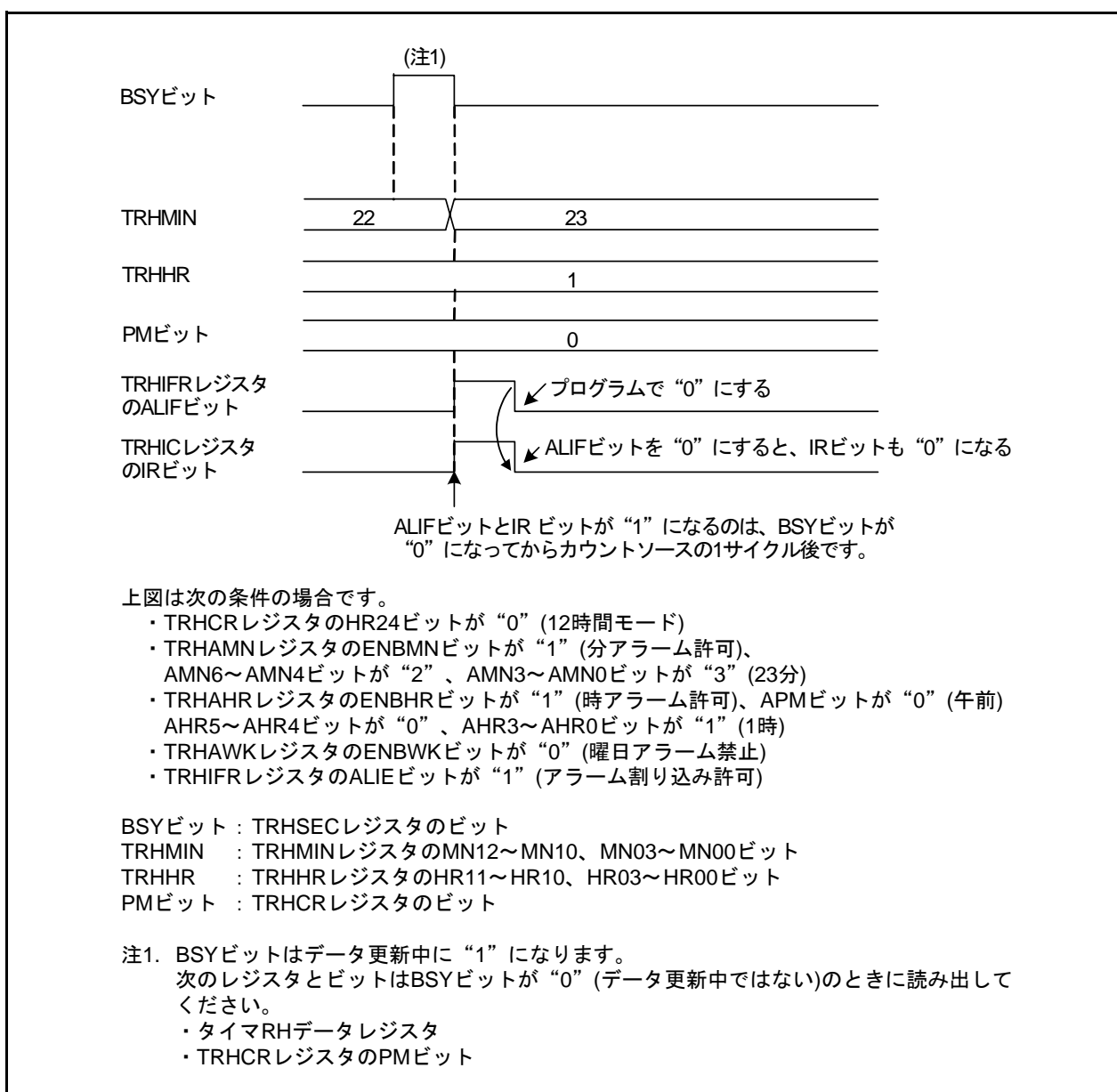


図 19.7 アラーム機能

## 19.2.21 秒調整機能

秒調整機能は、リセット調整機能と30秒調整機能の2種類があります。

### 19.2.21.1 リセット調整

TRHSECレジスタと内部カウンタ(3ビット、4ビット、8ビットカウンタ)を初期化する機能です。TRHSECレジスタのBSYビットが“0”(データ更新中ではない)の期間、RSTADJビットに“1”を書くと、約0.1msでTRHSECレジスタが“00h”になり、内部カウンタは初期化され、カウントを再開します。BSYビットが“1”(データ更新中)の期間、RSTADJビットに“1”を書き込むと、データ更新時に、TRHSECレジスタが“00h”になり、内部カウンタは初期化され、カウントを再開します。

その他のタイマRHデータレジスタには影響を与えません。RSTADJビットに“1”を書き込んだ後、約0.2ms以上経ってからTRHSECレジスタに書いてください。

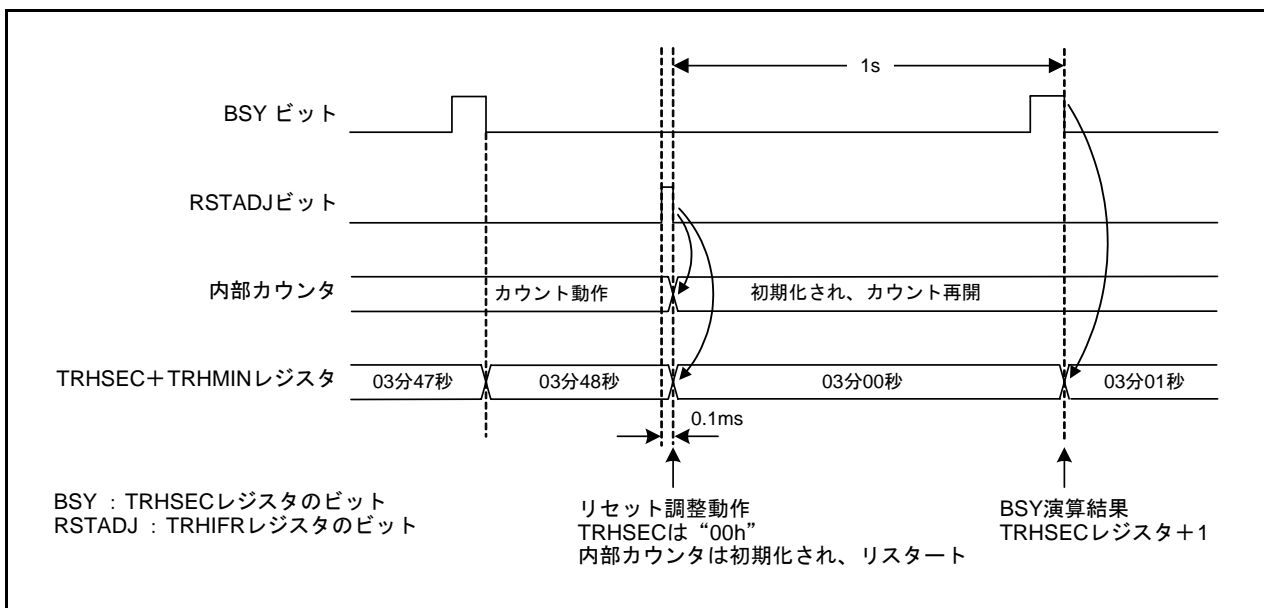


図 19.8 リセット調整発生(BSYビットが“0”の期間)

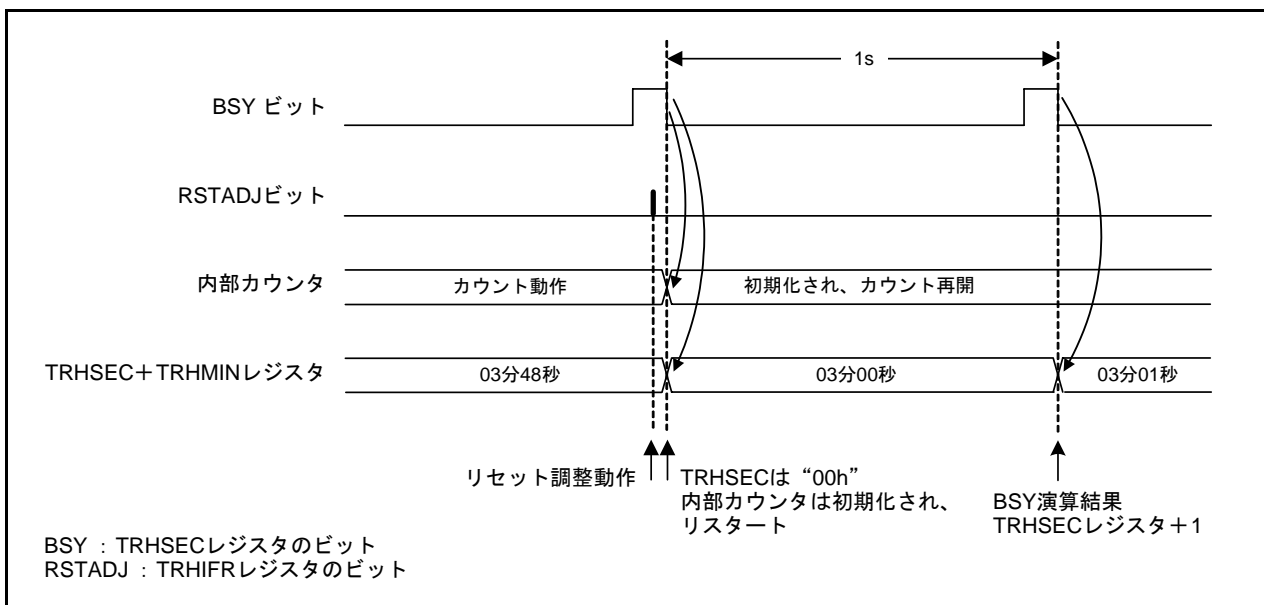
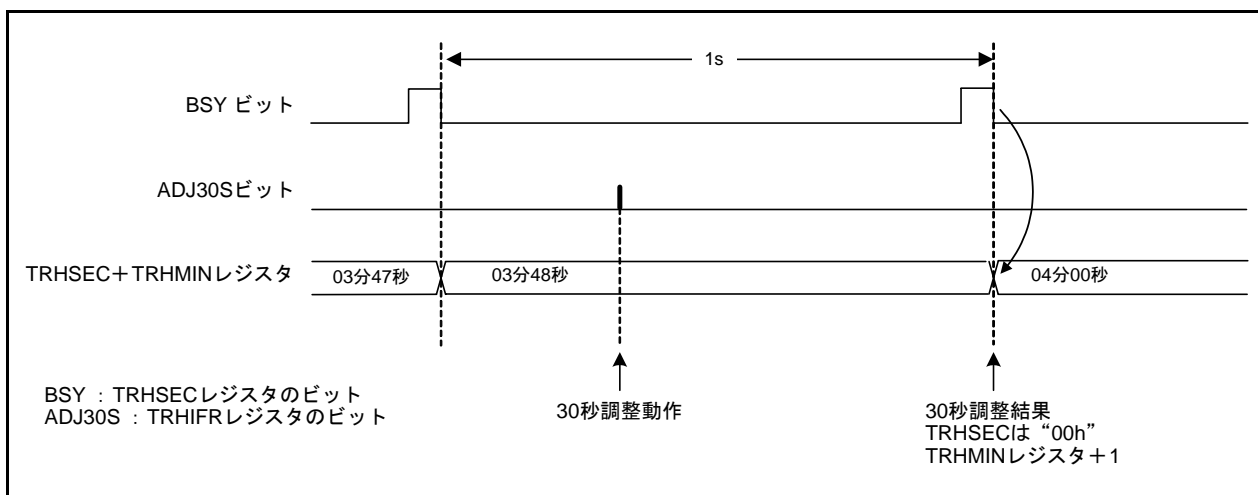
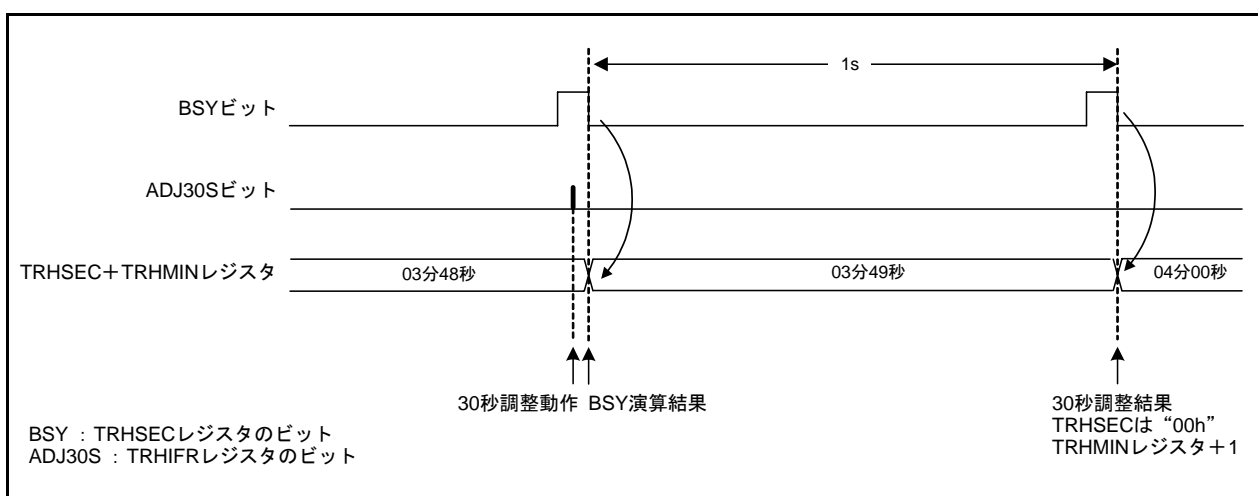


図 19.9 リセット調整発生(BSYビットが“1”の期間)

## 19.2.21.2 30秒調整機能

29秒以下は00秒に切り捨て、30秒以上は00秒に切り上げます。BSYビットが“0”(データ更新中ではない)の期間、TRHIFRレジスタのADJ30Sビットに“1”を書くと、データ更新時、TRHSECレジスタを30秒を基準に調整します。BSYビットが“1”(データ更新中)の期間、ADJ30Sビットに“1”を書き込むと、次回のデータ更新時にTRHSECレジスタを30秒を基準に調整します。30秒調整時、その他のタイマRHデータレジスタには影響を与えません。

図 19.10 30秒調整発生(秒データ $\geq$ 30)(BSYビットが“0”の期間)図 19.11 30秒調整発生(秒データ $\geq$ 30)(BSYビットが“1”の期間)

## 19.2.22 時計誤差補正機能

fC-TRHの周波数のずれを補正する機能です。1秒作成回路の内部カウンタは、図19.12の基本動作に示すように32.768kHzを32768カウントします。fC-TRHが32.768kHzより大きいまたは小さい場合、カウント回数を加減することで補正できます。

TRHCRレジスタのAADJEビットで自動補正またはソフトウェアによる補正を選択してください。

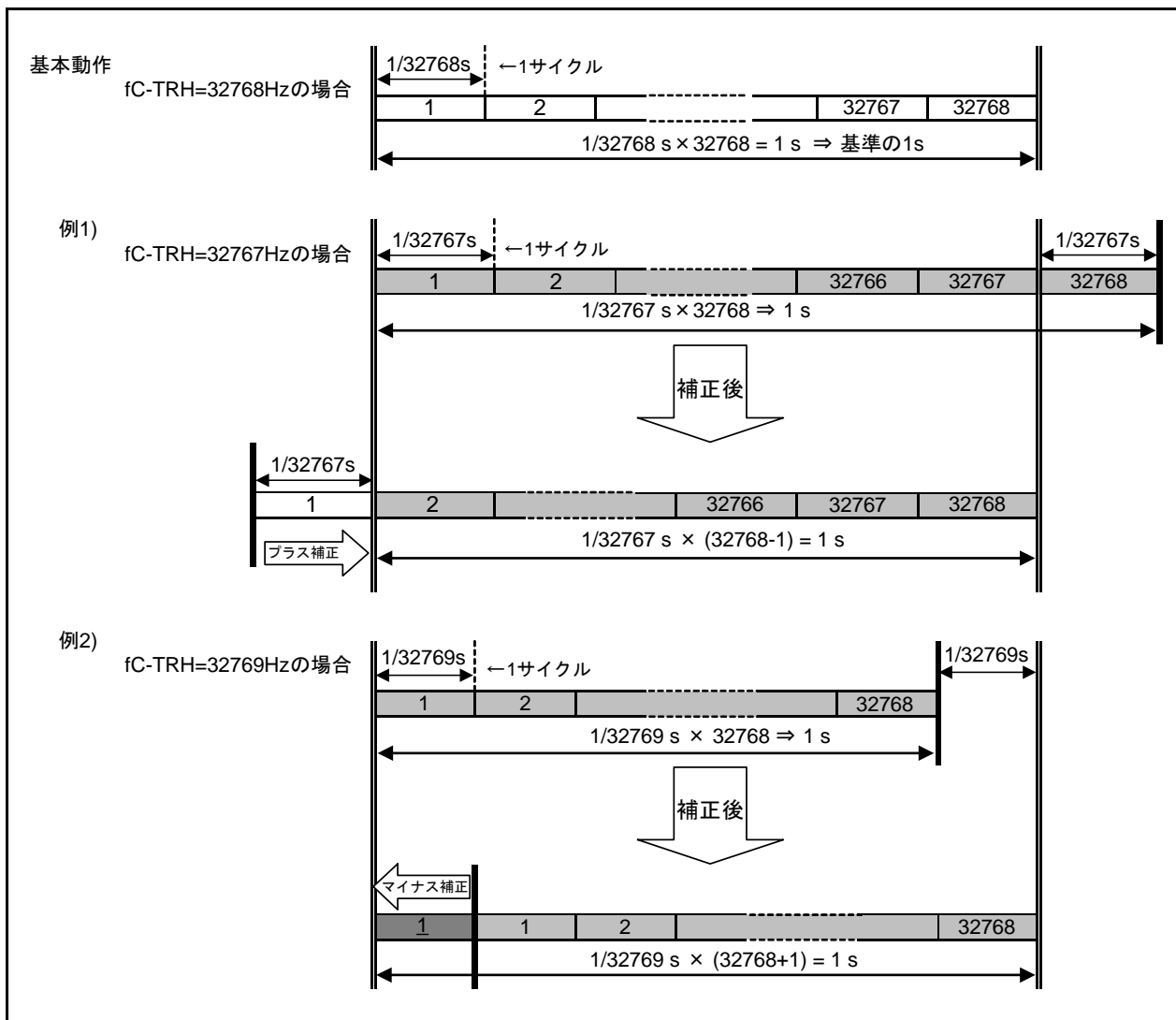


図 19.12 時計誤差補正の概要

### 19.2.22.1 自動補正機能

TRHCRレジスタのAADJEビットが“1”の場合、自動補正機能が有効です。

TRHCSRレジスタのAADJMビットで補正のタイミングを選択してください。TRHADJレジスタに補正值と補正内容(加減算)を設定してください。選択した補正のタイミングごとに、補正值を自動で加減算します。ただし自動補正中は、BSYビットが“1”の間(約15.6ms)とBSYビットが“1”→“0”の後2msは、補正関連レジスタとビットを変更しないでください。

補正関連レジスタとビット：TRHADJレジスタ、TRHCSRレジスタのAADJMビット、  
TRHCRレジスタのAADJEビット

次に例を示します。

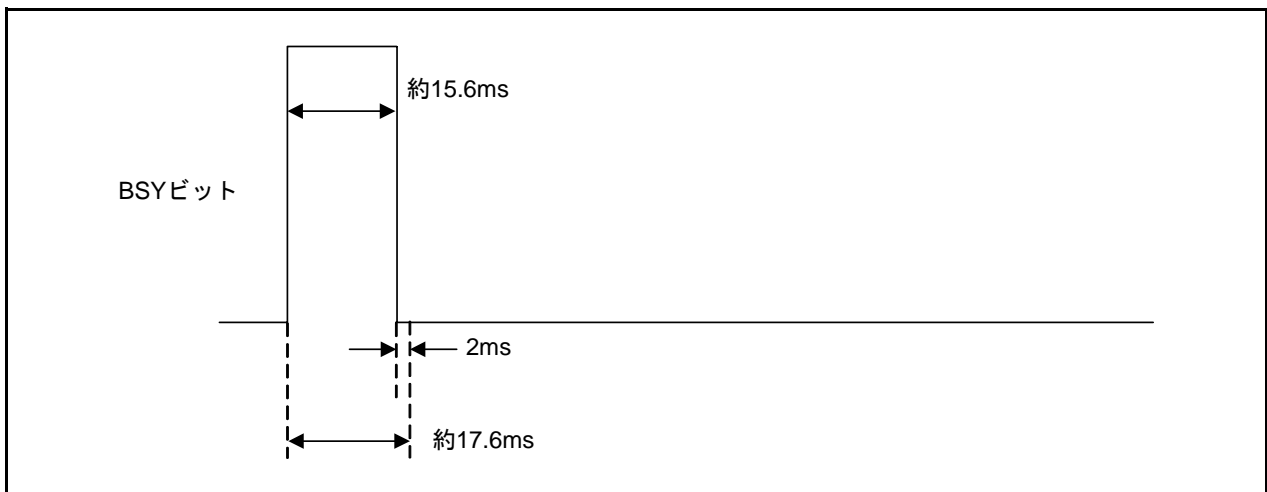


図 19.13 自動補正モード中の変更禁止区間

例1)  $f_C\text{-TRH} = 32767\text{Hz}$ の場合

\*1 補正方法例

1秒を作るための1サイクルが $32767\text{Hz}(=1/32767\text{s})$ になるので、32768カウントすると、基準の1秒よりも長くなり、時計が遅くなります。

これを補正するには時計を進める必要があります、プラス側に補正值“1”を設定することで基準の1秒(カウント数を32767)に補正することができます。

1分毎に自動補正を行う場合は、プラス側に補正值60を設定します。

レジスタの設定内容

- TRHCSRレジスタのAADJMビット：“0” (1分毎に補正)
- TRHADJレジスタのPLUS、MINUSビット：“10b” (プラス側補正)
- TRHADJレジスタのADJ5～ADJ0ビット：“3Ch” (60)

例2)  $f_C\text{-TRH} = 32769\text{Hz}$ の場合

\*2 補正方法例

1秒を作るための1サイクルが $32769\text{Hz}(=1/32769\text{s})$ になるので、32768カウントすると、基準の1秒よりも短くなり、時計が早くなります。

これを補正するには時計を遅らせる必要があります、マイナス側に補正值“1”を設定することで基準の1秒(カウント数を32769)に補正することができます。

10秒毎に自動補正を行う場合は、マイナス側に補正值10を設定します。

レジスタの設定内容

- TRHCSRレジスタのAADJMビット：“1” (10秒毎に補正)
- TRHADJレジスタのPLUS、MINUSビット：“01b” (マイナス側補正)
- TRHADJレジスタのADJ5～ADJ0ビット：“0Ah” (10)

### 19.2.22.2 ソフトウェアによる補正

TRHCRレジスタのAADJEビットが“0”の場合、ソフトウェアによる補正が有効です。任意のタイミングでTRHADJレジスタに補正值と補正内容(加減算)を書いてください。書き込み命令を実行したタイミングで補正を行います。

ただし、ソフトウェア補正を一度設定した後は、約62.6ms以上経ってから補正関連レジスタとビットを変更してください。

例1)  $f_C\text{-TRH} = 32769\text{Hz}$ の場合

補正方法例

1秒を作るための1サイクルが $32769\text{Hz}(=1/32769\text{s})$ になるので、32768カウントすると、基準の1秒よりも短くなり、時計が早くなります。

これを補正するには時計を遅らせる必要があります、補正值をマイナス側に“1”設定することで基準の1秒(カウント数を32769)に補正することができます。

ソフトウェアによって、1秒毎にマイナス側に補正值“1”を設定します。

レジスタの設定内容

- TRHADJレジスタのPLUS、MINUSビット：“01b” (マイナス側補正)
- TRHADJレジスタのADJ5～ADJ0ビット：“01h” (補正量設定)
- 1秒毎にTRHADJレジスタに書き込む



### 19.2.22.3 補正モードの変更手順

以下の手順で補正モードを変更してください。

(1) ソフトウェア補正から自動補正に変更する場合

ソフトウェア補正を一度設定した後は、約62.6msは補正関連レジスタとビットを変更しないでください。また、BSYビットが“1”（データ更新中）の期間に補正関連レジスタとビットを変更しないでください。

補正関連レジスタとビット：TRHADJレジスタ、TRHCSRレジスタのAADJMビット、  
TRHCRレジスタのAADJEビット

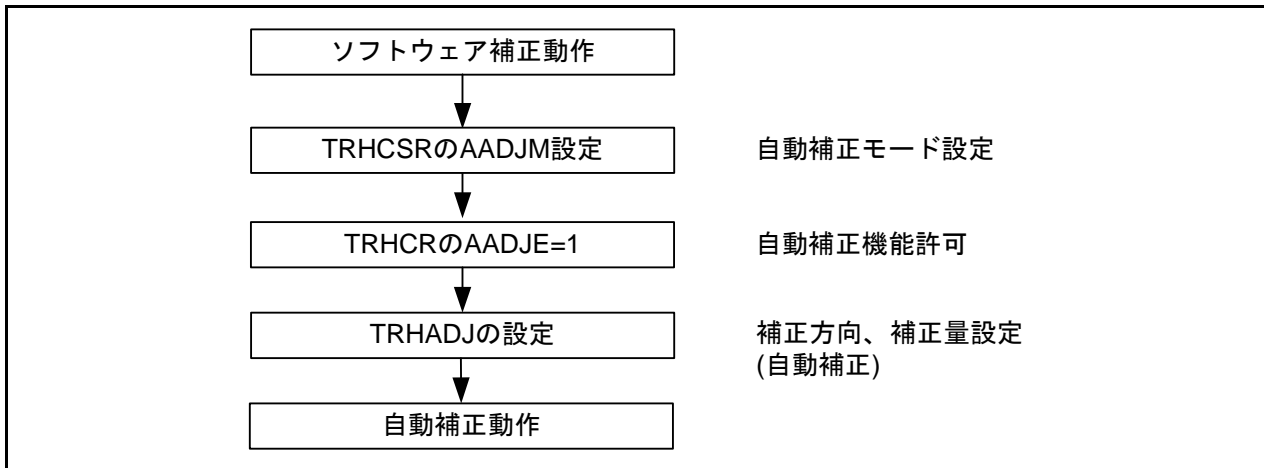


図 19.14 ソフトウェア補正から自動補正に変更する手順

(2) 自動補正からソフトウェア補正に変更する場合

BSYビットが“1”（データ更新中）の期間に補正関連レジスタとビットを変更しないでください。BSYビットが“1”（データ更新中）→“0”（データ更新中ではない）の後2msは、補正関連レジスタとビットを変更しないでください(図 19.13参照)。

補正関連レジスタとビット：TRHADJレジスタ、TRHCSRレジスタのAADJMビット、  
TRHCRレジスタのAADJEビット

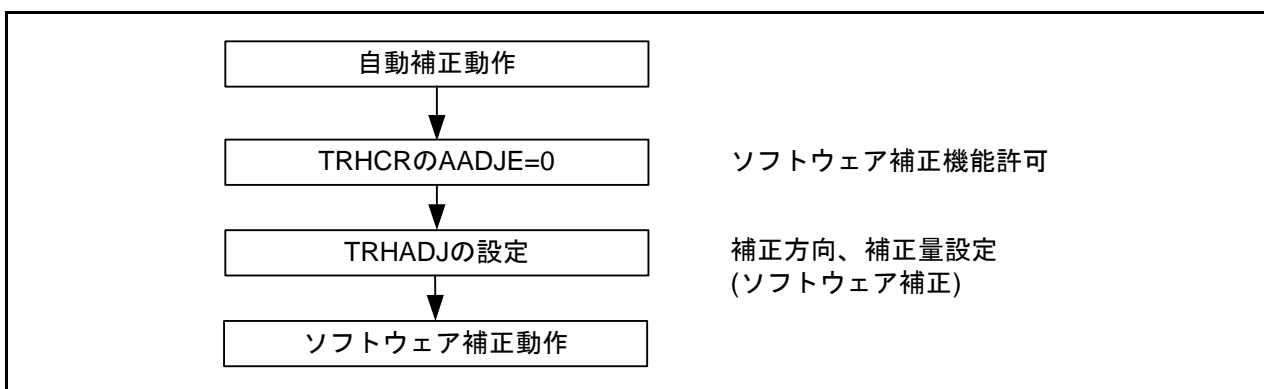


図 19.15 自動補正からソフトウェア補正に変更する手順

### 19.2.23 クロック出力

TRHCRレジスタのTRHOEビットが“1”（TRHO出力許可）の場合、TRHO端子からクロックを出力します。出力するクロックは、TRHCSRレジスタのOS2～OS0ビットで選択してください。

## 19.3 アウトプットコンペアモード

カウントソースから8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図 19.16 にアウトプットコンペアモードのブロック図を、表 19.5 にアウトプットコンペアモードの仕様を示します。

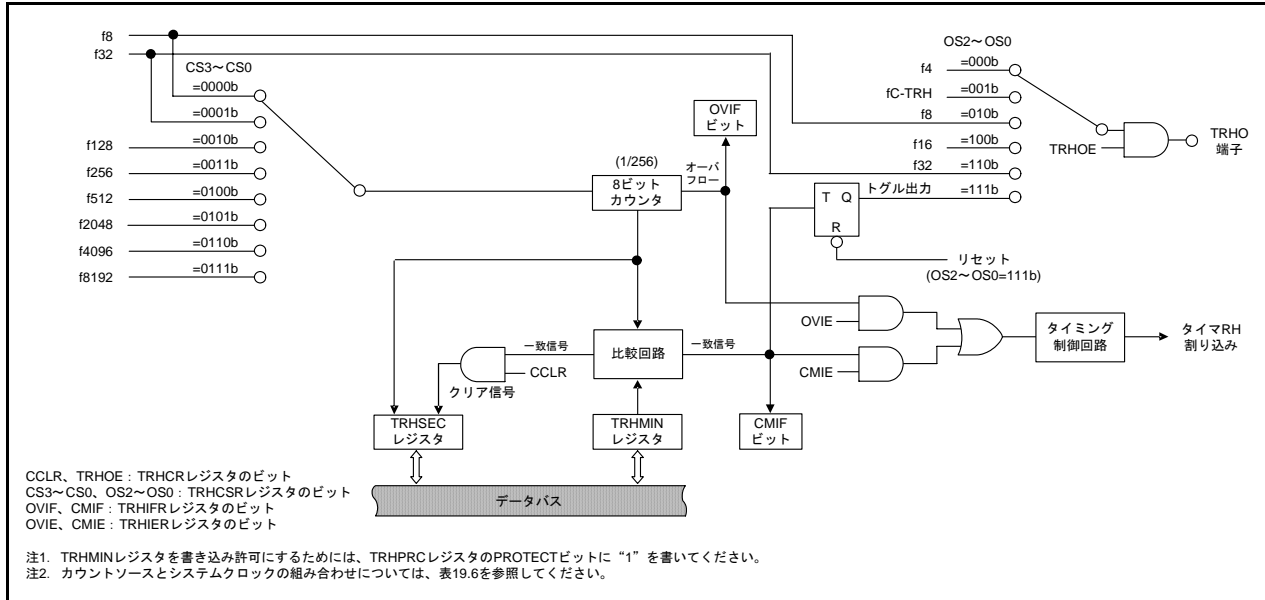


図 19.16 アウトプットコンペアモードのブロック図

表 19.5 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f8、f32、f128、f256、f512、f2048、f4096、f8192
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRHCRレジスタのCCLRビットが“0” (フリーランニング動作)の場合  <math>1/f_i \times 256</math> <math>f_i</math>: カウントソースの周波数</li> <li>TRHCRレジスタのCCLRビットが“1” (TRHMINレジスタのコンペア一致でTRHSECレジスタを“00h”にする)の場合  <math>1/f_i \times (n+1)</math> <math>n</math>: TRHMINレジスタ設定値</li> </ul>
カウント開始条件	TRHCRレジスタのRUNビットへの“1” (カウント開始)書き込み
カウント停止条件	TRHCRレジスタのRUNビットへの“0” (カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>8ビットカウンタの内容とTRHMINレジスタの内容が一致したとき</li> <li>8ビットカウンタがオーバフローしたとき</li> </ul>
TRHO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> <li>プログラマブル入出力ポート</li> <li>f4、f8、fC-TRH、f16、f32のいずれかを出力</li> <li>コンペア一致ごとのトグル出力</li> </ul>
タイマの読み出し	TRHSECレジスタを読むと、8ビットカウンタの値が読める。 TRHMINレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRHSECレジスタへの書き込みはできない。 TRHPCRレジスタのPROTECTビットが“1” (書き込み許可)、TRHCRレジスタのRUNが“0” (カウント停止)のとき、TRHMINレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> <li>トグル出力機能 (TRHO出力極性を反転)</li> <li>TRHSECレジスタを“00h”にするタイミング                TRHCRレジスタのCCLRビットが“0”の場合、オーバフロー                TRHCRレジスタのCCLRビットが“1”の場合、TRHMINレジスタのコンペア一致</li> <li>TRHCSRレジスタのOS2~OS0に“111b”を書くと、出力レベルを“0”に初期化する。</li> </ul>

## 19.3.1 タイマRHカウンタデータレジスタ (TRHSEC)[アウトプットコンペアモード時]

アドレス 0110h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7～b0	8ビットのカウンタデータが読めます。 タイマRHのカウントが停止しても、カウント値は保持されます。 TRHCRレジスタのCCLRビットが“0”のときは、コンペア一致しても、そのままカウントを継続し、CCLRビットが“1”のときは、TRHSECレジスタは“00h”になります。	R

## 19.3.2 タイマRHコンペアデータレジスタ (TRHMIN)[アウトプットコンペアモード時]

アドレス 0111h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN6	MN5	MN4	MN3	MN2	MN1	MN0
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MN0	コンペアデータビット0	8ビットのコンペアデータを格納します。 コンペア値を書いてください。	R/W
b1	MN1	コンペアデータビット1		R/W
b2	MN2	コンペアデータビット2		R/W
b3	MN3	コンペアデータビット3		R/W
b4	MN4	コンペアデータビット4		R/W
b5	MN5	コンペアデータビット5		R/W
b6	MN6	コンペアデータビット6		R/W
b7	MN7	コンペアデータビット7		R/W

TRHCRレジスタのCCLRビットが“1”のときは、TRHMINレジスタに00hを書かないでください。

## 19.3.3 タイマRH制御レジスタ (TRHCR)[アウトプットコンペアモード時]

アドレス 0117h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	HR24	PM	RTCRST	CCLR	LFLAG	TRHOE	AADJE
リセット後の値	X	X	X	0	0	X	0	X
TRHCRレジスタの RTCRSTビットによる リセット後の値	0	0	0	X	X	1	X	0

ビット	シンボル	ビット名	機能	R/W
b0	AADJE	アウトプットコンペアモードでは“0”にしてください。		R/W
b1	TRHOE	タイマRH出力許可ビット	0: 出力禁止 1: 出力許可	R/W
b2	LFLAG	アウトプットコンペアモードでは“0”にしてください。		R
b3	CCLR	カウンタクリア許可ビット	0: コンペア一致によるTRHSECレジスタの初期化を禁止 1: コンペア一致によるTRHSECレジスタの初期化を許可	R/W
b4	RTCRST	タイマRHリセットビット (注1)	0: 通常動作 1: タイマRHのリセット	R/W
b5	PM	アウトプットコンペアモードでは“0”にしてください。		R/W
b6	HR24			R/W
b7	RUN	タイマRH動作開始ビット	0: カウント停止 1: カウント開始	R/W

注1. RTCRSTビットを“1”にした後は、“0”にしてください。

## TRHOEビット(タイマRH出力許可ビット)

RUNビットが“0”(カウント停止)のときに変更してください。

## CCLRビット(カウンタクリア許可ビット)

RUNビットが“0”(カウント停止)のときに変更してください。

TRHSECレジスタとTRHMINレジスタがコンペア一致したとき、TRHSECレジスタをリセットするかどうかを選択します。TRHCSRレジスタのCS3ビットが“0”のときのみ有効。

## RTCRSTビット(タイマRHリセットビット)

RTCRSTビットを“1”にすると表19.3に示すレジスタとビットをリセット後の値に(初期化)し、タイマRH制御回路を初期化します。

### 19.3.4 タイマRHカウントソース選択レジスタ (TRHCSR) [アウトプットコンペアモード時]

アドレス 0118h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AADJM	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	X	0	0	0	1	0	0	0
TRHCSRレジスタの RTRCRSTビットによる リセット後の値	0	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット(注1)	アウトプットコンペアモード(CS3 = "0")では以下に設定してください。 b3 b2 b1 b0 0 0 0 0 : f8 0 0 0 1 : f32 0 0 1 0 : f128 0 0 1 1 : f256 0 1 0 0 : f512 0 1 0 1 : f2048 0 1 1 0 : f4096 0 1 1 1 : f8192 1 X X X : 設定しないでください。	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRH出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : fC-TRH 0 1 0 : f8 0 1 1 : 設定しないでください。 1 0 0 : f16 1 0 1 : 設定しないでください。 1 1 0 : f32 1 1 1 : コンペア一致したときのトグル出力 OS2 ~ OS0ビットに"111b"を書くと、 内部出力レベルを"L"に初期化します。	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	AADJM	アウトプットコンペアモードでは"0"にしてください。		R/W

X: "0" または "1"

注1. カウントソースにf8を使用する場合は、システムクロックにf4、f8、f16は使用しないでください。  
カウントソースにf32を使用する場合は、システムクロックにf16は使用しないでください。  
詳細については、表 19.6を参照してください。

#### CS3～CS0ビット (カウントソース選択ビット)

TRHCSRレジスタのRUNビットが"0" (カウント停止)のときに変更してください。

#### OS2～OS0ビット (タイマRH出力選択ビット)

TRHCSRレジスタのRUNビットが"0" (カウント停止)のときに変更してください。  
TRHCSRレジスタのTRHOEビットが"1" (TRHO出力許可)の場合に有効です。

表 19.6 カウントソースとシステムクロックの組み合わせ

システムクロック カウントソース	f1	f2	f4	f8	f16
f8	○	○	使用禁止	使用禁止	使用禁止
f32	○	○	○	○	使用禁止
f128	○	○	○	○	○
f256	○	○	○	○	○
f512	○	○	○	○	○
f2048	○	○	○	○	○
f4096	○	○	○	○	○
f8192	○	○	○	○	○

## 19.3.5 タイマRH割り込みフラグレジスタ (TRHIFR)[アウトプットコンペアモード時]

アドレス 011Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	RSTADJ	ADJ30S	ALIE	OVIF	CMIF
リセット後の値	0	0	0	0	0	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIF	コンペアー一致割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b1	OVIF	オーバフロー割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/W
b2	ALIE	アウトプットコンペアモードでは“0”にしてください。		R/W
b3	ADJ30S			W
b4	RSTADJ			W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—
b6	—			
b7	—			

## CMIFビット(コンペアー一致割り込みフラグ)

[“0”になる条件]

読んだ後、“0”を書く。読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。

[“1”になる条件]

TRHSECレジスタの内容とTRHMINレジスタの内容が一致。

なお、読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。“1”を書いた場合は変化しません。

## OVIFビット(オーバフロー割り込みフラグ)

[“0”になる条件]

読んだ後、“0”を書く。読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。

[“1”になる条件]

8ビットカウンタがオーバフロー。

なお、読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。“1”を書いた場合は変化しません。

## 19.3.6 タイマRH割り込み許可レジスタ (TRHIER)[アウトプットコンペアモード時]

アドレス 011Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YRIE	MOIE	DYIE	HRIE	MNIE	SEIE	OVIE	CMIE
リセット後の値	X	X	X	X	X	X	X	X
TRHCRレジスタの RTCSTビットによる リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIE	コンペア一致割り込み許可ビット	0: コンペア一致割り込み禁止 1: コンペア一致割り込み許可	R/W
b1	OVIE	オーバフロー割り込み許可ビット	0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可	R/W
b2	SEIE	アウトプットコンペアモードでは“0”にしてください。		R/W
b3	MNIE			R/W
b4	HRIE			R/W
b5	DYIE			R/W
b6	MOIE			R/W
b7	YRIE			R/W

TRHIERレジスタは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。

## 19.3.7 タイマRHプロテクトレジスタ (TRHPRC)[アウトプットコンペアモード時]

アドレス 011Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRHCRレジスタの RTCSTビットによる リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	プロテクトビット		R/W
b7	PROTECT			

## PROTECTビット (プロテクトビット)

TRHMINレジスタは、PROTECTビットが“1”(書き込み許可)のとき変更できます。

PROTECTビットはプログラムで“1”を書くと、その後“1”の状態が続きます。このビットで保護されるレジスタは次の手順で変更してください。

- (1) PROTECTビットに“1”を書く
- (2) PROTECTビットで保護されるレジスタに値を書く
- (3) PROTECTビットに“0”(書き込み禁止)を書く



## 19.3.8 動作例

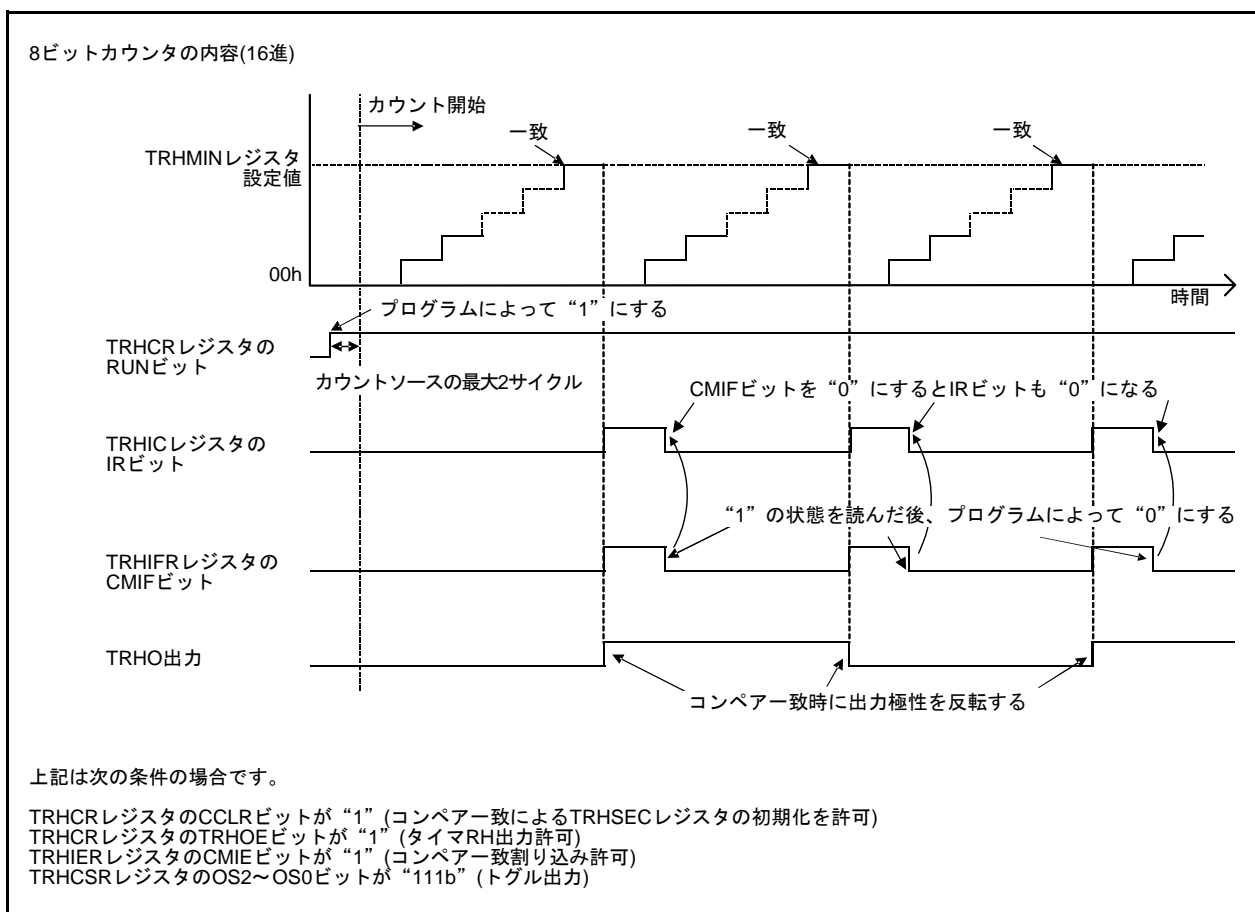


図 19.17 アウトプットコンペアーモードの動作例

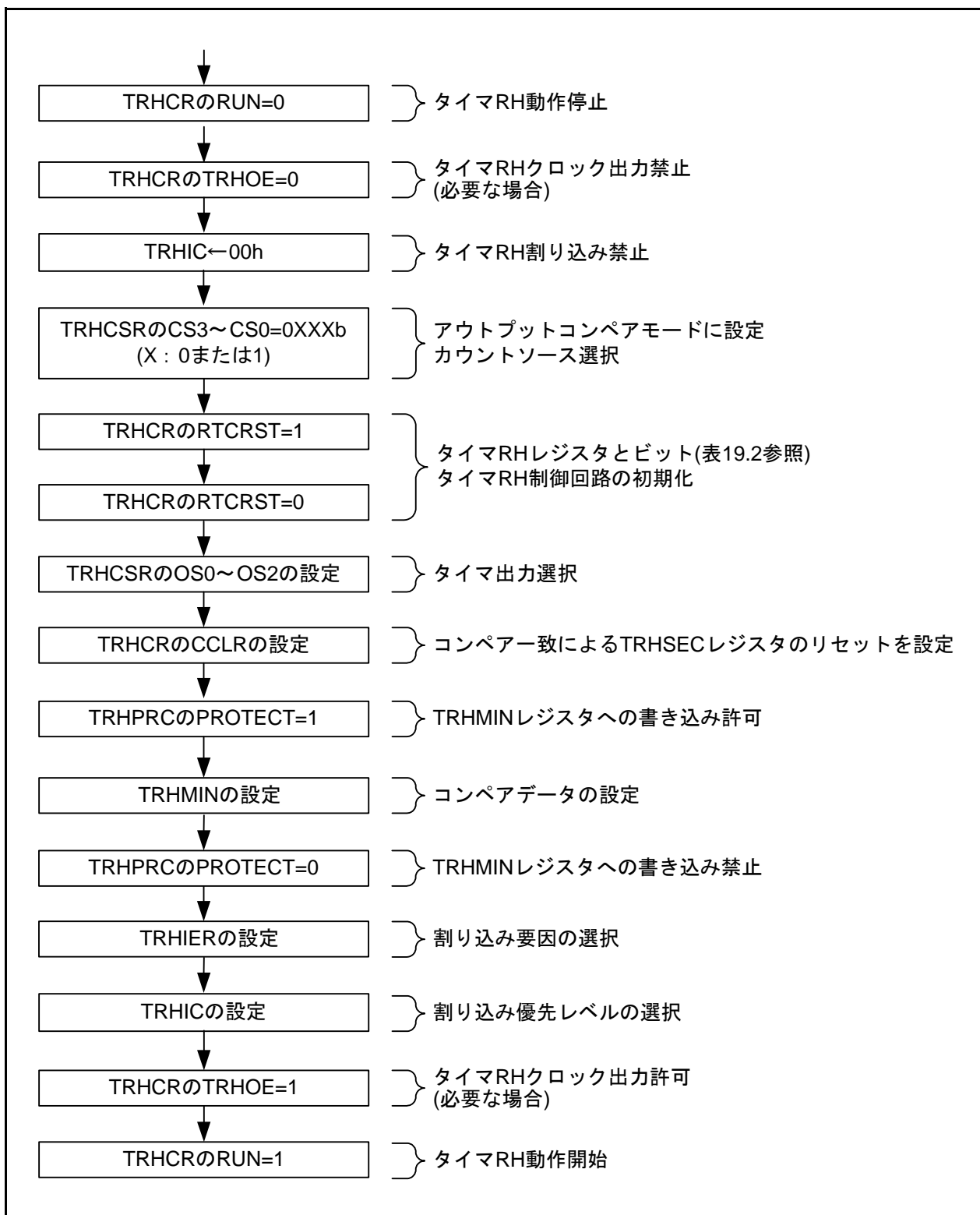


図 19.18 アウトプットモード時の設定例

## 19.4 タイマRH使用上の注意

### 19.4.1 リセット

タイマRHはリセット入力により秒、分、時、曜日、日、月、年、12時間/24時間、午前/午後、アラーム、割り込み、誤差補正の情報を格納しているレジスタがリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

### 19.4.2 カウント開始、停止

タイマRHにはカウント開始または停止を指示するためのRUNビットがTRHCRレジスタにあります。

RUNビットを“1” (カウント開始)にするとタイマRHがカウントを開始し、15ビットカウンタがカウントを開始するまで、最大でカウントソースの2サイクルかかります。この間、タイマRH関連レジスタ(注1)をアクセスしないでください。

同様に、RUNビットを“0” (カウント停止)にするとタイマRHがカウントを停止し、15ビットカウンタがカウントを停止するまで、最大でカウントソースの2サイクル分の時間がかかります。この間、タイマRH関連レジスタ(注1)をアクセスしないでください。

注1. タイマRH関連レジスタ : MSTCR1、TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、  
TRHMON、TRHYR、TRHCR、TRHCSR、TRHADJ、TRHIFR、  
TRHIER、TRHAMN、TRHAHR、TRHAWK、TRHPRC、TRHICR

### 19.4.3 レジスタ設定

次のレジスタとビットは、TRHCRレジスタのRUNビットが“0” (カウント停止)のときに書いてください。

- タイマRHデータレジスタ(注1)
- TRHIERレジスタ
- TRHCRレジスタのTRHOE、HR24、PM、CCLRビット
- TRHCSRレジスタのCS0～CS3、OS0～OS2ビット

また、TRHIERレジスタは、上記のレジスタとビットの設定の最後(タイマRHカウント開始の直前)に設定してください。

図 19.5にリアルタイムクロックモード時の設定例を示します。

注1. タイマRHデータレジスタ : TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、  
TRHMON、TRHYR

#### 19.4.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットは、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRH割り込みルーチン内で、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、BSYビットが“0”のとき必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTRHICレジスタのIRビットを監視し、“1”(タイマRH割り込み要求発生)になったら、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、BSYビットが“0”のときに必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約15.6ms)。

(3) BSYビットが“0”になったら、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. タイマRHデータレジスタ : TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、  
TRHMON、TRHYR

## 20. タイマRJ

## 注意

本章ではR8C/LA8Aグループについて説明します。

R8C/LA6Aグループについては「1.1.2 グループごとの相違点」を参照してください。

## 20.1 概要

タイマRJには、タイマRJ0、タイマRJ1、タイマRJ2の3本があります。

タイマRJ0、タイマRJ1、タイマRJ2は、16ビットタイマです。

タイマRJ<sub>i</sub> (i = 0 ~ 2)は2本の入出力端子を持ちます。

タイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRJ<sub>i</sub>レジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表 20.2 ~ 表 20.6の各モードの仕様を参照)。

タイマRJのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 20.1にタイマRJ<sub>i</sub>のブロック図を、表 20.1にタイマRJ<sub>i</sub>の端子構成を示します。タイマRJ<sub>i</sub>は、次の5種類のモードを持ちます。

- |               |   |
|---------------|---|
| • タイマモード      | 内部カウントソースをカウントするモード                           |
| • パルス出力モード    | 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード |
| • イベントカウンタモード | 外部パルスをカウントするモード                               |
| • パルス幅測定モード   | 外部パルスのパルス幅を測定するモード                            |
| • パルス周期測定モード  | 外部パルスのパルス周期を測定するモード                           |

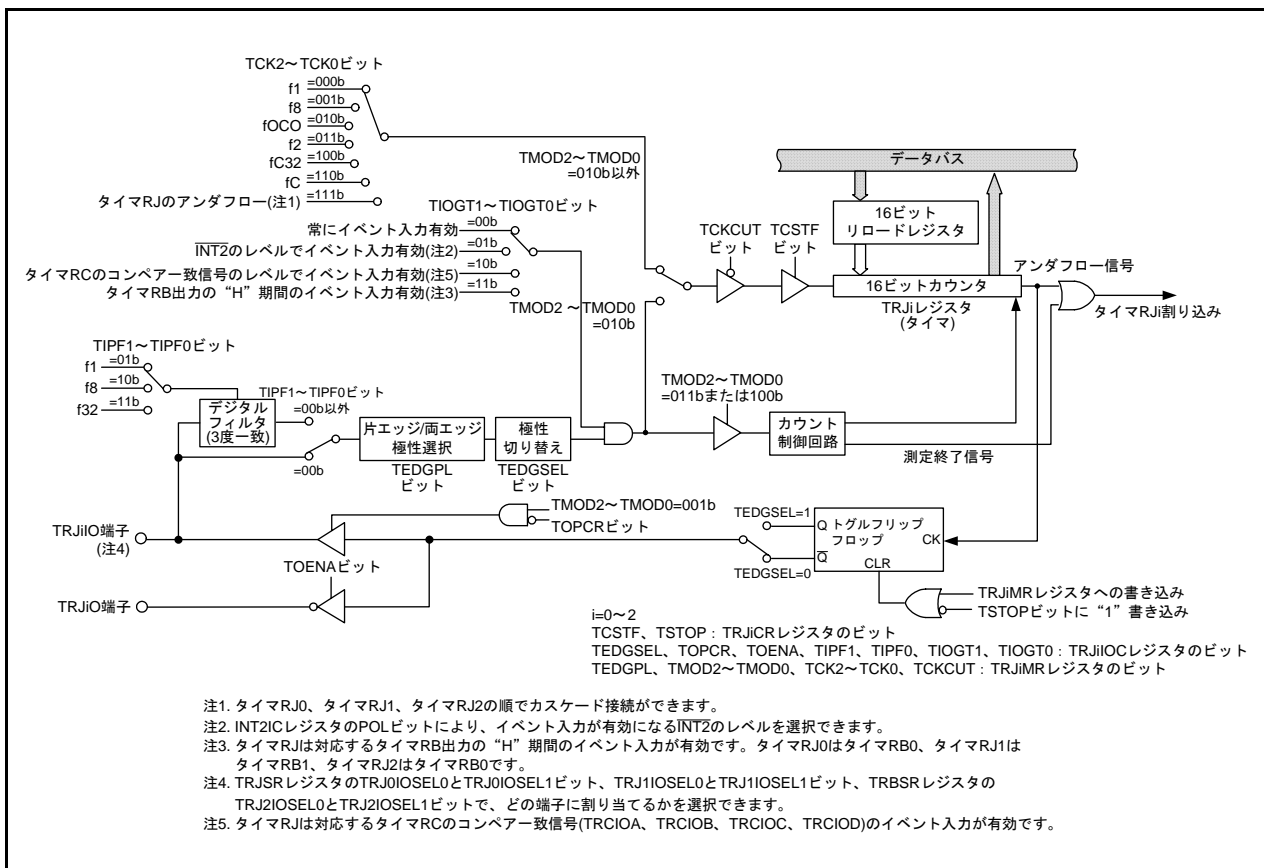


図 20.1 タイマRJ<sub>i</sub>のブロック図

表 20.1 タイマRJiの端子構成

端子名	割り当てる端子	入出力	機能
TRJ0IO	P6_2、P8_3	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRJ0O	P7_2	出力	
TRJ1IO	P6_1、P8_2	入出力	
TRJ1O	P7_1	出力	
TRJ2IO	P6_0	入出力	
TRJ2O	P7_0	出力	

## 20.2 レジスタの説明

## 20.2.1 モジュールスタンバイ制御レジスタ1(MSTCR1)

アドレス 0010h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRJ2	MSTTRJ1	MSTTRJ0	MSTTRRH	MSTTRB1	MSTTRB0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRB0	タイマRB0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b1	MSTTRB1	タイマRB1スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b2	MSTTRRH	タイマRHスタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b3	MSTTRJ0	タイマRJ0スタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b4	MSTTRJ1	タイマRJ1スタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b5	MSTTRJ2	タイマRJ2スタンバイビット	0: アクティブ 1: スタンバイ(注6)	R/W
b6	—	予約ビット	"0" にしてください	R/W
b7	—			

注1. MSTTRB0ビットが“1”(スタンバイ)のとき、タイマRB0関連レジスタ(0108h~010Eh番地)へのアクセスは無効になります。

注2. MSTTRB1ビットが“1”(スタンバイ)のとき、タイマRB1関連レジスタ(0098h~009Eh番地)へのアクセスは無効になります。

注3. MSTTRRHビットが“1”(スタンバイ)のとき、タイマRH関連レジスタ(0110h~011Fh番地)へのアクセスは無効になります。

注4. MSTTRJ0ビットが“1”(スタンバイ)のとき、タイマRJ0関連レジスタ(0080h~0086h番地)へのアクセスは無効になります。

注5. MSTTRJ1ビットが“1”(スタンバイ)のとき、タイマRJ1関連レジスタ(0088h~008Eh番地)へのアクセスは無効になります。

注6. MSTTRJ2ビットが“1”(スタンバイ)のとき、タイマRJ2関連レジスタ(0090h~0096h番地)へのアクセスは無効になります。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 20.2.2 タイマRJi制御レジスタ (TRJiCR)(i = 0 ~ 2)

アドレス 0080h番地(TRJ0CR)、0088h番地(TRJ1CR)、0090h番地(TRJ2CR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRJiカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRJiカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRJiカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	—	何も配置されていない。書く場合、“0”	を書いてください。読んだ場合、その値は“0”。	—
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRJiアンダフローフラグ(注3、5)	0: アンダフローなし 1: アンダフローあり	R/W
b6	—	何も配置されていない。書く場合、“0”	を書いてください。読んだ場合、その値は“0”。	—
b7	—			

注1. TSTART、TCSTFビットの使用上の注意事項については、「20.8 タイマRJ使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRJiレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードではTEDGFビットを使用しません。

注5. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRJiCRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

## 20.2.3 タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)

アドレス 0081h番地(TRJ0IOC)、0089h番地(TRJ1IOC)、0091h番地(TRJ2IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJiIO極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRJiIO出力制御ビット		R/W
b2	TOENA	TRJiIO出力許可ビット		R/W
b3	—	何も配置されていない。書く場合、“0”	を書いてください。読んだ場合、その値は“0”。	—
b4	TIPF0	TRJiIO入力フィルタ選択ビット	動作モードによって機能が異なる	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJiIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W



## 20.2.4 タイマRJiモードレジスタ (TRJiMR)(i = 0 ~ 2)

アドレス 0082h番地 (TRJ0MR)、008Ah番地 (TRJ1MR)、0092h番地 (TRJ2MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRJi動作モード選択ビット	b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	TEDGPL			TRJiIO入力極性選択ビット
b4	TCK0	タイマRJiカウントソース選択ビット(注2)	b6 b5 b4 000: f1 001: f8 010: fOCO 011: f2 100: fC32 101: 設定しないでください 110: fC 111: タイマRJ0のアンダフロー (TRJ1MRレジスタ) タイマRJ1のアンダフロー (TRJ2MRレジスタ)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRJiカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TEDGPLビットを“1”(両エッジ)にする場合、TRJiIOCレジスタのTEDGSELビットを“0”(立ち上がりエッジでカウント)にしてください。両エッジの設定は、イベントカウンタモードでのみ使用できます。

注2. TRJ0MRレジスタのTCK2~TCK0ビットを“111b”にしないでください。

TRJiCRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRJiMRレジスタを変更してください。

## 20.2.5 タイマRJiイベント端子選択レジスタ (TRJiISR)(i = 0~2)

アドレス 0083h番地 (TRJ0ISR)、008Bh番地 (TRJ1ISR)、0093h番地 (TRJ2ISR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	RCCPSEL2	RCCPSEL1	RCCPSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCCPSEL0	タイマRCコンペア入力イベント 選択ビット(注1)	b1 b0 00: TRCIOD出力を使用する 01: TRCIOC出力を使用する 10: TRCIOB出力を使用する 11: TRCIOA出力を使用する	R/W
b1	RCCPSEL1			R/W
b2	RCCPSEL2	タイマRCコンペアイイベント反転 ビット	0: コンペア一致信号の“L”期間カウント 1: コンペア一致信号の“H”期間カウント	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は “0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TRJiISRレジスタのRCCPSEL0ビット~RCCPSEL1ビットによって、タイマRCのコンペア出力を選択します。

## 20.2.6 タイマRJiレジスタ (TRJi)(i = 0~2)

アドレス 0084h~0085h番地 (TRJ0)、008Ch~008Dh番地 (TRJ1)、0094h~0095h番地 (TRJ2)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b15~b0	タイマモード	内部カウントソースをカウント	0000h~FFFFh	R/W
	パルス出力モード		0000h~FFFFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	0000h~FFFFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	0001h~FFFFh (注3)	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	0001h~FFFFh (注3)	R/W

注1. TRJICRレジスタのTSTOPビットに“1”を書くとTRJiレジスタは“FFFFh”になります。

注2. TRJiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

注3. パルス幅測定モードおよびパルス周期測定モードでは、TRJiレジスタに0000hを設定しないでください。

## 20.2.7 タイマRJ端子選択レジスタ (TRJSR)

アドレス 0180h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRJ1IOSEL1	TRJ1IOSEL0	—	—	TRJ0IOSEL1	TRJ0IOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJ0IOSEL0	TRJ0IO端子選択ビット	b1 b0 00 : TRJ0IO端子は使用しない 01 : P6_2に割り当てる 10 : P8_3に割り当てる 11 : 設定しないでください	R/W
b1	TRJ0IOSEL1			R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—			
b4	TRJ1IOSEL0	TRJ1IO端子選択ビット	b5 b4 00 : TRJ1IO端子は使用しない 01 : P6_1に割り当てる 10 : P8_2に割り当てる 11 : 設定しないでください	R/W
b5	TRJ1IOSEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

タイマRJiの入出力端子を使用する場合は、TRJSRレジスタを設定してください。

タイマRJiの関連レジスタを設定する前に、TRJSRレジスタを設定してください。また、タイマRJiの動作中はTRJSRレジスタの設定値を変更しないでください。

## 20.2.8 タイマRB端子選択レジスタ (TRBSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRB1OSEL1	TRB1OSEL0	TRB0OSEL1	TRB0OSEL0	—	—	TRJ2IOSEL1	TRJ2IOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJ2IOSEL0	TRJ2IO端子選択ビット	b1 b0 00: TRJ2IO端子は使用しない 01: P6_0に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b1	TRJ2IOSEL1			R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—			R/W
b4	TRB0OSEL0	TRB0O端子選択ビット	b5 b4 00: P8_7に割り当てる 01: P7_6に割り当てる 10: P6_6に割り当てる 11: 設定しないでください	R/W
b5	TRB0OSEL1			R/W
b6	TRB1OSEL0	TRB1O端子選択ビット	b7 b6 00: P7_5に割り当てる 01: P6_5に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b7	TRB1OSEL1			R/W

タイマRJ2の出力端子を使用する場合は、TRBSRレジスタを設定してください。

タイマRJ2の関連レジスタを設定する前に、TRBSRレジスタを設定してください。また、タイマRJ2の動作中はTRBSRレジスタの設定値を変更しないでください。

### 20.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 20.2)。

表 20.2 タイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO、fC32、fC、タイマRJ1はタイマRJ0のアンダフロー、タイマRJ2はタイマRJ1のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(m+1)$ m : TRJiレジスタの設定値
カウント開始条件	TRJiCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>•TRJiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRJiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRJiのアンダフロー時 [タイマRJi割り込み]
TRJiO端子機能	プログラマブル入出力ポート
TRJiI端子機能	プログラマブル入出力ポート
タイマの読み出し	TRJiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「20.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>

注1. タイマRJ0はアンダフローを選択できません。

i = 0~2

## 20.3.1 タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0~2)[タイマモード時]

アドレス 0081h番地 (TRJ0IOC)、0089h番地 (TRJ1IOC)、0091h番地 (TRJ2IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJiiO極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRJiiO出力制御ビット		R/W
b2	TOENA	TRJiiO出力許可ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b4	TIPF0	TRJiiO入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJiiOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

### 20.3.2 カウント中のタイマ書き込み制御

タイマRJはリロードレジスタとカウンタがあります。タイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

図 20.2にタイマRJiカウント中にカウント値を書き換えた場合の動作例を示します。

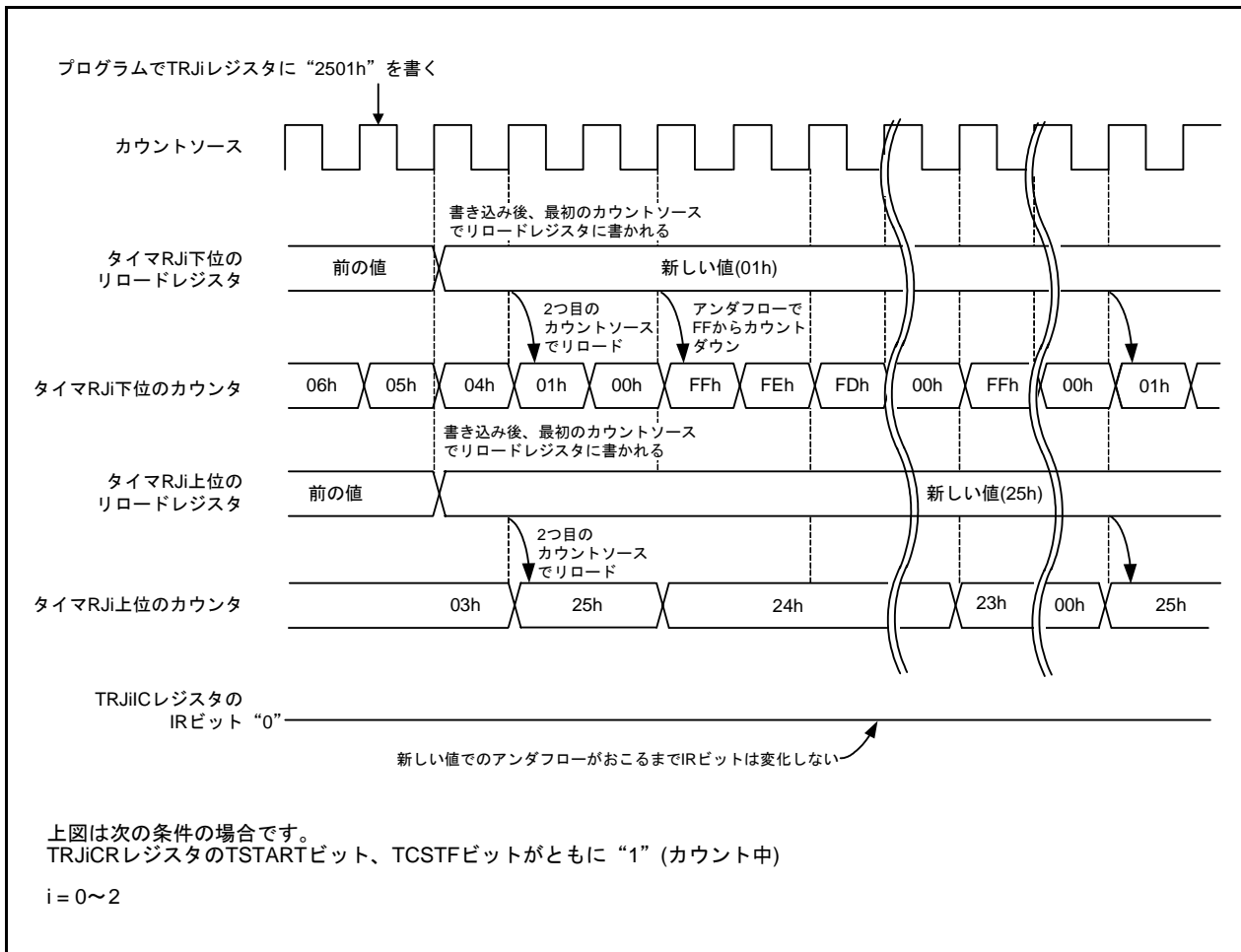


図 20.2 タイマRJiカウント中にカウント値を書き換えた場合の動作例

## 20.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRJiIO端子から出力するモードです(表 20.3)。

表 20.3 パルス出力モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO、fC32、fC、タイマRJ1はタイマRJ0のアンダフロー、タイマRJ2はタイマRJ1のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> <li>•ダウncウント</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(m+1)$ m : TRJi レジスタの設定値
カウント開始条件	TRJiCR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>•TRJiCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRJiCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRJiのアンダフロー時 [タイマRJi割り込み]
TRJiIO信号端子機能	パルス出力、またはプログラマブル出力ポート
TRJiIO端子機能	プログラマブル入出力ポート、またはTRJiIO出力の反転出力
タイマの読み出し	TRJiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「20.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•TRJiIO出力極性切り替え機能 TRJiIOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注2)</li> <li>•TRJiIO出力機能 TRJiIO出力の極性を反転したパルスをTRJiIO端子から出力(TRJiIOCレジスタのTOENAビットで選択)</li> <li>•パルス出力停止機能 TRJiIOCレジスタのTOPCRビットでTRJiIO端子からのパルス出力を停止</li> <li>•TRJiIO端子選択機能 TRJSRレジスタのTRJiIOSEL0～TRJiIOSEL1ビットでTRJiIO端子を使用するかどうかを選択</li> </ul>

注1. タイマRJ0はアンダフローを選択できません。

注2. TRJiMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

i = 0～2



## 20.4.1 タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0~2)[パルス出力モード時]

アドレス 0081h番地 (TRJ0IOC)、0089h番地 (TRJ1IOC)、0091h番地 (TRJ2IOC)

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル TIOGT1 TIOGT0 TIPF1 TIPF0 — TOENA TOPCR TEDGSEL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJii極性切り替えビット	0: “H” からTRJii出力開始 1: “L” からTRJii出力開始	R/W
b1	TOPCR	TRJii出力制御ビット	0: TRJii出力 1: I/Oポート	R/W
b2	TOENA	TRJii出力許可ビット	0: TRJii出力を許可しない 1: TRJii出力を許可 (TRJii出力の反転を各ポートから出力)	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJii入力フィルタ選択ビット	パルス出力モードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJiiイベント入力制御ビット		R/W
b7	TIOGT1			R/W

## 20.5 イベントカウンタモード

TRJiIO端子から入力する外部信号をカウントするモードです(表 20.4)。

表 20.4 イベントカウンタモードの仕様

項 目	仕 様
カウントソース	TRJiIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(m+1)$ $m$ : TRJiレジスタの設定値
カウント開始条件	TRJiICRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>•TRJiICRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRJiICRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRJiのアンダフロー時 [タイマRJi割り込み]
TRJiIO信号端子機能	カウントソース入力
TRJiIO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRJiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「20.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•TRJiIO入力極性切り替え機能 TRJiIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択</li> <li>•カウントソース入力端子選択機能 TRJSRレジスタのTRJiIOSEL0～TRJiIOSEL1ビットでTRJiIO端子を使用するかどうかを選択</li> <li>•パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRJiIO端子から出力(TRJiIOCレジスタのTOENAビットで選択)(注1)</li> <li>•デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRJiIOCレジスタのTIPF0～TIPF1ビットで選択</li> <li>•イベント入力制御機能 TRJiIO端子へのイベント入力の有効期間をTRJiIOCレジスタのTIOGT0～TIOGT1ビットで選択</li> </ul>

注1. TRJiIMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

i = 0～2

## 20.5.1 タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0~2)[イベントカウンタモード時]

アドレス 0081h番地(TRJ0IOC)、0089h番地(TRJ1IOC)、0091h番地(TRJ2IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJiIO極性切り替えビット(注1)	0: TRJiIO入力の立ち上がりエッジでカウント また、“L” からTRJiIO出力開始 1: TRJiIO入力の立ち下がりエッジでカウント また、“H” からTRJiIO出力開始	R/W
b1	TOPCR	TRJiIO出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	TOENA	TRJiIO出力許可ビット	0: TRJiIO出力を許可しない 1: TRJiIO出力を許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJiIO入力フィルタ選択ビット (注2)	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJiIOイベント入力制御ビット	b7 b6 00: 常にイベント入力有効 01: INT2のレベルでイベント入力有効(注3) 10: タイマRCのコンペアー致信号のレベルでイベント入力有効(注5) 11: タイマRB出力の“H”期間のイベント入力有効(注4)	R/W
b7	TIOGT1			R/W

注1. カウント中にTEDGSELビットの設定値を変更しないでください。

注2. TRJiIO端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

注3. INTENレジスタのINT2PLビットを“0”(片エッジ)にしてください。

INT2ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が有効になります。POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が有効になります。

注4. タイマRJは対応するタイマRB出力の“H”期間のイベント入力が有効です。タイマRJ0はタイマRB0、タイマRJ1はタイマRB1、タイマRJ2はタイマRB0です。

注5. タイマRJは対応するタイマRCのコンペアー致信号(TRCIOA、TRCIOB、TRCIOC、TRCIOD)のイベント入力が有効です。TRJISRレジスタのRCCPSEL0ビット~RCCPSEL1ビットによって、タイマRCのコンペアー出力を選択、またRCCPSEL2ビットによってタイマRCのコンペアー致信号のレベルを選択します。

## 20.6 パルス幅測定モード

TRJiIO端子から入力する外部信号のパルス幅を測定するモードです(表 20.5)。

図 20.3 にパルス幅測定モード時の動作例を示します。

表 20.5 パルス幅測定モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO、fC32、fC、タイマRJ1はタイマRJ0のアンダフロー、タイマRJ2はタイマRJ1のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> <li>•ダウncカウント</li> <li>•測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRJiCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>•TRJiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRJiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•タイマRJiのアンダフロー時 [タイマRJi割り込み]</li> <li>•TRJiIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRJi割り込み]</li> </ul>
TRJiIO信号端子機能	測定パルス入力
TRJiIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRJiレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「20.3.2 カウント中のタイマ書き込み制御」)参照</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•測定レベル設定 TRJiIOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択</li> <li>•測定パルス入力端子選択機能 TRJSRレジスタのTRJiIOSEL0～TRJiIOSEL1ビットでTRJiIO端子を使用するかどうかを選択</li> <li>•デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRJiIOCレジスタのTIPF0～TIPF1ビットで選択</li> </ul>

注1. タイマRJ0はアンダフローを選択できません。

i = 0～2

## 20.6.1 タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)[パルス幅測定モード時]

アドレス 0081h番地 (TRJ0IOC)、0089h番地 (TRJ1IOC)、0091h番地 (TRJ2IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJiiO極性切り替えビット	0 : TRJiiO入力の“L”レベル幅を測定 1 : TRJiiO入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRJiiO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRJiiO出力許可ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJiiO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJiiOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRJiiO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

20.6.2 動作例

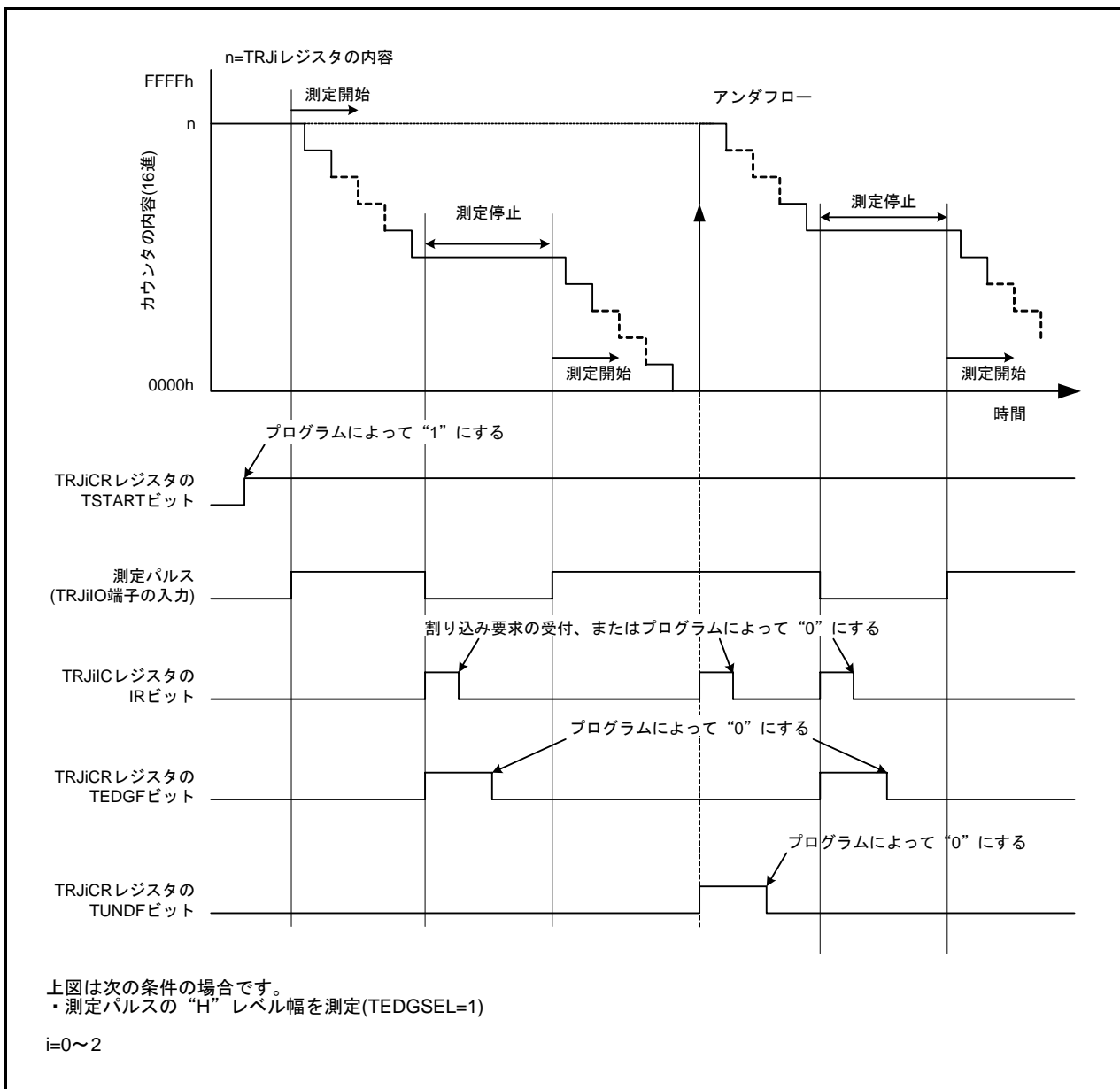


図 20.3 パルス幅測定モード時の動作例

## 20.7 パルス周期測定モード

TRJiIO端子から入力する外部信号のパルス周期を測定するモードです(表 20.6)。

図 20.4にパルス周期測定モード時の動作例を示します。

表 20.6 パルス周期測定モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO、fC32、fC、タイマRJ1はタイマRJ0のアンダフロー、タイマRJ2はタイマRJ1のアンダフロー(注1)
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•測定パルスの有効エッジ入力後、1回目のタイマRJiのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRJiのアンダフロー時にタイマRJiはリロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRJiCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>•TRJiCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>•TRJiCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•タイマRJiのアンダフロー時、またはリロード時 [タイマRJi割り込み]</li> <li>•TRJiIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRJi割り込み]</li> </ul>
TRJiIO端子機能	測定パルス入力
TRJiO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRJiレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TRJiレジスタに書き込むと、リロードレジスタとカウンタへ書き込まれる(「20.3.2 カウント中のタイマ書き込み制御」)参照</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•測定期間選択 TRJiIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択</li> <li>•測定パルス入力端子選択機能 TRJSRレジスタのTRJiIOSEL0～TRJiIOSEL1ビットでTRJiIO端子を使用するかどうかを選択</li> <li>•デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRJiIOCレジスタのTIPF0～TIPF1ビットで選択</li> </ul>

注1. タイマRJ0はアンダフローを選択できません。

i = 0～2

## 20.7.1 タイマRJi I/O制御レジスタ (TRJiIOC)(i = 0 ~ 2)[パルス周期測定モード時]

アドレス 0081h番地 (TRJ0IOC)、0089h番地 (TRJ1IOC)、0091h番地 (TRJ2IOC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	—	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRJii極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRJii出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRJii出力許可ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TIPF0	TRJii入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJiiイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRJii端子から同じ値を3回連続してサンプリングした時点で入力が増幅されます。



## 20.7.2 動作例

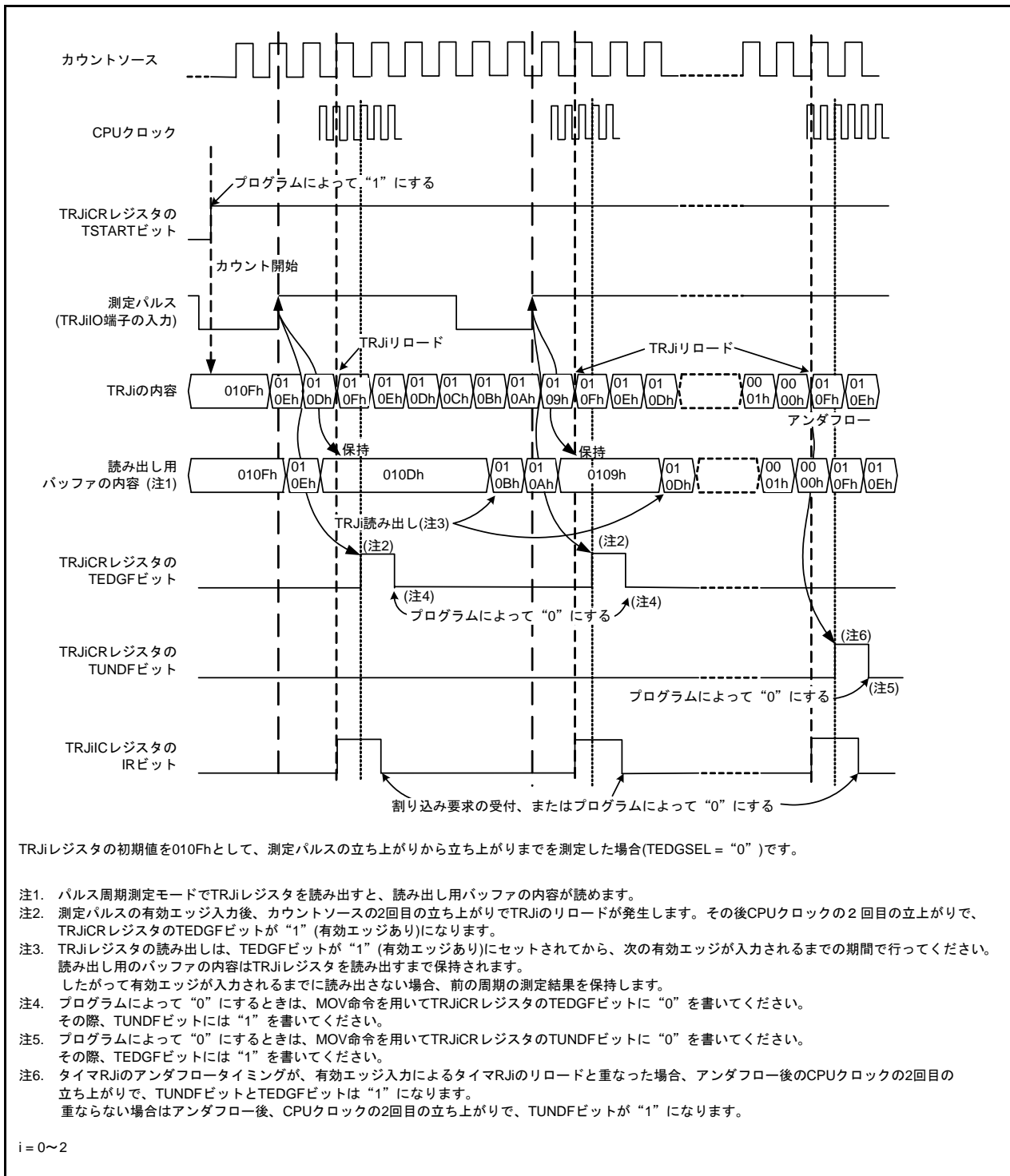


図 20.4 パルス周期測定モード時の動作例

## 20.8 タイマRJ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマに値を設定した後、カウントを開始してください。
- タイマは16ビット単位で読み出してください。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRJiCR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRJiCR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRJi のカウントを開始してください。
- カウント開始後に初めて発生するタイマRJi のアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRJi レジスタの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRJi 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRJi 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRJi 関連レジスタ : TRJiCR、TRJiIOC、TRJiMR、TRJi

- カウント中(TCSTF ビットが“1”)に TRJi レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRJi レジスタに 0000h を設定しないでください。

## 21. シリアルインタフェース (UART0)

シリアルインタフェースはUART0、UART2の2チャンネルで構成しています。本章はUART0について説明します。

### 21.1 概要

UART0は専用の転送クロック発生用タイマを持ち、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図 21.1 に UART0 のブロック図を、図 21.2 に UART0 送受信部のブロック図、表 21.1 に UART0 の端子構成を示します。

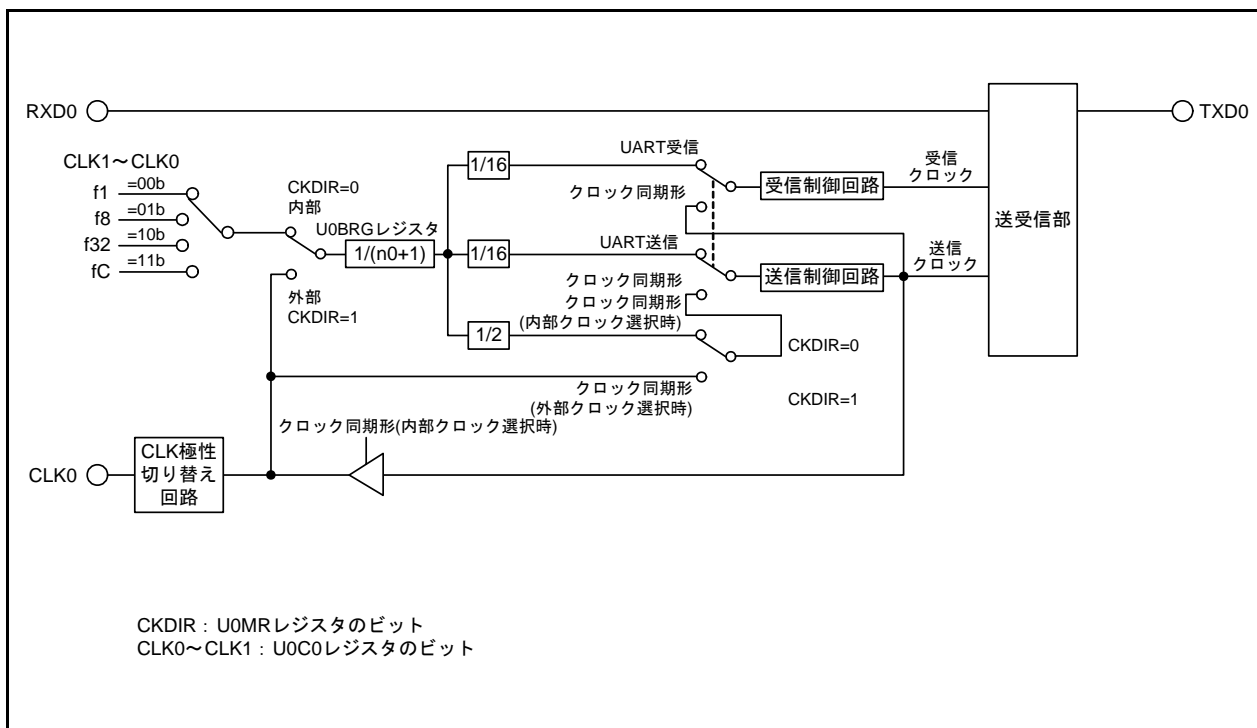


図 21.1 UART0のブロック図

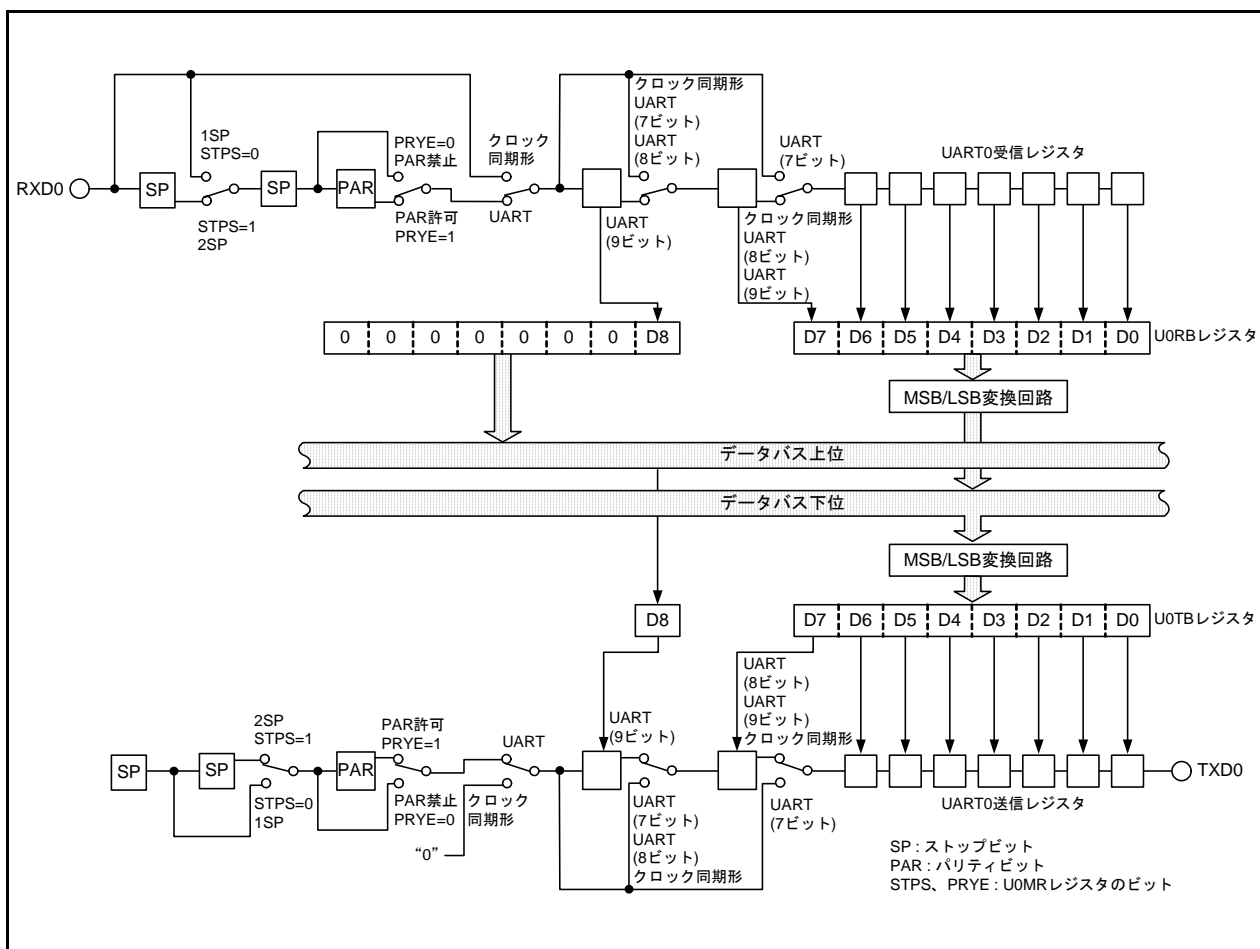


図 21.2 UART0送受信部のブロック図

表 21.1 UART0の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P8_5	出力	シリアルデータ出力
RXD0	P8_6	入力	シリアルデータ入力
CLK0	P8_4	入出力	転送クロック入出力

## 21.2 レジスタの説明

## 21.2.1 モジュールスタンバイ制御レジスタ 0 (MSTCR0)

アドレス	0008h 番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	MSTURT2	MSTURT0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURT0	UART0スタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b2	MSTURT2	UART2スタンバイビット	0: アクティブ 1: スタンバイ (注2)	R/W
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ (注3)	R/W
b4	MSTLCD	LCDスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	A/Dスタンバイビット (注6)	0: アクティブ 1: スタンバイ	R/W

注1. MSTURT0ビットが“1” (スタンバイ)のとき、UART0関連レジスタ (00A0h～00A7h番地)へのアクセスは無効になります。

注2. MSTURT2ビットが“1” (スタンバイ)のとき、UART2関連レジスタ (00A8h～00BFh番地)へのアクセスは無効になります。

注3. MSTIICビットが“1” (スタンバイ)のとき、SSU、I<sup>2</sup>C関連レジスタ (0193h～19Dh番地)へのアクセスは無効になります。

注4. MSTLCDビットが“1” (スタンバイ)のとき、LCD関連レジスタ (0200h～0237h番地)へのアクセスは無効になります。

注5. MSTTRCビットが“1” (スタンバイ)のとき、タイマRC関連レジスタ (0120h～0133h番地)へのアクセスは無効になります。

注6. MSTADCビットが“1” (スタンバイ)のとき、A/D関連レジスタ (00C0h～00D9h番地、00DCh～00DFh番地)へのアクセスは無効になります。

温度センサ使用時は、MSTADCビットを“0” (アクティブ)にしてください。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 21.2.2 UART0送受信モードレジスタ (U0MR)

アドレス 00A0h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、2)	b2 b1 b0 000: シリアルインタフェースは無効	R/W
b1	SMD1		001: クロック同期形シリアルI/Oモード	R/W
b2	SMD2		100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE = 1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	—	予約ビット	“0” にしてください	R/W

注1. SMD2～SMD0ビットを“000b” (シリアルインタフェース無効)にすることはU0C1レジスタのTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にしてください。

注2. SMD2～SMD0ビットが“001b” (クロック同期形シリアルI/Oモード)のとき、U0RBレジスタのエラーフラグ (FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

## 21.2.3 UART0ビットレートレジスタ (U0BRG)

アドレス 00A1h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7～b0	設定値をnとすると、U0BRGはカウントソースをn+1分周する	00h～FFh	W

U0BRGレジスタは、送受信停止中に書いてください。

U0BRGレジスタは、MOV命令を使用して書いてください。

U0C0レジスタのCLK0～CLK1ビットを設定した後、U0BRGレジスタに書いてください。

## 21.2.4 UART0送信バッファレジスタ(U0TB)

アドレス 00A3h~00A2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ(D8~D0)	W
b1	—		
b2	—		
b3	—		
b4	—		
b5	—		
b6	—		
b7	—		
b8	—		
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

転送データ長が9ビットの場合、U0TBレジスタの上位バイト→下位バイトの順で書いてください。  
U0TBレジスタはMOV命令を使用して書いてください。

## 21.2.5 UART0送受信制御レジスタ0(U0C0)

アドレス 00A4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	—	TXEPT	—	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRGカウンタソース選択ビット(注1)	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: fCを選択	R/W
b1	CLK1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	NCH	データ出力選択ビット	0: TXD0端子はCMOS出力 1: TXD0端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりでの送信データ出力、立ち上がりでの受信データ入力 1: 転送クロックの立ち上がりでの送信データ出力、立ち下がりでの受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0: LSBファースト 1: MSBファースト	R/W

注1. BRGカウンタソースを変更した場合は、U0BRGレジスタを再設定してください。

## 21.2.6 UART0送受信制御レジスタ1(U0C1)

アドレス 00A5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	U0RRM	U0IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U0TBにデータあり 1: U0TBにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0: U0RBにデータなし 1: U0RBにデータあり	R
b4	U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空(TI = 1) 1: 送信完了(TXEPT = 1)	R/W
b5	U0RRM	UART0連続受信モード許可ビット(注2)	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

注1. RIビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

注2. UARTモード時、U0RRMビットは“0”(連続受信モード禁止)にしてください。



## 21.2.7 UART0 受信バッファレジスタ (U0RB)

アドレス 00A7h~00A6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	—	受信データ (D7~D0)	R
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			
b8	—	—	受信データ (D8)	R
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—			
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. SUM、PER、FER、OERビットは、U0MRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU0C1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

UiMRレジスタのSMD2~SMD0ビットを“000b”にするときは、UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U0RBレジスタは必ず16ビット単位で読み出してください。

## 21.2.8 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CLK0SEL1	CLK0SEL0	RXD0SEL1	RXD0SEL0	TXD0SEL1	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	b1 b0 00: TXD0端子は使用しない 01: P8_5に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b1	TXD0SEL1			R/W
b2	RXD0SEL0	RXD0端子選択ビット	b3 b2 00: RXD0端子は使用しない 01: P8_6に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b3	RXD0SEL1			R/W
b4	CLK0SEL0	CLK0端子選択ビット	b5 b4 00: CLK0端子は使用しない 01: P8_4に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b5	CLK0SEL1			R/W
b6	—	予約ビット	"0" にしてください	R/W
b7	—			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

### 21.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 21.2にクロック同期形シリアルI/Oモードの仕様を、表 21.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 21.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>転送データ長 8ビット</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>U0MR レジスタのCKDIRビットが“0”(内部クロック) : <math>f_i/(2(n+1))</math>  <math>f_i = f_1, f_8, f_{32}, f_C</math> <math>n = U0BRG</math> レジスタの設定値 00h~FFh</li> <li>CKDIRビットが“1”(外部クロック) : CLK0端子からの入力</li> </ul>
送信開始条件	<ul style="list-style-type: none"> <li>送信開始には、以下の条件が必要です(注1)。            U0C1 レジスタのTEビットが“1”(送信許可)            U0C1 レジスタのTIビットが“0”(U0TBレジスタにデータあり)</li> </ul>
受信開始条件	<ul style="list-style-type: none"> <li>受信開始には、以下の条件が必要です(注1)。            U0C1 レジスタのREビットが“1”(受信許可)            U0C1 レジスタのTEビットが“1”(送信許可)            U0C1 レジスタのTIビットが“0”(U0TBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>送信する場合、次の条件のいずれかを選択できます。            -U0IRSビットが“0”(送信バッファ空) :            U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時)            -U0IRSビットが“1”(送信完了) : UART0送信レジスタからデータ送信完了時</li> <li>受信する場合            UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>オーバランエラー(注2)            U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>CLK極性選択            転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択</li> <li>LSBファースト、MSBファースト 選択            ビット0から送受信するか、またはビット7から送受信するかを選択</li> <li>連続受信モード選択            U0RBレジスタを読み出す動作により、同時に受信許可状態になる</li> </ul>

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態)で条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b8)は不定になります。

表 21.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
U0TB	b0～b7	送信データを設定してください
U0RB	b0～b7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	b0～b7	ビットレートを設定してください
U0MR	SMD2～SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1～CLK0	U0BRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 21.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(U0C0レジスタのNCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 21.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P8_5)	シリアルデータ出力	U0SRレジスタのTXD0SEL1～TXD0SEL0ビット=01b Nチャンネルオープンドレイン出力選択時は PD8レジスタのPD8_5ビット=0 (受信だけを行うときはTXD0SEL1～TXD0SEL0ビット=00bと設定することで、P8_5をポートとして使用可)
RXD0(P8_6)	シリアルデータ入力	U0SRレジスタのRXD0SEL1～RXD0SEL0ビット=01b PD8レジスタのPD8_6ビット=0 (送信だけを行うときはRXD0SEL1～RXD0SEL0ビット=00bと設定することで、P8_6をポートとして使用可)
CLK0(P8_4)	転送クロック出力	U0SRレジスタのCLK0SEL1～CLK0SEL0ビット=01b U0MRレジスタのCKDIRビット=0(内部クロック)
	転送クロック入力	U0SRレジスタのCLK0SEL1～CLK0SEL0ビット=01b U0MRレジスタのCKDIRビット=1(外部クロック) PD8レジスタのPD8_4ビット=0

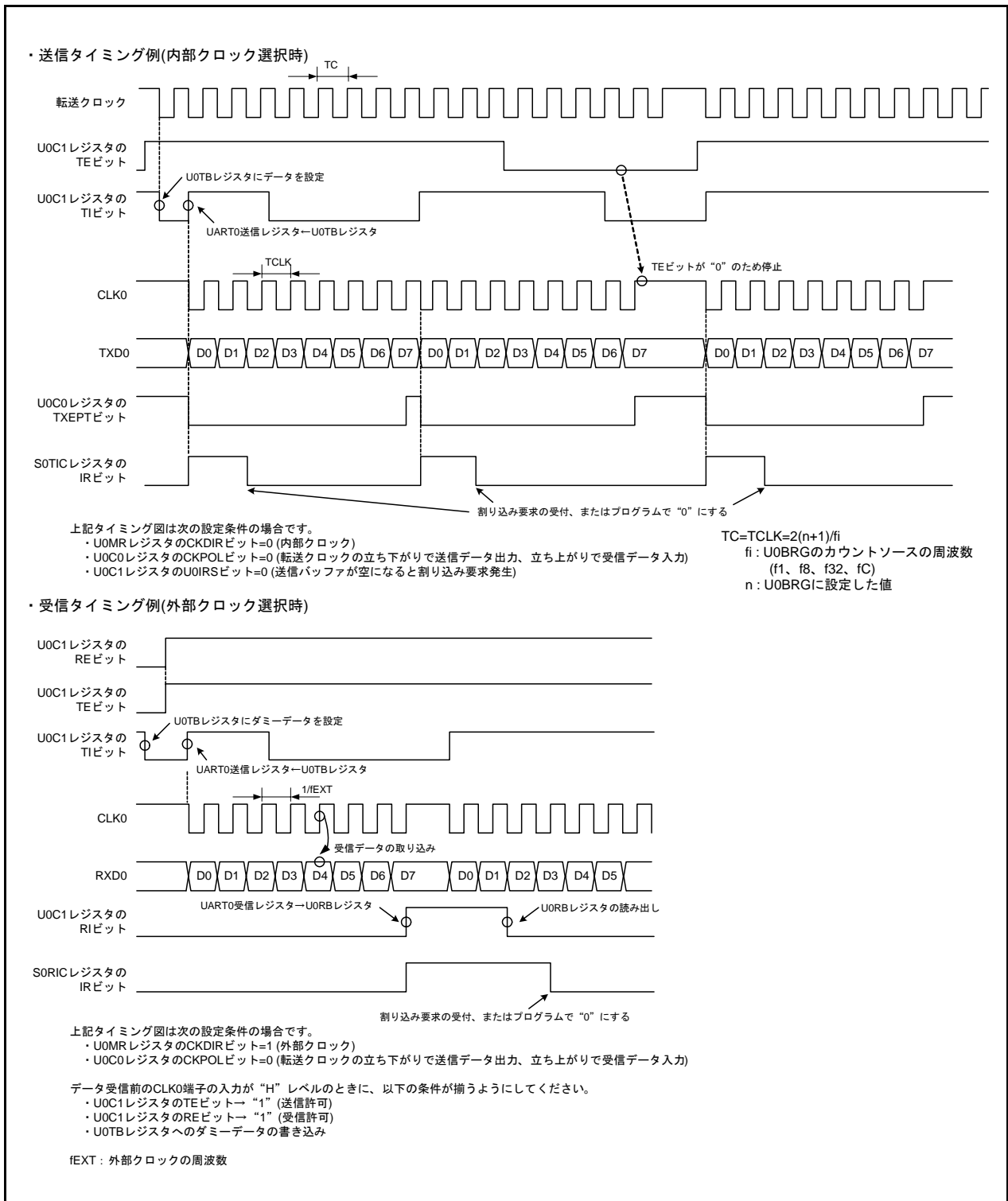


図 21.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 21.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U0MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 21.3.2 極性選択機能

図 21.4 に転送クロックの極性を示します。U0C0 レジスタの CKPOL ビットによって転送クロックの極性を選択できます。

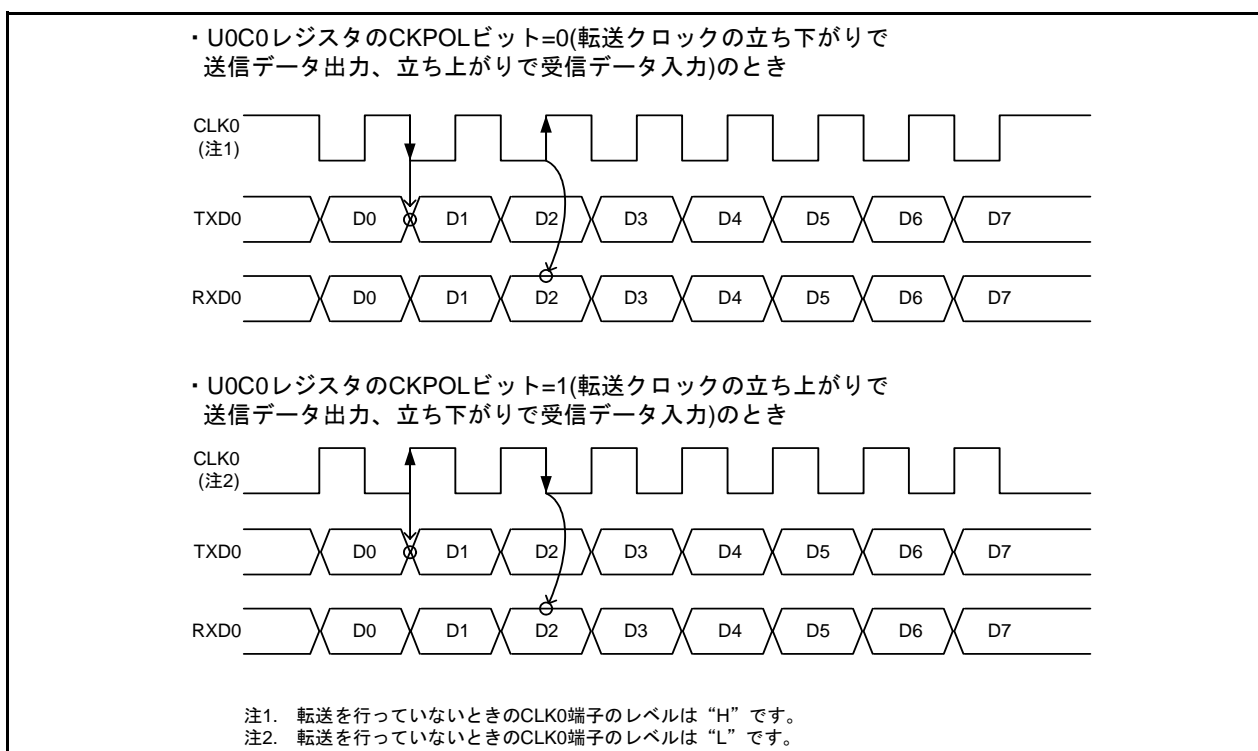


図 21.4 転送クロックの極性

### 21.3.3 LSBファースト、MSBファースト選択

図 21.5 に転送フォーマットを示します。U0C0 レジスタの UFORM ビットで転送フォーマットを選択できます。

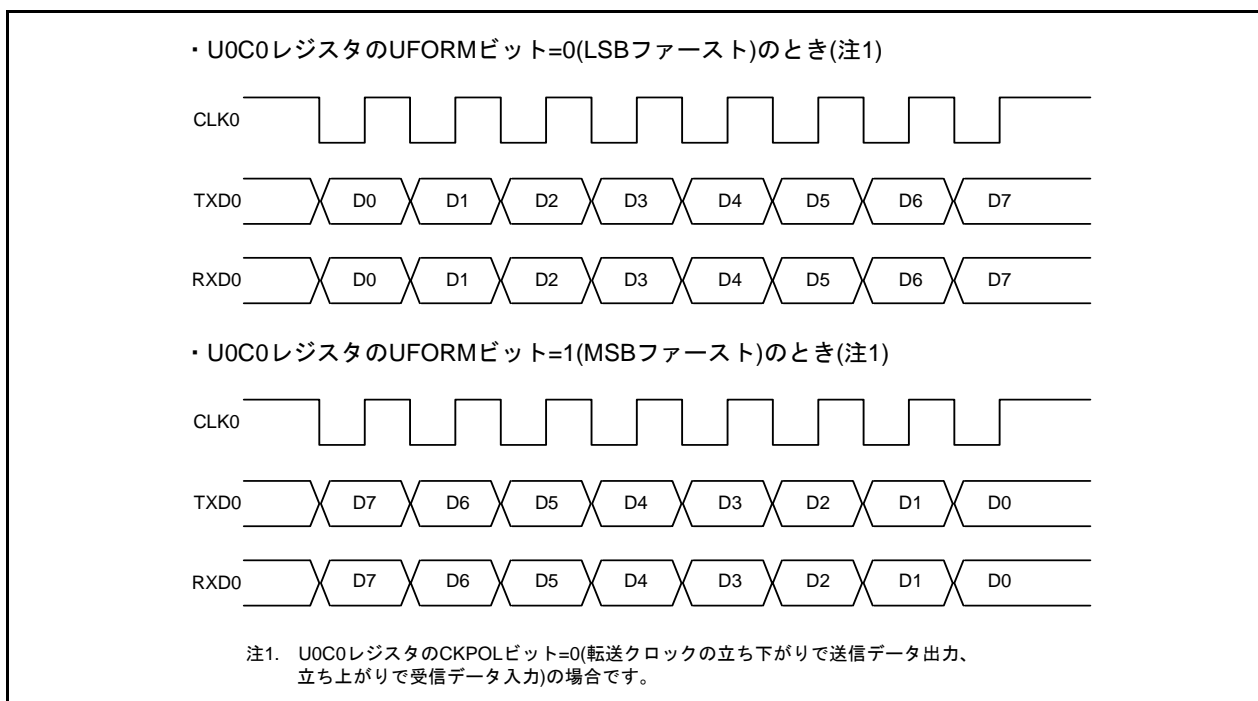


図 21.5 転送フォーマット



#### 21.3.4 連続受信モード

U0C1レジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

## 21.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 21.5 にクロック非同期形シリアルI/Oモードの仕様を、表 21.6 にUARTモード時の使用レジスタと設定値を示します。

表 21.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>•キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可</li> <li>•スタートビット 1ビット</li> <li>•パリティビット 奇数、偶数、なし選択可</li> <li>•ストップビット 1ビット、2ビット 選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>•U0MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math>  <math>f_j = f_1, f_8, f_{32}, f_C</math> <math>n = U0BRG</math>レジスタの設定値 00h~FFh</li> <li>•CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLK0端子からの入力 <math>n = U0BRG</math>レジスタの設定値 00h~FFh</li> </ul>
送信開始条件	<ul style="list-style-type: none"> <li>•送信開始には、以下の条件が必要です。  U0C1レジスタのTEビットが“1”(送信許可)  U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)</li> </ul>
受信開始条件	<ul style="list-style-type: none"> <li>•受信開始には、以下の条件が必要です。  U0C1レジスタのREビットが“1”(受信許可)  スタートビットの検出</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•送信する場合、次の条件のいずれかを選択できます。  -U0C1レジスタのU0IRSビットが“0”(送信バッファ空) :  U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時)  -U0IRSビットが“1”(送信完了) :  UART0送信レジスタからデータ送信完了時</li> <li>•受信する場合  UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>•オーバランエラー(注1) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>•フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生(注2)</li> <li>•パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生</li> <li>•エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>

注1. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b8)は不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART0受信レジスタからU0RBレジスタにデータが転送されるときに“1”になります。

表 21.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0～b8	送信データを設定してください(注1)
U0RB	b0～b8	受信データが読めます(注2)
	OER、FER、PER、SUM	エラーフラグ
U0BRG	b0～b7	ビットレートを設定してください
U0MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
U0C0	CLK1～CLK0	U0BRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U0C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表 21.7にUARTモード時の入出力端子の機能を示します。なお、UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(U0C0レジスタのNチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 21.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P8_5)	シリアルデータ出力	U0SRレジスタのTXD0SEL1~TXD0SEL0ビット=01b Nチャンネルオープンドレイン出力選択時は PD8レジスタのPD8_5ビット=0 (受信だけを行うときはTXD0SEL1~TXD0SEL0ビット=00bと設定することで、P8_5をポートとして使用可)
RXD0(P8_6)	シリアルデータ入力	U0SRレジスタのRXD0SEL1~RXD0SEL0ビット=01b PD8レジスタのPD8_6ビット=0 (送信だけを行うときはRXD0SEL1~RXD0SEL0ビット=00bと設定することで、P8_6をポートとして使用可)
CLK0(P8_4)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL1~CLK0SEL0ビット=00b (CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL1~CLK0SEL0ビット=01b U0MRレジスタのCKDIRビット=1(外部クロック) PD8レジスタのPD8_4ビット=0

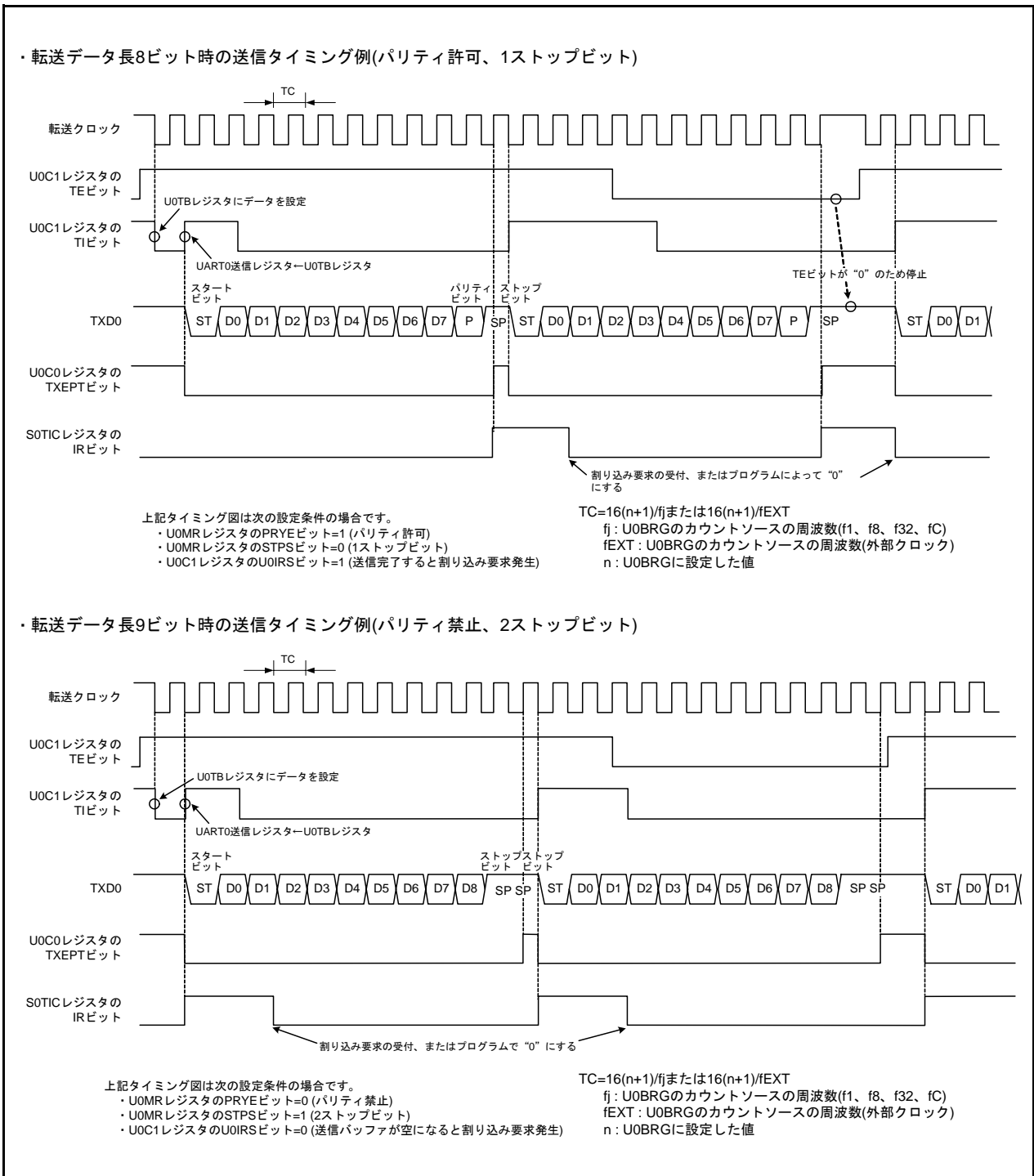


図 21.6 UARTモード時の送信タイミング

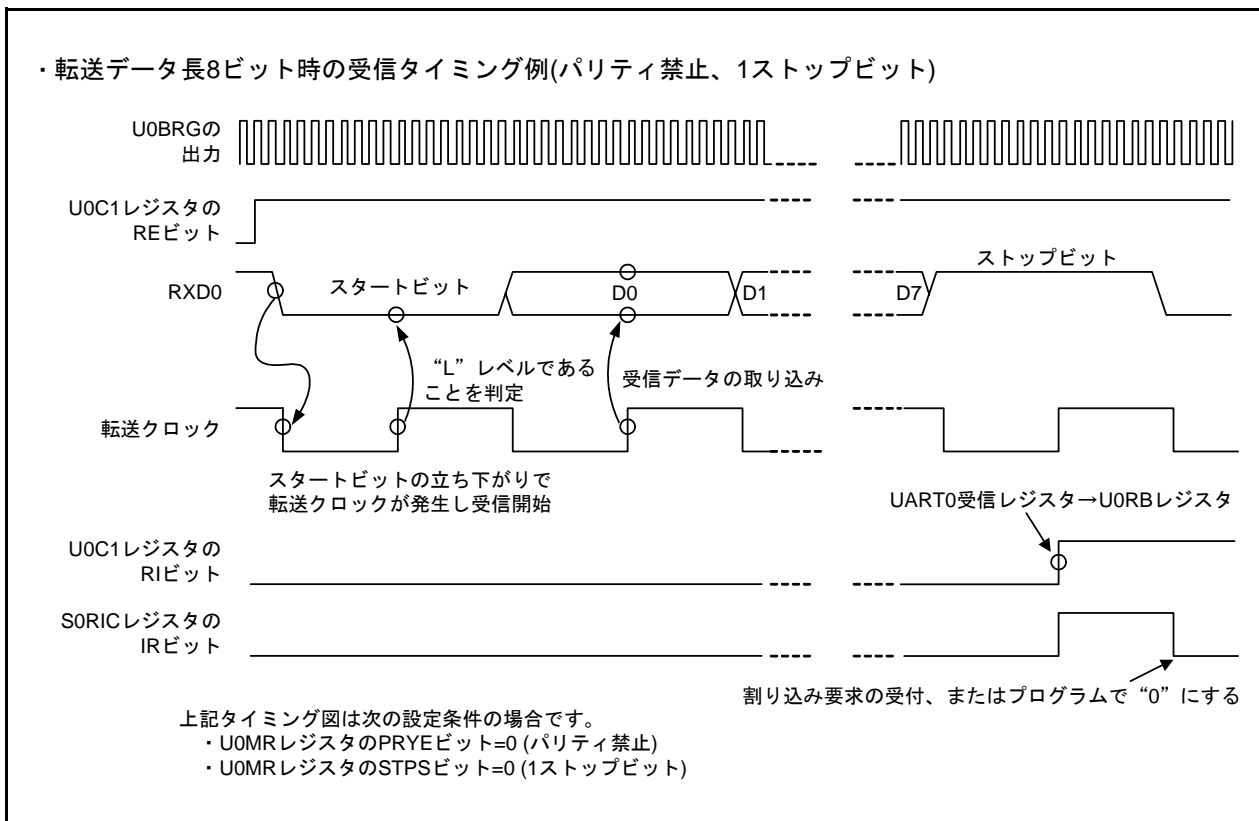


図 21.7 UARTモード時の受信タイミング例

## 21.4.1 ビットレート

UARTモードではU0BRGレジスタで分周した周波数の16分周がビットレートになります。

<UARTモード>		
・ 内部クロック選択時		
$\text{U0BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$		
f <sub>j</sub> : U0BRGレジスタのカウンタソースの周波数(f <sub>1</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>C</sub> )		
・ 外部クロック選択時		
$\text{U0BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$		
f <sub>EXT</sub> : U0BRGレジスタのカウンタソースの周波数(外部クロック)		

図 21.8 U0BRG レジスタの設定値の算出式

表 21.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	U0BRGの カウンタ ソース	システムクロック=20 MHz			システムクロック=18.432 MHz (注1)			システムクロック=8 MHz		
		U0BRGの 設定値	実時間 (bps)	設定 誤差 (%)	U0BRGの 設定値	実時間 (bps)	設定 誤差 (%)	U0BRGの 設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

注1. 高速オンチップオシレータに対して、FR18S0レジスタの調整値をFRC0レジスタに、FR18S1レジスタの調整値をFRC1レジスタに書き込んでください。  
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを“000b”(1分周モード)にした場合です。

### 21.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U0MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。



## 21.5 シリアルインタフェース (UART0) 使用上の注意

- クロック同期形シリアル I/O モード、クロック非同期形シリアル I/O モードにかかわらず、U0RB レジスタを読み出すときは、必ず 16 ビット単位で読み出してください。  
U0RB レジスタの PER、FER ビットと U0C1 レジスタの RI ビットは、U0RB レジスタの上位バイトを読み出したとき、“0” になります。  
受信エラーは U0RB レジスタを読み出し後、読み出した値で確認してください。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W 00A6H, R0 ; U0RB レジスタの読み出し
```

- 転送データビット長 9 ビットのクロック非同期形シリアル I/O モードで、U0TB レジスタに書くときは、上位バイト→下位バイトの順で、8 ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B #XXH, 00A3H ; U0TB レジスタの上位バイトへの書き込み
```

```
MOV.B #XXH, 00A2H ; U0TB レジスタの下位バイトへの書き込み
```

## 22. シリアルインタフェース(UART2)

シリアルインタフェースはUART0、UART2の2チャンネルで構成しています。本章はUART2について説明します。

### 22.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

図 22.1にUART2のブロック図を、図 22.2にUART2送受信部のブロック図を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I<sup>2</sup>Cモード)
- マルチプロセッサ通信機能

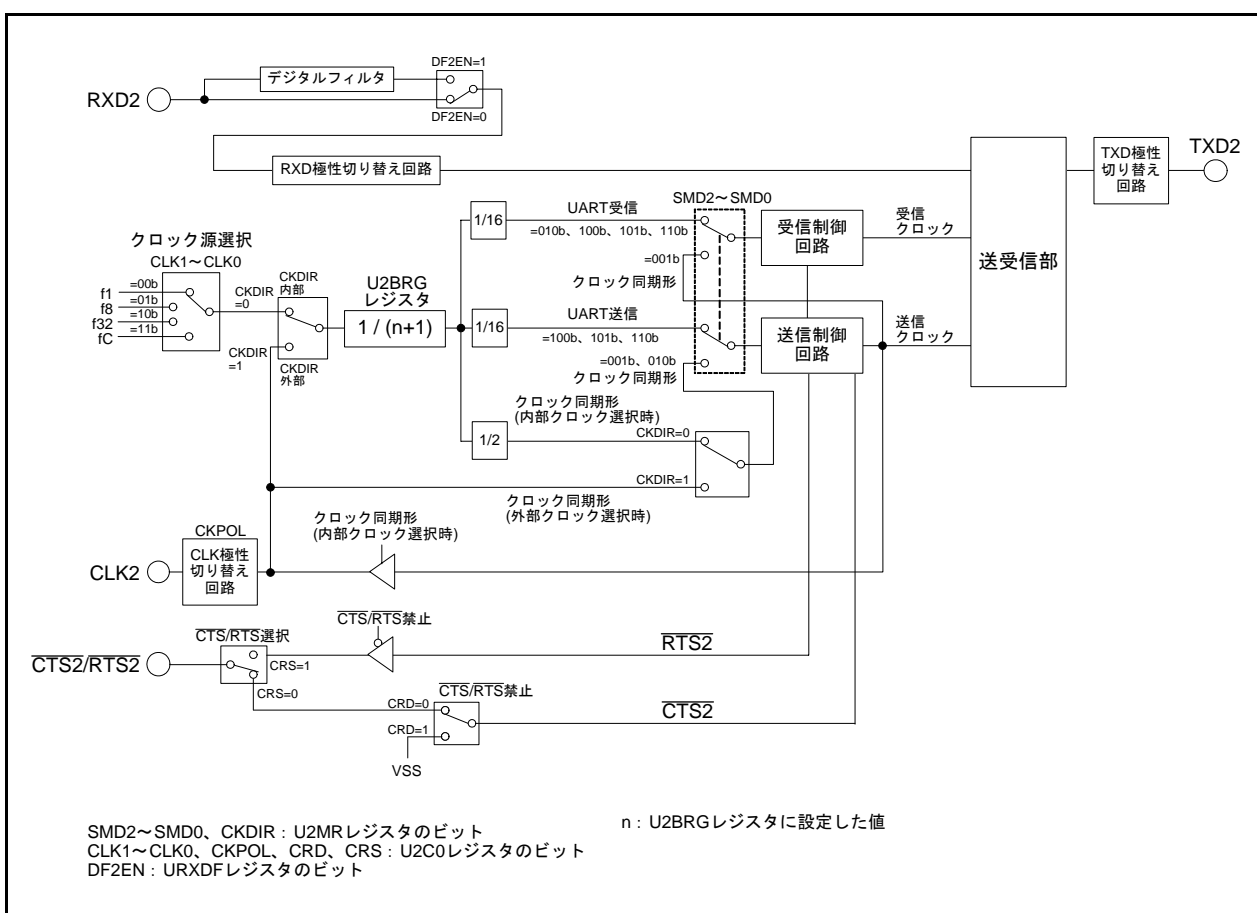


図 22.1 UART2のブロック図

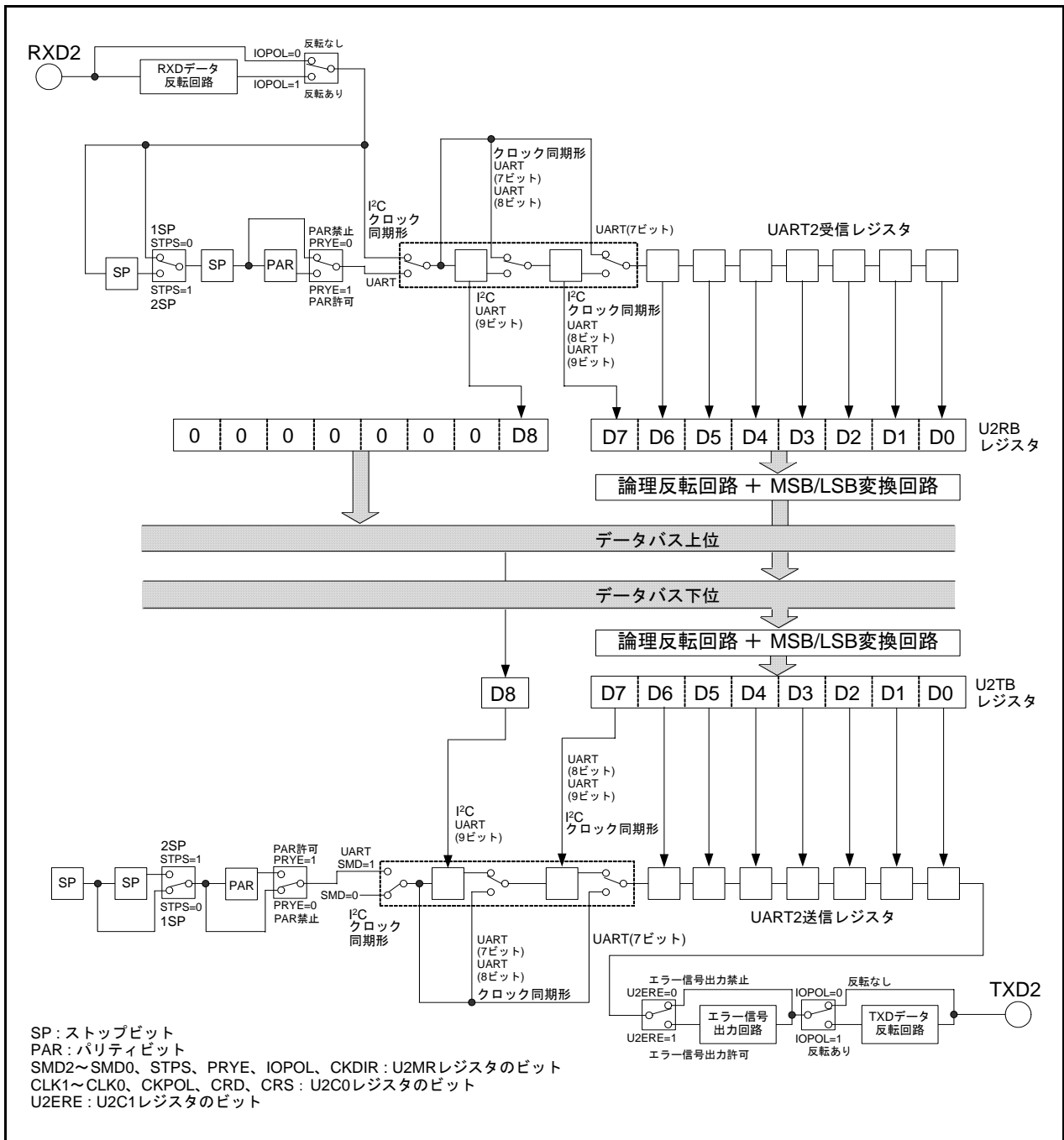


図 22.2 UART2送受信部のブロック図

表 22.1 UART2の端子構成

端子名	割り当てる端子	入出力	機能
TXD2	P7_1、P7_2、P8_5	出力	シリアルデータ出力
RXD2	P7_1、P7_2、P8_6	入力	シリアルデータ入力
CLK2	P7_0、P8_4	入出力	転送クロック入出力
CTS2	P7_3、P8_7	入力	送信制御用入力
RTS2	P7_3、P8_7	出力	受信制御用出力
SCL2	P7_1、P7_2、P8_6	入出力	I <sup>2</sup> Cモードのクロック入出力
SDA2	P7_1、P7_2、P8_5	入出力	I <sup>2</sup> Cモードのデータ入出力

## 22.2 レジスタの説明

## 22.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス	0008h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	MSTURT2	MSTURTO	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURTO	UART0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b2	MSTURT2	UART2スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b4	MSTLCD	LCDスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	A/Dスタンバイビット(注6)	0: アクティブ 1: スタンバイ	R/W

注1. MSTURTOビットが“1”(スタンバイ)のとき、UART0関連レジスタ(00A0h~00A7h番地)へのアクセスは無効になります。

注2. MSTURT2ビットが“1”(スタンバイ)のとき、UART2関連レジスタ(00A8h~00BFh番地)へのアクセスは無効になります。

注3. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>C関連レジスタ(0193h~19Dh番地)へのアクセスは無効になります。

注4. MSTLCDビットが“1”(スタンバイ)のとき、LCD関連レジスタ(0200h~0237h番地)へのアクセスは無効になります。

注5. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h~0133h番地)へのアクセスは無効になります。

注6. MSTADCビットが“1”(スタンバイ)のとき、A/D関連レジスタ(00C0h~00D9h番地、00DCh~00DFh番地)へのアクセスは無効になります。

温度センサ使用時は、MSTADCビットを“0”(アクティブ)にしてください。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 22.2.2 UART2送受信モードレジスタ(U2MR)

アドレス 00A8h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、2)	b2 b1 b0 000: シリアルインタフェースは無効	R/W
b1	SMD1		001: クロック同期形シリアルI/Oモード	R/W
b2	SMD2		010: I <sup>2</sup> Cモード	R/W
			100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE = 1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット	0: 反転なし 1: 反転あり	R/W

注1. SMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にするときはU2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. SMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、U2RBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

## 22.2.3 UART2ビットレートレジスタ(U2BRG)

アドレス 00A9h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7～b0	設定値をnとすると、U2BRGはカウントソースをn+1分周する	00h～FFh	W

U2BRGレジスタは、送受信停止中に書いてください。

U2BRGレジスタは、MOV命令を使用して書いてください。

U2C0レジスタのCLK1～CLK0ビットを設定した後にU2BRGレジスタに書いてください。

U2BRGレジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

## 22.2.4 UART2送信バッファレジスタ (U2TB)

アドレス 00ABh~00AAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	MPTB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ (D7~D0)	W
b1	—		
b2	—		
b3	—		
b4	—		
b5	—		
b6	—		
b7	—		
b8	MPTB	[マルチプロセッサ通信機能を使用しない場合](注2) 送信データ D8 [マルチプロセッサ通信機能を使用する場合](注1) •IDを転送するときは、MPTBビットを“1”にしてください •データを転送するときは、MPTBビットを“0”にしてください	W
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

注1. このレジスタはMOV命令を使用して8ビット単位で書いてください。MPTBビットを設定した後、b0~b7を設定してください。

注2. このレジスタはMOV命令を使用して書いてください。転送データ長が9ビットの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

## 22.2.5 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRGカウンタソース選択ビット (注1)	b1 b0 00: f1を選択 01: f8選択 10: f32を選択 11: fCを選択	R/W
b1	CLK1			R/W
b2	CRS	CTS/RTS機能選択ビット	CRD = 0のとき有効 0: CTS機能を選択 1: RTS機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	R
b4	CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止	R/W
b5	NCH	データ出力選択ビット	0: TXD2/SDA2、SCL2端子はCMOS出力 1: TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット(注2)	0: LSBファースト 1: MSBファースト	R/W

注1. CLK1～CLK0ビットを変更した場合は、U2BRGレジスタを再設定してください。

注2. UFORMビットはU2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2～SMD0ビットが“010b”(I<sup>2</sup>Cモード)のときは“1”(MSBファースト)に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”(LSBファースト)にしてください。

## 22.2.6 UART2送受信制御レジスタ1(U2C1)

アドレス 00ADh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0: 送信バッファ空(TI = 1) 1: 送信完了(TXEPT = 1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット(注1)	0: 反転なし 1: 反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	R/W

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2～SMD0ビットが“010b”(I<sup>2</sup>Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。



## 22.2.7 UART2 受信バッファレジスタ (U2RB)

アドレス 00AFh~00AEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	MPRB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	—	受信データ (D7~D0)	R
b1	—	—		
b2	—	—		
b3	—	—		
b4	—	—		
b5	—	—		
b6	—	—		
b7	—	—		
b8	MPRB	—	受信データ (D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ (D8) [マルチプロセッサ通信機能を使用する場合] • MPRBビットが“0”のとき、受信したD0~D7 はデータフィールド • MPRBビットが“1”のとき、受信したD0~D7 はIDフィールド	R
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—	—
b10	—			
b11	—	予約ビット	“0”にしてください	R/W
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ (注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. U2MRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U2RBレジスタの下位バイトを読んだとき、“0”になります。

U2MRレジスタのSMD2~SMD0ビットを“000b”にするときは、U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U2MRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I<sup>2</sup>Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U2RBレジスタは必ず16ビット単位で読み出してください。

## 22.2.8 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	DF2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	DF2EN	RXD2デジタルフィルタ許可ビット (注1)	0: デジタルフィルタ禁止 1: デジタルフィルタ許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“010b”(I<sup>2</sup>Cモード)のときは、DF2ENビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

## 22.2.9 UART2特殊モードレジスタ5(U2SMR5)

アドレス 00BBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MPIE	—	—	—	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット	0: マルチプロセッサ通信禁止 1: マルチプロセッサ通信許可(注1)	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが“1”(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが“1”のとき、次の状態になります。 • マルチプロセッサビット(MPRB)が“0”の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが“1”になることを禁止します。 • マルチプロセッサビット(MPRB)が“1”の受信データを受信すると、MPIEビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—	予約ビット	“0”にしてください	R/W

注1. MPビットが“1”(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)では、MPビットを“0”(マルチプロセッサ通信禁止)にしてください。

## 22.2.10 UART2 特殊モードレジスタ 4 (U2SMR4)

アドレス 00BCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SWC9	SCLHI	ACKC	ACKD	STSPSEL	STPREQ	RSTAREQ	STAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b1	RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b2	STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b3	STSPSEL	SCL、SDA出力選択ビット	0: スタートコンディション、ストップコン ディション出力しない 1: スタートコンディション、ストップコン ディション出力する	R/W
b4	ACKD	ACKデータビット	0: ACK 1: NACK	R/W
b5	ACKC	ACKデータ出力許可ビット	0: シリアルインタフェースデータ出力 1: ACKデータ出力	R/W
b6	SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可	R/W
b7	SWC9	SCLウェイトビット3	0: SCL “L” ホールド禁止 1: SCL “L” ホールド許可	R/W

注1. 各コンディションが生成されたとき、“0” になります。

## 22.2.11 UART2特殊モードレジスタ3(U2SMR3)

アドレス 00BDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DL2	DL1	DL0	—	NODC	—	CKPH	—
リセット後の値	0	0	0	X	0	X	0	X

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b1	CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b3	NODC	クロック出力選択ビット	0: CLK2はCMOS出力 1: CLK2はNチャンネルオープンドレイン出力	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	DL0	SDA2デジタル遅延値設定ビット (注1、2)	b7 b6 b5 0 0 0: 遅延なし 0 0 1: U2BRG カウントソースの1~2サイクル 0 1 0: U2BRG カウントソースの2~3サイクル 0 1 1: U2BRG カウントソースの3~4サイクル 1 0 0: U2BRG カウントソースの4~5サイクル 1 0 1: U2BRG カウントソースの5~6サイクル 1 1 0: U2BRG カウントソースの6~7サイクル 1 1 1: U2BRG カウントソースの7~8サイクル	R/W
b6	DL1			R/W
b7	DL2			R/W

注1. DL2～DL0ビットはI<sup>2</sup>Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I<sup>2</sup>Cモード以外の場合、“000b”(遅延なし)にしてください。

注2. 遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

## 22.2.12 UART2特殊モードレジスタ2(U2SMR2)

アドレス 00BEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SDHI	SWC2	STAC	—	SWC	CSC	IICM2
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM2	I <sup>2</sup> Cモード選択ビット2	「表 22.12 I <sup>2</sup> Cモード時の各機能」参照	R/W
b1	CSC	クロック同期化ビット	0: 禁止 1: 許可	R/W
b2	SWC	SCLウェイト出力ビット	0: 禁止 1: 許可	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	STAC	UART2初期化ビット	0: 禁止 1: 許可	R/W
b5	SWC2	SCLウェイト出力ビット2	0: 転送クロック 1: “L”出力	R/W
b6	SDHI	SDA出力禁止ビット	0: 許可 1: 禁止(ハイインピーダンス)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

## 22.2.13 UART2特殊モードレジスタ (U2SMR)

アドレス 00BFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	BBS	—	IICM
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	I <sup>2</sup> Cモード選択ビット	0 : I <sup>2</sup> Cモード以外 1 : I <sup>2</sup> Cモード	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	BBS	バスビジーフラグ(注1)	0 : ストップコンディション検出 1 : スタートコンディション検出(ビジー)	R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

## 22.2.14 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RXD2SEL1	RXD2SEL0	—	—	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	b1 b0 00 : TXD2/SDA2端子は使用しない 01 : P7_1に割り当てる 10 : P7_2に割り当てる 11 : P8_5に割り当てる	R/W
b1	TXD2SEL1			R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	—			
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 00 : RXD2/SCL2端子は使用しない 01 : P7_2に割り当てる 10 : P7_1に割り当てる 11 : P8_6に割り当てる	R/W
b5	RXD2SEL1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

## 22.2.15 UART2端子選択レジスタ1(U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CTS2SEL1	CTS2SEL0	—	—	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	b1 b0 00: CLK2端子は使用しない 01: P7_0に割り当てる 10: P8_4に割り当てる 11: 設定しないでください	R/W
b1	CLK2SEL1			R/W
b2	—	予約ビット	"0" にしてください	R/W
b3	—			R/W
b4	CTS2SEL0	CTS2/RTS2端子選択ビット	b5 b4 00: CTS2/RTS2端子は使用しない 01: P7_3に割り当てる 10: P8_7に割り当てる 11: 設定しないでください	R/W
b5	CTS2SEL1			R/W
b6	—	予約ビット	"0" にしてください	R/W
b7	—			R/W

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

### 22.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 22.2にクロック同期形シリアルI/Oモードの仕様を、表 22.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 22.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>•U2MR レジスタのCKDIRビットが“0” (内部クロック) : <math>f_j/(2(n+1))</math>  <math>f_j = f_1, f_8, f_{32}, f_C</math> <math>n = U2BRG</math> レジスタの設定値 00h~FFh</li> <li>•CKDIRビットが“1” (外部クロック) : CLK2端子からの入力</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1 レジスタのTEビットが“1” (送信許可)</li> <li>•U2C1 レジスタのTIビットが“0” (U2TBレジスタにデータあり)</li> <li>•CTS機能を選択している場合、CTS2端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1 レジスタのREビットが“1” (受信許可)</li> <li>•U2C1 レジスタのTEビットが“1” (送信許可)</li> <li>•U2C1 レジスタのTIビットが“0” (U2TBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>•U2C1 レジスタのU2IRSビットが“0” (送信バッファ空) :  U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時)</li> <li>•U2IRSビットが“1” (送信完了) : UART2送信レジスタからデータ送信完了時  受信する場合</li> <li>•UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>•CLK極性選択  転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択</li> <li>•LSBファースト、MSBファースト選択  ビット0から送受信するか、またはビット7から送受信するかを選択可</li> <li>•連続受信モード選択  U2RBレジスタを読むことで、同時に受信許可状態になる</li> <li>•シリアルデータ論理切り替え  送受信データの論理値を反転する機能</li> </ul>

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0” (転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1” (転送クロックの立ち上がり)で送信データ出力、立ち下がり)のときは外部クロックが“L”の状態)で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。

表 22.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0～b7	送信データを設定してください
U2RB(注1)	b0～b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR(注1)	SMD2～SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、“1” にしてください
	U2LCH	データ論理反転を使用する場合、“1” にしてください
	U2ERE	“0” にしてください
U2SMR	b0～b7	“0” にしてください
U2SMR2	b0～b7	“0” にしてください
U2SMR3	b0～b2	“0” にしてください
	NODC	クロック出力形式を選択してください
	b4～b7	“0” にしてください
U2SMR4	b0～b7	“0” にしてください
URXDF	DF2EN	“0” にしてください
U2SMR5	MP	“0” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 22.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図 22.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。



表 22.4 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD2 (P7_1、P7_2 またはP8_5)	シリアルデータ出力	<ul style="list-style-type: none"> <li>•TXD2(P7_1)の場合 U2SR0レジスタのTXD2SEL1～TXD2SEL0ビット=01b(P7_1) Nチャンネルオープンドレイン出力選択時は、PD7レジスタのPD7_1ビット=0</li> <li>•TXD2(P7_2)の場合 U2SR0レジスタのTXD2SEL1～TXD2SEL0ビット=10b(P7_2) Nチャンネルオープンドレイン出力選択時は、PD7レジスタのPD7_2ビット=0</li> <li>•TXD2(P8_5)の場合 U2SR0レジスタのTXD2SEL1～TXD2SEL0ビット=11b(P8_5) Nチャンネルオープンドレイン出力選択時は、PD8レジスタのPD8_5ビット=0</li> <li>•受信だけを行うときはTXD2SEL1～TXD2SEL0ビット=00bと設定することで、P7_1、P7_2、P8_5をポートとして使用可</li> </ul>
RXD2 (P7_1、P7_2 またはP8_6)	シリアルデータ入力	<ul style="list-style-type: none"> <li>•RXD2(P7_1)の場合 U2SR0レジスタのRXD2SEL1～RXD2SEL0ビット=01b(P7_1) PD7レジスタのPD7_1ビット=0</li> <li>•RXD2(P7_2)の場合 U2SR0レジスタのRXD2SEL1～RXD2SEL0ビット=10b(P7_2) PD7レジスタのPD7_2ビット=0</li> <li>•RXD2(P8_6)の場合 U2SR0レジスタのRXD2SEL1～RXD2SEL0ビット=11b(P8_6) PD8レジスタのPD8_6ビット=0</li> <li>•送信だけを行うときはRXD2SEL1～RXD2SEL0ビット=00bと設定することで、P7_1、P7_2、P8_6をポートとして使用可</li> </ul>
CLK2 (P7_0または P8_4)	転送クロック出力	<ul style="list-style-type: none"> <li>•CLK2(P7_0)の場合 U2SR1レジスタのCLK2SEL1～CLK2SEL0ビット=01b(P7_0) U2MRレジスタのCKDIRビット=0(内部クロック) Nチャンネルオープンドレイン出力選択時は、PD7レジスタのPD7_0ビット=0</li> <li>•CLK2(P8_4)の場合 U2SR1レジスタのCLK2SEL1～CLK2SEL0ビット=10b(P8_4) U2MRレジスタのCKDIRビット=0(内部クロック) Nチャンネルオープンドレイン出力選択時は、PD8レジスタのPD8_4ビット=0</li> </ul>
	転送クロック入力	<ul style="list-style-type: none"> <li>•CLK2(P7_0)の場合 U2SR1レジスタのCLK2SEL1～CLK2SEL0ビット=01b(P7_0) U2MRレジスタのCKDIRビット=1(外部クロック) PD7レジスタのPD7_0ビット=0</li> <li>•CLK2(P8_4)の場合 U2SR1レジスタのCLK2SEL1～CLK2SEL0ビット=10b(P8_4) U2MRレジスタのCKDIRビット=1(外部クロック) PD8レジスタのPD8_4ビット=0</li> </ul>
CTS2/RTS2 (P7_3または P8_7)	CTS入力	<ul style="list-style-type: none"> <li>•CTS2(P7_3)の場合 U2SR1レジスタのCTS2SEL1～CTS2SEL0ビット=01b(P7_3) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=0(CTS機能を選択) PD7レジスタのPD7_3ビット=0</li> <li>•CTS2(P8_7)の場合 U2SR1レジスタのCTS2SEL1～CTS2SEL0ビット=10b(P8_7) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=0(CTS機能を選択) PD8レジスタのPD8_7ビット=0</li> </ul>
	RTS出力	<ul style="list-style-type: none"> <li>•RTS2(P7_3)の場合 U2SR1レジスタのCTS2SEL1～CTS2SEL0ビット=01b(P7_3) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=1(RTS機能を選択)</li> <li>•RTS2(P8_7)の場合 U2SR1レジスタのCTS2SEL1～CTS2SEL0ビット=10b(P8_7) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=1(RTS機能を選択)</li> </ul>
	入出力ポート	U2SR1レジスタのCTS2SEL1～CTS2SEL0ビット=00b

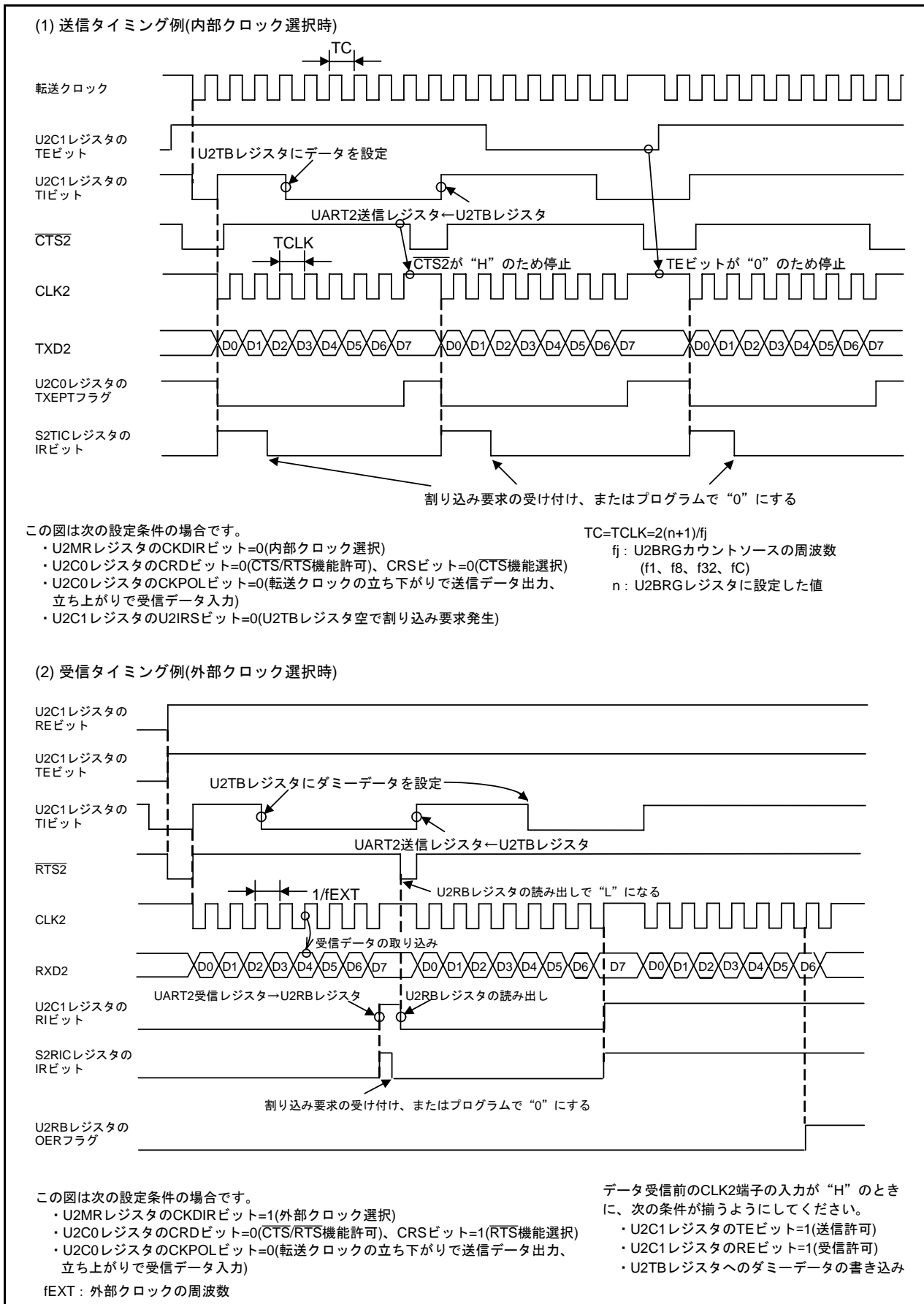


図 22.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 22.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 22.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図22.4に転送クロックの極性を示します。

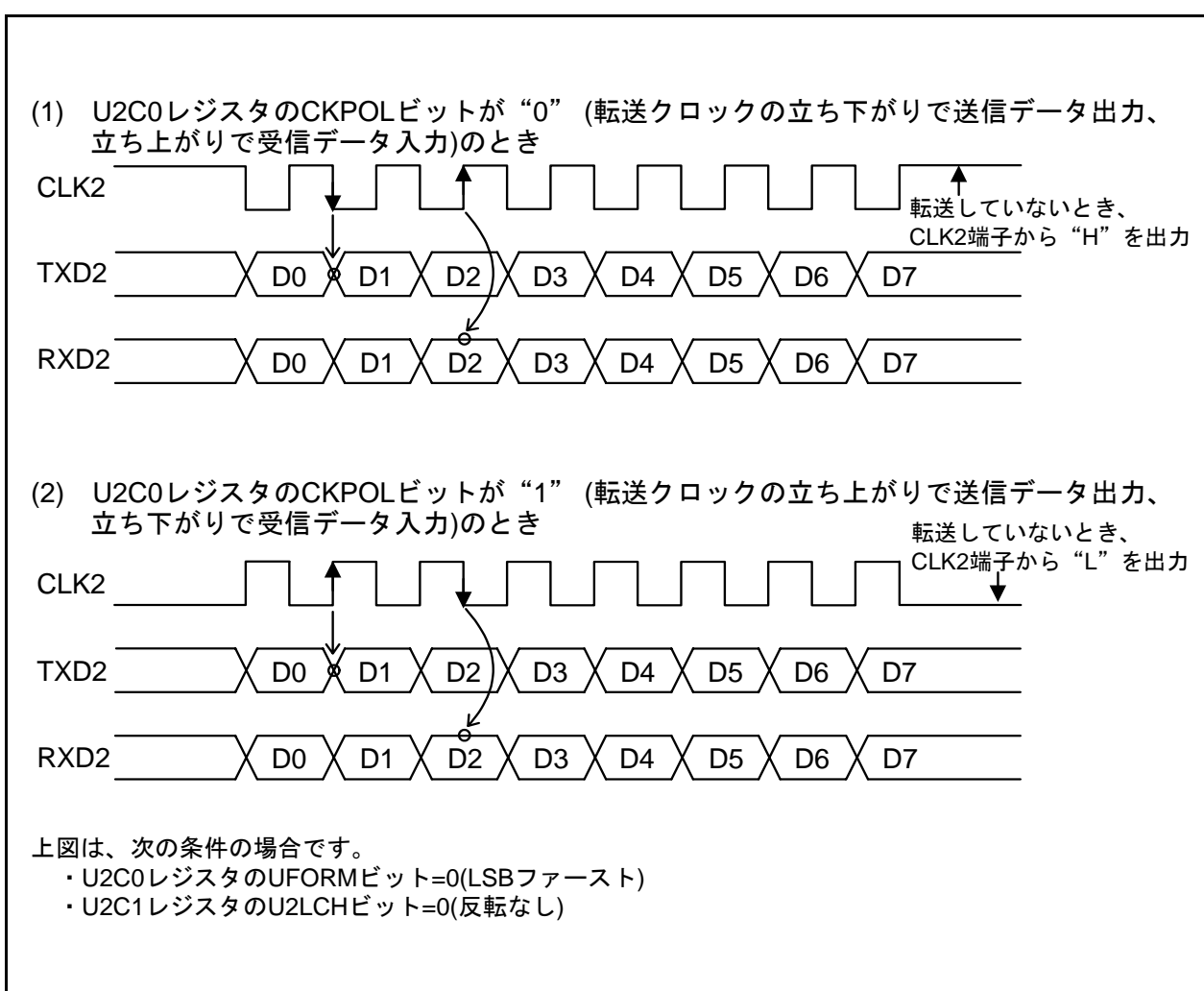


図 22.4 転送クロックの極性

### 22.3.3 LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図22.5に転送フォーマットを示します。

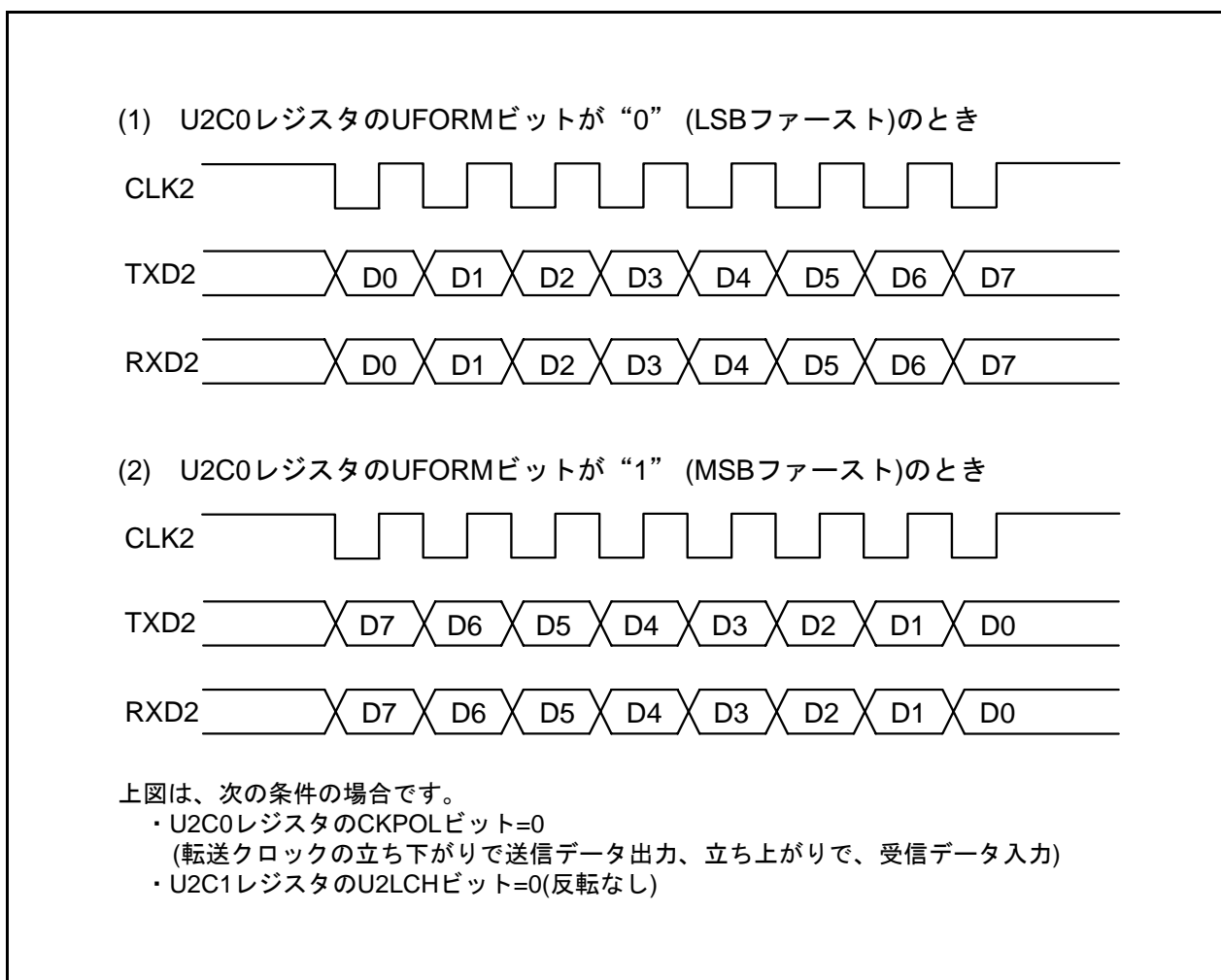


図 22.5 転送フォーマット

### 22.3.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを“1” (連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)になります。U2RRMビットが“1”の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

### 22.3.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図22.6にシリアルデータ論理を示します。

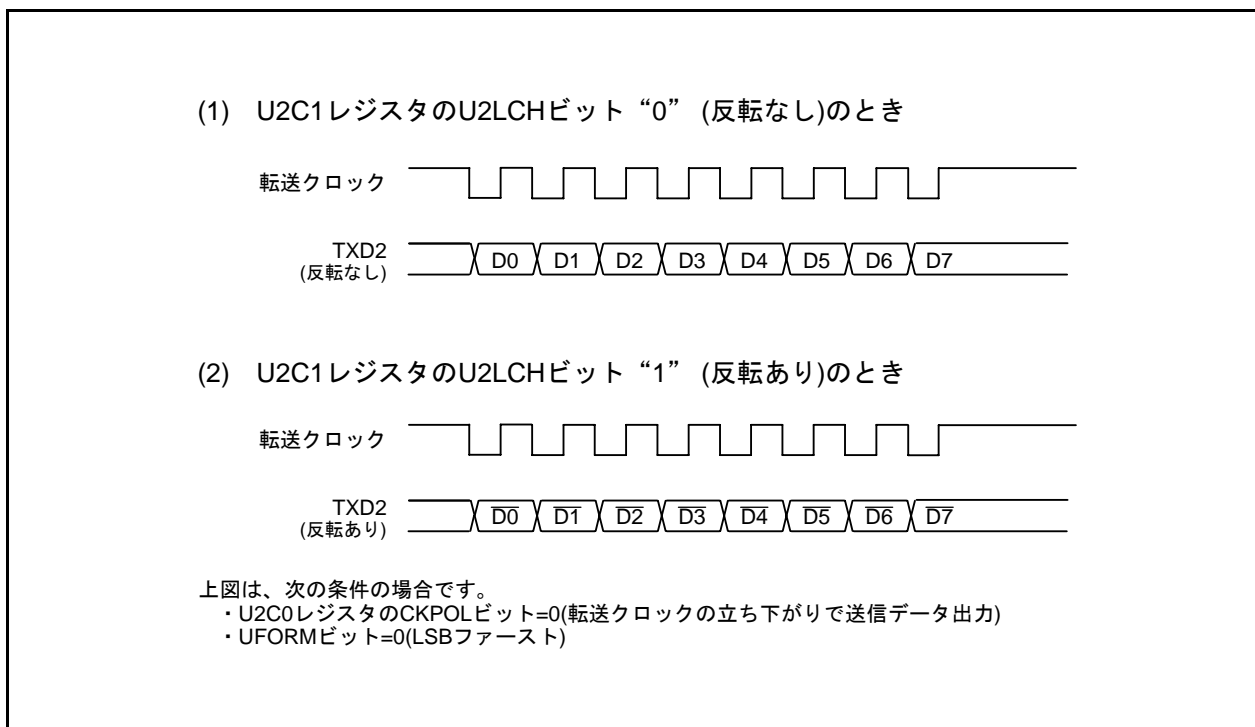


図 22.6 シリアルデータ論理

### 22.3.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- ・U2C0レジスタのCRDビット=1(CTS/RTS機能禁止)  $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- ・CRDビット=0、CRSビット=0(CTS機能選択)  $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はCTS機能
- ・CRDビット=0、CRSビット=1(RTS機能選択)  $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はRTS機能

## 22.4 クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表 22.5 にUARTモードの仕様を、表 22.6にUARTモード時の使用レジスタと設定値を示します。

表 22.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>•キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可</li> <li>•スタートビット 1ビット</li> <li>•パリティビット 奇数、偶数、なしを選択可</li> <li>•ストップビット 1ビット、2ビットを選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>•U2MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math>  <math>f_j = f_1, f_8, f_{32}, f_C</math> <math>n = U2BRG</math>レジスタの設定値 00h~FFh</li> <li>•CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLK2端子からの入力 <math>n = U2BRG</math>レジスタの設定値 00h~FFh</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>•U2C1レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> <li>•CTS機能を選択している場合、CTS2端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>•U2C1レジスタのREビットが“1”(受信許可)</li> <li>•スタートビットの検出</li> </ul>
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>•U2C1レジスタのU2IRSビットが“0”(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時)</li> <li>•U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時</li> </ul> 受信する場合 <ul style="list-style-type: none"> <li>•UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>•オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>•フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生</li> <li>•パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生</li> <li>•エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可</li> <li>•シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。</li> <li>•TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。</li> <li>•RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択可</li> </ul>

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに“1”になります。

表 22.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください(注1)
U2RB	b0～b8	受信データが読めず(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U2C1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	“0”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	b0～b7	“0”にしてください
U2SMR2	b0～b7	“0”にしてください
U2SMR3	b0～b7	“0”にしてください
U2SMR4	b0～b7	“0”にしてください
URXDF	DF2EN	デジタルフィルタの無効、有効を選択してください
U2SMR5	MP	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表 22.7にUARTモード時の入出力端子の機能を示します。なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図 22.7にUARTモード時の送信タイミング例を、図 22.8にUARTモード時の受信タイミング例を示します。

表 22.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD2 (P7_1、P7_2 またはP8_5)	シリアルデータ出力	<ul style="list-style-type: none"> <li>•TXD2(P7_1)の場合 U2SR0レジスタのTXD2SEL1~TXD2SEL0ビット=01b(P7_1) Nチャンネルオープンドレイン出力選択時は、PD7レジスタのPD7_1ビット=0</li> <li>•TXD2(P7_2)の場合 U2SR0レジスタのTXD2SEL1~TXD2SEL0ビット=10b(P7_2) Nチャンネルオープンドレイン出力選択時は、PD7レジスタのPD7_2ビット=0</li> <li>•TXD2(P8_5)の場合 U2SR0レジスタのTXD2SEL1~TXD2SEL0ビット=11b(P8_5) Nチャンネルオープンドレイン出力選択時は、PD8レジスタのPD8_5ビット=0</li> <li>•受信だけを行うときはTXD2SEL1~TXD2SEL0ビット=00bと設定することで、P7_1、P7_2、P8_5をポートとして使用可</li> </ul>
RXD2 (P7_1、P7_2 またはP8_6)	シリアルデータ入力	<ul style="list-style-type: none"> <li>•RXD2(P7_1)の場合 U2SR0レジスタのRXD2SEL1~RXD2SEL0ビット=01b(P7_1) PD7レジスタのPD7_1ビット=0</li> <li>•RXD2(P7_2)の場合 U2SR0レジスタのRXD2SEL1~RXD2SEL0ビット=10b(P7_2) PD7レジスタのPD7_2ビット=0</li> <li>•RXD2(P8_6)の場合 U2SR0レジスタのRXD2SEL1~RXD2SEL0ビット=11b(P8_6) PD8レジスタのPD8_6ビット=0</li> <li>•送信だけを行うときはRXD2SEL1~RXD2SEL0ビット=00bと設定することで、P7_1、P7_2、P8_6をポートとして使用可</li> </ul>
CLK2 (P7_0または P8_4)	入出力ポート	U2SR1レジスタのCLK2SEL1~CLK2SEL0ビット=00b
	転送クロック入力	<ul style="list-style-type: none"> <li>•CLK2(P7_0)の場合 U2SR1レジスタのCLK2SEL1~CLK2SEL0ビット=01b(P7_0) U2MRレジスタのCKDIRビット=1(外部クロック) PD7レジスタのPD7_0ビット=0</li> <li>•CLK2(P8_4)の場合 U2SR1レジスタのCLK2SEL1~CLK2SEL0ビット=10b(P8_4) U2MRレジスタのCKDIRビット=1(外部クロック) PD8レジスタのPD8_4ビット=0</li> </ul>
CTS2/RTS2 (P7_3または P8_7)	CTS入力	<ul style="list-style-type: none"> <li>•CTS2(P7_3)の場合 U2SR1レジスタのCTS2SEL1~CTS2SEL0ビット=01b(P7_3) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=0(CTS機能を選択) PD7レジスタのPD7_3ビット=0</li> <li>•CTS2(P8_7)の場合 U2SR1レジスタのCTS2SEL1~CTS2SEL0ビット=10b(P8_7) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=0(CTS機能を選択) PD8レジスタのPD8_7ビット=0</li> </ul>
	RTS出力	<ul style="list-style-type: none"> <li>•RTS2(P7_3)の場合 U2SR1レジスタのCTS2SEL1~CTS2SEL0ビット=01b(P7_3) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=1(RTS機能を選択)</li> <li>•RTS2(P8_7)の場合 U2SR1レジスタのCTS2SEL1~CTS2SEL0ビット=10b(P8_7) U2C0レジスタのCRDビット=0(CTS/RTS機能許可) U2C0レジスタのCRSビット=1(RTS機能を選択)</li> </ul>
	入出力ポート	U2SR1レジスタのCTS2SEL1~CTS2SEL0ビット=00b



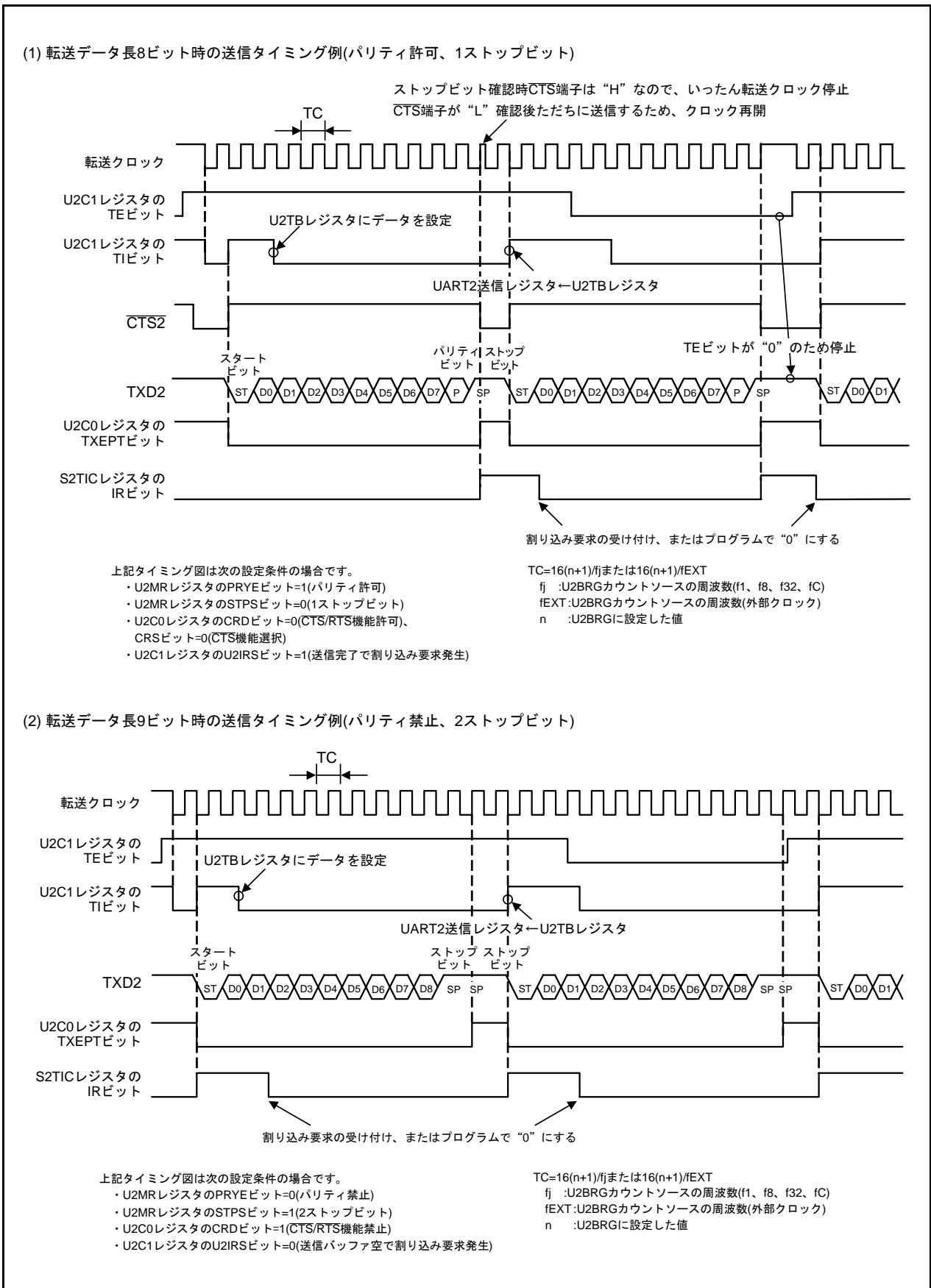


図 22.7 UARTモード時の送信タイミング例

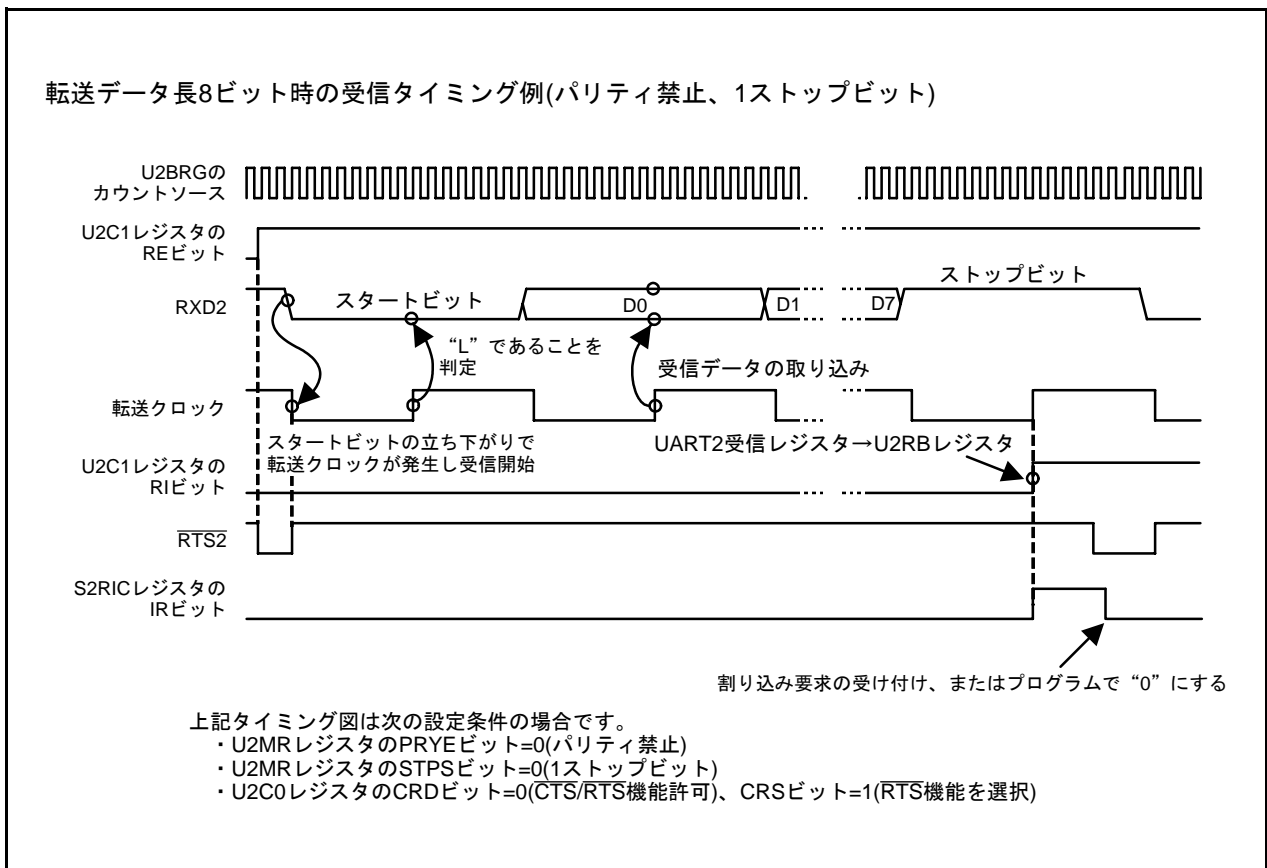


図 22.8 UARTモード時の受信タイミング例

### 22.4.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表 22.8 にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表 22.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U2BRGのカウンソース	システムクロック=20 MHz			システムクロック=18.432 MHz (注1)			システムクロック=8 MHz		
		U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	-	-	-

注1. 高速オンチップオシレータに対して、FR18S0レジスタの調整値をFRC0レジスタに、FR18S1レジスタの調整値をFRC1レジスタに書き込んでください。  
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22~FRA20ビットを“001b”(2分周モード)にした場合です。

### 22.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 22.4.3 LSBファースト、MSBファースト選択

図 22.9 に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図 22.9 に転送フォーマットを示します。

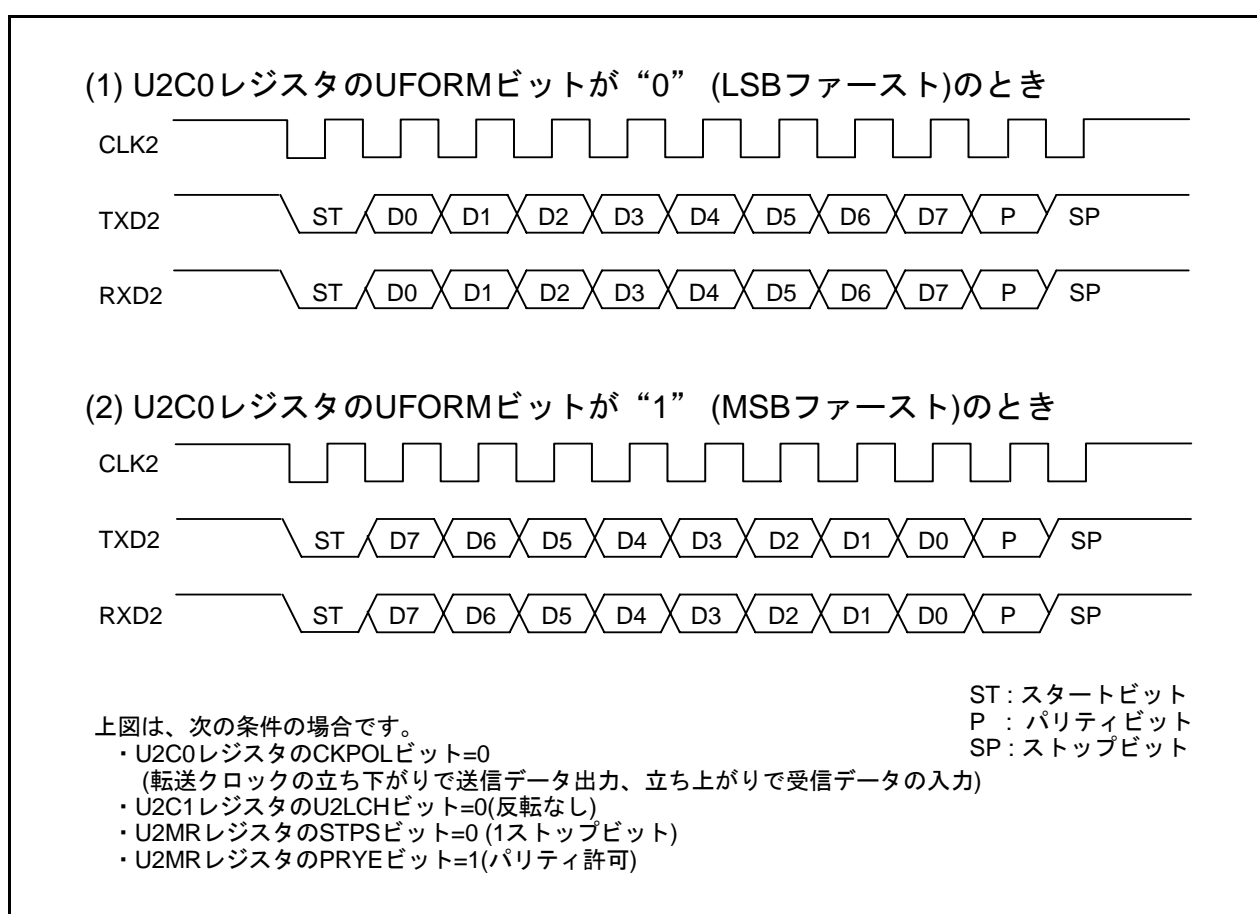


図 22.9 転送フォーマット

## 22.4.4 シリアルデータ論理切り替え

U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図22.10にシリアルデータ論理を示します。

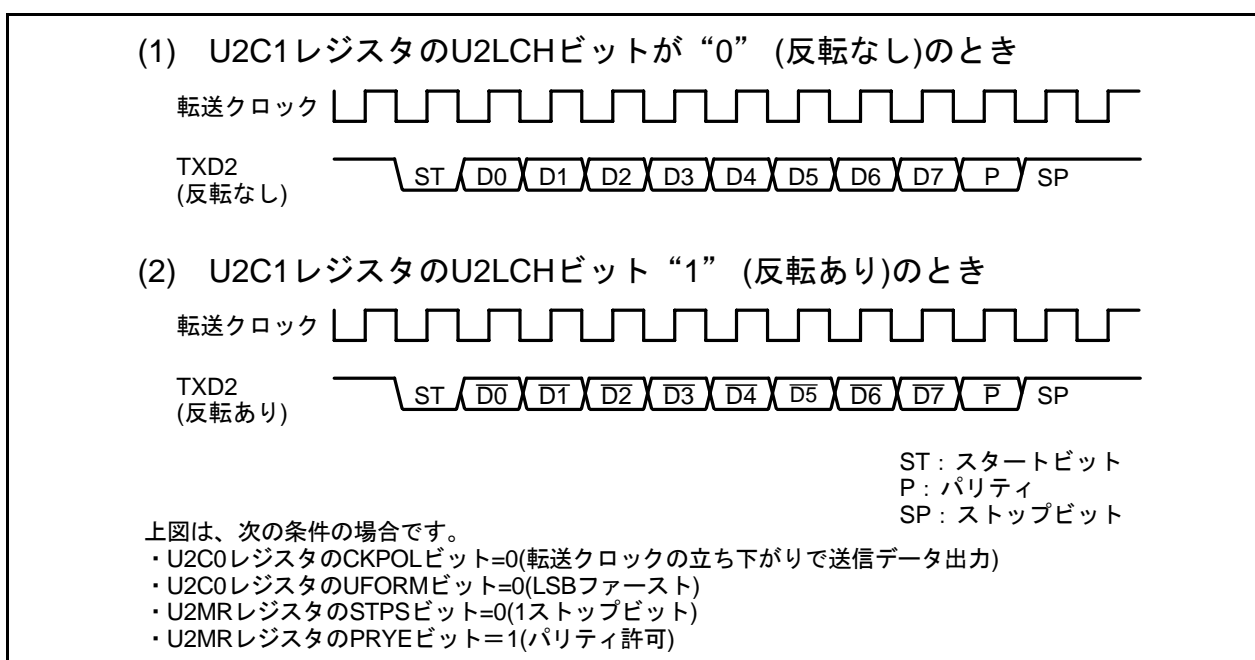


図 22.10 シリアルデータ論理

## 22.4.5 TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図22.11にTXD、RXD入出力極性切り替えを示します。

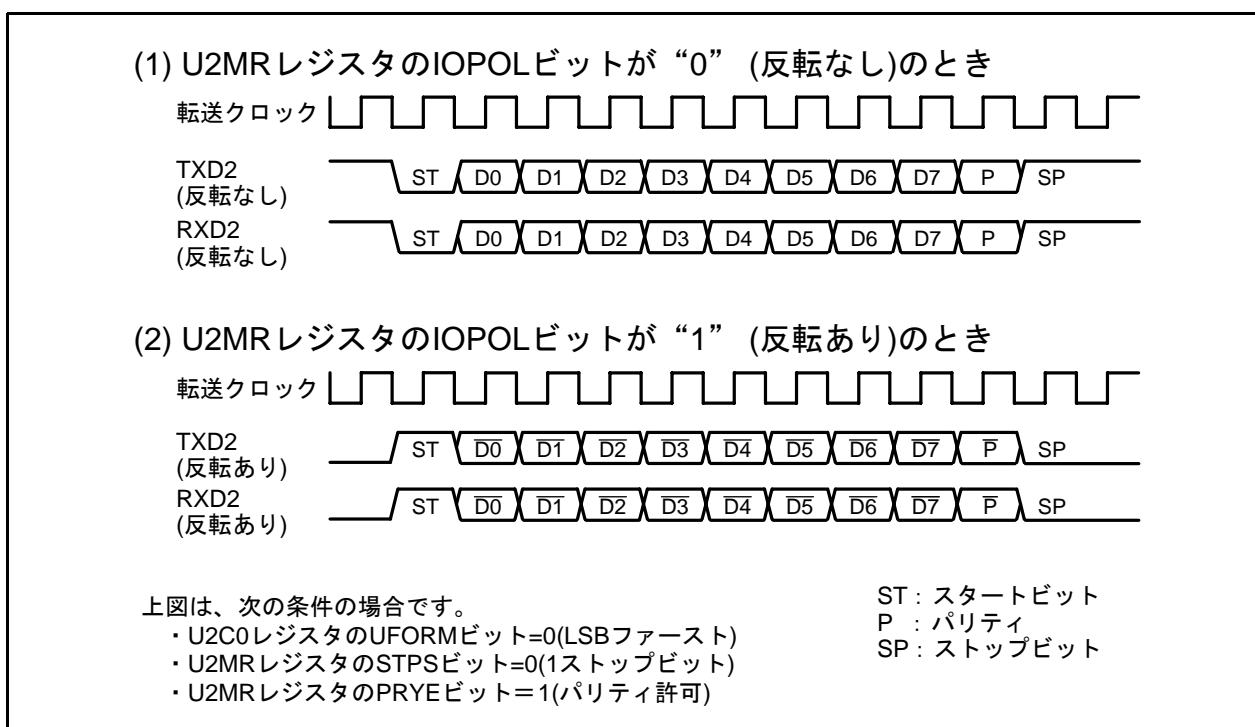


図 22.11 TXD、RXD入出力極性切り替え

### 22.4.6 CTS/RTS機能

CTS機能は、CTS2/RTS2端子に“L”を入力すると、送信を開始させる機能です。CTS2/RTS2端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、CTS2/RTS2端子の出力レベルが“L”になります。

- U2C0レジスタのCRDビット=1(CTS/RTS機能禁止)      CTS2/RTS2端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0(CTS機能選択)      CTS2/RTS2端子はCTS機能
- CRDビット=0、CRSビット=1(RTS機能選択)      CTS2/RTS2端子はRTS機能

### 22.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図 22.12にRXD2デジタルフィルタ回路のブロック図を示します。

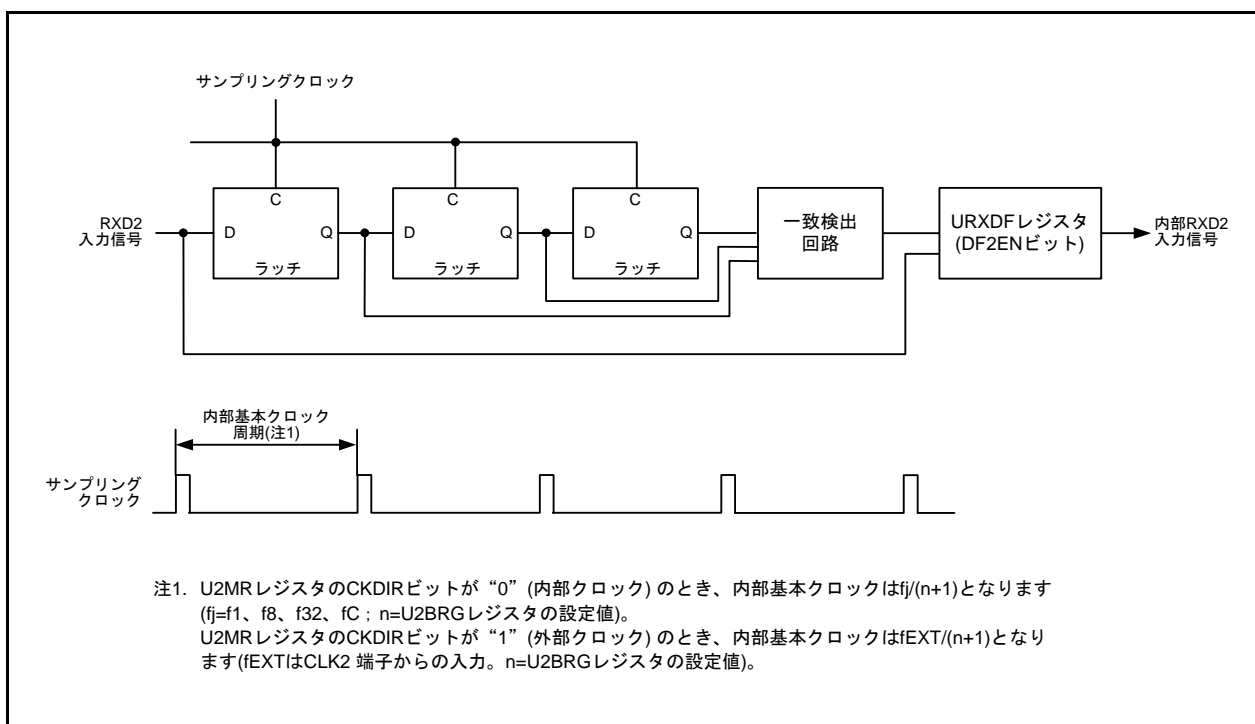


図 22.12 RXD2デジタルフィルタ回路のブロック図

## 22.5 特殊モード1(I<sup>2</sup>Cモード)

I<sup>2</sup>Cモードは、簡易形I<sup>2</sup>Cインタフェースに対応したモードです。表 22.9にI<sup>2</sup>Cモードの仕様を、表 22.10～表 22.11にI<sup>2</sup>Cモード時の使用レジスタと設定値を、表 22.12にI<sup>2</sup>Cモード時の各機能、図 22.13にI<sup>2</sup>Cモードのブロック図を、図 22.14にU2RBレジスタへの転送、割り込みのタイミングを示します。

表 22.12に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI<sup>2</sup>Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表 22.9 I<sup>2</sup>Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>•マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(2(n+1))</math> <math>f_j = f_1, f_8, f_{32}, f_C</math> <math>n = U2BRG</math>レジスタの設定値 00h～FFh</li> <li>•スレーブ時 CKDIRビットが“1”(外部クロック) : SCL2端子からの入力</li> </ul>
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1レジスタのREビットが“1”(受信許可)</li> <li>•U2C1レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>•SDA2デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を選択可</li> <li>•クロック位相設定 クロック遅れあり、なしを選択可</li> </ul>

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

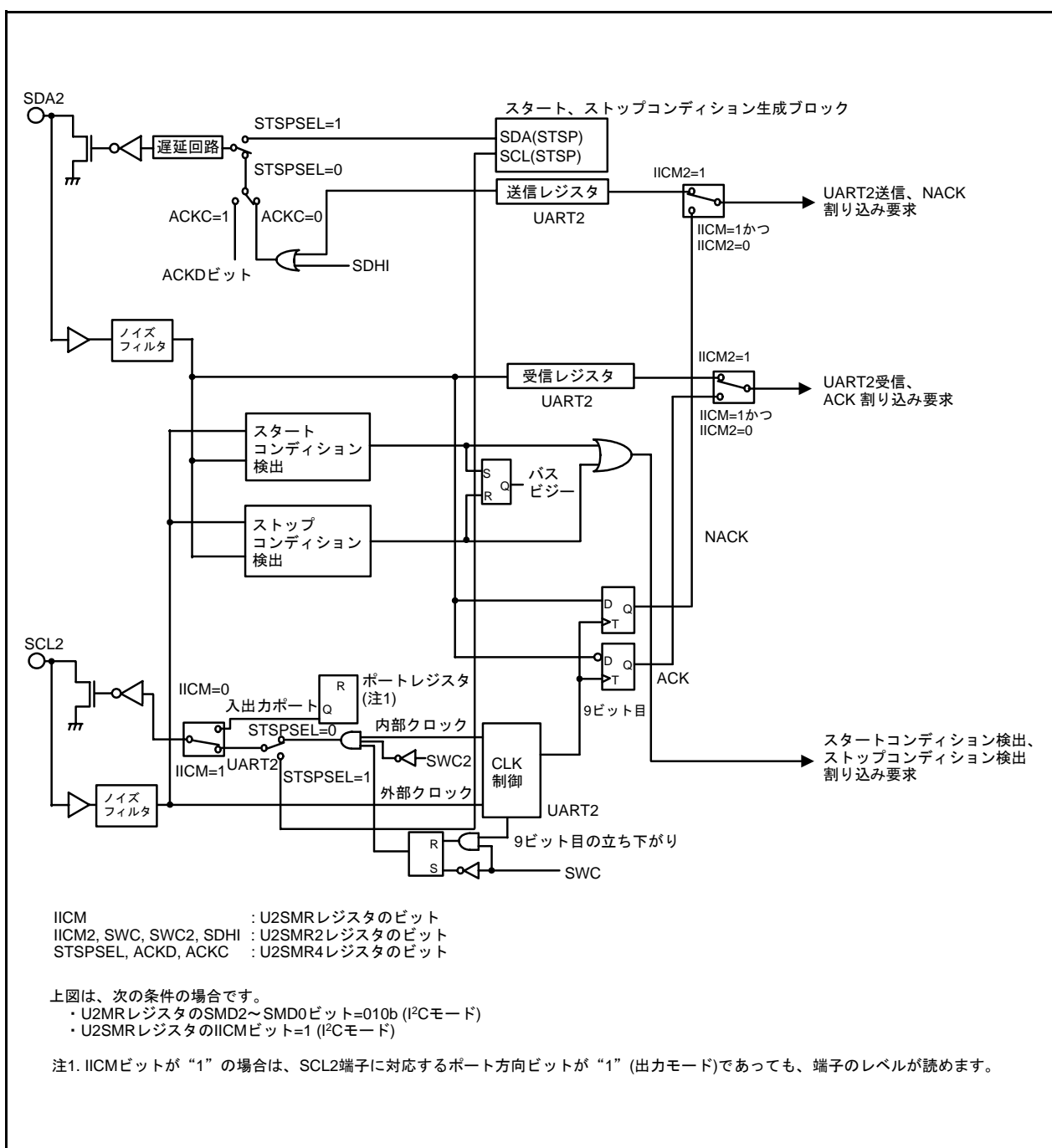


図 22.13 I<sup>2</sup>Cモードのブロック図

表 22.10 I<sup>2</sup>Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB(注1)	b0~b7	送信データを設定してください	送信データを設定してください
U2RB(注1)	b0~b7	受信データが読めます	受信データが読めます
	b8	ACK、NACKが入ります	ACK、NACKが入ります
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	b0~b7	転送速度を設定してください	無効
U2MR(注1)	SMD2~SMD0	“010b” にしてください	“010b” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
U2C0	CLK1~CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD = 1なので無効	CRD = 1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1” にしてください	“1” にしてください
	NCH	“1” にしてください	“1” にしてください
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
U2C1	TE	送信を許可する場合、“1” にしてください	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	“1” にしてください	“1” にしてください
	U2RRM、 U2LCH、U2ERE	“0” にしてください	“0” にしてください
U2SMR	IICM	“1” にしてください	“1” にしてください
	BBS	バスビジーフラグ	バスビジーフラグ
	b3~b7	“0” にしてください	“0” にしてください
U2SMR2	IICM2	「表 22.12 I <sup>2</sup> Cモード時の各機能」参照	「表 22.12 I <sup>2</sup> Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください	クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUART2 を初期化する場合、“1” にしてください
	SWC2	SCL2の出力を強制的に“L”にする場 合、“1” にしてください	SCL2の出力を強制的に“L”にする場 合、“1” にしてください
	SDHI	SDA2出力を禁止にする場合、“1” にし てください	SDA2出力を禁止にする場合、“1” にし てください
	b7	“0” にしてください	“0” にしてください
U2SMR3	b0、b2、b4 NODC	“0” にしてください	“0” にしてください
	CKPH	「表 22.12 I <sup>2</sup> Cモード時の各機能」参照	「表 22.12 I <sup>2</sup> Cモード時の各機能」参照
	DL2~DL0	SDA2のデジタル遅延値を設定してくだ さい	SDA2のデジタル遅延値を設定してくだ さい

注1. この表に記載していないビットは、I<sup>2</sup>Cモード時に書く場合、“0”を書いてください。



表 22.11 I<sup>2</sup>Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、“1”にしてください	“0”にしてください
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がり でSCL2を“L”ホールドにする場合、 “1”にしてください
URXDF	DF2EN	“0”にしてください	“0”にしてください
U2SMR5	MP	“0”にしてください	“0”にしてください

表 22.12 I<sup>2</sup>Cモード時の各機能

機能	クロック同期シリアル I/Oモード (SMD2~SMD0 = 001b、 IICM = 0)	I <sup>2</sup> Cモード(SMD2~SMD0 = 010b、IICM = 1)			
		IICM2 = 0(NACK/ACK割り込み)		IICM2 = 1(UART送信/UART受信割り込み)	
		CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)	CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)
UART2バス衝突検出 割り込みの要因 (注1、5)	—	スタートコンディション検出、ストップコンディション検出 (「表 22.13 STSPSEL ビットの機能」参照)			
UART2送信/NACK2 割り込みの要因 (注1、6)	UART2送信 送信開始、または送信 完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり	UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり	
UART2受信/ACK2割 り込みの要因 (注1、6)	UART2受信 8ビット目の受信時 CKPOL = 0(立ち上がり) CKPOL = 1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCL2の立ち上がり	UART2受信 9ビット目のSCL2の立ち下がり		
UART受信シフト レジスタからU2RB レジスタへのデータ 転送タイミング	CKPOL = 0(立ち上がり) CKPOL = 1(立ち下がり)	9ビット目のSCL2の立ち上がり	9ビット目のSCL2 の立ち下がり	9ビット目のSCL2の 立ち下がり、立ち 上がり	
UART2送信出力遅延	遅延なし	遅延あり			
TXD2/SDA2端子の機能	TXD2出力	SDA2入出力			
RXD2/SCL2端子の機能	RXD2入力	SCL2入出力			
CLK2端子の機能	CLK2入力または出力 ポート選択	— (I <sup>2</sup> Cモードには使用しない)			
ノズルフィルター幅	15ns	200ns			
RXD2、SCL2端子 レベルの読み込み	対応するポート方向ビット が“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXD2、SDA2出力の 初期値	CKPOL = 0(H) CKPOL = 1(L)	I <sup>2</sup> Cモード設定前に、ポートレジスタに設定した値(注2)			
SCL2の初期値、終了値	—	H	L	H	L
受信データ格納	1~8ビット目をU2RB レジスタのビットb0~ b7に格納	1~8ビット目をU2RBレジスタの ビットb7~b0に格納	1~7ビット目をU2RBレジスタのビット b6~b0に、8ビット目をU2RBレジスタ のビットb8に格納	1~8ビット目をU2RB レジスタのビットb7~ b0に格納(注3)	
受信データ読み出し	U2RBレジスタの状態をそのまま読み出す			U2RBレジスタのビット b6~b0はビットb7 ~b1として、ビットb8 はビットb0として読み 出す(注4)	

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「12.8 割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

注2. SDA2出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注3. U2RBレジスタへのデータ転送2回目(9ビット目SCL2立ち上がり時)

注4. U2RBレジスタへのデータ転送1回目(9ビット目SCL2立ち下がり時)

注5. 「図 22.16 STSPSEL ビットの機能」参照。

注6. 「図 22.14 U2RBレジスタへの転送、割り込みのタイミング」参照。

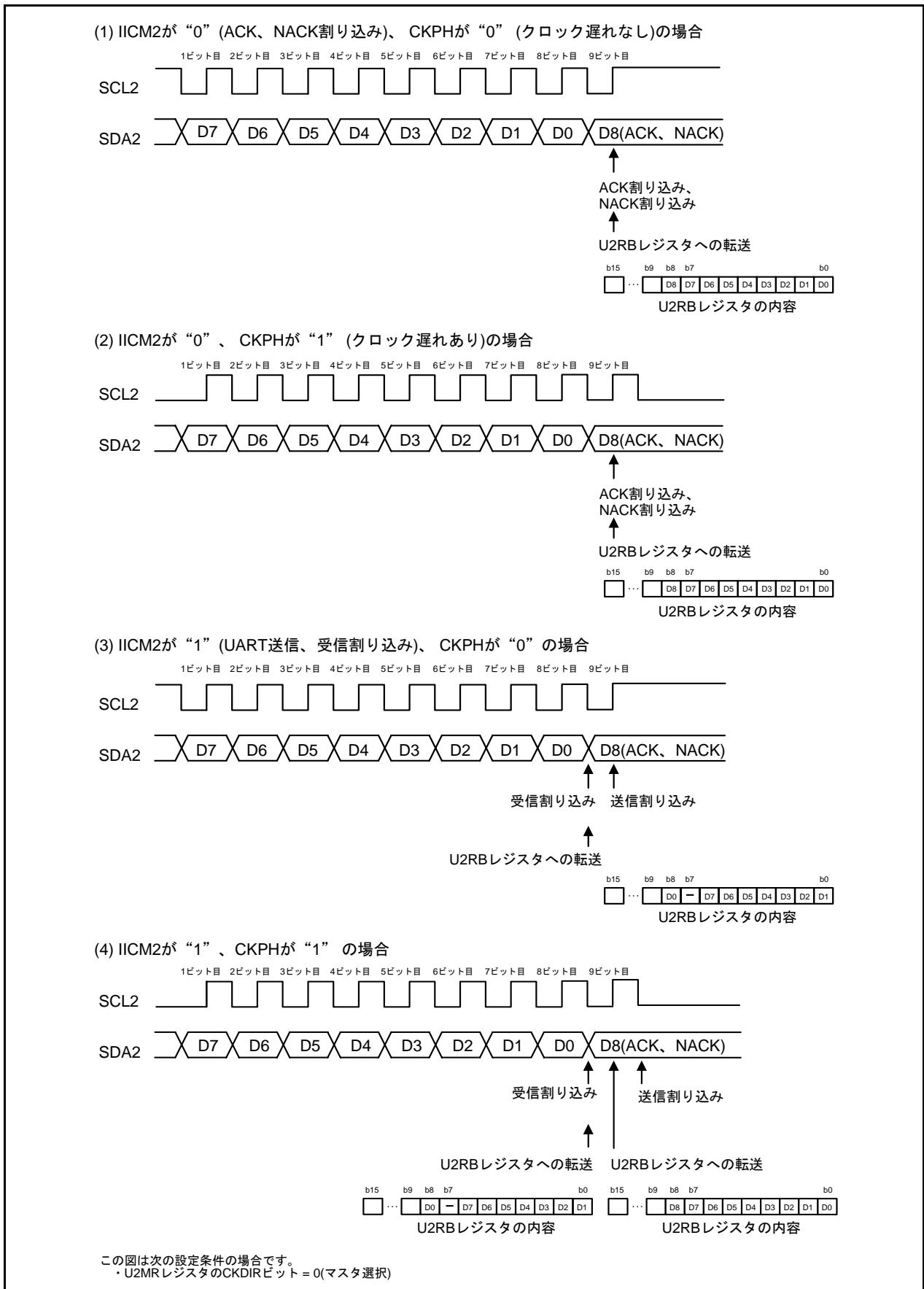


図 22.14 U2RBレジスタへの転送、割り込みのタイミング

### 22.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態、SDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態、SDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

図 22.15にスタートコンディション、ストップコンディションの検出を示します。

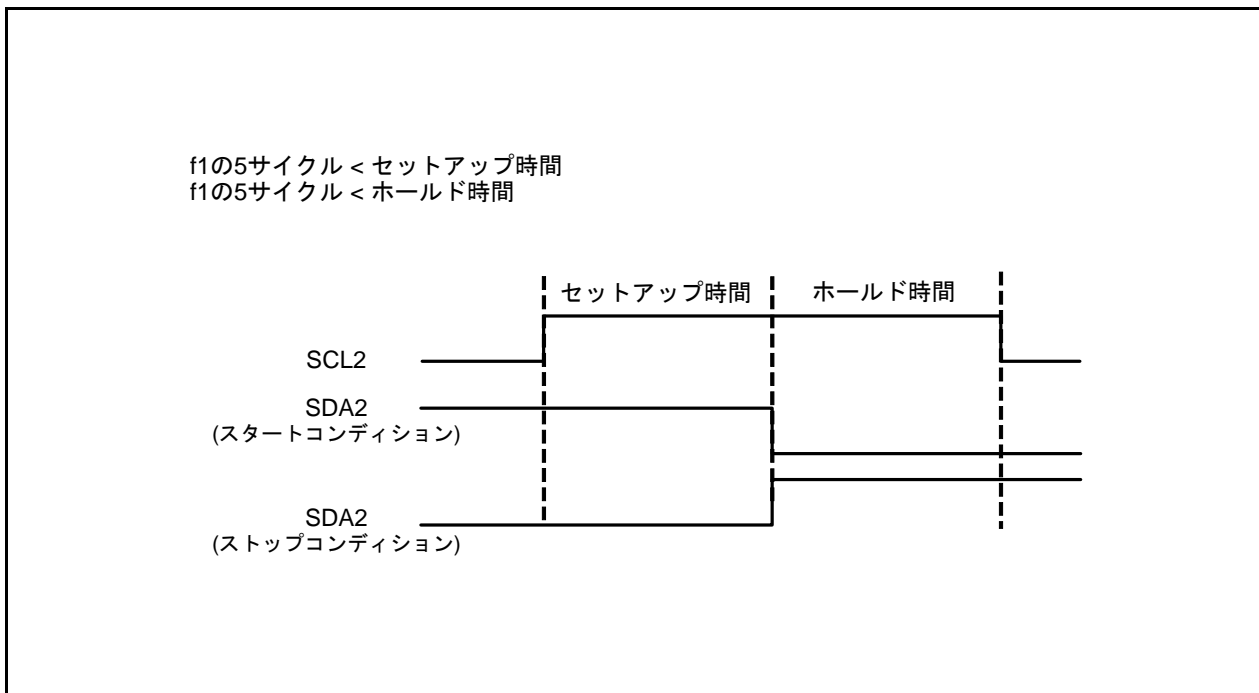


図 22.15 スタートコンディション、ストップコンディションの検出

## 22.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次のとおりです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) U2SMR4レジスタのSTSPSELビットを“1”(出力)にする

表 22.13にSTSPSELビットの機能を、図 22.16にSTSPSELビットの機能を示します。

表 22.13 STSPSELビットの機能

機能	STSPSEL = 0	STSPSEL = 1
SCL2、SDA2端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

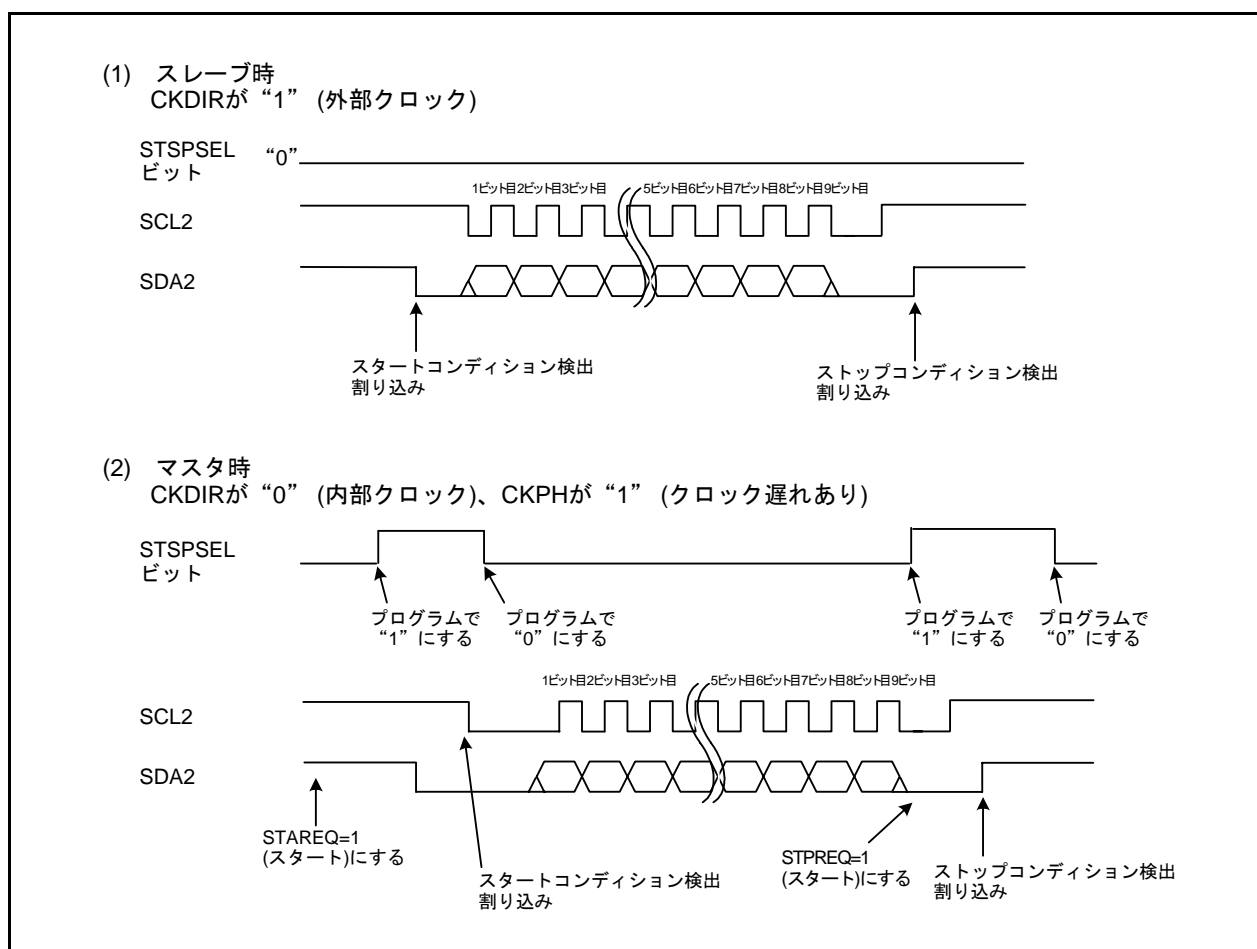


図 22.16 STSPSELビットの機能

### 22.5.3 転送クロック

「図 22.14 U2RB レジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2 レジスタの CSC ビットは内部で生成したクロック(内部 SCL2)と、SCL2 端子に入力される外部クロックの同期をとるためのビットです。CSC ビットを“1”(クロック同期化を許可)にすると、内部 SCL2 が“H”の場合、SCL2 端子に立ち下がりエッジがあれば内部 SCL2 を“L”とし、U2BRG レジスタの値をリロードして L 区間のカウントを開始します。また、SCL2 端子が“L”のとき、内部 SCL2 が“L”から“H”に変化するとカウントを停止し、SCL2 端子が“H”になるとカウントを再開します。したがって、UART2 の転送クロックは、内部 SCL2 と SCL2 端子の信号の論理積になります。なお、転送クロックは内部 SCL2 の 1 ビット目の立ち下がりの半周期前から 9 ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2 レジスタの SWC ビットでクロックの 9 ビット目の立ち下がりで、SCL2 端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4 レジスタの SCLHI ビットを“1”(許可)にすると、ストップコンディション検出時に SCL2 出力を停止します(ハイインピーダンス状態)。

U2SMR2 レジスタの SWC2 ビットを“1”(“L”出力)にすると、送受信中でも SCL2 端子から強制的に“L”を出力できます。SWC2 ビットを“0”(転送クロック)にすると、SCL2 端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3 レジスタの CKPH ビットが“1”のとき、U2SMR4 レジスタの SWC9 ビットを“1”(SCL “L” ホールド許可)にすると、クロックの 9 ビット目の次の立ち下がりで SCL2 端子は“L”出力固定になります。SWC9 ビットを“0”(SCL “L” ホールド禁止)にすると“L”出力固定は解除されます。

### 22.5.4 SDA 出力

U2TB レジスタのビット b7～b0(D7～D0)に書いた値を、D7 から順に出力します。9 ビット目(D8)は ACK または NACK です。

SDA2 送信出力の初期値は、ICM = 1(I<sup>2</sup>C モード)で、U2MR レジスタの SMD2～SMD0 ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

U2SMR3 レジスタの DL2～DL0 ビットにより SDA2 の出力を遅延なし、または U2BRG カウントソースの 2～8 サイクルの遅延を設定できます。

U2SMR2 レジスタの SDHI ビットを“1”(SDA 出力禁止)にすると、SDA2 端子が強制的にハイインピーダンス状態になります。なお、SDHI ビットは UART2 の転送クロックの立ち上がりのタイミングで書かないでください。

### 22.5.5 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

### 22.5.6 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

### 22.5.7 送受信初期化

STACビットを“1”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がり時にSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

## 22.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビット(MPRB)を付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図 22.17 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット“1”を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット“0”を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の実動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図 22.18 にマルチプロセッサ通信機能のブロック図を、表 22.14 にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

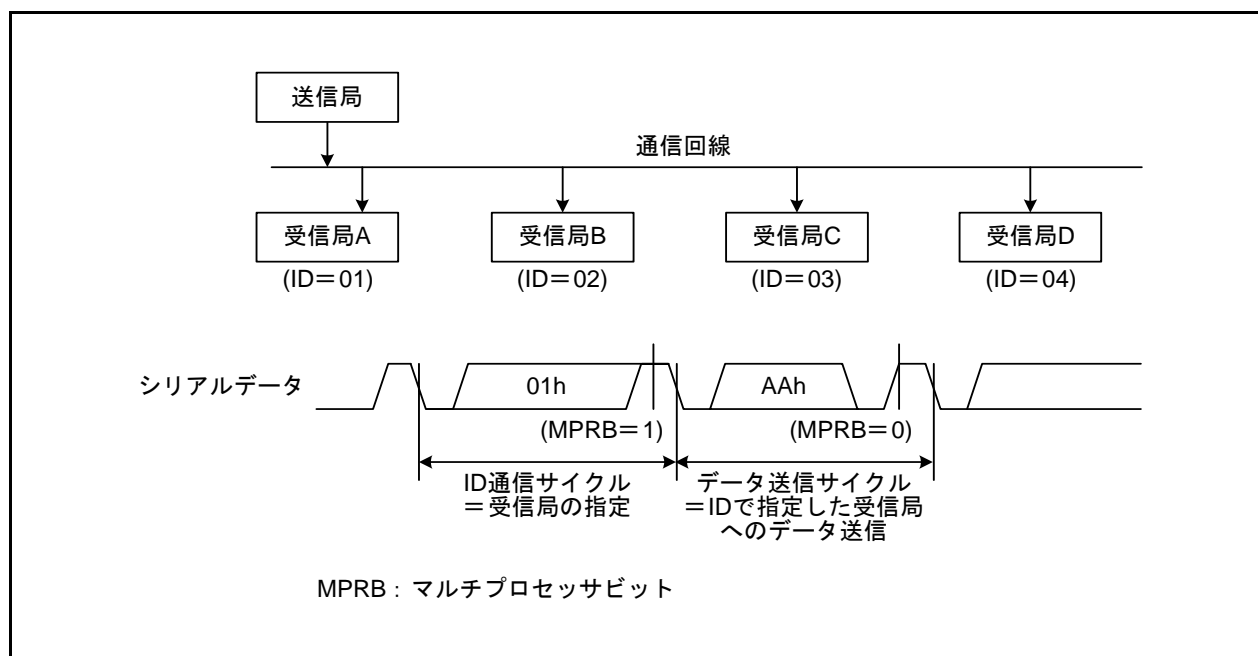


図 22.17 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)



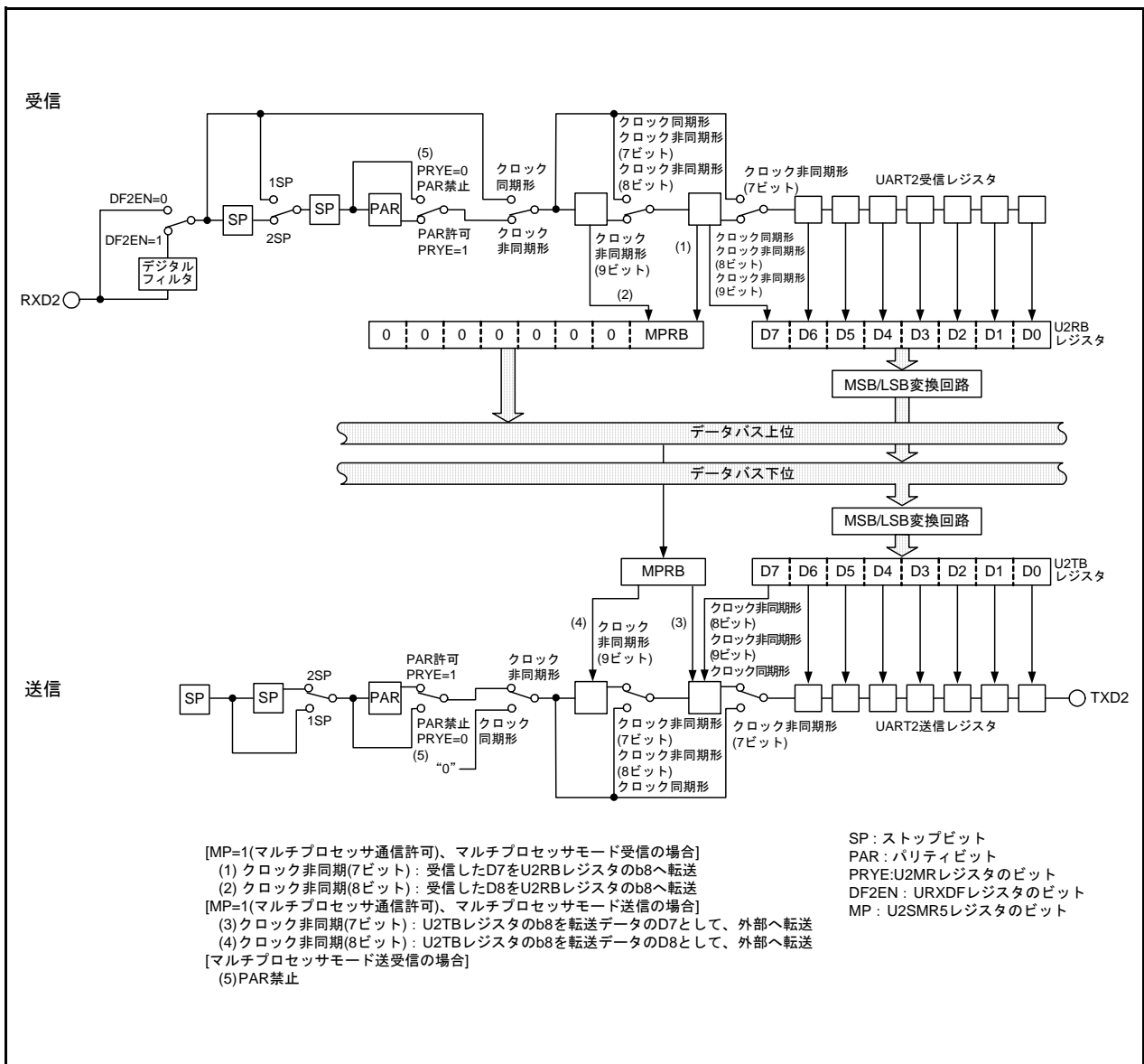


図 22.18 マルチプロセッサ通信機能のブロック図

表 22.14 マルチプロセッサ通信機能時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0～b7	送信データを設定してください
	MPTB	“0”または“1”を設定してください
U2RB(注2)	b0～b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、SUM	エラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください 転送データが8ビットの場合、“101b”を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	“0”にしてください
	U2C0	CLK0、CLK1
CRS		CRD = “1”なので機能無効
TXEPT		送信レジスタ空フラグ
CRD		“1”にしてください
NCH		TXD2端子出力形式を選択してください
CKPOL		“0”にしてください
UFORM		“0”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2の送信割り込み要因を選択してください
	U2LCH	“0”にしてください
	U2ERE	“0”にしてください
U2SMR	b0～b7	“0”にしてください
U2SMR2	b0～b7	“0”にしてください
U2SMR3	b0～b7	“0”にしてください
U2SMR4	b0～b7	“0”にしてください
U2SMR5	MP	“1”にしてください
	MPIE	“1”にしてください
URXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. IDデータフレームを送信したとき、MPTBビットを“1”にしてください。データフレームを送信したとき、MPTBビットを“0”にしてください。

注2. MPRBビットが“1”の場合、受信したD7～D0はIDフィールドです。MPRBビットが“0”の場合、受信したD7～D0はデータフィールドです。

## 22.6.1 マルチプロセッサ送信

図 22.19 にマルチプロセッサデータ送信のフローチャートの例を示します。ID 送信サイクルでは、U2TB レジスタのMPBT ビットを“1”にして送信してください。データ送信サイクルでは、U2TB レジスタのMPBT を“0”にして送信してください。その他の動作は調歩同期モード(UART モード)の動作と同じです。

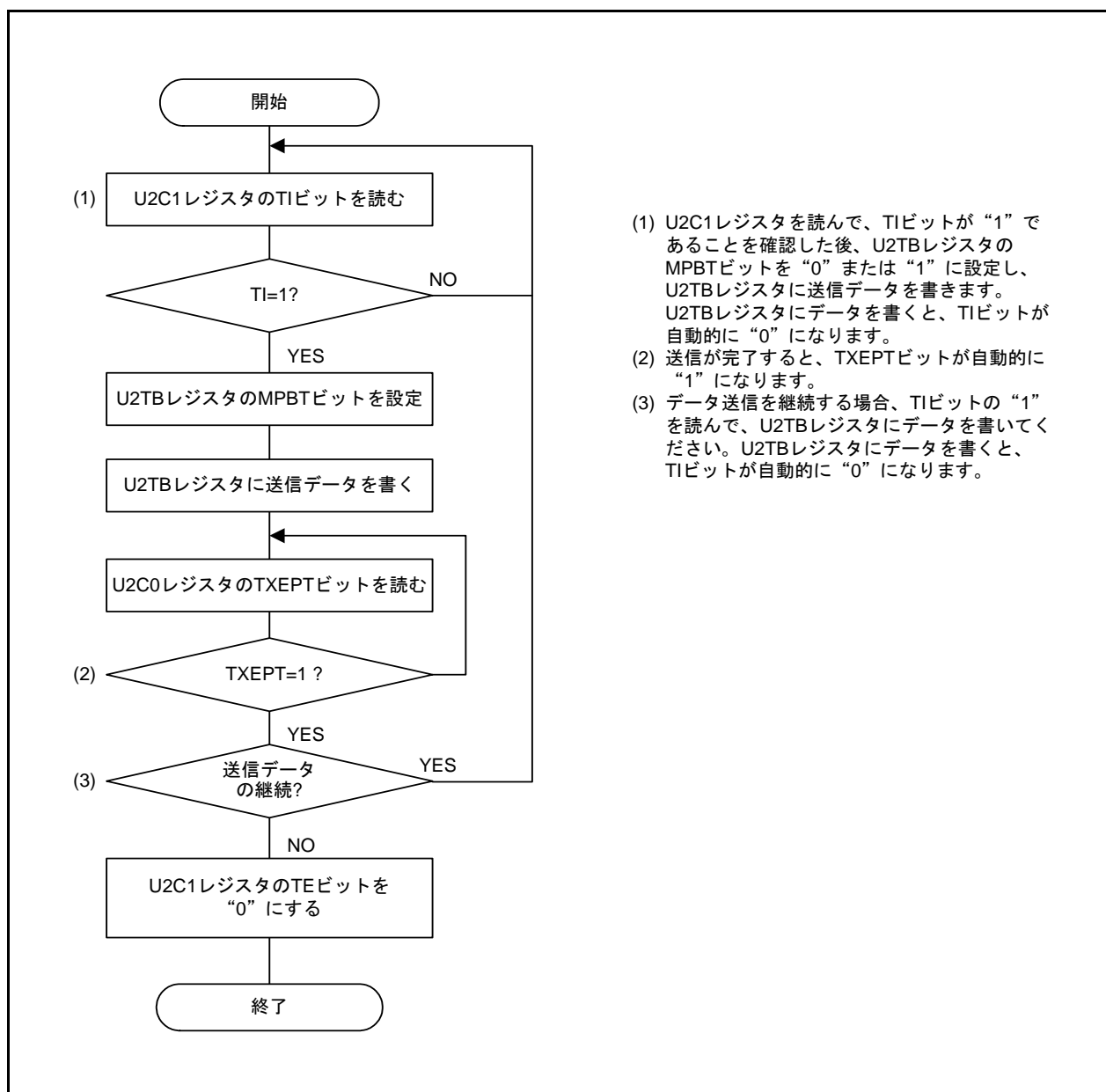


図 22.19 マルチプロセッサデータ送信のフローチャートの例

## 22.6.2 マルチプロセッサ受信

図 22.20 にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5 レジスタの MPIE ビットを“1”にすると、マルチプロセッサビット (MPRB) が“1”の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが“1”の通信データを、受信データとして U2RB レジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期式モード(UART モード)の動作と同じです。図 22.21 にマルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)を示します。

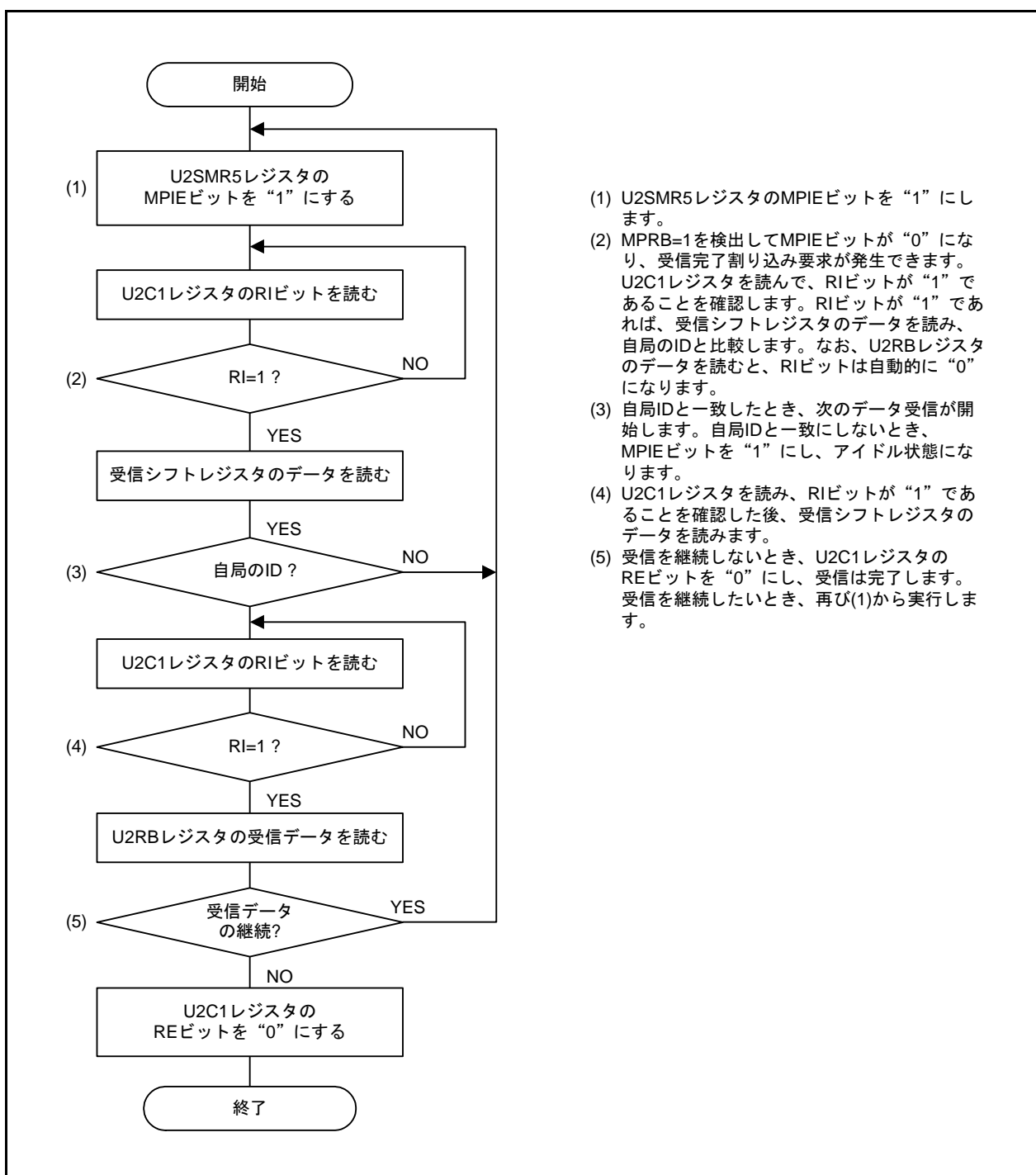


図 22.20 マルチプロセッサデータ受信のフローチャートの例

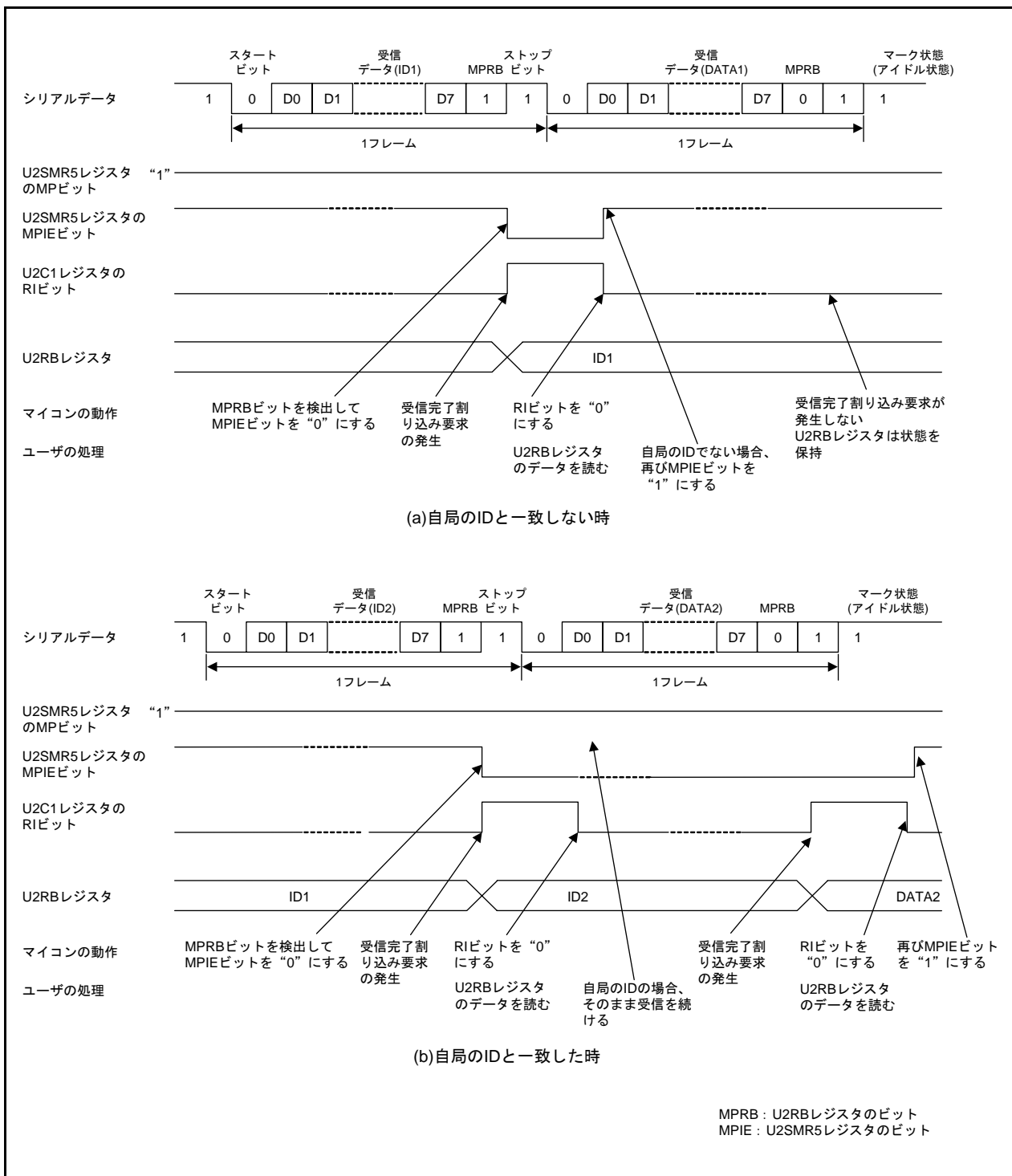


図 22.21 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

### 22.6.3 RXD2 デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図 22.22にRXD2デジタルフィルタ回路のブロック図を示します。

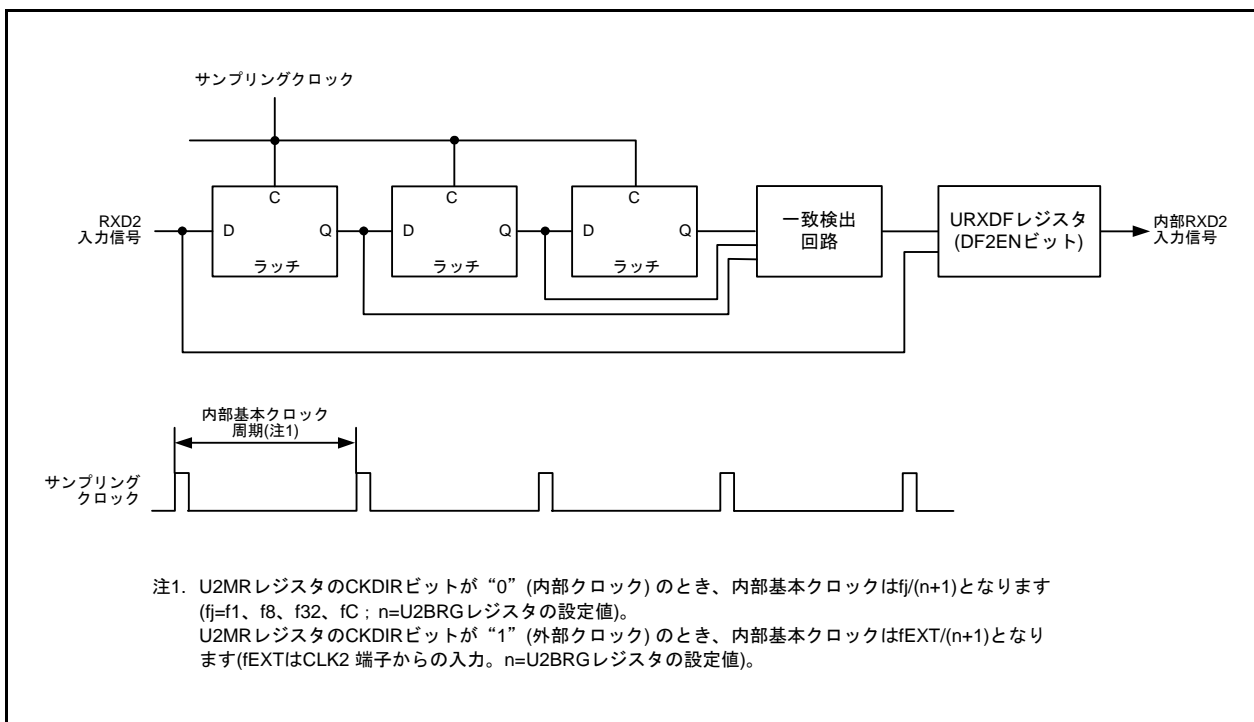


図 22.22 RXD2 デジタルフィルタ回路のブロック図

## 22.7 シリアルインタフェース(UART2)使用上の注意

### 22.7.1 クロック同期形シリアルI/Oモード

#### 22.7.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

#### 22.7.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

#### 22.7.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

### 22.7.2 特殊モード1(I<sup>2</sup>Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

### 22.7.3 U2BRG レジスタ

U2BRG レジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1 レジスタのTIビットが“0”(U2TB レジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

### 22.7.4 U2TB レジスタ

このレジスタはMOV 命令を使用して書いてください。

マルチプロセッサ通信機能を使用する場合、8ビット単位で書いてください。MPTB ビットを設定した後、b0～b7を設定してください。

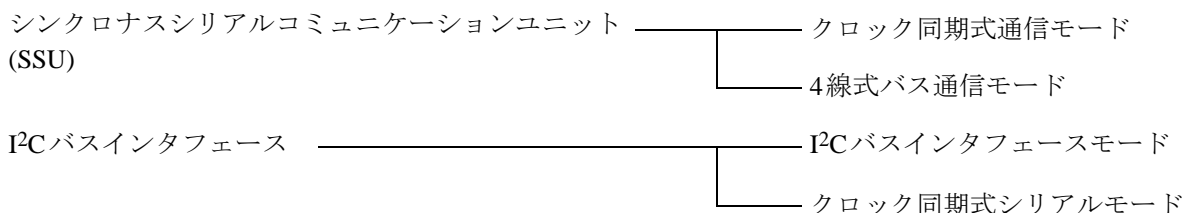
マルチプロセッサ通信機能を使用しない場合、転送データ長が9ビットの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。



## 23. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h～019Dh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

### 23.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 23.1 にモード選択に関わるビットを示します。各モードの詳細は「24. シンクロナスシリアルコミュニケーションユニット (SSU)」および「25. I<sup>2</sup>Cバスインタフェース」を参照してください。

表 23.1 モード選択

SSUICSR レジスタの IICSELビット	0198h番地のビット7 (ICCR1レジスタの ICEビット)	019Dh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット	クロック同期式通信 モード
0	0	1		4線式バス通信モード
1	1	0	I <sup>2</sup> Cバスインタフェース	I <sup>2</sup> Cバスインタフェース モード
1	1	1		クロック同期式シリアル モード

## 24. シンクロナスシリアルコミュニケーションユニット (SSU)

シンクロナスシリアルコミュニケーションユニット (SSU) は、クロック同期式のシリアルデータ通信が可能です。

### 24.1 概要

表 24.1 にシンクロナスシリアルコミュニケーションユニットの仕様を、図 24.1 にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表 24.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>転送データ長 8～16ビット</li> <li>送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>クロック同期式通信モード</li> <li>4線式バス通信モード(双方向通信モード含む)</li> </ul>
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力) : クロック入出力端子 SSI(入出力) : データ入出力端子 SSQ(入出力) : データ入出力端子 SCS(入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> <li>SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力)</li> <li>SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力)</li> <li>クロック極性と位相を選択できる</li> </ul>
受信エラーの検出	<ul style="list-style-type: none"> <li>オーバランエラーを検出</li> <li>受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になる</li> </ul>
マルチマスタエラーの検出	<ul style="list-style-type: none"> <li>コンフリクトエラーを検出</li> <li>SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態、次のシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になる。</li> <li>SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。</li> </ul>
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> <li>データ転送方向</li> <li>MSBファーストまたはLSBファーストを選択</li> <li>SSCKクロック極性</li> <li>クロック停止時のレベルを“L”か“H”かを選択</li> <li>SSCKクロック位相</li> <li>データ変化およびデータ取り込みのエッジを選択</li> </ul>

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

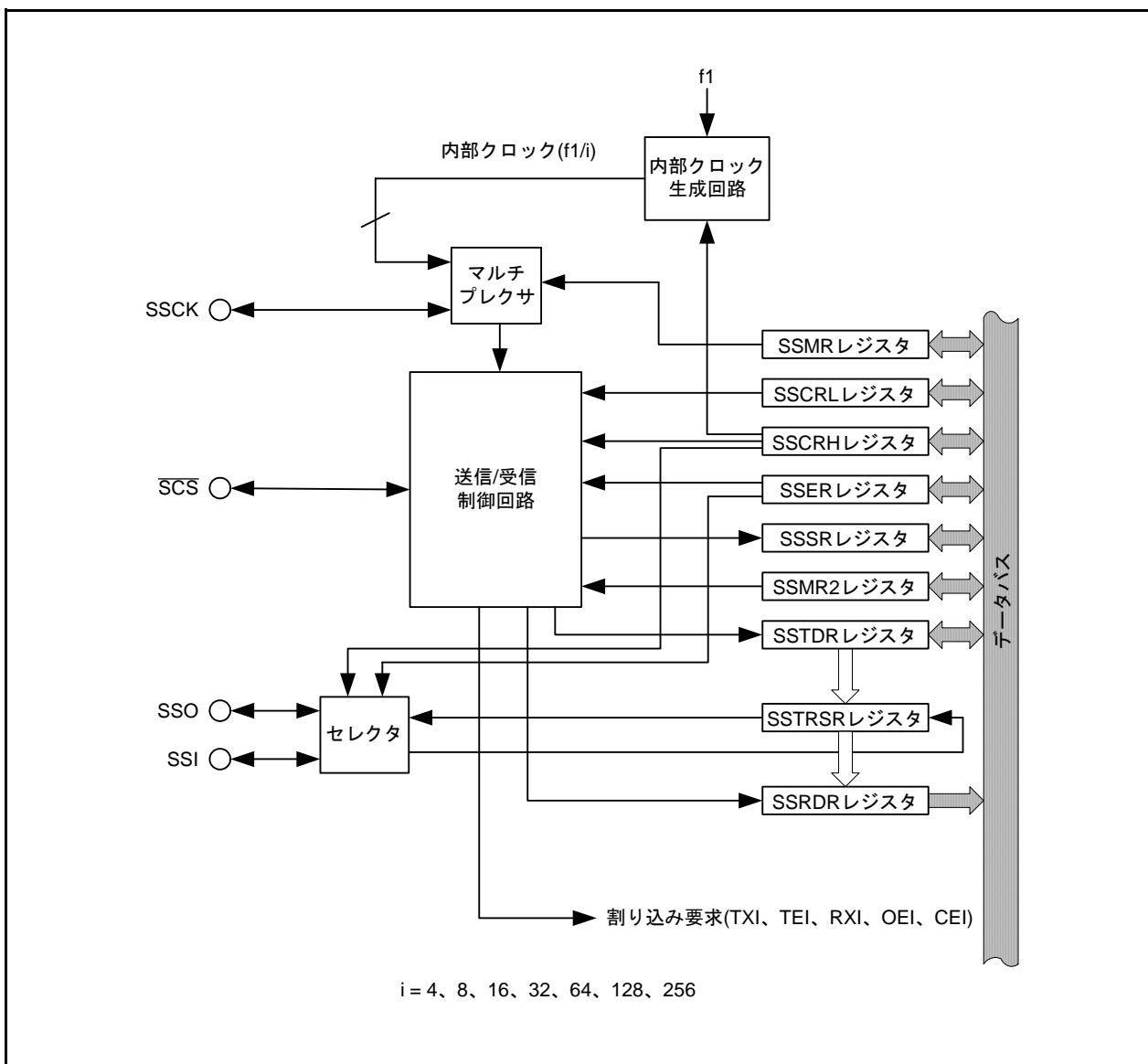


図 24.1 シンクロナスシリアルコミュニケーションユニットブロック図

表 24.2 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P8_1、P6_2	入出力	データ入出力
SCS	P8_0、P6_1	入出力	チップセレクト入出力
SSCK	P8_2、P6_3	入出力	クロック入出力
SSO	P8_3、P6_4	入出力	データ入出力

## 24.2 レジスタの説明

## 24.2.1 モジュールスタンバイ制御レジスタ 0 (MSTCR0)

アドレス	0008h 番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	MSTURT2	MSTURTO	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURTO	UART0スタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b2	MSTURT2	UART2スタンバイビット	0: アクティブ 1: スタンバイ (注2)	R/W
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ (注3)	R/W
b4	MSTLCD	LCDスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	A/Dスタンバイビット (注6)	0: アクティブ 1: スタンバイ	R/W

注1. MSTURTOビットが“1” (スタンバイ)のとき、UART0関連レジスタ (00A0h～00A7h番地)へのアクセスは無効になります。

注2. MSTURT2ビットが“1” (スタンバイ)のとき、UART2関連レジスタ (00A8h～00BFh番地)へのアクセスは無効になります。

注3. MSTIICビットが“1” (スタンバイ)のとき、SSU、I<sup>2</sup>C関連レジスタ (0193h～19Dh番地)へのアクセスは無効になります。

注4. MSTLCDビットが“1” (スタンバイ)のとき、LCD関連レジスタ (0200h～0237h番地)へのアクセスは無効になります。

注5. MSTTRCビットが“1” (スタンバイ)のとき、タイマRC関連レジスタ (0120h～0133h番地)へのアクセスは無効になります。

注6. MSTADCビットが“1” (スタンバイ)のとき、A/D関連レジスタ (00C0h～00D9h番地、00DCh～00DFh番地)へのアクセスは無効になります。

温度センサ使用時は、MSTADCビットを“0” (アクティブ)にしてください。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 24.2.2 SSU/IIC端子選択レジスタ (SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SSOSEL0	SCSSEL0	SSCKSEL0	SSISEL0	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0 : SSU機能を選択 1 : I <sup>2</sup> Cバス機能を選択	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	SSISEL0	SSI端子選択ビット	0 : P8_1に割り当てる 1 : P6_2に割り当てる	R/W
b5	SSCKSEL0	SSCK/SCL端子選択ビット	0 : P8_2に割り当てる 1 : P6_3に割り当てる	R/W
b6	SCSSEL0	SCS端子選択ビット	0 : P8_0に割り当てる 1 : P6_1に割り当てる	R/W
b7	SSOSEL0	SSO/SDA端子選択ビット	0 : P8_3に割り当てる 1 : P6_4に割り当てる	R/W

## 24.2.3 SSビットカウンタレジスタ (SSBR)

アドレス 0193h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0 : 16ビット 1 0 0 0 : 8ビット 1 0 0 1 : 9ビット 1 0 1 0 : 10ビット 1 0 1 1 : 11ビット 1 1 0 0 : 12ビット 1 1 0 1 : 13ビット 1 1 1 0 : 14ビット 1 1 1 1 : 15ビット	R/W
b1	BS1			R/W
b2	BS2			R/W
b3	BS3			R/W
b4	—			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。
b5	—			
b6	—			
b7	—			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”(受信禁止)、TEビットを“0”(送信禁止)にしてください。

## BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

## 24.2.4 SS送信データレジスタ (SSTDR)

アドレス 0195h～0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	—	送付データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書きおくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. SSBPレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

## 24.2.5 SS受信データレジスタ (SSRDR)

アドレス 0197h～0196h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	—	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

注1. SSSRレジスタのORERビットが“1”(オーバーランエラー発生)になったとき、SSRDRレジスタはオーバーランエラー発生前の受信データを保持します。オーバーランエラー発生時の受信データは、破棄されます。

注2. SSBDRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

## 24.2.6 SS制御レジスタH (SSCRH)

アドレス 0198h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RSSTP	MSS	—	—	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0	R/W
b1	CKS1		0 0 0 : f1/256	R/W
b2	CKS2		0 0 1 : f1/128	R/W
			0 1 0 : f1/64	R/W
		0 1 1 : f1/32		
		1 0 0 : f1/16		
		1 0 1 : f1/8		
		1 1 0 : f1/4		
		1 1 1 : 設定しないでください		
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b4	—			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—

注1. MSSビットが“1”(マスタデバイスとして動作)のときに、設定されたクロックが使用されます。

注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。

注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

## 24.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	SOL	SOLP	—	—	SRES	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	—
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。SSU内部レジスタ(注1)の値は保持される。	R/W
b2	—		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	—
b3	—			—
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0: シリアルデータ出力が“L” 1: シリアルデータ出力が“H” 書いた場合(注2、3) 0: データ出力を“L”にする 1: データ出力を“H”にする	R/W
b6	—		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	—
b7	—		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—

注1. SSBP、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTD、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。



## 24.2.8 SSモードレジスタ (SSMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3~0	b3 b2 b1 b0 0 0 0 0 : 残り16ビット	R
b1	BC1		0 0 0 1 : 残り1ビット	R
b2	BC2		0 0 1 0 : 残り2ビット	R
b3	BC3		0 0 1 1 : 残り3ビット	R
			0 1 0 0 : 残り4ビット	
			0 1 0 1 : 残り5ビット	
			0 1 1 0 : 残り6ビット	
			0 1 1 1 : 残り7ビット	
			1 0 0 0 : 残り8ビット	
			1 0 0 1 : 残り9ビット	
			1 0 1 0 : 残り10ビット	
			1 0 1 1 : 残り11ビット	
			1 1 0 0 : 残り12ビット	
			1 1 0 1 : 残り13ビット	
			1 1 1 0 : 残り14ビット	
			1 1 1 1 : 残り15ビット	
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	CPHS	SSCKクロック位相選択ビット(注1)	0 : 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1 : 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0 : クロック停止時、“H” 1 : クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0 : MSBファーストでデータ転送 1 : LSBファーストでデータ転送	R/W

注1. CPHS、CPOSビットの設定については「24.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。  
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

## 24.2.9 SS許可レジスタ (SSER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	—	—	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b4	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

## 24.2.10 SSステータスレジスタ (SSSR)

アドレス 019Ch番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	—	—	ORER	—	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0: SSRDRレジスタにデータなし 1: SSRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0: 送信データの最後尾ビットの送信時、TDREビットが“0” 1: 送信データの最後尾ビットの送信時、TDREビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0: SSTDRレジスタからSSTRSRレジスタにデータ転送されていない 1: SSTDRレジスタからSSTRSRレジスタにデータ転送された	R/W

- 注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
- 注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「24.5.4 SCS端子制御とアービトレーション」を参照してください。
- 注3. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中でSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。
- 注4. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
- 注5. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
- 注6. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。SSTDRレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。
- 注7. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

## 24.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力(注5) 1: Nチャンネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注2)	b5 b4 00: ポートとして機能 01: SCS入力端子として機能 10: SCS出力端子として機能(注3) 11: SCS出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

- 注1. データ入出力端子の組み合わせは、「24.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。
- 注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。
- 注3. 転送開始前は、SCS入力端子として機能します。
- 注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。
- 注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

## 24.3 複数モードに関わる共通事項

### 24.3.1 転送クロック

転送クロックを7種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1” (マスタデバイスとして動作) のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0” (スレーブデバイスとして動作) のときは外部クロックが選択され、SSCK端子は入力になります。

#### 24.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図 24.2 に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1” のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0” のときは、MSBから始まり最後にLSBの順で転送されます。

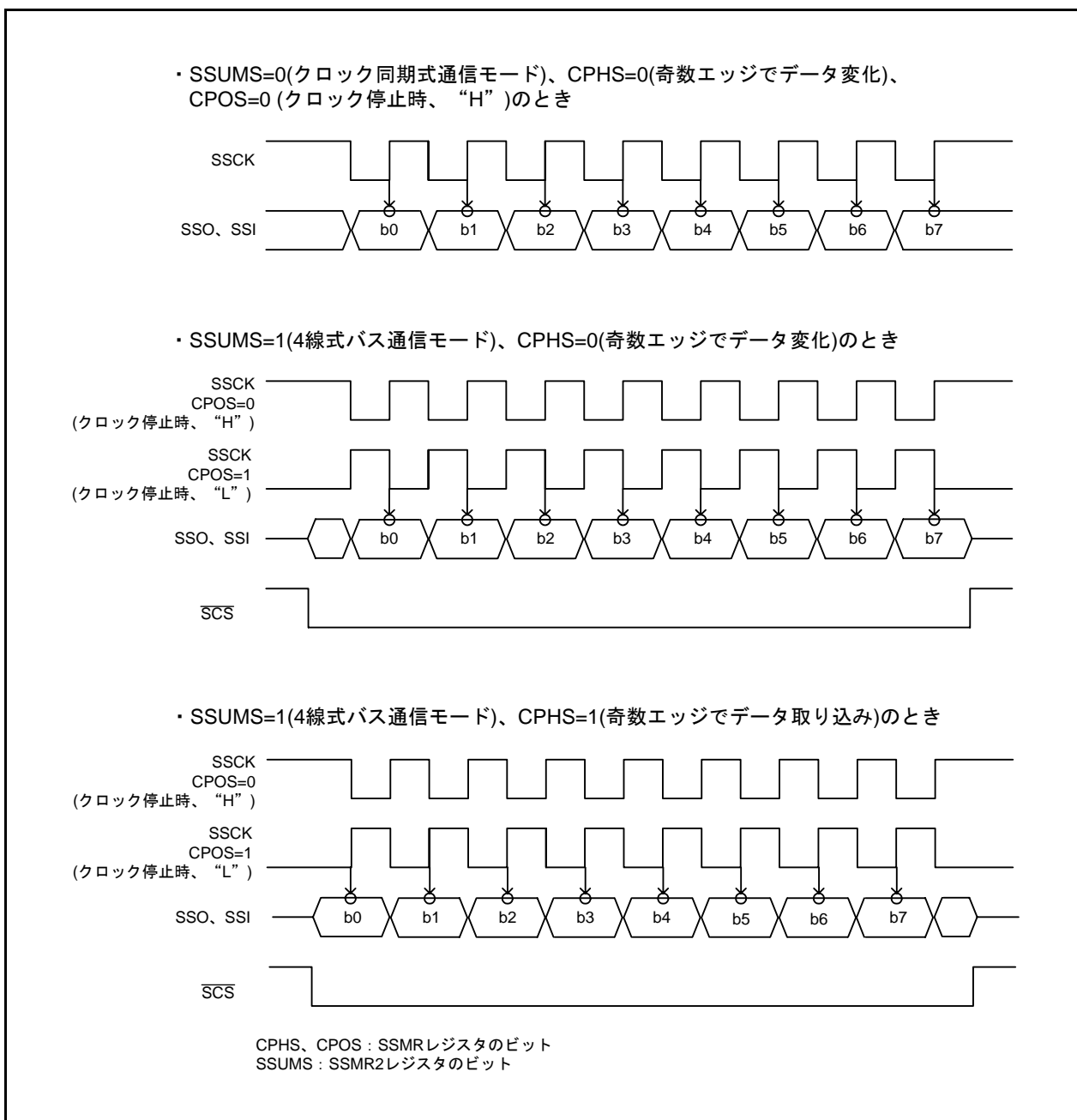


図 24.2 転送クロックの極性、位相および転送データの関係

### 24.3.2 SSシフトレジスタ (SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送される時、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

#### 24.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図24.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

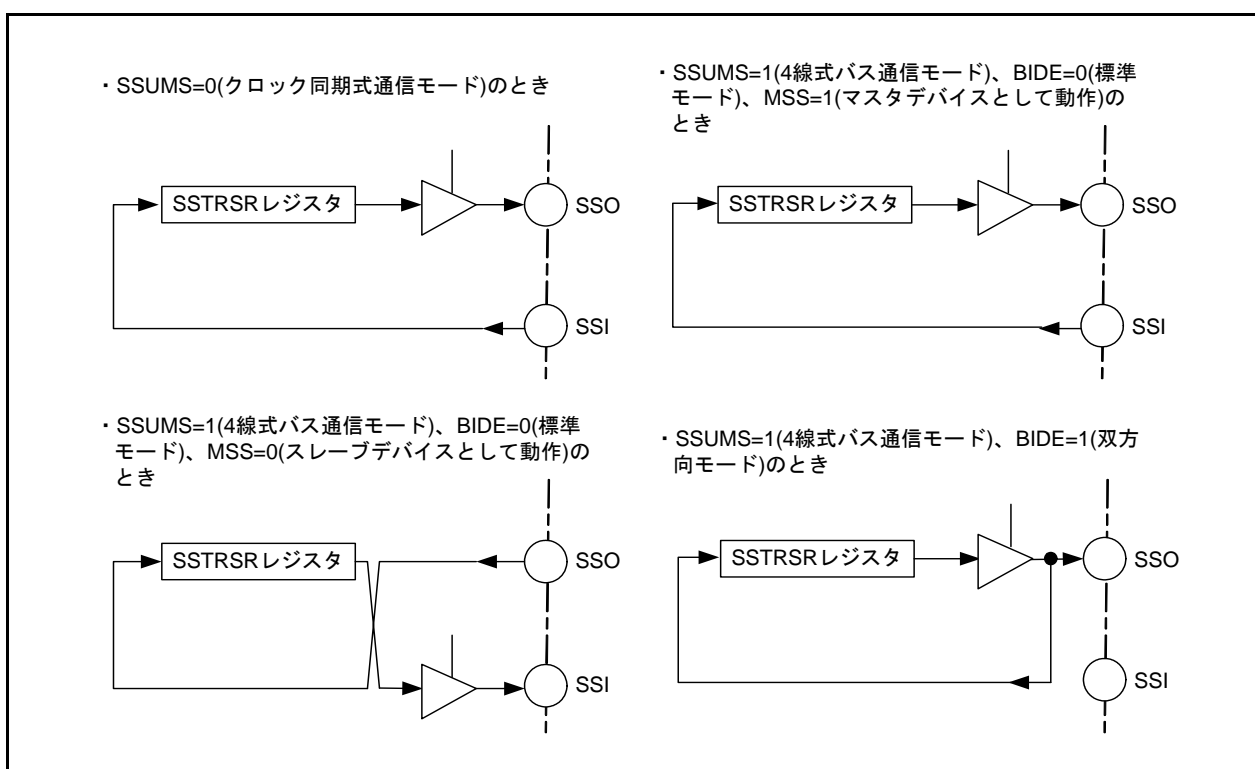


図 24.3 データ入出力端子とSSTRSRレジスタの接続関係

### 24.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 24.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 24.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE = 1かつTDRE = 1
送信終了	TEI	TEIE = 1かつTEND = 1
受信データフル	RXI	RIE = 1かつRDRF = 1
オーバランエラー	OEI	RIE = 1かつORER = 1
コンフリクトエラー	CEI	CEIE = 1かつCE = 1

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表 24.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビット および TEND ビットは SSTDR レジスタに送信データを書くことで、RDRF ビットは SSRDR レジスタを読むことで自動的に“0”になります。特に TDRE ビットは SSTDR レジスタに送信データを書いたとき、同時に再度 TDRE ビットが“1” (SSTDR レジスタから SSTRSR レジスタにデータ転送された) になり、さらに TDRE ビットを“0” (SSTDR レジスタから SSTRSR レジスタにデータ転送されていない) にすると、余分に1バイト送信する場合があります。



## 24.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表 24.4に通信モードと入出力端子の関係を示します。

表 24.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	-(注1)	入力	
				1	0	-(注1)	出力	入力	
				1	1	入力	出力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス通信モード	1	0	0	0	1	-(注1)	入力	入力	
				1	0	出力	-(注1)	入力	
				1	1	出力	入力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	-(注1)	入力	入力	
				1	0	-(注1)	出力	入力	
			1	0	1	-(注1)	入力	出力	
				1	0	-(注1)	出力	出力	

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

## 24.4 クロック同期式通信モード

### 24.4.1 クロック同期式通信モードの初期化

図 24.4 にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

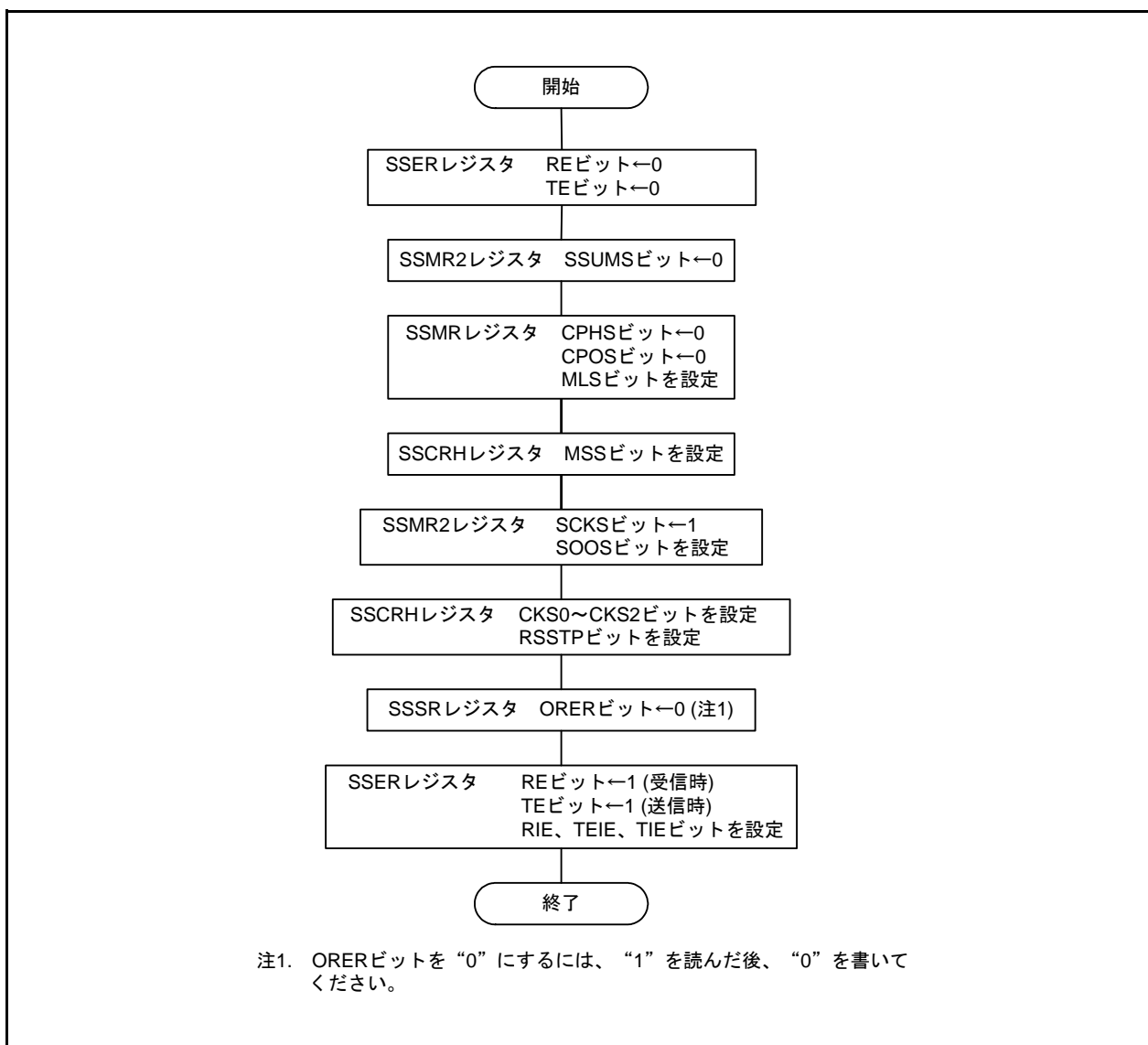


図 24.4 クロック同期式通信モードの初期化

### 24.4.2 データ送信

図 24.5にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SSERレジスタのTEビットを“1”(送信許可)にした後、SSTD Rレジスタに送信データを書くと、自動的にSSSRレジスタのTDREビットが“0”(SSTD RレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTD RレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTD RレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求が発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTD RレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求が発生します。送信終了後、SSCK端子は“H”に固定されます。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”(オーバランエラーなし)であることを確認してください。

図 24.6にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

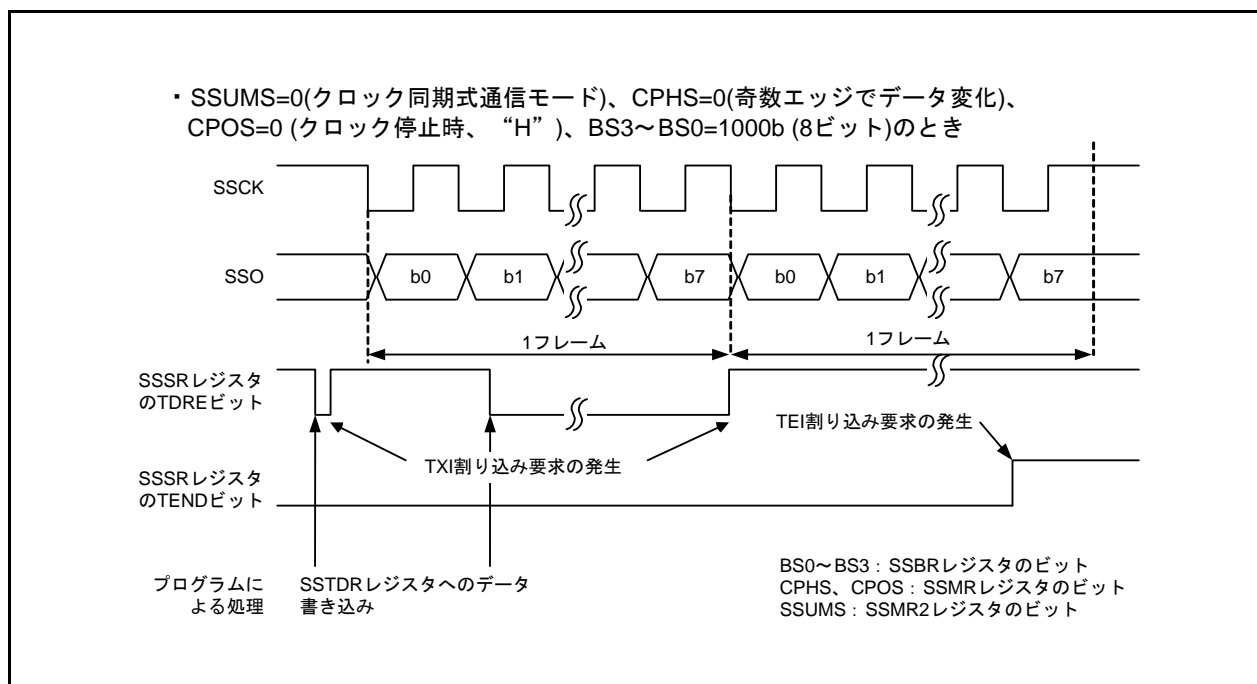


図 24.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

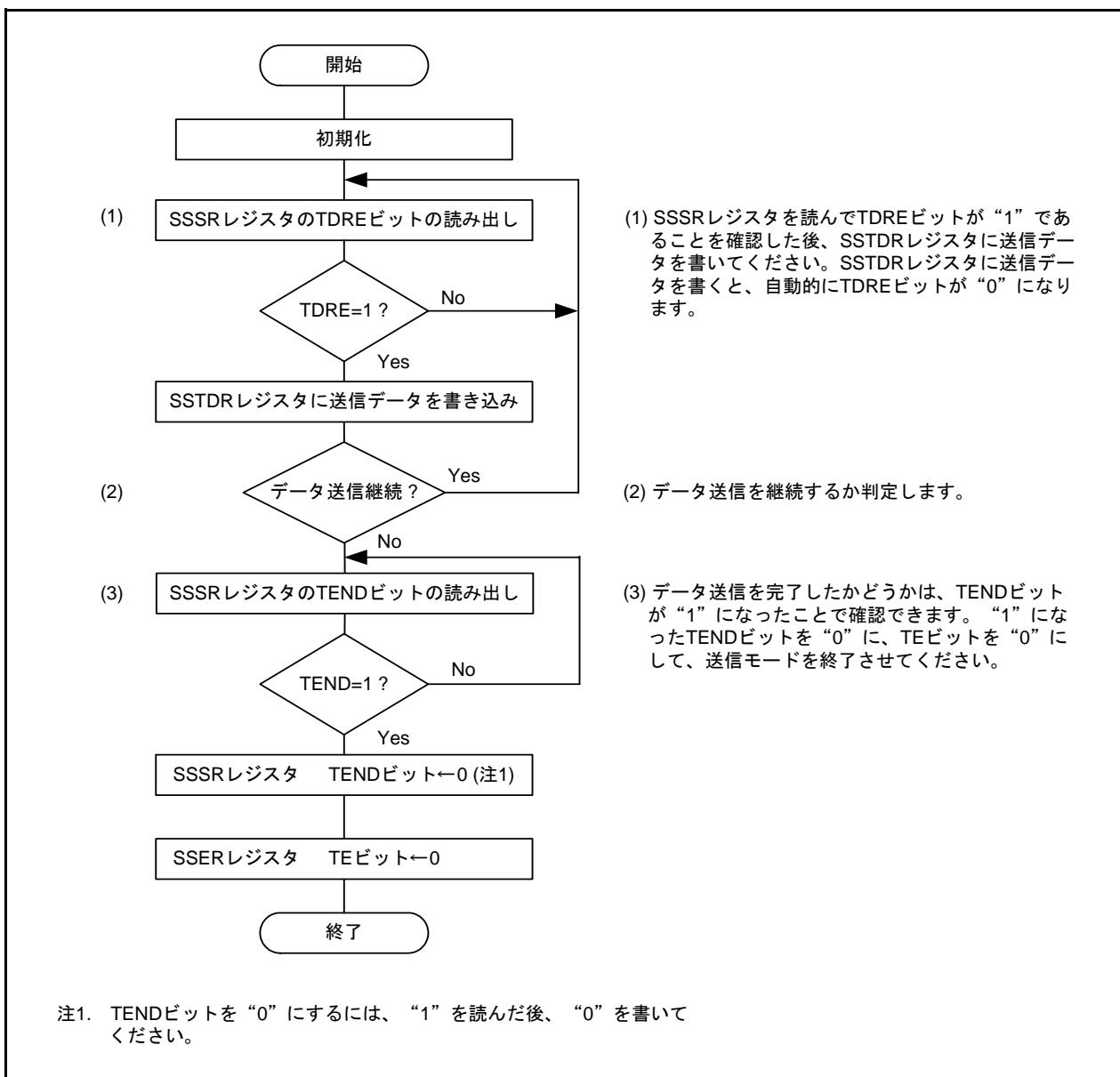


図 24.6 データ送信のフローチャート例(クロック同期式通信モード)

### 24.4.3 データ受信

図 24.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”(オーバランエラーなし)であることを確認してください。

図 24.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

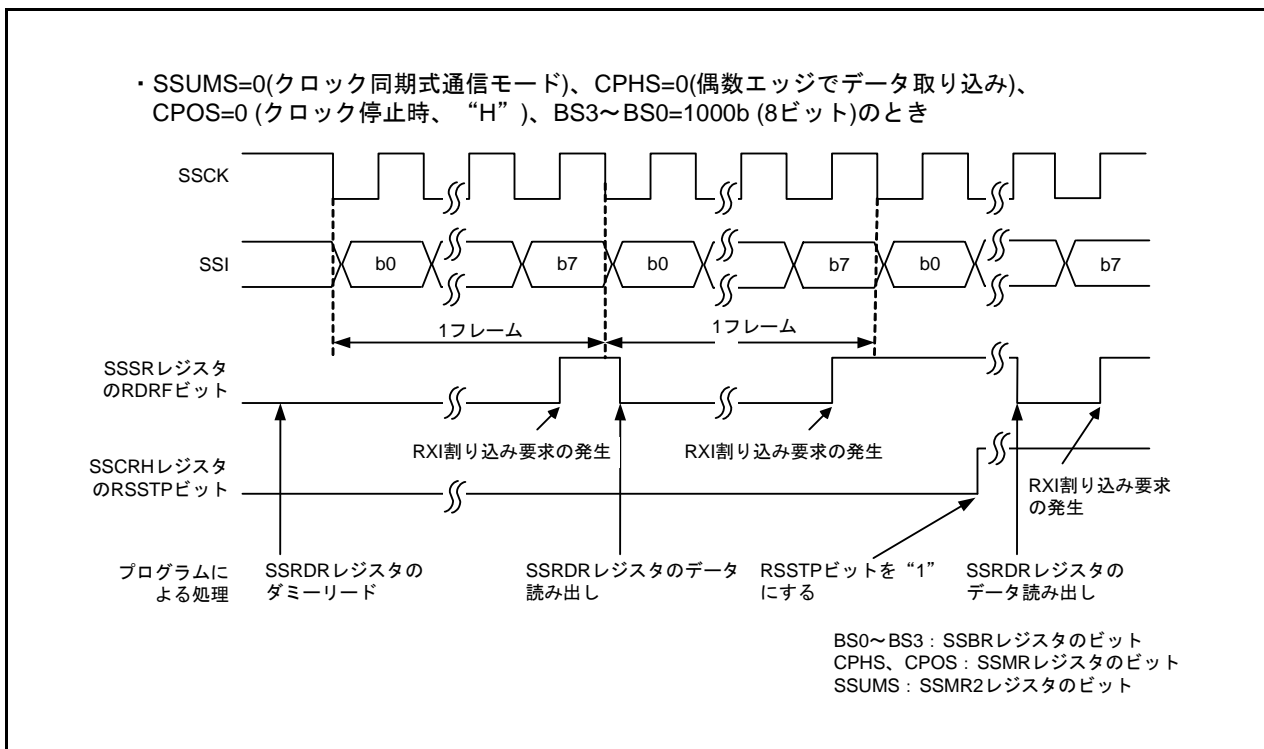


図 24.7 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

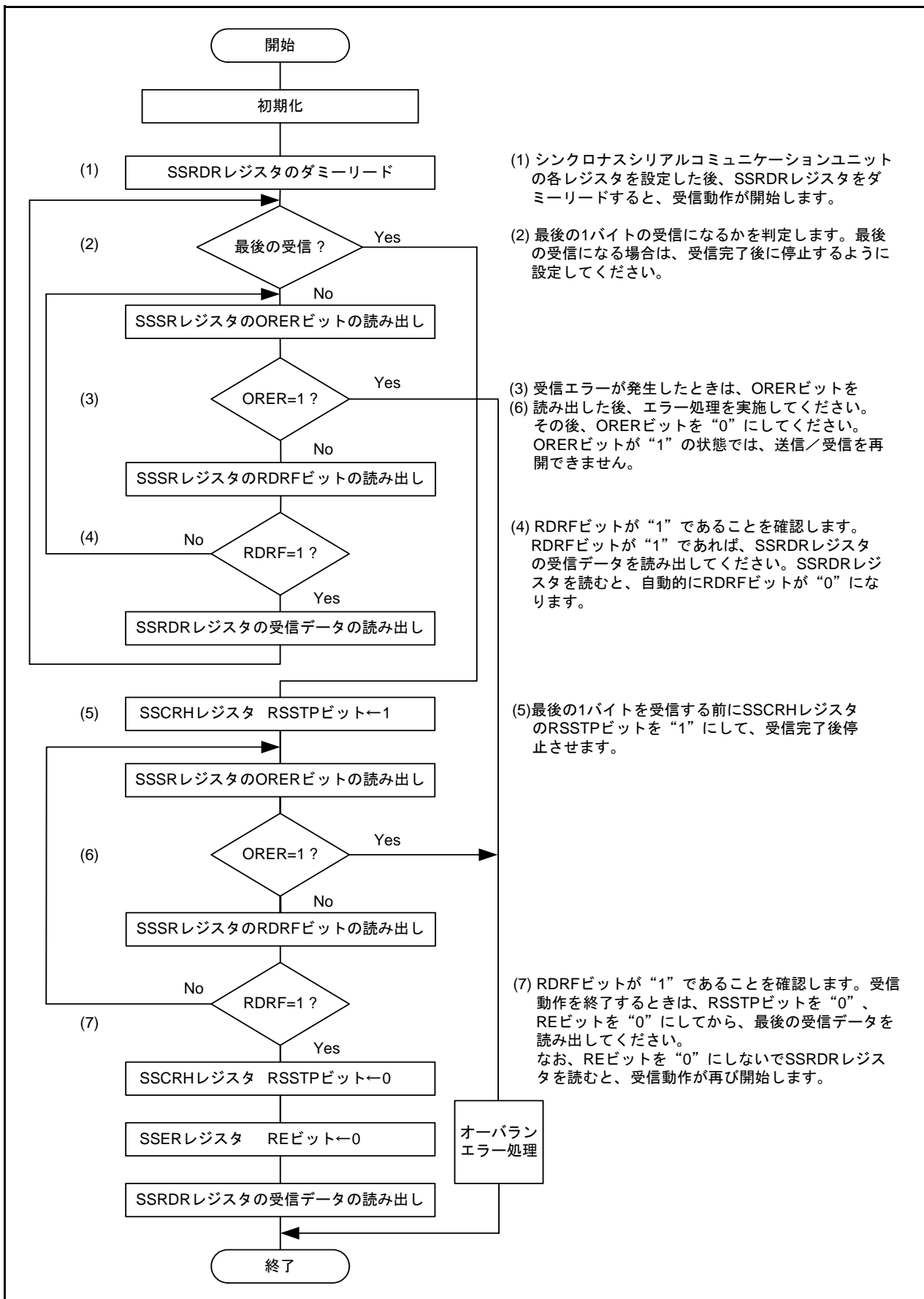


図 24.8 データ受信のフローチャート例(MSS = 1)(クロック同期式通信モード)

### 24.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDR レジスタに送信データを書くと、送受信は開始されます。また、TDRE ビットが“1” (SSTDR レジスタから SSTRSR レジスタにデータ転送された) の状態で最終転送クロック (SSBR レジスタでデータ転送長を8～16ビットの範囲で、設定することができます) が立ち上がった場合、または ORER ビットが“1” (オーバランエラー発生) になった場合、送受信動作は停止します。

なお、送信モード (TE = 1) あるいは受信モード (RE = 1) から、送受信モード (TE = RE = 1) に切り替える場合は、一度 TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にしてから変更してください。また、TEND ビットが“0” (送信データの最後尾ビットの送信時、TDRE ビットが“0”)、RDRF ビットが“0” (SSRDR レジスタにデータなし)、ORER ビットが“0” (オーバランエラーなし) であることを確認した後、TE および RE ビットを“1” (送信許可/受信許可) にしてください。

図 24.9 にデータ送受信のフローチャート例 (クロック同期式通信モード) を示します。

なお、送受信モード (TE = RE = 1) から送受信モードを解除する場合、SSRDR レジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まず RE ビットを“0” にして、その後、TE ビットを“0” にする
- TE ビットと RE ビットを同時に“0” にする

その後、受信モード (TE = 0、RE = 1) にする場合は、SSCRL レジスタの SRES ビットに“1” を書いた後、“0” にして SSU 制御部および SSTRSR レジスタを初期化してから、RE ビットを“1” にしてください。

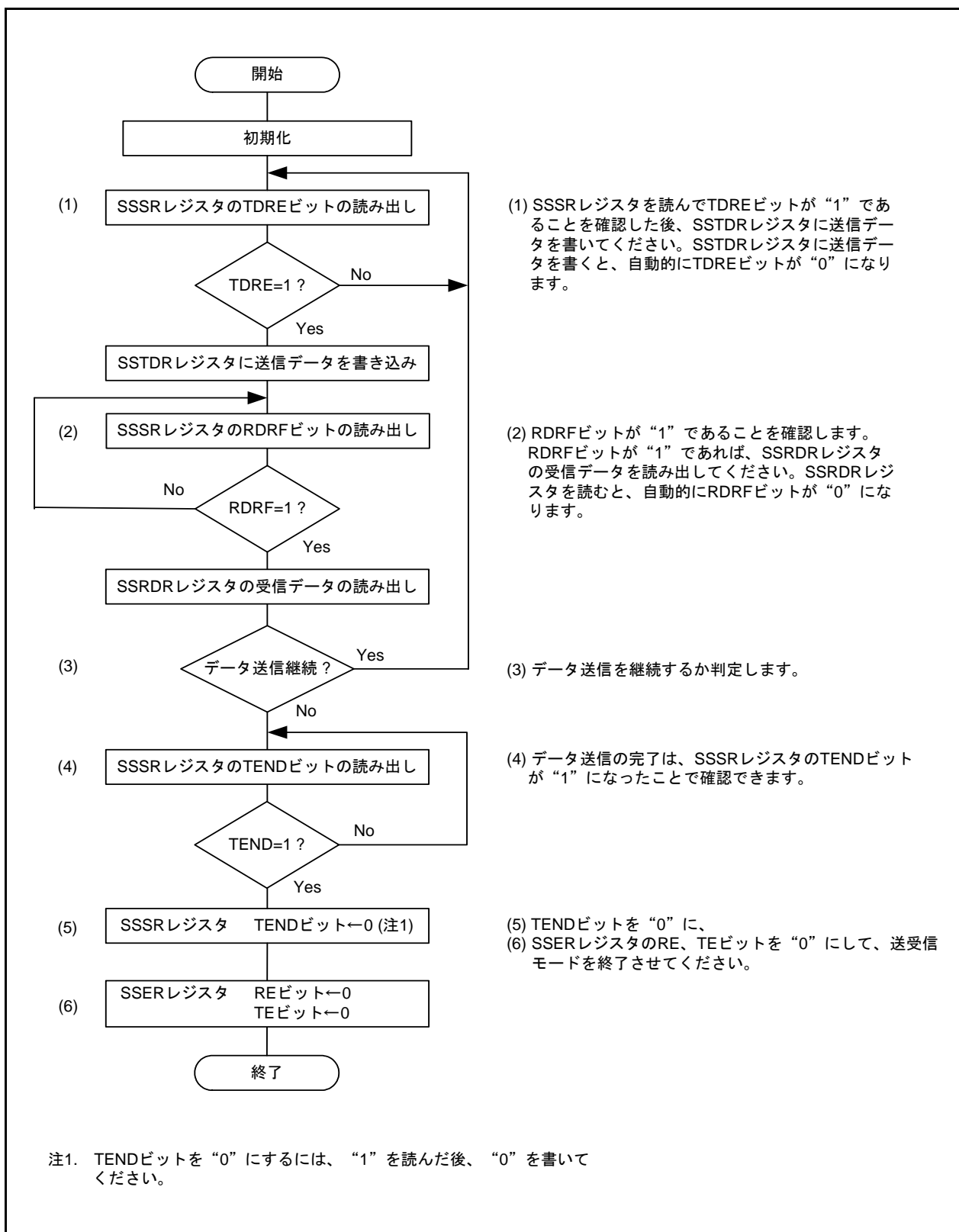


図 24.9 データ送受信のフローチャート例(クロック同期式通信モード)



## 24.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「24.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことをSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「24.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

## 24.5.1 4線式バス通信モードの初期化

図 24.10 に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

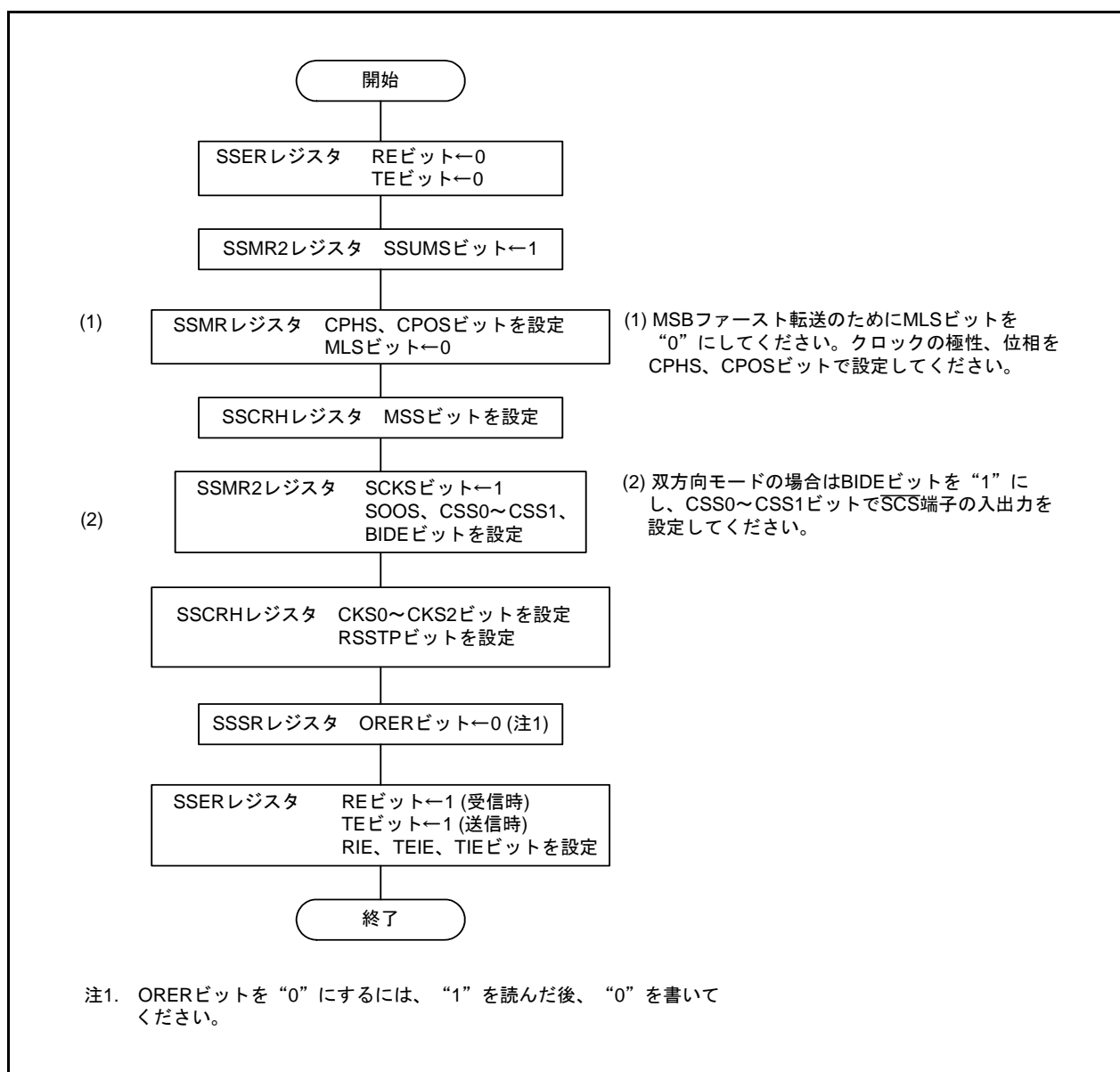


図 24.10 4線式バス通信モードの初期化

### 24.5.2 データ送信

図 24.11 にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを出力します。

SSERレジスタのTEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にSSSRレジスタのTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定され、SCS端子は“H”になります。SCS端子が“L”のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTDRレジスタに書いてください。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”(オーバランなし)であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子が“H”入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図 24.6 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

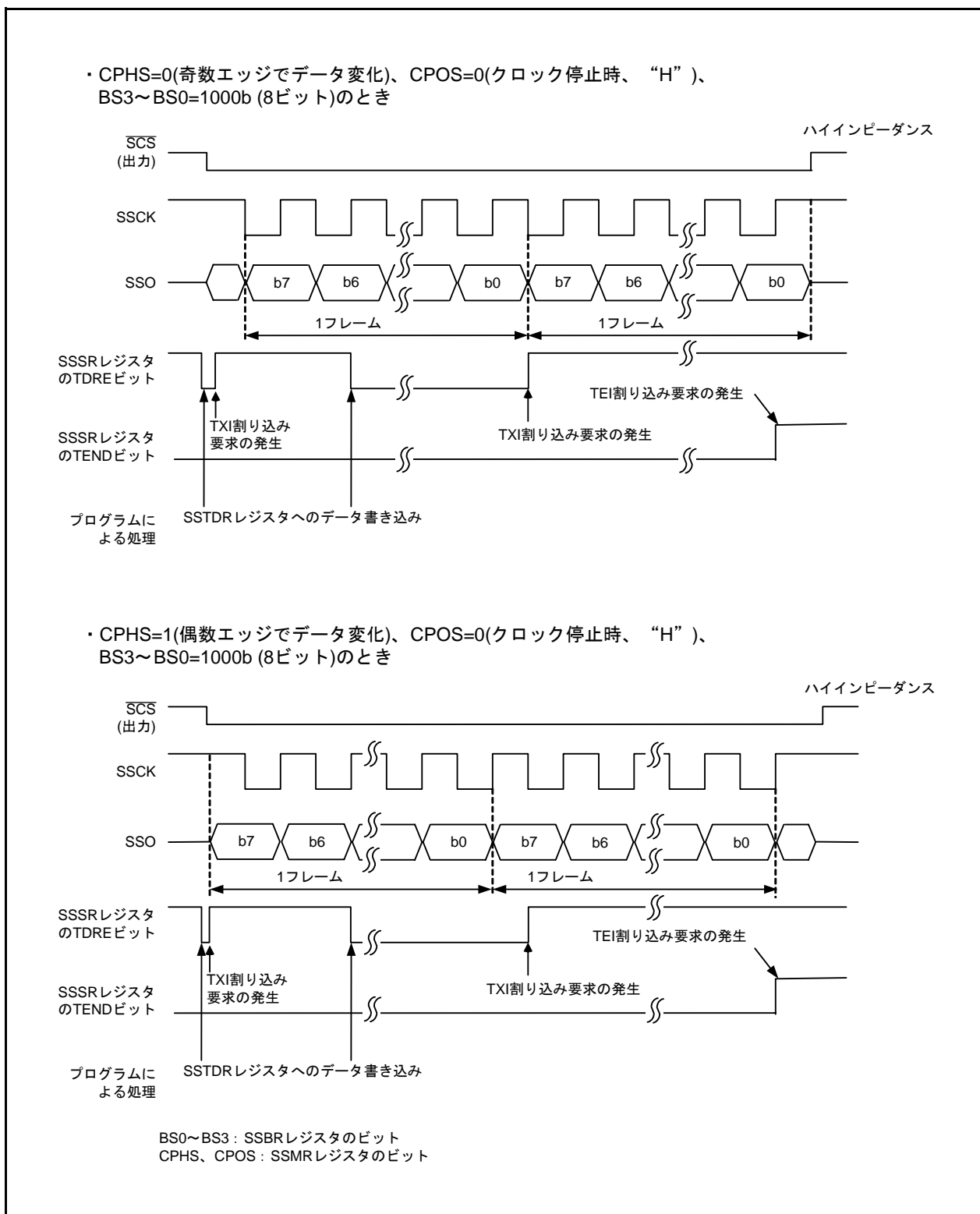


図 24.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 24.5.3 データ受信

図 24.12にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”(オーバランエラーなし)であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図 24.12に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 24.8 データ受信のフローチャート例(MSS = 1)(クロック同期式通信モード)」参照)。

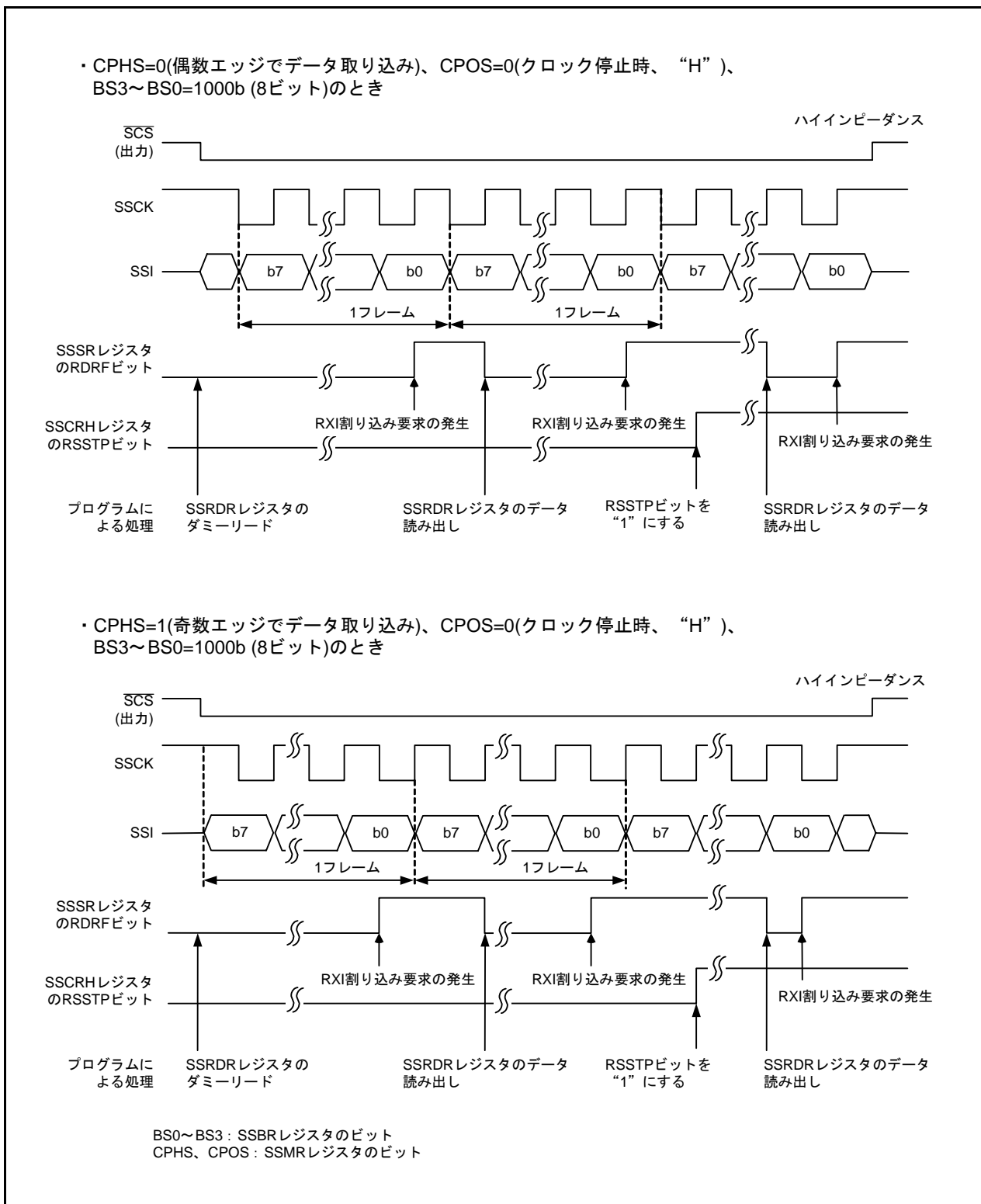


図 24.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 24.5.4 SCS端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1” (4線式バス通信モード)、CSS1ビットを“1” (SCS出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1” (マスタデバイスとして動作)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1” (コンフリクトエラー発生)になり、自動的にMSSビットが“0” (スレーブデバイスとして動作)になります。

図 24.13にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0” (コンフリクトエラーなし)にしてください。

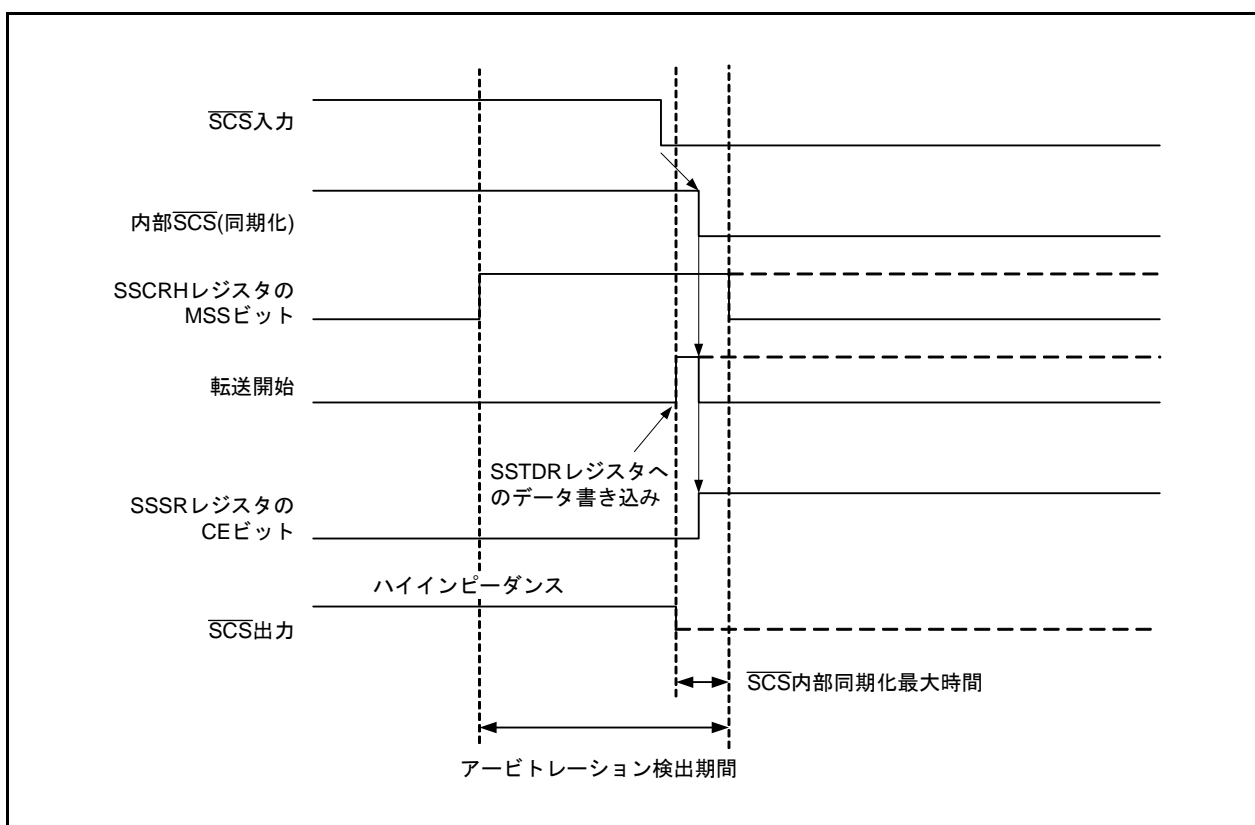


図 24.13 アービトレーションチェックタイミング

## 24.6 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。



## 25. I<sup>2</sup>Cバスインタフェース

I<sup>2</sup>Cバスインタフェースは、フィリップス社I<sup>2</sup>Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

### 25.1 概要

表 25.1にI<sup>2</sup>Cバスインタフェースの仕様、図 25.1にI<sup>2</sup>Cバスインタフェースブロック図、図 25.2にSCL、SDA端子の外部回路接続例、表 25.2にI<sup>2</sup>Cバスインタフェースの端子構成を示します。

表 25.1 I<sup>2</sup>Cバスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> <li>•I<sup>2</sup>Cバスフォーマット               <ul style="list-style-type: none"> <li>-マスタ/スレーブデバイスの選択可能</li> <li>-連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> <li>-マスタモードでは開始条件、停止条件の自動生成</li> <li>-送信時、アクノリッジビットを自動ロード</li> <li>-ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。)</li> <li>-SCL、SDA端子の直接駆動(Nチャネルオープンドレイン出力)が可能</li> </ul> </li> <li>•クロック同期式シリアルフォーマット               <ul style="list-style-type: none"> <li>連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> </ul> </li> </ul>
入出力端子	SCL(入出力) : シリアルクロック入出力端子 SDA(入出力) : シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> <li>•ICCR1レジスタのMSTビットが“0”(スレーブモード)のとき 外部クロック(SCL端子から入力)</li> <li>•ICCR1レジスタのMSTビットが“1”(マスタモード)のとき ICCR1レジスタのCKS0~CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)</li> </ul>
受信エラーの検出	<ul style="list-style-type: none"> <li>•オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>•I<sup>2</sup>Cバスフォーマット..... 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出</li> <li>•クロック同期式シリアルフォーマット..... 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•I<sup>2</sup>Cバスフォーマット               <ul style="list-style-type: none"> <li>受信時、アクノリッジの出力レベルを選択可能</li> </ul> </li> <li>•クロック同期式シリアルフォーマット               <ul style="list-style-type: none"> <li>データ転送方向にMSBファーストまたはLSBファーストを選択可能</li> </ul> </li> <li>•SDAのデジタル遅延               <ul style="list-style-type: none"> <li>PINSRレジスタのSDADLY0~SDADLY1ビットでSDA端子のデジタル遅延値を選択可能</li> </ul> </li> </ul>

注1. 割り込みベクタテーブルはI<sup>2</sup>Cバスインタフェースの1つです。

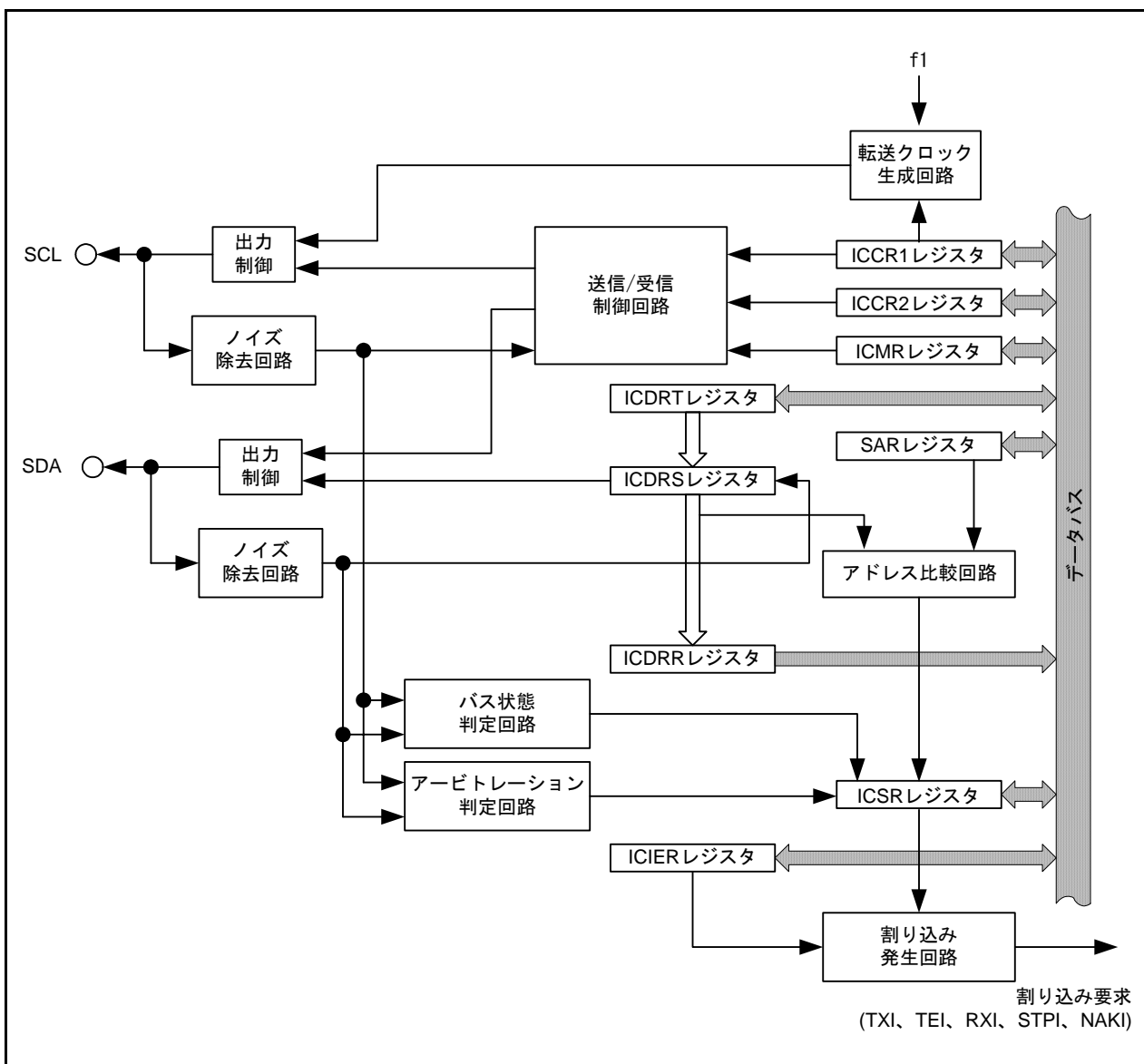


表 25.2 I<sup>2</sup>Cバスインタフェースの端子構成

端子名	割り当てる端子	機能
SCL	P8_2、P6_3	クロック入出力
SDA	P8_3、P6_4	データ入出力

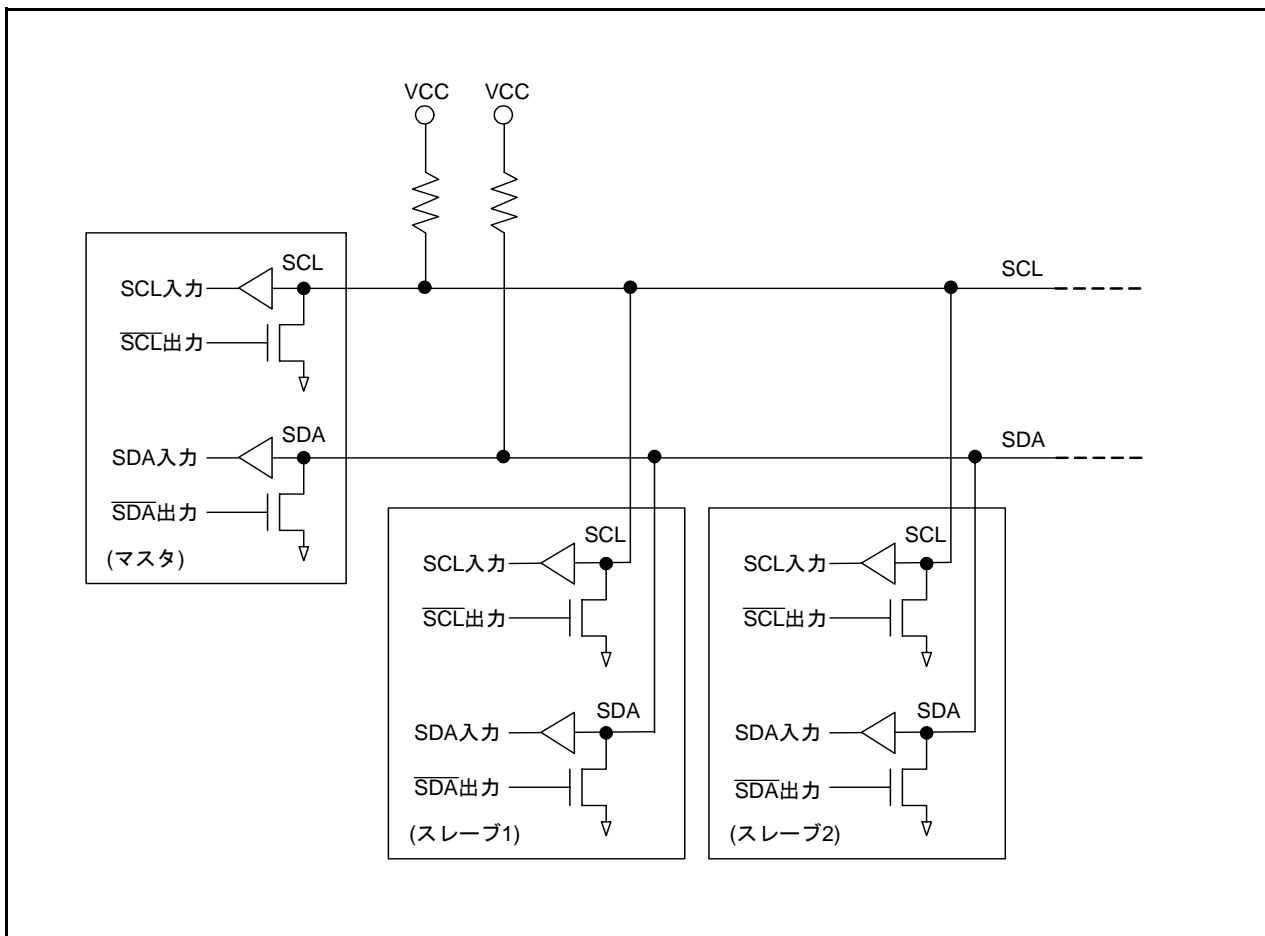


図 25.2 SCL、SDA端子の外部回路接続例

## 25.2 レジスタの説明

## 25.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス	0008h 番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	MSTURT2	MSTURT0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURT0	UART0スタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b2	MSTURT2	UART2スタンバイビット	0: アクティブ 1: スタンバイ (注2)	R/W
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ (注3)	R/W
b4	MSTLCD	LCDスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	A/Dスタンバイビット (注6)	0: アクティブ 1: スタンバイ	R/W

注1. MSTURT0ビットが“1” (スタンバイ)のとき、UART0関連レジスタ (00A0h～00A7h番地)へのアクセスは無効になります。

注2. MSTURT2ビットが“1” (スタンバイ)のとき、UART2関連レジスタ (00A8h～00BFh番地)へのアクセスは無効になります。

注3. MSTIICビットが“1” (スタンバイ)のとき、SSU、I<sup>2</sup>C関連レジスタ (0193h～19Dh番地)へのアクセスは無効になります。

注4. MSTLCDビットが“1” (スタンバイ)のとき、LCD関連レジスタ (0200h～0237h番地)へのアクセスは無効になります。

注5. MSTTRCビットが“1” (スタンバイ)のとき、タイマRC関連レジスタ (0120h～0133h番地)へのアクセスは無効になります。

注6. MSTADCビットが“1” (スタンバイ)のとき、A/D関連レジスタ (00C0h～00D9h番地、00DCh～00DFh番地)へのアクセスは無効になります。

温度センサ使用時は、MSTADCビットを“0” (アクティブ)にしてください。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 25.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SSOSEL0	SCSSEL0	SSCKSEL0	SSISEL0	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0 : SSU機能を選択 1 : I <sup>2</sup> Cバス機能を選択	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	SSISEL0	SSI端子選択ビット	0 : P8_1に割り当てる 1 : P6_2に割り当てる	R/W
b5	SSCKSEL0	SSCK/SCL端子選択ビット	0 : P8_2に割り当てる 1 : P6_3に割り当てる	R/W
b6	SCSSEL0	SCS端子選択ビット	0 : P8_0に割り当てる 1 : P6_1に割り当てる	R/W
b7	SSOSEL0	SSO/SDA端子選択ビット	0 : P8_3に割り当てる 1 : P6_4に割り当てる	R/W

## 25.2.3 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	—			R/W
b3	IOINSEL	I/Oポート入力機能 選択ビット	0 : I/Oポートの入力機能はPDi (i=0~9) レジスタに依存 PDiレジスタのPDi_j (j=0~7) ビットが“0” (入力モード) のとき、端子の入力レベルを読む PDiレジスタのPDi_j ビットが“1” (出力モード)のとき、 ポートラッチを読む 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の 入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0~CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍 選択ビット(注1)	0 : ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0~CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延 選択ビット	b7 b6 00 : 3 × f1サイクルのデジタル遅延 01 : 11 × f1サイクルのデジタル遅延 10 : 19 × f1サイクルのデジタル遅延 11 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I<sup>2</sup>Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方とも“0”にしてください。

## 25.2.4 IICバス送信データレジスタ(ICDRT)

アドレス 0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7~b0	送信データを保管。 ICDRSレジスタの空きが検出されると、保管されている送信データがICDRSレジスタへ転送されて、送信が開始します。 ICDRSレジスタからデータを送信中に、ICDRTレジスタに次の送信データを書きおくと、連続して送信できます。 ICMRレジスタのMLSビットが“1(LSBファーストでデータ転送)”の場合、ICDRTレジスタに書いた後、読み出すとMSBとLSBが反転したデータが読み出されます。	R/W

## 25.2.5 IICバス受信データレジスタ(ICDRR)

アドレス 0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7~b0	受信データを保管。 ICDRSレジスタが1バイトのデータを受信すると、ICDRRレジスタへ受信データが転送されて、次の受信が可能になります。	R

## 25.2.6 IICバス制御レジスタ1(ICCR1)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット3~0(注1)	b3 b2 b1 b0	R/W
b1	CKS1		0 0 0 0 : f1/28	R/W
b2	CKS2		0 0 0 1 : f1/40	R/W
b3	CKS3		0 0 1 0 : f1/48	R/W
			0 0 1 1 : f1/64	
			0 1 0 0 : f1/80	
			0 1 0 1 : f1/100	
			0 1 1 0 : f1/112	
		0 1 1 1 : f1/128		
		1 0 0 0 : f1/56		
		1 0 0 1 : f1/80		
		1 0 1 0 : f1/96		
		1 0 1 1 : f1/128		
		1 1 0 0 : f1/160		
		1 1 0 1 : f1/200		
		1 1 1 0 : f1/224		
		1 1 1 1 : f1/256		
b4	TRS	送信/受信選択ビット(注2、3、6)	b5 b4	R/W
b5	MST	マスタ/スレーブ選択ビット(注5、6)		0 0 : スレーブ受信モード(注4)
			0 1 : スレーブ送信モード	
			1 0 : マスタ受信モード	
			1 1 : マスタ送信モード	
b6	RCVD	受信禁止ビット	TRS = 0 (受信モード)の状態ではICDRRレジスタを 読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I <sup>2</sup> Cバスインタフェース許可ビット (注7)	0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態)	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 25.3 転送レート例(1)、表 25.4 転送レート例(2)」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3 = 0のとき10Tcyc、CKS3 = 1のとき20Tcycとなります。(1Tcyc = 1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”(送信モード)になります。

注4. I<sup>2</sup>Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注7. I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「25.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。



## 25.2.7 IICバス制御レジスタ2(ICCR2)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	IICRST	I <sup>2</sup> Cバス制御部リセットビット (注5)	I <sup>2</sup> Cバスの動作中に、通信不具合等によりハンゲアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I <sup>2</sup> Cバスの制御部をリセットします。	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b3	SCLO	SCL モニタフラグ	0 : SCL 端子は “L” 1 : SCL 端子は “H”	R
b4	SDAOP	SDAO ライトプロテクトビット	SDAO ビットを書き換えるとき、同時に “0” を書いてください。(注1) 読んだ場合、その値は “1”。	R/W
b5	SDAO	SDA 出力値制御ビット	読んだ場合 0 : SDA 端子出力が “L” 1 : SDA 端子出力が “H” 書いた場合(注1、2) 0 : SDA 端子出力を “L” に変更する。 1 : SDA 端子出力をハイインピーダンスに変更する (外部プルアップ抵抗によって、“H” 出力)。	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSY ビットに書くとき、同時に “0” を書いてください。(注3) 読んだ場合、その値は “1”。“1” 書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4、5)	読んだ場合 0 : バスが開放状態(SCL 信号が “H” の状態で SDA 信号が “L” から “H” に変化) 1 : バスが占有状態(SCL 信号が “H” の状態で SDA 信号が “H” から “L” に変化) 書いた場合(注3) 0 : 停止条件を発行 1 : 開始条件を発行	R/W

注1. SDAO ビットを書き換える場合は、同時に SDAOP ビットに “0” を MOV 命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSY ビットに書く場合は、同時に SCP ビットに “0” を MOV 命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

注5. I<sup>2</sup>C バスインタフェース動作中に、ICCR1 レジスタの ICE ビットに “0”、または IICRST ビットに “1” を書くと、BBSY ビットと ICSR レジスタの STOP ビットが不定になる場合があります。「25.9 I<sup>2</sup>C バスインタフェース使用上の注意」を参照してください。

## 25.2.8 IICバスモードレジスタ (ICMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	WAIT	—	—	BCWP	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ2~0	I <sup>2</sup> Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BCWP	BCライトプロテクトビット	BC0~BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4) 読んだ場合、その値は“1”。	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—	予約ビット	“0”にしてください	R/W
b6	WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち上がった後、2転送クロック分“L”を延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	R/W

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I<sup>2</sup>Cバスフォーマットのマスタモード時に、設定値が有効です。I<sup>2</sup>Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I<sup>2</sup>Cバスフォーマット時は、“0”にしてください。

## 25.2.9 IICバス割り込み許可レジスタ (ICIER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止	R/W
b3	STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求許可(注1)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバランエラー割り込み要求禁止 1: 受信データフルおよびオーバランエラー割り込み要求許可(注1)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンpty割り込み要求禁止 1: 送信データエンpty割り込み要求許可	R/W

注1. オーバランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

## 25.2.10 IICバスステータスレジスタ (ICSR)

アドレス 019Ch番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
リセット後の値	0	0	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1”になります	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	AL	アービトレーションロストフラグ/オーバランエラーフラグ(注1)	I <sup>2</sup> Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります(注3) <ul style="list-style-type: none"> <li>マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき</li> <li>マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき</li> </ul> クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに“1”になります <ul style="list-style-type: none"> <li>RDRFビットが“1”の状態、次のデータの最終ビットを受信したとき</li> </ul>	R/W
b3	STOP	停止条件検出フラグ(注1、7)	フレームの転送の完了後に停止条件を検出したとき、“1”になります	R/W
b4	NACKF	ノーアクリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクリッジがなかったとき、“1”になります	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I <sup>2</sup> Cバスフォーマットの場合、TDREビットが“1”の状態、SCL信号の9クロック目が立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに“1”になります。 <ul style="list-style-type: none"> <li>ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき</li> <li>ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき</li> <li>開始条件(再送含む)を発行したとき</li> <li>スレーブ受信モードからスレーブ送信モードに変わったとき</li> </ul>	R/W

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I<sup>2</sup>Cバスフォーマットのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKFビットが“1”(受信アクリッジが“1”の場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

ICDRTレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。

注7. I<sup>2</sup>Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとSTOPビットが不定になる場合があります。「25.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

## 25.2.11 スレーブアドレスレジスタ (SAR)

アドレス 019Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	フォーマット選択ビット	0: I <sup>2</sup> Cバスフォーマット 1: クロック同期式シリアルフォーマット	R/W
b1	SVA0	スレーブアドレス6~0	I <sup>2</sup> Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I <sup>2</sup> Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0~SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

## 25.2.12 IICバスシフトレジスタ (ICDRS)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—

ビット	機能	R/W
b7~b0	データを送受信するシフトレジスタ。 送信時はICRDTレジスタから送信データがICDRSレジスタに転送され、データがSDA端子から送出されます。 受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。	—

## 25.3 複数モードに関わる共通事項

## 25.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”(スレーブモード)のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”(マスタモード)のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表 25.3、表 25.4に転送レート例を示します。

表 25.3 転送レート例(1)

PINSRレジスタ		ICCR1レジスタ				転送 クロック	転送レート						
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5MHz	f1 = 8MHz	f1 = 10MHz	f1 = 16MHz	f1 = 20MHz		
0	0	0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz		
					1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz		
				1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz		
					1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz		
				1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz	
						1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz	
			1		0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz		
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz		
			1		0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
							1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
				1		0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz	
					1	0	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz	
		1				f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz		
		1		1	0	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz		
			0		f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz			
			1		f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz			

表 25.4 転送レート例(2)

PINSR レジスタ		ICCR1 レジスタ				転送 クロック	転送レート						
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5MHz	f1 = 8MHz	f1 = 10MHz	f1 = 16MHz	f1 = 20MHz		
0	1	0	0	0	0	f1/28	358kHz	572kHz	714kHz	1142kHz	1428kHz		
					1	f1/40	250kHz	400kHz	500kHz	800kHz	1000kHz		
				1	0	f1/48	208kHz	334kHz	416kHz	666kHz	834kHz		
					1	f1/64	156kHz	250kHz	312kHz	500kHz	626kHz		
				1	0	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz		
					1	f1/100	100kHz	160kHz	200kHz	320kHz	400kHz		
			1	0	f1/112	89kHz	143kHz	179kHz	286kHz	358kHz			
				1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz			
				1	0	0	f1/56	179kHz	286kHz	358kHz	572kHz	714kHz	
						1	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz	
						0	f1/96	104kHz	167kHz	208kHz	334kHz	416kHz	
					1	1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz	
		0	0			f1/160	63kHz	100kHz	125kHz	200kHz	250kHz		
			1			f1/200	50kHz	80kHz	100kHz	160kHz	200kHz		
		1	1	0	0	f1/224	45kHz	71kHz	89kHz	143kHz	179kHz		
					1	f1/256	39kHz	63kHz	78kHz	125kHz	156kHz		
					0	f1/28	90kHz	143kHz	179kHz	286kHz	357kHz		
				1	1	f1/40	63kHz	100kHz	125kHz	200kHz	250kHz		
					0	f1/48	52kHz	84kHz	104kHz	167kHz	209kHz		
					1	f1/64	39kHz	63kHz	78kHz	125kHz	157kHz		
		1	0	0	1	0	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz	
						1	f1/100	25kHz	40kHz	50kHz	80kHz	100kHz	
						1	0	f1/112	22kHz	36kHz	45kHz	72kHz	90kHz
							1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz
1	0					0	f1/56	45kHz	72kHz	90kHz	143kHz	179kHz	
						1	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz	
					0	f1/96	26kHz	42kHz	52kHz	84kHz	104kHz		
	1				1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz		
					0	0	f1/160	16kHz	25kHz	31kHz	50kHz	63kHz	
						1	f1/200	13kHz	20kHz	25kHz	40kHz	50kHz	
1	1				0	0	f1/224	11kHz	18kHz	22kHz	36kHz	45kHz	
						1	f1/256	10kHz	16kHz	20kHz	31kHz	39kHz	
				0		f1/28	90kHz	143kHz	179kHz	286kHz	357kHz		
				1	1	f1/40	63kHz	100kHz	125kHz	200kHz	250kHz		
					0	f1/48	52kHz	84kHz	104kHz	167kHz	209kHz		
					1	f1/64	39kHz	63kHz	78kHz	125kHz	157kHz		

## 25.3.2 SDA端子デジタル遅延選択

PINSRレジスタのSDADLY0～SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。  
 図25.3にSDA端子のデジタル遅延の動作例を示します。

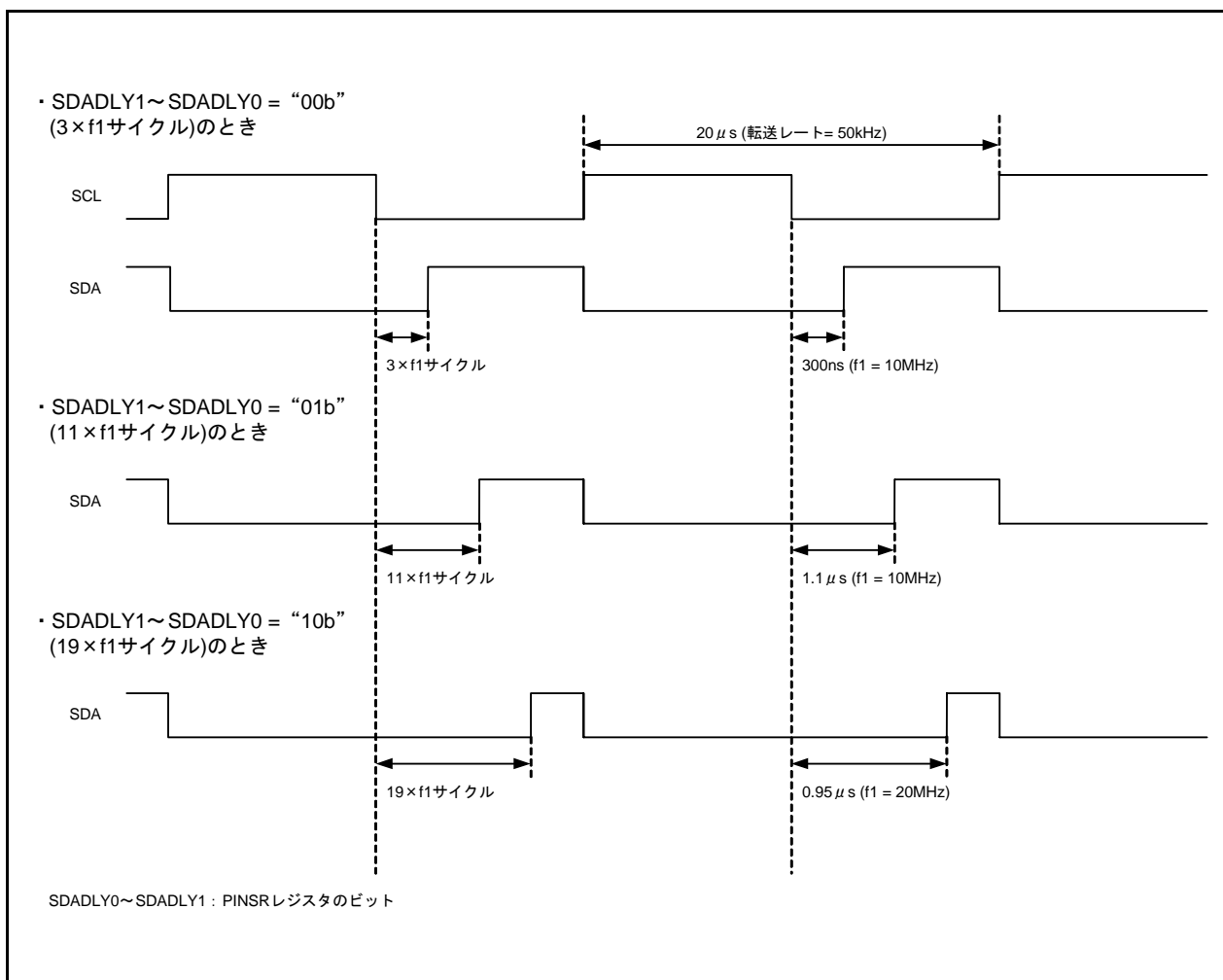


図 25.3 SDA端子のデジタル遅延の動作例



### 25.3.3 割り込み要求

I<sup>2</sup>Cバスインタフェースの割り込み要求は、I<sup>2</sup>Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表 25.5にI<sup>2</sup>Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI<sup>2</sup>Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表 25.5 I<sup>2</sup>Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I <sup>2</sup> Cバス	クロック同期式シリアル
送信データエンプティ	TXI	TIE = 1かつTDRE = 1	有効	有効
送信終了	TEI	TEIE = 1かつTEND = 1	有効	有効
受信データフル	RXI	RIE = 1かつRDRF = 1	有効	有効
停止条件検出	STPI	STIE = 1かつSTOP = 1	有効	無効
NACK検出	NAKI	NAKIE = 1かつAL = 1	有効	無効
アービトレーションロスト/ オーバーランエラー		(またはNAKIE = 1かつNACKF = 1)	有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIEレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表 25.5の発生条件が満たされたとき、I<sup>2</sup>Cバスインタフェース割り込み要求が発生します。I<sup>2</sup>Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1” (停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

25.4 I<sup>2</sup>Cバスインタフェースモード25.4.1 I<sup>2</sup>Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I<sup>2</sup>Cバスフォーマットで通信します。

図25.4にI<sup>2</sup>Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

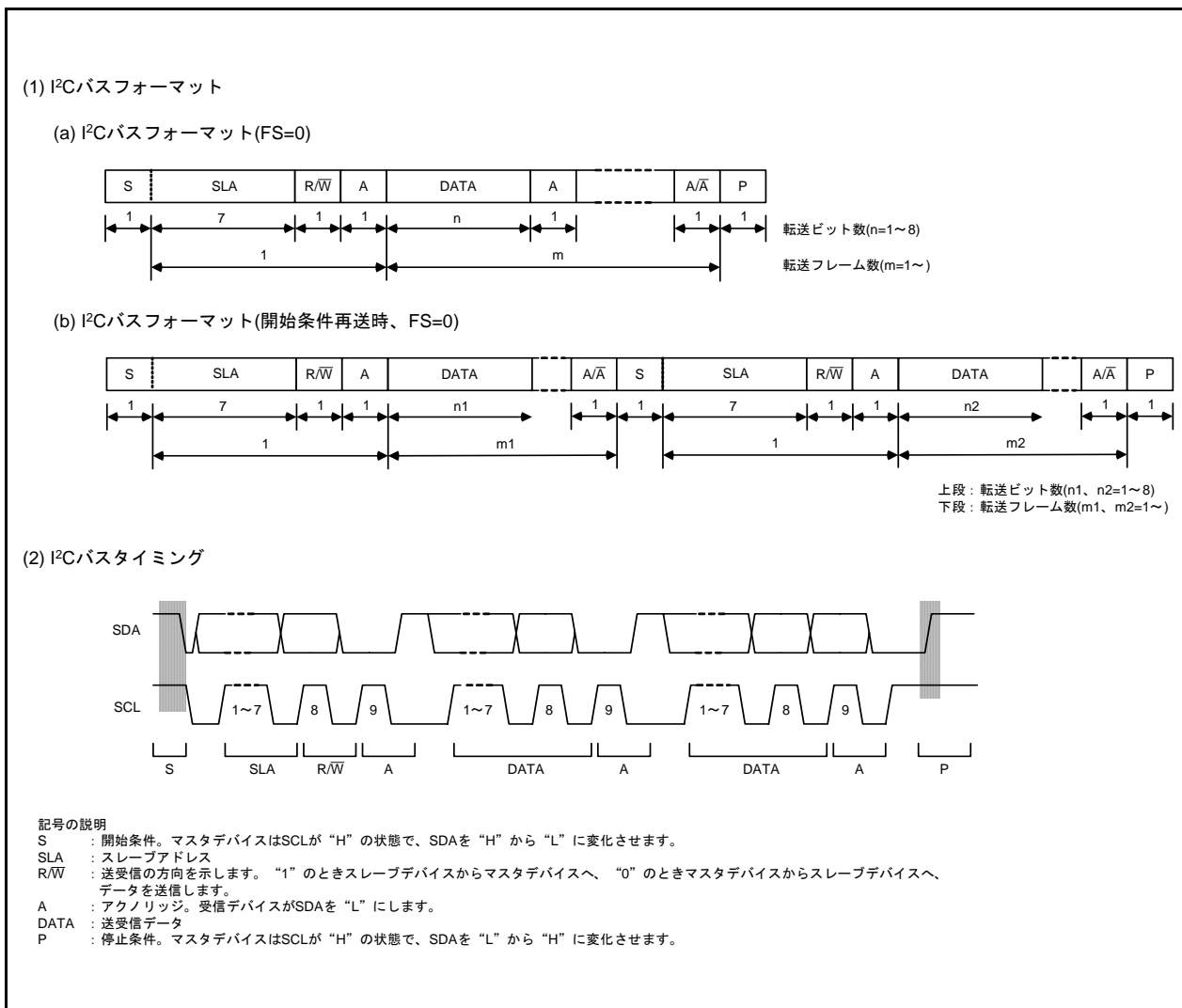


図25.4 I<sup>2</sup>Cバスフォーマットとバスタイミング

### 25.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 25.5、図 25.6にマスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSRレジスタのSTOPビットを初期化するために“0”にしてください。その後、ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。
- (2) ICCR2レジスタのBBSYビットを読んで、バスが開放状態であることを確認後、ICCR1レジスタのTRS、MSTビットをマスタ送信モードに設定してください。その後、BBSY = 1とSCP = 0をMOV命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSRレジスタのTDREビットが“1”であることを確認した後、ICDRTレジスタに送信データ(1バイト目はスレーブアドレスとR/Wを示すデータ)を書いてください。このときTDREビットは自動的に“0”になり、ICDRTレジスタからICDRSレジスタにデータが転送されて、再びTDREビットが“1”になります。
- (4) TDREビットが“1”の状態ですべての送信が完了し、送信クロックの9クロック目の立ち上がりでICSRレジスタのTENDビットが“1”になります。ICIERレジスタのACKBRビットを読んで、スレーブデバイスが選択されたことを確認した後、2バイト目のデータをICDRTレジスタに書いてください。ACKBRビットが“1”のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY = 0とSCP = 0をMOV命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまではSCLが“L”に固定されます。
- (5) 2バイト目以降の送信データは、TDREビットが“1”になるたびに、ICDRTレジスタにデータを書いてください。
- (6) 送信するバイト数をICDRTレジスタに書いたとき、その後はTDREビットが“1”の状態ですべての送信が完了し、送信クロックの9クロック目の立ち上がりでICSRレジスタのTENDビットが“1”になります。ICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)の状態、受信デバイスからのNACK(ICSRレジスタのNACKF = 1)を待ってください。その後、停止条件を発行してTENDビット、あるいはNACKFビットを“0”にしてください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、スレーブ受信モードに戻してください。

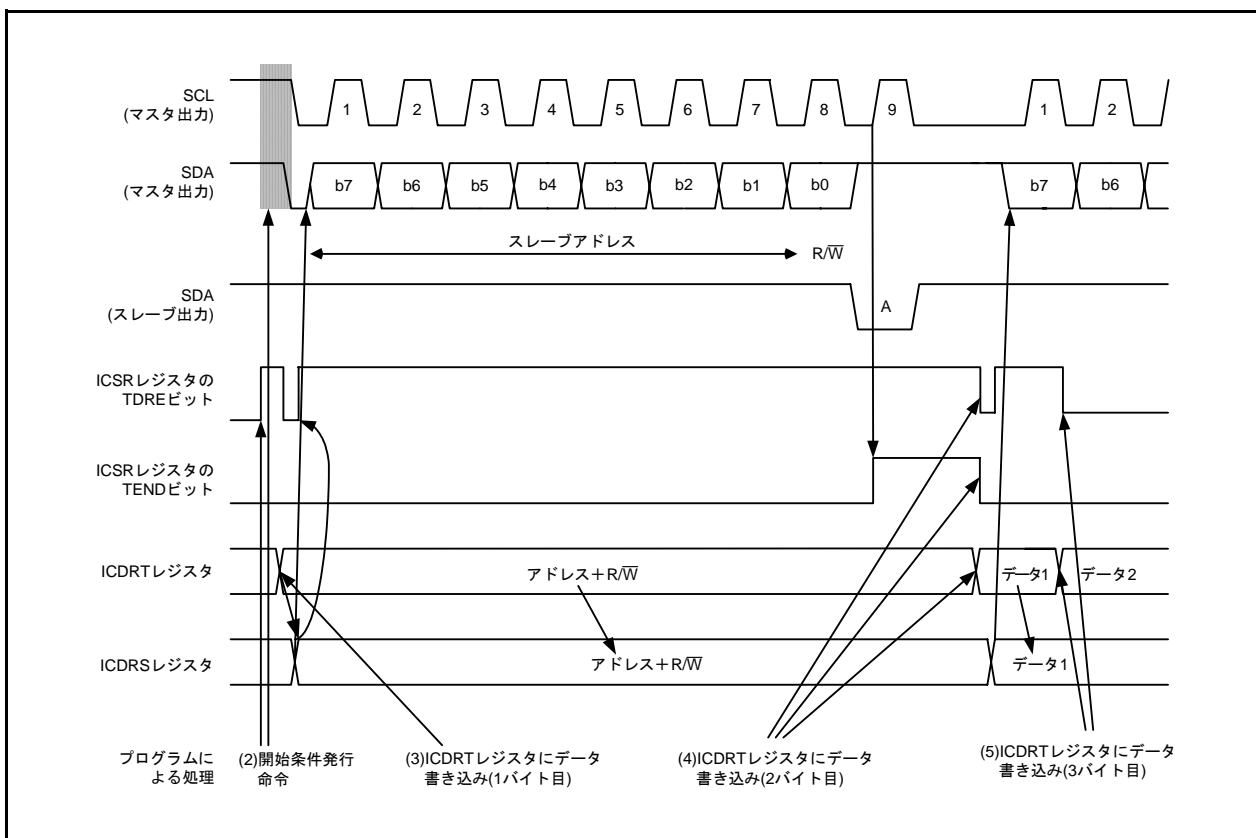


図 25.5 マスタ送信モードの動作タイミング (I<sup>2</sup>Cバスインタフェースモード)(1)

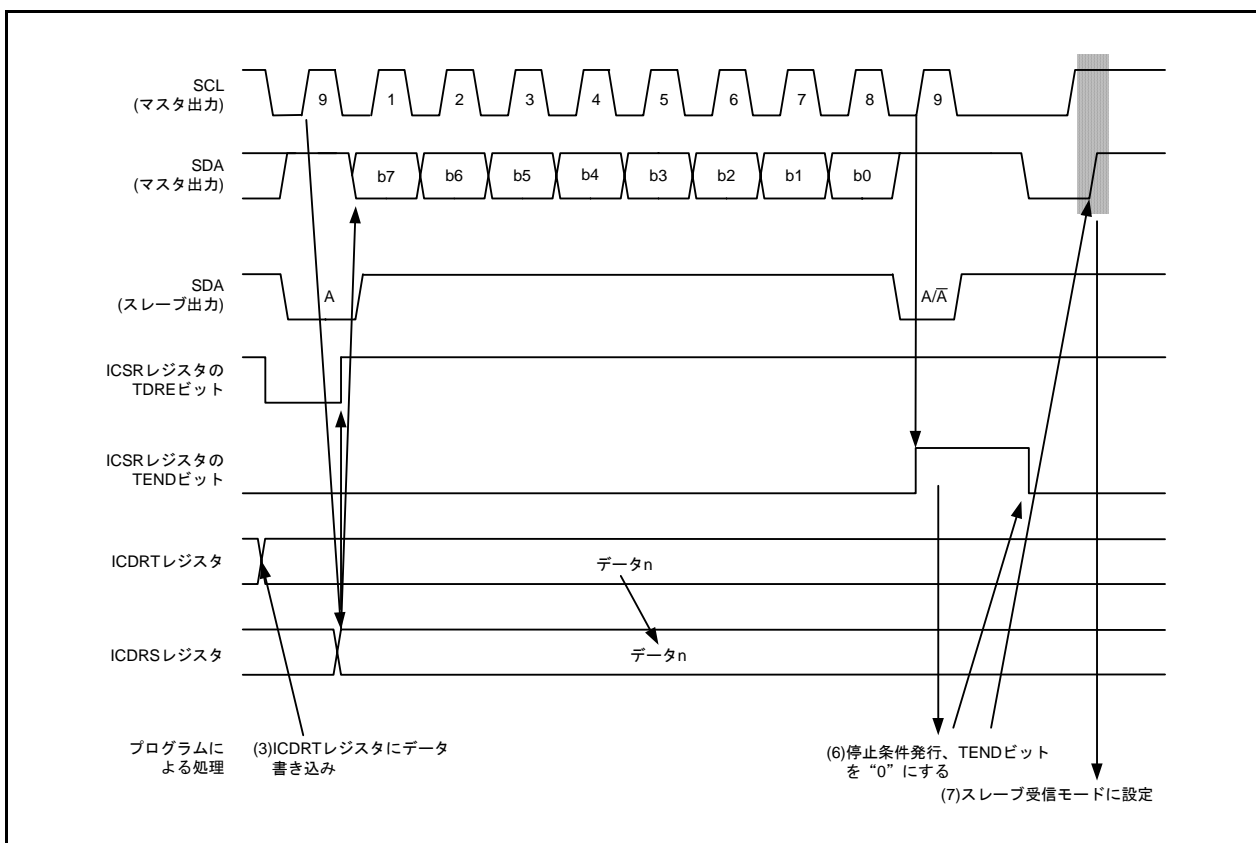


図 25.6 マスタ送信モードの動作タイミング (I<sup>2</sup>Cバスインタフェースモード)(2)

### 25.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図 25.7、図 25.8にマスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。なお、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がり重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。「25.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

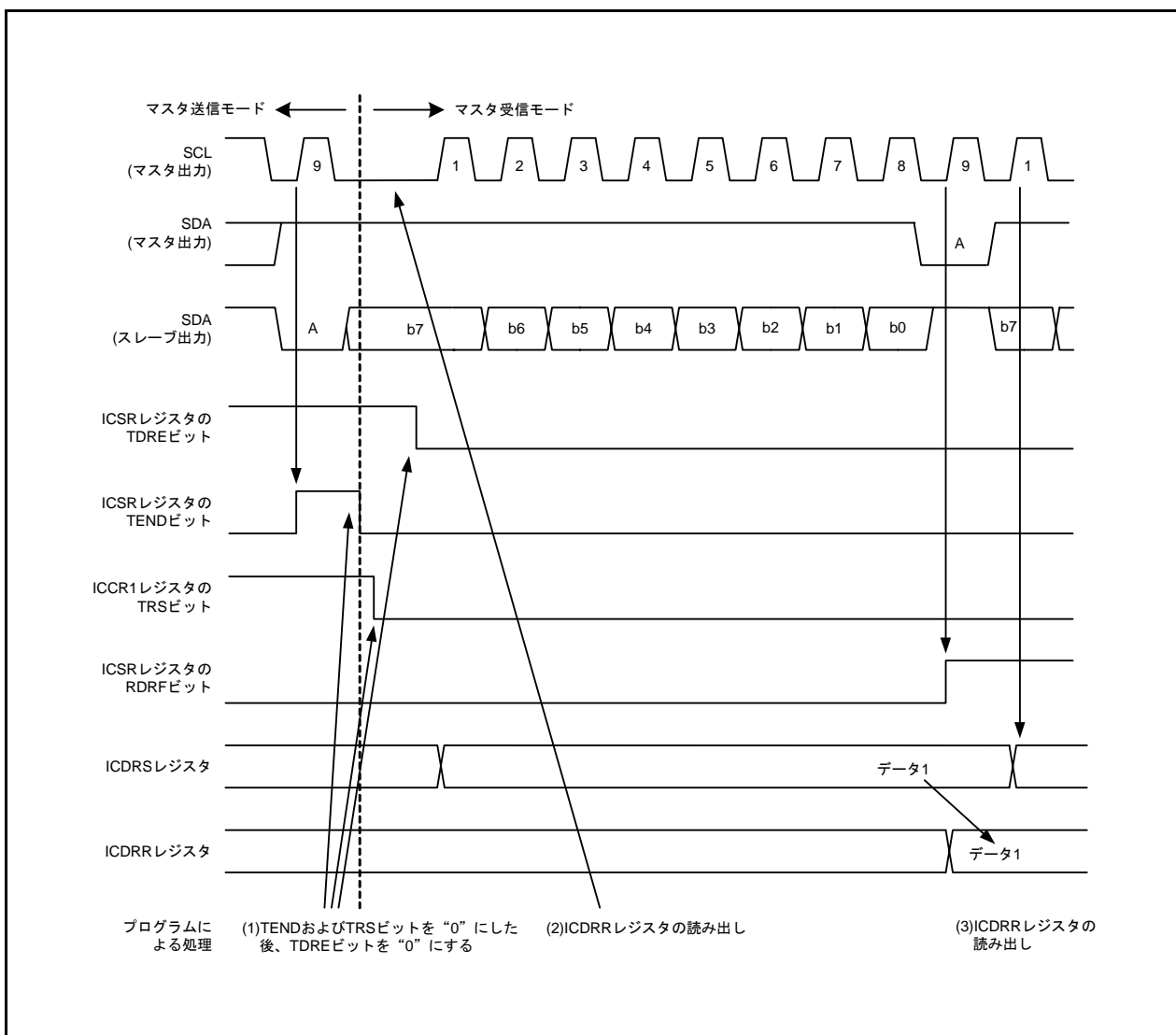
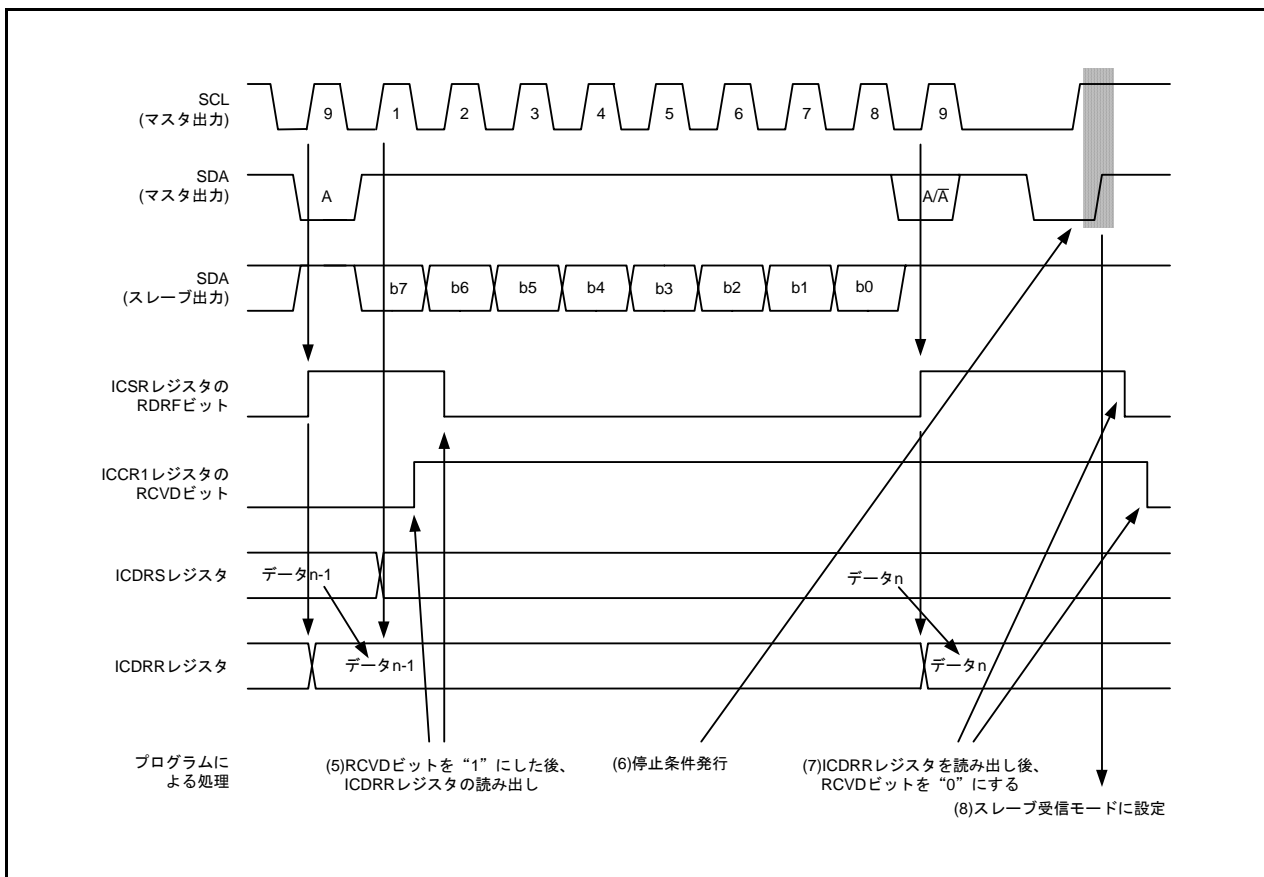


図 25.7 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

図 25.8 マスタ受信モードの動作タイミング (I<sup>2</sup>Cバスインタフェースモード)(2)

#### 25.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 25.9、図 25.10 にスレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0～CKS3 ビットなどを設定してください(初期設定)。次に ICCR1 レジスタの TRS、MST ビットを “0” にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスは ICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。このとき、8ビット目のデータ(R/W)が “1” のとき、TRS ビットおよび ICSR レジスタの TDRE ビットが “1” になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが “1” になるたびに ICDRT レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データを ICDRT レジスタに書いた後に TDRE ビットが “1” になったとき、TDRE ビットが “1” の状態で ICSR レジスタの TEND ビットが “1” になるまで待ってください。TEND ビットが “1” になったら、TEND ビットを “0” にしてください。
- (4) 終了処理のため TRS ビットを “0” にし、ICDRT レジスタをダミーリードしてください。これにより SCL が開放されます。
- (5) TDRE ビットを “0” にしてください。



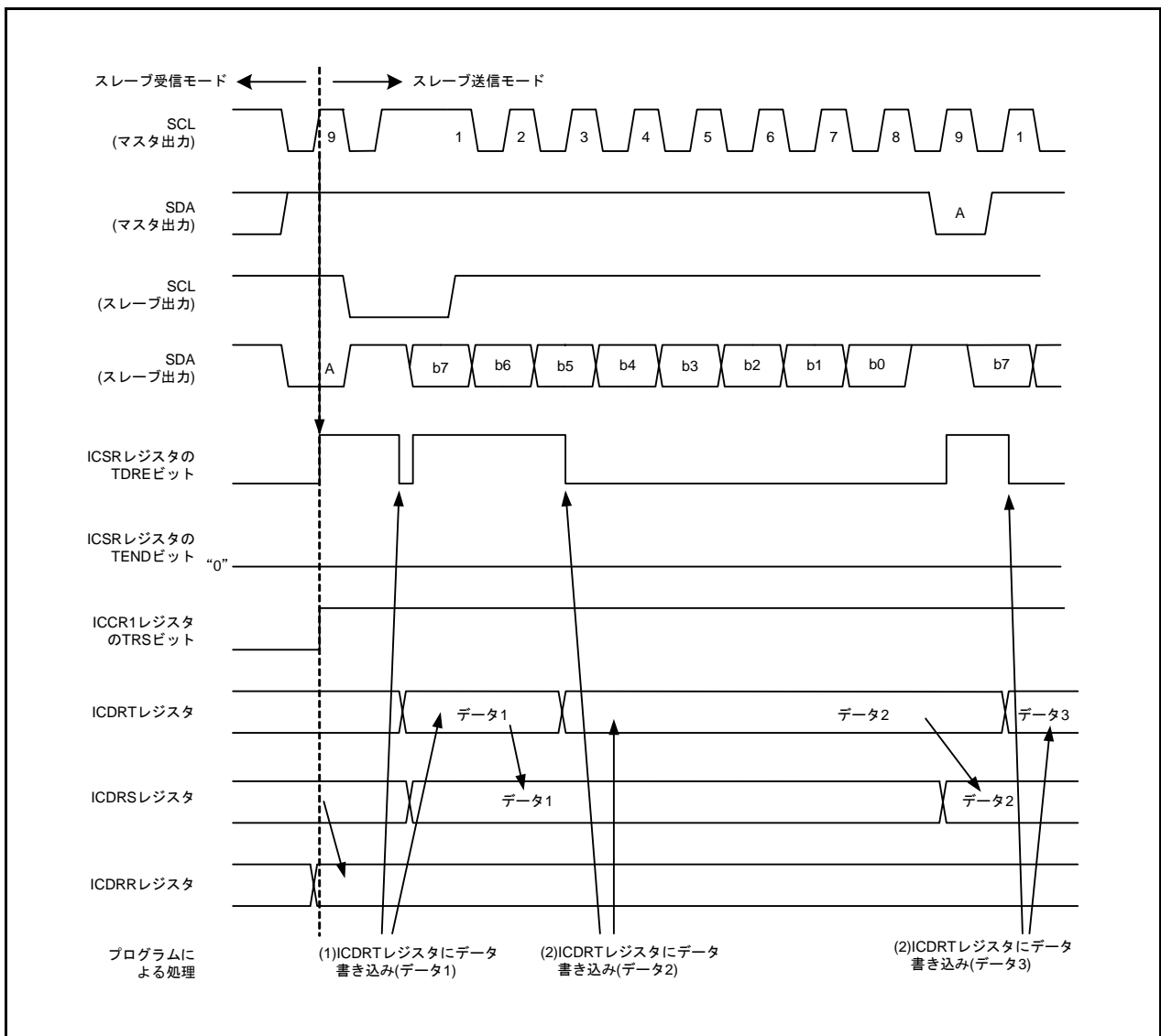


図 25.9 スレーブ送信モードの動作タイミング (I<sup>2</sup>Cバスインタフェースモード)(1)

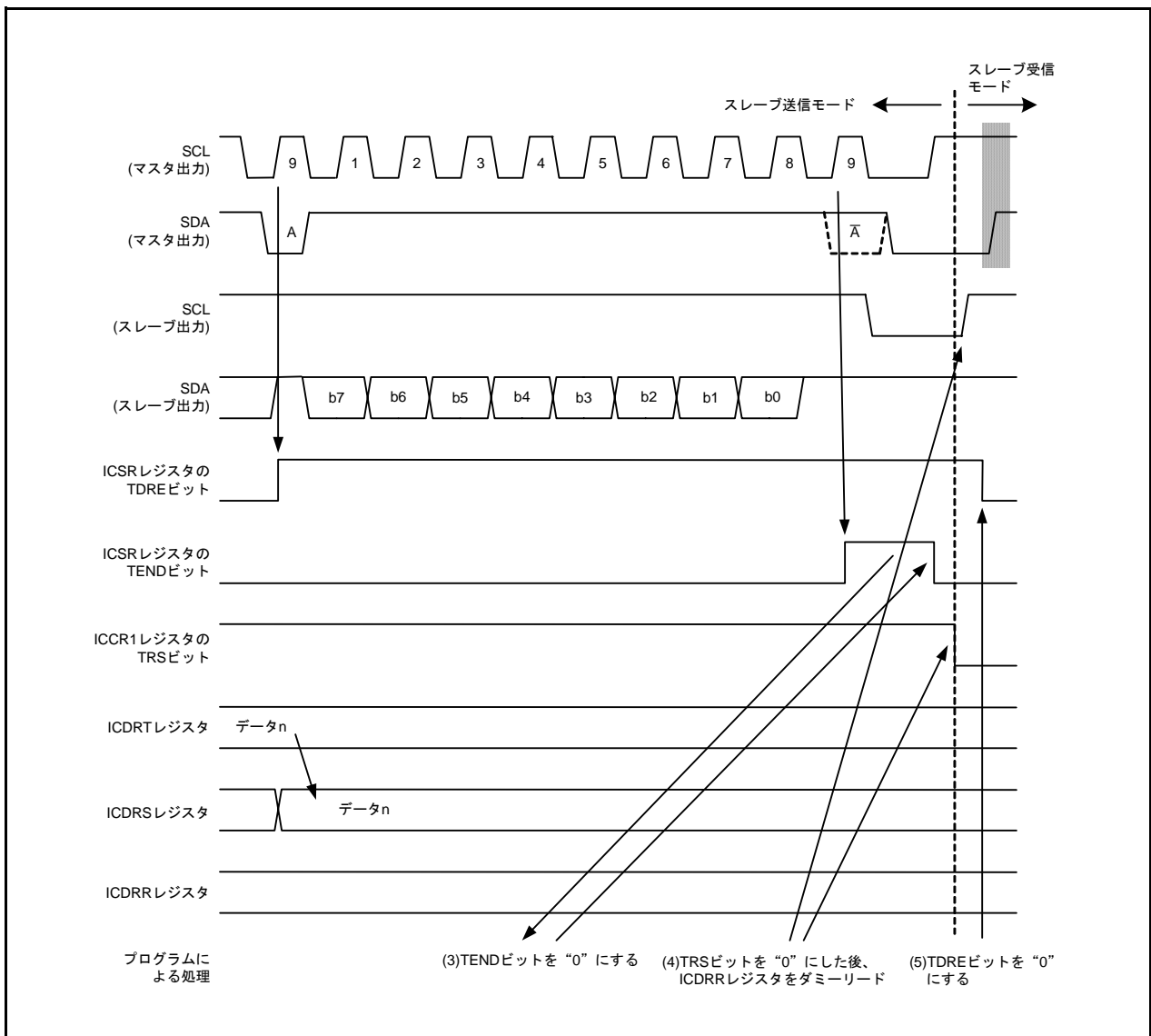


図 25.10 スレーブ送信モードの動作タイミング (I<sup>2</sup>Cバスインタフェースモード)(2)

### 25.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 25.11、図 25.12 にスレーブ受信モードの動作タイミング (I<sup>2</sup>C バスインタフェースモード) を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0～CKS3 ビットなどを設定してください (初期設定)。次に ICCR1 レジスタの TRS、MST ビットを “0” にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスは ICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。同時に ICSR レジスタの RDRF ビットが “1” になりますので、ICDRR レジスタをダミーリード (読み出したデータはスレーブアドレス+R/Wを示すので不要) してください。
- (3) RDRF ビットが “1” になるたびに、ICDRR レジスタを読んでください。RDRF ビットが “1” の状態で8クロック目が立ち下がると、ICDRR レジスタを読むまで SCL が “L” に固定されます。ICDRR レジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。
- (4) 最終バイトの読み出しも、同様に ICDRR レジスタを読むことで行います。

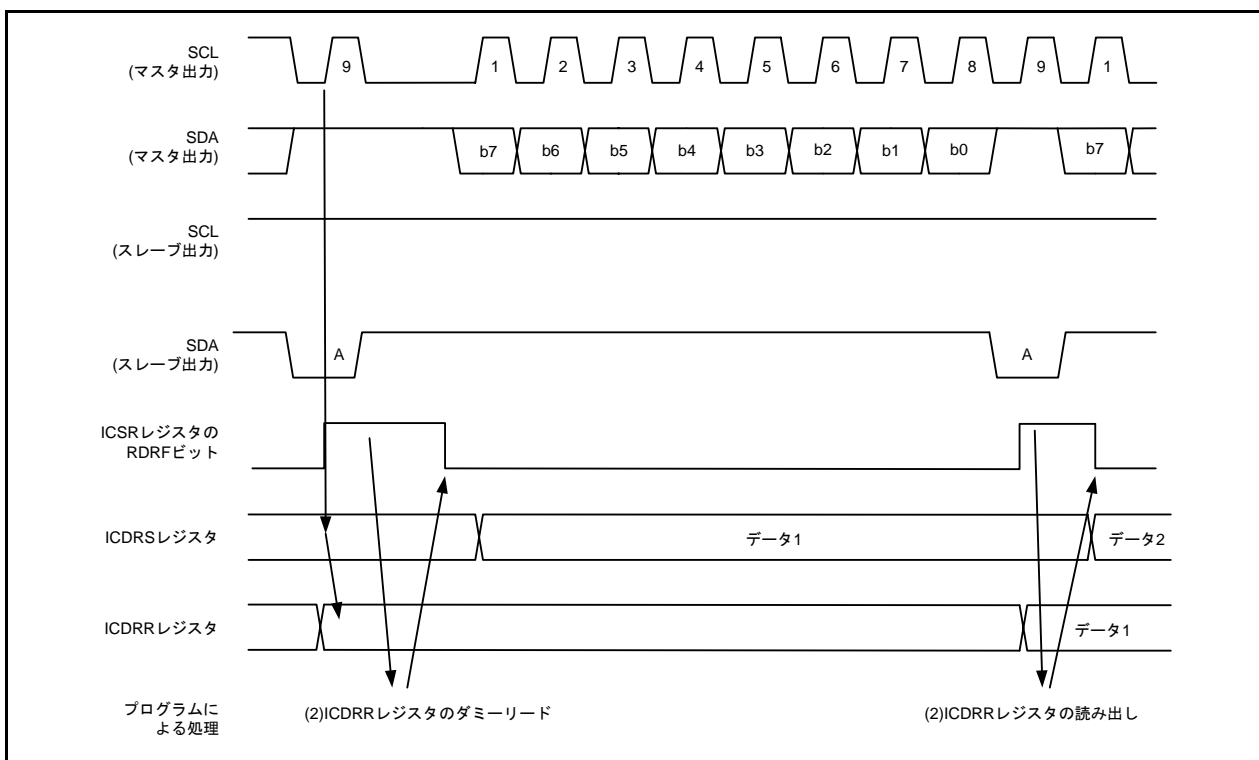


図 25.11 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

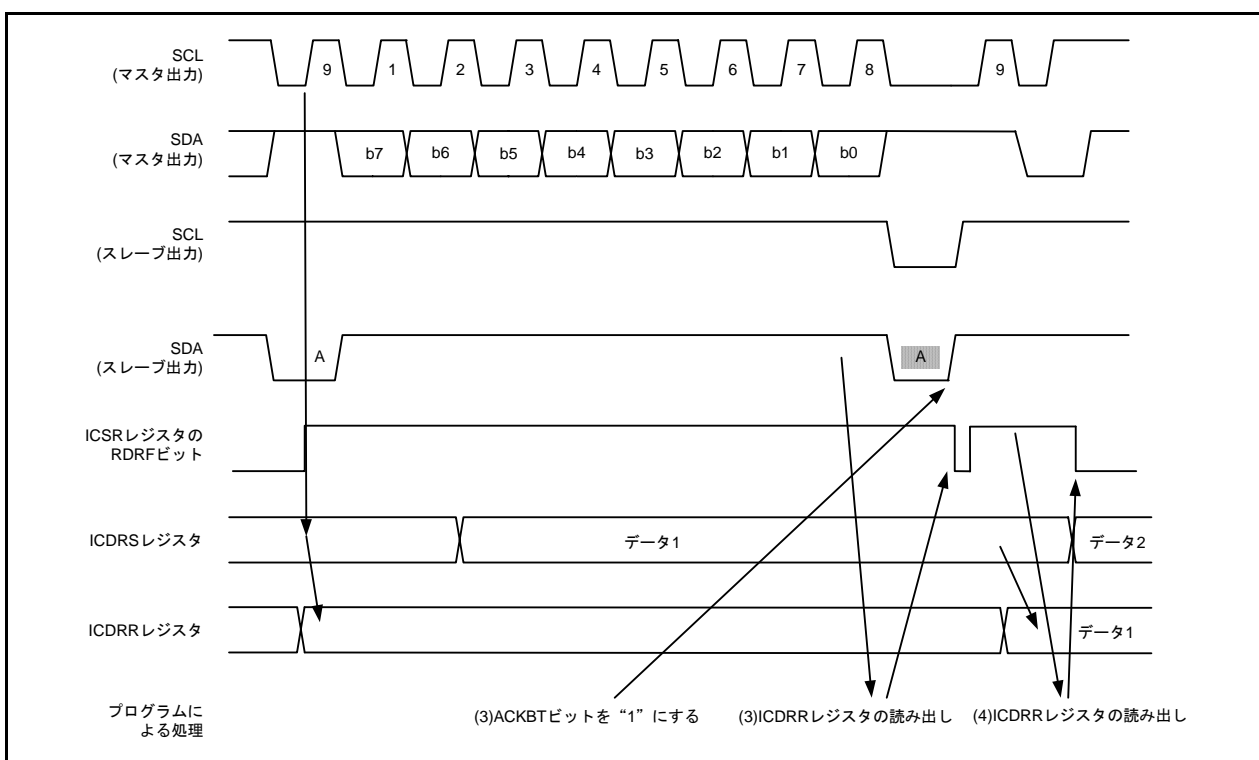


図 25.12 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

## 25.5 クロック同期式シリアルモード

### 25.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。  
図 25.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”(マスタモード)のときSCLから転送クロック出力となり、MSTビットが“0”(スレーブモード)のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち上がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

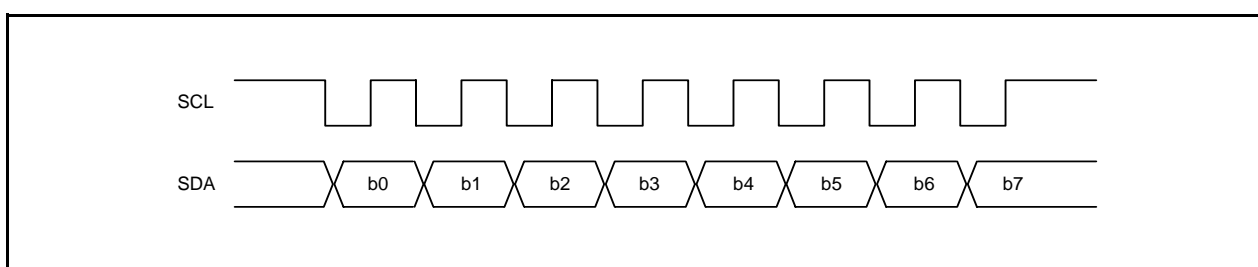


図 25.13 クロック同期式シリアルフォーマットの転送フォーマット

### 25.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”(マスタモード)のとき出力、MSTビットが“0”(スレーブモード)のとき入力となります。

図25.14に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。
- (3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書き込んでください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態ではTRSビットを“0”にしてください。

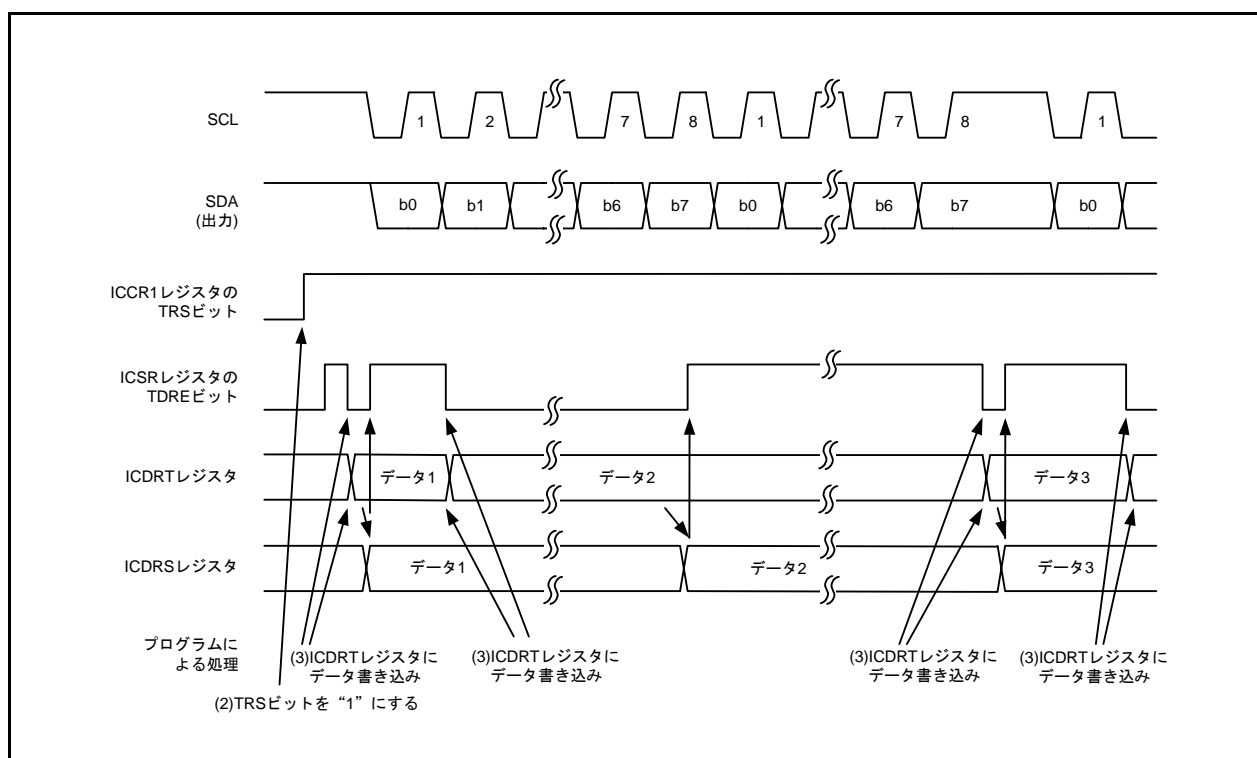


図 25.14 送信モードの動作タイミング(クロック同期式シリアルモード)

### 25.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”(マスターモード)のとき出力、MSTビットが“0”(スレーブモード)のとき入力となります。

図 25.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態でも8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

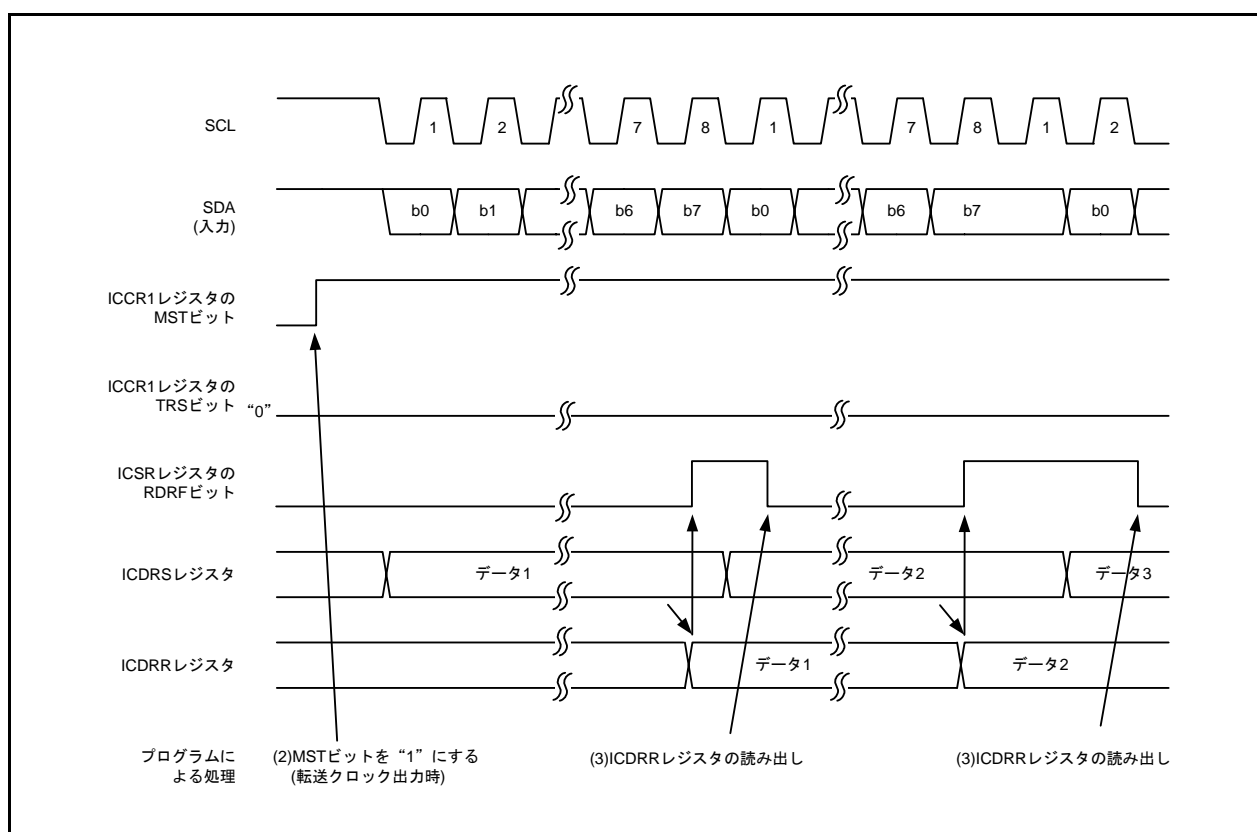


図 25.15 受信モードの動作タイミング(クロック同期式シリアルモード)

### 25.6 レジスタ設定例

I<sup>2</sup>Cバスインタフェースを使用する場合のレジスタ設定例を図 25.16～図 25.19に示します。

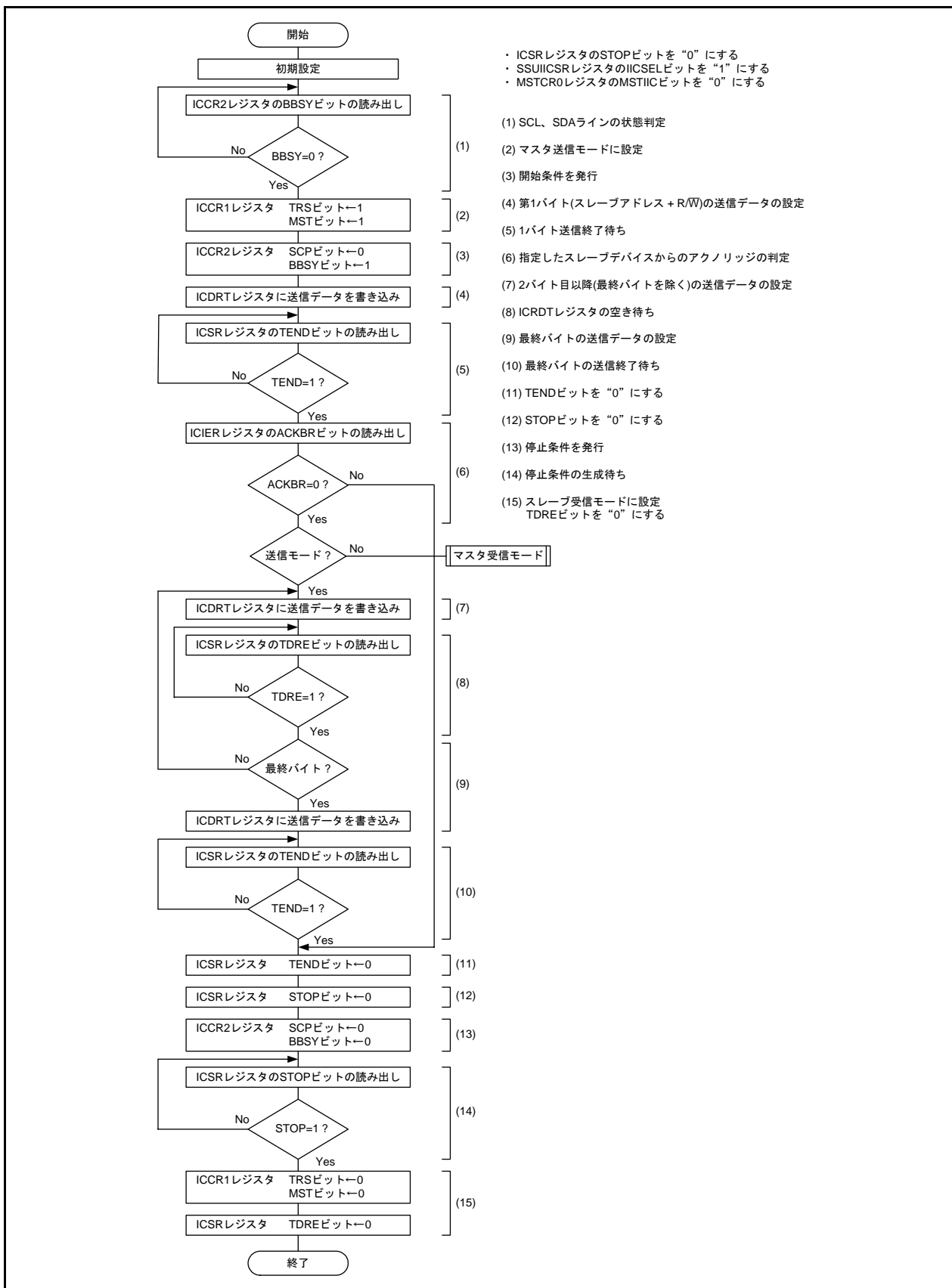
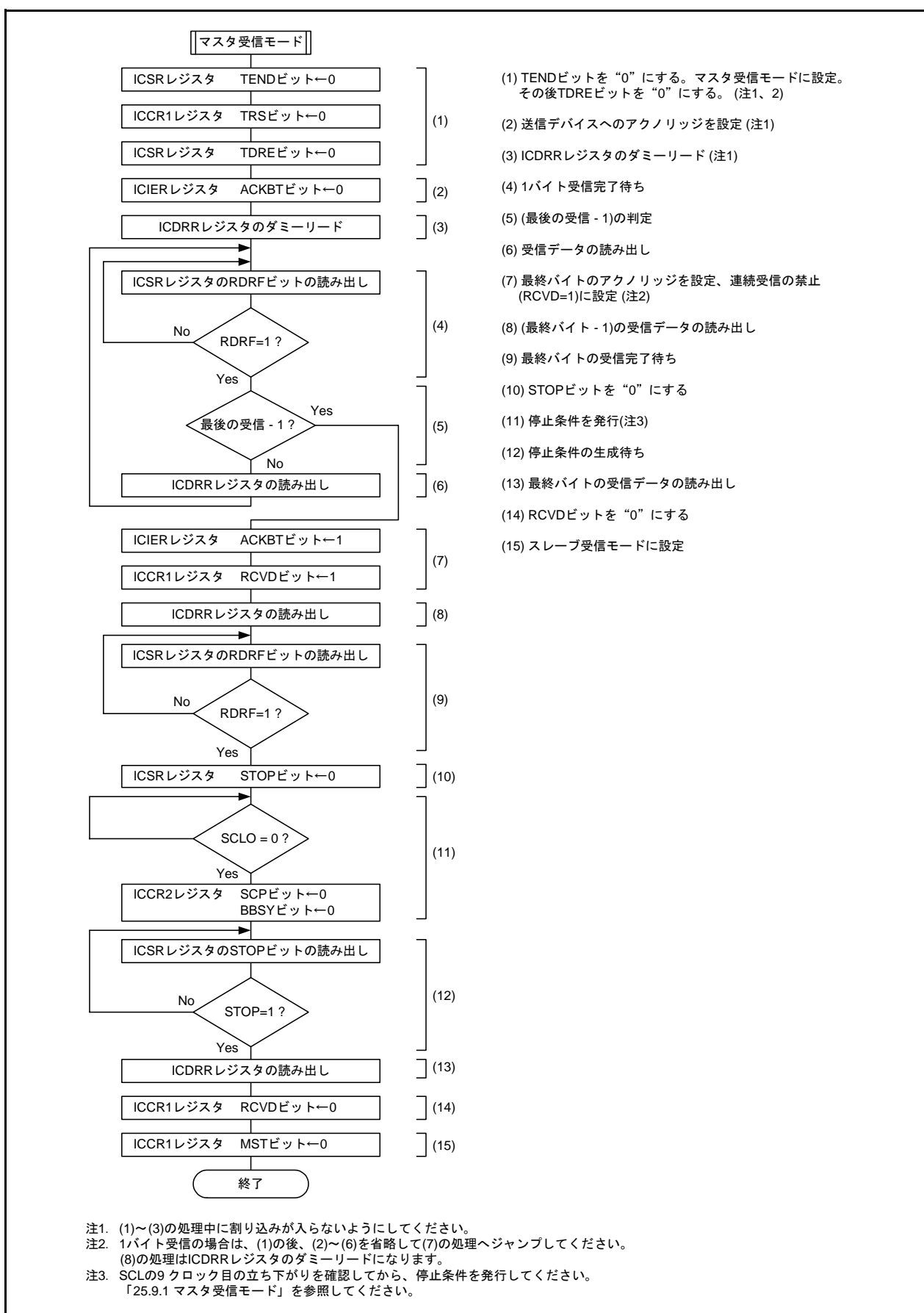


図 25.16 マスタ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)



図 25.17 マスタ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

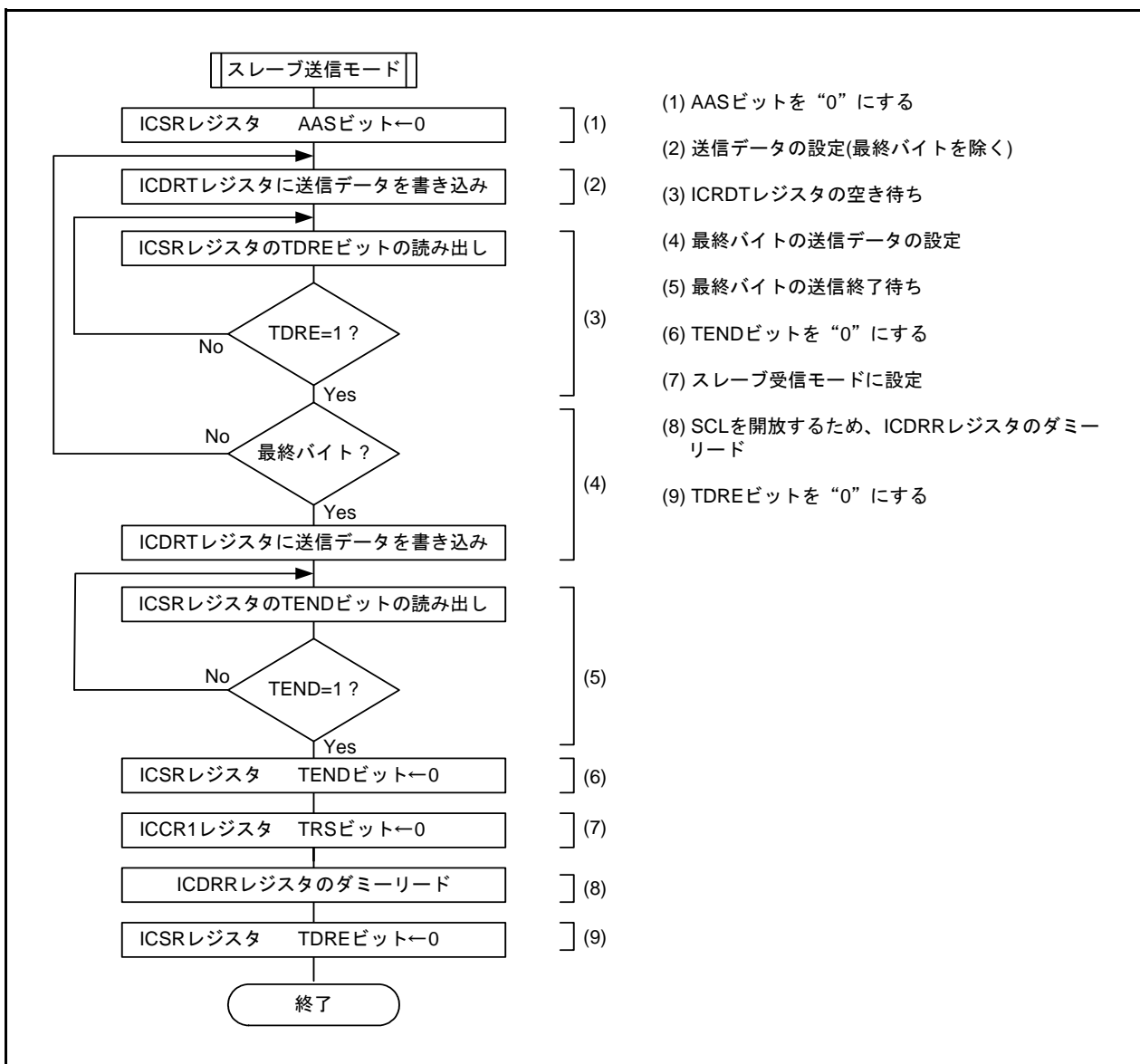


図 25.18 スレーブ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

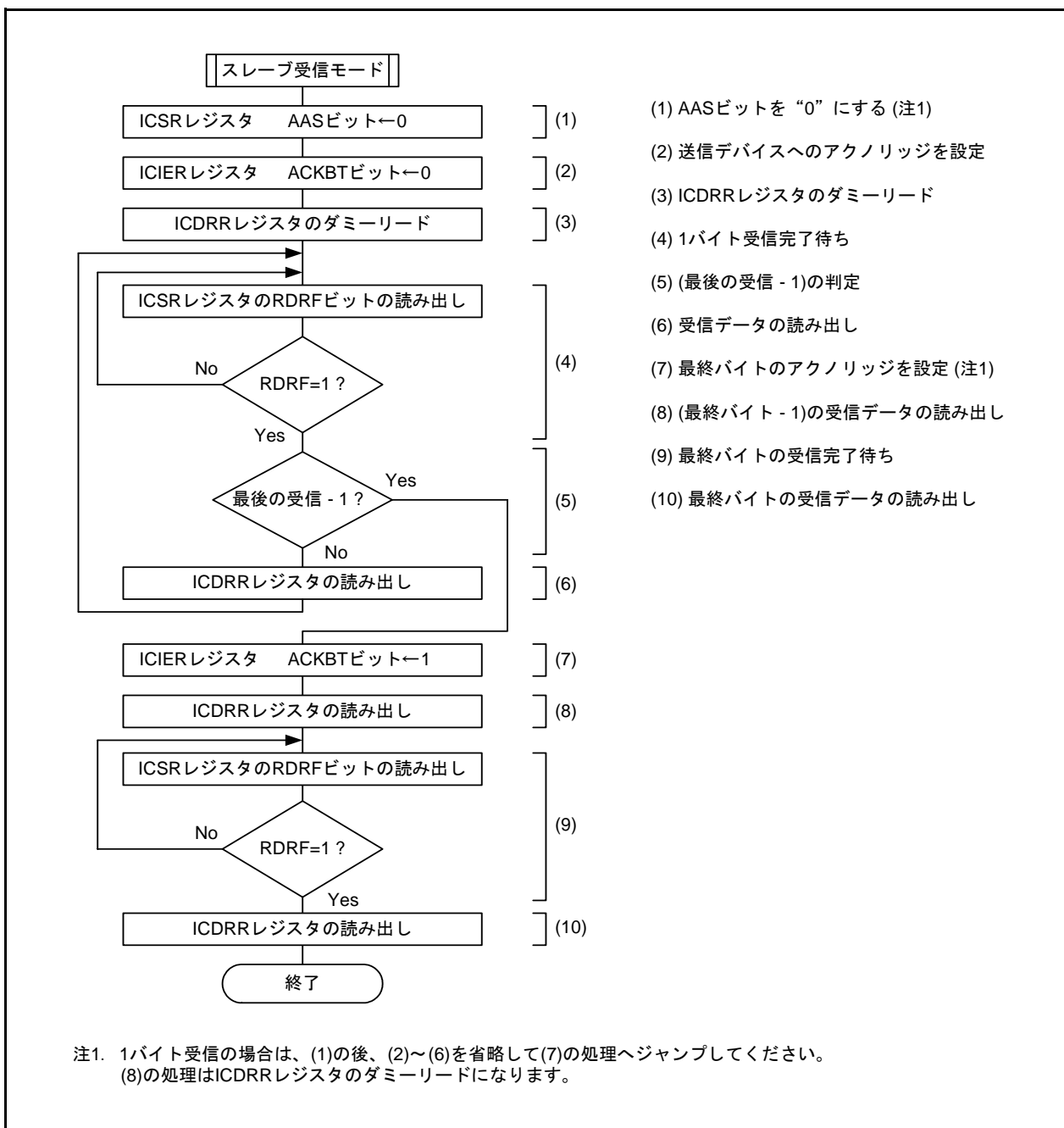


図 25.19 スレーブ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

## 25.7 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図 25.20にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)が $f_1$ でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

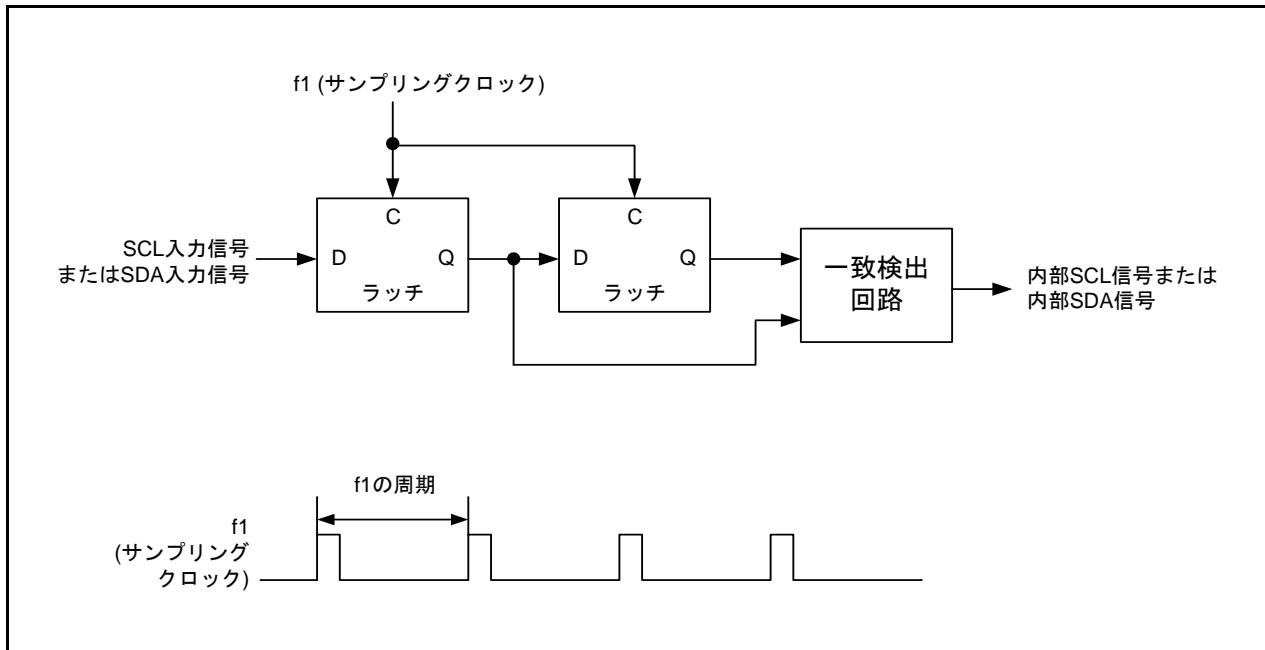


図 25.20 ノイズ除去回路のブロック図

## 25.8 ビット同期回路

I<sup>2</sup>Cバスインタフェースをマスタモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
- SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図 25.21にビット同期回路のタイミングを、表 25.6にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

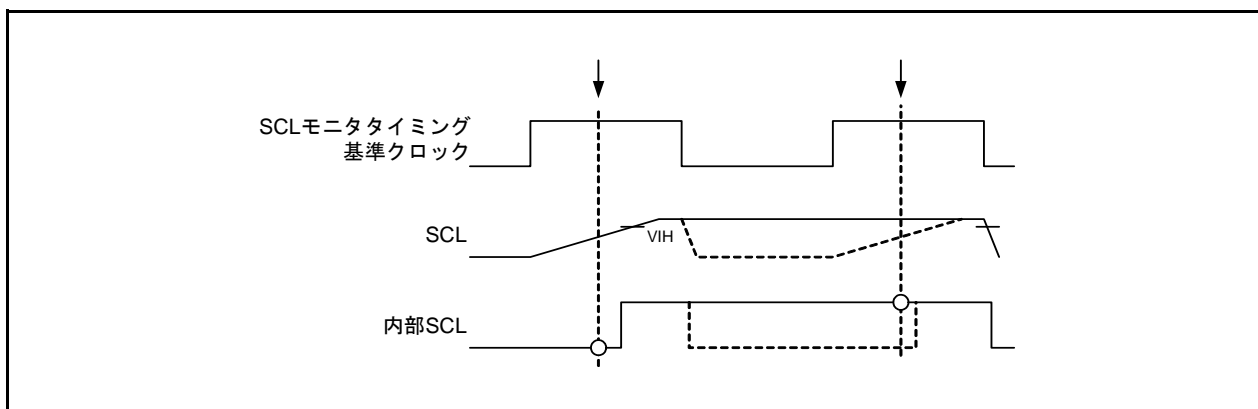


図 25.21 ビット同期回路のタイミング

表 25.6 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1 レジスタ		SCL をモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc = 1/f1(s)

## 25.9 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUIICSRレジスタのIICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

### 25.9.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

#### 25.9.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、は、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

### 25.9.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

#### 25.9.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

#### 25.9.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

#### 25.9.2.3 IICRSTビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。

- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

## 26. A/Dコンバータ

### 注意

本章ではR8C/LA8Aグループについて説明します。  
R8C/LA6Aグループについては「1.1.2 グループごとの相違点」を参照してください。

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あり、ゲインアンプを経由してアナログ入力電圧をA/D変換することも可能です。アナログ入力は、P0\_0、P6、P7\_4～P7\_6と端子を共用しています。

また拡張機能として、温度センサ出力電圧をA/D変換することが可能です。

温度センサについては「26.9 温度センサ」、ゲインアンプについては「表 30.5 ゲインアンプの特性」を参照してください。

### 26.1 概要

表 26.1にA/Dコンバータの性能を、図 26.1にA/Dコンバータのブロック図を示します。

表 26.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC
ゲインアンプ選択(注4)	ゲイン1、2、4、6、8選択可能
動作クロックφAD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD = f1またはfOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5V、φAD = 20MHzのとき <ul style="list-style-type: none"> <li>• 分解能8ビットの場合 ±2LSB</li> <li>• 分解能10ビットの場合 ±3LSB</li> </ul> AVCC = Vref = 3.0V、φAD = 10MHzのとき <ul style="list-style-type: none"> <li>• 分解能8ビットの場合 ±2LSB</li> <li>• 分解能10ビットの場合 ±5LSB</li> </ul>
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	12本(AN0～AN11)
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRH</li> <li>• タイマRC</li> <li>• 外部トリガ</li> </ul> (「26.3.3 A/D変換開始条件」参照)
1端子あたりの変換速度(注3) (φAD = fADのとき)	最短44φADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロックφADは「表 30.3 A/Dコンバータの特性」を参照してください。

注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短44φADサイクルになります。

注4. ゲインアンプにはオフセットがあります。  
増幅した値がVCCを超えないようにしてください。



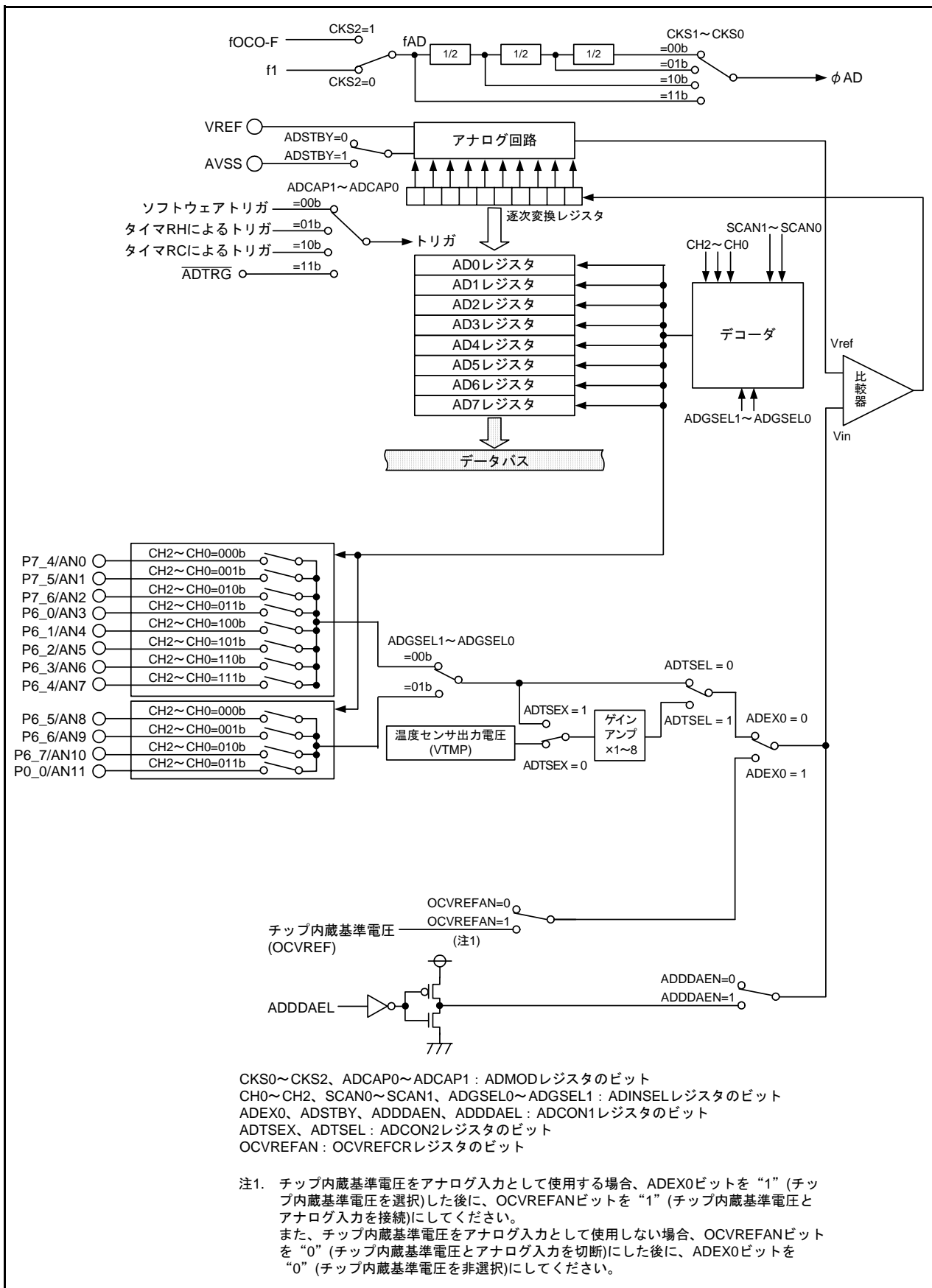


図 26.1 A/Dコンバータのブロック図

## 26.2 レジスタの説明

## 26.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス	0008h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	MSTURT2	MSTURT0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURT0	UART0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b2	MSTURT2	UART2スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b4	MSTLCD	LCDスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	A/Dスタンバイビット(注6)	0: アクティブ 1: スタンバイ	R/W

注1. MSTURT0ビットが“1”(スタンバイ)のとき、UART0関連レジスタ(00A0h～00A7h番地)へのアクセスは無効になります。

注2. MSTURT2ビットが“1”(スタンバイ)のとき、UART2関連レジスタ(00A8h～00BFh番地)へのアクセスは無効になります。

注3. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>C関連レジスタ(0193h～19Dh番地)へのアクセスは無効になります。

注4. MSTLCDビットが“1”(スタンバイ)のとき、LCD関連レジスタ(0200h～0237h番地)へのアクセスは無効になります。

注5. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

注6. MSTADCビットが“1”(スタンバイ)のとき、A/D関連レジスタ(00C0h～00D9h番地、00DCh～00DFh番地)へのアクセスは無効になります。

温度センサ使用時は、MSTADCビットを“0”(アクティブ)にしてください。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 26.2.2 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス 0026h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	OCVREFAN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCVREFAN	チップ内蔵基準電圧—アナログ 入力接続ビット(注1)	0: チップ内蔵基準電圧とアナログ入力を切断 1: チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

- 注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFAN ビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。  
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0 ビットを“0”(拡張アナログ入力を非選択)にしてください。  
温度センサ使用時は、OCVREFAN ビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを“1”(書き込み許可)にした後で書き換えてください。

A/D変換中にOCVREFCR レジスタの内容を書き換えた場合、変換結果は不定になります。

26.2.3 A/Dレジスタ*i* (AD*i*)(*i* = 0 ~ 7)

アドレス 00C1h ~ 00C0h番地 (AD0)、00C3h ~ 00C2h番地 (AD1)、00C5h ~ 00C4h番地 (AD2)、  
00C7h ~ 00C6h番地 (AD3)、00C9h ~ 00C8h番地 (AD4)、00CBh ~ 00CAh番地 (AD5)、  
00CDh ~ 00CCh番地 (AD6)、00CFh ~ 00CEh番地 (AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	X	X

ビット	機能		R/W
	10ビットモードの場合 (ADCON1レジスタのBITSビット=“1”)	8ビットモードの場合 (ADCON1レジスタのBITSビット=“0”)	
b0	A/D変換結果の下位8ビット	A/D変換結果	R
b1			
b2			
b3			
b4			
b5			
b6			
b7			
b8	A/D変換結果の上位2ビット	読んだ場合、その値は“0”。	R
b9			
b10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b11			
b12			
b13			
b14			
b15	予約ビット	読んだ場合、その値は不定。	R

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

A/D変換完了後、1サイクル以上待ってからA/D変換結果を読み出してください。

## 26.2.4 A/Dモードレジスタ (ADM0D)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 00 : fADの8分周 01 : fADの4分周 10 : fADの2分周 11 : fADの1分周 (分周なし)	R/W
b1	CKS1			R/W
b2	CKS2	クロック源選択ビット(注1)	0 : f1を選択 1 : fOCO-Fを選択	R/W
b3	MD0	A/D動作モード選択ビット(注2)	b5 b4 b3 000 : 単発モード 001 : 設定しないでください 010 : 繰り返しモード0 011 : 繰り返しモード1 100 : 単掃引モード 101 : 設定しないでください 110 : 繰り返し掃引モード 111 : 設定しないでください	R/W
b4	MD1			R/W
b5	MD2			R/W
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 00 : ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始 01 : タイマRHからの変換トリガによるA/D変換開始 10 : タイマRCからの変換トリガによるA/D変換開始 11 : 外部トリガ(ADTRG)によるA/D変換開始	R/W
b7	ADCAP1			R/W

注1. CKS2ビットを変更したときは、φADの3サイクル以上経過した後にA/D変換を開始してください。

注2. 温度センサ使用時は、単発モード、繰り返しモード0、繰り返しモード1のいずれかで使用してください。単掃引モード、繰り返し掃引モードを選択しないでください。

A/D変換中にADM0Dレジスタの内容を書き換えた場合、変換結果は不定になります。

## 26.2.5 A/D入力選択レジスタ (ADINSEL)

アドレス 00D5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	—	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット	「表 26.2 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	SCAN0	A/D掃引端子数選択ビット	b5 b4 00 : 2端子 01 : 4端子 10 : 6端子 11 : 8端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 00 : AN0～AN7を選択 01 : AN8～AN11を選択 10 : 設定しないでください 11 : アナログ入力端子非選択	R/W
b7	ADGSEL1			R/W

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表 26.2 アナログ入力端子選択

CH2～CH0ビット	ADGSEL1～ADGSEL0 ビット=00b	ADGSEL1～ADGSEL0 ビット=01b
000b	AN0	AN8
001b	AN1	AN9
010b	AN2	AN10
011b	AN3	AN11
100b	AN4	設定しないでください
101b	AN5	
110b	AN6	
111b	AN7	

## 26.2.6 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

## ADSTビット (A/D変換開始フラグ)

【“1”になる条件】 A/D変換開始時およびA/D変換中

【“0”になる条件】 A/D変換停止時

## 26.2.7 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	—	—	—	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	チップ内蔵基準電圧選択ビット(注1)	0: チップ内蔵基準電圧を非選択 1: チップ内蔵基準電圧を選択(注2、6、7)	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	—			
b4	BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0: A/D動作停止(スタンバイ)(注4) 1: A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可ビット(注5、7)	0: 禁止 1: 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択ビット(注5)	0: 変換前ディスチャージ 1: 変換前プリチャージ	R/W

- 注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのOCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。  
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(チップ内蔵基準電圧を非選択)にしてください。  
温度センサ使用時は、ADEX0ビットを“0”(チップ内蔵基準電圧を非選択)にしてください。
- 注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。
- 注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 $\phi$ ADの1サイクル以上経過した後にA/D変換を開始してください。
- 注4. スタンバイにする前に、A/D機能を停止してください。ADSTBYビットが“0”(スタンバイ)のとき、A/D関連レジスタ(00C0h~00CFh、00D4h~00D7h番地)へのアクセスは無効になります。
- 注5. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを“1”(許可)にした後、ADDDAELビットで変換開始状態を選択してください。  
断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。
- 注6. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADINSELレジスタのCH2~CH0ビットを“000b”にしてください。
- 注7. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADDDAENビットを“0”(A/D断線検出アシスト機能を禁止)にしてください。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。



## 26.2.8 A/D制御レジスタ2 (ADCON2)

アドレス 00DDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTSEL	ADTSEN	—	—	ADTSEX	ADTSG2	ADTSG1	ADTSG0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTSG0	ゲイン選択ビット(注5)	b2 b1 b0 0 0 0 : ゲイン1 (増幅率1倍)	R/W
b1	ADTSG1		0 0 1 : ゲイン2 (増幅率2倍)	R/W
b2	ADTSG2		0 1 0 : ゲイン4 (増幅率4倍)	R/W
			0 1 1 : ゲイン6 (増幅率6倍)	
			1 0 0 : ゲイン8 (増幅率8倍)	
			1 0 1 : 選択しないでください	
			1 1 0 : 選択しないでください	
			1 1 1 : 選択しないでください	
b3	ADTSEX	ゲインアンプ入力切り替えビット	0 : 内蔵温度センサ(注3) 1 : アナログ入力端子	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	ADTSEN	ゲインアンプ動作開始ビット (注1、2、3)	0 : 動作停止 1 : 動作開始	R/W
b7	ADTSEL	アナログ入力切り替えビット(注4)	0 : アナログ入力端子 1 : ゲインアンプ出力	R/W

- 注1. 消費電流低減のため、ゲインアンプを使用しない場合は、ADTSENビットを“0”にしてください。
- 注2. ゲインアンプはADTSENビットを“1”(動作開始)にすると、動作を開始します。動作開始設定から最大200 $\mu$ s後に電圧が安定します。あらかじめ電圧を安定させてから、A/D変換を開始してください。
- 注3. 温度センサはADTSEXビットを“0”(内蔵温度センサ)かつADTSENビットを“1”(動作開始)にすると、動作を開始します。動作開始設定から最大200 $\mu$ s後に電圧が安定するのを待ってから、A/D変換を開始してください。
- 注4. 温度センサ使用時は、ADTSELビットを“1”(ゲインアンプ出力)にしてください。
- 注5. 増幅した値がVCCを超えないようにしてください。

A/D変換中にADCON2レジスタの内容を書き換えた場合、変換結果は不定になります。  
ゲインアンプにはオフセットがあります。

## 26.3 複数モードに関わる共通事項

### 26.3.1 入出力端子

アナログ入力にはAN0～AN11で、P0\_0、P6、P7\_4～P7\_6端子を共用しています。

AN<sub>i</sub> (i=0～11)端子を入力で使用する場合、端子に対応するポート方向ビットを“0” (入力モード) にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

### 26.3.2 A/D変換サイクル数

図26.2にA/D変換タイミング図を、図26.3にA/D変換サイクル数( $\phi_{AD} = f_{AD}$ のとき)を示します。

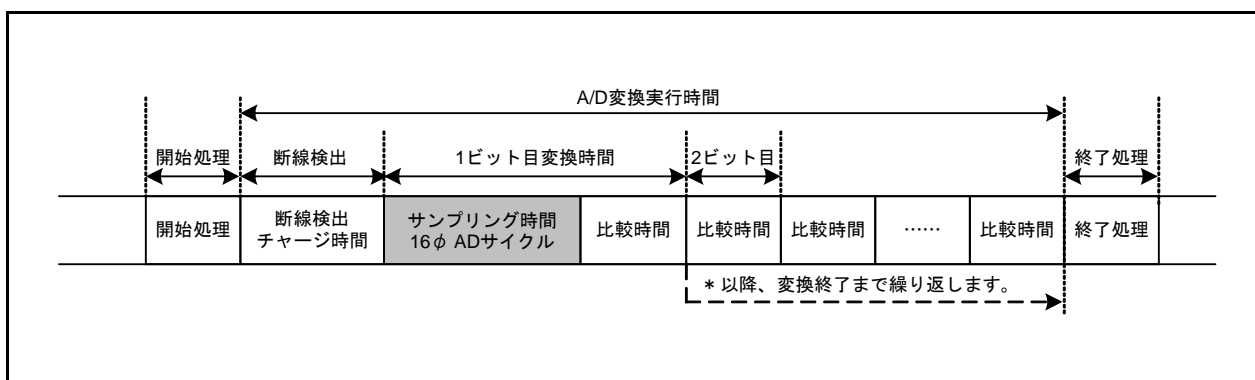


図 26.2 A/D変換タイミング図

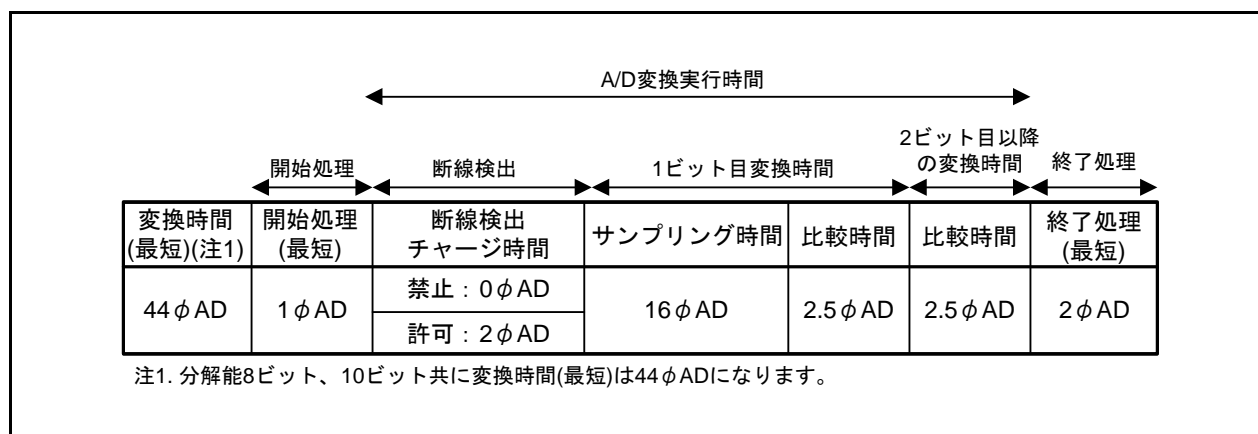


図26.3 A/D変換サイクル数( $\phi_{AD} = f_{AD}$ のとき)

表 26.3に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は $\phi$ ADの選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になると同時に、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合  
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合  
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表 26.3 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	$\phi$ AD = fAD	fADの1～2サイクル
	$\phi$ AD = fADの2分周	fADの2～3サイクル
	$\phi$ AD = fADの4分周	fADの3～4サイクル
	$\phi$ AD = fADの8分周	fADの5～6サイクル
A/D変換実行時間	断線検出禁止	$\phi$ ADの40サイクル + fADの1～3サイクル
	断線検出許可	$\phi$ ADの42サイクル + fADの1～3サイクル
実行間処理時間		$\phi$ ADの1サイクル
終了処理時間		fADの2～3サイクル

### 26.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRHの割り込み要求からのトリガ、タイマRCからのトリガと、外部トリガがあります。

図26.4にA/D変換開始制御部のブロック図を示します。

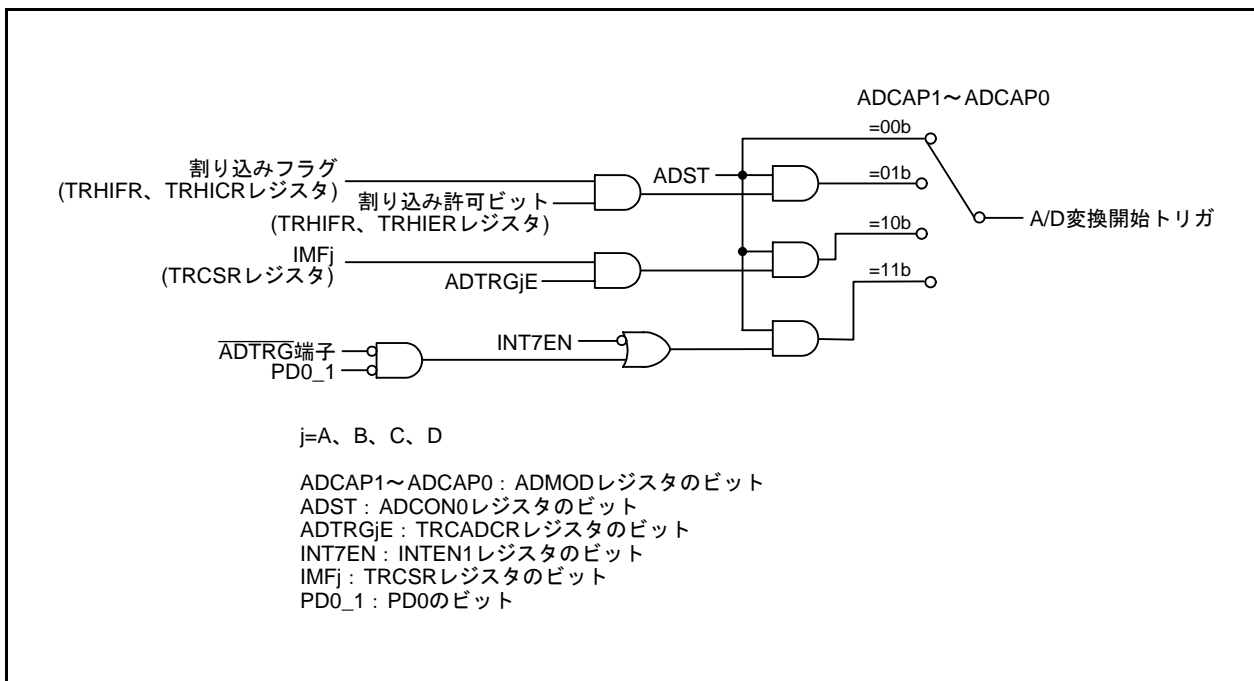


図26.4 A/D変換開始制御部のブロック図

#### 26.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“00b”（ソフトウェアトリガ）の場合です。ADCON0レジスタのADSTビットを“1”（A/D変換開始）にするとA/D変換を開始します。

#### 26.3.3.2 タイマRHの割り込み要求からのトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“01b”（タイマRH）の場合です。この機能を使用する場合は次のようにしてください。

- TRHICレジスタのILVL0～ILVL2ビットが“000b”（割り込み禁止）
- ADMODレジスタのADCAP1～ADCAP0ビットが“01b”（タイマRH）
- タイマRHを使用
- TRHIERレジスタの対応する割り込み許可ビットが“1”
- ADCON0レジスタのADSTビットが“1”（A/D変換開始）

上記の状態、TRHIFRレジスタまたはTRHICRレジスタの対応する割り込みフラグが“0”から“1”になると、A/D変換を開始します。

タイマRHの割り込み要求の詳細は「12. 割り込み」、「19. タイマRH」を参照してください。

### 26.3.3.3 タイマRCからのトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“10b”(タイマRC)の場合です。  
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1～ADCAP0ビットが“10b”(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j=A、B、C、D)が“1”(TRCGRjレジスタのコンペアー致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、TRCSRレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。  
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「18. タイマRC」、「18.5 タイマモード(アウトプットコンペア機能)」、「18.6 PWMモード」、および「18.7 PWM2モード」を参照してください。

### 26.3.3.4 外部トリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“11b”(外部トリガ( $\overline{\text{ADTRG}}$ ))の場合です。  
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1～ADCAP0ビットを“11b”(外部トリガ( $\overline{\text{ADTRG}}$ ))にする。
- INTEN1レジスタのINT7ENビットを“1”(INT7入力許可)にする。
- ポート方向レジスタの入力設定  
INTSRレジスタのINT7SEL0ビットが“0”の場合、PD0レジスタのPD0\_1ビットを“0”(入力モード)、INTSRレジスタのINT7SEL0ビットが“1”の場合、PD3レジスタのPD3\_7ビットを“0”(入力モード)にする。
- INT7のデジタルフィルタをINTF1レジスタのINT7F1～INT7F0ビットで選択する。
- ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする。

なお、INT7ICレジスタのPOLビットとINTEN1レジスタのINT7PLビットの選択と、ADTRG端子入力の変更に従って、INT7ICレジスタのIRビットが“1”(割り込み要求あり)になります(「12.8 割り込み使用上の注意」参照)。

割り込みの詳細は「12. 割り込み」を参照してください。

上記の状態、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。

### 26.3.4 A/D変換結果

A/D変換した結果はADiレジスタ(i=0~7)に格納されます。A/D変換完了後、1サイクル以上待つからA/D変換結果を読み出してください。使用するA/D動作モードによって、格納されるADiレジスタは違います。ADiレジスタはリセット後不定です。値は書き込めません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“1”になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとADiレジスタに値を上書きしますので、それまでにADiレジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAPI~ADCAPOビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。

プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

### 26.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、 $\phi$ ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

### 26.3.6 チップ内蔵基準電圧(OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。

単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

### 26.3.7 ゲインアンプ

ゲインアンプ(ゲイン1、2、4、6、8)はADCON2レジスタのADTSG0~ADTSG2ビットで選択できます。ゲインアンプにはオフセットがあります。増幅した値がVCCを超えないようにしてください。

ゲインアンプについては「表 26.9 温度センサの性能」を参照してください。

## 26.3.8 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態 (AVCC または GND) に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図 26.5 に AVCC 側での A/D 断線検出例 (変換前プリチャージを選択) を示し、図 26.6 に AVSS 側での A/D 断線検出例 (変換前ディスチャージを選択) を示します。

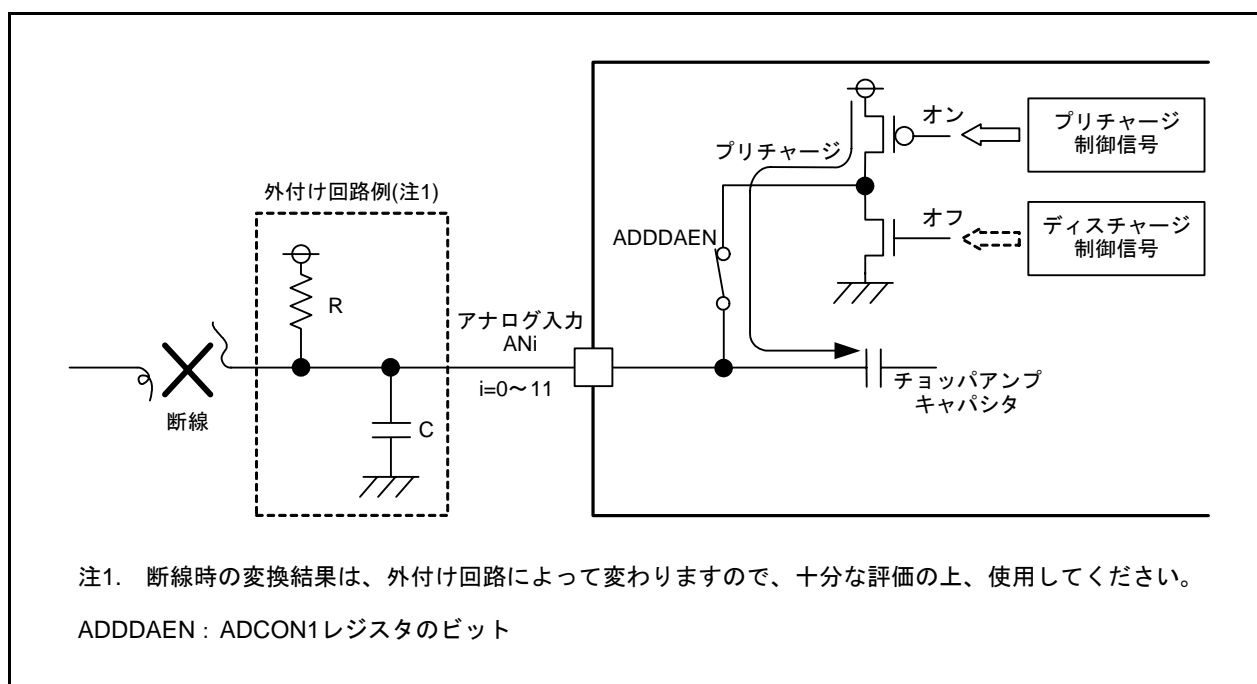


図 26.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択)

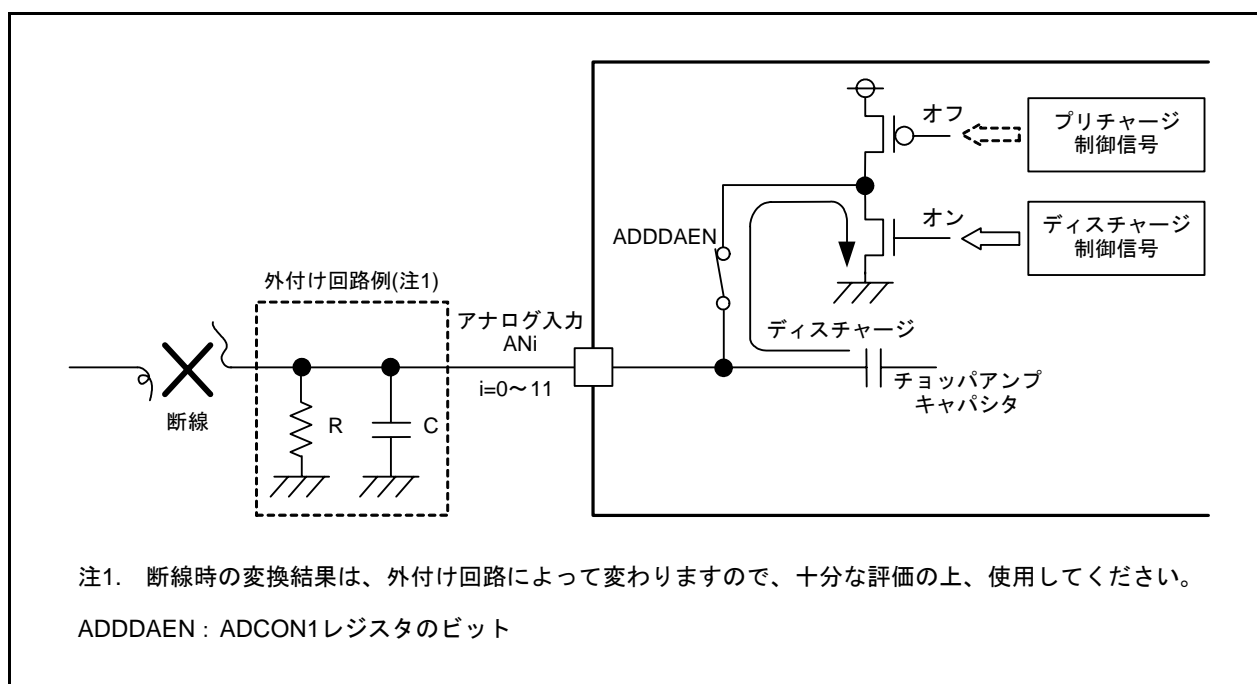


図 26.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

## 26.4 単発モード

AN0～AN11、OCVREFまたは温度センサ出力電圧 (VTMP) から選択した1本の端子の入力電圧を1回A/D変換するモードです。

表 26.4に単発モードの仕様を示します。

表 26.4 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、ADCON2レジスタのADTSEXビットとADTSELビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマRH</li> <li>タイマRC</li> <li>外部トリガ</li> </ul> (「26.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> <li>A/D変換終了 (ADM0DレジスタのADCAP1～ADCAP0ビットが“00b” (ソフトウェアトリガ) の場合、ADCON0レジスタのADSTビットが“0”になる)</li> <li>ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN11、OCVREFまたはVTMPから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、OCVREF、VTMP (注1) AD1レジスタ：AN1、AN9、VTMP (注1) AD2レジスタ：AN2、AN10、VTMP (注1) AD3レジスタ：AN3、AN11、VTMP (注1) AD4レジスタ：AN4、VTMP (注1) AD5レジスタ：AN5、VTMP (注1) AD6レジスタ：AN6、VTMP (注1) AD7レジスタ：AN7、VTMP (注1)
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し

注1. 温度センサ出力電圧のA/D変換結果は、ADINSELレジスタのCH0～CH2ビットとADGSEL1～ADGSEL0ビットで選択している端子に対応するAD0レジスタ～AD7レジスタに格納されます。



## 26.5 繰り返しモード0

AN0～AN11、OCVREFまたは温度センサ出力電圧(VTMP)から選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。

表 26.5に繰り返しモード0の仕様を示します。

表 26.5 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、ADCON2レジスタのADTSEXビットとADTSELビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRH</li> <li>• タイマRC</li> <li>• 外部トリガ</li> </ul> (「26.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0～AN11、OCVREFまたはVTMPから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、OCVREF、VTMP (注1) AD1レジスタ：AN1、AN9、VTMP (注1) AD2レジスタ：AN2、AN10、VTMP (注1) AD3レジスタ：AN3、AN11、VTMP (注1) AD4レジスタ：AN4、VTMP (注1) AD5レジスタ：AN5、VTMP (注1) AD6レジスタ：AN6、VTMP (注1) AD7レジスタ：AN7、VTMP (注1)
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し

注1. 温度センサ出力電圧のA/D変換結果は、ADINSELレジスタのCH0～CH2ビットとADGSEL0～ADGSEL1ビットで選択している端子に対応するAD0レジスタ～AD7レジスタに格納されます。

## 26.6 繰り返しモード1

AN0～AN11、OCVREFまたは温度センサ出力電圧(VTMP)から選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。

表 26.6に繰り返しモード1の仕様を、図 26.7に繰り返しモード1時の動作例を示します。

表 26.6 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、ADCON2レジスタのADTSEXビットとADTSELビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRH</li> <li>• タイマRC</li> <li>• 外部トリガ</li> </ul> (「26.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0～AN11、OCVREFまたはVTMPから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、… AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、… AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、… AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、… AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、… AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、… AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、… AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、…
A/D変換値の読み出し	AD0レジスタ～AD7レジスタの読み出し

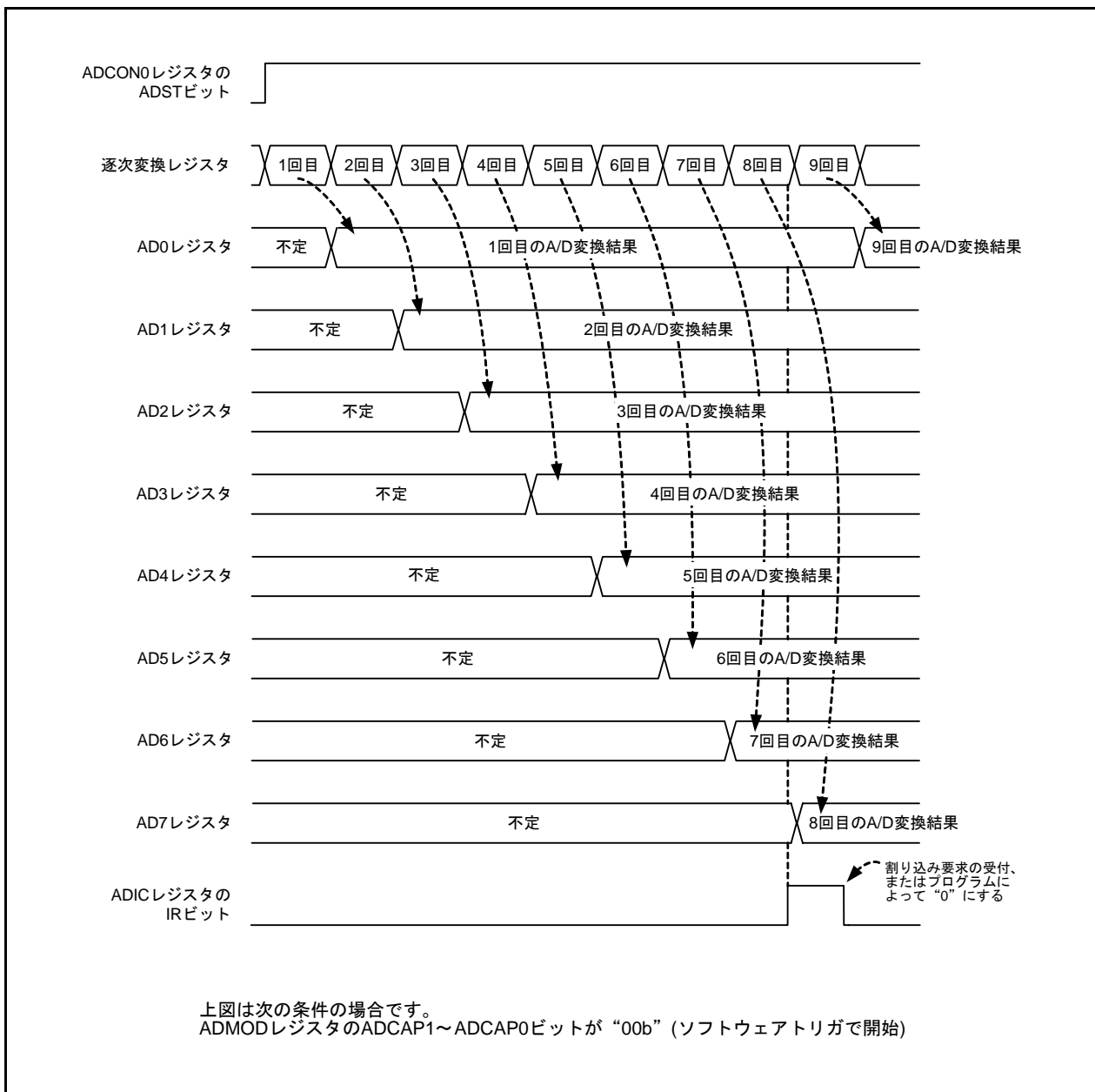


図 26.7 繰り返しモード1時の動作例

## 26.7 単掃引モード

AN0～AN11から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表 26.7に単掃引モードの仕様を、図 26.8に単掃引モード時の動作例を示します。

表 26.7 単掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL1～ADGSEL0ビットとSCAN1～SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマRH</li> <li>タイマRC</li> <li>外部トリガ</li> </ul> (「26.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> <li>2端子を選択している場合、選択した2端子のA/D変換終了(ADCON0レジスタのADSTビットが“0”になる)</li> <li>4端子を選択している場合、選択した4端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>6端子を選択している場合、選択した6端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>8端子を選択している場合、選択した8端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul>
アナログ入力端子	AN0～AN1(2端子)、AN8～AN9(2端子) AN0～AN3(4端子)、AN8～AN11(4端子) AN0～AN5(6端子) AN0～AN7(8端子) (SCAN1～SCAN0ビットとADGSEL1～ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し

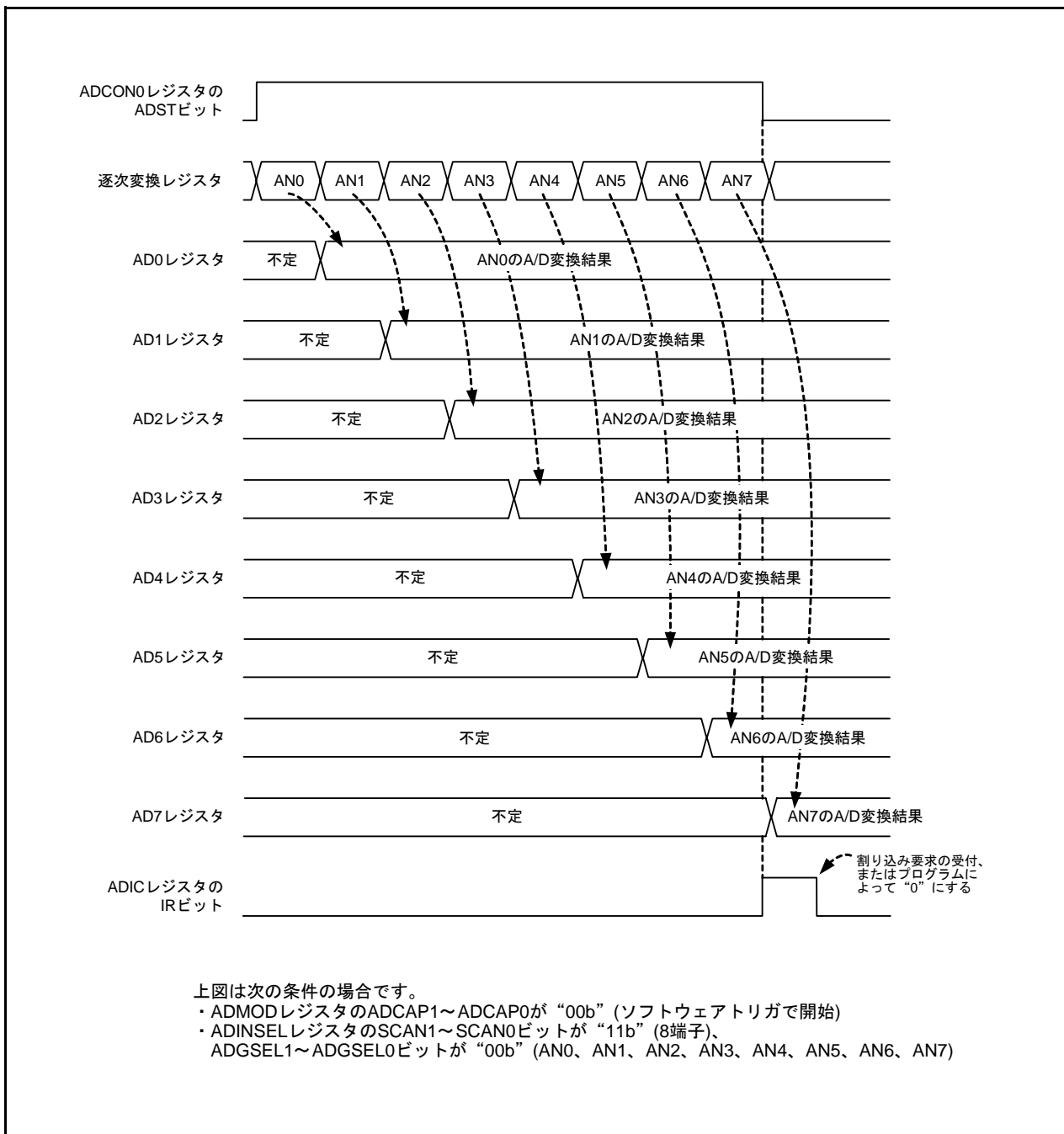


図 26.8 単掃引モード時の動作例

## 26.8 繰り返し掃引モード

AN0～AN11から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表 26.8に繰り返し掃引モードの仕様を、図 26.9に繰り返し掃引モード時の動作例を示します。

表 26.8 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL1～ADGSEL0ビットとSCAN1～SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRH</li> <li>• タイマRC</li> <li>• 外部トリガ</li> </ul> (「26.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• 2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>• 4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>• 6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>• 8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul>
アナログ入力端子	AN0～AN1(2端子)、AN8～AN9(2端子) AN0～AN3(4端子)、AN8～AN11(4端子) AN0～AN5(6端子) AN0～AN7(8端子) (SCAN1～SCAN0ビットとADGSEL1～ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8 AD1レジスタ : AN1、AN9 AD2レジスタ : AN2、AN10 AD3レジスタ : AN3、AN11 AD4レジスタ : AN4 AD5レジスタ : AN5 AD6レジスタ : AN6 AD7レジスタ : AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し

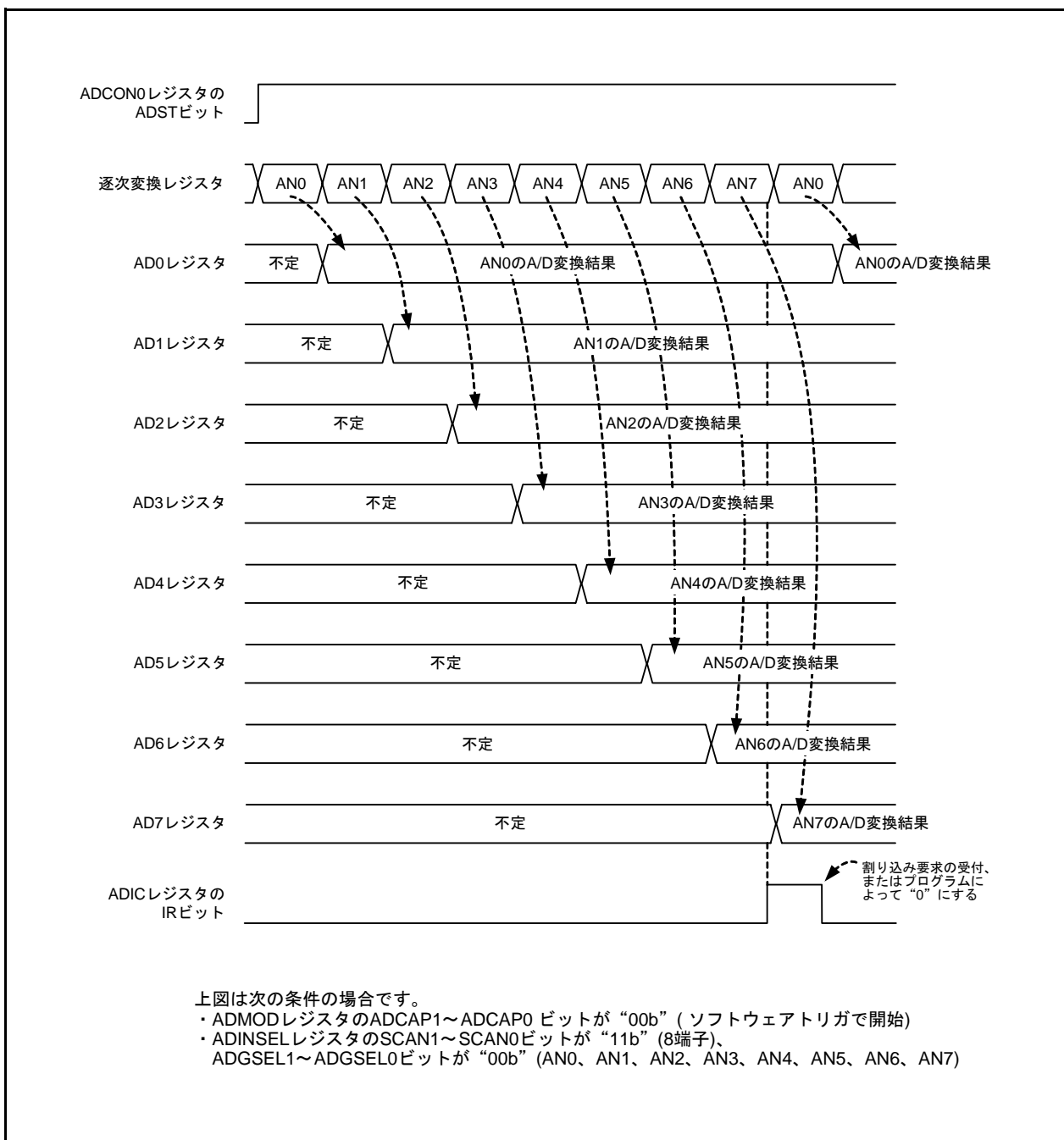


図 26.9 繰り返し掃引モード時の動作例

## 26.9 温度センサ

温度に比例して減少する電圧(温度係数標準値:  $-2.1 \text{ mV}/^\circ\text{C}$ )を発生させる温度センサ回路が1回路あります。温度センサ出力電圧はゲインアンプを経由してA/D変換することが可能です。

表 26.9に温度センサの性能を、図 26.10にゲイン1選択時の温度センサ出力電圧の温度特性(標準特性)を示します。

表 26.9 温度センサの性能

項目	性能
保証温度範囲	$-20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン) / $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン)
温度センサ出力電圧温度係数	標準値 $-2.1 \text{ mV}/^\circ\text{C}$
温度センサ出力電圧常温特性	標準値 $600 \text{ mV}$ (周囲温度 = $25^\circ\text{C}$ )
ゲインアンプ選択	ゲイン1、2、4、6、8選択可能(注1) 「表 30.5 ゲインアンプの特性」参照
A/D変換電圧/周波数条件	$1.8 \text{ V} \leq V_{\text{ref}} = AV_{\text{CC}} \leq 5.5 \text{ V}$ $\phi_{\text{AD}} : 1 \text{ MHz} \sim 5 \text{ MHz}$
スタートアップ時間	最大 $200 \mu\text{s}$
分解能	8ビットまたは10ビット選択可能
絶対精度	「表 30.3 A/Dコンバータの特性」参照
動作モード	単発モード、繰り返しモード0、繰り返しモード1
A/D変換開始条件	「表 26.1 A/Dコンバータの性能」参照
A/D変換結果	「26.3.4 A/D変換結果」参照

注1. ゲインアンプにはオフセットがあります。  
増幅した値がVCCを超えないようにしてください。

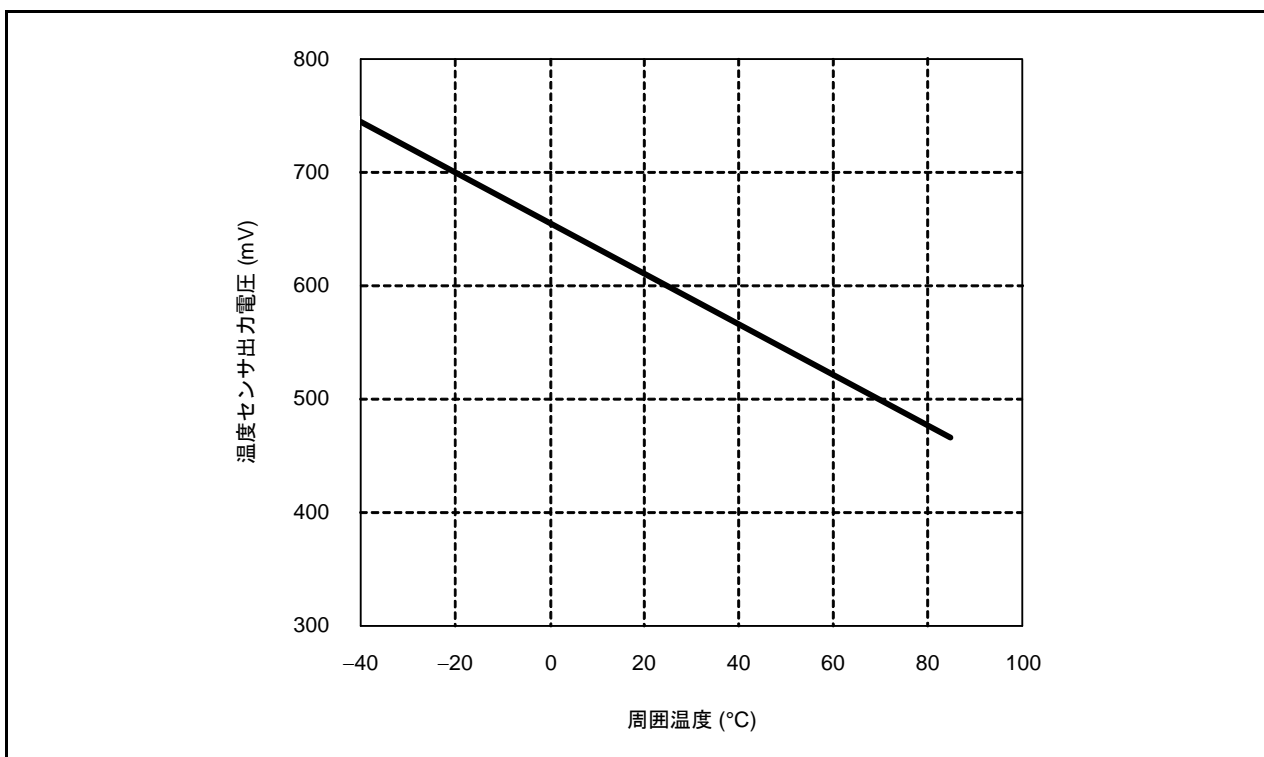


図 26.10 ゲイン1選択時の温度センサ出力電圧の温度特性(標準特性)



## 26.9.1 温度センサの設定手順

図 26.11 に A/D 変換開始までの温度センサ設定手順例を示します。

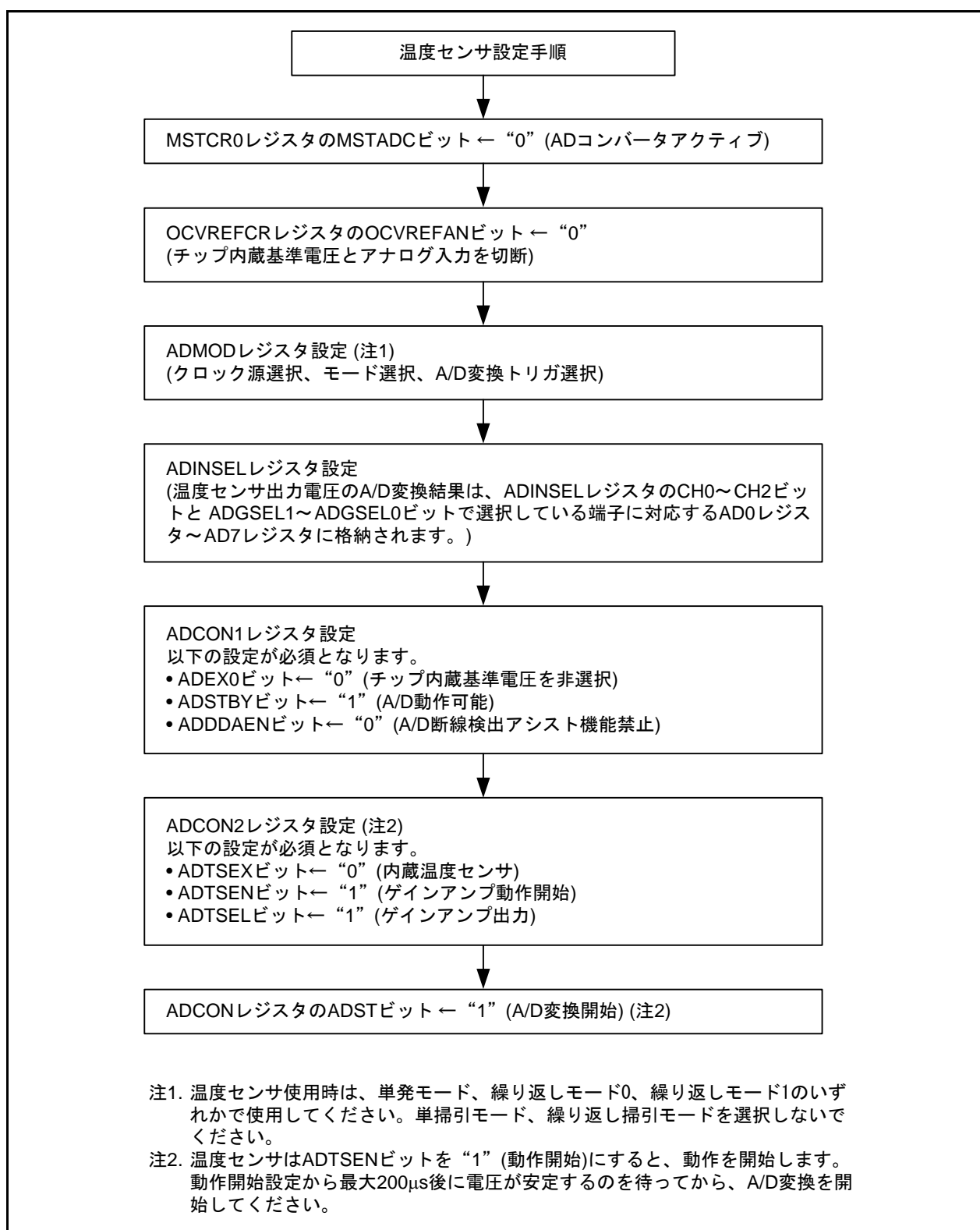


図 26.11 温度センサ設定手順例

### 26.10 A/D変換時のセンサの出カインピーダンス

A/D変換を正しく行うためには、図26.12の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出カインピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般に VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t = Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left( 1 - \frac{X}{Y} \right) より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \times \ln \frac{X}{Y}} - R$$

図26.12にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるときの、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

φAD = 20MHzのとき、T = 0.8 μsとなります。この時間T内にコンデンサCの充電を十分に行える出カインピーダンスR0は以下のように求められます

T = 0.8 μs、R = 10kΩ、C = 6.0pF、X = 0.1、Y = 1024だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \times \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出カインピーダンスR0は最大4.4kΩになります。

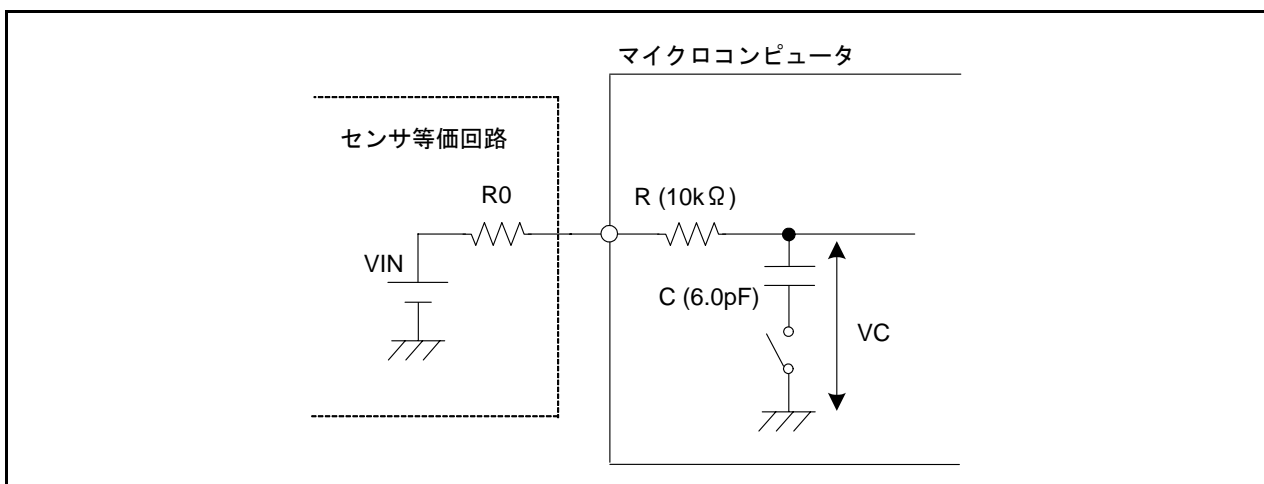


図26.12 アナログ入力端子と外部センサの等価回路例

## 26.11 A/Dコンバータ使用上の注意

### 26.11.1 A/Dコンバータ

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック $\phi$ AD以上の周波数を選択してください。  
 $\phi$ ADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1 $\mu$ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないAD<sub>i</sub>( $i=0\sim 7$ )レジスタも、不定になる場合があります。プログラムでADSTビットを“0”にした場合は、すべてのAD<sub>i</sub>レジスタの値を使用しないでください。
- A/Dコンバータを使用するときは、A/D変換結果の平均化処理を推奨します。

### 26.11.2 温度センサ

- 温度センサはADTSENビットを“1”(動作開始)にすると、動作を開始します。動作開始設定から最大200 $\mu$ s後に電圧が安定するのを待ってから、A/D変換を開始してください。
- 温度センサ出力電圧のA/D変換結果には、温度センサ出力電圧のばらつきとA/Dコンバータ絶対精度誤差が含まれるため、温度センサの性能(表26.9参照)やゲイン1選択時の温度センサ出力電圧の温度特性(標準特性)(図26.10参照)に対して誤差が発生することがあります。
- マイコンの周辺環境によっては、被測定体から温度センサ回路への熱伝導性が変動するため、温度センサ出力電圧の反応時間や精度に影響をおよぼします。システムに合わせた評価を十分に行った上で使用してください。
- ゲインアンプによって増幅された温度センサ出力電圧が基準電圧を超えた場合、正しくA/D変換することができません。
- 温度センサ出力電圧を端子から出力することはできません。

## 27. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

### 27.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREFi(i = 1、3)端子への入力を使用できます。

表27.1にコンパレータBの仕様、図27.1にコンパレータBのブロック図、表27.2に入出力端子を示します。

表27.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧
リファレンス入力電圧	IVREFi端子への入力電圧
比較結果	INTCMPレジスタのINTICOUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化するとき
選択機能	デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択できる

i = 1、3

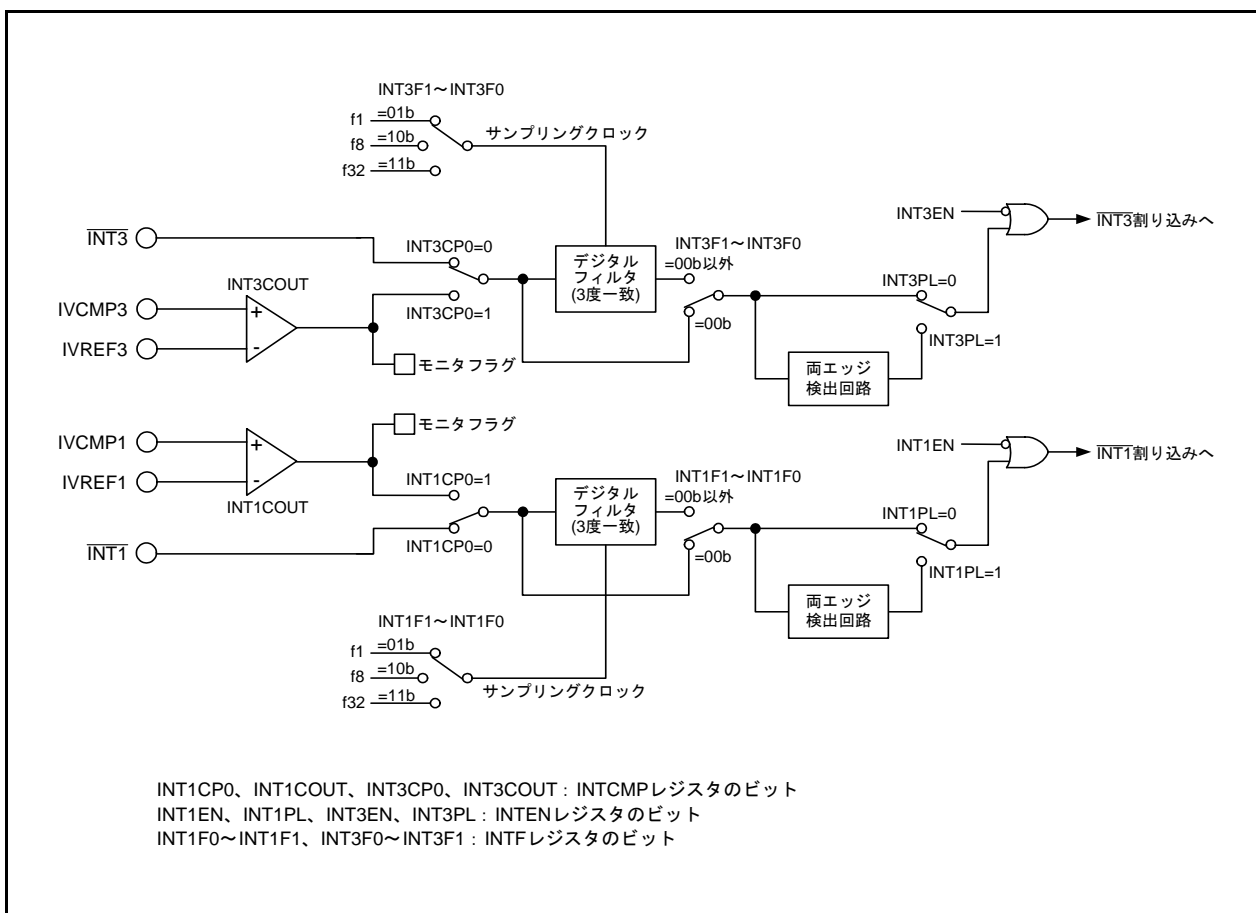


図 27.1 コンパレータBのブロック図

表 27.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子

## 27.2 レジスタの説明

## 27.2.1 コンパレータB制御レジスタ0(INTCMP)

アドレス 01F8h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	—	—	INT3CP0	INT1COUT	—	—	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0: コンパレータB1動作禁止 1: コンパレータB1動作許可	R/W
b1	—	予約ビット	“0” にしてください	R/W
b2	—			
b3	INT1COUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1 またはコンパレータB1動作禁止 1: IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0: コンパレータB3動作禁止 1: コンパレータB3動作許可	R/W
b5	—	予約ビット	“0” にしてください	R/W
b6	—			
b7	INT3COUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3 またはコンパレータB3動作禁止 1: IVCMP3 > IVREF3	R

## 27.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	INT0入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	INT0入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	INT1入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	INT1入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	INT2入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	INT2入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	INT3入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	INT3入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット (i=0~3) を “1” (両エッジ) にする場合、INTiIC レジスタの POL ビットを “0” (立ち下がリエッジを選択) にしてください。

注2. INTEN レジスタを変更すると、INTiIC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。「12.8.4 割り込み要因の変更」を参照してください。

## 27.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

## 27.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。表27.3にコンパレータB関連レジスタの設定手順を示します。

表27.3 コンパレータB関連レジスタの設定手順

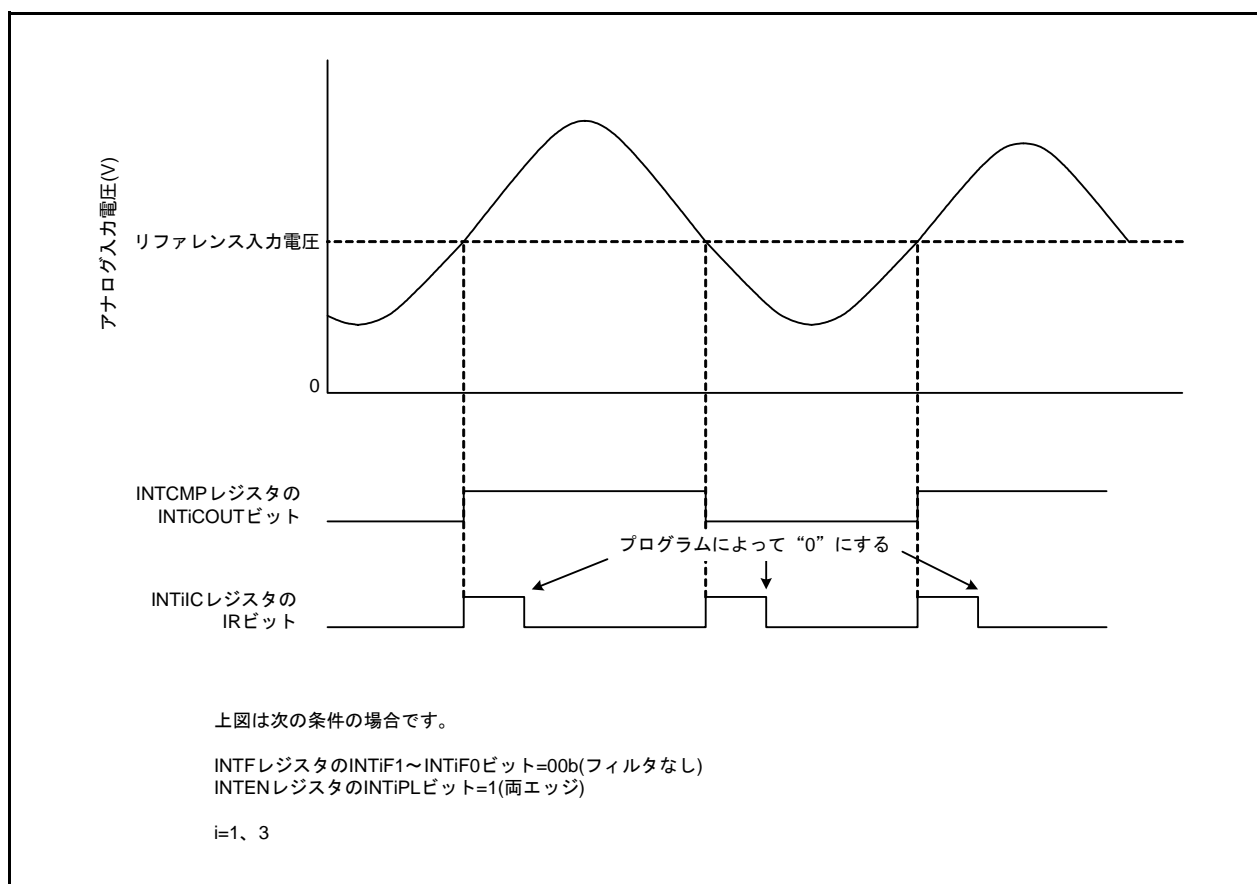
順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi端子の機能選択。「7.6 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。		
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTICP0	1 (動作許可)
4	コンパレータ安定時間(最大100 $\mu$ s)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1 (割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2~ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

$i = 1, 3$

図27.2にコンパレータBi( $i = 1, 3$ )の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「27.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

図27.2 コンパレータBi( $i = 1, 3$ )の動作例



## 27.3.1 コンパレータBiデジタルフィルタ (i = 1, 3)

コンパレータBiは、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTiF1~INTiF0ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり)になります。

図27.3にコンパレータBiデジタルフィルタの構成を、図27.4にコンパレータBiデジタルフィルタ動作例を示します。

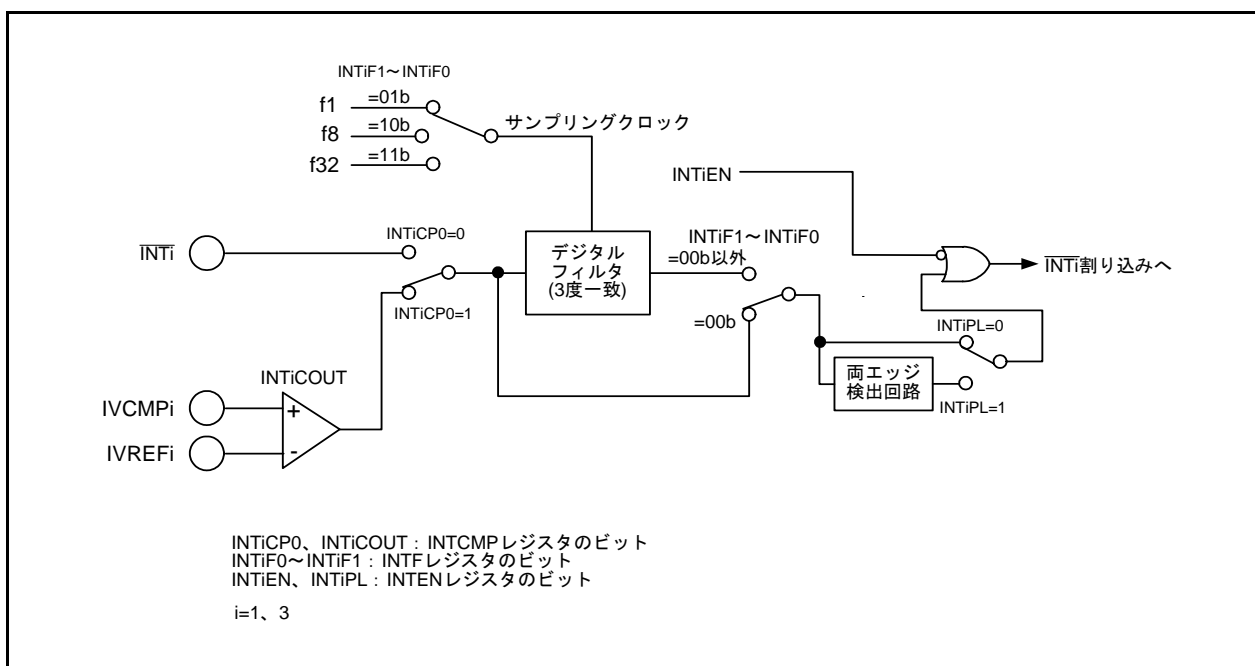


図27.3 コンパレータBiデジタルフィルタの構成

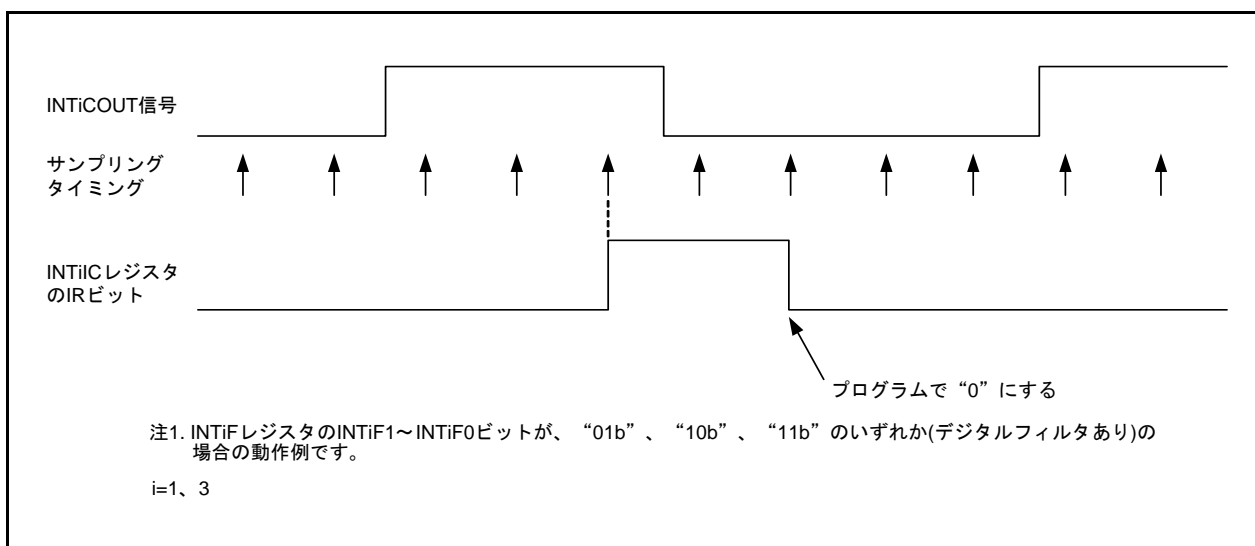


図27.4 コンパレータBiデジタルフィルタ動作例

## 27.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi(i = 1, 3)割り込みはINTi(i = 1, 3)入力による割り込みと同一のINTiICレジスタ(IRビット、ILVL0～ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

## 28. LCD駆動制御回路

### 注意

本章ではR8C/LA8Aグループについて説明します。  
R8C/LA6Aグループについては「1.1.2 グループごとの相違点」を参照してください。

### 28.1 概要

LCD(液晶表示素子)の駆動制御回路です。

セグメント出力は最大40本、コモン出力は最大4本使用でき、最大160画素までLCD表示を行うことができます。

セグメント出力端子、コモン出力端子、LCD用電源入力端子はI/Oポートの機能を兼用しています。LCD機能を使用しないときはI/Oポートとして使用できます。

これらのLCD表示機能端子はグループごとに搭載する数が異なります。表28.1にグループごとに備えるLCD表示機能端子を示します。

以下の説明ではLCD表示機能端子数が最多のR8C/LA8Aグループについて説明します。他のグループについては、表28.1に対応した端子しか備えないことに留意願います。

表28.1 グループごとに備えるLCD表示機能端子

兼用I/Oポート	R8C/LA6Aグループ コモン出力：最大4本 セグメント出力：最大32本								R8C/LA8Aグループ コモン出力：最大4本 セグメント出力：最大40本							
	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0
P0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0
P1	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	—	—	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8
P2	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16
P3	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24
P4	SEG 39	SEG 38	—	—	—	—	—	—	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32
P5	—	VL3 (注2)	VL2 (注2)	VL1 (注2)	COM 0	COM 1	COM 2	COM 3	—	VL3 (注2)	VL2 (注2)	VL1 (注2)	COM 0	COM 1	COM 2	COM 3

注1. “—”はLCD表示機能はありません。これらの端子は、LSE1、LSE4～LSE5レジスタの対応するビットを“0”にしてください。

注2. LCD駆動制御回路を使用する場合は、LSE5レジスタの対応するビットを“1”にしてください。

表28.2にLCD駆動制御回路の仕様概要、図28.1にLCD駆動制御回路のブロック図を示します。

表28.2 LCD駆動制御回路の仕様概要

項目	仕様																											
セグメント出力	<ul style="list-style-type: none"> <li>最大40本(SEG0～SEG39)</li> <li>I/Oポートとして使用するか、セグメント出力端子として使用するかを、LSE0～LSE4レジスタのLSE00～LSE39ビットで、1端子ごとに制御可。</li> </ul>																											
コモン出力	<ul style="list-style-type: none"> <li>最大4本(COM0～COM3)</li> <li>使用するコモン出力端子はLCR0レジスタのLDTY0～LDTY1ビットで選択可。</li> <li>I/Oポートとして使用するか、コモン出力端子として使用するかを、LSE5レジスタのLCOM0～LCOM3ビットで制御可。</li> </ul>																											
LCD用電源入力端子	<ul style="list-style-type: none"> <li>I/Oポートとして使用するか、LCD用電源入力端子として使用するかを、LSE5レジスタのLVLP1～LVLP3ビットで制御可。ただし、VL1～VL3端子の設定は同時にしてください。</li> </ul>																											
最大表示素子数	<table border="1"> <thead> <tr> <th rowspan="2">デューティ</th> <th colspan="2">LCR0レジスタ</th> <th rowspan="2">コモン端子</th> <th rowspan="2">最大表示素子数</th> </tr> <tr> <th>LDTY1</th> <th>LDTY0</th> </tr> </thead> <tbody> <tr> <td>スタティック</td> <td>0</td> <td>0</td> <td>COM0</td> <td>40ドットまたは8セグメントLCD5桁</td> </tr> <tr> <td>1/2</td> <td>0</td> <td>1</td> <td>COM0～COM1</td> <td>80ドットまたは8セグメントLCD10桁</td> </tr> <tr> <td>1/3</td> <td>1</td> <td>0</td> <td>COM0～COM2</td> <td>120ドットまたは8セグメントLCD15桁</td> </tr> <tr> <td>1/4</td> <td>1</td> <td>1</td> <td>COM0～COM3</td> <td>160ドットまたは8セグメントLCD20桁</td> </tr> </tbody> </table>	デューティ	LCR0レジスタ		コモン端子	最大表示素子数	LDTY1	LDTY0	スタティック	0	0	COM0	40ドットまたは8セグメントLCD5桁	1/2	0	1	COM0～COM1	80ドットまたは8セグメントLCD10桁	1/3	1	0	COM0～COM2	120ドットまたは8セグメントLCD15桁	1/4	1	1	COM0～COM3	160ドットまたは8セグメントLCD20桁
デューティ	LCR0レジスタ		コモン端子	最大表示素子数																								
	LDTY1	LDTY0																										
スタティック	0	0	COM0	40ドットまたは8セグメントLCD5桁																								
1/2	0	1	COM0～COM1	80ドットまたは8セグメントLCD10桁																								
1/3	1	0	COM0～COM2	120ドットまたは8セグメントLCD15桁																								
1/4	1	1	COM0～COM3	160ドットまたは8セグメントLCD20桁																								
LCD駆動タイミング	<p>LCD駆動タイミングを決める内部信号LCDCKの周波数：</p> $f(\text{LCDCK}) = \frac{\text{LCDクロックソース周波数}}{n \times \text{分周比}}$ <p style="text-align: right;">注. f32選択時 n=32 fC-LCD選択時 n=4</p> <p>LCR2レジスタのOTPCCKビットが“1”(有効)のときの内部信号LCDCKの周波数：</p> $f(\text{LCDCK}) = \frac{\text{LCDクロックソース周波数}}{4 \times \text{分周比} \times \text{オプションクロック分周比}}$ <p>フレーム周波数：</p> $f(\text{FR}) = \frac{f(\text{LCDCK}) \times \text{デューティ}}{2}$																											
バイアス制御	<p>外付け分割抵抗の使用により制御可。</p> <ul style="list-style-type: none"> <li>LCD用電源端子VL1～VL3に外付け分割抵抗を使用してLCD駆動電圧を印加する。</li> <li>VL1～VL3にはLCR0レジスタのLBAS0ビットで設定したバイアス値に従って以下に示す電圧値を印加する。</li> </ul> <table border="1"> <thead> <tr> <th>バイアス値</th> <th>電圧値</th> </tr> </thead> <tbody> <tr> <td>1/3バイアス</td> <td>VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD</td> </tr> <tr> <td>1/2バイアス</td> <td>VL3 = VLCD VL2 = VL1 = 1/2 VLCD</td> </tr> </tbody> </table> <p>VLCD : LCD電源電圧</p>	バイアス値	電圧値	1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD	1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD																					
バイアス値	電圧値																											
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD																											
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD																											
LCD表示データレジスタ	<p>LRA0L～LRA39LレジスタのCOM0～COM3ビットに、各セグメント出力に対応するコモン出力データを書き込む。</p> <p>40バイト</p> <p>各ビットを“1”にすると対応するセグメントが点灯、“0”にすると消灯。</p>																											
LCD表示周期による割り込み	<ul style="list-style-type: none"> <li>LCR4レジスタのLINTEビットで割り込みを許可。</li> <li>LCR4レジスタのLINTS0ビットで割り込み発生タイミングを選択可。</li> <li>LINTS0が“0”のとき、各フレームの立ち下がりで割り込みが発生。</li> <li>LINTS0が“1”のとき、LCDCKの立ち下がりで割り込みが発生。</li> <li>メモリ性液晶パネル駆動中は、2フレーム終了後にフレーム割り込みが発生します。</li> </ul>																											
リセット後の端子状態	<ul style="list-style-type: none"> <li>SEG0～SEG39 : ハイインピーダンス</li> <li>COM0～COM3 : ハイインピーダンス</li> <li>VL1～VL3 : ハイインピーダンス</li> </ul>																											

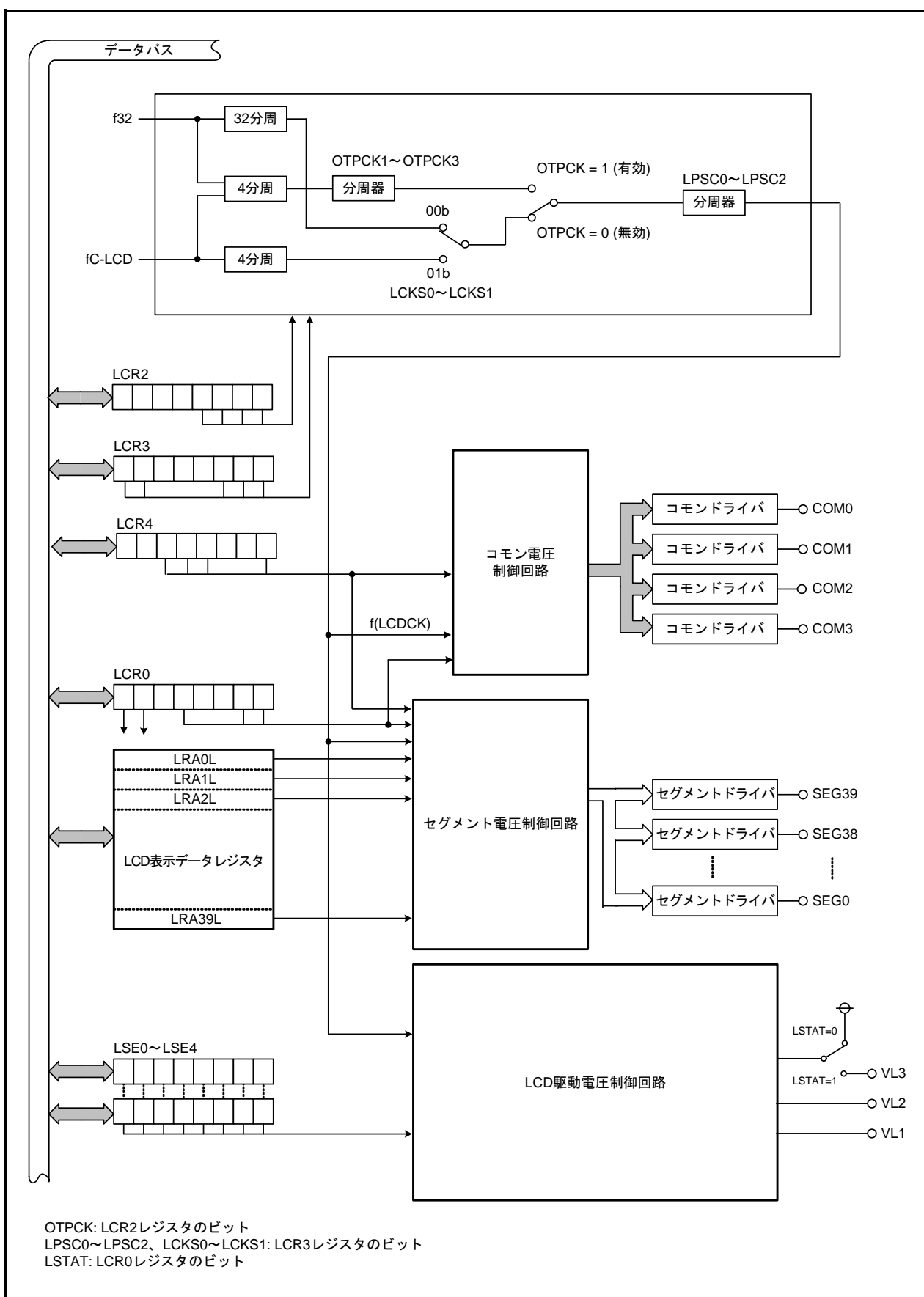


図28.1 LCD駆動制御回路のブロック図

## 28.2 レジスタの説明

## 28.2.1 モジュールスタンバイ制御レジスタ0 (MSTCR0)

アドレス	0008h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTADC	—	MSTTRC	MSTLCD	MSTIIC	MSTURT2	MSTURTO	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	MSTURTO	UART0スタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b2	MSTURT2	UART2スタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注3)	R/W
b4	MSTLCD	LCDスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	MSTADC	A/Dスタンバイビット(注6)	0: アクティブ 1: スタンバイ	R/W

- 注1. MSTURTOビットが“1”(スタンバイ)のとき、UART0関連レジスタ(00A0h～00A7h番地)へのアクセスは無効になります。
- 注2. MSTURT2ビットが“1”(スタンバイ)のとき、UART2関連レジスタ(00A8h～00BFh番地)へのアクセスは無効になります。
- 注3. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>C関連レジスタ(0193h～19Dh番地)へのアクセスは無効になります。
- 注4. MSTLCDビットが“1”(スタンバイ)のとき、LCD関連レジスタ(0200h～0237h番地)へのアクセスは無効になります。
- 注5. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
- 注6. MSTADCビットが“1”(スタンバイ)のとき、A/D関連レジスタ(00C0h～00D9h番地、00DCh～00DFh番地)へのアクセスは無効になります。  
温度センサ使用時は、MSTADCビットを“0”(アクティブ)にしてください。

各スタンバイビットをスタンバイにする場合は、対応する周辺機能を停止してから変更してください。各スタンバイビットでスタンバイに設定されている周辺機能の各レジスタは読み出しと書き込みはできません。また、周辺機能へのクロックの供給も停止しています。

スタンバイからアクティブに変更する場合は、変更後に対応する周辺機能のレジスタを再設定してください。

## 28.2.2 LCD制御レジスタ (LCR0)

アドレス 0200h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSTAT	LDSPE	—	LBAS0	—	—	LDTY1	LDTY0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LDTY0	デューティ選択ビット	b1 b0 00: スタティック (COM0使用) 01: 1/2デューティ (COM0~COM1使用) 10: 1/3デューティ (COM0~COM2使用) 11: 1/4デューティ (COM0~COM3使用)	R/W
b1	LDTY1			R/W
b2	—	予約ビット	“0” にしてください。	R/W
b3	—			
b4	LBAS0	LCDバイアス選択ビット	0: 1/2バイアス 1: 1/3バイアス	R/W
b5	—	予約ビット	“0” にしてください。	R/W
b6	LDSPE	LCD表示許可ビット	0: LCDパネル消灯 1: LCDパネル点灯	R/W
b7	LSTAT	LCD制御開始ビット	0: LCD制御停止 1: LCD制御開始 (注1)	R/W

注1. LCR4レジスタのLCTZSが“1”のとき、表示終了後自動的に“0”になります。

## 28.2.3 LCDオプションクロック制御レジスタ (LCR2)

アドレス 0202h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OTPCK3	OTPCK2	OTPCK1	OTPCK
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OTPCK	オプションクロック選択ビット	0: 無効 1: 有効	R/W
b1	OTPCK1	オプションクロック分周ビット (注1)	b3 b2 b1 000: 2分周 001: 3分周 010: 4分周 011: 5分周 100: 6分周 101: 7分周 110: 8分周 111: 9分周	R/W
b2	OTPCK2			R/W
b3	OTPCK3			R/W
b4	—	予約ビット	“0” にしてください。	R/W
b5	—			
b6	—			
b7	—			

注1. OTPCKビットが“1”のとき有効です。

LCR2レジスタは、シチズンセイミツ株式会社製メモリ性液晶パネル用にLCD駆動波形を最適化します。  
OTPCKビットが“1”(有効)のときの内部信号LCDCKの周波数

$$f(\text{LCDCK}) = \frac{\text{LCDクロックソース周波数}}{4 \times \text{分周比} \times \text{オプションクロック分周比}}$$

## 28.2.4 LCDクロック制御レジスタ (LCR3)

アドレス 0203h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LCKS1	LCKS0	—	—	—	LPSC2	LPSC1	LPSC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPSC0	分周比選択ビット	b2 b1 b0 0 0 0 : 分周なし 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 1 1 1 : 128分周	R/W
b1	LPSC1			R/W
b2	LPSC2			R/W
				R/W
b3	—	予約ビット	“0” にしてください。	R/W
b4	—			
b5	—			
b6	LCKS0	LCDクロックソース選択ビット	b7 b6 0 0 : f32 0 1 : fC-LCD 1 0 : 設定しないでください。 1 1 : 設定しないでください。	R/W
b7	LCKS1			R/W

## 28.2.5 LCD表示制御レジスタ (LCR4)

アドレス 0204h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	COMEXP	LCTZS	LINTE	—	—	LINTS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LINTS0	割り込みタイミング選択ビット	0 : フレーム割り込み 1 : LCDCK割り込み	R/W
b1	—	予約ビット	“0” にしてください。	R/W
b2	—			
b3	LINTE	カウンタ割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b4	LCTZS	表示波形切り替えビット(注1)	0 : セグメントパネル用駆動波形 1 : メモリ性液晶パネル用駆動波形(注1)	R/W
b5	COMEXP	メモリ性液晶パネル用 COM出力設定ビット	0 : P4_7はSEG39 1 : P4_7はCOMEXP波形	R/W
b6	—	予約ビット	“0” にしてください。	R/W
b7	—			

注1. LCTZSビットは、シチズンセイミツ株式会社製メモリ性液晶パネル用にLCD駆動波形を最適化します。  
LCD駆動中はLCTZSビットの設定値を変更しないでください。



## 28.2.6 LCDポート選択レジスタ0 (LSE0)

アドレス 0206h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE07	LSE06	LSE05	LSE04	LSE03	LSE02	LSE01	LSE00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE00	LCDポート選択ビット0	0:ポートP0_0 1:SEG0	R/W
b1	LSE01	LCDポート選択ビット1	0:ポートP0_1 1:SEG1	R/W
b2	LSE02	LCDポート選択ビット2	0:ポートP0_2 1:SEG2	R/W
b3	LSE03	LCDポート選択ビット3	0:ポートP0_3 1:SEG3	R/W
b4	LSE04	LCDポート選択ビット4	0:ポートP0_4 1:SEG4	R/W
b5	LSE05	LCDポート選択ビット5	0:ポートP0_5 1:SEG5	R/W
b6	LSE06	LCDポート選択ビット6	0:ポートP0_6 1:SEG6	R/W
b7	LSE07	LCDポート選択ビット7	0:ポートP0_7 1:SEG7	R/W

## 28.2.7 LCDポート選択レジスタ1 (LSE1)

アドレス 0207h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE15	LSE14	LSE13	LSE12	LSE11	LSE10	LSE09	LSE08
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE08	LCDポート選択ビット8	0:ポートP1_0 1:SEG8	R/W
b1	LSE09	LCDポート選択ビット9	0:ポートP1_1 1:SEG9	R/W
b2	LSE10	LCDポート選択ビット10	0:ポートP1_2 1:SEG10	R/W
b3	LSE11	LCDポート選択ビット11	0:ポートP1_3 1:SEG11	R/W
b4	LSE12	LCDポート選択ビット12	0:ポートP1_4 1:SEG12	R/W
b5	LSE13	LCDポート選択ビット13	0:ポートP1_5 1:SEG13	R/W
b6	LSE14	LCDポート選択ビット14	0:ポートP1_6 1:SEG14	R/W
b7	LSE15	LCDポート選択ビット15	0:ポートP1_7 1:SEG15	R/W

## 28.2.8 LCDポート選択レジスタ2 (LSE2)

アドレス 0208h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE23	LSE22	LSE21	LSE20	LSE19	LSE18	LSE17	LSE16
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE16	LCDポート選択ビット16	0:ポートP2_0 1:SEG16	R/W
b1	LSE17	LCDポート選択ビット17	0:ポートP2_1 1:SEG17	R/W
b2	LSE18	LCDポート選択ビット18	0:ポートP2_2 1:SEG18	R/W
b3	LSE19	LCDポート選択ビット19	0:ポートP2_3 1:SEG19	R/W
b4	LSE20	LCDポート選択ビット20	0:ポートP2_4 1:SEG20	R/W
b5	LSE21	LCDポート選択ビット21	0:ポートP2_5 1:SEG21	R/W
b6	LSE22	LCDポート選択ビット22	0:ポートP2_6 1:SEG22	R/W
b7	LSE23	LCDポート選択ビット23	0:ポートP2_7 1:SEG23	R/W

## 28.2.9 LCDポート選択レジスタ3 (LSE3)

アドレス 0209h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE31	LSE30	LSE29	LSE28	LSE27	LSE26	LSE25	LSE24
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE24	LCDポート選択ビット24	0:ポートP3_0 1:SEG24	R/W
b1	LSE25	LCDポート選択ビット25	0:ポートP3_1 1:SEG25	R/W
b2	LSE26	LCDポート選択ビット26	0:ポートP3_2 1:SEG26	R/W
b3	LSE27	LCDポート選択ビット27	0:ポートP3_3 1:SEG27	R/W
b4	LSE28	LCDポート選択ビット28	0:ポートP3_4 1:SEG28	R/W
b5	LSE29	LCDポート選択ビット29	0:ポートP3_5 1:SEG29	R/W
b6	LSE30	LCDポート選択ビット30	0:ポートP3_6 1:SEG30	R/W
b7	LSE31	LCDポート選択ビット31	0:ポートP3_7 1:SEG31	R/W

## 28.2.10 LCDポート選択レジスタ4 (LSE4)

アドレス 020Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE39	LSE38	LSE37	LSE36	LSE35	LSE34	LSE33	LSE32
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE32	LCDポート選択ビット32	0:ポートP4_0 1:SEG32	R/W
b1	LSE33	LCDポート選択ビット33	0:ポートP4_1 1:SEG33	R/W
b2	LSE34	LCDポート選択ビット34	0:ポートP4_2 1:SEG34	R/W
b3	LSE35	LCDポート選択ビット35	0:ポートP4_3 1:SEG35	R/W
b4	LSE36	LCDポート選択ビット36	0:ポートP4_4 1:SEG36	R/W
b5	LSE37	LCDポート選択ビット37	0:ポートP4_5 1:SEG37	R/W
b6	LSE38	LCDポート選択ビット38	0:ポートP4_6 1:SEG38	R/W
b7	LSE39	LCDポート選択ビット39	0:ポートP4_7 1:SEG39/COMEXP(注1)	R/W

注1. SEG39端子とCOMEXP端子はLCR4レジスタのCOMEXPビットで選択できます。  
COMEXP端子は、メモリ性液晶パネル用LCDコモン出力端子です。メモリ性液晶パネルの仕様によっては、非画素用のコモン信号として使用します。

## 28.2.11 LCDポート選択レジスタ5 (LSE5)

アドレス 020Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	LVLP3	LVLP2	LVLP1	LCOM3	LCOM2	LCOM1	LCOM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCOM0	LCDCOMポート選択ビット0	0:ポートP5_0 1:COM3	R/W
b1	LCOM1	LCDCOMポート選択ビット1	0:ポートP5_1 1:COM2	R/W
b2	LCOM2	LCDCOMポート選択ビット2	0:ポートP5_2 1:COM1	R/W
b3	LCOM3	LCDCOMポート選択ビット3	0:ポートP5_3 1:COM0	R/W
b4	LVLP1	LCDVLポート選択ビット1(注1)	0:ポートP5_4 1:VL1	R/W
b5	LVLP2	LCDVLポート選択ビット2(注1)	0:ポートP5_5 1:VL2	R/W
b6	LVLP3	LCDVLポート選択ビット3(注1)	0:ポートP5_6 1:VL3	R/W
b7	—	予約ビット	“0” にしてください。	R/W

注1. LCD駆動制御回路を使用する場合は、LSE5レジスタの対応するビットを“1”にしてください。

## 28.3 データレジスタの説明

LCD 表示データレジスタの各ビットに“1”を書き込むと、LCD パネルの対応するセグメントが点灯し、“0”を書き込むと消灯します。

シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
LRA0L	0210h								SEG0
LRA1L	0211h								SEG1
LRA2L	0212h								SEG2
LRA3L	0213h								SEG3
LRA4L	0214h								SEG4
LRA5L	0215h								SEG5
LRA6L	0216h								SEG6
LRA7L	0217h								SEG7
LRA8L	0218h								SEG8
LRA9L	0219h								SEG9
LRA10L	021Ah								SEG10
LRA11L	021Bh								SEG11
LRA12L	021Ch								SEG12
LRA13L	021Dh								SEG13
LRA14L	021Eh								SEG14
LRA15L	021Fh								SEG15
LRA16L	0220h								SEG16
LRA17L	0221h								SEG17
LRA18L	0222h								SEG18
LRA19L	0223h								SEG19
LRA20L	0224h	設定しないでください							SEG20
LRA21L	0225h								SEG21
LRA22L	0226h								SEG22
LRA23L	0227h								SEG23
LRA24L	0228h								SEG24
LRA25L	0229h								SEG25
LRA26L	022Ah								SEG26
LRA27L	022Bh								SEG27
LRA28L	022Ch								SEG28
LRA29L	022Dh								SEG29
LRA30L	022Eh								SEG30
LRA31L	022Fh								SEG31
LRA32L	0230h								SEG32
LRA33L	0231h								SEG33
LRA34L	0232h								SEG34
LRA35L	0233h								SEG35
LRA36L	0234h								SEG36
LRA37L	0235h								SEG37
LRA38L	0236h								SEG38
LRA39L	0237h								SEG39

図28.2 LCD表示データレジスタ

## 28.4 LCD駆動制御

表28.3と表28.4に駆動制御の手順の概要を示します。

表28.3 LCD駆動制御手順とセグメント、コモン端子の状態(通常)

手順	セグメント、コモン端子の状態
<pre> graph TD     A([リセット]) --&gt; B[LSE0~LSE5レジスタの設定 ・セグメント出力端子、コモン出力端子、LCD用電源入力端子を選択]     B --&gt; C[LRA0L~LRA39Lレジスタの初期設定 ・SEG端子出力データの初期値設定]     C --&gt; D[LCR3レジスタの設定 ・LCKS0~LCKS1ビット：LCDクロックソースを選択 ・LPSC0~LPSC2ビット：分周比を選択]     D --&gt; E[LCR0レジスタの設定 ・LSTATビット：LCD制御を開始 ・LDSPEビット：LCD表示を許可 ・LBAS0ビット：バイアスを選択 ・LDTY0~LDTY1ビット：デューティを選択]     E --&gt; F[LRA0L~LRA39Lレジスタの設定 ・SEG端子出力データを設定]     F --&gt; E           </pre> <p>リセット</p> <p>LSE0~LSE5レジスタの設定 ・セグメント出力端子、コモン出力端子、LCD用電源入力端子を選択</p> <p>LRA0L~LRA39Lレジスタの初期設定 ・SEG端子出力データの初期値設定</p> <p>LCR3レジスタの設定 ・LCKS0~LCKS1ビット：LCDクロックソースを選択 ・LPSC0~LPSC2ビット：分周比を選択</p> <p>LCR0レジスタの設定 ・LSTATビット：LCD制御を開始 ・LDSPEビット：LCD表示を許可 ・LBAS0ビット：バイアスを選択 ・LDTY0~LDTY1ビット：デューティを選択</p> <p>LRA0L~LRA39Lレジスタの設定 ・SEG端子出力データを設定</p>	<p>セグメント、コモン端子の状態</p> <ul style="list-style-type: none"> <li>•I/Oポート(入力)</li> <li>•ハイインピーダンス状態 (プルアップ制御レジスタに依存)</li> </ul> <p>↓</p> <ul style="list-style-type: none"> <li>•ハイインピーダンス</li> </ul> <p>LCD制御の開始により、</p> <ul style="list-style-type: none"> <li>•PiPURレジスタ (i = 0~5) 内容は無効。</li> <li>•LDSPEビットが“0”のとき、セグメント出力端子、コモン出力端子は“L”出力。</li> <li>•LDSPEビットが“1”のとき、セグメント出力端子、コモン出力端子はLCD表示データレジスタの内容を出力。</li> </ul>

表 28.4 LCD駆動制御手順とセグメント、コモン端子の状態(メモリ性液晶パネルの場合)

手順	セグメント、コモン端子の状態
<pre> graph TD     A([リセット]) --&gt; B[LSE0~LSE5レジスタの設定 ・セグメント出力端子、コモン出力端子、LCD用電源入力端子を選択]     B --&gt; C[LRA0L~LRA39Lレジスタの初期設定 ・SEG端子出力データの初期値設定]     C --&gt; D[LCR2レジスタの設定 ・OTPCCKビット：オプションクロックを選択 ・OTPCCK1~OTPCCK3ビット：分周を選択]     D --&gt; E[LCR3レジスタの設定 ・LCKS0~LCKS1ビット：LCDクロックソースを選択 ・LPSC0~LPSC2ビット：分周比を選択]     E --&gt; F[LCR4レジスタの設定 ・LCTZSビット：メモリ性液晶パネル用駆動波形を選択 ・COMEXPビット：P4_7はCOMEXP波形を選択]     F --&gt; G[LCR0レジスタの設定 ・LBAS0ビット：バイアスを選択 ・LDTY0~LDTY1ビット：デューティを選択]     G --&gt; H[LRA0L~LRA39Lレジスタの設定 ・SEG端子出力データを設定]     H --&gt; I[LCR0レジスタの設定 ・LSTATビット：LCD制御を開始 ・LDSPEビット：LCD表示を許可]     I --&gt; H   </pre>	<ul style="list-style-type: none"> <li>•I/Oポート(入力)</li> <li>•ハイインピーダンス状態 (プルアップ制御レジスタに依存)</li> </ul> <ul style="list-style-type: none"> <li>•ハイインピーダンス</li> </ul> <p>LCD制御の開始により、</p> <ul style="list-style-type: none"> <li>•PiPURレジスタ(i = 0 ~ 5)内容は無効。</li> <li>•LDSPEビットが“0”のとき、セグメント出力端子、コモン出力端子は“L”出力。</li> <li>•LDSPEビットが“1”のとき、セグメント出力端子、コモン出力端子はLCD表示データレジスタの内容を出力。</li> </ul>

### 28.4.1 セグメント出力端子の選択

セグメント出力端子SEG0～SEG39、コモン出力端子COM0～COM3、およびLCD用電源端子VL1～VL3はすべてI/Oポートと兼用です。これらの端子はリセット後は、すべてI/Oポートになりますので、LCD表示のセグメント出力、コモン出力、またはLCD用電源に使用する端子は対応するLSE<sub>i</sub>ビット( $i = 00 \sim 39$ )、LCOM<sub>j</sub>ビット( $j = 0 \sim 3$ )、またはLVL<sub>Pk</sub>ビット( $k = 1 \sim 3$ )を“1”にしてください。セグメント出力、コモン出力、またはLCD用電源に使用しない端子はLSE<sub>i</sub>ビット、LCOM<sub>j</sub>ビット、またはLVL<sub>Pk</sub>ビットを“0”(I/Oポート)にしてください。I/Oポートとして使用しない場合は、I/Oポートの未使用端子の処理(「表7.77 未使用端子の処理例」参照)を行ってください。

### 28.4.2 LCDクロック選択

LCDクロックソースとしてf32、fC-LCDのいずれかをLCKS0～LCKS1ビットで選択、分周比を分周なし～128分周からLPSC0～LPSC2ビットで選択します。

### 28.4.3 バイアス制御

LCD用電源入力端子VL1～VL3に分割抵抗を外付けして、LCD駆動電圧を印加します。図28.3に外付け分割抵抗使用時の端子接続と電圧レベルを示します。

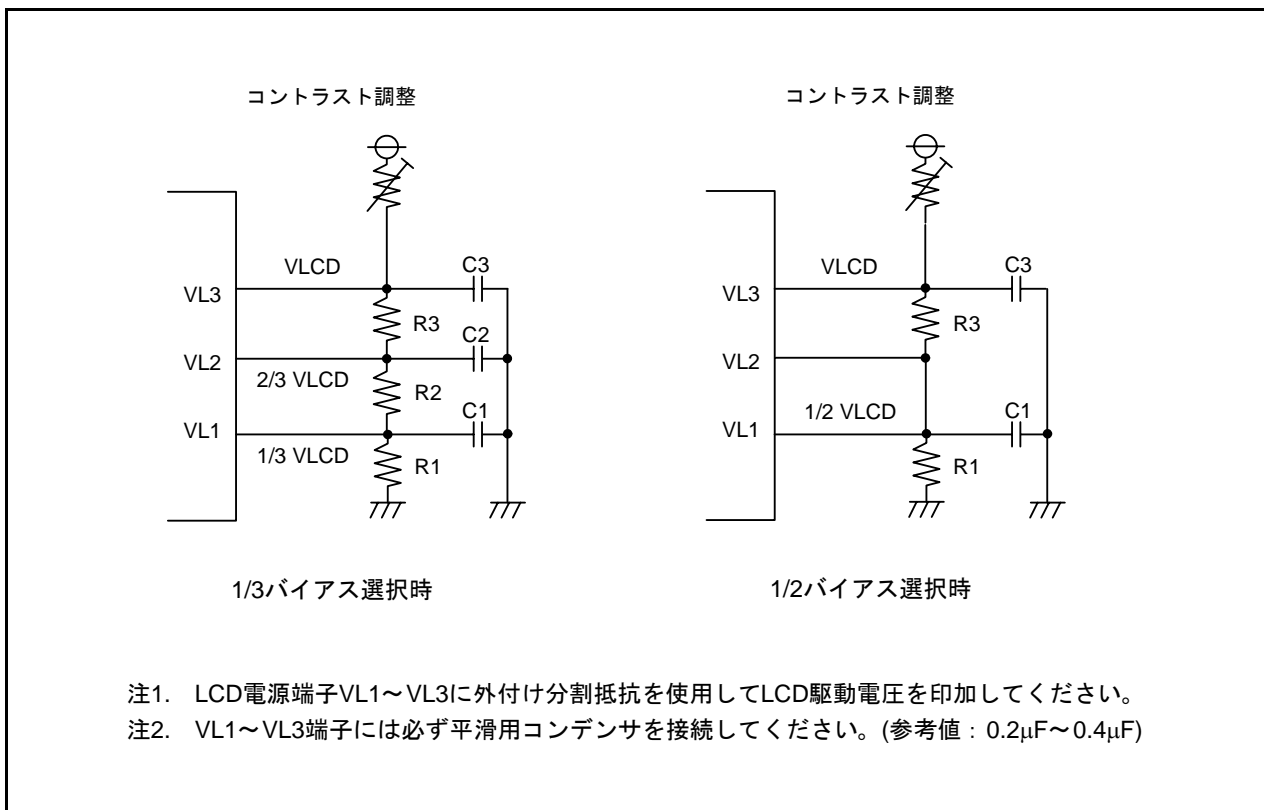


図28.3 外付け分割抵抗使用時の端子接続と電圧レベル

#### 28.4.4 LCDデータ表示

LCR0レジスタのLBAS0ビットでバイアスを、LDTY0～LDTY1ビットでデューティを選択します。LDSPEビットを“1”にしてLCD表示を許可し、LSTATビットを“1”にするとLCD表示が開始されます。LCD表示データはLCD表示データレジスタに設定します。

LCD表示データレジスタの内容を変更することによってLCD表示内容が変更されます。メモリ性液晶パネル駆動中にはLCD表示データレジスタの内容を変更しないでください。

#### 28.4.5 ストップモードおよびパワーオフ2モード時の端子の状態

ストップモードおよびパワーオフ2モード時、LSE0～LSE5レジスタのLSE00～LSE39ビット、LCOM0～LCOM3ビット、LVLP1～LVLP3ビットで選択したLCD表示機能端子は、表28.5に示す状態に移行します。表28.3に示すLCD駆動制御手順のLCR0レジスタを設定したときと同じ動作でLCD制御が再開されます。

表 28.5 ストップモードおよびパワーオフ2モード時のLCD表示機能端子の状態

端子名	端子の状態
SEG0～SEG39	“L”出力
COM0～COM3	“L”出力
VL1～VL3	ハイインピーダンス状態

#### 28.4.6 パワーオフ0モード時の端子の状態

パワーオフ0モード時、LSE0～LSE7レジスタのLSE00～LSE39ビット、LCOM0～LCOM3ビット、LVLP1～LVLP3ビットで選択したLCD表示機能端子は、表28.6に示す状態に移行します。表28.3に示すリセットから動作します。

表 28.6 パワーオフ0モード時のLCD表示機能端子の状態

端子名	端子の状態
SEG0～SEG39	“L”出力
COM0～COM3	
VL1～VL3	ハイインピーダンス状態



## 28.5 LCD駆動波形

## 28.5.1 セグメントパネル駆動波形

LCD駆動波形を図28.4～図28.12に示します。

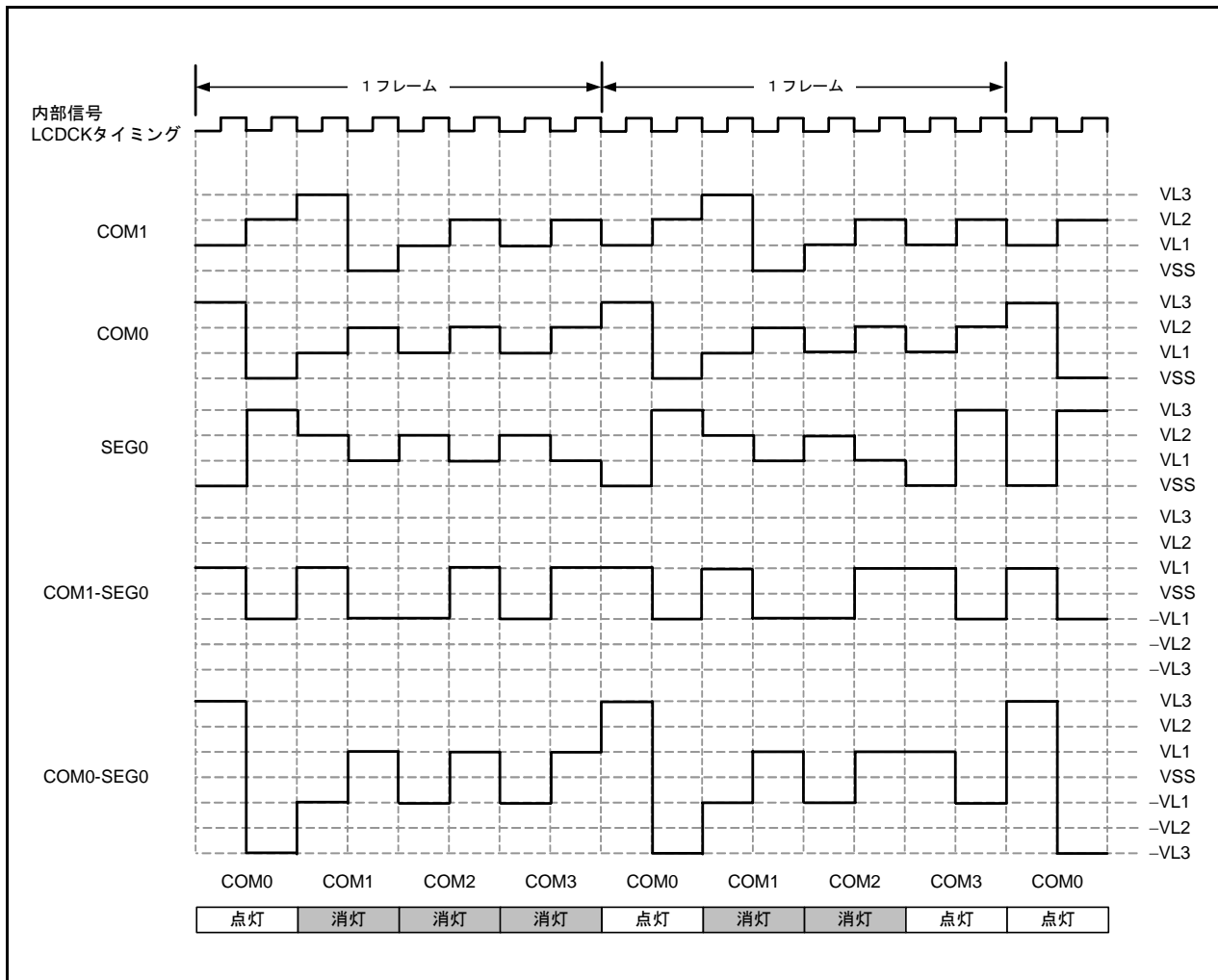


図28.4 LCD駆動波形(1/4デューティ、1/3バイアス)

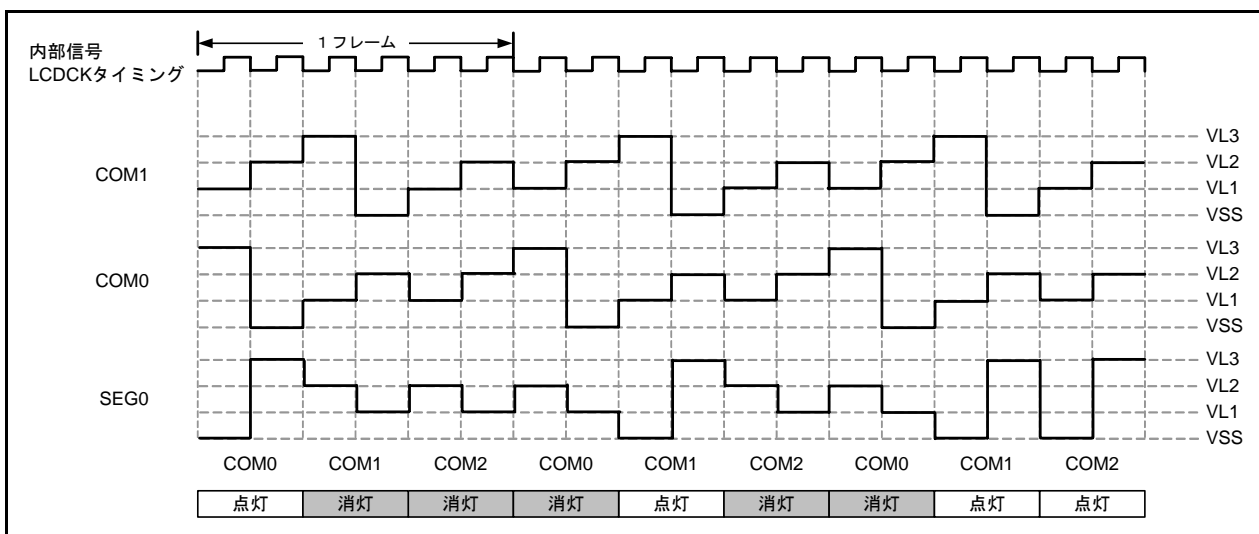


図28.5 LCD駆動波形(1/3デューティ、1/3バイアス)

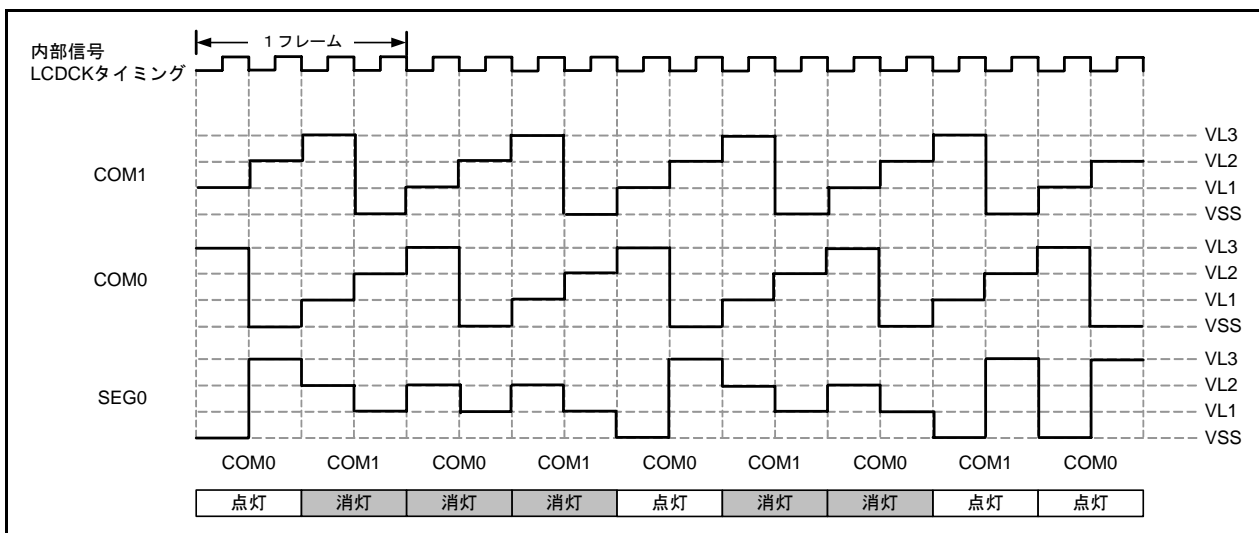


図28.6 LCD駆動波形(1/2デューティ、1/3バイアス)

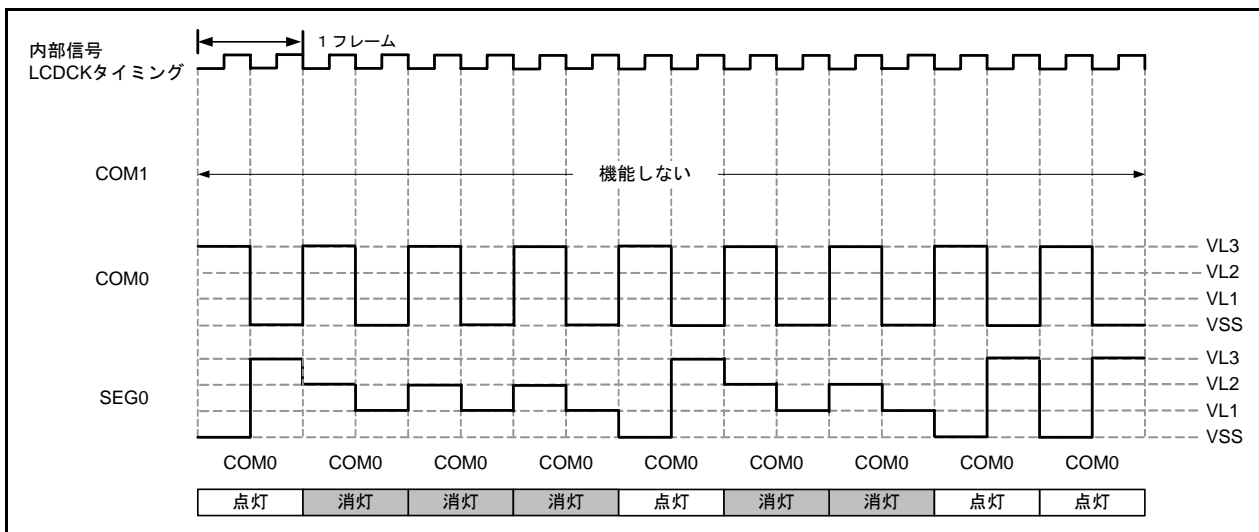


図28.7 LCD駆動波形(スタティック、1/3バイアス)

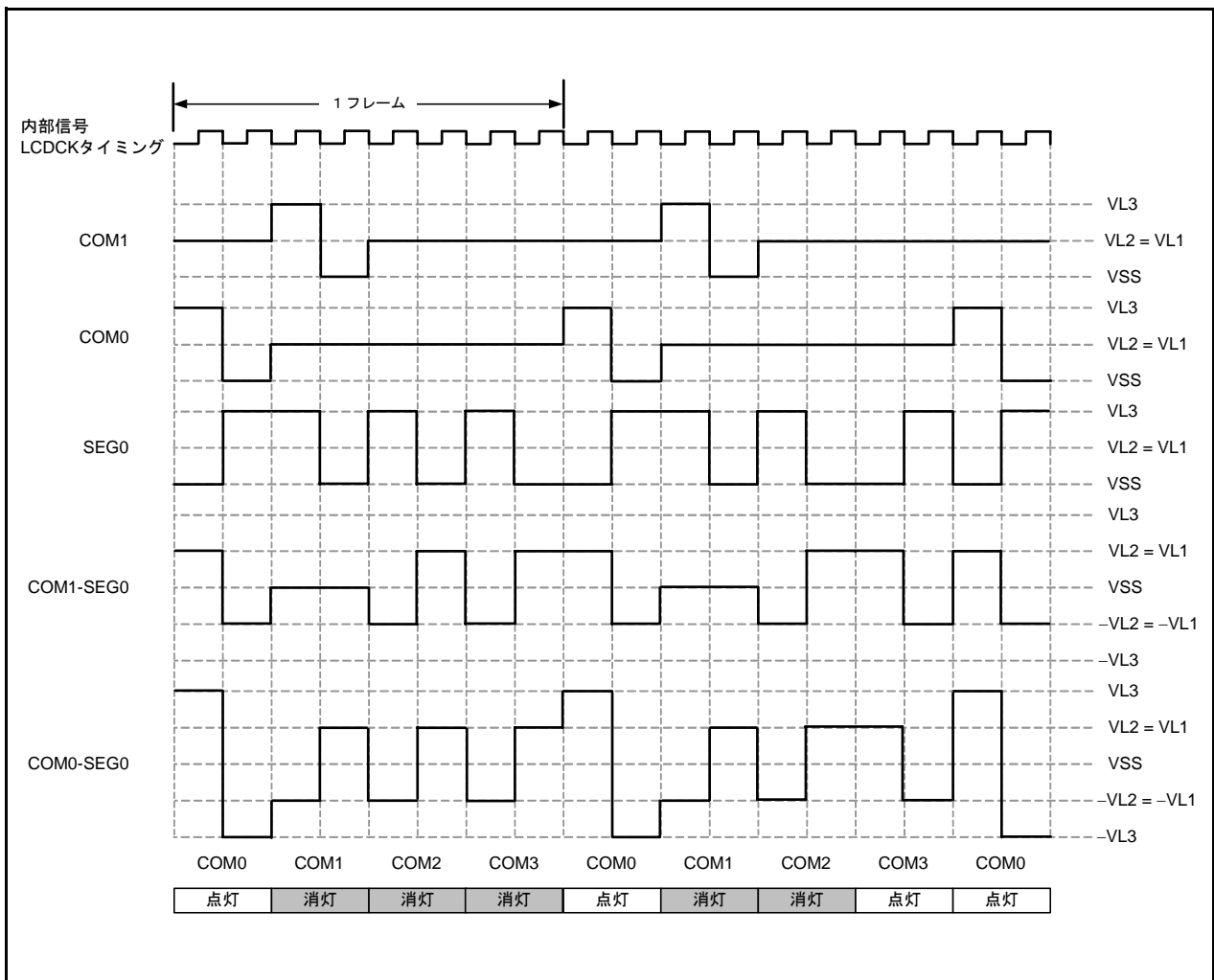


図28.8 LCD駆動波形(1/4デューティ、1/2バイアス)

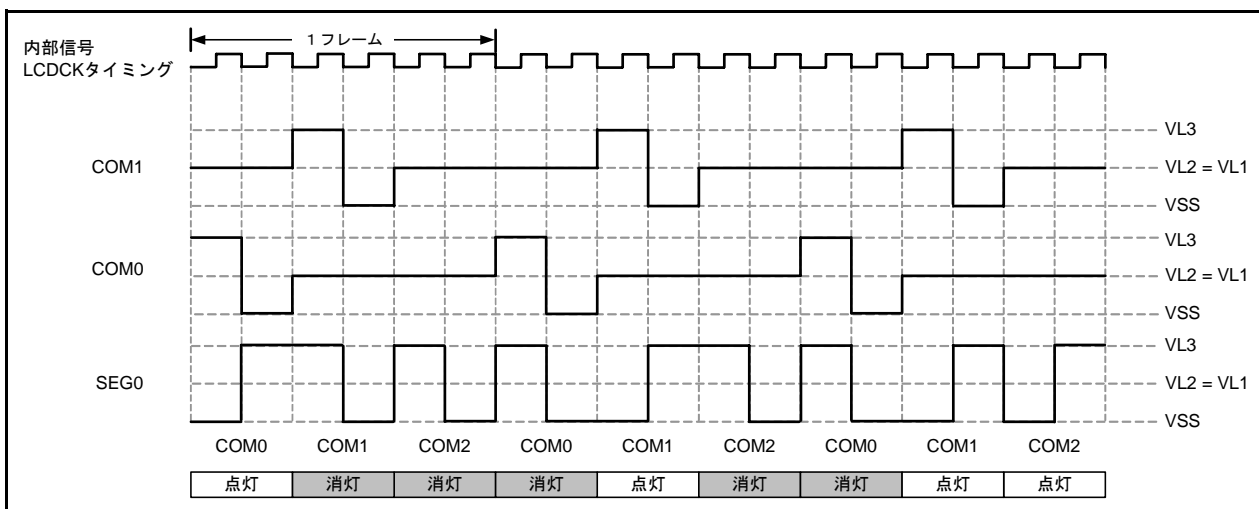


図28.9 LCD駆動波形(1/3デューティ、1/2バイアス)

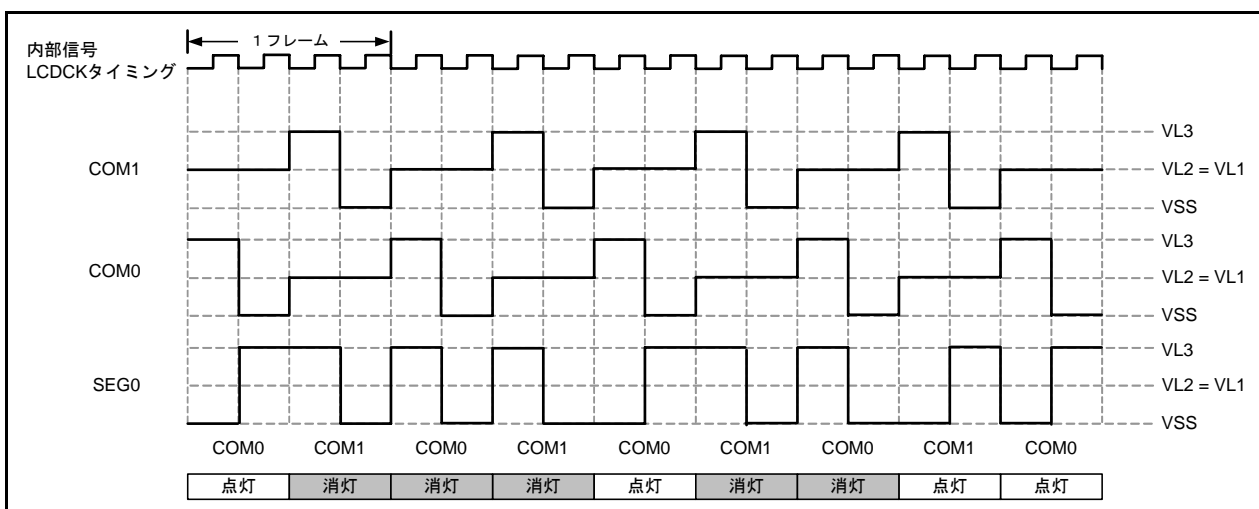


図28.10 LCD駆動波形(1/2デューティ、1/2バイアス)

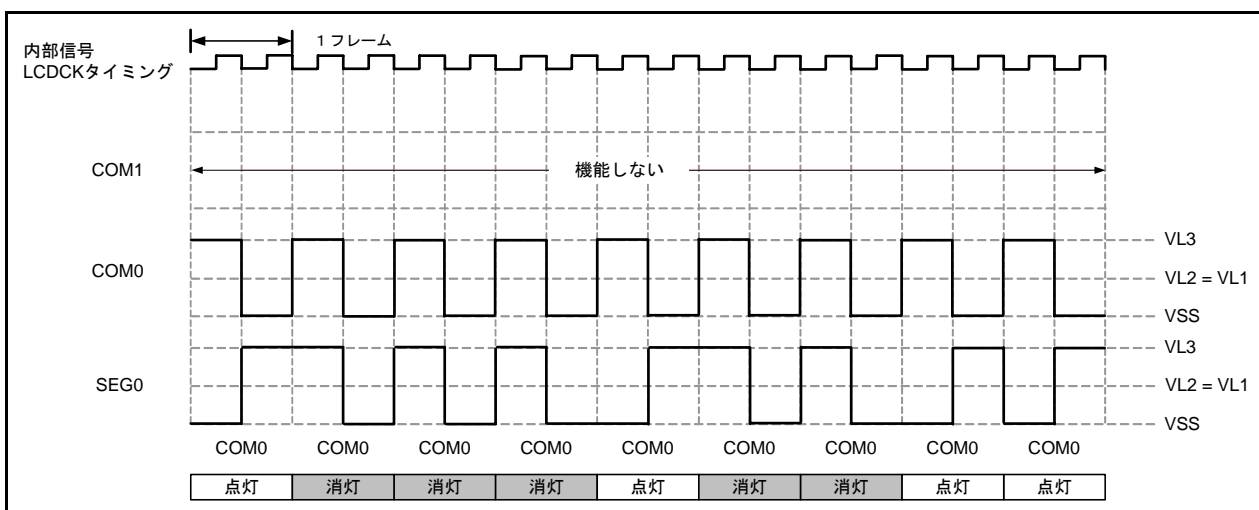


図28.11 LCD駆動波形(スタティック、1/2バイアス)

### 28.5.2 メモリ性液晶パネル用駆動波形

LCD駆動波形を図28.12に示します。

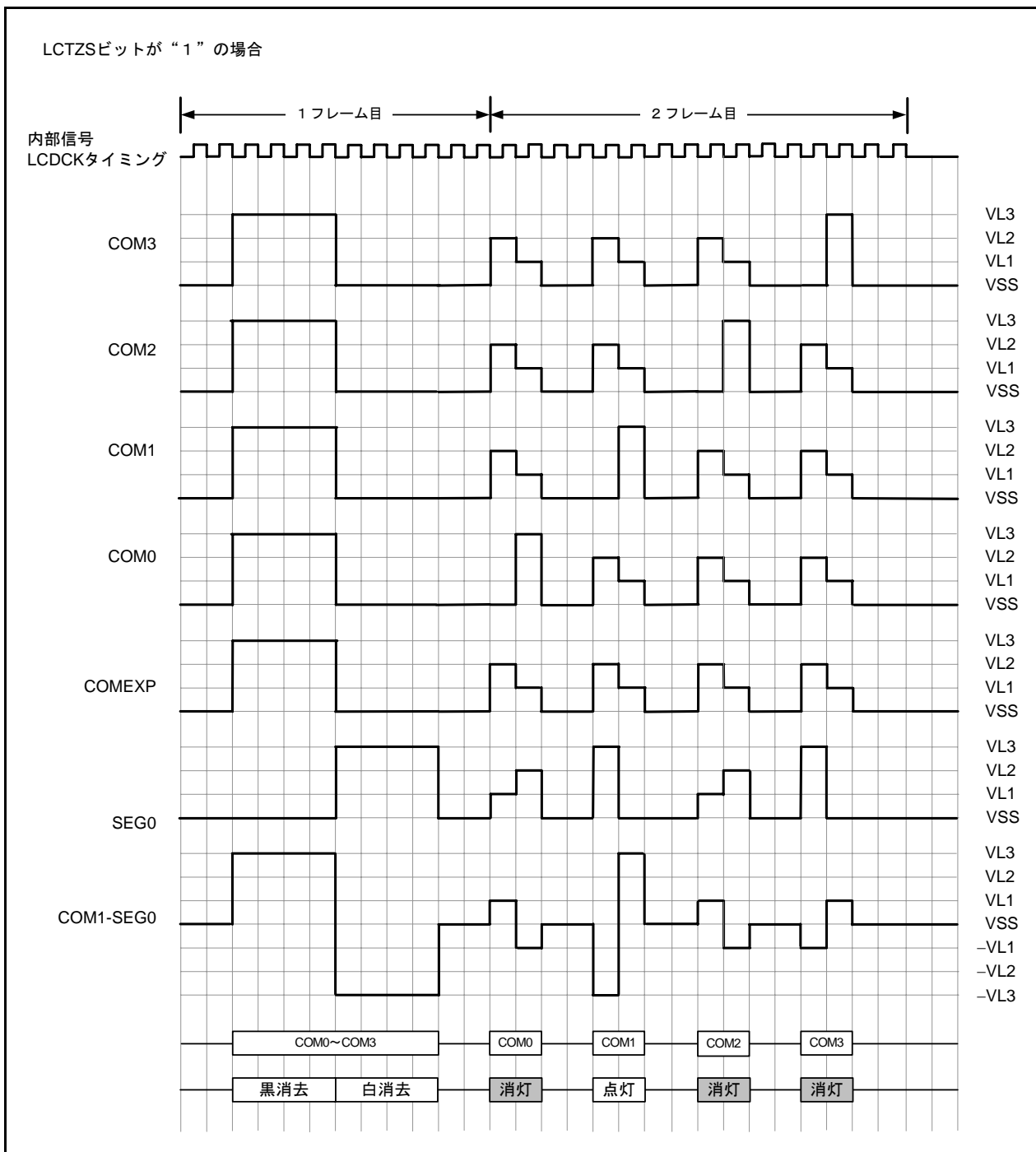


図28.12 LCD駆動波形(1/4デューティ、1/3バイアス)

## 28.5.3 割り込み制御波形

割り込み制御波形を図28.13に示します。

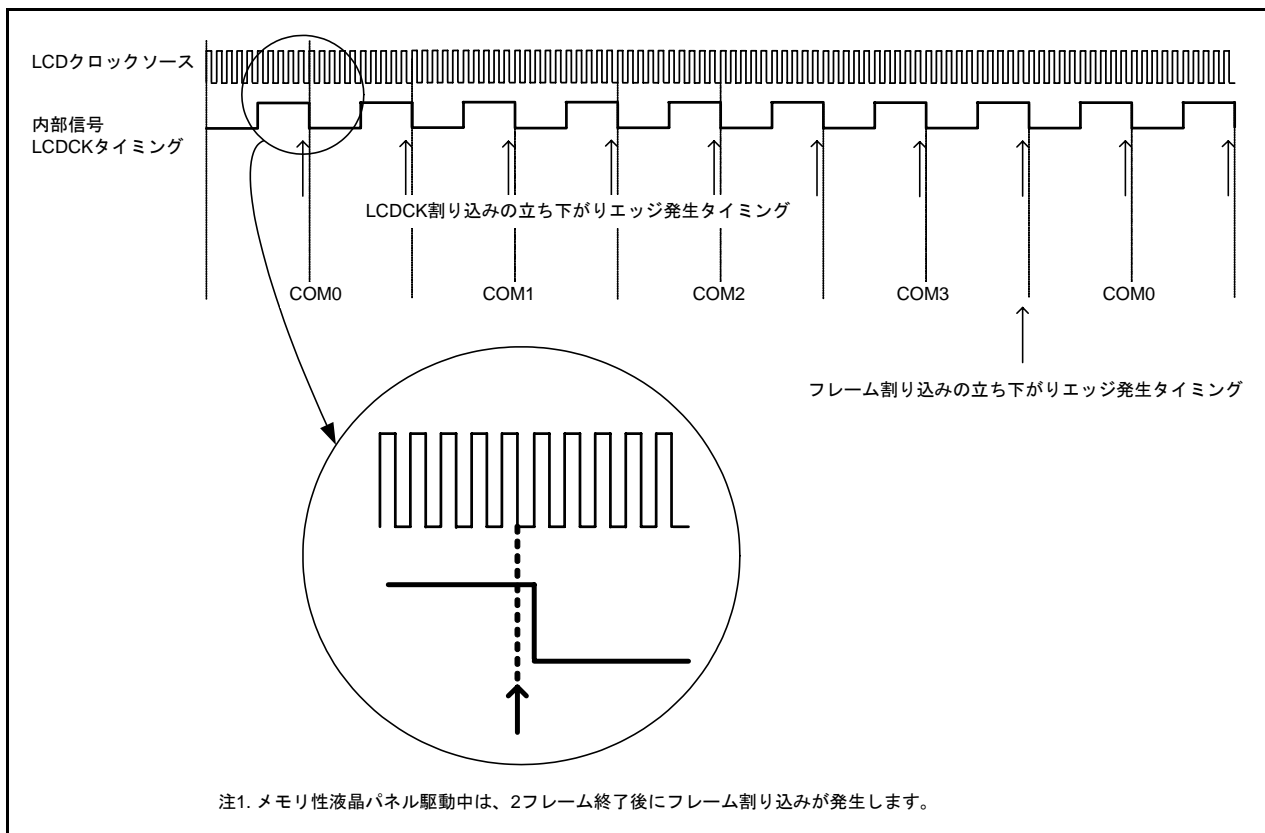


図28.13 割り込み制御波形

## 28.6 LCD駆動制御回路使用上の注意

### 28.6.1 分割抵抗を外付けする場合

R1～R3の参考値は10k $\Omega$ ～200k $\Omega$ です。これらの参考値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行った上で、値を調整して決定してください(図28.3を参照してください)。

## 29. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

### 29.1 概要

表 29.1にフラッシュメモリの性能概要を示します(表 29.1に示す以外の項目は「表 1.4～表 1.6の仕様概要」を参照してください)。

表 29.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図 29.1、図 29.2を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0～8 (プログラムROM)(注4)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B (データフラッシュ)	FMR1レジスタのFMR14、FMR15ビットによるブロックA、Bに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注3)	ブロック0～8 (プログラムROM)(注4)	10,000回
	ブロックA、B (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラムROMのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8 V～5.5 Vの条件で行ってください。

注2. データフラッシュのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8 V～5.5 Vの条件で行ってください。

注3. プログラム、イレーズ回数の定義  
プログラム、イレーズ回数はブロックごとのイレーズ回数です。  
プログラム、イレーズ回数がn回(n = 10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注4. 製品によってブロック数およびブロックの分割が異なります。詳細は「図 29.1 R8C/LA6Aグループ、R8C/LA8Aグループ(計2グループ)のフラッシュメモリのブロック図(1)」、「図 29.2 R8C/LA6Aグループ、R8C/LA8Aグループ(計2グループ)のフラッシュメモリのブロック図(2)」を参照してください。

表 29.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	—



## 29.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 29.1にR8C/LA6Aグループ、R8C/LA8Aグループ(計2グループ)のフラッシュメモリのブロック図(1)を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM： 主にプログラムを格納するためのフラッシュメモリ

データフラッシュ： 主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

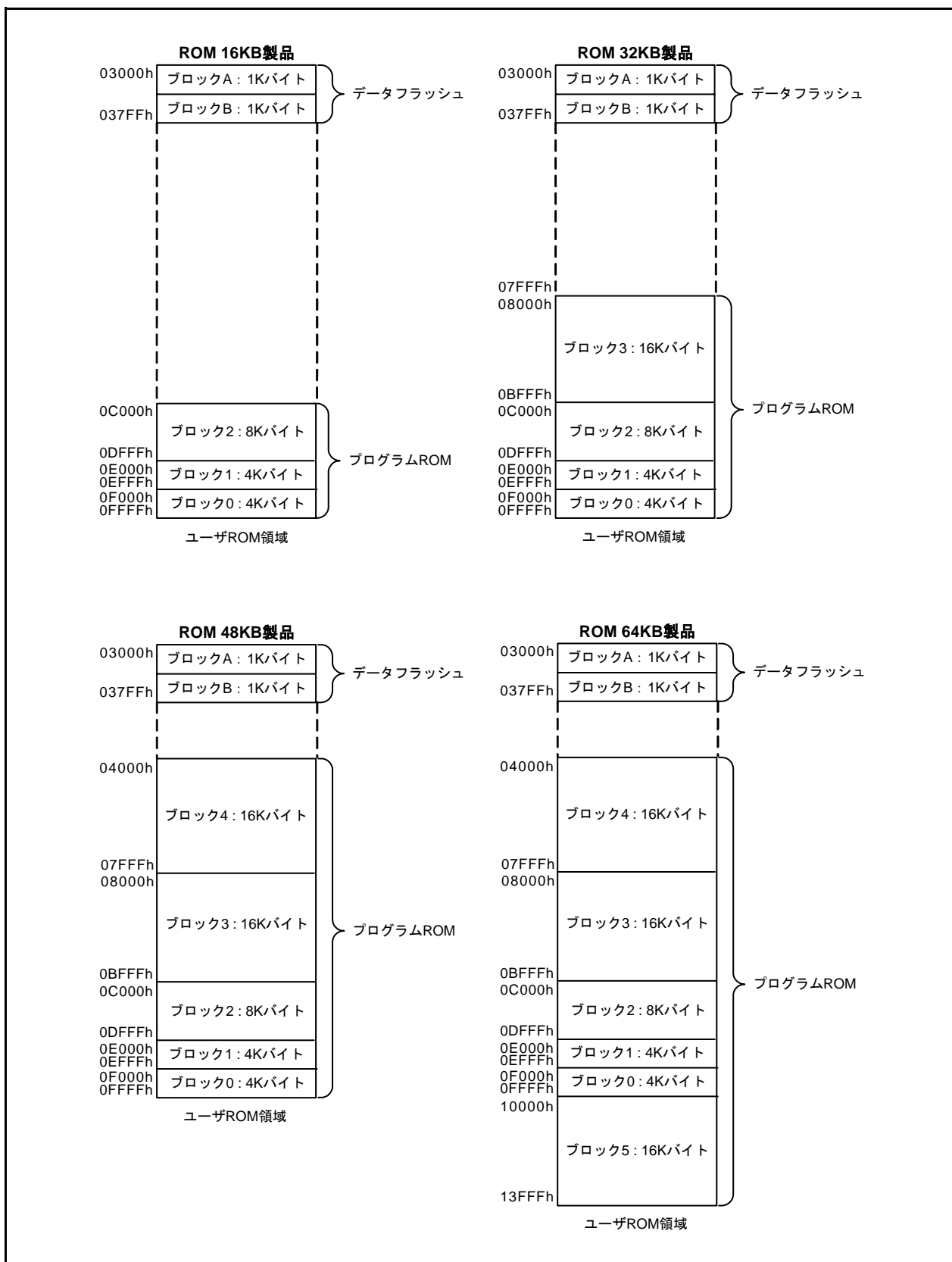


図 29.1 R8C/LA6Aグループ、R8C/LA8Aグループ(計2グループ)のフラッシュメモリのブロック図 (1)

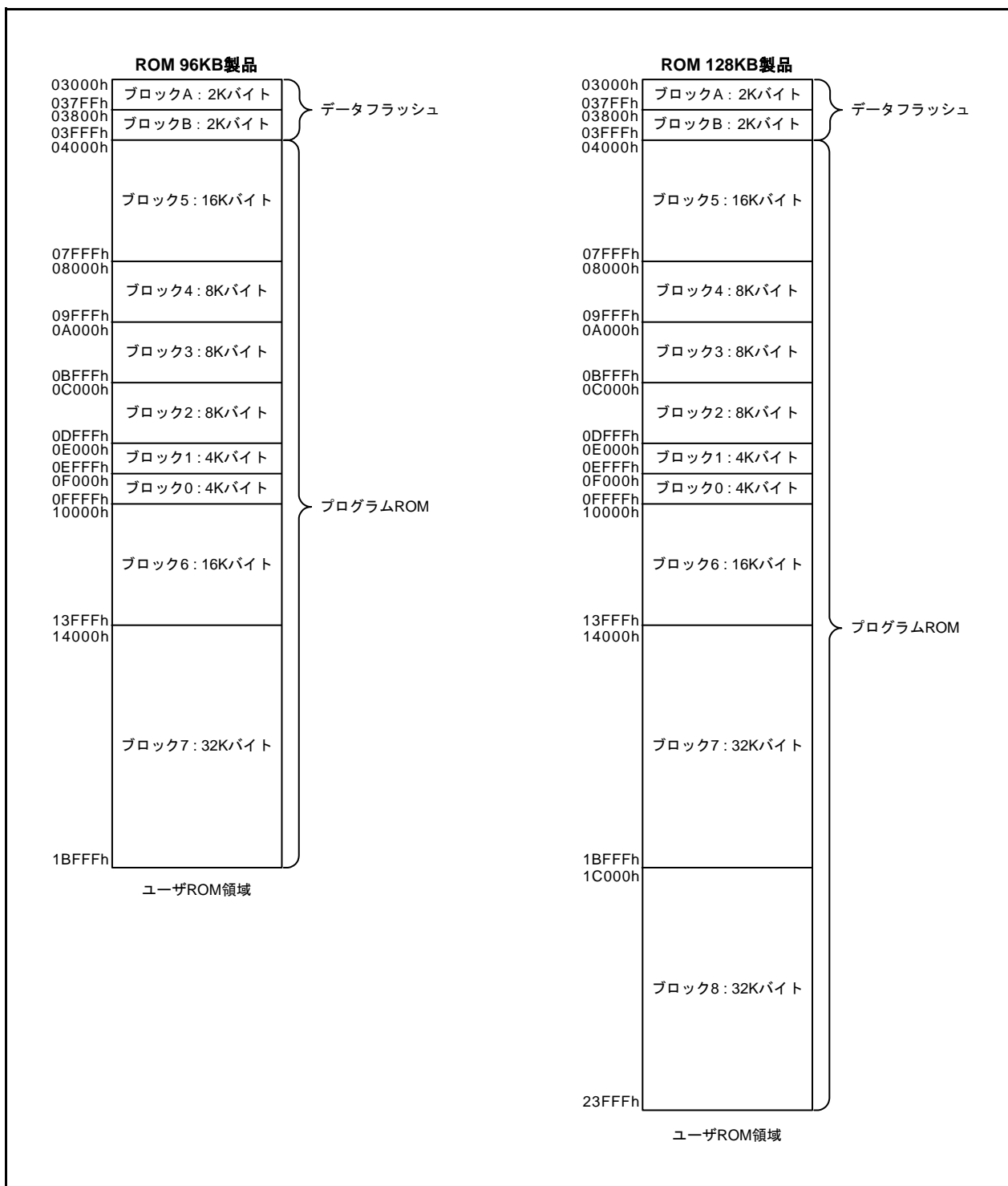


図 29.2 R8C/LA6Aグループ、R8C/LA8Aグループ(計2グループ)のフラッシュメモリのブロック図 (2)

### 29.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

#### 29.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFFCh～0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「13. IDコード領域」を参照してください。

### 29.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「14. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

### 29.3.3 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0: 3.80Vを選択 (Vdet0_3) 0 1: 2.85Vを選択 (Vdet0_2) 1 0: 2.35Vを選択 (Vdet0_1) 1 1: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 29.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで、消去動作もしくは書き込み動作を一時中断するサスペンド機能(プログラムサスペンド、イレーズサスペンド)を持ちます。サスペンド中は、フラッシュメモリの読み出しができます。また、イレーズサスペンドに限り、フラッシュメモリのプログラムも可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表 29.3にEW0モードとEW1モードの違いを示します。

表 29.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
フラッシュメモリの動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行)	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	—	プログラム、ブロックコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、サスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPUの状態	動作	プログラム、ブロックイレーズ実行中、CPUはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> <li>プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする</li> <li>FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生</li> </ul>	FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生
プログラムサスペンドの移行条件	<ul style="list-style-type: none"> <li>プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする</li> <li>FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生</li> </ul>	FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生
CPUクロック	最大20MHz	最大20MHz

## 29.4.1 フラッシュメモリステータスレジスタ (FST)

アドレス 01B2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	FST3	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	FST3	プログラムサスペンドステータスフラグ	0: プログラムサスペンド以外 1: プログラムサスペンド中	R
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

- 注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にしてください。
- 注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にしてください。
- 注3. コマンドエラー時にも“1”(エラーあり)になります。
- 注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

## RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[ “0” になる条件 ]

割り込み処理のプログラムで“0”にしてください。

[ “1” になる条件 ]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

### BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。  
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。  
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

### LBDATAビット(LBDATAモニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後で、LBDATAビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

### FST3ビット(プログラムサスペンドステータスフラグ)

サスペンド状態を示す読み出し専用のビットです。プログラムサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”となります。

### FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「29.4.11 フルスステータスチェック」を参照してください。

### FST5ビット(イレーズエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「29.4.11 フルスステータスチェック」を参照してください。

### FST6ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”となります。



### FST7ビット(レディ/ビジーステータスフラグ)

FST7ビットが“0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7ビットが“1”(レディ)になります。

## 29.4.2 フラッシュメモリ制御レジスタ0(FMR0)

アドレス 01B4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み 許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は割り込みを禁止にしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

## FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

## FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

### FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「10.8.10 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

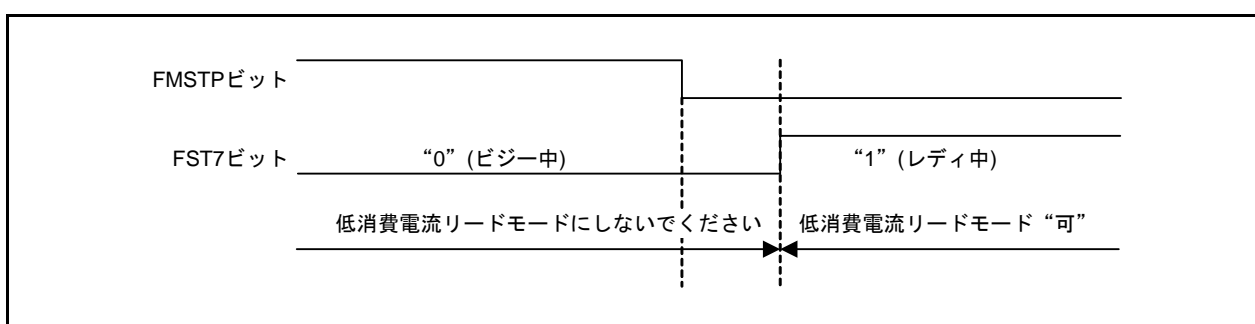


図 29.3 低消費電流リードモードへの移行

### CMDRSTビット(イレーズ/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレーズコマンドを強制停止させるためのビットです。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレーズコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレーズコマンドを再度実行し、ブロックイレーズが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレーズコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレーズコマンドを再度実行してください。

また、イレーズサスペンド中にCMDRSTビットを“1”(イレーズ/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレーズをサスペンドしていたブロックに対しても、ブロックイレーズを再度実行してください。

CMDRSTビットを“1”(イレーズ/ライト停止)にしてから、 $t_d(\text{CMDRST-READY})$ 後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

### CMDERIE ビット(イレーズ/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレーズエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIE ビットを“1”(イレーズ/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを“0”(イレーズ/ライトエラー割り込み禁止)から“1”(イレーズ/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを“1”にする。

### BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを“0”(フラッシュアクセスエラー割り込み禁止)から“1”(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FST レジスタのBSYAEI ビットを読む(ダミーリード)。
- (2) BSYAEI ビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIE ビットを“1”(フラッシュアクセスエラー割り込み許可)にする。

### RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを“0”(フラッシュレディステータス割り込み禁止)から“1”(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FST レジスタのRDYSTI ビットを読む(ダミーリード)。
- (2) RDYSTI ビットに“0”(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIE ビットを“1”(フラッシュレディステータス割り込み許可)にする。

## 29.4.3 フラッシュメモリ制御レジスタ 1(FMR1)

アドレス 01B5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	FMR15	FMR14	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	X	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R
b2	—			R/W
b3	FMR13	ロックビット無効選択ビット(注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	—			

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は割り込みを禁止にしてください。

注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は割り込みを禁止にしてください。

注3. FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると“0”になります。

## FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「29.4.9 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

## [“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- サスペンド移行時点
- コマンドシーケンスエラー発生時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

## [“1”になる条件]

プログラムで“1”にしてください。

**FMR14ビット(データフラッシュブロックA書き換え禁止ビット)**

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

**FMR15ビット(データフラッシュブロックB書き換え禁止ビット)**

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

## 29.4.4 フラッシュメモリ制御レジスタ 2(FMR2)

アドレス 01B6h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	—	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	サスペンド許可ビット(注1)	0: サスペンド禁止 1: サスペンド許可	R/W
b1	FMR21	サスペンドリクエストビット(注2)	0: リスタート 1: サスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット(注1)	0: 割り込み要求でサスペンドリクエスト禁止 1: 割り込み要求でサスペンドリクエスト許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。		—
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	FMR27	低消費電流リードモード許可ビット(注1、3)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。
- 注2. FMR21ビットを“0”(リスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。
- 注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。
- ・CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
  - ・CPUクロックをXCINクロックの1分周(分周なし)、2分周、4分周または8分周に設定
- ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

## FMR20ビット(サスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、サスペンド機能が許可されます。

## FMR21ビット(サスペンドリクエストビット)

FMR21ビットを“1”にすると、サスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(サスペンドリクエスト)になり、サスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(リスタート)にしてください。

[“0”になる条件]

プログラムで“0”にしてください。

[“1”になる条件]

- ・割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でサスペンドリクエスト許可)のとき。
- ・プログラムで“1”にしてください。

## FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(サスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にサスペンドを使用するときに、“1”にしてください。

## FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「10.8.11 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

### 29.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動書き込み中、自動消去中にサスペンドに移行する場合は、FMR20ビットを“1”(サスペンド許可)、FMR21ビットを“1”(サスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST3ビットが“1”(プログラムサスペンド中)もしくはFST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST3ビットが“0”になった場合は書き込み終了、FST6ビットが“0”になった場合は消去終了です)。

FMR2レジスタのFMR21ビットを“0”(リスタート)にすると、自動書き込み、自動消去を再開します。また、自動書き込み、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST3ビットが“0”(プログラムサスペンド以外)、もしくはFST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

### 29.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

サスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからプログラム、ブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でサスペンドリクエスト許可)にしてください。また、サスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(サスペンドリクエスト)になり、td(SR-SUS)後に、自動書き込み、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(リスタート)にして自動書き込み、自動消去を再開させてください。



### 29.4.7 サスペンド動作

サスペンド機能は自動書き込み、自動消去の途中で、その動作を一時中断する機能です。

自動書き込み、自動消去を中断したとき、次の動作が実行できます。（「表 29.4 サスペンド中に実行できる動作」参照）

- プログラムサスペンドを確認する場合、FST7ビットが“1”（レディ）となったことを確認後、FST3ビットが“1”（プログラムサスペンド中）になったことで、サスペンドしたことを確認してください。（FST3ビットが“0”（プログラムサスペンド以外）となったときは、書き込み終了です。）
- イレーズサスペンドを確認する場合、FST7ビットが“1”（レディ）となったことを確認後、FST6ビットが“1”（イレーズサスペンド中）になったことで、サスペンドしたことを確認してください。（FST6ビットが“0”（イレーズサスペンド以外）となったときは、消去終了です。）

図 29.4にイレーズサスペンド動作に関するタイミング(EW0モード)を示します。

表 29.4 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラムROM (サスペンド移行前の イレーズ実行ブロック)			プログラムROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド 移行前の イレーズ 実行領域	データ フラッシュ	×	×	×	×	○	○	—	—	—	×	○	○
	プログラム ROM	—	—	—	×	○	○	×	×	×	×	○	○
サスペンド 移行前の プログラム 実行領域	データ フラッシュ	×	×	×	×	×	○	—	—	—	×	×	○
	プログラム ROM	—	—	—	×	×	○	×	×	×	×	×	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし

注2. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”（レディ）で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注3. サスペンド移行直後は、リードアレイモードになります。

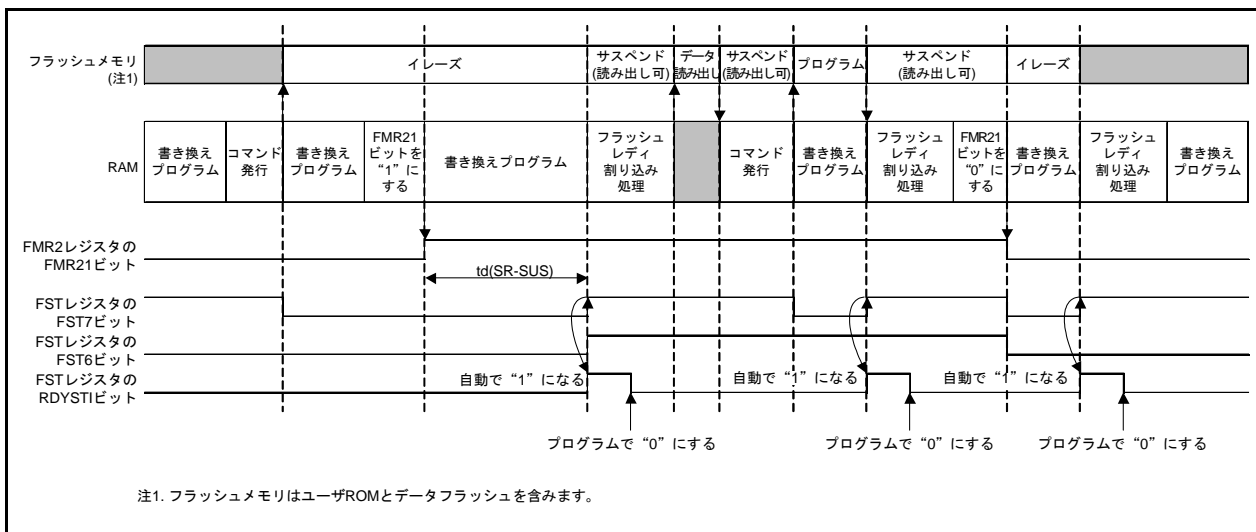


図 29.4 イレーズサスペンド動作に関するタイミング(EW0モード)

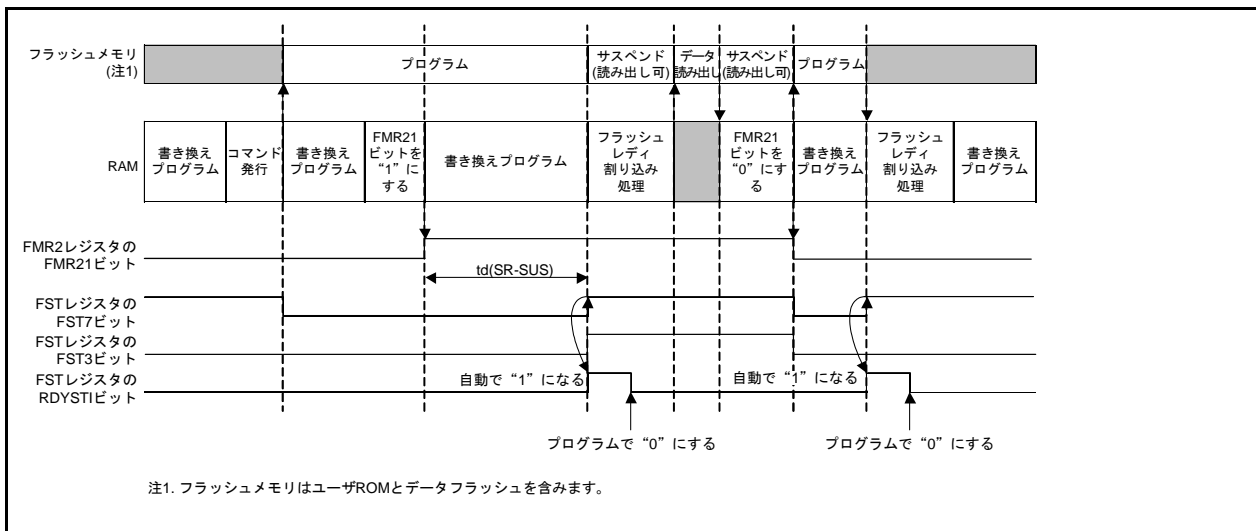


図 29.5 プログラムサスペンド動作に関するタイミング(EW0モード)

## 29.4.8 各モードの設定と解除方法

図 29.6にEW0モードの設定と解除方法を、図 29.7にEW1モードの設定と解除方法を示します。

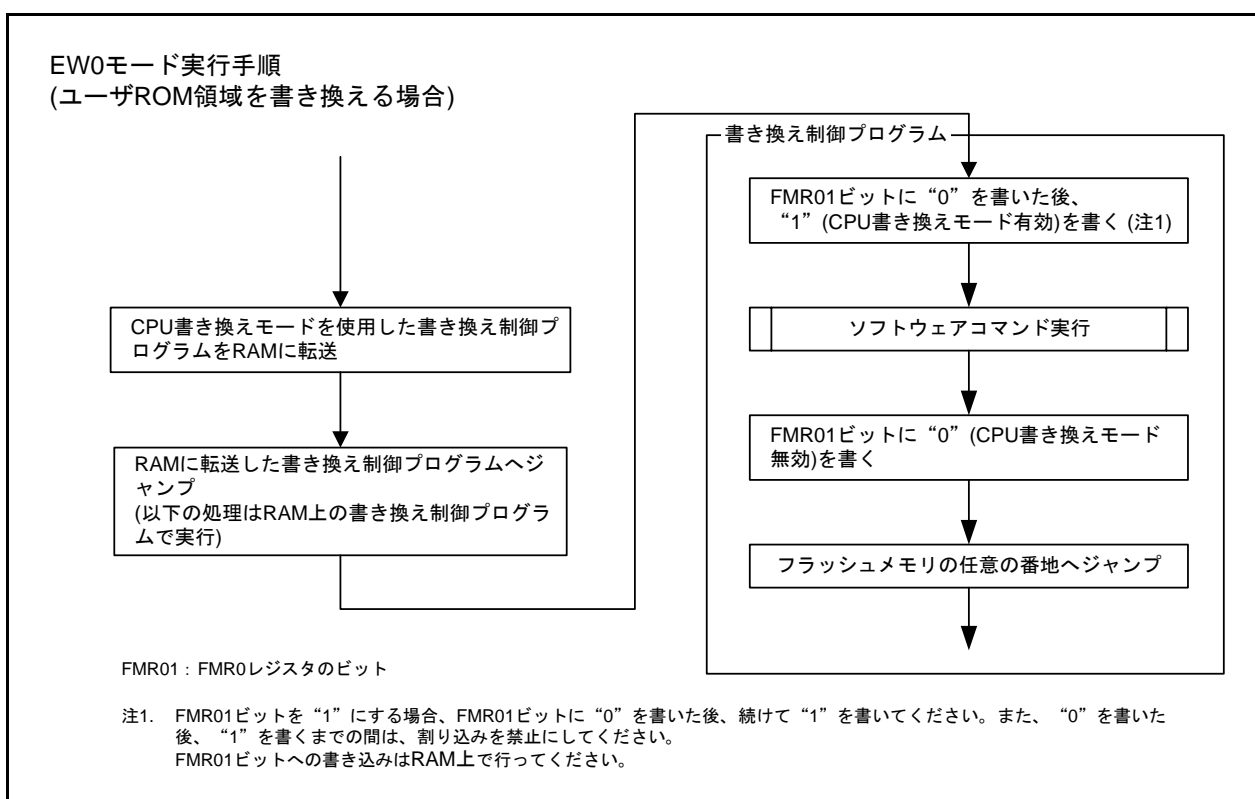


図 29.6 EW0モードの設定と解除方法

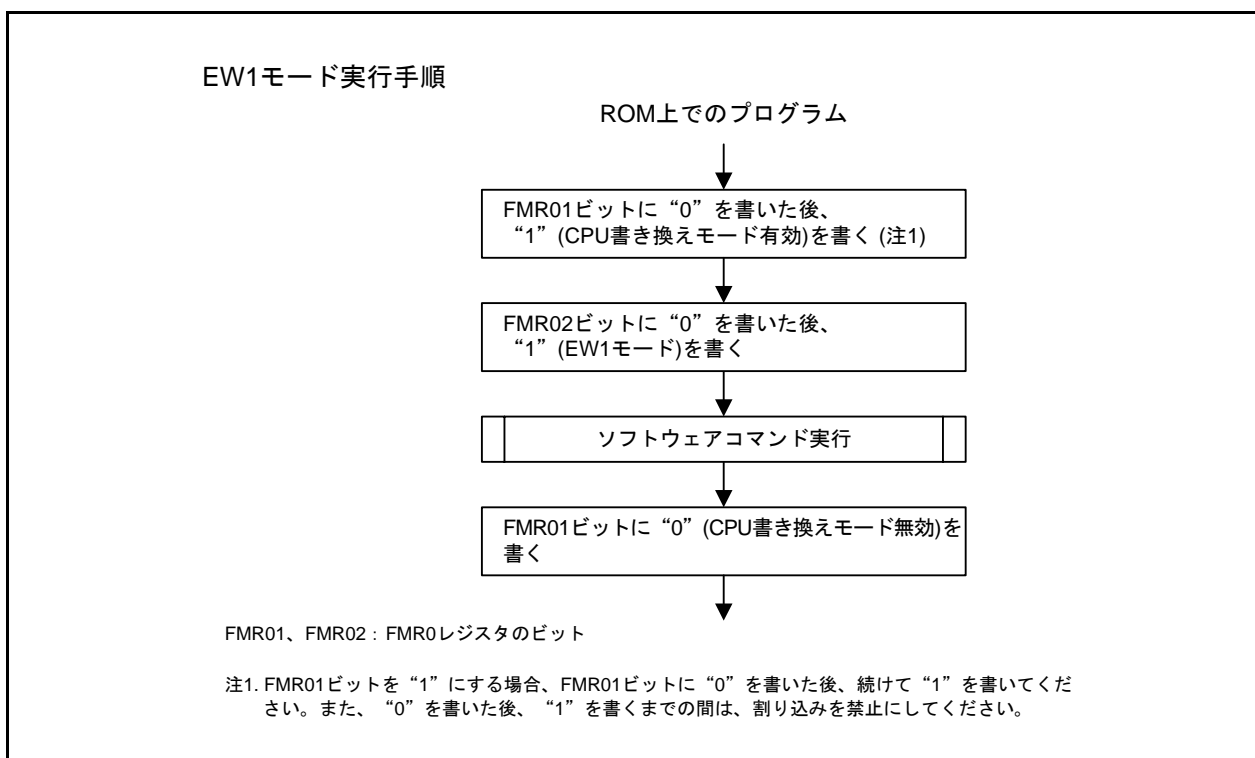


図 29.7 EW1モードの設定と解除方法

### 29.4.9 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”（ロックビット有効）のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止（ロック）できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態（そのブロックはプログラム、イレーズできない）
- ロックビットデータが“1”のとき：非ロック状態（そのブロックはプログラム、イレーズできる）

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”（ロック状態）に、ブロックを消去すると“1”（非ロック状態）になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”（ロックビット無効）にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります（各ロックビットデータは変化しません）。FMR13ビットを“0”にすると、ロックビットの機能が有効になります（ロックビットデータは保持されています）。

FMR13ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「29.4.10 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが“0”（ビジー）から“1”（レディ）になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが“0”（CPU書き換えモード無効）になった場合
- FMR0レジスタのFMSTPビットが“1”（フラッシュメモリ停止）になった場合
- FMR0レジスタのCMDRSTビットが“1”（イレーズ/ライト停止）になった場合

図 29.8にFMR13ビットの動作に関するタイミングを示します。

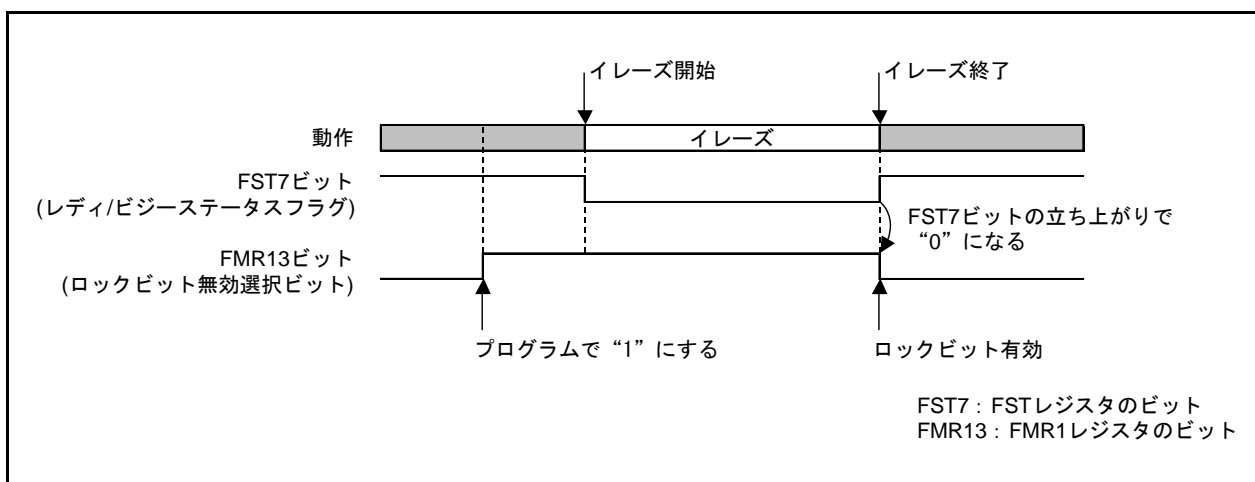


図 29.8 FMR13ビットの動作に関するタイミング

### 29.4.10 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表 29.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	×	FFh			
クリアステータスレジスタ	ライト	×	50h			
プログラム(バイト単位)	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	×	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	×	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	×	25h	ライト	BA	D0h

WA：書き込み番地(ワード単位でプログラムを実行する場合は、偶数番地を指定してください。)

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

×：ユーザROM領域内の任意の番地

#### 29.4.10.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

#### 29.4.10.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

### 29.4.10.3プログラム

1バイトでフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。

(「29.4.11 フルステータスチェック」参照)

すでにプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンドが受け付けられません。

図 29.9 にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図 29.10 にEW0モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(サスペンド許可)のときにFMR21ビットが“1”(サスペンドリクエスト)に変化した場合、自動書き込みが中断され、フラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

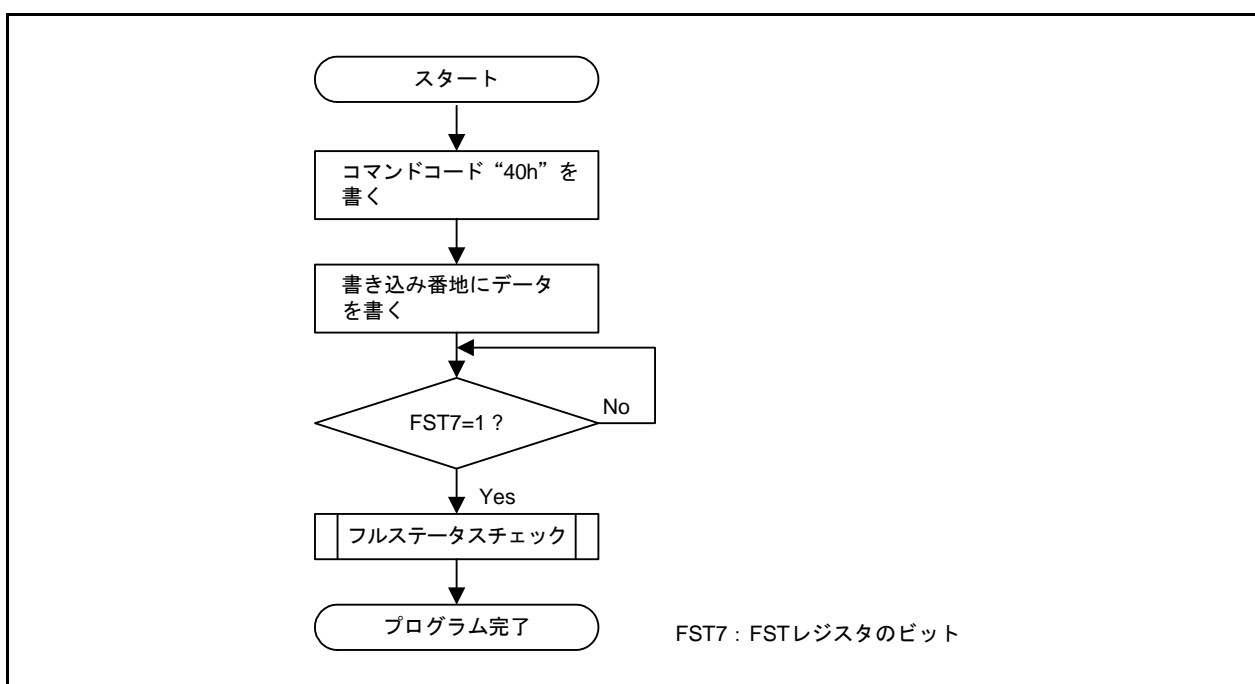


図 29.9 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

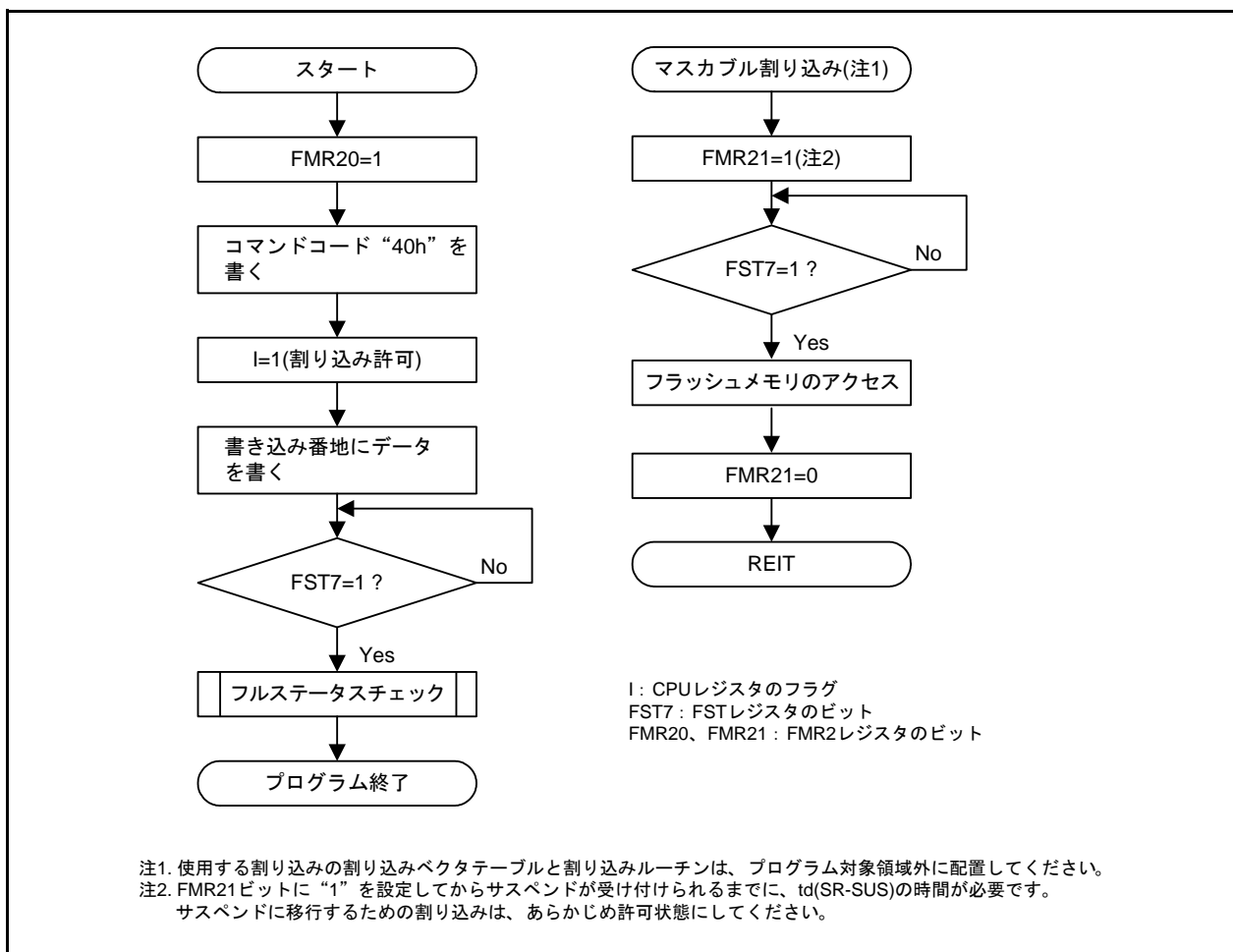


図 29.10 EW0モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

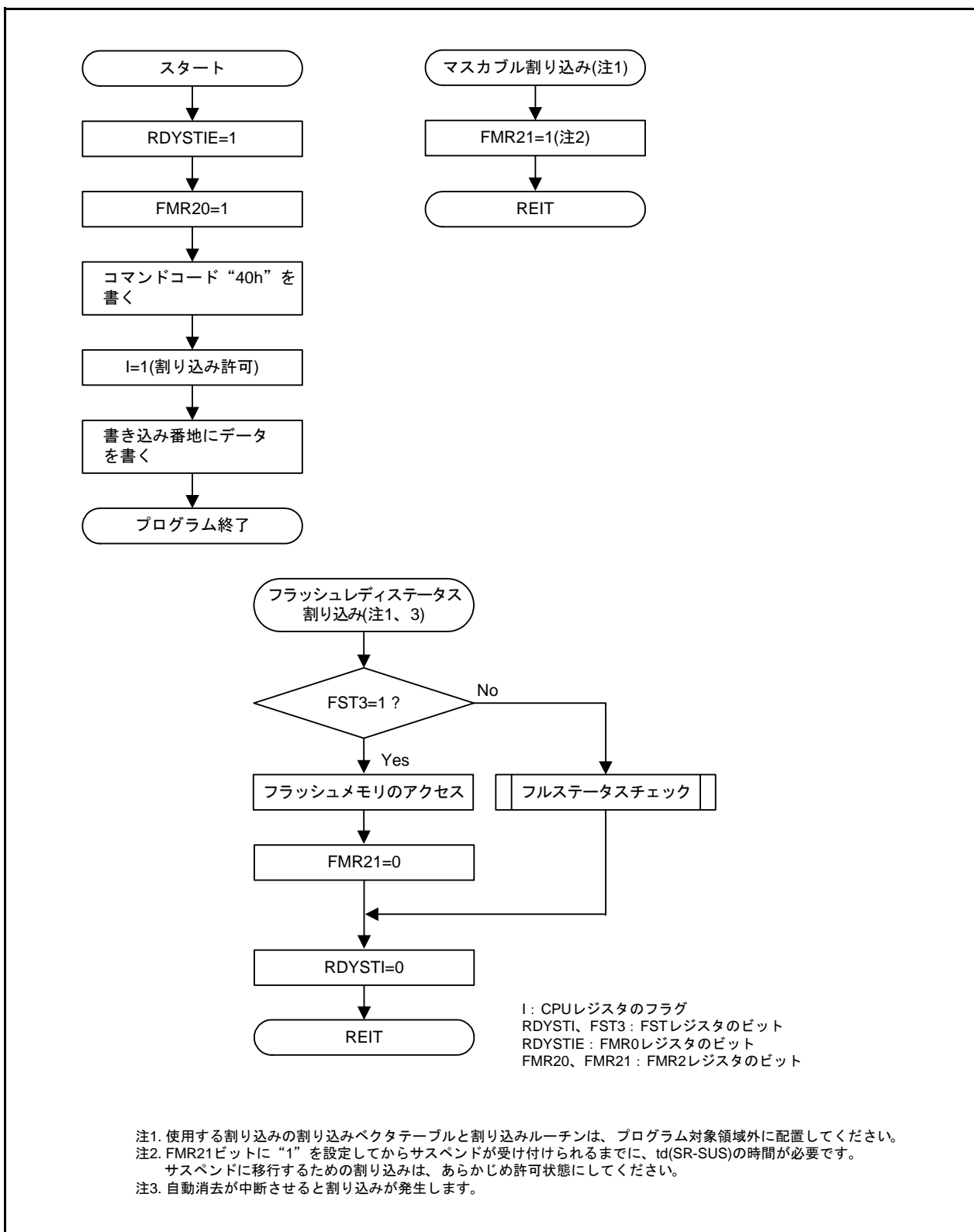


図 29.11 EWOモードのプログラムフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)



FMR22ビットを“1”（割り込みでサスペンドリクエスト許可）にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”（サスペンドリクエスト）にします。EW1モードでユーザROM領域を書き換え中にサスペンドを使用するときに、“1”にしてください。

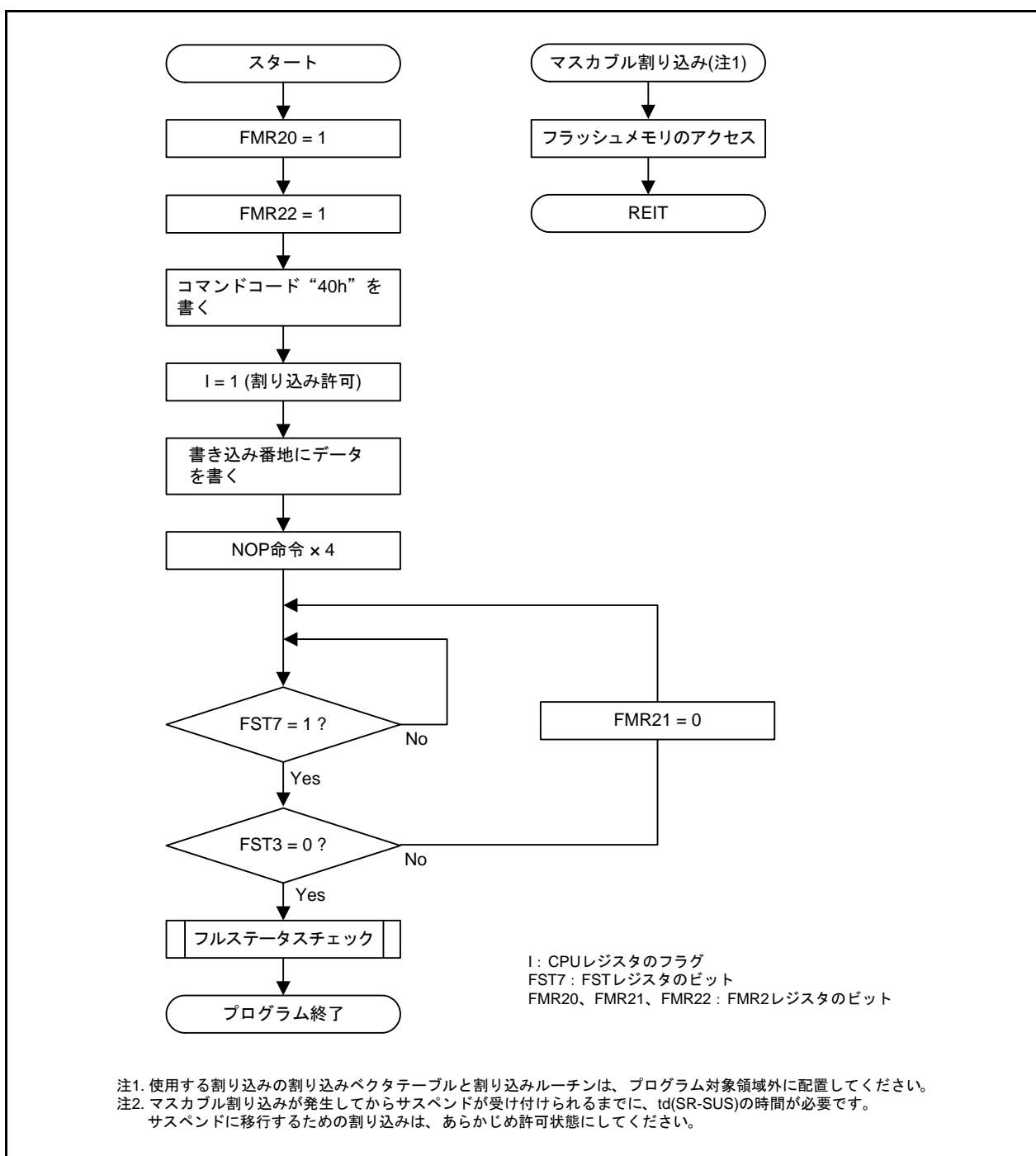


図 29.12 EW1モードのプログラムフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

#### 29.4.10.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地を書く指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます。(「29.4.11 フルステータスチェック」参照)

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンドが受け付けられません。

図 29.13にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図 29.14にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図 29.15にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(サスペンド許可)のときは、FMR21ビットが“1”(サスペンドリクエスト)に変化した場合、自動消去が中断され、フラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

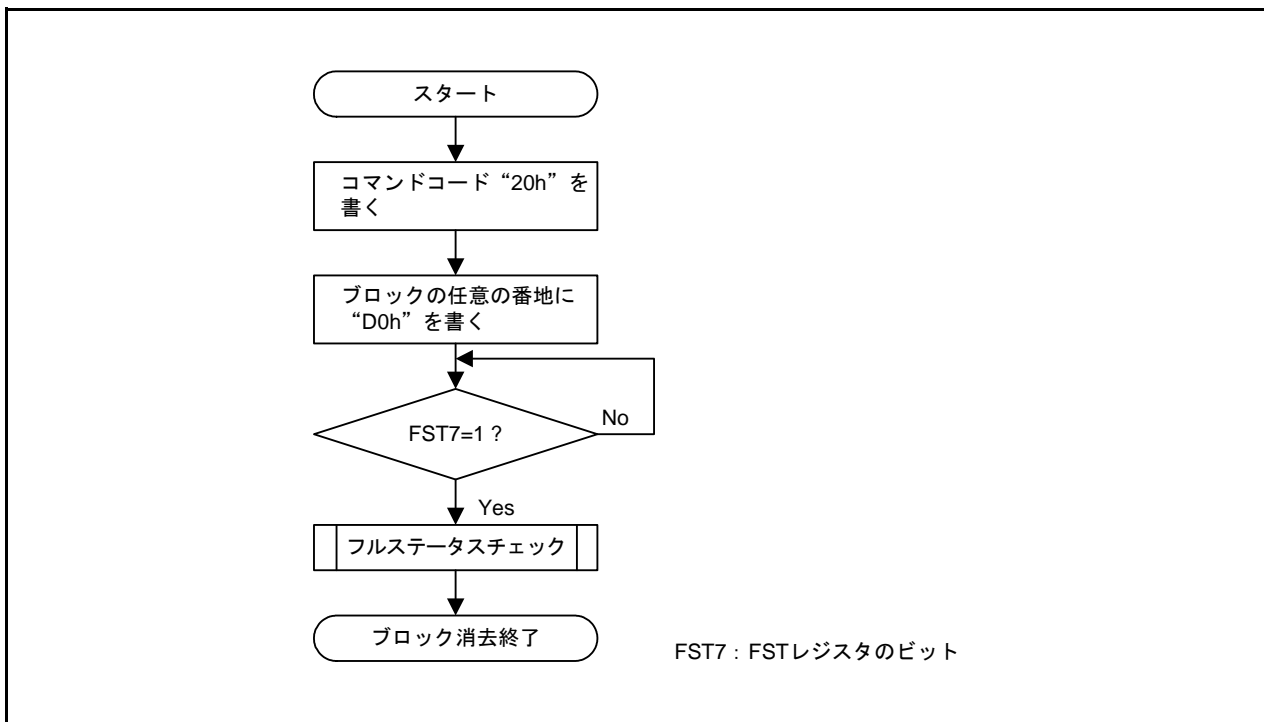


図 29.13 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

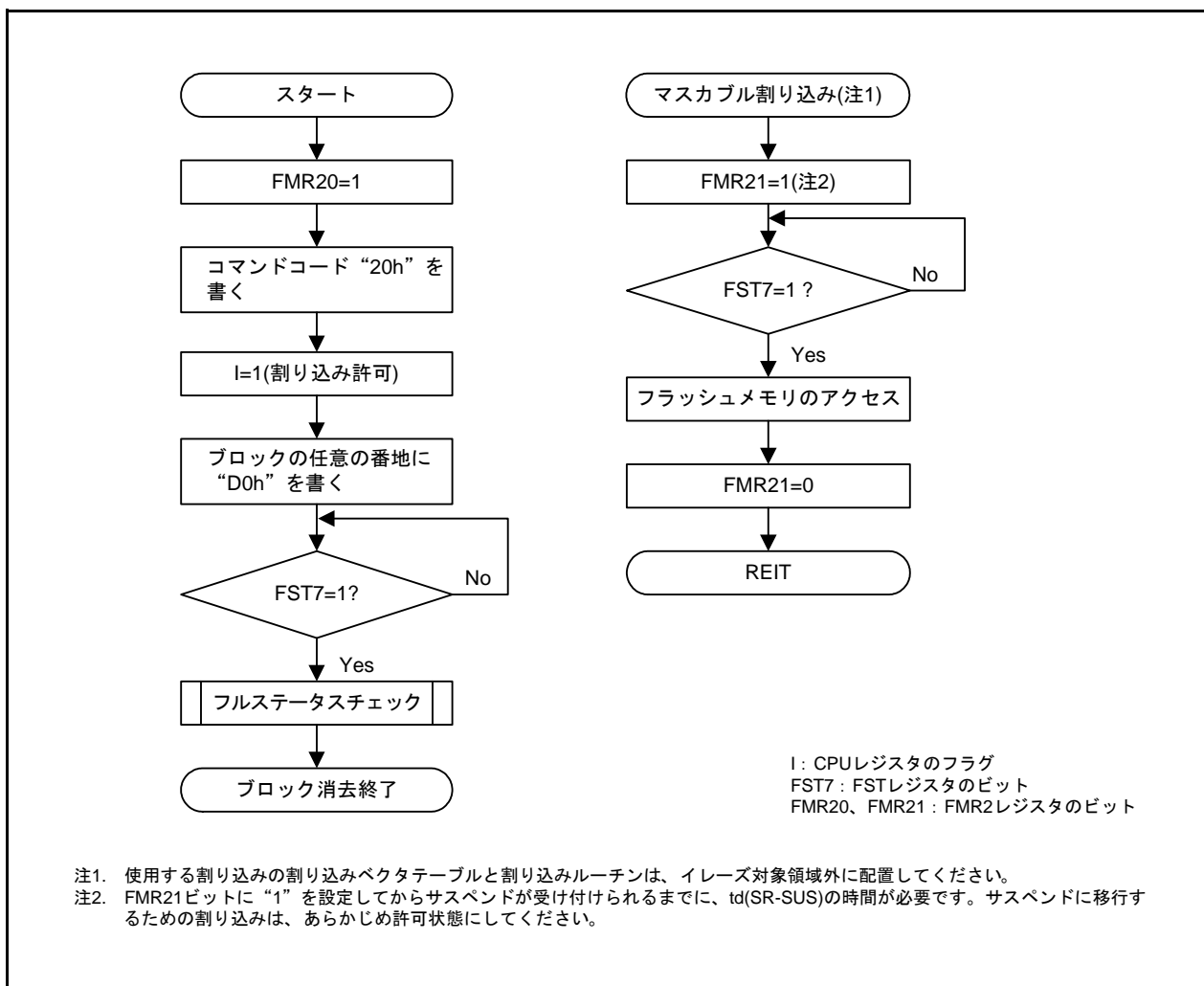


図 29.14 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

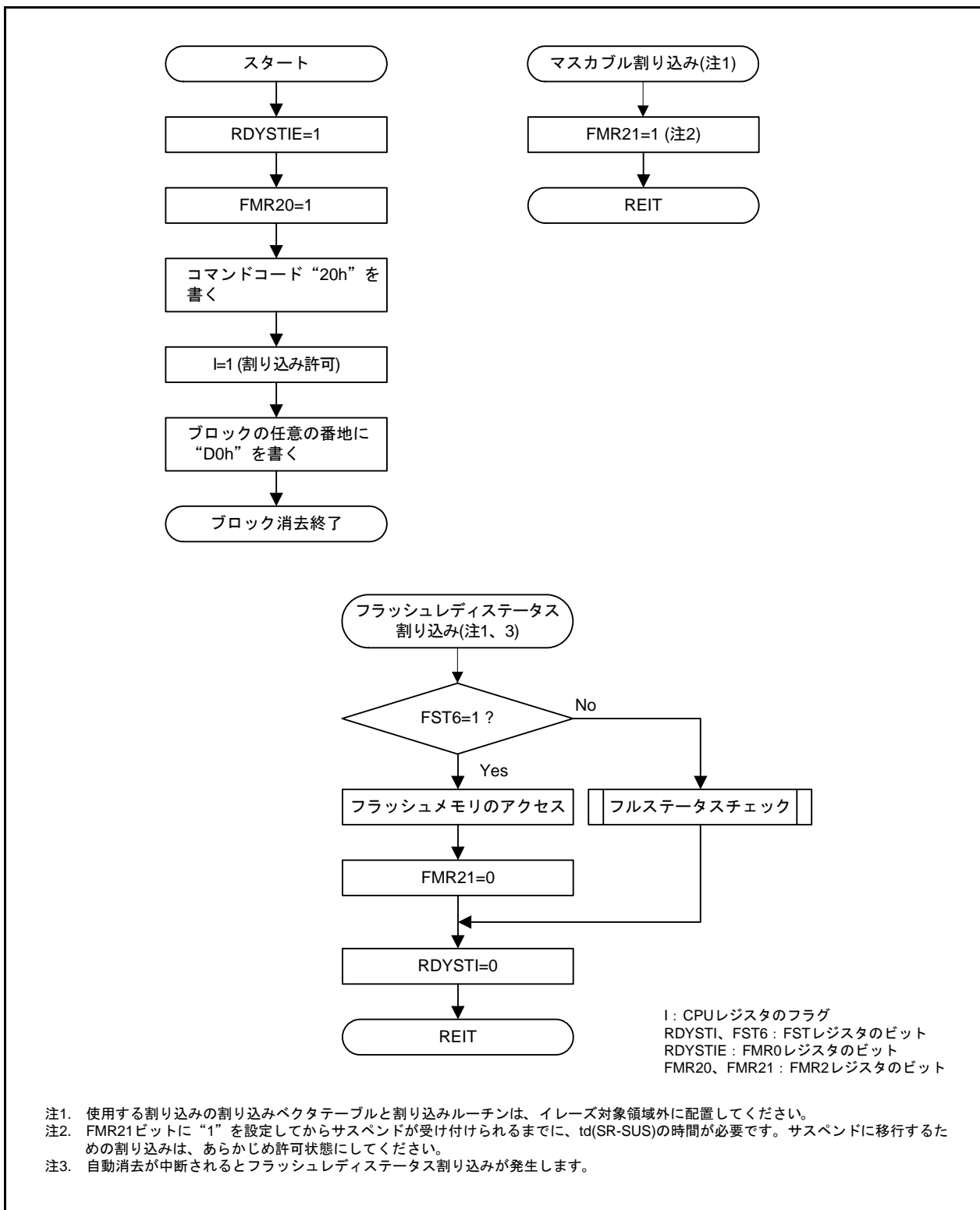


図 29.15 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

FMR22ビットを“1” (割り込み要求でサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1” (サスペンドリクエスト)にします。EW1モードでユーザROM領域を書き換え中にサスペンドを使用するときに、“1”にしてください。

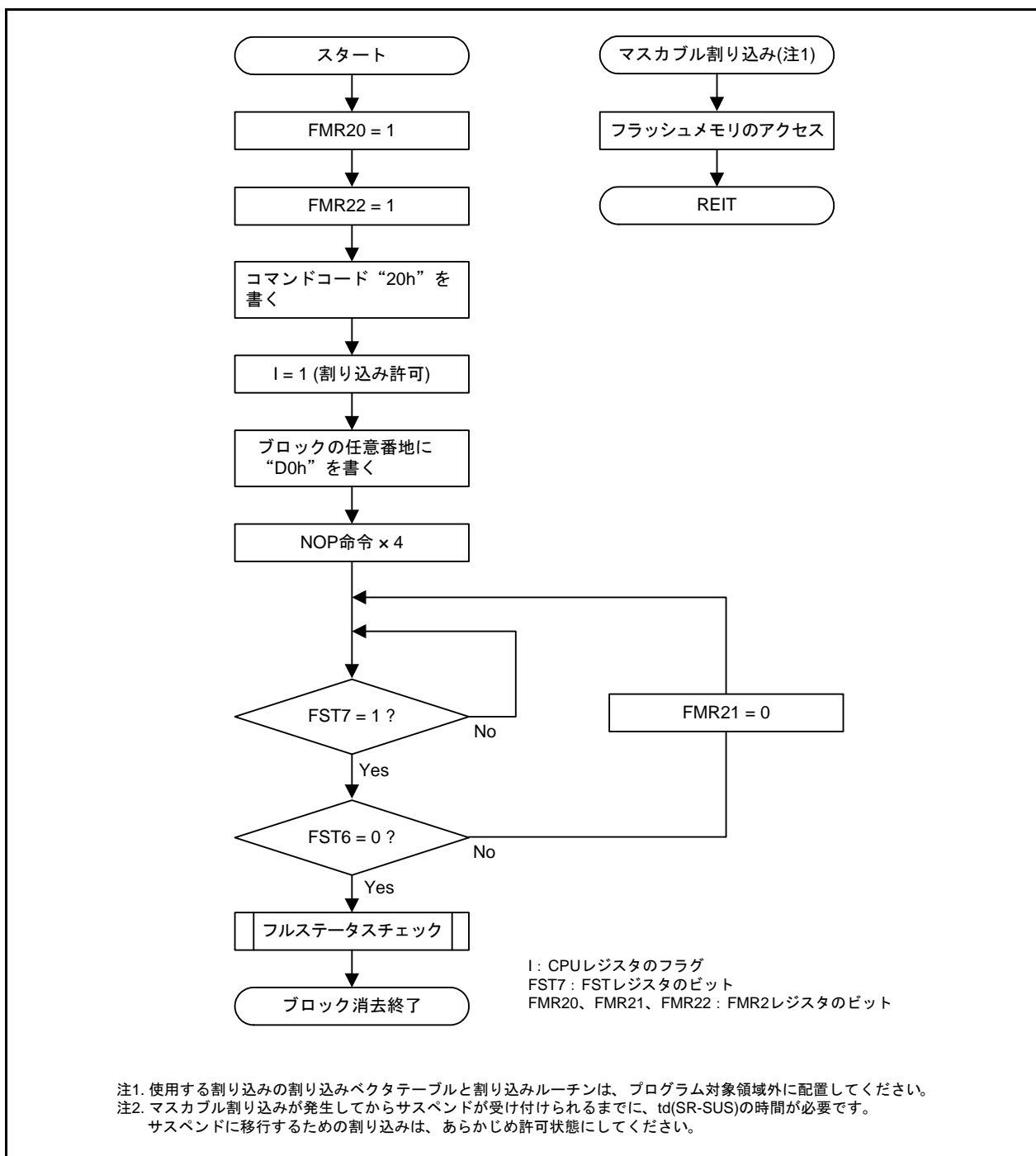


図 29.16 EW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

### 29.4.10.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地には書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図 29.17 にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「29.4.9 データ保護機能」を参照してください。

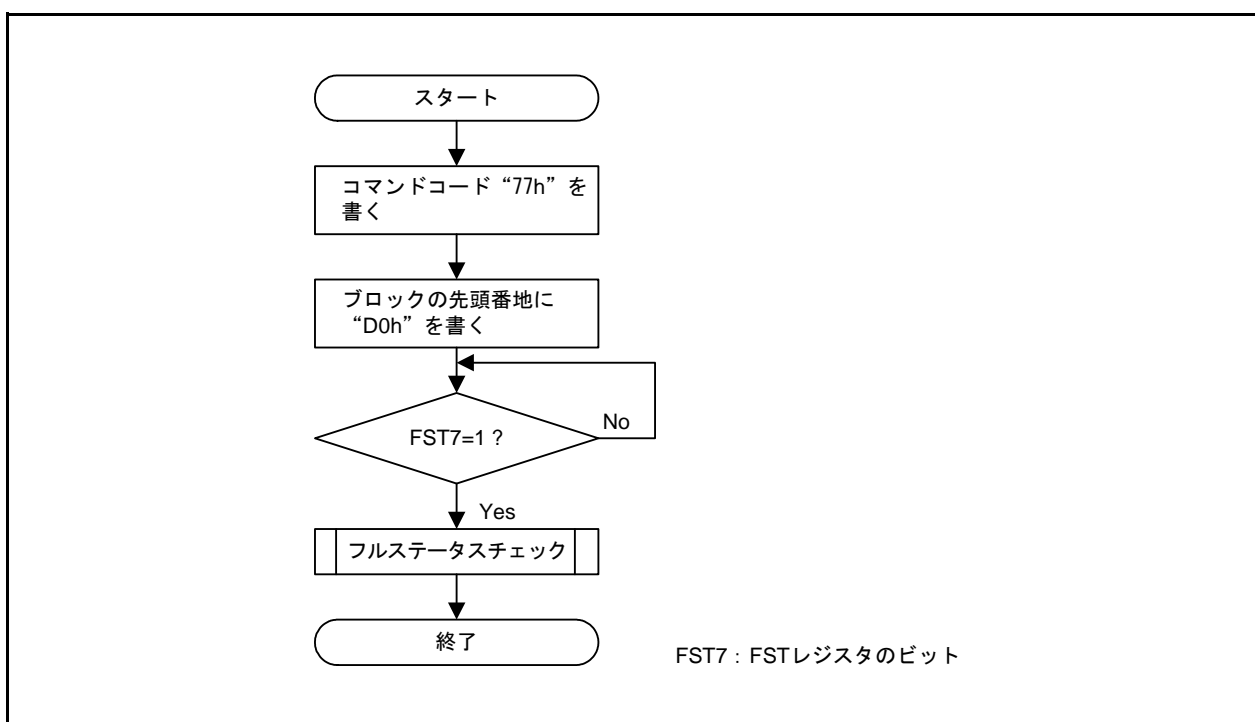


図 29.17 ロックビットプログラムフローチャート

### 29.4.10.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBADATAビットに格納されます。FSTレジスタのFST7ビットが“1”（レディ）になった後、LBADATAビットを読んでください。

図 29.18にリードロックビットステータスフローチャートを示します。

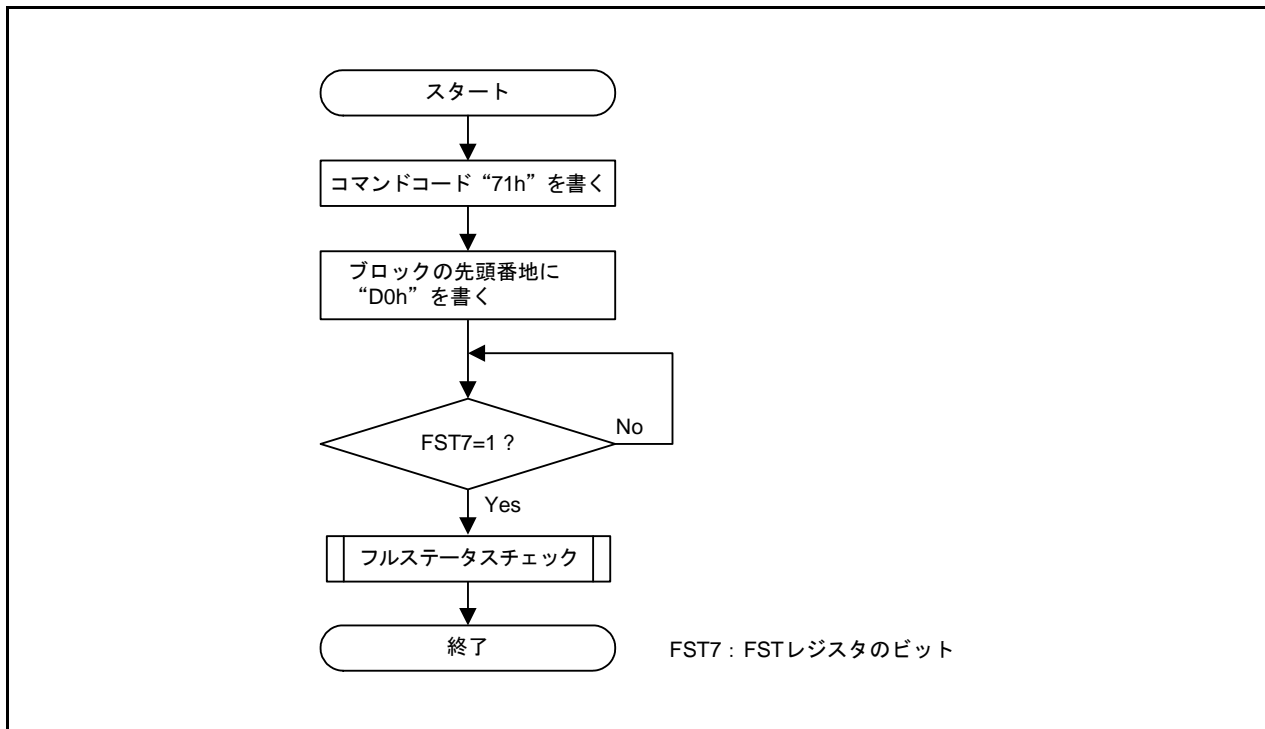


図 29.18 リードロックビットステータスフローチャート



### 29.4.10.7ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます。（「29.4.11 フルステータスチェック」参照）。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“1”（イレーズサスペンド中）のときは、ブロックブランクチェックコマンドを実行しないでください。

図 29.19にブロックブランクチェックフローチャートを示します。

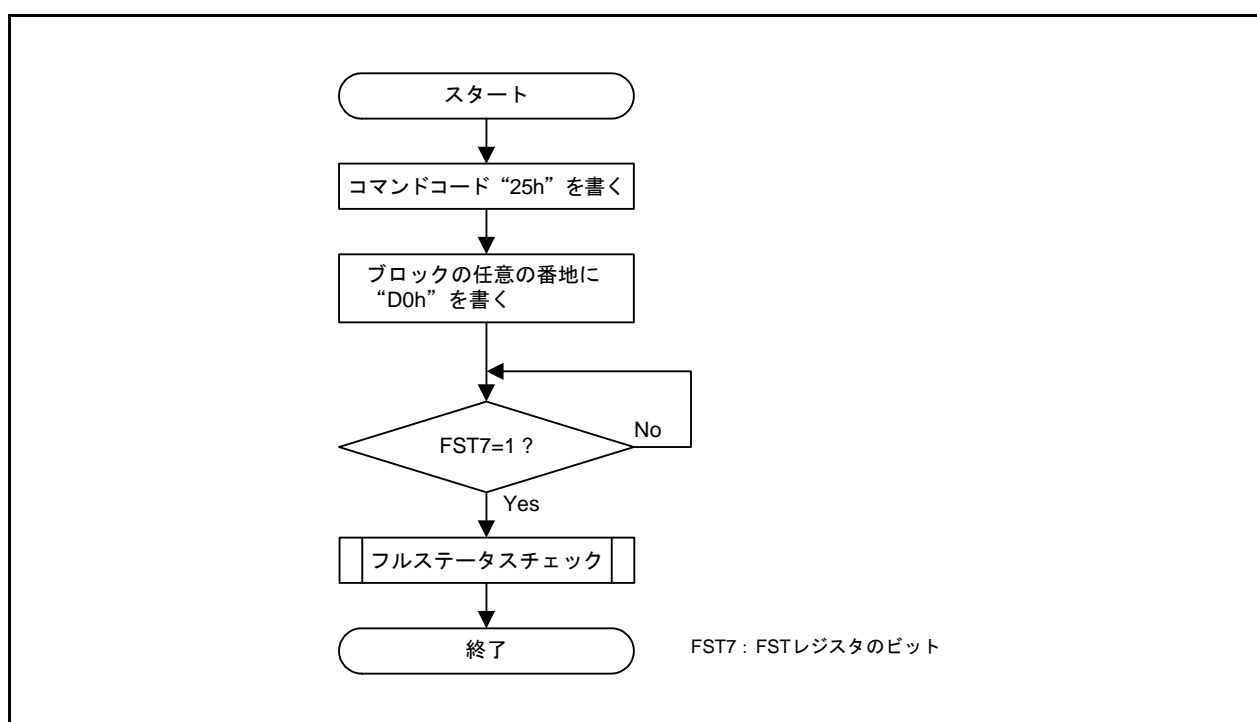


図 29.19 ブロックブランクチェックフローチャート

なお、本コマンドはライターメカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

### 29.4.11 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4～FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック（フルステータスチェック）することにより、実行結果を確認できます。

表 29.6にエラーとFSTレジスタの状態を、図 29.20にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 29.6 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> <li>•コマンドを正しく書かなかったとき</li> <li>•ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“D0h”または“FFh”)以外のデータを書いたとき(注1)</li> <li>•イレーズサスペンド中のイレーズコマンドを実行</li> <li>•プログラムサスペンド中のプログラムコマンドを実行もしくはイレーズコマンドを実行</li> <li>•サスペンド中のブロックへのコマンドを実行</li> </ul>
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットコマンドを実行し、ロックビットが“0”(ロック状態)にならなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

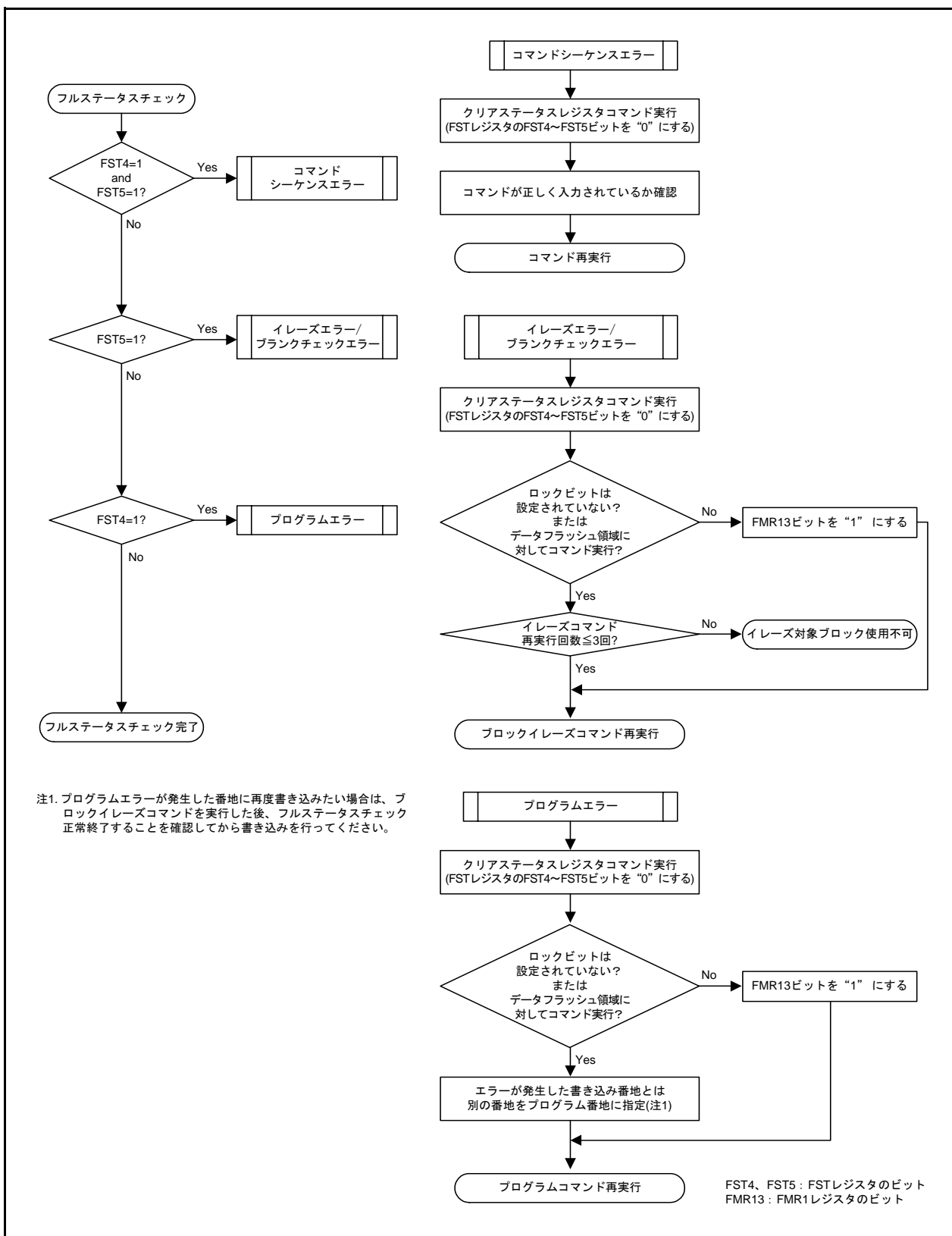


図 29.20 フルステータスチェックフローチャート、各エラー発生時の対処方法

## 29.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライターを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアル I/O を用いてシリアルライターと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライターとの接続例は「付録2. シリアルライターとの接続例」を参照してください。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザズマニュアルを参照してください。

表 29.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図 29.21に標準シリアル入出力モード2を使用する場合の端子処理例を、表 29.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 29.22に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表 29.8に示した端子処理を行い、ライターを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

### 29.5.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「13. IDコード領域」を参照してください。

表 29.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P9_0/XIN	P9_0入力/クロック入力	入力	オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。ユーザシステムにおいて外付け発振子を接続する場合でも、動作に影響しません。
P9_1/XOUT	P9_1入力/クロック出力	入出力	
XCIN	クロック入力	入力	
XCOUT	クロック出力	入出力	
VREF	基準電圧	入力	“H”を入力してください。
MODE	MODE	入出力	“L”を入力してください。
P8_5	TXD0出力	出力	シリアルデータの出力端子です。
P8_6	RXD0入力	入力	シリアルデータの入力端子です。
その他の入出力ポート端子		入力	“H”を入力、“L”を出力、または開放してください。

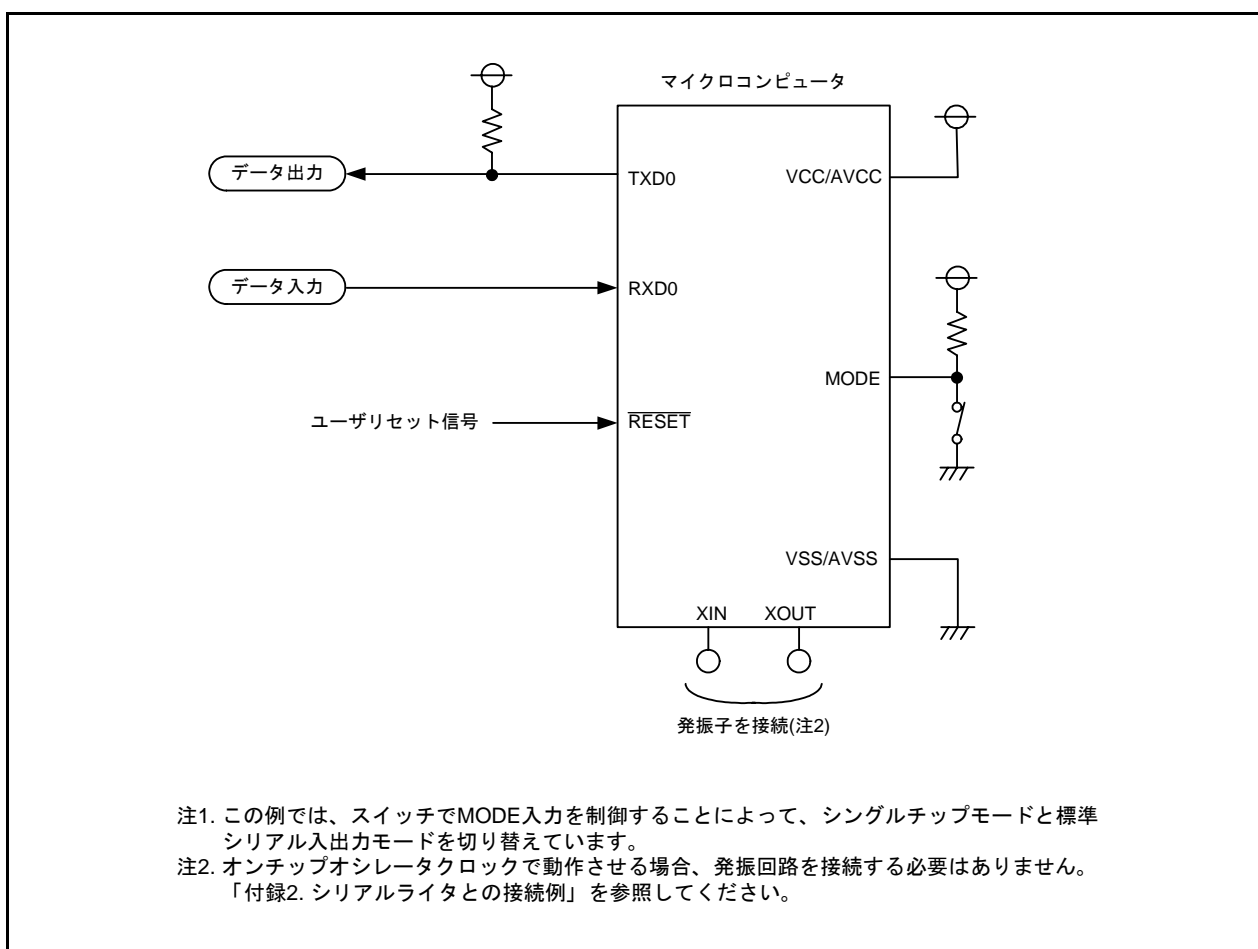


図 29.21 標準シリアル入出力モード2を使用する場合の端子処理例

表 29.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P9_0/XIN	P9_0入力/クロック入力	入力	オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。ユーザシステムにおいて外付け発振子を接続する場合でも、動作に影響しません。
P9_1/XOUT	P9_1入力/クロック出力	入出力	
XCIN	クロック入力	入力	
XCOU	クロック出力	入出力	
VREF	基準電圧	入力	“H”を入力してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。
その他の入出力ポート端子		入力	“H”を入力、“L”を出力、または開放してください。

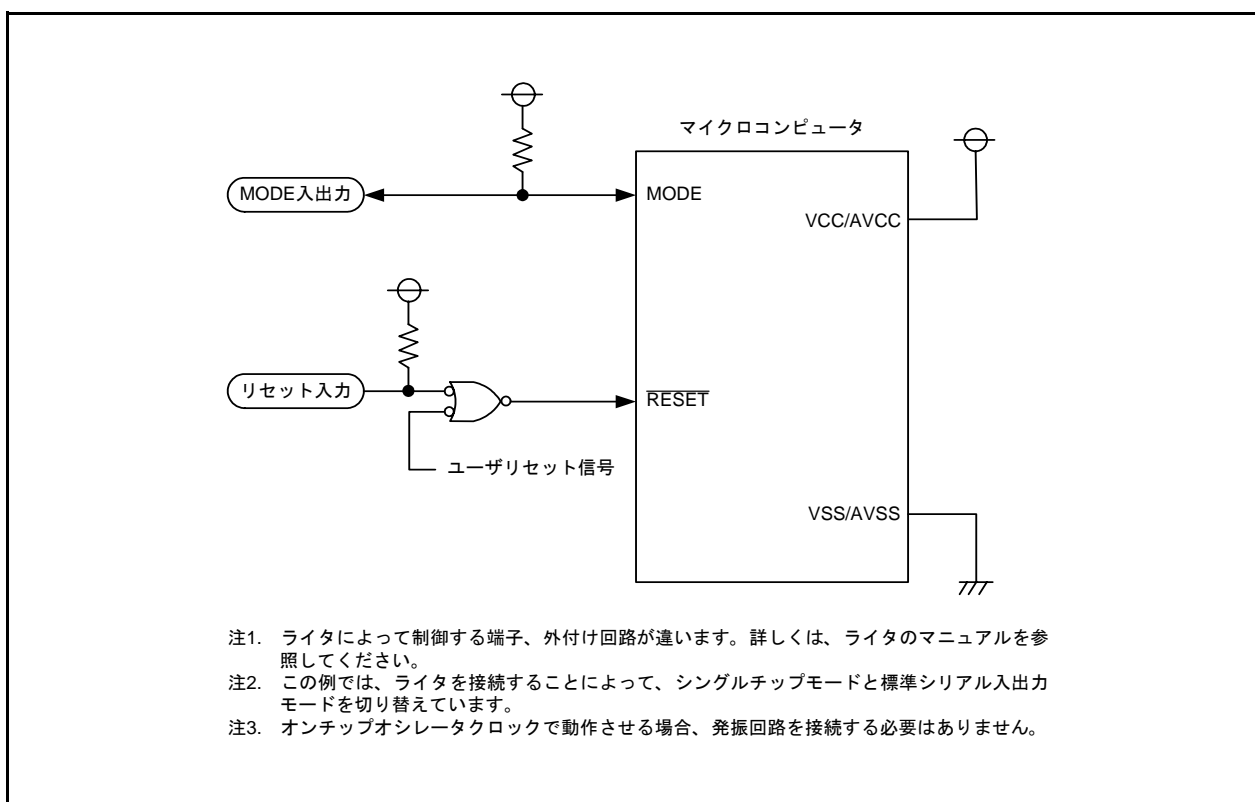


図 29.22 標準シリアル入出力モード3を使用する場合の端子処理例

## 29.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 29.1 に示すユーザROM領域の書き換えができます。

### 29.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「29.3.2 ROMコードプロテクト機能」参照)。

## 29.7 フラッシュメモリ使用上の注意

### 29.7.1 CPU書き換えモード

#### 29.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

#### 29.7.1.2 割り込み

表29.9～表29.10にCPU書き換えモード時の割り込みを示します。



表29.9 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み	
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
			自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
プログラム ROM		自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	

FMR21、FMR22 : FMR2レジスタのビット

表29.10 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> <li>・ウォッチドックタイマ</li> <li>・発振停止検出</li> <li>・電圧監視2</li> <li>・電圧監視1</li> </ul> (注1)	<ul style="list-style-type: none"> <li>・未定義命令</li> <li>・INTO命令</li> <li>・BRK命令</li> <li>・シングルステップ</li> </ul> (注1)
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 29.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みを禁止にしてください。

- FMR1レジスタのFMR14、FMR15ビット

### 29.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 29.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 29.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

### 29.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラムROMのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8~5.5 Vの条件で行ってください。1.8 V未満では、プログラム、イレーズを実行しないでください。

### 29.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

### 29.7.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「10.8 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

## 30. 電気的特性

## 30.1 絶対最大定格

表 30.1 絶対最大定格

記号	項目		測定条件	定格値	単位
V <sub>cc</sub> /AV <sub>cc</sub>	電源電圧			-0.3~6.5	V
V <sub>i</sub>	入力電圧	XIN	XIN-XOUT発振時 (発振バッファ ON時)(注1)	-0.3~1.9	V
		XIN	XIN-XOUT発振停止時 (発振バッファ OFF時)(注1)	-0.3~V <sub>cc</sub> + 0.3	V
		P5_4/VL1		-0.3~VL2(注2)	V
		P5_5/VL2		VL1~VL3	V
		P5_6/VL3		VL2~6.5	V
		その他の端子		-0.3~V <sub>cc</sub> + 0.3	V
V <sub>o</sub>	出力電圧	XOUT	XIN-XOUT発振時 (発振バッファ ON時)(注1)	-0.3~1.9	V
		XOUT	XIN-XOUT発振停止時 (発振バッファ OFF時)(注1)	-0.3~V <sub>cc</sub> + 0.3	V
		COM0~COM3		-0.3~VL3	V
		SEG0~SEG39		-0.3~VL3	V
		その他の端子		-0.3~V <sub>cc</sub> + 0.3	V
P <sub>d</sub>	消費電力		-40°C ≤ Topr ≤ 85°C	500	mW
T <sub>opr</sub>	動作周囲温度			-20~85(Nバージョン)/ -40~85(Dバージョン)	°C
T <sub>stg</sub>	保存温度			-65~150	°C

注1. 各動作のためのレジスタ設定は「7. I/Oポート」、「9. クロック発生回路」を参照してください。

注2. ただし、VL1はVCC以下の電圧にしてください。

## 30.2 推奨動作条件

表 30.2 推奨動作条件

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20\text{ }^{\circ}\text{C} \sim 85\text{ }^{\circ}\text{C}$ (Nバージョン)/ $-40\text{ }^{\circ}\text{C} \sim 85\text{ }^{\circ}\text{C}$ (Dバージョン))

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
$V_{CC}/AV_{CC}$	電源電圧			1.8	—	5.5	V		
$V_{SS}/AV_{SS}$	電源電圧			—	0	—	V		
$V_{IH}$	“H” 入力電圧	CMOS入力以外		$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0.8V <sub>CC</sub>	—	$V_{CC}$	V	
				$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0.8V <sub>CC</sub>	—	$V_{CC}$	V	
				$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0.9V <sub>CC</sub>	—	$V_{CC}$	V	
		CMOS入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35V <sub>CC</sub>	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0.5V <sub>CC</sub>	—	$V_{CC}$	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0.55V <sub>CC</sub>	—	$V_{CC}$	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0.65V <sub>CC</sub>	—	$V_{CC}$	V
			入力レベル選択 : 0.5V <sub>CC</sub>	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0.65V <sub>CC</sub>	—	$V_{CC}$	V	
				$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0.7V <sub>CC</sub>	—	$V_{CC}$	V	
				$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0.8V <sub>CC</sub>	—	$V_{CC}$	V	
			入力レベル選択 : 0.7V <sub>CC</sub>	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0.85V <sub>CC</sub>	—	$V_{CC}$	V	
				$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0.85V <sub>CC</sub>	—	$V_{CC}$	V	
				$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0.85V <sub>CC</sub>	—	$V_{CC}$	V	
$V_{IL}$	“L” 入力電圧	CMOS入力以外		$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	0.2V <sub>CC</sub>	V	
				$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	0.2V <sub>CC</sub>	V	
				$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	0.05V <sub>CC</sub>	V	
		CMOS入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35V <sub>CC</sub>	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	0.2V <sub>CC</sub>	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	0.2V <sub>CC</sub>	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	0.2V <sub>CC</sub>	V
			入力レベル選択 : 0.5V <sub>CC</sub>	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	0.4V <sub>CC</sub>	V	
				$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	0.3V <sub>CC</sub>	V	
				$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	0.2V <sub>CC</sub>	V	
			入力レベル選択 : 0.7V <sub>CC</sub>	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	0.55V <sub>CC</sub>	V	
				$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	0.45V <sub>CC</sub>	V	
				$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	0.35V <sub>CC</sub>	V	
$I_{OH}(\text{sum})$	“H” 尖頭総出力電流	全端子の $I_{OH}(\text{peak})$ の総和		—	—	—	160	mA	
$I_{OH}(\text{sum})$	“H” 平均総出力電流	全端子の $I_{OH}(\text{avg})$ の総和		—	—	—	80	mA	
$I_{OH}(\text{peak})$	“H” 尖頭出力電流	ポート P7_0、P7_1、P8(注2)		—	—	—	40	mA	
		その他の端子		—	—	—	10	mA	
$I_{OH}(\text{avg})$	“H” 平均出力電流(注1)	ポート P7_0、P7_1、P8(注2)		—	—	—	20	mA	
		その他の端子		—	—	—	5	mA	
$I_{OL}(\text{sum})$	“L” 尖頭総出力電流	全端子の $I_{OL}(\text{peak})$ の総和		—	—	—	160	mA	
$I_{OL}(\text{sum})$	“L” 平均総出力電流	全端子の $I_{OL}(\text{avg})$ の総和		—	—	—	80	mA	
$I_{OL}(\text{peak})$	“L” 尖頭出力電流	ポート P7_0、P7_1、P8(注2)		—	—	—	40	mA	
		その他の端子		—	—	—	10	mA	
$I_{OL}(\text{avg})$	“L” 平均出力電流(注1)	ポート P7_0、P7_1、P8(注2)		—	—	—	20	mA	
		その他の端子		—	—	—	5	mA	
$f(\text{XIN})$	XIN クロック入力発振周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	2	—	—	20	MHz	
			$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	2	—	—	8	MHz	
$f(\text{XCIN})$	XCIN 発振周波数		$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	32.768	—	—	kHz	
	XCIN 外部クロック入力周波数		$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	—	50	kHz	
$f(\text{OCO20M})$	タイマ RC のカウントソース(注3)		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	18.432	—	—	20	MHz	
$f(\text{OCO-F})$	fOCO-F 周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	—	20	MHz	
			$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	—	—	—	8	MHz	
—	システムクロック周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	—	20	MHz	
			$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	—	—	—	8	MHz	
$f(\text{BCLK})$	CPU クロック周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	—	20	MHz	
			$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	—	8	MHz	

注1. 平均出力電流は100msの期間内での平均値です。

注2. P7DRR、P8DRR レジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

注3. fOCO20Mは $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ の範囲で、タイマRCのカウントソースとして使用することができます。

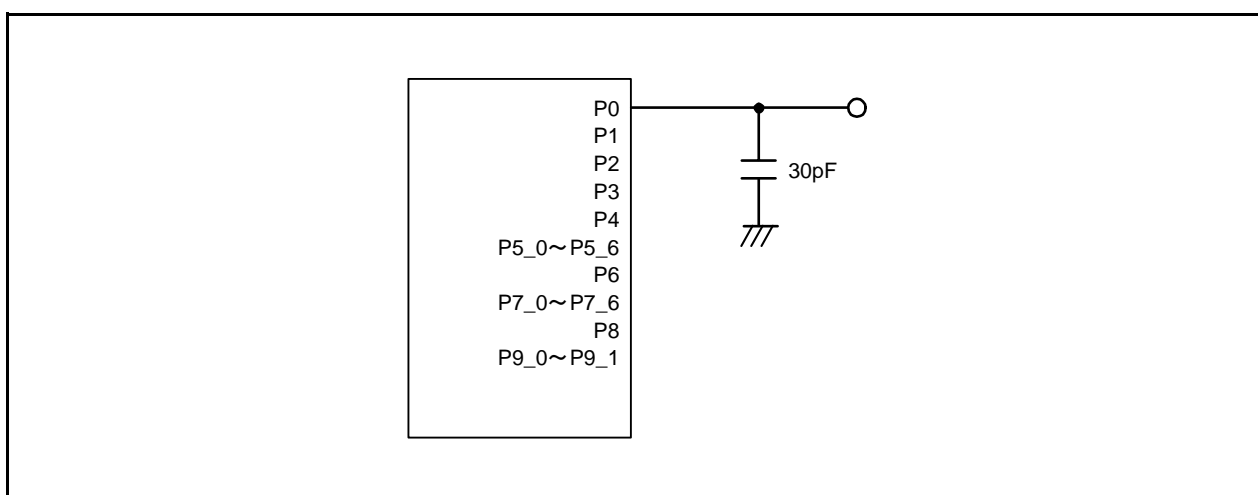


図30.1 ポートP0~P4、P5\_0~P5\_6、P6、P7\_0~P7\_6、P8、P9\_0~P9\_1のタイミング測定回路

## 30.3 周辺機能の特性

表 30.3 A/Dコンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{OPR} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/  
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
—	分解能		$V_{REF} = AV_{CC}$	—	—	10	Bit
—	絶対精度(注2)	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0～AN11入力	—	—	$\pm 3$	LSB
			$V_{REF} = AV_{CC} = 2.2\text{ V}$ AN0～AN11入力	—	—	$\pm 5$	LSB
			$V_{REF} = AV_{CC} = 1.8\text{ V}$ AN0～AN11入力	—	—	$\pm 5$	LSB
	8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0～AN11入力	—	—	$\pm 2$	LSB	
		$V_{REF} = AV_{CC} = 2.2\text{ V}$ AN0～AN11入力	—	—	$\pm 2$	LSB	
		$V_{REF} = AV_{CC} = 1.8\text{ V}$ AN0～AN11入力	—	—	$\pm 2$	LSB	
$\phi AD$	A/D変換クロック		$4.0\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	1	—	20	MHz
			$3.2\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	1	—	16	MHz
			$2.7\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	1	—	10	MHz
			$1.8\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	1	—	8	MHz
—	許容信号源インピーダンス			—	3	—	k $\Omega$
tCONV	変換時間	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	$\mu\text{ s}$
		8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	$\mu\text{ s}$
tSAMP	サンプリング時間		$\phi AD = 20\text{ MHz}$	0.8	—	—	$\mu\text{ s}$
I <sub>REF</sub>	V <sub>REF</sub> 電流		$V_{CC} = 5\text{ V}$ 、 $XIN = f1 = \phi AD = 20\text{ MHz}$	—	45	—	$\mu\text{ A}$
V <sub>REF</sub>	基準電圧			1.8	—	AV <sub>CC</sub>	V
V <sub>IA</sub>	アナログ入力電圧(注3)			0	—	V <sub>REF</sub>	V
OCVREF	チップ内蔵基準電圧		$2\text{ MHz} \leq \phi AD \leq 4\text{ MHz}$	1.53	1.70	1.87	V

注1. ウェイトモード時、ストップモード時、パワーオフモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)

注2. 周辺機能停止時。

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表 30.4 温度センサの特性

(指定のない場合は、 $V_{SS} = 0\text{ V}$ 、 $T_{OPR} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V <sub>TMP</sub>	温度センサ出力電圧		$1.8\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ $\phi AD = 1.0\text{ MHz} \sim 5.0\text{ MHz}$ 周囲温度 = 25 $^{\circ}\text{C}$	550	600	650	mV
—	温度係数		$1.8\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ $\phi AD = 1.0\text{ MHz} \sim 5.0\text{ MHz}$ 周囲温度 = 25 $^{\circ}\text{C}$	—	-2.1	—	mV/ $^{\circ}\text{C}$
—	スタートアップ時間		$1.8\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ $\phi AD = 1.0\text{ MHz} \sim 5.0\text{ MHz}$	—	—	200	$\mu\text{ s}$
I <sub>TMP</sub>	動作電流		$1.8\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ $\phi AD = 1.0\text{ MHz} \sim 5.0\text{ MHz}$	—	100	—	$\mu\text{ A}$

表 30.5 ゲインアンプの特性

(指定のない場合は、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>GAIN</sub>	ゲインアンプ動作範囲		0.4	—	$AV_{CC} - 1.0$	V
$\phi$ AD	A/D変換クロック		1	—	5	MHz

表 30.6 コンパレータBの特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>ref</sub>	IVREF1、IVREF3入力基準電圧		0	—	$V_{CC} - 1.4$	V
V <sub>I</sub>	IVCMP1、IVCMP3入力電圧		-0.3	—	$V_{CC} + 0.3$	V
—	オフセット		—	5	100	mV
t <sub>d</sub>	コンパレータ出力遅延時間(注1)	$V_I = V_{ref} \pm 100\text{mV}$	—	—	1	$\mu\text{s}$
I <sub>CMP</sub>	コンパレータ動作電流	$V_{CC} = 5.0\text{ V}$	—	12	—	$\mu\text{A}$

注1. デジタルフィルタ無効時。

表 30.7 フラッシュメモリ(プログラムROM)の特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = 0^\circ\text{C} \sim 60^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000(注2)	—	—	回
—	バイトプログラム時間		—	80	—	$\mu\text{s}$
—	ブロックイレーズ時間	内部ROM容量： 16KB、32KB、48KB、 64KB	—	0.12	—	s
—		内部ROM容量： 96KB、128KB	—	0.2	—	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間		—	—	$0.25 + \text{CPUクロック} \times 3$ サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	$30 + \text{CPUクロック} \times 1$ サイクル	$\mu\text{s}$
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	$30 + \text{CPUクロック} \times 1$ サイクル	$\mu\text{s}$
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		0	—	60	$^\circ\text{C}$
—	データ保持時間(注6)	周囲温度 = $85^\circ\text{C}$	10	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回( $n = 1,000$ )の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。



表30.8 フラッシュメモリ(データフラッシュ ブロックA~ブロックB)の特性  
(指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = -20°C ~ 85°C(Nバージョン)/-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000(注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 10,000回)		—	150	—	μs
—	ブロックイレーズ時間 (プログラム/イレーズ回数 ≤ 10,000回)	内部ROM容量： 1KB × 2	—	0.05	1	s
		内部ROM容量： 2KB × 2	—	0.055	1	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの 時間		—	—	30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し 可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20(注6)	—	85	°C
—	データ保持時間(注7)	周囲温度 = 85°C	10	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. Dバージョンは-40°C。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

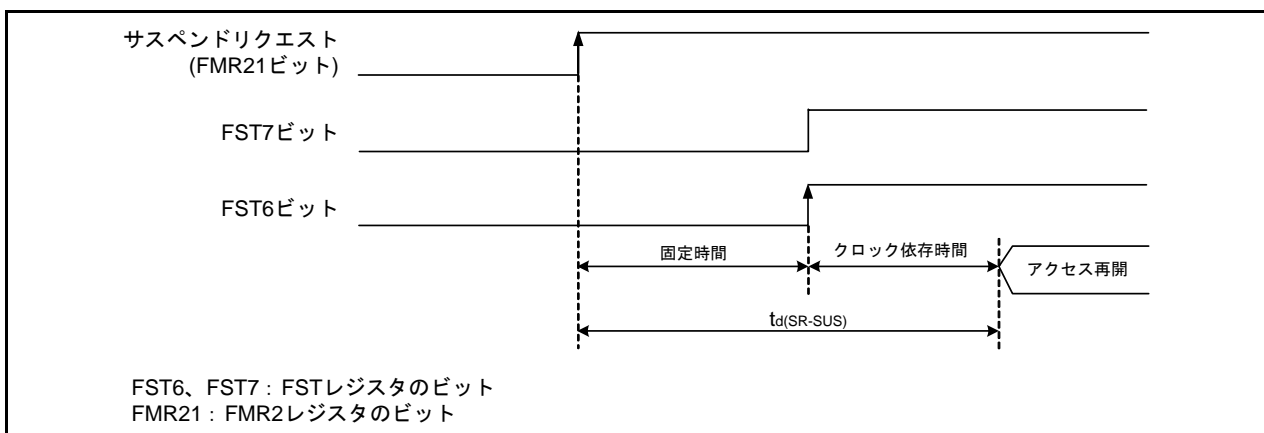


図30.2 サスペンドへの遷移時間

表 30.9 電圧検出0回路の特性

(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $Topr = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Vdet0	電圧検出レベルVdet0_0(注1)		1.8	1.90	2.05	V		
	電圧検出レベルVdet0_1(注1)		2.15	2.35	2.50	V		
	電圧検出レベルVdet0_2(注1)		2.70	2.85	3.05	V		
	電圧検出レベルVdet0_3(注1)		3.55	3.80	4.05	V		
—	電圧検出0回路反応時間(注3)	動作時	Vcc = 5 V → (Vdet0_0 - 0.1) V に下げたとき		—	50	500	μs
		ストップモード時	Vcc = 5 V → (Vdet0_0 - 0.1) V に下げたとき		—	100	500	μs
—	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0 V	—	1.5	—	μA		
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)		—	—	100	μs		

注1. 電圧検出レベルはOFSレジスタのVDSEL0～VDSEL1ビットで選択してください。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表 30.10 電圧検出1回路の特性

(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $Topr = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Vdet1	電圧検出レベルVdet1_0(注1)	Vcc立ち下がり時	2.00	2.20	2.40	V		
	電圧検出レベルVdet1_1(注1)	Vcc立ち下がり時	2.15	2.35	2.55	V		
	電圧検出レベルVdet1_2(注1)	Vcc立ち下がり時	2.30	2.50	2.70	V		
	電圧検出レベルVdet1_3(注1)	Vcc立ち下がり時	2.45	2.65	2.85	V		
	電圧検出レベルVdet1_4(注1)	Vcc立ち下がり時	2.60	2.80	3.00	V		
	電圧検出レベルVdet1_5(注1)	Vcc立ち下がり時	2.75	2.95	3.15	V		
	電圧検出レベルVdet1_6(注1)	Vcc立ち下がり時	2.85	3.10	3.40	V		
	電圧検出レベルVdet1_7(注1)	Vcc立ち下がり時	3.00	3.25	3.55	V		
	電圧検出レベルVdet1_8(注1)	Vcc立ち下がり時	3.15	3.40	3.70	V		
	電圧検出レベルVdet1_9(注1)	Vcc立ち下がり時	3.30	3.55	3.85	V		
	電圧検出レベルVdet1_A(注1)	Vcc立ち下がり時	3.45	3.70	4.00	V		
	電圧検出レベルVdet1_B(注1)	Vcc立ち下がり時	3.60	3.85	4.15	V		
	電圧検出レベルVdet1_C(注1)	Vcc立ち下がり時	3.75	4.00	4.30	V		
	電圧検出レベルVdet1_D(注1)	Vcc立ち下がり時	3.90	4.15	4.45	V		
	電圧検出レベルVdet1_E(注1)	Vcc立ち下がり時	4.05	4.30	4.60	V		
	電圧検出レベルVdet1_F(注1)	Vcc立ち下がり時	4.20	4.45	4.75	V		
—	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0～Vdet1_5選択時	—	0.07	—	V		
		Vdet1_6～Vdet1_F選択時	—	0.10	—	V		
—	電圧検出1回路反応時間(注2)	動作時	Vcc = 5 V → (Vdet1_0 - 0.1) V に下げたとき		—	60	150	μs
		ストップモード時	Vcc = 5 V → (Vdet1_0 - 0.1) V に下げたとき		—	250	500	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0 V	—	1.7	—	μA		
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)		—	—	100	μs		

注1. 電圧検出レベルはVD1LSレジスタのVD1S0～VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表30.11 電圧検出2回路の特性

(指定のない場合は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.0	4.30	V		
—	電圧検出2回路のVcc立ち上がり時のヒステリシス幅		—	0.10	—	V		
—	電圧検出2回路反応時間(注1)	動作時	Vcc = 5 V → (Vdet2_0 - 0.1) V に下げたとき		—	20	150	$\mu\text{s}$
—		ストップモード時	Vcc = 5 V → (Vdet2_0 - 0.1) V に下げたとき		—	200	500	$\mu\text{s}$
—	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0 V	—	1.7	—	$\mu\text{A}$		
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)		—	—	100	$\mu\text{s}$		

注1. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注2. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表30.12 パワーオンリセット回路の特性(注1)

(指定のない場合は、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50000	mV/ms

注1. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

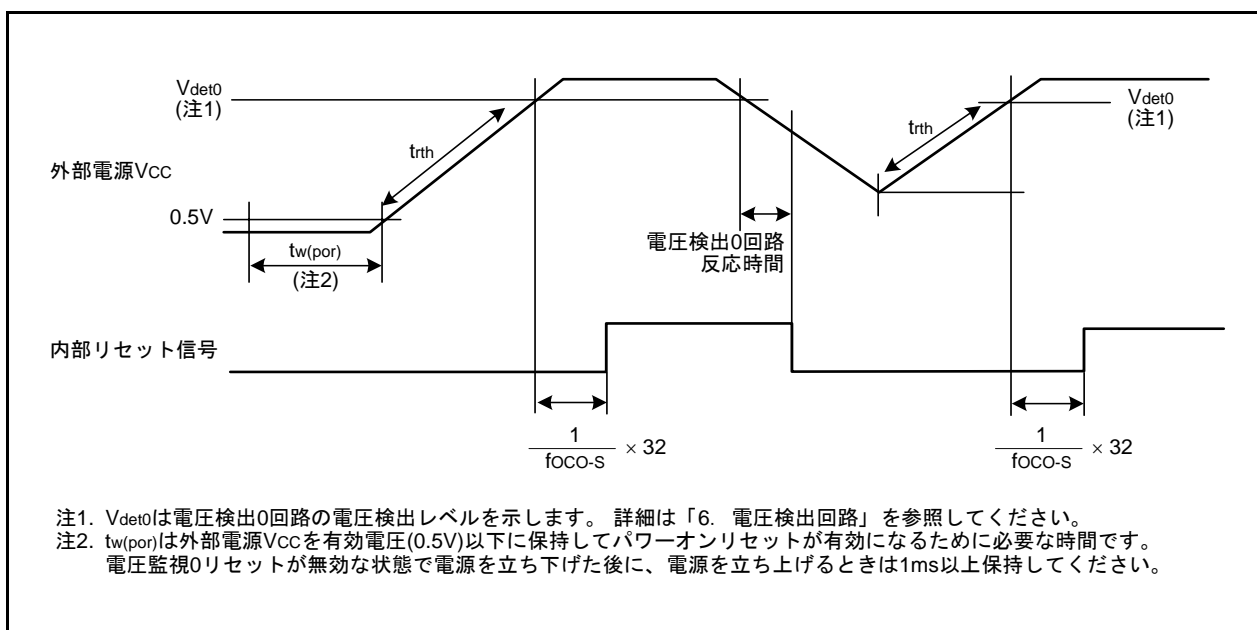


図30.3 パワーオンリセット回路の特性

表 30.13 高速オンチップオシレータ発振回路の特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	$V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ $-20^\circ\text{C} \leq T_{opr} \leq 85^\circ\text{C}$	19.2	20	20.8	MHz
		$V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ $-40^\circ\text{C} \leq T_{opr} \leq 85^\circ\text{C}$	19.0	20	21.0	MHz
	FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注1)	$V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ $-20^\circ\text{C} \leq T_{opr} \leq 85^\circ\text{C}$	17.694	18.432	19.169	MHz
		$V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ $-40^\circ\text{C} \leq T_{opr} \leq 85^\circ\text{C}$	17.510	18.432	19.353	MHz
—	発振安定時間		—	5	30	$\mu\text{s}$
—	発振時の自己消費電流	$V_{CC} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	530	—	$\mu\text{A}$

注1. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表 30.14 低速オンチップオシレータ発振回路の特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間		—	—	35	$\mu\text{s}$
—	発振時の自己消費電流	$V_{CC} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	2	—	$\mu\text{A}$
fOCO-WDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間		—	—	35	$\mu\text{s}$
—	発振時の自己消費電流	$V_{CC} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	2	—	$\mu\text{A}$

表 30.15 電源回路の特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>d</sub> (P-R)	電源投入時の内部電源安定時間(注1)		—	—	2000	$\mu\text{s}$

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表 30.16 LCD駆動制御回路の特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/  
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VLCD	LCD電源電圧	VLCD = VL3	2.2	—	5.5	V
VL2	VL2電圧		VL1	—	VL3	V
VL1	VL1電圧		1	—	VL2(注2)	V
f(FR)	フレーム周波数		50	—	180	Hz
ILCD	LCD駆動制御回路電流		—	(注1)	—	$\mu\text{A}$

注1. 表 30.19 DC特性(2)、表 30.21 DC特性(4)、表 30.23 DC特性(6)を参照してください。

注2. ただし、VL1はVCC以下の電圧にしてください。

表 30.17 パワーオフモードの特性

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/  
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	パワーオフモード動作電源電圧		1.8	—	5.5	V

## 30.4 DC特性

表 30.18 DC特性(1) [4.0 V ≤ Vcc ≤ 5.5 V]

(指定のない場合は、Topr = -20°C ~ 85°C(Nバージョン)/-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H”出力電圧	ポートP7_0、 P7_1、P8(注1)	Vcc = 5 V	IoH = -20mA	Vcc - 2.0	—	Vcc	V
		その他の端子	Vcc = 5 V	IoH = -5mA	Vcc - 2.0	—	Vcc	V
VOL	“L”出力電圧	ポートP7_0、 P7_1、P8(注1)	Vcc = 5 V	IoL = 20mA	—	—	2.0	V
		その他の端子	Vcc = 5 V	IoL = 5mA	—	—	2.0	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 K10、K11、K12、K13、 K14、K15、K16、K17、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRJ0IO、TRJ1IO、 TRJ2IO、 TRCTRG、TRCCLK、 ADTRG、 RXD0、RXD2、CLK0、 CLK2、SSI、SCL、 SDA、SSO			0.05	0.5	—	V
		RESET、WKUP0			0.1	0.8	—	V
IiH	“H”入力電流	VI = 5 V、Vcc = 5 V			—	—	5.0	μA
IiL	“L”入力電流	VI = 0 V、Vcc = 5 V			—	—	-5.0	μA
RpULLUP	プルアップ抵抗	VI = 0 V、Vcc = 5 V			20	40	80	kΩ
RiXIN	帰還抵抗	XIN			—	2.0	—	MΩ
RiXCIN	帰還抵抗	XCIN			—	14	—	MΩ
Vram	RAM保持電圧	ストップモード時			1.8	—	—	V

注1. P7DRR、P8DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表 30.19 DC特性(2) [4.0 V ≤ Vcc ≤ 5.5 V]  
(指定のない場合は、Topr = -20°C ~ 85°C(Nバージョン)/-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件								規格値		単位	
		発振回路		オンチップオシレータ		CPU	低消費電力設定	その他		最小	標準 (注3)		最大
		XIN(注2)	XCIN	高速	低速	クロック							
Icc	電源電流 (注1)	高速クロックモード	20MHz	停止	停止	125kHz	分周なし	—		—	4.7	10	mA
			16MHz	停止	停止	125kHz	分周なし	—		—	3.9	8	mA
			10MHz	停止	停止	125kHz	分周なし	—		—	2.3	—	mA
		20MHz	停止	停止	停止	分周なし	FMR27 = "1" MSTCR0 = BEh MSTCR1 = 3Fh	フラッシュメモリ停止 RAM上のプログラム動作 モジュールスタンバイ設定許可	—	3.1	—	mA	
		20MHz	停止	停止	125kHz	8分周	—		—	1.8	—	mA	
		16MHz	停止	停止	125kHz	8分周	—		—	1.5	—	mA	
		10MHz	停止	停止	125kHz	8分周	—		—	1.0	—	mA	
	高速オンチップ オシレータモード	停止	停止	20MHz	125kHz	分周なし	—		—	5.0	11	mA	
		停止	停止	20MHz	125kHz	8分周	—		—	2.1	—	mA	
		停止	停止	4MHz	125kHz	16分周	MSTCR0 = BEh MSTCR1 = 3Fh		—	0.9	—	mA	
	低速オンチップ オシレータモード	停止	停止	停止	125kHz	分周なし	FMR27 = "1" VCA20 = "0"		—	110	320	μA	
		停止	停止	停止	125kHz	8分周	FMR27 = "1" VCA20 = "0"		—	63	220	μA	
	低速 クロックモード	停止	32kHz	停止	停止	分周なし	FMR27 = "1" VCA20 = "0"		—	60	220	μA	
		停止	32kHz	停止	停止	分周なし	FMSTP = "1" VCA20 = "0"	フラッシュメモリ停止 RAM上のプログラム動作	—	46	—	μA	
	ウェイトモード	停止	停止	停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック動作	—	9.0	50	μA	
		停止	停止	停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック停止	—	2.8	33	μA	
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "0"	WAIT命令実行中 周辺クロック停止 タイマRH動作 (リアルタイム クロックモード)	LCD駆動制御回路(注4) 外付け分割抵抗使用時	—	4.6	—	μA
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック停止 タイマRH動作 (リアルタイムクロックモード)		—	2.4	—	μA
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=25°C 周辺クロック停止		—	0.5	2.2	μA
	ストップモード	停止	停止	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=85°C 周辺クロック停止		—	1.2	—	μA
		停止	停止	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=25°C 周辺クロック停止		—	0.5	2.2	μA
	パワーオフモード	停止	停止	停止	停止	—	—	パワーオフ0 Topr=25°C		—	0.01	0.1	μA
		停止	停止	停止	停止	—	—	パワーオフ0 Topr=85°C		—	0.03	—	μA
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	パワーオフ2 Topr=25°C		—	1.8	6.4	μA
停止		32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	パワーオフ2 Topr=85°C		—	2.7	—	μA	

注1. Vcc = 4.0 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 5.0 V。

注4. VLCD = Vcc、VL3 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG39選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

表 30.20 DC特性(3) [2.7 V ≤ V<sub>cc</sub> < 4.0 V]  
 (指定のない場合は、Topr = -20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	ポート7_0、P7_1、P8 (注1)	IOH = -5mA	V <sub>cc</sub> - 0.5	—	V <sub>cc</sub>	V
		その他の端子	IOH = -1mA	V <sub>cc</sub> - 0.5	—	V <sub>cc</sub>	V
VOL	“L”出力電圧	ポート7_0、P7_1、P8 (注1)	IOL = 5mA	—	—	0.5	V
		その他の端子	IOL = 1mA	—	—	0.5	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 KI0、KI1、KI2、KI3、 KI4、KI5、KI6、KI7、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRJ0IO、TRJ1IO、 TRJ2IO、 TRCTRG、TRCCLK ADTRG、 RXD0、RXD2、CLK0、 CLK2、SSI、SCL、 SDA、SSO		0.05	0.4	—	V
		RESET、WKUP0		0.1	0.8	—	V
I <sub>IH</sub>	“H”入力電流	VI = 3 V、V <sub>cc</sub> = 3 V		—	—	5.0	μA
I <sub>IL</sub>	“L”入力電流	VI = 0 V、V <sub>cc</sub> = 3 V		—	—	-5.0	μA
RPULLUP	プルアップ抵抗	VI = 0 V、V <sub>cc</sub> = 3 V		25	80	140	kΩ
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN		—	2.0	—	MΩ
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN		—	14	—	MΩ
V <sub>RAM</sub>	RAM保持電圧	ストップモード時		1.8	—	—	V

注1. P7DRR、P8DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。



表 30.21 DC特性(4) [2.7 V ≤ Vcc < 4.0 V]  
(指定のない場合は、Topr = -20 °C ~ 85 °C (Nバージョン) / -40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件								規格値		単位	
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準 (注3)	最大		
		XIN(注2)	XCIN	高速	低速								
Icc	電源 電流 (注1)	高速 クロックモード	20MHz	停止	停止	125kHz	分周なし	—	—	4.7	10	mA	
			10MHz	停止	停止	125kHz	分周なし	—	—	2.3	6	mA	
			20MHz	停止	停止	停止	分周なし	FMR27 = "1" MSTCR0 = BEh MSTCR1 = 3Fh	フラッシュメモリ停止 RAM上のプログラム動作 モジュールスタンバイ設定許可	—	2.9	—	mA
		20MHz	停止	停止	125kHz	8分周	—	—	—	1.8	—	mA	
		10MHz	停止	停止	125kHz	8分周	—	—	—	1.0	—	mA	
		高速オンチップ オシレータモード	停止	停止	20MHz	125kHz	分周なし	—	—	—	5.0	11	mA
	停止		停止	20MHz	125kHz	8分周	—	—	—	2.1	—	mA	
	停止		停止	10MHz	125kHz	分周なし	—	—	—	2.9	—	mA	
	停止		停止	10MHz	125kHz	8分周	—	—	—	1.5	—	mA	
	停止		停止	4MHz	125kHz	16分周	MSTCR0 = BEh MSTCR1 = 3Fh	—	—	0.9	—	mA	
	低速オンチップ オシレータモード		停止	停止	停止	125kHz	分周なし	FMR27 = "1" VCA20 = "0"	—	—	106	300	μA
		停止	停止	停止	125kHz	8分周	FMR27 = "1" VCA20 = "0"	—	—	54	200	μA	
	低速 クロックモード	停止	32kHz	停止	停止	分周なし	FMR27 = "1" VCA20 = "0"	—	—	54	200	μA	
		停止	32kHz	停止	停止	分周なし	FMSTP = "1" VCA20 = "0"	フラッシュメモリ停止 RAM上のプログラム動作	—	36	—	μA	
	ウェイトモード	停止	停止	停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1"	WAIT命令実行中 周辺クロック動作	—	9.0	50	μA	
		停止	停止	停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック停止	—	2.5	31	μA	
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "0"	WAIT命令実行中 周辺クロック停止 タイマRH動作 (リアルタイム クロックモード)	LCD駆動制御回路(注4) 外付け分割抵抗使用時	—	3.1	—	μA
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック停止 タイマRH動作 (リアルタイムクロックモード)	—	1.7	—	μA	
		停止	停止	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=25°C 周辺クロック停止	—	0.5	2.2	μA	
	ストップモード	停止	停止	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=85°C 周辺クロック停止	—	1.2	—	μA	
		停止	停止	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	—	—	0.5	2.2	μA	
	パワーオフモード	停止	停止	停止	停止	—	—	パワーオフ0 Topr=25°C	—	0.01	0.1	μA	
		停止	停止	停止	停止	—	—	パワーオフ0 Topr=85°C	—	0.02	—	μA	
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	パワーオフ2 Topr=25°C	—	1.3	4.5	μA	
停止		32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	パワーオフ2 Topr=85°C	—	2.2	—	μA		

注1. Vcc = 2.7 V ~ 4.0 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 3.0 V。

注4. VLCD = Vcc、VL3 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG39選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

表 30.22 DC特性(5) [1.8 V ≤ V<sub>CC</sub> < 2.7 V]  
 (指定のない場合は、Topr = -20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	ポート7_0、P7_1、P8 (注1)	IOH = -2mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
		その他の端子	IOH = -1mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
VOL	“L”出力電圧	ポート7_0、P7_1、P8 (注1)	IOL = 2mA	—	—	0.5	V
		その他の端子	IOL = 1mA	—	—	0.5	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 KI0、KI1、KI2、KI3、 KI4、KI5、KI6、KI7、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRJ0IO、TRJ1IO、 TRJ2IO、 TRCTRG、TRCCLK ADTRG、 RXD0、RXD2、CLK0、 CLK2、SSI、SCL、 SDA、SSO		0.05	0.4	—	V
		RESET、WKUP0		0.1	0.8	—	V
I <sub>IH</sub>	“H”入力電流	VI = 1.8 V、V <sub>CC</sub> = 1.8 V		—	—	4.0	μA
I <sub>IL</sub>	“L”入力電流	VI = 0 V、V <sub>CC</sub> = 1.8 V		—	—	-4.0	μA
RPULLUP	プルアップ抵抗	VI = 0 V、V <sub>CC</sub> = 1.8 V		85	220	500	kΩ
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN		—	2.0	—	MΩ
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN		—	14	—	MΩ
V <sub>RAM</sub>	RAM保持電圧	ストップモード時		1.8	—	—	V

注1. P7DRR、P8DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表 30.23 DC特性(6) [1.8 V ≤ Vcc < 2.7 V]  
(指定のない場合は、Topr = -20°C ~ 85°C (Nバージョン) / -40°C ~ 85°C (Dバージョン))

記号	項目	測定条件							規格値			単位	
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準 (注3)	最大		
		XIN(注2)	XCIN	高速	低速								
Icc	電源 電流 (注1)	高速 クロックモード	8MHz	停止	停止	125kHz	分周なし	—		—	2.1	—	mA
			8MHz	停止	停止	125kHz	8分周	—		—	0.9	—	mA
	高速オンチップ オシレータモード	停止	停止	5MHz	125kHz	分周なし	—		—	1.8	5	mA	
		停止	停止	5MHz	125kHz	8分周	—		—	1.1	—	mA	
		停止	停止	4MHz	125kHz	16分周	MSTCR0 = BEh MSTCR1 = 3Fh		—	0.9	—	mA	
		停止	停止	4MHz	125kHz	16分周	MSTCR0 = BEh MSTCR1 = 3Fh		—	0.9	—	mA	
	低速オンチップ オシレータモード	停止	停止	停止	125kHz	分周なし	FMR27 = "1" VCA20 = "0"		—	106	300	μA	
		停止	停止	停止	125kHz	8分周	FMR27 = "1" VCA20 = "0"		—	54	200	μA	
	低速 クロックモード	停止	32kHz	停止	停止	分周なし	FMR27 = "1" VCA20 = "0"		—	54	200	μA	
		停止	32kHz	停止	停止	分周なし	FMSTP = "1" VCA20 = "0"	フラッシュメモリ停止 RAM上のプログラム動作	—	36	—	μA	
	ウェイトモード	停止	停止	停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1"	WAIT命令実行中 周辺クロック動作	—	9.0	50	μA	
		停止	停止	停止	125kHz	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック停止	—	2.5	31	μA	
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "0"	WAIT命令実行中 周辺クロック停止 タイマRH動作 (リアルタイム クロックモード)	LCD駆動制御回路(注4) 外付け分割抵抗使用時	—	2.4	—	μA
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" VCA20 = "1" CM02 = "1" CM01 = "1"	WAIT命令実行中 周辺クロック停止 タイマRH動作 (リアルタイムクロックモード)		—	1.7	—	μA
	ストップモード	停止	停止	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=25°C 周辺クロック停止	—	0.5	2.2	μA	
		停止	停止	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	Topr=85°C 周辺クロック停止	—	1.2	—	μA	
	パワーオフモード	停止	停止	停止	停止	—	—	パワーオフ0 Topr=25°C	—	0.01	0.1	μA	
		停止	停止	停止	停止	—	—	パワーオフ0 Topr=85°C	—	0.02	—	μA	
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	パワーオフ2 Topr=25°C	—	1.2	4	μA	
		停止	32kHz	停止	停止	—	VCA27 = "0" VCA26 = "0" VCA25 = "0" CM10 = "1"	パワーオフ2 Topr=85°C	—	2	—	μA	

注1. Vcc = 1.8 V ~ 2.7 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 2.2 V。

注4. VLCD = Vcc、VL3 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG39選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

## 30.5 AC特性

表30.24 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング条件  
(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = -20\text{ }^{\circ}\text{C} \sim 85\text{ }^{\circ}\text{C}$ (Nバージョン)/  
 $-40\text{ }^{\circ}\text{C} \sim 85\text{ }^{\circ}\text{C}$ (Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4	—	—	tCYC (注1)
tHI	SSCKクロック“H”パルス幅			0.4	—	0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅			0.4	—	0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ		—	—	1	tCYC (注1)
		スレーブ		—	—	1	$\mu\text{s}$
tFALL	SSCKクロック立ち下がり時間	マスタ		—	—	1	tCYC (注1)
		スレーブ		—	—	1	$\mu\text{s}$
tSU	SSO、SSIデータ入力セットアップ時間			100	—	—	ns
tH	SSO、SSIデータ入力ホールド時間			1	—	—	tCYC (注1)
tLEAD	SCSセットアップ時間	スレーブ		$1t_{CYC} + 50$	—	—	ns
tLAG	SCSホールド時間	スレーブ		$1t_{CYC} + 50$	—	—	ns
tOD	SSO、SSIデータ出力遅延時間			—	—	$1t_{CYC} + 20$	ns
tSA	SSIスレーブアクセス時間		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	$1.5t_{CYC} + 100$	ns
			$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	—	—	$1.5t_{CYC} + 200$	ns
tOR	SSIスレーブアウト開放時間		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	$1.5t_{CYC} + 100$	ns
			$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	—	—	$1.5t_{CYC} + 200$	ns

注1.  $1t_{CYC} = 1/f_1$  (s)

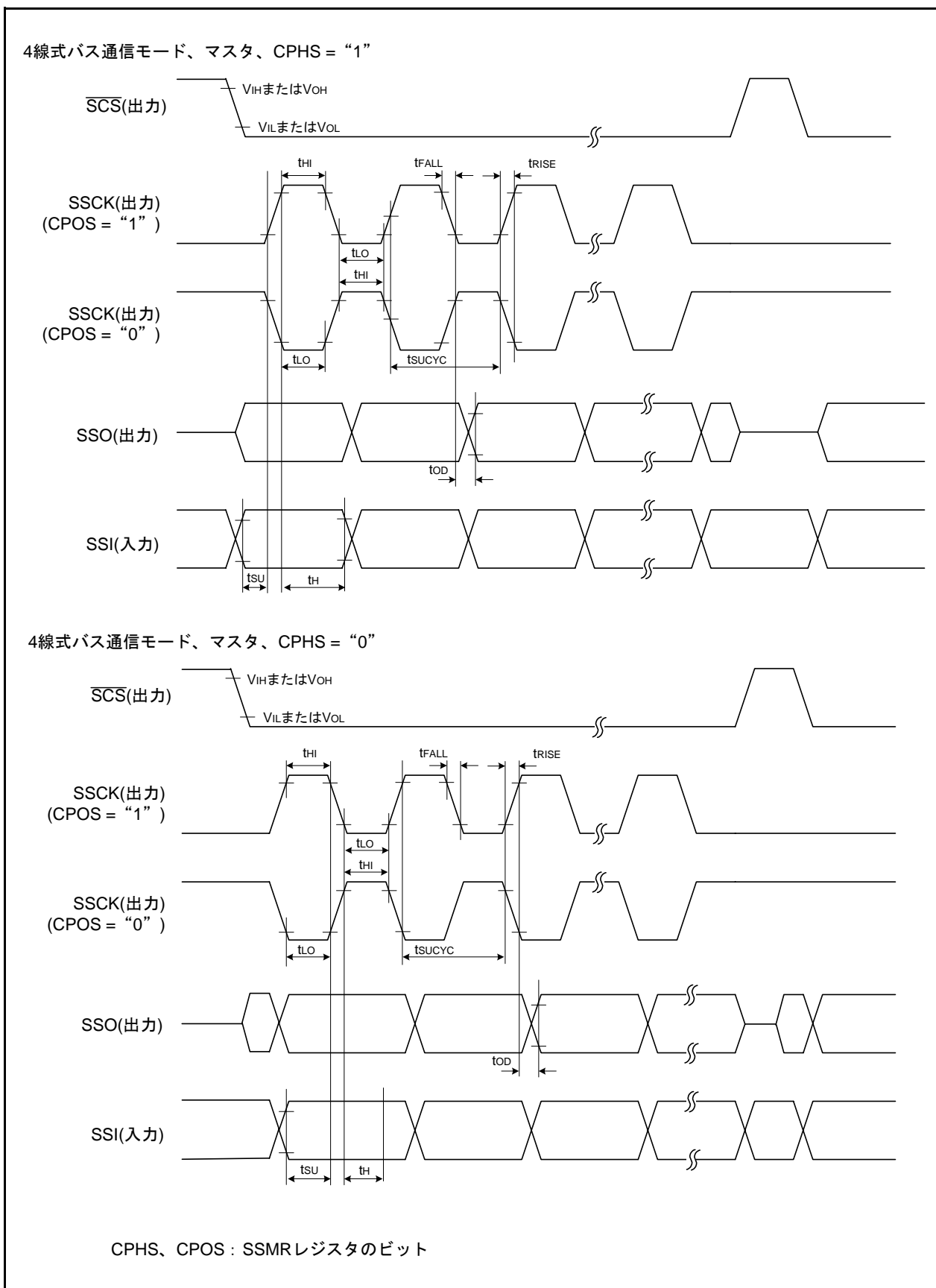


図30.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

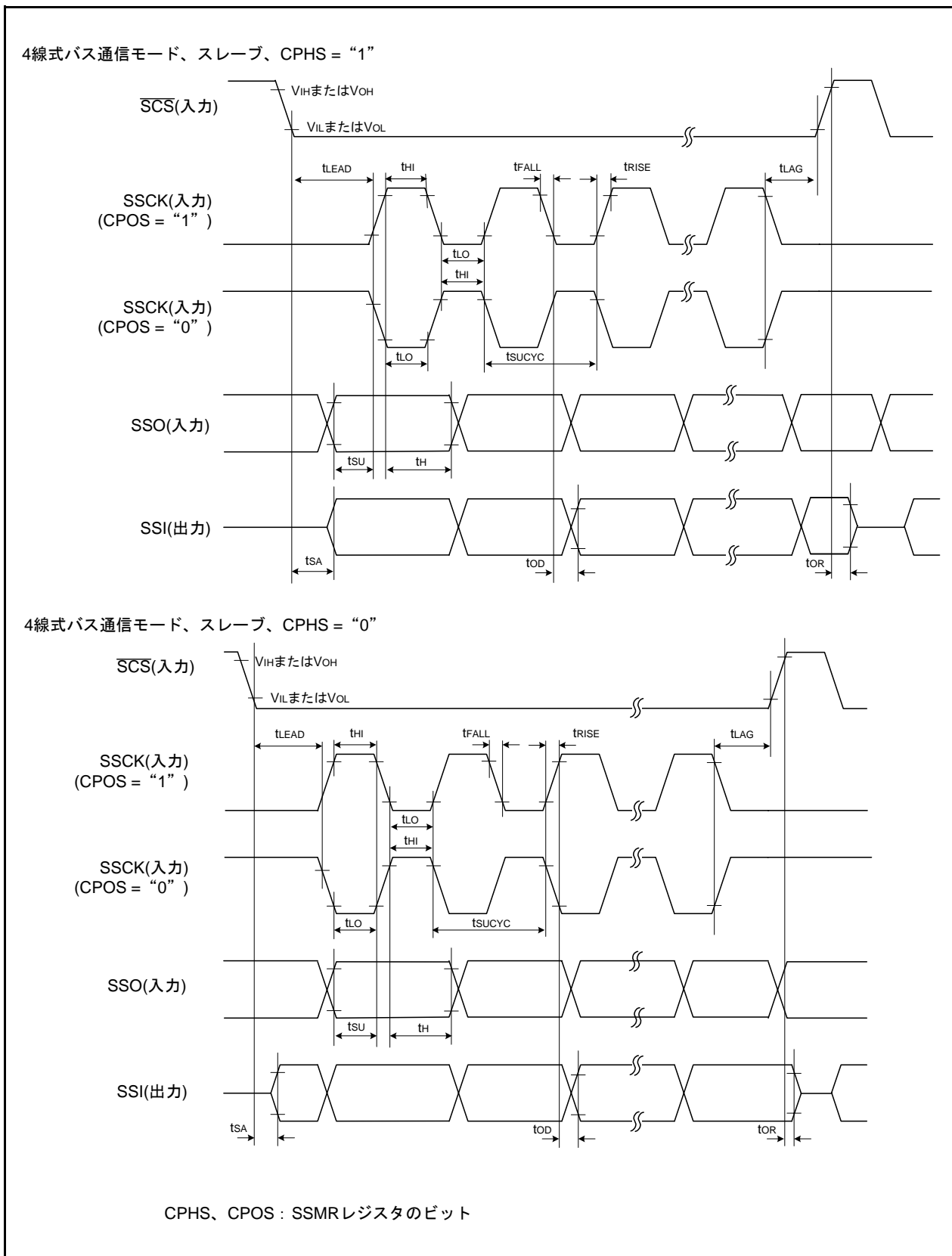


図 30.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出カタイミング(スレーブ)

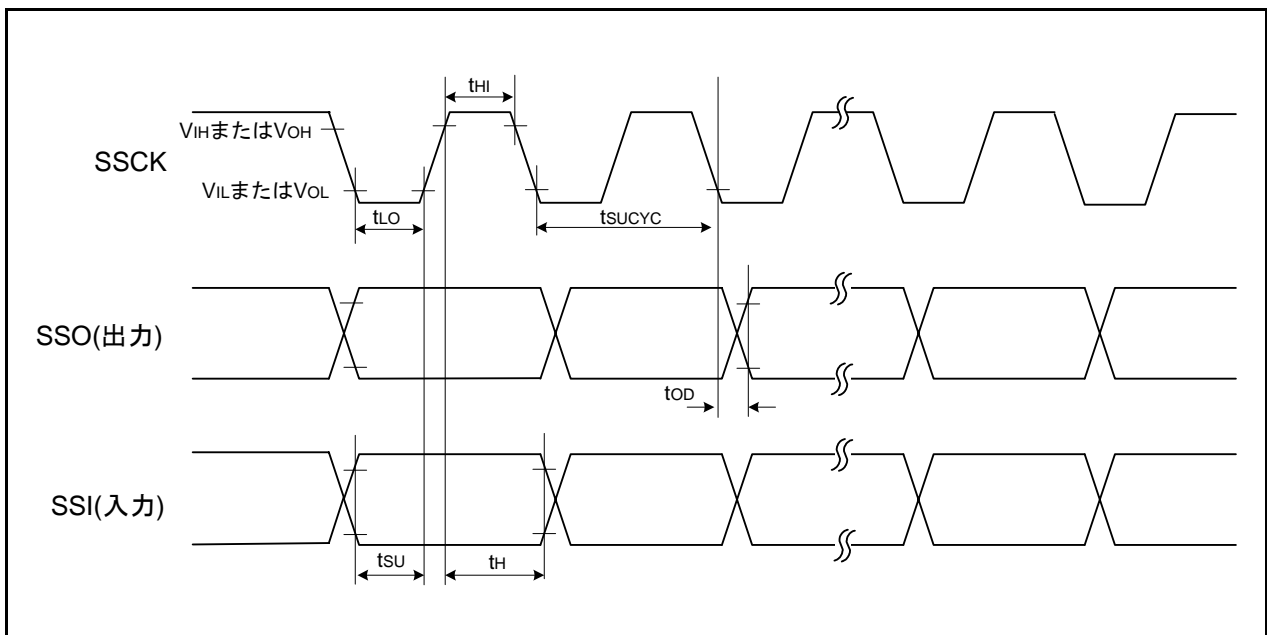


図30.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表 30.25 I<sup>2</sup>Cバスインタフェースのタイミング条件  
 (指定のない場合は、V<sub>cc</sub> = 1.8 V ~ 5.5 V、V<sub>ss</sub> = 0 V、T<sub>opr</sub> = -20°C ~ 85°C(Nバージョン)/  
 -40°C ~ 85°C(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>SCL</sub>	SCL入力サイクル時間		12t <sub>cy</sub> c + 600(注1)	—	—	ns
t <sub>SCLH</sub>	SCL入力“H”パルス幅		3t <sub>cy</sub> c + 300(注1)	—	—	ns
t <sub>SCLL</sub>	SCL入力“L”パルス幅		5t <sub>cy</sub> c + 500(注1)	—	—	ns
t <sub>sf</sub>	SCL、SDA入力立ち下がり時間		—	—	300	ns
t <sub>SP</sub>	SCL、SDA入カスパイクパルス除去時間		—	—	1t <sub>cy</sub> c(注1)	ns
t <sub>BUF</sub>	SDA入力バスフリー時間		5t <sub>cy</sub> c(注1)	—	—	ns
t <sub>STAH</sub>	開始条件入力ホールド時間		3t <sub>cy</sub> c(注1)	—	—	ns
t <sub>STAS</sub>	再送開始条件入力セットアップ時間		3t <sub>cy</sub> c(注1)	—	—	ns
t <sub>STOP</sub>	停止条件入力セットアップ時間		3t <sub>cy</sub> c(注1)	—	—	ns
t <sub>SDAS</sub>	データ入力セットアップ時間		1t <sub>cy</sub> c + 40(注1)	—	—	ns
t <sub>SDAH</sub>	データ入力ホールド時間		10	—	—	ns

注1. 1t<sub>cy</sub>c = 1/f<sub>1</sub> (s)

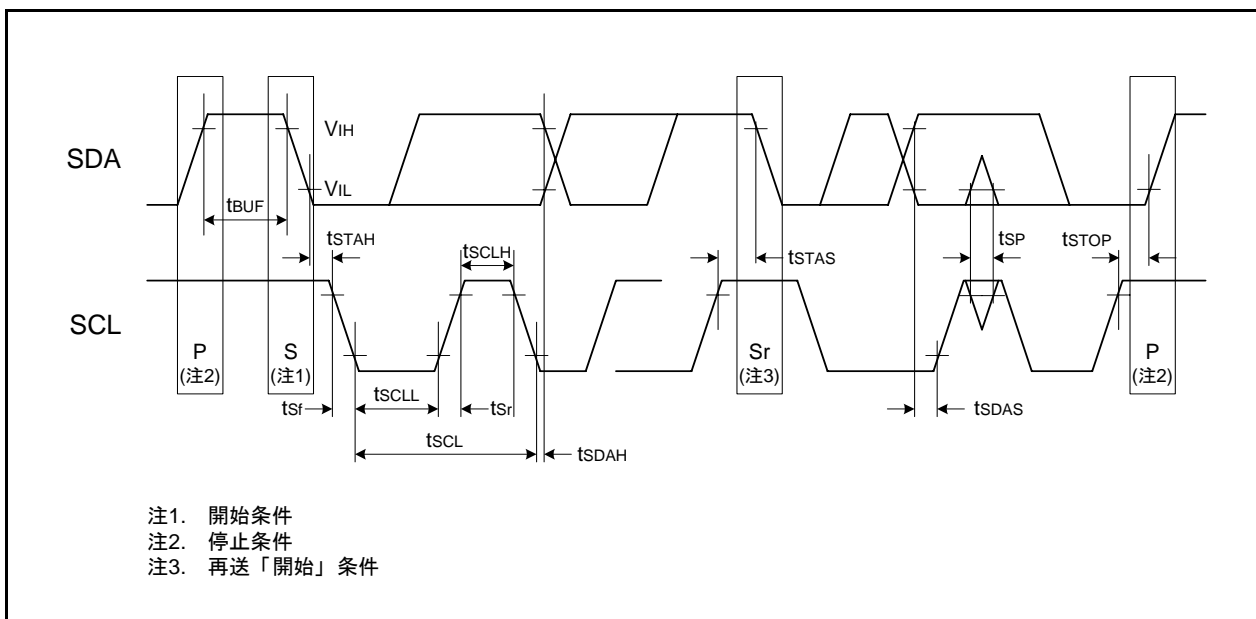


図 30.7 I<sup>2</sup>Cバスインタフェースの入出カタイミング



表 30.26 外部クロック入力(XIN、XCIN)のタイミング条件

(指定のない場合は、 $V_{ss} = 0\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$		$V_{cc} = 3\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$		$V_{cc} = 5\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$		
		最小	最大	最小	最大	最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200	—	50	—	50	—	ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	90	—	24	—	24	—	ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	90	—	24	—	24	—	ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	20	—	20	—	20	—	$\mu\text{s}$
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	10	—	10	—	10	—	$\mu\text{s}$
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	10	—	10	—	10	—	$\mu\text{s}$

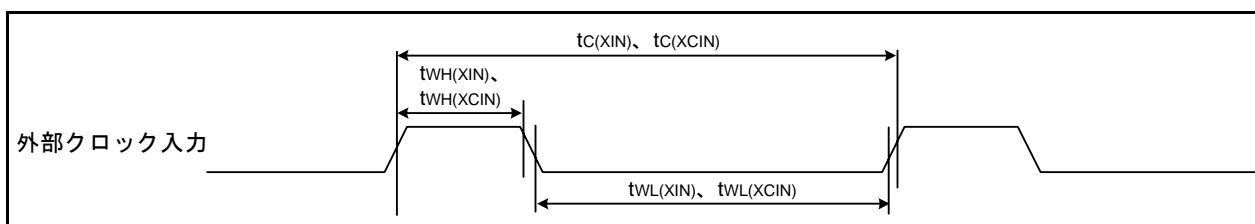


図 30.8 外部クロック入力のタイミング

表 30.27 TRJiIO(i = 0 ~ 2)のタイミング条件

(指定のない場合は、 $V_{ss} = 0\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$		$V_{cc} = 3\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$		$V_{cc} = 5\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$		
		最小	最大	最小	最大	最小	最大	
$t_{c(TRJiO)}$	TRJiO入力サイクル時間	500	—	300	—	100	—	ns
$t_{WH(TRJiO)}$	TRJiO入力“H”パルス幅	200	—	120	—	40	—	ns
$t_{WL(TRJiO)}$	TRJiO入力“L”パルス幅	200	—	120	—	40	—	ns

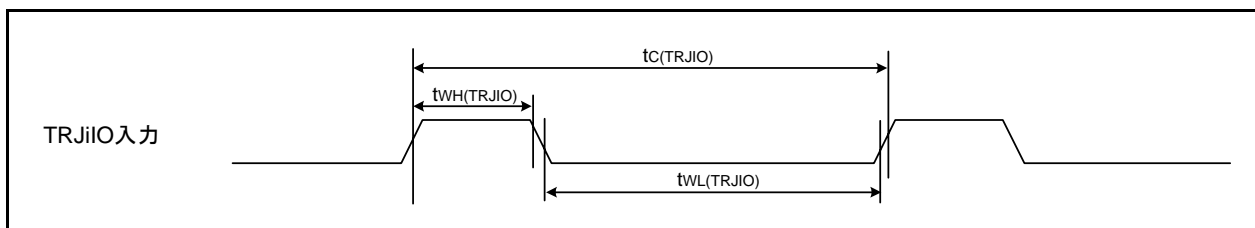


図 30.9 TRJiOの入カタイミング

表 30.28 シリアルインタフェースのタイミング条件  
(指定のない場合は、 $V_{ss} = 0\text{ V}$ 、 $Topr = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$   
(Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2\text{ V}$ 、 $Topr = 25^{\circ}\text{C}$		$V_{cc} = 3\text{ V}$ 、 $Topr = 25^{\circ}\text{C}$		$V_{cc} = 5\text{ V}$ 、 $Topr = 25^{\circ}\text{C}$		
		最小	最大	最小	最大	最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800	—	300	—	200	—	ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400	—	150	—	100	—	ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400	—	150	—	100	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	200	—	80	—	50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	0	—	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150	—	70	—	50	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	90	—	90	—	ns

$i = 0, 2$

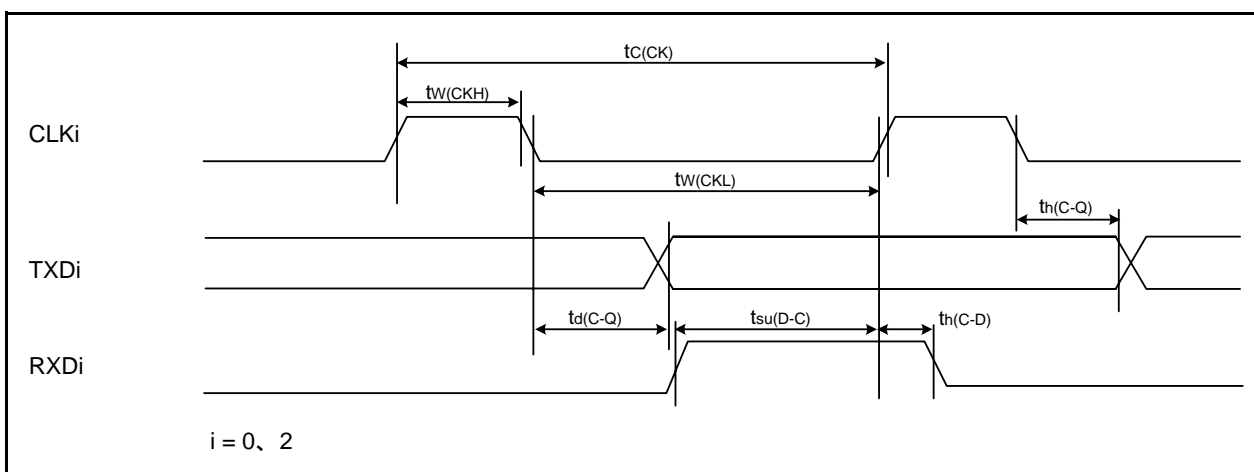


図 30.10 シリアルインタフェースの入出力タイミング

表 30.29 外部割り込み  $\overline{INTi}$  ( $i = 0 \sim 7$ )、キー入力割り込み  $\overline{Kli}$  ( $i = 0 \sim 7$ )のタイミング条件  
(指定のない場合は、 $V_{ss} = 0\text{ V}$ 、 $Topr = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$   
(Dバージョン))

記号	項目	規格値						単位
		$V_{cc} = 2.2\text{ V}$ 、 $Topr = 25^{\circ}\text{C}$		$V_{cc} = 3\text{ V}$ 、 $Topr = 25^{\circ}\text{C}$		$V_{cc} = 5\text{ V}$ 、 $Topr = 25^{\circ}\text{C}$		
		最小	最大	最小	最大	最小	最大	
$t_{w(INH)}$	$\overline{INTi}$ 入力“H”パルス幅、 $\overline{Kli}$ 入力“H”パルス幅	1000 (注1)	—	380 (注1)	—	250 (注1)	—	ns
$t_{w(INL)}$	$\overline{INTi}$ 入力“L”パルス幅、 $\overline{Kli}$ 入力“L”パルス幅	1000 (注2)	—	380 (注2)	—	250 (注2)	—	ns

注1.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

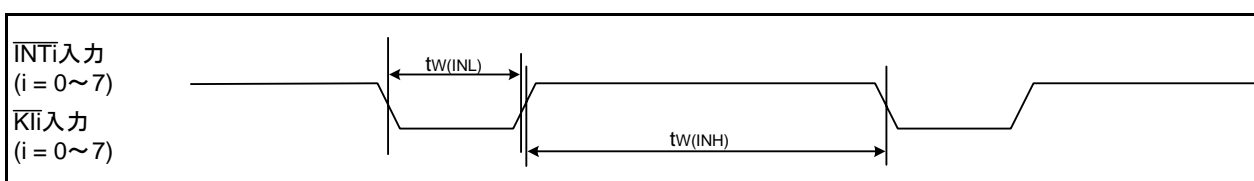


図 30.11 外部割り込み  $\overline{INTi}$  およびキー入力割り込み  $\overline{Kli}$  の入力タイミング

## 31. 使用上の注意事項

### 31.1 クロック発生回路使用上の注意

#### 31.1.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

#### 31.1.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

#### 31.1.3 XCINクロック

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。

## 31.2 パワーコントロール使用上の注意

### 31.2.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にした後、CM0レジスタのCM00ビットを“0”に、CM1レジスタのCM10ビットを“1”にしてください。命令キューはCM10ビットを“1”にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCLR   ; CM0、CM1レジスタへの書き込み許可
FSET      I         ; 割り込み許可
BSET      0, CM1     ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

### 31.2.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)ならびにFMR27ビットを“0” (低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1” (CPU書き換えモード有効)あるいはFMR27ビットが“1” (低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0” (マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1” (マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1” (ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1” (ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
FSET      I         ; 割り込み許可
WAIT
NOP
NOP
NOP
NOP

```

- CM30ビットを“1”を実行するプログラム例

```

BCLR      1, FMR0    ; CPU書き換えモード無効
BCLR      7, FMR2    ; 低消費電流リードモード禁止
BSET      0, PRCLR   ; CM3レジスタへの書き込み許可
FCLR      I         ; 割り込み禁止
BSET      0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR      0, PRCLR   ; CM3レジスタへの書き込み禁止
FSET      I         ; 割り込み許可

```

### 31.2.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.8に示す手順に従ってください。WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.9に示す手順に従ってください。

### 31.2.4 パワーオフ0モード

パワーオフ0モードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、POMCR0レジスタにアクセスしてください。POMCR0レジスタにアクセスしてからパワーオフ0モードへ移行するまでに遅延がありますので、NOP命令を最低4つ入れてください。

パワーオフ0モードへの移行処理中は、WKUP0端子およびWKUP1端子(入力有効時)は“H”にしてください。移行処理中に“L”に変化した場合、パワーオフ0モードへは移行せずに、プログラムの実行を続けます。このとき、POMCR0レジスタのフラグ(POM00、POM01)が“1”(検出)になります。

• パワーオフ0モードに移行するプログラム例

BCLR	1, FMR0	; CPU書き換えモード無効
MOV.B	#02H, POMCR0	; パワーオフ0、WUKPI入力有効を選択。
MOV.B	#88H, POMCR0	; 固定値
MOV.B	#15H, POMCR0	; 固定値
MOV.B	#92H, POMCR0	; 固定値
MOV.B	#25H, POMCR0	; 固定値
NOP		
NOP		
NOP		
NOP		; パワーオフ0モードへ移行
BSET	1, PRCR	; ソフトウェアリセット
BSET	3, PM0	

パワーオフ0モードの解除後の動作は通常のリセットシーケンスと同じです。そのため、パワーオフ0モード移行直後にパワーオフ0モードを解除すると、リセットシーケンスとリセット後のプログラム動作により、消費電力を低減できません。パワーオフ0モード移行と解除の間隔についてはシステムレベルで十分評価してください。

### 31.2.5 パワーオフ2モード

パワーオフ2モードに移行する場合、FMR0レジスタのFMR01ビットを“0”（CPU書き換えモード無効）にした後、CM0レジスタのCM00ビットを“1”、CM02～CM01ビットを“11b”にしてから、CM1レジスタのCM10ビットを“1”にしてください。命令キューはCM10ビットを“1”にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- パワーオフ2モードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BCLR      7, FMR2      ; 低消費電流リードモード禁止
BSET      0, PRCR      ; CM0、CM1レジスタへの書き込み許可
FSET      1            ; 割り込み許可
BSET      0, CM0       ; パワーオフ2モード選択
BSET      1, CM0       ;
BSET      2, CM0       ;
BSET      0, CM1       ; パワーオフ2モード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

### 31.3 割り込み使用上の注意

#### 31.3.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

#### 31.3.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

#### 31.3.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT7}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力( $i=0 \sim 7$ )に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表30.29 外部割り込み $\overline{\text{INTi}}$  ( $i=0 \sim 7$ )、キー入力割り込み $\overline{\text{KIi}}$  ( $i=0 \sim 7$ )のタイミング条件」を参照。)

### 31.3.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 31.1に割り込み要因の変更手順例を示します。

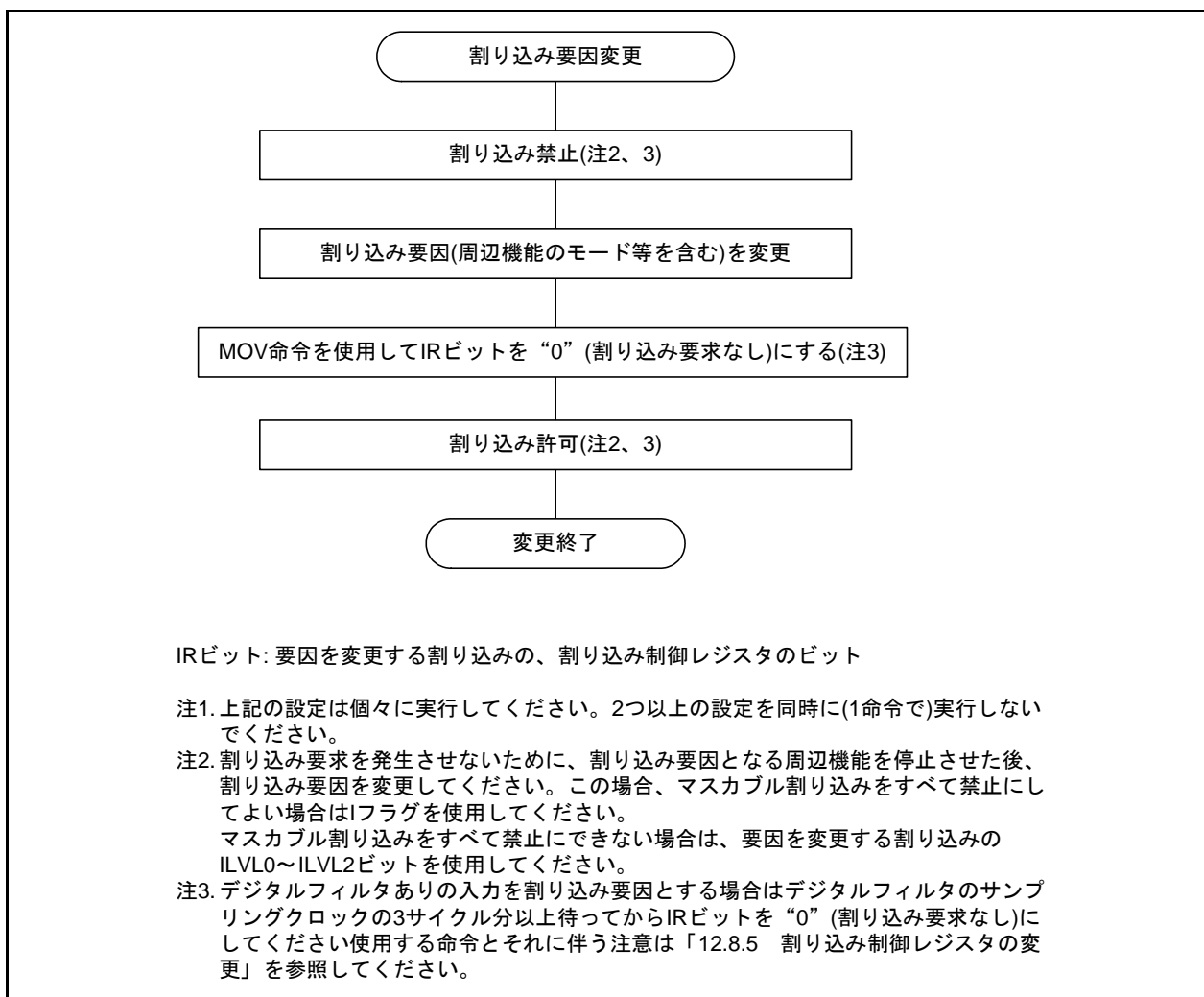


図 31.1 割り込み要因の変更手順例



### 31.3.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。  
IRビット以外のビットの変更  
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。  
対象となる命令 ..... AND、OR、BCLR、BSET
- IRビットの変更  
IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRJ0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRJ0ICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRJ0ICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

## 31.4 IDコード領域使用上の注意

### 31.4.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h) ; UND
.lword dummy | (55000000h) ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h) ; ADDRESS MATCH
.lword dummy | (55000000h) ; SET SINGLE STEP
.lword dummy | (55000000h) ; WDT
.lword dummy | (55000000h) ; ADDRESS BREAK
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 31.5 オプション機能選択領域使用上の注意

### 31.5.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

### 31.6 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBiCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBiOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”（カウント開始）を書いた後は、カウントソースの1～2サイクルの間、TRBiCRレジスタのTCSTFビットは“0”（カウント停止）になっています。TCSTFビットが“1”（カウント中）になるまで、TCSTFビットを除くタイマR*Bi*関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”（カウント停止）を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”（カウント中）になっています。TCSTFビットが“0”（カウント停止）になったときカウントは停止します。  
TCSTFビットが“0”（カウント停止）になるまで、TCSTFビットを除くタイマR*Bi*関連レジスタ(注1)をアクセスしないでください。

注1. タイマR*Bi*関連レジスタ：TRBiCR、TRBiOCR、TRBiOC、TRBiMR、TRBiPRE、TRBiSC、TRBiPR

- カウント中にTRBiCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBiOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマR*Ji*のアンダフロー信号をタイマRBのカウントソースにする場合、タイマR*Ji*はタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。

#### 31.6.1 タイマモード

カウント中(TRBiCRレジスタ( $i = 0 \sim 1$ )のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

#### 31.6.2 プログラマブル波形発生モード

カウント中(TRBiCRレジスタ( $i = 0 \sim 1$ )のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 31.6.3 プログラマブルワンショット発生モード

カウント中(TRBiCRレジスタ(i=0~1)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 31.6.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBiCRレジスタ(i=0~1)のTCSTFビットが“1”)にTRBiPREレジスタ、TRBiPRレジスタに書き込む場合は下記の点に注意してください。

- TRBiPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBiPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 31.7 タイマRC使用上の注意

### 31.7.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC          ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:   MOV.W  TRC,DATA    ; 読み出し

```

### 31.7.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR      ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:   MOV.B  TRCSR,DATA  ; 読み出し

```

### 31.7.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

### 31.7.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- カウントソースをfOCO20MからfOCO-F以外のクロックに変更し、fOCO20Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO20Mを停止させてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
  - (3) f1の2サイクル以上待つ
  - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする
- カウントソースをfOCO-FからfOCO20M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル+fOCO20Mの1サイクル以上待ってからfOCO-Fを停止させてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
  - (3) fOCO-Fの1サイクル+fOCO20Mの1サイクル以上待つ
  - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

### 31.7.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表 18.1 タイマRCの動作クロック」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図18.5 デジタルフィルタのブロック図」参照)

- TRCIOj(j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インพุットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0~IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

### 31.7.6 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

## 31.8 タイマRH使用上の注意

### 31.8.1 リセット

タイマRHはリセット入力により秒、分、時、曜日、日、月、年、12時間/24時間、午前/午後、アラーム、割り込み、誤差補正の情報を格納しているレジスタがリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

### 31.8.2 カウント開始、停止

タイマRHにはカウント開始または停止を指示するためのRUNビットがTRHCRレジスタにあります。

RUNビットを“1”(カウント開始)にするとタイマRHがカウントを開始し、15ビットカウンタがカウントを開始するまで、最大でカウントソースの2サイクルかかります。この間、タイマRH関連レジスタ(注1)をアクセスしないでください。

同様に、RUNビットを“0”(カウント停止)にするとタイマRHがカウントを停止し、15ビットカウンタがカウントを停止するまで、最大でカウントソースの2サイクル分の時間がかかります。この間、タイマRH関連レジスタ(注1)をアクセスしないでください。

注1. タイマRH関連レジスタ : MSTCR1、TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、  
TRHMON、TRHYR、TRHCR、TRHCSR、TRHADJ、TRHIFR、  
TRHIER、TRHAMN、TRHAHR、TRHAWK、TRHPRC、TRHICR

### 31.8.3 レジスタ設定

次のレジスタとビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書いてください。

- タイマRHデータレジスタ(注1)
- TRHIERレジスタ
- TRHCRレジスタのTRHOE、HR24、PM、CCLRビット
- TRHCSRレジスタのCS0~CS3、OS0~OS2ビット

また、TRHIERレジスタは、上記のレジスタとビットの設定の最後(タイマRHカウント開始の直前)に設定してください。

図 19.5にリアルタイムクロックモード時の設定例を示します。

注1. タイマRHデータレジスタ : TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、  
TRHMON、TRHYR

### 31.8.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットは、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRH割り込みルーチン内で、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、BSYビットが“0”のとき必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTRHICレジスタのIRビットを監視し、“1”(タイマRH割り込み要求発生)になったら、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、BSYビットが“0”のときに必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約15.6ms)。

(3) BSYビットが“0”になったら、タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) タイマRHデータレジスタ(注1)、TRHCRレジスタのHR24とPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. タイマRHデータレジスタ : TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、  
TRHMON、TRHYR



### 31.9 タイマRJ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマに値を設定した後、カウントを開始してください。
- タイマは16ビット単位で読み出してください。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRJiCR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRJiCR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマ RJi のカウントを開始してください。
- カウント開始後に初めて発生するタイマ RJi のアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマ RJi レジスタの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマ RJi 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマ RJi 関連レジスタ(注1)をアクセスしないでください。

注1. タイマ RJi 関連レジスタ : TRJiCR、TRJiOC、TRJiMR、TRJi

- カウント中(TCSTF ビットが“1”)に TRJi レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRJi レジスタに 0000h を設定しないでください。

### 31.10 シリアルインタフェース(UART0)使用上の注意

- クロック同期形シリアル I/O モード、クロック非同期形シリアル I/O モードにかかわらず、U0RB レジスタを読み出すときは、必ず16ビット単位で読み出してください。  
U0RB レジスタの PER、FER ビットと U0C1 レジスタの RI ビットは、U0RB レジスタの上位バイトを読み出したとき、“0”になります。  
受信エラーは U0RB レジスタを読み出し後、読み出した値で確認してください。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W    00A6H, R0    ; U0RB レジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアル I/O モードで、U0TB レジスタに書くときは、上位バイト→下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B    #XXH, 00A3H    ; U0TB レジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H    ; U0TB レジスタの下位バイトへの書き込み
```

## 31.11 シリアルインタフェース(UART2)使用上の注意

### 31.11.1 クロック同期形シリアルI/Oモード

#### 31.11.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

#### 31.11.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態に次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

#### 31.11.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態に次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

### 31.11.2 特殊モード1(I<sup>2</sup>Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

### 31.11.3 U2BRG レジスタ

U2BRG レジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1 レジスタのTIビットが“0”(U2TB レジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

### 31.11.4 U2TB レジスタ

このレジスタはMOV 命令を使用して書いてください。

マルチプロセッサ通信機能を使用する場合、8ビット単位で書いてください。MPTB ビットを設定した後、b0～b7を設定してください。

マルチプロセッサ通信機能を使用しない場合、転送データ長が9ビットの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

## 31.12 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSR レジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

## 31.13 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUICSR レジスタのIICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

### 31.13.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

#### 31.13.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSR レジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

### 31.13.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

#### 31.13.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

### 31.13.2.2対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

### 31.13.2.3IICRSTビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

## 31.14 A/Dコンバータ使用上の注意

### 31.14.1 A/Dコンバータ

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック $\phi_{AD}$ 以上の周波数を選択してください。  
 $\phi_{AD}$ にfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1 $\mu$ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないAD<sub>i</sub>(i=0~7)レジスタも、不定になる場合があります。  
プログラムでADSTビットを“0”にした場合は、すべてのAD<sub>i</sub>レジスタの値を使用しないでください。
- A/Dコンバータを使用するときは、A/D変換結果の平均化処理を推奨します。

### 31.14.2 温度センサ

- 温度センサはADTSENビットを“1”(動作開始)にすると、動作を開始します。動作開始設定から最大200 $\mu$ s後に電圧が安定するのを待ってから、A/D変換を開始してください。
- 温度センサ出力電圧のA/D変換結果には、温度センサ出力電圧のばらつきとA/Dコンバータ絶対精度誤差が含まれるため、温度センサの性能(表 26.9参照)やゲイン1選択時の温度センサ出力電圧の温度特性(標準特性)(図 26.10参照)に対して誤差が発生することがあります。
- マイコンの周辺環境によっては、被測定体から温度センサ回路への熱伝導性が変動するため、温度センサ出力電圧の反応時間や精度に影響をおよぼします。システムに合わせた評価を十分に行った上で使用してください。
- ゲインアンプによって増幅された温度センサ出力電圧が基準電圧を超えた場合、正しくA/D変換することができません。
- 温度センサ出力電圧を端子から出力することはできません。

## 31.15 LCD駆動制御回路使用上の注意

### 31.15.1 分割抵抗を外付けする場合

R1～R3の参考値は10k $\Omega$ ～200k $\Omega$ です。これらの参考値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行った上で、値を調整して決定してください(図28.3を参照してください)。

## 31.16 フラッシュメモリ使用上の注意

### 31.16.1 CPU書き換えモード

#### 31.16.1.1使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

#### 31.16.1.2割り込み

表31.1～表31.2にCPU書き換えモード時の割り込みを示します。

表31.1 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み	
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、割り込み処理を実行します。FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (サスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)でサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
	EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
			自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。
プログラム ROM		自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	FMR22ビットが“1” (割り込み要求でサスペンドリクエスト許可)の場合は、割り込み要求を受け付けると自動でFMR21ビットが“1” (サスペンドリクエスト)になり、フラッシュメモリは、td(SR-SUS)時間後に自動消去もしくは自動書き込みを中断し、割り込み処理を実行します。 自動消去中断中は自動消去実行ブロック以外の読み出し、書き込みができます。 自動書き込み中断中は自動書き込み実行ブロック以外のブロックの読み出しができます。 FMR21ビットを“0” (リスタート)にすることで、自動消去もしくは自動書き込みを再開することができます。 また、FMR22ビットが“0” (割り込み要求でサスペンドリクエスト禁止)の場合は自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。 自動消去、自動書き込みが終了した後、割り込み処理を実行します。	

FMR21、FMR22 : FMR2レジスタのビット

表31.2 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドックタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1  (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ  (注1)
EW0	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
EW1	データ フラッシュ	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認して下さい。ウォッチドックタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。サスペンド機能を使用して、定期的にウォッチドックタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		
	プログラム ROM	自動消去中/ 書き込み中 FMR20 = 1 (サスペンド許可)		
		自動消去中/ 書き込み中 FMR20 = 0 (サスペンド禁止)		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。



### 31.16.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みを禁止にしてください。

- FMR1レジスタのFMR14、FMR15ビット

### 31.16.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 31.16.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 31.16.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

### 31.16.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラムROMのプログラム、イレーズを実行する場合は、電源電圧VCC = 1.8 ~ 5.5 Vの条件で行ってください。1.8 V未満では、プログラム、イレーズを実行しないでください。

### 31.16.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

### 31.16.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「10.8 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

### 31.17 ノイズに関する注意

#### 31.17.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC端子とVSS端子間にバイパスコンデンサ(0.1 $\mu$ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

#### 31.17.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

### 31.18 電源電圧の変動に関する注意事項

リセット解除後、VCC端子に入力する電源電圧は、図31.2に示す許容電源リップル電圧 $V_r(vcc)$ および電源リップル立ち下がり勾配 $dV_r(vcc)/dt$ のどちらか一方または両方を満たしてください。

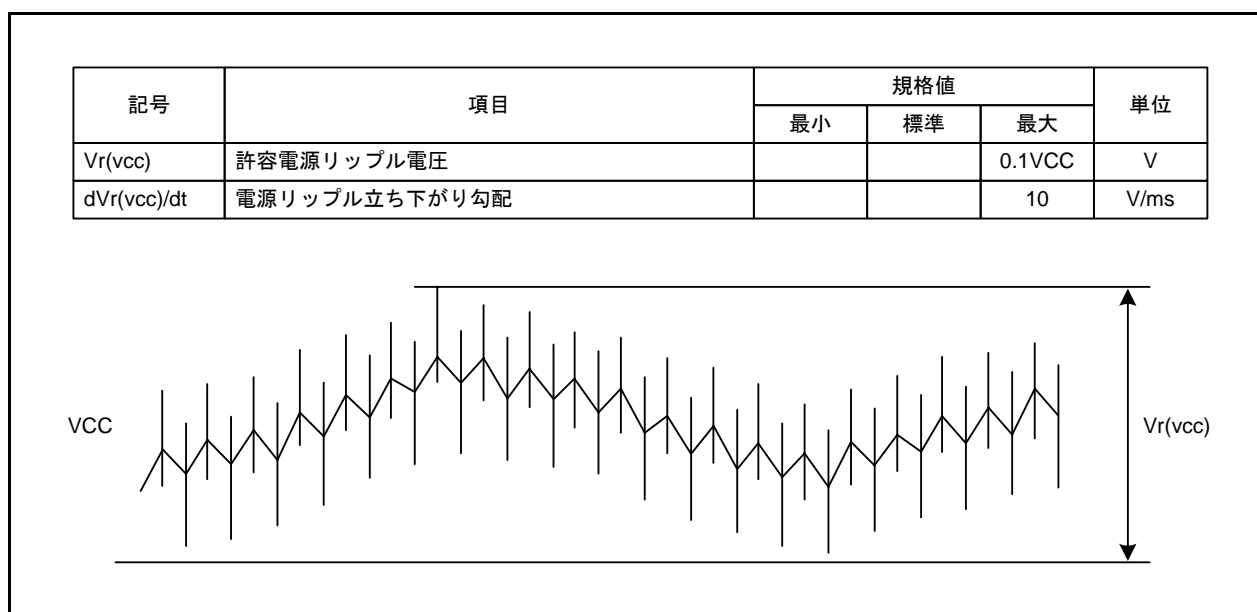


図 31.2 電源リップルの定義

## 32. オンチップデバッグの注意事項

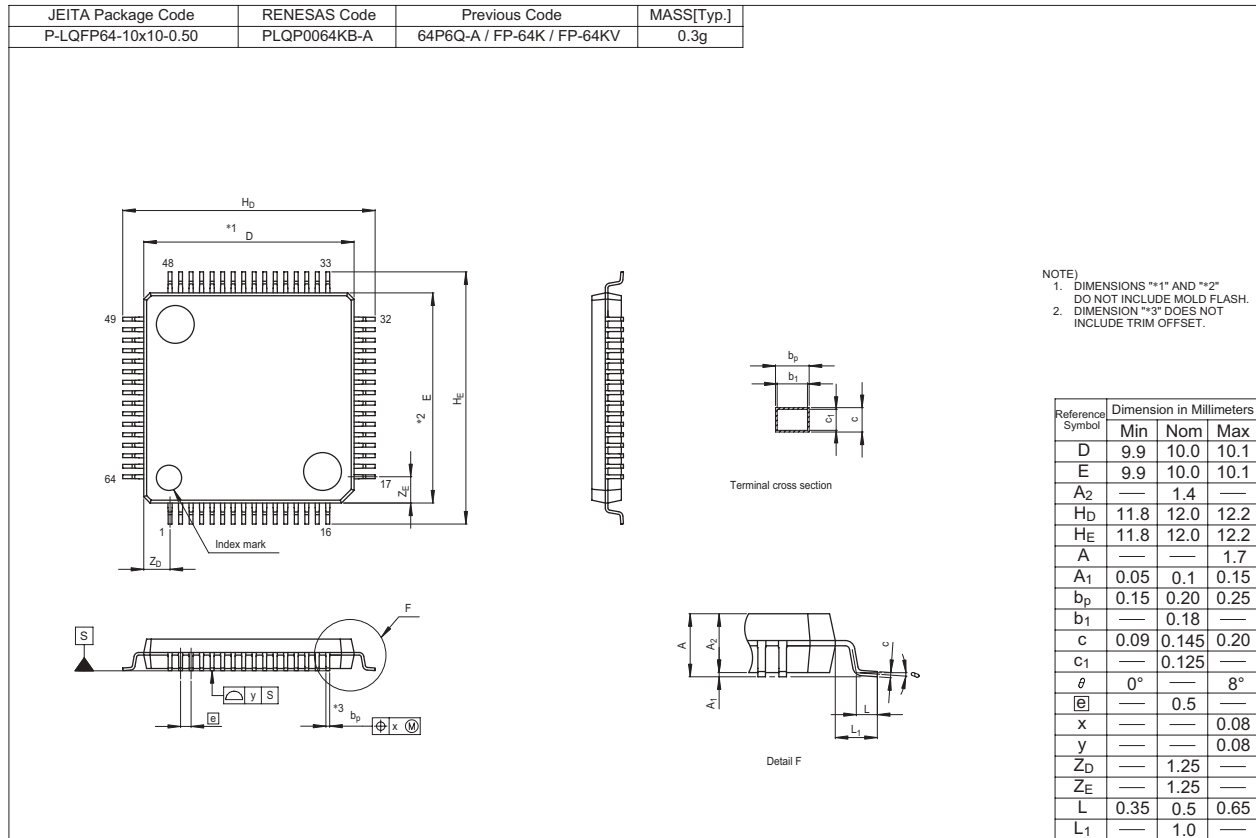
オンチップデバッグを使用してR8C/LA6Aグループ、R8C/LA8Aグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

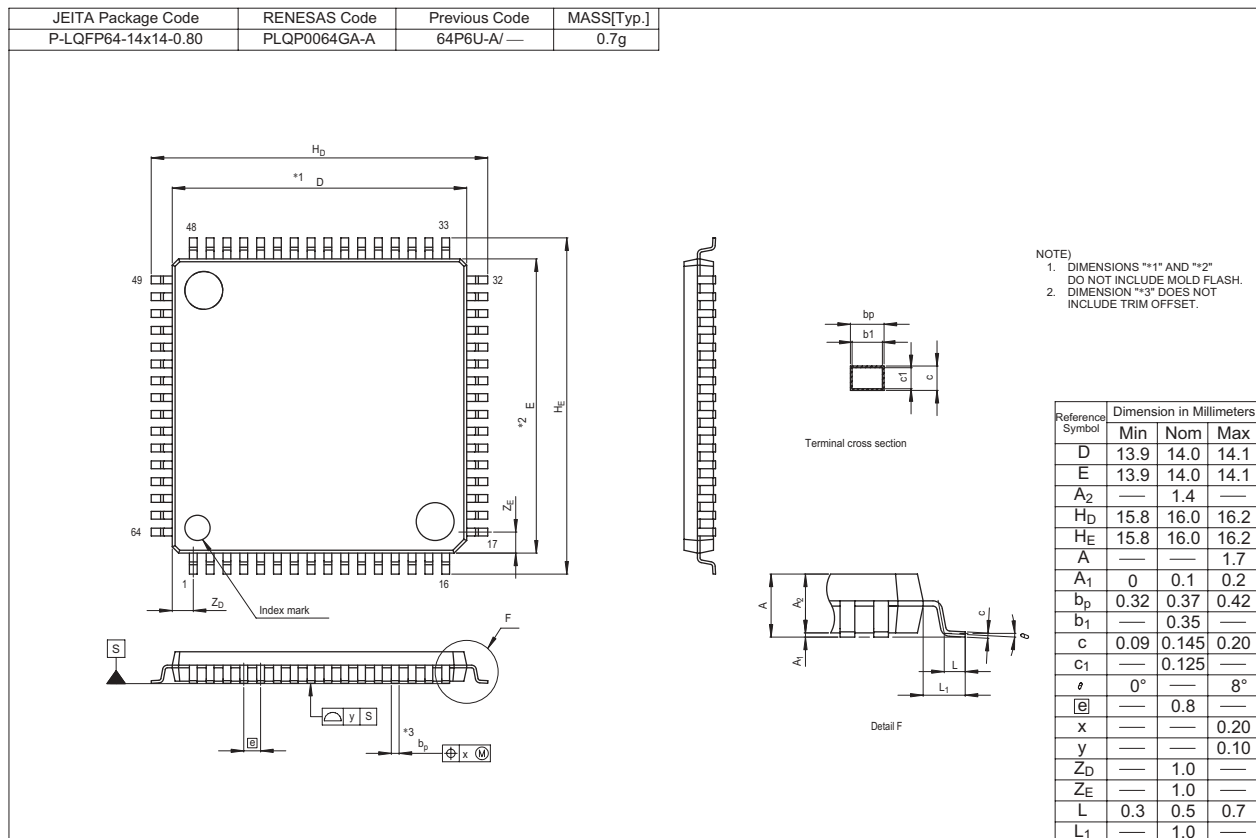
- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。  
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC = 1.8 ~ 5.5 Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、1.8 V以上にしてください。

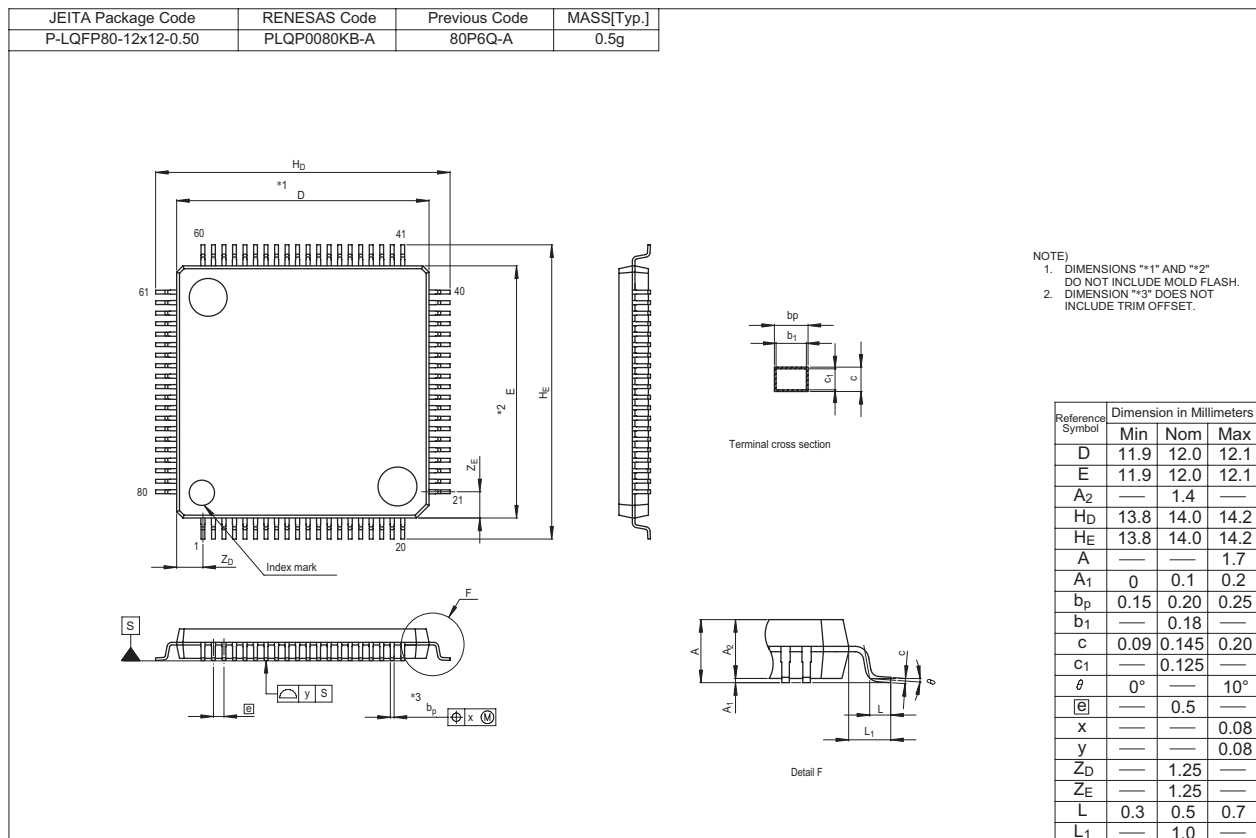
オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

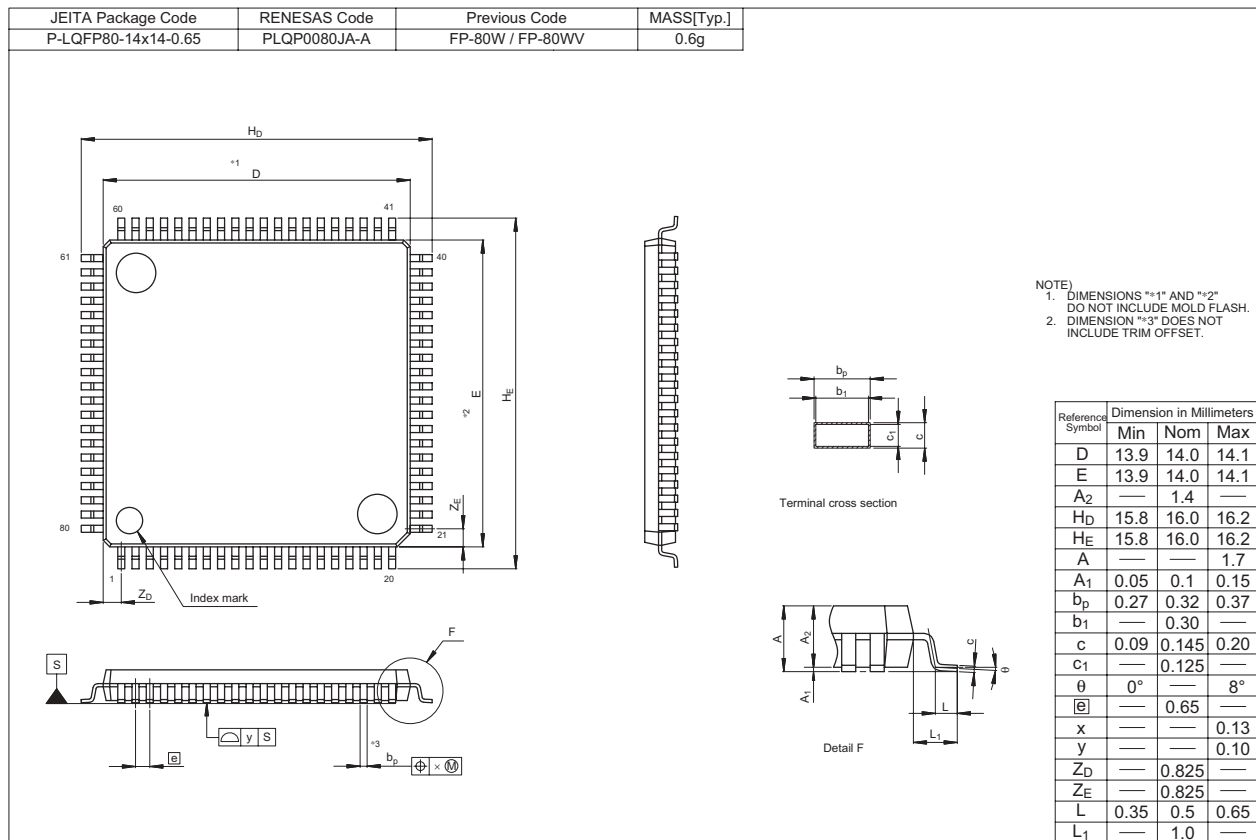
## 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。



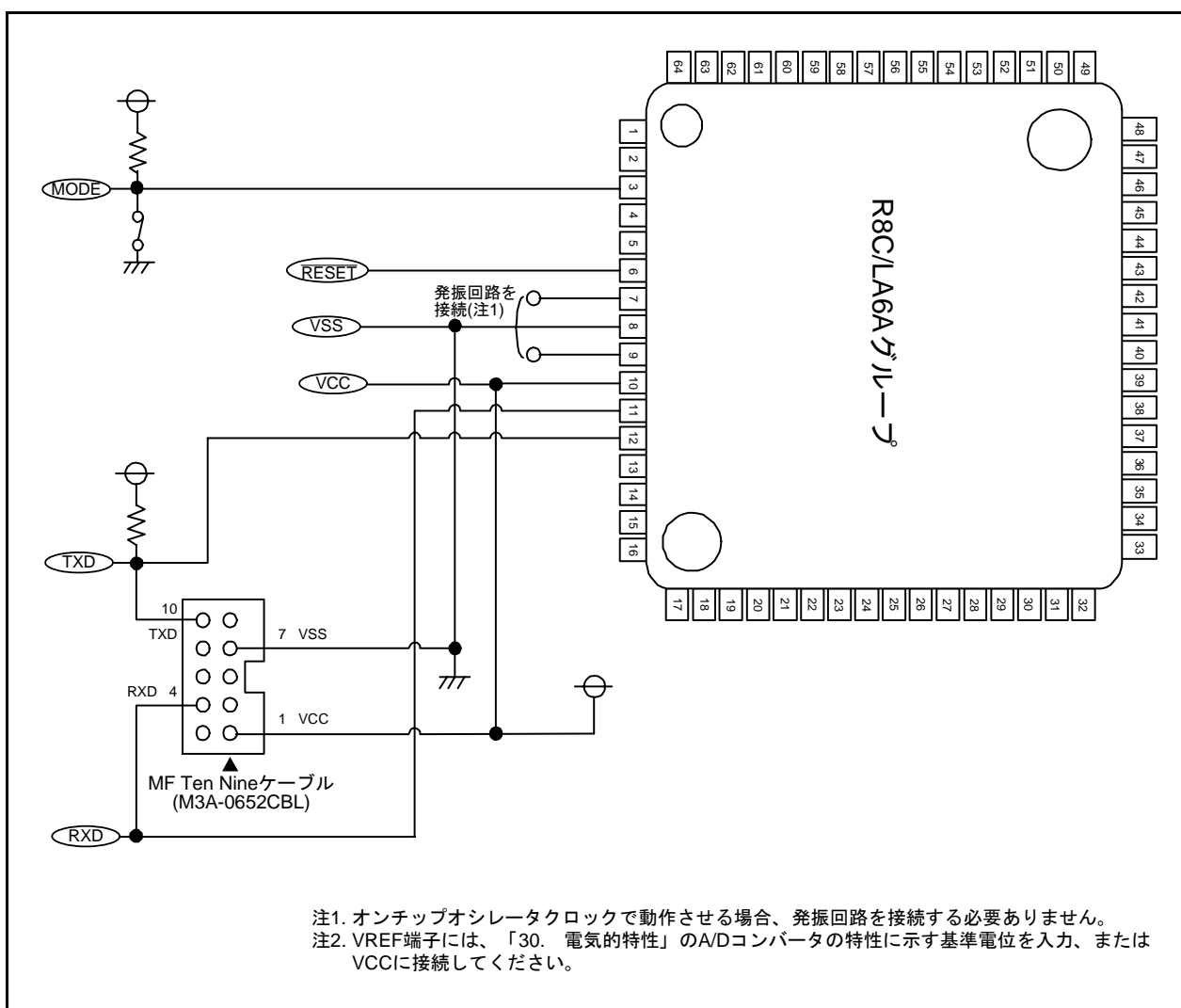






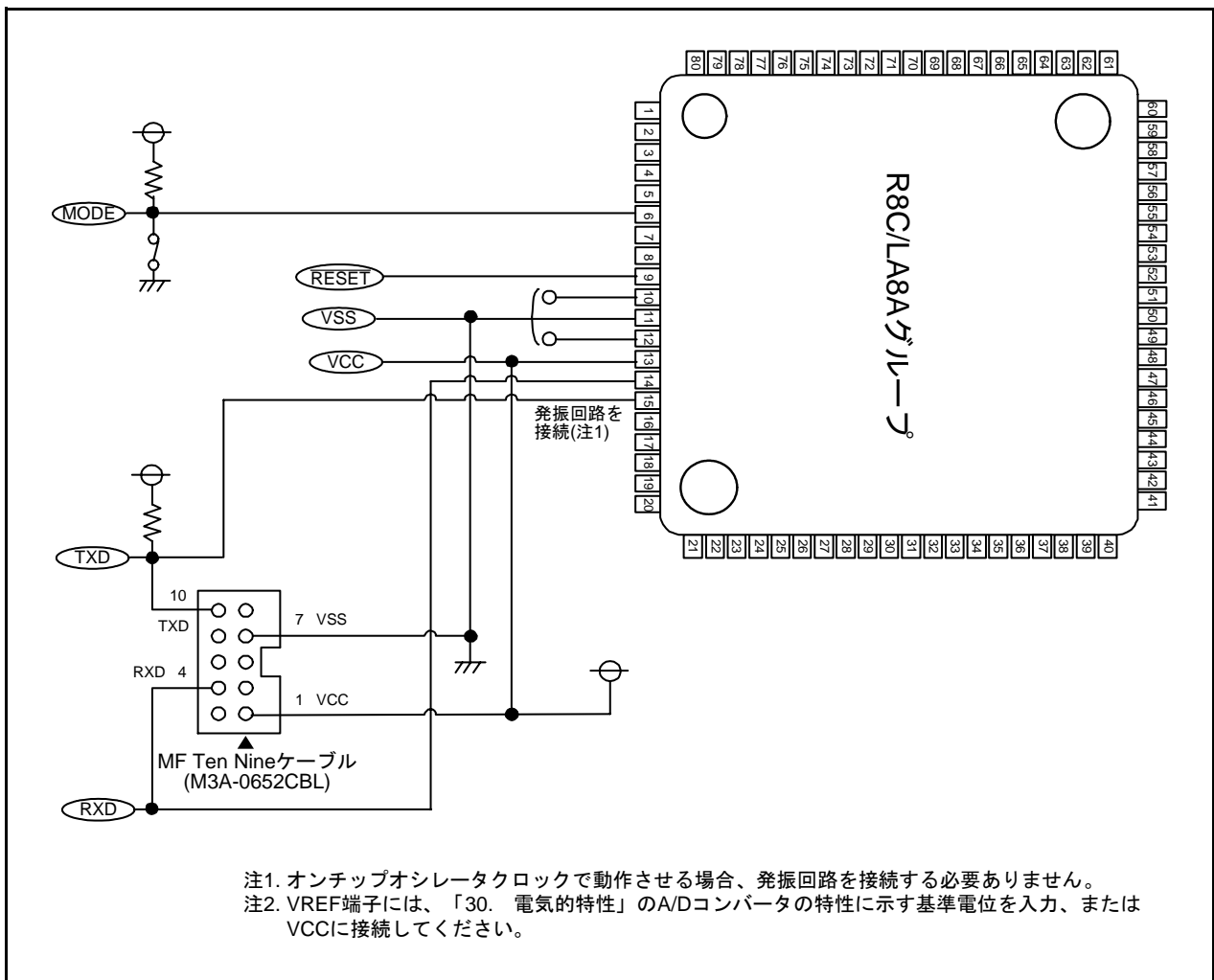
## 付録2. シリアルライタとの接続例

付図 2.1～付図 2.2にMF Ten Nineケーブル (M3A-0652CBL) との接続例を示します。



付図 2.1 MF Ten Nineケーブル (M3A-0652CBL) との接続例(1)

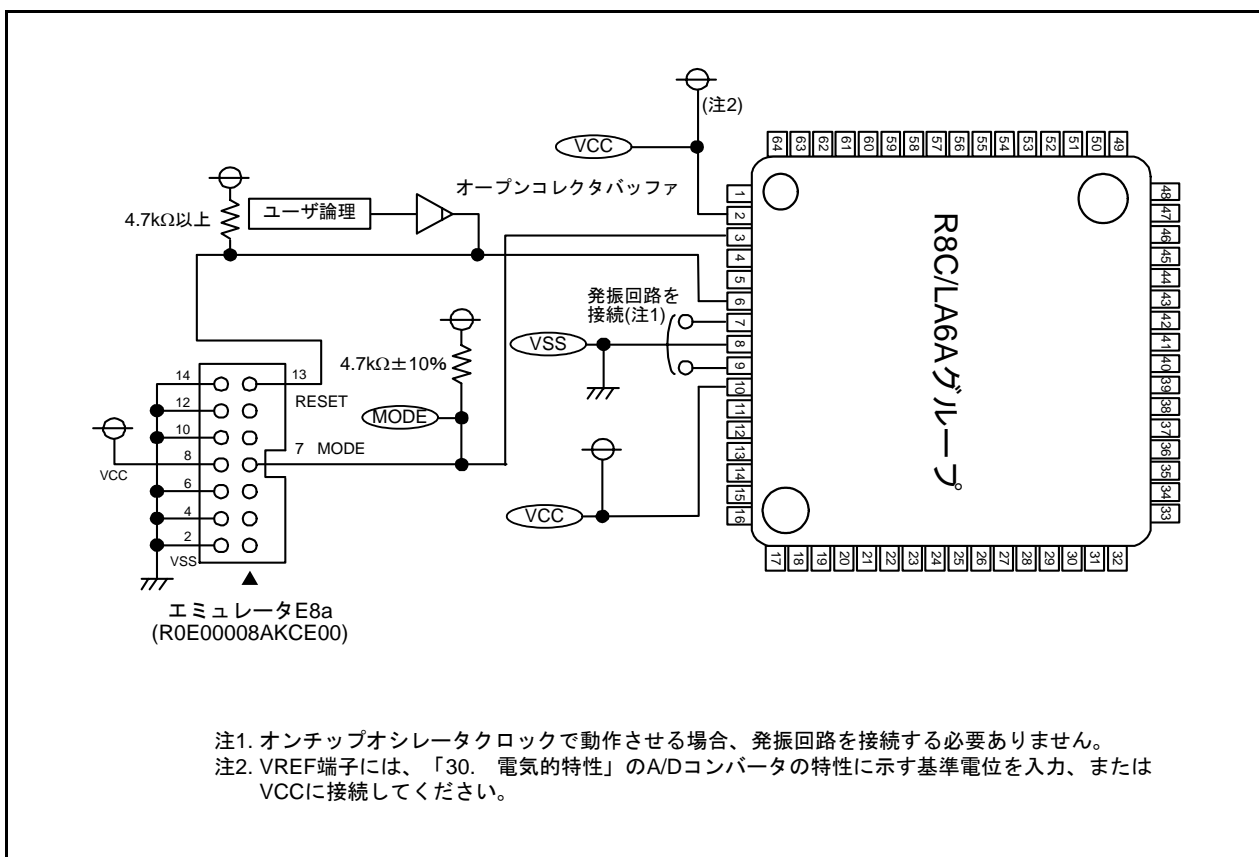




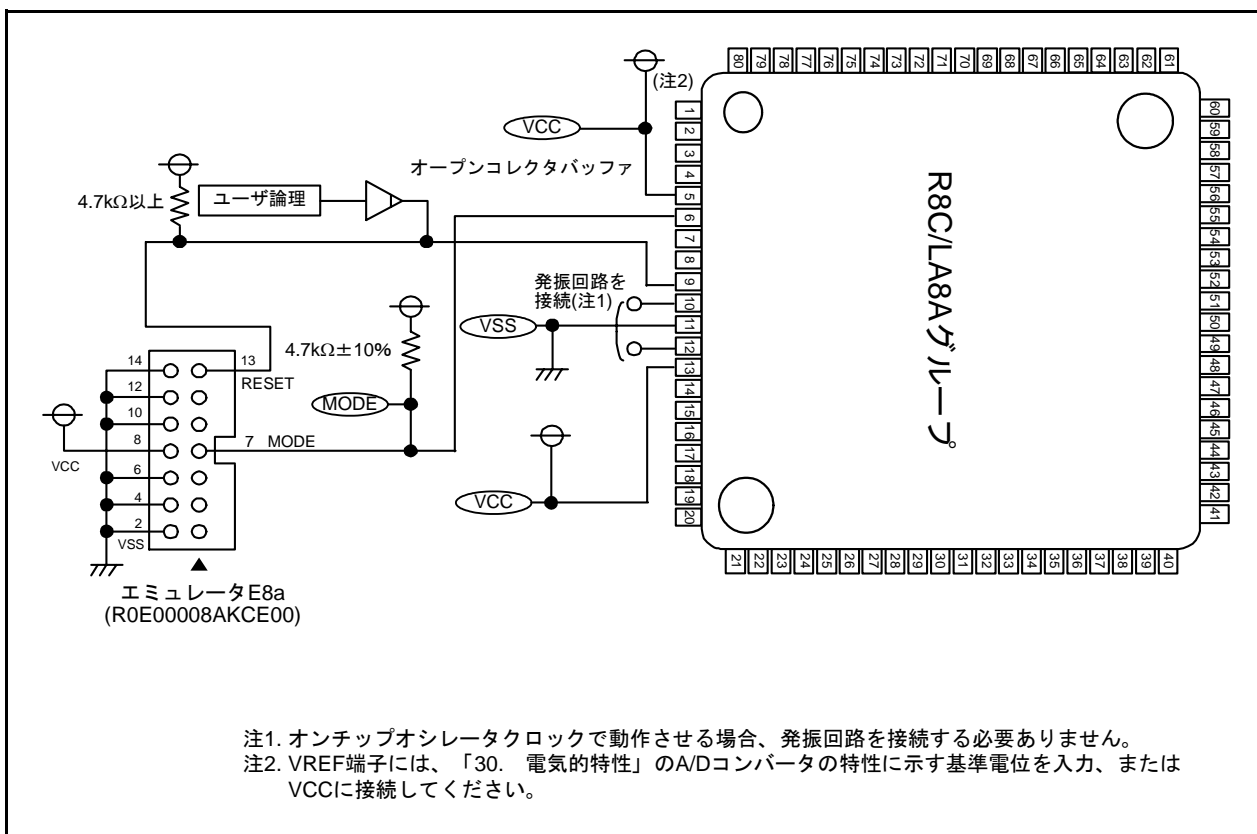
付図 2.2 MF Ten Nineケーブル (M3A-0652CBL) との接続例(2)

### 付録3. エミュレータ E8a との接続例

付図 3.1～付図 3.2にエミュレータ E8a (R0E00008AKCE00) との接続例を示します。



付図 3.1 エミュレータ E8a (R0E00008AKCE00) との接続例(1)



付図 3.2 エミュレータ E8a (R0E00008AKCE00)との接続例 (2)

## 索引

## 【記号/数字】

4線式バス通信モード	445
4線式バス通信モードの初期化	446

## 【A】

A/Dコンバータ	154, 492
A/D断線検出アシスト機能	507
A/D変換開始条件	504
A/D変換結果	506
A/D変換サイクル数	502
A/D変換時のセンサの出カインピーダンス	518
A0、A1	19
ACK、NACK	411
AC特性	608
ADCON0	499
ADCON1	500
ADCON2	501
AD <sub>i</sub> (i=0~7)	496
ADIC	166
ADINSEL	498
ADMOD	497
AIER <sub>i</sub> (i=0~1)	187

## 【B】

Bフラグ	19
------	----

## 【C】

CLK極性選択	391
CM0	117, 134
CM1	118, 135
CM3	119, 136
CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰	145
CMPA	49
CPU	18
CPU書き換えモード	554
CPUクロック	127
CPUクロックと周辺機能クロック	127
CSPR	204
CTS/RTS機能	393, 401
Cフラグ	19

## 【D】

DC特性	602
Dフラグ	19

## 【E】

EW0モード	564
EW1モード	564

## 【F】

f1、f2、f4、f8、f16、f32	127
FB	19
fC-LCD	128
fC-TRH	128
fC、fC32	128
FLG	19
FMR0	558
FMR1	561

FMR2	563
FMRDYIC	167
fOCO	127
fOCO128	128
fOCO20M	127
fOCO-F	127
fOCO-S	128
fOCO-WDT	128
FR18S0	123
FR18S1	123
FRA0	121, 138
FRA2	122
FRC0	121
FRC1	123
FST	555

## 【I】

I/Oポート	63
I/Oポート以外の端子	65
I/Oポートの機能	65
I <sup>2</sup> Cバスインタフェース	453
I <sup>2</sup> Cバスインタフェースモード	470
I <sup>2</sup> Cバスフォーマット	470
ICCR1	460
ICCR2	461
ICDRR	459
ICDRS	465
ICDRT	459
ICIER	463
ICMR	462
ICSR	464
IDコードチェック機能	552, 584
IDコード領域	193
ILVL2~ILVL0ビット、IPL	169
INTB	19
INTCMP	522
INTEN	178, 522
INTEN1	179
INTF	180, 523
INTF1	180
INT <sub>i</sub> IC (i=0~7)	168
INT <sub>i</sub> 入力フィルタ (i=0~7)	181
INT <sub>i</sub> 割り込み (i=0~7)	176
INTSR	82, 177
INT割り込み	176
IPL	20
IRビット	169
ISP	19
Iフラグ	20, 169

## 【K】

KIEN	184
KIEN1	185
KUPIC	166

## 【L】

LCDIC	166
LCD駆動制御	537
LCD駆動制御回路	527
LCD駆動波形	541
LCDクロック選択	539
LCDデータ表示	540

LCR0	531
LCR2	531
LCR3	532
LCR4	532
LSBファースト、MSBファースト選択	364, 392, 399
LSE0	533
LSE1	533
LSE2	534
LSE3	534
LSE4	535
LSE5	535

## 【M】

MSTCR0	236, 353, 376, 424, 456, 494, 530
MSTCR1	213, 286, 331

## 【O】

OCD	120, 137
OCVREFCR	495
OFS	37, 56, 198, 205, 553
OFS2	38, 199, 206
Oフラグ	20

## 【P】

P7DRR	85
P8DRR	85
PC	19
PD <sub>i</sub> (i = 0~9)	72
Pi (i = 0~9)	73
PINSR	83, 458
PIPUR (i = 0~9)	84
PM0	36
PM1	203
POMCR0	140
PRCR	161
PWM2モード	272
PWMモード	266

## 【R】

R0、R1、R2、R3	19
RMAD <sub>i</sub> (i = 0~1)	187
ROMコードプロテクト機能	553, 587
RSTFR	36
RXD2デジタルフィルタ選択機能	401, 418

## 【S】

S0RIC	166
S0TIC	166
S2RIC	166
S2TIC	166
SAR	465
SB	19
SCS端子制御とアービトレーション	451
SDA出力	410
SDA端子デジタル遅延選択	468
SDA入力	411
SFR	23
SSBR	425
SSCRH	427
SSCRL	428
SSER	430

SSMR	429
SSMR2	432
SSRDR	427
SSSR	431
SSTDR	426
SSTRSR	435
SSUIC/IICIC	167
SSUICSR	81, 425, 457
SSシフトレジスタ	435
Sフラグ	19

## 【T】

TRBOIC	166
TRB1IC	166
TRBiCR (i = 0~1)	214
TRBiOC (i = 0~1)	215, 218, 222, 225, 229
TRBiMR (i = 0~1)	215
TRBiOCR (i = 0~1)	214
TRBiPR (i = 0~1)	217
TRBiPRE (i = 0~1)	216
TRBiSC (i = 0~1)	216
TRBSR	75, 217, 336
TRC	241
TRCADCR	243
TRCCR1	238, 259, 268, 274
TRCCR2	242, 262, 269, 275
TRCDF	242, 276
TRCGRA	241
TRCGRB	241
TRCGRC	241
TRCGRC、TRCGRDレジスタの出力端子変更	264
TRCGRD	241
TRCIC	167
TRCIER	238
TRCIOR0	240, 254, 260
TRCIOR1	240, 255, 261
TRCMR	237
TRCOER	243
TRCPSR0	76, 244
TRCPSR1	77, 245
TRCSR	239
TRHADJ	298
TRHAHR	302
TRHAMN	301
TRHAWK	303
TRHCR	294, 320
TRHCSR	297, 321
TRHDY	291
TRHHR	289
TRHIC	167
TRHICR	305
TRHIER	300, 324
TRHIFR	299, 323
TRHMIN	288, 319
TRHMON	292
TRHPRC	304, 324
TRHSEC	287, 319
TRHWK	290
TRHYR	293
TRJ0IC	166
TRJ1IC	166
TRJ2IC	166
TRJ <sub>i</sub> (i = 0~2)	334
TRJiCR (i = 0~2)	332

TRJiIOC (i = 0~2) .....	332, 338, 341, 343, 345, 348
TRJiISR (i = 0~2) .....	334
TRJiMR (i = 0~2) .....	333
TRJSR .....	74, 335
TXD、RXD入出力極性切り替え機能 .....	400

## 【U】

U0BRG .....	354
U0C0 .....	356
U0C1 .....	356
U0MR .....	354
U0RB .....	357
U0SR .....	78, 358
U0TB .....	355
U2BCNIC .....	166
U2BRG .....	377
U2C0 .....	379
U2C1 .....	380
U2MR .....	377
U2RB .....	381
U2SMR .....	385
U2SMR2 .....	384
U2SMR3 .....	384
U2SMR4 .....	383
U2SMR5 .....	382
U2SR0 .....	79, 385
U2SR1 .....	80, 386
U2TB .....	378
UART .....	366, 394
URXDF .....	382
USP .....	19
Uフラグ .....	20

## 【V】

VCA1 .....	50
VCA2 .....	51, 139
VCA20ビットによる内部電源低消費操作 .....	154
VCAC .....	49
VCA20ビットによる内部電源低消費操作 .....	143
VCC入力電圧のモニタ .....	57
VCMP1IC .....	166
VCMP2IC .....	166
VD1LS .....	52
Vdet0のモニタ .....	57
Vdet1のモニタ .....	57
Vdet2のモニタ .....	57
VLT0 .....	86
VLT1 .....	87
VLT2 .....	88
VW0C .....	53
VW1C .....	54
VW2C .....	55

## 【W】

WAIT命令実行後のウェイトモードからの復帰 .....	146
WDTC .....	204
WDTR .....	203
WDTS .....	203

## 【X】

XCINクロック .....	126
XINクロック .....	124

## 【Z】

Zフラグ .....	19
------------	----

## 【あ】

アウトプットコンペア機能 .....	257
アウトプットコンペアモード .....	318
アドレス一致割り込み .....	186
アドレスレジスタ .....	19
アラーム機能 .....	310

## 【い】

イベントカウンタモード .....	342
インプットキャプチャ機能 .....	252

## 【う】

ウェイトモード .....	143
ウェイトモードからの復帰 .....	144
ウェイトモード時の端子の状態 .....	143
ウェイトモードへの移行 .....	143
ウェイトモード、ストップモード、パワーオフモード .....	153
ウォッチドッグタイマ .....	201
ウォッチドッグタイマリセット .....	43

## 【え】

エミュレータE8aとの接続例 .....	646
----------------------	-----

## 【お】

応用 .....	1
オーバフローフラグ .....	20
オプション機能選択領域 .....	197
オンチップオシレータクロック .....	125
オンチップデバッグの注意事項 .....	639
温度センサ .....	516
温度センサの設定手順 .....	517

## 【か】

外形寸法図 .....	640
概要 .....	1
カウントソース .....	246
カウントソース保護モード無効時 .....	208
カウントソース保護モード有効時 .....	209
カウント中のタイマ書き込み制御 .....	219, 339
各通信モードと端子機能 .....	437
各モードの設定と解除方法 .....	567

## 【き】

キー入力割り込み .....	182
機能 .....	194
キャリフラグ .....	19
強制イレーズ機能 .....	195
極性選択機能 .....	364

## 【く】

繰り返し掃引モード .....	514
繰り返しモード0 .....	509
繰り返しモード1 .....	510
グループごとの相違点 .....	2

クロック .....	153	スレーブ送信動作 .....	476
クロック出力 .....	317		
クロック同期形シリアルI/Oモード .....	359, 387		
クロック同期形シリアルインタフェース .....	154, 421		
クロック同期式シリアルフォーマット .....	481		
クロック同期式シリアルモード .....	481		
クロック同期式通信モード .....	438		
クロック同期式通信モードの初期化 .....	438		
クロック発生回路 .....	114		
クロック非同期形シリアルI/O (UART)モード .....	366, 394		
<b>【こ】</b>		<b>【せ】</b>	
高速オンチップオシレータクロック .....	125	製品一覧 .....	7
高速オンチップオシレータモード .....	142	セグメント出力端子の選択 .....	539
高速クロックモード .....	142	セグメントパネル駆動波形 .....	541
コールドスタート/ウォームスタート判定機能 .....	44	絶対最大定格 .....	592
コンパレータB .....	520	ゼロフラグ .....	19
コンパレータB1、コンパレータB3割り込み .....	526		
コンパレータBiデジタルフィルタ (i = 1、3) .....	525		
		<b>【そ】</b>	
<b>【さ】</b>		送受信初期化 .....	411
サインフラグ .....	19	送信動作 .....	482
サスペンド動作 .....	565	ソフトウェアコマンド .....	569
		ソフトウェアリセット .....	43
		ソフトウェア割り込み .....	162
<b>【し】</b>			
システムクロック .....	127	<b>【た】</b>	
周辺機能クロック .....	127	タイマ .....	153
周辺機能クロック停止機能 .....	143	タイマRB .....	211
周辺機能クロックの停止 .....	153	タイマRC .....	233
周辺機能の特性 .....	595	タイマRC割り込み .....	280
周辺機能への影響 .....	65	タイマRC割り込み、タイマRH割り込み、シンクロナス シリアルコミュニケーションユニット割り込み、I <sup>2</sup> Cバスイン タフェース、フラッシュメモリ割り込み(複数の割り込み要求 要因を持つ割り込み) .....	188
周辺機能割り込み .....	164	タイマRH .....	283
受信動作 .....	483	タイマRJ .....	329
仕様概要 .....	4	タイマ総論 .....	210
使用上の注意事項 .....	615	タイマモード .....	218, 252, 257, 337
消費電流低減機能 .....	506	端子機能の説明 .....	16
消費電力の低減 .....	153	単掃引モード .....	512
シリアルインタフェース (UART0) .....	351	単発モード .....	508
シリアルインタフェース (UART2) .....	374		
シリアルデータ論理切り替え .....	393, 400	<b>【ち】</b>	
シリアルライタとの接続例 .....	644	チップ内蔵基準電圧 (OCVREF) .....	506
シンクロナスシリアルコミュニケーションユニット (SSU) .....	422	中央演算処理装置 (CPU) .....	18
<b>【す】</b>		<b>【つ】</b>	
推奨動作条件 .....	593	通信エラー発生時の対処方法 .....	363, 372, 391, 399
スタートコンディション、ストップコンディションの 検出 .....	408		
スタートコンディション、ストップコンディションの 出力 .....	409	<b>【て】</b>	
スタックポインタ指定フラグ .....	20	低消費電流リードモード .....	157
スタティックベースレジスタ .....	19	低速オンチップオシレータクロック .....	125
ストップモード .....	147	低速オンチップオシレータモード .....	142
ストップモードおよびパワーオフ2モード時の端子の 状態 .....	540	低速クロックモード .....	142
ストップモードからの復帰 .....	148	データ受信 .....	441, 449
ストップモード時の端子の状態 .....	147	データ送信 .....	439, 447
ストップモードへの移行 .....	147	データ保護機能 .....	568
スレーブ受信動作 .....	479	データレジスタ .....	19
		データレジスタの説明 .....	536
		デジタルフィルタ .....	248
		デバッグフラグ .....	19
		電圧監視0リセット .....	42, 58
		電圧監視1割り込み .....	59
		電圧監視2割り込み .....	61
		電圧検出回路 .....	45, 153
		電気的特性 .....	592
		電源が安定している場合 .....	39

電源投入時 .....	39
転送クロック .....	410, 433, 466

## 【と】

特殊モード1 (I <sup>2</sup> Cモード) .....	402
特殊割り込み .....	163
特長 .....	1
時計誤差補正機能 .....	314

## 【に】

入出力端子 .....	502
-------------	-----

## 【の】

ノイズ除去回路 .....	488
---------------	-----

## 【は】

ハードウェアリセット .....	39
バイアス制御 .....	539
バス制御 .....	113
発振停止検出機能 .....	129
発振停止検出機能の使用方法 .....	129
バッファ動作 .....	247
パラレル入出力モード .....	587
パルス周期測定モード .....	347
パルス出力強制遮断 .....	250
パルス出力モード .....	340
パルス幅測定モード .....	344
パワーオフ0モード .....	149
パワーオフ0モード時の端子の状態 .....	150, 540
パワーオフ0モードの解除 .....	150
パワーオフ0モードの端子処理 .....	149
パワーオフ0モードへの移行 .....	149
パワーオフ2モード .....	151
パワーオフ2モードからの復帰 .....	152
パワーオフ2モード時の端子の状態 .....	151
パワーオフ2モードへの移行 .....	151
パワーオンリセット機能 .....	41
パワーコントロール .....	132

## 【ひ】

ビット同期回路 .....	489
ビットレート .....	371, 398
標準シリアル入出力モード .....	584
標準シリアル入出力モード禁止機能 .....	195
標準動作モード .....	141
秒調整機能 .....	312
ピン配置図 .....	11

## 【ふ】

フラグレジスタ .....	19
フラッシュメモリ .....	548
フラッシュメモリ書き換え禁止機能 .....	552
フラッシュメモリの停止 .....	156
フルステータスチェック .....	582
フレームベースレジスタ .....	19
プログラマブルウェイトワンショット発生モード .....	228
プログラマブル波形発生モード .....	221
プログラマブルワンショット発生モード .....	224

プログラムカウンタ .....	19
プロセッサ割り込み優先レベル .....	20
ブロック図 .....	9
プロテクト .....	161

## 【ほ】

ポート .....	153
ポートの設定 .....	89

## 【ま】

マスタ受信動作 .....	473
マスタ送信動作 .....	471
マルチプロセッサ受信 .....	416
マルチプロセッサ送信 .....	415
マルチプロセッサ通信機能 .....	412

## 【み】

未使用端子の処理 .....	112
----------------	-----

## 【め】

メモリ .....	21
メモリ性液晶パネル用駆動波形 .....	545
メモリ配置 .....	549

## 【も】

モード選択 .....	421
-------------	-----

## 【ゆ】

ユーザスタックポインタ .....	19
-------------------	----

## 【よ】

予約ビット .....	20
-------------	----

## 【り】

リアルタイムクロックモード .....	284
リセット .....	33
リセット要因判別機能 .....	44

## 【れ】

レジスタ設定例 .....	484
レジスタ退避 .....	171
レジスタバンク指定フラグ .....	19
連続受信モード .....	365, 392

## 【わ】

割り込み .....	162
割り込み応答時間 .....	171
割り込み許可フラグ .....	20
割り込みシーケンス .....	170
割り込みスタックポインタ .....	19
割り込み制御 .....	169
割り込み制御波形 .....	546
割り込みテーブルレジスタ .....	19
割り込みと割り込みベクタ .....	164
割り込みの分類 .....	162
割り込み優先順位 .....	173



---

割り込み優先レベル判定回路 .....	174
割り込み要求 .....	436, 469
割り込み要求受付時のIPLの変化 .....	171
割り込みルーチンからの復帰 .....	173
ワンショットトリガ選択 .....	227

## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2009.09.30	—	初版発行
0.30	2009.12.21	—	改訂版発行
0.40	2010.04.23	B-3	011Ch~011Eh 変更
		B-4	0195h、0197h 変更
		B-5	「0FFDBh」→「FFDBh」、「0FFFFh」→「FFFFh」
		2	表1.1 「割り込み」削除、「タイマ」変更
		3、63	表1.2、表7.2 「合計68本」→「合計56本」
		3、521	表1.3、表28.1 変更、注1 変更、注2 追記
		4	表1.4 「割り込み」変更、注1 追記
		5	表1.5 「タイマ」、「シリアルインタフェース」、「コンパレータB」変更
		6	表1.6 「フラッシュメモリ」変更
		7	1.2 「R8C/Lxシリーズ」→「各グループ」、表1.7 変更
		8	表1.8 変更
		9	図1.3 変更
		11	図1.5 変更
		12	図1.6 変更
		14	表1.10 変更
		17	表1.13 「コモン出力」、「LCD用電源」変更
		21	3. メモリ 「6Kバイト」→「3.5Kバイト」、「01BFFh」→「011FFh」
		22	4. SFR 「本章ではR8C/LA8Aグループについて説明します。」追記
		26	表4.5 011Ch~011Eh 変更
		48	6.2.1 b4~b7 変更
		50、138	6.2.4、10.2.6 リセット後の値 変更
		52	6.2.6 リセット後の値 変更
		58	表6.2 注3 変更
		60	表6.3 注3 変更
		71	7.5.1 変更
		75、241	7.5.5、18.2.14 b2~b3 変更、注1~注3、「タイマRC端子の…になる場合があります。」追記
		76、242	7.5.6、18.2.15 注1、注2 削除
		82	7.5.13 注2、注4 変更
		87	表7.6 変更
		88	表7.7 変更
		89	表7.12 変更
		95	表7.44 変更
		100	表7.57 変更
		101	表7.58 変更
		104	表7.65、表7.66 変更
		108	表7.74 変更
		113	表9.1 注1~注2 変更
		116、133	9.2.1、10.2.1 注5 変更
		117、134	9.2.2、10.2.2 注5 変更
		120、137	9.2.5、10.2.5 注3 追記

## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2010.04.23	125 130、606 139 143 148 156 159 199 206 210、283、 328 231 233、350、 373、420、 452、490、 524 282 294 314 326 331 336 340 346 349 363 368 371 391 522 523 525 526 529 532 535～539 540 541、621 548 552 553	9.5 「LCD駆動制御回路の…(VL1内部生成電圧)にしてください。」 削除 9.8.3、31.1.3 変更 10.2.7 注2 削除 表10.3 変更 10.6.2、10.6.3 変更 11. プロテクト 変更、11.1.1 b2 変更 表12.1 変更 15.2.5 リセット後の値 変更 表16.1 「カウントソース」 変更 17.2.1、19.2.1、20.2.1 「各スタンバイビットで…供給も停止していま す」 追記 表18.2 「TRCIOA」 変更 18.2.1、21.2.1、22.2.1、24.2.1、25.2.1、26.2.1、28.2.1 「各スタンバイ ビットで…供給も停止しています」 追記 表19.2 変更 19.2.10 b4～b7 変更 19.2.23 変更 図20.1 注3 追記 20.2.6 「b7～b0」 → 「b15～b0」 図20.2 「TRAIC」 → 「TRJiIC」、 「TRACR」 → 「TRJiCR」 20.5.1 注4 追記 図20.4 変更 図21.2 変更 表21.5 注1 変更 表21.8 注1 変更 図22.1 変更 表22.5 注1 変更 表28.2 「LCD駆動タイミング」 変更、「LCD表示周期による割り込み」 変更 図28.1 変更 28.2.3 「オプションクロック選択時」 → 「OTPCKビットが “1” (有効) のとき」 28.2.5 b5 変更 28.2.10 b7 変更、注1 追記 28.2.11 b0～b3 変更、注1 追記 表28.4 変更 図28.4～図28.12 変更 図28.13 注1 追記 28.6.1、31.15.1 変更 29.4.1 注1、注3 変更 CMDRSTビット 変更 CMDERIEビット、BSYAEIEビット、RDYSTIEビット 変更

## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2010.04.23	576 581、624 583 584 586 587 588 589 590 591 592 593 594 595 596 597 598 628～631 632 633	図28.18 注2 変更 表29.10、表31.2 変更 表30.1 変更、注2 追記 表30.2 「f(XIN)」 変更 表30.3 「絶対精度」 変更、「DNL」 削除 表30.4 表題 変更、「td」、「ICMP」 変更 表30.5 変更 表30.6 変更 表30.7、表30.8 変更 表30.9 変更 表30.11 「発振安定時間」、「発振時の自己消費電流」 変更 表30.12 「発振安定時間」 変更 表30.14 注2 追記、表30.15 変更 表30.16 変更 表30.17 変更 表30.18 変更 表30.19 変更 表30.20 変更 表30.21 変更 外形寸法図 変更 付録2、付図2.1 変更 付図2.2 変更
1.00	2010.06.30	— — — — 全ページ 2 4 5 6 7 8 12 16 22 32 35 43 50、138 70 71	TN-R8C-A011A/J 反映 TN-R8C-A014A/J 反映 TN-R8C-A015A/J 反映 「モジュールスタンバイ制御レジスタ」 → 「モジュールスタンバイ制御レジスタ0」 「MSTCR」 → 「MSTCR0」 「暫定版」、「開発中」 削除 表1.1 変更 表1.4 変更 表1.5 変更 表1.6 変更 表1.7 変更 表1.8 変更 図1.6 変更 表1.12 変更 表4.1 0020h リセット後の値、注3 変更 図5.1 変更 5.1.2 注1、注4 変更 5.7、5.8 変更 6.2.4、10.2.6 注2 変更 図7.6 変更 7.5.1 「周辺機能を…にしてください。」 追記

## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.06.30	104	表 7.67 変更
		105	表 7.68～表 7.69 変更
		106	表 7.70 変更
		110	表 7.77 注3、図 7.7 注2 変更
		113	表 9.1 注1 変更、注2 削除
		116、133	9.2.1、10.2.1 b0、注2 変更、注6～注7 追記
		117、134	9.2.2、10.2.2 b0、注2、注5 変更、注8 追記
		118、135	9.2.3、10.2.3 b2～b4、b6～b7、注2～注4 変更
		123	図 9.3 変更
		125	図 9.4 変更
		130、612	9.8.2、31.1.2 変更
		131	10.1、表 10.1 変更
		132	図 10.1 変更
		139	10.2.7 変更、表 10.2 追記
		144	図 10.2 変更
		145	図 10.3 変更
		146	10.5.1 変更
		147	図 10.4 変更
		148	10.6、10.6.1～10.6.3、図 10.5 変更
		149	10.6.4、表 10.6～表 10.7、図 10.6 変更
		150	10.7、10.7.1～10.7.2、表 10.8 追記
		151	10.7.3、図 10.7 追記
		152	10.8.2 変更
		153	図 10.8 変更
		154	10.8.10、図 10.9 変更
		155	10.8.11、図 10.10 変更
		156、613	10.9.1、31.2.1 変更
		157、614	10.9.3～10.9.4、31.2.3～31.2.4 変更
		185	表 12.10 変更
		214	17.2.5 注3 変更
		226	17.5.3 変更
		230、619	17.7、31.6 変更
		235、352、 375、422、 454、492、 528	18.2.1、21.2.1、22.2.1、24.2.1、25.2.1、26.2.1、28.2.1 注6 変更
		242	18.2.12 b7 変更
		249	18.3.4 変更
		284	表 19.2 変更
296	19.2.10 注1～注3 追記		
298	19.2.12 b3 変更		
299	表 19.4 「・TRHIC レジスタの…(周期割り込み要求あり)になる」 →「・TRHIC レジスタの…(割り込み要求あり)になる」		

## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.06.30	308	図 19.5 変更
		325	図 19.18 変更
		328	図 20.1 変更
		332	20.2.4 注1 変更
		333	20.2.6 b0～b15、注3 変更
		342	20.5.1 b6～b7 変更、注5 追記
		358	表 21.2 注2 変更
		386	表 22.2 注2 変更
		400	22.4.6 「CLK2端子の… “H” になります。」 削除
		458	25.2.6 注7 追記
		459	25.2.7 注5 追記
		462	25.2.10 注7 追記
		471	25.4.3 (6) 変更
		488～489、 627～628	25.9.1～25.9.2、31.13.1～31.13.2 追記
		490	26、表 26.1 変更、注4 追記
		491	図 26.1 変更
		493	26.2.2 注1 変更
		495	26.2.4 注2 追記
		498	26.2.7 注1 変更、旧注5 削除、注5、注6 追記
		499	26.2.8 注4、注5、「ゲインアンプの特性上…増加します。」 追記
		500	図 26.2、図 26.3 変更
		501	表 26.3 「+ fADの1～3サイクル」 追記
		502	26.3.3.2 変更
		503	26.3.3.4 変更
		504	26.3.6 変更
		506	26.4、表 26.4 変更
		507	26.5、表 26.5 変更
		508	26.6、表 26.6 変更
		514	26.9、表 26.9、図 26.10 追記
		515	26.9.1、図 26.11 追記
		517、628	26.11.1、31.14.1 変更、26.11.2、31.14.2 追記
		533	28.2.10 注1 変更
		538	28.4.5、表 28.5、28.4.6、表 28.6 変更
		546	表 29.1、注1、注3 変更
566	29.4.10.1 変更		
568	図 29.9 図題 変更		
569	図 29.10 図題 変更		
570	「FMR22ビットを… “1” にしてください。」、図 29.11 追記		
573	図 29.13 図題 変更		
574	図 29.14 図題 変更		
575	「FMR22ビットを… “1” にしてください。」、図 29.15 追記		

改訂記録	R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.06.30	586、631 587、632 590 592 593～597 598～605 610～611 634	表29.9、表31.1 変更 表29.10、表31.2 変更 表30.2 変更 表30.3 変更、表30.4 追記 表30.6～表30.14 変更 表30.16～表30.23 変更 表30.25～表30.28 変更 31.18 追記
1.01	2010.07.08	640	付図2.1 変更
1.02	2011.02.14	— 2、523 3、63 3、523 5、6 9、10 13～15 16、17 21 44 50、138 53、54 59 61 62 64 69 71 72 74、214、333 75、241 76、242 77、355 78、382 79、383 80、421、453 83 87 87 96	TN-R8C-A016A/Jの2、3 反映 表1.1、表28.1 変更 表1.2、表7.2 注2 変更 表1.3、表28.1 注1 変更 表1.5、表1.6 変更 図1.3、図1.4 変更 表1.9～表1.11 「電圧検出回路」 削除 表1.12、表1.13 「端子機能の説明」 → 「R8C/LA8Aの端子機能の説明」 3. 「内部ROM・・・配置されます。」 削除 表6.1 「電圧監視0」 変更 6.2.4、10.2.6 注1、2、4、5 変更 6.2.7、6.2.8 注2 変更 図6.6 「VCA26」 → 「VCA26ビット」、 「VW1C0」 → 「VW1C0ビット」 図6.7 「VCA27」 → 「VCA27ビット」、 「VW2C0」 → 「VW2C0ビット」 注意：「他のグループについて...」 → 「R8C/LA6Aグループについて...」 表7.1 入力レベル切り替え：P7「8ビット単位」 → 「7ビット単位」 表7.4 「出力」 変更 図7.5 「P9_1/XOUT」 変更 7.5.1 注1～3 変更 7.5.2 注1～3 変更、「ポートPi_0ビット」 → 「ポートPi_jビット」 7.5.4、17.2.9、20.2.8 「タイマRJi」 → 「タイマRJ2」 7.5.5、18.2.14 b1、b6、b7 変更 7.5.6、18.2.15 b1 変更 7.5.7、21.2.8 b6、b7 変更 7.5.8、22.2.14 b2、b3、b6、b7 変更 7.5.9、22.2.15 b2、b3、b6、b7 変更 7.5.10、24.2.2、25.2.2 b1～b3 「—」 → 「R/W」 7.5.13 注2～4 変更 7.5.18 b4～b7 変更 7.5.18 b4～b7 「—」 → 「R/W」 表7.45 「COM0」 → 「COM3」

## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.02	2011.02.14	97	表 7.46 「COM1」 → 「COM2」、表 7.47 「COM2」 → 「COM1」、 表 7.48 「COM3」 → 「COM0」、 表 7.49 「VL 電圧入力」 → 「VL1 電圧入力」、 表 7.50 「VL 電圧入力」 → 「VL2 電圧入力」、 表 7.51 「VL 電圧入力」 → 「VL3 電圧入力」 表 7.49～表 7.51 注1 削除
		98	表 7.53 「SSUICSR」 変更
		99、100	表 7.54 「SSU関連レジスタ」 変更、注3 削除 表 7.55、表 7.56 「SSU関連レジスタ」 変更、注3 削除、 「ICCR1」 追記
		101、102	表 7.57、表 7.58 「ビット」 変更
		105	表 7.67 「SSUICSR」 変更
		106	表 7.68 「SSUICSR」、「SSU関連レジスタ」 変更、注4 削除 表 7.69 「TRJ1IOSEL」 → 「TRJ1IOSEL」、「ICCR1」 追記、 「SSUICSR」、「SSU関連レジスタ」 変更、注4 削除
		107	表 7.70 「TRJ1IOSEL」 → 「TRJ1IOSEL」、「ICCR1」 追記、 「SSU関連レジスタ」 変更、「SSMR2」、注4 削除
		109	表 7.75 変更
		110	表 7.76 変更
		88～110	表 7.5～表 7.76 タイトル 変更
		114	図 9.1 変更
		116、133	9.2.1、10.2.1 b0、b1 「(注6)」 追記、注5、6 変更
		117、134	9.2.2、10.2.2 注2、注6 変更
		119、136	9.2.4、10.2.4 注3 変更
		126	9.6.4 変更、9.6.5 「VCC = 3.0～5.5V」 → 「VCC = 2.7～5.5V」
		129	図 9.5 タイトル変更
		130、610	9.8.1、31.1.1 「OCD1～OCD0ビット」 → 「OCDレジスタのOCD1～OCD0ビット」
		140	表 10.3 「CM05」、「CM04」 変更、注1 追記
		143	表 10.4 「A/D変換割り込み」 変更
		144	図 10.2 変更
		145	10.4.4 (2)、図 10.3 変更
		146	表 10.5 注1 追記
		147	10.5.3 (2)、図 10.4 変更
		148	10.6.2 (1)、(3)、表 10.6 変更 図 10.5 「WKUP0は、必ずプルアップしてください。」 → 「WKUP1は、 プルアップしてください。」
		149	10.6.4 「なおパワーオフ0モード移行中に・・・になります。」 追記 図 10.6 変更
		150	表 10.8 「タイマRJ割り込み」、「シリアルインタフェースの割り込み」、 注1 追記
		151	10.7.3 (2)、図 10.7 変更
		152	10.8.3 変更



## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.02	2011.02.14	157、612	10.9.3、10.9.4、31.2.3、31.2.4 追記
		158	11.1.1 注1 削除
		159	注意：「他のグループについて...」→「R8C/LA6Aグループについて...」
		161	表12.1 注2、注3 追記
		162	表12.2 注4、注5 追記
		166	12.3.3 「Iフラグ=1」→「Iフラグ=1(マスカブル割り込み許可)」 「IRビット=1」→「IRビット=1(割り込み要求あり)」
		172	図12.8 「INT2」→「INT2」
		187、613	12.8.1、31.3.1 「・・・0」になります。」→「・・・0」(割り込み要求なし)になります。」
		205	表15.2 注2 「WDTONビット」→「OFSレジスタのWDTONビット」
		206	表15.3 注1 「WDTONビット」→「OFSレジスタのWDTONビット」
		207	表16.1 タイマRC：「fOCO8M」→「fOCO20M」
		217	図17.2 「TWRCビット」→「TRBiMRレジスタのTWRCビット」
		218	表17.4 選択機能：「不許可」→「禁止」
		219	17.4.1 b1 変更
		222、226	17.5.1、17.6.1 b1 ビット名 変更
		224	17.5.3 「INOSEGビット」→「INOSTGビット」
		228、617	17.7、31.6 変更
		247	18.3.4 「入力モード」→「0」(入力モード)
		249	表18.7 「コンペアー一致」→「インプットキャプチャ」
		251、252	18.4.1、18.4.2 b2、b6 「(インプットキャプチャ)」 削除
		257、258	18.5.2、18.5.3 b2、b6 「(アウトプットコンペアー)」 削除
		261	図18.11 変更
		263	18.6 「TRCGRh」→「TRCGRj」、 表18.11 PWM波形：「TRCGRj」→「TRCGRh」、 「j=B、C、Dのいずれか」→「h=B、C、Dのいずれか」、 「h=A、B、C、Dのいずれか」→「j=A、B、C、Dのいずれか」
		266	表18.12 タイトル 「TRCGRh」→「TRCGRj」、 「h=A、B、C、Dのいずれか」→「j=A、B、C、Dのいずれか」
		293	図19.2 HR24ビット=0(12時間モード)：「11」→「10」
		306	図19.5 変更
		307	図19.6 変更
		310	19.2.21.2 「30SADJビット」→「ADJ30Sビット」
		313	19.2.22.2 「01h」(01)→「01h」(補正量設定)
		323	図19.18 変更
		326	注意：「他のグループについて...」→「R8C/LA6Aグループについて...」 図20.1 「TRDGSEL」→「TEDGSEL」
		329	20.2.2 注4 変更
		331	20.2.6 注3 変更
		341、344	表20.5、表20.6 選択機能：「TIPF0～TIPF1ビット」→「TRJIIOCレジスタのTIPF0～TIPF1ビット」

## 改訂記録

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.02	2011.02.14	346	図20.4 注6:「システムクロック」→「CPUクロック」
		347、623	20.8、31.9 「•パルス幅測定モードおよび・・・設定しないでください。」 追記
		348	図21.1 「UART0」 削除
		358	21.3 「NCHビット」→「U0C0レジスタのNCHビット」、 表21.4 CLK0(P8_4) 変更
		363	表21.5 「割り込み要求発生タイミング」 変更
		365	21.4 「Nチャンネルオープンドレイン出力」→「U0C0レジスタのNチャンネルオープンドレイン出力」、表21.7 「CLK0(P8_4)」 変更
		371	「注意」 削除
		376	22.2.5 注2 変更
		378	22.2.7 「U2RBレジスタは・・・読み出してください。」 追記
		379	22.2.9 b4:「マルチプロセッサビット」→「マルチプロセッサビット(MPRB)」
		386	表22.4、表22.7 「選択方法」 変更
		395	図22.8 「(CTS2/RTS2許可)」→「(CTS/RTS機能許可)」、 「(RTS2選択)」→「(RTS機能を選択)」
		400	図22.13 「・・・= 010b」→「・・・= 010b (I <sup>2</sup> Cモード)」、 「・・・= 1」→「・・・= 1 (I <sup>2</sup> Cモード)」
		409	22.6 「マルチプロセッサビット」→「マルチプロセッサビット(MPRB)」、 「マルチプロセッサビット1」→「マルチプロセッサビット“1”」 「マルチプロセッサビット0」→「マルチプロセッサビット“0”」
		413	22.6.2 「マルチプロセッサビット」→「マルチプロセッサビット(MPRB)」、 図22.20 (5) 「U2C0レジスタ」→「U2C1レジスタ」
		418	表24.1 「受信エラーの検出」、「マルチマスタエラーの検出」 変更
		427	24.2.10 注5 変更
		435	24.4.2 「TEビット」→「SSERレジスタのTEビット」、 「TDREビット」→「SSSRレジスタのTDREビット」、 「ORERビットが“0”」→「ORERビットが“0”(オーバーランエラーなし)」
		437、445	24.4.3、24.5.3 「ORERビットが“0”」→「ORERビットが“0”(オーバーランエラーなし)」
		443	24.5.2 「TEビット」→「SSERレジスタのTEビット」、 「TDREビット」→「SSSRレジスタのTDREビット」 「ORERビットが“0”であることを・・・」→「ORERビットが“0”(オーバーランエラーなし)であることを・・・」
		439	24.4.3.1 変更
		447	図24.13 「CE」→「SSSRレジスタのCEビット」
		449	表25.1 「転送クロック」 変更
		456	25.2.6 b6、注3 変更
		460	25.2.10 注5 変更
		462、	25.3.1、25.5.1～25.5.3
		477～479	「“1”」→「“1”(マスタモード)」、「“0”」→「“0”(スレーブモード)」
		481	図25.17 変更

改訂記録	R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.02	2011.02.14	488	20. 変更、 注意：「他のグループについて...」→「R8C/LA6Aグループについて...」、 表26.1 注4 変更
		494	26.2.5 b7：機能 変更
		496	26.2.7 注4 追記
		497	26.2.8、 b0～b2、レジスタ説明 変更
		499	26.3.2 「“0” になり、・・・」→「“0” になると同時に、・・・」
		502	「26.3.7 ゲインアンプ」 追記
		503	図26.5、図26.6 「ADDDAEN：ADCON1レジスタのビット」 追記
		512	26.9、表26.9、注1、図26.10 変更
		513	図26.11 変更
		514	26.10 変更
		515、626	26.11.1、31.14.1 「ADiレジスタ」→「ADi (i=0～7)レジスタ」
		523	注意：「他のグループについて...」→「R8C/LA6Aグループについて...」
		535	図28.3 変更
		562	図29.6 「FMRレジスタ」→「FMR0レジスタ」
		573	29.4.10.4 「割り込みでサスペンドリクエスト許可」→「割り込み要求でサスペンドリクエスト許可」
		576	図29.18 「ブロックの先頭番地に“D0h”を書く」→「ブロックの任意の番地に“D0h”を書く」
		577	表29.6 変更
		580	図29.20 変更
		586、631	29.7.1.7、31.16.1.7 「2.7V」→「1.8V」
		590	表30.3 「TSAMP」 変更、表30.4 変更
591	表30.5 追記		
595	表30.13 「測定条件」 変更、表30.14 変更		
598	表30.19 「パワーオフモード」 変更		
600	表30.21 「パワーオフモード」 変更		
1.03	2011.11.11	1	1.1 「データフラッシュ(1KB×2ブロック)」→「データフラッシュ」
		7	表1.7、図1.1 変更
		8	表1.8、図1.2 変更
		21	3、図3.1 変更
		22	図3.2 追記
		83、458	7.5.12、25.2.3 注1 追記
		86	7.5.16 変更
		130	図9.5 タイトル 変更
		131	9.8.1 「また、OCD3ビットは、・・・使用できません。」 追記
		141	表10.3 変更、注2 追記
		143	10.4.2 変更、10.4.3 追記
		145、146	10.4.6、10.4.7 タイトル 追記
		153	10.8.5 変更
		154	10.8.9 変更、図10.8 追記
		158、616	10.9.2、31.2.2 変更

改訂記録	R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.03	2011.11.11	159、617	10.9.3、31.2.3 追記
		282	18.9.5 「•インプットキャプチャ機能・・・“1”になります。」 追記
		332	20.2.2 注5 追記
		377	22.2.3 変更
		378	22.2.4 注1 変更、注2 追記
		420	「22.7.3 U2BRGレジスタ」、「22.7.4 U2TBレジスタ」 追記
		500	26.2.7 注4 修正
		548	表29.1、注4 変更
		551	図29.2 追記
		585、586	表29.7、表29.8 変更
		596、597	表30.7、表30.8 変更
		615	31.1.1 「また、OCD3ビットは、・・・使用できません。」 追記
		626	31.7.5 「•インプットキャプチャ機能・・・“1”になります。」 追記
		631	「31.11.3 U2BRGレジスタ」、「31.11.4 U2TBレジスタ」 追記

---

R8C/LA6Aグループ、R8C/LA8Aグループ ユーザーズマニュアル  
ハードウェア編

発行年月日 2009年9月30日 Rev.0.10  
2011年11月11日 Rev.1.03

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部 1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

R8C/LA6A グループ、R8C/LA8A グループ



ルネサスエレクトロニクス株式会社

R01UH0051JJ0103