User's Manual

16

R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコンピュータ

R8Cファミリ／R8C/Lxシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.01　2011.03

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

   【注意】電源投入時は，製品の状態は不定です。

   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

   【注意】リセット時は、クロックが安定した後、リセットを解除してください。

   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/L35C グループ、R8C/L36C グループ、R8C/L38C グループ、R8C/L3AC グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサスエレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ データシート	RJJ03B0288
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサスエレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2.　数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1)　レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例)　PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2)　数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例)　2進数：11b
16進数：EFA0h
10進数：1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

x.x.x　・・・・レジスタ(シンボル)

アドレス・・・h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	・・・7	・・・6	・・・5	—	—	—	・・・1	・・・0
リセット後の値	0	0	0	0	0	0	0	0

＊1

ビット	シンボル	ビット名	機能	R/W
b0	・・・0	**・・・ビット**	b1 b0 0 0：・・・ 0 1：・・・ 1 0：**設定しないでください** 1 1：・・・	R/W
b1	・・・1			R/W
b2	—	**何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。**		—
b3	—	**予約ビット**	**"0"にしてください。**	W
b4	—			
b5	・・・5	**・・・ビット**	**動作モードによって機能が異なる**	R/W
b6	・・・6			R/W
b7	・・・7	**・・・ビット**	0：・・・ 1：・・・	R

＊2　　＊3

＊1
R/W　：読むとビットの状態が読めます。書くと有効データになります。
R　　：読むとビットの状態が読めます。書いた値は無効になります。
W　　：書くと有効データになります。ビットの状態は読めません。
—　　：何も配置されていないビットです。

＊2
- 予約ビット
  予約ビットです。指定された値にしてください。

＊3
- 何も配置されていない
  該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は"0"を書いてください。
- 設定しないでください
  設定した場合の動作は保証されません。
- 動作モードによって機能が異なる
  周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電気的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	48
0005h	プロセッサモードレジスタ1	PM1	216
0006h	システムクロック制御レジスタ0	CM0	128、147
0007h	システムクロック制御レジスタ1	CM1	129、148
0008h	モジュールスタンバイ制御レジスタ	MSTCR	287、344、360、381、398、413、430、576、608
0009h	システムクロック制御レジスタ3	CM3	130、149
000Ah	プロテクトレジスタ	PRCR	172
000Bh	リセット要因判別レジスタ	RSTFR	48
000Ch	発振停止検出レジスタ	OCD	131、150
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	216
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	216
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	217
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	132
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	217
001Dh			
001Eh			
001Fh			
0020h	パワーオフモード制御レジスタ0	POMCR0	153
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	133、151
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	133
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	134
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	659
0027h			
0028h			
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	135
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	135
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	136
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	136
0030h	電圧監視回路制御レジスタ	CMPA	61
0031h	電圧監視回路エッジ選択レジスタ	VCAC	62
0032h			
0033h	電圧検出レジスタ1	VCA1	62
0034h	電圧検出レジスタ2	VCA2	63、152
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	64
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	65
0039h	電圧監視1回路制御レジスタ	VW1C	66
003Ah	電圧監視2回路制御レジスタ	VW2C	67
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	179
0042h			
0043h	INT7割り込み制御レジスタ	INT7IC	180
0044h	INT6割り込み制御レジスタ	INT6IC	180
0045h	INT5割り込み制御レジスタ	INT5IC	180
0046h	INT4割り込み制御レジスタ	INT4IC	180
0047h	タイマRC割り込み制御レジスタ	TRCIC	179
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	179
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	179
004Ah	タイマRE割り込み制御レジスタ	TREIC	178
004Bh	UART2送信割り込み制御レジスタ	S2TIC	178
004Ch	UART2受信割り込み制御レジスタ	S2RIC	178
004Dh	キー入力割り込み制御レジスタ	KUPIC	178
004Eh	A/D変換割り込み制御レジスタ	ADIC	178
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	179
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	178
0052h	UART0受信割り込み制御レジスタ	S0RIC	178
0053h	UART1送信割り込み制御レジスタ	S1TIC	178
0054h	UART1受信割り込み制御レジスタ	S1RIC	178
0055h	INT2割り込み制御レジスタ	INT2IC	180
0056h	タイマRA割り込み制御レジスタ	TRAIC	178
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	178
0059h	INT1割り込み制御レジスタ	INT1IC	180
005Ah	INT3割り込み制御レジスタ	INT3IC	180
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	180
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	178
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマRG割り込み制御レジスタ	TRGIC	179
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	178
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	178
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載ページ
0080h	DTC起動制御レジスタ	DTCTL	228
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	227
0089h	DTC起動許可レジスタ1	DTCEN1	227
008Ah	DTC起動許可レジスタ2	DTCEN2	227
008Bh	DTC起動許可レジスタ3	DTCEN3	227
008Ch	DTC起動許可レジスタ4	DTCEN4	227
008Dh	DTC起動許可レジスタ5	DTCEN5	227
008Eh	DTC起動許可レジスタ6	DTCEN6	227
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	506
00A1h	UART0ビットレートレジスタ	U0BRG	506
00A2h	UART0送信バッファレジスタ	U0TB	507
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	508
00A5h	UART0送受信制御レジスタ1	U0C1	508
00A6h	UART0受信バッファレジスタ	U0RB	509
00A7h			
00A8h	UART2送受信モードレジスタ	U2MR	529
00A9h	UART2ビットレートレジスタ	U2BRG	529
00AAh	UART2送信バッファレジスタ	U2TB	530
00ABh			
00ACh	UART2送受信制御レジスタ0	U2C0	531
00ADh	UART2送受信制御レジスタ1	U2C1	532
00AEh	UART2受信バッファレジスタ	U2RB	533
00AFh			
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	534
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	534
00BCh	UART2特殊モードレジスタ4	U2SMR4	535
00BDh	UART2特殊モードレジスタ3	U2SMR3	535
00BEh	UART2特殊モードレジスタ2	U2SMR2	536
00BFh	UART2特殊モードレジスタ	U2SMR	536
00C0h	A/D レジスタ0	AD0	660
00C1h			
00C2h	A/D レジスタ1	AD1	660
00C3h			
00C4h	A/D レジスタ2	AD2	660
00C5h			
00C6h	A/D レジスタ3	AD3	660
00C7h			
00C8h	A/D レジスタ4	AD4	660
00C9h			
00CAh	A/D レジスタ5	AD5	660
00CBh			
00CCh	A/D レジスタ6	AD6	660
00CDh			
00CEh	A/D レジスタ7	AD7	660
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D モードレジスタ	ADMOD	661
00D5h	A/D 入力選択レジスタ	ADINSEL	662
00D6h	A/D制御レジスタ0	ADCON0	663
00D7h	A/D制御レジスタ1	ADCON1	664
00D8h	D/A0 レジスタ	DA0	683
00D9h	D/A1 レジスタ	DA1	683
00DAh			
00DBh			
00DCh	D/A制御レジスタ	DACON	683
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	84
00E1h	ポートP1レジスタ	P1	84
00E2h	ポートP0方向レジスタ	PD0	83
00E3h	ポートP1方向レジスタ	PD1	83
00E4h	ポートP2レジスタ	P2	84
00E5h	ポートP3レジスタ	P3	84
00E6h	ポートP2方向レジスタ	PD2	83
00E7h	ポートP3方向レジスタ	PD3	83
00E8h	ポートP4レジスタ	P4	84
00E9h	ポートP5レジスタ	P5	84
00EAh	ポートP4方向レジスタ	PD4	83
00EBh	ポートP5方向レジスタ	PD5	83
00ECh	ポートP6レジスタ	P6	84
00EDh	ポートP7レジスタ	P7	84
00EEh	ポートP6方向レジスタ	PD6	83
00EFh	ポートP7方向レジスタ	PD7	83
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP10レジスタ	P10	84
00F5h	ポートP11レジスタ	P11	84
00F6h	ポートP10方向レジスタ	PD10	83
00F7h	ポートP11方向レジスタ	PD11	83
00F8h	ポートP12レジスタ	P12	84
00F9h	ポートP13レジスタ	P13	84
00FAh	ポートP12方向レジスタ	PD12	83
00FBh	ポートP13方向レジスタ	PD13	83
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0100h	タイマRA制御レジスタ	TRACR	248
0101h	タイマRA I/O制御レジスタ	TRAIOC	248、251、254、256、258、261
0102h	タイマRAモードレジスタ	TRAMR	249
0103h	タイマRAプリスケーラレジスタ	TRAPRE	249
0104h	タイマRAレジスタ	TRA	250
0105h	LINコントロールレジスタ2	LINCR2	644
0106h	LINコントロールレジスタ	LINCR	645
0107h	LINステータスレジスタ	LINST	645
0108h	タイマRB制御レジスタ	TRBCR	265
0109h	タイマRBワンショット制御レジスタ	TRBOCR	265
010Ah	タイマRB I/O制御レジスタ	TRBIOC	266、269、273、276、280
010Bh	タイマRBモードレジスタ	TRBMR	266
010Ch	タイマRBプリスケーラレジスタ	TRBPRE	267
010Dh	タイマRBセカンダリレジスタ	TRBSC	267
010Eh	タイマRBプライマリレジスタ	TRBPR	268
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/タイマREカウンタデータレジスタ	TRESEC	457、464
0119h	タイマRE分データレジスタ/タイマREコンペアデータレジスタ	TREMIN	457、464
011Ah	タイマRE時データレジスタ	TREHR	458
011Bh	タイマRE曜日データレジスタ	TREWK	458
011Ch	タイマRE制御レジスタ1	TRECR1	459、465
011Dh	タイマRE制御レジスタ2	TRECR2	460、465
011Eh	タイマREカウントソース選択レジスタ	TRECSR	461、466
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	288
0121h	タイマRC制御レジスタ1	TRCCR1	289、311、320、326
0122h	タイマRC割り込み許可レジスタ	TRCIER	289
0123h	タイマRCステータスレジスタ	TRCSR	290
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	291、306、312
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	291、307、313
0126h	タイマRCカウンタ	TRC	292
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	292
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	292
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	292
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	292
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0130h	タイマRC制御レジスタ2	TRCCR2	293、314、321、327
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	293、327
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	294
0133h	タイマRCトリガ制御レジスタ	TRCADCR	294
0134h			
0135h	タイマRD 拡張制御レジスタ	TRDECR	344、361、382、399、413、430
0136h	タイマRD トリガ制御レジスタ	TRDADCR	361、382、399、414、431
0137h	タイマRDスタートレジスタ	TRDSTR	345、362、383、400、415、432
0138h	タイマRDモードレジスタ	TRDMR	345、363、383、400、415、432
0139h	タイマRD PWMモードレジスタ	TRDPMR	346、363、384
013Ah	タイマRD機能制御レジスタ	TRDFCR	346、364、384、401、416、433
013Bh	タイマRD アウトプットマスタ許可レジスタ1	TRDOER1	365、385、402、417、434
013Ch	タイマRD アウトプットマスタ許可レジスタ2	TRDOER2	365、385、402、417、434
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	366、386、435
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	347
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	347
0140h	タイマRD制御レジスタ0	TRDCR0	348、367、386、403、418、436
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	349、368
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	350、369
0143h	タイマRDステータスレジスタ0	TRDSR0	351、370、387、404、419、437
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	352、371、388、405、420、438
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	388
0146h	タイマRDカウンタ0	TRD0	352、371、389、405、420、438
0147h			
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	353、372、390、406、421、439
0149h			
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	353、372、390、406、421、439
014Bh			
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	353、372、390、406、439
014Dh			
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	353、372、390、406、421、439
014Fh			
0150h	タイマRD制御レジスタ1	TRDCR1	348、367、386、418
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	349、368
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	350、369
0153h	タイマRDステータスレジスタ1	TRDSR1	351、370、387、404、419、437
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	352、371、388、405、420、438
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	388
0156h	タイマRDカウンタ1	TRD1	352、371、389、421
0157h			
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	353、372、390、406、421、439
0159h			
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	353、372、390、406、421、439
015Bh			
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	353、372、390、406、421、439
015Dh			
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	353、372、390、406、421、439
015Fh			

番地	レジスタ	シンボル	掲載ページ
0160h	UART1送受信モードレジスタ	U1MR	506
0161h	UART1ビットレートレジスタ	U1BRG	506
0162h	UART1送信バッファレジスタ	U1TB	507
0163h			
0164h	UART1送受信制御レジスタ0	U1C0	508
0165h	UART1送受信制御レジスタ1	U1C1	508
0166h	UART1受信バッファレジスタ	U1RB	509
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマRGモードレジスタ	TRGMR	473
0171h	タイマRGカウント制御レジスタ	TRGCNTC	474
0172h	タイマRG制御レジスタ	TRGCR	475、499
0173h	タイマRG割り込み許可レジスタ	TRGIER	476
0174h	タイマRGステータスレジスタ	TRGSR	477
0175h	タイマRGI/O制御レジスタ	TRGIOR	478、487、491
0176h	タイマRGカウンタ	TRG	479
0177h			
0178h	タイマRGジェネラルレジスタA	TRGGRA	480
0179h			
017Ah	タイマRGジェネラルレジスタB	TRGGRB	480
017Bh			
017Ch	タイマRGジェネラルレジスタC	TRGGRC	480
017Dh			
017Eh	タイマRGジェネラルレジスタD	TRGGRD	480
017Fh			
0180h	タイマRA端子選択レジスタ	TRASR	85、250
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	86、268、295
0182h	タイマRC端子選択レジスタ0	TRCPSR0	87、296
0183h	タイマRC端子選択レジスタ1	TRCPSR1	88、297
0184h	タイマRD端子選択レジスタ0	TRDPSR0	89、354、373、391、407、423、441
0185h	タイマRD端子選択レジスタ1	TRDPSR1	90、355、374、392、408、424、442
0186h			
0187h	タイマRG端子選択レジスタ	TRGPSR	91、481
0188h	UART0端子選択レジスタ	U0SR	91、510
0189h	UART1端子選択レジスタ	U1SR	92、511
018Ah	UART2端子選択レジスタ0	U2SR0	93、537
018Bh	UART2端子選択レジスタ1	U2SR1	94、538
018Ch	SSU/IIC端子選択レジスタ	SSUIICSR	95、577、608
018Dh	キー入力端子選択レジスタ	KISR	96、196
018Eh	INT割り込み入力端子選択レジスタ	INTSR	97、189
018Fh	入出力機能端子選択レジスタ	PINSR	98、609

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	578
0194h	SS送信データレジスタL/IICバス送信データレジスタ	SSTDR/ICDRT	578、610
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL/IICバス受信データレジスタ	SSRDR/ICDRR	579、610
0197h	SS受信データレジスタH	SSRDRH	
0198h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH/ICCR1	579、611
0199h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL/ICCR2	580、612
019Ah	SSモードレジスタ/IICバスモードレジスタ	SSMR/ICMR	581、613
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ	SSER/ICIER	582、614
019Ch	SSステータスレジスタ/IICバスステータスレジスタ	SSSR/ICSR	583、615
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ	SSMR2/SAR	584、616
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	726
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	729
01B5h	フラッシュメモリ制御レジスタ1	FMR1	732
01B6h	フラッシュメモリ制御レジスタ2	FMR2	734
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	200
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	200
01C4h	アドレス一致割り込みレジスタ1	RMAD1	200
01C5h			
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	200
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			

番地	レジスタ	シンボル	掲載ページ
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ポートP0プルアップ制御レジスタ	P0PUR	99
01E1h	ポートP1プルアップ制御レジスタ	P1PUR	99
01E2h	ポートP2プルアップ制御レジスタ	P2PUR	99
01E3h	ポートP3プルアップ制御レジスタ	P3PUR	99
01E4h	ポートP4プルアップ制御レジスタ	P4PUR	99
01E5h	ポートP5プルアップ制御レジスタ	P5PUR	99
01E6h	ポートP6プルアップ制御レジスタ	P6PUR	99
01E7h	ポートP7プルアップ制御レジスタ	P7PUR	99
01E8h			
01E9h			
01EAh	ポートP10プルアップ制御レジスタ	P10PUR	99
01EBh	ポートP11プルアップ制御レジスタ	P11PUR	99
01ECh	ポートP12プルアップ制御レジスタ	P12PUR	99
01EDh	ポートP13プルアップ制御レジスタ	P13PUR	99
01EEh			
01EFh			
01F0h	ポートP10駆動能力制御レジスタ	P10DRR	100
01F1h	ポートP11駆動能力制御レジスタ	P11DRR	100
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	101
01F6h	入力しきい値制御レジスタ1	VLT1	102
01F7h	入力しきい値制御レジスタ2	VLT2	103
01F8h	コンパレータB制御レジスタ0	INTCMP	686
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	190、686
01FBh	外部入力許可レジスタ1	INTEN1	191
01FCh	INT入力フィルタ選択レジスタ0	INTF	192、687
01FDh	INT入力フィルタ選択レジスタ1	INTF1	192
01FEh	キー入力許可レジスタ0	KIEN	197
01FFh	キー入力許可レジスタ1	KIEN1	198

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0200h	LCD制御レジスタ	LCR0	694
0201h	LCDバイアス制御レジスタ	LCR1	695
0202h	LCD表示制御レジスタ	LCR2	696
0203h	LCDクロック制御レジスタ	LCR3	696
0204h			
0205h			
0206h	LCDポート選択レジスタ0	LSE0	697
0207h	LCDポート選択レジスタ1	LSE1	697
0208h	LCDポート選択レジスタ2	LSE2	698
0209h	LCDポート選択レジスタ3	LSE3	698
020Ah	LCDポート選択レジスタ4	LSE4	699
020Bh	LCDポート選択レジスタ5	LSE5	699
020Ch	LCDポート選択レジスタ6	LSE6	700
020Dh	LCDポート選択レジスタ7	LSE7	700
020Eh			
020Fh			
0210h	LCD表示データレジスタ	LRA0L	701
0211h		LRA1L	701
0212h		LRA2L	701
0213h		LRA3L	701
0214h		LRA4L	701
0215h		LRA5L	701
0216h		LRA6L	701
0217h		LRA7L	701
0218h		LRA8L	701
0219h		LRA9L	701
021Ah		LRA10L	701
021Bh		LRA11L	701
021Ch		LRA12L	701
021Dh		LRA13L	701
021Eh		LRA14L	701
021Fh		LRA15L	701
0220h		LRA16L	701
0221h		LRA17L	701
0222h		LRA18L	701
0223h		LRA19L	701
0224h		LRA20L	701
0225h		LRA21L	701
0226h		LRA22L	701
0227h		LRA23L	701
0228h		LRA24L	701
0229h		LRA25L	701
022Ah		LRA26L	701
022Bh		LRA27L	701
022Ch		LRA28L	701
022Dh		LRA29L	701
022Eh		LRA30L	701
022Fh		LRA31L	701
0230h		LRA32L	701
0231h		LRA33L	701
0232h		LRA34L	701
0233h		LRA35L	701
0234h		LRA36L	701
0235h		LRA37L	701
0236h		LRA38L	701
0237h		LRA39L	701
0238h		LRA40L	701
0239h		LRA41L	701
023Ah		LRA42L	701
023Bh		LRA43L	701
023Ch		LRA44L	701
023Dh		LRA45L	701
023Eh		LRA46L	701
023Fh		LRA47L	701

番地	レジスタ	シンボル	掲載ページ
0240h	LCD表示データレジスタ	LRA48L	701
0241h		LRA49L	701
0242h		LRA50L	701
0243h		LRA51L	701
0244h		LRA52L	701
0245h		LRA53L	701
0246h		LRA54L	701
0247h		LRA55L	701
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h			
0265h			
0266h			
0267h			
0268h			
0269h			
026Ah			
026Bh			
026Ch			
026Dh			
026Eh			
026Fh			
0270h	LCD表示制御データレジスタ	LRA0H	702
0271h		LRA1H	702
0272h		LRA2H	702
0273h		LRA3H	702
0274h		LRA4H	702
0275h		LRA5H	702
0276h		LRA6H	702
0277h		LRA7H	702
0278h		LRA8H	702
0279h		LRA9H	702
027Ah		LRA10H	702
027Bh		LRA11H	702
027Ch		LRA12H	702
027Dh		LRA13H	702
027Eh		LRA14H	702
027Fh		LRA15H	702

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0280h	LCD表示制御データレジスタ	LRA16H	702
0281h		LRA17H	702
0282h		LRA18H	702
0283h		LRA19H	702
0284h		LRA20H	702
0285h		LRA21H	702
0286h		LRA22H	702
0287h		LRA23H	702
0288h		LRA24H	702
0289h		LRA25H	702
028Ah		LRA26H	702
028Bh		LRA27H	702
028Ch		LRA28H	702
028Dh		LRA29H	702
028Eh		LRA30H	702
028Fh		LRA31H	702
0290h		LRA32H	702
0291h		LRA33H	702
0292h		LRA34H	702
0293h		LRA35H	702
0294h		LRA36H	702
0295h		LRA37H	702
0296h		LRA38H	702
0297h		LRA39H	702
0298h		LRA40H	702
0299h		LRA41H	702
029Ah		LRA42H	702
029Bh		LRA43H	702
029Ch		LRA44H	702
029Dh		LRA45H	702
029Eh		LRA46H	702
029Fh		LRA47H	702
02A0h		LRA48H	702
02A1h		LRA49H	702
02A2h		LRA50H	702
02A3h		LRA51H	702
02A4h		LRA52H	702
02A5h		LRA53H	702
02A6h		LRA54H	702
02A7h		LRA55H	702
02A8h			
02A9h			
02AAh			
02ABh			
02ACh			
02ADh			
02AEh			
02AFh			
02B0h			
02B1h			
02B2h			
02B3h			
02B4h			
02B5h			
02B6h			
02B7h			
02B8h			
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh			

番地	レジスタ	シンボル	掲載ページ
02C0h			
02C1h			
02C2h			
02C3h			
02C4h			
02C5h			
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh			
02CDh			
02CEh			
02CFh			
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh			

注1.　空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2C00h	DTC転送ベクタ領域		
2C01h	DTC 転送ベクタ領域		
2C02h	DTC転送ベクタ領域		
2C03h	DTC 転送ベクタ領域		
2C04h	DTC転送ベクタ領域		
2C05h	DTC 転送ベクタ領域		
2C06h	DTC転送ベクタ領域		
2C07h	DTC 転送ベクタ領域		
2C08h	DTC 転送ベクタ領域		
2C09h	DTC転送ベクタ領域		
2C0Ah	DTC 転送ベクタ領域		
:	DTC 転送ベクタ領域		
:	DTC 転送ベクタ領域		
2C3Ah	DTC転送ベクタ領域		
2C3Bh	DTC 転送ベクタ領域		
2C3Ch	DTC転送ベクタ領域		
2C3Dh	DTC 転送ベクタ領域		
2C3Eh	DTC転送ベクタ領域		
2C3Fh	DTC 転送ベクタ領域		
2C40h	DTC コントロールデータ 0	DTCD0	
2C41h			
2C42h			
2C43h			
2C44h			
2C45h			
2C46h			
2C47h			
2C48h	DTC コントロールデータ 1	DTCD1	
2C49h			
2C4Ah			
2C4Bh			
2C4Ch			
2C4Dh			
2C4Eh			
2C4Fh			
2C50h	DTCコントロールデータ2	DTCD2	
2C51h			
2C52h			
2C53h			
2C54h			
2C55h			
2C56h			
2C57h			
2C58h	DTCコントロールデータ3	DTCD3	
2C59h			
2C5Ah			
2C5Bh			
2C5Ch			
2C5Dh			
2C5Eh			
2C5Fh			
2C60h	DTCコントロールデータ4	DTCD4	
2C61h			
2C62h			
2C63h			
2C64h			
2C65h			
2C66h			
2C67h			
2C68h	DTCコントロールデータ5	DTCD5	
2C69h			
2C6Ah			
2C6Bh			
2C6Ch			
2C6Dh			
2C6Eh			
2C6Fh			

番地	レジスタ	シンボル	掲載ページ
2C70h	DTC コントロールデータ 6	DTCD6	
2C71h			
2C72h			
2C73h			
2C74h			
2C75h			
2C76h			
2C77h			
2C78h	DTC コントロールデータ 7	DTCD7	
2C79h			
2C7Ah			
2C7Bh			
2C7Ch			
2C7Dh			
2C7Eh			
2C7Fh			
2C80h	DTC コントロールデータ 8	DTCD8	
2C81h			
2C82h			
2C83h			
2C84h			
2C85h			
2C86h			
2C87h			
2C88h	DTC コントロールデータ 9	DTCD9	
2C89h			
2C8Ah			
2C8Bh			
2C8Ch			
2C8Dh			
2C8Eh			
2C8Fh			
2C90h	DTC コントロールデータ 10	DTCD10	
2C91h			
2C92h			
2C93h			
2C94h			
2C95h			
2C96h			
2C97h			
2C98h	DTC コントロールデータ 11	DTCD11	
2C99h			
2C9Ah			
2C9Bh			
2C9Ch			
2C9Dh			
2C9Eh			
2C9Fh			
2CA0h	DTC コントロールデータ 12	DTCD12	
2CA1h			
2CA2h			
2CA3h			
2CA4h			
2CA5h			
2CA6h			
2CA7h			
2CA8h	DTC コントロールデータ 13	DTCD13	
2CA9h			
2CAAh			
2CABh			
2CACh			
2CADh			
2CAEh			
2CAFh			

番地	レジスタ	シンボル	掲載ページ
2CB0h	DTC コントロールデータ 14	DTCD14	
2CB1h			
2CB2h			
2CB3h			
2CB4h			
2CB5h			
2CB6h			
2CB7h			
2CB8h	DTC コントロールデータ 15	DTCD15	
2CB9h			
2CBAh			
2CBBh			
2CBCh			
2CBDh			
2CBEh			
2CBFh			
2CC0h	DTC コントロールデータ 16	DTCD16	
2CC1h			
2CC2h			
2CC3h			
2CC4h			
2CC5h			
2CC6h			
2CC7h			
2CC8h	DTC コントロールデータ 17	DTCD17	
2CC9h			
2CCAh			
2CCBh			
2CCCh			
2CCDh			
2CCEh			
2CCFh			
2CD0h	DTC コントロールデータ 18	DTCD18	
2CD1h			
2CD2h			
2CD3h			
2CD4h			
2CD5h			
2CD6h			
2CD7h			
2CD8h	DTC コントロールデータ 19	DTCD19	
2CD9h			
2CDAh			
2CDBh			
2CDCh			
2CDDh			
2CDEh			
2CDFh			
2CE0h	DTC コントロールデータ 20	DTCD20	
2CE1h			
2CE2h			
2CE3h			
2CE4h			
2CE5h			
2CE6h			
2CE7h			
2CE8h	DTC コントロールデータ 21	DTCD21	
2CE9h			
2CEAh			
2CEBh			
2CECh			
2CEDh			
2CEEh			
2CEFh			

注1.　空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2CF0h	DTCコントロールデータ22	DTCD22	
2CF1h			
2CF2h			
2CF3h			
2CF4h			
2CF5h			
2CF6h			
2CF7h			
2CF8h	DTCコントロールデータ23	DTCD23	
2CF9h			
2CFAh			
2CFBh			
2CFCh			
2CFDh			
2CFEh			
2CFFh			
2D00h			
2D01h			
:			
0FFDBh	オプション機能選択レジスタ2	OFS2	50、212、219
:			
0FFFFh	オプション機能選択レジスタ	OFS	49、68、211、218、724

注1. 空欄は予約領域です。アクセスしないでください。

R01UH0151JJ0101
Rev.1.01
2011.03.31

1. 概要

1.1 特長

R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループの計4グループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

各グループともBGO(バックグランドオペレーション)機能付データフラッシュ(1KB×4ブロック)を内蔵します。

1.1.1 応用

家電、事務機器、オーディオ、民生機器、他

1.1.2 グループごとの相違点

表1.1にグループごとの相違点を、表1.2にグループごとに備えるプログラマブル入出力ポートを、表1.3にグループごとに備えるLCD表示機能端子を示します。

各グループのピン配置図は、図1.9～図1.13に、各製品については、表1.7～表1.10に示します。

なお、次章以降の説明ではR8C/L3ACグループについて説明しますので、以上の相違点に留意ください。

表1.1 グループごとの相違点

分類	機能	R8C/L35Cグループ	R8C/L36Cグループ	R8C/L38Cグループ	R8C/L3ACグループ
I/Oポート	プログラマブル入出力ポート	41本	52本	68本	88本
	大電流駆動ポート	5本	8本	8本	16本
割り込み	$\overline{\mathrm{INT}}$割り込み入力端子	5本	8本	8本	8本
	キー入力割り込み端子	4本	4本	8本	8本
タイマRA	タイマRA出力端子	なし	1本	1本	1本
タイマRB	タイマRB出力端子	なし	1本	1本	1本
タイマRD	タイマRD出力端子	なし	なし	8本	8本
タイマRE	タイマRE出力端子	なし	1本	1本	1本
タイマRG	タイマRG入出力端子	なし	なし	なし	2本
	タイマRG出力端子	なし	なし	なし	2本
A/Dコンバータ	アナログ入力端子	10本	10本	16本	20本
LCD駆動制御回路	LCD電源	3本 (VL1、VL2、VL4)	4本(VL1～VL4)	4本(VL1～VL4)	4本(VL1～VL4)
	コモン出力端子	最大4本	最大8本	最大8本	最大8本
	セグメント出力端子	最大24本	最大32本	最大48本	最大56本
パッケージ		52ピンLQFP	64ピンLQFP	80ピンLQFP	100ピンLQFP/ 100ピンQFP

注1. I/Oポートは割り込みやタイマなどの入出力機能を兼用しています。
詳細については、表1.11～表1.13ピン番号別端子名一覧を参照してください。

表1.2　グループごとに備えるプログラマブル入出力ポート

プログラマブル入出力ポート	R8C/L35Cグループ I/O合計41本								R8C/L36Cグループ I/O合計52本								R8C/L38Cグループ I/O合計68本								R8C/L3ACグループ I/O合計88本							
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○
P2	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P3	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P4	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
P6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P7	○	○	○	○	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
P11	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P12	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○
P13	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○

注1. “○”が搭載するプログラマブル入出力ポートです。
注2. “—”は以下のように設定してください。
- PDi (i = 1〜3、5〜7、10〜13) レジスタの対応するビットに“1”を書いてください。
- Pi (i = 1〜3、5〜7、10〜13) レジスタの対応するビットに“0”を書いてください。
- P10DRR、P11DRR レジスタの対応するビットに“0”を書いてください。

表1.3　グループごとに備えるLCD表示機能端子

兼用 I/Oポート	L35Cグループ コモン出力：最大4本 セグメント出力：最大24本								L36Cグループ コモン出力：最大8本 セグメント出力：最大32本								L38Cグループ コモン出力：最大8本 セグメント出力：最大48本								L3ACグループ コモン出力：最大8本 セグメント出力：最大56本							
P0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
P1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG11	SEG10	SEG9	SEG8	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
P2	SEG23	SEG22	SEG21	SEG20	—	—	—	—	SEG23	SEG22	SEG21	SEG20	—	—	—	—	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
P3	—	—	—	—	SEG27	SEG26	SEG25	SEG24	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
P4	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
P5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG43	SEG42	SEG41	SEG40
P6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG51	SEG50	SEG49	SEG48	SEG47	SEG46	SEG45	SEG44	SEG51	SEG50	SEG49	SEG48	SEG47	SEG46	SEG45	SEG44
P7	COM0	COM1	COM2	COM3	—	—	—	—	COM0	COM1	COM2	COM3	SEG55	SEG54	SEG53	SEG52	COM0	COM1	COM2	COM3	SEG55	SEG54	SEG53	SEG52	COM0	COM1	COM2	COM3	SEG55	SEG54	SEG53	SEG52
P12	—	—	—	—	CL2	CL1	—	—	—	—	—	—	CL2	CL1	—	—	—	—	—	—	CL2	CL1	—	—	—	—	—	—	CL2	CL1	—	—
—	VL1								VL1								VL1								VL1							
—	VL2								VL2								VL2								VL2							
—	—								VL3								VL3								VL3							
—	VL4								VL4								VL4								VL4							

注1. “—”はLCD表示機能はありません。これらの端子は、LSE1〜LSE3、LSE5〜LSE7レジスタの対応するビットを“0”にしてください。
注2. SEG52〜SEG55はCOM7〜COM4として使用可。
R8C/L35CグループにはSEG52〜SEG55端子はありません。このため、1/8デューティは選択できません。
注3. R8C/L35CグループにはVL3端子はありません。このため、1/4バイアスは選択できません。また、内部昇圧回路を使用する場合は、1/2バイアスも選択できません。

1.1.3 仕様概要

表1.4～表1.6に仕様概要を示します。

表1.4 仕様概要(1)

分類	機能		説明
CPU	中央演算処理装置		R8C CPUコア ・基本命令数：89命令 ・最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7V~5.5V) 200ns (f(XIN)=5MHz、VCC=1.8V~5.5V) ・乗算器：16ビット×16ビット→32ビット ・積和演算命令：16ビット×16ビット＋32ビット→32ビット ・動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM/RAM データフラッシュ		表 1.7～表 1.10 製品一覧を参照してください
電圧検出	電圧検出回路		・パワーオンリセット ・電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	R8C/L35Cグループ	・CMOS入出力: 41、プルアップ抵抗選択可能 ・大電流駆動ポート：5
		R8C/L36Cグループ	・CMOS入出力: 52、プルアップ抵抗選択可能 ・大電流駆動ポート：8
		R8C/L38Cグループ	・CMOS入出力: 68、プルアップ抵抗選択可能 ・大電流駆動ポート：8
		R8C/L3ACグループ	・CMOS入出力: 88、プルアップ抵抗選択可能 ・大電流駆動ポート：16
クロック	クロック発生回路		・4回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ ・発振停止検出：XINクロック発振停止検出機能 ・周波数分周回路：1、2、4、8、16分周選択 ・低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、 ウェイトモード、 ストップモード、パワーオフモード
			リアルタイムクロック(タイマRE)あり
割り込み		R8C/L35Cグループ	・割り込みベクタ数：69 ・外部割込み入力：9 (INT×5、キー入力×4) ・割り込み優先レベル：7レベル
		R8C/L36Cグループ	・割り込みベクタ数：69 ・外部割込み入力：12 (INT×8、キー入力×4) ・割り込み優先レベル：7レベル
		R8C/L38Cグループ	・割り込みベクタ数：69 ・外部割込み入力：16 (INT×8、キー入力×8) ・割り込み優先レベル：7レベル
		R8C/L3ACグループ	・割り込みベクタ数：69 ・外部割込み入力：16 (INT×8、キー入力×8) ・割り込み優先レベル：7レベル
ウォッチドッグタイマ			・14ビット×1 (プリスケーラ付) ・リセットスタート機能選択可能 ・ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファコントローラ)			・1チャネル ・起動要因：38 ・転送モード：2 (ノーマルモード、リピートモード)

表1.5　仕様概要(2)

<table>
<tr><th>分類</th><th>機能</th><th colspan="2">説明</th></tr>
<tr><td rowspan="6">タイマ</td><td>タイマRA</td><td colspan="2">8ビット×1 (8ビットプリスケーラ付)
タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード</td></tr>
<tr><td>タイマRB</td><td colspan="2">8ビット×1 (8ビットプリスケーラ付)
タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード</td></tr>
<tr><td>タイマRC</td><td colspan="2">16ビット×1 (キャプチャ/コンペアレジスタ4本付)
タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)</td></tr>
<tr><td>タイマRD</td><td colspan="2">16ビット(キャプチャ/コンペアレジスタ4本付)×2
タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)</td></tr>
<tr><td>タイマRE</td><td colspan="2">8ビット×1
リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード</td></tr>
<tr><td>タイマRG</td><td colspan="2">16ビット×1
位相計数モード、タイマモード(アウトプットコンペア機能、インプットキャプチャ機能)、PWMモード(出力1本)</td></tr>
<tr><td rowspan="2">シリアルインタフェース</td><td>UART0、UART1</td><td colspan="2">クロック同期形シリアルI/O／非同期形シリアルI/O兼用×2チャネル</td></tr>
<tr><td>UART2</td><td colspan="2">クロック同期形シリアルI/O／非同期形シリアルI/O兼用、I^{2}Cモード(I^{2}Cバス)、マルチプロセッサ通信機能</td></tr>
<tr><td colspan="2">シンクロナスシリアルコミュニケーションユニット(SSU)</td><td colspan="2">1 (I^{2}Cバスインタフェースと兼用)</td></tr>
<tr><td colspan="2">I^{2}Cバス</td><td colspan="2">1(SSUと兼用)</td></tr>
<tr><td colspan="2">LINモジュール</td><td colspan="2">ハードウェアLIN：1チャネル(タイマRA、UART0を使用)</td></tr>
<tr><td rowspan="4">A/Dコンバータ</td><td>R8C/L35Cグループ</td><td colspan="2">分解能10ビット×10チャネル、サンプル&ホールドあり、掃引モードあり</td></tr>
<tr><td>R8C/L36Cグループ</td><td colspan="2">分解能10ビット×10チャネル、サンプル&ホールドあり、掃引モードあり</td></tr>
<tr><td>R8C/L38Cグループ</td><td colspan="2">分解能10ビット×16チャネル、サンプル&ホールドあり、掃引モードあり</td></tr>
<tr><td>R8C/L3ACグループ</td><td colspan="2">分解能10ビット×20チャネル、サンプル&ホールドあり、掃引モードあり</td></tr>
<tr><td colspan="2">D/Aコンバータ</td><td colspan="2">分解能8ビット×2回路</td></tr>
<tr><td colspan="2">コンパレータB</td><td colspan="2">2回路</td></tr>
<tr><td rowspan="5">LCD駆動制御回路</td><td>R8C/L35Cグループ</td><td>・コモン出力：最大4本
・セグメント出力：最大24本</td><td>・バイアス：1/2、1/3
・デューティ：スタティック、1/2、1/3、1/4</td></tr>
<tr><td>R8C/L36Cグループ</td><td>・コモン出力：最大8本
・セグメント出力：最大32本(注1)</td><td rowspan="3">・バイアス：1/2、1/3、1/4
・デューティ：スタティック、1/2、1/3、1/4、1/8</td></tr>
<tr><td>R8C/L38Cグループ</td><td>・コモン出力：最大8本
・セグメント出力：最大48本(注1)</td></tr>
<tr><td>R8C/L3ACグループ</td><td>・コモン出力：最大8本
・セグメント出力：最大56本(注1)</td></tr>
<tr><td></td><td colspan="2">昇圧回路内蔵、昇圧回路用レギュレータ内蔵</td></tr>
</table>

注1. コモン出力4本選択のとき

表1.6 仕様概要(3)

分類	説明
フラッシュメモリ	• プログラム、イレーズ電圧：VCC=2.7V～5.5V • プログラム、イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) • プログラムセキュリティ：ROMコードプロテクト、IDコードチェック • オンチップデバッグ機能 • オンボードフラッシュ書き換え機能 • BGO (バックグラウンドオペレーション)機能
動作周波数/電源電圧	f(XIN)=20MHz (VCC=2.7~5.5V) f(XIN)=5MHz (VCC=1.8~5.5V)
消費電流	標準7 mA (VCC=5V、f(XIN)=20MHz) 標準3.6 mA (VCC=3V、f(XIN)=10MHz) 標準3.5 µA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準2 µA (VCC=3V、ストップモード) 標準0.02 µA (VCC=3V、パワーオフモード)
動作周囲温度	–20℃～85℃ (Nバージョン) –40℃～85℃ (Dバージョン) (注1)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2　製品一覧

表 1.7～表 1.10 に各グループの製品一覧表、図1.1～図1.4に各グループの型名とメモリサイズ・パッケージを示します。

表 1.7　R8C/L35Cグループの製品一覧表　2011年3月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L357CNFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0052JA-A	Nバージョン
R5F2L358CNFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0052JA-A	
R5F2L35ACNFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L35CCNFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L357CDFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0052JA-A	Dバージョン
R5F2L358CDFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0052JA-A	
R5F2L35ACDFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L35CCDFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	

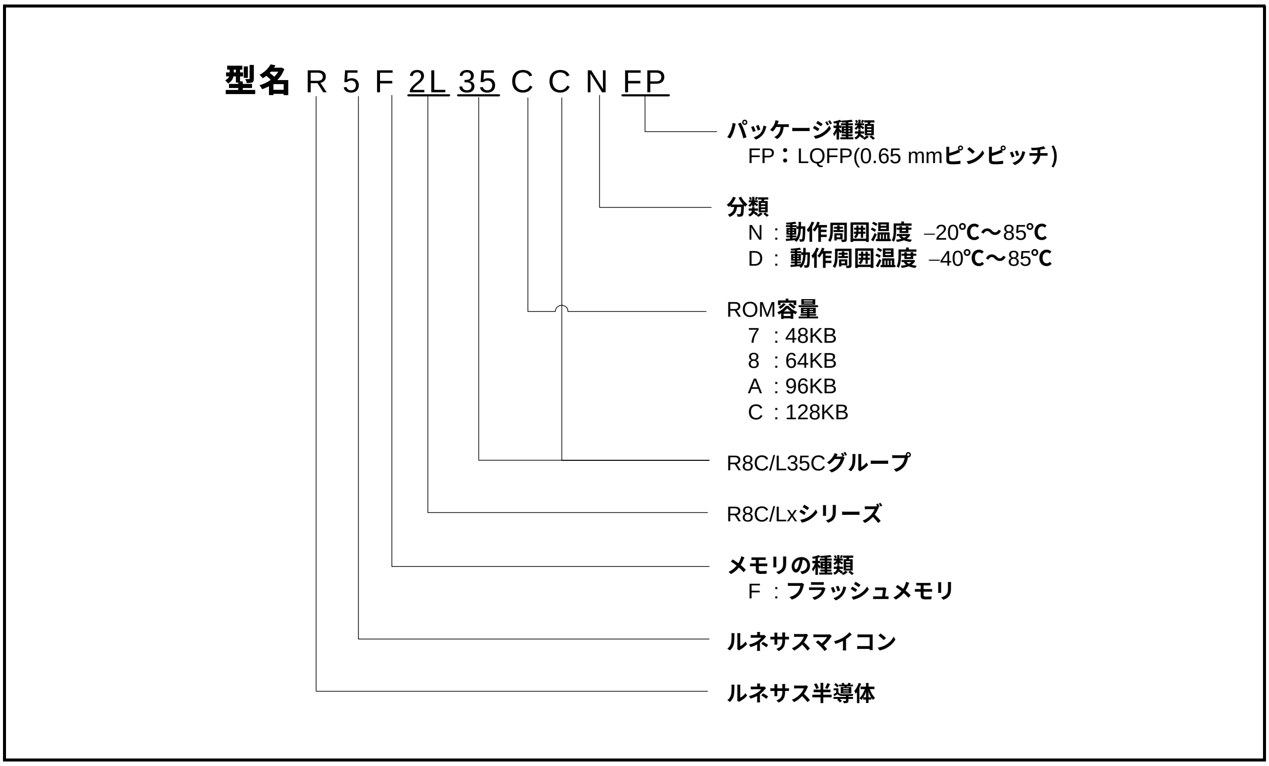


図1.1　R8C/L35Cグループの型名とメモリサイズ・パッケージ

表 1.8　R8C/L36Cグループの製品一覧表　2011年3月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L367CNFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A	Nバージョン
R5F2L367CNFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A	
R5F2L368CNFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A	
R5F2L368CNFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A	
R5F2L36ACNFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36ACNFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L36CCNFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36CCNFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L367CDFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A	Dバージョン
R5F2L367CDFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A	
R5F2L368CDFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A	
R5F2L368CDFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A	
R5F2L36ACDFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36ACDFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L36CCDFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36CCDFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	

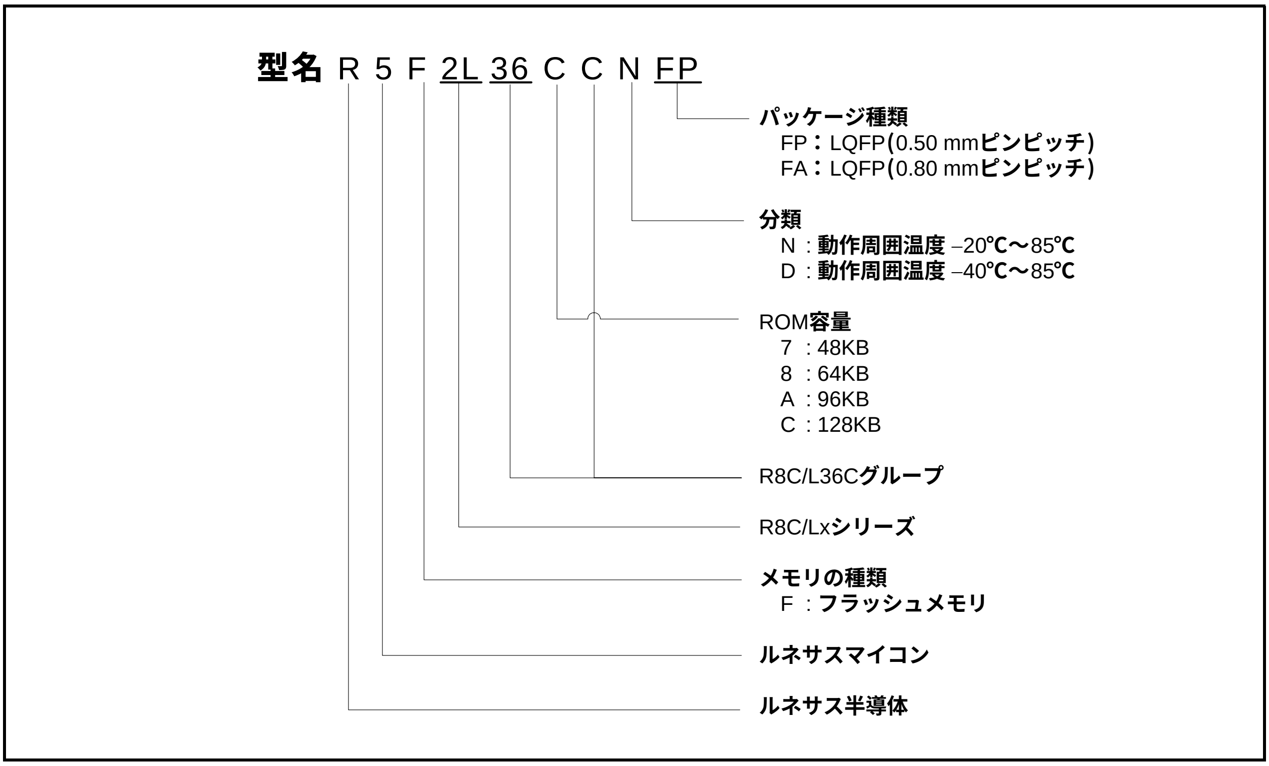


図1.2　R8C/L36Cグループの型名とメモリサイズ・パッケージ

表 1.9 R8C/L38Cグループの製品一覧表 2011年3月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L387CNFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	Nバージョン
R5F2L387CNFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080JA-A	
R5F2L388CNFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2L388CNFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080JA-A	
R5F2L38ACNFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38ACNFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L38CCNFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38CCNFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L387CDFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	Dバージョン
R5F2L387CDFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080JA-A	
R5F2L388CDFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2L388CDFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080JA-A	
R5F2L38ACDFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38ACDFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L38CCDFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38CCDFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	

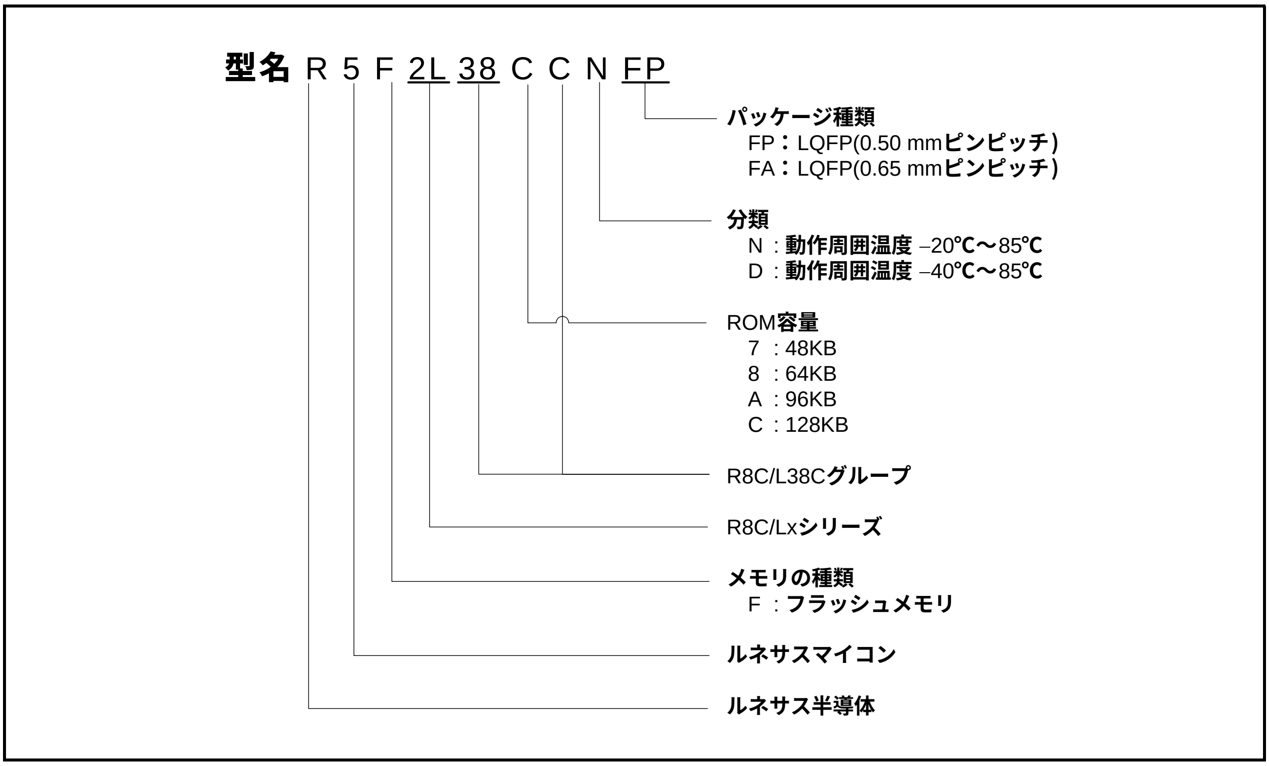


図1.3 R8C/L38Cグループの型名とメモリサイズ・パッケージ

表 1.10 R8C/L3ACグループの製品一覧表 2011年3月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L3A7CNFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0100KB-A	Nバージョン
R5F2L3A7CNFA	48Kバイト	1Kバイト×4	6Kバイト	PRQP0100JD-B	
R5F2L3A8CNFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0100KB-A	
R5F2L3A8CNFA	64Kバイト	1Kバイト×4	8Kバイト	PRQP0100JD-B	
R5F2L3AACNFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3AACNFA	96Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3ACCNFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3ACCNFA	128Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3A7CDFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0100KB-A	Dバージョン
R5F2L3A7CDFA	48Kバイト	1Kバイト×4	6Kバイト	PRQP0100JD-B	
R5F2L3A8CDFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0100KB-A	
R5F2L3A8CDFA	64Kバイト	1Kバイト×4	8Kバイト	PRQP0100JD-B	
R5F2L3AACDFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3AACDFA	96Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3ACCDFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3ACCDFA	128Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	

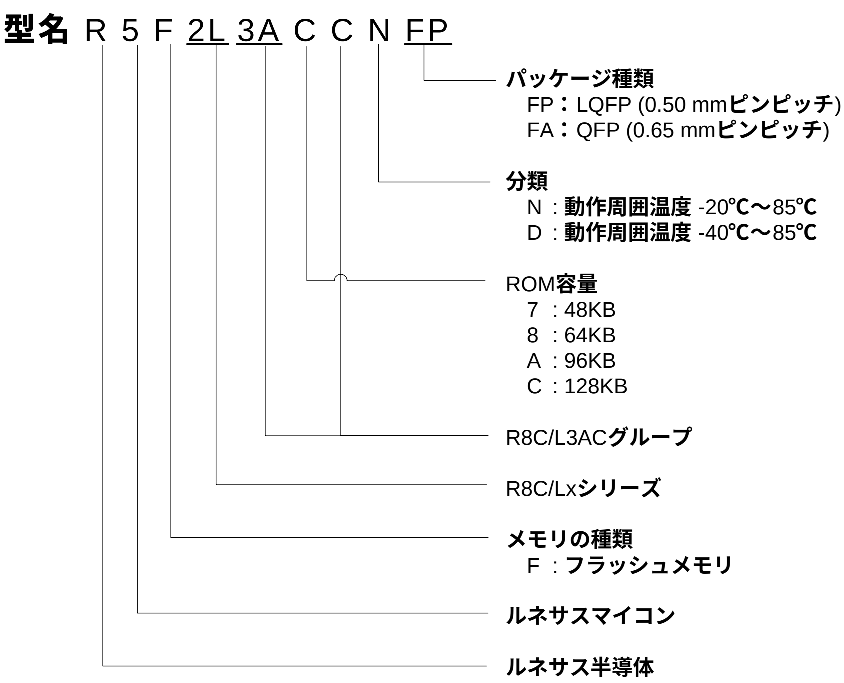


図1.4 R8C/L3ACグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.5にR8C/L35Cグループのブロック図、図1.6にR8C/L36Cグループのブロック図、図1.7にR8C/L38Cグループのブロック図、図1.8にR8C/L3ACグループのブロック図を示します。

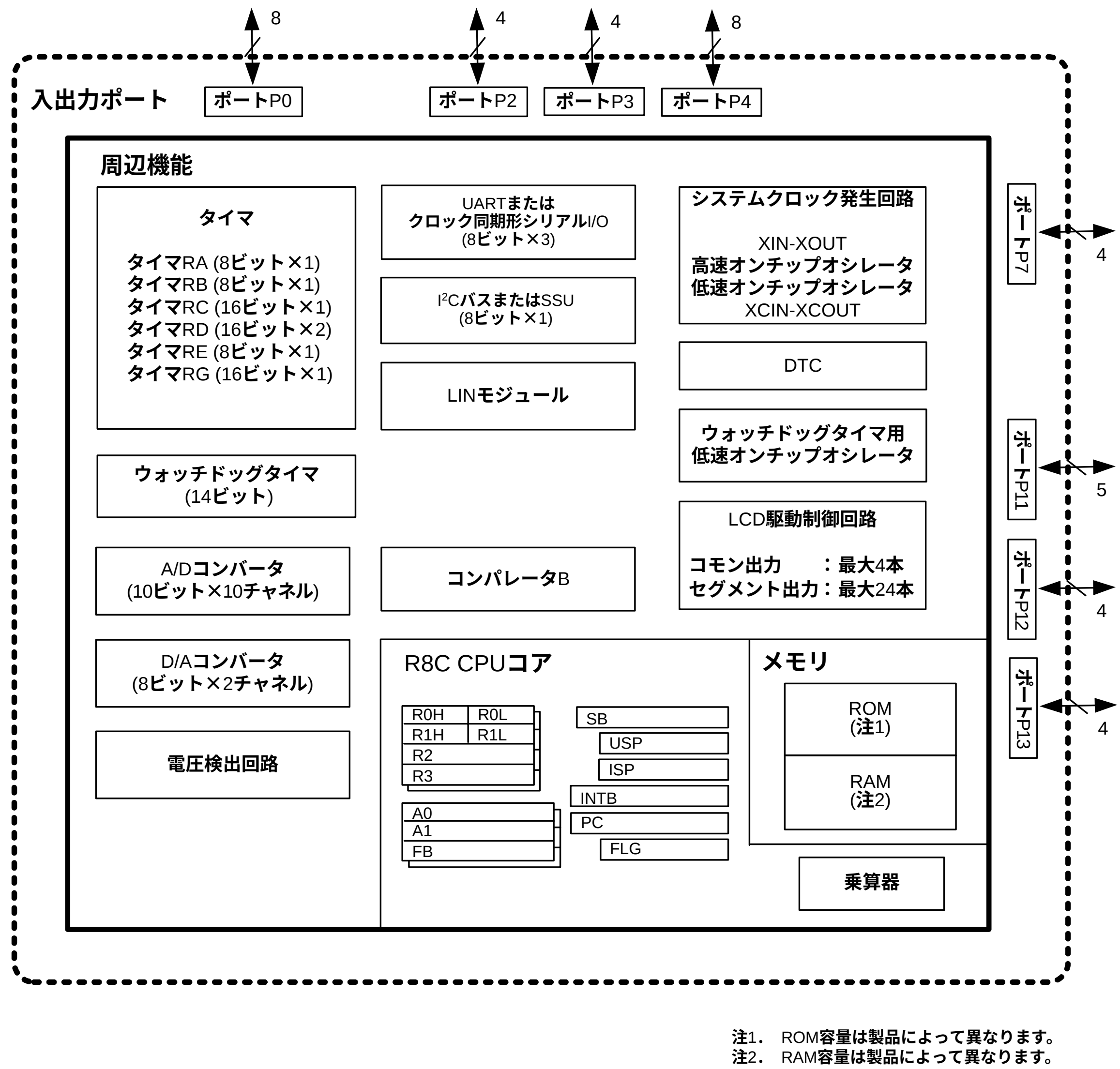
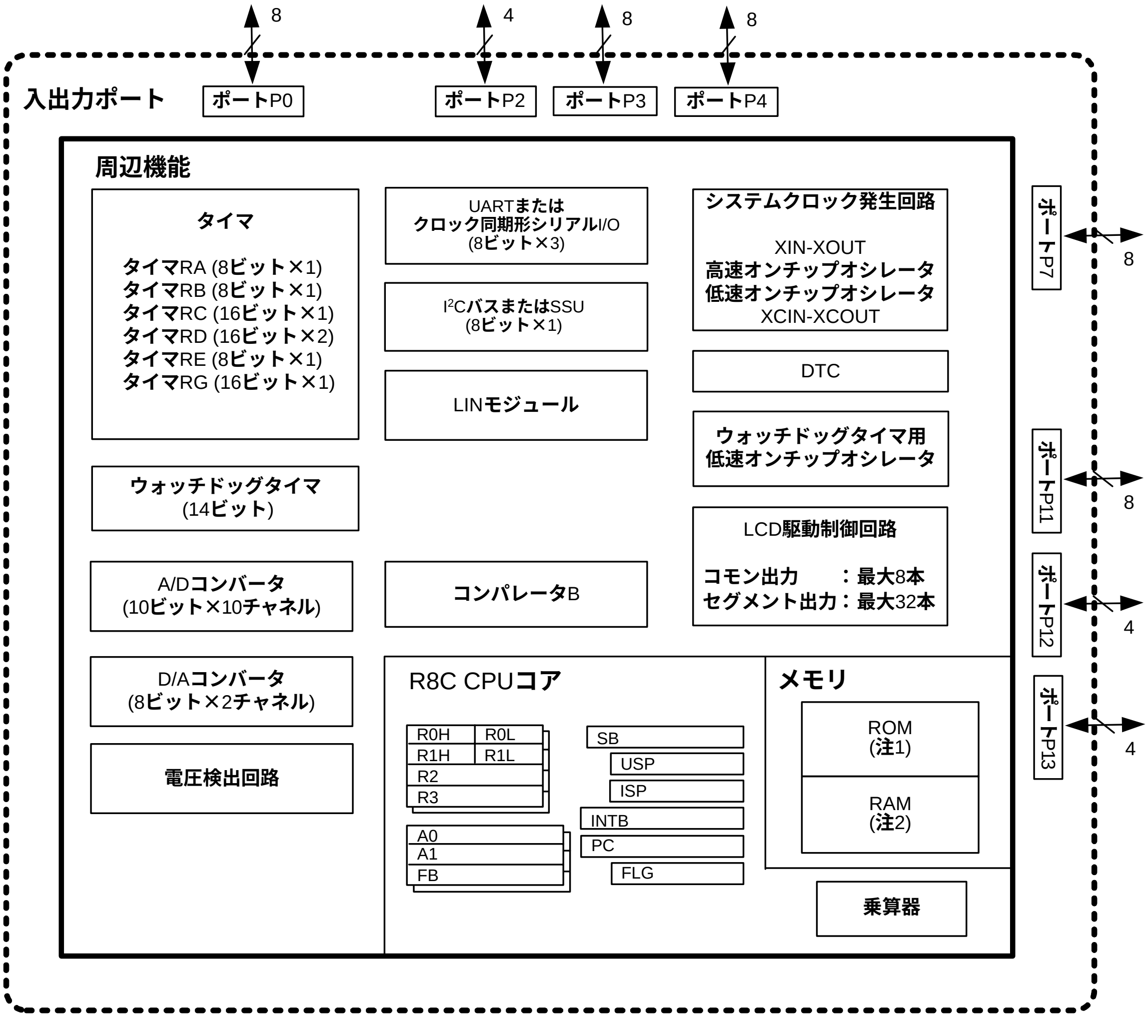
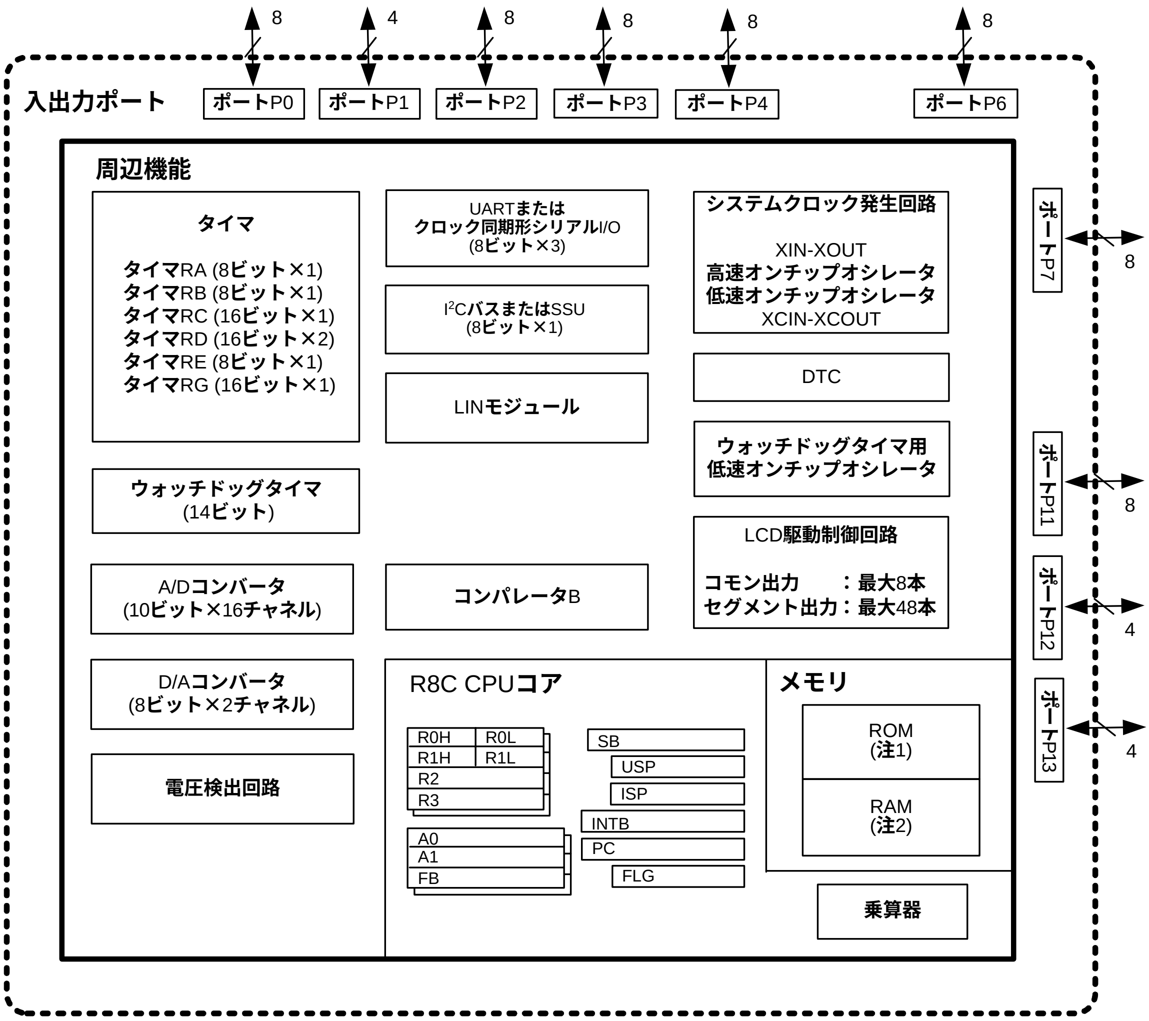


図1.5　R8C/L35Cグループのブロック図



注1. ROM容量は製品によって異なります。
注2. RAM容量は製品によって異なります。

図1.6 R8C/L36C**グループのブロック図**



注1．ROM容量は製品によって異なります。
注2．RAM容量は製品によって異なります。

図1.7　R8C/L38C**グループのブロック図**

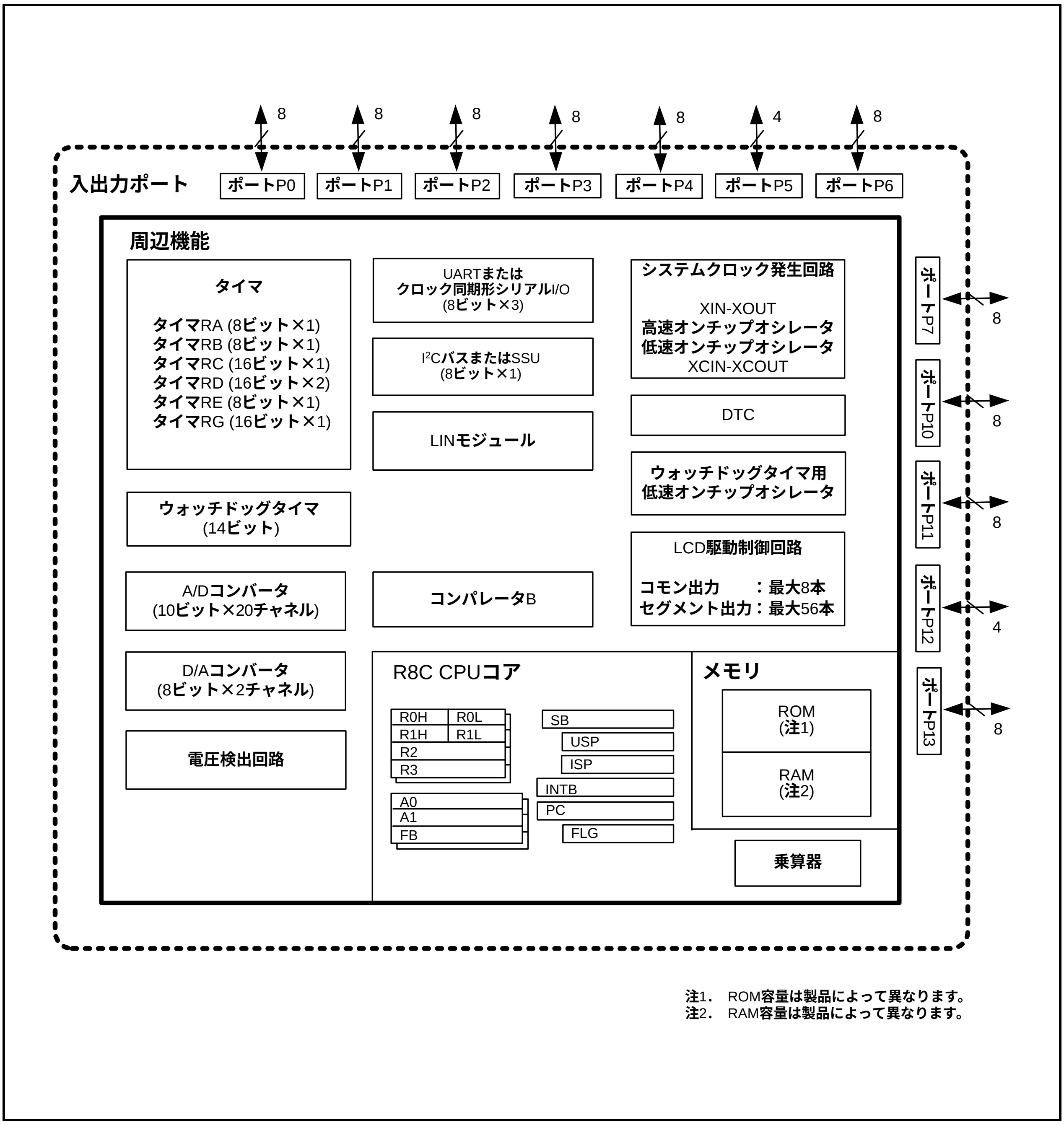


図1.8　　R8C/L3ACグループのブロック図

1.4　ピン配置図

図1.9～図1.13にピン配置図 (上面図)、表1.11～表1.13にピン番号別端子名一覧を示します。

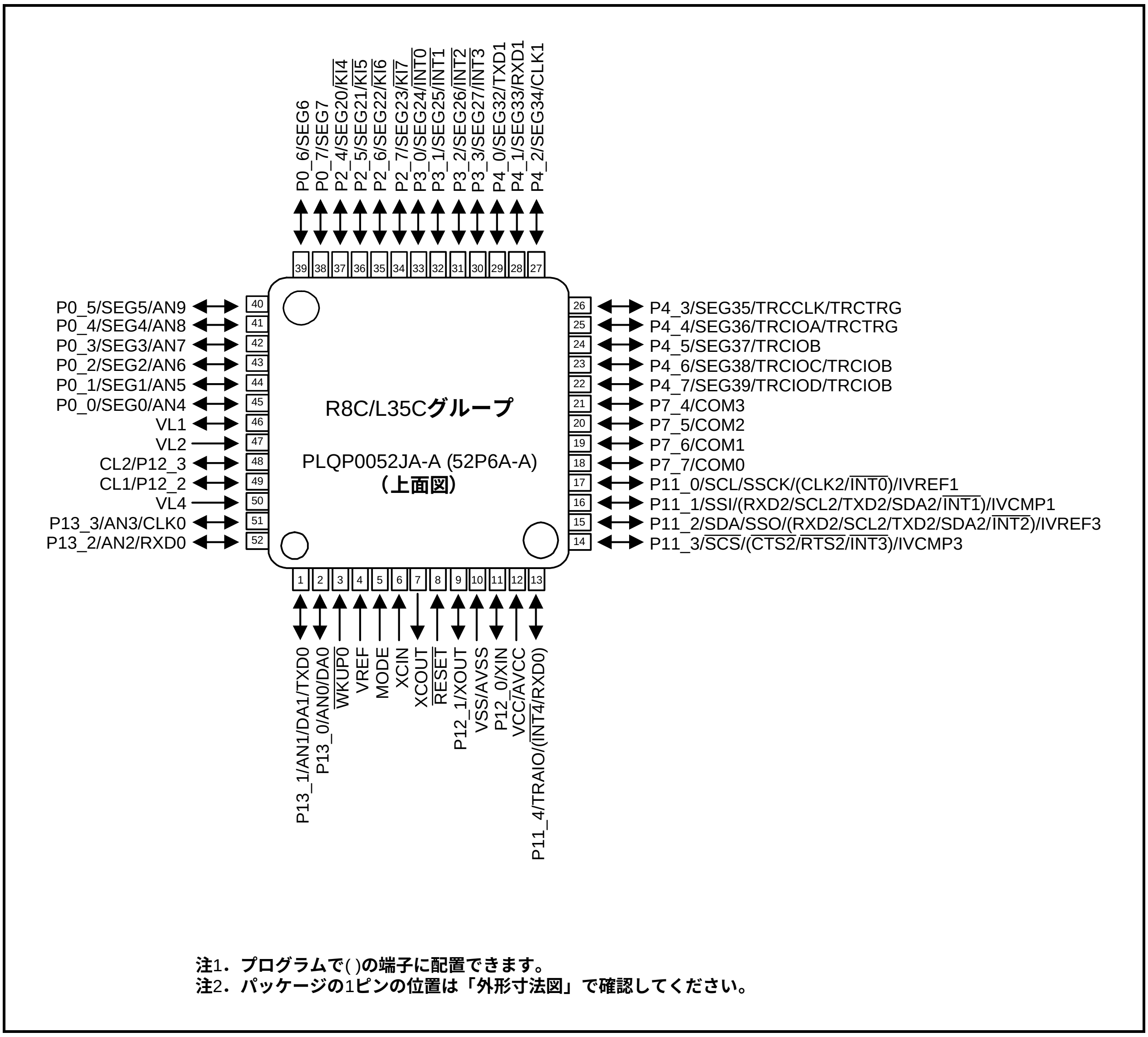


図1.9　PLQP0052JA-Aパッケージ品のピン配置図(上面図)

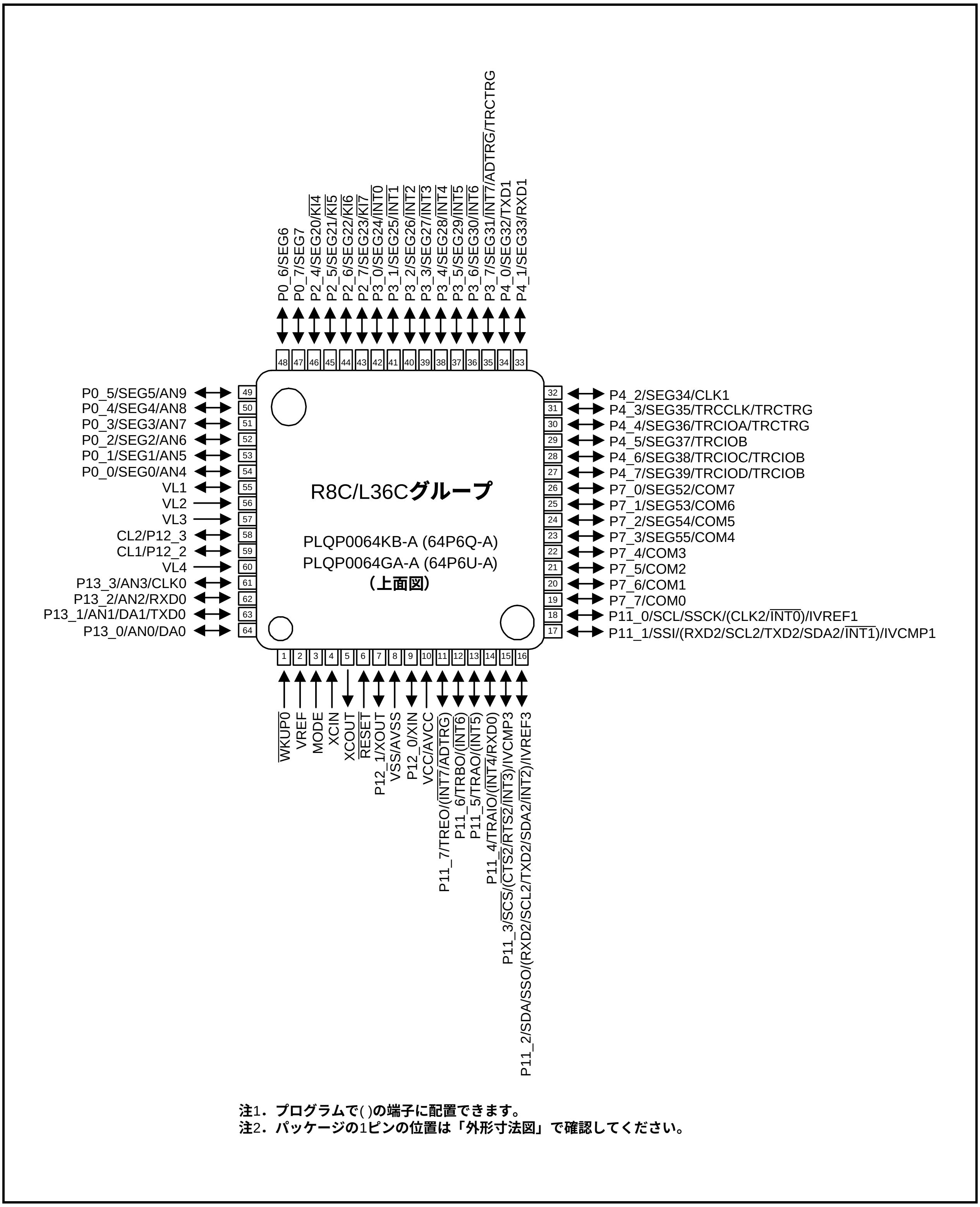
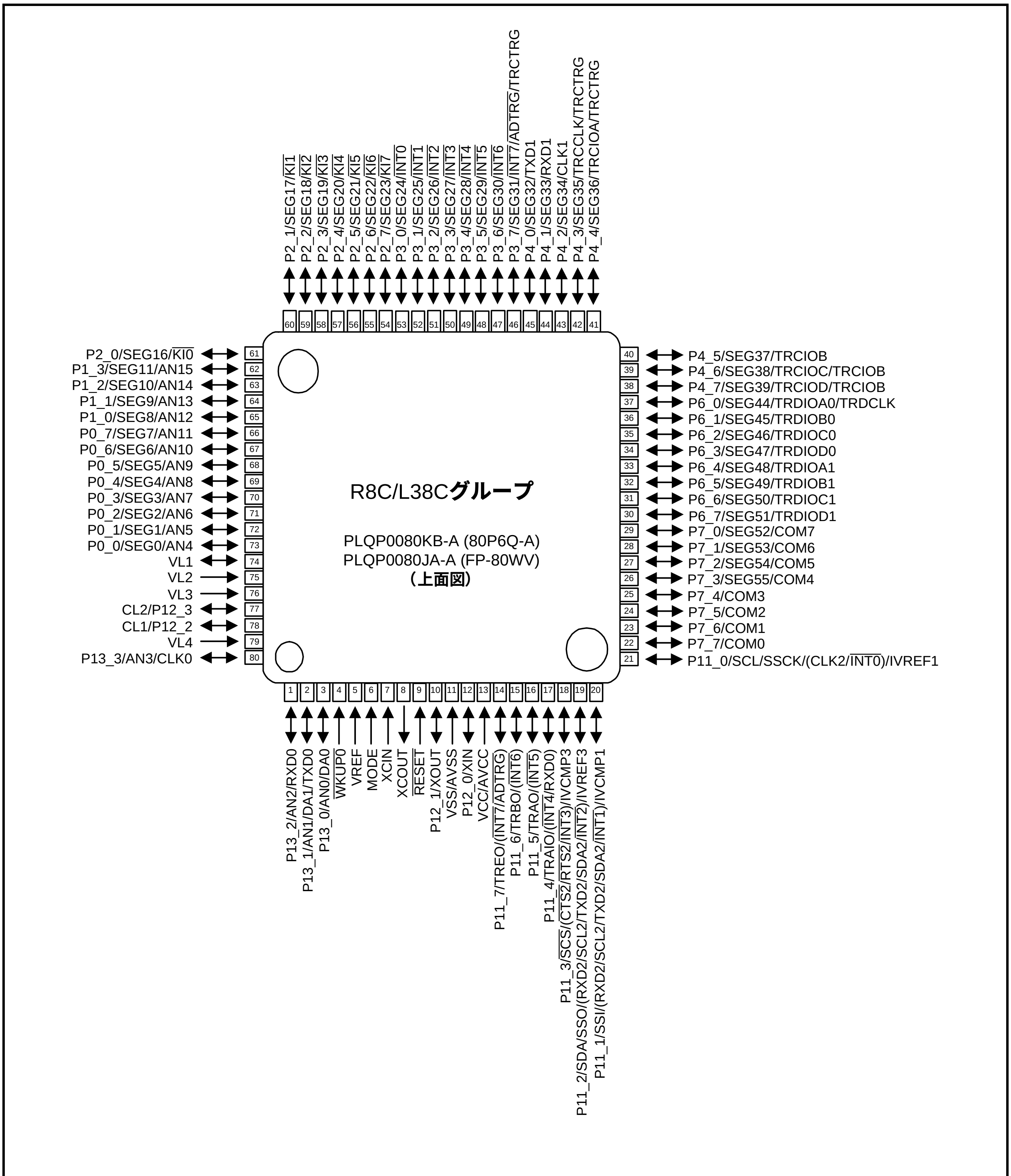
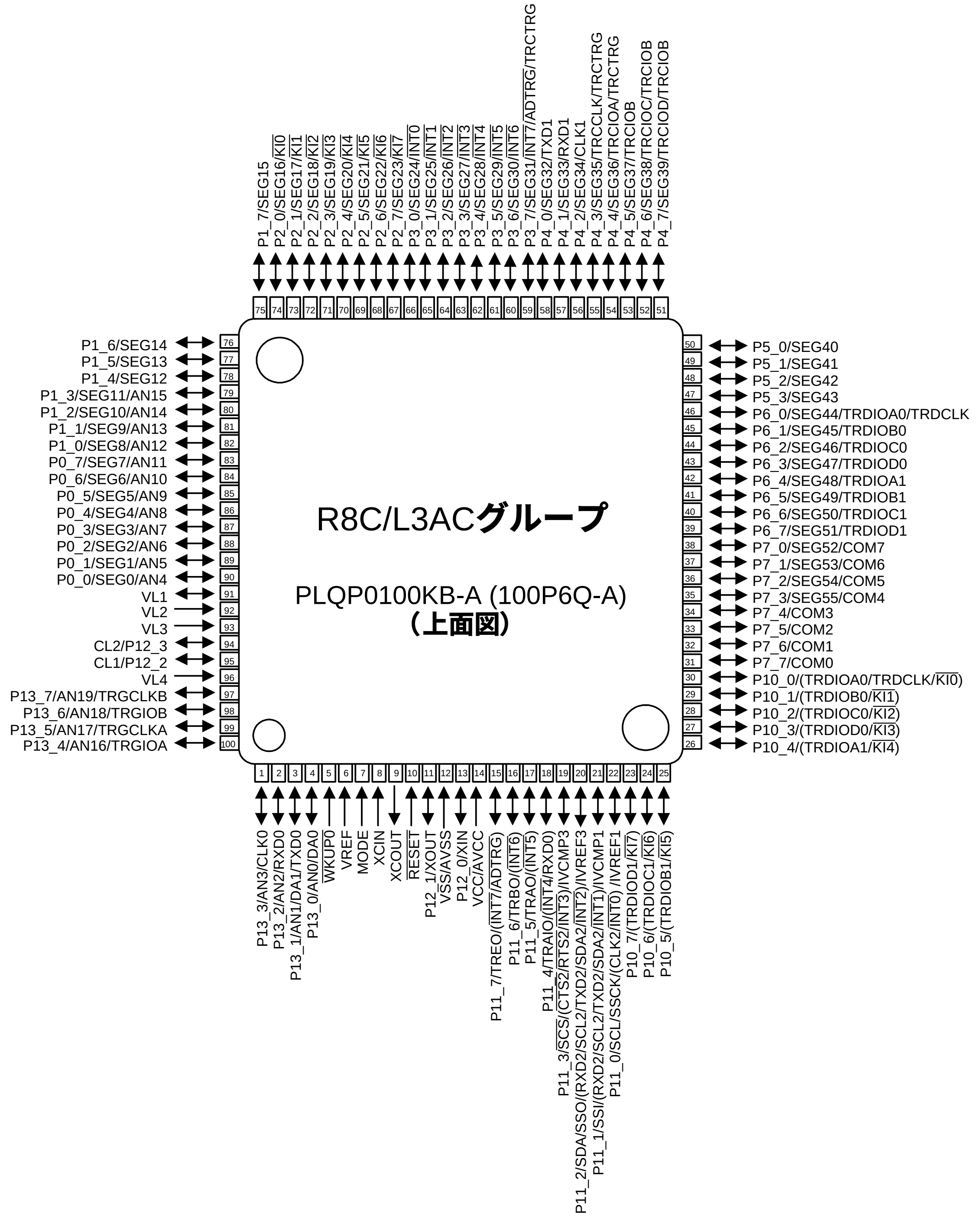


図1.10　PLQP0064KB-A、PLQP0064GA-Aパッケージ品のピン配置図(上面図)



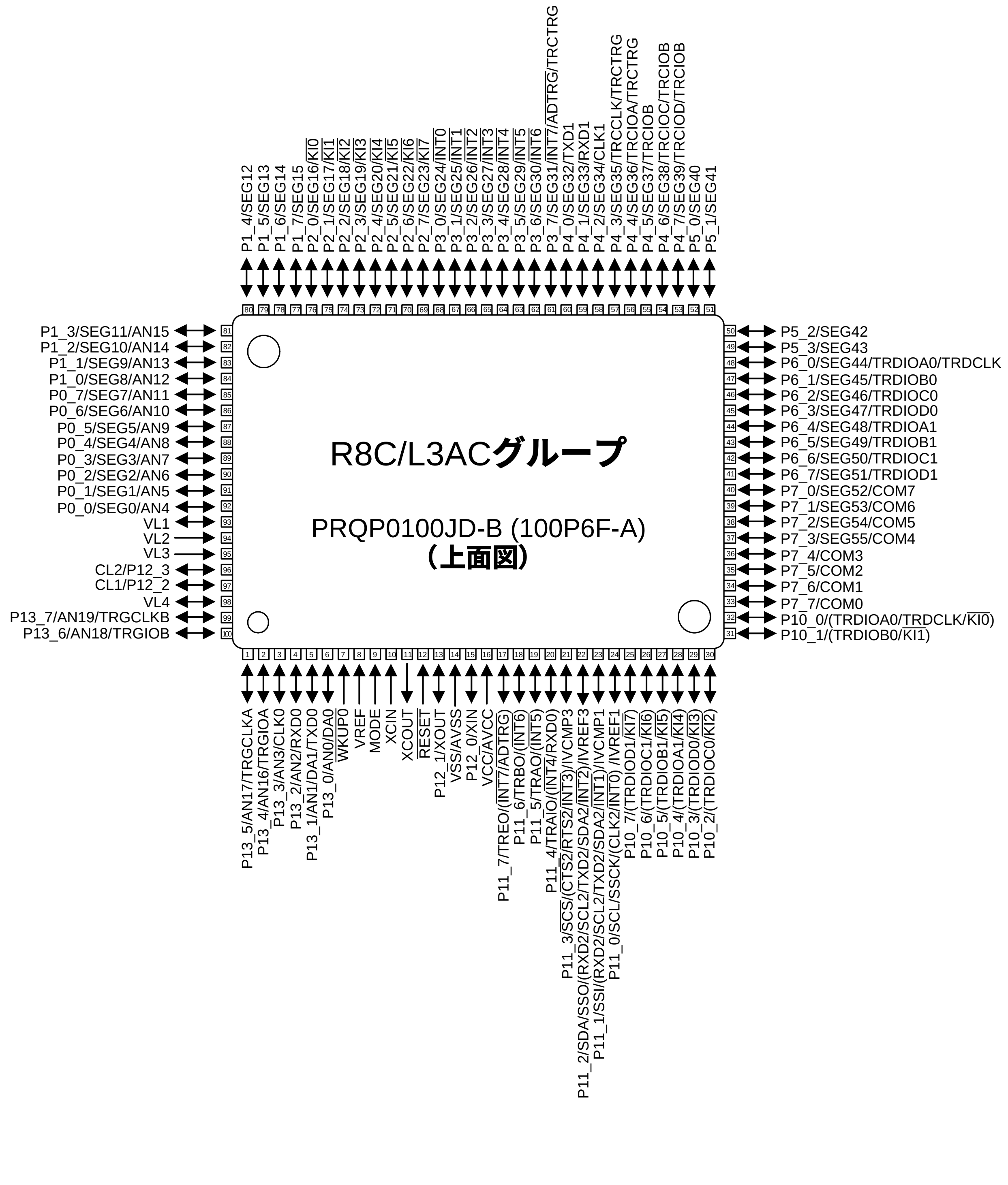
注1．プログラムで( )の端子に配置できます。
注2．パッケージの1ピンの位置は「外形寸法図」で確認してください。

図1.11　PLQP0080KB-A、PLQP0080JA-A **パッケージ品のピン配置図**(**上面図**)



注1．プログラムで( )の端子に配置できます。
注2．パッケージの1ピンの位置は「外形寸法図」で確認してください。

図1.12　PLQP0100KB-Aパッケージ品のピン配置図(上面図)



注1．プログラムで( )の端子に配置できます。
注2．パッケージの1ピンの位置は「外形寸法図」で確認してください。

図1.13　PRQP0100JD-Bパッケージ品のピン配置図(上面図)

表 1.11　ピン番号別端子名一覧(1)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AC (注2)	L38C	L36C	L35C			割り込み	タイマ	シリアルインタフェース	SSU	I2Cバス	A/D コンバータ D/Aコンバータ コンパレータB	LCD駆動制御回路
1 [3]	80	61	51		P13_3			CLK0			AN3	
2 [4]	1	62	52		P13_2			RXD0			AN2	
3 [5]	2	63	1		P13_1			TXD0			AN1/ DA1	
4 [6]	3	64	2		P13_0						AN0/DA0	
5 [7]	4	1	3	$\overline{\text{WKUP0}}$								
6 [8]	5	2	4	VREF								
7 [9]	6	3	5	MODE								
8 [10]	7	4	6	XCIN								
9 [11]	8	5	7	XCOUT								
10 [12]	9	6	8	$\overline{\text{RESET}}$								
11 [13]	10	7	9	XOUT	P12_1							
12 [14]	11	8	10	VSS/ AVSS								
13 [15]	12	9	11	XIN	P12_0							
14 [16]	13	10	12	VCC/ AVCC								
15 [17]	14	11			P11_7	($\overline{\text{INT7}}$)	TREO				($\overline{\text{ADTRG}}$)	
16 [18]	15	12			P11_6	($\overline{\text{INT6}}$)	TRBO					
17 [19]	16	13			P11_5	($\overline{\text{INT5}}$)	TRAO					
18 [20]	17	14	13		P11_4	($\overline{\text{INT4}}$)	TRAIO	(RXD0)				
19 [21]	18	15	14		P11_3	($\overline{\text{INT3}}$)		($\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$)	$\overline{\text{SCS}}$		IVCMP3	
20 [22]	19	16	15		P11_2	($\overline{\text{INT2}}$)		(RXD2/SCL2/ TXD2/SDA2)	SSO	SDA	IVREF3	
21 [23]	20	17	16		P11_1	($\overline{\text{INT1}}$)		(RXD2/SCL2/ TXD2/SDA2)	SSI		IVCMP1	
22 [24]	21	18	17		P11_0	($\overline{\text{INT0}}$)		(CLK2)	SSCK	SCL	IVREF1	
23 [25]					P10_7	($\overline{\text{KI7}}$)	(TRDIOD1)					
24 [26]					P10_6	($\overline{\text{KI6}}$)	(TRDIOC1)					
25 [27]					P10_5	($\overline{\text{KI5}}$)	(TRDIOB1)					
26 [28]					P10_4	($\overline{\text{KI4}}$)	(TRDIOA1)					
27 [29]					P10_3	($\overline{\text{KI3}}$)	(TRDIOD0)					
28 [30]					P10_2	($\overline{\text{KI2}}$)	(TRDIOC0)					
29 [31]					P10_1	($\overline{\text{KI1}}$)	(TRDIOB0)					
30 [32]					P10_0	($\overline{\text{KI0}}$)	(TRDIOA0/ TRDCLK)					
31 [33]	22	19	18		P7_7							COM0
32 [34]	23	20	19		P7_6							COM1
33 [35]	24	21	20		P7_5							COM2
34 [36]	25	22	21		P7_4							COM3
35 [37]	26	23			P7_3							SEG55/ COM4
36 [38]	27	24			P7_2							SEG54/ COM5
37 [39]	28	25			P7_1							SEG53/ COM6
38 [40]	29	26			P7_0							SEG52/ COM7
39 [41]	30				P6_7		TRDIOD1					SEG51

注1.　プログラムで( )の端子に配置できます。
注2.　[ ]は100P6Fパッケージを示します。

表 1.12　ピン番号別端子名一覧(2)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AC (注2)	L38C	L36C	L35C			割り込み	タイマ	シリアルインタフェース	SSU	I²Cバス	A/D コンバータ D/Aコンバータ コンパレータB	LCD駆動制御回路
40 [42]	31				P6_6		TRDIOC1					SEG50
41 [43]	32				P6_5		TRDIOB1					SEG49
42 [44]	33				P6_4		TRDIOA1					SEG48
43 [45]	34				P6_3		TRDIOD0					SEG47
44 [46]	35				P6_2		TRDIOC0					SEG46
45 [47]	36				P6_1		TRDIOB0					SEG45
46 [48]	37				P6_0		TRDIOA0/ TRDCLK					SEG44
47 [49]					P5_3							SEG43
48 [50]					P5_2							SEG42
49 [51]					P5_1							SEG41
50 [52]					P5_0							SEG40
51 [53]	38	27	22		P4_7		TRCIOD/ TRCIOB					SEG39
52 [54]	39	28	23		P4_6		TRCIOC/ TRCIOB					SEG38
53 [55]	40	29	24		P4_5		TRCIOB					SEG37
54 [56]	41	30	25		P4_4		TRCIOA/ TRCTRG					SEG36
55 [57]	42	31	26		P4_3		TRCCLK/ TRCTRG					SEG35
56 [58]	43	32	27		P4_2			CLK1				SEG34
57 [59]	44	33	28		P4_1			RXD1				SEG33
58 [60]	45	34	29		P4_0			TXD1				SEG32
59 [61]	46	35			P3_7	$\overline{INT7}$	TRCTRG				$\overline{ADTRG}$	SEG31
60 [62]	47	36			P3_6	$\overline{INT6}$						SEG30
61 [63]	48	37			P3_5	$\overline{INT5}$						SEG29
62 [64]	49	38			P3_4	$\overline{INT4}$						SEG28
63 [65]	50	39	30		P3_3	$\overline{INT3}$						SEG27
64 [66]	51	40	31		P3_2	$\overline{INT2}$						SEG26
65 [67]	52	41	32		P3_1	$\overline{INT1}$						SEG25
66 [68]	53	42	33		P3_0	$\overline{INT0}$						SEG24
67 [69]	54	43	34		P2_7	$\overline{KI7}$						SEG23
68 [70]	55	44	35		P2_6	$\overline{KI6}$						SEG22
69 [71]	56	45	36		P2_5	$\overline{KI5}$						SEG21
70 [72]	57	46	37		P2_4	$\overline{KI4}$						SEG20
71 [73]	58				P2_3	$\overline{KI3}$						SEG19
72 [74]	59				P2_2	$\overline{KI2}$						SEG18
73 [75]	60				P2_1	$\overline{KI1}$						SEG17
74 [76]	61				P2_0	$\overline{KI0}$						SEG16
75 [77]					P1_7							SEG15
76 [78]					P1_6							SEG14
77 [79]					P1_5							SEG13
78 [80]					P1_4							SEG12
79 [81]	62				P1_3						AN15	SEG11
80 [82]	63				P1_2						AN14	SEG10
81 [83]	64				P1_1						AN13	SEG9
82 [84]	65				P1_0						AN12	SEG8
83 [85]	66	47	38		P0_7						AN11 (注3)	SEG7
84 [86]	67	48	39		P0_6						AN10 (注3)	SEG6
85 [87]	68	49	40		P0_5						AN9	SEG5

注1.　プログラムで( )の端子に配置できます。
注2.　[ ]は100P6Fパッケージを示します。
注3.　R8C/L35CとR8C/L36Cグループには AN10、AN11端子がありません。

表 1.13 ピン番号別端子名一覧(3)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AC (注2)	L38C	L36C	L35C			割り込み	タイマ	シリアルインタフェース	SSU	I^2Cバス	A/D コンバータ D/Aコンバータ コンパレータB	LCD駆動制御回路
86 [88]	69	50	41		P0_4						AN8	SEG4
87 [89]	70	51	42		P0_3						AN7	SEG3
88 [90]	71	52	43		P0_2						AN6	SEG2
89 [91]	72	53	44		P0_1						AN5	SEG1
90 [92]	73	54	45		P0_0						AN4	SEG0
91 [93]	74	55	46									VL1
92 [94]	75	56	47									VL2
93 [95]	76	57										VL3
94 [96]	77	58	48		P12_3							CL2
95 [97]	78	59	49		P12_2							CL1
96 [98]	79	60	50									VL4
97 [99]					P13_7		TRGCLKB				AN19	
98 [100]					P13_6		TRGIOB				AN18	
99 [1]					P13_5		TRGCLKA				AN17	
100 [2]					P13_4		TRGIOA				AN16	

注1. プログラムで( )の端子に配置できます。
注2. [ ]は100P6Fパッケージを示します。

1.5 端子機能の説明

表 1.14～表 1.15 に R8C/L3AC グループの端子機能の説明を示します。

表 1.14 R8C/L3ACグループの端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC VSS	—	VCCには、1.8V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	$\overline{\mathrm{RESET}}$	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
パワーオフモード解除入力	$\overline{\mathrm{WKUP0}}$	入力	パワーオフモード時に使用するモード解除入力です。パワーオフモードを使用しないときはVSSに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCOUTクロック出力	XCOUT	出力	
$\overline{\mathrm{INT}}$割り込み入力	$\overline{\mathrm{INT0}}$～$\overline{\mathrm{INT7}}$	入力	$\overline{\mathrm{INT}}$割り込みの入力です。
キー入力割り込み入力	$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI7}}$	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、TRDIOB0、TRDIOB1、TRDIOC0、TRDIOC1、TRDIOD0、TRDIOD1	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TREO	出力	分周クロック出力です。
タイマRG	TRGCLKA、TRG-CLKB	入力	タイマRGの入力端子です。
	TRGIOA、TRGIOB	入出力	タイマRGの入出力です。
シリアルインタフェース	CLK0、CLK1、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD1、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD1、TXD2	出力	シリアルデータ出力です。
	$\overline{\mathrm{CTS2}}$	入力	送信制御用入力です。
	$\overline{\mathrm{RTS2}}$	出力	受信制御用出力です。
	SCL2	入出力	I2Cモードのクロック入出力です。
	SDA2	入出力	I2Cモードのデータ入出力です。

注1. 発振特性は発振メーカーに問い合わせてください。

表 1.15 R8C/L3ACグループの端子機能の説明(2)

分類	端子名	入出力	機能
I^{2}Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
SSU	SSI	入出力	データ入出力です。
	$\overline{\text{SCS}}$	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/DコンバータおよびD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0〜AN19	入力	A/Dコンバータのアナログ入力です。
	$\overline{\text{ADTRG}}$	入力	A/D外部トリガ入力です。
D/Aコンバータ	DA0〜DA1	出力	D/Aコンバータの出力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
入出力ポート	P0_0〜P0_7、 P1_0〜P1_7、 P2_0〜P2_7、 P3_0〜P3_7、 P4_0〜P4_7、 P5_0〜P5_3、 P6_0〜P6_7、 P7_0〜P7_7、 P10_0〜P10_7、 P11_0〜P11_7、 P12_0〜P12_3、 P13_0〜P13_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP10_0〜P10_7、P11_0〜P11_7は、LED駆動ポートとして使用できます。
セグメント出力	SEG0〜SEG55	出力	LCDセグメント出力端子です。
コモン出力	COM0〜COM7	出力	LCDコモン出力端子です。
昇圧用容量接続端子	CL1、CL2	出力	LCD制御昇圧回路用コンデンサの接続端子です。
LCD用電源	VL1	入出力	0≦VL1≦VL2≦VL3≦VL4の電圧を印加してください。VL1は昇圧設定時に基準電位入力または出力端子として使用できます。
	VL2〜VL4	入力	

注1. 発振特性は発振メーカーに問い合わせてください。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

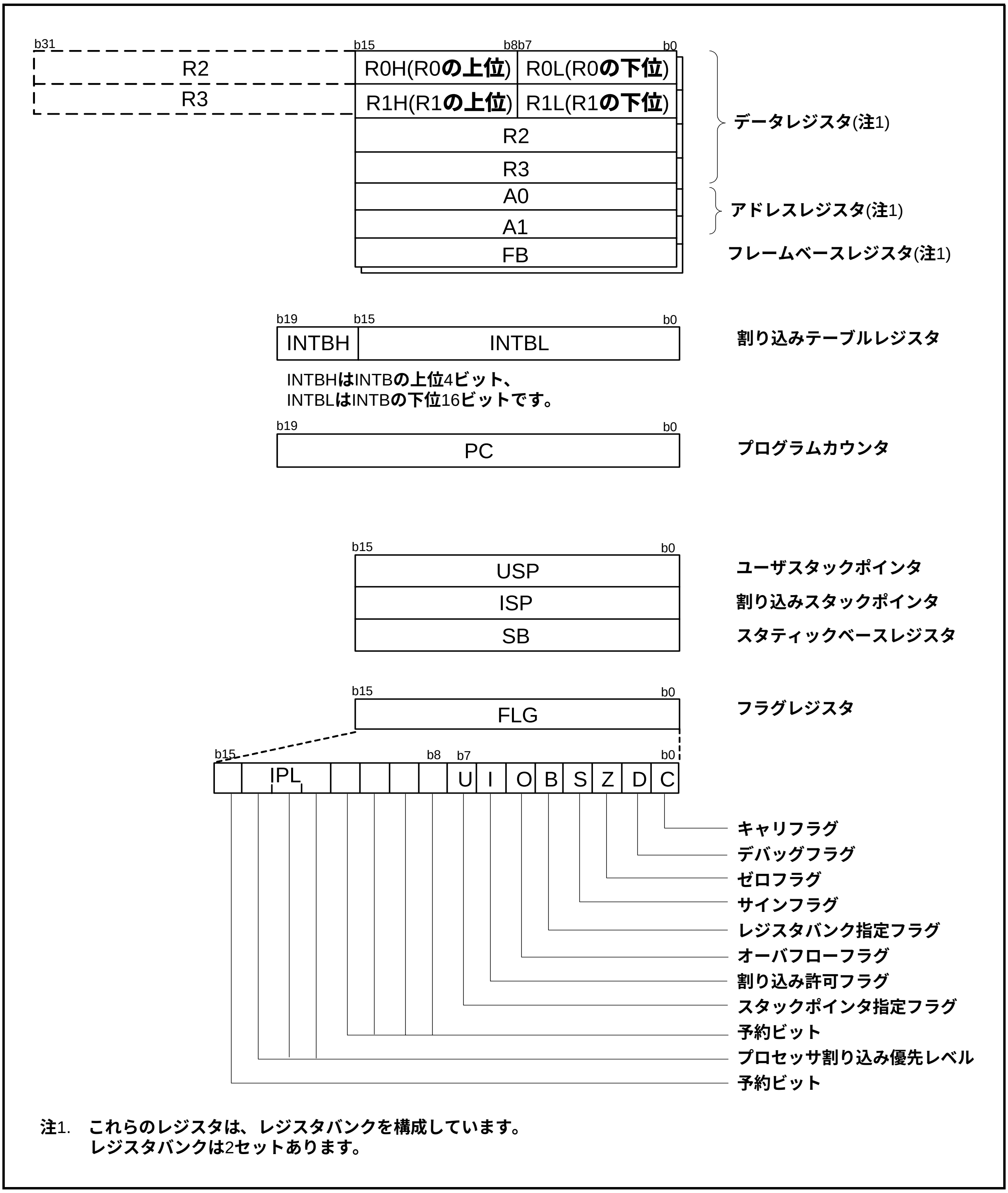


図 2.1　CPU**のレジスタ**

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

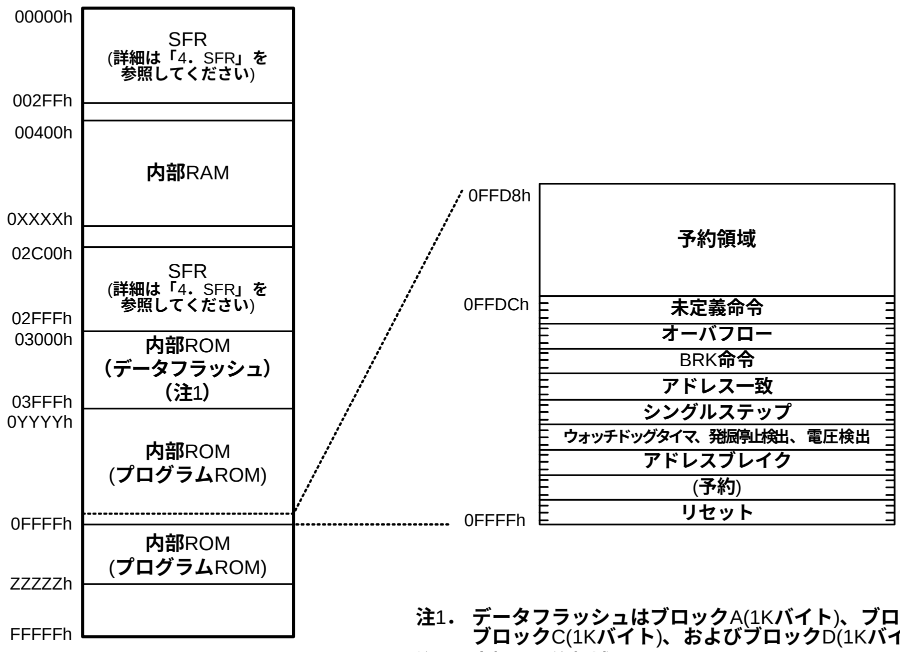
図3.1に各グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地と、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



注1. データフラッシュはブロックA(1Kバイト)、ブロックB(1Kバイト)、ブロックC(1Kバイト)、およびブロックD(1Kバイト)を示します。
注2. 空欄は予約領域です。アクセスしないでください。

型　　名	内部ROM			内部RAM	
	容量	0YYYYh番地	ZZZZZh番地	容量	0XXXXh番地
R5F2L357C***、R5F2L367C***、R5F2L387C***、R5F2L3A7C***	48Kバイト	04000h	−	6Kバイト	01BFFh
R5F2L358C***、R5F2L368C***、R5F2L388C***、R5F2L3A8C***	64Kバイト	04000h	13FFFh	8Kバイト	023FFh
R5F2L35AC***、R5F2L36AC***、R5F2L38AC***、R5F2L3AAC***	96Kバイト	04000h	1BFFFh	10Kバイト	02BFFh
R5F2L35CC***、R5F2L36CC***、R5F2L38CC***、R5F2L3ACC***	128Kバイト	04000h	23FFFh	10Kバイト	02BFFh

図3.1　メモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.16にSFR一覧表を、表4.17にIDコード領域、オプション機能選択領域を示します。本章ではR8C/L3ACグループについて説明します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00100000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	XXh (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h	パワーオフモード制御レジスタ0	POMCR0	X0000000b
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h			
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	出荷時の値
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	出荷時の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注4) 00100000b (注5)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注4) 1100X011b (注5)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。
注2. RSTFRレジスタのCWRビットは電源投入後、電圧監視0リセット後、およびパワーオフモード解除後、“0”になります。
ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。
注3. OFSレジスタのCSPROINIビットが“0”の場合。
注4. OFSレジスタのLVDASビットが“1”の場合。
注5. OFSレジスタのLVDASビットが“0”の場合。
X:不定です。

表4.2　SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h	INT7割り込み制御レジスタ	INT7IC	XX00X000b
0044h	INT6割り込み制御レジスタ	INT6IC	XX00X000b
0045h	INT5割り込み制御レジスタ	INT5IC	XX00X000b
0046h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ(注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマRG割り込み制御レジスタ	TRGIC	XXXXX000b
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. SSUIICSRレジスタのIICSELビットで選択できます。

X：不定です。

表4.3　SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	DTC起動制御レジスタ	DTCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	00h
0089h	DTC起動許可レジスタ1	DTCEN1	00h
008Ah	DTC起動許可レジスタ2	DTCEN2	00h
008Bh	DTC起動許可レジスタ3	DTCEN3	00h
008Ch	DTC起動許可レジスタ4	DTCEN4	00h
008Dh	DTC起動許可レジスタ5	DTCEN5	00h
008Eh	DTC起動許可レジスタ6	DTCEN6	00h
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2送受信モードレジスタ	U2MR	00h
00A9h	UART2ビットレートレジスタ	U2BRG	XXh
00AAh	UART2送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2送受信制御レジスタ0	U2C0	00001000b
00ADh	UART2送受信制御レジスタ1	U2C1	00000010b
00AEh	UART2受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	00h
00BCh	UART2特殊モードレジスタ4	U2SMR4	00h
00BDh	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
00BEh	UART2特殊モードレジスタ2	U2SMR2	X0000000b
00BFh	UART2特殊モードレジスタ	U2SMR	X0000000b

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.4　　SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/Dレジスタ0	AD0	XXh
00C1h			000000XXb
00C2h	A/Dレジスタ1	AD1	XXh
00C3h			000000XXb
00C4h	A/Dレジスタ2	AD2	XXh
00C5h			000000XXb
00C6h	A/Dレジスタ3	AD3	XXh
00C7h			000000XXb
00C8h	A/Dレジスタ4	AD4	XXh
00C9h			000000XXb
00CAh	A/Dレジスタ5	AD5	XXh
00CBh			000000XXb
00CCh	A/Dレジスタ6	AD6	XXh
00CDh			000000XXb
00CEh	A/Dレジスタ7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	00h
00D5h	A/D入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D制御レジスタ0	ADCON0	00h
00D7h	A/D制御レジスタ1	ADCON1	00h
00D8h	D/A 0レジスタ	DA0	00h
00D9h	D/A 1レジスタ	DA1	00h
00DAh			
00DBh			
00DCh	D/A制御レジスタ	DACON	00h
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h	ポートP2レジスタ	P2	XXh
00E5h	ポートP3レジスタ	P3	XXh
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h	ポートP5レジスタ	P5	XXh
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh	ポートP5方向レジスタ	PD5	00h
00ECh	ポートP6レジスタ	P6	XXh
00EDh	ポートP7レジスタ	P7	XXh
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh	ポートP7方向レジスタ	PD7	00h
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP10レジスタ	P10	XXh
00F5h	ポートP11レジスタ	P11	XXh
00F6h	ポートP10方向レジスタ	PD10	00h
00F7h	ポートP11方向レジスタ	PD11	00h
00F8h	ポートP12レジスタ	P12	XXh
00F9h	ポートP13レジスタ	P13	XXh
00FAh	ポートP12方向レジスタ	PD12	00h
00FBh	ポートP13方向レジスタ	PD13	00h
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.5　SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケーラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h	LINコントロールレジスタ2	LINCR2	00h
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケーラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/タイマREカウンタデータレジスタ	TRESEC	XXh
0119h	タイマRE分データレジスタ/タイマREコンペアデータレジスタ	TREMIN	XXh
011Ah	タイマRE時データレジスタ	TREHR	XXh
011Bh	タイマRE曜日データレジスタ	TREWK	XXh
011Ch	タイマRE制御レジスタ1	TRECR1	XXXXX0XXb
011Dh	タイマRE制御レジスタ2	TRECR2	XXh
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h
0127h			00h
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh
0129h			FFh
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh
012Bh			FFh
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh
012Dh			FFh
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh
012Fh			FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h	タイマRCトリガ制御レジスタ	TRCADCR	00h
0134h			
0135h	タイマRD拡張制御レジスタ	TRDECR	00h
0136h	タイマRDトリガ制御レジスタ	TRDADCR	00h
0137h	タイマRDスタートレジスタ	TRDSTR	11111100b
0138h	タイマRDモードレジスタ	TRDMR	00001110b
0139h	タイマRD PWMモードレジスタ	TRDPMR	10001000b
013Ah	タイマRD機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマRDアウトプットマスタ許可レジスタ1	TRDOER1	FFh
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	01111111b
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	00h
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。
X：不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマRD制御レジスタ0	TRDCR0	00h
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	10001000b
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	10001000b
0143h	タイマRDステータスレジスタ0	TRDSR0	11100000b
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	11100000b
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	11111000b
0146h	タイマRDカウンタ0	TRD0	00h
0147h			00h
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマRD制御レジスタ1	TRDCR1	00h
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	10001000b
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	10001000b
0153h	タイマRDステータスレジスタ1	TRDSR1	11000000b
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	11100000b
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	11111000b
0156h	タイマRDカウンタ1	TRD1	00h
0157h			00h
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	FFh
015Fh			FFh
0160h	UART1送受信モードレジスタ	U1MR	00h
0161h	UART1ビットレートレジスタ	U1BRG	XXh
0162h	UART1送信バッファレジスタ	U1TB	XXh
0163h			XXh
0164h	UART1送受信制御レジスタ0	U1C0	00001000b
0165h	UART1送受信制御レジスタ1	U1C1	00000010b
0166h	UART1受信バッファレジスタ	U1RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマRGモードレジスタ	TRGMR	01000000b
0171h	タイマRGカウント制御レジスタ	TRGCNTC	00h
0172h	タイマRG制御レジスタ	TRGCR	10000000b
0173h	タイマRG割り込み許可レジスタ	TRGIER	11110000b
0174h	タイマRGステータスレジスタ	TRGSR	11100000b
0175h	タイマRG I/O制御レジスタ	TRGIOR	00h
0176h	タイマRGカウンタ	TRG	00h
0177h			00h
0178h	タイマRGジェネラルレジスタA	TRGGRA	FFh
0179h			FFh
017Ah	タイマRGジェネラルレジスタB	TRGGRB	FFh
017Bh			FFh
017Ch	タイマRGジェネラルレジスタC	TRGGRC	FFh
017Dh			FFh
017Eh	タイマRGジェネラルレジスタD	TRGGRD	FFh
017Fh			FFh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマRA端子選択レジスタ	TRASR	00h
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h	タイマRD端子選択レジスタ0	TRDPSR0	00h
0185h	タイマRD端子選択レジスタ1	TRDPSR1	00h
0186h			
0187h	タイマRG端子選択レジスタ	TRGPSR	00h
0188h	UART0端子選択レジスタ	U0SR	00h
0189h	UART1端子選択レジスタ	U1SR	00h
018Ah	UART2端子選択レジスタ0	U2SR0	00h
018Bh	UART2端子選択レジスタ1	U2SR1	00h
018Ch	SSU/IIC端子選択レジスタ	SSUIICSR	00h
018Dh	キー入力端子選択レジスタ	KISR	00h
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH (注2)	SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH (注2)	SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. SSUIICSRレジスタのIICSELビットで選択できます。

X：不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	00h
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ポートP0プルアップ制御レジスタ	P0PUR	00h
01E1h	ポートP1プルアップ制御レジスタ	P1PUR	00h
01E2h	ポートP2プルアップ制御レジスタ	P2PUR	00h
01E3h	ポートP3プルアップ制御レジスタ	P3PUR	00h
01E4h	ポートP4プルアップ制御レジスタ	P4PUR	00h
01E5h	ポートP5プルアップ制御レジスタ	P5PUR	00h
01E6h	ポートP6プルアップ制御レジスタ	P6PUR	00h
01E7h	ポートP7プルアップ制御レジスタ	P7PUR	00h
01E8h			
01E9h			
01EAh	ポートP10プルアップ制御レジスタ	P10PUR	00h
01EBh	ポートP11プルアップ制御レジスタ	P11PUR	00h
01ECh	ポートP12プルアップ制御レジスタ	P12PUR	00h
01EDh	ポートP13プルアップ制御レジスタ	P13PUR	00h
01EEh			
01EFh			
01F0h	ポートP10駆動能力制御レジスタ	P10DRR	00h
01F1h	ポートP11駆動能力制御レジスタ	P11DRR	00h
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h	入力しきい値制御レジスタ2	VLT2	00h
01F8h	コンパレータB制御レジスタ0	INTCMP	00h
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh	外部入力許可レジスタ1	INTEN1	00h
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh	INT入力フィルタ選択レジスタ1	INTF1	00h
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh	キー入力許可レジスタ1	KIEN1	00h

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.9　SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
0200h	LCD制御レジスタ	LCR0	00h
0201h	LCDバイアス制御レジスタ	LCR1	00h
0202h	LCD表示制御レジスタ	LCR2	X0000000b
0203h	LCDクロック制御レジスタ	LCR3	00h
0204h			
0205h			
0206h	LCDポート選択レジスタ0	LSE0	00h
0207h	LCDポート選択レジスタ1	LSE1	00h
0208h	LCDポート選択レジスタ2	LSE2	00h
0209h	LCDポート選択レジスタ3	LSE3	00h
020Ah	LCDポート選択レジスタ4	LSE4	00h
020Bh	LCDポート選択レジスタ5	LSE5	00h
020Ch	LCDポート選択レジスタ6	LSE6	00h
020Dh	LCDポート選択レジスタ7	LSE7	00h
020Eh			
020Fh			
0210h	LCD表示データレジスタ	LRA0L	XXh
0211h		LRA1L	XXh
0212h		LRA2L	XXh
0213h		LRA3L	XXh
0214h		LRA4L	XXh
0215h		LRA5L	XXh
0216h		LRA6L	XXh
0217h		LRA7L	XXh
0218h		LRA8L	XXh
0219h		LRA9L	XXh
021Ah		LRA10L	XXh
021Bh		LRA11L	XXh
021Ch		LRA12L	XXh
021Dh		LRA13L	XXh
021Eh		LRA14L	XXh
021Fh		LRA15L	XXh
0220h		LRA16L	XXh
0221h		LRA17L	XXh
0222h		LRA18L	XXh
0223h		LRA19L	XXh
0224h		LRA20L	XXh
0225h		LRA21L	XXh
0226h		LRA22L	XXh
0227h		LRA23L	XXh
0228h		LRA24L	XXh
0229h		LRA25L	XXh
022Ah		LRA26L	XXh
022Bh		LRA27L	XXh
022Ch		LRA28L	XXh
022Dh		LRA29L	XXh
022Eh		LRA30L	XXh
022Fh		LRA31L	XXh
0230h		LRA32L	XXh
0231h		LRA33L	XXh
0232h		LRA34L	XXh
0233h		LRA35L	XXh
0234h		LRA36L	XXh
0235h		LRA37L	XXh
0236h		LRA38L	XXh
0237h		LRA39L	XXh
0238h		LRA40L	XXh
0239h		LRA41L	XXh
023Ah		LRA42L	XXh
023Bh		LRA43L	XXh
023Ch		LRA44L	XXh
023Dh		LRA45L	XXh
023Eh		LRA46L	XXh
023Fh		LRA47L	XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0240h	LCD表示データレジスタ	LRA48L	XXh
0241h		LRA49L	XXh
0242h		LRA50L	XXh
0243h		LRA51L	XXh
0244h		LRA52L	XXh
0245h		LRA53L	XXh
0246h		LRA54L	XXh
0247h		LRA55L	XXh
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h			
0265h			
0266h			
0267h			
0268h			
0269h			
026Ah			
026Bh			
026Ch			
026Dh			
026Eh			
026Fh			
0270h	LCD表示制御データレジスタ	LRA0H	XXh
0271h		LRA1H	XXh
0272h		LRA2H	XXh
0273h		LRA3H	XXh
0274h		LRA4H	XXh
0275h		LRA5H	XXh
0276h		LRA6H	XXh
0277h		LRA7H	XXh
0278h		LRA8H	XXh
0279h		LRA9H	XXh
027Ah		LRA10H	XXh
027Bh		LRA11H	XXh
027Ch		LRA12H	XXh
027Dh		LRA13H	XXh
027Eh		LRA14H	XXh
027Fh		LRA15H	XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
0280h	LCD表示制御データレジスタ	LRA16H	XXh
0281h		LRA17H	XXh
0282h		LRA18H	XXh
0283h		LRA19H	XXh
0284h		LRA20H	XXh
0285h		LRA21H	XXh
0286h		LRA22H	XXh
0287h		LRA23H	XXh
0288h		LRA24H	XXh
0289h		LRA25H	XXh
028Ah		LRA26H	XXh
028Bh		LRA27H	XXh
028Ch		LRA28H	XXh
028Dh		LRA29H	XXh
028Eh		LRA30H	XXh
028Fh		LRA31H	XXh
0290h		LRA32H	XXh
0291h		LRA33H	XXh
0292h		LRA34H	XXh
0293h		LRA35H	XXh
0294h		LRA36H	XXh
0295h		LRA37H	XXh
0296h		LRA38H	XXh
0297h		LRA39H	XXh
0298h		LRA40H	XXh
0299h		LRA41H	XXh
029Ah		LRA42H	XXh
029Bh		LRA43H	XXh
029Ch		LRA44H	XXh
029Dh		LRA45H	XXh
029Eh		LRA46H	XXh
029Fh		LRA47H	XXh
02A0h		LRA48H	XXh
02A1h		LRA49H	XXh
02A2h		LRA50H	XXh
02A3h		LRA51H	XXh
02A4h		LRA52H	XXh
02A5h		LRA53H	XXh
02A6h		LRA54H	XXh
02A7h		LRA55H	XXh
02A8h			
02A9h			
02AAh			
02ABh			
02ACh			
02ADh			
02AEh			
02AFh			
02B0h			
02B1h			
02B2h			
02B3h			
02B4h			
02B5h			
02B6h			
02B7h			
02B8h			
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
02C0h			
02C1h			
02C2h			
02C3h			
02C4h			
02C5h			
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh			
02CDh			
02CEh			
02CFh			
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.13　SFR一覧(13)(注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC転送ベクタ領域		XXh
2C01h	DTC転送ベクタ領域		XXh
2C02h	DTC転送ベクタ領域		XXh
2C03h	DTC転送ベクタ領域		XXh
2C04h	DTC転送ベクタ領域		XXh
2C05h	DTC転送ベクタ領域		XXh
2C06h	DTC転送ベクタ領域		XXh
2C07h	DTC転送ベクタ領域		XXh
2C08h	DTC転送ベクタ領域		XXh
2C09h	DTC転送ベクタ領域		XXh
2C0Ah	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
2C3Ah	DTC転送ベクタ領域		XXh
2C3Bh	DTC転送ベクタ領域		XXh
2C3Ch	DTC転送ベクタ領域		XXh
2C3Dh	DTC転送ベクタ領域		XXh
2C3Eh	DTC転送ベクタ領域		XXh
2C3Fh	DTC転送ベクタ領域		XXh
2C40h	DTCコントロールデータ0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTCコントロールデータ1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTCコントロールデータ2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTCコントロールデータ3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTCコントロールデータ4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTCコントロールデータ5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.14 SFR一覧(14)(注1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTCコントロールデータ6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTCコントロールデータ7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTCコントロールデータ8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTCコントロールデータ9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTCコントロールデータ10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTCコントロールデータ11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTCコントロールデータ12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTCコントロールデータ13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACh			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.15　SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTCコントロールデータ14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTCコントロールデータ15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTCコントロールデータ16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTCコントロールデータ17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTCコントロールデータ18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTCコントロールデータ19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTCコントロールデータ20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTCコントロールデータ21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.16 SFR一覧(16)(注1)

番地	レジスタ	シンボル	リセット後の値
2CF0h	DTCコントロールデータ22	DTCD22	XXh
2CF1h			XXh
2CF2h			XXh
2CF3h			XXh
2CF4h			XXh
2CF5h			XXh
2CF6h			XXh
2CF7h			XXh
2CF8h	DTCコントロールデータ23	DTCD23	XXh
2CF9h			XXh
2CFAh			XXh
2CFBh			XXh
2CFCh			XXh
2CFDh			XXh
2CFEh			XXh
2CFFh			XXh
2D00h			
:			
2FFFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.17 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
:			
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
:			
FFDFh	ID1		(注2)
:			
FFE3h	ID2		(注2)
:			
FFEBh	ID3		(注2)
:			
FFEFh	ID4		(注2)
:			
FFF3h	ID5		(注2)
:			
FFF7h	ID6		(注2)
:			
FFFBh	ID7		(注2)
:			
FFFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。
ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。
ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

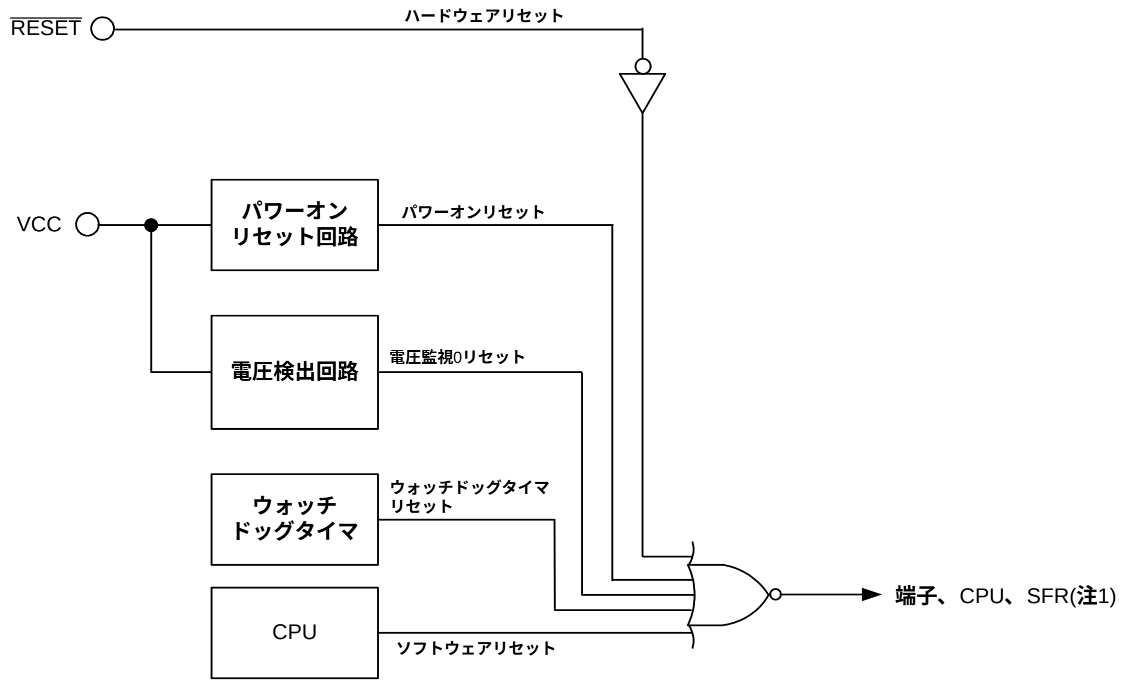
5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	$\overline{\text{RESET}}$端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧：Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く



注1. RSTFRレジスタのCWRビットは、電源投入後、電圧監視0リセット後、およびパワーオフモード解除後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

図 5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを示します。

表5.2　RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0〜P13	ハイインピーダンス
WKUP0	ハイインピーダンス
XCIN、XCOUT	不定
VL1 〜 VL4	ハイインピーダンス

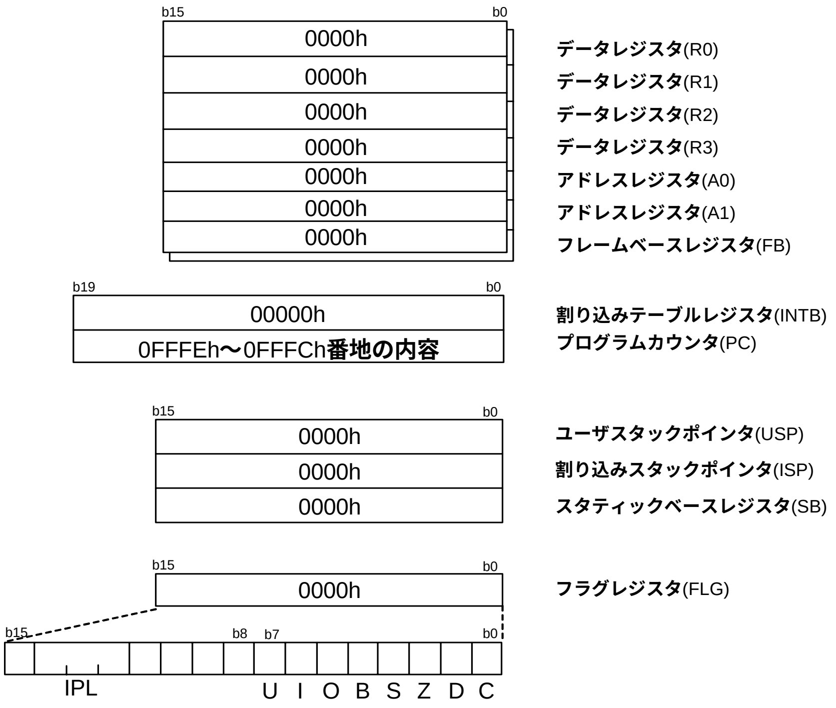
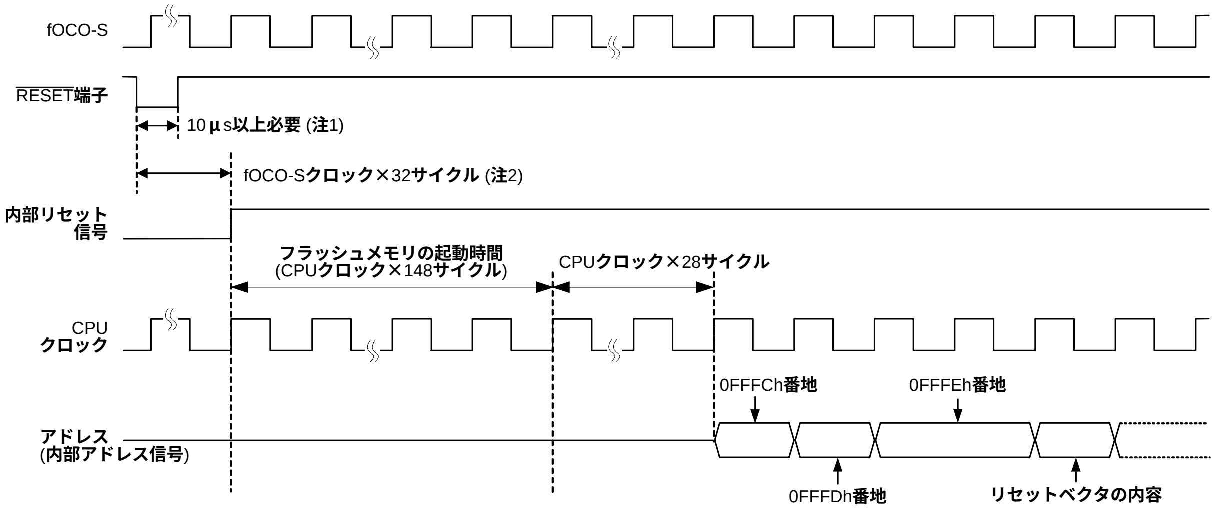


図5.2　リセット後のCPUレジスタの状態



注1. ハードウェアリセットの場合。
注2. RESET端子への“L”入力幅がfOCO-Sクロック×32サイクル以上の場合には、RESET端子が“H”になると同時に内部リセット信号も“H”になります。

図 5.3　リセットシーケンス

5.1 レジスタの説明

5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

5.1.2 リセット要因判別レジスタ (RSTFR)

アドレス 000Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	WDR	SWR	HWR	CWR	
リセット後の値	X	X	X	X	X	X	X	X	(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート／ウォームスタート判定フラグ(注2、3)	0：コールドスタート 1：ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ(注4)	0：未検出 1：検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0：未検出 1：検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0：未検出 1：検出	R
b4	—	予約ビット	読んだ場合、その値は不定。	R
b5	—			
b6	—			
b7	—			

注1. CWRビットは電源投入後、電圧監視0リセット後、およびパワーオフモード解除後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。
注2. CWRビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。
注3. VW0CレジスタのVW0C0ビットが“0”(電圧監視0リセット禁止)のとき、CWRビットは不定です。
注4. ハードウェアリセット、または、パワーオフモード解除を検出します。

5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0：3.80Vを選択 (Vdet0_3) 0 1：2.85Vを選択 (Vdet0_2) 1 0：2.35Vを選択 (Vdet0_1) 1 1：1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFS レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

5.1.4　オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー周期設定ビット	b1 b0 0 0：03FFh 0 1：0FFFh 1 0：1FFFh 1 1：3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ受付周期設定ビット	b3 b2 0 0：25% 0 1：50% 1 0：75% 1 1：100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1　リフレッシュ受付期間」を参照してください。

5.2 ハードウェアリセット

$\overline{\mathrm{RESET}}$端子によるリセットです。電源電圧が推奨動作条件を満たすとき、$\overline{\mathrm{RESET}}$端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2　$\overline{\mathrm{RESET}}$端子のレベルが“L”の期間の端子の状態」、「図5.2　リセット後のCPUレジスタの状態」、および「表4.1～表4.16　SFR一覧」を参照)。

$\overline{\mathrm{RESET}}$端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4.　SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中に$\overline{\mathrm{RESET}}$端子が“L”になると、内部RAMは不定となります。

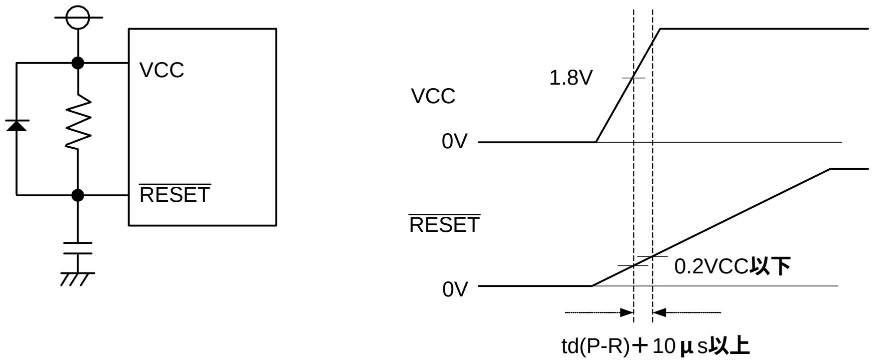
図5.4にハードウェアリセット回路例と動作を、図5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.2.1 電源が安定している場合

(1) $\overline{\mathrm{RESET}}$端子に“L”を入力する
(2) 10 µs待つ
(3) $\overline{\mathrm{RESET}}$端子に“H”を入力する

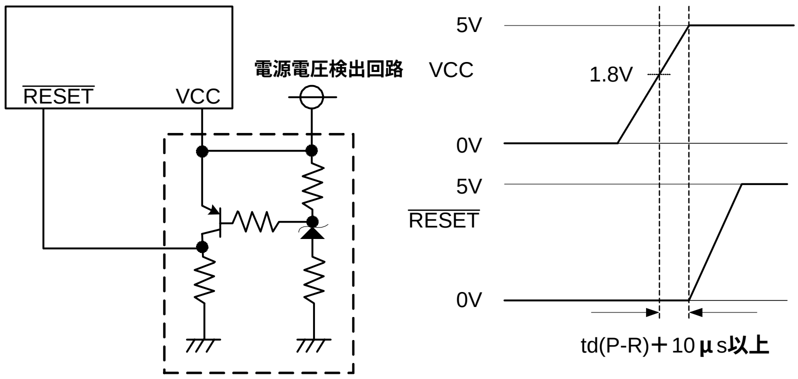
5.2.2 電源投入時

(1) $\overline{\mathrm{RESET}}$端子に“L”を入力する
(2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
(3) 内部電源が安定するまでtd(P-R)待つ(「35.　電気的特性」参照)
(4) 10 µs待つ
(5) $\overline{\mathrm{RESET}}$端子に“H”を入力する



注1．電気的特性は「35. 電気的特性」を参照してください。

図 5.4 ハードウェアリセット回路例と動作



注1．電気的特性は「35. 電気的特性」を参照してください。

図 5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.3 パワーオンリセット機能

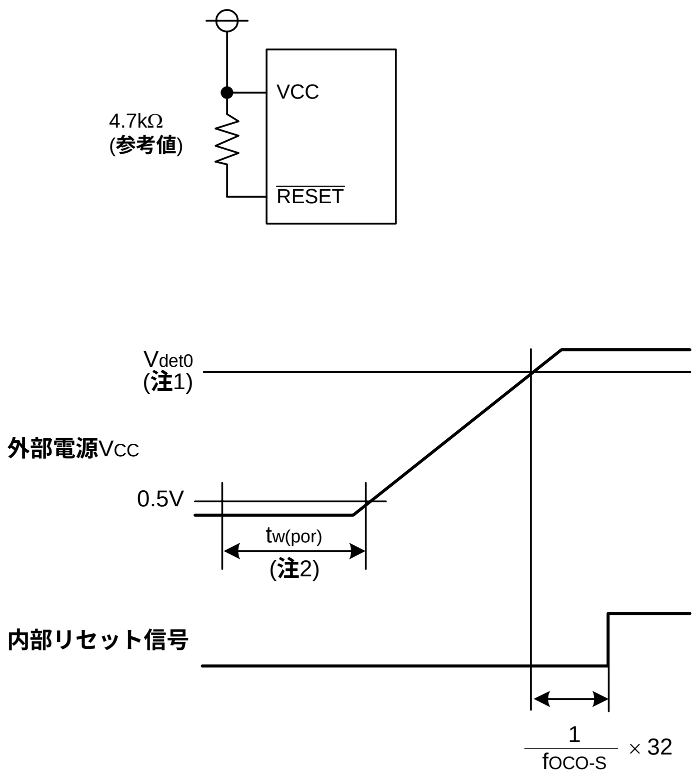
抵抗を介して$\overline{\mathrm{RESET}}$端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。$\overline{\mathrm{RESET}}$端子にコンデンサを接続する場合も、$\overline{\mathrm{RESET}}$端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4.　SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。



注1. Vdet0は電圧検出0回路の電圧検出レベルを示します。 詳細は「6．電圧検出回路」を参照してください。

注2. tw(por)は外部電源Vccを有効電圧(0.5V)以下に保持してパワーオンリセットが有効になるために必要な時間です。
電圧監視0リセットが無効な状態で電源を立ち下げた後に、電源を立ち上げるときは1ms以上保持してください。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6　パワーオンリセット回路例と動作

5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

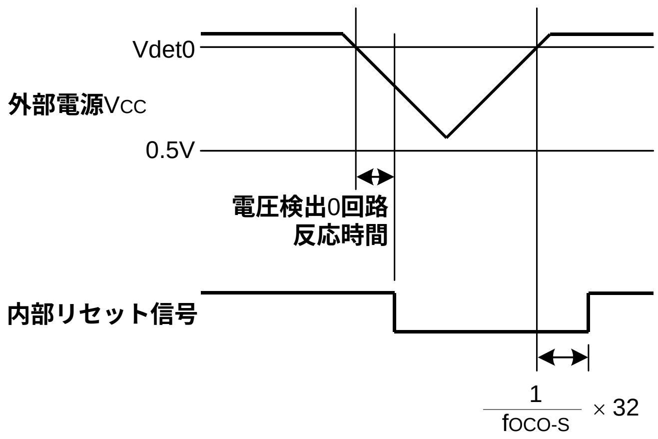
VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。OFSレジスタの詳細は「5.1.3　オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4.　SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6.　電圧検出回路」を参照してください。

図5.7に電圧監視0リセット回路例と動作を示します。



注1. Vdet0は電圧検出0回路の電圧検出レベルを示します。詳細は「6.　電圧検出回路」を参照してください。
注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.7　電圧監視0リセット回路例と動作

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4.　SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「15.　ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4.　SFR」を参照してください。

内部RAMは初期化されません。

5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時"0"(コールドスタート)です。また、電圧監視0リセットとパワーオフモード解除でも"0"になります。CWRビットはプログラムで"1"を書くと"1"になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

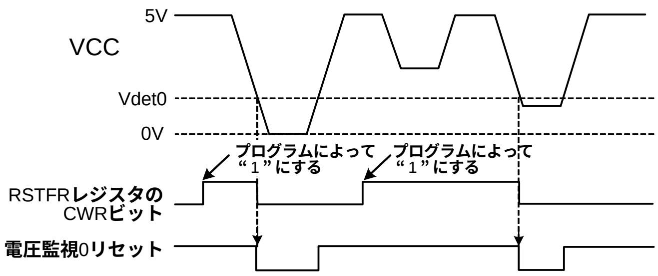


図5.8 コールドスタート/ウォームスタート判定機能の動作例

5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセット、または、パワーオフモード解除が発生すると、HWRビットが"1"(検出)になります。

ソフトウェアリセットが発生すると、SWRビットが"1"(検出)になります。

ウォッチドッグタイマリセットが発生すると、WDRビットが"1"(検出)になります。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

電圧検出2の検出電圧は固定レベル(標準4.00V)となります。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表6.1　電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット	VCA1レジスタのVCA13ビット
			Vdet1より高いか低いか	Vdet2より高いか低いか
電圧検出時の処理	リセット	電圧監視0リセット	なし	なし
		Vdet0＞VCCでリセット；VCC＞Vdet0でCPU動作再開		
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスカブルまたはマスカブルを選択可能	ノンマスカブルまたはマスカブルを選択可能
			Vdet1＞VCC、VCC＞Vdet1の両方、またはどちらかで割り込み要求	Vdet2＞VCC、VCC＞Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fOCO-Sのn分周)×2 n：1、2、4、8	(fOCO-Sのn分周)×2 n：1、2、4、8

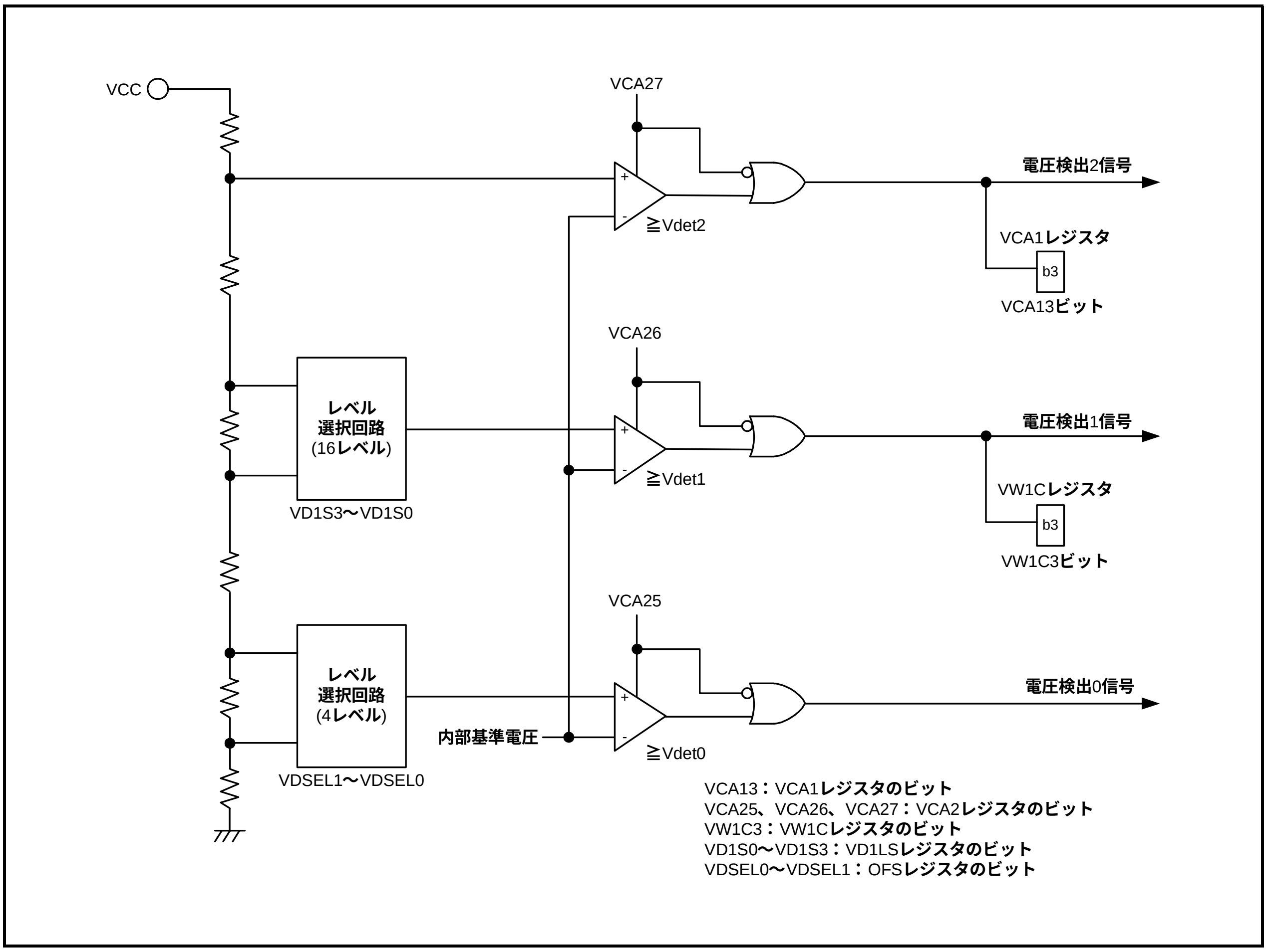


図 6.1　　電圧検出回路ブロック図

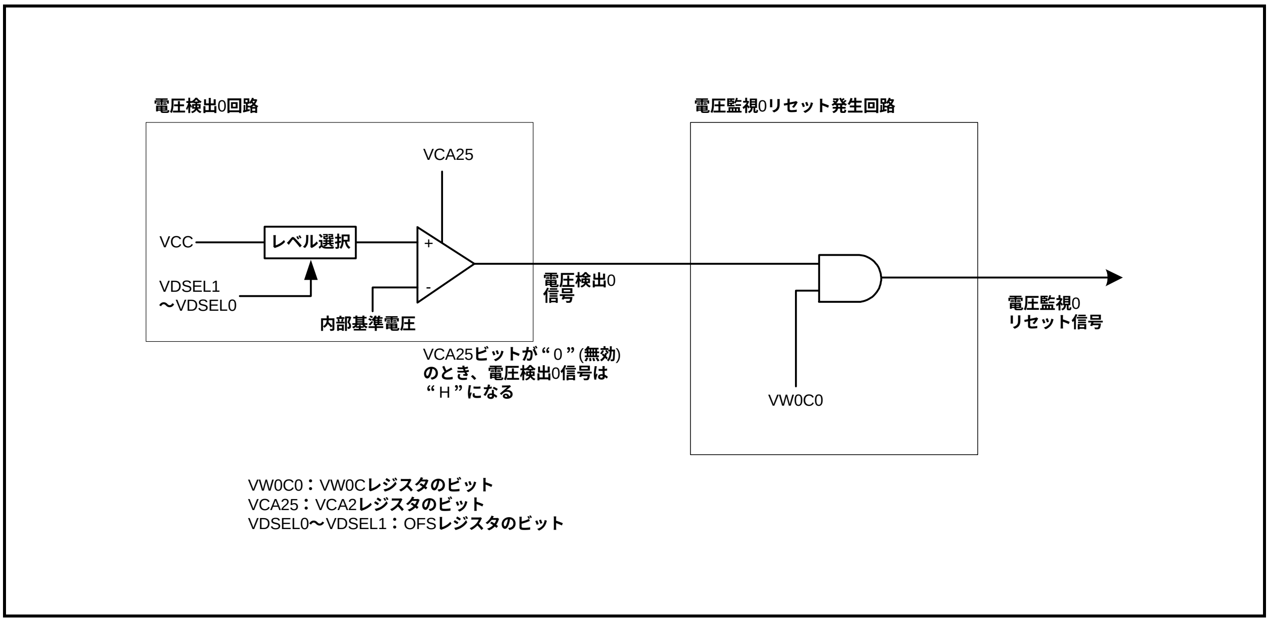


図 6.2　電圧監視0リセット発生回路のブロック図

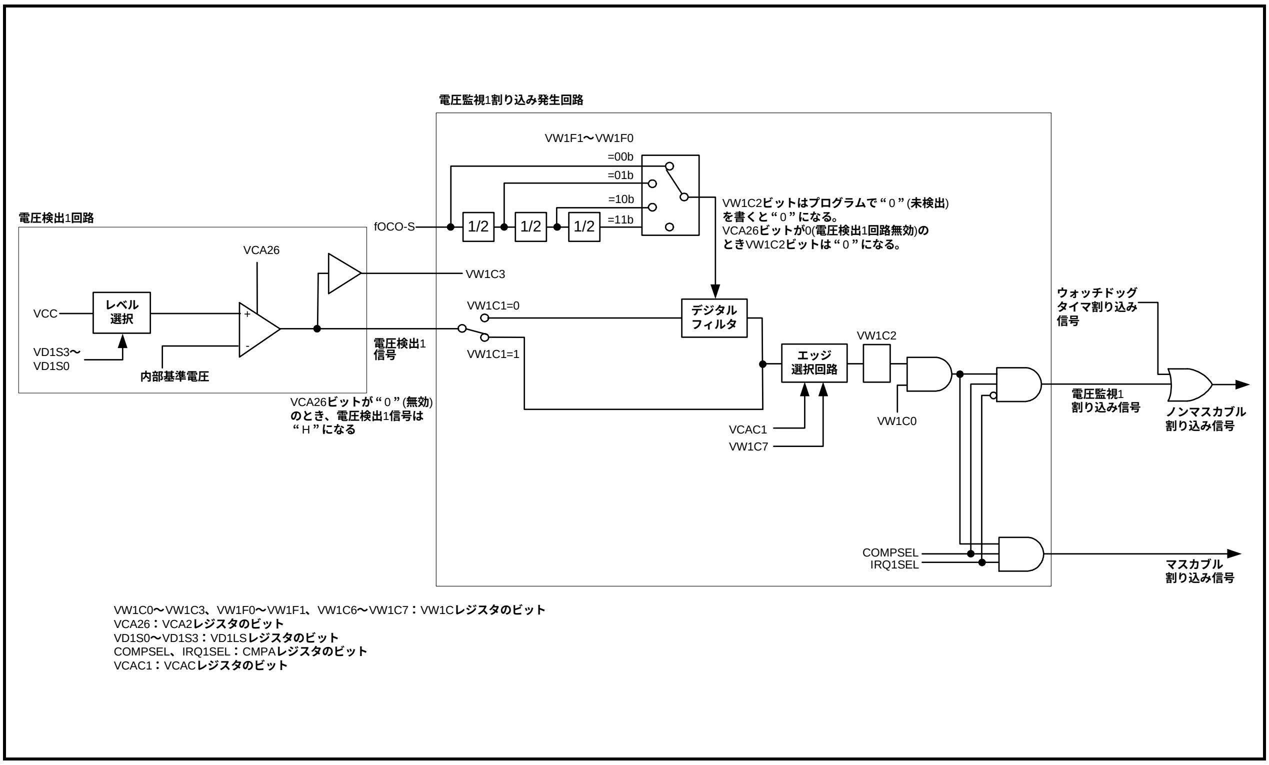
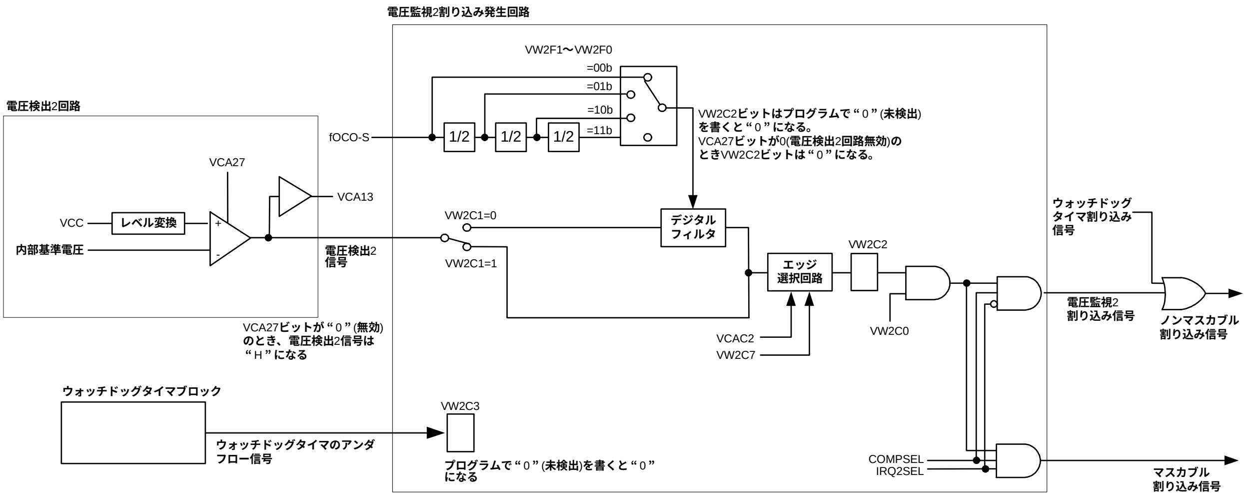


図 6.3　電圧監視1割り込み発生回路のブロック図



VW2C0〜VW2C3、VW2F0〜VW2F1、VW2C6〜VW2C7：VW2Cレジスタのビット
VCA13：VCA1レジスタのビット
VCA27：VCA2レジスタのビット
COMPSEL、IRQ2SEL：CMPAレジスタのビット
VCAC2：VCACレジスタのビット

図 6.4　電圧監視2割り込み発生回路のブロック図

6.2 レジスタの説明

6.2.1 電圧監視回路制御レジスタ(CMPA)

アドレス 0030h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット(注1)	0：ノンマスカブル割り込み 1：マスカブル割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット(注2)	0：ノンマスカブル割り込み 1：マスカブル割り込み	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	COMPSEL	電圧監視割り込み種類選択有効ビット(注1、2)	0：IRQ1SEL、IRQ2SELビット無効 1：IRQ1SEL、IRQ2SELビット有効	R/W

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが“1”(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

6.2.2 電圧監視回路エッジ選択レジスタ(VCAC)

アドレス 0031h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	VCAC2	VCAC1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	VCAC1	電圧監視1回路エッジ選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット(注2)	0：片エッジ 1：両エッジ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

6.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VCA13	—	—	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	VCA13	電圧検出2信号モニタフラグ(注1)	0：VCC＜Vdet2 1：VCC≧Vdet2、または電圧検出2回路無効	R
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC≧Vdet2)になります。

6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0：低消費電力禁止 1：低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0：電圧検出0回路無効 1：電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「10.7.9 VCA20ビットによる内部電源低消費操作」に従ってください。
注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(全クロック停止)にしないでください。
注3. VCA25ビットに書く場合は、リセット後の値を書いてください。
注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”(電圧検出1回路有効)にしてください。
VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。
注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”(電圧検出2回路有効)にしてください。
VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.5 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 0 0 0：2.20V (Vdet1_0) 0 0 0 1：2.35V (Vdet1_1) 0 0 1 0：2.50V (Vdet1_2) 0 0 1 1：2.65V (Vdet1_3) 0 1 0 0：2.80V (Vdet1_4) 0 1 0 1：2.95V (Vdet1_5) 0 1 1 0：3.10V (Vdet1_6) 0 1 1 1：3.25V (Vdet1_7) 1 0 0 0：3.40V (Vdet1_8) 1 0 0 1：3.55V (Vdet1_9) 1 0 1 0：3.70V (Vdet1_A) 1 0 1 1：3.85V (Vdet1_B) 1 1 0 0：4.00V (Vdet1_C) 1 1 0 1：4.15V (Vdet1_D) 1 1 1 0：4.30V (Vdet1_E) 1 1 1 1：4.45V (Vdet1_F)	R/W
b1	VD1S1			R/W
b2	VD1S2			R/W
b3	VD1S3			R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

VD1LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.6 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VW0C0
リセット後の値	1	1	0	0	X	0	1	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	1	1	0	0	X	0	1	1

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0：禁止 1：許可	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—	予約ビット	読んだ場合、その値は不定。	R
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—	予約ビット	“1”にしてください	R/W
b7	—			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.7 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0:禁止 1:許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、6)	0:デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1:デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0:未検出 1:Vdet1通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0:VCC＜Vdet1 1:VCC≧Vdet1または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット(注6)	b5 b4 0 0:fOCO-Sの1分周 0 1:fOCO-Sの2分周 1 0:fOCO-Sの4分周 1 1:fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0:VCCがVdet1以上になるとき 1:VCCがVdet1以下になるとき	R/W

注1. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表6.2 電圧監視1割り込み関連ビットの設定手順」に従ってください。
注2. デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1C1ビットを“1”(デジタルフィルタ無効)にしてください。
注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。
注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注5. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
注6. VW1C0ビットが“1”(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

6.2.8 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	—	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0：禁止 1：許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、6)	0：デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1：デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注3、4)	0：未検出 1：Vdet2通過検出	R/W
b3	VW2C3	WDT検出フラグ(注4)	0：未検出 1：検出	R/W
b4	VW2F0	サンプリングクロック選択ビット(注6)	b5 b4 0 0：fOCO-Sの1分周 0 1：fOCO-Sの2分周 1 0：fOCO-Sの4分周 1 1：fOCO-Sの8分周	R/W
b5	VW2F1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注5)	0：VCCがVdet2以上になるとき 1：VCCがVdet2以下になるとき	R/W

注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表6.3　電圧監視2割り込み関連ビットの設定手順」に従ってください。
注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2C1ビットを“1”(デジタルフィルタ無効)にしてください。
注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。
注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。
注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

6.2.9 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0:リセット後、ウォッチドッグタイマは自動的に起動 1:リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	"1"にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0:ROMコードプロテクト解除 1:ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0:ROMコードプロテクト有効 1:ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0:3.80Vを選択 (Vdet0_3) 0 1:2.85Vを選択 (Vdet0_2) 1 0:2.35Vを選択 (Vdet0_1) 1 1:1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0:リセット後、電圧監視0リセット有効 1:リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0:リセット後、カウントソース保護モード有効 1:リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは"FFh"になります。
ブランク出荷品の出荷時、OFSレジスタは"FFh"です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを"0"(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

6.3 VCC入力電圧のモニタ

6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「35.　電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

(1)　VD1LSレジスタのVD1S3～VD1S0ビット(電圧検出1検出電圧)を設定する
(2)　VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

6.3.3 Vdet2のモニタ

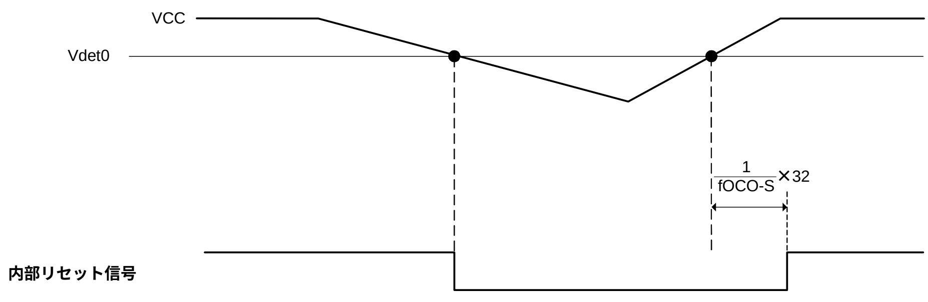
次の設定をした後、td(E-A) (「35.　電気的特性」参照)経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

- VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図6.5に電圧監視0リセット動作例を示します。



内部リセット信号が“L”になると端子、CPU、SFRが初期化されます。
内部リセット信号が“L”から“H”になると、リセットベクタで示される番地からプログラムを実行します。
リセット後のSFRの状態は「4. SFR」を参照してください。

図6.5 電圧監視0リセット動作例

6.5 電圧監視1割り込み

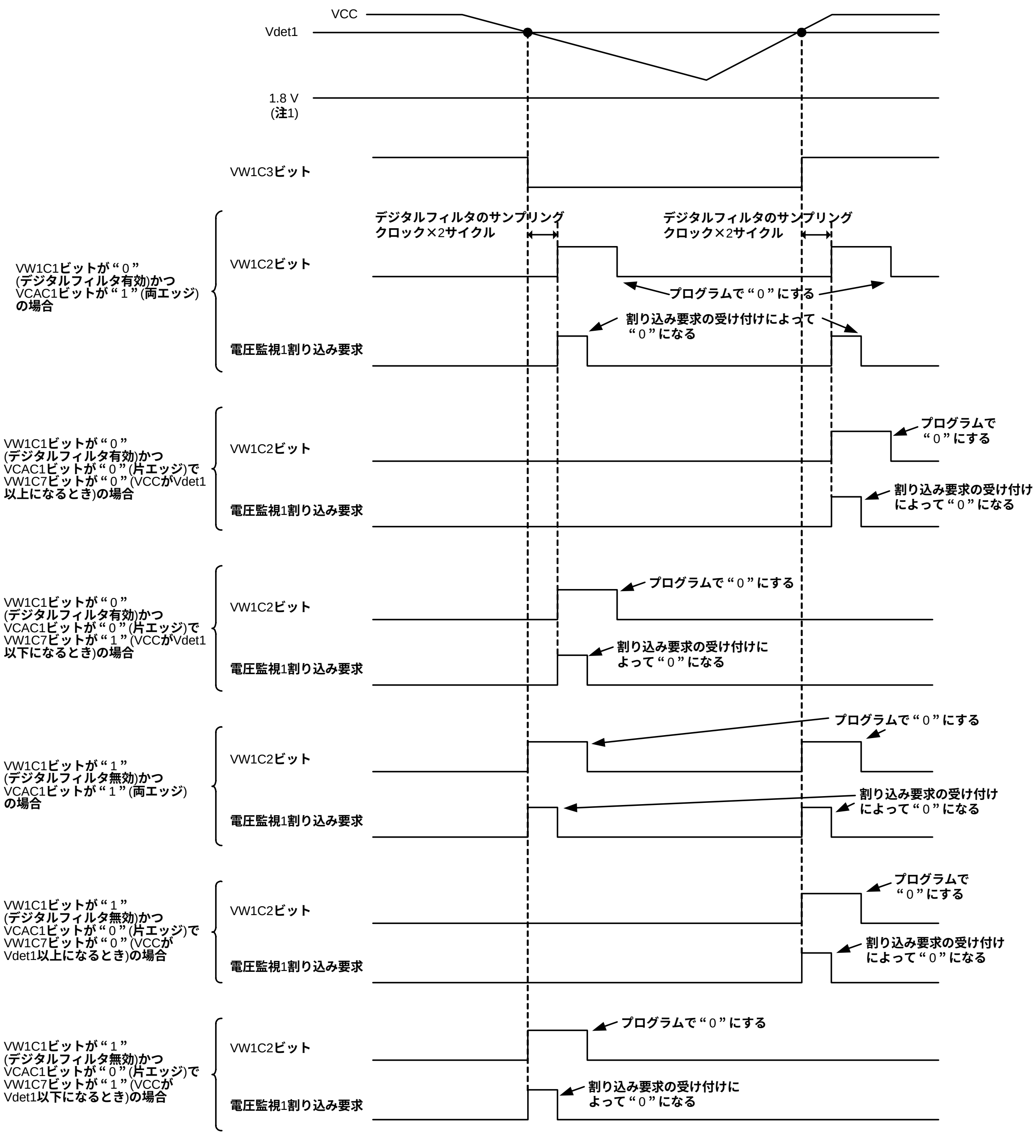
表6.2に電圧監視1割り込み関連ビットの設定手順を、図6.6に電圧監視1割り込み動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのCOMPSELビットを“1”にする	
5 (注1)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
7 (注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	—
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	—
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	—(待ち時間なし)
12 (注3)	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行可能です。
注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。
注3. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。
電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。



VW1C1、VW1C2、VW1C3、VW1C7：VW1Cレジスタのビット
VCAC1：VCACレジスタのビット

上図は次の条件の場合です。
• VCA2レジスタのVCA26ビット=1(電圧検出1回路有効)
• VW1CレジスタのVW1C0ビット=1(電圧監視1割り込み許可)

注1．電圧監視0リセットを使用しない場合、VCC≧1.8 Vで使用してください。

図 6.6 電圧監視1割り込み動作例

6.6　電圧監視2割り込み

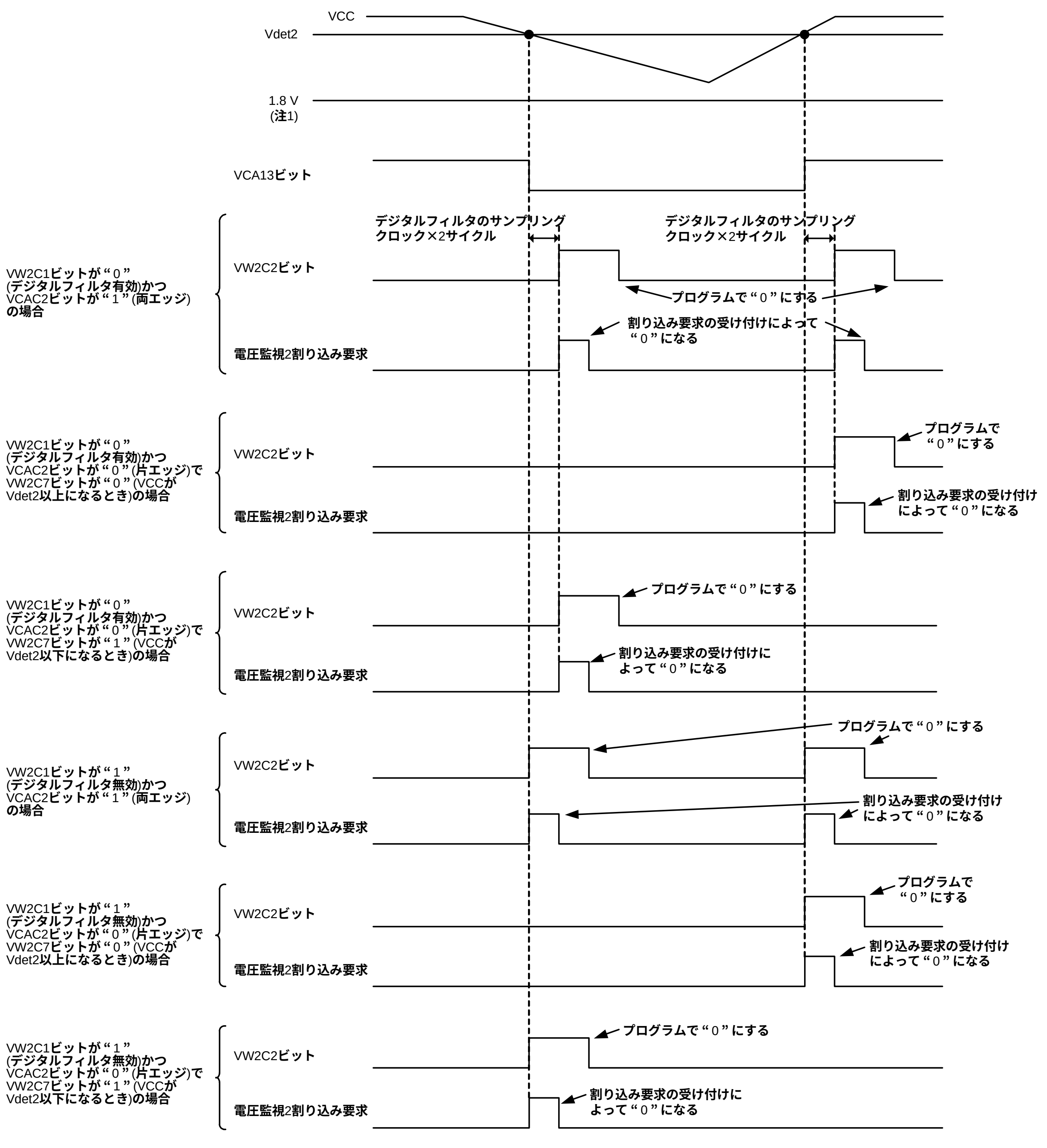
表6.3に電圧監視2割り込み関連ビットの設定手順を、図6.7に電圧監視2割り込み動作例を示します。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.3　電圧監視2割り込み関連ビットの設定手順

<table>
<tr><th>手順</th><th>デジタルフィルタを使用する場合</th><th>デジタルフィルタを使用しない場合</th></tr>
<tr><td>1</td><td colspan="2">VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする</td></tr>
<tr><td>2</td><td colspan="2">td(E-A)待つ</td></tr>
<tr><td>3</td><td colspan="2">CMPAレジスタのCOMPSELビットを“1”にする</td></tr>
<tr><td>4 (注1)</td><td colspan="2">CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する</td></tr>
<tr><td>5</td><td>VW2CレジスタのVW2F1～VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する</td><td>VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする</td></tr>
<tr><td>6 (注2)</td><td>VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする</td><td>—</td></tr>
<tr><td>7</td><td colspan="2">VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する</td></tr>
<tr><td>8</td><td colspan="2">VW2CレジスタのVW2C2ビットを“0”にする</td></tr>
<tr><td>9</td><td>CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする</td><td>—</td></tr>
<tr><td>10</td><td>デジタルフィルタのサンプリングクロック×2サイクル待つ</td><td>—(待ち時間なし)</td></tr>
<tr><td>11 (注3)</td><td colspan="2">VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする</td></tr>
</table>

注1.　VW2C0ビットが“0”のとき、手順3と4は同時に(1命令で)実行可能です。
注2.　VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行可能です。
注3.　電圧監視2割り込み禁止の状態でも、電圧検出2回路が有効であれば、電圧低下を検出し、VW2C2ビットは“1”になります。
電圧監視2割り込み関連ビットの設定手順において、電圧検出2回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW2C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。



VCA13：VCA1レジスタのビット
VW2C1、VW2C2、VW2C7：VW2Cレジスタのビット
VCAC2：VCACレジスタのビット

上図は次の条件の場合です。
・VCA2レジスタのVCA27ビット=1(電圧検出2回路有効)
・VW2CレジスタのVW2C0ビット=1(電圧監視2割り込み許可)

注1．電圧監視0リセットを使用しない場合、VCC≧1.8 Vで使用してください。

図 6.7　　電圧監視2割り込み動作例

7. I/Oポート

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

7.1 概要

I/Oポートは、LCD駆動制御波形出力用のLCDポートや発振回路、タイマ、A/Dコンバータなどの入出力機能を兼用しています。これらの機能を使用しないときI/Oポートとして使用できます。

表7.1にI/Oポートの概要を示します。

表7.1　I/Oポートの概要

ポート名	入出力形式	入出力設定	内部プルアップ抵抗(注1)	駆動能力切り替え(注2)	入力レベル切り替え(注3)
P0〜P4	入出力CMOS3ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で設定
P5_0〜P5_3	入出力CMOS3ステート	1ビット単位で設定	1ビット単位で設定	なし	4ビット単位で設定
P6、P7	入出力CMOS3ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で設定
P10、P11	入出力CMOS3ステート	1ビット単位で設定	1ビット単位で設定	1ビット単位で設定	8ビット単位で設定
P12_0〜P12_3	入出力CMOS3ステート	1ビット単位で設定	1ビット単位で設定	なし	4ビット単位で設定
P13	入出力CMOS3ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で設定

注1. 入力モード時、P0PUR〜P13PURレジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。
注2. P10DRRレジスタおよびP11DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。
注3. VLT0レジスタ、VLT1レジスタおよびVLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

表7.2　グループごとに備えるプログラマブル入出力ポート

プログラマブル入出力ポート	R8C/L35Cグループ I/O合計41本								R8C/L36Cグループ I/O合計52本								R8C/L38Cグループ I/O合計68本								R8C/L3ACグループ I/O合計88本							
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○
P2	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P3	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P4	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
P6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P7	○	○	○	○	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
P11	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P12	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○
P13	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○

注1. “○”が搭載するプログラマブル入出力ポートです。
注2. “—”は以下のように設定してください。
- PDi (i = 1～3、5～7、10～13) レジスタの対応するビットに“1”を書いてください。
- Pi (i = 1～3、5～7、10～13) レジスタの対応するビットに“0”を書いてください。
- P10DRR、P11DRRレジスタの対応するビットに“0”を書いてください。

7.2 I/Oポートの機能

ポートP0～P7、P10～P13の入出力はPDi (i=0～7、10～13)レジスタのPDi_j (j=0～7)ビットで制御します。Piレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.4にI/Oポートの構成を、表7.3にI/Oポートの機能を示します。

表7.3 I/Oポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

注1. i=0～7、10～13、j=0～7

7.3 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.11～表1.13のピン番号別端子名一覧」を参照してください)。

表7.4に周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0～7、10～13、j=0～7)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表7.4 周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0～7、10～13、j=0～7)

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でもよい(ポートの設定に関係なく、出力になる)

7.4 I/Oポート以外の端子

図7.5に端子の構成を示します。

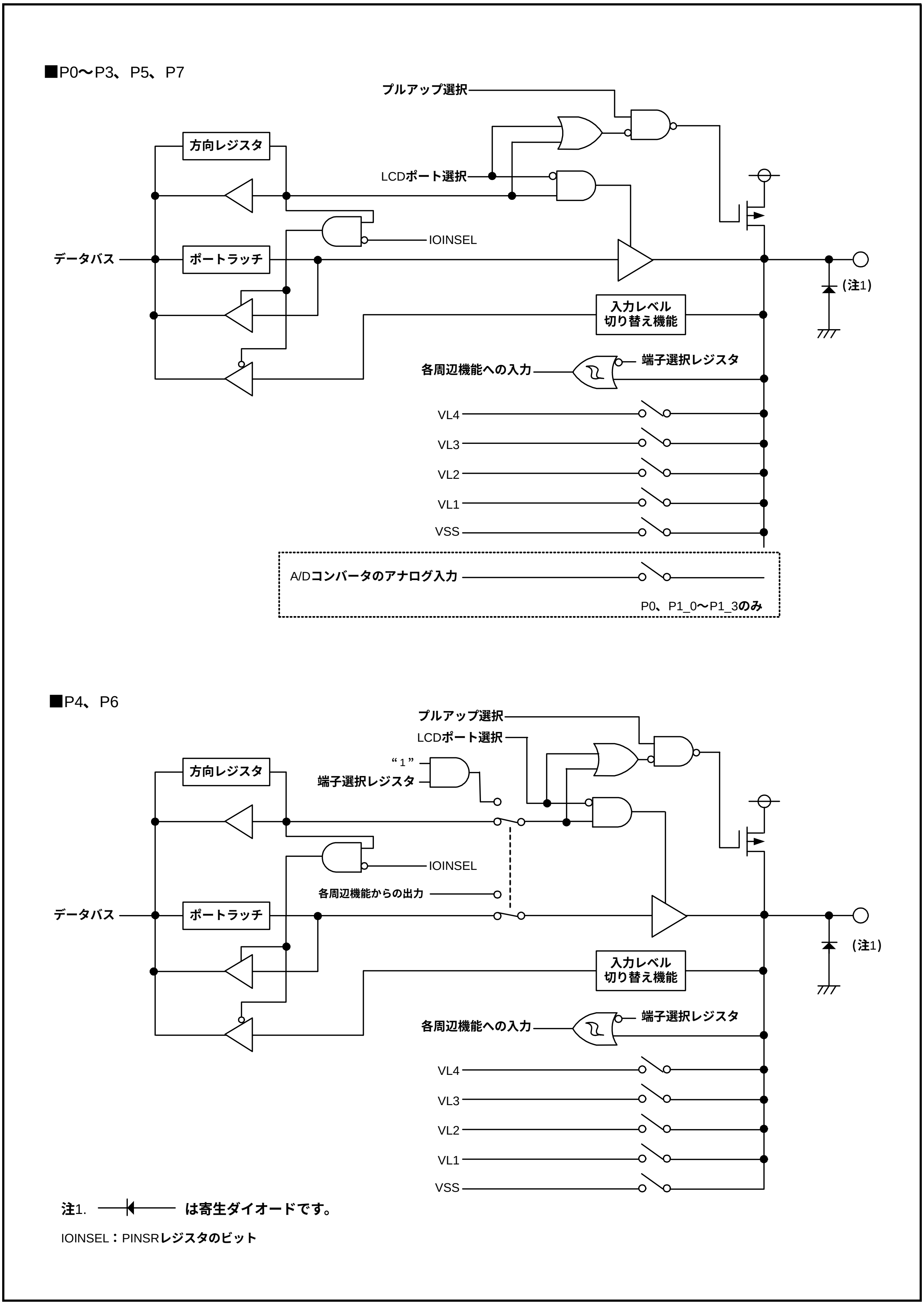
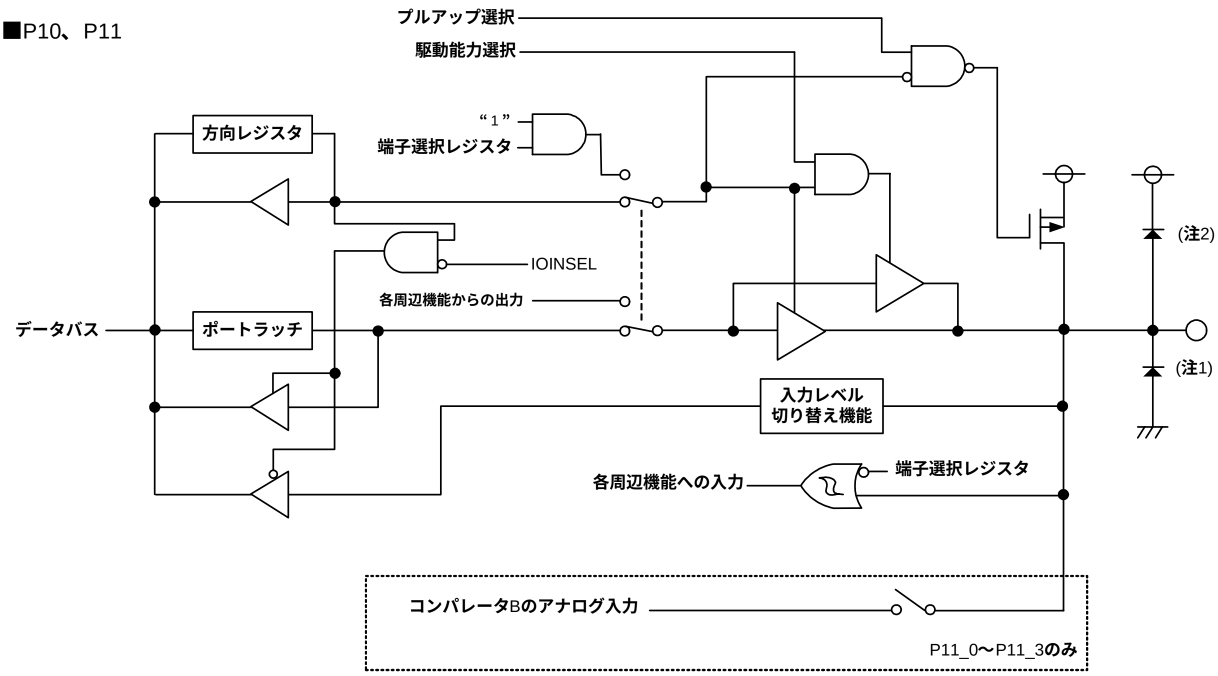
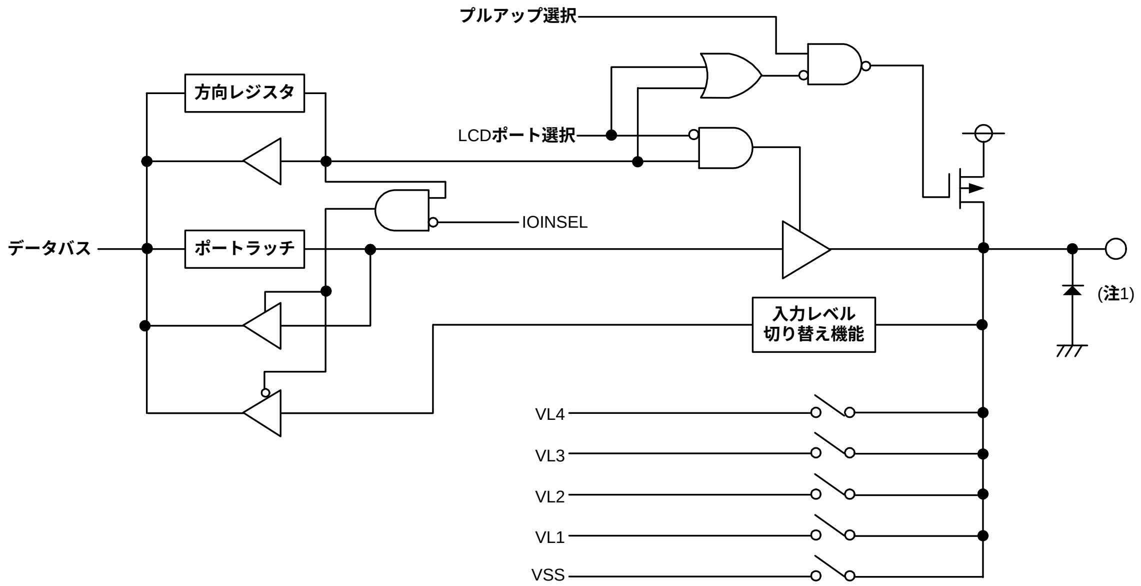


図7.1　I/Oポートの構成(1)

■P10、P11



■P12_2、P12_3

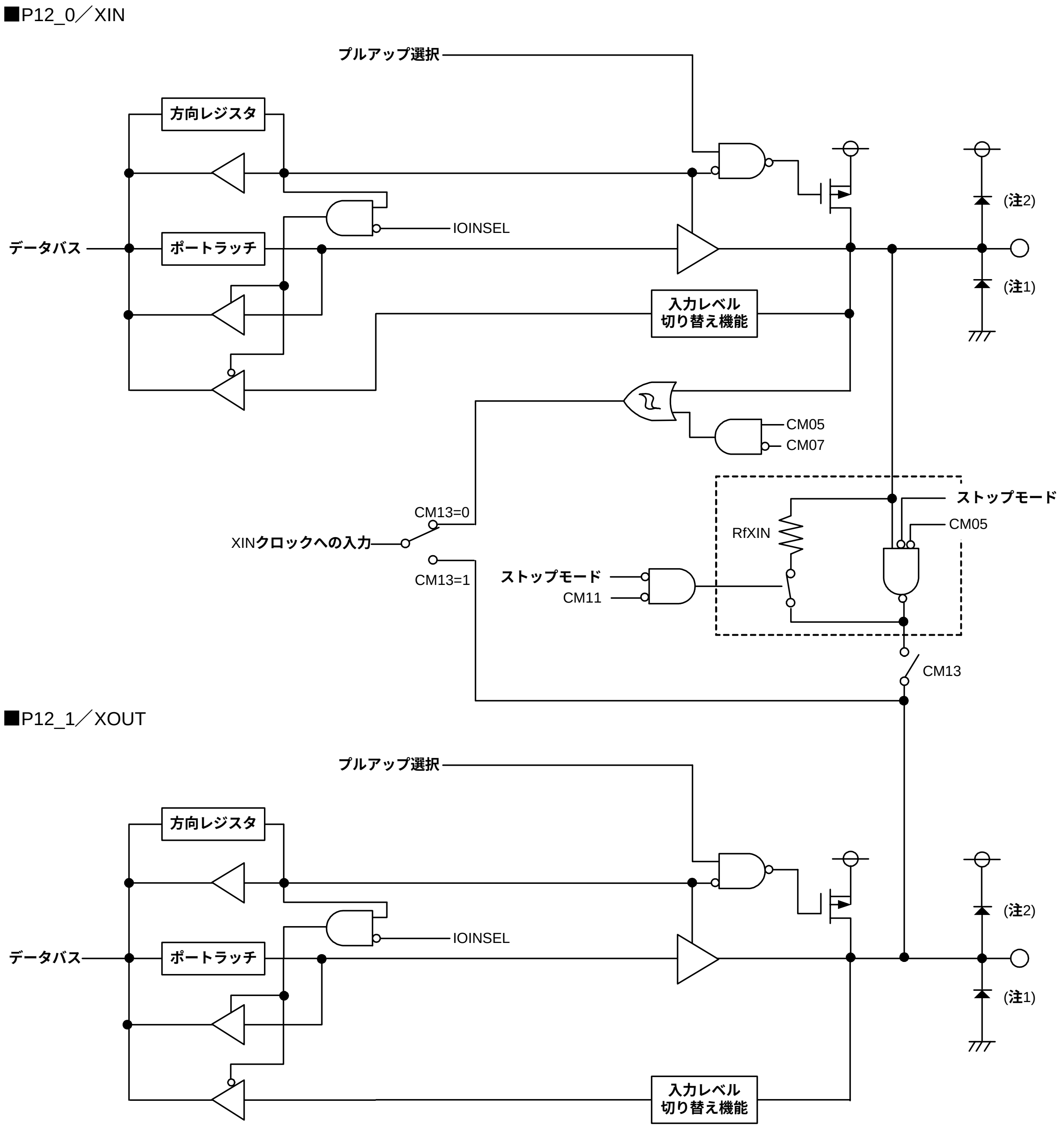


注1.　は寄生ダイオードです。

注2.　は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

IOINSEL：PINSRレジスタのビット

図7.2　　I/Oポートの構成(2)



注1.　は寄生ダイオードです。

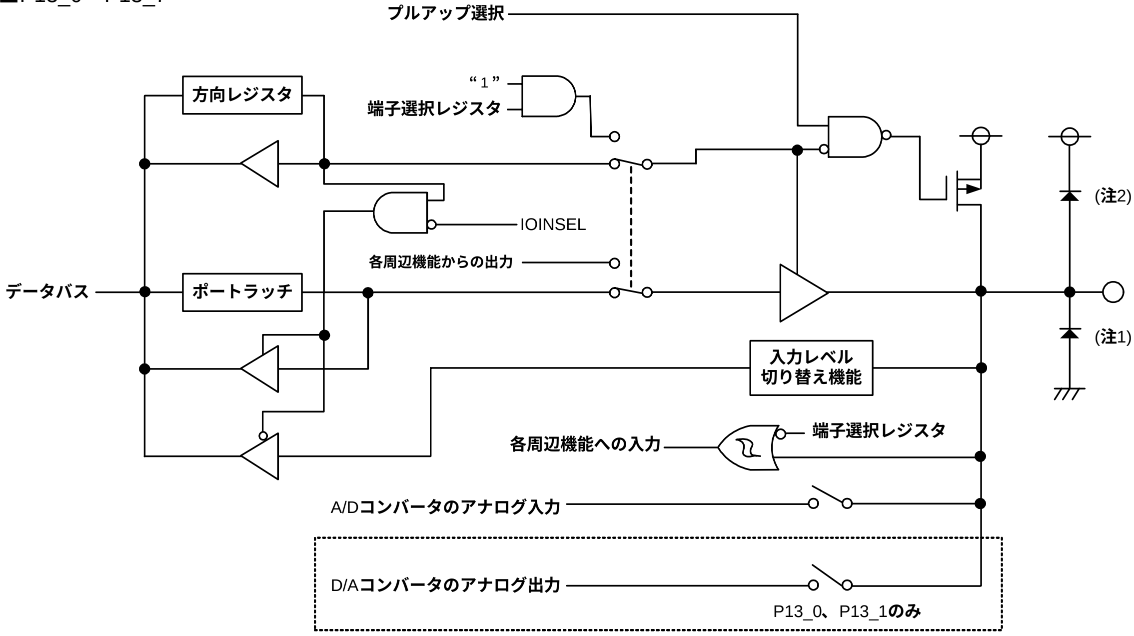
注2.　は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

CM05、CM07：CM0レジスタのビット
CM11、CM13：CM1レジスタのビット

IOINSEL：PINSRレジスタのビット

図7.3　　I/O**ポートの構成**(3)

■P13_0〜P13_7



注1.　　は寄生ダイオードです。
注2.　　は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

IOINSEL：PINSRレジスタのビット

図7.4　　I/Oポートの構成(4)

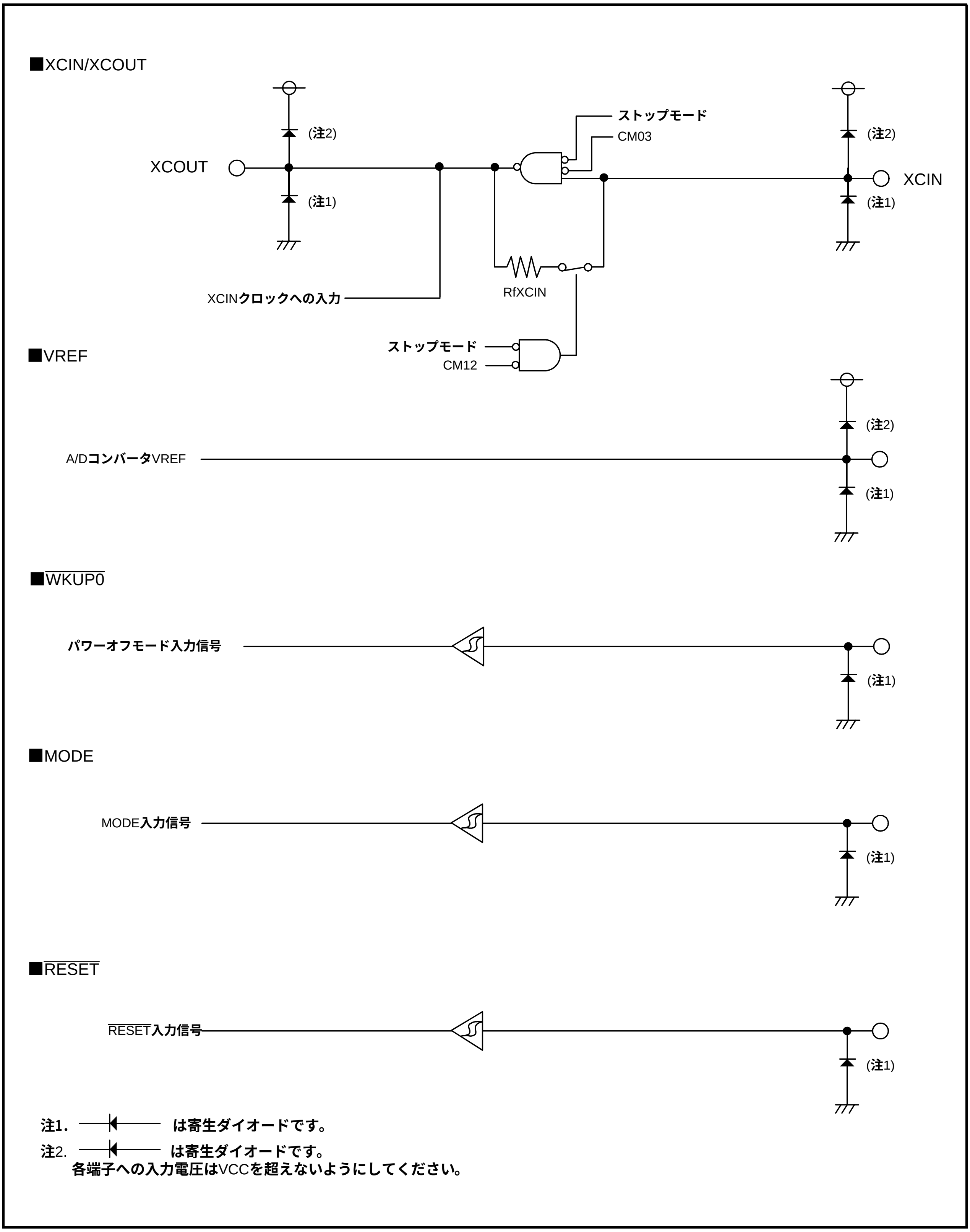

■XCIN/XCOUT
XCOUT
(注2)
(注1)
ストップモード
CM03
XCIN
(注2)
(注1)
RfXCIN
XCINクロックへの入力
■VREF
ストップモード
CM12
(注2)
A/DコンバータVREF
(注1)
■WKUP0
パワーオフモード入力信号
(注1)
■MODE
MODE入力信号
(注1)
■RESET
RESET入力信号
(注1)
注1. は寄生ダイオードです。
注2. は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

図7.5 端子の構成

7.5 レジスタの説明

7.5.1 ポートPi方向レジスタ(PDi)(i=0〜7、10〜13)

アドレス　00E2h番地(PD0)、00E3h番地(PD1)、00E6h番地(PD2)、00E7h番地(PD3)、
00EAh番地(PD4)、00EBh番地(PD5(注1))、00EEh番地(PD6)、00EFh番地(PD7)、
00F6h番地(PD10)、00F7h番地(PD11)、00FAh番地(PD12(注2))、00FBh番地(PD13)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1.　PD5レジスタのPD5_4〜PD5_7ビットは予約ビットです。これらのビットは“1”にしてください。
注2.　PD12レジスタのPD12_4 〜 PD12_7 ビットは予約ビットです。これらのビットは“1”にしてください。

PDi レジスタはI/O ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。

7.5.2 ポートPiレジスタ(Pi)(i=0〜7、10〜13)

アドレス 00E0h番地(P0)、00E1h番地(P1)、00E4h番地(P2)、00E5h番地(P3)、
00E8h番地(P4)、00E9h番地(P5(注1))、00ECh番地(P6)、00EDh番地(P7)、
00F4h番地(P10)、00F5h番地(P11)、00F8h番地(P12(注2))、00F9h番地(P13)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0:"L"レベル 1:"H"レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P5レジスタのP5_4〜P5_7ビットは予約ビットです。これらのビットは"0"にしてください。
注2. P12レジスタのP12_4〜P12_7ビットは予約ビットです。これらのビットは"0"にしてください。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

Pi_jビット(i=0〜7、10〜13、j=0〜7)(ポートPi_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

7.5.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAIO端子選択ビット	b1 b0 0 0：TRAIO端子は使用しない 0 1：P11_4に割り当てる(注1) 1 0：$\overline{\text{INT4}}$に割り当てる(注2) 1 1：設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. ハードウェアLINを使用する場合は、TRAIOSEL1～TRAIOSEL0ビットに“01b”を設定してください。
注2. $\overline{\text{INT4}}$入力極性としてタイマRAのイベントカウンタモードでのみ両エッジを選択できます。INTEN1レジスタのINT4PLビットを“1”(両エッジ)にしてください。また、両エッジを選択した場合は、TRAIOCレジスタのTIPF1～TIPF0ビットを“00b”(フィルタなし)にしてください。

タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

7.5.4 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRCTRGSEL1	TRCTRGSEL0	—	TRCCLKSEL0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	0：TRCCLK端子は使用しない 1：TRCCLK端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRCTRGSEL0	TRCTRG端子選択ビット	b7 b6 0 0：TRCTRG端子は使用しない 0 1：P3_7に割り当てる 1 0：P4_3に割り当てる 1 1：P4_4に割り当てる	R/W
b7	TRCTRGSEL1			R/W

タイマRBのレジスタ機能は備えていません。

タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定をする前にこのレジスタを設定してください。また、タイマRCの動作中はTRCCLKSEL0ビットの設定値を変更しないでください。

7.5.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCIOBSEL1	TRCIOBSEL0	—	—	—	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA端子選択ビット	0：TRCIOA端子は使用しない 1：TRCIOA端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 0 0：TRCIOB端子は使用しない 0 1：P4_5に割り当てる 1 0：P4_6に割り当てる 1 1：P4_7に割り当てる	R/W
b5	TRCIOBSEL1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—			

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

7.5.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	TRCIODSEL0	—	—	—	TRCIOCSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCSEL0	TRCIOC端子選択ビット(注1)	0：TRCIOC端子は使用しない 1：P4_6に割り当てる	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	TRCIODSEL0	TRCIOD端子選択ビット(注2)	0：TRCIOD端子は使用しない 1：P4_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

注1. TRCPSR0レジスタのTRCIOBSEL1～TRCIOBSEL0ビットを“10b”(TRCIOB端子をP4_6に割り当てる)に設定した場合は、TRCIOCSEL0ビットの内容にかかわらず、P4_6はTRCIOB端子になります。
注2. TRCPSR0レジスタのTRCIOBSEL1～TRCIOBSEL0ビットを“11b”(TRCIOB端子をP4_7に割り当てる)に設定した場合は、TRCIODSEL0ビットの内容にかかわらず、P4_7はTRCIOB端子になります。

TRCPSR1レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

7.5.7 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 0 0：TRDIOA0/TRDCLK端子は使用しない 0 1：P6_0に割り当てる 1 0：P10_0に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0：TRDIOB0端子は使用しない 0 1：P6_1に割り当てる 1 0：P10_1に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0：TRDIOC0端子は使用しない 0 1：P6_2に割り当てる 1 0：P10_2に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 0 0：TRDIOD0端子は使用しない 0 0：P6_3に割り当てる 1 0：P10_3に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

7.5.8 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 0 0：TRDIOA1端子は使用しない 0 1：P6_4に割り当てる 1 0：P10_4に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 0 0：TRDIOB1端子は使用しない 0 1：P6_5に割り当てる 1 0：P10_5に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 0 0：TRDIOC1端子は使用しない 0 1：P6_6に割り当てる 1 0：P10_6に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 0 0：TRDIOD1端子は使用しない 0 1：P6_7に割り当てる 1 0：P10_7に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

7.5.9 タイマRG端子選択レジスタ (TRGPSR)

アドレス 0187h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRGCLKBSEL0	TRGCLKASEL0	TRGIOBSEL0	TRGIOASEL0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	TRGIOASEL0	TRGIOA端子選択ビット	0：TRGIOA端子は使用しない 1：TRGIOA端子を使用する	R/W
b5	TRGIOBSEL0	TRGIOB端子選択ビット	0：TRGIOB端子は使用しない 1：TRGIOB端子を使用する	R/W
b6	TRGCLKASEL0	TRGCLKA端子選択ビット	0：TRGCLKA端子は使用しない 1：TRGCLKA端子を使用する	R/W
b7	TRGCLKBSEL0	TRGCLKB端子選択ビット	0：TRGCLKB端子は使用しない 1：TRGCLKB端子を使用する	R/W

TRGPSRレジスタは、タイマRGの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRGの入出力端子を使用する場合は、TRGPSRレジスタを設定してください。

タイマRGの関連レジスタを設定をする前に、TRGPSRレジスタを設定してください。また、タイマRGの動作中はTRGPSRレジスタの設定値を変更しないでください。

7.5.10 UART0端子選択レジスタ (U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK0SEL0	RXD0SEL1	RXD0SEL0	—	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	0：TXD0端子は使用しない 1：TXD0端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	RXD0SEL0	RXD0端子選択ビット	b3 b2 0 0：RXD0端子は使用しない 0 1：P13_2に割り当てる 1 0：P11_4に割り当てる 1 1：設定しないでください	R/W
b3	RXD0SEL1			R/W
b4	CLK0SEL0	CLK0端子選択ビット	0：CLK0端子は使用しない 1：CLK0端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

7.5.11 UART1端子選択レジスタ(U1SR)

アドレス 0189h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK1SEL0	—	RXD1SEL0	—	TXD1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SEL0	TXD1端子選択ビット	0：TXD1端子は使用しない 1：TXD1端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	RXD1SEL0	RXD1端子選択ビット	0：RXD1端子は使用しない 1：RXD1端子を使用する	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	CLK1SEL0	CLK1端子選択ビット	0：CLK1端子は使用しない 1：CLK1端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

U1SRレジスタは、UART1の入出力をどの端子に割り当てるかを選択するレジスタです。UART1の入出力端子を使用する場合は、U1SRレジスタを設定してください。

UART1の関連レジスタを設定する前に、U1SRレジスタを設定してください。また、UART1の動作中はU1SRレジスタの設定値を変更しないでください。

7.5.12 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RXD2SEL1	RXD2SEL0	—	—	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	b1 b0 0 0：TXD2/SDA2端子は使用しない 0 1：P11_2に割り当てる 1 0：P11_1に割り当てる 1 1：設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 0 0：RXD2/SCL2端子は使用しない 0 1：P11_1に割り当てる 1 0：P11_2に割り当てる 1 1：設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—			

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

7.5.13 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CTS2SEL0	—	—	—	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	0：CLK2端子は使用しない 1：CLK2端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	CTS2SEL0	$\overline{CTS2}/\overline{RTS2}$端子選択ビット	0：$\overline{CTS2}/\overline{RTS2}$端子は使用しない 1：$\overline{CTS2}/\overline{RTS2}$端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

7.5.14 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I²Cバス切り替えビット	0：SSU機能を選択 1：I²Cバス機能を選択	R/W
b1	—	予約ビット	"0"にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

7.5.15 キー入力端子選択レジスタ(KISR)

アドレス 018Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7SEL0	KI6SEL0	KI5SEL0	KI4SEL0	KI3SEL0	KI2SEL0	KI1SEL0	KI0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0SEL0	$\overline{\text{KI0}}$端子選択ビット	0：P2_0に割り当てる 1：P10_0に割り当てる	R/W
b1	KI1SEL0	$\overline{\text{KI1}}$端子選択ビット	0：P2_1に割り当てる 1：P10_1に割り当てる	R/W
b2	KI2SEL0	$\overline{\text{KI2}}$端子選択ビット	0：P2_2に割り当てる 1：P10_2に割り当てる	R/W
b3	KI3SEL0	$\overline{\text{KI3}}$端子選択ビット	0：P2_3に割り当てる 1：P10_3に割り当てる	R/W
b4	KI4SEL0	$\overline{\text{KI4}}$端子選択ビット	0：P2_4に割り当てる 1：P10_4に割り当てる	R/W
b5	KI5SEL0	$\overline{\text{KI5}}$端子選択ビット	0：P2_5に割り当てる 1：P10_5に割り当てる	R/W
b6	KI6SEL0	$\overline{\text{KI6}}$端子選択ビット	0：P2_6に割り当てる 1：P10_6に割り当てる	R/W
b7	KI7SEL0	$\overline{\text{KI7}}$端子選択ビット	0：P2_7に割り当てる 1：P10_7に割り当てる	R/W

KISRレジスタは、$\overline{\text{KIi}}$ (i=0～7)の入力をどの端子に割り当てるかを選択するレジスタです。$\overline{\text{KIi}}$を使用する場合は、KISRレジスタを設定してください。

$\overline{\text{KIi}}$の関連レジスタを設定をする前に、KISRレジスタを設定してください。また、$\overline{\text{KIi}}$の動作中はKISRレジスタの設定値を変更しないでください。

7.5.16 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7SEL0	INT6SEL0	INT5SEL0	INT4SEL0	INT3SEL0	INT2SEL0	INT1SEL0	INT0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0SEL0	$\overline{\text{INT0}}$端子選択ビット	0：P3_0に割り当てる 1：P11_0に割り当てる	R/W
b1	INT1SEL0	$\overline{\text{INT1}}$端子選択ビット	0：P3_1に割り当てる 1：P11_1に割り当てる	R/W
b2	INT2SEL0	$\overline{\text{INT2}}$端子選択ビット	0：P3_2に割り当てる 1：P11_2に割り当てる	R/W
b3	INT3SEL0	$\overline{\text{INT3}}$端子選択ビット	0：P3_3に割り当てる 1：P11_3に割り当てる	R/W
b4	INT4SEL0	$\overline{\text{INT4}}$端子選択ビット	0：P3_4に割り当てる 1：P11_4に割り当てる	R/W
b5	INT5SEL0	$\overline{\text{INT5}}$端子選択ビット	0：P3_5に割り当てる 1：P11_5に割り当てる	R/W
b6	INT6SEL0	$\overline{\text{INT6}}$端子選択ビット	0：P3_6に割り当てる 1：P11_6に割り当てる	R/W
b7	INT7SEL0	$\overline{\text{INT7}}$端子選択ビット	0：P3_7に割り当てる 1：P11_7に割り当てる	R/W

INTSRレジスタは、$\overline{\text{INTi}}$ (i=0～7)の入力をどの端子に割り当てるかを選択するレジスタです。$\overline{\text{INTi}}$を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INTi}}$の関連レジスタを設定をする前に、INTSRレジスタを設定してください。また、$\overline{\text{INTi}}$の動作中はINTSRレジスタの設定値を変更しないでください。

7.5.17 入出力機能端子選択レジスタ(PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	IOINSEL	I/Oポート入力機能選択ビット	0：I/Oポートの入力機能はPDi (i=0～7、10～13)レジスタに依存 PDiレジスタのPDi_j (j=0～7)ビットが“0”(入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1”(出力モード)のとき、ポートラッチを読む。 1：I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I²C転送レート2倍選択ビット	0：ICCR1レジスタのCKS0～CKS3ビットの設定値通りの転送レート 1：ICCR1レジスタのCKS0～CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I²C転送レート1/2倍選択ビット	0：ICCR1レジスタのCKS0～CKS3ビットの設定値通りの転送レート 1：ICCR1レジスタのCKS0～CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 0 0：3×f1サイクルのデジタル遅延 0 1：11×f1サイクルのデジタル遅延 1 0：19×f1サイクルのデジタル遅延 1 1：設定しないでください	R/W
b7	SDADLY1			R/W

IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0～7、10～13)レジスタのPDi_j (j=0～7)ビットが“1”(出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表7.5にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表7.5　IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0”(入力モード)		“1”(出力モード)	
IOINSELビット	“0”	“1”	“0”	“1”
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

7.5.18 ポートPiプルアップ制御レジスタ(PiPUR)(i=0〜7、10〜13)

アドレス 01E0h番地(P0PUR)、01E1h番地(P1PUR)、01E2h番地(P2PUR)、01E3h番地(P3PUR)、
01E4h番地(P4PUR)、01E5h番地(P5PUR)、01E6h番地(P6PUR)、01E7h番地(P7PUR)、
EAh番地(P10PUR)、01EBh番地(P11PUR)、01ECh番地(P12PUR)、01EDh番地(P13PUR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUi7	PUi6	PUi5	PUi4	PUi3	PUi2	PUi1	PUi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUi0	ポートPi_0のプルアップ	0：プルアップなし 1：プルアップあり(注1)	R/W
b1	PUi1	ポートPi_1のプルアップ		R/W
b2	PUi2	ポートPi_2のプルアップ		R/W
b3	PUi3	ポートPi_3のプルアップ		R/W
b4	PUi4	ポートPi_4のプルアップ		R/W
b5	PUi5	ポートPi_5のプルアップ		R/W
b6	PUi6	ポートPi_6のプルアップ		R/W
b7	PUi7	ポートPi_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。
注2. P5PURレジスタのPU54〜PU57ビットは予約ビットです。これらのビットは“0”にしてください。
注3. P12PURレジスタのPU124〜PU127ビットは予約ビットです。これらのビットは“0”にしてください。

入力として使用している端子は、PiPURレジスタの設定値が有効になります。

7.5.19 ポートP10駆動能力制御レジスタ(P10DRR)

アドレス 01F0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P10DRR7	P10DRR6	P10DRR5	P10DRR4	P10DRR3	P10DRR2	P10DRR1	P10DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P10DRR0	ポートP10_0の駆動能力	0：Low 1：High(注1)	R/W
b1	P10DRR1	ポートP10_1の駆動能力		R/W
b2	P10DRR2	ポートP10_2の駆動能力		R/W
b3	P10DRR3	ポートP10_3の駆動能力		R/W
b4	P10DRR4	ポートP10_4の駆動能力		R/W
b5	P10DRR5	ポートP10_5の駆動能力		R/W
b6	P10DRR6	ポートP10_6の駆動能力		R/W
b7	P10DRR7	ポートP10_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P10DRRレジスタはP10の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P10DRRiビット(i=0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子はP10DRRレジスタの設定値が有効になります。

7.5.20 ポートP11駆動能力制御レジスタ(P11DRR)

アドレス 01F1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P11DRR7	P11DRR6	P11DRR5	P11DRR4	P11DRR3	P11DRR2	P11DRR1	P11DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P11DRR0	ポートP11_0の駆動能力	0：Low 1：High(注1)	R/W
b1	P11DRR1	ポートP11_1の駆動能力		R/W
b2	P11DRR2	ポートP11_2の駆動能力		R/W
b3	P11DRR3	ポートP11_3の駆動能力		R/W
b4	P11DRR4	ポートP11_4の駆動能力		R/W
b5	P11DRR5	ポートP11_5の駆動能力		R/W
b6	P11DRR6	ポートP11_6の駆動能力		R/W
b7	P11DRR7	ポートP11_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P11DRRレジスタはP11の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P11DRRiビット(i=0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子はP11DRRレジスタの設定値が有効になります。

7.5.21 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入力レベル選択ビット	b1 b0 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入力レベル選択ビット	b3 b2 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b3	VLT03			R/W
b4	VLT04	P2の入力レベル選択ビット	b5 b4 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b5	VLT05			R/W
b6	VLT06	P3の入力レベル選択ビット	b7 b6 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP0～P3の入力しきい値の電圧レベルを選択するレジスタです。VLT00～VLT07ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5.22 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT17	VLT16	VLT15	VLT14	VLT13	VLT12	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4の入力レベル選択ビット	b1 b0 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b1	VLT11			R/W
b2	VLT12	P5_0～P5_3の入力レベル選択ビット	b3 b2 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b3	VLT13			R/W
b4	VLT14	P6の入力レベル選択ビット	b5 b4 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b5	VLT15			R/W
b6	VLT16	P7の入力レベル選択ビット	b7 b6 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b7	VLT17			R/W

VLT1レジスタはポートP4～P7の入力しきい値の電圧レベルを選択するレジスタです。VLT10～VLT17ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5.23　入力しきい値制御レジスタ2 (VLT2)

アドレス 01F7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT27	VLT26	VLT25	VLT24	VLT23	VLT22	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P10の入力レベル選択ビット	b1 b0 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b1	VLT21			R/W
b2	VLT22	P11の入力レベル選択ビット	b3 b2 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b3	VLT23			R/W
b4	VLT24	P12_0～P12_3の入力レベル選択ビット	b5 b4 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b5	VLT25			R/W
b6	VLT26	P13の入力レベル選択ビット	b7 b6 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b7	VLT27			R/W

VLT2レジスタはポートP10～P13の入力しきい値の電圧レベルを選択するレジスタです。VLT20～VLT27ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.6 ポートの設定

表7.6～表7.24にポートの設定を示します。

表7.6 ポートP0

端子	レジスタ	PD0	LSE0	ADINSEL					機能
	ビット	PD0_i	LSEi	CH			ADGSEL		
				2	1	0	1	0	
ポートP0_0 SEG0 AN4	i=0	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG0)
		0	0	1	0	0	0	0	A/Dコンバータ入力(AN4)(注1)
ポートP0_1 SEG1 AN5	i=1	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG1)
		0	0	1	0	1	0	0	A/Dコンバータ入力(AN5)(注1)
ポートP0_2 SEG2 AN6	i=2	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG2)
		0	0	1	1	0	0	0	A/Dコンバータ入力(AN6)(注1)
ポートP0_3 SEG3 AN7	i=3	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG3)
		0	0	1	1	1	0	0	A/Dコンバータ入力(AN7)(注1)
ポートP0_4 SEG4 AN8	i=4	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG4)
		0	0	0	0	0	0	1	A/Dコンバータ入力(AN8)(注1)
ポートP0_5 SEG5 AN9	i=5	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG5)
		0	0	0	0	1	0	1	A/Dコンバータ入力(AN9)(注1)
ポートP0_6 SEG6 AN10	i=6	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG6)
		0	0	0	1	0	0	1	A/Dコンバータ入力(AN10)(注1)
ポートP0_7 SEG7 AN11	i=7	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG7)
		0	0	0	1	1	0	1	A/Dコンバータ入力(AN11)(注1)

X :“0”または“1”

注1. P0PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.7　ポートP1

端子	レジスタ	PD1	LSE1	ADINSEL					機能
				CH			ADGSEL		
	ビット	PD1_i	LSEi+8	2	1	0	1	0	
ポートP1_0 SEG8 AN12	i=0	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG8)
		0	0	1	0	0	0	1	A/Dコンバータ入力(AN12)(注1)
ポートP1_1 SEG9 AN13	i=1	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG9)
		0	0	1	0	1	0	1	A/Dコンバータ入力(AN13)(注1)
ポートP1_2 SEG10 AN14	i=2	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG10)
		0	0	1	1	0	0	1	A/Dコンバータ入力(AN14)(注1)
ポートP1_3 SEG11 AN15	i=3	0	0	X	X	X	X	X	入力ポート(注1)
		1	0	X	X	X	X	X	出力ポート
		X	1	X	X	X	X	X	LCD駆動制御出力(SEG11)
		0	0	1	1	1	0	1	A/Dコンバータ入力(AN15)(注1)
ポートP1_4 SEG12	i=4	0	0	—	—	—	—	—	入力ポート(注1)
		1	0	—	—	—	—	—	出力ポート
		X	1	—	—	—	—	—	LCD駆動制御出力(SEG12)
ポートP1_5 SEG13	i=5	0	0	—	—	—	—	—	入力ポート(注1)
		1	0	—	—	—	—	—	出力ポート
		X	1	—	—	—	—	—	LCD駆動制御出力(SEG13)
ポートP1_6 SEG14	i=6	0	0	—	—	—	—	—	入力ポート(注1)
		1	0	—	—	—	—	—	出力ポート
		X	1	—	—	—	—	—	LCD駆動制御出力(SEG14)
ポートP1_7 SEG15	i=7	0	0	—	—	—	—	—	入力ポート(注1)
		1	0	—	—	—	—	—	出力ポート
		X	1	—	—	—	—	—	LCD駆動制御出力(SEG15)

X :“0”または“1”
注1.　P1PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.8 ポートP2

端子	レジスタ	PD2	LSE2	KISR	KIEN	KIEN1	機能
	ビット	PD2_i	LSEi+16	KIiSEL0	KIiEN	KIiEN	
ポートP2_0 SEG16 $\overline{\text{KI0}}$	i=0	0	0	X	X	—	入力ポート(注1)
		1	0	X	X	—	出力ポート
		X	1	X	X	—	LCD駆動制御出力(SEG16)
		0	0	0	1	—	$\overline{\text{KI0}}$入力(注1)
ポートP2_1 SEG17 $\overline{\text{KI1}}$	i=1	0	0	X	X	—	入力ポート(注1)
		1	0	X	X	—	出力ポート
		X	1	X	X	—	LCD駆動制御出力(SEG17)
		0	0	0	1	—	$\overline{\text{KI1}}$入力(注1)
ポートP2_2 SEG18 $\overline{\text{KI2}}$	i=2	0	0	X	X	—	入力ポート(注1)
		1	0	X	X	—	出力ポート
		X	1	X	X	—	LCD駆動制御出力(SEG18)
		0	0	0	1	—	$\overline{\text{KI2}}$入力(注1)
ポートP2_3 SEG19 $\overline{\text{KI3}}$	i=3	0	0	X	X	—	入力ポート(注1)
		1	0	X	X	—	出力ポート
		X	1	X	X	—	LCD駆動制御出力(SEG19)
		0	0	0	1	—	$\overline{\text{KI3}}$入力(注1)
ポートP2_4 SEG20 $\overline{\text{KI4}}$	i=4	0	0	X	—	X	入力ポート(注1)
		1	0	X	—	X	出力ポート
		X	1	X	—	X	LCD駆動制御出力(SEG20)
		0	0	0	—	1	$\overline{\text{KI4}}$入力(注1)
ポートP2_5 SEG21 $\overline{\text{KI5}}$	i=5	0	0	X	—	X	入力ポート(注1)
		1	0	X	—	X	出力ポート
		X	1	X	—	X	LCD駆動制御出力(SEG21)
		0	0	0	—	1	$\overline{\text{KI5}}$入力(注1)
ポートP2_6 SEG22 $\overline{\text{KI6}}$	i=6	0	0	X	—	X	入力ポート(注1)
		1	0	X	—	X	出力ポート
		X	1	X	—	X	LCD駆動制御出力(SEG22)
		0	0	0	—	1	$\overline{\text{KI6}}$入力(注1)
ポートP2_7 SEG23 $\overline{\text{KI7}}$	i=7	0	0	X	—	X	入力ポート(注1)
		1	0	X	—	X	出力ポート
		X	1	X	—	X	LCD駆動制御出力(SEG23)
		0	0	0	—	1	$\overline{\text{KI7}}$入力(注1)

X：“0”または“1”、 —：関係しない

注1. P2PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.9 ポートP3

端子	レジスタ	PD3	LSE3	INTSR	INTEN	INTEN1	ADMOD		TRBRCSR		TRCMR	TRCCR2		機能
	ビット	PD3_i	LSEi+24	INTiSEL0	INTiEN	INTiEN	ADCAP1	ADCAP0	TRCTRGSEL1	TRCTRGSEL0	PWM2	TCEG1	TCEG0	
ポートP3_0 SEG24 $\overline{\text{INT0}}$	i=0	0	0	X	X	—	—	—	—	—	—	—	—	入力ポート(注1)
		1	0	X	X	—	—	—	—	—	—	—	—	出力ポート
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG24)
		0	0	0	1	—	—	—	—	—	—	—	—	$\overline{\text{INT0}}$入力(注1)
ポートP3_1 SEG25 $\overline{\text{INT1}}$	i=1	0	0	X	X	—	—	—	—	—	—	—	—	入力ポート(注1)
		1	0	X	X	—	—	—	—	—	—	—	—	出力ポート
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG25)
		0	0	0	1	—	—	—	—	—	—	—	—	$\overline{\text{INT1}}$入力(注1)
ポートP3_2 SEG26 $\overline{\text{INT2}}$	i=2	0	0	X	X	—	—	—	—	—	—	—	—	入力ポート(注1)
		1	0	X	X	—	—	—	—	—	—	—	—	出力ポート
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG26)
		0	0	0	1	—	—	—	—	—	—	—	—	$\overline{\text{INT2}}$入力(注1)
ポートP3_3 SEG27 $\overline{\text{INT3}}$	i=3	0	0	X	X	—	—	—	—	—	—	—	—	入力ポート(注1)
		1	0	X	X	—	—	—	—	—	—	—	—	出力ポート
		X	1	X	X	—	—	—	—	—	—	—	—	LCD駆動制御出力(SEG27)
		0	0	0	1	—	—	—	—	—	—	—	—	$\overline{\text{INT3}}$入力(注1)
ポートP3_4 SEG28 $\overline{\text{INT4}}$	i=4	0	0	X	—	X	—	—	—	—	—	—	—	入力ポート(注1)
		1	0	X	—	X	—	—	—	—	—	—	—	出力ポート
		X	1	X	—	X	—	—	—	—	—	—	—	LCD駆動制御出力(SEG28)
		0	0	0	—	1	—	—	—	—	—	—	—	$\overline{\text{INT4}}$入力(注1)
ポートP3_5 SEG29 $\overline{\text{INT5}}$	i=5	0	0	X	—	X	—	—	—	—	—	—	—	入力ポート(注1)
		1	0	X	—	X	—	—	—	—	—	—	—	出力ポート
		X	1	X	—	X	—	—	—	—	—	—	—	LCD駆動制御出力(SEG29)
		0	0	0	—	1	—	—	—	—	—	—	—	$\overline{\text{INT5}}$入力(注1)
ポートP3_6 SEG30 $\overline{\text{INT6}}$	i=6	0	0	X	—	X	—	—	—	—	—	—	—	入力ポート(注1)
		1	0	X	—	X	—	—	—	—	—	—	—	出力ポート
		X	1	X	—	X	—	—	—	—	—	—	—	LCD駆動制御出力(SEG30)
		0	0	0	—	1	—	—	—	—	—	—	—	$\overline{\text{INT6}}$入力(注1)
ポートP3_7 SEG31 $\overline{\text{INT7}}$ $\overline{\text{ADTRG}}$ TRCTRG	i=7	0	0	X	—	X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0	X	—	X	X	X	X	X	X	X	X	出力ポート
		X	1	X	—	1	X	X	X	X	X	X	X	LCD駆動制御出力(SEG31)
		0	0	0	—	1	X	X	X	X	X	X	X	$\overline{\text{INT7}}$入力(注1)
		0	0	0	—	1	1	1	X	X	X	X	X	ADTRG入力(注1)
		0	0	X	—	X	X	X	0	1	0	0	1	PWM2モード TRCTRG入力(注1)
												1	X	

X:"0"または"1"、 —:関係しない

注1. P3PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

表7.10　ポートP4_0～P4_2

端子	レジスタ	PD4	LSE4	U1SR			U1MR				機能
	ビット	PD4_i	LSEi+32	CLK1SEL0	RXD1SEL0	TXD1SEL0	SMD2	SMD1	SMD0	CKDIR	
ポートP4_0 SEG32 TXD1	i=0	0	0	—	—	0	X	X	X	X	入力ポート(注1)
		1	0	—	—	0	X	X	X	X	出力ポート
		X	1	—	—	0	X	X	X	X	LCD駆動制御出力(SEG32)
		X	0	—	—	1	0	0	1	X	TXD1出力(注2)
							1	0	X		
							1	1	0		
ポートP4_1 SEG33 RXD1	i=1	0	0	—	X	—	X	X	X	X	入力ポート(注1)
		1	0	—	X	—	X	X	X	X	出力ポート
		X	1	—	X	—	X	X	X	X	LCD駆動制御出力(SEG33)
		0	0	—	1	—	X	X	X	X	RXD1入力(注1)
ポートP4_2 SEG34 CLK1	i=2	0	0	0	—	—	X	X	X	X	入力ポート(注1)
		1	0	0	—	—	X	X	X	X	出力ポート
		X	1	0	—	—	X	X	X	X	LCD駆動制御出力(SEG34)
		0	0	1	—	—	X	X	X	1	CLK1(外部クロック)入力(注1)
		X	0	1	—	—	0	0	1	0	CLK1(内部クロック)出力(注2)

X :“0”または“1”、 —：関係しない

注1.　P4PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

注2.　U1C0レジスタのMCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。このとき、PD4レジスタのPD4_0ビットを“0”にしてください。

表7.11　ポートP4_3～P4_4

<table>
<tr><th rowspan="2">端子</th><th>レジスタ</th><th>PD4</th><th>LSE4</th><th colspan="3">TRBRCSR</th><th colspan="3">TRCCR1</th><th>TRCMR</th><th>—</th><th colspan="2">TRCCR2</th><th rowspan="2">機能</th></tr>
<tr><th>ビット</th><th>PD4_i</th><th>LSE35</th><th>TRCTRG SEL1</th><th>TRCTRG SEL0</th><th>TRCCLK SEL0</th><th>TCK2</th><th>TCK1</th><th>TCK0</th><th>PWM2</th><th>—</th><th>TCEG1</th><th>TCEG0</th></tr>
<tr><td rowspan="6">ポートP4_3
SEG35
TRCCLK
TRCTRG</td><td rowspan="6">i=3</td><td>0</td><td>0</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>—</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>—</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td>X</td><td>1</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>—</td><td>X</td><td>X</td><td>LCD駆動制御出力(SEG35)</td></tr>
<tr><td>0</td><td>X</td><td>X</td><td>X</td><td>1</td><td>1</td><td>0</td><td>1</td><td>X</td><td>—</td><td>X</td><td>X</td><td>TRCCLK入力(注1)</td></tr>
<tr><td rowspan="2">0</td><td rowspan="2">0</td><td rowspan="2">1</td><td rowspan="2">0</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">0</td><td>—</td><td>0</td><td>1</td><td rowspan="2">PWM2モード　TRCTRG入力(注1)</td></tr>
<tr><td>—</td><td>1</td><td>X</td></tr>
<tr><th rowspan="2">端子</th><th>レジスタ</th><th>PD4</th><th>LSE4</th><th colspan="2">TRBRCSR</th><th>TRCPSR0</th><th>TRCOER</th><th>TRCMR</th><th colspan="3">TRCIOR0</th><th colspan="2">TRCCR2</th><th rowspan="2">機能</th></tr>
<tr><th>ビット</th><th>PD4_i</th><th>LSE36</th><th>TRCTRG SEL1</th><th>TRCTRG SEL0</th><th>TRCIOA SEL0</th><th>EA</th><th>PWM2</th><th>IOA2</th><th>IOA1</th><th>IOA0</th><th>TCEG1</th><th>TCEG0</th></tr>
<tr><td rowspan="8">ポートP4_4
SEG36
TRCIOA
TRCTRG</td><td rowspan="8">i=4</td><td>0</td><td>0</td><td>X</td><td>X</td><td>0</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>X</td><td>X</td><td>0</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td>X</td><td>1</td><td>X</td><td>X</td><td>0</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>LCD駆動制御出力(SEG36)</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">0</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">1</td><td rowspan="2">0</td><td rowspan="2">1</td><td>0</td><td>0</td><td>1</td><td>X</td><td>X</td><td rowspan="2">タイマ波形出力(アウトプットコンペア機能)</td></tr>
<tr><td>0</td><td>1</td><td>X</td><td>X</td><td>X</td></tr>
<tr><td>0</td><td>0</td><td>X</td><td>X</td><td>1</td><td>X</td><td>1</td><td>1</td><td>X</td><td>X</td><td>X</td><td>X</td><td>タイマモード(インプットキャプチャ機能)(注1)</td></tr>
<tr><td rowspan="2">0</td><td rowspan="2">0</td><td rowspan="2">1</td><td rowspan="2">1</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">0</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">X</td><td>0</td><td>1</td><td rowspan="2">PWM2モード　TRCTRG入力(注1)</td></tr>
<tr><td>1</td><td>X</td></tr>
</table>

X：“0”または“1”、　—：関係しない

注1.　P4PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.12　ポートP4_5～P4_7

端子	ビット	PD4_i	LSE37	TRCPSR0 TRCIOBSEL 1	TRCPSR0 TRCIOBSEL 0	—	TRCOER EB	TRCMR PWM2	TRCMR PWMB	TRCIOR0 IOB 2	TRCIOR0 IOB 1	TRCIOR0 IOB 0	—	機能
ポートP4_5 SEG37 TRCIOB	i=5	0	0	01b以外		—	X	X	X	X	X	X	—	入力ポート(注1)
		1	0	01b以外		—	X	X	X	X	X	X	—	出力ポート
		X	1	01b以外		—	X	X	X	X	X	X	—	LCD駆動制御出力(SEG37)
		X	0	0	1	—	0	0	X	X	X	X	—	PWM2モード波形出力
		X	0	0	1	—	0	1	1	X	X	X	—	PWMモード波形出力
		X	0	0	1	—	0	1	0	0	0	1	—	タイマ波形出力(アウトプットコンペア機能)
										0	1	X	—	
		0	0	0	1	—	X	1	0	1	X	X	—	タイマモード(インプットキャプチャ機能)(注1)

端子	ビット	PD4_i	LSE38	TRCPSR0 TRCIOBSEL 1	TRCPSR0 TRCIOBSEL 0	TRCPSR1 TRCIOCSEL0	TRCOER EB	TRCOER EC	TRCMR PWM2	TRCMR PWMB	TRCMR PWMC	TRCIOR0 IOB 2	TRCIOR0 IOB 1	TRCIOR0 IOB 0	TRCIOR1 IOC 2	TRCIOR1 IOC 1	TRCIOR1 IOC 0	機能
ポートP4_6 SEG38 TRCIOB TRCIOC	i=6	0	0	10b以外		0	X	X	X	X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0	10b以外		0	X	X	X	X	X	X	X	X	X	X	X	出力ポート
		X	1	10b以外		0	X	X	X	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG38)
		X	0	1	0	X	0	X	0	X	X	X	X	X	X	X	X	PWM2モード波形出力
		X	0	1	0	X	0	X	1	1	X	X	X	X	X	X	X	PWMモード波形出力
		X	0	1	0	X	0	X	1	0	X	0	0	1	X	X	X	タイマ波形出力(アウトプットコンペア機能)
												0	1	X	X	X	X	
		0	0	1	0	0	X	X	1	0	X	1	X	X	X	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	10b以外		1	X	0	1	X	1	X	X	X	X	X	X	PWMモード波形出力
		X	0	10b以外		1	X	0	1	X	0	X	X	X	0	0	1	タイマ波形出力(アウトプットコンペア機能)
												X	X	X	0	1	X	
		0	0	10b以外		1	X	X	1	X	0	X	X	X	1	X	X	タイマモード(インプットキャプチャ機能)(注1)

端子	ビット	PD4_i	LSE39	TRCPSR0 TRCIOBSEL 1	TRCPSR0 TRCIOBSEL 0	TRCPSR1 TRCIODSEL0	TRCOER EB	TRCOER ED	TRCMR PWM2	TRCMR PWMB	TRCMR PWMD	TRCIOR0 IOB 2	TRCIOR0 IOB 1	TRCIOR0 IOB 0	TRCIOR1 IOD 2	TRCIOR1 IOD 1	TRCIOR1 IOD 0	機能
ポートP4_7 SEG39 TRCIOB TRCIOD	i=7	0	0	11b以外		0	X	X	X	X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0	11b以外		0	X	X	X	X	X	X	X	X	X	X	X	出力ポート
		X	1	11b以外		0	X	X	X	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG39)
		X	0	1	1	X	0	X	0	X	X	X	X	X	X	X	X	PWM2モード波形出力
		X	0	1	1	X	0	X	1	1	X	X	X	X	X	X	X	PWMモード波形出力
		X	0	1	1	X	0	X	1	0	X	0	0	1	X	X	X	タイマ波形出力(アウトプットコンペア機能)
												0	1	X	X	X	X	
		0	0	1	1	0	X	X	1	0	X	1	X	X	X	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	11b以外		1	X	0	1	X	1	X	X	X	X	X	X	PWMモード波形出力
		X	0	11b以外		1	X	0	1	X	0	X	X	X	0	0	1	タイマ波形出力(アウトプットコンペア機能)
												X	X	X	0	1	X	
		0	0	11b以外		1	X	X	1	X	0	X	X	X	1	X	X	タイマモード(インプットキャプチャ機能)(注1)

X：“0”または“1”、—：関係しない

注1.　P4PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.13　ポートP5

端子	レジスタ	PD5	LSE5	機能
	ビット	PD5_i	LSEi+40	
ポートP5_0 SEG40	i=0	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG40)
ポートP5_1 SEG41	i=1	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG41)
ポートP5_2 SEG42	i=2	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG42)
ポートP5_3 SEG43	i=3	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG43)

X :“0”または“1”、　—：関係しない
注1.　P5PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.14　ポートP6_0～P6_3

端子	レジスタ	PD6	LSE5	TRDPSR0		TRDOER1	TRDFCR				TRDIORA0			機能
	ビット	PD6_i	LSE44	TRDIOA0SEL 1	TRDIOA0SEL 0	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0	
ポートP6_0 SEG44 TRDIOA0 TRDCLK	i=0	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	X	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG44)
		0	0	0	1	X	0	0	0	1	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		0	0	0	1	X	X	X	1	1	0	0	0	外部クロック入力(TRDCLK)(注1)
		X	0	0	1	0	0	0	0	0	X	X	X	PWM3モード波形出力
		X	0	0	1	0	0	0	0	1	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
											0	1	X	

端子	レジスタ	PD6	LSE5	TRDPSR0		TRDOER1	TRDFCR			TRDPMR	TRDIORB0			機能
	ビット	PD6_i	LSE45	TRDIOB0SEL 1	TRDIOB0SEL 0	EB0	CMD1	CMD0	PWM3	PWMB0	IOB2	IOB1	IOB0	
ポートP6_1 SEG45 TRDIOB0	i=1	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	X	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG45)
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	0	X	X	X	X	PWM3モード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
											0	1	X	

端子	レジスタ	PD6	LSE5	TRDPSR0		TRDOER1	TRDFCR			TRDPMR	TRDIORC0			機能
	ビット	PD6_i	LSE46	TRDIOC0SEL 1	TRDIOC0SEL 0	EC0	CMD1	CMD0	PWM3	PWMC0	IOC2	IOC1	IOC0	
ポートP6_2 SEG46 TRDIOC0	i=2	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	X	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG46)
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
											0	1	X	

端子	レジスタ	PD6	LSE5	TRDPSR0		TRDOER1	TRDFCR			TRDPMR	TRDIORC0			機能
	ビット	PD6_i	LSE47	TRDIOD0SEL 1	TRDIOD0SEL 0	ED0	CMD1	CMD0	PWM3	PWMD0	IOD2	IOD1	IOD0	
ポートP6_3 SEG47 TRDIOD0	i=3	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	X	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG47)
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
											0	1	X	

X：“0”または“1”、　—：関係しない
注1.　P5PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.15　ポートP6_4～P6_7

端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR			—	TRDIORA1			機能
	ビット	PD6_i	LSE48	TRDIOA1SEL 1	0	EA1	CMD1	CMD0	PWM3	—	IOA2	IOA1	IOA0	
ポートP6_4 SEG48 TRDIOA1	i=4	0	0	01b以外		X	X	X	X	—	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	—	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	—	X	X	X	LCD駆動制御出力(SEG48)
		0	0	0	1	X	0	0	1	—	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	—	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	—	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	—	0 0	0 1	1 X	タイマモード波形出力(アウトプットコンペア機能)
端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR			TRDPMR	TRDIORB1			機能
	ビット	PD6_i	LSE49	TRDIOB1SEL 1	0	EB1	CMD1	CMD0	PWM3	PWMB1	IOB2	IOB1	IOB0	
ポートP6_5 SEG49 TRDIOB1	i=5	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	X	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG49)
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0 0	0 1	1 X	タイマモード波形出力(アウトプットコンペア機能)
端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能
	ビット	PD6_i	LSE50	TRDIOC1SEL 1	0	EC1	CMD1	CMD0	PWM3	PWMC1	IOC2	IOC1	IOC0	
ポートP6_6 SEG50 TRDIOC1	i=6	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	X	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG50)
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0 0	0 1	1 X	タイマモード波形出力(アウトプットコンペア機能)
端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR			TRDPMR	TRDIORD1			機能
	ビット	PD6_i	LSE51	TRDIOC1SEL 1	0	ED1	CMD1	CMD0	PWM3	PWMD1	IOD2	IOD1	IOD0	
ポートP6_7 SEG51 TRDIOD1	i=7	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	0			X	X	X	X	X	X	X	X	出力ポート
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG51)
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0 0	0 1	1 X	タイマモード波形出力(アウトプットコンペア機能)

X：“0”または“1”、　—：関係しない

注1.　P6PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.16　ポートP7

<table>
<tr><th rowspan="3">端子</th><th>レジスタ</th><th>PD7</th><th>LSE6/LSE7</th><th colspan="3">LCR0</th><th rowspan="3">機能</th></tr>
<tr><th rowspan="2">ビット</th><th rowspan="2">PD7_i</th><th rowspan="2">LSEi+52</th><th colspan="3">LDTY</th></tr>
<tr><th>2</th><th>1</th><th>0</th></tr>
<tr><td rowspan="4">ポートP7_0
SEG52
COM7</td><td rowspan="4">i=0</td><td>0</td><td>0</td><td>X</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>X</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">1</td><td>0</td><td>X</td><td>X</td><td>LCD駆動制御出力(SEG52)</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>LCD駆動制御出力(COM7)</td></tr>
<tr><td rowspan="4">ポートP7_1
SEG53
COM6</td><td rowspan="4">i=1</td><td>0</td><td>0</td><td>X</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>X</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">1</td><td>0</td><td>X</td><td>X</td><td>LCD駆動制御出力(SEG53)</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>LCD駆動制御出力(COM6)</td></tr>
<tr><td rowspan="4">ポートP7_2
SEG54
COM5</td><td rowspan="4">i=2</td><td>0</td><td>0</td><td>X</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>X</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">1</td><td>0</td><td>X</td><td>X</td><td>LCD駆動制御出力(SEG54)</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>LCD駆動制御出力(COM5)</td></tr>
<tr><td rowspan="4">ポートP7_3
SEG55
COM4</td><td rowspan="4">i=3</td><td>0</td><td>0</td><td>X</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>X</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">1</td><td>0</td><td>X</td><td>X</td><td>LCD駆動制御出力(SEG55)</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>LCD駆動制御出力(COM4)</td></tr>
<tr><td rowspan="3">ポートP7_4
COM3</td><td rowspan="3">i=4</td><td>0</td><td>0</td><td>—</td><td>—</td><td>—</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>—</td><td>—</td><td>—</td><td>出力ポート</td></tr>
<tr><td>X</td><td>1</td><td>—</td><td>—</td><td>—</td><td>LCD駆動制御出力(COM3)</td></tr>
<tr><td rowspan="3">ポートP7_5
COM2</td><td rowspan="3">i=5</td><td>0</td><td>0</td><td>—</td><td>—</td><td>—</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>—</td><td>—</td><td>—</td><td>出力ポート</td></tr>
<tr><td>X</td><td>1</td><td>—</td><td>—</td><td>—</td><td>LCD駆動制御出力(COM2)</td></tr>
<tr><td rowspan="3">ポートP7_6
COM1</td><td rowspan="3">i=6</td><td>0</td><td>0</td><td>—</td><td>—</td><td>—</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>—</td><td>—</td><td>—</td><td>出力ポート</td></tr>
<tr><td>X</td><td>1</td><td>—</td><td>—</td><td>—</td><td>LCD駆動制御出力(COM1)</td></tr>
<tr><td rowspan="3">ポートP7_7
COM0</td><td rowspan="3">i=7</td><td>0</td><td>0</td><td>—</td><td>—</td><td>—</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>—</td><td>—</td><td>—</td><td>出力ポート</td></tr>
<tr><td>X</td><td>1</td><td>—</td><td>—</td><td>—</td><td>LCD駆動制御出力(COM0)</td></tr>
</table>

X：“0”または“1”、　—：関係しない
注1.　P6PUR、P7PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.17　ポートP10_0～P10_3

端子	レジスタ	PD10	KISR	KIEN	TRDPSR0		TRDOER1	TRDFCR				TRDIORA0			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOA0SEL 1	TRDIOA0SEL 0	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0	
ポート P10_0 (TRDIOA0 TRDCLK $\overline{KI0}$)	i=0	0	X	X	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	01b以外		X	X	X	X	X	X	X	X	出力ポート
		0	1	1	01b以外		X	X	X	X	X	X	X	X	$\overline{KI0}$入力(注1)
		0	X	X	1	0	X	0	0	0	1	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		0	X	X	1	0	X	X	X	1	1	0	0	0	外部クロック入力(TRDCLK)(注1)
		X	X	X	1	0	0	0	0	0	0	X	X	X	PWM3モード波形出力
		X	X	X	1	0	0	0	0	0	1	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	

端子	レジスタ	PD10	KISR	KIEN	TRDPSR0		TRDOER1	TRDFCR			TRDPMR	TRDIORB0			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOB0SEL 1	TRDIOB0SEL 0	EB0	CMD1	CMD0	PWM3	PWMB0	IOB2	IOB1	IOB0	
ポート P10_1 (TRDIOB0 $\overline{KI1}$)	i=1	0	X	X	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	01b以外		X	X	X	X	X	X	X	X	出力ポート
		0	1	1	01b以外		X	X	X	X	X	X	X	X	$\overline{KI1}$入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	X	X	1	0	0	0	0	0	X	X	X	X	PWM3モード波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	

端子	レジスタ	PD10	KISR	KIEN	TRDPSR0		TRDOER1	TRDFCR			TRDPMR	TRDIORC0			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOC0SEL 1	TRDIOC0SEL 0	EB0	CMD1	CMD0	PWM3	PWMC0	IOC2	IOC1	IOC0	
ポート P10_2 (TRDIOC0 $\overline{KI2}$)	i=2	0	X	X	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	01b以外		X	X	X	X	X	X	X	X	出力ポート
		0	1	1	01b以外		X	X	X	X	X	X	X	X	$\overline{KI2}$入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	

端子	レジスタ	PD10	KISR	KIEN	TRDPSR0		TRDOER1	TRDFCR			TRDPMR	TRDIORD0			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOD0SEL 1	TRDIOD0SEL 0	ED0	CMD1	CMD0	PWM3	PWMD0	IOD2	IOD1	IOD0	
ポート P10_3 (TRDIOD0 $\overline{KI3}$)	i=3	0	X	X	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	01b以外		X	X	X	X	X	X	X	X	出力ポート
		0	1	1	01b以外		X	X	X	X	X	X	X	X	$\overline{KI3}$入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	

X :“0”または“1”、 —:関係しない
注1.　P10PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.18　ポートP10_4～P10_7

端子	レジスタ	PD10	KISR	KIEN1	TRDPSR1		TRDOER1	TRDFCR			—	TRDIORA1			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOA1SEL 1	0	EA1	CMD1	CMD0	PWM3	—	IOA2	IOA1	IOA0	
ポート P10_4 (TRDIOA1/$\overline{\text{KI4}}$)	i=4	0	X	X	10b以外		X	X	X	X	—	X	X	X	入力ポート(注1)
		1	X	X			X	X	X	X	—	X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X	—	X	X	X	$\overline{\text{KI4}}$入力(注1)
		0	X	X	1	0	X	0	0	1	—	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	—	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	—	X	X	X	リセット同期PWMモード波形出力
		X	X	X	1	0	0	0	0	1	—	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	
端子	レジスタ	PD10	KISR	KIEN	TRDPSR1		TRDOER1	TRDFCR			TRDPMR	TRDIORA1			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOB1SEL 1	0	EB1	CMD1	CMD0	PWM3	PWMB1	IOB2	IOB1	IOB0	
ポート P10_5 (TRDIOB1/$\overline{\text{KI5}}$)	i=5	0	X	X	10b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X			X	X	X	X	X	X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X	X	X	X	X	$\overline{\text{KI5}}$入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	
端子	レジスタ	PD10	KISR	KIEN	TRDPSR1		TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOC1SEL 1	0	EC1	CMD1	CMD0	PWM3	PWMC1	IOC2	IOC1	IOC0	
ポート P10_6 (TRDIOC1/$\overline{\text{KI6}}$)	i=6	0	X	X	10b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X			X	X	X	X	X	X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X	X	X	X	X	$\overline{\text{KI6}}$入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	
端子	レジスタ	PD10	KISR	KIEN	TRDPSR1		TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能
	ビット	PD10_i	KIiSEL0	KIiEN	TRDIOD1SEL 1	0	ED1	CMD1	CMD0	PWM3	PWMD1	IOD2	IOD1	IOD0	
ポート P10_7 (TRDIOD1/$\overline{\text{KI7}}$)	i=7	0	X	X	10b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X			X	X	X	X	X	X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X	X	X	X	X	$\overline{\text{KI7}}$入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
												0	1	X	

X:“0”または“1”、　—:関係しない

注1.　P10PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.19　ポートP11_0～P11_1

端子	レジスタ	PD11	INTSR	INTEN	INTCMP	SSUIICSR	ICCR1	SSU関連レジスタ(注7)		U2SR1	U2MR				機能
	ビット	PD11_i	INTi SEL0	INTiEN	INT1 CP0	IICSEL	ICE	SSCK出力制御	SSCK入力制御	CLK2SEL0	SMD 2	SMD 1	SMD 0	CKDIR	
ポート P11_0 SCL SSCK (CLK2 $\overline{\text{INT0}}$) IVREF1	i=0	0	X	X	X	0	X	0	0	0	X	X	X	X	入力ポート(注1)
						1	0	X	X						
		1	X	X	X	0	X	0	0	0	X	X	X	X	出力ポート(注2)
						1	0	X	X						
		0	X	X	X	1	1	X	X	0	X	X	X	X	SCL入出力(注2)
		0	X	X	X	0	X	0	1	0	X	X	X	X	SSCK入力(注1)
		0	X	X	X	0	X	1	0	0	X	X	X	X	SSCK出力(注2、3)
		0	X	X	X	0	X	0	0	1	X	X	X	1	CLK2入力(注1)
						1	0	X	X						
		X	X	X	X	0	X	0	0	1	0	0	1	0	CLK2出力(注2、4)
						1	0	X	X						
		0	1	1	X	0	X	0	0	0	X	X	X	X	$\overline{\text{INT0}}$入力(注1)
						1	0	X	X						
		0	X	X	1	0	X	0	0	0	X	X	X	X	コンパレータB1リファレンス電圧入力(IVREF1)
						1	0	X	X						

端子	レジスタ	PD11	INTSR	INTEN	INTCMP	SSUIICSR	SSU関連レジスタ(注7)		U2SR0				U2MR			U2SMR	機能
	ビット	PD11_i	INTi SEL0	INTiEN	INT1 CP0	IICSEL	SSI出力制御	SSI入力制御	RXD2SEL 1	RXD2SEL 0	TXD2SEL 1	TXD2SEL 0	SMD 2	SMD 1	SMD 0	IICM	
ポート P11_1 SSI (RXD2 SCL2 TXD2 SDA2 $\overline{\text{INT1}}$) IVCMP1	i=1	0	X	X	X	X	0	0	X	X			X	X	X	X	入力ポート(注1)
		1	X	X	X	X	0	0	X	X			X	X	X	X	出力ポート(注2)
		0	X	X	X	0	0	1	X	X	10b以外		X	X	X	X	SSI入力(注1)
		X	X	X	X	0	1	0	X	X			X	X	X	X	SSI出力(注2、5)
		0	X	X	X	X	0	0	0	1			X	X	X	0	RXD2入力(注1)
		0	X	X	X	X	0	0	0	1			0	1	0	1	SCL2入出力(注2、6)
		X	X	X	X	X	0	0	X	X	1	0	0	0	1	0	TXD2出力(注2、6)
													1	0	X	0	
													1	1	0	0	
		0	X	X	X	X	0	0	X	X	1	0	0	1	0	1	SDA2入出力(注2、6)
		0	1	1	0	X	0	0	X	X	10b以外		X	X	X	X	$\overline{\text{INT1}}$入力(注1)
		0	0	1	1	X	0	0	X	X			X	X	X	X	コンパレータB1入力(IVCMP1)

X :“0”または“1”、　—：関係しない
注1.　P11PURレジスタの対応するビットを“1”にすると、プルアップありとなります。
注2.　P11DRRレジスタの対応するビットを“1”にすると、駆動能力Highの出力となります。
注3.　SSMR2レジスタのSCKOSビットを“1”にすると、Nチャネルオープンドレイン出力になります。このとき、PD11レジスタのPD11_0ビットを“0”にしてください。
注4.　U2SMR3レジスタのNODCビットを“1”にすると、Nチャネルオープンドレイン出力になります。
注5.　SSMR2レジスタのSOOSビットを“1”(Nチャネルオープンドレイン出力)かつBIDEビットを“0”(標準モード)にすると、Nチャネルオープンドレイン出力になります。
注6.　U2C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。このとき、PD11レジスタのPD11_1ビットを“0”にしてください。
注7.　シンクロナスシリアルコミュニケーションユニット(「表 27.4　通信モードと入出力端子の関係」参照)

表7.20　ポートP11_2～P11_3

端子	レジスタ	PD11	INTSR	INTEN	INTCMP	—	SSUIICSR	ICCR1	SSU関連レジスタ(注6)		U2SR0				U2MR			U2SMR	機能
	ビット	PD11_i	INTi SEL0	INTiEN	INT3 CP0	—	IICSEL	ICE	SSI出力制御	SSI入力制御	RXD2SEL 1	RXD2SEL 0	TXD2SEL 1	TXD2SEL 0	SMD 2	SMD 1	SMD 0	IICM	
ポートP11_2 SDA SSO (RXD2 SCL2 TXD2 SDA2 $\overline{\mathrm{INT2}}$) IVREF3	i=2	0	X	X	X	—	1	0	X	X	X	X	01b以外		X	X	X	0	入力ポート(注1)
		0	X	X	X	—	0	X	0	0	X	X			X	X	X	0	
		1	X	X	X	—	1	0	X	X	X	X	01b以外		X	X	X	0	出力ポート(注2)
		1	X	X	X	—	0	X	0	0	X	X			X	X	X	0	
		0	X	X	X	—	1	1	X	X	X	X	01b以外		X	X	X	0	SDA入出力(注2)
		0	X	X	X	—	0	X	0	1	X	X			X	X	X	0	SSO入力(注1)
		0	X	X	X	—	0	X	1	0	X	X			X	X	X	0	SSO出力(注2、3)
		0	X	X	X	—	1	0	X	X	1	0	01b以外		X	X	X	0	RXD2入力(注1)
							0	X	0	0									
		0	X	X	X	—	1	0	X	X	1	0	01b以外		0	1	0	1	SCL2入出力(注2、4)
							0	X	0	0									
		X	X	X	X	—	1	0	X	X	X	X	0	1	0	0	1	0	TXD2出力(注2、4)
			X	X	X	—	0	X	0	0					1	0	X		
															1	1	0		
		0	X	X	X	—	1	0	X	X	X	X	0	1	0	1	0	1	SDA2入出力(注2、4)
							0	X	0	0									
		0	1	1	X	—	X	X	0	0	X	X	0	1	X	X	X	X	$\overline{\mathrm{INT2}}$入力(注1)
		0	X	X	1	—	X	X	0	0	X	X	01b以外		X	X	X	X	コンパレータB3リファレンス電圧入力(IVREF3)

端子	レジスタ	PD11	INTSR	INTEN	INTCMP	—	—	SSMR2		U2C0		U2SR1	U2MR			—	機能
	ビット	PD11_i	INTi SEL0	INTiEN	INT3 CP0	—	—	CSS 1	CSS 0	CRS	CRD	CTSSEL0	SMD 2	SMD 1	SMD 0	—	
ポートP11_3 $\overline{\mathrm{SCS}}$ ($\overline{\mathrm{CTS2}}$ $\overline{\mathrm{RTS2}}$ $\overline{\mathrm{INT3}}$) IVCMP3	i=3	0	X	X	X	—	—	0	0	X	X	0	X	X	X		入力ポート(注1)
		1	X	X	X	—	—	0	0	X	X	0	X	X	X		出力ポート(注2)
		0	X	X	X	—	—	0	1	X	X	X	X	X	X		$\overline{\mathrm{SCS}}$入力(注1)
		0	X	X	X	—	—	1	X	X	X	X	X	X	X		$\overline{\mathrm{SCS}}$出力(注2、5)
		0	X	X	X	—	—	0	0	0	0	1	000b以外				$\overline{\mathrm{CTS2}}$入力(注1)
		0	X	X	X	—	—	0	0	1	0	1					$\overline{\mathrm{RTS2}}$出力(注2)
		0	1	1	0	—	—	0	0	X	X	0	X	X	X		$\overline{\mathrm{INT3}}$入力(注1)
		0	0	1	1	—	—	0	0	X	X	0	X	X	X		コンパレータB3入力(IVCMP3)

X：“0”または“1”、　—：関係しない

注1.　P11PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

注2.　P11DRRレジスタの対応するビットを“1”にすると、駆動能力Highの出力となります。

注3.　SSMR2レジスタのSOOSビットを“1”(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。

注4.　U2C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。このとき、PD11レジスタのPD11_2ビットを“0”にしてください。

注5.　SSMR2レジスタのCSOSビットを“1”にすると、Nチャネルオープンドレイン出力になります。

注6.　シンクロナスシリアルコミュニケーションユニット(「表27.4　通信モードと入出力端子の関係」参照)

表7.21 ポートP11_4～P11_7

端子	レジスタ	PD11	INTSR	INTEN1	TRASR		TRAIOC	TRAMR			U0SR		機能
	ビット	PD11_i	INTiSEL0	INTiEN	TRAIOSEL		TOPCR	TMOD0			RXD0SEL		
					1	0		2	1	0	1	0	
ポートP11_4 TRAIO ($\overline{\mathrm{INT4}}$ RXD0)	i=4	0	X	X	0	0	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	0	0	X	X	X	X	X	X	出力ポート(注2)
		0	X	X	0	1	0	000b、001b以外			X	X	TRAIO入力(注1)
		0	1	1	0	0	X	X	X	X	X	X	$\overline{\mathrm{INT4}}$入力(注1)
		0	1	1	1	0	0	000b、001b以外			X	X	TRAIO/$\overline{\mathrm{INT4}}$入力(注1)
		X	X	X	0	1	0	0	0	1	X	X	TRAIOパルス出力(注2)
		0	X	X	0	0	X	X	X	X	1	0	RXD0入力(注1)

端子	レジスタ	PD11	INTSR	INTEN1	—	TRAIOC	—	—	機能
	ビット	PD11_i	INTiSEL0	INTiEN	—	TOENA	—	—	
ポートP11_5 TRAO ($\overline{\mathrm{INT5}}$)	i=5	0	X	X	—	0	—	—	入力ポート(注1)
		1	X	X	—	0	—	—	出力ポート(注2)
		X	X	X	—	1	—	—	TRAO入力(注1)
		0	1	1	—	0	—	—	$\overline{\mathrm{INT5}}$入力(注1)

端子	レジスタ	PD11	INTSR	INTEN1	—	TRBIOC	TRBMR		—	機能
	ビット	PD11_i	INTiSEL0	INTiEN	—	TOCNT	TMOD		—	
							1	0		
ポートP11_6 TRBO ($\overline{\mathrm{INT6}}$)	i=6	0	X	X	—	X	0	0	—	入力ポート(注1)
		1	X	X	—	X	0	0	—	出力ポート(注2)
		X	X	X	—	1	0	1	—	プログラマブル波形発生モード(プログラマブル出力)(注2)
		X	X	X	—	0	0	1	—	プログラマブル波形発生モード(パルス出力)(注2)
		X	X	X	—	0	1	0	—	プログラマブルワンショット発生モード(注2)
		X	X	X	—	0	1	1	—	プログラマブルウェイトワンショット発生モード(注2)
		0	1	1	—	X	0	0	—	$\overline{\mathrm{INT6}}$入力(注1)

端子	レジスタ	PD11	INTSR	INTEN1	—	TRECR1	ADMOD		—	機能
	ビット	PD11_i	INTiSEL0	INTiEN	—	TOENA	ADCAP		—	
							1	0		
ポートP11_7 TREO ($\overline{\mathrm{INT7}}$ $\overline{\mathrm{ADTRG}}$)	i=7	0	X	X	—	0	X	X	—	入力ポート(注1)
		1	X	X	—	0	X	X	—	出力ポート(注2)
		X	X	X	—	1	X	X	—	TREO出力(注2)
		0	1	1	—	0	X	X	—	$\overline{\mathrm{INT7}}$入力(注1)
		0	1	1	—	0	1	1	—	$\overline{\mathrm{ADTRG}}$入力(注1)

X:“0”または“1”、 —:関係しない

注1. P11PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

注2. P11DRRレジスタの対応するビットを“1”にすると、駆動能力Highの出力となります。

表7.22　ポートP12_0～P12_3

端子	レジスタ	PD12	CM0		CM1			機能		
	ビット	PD12_i	CM05	CM07	CM10	CM11	CM13		発振バッファ	帰還抵抗
ポートP12_0 XIN	i=4	0	1	X	0	X	0	入力ポート(注1)	OFF	OFF
		1	1	X	0	X	0	出力ポート	OFF	OFF
		0	1	0	0	1	0	XINクロック入力(注1)	OFF	OFF
		0	1	0	1	1	0	XINクロック入力停止(STOPモード)(注1)	OFF	OFF
		0	0	0	0	0	1	XIN-XOUT発振(内部帰還抵抗有効)	ON	ON
		0	0	0	0	1	1	XIN-XOUT発振(内部帰還抵抗無効)	ON	OFF
		0	1	0	0	0	1	XIN-XOUT発振停止(内部帰還抵抗有効)	OFF	ON
		0	1	0	0	1	1	XIN-XOUT発振停止(内部帰還抵抗無効)	OFF	OFF
		0	0	0	1	X	1	XIN-XOUT発振停止(STOPモード)	OFF	OFF

端子	レジスタ	PD12	CM0		CM1			機能		
	ビット	PD12_i	CM05	CM07	CM10	CM11	CM13		発振バッファ	帰還抵抗
ポートP12_1 XOUT	i=1	0	1	X	0	X	0	入力ポート(注1)	OFF	OFF
		1	1	X	0	X	0	出力ポート	OFF	OFF
		0	0	0	0	0	1	XIN-XOUT発振(内部帰還抵抗有効)	ON	ON
		0	0	0	0	1	1	XIN-XOUT発振(内部帰還抵抗無効)	ON	OFF
		0	1	0	0	0	1	XIN-XOUT発振停止(内部帰還抵抗有効)	OFF	ON
		0	1	0	0	1	1	XIN-XOUT発振停止(内部帰還抵抗無効)	OFF	OFF
		0	0	0	1	X	1	XIN-XOUT発振停止(STOPモード)	OFF	OFF

端子	レジスタ	PD12	LSE7	—	機能
	ビット	PD12_i	LSE60	—	
ポートP12_2 CL1	i=2	0	0	—	入力ポート(注1)
		1	0	—	出力ポート
		X	1	—	CL1
ポートP12_3 CL2	i=3	0	0	—	入力ポート(注1)
		1	0	—	出力ポート
		X	1	—	CL2

X：“0”または“1”、　—：関係しない

注1.　P12PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表7.23　ポートP13_0～P13_3

端子	レジスタ	PD13	ADINSEL					DACON	—				機能
	ビット	PD13_i	CH			ADGSEL		DA0E	—				
			2	1	0	1	0						
ポートP13_0 AN0 DA0	i=0	0	X	X	X	X	X	0	—				入力ポート(注1)
		1	X	X	X	X	X	0	—				出力ポート
		0	0	0	0	0	0	0	—				A/Dコンバータ入力(AN0)(注1)
		0	X	X	X	X	X	1	—				D/Aコンバータ出力(DA0)
端子	レジスタ	PD13	ADINSEL					DACON	U0SR	U0MR			機能
	ビット	PD13_i	CH			ADGSEL		DA1E	TXD0 SEL0	SMD			
			2	1	0	1	0			2	1	0	
ポートP13_1 AN1 DA1 TXD0	i=1	0	X	X	X	X	X	0	0	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	0	X	X	X	出力ポート
		0	0	0	1	0	0	0	0	X	X	X	A/Dコンバータ入力(AN1)(注1)
		0	X	X	X	X	X	1	0	X	X	X	D/Aコンバータ出力(DA1)
		X	X	X	X	X	X	0	1	0	0	1	TXD0出力(注2)
										1	0	X	
										1	1	0	
端子	レジスタ	PD13	ADINSEL					—	U0SR		—		機能
	ビット	PD13_i	CH			ADGSEL		—	RXD0 SEL		—		
			2	1	0	1	0		1	0			
ポートP13_2 AN2 RXD0	i=2	0	X	X	X	X	X	—	X	X	—		入力ポート(注1)
		1	X	X	X	X	X	—	X	X	—		出力ポート
		0	0	1	0	0	0	—	X	X	—		A/Dコンバータ入力(AN2)(注1)
		0	X	X	X	X	X	—	0	1	— —		RXD0入力(注1)
端子	レジスタ	PD13	ADINSEL					—	U0SR	U0MR			機能
	ビット	PD13_i	CH			ADGSEL		—	CLK0 SEL0	SMD		CKDIR	
			2	1	0	1	0			2	1	0	
ポートP13_3 AN3 CLK0	i=3	0	X	X	X	X	X	—	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	—	0	X	X	X	X	出力ポート
		0	0	1	1	0	0	—	0	X	X	X	X	A/Dコンバータ入力(AN3)(注1)
		0	X	X	X	X	X	—	1	X	X	X	1	CLK0(外部クロック入力)(注1)
		X	X	X	X	X	X	—	1	0	0	1	0	CLK0(内部クロック)出力

X :“0”または“1”、 —：関係しない
注1.　P13PURレジスタの対応するビットを“1”にすると、プルアップありとなります。
注2.　U0C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。このとき、PD13レジスタのPD13_1ビットを“0”にしてください。

表7.24　ポートP13_4～P13_7

端子	レジスタ	PD13	ADINSEL					TRGPSR	TRGIOR			TRGMR	機能
	ビット	PD13_i	CH			ADGSEL		TRG	IOA			PWM	
			2	1	0	1	0	IOASEL	2	1	0		
ポートP13_4 AN16 TRGIOA	i=4	0	X	X	X	X	X	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	X	出力ポート
		0	0	0	0	1	0	0	X	X	X	X	A/Dコンバータ入力(AN16)(注1)
		0	X	X	X	X	X	1	1	X	X	0	タイマモード (インプットキャプチャ機能) (注1)
		X	X	X	X	X	X	1	X	X	X	1	PWMモード波形出力
		X	X	X	X	X	X	1	0	0	1	0	タイマモード波形出力 (アウトプットコンペア機能)
										1	X		

端子	レジスタ	PD13	ADINSEL					TRGPSR	TRGCR			TRGMR	機能
	ビット	PD13_i	CH			ADGSEL		TRG	TCK			MDF	
			2	1	0	1	0	CLKASEL	2	1	0		
ポートP13_5 AN17 TRGCLKA	i=5	0	X	X	X	X	X	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	X	出力ポート
		0	0	0	1	1	0	0	X	X	X	X	A/Dコンバータ入力(AN17)(注1)
		X	X	X	X	X	X	1	1	0	1	0	TRGCLKA入力 (位相計数モード以外)(注1)
		X	X	X	X	X	X	1	X	X	X	1	TRGCLKA入力 (位相計数モード)(注1)

端子	レジスタ	PD13	ADINSEL					TRGPSR	TRGIOR			—	機能
	ビット	PD13_i	CH			ADGSEL		IOBSEL	IOB			—	
			2	1	0	1	0		2	1	0	—	
ポートP13_6 AN18 TRGIOB	i=6	0	X	X	X	X	X	0	X	X	X	—	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	—	出力ポート
		0	0	1	0	1	0	0	X	X	X	—	A/Dコンバータ入力(AN18)(注1)
		0	X	X	X	X	X	1	1	X	X	—	タイマモード (インプットキャプチャ機能) (注1)
		X	X	X	X	X	X	1	0	0	1	—	タイマモード波形出力 (アウトプットコンペア機能)
										1	X	—	

端子	レジスタ	PD13	ADINSEL					TRGPSR	TRGCR			TRGMR	機能
	ビット	PD13_i	CH			ADGSEL		TRG	TCK			MDF	
			2	1	0	1	0	CLKBSEL	2	1	0		
ポートP13_7 AN19 TRGCLKB	i=7	0	X	X	X	X	X	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	X	出力ポート
		0	0	1	1	1	0	0	X	X	X	X	A/Dコンバータ入力(AN19)(注1)
		0	X	X	X	X	X	1	1	1	1	0	TRGCLKB入力 (位相計数モード以外)(注1)
		0	X	X	X	X	X	1	X	X	X	1	TRGCLKB入力 (位相計数モード)(注1)

X :“0”または“1”、　—：関係しない
注1.　P13PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

7.7　未使用端子の処理

表7.25に未使用端子の処理例を示します。

表7.25　未使用端子の処理例

端子名	処理内容
ポートP0～P4、P5_0～P5_3、P6～P11、P12_0～P12_3、P13	•入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2)
XCOUT	開放
XCIN、VL1	抵抗を介してVCCに接続(プルアップ)(注2)
VREF、VL2～VL4	VCCに接続
$\overline{\text{WKUP0}}$(注3)	VSSに接続(注3)
$\overline{\text{RESET}}$(注4)	抵抗を介してVCCに接続(プルアップ)(注4)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定したほうがプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオフモードを使用しない時。

注4. パワーオンリセット機能使用時。

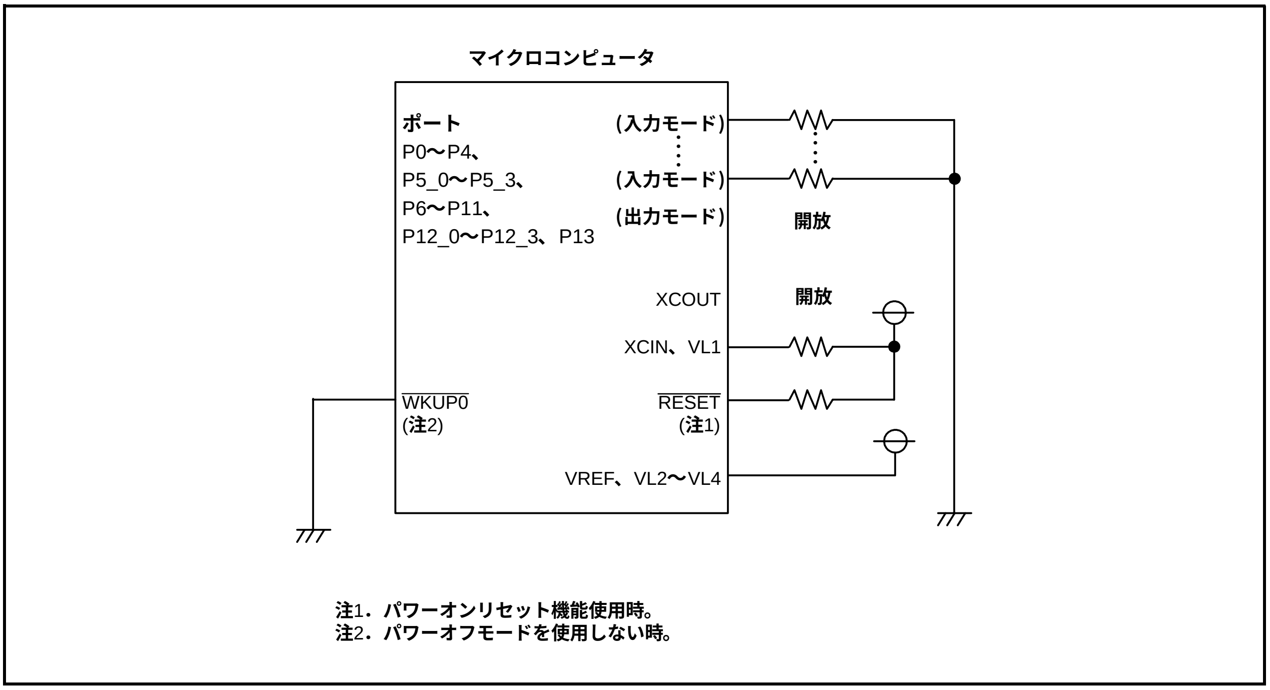


図7.6　未使用端子の処理例

8. バス制御

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRとはアクセス時のバスサイクルが異なります。

表8.1にアクセス領域に対するバスサイクルを示します。

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表8.2にアクセス単位とバスの動作を示します。

表8.1　アクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表8.2　アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM、DTCベクタ領域、DTCコントロールデータ
偶数番地 バイトアクセス	CPUクロック アドレス　偶数 データ　データ	CPUクロック アドレス　偶数 データ　データ
奇数番地 バイトアクセス	CPUクロック アドレス　奇数 データ　データ	CPUクロック アドレス　奇数 データ　データ
偶数番地 ワードアクセス	CPUクロック アドレス　偶数　偶数+1 データ　データ　データ	CPUクロック アドレス　偶数　偶数+1 データ　データ　データ
奇数番地 ワードアクセス	CPUクロック アドレス　奇数　奇数+1 データ　データ　データ	CPUクロック アドレス　奇数　奇数+1 データ　データ　データ

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRD：TRDi(i=0、1)、TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

タイマRG：TRG、TRGGRA、TRGGRBレジスタ

SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ

UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMRレジスタ

A/Dコンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、ADCON1レジスタ

D/Aコンバータ：DA0、DA1レジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2　アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

9. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

9.1 概要

表9.1にクロック発生回路の概略仕様を、図9.1にクロック発生回路を、図9.2に周辺機能のクロックを示します。

表9.1　クロック発生回路の概略仕様

項目	XINクロック発振回路	XCINクロック発振回路	オンチップオシレータ		ウォッチドッグタイマ用低速オンチップオシレータ
			高速オンチップオシレータ	低速オンチップオシレータ	
用途	• CPUのクロック源 • 周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源	• ウォッチドッグタイマのクロック源
クロック周波数	0～20MHz	32.768kHz	約40MHz (注2)	約125kHz	約125kHz
接続できる発振子	• セラミック共振子 • 水晶発振子	• 水晶発振子	—	—	—
発振子の接続端子	XIN、XOUT(注1)	XCIN、XCOUT	— (注1)	— (注1)	—
発振の開始と停止	あり	あり	あり	あり	あり
リセット後の状態	停止	発振	停止	発振	停止(注3) 発振(注4)
その他	外部で生成されたクロックを入力可能	• 外部で生成されたクロックを入力可能 • 帰還抵抗Rfを内蔵。(接続/非接続選択可能)	—	—	—

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックまたはXCINクロックをCPUクロックに使用する場合にはP12_0、P12_1として使うことができます。
P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。

注2. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

注3. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注4. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

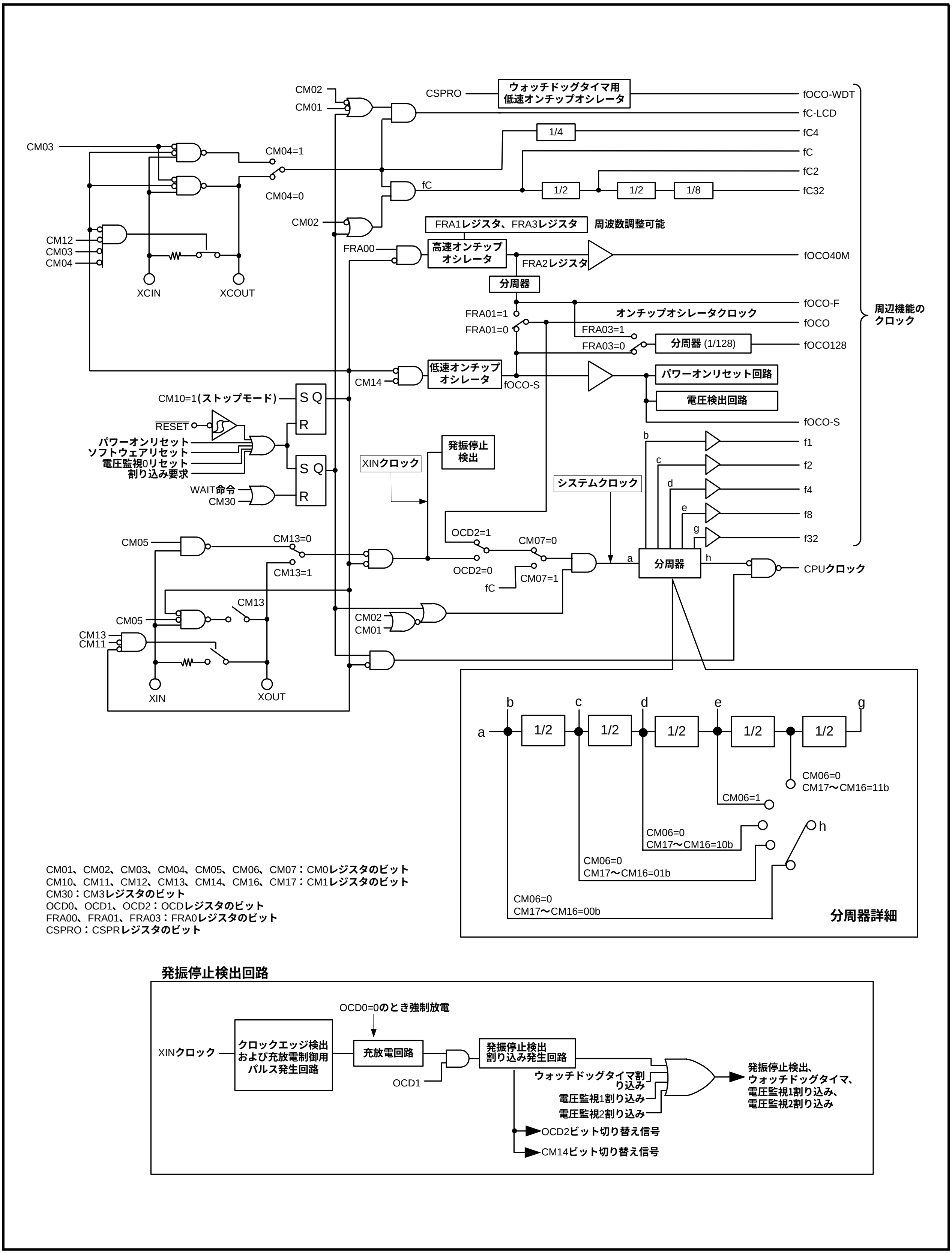


図9.1　クロック発生回路

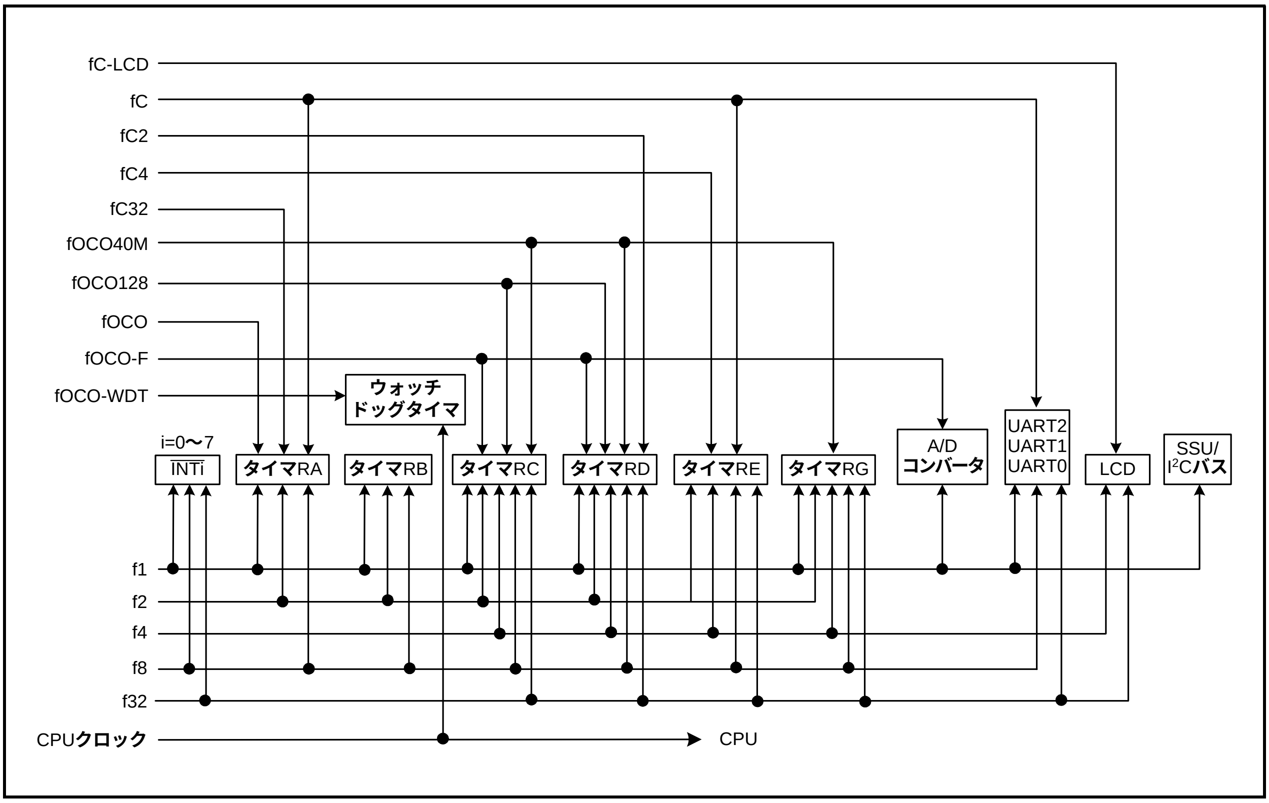


図9.2　　周辺機能のクロック

9.2 レジスタの説明

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	CM01	—
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1 b2	CM01 CM02	ウェイトモード時周辺機能クロック停止ビット	b2 b1 0 0：ウェイトモード時、周辺機能クロックを停止しない 0 1：ウェイトモード時、f1～f32クロック停止 1 0：ウェイトモード時、f1～f32、fC、fC2、fC32クロック停止 1 1：ウェイトモード時、f1～f32、fC、fC2、fC32、fC-LCDクロック停止	R/W
b3	CM03	XCINクロック停止ビット(注6、7)	0：発振 1：停止	R/W
b4	CM04	XCIN外部クロック入力許可ビット(注7)	0：外部クロック入力禁止 1：外部クロック入力許可	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0：発振 1：停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0：CM1レジスタのCM16、CM17ビット有効 1：8分周モード	R/W
b7	CM07	システムクロック選択ビット(注5)	0：XINクロック、またはオンチップオシレータクロック 1：XCINクロック	R/W

注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。
(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。
注3. CM05ビットが“1”(XINクロック停止)かつCM13ビットが“0”(入出力ポート)の場合のみ、P12_0、P12_1は入出力ポートとして使用できます。
P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。
注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
注5. XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。
注6. XCINクロックを使用する場合は、電源投入後、CM03ビットをいったん“1”(停止)にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。
注7. 外部クロック入力時は、CM03ビットを“0”(発振)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.2 システムクロック制御レジスタ1(CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2、7)	0:クロック発振 1:全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0:内蔵帰還抵抗有効 1:内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0:内蔵帰還抵抗有効 1:内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注5、6)	0:入出力ポートP12_0、P12_1 1:XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0:低速オンチップオシレータ発振 1:低速オンチップオシレータ停止	R/W
b5	—	予約ビット	“1”にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 0 0:分周なしモード 0 1:2分周モード 1 0:4分周モード 1 1:16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。
注2. CM10ビットが“1”(全クロック停止)の場合、内蔵している帰還抵抗は無効となります。
注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。
外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“1”(XINクロック停止)、PD12レジスタのPD12_0ビットを“0”(入力モード)にしてください。このとき、XOUTは入出力ポートP12_1として使用できます。
P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。
注6. CM13ビットはプログラムで一度“1”(XIN-XOUT端子)にすると、“0”(入出力ポートP12_0、P12_1)にはできません。
注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0:ウェイトモードではない 1:ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—
b2	—	予約ビット	"0"にしてください。	R/W
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0:CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1:分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 0 0:ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 0 1:設定しないでください 1 0:高速オンチップオシレータクロックを選択(注3) 1 1:XINクロックを選択(注4)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは"0"(ウェイトモードではない)になります。
注2. ストップモード時はCM35ビットを"0"にしてください。ウェイトモードへ移行時、CM35ビットが"1"(分周なし)のとき、CM0レジスタのCM06ビットは"0"(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは"00b"(分周なしモード)になります。
注3. CM37、CM36ビットが"10b"(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
•OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
•FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
•FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)
注4. CM37、CM36ビットが"11b"(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
•CM0レジスタのCM05ビット=0(XINクロック発振)
•CM1レジスタのCM13ビット=1(XIN-XOUT端子)
•OCDレジスタのOCD2ビット=0(XINクロック選択)
CM0レジスタのCM05ビットが"1"(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを"1"(8分周モード)かつCM35ビットを"0"にしてください。
ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを"11b"(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを"1"(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを"1"にするときは、Iフラグを"0"(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを"1"にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを"1"(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0：発振停止検出機能無効(注1) 1：発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0：禁止(注1) 1：許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0：XINクロック選択(注6) 1：オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0：XINクロック発振 1：XINクロック停止	R
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.7.1　発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.5 高速オンチップオシレータ制御レジスタ7(FRA7)

アドレス 0015h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7〜b0	32MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA6レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

9.2.6 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0：高速オンチップオシレータ停止 1：高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット(注1)	0：低速オンチップオシレータ選択(注2) 1：高速オンチップオシレータ選択(注3)	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0：fOCO-Sの128分周を選択 1：fOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。
•FRA00=1(高速オンチップオシレータ発振)
•CM1レジスタのCM14=0(低速オンチップオシレータ発振)
•FRA2レジスタのFRA22～FRA20ビットが
VCC=2.7V～5.5Vの場合は全分周モード設定可能“000b”～“111b”
VCC=1.8V～5.5Vの場合は8分周以上の分周比“110b”～“111b”(8分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ1(FRA1)

アドレス 0024h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz： FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz：FRA4レジスタの値をFRA1レジスタに転送し、かつ、FRA5レジスタの値をFRA3レジスタに転送。 32MHz： FRA6レジスタの値をFRA1レジスタに転送し、かつ、FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA1レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA1レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ周波数切り替えビット	分周比選択 高速オンチップオシレータクロック分周比を選択します。 b2 b1 b0 0 0 0：2分周モード 0 0 1：3分周モード 0 1 0：4分周モード 0 1 1：5分周モード 1 0 0：6分周モード 1 0 1：7分周モード 1 1 0：8分周モード 1 1 1：9分周モード	R/W
b1	FRA21			R/W
b2	FRA22			R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

FRA2レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.9 高速オンチップオシレータ制御レジスタ4 (FRA4)

アドレス 0029h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA5レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.10 高速オンチップオシレータ制御レジスタ5 (FRA5)

アドレス 002Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA4レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

9.2.11　高速オンチップオシレータ制御レジスタ6 (FRA6)

アドレス 002Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7〜b0	32MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA7レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.12　高速オンチップオシレータ制御レジスタ3 (FRA3)

アドレス 002Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7〜b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz：　FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz：FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz：　FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA3レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

クロック発生回路で生成するクロックを説明します。

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。

図9.3にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

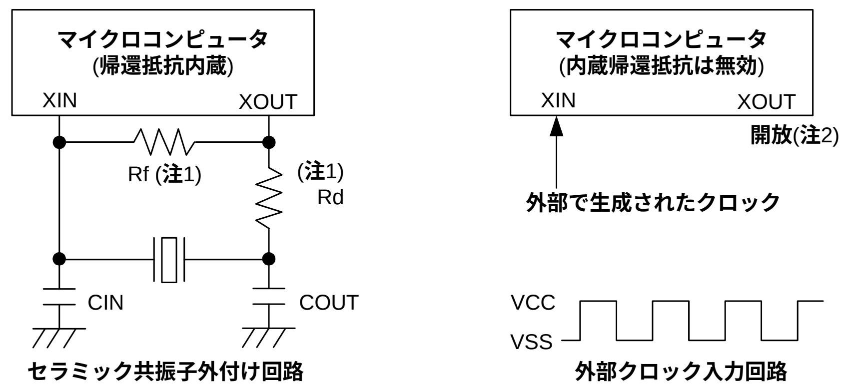
CM1レジスタのCM13ビットを"1"(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを"0"(XINクロック発振)にするとXINクロックは発振を開始します。

XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを"0"(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを"1"(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを"1"(XINクロック停止)にすると、消費電力を低減できます。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

- CM0レジスタのCM05ビットが"0"(発振)、CM1レジスタのCM13ビットが"1"(XIN、XOUT端子)の場合
- CM0レジスタのCM05ビットが"1"(停止)、CM1レジスタのCM13ビットが"0"(入出力ポートP12_0、P12_1)PD12レジスタのPD12_0ビットが"0"(入力モード)の場合



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。
また発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、 その指示に従ってXIN、XOUT間に、帰還抵抗を付加してください。
注2. XOUTは入出力ポートP12_1として使用できます。
注3. 上記設定でCM0レジスタのCM07ビットを"0"(XINクロック)、OCDレジスタのOCD2ビットを"0"(XINクロック選択)にすると、XINクロックがCPUのクロック源となります。

図9.3 XINクロックの接続回路例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック(fOCO、fOCO-S、fOCO128)のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが"11b"の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、(fOCO、fOCO-F、fOCO40M、fOCO128)のクロック源になります。

CPUクロック、周辺クロック、fOCO、fOCO-Fのクロック源として使用する場合には、FRA2レジスタのFRA20～FRA22ビットにより、以下のように設定してください。

- VCC=2.7V～5.5Vの場合、全分周モード設定可能　"000b"～"111b"
- VCC=1.8V～5.5Vの場合、8分周以上の分周比　"110b"～"111b"(8分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを"1"(オンチップオシレータ発振)にすると発振を開始します。

また、FRA4～FRA7レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA4レジスタの調整値をFRA1レジスタへ、FRA5レジスタの調整値をFRA3レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表24.8、表25.8　UARTモード時のビットレート設定例(内部クロック選択時)」を参照)。

高速オンチップオシレータクロックの周波数を32MHzにするには、FRA6レジスタの調整値をFRA1レジスタへ、FRA7レジスタの調整値をFRA3レジスタに転送して使用してください。

9.5　XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。

図9.4にXCINクロックの接続回路例を示します。

リセットで、CM0レジスタのCM04～CM03ビットが“00b”(外部クロック入力禁止、XCINクロック発振)になり、XCINクロックが発振します(内蔵帰還抵抗は有効)。リセット後、XCINクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(XCINクロック)にするとXCINクロックがCPUのクロック源になります。

CM03ビットを“1”(XCINクロック発振停止)にするとXCINクロックは停止します。

CM04～CM03に“10b”(外部クロック入力許可、XCINクロック発振)にすると外部で生成されたクロックをXCIN端子へ入力することもできます。このとき、XCOUT端子は開放してください。

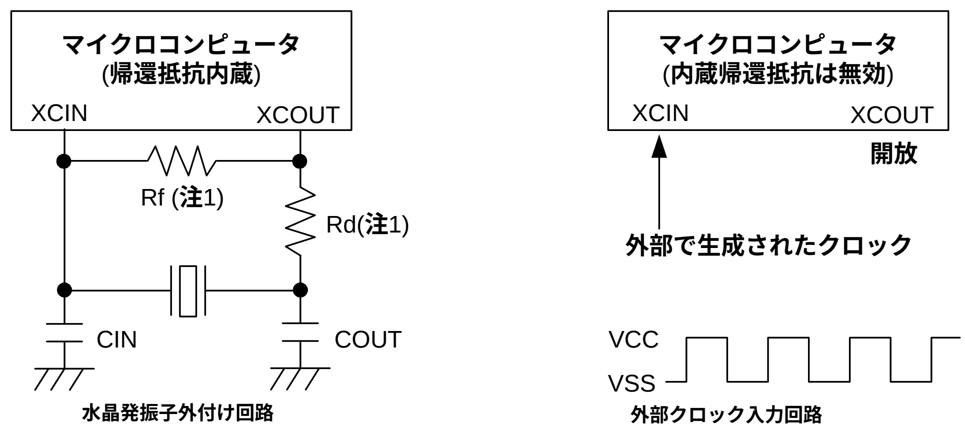
内蔵する帰還抵抗は、CM1レジスタのCM12ビットにより、内部帰還抵抗を無効／有効の切り替えも可能です。

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

XCINクロックを使用しない場合は、CM04～CM03を“01b”(外部クロック入力禁止、XCINクロック発振停止)、CM12を“1”(内蔵帰還抵抗無効)にしてください。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「10.　パワーコントロール」を参照してください。

- CM0レジスタのCM03ビットが“0”(発振)、CM04ビットが“0”(外部クロック入力禁止)の場合
- CM0レジスタのCM03ビットが“0”(発振)、CM04ビットが“1”(外部クロック入力許可)の場合



注1.　必要に応じてダンピング抵抗および帰還抵抗を挿入してください。抵抗値は水晶発振子、発振駆動能力によって異なりますので、水晶発振子メーカの推奨する値に設定してください。
また水晶発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXCIN、XCOUT間に、帰還抵抗を付加してください。
注2.　上記設定で、CM0レジスタのCM07ビットを“1”(XCINクロック)にすると、XCINクロックがCPUのクロック源となります。

図9.4　XCINクロックの接続回路例

9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります。(「図9.1 クロック発生回路」参照。)

9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

fi(i=1、2、4、8、32)はシステムクロックをi分周したクロックです。fiはタイマRA、タイマRB、タイマRC、タイマRD、タイマRE、タイマRG、シリアルインタフェース、A/Dコンバータ、LCD波形制御回路で使用します。

CM0レジスタのCM02、CM01ビットを“01”または“10”または“11”にした後にウェイトモードに移行した場合、fiは停止します。

9.6.4 fOCO

周辺機能の動作クロックです。

fOCOの周波数は、FRA0レジスタのFRA01ビットで選択したオンチップオシレータクロックの周波数です。高速オンチップオシレータの場合は、FRA2レジスタのFRA20～FRA22ビットで選択した分周比で分周された周波数です。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

9.6.5 fOCO40M

タイマRC、タイマRD、タイマRGのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC＝2.7～5.5Vの範囲で使用することができます。

9.6.6 fOCO-F

タイマRC、タイマRD、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックをi分周(i=2、3、4、5、6、7、8、9；FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。

9.6.7　fOCO-S

電圧検出回路の動作クロックです。

fOCO-S は低速オンチップオシレータで生成したクロックで、CM14 ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

9.6.8　fOCO128

fOCO-SまたはfOCO-Fを128分周したクロックです。FRA03ビットを“0”にするとfOCO-Sの128分周が選択され、“1”にすると、fOCO-Fの128分周が選択されます。

タイマRCのTRCGRAレジスタおよびタイマRD0で使用するキャプチャ信号になります。

9.6.9　fC-LCD

fC-LCDはLCD波形制御回路で使用します。

なお、fC-LCDは、XCINクロックの発振が安定しているときに使用してください。

9.6.10　fC、fC2、fC4、fC32

fC、fC2、fC4、fC32はタイマRA、タイマRD、タイマRE、シリアルインタフェースで使用します。

なお、fC、fC2、fC4、fC32は、XCINクロックの発振が安定しているときに使用してください。

9.6.11　fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.7 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。
発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。
表9.2に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット＝1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット＝1(XINクロック停止)
- CM1レジスタのCM14ビット＝0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.2　発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN)≧2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

9.7.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
  表9.3に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
  図9.5に発振停止を検出した場合の低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02、CM01ビットを“00”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。
  発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表9.3　発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3=1
	(b)OCDレジスタのOCD1～OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2CレジスタのVW2C3=1
電圧監視1	VW1CレジスタのVW1C2=1
電圧監視2	VW2CレジスタのVW2C2=1

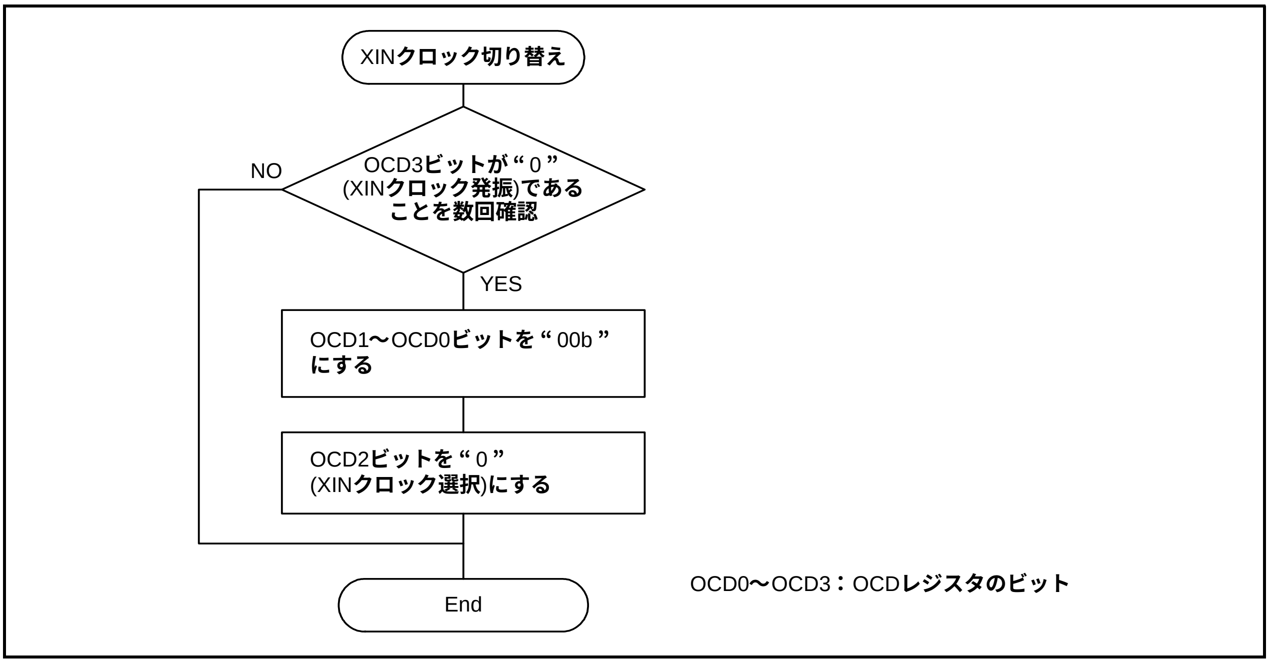


図9.5　発振停止を検出した場合の低速オンチップオシレータからXINクロックへの切り替え手順

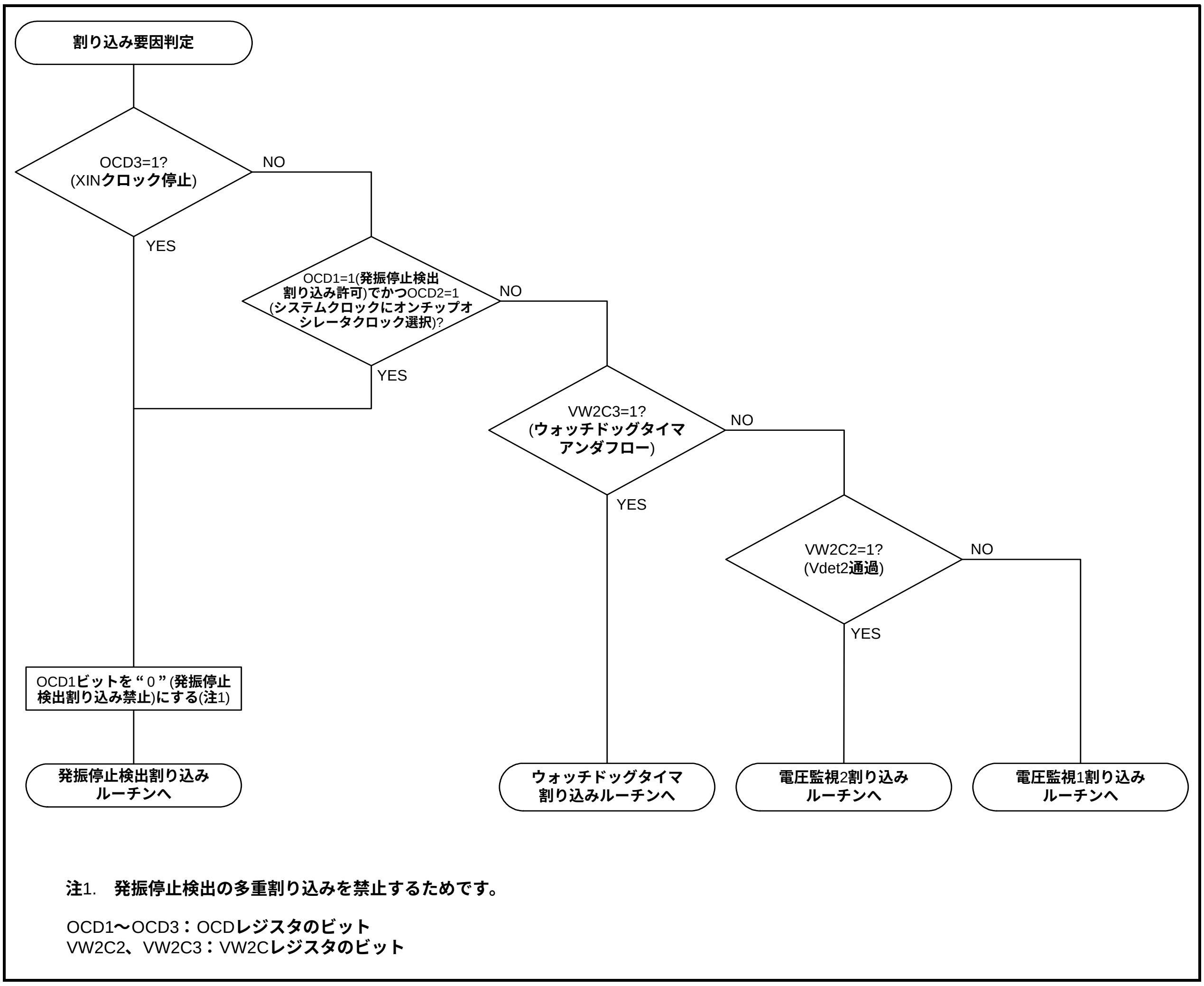


図9.6　発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.8 クロック発生回路使用上の注意

9.8.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1～OCD0ビットを“00b”にしてください。

9.8.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカにご相談の上、決定してください。

9.8.3 XCINクロック

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

9.8.4 P12_0とP12_1端子に関する使用上の注意事項

P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。

10. パワーコントロール

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

10.1 概要

パワーコントロールには4つのモードがあります。なお、ここではウェイトモード、ストップモード、パワーオフモード以外の状態を、標準動作モードと呼びます。

表10.1に各モードを、図10.1にパワーコントロールモード状態遷移を示します。

表10.1　パワーコントロール

モード		動作
標準動作モード	高速クロック	CPU、周辺機能動作
	高速オンチップオシレータ	
	低速クロック	CPU、周辺機能動作
	低速オンチップオシレータ	
ウェイトモード		CPU停止、周辺機能動作
ストップモード		CPU停止、周辺機能停止(発振停止)
パワーオフモード		全周辺機能停止

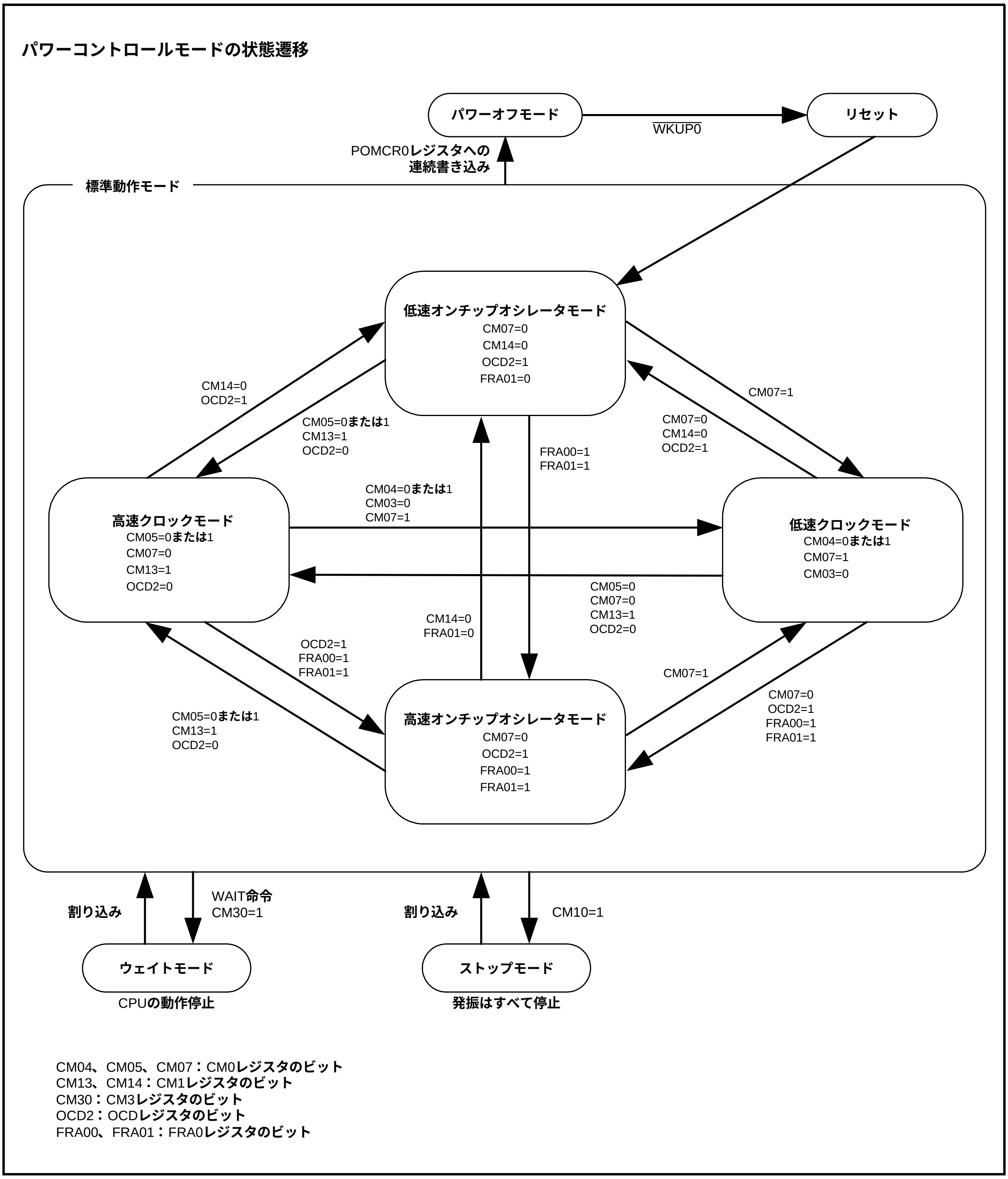


図10.1　パワーコントロールモード状態遷移

10.2 レジスタの説明

10.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	CM01	—
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1 b2	CM01 CM02	ウェイトモード時周辺機能クロック停止ビット	b2 b1 0 0：ウェイトモード時、周辺機能クロックを停止しない 0 1：ウェイトモード時、f1～f32クロック停止 1 0：ウェイトモード時、f1～f32、fC、fC2、fC32クロック停止 1 1：ウェイトモード時、f1～f32、fC、fC2、fC32、fC-LCDクロック停止	R/W
b3	CM03	XCINクロック停止ビット(注6、7)	0：発振 1：停止	R/W
b4	CM04	XCIN外部クロック入力許可ビット(注7)	0：外部クロック入力禁止 1：外部クロック入力許可	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0：発振 1：停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0：CM1レジスタのCM16、CM17ビット有効 1：8分周モード	R/W
b7	CM07	システムクロック選択ビット(注5)	0：XINクロック、またはオンチップオシレータクロック 1：XCINクロック	R/W

注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。
(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。
注3. CM05ビットが“1”(XINクロック停止)かつCM13ビットが“0”(入出力ポート)の場合のみ、P12_0、P12_1は入出力ポートとして使用できます。
P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。
注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
注5. XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。
注6. XCINクロックを使用する場合は、電源投入後、CM03ビットをいったん“1”(停止)にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。
注7. 外部クロック入力時は、CM03ビットを“0”(発振)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

10.2.2 システムクロック制御レジスタ1(CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2、7)	0:クロック発振 1:全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0:内蔵帰還抵抗有効 1:内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0:内蔵帰還抵抗有効 1:内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注5、6)	0:入出力ポートP12_0、P12_1 1:XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0:低速オンチップオシレータ発振 1:低速オンチップオシレータ停止	R/W
b5	—	予約ビット	“1”にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 0 0:分周なしモード 0 1:2分周モード 1 0:4分周モード 1 1:16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。
注2. CM10ビットが“1”(全クロック停止)の場合、内蔵している帰還抵抗は無効となります。
注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。
外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“1”(XINクロック停止)、PD12レジスタのPD12_0ビットを“0”(入力モード)にしてください。このとき、XOUTは入出力ポートP12_1として使用できます。
P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。
注6. CM13ビットはプログラムで一度“1”(XIN-XOUT端子)にすると、“0”(入出力ポートP12_0、P12_1)にはできません。
注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

10.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0：ウェイトモードではない 1：ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—	予約ビット	“0”にしてください。	R/W
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0：CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1：分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 0 0：ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 0 1：設定しないでください 1 0：高速オンチップオシレータクロックを選択(注3) 1 1：XINクロックを選択(注4)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
•OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
•FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
•FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)
注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
•CM0レジスタのCM05ビット=0(XINクロック発振)
•CM1レジスタのCM13ビット=1(XIN-XOUT端子)
•OCDレジスタのOCD2ビット=0(XINクロック選択)
CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

10.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0：発振停止検出機能無効(注1) 1：発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0：禁止(注1) 1：許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0：XINクロック選択(注6) 1：オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0：XINクロック発振 1：XINクロック停止	R
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.7.1　発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

10.2.5 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0：高速オンチップオシレータ停止 1：高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0：低速オンチップオシレータ選択(注2) 1：高速オンチップオシレータ選択(注3)	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0：fOCO-Sの128分周を選択 1：fOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。
•FRA00=1(高速オンチップオシレータ発振)
•CM1レジスタのCM14=0(低速オンチップオシレータ発振)
•FRA2レジスタのFRA22〜FRA20ビットが
VCC=2.7V〜5.5Vの場合は全分周モード設定可能“000b”〜“111b”
VCC=1.8V〜5.5Vの場合は8分周以上の分周比“110b”〜“111b”(8分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

10.2.6 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0：低消費電力禁止 1：低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0：電圧検出0回路無効 1：電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「10.7.9 VCA20ビットによる内部電源低消費操作」に従ってください。
注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(全クロック停止)にしないでください。
注3. VCA25ビットに書く場合は、リセット後の値を書いてください。
注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”(電圧検出1回路有効)にしてください。
VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。
注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”(電圧検出2回路有効)にしてください。
VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

10.2.7 パワーオフモード制御レジスタ0 (POMCR0)

アドレス 0020h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	POM00
リセット後の値	X	0	0	0	0	0	0	0

1回目書き込み：パワーオフモード時の端子状態と解除方法の選択

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

2～5回目書き込み：パワーオフモードへ移行

ビット	機能	R/W
b7～b0	“88h”、“15h”、“92h”、“25h”を連続して書いてください。	W

読み出し時

ビット	シンボル	ビット名	機能	R/W
b0	POM00	$\overline{\mathrm{WKUP0}}$要因パワーオフモード解除フラグ	0：未検出 1：検出	R
b1	—	何も配置されていない。読んだ場合、その値は不定。		R
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. パワーオフモードへの移行は、5回連続してPOMCR0レジスタへの書き込みを行ってください。

10.3 標準動作モード

表10.2に標準動作モードのクロック選択を示します。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってからクロックを切り替えてください。

表10.2　標準動作モードのクロック選択

モード		OCDレジスタ	CM1レジスタ				CM0レジスタ					FRA0レジスタ	
		OCD2	CM17	CM16	CM14	CM13	CM07	CM06	CM05	CM04	CM03	FRA01	FRA00
高速クロックモード	分周なし	0	0	0	—	0または1 (注1)	0	0	0または1 (注1)	—	—	—	—
	2分周	0	0	1	—	0または1 (注1)	0	0	0または1 (注1)	—	—	—	—
	4分周	0	1	0	—	0または1 (注1)	0	0	0または1 (注1)	—	—	—	—
	8分周	0	—	—	—	0または1 (注1)	0	1	0または1 (注1)	—	—	—	—
	16分周	0	1	1	—	0または1 (注1)	0	0	0または1 (注1)	—	—	—	—
低速クロックモード	分周なし	—	0	0	—	—	1	0	—	0または1 (注2)	0	—	—
	2分周	—	0	1	—	—	1	0	—	0または1 (注2)	0	—	—
	4分周	—	1	0	—	—	1	0	—	0または1 (注2)	0	—	—
	8分周	—	—	—	—	—	1	1	—	0または1 (注2)	0	—	—
	16分周	—	1	1	—	—	1	0	—	0または1 (注2)	0	—	—
高速オンチップオシレータモード	分周なし	1	0	0	—	—	0	0	—	—	—	1	1
	2分周	1	0	1	—	—	0	0	—	—	—	1	1
	4分周	1	1	0	—	—	0	0	—	—	—	1	1
	8分周	1	—	—	—	—	0	1	—	—	—	1	1
	16分周	1	1	1	—	—	0	0	—	—	—	1	1
低速オンチップオシレータモード	分周なし	1	0	0	0	—	0	0	—	—	—	0	—
	2分周	1	0	1	0	—	0	0	—	—	—	0	—
	4分周	1	1	0	0	—	0	0	—	—	—	0	—
	8分周	1	—	—	0	—	0	1	—	—	—	0	—
	16分周	1	1	1	0	—	0	0	—	—	—	0	—

—：“0”でも“1”でも影響ない

注1. 外部クロック入力を選択する場合は、CM05ビットを“1”かつCM13ビット“0”に、内蔵発振回路を選択する場合は、CM05ビットを“0”かつCM13ビットを“1”にしてください。

注2. 外部クロック入力を選択する場合は、CM04ビットを“1”、内蔵発振回路を選択する場合は、CM04ビットを“0”にしてください。

10.3.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

10.3.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周のいずれかで、低消費電流リードモードを使用できます。ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「10.7　消費電力の低減」を参照してください。

10.3.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

10.3.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「10.7　消費電力の低減」を参照してください。

10.4　ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.1　周辺機能クロック停止機能

CM0レジスタのCM01、CM02ビット(ウェイトモード時周辺機能クロック停止ビット)の設定で、ウェイトモード時に停止する周辺機能クロックを選択できるので、用途にあわせて消費電力を調整できます。

10.4.2　ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態で、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。

10.4.3　VCA20ビットによる内部電源低消費操作

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。VCA20ビットにより内部電源低消費電力を許可する場合は、「10.7.9　VCA20ビットによる内部電源低消費操作」に従ってください。

10.4.4　ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

10.4.5　ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。周辺機能割り込みはCM0レジスタのCM01、CM02ビットの影響を受けます。

表10.3　ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02、CM01=00bの場合	CM02、CM01=01bの場合	CM02、CM01=10bの場合	CM02、CM01=11bの場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	fC、外部クロックで使用可	外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコミュニケーションユニット/I2Cバスインタフェース割り込み	すべてのモードで使用可	―(使用しないでください)	―(使用しないでください)	―(使用しないでください)
キー入力割り込み	使用可	使用可	使用可	使用可
A/D変換割り込み	―(A/D変換中にウェイトモードに移行しないでください)	―(A/D変換中にウェイトモードに移行しないでください)	―(A/D変換中にウェイトモードに移行しないでください)	―(A/D変換中にウェイトモードに移行しないでください)
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC、fC32を選択することで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可
タイマRB割り込み	すべてのモードで使用可	―(使用しないでください)	タイマRAのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRAのアンダフローを選択することで使用可	タイマRAのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRAのアンダフローを選択することで使用可
タイマRC割り込み	すべてのモードで使用可	―(使用しないでください)	―(使用しないでください)	―(使用しないでください)
タイマRD割り込み	すべてのモードで使用可	カウントソースにfC2、fOCO40Mを選択することで使用可	カウントソースにfOCO40Mを選択することで使用可	カウントソースにfOCO40Mを選択することで使用可
タイマRE割り込み	すべてのモードで使用可	カウントソースにfC4を選択することで使用可	カウントソースにfC4を選択することで使用可	カウントソースにfC4を選択することで使用可
タイマRG割り込み	すべてのモードで使用可	カウントソースにfOCO40Mを選択することで使用可	カウントソースにfOCO40Mを選択することで使用可	カウントソースにfOCO40Mを選択することで使用可
$\overline{\mathrm{INT}}$割り込み	使用可	フィルタなしの場合に、使用可	フィルタなしの場合に、使用可	フィルタなしの場合に、使用可
電圧監視1割り込み	使用可	使用可	使用可	使用可
電圧監視2割り込み	使用可	使用可	使用可	使用可
発振停止検出割り込み	使用可	―(使用しないでください)	―(使用しないでください)	―(使用しないでください)

- CM02、CM01ビットが“00b”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。
- CM02、CM01ビットが“01b”(ウェイトモード時、f1～f32クロック停止)の場合は、外部信号、オンチップオシレータクロックまたはfC、fC32クロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
- CM02、CM01ビットが“10b”(ウェイトモード時、f1～f32、fC、fC2、fC32クロック停止)の場合は、fC4外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
- CM02、CM01ビットが“11b”(ウェイトモード時、f1～f32、fC、fC2、fC32、fC-LCDクロック停止)の場合は、CM02、CM01ビットが“10b”のときと同様です。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

10.4.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰

図10.2にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

(1) Iフラグを“0”(マスカブル割り込み禁止)にする。

(2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図10.2のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

FMR0レジスタ FMSTPビット	VCA2レジスタ VCA20ビット	内部電源安定時間(T0)	フラッシュメモリ復帰までの時間(T1)	CPUクロック供給までの時間(T2)	CPU待機時間	備考
0 (フラッシュメモリ動作)	0 (内部電源低消費電力禁止)	0µs	システムクロックの周期×1サイクル＋60µs(最大)	システムクロックの周期×3サイクル(最大)	CPUクロックの周期×4サイクル(最大)	左記の合計時間がウェイトモードから復帰後に最初の命令を実行するまでの時間となります。
	1 (内部電源低消費電力許可)	100µs(最大)				
1 (フラッシュメモリ停止)	0 (内部電源低消費電力禁止)	0µs	システムクロックの周期×1サイクル	同上	同上	
	1 (内部電源低消費電力許可)	100µs(最大)				

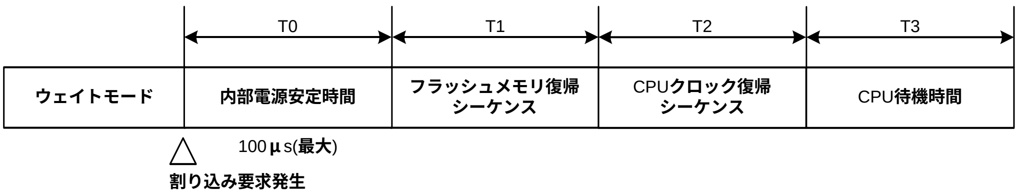


図10.2 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

10.4.7 WAIT命令実行後のウェイトモードからの復帰

図10.3にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

(1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(2) Iフラグを“1”(マスカブル割り込み許可)にする。

(3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図10.3のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

FMR0レジスタ FMSTPビット	VCA2レジスタ VCA20ビット	内部電源安定時間(T0)	フラッシュメモリ復帰までの時間(T1)	CPUクロック供給までの時間(T2)	割り込みシーケンスの時間(T3)	備考
0 (フラッシュメモリ動作)	0 (内部電源低消費電力禁止)	0μs	システムクロックの周期×1サイクル＋60μs (最大)	システムクロックの周期×3サイクル(最大)	CPUクロックの周期×21サイクル	左記の合計時間がウェイトモードから割り込みルーチンを実行するまでの時間となります。
	1 (内部電源低消費電力許可)	100μs(最大)				
1 (フラッシュメモリ停止)	0 (内部電源低消費電力禁止)	0μs	システムクロックの周期×1サイクル	同上	同上	
	1 (内部電源低消費電力許可)	100μs(最大)				

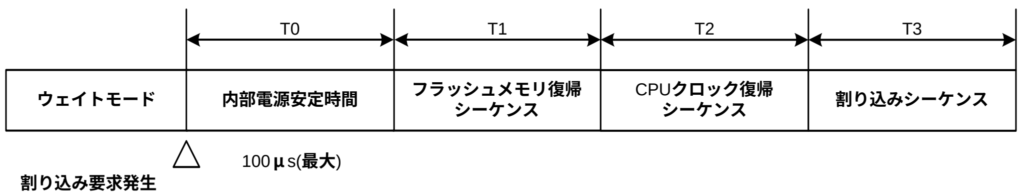


図10.3　WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

10.5 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4　ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
$\overline{\mathrm{INT0}}$～$\overline{\mathrm{INT7}}$割り込み	フィルタなしの場合に使用可
タイマRA割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

10.5.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1～OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ストップモードへ移行しないでください。

10.5.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P12_0)端子は“H”になります。

10.5.3　ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。
図10.4にストップモードから割り込みルーチンを実行するまでの時間を示します。
周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

(1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
(2) Iフラグを“1”(マスカブル割り込み許可)にする。
(3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。
周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

FMR0レジスタ FMSTPビット	内部電源安定時間(T0)	フラッシュメモリ復帰までの時間(T2)	CPUクロック供給までの時間(T3)	割り込みシーケンスの時間(T4)	備考
0 (フラッシュメモリ動作)	100μs(最大)	システムクロックの周期×1サイクル＋60μs(最大)	システムクロック周期×3サイクル(最大)	CPUクロック周期×21サイクル(最大)	T0～T4の合計時間がストップモードから割り込みルーチンを実行するまでの時間となります。
1 (フラッシュメモリ停止)	100μs(最大)	システムクロックの周期×1サイクル	同上	同上	

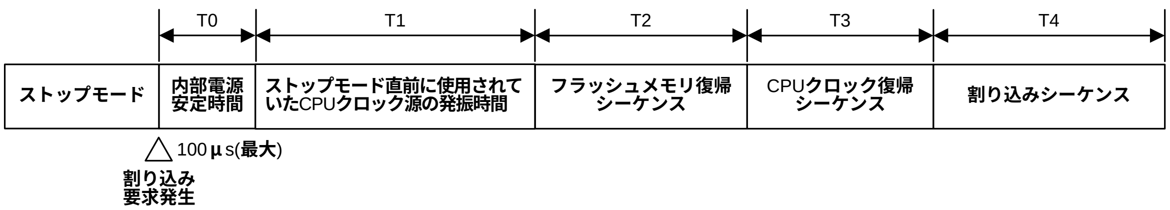


図10.4　ストップモードから割り込みルーチンを実行するまでの時間

10.6　パワーオフモード

パワーオフモードではすべての機能が停止します。このモードは最も消費電力が少ないモードです。

10.6.1　パワーオフモードの端子処理

図10.5にパワーオフモード時の端子処理例を示します。このモードを使用する場合は、ハードウェアリセット入力が必要です。ハードウェアリセットの詳細については「5.2　ハードウェアリセット」を参照してください。

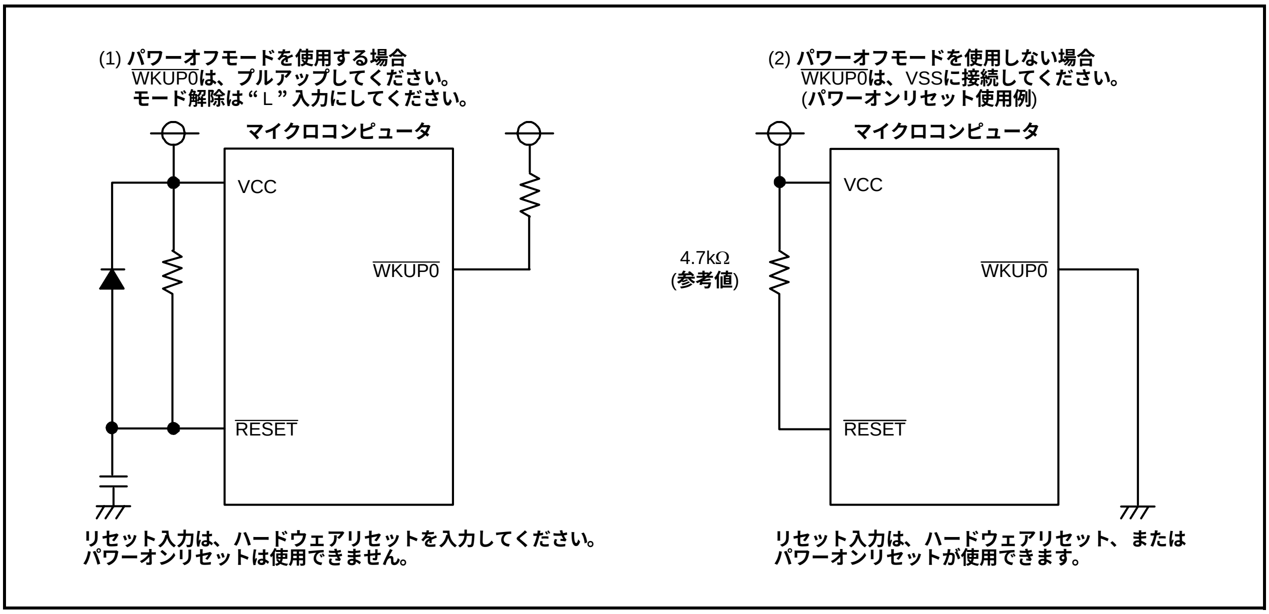


図10.5　パワーオフモード時の端子処理例

10.6.2　パワーオフモードへの移行

表10.5にパワーオフモードへの移行と解除方法を示します。

１回目のPOMCR0レジスタ書き込みでパワーオフモード時の端子の状態と解除方法を選択します。その後、“88h”、“15h”、“92h”、“25h”を連続して書き込むとパワーオフモードに移行します。

なお、POMCR0レジスタの書き込み途中で他のレジスタのアクセスがあってもモードの移行には影響しません。

表10.5　パワーオフモードへの移行と解除方法

パワーオフモードへの移行	状態	解除方法
POMCR0レジスタにパワーオフモード時の端子の状態と解除方法を書き込む その後POMCR0レジスタに“88h”、“15h”、“92h”、“25h”を連続して書き込む	全機能停止	$\overline{\text{RESET}}$入力または$\overline{\text{WKUP0}}$入力

10.6.3　パワーオフモード時の端子の状態

表10.6にパワーオフモード時の端子の状態を示します。パワーオフモードに移行するとRAMやSFRの内容は保持されません。したがって、保持の必要な内容は、パワーオフモードに入る前にデータフラッシュに必要なデータを退避してください。

表10.6　パワーオフモード時の端子の状態

端子名	状態
ポートP0～P7	パワーオフモード移行前の、LSE0～LSE7レジスタの状態が保持されます。このレジスタで、LCDポートを選択した場合は、“L”出力、ポートを選択した場合はハイインピーダンスとなります。
ポートP10～P13	ハイインピーダンス
$\overline{\text{WKUP0}}$	$\overline{\text{WKUP0}}$入力
XCIN、XCOUT	ハイインピーダンス
VL1～VL4	ハイインピーダンス

10.6.4　パワーオフモードの解除

$\overline{\text{RESET}}$端子または$\overline{\text{WKUP0}}$端子に“L”パルスを入力することによりモードを解除します。

パワーオフモードの解除後の動作は通常のリセットシーケンスと同じです。

パワーオフモードを解除したとき、POMCR0レジスタのフラグ(POM00)読み出しにより解除要因を特定できます。これらのフラグは電源投入後は不定値、POMCR0レジスタへの書き込みによりクリアされます。複数の解除要因が重なった場合は、複数のフラグがセットされます。

図10.6にパワーオフモードからリセットベクタアドレス読み出しを実行するまでの時間を示します。

内部電源安定時間 (T0)	内部リセット時間 (T1)	フラッシュメモリ起動時間 (T2)	アイドリング時間 (T3)	備考
最大2ms	(fOCO-Sクロック×32サイクル)	CPUクロック×148サイクル	CPUクロック×28サイクル	左記の合計時間がパワーオフモードからリセットベクタアドレス読み出しを実行するまでの時間となります。

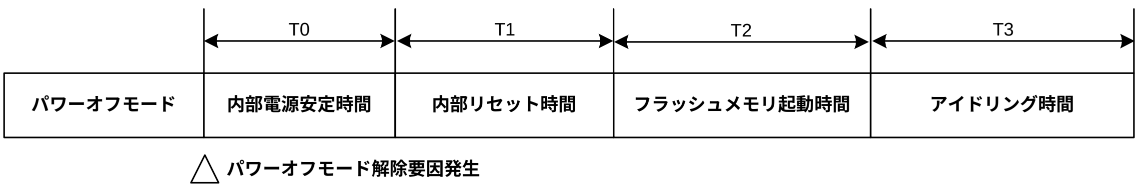


図10.6　パワーオフモードからリセットベクタアドレス読み出しを実行するまでの時間

10.7　消費電力の低減

消費電力を小さくするためのポイント、処理方法について説明します。システム設計やプログラムを作成するときに参考にしてください。

10.7.1　電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

10.7.2　ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは出力に設定してください。入力に設定する場合は、安定した電位に固定してから、ウェイトモードまたはストップモードに移行してください。

10.7.3　クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：　CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にしてください。

高速オンチップオシレータの発振停止：　FRA0レジスタのFRA00ビットを“0”にしてください。

10.7.4　ウェイトモード、ストップモード、パワーオフモード

ウェイトモード、ストップモード、およびパワーオフモードでは消費電力が低減できます。

10.7.5　周辺機能クロックの停止

ウェイトモード時に必要のない周辺機能クロックは、CM0レジスタのCM1、CM02ビットでクロックを停止させてください。

10.7.6　タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

タイマRDを使用しない場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)、MSTCRレジスタのMSTTRDビットを“1”(スタンバイ)にしてください。

タイマRGを使用しない場合、MSTCRレジスタのMSTTRGビットを“1”(スタンバイ)にしてください。

10.7.7　A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

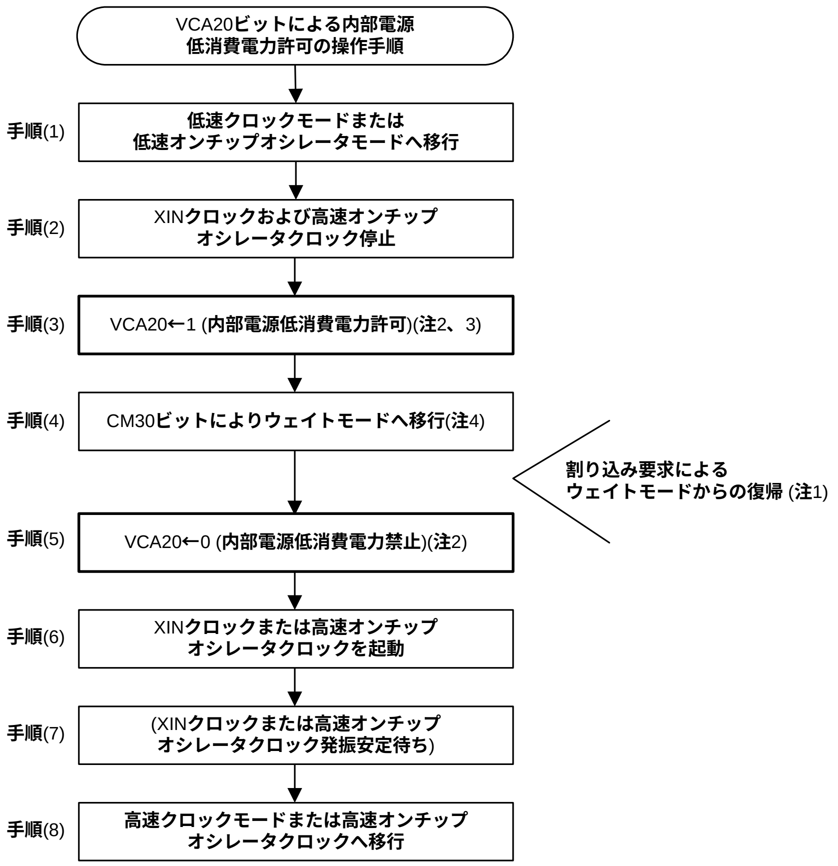
10.7.8　クロック同期形シリアルインタフェース

SSUおよびI²Cバスを使用しない場合、MSTCRレジスタのMSTIICビットを“1”(スタンバイ)にしてください。

10.7.9　VCA20ビットによる内部電源低消費操作

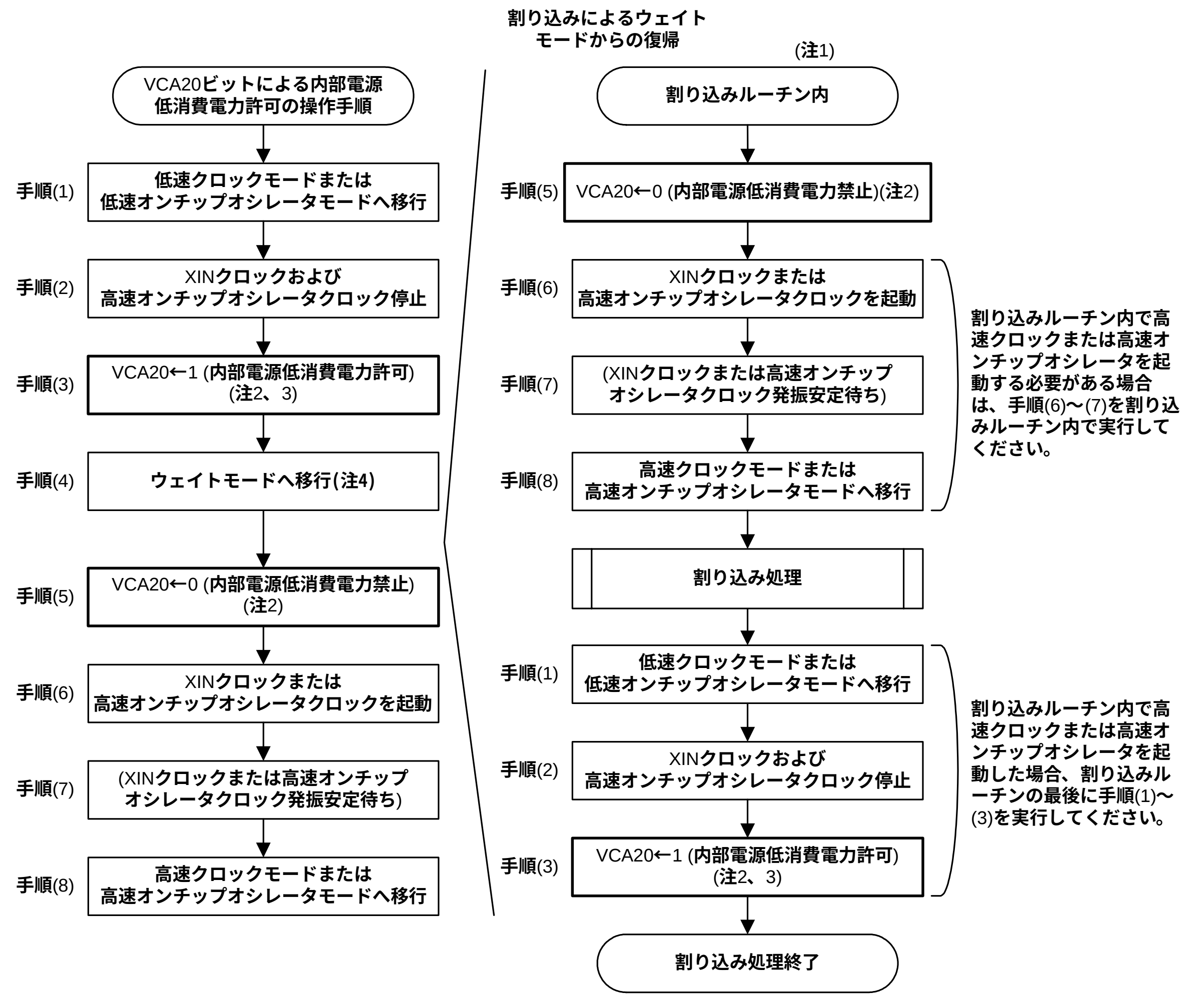
VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。VCA20ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

VCA20ビットによる内部電源低消費操作設定手順は、CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合と、WAIT命令を実行してウェイトモードにする場合とで異なります。図10.7にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を、図10.8にWAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を示します。



注1．CM30ビットによるウェイトモード中に割り込み要求が発生した場合、割り込み処理を行わず、CM30ビットを“1”にした命令の直後から、実行を再開します。
注2．VCA20ビットに“1”を書いた直後の命令で、VCA20ビットに“0”を書かないでください。また、その逆も行わないでください。
注3．VCA20ビットが“1”のとき、CM10ビットを“1”(ストップモード)にしないでください。
注4．ウェイトモードへの移行の際は、「10.4　ウェイトモード」に従ってください。

図10.7　CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順



注1．ウェイトモード中に発生する割り込み処理のすべてに対してこの処理を行ってください。
　　ただし、割り込みルーチンの中で、高速クロックまたは高速オンチップオシレータを起動する必要がない場合は、不要です。
注2．VCA20ビットに“1”を書いた直後の命令で、VCA20ビットに“0”を書かないでください。また、その逆も行わないでください。
注3．VCA20ビットが“1”のとき、CM10ビットを“1”(ストップモード)にしないでください。
注4．ウェイトモードへの移行の際は、「10.4　ウェイトモード」に従ってください。

VCA20：VCA2レジスタのビット

図 10.8　WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

10.7.10 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0 レジスタの FMSTP ビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTP ビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図 10.9にFMSTP ビットによる低消費電力操作手順例を示します。

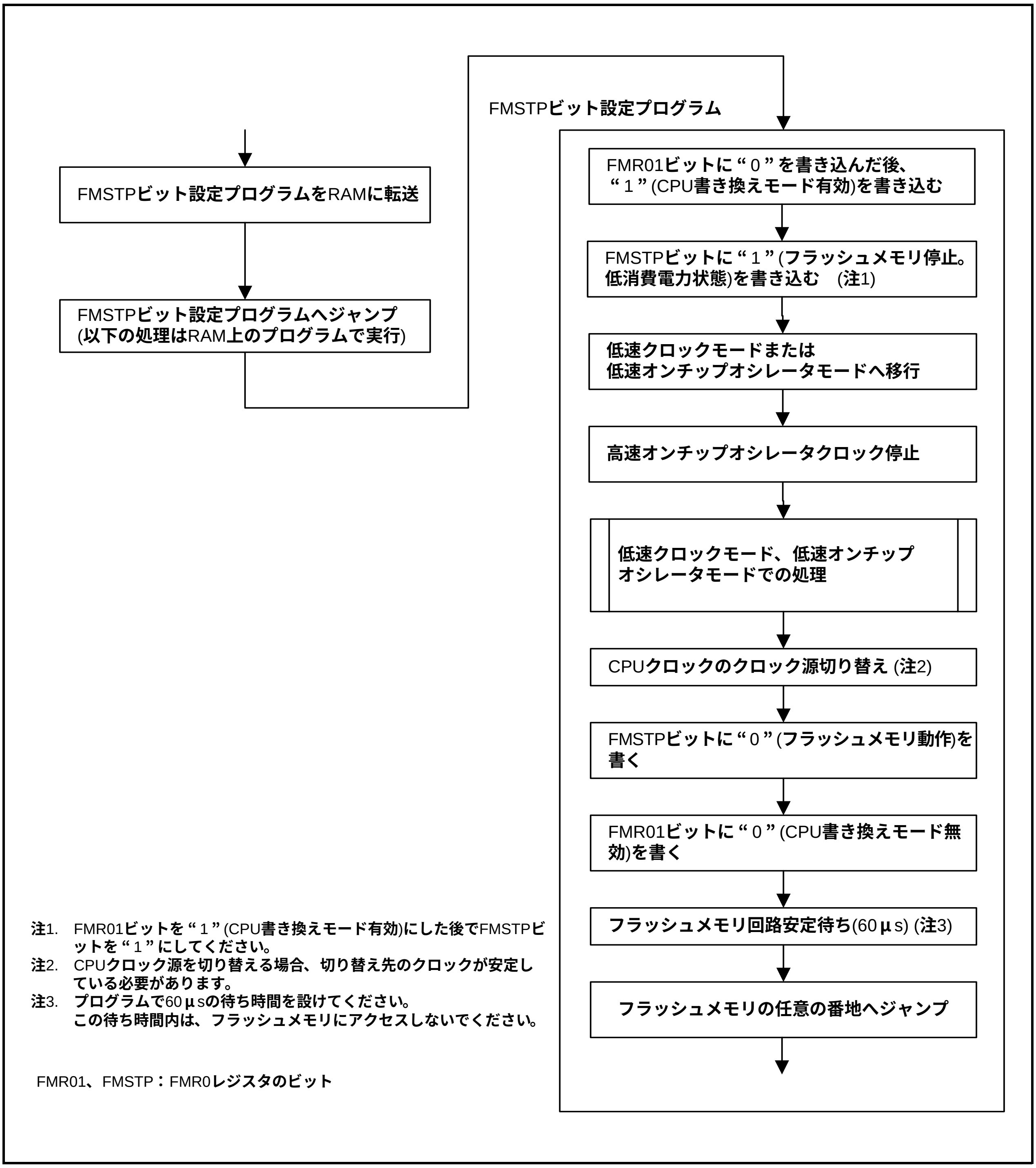


図 10.9　FMSTPビットによる低消費電力操作手順例

10.7.11 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタの FMR27 ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

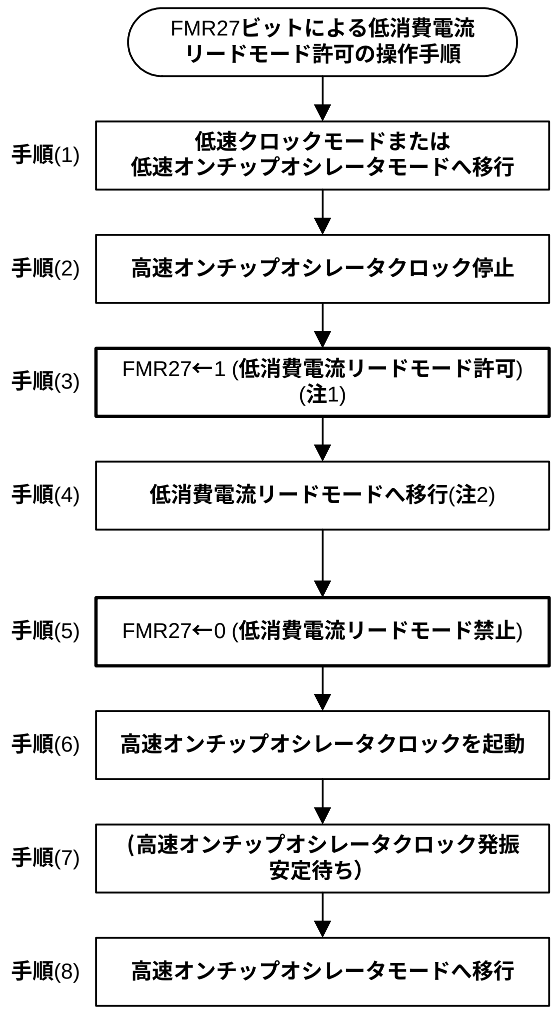
- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

図 10.10に低消費電流リードモードの操作手順例を示します。



注1．FMR27ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。
また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2．低消費電流リードモードでは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしてください。
ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止) にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可) の状態で、ウェイトモードまたはストップモードへ移行しないでください。

FMR27：FMR2レジスタのビット

図 10.10 低消費電流リードモードの操作手順例

10.8 パワーコントロール使用上の注意

10.8.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)、FMR2レジスタのFMR27ビットを“0”(低消費電流リードモード禁止)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```
        BCLR    1, FMR0       ; CPU書き換えモード無効
        BCLR    7, FMR2       ; 低消費電流リードモード禁止
        BSET    0, PRCR       ; CM1レジスタへの書き込み許可
        FSET    I             ; 割り込み許可
        BSET    0, CM1        ; ストップモード
        JMP.B   LABEL_001
LABEL_001:
        NOP
        NOP
        NOP
        NOP
```

10.8.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
        BCLR    1, FMR0       ; CPU書き換えモード無効
        BCLR    7, FMR2       ; 低消費電流リードモード禁止
        FSET    I             ; 割り込み許可
        WAIT                  ; ウェイトモード
        NOP
        NOP
        NOP
        NOP
```

• CM30ビットを“1”を実行するプログラム例

```
        BCLR    1, FMR0       ; CPU書き換えモード無効
        BCLR    7, FMR2       ; 低消費電流リードモード禁止
        BSET    0, PRCR       ; CM3レジスタへの書き込み許可
        FCLR    I             ; 割り込み禁止
        BSET    0, CM3        ; ウェイトモード
        NOP
        NOP
        NOP
        NOP
        BCLR    0, PRCR       ; CM3レジスタへの書き込み禁止
        FSET    I             ; 割り込み許可
```

10.8.3　VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“ 1 ”にしてから、ウェイトモードに移行してください。

CM3 レジスタの CM30 ビットを“ 1 ”(ウェイトモードに移行する) にしてウェイトモードにする場合の VCA20 ビットによる内部電源低消費操作設定は図 10.7 に示す手順に従ってください。

WAIT 命令を実行してウェイトモードにする場合の VCA20 ビットによる内部電源低消費操作設定は図 10.8 に示す手順に従ってください。

10.8.4　パワーオフモード

パワーオフモードに移行する場合、FMR0 レジスタの FMR01 ビットを“ 0 ”(CPU 書き換えモード無効) にした後、POMCR0 レジスタにアクセスしてください。POMCR0 レジスタにアクセスしてからパワーオフモードへ移行するまでには遅延がありますので、NOP 命令を最低4 つ入れた後、WAIT 命令でプログラムを停止してください。

• パワーオフモードに移行するプログラム例

```
BCLR      1, FMR0          ；CPU書き換えモード無効
MOV.B     #00H、POMCR0     ；固定値
MOV.B     #88H、POMCR0     ；固定値
MOV.B     #15H、POMCR0     ；固定値
MOV.B     #92H、POMCR0     ；固定値
MOV.B     #25H、POMCR0     ；固定値
NOP
NOP
NOP
NOP                        ；パワーオフモードへ移行
WAIT                       ；ウェイトモード
```

パワーオフモードの解除後の動作は通常のリセットシーケンスと同じです。そのため、パワーオフモード移行直後にパワーオフモードを解除すると、リセットシーケンスとリセット後のプログラム動作により、消費電力を低減できません。パワーオフモード移行と解除の間隔についてはシステムレベルで十分評価してください。

11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC3ビットで保護されるレジスタ：OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタ

11.1 レジスタの説明

11.1.1 プロテクトレジスタ(PRCR)

アドレス 000Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	PRC3	プロテクトビット3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. PRC0、PRC1、PRC3ビットを“1”(書き込み許可)にした後、SFR領域に書き込んでも“0”になりませんので、プログラムで“0”にしてください。

12. 割り込み

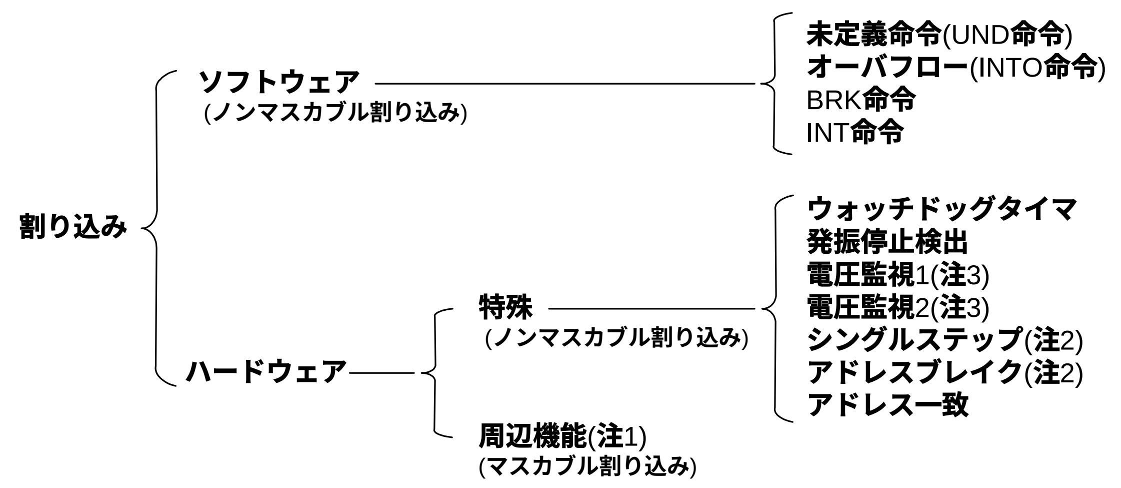
注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

12.1 概要

12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。



注1. 周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。
注2. 開発ツール専用の割り込みですので、使用しないでください。
注3. CMPAレジスタのIRQ1SEL、IRQ2SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。

図12.1　割り込みの分類

- マスカブル割り込み　　:割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み　:割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「15.　ウォッチドッグタイマ」を参照してください。

12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9.　クロック発生回路」を参照してください。

12.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6.　電圧検出回路」を参照してください。

12.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ2SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6.　電圧検出回路」を参照してください。

12.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが"1"(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.6　アドレス一致割り込み」を参照してください。

12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表12.2　可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.1.5　割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図12.2に割り込みベクタを示します。

	MSB	LSB
ベクタ番地(L)	アドレスの下位	
	アドレスの中位	
	0 0 0 0	アドレスの上位
ベクタ番地(H)	0 0 0 0	0 0 0 0

図12.2　割り込みベクタ

12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表12.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「34.3　フラッシュメモリ書き換え禁止機能」を参照してください。

表12.1　固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズ ソフトウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		12.6　アドレス一致割り込み
シングルステップ(注1)	0FFECh～0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1 (注2)、 電圧監視2 (注3)	0FFF0h～0FFF3h		15.　ウォッチドッグタイマ、 9.　クロック発生回路、 6.　電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		5.　リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。
注2. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスカブル割り込み)の場合です。
注3. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“0”(ノンマスカブル割り込み)の場合です。

12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表12.2に可変ベクタテーブルを示します。

表12.2　可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注3)	+0～+3(0000h～0003h)	0	—	R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ	+4～+7(0004h～0007h)	1	FMRDYIC	34.　フラッシュメモリ
—(予約)		2	—	—
INT7	+12～+15(000Ch～000Fh)	3	INT7IC	12.4　INT割り込み
INT6	+16～+19(0010h～0013h)	4	INT6IC	12.4　INT割り込み
INT5	+20～+23(0014h～0017h)	5	INT5IC	12.4　INT割り込み
INT4	+24～+27(0018h～001Bh)	6	INT4IC	12.4　INT割り込み
タイマRC	+28～+31(001Ch～001Fh)	7	TRCIC	20.　タイマRC
タイマRD0	+32～+35(0020h～0023h)	8	TRD0IC	21.　タイマRD
タイマRD1	+36～+39(0024h～0027h)	9	TRD1IC	
タイマRE	+40～+43(0028h～002Bh)	10	TREIC	22.　タイマRE
UART2送信/NACK2	+44～+47(002Ch～002Fh)	11	S2TIC	25.　シリアルインタフェース (UART2)
UART2受信/ACK2	+48～+51(0030h～0033h)	12	S2RIC	
キー入力	+52～+55(0034h～0037h)	13	KUPIC	12.5　キー入力割り込み
A/D変換	+56～+59(0038h～003Bh)	14	ADIC	30.　A/Dコンバータ
シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース(注2)	+60～+63(003Ch～003Fh)	15	SSUIC/ IICIC	27.　シンクロナスシリアルコミュニケーションユニット(SSU)、 28.　I²Cバスインタフェース
—(予約)		16	—	—
UART0送信	+68～+71(0044h～0047h)	17	S0TIC	24.　シリアルインタフェース (UARTi (i=0～1))
UART0受信	+72～+75(0048h～004Bh)	18	S0RIC	
UART1送信	+76～+79(004Ch～004Fh)	19	S1TIC	
UART1受信	+80～+83(0050h～0053h)	20	S1RIC	
INT2	+84～+87(0054h～0057h)	21	INT2IC	12.4　INT割り込み
タイマRA	+88～+91(0058h～005Bh)	22	TRAIC	18.　タイマRA
—(予約)		23	—	—
タイマRB	+96～+99(0060h～0063h)	24	TRBIC	19.　タイマRB
INT1	+100～+103(0064h～0067h)	25	INT1IC	12.4　INT割り込み
INT3	+104～+107(0068h～006Bh)	26	INT3IC	
—(予約)		27	—	—
—(予約)		28	—	—
INT0	+116～+119(0074h～0077h)	29	INT0IC	12.4　INT割り込み
UART2バス衝突検出	+120～+123(0078h～007Bh)	30	U2BCNIC	25.　シリアルインタフェース (UART2)
—(予約)		31	—	—
ソフトウェア(注3)	+128～+131(0080h～0083h)～ +164～+167(00A4h～00A7h)	32～41	—	R8C/Tinyシリーズ ソフトウェアマニュアル
—(予約)		42	—	—
タイマRG	+172～+175(00ACh～00AFh)	43	TRGIC	23.　タイマRG
—(予約)		44～49	—	—
電圧監視1 (注4)	+200～+203(00C8h～00CBh)	50	VCMP1IC	6.　電圧検出回路
電圧監視2 (注5)	+204～+207(00CCh～00CFh)	51	VCMP2IC	
—(予約)		52～55	—	—
ソフトウェア(注3)	+224～+227(00E0h～00E3h)～ +252～+255(00FCh～00FFh)	56～63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1.　INTBレジスタが示す番地からの相対番地です。
注2.　SSUIICSRレジスタのIICSELビットで選択できます。
注3.　Iフラグによる禁止はできません。
注4.　電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)の場合です。
注5.　電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“1”(マスカブル割り込み)の場合です。

12.2　レジスタの説明

12.2.1　割り込み制御レジスタ (TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、TRBIC、U2BCNIC、VCMP1IC、VCMP2IC)

アドレス 004Ah番地(TREIC)、004Bh番地(S2TIC)、004Ch番地(S2RIC)、004Dh番地(KUPIC)、004Eh番地(ADIC)、0051h番地(S0TIC)、0052h番地(S0RIC)、0053h番地(S1TIC)、0054h番地(S1RIC)、0056h番地(TRAIC)、0058h番地(TRBIC)、005Eh番地(U2BCNIC)、0072h番地(VCMP1IC)、0073h番地(VCMP2IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0 (割り込み禁止) 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	R/W
b1	ILVL1			R/W
b2	ILVL2			R/W
b3	IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	R/W (注1)
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5　割り込み制御レジスタの変更」を参照してください。

12.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC/IICIC、TRGIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、0048h番地(TRD0IC)、0049h番地(TRD1IC)、004Fh番地(SSUIC/IICIC(注1))、006Bh番地(TRGIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0 (割り込み禁止) 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	R/W
b1	ILVL1			R/W
b2	ILVL2			R/W
b3	IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

注1. SSUIICSRレジスタのIICSELビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5　割り込み制御レジスタの変更」を参照してください。

12.2.3　INTi割り込み制御レジスタ(INTiIC)(i=0～7)

アドレス 0043h番地(INT7IC)、0044h番地(INT6IC)、0045h番地(INT5IC)、0046h番地(INT4IC)、
0055h番地(INT2IC)、0059h番地(INT1IC)、005Ah番地(INT3IC)、005Dh番地(INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0 (割り込み禁止) 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	R/W
b1	ILVL1			R/W
b2	ILVL2			R/W
b3	IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット(注3)	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択(注2)	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b7	—			

注1.　IRビットは“0”のみ書けます(“1”を書かないでください)。
注2.　INTENレジスタのINTiPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。
注3.　POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。
「12.8.4　割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.8.5　割り込み制御レジスタの変更」を参照してください。

12.3 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2〜ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

12.3.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

12.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I^{2}Cバスインタフェース、フラッシュメモリ割り込みでは、IRビットの動作が違います。「12.7　タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I^{2}Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

12.3.3 ILVL2〜ILVL0ビット、IPL

割り込み優先レベルは、ILVL2〜ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定を、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ　＝　1(マスカブル割り込み許可)
- IRビット　＝　1(割り込み要求あり)
- 割り込み優先レベル　＞　IPL

Iフラグ、IRビット、ILVL2〜ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表12.3　割り込み優先レベルの設定

ILVL2〜ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い
010b	レベル2	↓
011b	レベル3	↓
100b	レベル4	↓
101b	レベル5	↓
110b	レベル6	↓
111b	レベル7	高い

表12.4　IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

12.3.4　割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPA の各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図12.3に割り込みシーケンスの実行時間を示します。

(1)　00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)

(2)　割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。

(3)　FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。

(4)　CPU内部の一時レジスタ(注1)をスタックに退避します。

(5)　PCをスタックに退避します。

(6)　IPLに、受け付けた割り込みの割り込み優先レベルを設定します。

(7)　割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1.　ユーザは使用できません。

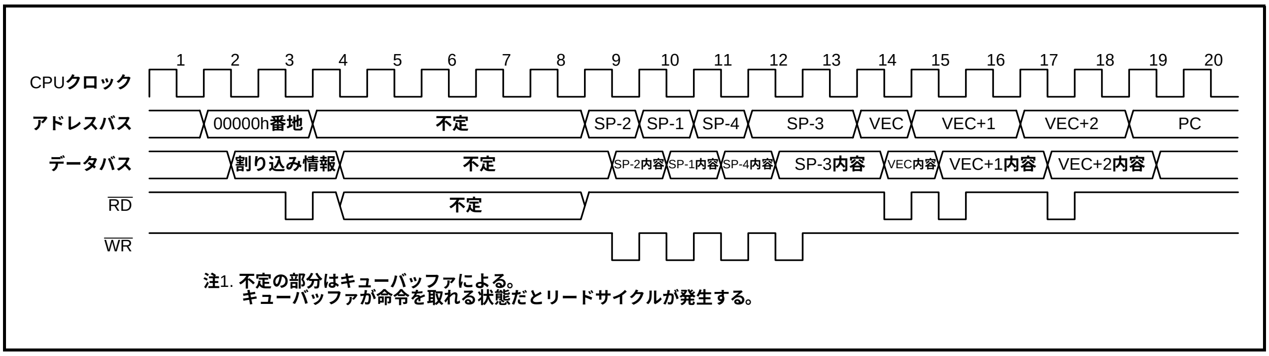


図12.3　割り込みシーケンスの実行時間

注2.　タイマ RC、タイマ RD、タイマ RG、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース割り込みの IR ビットの動作は「12.7　タイマ RC 割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

12.3.5 割り込み応答時間

図12.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.4の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

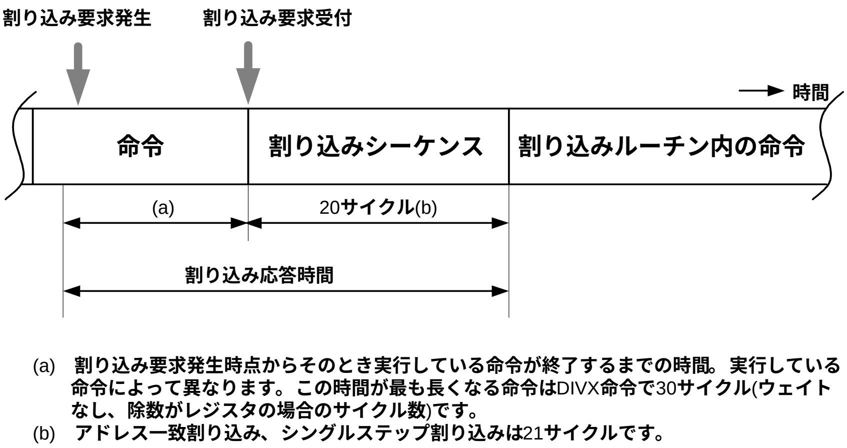


図12.4 割り込み応答時間

12.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。

表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

12.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図12.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FB **レジスタから選択できます。**

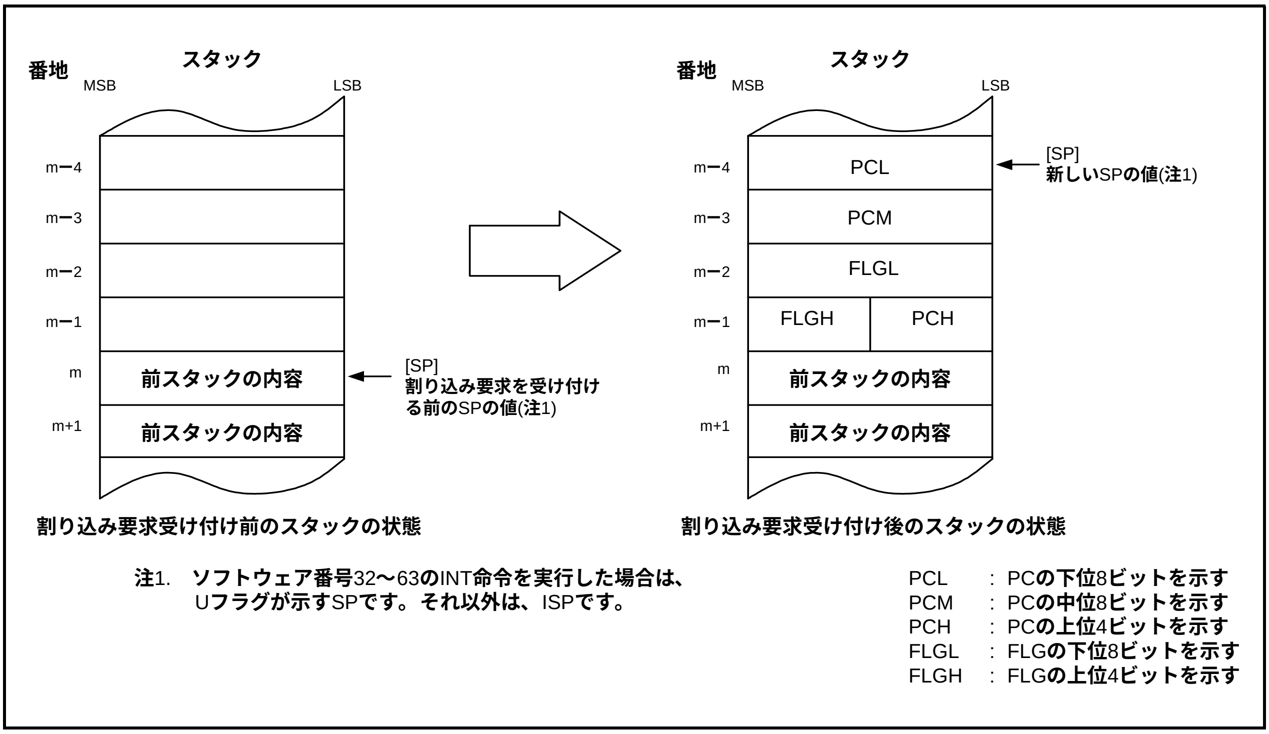


図12.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図12.6にレジスタ退避動作を示します。

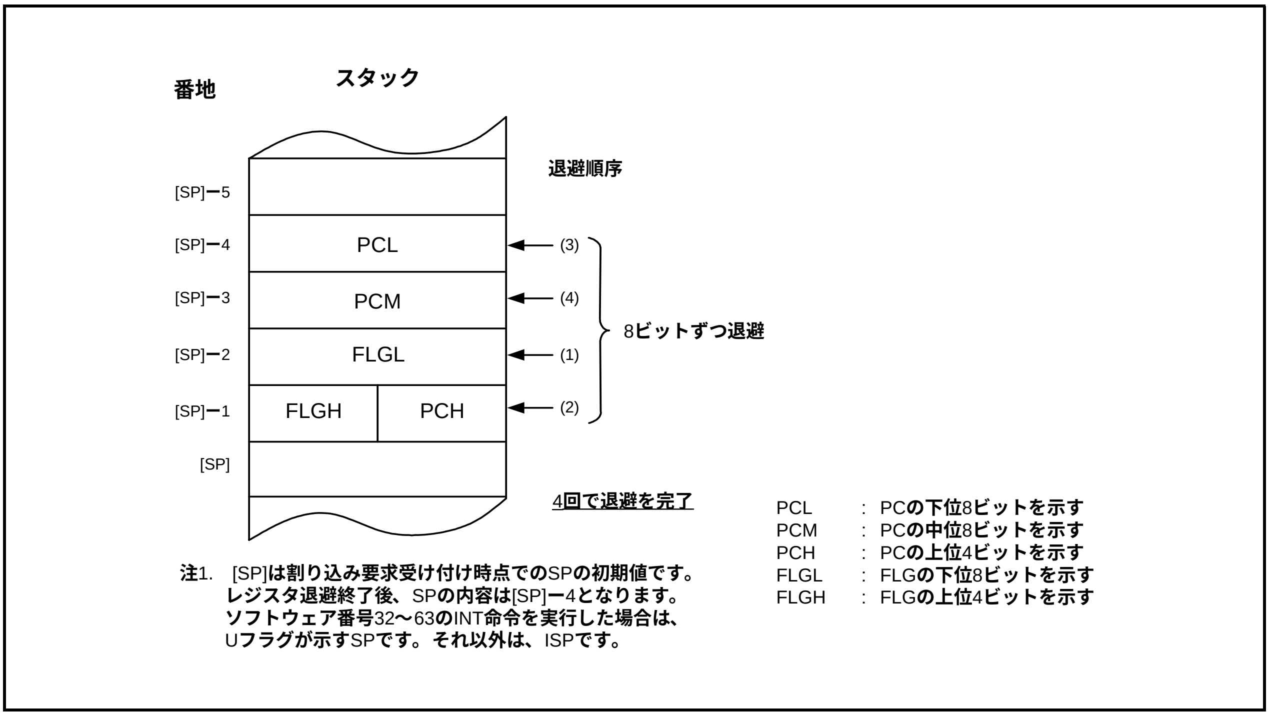


図12.6　レジスタ退避動作

12.3.8　割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

12.3.9　割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図12.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

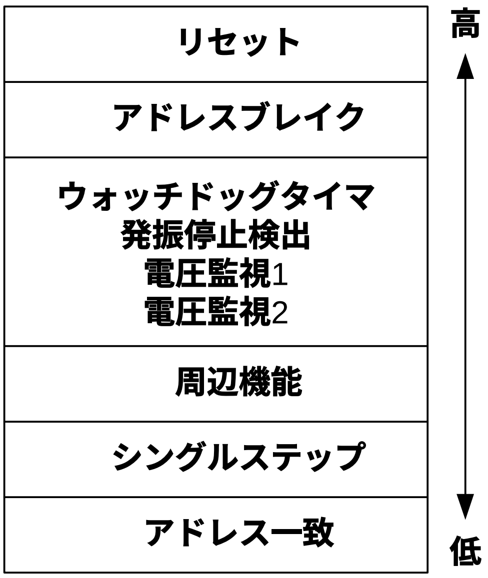


図12.7　ハードウェア割り込みの割り込み優先順位

12.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図12.8に割り込み優先レベルの判定回路を示します。

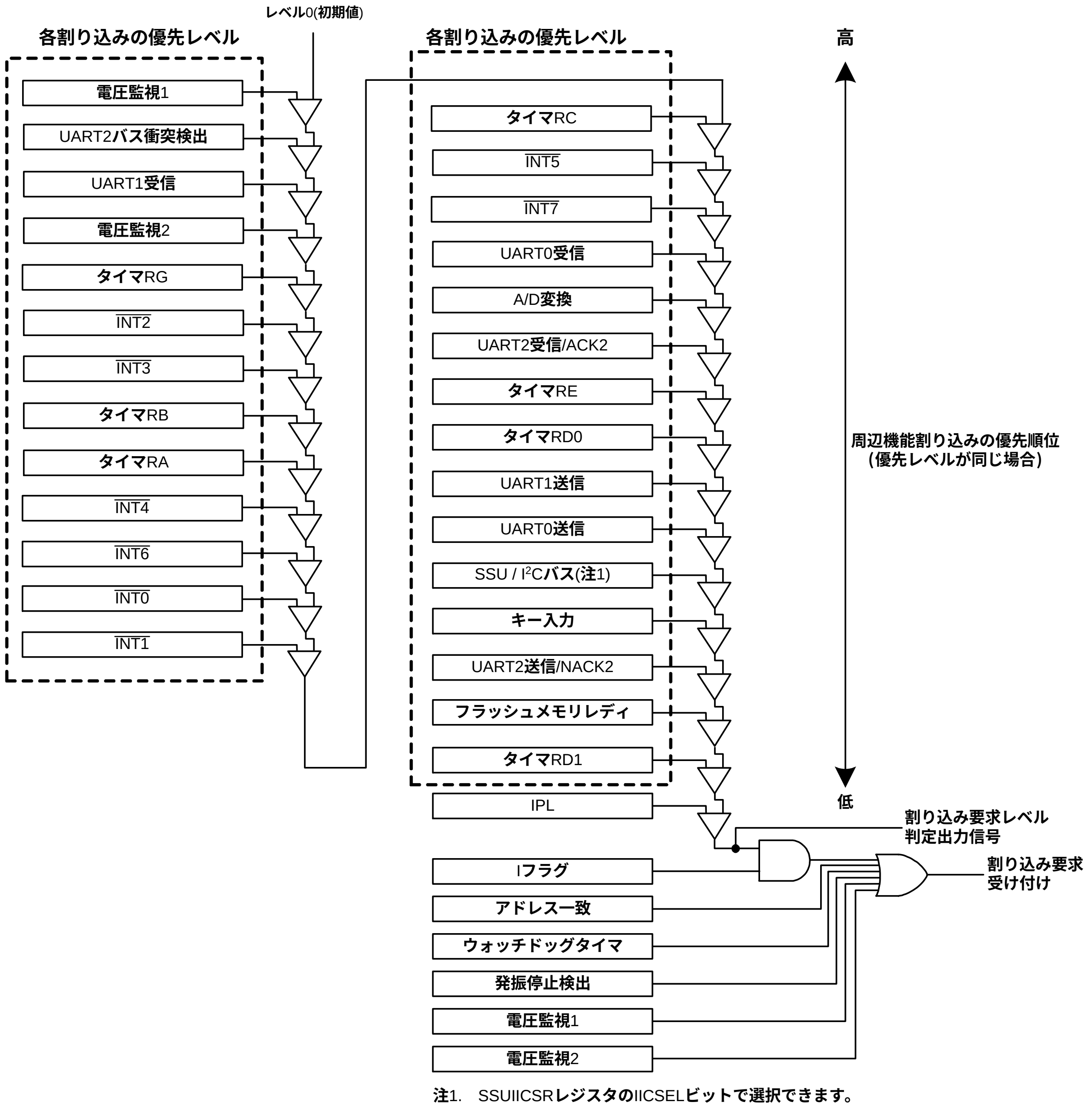


図12.8　割り込み優先レベルの判定回路

12.4 INT割り込み

12.4.1 INTi割り込み(i=0～7)

INTi割り込みはINTi入力による割り込みです。INTi割り込みを使用するときはINTENレジスタのINTiENビットを“1”(許可)にしてください。極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。INTi入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

INT0端子はタイマRCおよびタイマRDのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。

表12.6にINT割り込みの端子構成を示します。

表12.6 INT割り込みの端子構成

端子名	割り当てる端子	入出力	機能
INT0	P3_0またはP11_0	入力	INT0割り込み入力、タイマRBの外部トリガ入力、タイマRCおよびタイマRDのパルス出力強制遮断入力
INT1	P3_1またはP11_1	入力	INT1割り込み入力
INT2	P3_2またはP11_2	入力	INT2割り込み入力
INT3	P3_3またはP11_3	入力	INT3割り込み入力
INT4	P3_4またはP11_4	入力	INT4割り込み入力
INT5	P3_5またはP11_5	入力	INT5割り込み入力
INT6	P3_6またはP11_6	入力	INT6割り込み入力
INT7	P3_7またはP11_7	入力	INT7割り込み入力

12.4.2 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7SEL0	INT6SEL0	INT5SEL0	INT4SEL0	INT3SEL0	INT2SEL0	INT1SEL0	INT0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0SEL0	$\overline{\text{INT0}}$端子選択ビット	0：P3_0に割り当てる 1：P11_0に割り当てる	R/W
b1	INT1SEL0	$\overline{\text{INT1}}$端子選択ビット	0：P3_1に割り当てる 1：P11_1に割り当てる	R/W
b2	INT2SEL0	$\overline{\text{INT2}}$端子選択ビット	0：P3_2に割り当てる 1：P11_2に割り当てる	R/W
b3	INT3SEL0	$\overline{\text{INT3}}$端子選択ビット	0：P3_3に割り当てる 1：P11_3に割り当てる	R/W
b4	INT4SEL0	$\overline{\text{INT4}}$端子選択ビット	0：P3_4に割り当てる 1：P11_4に割り当てる	R/W
b5	INT5SEL0	$\overline{\text{INT5}}$端子選択ビット	0：P3_5に割り当てる 1：P11_5に割り当てる	R/W
b6	INT6SEL0	$\overline{\text{INT6}}$端子選択ビット	0：P3_6に割り当てる 1：P11_6に割り当てる	R/W
b7	INT7SEL0	$\overline{\text{INT7}}$端子選択ビット	0：P3_7に割り当てる 1：P11_7に割り当てる	R/W

INTSRレジスタは、$\overline{\text{INTi}}$ (i=0～7)の入力をどの端子に割り当てるかを選択するレジスタです。$\overline{\text{INTi}}$を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INTi}}$の関連レジスタを設定をする前に、INTSRレジスタを設定してください。また、$\overline{\text{INTi}}$の動作中はINTSRレジスタの設定値を変更しないでください。

12.4.3　外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$入力許可ビット	0：禁止 1：許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$入力許可ビット	0：禁止 1：許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$入力許可ビット	0：禁止 1：許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$入力許可ビット	0：禁止 1：許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W

注1. INTiPLビット(i=0～3)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4　割り込み要因の変更」を参照してください。

12.4.4 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7PL	INT7EN	INT6PL	INT6EN	INT5PL	INT5EN	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	$\overline{\text{INT4}}$入力許可ビット	0：禁止 1：許可	R/W
b1	INT4PL	$\overline{\text{INT4}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b2	INT5EN	$\overline{\text{INT5}}$入力許可ビット	0：禁止 1：許可	R/W
b3	INT5PL	$\overline{\text{INT5}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b4	INT6EN	$\overline{\text{INT6}}$入力許可ビット	0：禁止 1：許可	R/W
b5	INT6PL	$\overline{\text{INT6}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b6	INT7EN	$\overline{\text{INT7}}$入力許可ビット	0：禁止 1：許可	R/W
b7	INT7PL	$\overline{\text{INT7}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W

注1. INTiPLビット(i=4～7)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTEN1レジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4　割り込み要因の変更」を参照してください。

12.4.5 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	$\overline{\mathrm{INT0}}$入力フィルタ選択ビット	b1 b0 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	$\overline{\mathrm{INT1}}$入力フィルタ選択ビット	b3 b2 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	$\overline{\mathrm{INT2}}$入力フィルタ選択ビット	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	$\overline{\mathrm{INT3}}$入力フィルタ選択ビット	b7 b6 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

12.4.6 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 01FDh番地

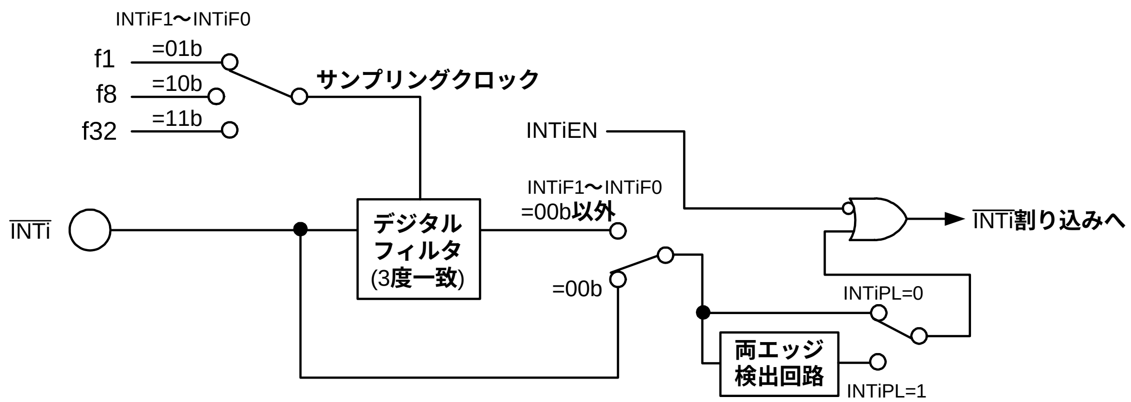
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7F1	INT7F0	INT6F1	INT6F0	INT5F1	INT5F0	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	$\overline{\mathrm{INT4}}$入力フィルタ選択ビット	b1 b0 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b1	INT4F1			R/W
b2	INT5F0	$\overline{\mathrm{INT5}}$入力フィルタ選択ビット	b3 b2 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b3	INT5F1			R/W
b4	INT6F0	$\overline{\mathrm{INT6}}$入力フィルタ選択ビット	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	INT6F1			R/W
b6	INT7F0	$\overline{\mathrm{INT7}}$入力フィルタ選択ビット	b7 b6 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b7	INT7F1			R/W

12.4.7 $\overline{\text{INTi}}$入力フィルタ(i=0～7)

$\overline{\text{INTi}}$入力は、デジタルフィルタを持ちます。サンプリングクロックはINTF、INTF1レジスタのINTiF0～INTiF1ビットで選択できます。サンプリングクロックごとに$\overline{\text{INTi}}$のレベルをサンプリングし、レベルが3度一致した時点で、INTiICレジスタのIRビットが"1"(割り込み要求あり)になります。

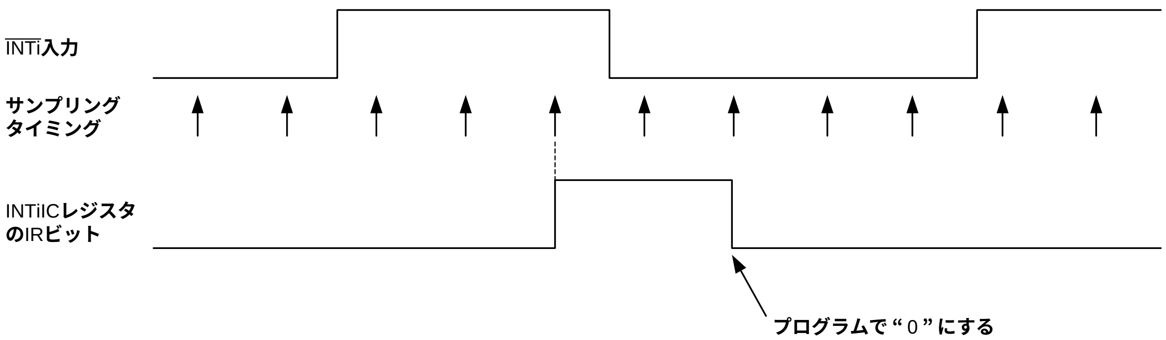
図12.9に$\overline{\text{INTi}}$入力フィルタの構成を、図12.10に$\overline{\text{INTi}}$入力フィルタ動作例を示します。



i=0～7

INTiF0、INTiF1：INTF、INTF1レジスタのビット
INTiEN、INTiPL：INTEN、INTF1レジスタのビット

図12.9 $\overline{\text{INTi}}$入力フィルタの構成



注1. INTF、INTF1レジスタのINTiF1～INTiF0ビットが、"01b"、"10b"、"11b"のいずれか(デジタルフィルタあり)の場合の動作例です。

i=0～7

図12.10 $\overline{\text{INTi}}$入力フィルタ動作例

12.5 キー入力割り込み

$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI7}}$端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット(i＝0～7)で、端子を$\overline{\mathrm{KIi}}$入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち下がりエッジ)にしている$\overline{\mathrm{KIi}}$端子に“L”を入力していると、他の$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI7}}$端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしている$\overline{\mathrm{KIi}}$端子に“H”を入力していると、他の$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI7}}$端子の入力は割り込みとして検知されません。

図12.11にキー入力割り込みのブロック図を示します。表12.7にキー入力割り込みの端子構成を示します。

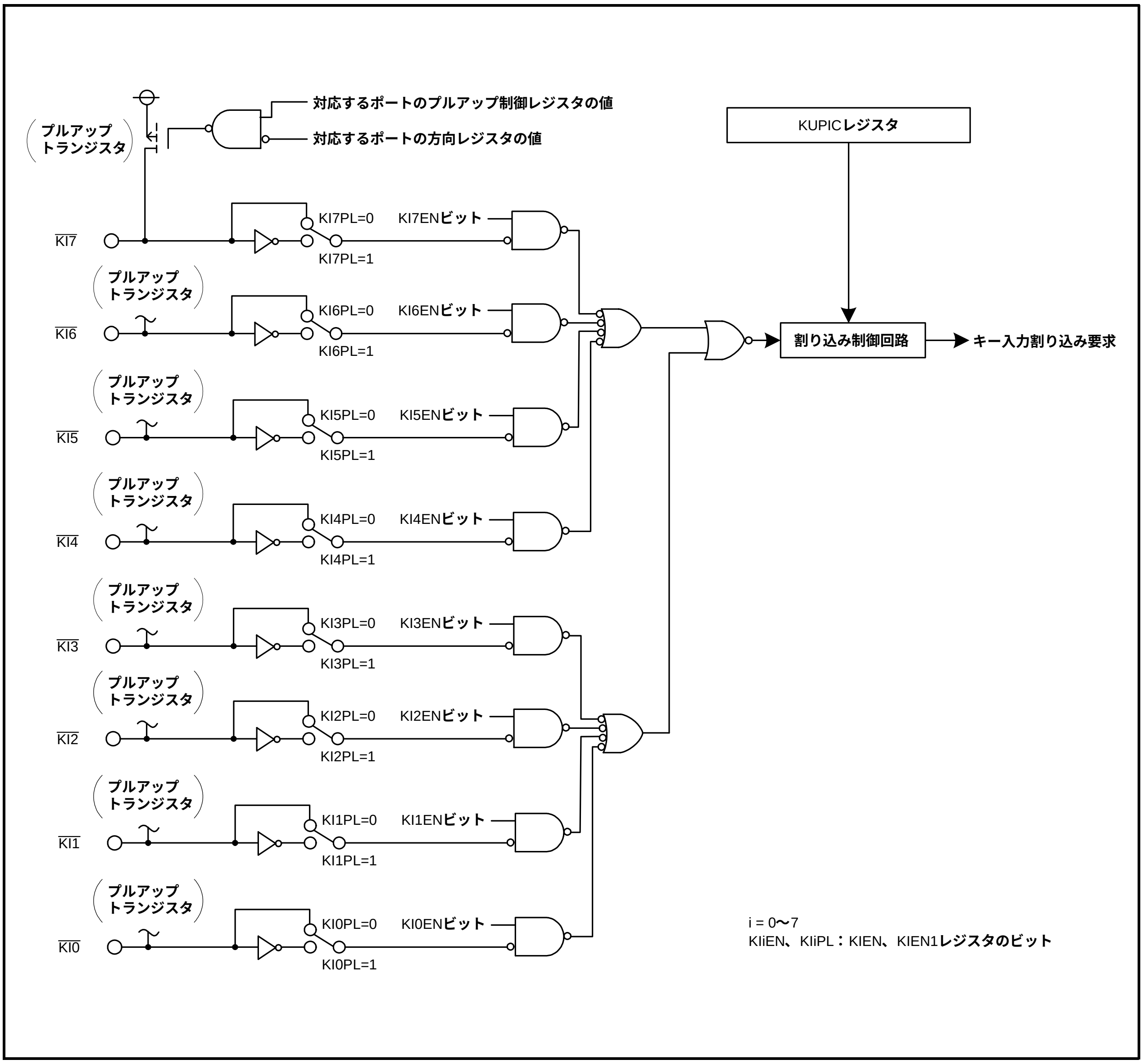


図12.11 キー入力割り込みのブロック図

表12.7　キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{\mathrm{KI0}}$	入力	$\overline{\mathrm{KI0}}$割り込み入力
$\overline{\mathrm{KI1}}$	入力	$\overline{\mathrm{KI1}}$割り込み入力
$\overline{\mathrm{KI2}}$	入力	$\overline{\mathrm{KI2}}$割り込み入力
$\overline{\mathrm{KI3}}$	入力	$\overline{\mathrm{KI3}}$割り込み入力
$\overline{\mathrm{KI4}}$	入力	$\overline{\mathrm{KI4}}$割り込み入力
$\overline{\mathrm{KI5}}$	入力	$\overline{\mathrm{KI5}}$割り込み入力
$\overline{\mathrm{KI6}}$	入力	$\overline{\mathrm{KI6}}$割り込み入力
$\overline{\mathrm{KI7}}$	入力	$\overline{\mathrm{KI7}}$割り込み入力

12.5.1 キー入力端子選択レジスタ(KISR)

アドレス 018Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7SEL0	KI6SEL0	KI5SEL0	KI4SEL0	KI3SEL0	KI2SEL0	KI1SEL0	KI0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0SEL0	$\overline{\mathrm{KI0}}$端子選択ビット	0：P2_0に割り当てる 1：P10_0に割り当てる	R/W
b1	KI1SEL0	$\overline{\mathrm{KI1}}$端子選択ビット	0：P2_1に割り当てる 1：P10_1に割り当てる	R/W
b2	KI2SEL0	$\overline{\mathrm{KI2}}$端子選択ビット	0：P2_2に割り当てる 1：P10_2に割り当てる	R/W
b3	KI3SEL0	$\overline{\mathrm{KI3}}$端子選択ビット	0：P2_3に割り当てる 1：P10_3に割り当てる	R/W
b4	KI4SEL0	$\overline{\mathrm{KI4}}$端子選択ビット	0：P2_4に割り当てる 1：P10_4に割り当てる	R/W
b5	KI5SEL0	$\overline{\mathrm{KI5}}$端子選択ビット	0：P2_5に割り当てる 1：P10_5に割り当てる	R/W
b6	KI6SEL0	$\overline{\mathrm{KI6}}$端子選択ビット	0：P2_6に割り当てる 1：P10_6に割り当てる	R/W
b7	KI7SEL0	$\overline{\mathrm{KI7}}$端子選択ビット	0：P2_7に割り当てる 1：P10_7に割り当てる	R/W

KISRレジスタは、$\overline{\mathrm{KIi}}$ (i=0～7)の入力をどの端子に割り当てるかを選択するレジスタです。$\overline{\mathrm{KIi}}$を使用する場合は、KISRレジスタを設定してください。

$\overline{\mathrm{KIi}}$の関連レジスタを設定をする前に、KISRレジスタを設定してください。また、$\overline{\mathrm{KIi}}$の動作中はKISRレジスタの設定値を変更しないでください。

12.5.2　キー入力許可レジスタ0(KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0：禁止 1：許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0：禁止 1：許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0：禁止 1：許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0：禁止 1：許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4　割り込み要因の変更」を参照してください。

12.5.3 キー入力許可レジスタ1(KIEN1)

アドレス 01FFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7PL	KI7EN	KI6PL	KI6EN	KI5PL	KI5EN	KI4PL	KI4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI4EN	KI4入力許可ビット	0：禁止 1：許可	R/W
b1	KI4PL	KI4入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b2	KI5EN	KI5入力許可ビット	0：禁止 1：許可	R/W
b3	KI5PL	KI5入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b4	KI6EN	KI6入力許可ビット	0：禁止 1：許可	R/W
b5	KI6PL	KI6入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b6	KI7EN	KI7入力許可ビット	0：禁止 1：許可	R/W
b7	KI7PL	KI7入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W

KIEN1レジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4　割り込み要因の変更」を参照してください。

12.6 アドレス一致割り込み

RMADi(i=0～1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレイク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0～1)レジスタには命令の先頭番地を設定してください。割り込みの禁止または許可はAIERiレジスタのAIERiビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.3.7　レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表12.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表12.9にアドレス一致割り込み要因と関連レジスタの対応を示します。

表12.8　アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタ(i=0～1)で示される番地の命令	退避されるPCの値(注1)
オペコードが2バイトの命令(注2) オペコードが1バイトの命令(注2) ADD.B:S　#IMM8,dest　SUB.B:S　#IMM8,dest　AND.B:S　#IMM8,dest OR.B:S　#IMM8,dest　MOV.B:S　#IMM8,dest　STZ　#IMM8,dest STNZ　#IMM8,dest　STZX　#IMM81,#IMM82,dest CMP.B:S　#IMM8,dest　PUSHM　src　POPM　dest JMPS　#IMM8　JSRS　#IMM8 MOV.B:S　#IMM,dest　(ただし、dest＝A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

注1. 退避されるPCの値：「12.3.7　レジスタ退避」参照。
注2. オペコード：「R8C/Tinyシリーズ ソフトウェアマニュアル(RJJ09B0002)」参照。
「第4章　命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表12.9　アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER00	RMAD0
アドレス一致割り込み1	AIER10	RMAD1

12.6.1 アドレス一致割り込み許可レジスタi (AIERi)(i=0～1)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	AIER00	AIER0レジスタ
リセット後の値	0	0	0	0	0	0	0	0	
シンボル	—	—	—	—	—	—	—	AIER10	AIER1レジスタ
リセット後の値	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込みi許可ビット	0：禁止 1：許可	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

12.6.2 アドレス一致割り込みレジスタi (RMADi)(i=0～1)

アドレス 01C2h～01C0h番地(RMAD0)、01C6h～01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19～b0	—	アドレス一致割り込み用アドレス設定レジスタ	00000h～FFFFFh	R/W
b20	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b21	—			
b22	—			
b23	—			

12.7 タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²C バスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRD (タイマRD0)、タイマRD (タイマRD1)、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット、I²C バスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ (以下、ステータスレジスタと称す) と、割り込み要求要因の許可レジスタ (以下、許可レジスタと称す) を持ち、割り込み要求の発生 (割り込み制御レジスタのIRビットの変化) を制御しています。表12.10にタイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを、図12.12にタイマRD割り込みのブロック図を示します。

表12.10 タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット、I²C バスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名		割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC		TRCSR	TRCIER	TRCIC
タイマRD	タイマRD0	TRDSR0	TRDIER0	TRD0IC
	タイマRD1	TRDSR1	TRDIER1	TRD1IC
タイマRG		TRGSR	TRGIER0	TRGIC
シンクロナスシリアルコミュニケーションユニット		SSSR	SSER	SSUIC
I²Cバスインタフェース		ICSR	ICIER	IICIC
フラッシュメモリ		RDYSTI	RDYSTIE	FMRDYIC
		BSYAEI	BSYAEIE	
			CMDERIE	

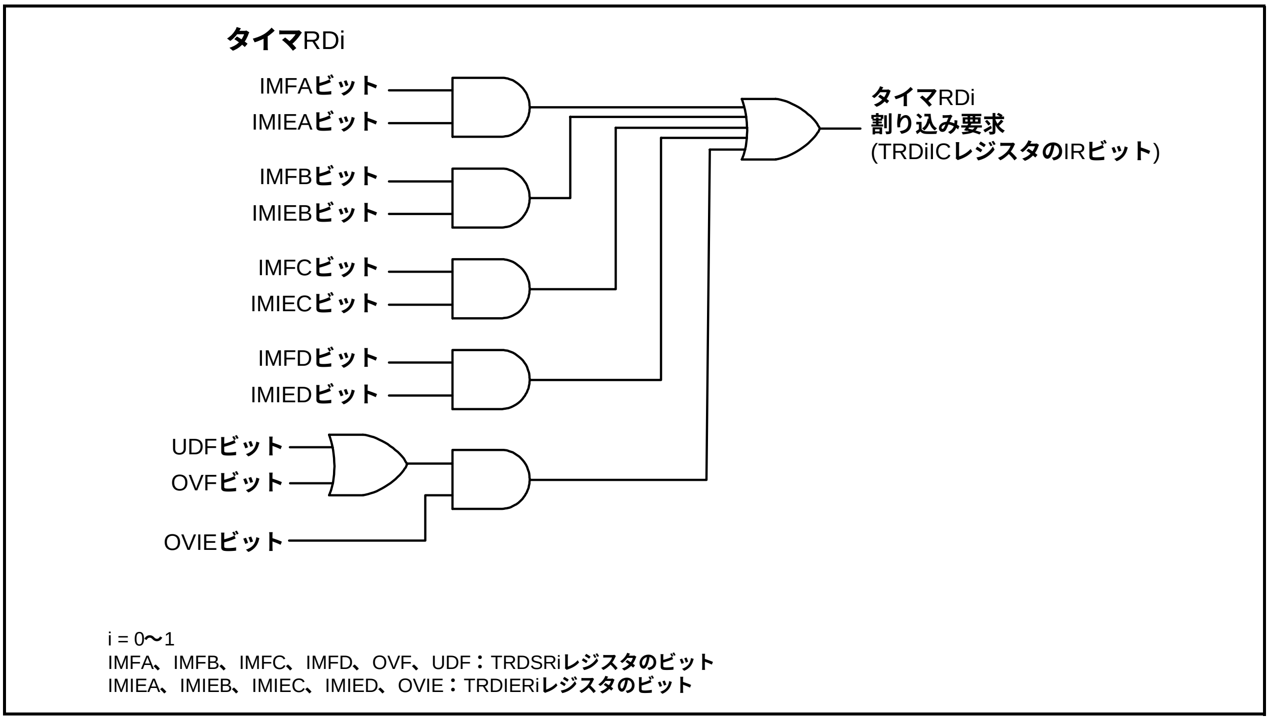


図12.12 タイマRD割り込みのブロック図

タイマRC、タイマRD (タイマRD0)、タイマRD (タイマRD1)、タイマRG、シンクロナスシリアルコミュニケーションユニット、I^2Cバスインタフェース、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。
  すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
  また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
  このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
  ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章 (「20.　タイマRC」、「21.　タイマRD」、「23.　タイマRG」、「27.　シンクロナスシリアルコミュニケーションユニット (SSU)」、「28.　I^2Cバスインタフェース」、「34.　フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「12.3　割り込み制御」を参照してください。

12.8 割り込み使用上の注意

12.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

12.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

12.8.3 外部割り込み、キー入力割り込み

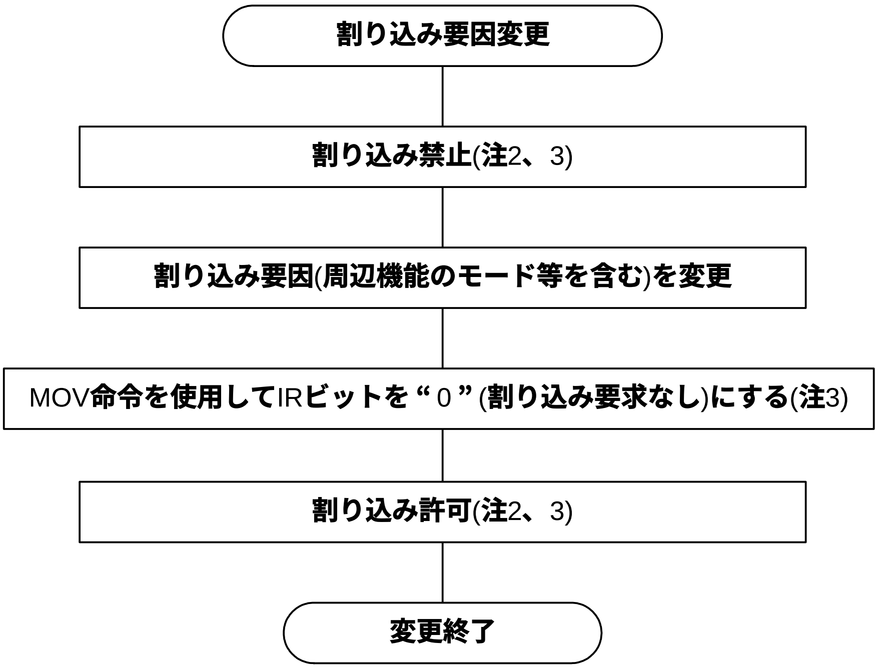
$\overline{\mathrm{INT0}}$～$\overline{\mathrm{INT7}}$端子、$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI7}}$端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み$\overline{\mathrm{INTi}}$入力(i = 0～7)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表35.28　外部割り込み$\overline{\mathrm{INTi}}$(i =0～7)、キー入力割り込み$\overline{\mathrm{KIi}}$(i =0～7)のタイミング条件」を参照。)

12.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図12.13に割り込み要因の変更手順例を示します。



IRビット: 要因を変更する割り込みの、割り込み制御レジスタのビット

注1. 上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。

注2. 割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIフラグを使用してください。
マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL0～ILVL2ビットを使用してください。

注3. デジタルフィルタありの入力を割り込み要因とする場合は、デジタルフィルタのサンプリングクロックの3サイクル分以上待ってから、IRビットを“0”(割り込み要求なし)にしてください。使用する命令とそれに伴う注意は「12.8.5　割り込み制御レジスタの変更」を参照してください。

図12.13 割り込み要因の変更手順例

12.8.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令.......AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
    FCLR    I               ；割り込み禁止
    AND.B   #00H, 0056H     ；TRAICレジスタを“00h”にする
    NOP                     ；
    NOP
    FSET    I               ；割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
    FCLR    I               ；割り込み禁止
    AND.B   #00H, 0056H     ；TRAICレジスタを“00h”にする
    MOV.W   MEM, R0         ；ダミーリード
    FSET    I               ；割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR    I               ；割り込み禁止
    AND.B   #00H, 0056H     ；TRAICレジスタを“00h”にする
    POPC    FLG             ；割り込み許可
```

13. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

13.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFEBh、0FFEFh、0FFF3h、0FFF7h、0FFFBh番地です。図13.1にIDコード領域を示します。

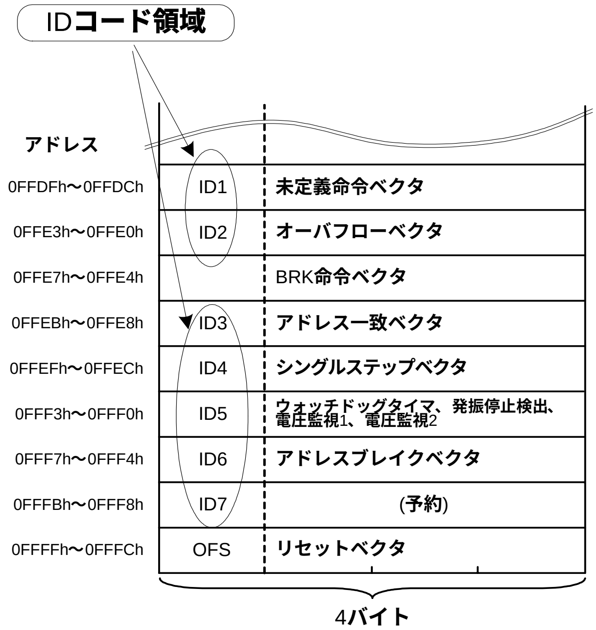


図13.1　IDコード領域

13.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh～0FFFEh番地)が“FFFFFFh”ではない場合、IDコード領域に格納されているIDコードと、シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライタやオンチップデバッギングエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh～0FFFEh番地)が“FFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表13.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表13.1と一致する場合が予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表13.1 IDコードの予約語

IDコード格納番地		IDコード の予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“A”大文字)	50h (“P”大文字)
0FFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
0FFEBh	ID3	65h (“e”小文字)	6Fh (“o”小文字)
0FFEFh	ID4	52h (“R”大文字)	74h (“t”小文字)
0FFF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
0FFF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
0FFFBh	ID7	45h (“E”大文字)	74h (“t”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表13.1と一致する場合が予約語です。

13.3　強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表13.1　IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表13.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表13.2　強制イレーズ機能の条件と動作

<table>
<tr><th colspan="3">条件</th><th rowspan="2">動作</th></tr>
<tr><th>シリアルライタやオンチップデバッギングエミュレータから送られてくるID コード</th><th>IDコード格納番地のIDコード</th><th>OFSレジスタのROMCP1、ROMCRビット</th></tr>
<tr><td rowspan="3">ALeRASE</td><td>ALeRASE</td><td>—</td><td rowspan="2">ユーザROM領域をすべて消去(強制イレーズ機能)</td></tr>
<tr><td rowspan="2">ALeRASE以外(注1)</td><td>“01b”以外(ROMコードプロテクト解除)</td></tr>
<tr><td>“01b”(ROMコードプロテクト有効)</td><td>IDコードの判定(IDコードチェック機能)</td></tr>
<tr><td rowspan="2">ALeRASE以外</td><td>ALeRASE</td><td>—</td><td>IDコードの判定(IDコードチェック機能。IDコード不一致になる)</td></tr>
<tr><td>ALeRASE以外(注1)</td><td>—</td><td>IDコードの判定(IDコードチェック機能)</td></tr>
</table>

注1.“Protect”の場合は「13.4　標準シリアル入出力モード禁止機能」参照。

13.4　標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表13.1　IDコードの予約語」参照)の場合、シリアルライタやオンチップデバッギングエミュレータとの通信を行いません。このため、シリアルライタやオンチップデバッギングエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライタやオンチップデバッギングエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライタやオンチップデバッギングエミュレータでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

13.5 IDコード領域使用上の注意

13.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

• IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)      ; UND
.lword dummy | (55000000h)      ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)      ; ADDRESS MATCH
.lword dummy | (55000000h)      ; SET SINGLE STEP
.lword dummy | (55000000h)      ; WDT
.lword dummy | (55000000h)      ; ADDRESS BREAK
.lword dummy | (55000000h)      ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

14. オプション機能選択領域

14.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図14.1にオプション機能選択領域を示します。

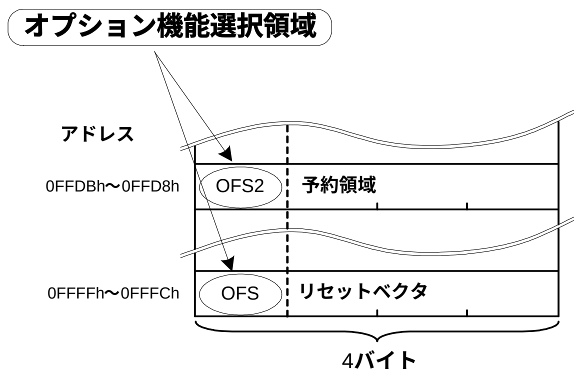


図14.1　オプション機能選択領域

14.2 レジスタの説明

OFSレジスタおよびOFS2レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

14.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0：3.80Vを選択 (Vdet0_3) 0 1：2.85Vを選択 (Vdet0_2) 1 0：2.35Vを選択 (Vdet0_1) 1 1：1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

14.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー周期設定ビット	b1 b0 0 0：03FFh 0 1：0FFFh 1 0：1FFFh 1 1：3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ受付周期設定ビット	b3 b2 0 0：25% 0 1：50% 1 0：75% 1 1：100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1　リフレッシュ受付期間」を参照してください。

14.3 オプション機能選択領域使用上の注意

14.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

• OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

• OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

15. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお勧めします。

15.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表15.1にウォッチドッグタイマの仕様を示します。

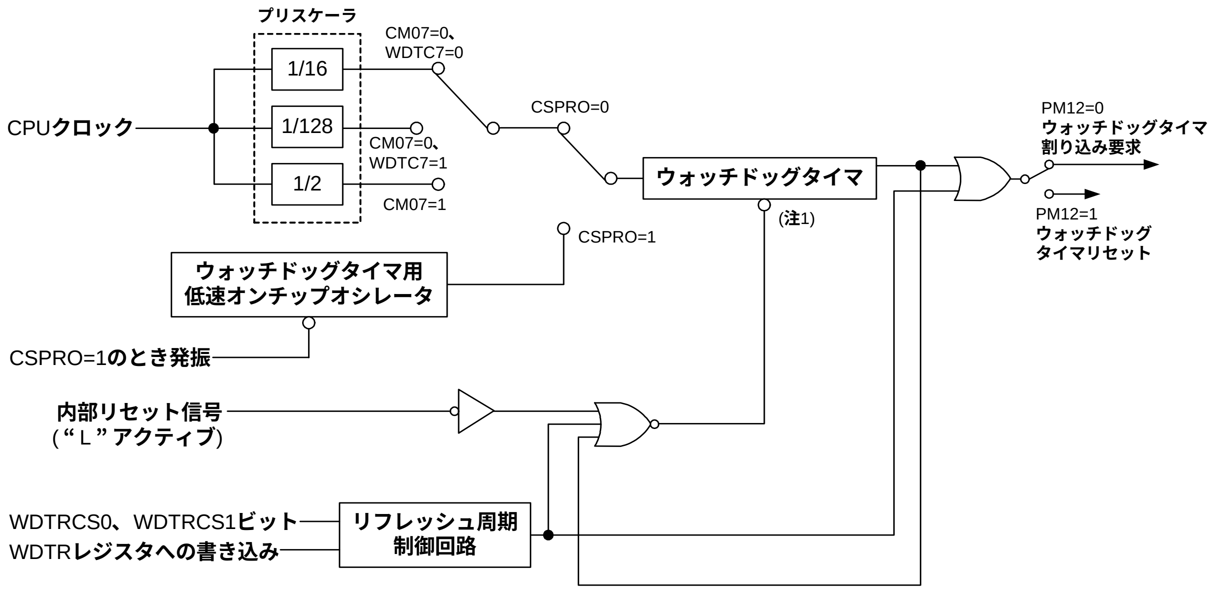
ウォッチドッグタイマリセットの詳細は「5.5　ウォッチドッグタイマリセット」を参照してください。

図15.1にウォッチドッグタイマのブロック図を示します。

表15.1　ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 •リセット後、自動的にカウントを開始 •WDTSレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) •アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	•プリスケーラの分周比 WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択 •カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 •リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 •ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0～WDTUFS1ビットで選択 •ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。



CSPRO：CSPRレジスタのビット
WDTC7：WDTCレジスタのビット
PM12：PM1レジスタのビット
CM07：CM0レジスタのビット
WDTUFS0、WDTUFS1、WDTRCS0、WDTRCS1：OFS2レジスタのビット

注1.　WDTUFS0、WDTUFS1ビットで設定した値が設定される(出荷時の値“3FFFh”)

図15.1　ウォッチドッグタイマのブロック図

15.2 レジスタの説明

15.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PM12	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	"0"にしてください	R/W
b1	—			
b2	PM12	WDT割り込み/リセット切り替えビット	0：ウォッチドッグタイマ割り込み 1：ウォッチドッグタイマリセット(注1)	R/W
b3	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—
b4	—			
b5	—			
b6	—			
b7	—	予約ビット	"0"にしてください	R/W

注1. PM12ビットはプログラムで"1"を書くと"1"になります("0"を書いても変化しません)。
CSPRレジスタのCSPROビットが"1"(カウントソース保護モード有効)のとき、PM12ビットは自動的に"1"になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。

15.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7～b0	"00h"を書いて、続いて"FFh"を書くと、ウォッチドッグタイマは初期化される。 ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

15.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7～b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

15.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	—	—	—	—	—	—	—
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	ウォッチドッグタイマの次のビットが読める。		R
b1	—	OFS2レジスタのWDTUFS1～WDTUFS0ビットが		R
b2	—	“00b”(03FFh)のとき：b5～b0		R
b3	—	“01b”(0FFFh)のとき：b7～b2		R
b4	—	“10b”(1FFFh)のとき：b8～b3		R
b5	—	“11b”(3FFFh)のとき：b9～b4		R
b6	—	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケーラ選択ビット	0：16分周 1：128分周	R/W

15.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが“1”の場合

ビット	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0：カウントソース保護モード無効 1：カウントソース保護モード有効	R/W

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

15.2.6　オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	"1"にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0：3.80Vを選択 (Vdet0_3) 0 1：2.85Vを選択 (Vdet0_2) 1 0：2.35Vを選択 (Vdet0_1) 1 1：1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFS レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは"FFh"になります。
ブランク出荷品の出荷時、OFSレジスタは"FFh"です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを"0"(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

15.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー周期設定ビット	b1 b0 0 0：03FFh 0 1：0FFFh 1 0：1FFFh 1 1：3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ受付周期設定ビット	b3 b2 0 0：25% 0 1：50% 1 0：75% 1 1：100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	“1”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「15.3.1.1　リフレッシュ受付期間」を参照してください。

15.3 動作説明

15.3.1 複数モードに関わる共通事項

15.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択できます。図15.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中に、リフレッシュ動作を実行しないでください。

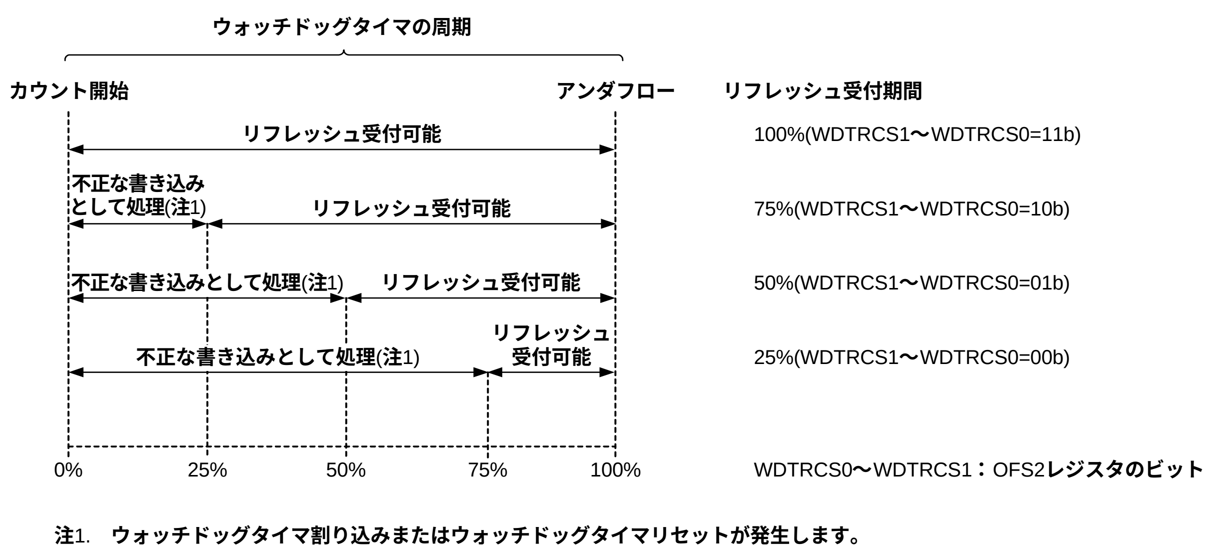


図15.2　ウォッチドッグタイマのリフレッシュ受付期間

15.3.2　カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表15.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表15.2　ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	$\frac{\text{プリスケーラの分周比(n)×ウォッチドッグタイマのカウント値(m)}}{\text{CPUクロック}}$ (注1) n： 16または128 (WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時(CM0レジスタのCM07ビット=1)は2 m：OFS2レジスタのWDTUFS0～WDTUFS1ビットで設定した値 例：CPUクロックが20MHzで、プリスケーラが16分周し、WDTUFS1～WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約13.1ms
ウォッチドッグタイマ初期化条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(注3) •アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケーラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	•PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み •PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5　ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケーラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケーラによる誤差が生じます。
注2. OFSレジスタのWDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。
注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

15.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表15.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表15.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項　目	仕　様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	$\frac{\text{ウォッチドッグタイマのカウント値(m)}}{\text{ウォッチドッグタイマ用低速オンチップオシレータクロック}}$ m：OFS2レジスタのWDTUFS0～WDTUFS1ビットで設定した値 例：ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、WDTUFS1～WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms
ウォッチドッグタイマ初期化条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(注3) •アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケーラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	•CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される -ウォッチドッグタイマ用低速オンチップオシレータが発振 -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)

注1. OFSレジスタのWDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。
注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。
注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

16. DTC

DTC(データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

16.1 概要

表16.1にDTCの仕様を、図16.1にDTCのブロック図を示します。

表16.1 DTCの仕様

項目		仕様
起動要因		38要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間		64Kバイト空間(00000h～0FFFFh)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位		バイト
転送モード	ノーマルモード	DTCCTjレジスタが“1”から“0”になる転送で終了する
	リピートモード	DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLDjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		「表16.5 DTC起動要因とDTCベクタアドレス」参照
割り込み要求	ノーマルモード	DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
	リピートモード	DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求を発生し、データ転送終了後に割り込み処理を行います
転送開始		DTCENiレジスタのDTCENi0～DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	•DTCENi0～DTCENi7ビットを“0”(起動禁止)にする •DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき
	リピートモード	•DTCENi0～DTCENi7ビットを“0”(起動禁止)にする •RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき

i=0～6、j=0～23

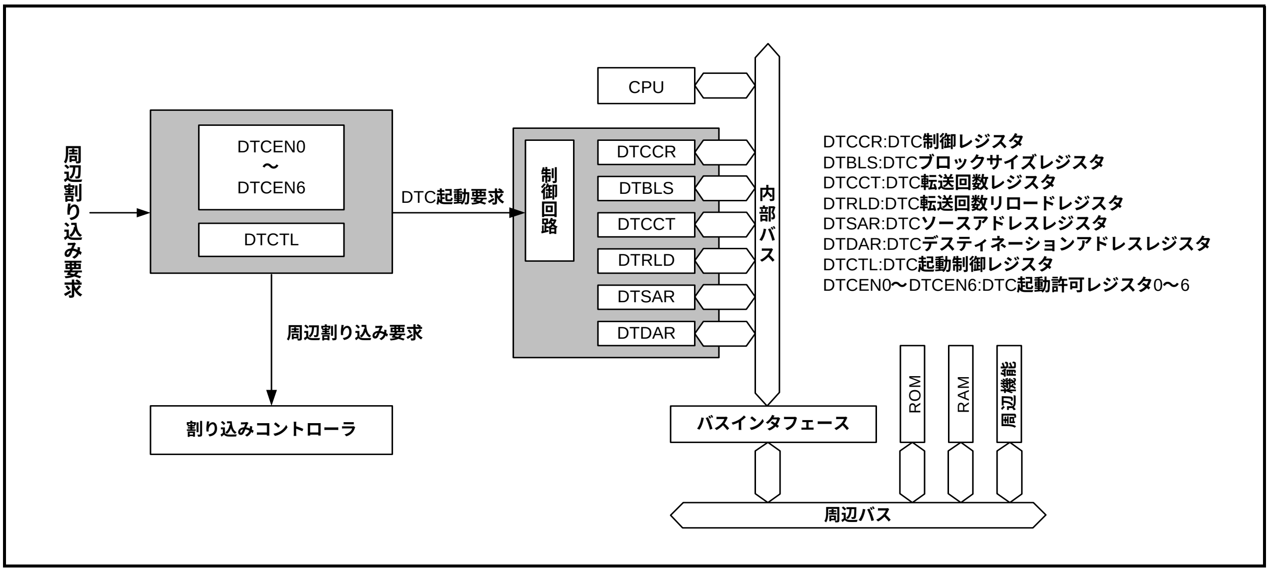


図 16.1　DTCのブロック図

16.2　レジスタの説明

DTC は起動するとコントロールデータ領域に配置したコントロールデータ (DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARj、j=0～23) を読み出し、DTC 内の制御レジスタ (DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR) へ転送します。DTCのデータ転送終了後、DTC 内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR の各レジスタは直接アクセスできません。
DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARj は DTC コントロールデータ領域の 2C40h ～2CFFh 番地にコントロールデータとして配置し、直接アクセスできます。
また、DTCTL、DTCENi(i=0～6) レジスタは直接アクセスできます。

16.2.1 DTC制御レジスタj(DTCCRj)(j=0〜23)

アドレス「表16.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0：ノーマルモード 1：リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0：転送先がリピートエリア 1：転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0：固定 1：加算	R/W
b3	DAMOD	デスティネーション アドレス制御ビット(注2)	0：固定 1：加算	R/W
b4	CHNE	チェイン転送許可ビット(注3)	0：チェイン転送禁止 1：チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット(注1)	0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—			

注1. MODEビットが“1”(リピートモード)のときに有効です。
注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。
注3. DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

16.2.2 DTCブロックサイズレジスタj(DTBLSj)(j=0〜23)

アドレス「表16.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7〜b0	1回の起動で転送するデータブロックサイズを設定する	00h〜FFh(注1)	R/W

注1. “00h”のときブロックサイズは256バイトになります。

16.2.3　DTC転送回数レジスタj(DTCCTj)(j=0～23)

アドレス「表16.4　コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	DTCのデータ転送回数を設定する	00h～FFh(注1)	R/W

注1.　“00h”のとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

16.2.4　DTC転送回数リロードレジスタj(DTRLDj)(j=0～23)

アドレス「表16.4　コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h～FFh(注1)	R/W

注1.　DTCCTレジスタの初期値を設定してください。

16.2.5　DTCソースアドレスレジスタj(DTSARj)(j=0～23)

アドレス「表16.4　コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15～b0	データ転送時の転送元アドレスを指定する	0000h～FFFFh	R/W

16.2.6　DTCデスティネーションアドレスレジスタj(DTDARj)(j=0～23)

アドレス「表16.4　コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15～b0	データ転送時の転送先アドレスを指定する	0000h～FFFFh	R/W

16.2.7 DTC起動許可レジスタi(DTCENi)(i=0～6)

アドレス　0088h番地(DTCEN0)、0089h番地(DTCEN1)、008Ah番地(DTCEN2)、008Bh番地(DTCEN3)、008Ch番地(DTCEN4)、008Dh番地(DTCEN5)、008Eh番地(DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC起動許可ビット(注1)	0：起動禁止 1：起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

i=0～6

注1. このビットの動作については、「16.3.7 割り込み要因」を参照してください。

DTCENiレジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表16.2に割り込み要因とDTCENi0～DTCENi7(i=0～6)ビットの対応を示します。

表16.2 割り込み要因とDTCENi0～DTCENi7(i=0～6)ビットの対応

レジスタ	DTCENi7ビット	DTCENi6ビット	DTCENi5ビット	DTCENi4ビット	DTCENi3ビット	DTCENi2ビット	DTCENi1ビット	DTCENi0ビット
DTCEN0	$\overline{\text{INT0}}$	$\overline{\text{INT1}}$	$\overline{\text{INT2}}$	$\overline{\text{INT3}}$	$\overline{\text{INT4}}$	$\overline{\text{INT5}}$	$\overline{\text{INT6}}$	$\overline{\text{INT7}}$
DTCEN1	キー入力	A/D変換	UART0受信	UART0送信	UART1受信	UART1送信	UART2受信	UART2送信
DTCEN2	SSU/I²Cバス受信データフル	SSU/I²Cバス送信データエンプティ	電源監視2	電源監視1	−	−	タイマRCインプットキャプチャ/コンペア一致A	タイマRCインプットキャプチャ/コンペア一致B
DTCEN3	タイマRCインプットキャプチャ/コンペア一致C	タイマRCインプットキャプチャ/コンペア一致D	タイマRD0インプットキャプチャ/コンペア一致A	タイマRD0インプットキャプチャ/コンペア一致B	タイマRD0インプットキャプチャ/コンペア一致C	タイマRD0インプットキャプチャ/コンペア一致D	タイマRD1インプットキャプチャ/コンペア一致A	タイマRD1インプットキャプチャ/コンペア一致B
DTCEN4	タイマRD1インプットキャプチャ/コンペア一致C	タイマRD1インプットキャプチャ/コンペア一致D	−	−	−	−	−	−
DTCEN5	−	−	タイマRE	−	−	−	−	タイマRGインプットキャプチャ/コンペア一致A
DTCEN6	タイマRGインプットキャプチャ/コンペア一致B	タイマRA	−	タイマRB	フラッシュレディステータス	−	−	−

16.2.8 DTC起動制御レジスタ(DTCTL)

アドレス 0080h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	NMIF	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	NMIF	ノンマスカブル割り込み発生ビット(注1)	0：ノンマスカブル割り込みなし 1：ノンマスカブル割り込み発生	R/W
b2	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b3	−			
b4	−			
b5	−			
b6	−			
b7	−			

注1. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- “1”を書いた場合は変化しません。

DTCTLレジスタは、ノンマスカブル割り込み(ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2)発生時のDTC起動を制御するレジスタです。

NMIFビット(ノンマスカブル割り込み発生ビット)

NMIFビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込みのいずれかが発生すると“1”になります。

NMIFビットが“1”の場合、DTC起動を許可している割り込みが発生してもDTCは起動しません。DTC転送中にNMIFビットが“1”になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTCレジスタのWDTC7ビットを“0”(プリスケーラが16分周)にしている場合は、割り込み要因発生からCPUクロックの16サイクル待ってから、WDTC7ビットを“1”(プリスケーラが128分周)にしている場合は割り込み要因発生からCPUクロックの128サイクル待ってから、NMIFビットに“0”を書いてください。

割り込み要因が発振停止検出のとき、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にした後で、NMIFビットに“0”を書いてください。

16.3 動作説明

16.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj(j=0～23)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先アドレスは16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

16.3.2 起動要因

DTCは割り込み要因により起動します。図16.2にDTC起動要因の制御ブロック図を示します。

DTCを起動する割り込み要因は、DTCENiレジスタ(i=0～6)で選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ノーマルモードでDTCCTj(j=0～23)レジスタが“0”になる転送
- リピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0～DTCENi7ビットを“0”(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマRC、タイマRD、タイマRG、フラッシュメモリの割り込み要因である場合、DTCは動作中に起動要因となった割り込み要因フラグを“0”にします。

表16.3にDTC起動要因とDTC動作中に“0”にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

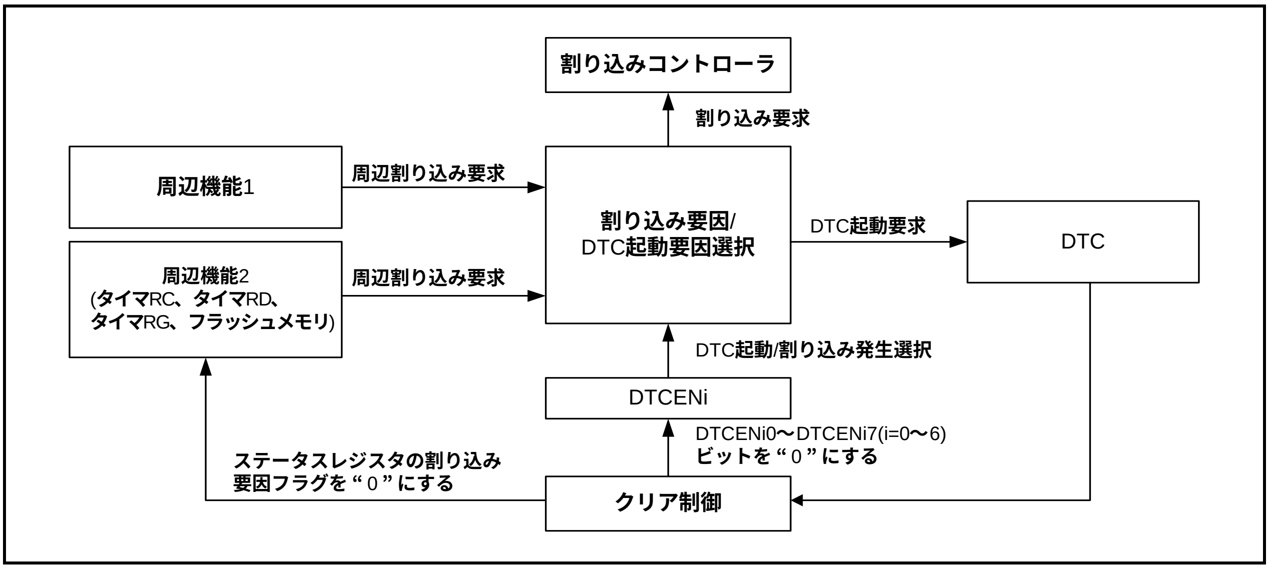


図16.2　DTC起動要因の制御ブロック図

表 16.3 DTC起動要因とDTC動作中に“0”にする割り込み要因フラグ

DTC起動要因	“0”にする割り込み要因フラグ
タイマRCインプットキャプチャ/コンペア一致A	TRCSRレジスタのIMFAビット
タイマRCインプットキャプチャ/コンペア一致B	TRCSRレジスタのIMFBビット
タイマRCインプットキャプチャ/コンペア一致C	TRCSRレジスタのIMFCビット
タイマRCインプットキャプチャ/コンペア一致D	TRCSRレジスタのIMFDビット
タイマRD0インプットキャプチャ/コンペア一致A	TRDSR0レジスタのIMFAビット
タイマRD0インプットキャプチャ/コンペア一致B	TRDSR0レジスタのIMFBビット
タイマRD0インプットキャプチャ/コンペア一致C	TRDSR0レジスタのIMFCビット
タイマRD0インプットキャプチャ/コンペア一致D	TRDSR0レジスタのIMFDビット
タイマRD1インプットキャプチャ/コンペア一致A	TRDSR1レジスタのIMFAビット
タイマRD1インプットキャプチャ/コンペア一致B	TRDSR1レジスタのIMFBビット
タイマRD1インプットキャプチャ/コンペア一致C	TRDSR1レジスタのIMFCビット
タイマRD1インプットキャプチャ/コンペア一致D	TRDSR1レジスタのIMFDビット
タイマRGインプットキャプチャ/コンペア一致A	TRGSRレジスタのIMFAビット
タイマRGインプットキャプチャ/コンペア一致B	TRGSRレジスタのIMFBビット
フラッシュレディステータス	FSTレジスタのRDYSTIビット

16.3.3　コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARj(j=0～23) レジスタの順に配置します。表 16.4 にコントロールデータの配置アドレスを示します。

表 16.4　コントロールデータの配置アドレス

レジスタシンボル	コントロールデータ番号	アドレス	DTCCRj レジスタ	DTBLSj レジスタ	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ (下位8ビット)	DTSARj レジスタ (上位8ビット)	DTDARj レジスタ (下位8ビット)	DTDARj レジスタ (上位8ビット)
DTCD0	コントロールデータ0	2C40h～2C47h	2C40h	2C41h	2C42h	2C43h	2C44h	2C45h	2C46h	2C47h
DTCD1	コントロールデータ1	2C48h～2C4Fh	2C48h	2C49h	2C4Ah	2C4Bh	2C4Ch	2C4Dh	2C4Eh	2C4Fh
DTCD2	コントロールデータ2	2C50h～2C57h	2C50h	2C51h	2C52h	2C53h	2C54h	2C55h	2C56h	2C57h
DTCD3	コントロールデータ3	2C58h～2C5Fh	2C58h	2C59h	2C5Ah	2C5Bh	2C5Ch	2C5Dh	2C5Eh	2C5Fh
DTCD4	コントロールデータ4	2C60h～2C67h	2C60h	2C61h	2C62h	2C63h	2C64h	2C65h	2C66h	2C67h
DTCD5	コントロールデータ5	2C68h～2C6Fh	2C68h	2C69h	2C6Ah	2C6Bh	2C6Ch	2C6Dh	2C6Eh	2C6Fh
DTCD6	コントロールデータ6	2C70h～2C77h	2C70h	2C71h	2C72h	2C73h	2C74h	2C75h	2C76h	2C77h
DTCD7	コントロールデータ7	2C78h～2C7Fh	2C78h	2C79h	2C7Ah	2C7Bh	2C7Ch	2C7Dh	2C7Eh	2C7Fh
DTCD8	コントロールデータ8	2C80h～2C87h	2C80h	2C81h	2C82h	2C83h	2C84h	2C85h	2C86h	2C87h
DTCD9	コントロールデータ9	2C88h～2C8Fh	2C88h	2C89h	2C8Ah	2C8Bh	2C8Ch	2C8Dh	2C8Eh	2C8Fh
DTCD10	コントロールデータ10	2C90h～2C97h	2C90h	2C91h	2C92h	2C93h	2C94h	2C95h	2C96h	2C97h
DTCD11	コントロールデータ11	2C98h～2C9Fh	2C98h	2C99h	2C9Ah	2C9Bh	2C9Ch	2C9Dh	2C9Eh	2C9Fh
DTCD12	コントロールデータ12	2CA0h～2CA7h	2CA0h	2CA1h	2CA2h	2CA3h	2CA4h	2CA5h	2CA6h	2CA7h
DTCD13	コントロールデータ13	2CA8h～2CAFh	2CA8h	2CA9h	2CAAh	2CABh	2CACh	2CADh	2CAEh	2CAFh
DTCD14	コントロールデータ14	2CB0h～2CB7h	2CB0h	2CB1h	2CB2h	2CB3h	2CB4h	2CB5h	2CB6h	2CB7h
DTCD15	コントロールデータ15	2CB8h～2CBFh	2CB8h	2CB9h	2CBAh	2CBBh	2CBCh	2CBDh	2CBEh	2CBFh
DTCD16	コントロールデータ16	2CC0h～2CC7h	2CC0h	2CC1h	2CC2h	2CC3h	2CC4h	2CC5h	2CC6h	2CC7h
DTCD17	コントロールデータ17	2CC8h～2CCFh	2CC8h	2CC9h	2CCAh	2CCBh	2CCCh	2CCDh	2CCEh	2CCFh
DTCD18	コントロールデータ18	2CD0h～2CD7h	2CD0h	2CD1h	2CD2h	2CD3h	2CD4h	2CD5h	2CD6h	2CD7h
DTCD19	コントロールデータ19	2CD8h～2CDFh	2CD8h	2CD9h	2CDAh	2CDBh	2CDCh	2CDDh	2CDEh	2CDFh
DTCD20	コントロールデータ20	2CE0h～2CE7h	2CE0h	2CE1h	2CE2h	2CE3h	2CE4h	2CE5h	2CE6h	2CE7h
DTCD21	コントロールデータ21	2CE8h～2CEFh	2CE8h	2CE9h	2CEAh	2CEBh	2CECh	2CEDh	2CEEh	2CEFh
DTCD22	コントロールデータ22	2CF0h～2CF7h	2CF0h	2CF1h	2CF2h	2CF3h	2CF4h	2CF5h	2CF6h	2CF7h
DTCD23	コントロールデータ23	2CF8h～2CFFh	2CF8h	2CF9h	2CFAh	2CFBh	2CFCh	2CFDh	2CFEh	2CFFh

j=0～23

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表16.5にDTC起動要因とDTCベクタアドレスを示します。起動要因ごとにDTCベクタテーブルが1バイトあり、“00000000b”～“00010111b”のデータ(表16.4のコントロールデータ番号)を格納し、24組のコントロールデータから1つを選択します。

図16.3～図16.7にDTC内部動作のフローチャートを示します。

表16.5 DTC起動要因とDTCベクタアドレス

割り込み要因発生元	名称	要因番号	DTCベクタアドレス	優先順位
外部入力	$\overline{\text{INT0}}$	0	2C00h	高
	$\overline{\text{INT1}}$	1	2C01h	
	$\overline{\text{INT2}}$	2	2C02h	
	$\overline{\text{INT3}}$	3	2C03h	
	$\overline{\text{INT4}}$	4	2C04h	
	$\overline{\text{INT5}}$	5	2C05h	
	$\overline{\text{INT6}}$	6	2C06h	
	$\overline{\text{INT7}}$	7	2C07h	
キー入力	キー入力	8	2C08h	
A/D	A/D変換	9	2C09h	
UART0	UART0受信	10	2C0Ah	
	UART0送信	11	2C0Bh	
UART1	UART1受信	12	2C0Ch	
	UART1送信	13	2C0Dh	
UART2	UART2受信	14	2C0Eh	
	UART2送信	15	2C0Fh	
SSU/I^{2}Cバス	受信データフル	16	2C10h	
	送信データエンプティ	17	2C11h	
電圧検出回路	電圧監視2	18	2C12h	
	電圧監視1	19	2C13h	
タイマRC	インプットキャプチャ/コンペア一致A	22	2C16h	
	インプットキャプチャ/コンペア一致B	23	2C17h	
	インプットキャプチャ/コンペア一致C	24	2C18h	
	インプットキャプチャ/コンペア一致D	25	2C19h	
タイマRD0	インプットキャプチャ/コンペア一致A	26	2C1Ah	
	インプットキャプチャ/コンペア一致B	27	2C1Bh	
	インプットキャプチャ/コンペア一致C	28	2C1Ch	
	インプットキャプチャ/コンペア一致D	29	2C1Dh	
タイマRD1	インプットキャプチャ/コンペア一致A	30	2C1Eh	
	インプットキャプチャ/コンペア一致B	31	2C1Fh	
	インプットキャプチャ/コンペア一致C	32	2C20h	
	インプットキャプチャ/コンペア一致D	33	2C21h	
タイマRE	タイマRE	42	2C2Ah	
タイマRG	インプットキャプチャ／コンペア一致A	47	2C2Fh	
	インプットキャプチャ／コンペア一致B	48	2C30h	
タイマRA	タイマRA	49	2C31h	
タイマRB	タイマRB	51	2C33h	
フラッシュメモリ	フラッシュレディステータス	52	2C34h	低

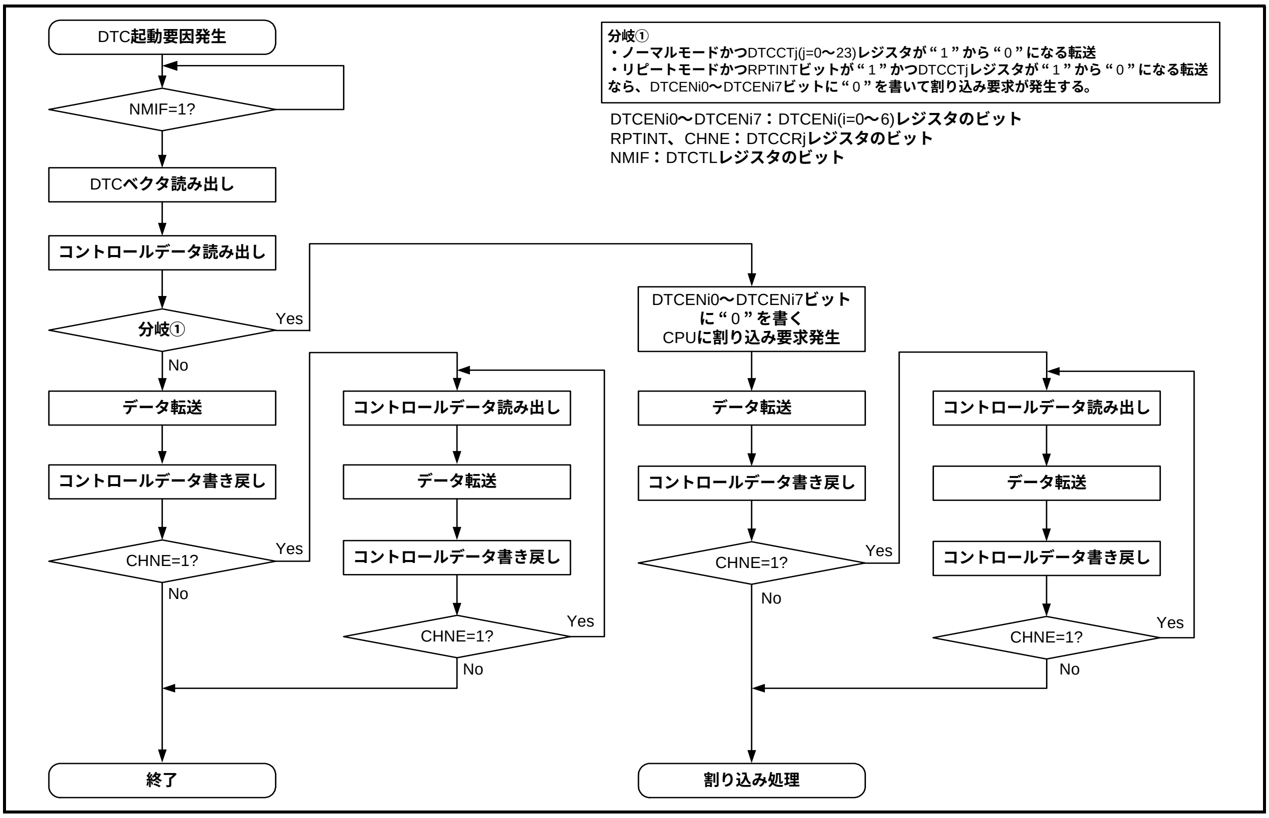


図 16.3　DTC起動要因がSSU/I^{2}Cバス、タイマRC、タイマRD、タイマRG、フラッシュメモリの割り込み要因でないときのDTC内部動作フローチャート

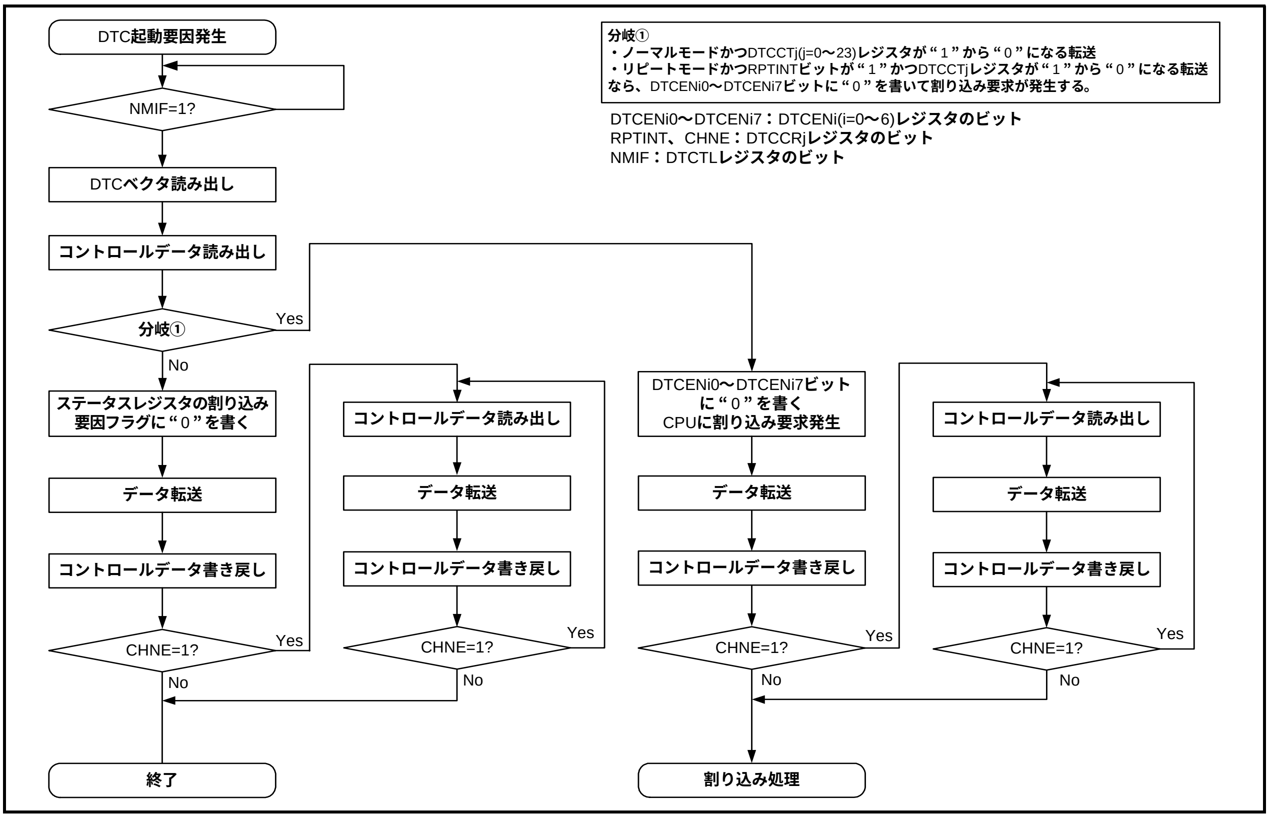


図 16.4　DTC起動要因がタイマRC、タイマRD、タイマRGの割り込み要因であるときのDTC内部動作フローチャート

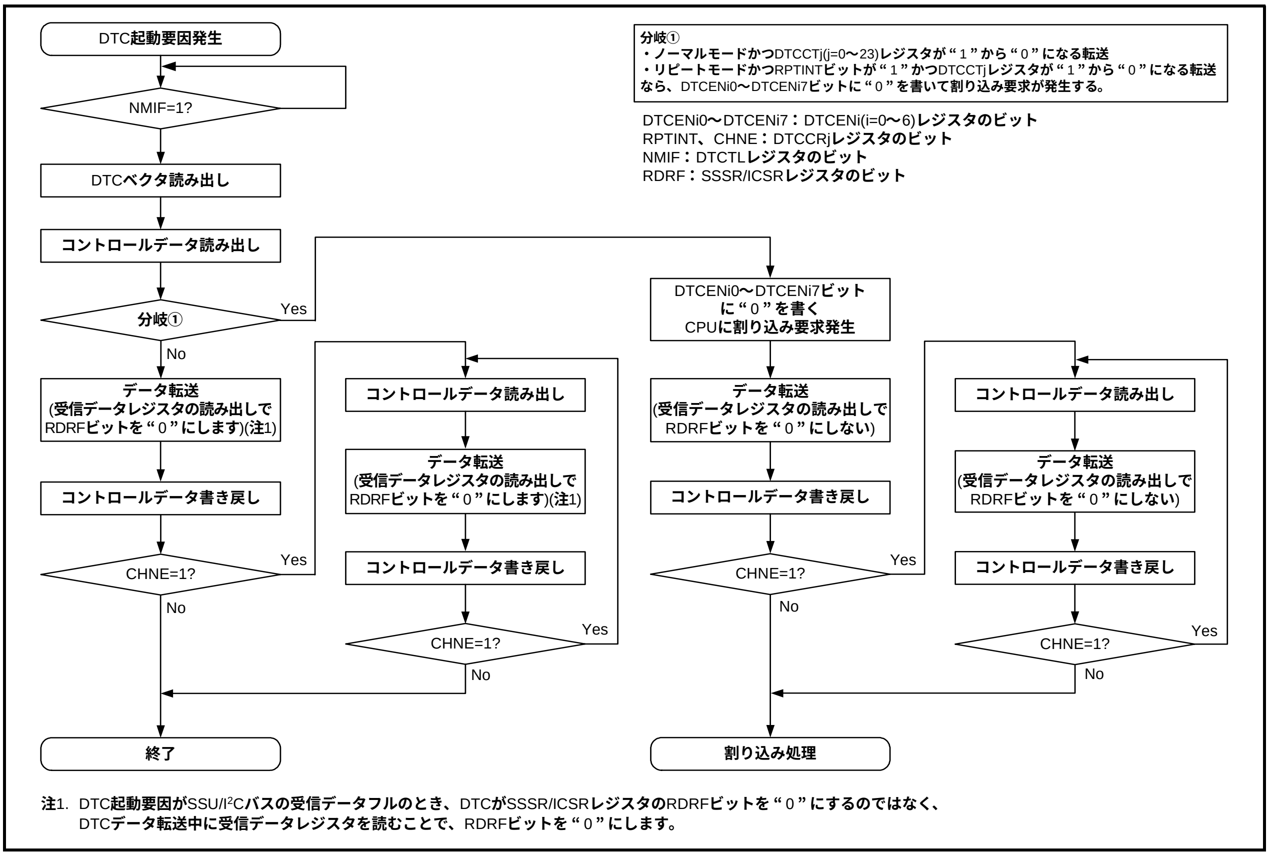


図 16.5 DTC起動要因がSSU/I²Cバスの受信データフルであるときのDTC内部動作フローチャート

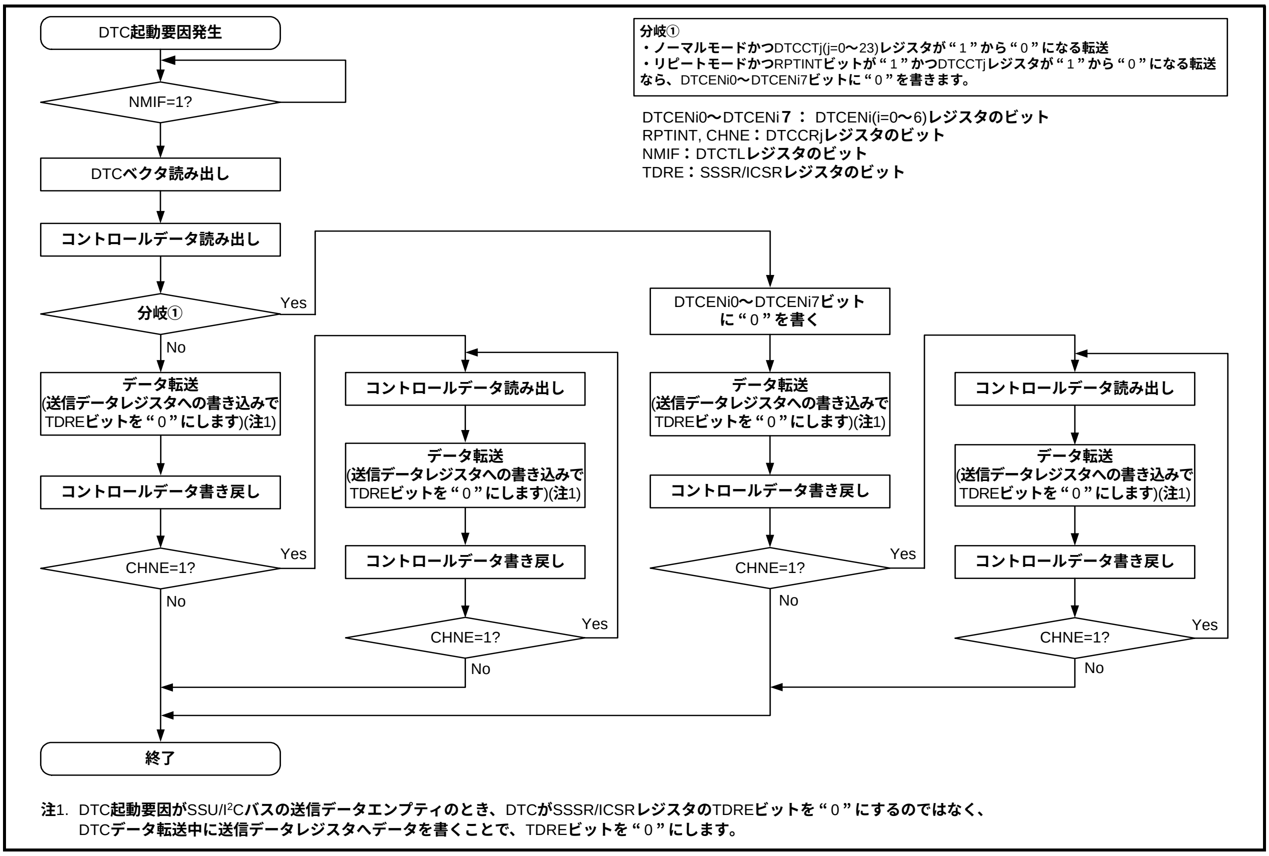


図 16.6 DTC起動要因がSSU/I²Cバスの送信データエンプティであるときのDTC内部動作フローチャート

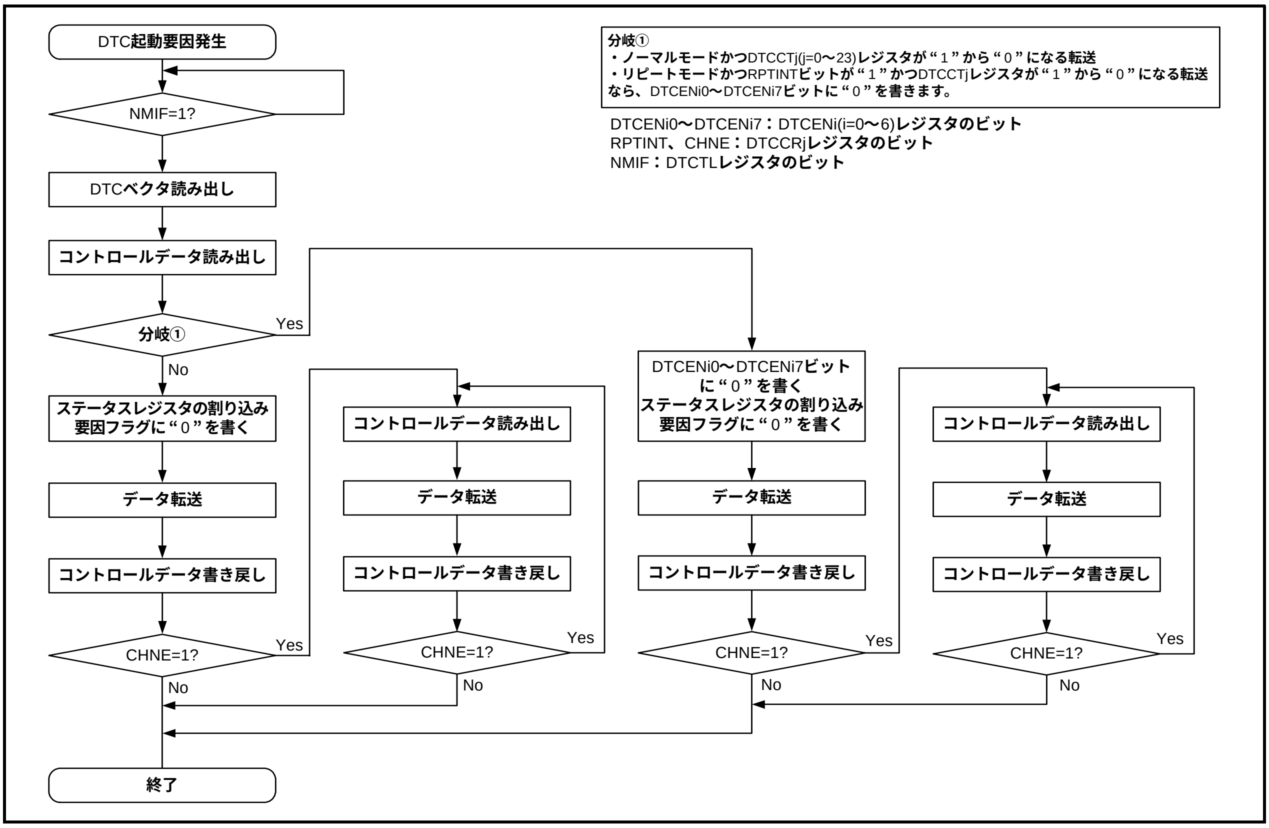


図 16.7　DTC起動要因がフラッシュレディステータスであるときのDTC内部動作フローチャート

16.3.4 ノーマルモード

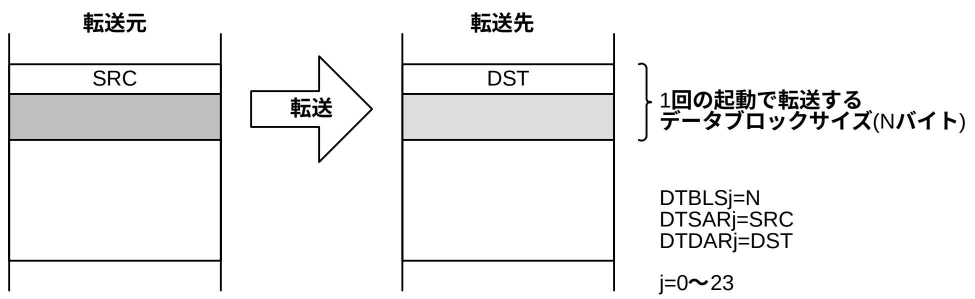
1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTj(j=0～23)レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

表16.6にノーマルモードでのレジスタ機能を示します。

図16.8にノーマルモードでのデータ転送を示します。

表16.6 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLDj	使用しません
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス



DTCCRレジスタのb3～b0	ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
“00X0b”	固定	固定	SRC	DST
“01X0b”	加算	固定	SRC+N	DST
“10X0b”	固定	加算	SRC	DST+N
“11X0b”	加算	加算	SRC+N	DST+N

X:0または1

図16.8 ノーマルモードでのデータ転送

16.3.5　リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj(j=0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)でDTCCTjレジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表16.7にリピートモードでのレジスタ機能を示します。図16.9にリピートモードでのデータ転送を示します。

表16.7　リピートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLDj	このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

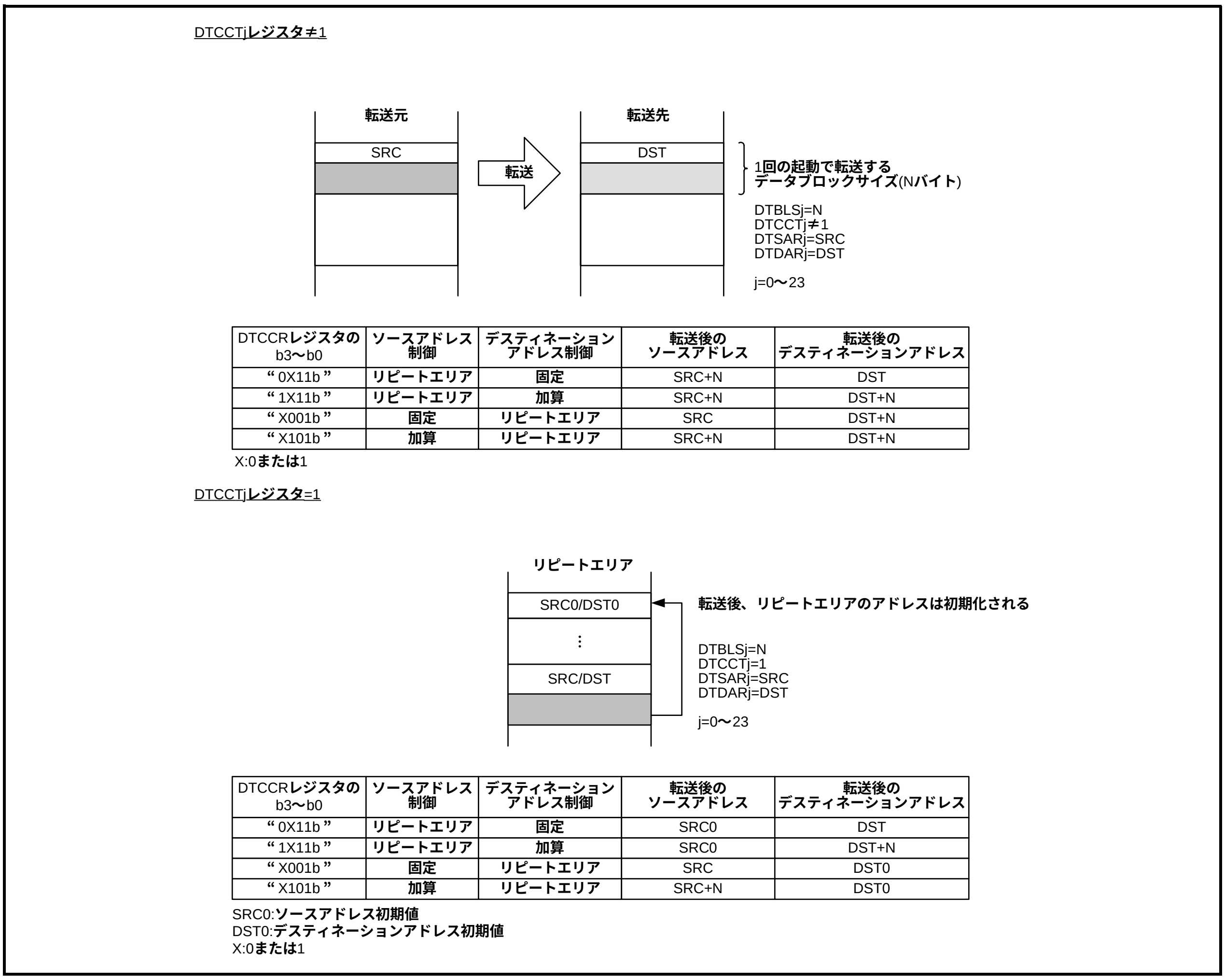


図16.9　リピートモードでのデータ転送

16.3.6 チェイン転送

DTCCRj(j=0～22)レジスタのCHNEビットが"1"(チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図16.10にチェイン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが"1"(チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが"0"(チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは"0"(チェイン転送禁止)にしてください。

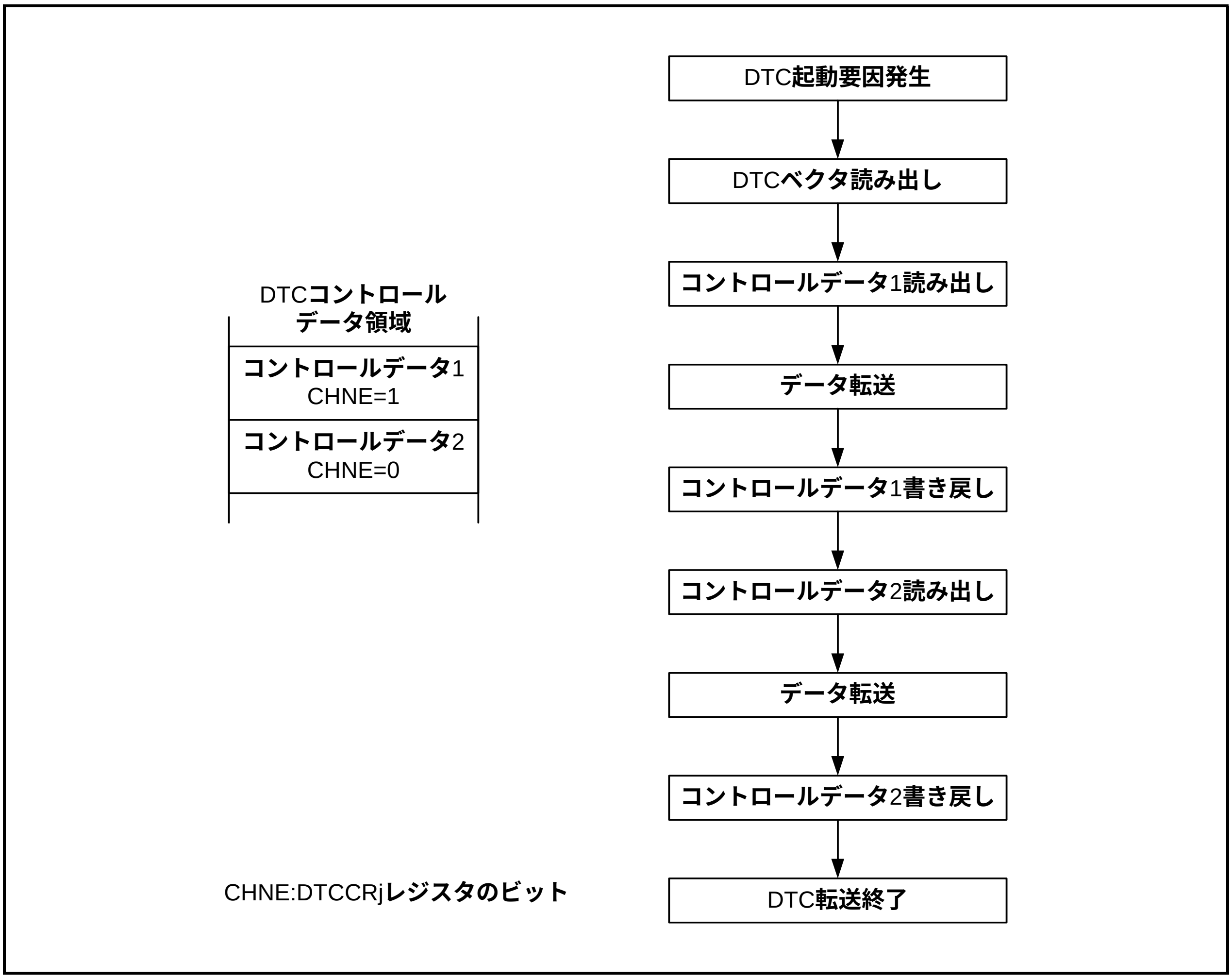


図 16.10 チェイン転送のフロー

16.3.7 割り込み要因

DTCがノーマルモードでDTCCTj(j=0～23)レジスタが"0"になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが"1"(割り込み発生許可)かつDTCCTjレジスタが"0"になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/I²Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求はIフラグや割り込み制御レジスタの影響を受けます。チェイン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENiレジスタ(i=0～6)のDTCENi0～DTCENi7ビット(i=0～6)は"0"(起動禁止)になります。

16.3.8　動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは 5 サイクルかかります。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図 16.11 にDTCの動作タイミング例を、図 16.12 にチェイン転送時のDTCの動作タイミング例を示します。

表 16.8 にコントロールデータ書き戻し仕様を示します。

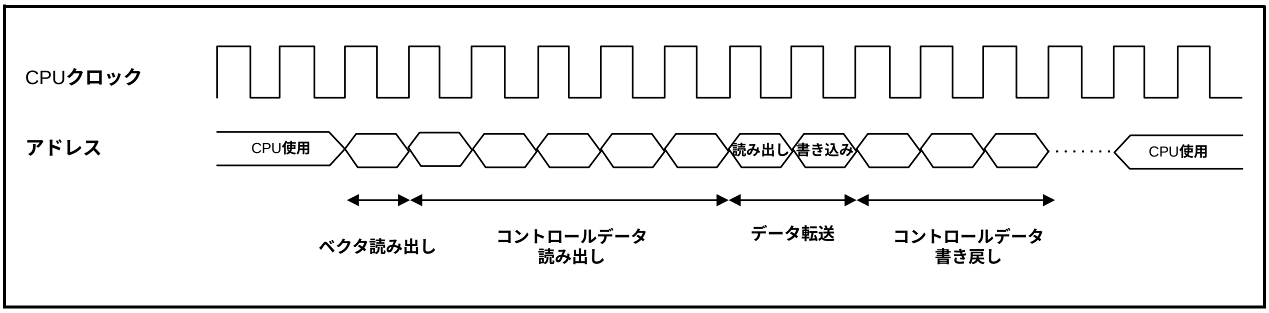


図 16.11　DTCの動作タイミング例

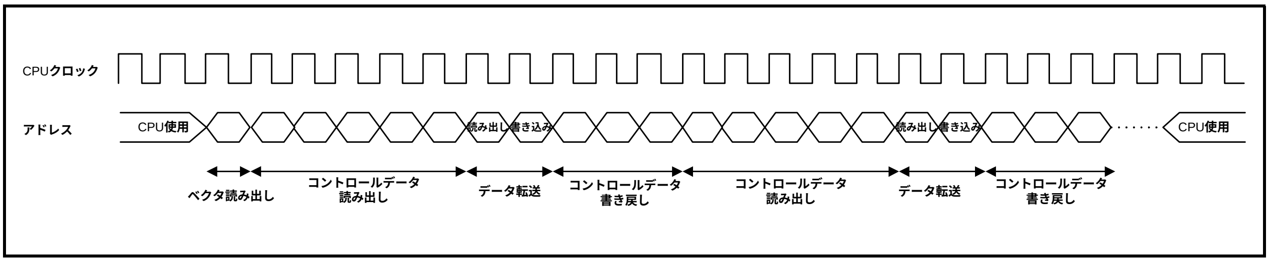


図 16.12　チェイン転送時のDTCの動作タイミング例

表 16.8　コントロールデータ書き戻し仕様

DTCCR レジスタの b3～b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティネーション	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
“00X0b”	ノーマルモード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
“01X0b”		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
“10X0b”		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
“11X0b”		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
“0X11b”	リピートモード	リピートエリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
“1X11b”			加算	書き戻す	書き戻す	書き戻す	書き戻す	3
“X001b”		固定	リピートエリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
“X101b”		加算		書き戻す	書き戻す	書き戻す	書き戻す	3

j=0～23
X：0または1

16.3.9　DTC実行サイクル数

表16.9にDTC起動時の実行状態と必要なサイクル数を示します。表16.10にデータ転送に必要なサイクル数を示します。

表16.9　DTC起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注2)	(注1)	(注1)	1

注1.　データ読み出し/データ書き込みに必要なサイクル数は「表16.10　データ転送に必要なサイクル数」を参照してください。
注2.　コントロールデータの書き戻しに必要なサイクル数は「表16.8　コントロールデータ書き戻し仕様」を参照してください。

DTBLSj(j=0～23)レジスタ＝Nとすると、データ転送時、
(1)　N＝2n(偶数)のとき、n回の2バイト転送
(2)　N＝2n+1(奇数)のとき、n回の2バイト転送後、1回の1バイト転送
を実行します。

表16.10　データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイトSK1	1		1	2	2		2	1	
	2バイトSK2	1	2	2	4	2	4	4	1	2
データ書き込み	1バイトSL1	1		—	—	2		2	1	
	2バイトSL2	1	2	—	—	2	4	4	1	2

実行サイクル数は下記計算式で求められます。

実行サイクル数＝1＋∑[式A]＋2
∑は1つの起動要因で転送する回数分(CHNEビットが“1”に設定されている数+1)の和
(1)　N＝2n(偶数)のとき
　式A＝J＋n・SK2＋n・SL2
(2)　N＝2n＋1(奇数)のとき
　式A＝J＋n・SK2＋1・SK1＋n・SL2＋1・SL1
　J：コントロールデータ読み出しサイクル数(5サイクル)＋書き戻しに必要なサイクル数

16ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しまたはデータ書き込みを行う場合は、DTBLSj(j＝0～23)レジスタに2以上の偶数値を設定してください。
DTCは16ビット単位でアクセスします。

16.3.10 DTC起動要因受付と割り込み要因フラグ

16.3.10.1 フラッシュメモリ、タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット(SSU)/I²Cバス以外の割り込み要因

DTC起動要因がフラッシュメモリ、タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット/I²Cバス以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9～16サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

16.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

16.3.10.3 タイマRC、タイマRD

DTC起動要因がタイマRC、タイマRDの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、各タイマのインプットキャプチャ/コンペア一致が発生しても、DTC起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペア一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル＋タイマ動作クロックの0.5～1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル＋タイマ動作クロックの0.5～1.5サイクル必要です。また、DTC起動中にタイマRC、タイマRDの各DTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル＋タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル＋タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります

16.3.10.4 SSU/I^{2}Cバス受信データフル

DTC起動要因がSSU/I^{2}Cバス受信データフルであるとき、データ転送でSSRDR/ICDRRレジスタを読んでください。SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTCは起動要因として受け付けます。

16.3.10.5 SSU/I^{2}Cバス送信データエンプティ

DTC起動要因がSSU/I^{2}Cバス送信データエンプティであるとき、データ転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTCは起動要因として受け付けます。

16.4 DTC使用上の注意

16.4.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

16.4.2 DTCENiレジスタ(i=0～6)

- DTCENi0～DTCENi7ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0～DTCENi7ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

16.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I2Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。
  SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。
  ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCTj(j=0～23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送

  のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I2Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

16.4.4 割り込み要求

DTC起動要因がSSU/I2C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj (j=0～23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

17. タイマ総論

タイマは、次の6種類のタイマを備えています。

- タイマRA：8ビットプリスケーラ付8ビットタイマ
- タイマRB：8ビットプリスケーラ付8ビットタイマ
- タイマRC：16ビットタイマ
- タイマRD：16ビットタイマ×2
- タイマRE：4ビットカウンタ、8ビットカウンタ
- タイマRG：16ビットタイマ

これらのタイマは、それぞれ独立して動作します。

表 17.1　各タイマの機能比較(1)

項目		タイマRA	タイマRB	タイマRC	タイマRD	タイマRE	タイマRG
構成		8ビットプリスケーラ付8ビットタイマ (リロードレジスタ付)	8ビットプリスケーラ付8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)	16ビットタイマ×2 (インプットキャプチャ、アウトプットコンペア付)	4ビットカウンタ 8ビットカウンタ	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)
カウント		ダウンカウント	ダウンカウント	アップカウント	アップカウント/ダウンカウント	アップカウント	アップカウント/ダウンカウント
カウントソース		• f1 • f2 • f8 • fOCO • fC32 • fC	• f1 • f2 • f8 • タイマRAアンダフロー	• f1 • f2 • f4 • f8 • f32 • fOCO40M • fOCO-F • TRCCLK	• f1 • f2 • f4 • f8 • f32 • fC2 • fOCO40M • fOCO-F • TRDCLK	• f4 • f8 • f32 • fC4	• f1 • f2 • f4 • f8 • f32 • fOCO40M • TRGCLKA • TRGCLKB
機能	内部のカウントソースのカウント	タイマモード	タイマモード	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)	—	タイマモード (アウトプットコンペア機能)
	外部のカウントソースのカウント	イベントカウンタモード	—	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)	—	タイマモード (アウトプットコンペア機能) 位相計数モード
	外部パルス幅/周期測定	パルス幅測定モード パルス周期測定モード	—	タイマモード (インプットキャプチャ機能；4本)	タイマモード (インプットキャプチャ機能；2×4本)	—	タイマモード (インプットキャプチャ機能；2本)
	PWM出力	パルス出力モード(注1) イベントカウンタモード(注1)	プログラマブル波形発生モード	タイマモード (アウトプットコンペア機能；4本)(注1) PWMモード(3本) PWM2モード(1本)	タイマモード (アウトプットコンペア機能；2×4本)(注1) PWMモード (2×3本) PWM3モード (2×2本)	アウトプットコンペアモード(注1)	タイマモード (アウトプットコンペア機能；2本) PWMモード (1本)
	ワンショット波形出力	—	プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード	PWMモード(3本)	PWMモード (2×3本)	—	—
	三相波形出力	—	—	—	リセット同期PWMモード(2×3本、鋸波変調) 相補PWMモード (2×3本、三角波変調、短絡防止時間あり)	—	—
	時計	タイマモード (fC32カウントのみ)	—	—	—	リアルタイムクロックモード	—

注1.　矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

表 17.2　各タイマの機能比較(2)

項目	タイマRA	タイマRB	タイマRC	タイマRD	タイマRE	タイマRG
入力端子	TRAIO	$\overline{\mathrm{INT0}}$	$\overline{\mathrm{INT0}}$、TRCCLK、 TRCTRG、 TRCIOA、 TRCIOB、 TRCIOC、 TRCIOD	$\overline{\mathrm{INT0}}$、TRDCLK、 TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1	—	TRGCLKA、 TRGCLKB、 TRGIOA、 TRGIOB
出力端子	TRAO、 TRAIO	TRBO	TRCIOA、 TRCIOB、 TRCIOC、 TRCIOD	TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1	TREO	TRGIOA、 TRGIOB
関連する割り込み	タイマRA割り込み	タイマRB割り込み、 INT0割り込み	コンペア一致/インプットキャプチャA～D割り込み、 オーバフロー割り込み、 INT0割り込み	コンペア一致/インプットキャプチャA0～D0割り込み、 コンペア一致/インプットキャプチャA1～D1割り込み、 オーバフロー割り込み、 アンダフロー割り込み(注1)、 INT0割り込み	タイマRE割り込み	コンペア一致/キャプチャA～B割り込み、 アンダフロー割り込み(注1)、 オーバフロー割り込み
タイマ停止	あり	あり	あり	あり	あり	あり

注1.　アンダフロー割り込みは、タイマRD1とタイマRGのみ設定可能です。

18. タイマRA

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

18.1 概要

タイマRAは、8ビットプリスケーラ付き8ビットタイマです。

プリスケーラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表18.2～表18.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図18.1にタイマRAのブロック図を、表18.1にタイマRAの端子構成を示します。タイマRAは、次の5種類のモードを持ちます。

- タイマモード　内部カウントソースをカウントするモード
- パルス出力モード　内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- イベントカウンタモード　外部パルスをカウントするモード
- パルス幅測定モード　外部パルスのパルス幅を測定するモード
- パルス周期測定モード　外部パルスのパルス周期を測定するモード

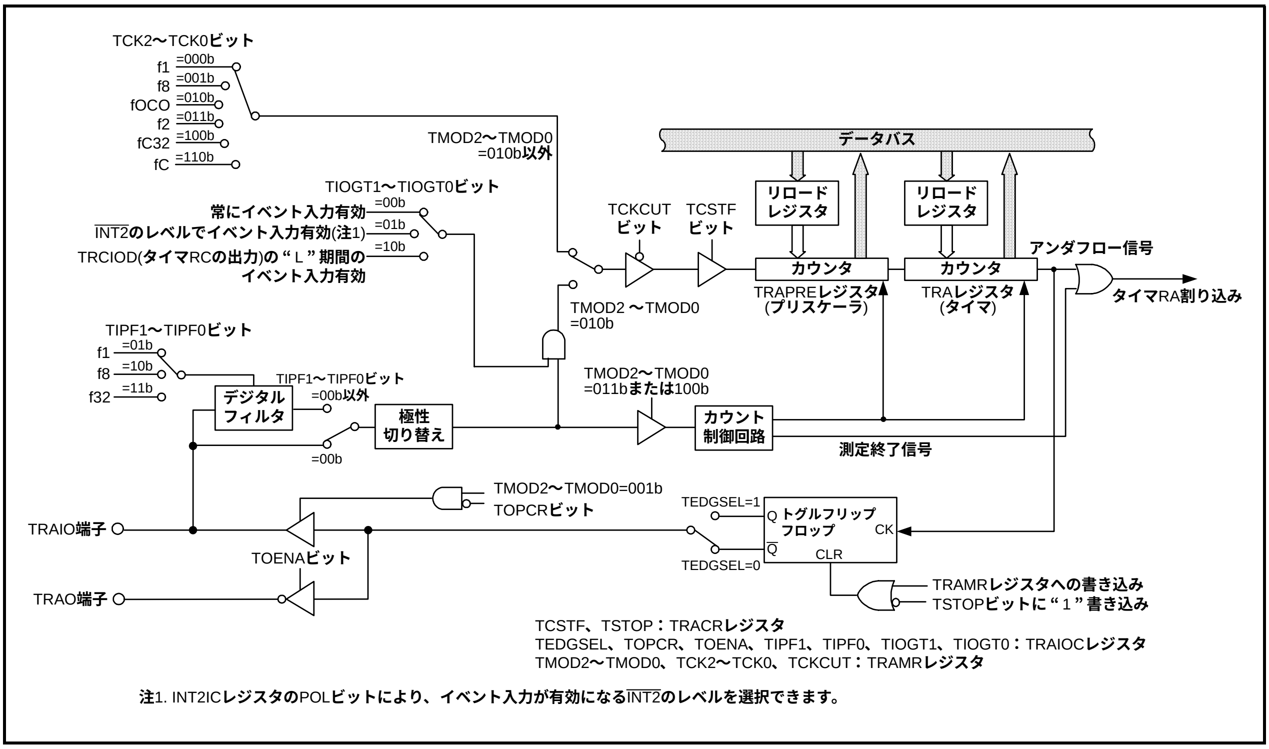


図18.1　タイマRAのブロック図

表18.1　タイマRAの端子構成

端子名	割り当てる端子	入出力	機能
TRAIO	P11_4	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRAO	P11_5	出力	

18.2 レジスタの説明

18.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRAカウント開始ビット(注1)	0：カウント停止 1：カウント開始	R/W
b1	TCSTF	タイマRAカウントステータスフラグ(注1)	0：カウント停止 1：カウント中	R
b2	TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0：有効エッジなし 1：有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRAアンダフローフラグ(注3、4)	0：アンダフローなし 1：アンダフローあり	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

注1. TSTART、TCSTFビットの使用上の注意事項については、「18.8　タイマRA使用上の注意」を参照してください。
注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。
注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。
注4. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

18.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット		R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット		R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

18.2.3 タイマRAモードレジスタ(TRAMR)

アドレス 0102h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	—	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 0 0 0：タイマモード 0 0 1：パルス出力モード 0 1 0：イベントカウンタモード 0 1 1：パルス幅測定モード 1 0 0：パルス周期測定モード 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 0 0 0：f1 0 0 1：f8 0 1 0：fOCO 0 1 1：f2 1 0 0：fC32 1 0 1：設定しないでください 1 1 0：fC 1 1 1：設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRAカウントソース遮断ビット	0：カウントソース供給 1：カウントソース遮断	R/W

TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRAMRレジスタを変更してください。

18.2.4 タイマRAプリスケーラレジスタ(TRAPRE)

アドレス 0103h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	—	
リセット後の値	1	1	1	1	1	1	1	1	(注1)

ビット	モード	機能	設定範囲	R/W
b7～b0	タイマモード	内部カウントソースをカウント	00h～FFh	R/W
	パルス出力モード		00h～FFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	00h～FFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	00h～FFh	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	00h～FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

18.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	—	
リセット後の値	1	1	1	1	1	1	1	1	(注1)

ビット	モード	機能	設定範囲	R/W
b7～b0	全モード	TRAPREレジスタのアンダフローをカウント	00h～FFh (注2)	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。
注2. パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

18.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAIO端子選択ビット	b1 b0 0 0：TRAIO端子は使用しない 0 1：P11_4に割り当てる(注1) 1 0：$\overline{\text{INT4}}$に割り当てる(注2) 1 1：設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. ハードウェアLINを使用する場合は、TRAIOSEL1～TRAIOSEL0ビットに“01b”を設定してください。
注2. $\overline{\text{INT4}}$入力極性としてタイマRAのイベントカウンタモードでのみ両エッジを選択できます。INTEN1レジスタのINT4PLビットを“1”(両エッジ)にしてください。また、両エッジを選択した場合は、TRAIOCレジスタのTIPF1～TIPF0ビットを“00b”(フィルタなし)にしてください。

タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

18.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 18.2)。

表 18.2 タイマモードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
TRAIO端子機能	プログラマブル入出力ポート
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「18.3.2 カウント中のタイマ書き込み制御」参照)

18.3.1 タイマRA I/O制御レジスタ(TRAIOC)[タイマモード時]

アドレス 0101h番地

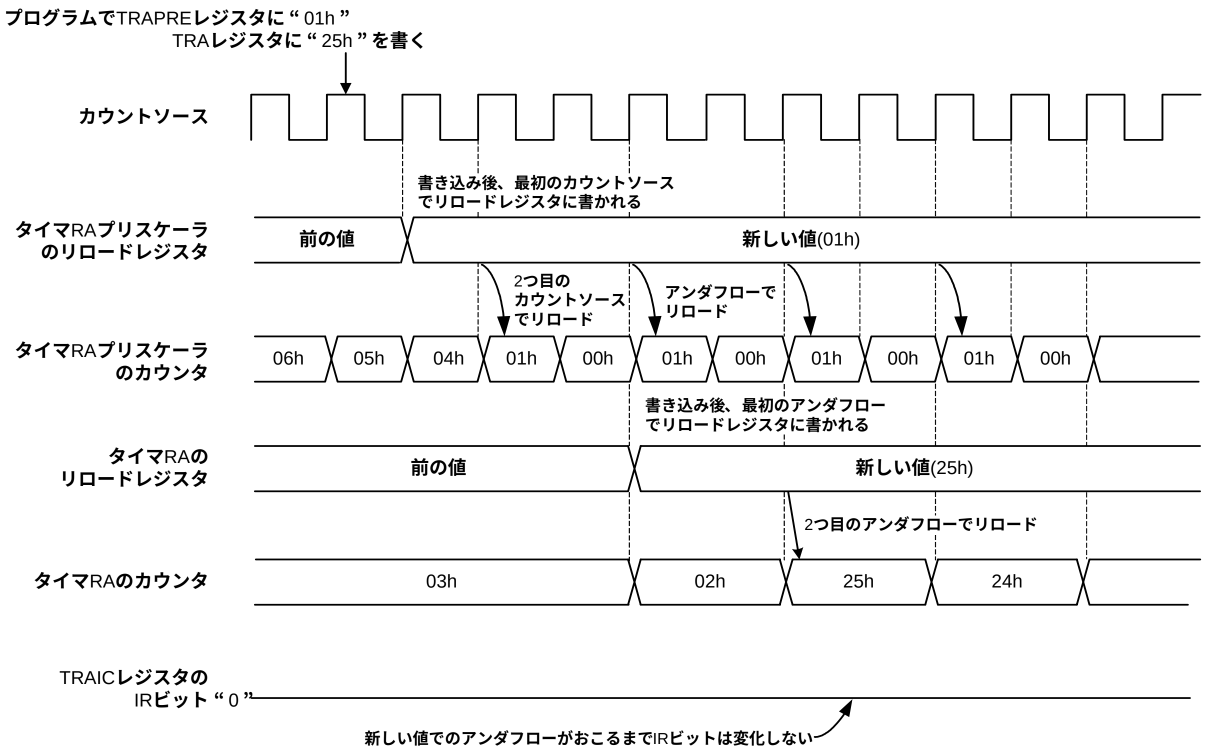
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能を使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

18.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケーラと、タイマ(プリスケーラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケーラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケーラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケーラのアンダフローに同期して値を転送します。このため、カウント中にプリスケーラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図18.2にタイマRA カウント中にカウント値を書き換えた場合の動作例を示します。



上図は次の条件の場合です。
TRACRレジスタのTSTARTビット、TCSTFビットがともに“1”(カウント中)

図 18.2　タイマRA カウント中にカウント値を書き換えた場合の動作例

18.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表18.3)。

表18.3 パルス出力モードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時　[タイマRA割り込み]
TRAIO信号端子機能	パルス出力、またはプログラマブル出力ポート
TRAO端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「18.3.2　カウント中のタイマ書き込み制御」参照)
選択機能	・TRAIO出力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1) ・TRAO出力機能 TRAIO出力の極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択) ・パルス出力停止機能 TRAIOCレジスタのTOPCRビットでTRAIO端子からのパルス出力を停止 ・TRAIO端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでTRAIO端子を使用するかどうかを選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

18.4.1 タイマRA I/O制御レジスタ(TRAIOC)[パルス出力モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 :“H”からTRAIO出力開始 1 :“L”からTRAIO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	0：TRAIO出力 1：ポートP11_4	R/W
b2	TOENA	TRAO出力許可ビット	0：ポートP11_5 1：TRAO出力 (TRAIO出力の反転をP11_5から出力)	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	パルス出力モードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

18.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表 18.4)。

表 18.4 イベントカウンタモードの仕様

項　　目	仕　　様
カウントソース	TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時　[タイマRA割り込み]
TRAIO信号端子機能	カウントソース入力
TRAO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「18.3.2　カウント中のタイマ書き込み制御」参照)
選択機能	・TRAIO入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでTRAIO端子を使用するかどうかを選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1) ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0～TIPF1ビットで選択 ・イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0～TIOGT1ビットで選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

18.5.1 タイマRA I/O制御レジスタ(TRAIOC)[イベントカウンタモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：TRAIO入力の立ち上がりエッジでカウント 　また、“L”からTRAO出力開始 1：TRAIO入力の立ち下がりエッジでカウント 　また、“H”からTRAO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット	0：ポートP11_5 1：TRAO出力	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット(注1)	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	b7 b6 0 0：常にイベント入力有効 0 1：INT2のレベルでイベント入力有効(注2) 1 0：TRCIOD(タイマRCの出力)の“L”期間の 　イベント入力有効 1 1：設定しないでください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

注2. INT2のイベント入力有効を使用する場合は、次の設定をしてください。
- INTENレジスタのINT2ENビットを“1”(INT2入力許可)、INT2PLビットを“0”(片エッジ)にする。
- INT2の極性をINT2ICレジスタのPOLビットで選択する。
  POLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が有効になります。
  POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が有効になります。
- INT2端子に割り当てたポートのPDi (i=3、11) レジスタのPDi_2ビットを“0”(入力モード)にする。
- INT2のデジタルフィルタをINTFレジスタのINT2F1～INT2F0ビットで選択する。

なお、INT2ICレジスタのPOLビットとINTENレジスタのINT2PLビットの選択と、INT2端子入力の変更にしたがって、INT2ICレジスタのIRビットが“1”(割り込み要求あり)になります。(「12.8に割り込み使用上の注意」参照)。
割り込みの詳細は「12.に割り込み」を参照してください。

18.6 パルス幅測定モード

TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表 18.5)。
図 18.3にパルス幅測定モード時の動作例を示します。

表 18.5　パルス幅測定モードの仕様

項　　目	仕　　様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	・タイマRAのアンダフロー時　[タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO信号端子機能	測定パルス入力
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「18.3.2　カウント中のタイマ書き込み制御」)参照
選択機能	・測定レベル設定 TRAIOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSEL0ビットでTRAIO端子を使用するかどうかを選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

18.6.1 タイマRA I/O制御レジスタ(TRAIOC)[パルス幅測定モード時]

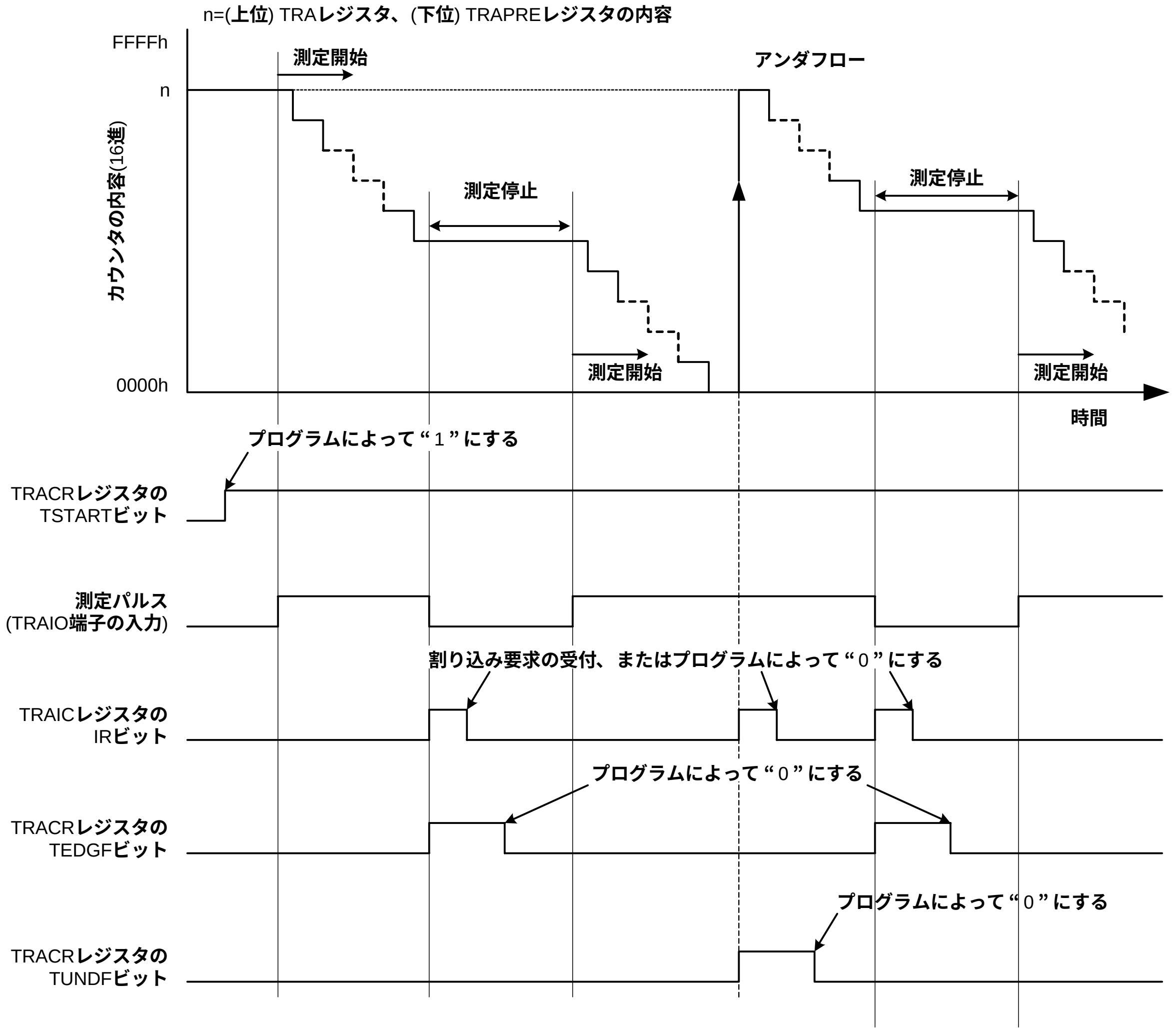
アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：TRAIO入力の“L”レベル幅を測定 1：TRAIO入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット(注1)	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

18.6.2 動作例



上図は次の条件の場合です。
・測定パルスの“H”レベル幅を測定(TEDGSEL=1)
・TRAPRE＝FFh

図 18.3 パルス幅測定モード時の動作例

18.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表 18.6)。
図 18.4にパルス周期測定モード時の動作例を示します。

表 18.6 パルス周期測定モードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケーラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケーラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	・タイマRAのアンダフロー時、またはリロード時　[タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO端子機能	測定パルス入力(注1)
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「18.3.2　カウント中のタイマ書き込み制御」)参照
選択機能	・測定期間選択 TRAIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでTRAIO端子を使用するかどうかを選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1. タイマRAプリスケーラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケーラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

18.7.1 タイマRA I/O制御レジスタ(TRAIOC)[パルス周期測定モード時]

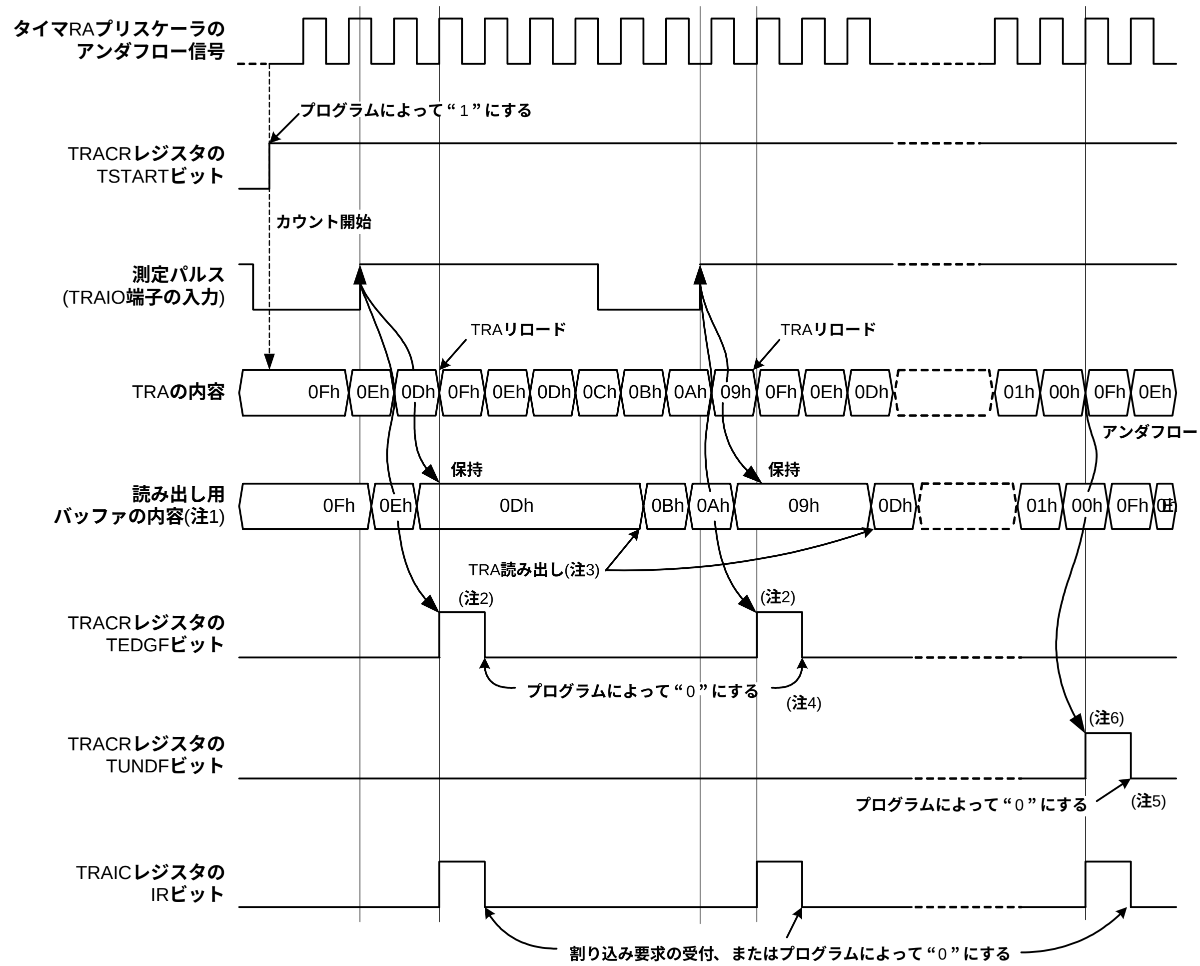
アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：測定パルスの立ち上がりから立ち上がり間測定 1：測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット(注1)	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

18.7.2　動作例



TRAレジスタの初期値を0Fhとして、測定パルスの立ち上がりから立ち上がりまでを測定した場合(TEDGSEL=0)です。

注1.　パルス周期測定モードでTRAレジスタを読み出すと、読み出し用バッファの内容が読めます。
注2.　測定パルスの有効エッジ入力後、2回目のタイマRAプリスケーラのアンダフロータイミングで、TRACRレジスタのTEDGFビットが“1”(有効エッジあり)になります。
注3.　TRAレジスタの読み出しは、TEDGFビットが“1”(有効エッジあり)にセットされてから、次の有効エッジが入力されるまでの期間で行ってください。
読み出し用のバッファの内容はTRAレジスタを読み出すまで保持されます。したがって有効エッジが入力されるまでに読み出さない場合、前の周期の測定結果を保持します。
注4.　プログラムによって“0”にするときは、MOV命令を用いてTRACRレジスタのTEDGFビットに“0”を書いてください。
その際、TUNDFビットには“1”を書いてください。
注5.　プログラムによって“0”にするときは、MOV命令を用いてTRACRレジスタのTUNDFビットに“0”を書いてください。
その際、TEDGFビットには“1”を書いてください。
注6.　タイマRAのアンダフロータイミングが、有効エッジ入力によるタイマRAのリロードと重なった場合、TUNDFビットとTEDGFビットが共に“1”になります。

図 18.4　パルス周期測定モード時の動作例

18.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケーラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケーラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。
  TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。
  TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
  カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
  TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

  注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

19. タイマRB

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

19.1 概要

タイマRBは、8ビットプリスケーラ付き8ビットタイマです。

プリスケーラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表19.2～表19.5の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図19.1にタイマRBのブロック図を、表19.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード　内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード　任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード　ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード　ディレイドワンショットパルスを出力するモード

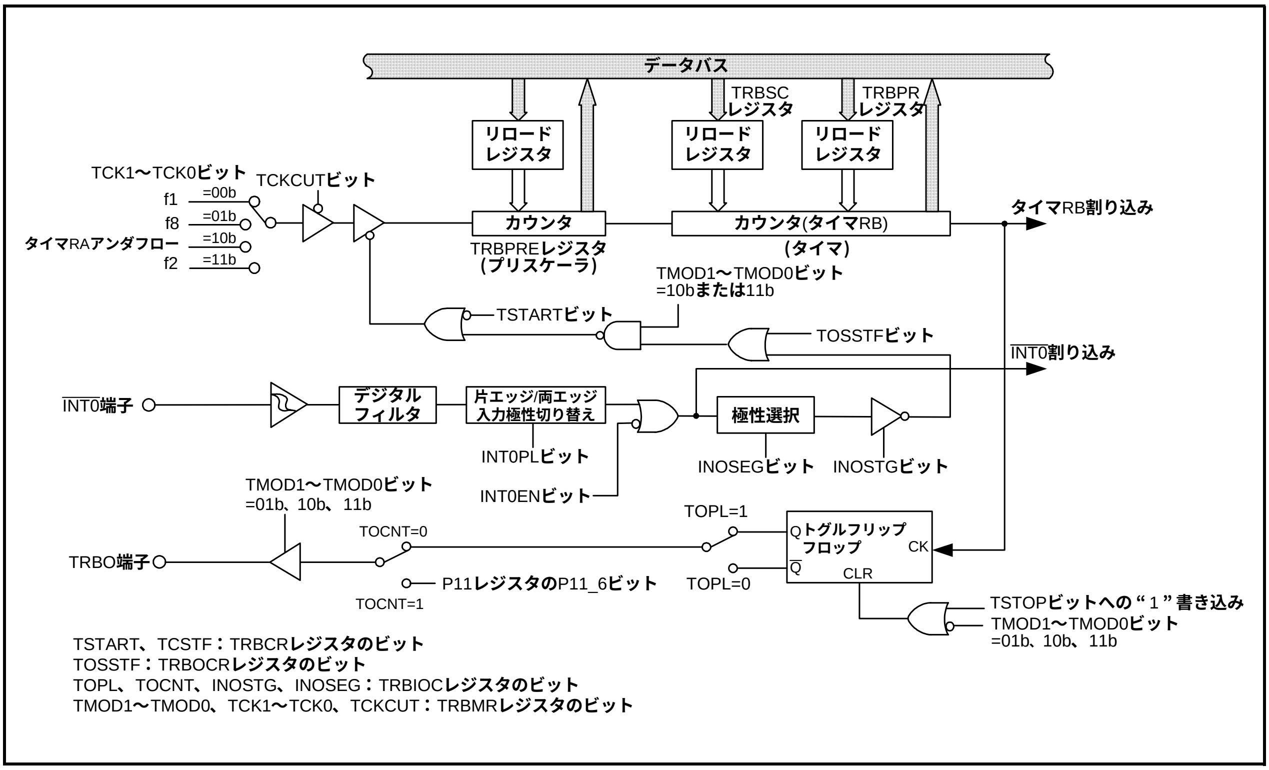


図 19.1　タイマRBのブロック図

表 19.1　タイマRBの端子構成

端子名	割り当てる端子	入出力	機能
TRBO	P11_6	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)

19.2 レジスタの説明

19.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット(注1)	0：カウント停止 1：カウント開始	R/W
b1	TCSTF	タイマRBカウントステータスフラグ(注1)	0：カウント停止 1：カウント中(注3)	R
b2	TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。 読んだ場合、その値は“0”。	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「19.7　タイマRB使用上の注意」を参照してください。
注2. TSTOPビットに“1”を書くと、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。
注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

19.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。 読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。 読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ(注1)	0：ワンショット停止中 1：ワンショット動作中(ウェイト期間含む)	R
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

19.2.3 タイマRB I/O制御レジスタ(TRBIOC)

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

19.2.4 タイマRBモードレジスタ(TRBMR)

アドレス 010Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	—	TCK1	TCK0	TWRC	—	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット(注1)	b1 b0 0 0：タイマモード 0 1：プログラマブル波形発生モード 1 0：プログラマブルワンショット発生モード 1 1：プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	TWRC	タイマRB書き込み制御ビット(注2)	0：リロードレジスタとカウンタへの書き込み 1：リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット(注1)	b5 b4 0 0：f1 0 1：f8 1 0：タイマRAのアンダフロー(注3) 1 1：f2	R/W
b5	TCK1			R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	TCKCUT	タイマRBカウントソース遮断ビット(注1)	0：カウントソース供給 1：カウントソース遮断	R/W

注1. TMOD1～TMOD0ビット、TCK1～TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

19.2.5 タイマRBプリスケーラレジスタ(TRBPRE)

アドレス 010Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7〜b0	タイマモード	内部カウントソース、またはタイマRAアンダフローをカウント	00h〜FFh	R/W
	プログラマブル波形発生モード		00h〜FFh	R/W
	プログラマブルワンショット発生モード		00h〜FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h〜FFh	R/W

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPREレジスタは“FFh”になります。

19.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7〜b0	タイマモード	無効	00h〜FFh	—
	プログラマブル波形発生モード	タイマRBプリスケーラのアンダフローをカウント(注1)	00h〜FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h〜FFh	—
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケーラのアンダフローをカウント(ワンショット幅をカウント)	00h〜FFh	W (注2)

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。
注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。
TRBSCレジスタに書き込むときは、次の手順で書いてください。
(1) TRBSCレジスタに値を書く
(2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

19.2.7 タイマRBプライマリレジスタ(TRBPR)

アドレス 010Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7～b0	タイマモード	タイマRBプリスケーラのアンダフローをカウント	00h～FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケーラのアンダフローをカウント(注1)	00h～FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケーラのアンダフローをカウント(ワンショット幅をカウント)	00h～FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケーラのアンダフローをカウント(ウェイト期間をカウント)	00h～FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

19.2.8 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRCTRGSEL1	TRCTRGSEL0	—	TRCCLKSEL0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	0：TRCCLK端子は使用しない 1：TRCCLK端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRCTRGSEL0	TRCTRG端子選択ビット	b7 b6 0 0：TRCTRG端子は使用しない 0 1：P3_7に割り当てる 1 0：P4_3に割り当てる 1 1：P4_4に割り当てる	R/W
b7	TRCTRGSEL1			R/W

タイマRBのレジスタ機能は備えていません。

タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定をする前にこのレジスタを設定してください。また、タイマRCの動作中はTRCCLKSEL0ビットの設定値を変更しないでください。

19.3　タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表19.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表 19.2　タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)
分周比	1/(n+1)(m+1) n：TRBPREレジスタの設定値、m：TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。 (「19.3.2　カウント中のタイマ書き込み制御」参照)

19.3.1　タイマRB I/O制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah番地

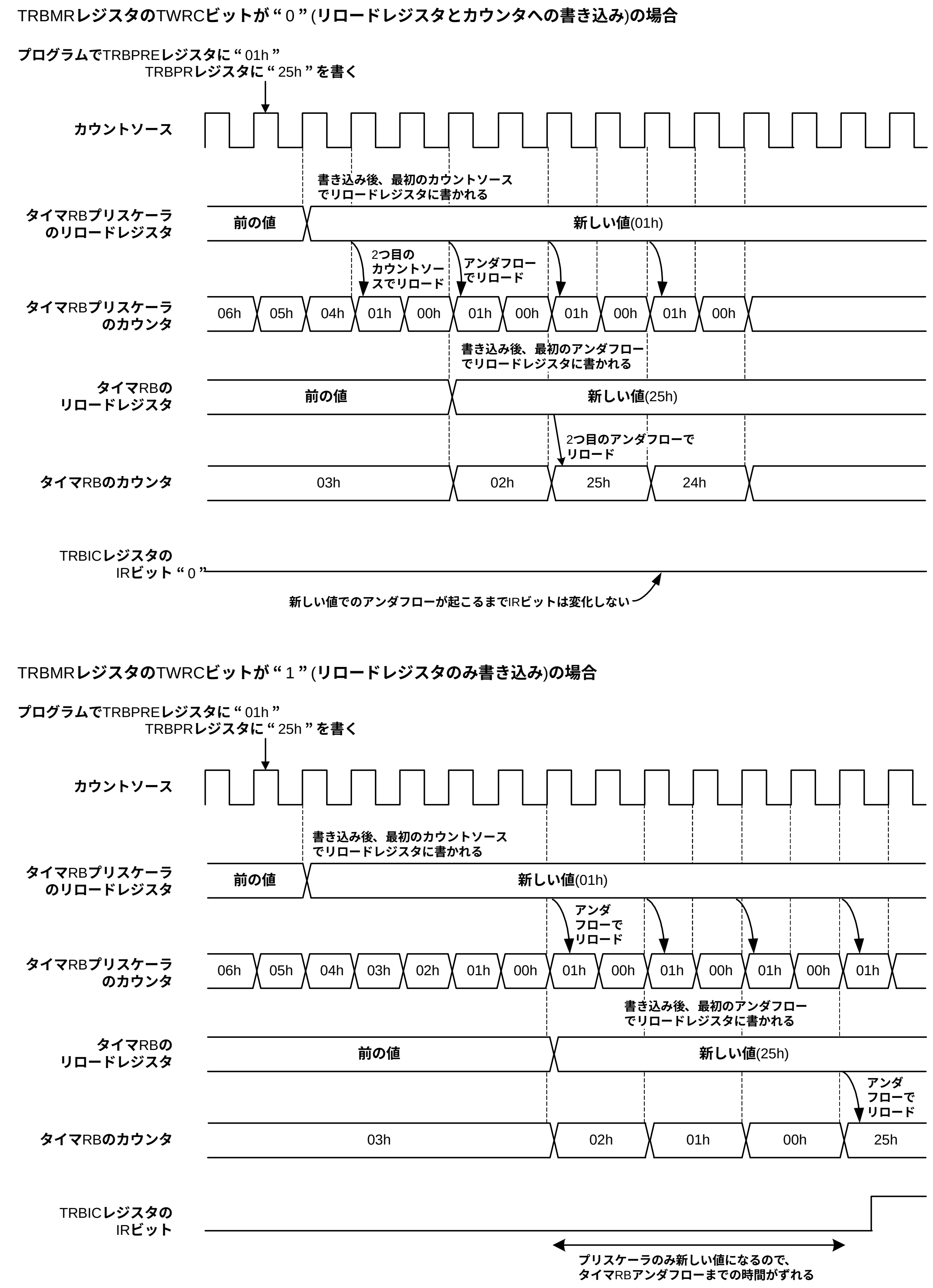
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

19.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケーラと、タイマ(プリスケーラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケーラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケーラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケーラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケーラの値を変更すると書き込んだときの周期がずれます。図19.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。



上図は次の条件の場合です。
TRBCRレジスタのTSTARTビット、TCSTFビットがともに“1”(カウント中)

図 19.2　タイマRB カウント中にカウント値を書き換えた場合の動作例

19.4 プログラマブル波形発生モード

TRBPRレジスタとTRBSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO端子から出力する信号を反転するモードです(表19.3)。カウント開始時は、TRBPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCRレジスタは使用しません。

図19.3にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表19.3 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	•ダウンカウント •アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間　：(n+1)(m+1)/fi セカンダリ期間　：(n+1)(p+1)/fi 周期　　　　　　：(n+1){(m+1)+(p+1)}/fi fi：カウントソースの周波数 n：TRBPREレジスタの設定値、m：TRBPRレジスタの設定値 p：TRBSCレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	•TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み •TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時)[タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	•カウント停止中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	•アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択 •波形出力許可/不許可機能 TRBIOCレジスタのTOCNTビットでタイマRB波形の出力またはP11_6ポートラッチ出力を選択(注3)

注1. セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。
注2. 波形の出力は、TRBPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。
注3. TOCNTビットに書いた値は、次のタイミングで有効になります。
・カウント開始時
・タイマRB割り込み要求発生時
したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

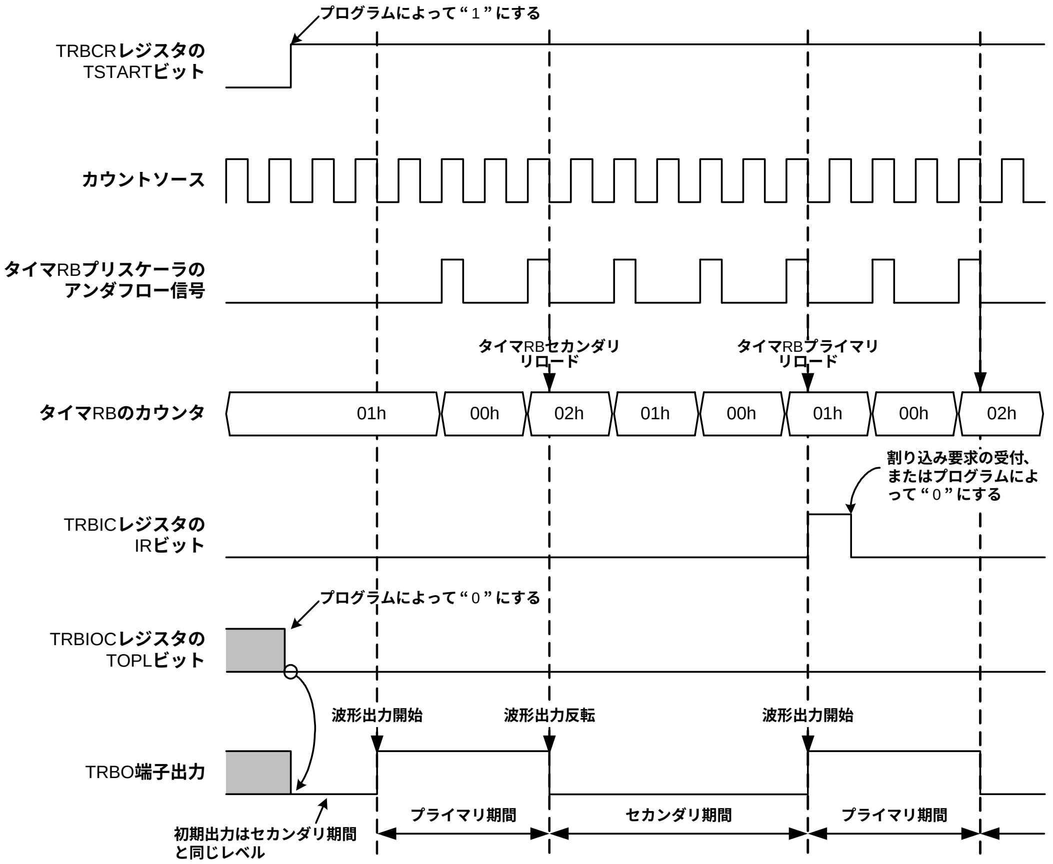
19.4.1　タイマRB I/O制御レジスタ(TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0：プライマリ期間“H”出力、セカンダリ期間“L”出力 タイマ停止時“L”出力 1：プライマリ期間“L”出力、セカンダリ期間“H”出力 タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	0：タイマRB波形出力 1：P11_6ポートラッチの値を出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは“0”にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

19.4.2　動作例



上図は次の条件の場合です。

TRBPRE=01h、TRBPR=01h、TRBSC=02h
TRBIOCレジスタのTOCNT=0(TRBO端子からタイマRB波形を出力)

図 19.3　プログラマブル波形発生モード時のタイマRBの動作例

19.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTRBO端子から出力するモードです(表19.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図19.4にプログラマブルワンショット発生モード時の動作例を示します。

表19.4 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・TRBPRレジスタの設定値をダウンカウント ・アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	(n+1)(m+1)/fi fi：カウントソースの周波数 n：TRBPREレジスタの設定値、m：TRBPRレジスタの設定値
カウント開始条件	・TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力
カウント停止条件	・タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時) [タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)
選択機能	・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「19.5.3 ワンショットトリガ選択」参照

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

19.5.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルワンショット発生モード時]

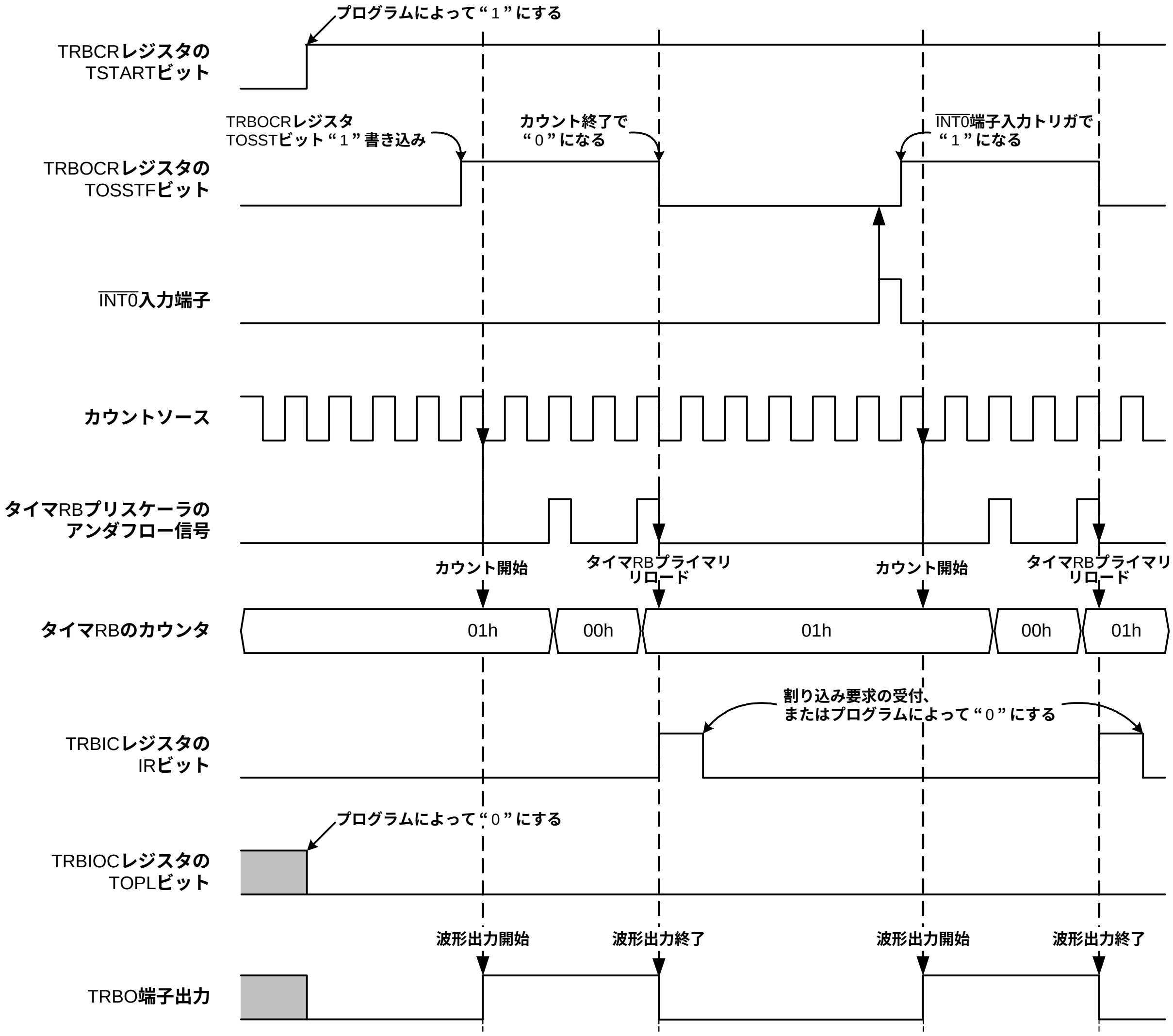
アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0：ワンショットパルス“H”出力、タイマ停止時“L”出力 1：ワンショットパルス“L”出力、タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルワンショット発生モードでは“0”にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット(注1)	0：$\overline{\mathrm{INT0}}$端子ワンショットトリガ無効 1：$\overline{\mathrm{INT0}}$端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット(注1)	0：立ち下がりエッジトリガ 1：立ち上がりエッジトリガ	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1.「19.5.3　ワンショットトリガ選択」を参照してください。

19.5.2　動作例



上図は次の条件の場合です。

TRBPRE=01h、TRBPR=01h
TRBIOCレジスタのTOPL=0、TOCNT=0、
INOSTG=1($\overline{\text{INT0}}$ワンショットトリガ有効)、
INOSEG=1(立ち上がりエッジトリガ)

図 19.4　プログラマブルワンショット発生モード時の動作例

19.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCR レジスタのTCSTF ビットが“1”(カウント開始) の状態で、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- $\overline{\text{INT0}}$端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2 サイクル経ってから TRBOCR レジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- INTSRレジスタのINT0SEL0ビットで、$\overline{\text{INT0}}$入力をP3_0またはP11_0のどちらに割り当てるかを選択する
- $\overline{\text{INT0}}$入力に割り当てた端子に対応するポート方向レジスタのポート方向ビットを“0”(入力モード)にする
- $\overline{\text{INT0}}$のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する
- INTENレジスタのINT0PL ビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”($\overline{\text{INT0}}$端子ワンショットトリガ有効)にする

なお、$\overline{\text{INT0}}$端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「12.　割り込み」を参照してください。
- 片エッジを選択した場合は、INT0IC レジスタの POL ビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットは$\overline{\text{INT0}}$割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

19.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルスをTRBO端子から出力するモードです(表19.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図19.5にプログラマブルウェイトワンショット発生モードの動作例を示します。

表19.5 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・タイマRBプライマリの設定値をダウンカウント ・タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続 ・タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	(n+1)(m+1)/fi fi：カウントソースの周波数 n：TRBPREレジスタの設定値、m：TRBPRレジスタの設定値
ワンショットパルス出力時間	(n+1)(p+1)/fi fi：カウントソースの周波数 n：TRBPREレジスタの設定値、p：TRBSCレジスタの設定値
カウント開始条件	・TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力
カウント停止条件	・タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)
選択機能	・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「19.5.3 ワンショットトリガ選択」参照

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

19.6.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルウェイトワンショット発生モード時]

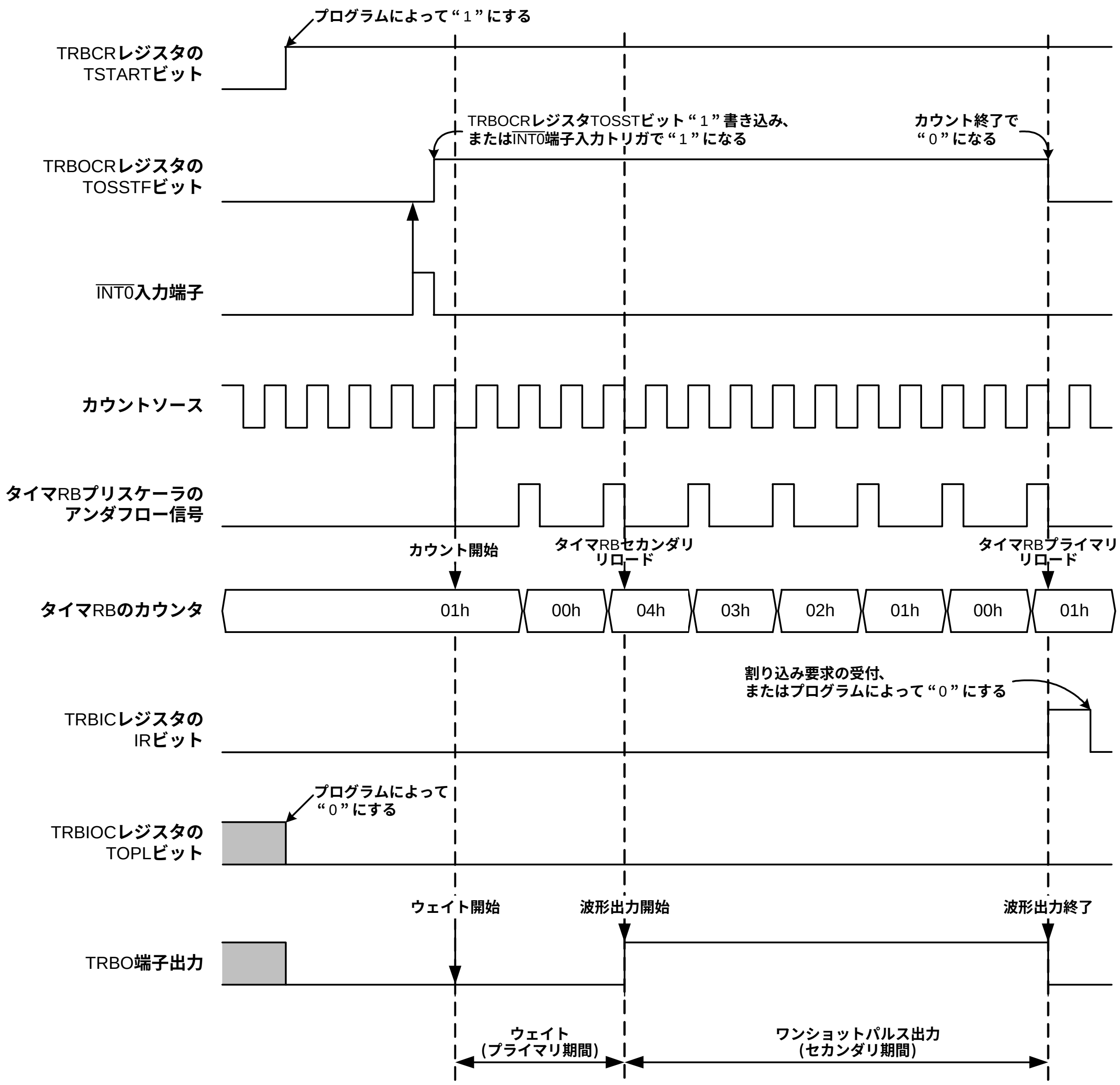
アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0：ワンショットパルス“H”出力、タイマ停止時とウェイト中は“L”出力 1：ワンショットパルス“L”出力、タイマ停止時とウェイト中は“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルウェイトワンショット発生モードでは“0”にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット(注1)	0：$\overline{\text{INT0}}$端子ワンショットトリガ無効 1：INT0端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット(注1)	0：立ち下がりエッジトリガ 1：立ち上がりエッジトリガ	R/W
b4	—	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1.「19.5.3　ワンショットトリガ選択」を参照してください。

19.6.2　動作例



上図は次の条件の場合です。

TRBPRE=01h、TRBPR=01h、TRBSC=04h
INOSTG=1(INT0ワンショットトリガ有効)、
INOSEG=1(立ち上がりエッジトリガ)

図 19.5　プログラマブルウェイトワンショット発生モードの動作例

19.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”(カウント開始)を書いた後は、カウントソースの1～2サイクルの間、TRBCRレジスタのTCSTFビットは“0”(カウント停止)になっています。
  TCSTFビットが“1”(カウント中)になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
  カウント中にTSTARTビットに“0”(カウント停止)を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
  TCSTFビットが“0”(カウント停止)になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

  注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

19.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

19.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

19.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

19.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

20. タイマRC

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.4　ピン配置図」を参照してください。

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

20.1 概要

タイマRCの動作クロックは、f1、fOCO40MまたはfOCO-Fです。表20.1にタイマRCの動作クロックを示します。

表20.1　タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRCCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

表20.2にタイマRCの端子構成を、図20.1にタイマRCのブロック図を示します。
タイマRCは3種類のモードを持ちます。

- タイマモード
  - インプットキャプチャ機能　　外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能　　カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
- 次の2つのモードは、アウトプットコンペア機能を用います。
- PWMモード　　任意の幅のパルスを連続して出力するモード
- PWM2モード　　トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。
PWM2モードは、カウンタやレジスタを組み合わせて波形を出力します。端子の機能はモードによって決まります。

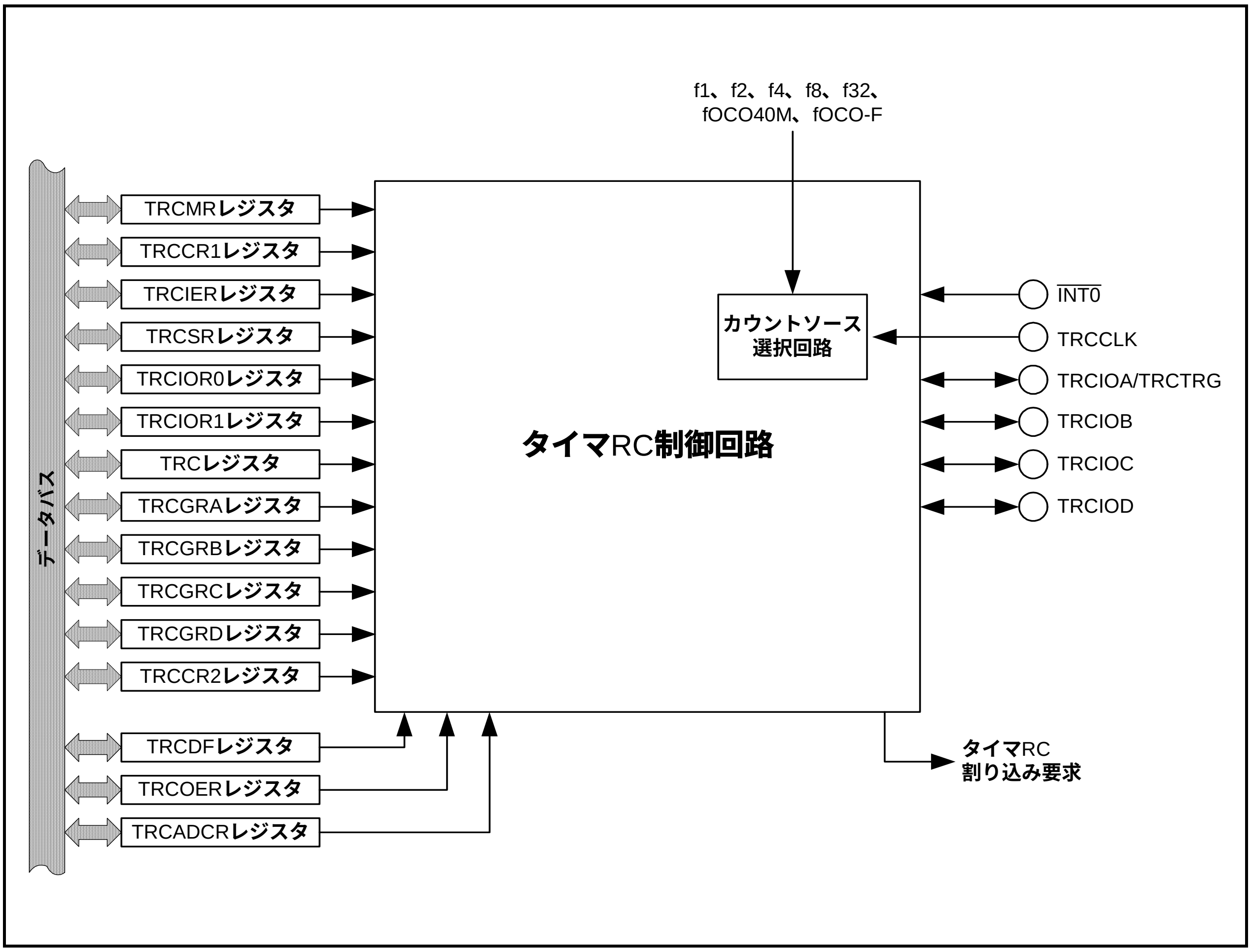


図20.1　タイマRCのブロック図

表 20.2　タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P4_4	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCIOB	P4_5、P4_6、またはP4_7		
TRCIOC	P4_6		
TRCIOD	P4_7		
TRCCLK	P4_3	入力	外部クロック入力
TRCTRG	P3_7、P4_3、またはP4_4	入力	PWM2モードの外部トリガ入力

20.2 レジスタの説明

表20.3にタイマRC関連レジスタ一覧を示します。

表 20.3　タイマRC関連レジスタ一覧

<table>
<tr><th rowspan="3">番地</th><th rowspan="3">シンボル</th><th colspan="4">モード</th><th rowspan="3">参照先</th></tr>
<tr><th colspan="2">タイマ</th><th rowspan="2">PWM</th><th rowspan="2">PWM2</th></tr>
<tr><th>インプットキャプチャ機能</th><th>アウトプットコンペア機能</th></tr>
<tr><td>0008h</td><td>MSTCR</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.1　モジュールスタンバイ制御レジスタ(MSTCR)</td></tr>
<tr><td>0120h</td><td>TRCMR</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.2　タイマRCモードレジスタ(TRCMR)</td></tr>
<tr><td>0121h</td><td>TRCCR1</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>タイマRC制御レジスタ1
20.2.3　タイマRC制御レジスタ1(TRCCR1)
20.5.1　タイマRC制御レジスタ1(TRCCR1)[タイマモード(アウトプットコンペア機能)時]
20.6.1　タイマRC制御レジスタ1(TRCCR1)[PWMモード時]
20.7.1　タイマRC制御レジスタ1(TRCCR1)[PWM2モード時]</td></tr>
<tr><td>0122h</td><td>TRCIER</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.4　タイマRC割り込み許可レジスタ(TRCIER)</td></tr>
<tr><td>0123h</td><td>TRCSR</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.5　タイマRCステータスレジスタ(TRCSR)</td></tr>
<tr><td>0124h</td><td>TRCIOR0</td><td rowspan="2">有効</td><td rowspan="2">有効</td><td rowspan="2">—</td><td rowspan="2">—</td><td rowspan="2">タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1
20.2.6　タイマRC I/O制御レジスタ0(TRCIOR0)
20.2.7　タイマRC I/O制御レジスタ1(TRCIOR1)
20.4.1　タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(インプットキャプチャ機能)時]
20.4.2　タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(インプットキャプチャ機能)時]
20.5.2　タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(アウトプットコンペア機能)時]
20.5.3　タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(アウトプットコンペア機能)時]</td></tr>
<tr><td>0125h</td><td>TRCIOR1</td></tr>
<tr><td>0126h
0127h</td><td>TRC</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.8　タイマRCカウンタ(TRC)</td></tr>
<tr><td>0128h
0129h</td><td>TRCGRA</td><td rowspan="4">有効</td><td rowspan="4">有効</td><td rowspan="4">有効</td><td rowspan="4">有効</td><td rowspan="4">20.2.9　タイマRCジェネラルレジスタA、B、C、D(TRCGRA、TRCGRB、TRCGRC、TRCGRD)</td></tr>
<tr><td>012Ah
012Bh</td><td>TRCGRB</td></tr>
<tr><td>012Ch
012Dh</td><td>TRCGRC</td></tr>
<tr><td>012Eh
012Fh</td><td>TRCGRD</td></tr>
<tr><td>0130h</td><td>TRCCR2</td><td>—</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.10　タイマRC制御レジスタ2(TRCCR2)</td></tr>
<tr><td>0131h</td><td>TRCDF</td><td>有効</td><td>—</td><td>—</td><td>有効</td><td>20.2.11　タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)</td></tr>
<tr><td>0132h</td><td>TRCOER</td><td>—</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.12　タイマRCアウトプットマスタ許可レジスタ(TRCOER)</td></tr>
<tr><td>0133h</td><td>TRCADCR</td><td>—</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.13　タイマRCトリガ制御レジスタ(TRCADCR)</td></tr>
<tr><td>0181h</td><td>TRBRCSR</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.14　タイマRB/RC端子選択レジスタ(TRBRCSR)</td></tr>
<tr><td>0182h</td><td>TRCPSR0</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.15　タイマRC端子選択レジスタ0 (TRCPSR0)</td></tr>
<tr><td>0183h</td><td>TRCPSR1</td><td>有効</td><td>有効</td><td>有効</td><td>有効</td><td>20.2.16　タイマRC端子選択レジスタ1 (TRCPSR1)</td></tr>
</table>

—：無効

20.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I2Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I2Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I2Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1) レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

20.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	—	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット(注1)	0：タイマモード 1：PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット(注1)	0：タイマモード 1：PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット(注1)	0：タイマモード 1：PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0：PWM2モード 1：タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット(注2)	0：ジェネラルレジスタ 1：TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	TSTART	TRCカウント開始ビット	0：カウント停止 1：カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。
注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「20.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。

20.2.3 タイマRC制御レジスタ1(TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注2)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのインプットキャプチャまたは TRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. fOCO-Fを選択する場合は、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVIE	オーバフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W

20.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1)	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“1”になる要因] 「表20.4　各フラグが“1”になる要因」を参照	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表20.4　各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

表20.4　各フラグが“1”になる要因

ビットシンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプットコンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1～IOj0ビット(j=A、B、C、D)で選択したエッジ。
注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

20.2.6 タイマRC I/O制御レジスタ0(TRCIOR0)

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0：fOCO128信号 1：TRCIOA端子入力	R/W
b4	IOB0	TRCGRB 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。
注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

20.2.7 タイマRC I/O制御レジスタ1(TRCIOR1)

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0：TRCIOA出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0：TRCIOB出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

20.2.8 タイマRCカウンタ(TRC)

アドレス 0127h～0126h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRCSRレジスタのOVFビットが“1”になる	0000h～FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h～0128h番地(TRCGRA)、012Bh～012Ah番地(TRCGRB)、
012Dh～012Ch番地(TRCGRC)、012Fh～012Eh番地(TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	モードによって機能が異なる	R/W

TRCGRA～TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.2.10 タイマRC制御レジスタ2(TRCCR2)

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット (注2)	0：TRCGRA レジスタとのコンペアー致後もカウント継続 1：TRCGRAレジスタとのコンペアー致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「20.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

20.2.11 タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット(注2)	0：機能なし 1：機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット(注1、2)	b7 b6 0 0：f32 0 1：f8 1 0：f1 1 1：カウントソース(TRCCR1レジスタのTCK2～TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インプットキャプチャ機能のとき有効です。
注2. PWM2モードで、TRCCR2レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

20.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\mathrm{INT0}}$有効ビット	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\mathrm{INT0}}$端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

20.2.13 タイマRCトリガ制御レジスタ(TRCADCR)

アドレス 0133h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	A/DトリガA許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRAレジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGBE	A/DトリガB許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRBレジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGCE	A/DトリガC許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRCレジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGDE	A/DトリガD許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRDレジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

20.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRCTRGSEL1	TRCTRGSEL0	—	TRCCLKSEL0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	0：TRCCLK端子は使用しない 1：TRCCLK端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRCTRGSEL0	TRCTRG端子選択ビット	b7 b6 0 0：TRCTRG端子は使用しない 0 1：P3_7に割り当てる 1 0：P4_3に割り当てる 1 1：P4_4に割り当てる	R/W
b7	TRCTRGSEL1			R/W

タイマRBのレジスタ機能は備えていません。

タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定をする前にこのレジスタを設定してください。また、タイマRCの動作中はTRCCLKSEL0ビットの設定値を変更しないでください。

20.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCIOBSEL1	TRCIOBSEL0	—	—	—	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA端子選択ビット	0：TRCIOA端子は使用しない 1：TRCIOA端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 0 0：TRCIOB端子は使用しない 0 1：P4_5に割り当てる 1 0：P4_6に割り当てる 1 1：P4_7に割り当てる	R/W
b5	TRCIOBSEL1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—			

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

20.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	TRCIODSEL0	—	—	—	TRCIOCSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCSEL0	TRCIOC端子選択ビット(注1)	0：TRCIOC端子は使用しない 1：P4_6に割り当てる	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	TRCIODSEL0	TRCIOD端子選択ビット(注2)	0：TRCIOD端子は使用しない 1：P4_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

注1. TRCPSR0レジスタのTRCIOBSEL1～TRCIOBSEL0ビットを“10b”(TRCIOB端子をP4_6に割り当てる)に設定した場合は、TRCIOCSEL0ビットの内容にかかわらず、P4_6はTRCIOB端子になります。
注2. TRCPSR0レジスタのTRCIOBSEL1～TRCIOBSEL0ビットを“11b”(TRCIOB端子をP4_7に割り当てる)に設定した場合は、TRCIODSEL0ビットの内容にかかわらず、P4_7はTRCIOB端子になります。

TRCPSR1レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

20.3 複数モードに関わる共通事項

20.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。
表20.5にカウントソースの選択を、図20.2にカウントソースのブロック図を示します。

表20.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M fOCO-F	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M) TRCCR1レジスタのTCK2～TCK0ビットが“111b”(fOCO-F)
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

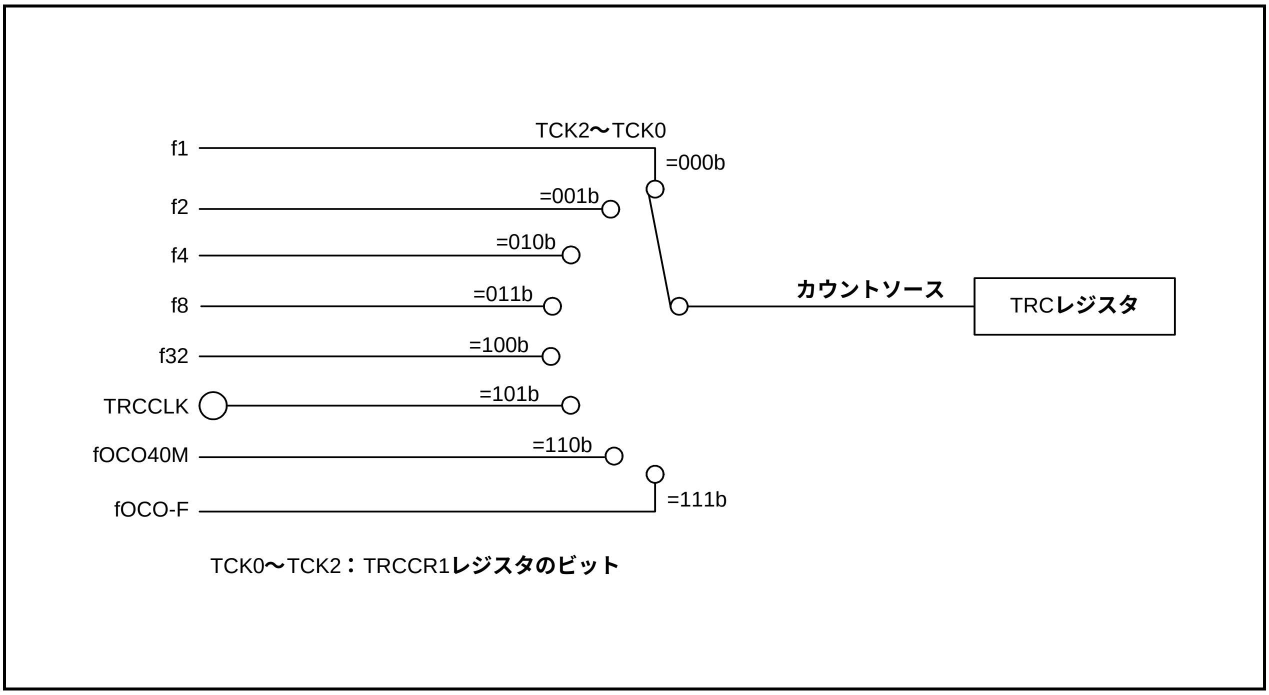


図20.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表20.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

20.3.2 バッファ動作

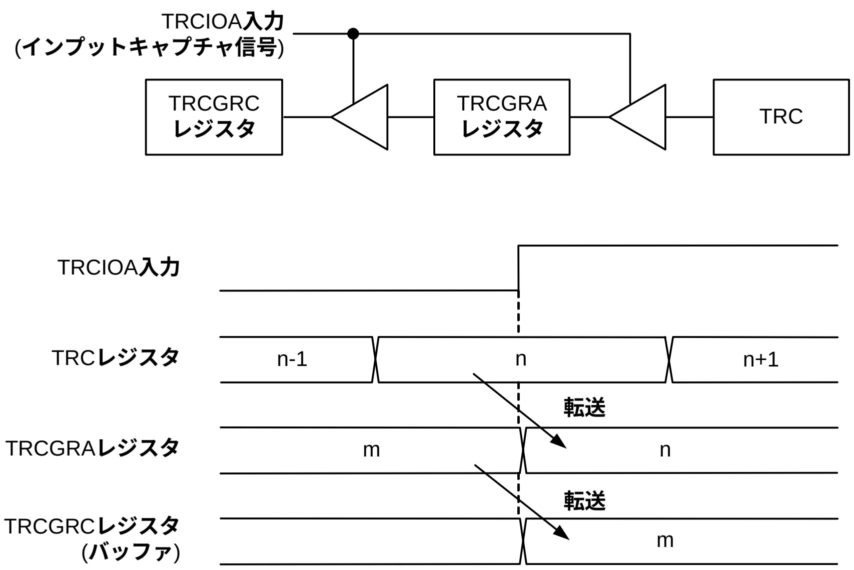
TRCMR レジスタの BFC、BFD ビットで、TRCGRC、TRCGRD レジスタを TRCGRA、TRCGRB レジスタのバッファレジスタにできます。

- TRCGRA のバッファレジスタ：TRCGRC レジスタ
- TRCGRB のバッファレジスタ：TRCGRD レジスタ

バッファ動作は、モードによって違います。表 20.6 に各モードのバッファ動作を、図 20.3 にインプットキャプチャ機能のバッファ動作を、図20.4にアウトプットコンペア機能のバッファ動作を示します。

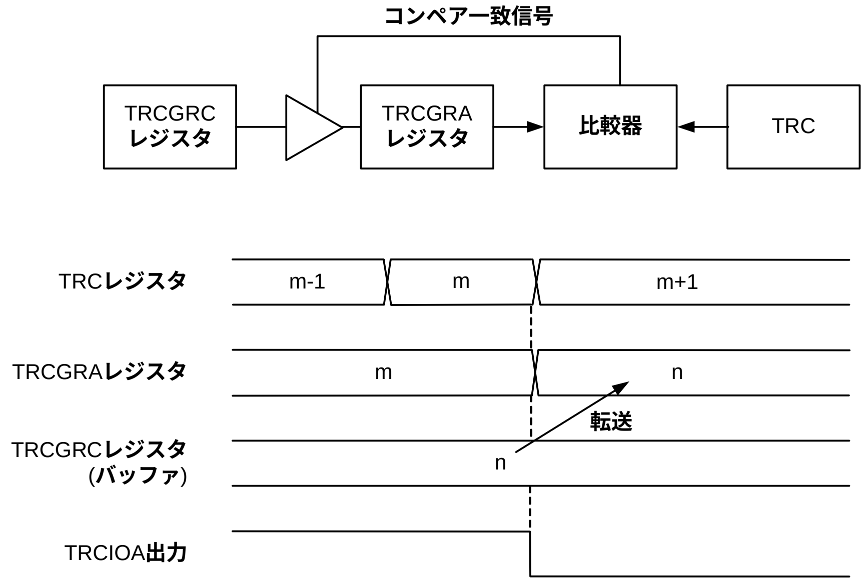
表 20.6　各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRC レジスタと TRCGRA(TRCGRB) レジスタのコンペア一致	バッファレジスタの内容を TRCGRA(TRCGRB) レジスタに転送
PWM モード		
PWM2 モード	• TRC レジスタと TRCGRA レジスタのコンペア一致 • TRCTRG 端子トリガ入力	バッファレジスタ (TRCGRD) の内容を TRCGRB レジスタに転送



上図は次の条件の場合です。
・TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)
・TRCIOR0レジスタのIOA2～IOA0ビット“100b”(立ち上がりエッジでインプットキャプチャ)

図20.3　インプットキャプチャ機能のバッファ動作



上図は次の場合です。
・TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)
・TRCIOR0レジスタのIOA2～IOA0ビット“001b”(コンペア一致で“L”出力)

図20.4　　アウトプットコンペア機能のバッファ動作

タイマモードでは次のようにしてください。
- TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合
  TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合
  TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペア機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペア一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

インプットキャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

20.3.3 デジタルフィルタ

TRCTRG入力またはTRCIOj(j＝A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図20.5にデジタルフィルタのブロック図を示します。

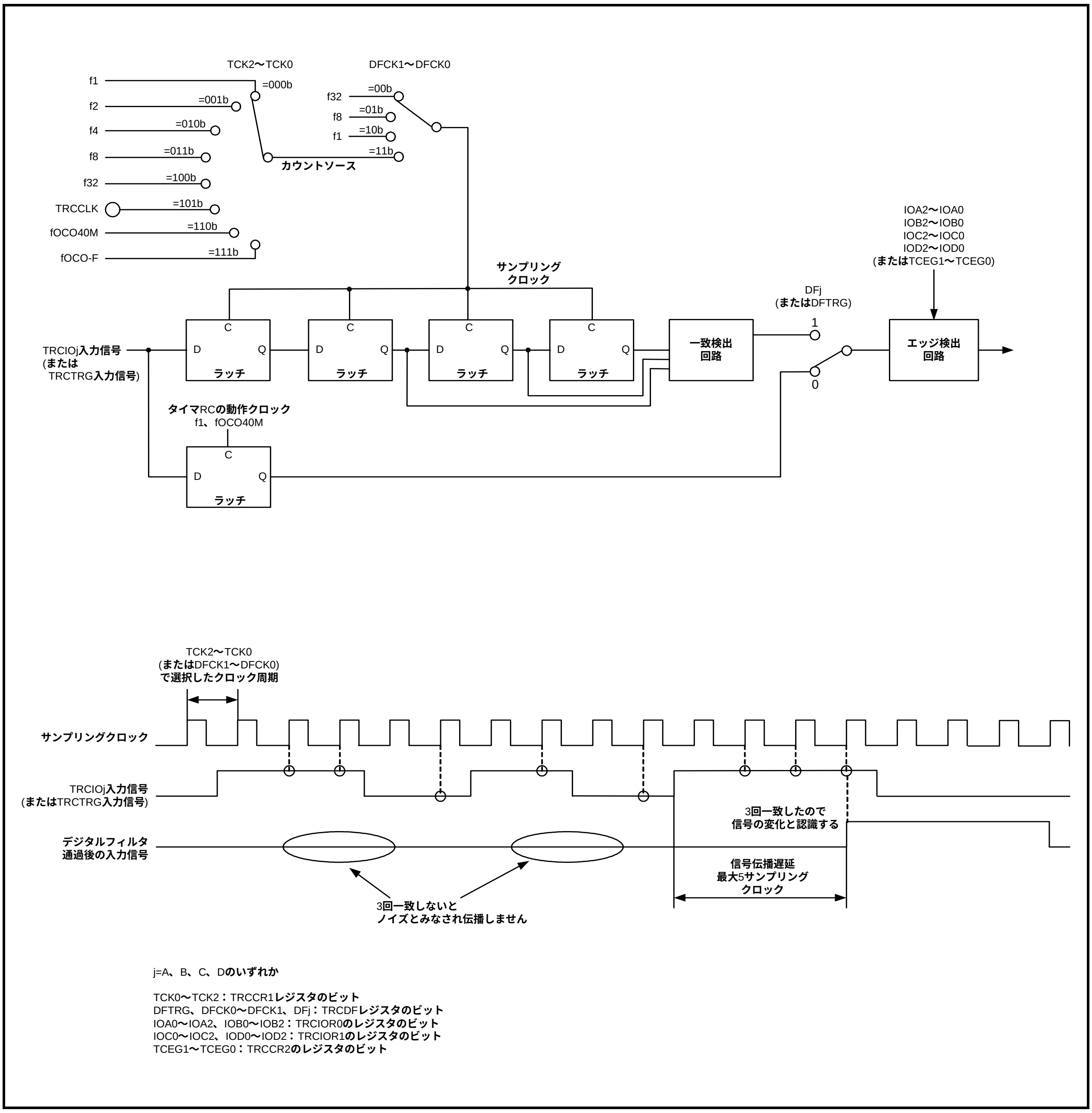


図20.5 デジタルフィルタのブロック図

20.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、$\overline{\mathrm{INT0}}$端子の入力によってTRCIOj(j＝A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力$\overline{\mathrm{INT0}}$有効)のとき、$\overline{\mathrm{INT0}}$端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。$\overline{\mathrm{INT0}}$端子に“L”を入力してから、タイマRCの動作クロック(「表20.1　タイマRCの動作クロック」参照)の1～2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7.　I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”($\overline{\mathrm{INT0}}$入力許可)、INT0PLビットを“0”(片エッジ)にする。
- $\overline{\mathrm{INT0}}$を選択したI/Oポートの方向レジスタを“0”(入力モード)にする。
  INTSRレジスタのINT0SEL0ビットで$\overline{\mathrm{INT0}}$をP3_0に割り当てたときは、PD3レジスタのPD3_0ビットを“0”(入力モード)にする。
  INTSRレジスタのINT0SEL0ビットで$\overline{\mathrm{INT0}}$をP11_0に割り当てたときは、PD11レジスタのPD11_0ビットを“0”(入力モード)にする。
- $\overline{\mathrm{INT0}}$のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力$\overline{\mathrm{INT0}}$有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、$\overline{\mathrm{INT0}}$端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「12.8　割り込み使用上の注意」参照)。

割り込みの詳細は「12.　割り込み」を参照してください。

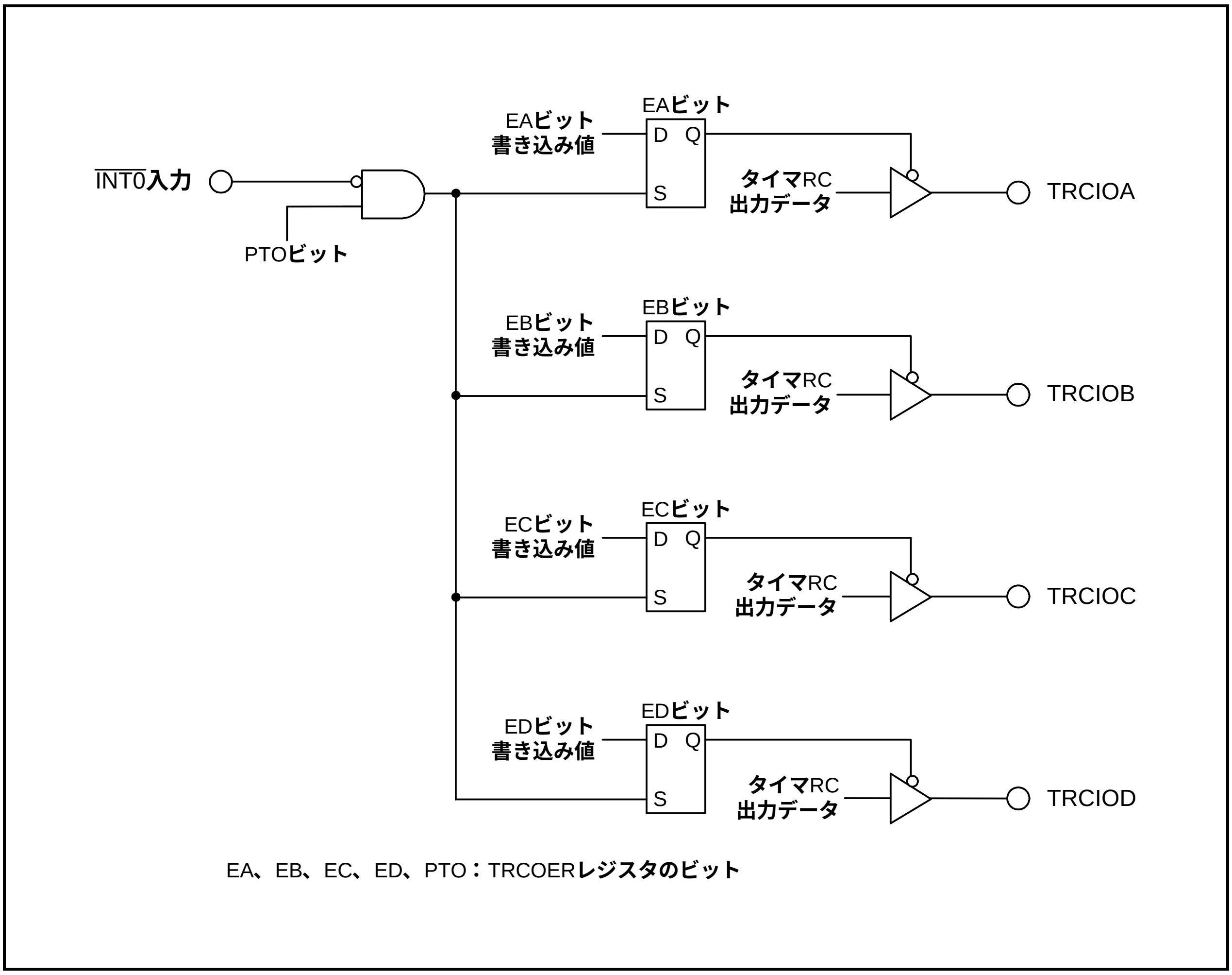


図20.6 **パルス出力強制遮断**

20.4　タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

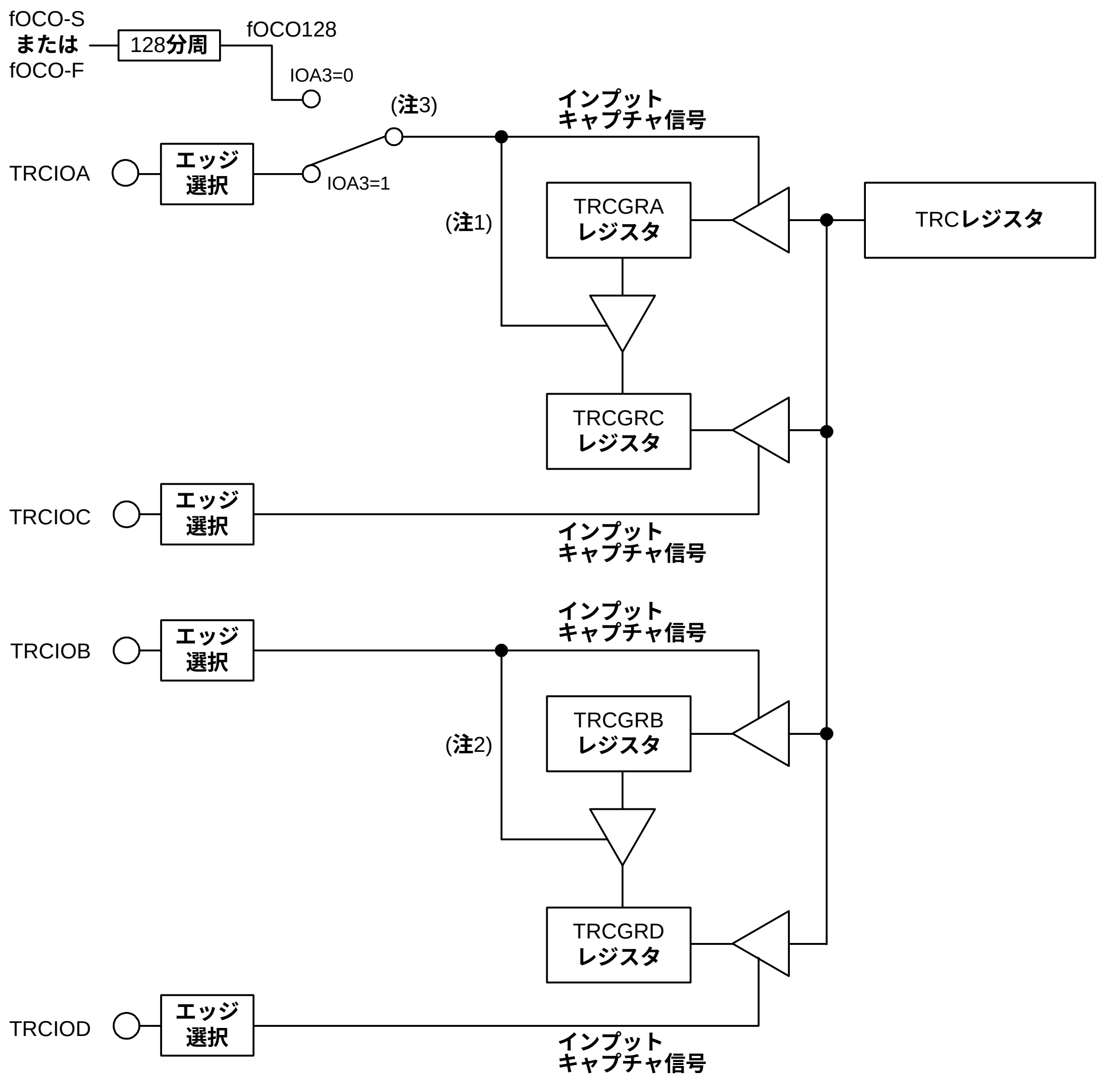
なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表20.7にインプットキャプチャ機能の仕様を、図20.7にインプットキャプチャ機能のブロック図を、表20.8にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図20.8にインプットキャプチャ機能の動作例を示します。

表20.7　インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	• TRCCR1レジスタのCCLRビットが"0"(フリーランニング動作)の場合 1/fk × 65536　fk：カウントソースの周波数 •TRCCR1レジスタのCCLRビットが"1"(TRCGRAのインプットキャプチャでTRCレジスタを"0000h"にする)の場合 1/fk × (n+1) n：TRCGRAレジスタ設定値
カウント開始条件	TRCMRレジスタのTSTARTビットへの"1"(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの"0"(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	• インプットキャプチャ(TRCIOj入力の有効エッジ) • TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める。
選択機能	• インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 • インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • バッファ動作(「20.3.2　バッファ動作」参照) • デジタルフィルタ(「20.3.3　デジタルフィルタ」参照) • TRCレジスタを"0000h"にするタイミング オーバフローまたはインプットキャプチャ

j = A、B、C、Dのいずれか



IOA3：TRCIOR0レジスタのビット

注1．TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)のときです。
注2．TRCMRレジスタのBFDビットが“1”(TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のときです。
注3．TRCGRAレジスタのトリガ入力は、TRCIOA端子入力またはfOCO128信号が選択できます。

図20.7　　インプットキャプチャ機能のブロック図

20.4.1 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(インプットキャプチャ機能)時]

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	b1 b0 0 0：立ち上がりエッジでTRCGRAへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRAへインプットキャプチャ 1 0：両エッジでTRCGRAへインプットキャプチャ 1 1：設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	インプットキャプチャ機能では“1”にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット(注3)	0 ：fOCO128信号 1 ：TRCIOA端子入力	R/W
b4	IOB0	TRCGRB 制御ビット	b5 b4 0 0：立ち上がりエッジでTRCGRBへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRBへインプットキャプチャ 1 0：両エッジでTRCGRBへインプットキャプチャ 1 1：設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	インプットキャプチャ機能では“1”(にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。
注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

20.4.2 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(インプットキャプチャ機能)時]

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 0 0：立ち上がりエッジでTRCGRCへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRCへインプットキャプチャ 1 0：両エッジでTRCGRCへインプットキャプチャ 1 1：設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 0 0：立ち上がりエッジでTRCGRDへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRDへインプットキャプチャ 1 0：両エッジでTRCGRDへインプットキャプチャ 1 1：設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	“1”にしてください	R/W

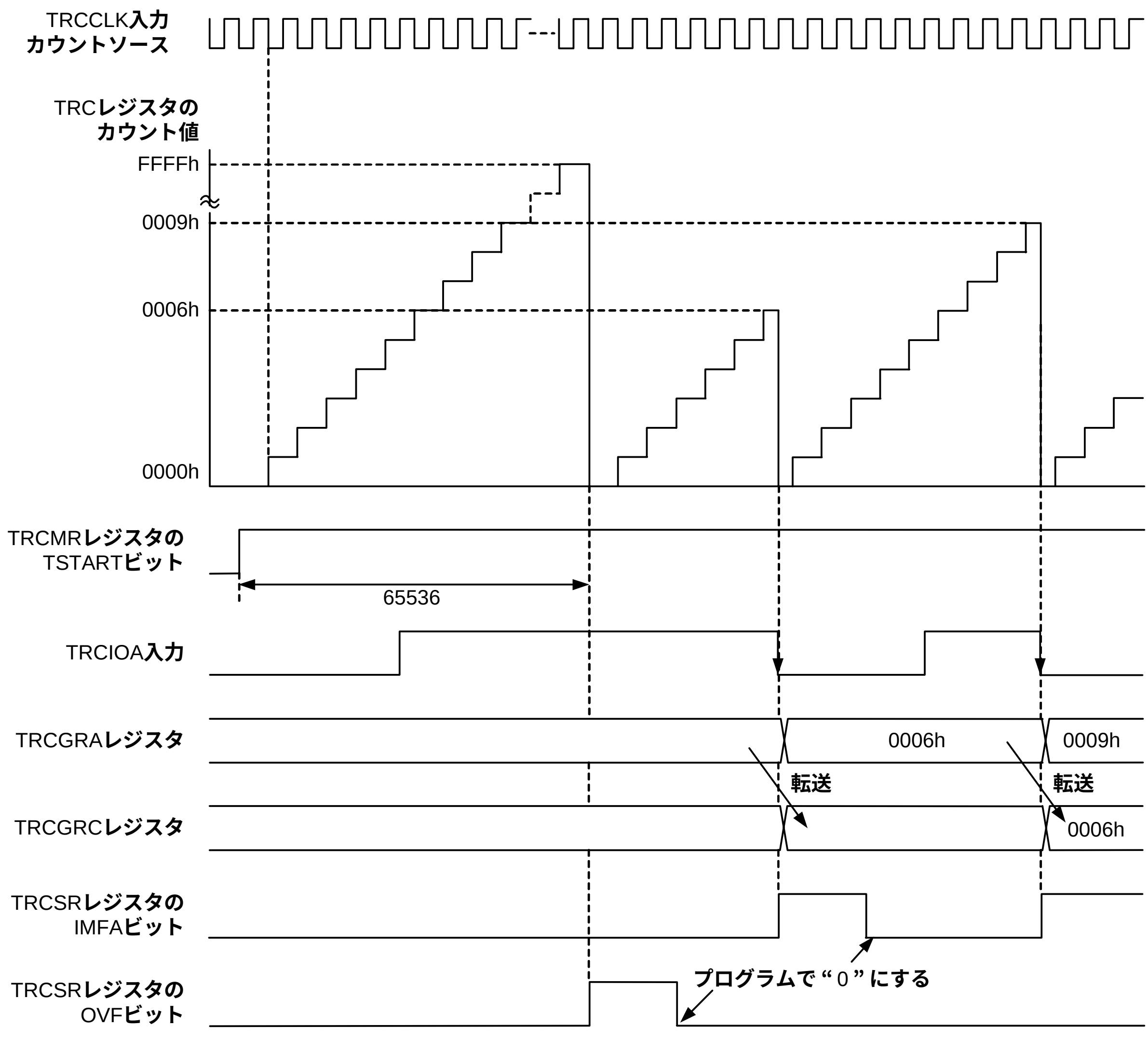
注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表 20.8　インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA	—	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「20.3.2　バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット

20.4.3 動作例



上図は次の条件の場合です。
・TRCCR1レジスタのCCLRビットが“1”(インプットキャプチャでTRCカウンタをクリア)
・TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースはTRCCLK入力)
・TRCIORAレジスタのIOA2～IOA0ビットが“101b”(TRCIOA入力の立ち下がりエッジでインプットキャプチャ)
・TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)

図20.8　インプットキャプチャ機能の動作例

20.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j＝A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIOj端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表20.9にアウトプットコンペア機能の仕様を、図20.9にアウトプットコンペア機能のブロック図を、表20.10にアウトプットコンペア機能時のTRCGRjレジスタの機能を、図20.10にアウトプットコンペア機能の動作例を示します。

表20.9　アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	• TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 1/fk × 65536　fk：カウントソースの周波数 • TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 1/fk × (n+1) n：TRCGRAレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 • TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRCレジスタを“0000h”にするタイミング オーバフロー、またはTRCGRAレジスタのコンペア一致 • バッファ動作(「20.3.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「20.3.4　パルス出力強制遮断」参照) • タイマRCは出力しないことで内部タイマとして使用できる • TRCGRC、TRCGRDの出力端子変更 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用できる • A/Dトリガ発生

j＝A、B、C、Dのいずれか

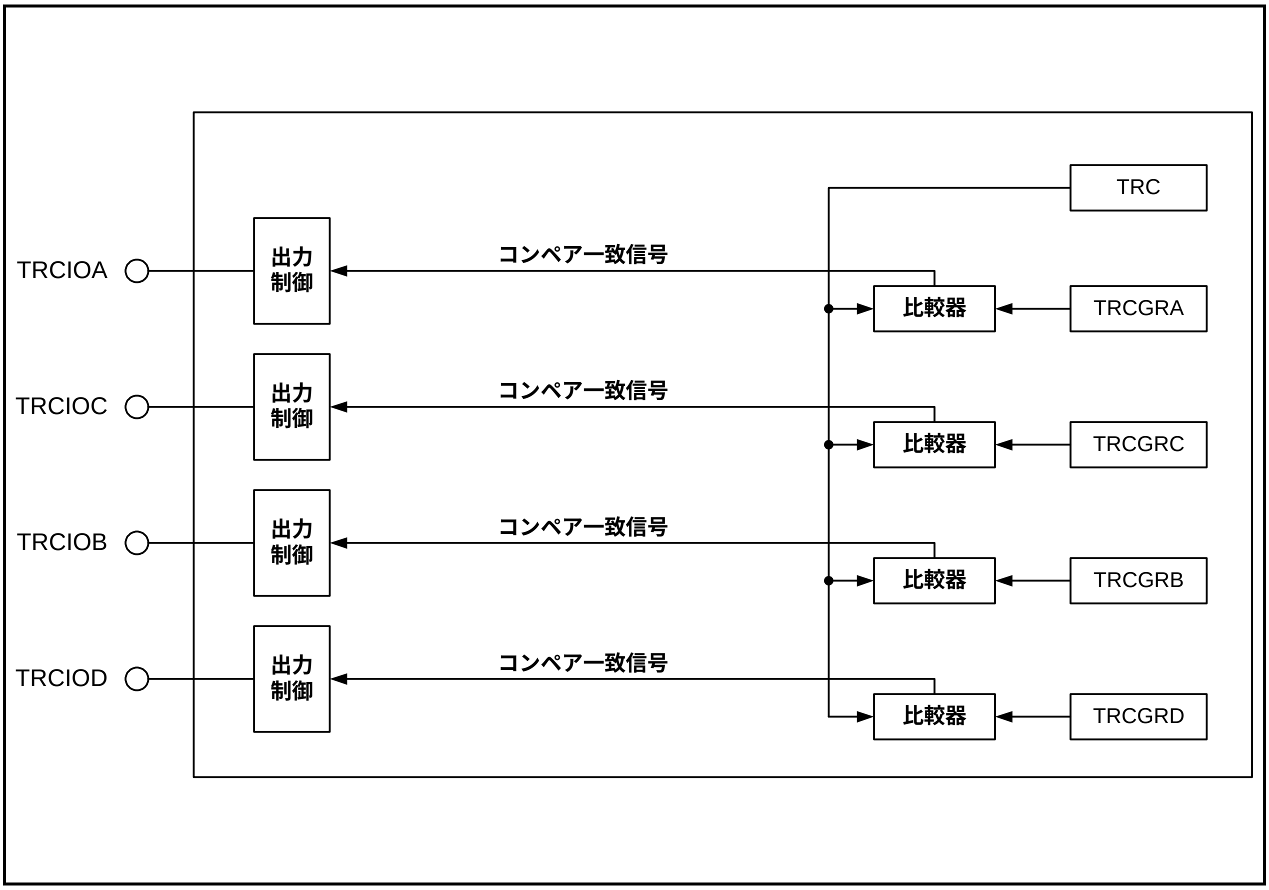


図20.9 アウトプットコンペア機能のブロック図

20.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0：初期出力“L” 1：初期出力“H”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. 端子の機能が波形出力の場合(「7.6　ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。
注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表 20.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプットコンペア出力端子
TRCGRA	—	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください。(「20.3.2　バッファ動作」参照)	TRCIOA
TRCGRD	BFD=1		TRCIOB

j＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット

20.5.2 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(アウトプットコンペア機能)時]

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 0 1：TRCGRAのコンペア一致で“L”出力 1 0：TRCGRAのコンペア一致で“H”出力 1 1：TRCGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	アウトプットコンペア機能では“0”にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4	IOB0	TRCGRB 制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 0 1：TRCGRBのコンペア一致で“L”出力 1 0：TRCGRBのコンペア一致で“H”出力 1 1：TRCGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	アウトプットコンペア機能では“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

20.5.3 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 0 1：TRCGRCのコンペア一致で“L”出力 1 0：TRCGRCのコンペア一致で“H”出力 1 1：TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	アウトプットコンペア機能では“0”にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0：TRCIOA出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 0 1：TRCGRDのコンペア一致で“L”出力 1 0：TRCGRDのコンペア一致で“H”出力 1 1：TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	アウトプットコンペア機能では“0”にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0：TRCIOB出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

20.5.4 タイマRC制御レジスタ2(TRCCR2)[タイマモード(アウトプットコンペア機能)時

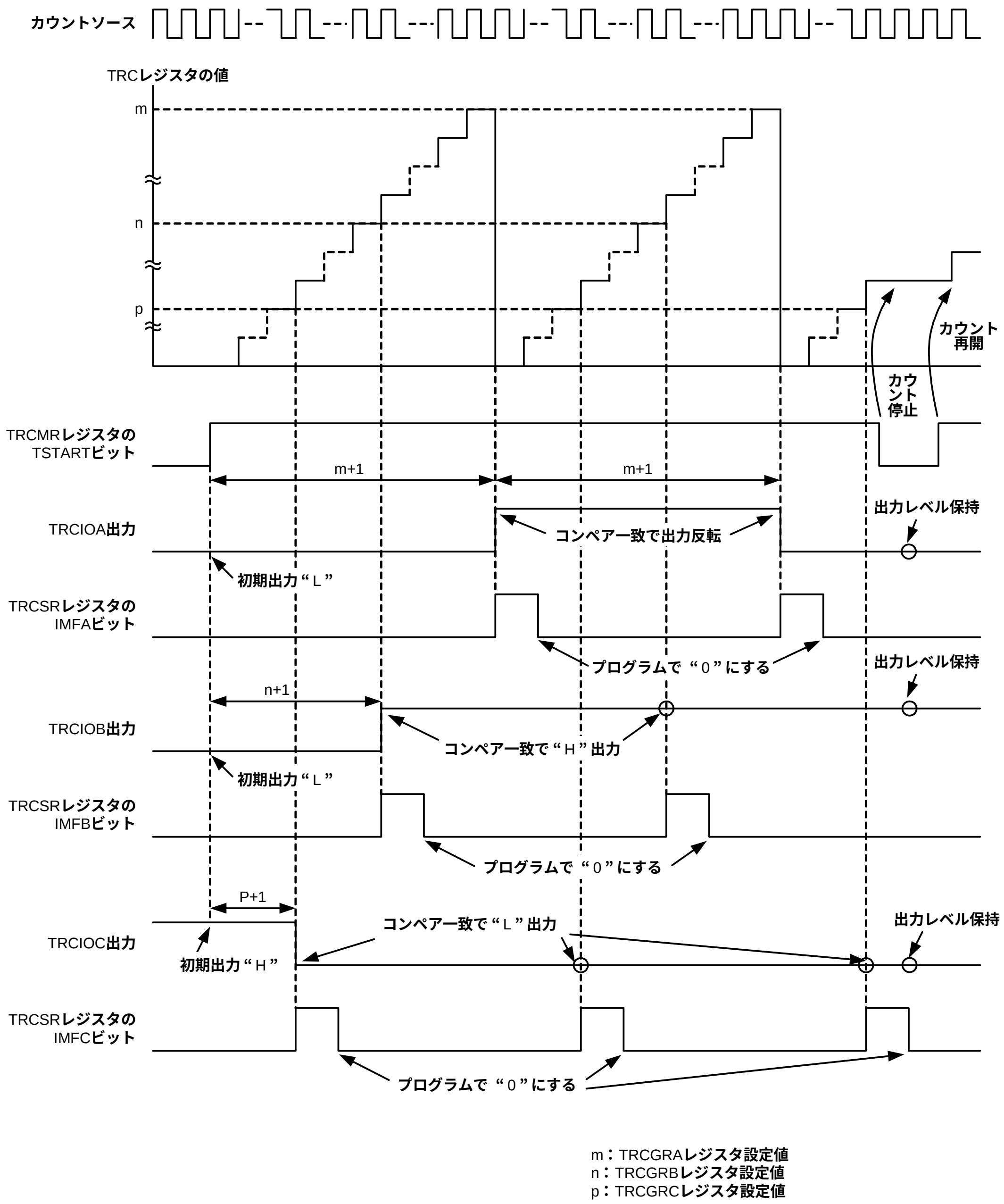
アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット(注2)	0：TRCGRA レジスタとのコンペア一致後もカウント継続 1：TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット(注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「20.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

20.5.5 動作例



上図は次の条件の場合です。
- TRCMRレジスタのBFC、BFDビットが“0”(TRCGRC、TRCGRDバッファ動作しない)
- TRCOERレジスタのEA、EB、ECビットが“0”(TRCIOA、TRCIOB、TRCIOC出力許可)
- TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)
- TRCCR1レジスタのTOA、TOBビットが“0”(コンペア一致までの初期出力“L”)、TOCビットが“1”(コンペア一致までの初期出力“H”)
- TRCIOR0レジスタのIOA2~IOA0ビットが“011b”(TRCGRAコンペア一致時、TRCIOA出力反転)
- TRCIOR0レジスタのIOB2~IOB0ビットが“010b”(TRCGRBコンペア一致時、TRCIOB“H”出力)
- TRCIOR1レジスタのIOC2~IOC0ビットが“001b”(TRCGRCコンペア一致時、TRCIOC“L”出力)
- TRCCR2レジスタのCSELビットが“0”(TRCGRAコンペア一致後もTRCカウント継続)

図20.10 アウトプットコンペア機能の動作例

20.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

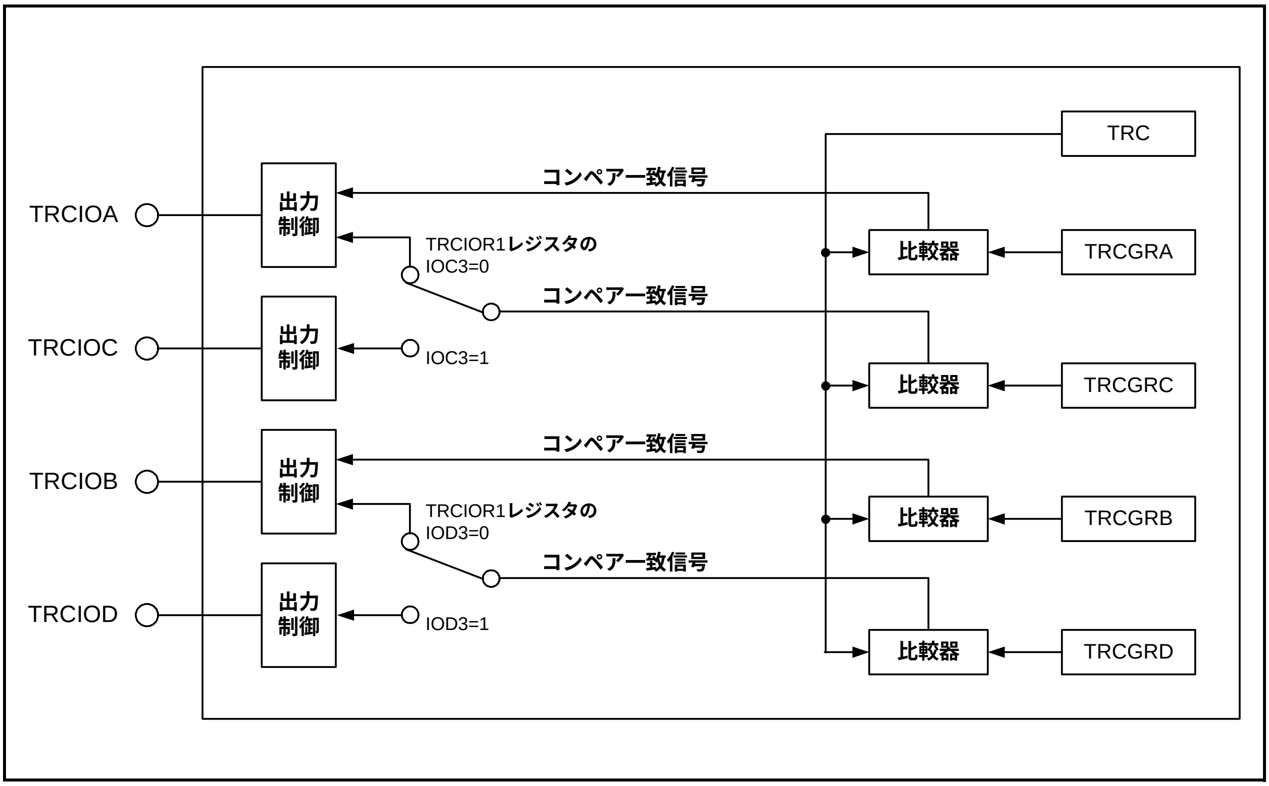
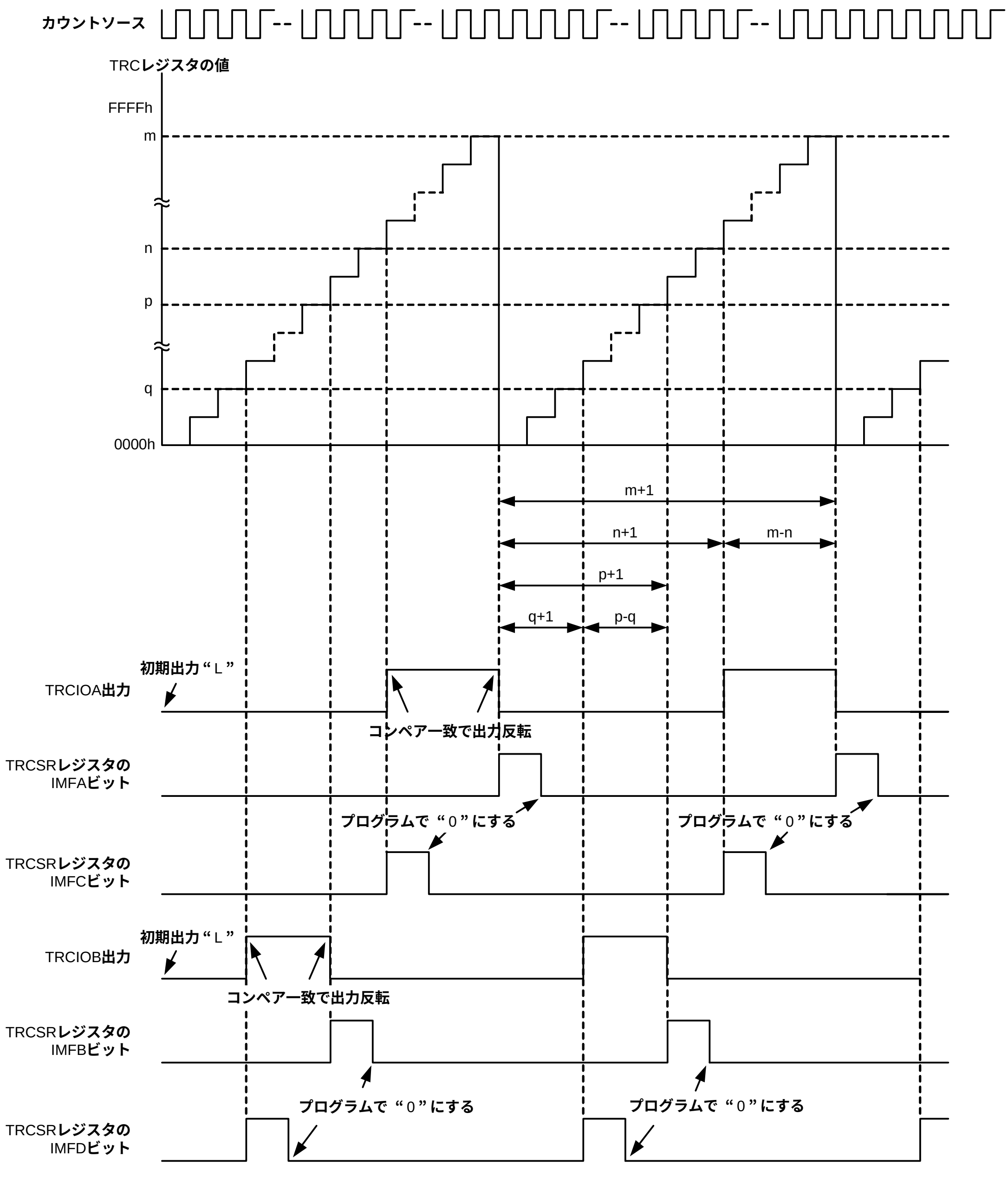


図20.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図20.12にTRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例を示します。



上図は次の条件の場合です。
- TRCMRレジスタのBFC、BFDビットが“0”(TRCGRC、TRCGRDバッファ動作しない)
- TRCOERレジスタのEA、EBビットが“0”(TRCIOA、TRCIOB出力許可)
- TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペアー致でTRCレジスタを“0000h”にする)
- TRCCR1レジスタのTOA、TOBビットが“0”(コンペアー致までの初期出力“L”)
- TRCIOR0レジスタのIOA2~IOA0ビットが“011b”(TRCGRAコンペアー致時、TRCIOA出力反転)
- TRCIOR0レジスタのIOB2~IOB0ビットが“011b”(TRCGRBコンペアー致時、TRCIOB出力反転)
- TRCIOR1レジスタのIOC2~IOC0ビットが“011b”(TRCGRCコンペアー致時、TRCIOA出力反転)
- TRCIOR1レジスタのIOC3ビットが“0”(TRCIOA出力レジスタ)
- TRCIOR1レジスタのIOD2~IOD0ビットが“011b”(TRCGRDコンペアー致時、TRCIOB出力反転)
- TRCIOR1レジスタのIOD3ビットが“0”(TRCIOB出力レジスタ)
- TRCCR2レジスタのCSELビットが“0”(TRCはコンペアー致後もカウント継続)

図20.12　TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例

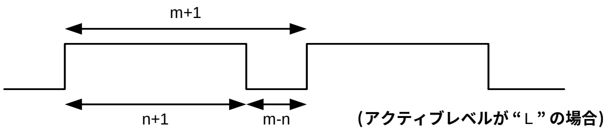
20.6　PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

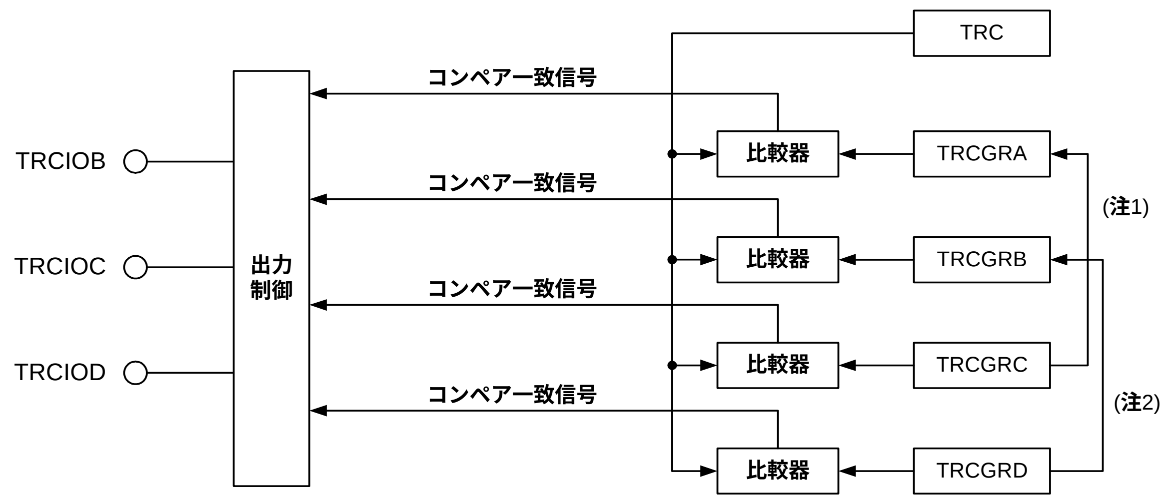
端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表20.11にPWMモードの仕様を、図20.13にPWMモードのブロック図を、表20.12にPWMモード時のTRCGRjレジスタの機能を、図20.14～図20.15にPWMモードの動作例を示します。

表 20.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期：1/fk×(m+1) アクティブレベル幅：1/fk×(m -n) アクティブでないレベルの幅：1/fk×(n+1) 　fk：カウントソースの周波数 　m：TRCGRAレジスタ設定値 　n：TRCGRhレジスタ設定値 
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持､TRCレジスタは停止前の値を保持 • TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• PWM出力端子を1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • バッファ動作(「20.3.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「20.3.4　パルス出力強制遮断」参照) • A/Dトリガ発生

h＝B、C、Dのいずれか
j＝A、B、C、Dのいずれか



注1．TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)のときです。
注2．TRCMRレジスタのBFDビットが“1”(TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のときです。

図20.13　PWMモードのブロック図

20.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. 端子の機能が波形出力の場合(「7.6　ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。
注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.6.2 タイマRC制御レジスタ2(TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット (注2)	0：TRCGRA レジスタとのコンペア一致後もカウント継続 1：TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「20.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

表 20.12 PWMモード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRCGRB	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「20.3.2　バッファ動作」参照)。	—
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.3.2　バッファ動作」参照)。	TRCIOB

j＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット
注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。

20.6.3　動作例

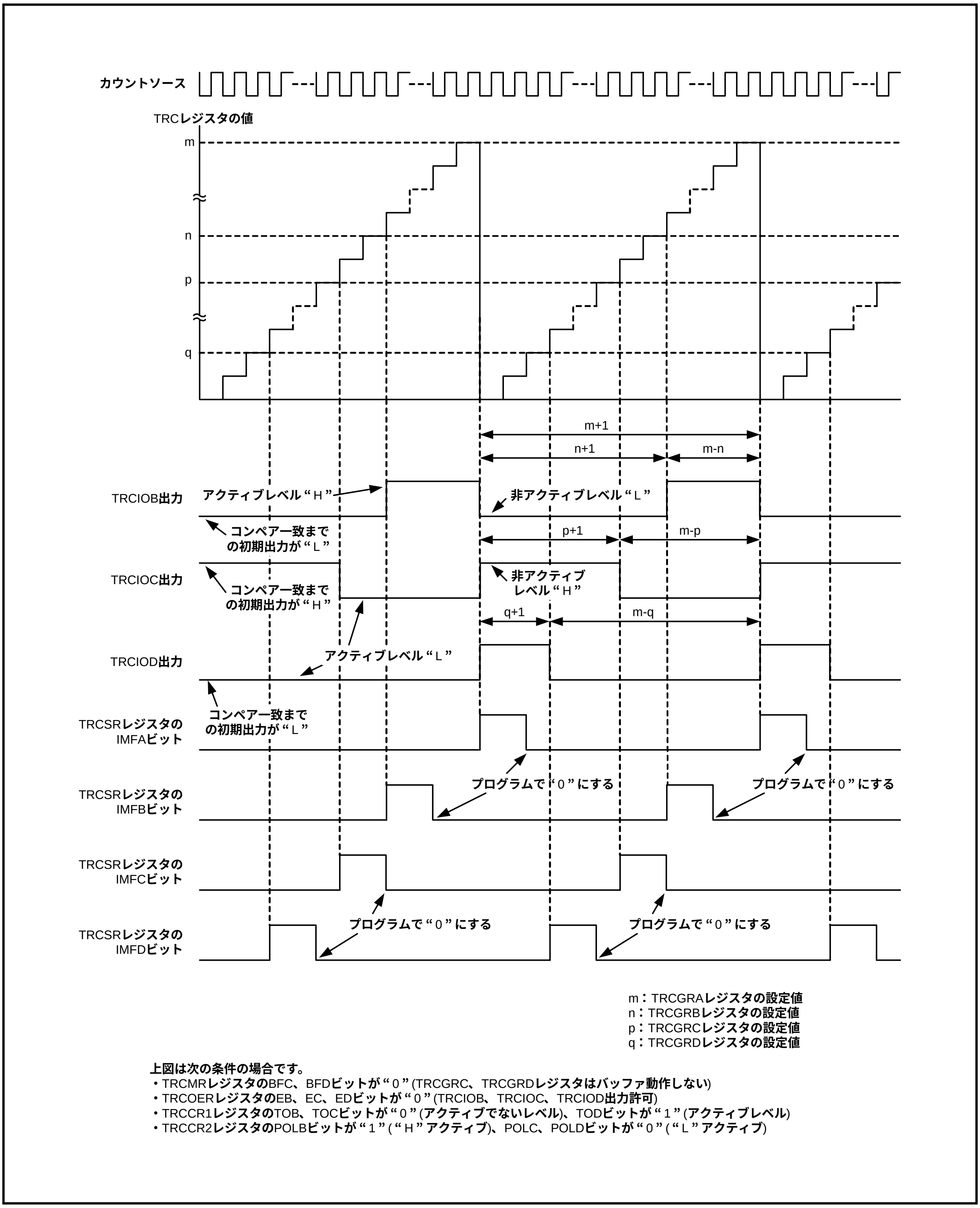


図20.14　PWM**モードの動作例**

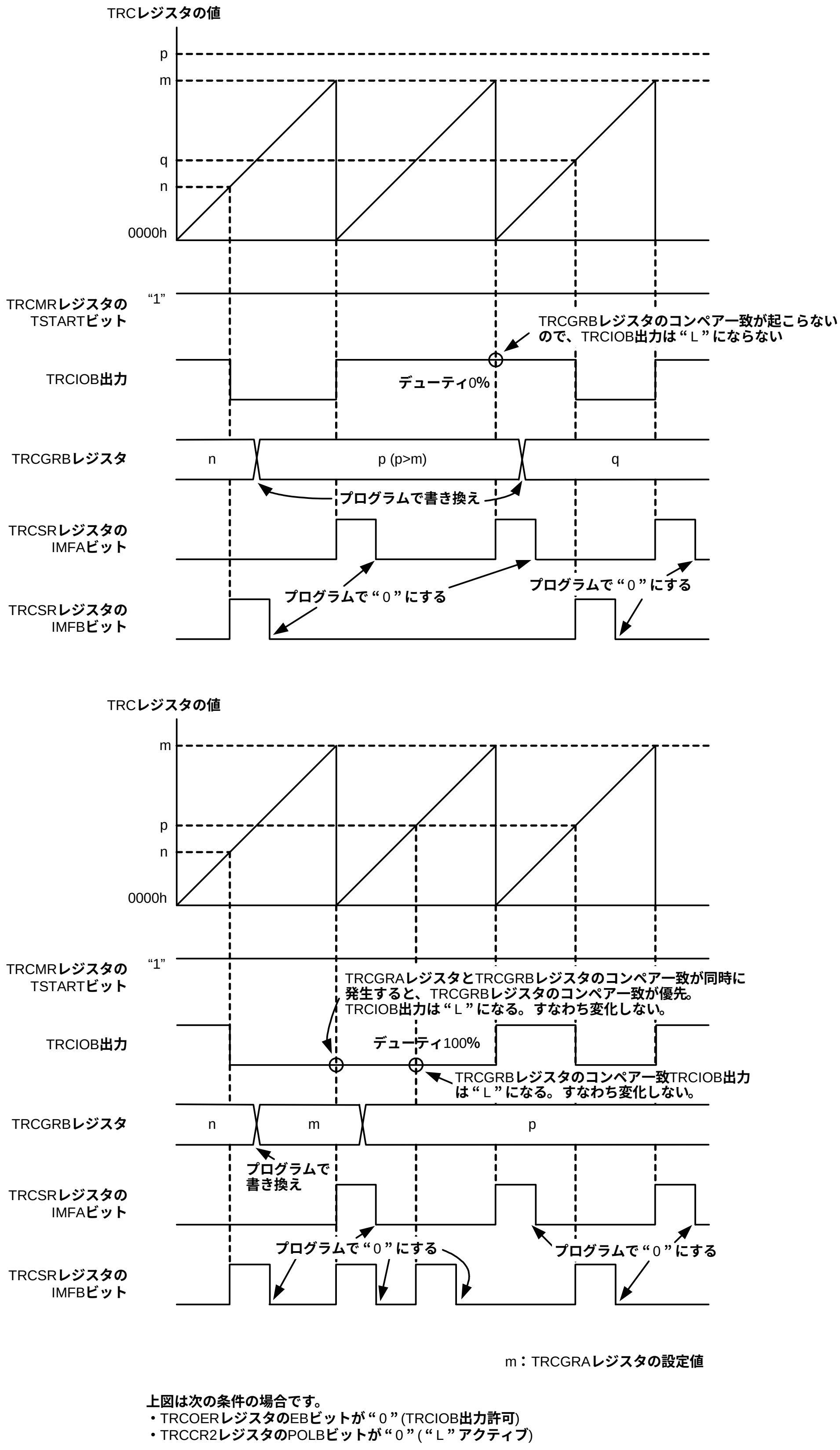


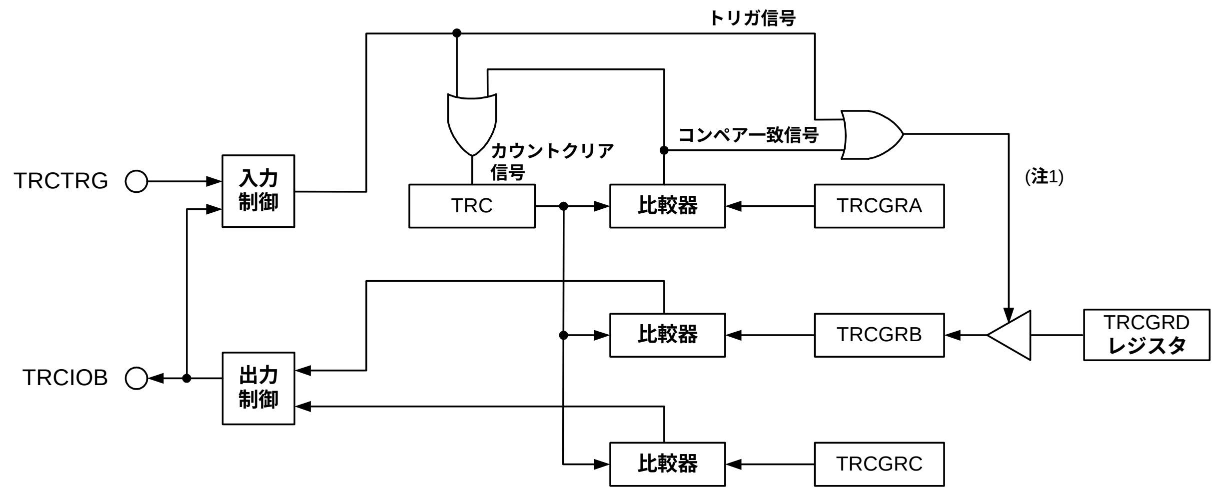
図20.15　PWMモードの動作例(デューティ0%、デューティ100%)

20.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間をおいて、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

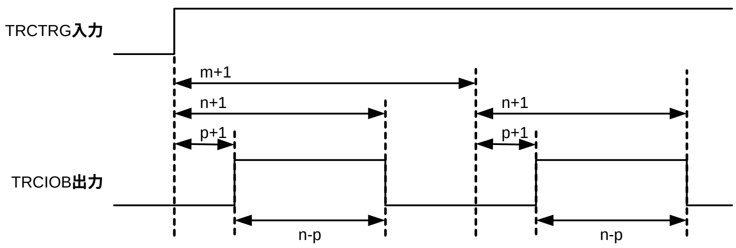
図20.16にPWM2モードのブロック図を、表20.13にPWM2モードの仕様を、表20.14にPWM2モード時のTRCGRjレジスタの機能を、図20.17～図20.19にPWM2モードの動作例を示します。



注1. TRCMRレジスタのBFDビットが“1”(TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のときです。

図20.16　PWM2モードのブロック図

表 20.13 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	PWM周期：1/fk×(m+1) (TRCTRG入力がない場合) アクティブレベル幅：1/fk×(n-p) カウント開始またはトリガからのウェイト時間：1/fk×(p+1) fk：カウントソースの周波数 m：TRCGRAレジスタ設定値 n：TRCGRBレジスタ設定値 p：TRCGRCレジスタ設定値  (TRCTRG：立ち上がりエッジ、アクティブレベルが“H”の場合)
カウント開始条件	• TRCCR2レジスタのTCEG1～TCEG0ビットが“00b”(TRCTRGトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み • TRCCR2 レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRG端子にトリガ入力
カウント停止条件	• TRCMR レジスタの TSTART ビットへの“0”(カウント停止)書き込み (TRCCR2 レジスタの CSEL ビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。 • TRCCR2 レジスタの CSEL ビットが“1”の場合、TRCGRA コンペア一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。
割り込み発生タイミング	• コンペア一致 (TRC レジスタと TRCGRj レジスタの内容が一致) • TRC レジスタオーバフロー
TRCIOA/TRCTRG端子機能	プログラマブル入出力ポート、またはTRCTRG入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• 外部トリガと有効エッジ選択 TRCTRG端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 • バッファ動作(「20.3.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「20.3.4　パルス出力強制遮断」参照) • デジタルフィルタ(「20.3.3　デジタルフィルタ」参照) • A/D トリガ発生

j＝A、B、C、Dのいずれか

20.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0：アクティブレベル“H” (初期出力“L” TRCGRCのコンペアー一致で“H”出力 TRCGRBのコンペアー一致で“L”出力) 1：アクティブレベル“L” (初期出力“H” TRCGRCのコンペアー一致で“L”出力 TRCGRBのコンペアー一致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペアー一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. 端子の機能が波形出力の場合(「7.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。
注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表 20.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB(注1)	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC(注1)	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	—
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください。(「20.3.2 バッファ動作」参照)	TRCIOB端子

j＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット
注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

20.7.2 タイマRC制御レジスタ2(TRCCR2)[PWM2モード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB(注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC(注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD(注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット(注2)	0：TRCGRAレジスタとのコンペア一致後もカウント継続 1：TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット(注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「20.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

20.7.3 タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)[PWM2モード時]

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット(注2)	0：機能なし 1：機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット(注1、2)	b7 b6 0 0：f32 0 1：f8 1 0：f1 1 1：カウントソース(TRCCR1レジスタのTCK2～TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インプットキャプチャ機能のとき有効です。
注2. PWM2モードで、TRCCR2レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

20.7.4 動作例

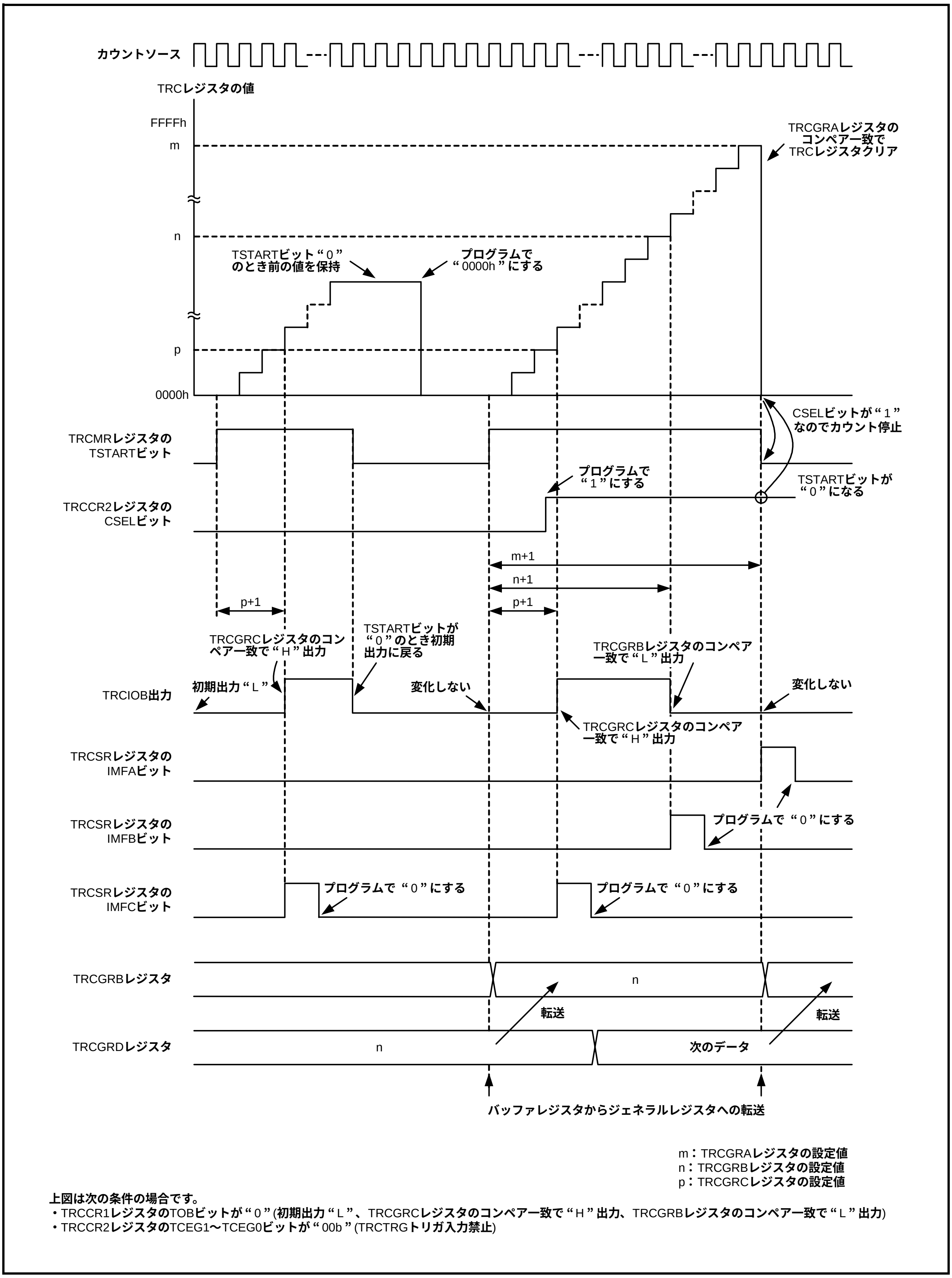
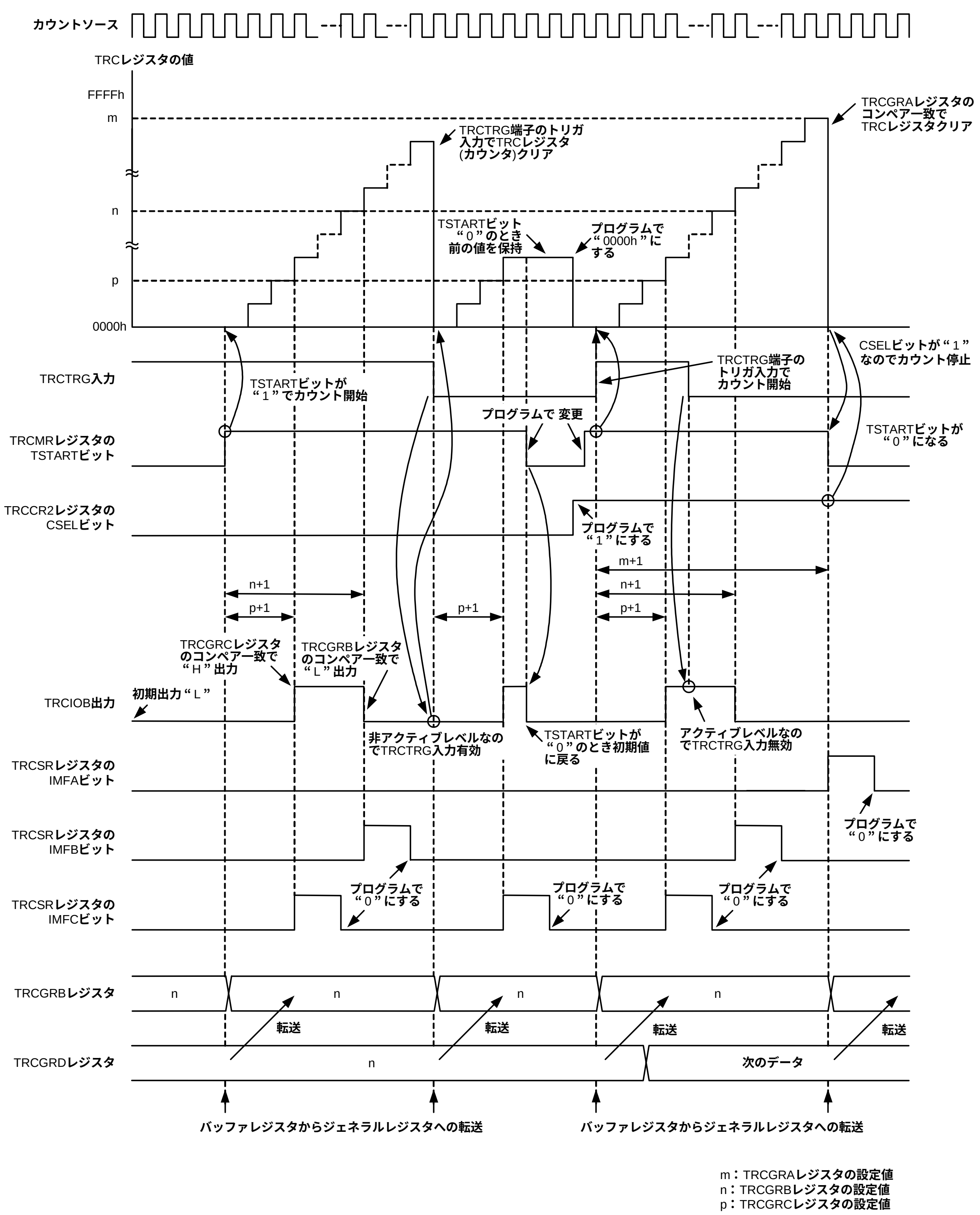


図20.17 PWM2**モードの動作例**(TRCTRG**トリガ入力禁止の場合**)



上図は次の条件の場合です。
・TRCCR1レジスタのTOBビットが“0”(初期出力“L”、TRCGRCレジスタのコンペア一致で“H”出力、TRCGRBレジスタのコンペア一致で“L”出力)
・TRCCR2レジスタのTCEG1～TCEG0ビットが“11b”(TRCTRG入力の立ち上がりエッジと立ち下がりエッジの両方がトリガになる)

図20.18　PWM2モードの動作例(TRCTRGトリガ入力許可の場合)

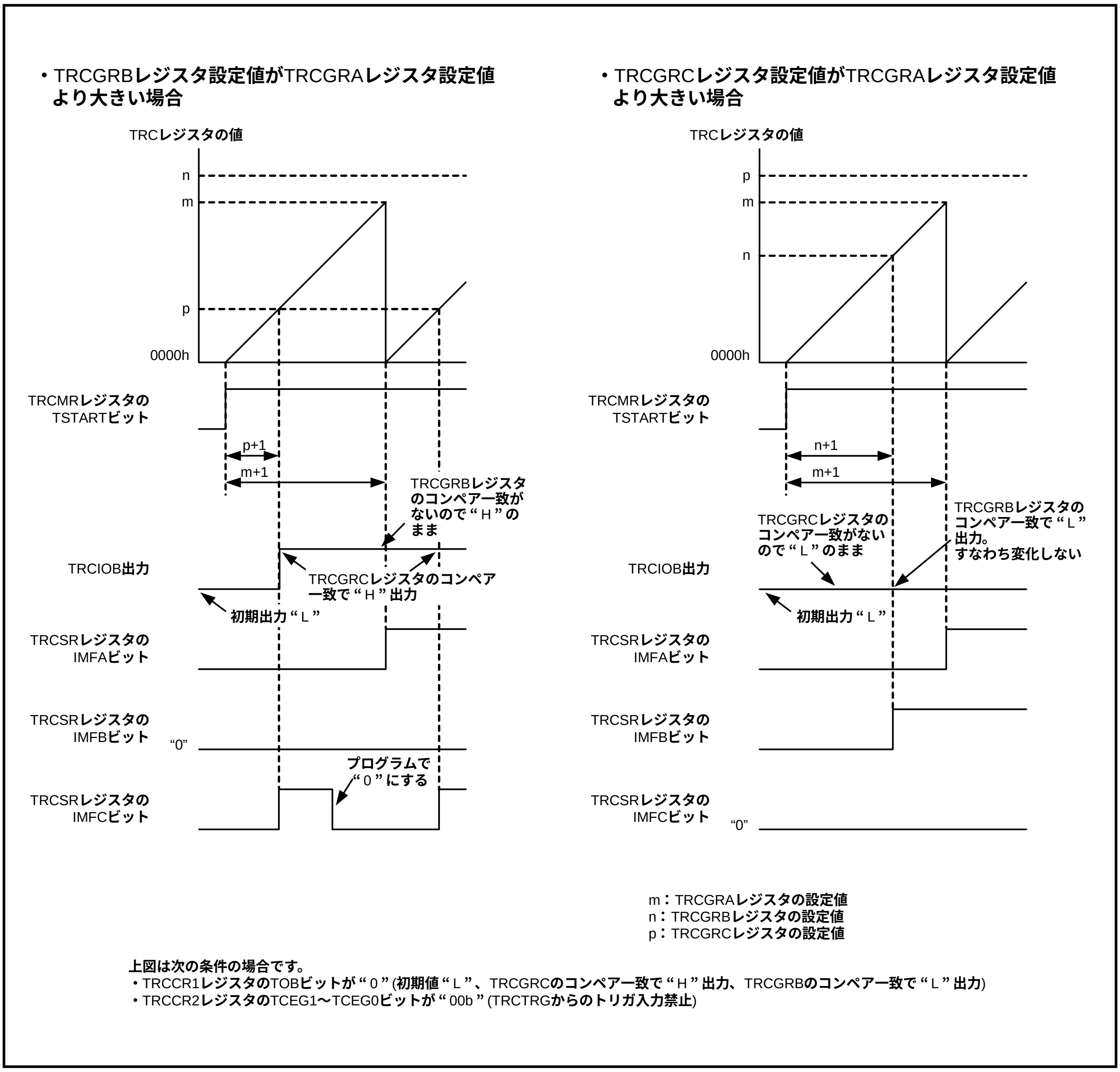


図20.19　PWM2モードの動作例(デューティ0%、デューティ100%)

20.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表20.15にタイマRC割り込み関連レジスタを、図20.20にタイマRC割り込みのブロック図を示します。

表20.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

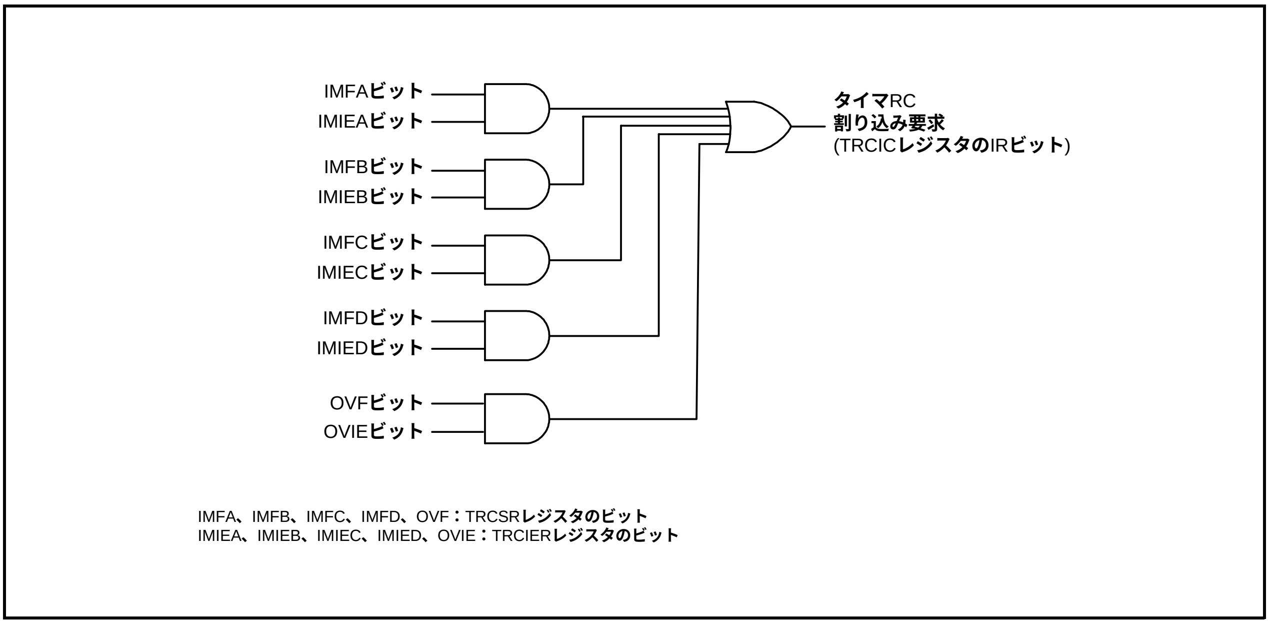


図20.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSR レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「20.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「20.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「12.3 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

20.9 タイマRC使用上の注意

20.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
  TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態で、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
  TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.W   #XXXXh, TRC       ；書き込み
                    JMP.B   L1                ；JMP.B命令
              L1:   MOV.W   TRC,DATA          ；読み出し
```

20.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.B   #XXh, TRCSR       ；書き込み
                    JMP.B   L1                ；JMP.B命令
              L1:   MOV.B   TRCSR,DATA        ；読み出し
```

20.9.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。
  変更手順

(1)　TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2)　TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3)　fOCO-Fの2サイクル以上待つ
(4)　FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
  変更手順

(1)　TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2)　TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3)　fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
(4)　FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

20.9.5　インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。
  [デジタルフィルタなしの場合]
  タイマRCの動作クロックの3サイクル分以上(「表20.1　タイマRCの動作クロック」参照)
  [デジタルフィルタありの場合]
  デジタルフィルタのサンプリングクロックの5サイクル分＋タイマRCの動作クロックの3サイクル分以上(「図20.5　デジタルフィルタのブロック図」参照)
- TRCIOj(j＝A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

20.9.6　PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

21. タイマRD

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

21.1 概要

タイマRDは、16ビットタイマを2本(タイマRD0、タイマRD1)持ちます。

タイマRDi(i＝0～1)は4本の入出力端子を持ちます。

タイマRDの動作クロックは、f1、fOCO40MまたはfOCO-Fです。表21.1にタイマRDの動作クロックを示します。

表21.1　タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースがf1、f2、f4、f8、f32、fC2、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

図21.1にタイマRDのブロック図を、表21.2にタイマRDの端子構成を示します。タイマRDは5種類のモードを持ちます。

- タイマモード
  - インプットキャプチャ機能　外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能　カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード　任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード　鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード　三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード　同一周期のPWM波形(2本)を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、タイマRDiの中でこれらの機能とモードを組み合わせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせて波形を出力します。端子の機能はモードによって決まります。

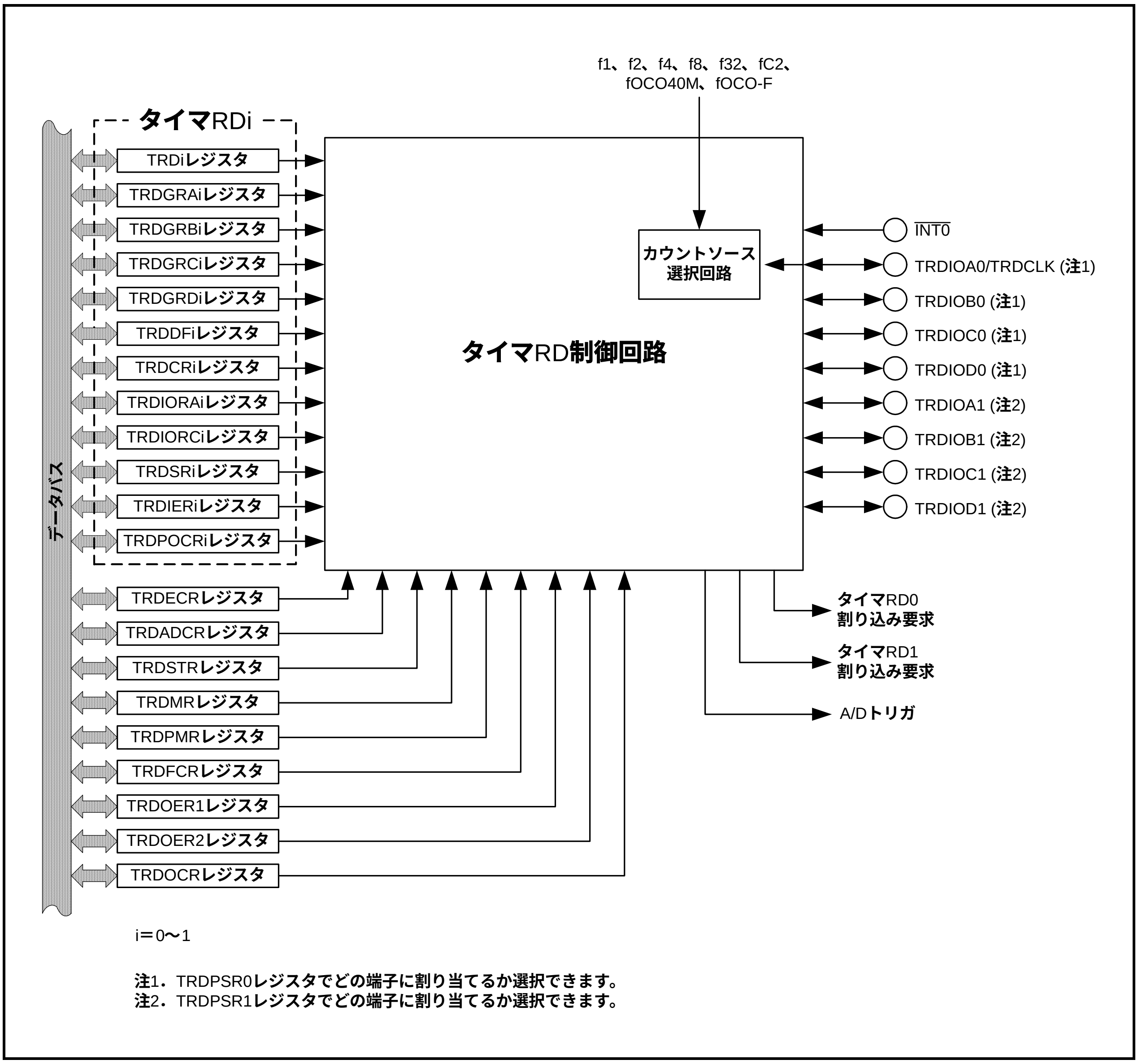


図21.1　　タイマRDのブロック図

表21.2　　タイマRDの端子構成

端子名	割り当てる端子	入出力	機能
TRDIOA0/TRDCLK	P6_0またはP10_0	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRDIOB0	P6_1またはP10_1	入出力	
TRDIOC0	P6_2またはP10_2	入出力	
TRDIOD0	P6_3またはP10_3	入出力	
TRDIOA1	P6_4またはP10_4	入出力	
TRDIOB1	P6_5またはP10_5	入出力	
TRDIOC1	P6_6またはP10_6	入出力	
TRDIOD1	P6_7またはP10_7	入出力	

21.2　複数モードに関わる共通事項

21.2.1　カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードではfC2を、PWM3モードでは外部クロックは選択できません。

表21.3　カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCRiレジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M(注1) fOCO-F	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRDCRiレジスタのTCK2～TCK0ビットが“110b”(fOCO40M) TRDCRiレジスタのTCK2～TCK0ビットが“111b”(fOCO-F)
fC2	TRDCRiレジスタのTCK2～TCK0ビットが“101b”(TRDCLKi入力またはfC2) TRDECRレジスタのITCLKiビットが“1”(fC2)
TRDCLK端子に入力された外部信号	TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効) TRDCRiレジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロック) TRDCRiレジスタのCKEG1～CKEG0ビットで有効エッジを選択 PD2レジスタのPD2_0ビットが“0”(入力モード)

i＝0～1

注1.　カウントソースfOCO40Mは、VCC=2.7～5.5Vの範囲で使用することができます。

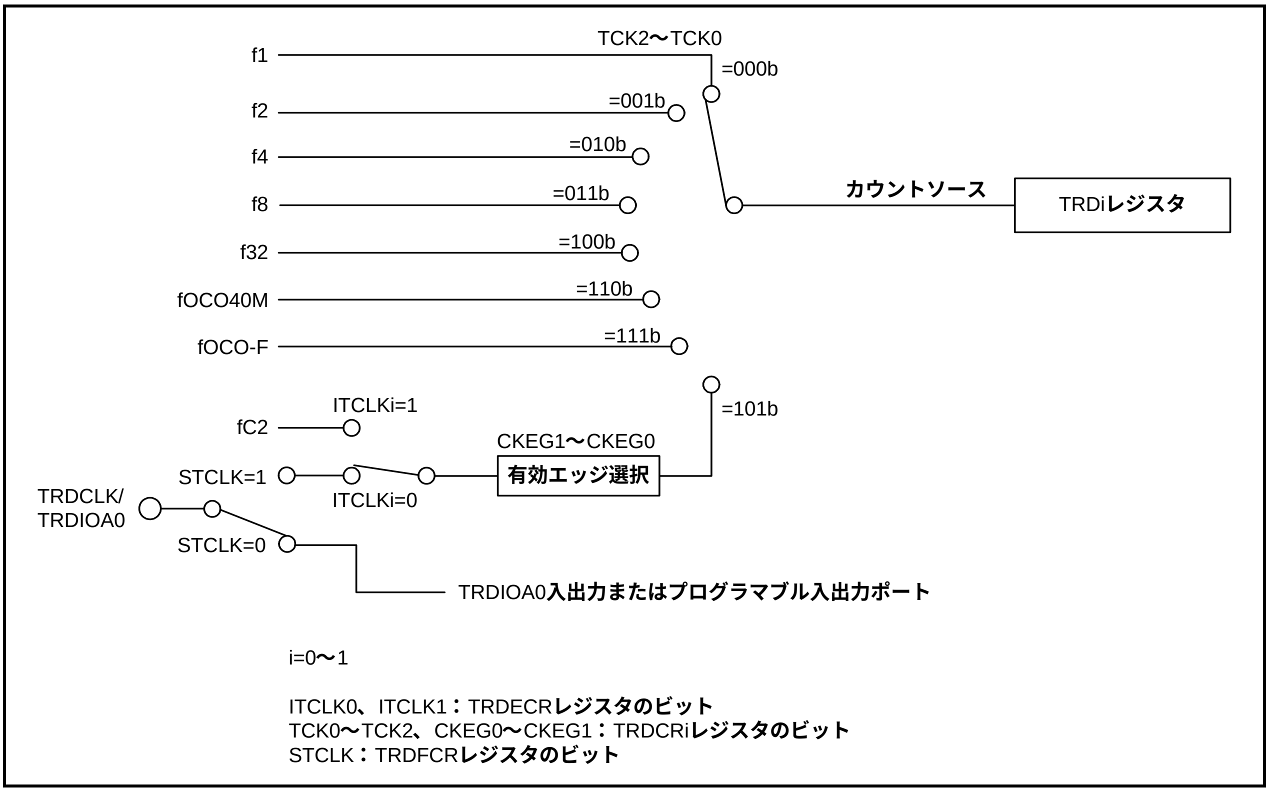


図21.2　カウントソースのブロック図

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック(「表21.1　タイマRDの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRDCRiレジスタ(i＝0～1)のTCK2～TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

21.2.2 バッファ動作

TRDMR レジスタの BFCi(i=0 ～ 1) ビット、BFDi ビットで、TRDGRCi、TRDGRDi レジスタを TRDGRAi、TRDGRBi レジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ：TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ：TRDGRDiレジスタ

バッファ動作は、モードによって違います。表21.4に各モードのバッファ動作を示します。

表21.4 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi(TRDGRBi)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRDiレジスタとTRDGRAi(TRDGRBi)レジスタのコンペア一致	バッファレジスタの内容をTRDGRAi(TRDGRBi)レジスタに転送
PWMモード		
リセット同期PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRAi(TRDGRBi)レジスタに転送
相補PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致 TRD1レジスタアンダフロー	バッファレジスタの内容をTRDGRB0、TRDGRA1、TRDGRB1レジスタに転送
PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに転送

i：0～1

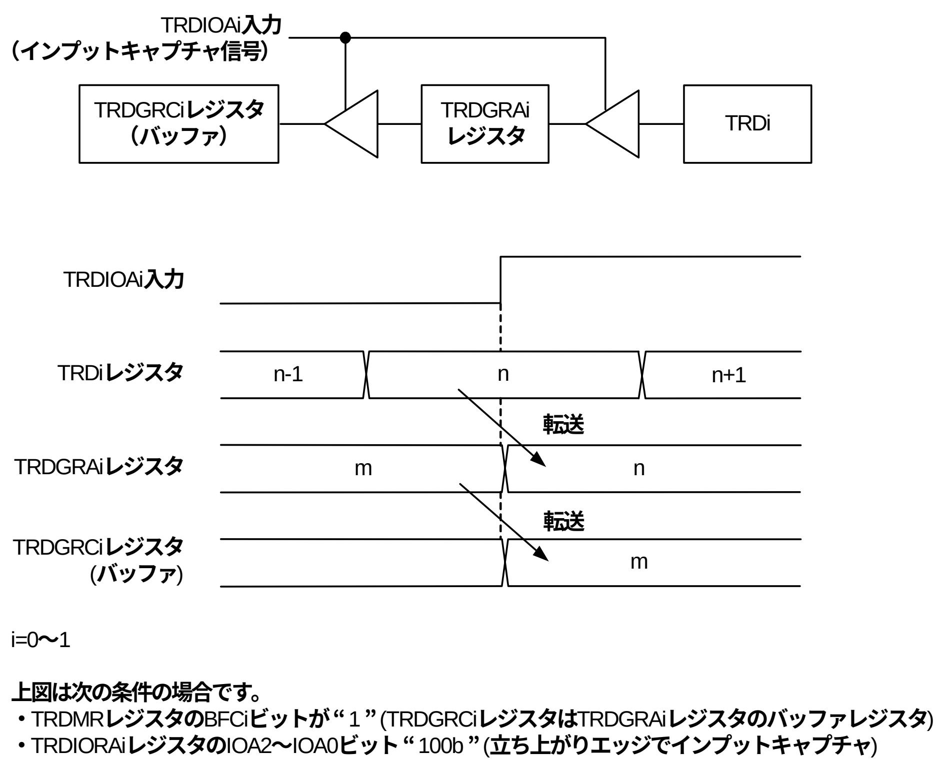
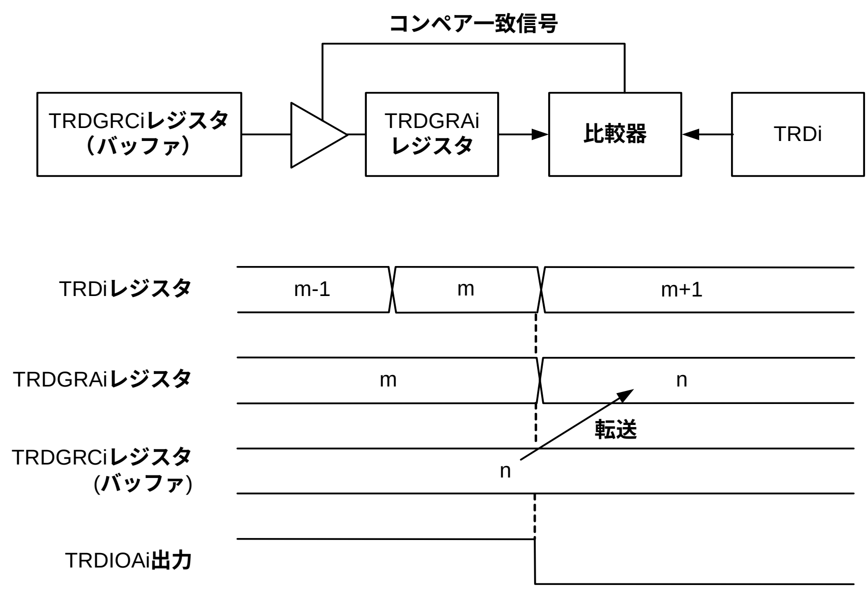


図21.3 インプットキャプチャ機能のバッファ動作



i=0～1

上図は次の場合です。
- TRDMRレジスタのBFCiビットが"1"(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
- TRDIORAiレジスタのIOA2～IOA0ビット"001b"(コンペア一致で"L"出力)

図21.4　アウトプットコンペア機能のバッファ動作

タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)では次のようにしてください。

TRDGRCi(i=0～1)レジスタをTRDGRAiレジスタのバッファレジスタに使用する場合
- TRDIORCiレジスタのIOC3ビットを"1"(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCiレジスタのIOC2ビットは、TRDIORAiレジスタのIOA2ビットと同じ設定にしてください。

TRDGRDiレジスタをTRDGRBiレジスタのバッファレジスタに使用する場合
- TRDIORCiレジスタのIOD3ビットを"1"(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCiレジスタのIOD2ビットは、TRDIORAiレジスタのIOB2ビットと同じ設定にしてください。

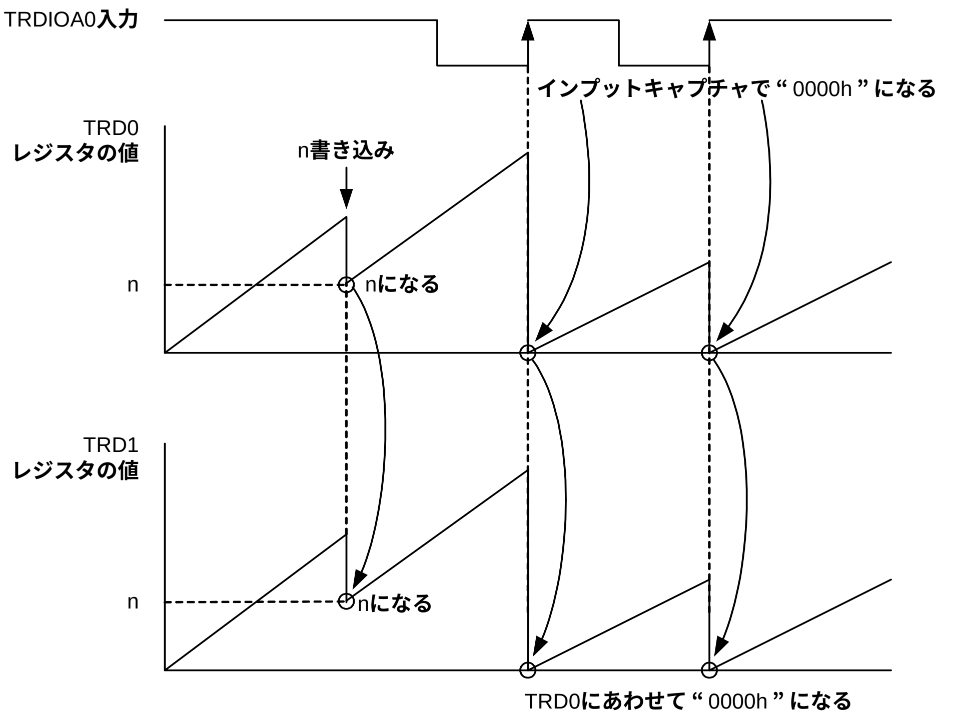
インプットキャプチャ機能では、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDIOCi端子の入力エッジでTRDSRiレジスタのIMFC、IMFDビットが"1"になります。

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDiレジスタとのコンペア一致でTRDSRiレジスタのIMFC、IMFDビットが"1"になります。

21.2.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット
  TRDMRレジスタのSYNCビットが“1”(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。
- 同期クリア
  TRDMRレジスタのSYNCビットが“1”で、かつTRDCR0レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD0レジスタはTRD1レジスタが“0000h”になるとき、同時に“0000h”になります。
  同様に、TRDMRレジスタのSYNCビットが“1”で、かつTRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD1レジスタはTRD0レジスタが“0000h”になるとき、同時に“0000h”になります。



上図は次の条件の場合です。

- TRDMRレジスタのSYNCビット“1”(同期動作)
- TRDCR0レジスタのCCLR2～CCLR0ビットが“001b”(インプットキャプチャでTRD0を“0000h”にする)
  TRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(TRD0に同期して、TRD1を“0000h”にする)
- TRDIORA0レジスタのIOA2～IOA0ビットが“100b”
- TRDFCRレジスタのCMD1～CMD0ビットが“00b”
  TRDFCRレジスタのPWM3ビットが“1”

$\left.\begin{array}{l}\text{TRDIORA0レジスタのIOA2～IOA0ビットが“100b”}\\ \text{TRDFCRレジスタのCMD1～CMD0ビットが“00b”}\\ \text{TRDFCRレジスタのPWM3ビットが“1”}\end{array}\right\}$ (TRDIOA0入力の立ち上がりエッジでインプットキャプチャ)

図21.5 同期動作

21.2.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、INT0端子の入力によってTRDIOji(i=0～1、j=A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

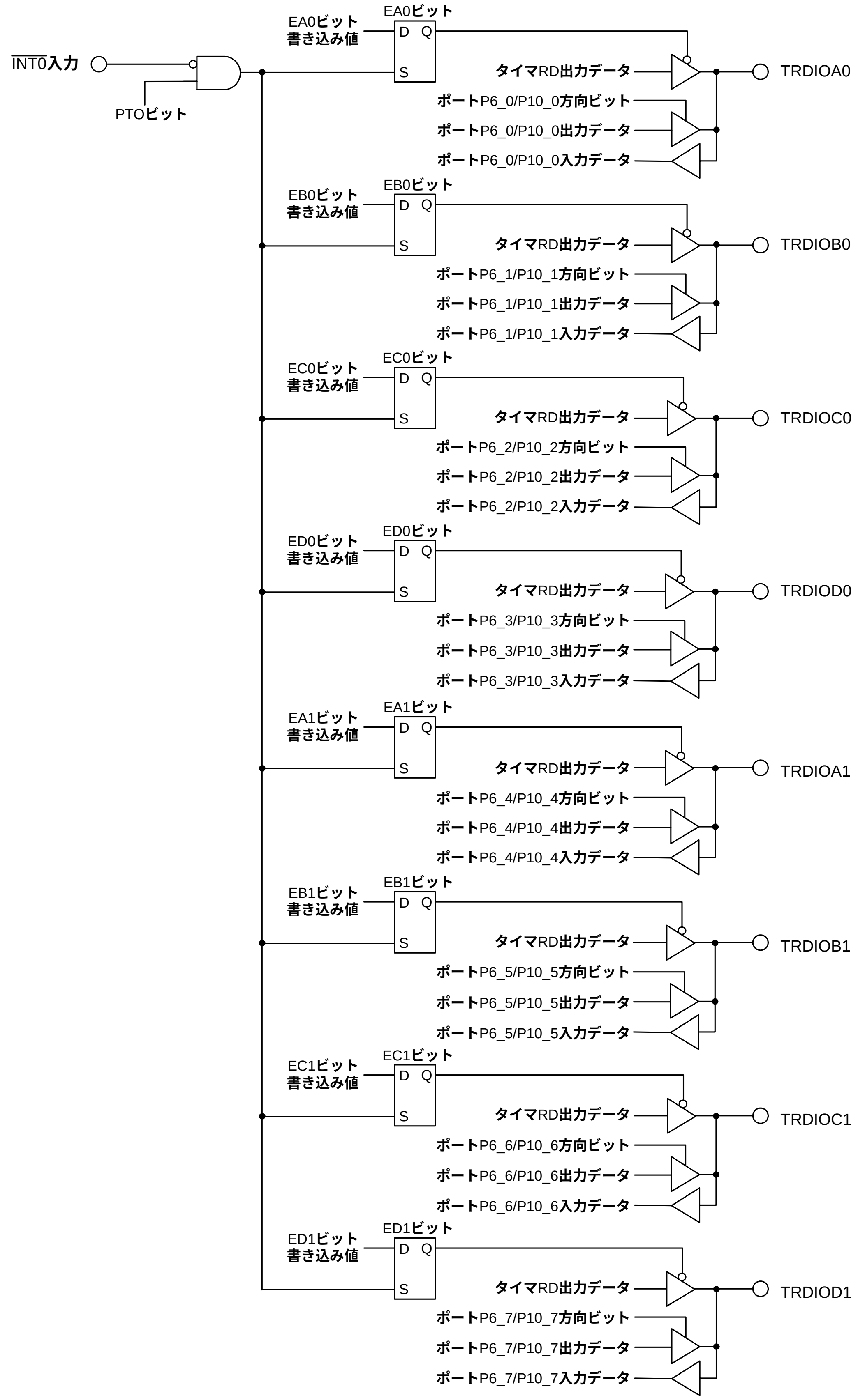
これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを“0”(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが“1”(パルス出力強制遮断信号入力INT0有効)のとき、INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(タイマRD出力禁止、TRDIOji出力端子はプログラマブル入出力ポート)になります。INT0端子に“L”を入力してから、タイマRDの動作クロック(「表21.1　タイマRDの動作クロック」参照)の1～2サイクル後にTRDIOji出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、“L”出力、または“H”出力)をP2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで設定。
- TRDOER2レジスタのPTOビットを“1”(パルス出力強制遮断信号入力INT0有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、INT0端子入力の変化に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります。

割り込みの詳細は、「12.　割り込み」を参照してください。



PTO：TRDOER2レジスタのビット
EA0、EB0、EC0、ED0、EA1、EB1、EC1、ED1：TRDOER1レジスタのビット

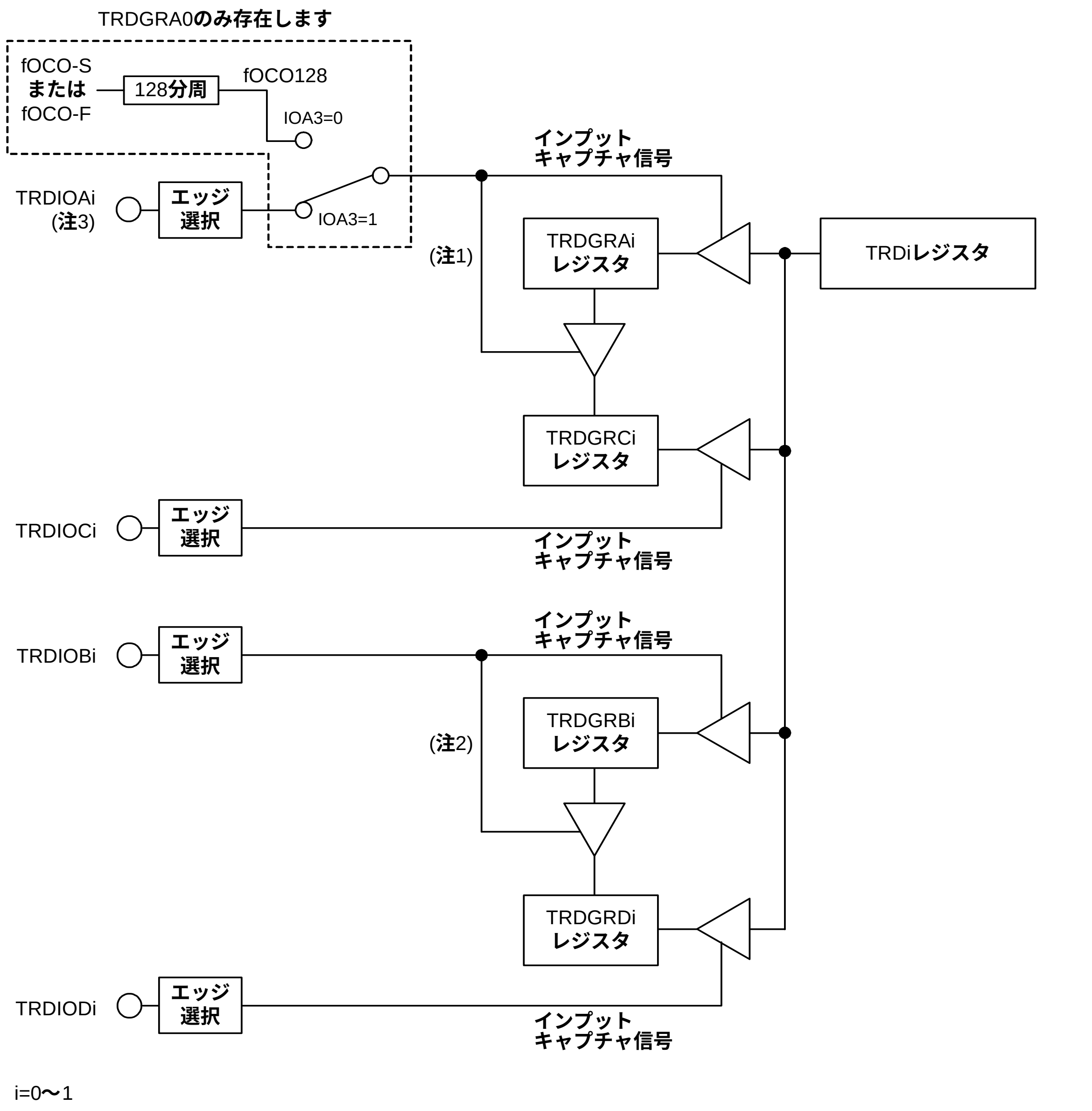
図21.6　　パルス出力強制遮断

21.3 インプットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIOji(i=0～1、j=A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRDiレジスタ(カウンタ)の内容をTRDGRjiレジスタに転送します(インプットキャプチャ)。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

図21.7にインプットキャプチャ機能のブロック図を、表21.5にインプットキャプチャ機能の仕様を、図21.8にインプットキャプチャ機能の動作例を示します。



注1．TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)のときです。
注2．TRDMRレジスタのBFDiビットが“1”(TRDGRDiレジスタはTRDGRBiレジスタのバッファレジスタ)のときです。
注3．TRDGRA0レジスタのトリガ入力は、TRDIOA0端子入力またはfOCO128信号が選択できます。

図21.7 インプットキャプチャ機能のブロック図

表21.5　インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fC2、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2～CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk×65536　fk:カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	• インプットキャプチャ (TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	• TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める。 • TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	• インプットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • TRDiを“0000h”にするタイミング オーバフロー、またはインプットキャプチャ時 • バッファ動作(「21.2.2　バッファ動作」参照) • 同期動作(「21.2.3　同期動作」参照) • デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす • インプットキャプチャトリガ選択 TRDGRA0レジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

i=0～1、j=A、B、C、Dのいずれか

21.3.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I2Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I2Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I2Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1) レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

21.3.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	—	—	—	ITCLK0	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	ITCLK0	タイマRD0用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	ITCLK1	タイマRD1用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

21.3.3　タイマRDスタートレジスタ(TRDSTR)[インプットキャプチャ機能時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ	0：カウント停止 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ		R/W
b2	CSEL0	TRD0カウント動作選択ビット	インプットキャプチャ機能では“1”にしてください	R/W
b3	CSEL1	TRD1カウント動作選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「21.10.1　TRDSTRレジスタ」を参照してください。

21.3.4　タイマRDモードレジスタ(TRDMR)[インプットキャプチャ機能時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0：TRD0とTRD1は独立動作 1：TRD0とTRD1は同期動作	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

21.3.5 タイマRD PWMモードレジスタ(TRDPMR)[インプットキャプチャ機能時]

アドレス 0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	PWMB1	TRDIOB1 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

21.3.6 タイマRD機能制御レジスタ(TRDFCR)[インプットキャプチャ機能時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	インプットキャプチャ機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	インプットキャプチャ機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0:外部クロック入力無効 1:外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	インプットキャプチャ機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

21.3.7 タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi)(i＝0～1) [インプットキャプチャ機能時]

アドレス 013Eh番地(TRDDF0)、013Fh番地(TRDDF1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	—	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRDIOA端子デジタルフィルタ機能選択ビット	0：機能なし 1：機能あり	R/W
b1	DFB	TRDIOB端子デジタルフィルタ機能選択ビット		R/W
b2	DFC	TRDIOC端子デジタルフィルタ機能選択ビット		R/W
b3	DFD	TRDIOD端子デジタルフィルタ機能選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット	b7 b6 0 0：f32 0 1：f8 1 0：f1 1 1：カウントソース(TRDCRiレジスタのTCK0～TCK2ビットで選択したクロック)	R/W
b7	DFCK1			R/W

21.3.8 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[インプットキャプチャ機能時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0 b1 b2	TCK0 TCK1 TCK2	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1)またはfC2 (注2) 1 1 0：fOCO40M 1 1 1：fOCO-F(注5)	R/W R/W R/W
b3 b4	CKEG0 CKEG1	外部クロックエッジ選択ビット(注3)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W R/W
b5 b6 b7	CCLR0 CCLR1 CCLR2	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0：クリア禁止(フリーランニング動作) 0 0 1：TRDGRAiのインプットキャプチャでクリア 0 1 0：TRDGRBiのインプットキャプチャでクリア 0 1 1：同期クリア(他のタイマRDiのカウンタと同時にクリア)(注4) 1 0 0：設定しないでください 1 0 1：TRDGRCiのインプットキャプチャでクリア 1 1 0：TRDGRDiのインプットキャプチャでクリア 1 1 1：設定しないでください	R/W R/W R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。
注3. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。
注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

21.3.9 タイマRD I/O制御レジスタAi (TRDIORAi)(i＝0〜1) [インプットキャプチャ機能時]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0 b1	IOA0 IOA1	TRDGRA制御ビット	b1 b0 0 0：立ち上がりエッジでTRDGRAiへインプットキャプチャ 0 1：立ち下がりエッジでTRDGRAiへインプットキャプチャ 1 0：両エッジでTRDGRAiへインプットキャプチャ 1 1：設定しないでください	R/W R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット(注3、4)	0：fOCO128信号 1：TRDIOA0端子入力	R/W
b4 b5	IOB0 IOB1	TRDGRB制御ビット	b5 b4 0 0：立ち上がりエッジでTRDGRBiへインプットキャプチャ 0 1：立ち下がりエッジでTRDGRBiへインプットキャプチャ 1 0：両エッジでTRDGRBiへインプットキャプチャ 1 1：設定しないでください	R/W R/W
b6	IOB2	TRDGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。
注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。
注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。
注4. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

21.3.10 タイマRD I/O制御レジスタCi (TRDIORCi)(i＝0～1) [インプットキャプチャ機能時]

アドレス 0142h番地(TRDIORC0)、0152h番地(TRDIORC1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 0 0：立ち上がりエッジでTRDGRCiへインプットキャプチャ 0 1：立ち下がりエッジでTRDGRCiへインプットキャプチャ 1 0：両エッジでTRDGRCiへインプットキャプチャ 1 1：設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRC モード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRDGRC レジスタ機能選択ビット	インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W
b4	IOD0	TRDGRD 制御ビット	b5 b4 0 0：立ち上がりエッジでTRDGRDiへインプットキャプチャ 0 1：立ち下がりエッジでTRDGRDiへインプットキャプチャ 1 0：両エッジでTRDGRDiへインプットキャプチャ 1 1：設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRD モード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

21.3.11 タイマRDステータスレジスタi (TRDSRi)(i＝0～1) [インプットキャプチャ機能時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDSR0レジスタ： TRDIORA0レジスタのIOA3ビットが“0”(fOCO128信号)の場合、fOCO128信号のエッジ TRDIORA0レジスタのIOA3ビットが“1”(TRDIOA0入力)の場合、TRDIOA0端子の入力エッジ(注3) TRDSR1レジスタ： TRDIOA1端子の入力エッジ(注3)	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDIOBi端子の入力エッジ(注3)	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDIOCi端子の入力エッジ(注4)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDIODi端子の入力エッジ(注4)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	インプットキャプチャ機能では無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。
注2. 書き込み結果は次のようになります。
・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
•“1”を書いた場合は変化しません。
注3. TRDIORAiレジスタのIOj1～IOj0ビット(j=AまたはB)で選択したエッジ。
注4. TRDIORCiレジスタのIOk1～IOk0ビット(k=CまたはD)で選択したエッジ。
TRDMRレジスタのBFkiビットが“1”(TRDGRkiはバッファレジスタ)の場合を含む。

21.3.12 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1) [インプットキャプチャ機能時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

21.3.13 タイマRDカウンタi (TRDi)(i＝0～1)[インプットキャプチャ機能時]

アドレス 0147h～0146h番地(TRD0)、0157h～0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRiレジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

21.3.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[インプットキャプチャ機能時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表21.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表21.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRDGRAi	—	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(「21.2.2 バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0～1、j=A、B、C、Dのいずれか
BFCi、BFDi：TRDMRレジスタのビット

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表21.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

21.3.15 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 0 0：TRDIOA0/TRDCLK端子は使用しない 0 1：P6_0に割り当てる 1 0：P10_0に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0：TRDIOB0端子は使用しない 0 1：P6_1に割り当てる 1 0：P10_1に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0：TRDIOC0端子は使用しない 0 1：P6_2に割り当てる 1 0：P10_2に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 0 0：TRDIOD0端子は使用しない 0 0：P6_3に割り当てる 1 0：P10_3に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

21.3.16 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

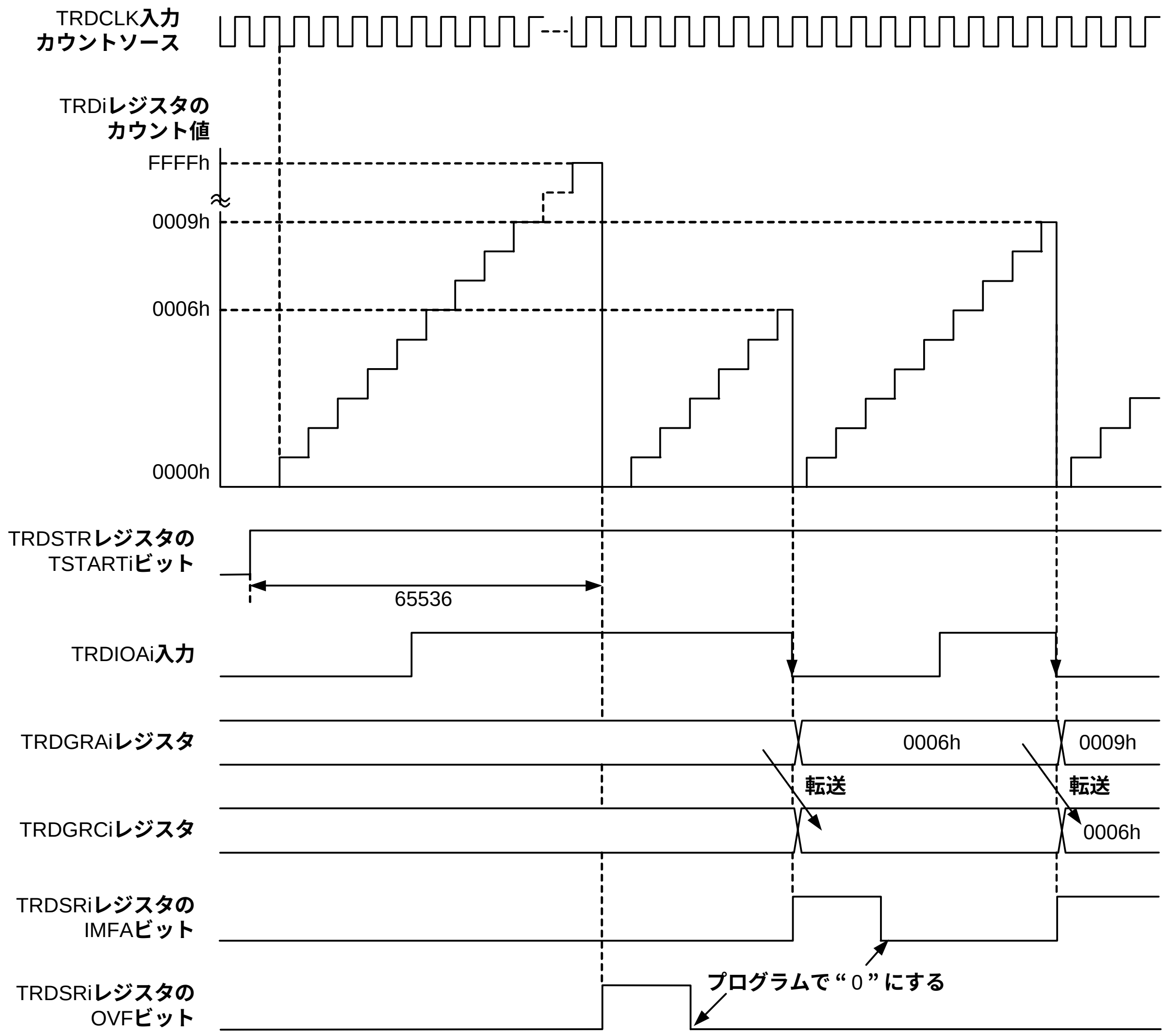
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 0 0：TRDIOA1端子は使用しない 0 1：P6_4に割り当てる 1 0：P10_4に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 0 0：TRDIOB1端子は使用しない 0 1：P6_5に割り当てる 1 0：P10_5に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 0 0：TRDIOC1端子は使用しない 0 1：P6_6に割り当てる 1 0：P10_6に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 0 0：TRDIOD1端子は使用しない 0 1：P6_7に割り当てる 1 0：P10_7に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

21.3.17 動作例



i=0～1

上図は次の条件の場合です。
TRDCRiレジスタのCCLR2～CCLR0ビットが“001b”(TRDGRAiのインプットキャプチャでTRDiを“0000h”にする)
TRDCRiレジスタのTCK2～TCK0ビットが“101b”(カウントソースはTRDCLK入力)
TRDCRiレジスタのCKEG1～CKEG0ビットが“01b”(カウントソースは立ち下がりでカウント)
TRDIORAiレジスタのIOA2～IOA0ビットが“101b”(TRDIOAi入力の立ち下がりエッジでインプットキャプチャ)
TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)

図21.8 インプットキャプチャ機能の動作例

21.3.18 デジタルフィルタ

TRDIOji(i=0～1、j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図21.9にデジタルフィルタのブロック図を示します。

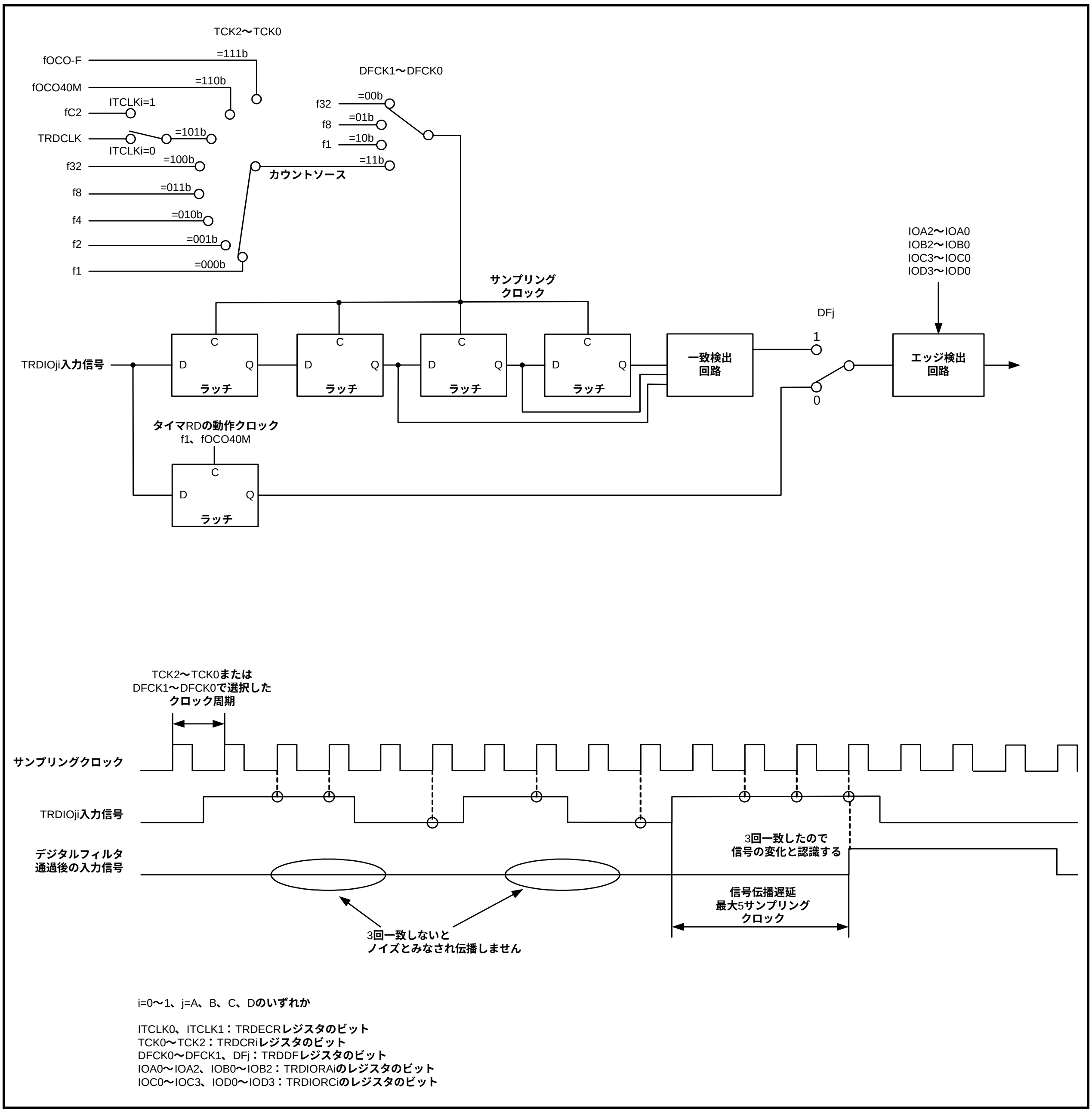


図21.9　デジタルフィルタのブロック図

21.4 アウトプットコンペア機能

TRDi(i=0～1)レジスタ(カウンタ)の内容と、TRDGRji(j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRDIOji端子から任意のレベルを出力します。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図21.10にアウトプットコンペア機能のブロック図を、表21.7にアウトプットコンペア機能の仕様を、図21.11にアウトプットコンペア機能の動作例を示します。

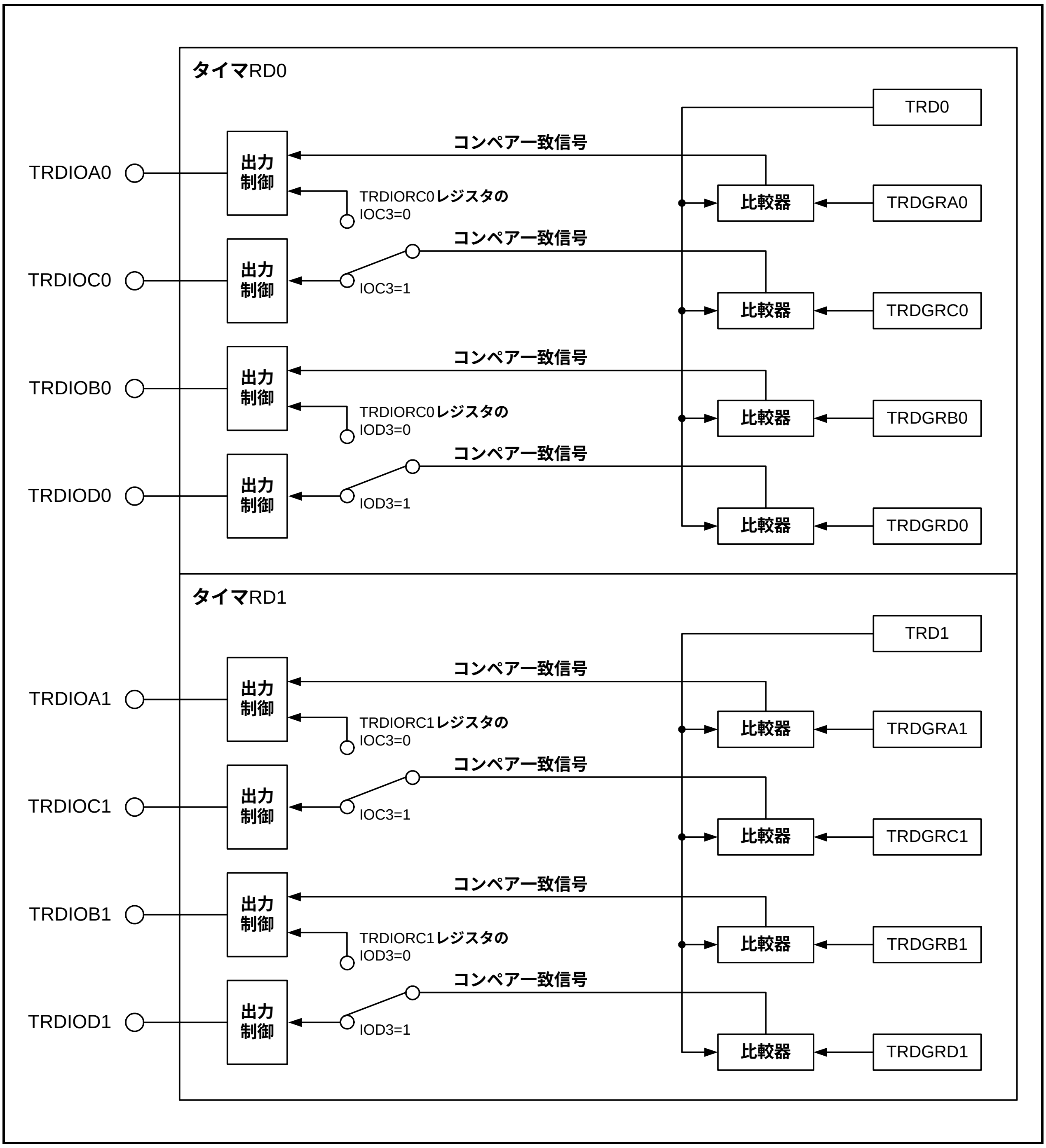


図21.10 アウトプットコンペア機能のブロック図

表21.7　アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fC2、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	• TRDCRiレジスタのCCLR2～CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk×65536　fk：カウントソースの周波数 • TRDCRiレジスタのCCLR1～CCLR0ビットが“01b”、“10b”(TRDGRjiのコンペア一致でTRDiを“0000h”にする)の場合 カウントソースの周期×(n+1) n：TRDGRjiレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	• TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める • TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	• アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRDiを“0000h”にするタイミング オーバフロー、またはTRDGRAiレジスタのコンペア一致 • バッファ動作(「21.2.2　バッファ動作」参照) • 同期動作(「21.2.3　同期動作」参照) • TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる • パルス出力強制遮断信号入力(「21.2.4　パルス出力強制遮断」参照) • タイマRDは出力しないことで内部タイマとして使用できる • A/Dトリガ発生

i=0～1、j=A、B、C、Dのいずれか

21.4.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I2Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I2Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I2Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1) レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

21.4.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	—	—	—	ITCLK0	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	ITCLK0	タイマRD0用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	ITCLK1	タイマRD1用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

21.4.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

21.4.4 タイマRDスタートレジスタ(TRDSTR)[アウトプットコンペア機能時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「21.10.1　TRDSTRレジスタ」を参照してください。

21.4.5　タイマRDモードレジスタ(TRDMR)[アウトプットコンペア機能時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0：TRD0とTRD1は独立動作 1：TRD0とTRD1は同期動作	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

注1. TRDIORCi(i=0〜1)レジスタのIOj3(j=CまたはD)ビットで“0”(TRDGRjiレジスタ出力端子変更)を選択した場合、TRDMRレジスタのBFjiビットを“0”にしてください。

21.4.6　タイマRD PWMモードレジスタ(TRDPMR)[アウトプットコンペア機能時]

アドレス 0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	PWMB1	TRDIOB1 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

21.4.7 タイマRD機能制御レジスタ(TRDFCR)[アウトプットコンペア機能時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	アウトプットコンペア機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	アウトプットコンペア機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0:外部クロック入力無効 1:外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	アウトプットコンペア機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

21.4.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1) [アウトプットコンペア機能時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

21.4.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2) [アウトプットコンペア機能時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\mathrm{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\mathrm{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「21.2.4　パルス出力強制遮断」を参照してください。

21.4.10 タイマRDアウトプット制御レジスタ(TRDOCR)[アウトプットコンペア機能時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0：初期出力“L” 1：初期出力“H”	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット		R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	0：“L” 1：“H”	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

TRDOCRレジスタが端子の機能が波形出力の場合(「7.6　ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

21.4.11 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[アウトプットコンペア機能時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1)またはfC2 (注2) 1 1 0：fOCO40M 1 1 1：fOCO-F(注5)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0：クリア禁止(フリーランニング動作) 0 0 1：TRDGRAiのコンペア一致でクリア 0 1 0：TRDGRBiのコンペア一致でクリア 0 1 1：同期クリア(他のタイマRDiのカウンタと同時にクリア)(注4) 1 0 0：設定しないでください 1 0 1：TRDGRCiのコンペア一致でクリア 1 1 0：TRDGRDiのコンペア一致でクリア 1 1 1：設定しないでください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。
注3. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。
注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

21.4.12 タイマRD I/O制御レジスタAi (TRDIORAi)(i＝0～1) [アウトプットコンペア機能時]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート) 0 1：TRDGRAiのコンペア一致で“L”出力 1 0：TRDGRAiのコンペア一致で“H”出力 1 1：TRDGRAiのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット	“1”にしてください	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート) 0 1：TRDGRBiのコンペア一致で“L”出力 1 0：TRDGRBiのコンペア一致で“H”出力 1 1：TRDGRBiのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

21.4.13 タイマRD I/O制御レジスタCi (TRDIORCi)(i＝0〜1) [アウトプットコンペア機能時]

アドレス 0142h番地(TRDIORC0)、0152h番地(TRDIORC1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0 b1	IOC0 IOC1	TRDGRC制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 0 1：TRDGRCiのコンペア一致で“L”出力 1 0：TRDGRCiのコンペア一致で“H”出力 1 1：TRDGRCiのコンペア一致でトグル出力	R/W R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	0：TRDIOA出力レジスタ (「21.4.21 TRDGRCi(i=0〜1)、TRDGRDiレジスタの出力端子変更」参照) 1：ジェネラルレジスタまたはバッファレジスタ	R/W
b4 b5	IOD0 IOD1	TRDGRD制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 0 1：TRDGRDiのコンペア一致で“L”出力 1 0：TRDGRDiのコンペア一致で“H”出力 1 1：TRDGRDiのコンペア一致でトグル出力	R/W R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	0：TRDIOB出力レジスタ (「21.4.21 TRDGRCi(i=0〜1)、TRDGRDiレジスタの出力端子変更」参照) 1：ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。
注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

21.4.14 タイマRDステータスレジスタi (TRDSRi)(i＝0〜1) [アウトプットコンペア機能時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。
注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません（読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

21.4.15 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1) [アウトプットコンペア機能時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

21.4.16 タイマRDカウンタi (TRDi)(i＝0～1)[アウトプットコンペア機能時]

アドレス 0147h～0146h番地(TRD0)、0157h～0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRiレジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

21.4.17 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[アウトプットコンペア機能時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表21.8　アウトプットコンペア機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDPOCR0、TRDPOCR1

表21.8　アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能	アウトプットコンペア出力端子
	BFji	IOj3		
TRDGRAi	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi
TRDGRBi				TRDIOBi
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi
TRDGRDi				TRDIODi
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください。(「21.2.2　バッファ動作」参照)	TRDIOAi
TRDGRDi				TRDIOBi
TRDGRCi	0	0	TRDIOAi出力制御　「21.4.21　TRDGRCi(i=0～1)、TRDGRDiレジスタの出力端子変更」参照	TRDIOAi
TRDGRDi			TRDIOBi出力制御	TRDIOBi

i=0～1、j=A、B、C、Dのいずれか
BFji：TRDMRレジスタのビット　IOj3：TRDIORCiレジスタのビット

21.4.18 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 0 0：TRDIOA0/TRDCLK端子は使用しない 0 1：P6_0に割り当てる 1 0：P10_0に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0：TRDIOB0端子は使用しない 0 1：P6_1に割り当てる 1 0：P10_1に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0：TRDIOC0端子は使用しない 0 1：P6_2に割り当てる 1 0：P10_2に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 0 0：TRDIOD0端子は使用しない 0 0：P6_3に割り当てる 1 0：P10_3に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

21.4.19 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

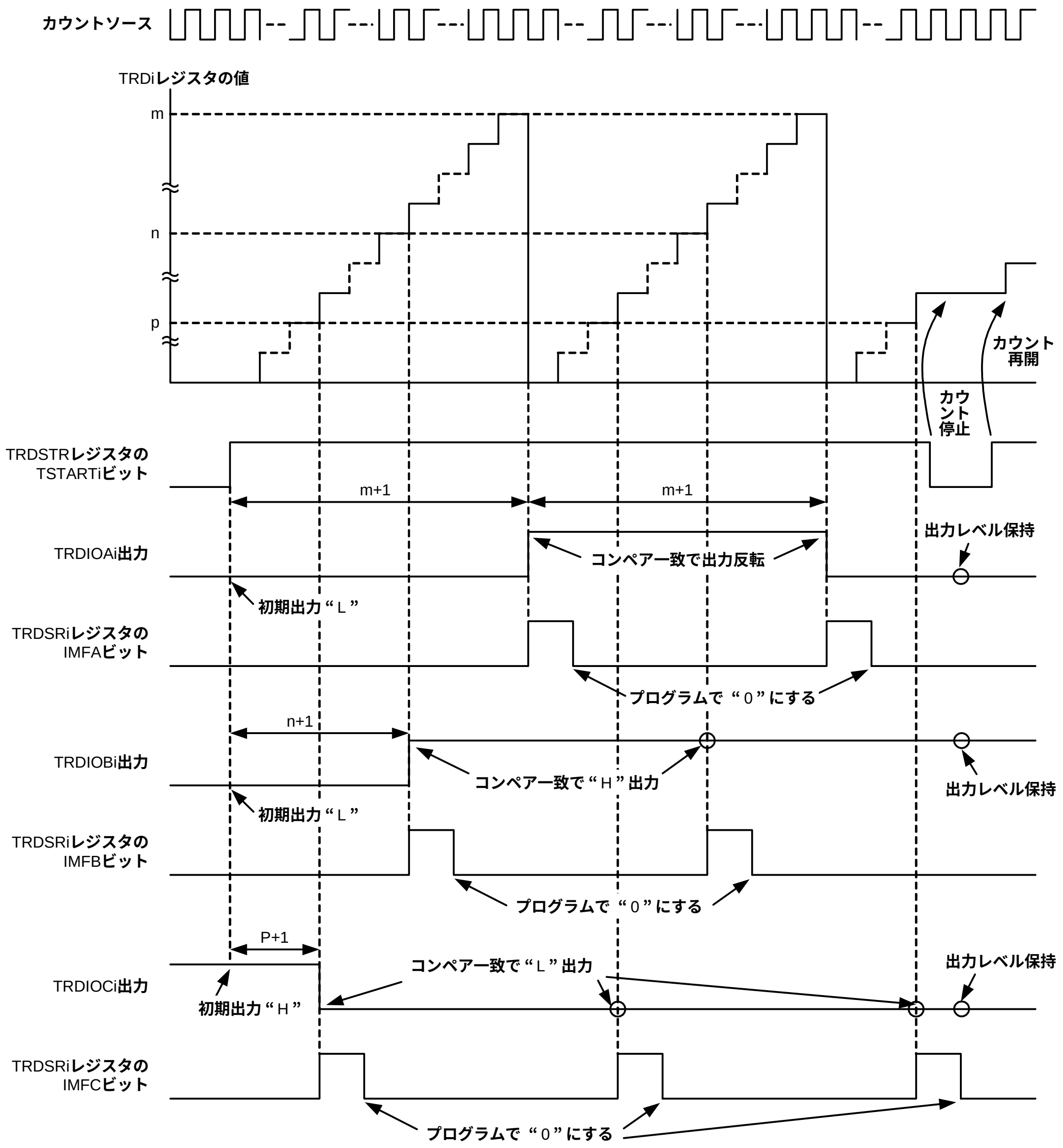
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 0 0：TRDIOA1端子は使用しない 0 1：P6_4に割り当てる 1 0：P10_4に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 0 0：TRDIOB1端子は使用しない 0 1：P6_5に割り当てる 1 0：P10_5に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 0 0：TRDIOC1端子は使用しない 0 1：P6_6に割り当てる 1 0：P10_6に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 0 0：TRDIOD1端子は使用しない 0 1：P6_7に割り当てる 1 0：P10_7に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

21.4.20 動作例



i=0～1

m：TRDGRAiレジスタ設定値
n：TRDGRBiレジスタ設定値
p：TRDGRCiレジスタ設定値

上図は次の条件の場合です。
TRDSTRレジスタのCSELiビットが“1”(TRDiはコンペア一致で停止しない)
TRDMRレジスタのBFCi、BFDiビットが“0”(TRDGRCi、TRDGRDiバッファ動作しない)
TRDOER1レジスタのEAi、EBi、ECiビットが“0”(TRDIOAi、TRDIOBi、TRDIOCi出力許可)
TRDCRiレジスタのCCLR2~CCLR0ビットが“001b”(TRDGRAiのコンペア一致でTRDiを“0000h”にする)
TRDOCRレジスタのTOAi、TOBiビットが“0”(コンペア一致までの初期出力“L”)、TOCiビットが“1”(コンペア一致までの初期出力“H”)
TRDIORAiレジスタのIOA2~IOA0ビットが“011b”(TRDGRAiコンペア一致時、TRDIOAi出力反転)
TRDIORAiレジスタのIOB2~IOB0ビットが“010b”(TRDGRBiコンペア一致時、TRDIOBi“H”出力)
TRDIORCiレジスタのIOC3~IOC0ビットが“1001b”(TRDGRCiコンペア一致時、TRDIOCi“L”出力)
TRDIORCiレジスタのIOD3~IOD0ビットを“1000b”(TRDGRDiレジスタはTRDIOBi端子出力制御しない、コンペア一致による端子出力禁止)

図21.11 アウトプットコンペア機能の動作例

21.4.21 TRDGRCi(i=0～1)、TRDGRDiレジスタの出力端子変更

TRDGRCiレジスタをTRDIOAi端子の、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi出力は、TRDGRAiレジスタの値とTRDGRCiレジスタの値の2点で制御
- TRDIOBi出力は、TRDGRBiレジスタの値とTRDGRDiレジスタの値の2点で制御

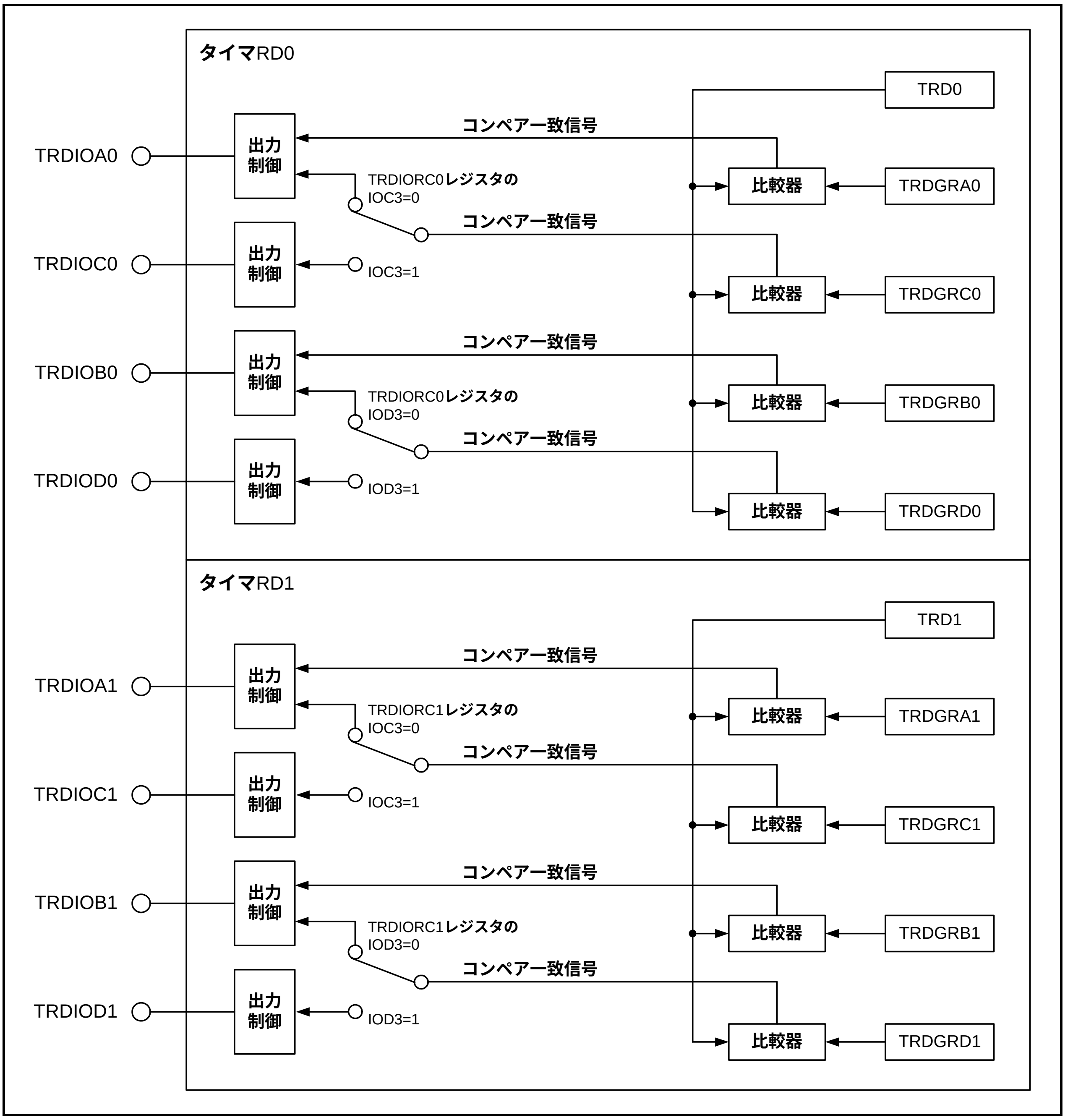


図21.12　TRDGRCi、TRDGRDiの出力端子変更

TRDGRCi、TRDGRDiレジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCiレジスタのIOj3(j=CまたはD)ビットで"0"(TRDGRjiレジスタ出力端子変更)を選択。
- TRDMRレジスタのBFjiビットを"0"(ジェネラルレジスタ)にする。
- TRDGRAiレジスタとTRDGRCiレジスタは違う値を設定。また、TRDGRBiレジスタとTRDGRDiレジスタは違う値を設定。

図21.13にTRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例を示します。

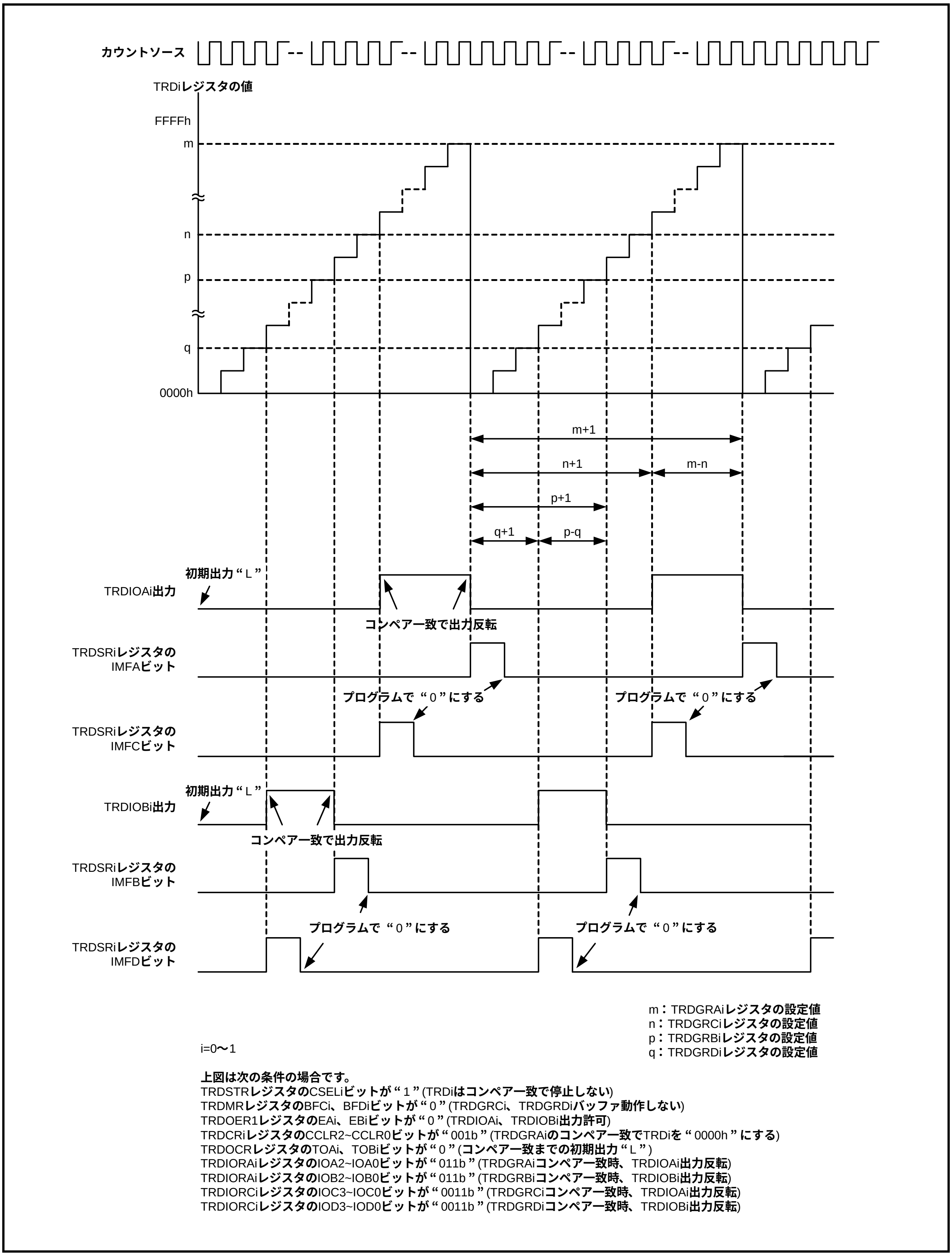


図21.13　TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例

21.4.22 A/Dトリガ発生

TRDi(i＝0～1)レジスタとTRDGRji(j＝A、B、C、D)レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

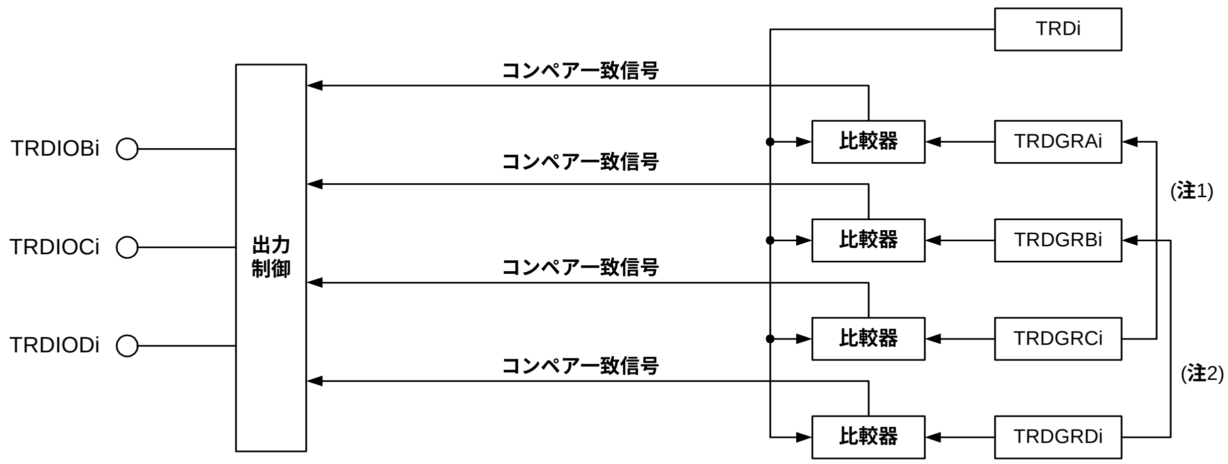
TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

21.5　PWMモード

PWM波形を出力するモードです。タイマRDi(i＝0～1)で同周期のPWM波形を最大3本出力できます。また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIOji(i＝0～1、j＝B、C、D)端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRAiレジスタを使用しますので、TRDGRAiレジスタは他のモードに使用できません)。

図21.14にPWMモードのブロック図を、表21.9にPWMモードの仕様を、図21.15～図21.16にPWMモードの動作例を示します。

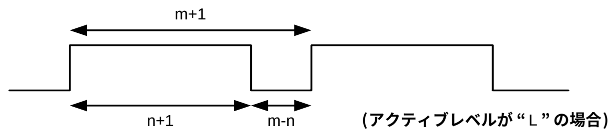


i=0～1

注1．TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)のときです。
注2．TRDMRレジスタのBFDiビットが“1”(TRDGRDiレジスタはTRDGRBiレジスタのバッファレジスタ)のときです。

図21.14　PWMモードのブロック図

表21.9　PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	PWM周期：1/fk×(m+1) アクティブレベル幅：1/fk×(m -n) アクティブでないレベルの幅：1/fk×(n+1) fk：カウントソースの周波数 m：TRDGRAiレジスタ設定値 n：TRDGRjiレジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペアー致でカウント停止 PWM出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペアー致(TRDiレジスタとTRDGRhiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOA1端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	• PWM出力端子をタイマRDiで1~3本選択 TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • 同期動作(「21.2.3　同期動作」参照) • バッファ動作(「21.2.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「21.2.4　パルス出力強制遮断」参照) • A/Dトリガ発生

i=0～1
j＝B、C、Dのいずれか
h＝A、B、C、Dのいずれか

21.5.1　モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I²Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I²Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

21.5.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	—	—	—	ITCLK0	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	ITCLK0	タイマRD0用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	ITCLK1	タイマRD1用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

21.5.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

21.5.4 タイマRDスタートレジスタ(TRDSTR)[PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「21.10.1 TRDSTRレジスタ」を参照してください。

21.5.5 タイマRDモードレジスタ(TRDMR)[PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0：TRD0とTRD1は独立動作 1：TRD0とTRD1は同期動作	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

21.5.6　タイマRD PWMモードレジスタ(TRDPMR)[PWMモード時]

アドレス 0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	PWMB1	TRDIOB1 PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

21.5.7　タイマRD機能制御レジスタ(TRDFCR)[PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	PWMモードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	PWMモードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	PWMモードでは“1”(PWM3モード以外)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

21.5.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	PWMモードでは、“1”(TRDIOA1端子はプログラマブル入出力ポート)にしてください	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

21.5.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{INT0}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{INT0}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「21.2.4　パルス出力強制遮断」を参照してください。

21.5.10 タイマRDアウトプット制御レジスタ(TRDOCR)[PWMモード時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット(注1)		R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット(注1)		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット(注1)	0：アクティブでないレベル 1：アクティブレベル	R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット(注1)		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット(注1)		R/W

注1. 端子の機能が波形出力の場合(「7.6　ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。
TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

21.5.11 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1)またはfC2 (注2) 1 1 0：fOCO40M 1 1 1：fOCO-F(注4)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	PWMモードでは“001b”(TRDGRAiとのコンペア一致でTRDiレジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。
注3. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

21.5.12 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWMモードでは無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません（読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

21.5.13 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1)[PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

21.5.14 タイマRD PWMモードアウトプットレベル制御レジスタi (TRDPOCRi)(i＝0～1) [PWMモード時]

アドレス 0145h番地(TRDPOCR0)、0155h番地(TRDPOCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	POLD	POLC	POLB
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB	0：TRDIOBiの出力レベルは“L”アクティブ 1：TRDIOBiの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC	0：TRDIOCiの出力レベルは“L”アクティブ 1：TRDIOCiの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD	0：TRDIODiの出力レベルは“L”アクティブ 1：TRDIODiの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	—			
b6	—			
b7	—			

21.5.15 タイマRDカウンタi (TRDi)(i＝0～1)[PWMモード時]

アドレス 0147h～0146h番地(TRD0)、0157h～0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRiレジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

21.5.16 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0〜1)[PWMモード時]

アドレス 0149h〜0148h番地(TRDGRA0)、014Bh〜014Ah番地(TRDGRB0)、
014Dh〜014Ch番地(TRDGRC0)、014Fh〜014Eh番地(TRDGRD0)、
0159h〜0158h番地(TRDGRA1)、015Bh〜015Ah番地(TRDGRB1)、
015Dh〜015Ch番地(TRDGRC1)、015Fh〜015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15〜b0	「表21.10 PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi〜TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWMモードでは、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表21.10 PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRDGRBi	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。次回のPWM周期を設定してください(「21.2.2 バッファ動作」参照)。	—
TRDGRDi	BFDi=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「21.2.2 バッファ動作」参照)。	TRDIOBi

i=0〜1
BFCi、BFDi：TRDMRレジスタのビット

21.5.17 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 0 0：TRDIOA0/TRDCLK端子は使用しない 0 1：P6_0に割り当てる 1 0：P10_0に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0：TRDIOB0端子は使用しない 0 1：P6_1に割り当てる 1 0：P10_1に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0：TRDIOC0端子は使用しない 0 1：P6_2に割り当てる 1 0：P10_2に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 0 0：TRDIOD0端子は使用しない 0 0：P6_3に割り当てる 1 0：P10_3に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

21.5.18 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

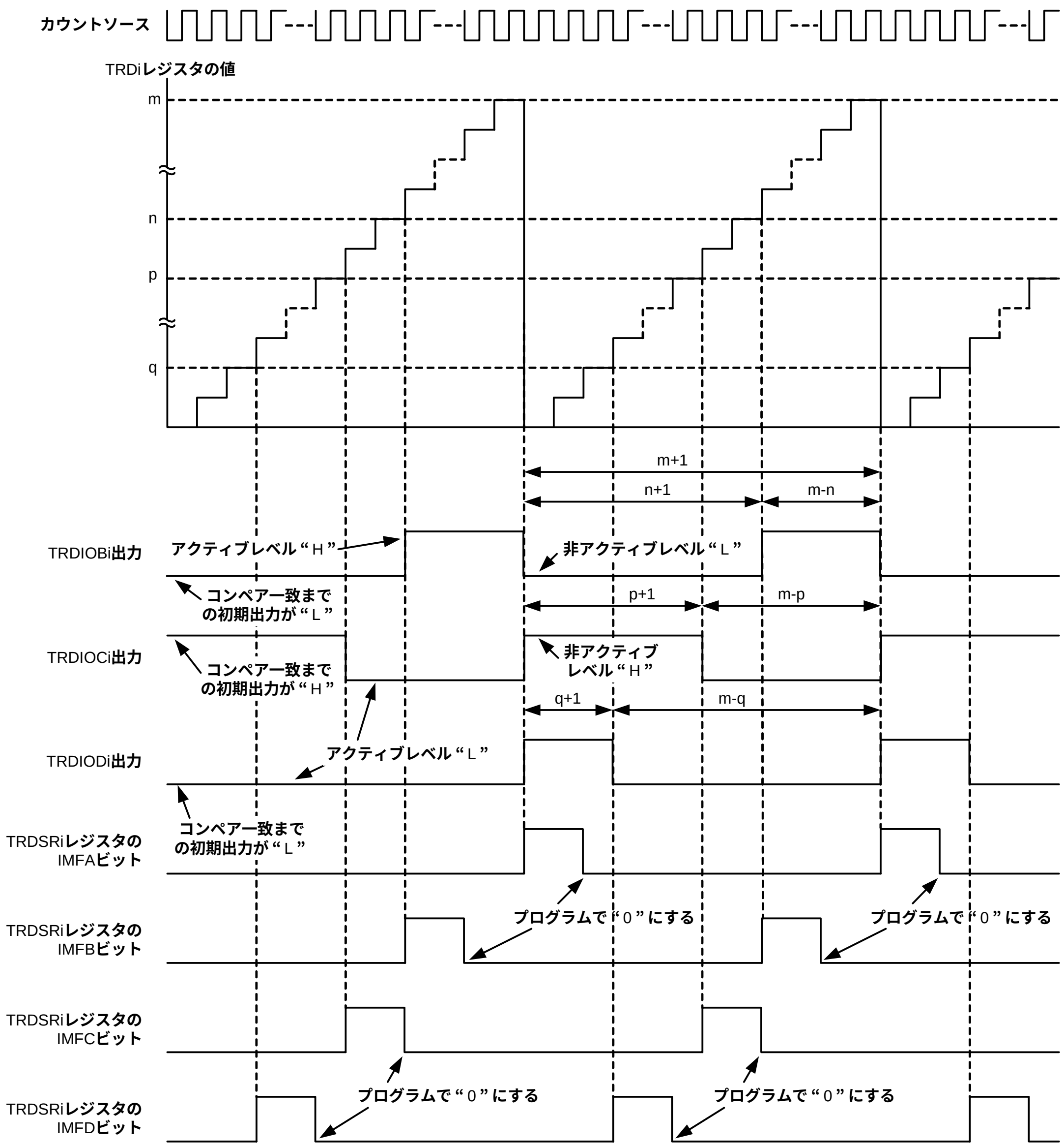
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 0 0：TRDIOA1端子は使用しない 0 1：P6_4に割り当てる 1 0：P10_4に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 0 0：TRDIOB1端子は使用しない 0 1：P6_5に割り当てる 1 0：P10_5に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 0 0：TRDIOC1端子は使用しない 0 1：P6_6に割り当てる 1 0：P10_6に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 0 0：TRDIOD1端子は使用しない 0 1：P6_7に割り当てる 1 0：P10_7に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

21.5.19 動作例



m：TRDGRAiレジスタの設定値
n：TRDGRBiレジスタの設定値
p：TRDGRCiレジスタの設定値
q：TRDGRDiレジスタの設定値

i=0〜1

上図は次の条件の場合です。
TRDMRレジスタのBFCi、BFDiビットが“0”(TRDGRCi、TRDGRDiレジスタはバッファ動作しない)
TRDOER1レジスタのEBi、ECi、EDiビットが“0”(TRDIOBi、TRDIOCi、TRDIODi出力許可)
TRDOCRレジスタのTOBi、TOCiビットが“0”(アクティブでないレベル)、TODiビットが“1”(アクティブレベル)
TRDPOCRiレジスタのPOLBビットが“1”(アクティブレベル“H”)、POLC、POLDビットが“0”(アクティブレベル“L”)

図21.15 PWM**モードの動作例**

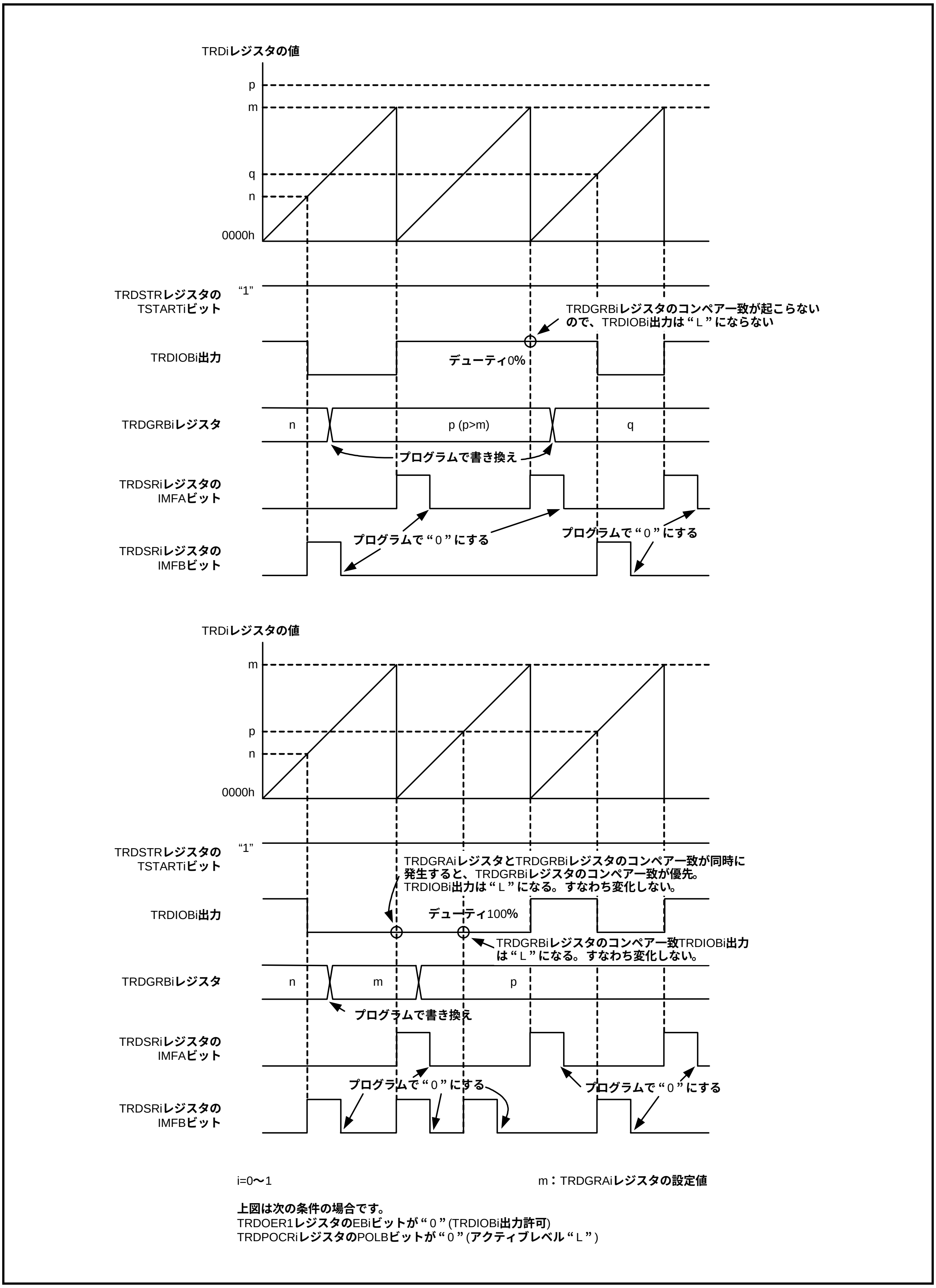


図21.16 PWMモードの動作例(デューティ 0%、デューティ 100%)

21.5.20 A/Dトリガ発生

TRDi(i＝0～1)レジスタとTRDGRji(j＝A、B、C、D)レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

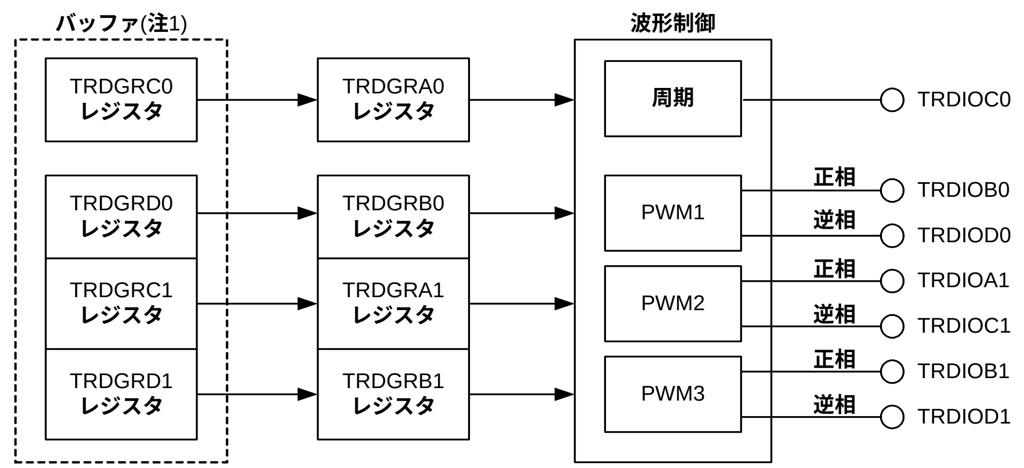
TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

21.6 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図21.17にリセット同期PWMモードのブロック図を、表21.11にリセット同期PWMモードの仕様を、図21.18にリセット同期PWMモードの動作例を示します。

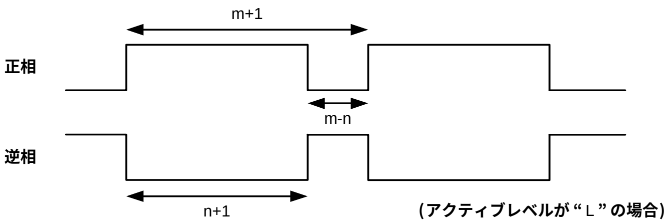
デューティ 0%、100%の PWM 動作例は「図 21.16　PWM モードの動作例 (デューティ 0%、デューティ 100%)」を参照してください。



注1. TRDMRレジスタのBFC0、BFD0、BFC1、BFD1ビットが“1”(バッファレジスタ)の場合です。

図21.17　リセット同期PWMモードのブロック図

表21.11　リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期　：1/fk×(m+1) 正相のアクティブレベル幅　：1/fk×(m-n) 逆相のアクティブレベル幅　：1/fk×(n+1) fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1)、 TRDGRA1レジスタ設定値(PWM出力2)、 TRDGRB1レジスタ設定値(PWM出力3) 
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力) • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	• コンペア一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) • TRD0オーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	• 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • バッファ動作(「21.2.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「21.2.4　パルス出力強制遮断」参照) • A/Dトリガ発生

j=A、B、C、Dのいずれか

21.6.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I2Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I2Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I2Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1) レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

21.6.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	—	—	—	ITCLK0	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	ITCLK0	タイマRD0用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	ITCLK1	タイマRD1用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

21.6.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

21.6.4 タイマRDスタートレジスタ(TRDSTR)[リセット同期PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「21.10.1　TRDSTRレジスタ」を参照してください。

21.6.5 タイマRDモードレジスタ(TRDMR)[リセット同期PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	リセット同期PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

21.6.6 タイマRD機能制御レジスタ(TRDFCR)[リセット同期PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	リセット同期PWMモードでは“01b”(リセット同期PWMモード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	0：初期出力“H”、アクティブレベル“L” 1：初期出力“L”、アクティブレベル“H”	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)	リセット同期PWMモードでは無効です	R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	リセット同期PWMモードでは無効です	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注2. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

21.6.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[リセット同期PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	リセット同期PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

21.6.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[リセット同期PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\text{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「21.2.4　パルス出力強制遮断」を参照してください。

21.6.9 タイマRD制御レジスタ0 (TRDCR0)[リセット同期PWMモード時]

アドレス 0140h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1)またはfC2 (注2) 1 1 0：fOCO40M 1 1 1：fOCO-F(注4)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	リセット同期PWMモードでは“001b”(TRDGRA0とのコンペア一致でTRD0レジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。
注3. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

リセット同期PWMモードでは、TRDCR1レジスタは使用しません。

21.6.10 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[リセット同期PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	リセット同期PWMモードでは無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

21.6.11 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0〜1)[リセット同期PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

21.6.12 タイマRDカウンタ0 (TRD0)[リセット同期PWMモード時]

アドレス 0147h〜0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15〜b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h〜FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、TRD1レジスタは使用しません。

21.6.13 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[リセット同期PWMモード時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表21.12　リセット同期PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。
TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表21.12　リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0=0	(リセット同期PWMモードでは使用しません)	—
TRDGRD0	BFD0=0		
TRDGRA1	—	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1=0	(リセット同期PWMモードでは使用しません)	—
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「21.2.2　バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「21.2.2　バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「21.2.2　バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「21.2.2　バッファ動作」参照)。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

21.6.14 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 0 0：TRDIOA0/TRDCLK端子は使用しない 0 1：P6_0に割り当てる 1 0：P10_0に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0：TRDIOB0端子は使用しない 0 1：P6_1に割り当てる 1 0：P10_1に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0：TRDIOC0端子は使用しない 0 1：P6_2に割り当てる 1 0：P10_2に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 0 0：TRDIOD0端子は使用しない 0 0：P6_3に割り当てる 1 0：P10_3に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

21.6.15 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 0 0：TRDIOA1端子は使用しない 0 1：P6_4に割り当てる 1 0：P10_4に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 0 0：TRDIOB1端子は使用しない 0 1：P6_5に割り当てる 1 0：P10_5に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 0 0：TRDIOC1端子は使用しない 0 1：P6_6に割り当てる 1 0：P10_6に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 0 0：TRDIOD1端子は使用しない 0 1：P6_7に割り当てる 1 0：P10_7に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

21.6.16 動作例

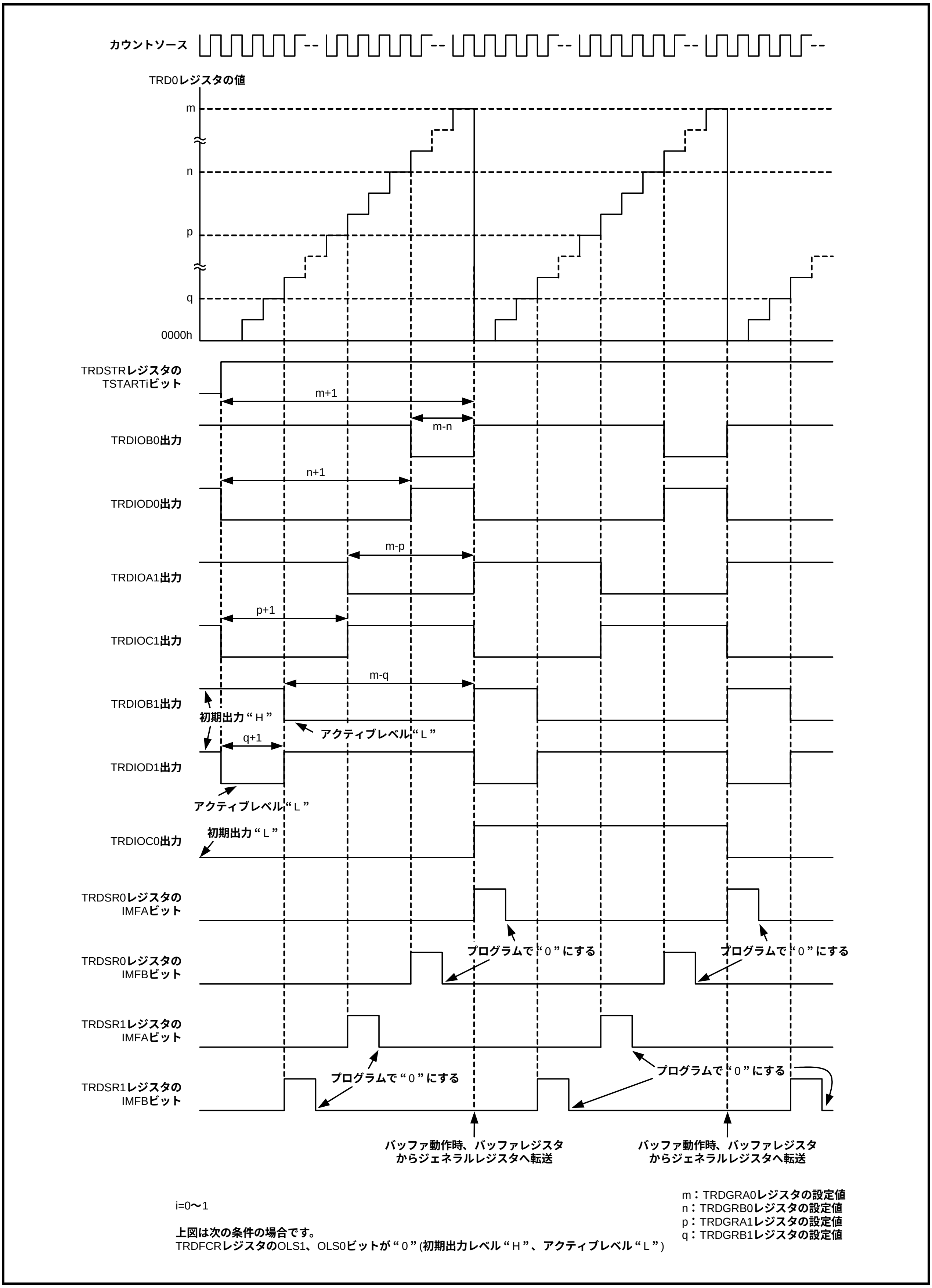


図21.18　リセット同期PWMモードの動作例

21.6.17 A/Dトリガ発生

TRDi(i＝0～1)レジスタとTRDGRji(j＝A、B、C、D)レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

21.7 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図21.19に相補PWMモードのブロック図を、表21.13に相補PWMモードの仕様を、図21.20に相補PWMモードの出力モデルを、図21.21に相補PWMモードの動作例を示します。

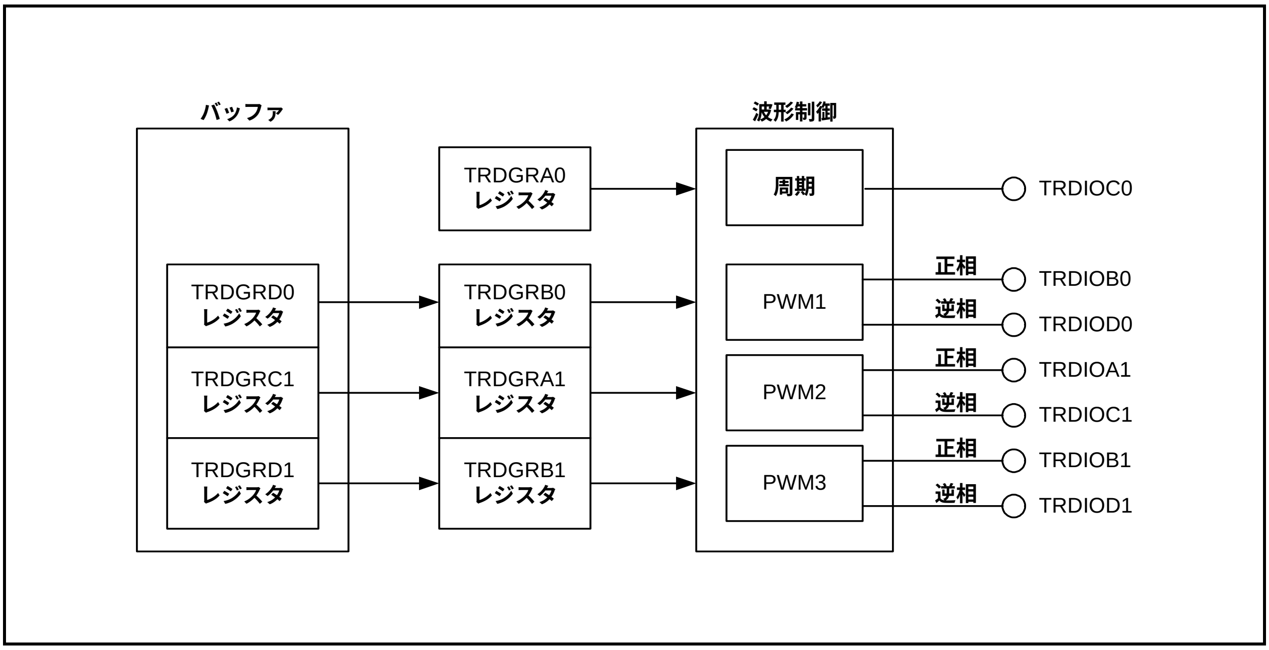
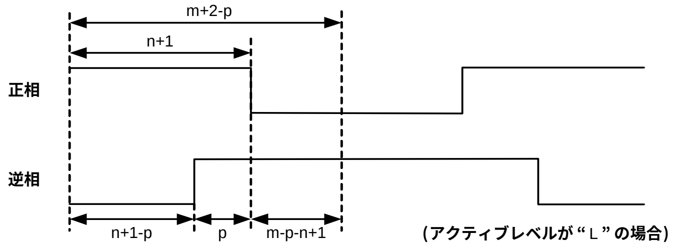


図21.19 相補PWMモードのブロック図

表21.13　相補PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK2～TCK0ビットと、TRDCR1レジスタのTCK2～TCK0ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペア一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが“0000h”から“FFFFh”になるとTRD0、TRD1ともアップカウントになる。
PWM波形	PWM周期：1/fk×(m+2-p)×2(注1) 短絡防止時間：p 正相のアクティブレベル幅：1/fk×(m-n-p+1)×2 逆相のアクティブレベル幅：1/fk×(n+1-p)×2 fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p：TRD0レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットとTSTART1ビットへの“0”(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	• コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRD1アンダフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	• パルス出力強制遮断信号入力(「21.2.4　パルス出力強制遮断」参照) • 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • バッファレジスタからの転送タイミング選択 • A/Dトリガ発生

i=0～1、j=A、B、C、Dのいずれか

注1.　カウント開始後、PWM周期は固定です。

21.7.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I²Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I²Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1) レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

21.7.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	—	—	—	ITCLK0	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	ITCLK0	タイマRD0用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	ITCLK1	タイマRD1用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

21.7.3 タイマRDトリガ制御レジスタ(TRDADCR)[相補PWMモード時]

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	相補PWMモードでは、“0”にしてください	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

21.7.4 タイマRDスタートレジスタ(TRDSTR)[相補PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「21.10.1　TRDSTRレジスタ」を参照してください。

21.7.5 タイマRDモードレジスタ(TRDMR)[相補PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	相補PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	相補PWMモードでは“0”(ジェネラルレジスタ)にしてください	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

21.7.6 タイマRD機能制御レジスタ(TRDFCR)[相補PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1、2)	b1 b0 1 0：相補PWMモード(TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 1 1：相補PWMモード(TRD0とTRDGRA0レジスタのコンペア一致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外：設定しないでください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	0：初期出力“H”、アクティブレベル“L” 1：初期出力“L”、アクティブレベル“H”	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)	0：A/Dトリガを禁止 1：A/Dトリガを許可(注3)	R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)	0：TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生 1：TRD1のアンダフロー時にA/Dトリガ発生	R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注4)	相補PWMモードでは無効です	R/W

注1. CMD1～CMD0ビットを“10b”、“11b”に設定したとき、TRDPMRレジスタの設定にかかわらず、相補PWMモードになります。
注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注3. ADMODレジスタのADCAP1～ADCAP0ビットを“01b”(タイマRDからの変換トリガによるA/D変換開始)にしてください。
注4. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

21.7.7　タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[相補PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	相補PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

21.7.8　タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[相補PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\mathrm{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\mathrm{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「21.2.4　パルス出力強制遮断」を参照してください。

21.7.9 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[相補PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット(注3)	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1)またはfC2 (注2) 1 1 0：fOCO40M 1 1 1：fOCO-F(注5)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3、4)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	相補PWMモードでは“000b”(クリア禁止(フリーランニング動作))にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。
注3. TRDCR0レジスタとTRDCR1レジスタの、TCK0～TCK2ビット、CKEG0～CKEG1ビットの設定は、同じにしてください。
注4. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

21.7.10 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[相補PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD1がアンダフローしたとき	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。
注2. 書き込み結果は次のようになります。
・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません (読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
・“1”を書いた場合は変化しません。
注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

21.7.11 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1)[相補PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVF、UDFビットによる割り込み(OVI)禁止 1：OVF、UDFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

21.7.12 タイマRDカウンタ0 (TRD0)[相補PWMモード時]

アドレス 0147h～0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

21.7.13 タイマRDカウンタ1 (TRD1)[相補PWMモード時]

アドレス 0157h～0156h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	“0000h”を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが“1”になる。	0000h～FFFFh	R/W

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

21.7.14 タイマRDジェネラルレジスタAi、Bi、C1、Di (TRDGRAi、TRDGRBi、TRDGRC1、TRDGRDi)(i＝0～1)[相補PWMモード時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表21.14　相補PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表21.14　相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	(TRDIOC0半周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	—	(相補PWMモードでは使用しません。)	—
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「21.2.2　バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「21.2.2　バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「21.2.2　バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。

21.7.15 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 0 0：TRDIOA0/TRDCLK端子は使用しない 0 1：P6_0に割り当てる 1 0：P10_0に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0：TRDIOB0端子は使用しない 0 1：P6_1に割り当てる 1 0：P10_1に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0：TRDIOC0端子は使用しない 0 1：P6_2に割り当てる 1 0：P10_2に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 0 0：TRDIOD0端子は使用しない 0 0：P6_3に割り当てる 1 0：P10_3に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

21.7.16 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 0 0：TRDIOA1端子は使用しない 0 1：P6_4に割り当てる 1 0：P10_4に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 0 0：TRDIOB1端子は使用しない 0 1：P6_5に割り当てる 1 0：P10_5に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 0 0：TRDIOC1端子は使用しない 0 1：P6_6に割り当てる 1 0：P10_6に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 0 0：TRDIOD1端子は使用しない 0 1：P6_7に割り当てる 1 0：P10_7に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

21.7.17 動作例

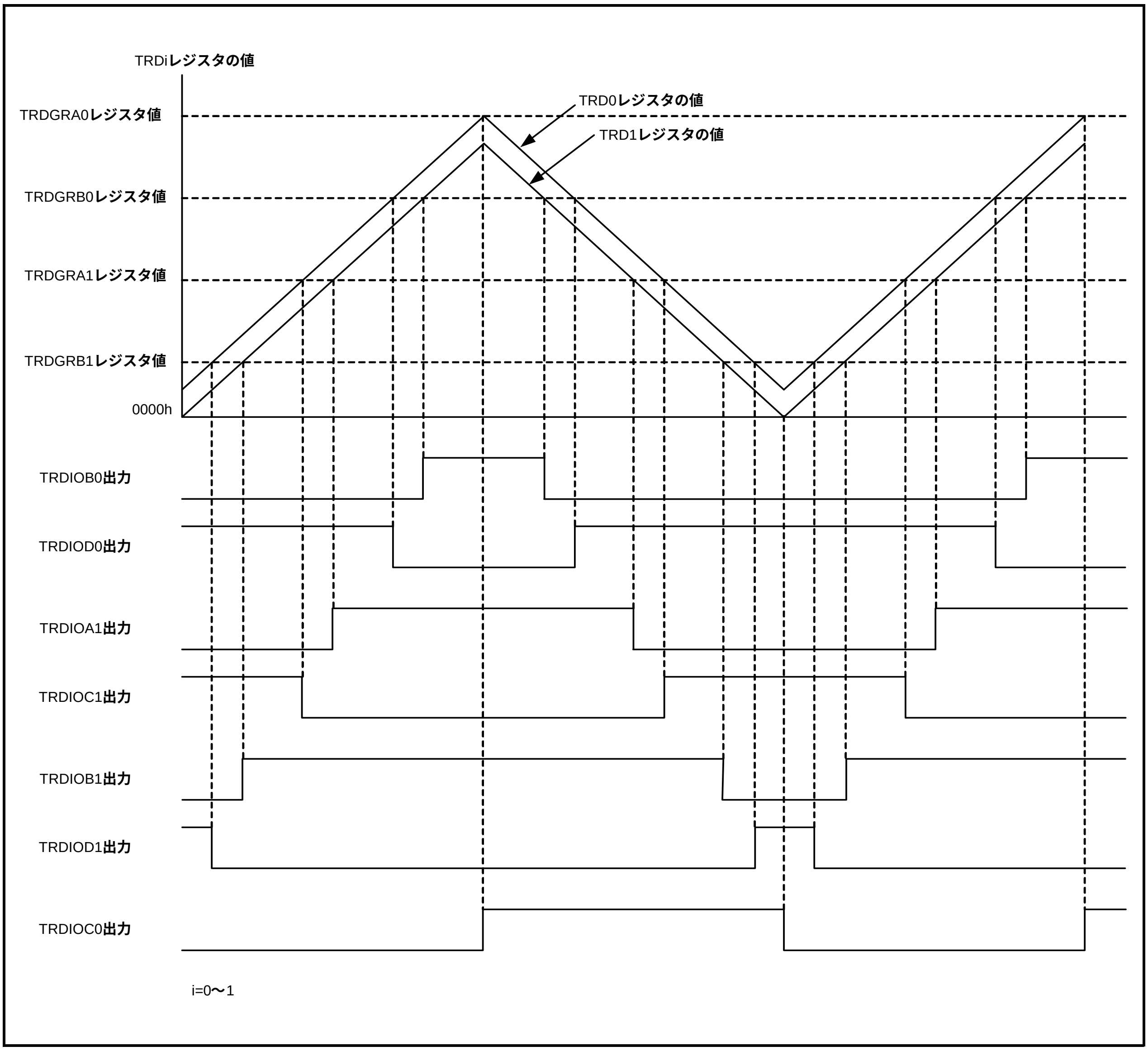
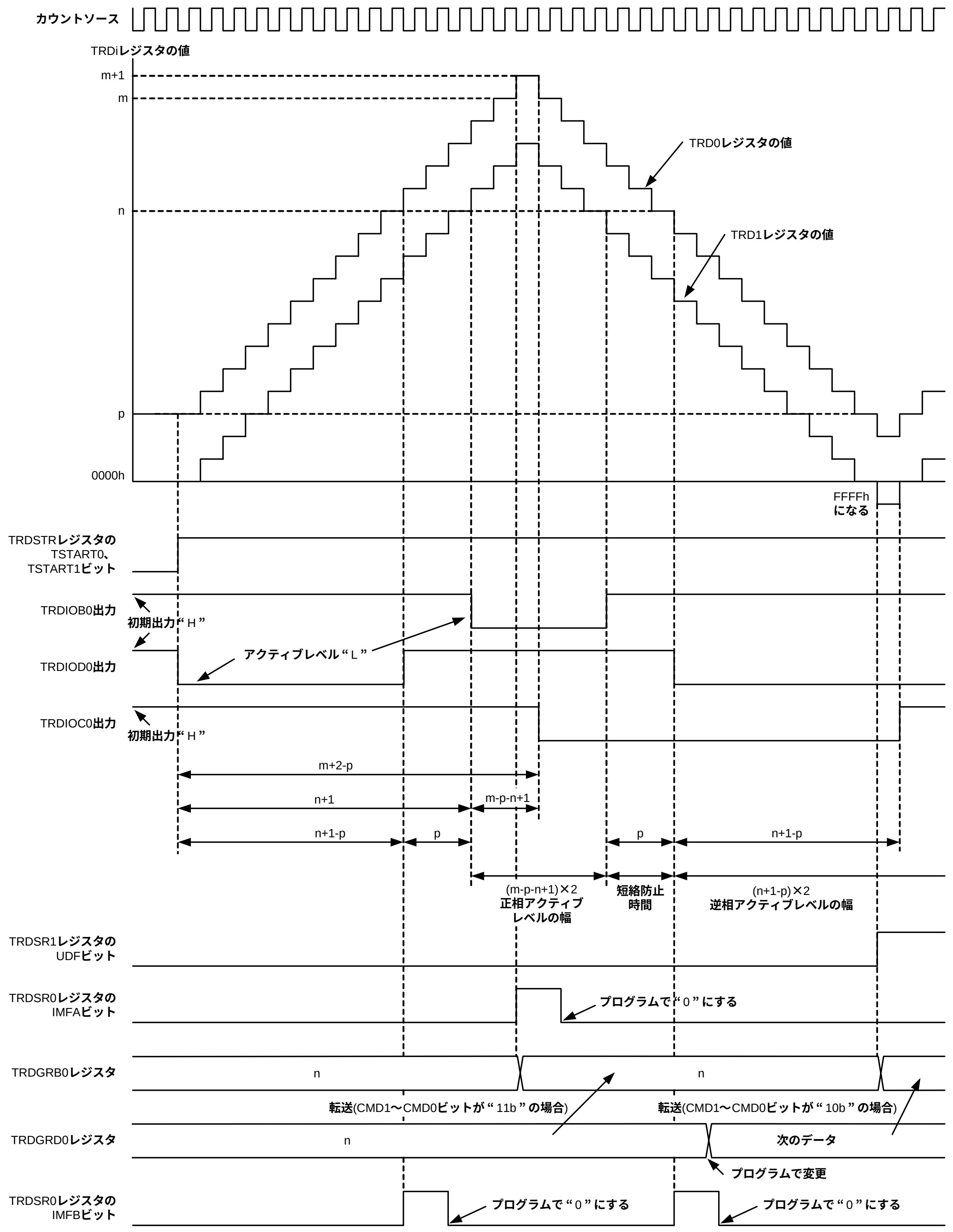


図21.20　相補PWMモードの出力モデル



CMD0、CMD1：TRDFCRレジスタのビット

i=0～1

m：TRDGRA0レジスタの設定値
n：TRDGRB0レジスタの設定値
p：TRD0レジスタの設定値

上図は次の条件の場合です。
TRDFCRレジスタのOLS1、OLS0ビットが“0”(正相、逆相とも初期出力レベル“H”、アクティブレベル“L”)

図21.21　相補PWMモードの動作例

21.7.18 バッファレジスタからの転送タイミング

• TRDGRD0、TRDGRC1、TRDGRD1レジスタからTRDGRB0、TRDGRA1、TRDGRB1レジスタへの転送
TRDFCRレジスタのCMD1～CMD0ビットが“10b”の場合、TRD1がアンダフローしたときに転送します。
CMD1～CMD0ビットが“11b”の場合、TRD0とTRDGRA0レジスタがコンペア一致したときに転送します。

21.7.19 A/Dトリガ発生

TRD0とTRDGRA0レジスタのコンペア一致と、TRD1アンダフローを、A/Dコンバータの変換開始トリガとして使用できます。

TRDFCRレジスタのADEG、ADTRGビットおよびTRDADCRレジスタで設定してください。

また、ADMODレジスタのADCAP1～ADCAP0ビットを“01b”(タイマRDからの変換トリガによるA/D変換開始)にしてください。

21.8 PWM3モード

同周期のPWM波形を2本出力します。

図21.22にPWM3モードのブロック図を、表21.15にPWM3モードの仕様を、図21.23にPWM3モードの動作例を示します。

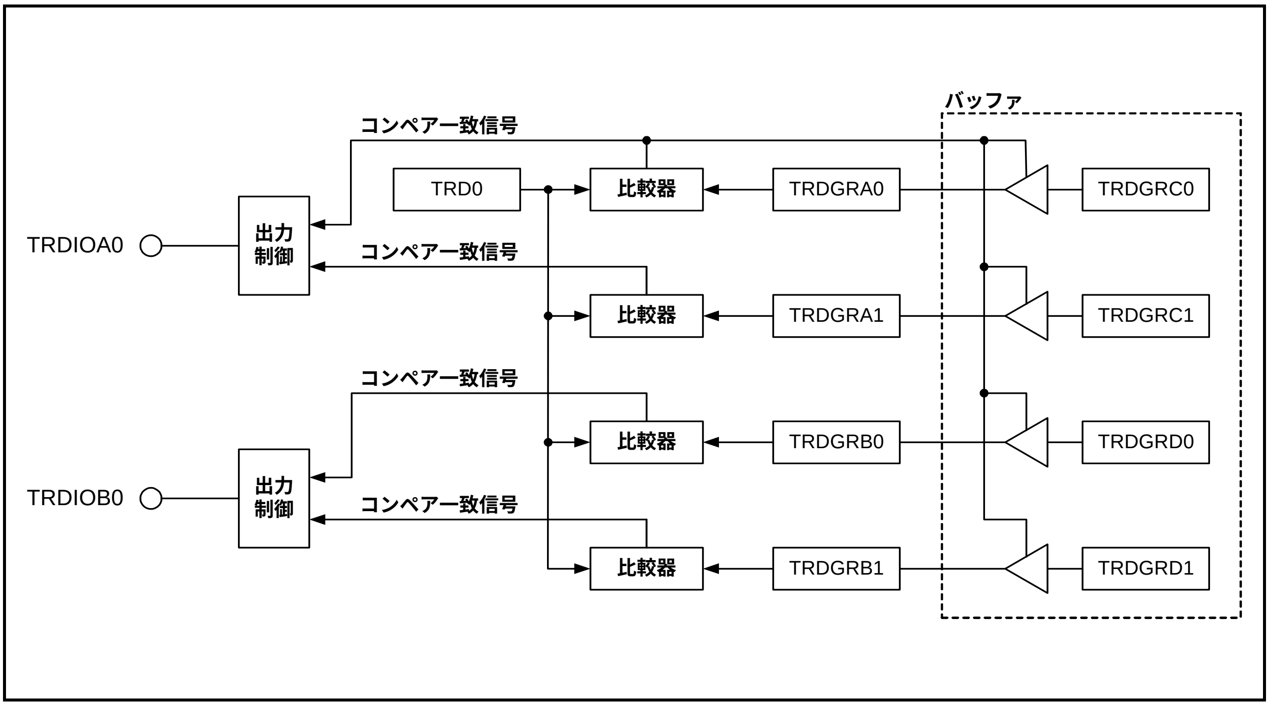
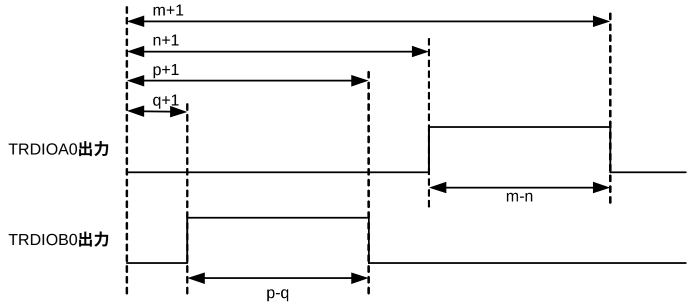


図21.22　PWM3モードのブロック図

表21.15　PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期：1/fk×(m+1) TRDIOA0出力のアクティブレベル幅：1/fk×(m-n) TRDIOB0出力のアクティブレベル幅：1/fk×(p-q) fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRA1レジスタ設定値 p：TRDGRB0レジスタ設定値 q：TRDGRB1レジスタ設定値  (アクティブレベルが“H”の場合)
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRD0オーバフロー
TRDIOA0、TRDIOB0端子機能	PWM出力
TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	• パルス出力強制遮断信号入力(「21.2.4　パルス出力強制遮断」参照) • アクティブレベルを端子ごとに選択 • バッファ動作(「21.2.2　バッファ動作」参照) • A/Dトリガ発生

i＝0～1、j＝A、B、C、Dのいずれか

21.8.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I²Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I²Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1) レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

21.8.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	—	—	—	ITCLK0	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	ITCLK0	タイマRD0用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	ITCLK1	タイマRD1用fC2選択ビット	0：TRDCLK入力を選択 1：fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

21.8.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペアー致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペアー致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペアー致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペアー致時にA/Dトリガ発生	R/W

21.8.4 タイマRDスタートレジスタ(TRDSTR)[PWM3モード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット [PWM3モードでは使用しません]	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「21.10.1　TRDSTRレジスタ」を参照してください。

21.8.5 タイマRDモードレジスタ(TRDMR)[PWM3モード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	PWM3モードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

21.8.6 タイマRD機能制御レジスタ(TRDFCR)[PWM3モード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	PWM3モードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時有効)	PWM3モードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時有効)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時有効)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時有効)		R/W
b6	STCLK	外部クロック入力選択ビット	PWM3モードでは“0”(外部クロック入力無効)にしてください	R/W
b7	PWM3	PWM3モード選択ビット(注2)	PWM3モードでは“0”(PWM3モード)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

21.8.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWM3モード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	PWM3モードでは、“1”(プログラマブル入出力ポート)にしてください。	R/W
b3	ED0	TRDIOD0出力禁止ビット		R/W
b4	EA1	TRDIOA1出力禁止ビット		R/W
b5	EB1	TRDIOB1出力禁止ビット		R/W
b6	EC1	TRDIOC1出力禁止ビット		R/W
b7	ED1	TRDIOD1出力禁止ビット		R/W

21.8.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWM3モード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\text{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「21.2.4　パルス出力強制遮断」を参照してください。

21.8.9 タイマRDアウトプット制御レジスタ(TRDOCR)[PWM3モード時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット(注1)	0：アクティブレベル“H”、初期出力“L”、 TRDGRA1のコンペア一致で“H”出力、 TRDGRA0のコンペア一致で“L”出力 1：アクティブレベル“L”、初期出力“H”、 TRDGRA1のコンペア一致で“L”出力、 TRDGRA0のコンペア一致で“H”出力	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0：アクティブレベル“H”、初期出力“L”、 TRDGRB1のコンペア一致で“H”出力、 TRDGRB0のコンペア一致で“L”出力 1：アクティブレベル“L”、初期出力“H”、 TRDGRB1のコンペア一致で“L”出力、 TRDGRB0のコンペア一致で“H”出力	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	PWM3モードでは無効です	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

注1. 端子の機能が波形出力の場合(「7.6　ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

21.8.10 タイマRD制御レジスタ0 (TRDCR0)[PWM3モード時]

アドレス 0140h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：設定しないでください 1 1 0：fOCO40M 1 1 1：fOCO-F(注1)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット	PWM3モードでは無効です	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	PWM3モードでは“001b”(TRDGRA0レジスタとコンペア一致でTRD0レジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

TRDCR0レジスタのPWM3モードでは、TRDCR1レジスタは使用しません。

21.8.11 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[PWM3モード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWM3モードでは無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

21.8.12 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1)[PWM3モード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

21.8.13 タイマRDカウンタ0 (TRD0)[PWM3モード時]

アドレス 0147h～0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、TRD1レジスタは使用しません。

21.8.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[PWM3モード時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表21.16 PWM3モード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表21.16 PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	BFC0=0	(PWM3モードでは使用しません)	—
TRDGRC1	BFC1=0		
TRDGRD0	BFD0=0		
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「21.2.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「21.2.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「21.2.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「21.2.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを“0”(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、その後BFC0、BFC1、BFD0、BFD1ビットを“1”(バッファレジスタ)にできます。

21.8.15 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 0 0：TRDIOA0/TRDCLK端子は使用しない 0 1：P6_0に割り当てる 1 0：P10_0に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0：TRDIOB0端子は使用しない 0 1：P6_1に割り当てる 1 0：P10_1に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0：TRDIOC0端子は使用しない 0 1：P6_2に割り当てる 1 0：P10_2に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 0 0：TRDIOD0端子は使用しない 0 0：P6_3に割り当てる 1 0：P10_3に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

21.8.16 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

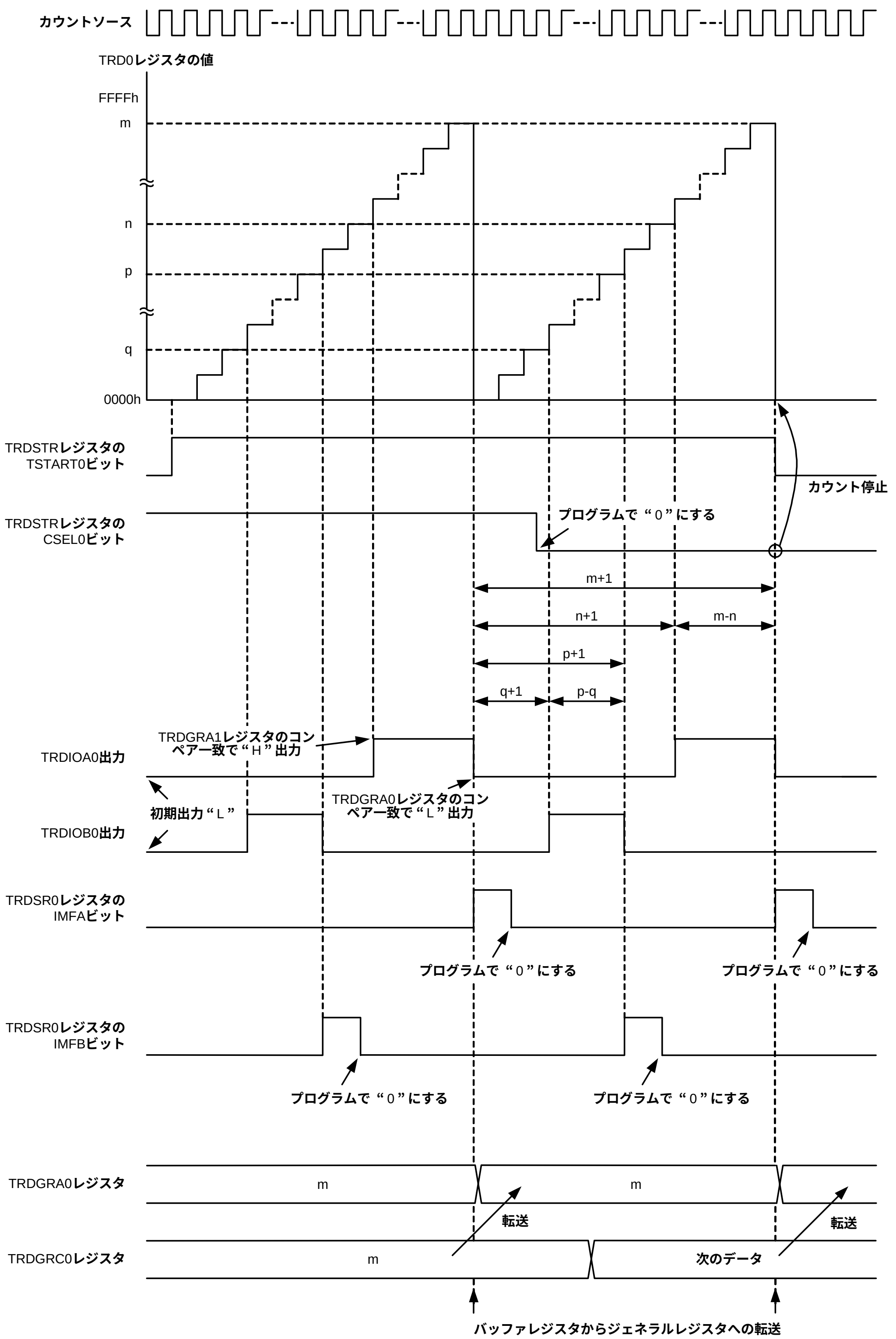
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 0 0：TRDIOA1端子は使用しない 0 1：P6_4に割り当てる 1 0：P10_4に割り当てる 1 1：設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 0 0：TRDIOB1端子は使用しない 0 1：P6_5に割り当てる 1 0：P10_5に割り当てる 1 1：設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 0 0：TRDIOC1端子は使用しない 0 1：P6_6に割り当てる 1 0：P10_6に割り当てる 1 1：設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 0 0：TRDIOD1端子は使用しない 0 1：P6_7に割り当てる 1 0：P10_7に割り当てる 1 1：設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

21.8.17 動作例



上図は次の条件の場合です。
・TRDOCRレジスタのTOA0、TOB0ビットがともに“0”(初期出力“L”、TRDGRj1レジスタのコンペアー致で“H”出力、TRDGRj0レジスタのコンペアー致で“L”出力)
・TRDMRレジスタのBFC0ビットが“1”（TRDGRC0レジスタはTRDGRA0レジスタのバッファレジスタ)

j =A、Bのいずれか

m：TRDGRA0レジスタの設定値
n：TRDGRA1レジスタの設定値
p：TRDGRB0レジスタの設定値
q：TRDGRB1レジスタの設定値

図21.23 PWM3モードの動作例

21.8.18 A/Dトリガ発生

TRDi(i＝0～1)レジスタとTRDGRji(j＝A、B、C、D)レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

21.9 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRDi(i＝0～1)割り込み要求を発生します。タイマRD割り込みはタイマRD0とタイマRD1ごとに1つのTRDiIC(i=0～1)レジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表21.17にタイマRD割り込み関連レジスタを、図21.24にタイマRD割り込みのブロック図を示します。

表21.17 タイマRD割り込み関連レジスタ

	タイマRD ステータスレジスタ	タイマRD 割り込み許可レジスタ	タイマRD 割り込み制御レジスタ
タイマRD0	TRDSR0	TRDIER0	TRD0IC
タイマRD1	TRDSR1	TRDIER1	TRD1IC

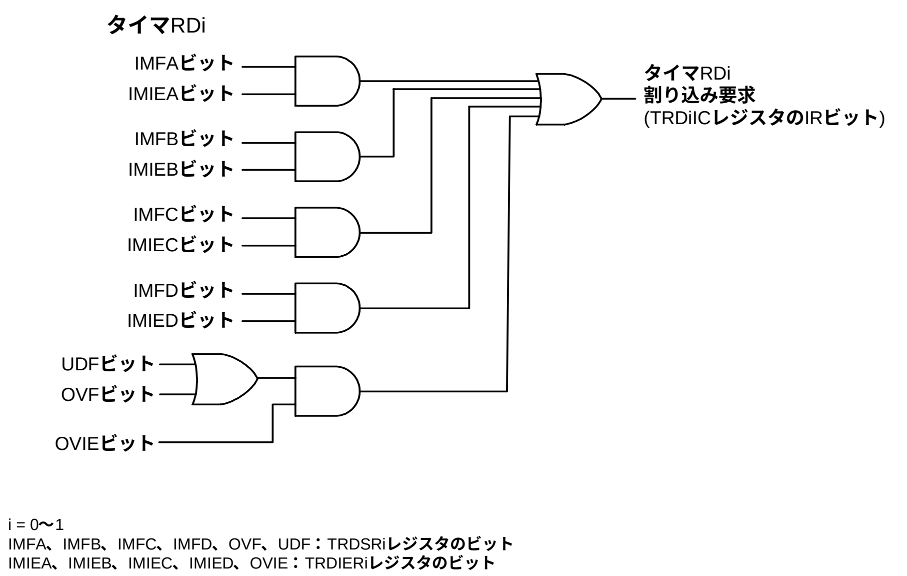


図21.24 タイマRD割り込みのブロック図

タイマRD割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSRiレジスタのビットが“1”で、それに対応するTRDIERiレジスタのビットが“1”(割り込み許可)の場合、TRDiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRDSRiレジスタのビットと、それに対応するTRDIERiレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRDIERi　レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRDSRiレジスタで判定してください。
- TRDSRiレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「モードごとのTRDSR0～TRDSR1レジスタ(21.3.11、21.4.14、21.5.12、21.6.10、21.7.10、21.8.11)」を参照してください。

TRDSRiレジスタは「モードごとのTRDSR0～TRDSR1レジスタ(21.3.11、21.4.14、21.5.12、21.6.10、21.7.10、21.8.11)」を、TRDIERiレジスタは「モードごとのTRDIER0～TRDIER1レジスタ(21.3.12、21.4.15、21.5.13、21.6.11、21.7.11、21.8.12)」を参照してください。

TRDiICレジスタは「12.3　割り込み制御」、割り込みベクタは「12.1.5.2　可変ベクタテーブル」を参照してください。

21.10 タイマRD使用上の注意

21.10.1 TRDSTRレジスタ

• TRDSTRレジスタはMOV命令を使用して書いてください。

• CSELi(i=0～1)ビットが“0”(TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合、TSTARTiビットに“0”(カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。
したがって、CSELiビットが“0”のとき、TSTARTiビットを変化させずに他のビットを変更したい場合は、TSTARTiビットに“0”を書いてください。
また、プログラムでカウントを停止させる場合は、CSELiビットを“1”にした後で、TSTARTiビットに“0”を書いてください。同時に(1命令で)CSELiビットに“1”、TSTARTiビットに“0”を書いてもカウントは停止できません。

• TRDIOji(j=A、B、C、D)端子をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表21.18に示します。

表21.18 カウント停止時のTRDIOji(j=A, B, C, D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOji端子出力
CSELiビットが“1”のときに、TSTARTiビットに“0”を書きカウント停止	直前の出力レベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが“0”のときに、TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)

21.10.2 TRDiレジスタ(i=0～1)

• TRDSTRレジスタのTSTARTiビットが“1”(カウント開始)の状態で、プログラムでTRDiレジスタに値を書き込む場合は、TRDiレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRDiレジスタが“0000h”になるタイミングと、TRDiレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDiレジスタが“0000h”になります。
この注意事項は、TRDCRiレジスタのCCLR2～CCLR0ビットで次の選択をしている場合に該当します。
- “001b”(TRDGRAiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
- “010b”(TRDGRBiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
- “011b”(同期クリア)
- “101b”(TRDGRCiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
- “110b”(TRDGRDiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)

• TRDiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.W   #XXXXh, TRD0     ；書き込み
                    JMP.B   L1               ；JMP.B命令
              L1:   MOV.W   TRD0,DATA        ；読み出し
```

21.10.3 TRDSRiレジスタ(i=0～1)

TRDSRiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例          MOV.B   #XXh, TRDSR0      ；書き込み
                      JMP.B   L1                ；JMP.B命令
                 L1:  MOV.B   TRDSR0,DATA       ；読み出し
```

21.10.4 TRDCRiレジスタ(i=0～1)

TRDCRiレジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

21.10.5 カウントソース切り替え

• カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する

• カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

• カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

• カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

21.10.6 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表21.1　タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIOji(i=0～1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2～3サイクル後にTRDiレジスタの値をTRDGRjiレジスタに転送します(デジタルフィルタなしの場合)。

21.10.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
  変更手順

(1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
(2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
(3) CMD1～CMD0を“01b”(リセット同期PWMモード)にする
(4) その他のタイマRD関連レジスタを再設定する

21.10.8 相補PWMモード

• モータ制御に用いる場合はOLS0=OLS1で使用してください。

• TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
(1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
(2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
(3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
(4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合
(1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
(2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

• 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM 波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1 レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。
PWM周期は変更できません。

• TRDGRA0 レジスタに設定した値を m とすると、TRD0 レジスタはアップカウントからダウンカウントに変わるとき、m-1→m→m+1→m→m-1とカウントします。
m→m+1のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1 、TRDGRB1)に転送されます。
m+1→m→m-1の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

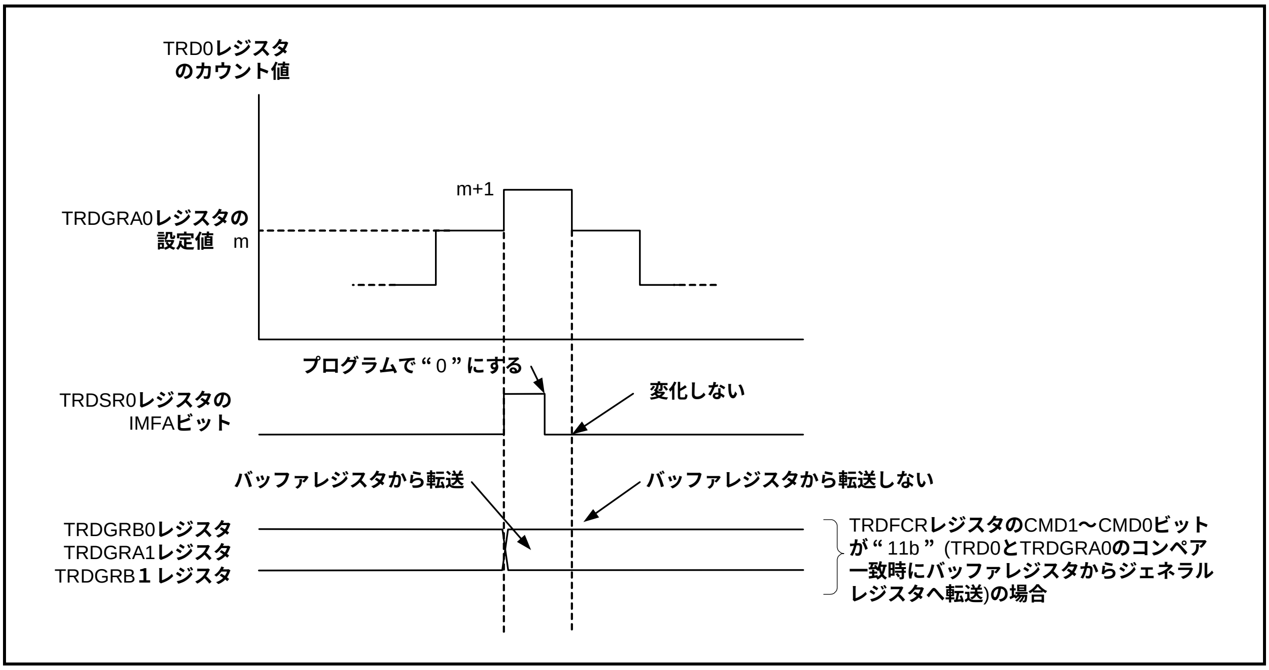


図 21.25　相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

• TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFh→0→1とカウントします。
1→0→FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
FFFFh→0→1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

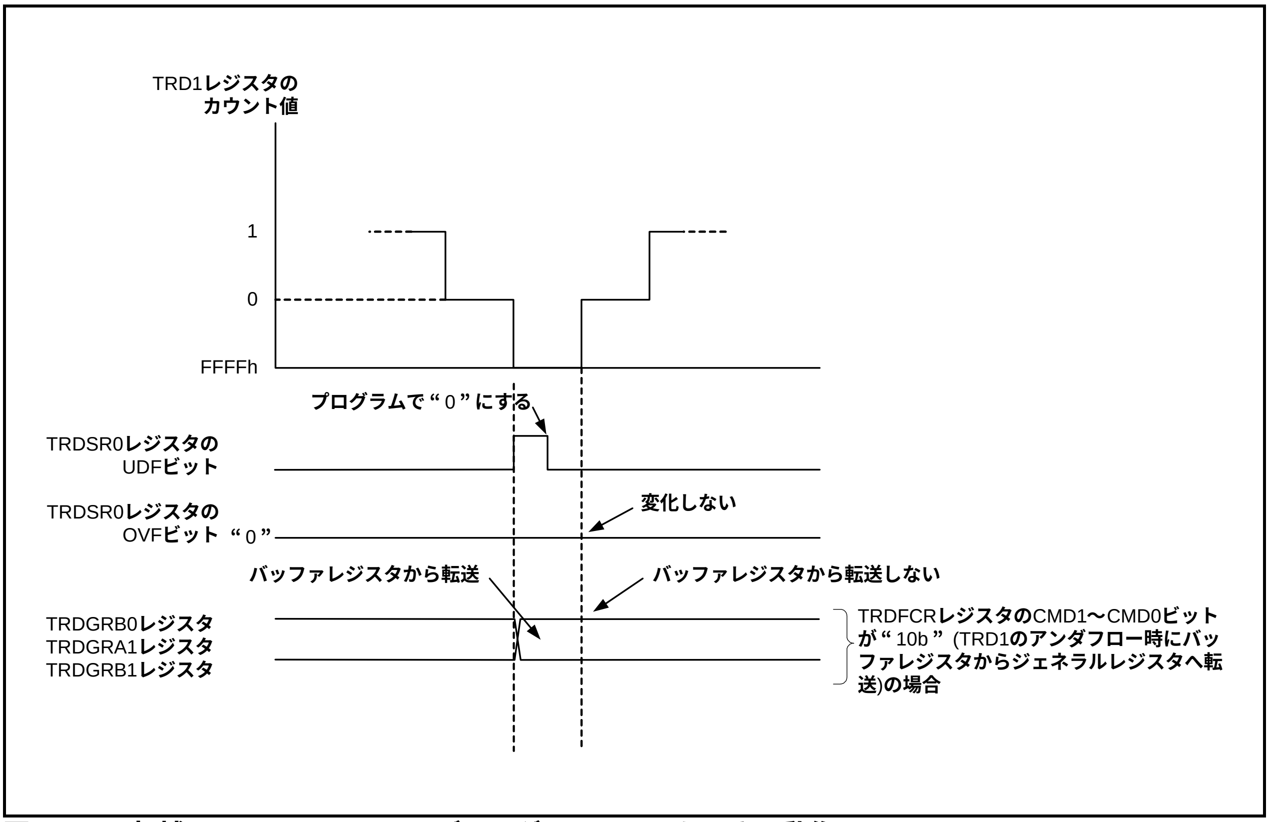
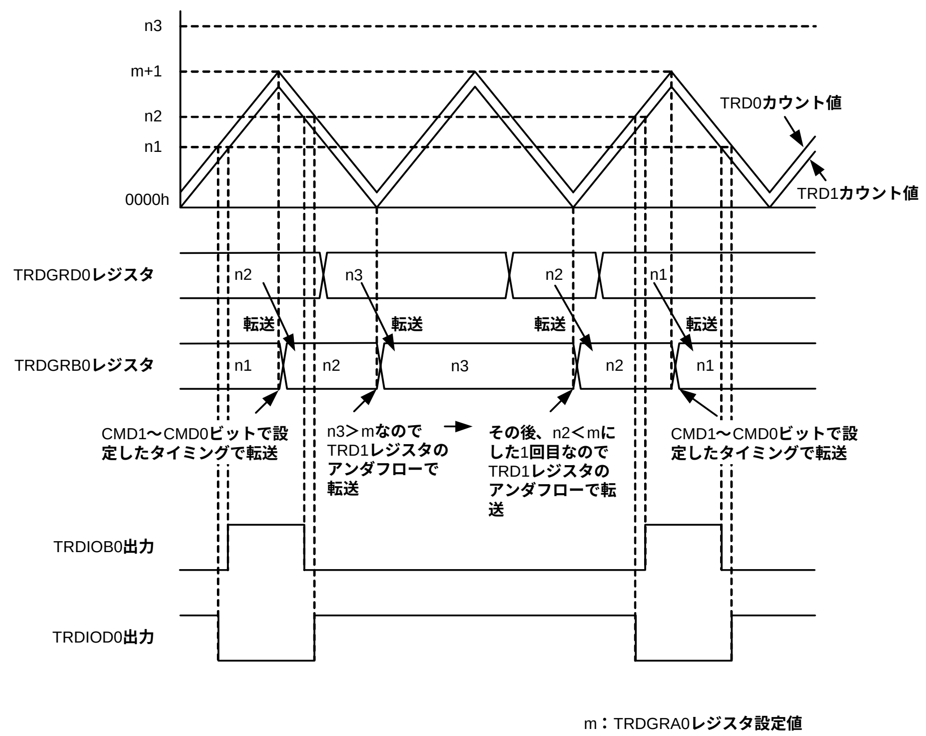


図 21.26　相補PWMモード　TRD1がアンダーフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR　レジスタのCMD1～CMD0ビットで選択してください。ただし、次の場合はCMD1～CMD0ビットの値に関係なく次のタイミングで転送します。

  バッファレジスタの値≧TRDGRA0レジスタの値の場合
    TRD1レジスタのアンダフローで転送します。
    その後、“0001h”以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。



上図は次の条件の場合です。
・TRDFCRレジスタのCMD1～CMD0ビットが“11b”
　(相補PWMモード、TRD0レジスタとTRDGRA0レジスタのコンペア一致時、バッファレジスタのデータを転送)
・TRDFCRレジスタのOLS0、OLS1ビットがともに“1”(正相、逆相ともにアクティブ“H”)

図 21.27　相補PWMモード時のバッファレジスタの値≧TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

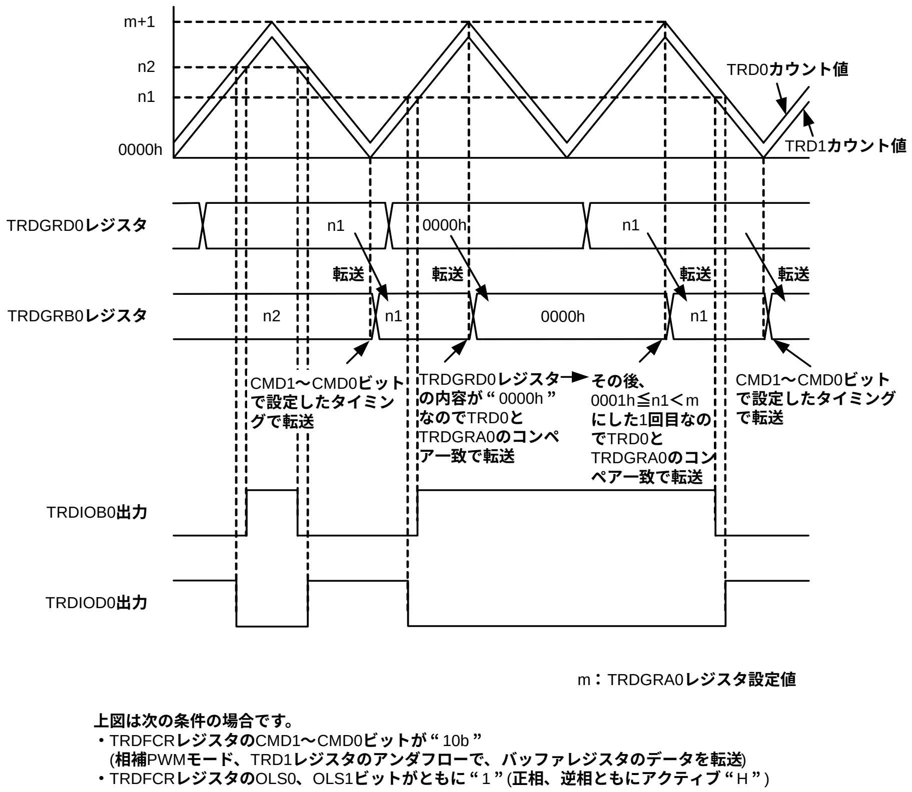


図 21.28　相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

21.10.9 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

22. タイマRE

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

22.1　概要

タイマREは、(4ビットプリスケーラ付き) 8ビットカウンタを持つタイマです。
タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード　fC4から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード　カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。
表22.1にタイマREの端子構成を示します。

表22.1　タイマREの端子構成

端子名	割り当てる端子	入出力	機　能
TREO	P11_7	出力	モードによって機能が異なります。 詳細は各モードを参照してください。

22.2 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図22.1にリアルタイムクロックモードのブロック図を、表22.2にリアルタイムクロックモードの仕様を、表22.3に割り込み要因を、図22.2に時間表現の定義を、図22.3にリアルタイムクロックモードの動作例を示します。

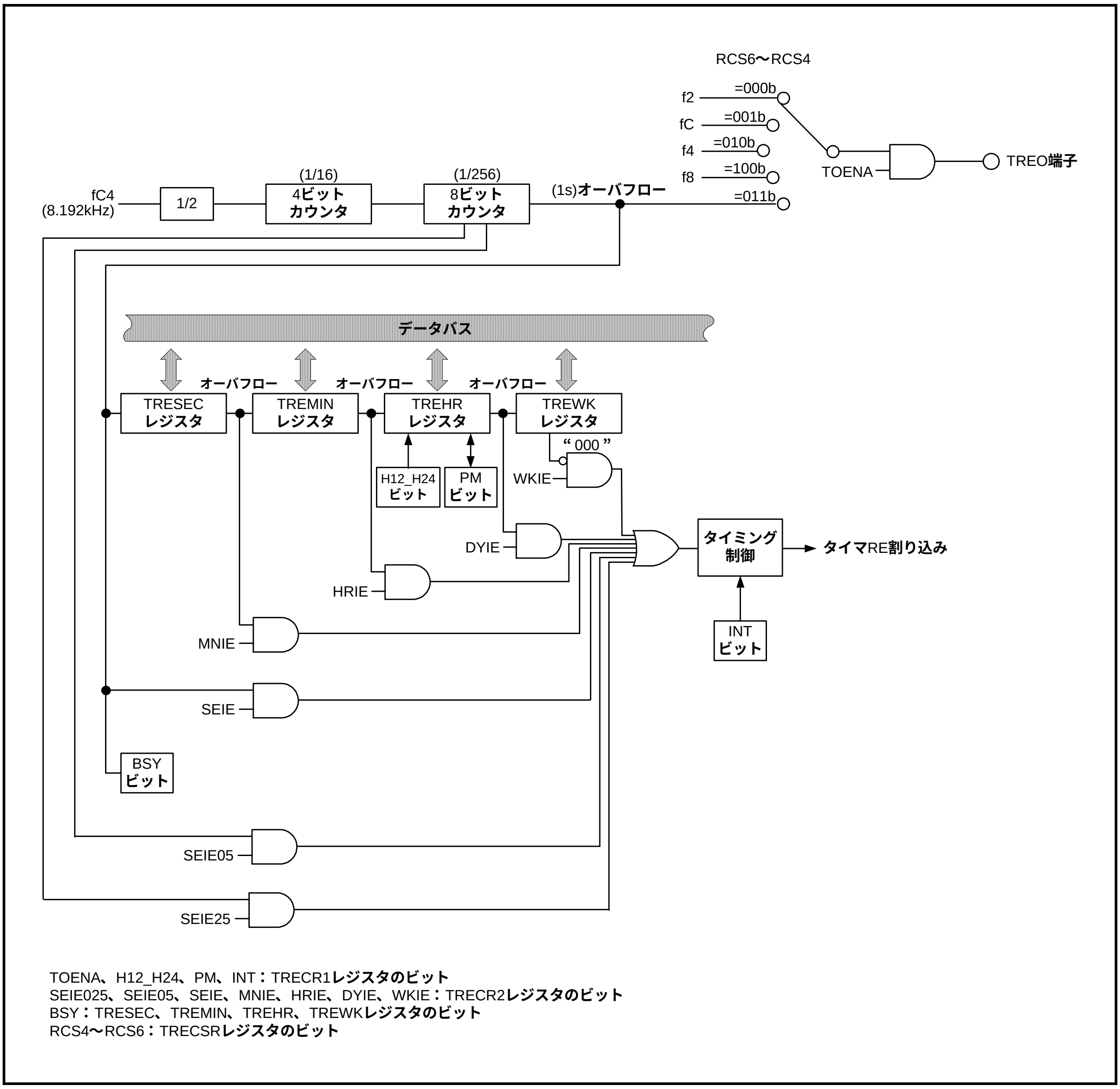


図 22.1 リアルタイムクロックモードのブロック図

表 22.2　リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC4
カウント動作	アップカウント
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 • 0.25秒データの更新 • 0.5秒データの更新 • 秒データの更新 • 分データの更新 • 時データの更新 • 曜日データの更新 • 曜日データが“000b”(日曜日)になったとき
TREO端子機能	プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力
タイマの読み出し	TRESEC、TREMIN、TREHR、TREWKレジスタを読むと、カウント値が読める。 TRESEC、TREMIN、TREHRレジスタの値はBCDコード。
タイマの書き込み	TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMIN、TREHR、TREWKレジスタに書き込める。TRESEC、TREMIN、TREHRレジスタへ書き込む値はBCDコード。
選択機能	12時間モード/24時間モード切り替え機能

22.2.1 タイマRE秒データレジスタ(TRESEC)[リアルタイムクロックモード時]

アドレス 0118h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。	0～9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒をカウント	0～5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

22.2.2 タイマRE分データレジスタ(TREMIN)[リアルタイムクロックモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。	0～9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分をカウント	0～5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

22.2.3 タイマRE時データレジスタ(TREHR)[リアルタイムクロックモード時]

アドレス 011Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	—	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0～9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。 H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。	0～2 (BCDコード)	R/W
b5	HR11				R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			—
b7	BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

22.2.4 タイマRE曜日データレジスタ(TREWK)[リアルタイムクロックモード時]

アドレス 011Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	—	—	—	—	WK2	WK1	WK0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	WK0	曜日カウントビット	b2 b1 b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定しないでください	R/W
b1	WK1			R/W
b2	WK2			R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります	R

22.2.5 タイマRE制御レジスタ1 (TRECR1)[リアルタイムクロックモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	—
リセット後の値	X	X	X	X	X	0	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	TCSTF	タイマREカウントステータスフラグ	0：カウント停止中 1：カウント中	R
b2	TOENA	TREO端子出力許可ビット	0：クロック出力禁止 1：クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMIN、TREHR、TREWK、TRECR2レジスタが“00h” • TRECR1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	H12_H24ビットが“0”(12時間モード)のとき(注1) 0：午前 1：午後 H12_H24ビットが“1”(24時間モード)のとき、不定	R/W
b6	H12_H24	動作モード選択ビット	0：12時間モード 1：24時間モード	R/W
b7	TSTART	タイマREカウント開始ビット	0：カウント停止 1：カウント開始	R/W

注1. タイマREがカウント中、自動的に変化します。

正午 (11→12)

TREHRレジスタの内容	H12_H24ビット=1 (24時間モード)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
	H12_H24ビット=0 (12時間モード)	0	1	2	3	4	5	6	7	8	9	10	11	0	1	2	3	4	5
PMビットの内容		0 (午前)												1 (午後)					
TREWKレジスタの内容		000 (日曜日)																	

日付が変わる (23→0)

TREHRレジスタの内容	H12_H24ビット=1 (24時間モード)	18	19	20	21	22	23	0	1	2	3	…
	H12_H24ビット=0 (12時間モード)	6	7	8	9	10	11	0	1	2	3	…
PMビットの内容		1 (午後)						0 (午前)				…
TREWKレジスタの内容		000 (日曜日)						001 (月曜日)				…

PMビット、H12_H24ビット：TRECR1レジスタのビット
上記は日曜日の午前0時からカウントを始めた場合です。

図 22.2 時間表現の定義

22.2.6 タイマRE制御レジスタ2 (TRECR2)[リアルタイムクロックモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE	SEIE05	SEIE025
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	SEIE025	0.25秒周期割り込み許可ビット(注1)	0：0.25秒周期割り込み禁止 1：0.25秒周期割り込み許可	R/W
b1	SEIE05	0.5秒周期割り込み許可ビット(注1)	0：0.5秒周期割り込み禁止 1：0.5秒周期割り込み許可	R/W
b2	SEIE	秒周期割り込み許可ビット(注1)	0：秒周期割り込み禁止 1：秒周期割り込み許可	R/W
b3	MNIE	分周期割り込み許可ビット(注1)	0：分周期割り込み禁止 1：分周期割り込み許可	R/W
b4	HRIE	時周期割り込み許可ビット(注1)	0：時周期割り込み禁止 1：時周期割り込み許可	R/W
b5	DYIE	日周期割り込み許可ビット(注1)	0：日周期割り込み禁止 1：日周期割り込み許可	R/W
b6	WKIE	週周期割り込み許可ビット(注1)	0：週周期割り込み禁止 1：週周期割り込み許可	R/W
b7	COMIE	コンペア一致割り込み許可ビット	リアルクロックモードでは“0”にしてください	R/W

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

表 22.3 割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	TREWKレジスタの値が “000b”(日曜日)になる(1週間周期)	WKIE
日周期割り込み	TREWKレジスタが更新(1日周期)される	DYIE
時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE
0.5秒周期割り込み	8ビットカウンタが更新(0.5秒周期)される	SEIE05
0.25秒周期割り込み	8ビットカウンタが更新(0.25秒周期)される	SEIE025

22.2.7 タイマREカウントソース選択レジスタ(TRECSR)[リアルタイムクロックモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット	リアルタイムクロックモードでは“00b”にしてください	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注1)	b6 b5 b4 0 0 0：f2 0 0 1：fC 0 1 0：f4 0 1 1：1Hz 1 0 0：f8 上記以外：設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. RCS4～RCS6ビットは、TRECR1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

22.2.8 動作例

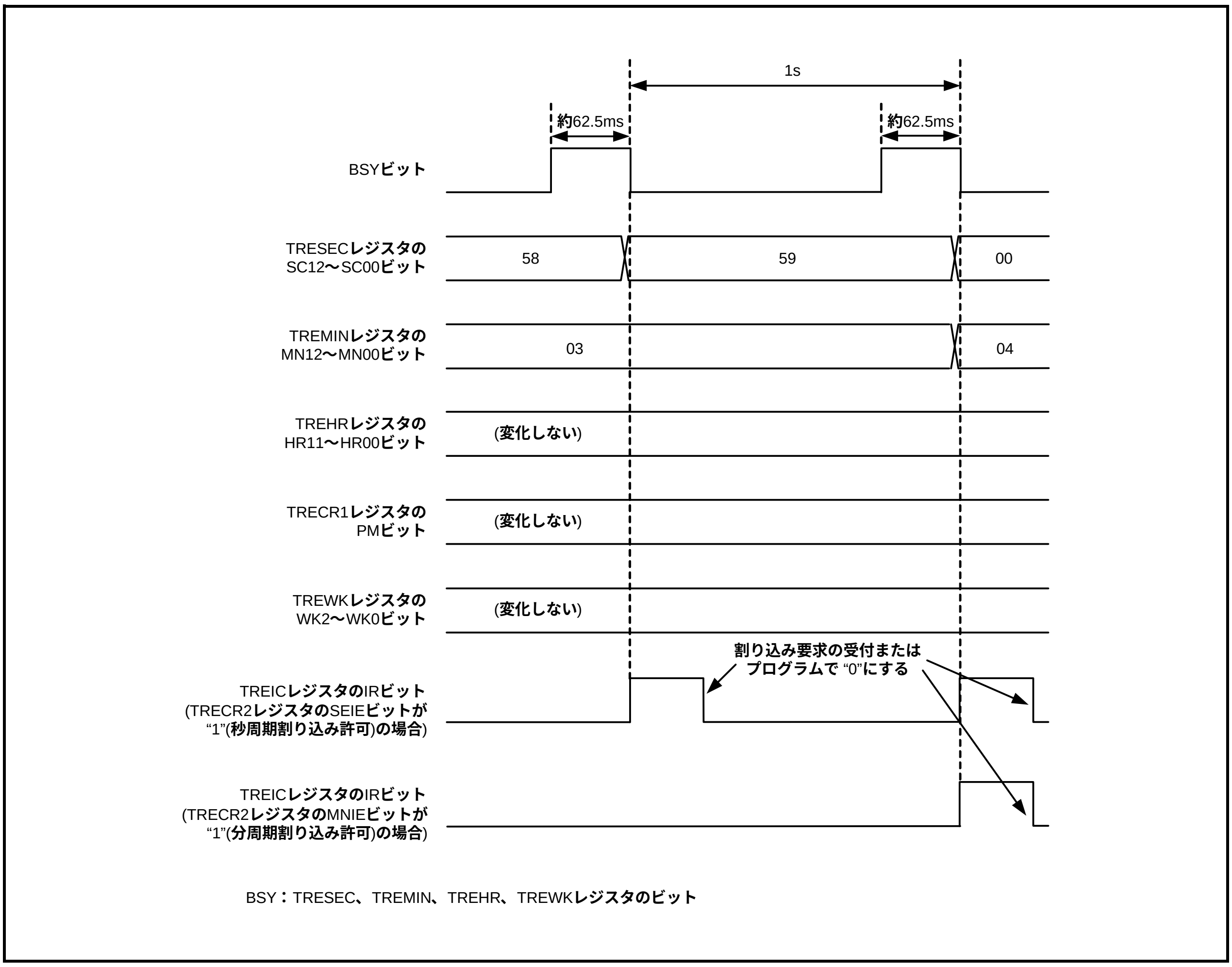


図 22.3 リアルタイムクロックモードの動作例

22.3 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図22.4にアウトプットコンペアモードのブロック図を、表22.4にアウトプットコンペアモードの仕様を、図22.5にアウトプットコンペアモードの動作例を示します。

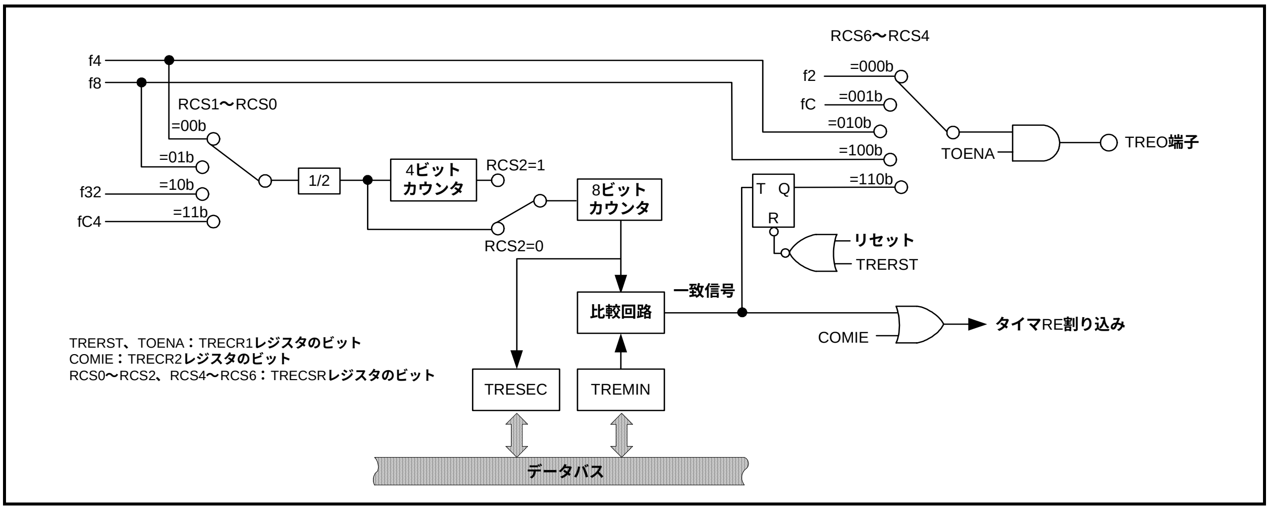


図 22.4　アウトプットコンペアモードのブロック図

表 22.4　アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32、fC4
カウント動作	• アップカウント • 8ビットカウンタは、値がTREMINレジスタの内容と一致すると、値が"00h"に戻り、カウントを継続。カウント停止中はカウント値を保持。
カウント周期	• RCS2=0(4ビットカウンタ使用しない)の場合 1/fi × 2 × (n + 1) • RCS2=1(4ビットカウンタ使用する)の場合 1/fi × 32 × (n + 1) fi：カウントソースの周波数 n：TREMINレジスタの設定値
カウント開始条件	TRECR1レジスタのTSTARTビットへの"1"(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINレジスタの内容が一致したとき
TREO端子機能	次のいずれかを選択 • プログラマブル入出力ポート • f2、fC、f4、f8のいずれかを出力 • コンペア出力
タイマの読み出し	TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRESECレジスタへの書き込みはできない。 TRECR1レジスタのTSTARTビットとTCSTFビットがともに"0"(タイマ停止)のとき、TREMINレジスタに書き込める。
選択機能	• 4ビットカウンタ使用選択 • コンペア出力機能 8ビットカウンタ値とTREMINレジスタの内容が一致するごとにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は"L"出力。TSTARTビットを"0"(カウント停止)にすると出力レベルを保持。

22.3.1 タイマREカウンタデータレジスタ(TRESEC)[アウトプットコンペアモード時]

アドレス 0118h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7～b0	8ビットのカウンタデータが読めます。 タイマREのカウントが停止しても、カウント値は保持されます。 コンペア一致で、TRESECレジスタは“00h”になります。	R

22.3.2 タイマREコンペアデータレジスタ(TREMIN)[アウトプットコンペアモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7～b0	8ビットのコンペアデータを格納	R/W

22.3.3 タイマRE制御レジスタ1 (TRECR1)[アウトプットコンペアモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	—
リセット後の値	X	X	X	X	X	0	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	TCSTF	タイマREカウントステータスフラグ	0：カウント停止中 1：カウント中	R
b2	TOENA	TREO端子出力許可ビット	0：クロック出力禁止 1：クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMIN、TREHR、TREWK、TRECR2レジスタが“00h” • TRECR1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b6	H12_H24	動作モード選択ビット		R/W
b7	TSTART	タイマREカウント開始ビット	0：カウント停止 1：カウント開始	R/W

22.3.4 タイマRE制御レジスタ2 (TRECR2)[アウトプットコンペアモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE	SEIE05	SEIE025
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	SEIE025	0.25秒周期割り込み許可ビット(注1)	アウトプットコンペアモードでは“0”にしてください。	R/W
b1	SEIE05	0.5秒周期割り込み許可ビット(注1)		R/W
b2	SEIE	秒周期割り込み許可ビット(注1)		R/W
b3	MNIE	分周期割り込み許可ビット(注1)		R/W
b4	HRIE	時周期割り込み許可ビット(注1)		R/W
b5	DYIE	日周期割り込み許可ビット(注1)		R/W
b6	WKIE	週周期割り込み許可ビット(注1)		R/W
b7	COMIE	コンペア一致割り込み許可ビット	0：コンペア一致割り込み禁止 1：コンペア一致割り込み許可	R/W

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

22.3.5 タイマREカウントソース選択レジスタ(TRECSR)[アウトプットコンペアモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット(注1)	b1 b0 0 0：f4 0 1：f8 1 0：f32 1 1：fC4	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット(注1)	0：使用しない 1：使用する	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注2)	b6 b5 b4 0 0 0：f2 0 0 1：fC 0 1 0：f4 1 0 0：f8 1 1 0：コンペア出力 上記以外：設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. RCS0～RCS2ビットは、TRECR1レジスタのTCSTFビットが“0”(カウント停止中)のとき、書いてください。
注2. RCS4～RCS6ビットは、TRECR1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

22.3.6 動作例

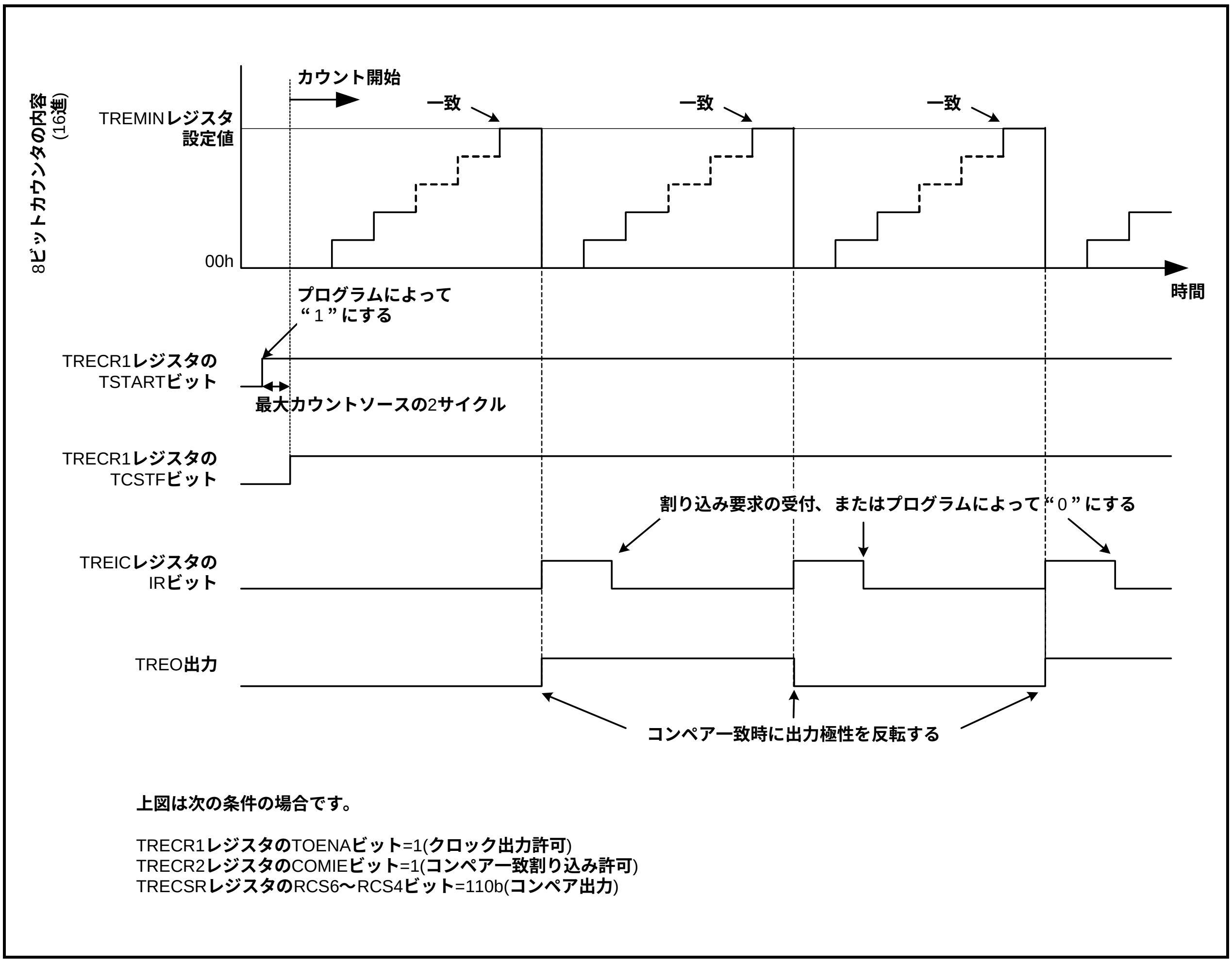


図 22.5 アウトプットコンペアモードの動作例

22.4 タイマRE使用上の注意

22.4.1 リセット

タイマREはリセット入力により秒、分、時、曜日の情報を格納しているレジスタがリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

22.4.2 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ：TRESEC、TREMIN、TREHR、TREWK、TRECR1、TRECR2、TRECSR

22.4.3 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMIN、TREHR、TREWK、TRECR2レジスタ
- TRECR1レジスタのH12_H24ビット、PMビット、INTビット
- TRECSRレジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECR2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図22.6にリアルタイムクロックモード時の設定例を示します。

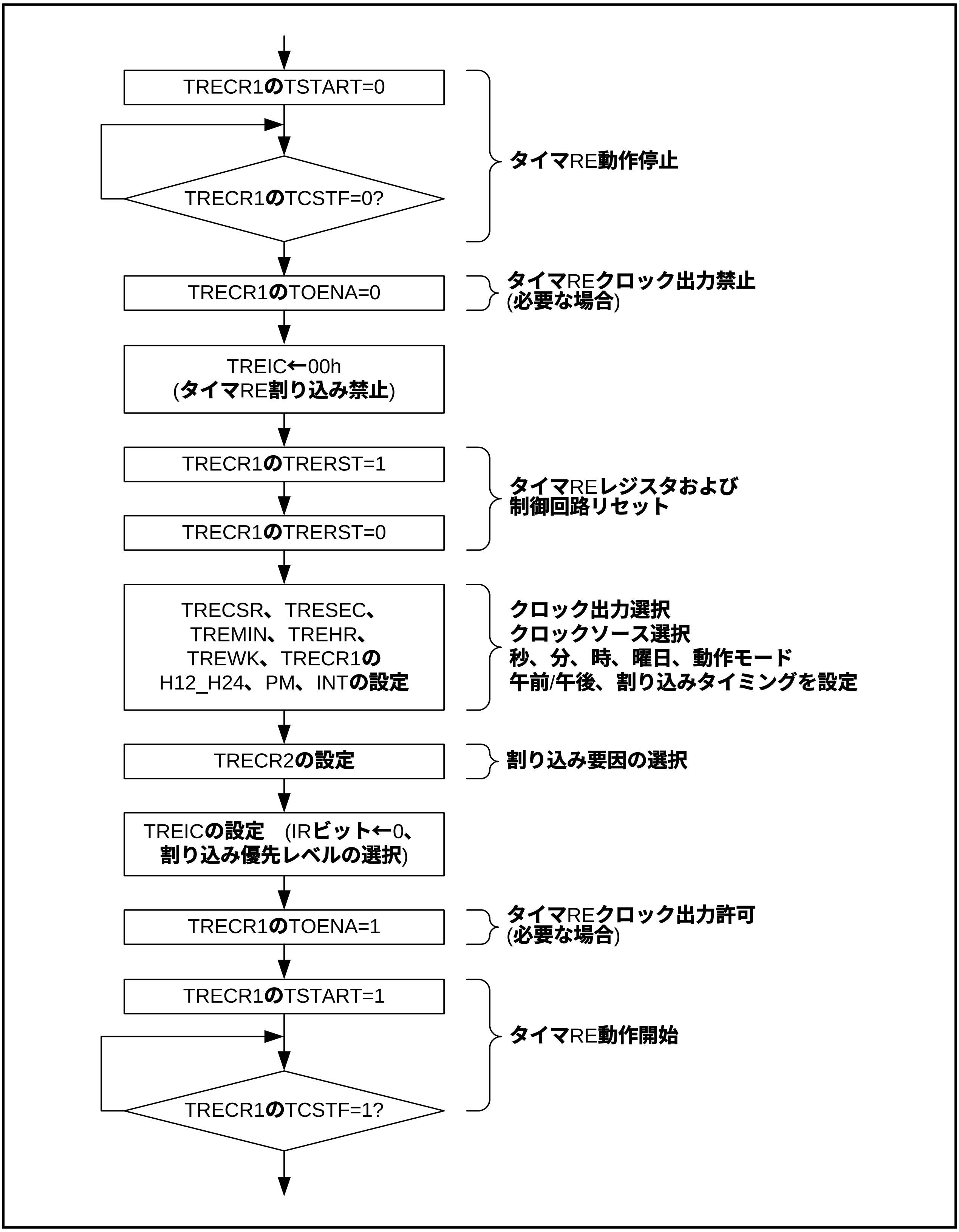


図 22.6 リアルタイムクロックモード時の設定例

22.4.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

• 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。

• プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。

• プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。

• 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

23. タイマRG

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

23.1 概要

タイマRGは、16ビットタイマで2本の入出力端子を持ちます。
タイマRGの動作クロックは、f1またはfOCO40Mです。表23.1にタイマRGの動作クロックを示します。

表23.1　タイマRGの動作クロック

条件	タイマRGの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRGCLKA入力、TRGCLKB入力 (TRGCRレジスタのTCK2～TCK0ビットが“000b”～“101b”、“111b”)	f1
カウントソースがfOCO40M (TRGCRレジスタのTCK2～TCK0ビットが“110b”)	fOCO40M

図23.1にタイマRGのブロック図を、表23.2にタイマRGの端子構成を示します。
タイマRGは、次の3種類のモードを持ちます。

- タイマモード:
  - インプットキャプチャ機能　立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がりの両エッジでカウント
  - アウトプットコンペア機能　“L”出力/“H”出力/トグル出力
- PWMモード　任意デューティのPWM出力が可能
- 位相計数モード　2相エンコーダのカウント数の自動計測が可能

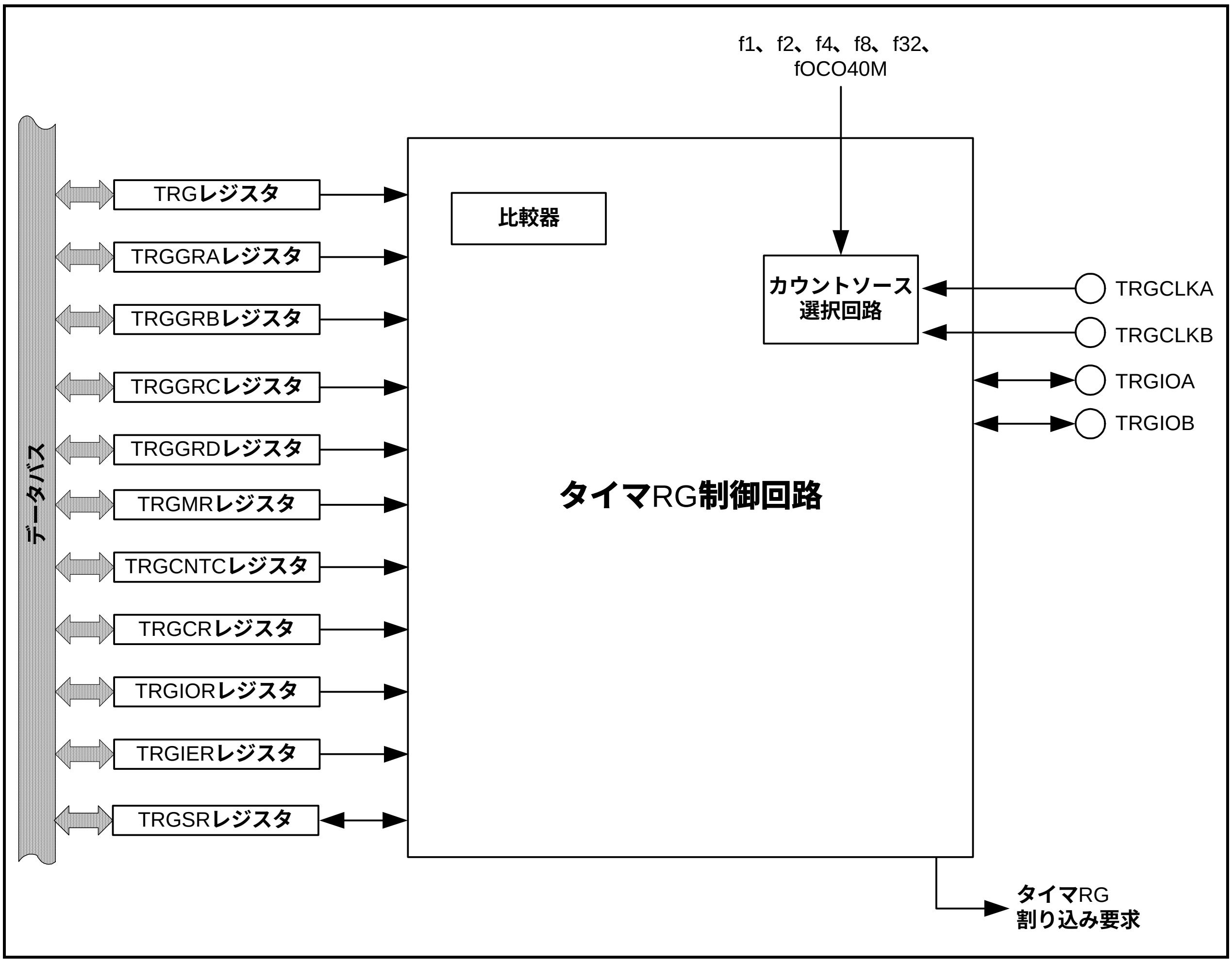


図 23.1　タイマRGのブロック図

表 23.2　タイマRGの端子構成

端子名	割り当てる端子	入出力	機能
TRGCLKA	P13_5	入力	• 位相計数モード時 A 相入力 • 位相計数モード時以外 外部クロック A 入力
TRGCLKB	P13_7	入力	• 位相計数モード時 B 相入力 • 位相計数モード時以外 外部クロック B 入力
TRGIOA	P13_4	入出力	• タイマモード (アウトプットコンペア機能) 時 TRGGRA アウトプットコンペア出力 • タイマモード (インプットキャプチャ機能) 時 TRGGRA インプットキャプチャ入力 • PWM モード時 PWM 出力
TRGIOB	P13_6	入出力	• タイマモード (アウトプットコンペア機能) 時 TRGGRB アウトプットコンペア出力 • タイマモード (インプットキャプチャ機能) 時 TRGGRB インプットキャプチャ入力

23.2 レジスタの説明

23.2.1 タイマRGモードレジスタ(TRGMR)

アドレス 0170h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	—	DFCK1	DFCK0	DFB	DFA	MDF	PWM
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWM	PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W
b1	MDF	位相計数モード選択ビット	0：アップカウント 1：位相計数モード	R/W
b2	DFA	TRGIOA端子のデジタルフィルタ機能選択ビット	0：デジタルフィルタ機能なし 1：デジタルフィルタ機能あり	R/W
b3	DFB	TRGIOB端子のデジタルフィルタ機能選択ビット	0：デジタルフィルタ機能なし 1：デジタルフィルタ機能あり	R/W
b4	DFCK0	デジタルフィルタ機能で使用するクロック選択ビット	b5 b4 0 0：f32 0 1：f8 1 0：f1 1 1：TRGCRレジスタのTCK0～2で選択したクロック	R/W
b5	DFCK1			R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	TSTART	TRGカウント開始ビット	0：カウント停止 1：カウント開始	R/W

MDFビット(位相計数モード選択ビット)

MDFビットが“0”のとき、カウンタはTRGCRレジスタのTCK0～TCK2ビットで設定したカウントソースをカウントします。

MDFビットが“1”のとき、カウンタは「表23.12　TRGレジスタの加算/減算条件」に示すTRGCLKj端子(j=A、B)からの入力信号の位相をカウントします。

23.2.2 タイマRGカウント制御レジスタ(TRGCNTC)

アドレス 0171h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CNTEN0	カウント許可ビット0	0：無効 1：ダウンカウント TRGCLKA入力が“H”レベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W
b1	CNTEN1	カウント許可ビット1	0：無効 1：ダウンカウント TRGCLKB入力が“L”レベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b2	CNTEN2	カウント許可ビット2	0：無効 1：ダウンカウント TRGCLKA入力が“L”レベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b3	CNTEN3	カウント許可ビット3	0：無効 1：ダウンカウント TRGCLKB入力が“H”レベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b4	CNTEN4	カウント許可ビット4	0：無効 1：アップカウント TRGCLKB入力が“L”レベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b5	CNTEN5	カウント許可ビット5	0：無効 1：アップカウント TRGCLKA入力が“H”レベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b6	CNTEN6	カウント許可ビット6	0：無効 1：アップカウント TRGCLKB入力が“H”レベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b7	CNTEN7	カウント許可ビット7	0：無効 1：アップカウント TRGCLKA入力が“L”レベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W

TRGCNTCレジスタは位相計数モードで使用します。TRGCNTCレジスタのカウント条件を設定します。

23.2.3 タイマRG制御レジスタ(TRGCR)

アドレス 0172h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット(注1)	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRGCLKA入力 1 1 0：fOCO40M 1 1 1：TRGCLKB入力	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロック有効エッジ選択ビット(注1)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：立ち上がり/立ち下がりの両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRGレジスタクリア要因選択ビット	b6 b5 0 0：クリア禁止 0 1：インプットキャプチャまたはTRGGRAのコンペア一致でTRGレジスタをクリア 1 0：インプットキャプチャまたはTRGGRBのコンペア一致でTRGレジスタをクリア 1 1：設定しないでください	R/W
b6	CCLR1			R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. 位相計数モードのとき、TCK0～TCK2ビット、およびCKEG0～CKEG1ビット設定は無効になり、位相計数モードの動作が優先されます。

TRGレジスタまたはTRGCRレジスタに書く場合は、TRGMRレジスタのTSTARTビットが“0”(カウント停止)の状態で、行ってください。

23.2.4 タイマRG割り込み許可レジスタ(TRGIER)

アドレス 0173h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OVIE	UDIE	IMIEB	IMIEA
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込みを禁止 1：IMFAビットによる割り込みを有効	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込みを禁止 1：IMFBビットによる割り込みを有効	R/W
b2	UDIE	アンダフロー割り込み許可ビット	0：UDFビットによる割り込みを禁止 1：UDFビットによる割り込みを有効	R/W
b3	OVIE	オーバフロー割り込み許可ビット	0：OVFビットによる割り込みを禁止 1：OVFビットによる割り込みを有効	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

23.2.5 タイマRGステータスレジスタ(TRGSR)

アドレス 0174h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	DIRF	OVF	UDF	IMFB	IMFA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ / コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注1、2) [“1”になる条件] 「表23.3 各フラグが“1”になる条件」を参照	R/W
b1	IMFB	インプットキャプチャ / コンペア一致フラグB		R/W
b2	UDF	アンダフローフラグ		R/W
b3	OVF	オーバフローフラグ		R/W
b4	DIRF	カウント方向フラグ	0：TRGレジスタはダウンカウント 1：TRGレジスタはアップカウント	R
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

注1. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- “1”を書いた場合は変化しません。

注2. TRGSRレジスタのIMFA、IMFB、UDF、OVFビットを“0”にするときは、MOV命令を使用して、“0”にしたいビットに“0”、そうでないビットに“1”を書いてください。また、この書き込みの後、続けて“0Fh”を書いてください。
“0Fh”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

表23.3 各フラグが“1”になる条件

ビットシンボル	タイマモード		PWMモード
	インプットキャプチャ機能	アウトプットコンペア機能	
IMFA	TRGIOA端子の入力エッジ(注1)	TRGとTRGGRAの値が一致したとき	
IMFB	TRGIOB端子の入力エッジ(注1)	TRGとTRGGRBの値が一致したとき	
UDF	TRGがアンダフローしたとき		
OVF	TRGがオーバフローしたとき		

注1. TRGIORレジスタのIOj1～IOj0ビット(j＝A、B)で選択したエッジ。

TRGSRレジスタに書いた後、TRGSRレジスタを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を1つ以上挿入してください。

23.2.6 タイマRG I/O制御レジスタ(TRGIOR)

アドレス 0175h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット	0：アウトプットコンペア機能(注1) 1：インプットキャプチャ機能(注2)	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0：TRGGRAレジスタのバッファレジスタとして使用しない 1：TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット	0：アウトプットコンペア機能(注3) 1：インプットキャプチャ機能(注4)	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0：TRGGRBレジスタのバッファレジスタとして使用しない 1：TRGGRBレジスタのバッファレジスタとして使用する	R/W

注1. IOA2ビットが“0”(アウトプットコンペア機能)のときTRGGRAレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、TRGIOA端子からは“L”を出力します。
注2. IOA2ビットが“1”(インプットキャプチャ機能)のときTRGGRAレジスタはインプットキャプチャレジスタとして機能します。
注3. IOB2ビットが“0”(アウトプットコンペア機能)のときTRGGRBレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、TRGIOB端子からは“L”を出力します。
注4. IOB2ビットが“1”(インプットキャプチャ機能)のときTRGGRBレジスタはインプットキャプチャレジスタとして機能します。

23.2.7 タイマRGカウンタ(TRG)

アドレス 0177h～0176h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	**位相計数モードの場合、カウント動作はアップカウント/ダウンカウント。 それ以外の場合はアップカウント。**	0000h～FFFFh	R/W

TRGレジスタは、CPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGレジスタは、アップカウント/ダウンカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TRGCRレジスタは対応するTRGGRA、TRGGRBレジスタとのコンペア一致、またはTRGGRA、TRGGRBレジスタへのインプットキャプチャにより“0000h”にクリアすることができます(カウンタクリア機能)。

TRGCRレジスタがオーバフロー(“FFFFh”→“0000h”)すると、TRGSRレジスタのOVFビットが“1”になります。アンダフロー(“0000h”→“FFFFh”)すると、TRGSRレジスタのUDFビットが“1”になります。

23.2.8 タイマRGジェネラルレジスタA、B、C、D (TRGGRA、TRGGRB、TRGGRC、TRGGRD)

アドレス 0179h～0178h番地(TRGGRA)、017Bh～017Ah番地(TRGGRB)、
017Dh～017Ch番地(TRGGRC)、017Fh～017Eh番地(TRGGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	モードによって機能が異なる	R/W

TRGGRA、TRGGRBレジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIORレジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA、TRGGRBレジスタの値とTRGレジスタの値は常に比較されています。両者の値が一致(コンペア一致)すると、TRGSRレジスタのIMFA/IMFBビットが“1”になります。TRGIORレジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRGレジスタの値を格納します。このときTRGSRレジスタのIMFA/IMFBビットが“1”になります。インプットキャプチャ信号の検出エッジ選択はTRGIORレジスタにより行います。

PWMモード時、TRGIORレジスタの設定は無視されます。

また、TRGGRCレジスタはTRGGRAレジスタのバッファレジスタとして、TRGGRDレジスタはTRGGRBレジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能はTRGIORレジスタのBUFA、BUFBビットにより選択できます。

例えば、TRGGRAレジスタがアウトプットコンペアレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、コンペア一致Aが発生するたびにTRGGRCレジスタの値がTRGGRAレジスタに転送されます。

TRGGRAレジスタがインプットキャプチャレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRGレジスタの値がTRGGRAレジスタに、TRGGRAレジスタの値がTRGGRCレジスタに転送されます。

TRGGRA、TRGGRBレジスタはCPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGGRA、TRGGRBレジスタは、リセット後アウトプットコンペアレジスタ(端子出力禁止)に設定されます。

23.2.9 タイマRG端子選択レジスタ (TRGPSR)

アドレス 0187h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRGCLKBSEL0	TRGCLKASEL0	TRGIOBSEL0	TRGIOASEL0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	TRGIOASEL0	TRGIOA端子選択ビット	0：TRGIOA端子は使用しない 1：TRGIOA端子を使用する	R/W
b5	TRGIOBSEL0	TRGIOB端子選択ビット	0：TRGIOB端子は使用しない 1：TRGIOB端子を使用する	R/W
b6	TRGCLKASEL0	TRGCLKA端子選択ビット	0：TRGCLKA端子は使用しない 1：TRGCLKA端子を使用する	R/W
b7	TRGCLKBSEL0	TRGCLKB端子選択ビット	0：TRGCLKB端子は使用しない 1：TRGCLKB端子を使用する	R/W

TRGPSRレジスタは、タイマRGの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRGの入出力端子を使用する場合は、TRGPSRレジスタを設定してください。

タイマRGの関連レジスタを設定をする前に、TRGPSRレジスタを設定してください。また、タイマRGの動作中はTRGPSRレジスタの設定値を変更しないでください。

23.3　複数モードに関わる共通事項

23.3.1　カウントソース

表23.4にカウントソースの選択を、図23.2にカウントソースのブロック図を示します。

位相計数モード選択時、TRGCRレジスタのTCK0～TCK2ビットおよびCKEG0～CKEG1ビットの設定は無効になります。

表23.4　カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRGCRレジスタのTCK0～TCK2ビットでカウントソース選択
fOCO40M	FRA0レジスタのFRA00ビットが"1"(高速オンチップオシレータ発振) TRGCRレジスタのTCK2～TCK0が"110b"(fOCO40M)
TRGCLKA、TRGCLKB端子に入力された外部信号	TRGCRレジスタのTCK2～TCK0ビットが"101b"(TRGCLKA入力)または"111b"(TRGCLKB入力) TRGCRレジスタのCKEG0～CKEG1ビットで有効エッジを選択 対応する方向レジスタの方向ビットが"0"(入力モード)

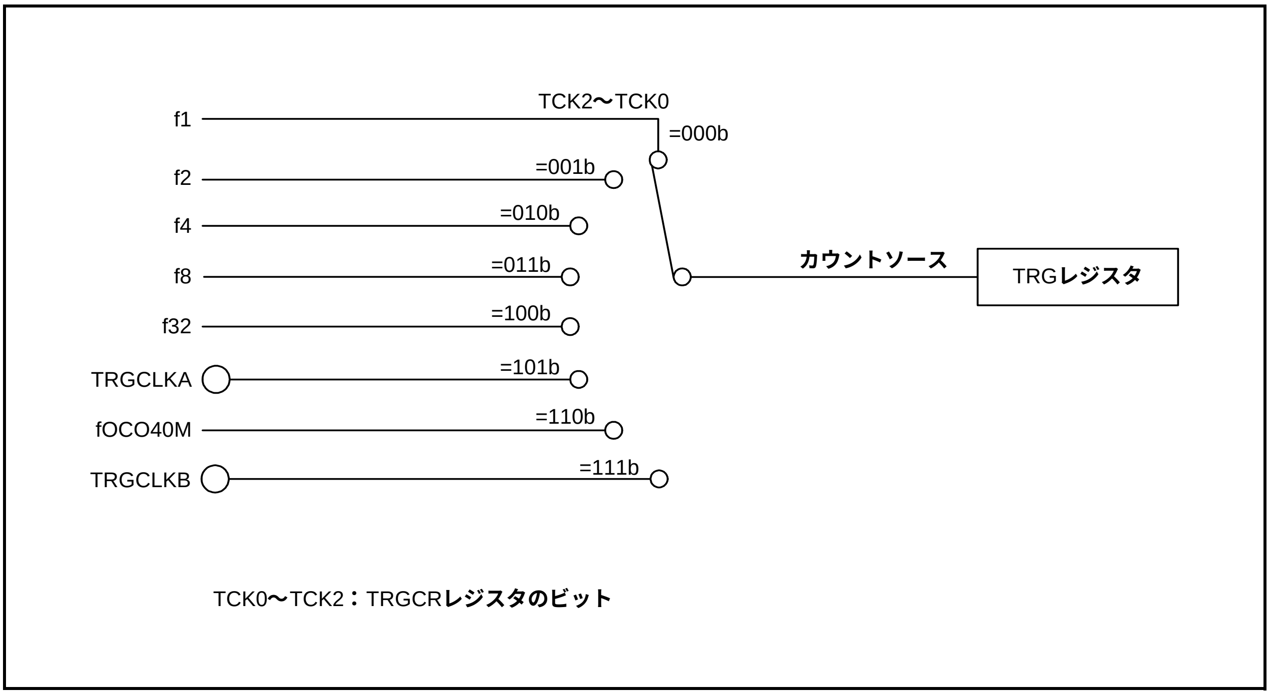


図23.2　カウントソースのブロック図

TRGCLKj端子(j=A、B)に入力する外部クロックのパルス幅は、タイマRGの動作クロック(「表23.1 タイマRGの動作クロック」参照)の3サイクル以上にしてください。

23.3.2　バッファ動作

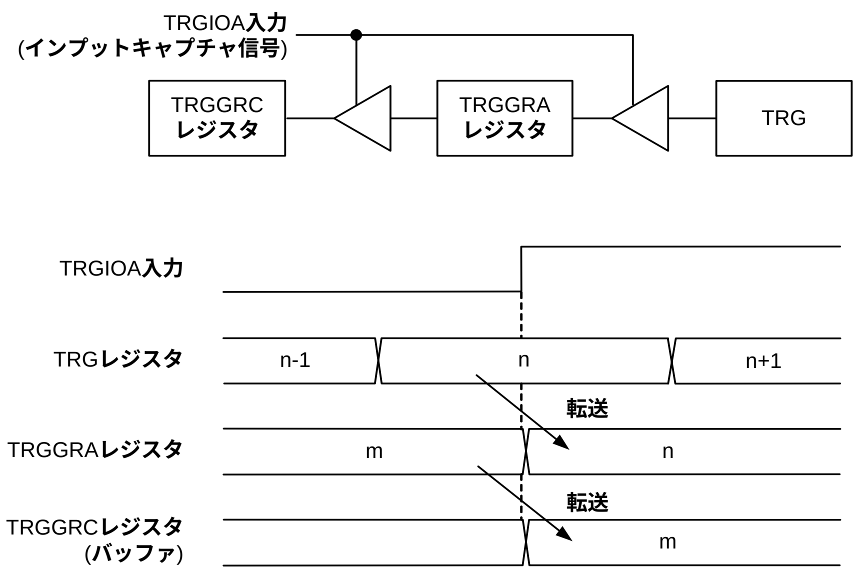
TRGIORレジスタのBUFA、BUFBビットで、TRGGRC、TRGGRDレジスタをTRGGRA、TRGGRBレジスタのバッファレジスタにできます。

- TRGGRAのバッファレジスタ：TRGGRCレジスタ
- TRGGRBのバッファレジスタ：TRGGRDレジスタ

バッファ動作は、モードによって違います。表23.5に各モードのバッファ動作を、図23.3にインプットキャプチャ機能のバッファ動作を、図23.4にアウトプットコンペア機能のバッファ動作を示します。

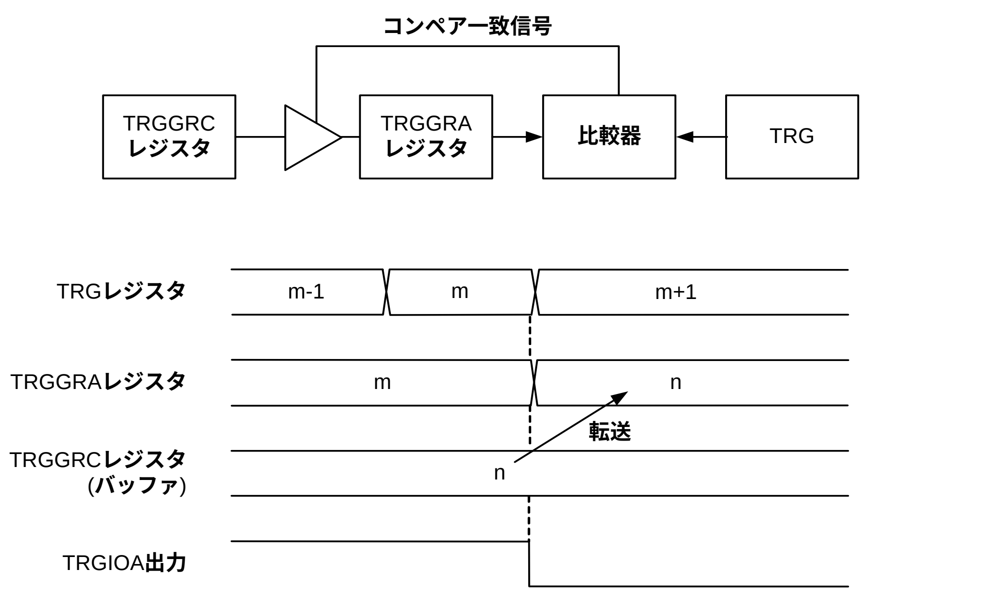
表23.5　各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA(TRGGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRGレジスタとTRGGRA(TRGGRB)レジスタのコンペア一致	バッファレジスタの内容をTRGGRA(TRGGRB)レジスタに転送
PWMモード		



上図は次の条件の場合です。
・TRGIORレジスタのBUFAビットが“1”(TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
・TRGIORレジスタのIOA2～IOA0ビット“100b”(立ち上がりエッジでインプットキャプチャ)

図23.3　インプットキャプチャ機能のバッファ動作



上図は次の場合です。
・TRGIORレジスタのBUFAビットが“1”(TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
・TRGIORレジスタのIOA2～IOA0ビット“001b”(コンペア一致で“L”出力)

図23.4　　アウトプットコンペア機能のバッファ動作

23.3.3 デジタルフィルタ

TRGIOj(j＝A、Bのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRGMRレジスタで選択してください。

図23.5にデジタルフィルタのブロック図を示します。

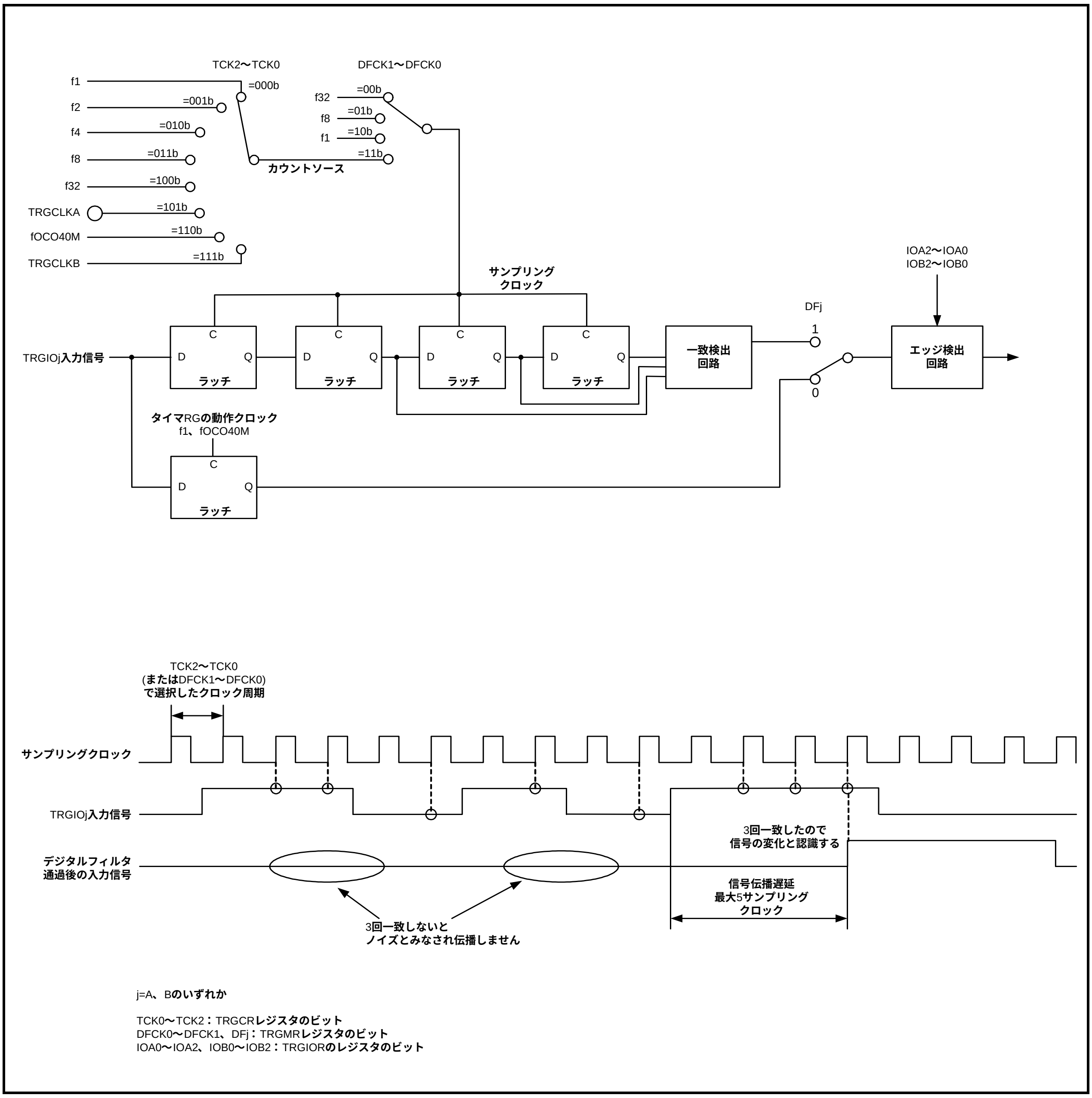


図23.5　デジタルフィルタのブロック図

23.4　タイマモード(インプットキャプチャ機能)

インプットキャプチャ/アウトプットコンペア端子(TRGIOA、TRGIOB)の入力エッジを検出してTRGレジスタの値をTRGGRA、TRGGRBレジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

表23.6にインプットキャプチャ機能の仕様を示します。

表23.6　インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRGCRレジスタのCCLR1～CCLR0ビットが“00b”(フリーランニング動作)の場合 1/fk×65536　fk：カウントソースの周波数"
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	• インプットキャプチャ(TRGIOj入力の有効エッジ) • TRGレジスタオーバフロー
TRGIOA、TRGIOB端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	• インプットキャプチャ入力端子選択 TRGIOA、TRGIOB端子のいずれか1本または両方 • インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • TRGレジスタを“0000h”にするタイミング オーバフロー、またはインプットキャプチャ時 • バッファ動作(「23.3.2　バッファ動作」参照) • デジタルフィルタ(「23.3.3　デジタルフィルタ」参照)

j＝A、B

23.4.1 タイマRG I/O制御レジスタ(TRGIOR) [タイマモード(インプットキャプチャ機能)時]

アドレス 0175h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	b1 b0 0 0：立ち上がりエッジでTRGGRAへインプットキャプチャ 0 1：立ち下がりエッジでTRGGRAへインプットキャプチャ 1 0：両エッジでTRGGRAへインプットキャプチャ 1 1：設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0：TRGGRAレジスタのバッファレジスタとして使用しない 1：TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	b5 b4 0 0：立ち上がりエッジでTRGGRBへインプットキャプチャ 0 1：立ち下がりエッジでTRGGRBへインプットキャプチャ 1 0：両エッジでTRGGRBへインプットキャプチャ 1 1：設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0：TRGGRBレジスタのバッファレジスタとして使用しない 1：TRGGRBレジスタのバッファレジスタとして使用する	R/W

注1. IOA2ビットが“1”(インプットキャプチャ機能)のときTRGGRAレジスタはインプットキャプチャレジスタとして機能します。
注2. IOB2ビットが“1”(インプットキャプチャ機能)のときTRGGRBレジスタはインプットキャプチャレジスタとして機能します。

23.4.2　インプットキャプチャ動作の設定手順例

図23.6にインプットキャプチャ動作の設定手順例を示します。

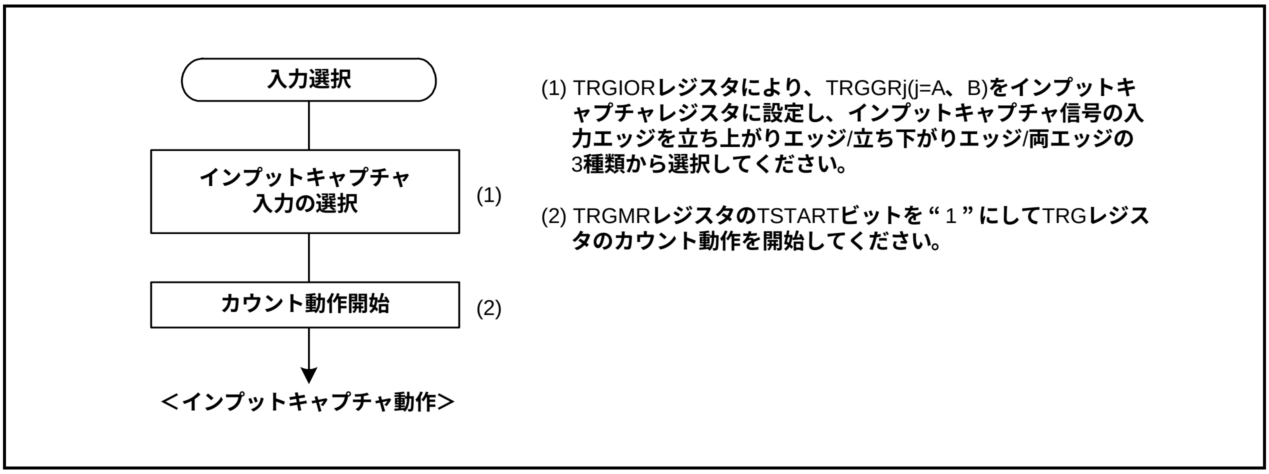


図 23.6　**インプットキャプチャ動作の設定手順例**

23.4.3　インプットキャプチャ信号タイミング

インプットキャプチャ入力は、TRGIORレジスタの設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図23.7にインプットキャプチャ入力信号タイミングを示します。

インプットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5f1以上、両エッジの場合は2.5f1以上必要です。

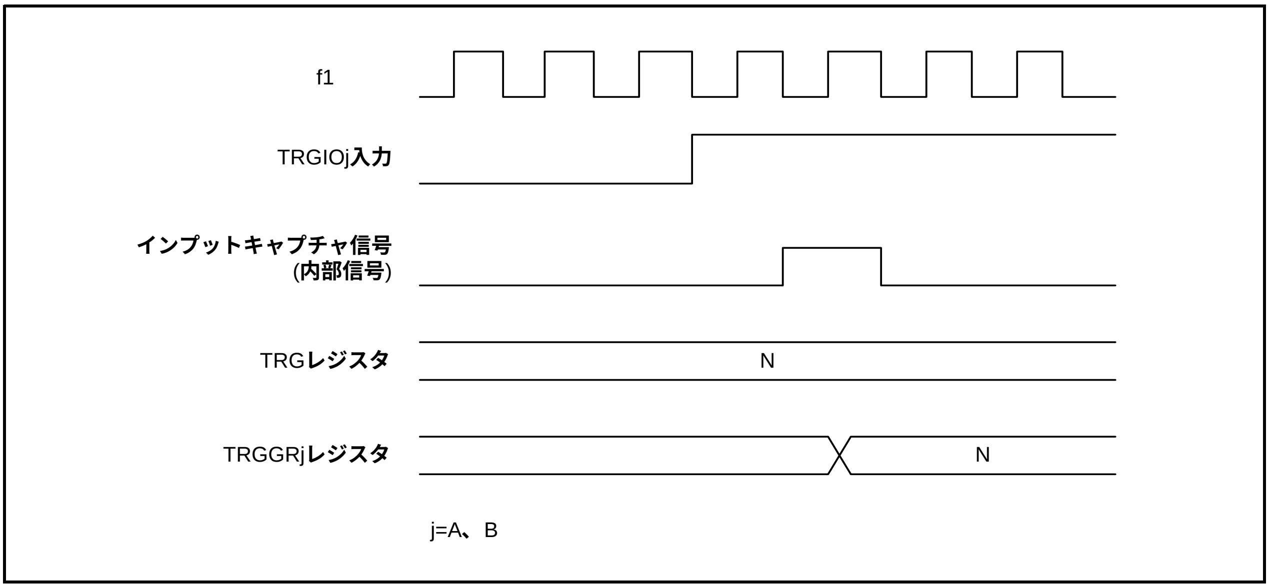


図 23.7　**インプットキャプチャ入力信号タイミング**

23.4.4 動作例

図23.8にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、またTRGIOB端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TRGレジスタはTRGGRBレジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

(1) TRGIORレジスタにより、TRGGRA、TRGGRBレジスタをインプットキャプチャレジスタに設定し、インプットキャプチャ信号の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジの3種類から選択してください。

(2) TRGMRレジスタのTSTARTビットを“1”にしてTRGレジスタのカウント動作を開始してください。

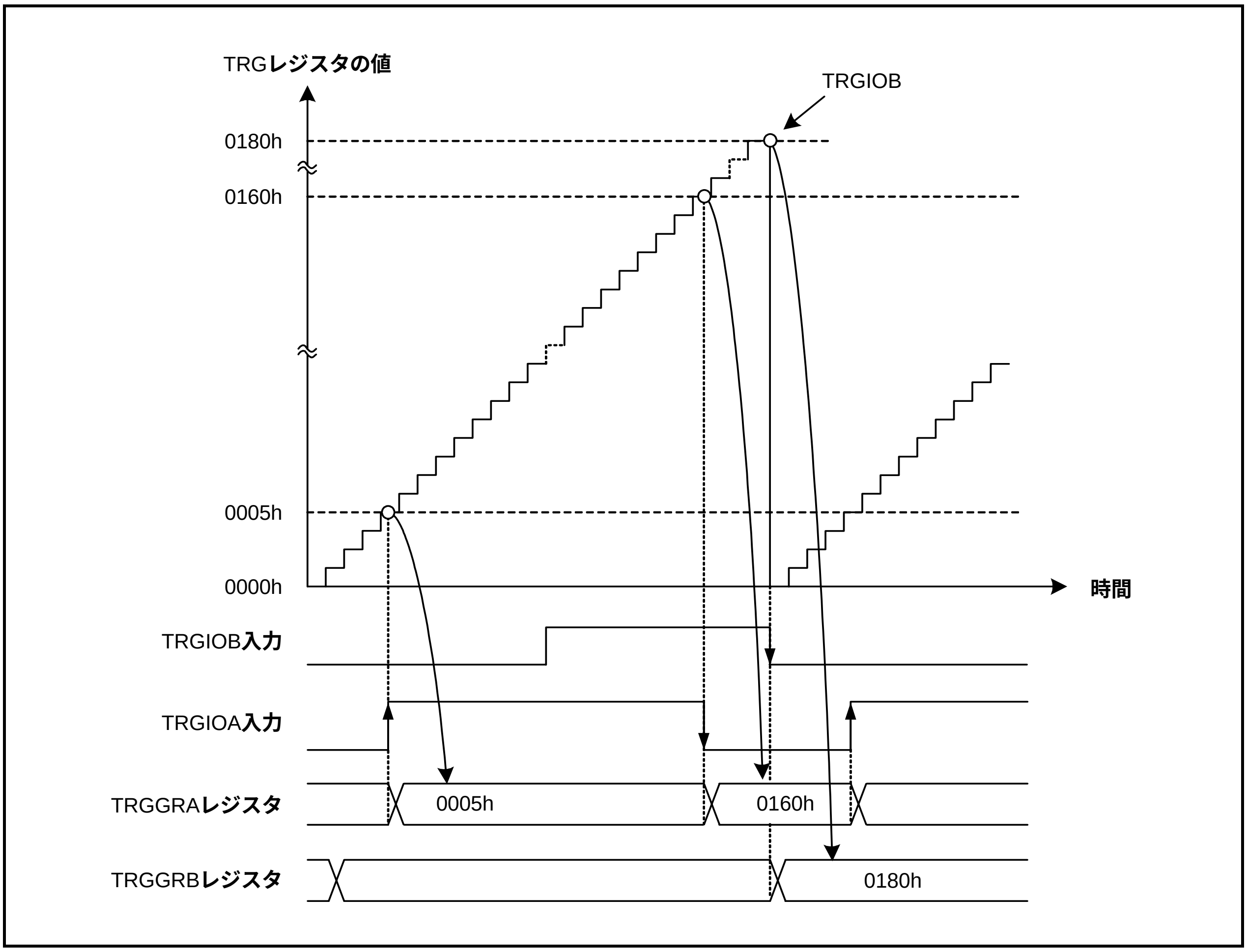


図 23.8 インプットキャプチャ動作例

23.5 タイマモード(アウトプットコンペア機能)

TRGレジスタの内容と、TRGGRA、TRGGRBレジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき、TRGIOA、TRGIOB端子から任意のレベルを出力します。

表23.7にアウトプットキャプチャ機能の仕様を示します。

表23.7 アウトプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	• TRGCRレジスタのCCLR1～CCLR0ビットが“00b”(フリーランニング動作)の場合 1/fk×65536 fk：カウントソースの周波数 • TRGCRレジスタのCCLR1～CCLR0ビットが“01b”、“10b”(TRGGRjのコンペア一致でTRGを“0000h”にする)の場合 1/fk×(n＋1) n：TRGGRjレジスタの設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	• コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) • TRGレジスタオーバフロー
TRGIOA、TRGIOB端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	• アウトプットコンペア出力端子選択 TRGIOA、TRGIOB端子のいずれか1本または両方 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • TRGレジスタを“0000h”にするタイミング オーバフロー、またはTRGGRjレジスタのコンペア一致 • バッファ動作(「23.3.2 バッファ動作」参照)

j＝A、B

23.5.1 タイマRG I/O制御レジスタ(TRGIOR)[タイマモード(アウトプットコンペア機能)時]

アドレス 0175h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 (TRGIOA端子はプログラマブル入出力ポート) 0 1：TRGGRAのコンペア一致で“L”出力 1 0：TRGGRAのコンペア一致で“H”出力 1 1：TRGGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0：TRGGRAレジスタのバッファレジスタとして使用しない 1：TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 (TRGIOB端子はプログラマブル入出力ポート) 0 1：TRGGRBのコンペア一致で“L”出力 1 0：TRGGRBのコンペア一致で“H”出力 1 1：TRGGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0：TRGGRBレジスタのバッファレジスタとして使用しない 1：TRGGRBレジスタのバッファレジスタとして使用する	R/W

注1. IOA2ビットが“0”(アウトプットコンペア機能)のとき、TRGGRAレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、
IOA1～IOA0＝01bのとき“H”出力
10bのとき“L”出力
11bのとき“L”出力

注2. IOB2ビットが“0”(アウトプットコンペア機能)のとき、TRGGRBレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、
IOB1～IOB0＝01bのとき“H”出力
10bのとき“L”出力
11bのとき“L”出力

23.5.2 コンペア一致による波形出力の設定手順例

図23.9にコンペア一致による波形出力の設定手順を示します。

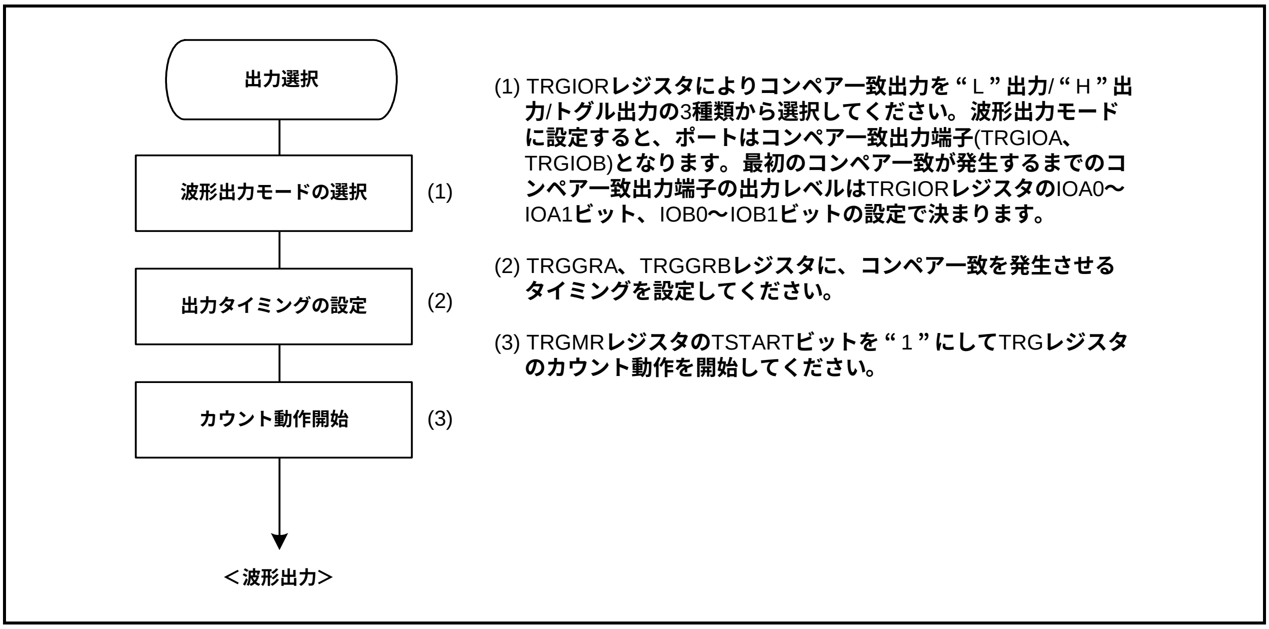


図23.9　コンペア一致による波形出力動作例

23.5.3 アウトプットコンペア出力タイミング

コンペア一致信号は、TRGレジスタとTRGGRA、TRGGRBレジスタが一致した最後のステート(TRGレジスタが一致したカウント値を更新するタイミング)で発生します。コンペア一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペア出力端子(TRGIOA、TRGIOB)に出力されます。TRGレジスタとTRGGRA、TRGGRBレジスタが一致した後、TRGレジスタ入力クロックが発生するまでコンペア一致信号は発生しません。

図23.10にアウトプットコンペア出力タイミングを示します。

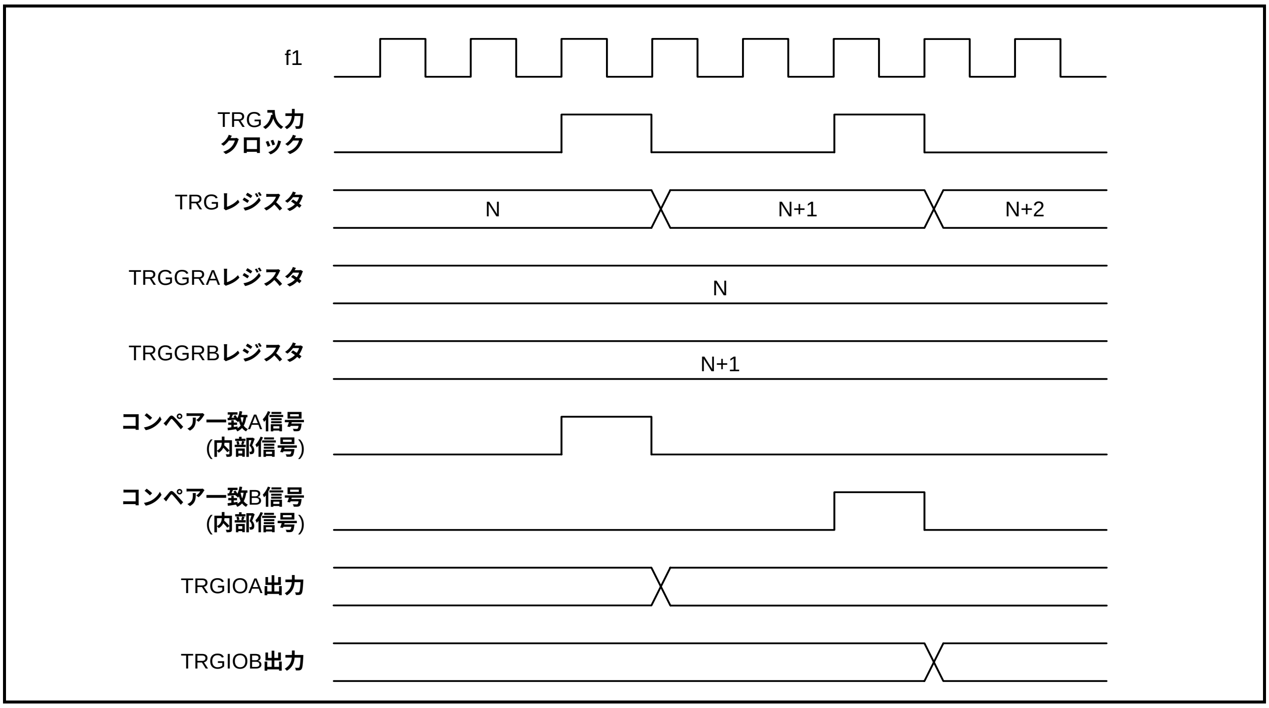


図23.10　アウトプットコンペア出力タイミング

23.5.4 動作例

図 23.11 に "L" 出力、"H" 出力の動作例を示します。

TRG レジスタをフリーランニング動作、またコンペア一致Aにより, "L" 出力、コンペア一致Bにより "H" 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

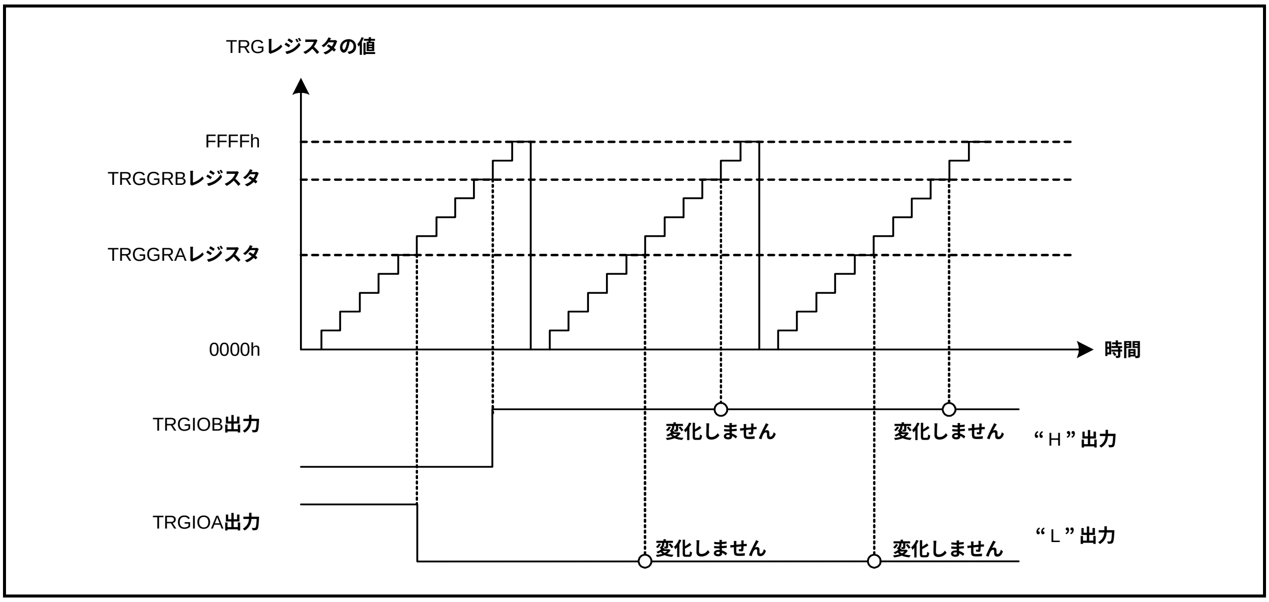


図 23.11 "L" 出力、"H" 出力の動作例

図 23.12 にトグル出力の動作例を示します。TRG レジスタを周期カウント動作 (コンペア一致Bでカウンタクリア) に、コンペア一致A、Bともトグル出力となるように設定した場合の例です。

TRGIOR レジスタによりコンペア一致出力を "L" 出力 / "H" 出力 / トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペア一致出力端子 (TRGIOA、TRGIOB) となります。

TRGGRA、TRGGRB レジスタに、コンペア一致を発生させるタイミングを設定してください。

TRGMR レジスタのTSTART ビットを"1"にしてTRG レジスタのカウント動作を開始してください。

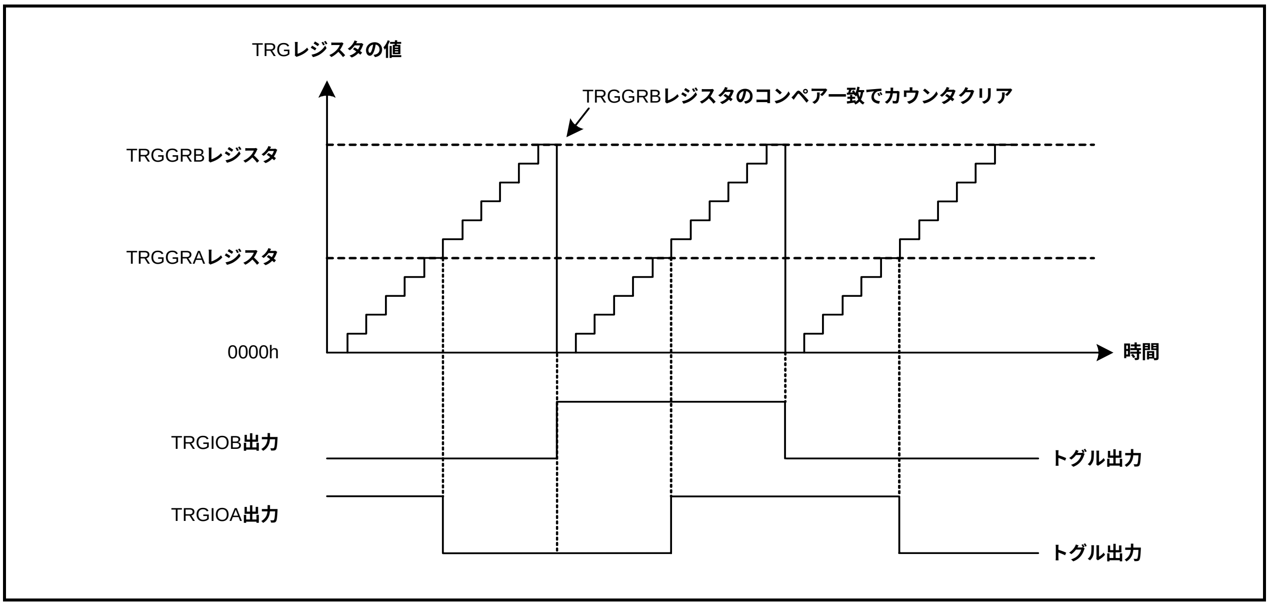


図 23.12 トグル出力の動作例

23.6 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。PWMモードに設定された出力端子はTRGIORレジスタの出力の設定は無効となります。TRGGRAレジスタにはPWM波形の“H”出力タイミングを設定し、TRGGRBレジスタにはPWM波形の“L”出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペア一致をTRGレジスタのカウンタクリア要因とすることにより、デューティ0～100%のPWM波形をTRGIOA端子より出力することができます。

表23.8にPWMモードの仕様を、表23.9にPWM出力端子とレジスタの組み合わせを示します。TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

表23.8 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
PWM波形	• TRGGRAレジスタにPWM波形の“H”出力タイミングを設定 • TRGGRBレジスタにPWM波形の“L”出力タイミングを設定
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	• コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) • TRGレジスタオーバフロー
TRGIOA端子機能	PWM出力
TRGIOB端子機能	プログラマブル入出力ポート
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	• TRGレジスタを“0000h”にするタイミング オーバフロー、またはTRGGRjレジスタのコンペア一致 • バッファ動作(「23.3.2 バッファ動作」参照)

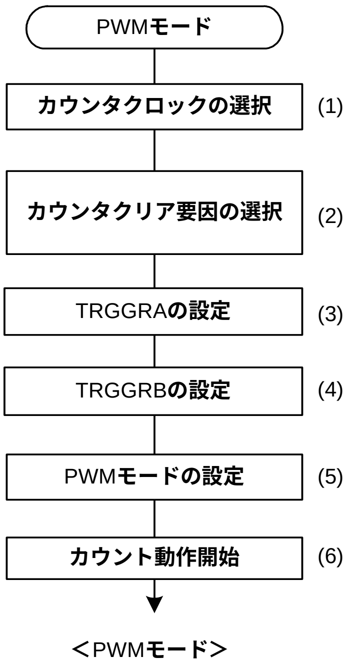
j＝A、B

表23.9 PWM出力端子とレジスタの組み合わせ

出力端子	“H”出力	“L”出力
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/Oポートとして機能	

23.6.1　PWMモードの設定手順例

図23.13にPWMモードの設定手順例を示します。



(1) TRGCRレジスタのTCK0～TCK2ビットでカウントソースを選択してください。外部クロックを選択した場合は、TRGCRレジスタのCKEG0～CKEG1ビットにより外部クロックのエッジを選択してください。
(2) TRGCRレジスタのCCLR0～CCLR1ビットによりカウンタクリア要因を選択してください。
(3) TRGGRAレジスタにPWM出力波形の“H”出力タイミングを設定してください。
(4) TRGGRBレジスタにPWM出力波形の“L”出力タイミングを設定してください。
(5) TRGMRレジスタのPWMビットでPWMモードを設定してください。PWMモードを設定すると、TRGIORレジスタの内容にかかわらずTRGGRA、TRGGRBレジスタは、PWM出力波形の“H”出力/“L”出力タイミング設定用アウトプットコンペアレジスタとなります。TRGPSRレジスタのTRGIOASEL0ビットが“1”のとき、TRGIOA端子は自動的にPWM出力端子となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、TRGIOB端子はI/Oポートとして機能します。
(6) TRGMRレジスタのTSTARTビットを“1”にして、TRGレジスタのカウント動作を開始してください。

図23.13　PWMモードの設定手順例

23.6.2　動作例

図23.14にPWMモードの動作例(1)を示します。

TRGPSRレジスタのTRGIOASEL0ビットが“1”のとき、PWMモードに設定するとTRGIOA端子は自動的に出力端子となり、TRGGRAレジスタのコンペア一致で“H”出力、TRGGRBレジスタのコンペア一致で“L”出力となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、TRGIOB端子はI/Oポートとして機能します。

TRGレジスタのカウンタクリア要因をTRGGRA、TRGGRBレジスタのコンペア一致とした場合の例です。TRGIOA端子の初期状態はカウンタクリア要因だけで決まります。この対応関係を表23.10に示します。

表23.10　TRGIOA端子の初期状態とカウンタクリア要因の対応関係

カウンタクリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペア一致	“H”
TRGGRBレジスタのコンペア一致	“L”

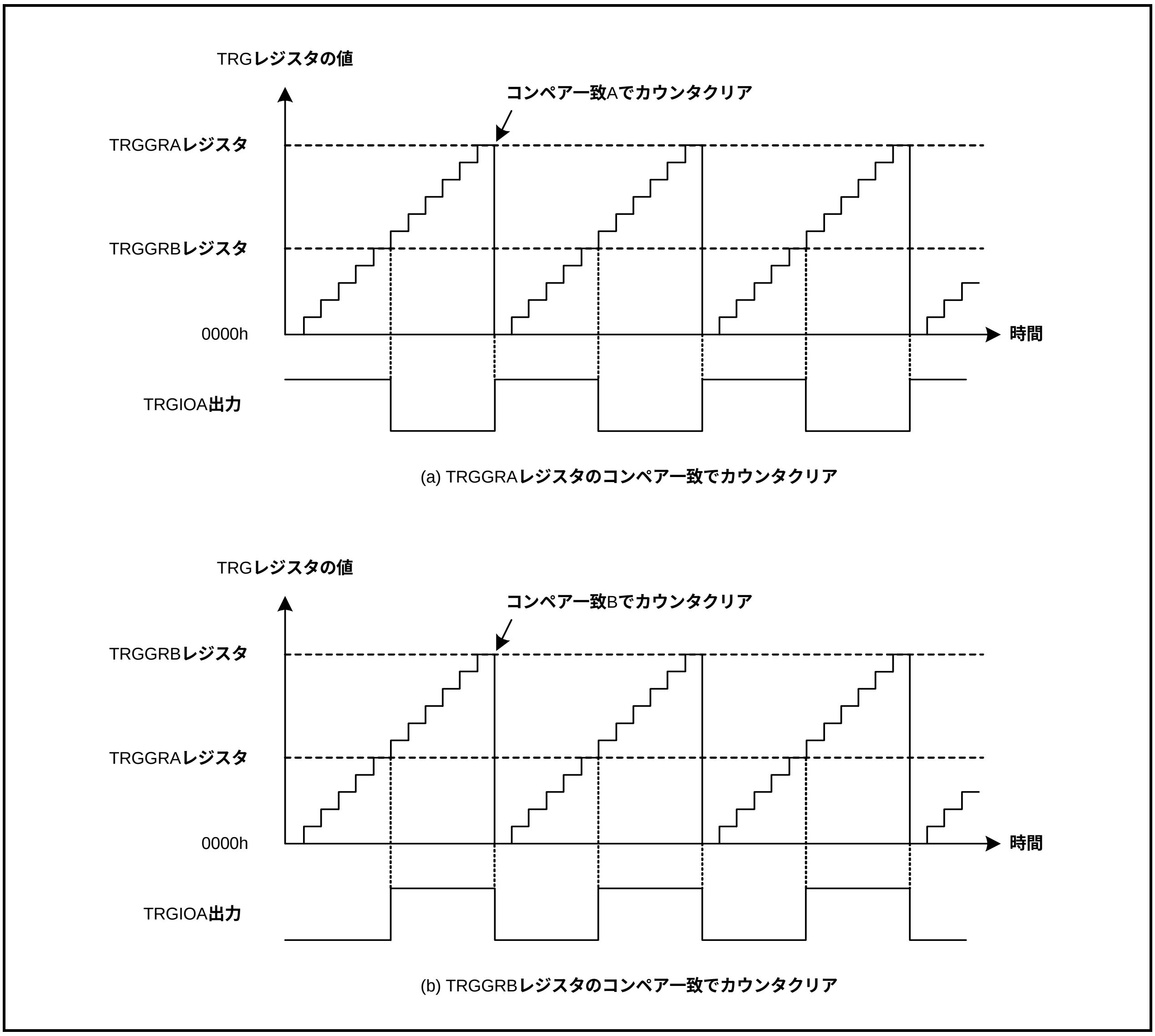


図 23.14　PWM モードの動作例(1)

図 23.15 に PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を示します。カウンタクリア要因をTRGGRB レジスタのコンペア一致に設定し、

• TRGGRA レジスタの設定値＞TRGGRB レジスタの設定値

としたとき、PWM波形はデューティ 0%となります。

また、カウンタクリア要因をTRGGRA レジスタのコンペア一致に設定し、

• TRGGRB レジスタの設定値＞TRGGRA レジスタの設定値

としたときPWM波形はデューティ 100%となります。

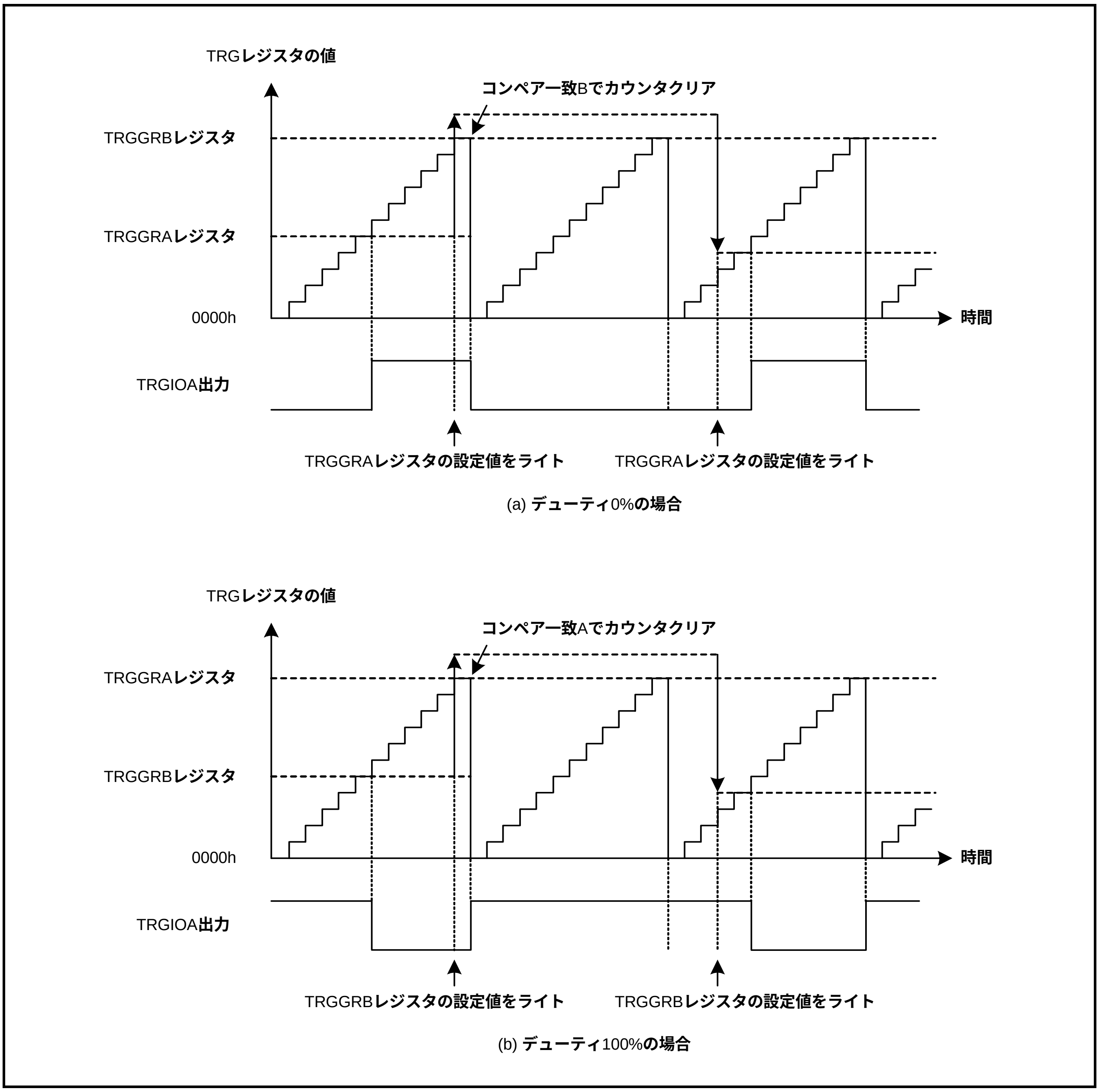


図 23.15 PWMモードの動作例(2)

23.7 位相計数モード

位相計数モードは、2本のTRGCLKA、TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

TRGPSRレジスタのTRGCLKASEL0ビットとTRGCLKBSEL0ビットが“1”のとき位相計数モードに設定すると、TRGCRレジスタのTCK0～TCK2ビット、CKEG0～CKEG1ビットの設定にかかわらず、TRGCLKA、TRGCLKB端子は自動的に外部クロック入力端子として機能し、またTRGレジスタはTRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、加算/減算されます。ただし、TRGCRレジスタのCCLR0～CCLR1ビット、TRGIOR、TRGIER、TRGSR、TRGGRA、TRGGRBレジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能やPWM出力機能や割り込み要因を使用することができます。

TRGレジスタは、CNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり/立ち下がりの両エッジでカウントします。

表23.11に位相計数モードの仕様を、表23.12にTRGレジスタの加算/減算条件を示します。

表23.11 位相計数モードの仕様

項目	仕様
カウントソース	TRGCLKj端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	• インプットキャプチャ(TRGIORj入力の有効エッジ) • コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) • TRGレジスタオーバフロー • TRGレジスタアンダフロー
TRGIOA端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、アウトプットコンペア出力、またはPWM出力
TRGIOB端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、またはアウトプットコンペア出力
TRGCLKA、TRGCLKB端子機能	外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	• カウンタの加算/減算条件選択 TRGCNTCレジスタのCNTEN0～CNTEN7ビットで選択 • インプットキャプチャ/アウトプットコンペア機能、PWM機能を使用可

j＝A、B

表23.12 TRGレジスタの加算/減算条件

TRGCLKB端子	↑		“H”		↓		“L”		“H”		↓		“L”		↑	
TRGCLKA端子	“L”		↑		“H”		↓		↓		“L”		↑		“H”	
TRGCNTCレジスタのCNTEN7～CNTEN0ビット	CNTEN7		CNTEN6		CNTEN5		CNTEN4		CNTEN3		CNTEN2		CNTEN1		CNTEN0	
値	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
カウント方向	−	+1	−	+1	−	+1	−	+1	−	−1	−	−1	−	−1	−	−1

23.7.1　タイマRG制御レジスタ(TRGCR)[位相計数モード時]

アドレス 0172h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	位相計数モードでは無効	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロック有効エッジ選択ビット	位相計数モードでは無効	R/W
b4	CKEG1			R/W
b5	CCLR0	TRGレジスタクリア要因選択ビット	b6 b5 0 0：クリア禁止 0 1：インプットキャプチャまたはTRGGRAのコンペア一致でTRGレジスタをクリア 1 0：インプットキャプチャまたはTRGGRBのコンペア一致でTRGレジスタをクリア 1 1：設定しないでください	R/W
b6	CCLR1			R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

23.7.2　位相計数モードの設定手順例

図23.16に位相計数モードの設定手順例を示します。

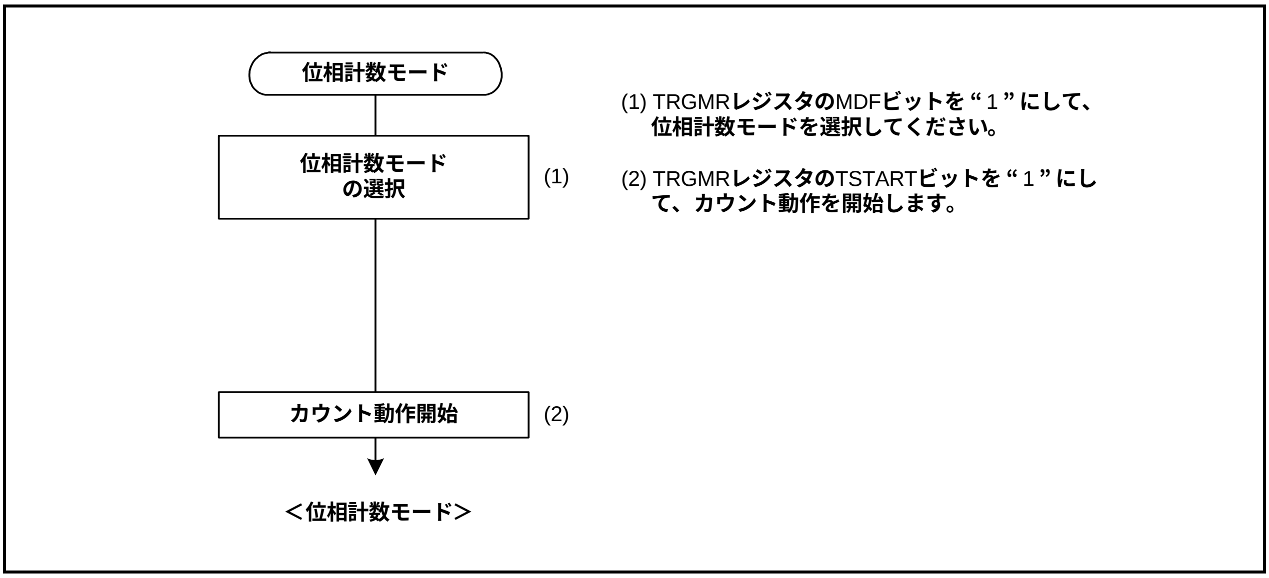


図23.16　位相計数モードの設定手順例

23.7.3 動作例

図23.17～図23.20に位相計数モードの動作例を示します。表23.12にTRGレジスタの加算/減算条件を示します。

位相計数モードでは、TRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり(↑)/立ち下がり(↓)の両エッジで加算/減算されます。

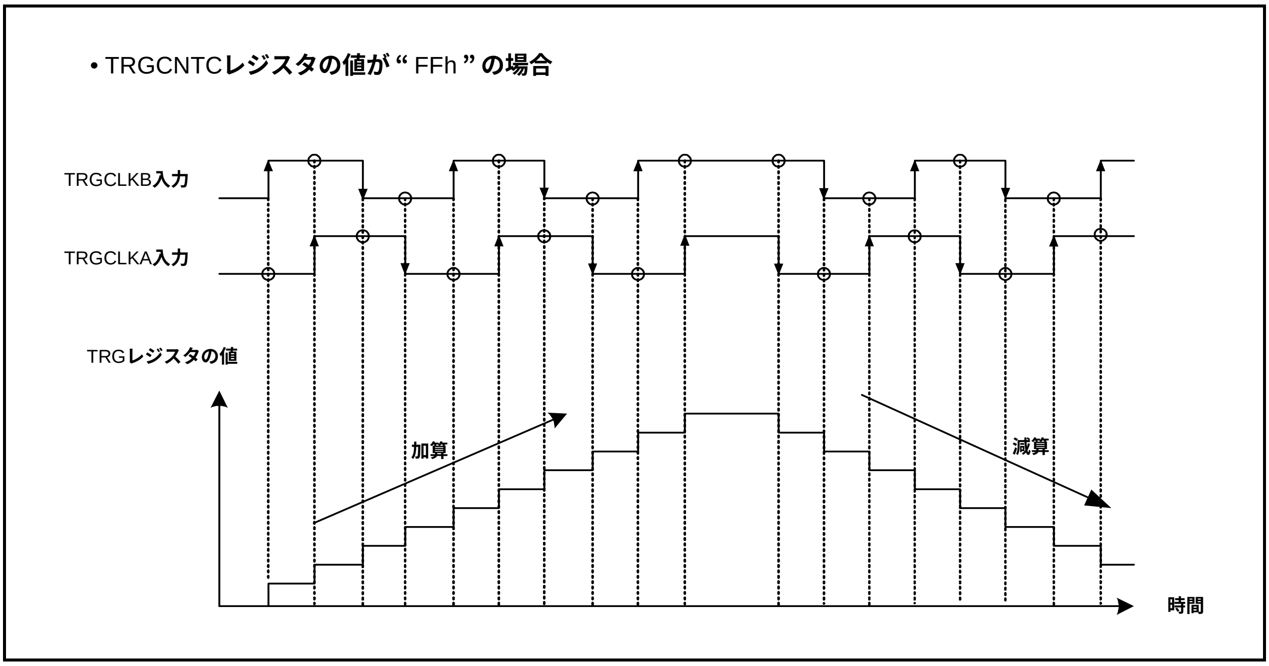


図23.17 位相計数モードの動作例1

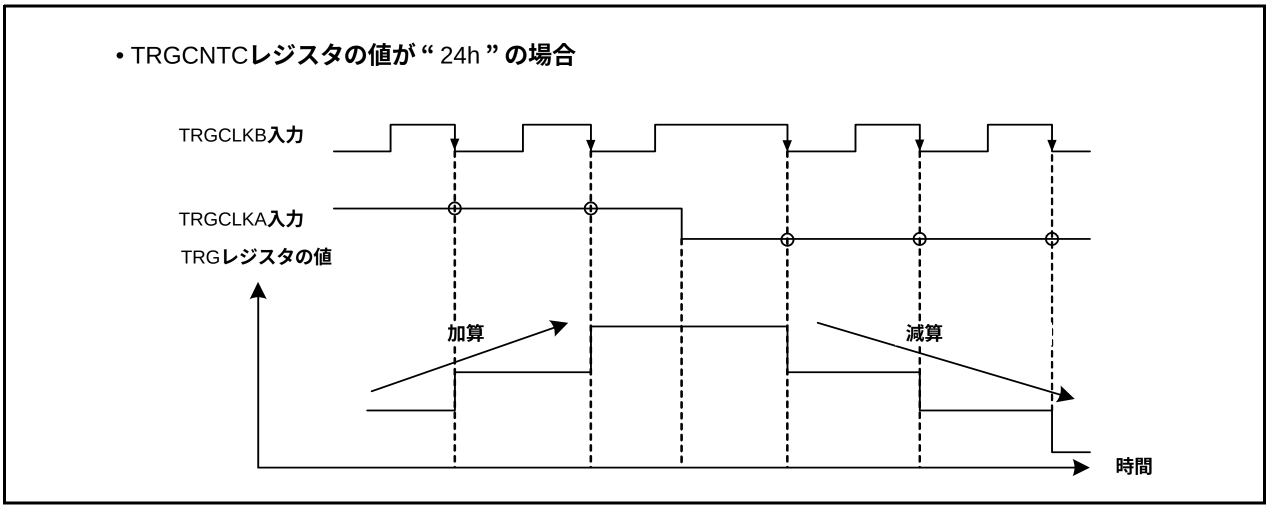


図23.18 位相計数モードの動作例2

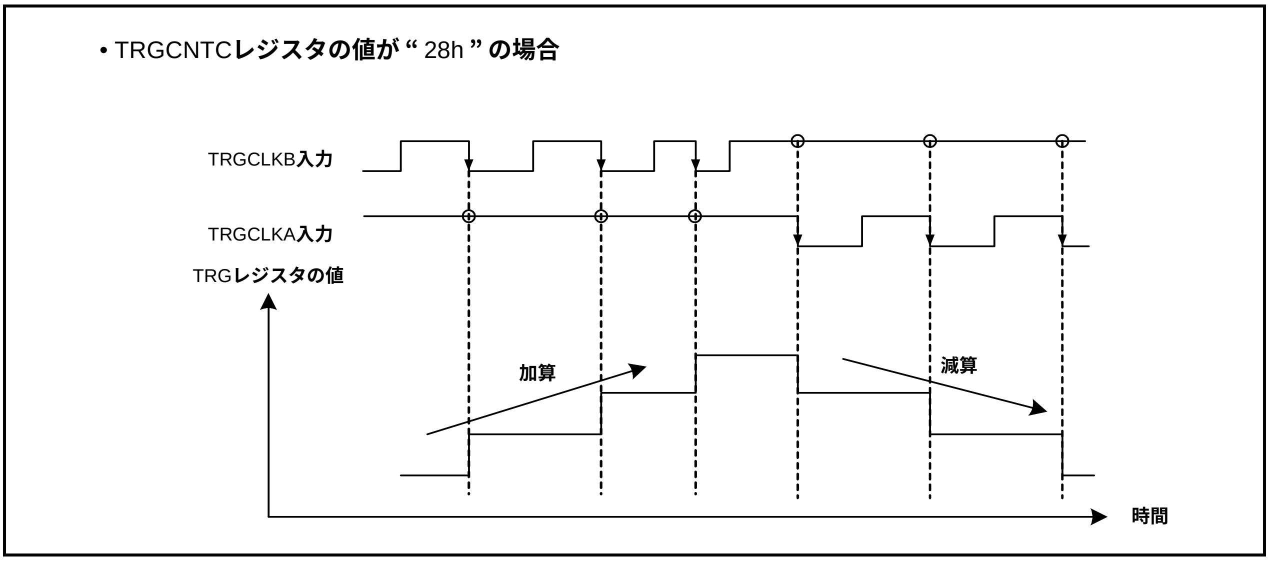


図 23.19　位相計数モードの動作例3

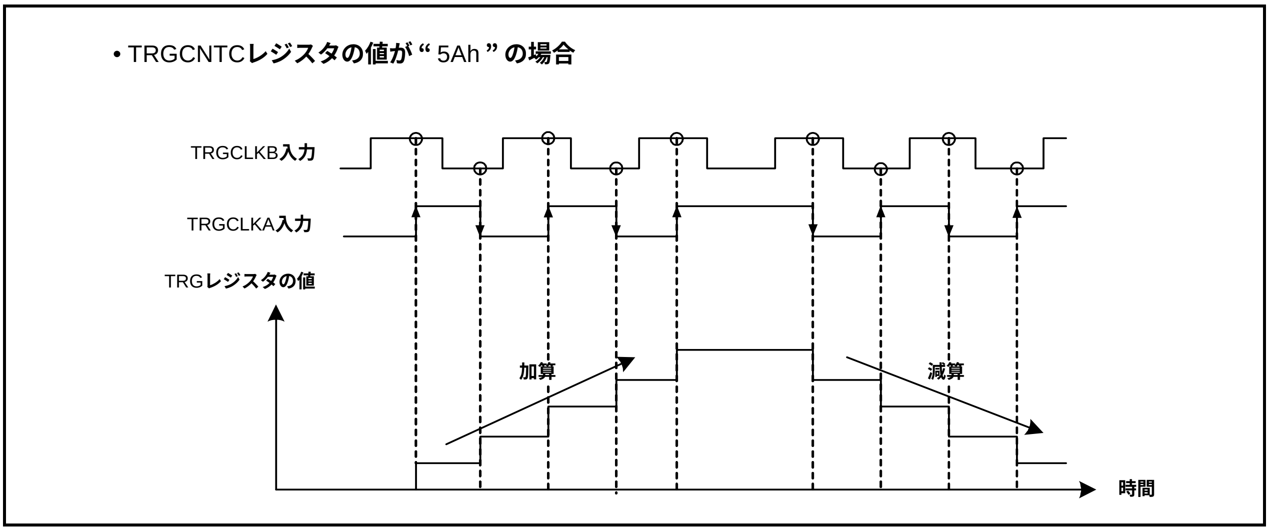


図 23.20　位相計数モードの動作例4

23.8　タイマRG割り込み

タイマRGは､4つの要因からタイマRG割り込み要求を発生します｡タイマRG割り込みは1つのTRGICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表23.13にタイマRG割り込み関連レジスタを､図23.21にタイマRG割り込みのブロック図を示します。

表 23.13　タイマRG割り込み関連レジスタ

タイマRG ステータスレジスタ	タイマRG 割り込み許可レジスタ	タイマRG 割り込み制御レジスタ
TRGSR	TRGIER	TRGIC

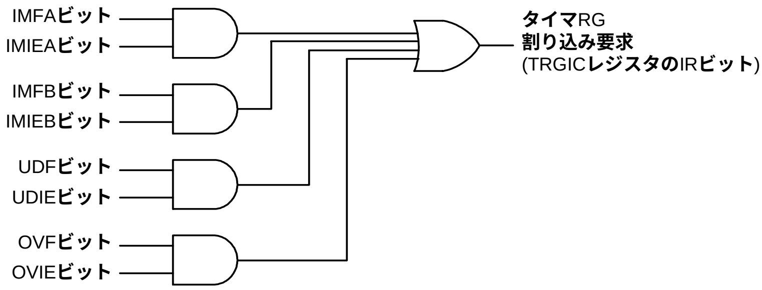


図23.21　タイマRG割り込みのブロック図

タイマRG割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRG割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRGSRレジスタのビットが“1”で、それに対応するTRGIERレジスタのビットが“1”(割り込み許可)の場合、TRGICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRGSRレジスタのビットと、それに対応するTRGIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRGIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判定してください。
- TRGSR レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「23.2.5　タイマRGステータスレジスタ(TRGSR)」を参照してください。

TRGIERレジスタは「23.2.4　タイマRG割り込み許可レジスタ(TRGIER)」を参照してください。

TRGICレジスタは「12.3　割り込み制御」、割り込みベクタは「12.1.5.2　可変ベクタテーブル」を参照してください。

23.9 タイマRG使用上の注意

23.9.1 位相計数モード時の位相差、オーバラップ、およびパルス幅

TRGCLKA、TRGCLKB端子からの外部入力信号の位相差およびオーバラップはそれぞれ1.5f1以上、パルス幅は2.5f1以上必要です。図23.22に位相計数モード時の位相差、オーバラップおよびパルス幅を示します。

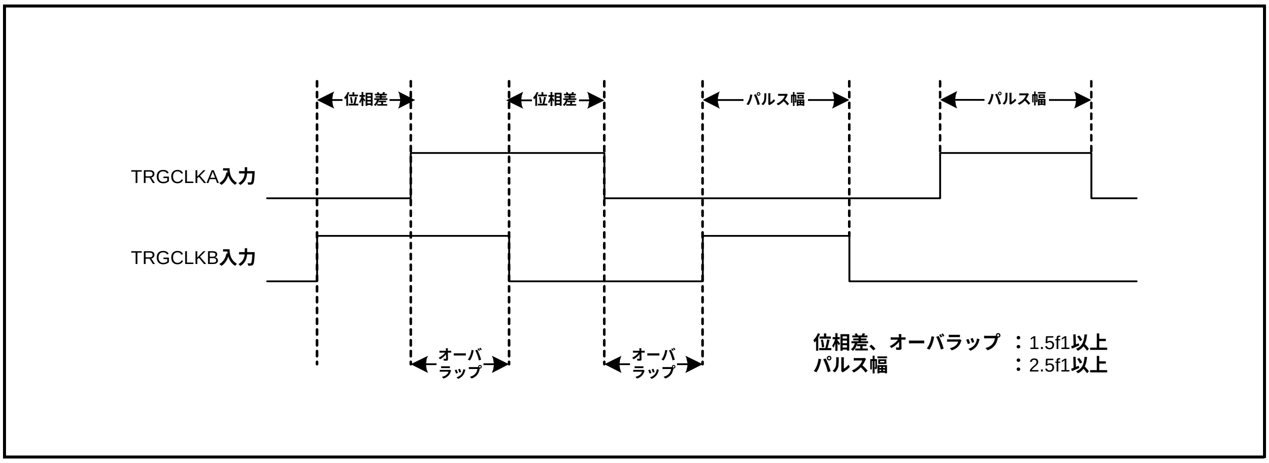


図23.22 位相計数モード時の位相差、オーバラップおよびパルス幅

23.9.2 タイマRGカウンタ(TRG)

TRGレジスタ、またはTRGCRレジスタに書く場合は、TRGMRレジスタのTSTARTビットが“0”(カウント停止)の状態で、行ってください。

23.9.3 タイマモード

タイマモードのアウトプットコンペア機能を使用する場合、TRGPSRレジスタのTRGIOASEL0ビット、TRGIOBSEL0ビットが“1”のとき、TRGIORレジスタでコンペア一致出力を“L”出力/“H”出力/トグル出力の3種類から選択して波形出力モードに設定すると、ポートはコンペア一致出力端子(TRGIOA、TRGIOB)となります。最初のコンペア一致が発生するまでのコンペア一致出力端子の出力レベルはTRGIORレジスタのIOA0～IOA1ビット、IOB0～IOB1ビットの設定で決まります。

TRGIORレジスタを設定した後、タイマRGの動作クロック1サイクル分、出力レベルが不定となります。その後、IOA0～IOA1ビット、IOB0～IOB1ビットに対応するレベルが出力されます。

23.9.4 PWMモード

PWMモードを使用する場合、TRGPSRレジスタのTRGIOASEL0ビットが“1”のとき、TRGMRレジスタのPWMビットを“1”(PWMモード)にすると、TRGIOA端子はPWM出力端子となります。最初のコンペア一致が発生するまでのPWM出力端子の出力レベルは、TRGCRレジスタのCCLR0～CCLR1ビットの設定で決まります。

PWMビットを設定した後、タイマRGの動作クロック1サイクル分、出力レベルが不定となります。その後、CCLR0～CCLR1ビットに対応するレベルが出力されます。

24. シリアルインタフェース(UARTi (i=0～1))

シリアルインタフェースはUART0～UART2の3チャネルで構成しています。本章はUARTi (i=0～1)について説明します。

24.1 概要

UART0～UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図24.1にUARTi (i=0～1)のブロック図を、図24.2に送受信部のブロック図、表24.1にUARTi (i=0～1)の端子構成を示します。

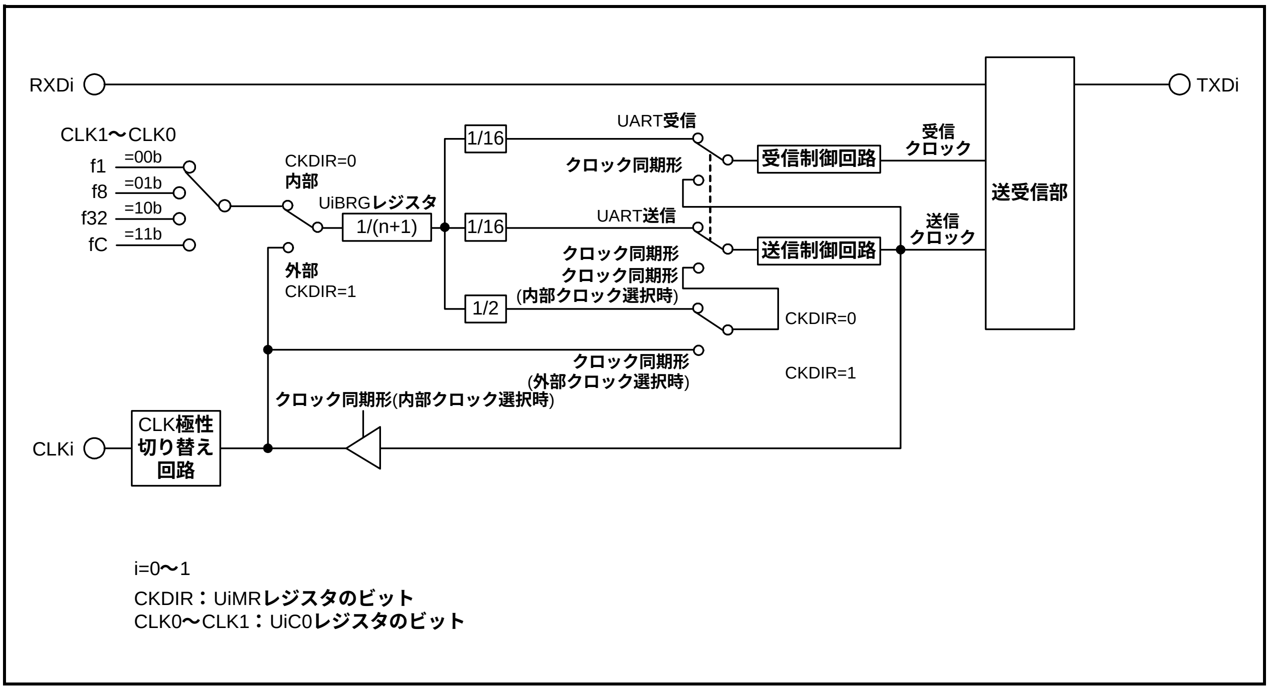


図24.1　UARTi (i=0～1)のブロック図

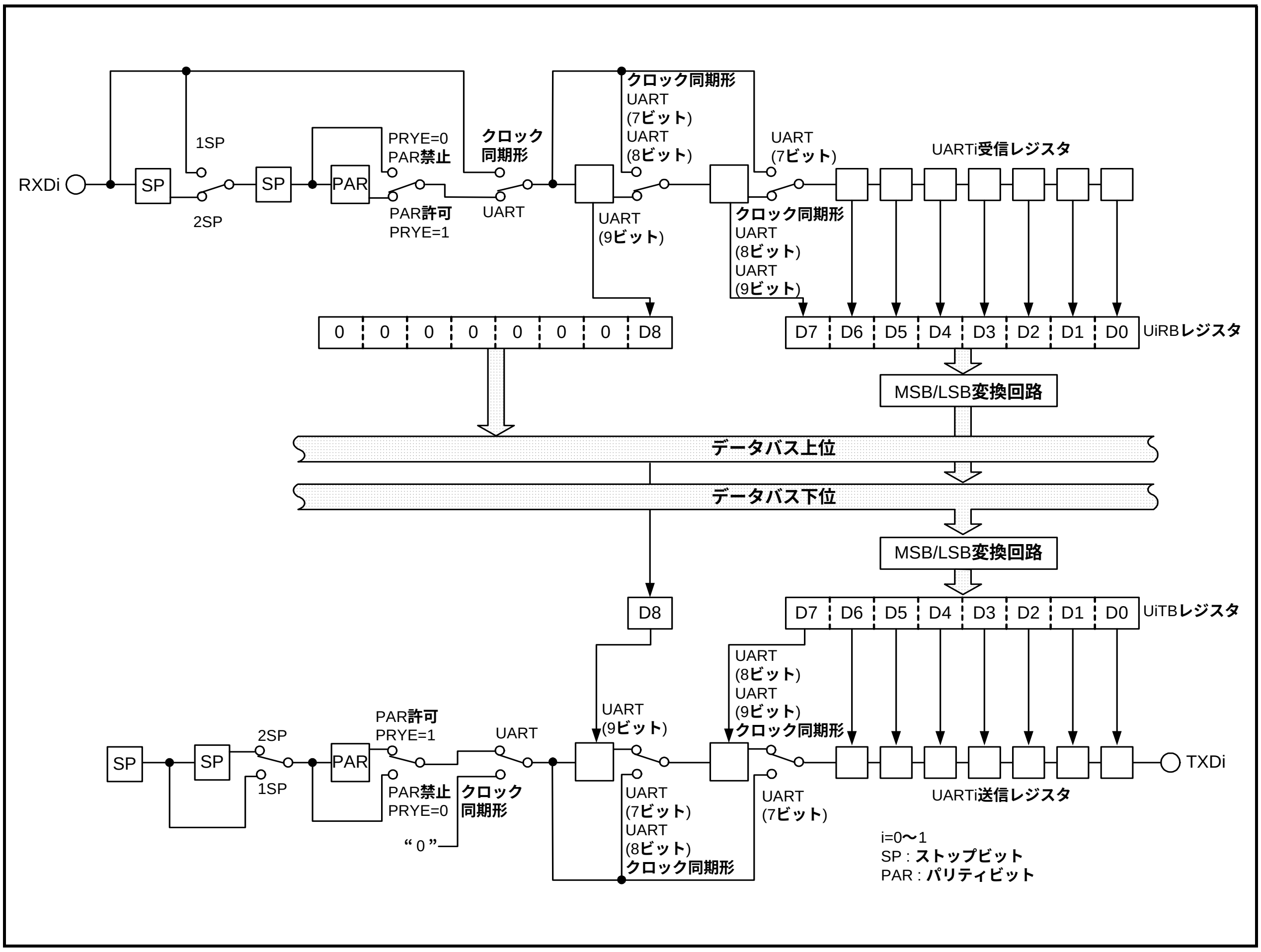


図 24.2　送受信部のブロック図

表 24.1　UARTi (i=0〜1)の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P13_1	出力	シリアルデータ出力
RXD0	P13_2またはP11_4	入力	シリアルデータ入力
CLK0	P13_3	入出力	転送クロック入出力
TXD1	P4_0	出力	シリアルデータ出力
RXD1	P4_1	入力	シリアルデータ入力
CLK1	P4_2	入出力	転送クロック入出力

24.2 レジスタの説明

24.2.1 UARTi送受信モードレジスタ(UiMR)(i=0～1)

アドレス 00A0h番地(U0MR)、0160h番地(U1MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット(注1、2)	b2 b1 b0 0 0 0：シリアルインタフェースは無効 0 0 1：クロック同期形シリアルI/Oモード 1 0 0：UARTモード転送データ長7ビット 1 0 1：UARTモード転送データ長8ビット 1 1 0：UARTモード転送データ長9ビット 上記以外：設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0：内部クロック 1：外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0：1ストップビット 1：2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0：奇数パリティ 1：偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0：パリティ禁止 1：パリティ許可	R/W
b7	—	予約ビット	“0”にしてください	R/W

注1. SMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にするときはU0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. SMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、U0RBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

24.2.2 UARTiビットレートレジスタ (UiBRG)(i=0～1)

アドレス 00A1h番地(U0BRG)、0161h番地(U1BRG)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7～b0	設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h～FFh	W

UiBRGレジスタは、送受信停止中に書いてください。
UiBRGレジスタは、MOV命令を使用して書いてください。
UiC0レジスタのCLK0～CLK1ビットを設定した後、UiBRGレジスタに書いてください。

24.2.3 UARTi送信バッファレジスタ (UiTB)(i=0～1)

アドレス 00A3h～00A2h番地(U0TB)、0163h～0162h番地(U1TB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ	W
b1	—		
b2	—		
b3	—		
b4	—		
b5	—		
b6	—		
b7	—		
b8	—		
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

転送データ長が9ビットの場合、UiTBレジスタの上位バイト→下位バイトの順で書いてください。
UiTBレジスタはMOV命令を使用して書いてください。

24.2.4 UARTi送受信制御レジスタ0 (UiC0)(i=0〜1)

アドレス 00A4h番地(U0C0)、0164h番地(U1C0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	—	TXEPT	—	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRGカウントソース選択ビット(注1)	b1 b0 0 0：f1を選択 0 1：f8を選択 1 0：f32を選択 1 1：fCを選択	R/W
b1	CLK1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0：送信レジスタにデータあり(送信中) 1：送信レジスタにデータなし(送信完了)	R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	NCH	データ出力選択ビット	0：TXDi端子はCMOS出力 1：TXDi端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0：転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1：転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0：LSBファースト 1：MSBファースト	R/W

注1. BRGカウントソースを変更した場合は、UiBRGレジスタを再設定してください。

24.2.5 UARTi送受信制御レジスタ1 (UiC1)(i=0〜1)

アドレス 00A5h番地(U0C1)、0165h番地(U1C1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	UiRRM	UiIRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0：送信禁止 1：送信許可	R/W
b1	TI	送信バッファ空フラグ	0：UiTBにデータあり 1：UiTBにデータなし	R
b2	RE	受信許可ビット	0：受信禁止 1：受信許可	R/W
b3	RI	受信完了フラグ(注1)	0：UiRBにデータなし 1：UiRBにデータあり	R
b4	UiIRS	UARTi送信割り込み要因選択ビット	0：送信バッファ空(TI=1) 1：送信完了(TXEPT=1)	R/W
b5	UiRRM	UARTi連続受信モード許可ビット(注2)	0：連続受信モード禁止 1：連続受信モード許可	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

注1. RIビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。
注2. UARTモード時、UiRRMビットは“0”(連続受信モード禁止)にしてください。

24.2.6 UARTi受信バッファレジスタ (UiRB)(i=0～1)

アドレス 00A7h～00A6h番地(U0RB)、0167h～0166h番地(U1RB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	—	受信データ(D7～D0)	R
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			
b8	—	—	受信データ(D8)	R
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—			
b12	OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0：フレーミングエラーなし 1：フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0：パリティエラーなし 1：パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0：エラーなし 1：エラー発生	R

注1. SUM、PER、FER、OERビットは、UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。
UiMRレジスタのSMD2～SMD0ビットを“000b”にするときは、UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. UiMRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

UiRBレジスタは必ず16ビット単位で読み出してください。

24.2.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK0SEL0	RXD0SEL1	RXD0SEL0	—	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	0：TXD0端子は使用しない 1：TXD0端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	RXD0SEL0	RXD0端子選択ビット	b3 b2 0 0：RXD0端子は使用しない 0 1：P13_2に割り当てる 1 0：P11_4に割り当てる 1 1：設定しないでください	R/W
b3	RXD0SEL1			R/W
b4	CLK0SEL0	CLK0端子選択ビット	0：CLK0端子は使用しない 1：CLK0端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

24.2.8 UART1端子選択レジスタ(U1SR)

アドレス 0189h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK1SEL0	—	RXD1SEL0	—	TXD1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SEL0	TXD1端子選択ビット	0：TXD1端子は使用しない 1：TXD1端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	RXD1SEL0	RXD1端子選択ビット	0：RXD1端子は使用しない 1：RXD1端子を使用する	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	CLK1SEL0	CLK1端子選択ビット	0：CLK1端子は使用しない 1：CLK1端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

U1SRレジスタは、UART1の入出力をどの端子に割り当てるかを選択するレジスタです。UART1の入出力端子を使用する場合は、U1SRレジスタを設定してください。

UART1の関連レジスタを設定する前に、U1SRレジスタを設定してください。また、UART1の動作中はU1SRレジスタの設定値を変更しないでください。

24.3　クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表24.2にクロック同期形シリアルI/Oモードの仕様を、表24.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表24.2　クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長　8ビット
転送クロック	・UiMRレジスタのCKDIRビットが“0”(内部クロック)：fi/(2(n+1)) fi=f1、f8、f32、fC　n=UiBRGレジスタの設定値　00h～FFh ・CKDIRビットが“1”(外部クロック)：CLKi端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 UiC1レジスタのREビットが“1”(受信許可) UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 UiRBレジスタを読み出す動作により、同時に受信許可状態になる

i=0～1

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0～b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 24.3　クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	b0～b7	送信データを設定してください
UiRB	b0～b7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	b0～b7	ビットレートを設定してください
UiMR	SMD2～SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
UiC0	CLK1～CLK0	UiBRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1”にしてください

i=0～1

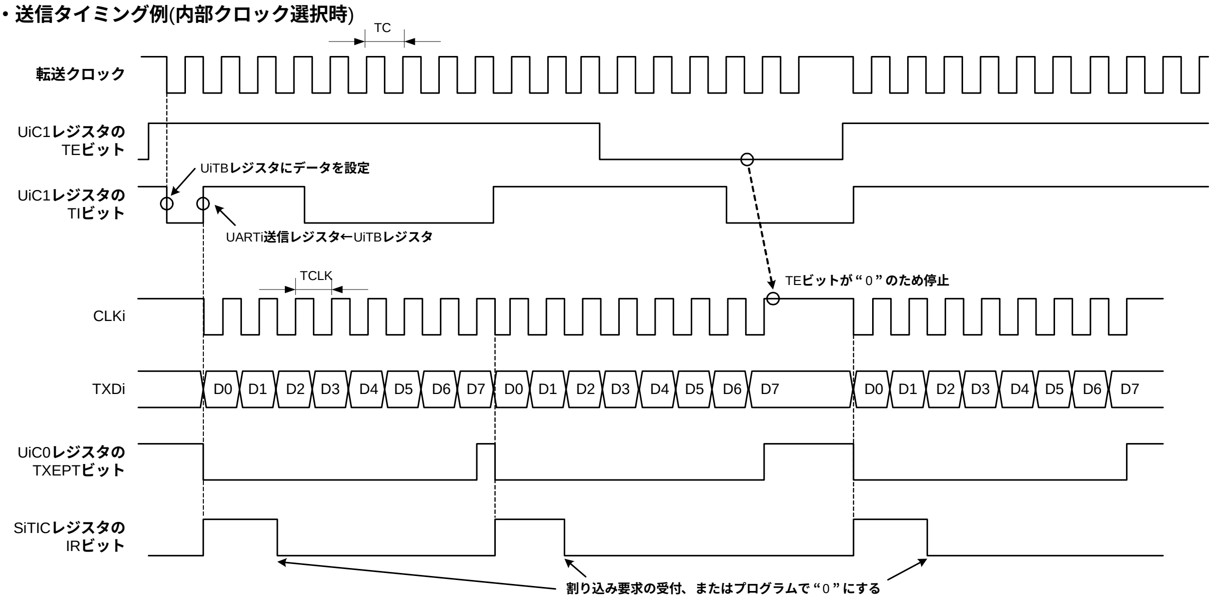
注1.　この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表 24.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。
UARTi (i=0～1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(UiC0レジスタのNCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 24.4　クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P13_1)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット＝1 Nチャネルオープンドレイン出力選択時は、 PD13レジスタのPD13_1ビット＝0 (受信だけを行うときはTXD0SEL0ビット＝0と設定することで、P13_1をポートとして使用可)
RXD0(P13_2またはP11_4)	シリアルデータ入力	•RXD0(P13_2)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット＝01b(P13_2) PD13レジスタのPD13_2ビット＝0 •RXD0(P11_4)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット＝10b(P11_4) PD11レジスタのPD11_4ビット＝0 •送信だけを行うときはRXD0SEL1、RXD0SEL0ビット＝00bと設定することで、P13_2、P11_4をポートとして使用可
CLK0(P13_3)	転送クロック出力	U0SRレジスタのCLK0SEL0ビット＝1 U0MRレジスタのCKDIRビット＝0 (内部クロック)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット＝1 U0MRレジスタのCKDIRビット＝1 (外部クロック) PD13レジスタのPD13_3ビット＝0
TXD1(P4_0)	シリアルデータ出力	U1SRレジスタのTXD1SEL0ビット＝1 Nチャネルオープンドレイン出力選択時は、 PD4レジスタのPD4_0ビット＝0 (受信だけを行うときはTXD1SEL0ビット＝0と設定することで、P4_0をポートとして使用可)
RXD1(P4_1)	シリアルデータ入力	U1SRレジスタのRXD1SEL0ビット＝1 PD4レジスタのPD4_1ビット＝0 (送信だけを行うときはRXD1SEL0ビット＝0と設定することで、P4_1をポートとして使用可)
CLK1(P4_2)	転送クロック出力	U1SRレジスタのCLK1SEL0ビット＝1 U1MRレジスタのCKDIRビット＝0
	転送クロック入力	U1SRレジスタのCLK1SEL0ビット1 U1MRレジスタのCKDIRビット＝1 PD4レジスタのPD4_2ビット＝0

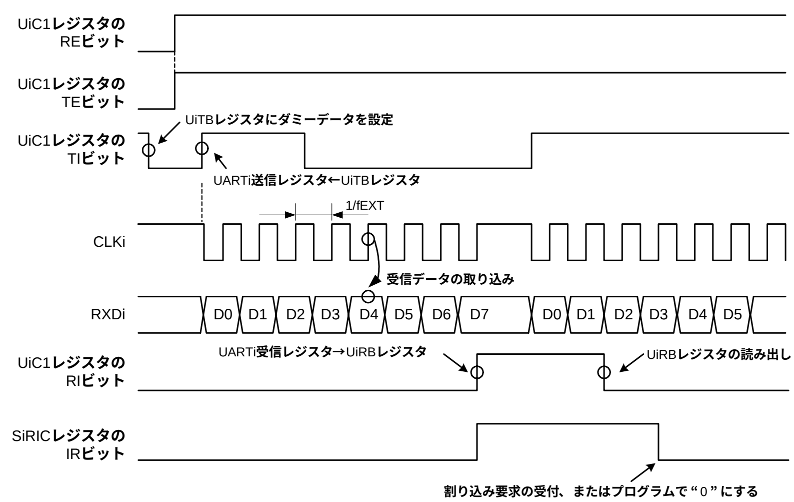
・送信タイミング例(内部クロック選択時)



上記タイミング図は次の設定条件の場合です。
- UiMRレジスタのCKDIRビット=0 (内部クロック)
- UiC0レジスタのCKPOLビット=0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- UiC1レジスタのUiIRSビット=0 (送信バッファが空になると割り込み要求発生)

TC=TCLK=2(n+1)/fi
fi : UiBRGのカウントソースの周波数
(f1、f8、f32、fC)
n : UiBRGに設定した値

・受信タイミング例(外部クロック選択時)



上記タイミング図は次の設定条件の場合です。
- UiMRレジスタのCKDIRビット=1 (外部クロック)
- UiC0レジスタのCKPOLビット=0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
- UiC1レジスタのTEビット→“1”(送信許可)
- UiC1レジスタのREビット→“1”(受信許可)
- UiTBレジスタへのダミーデータの書き込み

fEXT：外部クロックの周波数

i=0〜1

図 24.3　クロック同期形シリアルI/Oモード時の送受信タイミング例

24.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1) UiC1レジスタ(i＝0～1)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2) UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3) UiMRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
(4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

24.3.2　極性選択機能

図24.4に転送クロックの極性を示します。UiC0レジスタ(i=0〜1)のCKPOLビットによって転送クロックの極性を選択できます。

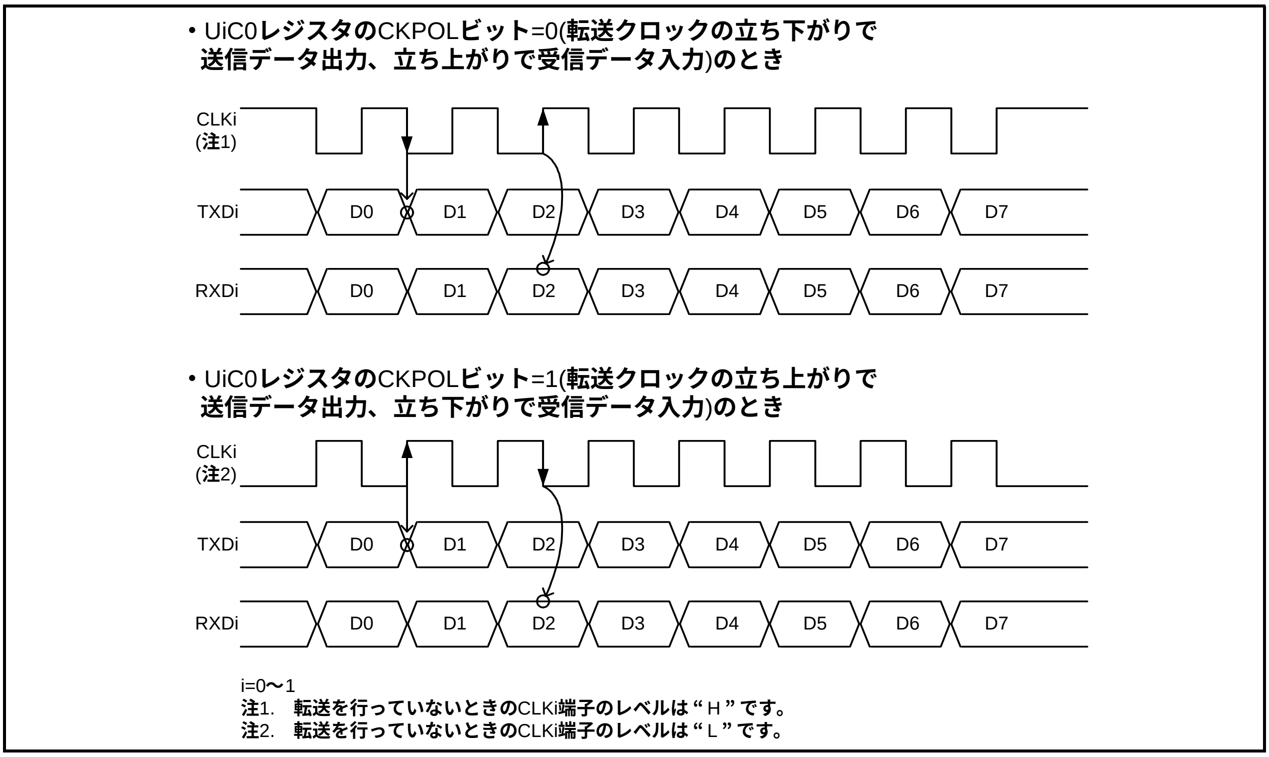


図24.4　転送クロックの極性

24.3.3　LSBファースト、MSBファースト選択

図24.5に転送フォーマットを示します。UiC0レジスタ(i=0〜1)のUFORMビットで転送フォーマットを選択できます。

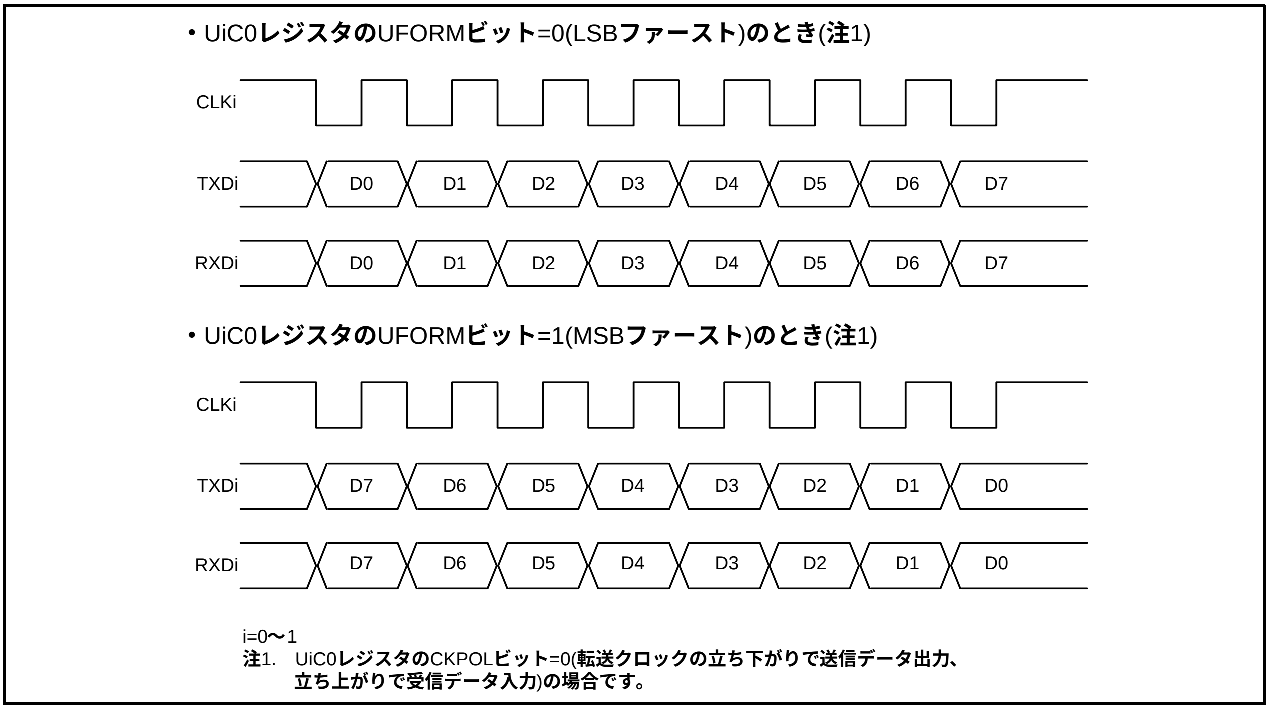


図24.5　転送フォーマット

24.3.4 連続受信モード

UiC1レジスタ(i=0〜1)のUiRRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

24.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表24.5にクロック非同期形シリアルI/Oモードの仕様を、表24.6にUARTモード時の使用レジスタと設定値を示します。

表24.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・キャラクタビット(転送データ)　7ビット、8ビット、9ビット 選択可 ・スタートビット　1ビット ・パリティビット　奇数、偶数、なし選択可 ・ストップビット　1ビット、2ビット 選択可
転送クロック	・UiMRレジスタのCKDIRビットが“0”(内部クロック)：fj/(16(n+1)) fj=f1、f8、f32、fC　n=UiBRGレジスタの設定値　00h～FFh ・CKDIRビットが”1”(外部クロック)：fEXT/(16(n+1)) fEXTはCLKi端子からの入力　n=UiBRGレジスタの設定値　00h～FFh
送信開始条件	・送信開始には、以下の条件が必要です。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です。 UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -UiC1レジスタのUiIRSビットが“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiC1レジスタのUiIRSビットが“1”(送信完了)： UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注1)　UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー　設定した個数のストップビットが検出されなかったときに発生(注2) ・パリティエラー　パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生(注2) ・エラーサムフラグ　オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

i=0～1

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0～b8)は不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに“1”になります。

表 24.6　UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	b0～b8	送信データを設定してください(注1)
UiRB	b0～b8	受信データが読めます(注2)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	b0～b7	ビットレートを設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1～CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください。
	UiRRM	“0”にしてください。

i=0～1

注1.　使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2.　転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表24.7にUARTモード時の入出力端子の機能を示します。なお、UARTi(i=0～1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(UiC0レジスタのNCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 24.7　UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P13_1)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット＝1 Nチャネルオープンドレイン出力選択時は、 PD13レジスタのPD13_1ビット＝0 (受信だけを行うときはTXD0SEL0ビット＝0と設定することで、P13_1をポートとして使用可)
RXD0(P13_2またはP11_4)	シリアルデータ入力	•RXD0(P13_2)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット＝01b(P13_2) PD13レジスタのPD13_2ビット＝0 •RXD0(P11_4)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット＝10b(P11_4) PD11レジスタのPD11_4ビット＝0 •送信だけを行うときはRXD0SEL1、RXD0SEL0ビット＝00bと設定することで、P13_2、P11_4をポートとして使用可
CLK0(P13_3)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL0ビット＝0(CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット＝1 U0MRレジスタのCKDIRビット＝1 (外部クロック) PD13レジスタのPD13_3ビット＝0
TXD1(P4_0)	シリアルデータ出力	U1SRレジスタのTXD1SEL0ビット＝1 Nチャネルオープンドレイン出力選択時は、 PD4レジスタのPD4_0ビット＝0 (受信だけを行うときはTXD1SEL0ビット＝0と設定することで、P4_0をポートとして使用可)
RXD1(P4_1)	シリアルデータ入力	U1SRレジスタのRXD1SEL0ビット＝1 PD4レジスタのPD4_1ビット＝0 (送信だけを行うときはRXD1SEL0ビット＝0と設定することで、P4_1をポートとして使用可)
CLK1(P4_2)	プログラマブル入出力ポート	U1SRレジスタのCLK1SEL0ビット＝0(CLK1端子は使用しない)
	転送クロック入力	U1SRレジスタのCLK1SEL0ビット＝1 U1MRレジスタのCKDIRビット＝1 (外部クロック) PD4レジスタのPD4_2ビット＝0

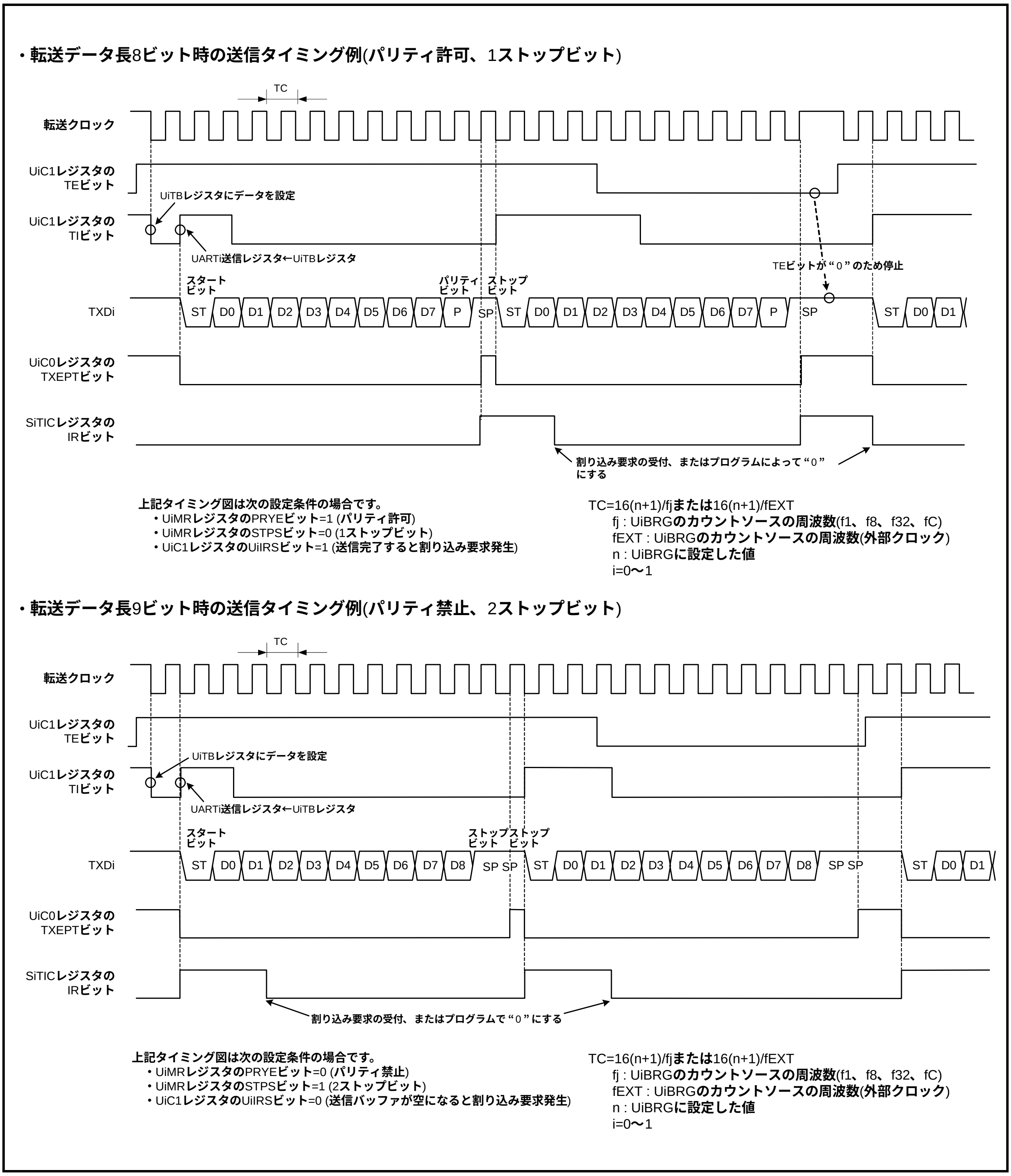


図 24.6　UART モード時の送信タイミング

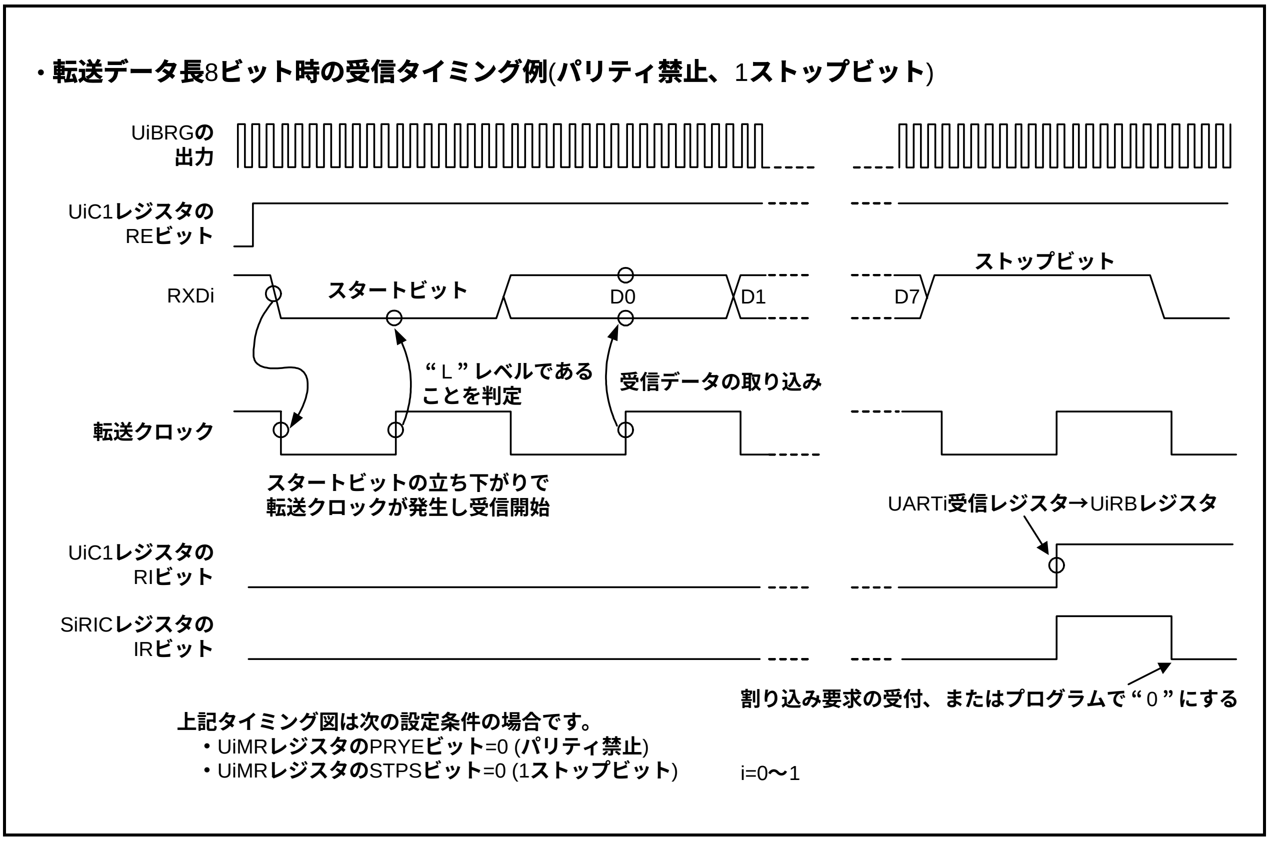


図 24.7　UART モード時の受信タイミング例

24.4.1　ビットレート

UARTモードではUiBRGレジスタ(i=0～1)で分周した周波数の16分周がビットレートになります。

＜UARTモード＞

・内部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{fj}{\text{ビットレート} \times 16} - 1$$

fj：UiBRGレジスタのカウントソースの周波数(f1、f8、f32、fC)

・外部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{fEXT}{\text{ビットレート} \times 16} - 1$$

fEXT：UiBRGレジスタのカウントソースの周波数(外部クロック)

i=0～1

図 24.8　UiBRGレジスタ(i=0～1)の設定値の算出式

表 24.8　UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	UiBRGのカウントソース	システムクロック＝20 MHz			システムクロック＝18.432 MHz (注1)			システムクロック＝8 MHz		
		UiBRGの設定値	実時間 (bps)	設定誤差 (%)	UiBRGの設定値	実時間 (bps)	設定誤差 (%)	UiBRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	−1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	−0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	−0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	−1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	−1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	−3.55
115200	f1	10 (0Ah)	113636.36	−1.36	9 (09h)	115200.00	0.00	—	—	—

i=0～1

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを“000b”(2分周モード)にした場合です。

24.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1) UiC1レジスタ(i＝0～1)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2) UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3) UiMRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
(4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

24.5 シリアルインタフェース(UARTi (i=0～1))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0～1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
  UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、"0"になります。
  受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

  ＜受信バッファレジスタを読み出すプログラム例＞

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書くときは、上位バイト→下位バイトの順で、8ビット単位で書いてください。

  ＜送信バッファレジスタに書き込むプログラム例＞

```
MOV.B    #XXH, 00A3H    ; U0TBレジスタの上位バイトへの書き込み
MOV.B    #XXH, 00A2H    ; U0TBレジスタの下位バイトへの書き込み
```

25. シリアルインタフェース(UART2)

シリアルインタフェースはUART0～UART2の3チャネルで構成しています。本章はUART2について説明します。

25.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。
図25.1にUART2のブロック図を、図25.2にUART2送受信部のブロック図を示します。
UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I2Cモード)
- マルチプロセッサ通信機能

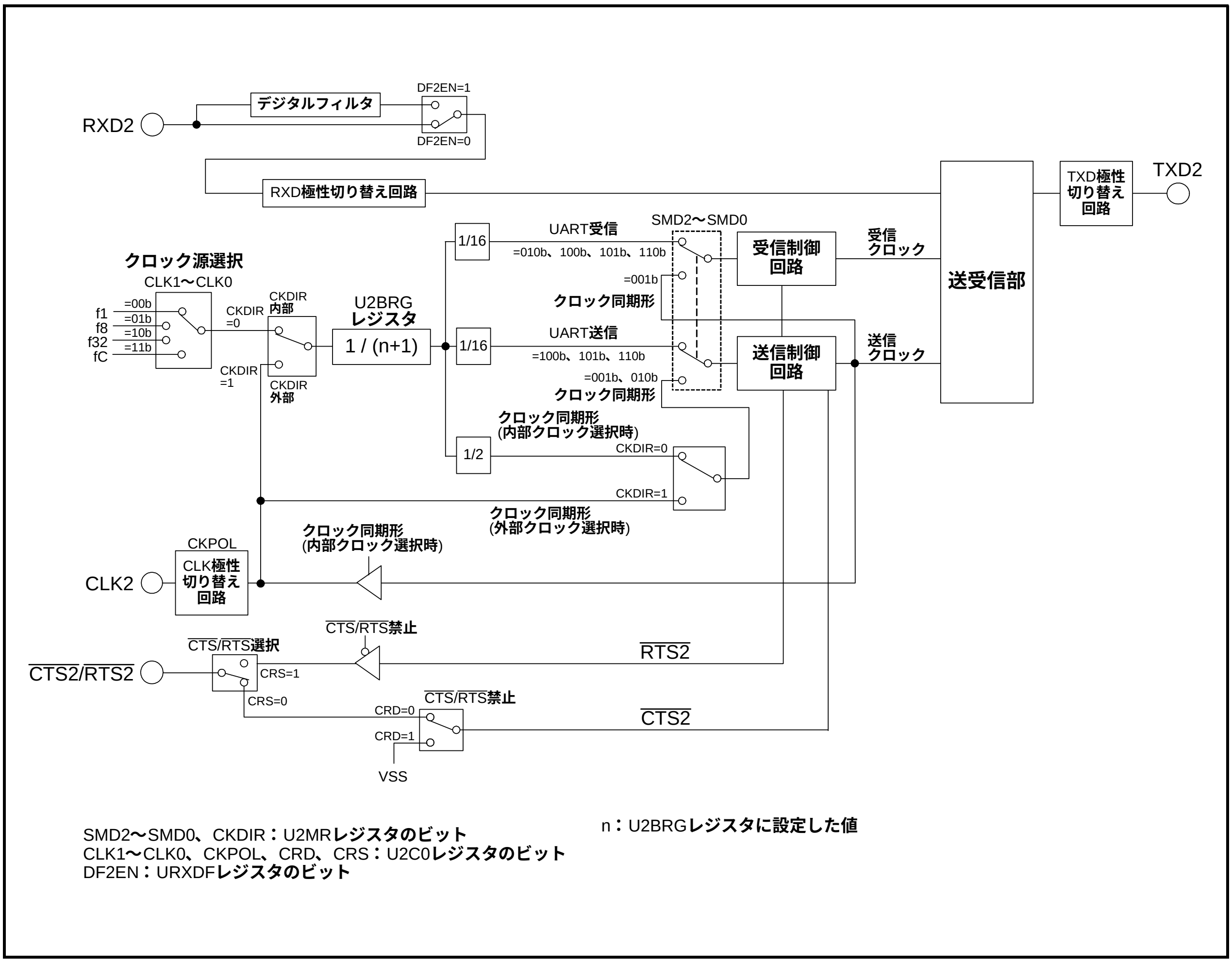


図25.1　UART2のブロック図

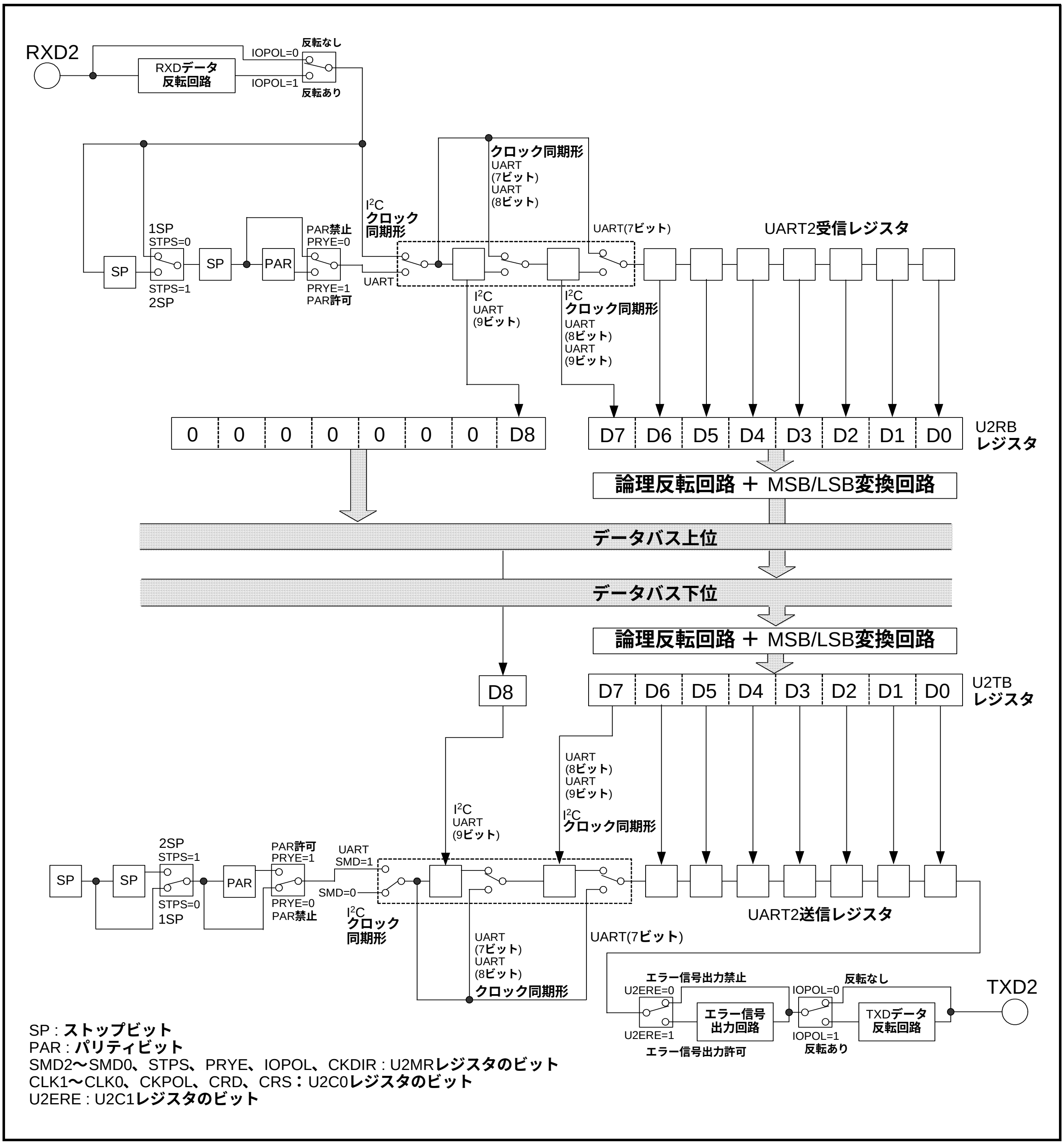


図 25.2　UART2送受信部のブロック図

表 25.1　UART2の端子構成

端子名	割り当てる端子	入出力	機能
TXD2	P11_1、P11_2	出力	シリアルデータ出力
RXD2	P11_1、P11_2	入力	シリアルデータ入力
CLK2	P11_0	入出力	転送クロック入出力
$\overline{\mathrm{CTS2}}$	P11_3	入力	送信制御用入力
$\overline{\mathrm{RTS2}}$	P11_3	出力	受信制御用出力
SCL2	P11_1、P11_2	入出力	I2Cモードのクロック入出力
SDA2	P11_1、P11_2	入出力	I2Cモードのデータ入出力

25.2 レジスタの説明

25.2.1 UART2送受信モードレジスタ(U2MR)

アドレス 00A8h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット(注1、2)	b2 b1 b0 0 0 0：シリアルインタフェースは無効 0 0 1：クロック同期形シリアルI/Oモード 0 1 0：I²Cモード 1 0 0：UARTモード転送データ長7ビット 1 0 1：UARTモード転送データ長8ビット 1 1 0：UARTモード転送データ長9ビット 上記以外：設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0：内部クロック 1：外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0：1ストップビット 1：2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0：奇数パリティ 1：偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0：パリティ禁止 1：パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット	0：反転なし 1：反転あり	R/W

注1. SMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にするときはU0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。
注2. SMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、U0RBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

25.2.2 UART2ビットレートレジスタ (U2BRG)

アドレス 00A9h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7～b0	設定値をnとすると、U2BRGはカウントソースをn+1分周する	00h～FFh	W

U2BRGレジスタは、送受信停止中に書いてください。
U2BRGレジスタは、MOV命令を使用して書いてください。
U2C0レジスタのCLK1～CLK0ビットを設定した後にU2BRGレジスタに書いてください。
U2BRGレジスタに“00h”を設定した場合、直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があるため、ご注意ください。

25.2.3　UART2送信バッファレジスタ (U2TB)

アドレス 00ABh～00AAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	MPTB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ(D7～D0)	W
b1	—		
b2	—		
b3	—		
b4	—		
b5	—		
b6	—		
b7	—		
b8	MPTB	送信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 送信データD8 [マルチプロセッサ通信機能を使用する場合] • IDを転送するときは、MPTBビットを“1”にしてください • データを転送するときは、MPTBビットを“0”にしてください	W
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

注1. MPTBビットを設定した後、b0～b7を設定してください。

25.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRGカウントソース選択ビット(注1)	b1 b0 0 0：f1を選択 0 1：f8選択 1 0：f32を選択 1 1：fCを選択	R/W
b1	CLK1			R/W
b2	CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	CRD=0のとき有効 0：$\overline{CTS}$機能を選択 1：RTS機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0：送信レジスタにデータあり(送信中) 1：送信レジスタにデータなし(送信完了)	R
b4	CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0：$\overline{CTS}$/$\overline{RTS}$機能許可 1：CTS/RTS機能禁止	R/W
b5	NCH	データ出力選択ビット	0：TXD2/SDA2、SCL2端子はCMOS出力 1：TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0：転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1：転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット(注2)	0：LSBファースト 1：MSBファースト	R/W

注1. CLK1～CLK0ビットを変更した場合は、U2BRGレジスタを再設定してください。
注2. UFORMビットはU2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I^2Cモード)のときは“1”(MSBファースト)に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”(LSBファースト)にしてください。

25.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0：送信禁止 1：送信許可	R/W
b1	TI	送信バッファ空フラグ	0：U2TBレジスタにデータあり 1：U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0：受信禁止 1：受信許可	R/W
b3	RI	受信完了フラグ	0：U2RBレジスタにデータなし 1：U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0：送信バッファ空(TI=1) 1：送信完了(TXEPT=1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット(注1)	0：反転なし 1：反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット	0：出力しない 1：出力する	R/W

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I^2Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

25.2.6 UART2受信バッファレジスタ (U2RB)

アドレス 00AFh～00AEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	MPRB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	—	受信データ(D7～D0)	R
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			
b8	MPRB	—	受信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ(D8) [マルチプロセッサ通信機能を使用する場合] • MPRBビットが“0”のとき、受信したD0～D7はデータフィールド • MPRBビットが“1”のとき、受信したD0～D7はIDフィールド	R
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—	予約ビット	“0”にしてください	R/W
b12	OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0：フレーミングエラーなし 1：フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0：パリティエラーなし 1：パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0：エラーなし 1：エラー発生	R

注1. U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U2RBレジスタの下位バイトを読んだとき、“0”になります。
U2MRレジスタのSMD2～SMD0ビットを“000b”にするときは、U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I2Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U2RBレジスタは必ず16ビット単位で読み出してください。

25.2.7 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	DF2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	DF2EN	RXD2デジタルフィルタ許可ビット(注1)	0：デジタルフィルタ禁止 1：デジタルフィルタ許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“010b”(I^2Cモード)のときは、DF2ENビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

25.2.8 UART2特殊モードレジスタ5(U2SMR5)

アドレス 00BBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MPIE	—	—	—	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット	0：マルチプロセッサ通信禁止 1：マルチプロセッサ通信許可(注1)	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが“1”(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが“1”のとき、次の状態になります。 • マルチプロセッサビット(MPRB)が“0”の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが“1”になることを禁止します。 • マルチプロセッサビット(MPRB)が“1”の受信データを受信すると、MPIEビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—	予約ビット	“0”にしてください	R/W

注1. MPビットが“1”(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)では、MPビットを“0”(マルチプロセッサ通信禁止)にしてください。

25.2.9 UART2特殊モードレジスタ4 (U2SMR4)

アドレス 00BCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SWC9	SCLHI	ACKC	ACKD	STSPSEL	STPREQ	RSTAREQ	STAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STAREQ	スタートコンディション生成ビット(注1)	0：クリア 1：スタート	R/W
b1	RSTAREQ	リスタートコンディション生成ビット(注1)	0：クリア 1：スタート	R/W
b2	STPREQ	ストップコンディション生成ビット(注1)	0：クリア 1：スタート	R/W
b3	STSPSEL	SCL、SDA出力選択ビット	0：スタートコンディション、ストップコンディション出力しない 1：スタートコンディション、ストップコンディション出力する	R/W
b4	ACKD	ACKデータビット	0：ACK 1：NACK	R/W
b5	ACKC	ACKデータ出力許可ビット	0：シリアルインタフェースデータ出力 1：ACKデータ出力	R/W
b6	SCLHI	SCL出力停止許可ビット	0：禁止 1：許可	R/W
b7	SWC9	SCLウェイトビット3	0：SCL“L”ホールド禁止 1：SCL“L”ホールド許可	R/W

注1. 各コンディションが生成されたとき、“0”になります。

25.2.10 UART2特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DL2	DL1	DL0	—	NODC	—	CKPH	—
リセット後の値	0	0	0	X	0	X	0	X

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b1	CKPH	クロック位相設定ビット	0：クロック遅れなし 1：クロック遅れあり	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b3	NODC	クロック出力選択ビット	0：CLK2はCMOS出力 1：CLK2はNチャネルオープンドレイン出力	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	DL0	SDA2デジタル遅延値設定ビット(注1、2)	b7 b6 b5 0 0 0：遅延なし 0 0 1：U2BRGカウントソースの1～2サイクル 0 1 0：U2BRGカウントソースの2～3サイクル 0 1 1：U2BRGカウントソースの3～4サイクル 1 0 0：U2BRGカウントソースの4～5サイクル 1 0 1：U2BRGカウントソースの5～6サイクル 1 1 0：U2BRGカウントソースの6～7サイクル 1 1 1：U2BRGカウントソースの7～8サイクル	R/W
b6	DL1			R/W
b7	DL2			R/W

注1. DL2～DL0ビットはI^2Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I^2Cモード以外の場合、“000b”(遅延なし)にしてください。

注2. 遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

25.2.11 UART2特殊モードレジスタ2 (U2SMR2)

アドレス 00BEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SDHI	SWC2	STAC	—	SWC	CSC	IICM2
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM2	I2Cモード選択ビット2	「表 25.12　I2Cモード時の各機能」参照	R/W
b1	CSC	クロック同期化ビット	0：禁止 1：許可	R/W
b2	SWC	SCLウェイト出力ビット	0：禁止 1：許可	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	STAC	UART2初期化ビット	0：禁止 1：許可	R/W
b5	SWC2	SCLウェイト出力ビット2	0：転送クロック 1：“L”出力	R/W
b6	SDHI	SDA出力禁止ビット	0：許可 1：禁止(ハイインピーダンス)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

25.2.12 UART2特殊モードレジスタ (U2SMR)

アドレス 00BFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	BBS	—	IICM
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	I2Cモード選択ビット	0：I2Cモード以外 1：I2Cモード	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	BBS	バスビジーフラグ(注1)	0：ストップコンディション検出 1：スタートコンディション検出(ビジー)	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

25.2.13 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RXD2SEL1	RXD2SEL0	—	—	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	b1 b0 0 0：TXD2/SDA2端子は使用しない 0 1：P11_2に割り当てる 1 0：P11_1に割り当てる 1 1：設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 0 0：RXD2/SCL2端子は使用しない 0 1：P11_1に割り当てる 1 0：P11_2に割り当てる 1 1：設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—			

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

25.2.14 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CTS2SEL0	—	—	—	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	0：CLK2端子は使用しない 1：CLK2端子を使用する	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	CTS2SEL0	$\overline{CTS2}/\overline{RTS2}$端子選択ビット	0：$\overline{CTS2}/\overline{RTS2}$端子は使用しない 1：CTS2/RTS2端子を使用する	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—			

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

25.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表25.2にクロック同期形シリアルI/Oモードの仕様を、表25.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表25.2　クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長　8ビット
転送クロック	•U2MRレジスタのCKDIRビットが“0”(内部クロック)：fj/(2(n+1)) fj=f1、f8、f32、fC　n=U2BRGレジスタの設定値　00h～FFh •CKDIRビットが“1”(外部クロック)：CLK2端子からの入力
送信制御、受信制御	$\overline{\mathrm{CTS}}$機能、$\overline{\mathrm{RTS}}$機能、$\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能禁止を選択可
送信開始条件	送信開始には、以下の条件が必要(注1) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) •$\overline{\mathrm{CTS}}$機能を選択している場合、$\overline{\mathrm{CTS2}}$端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要(注1) •U2C1レジスタのREビットが“1”(受信許可) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 •U2C1レジスタのU2IRSビットが“0”(送信バッファ空)： U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) •U2IRSビットが“1”(送信完了)：UART2送信レジスタからデータ送信完了時 受信する場合 •UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	•CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 •LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 •連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態になる •シリアルデータ論理切り替え 送受信データの論理値を反転する機能

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは“1”(割りこみ要求あり)に変化しません。

表 25.3　クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0～b7	送信データを設定してください
U2RB(注1)	b0～b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR(注1)	SMD2～SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0”にしてください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください
	CRS	$\overline{\mathrm{CTS}}$または$\overline{\mathrm{RTS}}$を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{\mathrm{CTS}}$または$\overline{\mathrm{RTS}}$機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、“1”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	b0～b7	“0”にしてください
U2SMR2	b0～b7	“0”にしてください
U2SMR3	b0～b2	“0”にしてください
	NODC	クロック出力形式を選択してください
	b4～b7	“0”にしてください
U2SMR4	b0～b7	“0”にしてください
URXDF	DF2EN	“0”にしてください
U2SMR5	MP	“0”にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表25.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

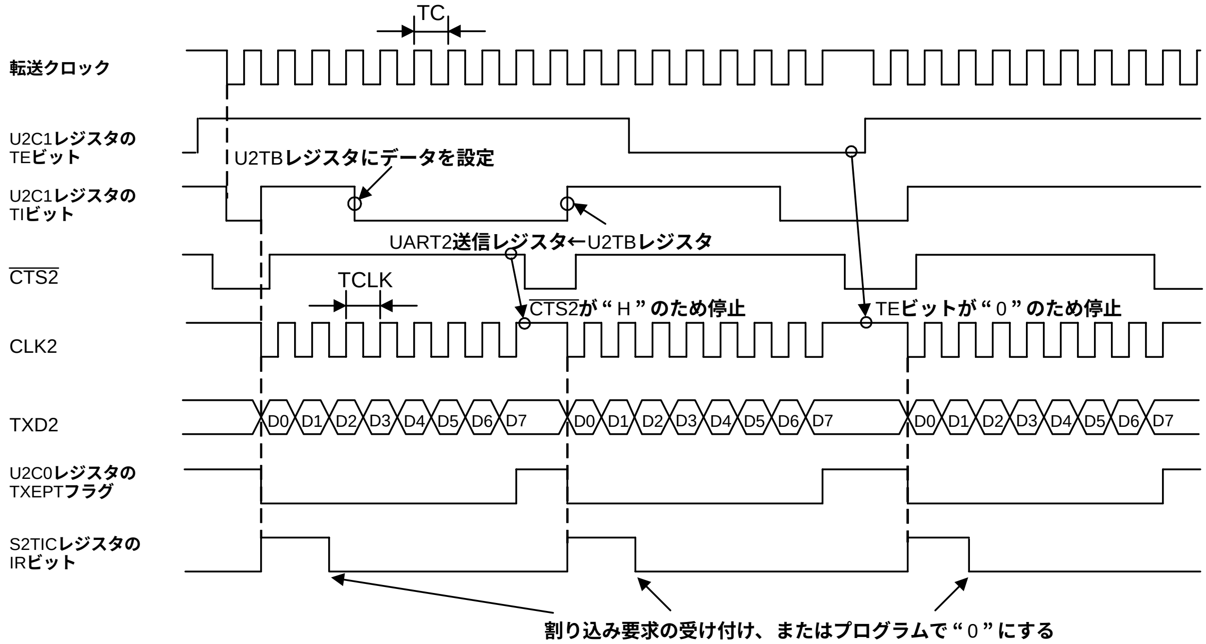
なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

図25.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表25.4　クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD2(P11_1 またはP11_2)	シリアルデータ出力	•TXD2(P11_1)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=10b(P11_1) Nチャネルオープンドレイン出力選択時は、 PD11レジスタのPD11_1ビット=0 •TXD2(P11_2)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=01b(P11_2) Nチャネルオープンドレイン出力選択時は、 PD11レジスタのPD11_2ビット=0 •受信だけを行うときはTXD2SEL1、TXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可
RXD2(P11_1 またはP11_2)	シリアルデータ入力	•RXD2(P11_1)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P11_1) PD11レジスタのPD11_1ビット=0 •RXD2(P11_2)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P11_2) PD11レジスタのPD11_2ビット=0 •送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可
CLK2(P11_0)	転送クロック出力	U2SR1レジスタのCLK2SEL0ビット=1 U2MRレジスタのCKDIRビット=0 (内部クロック) Nチャネルオープンドレイン出力選択時は、 PD11レジスタのPD11_0ビット=0
	転送クロック入力	U2SR1レジスタのCLK2SEL0ビット=1 U2MRレジスタのCKDIRビット=1 (外部クロック) PD11レジスタのPD11_0ビット=0
$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$ (P11_3)	$\overline{\text{CTS}}$入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 ($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能許可) U2C0レジスタのCRSビット=0 ($\overline{\text{CTS}}$機能を選択) PD11レジスタのPD11_3ビット=0
	$\overline{\text{RTS}}$出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 ($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能許可) U2C0レジスタのCRSビット=1 ($\overline{\text{RTS}}$機能を選択)
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

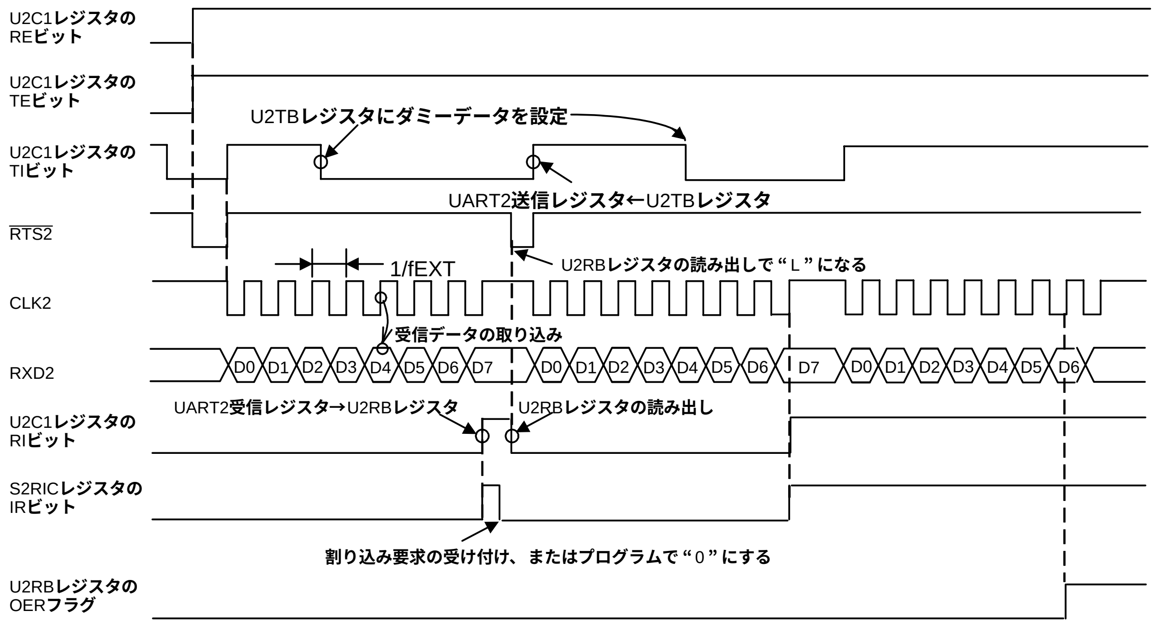
(1) 送信タイミング例(内部クロック選択時)



この図は次の設定条件の場合です。
- U2MRレジスタのCKDIRビット=0(内部クロック選択)
- U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- U2C1レジスタのU2IRSビット=0(U2TBレジスタ空で割り込み要求発生)

TC=TCLK=2(n+1)/fj
fj：U2BRGカウントソースの周波数
(f1、f8、f32、fC)
n：U2BRGレジスタに設定した値

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。
- U2MRレジスタのCKDIRビット=1(外部クロック選択)
- U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=1(RTS機能選択)
- U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

fEXT：外部クロックの周波数

データ受信前のCLK2端子の入力が“H”のときに、次の条件が揃うようにしてください。
- U2C1レジスタのTEビット=1(送信許可)
- U2C1レジスタのREビット=1(受信許可)
- U2TBレジスタへのダミーデータの書き込み

図 25.3　クロック同期形シリアルI/Oモード時の送受信タイミング例

25.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
(4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

25.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図25.4に転送クロックの極性を示します。

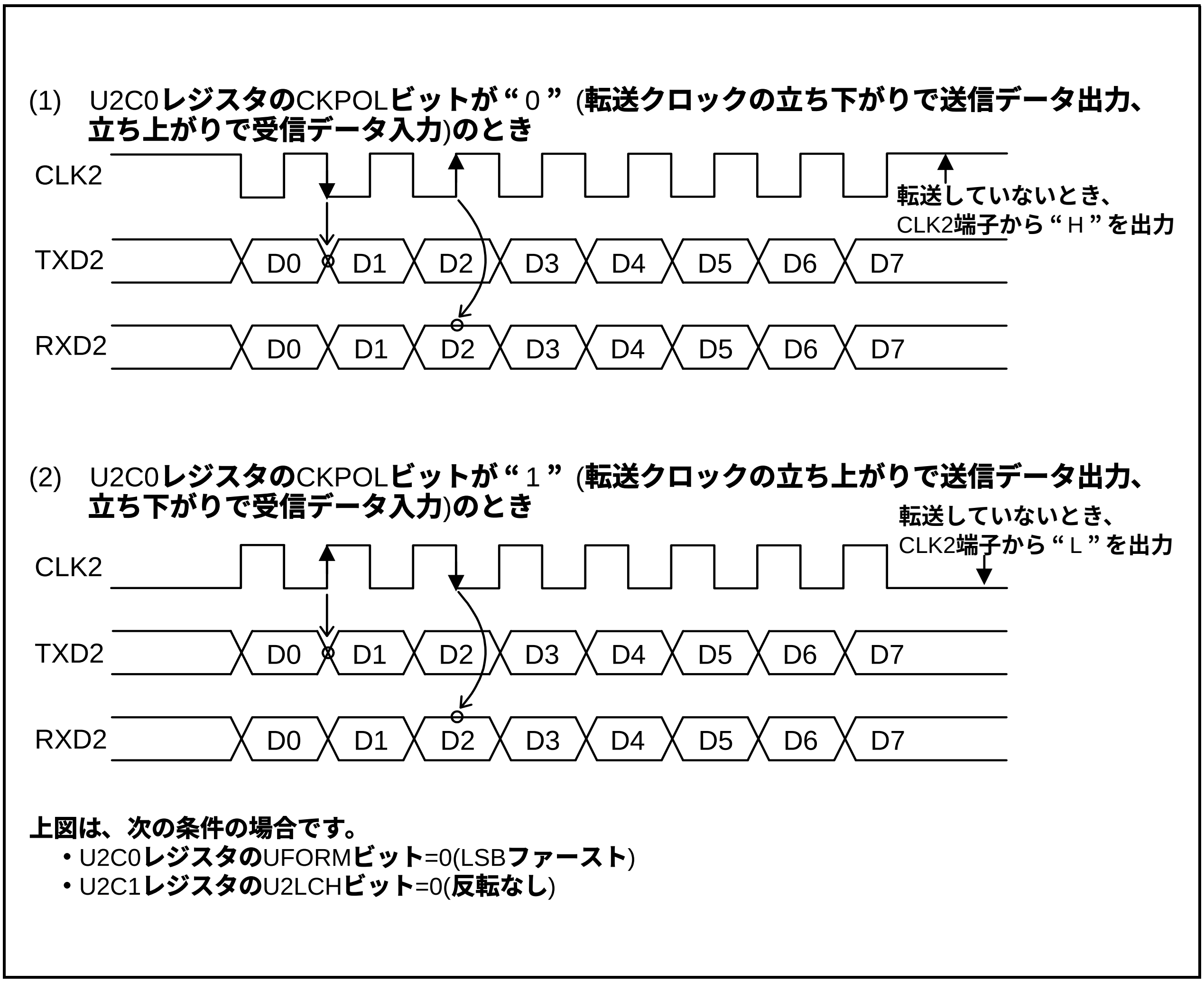
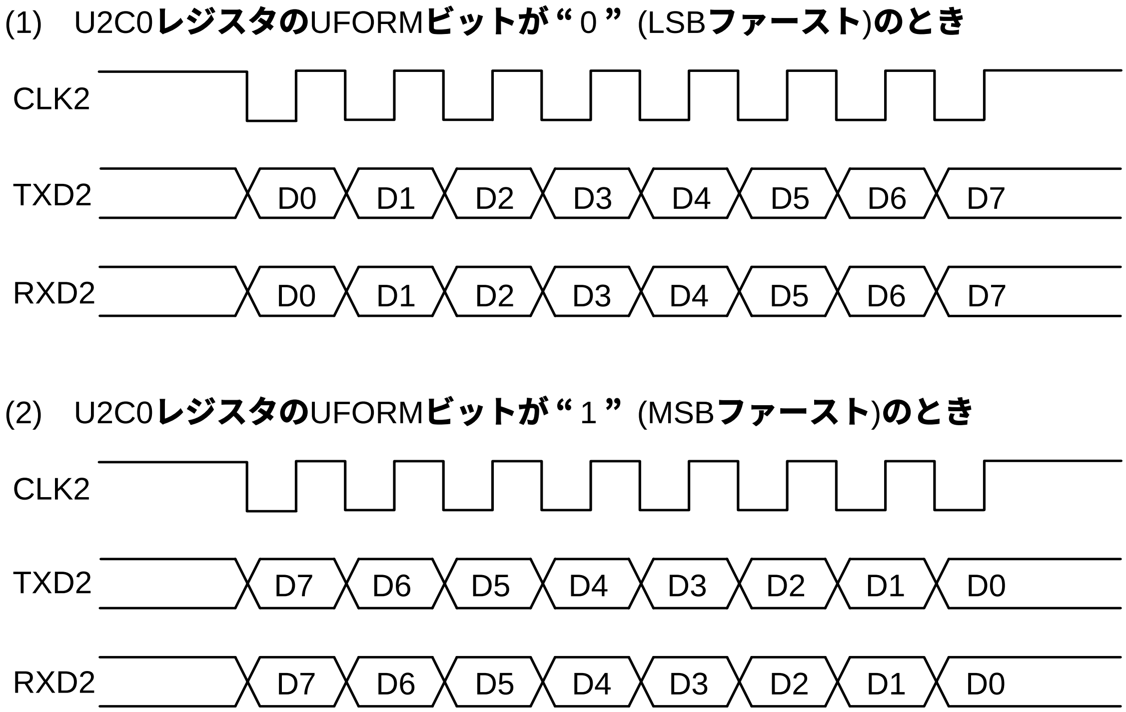


図25.4 転送クロックの極性

25.3.3　LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図25.5に転送フォーマットを示します。



上図は、次の条件の場合です。
- U2C0レジスタのCKPOLビット=0
  (転送クロックの立ち下がりで送信データ出力、立ち上がりで、受信データ入力)
- U2C1レジスタのU2LCHビット=0(反転なし)

図25.5　転送フォーマット

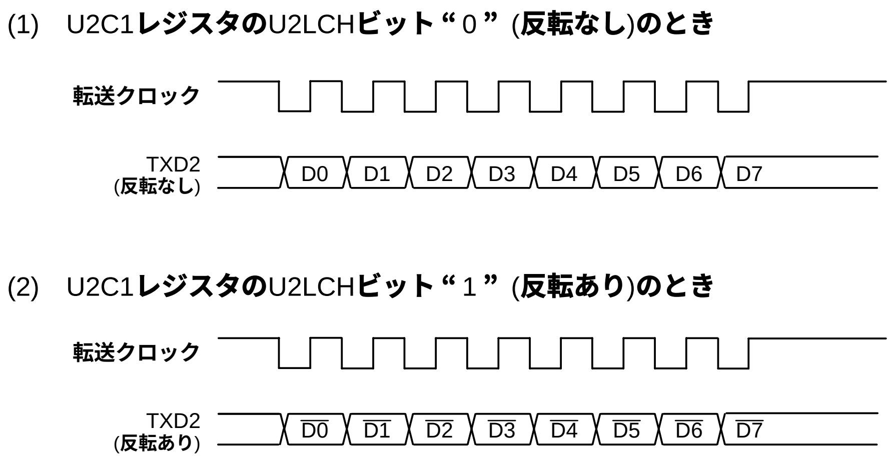
25.3.4　連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを“1”(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になります。U2RRMビットが“1”の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

25.3.5　シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図25.6にシリアルデータ論理を示します。



上図は、次の条件の場合です。
- U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力)
- UFORMビット=0(LSBファースト)

図25.6　シリアルデータ論理

25.3.6　$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能

$\overline{\text{CTS}}$機能は、$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$端子に“L”を入力すると、送受信を開始させる機能です。$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

$\overline{\text{RTS}}$機能は、受信準備が整ったとき、$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- U2C0レジスタのCRDビット=1($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止)　　$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS}}$機能選択)　　$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$端子は$\overline{\text{CTS}}$機能
- CRDビット=0、CRSビット=1($\overline{\text{RTS}}$機能選択)　　$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$端子は$\overline{\text{RTS}}$機能

25.4　クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表25.5にUARTモードの仕様を、表25.6にUARTモード時の使用レジスタと設定値を示します。

表25.5　UARTモードの仕様

項目	仕様
転送データフォーマット	・キャラクタビット(転送データ)　7ビット、8ビット、9ビットを選択可 ・スタートビット　1ビット ・パリティビット　奇数、偶数、なしを選択可 ・ストップビット　1ビット、2ビットを選択可
転送クロック	・U2MRレジスタのCKDIRビットが“0”(内部クロック)：fj/(16(n+1)) fj=f1、f8、f32、fC　n=U2BRGレジスタの設定値　00h～FFh ・CKDIRビットが“1”(外部クロック)：fEXT/(16(n+1)) fEXTはCLK2端子からの入力　n=U2BRGレジスタの設定値　00h～FFh
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 ・U2C1レジスタのTEビットが“1”(送信許可) ・U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) ・CTS機能を選択している場合、CTS2端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 ・U2C1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 ・U2C1レジスタのU2IRSビットが“0”(送信バッファ空)： U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) ・U2IRSビットが“1”(送信完了)：UART2送信レジスタからデータ送信完了時 受信する場合 ・UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	・LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ・シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 ・TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 ・RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択可

注1.　オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。
注2.　フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表 25.6　UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください(注1)
U2RB	b0～b8	受信データが読めます(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。
		転送データが8ビットの場合、“101b”を設定してください。
		転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	$\overline{\mathrm{CTS}}$または$\overline{\mathrm{RTS}}$機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U2C1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	“0”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	b0～b7	“0”にしてください
U2SMR2	b0～b7	“0”にしてください
U2SMR3	b0～b7	“0”にしてください
U2SMR4	b0～b7	“0”にしてください
URXDF	DF2EN	デジタルフィルタの無効、有効を選択してください
U2SMR5	MP	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。

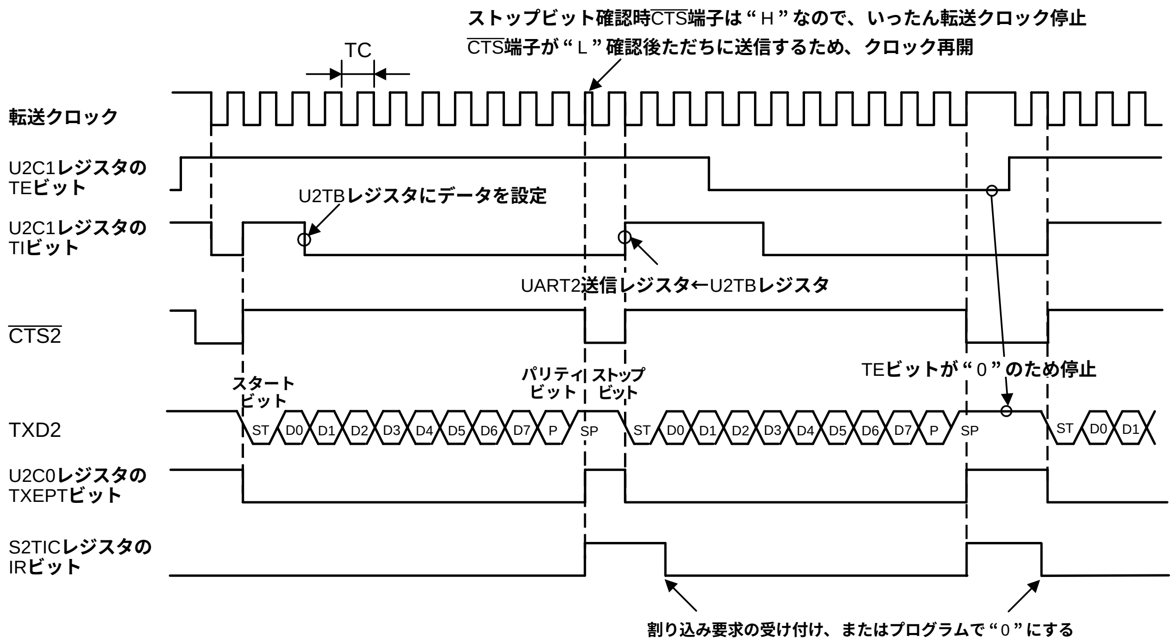
表25.7にUARTモード時の入出力端子の機能を示します。なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図25.7にUARTモード時の送信タイミング例を、図25.8にUARTモード時の受信タイミング例を示します。

表25.7　UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD2 (P11_1 またはP11_2)	シリアルデータ出力	•TXD2(P11_1)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=10b(P11_1) Nチャネルオープンドレイン出力選択時は、 PD11レジスタのPD11_1ビット=0 •TXD2(P11_2)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=01b(P11_2) Nチャネルオープンドレイン出力選択時は、 PD11レジスタのPD11_2ビット=0 •受信だけを行うときはTXD2SEL1、TXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可
RXD2(P11_1 またはP11_2)	シリアルデータ入力	•RXD2(P11_1)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P11_1) PD11レジスタのPD11_1ビット=0 •RXD2(P11_2)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P11_2) PD11レジスタのPD11_2ビット=0 •送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可
CLK2(P11_0)	入出力ポート	U2SR1レジスタのCLK2SEL0ビット=0
	転送クロック入力	U2SR1レジスタのCLK2SEL0ビット=1 U2MRレジスタのCKDIRビット=1 (外部クロック) PD11レジスタのPD11_0ビット=0
$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$ (P11_3)	$\overline{\mathrm{CTS}}$入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 ($\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能許可) U2C0レジスタのCRSビット=0 ($\overline{\mathrm{CTS}}$機能を選択) PD11レジスタのPD11_3ビット=0
	$\overline{\mathrm{RTS}}$出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 ($\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能許可) U2C0レジスタのCRSビット=1 ($\overline{\mathrm{RTS}}$機能を選択)
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

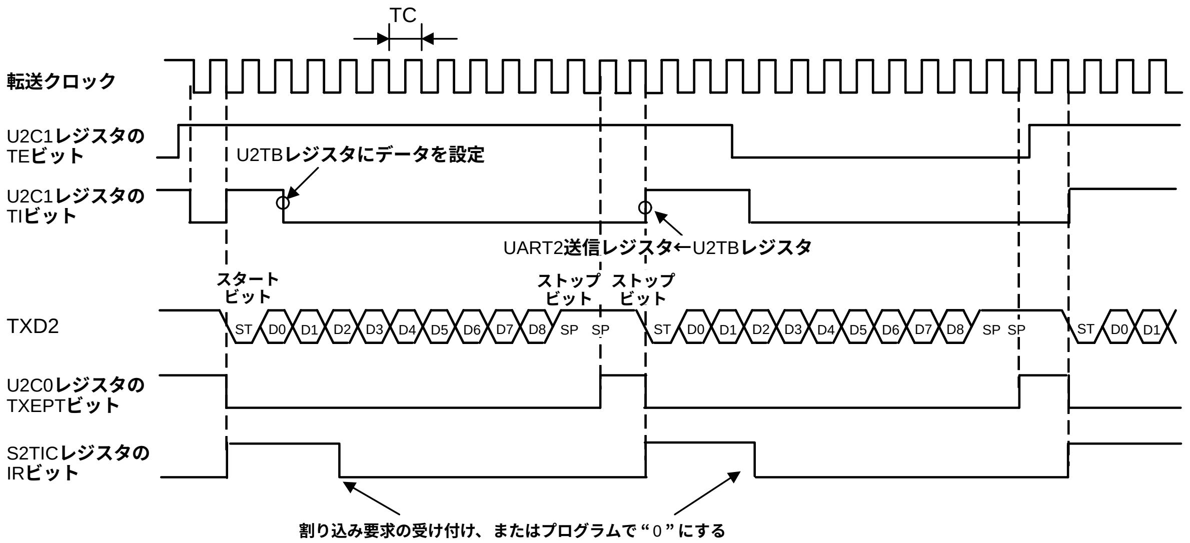
(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



上記タイミング図は次の設定条件の場合です。
- U2MRレジスタのPRYEビット=1(パリティ許可)
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- U2C1レジスタのU2IRSビット=1(送信完了で割り込み要求発生)

TC=16(n+1)/fjまたは16(n+1)/fEXT
fj　:U2BRGカウントソースの周波数(f1、f8、f32、fC)
fEXT :U2BRGカウントソースの周波数(外部クロック)
n　　:U2BRGに設定した値

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)

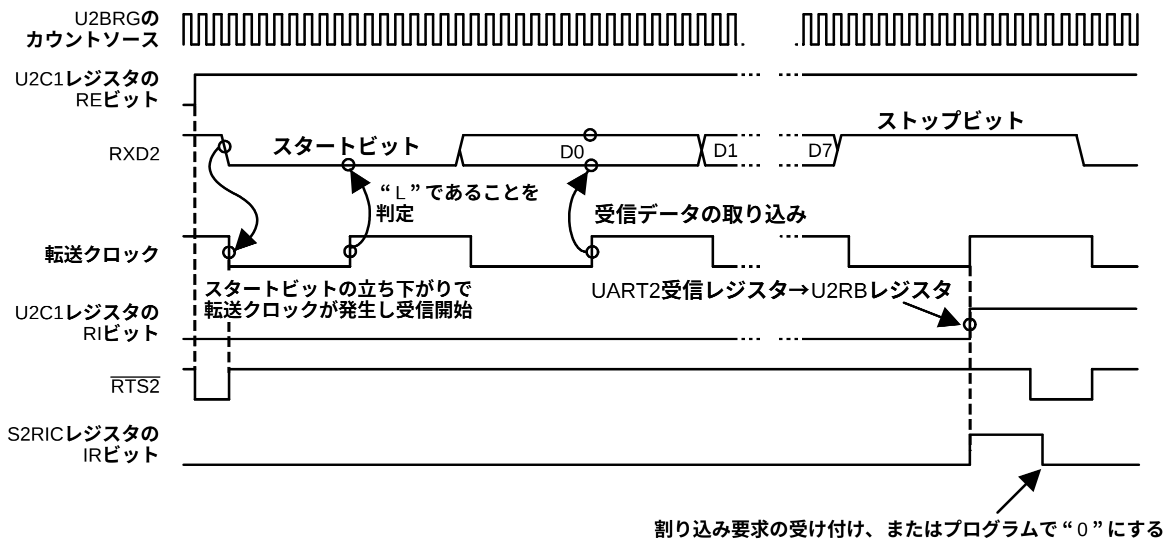


上記タイミング図は次の設定条件の場合です。
- U2MRレジスタのPRYEビット=0(パリティ禁止)
- U2MRレジスタのSTPSビット=1(2ストップビット)
- U2C0レジスタのCRDビット=1(CTS/RTS機能禁止)
- U2C1レジスタのU2IRSビット=0(送信バッファ空で割り込み要求発生)

TC=16(n+1)/fjまたは16(n+1)/fEXT
fj　:U2BRGカウントソースの周波数(f1、f8、f32、fC)
fEXT :U2BRGカウントソースの周波数(外部クロック)
n　　:U2BRGに設定した値

図 25.7　UART モード時の送信タイミング例

転送データ長8ビット時の受信タイミング例(パリティ禁止、1ストップビット)



上記タイミング図は次の設定条件の場合です。
- U2MRレジスタのPRYEビット=0(パリティ禁止)
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=1(RTS機能選択)

図 25.8　UARTモード時の受信タイミング例

25.4.1　ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表25.8にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表 25.8　UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U2BRGのカウントソース	システムクロック＝20 MHz			システムクロック＝18.432 MHz (注1)			システムクロック＝8 MHz		
		U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	－1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	－0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	－0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	－1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	－1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	－3.55
115200	f1	10 (0Ah)	113636.36	－1.36	9 (09h)	115200.00	0.00	—	—	—

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを“000b”(2分周モード)にした場合です。

25.4.2　通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3) U2MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
(4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

25.4.3　LSBファースト、MSBファースト選択

図25.9に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図25.9に転送フォーマットを示します。

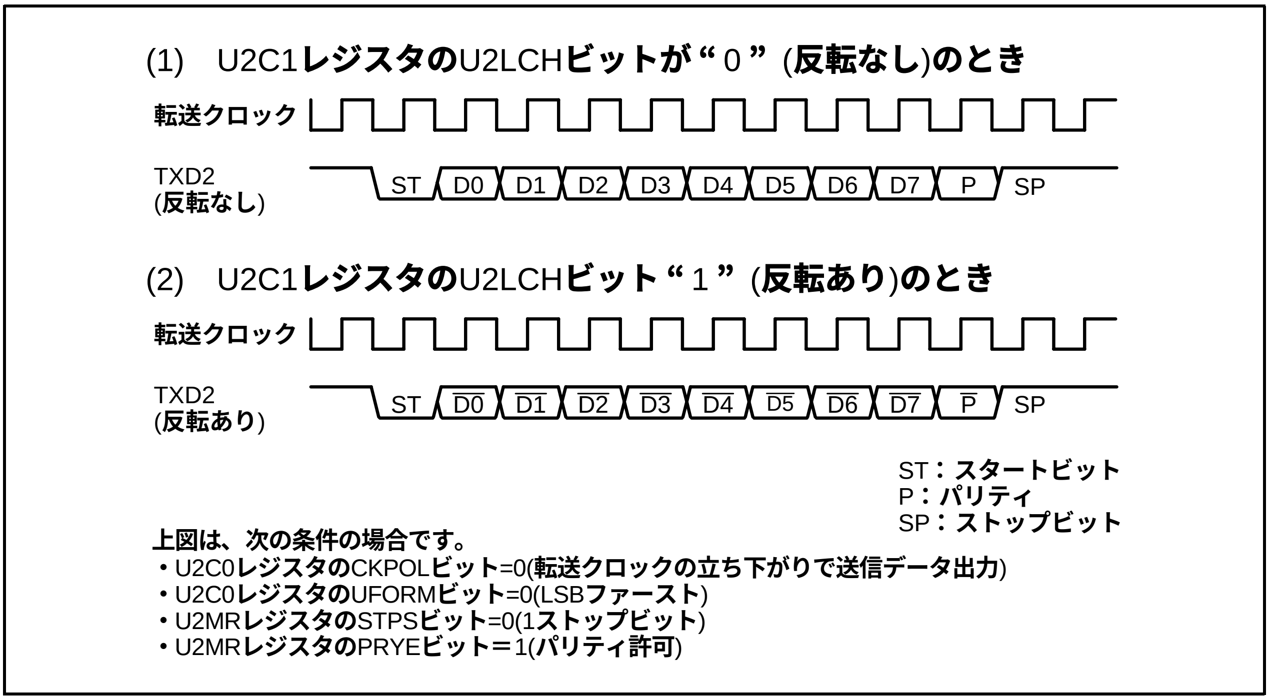
ST : スタートビット
P : パリティビット
SP : ストップビット

上図は、次の条件の場合です。
- U2C0レジスタのCKPOLビット=0
  (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データの入力)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2MRレジスタのSTPSビット=0 (1ストップビット)
- U2MRレジスタのPRYEビット=1(パリティ許可)

図25.9　転送フォーマット

25.4.4　シリアルデータ論理切り替え

U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図25.10にシリアルデータ論理を示します。

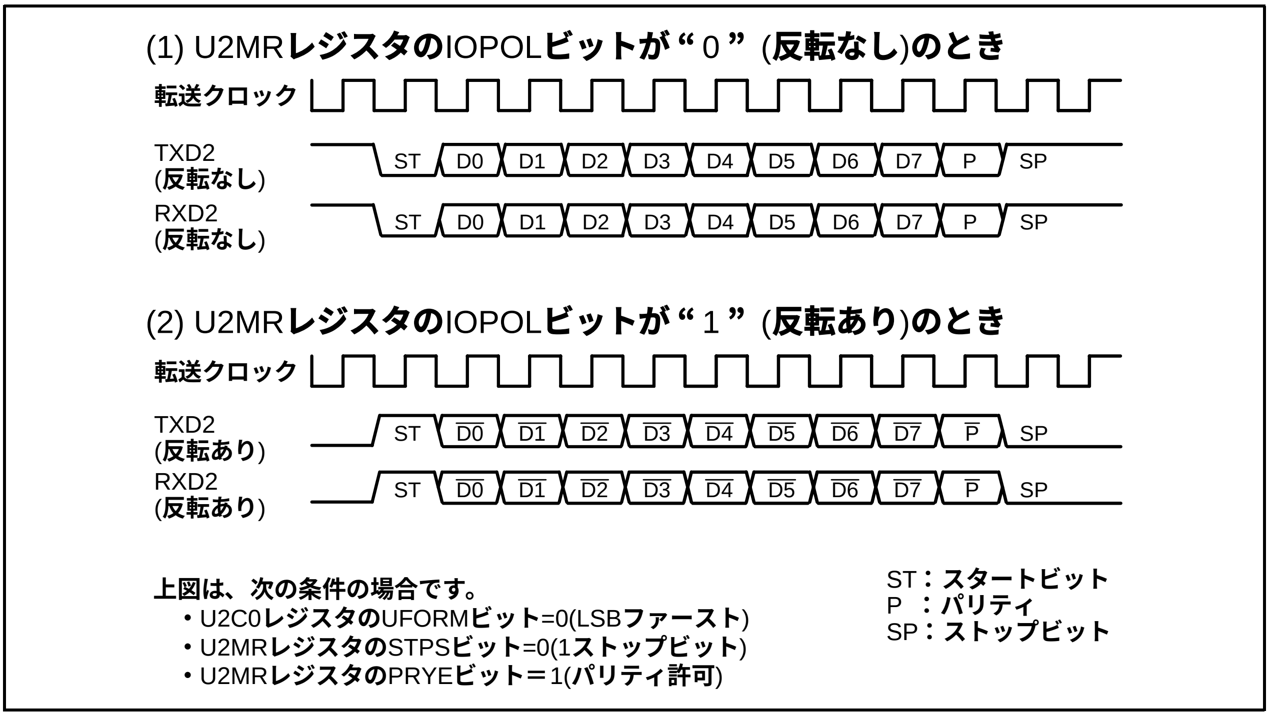


上図は、次の条件の場合です。
- U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYEビット＝1(パリティ許可)

図25.10　シリアルデータ論理

25.4.5　TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図25.11にTXD、RXD入出力極性切り替えを示します。



上図は、次の条件の場合です。
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYEビット＝1(パリティ許可)

図25.11　TXD、RXD入出力極性切り替え

25.4.6 $\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能

$\overline{\mathrm{CTS}}$機能は、$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子に“L”を入力すると、送信を開始させる機能です。$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\mathrm{RTS}}$機能は、受信準備が整ったとき、$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子の出力レベルが“L”になります。

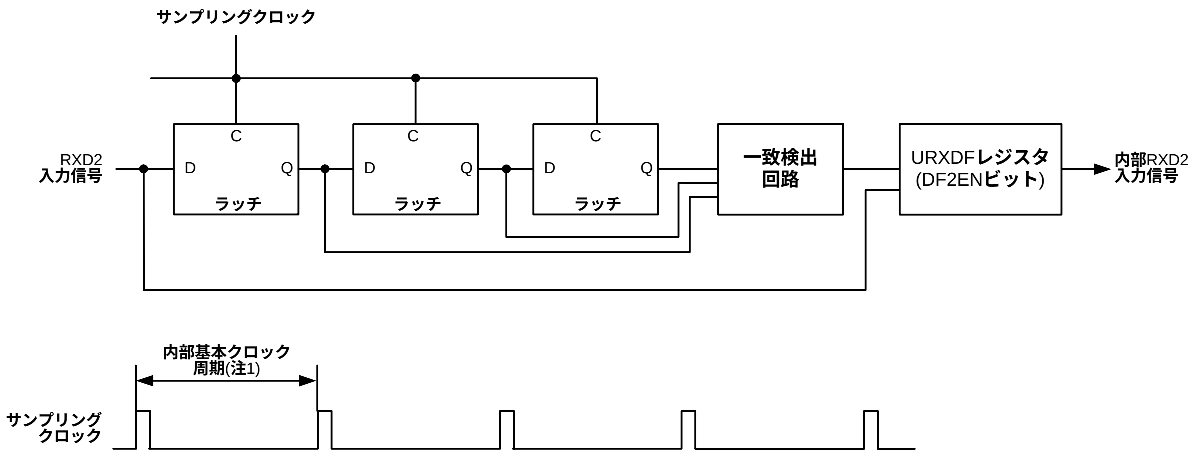
- U2C0レジスタのCRDビット=1($\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能禁止)　$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\mathrm{CTS}}$機能選択)　$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子は$\overline{\mathrm{CTS}}$機能
- CRDビット=0、CRSビット=1($\overline{\mathrm{RTS}}$機能選択)　$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子は$\overline{\mathrm{RTS}}$機能

25.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図25.12にRXD2デジタルフィルタ回路のブロック図を示します。



注1. U2MRレジスタのCKDIRビットが“0”(内部クロック)のとき、内部基本クロックはfj/(n+1)となります(fj=f1、f8、f32、fC；n=U2BRGレジスタの設定値)。
U2MRレジスタのCKDIRビットが“1”(外部クロック)のとき、内部基本クロックはfEXT/(n+1)となります(fEXTはCLK2端子からの入力。n=U2BRGレジスタの設定値)。

図 25.12 RXD2デジタルフィルタ回路のブロック図

25.5 特殊モード1(I^2Cモード)

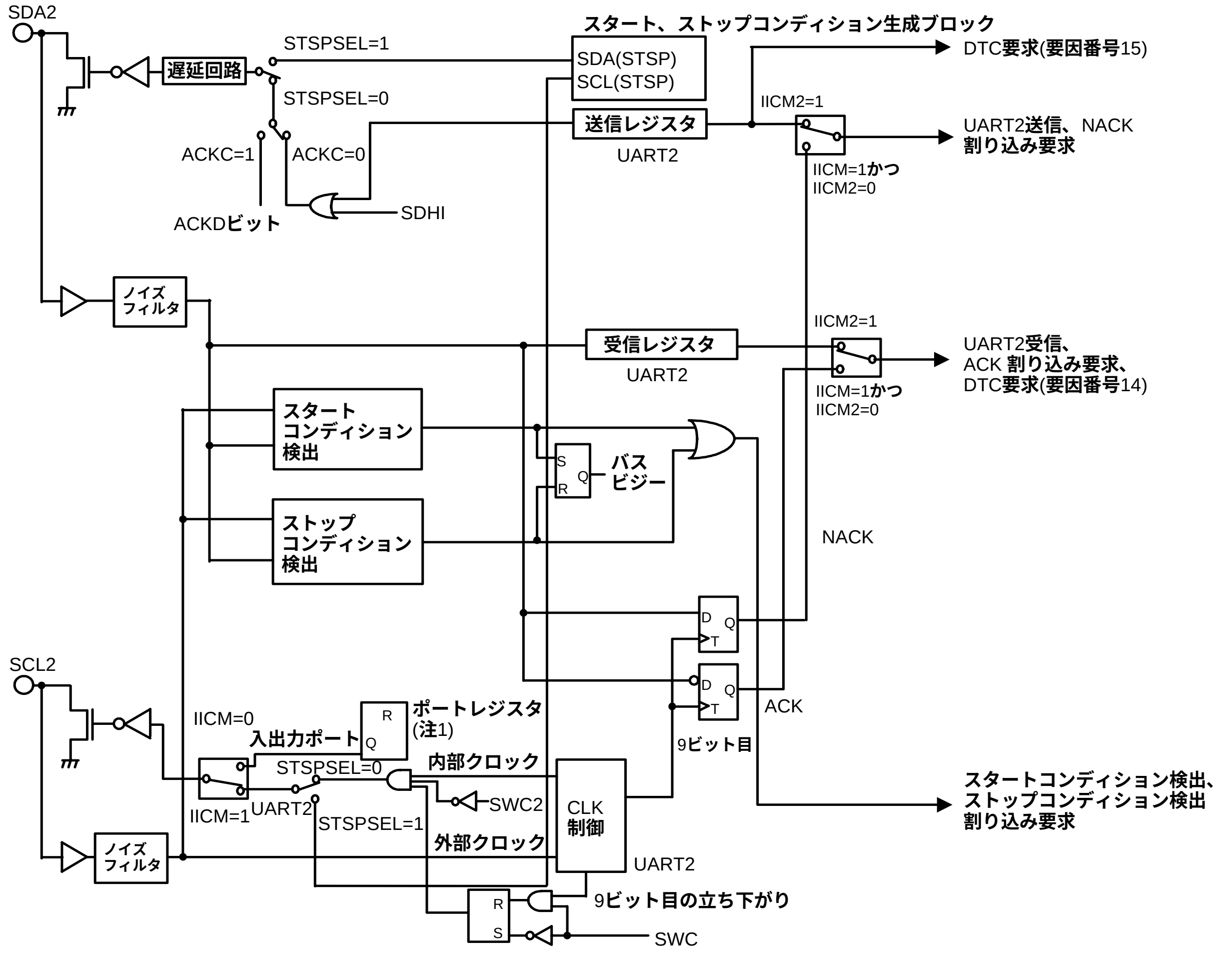
I^2Cモードは、簡易形I^2Cインタフェースに対応したモードです。表25.9にI^2Cモードの仕様を、表25.10～表25.11にI^2Cモード時の使用レジスタと設定値を、表25.12にI^2Cモード時の各機能、図25.13にI^2Cモードのブロック図を、図25.14にU2RBレジスタへの転送、割り込みのタイミングを示します。

表25.12に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI^2Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表25.9 I^2Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長　8ビット
転送クロック	•マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック)：fj/(2(n+1)) fj=f1、f8、f32、fC　n=U2BRGレジスタの設定値　00h～FFh •スレーブ時 CKDIRビットが“1”(外部クロック)：SCL2端子からの入力
送信開始条件	送信開始には、以下の条件が必要(注1) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要(注1) •U2C1レジスタのREビットが“1”(受信許可) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	•SDA2デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を選択可 •クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態で条件を満たしてください。
注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。



IICM　　　　　　　　　　　: U2SMRレジスタのビット
IICM2, SWC, SWC2, SDHI　: U2SMR2レジスタのビット
STSPSEL, ACKD, ACKC　　: U2SMR4レジスタのビット

上図は、次の条件の場合です。
- U2MRレジスタのSMD2～SMD0ビット=010b
- U2SMRレジスタのIICMビット=1

注1. IICMビットが“1”の場合は、SCL2端子に対応するポート方向ビットが“1”(出力モード)であっても、端子のレベルが読めます。

図 25.13 I^{2}Cモードのブロック図

表 25.10 I^{2}Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB(注1)	b0～b7	送信データを設定してください	送信データを設定してください
U2RB(注1)	b0～b7	受信データが読めます	受信データが読めます
	b8	ACK、NACKが入ります	ACK、NACKが入ります
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	b0～b7	転送速度を設定してください	無効
U2MR(注1)	SMD2～SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	IOPOL	“0”にしてください	“0”にしてください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1”にしてください	“1”にしてください
	NCH	“1”にしてください	“1”にしてください
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	“1”にしてください	“1”にしてください
	U2RRM、U2LCH、U2ERE	“0”にしてください	“0”にしてください
U2SMR	IICM	“1”にしてください	“1”にしてください
	BBS	バスビジーフラグ	バスビジーフラグ
	b3～b7	“0”にしてください	“0”にしてください
U2SMR2	IICM2	「表 25.12 I^{2}Cモード時の各機能」参照	「表 25.12 I^{2}Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	クロックの9ビット目の立ち下がりでSCL2出力を“L”出力固定にする場合、“1”にしてください	クロックの9ビット目の立ち下がりでSCL2出力を“L”出力固定にする場合、“1”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUART2を初期化する場合、“1”にしてください
	SWC2	SCL2の出力を強制的に“L”にする場合、“1”にしてください	SCL2の出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDA2出力を禁止にする場合、“1”にしてください	SDA2出力を禁止にする場合、“1”にしてください
	b7	“0”にしてください	“0”にしてください
U2SMR3	b0、b2、b4 NODC	“0”にしてください	“0”にしてください
	CKPH	「表 25.12 I^{2}Cモード時の各機能」参照	「表 25.12 I^{2}Cモード時の各機能」参照
	DL2～DL0	SDA2のデジタル遅延値を設定してください	SDA2のデジタル遅延値を設定してください

注1. この表に記載していないビットは、I^{2}Cモード時に書く場合、“0”を書いてください。

表 25.11 I2Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、“1”にしてください	“0”にしてください
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCL2を“L”ホールドにする場合、“1”にしてください
URXDF	DF2EN	“0”にしてください	“0”にしてください
U2SMR5	MP	“0”にしてください	“0”にしてください

表 25.12 I^{2}Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2～SMD0=001b、IICM=0)	I^{2}C モード (SMD2 ～ SMD0=010b、IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
UART2バス衝突検出割り込みの要因 (注1、5)	—	スタートコンディション検出、ストップコンディション検出 (「表 25.13　STSPSELビットの機能」参照)			
UART2送信/NACK2割り込みの要因 (注1、6)	UART2送信 送信開始、または送信完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり		UART2送信 9ビット目のSCL2の立ち上がり	UART2送信 9ビット目の次のSCL2の立ち下がり
UART2受信/ACK2割り込みの要因 (注1、6)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCL2の立ち上がり		UART2受信 9ビット目のSCL2の立ち下がり	
UART受信シフトレジスタからU2RBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCL2の立ち上がり		9ビット目のSCL2の立ち下がり	9ビット目のSCL2の立ち下がりと、立ち上がり
UART2送信出力遅延	遅延なし	遅延あり			
TXD2/SDA2端子の機能	TXD2出力	SDA2入出力			
RXD2/SCL2端子の機能	RXD2入力	SCL2入出力			
CLK2端子の機能	CLK2入力または出力ポート選択	—(I^{2}Cモードには使用しない)			
ノズルフィルター幅	15ns	200ns			
RXD2、SCL2端子レベルの読み込み	対応するポート方向ビットが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXD2、SDA2出力の初期値	CKPOL=0(H) CKPOL=1(L)	I^{2}Cモード設定前に、ポートレジスタに設定した値(注2)			
SCL2の初期値、終了値	—	H	L	H	L
DTC要因番号14 (注6)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK)		UART2受信 9ビット目のSCL2の立ち下がり	
DTC要因番号15 (注6)	UART2送信 送信開始、または送信完了(U2IRSビットで選択)	UART2送信 9ビット目のSCL2の立ち上がり	UART2送信 9ビット目の次のSCL2の立ち下がり	UART2送信 9ビット目のSCL2の立ち上がり	UART2送信 9ビット目の次のSCL2の立ち下がり
受信データ格納	1～8ビット目をU2RBレジスタのビットb0～b7に格納	1～8ビット目をU2RBレジスタのビットb7～b0に格納		1～7ビット目をU2RBレジスタのビットb6～b0に、8ビット目をU2RBレジスタのビットb8に格納	
					1～8ビット目をU2RBレジスタのビットb7～b0に格納(注3)
受信データ読み出し	U2RBレジスタの状態をそのまま読み出す				U2RBレジスタのビットb6～b0はビットb7～b1として、ビットb8はビットb0として読み出す(注4)

注1.　割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「12.8　割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。
U2MRレジスタのSMD2～SMD0ビット、U2SMRレジスタのIICMビット、U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

注2.　SDA2出力の初期値は、SMD2～SMD0ビットが“000b”(シリアルインタフェースが無効)の状態で設定してください。

注3.　U2RBレジスタへのデータ転送2回目(9ビット目SCL2立ち上がり時)

注4.　U2RBレジスタへのデータ転送1回目(9ビット目SCL2立ち下がり時)

注5.　「図 25.16　STSPSELビットの機能」参照。

注6.　「図 25.14　U2RBレジスタへの転送、割り込みのタイミング」参照。

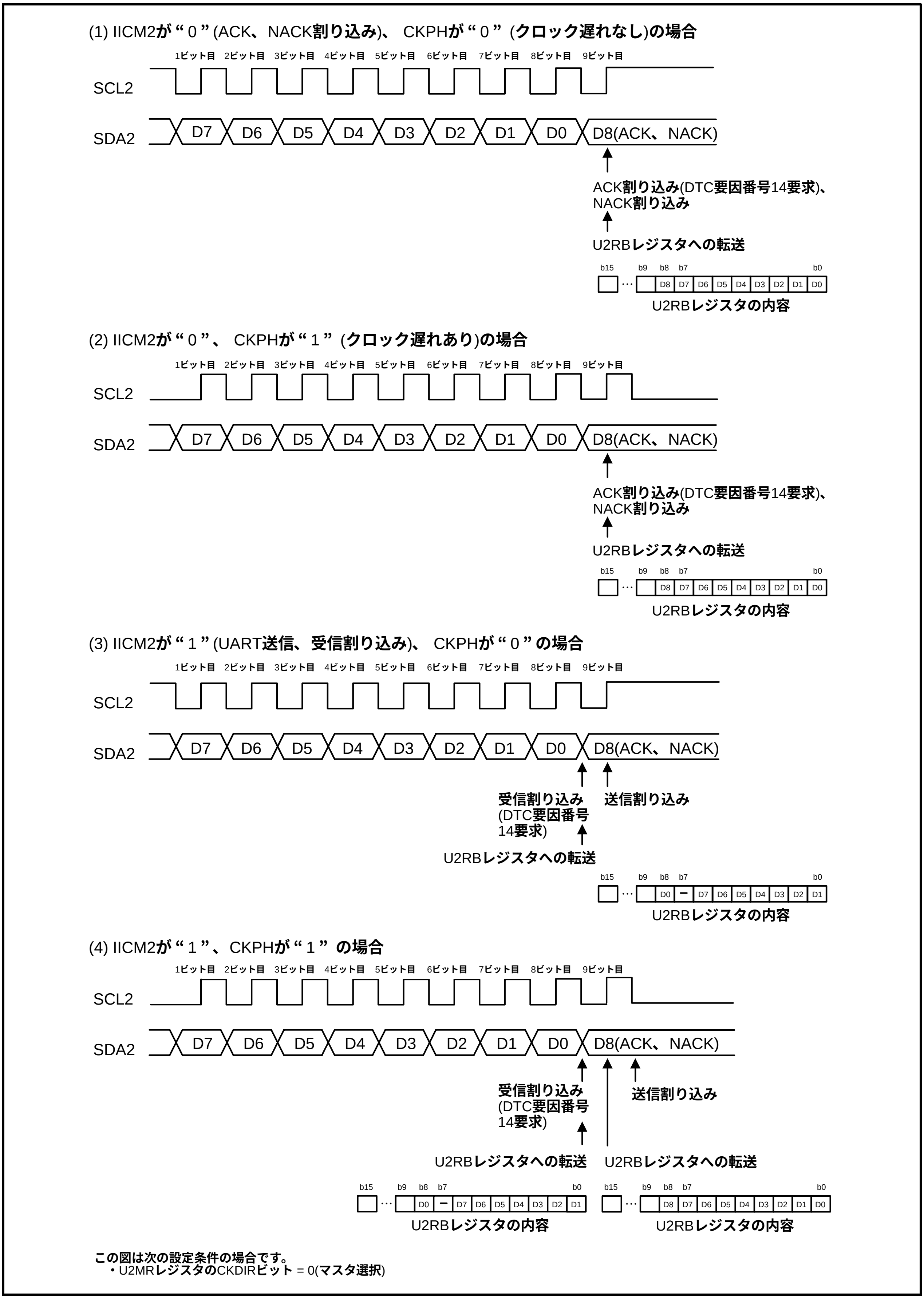


図 25.14 U2RB レジスタへの転送、割り込みのタイミング

25.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態でSDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態でSDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

図25.15にスタートコンディション、ストップコンディションの検出を示します。

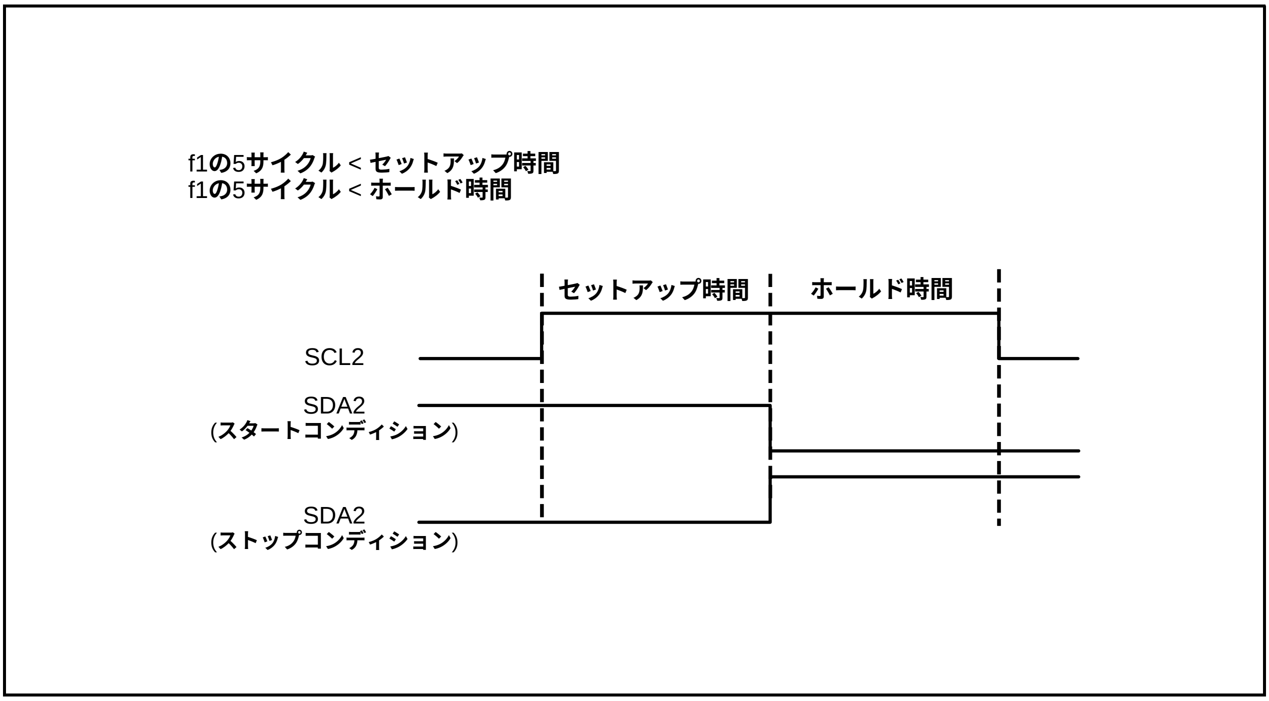


図 25.15 スタートコンディション、ストップコンディションの検出

25.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4 レジスタの STAREQ ビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4 レジスタの RSTAREQ ビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4 レジスタの STPREQ ビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次のとおりです。

(1) STAREQ ビット、RSTAREQ ビット、または STPREQ ビットを“1”(スタート)にする
(2) U2SMR4 レジスタの STSPSEL ビットを“1”(出力)にする

表 25.13 に STSPSEL ビットの機能を、図 25.16 に STSPSEL ビットの機能を示します。

表 25.13 STSPSEL ビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

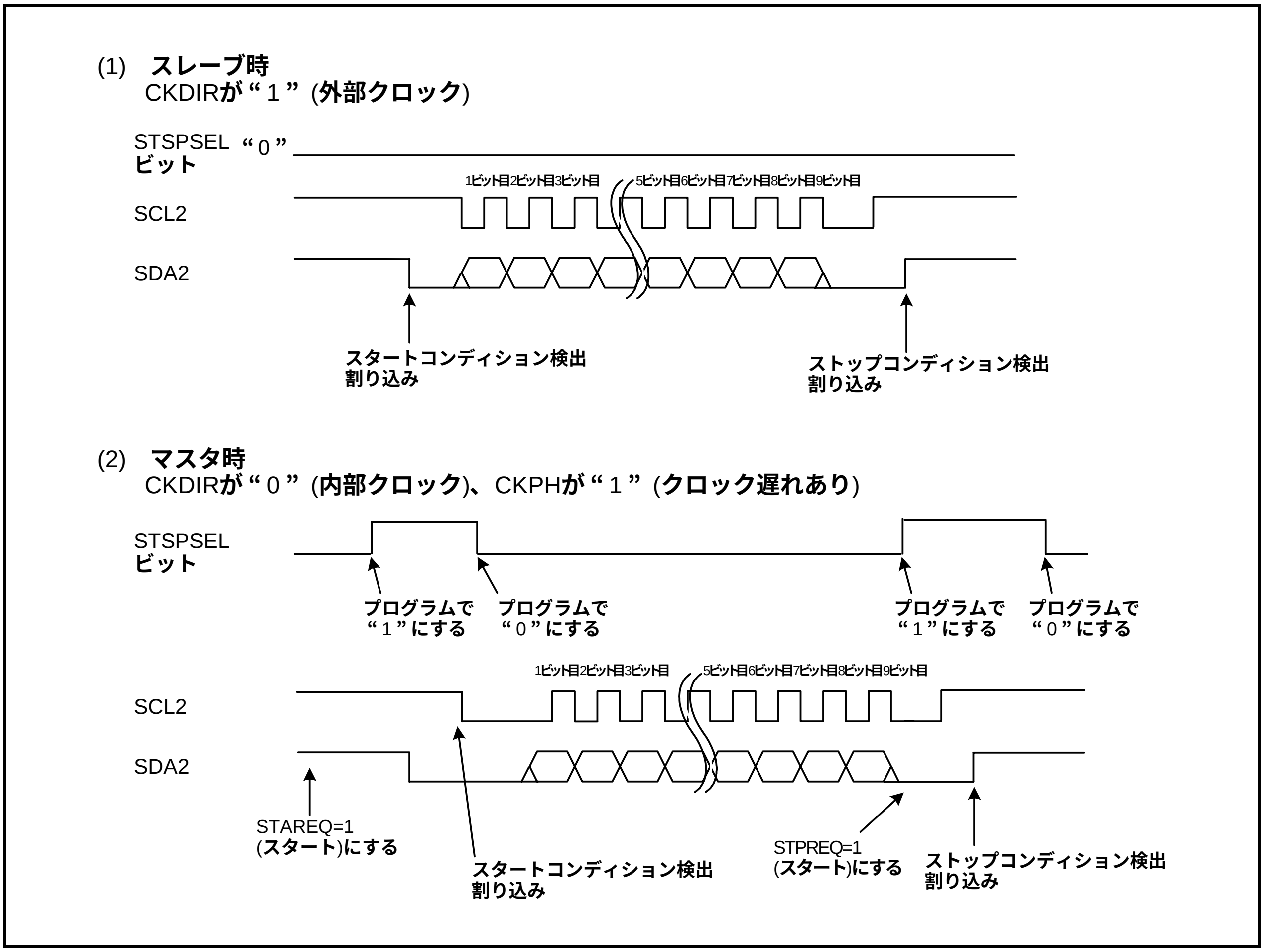


図 25.16 STSPSEL ビットの機能

25.5.3　転送クロック

「図 25.14　U2RBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL2)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCL2が“H”の場合、SCL2端子に立ち下がりエッジがあれば内部SCL2を“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部SCL2が“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCL2とSCL2端子の信号の論理積になります。なお、転送クロックは内部SCL2の1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL2端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL2出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCL2端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL2端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが“1”のとき、U2SMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCL2端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

25.5.4　SDA出力

U2TBレジスタのビットb7～b0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA2送信出力の初期値は、IICM=1(I^2Cモード)で、U2MRレジスタのSMD2～SMD0ビットが“000b”(シリアルインタフェースは無効)の状態で設定してください。

U2SMR3レジスタのDL2～DL0ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。

25.5.5　SDA入力

IICM2ビットが"0"のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが"1"のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが"1"のときでも、CKPHビットが"1"であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが"0"のときと同様のデータが読めます。

25.5.6　ACK、NACK

U2SMR4レジスタのSTSPSELビットが"0"(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが"1"(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが"0"の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が"H"のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が"L"ならば発生します。

DTC要求要因にACK2(UART2受信)を選択すると、アクノリッジ検出によってDTC転送を起動できます。

25.5.7　送受信初期化

STACビットを"1"(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが"1"(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCL2端子が"L"になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

25.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビット(MPRB)を付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図25.17にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット“1”を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット“0”を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図25.18にマルチプロセッサ通信機能のブロック図を、表25.14にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

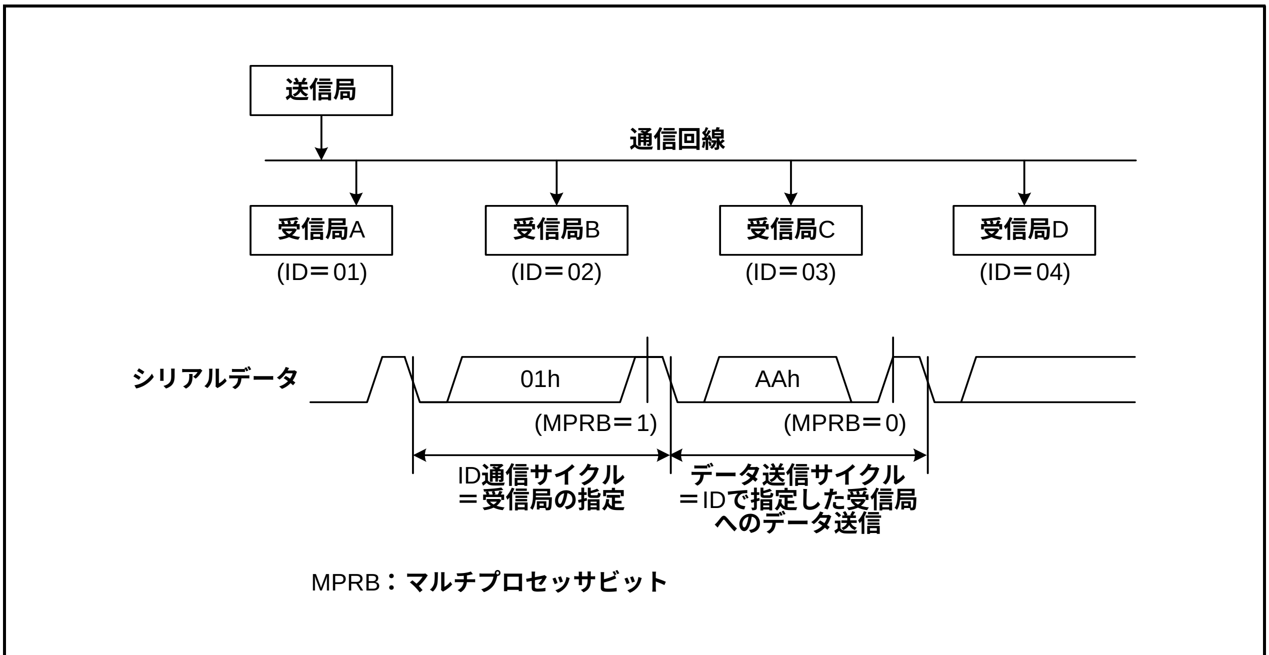


図 25.17 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

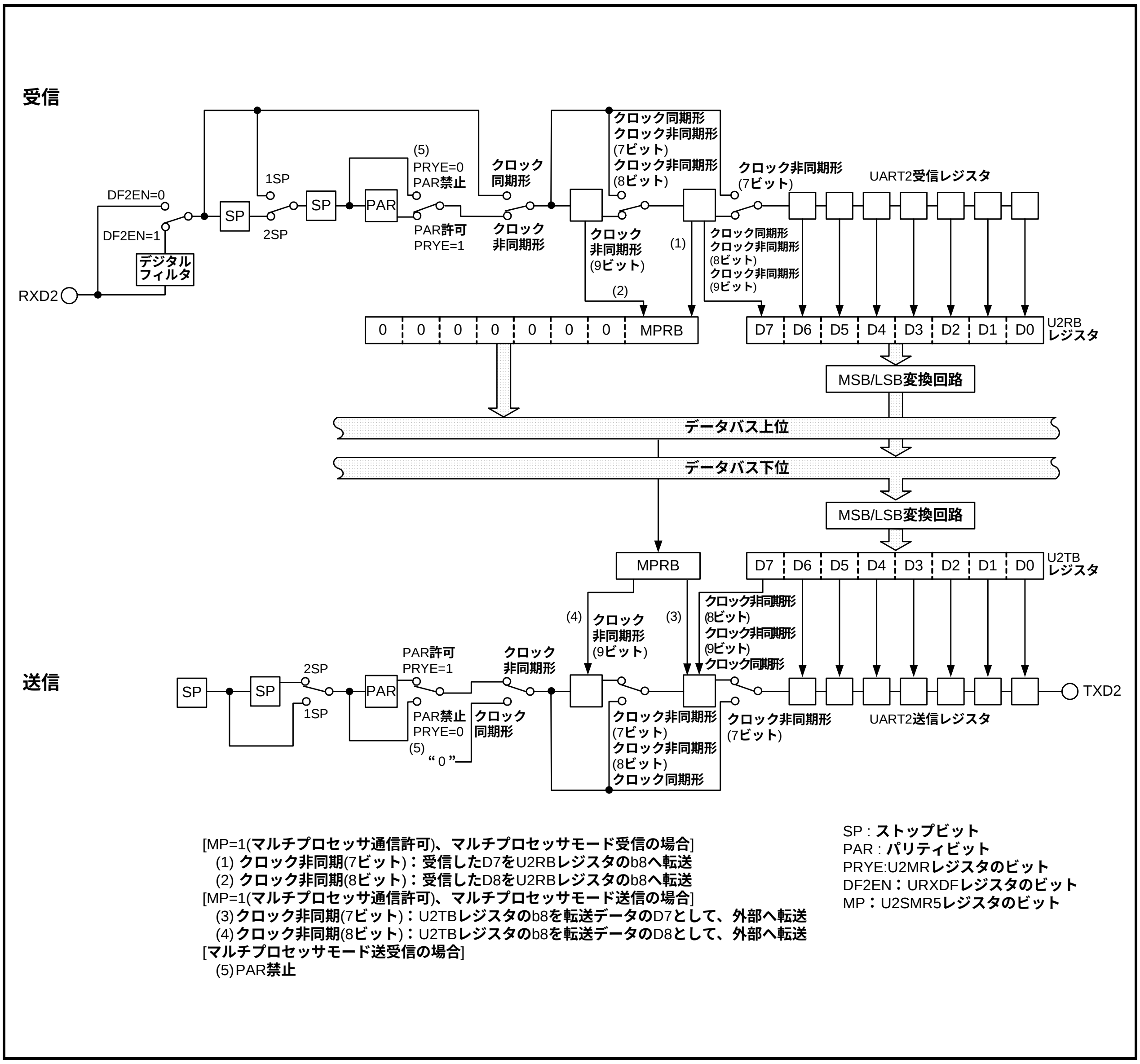


図 25.18 マルチプロセッサ通信機能のブロック図

表 25.14 マルチプロセッサ通信機能時の使用レジスタと設定値

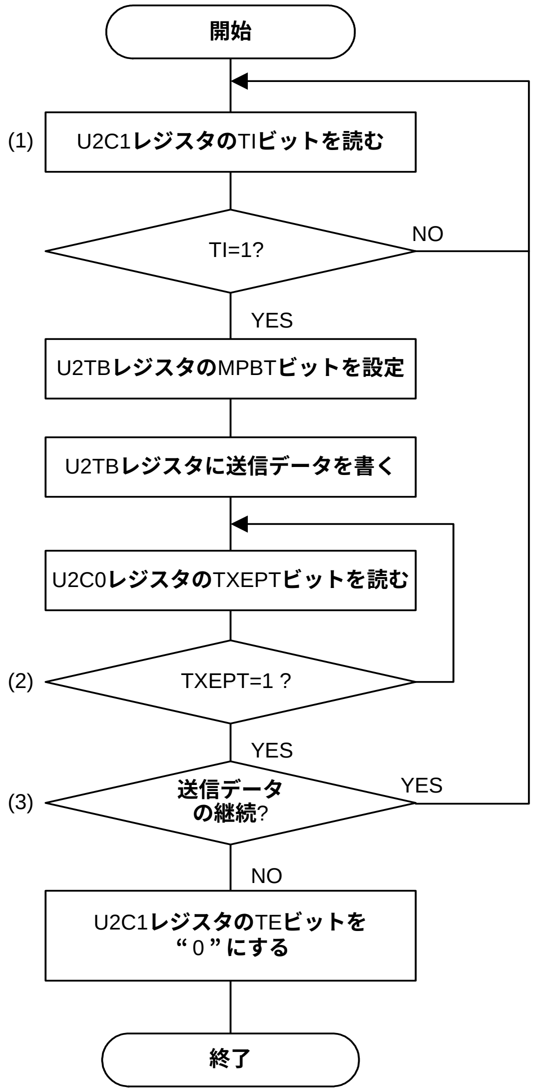
レジスタ	ビット	機能
U2TB(注1)	b0～b7	送信データを設定してください
	MPTB	“0”または“1”を設定してください
U2RB(注2)	b0～b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、SUM	エラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください
		転送データが8ビットの場合、“101b”を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	“0”にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能無効
	TXEPT	送信レジスタ空フラグ
	CRD	“0”にしてください
	NCH	TXD2端子出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2の送信割り込み要因を選択してください
	U2LCH	“0”にしてください
	U2ERE	“0”にしてください
U2SMR	b0～b7	“0”にしてください
U2SMR2	b0～b7	“0”にしてください
U2SMR3	b0～b7	“0”にしてください
U2SMR4	b0～b7	“0”にしてください
U2SMR5	MP	“1”にしてください
	MPIE	“1”にしてください
URXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. IDデータフレームを送信したとき、MPTBビットを“1”にしてください。データフレームを送信したとき、MPTBビットを“0”にしてください。

注2. MPRBビットが“1”の場合、受信したD7～D0はIDフィールドです。MPRBビットが“0”の場合、受信したD7～D0はデータフィールドです。

25.6.1　マルチプロセッサ送信

図25.19にマルチプロセッサデータ送信のフローチャートの例を示します。ID送信サイクルでは、U2TBレジスタのMPBTビットを“1”にして送信してください。データ送信サイクルでは、U2TBレジスタのMPBTを“0”にして送信してください。その他の動作は調歩同期モード(UARTモード)の動作と同じです。

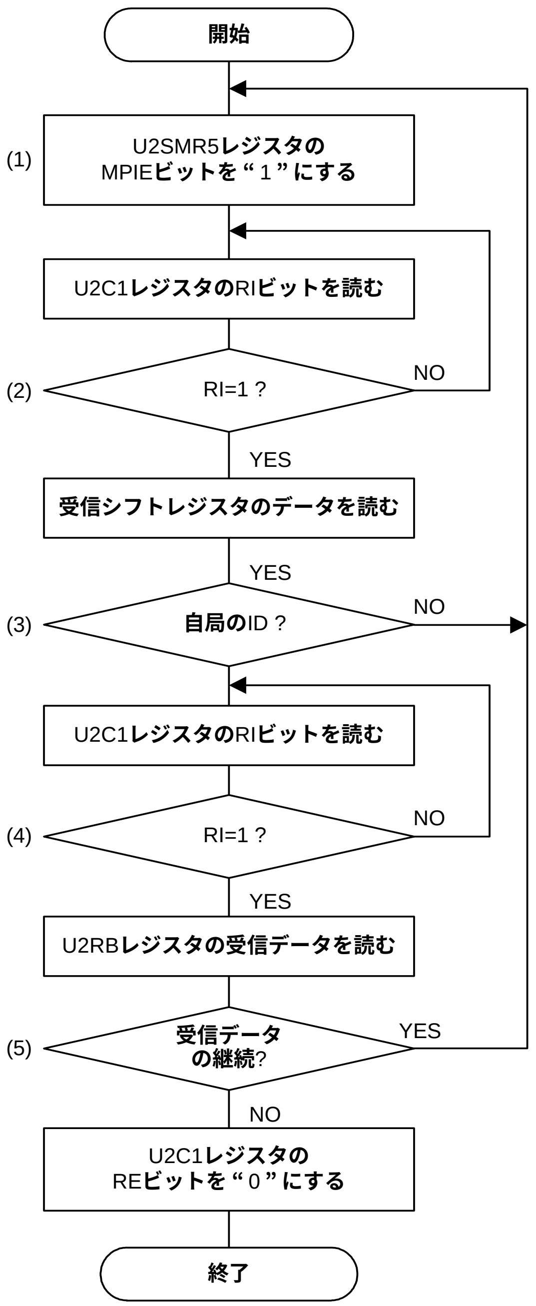


(1) U2C1レジスタを読んで、TIビットが“1”であることを確認した後、U2TBレジスタのMPBTビットを“0”または“1”に設定し、U2TBレジスタに送信データを書きます。U2TBレジスタにデータを書くと、TIビットが自動的に“0”になります。
(2) 送信が完了すると、TXEPTビットが自動的に“1”になります。
(3) データ送信を継続する場合、TIビットの“1”を読んで、U2TBレジスタにデータを書いてください。U2TBレジスタにデータを書くと、TIビットが自動的に“0”になります。

図25.19　マルチプロセッサデータ送信のフローチャートの例

25.6.2 マルチプロセッサ受信

図25.20にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5レジスタのMPIEビットを“1”にすると、マルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが“1”の通信データを、受信データとしてU2RBレジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期式モード(UARTモード)の動作と同じです。図25.21にマルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)を示します。



(1) U2SMR5レジスタのMPIEビットを“1”にします。
(2) MPRB=1を検出してMPIEビットが“0”になり、受信完了割り込み要求が発生できます。U2C1レジスタを読んで、RIビットが“1”であることを確認します。RIビットが“1”であれば、受信シフトレジスタのデータを読み、自局のIDと比較します。なお、U2RBレジスタのデータを読むと、RIビットは自動的に“0”になります。
(3) 自局IDと一致したとき、次のデータ受信が開始します。自局IDと一致にしないとき、MPIEビットを“1”にし、アイドル状態になります。
(4) U2C1レジスタを読み、RIビットが“1”であることを確認した後、受信シフトレジスタのデータを読みます。
(5) 受信を継続しないとき、U2C0レジスタのREビットを“0”にし、受信は完了します。受信を継続したいとき、再び(1)から実行します。

図25.20 マルチプロセッサデータ受信のフローチャートの例

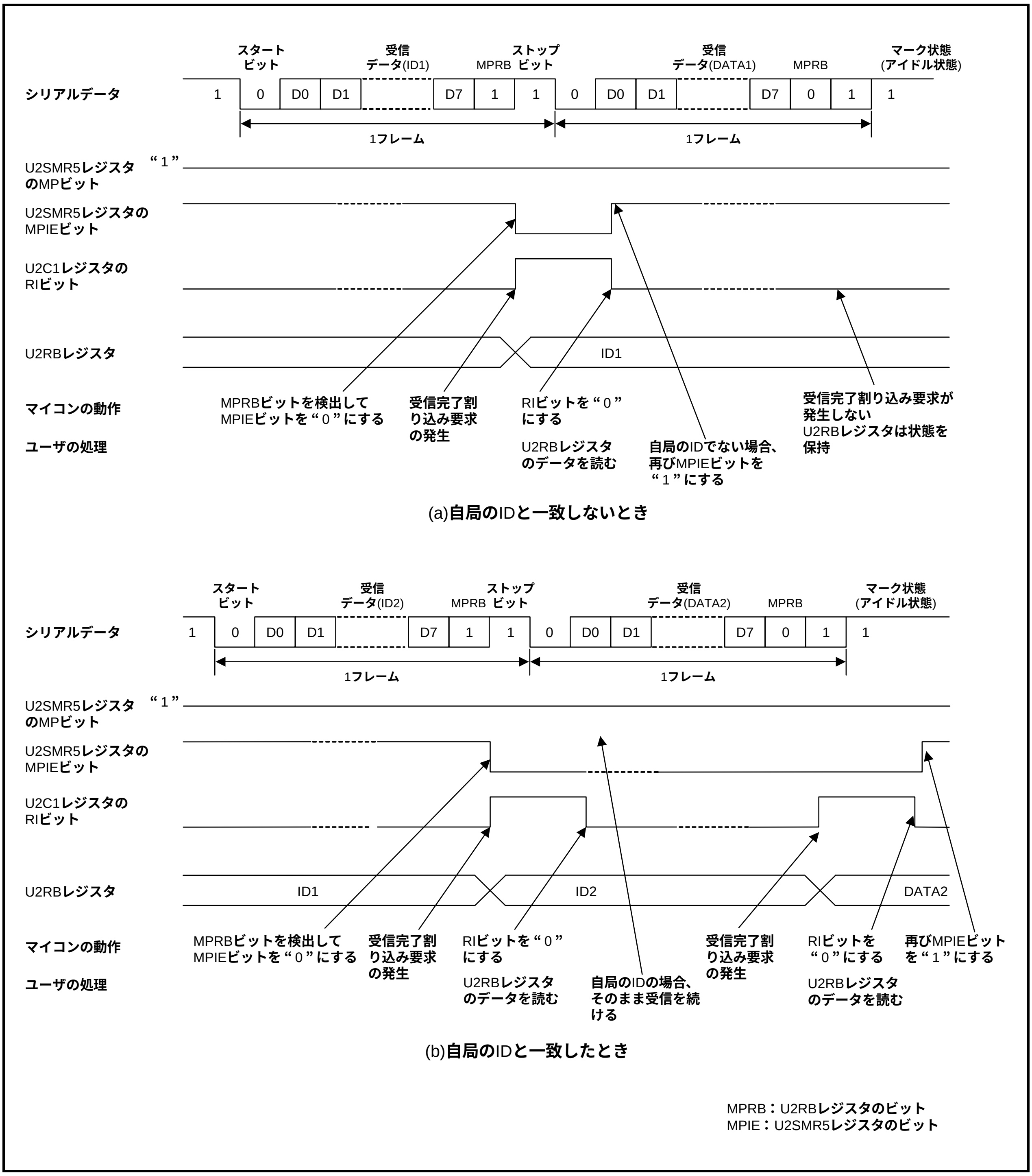


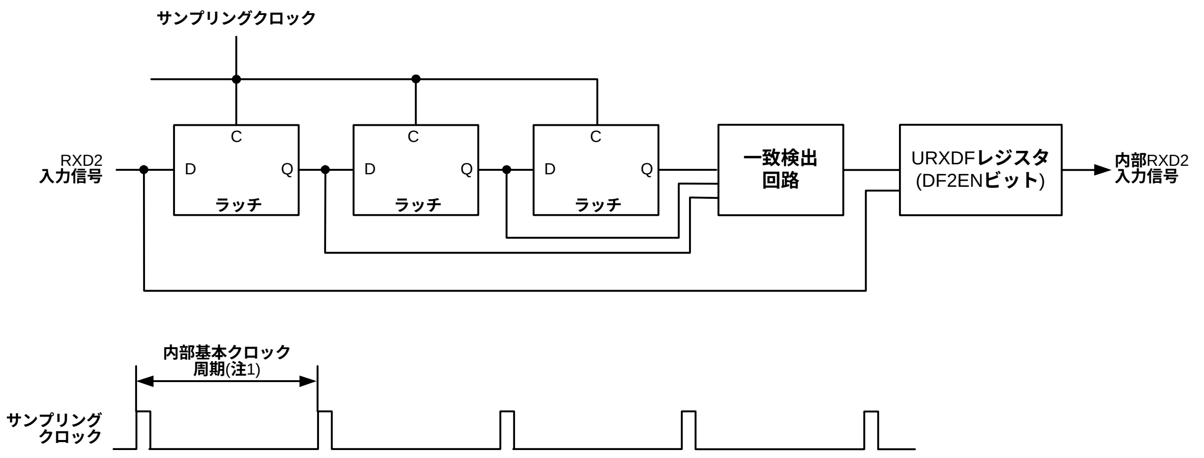
図 25.21 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

25.6.3 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図25.22にRXD2デジタルフィルタ回路のブロック図を示します。



注1. U2MRレジスタのCKDIRビットが“0”(内部クロック)のとき、内部基本クロックはfj/(n+1)となります(fj=f1、f8、f32、fC；n=U2BRGレジスタの設定値)。
U2MRレジスタのCKDIRビットが“1”(外部クロック)のとき、内部基本クロックはfEXT/(n+1)となります(fEXTはCLK2端子からの入力。n=U2BRGレジスタの設定値)。

図 25.22 RXD2デジタルフィルタ回路のブロック図

25.7 シリアルインタフェース(UART2)使用上の注意

25.7.1 クロック同期形シリアルI/Oモード

25.7.1.1 送受信

外部クロック選択時、$\overline{\text{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\text{RTS2}}$端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\text{RTS2}}$端子の出力レベルは“H”になります。このため、$\overline{\text{RTS2}}$端子を送信側の$\overline{\text{CTS2}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\text{RTS}}$機能は無効です。

25.7.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTS2}}$端子の入力が“L”

25.7.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態で、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

25.7.2 特殊モード1(I2Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

25.7.3 U2BRGレジスタ

U2BRGレジスタに“00h”を設定した場合、直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があるため、ご注意ください。

26. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース

- シンクロナスシリアルコミュニケーションユニット (SSU)
  - クロック同期式通信モード
  - 4線式バス通信モード
- I^{2}Cバスインタフェース
  - I^{2}Cバスインタフェースモード
  - クロック同期式シリアルモード

クロック同期形シリアルインタフェースは、0193h～019Dh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

26.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 26.1 にモード選択に関わるビットを示します。各モードの詳細は「27.　シンクロナスシリアルコミュニケーションユニット (SSU)」および「28.　I^{2}Cバスインタフェース」を参照してください。

表 26.1　モード選択

SSUIICSRレジスタのIICSELビット	0198h番地のビット7 (ICCR1レジスタのICEビット)	019Dh番地のビット0 (SSMR2レジスタのSSUMSビット、SARレジスタのFSビット)	機能名	モード
0	0	0	シンクロナスシリアルコミュニケーションユニット	クロック同期式通信モード
0	0	1		4線式バス通信モード
1	1	0	I^{2}Cバスインタフェース	I^{2}Cバスインタフェースモード
1	1	1		クロック同期式シリアルモード

27. シンクロナスシリアルコミュニケーションユニット (SSU)

シンクロナスシリアルコミュニケーションユニット (SSU) は、クロック同期式のシリアルデータ通信が可能です。

27.1 概要

表 27.1 にシンクロナスシリアルコミュニケーションユニットの仕様を、図 27.1 にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表 27.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	・転送データ長　8～16ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	・クロック同期式通信モード ・4線式バス通信モード(双方向通信モード含む)
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力)：クロック入出力端子 SSI(入出力)：データ入出力端子 SSO(入出力)：データ入出力端子 $\overline{\text{SCS}}$(入出力)：チップセレクト入出力端子
転送クロック	・SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき 外部クロック(SSCK端子から入力) ・SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき 内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力) ・クロック極性と位相を選択できる
受信エラーの検出	・オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態で、次のシリアルデータ受信を完了したとき、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になる
マルチマスタエラーの検出	・コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、$\overline{\text{SCS}}$端子入力が“L”であればSSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中に$\overline{\text{SCS}}$端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー (注1)
選択機能	・データ転送方向 MSBファーストまたはLSBファーストを選択 ・SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択 ・SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

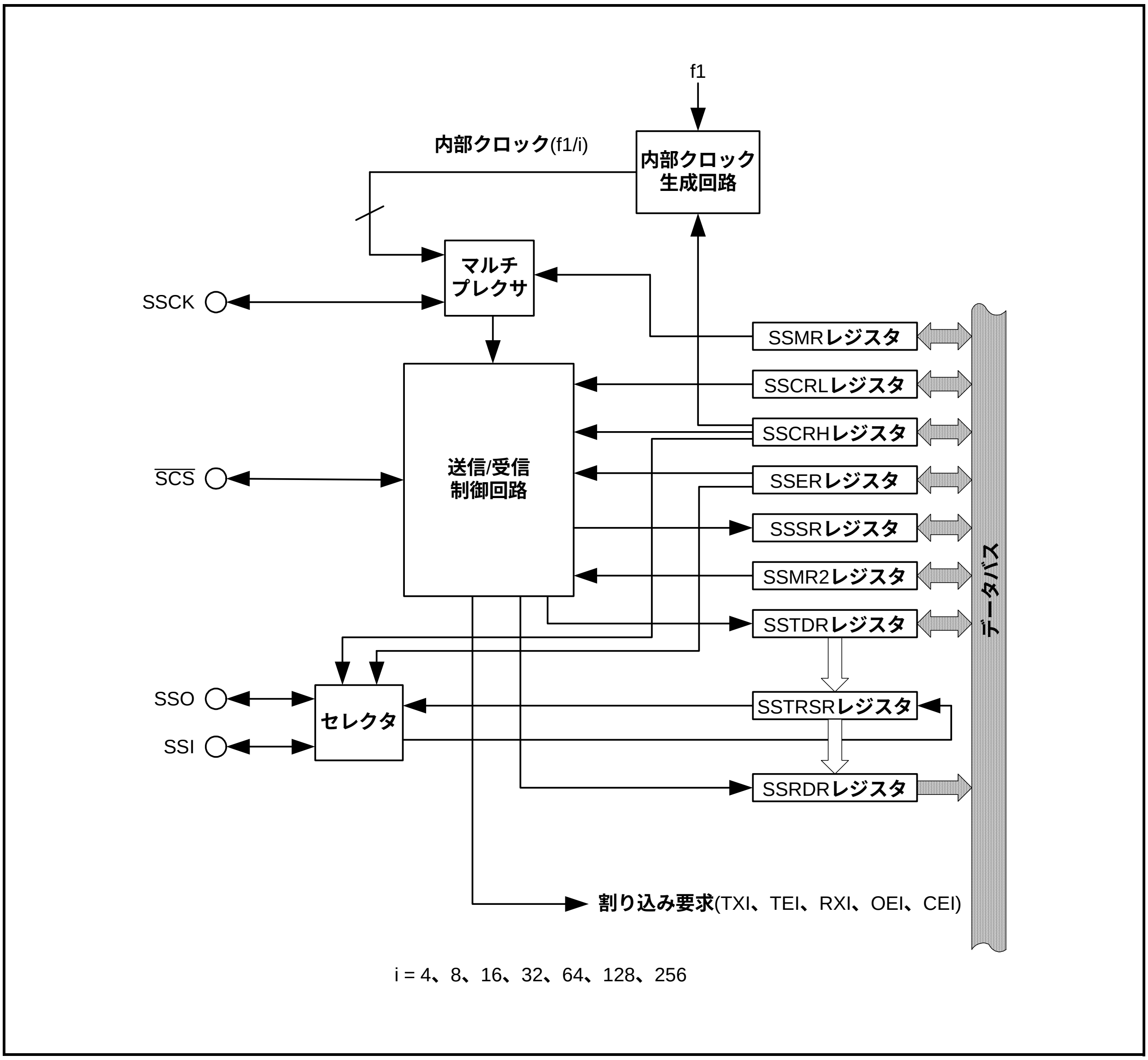


図 27.1　シンクロナスシリアルコミュニケーションユニットブロック図

表 27.2　シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P11_1	入出力	データ入出力
$\overline{SCS}$	P11_3	入出力	チップセレクト入出力
SSCK	P11_0	入出力	クロック入出力
SSO	P11_2	入出力	データ入出力

27.2 レジスタの説明

27.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I²Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I²Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

27.2.2 SSU/IIC端子選択レジスタ (SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I2Cバス切り替えビット	0：SSU機能を選択 1：I2Cバス機能を選択	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

27.2.3 SSビットカウンタレジスタ(SSBR)

アドレス 0193h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0：16ビット 1 0 0 0：8ビット 1 0 0 1：9ビット 1 0 1 0：10ビット 1 0 1 1：11ビット 1 1 0 0：12ビット 1 1 0 1：13ビット 1 1 1 0：14ビット 1 1 1 1：15ビット	R/W
b1	BS1			R/W
b2	BS2			R/W
b3	BS3			R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”(受信禁止)、TEビットを“0”(送信禁止)にしてください。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

27.2.4 SS送信データレジスタ(SSTDR)

アドレス 0195h～0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	—	送付データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書いておくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読まれます。	R/W

注1. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

27.2.5 SS受信データレジスタ(SSRDR)

アドレス 0197h～0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	—	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

注1. SSSRレジスタのORERビットが"1"(オーバランエラー発生)になったとき、SSRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データは、破棄されます。
注2. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

27.2.6 SS制御レジスタH (SSCRH)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RSSTP	MSS	—	—	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0 0 0 0：f1/256 0 0 1：f1/128 0 1 0：f1/64 0 1 1：f1/32 1 0 0：f1/16 1 0 1：f1/8 1 1 0：f1/4 1 1 1：設定しないでください	R/W
b1	CKS1			R/W
b2	CKS2			R/W
b3	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—
b4	—			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0：スレーブデバイスとして動作 1：マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0：1バイトのデータ受信後も受信動作を継続 1：1バイトのデータ受信後、受信動作が終了	R/W
b7	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—

注1. MSSビットが"1"(マスタデバイスとして動作)のときに、設定されたクロックが使用されます。
注2. MSSビットが"1"(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが"1"(コンフリクトエラー発生)になると、MSSビットは"0"(スレーブデバイスとして動作)になります。
注3. MSSビットが"0"(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

27.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	SOL	SOLP	—	—	SRES	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。 SSU内部レジスタ(注1)の値は保持される。	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b3	—			
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0：シリアルデータ出力が“L” 1：シリアルデータ出力が“H” 書いた場合(注2、3) 0：データ出力を“L”にする 1：データ出力を“H”にする	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. SSBR、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTDR、SSRDRの各レジスタ。
注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。
シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。
SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。
注3. データ転送中はSOLビットに書かないでください。

27.2.8　SSモードレジスタ(SSMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3～0	b3 b2 b1 b0 0 0 0 0：残り16ビット 0 0 0 1：残り1ビット 0 0 1 0：残り2ビット 0 0 1 1：残り3ビット 0 1 0 0：残り4ビット 0 1 0 1：残り5ビット 0 1 1 0：残り6ビット 0 1 1 1：残り7ビット 1 0 0 0：残り8ビット 1 0 0 1：残り9ビット 1 0 1 0：残り10ビット 1 0 1 1：残り11ビット 1 1 0 0：残り12ビット 1 1 0 1：残り13ビット 1 1 1 0：残り14ビット 1 1 1 1：残り15ビット	R
b1	BC1			R
b2	BC2			R
b3	BC3			R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	CPHS	SSCKクロック位相選択ビット(注1)	0：奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1：偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0：クロック停止時、“H” 1：クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0：MSBファーストでデータ転送 1：LSBファーストでデータ転送	R/W

注1.　CPHS、CPOSビットの設定については「27.3.1.1　転送クロックの極性、位相とデータの関係」を参照してください。
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

27.2.9 SS許可レジスタ (SSER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	—	—	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0：コンフリクトエラー割り込み要求禁止 1：コンフリクトエラー割り込み要求許可	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	RE	受信許可ビット	0：受信禁止 1：受信許可	R/W
b4	TE	送信許可ビット	0：送信禁止 1：送信許可	R/W
b5	RIE	受信割り込み許可ビット	0：受信データフルおよびオーバランエラー割り込み要求禁止 1：受信データフルおよびオーバランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0：送信終了割り込み要求禁止 1：送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0：送信データエンプティ割り込み要求禁止 1：送信データエンプティ割り込み要求許可	R/W

27.2.10 SSステータスレジスタ(SSSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	—	—	ORER	—	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0：コンフリクトエラーなし 1：コンフリクトエラー発生(注2)	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	ORER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生(注3)	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0：SSRDRレジスタにデータなし 1：SSRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0：送信データの最後尾ビットの送信時、TDREビットが“0” 1：送信データの最後尾ビットの送信時、TDREビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0：SSTDRレジスタからSSTRSRレジスタにデータ転送されていない 1：SSTDRレジスタからSSTRSRレジスタにデータ転送された	R/W

注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「27.5.4 SCS端子制御とアービトレーション」を参照してください。
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。
注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態で、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態で受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。
SSTDR レジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP 命令を3つ以上挿入してください。
注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

27.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0：クロック同期式通信モード 1：4線式バス通信モード	R/W
b1	CSOS	$\overline{\text{SCS}}$端子オープンドレイン出力選択ビット	0：CMOS出力 1：Nチャネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0：CMOS出力(注5) 1：Nチャネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0：CMOS出力 1：Nチャネルオープンドレイン出力	R/W
b4	CSS0	$\overline{\text{SCS}}$端子選択ビット(注2)	b5 b4 0 0：ポートとして機能 0 1：$\overline{\text{SCS}}$入力端子として機能 1 0：$\overline{\text{SCS}}$出力端子として機能(注3) 1 1：$\overline{\text{SCS}}$出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0：ポートとして機能 1：シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0：標準モード(データ入力とデータ出力を2端子使用して通信) 1：双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

注1. データ入出力端子の組み合わせは、「27.3.2.1 データ入出力端子と SS シフトレジスタの関係」を参照してください。
注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、$\overline{\text{SCS}}$端子はポートとして機能します。
注3. 転送開始前は、$\overline{\text{SCS}}$入力端子として機能します。
注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。
注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

27.3 複数モードに関わる共通事項

27.3.1 転送クロック

転送クロックを7種類の内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4)と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレ—ブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

27.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図27.2に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

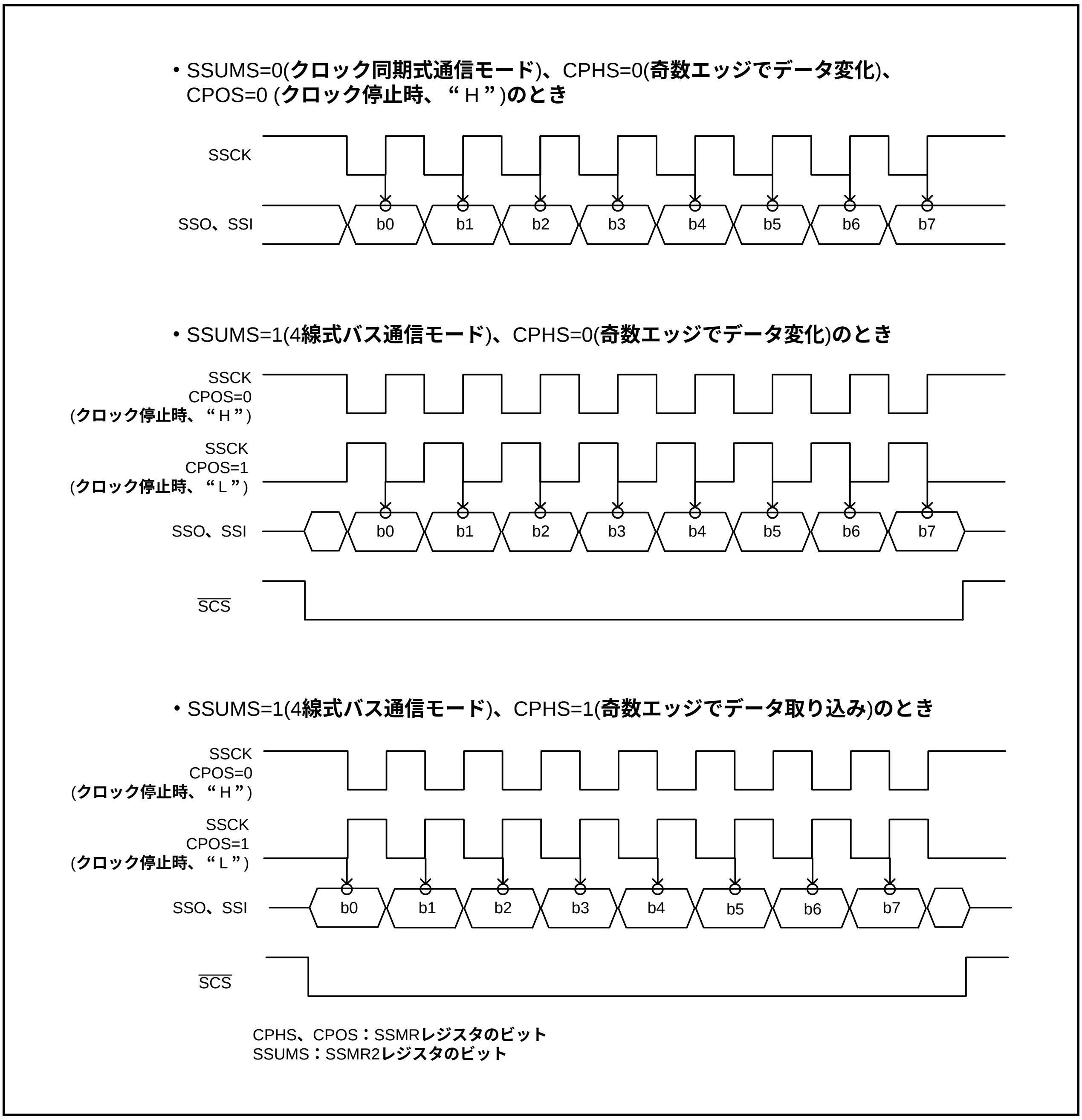


図 27.2　転送クロックの極性、位相および転送データの関係

27.3.2　SSシフトレジスタ(SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

27.3.2.1　データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図27.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

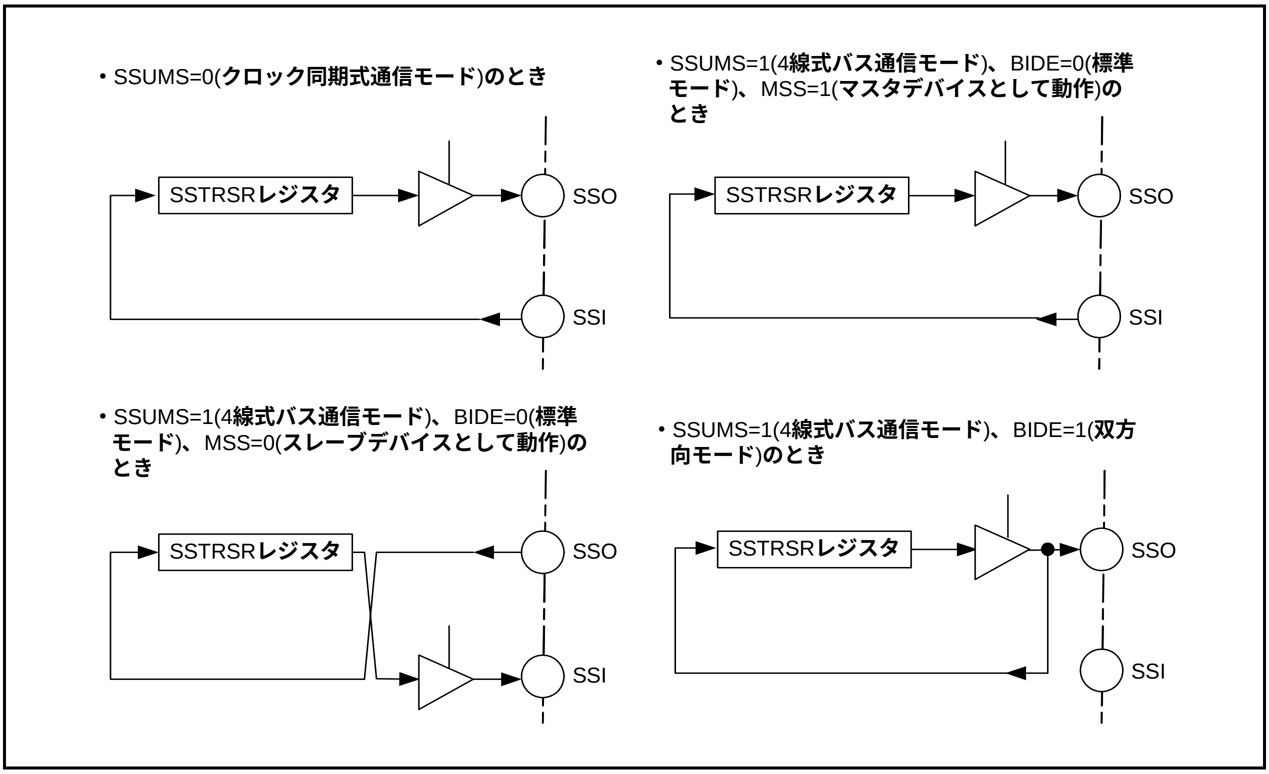


図27.3　データ入出力端子とSSTRSRレジスタの接続関係

27.3.3　割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 27.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 27.3　シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1 かつ TDRE=1
送信終了	TEI	TEIE=1 かつ TEND=1
受信データフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー	CEI	CEIE=1 かつ CE=1

CEIE、RIE、TEIE、TIE：SSER レジスタのビット
ORER、RDRF、TEND、TDRE：SSSR レジスタのビット

表 27.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビット および TEND ビットは SSTDR レジスタに送信データを書くことで、RDRF ビット はSSRDR レジスタを読むことで自動的に“0”になります。特にTDRE ビット はSSTDR レジスタに送信データを書いたとき、同時に再度TDRE ビット が“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、さらにTDRE ビット を“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)にすると、余分に1 バイト送信する場合があります。

27.3.4　各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表27.4に通信モードと入出力端子の関係を示します。

表27.4　通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
クロック同期式通信モード	0	無効	0	0	1	入力	—(注1)	入力
				1	0	—(注1)	出力	入力
					1	入力	出力	入力
			1	0	1	入力	—(注1)	出力
				1	0	—(注1)	出力	出力
					1	入力	出力	出力
4線式バス通信モード	1	0	0	0	1	—(注1)	入力	入力
				1	0	出力	—(注1)	入力
					1	出力	入力	入力
			1	0	1	入力	—(注1)	出力
				1	0	—(注1)	出力	出力
					1	入力	出力	出力
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	—(注1)	入力	入力
				1	0	—(注1)	出力	入力
			1	0	1	—(注1)	入力	出力
				1	0	—(注1)	出力	出力

注1. プログラマブル入出力ポートとして使用できます。
注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。
SSUMS、BIDE：SSMR2レジスタのビット
MSS：SSCRHレジスタのビット
TE、RE：SSERレジスタのビット

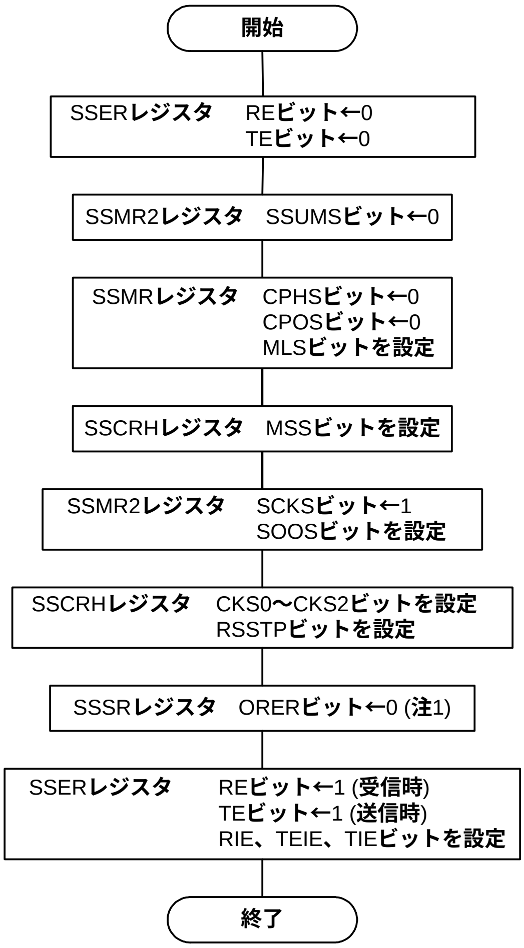
27.4 クロック同期式通信モード

27.4.1 クロック同期式通信モードの初期化

図 27.4 にクロック同期式通信モードの初期化を示します。データの送信 / 受信前に、SSER レジスタの TE ビットを “ 0 ” (送信禁止)、RE ビットを “ 0 ” (受信禁止) にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE ビットを “ 0 ”、RE ビットを “ 0 ” にしてから変更してください。

RE ビットを“ 0 ”にしても、RDRF、ORER の各フラグ、および SSRDR レジスタの内容は保持されます。



注1. ORERビットを “ 0 ” にするには、 “ 1 ” を読んだ後、 “ 0 ” を書いてください。

図 27.4 クロック同期式通信モードの初期化

27.4.2 データ送信

図27.5にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8〜16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SSERレジスタのTEビットを"1"(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にSSSRレジスタのTDREビットが"0"(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが"1"(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが"1"の場合、TXI割り込み要求を発生します。

TDREビットが"0"の状態で1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが"1"の状態で8ビット目が送出されると、SSSRレジスタのTENDビットが"1"(送信データの最後尾ビットの送信時、TDREビットが"1")になり、その状態を保持します。このときSSERレジスタのTEIEビットが"1"(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は"H"に固定されます。

なお、SSSRレジスタのORERビットが"1"(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが"0"(オーバランエラーなし)であることを確認してください。

図27.6にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

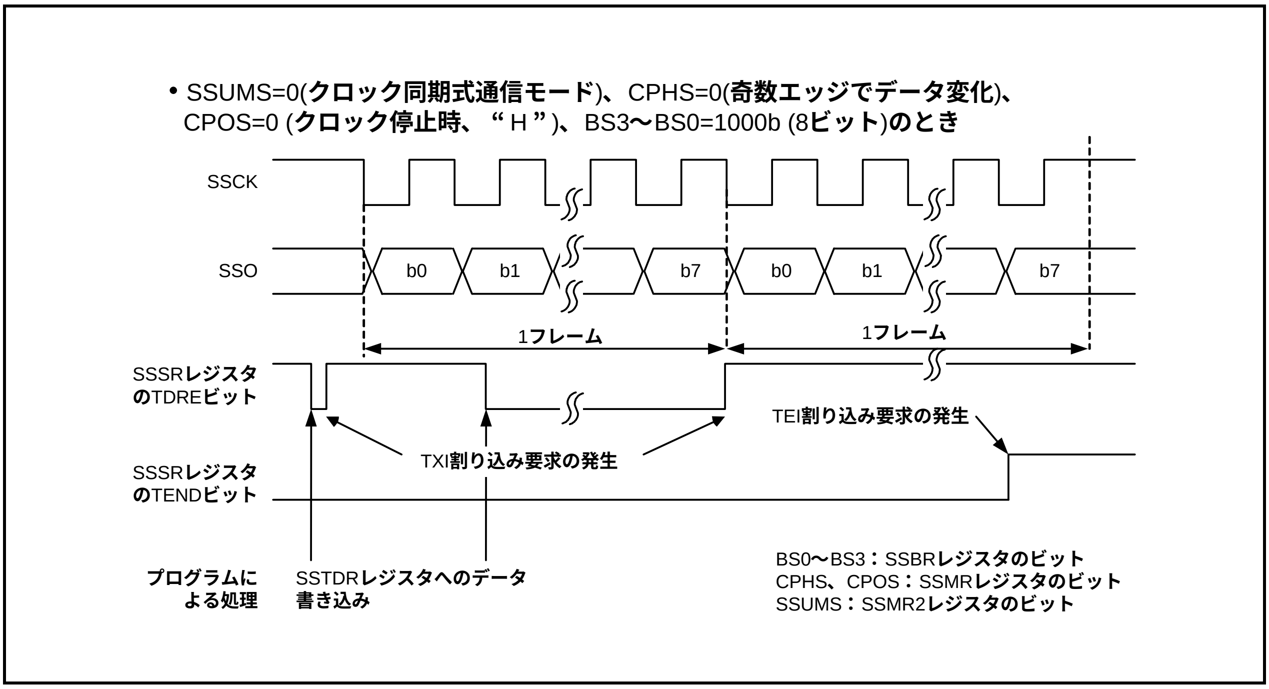
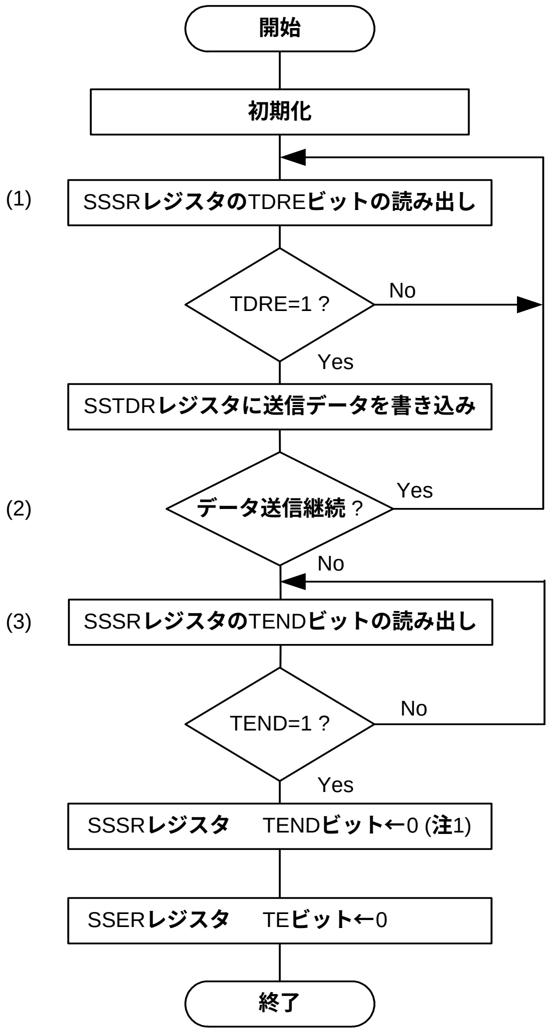


図27.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)



(1) SSSRレジスタを読んでTDREビットが“1”であることを確認した後、SSTDRレジスタに送信データを書いてください。SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”になります。

(2) データ送信を継続するか判定します。

(3) データ送信を完了したかどうかは、TENDビットが“1”になったことで確認できます。“1”になったTENDビットを“0”に、TEビットを“0”にして、送信モードを終了させてください。

注1.　TENDビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

図 27.6　データ送信のフローチャート例(クロック同期式通信モード)

27.4.3　データ受信

図27.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態で8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”(オーバランエラーなし)であることを確認してください。

図27.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

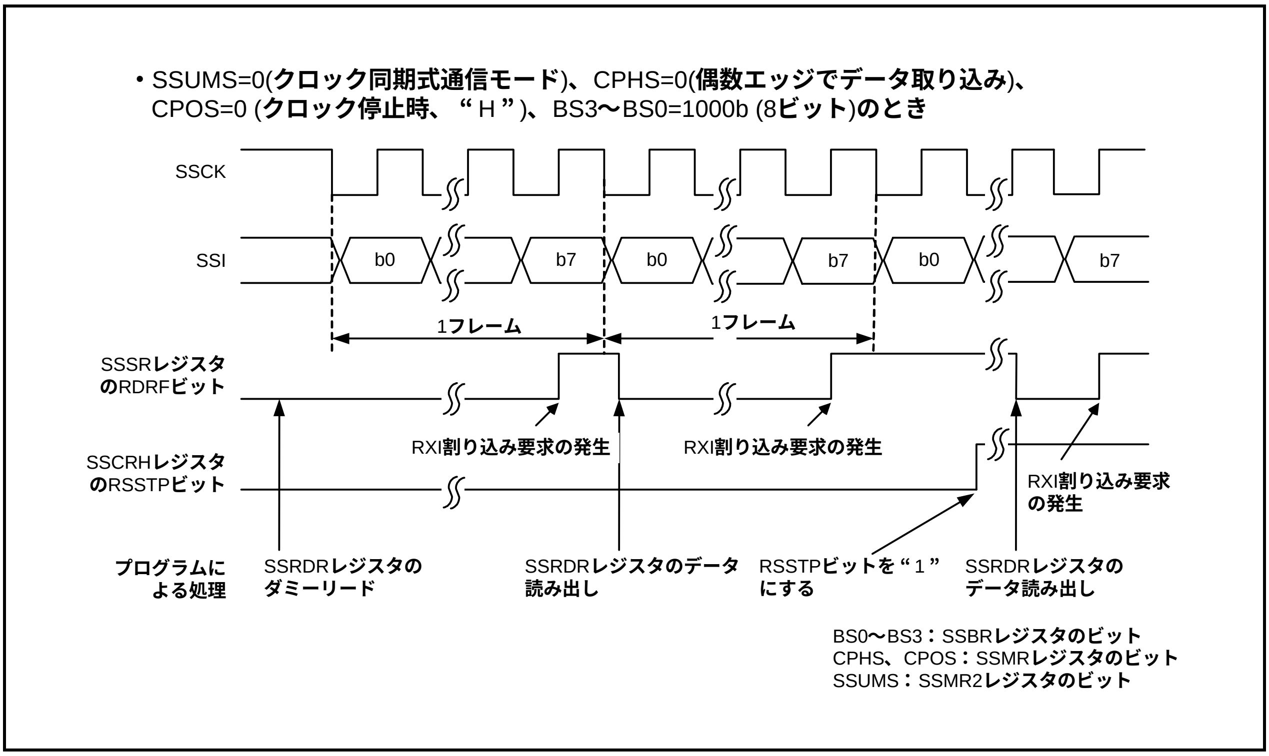
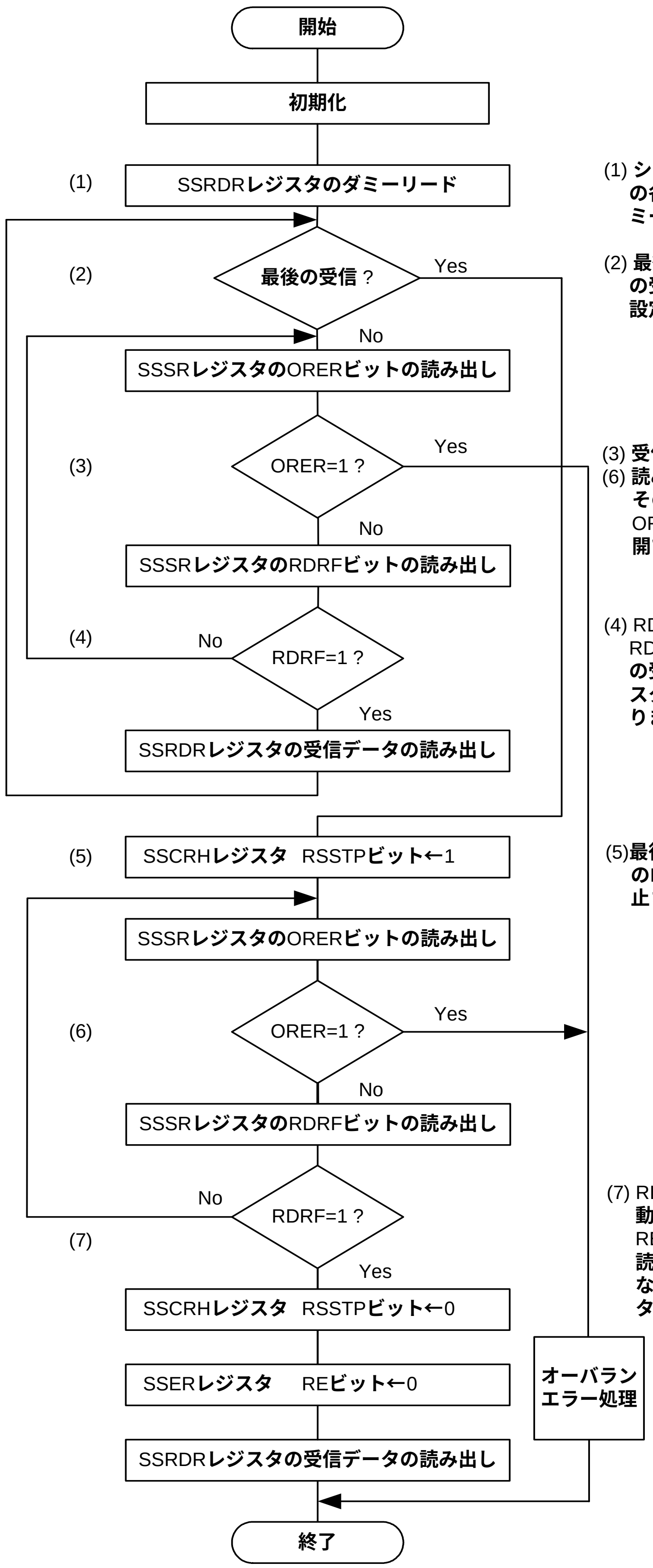


図27.7　データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)



(1) シンクロナスシリアルコミュニケーションユニットの各レジスタを設定した後、SSRDRレジスタをダミーリードすると、受信動作が開始します。

(2) 最後の1バイトの受信になるかを判定します。最後の受信になる場合は、受信完了後に停止するように設定してください。

(3) 受信エラーが発生したときは、ORERビットを
(6) 読み出した後、エラー処理を実施してください。その後、ORERビットを"0"にしてください。ORERビットが"1"の状態では、送信／受信を再開できません。

(4) RDRFビットが"1"であることを確認します。RDRFビットが"1"であれば、SSRDRレジスタの受信データを読み出してください。SSRDRレジスタを読むと、自動的にRDRFビットが"0"になります。

(5)最後の1バイトを受信する前にSSCRHレジスタのRSSTPビットを"1"にして、受信完了後停止させます。

(7) RDRFビットが"1"であることを確認します。受信動作を終了するときは、RSSTPビットを"0"、REビットを"0"にしてから、最後の受信データを読み出してください。
なお、REビットを"0"にしないでSSRDRレジスタを読むと、受信動作が再び開始します。

図 27.8　データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

27.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態で最終転送クロック(SSBRレジスタでデータ転送長を8〜16ビットの範囲で、設定することができます)が立ち上がった場合、またはORERビットが“1”(オーバランエラー発生)になった場合、送受信動作は停止します。

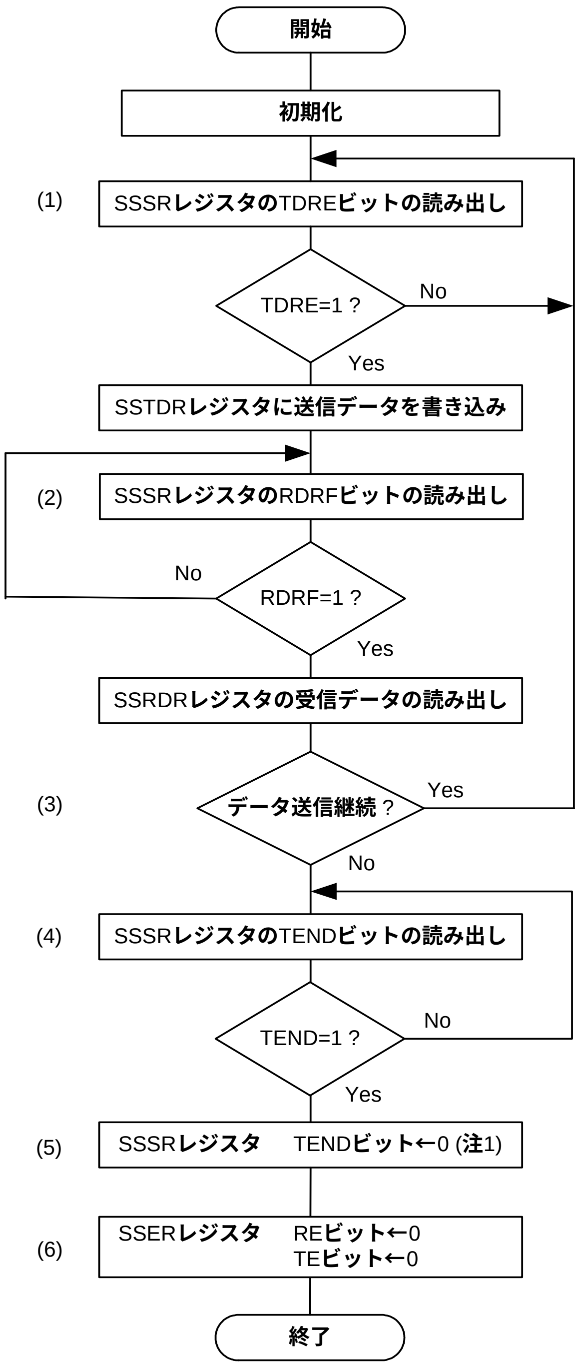
なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバランエラーなし)であることを確認した後、TEおよびREビットを“1”(送信許可/受信許可)にしてください。

図27.9にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE=RE=1)から送受信モードを解除する場合、SSRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずREビットを“0”にして、その後、TEビットを“0”にする
- TEビットとREビットを同時に“0”にする

その後、受信モード(TE=0、RE=1)にする場合は、SSCRLレジスタのSRESビットに“1”を書いた後、“0”にしてSSU制御部およびSSTRSRレジスタを初期化してから、REビットを“1”にしてください。



(1) SSSRレジスタを読んでTDREビットが“1”であることを確認した後、SSTDRレジスタに送信データを書いてください。SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”になります。

(2) RDRFビットが“1”であることを確認します。RDRFビットが“1”であれば、SSRDRレジスタの受信データを読み出してください。SSRDRレジスタを読むと、自動的にRDRFビットが“0”になります。

(3) データ送信を継続するか判定します。

(4) データ送信の完了は、SSSRレジスタのTENDビットが“1”になったことで確認できます。

(5) TENDビットを“0”に、
(6) SSERレジスタのRE、TEビットを“0”にして、送受信モードを終了させてください。

注1.　TENDビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

図 27.9　データ送受信のフローチャート例(クロック同期式通信モード)

27.5　4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含みます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「27.3.2.1　データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの関係をSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「27.3.1.1　転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にして$\overline{\text{SCS}}$端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にして$\overline{\text{SCS}}$端子を入力として機能させます。

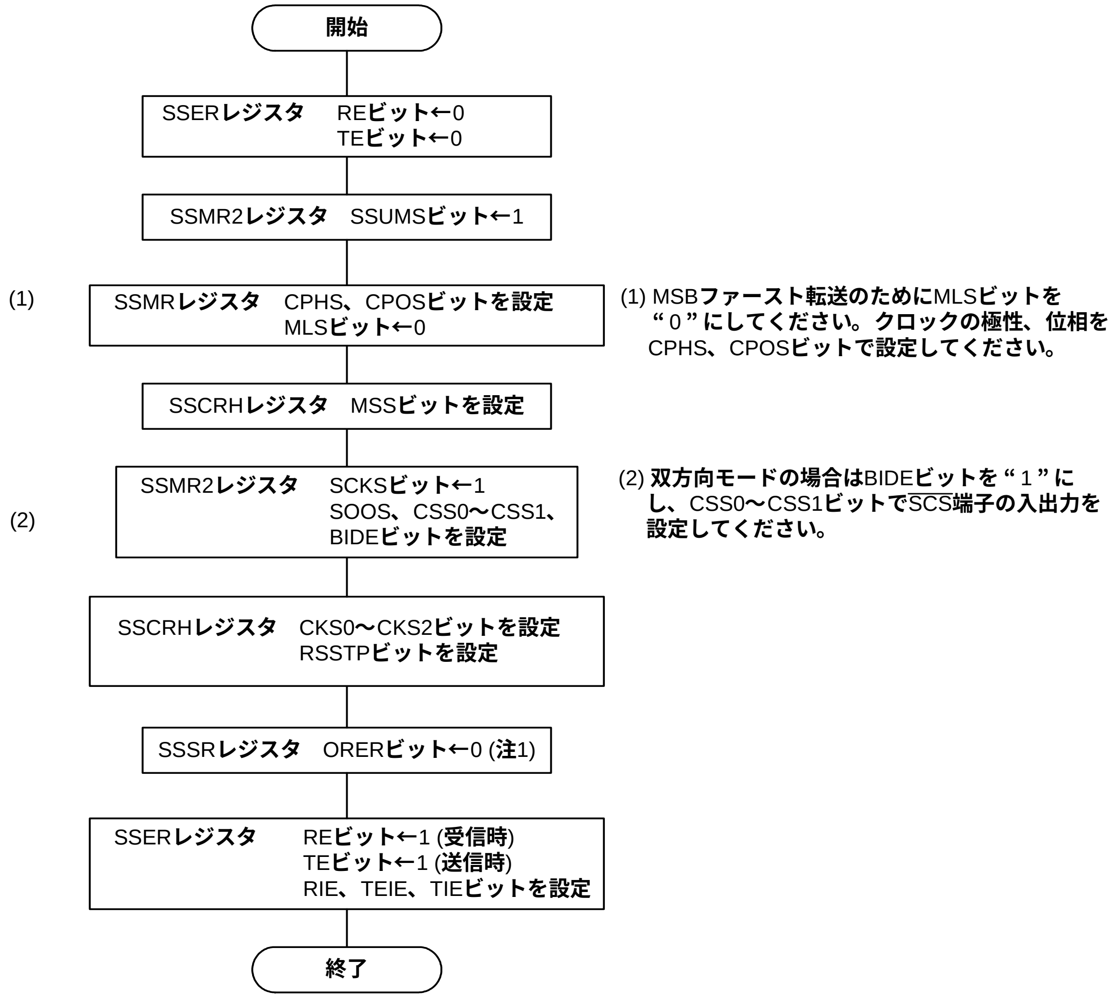
4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

27.5.1 4線式バス通信モードの初期化

図27.10に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。



注1. ORERビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

図27.10 4線式バス通信モードの初期化

27.5.2 データ送信

図27.11にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、$\overline{\mathrm{SCS}}$端子が“L”入力状態で入力クロックに同期してデータを出力します。

SSERレジスタのTEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にSSSRレジスタのTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態で1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが“1”の状態で8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定され、$\overline{\mathrm{SCS}}$端子は“H”になります。$\overline{\mathrm{SCS}}$端子が“L”のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTDRレジスタに書いてください。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”(オーバランエラーなし)であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時に$\overline{\mathrm{SCS}}$端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時に$\overline{\mathrm{SCS}}$端子が“H”入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図27.6　データ送信のフローチャート例(クロック同期式通信モード)」参照)。

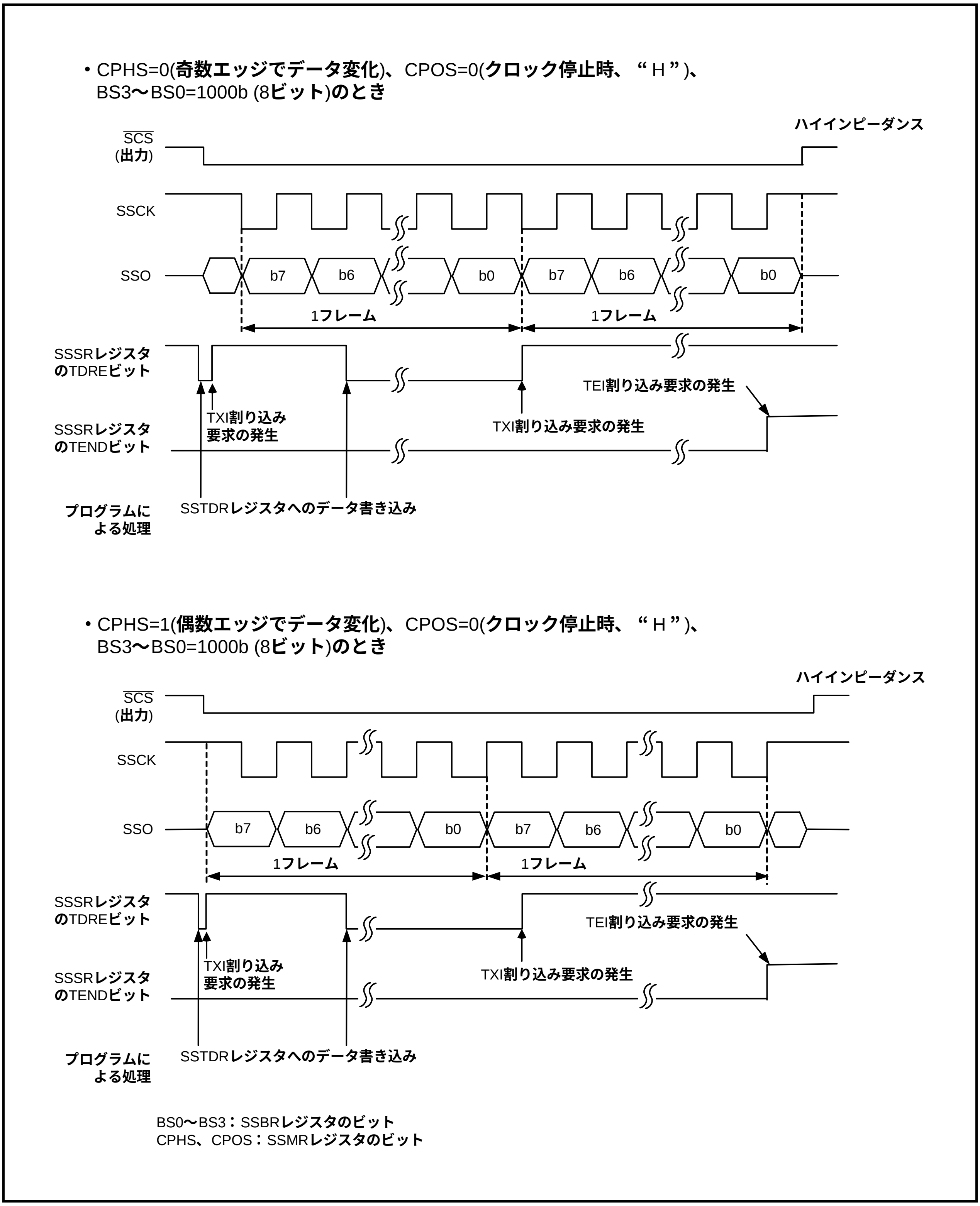


図 27.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

27.5.3 データ受信

図27.12にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、$\overline{\text{SCS}}$端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態で8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”(オーバランエラーなし)であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図27.12に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図27.8　データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

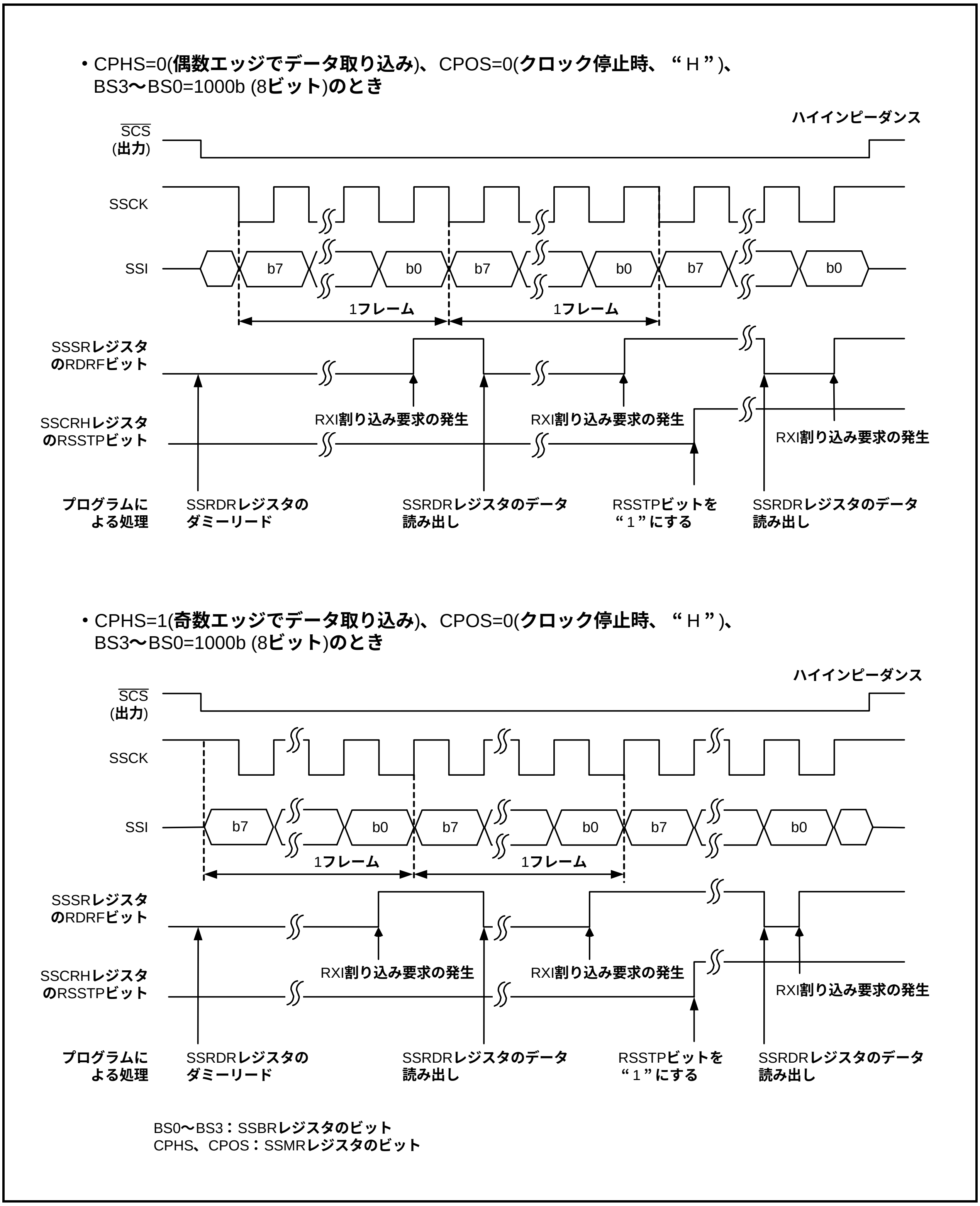


図 27.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

27.5.4 $\overline{\mathrm{SCS}}$端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”(4線式バス通信モード)、CSS1ビットを“1”($\overline{\mathrm{SCS}}$出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にしてからシリアル転送を開始する前に、$\overline{\mathrm{SCS}}$端子のアービトレーションをチェックします。この期間に同期化した内部$\overline{\mathrm{SCS}}$信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。

図27.13にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”(コンフリクトエラーなし)にしてください。

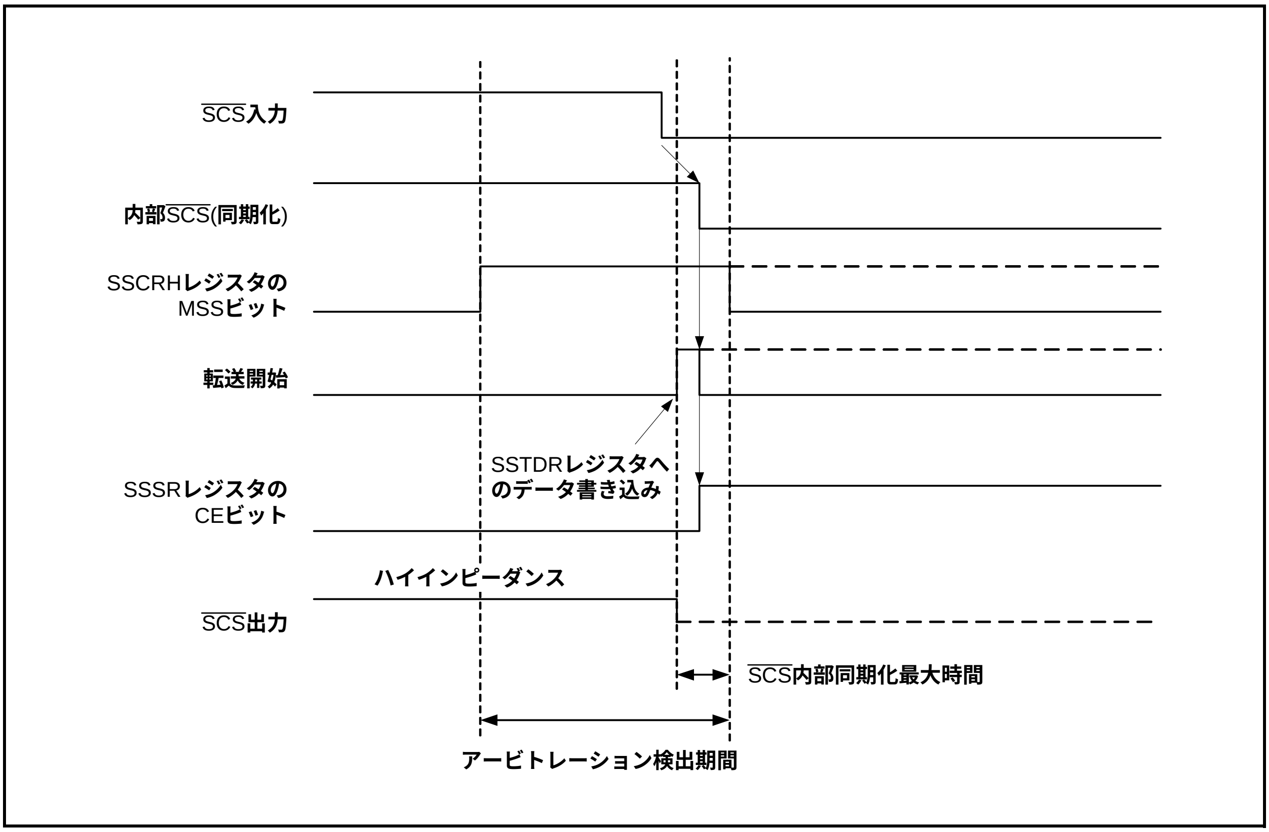


図 27.13 アービトレーションチェックタイミング

27.6 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUIICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

28. I2Cバスインタフェース

I2Cバスインタフェースは、フィリップス社I2Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

28.1 概要

表28.1にI2Cバスインタフェースの仕様、図28.1にI2Cバスインタフェースブロック図、図28.2にSCL、SDA端子の外部回路接続例、表28.2にI2Cバスインタフェースの端子構成を示します。

表28.1 I2Cバスインタフェースの仕様

項目	仕様
通信フォーマット	• I2Cバスフォーマット -マスタ/スレーブデバイスの選択可能 -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため) -マスタモードでは開始条件、停止条件の自動生成 -送信時、アクノリッジビットを自動ロード -ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。) -SCL、SDA端子の直接駆動(Nチャネルオープンドレイン出力)が可能 • クロック同期式シリアルフォーマット -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL(入出力):シリアルクロック入出力端子 SDA(入出力):シリアルデータ入出力端子
転送クロック	• ICCR1レジスタのMSTビットが“0”(スレーブモード)のとき 外部クロック(SCL端子から入力) • ICCR1レジスタのMSTビットが“1”(マスタモード)のとき ICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)
受信エラーの検出	• オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態で、次のデータの最終ビットを受信したとき、ALビットが“1”になる
割り込み要因	• I2Cバスフォーマット...................................... 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出 • クロック同期式シリアルフォーマット............ 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	• I2Cバスフォーマット -受信時、アクノリッジの出力レベルを選択可能 • クロック同期式シリアルフォーマット -データ転送方向にMSBファーストまたはLSBファーストを選択可能 • SDAのデジタル遅延 -PINSRレジスタのSDADLY0～SDADLY1ビットでSDA端子のデジタル遅延値を選択可能

注1. 割り込みベクタテーブルはI2Cバスインタフェースの1つです。

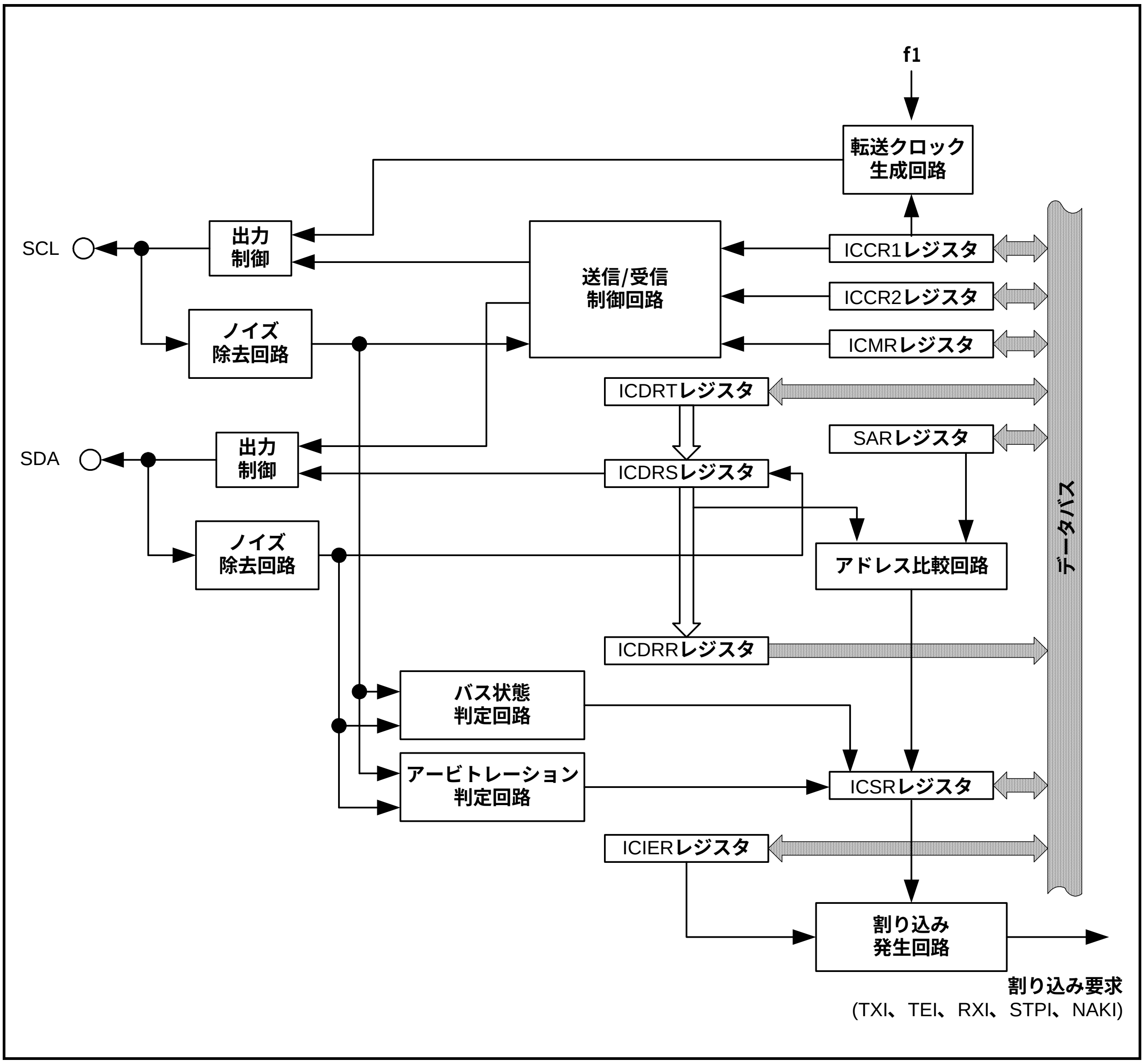


図 28.1　I2Cバスインタフェースブロック図

表 28.2　I2Cバスインタフェースの端子構成

端子名	割り当てる端子	機能
SCL	P11_0	クロック入出力
SDA	P11_2	データ入出力

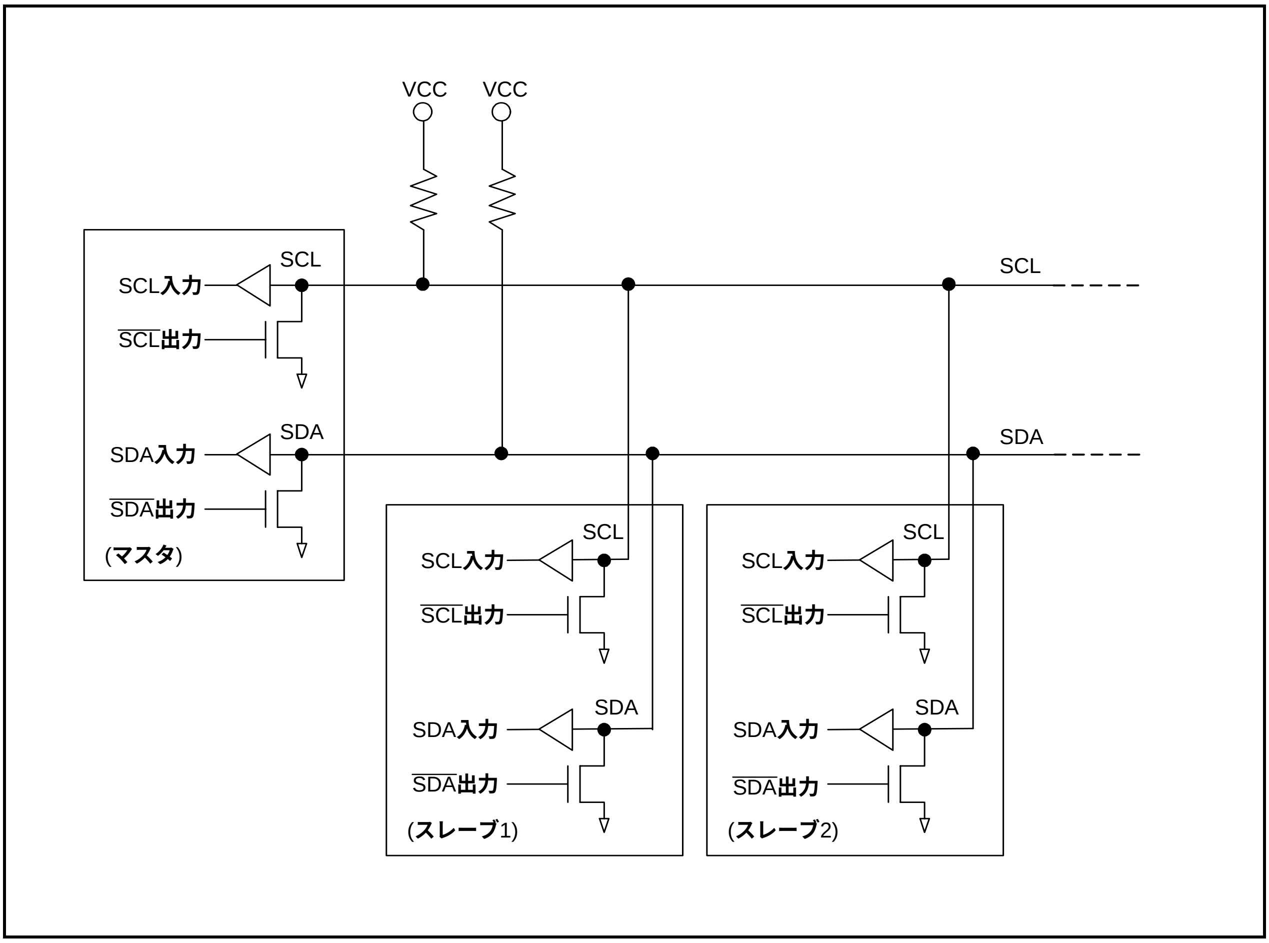


図 28.2　SCL、SDA端子の外部回路接続例

28.2 レジスタの説明

28.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRG	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSU、I²Cバススタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0：アクティブ 1：スタンバイ(注5)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU、I²Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi (i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。
注5. スタンバイにする前に、タイマRG機能を停止してください。MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h～017Fh番地)へのアクセスは無効になります。

28.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I²Cバス切り替えビット	0：SSU機能を選択 1：I²Cバス機能を選択	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

28.2.3　入出力機能端子選択レジスタ(PINSR)

アドレス　018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	IOINSEL	I/Oポート入力機能選択ビット	0：I/Oポートの入力機能はPDi (i=0～7、10～13)レジスタに依存 PDiレジスタのPDi_j (j=0～7)ビットが“0”(入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1”(出力モード)のとき、ポートラッチを読む。 1：I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I2C転送レート2倍選択ビット	0：ICCR1レジスタのCKS0～CKS3ビットの設定値通りの転送レート 1：ICCR1レジスタのCKS0～CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I2C転送レート1/2倍選択ビット	0：ICCR1レジスタのCKS0～CKS3ビットの設定値通りの転送レート 1：ICCR1レジスタのCKS0～CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 0 0：3×f1サイクルのデジタル遅延 0 1：11×f1サイクルのデジタル遅延 1 0：19×f1サイクルのデジタル遅延 1 1：設定しないでください	R/W
b7	SDADLY1			R/W

IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0～7、10～13)レジスタのPDi_j (j=0～7)ビットが“1”(出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表28.3にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表28.3　IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0”(入力モード)		“1”(出力モード)	
IOINSELビット	“0”	“1”	“0”	“1”
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

28.2.4 IICバス送信データレジスタ(ICDRT)

アドレス 0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7～b0	送信データを保管。 ICDRSレジスタの空きが検出されると、保管されている送信データがICDRSレジスタへ転送されて、送信が開始します。 ICDRSレジスタからデータを送信中に、ICDRTレジスタに次の送信データを書いておくと、連続して送信できます。 ICMRレジスタのMLSビットが“1(LSBファーストでデータ転送)”の場合、ICDRTレジスタに書いた後、読み出すとMSBとLSBが反転したデータが読み出されます。	R/W

28.2.5 IICバス受信データレジスタ(ICDRR)

アドレス 0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7～b0	受信データを保管。 ICDRSレジスタが1バイトのデータを受信すると、ICDRRレジスタへ受信データが転送されて、次の受信が可能になります。	R

28.2.6　IICバス制御レジスタ1(ICCR1)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット3～0(注1)	b3 b2 b1 b0 0 0 0 0：f1/28 0 0 0 1：f1/40 0 0 1 0：f1/48 0 0 1 1：f1/64 0 1 0 0：f1/80 0 1 0 1：f1/100 0 1 1 0：f1/112 0 1 1 1：f1/128 1 0 0 0：f1/56 1 0 0 1：f1/80 1 0 1 0：f1/96 1 0 1 1：f1/128 1 1 0 0：f1/160 1 1 0 1：f1/200 1 1 1 0：f1/224 1 1 1 1：f1/256	R/W
b1	CKS1			R/W
b2	CKS2			R/W
b3	CKS3			R/W
b4	TRS	送信/受信選択ビット(注2、3、6)	b5 b4 0 0：スレーブ受信モード(注4) 0 1：スレーブ送信モード 1 0：マスタ受信モード 1 1：マスタ送信モード	R/W
b5	MST	マスタ/スレーブ選択ビット(注5、6)		R/W
b6	RCVD	受信禁止ビット	TRS=0 (受信モード)の状態でICDRRレジスタを読んだ後、 0：次の受信動作を継続 1：次の受信動作を禁止	R/W
b7	ICE	I^{2}Cバスインタフェース許可ビット(注7)	0：本モジュールは機能停止状態 　(SCL、SDA端子はポート機能) 1：本モジュールは転送動作可能状態 　(SCL、SDA端子はバス駆動状態)	R/W

注1.　マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表28.4　転送レート例(1)、表28.5　転送レート例(2)」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10Tcyc、CKS3=1のとき20Tcycとなります。(1Tcyc=1/f1(s))

注2.　TRSビットは転送フレーム間で書き換えてください。

注3.　スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”(送信モード)になります。

注4.　I^{2}Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5.　クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6.　マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注7.　I^{2}Cバスインタフェース動作中に、ICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「28.9　I^{2}Cバスインタフェース使用上の注意」を参照してください。

28.2.7 IICバス制御レジスタ2(ICCR2)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	IICRST	I2Cバス制御部リセットビット(注5)	I2Cバスの動作中に、通信不具合等によりハングアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I2Cバスの制御部をリセットします。	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b3	SCLO	SCLモニタフラグ	0：SCL端子は“L” 1：SCL端子は“H”	R
b4	SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時に“0”を書いてください。(注1) 読んだ場合、その値は“1”。	R/W
b5	SDAO	SDA出力値制御ビット	読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンスに変更する(外部プルアップ抵抗によって、“H”出力)。	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSYビットに書くとき、同時に“0”を書いてください。(注3) 読んだ場合、その値は“1”。“1”書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4、5)	読んだ場合 0：バスが開放状態(SCL信号が“H”の状態でSDA信号が“L”から“H”に変化) 1：バスが占有状態(SCL信号が“H”の状態でSDA信号が“H”から“L”に変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行	R/W

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。
注2. 転送動作中に書かないでください。
注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。
注4. クロック同期シリアルフォーマット時は無効です。
注5. I2Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはIICRSTビットに“1”を書くと、BBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「28.9 I2Cバスインタフェース使用上の注意」を参照してください。

28.2.8 IICバスモードレジスタ(ICMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	WAIT	—	—	BCWP	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ2～0	I2Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 0 0 0：9ビット(注3) 0 0 1：2ビット 0 1 0：3ビット 0 1 1：4ビット 1 0 0：5ビット 1 0 1：6ビット 1 1 0：7ビット 1 1 1：8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 0 0 0：8ビット 0 0 1：1ビット 0 1 0：2ビット 0 1 1：3ビット 1 0 0：4ビット 1 0 1：5ビット 1 1 0：6ビット 1 1 1：7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BCWP	BCライトプロテクトビット	BC0～BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4) 読んだ場合、その値は“1”。	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—	予約ビット	“0”にしてください	R/W
b6	WAIT	ウェイト挿入ビット(注5)	0：ウェイトなし(データとアクノリッジを連続して転送) 1：ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック“L”を延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0：MSBファーストでデータ転送(注6) 1：LSBファーストでデータ転送	R/W

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。
注2. BC0～BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。
注3. アクノリッジを含むデータ転送終了後、BC2～BC0ビットは自動的に“000b”になります。開始条件検出時、BC2～BC0ビットは自動的に“000b”になります。
注4. クロック同期式シリアルフォーマット時は書き換えないでください。
注5. I2Cバスフォーマットのマスタモード時に、設定値が有効です。I2Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。
注6. I2Cバスフォーマット時は、“0”にしてください。

28.2.9 IICバス割り込み許可レジスタ(ICIER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBT	送信アクノリッジ選択ビット	0：受信モード時、アクノリッジのタイミングで“0”を送出 1：受信モード時、アクノリッジのタイミングで“1”を送出	R/W
b1	ACKBR	受信アクノリッジビット	0：送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1：送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	R
b2	ACKE	アクノリッジビット判定選択ビット	0：受信アクノリッジの内容を無視して連続的に転送 1：受信アクノリッジが“1”の場合、転送中止	R/W
b3	STIE	停止条件検出割り込み許可ビット	0：停止条件検出割り込み要求禁止 1：停止条件検出割り込み要求許可(注2)	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0：NACK受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求禁止 1：NACK受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求許可(注1)	R/W
b5	RIE	受信割り込み許可ビット	0：受信データフルおよびオーバランエラー割り込み要求禁止 1：受信データフルおよびオーバランエラー割り込み要求許可(注1)	R/W
b6	TEIE	送信終了割り込み許可ビット	0：送信終了割り込み要求禁止 1：送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0：送信データエンプティ割り込み要求禁止 1：送信データエンプティ割り込み要求許可	R/W

注1.　オーバランエラー割り込み要求はクロック同期フォーマット時です。
注2.　ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

28.2.10 IICバスステータスレジスタ(ICSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
リセット後の値	0	0	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1”になります	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	AL	アービトレーションロストフラグ/オーバランエラーフラグ(注1)	I2Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります(注3) • マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき • マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに“1”になります • RDRFビットが“1”の状態で、次のデータの最終ビットを受信したとき	R/W
b3	STOP	停止条件検出フラグ(注1、7)	フレームの転送の完了後に停止条件を検出したとき、“1”になります	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、“1”になります	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I2Cバスフォーマットの場合、TDREビットが“1”の状態でSCL信号の9クロック目が立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに“1”になります。 • ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき • ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき • 開始条件(再送含む)を発行したとき • スレーブ受信モードからスレーブ送信モードに変わったとき	R/W

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。
注2. I2Cバスフォーマットのスレーブ受信モードのとき有効です。
注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I2CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。
注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)のとき有効です。
注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。
注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。
ICDRTレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。
注7. I2Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとSTOPビットが不定になる場合があります。「28.9 I2Cバスインタフェース使用上の注意」を参照してください。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

28.2.11 スレーブアドレスレジスタ(SAR)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	フォーマット選択ビット	0：I2Cバスフォーマット 1：クロック同期式シリアルフォーマット	R/W
b1	SVA0	スレーブアドレス6～0	I2Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I2Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0～SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

28.2.12 IICバスシフトレジスタ(ICDRS)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—

ビット	機能	R/W
b7～b0	データを送受信するシフトレジスタ。 送信時はICRDTレジスタから送信データがICDRSレジスタに転送され、データがSDA端子から送出されます。 受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。	—

28.3 複数モードに関わる共通事項

28.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”(スレーブモード)のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”(マスタモード)のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表28.4、表28.5に転送レート例を示します。

表28.4 転送レート例(1)

PINSRレジスタ		ICCR1レジスタ				転送クロック	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
					1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
				1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
					1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
			1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
					1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
				1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
		1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
					1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
				1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
			1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
					1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
				1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
					1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

表 28.5　転送レート例(2)

PINSRレジスタ		ICCR1レジスタ				転送クロック	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	1	0	0	0	0	f1/28	358kHz	572kHz	714kHz	1142kHz	1428kHz
					1	f1/40	250kHz	400kHz	500kHz	800kHz	1000kHz
				1	0	f1/48	208kHz	334kHz	416kHz	666kHz	834kHz
					1	f1/64	156kHz	250kHz	312kHz	500kHz	626kHz
			1	0	0	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz
					1	f1/100	100kHz	160kHz	200kHz	320kHz	400kHz
				1	0	f1/112	89kHz	143kHz	179kHz	286kHz	358kHz
					1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz
		1	0	0	0	f1/56	179kHz	286kHz	358kHz	572kHz	714kHz
					1	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz
				1	0	f1/96	104kHz	167kHz	208kHz	334kHz	416kHz
					1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz
			1	0	0	f1/160	63kHz	100kHz	125kHz	200kHz	250kHz
					1	f1/200	50kHz	80kHz	100kHz	160kHz	200kHz
				1	0	f1/224	45kHz	71kHz	89kHz	143kHz	179kHz
					1	f1/256	39kHz	63kHz	78kHz	125kHz	156kHz
1	0	0	0	0	0	f1/28	90kHz	143kHz	179kHz	286kHz	357kHz
					1	f1/40	63kHz	100kHz	125kHz	200kHz	250kHz
				1	0	f1/48	52kHz	84kHz	104kHz	167kHz	209kHz
					1	f1/64	39kHz	63kHz	78kHz	125kHz	157kHz
			1	0	0	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz
					1	f1/100	25kHz	40kHz	50kHz	80kHz	100kHz
				1	0	f1/112	22kHz	36kHz	45kHz	72kHz	90kHz
					1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz
		1	0	0	0	f1/56	45kHz	72kHz	90kHz	143kHz	179kHz
					1	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz
				1	0	f1/96	26kHz	42kHz	52kHz	84kHz	104kHz
					1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz
			1	0	0	f1/160	16kHz	25kHz	31kHz	50kHz	63kHz
					1	f1/200	13kHz	20kHz	25kHz	40kHz	50kHz
				1	0	f1/224	11kHz	18kHz	22kHz	36kHz	45kHz
					1	f1/256	10kHz	16kHz	20kHz	31kHz	39kHz

28.3.2 SDA端子デジタル遅延選択

PINSR レジスタの SDADLY0 ～ SDADLY1 ビットで、SDA 端子のデジタル遅延値を選択できます。図 28.3にSDA端子のデジタル遅延の動作例を示します。

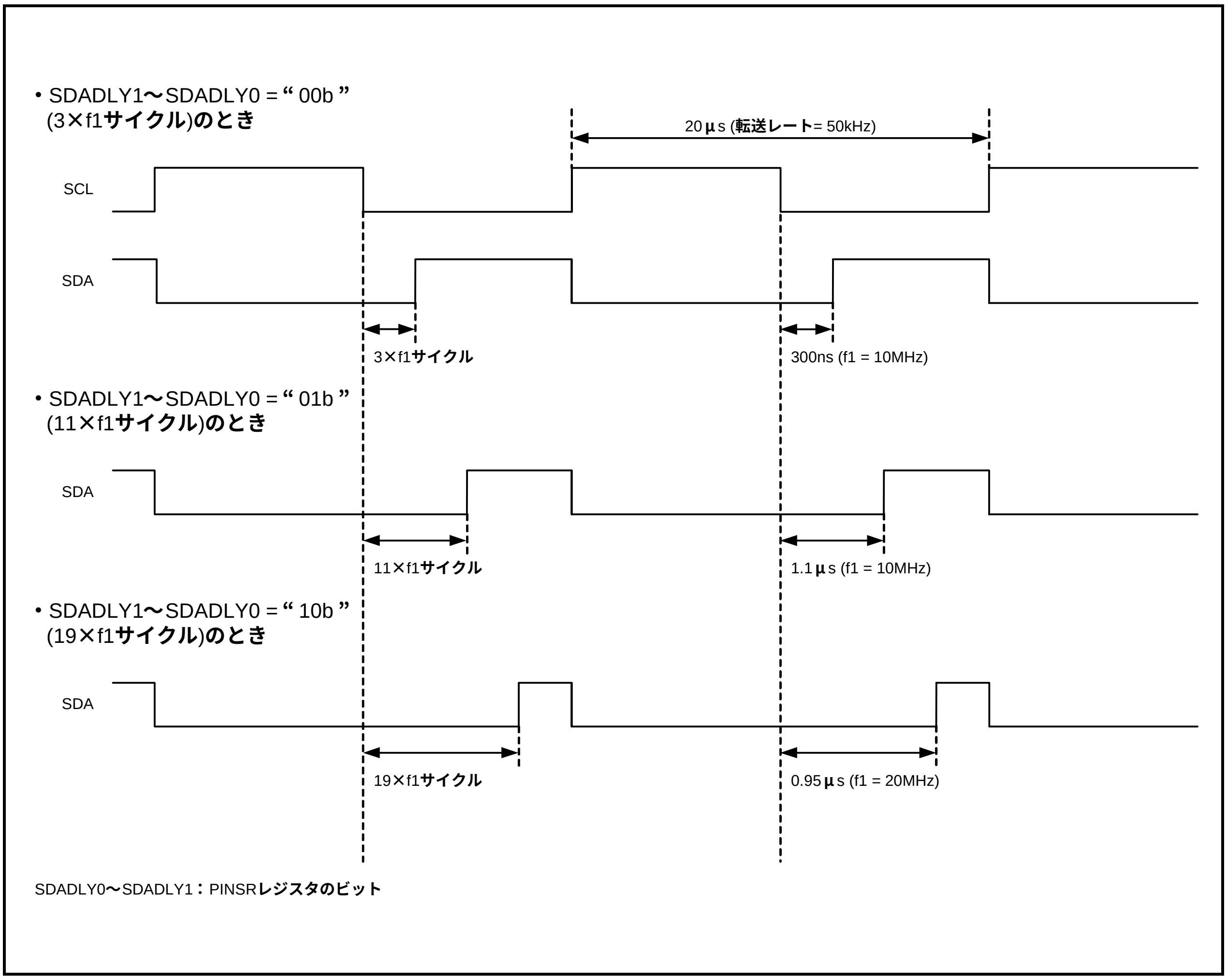


図 28.3　SDA端子のデジタル遅延の動作例

28.3.3　割り込み要求

I^{2}Cバスインタフェースの割り込み要求は、I^{2}Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表28.6にI^{2}Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI^{2}Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表28.6　I^{2}Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I^{2}C バス	クロック同期式シリアル
送信データエンプティ	TXI	TIE=1 かつ TDRE=1	有効	有効
送信終了	TEI	TEIE=1 かつ TEND=1	有効	有効
受信データフル	RXI	RIE=1 かつ RDRF=1	有効	有効
停止条件検出	STPI	STIE=1 かつ STOP=1	有効	無効
NACK 検出	NAKI	NAKIE=1 かつ AL=1 (または NAKIE=1 かつ NACKF=1)	有効	無効
アービトレーションロスト / オーバランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE：ICIERレジスタのビット
AL、STOP、NACKF、RDRF、TEND、TDRE：ICSRレジスタのビット

表28.6の発生条件が満たされたとき、I^{2}Cバスインタフェース割り込み要求が発生します。I^{2}Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1”(停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

28.4　I2Cバスインタフェースモード

28.4.1　I2Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I2Cバスフォーマットで通信します。

図28.4にI2Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

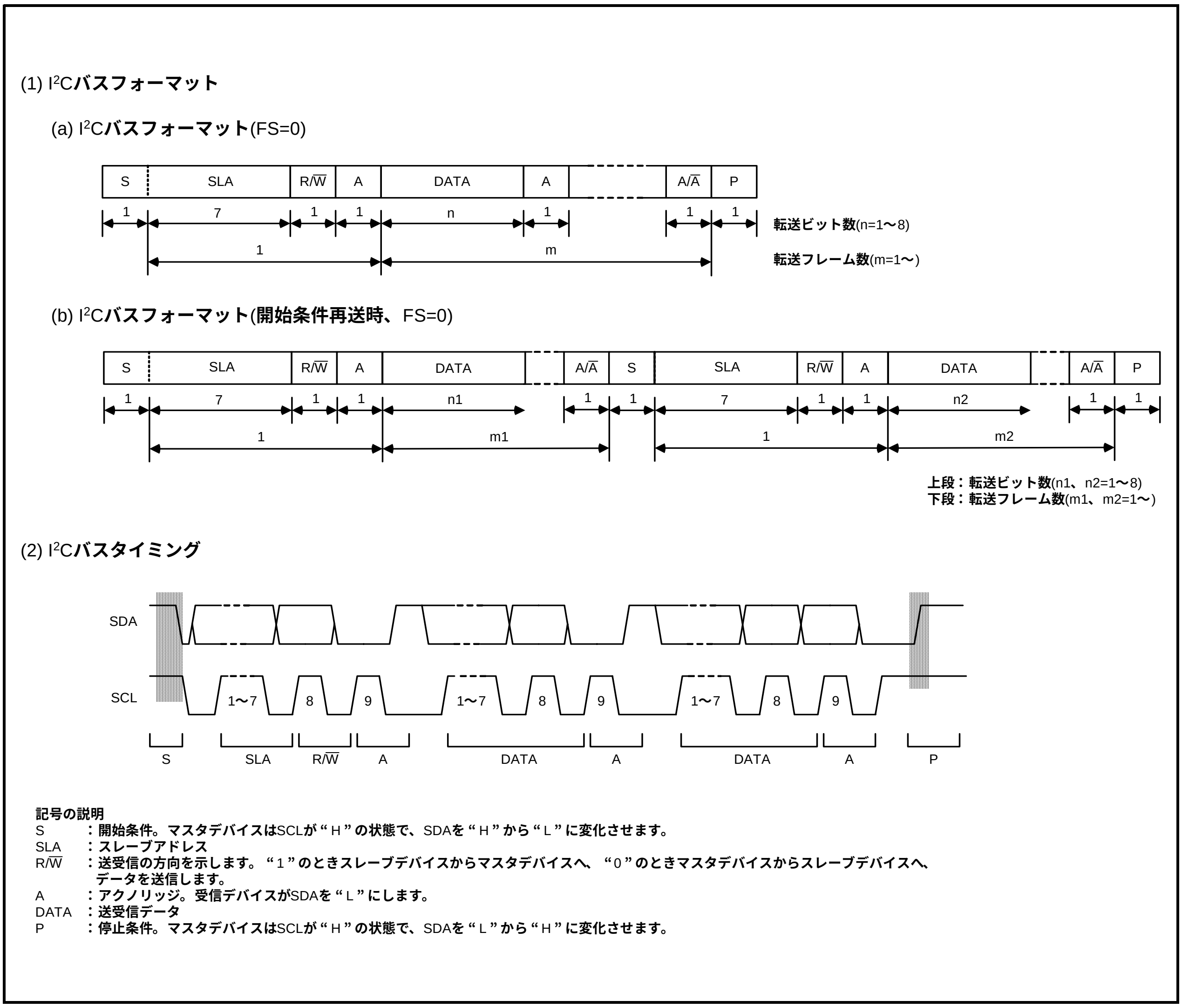


図 28.4　I2Cバスフォーマットとバスタイミング

28.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 28.5、図 28.6 にマスタ送信モードの動作タイミング (I²C バスインタフェースモード) を示します。

以下にマスタ送信モードの送信手順と動作を示します。

(1) ICSR レジスタの STOP ビットを初期化するために “ 0 ” にしてください。その後、ICCR1 レジスタの ICE ビットを “ 1 ” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 〜 CKS3 ビットなどを設定してください (初期設定)。
(2) ICCR2 レジスタの BBSY ビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタの TRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY=1 と SCP=0 を MOV 命令で書いてください (開始条件発行)。これにより開始条件を生成します。
(3) ICSR レジスタの TDRE ビットが “ 1 ” であることを確認した後、ICDRT レジスタに送信データ (1 バイト目はスレーブアドレスと R/$\overline{W}$ を示すデータ) を書いてください。このとき TDRE ビットは自動的に “ 0 ” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE ビットが “ 1 ” になります。
(4) TDRE ビットが “ 1 ” の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR レジスタの TEND ビットが “ 1 ” になります。ICIER レジスタの ACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを ICDRT レジスタに書いてください。ACKBR ビットが “ 1 ” のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0 と SCP=0 を MOV 命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が “ L ” に固定されます。
(5) 2 バイト目以降の送信データは、TDRE ビットが “ 1 ” になるたびに、ICDRT レジスタにデータを書いてください。
(6) 送信するバイト数を ICDRT レジスタに書いたとき、その後は TDRE ビットが “ 1 ” の状態で TEND ビットが “ 1 ” になるまで待ってください。または、ICIER レジスタの ACKE ビットが “ 1 ” (受信アクノリッジが “ 1 ” の場合、転送中止) の状態で、受信デバイスからの NACK(ICSR レジスタの NACKF=1) を待ってください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを “ 0 ” にしてください。
(7) ICSR レジスタの STOP ビットが “ 1 ” になったとき、スレーブ受信モードに戻してください。

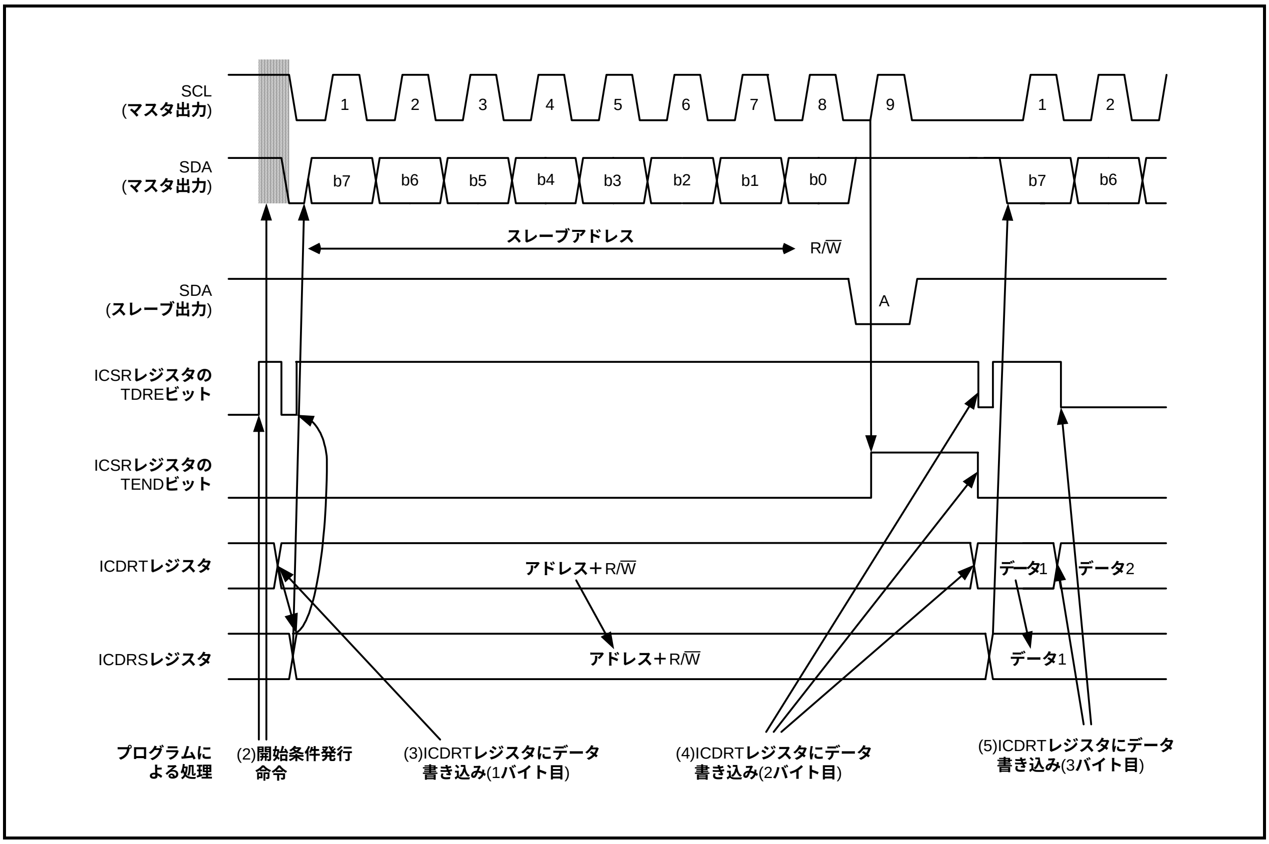


図 28.5　マスタ送信モードの動作タイミング(I2Cバスインタフェースモード)(1)

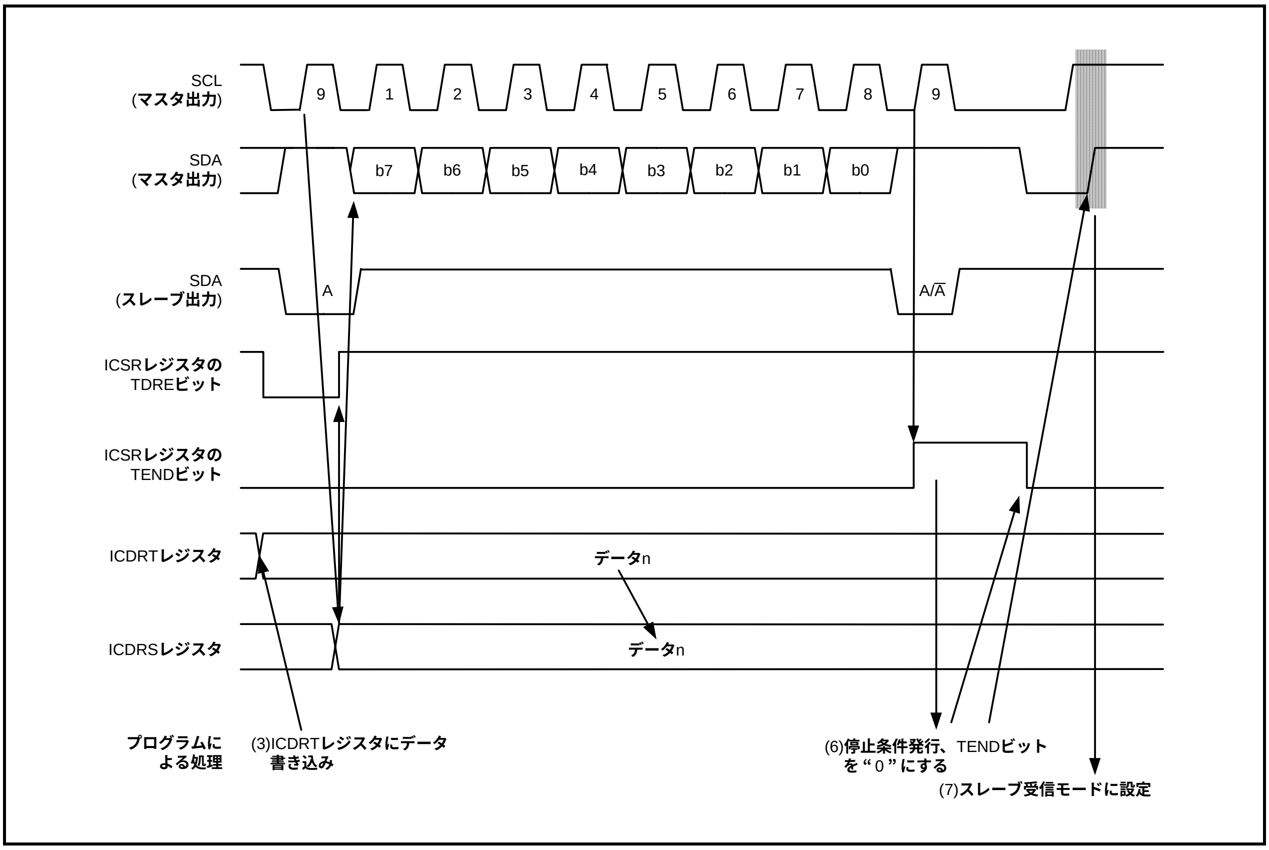


図 28.6　マスタ送信モードの動作タイミング(I2Cバスインタフェースモード)(2)

28.4.3　マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。、図28.7、図28.8にマスタ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

(1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
(2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
(3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
(4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
(5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
(6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。なお、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりと重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。「28.9 I²Cバスインタフェース使用上の注意」を参照してください。
(7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
(8) スレーブ受信モードに戻してください。

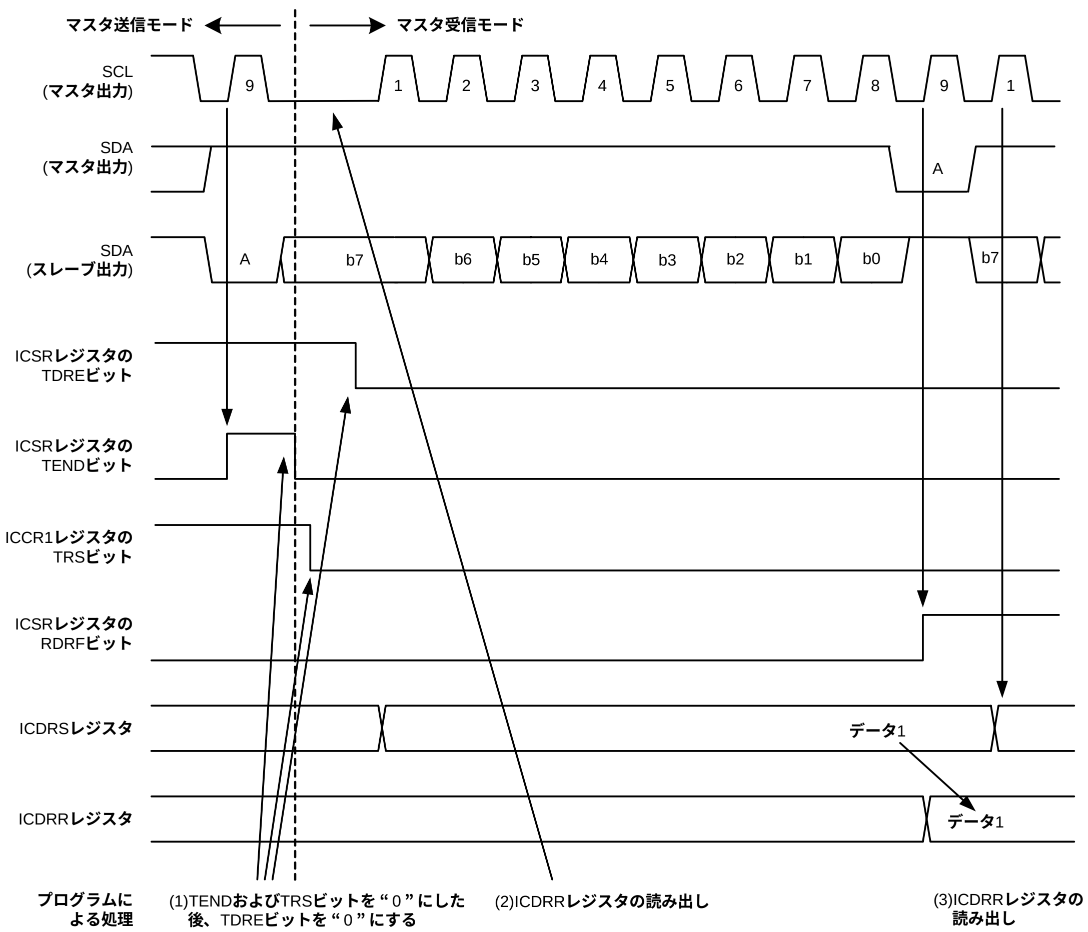


図 28.7　マスタ受信モードの動作タイミング(I2Cバスインタフェースモード)(1)

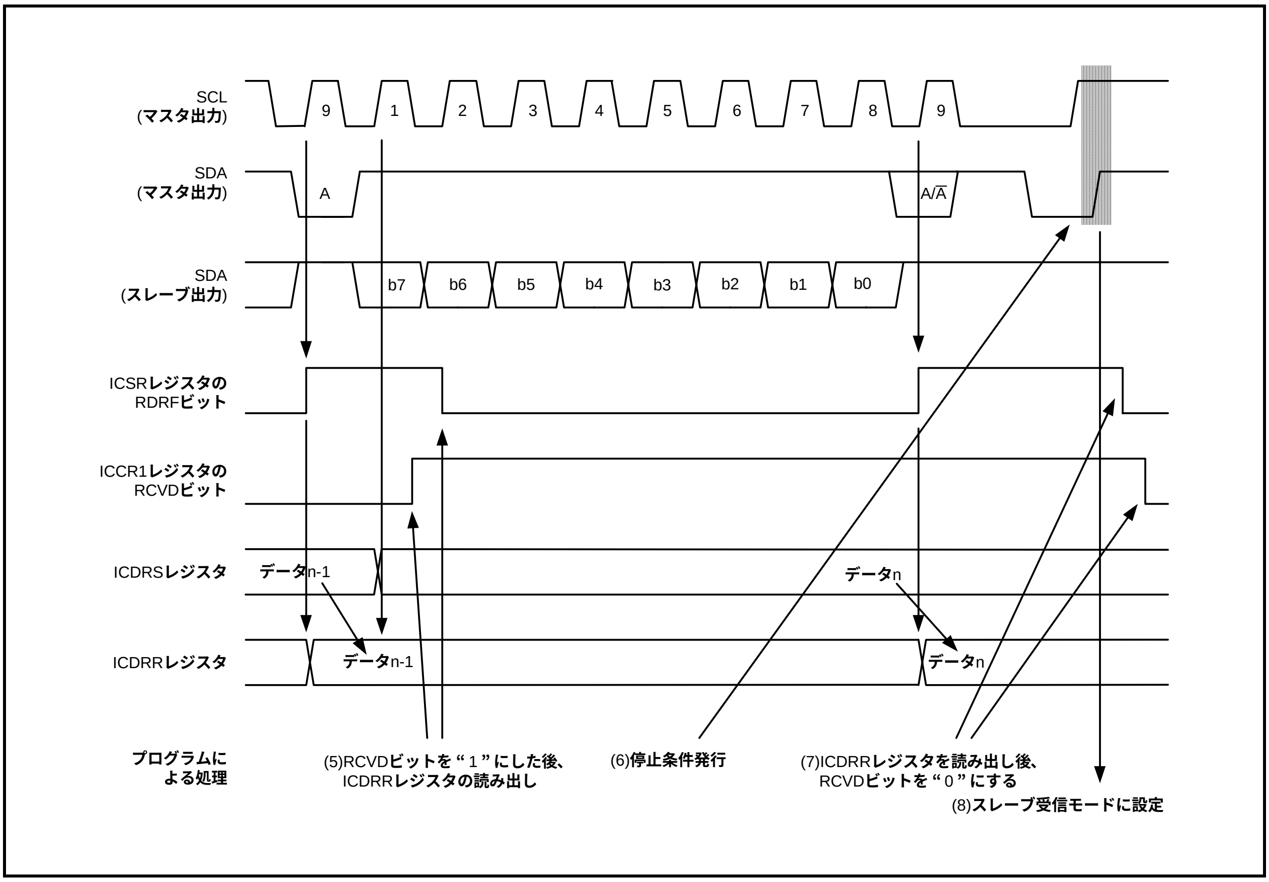


図 28.8　マスタ受信モードの動作タイミング(I2Cバスインタフェースモード)(2)

28.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 28.9、図 28.10 にスレーブ送信モードの動作タイミング (I2Cバスインタフェースモード) を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

(1) ICCR1 レジスタの ICE ビットを "1" (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ～ CKS3 ビットなどを設定してください (初期設定)。次に ICCR1 レジスタの TRS、MST ビットを "0" にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。

(2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。このとき、8 ビット目のデータ (R/$\overline{\text{W}}$) が "1" のとき、TRS ビットおよび ICSR レジスタの TDRE ビットが "1" になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが "1" になるたびに ICDRT レジスタに送信データを書くと、連続送信が可能です。

(3) 最終送信データを ICDRT レジスタに書いた後に TDRE ビットが "1" になったとき、TDRE ビットが "1" の状態で ICSR レジスタの TEND ビットが "1" になるまで待ってください。TEND ビットが "1" になったら、TEND ビットを "0" にしてください。

(4) 終了処理のため TRS ビットを "0" にし、ICDRR レジスタをダミーリードしてください。これにより SCL が開放されます。

(5) TDRE ビットを "0" にしてください。

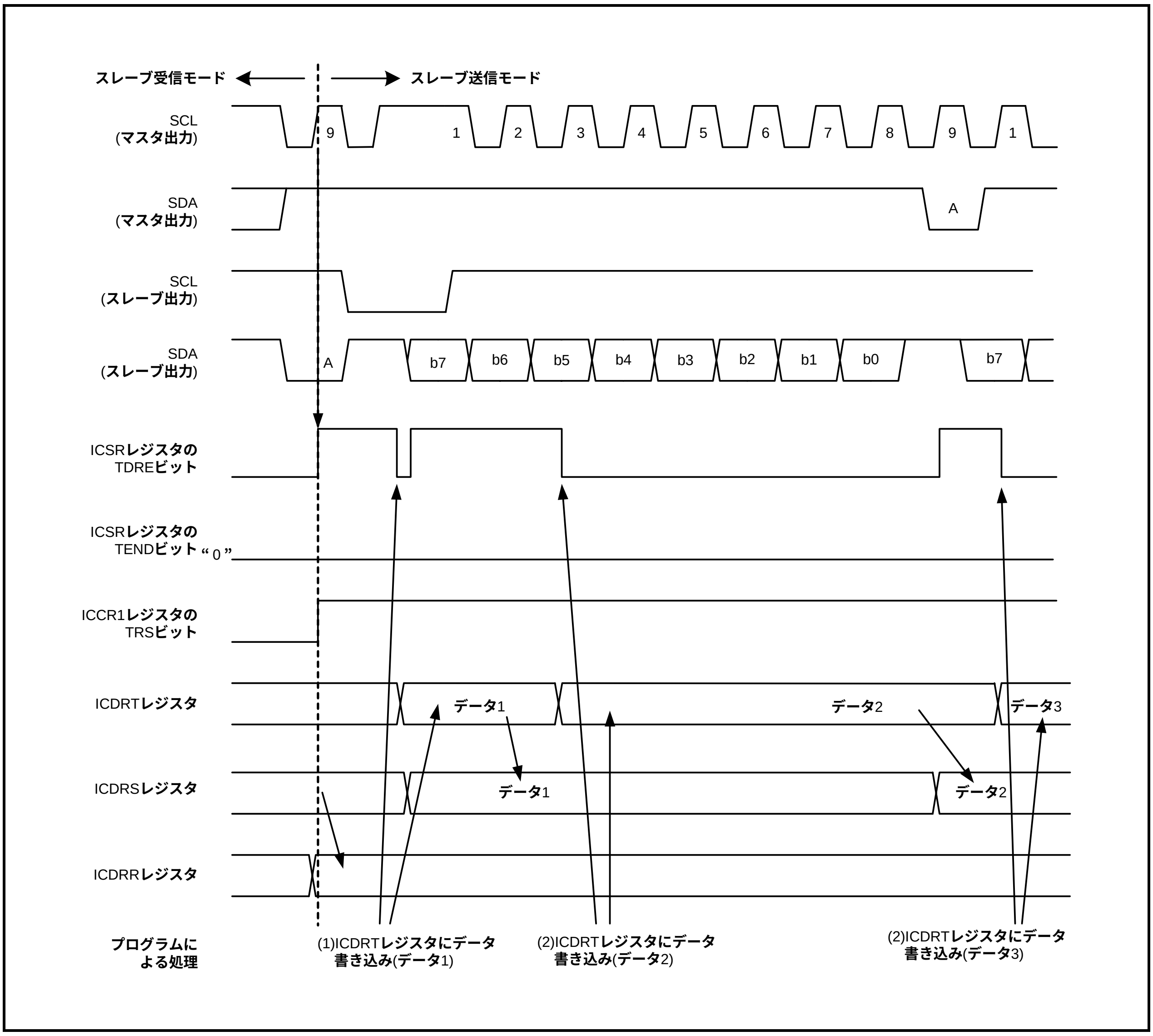


図 28.9　スレーブ送信モードの動作タイミング(I2Cバスインタフェースモード)(1)

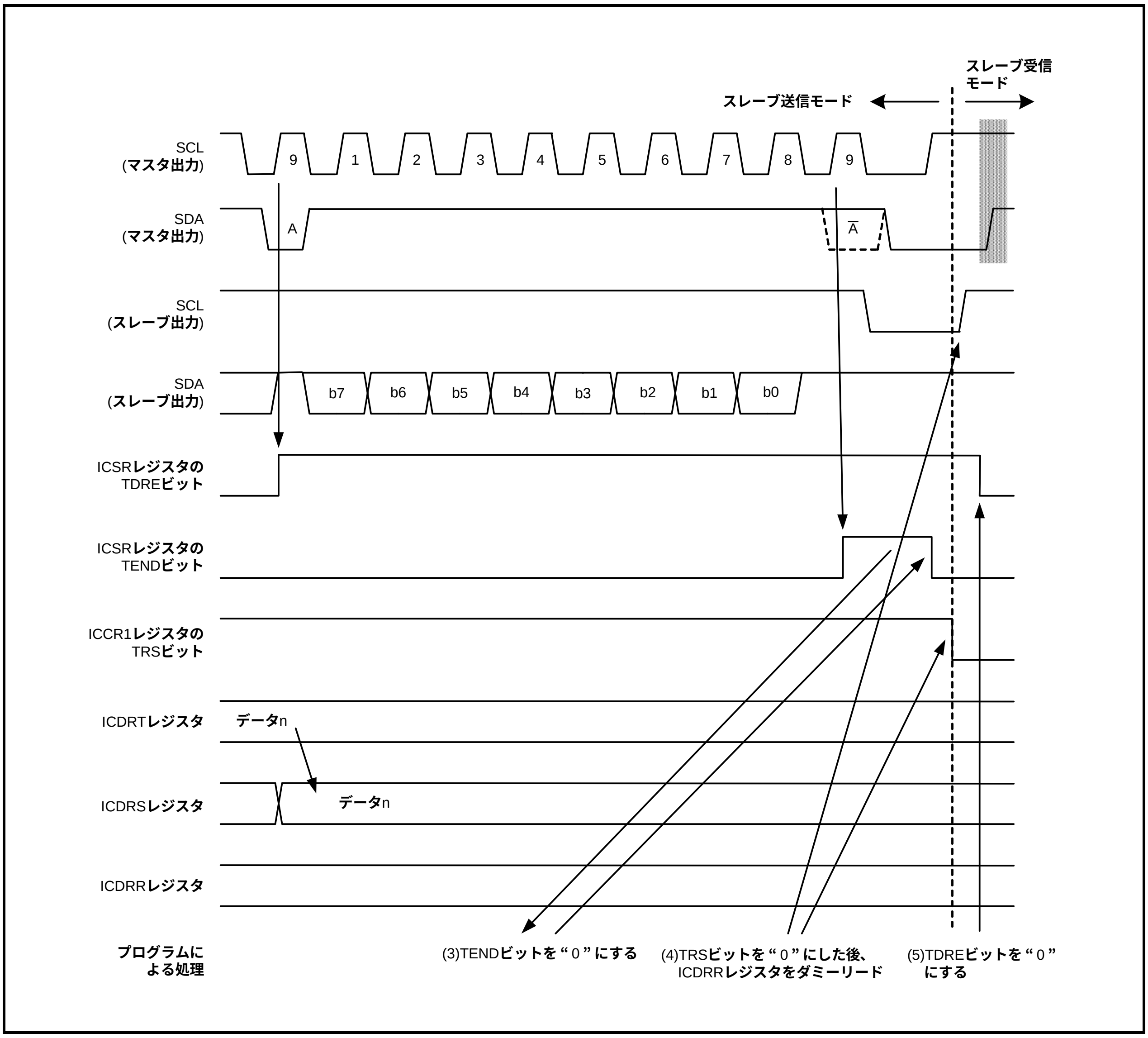


図 28.10 スレーブ送信モードの動作タイミング(I2Cバスインタフェースモード)(2)

28.4.5　スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 28.11、図 28.12 にスレーブ受信モードの動作タイミング (I2C バスインタフェースモード) を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

(1) ICCR1 レジスタの ICE ビットを“1”(転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ～ CKS3 ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。

(2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。同時に ICSR レジスタの RDRF ビットが“1”になりますので、ICDRR レジスタをダミーリード (読み出したデータはスレーブアドレス＋ $R/\overline{W}$ を示すので不要) してください。

(3) RDRF ビットが“1”になるたびに、ICDRR レジスタを読んでください。RDRF ビットが“1”の状態で8クロック目が立ち下がると、ICDRRレジスタを読むまでSCLが“L”に固定されます。ICDRR レジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。

(4) 最終バイトの読み出しも、同様にICDRRレジスタを読むことで行います。

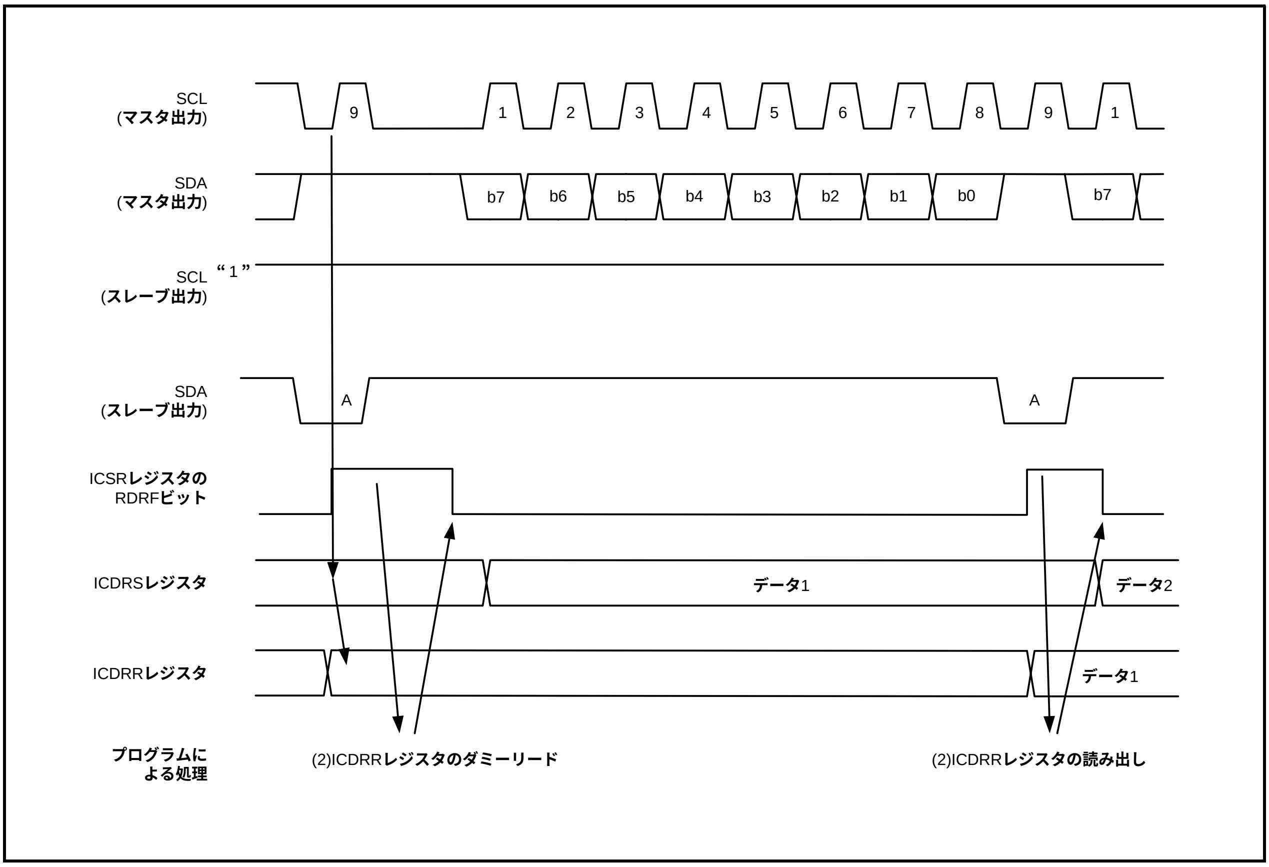


図 28.11 スレーブ受信モードの動作タイミング(I2Cバスインタフェースモード)(1)

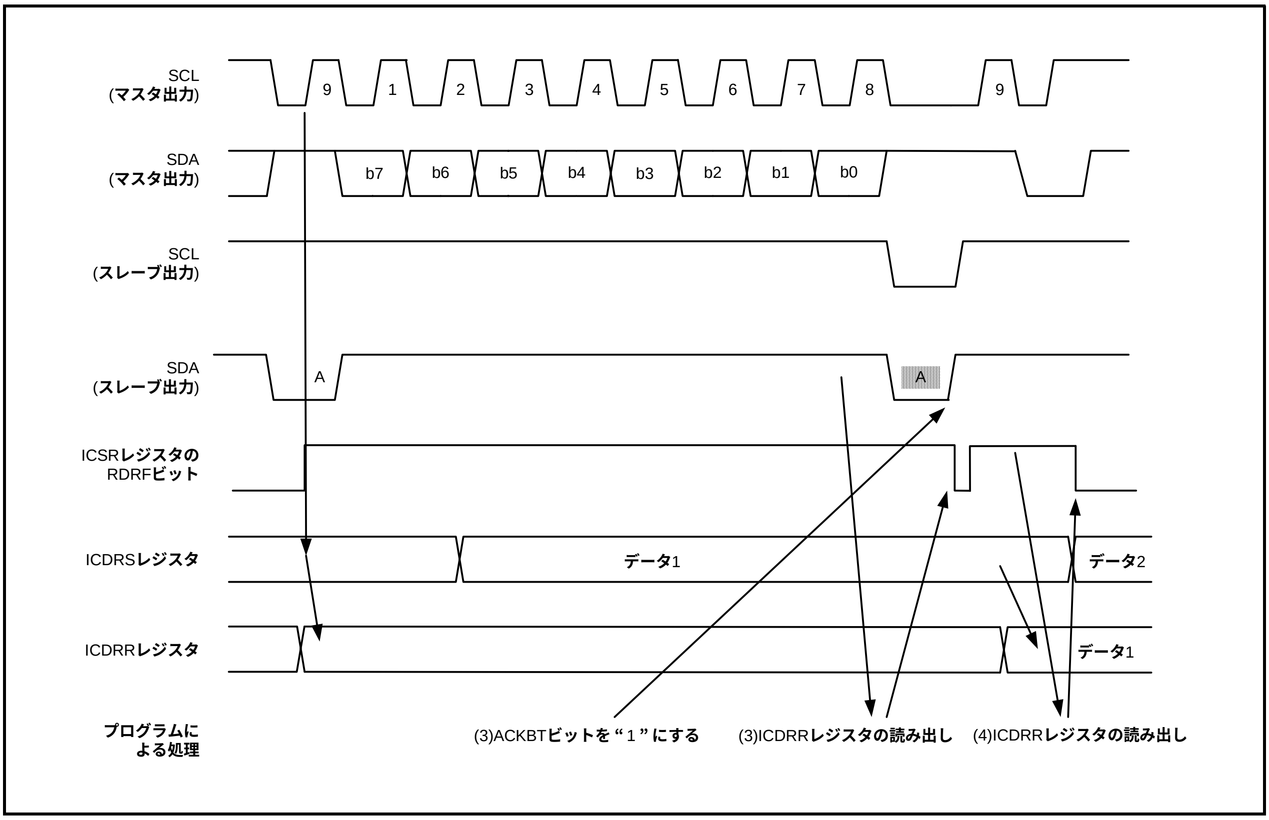


図 28.12 スレーブ受信モードの動作タイミング(I2Cバスインタフェースモード)(2)

28.5 クロック同期式シリアルモード

28.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。図28.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”(マスタモード)のときSCLから転送クロック出力となり、MSTビットが“0”(スレーブモード)のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

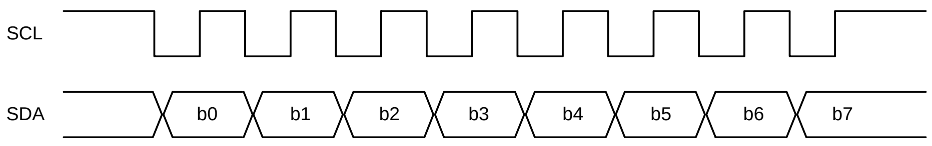


図 28.13 クロック同期式シリアルフォーマットの転送フォーマット

28.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”(マスタモード)のとき出力、MSTビットが“0”(スレーブモード)のとき入力となります。

図28.14に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

(1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。

(2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。

(3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書いてください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態でTRSビットを“0”にしてください。

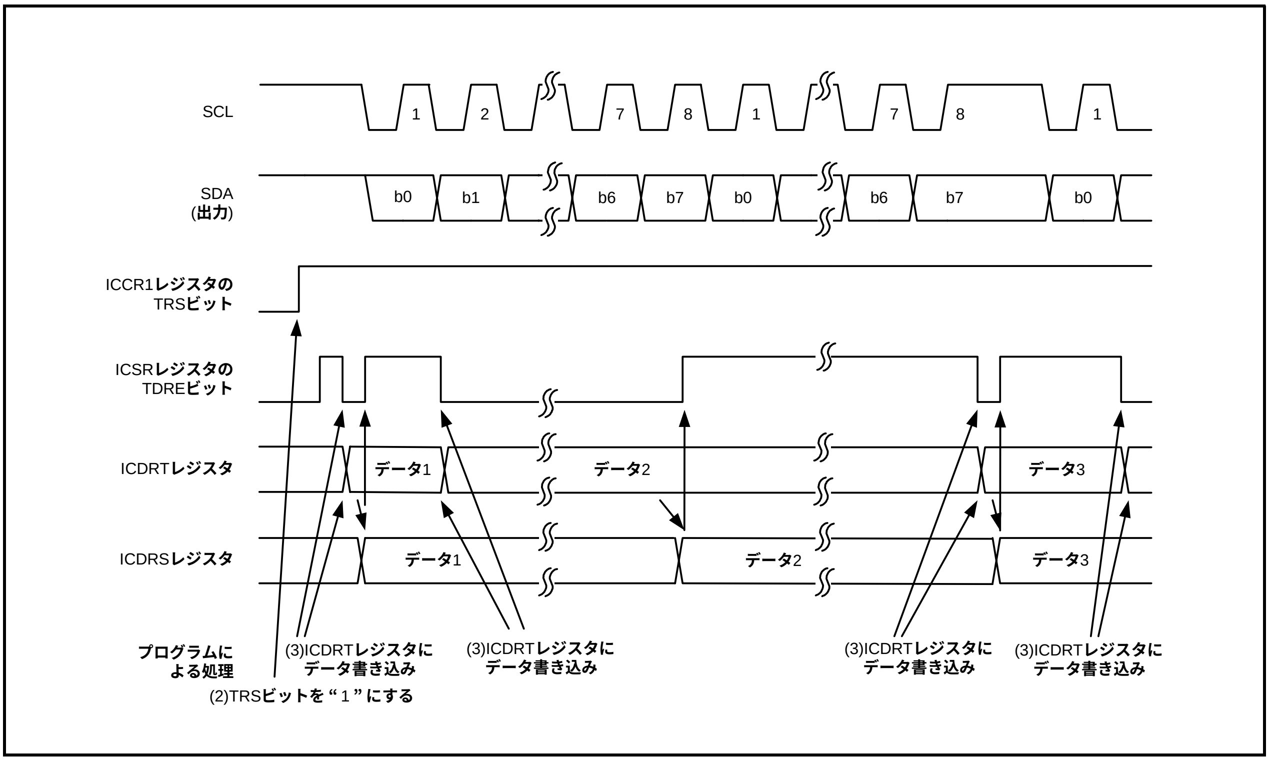


図 28.14 送信モードの動作タイミング(クロック同期式シリアルモード)

28.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”(マスタモード)のとき出力、MSTビットが“0”(スレーブモード)のとき入力となります。

図28.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

(1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。

(2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。

(3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態で8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。

(4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

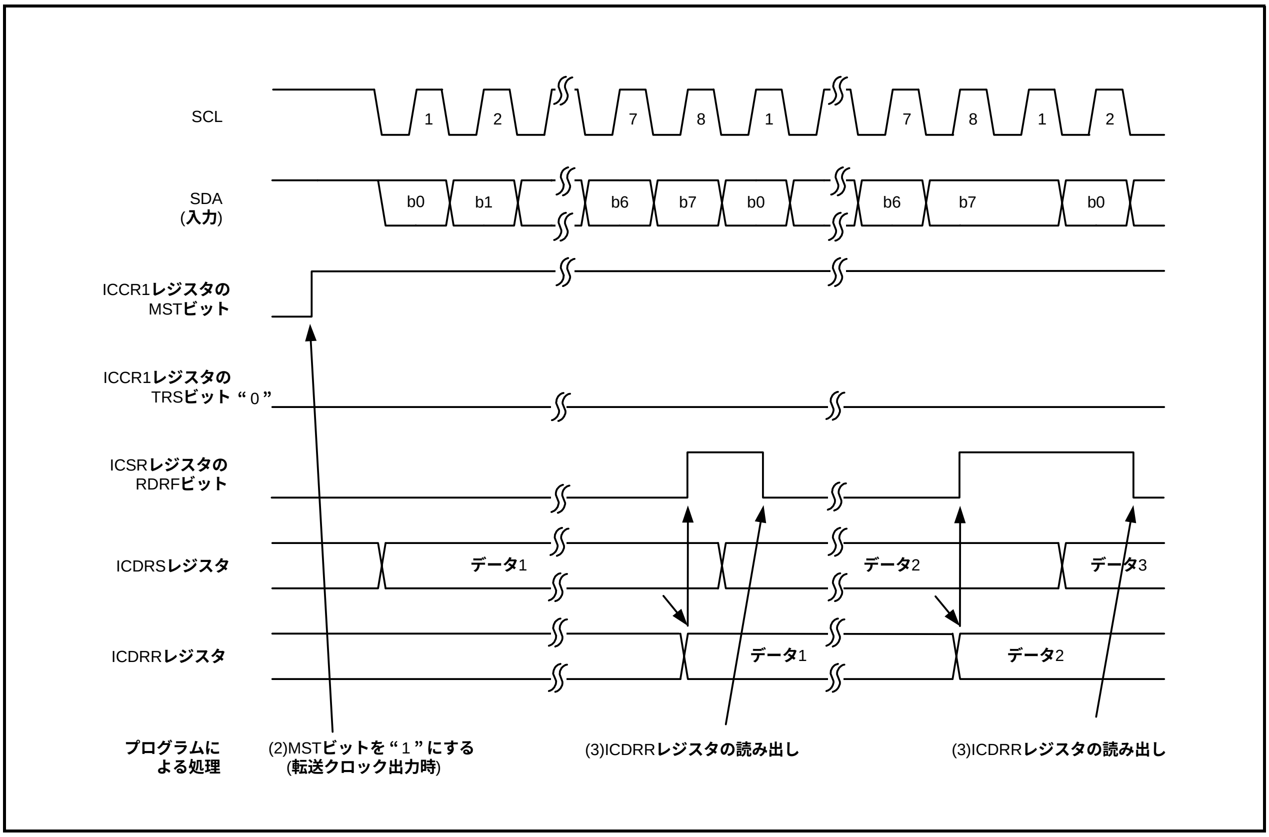


図28.15 受信モードの動作タイミング(クロック同期式シリアルモード)

28.6 レジスタ設定例

I2Cバスインタフェースを使用する場合のレジスタ設定例を図 28.16～図 28.19に示します。

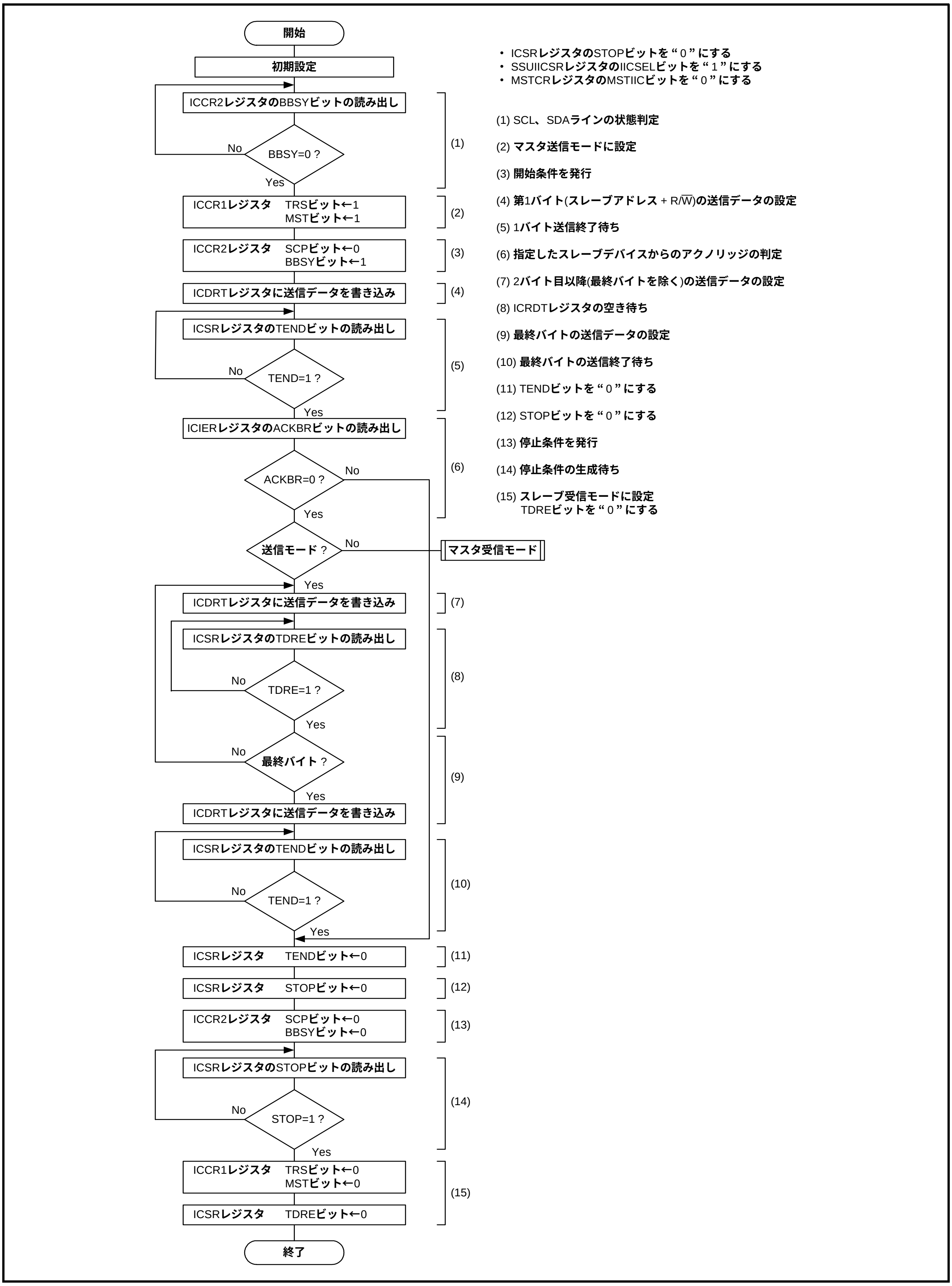
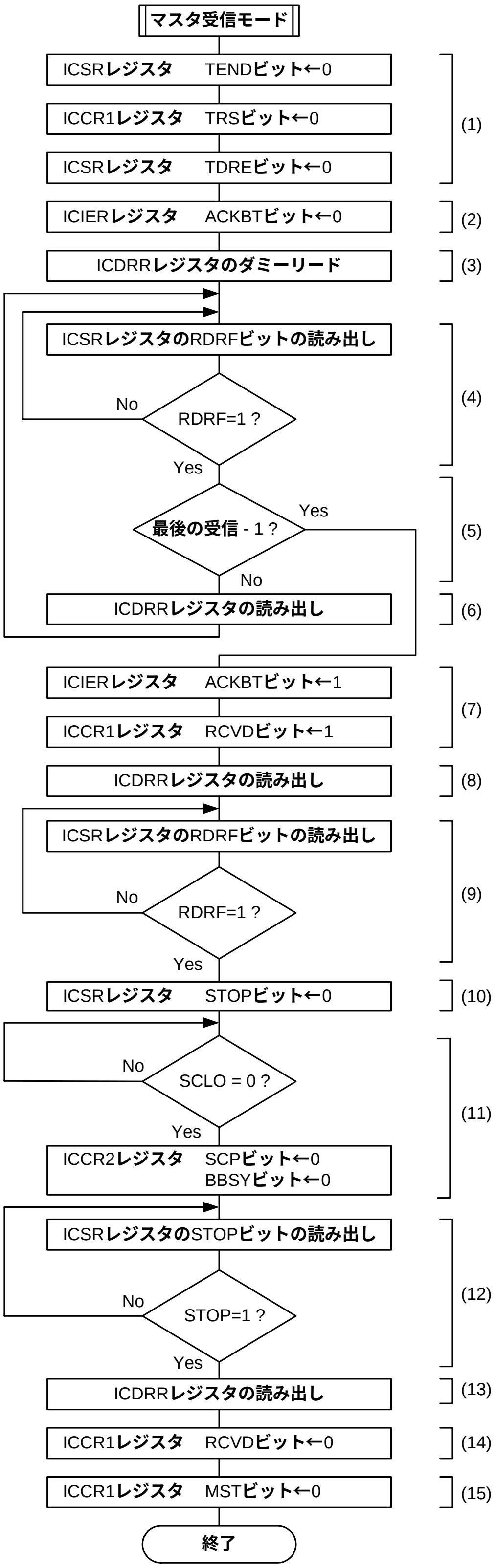


図 28.16 マスタ送信モードのレジスタ設定例(I2Cバスインタフェースモード)



(1) TENDビットを“0”にする。マスタ受信モードに設定。
その後TDREビットを“0”にする。(注1、2)

(2) 送信デバイスへのアクノリッジを設定 (注1)

(3) ICDRRレジスタのダミーリード (注1)

(4) 1バイト受信完了待ち

(5) (最後の受信 - 1)の判定

(6) 受信データの読み出し

(7) 最終バイトのアクノリッジを設定、連続受信の禁止
(RCVD=1)に設定 (注2)

(8) (最終バイト - 1)の受信データの読み出し

(9) 最終バイトの受信完了待ち

(10) STOPビットを“0”にする

(11) 停止条件を発行 (注3)

(12) 停止条件の生成待ち

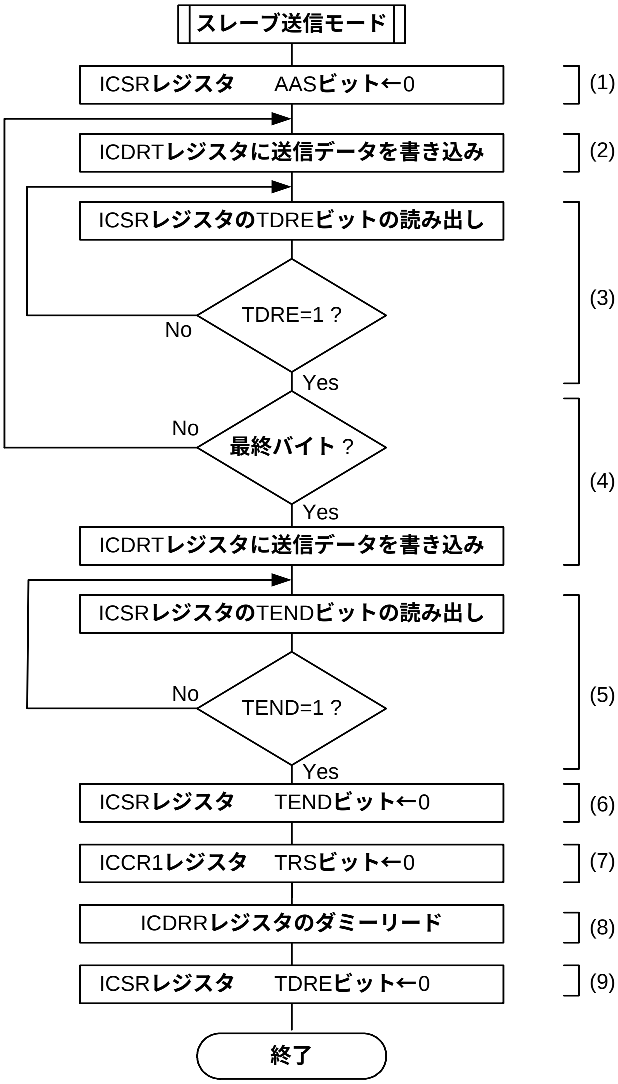
(13) 最終バイトの受信データの読み出し

(14) RCVDビットを“0”にする

(15) スレーブ受信モードに設定

注1.　(1)〜(3)の処理中に割り込みが入らないようにしてください。
注2.　1バイト受信の場合は、(1)の後、(2)〜(6)を省略して(7)の処理へジャンプしてください。
(8)の処理はICDRRレジスタのダミーリードになります。
注3.　SCLOの9クロック目の立ち下がりを確認してから、停止条件を発行してください。「28.9.1　マスタ受信モード」を参照してください。

図 28.17 マスタ受信モードのレジスタ設定例(I2Cバスインタフェースモード)



(1) AASビットを“0”にする

(2) 送信データの設定(最終バイトを除く)

(3) ICRDTレジスタの空き待ち

(4) 最終バイトの送信データの設定

(5) 最終バイトの送信終了待ち

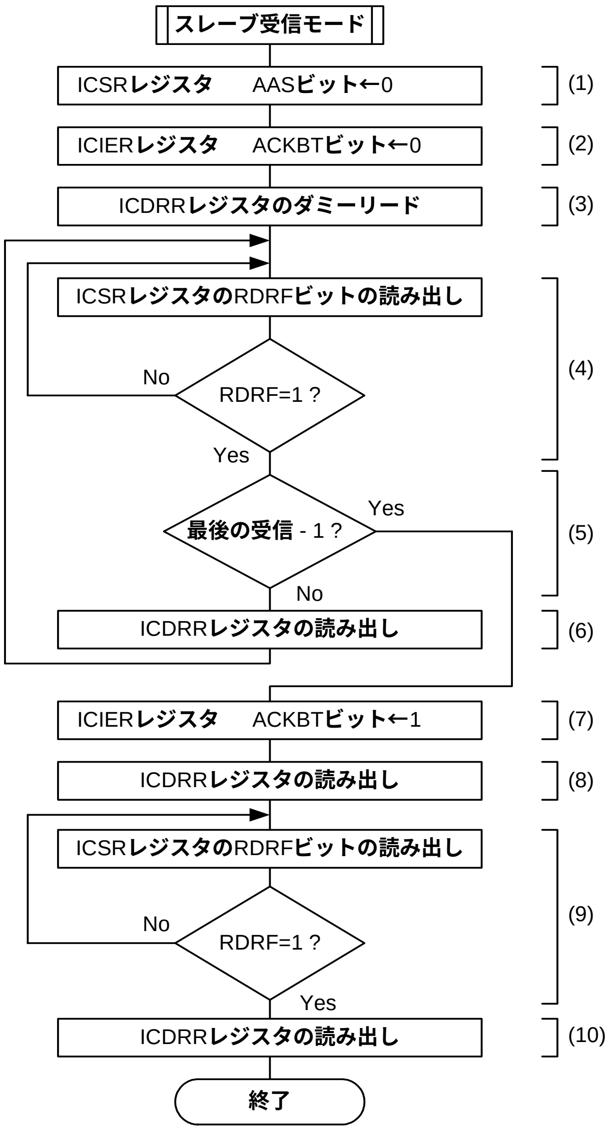
(6) TENDビットを“0”にする

(7) スレーブ受信モードに設定

(8) SCLを開放するため、ICDRRレジスタのダミーリード

(9) TDREビットを“0”にする

図 28.18 スレーブ送信モードのレジスタ設定例(I2Cバスインタフェースモード)



(1) AASビットを“0”にする (注1)

(2) 送信デバイスへのアクノリッジを設定

(3) ICDRRレジスタのダミーリード

(4) 1バイト受信完了待ち

(5) (最後の受信 - 1)の判定

(6) 受信データの読み出し

(7) 最終バイトのアクノリッジを設定 (注1)

(8) (最終バイト - 1)の受信データの読み出し

(9) 最終バイトの受信完了待ち

(10) 最終バイトの受信データの読み出し

注1．1バイト受信の場合は、(1)の後、(2)〜(6)を省略して(7)の処理へジャンプしてください。
(8)の処理はICDRRレジスタのダミーリードになります。

図 28.19 スレーブ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

28.7 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図28.20にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)がf1でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

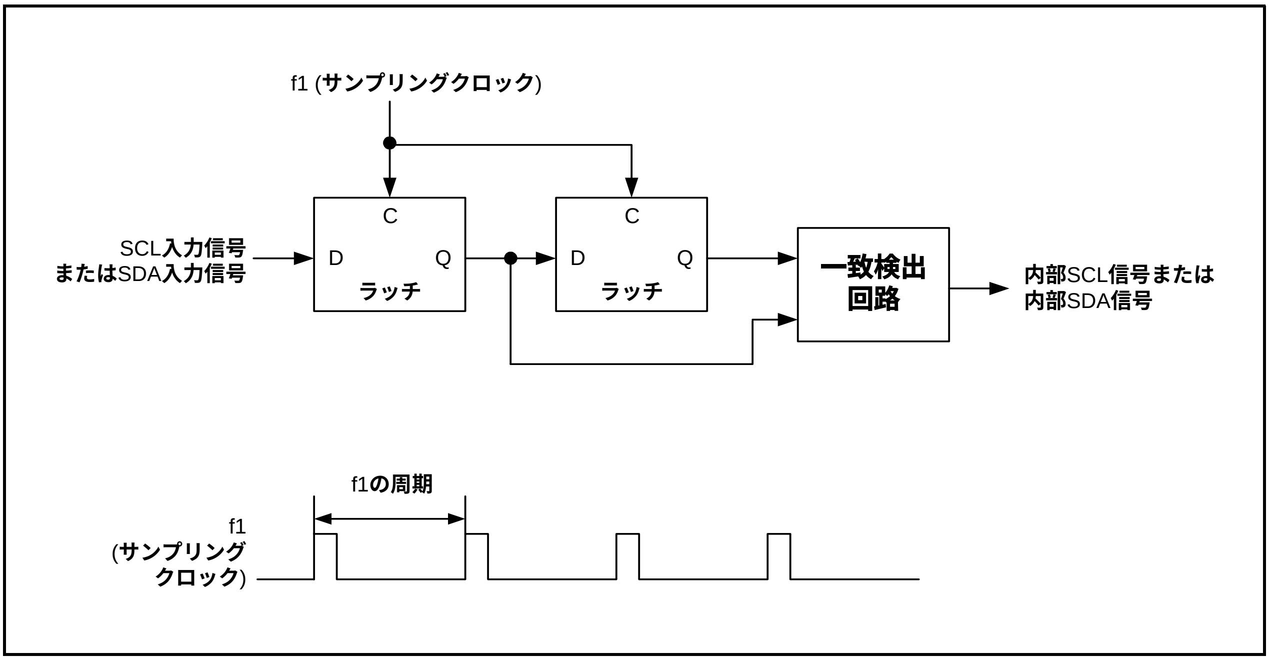


図28.20 ノイズ除去回路のブロック図

28.8 ビット同期回路

I2Cバスインタフェースをマスタモードに設定時、

• スレーブデバイスによりSCLが“L”に保持された場合

• SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合

の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図28.21にビット同期回路のタイミングを、表28.7にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

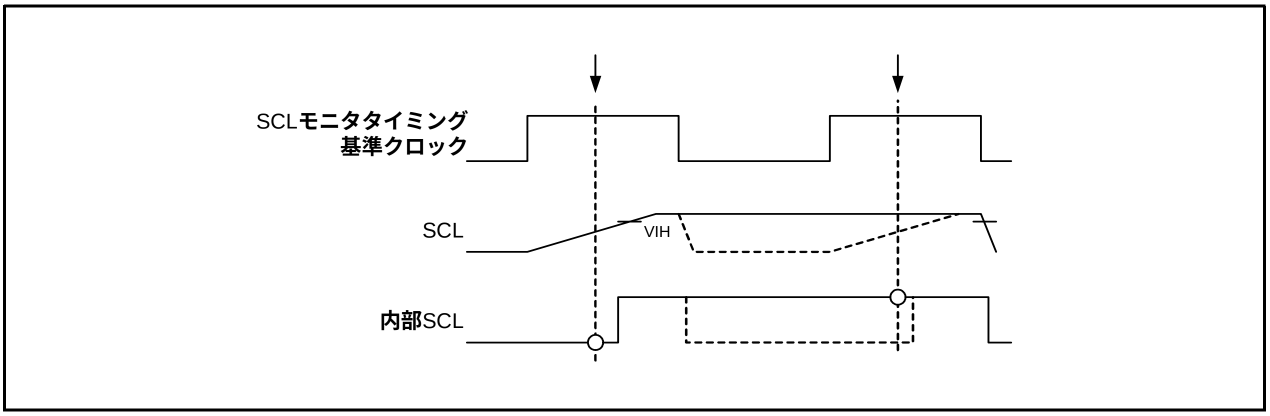


図 28.21 ビット同期回路のタイミング

表 28.7 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1 レジスタ		SCL をモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1(s)

28.9 I2Cバスインタフェース使用上の注意

I2Cバスインタフェースを使用する場合には、SSUIICSRレジスタのIICSELビットを“1”(I2Cバスインタフェース機能を選択)にしてください。

28.9.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりと重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

28.9.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がりは、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

28.9.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRST ビット

I2Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

28.9.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI2Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI2Cのバスを占有しているとき。
- スレーブ送信モード(MST　ビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

28.9.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態で、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDA　が“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

28.9.2.3　IICRST ビットの補足説明

- IICRSTビットに"1"を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは"1"になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRST　ビットに"1"を書くと、ICSRレジスタのTDREビットは"1"になります。
- IICRSTビットによるI^{2}Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに"0"を書いてください。
- IICRSTビットに"1"を書いても、BBSYビットは"0"になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが"H"のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが"0"になる場合があります。
  同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI^{2}Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

29. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

29.1 概要

ハードウェアLINには、以下の特長があります。
図29.1にハードウェアLINのブロック図を示します。
各モードでのWake Up機能は$\overline{\text{INT1}}$より検出します。

【マスタモード】
- Synch Break発生
- バス衝突検出

【スレーブモード】
- Synch Break検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART0入力制御機能
- バス衝突検出

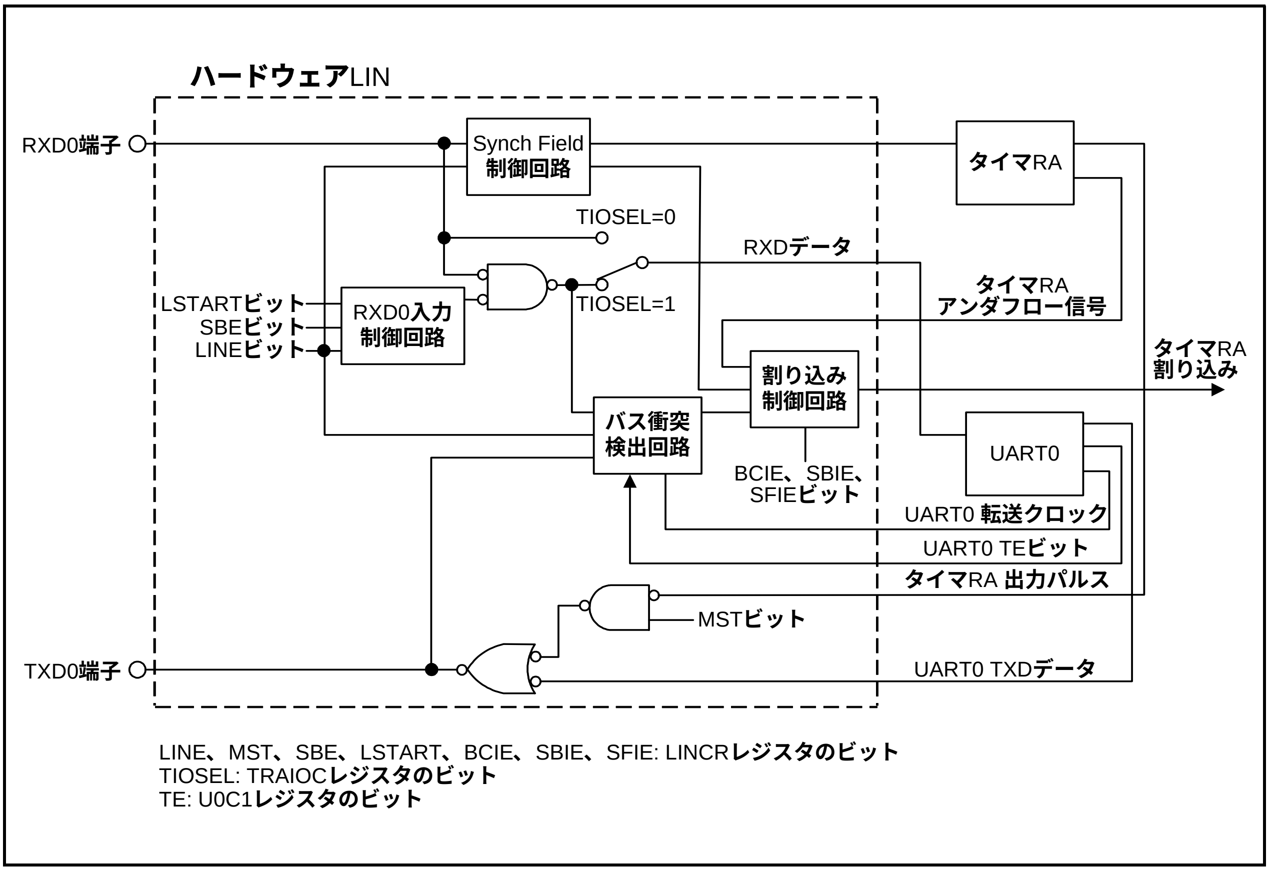


図29.1　ハードウェアLINのブロック図

29.2 入出力端子

表29.1にハードウェアLINの端子構成を示します。

表29.1 ハードウェアLINの端子構成

名称	略称	端子	入出力	機能
レシーブデータ入力	RXD0	P11_4	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	P13_1	出力	ハードウェアLINの送信データ出力端子

注1. ハードウェアLINを使用する場合はU0SRレジスタのTXD0SEL0ビットを“1”、RXD0SEL1～RXD0SEL0ビットを“10b”に設定してください。

29.3 レジスタの説明

ハードウェアLINには以下のレジスタがあります。

- LINコントロールレジスタ2(LINCR2)
- LINコントロールレジスタ(LINCR)
- LINステータスレジスタ(LINST)

29.3.1 LINコントロールレジスタ2(LINCR2)

アドレス 0105h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0：バス衝突検出禁止 1：バス衝突検出有効	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

29.3.2 LINコントロールレジスタ(LINCR)

アドレス 0106h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field計測完了割り込み許可ビット	0：Synch Field計測完了割り込み禁止 1：Synch Field計測完了割り込み許可	R/W
b1	SBIE	Synch Break検出割り込み許可ビット	0：Synch Break検出割り込み禁止 1：Synch Break検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0：バス衝突検出割り込み禁止 1：バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD0入力ステータスフラグ	0：RXD0入力許可状態 1：RXD0入力禁止状態	R
b4	LSTART	Synch Break検出開始ビット(注1)	“1”を書くとタイマRA入力許可、RXD0入力禁止になります。読んだ場合、その値は“0”。	R/W
b5	SBE	RXD0入力マスク解除タイミングセレクトビット (スレーブモードのみ有効)	0：Synch Break検出後に解除 1：Synch Field計測完了後に解除	R/W
b6	MST	LIN動作モード設定ビット(注2)	0：スレーブモード (Synch Break検出回路動作) 1：マスタモード (タイマRAの出力をTXD0とORする)	R/W
b7	LINE	LIN動作開始ビット	0：LINは動作停止 1：LINは動作開始(注3)	R/W

注1. LSTARTビット設定後、RXDSFフラグが“1”になることを確認してからSynch Breakを入力開始してください。
注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。
注3. LINEビットを“1”(LINは動作開始)にした直後は、タイマRAおよびUART0への入力は禁止です。(図29.3 ヘッダフィールド送信フローチャート例(1)および図29.7 ヘッダフィールド受信フローチャート例(2)を参照してください。)

29.3.3 LINステータスレジスタ(LINST)

アドレス 0107h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field計測完了フラグ	“1”のときSynch Field計測完了	R
b1	SBDCT	Synch Break検出フラグ	“1”のときSynch Break検出、またはSynch Break発生完了	R
b2	BCDCT	バス衝突検出フラグ	“1”のときバス衝突検出	R
b3	B0CLR	SFDCTフラグクリアビット	“1”を書くとSFDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b4	B1CLR	SBDCTフラグクリアビット	“1”を書くとSBDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b5	B2CLR	BCDCTフラグクリアビット	“1”を書くとBCDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

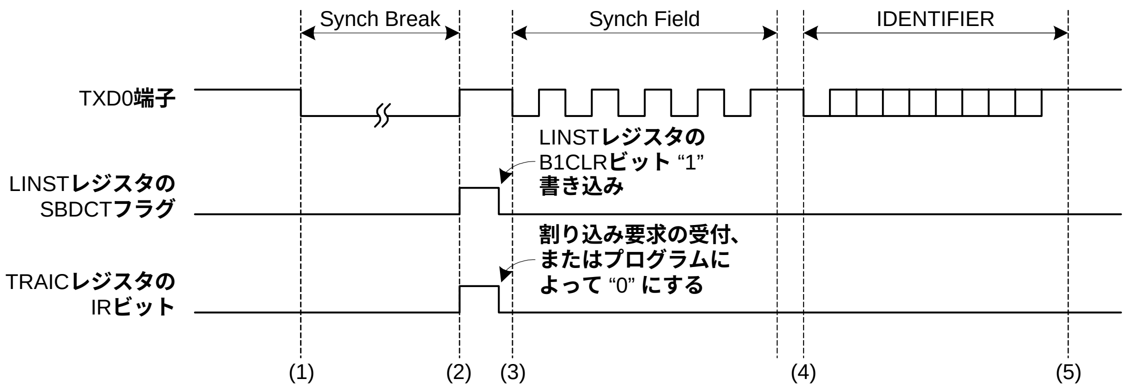
29.4 動作説明

29.4.1 マスタモード

図29.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図29.3～図29.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

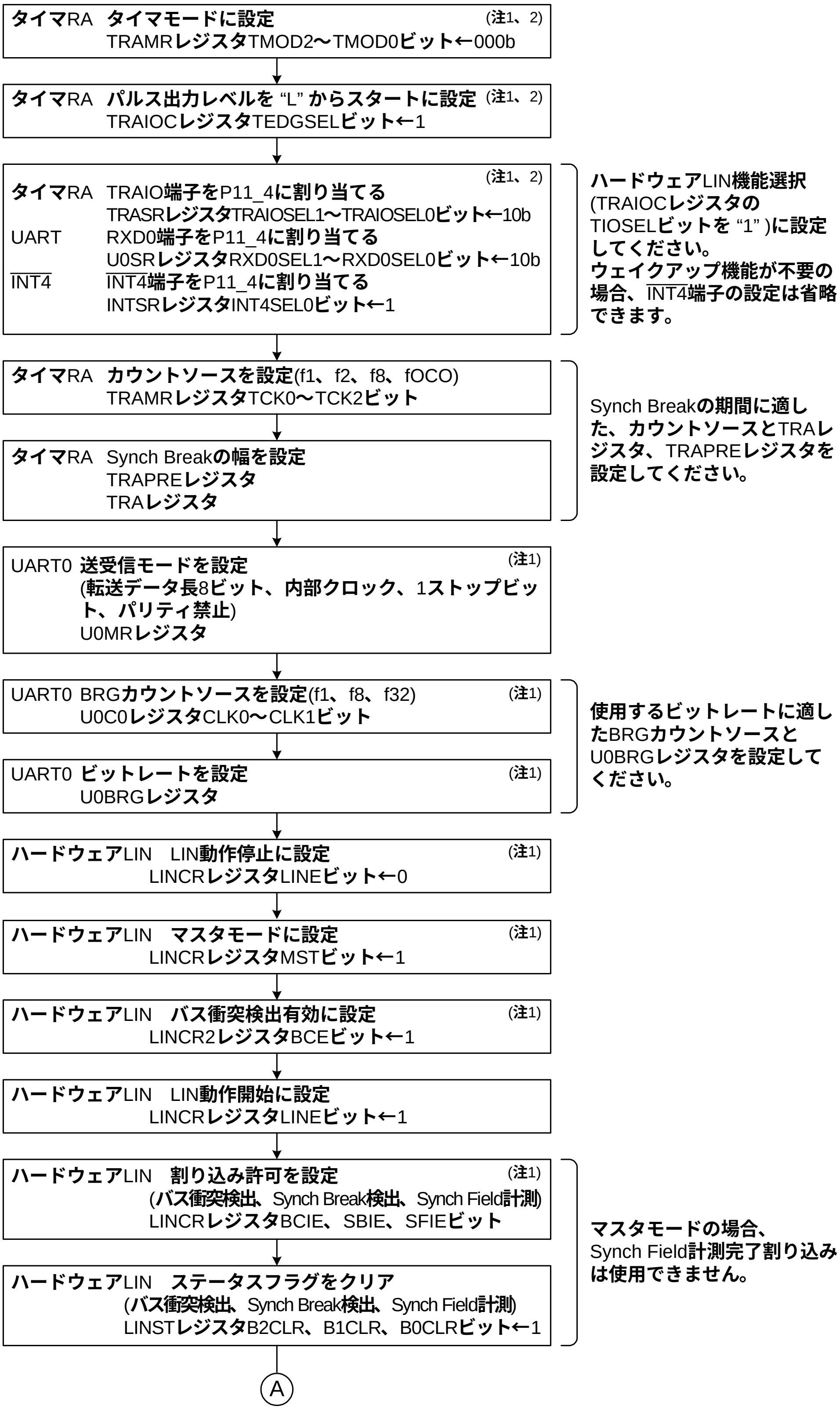
ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

(1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
(2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
(3) UART0により、“ 55h ”を送信します。
(4) UART0により、“ 55h ”の送信が完了後、IDフィールドを送信します。
(5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。



上図は次の条件の場合です。
LINE=1、MST=1、SBIE=1

図29.2　ヘッダフィールドの送信時の動作例



注1. 前回の通信が正常終了し、かつ同一設定にて再度ヘッダフィールド送信を行う場合には、これらの設定を省略できます。
注2. TRASRレジスタの設定よりも先にタイマ関連レジスタ(TRAMRレジスタおよびTRAIOCレジスタ) を設定していますが、ハードウェアLIN ではこのフローで問題はありません。

図29.3　ヘッダフィールド送信フローチャート例(1)

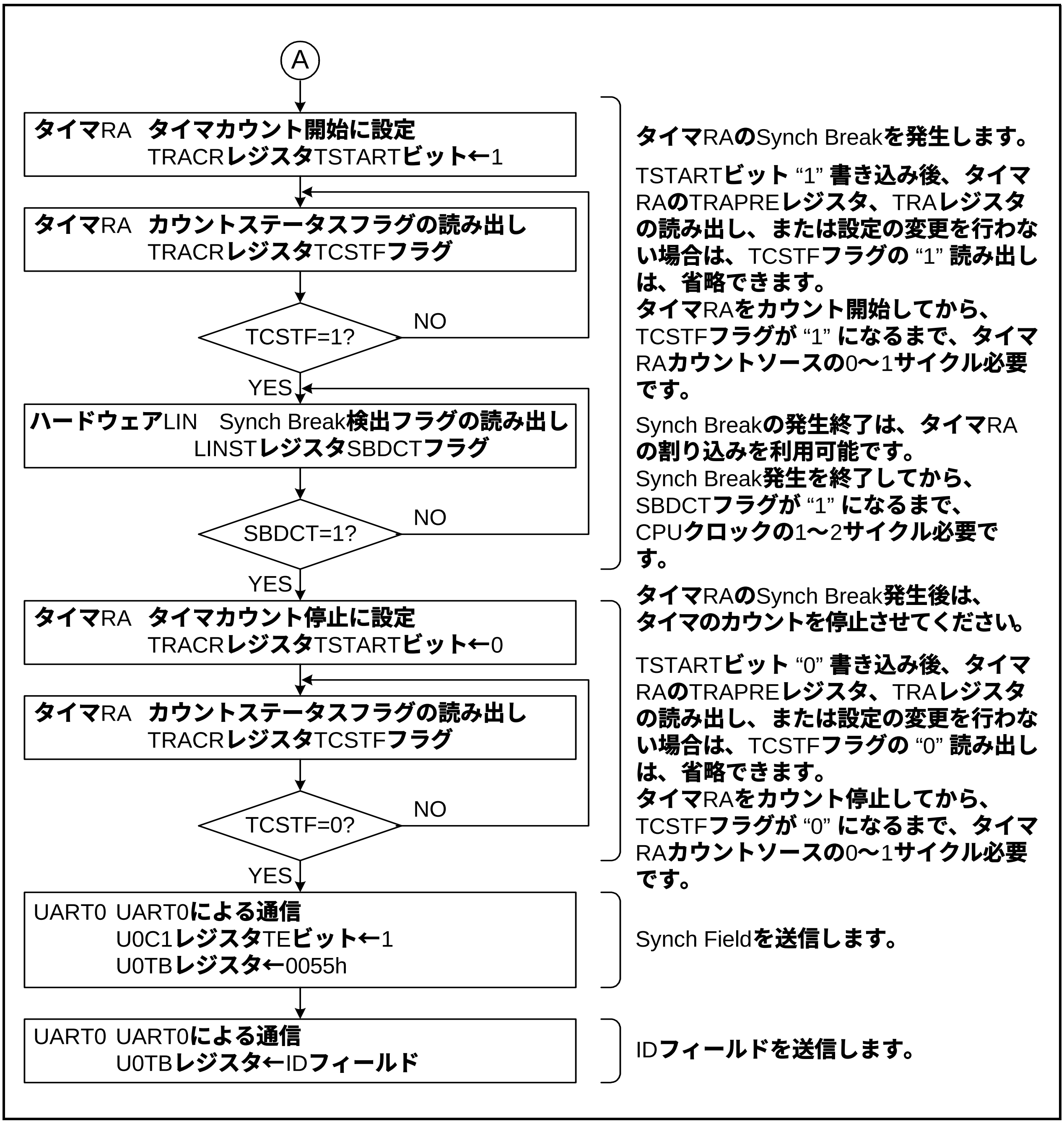


図29.4　ヘッダフィールド送信フローチャート例(2)

29.4.2 スレーブモード

図29.5にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図29.6〜図29.8にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

(1) ハードウェアLINのLINCRレジスタのLSTARTビットに“1”を書き込むと、Synch Break検出が可能になります。
(2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
(3) Synch Field(55h)を受信します。このとき、タイマRAにより、スタートビットおよび0〜6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCRのSBEビットにより選択できます。
(4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCRレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
(5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
(6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

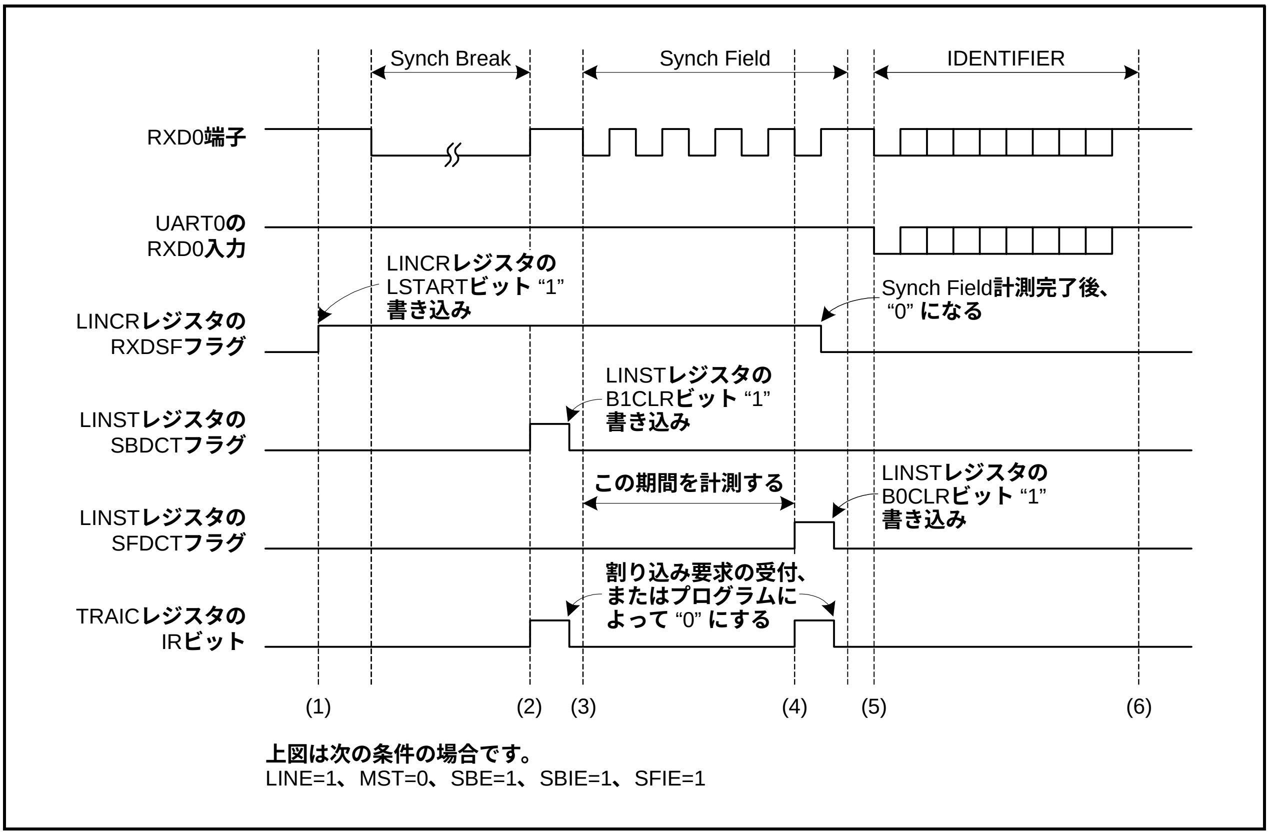
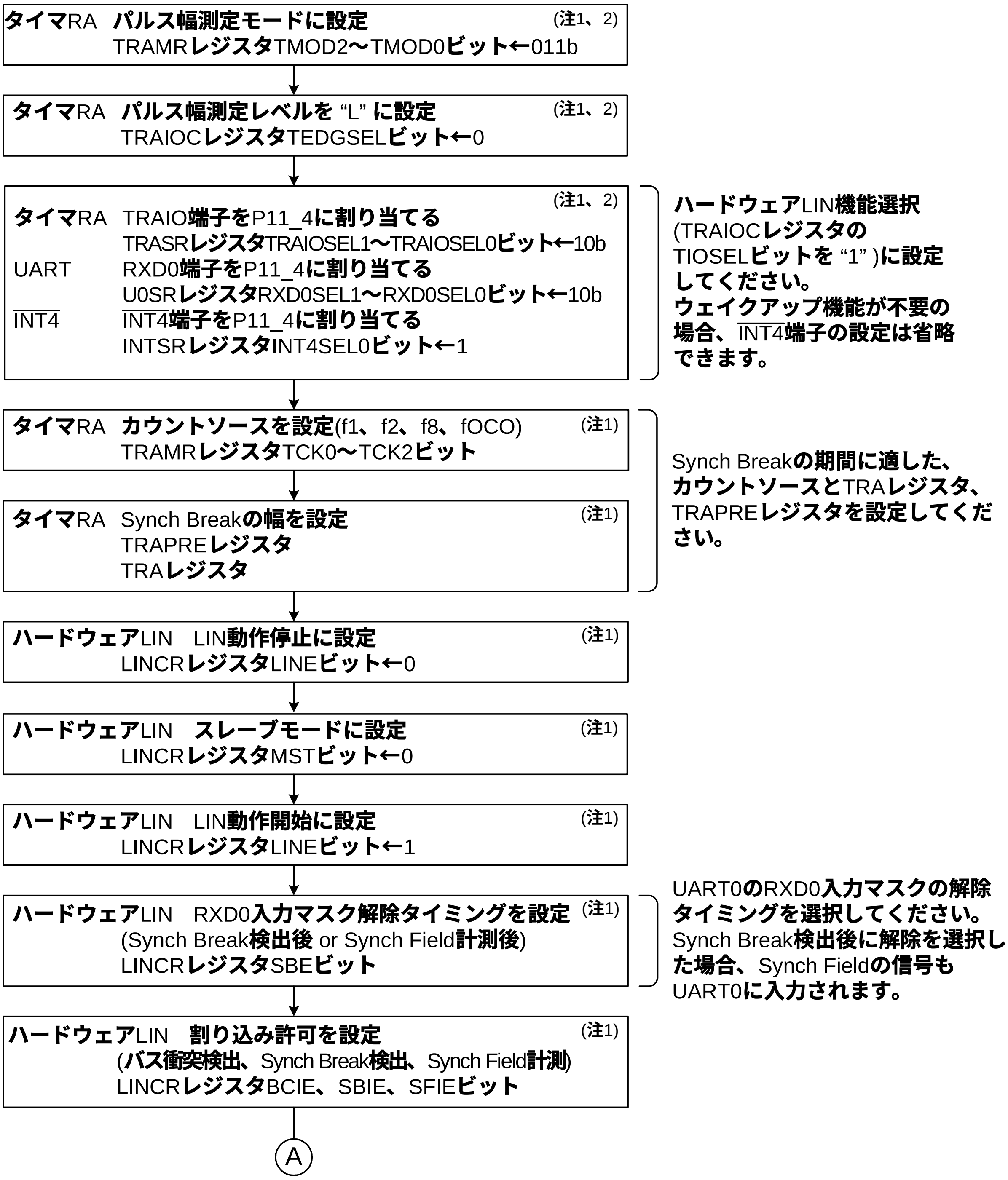


図29.5　ヘッダフィールドの受信時の動作例



注1. 前回の通信が正常終了し、かつ同一設定にて再度ヘッダフィールド送信を行う場合には、これらの設定を省略できます。
注2. TRASRレジスタの設定よりも先にタイマ関連レジスタ(TRAMRレジスタおよびTRAIOCレジスタ) を設定していますが、ハードウェアLIN ではこのフローで問題はありません。

図29.6　ヘッダフィールド受信フローチャート例(1)

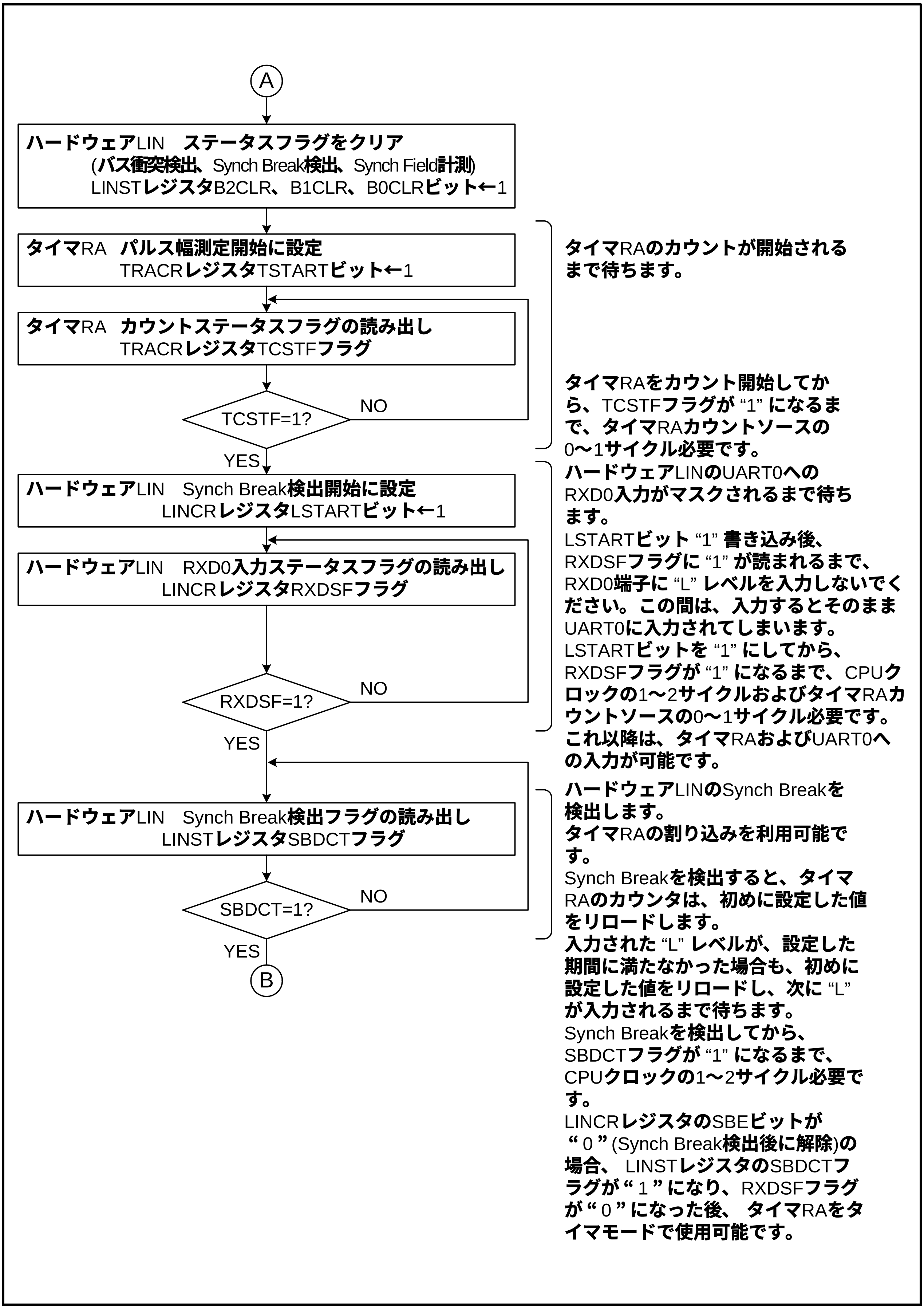


図29.7　ヘッダフィールド受信フローチャート例(2)

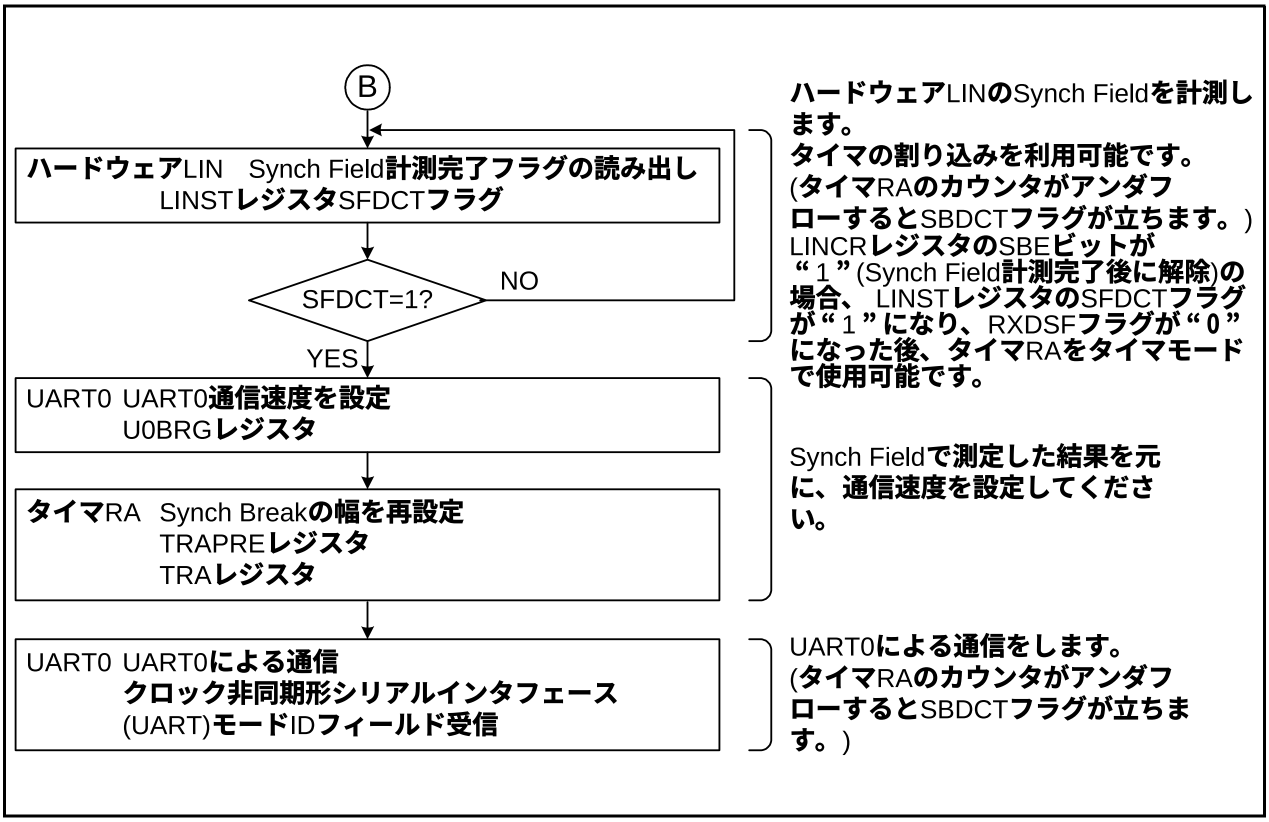


図29.8　ヘッダフィールド受信フローチャート例(3)

29.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINCR2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図29.9にバス衝突検出時の動作例を示します。

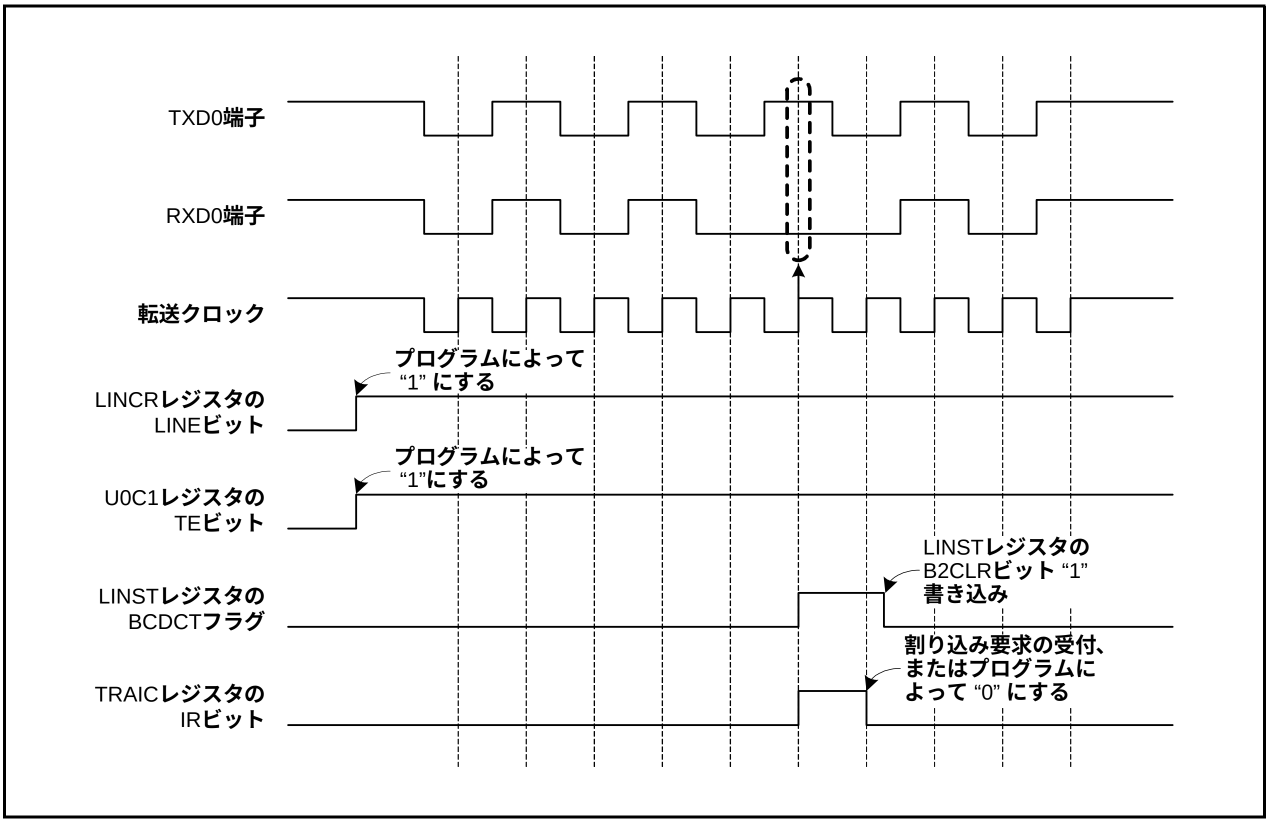


図29.9 バス衝突検出時の動作例

29.4.4　ハードウェアLIN終了処理

図29.10にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
  チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
  ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

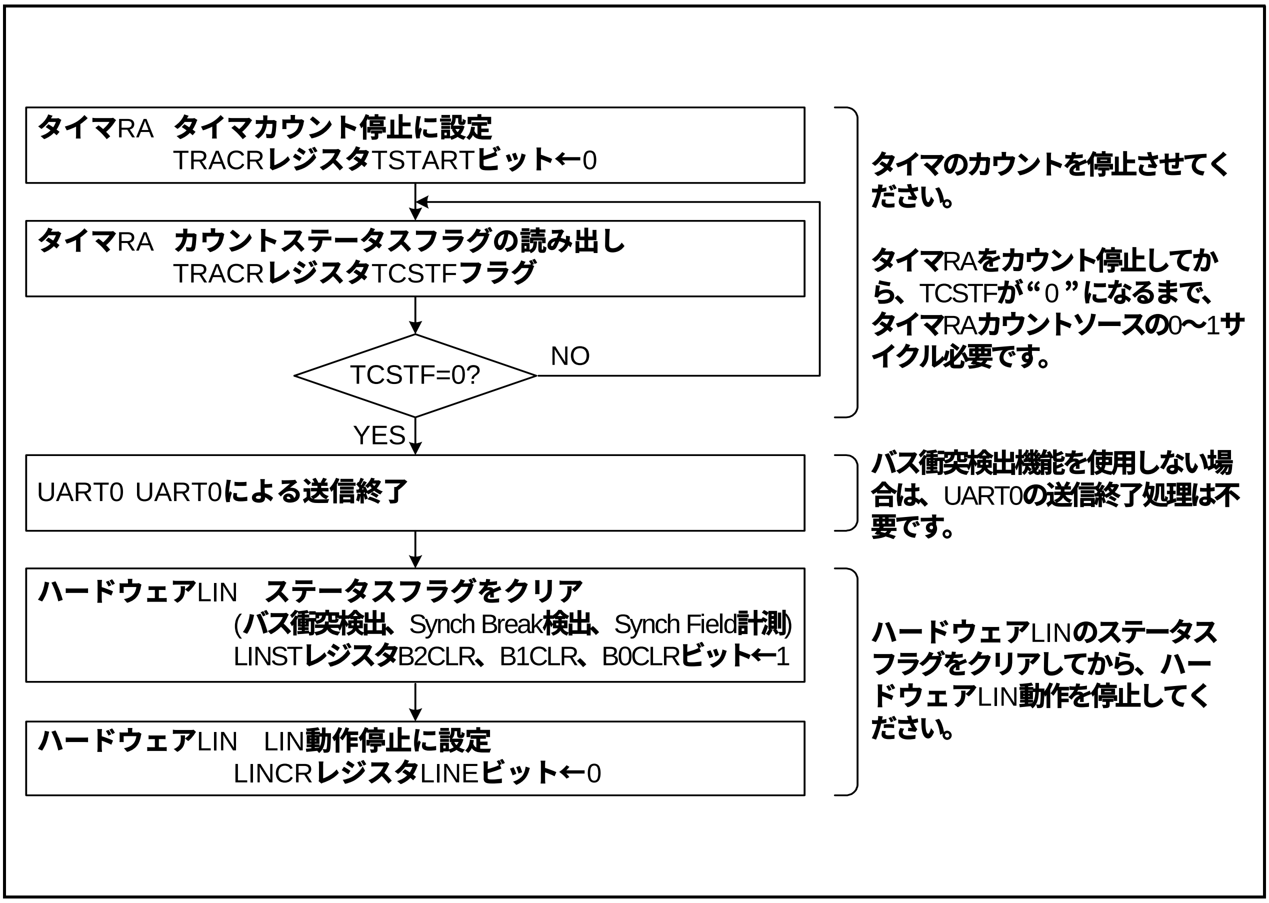


図29.10　ハードウェアLIN通信終了のフローチャート例

29.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表29.2にハードウェアLINの割り込み要求を示します。

表29.2　ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の “L” レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い “L” レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L” レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

29.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

30. A/Dコンバータ

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

30.1 概要

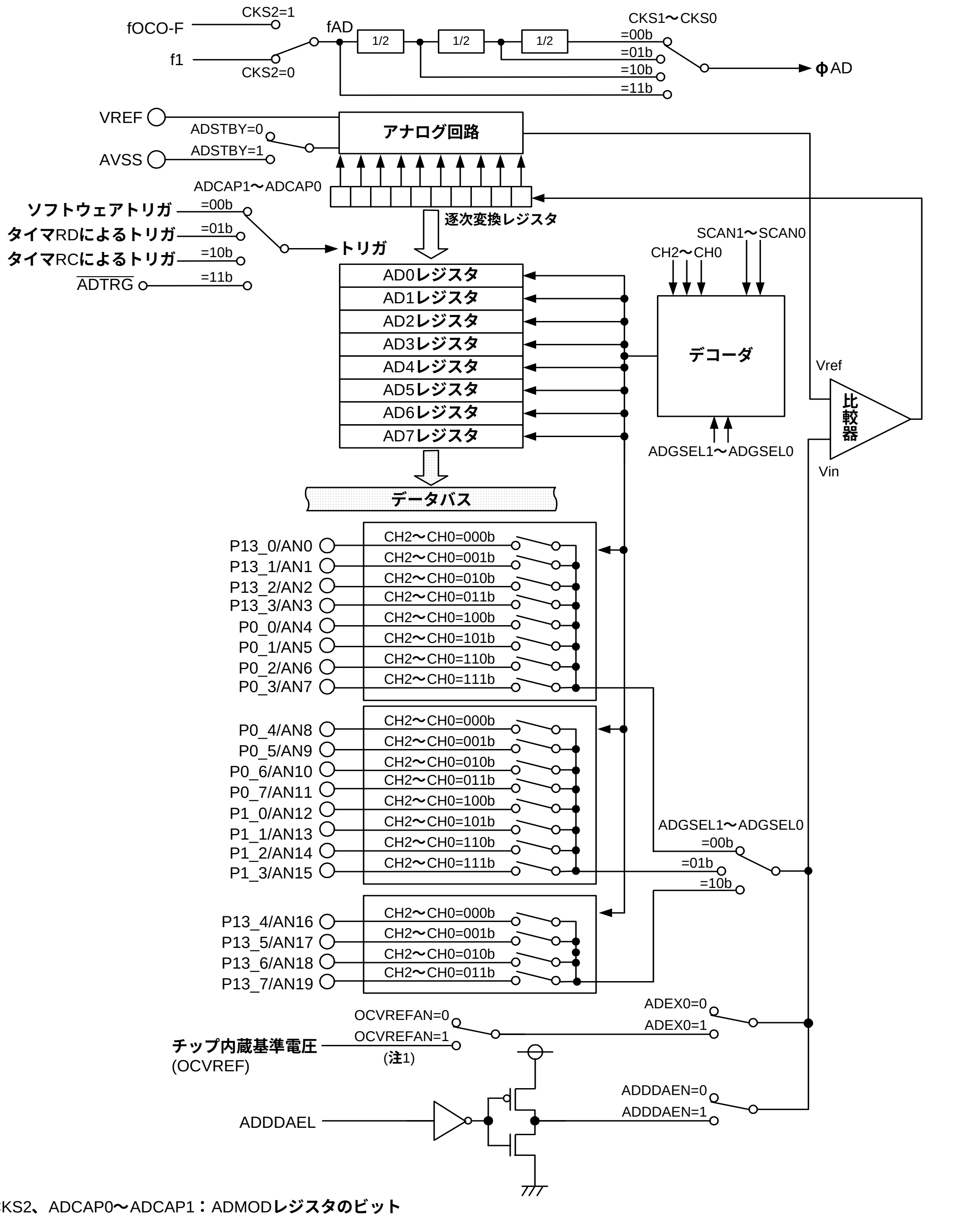
容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0_0～P0_7、P1_0～P1_3、P13_0～P13_7と端子を共用しています。

表30.1にA/Dコンバータの性能を、図30.1にA/Dコンバータのブロック図を示します。

表30.1　A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC
動作クロックφAD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周(fAD=f1またはfOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC=Vref=5V、φAD=20MHzのとき ・分解能8ビットの場合　±2LSB ・分解能10ビットの場合　±3LSB AVCC=Vref=3.3V、φAD=16MHzのとき ・分解能8ビットの場合　±2LSB ・分解能10ビットの場合　±5LSB AVCC=Vref=3.0V、φAD=10MHzのとき ・分解能8ビットの場合　±2LSB ・分解能10ビットの場合　±5LSB AVCC=Vref=2.2V、φAD=5MHzのとき ・分解能8ビットの場合　±2LSB ・分解能10ビットの場合　±5LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	20本(AN0～AN19)
A/D変換開始条件	・ソフトウェアトリガ ・タイマRD ・タイマRC ・外部トリガ (「30.3.3　A/D変換開始条件」参照)
1端子あたりの変換速度(注3)(φAD=fADのとき)	最短44φADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。
注2. 動作クロックφADは「表35.3　A/Dコンバータの特性」を参照してください。
注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短44φADサイクルになります。



CKS0～CKS2、ADCAP0～ADCAP1：ADMODレジスタのビット
CH0～CH2、SCAN0～SCAN1、ADGSEL0～ADGSEL1：ADINSELレジスタのビット
ADEX0、ADSTBY、ADDDAEN、ADDDAEL：ADCON1レジスタのビット
OCVREFAN：OCVREFCRレジスタのビット

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)した後に、OCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

図30.1　A/Dコンバータのブロック図

30.2 レジスタの説明

30.2.1 チップ内蔵基準電圧制御レジスタ(OCVREFCR)

アドレス 0026h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	OCVREFAN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCVREFAN	チップ内蔵基準電圧—アナログ入力接続ビット(注1)	0：チップ内蔵基準電圧とアナログ入力を切断 1：チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1レジスタのADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

OCVREFCRレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

A/D変換中にOCVREFCRレジスタの内容を書き換えた場合、変換結果は不定になります。

30.2.2 A/Dレジスタi (ADi)(i＝0～7)

アドレス 00C1h～00C0h番地(AD0)、00C3h～00C2h番地(AD1)、00C5h～00C4h番地(AD2)、00C7h～00C6h番地(AD3)、00C9h～00C8h番地(AD4)、00CBh～00CAh番地(AD5)、00CDh～00CCh番地(AD6)、00CFh～00CEh番地(AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	X	X

ビット	機能 10ビットモードの場合 (ADCON1レジスタのBITSビット＝“1”)	機能 8ビットモードの場合 (ADCON1レジスタのBITSビット＝“0”)	R/W
b0	A/D変換結果の下位8ビット	A/D変換結果	R
b1			
b2			
b3			
b4			
b5			
b6			
b7			
b8	A/D変換結果の上位2ビット	読んだ場合、その値は“0”。	R
b9			
b10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b11			
b12			
b13			
b14			
b15	予約ビット	読んだ場合、その値は不定。	R

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、ADiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

30.2.3 A/Dモードレジスタ(ADMOD)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0 b1	CKS0 CKS1	分周選択ビット	b1 b0 0 0：fADの8分周 0 1：fADの4分周 1 0：fADの2分周 1 1：fADの1分周(分周なし)	R/W R/W
b2	CKS2	クロック源選択ビット(注1)	0：f1を選択 1：fOCO-Fを選択	R/W
b3 b4 b5	MD0 MD1 MD2	A/D動作モード選択ビット	b5 b4 b3 0 0 0：単発モード 0 0 1：設定しないでください 0 1 0：繰り返しモード0 0 1 1：繰り返しモード1 1 0 0：単掃引モード 1 0 1：設定しないでください 1 1 0：繰り返し掃引モード 1 1 1：設定しないでください	R/W R/W R/W
b6 b7	ADCAP0 ADCAP1	A/D変換トリガ選択ビット	b7 b6 0 0：ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始 0 1：タイマRDからの変換トリガによるA/D変換開始 1 0：タイマRCからの変換トリガによるA/D変換開始 1 1：外部トリガ(ADTRG)によるA/D変換開始	R/W R/W

注1. CKS2ビットを変更したときは、φADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADMODレジスタの内容を書き換えた場合、変換結果は不定になります。

30.2.4 A/D入力選択レジスタ(ADINSEL)

アドレス 00D5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	—	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット	「表30.2 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	SCAN0	A/D掃引端子数選択ビット	b5 b4 0 0：2端子 0 1：4端子 1 0：6端子 1 1：8端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 0 0：ポートP13_0～P13_3、ポートP0_0～P0_3グループを選択 0 1：ポートP0_4～P0_7、 ポートP1_0～P1_3グループを選択 1 0：ポートP13_4～P13_7グループを選択 1 1：ポートグループを非選択	R/W
b7	ADGSEL1			R/W

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表30.2　アナログ入力端子選択

CH2～CH0ビット	ADGSEL1～ADGSEL0ビット=00b	ADGSEL1～ADGSEL0ビット=01b	ADGSEL1～ADGSEL0ビット=10b
000b	AN0	AN8	AN16
001b	AN1	AN9	AN17
010b	AN2	AN10	AN18
011b	AN3	AN11	AN19
100b	AN4	AN12	設定しないでください
101b	AN5	AN13	
110b	AN6	AN14	
111b	AN7	AN15	

30.2.5 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0：A/D変換停止 1：A/D変換開始	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

ADSTビット(A/D変換開始フラグ)

【“1”になる条件】A/D変換開始時およびA/D変換中

【“0”になる条件】A/D変換停止時

30.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	—	—	—	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット(注1)	0：拡張アナログ入力端子を非選択 1：拡張アナログ入力端子を選択(注2、6、7)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	BITS	8/10ビットモード選択ビット0	0：8ビットモード 1：10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0：A/D動作停止(スタンバイ)(注4) 1：A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可ビット(注5、7)	0：禁止 1：許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択ビット(注5)	0：変換前ディスチャージ 1：変換前プリチャージ	R/W

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのOCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。
注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。
注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、φADの1サイクル以上経過した後にA/D変換を開始してください。
注4. スタンバイにする前に、A/D機能を停止してください。ADSBYビットが“1”(スタンバイ)のとき、A/D関連レジスタ(00C0h～00CFh、00D4h～00D7h番地)へのアクセスは無効になります。
注5. A/D断線検出アシスト機能を許可するためには、ADDDAENビットを“1”(許可)にした後、ADDDAELビットで変換開始状態を選択してください。
断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。
注6. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADINSEL レジスタのCH2～CH0ビットを“000b”にしてください。
注7. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADDDAENビットを“0”(A/D断線検出アシスト機能を禁止)にしてください。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

30.3 複数モードに関わる共通事項

30.3.1 入出力端子

アナログ入力はAN0～AN19で、P0_0～P0_7、P1_0～P1_3、P13_0～P13_7と端子を共用しています。

ANi (i=0～19)端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

30.3.2 A/D変換サイクル数

図30.2にA/D変換タイミング図を、図30.3にA/D変換サイクル数(φAD = fADのとき)を示します。

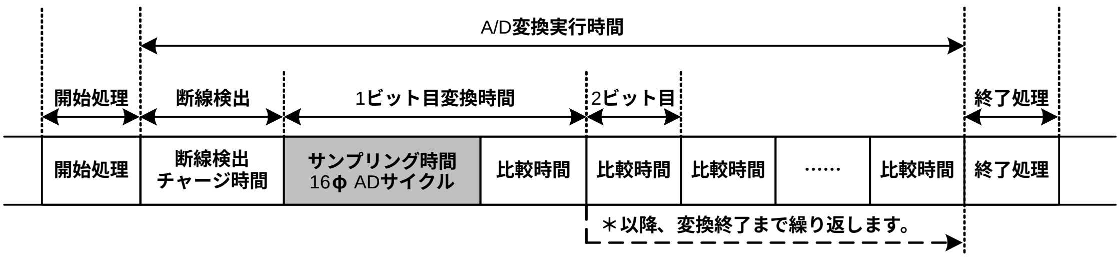
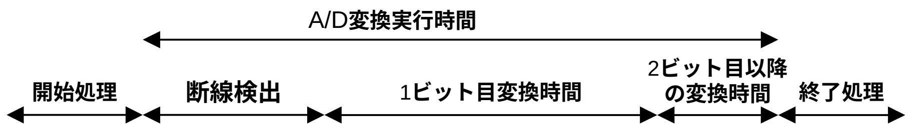


図30.2　A/D変換タイミング図



変換時間(最短)	開始処理(最短)	断線検出チャージ時間	サンプリング時間	比較時間	比較時間	終了処理
44φAD	1φAD	禁止：0φAD 許可：2φAD	16φAD	2.5φAD	2.5φAD	2φAD

注1. 分解能8ビット、10ビット共に変換時間(最短)は44φADになります。

図30.3　A/D変換サイクル数(φAD = fADのとき)

表30.3に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間はφADの選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合
  開始処理時間 + A/D変換実行時間 + 終了処理時間

- 単掃引モードで2端子を選択した場合
  開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表30.3　各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	φAD=fAD	fADの1～2サイクル
	φAD=fADの2分周	fADの2～3サイクル
	φAD=fADの4分周	fADの3～4サイクル
	φAD=fADの8分周	fADの5～6サイクル
A/D変換実行時間	断線検出禁止	φADの40サイクル+ fADの1～3サイクル
	断線検出許可	φADの42サイクル+ fADの1～3サイクル
実行間処理時間		φADの1サイクル
終了処理時間		fADの2～3サイクル

30.3.3　A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRD、タイマRCからのトリガと、外部トリガがあります。

図30.4にA/D変換開始制御部のブロック図を示します。

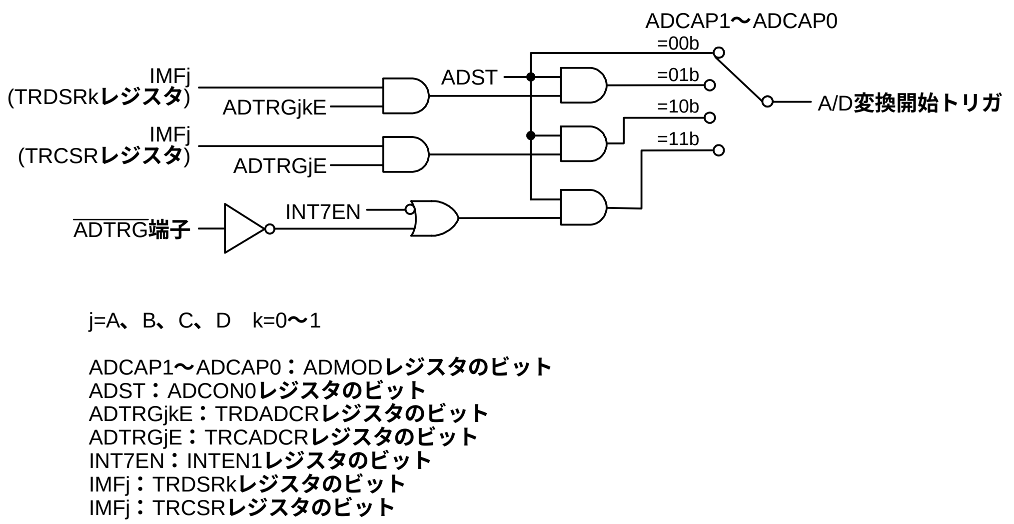


図30.4　A/D変換開始制御部のブロック図

30.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合です。

ADCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

30.3.3.2 タイマRDからのトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“01b”(タイマRD)の場合です。

この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1～ADCAP0ビットが“01b”(タイマRD)
- タイマRDをアウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)で使用
- TRDADCRレジスタのADTRGjkEビット(j＝A、B、C、D、k=0～1)が“1”(TRDGRjkレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態で、TRDSRkレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。

タイマRD、アウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)の詳細は「21.　タイマRD」、「21.4　アウトプットコンペア機能」、「21.5　PWMモード」、「21.6　リセット同期PWMモード」、「21.7　相補PWMモード」、「21.8　PWM3モード」を参照してください。

30.3.3.3 タイマRCからのトリガ

ADMODレジスタのADCAP1〜ADCAP0ビットが“10b”(タイマRC)の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1〜ADCAP0ビットが“10b”(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j＝A、B、C、D)が“１”(TRCGRjレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態で、TRCSRレジスタのIMFjビットが“0”から“１”になると、A/D変換を開始します。
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「20. タイマRC」、「20.5　タイマモード(アウトプットコンペア機能)」、「20.6　PWMモード」、「20.7　PWM2モード」を参照してください。

30.3.3.4 外部トリガ

ADMODレジスタのADCAP1〜ADCAP0ビットが“11b”(外部トリガ($\overline{\text{ADTRG}}$))の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1〜ADCAP0ビットを“11b”(外部トリガ($\overline{\text{ADTRG}}$))にする。
- INTEN1レジスタのINT7ENビットを“1”($\overline{\text{INT7}}$入力許可)にする。
- ポート方向レジスタの入力設定
  INTSRレジスタのINT7SEL0ビットが“0”の場合、PD3レジスタのPD3_7ビットを“0”(入力モード)にする。
  INTSRレジスタのINT7SEL0ビットが“1”の場合、PD11レジスタのPD11_7ビットを“0”(入力モード)にする。
- $\overline{\text{INT7}}$のデジタルフィルタをINTF1レジスタのINT7F1〜INT7F0ビットで選択する。
- ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする。

なお、INT7ICレジスタのPOLビットとINTEN1レジスタのINT7PLビットの選択と、$\overline{\text{ADTRG}}$端子入力の変更に従って、INT7ICレジスタのIRビットが“1”(割り込み要求あり)になります(「12.8 割り込み使用上の注意」参照)。
割り込みの詳細は「12.　割り込み」を参照してください。

上記の状態で、$\overline{\text{ADTRG}}$端子の入力を“H”から“L”にするとA/D変換を開始します。

30.3.4 A/D変換結果

A/D変換した結果はADiレジスタ(i＝0～7)に格納されます。使用するA/D動作モードによって、格納されるADiレジスタは違います。ADiレジスタはリセット後不定です。値は書き込めません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“１”になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとADiレジスタに値を上書きしますので、それまでにADiレジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1～ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。

プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

30.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、φADの１サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

30.3.6 チップ内蔵基準電圧 (OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

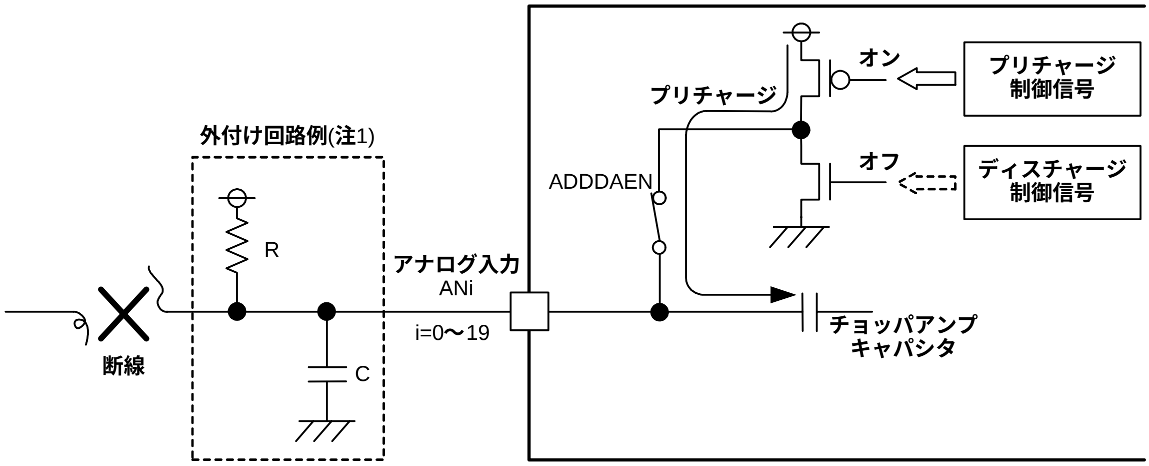
チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。

単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

30.3.7 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョッパアンプキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

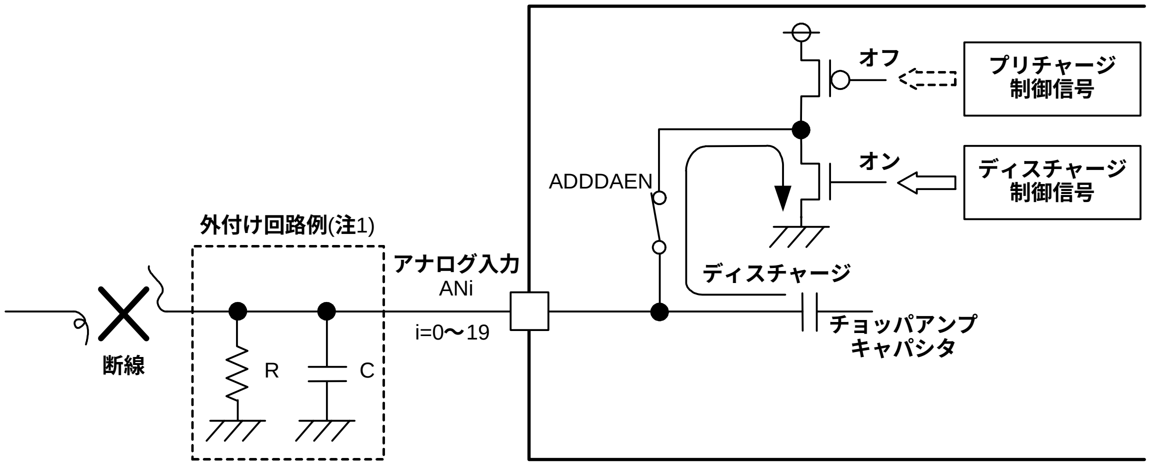
図30.5にAVCC側でのA/D断線検出例(変換前プリチャージを選択)を示し、図30.6にはAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。



注1. 断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

ADDDAEN: ADCON1レジスタのビット

図30.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択)



注1. 断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

ADDDAEN: ADCON1レジスタのビット

図30.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

30.4 単発モード

AN0～AN19、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。
表30.4に単発モードの仕様を示します。

表30.4 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ (「30.3.3 A/D変換開始条件」参照)
A/D変換停止条件	• A/D変換終了(ADMODレジスタのADCAP1～ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが“0”になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、AN16、OCVREF AD1レジスタ：AN1、AN9、AN17 AD2レジスタ：AN2、AN10、AN18 AD3レジスタ：AN3、AN11、AN19 AD4レジスタ：AN4、AN12 AD5レジスタ：AN5、AN13 AD6レジスタ：AN6、AN14 AD7レジスタ：AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し

30.5 繰り返しモード0

AN0～AN19、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表30.5に繰り返しモード0の仕様を示します。

表30.5 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ （「30.3.3 A/D変換開始条件」参照）
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0～AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、AN16、OCVREF AD1レジスタ：AN1、AN9、AN17 AD2レジスタ：AN2、AN10、AN18 AD3レジスタ：AN3、AN11、AN19 AD4レジスタ：AN4、AN12 AD5レジスタ：AN5、AN13 AD6レジスタ：AN6、AN14 AD7レジスタ：AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し

30.6 繰り返しモード1

AN0～AN19、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表30.6に繰り返しモード1の仕様を、図30.7に繰り返しモード1時の動作例を示します。

表30.6 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ （「30.3.3 A/D変換開始条件」参照）
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0～AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、、、 AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、、、 AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、、、 AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、、、 AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、、、 AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、、、 AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、、、 AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、、、
A/D変換値の読み出し	AD0レジスタ～AD7レジスタの読み出し

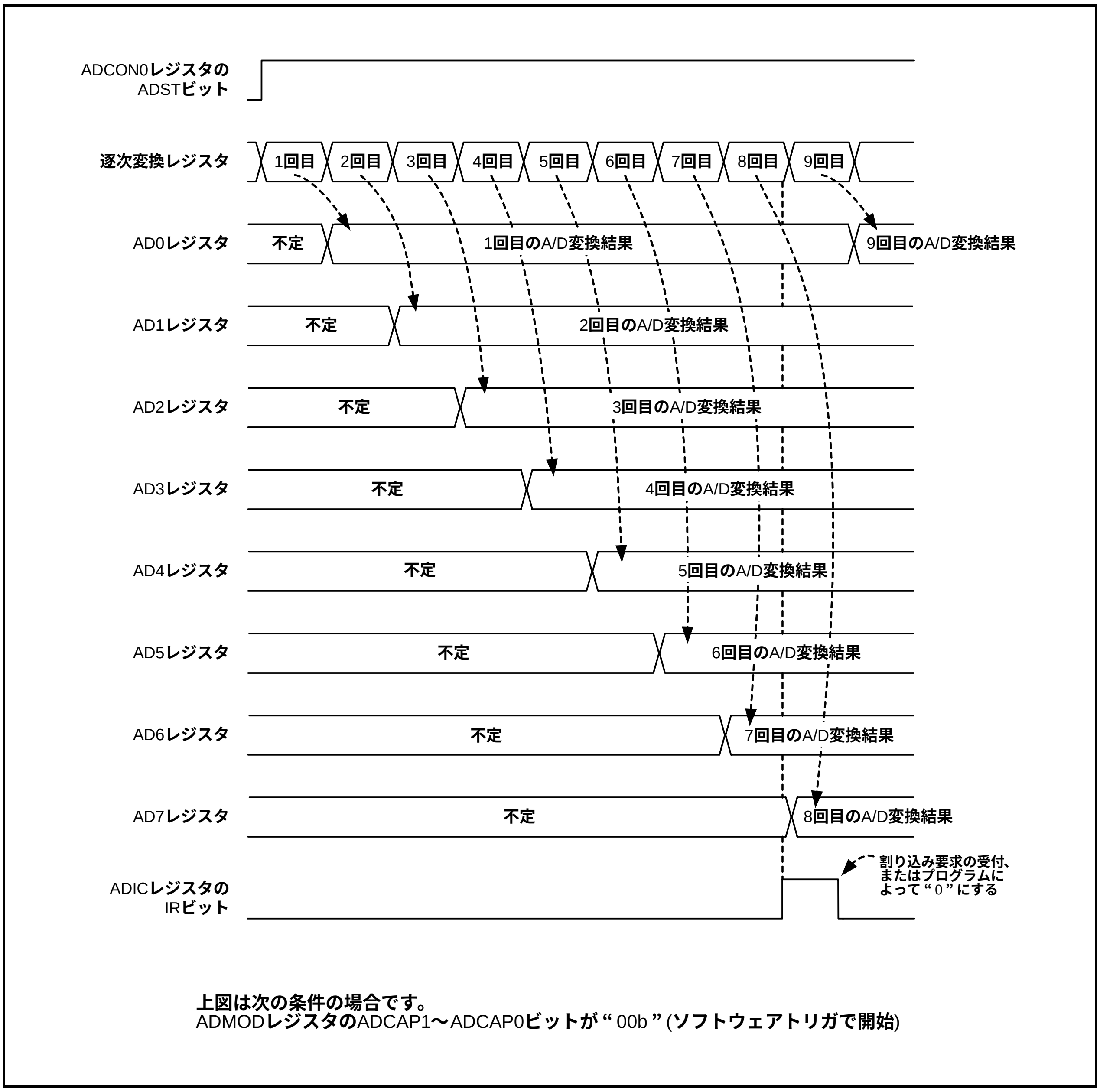


図30.7　繰り返しモード1時の動作例

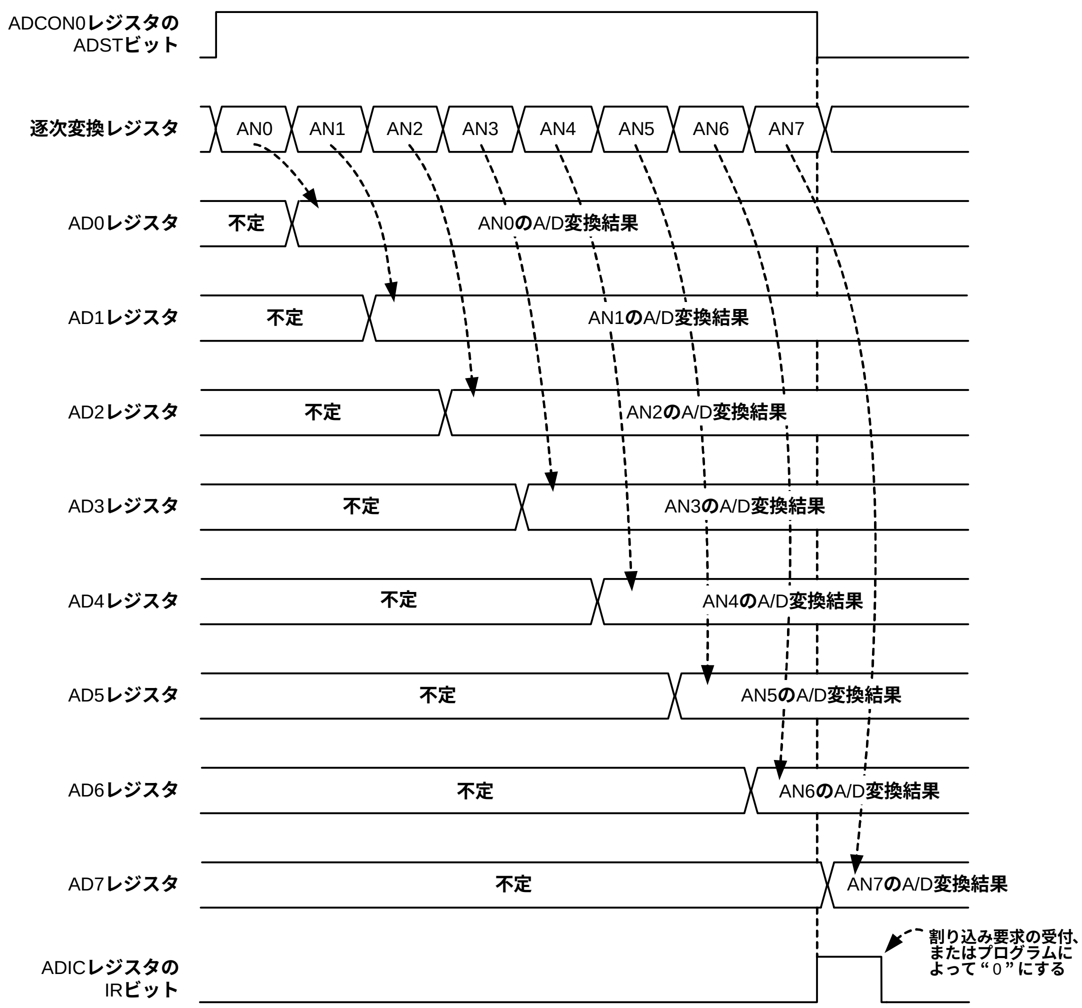
30.7　単掃引モード

AN0～AN19から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表30.7に単掃引モードの仕様を、図30.8に単掃引モード時の動作例を示します。

表30.7　単掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ (「30.3.3　A/D変換開始条件」参照)
A/D変換停止条件	• 2端子を選択している場合、選択した2端子のA/D変換終了 (ADCON0レジスタのADSTビットが“0”になる) • 4端子を選択している場合、選択した4端子のA/D変換終了 (ADSTビットが“0”になる) • 6端子を選択している場合、選択した6端子のA/D変換終了 (ADSTビットが“0”になる) • 8端子を選択している場合、選択した8端子のA/D変換終了 (ADSTビットが“0”になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	• 2端子を選択している場合、選択した2端子のA/D変換終了時 • 4端子を選択している場合、選択した4端子のA/D変換終了時 • 6端子を選択している場合、選択した6端子のA/D変換終了時 • 8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子	AN0～AN1 (2端子)、AN8～AN9 (2端子)、AN16～AN17 (2端子)、 AN0～AN3 (4端子)、AN8～AN11 (4端子)、AN16～AN19 (4端子)、 AN0～AN5 (6端子)、AN8～AN13 (6端子)、 AN0～AN7 (8端子)、AN8～AN15 (8端子) (SCAN1～SCAN0ビットとADGSEL1～ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、AN16、OCVREF AD1レジスタ：AN1、AN9、AN17 AD2レジスタ：AN2、AN10、AN18 AD3レジスタ：AN3、AN11、AN19 AD4レジスタ：AN4、AN12 AD5レジスタ：AN5、AN13 AD6レジスタ：AN6、AN14 AD7レジスタ：AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し



上図は次の条件の場合です。
・ADMODレジスタのADCAP1～ADCAP0が“00b”(ソフトウェアトリガで開始)
・ADINSELレジスタのSCAN1～SCAN0ビットが“11b”(8端子)、
　ADGSEL1～ADGSEL0ビットが“00b”(AN0、AN1、AN2、AN3、AN4、AN5、AN6、AN7)

図30.8　単掃引モード時の動作例

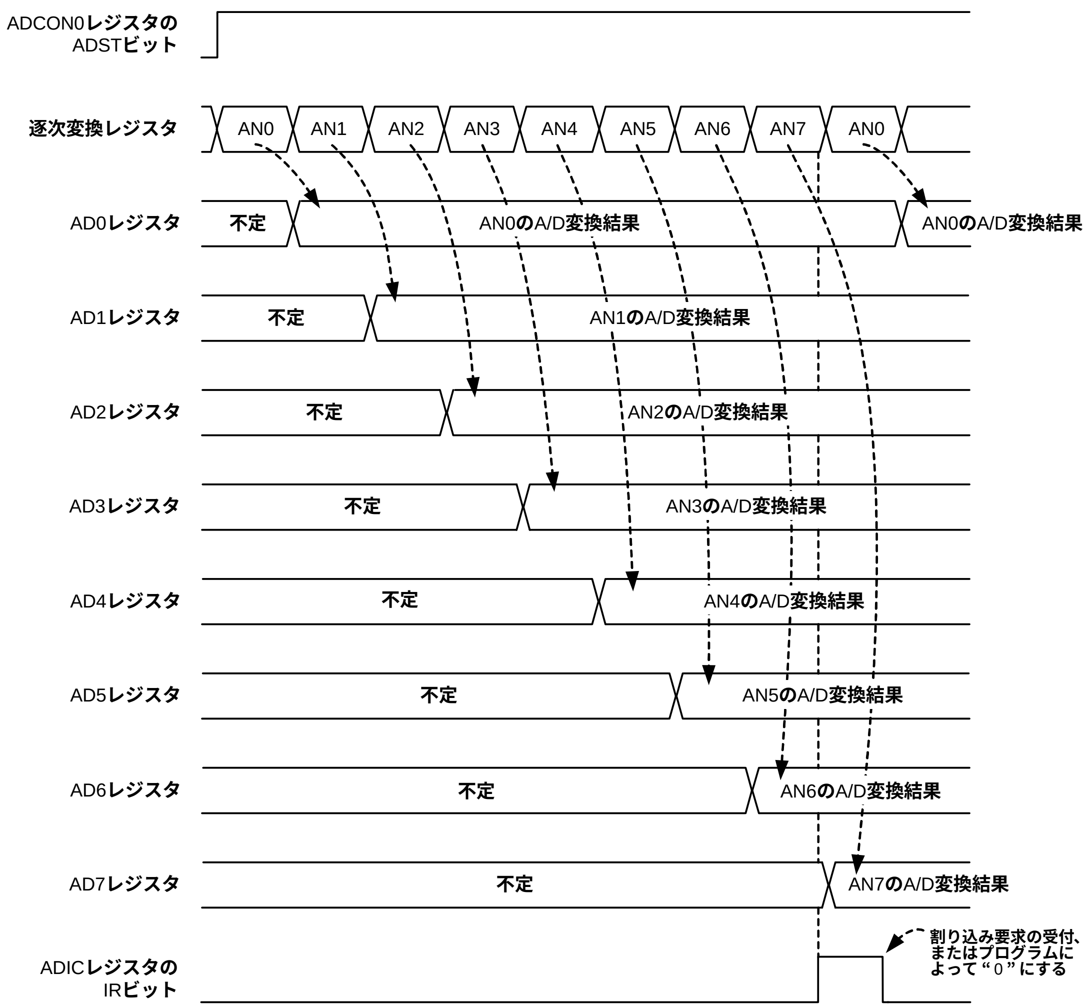
30.8 繰り返し掃引モード

AN0～AN19から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表30.8に繰り返し掃引モードの仕様を、図30.9に繰り返し掃引モード時の動作例を示します。

表30.8 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ （「30.3.3 A/D変換開始条件」参照）
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	• 2端子を選択している場合、選択した2端子のA/D変換終了時 • 4端子を選択している場合、選択した4端子のA/D変換終了時 • 6端子を選択している場合、選択した6端子のA/D変換終了時 • 8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子	AN0～AN1 (2端子)、AN8～AN9 (2端子)、AN16～AN17 (2端子) AN0～AN3 (4端子)、AN8～AN11 (4端子)、AN16～AN19 (4端子) AN0～AN5 (6端子)、AN8～AN13 (6端子) AN0～AN7 (8端子)、AN8～AN15 (8端子) (SCAN1～SCAN0ビットとADGSEL1～ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、AN16、OCVREF AD1レジスタ：AN1、AN9、AN17 AD2レジスタ：AN2、AN10、AN18 AD3レジスタ：AN3、AN11、AN19 AD4レジスタ：AN4、AN12 AD5レジスタ：AN5、AN13 AD6レジスタ：AN6、AN14 AD7レジスタ：AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し



上図は次の条件の場合です。
・ADMODレジスタのADCAP1～ADCAP0 ビットが“00b”(ソフトウェアトリガで開始)
・ADINSELレジスタのSCAN1～SCAN0ビットが“11b”(8端子)、
　ADGSEL1～ADGSEL0ビットが“00b”(AN0、AN1、AN2、AN3、AN4、AN5、AN6、AN7)

図30.9　繰り返し掃引モード時の動作例

30.9 A/D変換時のセンサの出力インピーダンス

A/D変換を正しく行うためには、図30.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

VCは一般に $VC = VIN\left\{1 - e^{-\frac{1}{C\,(R0+R)}t}\right\}$

t = Tのとき、 $VC = VIN - \frac{X}{Y}VIN = VIN\left(1 - \frac{X}{Y}\right)$ より、

$$e^{-\frac{1}{C\,(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C\,(R0+R)}T = \ln\frac{X}{Y}$$

よって、$R0 = -\frac{T}{C \times \ln\frac{X}{Y}} - R$

図30.10にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

φAD=20MHzのとき、T=0.8μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T = 0.8μs、R = 10kΩ、C = 6.0pF、X = 0.1、Y = 1024だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \times \ln\frac{0.1}{1024}} - 10 \times 10^{3} \fallingdotseq 4.4 \times 10^{3}$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大4.4kΩになります。

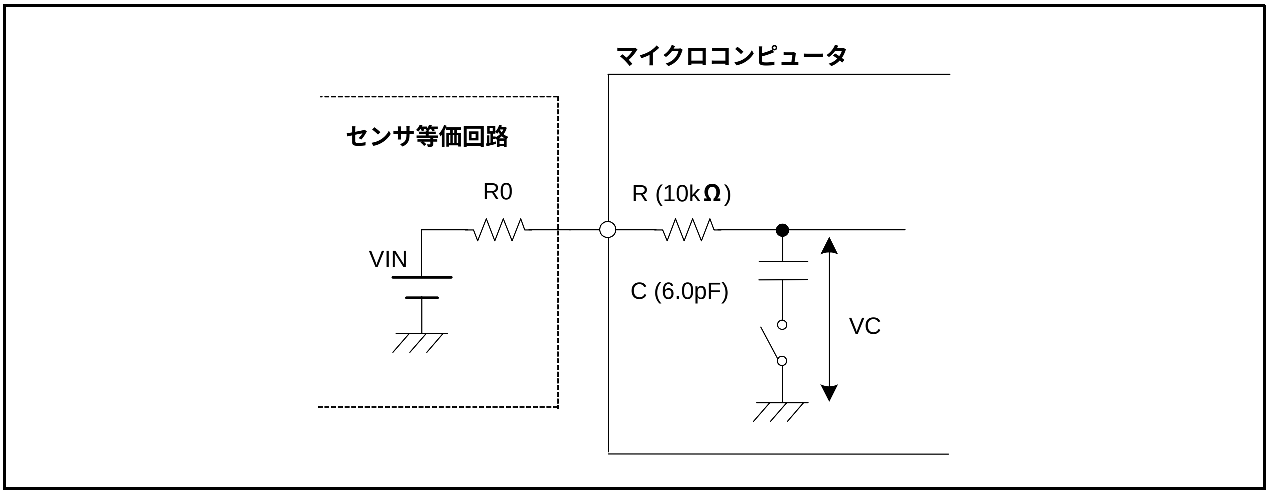


図30.10 アナログ入力端子と外部センサの等価回路例

30.10 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロックφAD以上の周波数を選択してください。
  φADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタ(i = 0～7)も、不定になる場合があります。
  プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。
- A/Dコンバータを使用するときは、A/D変換結果の平均化処理を推奨します。

31. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。

31.1 概要

D/A変換は、DAiレジスタ(i=0～1)に値を書くと行われます。変換結果を出力するときDACONレジスタのDAiEビットを“1”(出力許可)にしてください。D/A変換を使用する場合、PD13レジスタの対応するPD13_0、PD13_1ビットは“0”(入力モード)にしてください。

出力されるアナログ電圧Vは、DAiレジスタに設定した値n(nは10進数)で決まります。

V=Vref×n/256(n=0～255)

Vref:基準電圧

表31.1にD/Aコンバータの仕様、図31.1にD/Aコンバータブロック図、図31.2にD/Aコンバータの等価回路を示します。

表31.1　D/Aコンバータの仕様

項目	性能
D/A変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2本(DA0、DA1)

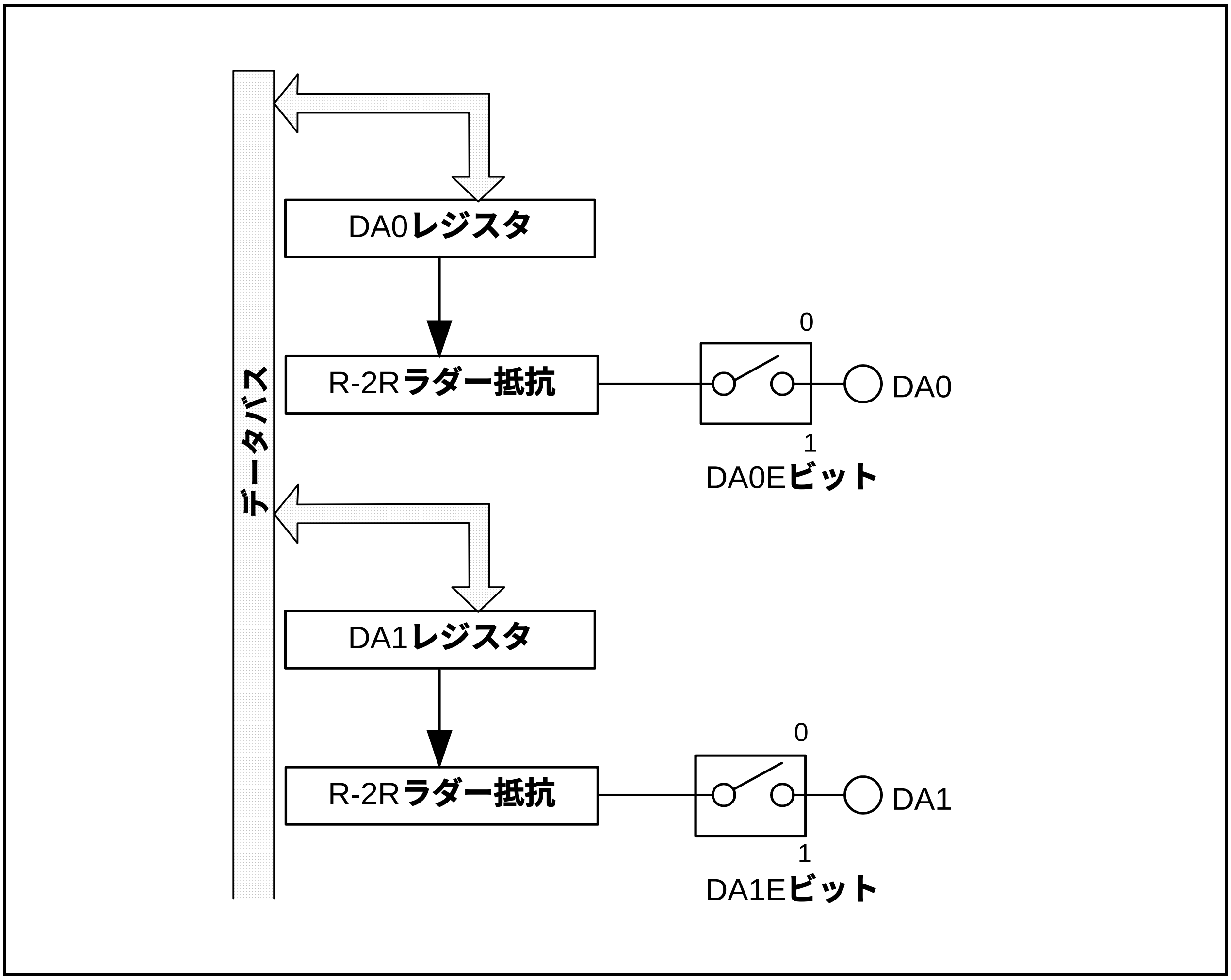
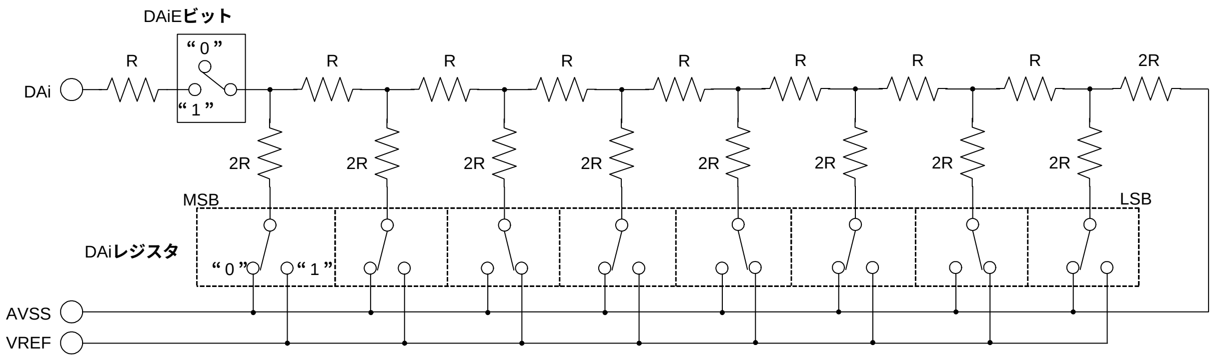


図31.1　D/Aコンバータブロック図



i=0〜1

注1.　上図はDAiレジスタが"2Ah"の場合です。

図31.2　D/Aコンバータの等価回路

31.2 レジスタの説明

31.2.1 D/Aiレジスタ (DAi)(i=0～1)

アドレス 00D8h番地(DA0)、00D9h番地(DA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b7～b0	D/A変換の出力値	00h～FFh	R/W

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット(i=0～1)を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

31.2.2 D/A制御レジスタ (DACON)

アドレス 00DCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	DA1E	DA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DA0E	D/A0出力許可ビット	0：出力禁止 1：出力許可	R/W
b1	DA1E	D/A1出力許可ビット	0：出力禁止 1：出力許可	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット(i=0～1)を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

32. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

32.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREFi(i=1、3)端子への入力が使用できます。

表32.1にコンパレータBの仕様、図32.1にコンパレータBのブロック図、表32.2に入出力端子を示します。

表32.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧
リファレンス入力電圧	IVREFi端子への入力電圧
比較結果	INTCMPレジスタのINTiCOUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化したとき
選択機能	デジタルフィルタ機能 　デジタルフィルタの有無、サンプリング周波数を選択できる

i=1、3

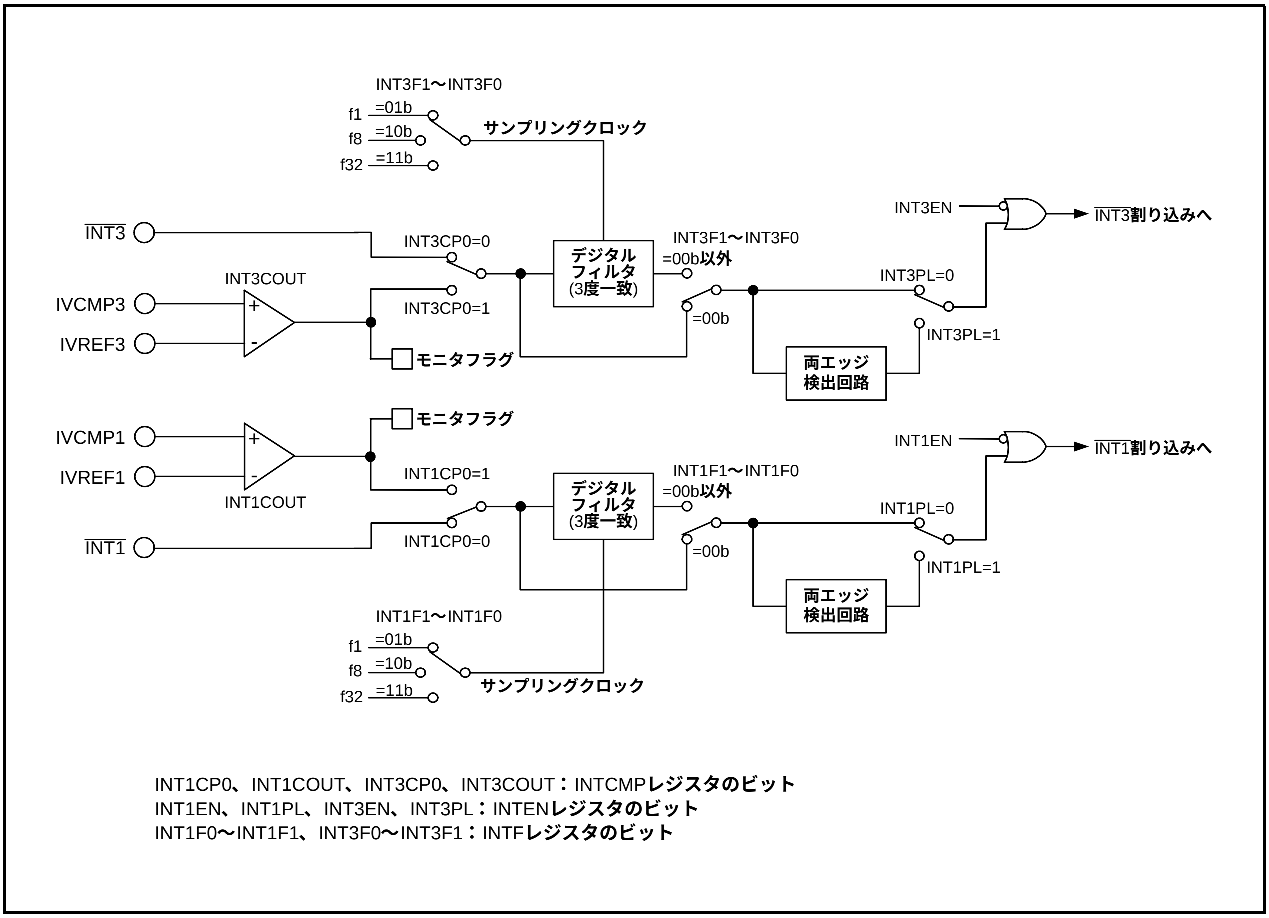


図32.1　コンパレータBのブロック図

表32.2　入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子

32.2 レジスタの説明

32.2.1 コンパレータB制御レジスタ0(INTCMP)

アドレス 01F8h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	—	—	INT3CP0	INT1COUT	—	—	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0：コンパレータB1動作禁止 1：コンパレータB1動作許可	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	INT1COUT	コンパレータB1モニタフラグ	0：IVCMP1＜IVREF1またはコンパレータB1動作禁止 1：IVCMP1＞IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0：コンパレータB3動作禁止 1：コンパレータB3動作許可	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	INT3COUT	コンパレータB3モニタフラグ	0：IVCMP3＜IVREF3またはコンパレータB3動作禁止 1：IVCMP3＞IVREF3	R

32.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$入力許可ビット	0：禁止 1：許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$入力許可ビット	0：禁止 1：許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$入力許可ビット	0：禁止 1：許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$入力許可ビット	0：禁止 1：許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	R/W

注1. INTiPLビット(i=0～3)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.8.4　割り込み要因の変更」を参照してください。

32.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0 b1	INT0F0 INT0F1	$\overline{\text{INT0}}$入力フィルタ選択ビット	b1 b0 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W R/W
b2 b3	INT1F0 INT1F1	$\overline{\text{INT1}}$入力フィルタ選択ビット	b3 b2 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W R/W
b4 b5	INT2F0 INT2F1	$\overline{\text{INT2}}$入力フィルタ選択ビット	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W R/W
b6 b7	INT3F0 INT3F1	$\overline{\text{INT3}}$入力フィルタ選択ビット	b7 b6 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W R/W

32.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。表32.3にコンパレータB関連レジスタの設定手順を示します。

表32.3 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi端子の機能選択。「7.6 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。		
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCP0	1 (動作許可)
4	コンパレータ安定時間 (最大100µs)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1 (割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2～ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

i=1、3

図32.2にコンパレータBi(i＝1、3)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「32.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

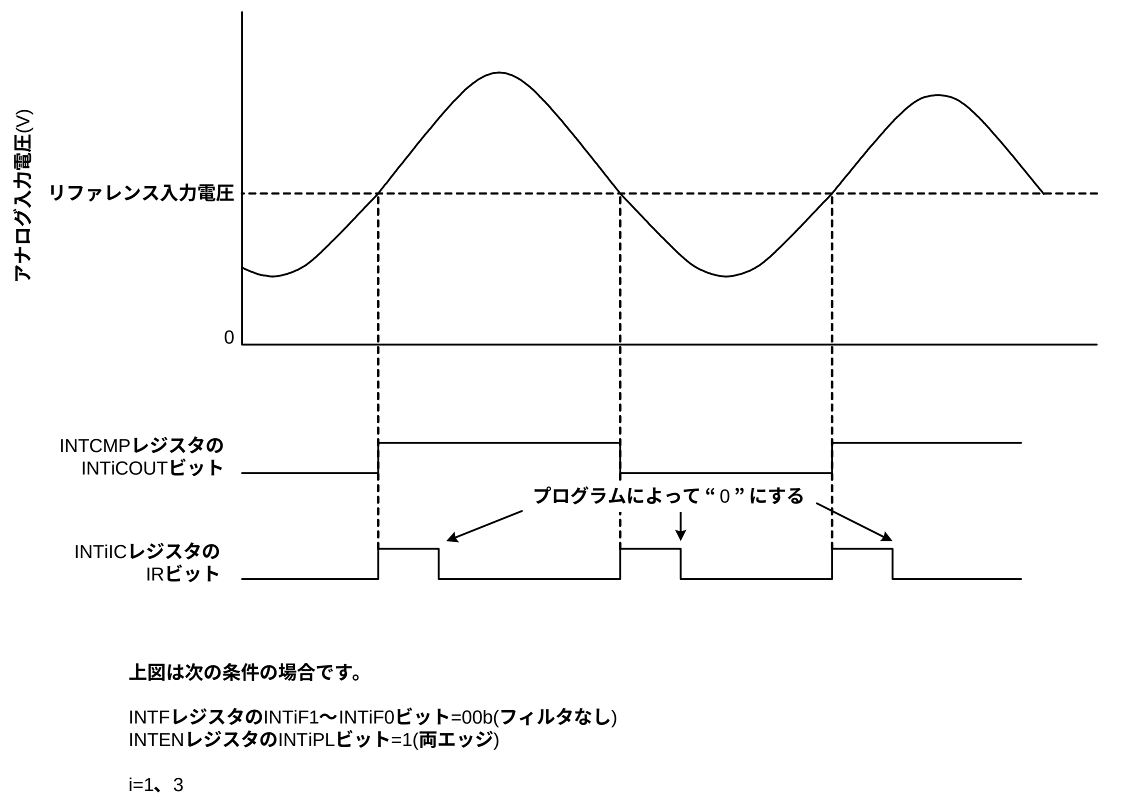


図32.2 コンパレータBi(i＝1、3)の動作例

32.3.1 コンパレータBiデジタルフィルタ(i=1、3)

コンパレータBiは、$\overline{\text{INTi}}$入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTiF1～INTiF0ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiICレジスタのIRビットが“1”(割り込み要求あり)になります。

図32.3にコンパレータBiデジタルフィルタの構成を、図32.4にコンパレータBiデジタルフィルタ動作例を示します。

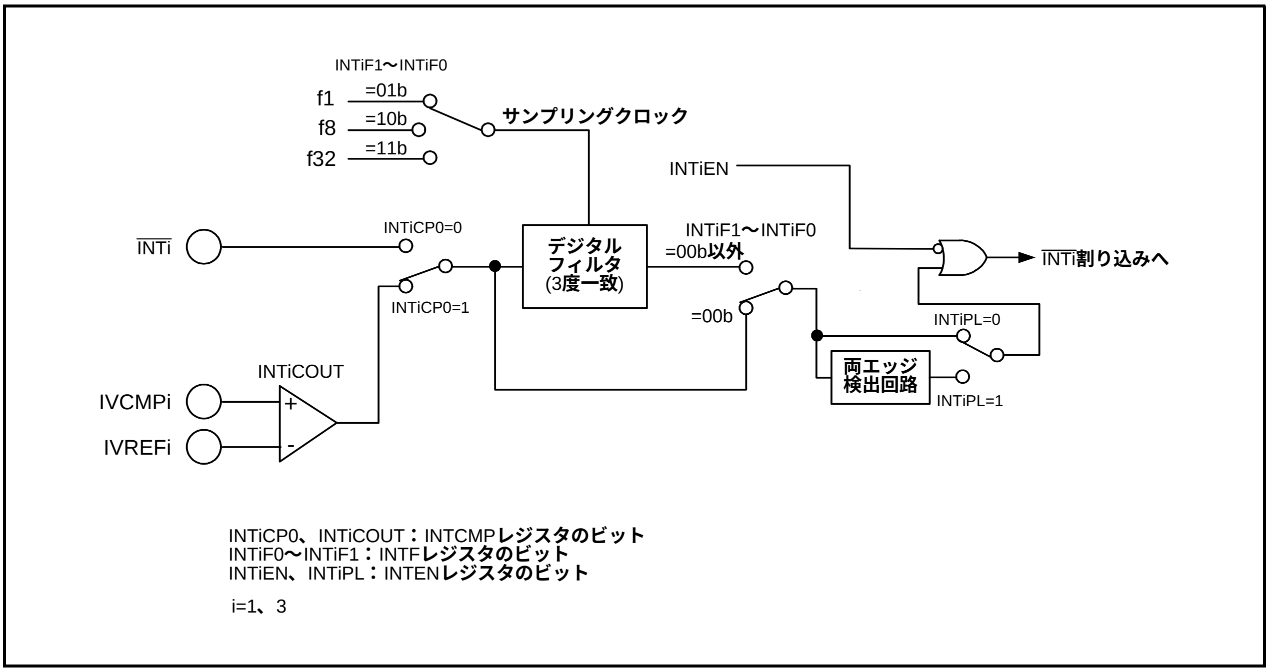


図32.3 コンパレータBiデジタルフィルタの構成

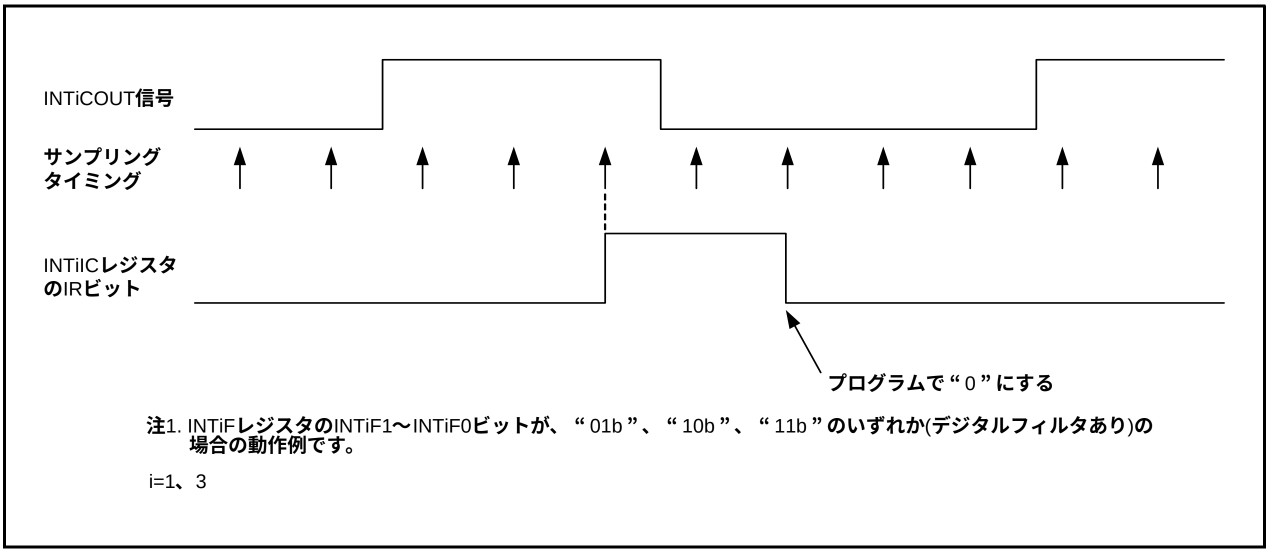


図32.4 コンパレータBiデジタルフィルタ動作例

32.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi(i=1、3)割り込みは$\overline{\text{INTi}}$(i=1、3)入力による割り込みと同一のINTiICレジスタ(IRビット、ILVL0～ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

33.　LCD駆動制御回路

注意

本章ではR8C/L3ACグループについて説明します。
他のグループについては「1.1.2　グループごとの相違点」を参照してください。

33.1　概要

LCD(液晶表示素子)の駆動制御回路が内蔵されています。

セグメント出力は最大56本、コモン出力は最大8本使用でき、最大416画素までLCD表示を行うことができます。

セグメント出力端子、コモン出力端子、および昇圧用容量接続端子CL1～CL2はI/Oポートの機能を兼用しています。LCD表示機能を使用しないときはI/Oポートとして使用できます。VL1～VL4端子はLCD駆動制御回路の電源端子です。

これらのLCD表示機能端子はグループごとに本数が異なります。表33.1にグループごとに備えるLCD表示機能端子を示します。

本章ではLCD表示機能端子数が最多のR8C/L3ACグループについて説明します。他のグループについては、表33.1に示した端子であることに注意してください。

表33.1　グループごとに備えるLCD表示機能端子

兼用I/Oポート	L35Cグループ コモン出力：最大4本 セグメント出力：最大24本								L36Cグループ コモン出力：最大8本 セグメント出力：最大32本								L38Cグループ コモン出力：最大8本 セグメント出力：最大48本								L3ACグループ コモン出力：最大8本 セグメント出力：最大56本							
P0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
P1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG11	SEG10	SEG9	SEG8	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
P2	SEG23	SEG22	SEG21	SEG20	—	—	—	—	SEG23	SEG22	SEG21	SEG20	—	—	—	—	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
P3	—	—	—	—	SEG27	SEG26	SEG25	SEG24	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
P4	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
P5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG43	SEG42	SEG41	SEG40
P6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG51	SEG50	SEG49	SEG48	SEG47	SEG46	SEG45	SEG44	SEG51	SEG50	SEG49	SEG48	SEG47	SEG46	SEG45	SEG44
P7	COM0	COM1	COM2	COM3	—	—	—	—	COM0	COM1	COM2	COM3	SEG55	SEG54	SEG53	SEG52	COM0	COM1	COM2	COM3	SEG55	SEG54	SEG53	SEG52	COM0	COM1	COM2	COM3	SEG55	SEG54	SEG53	SEG52
P12	—	—	—	—	CL2	CL1	—	—	—	—	—	—	CL2	CL1	—	—	—	—	—	—	CL2	CL1	—	—	—	—	—	—	CL2	CL1	—	—
—	VL1								VL1								VL1								VL1							
—	VL2								VL2								VL2								VL2							
—	—								VL3								VL3								VL3							
—	VL4								VL4								VL4								VL4							

注1.　“—”はLCD表示機能はありません。これらの端子は、LSE1～LSE3、LSE5～LSE7レジスタの対応するビットを“0”にしてください。
注2.　SEG52～SEG55はCOM7～COM4として使用可。
　　R8C/L35CグループにはSEG52～SEG55端子はありません。このため、1/8デューティは選択できません。
注3.　R8C/L35CグループにはVL3端子はありません。このため、1/4バイアスは選択できません。また、内部昇圧回路を使用する場合は、1/2バイアスも選択できません。

表33.2にLCD駆動制御回路の仕様概要 (1)を、表33.3にLCD駆動制御回路の仕様概要 (2)を、図33.1にLCD駆動制御回路のブロック図を示します。

表33.2　LCD駆動制御回路の仕様概要 (1)

<table>
<tr><th>項目</th><th>仕様</th></tr>
<tr><td>セグメント出力</td><td>最大56本(SEG0～SEG55)
•SEG0～SEG51端子は、I/Oポートとして使用するか、セグメント出力端子として使用するかを1本ごとに制御可
•SEG52～SEG55端子は、I/Oポートとして使用するか、コモン出力端子またはセグメント出力端子として使用するかを1本ごとに制御可</td></tr>
<tr><td>コモン出力</td><td>最大8本(COM0～COM7)
•使用するコモン出力端子は選択可。
•COM0～COM3端子は、コモン出力端子として使用しない場合はI/Oポートとして使用可
•COM4～COM7端子は、コモン出力端子として使用しない場合は、I/Oポートとして使用するか、セグメント出力端子として使用するかを1端子ごとに制御可</td></tr>
<tr><td>最大表示素子数</td><td>
<table>
<tr><th>デューティ</th><th>コモン端子</th><th>最大表示素子数</th></tr>
<tr><td>スタティック</td><td>COM0</td><td>56ドットまたは8セグメントLCD7桁</td></tr>
<tr><td>1/2</td><td>COM0～COM1</td><td>112ドットまたは8セグメントLCD14桁</td></tr>
<tr><td>1/3</td><td>COM0～COM2</td><td>168ドットまたは8セグメントLCD21桁</td></tr>
<tr><td>1/4</td><td>COM0～COM3</td><td>224ドットまたは8セグメントLCD28桁</td></tr>
<tr><td>1/8</td><td>COM0～COM7</td><td>416ドットまたは8セグメントLCD52桁</td></tr>
</table>
</td></tr>
<tr><td>LCD駆動タイミング</td><td>LCD駆動タイミングを決める内部信号LCDCKの周波数：
$$f(LCDCK) = \frac{\text{LCDクロックソース周波数}}{n \times \text{分周比}}$$
注. f32、f4選択時 n=32
fC-LCD選択時 n=4
フレーム周波数：
$$f(FR) = \frac{f(LCDCK) \times \text{デューティ}}{2}$$</td></tr>
<tr><td>バイアス制御</td><td>外付け分割抵抗を使用する場合と内部昇圧回路を使用する場合の2種類
(1) 外付け分割抵抗を使用する場合
•LCD用電源端子VL1～VL4に外付け分割抵抗を使用してLCD駆動電圧を印加
•VL1～VL4にはLCR0で設定したバイアス値に従って以下に示す電圧値を印加
<table>
<tr><th>バイアス値</th><th>電圧値</th></tr>
<tr><td>1/4バイアス</td><td>VL4 = VLCD
VL3 = 3/4 VLCD
VL2 = 2/4 VLCD
VL1 = 1/4 VLCD</td></tr>
<tr><td>1/3バイアス</td><td>VL4 = VLCD
VL3 = VL2 = 2/3 VLCD
VL1 = 1/3 VLCD</td></tr>
<tr><td>1/2バイアス</td><td>VL4 = VLCD
VL1 = VL2 = VL3 = 1/2 VLCD</td></tr>
</table>
VLCD：LCD電源電圧
注. R8C/L35CグループにはVL3端子はありませんので、1/4バイアスは選択できません。
(2) 内部昇圧回路を使用する場合
•1/4、1/2バイアス選択時：
VL1の電圧を基準にVL2端子に2倍、VL3端子に3倍、VL4端子に4倍の電圧生成
•1/3バイアス選択時：
VL1の電圧を基準にVL2、VL3端子に2倍、VL4端子に3倍の電圧生成
•VL1の電位は内部で生成するか、外部より入力するかを選択可
注. R8C/L35CグループにはVL3端子はありませんので、1/4バイアス、1/2バイアスは選択できません。</td></tr>
</table>

表33.3　LCD駆動制御回路の仕様概要 (2)

項目	仕様
LCD表示データレジスタ	LRA0L～LRA95HレジスタのCOM0～COM7ビットに、各セグメント出力に対応するコモン出力データを書き込む。 56バイト 各ビットを“1”にすると対応するセグメントが点灯、“0”にすると消灯
LCD表示制御データレジスタ	56バイト 各ビットを“1”にすると対応するセグメントが点滅/反転。点滅/反転はLRVRSビットで設定。
リセット後の端子状態	•SEG0～SEG55：ハイインピーダンス •COM0～COM7：ハイインピーダンス •CL1～CL2：ハイインピーダンス •VL1～VL4：ハイインピーダンス

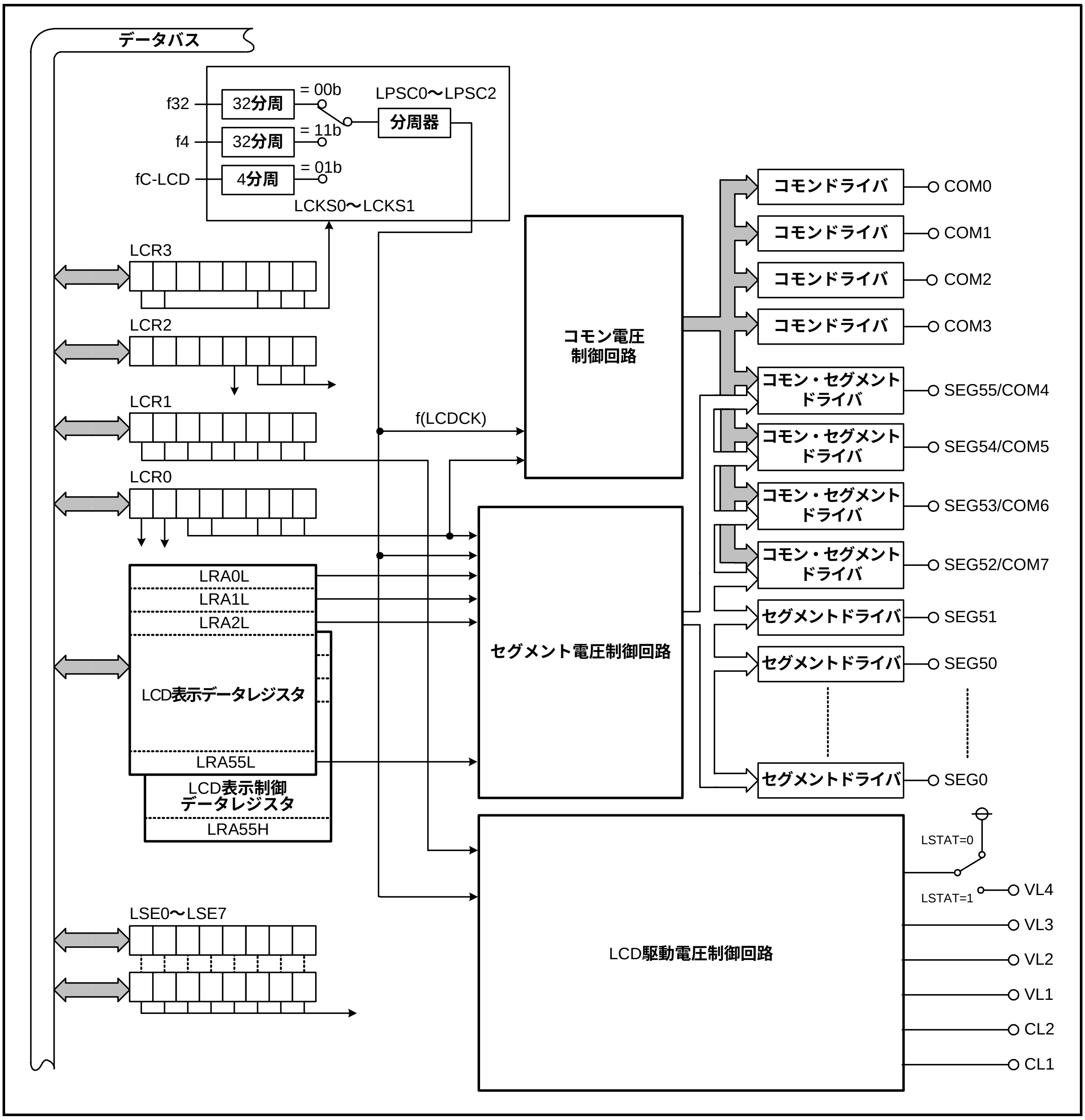


図33.1　LCD駆動制御回路のブロック図

33.2 レジスタの説明

33.2.1 LCD制御レジスタ(LCR0)

アドレス 0200h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSTAT	LDSPE	LBAS1	LBAS0	LWAV	LDTY2	LDTY1	LDTY0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LDTY0	デューティ選択ビット	b2 b1 b0 0 0 0 : スタティック(COM0使用) 0 0 1 : 1/2デューティ (COM0～COM1使用) 0 1 0 : 1/3デューティ (COM0～COM2使用) 0 1 1 : 1/4デューティ (COM0～COM3使用) 1 0 0 : 1/8デューティ (COM0～COM7使用) 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	LDTY1			R/W
b2	LDTY2			R/W
b3	LWAV	LCD波形制御選択ビット	0 : セグメントパネル制御波形 1 : ドットマトリクスパネル制御波形	R/W
b4	LBAS0	バイアス選択ビット	b5 b4 0 0 : 1/2バイアス 0 1 : 1/3バイアス 1 0 : 1/4バイアス 1 1 : 設定しないでください	R/W
b5	LBAS1			R/W
b6	LDSPE	LCD表示許可ビット	0 : LCD消灯 1 : LCD点灯	R/W
b7	LSTAT	LCD駆動開始ビット	0 : LCD駆動停止 1 : LCD駆動開始	R/W

33.2.2 LCDバイアス制御レジスタ(LCR1)

アドレス 0201h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LVUPE	LVURS	LVWT1	LVWT0	LVLS3	LVLS2	LVLS1	LVLS0
リセット後の値	0	0	0	0	0	0	0	0

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b0
b1
b2
b3</td><td>LVLS0
LVLS1
LVLS2
LVLS3</td><td>VL1内部生成電圧選択ビット</td><td>
<table>
<tr><th>b3 b2 b1 b0</th><th>LBAS1～LBAS0=00b/10b
(1/2、1/4バイアス)</th><th>LBAS1～LBAS0=01b
(1/3バイアス)</th></tr>
<tr><td>0 0 0 0 : VL1 =</td><td>1.12V (注1)</td><td>1.12V (注1)</td></tr>
<tr><td>0 0 0 1 : VL1 =</td><td>1.14V (注1)</td><td>1.14V (注1)</td></tr>
<tr><td>0 0 1 0 : VL1 =</td><td>1.17V (注1)</td><td>1.17V (注1)</td></tr>
<tr><td>0 0 1 1 : VL1 =</td><td>1.21V (注1)</td><td>1.21V (注1)</td></tr>
<tr><td>0 1 0 0 : VL1 =</td><td>1.24V (注1)</td><td>1.24V (注1)</td></tr>
<tr><td>0 1 0 1 : VL1 =</td><td>1.28V (注1)</td><td>1.28V (注1)</td></tr>
<tr><td>0 1 1 0 : VL1 =</td><td>1.31V (注1)</td><td>1.31V (注1)</td></tr>
<tr><td>0 1 1 1 : VL1 =</td><td>1.35V (注1)</td><td>1.35V (注1)</td></tr>
<tr><td>1 0 0 0 : VL1 =</td><td>1.40V (注1)</td><td>1.40V (注1)</td></tr>
<tr><td>1 0 0 1 : VL1 =</td><td>1.12V (注1)</td><td>1.49V (注1)</td></tr>
<tr><td>1 0 1 0 : VL1 =</td><td>↑</td><td>1.60V (注1)</td></tr>
<tr><td>1 0 1 1 : VL1 =</td><td>↑</td><td>1.72V (注1)</td></tr>
<tr><td>1 1 0 0 : VL1 =</td><td>↑</td><td>1.86V (注1)</td></tr>
<tr><td>1 1 0 1 : VL1 =</td><td>↑</td><td>1.12V (注1)</td></tr>
<tr><td>1 1 1 0 : VL1 =</td><td>↑</td><td>↑</td></tr>
<tr><td>1 1 1 1 : VL1 =</td><td>↑</td><td>↑</td></tr>
</table>
</td><td>R/W
R/W
R/W
R/W</td></tr>
<tr><td>b4
b5</td><td>LVWT0
LVWT1</td><td>昇圧待機時間選択ビット</td><td>
<table>
<tr><th>b5 b4</th><th>LDTY2～LDTY0=010b以外
(1/3デューティ以外)</th><th>LDTY2～LDTY0=010b
(1/3デューティ)</th></tr>
<tr><td>0 0 : 待機時間 = f(FR)</td><td>×64カウント</td><td>×48カウント</td></tr>
<tr><td>0 1 : 待機時間 = f(FR)</td><td>×32カウント</td><td>×24カウント</td></tr>
<tr><td>1 0 : 待機時間 = f(FR)</td><td>×16カウント</td><td>×12カウント</td></tr>
<tr><td>1 1 : 待機時間 = f(FR)</td><td>×8カウント</td><td>×6カウント</td></tr>
</table>
</td><td>R/W
R/W</td></tr>
<tr><td>b6</td><td>LVURS</td><td>昇圧基準電圧源選択ビット</td><td>0 : VL1外部入力電圧
1 : VL1内部生成電圧</td><td>R/W</td></tr>
<tr><td>b7</td><td>LVUPE</td><td>昇圧許可ビット</td><td>0 : 昇圧禁止
1 : 昇圧許可</td><td>R/W</td></tr>
</table>

注1. 標準値です。精度については「表 35.15　LCD 駆動制御回路の特性」を参照してください。また、昇圧した電圧が5.5Vを超えないよう注意してください。

33.2.3　LCD表示制御レジスタ(LCR2)

アドレス 0202h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	LDFR21	LDFR20	LRVRS	LDSPC	LDFR2	LDFR1	LDFR0
リセット後の値	X	0	0	0	0	0	0	0

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b0</td><td>LDFR0</td><td rowspan="3">LCDデータ表示制御間隔選択ビット1
(フレーム周波数をカウント)</td><td rowspan="3"><table>
<tr><td>b2 b1 b0</td><td>LDTY2～LDTY0
=010b以外
(1/3デューティ以外)</td><td>LDTY2～LDTY0
=010b
(1/3デューティ)</td></tr>
<tr><td>0 0 0 : 表示制御間隔 = f(FR)</td><td>×16カウント</td><td>64/3カウント</td></tr>
<tr><td>0 0 1 : 表示制御間隔 = f(FR)</td><td>×32カウント</td><td>128/3カウント</td></tr>
<tr><td>0 1 0 : 表示制御間隔 = f(FR)</td><td>×64カウント</td><td>256/3カウント</td></tr>
<tr><td>0 1 1 : 表示制御間隔 = f(FR)</td><td>×128カウント</td><td>512/3カウント</td></tr>
<tr><td>1 0 0 : 表示制御間隔 = f(FR)</td><td>×256カウント</td><td>1024/3カウント</td></tr>
<tr><td>1 0 1 : 設定しないでください</td><td></td><td></td></tr>
<tr><td>1 1 0 : 設定しないでください</td><td></td><td></td></tr>
<tr><td>1 1 1 : 表示制御間隔 =</td><td>スタティック</td><td>スタティック</td></tr>
</table></td><td>R/W</td></tr>
<tr><td>b1</td><td>LDFR1</td><td>R/W</td></tr>
<tr><td>b2</td><td>LDFR2</td><td>R/W</td></tr>
<tr><td>b3</td><td>LDSPC</td><td>LCDデータ表示制御有効ビット</td><td>0 : データ表示制御無効
1 : データ表示制御有効</td><td>R/W</td></tr>
<tr><td>b4</td><td>LRVRS</td><td>LCD表示制御モード選択ビット</td><td>0 : 点滅表示
1 : 反転表示</td><td>R/W</td></tr>
<tr><td>b5</td><td>LDFR20</td><td rowspan="2">LCDデータ表示制御間隔選択ビット2
(タイマREに同期)</td><td rowspan="2">b6 b5
0 0 : LDFR0～LDFR2ビットの設定が有効
0 1 : 0.25秒間隔
1 0 : 0.5秒間隔
1 1 : 1秒間隔</td><td>R/W</td></tr>
<tr><td>b6</td><td>LDFR21</td><td>R/W</td></tr>
<tr><td>b7</td><td>—</td><td colspan="2">何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。</td><td>—</td></tr>
</table>

33.2.4　LCDクロック制御レジスタ(LCR3)

アドレス 0203h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LCKS1	LCKS0	—	—	—	LPSC2	LPSC1	LPSC0
リセット後の値	0	0	0	0	0	0	0	0

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b0</td><td>LPSC0</td><td rowspan="3">分周比選択ビット</td><td rowspan="3">b2 b1 b0
0 0 0 : 分周なし
0 0 1 : 2分周
0 1 0 : 4分周
0 1 1 : 8分周
1 0 0 : 16分周
1 0 1 : 32分周
1 1 0 : 64分周
1 1 1 : 設定しないでください</td><td>R/W</td></tr>
<tr><td>b1</td><td>LPSC1</td><td>R/W</td></tr>
<tr><td>b2</td><td>LPSC2</td><td>R/W</td></tr>
<tr><td>b3</td><td>—</td><td rowspan="3">予約ビット</td><td rowspan="3">“0”にしてください。</td><td rowspan="3">R/W</td></tr>
<tr><td>b4</td><td>—</td></tr>
<tr><td>b5</td><td>—</td></tr>
<tr><td>b6</td><td>LCKS0</td><td rowspan="2">LCDクロックソース選択ビット</td><td rowspan="2">b7 b6
0 0 : f32
0 1 : fC-LCD
1 0 : 設定しないでください
1 1 : f4</td><td>R/W</td></tr>
<tr><td>b7</td><td>LCKS1</td><td>R/W</td></tr>
</table>

33.2.5 LCDポート選択レジスタ0(LSE0)

アドレス 0206h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE07	LSE06	LSE05	LSE04	LSE03	LSE02	LSE01	LSE00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE00	LCDポート選択ビット0	0 : ポートP0_0 1 : SEG0	R/W
b1	LSE01	LCDポート選択ビット1	0 : ポートP0_1 1 : SEG1	R/W
b2	LSE02	LCDポート選択ビット2	0 : ポートP0_2 1 : SEG2	R/W
b3	LSE03	LCDポート選択ビット3	0 : ポートP0_3 1 : SEG3	R/W
b4	LSE04	LCDポート選択ビット4	0 : ポートP0_4 1 : SEG4	R/W
b5	LSE05	LCDポート選択ビット5	0 : ポートP0_5 1 : SEG5	R/W
b6	LSE06	LCDポート選択ビット6	0 : ポートP0_6 1 : SEG6	R/W
b7	LSE07	LCDポート選択ビット7	0 : ポートP0_7 1 : SEG7	R/W

33.2.6 LCDポート選択レジスタ1(LSE1)

アドレス 0207h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE15	LSE14	LSE13	LSE12	LSE11	LSE10	LSE09	LSE08
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE08	LCDポート選択ビット8	0 : ポートP1_0 1 : SEG8	R/W
b1	LSE09	LCDポート選択ビット9	0 : ポートP1_1 1 : SEG9	R/W
b2	LSE10	LCDポート選択ビット10	0 : ポートP1_2 1 : SEG10	R/W
b3	LSE11	LCDポート選択ビット11	0 : ポートP1_3 1 : SEG11	R/W
b4	LSE12	LCDポート選択ビット12	0 : ポートP1_4 1 : SEG12	R/W
b5	LSE13	LCDポート選択ビット13	0 : ポートP1_5 1 : SEG13	R/W
b6	LSE14	LCDポート選択ビット14	0 : ポートP1_6 1 : SEG14	R/W
b7	LSE15	LCDポート選択ビット15	0 : ポートP1_7 1 : SEG15	R/W

33.2.7 LCDポート選択レジスタ2(LSE2)

アドレス 0208h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE23	LSE22	LSE21	LSE20	LSE19	LSE18	LSE17	LSE16
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE16	LCDポート選択ビット16	0 : ポートP2_0 1 : SEG16	R/W
b1	LSE17	LCDポート選択ビット17	0 : ポートP2_1 1 : SEG17	R/W
b2	LSE18	LCDポート選択ビット18	0 : ポートP2_2 1 : SEG18	R/W
b3	LSE19	LCDポート選択ビット19	0 : ポートP2_3 1 : SEG19	R/W
b4	LSE20	LCDポート選択ビット20	0 : ポートP2_4 1 : SEG20	R/W
b5	LSE21	LCDポート選択ビット21	0 : ポートP2_5 1 : SEG21	R/W
b6	LSE22	LCDポート選択ビット22	0 : ポートP2_6 1 : SEG22	R/W
b7	LSE23	LCDポート選択ビット23	0 : ポートP2_7 1 : SEG23	R/W

33.2.8 LCDポート選択レジスタ3(LSE3)

アドレス 0209h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE31	LSE30	LSE29	LSE28	LSE27	LSE26	LSE25	LSE24
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE24	LCDポート選択ビット24	0 : ポートP3_0 1 : SEG24	R/W
b1	LSE25	LCDポート選択ビット25	0 : ポートP3_1 1 : SEG25	R/W
b2	LSE26	LCDポート選択ビット26	0 : ポートP3_2 1 : SEG26	R/W
b3	LSE27	LCDポート選択ビット27	0 : ポートP3_3 1 : SEG27	R/W
b4	LSE28	LCDポート選択ビット28	0 : ポートP3_4 1 : SEG28	R/W
b5	LSE29	LCDポート選択ビット29	0 : ポートP3_5 1 : SEG29	R/W
b6	LSE30	LCDポート選択ビット30	0 : ポートP3_6 1 : SEG30	R/W
b7	LSE31	LCDポート選択ビット31	0 : ポートP3_7 1 : SEG31	R/W

33.2.9 LCDポート選択レジスタ4(LSE4)

アドレス 020Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE39	LSE38	LSE37	LSE36	LSE35	LSE34	LSE33	LSE32
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE32	LCDポート選択ビット32	0 : ポートP4_0 1 : SEG32	R/W
b1	LSE33	LCDポート選択ビット33	0 : ポートP4_1 1 : SEG33	R/W
b2	LSE34	LCDポート選択ビット34	0 : ポートP4_2 1 : SEG34	R/W
b3	LSE35	LCDポート選択ビット35	0 : ポートP4_3 1 : SEG35	R/W
b4	LSE36	LCDポート選択ビット36	0 : ポートP4_4 1 : SEG36	R/W
b5	LSE37	LCDポート選択ビット37	0 : ポートP4_5 1 : SEG37	R/W
b6	LSE38	LCDポート選択ビット38	0 : ポートP4_6 1 : SEG38	R/W
b7	LSE39	LCDポート選択ビット39	0 : ポートP4_7 1 : SEG39	R/W

33.2.10 LCDポート選択レジスタ5(LSE5)

アドレス 020Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE47	LSE46	LSE45	LSE44	LSE43	LSE42	LSE41	LSE40
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE40	LCDポート選択ビット40	0 : ポートP5_0 1 : SEG40	R/W
b1	LSE41	LCDポート選択ビット41	0 : ポートP5_1 1 : SEG41	R/W
b2	LSE42	LCDポート選択ビット42	0 : ポートP5_2 1 : SEG42	R/W
b3	LSE43	LCDポート選択ビット43	0 : ポートP5_3 1 : SEG43	R/W
b4	LSE44	LCDポート選択ビット44	0 : ポートP6_0 1 : SEG44	R/W
b5	LSE45	LCDポート選択ビット45	0 : ポートP6_1 1 : SEG45	R/W
b6	LSE46	LCDポート選択ビット46	0 : ポートP6_2 1 : SEG46	R/W
b7	LSE47	LCDポート選択ビット47	0 : ポートP6_3 1 : SEG47	R/W

33.2.11 LCDポート選択レジスタ6(LSE6)

アドレス 020Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE55	LSE54	LSE53	LSE52	LSE51	LSE50	LSE49	LSE48
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE48	LCDポート選択ビット48	0 : ポートP6_4 1 : SEG48	R/W
b1	LSE49	LCDポート選択ビット49	0 : ポートP6_5 1 : SEG49	R/W
b2	LSE50	LCDポート選択ビット50	0 : ポートP6_6 1 : SEG50	R/W
b3	LSE51	LCDポート選択ビット51	0 : ポートP6_7 1 : SEG51	R/W
b4	LSE52	LCDポート選択ビット52	0 : ポートP7_0 1 : SEG52またはCOM7	R/W
b5	LSE53	LCDポート選択ビット53	0 : ポートP7_1 1 : SEG53またはCOM6	R/W
b6	LSE54	LCDポート選択ビット54	0 : ポートP7_2 1 : SEG54またはCOM5	R/W
b7	LSE55	LCDポート選択ビット55	0 : ポートP7_3 1 : SEG55またはCOM4	R/W

33.2.12 LCDポート選択レジスタ7(LSE7)

アドレス 020Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	LSE60	LSE59	LSE58	LSE57	LSE56
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE56	LCDポート選択ビット56	0 : ポートP7_4 1 : COM3	R/W
b1	LSE57	LCDポート選択ビット57	0 : ポートP7_5 1 : COM2	R/W
b2	LSE58	LCDポート選択ビット58	0 : ポートP7_6 1 : COM1	R/W
b3	LSE59	LCDポート選択ビット59	0 : ポートP7_7 1 : COM0	R/W
b4	LSE60	LCDポート選択ビット60	0 : ポートP12_2、P12_3 1 : CL1、CL2	R/W
b5	—	予約ビット	“0”にしてください。	R/W
b6	—			
b7	—			

33.3 データレジスタ

LCD表示データレジスタ(LRAL)とLCD表示制御データレジスタ(LRAH)の2種類があります。

LCD表示データレジスタの各ビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯し、“0”を書き込むと消灯します。

LCR2レジスタのLDSPCビットが“1”のとき、LCD表示制御データレジスタの各ビットに“1”を書き込むと、LCDパネルの対応するセグメントが、LDFR0〜LDFR2ビットで選択した間隔で、LRVRSビットで選択した動作(点滅／反転)となります。

シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
LRA0L	0210h	SEG0							
LRA1L	0211h	SEG1							
LRA2L	0212h	SEG2							
LRA3L	0213h	SEG3							
LRA4L	0214h	SEG4							
LRA5L	0215h	SEG5							
LRA6L	0216h	SEG6							
LRA7L	0217h	SEG7							
LRA8L	0218h	SEG8							
LRA9L	0219h	SEG9							
LRA10L	021Ah	SEG10							
LRA11L	021Bh	SEG11							
LRA12L	021Ch	SEG12							
LRA13L	021Dh	SEG13							
LRA14L	021Eh	SEG14							
LRA15L	021Fh	SEG15							
LRA16L	0220h	SEG16							
LRA17L	0221h	SEG17							
LRA18L	0222h	SEG18							
LRA19L	0223h	SEG19							
LRA20L	0224h	SEG20							
LRA21L	0225h	SEG21							
LRA22L	0226h	SEG22							
LRA23L	0227h	SEG23							
LRA24L	0228h	SEG24							
LRA25L	0229h	SEG25							
LRA26L	022Ah	SEG26							
LRA27L	022Bh	SEG27							
LRA28L	022Ch	SEG28							
LRA29L	022Dh	SEG29							
LRA30L	022Eh	SEG30							
LRA31L	022Fh	SEG31							
LRA32L	0230h	SEG32							
LRA33L	0231h	SEG33							
LRA34L	0232h	SEG34							
LRA35L	0233h	SEG35							
LRA36L	0234h	SEG36							
LRA37L	0235h	SEG37							
LRA38L	0236h	SEG38							
LRA39L	0237h	SEG39							
LRA40L	0238h	SEG40							
LRA41L	0239h	SEG41							
LRA42L	023Ah	SEG42							
LRA43L	023Bh	SEG43							
LRA44L	023Ch	SEG44							
LRA45L	023Dh	SEG45							
LRA46L	023Eh	SEG46							
LRA47L	023Fh	SEG47							

シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
LRA48L	0240h	SEG48							
LRA49L	0241h	SEG49							
LRA50L	0242h	SEG50							
LRA51L	0243h	SEG51							
LRA52L	0244h	SEG52							
LRA53L	0245h	SEG53							
LRA54L	0246h	SEG54							
LRA55L	0247h	SEG55							
LRA56L	0248h	設定しないでください							
LRA57L	0249h								
LRA58L	024Ah								
LRA59L	024Bh								
LRA60L	024Ch								
LRA61L	024Dh								
LRA62L	024Eh								
LRA63L	024Fh								
LRA64L	0250h								
LRA65L	0251h								
LRA66L	0252h								
LRA67L	0253h								
LRA68L	0254h								
LRA69L	0255h								
LRA70L	0256h								
LRA71L	0257h								
LRA72L	0258h								
LRA73L	0259h								
LRA74L	025Ah								
LRA75L	025Bh								
LRA76L	025Ch								
LRA77L	025Dh								
LRA78L	025Eh								
LRA79L	025Fh								
LRA80L	0260h								
LRA81L	0261h								
LRA82L	0262h								
LRA83L	0263h								
LRA84L	0264h								
LRA85L	0265h								
LRA86L	0266h								
LRA87L	0267h								
LRA88L	0268h								
LRA89L	0269h								
LRA90L	026Ah								
LRA91L	026Bh								
LRA92L	026Ch								
LRA93L	026Dh								
LRA94L	026Eh								
LRA95L	026Fh								

図33.2　LCD表示データレジスタ

シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
LRA0H	0270h	SEG0							
LRA1H	0271h	SEG1							
LRA2H	0272h	SEG2							
LRA3H	0273h	SEG3							
LRA4H	0274h	SEG4							
LRA5H	0275h	SEG5							
LRA6H	0276h	SEG6							
LRA7H	0277h	SEG7							
LRA8H	0278h	SEG8							
LRA9H	0279h	SEG9							
LRA10H	027Ah	SEG10							
LRA11H	027Bh	SEG11							
LRA12H	027Ch	SEG12							
LRA13H	027Dh	SEG13							
LRA14H	027Eh	SEG14							
LRA15H	027Fh	SEG15							
LRA16H	0280h	SEG16							
LRA17H	0281h	SEG17							
LRA18H	0282h	SEG18							
LRA19H	0283h	SEG19							
LRA20H	0284h	SEG20							
LRA21H	0285h	SEG21							
LRA22H	0286h	SEG22							
LRA23H	0287h	SEG23							
LRA24H	0288h	SEG24							
LRA25H	0289h	SEG25							
LRA26H	028Ah	SEG26							
LRA27H	028Bh	SEG27							
LRA28H	028Ch	SEG28							
LRA29H	028Dh	SEG29							
LRA30H	028Eh	SEG30							
LRA31H	028Fh	SEG31							
LRA32H	0290h	SEG32							
LRA33H	0291h	SEG33							
LRA34H	0292h	SEG34							
LRA35H	0293h	SEG35							
LRA36H	0294h	SEG36							
LRA37H	0295h	SEG37							
LRA38H	0296h	SEG38							
LRA39H	0297h	SEG39							
LRA40H	0298h	SEG40							
LRA41H	0299h	SEG41							
LRA42H	029Ah	SEG42							
LRA43H	029Bh	SEG43							
LRA44H	029Ch	SEG44							
LRA45H	029Dh	SEG45							
LRA46H	029Eh	SEG46							
LRA47H	029Fh	SEG47							

シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
LRA48H	02A0h	SEG48							
LRA49H	02A1h	SEG49							
LRA50H	02A2h	SEG50							
LRA51H	02A3h	SEG51							
LRA52H	02A4h	SEG52							
LRA53H	02A5h	SEG53							
LRA54H	02A6h	SEG54							
LRA55H	02A7h	SEG55							
LRA56H	02A8h	設定しないでください							
LRA57H	02A9h								
LRA58H	02AAh								
LRA59H	02ABh								
LRA60H	02ACh								
LRA61H	02ADh								
LRA62H	02AEh								
LRA63H	02AFh								
LRA64H	02B0h								
LRA65H	02B1h								
LRA66H	02B2h								
LRA67H	02B3h								
LRA68H	02B4h								
LRA69H	02B5h								
LRA70H	02B6h								
LRA71H	02B7h								
LRA72H	02B8h								
LRA73H	02B9h								
LRA74H	02BAh								
LRA75H	02BBh								
LRA76H	02BCh								
LRA77H	02BDh								
LRA78H	02BEh								
LRA79H	02BFh								
LRA80H	02C0h								
LRA81H	02C1h								
LRA82H	02C2h								
LRA83H	02C3h								
LRA84H	02C4h								
LRA85H	02C5h								
LRA86H	02C6h								
LRA87H	02C7h								
LRA88H	02C8h								
LRA89H	02C9h								
LRA90H	02CAh								
LRA91H	02CBh								
LRA92H	02CCh								
LRA93H	02CDh								
LRA94H	02CEh								
LRA95H	02CFh								

図33.3 LCD表示制御データレジスタ

33.4 LCD駆動制御

表33.4にLCD駆動制御の手順の概要を示します。

表33.4　LCD駆動制御手順とセグメント、コモン端子の状態

手順	セグメント、コモン端子の状態
リセット ↓ LSE0～LSE7の設定 ・セグメント出力端子を選択 ↓ LCD表示データレジスタの初期値設定 ・SEG端子出力データを初期値設定 LCD表示制御レジスタの初期値設定 ・SEG端子制御の初期値設定 ↓ LCR3の設定 ・LCKS1～LCKS0：LCDクロックソースを選択 ・LPSC2～LPSC0：分周比を選択 ↓ LCR2の設定 ・LDSPC ：LCDデータ表示制御を有効 ・LDFR2～LDFR0 ：LCDデータ表示制御の間隔を選択 ↓ VL1～VL4（分割抵抗外付け → LCR0の設定へ／昇圧回路使用 → LCR1の設定へ） ↓ LCR1の設定 ・LVUPE：昇圧を許可 ・LVURS：昇圧基準電圧源を選択 ・LVWT1～LVWT0：昇圧するまでの待機時間を選択 ・LVLS3～LVLS0： VL1内部生成基準電圧を選択 ↓ LCR0の設定 ・LSTAT：LCD制御を開始 ・LDSPE：LCD表示を許可 ・LBAS1～LBAS0：バイアスを選択 ・LWAV：LCD波形制御を選択 ・LDTY2～LDTY0：デューティを選択 ↓ LCD表示データレジスタの設定 ・SEG端子出力データを設定 ↓ LCR2の設定 ・LDSPC：LCDデータ表示制御を有効 ・LDFR2～LDFR0：LCDデータ表示制御の間隔を選択 （LCD表示データレジスタの設定へ戻る）	•I/Oポート（入力） •ハイインピーダンス状態 （プルアップ制御レジスタに依存） ↓ •ハイインピーダンス ↓ LCD制御の開始により •LDSPEビットが“0”のとき、セグメント端子、コモン端子は“L”出力。 •LDSPEビットが“1”、LVUPEビットが“0”のとき、セグメント端子、コモン端子はLCD表示データレジスタの内容を出力。 •LDSPEビットが“1”、LVUPEビットが“1”のとき、セグメント端子、コモン端子はLVWT0、LVWT1で選択した時間を経たあと、LCD表示データレジスタの内容を出力。

33.4.1　セグメント出力端子の選択

セグメント出力端子SEG0～SEG55、およびコモン出力端子COM0～COM7はすべてI/Oポートと兼用です。これらの端子はリセット後は、すべてI/Oポートになりますので、LCD表示のセグメント出力、コモン出力に使用する端子は対応するLSEiビット(i=00～59)を“1”にしてください。セグメント出力、コモン出力に使用しない端子はLSEiビットを“0”(I/Oポート)にしてください。I/Oポートとして使用しない場合は、I/Oポートの未使用端子の処理(「表7.25　未使用端子の処理例」参照)を行ってください。

33.4.2　LCDクロック選択

LCDクロックソースとしてf32、f4、fC-LCDのいずれかをLCKS0～LCKS1ビットで選択、分周比を分周なし～64分周からLPSC0～LPSC2ビットで選択します。

33.4.3　LCDデータ表示制御

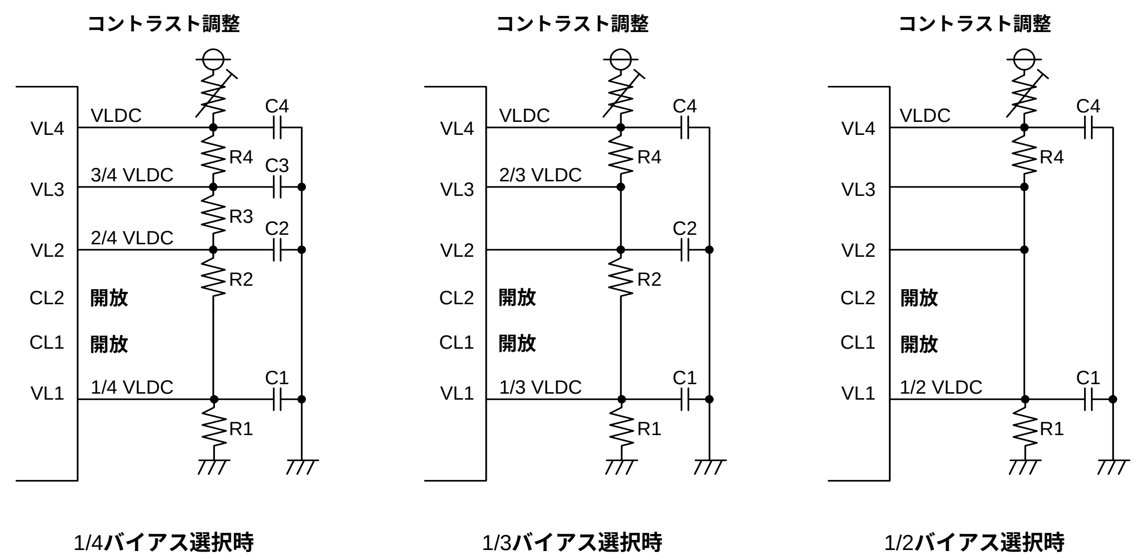
LCDデータ表示制御は、一定の間隔でLCD表示を点滅、あるいは反転する機能です。この機能はLDSPCビットを“1”にすることによって有効になります。LRVRSビットを“0”にすると点滅、“1”にすると反転します。点滅、反転の間隔は、LDFR0～LDFR2ビットで選択します。

33.4.4　バイアス制御

LCD用電源入力端子VL1～VL4に分割抵抗を外付けする場合と、昇圧回路を使用する場合があります。図33.4に分割抵抗を外付けする場合の端子接続と電圧レベルを、図33.5に昇圧回路を使用する場合の端子接続と電圧レベルを示します。

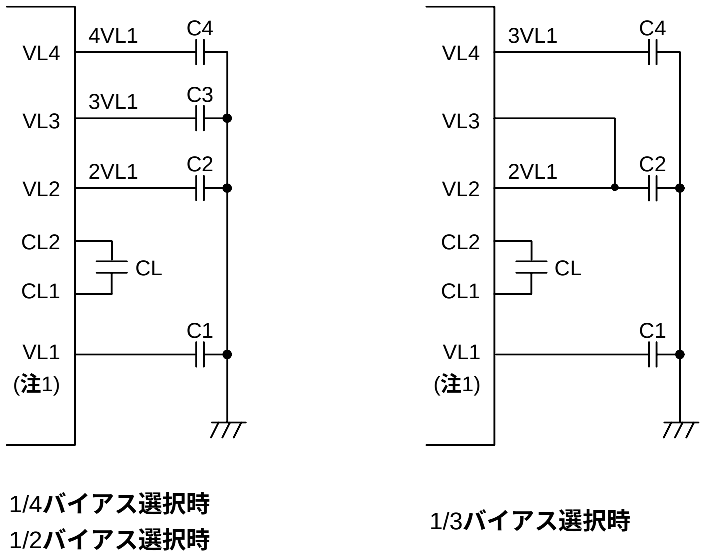
分割抵抗外付けの場合は、LVUPEビットを“0”にします。CL1、CL2端子はLSE60ビットを“1”にして開放してください。“0”にしてI/Oポートとして使用することもできます。

昇圧回路を使用する場合はLVUPEビットを“1”にして、昇圧基準電圧VL1を外部から入力するか、内部生成するかをLVURSで選択します。CL1、CL2端子間には、昇圧用コンデンサを接続してください。昇圧基準電圧VL1を内部生成する場合は、LVLS0～LVLS3ビットでVL1の電圧値を選択します。昇圧待機時間はLVW0～LVW1ビットでカウントソース×8～カウントソース×64から選択します。



注1.　CL1、CL2端子はI/Oポートとして使用できます。

図33.4　分割抵抗を外付けする場合の端子接続と電圧レベル



注1. VL1を内部生成する場合(LVURS=“１”)。
LVURS=“０”のときは、外部からVL1を供給してください。

図33.5　昇圧回路を使用する場合の端子接続と電圧レベル

33.4.5　LCDデータ表示

LBAS0～LBAS1ビットでバイアスを、LDTY0～LDTY2ビットでデューティを選択します。また、LWAVビットでセグメントパネル制御波形か、ドットマトリクスパネル制御波形かを選択します。LDSPEビットを“1”にしてLCD表示を許可し、LSTATビットを“1”にするとLCD表示が開始されます。LCD表示データはLCD表示データレジスタに設定します。

LCD表示データレジスタの内容、及びLCR2レジスタの内容を変更することによってLCD表示内容が変更されます。

33.4.6　ストップモード時の端子の状態

LSE0～LSE7レジスタのLSE00～LSE60ビットで選択したLCD表示機能端子は、表33.5に示す状態に移行します。表33.4に示すLCD駆動制御手順のLCR0レジスタを設定したときと同じ動作でLCD制御が再開されます。

表33.5　ストップモード時のLCD表示機能端子の状態

端子名	端子の状態
SEG0～SEG55	“L”出力
COM0～COM7	“L”出力
CL1～CL2	“L”出力
VL1	•外付け分割抵抗使用時 (LCR1レジスタのLVUPEビットを“0” にして昇圧禁止で使用のとき) ハイインピーダンス状態 •昇圧回路使用、VL1外部入力電圧使用時 (LVUPEビットを“1” 、LVURSビットを“0” で使用のとき) ハイインピーダンス状態 •昇圧回路使用、VL1内部生成電圧使用時 (LVUPEビットを“1”、LVURSビットを“1”で使用のとき) 内部生成電圧を出力
VL2～VL4	ハイインピーダンス状態

33.4.7　パワーオフモード時の端子の状態

LSE0～LSE7レジスタのLSE00～LSE60ビットで選択したLCD表示機能端子は、表33.6に示す状態に移行します。表33.4に示すリセットから動作します。

表33.6　パワーオフモード時のLCD表示機能端子の状態

端子名	端子の状態
SEG0～SEG55	“L”出力
COM0～COM7	“L”出力
CL1～CL2	ハイインピーダンス状態
VL1～VL4	ハイインピーダンス状態

33.5 LCD駆動波形

33.5.1 セグメントパネル制御波形

図33.6～図33.17にセグメントパネル制御の場合(LWAV = “0”)の各デューティ、バイアスに応じたLCD駆動波形を示します。

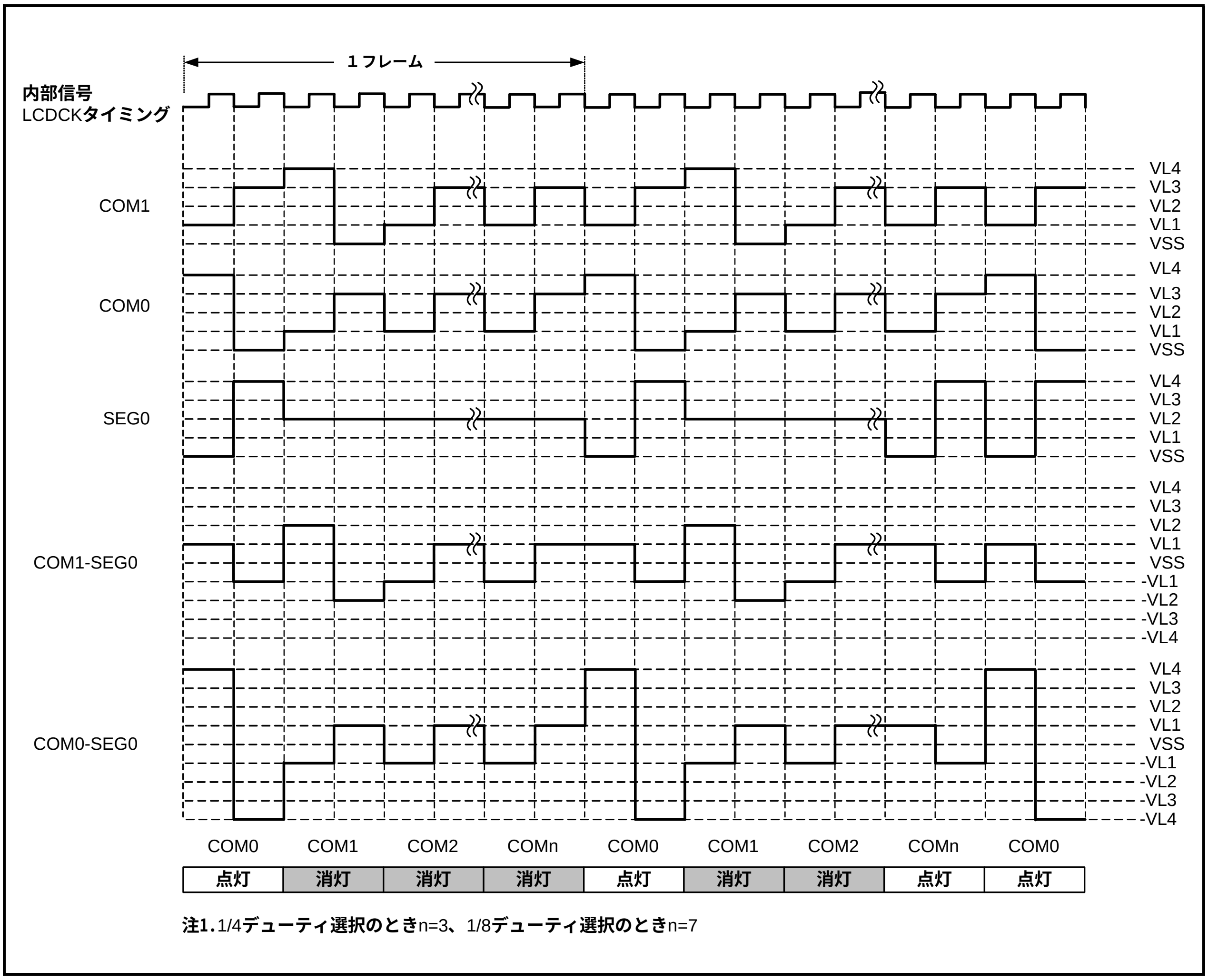


図33.6 LCD駆動波形(LWAV=“0”、1/4、1/8デューティ、1/4バイアス)

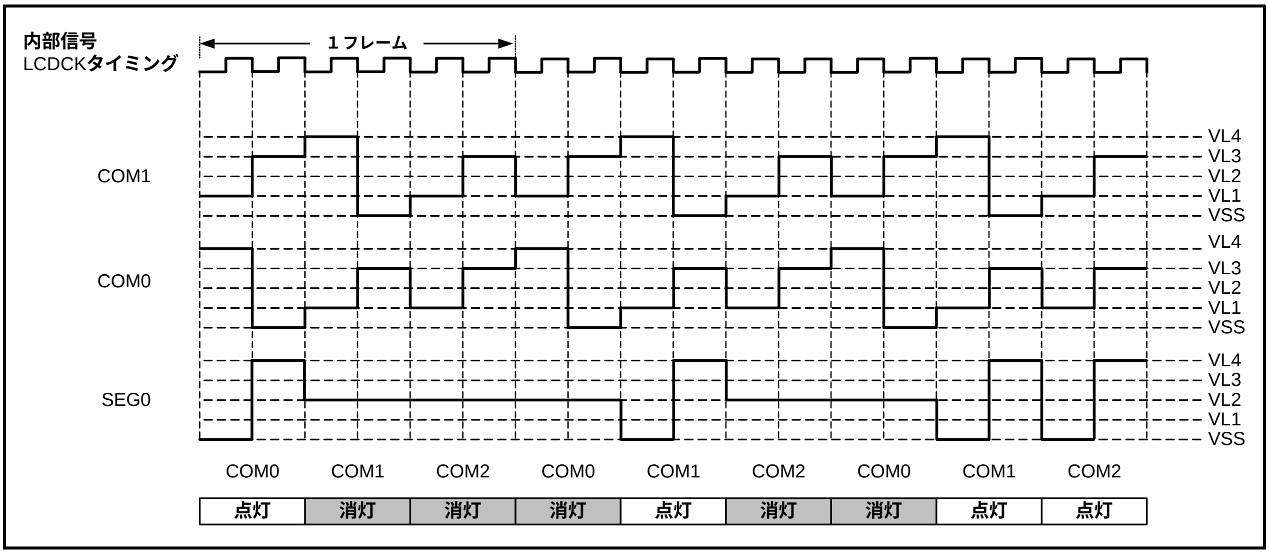


図33.7　LCD駆動波形(LWAV="0"、1/3デューティ、1/4バイアス)

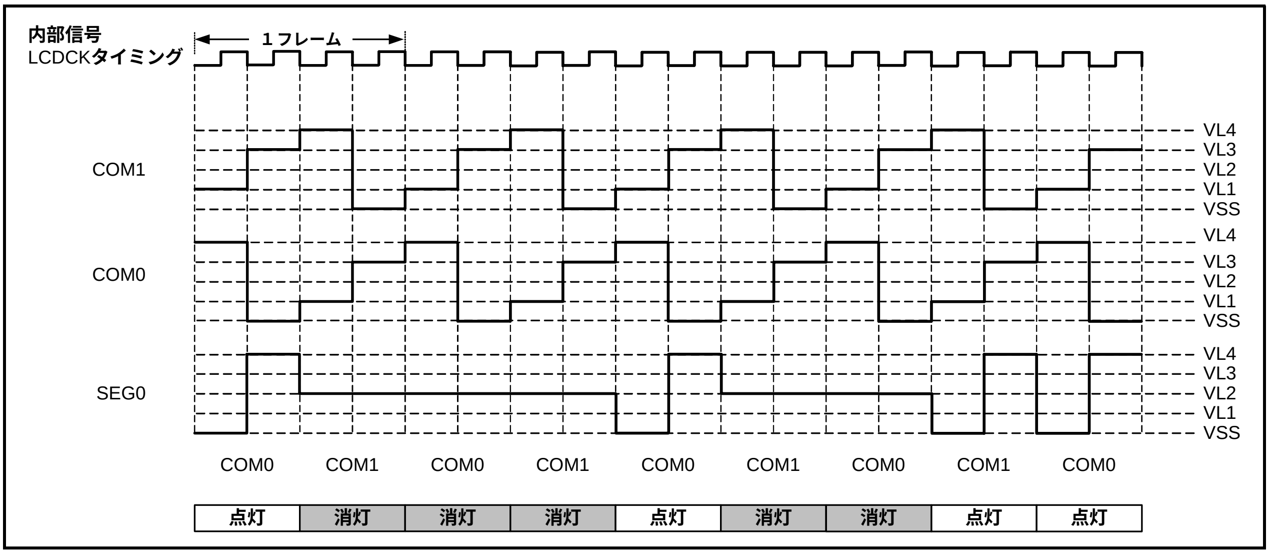


図33.8　LCD駆動波形(LWAV="0"、1/2デューティ、1/4バイアス)

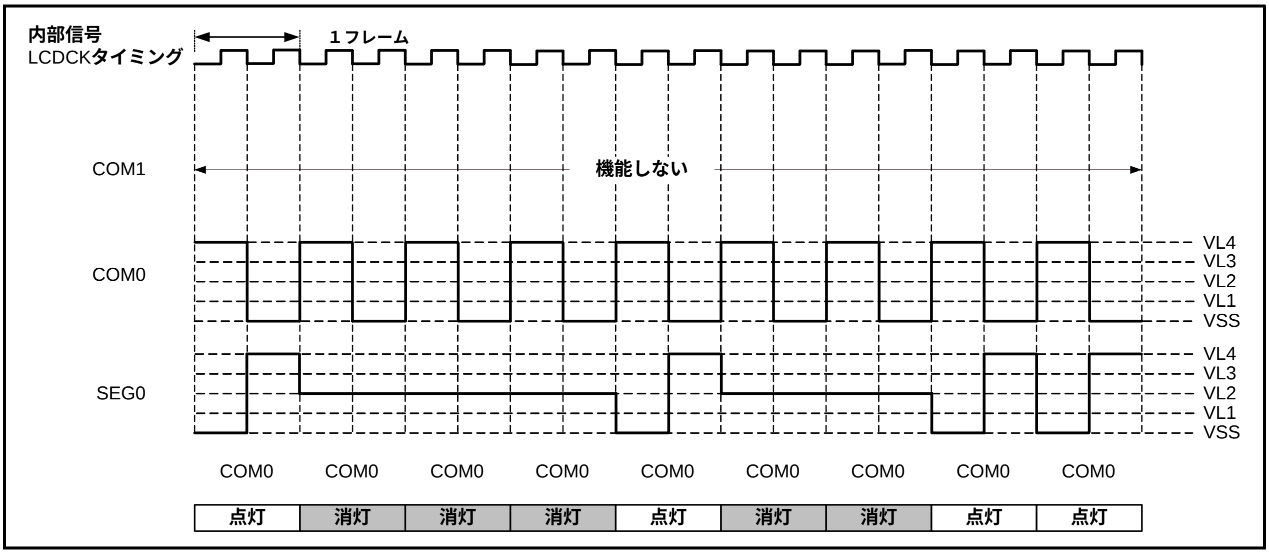


図33.9　LCD駆動波形(LWAV="0"、スタティック、1/4バイアス)

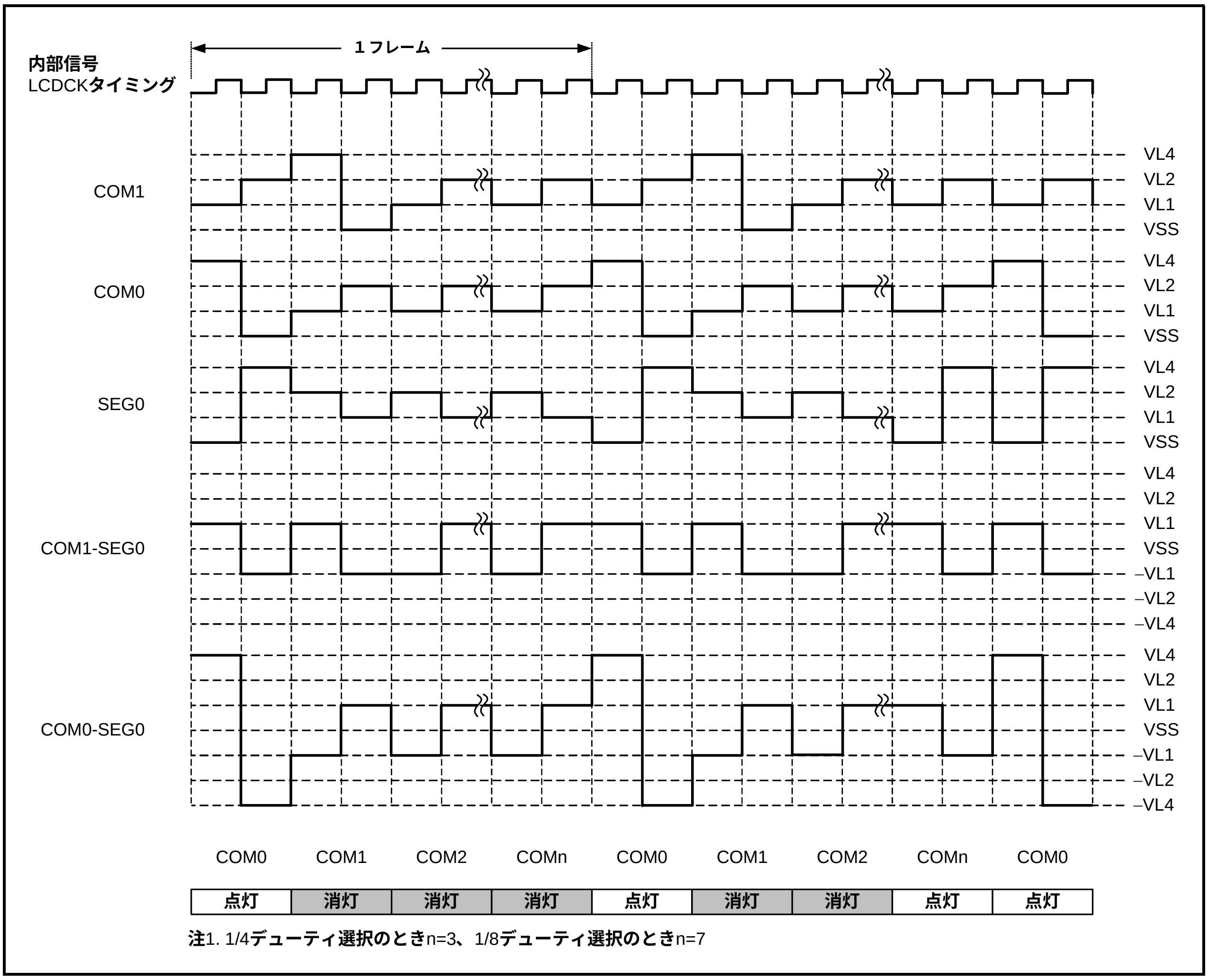


図33.10　LCD駆動波形(LWAV="0"、1/4、1/8デューティ、1/3バイアス)

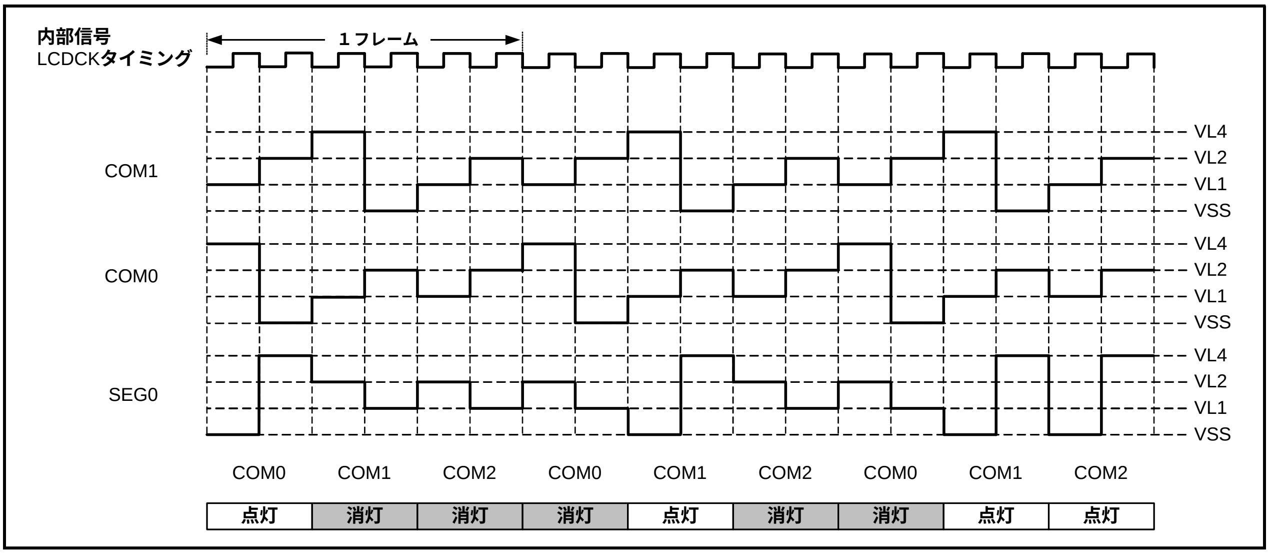


図33.11 LCD駆動波形(LWAV="0"、1/3デューティ、1/3バイアス)

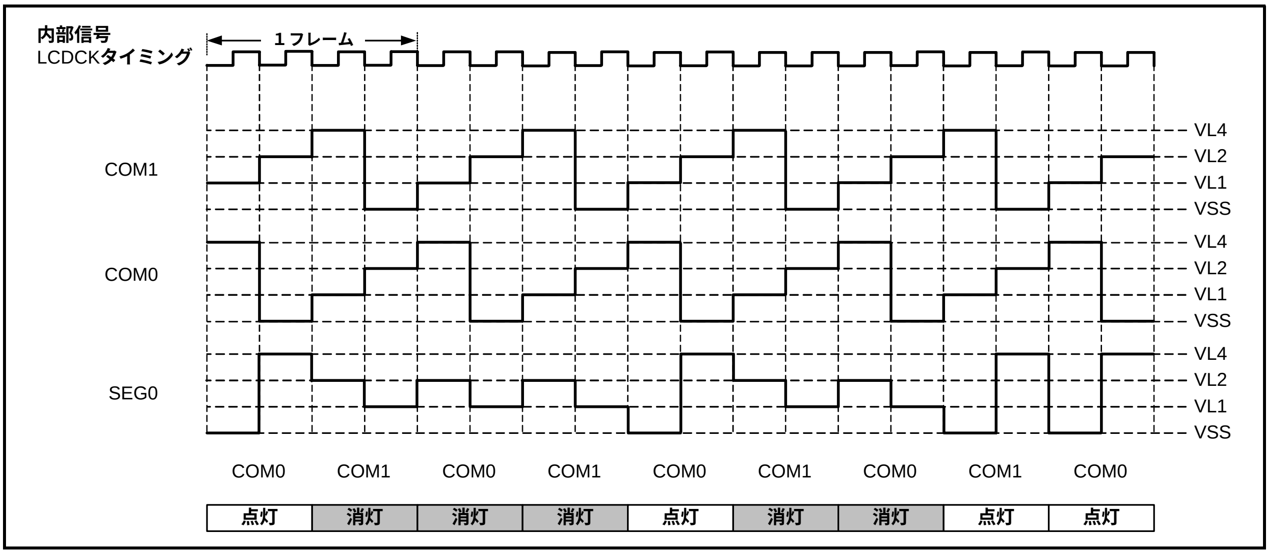


図33.12 LCD駆動波形(LWAV="0"、1/2デューティ、1/3バイアス)

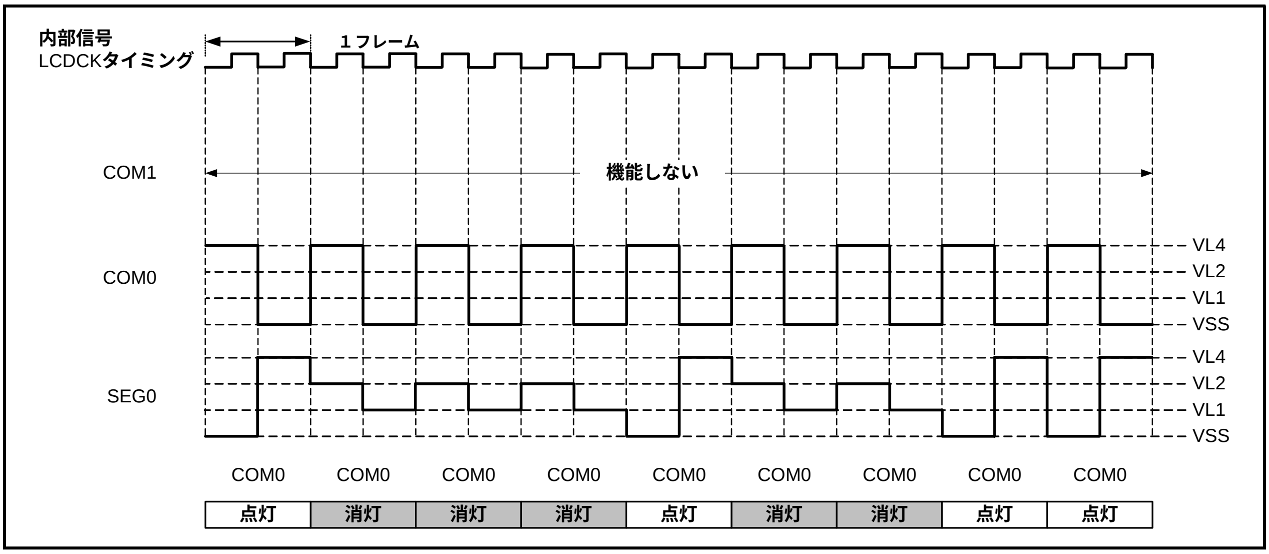


図33.13 LCD駆動波形(LWAV="0"、スタティック、1/3バイアス)

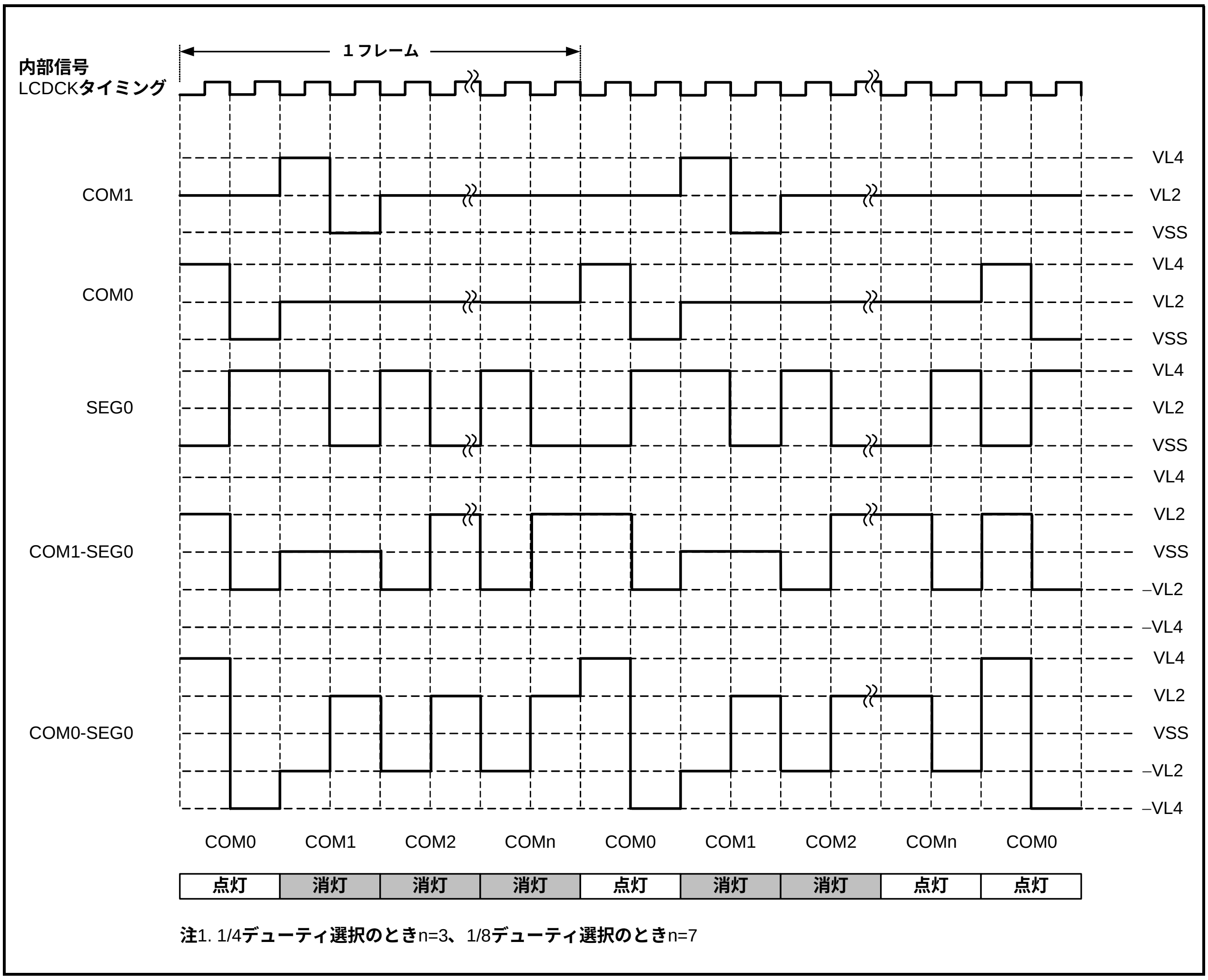


図33.14 LCD駆動波形(LWAV=“0”、1/4、1/8デューティ、1/2バイアス)

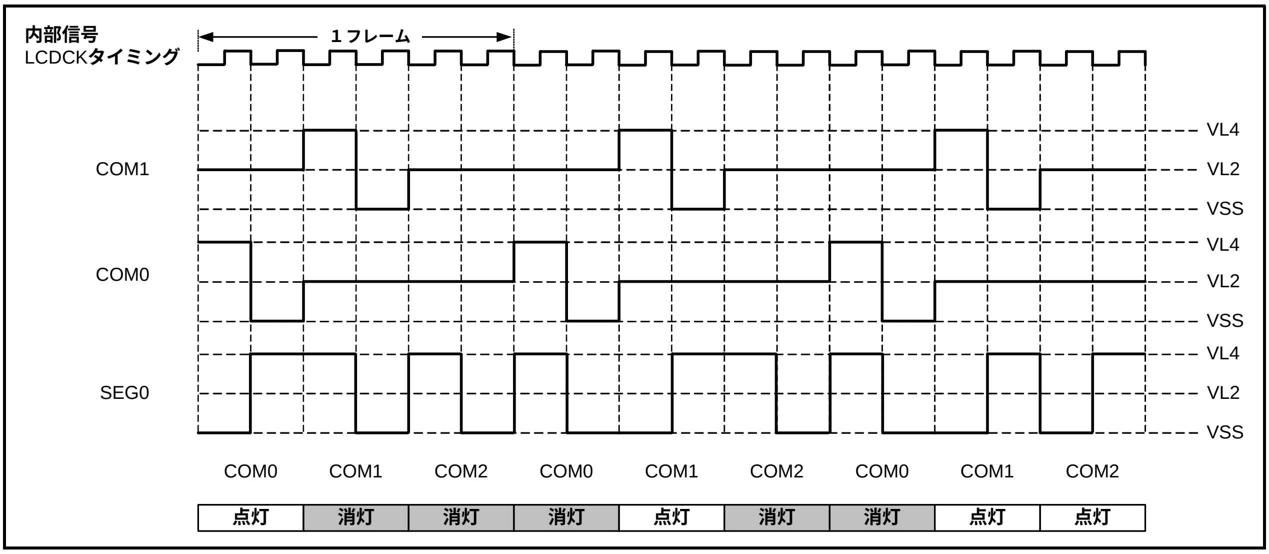


図33.15 LCD駆動波形(LWAV="0"、1/3デューティ、1/2バイアス)

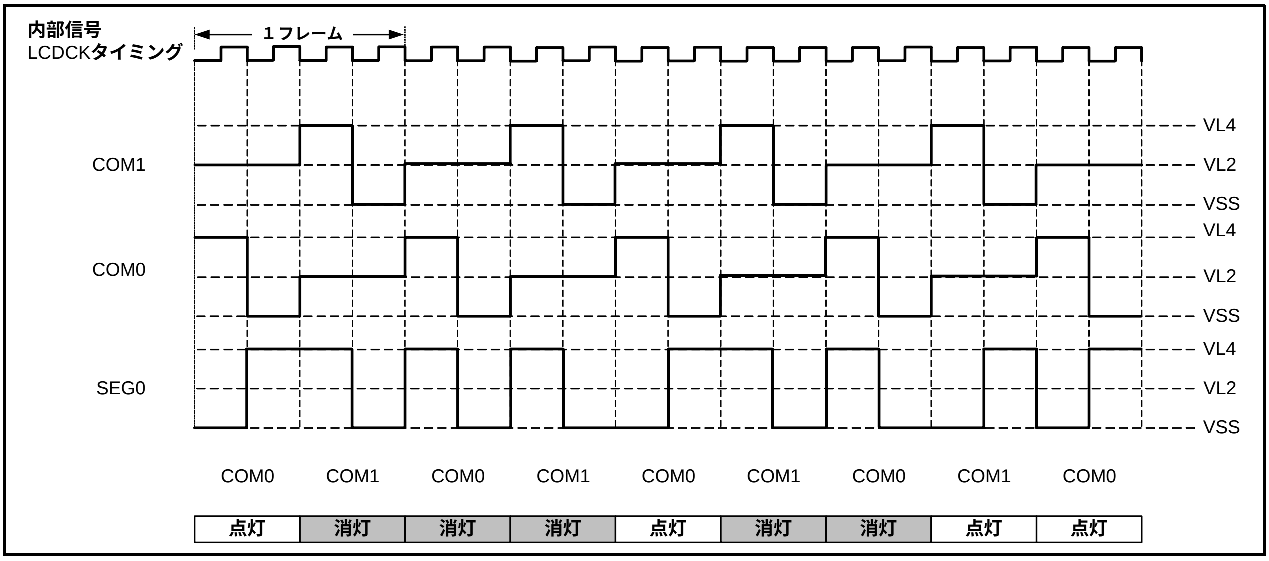


図33.16 LCD駆動波形(LWAV="0"、1/2デューティ、1/2バイアス)

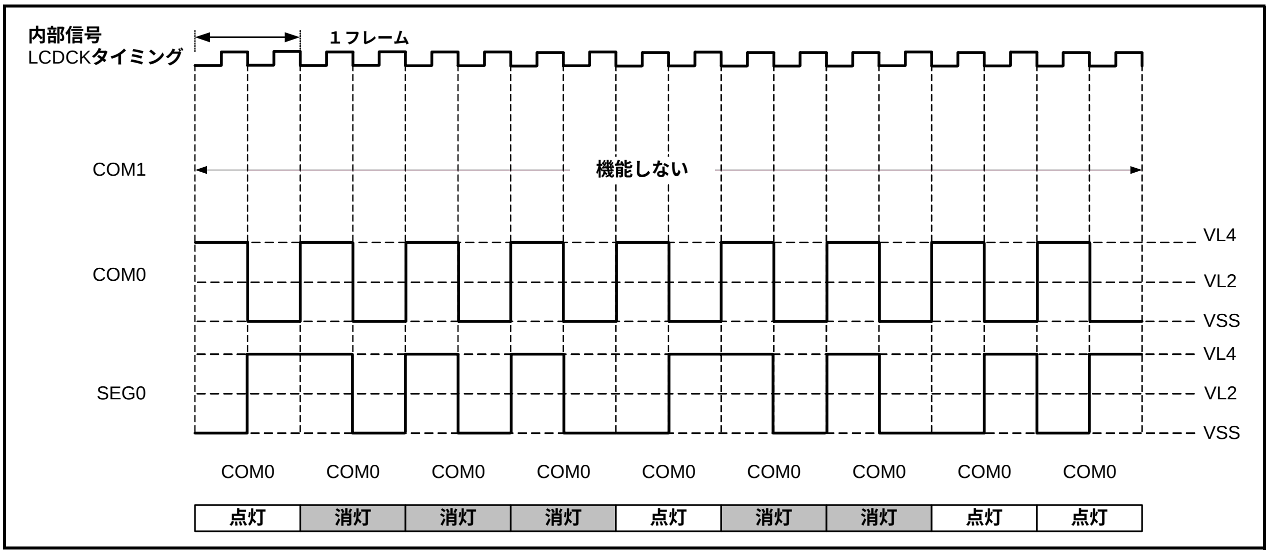


図33.17 LCD駆動波形(LWAV="0"、スタティック、1/2バイアス)

33.5.2 ドットマトリクスパネル制御波形

図33.18～図33.29にドットマトリクスパネル制御の場合(LWAV = “1”)の各デューティ、バイアスに応じたLCD駆動波形を示します

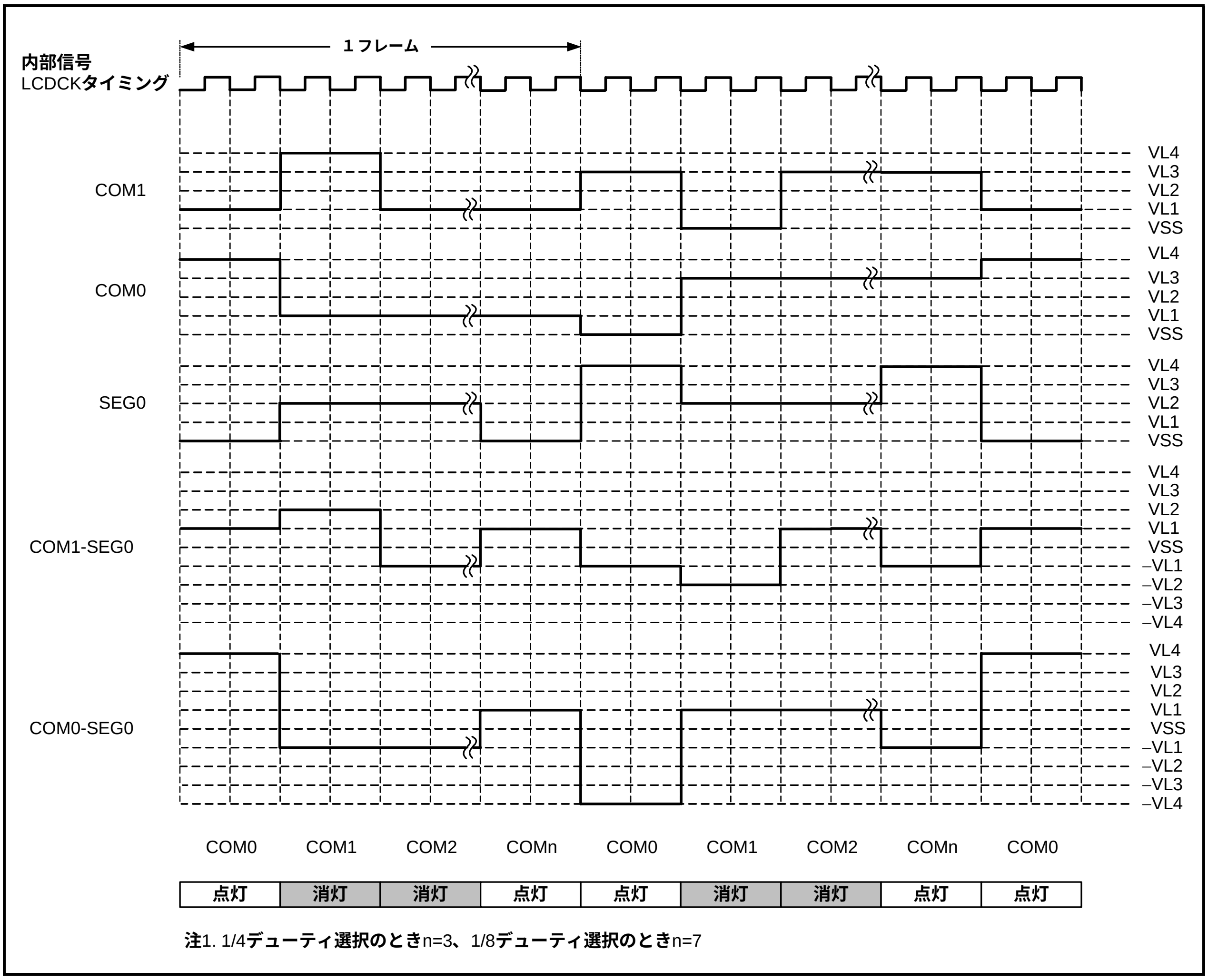


図33.18 LCD駆動波形(LWAV=“1”、1/4、1/8デューティ、1/4バイアス)

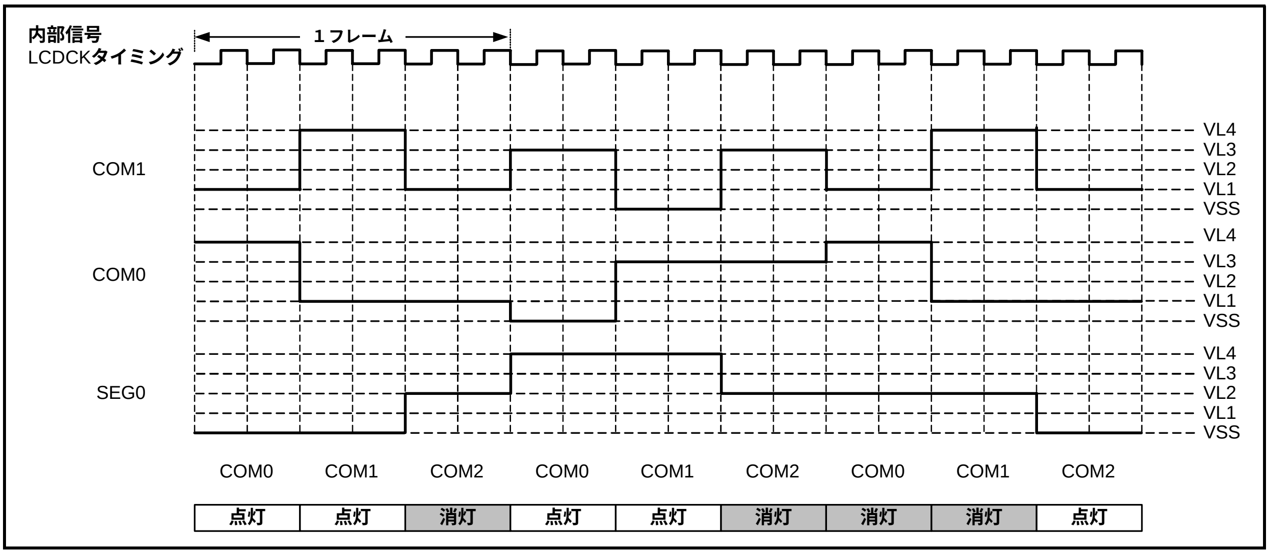


図33.19　LCD駆動波形(LWAV="1"、1/3デューティ、1/4バイアス)

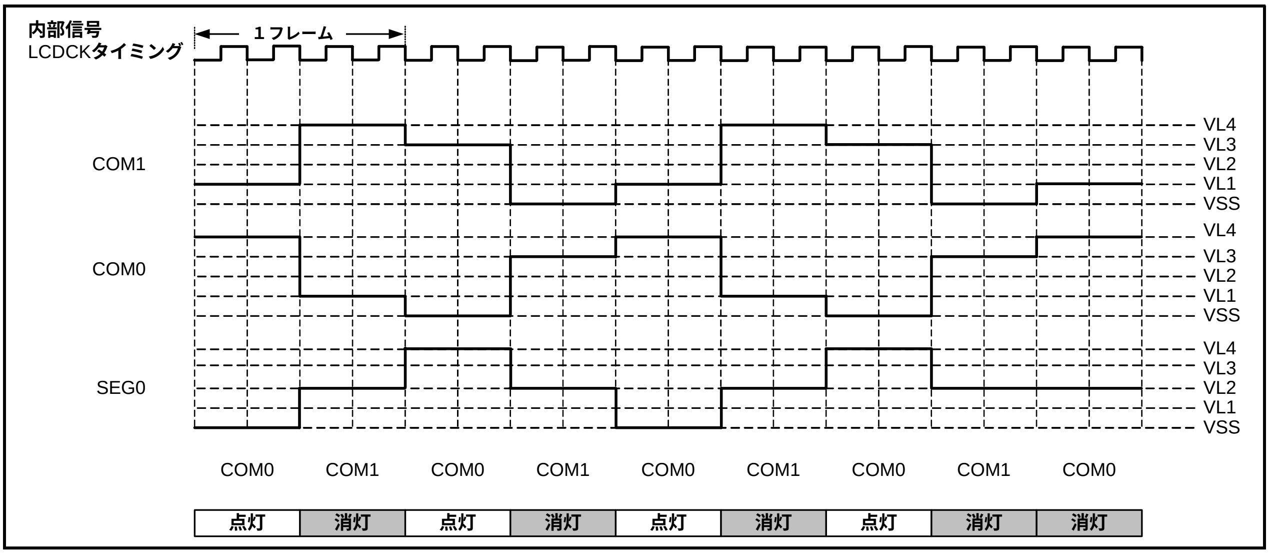


図33.20　LCD駆動波形(LWAV="1"、1/2デューティ、1/4バイアス)

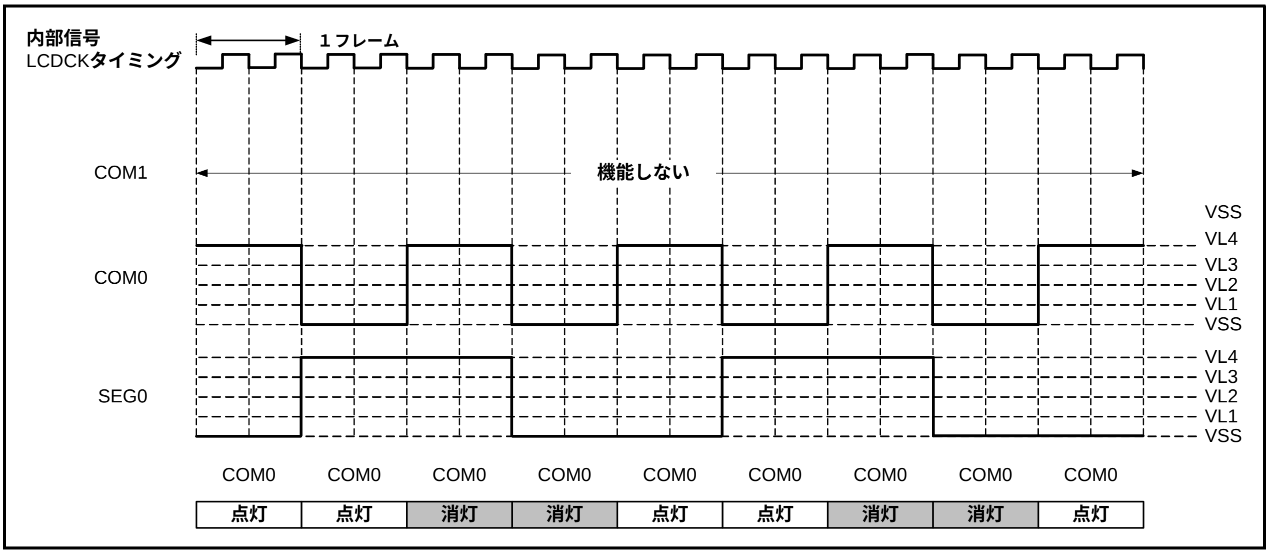


図33.21　LCD駆動波形(LWAV="1"、スタティック、1/4バイアス)

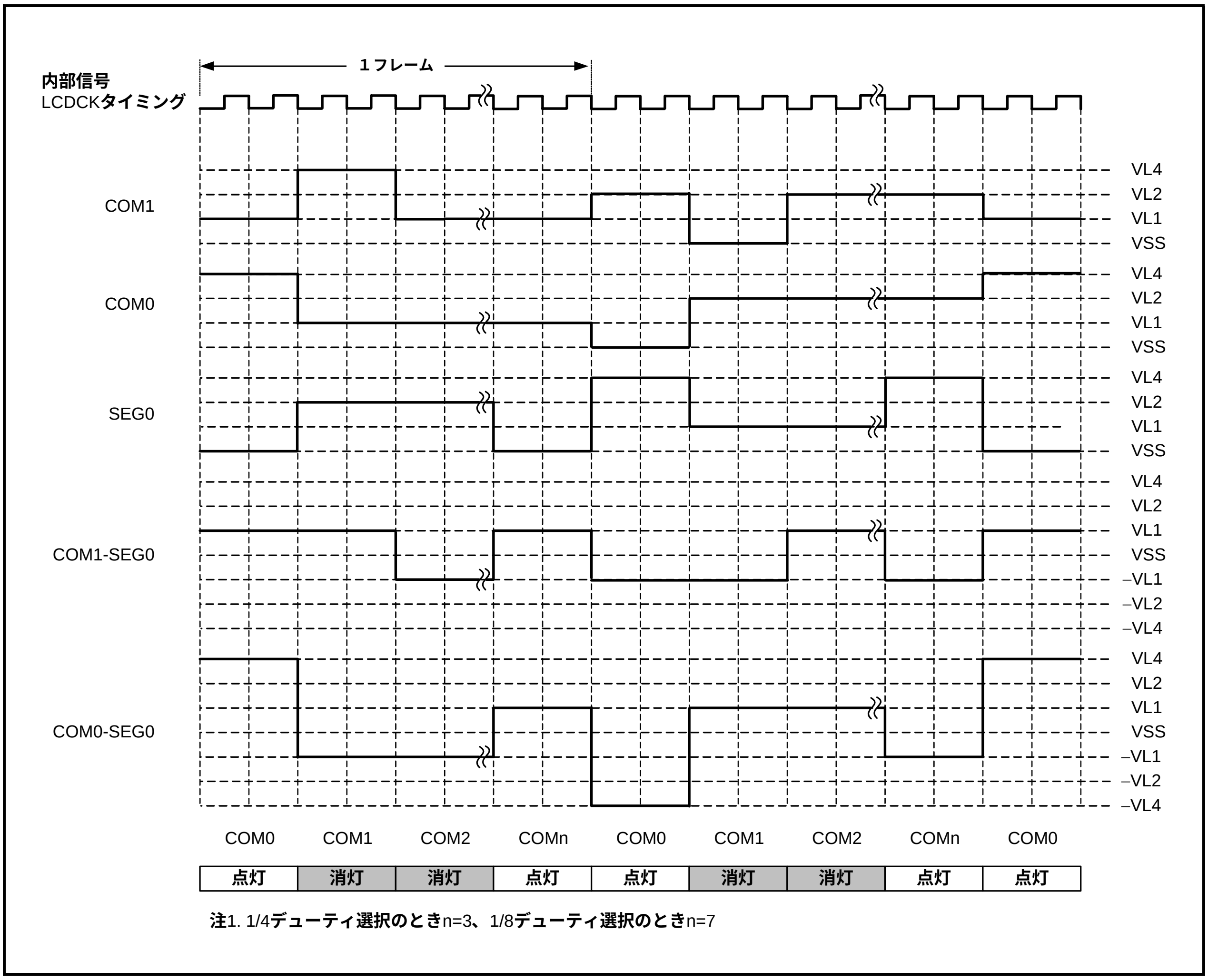


図33.22　LCD駆動波形(LWAV="1"、1/4、1/8デューティ、1/3バイアス)

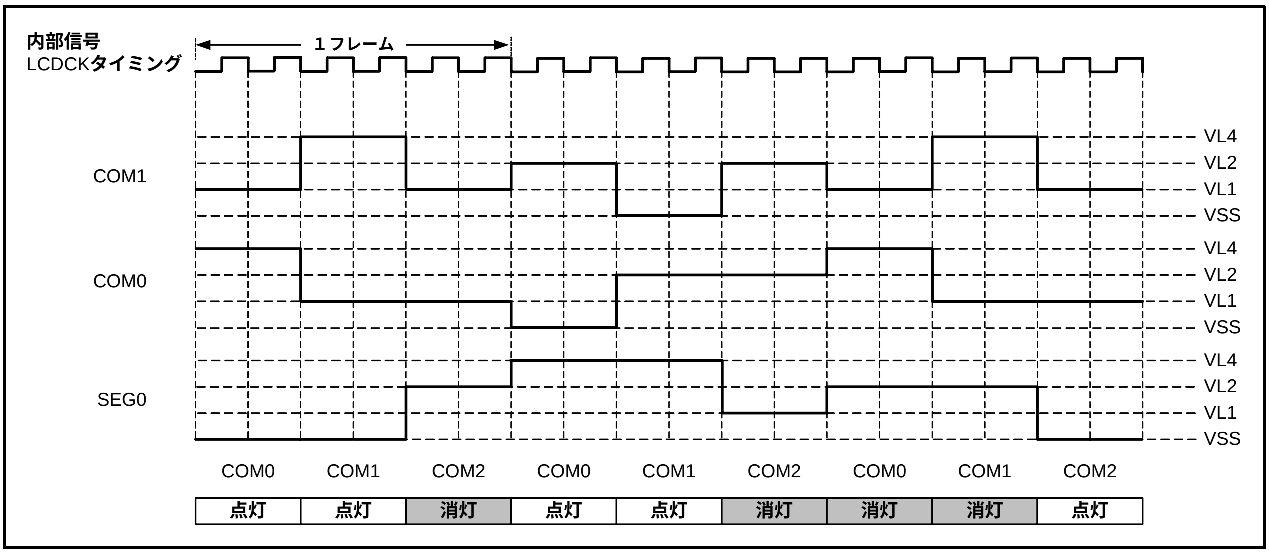


図33.23　LCD駆動波形(LWAV="1"、1/3デューティ、1/3バイアス)

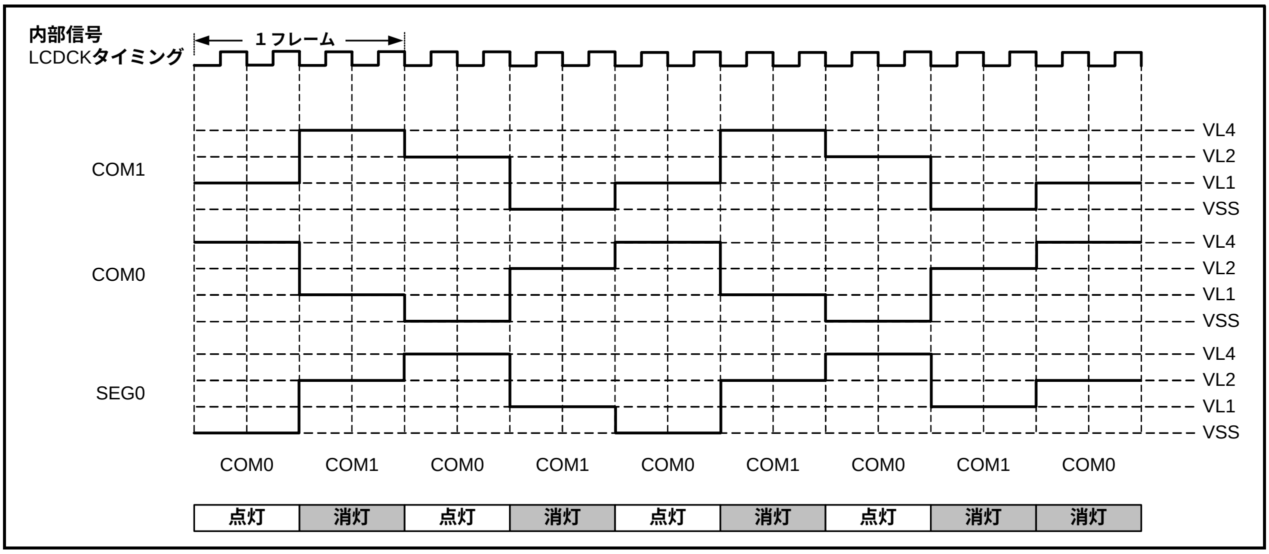


図33.24　LCD駆動波形(LWAV="1"、1/2デューティ、1/3バイアス)

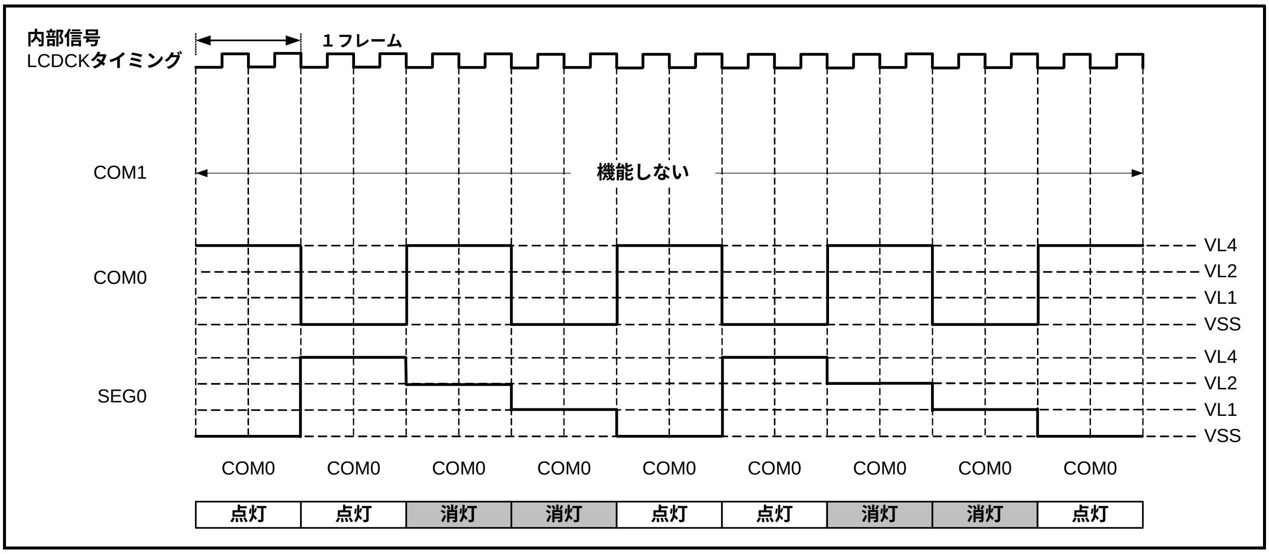
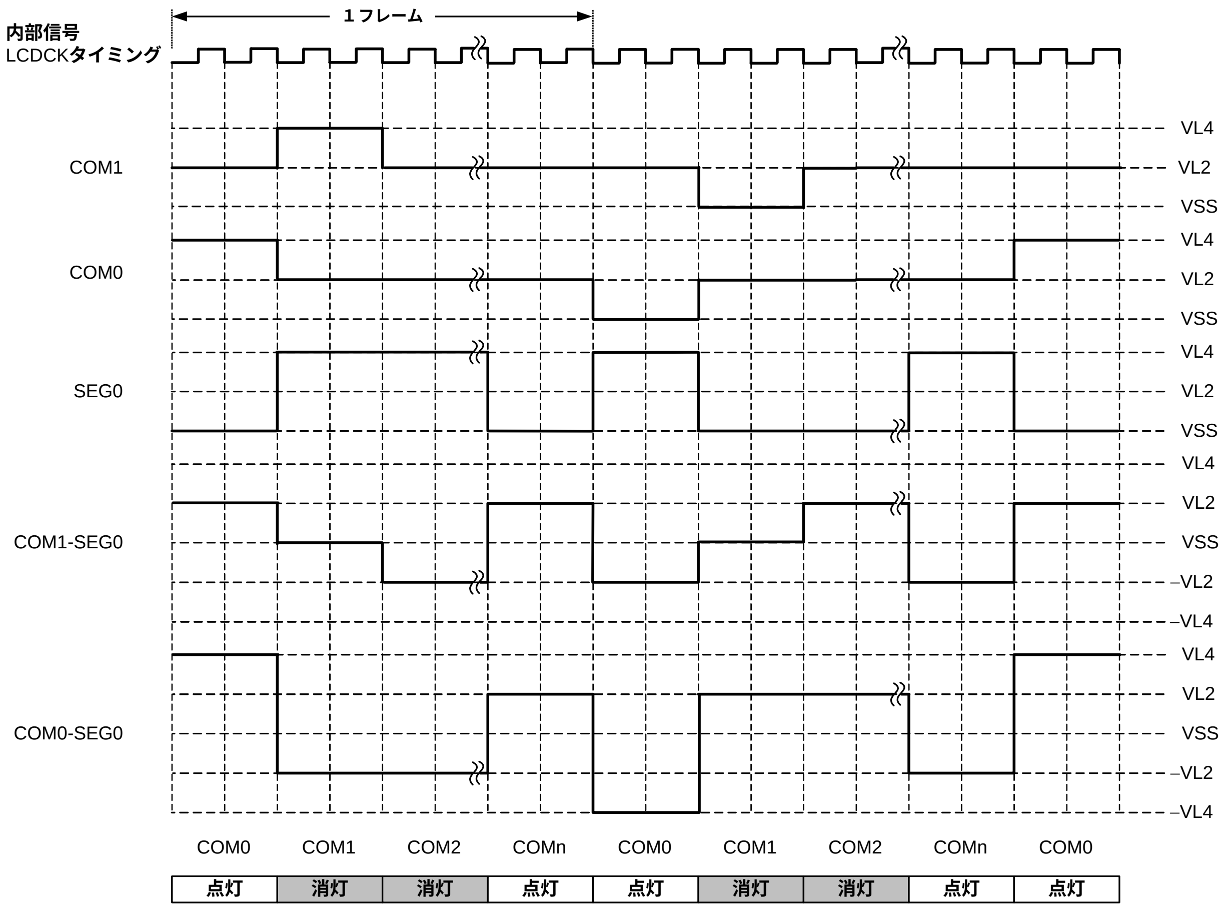


図33.25　LCD駆動波形(LWAV="1"、スタティック、1/3バイアス)



注1. 1/4デューティ選択のときn=3、1/8デューティ選択のときn=7

図33.26　LCD駆動波形(LWAV=“1”、1/4、1/8デューティ、1/2バイアス)

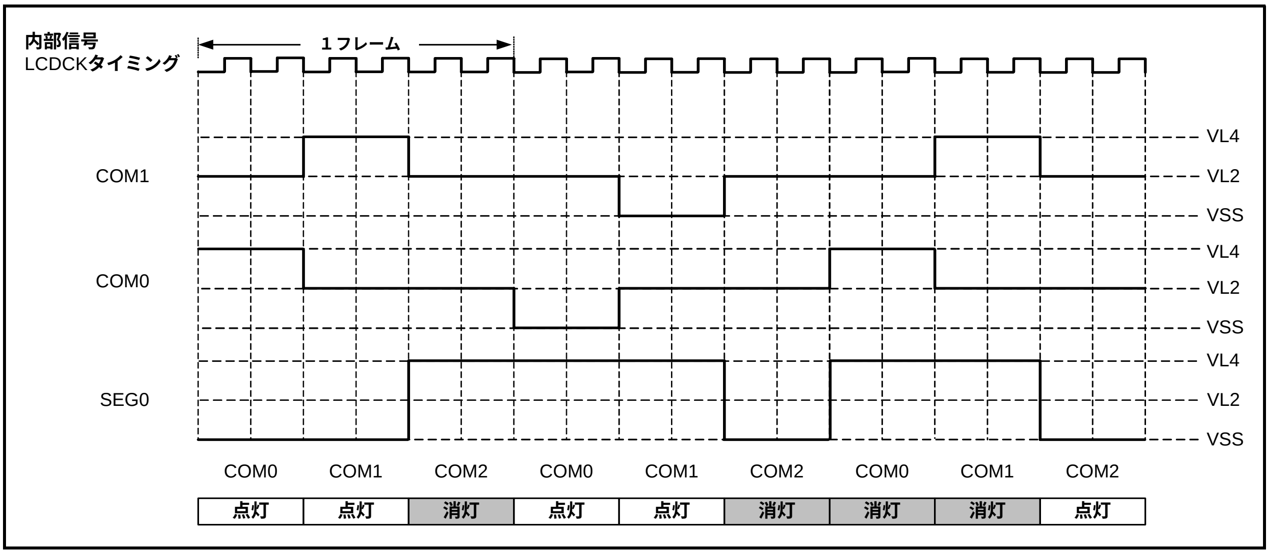


図33.27　LCD駆動波形(LWAV="1"、1/3デューティ、1/2バイアス)

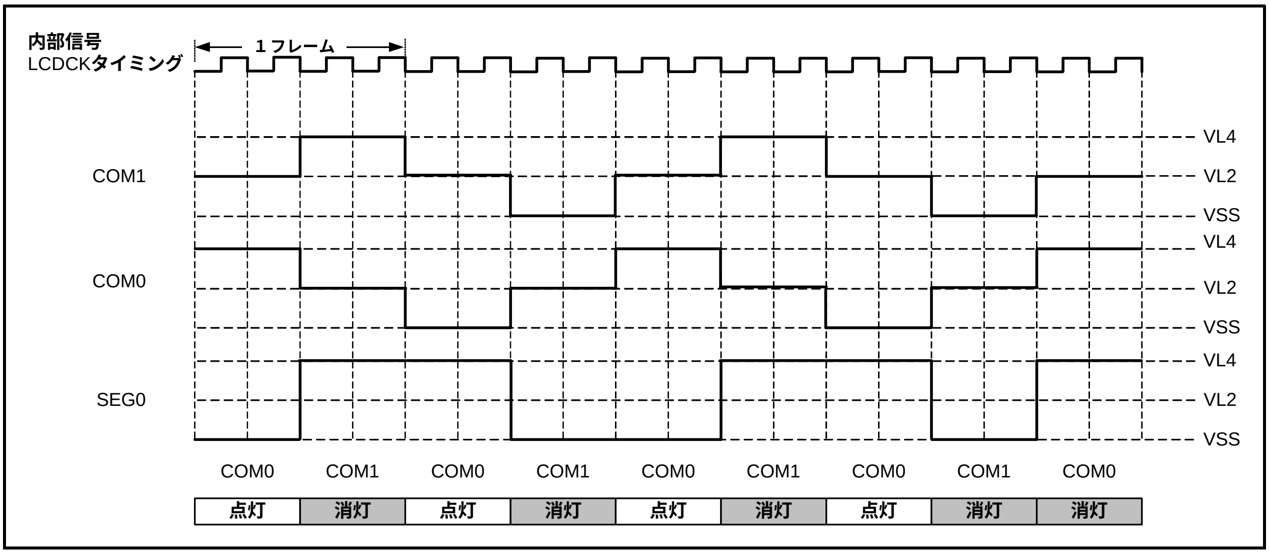


図33.28　LCD駆動波形(LWAV="1"、1/2デューティ、1/2バイアス)

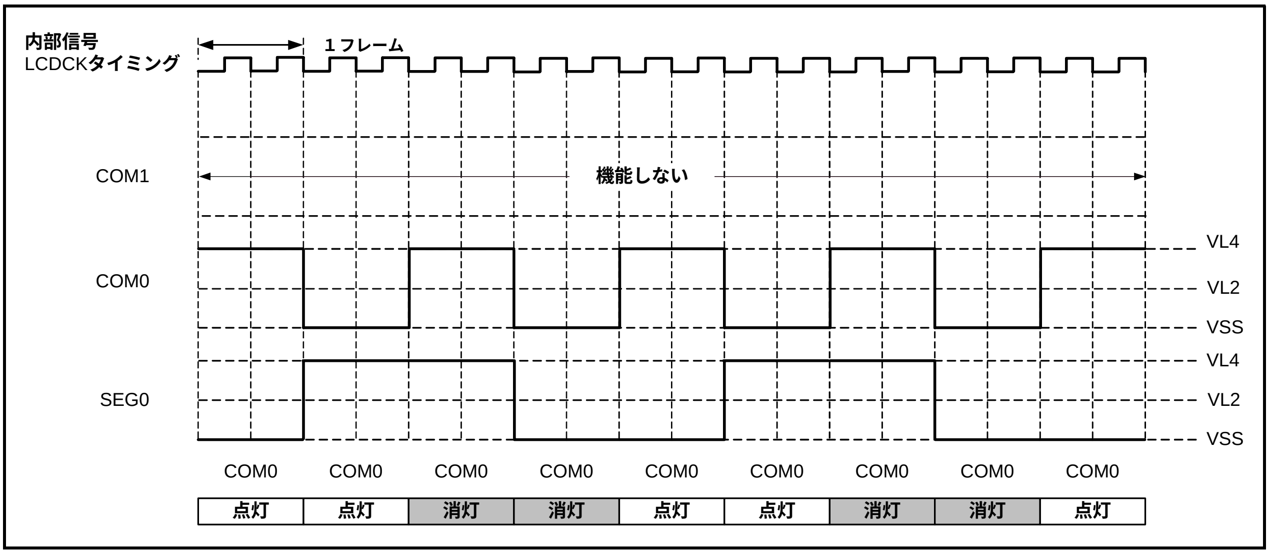


図33.29　LCD駆動波形(LWAV="1"、スタティック、1/2バイアス)

33.6 LCD駆動制御回路使用上の注意

33.6.1 分割抵抗を外付けする場合

R1～R4の参考値は200kΩ、C1～C4の参考値は0.22μFです。これらの参考値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分行った上で、値を調整して決定してください(図33.4を参照してください)。

33.6.2 昇圧回路

CLの参考値は0.22μF、C1～C4の参考値は0.22μFです。これらの参考値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分行った上で、値を調整して決定してください(図33.5を参照してください)。

34. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

34.1 概要

表34.1にフラッシュメモリの性能概要を示します(表34.1に示す以外の項目は「表1.4～表1.6の仕様概要」を参照してください)。

表 34.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図34.1を参照してください。
プログラム方式		バイト単位またはワード単位(プログラムROMのみ)
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0～8 (プログラムROM)(注3)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		8コマンド
プログラム、 イレーズ回数(注2)	ブロック0～8 (プログラムROM)(注3)	1,000回
	ブロックA、B、C、D (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。
プログラム、イレーズ回数がn回(n=1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1Kバイトブロックのブロック Aについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図34.1 R8C/L35C、L36C、L38C、およびL3ACグループ(計4グループ)のフラッシュメモリのブロック図」を参照してください。

表 34.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ 書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	—

34.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図34.1にR8C/L35C、L36C、L38C、およびL3ACグループ(計4グループ)のフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM：　主にプログラムを格納するためのフラッシュメモリ

データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

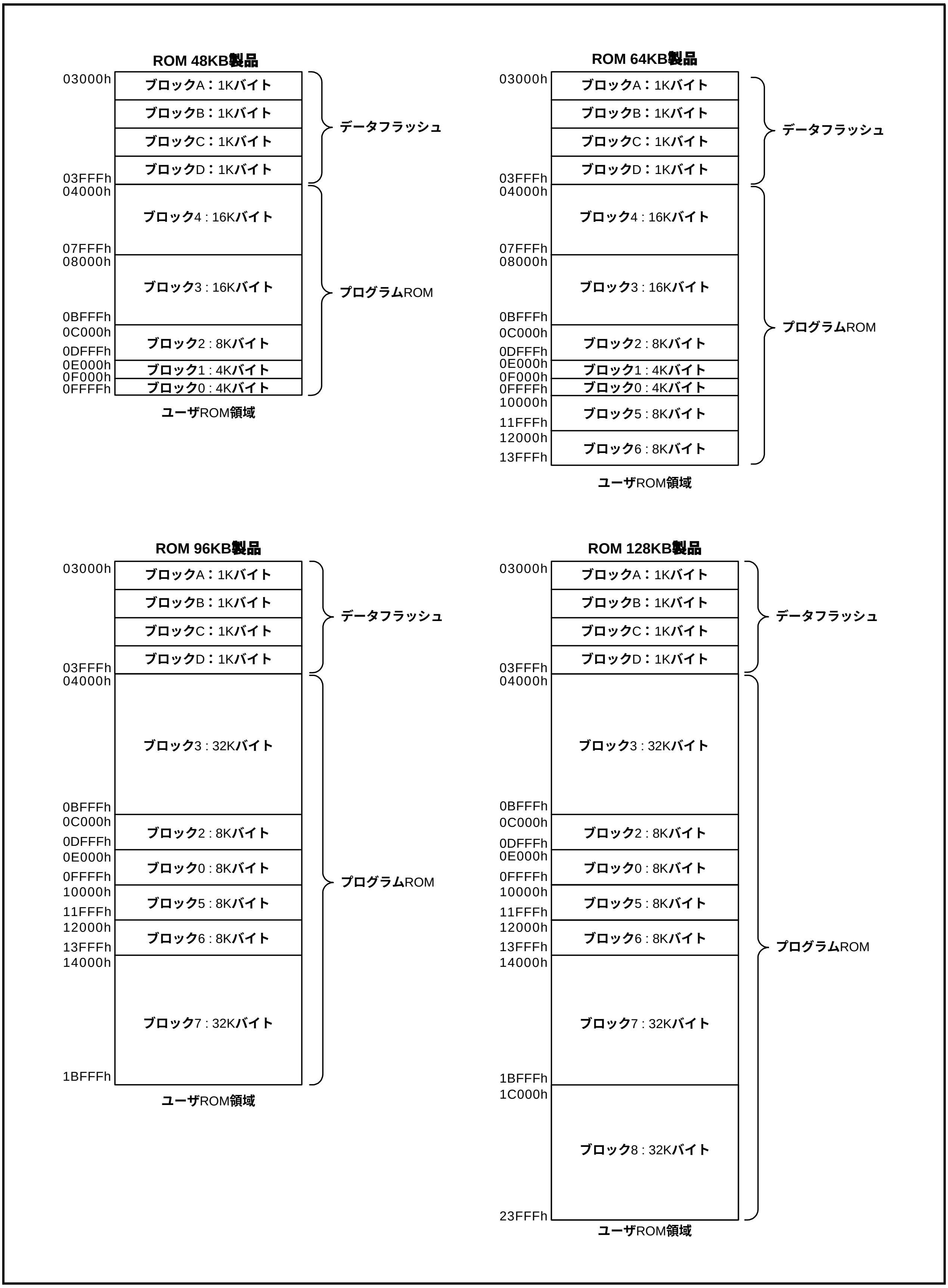


図 34.1　R8C/L35C、L36C、L38C、およびL3ACグループ(計4グループ)のフラッシュメモリのブロック図

34.3　フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

34.3.1　IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh～0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライタやオンチップデバッギングエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「13.　IDコード領域」を参照してください。

34.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。
オプション機能選択領域の詳細は「14.　オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。
一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

34.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0：3.80Vを選択 (Vdet0_3) 0 1：2.85Vを選択 (Vdet0_2) 1 0：2.35Vを選択 (Vdet0_1) 1 1：1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「14.3.1　オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

34.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表34.3にEW0モードとEW1モードの違いを示します。

表34.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
フラッシュメモリの動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	—	プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態	動作	• データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUは動作 • プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	• プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする • FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスカブル割り込み要求が発生	• プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする(データフラッシュ領域を書き換え中) • FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスカブル割り込み要求が発生
CPUクロック	最大20MHz	最大20MHz

34.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	—	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0：フラッシュレディステータス割り込み要求なし 1：フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0：フラッシュアクセスエラー割り込み要求なし 1：フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATAモニタフラグ	0：ロック状態 1：非ロック状態	R
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	FST4	プログラムエラーフラグ(注3)	0：プログラムエラーなし 1：プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0：イレーズエラー/ブランクチェックエラーなし 1：イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0：イレーズサスペンド以外 1：イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0：ビジー 1：レディ	R

注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。
RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。
このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にしてください。

注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。
BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。
このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にしてください。

注3. コマンドエラー時にも“1”(エラーあり)になります。

注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディに変化するのは、次の状態のときです。

- フラッシュメモリのイレーズ／プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BYSAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]
(1) 割り込み処理のプログラムで“0”にしてください。
(2) クリアステータスレジスタコマンドを実行してください。
[“1”になる条件]
(1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。
(ただし、両者共に読み出し値は不定。書き込みは無効。)
(2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

LBDATAビット(LBDATAモニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後で、LBDATAビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。
リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。
FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。
次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「34.4.12 フルステータスチェック」を参照してください。

FST5ビット(イレーズエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「34.4.12 フルステータスチェック」を参照してください。

FST6ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”になります。

FST7ビット(レディ/ビジーステータスフラグ)

FST7ビットが“0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7ビットが“1”(レディ)になります。

34.4.2 フラッシュメモリ制御レジスタ0(FMR0)

アドレス 01B4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	FMR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR00	プログラム単位選択ビット(注1、5)	0：バイト単位 1：ワード単位	R/W
b1	FMR01	CPU書き換えモード選択ビット(注1、4)	0：CPU書き換えモード無効 1：CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0：EW0モード 1：EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0：フラッシュメモリ動作 1：フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセットビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。 読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可ビット	0：イレーズ/ライトエラー割り込み禁止 1：イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み許可ビット	0：フラッシュアクセスエラー割り込み禁止 1：フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み許可ビット	0：フラッシュレディステータス割り込み禁止 1：フラッシュレディステータス割り込み許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。
注5. プログラムROM領域に対してのみ有効です。

FMR00ビット(プログラム単位選択ビット)

プログラムROM領域に対する書き込み単位を8ビット(バイト)単位、または16ビット(ワード)単位に設定できます。“1”(ワード単位)を選択した場合は、ソフトウェアコマンドの書き込みにはワード命令を使用してください。

FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「10.7.10　フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

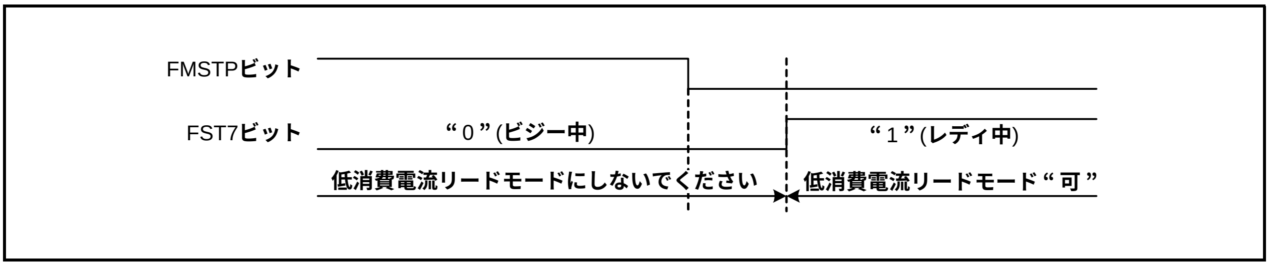


図34.2　低消費電流リードモードへの移行

CMDRSTビット(イレーズ/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレーズコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレーズ中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレーズコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレーズコマンドを再度実行し、ブロックイレーズが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレーズコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレーズコマンドを再度実行してください。

また、イレーズサスペンド中にCMDRSTビットを“1”(イレーズ/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレーズをサスペンドしていたブロックに対しても、ブロックイレーズを再度実行してください。

CMDRSTビットを“1”(イレーズ/ライト停止)にしてから、td(CMDRST-READY)後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

CMDERIEビット(イレーズ/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレーズエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIEビットを“0”(イレーズ/ライトエラー割り込み禁止)から“1”(イレーズ/ライトエラー割り込み許可)にする場合には、次のようにしてください。

(1) クリアステータスレジスタコマンドを実行する。
(2) CMDERIEビットを“1”にする。

BSYAEIEビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIEビットを“0”(フラッシュアクセスエラー割り込み禁止)から“1”(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

(1) FSTレジスタのBSYAEIビットを読む(ダミーリード)。
(2) BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く。
(3) BSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)にする。

RDYSTIEビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIEビットを“0”(フラッシュレディステータス割り込み禁止)から“1”(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

(1) FSTレジスタのRDYSTIビットを読む(ダミーリード)。
(2) RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く。
(3) RDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にする。

34.4.3 フラッシュメモリ制御レジスタ1(FMR1)

アドレス 01B5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	FMR13	ロックビット無効選択ビット(注1)	0：ロックビット有効 1：ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
注3. FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると“0”になります。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「34.4.10　データ保護機能」を参照してください。

FMR13 ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]
次の条件が成立した時点で“0”になります。
- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]
プログラムで“1”にしてください。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが"0"のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが"0"のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが"0"のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが"0"のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

34.4.4 フラッシュメモリ制御レジスタ2(FMR2)

アドレス 01B6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	—	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット(注1)	0：イレーズサスペンド禁止 1：イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエストビット(注2)	0：イレーズリスタート 1：イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット(注1)	0：割り込み要求でイレーズサスペンドリクエスト禁止 1：割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	FMR27	低消費電流リードモード許可ビット(注1、3)	0：低消費電流リードモード禁止 1：低消費電流リードモード許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。
注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。
• CPU クロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
• CPUクロックをXCINクロックの1分周(分周なし)、2分周、4分周または8分周に設定
ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可) の状態で、ウェイトモードまたはストップモードへ移行しないでください。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]
プログラムで“0”にしてください。
[“1”になる条件]
• 割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
• プログラムで“1”にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「10.7.11　低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

34.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを“1”(イレーズサスペンド許可)、FMR21ビットを“1”(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが“0”になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

34.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

34.4.7 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます。(「表 34.4 サスペンド中に実行できる動作」参照)

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラム ROM への自動書き込みおよび読み出しが実行できます。
- プログラム ROM の任意のブロックの自動消去をサスペンドした場合、プログラム ROM の別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラム ROM の自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FST7 ビットが“1”(レディ)となったことを確認後、FST6 ビットが“1”(イレーズサスペンド中)になったことで、サスペンドしたことを確認してください。(FST6 ビットが“0”(イレーズサスペンド以外)となったときは、消去終了です。)

図 34.3 にサスペンド動作に関するタイミングを示します。

表 34.4 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ（サスペンド移行前のイレーズ実行ブロック）			データフラッシュ（サスペンド移行前のイレーズ未実行ブロック）			プログラムROM（サスペンド移行前のイレーズ実行ブロック）			プログラムROM（サスペンド移行前のイレーズ未実行ブロック）		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド移行前のイレーズ実行領域	データフラッシュ	×	×	×	×	○	○	—	—	—	×	○	○(注5)
	プログラムROM	—	—	—	×	○	○	×	×	×	×	○	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし
注2. プログラム中はサスペンドできません。
注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。
クリアステータスレジスタコマンドは、FST レジスタの FST7 ビットが“1”(レディ)で実行できます。
サスペンド中、ブロックブランクチェックは動作禁止です。
注4. イレーズサスペンド移行直後は、リードアレイモードになります。
注5. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO 機能によりプログラム ROM 領域を読み出すことができます。

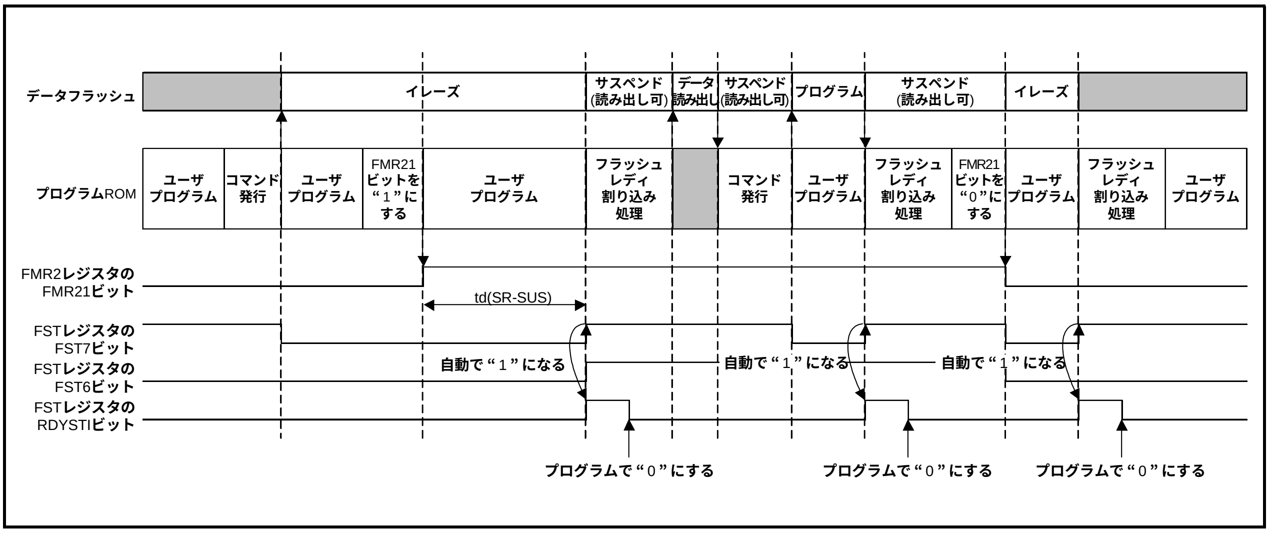


図 34.3 サスペンド動作に関するタイミング

34.4.8　各モードの設定と解除方法

図34.4にEW0モードの設定と解除方法を、図34.5にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

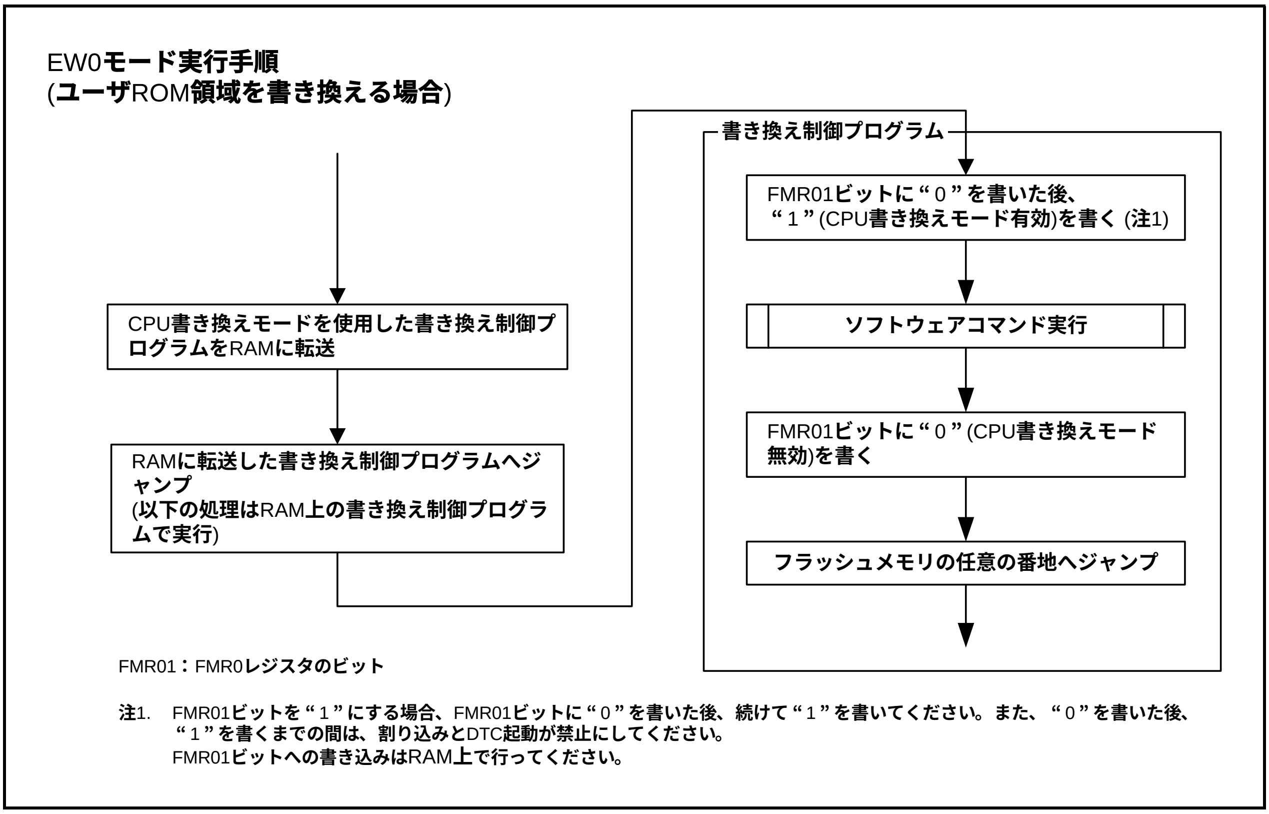


図34.4　EW0モードの設定と解除方法

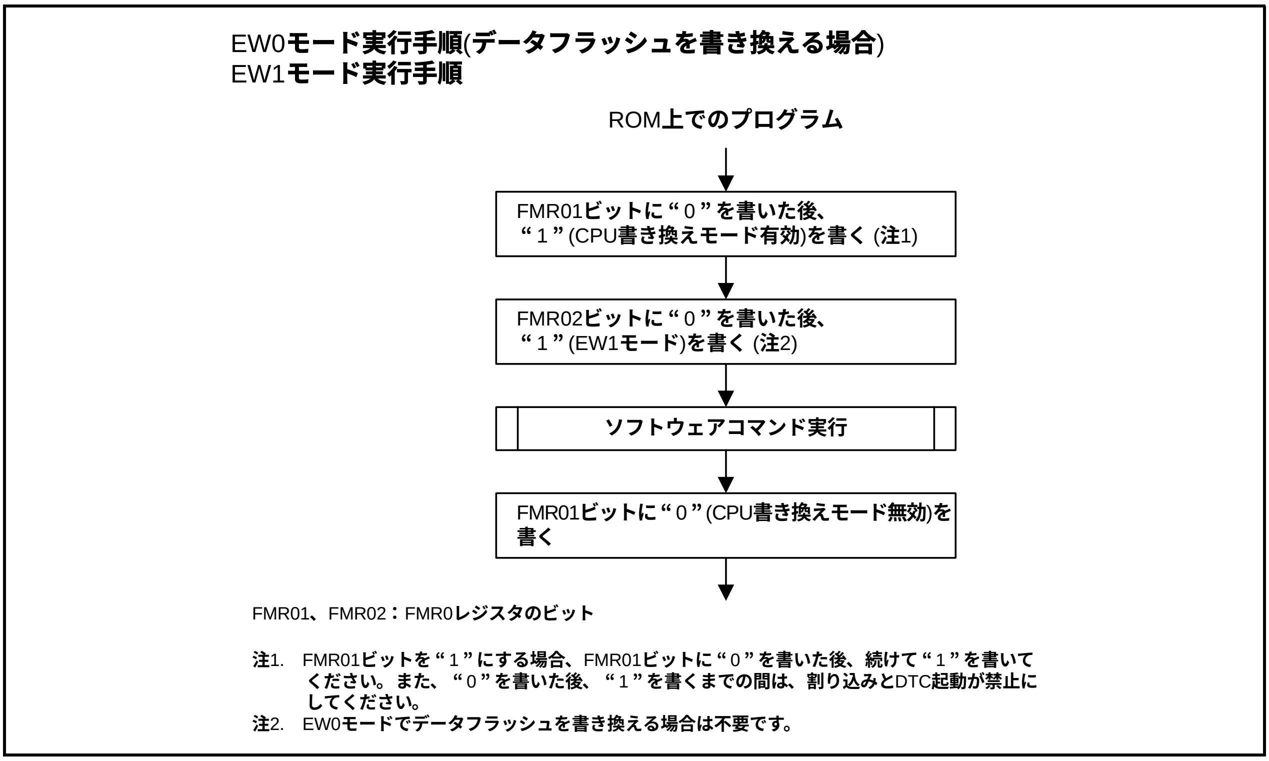


図34.5　EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

34.4.9　BGO(バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図34.6にBGO機能を示します。

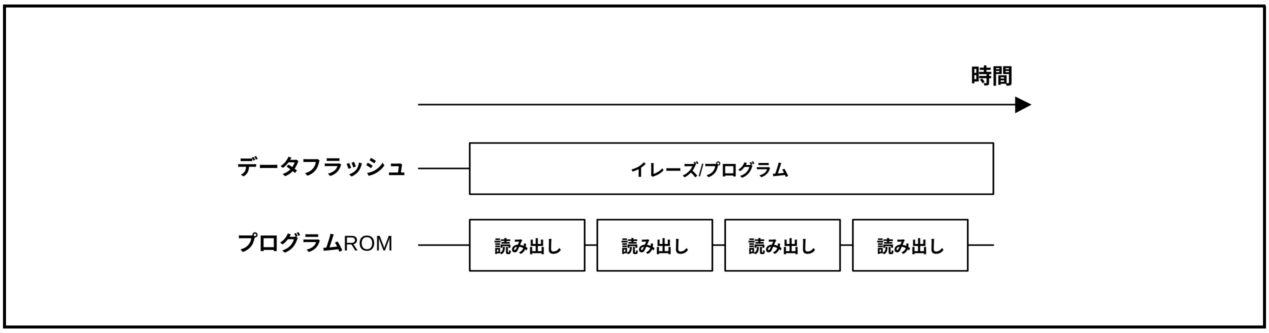


図 34.6　BGO機能

34.4.10 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが"0"(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが"0"のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが"1"のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、"0"(ロック状態)に、ブロックを消去すると"1"(非ロック状態)になります。ロックビットデータだけをコマンドで"1"にすることはできません。
ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを"1"(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを"0"にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。
FMR13ビットが"1"の状態で、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは"1"になります。
各コマンドの詳細は、「34.4.11　ソフトウェアコマンド」を参照してください。
FMR13ビットは自動消去終了後、"0"になります。FMR13ビットは以下のいずれかの条件が成立した場合に"0"になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを"1"にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが"0"(ビジー)から"1"(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが"0"(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが"1"(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが"1"(イレーズ/ライト停止)になった場合

図34.7にFMR13ビットの動作に関するタイミングを示します。

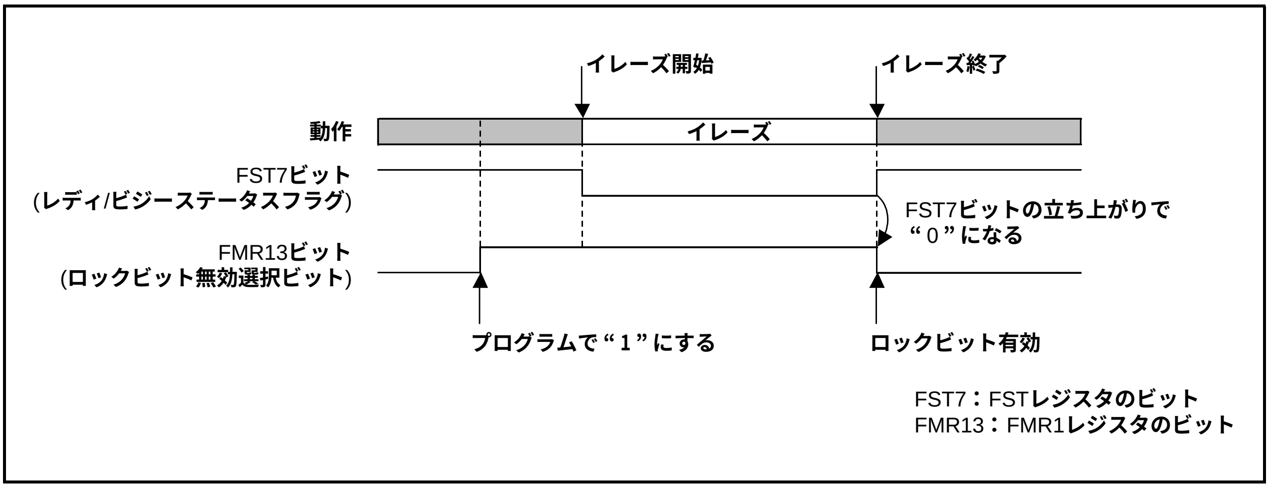


図 34.7　FMR13ビットの動作に関するタイミング

34.4.11 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。ただしプログラム(ワード単位)のコマンド、データ書き込みは16ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表 34.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	×	FFh			
クリアステータスレジスタ	ライト	×	50h			
プログラム(バイト単位)	ライト	WA	40h	ライト	WA	WD8
プログラム(ワード単位)	ライト	WA	xx40h	ライト	WA	WD16
ブロックイレーズ	ライト	×	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	×	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	×	25h	ライト	BA	D0h

WA ：書き込み番地(ワード単位でプログラムを実行する場合は、偶数番地を指定してください。)
WD8：書き込みデータ(8ビット)
WD16：書き込みデータ(16ビット)
BA ：ブロックの任意の番地
BT ：ブロックの先頭番地
× ：ユーザROM領域内の任意の番地
xx ：コマンドコードの上位8ビット(無視されます)

34.4.11.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

34.4.11.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

34.4.11.3プログラム

1バイトまたは1ワード単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”(または“xx40h”)を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。また、ワード単位でプログラムを実行する場合は、アドレス値は偶数番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。(「34.4.12　フルステータスチェック」参照)

すでにプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図34.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図34.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

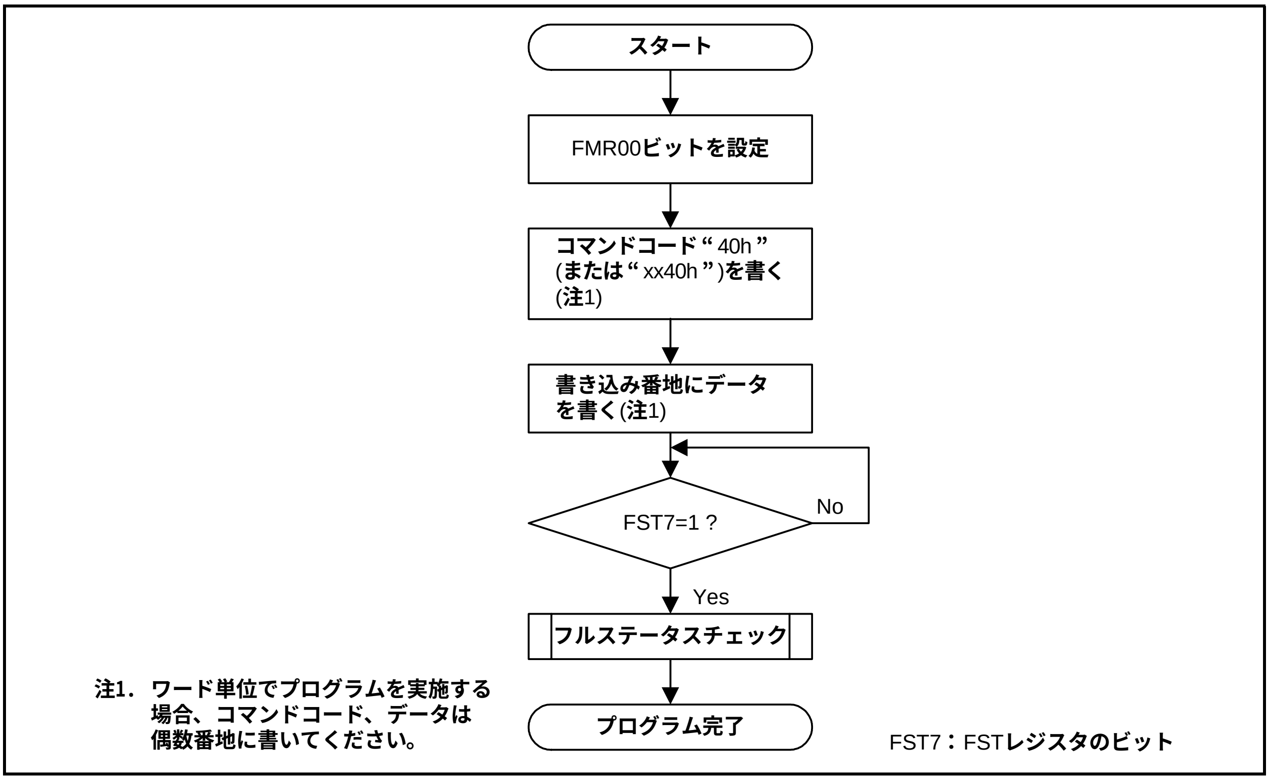


図34.8　プログラムフローチャート(フラッシュレディステータス割り込み禁止)

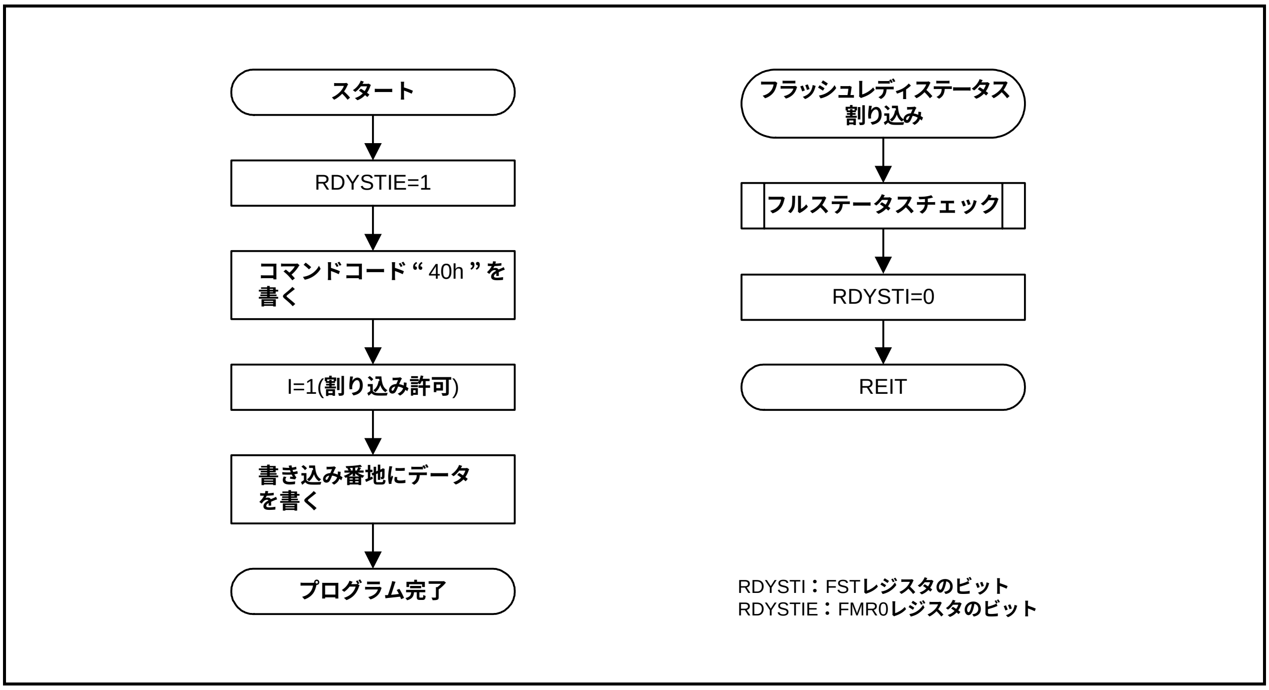


図 34.9　プログラムフローチャート(フラッシュレディステータス割り込み許可)

34.4.11.4ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます。(「34.4.12 フルステータスチェック」参照)

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図34.10にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図34.11にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図34.12にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

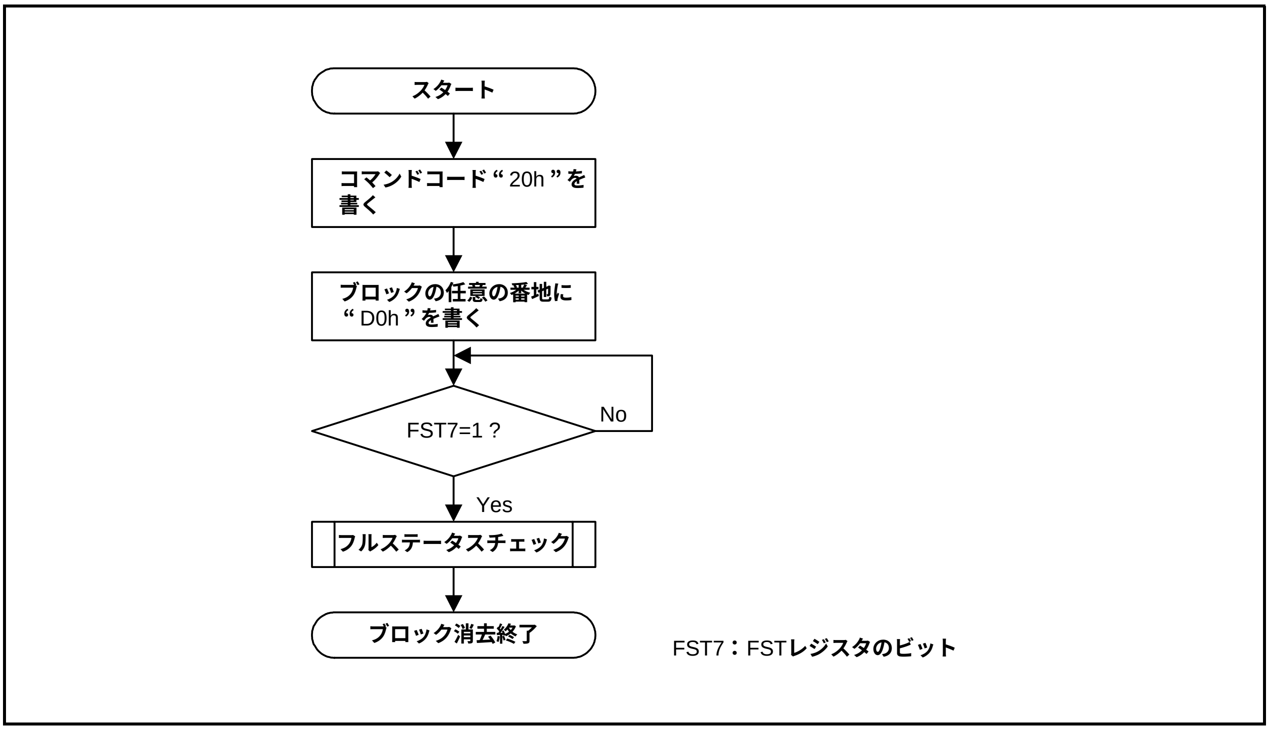
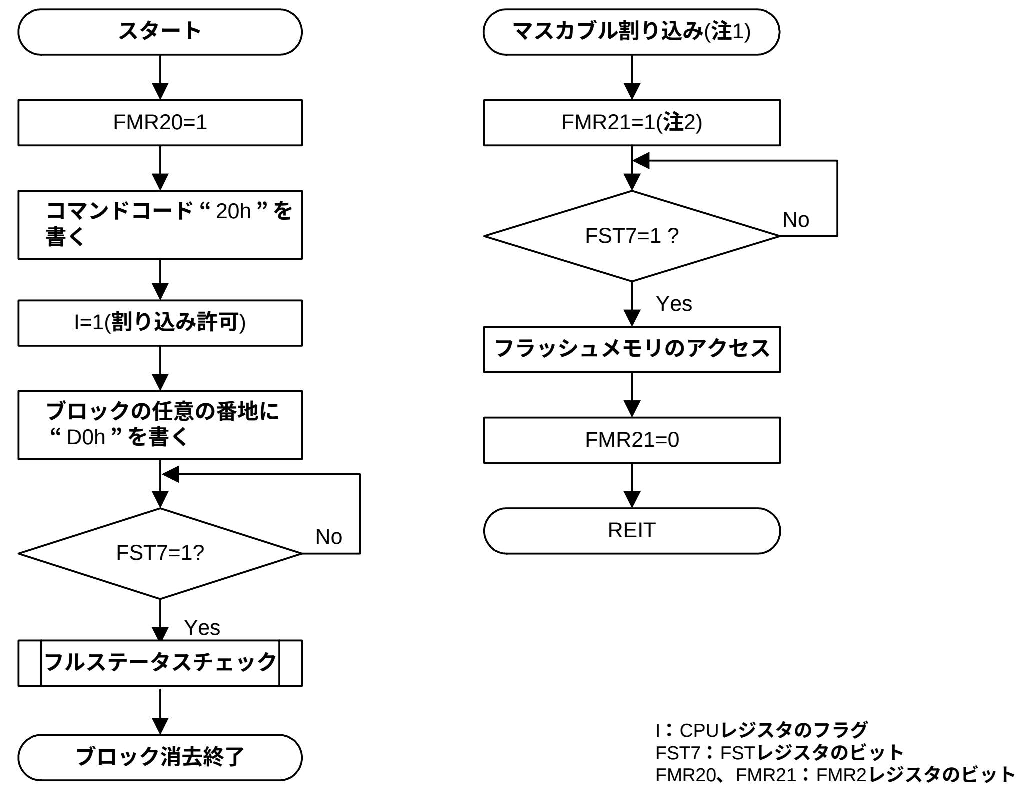
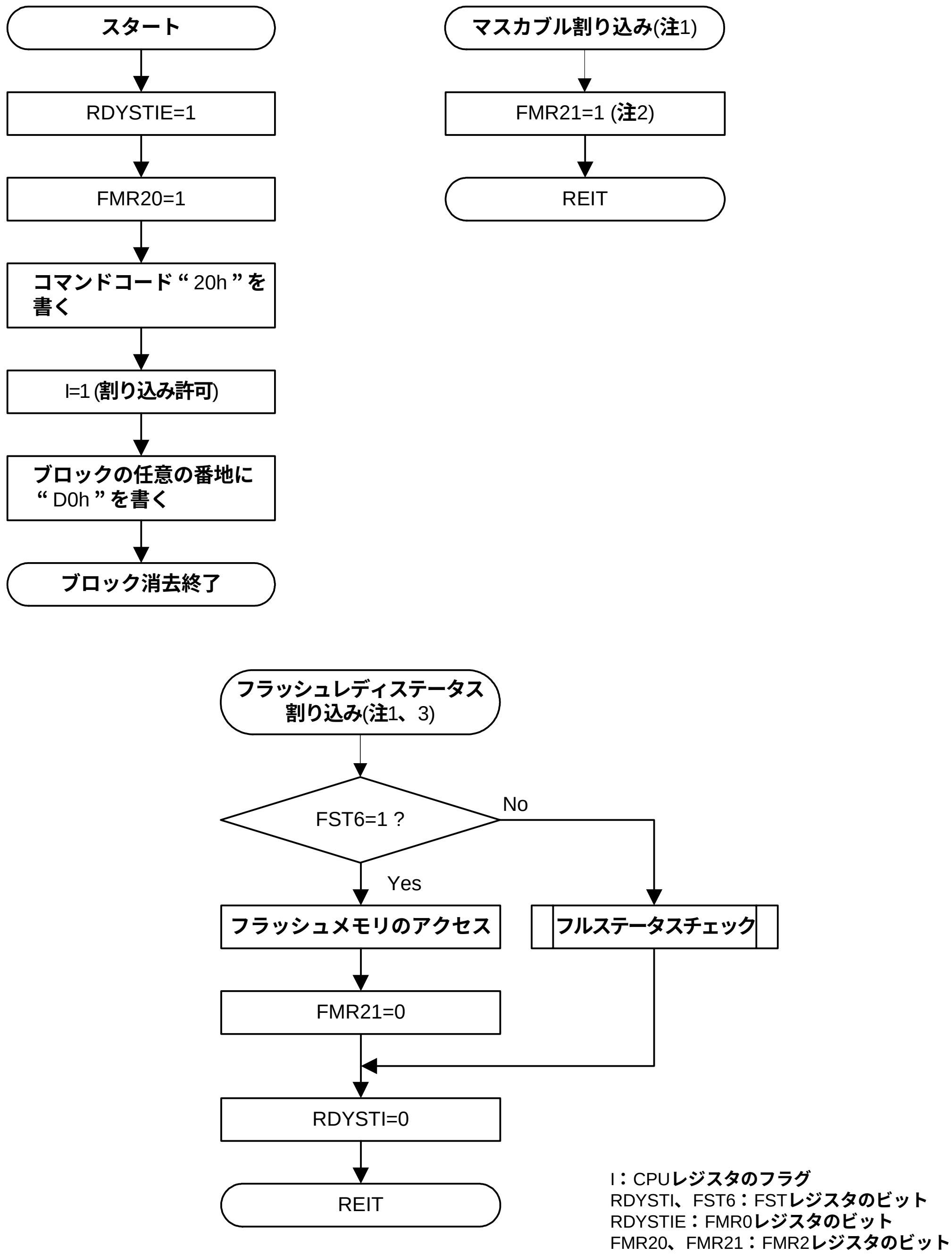


図 34.10 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)



注1. 使用する割り込みの割り込みベクタテーブルと割り込みルーチンは、イレーズ対象領域外に配置してください。
注2. FMR21ビットに“1”を設定してからサスペンドが受け付けられるまでに、td(SR-SUS)の時間が必要です。サスペンドに移行するための割り込みは、あらかじめ許可状態にしてください。

図 34.11 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)



注1.　使用する割り込みの割り込みベクタテーブルと割り込みルーチンは、イレーズ対象領域外に配置してください。
注2.　FMR21ビットに“1”を設定してからサスペンドが受け付けられるまでに、td(SR-SUS)の時間が必要です。サスペンドに移行するための割り込みは、あらかじめ許可状態にしてください。
注3.　自動消去が中断されるとフラッシュレディステータス割り込みが発生します。

図 34.12　ブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

34.4.11.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを"0"(ロック状態)にするコマンドです。

第1バスサイクルで"77h"、第2バスサイクルで"D0h"をブロックの先頭番地に書くと、指定されたブロックのロックビットに"0"が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図34.13にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを"1"(非ロック状態)にする方法については「34.4.10 データ保護機能」を参照してください。

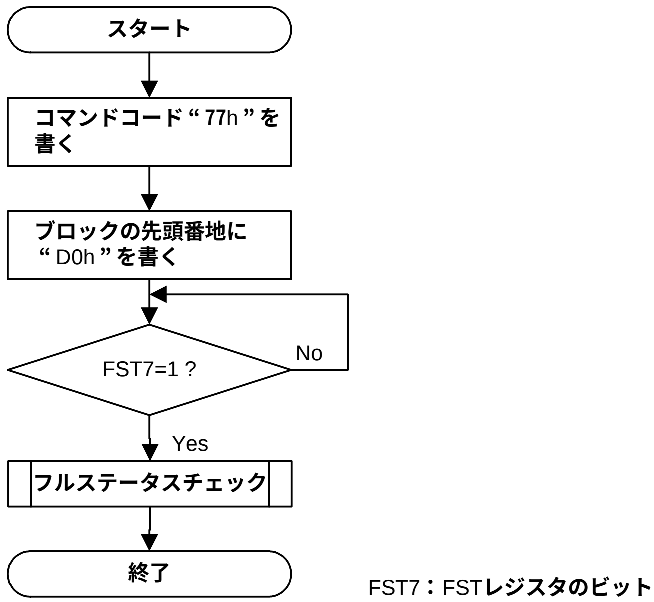


図34.13 ロックビットプログラムフローチャート

34.4.11.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

図34.14にリードロックビットステータスフローチャートを示します。

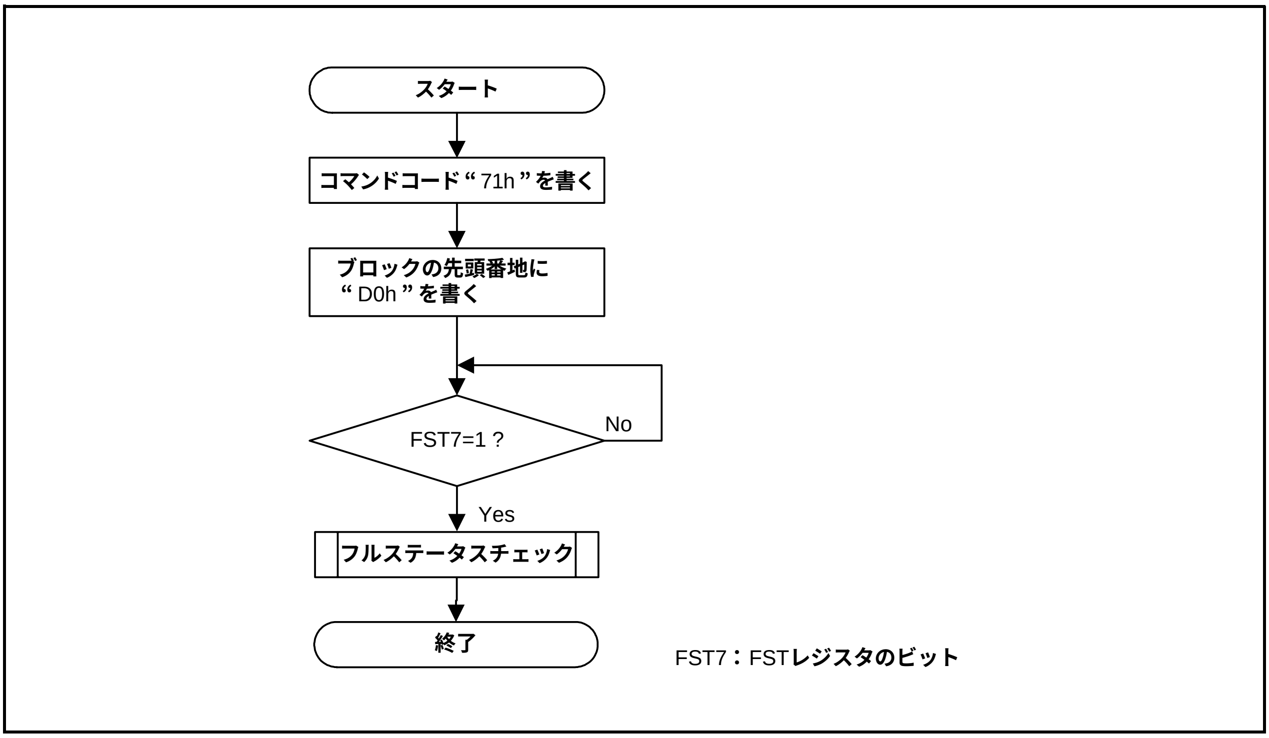


図34.14 リードロックビットステータスフローチャート

34.4.11.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「34.4.12　フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“1”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図34.15にブロックブランクチェックフローチャートを示します。

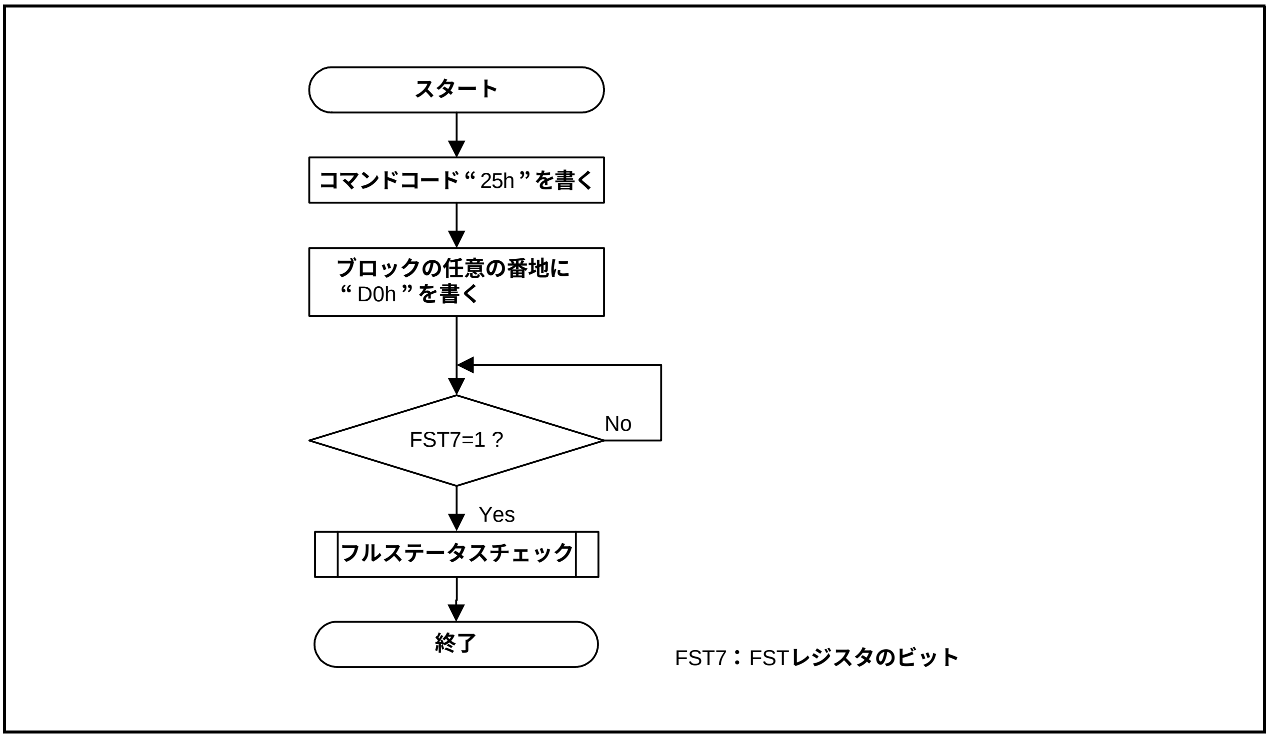


図 34.15 ブロックブランクチェックフローチャート

なお、本コマンドはライタメーカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

34.4.12 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4～FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表34.6にエラーとFSTレジスタの状態を、図34.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表34.6　エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・サスペンド中のイレーズコマンドを実行 ・サスペンド中のブロックへのコマンドを実行
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットコマンドを実行し、ロックビットが“0”(ロック状態)にならなかったとき

注1.　これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

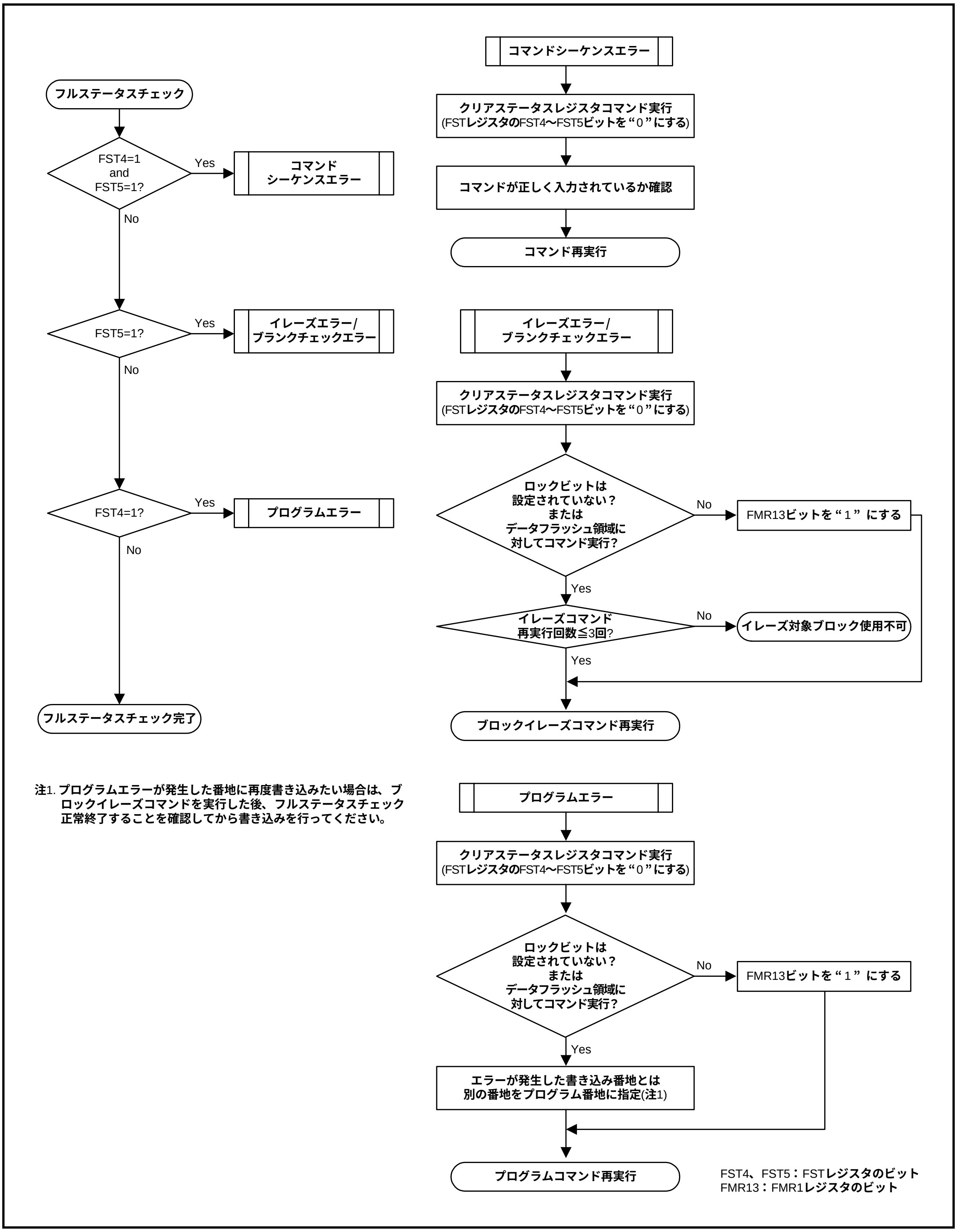


図 34.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

34.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1 . . . . . クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2 . . . . . クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3 . . . . . 特別なクロック非同期形シリアル I/O を用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2.　シリアルライタ との接続例」を参照してください。シリアルライタについては、各メーカにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表34.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図34.17に標準シリアル入出力モード2を使用する場合の端子処理例を、表34.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図34.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表34.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“ H ”を入力して、ハードウェアリセットしてください。

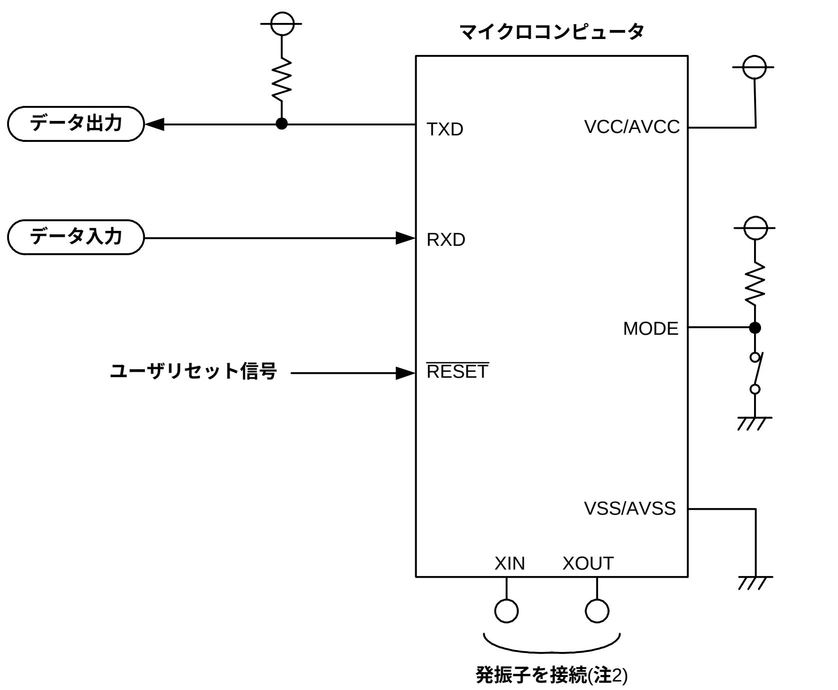
34.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「13.　IDコード領域」を参照してください。

表 34.7　端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。
P12_0/XIN	P12_0入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P12_1/XOUT	P12_1入力/クロック出力	入出力	
XCIN	クロック入力	入力	XCIN端子とXCOUT端子の間には水晶発振子を接続してください。
XCOUT	クロック出力	入出力	
P0～P7	入力ポートP0～P7	入力	“H”を入力、“L”を入力、または開放してください。
P10、P11、P12_2～P12_3	入力ポートP10～P12	入力	“H”を入力、“L”を入力、または開放してください。
P13_0、P13_3～P13_7	入力ポートP13	入力	“H”を入力、“L”を入力、または開放してください。
VREF	基準電圧	入力	“H”を入力してください。
MODE	MODE	入出力	“L”を入力してください。
P13_1	TXD出力	出力	シリアルデータの出力端子です。
P13_2	RXD入力	入力	シリアルデータの入力端子です。

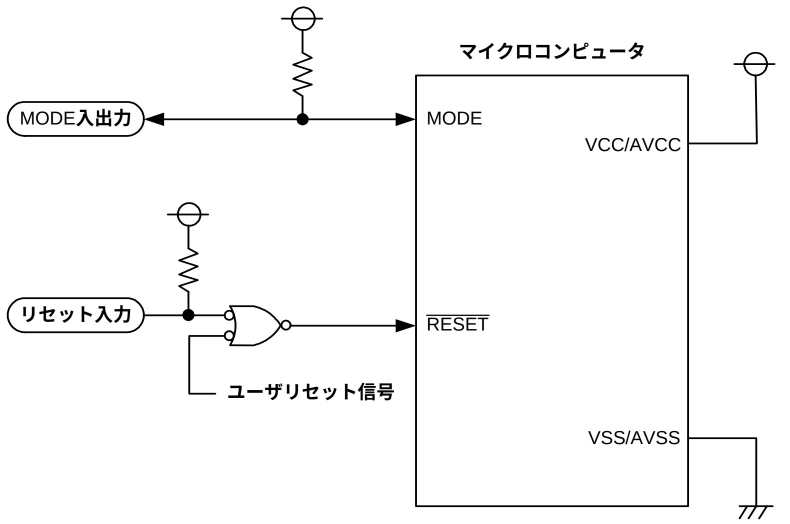


注1.　この例では、スイッチでMODE入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
注2.　オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。「付録2　シリアルライタとの接続例」を参照してください。

図 34.17 標準シリアル入出力モード2を使用する場合の端子処理例

表 34.8　端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。
P12_0/XIN	P12_0入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P12_1/XOUT	P12_1入力/クロック出力	入出力	
XCIN	クロック入力	入力	XCIN端子とXCOUT端子の間には水晶発振子を接続してください。
XCOUT	クロック出力	入出力	
P0～P7	入力ポートP0～P7	入力	“H”を入力、“L”を入力、または開放してください。
P10～P13	入力ポートP10～P13	入力	“H”を入力、“L”を入力、または開放してください。
VREF	基準電圧	入力	“H”を入力してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。



注1.　ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
注2.　この例では、ライタを接続することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
注3.　オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。

図 34.18　標準シリアル入出力モード3を使用する場合の端子処理例

34.6　パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライタを使用してください。パラレルライタについては、各メーカにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図34.1に示すユーザROM領域の書き換えができます。

34.6.1　ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「34.3.2　ROMコードプロテクト機能」参照)。

34.7　フラッシュメモリ使用上の注意

34.7.1　CPU書き換えモード

34.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

34.7.1.2 割り込み

表34.9～表34.11にCPU書き換えモード時の割り込みを示します。

表34.9　CPU書き換えモード時の割り込み(1)

モード	イレーズ/ライト対象	状態	マスカブル割り込み
EW0	データフラッシュ	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中(サスペンド無効)	
		自動書き込み中	
EW1	データフラッシュ	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

表34.10 CPU書き換えモード時の割り込み(2)

<table>
<tr><th>モード</th><th>イレーズ/
ライト対象</th><th>状態</th><th>・ウォッチドッグタイマ
・発振停止検出
・電圧監視2
・電圧監視1</th><th>・未定義命令
・INTO命令
・BRK命令
・シングルステップ
・アドレス一致
・アドレスブレイク　(注1)</th></tr>
<tr><td rowspan="6">EW0</td><td rowspan="3">データ
フラッシュ</td><td>自動消去中
(サスペンド有効)</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td><td colspan="2" rowspan="2">自動消去、自動書き込みは実行したまま、割り込み処理を実行します。</td></tr>
<tr><td>自動書き込み中</td></tr>
<tr><td rowspan="3">プログラム
ROM</td><td>自動消去中
(サスペンド有効)</td><td rowspan="3">割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</td><td rowspan="3">自動消去、自動書き込み中は使用しないでください。</td></tr>
<tr><td>自動消去中
(サスペンド無効)</td></tr>
<tr><td>自動書き込み中</td></tr>
</table>

FMR21、FMR22：FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表34.11　CPU書き換えモード時の割り込み(3)

<table>
<tr><th>モード</th><th>イレーズ/
ライト対象</th><th>状態</th><th>・ウォッチドッグタイマ
・発振停止検出
・電圧監視2
・電圧監視1</th><th>・未定義命令
・INTO命令
・BRK命令
・シングルステップ
・アドレス一致
・アドレスブレイク　(注1)</th></tr>
<tr><td rowspan="6">EW1</td><td rowspan="3">データ
フラッシュ</td><td>自動消去中
(サスペンド有効)</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td><td colspan="2" rowspan="2">自動消去、自動書き込みは実行したまま、割り込み処理を実行します。</td></tr>
<tr><td>自動書き込み中</td></tr>
<tr><td rowspan="3">プログラム
ROM</td><td>自動消去中
(サスペンド有効)</td><td rowspan="3">割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</td><td rowspan="3">自動消去、自動書き込み中は使用できません。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td></tr>
<tr><td>自動書き込み中</td></tr>
</table>

FMR21、FMR22：FMR2レジスタのビット

注1.　ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

34.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

34.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

34.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

34.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ストップモード、ウェイトモードへ移行しないでください

34.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

34.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

34.7.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「10.7　消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

35. 電気的特性

35.1 絶対最大定格

表35.1 絶対最大定格

記号	項目		測定条件	定格値	単位
V_{CC}/AV_{CC}	電源電圧			−0.3〜6.5	V
V_I	入力電圧	XIN	XIN-XOUT発振時 (発振バッファON時)(注1)	−0.3〜1.65	V
		XIN	XIN-XOUT発振停止時 (発振バッファOFF時)(注1)	−0.3〜V_{CC} + 0.3	V
		VL1		−0.3〜VL2	V
		VL2	R8C/L35C	VL1〜VL4	V
			R8C/L36C、R8C/L38C、R8C/L3AC	VL1〜VL3	V
		VL3		VL2〜VL4	V
		VL4		VL3〜6.5	V
		その他の端子		−0.3〜V_{CC} + 0.3	V
V_O	出力電圧	XOUT	XIN-XOUT発振時 (発振バッファON時)(注1)	−0.3〜1.65	V
		XOUT	XIN-XOUT発振停止時 (発振バッファOFF時)(注1)	−0.3〜V_{CC} + 0.3	V
		VL1		−0.3〜VL2(注2)	V
		VL2	R8C/L35C	VL1〜VL4	V
			R8C/L36C、R8C/L38C、R8C/L3AC	VL1〜VL3	V
		VL3		VL2〜VL4	V
		VL4		−0.3〜6.5	V
		CL1、CL2		−0.3〜6.5	V
		COM0〜COM7		−0.3〜VL4	V
		SEG0〜SEG55		−0.3〜VL4	V
		その他の端子		−0.3〜V_{CC} + 0.3	V
P_d	消費電力		−40℃ ≦ Topr ≦ 85℃	500	mW
T_{opr}	動作周囲温度			−20〜85(Nバージョン)/ −40〜85(Dバージョン)	℃
T_{stg}	保存温度			−65〜150	℃

注1. 各動作のためのレジスタ設定は「7. I/Oポート」、「9. クロック発生回路」を参照してください。
注2. ただし、VL1はVCC以下の電圧にしてください。

35.2 推奨動作条件

表35.2 推奨動作条件
(指定のない場合は、Vcc = 1.8V**～**5.5V**、**Topr = – 20**℃～**85**℃(N**バージョン**)/– 40**℃～**85**℃(D**バージョン**))**

記号	項目				測定条件	規格値 最小	規格値 標準	規格値 最大	単位
Vcc/AVcc	電源電圧					1.8	—	5.5	V
Vss/AVss	電源電圧					—	0	—	V
V_{IH}	“H”入力電圧	CMOS入力以外			4.0V ≦ Vcc ≦ 5.5V	0.8Vcc	—	Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0.8Vcc	—	Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0.9Vcc	—	Vcc	V
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択：0.35Vcc	4.0V ≦ Vcc ≦ 5.5V	0.5Vcc	—	Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0.55Vcc	—	Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0.65Vcc	—	Vcc	V
				入力レベル選択：0.5Vcc	4.0V ≦ Vcc ≦ 5.5V	0.65Vcc	—	Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0.7Vcc	—	Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0.8Vcc	—	Vcc	V
				入力レベル選択：0.7Vcc	4.0V ≦ Vcc ≦ 5.5V	0.85Vcc	—	Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0.85Vcc	—	Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0.85Vcc	—	Vcc	V
V_{IL}	“L”入力電圧	CMOS入力以外			4.0V ≦ Vcc ≦ 5.5V	0	—	0.2Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0	—	0.2Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0	—	0.05Vcc	V
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択：0.35Vcc	4.0V ≦ Vcc ≦ 5.5V	0	—	0.2Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0	—	0.2Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0	—	0.2Vcc	V
				入力レベル選択：0.5Vcc	4.0V ≦ Vcc ≦ 5.5V	0	—	0.4Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0	—	0.3Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0	—	0.2Vcc	V
				入力レベル選択：0.7Vcc	4.0V ≦ Vcc ≦ 5.5V	0	—	0.55Vcc	V
					2.7V ≦ Vcc ＜ 4.0V	0	—	0.45Vcc	V
					1.8V ≦ Vcc ＜ 2.7V	0	—	0.35Vcc	V
$I_{OH(sum)}$	“H”尖頭総出力電流		全端子の$I_{OH(peak)}$の総和			—	—	– 160	mA
$I_{OH(sum)}$	“H”平均総出力電流		全端子の$I_{OH(avg)}$の総和			—	—	– 80	mA
$I_{OH(peak)}$	“H”尖頭出力電流		ポートP10、P11(注2)			—	—	– 40	mA
			その他の端子			—	—	– 10	mA
$I_{OH(avg)}$	“H”平均出力電流(注1)		ポートP10、P11(注2)			—	—	– 20	mA
			その他の端子			—	—	– 5	mA
$I_{OL(sum)}$	“L”尖頭総出力電流		全端子の$I_{OL(peak)}$の総和			—	—	160	mA
$I_{OL(sum)}$	“L”平均総出力電流		全端子の$I_{OL(avg)}$の総和			—	—	80	mA
$I_{OL(peak)}$	“L”尖頭出力電流		ポートP10、P11(注2)			—	—	40	mA
			その他の端子			—	—	10	mA
$I_{OL(avg)}$	“L”平均出力電流(注1)		ポートP10、P11(注2)			—	—	20	mA
			その他の端子			—	—	5	mA
$f_{(XIN)}$	XINクロック入力発振周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz
					1.8V ≦ Vcc ＜ 2.7V	—	—	5	MHz
$f_{(XCIN)}$	XCINクロック入力発振周波数				1.8V ≦ Vcc ≦ 5.5V	—	32.768	50	kHz
fOCO40M	タイマRC、タイマRD、タイマRGのカウントソース(注3)				2.7V ≦ Vcc ≦ 5.5V	32	—	40	MHz
fOCO-F	fOCO-F周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz
					1.8V ≦ Vcc ＜ 2.7V	—	—	5	MHz
—	システムクロック周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz
					1.8V ≦ Vcc ＜ 2.7V	—	—	5	MHz
$f_{(BCLK)}$	CPUクロック周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz
					1.8V ≦ Vcc ＜ 2.7V	—	—	5	MHz

注1. 平均出力電流は100msの期間内での平均値です。
注2. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。
注3. fOCO40MはVcc = 2.7V～5.5Vの範囲で、タイマRC、タイマRD、タイマRGのカウントソースとして使用することができます。

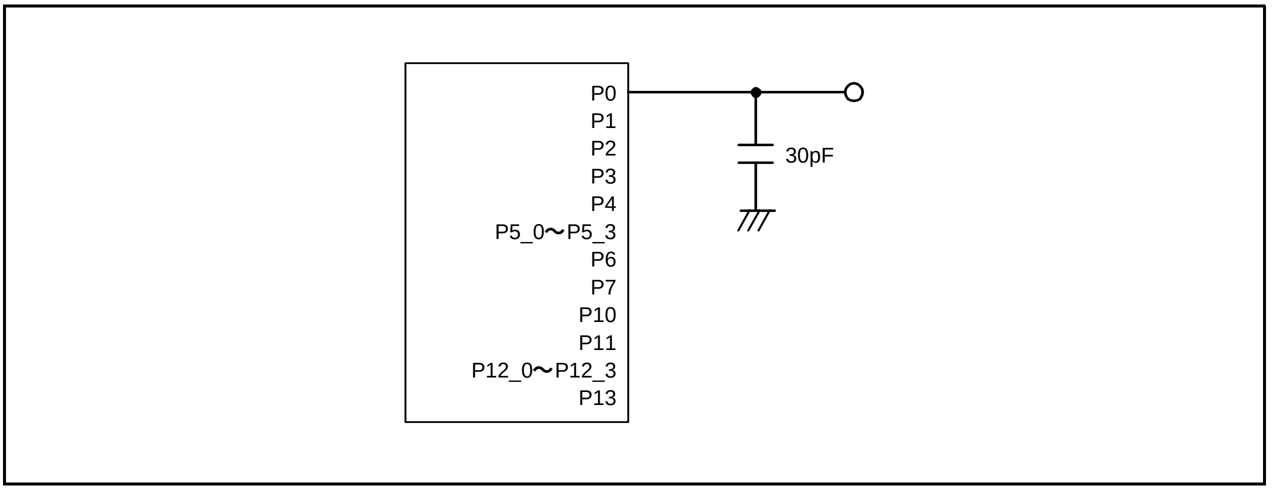


図35.1　ポートP0～P4、P5_0～P5_3、P6、P7、P10、P11、P12_0～P12_3、P13のタイミング測定回路

35.3 周辺機能の特性

表35.3 A/Dコンバータの特性
(指定のない場合は、Vcc/AVcc = Vref = 2.2V～5.5V、Vss = 0V、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃ (Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
—	分解能		Vref = AVcc		—	—	10	Bit
—	絶対精度(注2)	10ビットモード	Vref = AVcc = 5.0V	AN0～AN19入力	—	—	±3	LSB
			Vref = AVcc = 3.3V	AN0～AN19入力	—	—	±5	LSB
			Vref = AVcc = 3.0V	AN0～AN19入力	—	—	±5	LSB
			Vref = AVcc = 2.2V	AN0～AN19入力	—	—	±5	LSB
		8ビットモード	Vref = AVcc = 5.0V	AN0～AN19入力	—	—	±2	LSB
			Vref = AVcc = 3.3V	AN0～AN19入力	—	—	±2	LSB
			Vref = AVcc = 3.0V	AN0～AN19入力	—	—	±2	LSB
			Vref = AVcc = 2.2V	AN0～AN19入力	—	—	±2	LSB
φAD	A/D変換クロック		4.0V≦Vref = AVcc≦5.5V(注1)		2	—	20	MHz
			3.2V≦Vref = AVcc≦5.5V(注1)		2	—	16	MHz
			2.7V≦Vref = AVcc≦5.5V(注1)		2	—	10	MHz
			2.2V≦Vref = AVcc≦5.5V(注1)		2	—	5	MHz
—	許容信号源インピーダンス				—	3	—	kΩ
t_{CONV}	変換時間	10ビットモード	Vref = AVcc = 5.0V、φAD = 20MHz		2.2	—	—	μs
		8ビットモード	Vref = AVcc = 5.0V、φAD = 20MHz		2.2	—	—	μs
t_{SAMP}	サンプリング時間		φAD = 20MHz		0.8	—	—	μs
I_{vref}	V_{ref}電流		Vcc = 5V、XIN = f1 = φAD = 20MHz		—	45	—	μA
V_{ref}	基準電圧				2.2	—	AVcc	V
V_{IA}	アナログ入力電圧(注3)				0	—	V_{ref}	V
OCVREF	チップ内蔵基準電圧		2MHz≦φAD≦4MHz		1.19	1.34	1.49	V

注1. ウェイトモード時、ストップモード時、パワーオフモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)
注2. 周辺機能停止時。
注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表35.4　D/Aコンバータの特性
(指定のない場合は、Vcc/AVcc = Vref = 2.7V～5.5V、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能		—	—	8	Bit
—	絶対精度		—	—	2.5	LSB
tsu	設定時間		—	—	3	μs
RO	出力抵抗		—	6	—	kΩ
IVref	基準電源入力電流	(注1)	—	—	1.5	mA

注1.　D/Aコンバータ1本使用、使用していないD/AコンバータのDAi(i = 0～1)レジスタの値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。

表35.5　コンパレータBの特性
(指定のない場合は、Vcc = 2.7V～5.5V、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vref	IVREF1、IVREF3入力基準電圧		0	—	Vcc – 1.4	V
VI	IVCMP1、IVCMP3入力電圧		– 0.3	—	Vcc + 0.3	V
—	オフセット		—	5	100	mV
td	コンパレータ出力遅延時間(注1)	VI = Vref±100mV	—	0.1	—	μs
ICMP	コンパレータ動作電流	Vcc = 5.0V	—	17.5	—	μA

注1.　デジタルフィルタ無効時。

表35.6　フラッシュメモリ(プログラムROM)の特性
(指定のない場合は、Vcc = 2.7V～5.5V、Topr = 0℃～60℃)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		1,000(注2)	—	—	回
—	バイトプログラム時間		—	80	500	μs
—	ブロックイレーズ時間		—	0.3	—	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	5+CPUクロック×3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	ms
—	サスペンドからイレーズの再開までの時間		—	—	30+CPU クロック×1 サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30+CPU クロック×1 サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		0	—	60	℃
—	データ保持時間(注6)	周囲温度= 55℃	20	—	—	年

注1.　プログラム/イレーズ回数の定義
プログラム/イレーズ回数はブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
注2.　プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1～"最小"値の範囲です。)
注3.　多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
注4.　ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
注5.　不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。
注6.　電源電圧またはクロックが印加されていない時間を含みます。

表35.7　フラッシュメモリ(データフラッシュ　ブロックA～ブロックD)の特性
(指定のない場合は、Vcc = 2.7V～5.5V、Topr = – 20℃～85℃(Nバージョン)/ – 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000(注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数≦1,000回)		—	160	1500	µs
—	バイトプログラム時間 (プログラム/イレーズ回数＞1,000回)		—	300	1500	µs
—	ブロックイレーズ時間 (プログラム/イレーズ回数≦1,000回)		—	0.2	1	s
—	ブロックイレーズ時間 (プログラム/イレーズ回数＞1,000回)		—	0.3	1	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	5+CPUクロック ×3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	ms
—	サスペンドからイレーズの再開までの時間		—	—	30+CPUクロック ×1サイクル	µs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30+CPU クロック ×1サイクル	µs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		– 20 (注6)	—	85	℃
—	データ保持時間(注7)	周囲温度= 55℃	20	—	—	年

注1.　プログラム/イレーズ回数の定義
プログラム/イレーズ回数はブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
注2.　プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1～“最小”値の範囲です。)
注3.　多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA～ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
注4.　ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
注5.　不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。
注6.　Dバージョンは– 40℃。
注7.　電源電圧またはクロックが印加されていない時間を含みます。

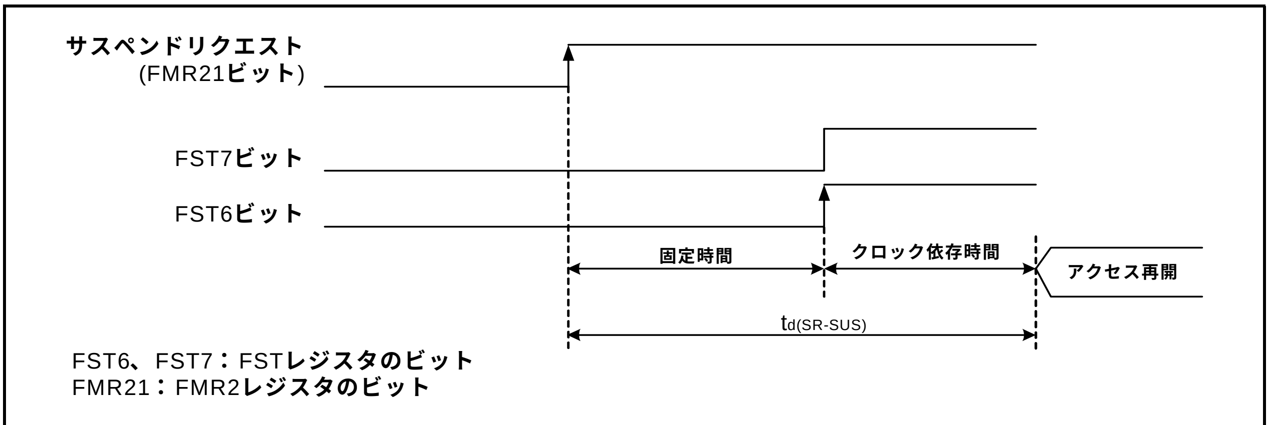


図35.2　サスペンドへの遷移時間

表35.8　電圧検出0回路の特性
(指定のない場合は、Vcc = 1.8V～5.5V、Topr = – 20℃～85℃(Nバージョン)/ – 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベルVdet0_0(注1)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1(注1)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2(注1)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3(注1)		3.55	3.80	4.05	V
—	電圧検出0回路反応時間(注3)	Vcc = 5V→(Vdet0_0 – 0.1)Vに下げたとき	—	6	150	μs
—	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V	—	1.5	—	μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間(注2)		—	—	100	μs

注1. 電圧検出レベルはOFSレジスタのVDSEL0～VDSEL1ビットで選択してください。
注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。
注3. V_{det0}を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表35.9　電圧検出1回路の特性
(指定のない場合は、Vcc = 1.8V～5.5V、Topr = – 20℃～85℃(Nバージョン)/ – 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det1}	電圧検出レベルVdet1_0(注1)	Vcc立ち下がり時	2.00	2.20	2.40	V
	電圧検出レベルVdet1_1(注1)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_2(注1)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_3(注1)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_4(注1)	Vcc立ち下がり時	2.60	2.80	3.00	V
	電圧検出レベルVdet1_5(注1)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_6(注1)	Vcc立ち下がり時	2.85	3.10	3.40	V
	電圧検出レベルVdet1_7(注1)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_8(注1)	Vcc立ち下がり時	3.15	3.40	3.70	V
	電圧検出レベルVdet1_9(注1)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_A(注1)	Vcc立ち下がり時	3.45	3.70	4.00	V
	電圧検出レベルVdet1_B(注1)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_C(注1)	Vcc立ち下がり時	3.75	4.00	4.30	V
	電圧検出レベルVdet1_D(注1)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_E(注1)	Vcc立ち下がり時	4.05	4.30	4.60	V
	電圧検出レベルVdet1_F(注1)	Vcc立ち下がり時	4.20	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0～Vdet1_5選択時	—	0.07	—	V
		Vdet1_6～Vdet1_F選択時	—	0.10	—	V
—	電圧検出1回路反応時間(注2)	Vcc = 5V→(Vdet1_0 – 0.1)Vに下げたとき	—	60	150	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V	—	1.7	—	μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間(注3)		—	—	100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0～VD1S3ビットで選択してください。
注2. V_{det1}を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。
注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表35.10　電圧検出2回路の特性
(指定のない場合は、Vcc = 1.8V～5.5V、Topr = –20℃～85℃(Nバージョン)/–40℃～85℃(Dバージョン))

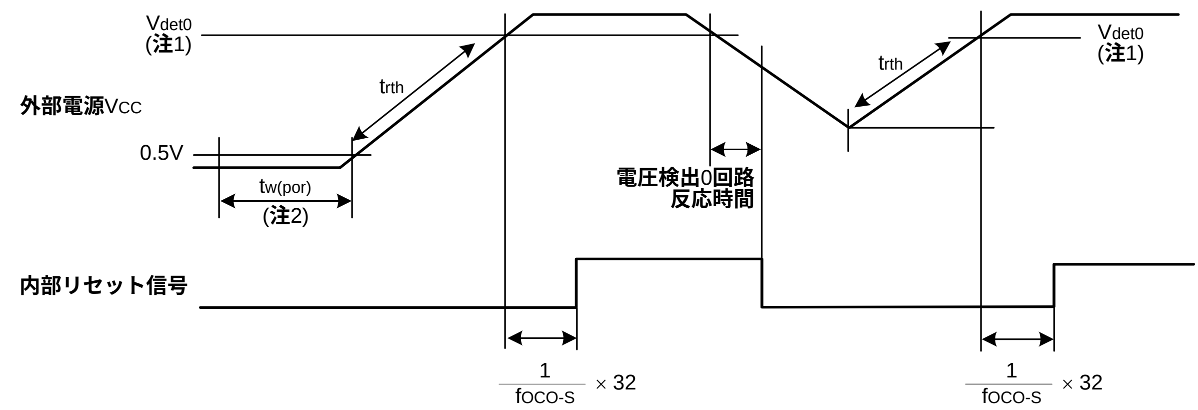
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2}	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス幅		—	0.10	—	V
—	電圧検出2回路反応時間(注1)	Vcc = 5V→(Vdet2_0 – 0.1)Vに下げたとき	—	20	150	μs
—	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V	—	1.7	—	μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間(注2)		—	—	100	μs

注1.　Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。
注2.　VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表35.11　パワーオンリセット回路の特性(注1)
(指定のない場合は、Topr = –20℃～85℃(Nバージョン)/–40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t_{rth}	外部電源Vccの立ち上がり傾き		0	—	50000	mV/msec

注1.　パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。



注1.　Vdet0は電圧検出0回路の電圧検出レベルを示します。 詳細は「6．電圧検出回路」を参照してください。
注2.　tw(por)は外部電源Vccを有効電圧(0.5V)以下に保持してパワーオンリセットが有効になるために必要な時間です。
電圧監視0リセットが無効な状態で電源を立ち下げた後に、電源を立ち上げるときは1ms以上保持してください。

図35.3　パワーオンリセット回路の特性

表35.12 高速オンチップオシレータ発振回路の特性
(指定のない場合は、Vcc =1.8V～ 5.5V、Topr = －20℃～85℃(Nバージョン)/ －40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 1.8V～5.5V －20℃≦Topr≦85℃	38.4	40	41.6	MHz
		Vcc = 1.8V～5.5V －40℃≦Topr≦85℃	38.0	40	42.0	MHz
	FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注1)	Vcc = 1.8V～5.5V －20℃≦Topr≦85℃	35.389	36.864	38.338	MHz
		Vcc = 1.8V～5.5V －40℃≦Topr≦85℃	35.020	36.864	38.707	MHz
	FRA6レジスタの補正値をFRA1レジスタに、かつFRA7レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数	Vcc = 1.8V～5.5V －20℃≦Topr≦85℃	30.72	32	33.28	MHz
		Vcc = 1.8V～5.5V －40℃≦Topr≦85℃	30.40	32	33.60	MHz
—	発振安定時間	Vcc = 5.0V、Topr = 25℃	—	0.5	3	ms
—	発振時の自己消費電流	Vcc = 5.0V、Topr = 25℃	—	400	—	μA

注1. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表35.13 低速オンチップオシレータ発振回路の特性
(指定のない場合は、Vcc = 1.8V～ 5.5V、Topr = －20℃～85℃(Nバージョン)/ －40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		112.5	125	137.5	kHz
—	発振安定時間	Vcc = 5.0V、Topr = 25℃	—	30	100	μs
—	発振時の自己消費電流	Vcc = 5.0V、Topr = 25℃	—	3	—	μA
fOCO-WDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間	Vcc = 5.0V、Topr = 25℃	—	30	100	μs
—	発振時の自己消費電流	Vcc = 5.0V、Topr = 25℃	—	2	—	μA

表35.14 電源回路の特性
(指定のない場合は、Vcc = 1.8V～ 5.5V、Topr = 25℃)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注1)		—	—	2000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表35.15 LCD駆動制御回路の特性
(指定のない場合は、Vcc = 1.8V～5.5V、Vss = 0V、Topr = – 20℃～85℃(Nバージョン)/ – 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VLCD	LCD電源電圧	VLCD = VL4	2.2	—	5.5	V
VL3	VL3電圧		VL2	—	VL4	V
VL2	VL2電圧	R8C/L35C	VL1	—	VL4	V
		R8C/L36C、R8C/L38C、R8C/L3AC	VL1	—	VL3	V
VL1	VL1電圧		1	—	VL2(注3)	V
—	VL1内部生成電圧精度 (注1)		設定電圧 – 0.2	設定電圧	設定電圧 + 0.2	V
f(FR)	フレーム周波数		50	—	180	Hz
ILCD	LCD駆動制御回路電流		—	(注2)	—	μA

注1. LCR1レジスタのLVLS0～LVLS3ビットで電圧を選択します。
注2. 表35.18 DC特性(2)、表35.20 DC特性(4)、表35.22 DC特性(6)を参照してください。
注3. ただし、VL1はVCC以下の電圧にしてください。

表35.16 パワーオフモードの特性
(指定のない場合は、Vcc = 2.2V～5.5V、Vss = 0V、Topr = – 20℃～85℃(Nバージョン)/ – 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	パワーオフモード動作電源電圧		2.2	—	5.5	V

35.4 DC特性

表35.17 DC特性(1) [4.0V≦Vcc≦5.5V]
(指定のない場合は、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃(Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	ポートP10、P11(注1)	Vcc = 5V	IOH = – 20mA	Vcc – 2.0	—	Vcc	V
		その他の端子	Vcc = 5V	IOH = – 5mA	Vcc – 2.0	—	Vcc	V
		XOUT	Vcc = 5V	IOH = – 200μA	1.0	—	—	V
VOL	“L”出力電圧	ポートP10、P11(注1)	Vcc = 5V	IOL = 20mA	—	—	2.0	V
		その他の端子	Vcc = 5V	IOL = 5mA	—	—	2.0	V
		XOUT	Vcc = 5V	IOL = 200μA	—	—	0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、INT3、INT4、INT5、INT6、INT7、KI0、KI1、KI2、KI3、KI4、KI5、KI6、KI7、TRAIO、TRCIOA、TRCIOB、TRCIOC、TRCIOD、TRDIOA0、TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1、TRCTRG、TRCCLK、TRGCLKA、TRGCLKB、TRGIOA、TRGIOB、ADTRG、RXD0、RXD1、RXD2、CLK0、CLK1、CLK2、SSI、SCL、SDA、SSO			0.05	0.5	—	V
		RESET、WKUP0			0.1	1.0	—	V
IIH	“H”入力電流		VI = 5.0V、Vcc = 5.0V		—	—	5.0	μA
IIL	“L”入力電流		VI = 0V、Vcc = 5.0V		—	—	– 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 5.0V		25	50	100	kΩ
RfXIN	帰還抵抗	XIN			—	0.3	—	MΩ
RfXCIN	帰還抵抗	XCIN			—	14	—	MΩ
VRAM	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表35.18 DC特性(2) [4.0V≦Vcc≦5.5V]
(指定のない場合は、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃(Dバージョン))

記号	項目		測定条件								規格値			単位
			発振回路		オンチップオシレータ		CPUクロック	低消費電力設定	その他		最小	標準(注3)	最大	
			XIN(注2)	XCIN	高速(fOCO-F)	低速								
Icc	電源電流(注1)	高速クロックモード	20MHz	停止	停止	125kHz	分周なし	—			—	7.0	15	mA
			16MHz	停止	停止	125kHz	分周なし	—			—	5.6	12.5	mA
			10MHz	停止	停止	125kHz	分周なし	—			—	3.6	—	mA
			20MHz	停止	停止	125kHz	8分周	—			—	3.0	—	mA
			16MHz	停止	停止	125kHz	8分周	—			—	2.2	—	mA
			10MHz	停止	停止	125kHz	8分周	—			—	1.5	—	mA
		高速オンチップオシレータモード	停止	停止	20MHz	125kHz	分周なし	—			—	7.0	15	mA
			停止	停止	20MHz	125kHz	8分周	—			—	3.0	—	mA
			停止	停止	4MHz	125kHz	16分周	MSTIIC = “1” MSTTRD = “1” MSTTRC = “1” MSTTRG = “1”			—	1	—	mA
		低速オンチップオシレータモード	停止	停止	停止	125kHz	8分周	FMR27 = “1” VCA20 = “0”			—	90	400	μA
		低速クロックモード	停止	32kHz	停止	停止	分周なし	FMR27 = “1” VCA20 = “0”			—	100	400	μA
			停止	32kHz	停止	停止	分周なし	FMSTP = “1” VCA20 = “0”	フラッシュメモリ停止 RAM上のプログラム動作		—	55	—	μA
		ウェイトモード	停止	停止	停止	125kHz	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1”	WAIT命令実行中 周辺クロック動作		—	15	100	μA
			停止	停止	停止	125kHz	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1” CM02 = “1” CM01 = “1”	WAIT命令実行中 周辺クロック停止		—	4	90	μA
			停止	32kHz	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1” CM02 = “1” CM01 = “0”	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	LCD駆動制御回路(注4) 外付け分割抵抗使用時	—	7	—	μA
										LCD駆動制御回路(注5) 内部昇圧回路使用時	—	12	—	μA
			停止	32kHz	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1” CM02 = “1” CM01 = “1”	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)		—	3.5	—	μA
		ストップモード	停止	停止	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” CM10 = “1”	Topr=25℃ 周辺クロック停止		—	2.0	5.0	μA
			停止	停止	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” CM10 = “1”	Topr=85℃ 周辺クロック停止		—	15	—	μA
		パワーオフモード	停止	停止	停止	停止	—	—	Topr=25℃		—	0.02	0.2	μA
			停止	停止	停止	停止	—	—	Topr=85℃		—	0.4	—	μA

注1. Vcc = 4.0V～5.5V、シングルチップモードで、出力端子は開放、その他の端子はVss。
注2. XINは方形波入力。
注3. Vcc = 5.0V。
注4. VLCD = Vcc、VL4～VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0～SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。
注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3～LVLS0ビット=“1011b”、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0～SEG55選択、セグメント出力端子およびコモン出力端子は開放。

表35.19 DC特性(3)　[2.7V≦Vcc＜4.0V]
(指定のない場合は、Topr = – 20℃〜85℃(Nバージョン)/– 40℃〜85℃(Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	“H”出力電圧	ポートP10、P11(注1)	I_{OH} = – 5mA	Vcc – 0.5	—	Vcc	V
		その他の端子	I_{OH} = – 1mA	Vcc – 0.5	—	Vcc	V
		XOUT	I_{OH} = – 200μA	1.0	—	—	V
V_{OL}	“L”出力電圧	ポートP10、P11(注1)	I_{OL} = 5mA	—	—	0.5	V
		その他の端子	I_{OL} = 1mA	—	—	0.5	V
		XOUT	I_{OL} = 200μA	—	—	0.5	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{\text{INT0}}$、$\overline{\text{INT1}}$、$\overline{\text{INT2}}$、 $\overline{\text{INT3}}$、$\overline{\text{INT4}}$、INT5、 $\overline{\text{INT6}}$、$\overline{\text{INT7}}$、 $\overline{\text{KI0}}$、$\overline{\text{KI1}}$、$\overline{\text{KI2}}$、$\overline{\text{KI3}}$、 $\overline{\text{KI4}}$、$\overline{\text{KI5}}$、$\overline{\text{KI6}}$、$\overline{\text{KI7}}$、 TRAIO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRGCLKA、TRGCLKB、 TRGIOA、TRGIOB、 $\overline{\text{ADTRG}}$、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO		0.05	0.4	—	V
		$\overline{\text{RESET}}$、$\overline{\text{WKUP0}}$		0.1	0.8	—	V
I_{IH}	“H”入力電流		VI = 3.0V、Vcc = 3.0V	—	—	5.0	μA
I_{IL}	“L”入力電流		VI = 0V、Vcc = 3.0V	—	—	—5.0	μA
R_{PULLUP}	プルアップ抵抗		VI = 0V、Vcc = 3.0V	30	100	170	kΩ
R_{fXIN}	帰還抵抗	XIN		—	0.3	—	MΩ
R_{fXCIN}	帰還抵抗	XCIN		—	14	—	MΩ
V_{RAM}	RAM保持電圧		ストップモード時	1.8	—	—	V

注1.　P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表35.20 DC特性(4) [2.7V≦Vcc＜4.0V]
(指定のない場合は、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃(Dバージョン))

記号	項目		測定条件							規格値			単位
			発振回路		オンチップオシレータ		CPUクロック	低消費電力設定	その他	最小	標準(注3)	最大	
			XIN(注2)	XCIN	高速(fOCO-F)	低速							
Icc	電源電流(注1)	高速クロックモード	20MHz	停止	停止	125kHz	分周なし	—		—	7.0	14.5	mA
			10MHz	停止	停止	125kHz	分周なし	—		—	3.6	10	mA
			20MHz	停止	停止	125kHz	8分周	—		—	3.0	—	mA
			10MHz	停止	停止	125kHz	8分周	—		—	1.5	—	mA
		高速オンチップオシレータモード	停止	停止	20MHz	125kHz	分周なし	—		—	7.0	14.5	mA
			停止	停止	20MHz	125kHz	8分周	—		—	3.0	—	mA
			停止	停止	10MHz	125kHz	分周なし	—		—	4.0	—	mA
			停止	停止	10MHz	125kHz	8分周	—		—	1.7	—	mA
			停止	停止	4MHz	125kHz	16分周	MSTIIC = “1” MSTTRD = “1” MSTTRC = “1” MSTTRG = “1”		—	1	—	mA
		低速オンチップオシレータモード	停止	停止	停止	125kHz	8分周	FMR27 = “1” VCA20 = “0”		—	85	390	μA
		低速クロックモード	停止	32kHz	停止	停止	分周なし	FMR27 = “1” VCA20 = “0”		—	90	400	μA
			停止	32kHz	停止	停止	分周なし	FMSTP = “1” VCA20 = “0”	フラッシュメモリ停止 RAM上のプログラム動作	—	50	—	μA
		ウェイトモード	停止	停止	停止	125kHz	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1”	WAIT命令実行中 周辺クロック動作	—	15	90	μA
			停止	停止	停止	125kHz	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1” CM02 = “1” CM01 = “1”	WAIT命令実行中 周辺クロック停止	—	5	80	μA
			停止	32kHz	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1” CM02 = “1” CM01 = “0”	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード) LCD駆動制御回路(注4) 外付け分割抵抗使用時	—	5	—	μA
									LCD駆動制御回路(注5) 内部昇圧回路使用時	—	11	—	μA
			停止	32kHz	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” VCA20 = “1” CM02 = “1” CM01 = “1”	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	—	3.5	—	μA
		ストップモード	停止	停止	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” CM10 = “1”	Topr=25℃ 周辺クロック停止	—	2	5.0	μA
			停止	停止	停止	停止	—	VCA27 = “0” VCA26 = “0” VCA25 = “0” CM10 = “1”	Topr=85℃ 周辺クロック停止	—	13.0	—	μA
		パワーオフモード	停止	停止	停止	停止	—	—	Topr=25℃	—	0.02	0.2	μA
			停止	停止	停止	停止	—	—	Topr=85℃	—	0.3	—	μA

注1. Vcc = 2.7V～4.0V、シングルチップモードで、出力端子は開放、その他の端子はVss。
注2. XINは方形波入力。
注3. Vcc = 3.0V。
注4. VLCD = Vcc、VL4～VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0～SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。
注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3～LVLS0ビット=“1011b”、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0～SEG55選択、セグメント出力端子およびコモン出力端子は開放。

表35.21　DC特性(5)　[1.8V≦Vcc＜2.7V]
(指定のない場合は、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃(Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧	ポートP10、P11(注1)	IOH = – 2mA	Vcc – 0.5	—	Vcc	V
		その他の端子	IOH = – 1mA	Vcc – 0.5	—	Vcc	V
		XOUT	IOH = – 200μA	1.0	—	—	V
VOL	“L”出力電圧	ポートP10、P11(注1)	IOL = 2mA	—	—	0.5	V
		その他の端子	IOL = 1mA	—	—	0.5	V
		XOUT	IOL = 200μA	—	—	0.5	V
VT+-VT-	ヒステリシス	$\overline{\text{INT0}}$、$\overline{\text{INT1}}$、$\overline{\text{INT2}}$、$\overline{\text{INT3}}$、$\overline{\text{INT4}}$、$\overline{\text{INT5}}$、$\overline{\text{INT6}}$、$\overline{\text{INT7}}$、$\overline{\text{KI0}}$、$\overline{\text{KI1}}$、$\overline{\text{KI2}}$、$\overline{\text{KI3}}$、$\overline{\text{KI4}}$、$\overline{\text{KI5}}$、$\overline{\text{KI6}}$、$\overline{\text{KI7}}$、TRAIO、TRCIOA、TRCIOB、TRCIOC、TRCIOD、TRDIOA0、TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1、TRCTRG、TRCCLK、TRGCLKA、TRGCLKB、TRGIOA、TRGIOB、$\overline{\text{ADTRG}}$、RXD0、RXD1、RXD2、CLK0、CLK1、CLK2、SSI、SCL、SDA、SSO		0.05	0.4	—	V
		$\overline{\text{RESET}}$、$\overline{\text{WKUP0}}$		0.1	0.8	—	V
IIH	“H”入力電流		VI = 1.8V、Vcc = 1.8V	—	—	4.0	μA
IIL	“L”入力電流		VI = 0V、Vcc = 1.8V	—	—	—4.0	μA
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 1.8V	60	160	420	kΩ
RfXIN	帰還抵抗	XIN		—	0.3	—	MΩ
RfXCIN	帰還抵抗	XCIN		—	14	—	MΩ
VRAM	RAM保持電圧		ストップモード時	1.8	—	—	V

注1.　P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表35.22 DC特性(6) [1.8V≦Vcc＜2.7V]
(指定のない場合は、Topr = – 20℃～85℃(Nバージョン)/– 40℃～85℃(Dバージョン))

記号	項目		測定条件								規格値			単位
			発振回路		オンチップオシレータ		CPUクロック	低消費電力設定	その他		最小	標準(注3)	最大	
			XIN(注2)	XCIN	高速(fOCO-F)	低速								
Icc	電源電流(注1)	高速クロックモード	5MHz	停止	停止	125kHz	分周なし	—			—	2.2	—	mA
			5MHz	停止	停止	125kHz	8分周	—			—	0.8	—	mA
		高速オンチップオシレータモード	停止	停止	5MHz	125kHz	分周なし	—			—	2.5	10	mA
			停止	停止	5MHz	125kHz	8分周	—			—	1.7	—	mA
			停止	停止	4MHz	125kHz	16分周	MSTIIC =“1” MSTTRD =“1” MSTTRC =“1” MSTTRG =“1”			—	1	—	mA
		低速オンチップオシレータモード	停止	停止	停止	125kHz	8分周	FMR27 =“1” VCA20 =“0”			—	90	300	μA
		低速クロックモード	停止	32kHz	停止	停止	分周なし	FMR27 =“1” VCA20 =“0”			—	90	400	μA
			停止	32kHz	停止	停止	分周なし	FMSTP =“1” VCA20 =“0”	フラッシュメモリ停止 RAM上のプログラム動作		—	45	—	μA
		ウェイトモード	停止	停止	停止	125kHz	—	VCA27 =“0” VCA26 =“0” VCA25 =“0” VCA20 =“1”	WAIT命令実行中 周辺クロック動作		—	15	90	μA
			停止	停止	停止	125kHz	—	VCA27 =“0” VCA26 =“0” VCA25 =“0” VCA20 =“1” CM02 =“1” CM01 =“1”	WAIT命令実行中 周辺クロック停止		—	4	80	μA
			停止	32kHz	停止	停止	—	VCA27 =“0” VCA26 =“0” VCA25 =“0” VCA20 =“1” CM02 =“1” CM01 =“0”	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	LCD駆動制御回路(注4) 外付け分割抵抗使用時	—	4	—	μA
										LCD駆動制御回路(注5) 内部昇圧回路使用時	—	11	—	μA
			停止	32kHz	停止	停止	—	VCA27 =“0” VCA26 =“0” VCA25 =“0” VCA20 =“1” CM02 =“1” CM01 =“1”	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)		—	3.5	—	μA
		ストップモード	停止	停止	停止	停止	—	VCA27 =“0” VCA26 =“0” VCA25 =“0” CM10 =“1”	Topr=25℃ 周辺クロック停止		—	2.0	5.0	μA
			停止	停止	停止	停止	—	VCA27 =“0” VCA26 =“0” VCA25 =“0” CM10 =“1”	Topr=85℃ 周辺クロック停止		—	13	—	μA
		パワーオフモード	停止	停止	停止	停止	—	—	Topr=25℃		—	0.02	0.2	μA
			停止	停止	停止	停止	—	—	Topr=85℃		—	0.3	—	μA

注1. Vcc = 1.8V～2.7V、シングルチップモードで、出力端子は開放、その他の端子はVss。
注2. XINは方形波入力。
注3. Vcc = 2.2V。
注4. VLCD = Vcc、VL4～VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0～SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。
注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3～LVLS0ビット＝“1011b”、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0～SEG55選択、セグメント出力端子およびコモン出力端子は開放。

35.5 AC特性

表35.23 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング条件
(指定のない場合は、Vcc = 1.8V～5.5V、Vss = 0V、Topr =—20℃～85℃(Nバージョン)/—40℃～85℃(Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
t_{SUCYC}	SSCKクロックサイクル時間			4	—	—	t_{CYC} (注1)
t_{HI}	SSCKクロック“H”パルス幅			0.4	—	0.6	t_{SUCYC}
t_{LO}	SSCKクロック“L”パルス幅			0.4	—	0.6	t_{SUCYC}
t_{RISE}	SSCKクロック立ち上がり時間	マスタ		—	—	1	t_{CYC} (注1)
		スレーブ		—	—	1	μs
t_{FALL}	SSCKクロック立ち下がり時間	マスタ		—	—	1	t_{CYC} (注1)
		スレーブ		—	—	1	μs
t_{SU}	SSO、SSIデータ入力セットアップ時間			100	—	—	ns
t_H	SSO、SSIデータ入力ホールド時間			1	—	—	t_{CYC} (注1)
t_{LEAD}	$\overline{SCS}$セットアップ時間	スレーブ		$1t_{CYC}$+50	—	—	ns
t_{LAG}	$\overline{SCS}$ホールド時間	スレーブ		$1t_{CYC}$+50	—	—	ns
t_{OD}	SSO、SSIデータ出力遅延時間			—	—	1	t_{CYC} (注1)
t_{SA}	SSIスレーブアクセス時間		2.7V ≦ Vcc ≦ 5.5V	—	—	$1.5t_{CYC}$+100	ns
			1.8V ≦ Vcc ＜ 2.7V	—	—	$1.5t_{CYC}$+200	ns
t_{OR}	SSIスレーブアウト開放時間		2.7V ≦ Vcc ≦ 5.5V	—	—	$1.5t_{CYC}$+100	ns
			1.8V ≦ Vcc ＜ 2.7V	—	—	$1.5t_{CYC}$+200	ns

注1. $1t_{CYC}$ = 1/f1 (s)

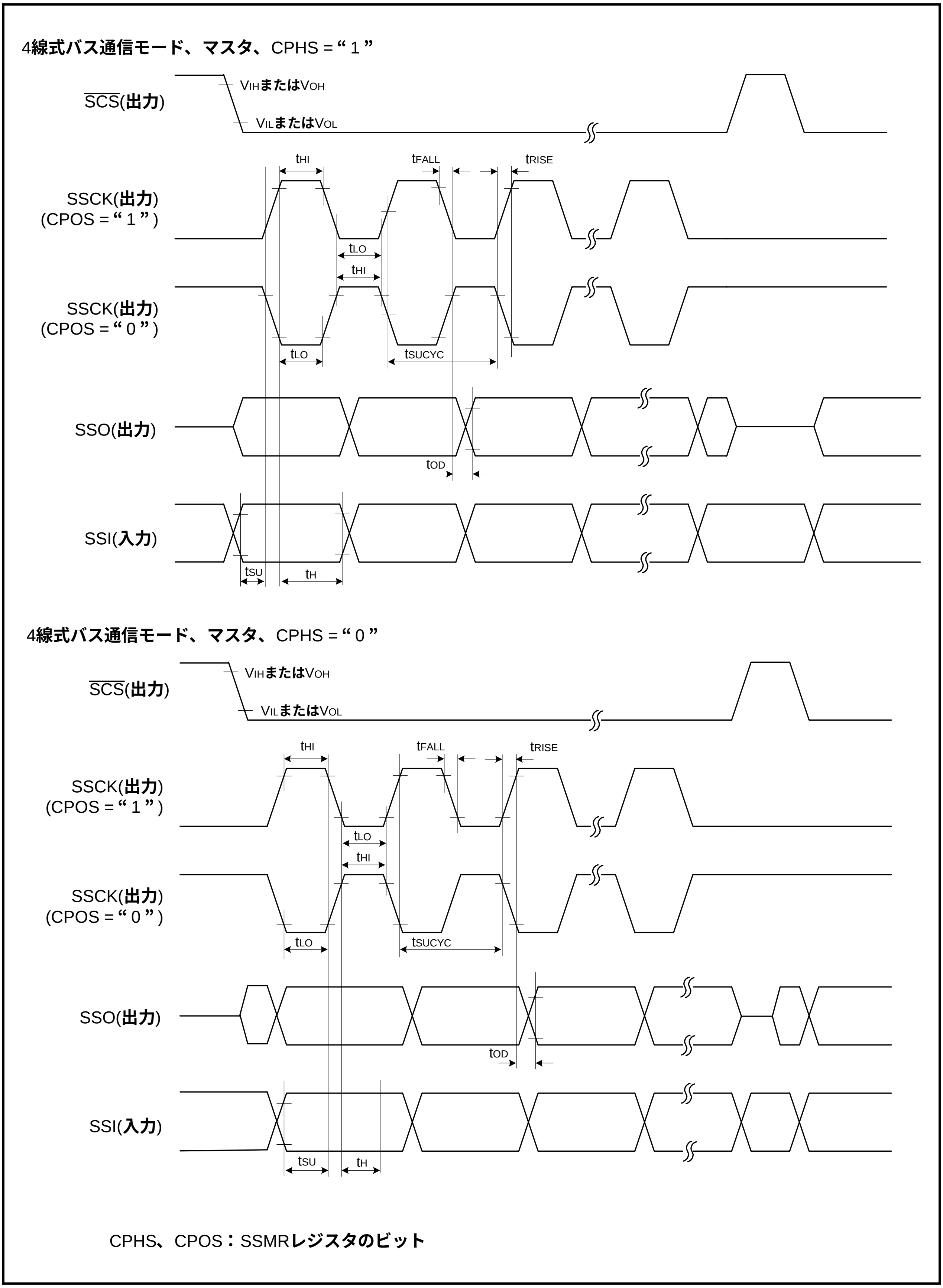
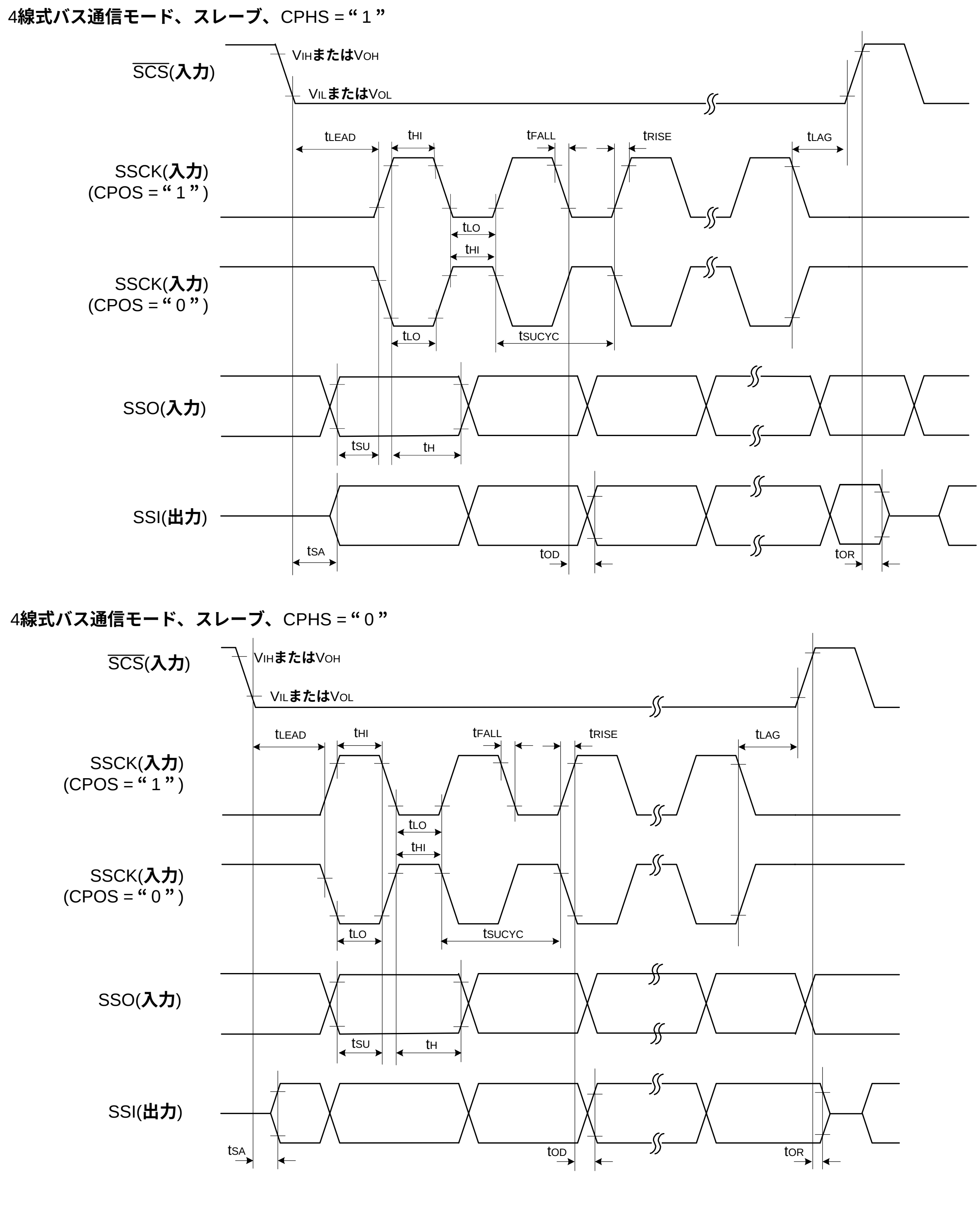


図35.4　シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)



CPHS、CPOS：SSMRレジスタのビット

図35.5　シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

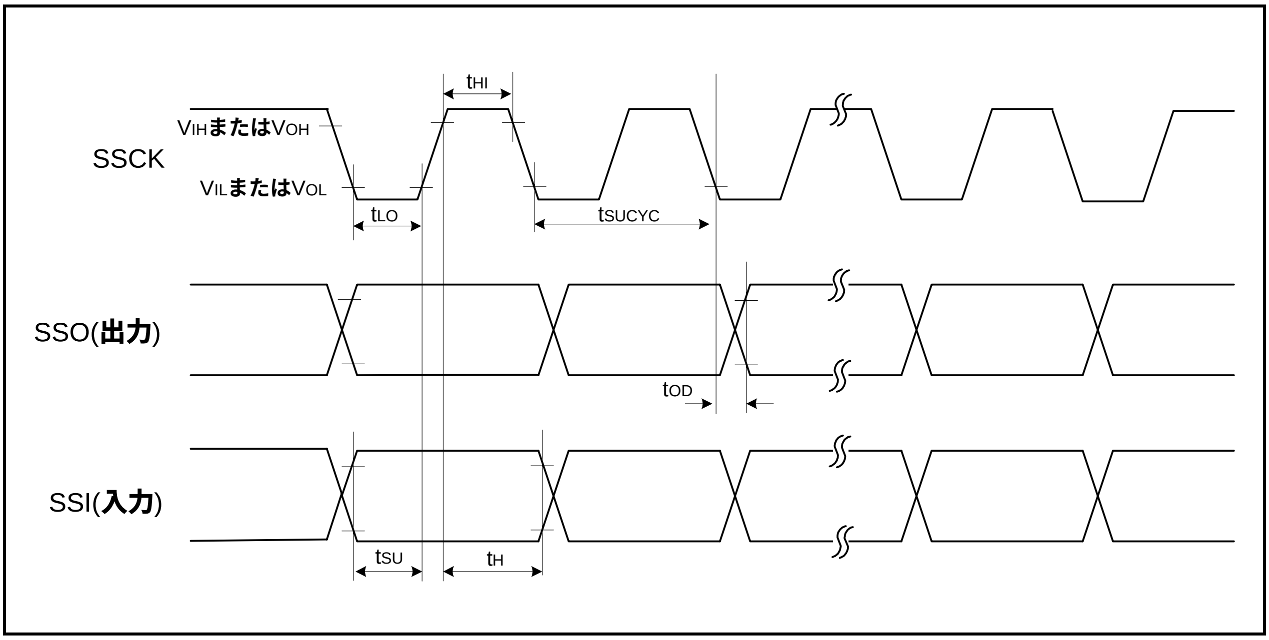
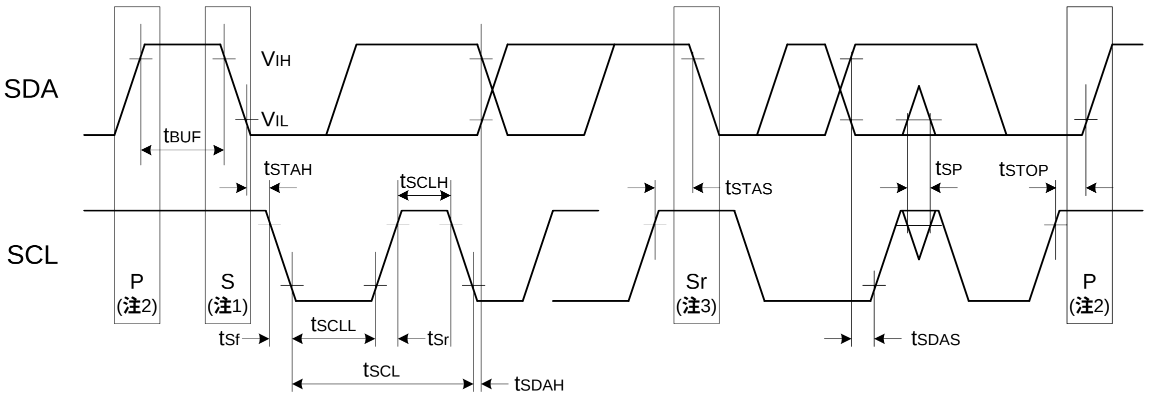


図35.6　シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表35.24 I²Cバスインタフェースのタイミング条件
(指定のない場合は、Vcc = 1.8V～5.5V、Vss = 0V、Topr = – 20℃～85℃(Nバージョン)/
– 40℃～85℃(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tCYC + 600(注1)	—	—	ns
tSCLH	SCL入力“H”パルス幅		3tCYC + 300(注1)	—	—	ns
tSCLL	SCL入力“L”パルス幅		5tCYC + 500(注1)	—	—	ns
tsf	SCL、SDA入力立ち下がり時間		—	—	300	ns
tSP	SCL、SDA入力スパイクパルス除去時間		—	—	1tCYC(注1)	ns
tBUF	SDA入力バスフリー時間		5tCYC(注1)	—	—	ns
tSTAH	開始条件入力ホールド時間		3tCYC(注1)	—	—	ns
tSTAS	再送開始条件入力セットアップ時間		3tCYC(注1)	—	—	ns
tSTOP	停止条件入力セットアップ時間		3tCYC(注1)	—	—	ns
tSDAS	データ入力セットアップ時間		1tCYC + 40(注1)	—	—	ns
tSDAH	データ入力ホールド時間		10	—	—	ns

注1. 1tCYC = 1/f1 (s)



注1. 開始条件
注2. 停止条件
注3. 再送「開始」条件

図35.7 I²Cバスインタフェースの入出力タイミング

表35.25　外部クロック入力(XIN、XCIN)のタイミング条件
(指定のない場合は、Vcc = 1.8V〜5.5V、Vss = 0V、Topr = – 20℃〜85℃(Nバージョン)/
– 40℃〜85℃(Dバージョン))

記号	項目	規格値						単位
		Vcc = 2.2V、Topr = 25℃		Vcc = 3V、Topr = 25℃		Vcc = 5V、Topr = 25℃		
		最小	最大	最小	最大	最小	最大	
tc(XIN)	XIN入力サイクル時間	200	—	50	—	50	—	ns
tWH(XIN)	XIN入力“H”パルス幅	90	—	24	—	24	—	ns
tWL(XIN)	XIN入力“L”パルス幅	90	—	24	—	24	—	ns
tc(XCIN)	XCIN入力サイクル時間	14	—	14	—	14	—	μs
tWH(XCIN)	XCIN入力“H”パルス幅	7	—	7	—	7	—	μs
tWL(XCIN)	XCIN入力“L”パルス幅	7	—	7	—	7	—	μs

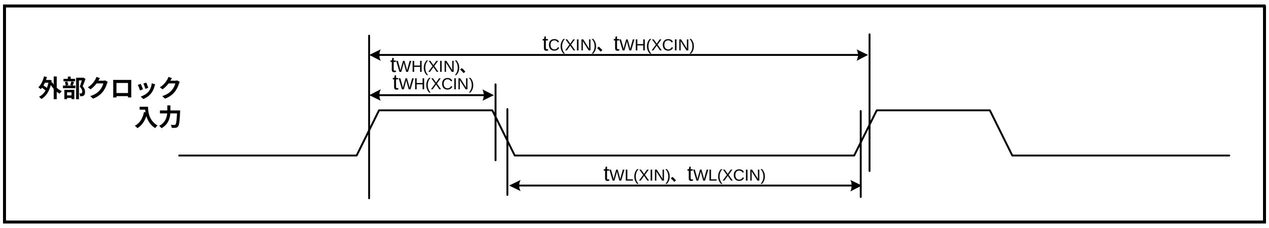


図35.8　外部クロック入力タイミング

表35.26　TRAIOのタイミング条件
(指定のない場合は、Vcc = 1.8V〜5.5V、Vss = 0V、Topr = – 20℃〜85℃(Nバージョン)/
– 40℃〜85℃(Dバージョン))

記号	項目	規格値						単位
		Vcc = 2.2V、Topr = 25℃		Vcc = 3V、Topr = 25℃		Vcc = 5V、Topr = 25℃		
		最小	最大	最小	最大	最小	最大	
tc(TRAIO)	TRAIO入力サイクル時間	500	—	300	—	100	—	ns
tWH(TRAIO)	TRAIO入力“H”パルス幅	200	—	120	—	40	—	ns
tWL(TRAIO)	TRAIO入力“L”パルス幅	200	—	120	—	40	—	ns

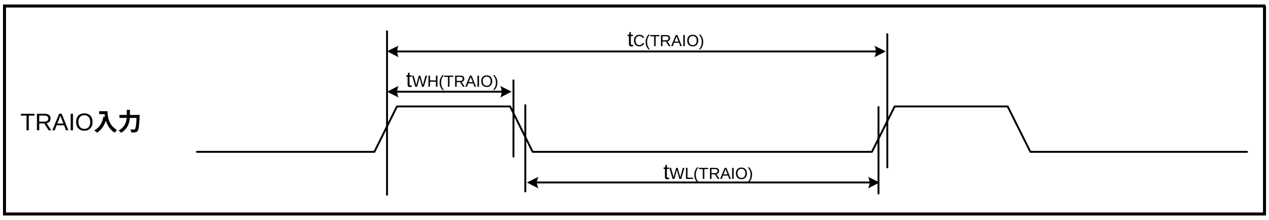


図35.9　TRAIOの入力タイミング

表35.27 シリアルインタフェースのタイミング条件
(指定のない場合は、Vcc = 1.8V〜5.5V、Vss = 0V、Topr = – 20℃〜85℃(Nバージョン)/ – 40℃〜85℃(Dバージョン))

記号	項目	規格値						単位
		Vcc = 2.2V、Topr = 25℃		Vcc = 3V、Topr = 25℃		Vcc = 5V、Topr = 25℃		
		最小	最大	最小	最大	最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800	—	300	—	200	—	ns
$t_{W(CKH)}$	CLKi入力“H”パルス幅	400	—	150	—	100	—	ns
$t_{W(CKL)}$	CLKi入力“L”パルス幅	400	—	150	—	100	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	200	—	80	—	50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	0	—	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150	—	70	—	50	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	90	—	90	—	ns

i = 0〜2

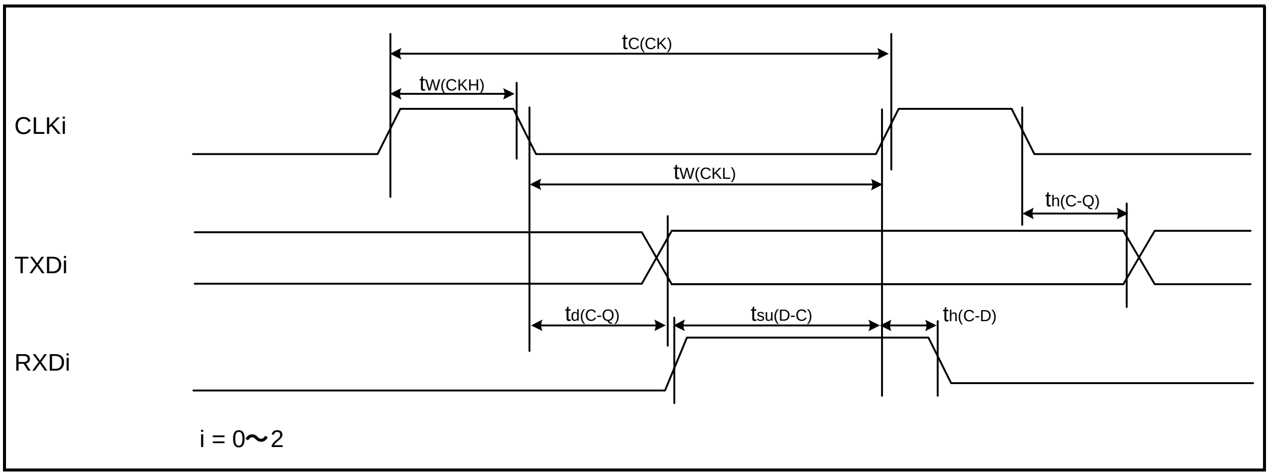


図35.10 シリアルインタフェースの入出力タイミング

表35.28 外部割り込み$\overline{\text{INTi}}$ (i = 0〜7)、キー入力割り込み$\overline{\text{KIi}}$ (i = 0〜7)のタイミング条件
(指定のない場合は、Vcc = 1.8V〜5.5V、Vss = 0V、Topr = – 20℃〜85℃(Nバージョン)/ – 40℃〜85℃(Dバージョン))

記号	項目	規格値						単位
		Vcc = 2.2V、Topr = 25℃		Vcc = 3V、Topr = 25℃		Vcc = 5V、Topr = 25℃		
		最小	最大	最小	最大	最小	最大	
$t_{W(INH)}$	$\overline{\text{INTi}}$入力“H”パルス幅、$\overline{\text{KIi}}$入力“H”パルス幅	1000 (注1)	—	380 (注1)	—	250 (注1)	—	ns
$t_{W(INL)}$	$\overline{\text{INTi}}$入力“L”パルス幅、$\overline{\text{KIi}}$入力“L”パルス幅	1000 (注2)	—	380 (注2)	—	250 (注2)	—	ns

注1. $\overline{\text{INTi}}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{\text{INTi}}$入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。
注2. $\overline{\text{INTi}}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{\text{INTi}}$入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

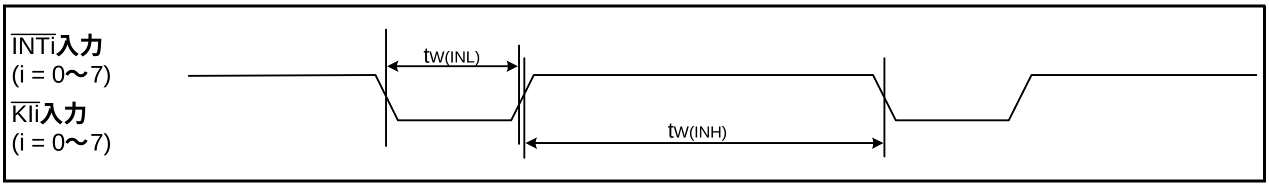


図35.11 外部割り込み$\overline{\text{INTi}}$およびキー入力割り込み$\overline{\text{KIi}}$の入力タイミング

36. 使用上の注意事項

36.1 クロック発生回路使用上の注意

36.1.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1～OCD0ビットを“00b”にしてください。

36.1.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカにご相談の上、決定してください。

36.1.3 XCINクロック

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

36.1.4 P12_0とP12_1端子に関する使用上の注意事項

P12_0端子はXIN端子と、P12_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。

36.2 パワーコントロール使用上の注意

36.2.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを"0"(CPU書き換えモード無効)、FMR2レジスタのFMR27ビットを"0"(低消費電流リードモード禁止)にした後、CM1レジスタのCM10ビットを"1"(ストップモード)にしてください。命令キューはCM10ビットを"1"(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを"1"にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```
          BCLR      1, FMR0        ; CPU書き換えモード無効
          BCLR      7, FMR2        ; 低消費電流リードモード禁止
          BSET      0, PRCR        ; CM1レジスタへの書き込み許可
          FSET      I              ; 割り込み許可
          BSET      0, CM1         ; ストップモード
          JMP.B     LABEL_001
LABEL_001:
          NOP
          NOP
          NOP
          NOP
```

36.2.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを"0"(CPU書き換えモード無効)ならびにFMR27ビットを"0"(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが"1"(CPU書き換えモード有効)あるいはFMR27ビットが"1"(低消費電流リードモード許可)の状態で、ウェイトモードへ移行しないでください。

CM30ビットを"1"にしてウェイトモードに移行する場合は、Iフラグを"0"(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを"1"(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを"1"(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを"1"(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
          BCLR      1, FMR0        ; CPU書き換えモード無効
          BCLR      7, FMR2        ; 低消費電流リードモード禁止
          FSET      I              ; 割り込み許可
          WAIT                     ; ウェイトモード
          NOP
          NOP
          NOP
          NOP
```

• CM30ビットを"1"を実行するプログラム例

```
          BCLR      1, FMR0        ; CPU書き換えモード無効
          BCLR      7, FMR2        ; 低消費電流リードモード禁止
          BSET      0, PRCR        ; CM3レジスタへの書き込み許可
          FCLR      I              ; 割り込み禁止
          BSET      0, CM3         ; ウェイトモード
          NOP
          NOP
          NOP
          NOP
          BCLR      0, PRCR        ; CM3レジスタへの書き込み禁止
          FSET      I              ; 割り込み許可
```

36.2.3　VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3 レジスタのCM30 ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図10.7に示す手順に従ってください。

WAIT 命令を実行してウェイトモードにする場合の VCA20 ビットによる内部電源低消費操作設定は図10.8に示す手順に従ってください。

36.2.4　パワーオフモード

パワーオフモードに移行する場合、FMR0 レジスタの FMR01 ビットを“0”(CPU 書き換えモード無効)にした後、POMCR0レジスタにアクセスしてください。POMCR0レジスタにアクセスしてからパワーオフモードへ移行するまでには遅延がありますので、NOP命令を最低4つ入れた後、WAIT命令でプログラムを停止してください。

- パワーオフモードに移行するプログラム例

```
BCLR      1, FMR0 ；CPU書き換えモード無効
MOV.B     #00H、POMCR0 ；固定値
MOV.B     #88H、POMCR0 ；固定値
MOV.B     #15H、POMCR0 ；固定値
MOV.B     #92H、POMCR0 ；固定値
MOV.B     #25H、POMCR0 ；固定値
NOP
NOP
NOP
NOP                    ；パワーオフモードへ移行
WAIT                   ；ウェイトモード
```

パワーオフモードの解除後の動作は通常のリセットシーケンスと同じです。そのため、パワーオフモード移行直後にパワーオフモードを解除すると、リセットシーケンスとリセット後のプログラム動作により、消費電力を低減できません。パワーオフモード移行と解除の間隔についてはシステムレベルで十分評価してください。

36.3 割り込み使用上の注意

36.3.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

36.3.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

36.3.3 外部割り込み、キー入力割り込み

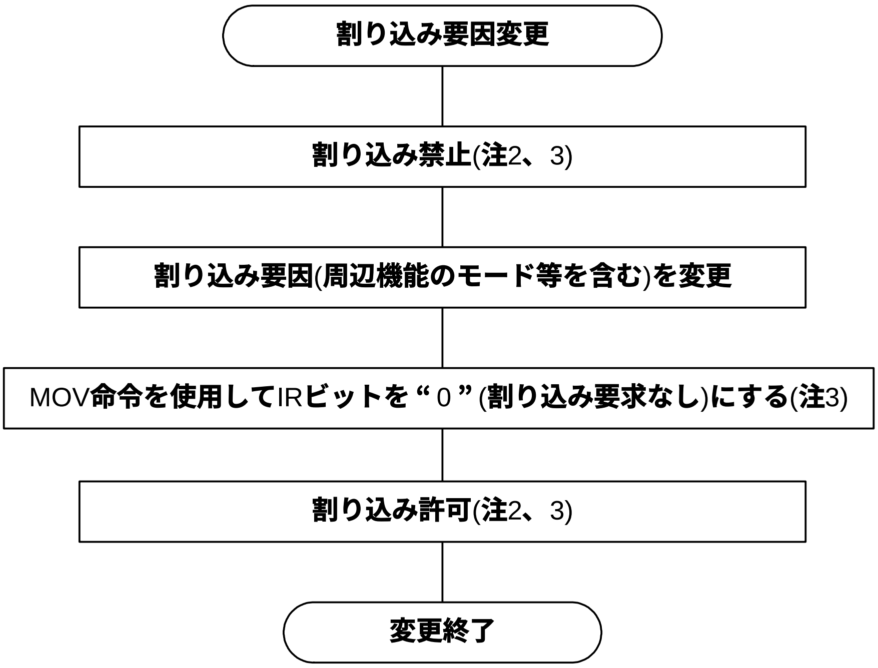
$\overline{\mathrm{INT0}}$～$\overline{\mathrm{INT7}}$端子、$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI7}}$端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み$\overline{\mathrm{INTi}}$入力(i = 0～7)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表35.28　外部割り込み$\overline{\mathrm{INTi}}$ (i =0～7)、キー入力割り込み$\overline{\mathrm{KIi}}$ (i =0～7)のタイミング条件」を参照。)

36.3.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図36.1に割り込み要因の変更手順例を示します。



IRビット: 要因を変更する割り込みの、割り込み制御レジスタのビット

注1. 上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。

注2. 割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIフラグを使用してください。
マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL0～ILVL2ビットを使用してください。

注3. デジタルフィルタありの入力を割り込み要因とする場合は、デジタルフィルタのサンプリングクロックの3サイクル分以上待ってから、IRビットを“0”(割り込み要求なし)にしてください。使用する命令とそれに伴う注意は「12.8.5　割り込み制御レジスタの変更」を参照してください。

図36.1　割り込み要因の変更手順例

36.3.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令.......AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
    FCLR     I                  ;割り込み禁止
    AND.B    #00H, 0056H        ;TRAICレジスタを“00h”にする
    NOP                         ;
    NOP
    FSET     I                  ;割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
    FCLR     I                  ;割り込み禁止
    AND.B    #00H, 0056H        ;TRAICレジスタを“00h”にする
    MOV.W    MEM, R0            ;ダミーリード
    FSET     I                  ;割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
    PUSHC    FLG
    FCLR     I                  ;割り込み禁止
    AND.B    #00H, 0056H        ;TRAICレジスタを“00h”にする
    POPC     FLG                ;割り込み許可
```

36.4 IDコード領域使用上の注意

36.4.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

• IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)        ; UND
.lword dummy | (55000000h)        ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)        ; ADDRESS MATCH
.lword dummy | (55000000h)        ; SET SINGLE STEP
.lword dummy | (55000000h)        ; WDT
.lword dummy | (55000000h)        ; ADDRESS BREAK
.lword dummy | (55000000h)        ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

36.5 オプション機能選択領域使用上の注意

36.5.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

• OFSレジスタに“ FFh ”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

• OFS2レジスタに“ FFh ”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

36.6 DTC使用上の注意

36.6.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

36.6.2 DTCENiレジスタ(i=0〜6)

- DTCENi0〜DTCENi7ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0〜DTCENi7ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

36.6.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I^{2}Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。
  SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。
  ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCTj(j=0〜23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送

  のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I^{2}Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

36.6.4 割り込み要求

DTC起動要因がSSU/I^{2}C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj (j=0〜23) レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

36.7 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケーラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケーラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。
  TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。
  TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
  カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
  TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

  注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

36.8 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”(カウント開始)を書いた後は、カウントソースの1～2サイクルの間、TRBCRレジスタのTCSTFビットは“0”(カウント停止)になっています。
  TCSTFビットが“1”(カウント中)になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
  カウント中にTSTARTビットに“0”(カウント停止)を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
  TCSTFビットが“0”(カウント停止)になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

  注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

36.8.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

36.8.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

36.8.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

36.8.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

36.9 タイマRC使用上の注意

36.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
  TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態で、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
  TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.W   #XXXXh, TRC      ；書き込み
                  JMP.B   L1               ；JMP.B命令
            L1:   MOV.W   TRC,DATA         ；読み出し
```

36.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.B   #XXh, TRCSR      ；書き込み
                  JMP.B   L1               ；JMP.B命令
            L1:   MOV.B   TRCSR,DATA       ；読み出し
```

36.9.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

36.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

• カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

• カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

36.9.5 インプットキャプチャ機能

• インプットキャプチャ信号のパルス幅については、次のように設定してください。
[デジタルフィルタなしの場合]
タイマRCの動作クロックの3サイクル分以上(「表20.1　タイマRCの動作クロック」参照)
[デジタルフィルタありの場合]
デジタルフィルタのサンプリングクロックの5サイクル分＋タイマRCの動作クロックの3サイクル分以上(「図20.5　デジタルフィルタのブロック図」参照)
• TRCIOj(j＝A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

36.9.6 PWM2モード時のTRCMRレジスタ

• TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

36.10 タイマRD使用上の注意

36.10.1 TRDSTRレジスタ

- TRDSTRレジスタはMOV命令を使用して書いてください。

- CSELi(i=0～1)ビットが“0”(TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合、TSTARTiビットに“0”(カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。
  したがって、CSELiビットが“0”のとき、TSTARTiビットを変化させずに他のビットを変更したい場合は、TSTARTiビットに“0”を書いてください。
  また、プログラムでカウントを停止させる場合は、CSELiビットを“1”にした後で、TSTARTiビットに“0”を書いてください。同時に(1命令で)CSELiビットに“1”、TSTARTiビットに“0”を書いてもカウントは停止できません。

- TRDIOji(j=A、B、C、D)端子をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表36.1に示します。

表36.1　カウント停止時のTRDIOji(j=A, B, C, D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOji端子出力
CSELiビットが“1”のときに、TSTARTiビットに“0”を書きカウント停止	直前の出力レベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが“0”のときに、TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)

36.10.2 TRDiレジスタ(i=0～1)

- TRDSTRレジスタのTSTARTiビットが“1”(カウント開始)の状態で、プログラムでTRDiレジスタに値を書き込む場合は、TRDiレジスタが“0000h”になるタイミングと重ならないように書いてください。
  TRDiレジスタが“0000h”になるタイミングと、TRDiレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDiレジスタが“0000h”になります。
  この注意事項は、TRDCRiレジスタのCCLR2～CCLR0ビットで次の選択をしている場合に該当します。
  - “001b”(TRDGRAiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  - “010b”(TRDGRBiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  - “011b”(同期クリア)
  - “101b”(TRDGRCiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  - “110b”(TRDGRDiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)

- TRDiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.W   #XXXXh, TRD0     ;書き込み
                    JMP.B   L1               ;JMP.B命令
               L1:  MOV.W   TRD0,DATA        ;読み出し
```

36.10.3 TRDSRi レジスタ (i=0～1)

TRDSRiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

プログラム例

```
        MOV.B   #XXh, TRDSR0    ；書き込み
        JMP.B   L1              ；JMP.B命令
L1:     MOV.B   TRDSR0,DATA     ；読み出し
```

36.10.4 TRDCRi レジスタ (i=0～1)

TRDCRiレジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

36.10.5 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
  変更手順

(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
  変更手順

(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。
  変更手順

(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
  変更手順

(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

36.10.6 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表21.1　タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIOji(i=0～1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2～3サイクル後にTRDiレジスタの値をTRDGRjiレジスタに転送します(デジタルフィルタなしの場合)。

36.10.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
  変更手順

(1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
(2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
(3) CMD1～CMD0を“01b”(リセット同期PWMモード)にする
(4) その他のタイマRD関連レジスタを再設定する

36.10.8 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
  変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
  (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
  (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
  (4) その他のタイマRD関連レジスタを再設定する

  変更手順：相補PWMモードを止める場合
  (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
  PWM 波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1 レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
  ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。
  PWM周期は変更できません。

- TRDGRA0レジスタに設定した値をmとすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、m-1→m→m+1→m→m-1とカウントします。
  m→m+1のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1 、TRDGRB1)に転送されます。
  m+1→m→m-1の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

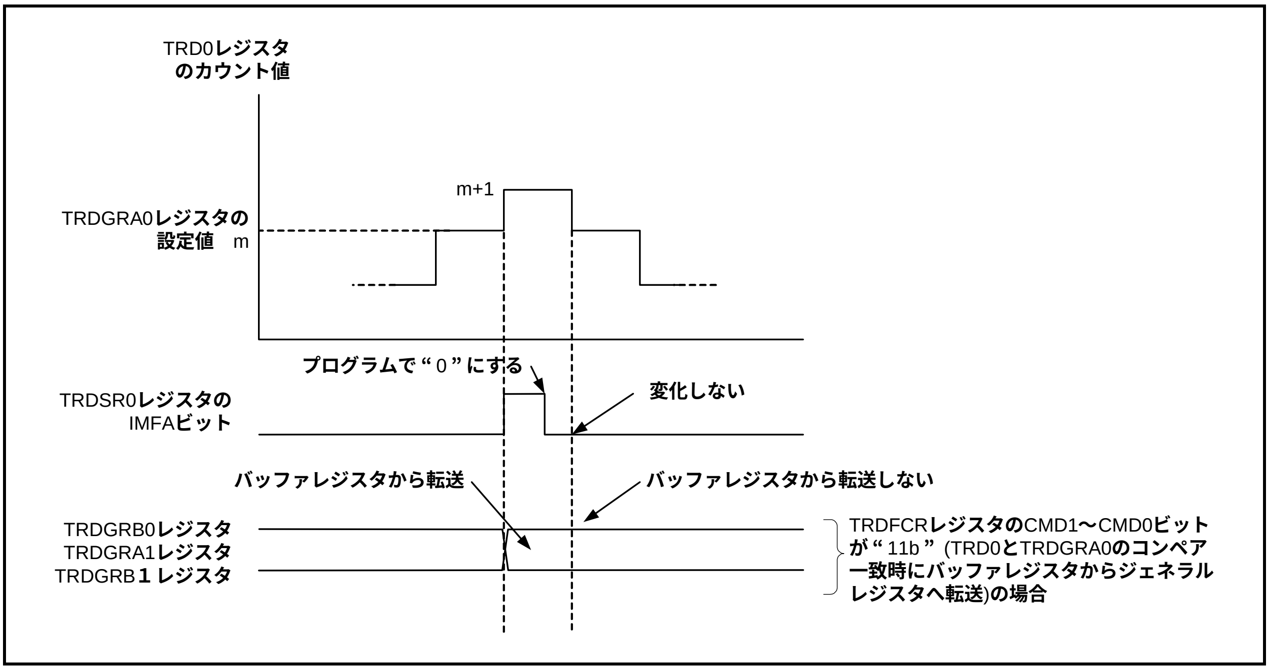


図 36.2　相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFh→0→1とカウントします。
  1→0→FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
  FFFFh→0→1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

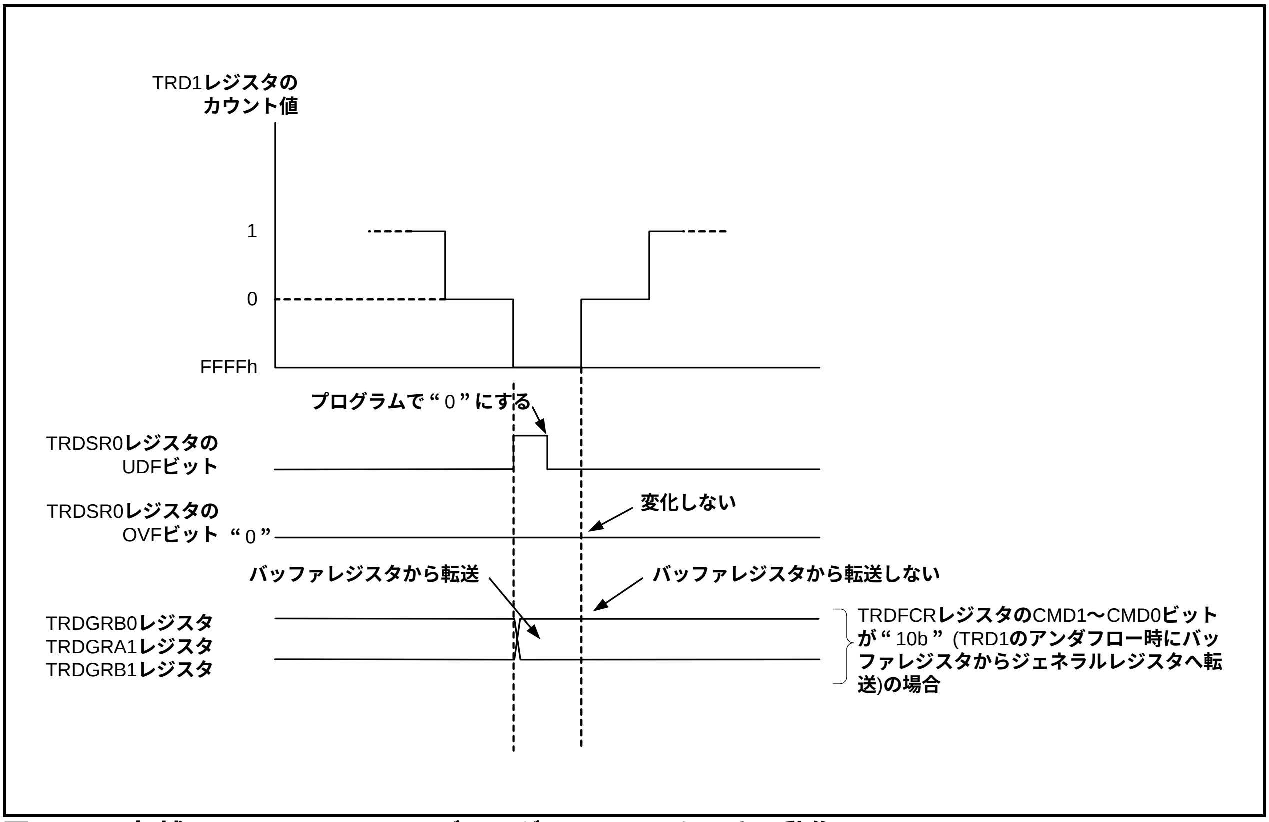
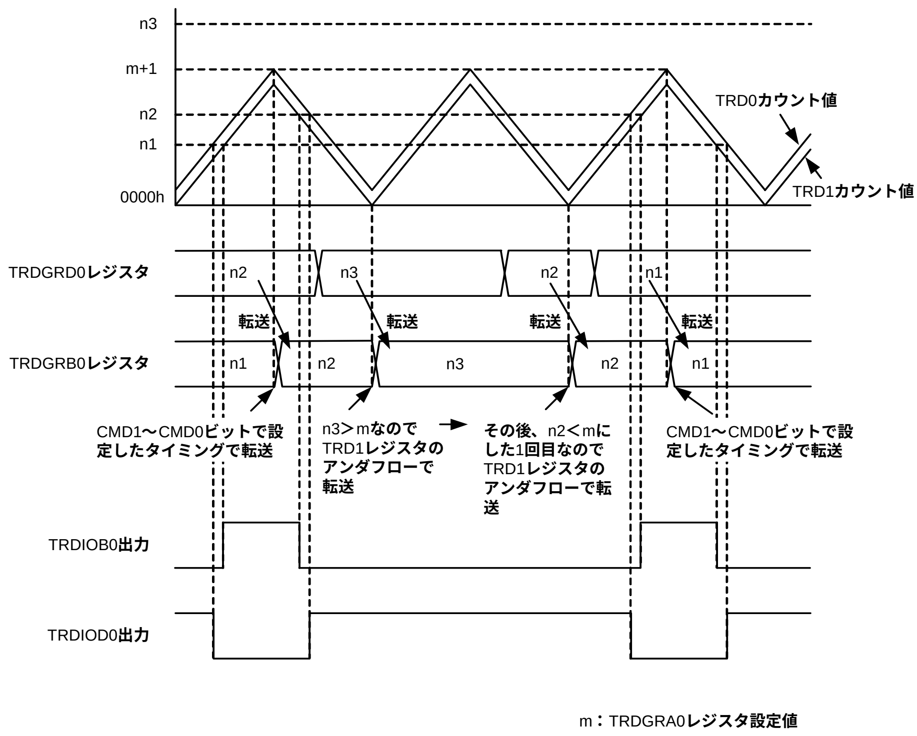


図 36.3　相補PWMモード　TRD1がアンダーフローしたときの動作

• バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR　レジスタのCMD1～CMD0ビットで選択してください。ただし、次の場合はCMD1～CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値≧TRDGRA0レジスタの値の場合
TRD1レジスタのアンダフローで転送します。
その後、“ 0001h ”以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。



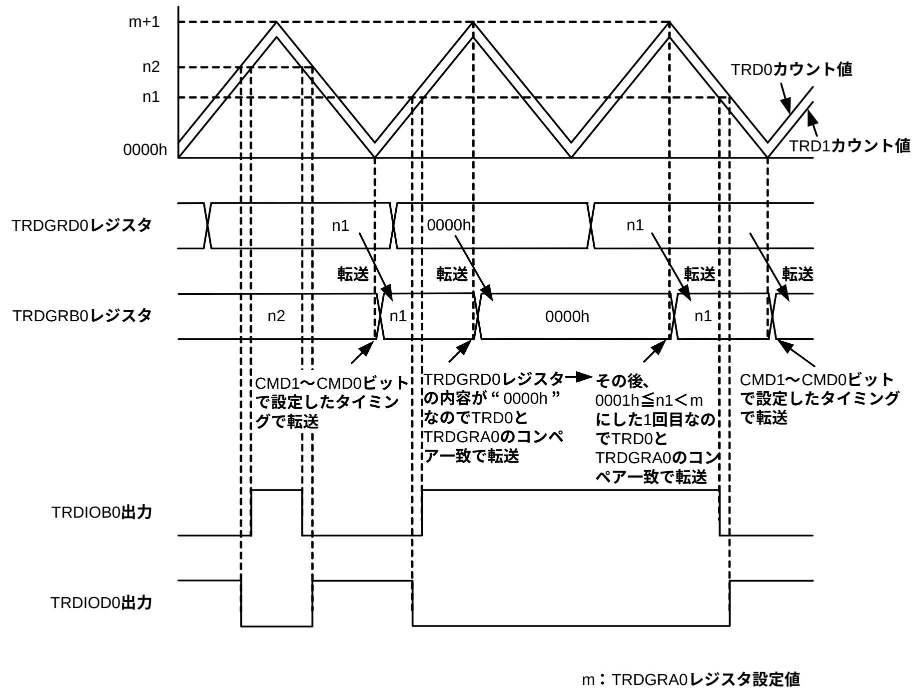
上図は次の条件の場合です。
・TRDFCRレジスタのCMD1～CMD0ビットが“ 11b ”
(相補PWMモード、TRD0レジスタとTRDGRA0レジスタのコンペアー致時、バッファレジスタのデータを転送)
・TRDFCRレジスタのOLS0、OLS1ビットがともに“ 1 ” (正相、逆相ともにアクティブ“ H ”)

図 36.4　　相補PWMモード時のバッファレジスタの値≧TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。



上図は次の条件の場合です。
・TRDFCRレジスタのCMD1～CMD0ビットが“10b”
　(相補PWMモード、TRD1レジスタのアンダフローで、バッファレジスタのデータを転送)
・TRDFCRレジスタのOLS0、OLS1ビットがともに“1”(正相、逆相ともにアクティブ“H”)

図 36.5　相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

36.10.9 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

36.11 タイマRE使用上の注意

36.11.1 リセット

タイマREはリセット入力により秒、分、時、曜日の情報を格納しているレジスタがリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

36.11.2 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ：TRESEC、TREMIN、TREHR、TREWK、TRECR1、TRECR2、TRECSR

36.11.3 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMIN、TREHR、TREWK、TRECR2レジスタ
- TRECR1レジスタのH12_H24ビット、PMビット、INTビット
- TRECSRレジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECR2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図36.6にリアルタイムクロックモード時の設定例を示します。

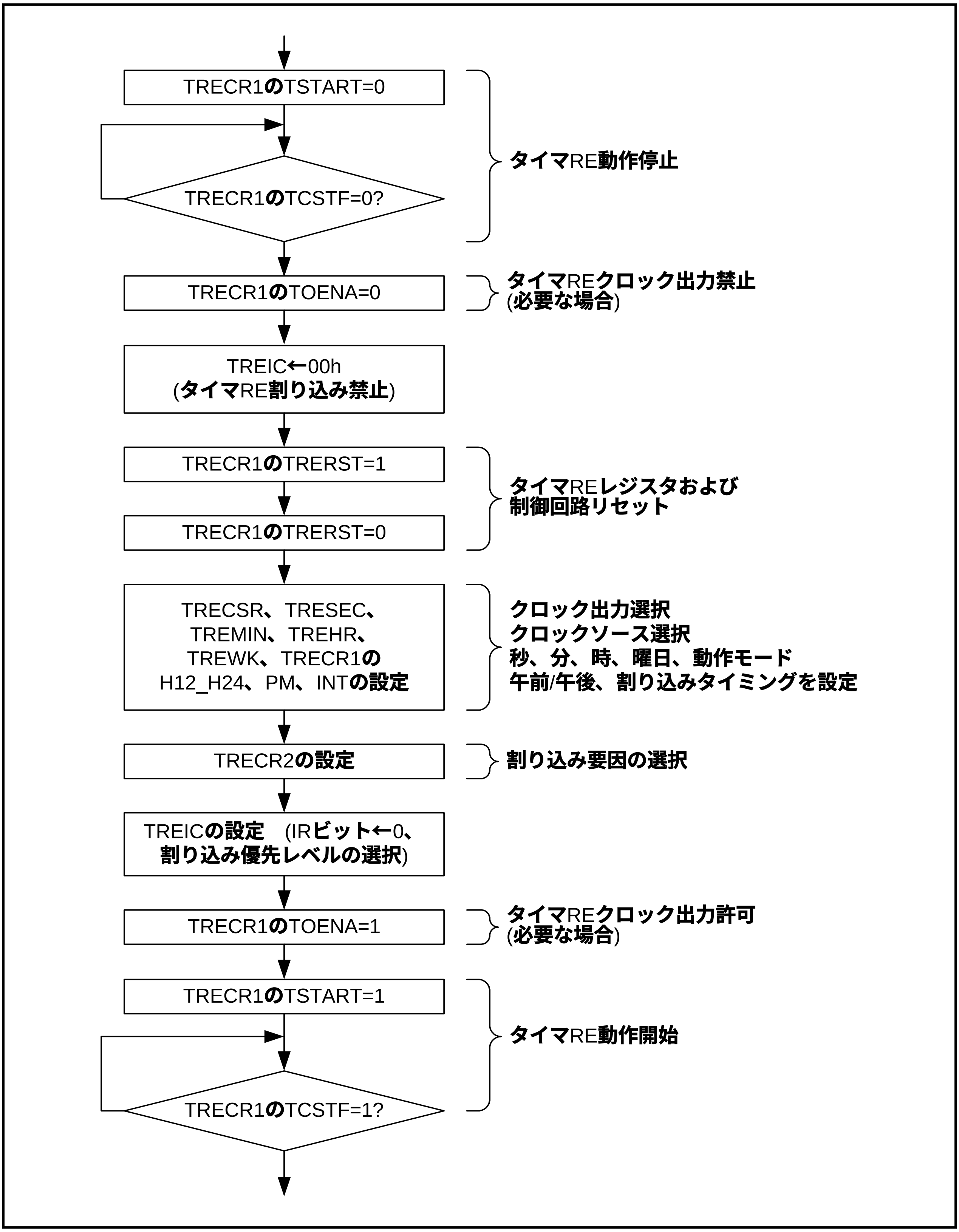


図 36.6　リアルタイムクロックモード時の設定例

36.11.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

• 割り込みを使用する方法
タイマRE割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。

• プログラムで監視する方法1
プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。

• プログラムで監視する方法2
(1) BSYビットを監視する。
(2) BSYビットが“1”になったら、“0”になるまで監視する (BSYビットが“1”の期間は約62.5ms)。
(3) BSYビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。

• 読み出した結果が2回同じであれば採用する方法
(1) TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECR1レジスタのPMビットのうち、必要な内容を読み出す。
(2) (1)と同じレジスタを読み出し、内容を比較する。
(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

36.12 タイマRG使用上の注意

36.12.1 位相計数モード時の位相差、オーバラップ、およびパルス幅

TRGCLKA、TRGCLKB端子からの外部入力信号の位相差およびオーバラップはそれぞれ1.5f1以上、パルス幅は2.5f1以上必要です。図36.7に位相計数モード時の位相差、オーバラップおよびパルス幅を示します。

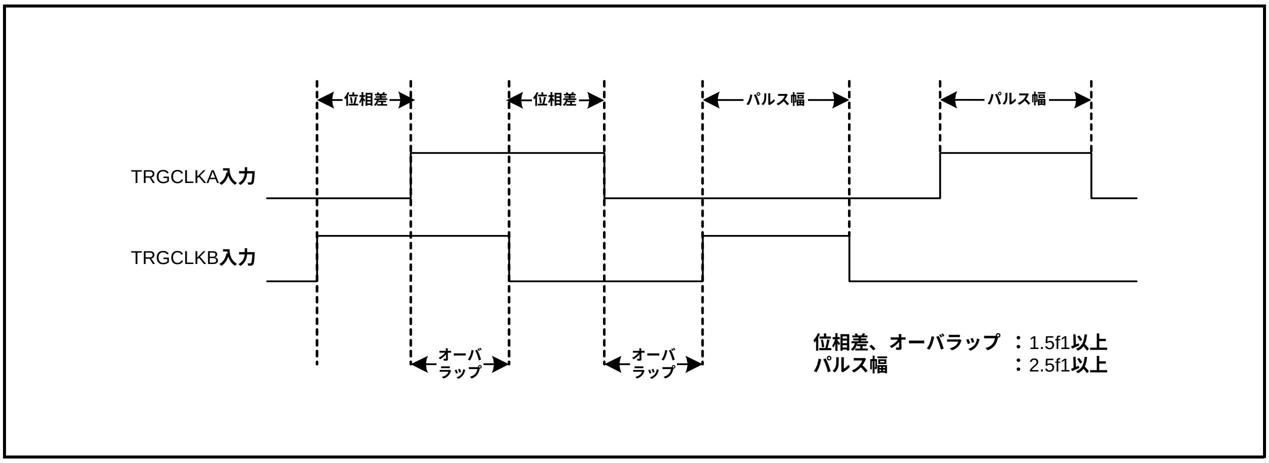


図36.7 位相計数モード時の位相差、オーバラップおよびパルス幅

36.12.2 タイマRGカウンタ(TRG)

TRGレジスタ、またはTRGCRレジスタに書く場合は、TRGMRレジスタのTSTARTビットが“0”(カウント停止)の状態で、行ってください。

36.12.3 タイマモード

タイマモードのアウトプットコンペア機能を使用する場合、TRGPSRレジスタのTRGIOASEL0ビット、TRGIOBSEL0ビットが“1”のとき、TRGIORレジスタでコンペア一致出力を“L”出力/“H”出力/トグル出力の3種類から選択して波形出力モードに設定すると、ポートはコンペア一致出力端子(TRGIOA、TRGIOB)となります。最初のコンペア一致が発生するまでのコンペア一致出力端子の出力レベルはTRGIORレジスタのIOA0～IOA1ビット、IOB0～IOB1ビットの設定で決まります。

TRGIORレジスタを設定した後、タイマRGの動作クロック1サイクル分、出力レベルが不定となります。その後、IOA0～IOA1ビット、IOB0～IOB1ビットに対応するレベルが出力されます。

36.12.4 PWMモード

PWMモードを使用する場合、TRGPSRレジスタのTRGIOASEL0ビットが“1”のとき、TRGMRレジスタのPWMビットを“1”(PWMモード)にすると、TRGIOA端子はPWM出力端子となります。最初のコンペア一致が発生するまでのPWM出力端子の出力レベルは、TRGCRレジスタのCCLR0～CCLR1ビットの設定で決まります。

PWMビットを設定した後、タイマRGの動作クロック1サイクル分、出力レベルが不定となります。その後、CCLR0～CCLR1ビットに対応するレベルが出力されます。

36.13 シリアルインタフェース(UARTi (i=0～1))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0～1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
  UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。
  受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

  ＜受信バッファレジスタを読み出すプログラム例＞

```
MOV.W    00A6H, R0     ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書くときは、上位バイト→下位バイトの順で、8ビット単位で書いてください。

  ＜送信バッファレジスタに書き込むプログラム例＞

```
MOV.B    #XXH, 00A3H   ; U0TBレジスタの上位バイトへの書き込み
MOV.B    #XXH, 00A2H   ; U0TBレジスタの下位バイトへの書き込み
```

36.14 シリアルインタフェース(UART2)使用上の注意

36.14.1 クロック同期形シリアルI/Oモード

36.14.1.1 送受信

外部クロック選択時、$\overline{\mathrm{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\mathrm{RTS2}}$端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\mathrm{RTS2}}$端子の出力レベルは“H”になります。このため、$\overline{\mathrm{RTS2}}$端子を送信側の$\overline{\mathrm{CTS2}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\mathrm{RTS}}$機能は無効です。

36.14.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\mathrm{CTS}}$機能を選択している場合、$\overline{\mathrm{CTS2}}$端子の入力が“L”

36.14.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態で、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

36.14.2 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

36.14.3 U2BRGレジスタ

U2BRGレジスタに“00h”を設定した場合、直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があるため、ご注意ください。

36.15 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUIICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

36.16 I2Cバスインタフェース使用上の注意

I2Cバスインタフェースを使用する場合には、SSUIICSRレジスタのIICSELビットを“1”(I2Cバスインタフェース機能を選択)にしてください。

36.16.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりと重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

36.16.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がりは、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

36.16.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I2Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

36.16.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI2Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI2Cのバスを占有しているとき。
- スレーブ送信モード(MST　ビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

36.16.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態で、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDA　が“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

36.16.2.3IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRST　ビットに“1”を書くと、ICSRレジスタの TDRE ビットは“1”になります。
- IICRSTビットによるI2Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前に IICRST ビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。
  同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI2Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

36.17 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

36.18 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロックφAD以上の周波数を選択してください。
  φADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D 変換中はFMR0レジスタのFMSTP ビットを“1”(フラッシュメモリ停止)、およびFMR27 ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタ(i = 0～7)も、不定になる場合があります。
  プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。
- A/Dコンバータを使用するときは、A/D変換結果の平均化処理を推奨します。

36.19 LCD駆動制御回路使用上の注意

36.19.1 分割抵抗を外付けする場合

R1～R4の参考値は200kΩ、C1～C4の参考値は0.22μFです。これらの参考値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分行った上で、値を調整して決定してください(図33.4を参照してください)。

36.19.2 昇圧回路

CLの参考値は0.22μF、C1～C4の参考値は0.22μFです。これらの参考値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分行った上で、値を調整して決定してください(図33.5を参照してください)。

36.20 フラッシュメモリ使用上の注意

36.20.1 CPU書き換えモード

36.20.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

36.20.1.2 割り込み

表36.2～表36.4にCPU書き換えモード時の割り込みを示します。

表36.2 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ライト対象	状態	マスカブル割り込み
EW0	データフラッシュ	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中(サスペンド無効)	
		自動書き込み中	
EW1	データフラッシュ	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

表36.3　CPU書き換えモード時の割り込み(2)

<table>
<tr><th>モード</th><th>イレーズ/
ライト対象</th><th>状態</th><th>・ウォッチドッグタイマ
・発振停止検出
・電圧監視2
・電圧監視1</th><th>・未定義命令
・INTO命令
・BRK命令
・シングルステップ
・アドレス一致
・アドレスブレイク　(注1)</th></tr>
<tr><td rowspan="6">EW0</td><td rowspan="3">データ
フラッシュ</td><td>自動消去中
(サスペンド有効)</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td><td colspan="2" rowspan="2">自動消去、自動書き込みは実行したまま、割り込み処理を実行します。</td></tr>
<tr><td>自動書き込み中</td></tr>
<tr><td rowspan="3">プログラム
ROM</td><td>自動消去中
(サスペンド有効)</td><td rowspan="3">割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</td><td rowspan="3">自動消去、自動書き込み中は使用しないでください。</td></tr>
<tr><td>自動消去中
(サスペンド無効)</td></tr>
<tr><td>自動書き込み中</td></tr>
</table>

FMR21、FMR22：FMR2レジスタのビット

注1.　ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表36.4　CPU書き換えモード時の割り込み(3)

<table>
<tr><th>モード</th><th>イレーズ/
ライト対象</th><th>状態</th><th>・ウォッチドッグタイマ
・発振停止検出
・電圧監視2
・電圧監視1</th><th>・未定義命令
・INTO命令
・BRK命令
・シングルステップ
・アドレス一致
・アドレスブレイク　(注1)</th></tr>
<tr><td rowspan="6">EW1</td><td rowspan="3">データ
フラッシュ</td><td>自動消去中
(サスペンド有効)</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td><td colspan="2" rowspan="2">自動消去、自動書き込みは実行したまま、割り込み処理を実行します。</td></tr>
<tr><td>自動書き込み中</td></tr>
<tr><td rowspan="3">プログラム
ROM</td><td>自動消去中
(サスペンド有効)</td><td rowspan="3">割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</td><td rowspan="3">自動消去、自動書き込み中は使用できません。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td></tr>
<tr><td>自動書き込み中</td></tr>
</table>

FMR21、FMR22：FMR2レジスタのビット

注1.　ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

36.20.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

36.20.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

36.20.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

36.20.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ストップモード、ウェイトモードへ移行しないでください

36.20.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

36.20.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

36.20.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを"1"(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを"1"(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「10.7　消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを"0"(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが"1"(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

36.21 ノイズに関する注意事項

36.21.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC端子とVSS端子間にバイパスコンデンサ(0.1μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

36.21.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を 受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

36.22 電源電圧の変動に関する注意事項

リセット解除後、VCC 端子に入力する電源電圧は、図 36.8 に示す許容電源リップル電圧Vr(vcc) および電源リップル立ち下がり勾配dVr(vcc)/dtのどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
Vr(vcc)	許容電源リップル電圧			0.1VCC	V
dVr(vcc)/dt	電源リップル立ち下がり勾配			10	V/ms

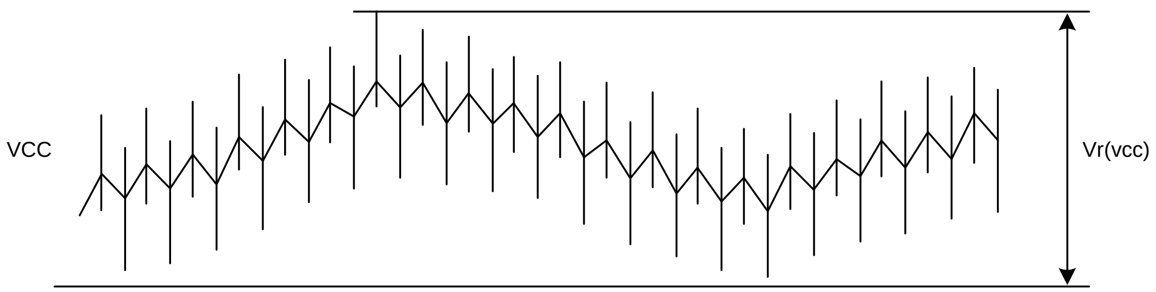


図 36.8　電源リップルの定義

37. オンチップデバッガの注意事項

オンチップデバッガを使用してR8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

(1) オンチップデバッガでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッガのマニュアルを参照してください。
(2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
(3) BRK命令をユーザシステムで使用しないでください。
(4) 電源電圧VCC=1.8～5.5Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7V以上にしてください。

オンチップデバッガの接続や使用法には、固有の制限事項があります。オンチップデバッガの詳細は各オンチップデバッガのマニュアルを参照してください。

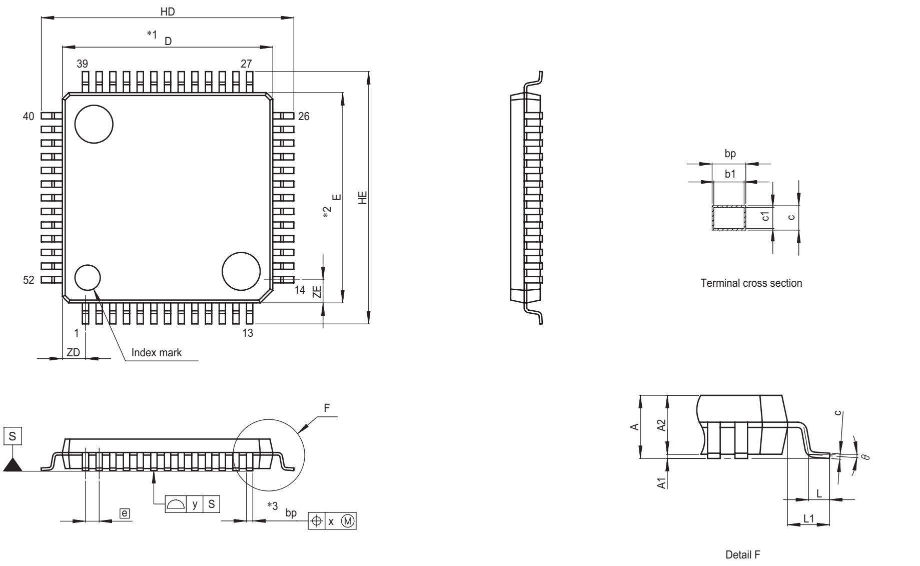
38. エミュレータデバッガの注意事項

エミュレータデバッガの接続や使用法には、固有の制限事項があります。エミュレータデバッガの詳細は各エミュレータデバッガのマニュアルを参照してください。

付録1.　外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。

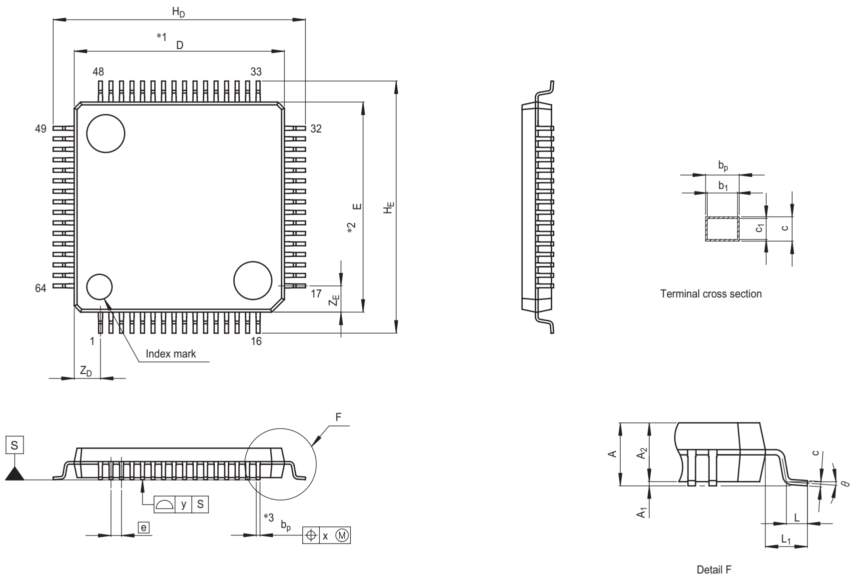
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP52-10x10-0.65	PLQP0052JA-A	52P6A-A	0.3g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.27	0.32	0.37
b_1	—	0.30	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.65	—
x	—	—	0.13
y	—	—	0.10
Z_D	—	1.1	—
Z_E	—	1.1	—
L	0.35	0.5	0.65
L_1	—	1.0	—

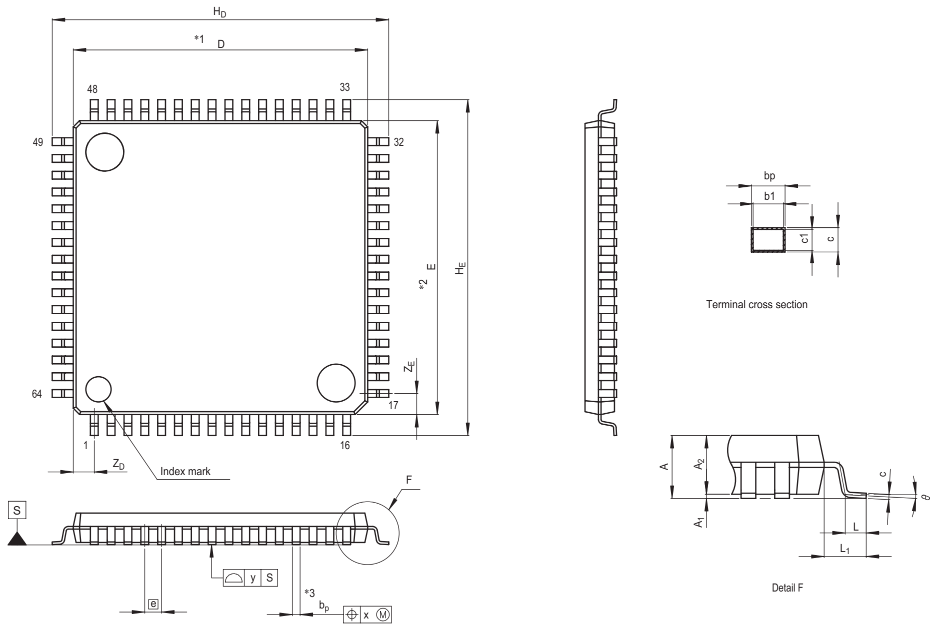
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP64-10x10-0.50	PLQP0064KB-A	64P6Q-A / FP-64K / FP-64KV	0.3g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

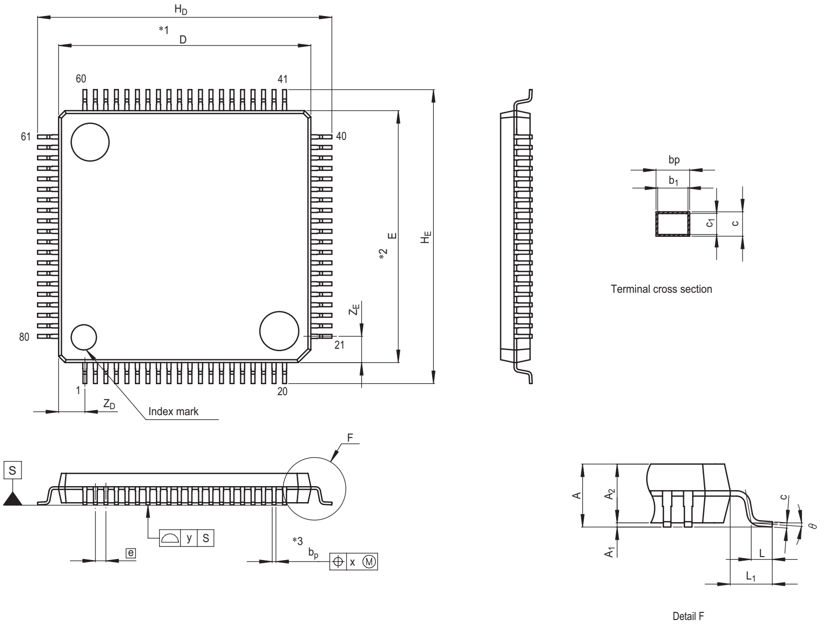
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP64-14x14-0.80	PLQP0064GA-A	64P6U-A/ —	0.7g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.32	0.37	0.42
b_1	—	0.35	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.3	0.5	0.7
L_1	—	1.0	—

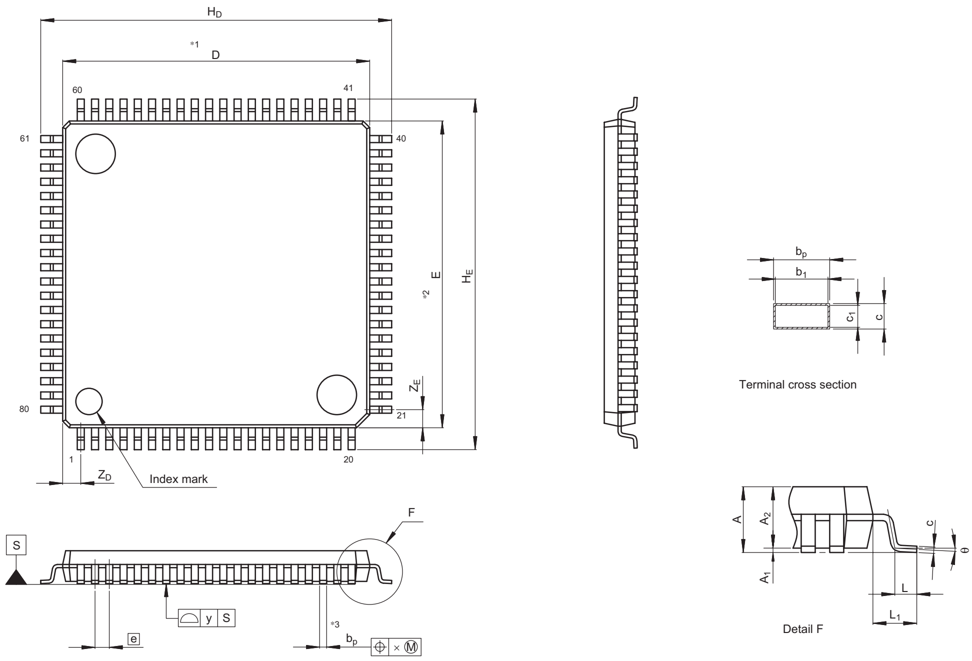
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP80-12x12-0.50	PLQP0080KB-A	80P6Q-A	0.5g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A_2	—	1.4	—
H_D	13.8	14.0	14.2
H_E	13.8	14.0	14.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	10°
$\boxed{e}$	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.3	0.5	0.7
L_1	—	1.0	—

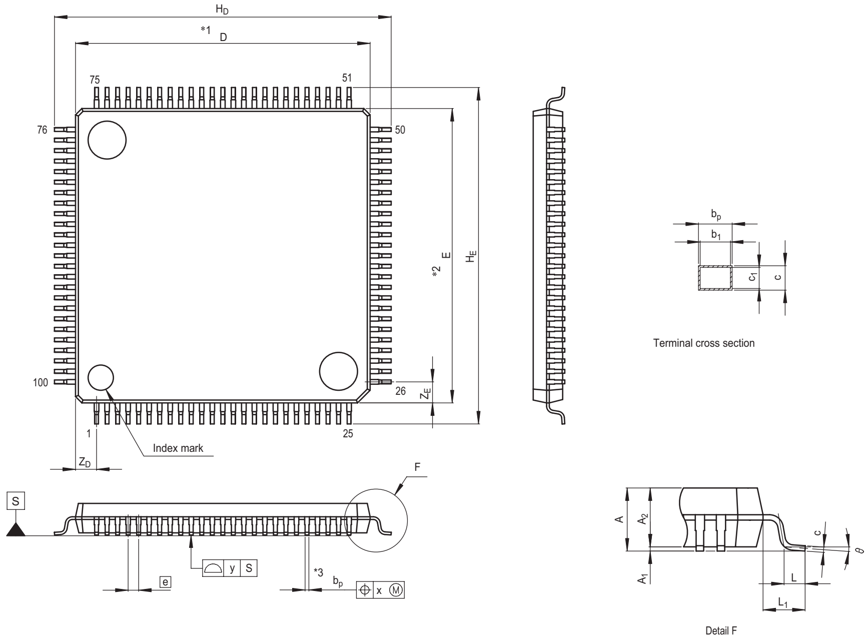
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP80-14x14-0.65	PLQP0080JA-A	FP-80W / FP-80WV	0.6g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.27	0.32	0.37
b_1	—	0.30	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
$\boxed{e}$	—	0.65	—
x	—	—	0.13
y	—	—	0.10
Z_D	—	0.825	—
Z_E	—	0.825	—
L	0.35	0.5	0.65
L_1	—	1.0	—

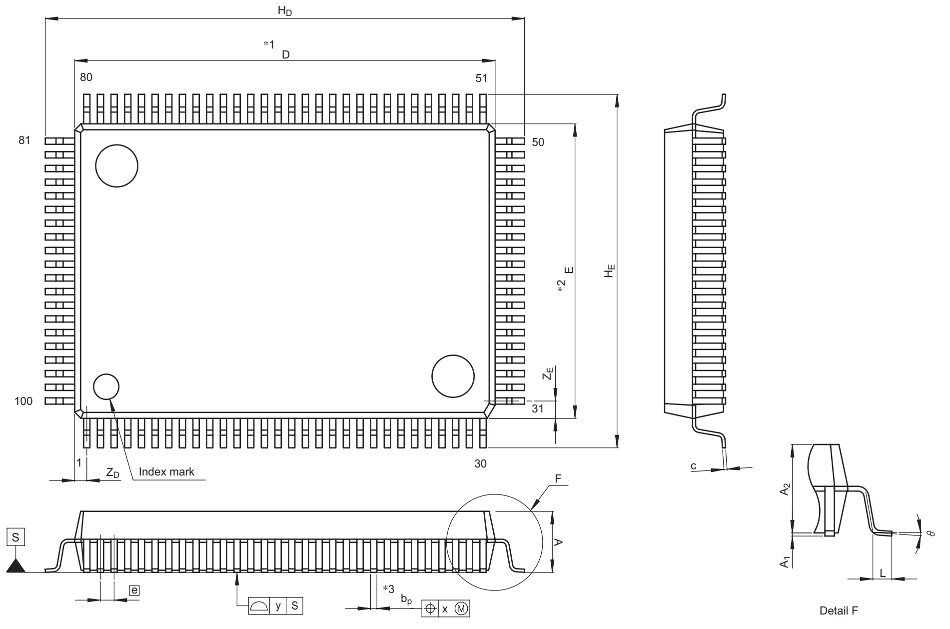
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
$\boxed{e}$	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-QFP100-14x20-0.65	PRQP0100JD-B	100P6F-A	1.8g

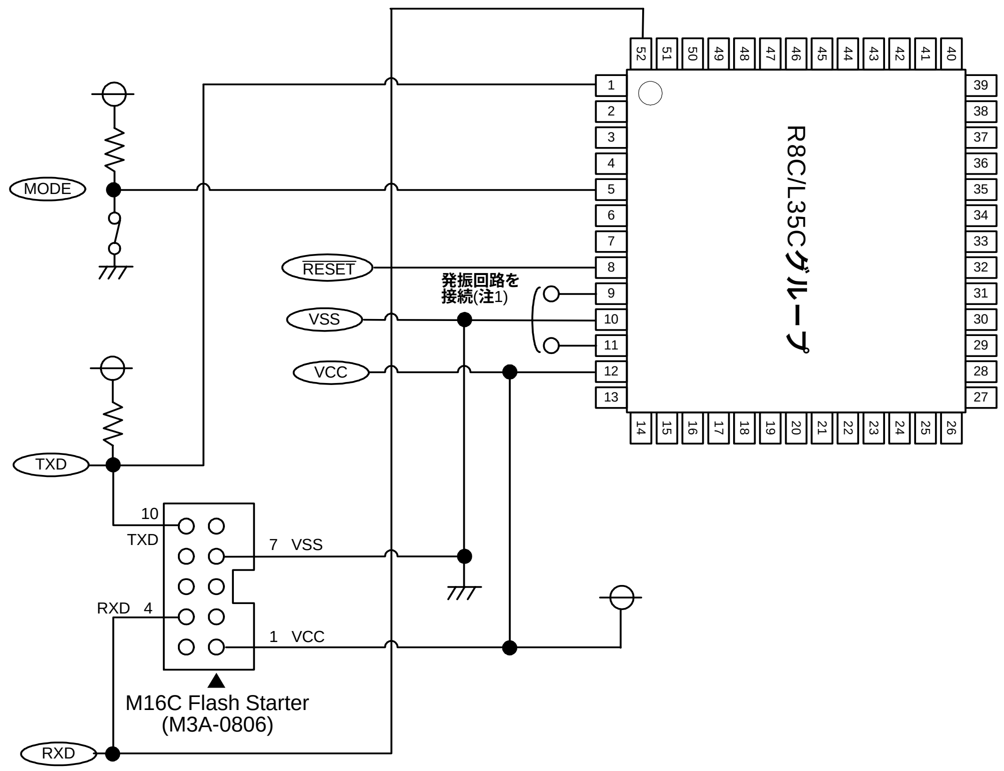


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.8	20.0	20.2
E	13.8	14.0	14.2
A_2	—	2.8	—
H_D	22.5	22.8	23.1
H_E	16.5	16.8	17.1
A	—	—	3.05
A_1	0	0.1	0.2
b_p	0.25	0.3	0.4
c	0.13	0.15	0.2
θ	0°	—	10°
$\boxed{e}$	—	0.65	—
x	—	—	0.13
y	—	—	0.10
Z_D	—	0.575	—
Z_E	—	0.825	—
L	0.4	0.6	0.8

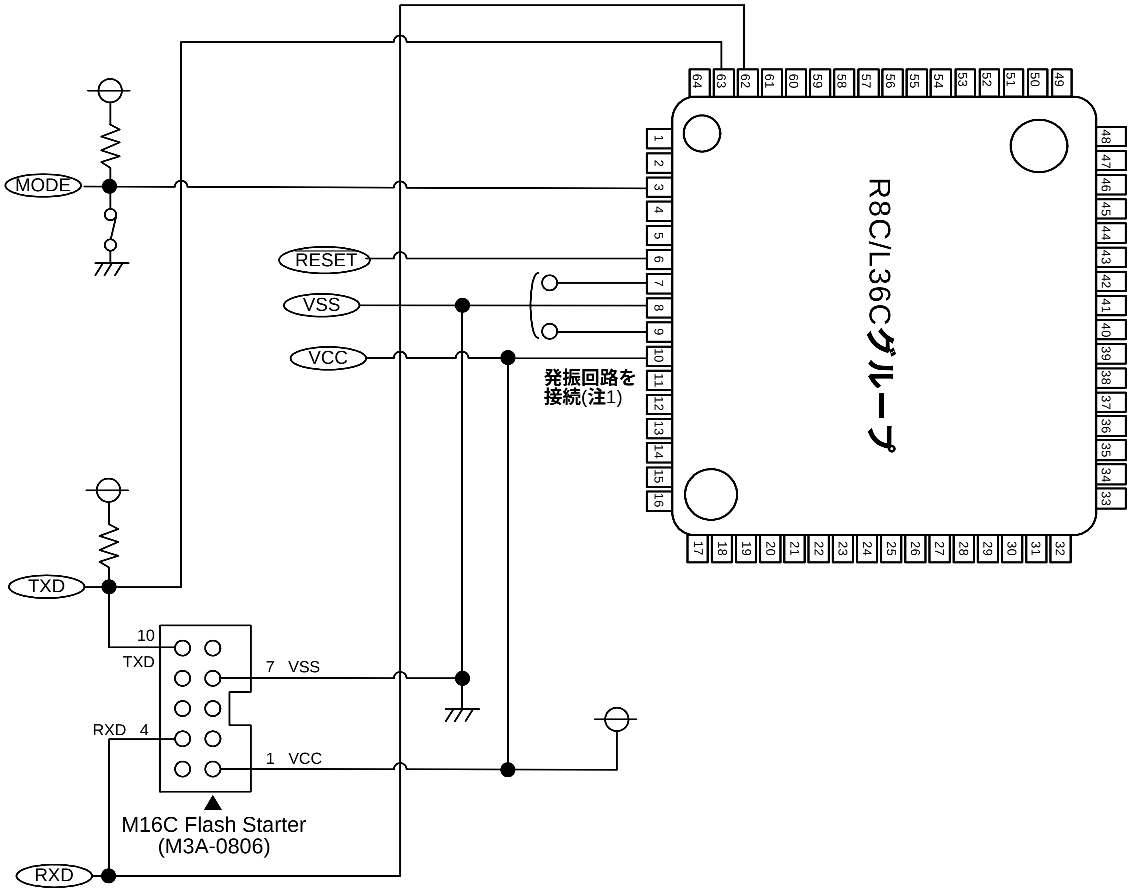
付録2.　シリアルライタ との接続例

付図 2.1～付図 2.5 に M16C Flash Starter (M3A-0806) との接続例を示します。



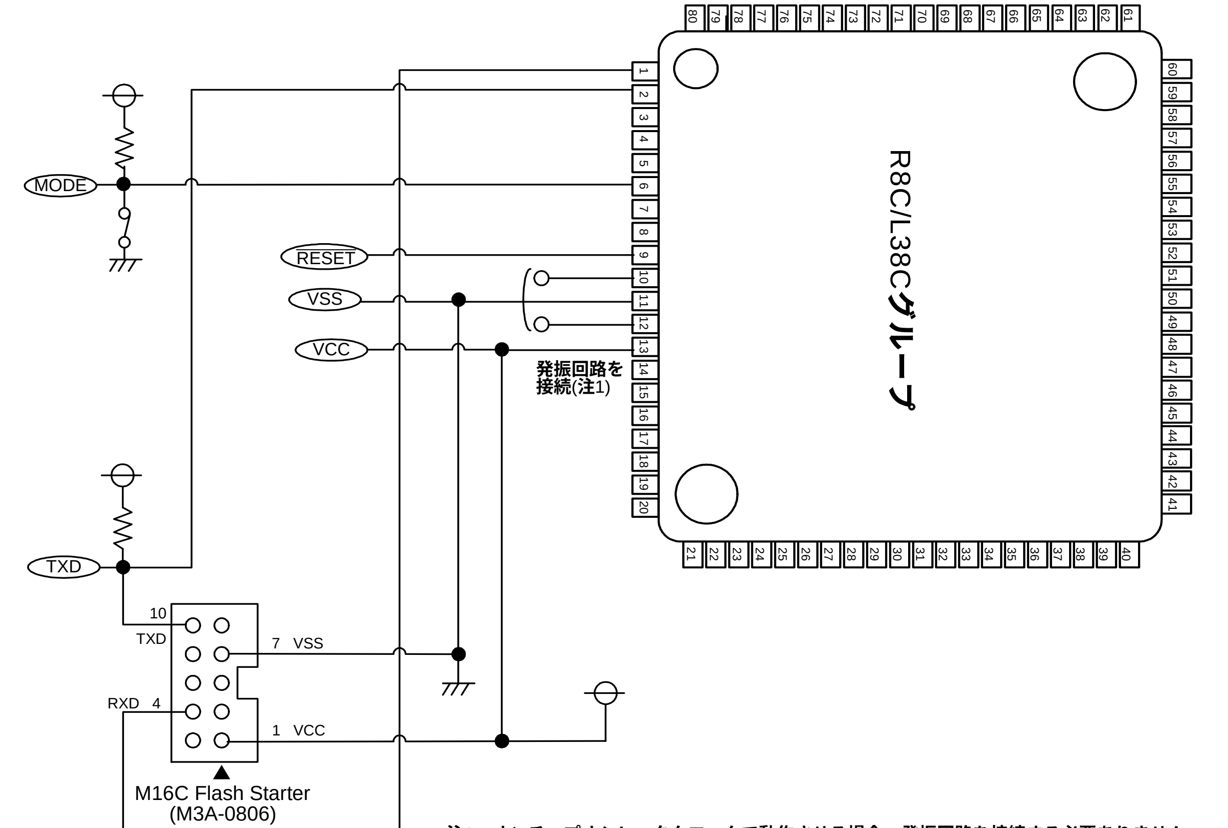
注1．オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2．VREF端子には、「35. 電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または
VCCに接続してください。

付図 2.1　M16C Flash Starter (M3A-0806) との接続例(1)



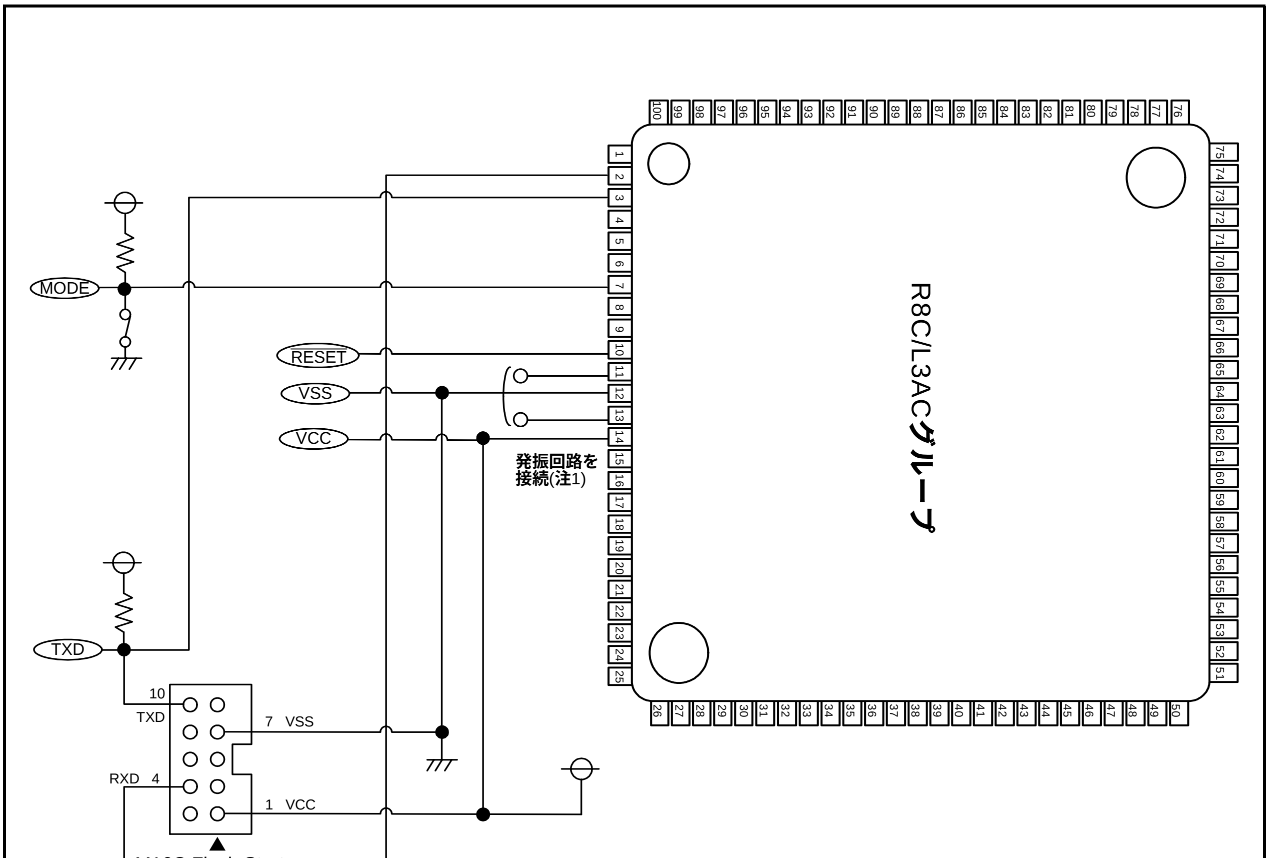
注1. オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2. VREF端子には、「35.電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または
VCCに接続してください。

付図 2.2 M16C Flash Starter (M3A-0806)**との接続例**(2)



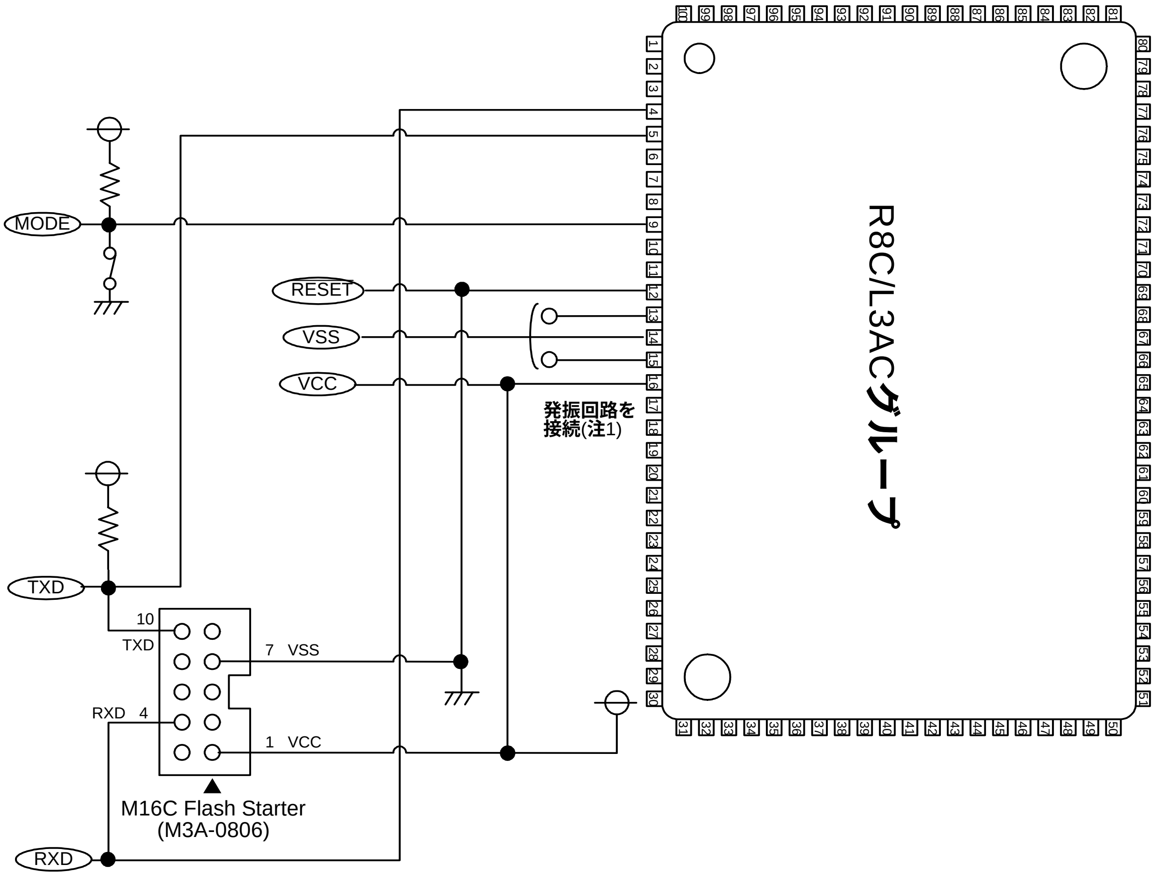
注1．オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2．VREF端子には、「35.電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または
VCCに接続してください。

付図 2.3　M16C Flash Starter (M3A-0806)との接続例(3)



注1．オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2．VREF端子には、「35.電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または VCCに接続してください。

付図 2.4　M16C Flash Starter (M3A-0806) **との接続例**(4)

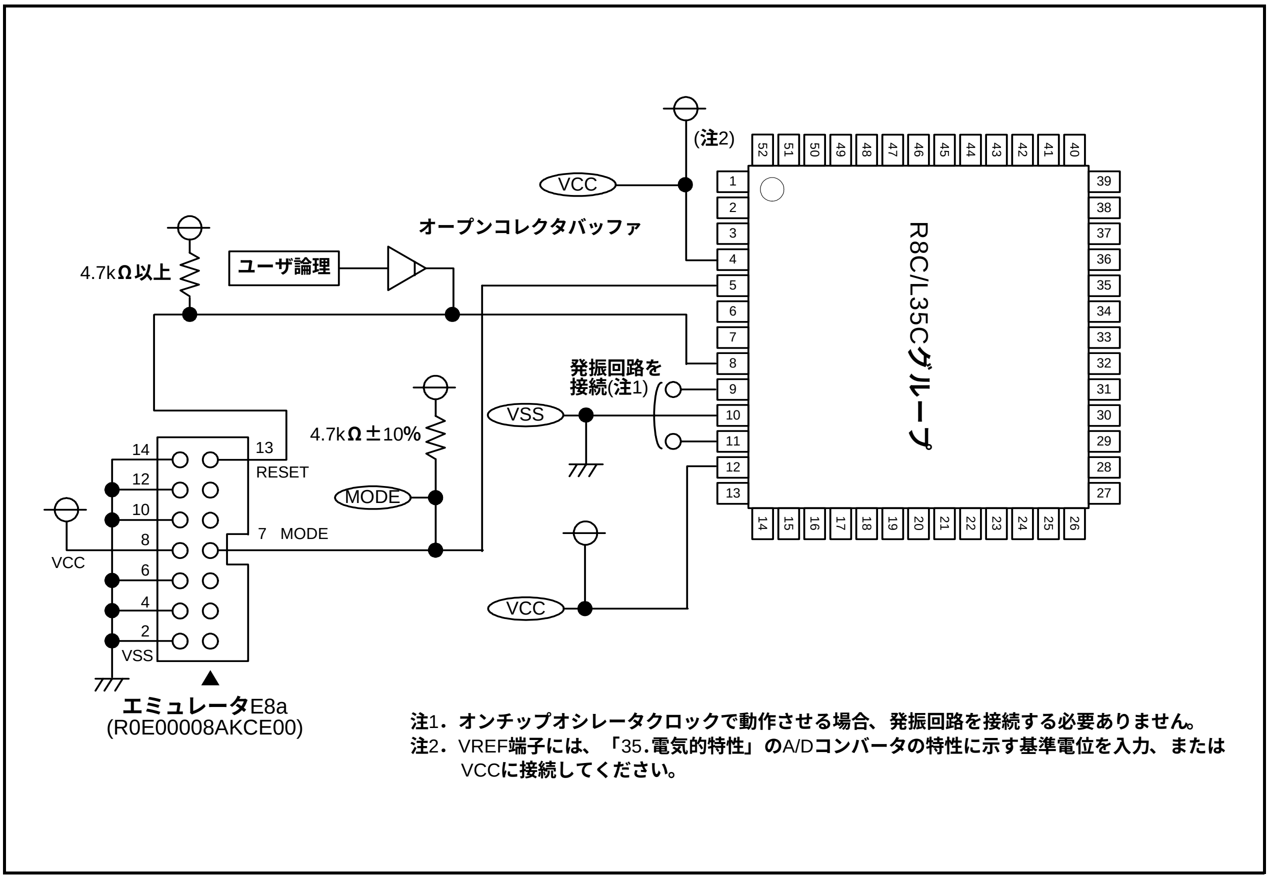


注1．オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2．VREF端子には、「35.電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または
VCCに接続してください。

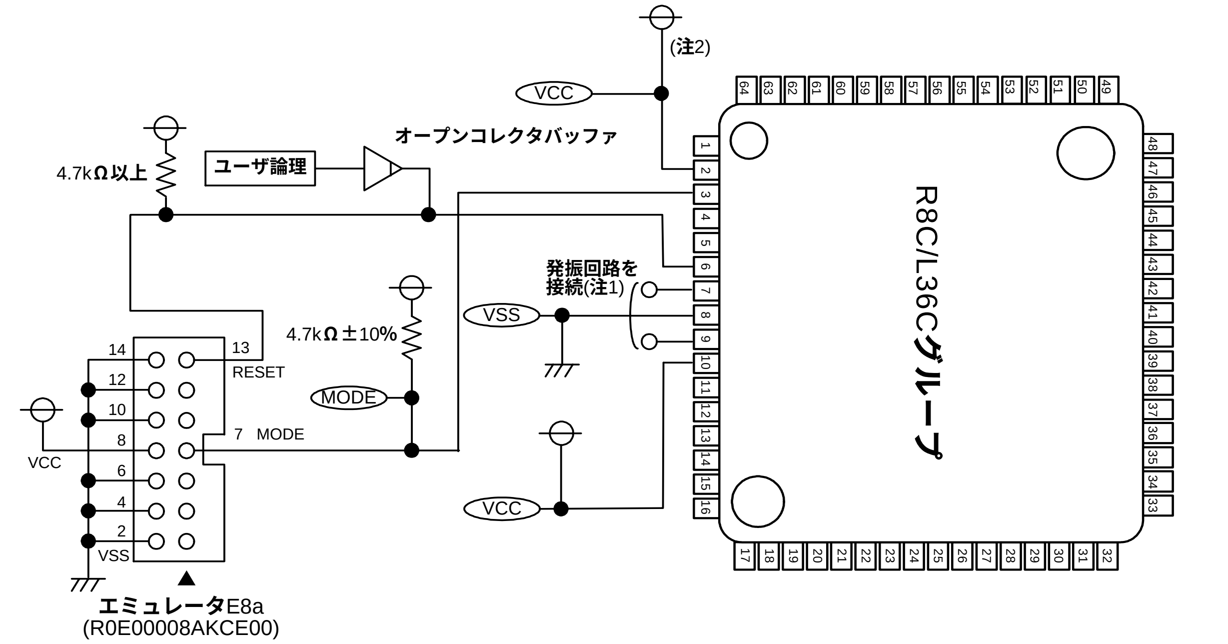
付図 2.5　M16C Flash Starter (M3A-0806) との接続例(5)

付録3. エミュレータE8aとの接続例

付図 3.1～付図 3.5にエミュレータE8a (R0E00008AKCE00)との接続例を示します。

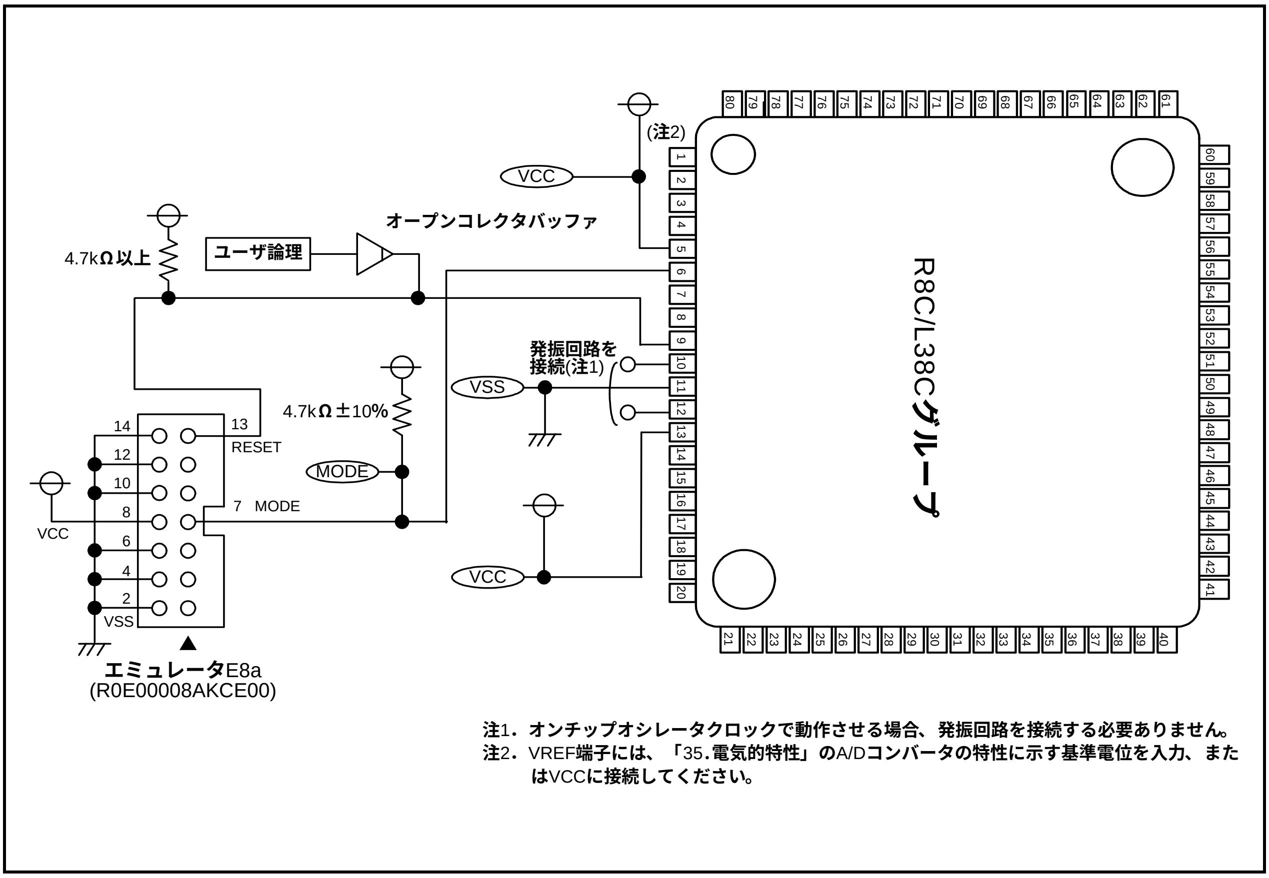


付図 3.1　エミュレータE8a (R0E00008AKCE00)との接続例(1)

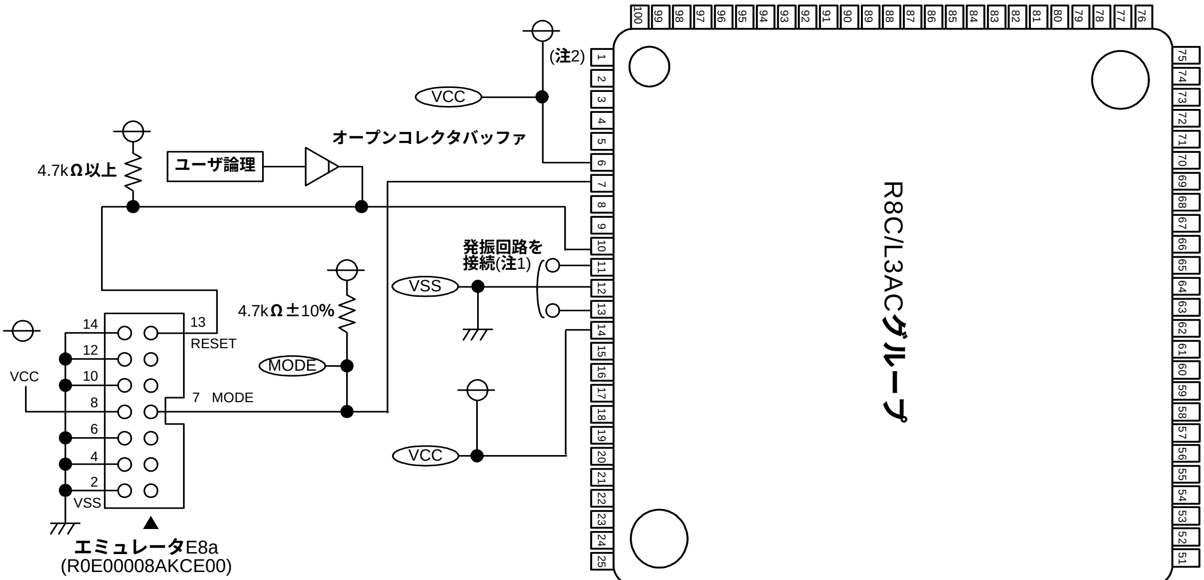


注1．オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2．VREF端子には、「35.電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または
　　VCCに接続してください。

付図 3.2　エミュレータE8a (R0E00008AKCE00) との接続例(2)

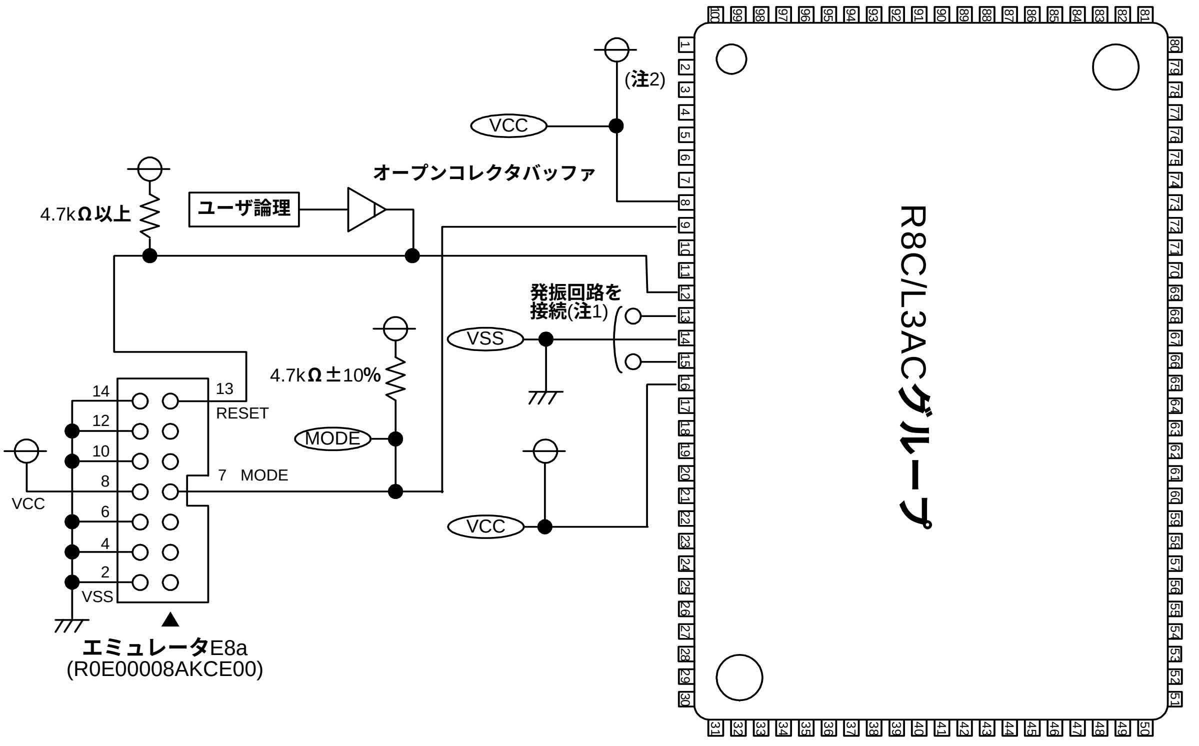


付図 3.3　エミュレータE8a (R0E00008AKCE00) との接続例(3)



注1．オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2．VREF端子には、「35.電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または
VCCに接続してください。

付図 3.4　エミュレータE8a (R0E00008AKCE00)との接続例(4)

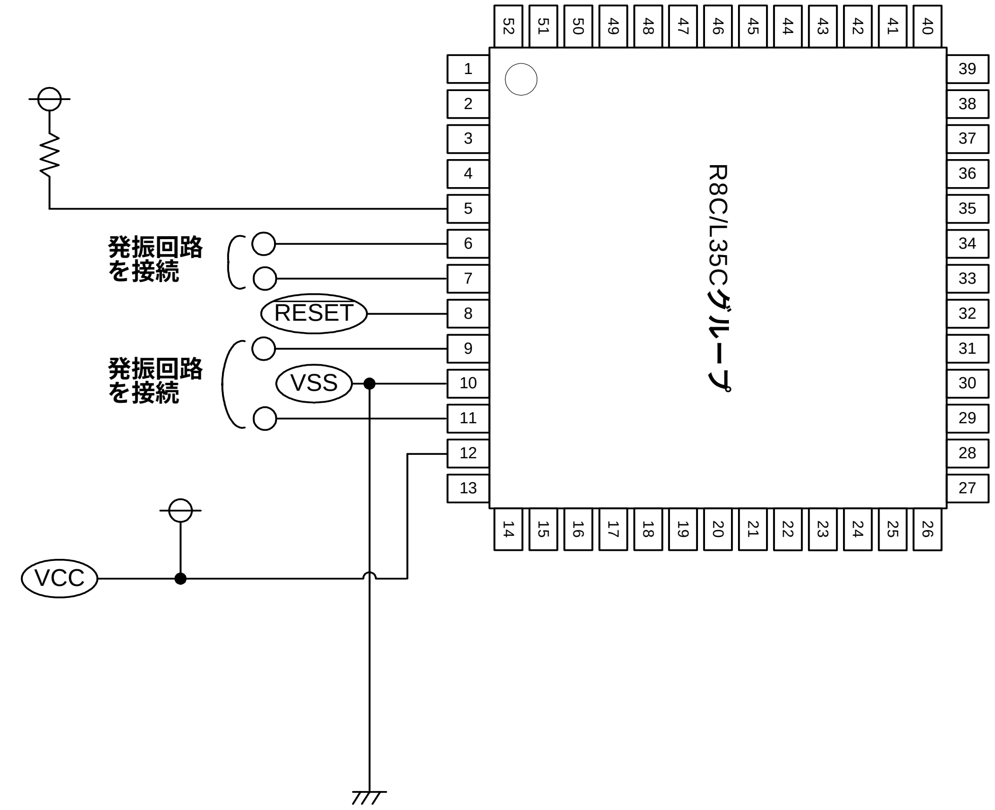


注1．オンチップオシレータクロックで動作させる場合、発振回路を接続する必要ありません。
注2．VREF端子には、「35.電気的特性」のA/Dコンバータの特性に示す基準電位を入力、または
VCCに接続してください。

付図 3.5　エミュレータE8a (R0E00008AKCE00)との接続例(5)

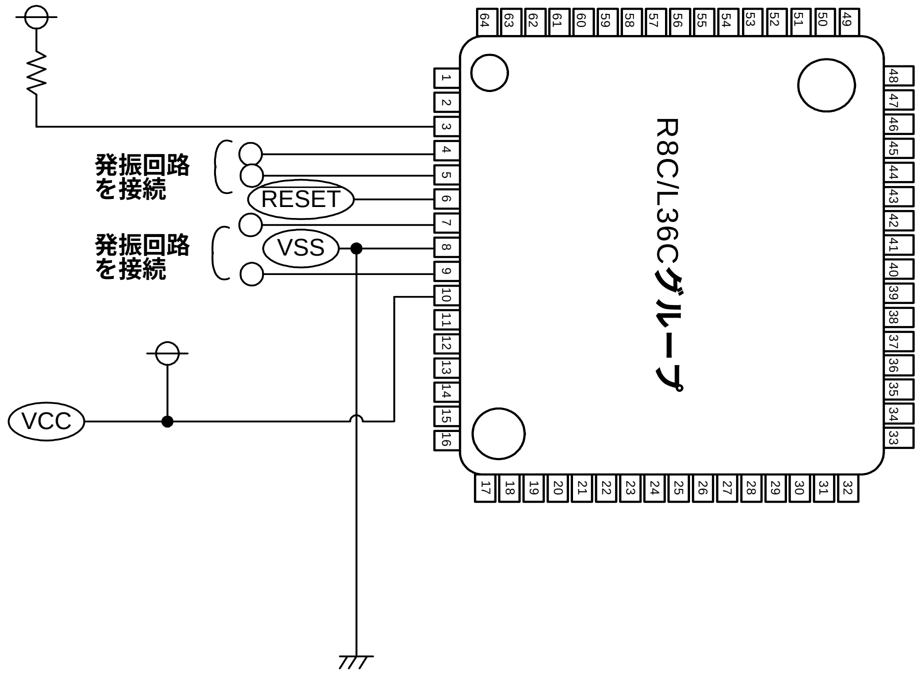
付録4. 発振評価回路例

付図 4.1～付図 4.5に発振評価回路例を示します。



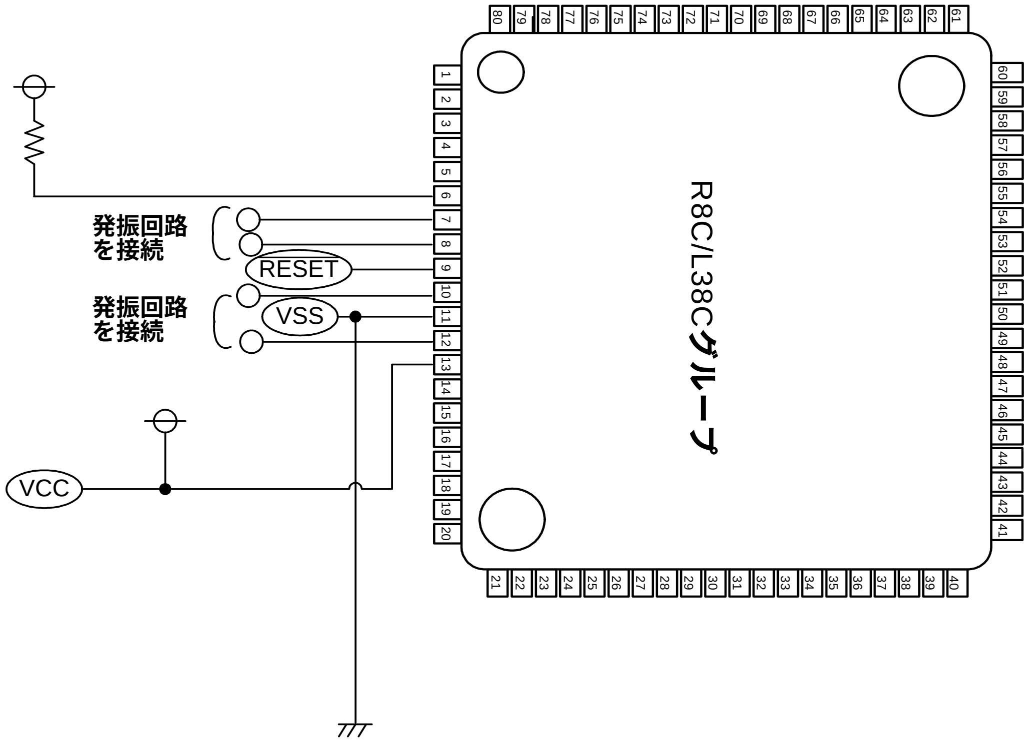
注1. リセット後、XINクロックは停止しています。
XINクロックを発振させるプログラムを書いてください。

付図 4.1 発振評価回路例(1)



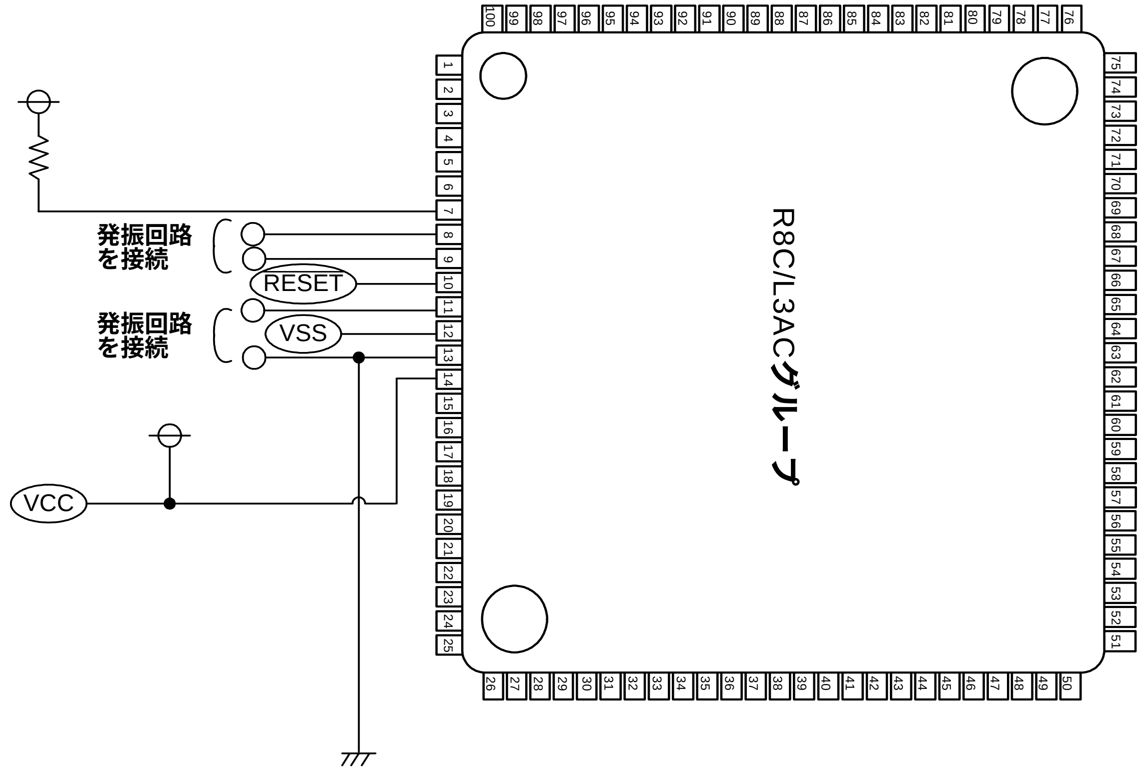
注1. リセット後、XINクロックは停止しています。
XINクロックを発振させるプログラムを書いてください。

付図 4.2 発振評価回路例(2)



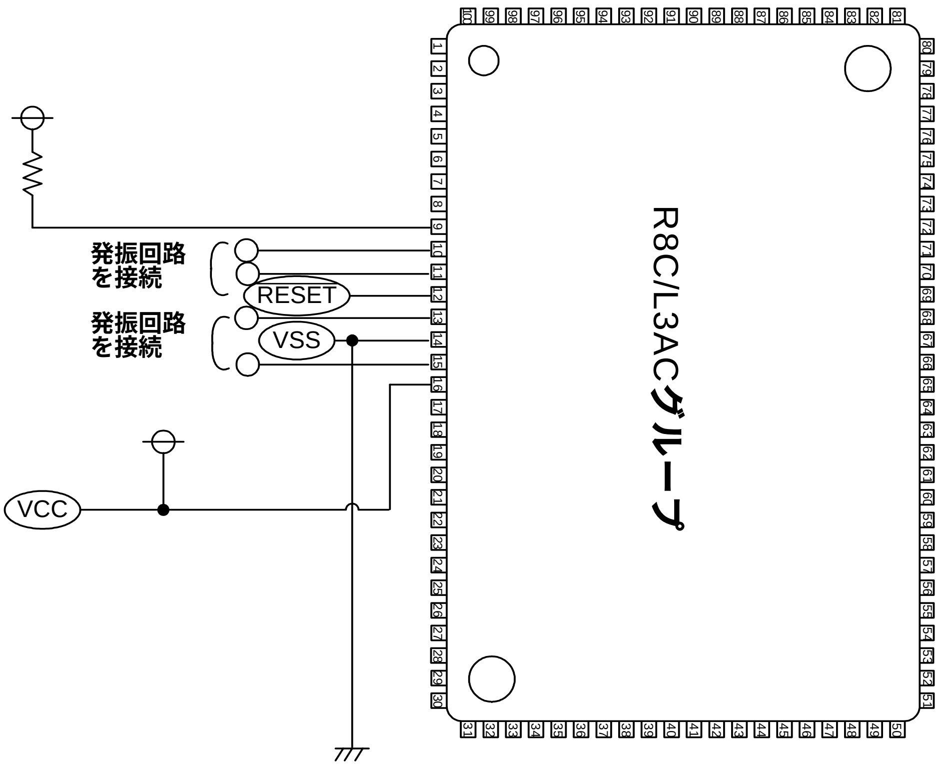
注1.　リセット後、XINクロックは停止しています。
XINクロックを発振させるプログラムを書いてください。

付図 4.3　発振評価回路例(3)



注1.　リセット後、XINクロックは停止しています。
XINクロックを発振させるプログラムを書いてください。

付図 4.4　発振評価回路例(4)



注1.　リセット後、XINクロックは停止しています。
XINクロックを発振させるプログラムを書いてください。

付図 4.5　発振評価回路例(5)

索引

改訂記録	R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.01.22	—	初版発行
1.00	2010.05.25	—	TN-R8C-A011A/J　反映
		—	TN-R8C-A012A/J　反映
		—	TN-R8C-A014A/J　反映
		全ページ	「暫定版」、「開発中」　削除
		1	1.1　変更
		7～10	表1.7～表1.10　変更
		71	表6.2　注3　変更
		73	表6.3　注3　変更
		126	表9.1　注2　削除
		127	図9.1　変更
		128	図9.2　変更
		129、148	9.2.1、10.2.1　注3　変更、注7　追記
		130、149	9.2.2、10.2.2　注5　変更
		134、152	9.2.6、10.2.5　注3　追記
		138	図9.3　変更
		140	図9.4　変更
		158	表10.3　「タイマRB割り込み」「$\overline{\mathrm{INT}}$割り込み」　変更
		176	表12.1　「0FFE7h」→「0FFE6h」
		397	表21.11　「カウント停止条件」　変更
		412	表21.13　「カウント停止条件」　変更
		447、800	表21.18、表36.1　変更
		519	表24.5　注1　変更
		546	表25.5　注1　変更
		553	25.4.6　変更
		611	28.2.6　注7　追記
		612	28.2.7　注5　追記
		615	28.2.10　注7　追記
		624	28.4.3　(6)　変更
		641～642、 814～815	28.9.1～28.9.2、36.16.1～36.16.2　追記
		664	30.2.6　注5、注6　追記
		668	30.3.3.4　変更
		669	30.3.6　変更
		692	表33.2　「LCD駆動タイミング」　変更
		693	図33.1　変更
		704	33.4.2　変更
		719、816	33.6.1～33.6.2、36.19.1～36.19.2　変更
		726	34.4.1　注1、注2　変更
		729	34.4.2　注4、注5　変更
		730	CMDRSTビット　変更
		731	CMDERIEビット、BSYAEIEビット、RDYSTIEビット　変更
		732	34.4.3　b0～b2　変更

改訂記録	R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.25	741	34.4.11　変更、34.4.11.1　変更
		742	34.4.11.3　変更、図34.8　注1　変更
		743	図34.9　変更
		758～759、818～819	表34.10～表34.11、表36.3～表36.4　「NMI」　削除
		762	表35.1　注2　追記
		765	表35.3　「OCVREF」　追記
		772	表35.15　注3　追記
		822	36.22　追記
		825～828	付録1　外形寸法図　変更
1.01	2011.03.31	—	TN-R8C-A015A/J　反映
		—	TN-R8C-A016A/J　反映
		B-6、B-7	「0248h」～「026Fh」、「02A8h」～「02CFh」　変更
		2	表1.1　「タイマ」　変更
		3、76、690	表1.2、表7.2　注2　変更 表1.3、表33.1　注1　変更
		6	表1.6　「フラッシュメモリ」　変更
		11～14	図1.5～図1.8　変更
		20～22	表1.11～表1.13　「電圧検出回路」　削除
		23、24	表1.14、表1.15 「端子機能の説明」→「R8C/L3ACグループの端子機能の説明」
		28	3.　「内部ROM・・・に配置されます」　削除
		38～40	表4.10～表4.12　「0248h」～「026Fh」、「02A8h」～「02CFh」　変更
		57	表6.1　「電圧監視0」　変更
		63、152	6.2.4、10.2.6　注1、注2、注4、注5　変更
		66、67	6.2.7、6.2.8　注2　変更
		72、74	図6.6、図6.7 「VCA26」→「VCA26ビット」、「VW1C0」→「VW1C0ビット」 「VCA27」→「VCA27ビット」、「VW2C0」→「VW2C0ビット」
		75	「注意」　追記
		80	図7.3　「P12_1/XOUT」　変更
		83	7.5.1　注1、注2　変更
		84	7.5.2　注1、注2　変更、 「(ポートPi_0ビット)」→「(ポートPi_jビット)」
		85、250	7.5.3、18.2.6　b2～b7　変更
		86、268、295	7.5.4、19.2.8、20.2.14　b0～b3、b5　変更
		87、296	7.5.5、20.2.15　b1～b3、b6、b7　変更
		88、297	7.5.6、20.2.16　b1～b3、b5～b7　変更
		91、481	7.5.9、23.2.9　b0～b3　変更
		91、510	7.5.10、24.2.7　b1、b5～b7　変更
		92、511	7.5.11、24.2.8　b1、b3、b5～b7　変更
		93、537	7.5.12、25.2.13　b2、b3、b6、b7　変更

改訂記録	R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.01	2011.03.31	94、538	7.5.13、25.2.14　b1～b3、b5～b7　変更
		95、577、608	7.5.14、27.2.2、28.2.2　b1～b7　変更
		98、609	7.5.17、28.2.3　b2　変更
		99	7.5.18　タイトル　「(PiPUR)(i=0～7)」→「(PiPUR)(i=0～7、10～13)」 注2、注3　追記、7.5.19　削除
		108	表7.10　「PD4_i」　変更
		113	表7.15　「PD6_j」　変更
		120	表7.22　変更
		126	図9.1　変更
		128、147	9.2.1、10.2.1　b1、b2、注6　変更
		129、148	9.2.2、10.2.2　注2、注6　変更
		130、149	9.2.3、10.2.3　b2　変更
		131、150	9.2.4、10.2.4　注4　変更
		140	9.6.4　変更
		143	図9.5　タイトル　変更
		144、789	9.8.1、36.1.1 「OCD1～OCD0ビット」→「OCDレジスタのOCD1～OCD0ビット」
		154	表10.2　変更、　注1、注2　追記
		155	10.3.2　変更
		156	10.4.2　変更、10.4.3　追記
		157	表10.3　変更、 10.4.5　「f1～f32クロック」→「fC、fC32クロック」、「f1～ f32、fCクロック停止」→「f1～ f32、fC、fC2、fC32 クロック停止」、 「外部信号」→「fC4外部信号」、「f1 ～ f32、fC、fC-LCD クロック停止」 →「f1 ～ f32、fC、fC2、fC32、fC-LCD クロック停止」
		158	10.4.6　タイトル　追記、図10.2　変更
		159	10.4.7　タイトル　追記、（2)、図10.3　変更
		161	10.5.3　(2)、図10.4　変更
		162	図10.5　変更
		163	10.6.3　「レジスタ」→「SFR」、10.6.4　「POMCR0レジスタのフラグ」 →「POMCR0レジスタのフラグ(POM00)」、図10.6　注1　削除
		164	10.7.3　変更
		165	10.7.9　変更、図10.7　追記
		170、171、	10.8.2、10.8.4、36.2.2、36.2.4　変更
		787、788	10.8.3、36.2.3　追記
		176	表12.1　注2、注3　追記
		177	表12.2　注4、注5　追記
		181	12.3.3　「Iフラグ＝1」→「Iフラグ＝1 (マスカブル割り込み許可)」、 「IRビット＝1 」→「IRビット＝1 (割り込み要求あり)」
		203、789	12.8.1、36.3.1　「“0”」→「“0”(割り込み要求なし)」
		221	表15.2　注2　「WDTONビット」→「OFSレジスタのWDTONビット」
		222	表15.3　注1　「WDTONビット」→「OFSレジスタのWDTONビット」

改訂記録	R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.01	2011.03.31	229	16.3.2 「タイマRC、タイマRD、・・・」→「タイマRC、タイマRD、タイマRG・・・」
		230	表16.3　変更
		250	18.2.5　注2　追記
		263、795	18.8、36.7 「・パルス幅測定モード・・・しないでください。」
		271	図19.2 「TWRCビット」→「TRBMRレジスタのTWRCビット」
		282、796	19.7、36.8　変更
		284	「注意」 追記
		287、344、360、381、398、413、430、576、608	20.2.1、21.3.1、21.4.1、21.5.1、21.6.1、21.7.1、21.8.1、27.2.1、28.2.1　注1～注5　変更
		289	20.2.3　b7 「インプットキャプチャ」→「TRCGRAのインプットキャプチャ」
		302	20.3.4 「入力モード」→「“0”(入力モード)」
		304	表20.7　カウント周期:「コンペアー致」→「インプットキャプチャ」
		306、307	20.4.1、20.4.2　b2、b6 「(インプットキャプチャ)」 削除
		312、313	20.5.2、20.5.3　b2、b6 「(アウトプットコンペア)」 削除
		316	図20.11　変更
		318	20.6 「TRCGRh」→「TRCGRj」、 表20.11　PWM波形:「TRCGRj」→「TRCGRh」、 「j = B、C、Dのいずれか」→「h = B、C、Dのいずれか」、 「h = A、B、C、Dのいずれか」→「j = A、B、C、Dのいずれか」
		321	表20.12　タイトル 「TRCGRh」→「TRCGRj」、 「h = A、B、C、Dのいずれか」→「j = A、B、C、Dのいずれか」
		451、804	図21.26、図36.3 「TRD0レジスタ」→「TRD1レジスタ」
		464	22.3.2 「R」→「R/W」
		504	図24.1 「UARTi」 削除、「1/(n0+1)」→「1/(n+1)」
		514	24.3 「NCHビット」→「UiC0レジスタのNCHビット」、 表24.4 「CLK0(P13_3)」 変更
		519	表24.5 「UiIRSビット」→「UiC1レジスタのUiIRSビット」
		521	24.4 「NCHビット」→「UiC0レジスタのNCHビット」、 表24.7 「CLK0(P13_3)」、「CLK1(P4_2)」
		529	25.2.2 「U2BRGレジスタに・・・ご注意ください。」
		531	25.2.4　注2　変更
		533	25.2.6 「U2RBレジスタは・・・してください。」 追記
		534	25.2.8 「マルチプロセッサビット」→「マルチプロセッサビット(MPRB)」
		541、548	表25.4、表25.7 「CLK2(P11_0)」、「CTS2/RTS2(P11_3)」 変更
		550	図25.8 「CTS2/RTS2許可」→「CTS/RTS機能許可」 「RTS2選択」→「RTS2機能選択」
		564	25.6 「マルチプロセッサビット」→「マルチプロセッサビット(MPRB)」

改訂記録	R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.01	2011.03.31	571、816	25.7.3、36.14.3　追記
		574	表27.1 「受信エラーの検出」、「マルチマスタエラーの検出」　変更
		583	27.2.10　注5　変更
		591	27.4.2　変更
		593、601	27.4.3、27.5.3 「ORERビットが“0”」→「ORERビットが“0”(オーバランエラーなし」
		595	27.4.3.1　変更
		599	27.5.2 「TE ビット」→「SSER レジスタのTE ビット」、 「TDREビット」→「SSSRレジスタのTDREビット」 「ORERビットが“0”」→「ORERビットが“0”(オーバランエラーなし」
		603	図27.13 「CE」→「SSSRレジスタのCEビット」
		605	表28.1 「転送クロック」　変更
		611	28.2.6　b6、注3　変更
		615	28.2.10　注6　変更
		617、632、633、634	28.3.1、28.5.1、28.5.2、28.5.3 「“0”」→「“0”(スレーブモード)」、「“1”」→「“1”(マスタモード)」
		631	図28.11 「“1”」　追記
		636	図28.17　変更
		657	表30.1、注3 「43φADサイクル」→「44φADサイクル」
		664	30.2.6　注4　追記
		665	図30.2 「15φ ADサイクル」→「16φ ADサイクル」、 図30.3 「15φ ADサイクル」→「16φ ADサイクル」、 「43φADサイクル」→「44φADサイクル」
		666	表30.3 「A/D変換実行時間」　変更
		670	図30.5、図30.6 「ADDDAEN: ADCON1レジスタのビット」
		679	30.9　変更
		680、815	30.10、36.18 「ADiレジスタ」→「ADiレジスタ(i = 0～7)」
		738	図34.5 「FMRレジスタのビット」→「FMR0レジスタのビット」
		750	図34.18 「ブロックの先頭番地に“D0h”を書く」→「ブロックの任意の番地に“D0h”を書く」
		751	表34.6　変更
		754	図34.20　変更
		760、820	34.7.1.3、36.20.1.3 「また、“0”を書いた後、“1”を書くまでの間は、」→「また、“1”を書いた後、“0”を書くまでの間は、」
		765	表35.3 「tCONV」　変更
		774、776、778	表35.18、表35.20、表35.22 オンチップオシレータ:「高速」→「高速(fOCO-F)」

R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ
ユーザーズマニュアル　ハードウェア編

発行年月日　2010年1月22日　Rev.0.10
2010年3月31日　Rev.1.01

発行　ルネサス エレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部 1753

ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/inquiry

Colophon 1.0

R8C/L35Cグループ、R8C/L36Cグループ、R8C/L38Cグループ、R8C/L3ACグループ

ルネサス エレクトロニクス株式会社

R01UH0151JJ0101
(旧番号：RJJ09B0614-0100)