

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/2Eグループ、R8C/2Fグループ

ハードウェアマニュアル

ルネサスマイクロコンピュータ

R8Cファミリ／R8C/2xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/2Eグループ、R8C/2Fグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/2Eグループ、R8C/2Fグループデータシート	RJJ03B0216
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法是アプリケーションノートを参照してください。	R8C/2Eグループ、R8C/2Fグループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	R8C/Tinyシリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

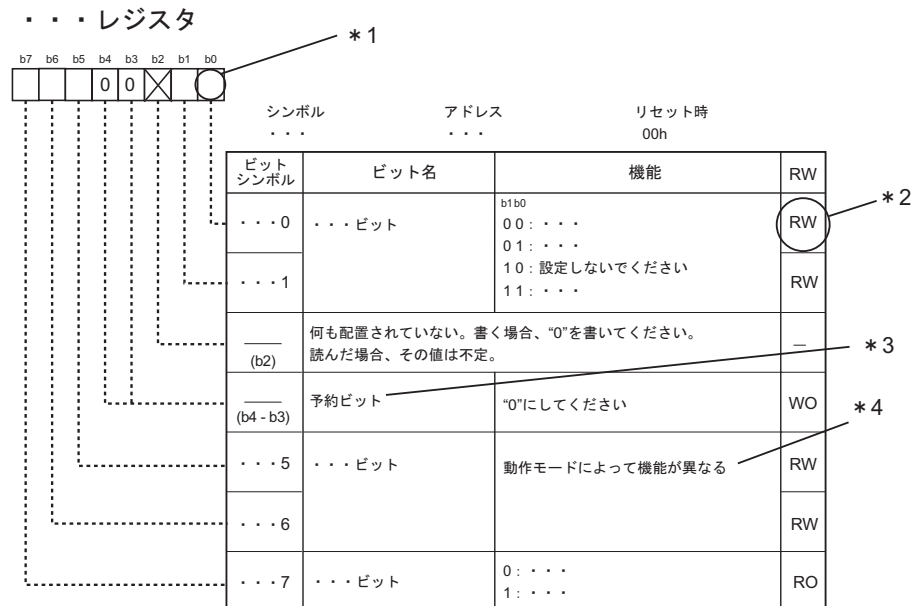
このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。



＊1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- × : 何も配置されていないビットです。

＊2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

＊3

- ・予約ビット
予約ビットです。指定された値にしてください。

＊4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	NECエレクトロニクス社提唱の通信方式
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	6
1.3 ブロック図	8
1.4 ピン配置図	9
1.5 端子機能の説明	11
2. 中央演算処理装置 (CPU)	12
2.1 データレジスタ (R0、R1、R2、R3)	13
2.2 アドレスレジスタ (A0、A1)	13
2.3 フレームベースレジスタ (FB)	13
2.4 割り込みテーブルレジスタ (INTB)	13
2.5 プログラムカウンタ (PC)	13
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	13
2.7 スタックベースレジスタ (SB)	13
2.8 フラグレジスタ (FLG)	13
2.8.1 キャリフラグ (C フラグ)	13
2.8.2 デバッグフラグ (D フラグ)	13
2.8.3 ゼロフラグ (Z フラグ)	13
2.8.4 サインフラグ (S フラグ)	13
2.8.5 レジスタバンク指定フラグ (B フラグ)	13
2.8.6 オーバフローフラグ (O フラグ)	14
2.8.7 割り込み許可フラグ (I フラグ)	14
2.8.8 スタックポインタ指定フラグ (U フラグ)	14
2.8.9 プロセッサ割り込み優先レベル (IPL)	14
2.8.10 予約ビット	14
3. メモリ	15
3.1 R8C/2E グループ	15
3.2 R8C/2F グループ	16
4. SFR	17
5. リセット	24
5.1 ハードウェアリセット	27
5.1.1 電源が安定している場合	27
5.1.2 電源投入時	27
5.2 パワーオンリセット機能	29
5.3 電圧監視 1 リセット	30
5.4 電圧監視 2 リセット	30
5.5 ウォッチドッグタイマリセット	30
5.6 ソフトウェアリセット	30
6. 電圧検出回路	31
6.1 VCC 入力電圧のモニタ	36

6.1.1	Vdet1 のモニタ	36
6.1.2	Vdet2 のモニタ	36
6.2	電圧監視 1 割り込み、電圧監視 1 リセット	37
6.3	電圧監視 2 割り込み、電圧監視 2 リセット	39
7.	プログラマブル入出力ポート	41
7.1	プログラマブル入出力ポートの機能	41
7.2	周辺機能への影響	42
7.3	プログラマブル入出力ポート以外の端子	42
7.4	ポートの設定	51
7.5	未使用端子の処理	61
8.	プロセッサモード	62
8.1	プロセッサモードの種類	62
9.	バス制御	63
10.	クロック発生回路	64
10.1	XIN クロック	72
10.2	オンチップオシレータクロック	73
10.2.1	低速オンチップオシレータクロック	73
10.2.2	高速オンチップオシレータクロック	73
10.3	CPU クロックと周辺機能クロック	73
10.3.1	システムクロック	73
10.3.2	CPU クロック	74
10.3.3	周辺機能クロック (f1、f2、f4、f8、f32)	74
10.3.4	fOCO	74
10.3.5	fOCO40M	74
10.3.6	fOCO-F	74
10.3.7	fOCO-S	74
10.3.8	fOCO128	74
10.4	パワーコントロール	75
10.4.1	標準動作モード	75
10.4.2	ウェイトモード	77
10.4.3	ストップモード	81
10.5	発振停止検出機能	84
10.5.1	発振停止検出機能の使用方法	84
10.6	クロック発生回路使用上の注意	87
10.6.1	ストップモード	87
10.6.2	ウェイトモード	87
10.6.3	発振停止検出機能	87
10.6.4	発振回路定数	87
11.	プロテクト	88
12.	割り込み	89
12.1	割り込みの概要	89
12.1.1	割り込みの分類	89
12.1.2	ソフトウェア割り込み	90

12.1.3	特殊割り込み	91
12.1.4	周辺機能割り込み	91
12.1.5	割り込みと割り込みベクタ	92
12.1.6	割り込み制御	94
12.2	INT 割り込み	104
12.2.1	INT _i 割り込み (i=0、1、3).....	104
12.2.2	INT _i 入力フィルタ (i=0、1、3).....	106
12.3	キー入力割り込み.....	107
12.4	アドレス一致割り込み.....	109
12.5	タイマ RC 割り込み、コンパレータ 0 割り込み、コンパレータ 1 割り込み.....	111
12.6	割り込み使用上の注意.....	112
12.6.1	00000h 番地の読み出し	112
12.6.2	SP の設定	112
12.6.3	外部割り込み、キー入力割り込み	112
12.6.4	割り込み要因の変更	113
12.6.5	割り込み制御レジスタの変更	114
13.	ウォッチドッグタイマ	115
13.1	カウントソース保護モード無効時.....	118
13.2	カウントソース保護モード有効時.....	119
14.	タイマ	120
14.1	タイマ RA	122
14.1.1	タイマモード	125
14.1.2	パルス出力モード	127
14.1.3	イベントカウンタモード	129
14.1.4	パルス幅測定モード	131
14.1.5	パルス周期測定モード	134
14.1.6	タイマ RA 使用上の注意.....	137
14.2	タイマ RB.....	138
14.2.1	タイマモード	142
14.2.2	プログラマブル波形発生モード	145
14.2.3	プログラマブルワンショット発生モード	148
14.2.4	プログラマブルウェイトワンショット発生モード	152
14.2.5	タイマ RB 使用上の注意	155
14.3	タイマ RC.....	159
14.3.1	概要	159
14.3.2	タイマ RC 関連レジスタ	161
14.3.3	複数モードに関わる共通事項	170
14.3.4	タイマモード (インプットキャプチャ機能).....	176
14.3.5	タイマモード (アウトプットコンペア機能).....	181
14.3.6	PWM モード.....	187
14.3.7	PWM2 モード.....	192
14.3.8	タイマ RC 割り込み	198
14.3.9	タイマ RC 使用上の注意事項	199
14.4	タイマ RE.....	201
14.4.1	アウトプットコンペアモード	202
14.4.2	タイマ RE 使用上の注意事項	206

15. シリアルインタフェース	207
15.1 クロック同期形シリアル I/O モード	213
15.1.1 極性選択機能	216
15.1.2 LSB ファースト、MSB ファースト選択	216
15.1.3 連続受信モード	217
15.2 クロック非同期形シリアル I/O(UART) モード	218
15.2.1 ビットレート	222
15.3 シリアルインタフェース使用上の注意	223
16. ハードウェア LIN	224
16.1 特長	224
16.2 入出力端子	225
16.3 レジスタ構成	226
16.4 動作説明	228
16.4.1 マスタモード	228
16.4.2 スレーブモード	231
16.4.3 バス衝突検出機能	235
16.4.4 LIN 終了処理	236
16.5 割り込み要求	237
16.6 ハードウェア LIN 使用上の注意	238
17. A/D コンバータ	239
17.1 単発モード	243
17.2 繰り返しモード	246
17.3 サンプル & ホールド	249
17.4 A/D 変換サイクル数	249
17.5 アナログ入力内部等価回路	250
17.6 A/D 変換時のセンサーの出力インピーダンス	251
17.7 A/D コンバータ使用上の注意	252
18. D/A コンバータ	253
19. コンパレータ	256
19.1 概要	256
19.2 レジスタの説明	258
19.3 動作説明	260
19.3.1 比較結果の出力	261
19.3.2 デジタルフィルタ	262
19.4 コンパレータ 0、コンパレータ 1 割り込み	263
20. フラッシュメモリ	264
20.1 概要	264
20.2 メモリ配置	265
20.3 フラッシュメモリ書き換え禁止機能	267
20.3.1 ID コードチェック機能	267
20.3.2 ROM コードプロテクト機能	268
20.4 CPU 書き換えモード	269
20.4.1 EW0 モード	270
20.4.2 EW1 モード	270

20.4.3	ソフトウェアコマンド	279
20.4.4	ステータスレジスタ	284
20.4.5	フルステータスチェック	285
20.5	標準シリアル入出力モード	287
20.5.1	ID コードチェック機能	287
20.6	パラレル入出力モード	291
20.6.1	ROM コードプロテクト機能	291
20.7	フラッシュメモリ使用上の注意	292
20.7.1	CPU 書き換えモード	292
21.	電气的特性	294
22.	使用上の注意事項	309
22.1	クロック発生回路使用上の注意	309
22.1.1	ストップモード	309
22.1.2	ウェイトモード	309
22.1.3	発振停止検出機能	309
22.1.4	発振回路定数	309
22.2	割り込み使用上の注意	310
22.2.1	00000h 番地の読み出し	310
22.2.2	SP の設定	310
22.2.3	外部割り込み、キー入力割り込み	310
22.2.4	割り込み要因の変更	311
22.2.5	割り込み制御レジスタの変更	312
22.3	タイマ	313
22.3.1	タイマ RA 使用上の注意	313
22.3.2	タイマ RB 使用上の注意	314
22.3.3	タイマ RC 使用上の注意事項	318
22.3.4	タイマ RE 使用上の注意事項	320
22.4	シリアルインタフェース使用上の注意	321
22.5	ハードウェア LIN 使用上の注意	322
22.6	A/D コンバータ使用上の注意	323
22.7	フラッシュメモリ使用上の注意	324
22.7.1	CPU 書き換えモード	324
22.8	ノイズに関する注意事項	326
22.8.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入	326
22.8.2	ポート制御レジスタのノイズ誤動作対策	326
23.	オンチップデバッグの注意事項	327
付録 1.	外形寸法図	328
付録 2.	シリアルライタとオンチップデバッグエミュレータとの接続例	329
付録 3.	発振評価回路例	330
索引		331

番地別ページ早見表

番地	レジスタ	シンボル	掲載 ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	62
0005h	プロセッサモードレジスタ1	PM1	62
0006h	システムクロック制御レジスタ0	CM0	66
0007h	システムクロック制御レジスタ1	CM1	67
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	88
000Bh			
000Ch	発振停止検出レジスタ	OCD	68
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	116
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	116
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	116
0010h	アドレス一致割り込みレジスタ0	RMAD0	110
0011h			
0012h			
0013h	アドレス一致割り込み許可レジスタ	AIER	110
0014h	アドレス一致割り込みレジスタ1	RMAD1	110
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	117
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	69
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	69
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	69
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch	高速オンチップオシレータ制御レジスタ7	FRA7	70
002Dh			
002Eh			
002Fh			
0030h			
0031h	電圧検出レジスタ1	VCA1	33
0032h	電圧検出レジスタ2	VCA2	33、70
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ	VW1C	34
0037h	電圧監視2回路制御レジスタ	VW2C	35
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	95
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	94
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	94
004Eh	A/D変換割り込み制御レジスタ	ADIC	94
004Fh			
0050h			
0051h	UART0送信割り込み制御レジスタ	SOTIC	94
0052h	UART0受信割り込み制御レジスタ	SORIC	94
0053h			
0054h			
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	94
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	94
0059h	INT1割り込み制御レジスタ	INT1IC	96
005Ah	INT3割り込み制御レジスタ	INT3IC	96
005Bh	コンパレータ0割り込み制御レジスタ	CM0IC	95
005Ch	コンパレータ1割り込み制御レジスタ	CM1IC	95
005Dh	INT0割り込み制御レジスタ	INT0IC	96
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載 ページ
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	210
00A1h	UART0ビットレートレジスタ	U0BRG	209
00A2h	UART0送信バッファレジスタ	U0TB	209
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	211
00A5h	UART0送受信制御レジスタ1	U0C1	212
00A6h	UART0受信バッファレジスタ	U0RB	209
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
00C0h	A/D レジスタ	AD	242
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ2	ADCON2	242
00D5h			
00D6h	A/D 制御レジスタ0	ADCON0	241
00D7h	A/D 制御レジスタ1	ADCON1	242
00D8h	D/A レジスタ0	DA0	254
00D9h			
00DAh	D/A レジスタ1	DA1	254
00DBh			
00DCh	D/A 制御レジスタ	DACON	254
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	48
00E1h	ポートP1レジスタ	P1	48
00E2h	ポートP0方向レジスタ	PD0	48
00E3h	ポートP1方向レジスタ	PD1	48
00E4h			
00E5h	ポートP3レジスタ	P3	48
00E6h			
00E7h	ポートP3方向レジスタ	PD3	48
00E8h	ポートP4レジスタ	P4	48
00E9h	ポートP5レジスタ	P5	48
00EAh	ポートP4方向レジスタ	PD4	48
00EBh	ポートP5方向レジスタ	PD5	48
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h	端子選択レジスタ2	PINSR2	49
00F7h	端子選択レジスタ3	PINSR3	49
00F8h	ポートモードレジスタ	PMR	49、212
00F9h	外部入力許可レジスタ	INTEN	104
00FAh	INT入力フィルタ選択レジスタ	INTF	105
00FBh	キー入力許可レジスタ	KIEN	108
00FCh	ブルアップ制御レジスタ0	PUR0	50
00FDh	ブルアップ制御レジスタ1	PUR1	50
00FEh	ポートP1駆動能力制御レジスタ	P1DRR	50
00FFh			

番地	レジスタ	シンボル	掲載 ページ
0100h	タイマRA制御レジスタ	TRACR	123
0101h	タイマRA I/O制御レジスタ	TRAIOC	123、125、128、 130、132、135
0102h	タイマRAモードレジスタ	TRAMR	124
0103h	タイマRAプリスケアラレジスタ	TRAPRE	124
0104h	タイマRAレジスタ	TRA	124
0105h			
0106h	LINコントロールレジスタ	LINCR	226
0107h	LINステータスレジスタ	LINST	227
0108h	タイマRB制御レジスタ	TRBCR	139
0109h	タイマRBワンショット制御レジスタ	TRBOCR	139
010Ah	タイマRB I/O制御レジスタ	TRBIOC	140、142、146、 149、153
010Bh	タイマRBモードレジスタ	TRBMR	140
010Ch	タイマRBプリスケアラレジスタ	TRBPRES	141
010Dh	タイマRBセカンダリレジスタ	TRBSC	141
010Eh	タイマRBプライマリレジスタ	TRBPR	141
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマREカウンタデータレジスタ	TRESEC	203
0119h	タイマREコンペアデータレジスタ	TREMIN	203
011Ah			
011Bh			
011Ch	タイマRE制御レジスタ1	TRECR1	203
011Dh	タイマRE制御レジスタ2	TRECR2	204
011Eh	タイマREクロックソース選択レジスタ	TRECSR	204
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	162
0121h	タイマRC制御レジスタ1	TRCCR1	163、185、189、 194
0122h	タイマRC割り込み許可レジスタ	TRCIER	164
0123h	タイマRCステータスレジスタ	TRCSR	165
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	169、178、183
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	169、179、184
0126h	タイマRCカウンタ	TRC	166
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	166
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	166
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	166
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	166
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0130h	タイマRC制御レジスタ2	TRCCR2	167
0131h	タイマRCデジタルフィルタ機能選択 レジスタ	TRCDF	167
0132h	タイマRCアウトプットマスタ許可レ ジスタ	TRCOER	168
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			

番地	レジスタ	シンボル	掲載 ページ
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h	コンパレータ0制御レジスタ	ACCR0	255、258
0175h	コンパレータ1制御レジスタ	ACCR1	255、258
0176h			
0177h	コンパレータモードレジスタ	ACMR	259
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	275
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	274
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	273
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
FFFFh	オプション機能選択レジスタ	OFS	26、117、268

1. 概要

1.1 特長

R8C/2E グループ、R8C/2F グループは、R8C/Tiny シリーズ CPU コアを搭載したシングルチップマイクロコンピュータです。R8C/Tiny シリーズ CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、更に、乗算器があるため高速な演算処理が可能です。

また、消費電力が小さい上、動作モードによるパワーコントロールが可能であり、ノイズ対策機構により不要輻射ノイズは小さく、ノイズ耐量は大きく設計されています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

さらに、R8C/2F グループはデータフラッシュ (1KB×2ブロック) を内蔵します。

R8C/2E グループと R8C/2F グループの違いはデータフラッシュの有無だけです。周辺機能は同一です。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表1.1～表1.2にR8C/2Eグループの仕様概要、表1.3～表1.4にR8C/2Fグループの仕様概要を示します。

表1.1 R8C/2Eグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C/Tinyシリーズコア •基本命令数：89命令 •最短命令実行時間：50ns (f(XIN)=20MHz、VCC=3.0～5.5V) 100ns (f(XIN)=10MHz、VCC=2.7～5.5V) •乗算器：16ビット×16ビット→32ビット •積和演算命令：16ビット×16ビット+32ビット→32ビット •動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM	「表1.5 R8C/2Eグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	•パワーオンリセット •電圧検出2点
I/Oポート	プログラマブル入出力ポート	•入力専用：3 •CMOS入出力：25、プルアップ抵抗選択可能 •大電流駆動ポート：8
クロック	クロック発生回路	•2回路：XINクロック発振回路(帰還抵抗内蔵) オンチップオシレータ(高速、低速) (高速オンチップオシレータは周波数調整機能付) •発振停止検出：XINクロック発振停止検出機能 •周波数分周回路：1、2、4、8、16分周選択 •低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
割り込み		•外部：4要因、内部：13要因、ソフトウェア：4要因 •割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)、リセットスタート機能選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRE	8ビット×1 アウトプットコンペアモード
シリアルインタフェース	UART0	クロック同期形シリアルI/O／非同期形シリアルI/O兼用×1
LINモジュール		ハードウェアLIN：1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2回路
コンパレータ		2回路

表 1.2 R8C/2E グループの仕様概要(2)

分類	説明
フラッシュメモリ	・プログラム、イレーズ電圧：VCC=2.7～5.5V ・プログラム、イレーズ回数：100回 ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧	f(XIN)=20MHz(VCC=3.0～5.5V)、f(XIN)=10MHz(VCC=2.7～5.5V)
消費電流	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 23 μ A (VCC=3V、ウェイトモード(周辺クロック停止)) 標準 0.7 μ A (VCC=3V、ストップモード)
動作周囲温度	-20℃～85℃(Nバージョン) -40℃～85℃(Dバージョン)(注1)
パッケージ	32ピンLQFP パッケージコード：PLQP0032GB-A(旧コード：32P6U-A)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

表1.3 R8C/2Fグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C/Tinyシリーズコア •基本命令数：89命令 •最短命令実行時間：50ns (f(XIN)=20MHz、VCC=3.0～5.5V) 100ns (f(XIN)=10MHz、VCC=2.7～5.5V) •乗算器：16ビット×16ビット→32ビット •積和演算命令：16ビット×16ビット+32ビット→32ビット •動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.6 R8C/2Fグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	•パワーオンリセット •電圧検出2点
I/Oポート	プログラマブル入出力ポート	•入力専用：3 •CMOS入出力：25、プルアップ抵抗選択可能 •大電流駆動ポート：8
クロック	クロック発生回路	•2回路：XINクロック発振回路(帰還抵抗内蔵) オンチップオシレータ(高速、低速) (高速オンチップオシレータは周波数調整機能付) •発振停止検出：XINクロック発振停止検出機能 •周波数分周回路：1、2、4、8、16分周選択 •低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
割り込み		•外部：4要因、内部：13要因、ソフトウェア：4要因 •割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)、リセットスタート機能選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRE	8ビット×1 アウトプットコンペアモード
シリアルインタフェース	UART0	クロック同期形シリアルI/O／非同期形シリアルI/O兼用×1
LINモジュール		ハードウェアLIN：1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2回路
コンパレータ		2回路

表1.4 R8C/2Fグループの仕様概要(2)

分類	説明
フラッシュメモリ	・プログラム、イレーズ電圧：VCC=2.7～5.5V ・プログラム、イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧	f(XIN)=20MHz(VCC=3.0～5.5V)、f(XIN)=10MHz(VCC=2.7～5.5V)
消費電流	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 23 μ A (VCC=3V、ウェイトモード(周辺クロック停止)) 標準 0.7 μ A (VCC=3V、ストップモード)
動作周囲温度	-20℃～85℃(Nバージョン) -40℃～85℃(Dバージョン)(注1)
パッケージ	32ピンLQFP パッケージコード：PLQP0032GB-A(旧コード：32P6U-A)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2 製品一覧

表1.5にR8C/2Eグループの製品一覧表、図1.1にR8C/2Eグループの型名とメモリサイズ・パッケージ、表1.6にR8C/2Fグループの製品一覧表、図1.2にR8C/2Fグループの型名とメモリサイズ・パッケージを示します。

表1.5 R8C/2Eグループの製品一覧表

2007年12月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F212E2NFP	8Kバイト	512バイト	PLQP0032GB-A	Nバージョン
R5F212E4NFP	16Kバイト	1Kバイト	PLQP0032GB-A	
R5F212E2DFP	8Kバイト	512バイト	PLQP0032GB-A	Dバージョン
R5F212E4DFP	16Kバイト	1Kバイト	PLQP0032GB-A	
R5F212E2NXXXFP	8Kバイト	512バイト	PLQP0032GB-A	Nバージョン
R5F212E4NXXXFP	16Kバイト	1Kバイト	PLQP0032GB-A	(書き込み出荷品)(注1)
R5F212E2DXXXFP	8Kバイト	512バイト	PLQP0032GB-A	Dバージョン
R5F212E4DXXXFP	16Kバイト	1Kバイト	PLQP0032GB-A	(書き込み出荷品)(注1)

注1. ユーザROMを書き込んで出荷します。

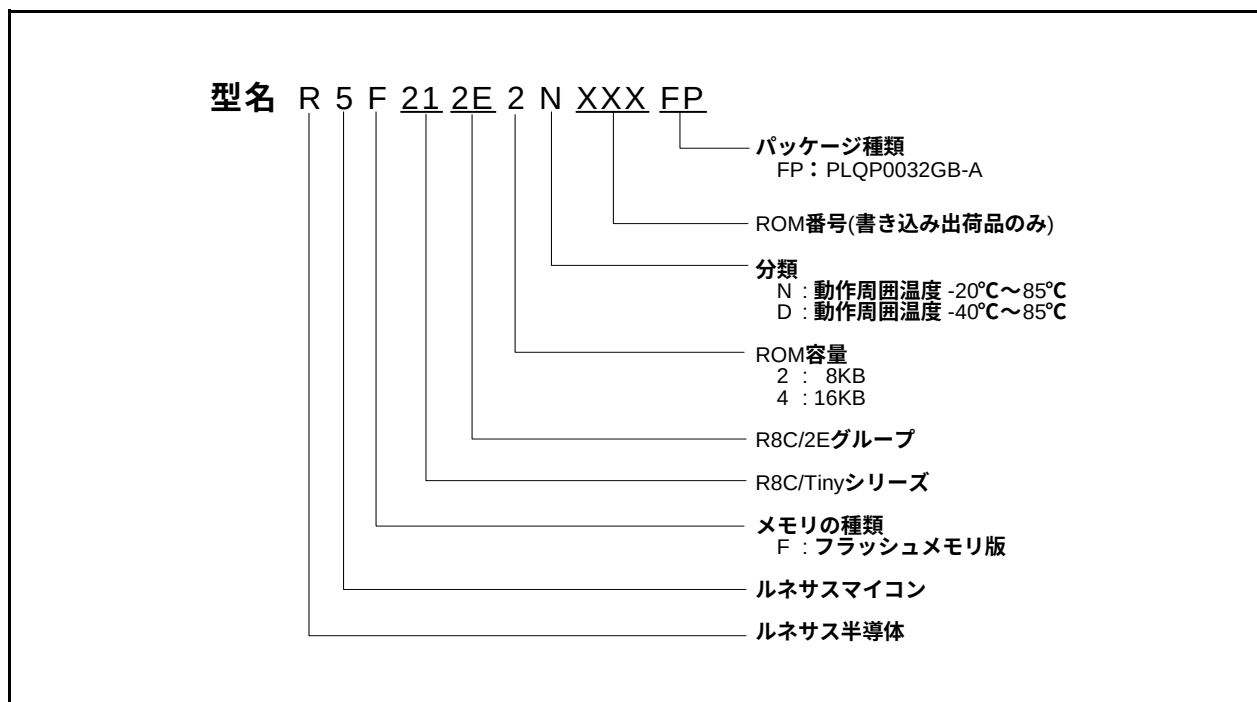


図1.1 R8C/2Eグループの型名とメモリサイズ・パッケージ

表1.6 R8C/2Fグループの製品一覧表

2007年12月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F212F2NFP	8Kバイト	1Kバイト×2	512バイト	PLQP0032GB-A	Nバージョン
R5F212F4NFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	
R5F212F2DFP	8Kバイト	1Kバイト×2	512バイト	PLQP0032GB-A	Dバージョン
R5F212F4DFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	
R5F212F2NXXXFP	8Kバイト	1Kバイト×2	512バイト	PLQP0032GB-A	Nバージョン (書き込み出荷品)(注1)
R5F212F4NXXXFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	
R5F212F2DXXXFP	8Kバイト	1Kバイト×2	512バイト	PLQP0032GB-A	Dバージョン (書き込み出荷品)(注1)
R5F212F4DXXXFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	

注1. ユーザROMを書き込んで出荷します。

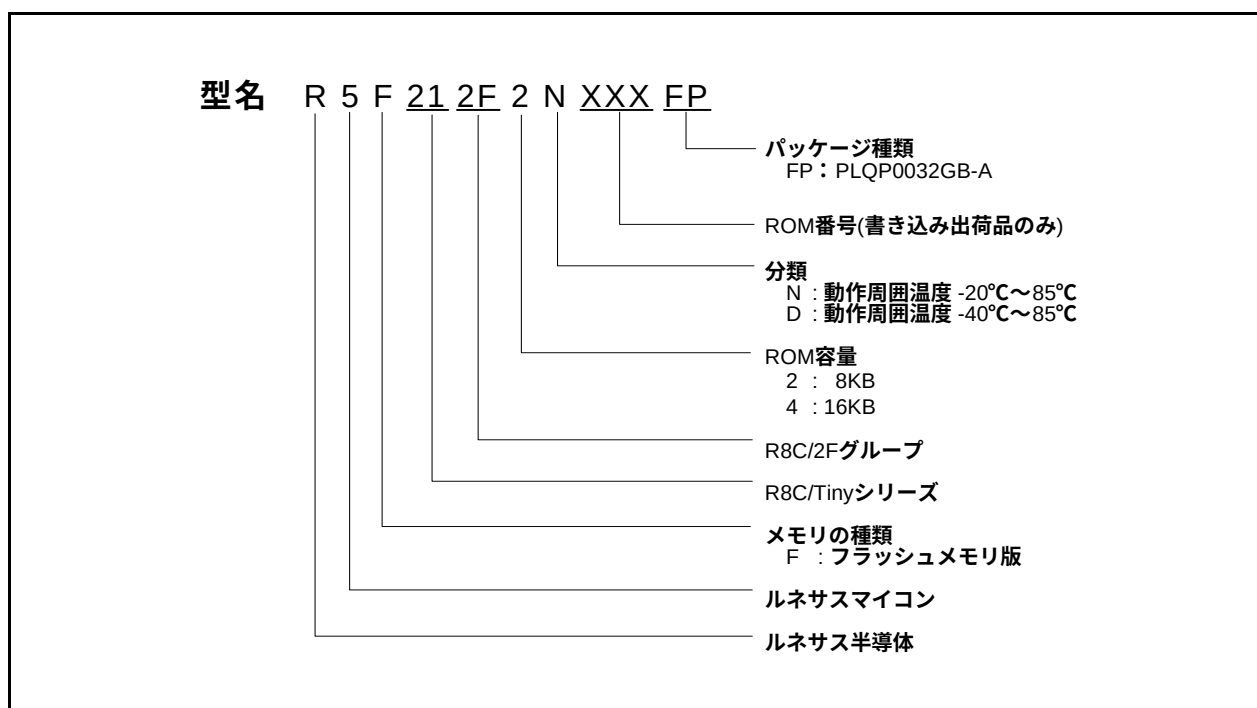


図1.2 R8C/2Fグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.3にブロック図を示します。

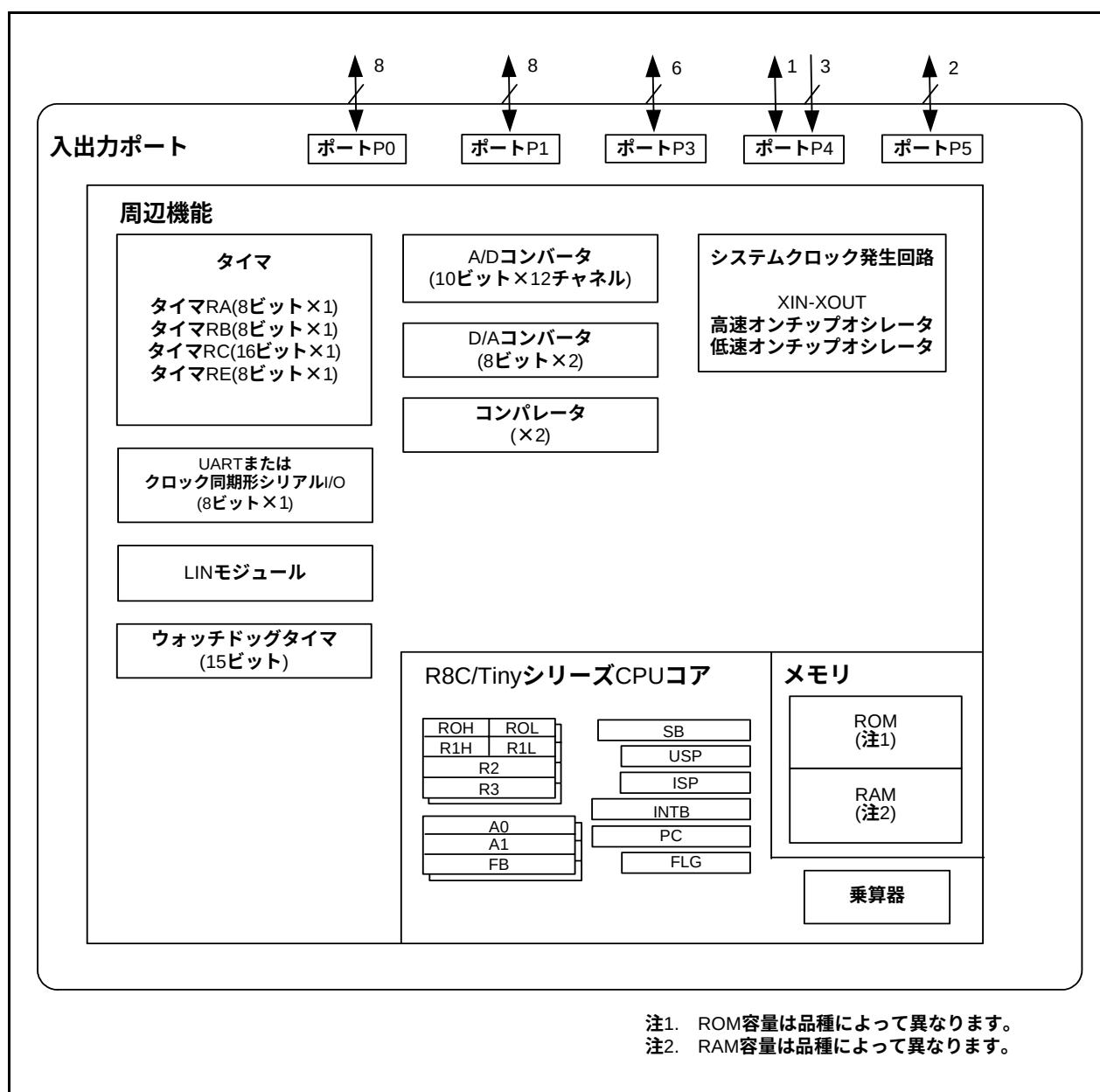


図1.3 ブロック図

1.4 ピン配置図

図1.4にピン配置図(上面図)を、表1.7にピン番号別端子名一覧を示します。

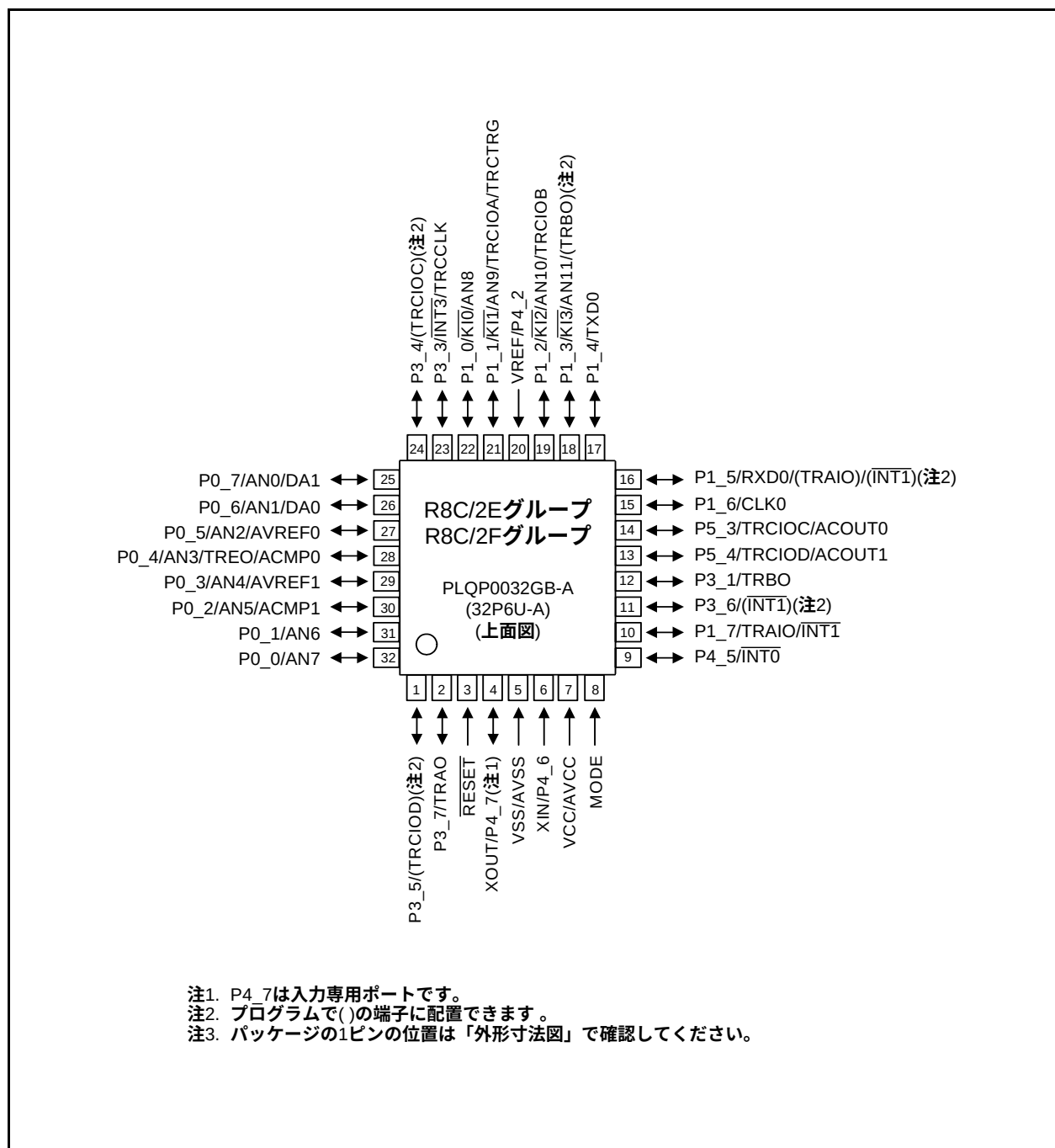


表1.7 ピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	A/D コン バータ	D/A コン バータ	コンパ レータ
1		P3_5		(TRCIOD)(注1)				
2		P3_7		TRAO				
3	RESET							
4	XOUT	P4_7						
5	VSS/AVSS							
6	XIN	P4_6						
7	VCC/AVCC							
8	MODE							
9		P4_5	INT0					
10		P1_7	INT1	TRAIO				
11		P3_6	(INT1)(注1)					
12		P3_1		TRBO				
13		P5_4		TRCIOD				ACOUT1
14		P5_3		TRCIOC				ACOUT0
15		P1_6			CLK0			
16		P1_5	(INT1)(注1)	(TRAIO)(注1)	RXD0			
17		P1_4			TXD0			
18		P1_3	KI3	(TRBO)(注1)		AN11		
19		P1_2	KI2	TRCIOB		AN10		
20	VREF	P4_2						
21		P1_1	KI1	TRCIOA/ TRCTRG		AN9		
22		P1_0	KI0			AN8		
23		P3_3	INT3	TRCCLK				
24		P3_4		(TRCIOC)(注1)				
25		P0_7				AN0	DA1	
26		P0_6				AN1	DA0	
27		P0_5				AN2		AVREF0
28		P0_4		TREO		AN3		ACMP0
29		P0_3				AN4		AVREF1
30		P0_2				AN5		ACMP1
31		P0_1				AN6		
32		P0_0				AN7		

注1. プログラムで()の端子に配置できます。

1.5 端子機能の説明

表1.8に端子機能の説明を示します。

表1.8 端子機能の説明

分類	端子名	入出力	機能
電源入力	VCC、VSS	入力	VCCには、2.7V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	リセット端子です。この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
INT割り込み入力	INT0、INT1、INT3	入力	INT割り込みの入力端子です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力端子です。
タイマRA	TRAO	出力	タイマRAの出力端子です。
	TRAIO	入出力	タイマRAの入出力端子です。
タイマRB	TRBO	出力	タイマRBの出力端子です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB TRCIOC、TRCIOD	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM/PWM2出力兼用端子です。
タイマRE	TREO	出力	タイマREの出力端子です。
シリアルインタフェース	CLK0	入出力	クロック入出力端子です。
	RXD0	入力	受信データ入力端子です。
	TXD0	出力	送信データ出力端子です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力端子です。
A/Dコンバータ	AN0～AN11	入力	A/Dコンバータのアナログ入力端子です。
D/Aコンバータ	DA0～DA1	出力	D/Aコンバータの出力です。
コンパレータ	AVREF0～AVREF1	入力	コンパレータのリファレンス電圧入力端子です。
	ACMP0～ACMP1	入力	コンパレータのアナログ電圧入力端子です。
	ACOUT0～ACOUT1	出力	コンパレータの比較結果出力端子です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P3_1、P3_3～P3_7、 P4_5、 P5_3、P5_4	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP1_0～P1_7は、LED駆動ポートとして使用できます。
入力ポート	P4_2、P4_6、P4_7	入力	入力専用ポートです。

注1. 発振特性は発振子メーカに問い合わせてください。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

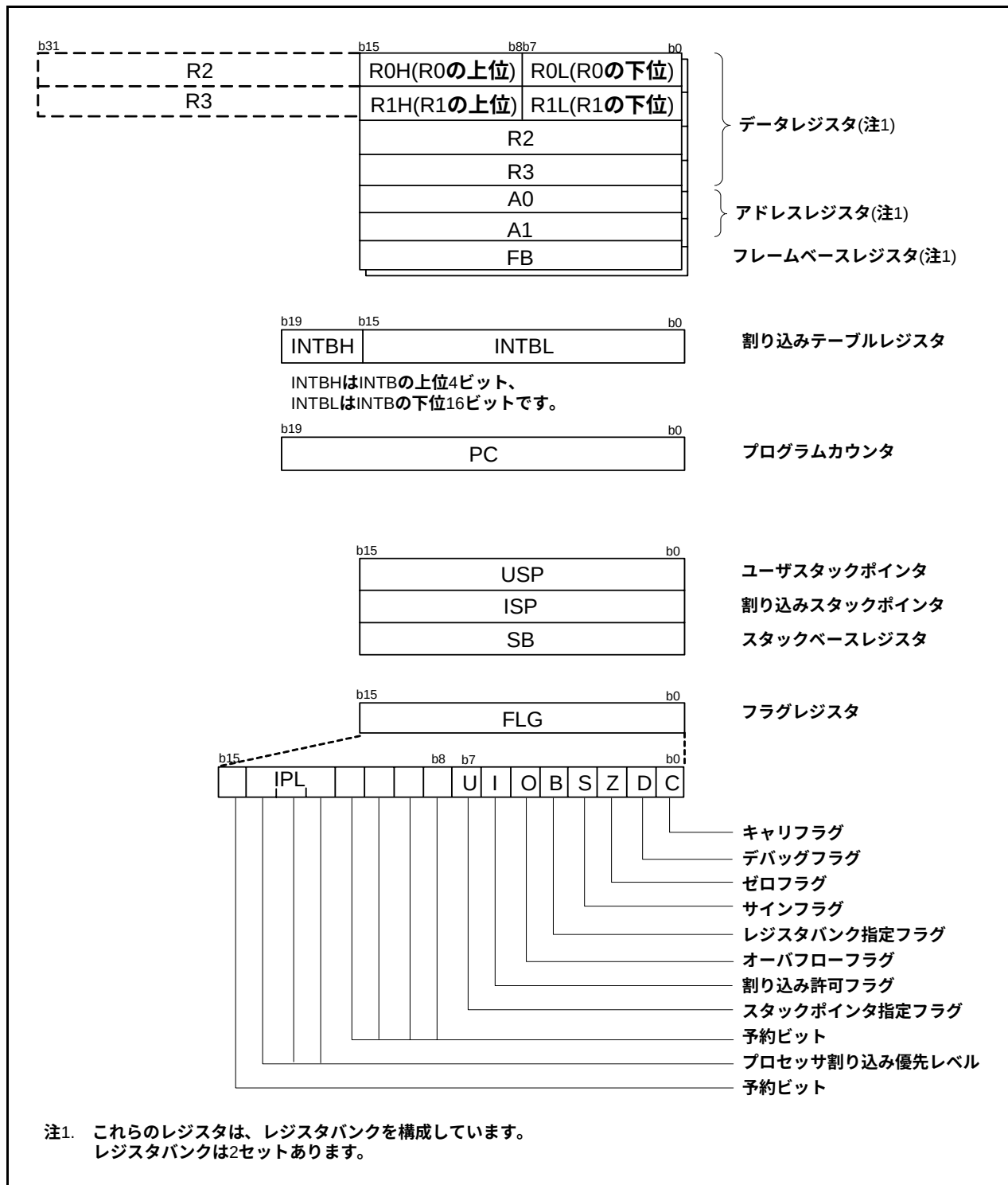


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクابل割り込みを許可するフラグです。Iフラグが“0”の場合、マスクابل割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/2Eグループ

図3.1にR8C/2Eグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

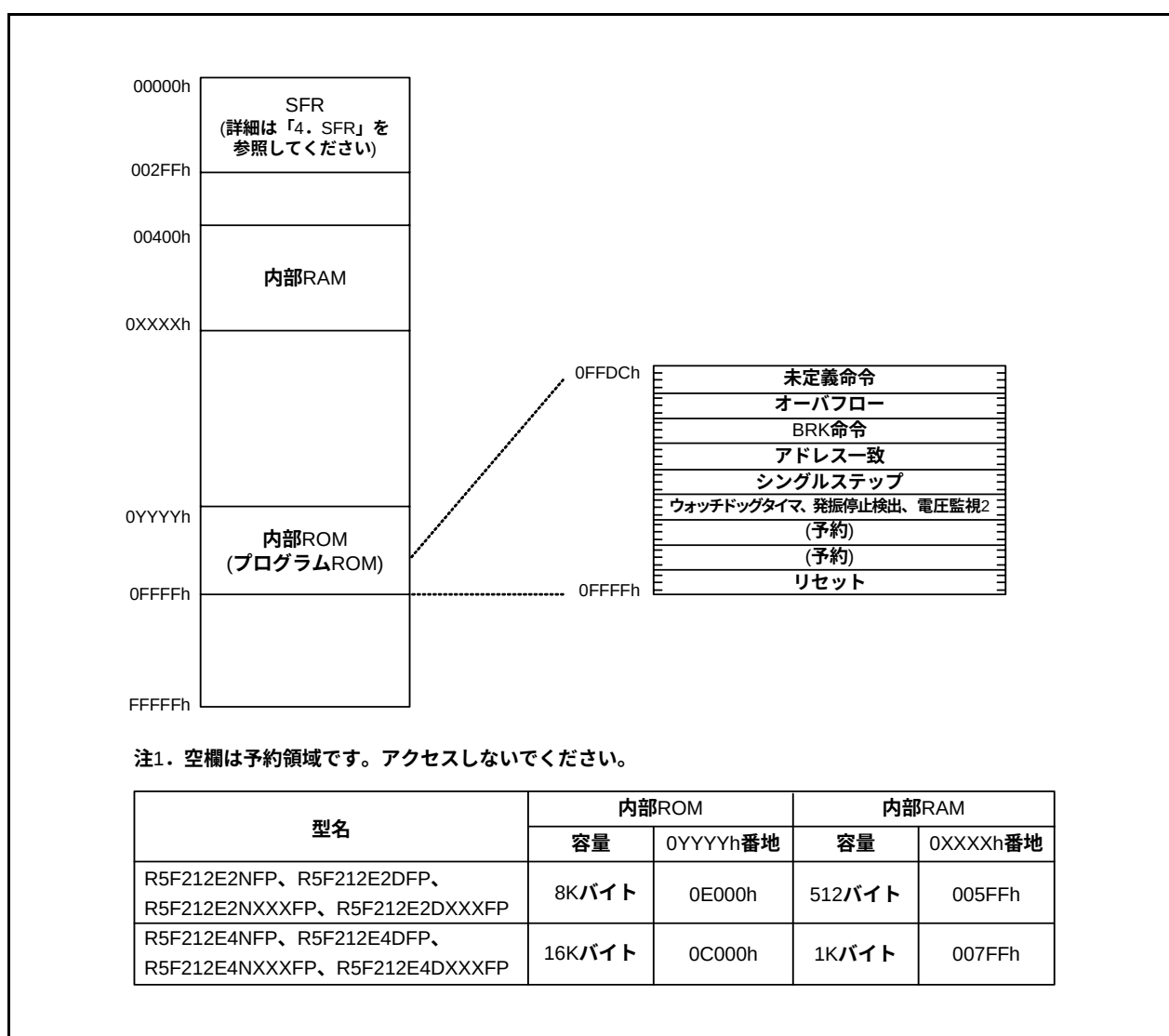


図3.1 R8C/2Eグループのメモリ配置図

3.2 R8C/2Fグループ

図3.2にR8C/2Fグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

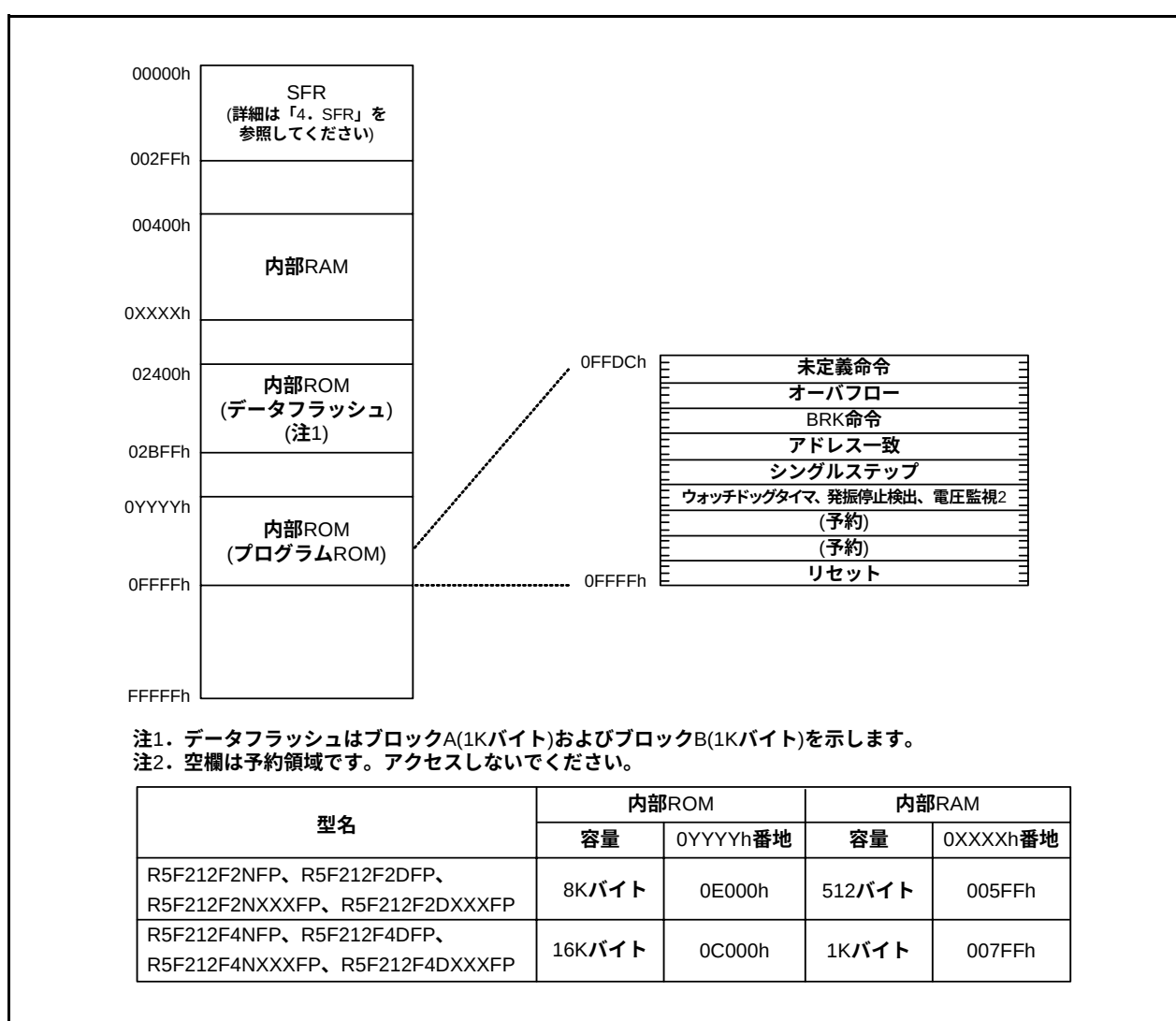


図3.2 R8C/2Fグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.7にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注4)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ 0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ 1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ 2	FRA2	00h
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch	高速オンチップオシレータ制御レジスタ 7	FRA7	出荷時の値
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注2)	VCA2	00100000b
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注3)	VW1C	00001000b
0037h	電圧監視 2 回路制御レジスタ (注3)	VW2C	00h
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

注3. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットではb2, b3は変化しません。

注4. OFS レジスタのCSPROINIビットが“0”の場合。

X: 不定です。

表 4.2 SFR 一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマ RC 割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h			
004Ah	タイマ RE 割り込み制御レジスタ	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh			
0050h			
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h			
0056h	タイマ RA 割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマ RB 割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
005Bh	コンパレータ 0 割り込み制御レジスタ	CM0IC	XXXXX000b
005Ch	コンパレータ 1 割り込み制御レジスタ	CM1IC	XXXXX000b
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表 4.3 SFR 一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 送受信モードレジスタ	U0MR	00h
00A1h	UART0 ビットレートレジスタ	U0BRG	XXh
00A2h	UART0 送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0 送受信制御レジスタ 0	U0C0	00001000b
00A5h	UART0 送受信制御レジスタ 1	U0C1	00000010b
00A6h	UART0 受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ 2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ 0	ADCON0	00h
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h	D/A レジスタ 0	DA0	00h
00D9h			
00DAh	D/A レジスタ 1	DA1	00h
00DBh			
00DCh	D/A 制御レジスタ	DACON	00h
00DDh			
00DEh			
00DFh			
00E0h	ポート P0 レジスタ	P0	00h
00E1h	ポート P1 レジスタ	P1	00h
00E2h	ポート P0 方向レジスタ	PD0	00h
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h			
00E5h	ポート P3 レジスタ	P3	00h
00E6h			
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	00h
00E9h	ポート P5 レジスタ	P5	00h
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh	ポート P5 方向レジスタ	PD5	00h
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h	端子選択レジスタ 2	PINSR2	00h
00F7h	端子選択レジスタ 3	PINSR3	00h
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT 入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	ブルアップ制御レジスタ 0	PUR0	00h
00FDh	ブルアップ制御レジスタ 1	PUR1	00h
00FEh	ポート P1 駆動能力制御レジスタ	P1DRR	00h
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.5 SFR 一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマ RA 制御レジスタ	TRACR	00h
0101h	タイマ RA I/O 制御レジスタ	TRAIOC	00h
0102h	タイマ RA モードレジスタ	TRAMR	00h
0103h	タイマ RA プリスケアラレジスタ	TRAPRE	FFh
0104h	タイマ RA レジスタ	TRA	FFh
0105h			
0106h	LIN コントロールレジスタ	LINCR	00h
0107h	LIN ステータスレジスタ	LINST	00h
0108h	タイマ RB 制御レジスタ	TRBCR	00h
0109h	タイマ RB ワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマ RB I/O 制御レジスタ	TRBIOC	00h
010Bh	タイマ RB モードレジスタ	TRBMR	00h
010Ch	タイマ RB プリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマ RB セカンダリレジスタ	TRBSC	FFh
010Eh	タイマ RB プライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマ RE カウンタデータレジスタ	TRESEC	00h
0119h	タイマ RE コンペアデータレジスタ	TREMIN	00h
011Ah			
011Bh			
011Ch	タイマ RE 制御レジスタ 1	TRECR1	00h
011Dh	タイマ RE 制御レジスタ 2	TRECR2	00h
011Eh	タイマ RE クロックソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマ RC モードレジスタ	TRCMR	01001000b
0121h	タイマ RC 制御レジスタ 1	TRCCR1	00h
0122h	タイマ RC 割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマ RC ステータスレジスタ	TRCSR	01110000b
0124h	タイマ RC I/O 制御レジスタ 0	TRCIOR0	10001000b
0125h	タイマ RC I/O 制御レジスタ 1	TRCIOR1	10001000b
0126h	タイマ RC カウンタ	TRC	00h
0127h			00h
0128h	タイマ RC ジェネラルレジスタ A	TRCGRA	FFh
0129h			FFh
012Ah	タイマ RC ジェネラルレジスタ B	TRCGRB	FFh
012Bh			FFh
012Ch	タイマ RC ジェネラルレジスタ C	TRCGRC	FFh
012Dh			FFh
012Eh	タイマ RC ジェネラルレジスタ D	TRCGRD	FFh
012Fh			FFh
0130h	タイマ RC 制御レジスタ 2	TRCCR2	00011111b
0131h	タイマ RC デジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマ RC アウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h	コンパレータ0制御レジスタ	ACCR0	00001000b
0175h	コンパレータ1制御レジスタ	ACCR1	00001000b
0176h			
0177h	コンパレータモードレジスタ	ACMR	00h
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を、図5.1にリセット回路のブロック図を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視1リセット	VCCの下降(監視電圧：Vdet1)
電圧監視2リセット	VCCの下降(監視電圧：Vdet2)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

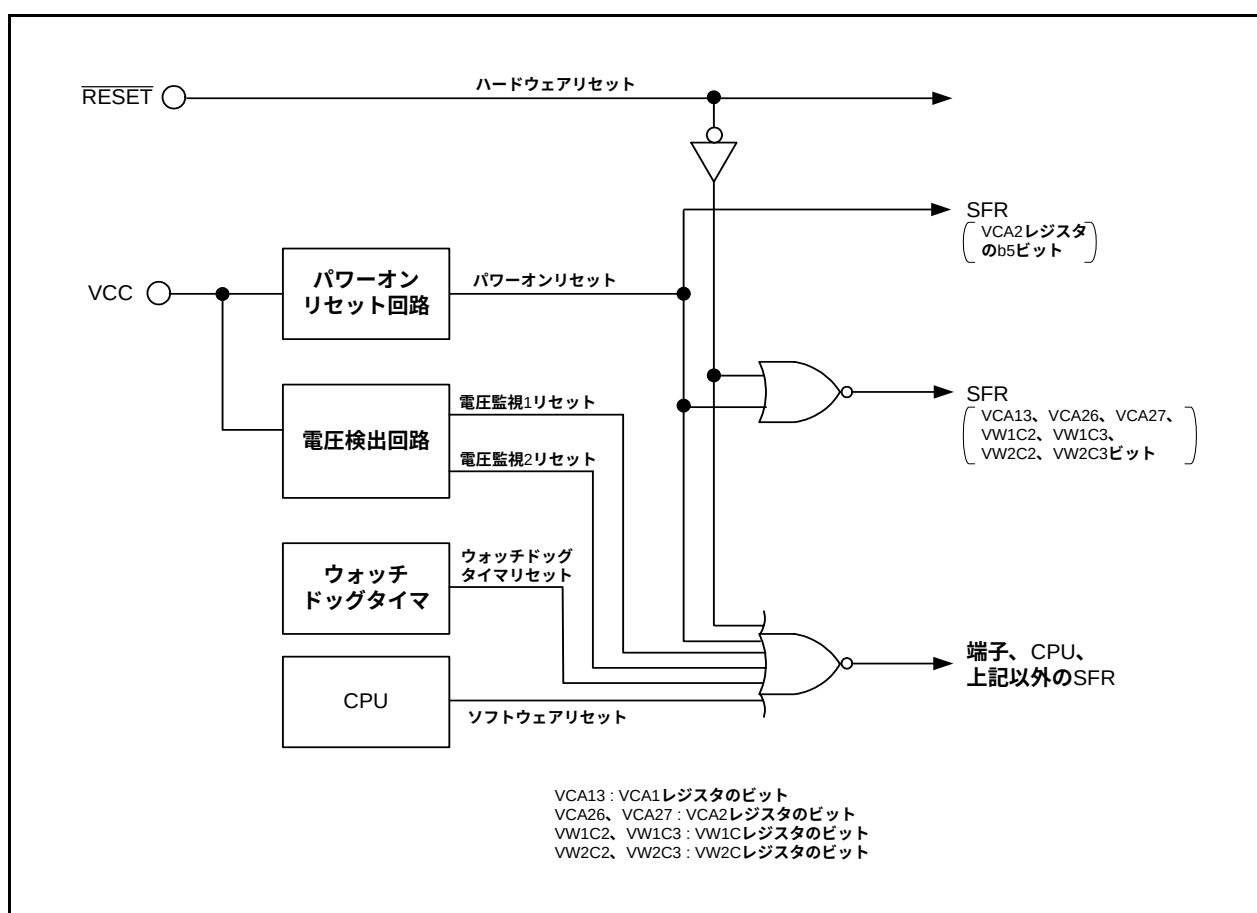


図5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを、図5.4にOFSレジスタを示します。

表5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0、P1	入力ポート
P3_1、P3_3～P3_7	入力ポート
P4_2、P4_5～P4_7	入力ポート
P5_3、P5_4	入力ポート

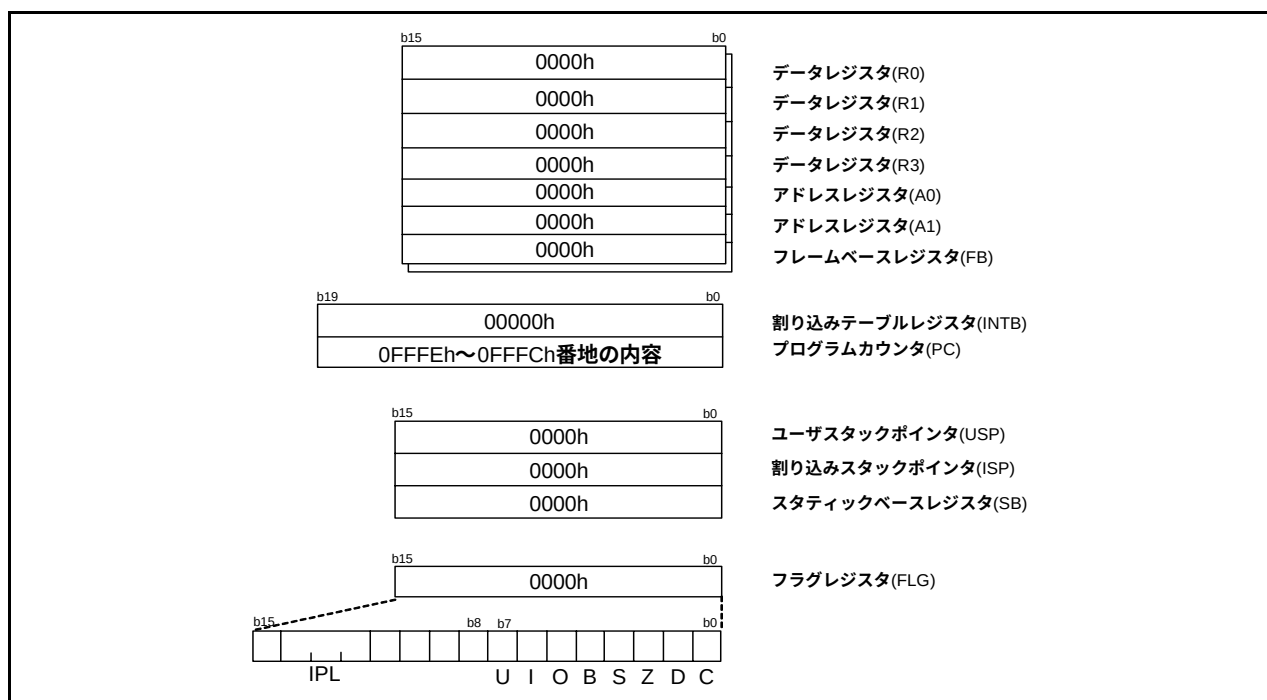


図5.2 リセット後のCPUレジスタの状態

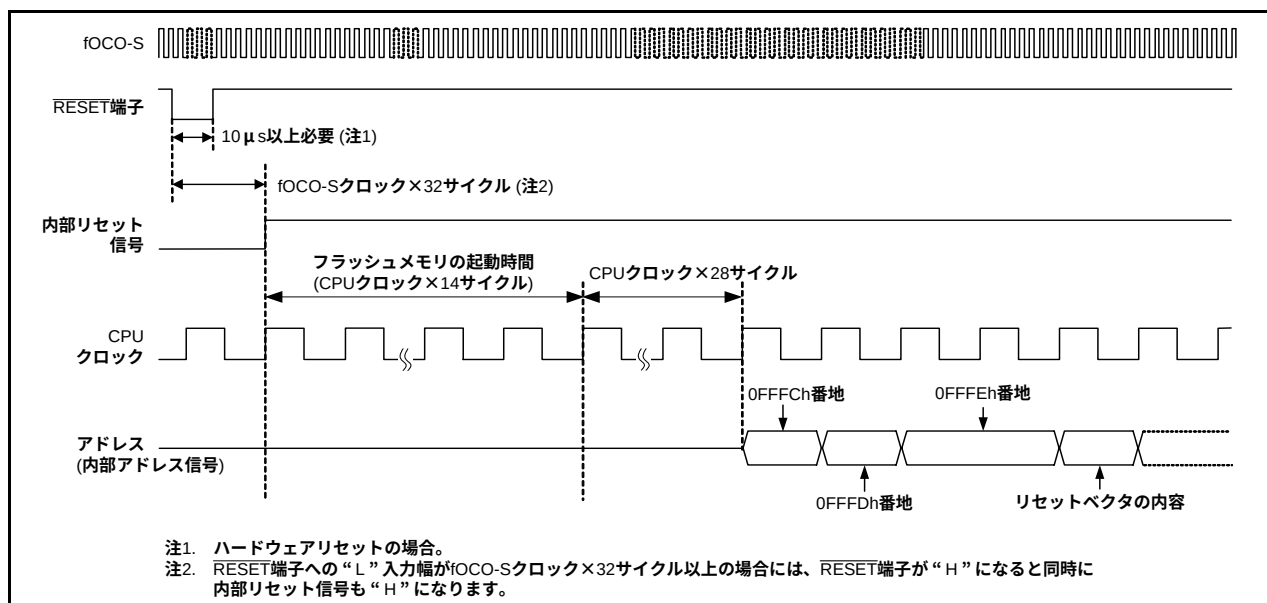


図5.3 リセットシーケンス

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFFh番地	出荷時の値 FFh(注2)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
— (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
— (b4)	予約ビット	“1” にしてください。	RW
— (b5)	予約ビット	“0” にしてください。	RW
— (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みをしないでください。

注2. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図5.4 OFSレジスタ

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2 RESET端子のレベルが“L”の期間の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.5にハードウェアリセット回路例と動作を、図5.6にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.1.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) $10\mu\text{s}$ 以上待つ
- (3) RESET端子に“H”を入力する

5.1.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「21. 電気的特性」参照)
- (4) $10\mu\text{s}$ 以上待つ
- (5) RESET端子に“H”を入力する

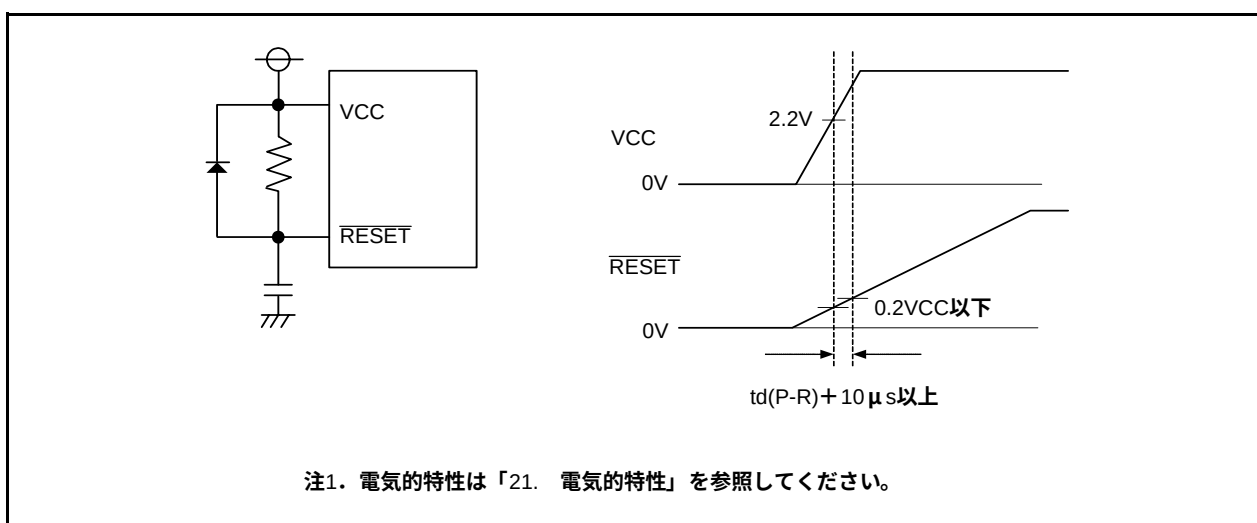


図5.5 ハードウェアリセット回路例と動作

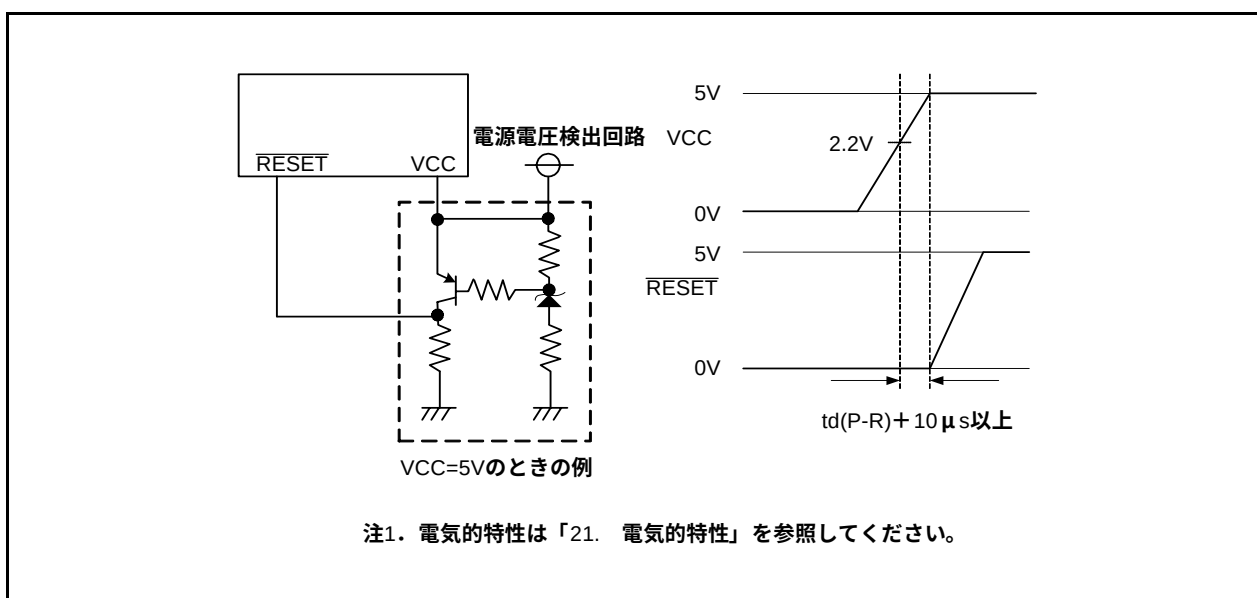


図5.6 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.2 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上がり傾き t_{rth} 以上で立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC端子に入力する電圧が最大2.6V以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(「図5.3 リセットシーケンス」参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

図5.7にパワーオンリセット回路例と動作を示します。

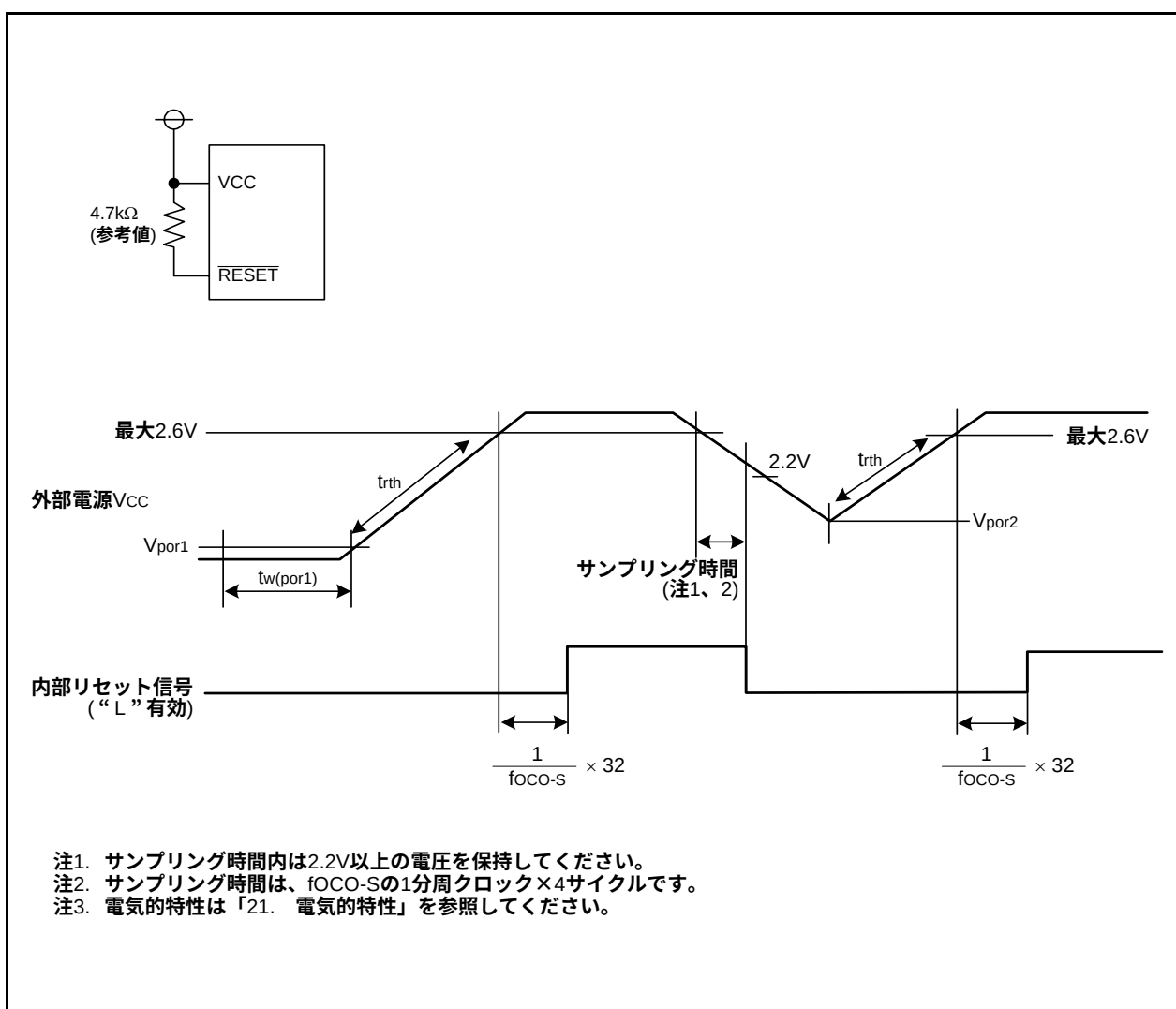


図5.7 パワーオンリセット回路例と動作

5.3 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet1です。

VCC端子に入力する電圧が下降してVdet1以下になると端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視1リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet1以下になると、内部RAMは不定となります。

電圧監視1リセットの詳細は「6. 電圧検出回路」を参照してください。

5.4 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VCC端子に入力する電圧が下降してVdet2以下になると、端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet2以下になると、内部RAMは不定となります。

電圧監視2リセットの詳細は「6. 電圧検出回路」を参照してください。

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視1割り込み、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表6.1に電圧検出回路の仕様を、図6.1～図6.3にブロック図を、図6.4～図6.6に関連レジスタを示します。

表6.1 電圧検出回路の仕様

項目		電圧検出1	電圧検出2
VCC監視	監視する電圧	Vdet1	Vdet2
	検出対象	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	モニタ	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VCA1レジスタのVCA13ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視1リセット Vdet1 > VCCでリセット； 一定時間後にCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット； 一定時間後にCPU動作再開
	割り込み	電圧監視1割り込み デジタルフィルタ有効時は Vdet1 > VCC、VCC > Vdet1の両方で割り込み要求； デジタルフィルタ無効時は Vdet1 > VCC、VCC > Vdet1のどちらかで割り込み要求	電圧監視2割り込み デジタルフィルタ有効時は Vdet2 > VCC、VCC > Vdet2の両方で割り込み要求； デジタルフィルタ無効時は Vdet2 > VCC、VCC > Vdet2のどちらかで割り込み要求
	デジタルフィルタ	有効/無効切り替え あり	あり
デジタルフィルタ	サンプリング時間	(fOCO-Sのn分周) × 4 n: 1、2、4、8	(fOCO-Sのn分周) × 4 n: 1、2、4、8

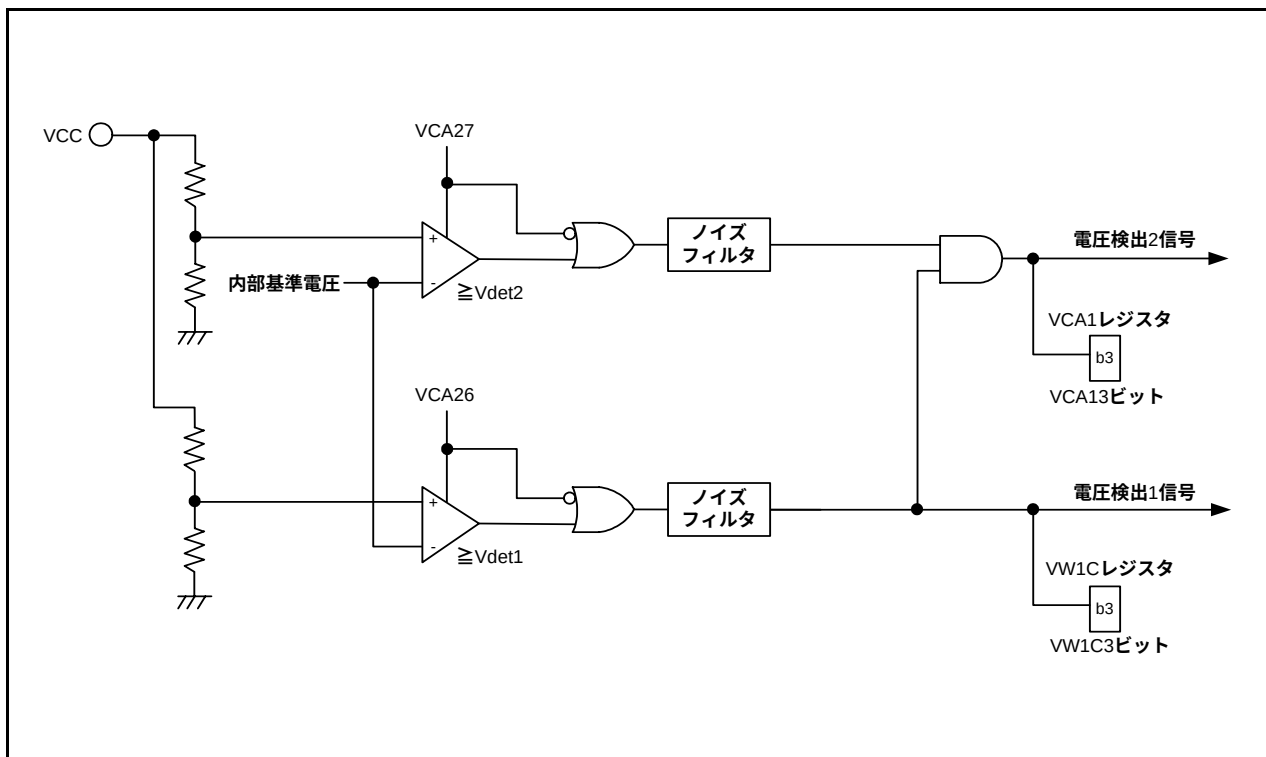


図6.1 電圧検出回路ブロック図

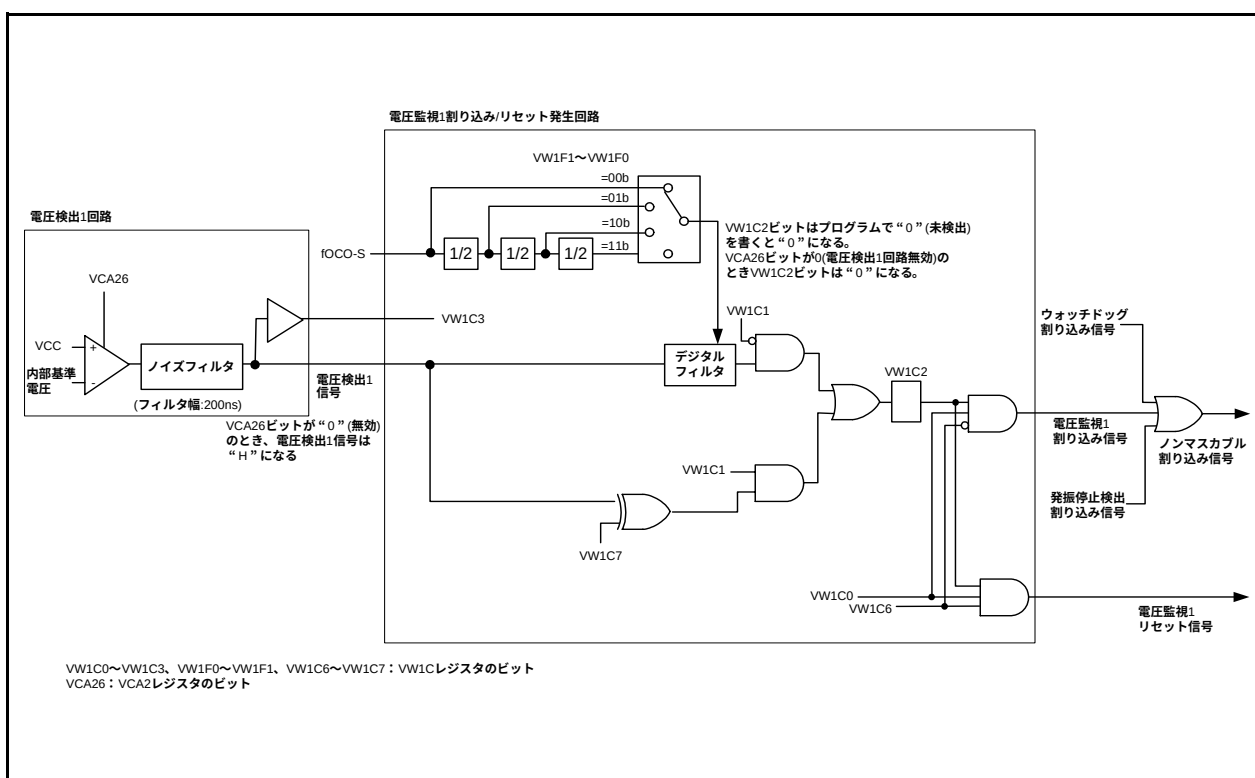


図6.2 電圧監視1割り込み/リセット発生回路のブロック図

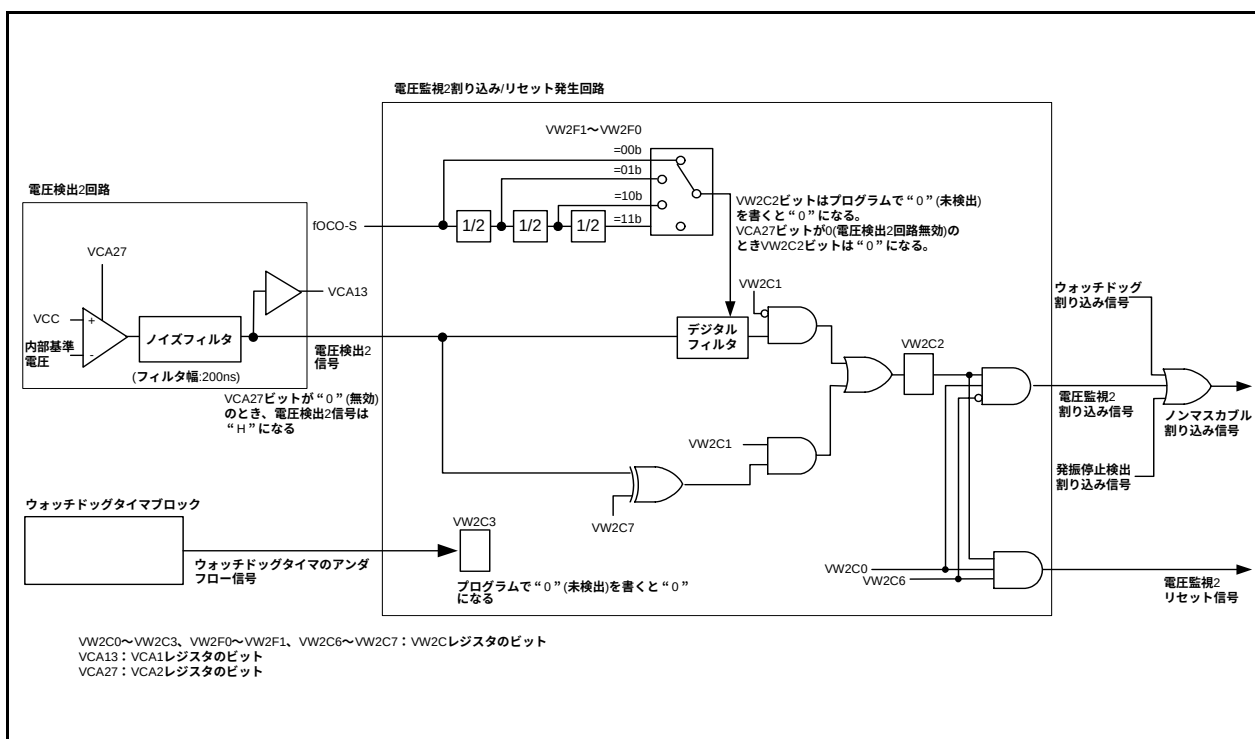


図6.3 電圧監視2割り込み/リセット発生回路のブロック図

電圧検出レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

0 0 0 0 0 0 0 0

シンボル

アドレス

リセット後の値(注2)

VCA1

0031h番地

00001000b

ビット
シンボル

ビット名

機能

RW

—
(b2-b0)

予約ビット

“0”にしてください

RW

VCA13

電圧検出2信号モニタフラグ
(注1)0: VCC < Vdet2
1: VCC ≥ Vdet2、または
電圧検出2回路無効

RO

—
(b7-b4)

予約ビット

“0”にしてください

RW

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC ≥ Vdet2)になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

電圧検出レジスタ2(注1)

b7 b6 b5 b4 b3 b2 b1 b0

1 0 0 0 0 0 0 0

シンボル

アドレス

リセット後の値(注4)

VCA2

0032h番地

パワーオンリセット
またはハードウェアリセット : 00100000bビット
シンボル

ビット名

機能

RW

VCA20

内部電源低消費電力許可ビット
(注5)0: 低消費電力禁止
1: 低消費電力許可

RW

—
(b4-b1)

予約ビット

“0”にしてください

RW

—
(b5)

予約ビット

“1”にしてください

RW

VCA26

電圧検出1許可ビット(注2)

0: 電圧検出1回路無効
1: 電圧検出1回路有効

RW

VCA27

電圧検出2許可ビット(注3)

0: 電圧検出2回路無効
1: 電圧検出2回路有効

RW

注1. VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 電圧監視1割り込み/リセットを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注3. 電圧監視2割り込み/リセットを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注4. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注5. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図10.8 VCA20ビットによる内部電源低消費操作手順」に従ってください。

図6.4 VCA1、VCA2レジスタ

電圧監視1回路制御レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
シンボル VW1C		アドレス 0036h番地		リセット後の値(注8) 00001000b			
ビット シンボル		ビット名		機能		RW	
VW1C0		電圧監視1割り込み/リセット 許可ビット(注6)		0：禁止 1：許可		RW	
VW1C1		電圧監視1デジタルフィルタ 無効モード選択ビット (注2)		0：デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1：デジタルフィルタ無効モード (デジタルフィルタ回路無効)		RW	
VW1C2		電圧変化検出フラグ (注3、4、8)		0：未検出 1：Vdet1通過検出		RW	
VW1C3		電圧検出1信号モニタフラグ (注3、8)		0：VCC<Vdet1 1：VCC≧Vdet1または電圧検出1回路無効		RO	
VW1F0		サンプリングクロック選択 ビット		b5 b4 0 0：fOCO-Sの1分周 0 1：fOCO-Sの2分周 1 0：fOCO-Sの4分周 1 1：fOCO-Sの8分周		RW	
VW1F1						RW	
VW1C6		電圧監視1回路モード選択 ビット(注5)		0：電圧監視1割り込みモード 1：電圧監視1リセットモード		RW	
VW1C7		電圧監視1割り込み/リセット 発生条件選択ビット (注7、9)		0：VCCがVdet1以上になるとき 1：VCCがVdet1以下になるとき		RW	

- 注1. VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. 電圧監視1割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW1C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW1C6ビットはVW1C0ビットが“1”(電圧監視1割り込み/リセット許可)のとき有効。
- 注6. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。
- 注7. VW1C7ビットはVW1C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。
- 注8. VW1C2ビットとVW1C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
- 注9. VW1C6ビットが“1”(電圧監視1リセットモード)のとき、VW1C7ビットは“1”(Vdet1以下になるとき)にしてください(“0”にしないでください)。

図6.5 VW1C レジスタ

電圧監視2回路制御レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル VW2C		アドレス 0037h番地		リセット後の値(注8) 00h			
ビット シンボル	ビット名		機能		RW		
VW2C0	電圧監視2割り込み/リセット許可 ビット(注6)		0: 禁止 1: 許可		RW		
VW2C1	電圧監視2デジタルフィルタ無効 モード選択ビット (注2)		0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)		RW		
VW2C2	電圧変化検出フラグ (注3、4、8)		0: 未検出 1: Vdet2通過検出		RW		
VW2C3	WDT検出フラグ (注4、8)		0: 未検出 1: 検出		RW		
VW2F0	サンプリングクロック選択 ビット		b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周		RW		
VW2F1					RW		
VW2C6	電圧監視2回路モード選択ビット (注5)		0: 電圧監視2割り込みモード 1: 電圧監視2リセットモード		RW		
VW2C7	電圧監視2割り込み/リセット発生 条件選択ビット (注7、9)		0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき		RW		

- 注1. VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。
- 注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効。
- 注6. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。
- 注7. VW2C7ビットはVW2C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。
- 注8. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
- 注9. VW2C6ビットが“1”(電圧監視2リセットモード)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

図6.6 VW2Cレジスタ

6.1 VCC入力電圧のモニタ

6.1.1 Vdet1のモニタ

VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にしてください。td(E-A)(「21. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットでVdet1をモニタできます。

6.1.2 Vdet2のモニタ

VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)(「21. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでVdet2をモニタできます。

6.2 電圧監視1割り込み、電圧監視1リセット

表6.2に電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順を、図6.7に電圧監視1割り込み、電圧監視1リセット動作例を示します。

なお、電圧監視1割り込みまたは電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視1割り込み	電圧監視1リセット	電圧監視1割り込み	電圧監視1リセット
1	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする			
2	td(E-A)待つ			
3	VW1CレジスタのVW1F0～VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW1CレジスタのVW1C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
4(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする		VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする
6	VW1CレジスタのVW1C2ビットを“0”(Vdet1通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		—	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		—(待ち時間なし)	
9	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み/リセット許可)にする。			

注1. 電圧監視1リセットではVW1C7ビットを“1”(Vdet1以下になるとき)にしてください。

注2. VW1C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

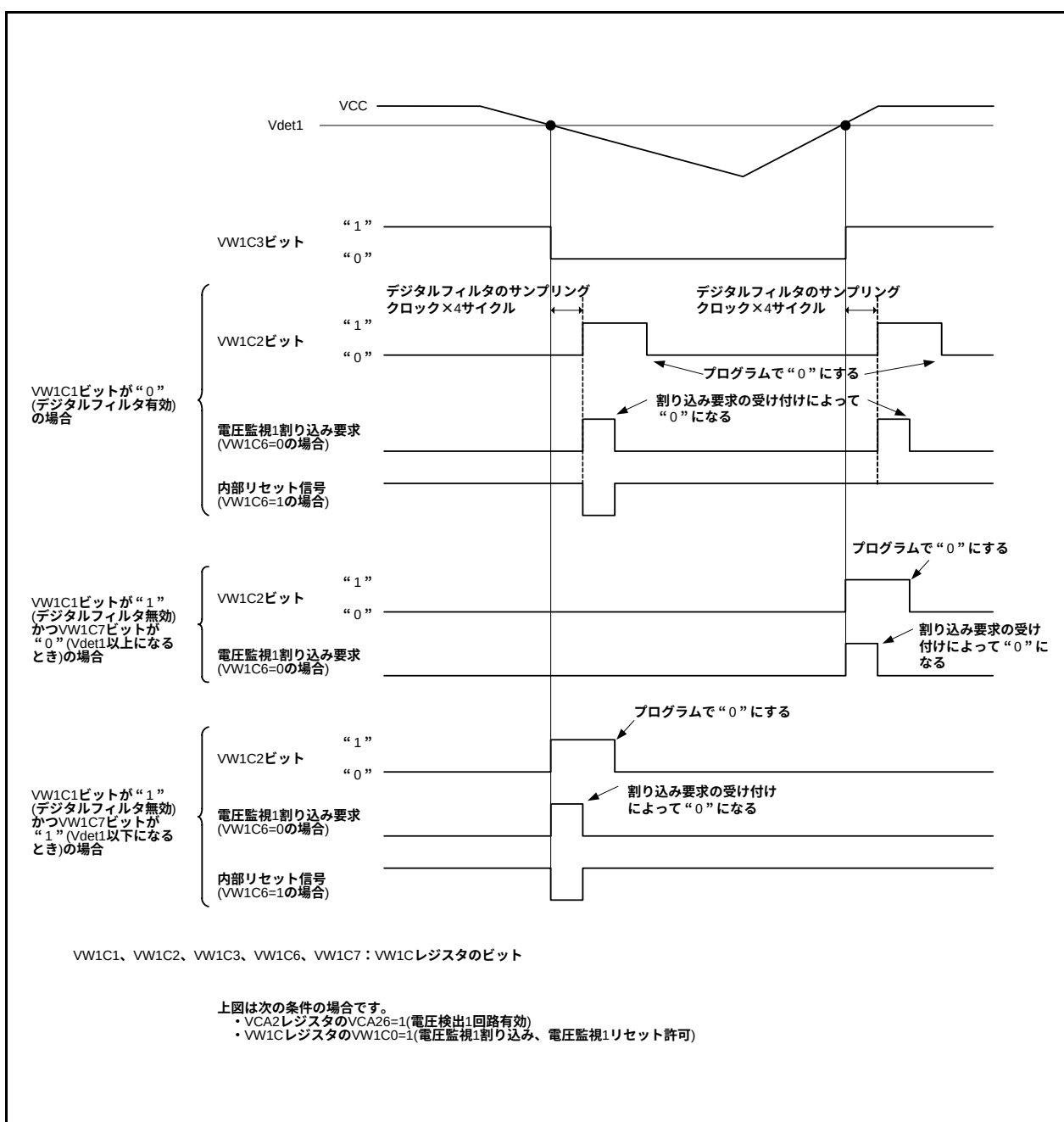


図6.7 電圧監視1割り込み、電圧監視1リセット動作例

6.3 電圧監視2割り込み、電圧監視2リセット

表6.3に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を、図6.8に電圧監視2割り込み、電圧監視2リセット動作例を示します。

なお、電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする			
2	td(E-A)待つ			
3	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
4(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする
6	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		－	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		－(待ち時間なし)	
9	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする。			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

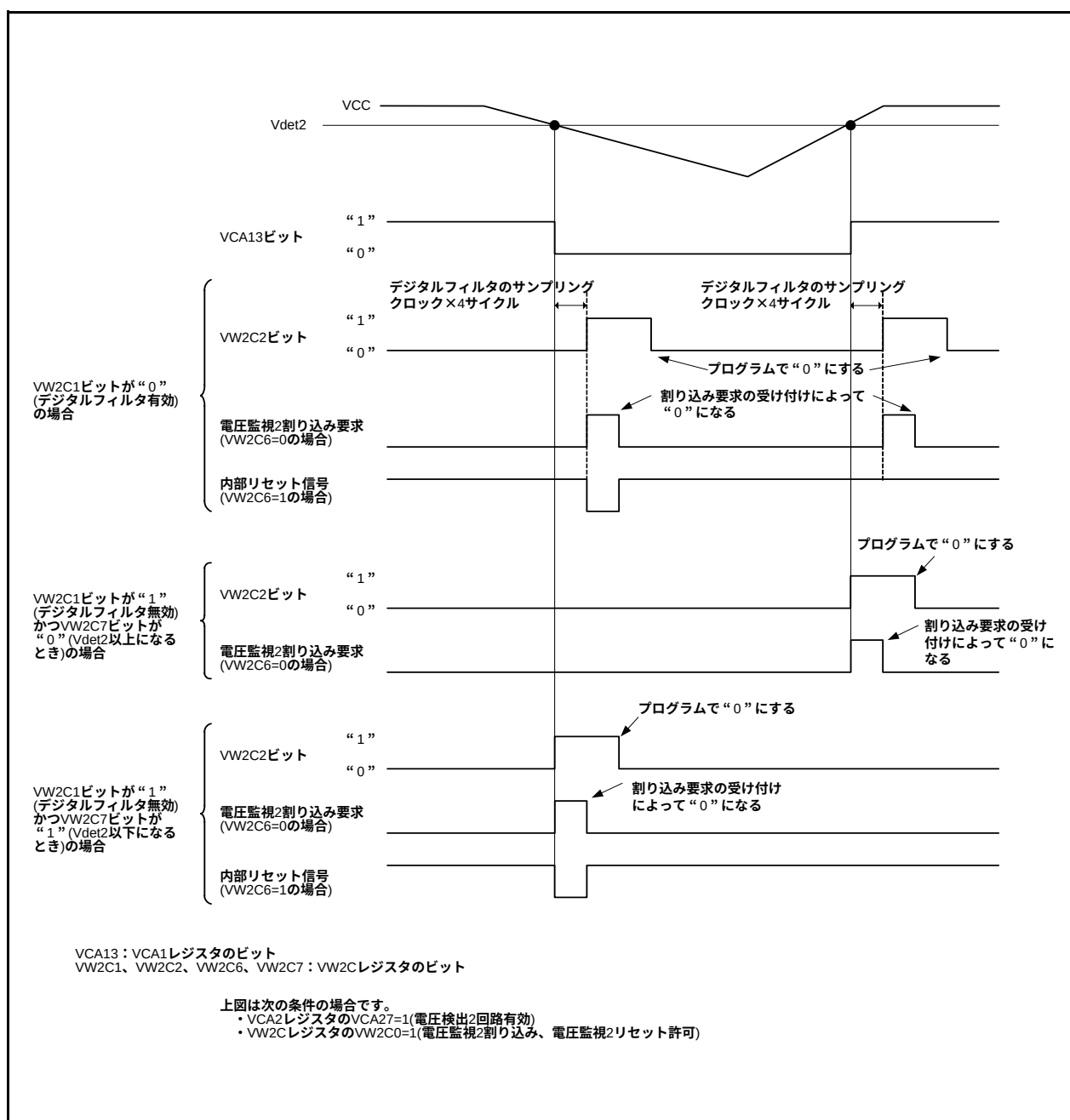


図6.8 電圧監視2割り込み、電圧監視2リセット動作例

7. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0、P1、P3_1、P3_3～P3_7、P4_5、P5_3、P5_4の25本あります。また、XINクロック発振回路を使用しない場合、P4_6、P4_7を、また、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表7.1にプログラマブル入出力ポートの概要を示します。

表7.1 プログラマブル入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗
P0、P1	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定 (注1)
P3_1、P3_3～P3_7	入出力	CMOS3ステート	1ビット単位で設定	2ビット、4ビット単位で設定 (注1)
P4_5	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定 (注1)
P5_3、P5_4	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定 (注1)
P4_2(注2) P4_6、P4_7(注3)	入力	(出力機能なし)	なし	なし

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

注3. XINクロック発振回路を使用しない場合、入力専用ポートとして使用できます。

7.1 プログラマブル入出力ポートの機能

ポートP0、P1、P3_1、P3_3～P3_7、P4_5、P5_3、P5_4の入出力はPDi(i=0、1、3～5)レジスタのPDi_j(j=0～7)ビットで制御します。Piレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.5にプログラマブル入出力ポートの構成を、表7.2にプログラマブル入出力ポートの機能を、図7.7にPDiレジスタを、図7.8にPiレジスタを、図7.9にPINSR2、PINSR3レジスタを、図7.10にPMRレジスタを、図7.11にPUR0、PUR1レジスタを、図7.12にP1DRRレジスタを示します。

表7.2 プログラマブル入出力ポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

i=0、1、3～5、j=0～7

注1. PD3_0ビット、PD3_2ビット、PD4_0～PD4_4ビット、PD4_6ビット、PD4_7ビットには何も配置されていません。

7.2 周辺機能への影響

プログラマブル入出力ポートは、周辺機能の入出力として機能する場合があります(「表 1.7 ピン番号別端子名一覧」)参照。

表 7.3 に周辺機能の入出力として機能する場合の PDi_j ビットの設定 (i=0、1、3～5、j=0～7) を示します。周辺機能の設定方法は、各機能説明を参照してください。

表 7.3 周辺機能の入出力として機能する場合の PDi_j ビットの設定 (i=0、1、3～5、j=0～7)

周辺機能の入出力	端子を共用しているポートの PDi _j ビットの設定
入力	“0” (入力モード) に設定してください
出力	“0” でも “1” でも良い (ポートの設定に関係なく、出力になる)

7.3 プログラマブル入出力ポート以外の端子

図 7.6 に端子の構成を示します。

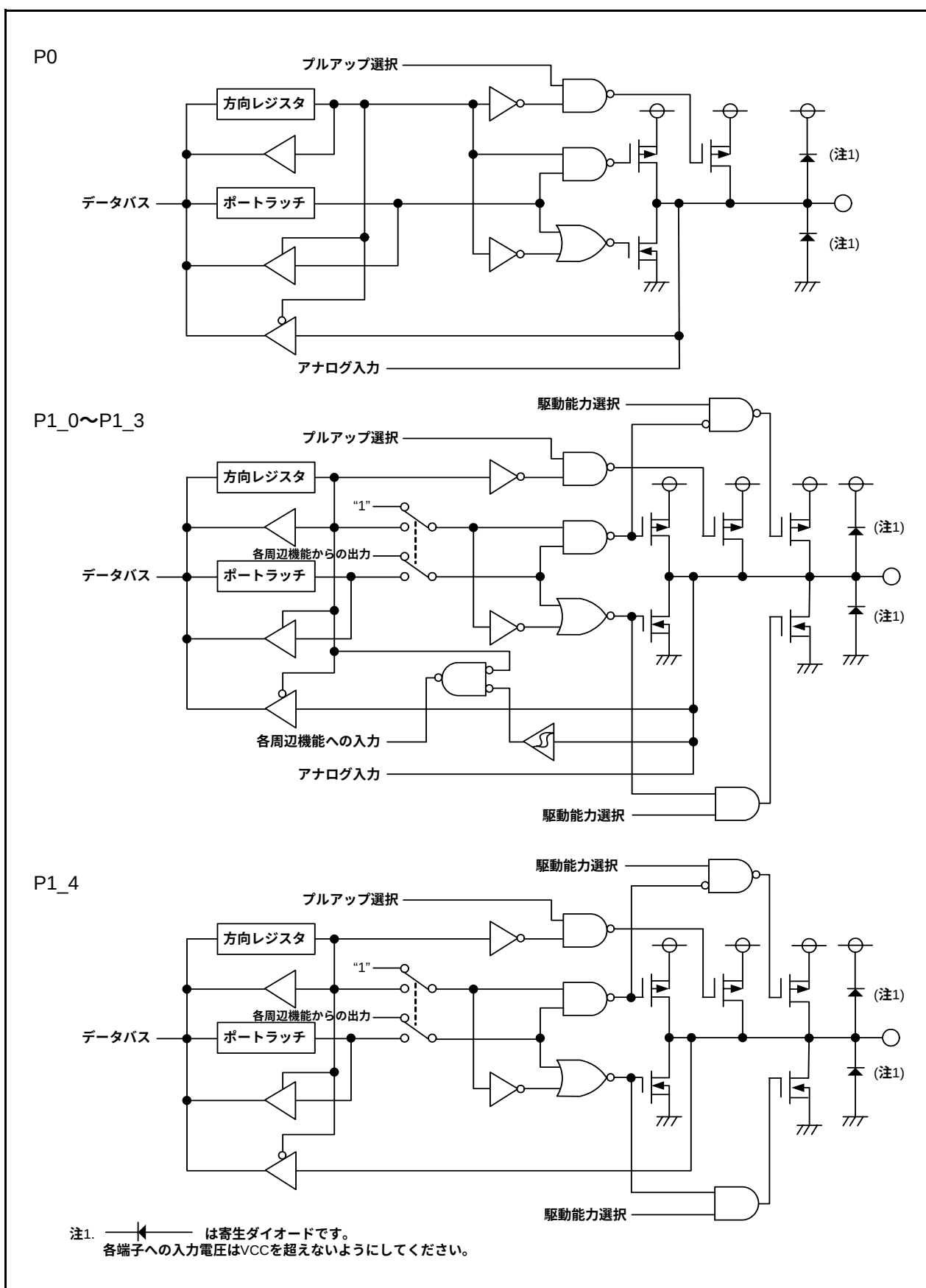


図7.1 プログラマブル入出力ポートの構成(1)

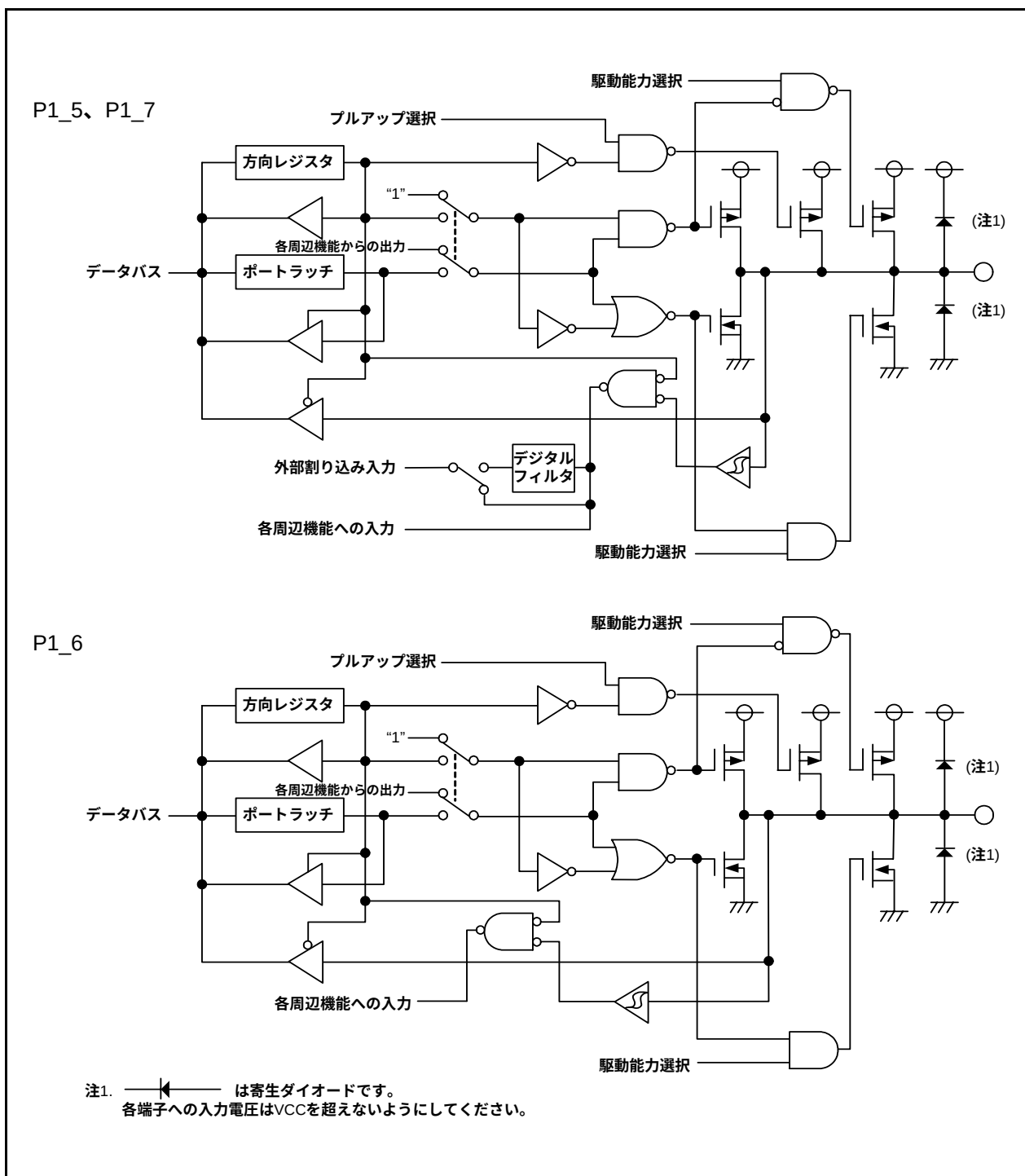


図7.2 プログラマブル入出力ポートの構成(2)

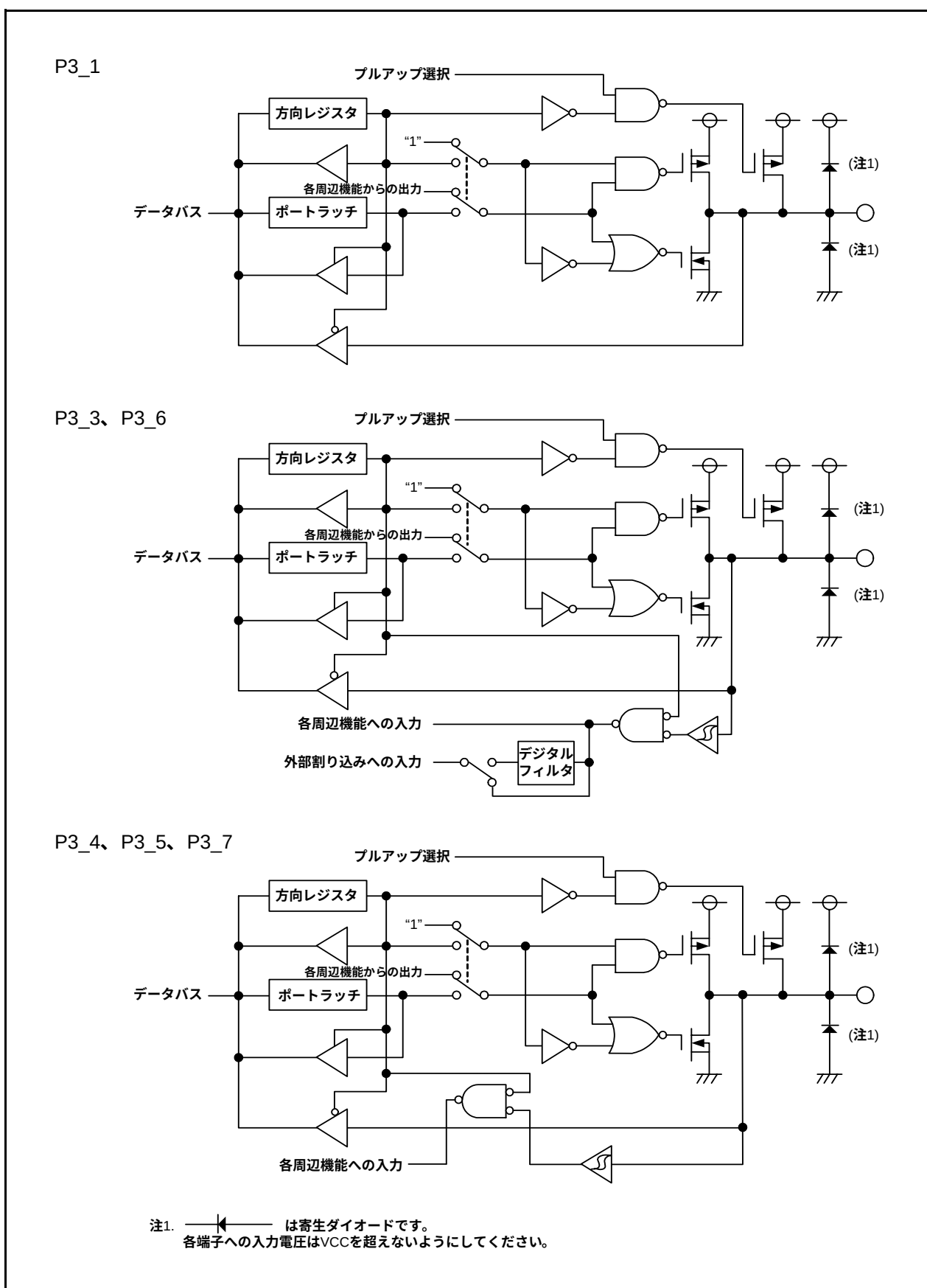


図 7.3 プログラマブル入出力ポートの構成 (3)

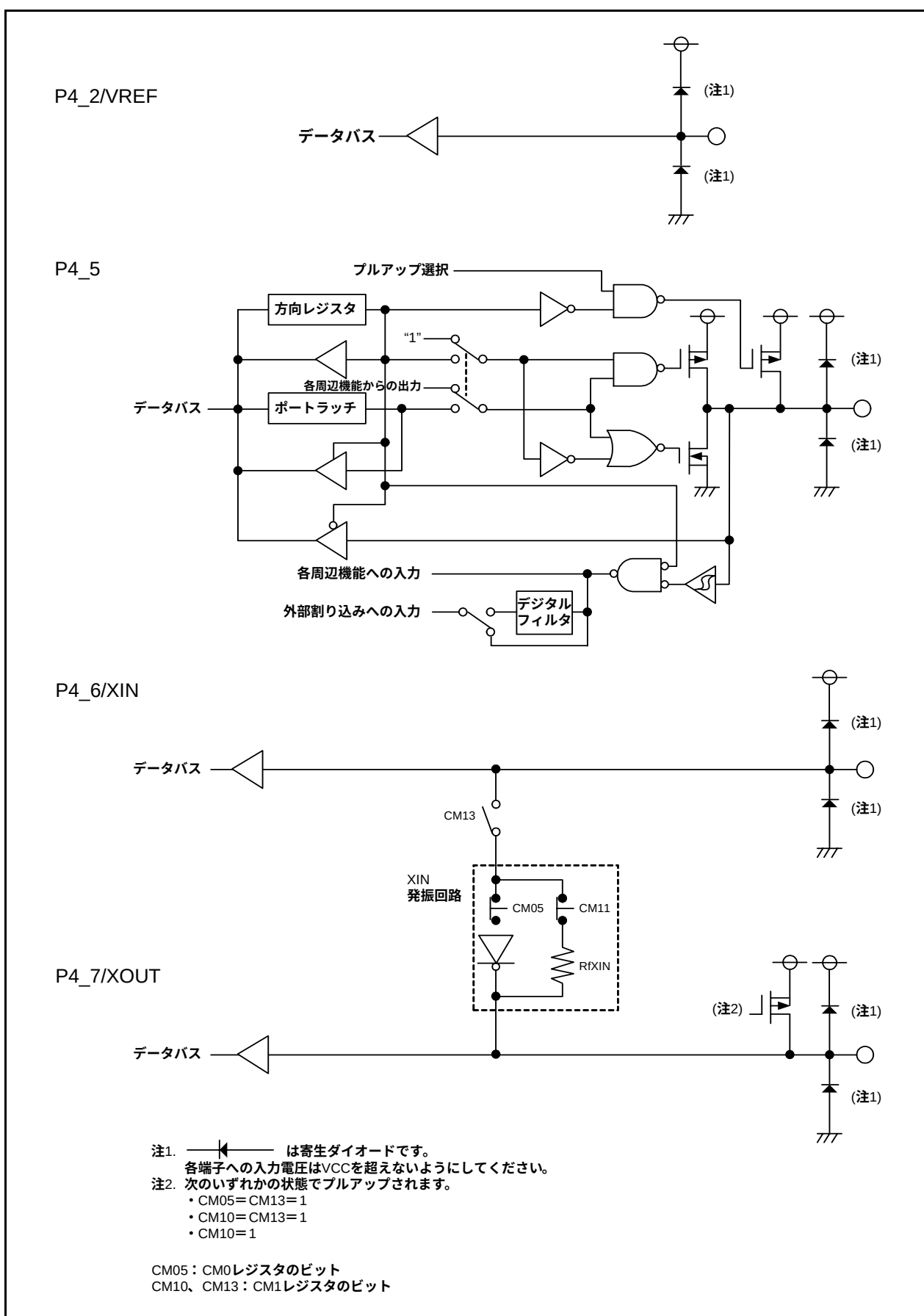


図 7.4 プログラマブル入出力ポートの構成(4)

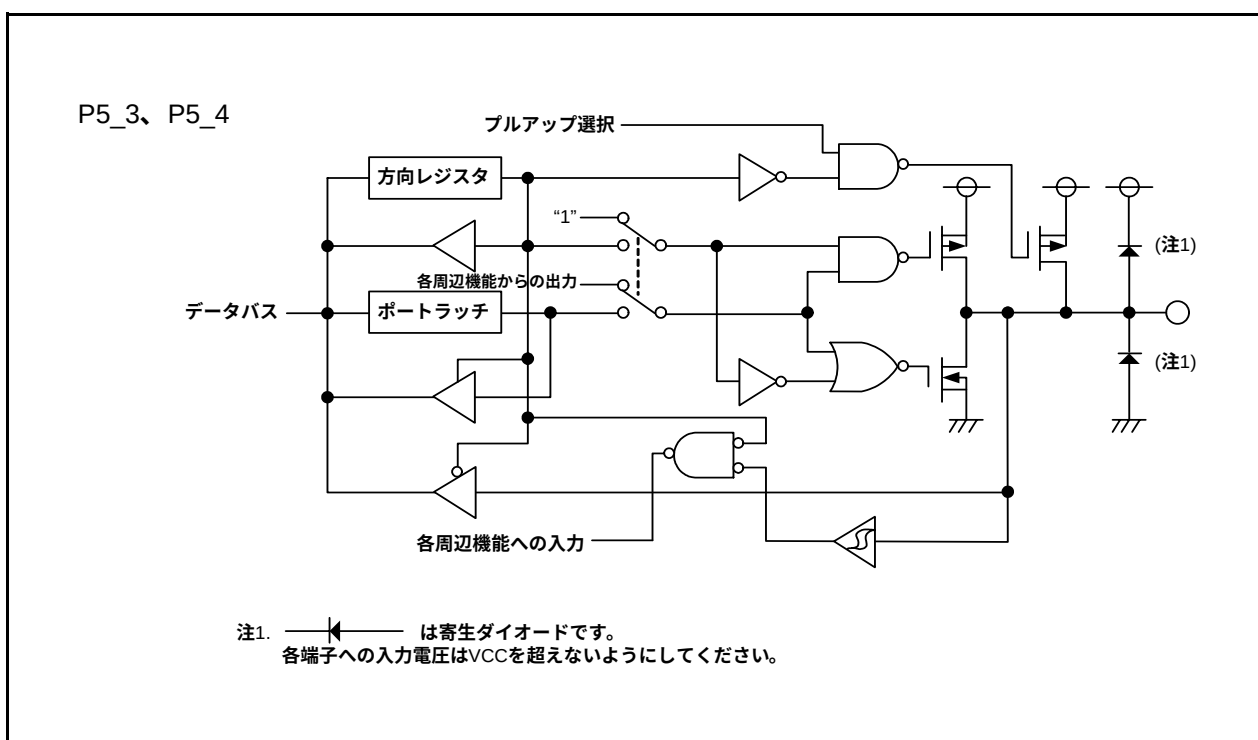


図7.5 プログラマブル入出力ポートの構成 (5)

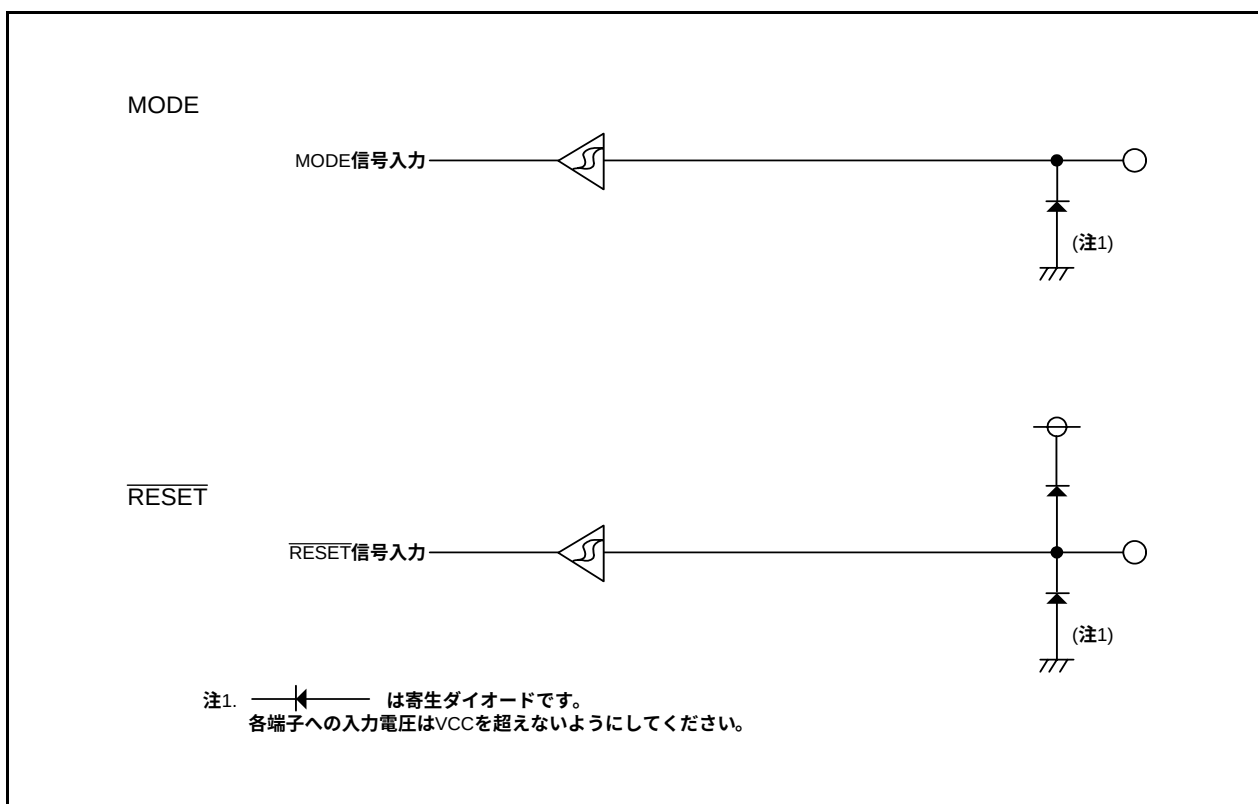


図7.6 端子の構成

ポートPi方向レジスタ(i=0、1、3~5)(注1、2、3、4)

b7	b6	b5	b4	b3	b2	b1	b0

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. PD3レジスタのPD3_0、PD3_2ビットは何も配置されていません。

PD3_0、PD3_2ビットに書く場合、“0”(入力モード)を書いてください。読んだ場合、その値は“0”です。

注3. PD4レジスタのPD4_0、PD4_1、PD4_3、PD4_4、PD4_6、PD4_7ビットは何も配置されていません。

PD4_0、PD4_1、PD4_3、PD4_4、PD4_6、PD4_7ビットに書く場合、“0”(入力モード)を書いてください。読んだ場合、その値は“0”です。

注4. PD5レジスタのPD5_0~PD5_2、PD5_5~PD5_7ビットは何も配置されていません。

PD5_0~PD5_2、PD5_5~PD5_7ビットに書く場合、“0”(入力モード)を書いてください。読んだ場合、その値は“0”です。

図7.7 PDiレジスタ

ポートPiレジスタ(i=0、1、3~5)(注1、2、3)

b7	b6	b5	b4	b3	b2	b1	b0

注1. P3レジスタのP3_0、P3_2ビットは何も配置されていません。

P3_0、P3_2ビットに書く場合、“0”(“L”レベル)を書いてください。読んだ場合、その値は“0”です。

注2. P4レジスタのP4_0~P4_4、P4_6、P4_7ビットは何も配置されていません。

P4_0~P4_4、P4_6、P4_7ビットに書く場合、“0”(“L”レベル)を書いてください。読んだ場合、その値は“0”です。

注3. P5レジスタのP5_0~P5_2、P5_5~P5_7ビットは何も配置されていません。

P5_0~P5_2、P5_5~P5_7ビットに書く場合、“0”(“L”レベル)を書いてください。読んだ場合、その値は“0”です。

図7.8 Piレジスタ

端子選択レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0
 0 0 0 0 0 0 0 0

シンボル
PINSR2

アドレス
00F6h番地

リセット後の値
00h

ビット シンボル	ビット名	機能	RW
— (b5-b0)	予約ビット	“0”を書いてください。読んだ場合、その値は“0”。	RW
TRBOSEL	TRBO端子選択ビット	0 : P3_1 1 : P1_3	RW
— (b7)	予約ビット	“0”を書いてください。読んだ場合、その値は“0”。	RW

端子選択レジスタ3

b7 b6 b5 b4 b3 b2 b1 b0
 X X 1 X X 1 1 1

シンボル
PINSR3

アドレス
00F7h番地

リセット後の値
00h

ビット シンボル	ビット名	機能	RW
— (b2-b0)	予約ビット	“1”を書いてください。読んだ場合、その値は“0”。	RW
TRCIOCSEL	TRCIOC端子選択ビット	0 : P5_3 1 : P3_4	RW
TRCIODSEL	TRCIOD端子選択ビット	0 : P5_4 1 : P3_5	RW
— (b5)	予約ビット	“1”を書いてください。読んだ場合、その値は“0”。	RW
— (b7-b6)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は“0”。		—

図7.9 PINSR2、PINSR3レジスタ

ポートモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0
 X 0 0 0 X X X

シンボル
PMR

アドレス
00F8h番地

リセット後の値
00h

ビット シンボル	ビット名	機能	RW
INT1SEL	INT1端子選択ビット	0 : P1_5、P1_7 1 : P3_6	RW
— (b3-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
— (b6-b4)	予約ビット	“0”にしてください	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

図7.10 PMRレジスタ

プルアップ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
		0	0				
シンボル		アドレス		リセット後の値			
PU00		00FCh番地		00h			
ビット シンボル	ビット名			機能		RW	
PU00	P0_0～P0_3のプルアップ(注1)			0：プルアップなし 1：プルアップあり		RW	
PU01	P0_4～P0_7のプルアップ(注1)					RW	
PU02	P1_0～P1_3のプルアップ(注1)					RW	
PU03	P1_4～P1_7のプルアップ(注1)					RW	
— (b5-b4)	予約ビット			“0”を書いてください。読んだ場合、その値は“0”。		RW	
PU06	P3_1、P3_3のプルアップ(注1)			0：プルアップなし 1：プルアップあり		RW	
PU07	P3_4～P3_7のプルアップ(注1)					RW	

注1. このビットが“1”(プルアップあり)かつ方向ビットが“0”(入力モード)の端子がプルアップされます。

プルアップ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
		0	0				0
シンボル		アドレス		リセット後の値			
PUR1		00FDh番地		00h			
ビット シンボル		ビット名		機能		RW	
- (b0)		予約ビット		“0”を書いてください。読んだ場合、その値は“0”。		RW	
PU11		P4_5のプルアップ(注1)		0：プルアップなし 1：プルアップあり		RW	
PU12		P5_3のプルアップ(注1)				RW	
PU13		P5_4のプルアップ(注1)				RW	
- (b5-b4)		予約ビット		“0”を書いてください。読んだ場合、その値は“0”。		RW	
- (b7-b6)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。				—	

注1. このビットが“1”(プルアップあり)かつ方向ビットが“0”(入力モード)の端子がプルアップされます。

図7.11 PUR0、PUR1レジスタ

ポートP1駆動能力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
シンボル		アドレス		リセット後の値			
P1DRR		00FEh番地		00h			
ビット シンボル		ビット名		機能		RW	
P1DRR0		P1_0の駆動能力		P1の出力トランジスタの駆動能力設定を行う 0：LOW 1：HIGH(注1)		RW	
P1DRR1		P1_1の駆動能力				RW	
P1DRR2		P1_2の駆動能力				RW	
P1DRR3		P1_3の駆動能力				RW	
P1DRR4		P1_4の駆動能力				RW	
P1DRR5		P1_5の駆動能力				RW	
P1DRR6		P1_6の駆動能力				RW	
P1DRR7		P1_7の駆動能力				RW	

注1. H出力、L出力ともにHIGH駆動能力に設定されます。

図7.12 P1DRRレジスタ

7.4 ポートの設定

表7.4～表7.39にポートの設定を示します。

表7.4 ポートP0_0/AN7

レジスタ	PD0	ADCON0				機能
ビット	PD0_0	CH2	CH1	CH0	ADGSEL0	
設定値	0	1110b以外				入力ポート(注1)
	1	1110b以外				出力ポート
	0	1	1	1	0	A/Dコンバータ入力(AN7)

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.5 ポートP0_1/AN6

レジスタ	PD0	ADCON0				機能
ビット	PD0_1	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	1	1	0	0	A/Dコンバータ入力(AN6)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.6 ポートP0_2/AN5/ACMP1

レジスタ	PD0	ADCON0				ACCR1	機能
ビット	PD0_2	CH2	CH1	CH0	ADGSEL0	CM1E	
設定値	0	X	X	X	X	0	入力ポート(注1)
	1	X	X	X	X	0	出力ポート
	0	1	0	1	0	0	A/Dコンバータ入力(AN5)
	0	X	X	X	x	1	ACMP1入力

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.7 ポートP0_3/AN4/AVREF1

レジスタ	PD0	ADCON0				ACCR1		機能
ビット	PD0_3	CH2	CH1	CH0	ADGSEL0	CM1E	VR1SEL	
設定値	0	X	X	X	X	0	X	入力ポート(注1)
	1	X	X	X	X	0	X	出力ポート
	0	1	0	0	0	0	X	A/Dコンバータ入力(AN4)
	0	X	X	X	X	1	1	
	0	X	X	X	X	1	0	AVREF1入力

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表 7.8 ポート P0_4/AN3/TREO/ACMP0

レジスタ	PD0	TRECR1	ADCON0				ACCR0	機能
ビット	PD0_4	TOENA	CH2	CH1	CH0	ADGSEL0	CM0E	
設定値	0	0	X	X	X	X	0	入力ポート (注1)
	1	0	X	X	X	X	0	出力ポート
	0	0	0	1	1	0	0	A/D コンバータ入力 (AN3)
	X	1	X	X	X	X	0	TREO 出力
	0	0	X	X	X	X	1	ACMP0 入力

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表 7.9 ポート P0_5/AN2/AVREF0

レジスタ	PD0	ADCON0				ACCR0		機能
ビット	PD0_5	CH2	CH1	CH0	ADGSEL0	CM0E	VR0SEL	
設定値	0	X	X	X	X	0	X	入力ポート (注1)
		X	X	X	X	0	X	
	1	X	X	X	X	0	X	出力ポート
	0	0	1	0	0	0	X	A/D コンバータ入力 (AN2)
						1	1	
	0	X	X	X	X	1	0	AVREF0 入力

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表 7.10 ポート P0_6/AN1/DA0

レジスタ	PD0	ADCON0				DACON	ACCR0	機能
ビット	PD0_6	CH2	CH1	CH0	ADGSEL0	DA0E	VR0SEL	
設定値	0	X	X	X	X	0	X	入力ポート (注1)
						1	1	
	1	X	X	X	X	0	X	出力ポート
						1	1	
	0	0	0	1	0	0	X	A/D コンバータ入力 (AN1)
						1	1	
	0	X	X	X	X	1	0	DA0 出力
						1	0	

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表 7.11 ポート P0_7/AN0/DA1

レジスタ	PD0	ADCON0				DACON	ACCR1	機能
ビット	PD0_7	CH2	CH1	CH0	ADGSEL0	DA1E	VR1SEL	
設定値	0	X	X	X	X	0	X	入力ポート (注1)
						1	1	
	1	X	X	X	X	0	X	出力ポート
						1	1	
	0	0	0	0	0	0	X	A/D コンバータ入力 (AN0)
						1	1	
	0	X	X	X	X	1	0	DA1 出力
						1	0	

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表 7.12 ポート P1_0/KI0/AN8

レジスタ	PD1	KIEN	ADCON0				機能
ビット	PD1_0	KI0EN	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	X	X	X	X	入力ポート(注1)
	1	0	X	X	X	X	出力ポート
	0	1	X	X	X	X	KI0入力(注1)
	0	0	1	0	0	1	A/Dコンバータ入力(AN8)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表 7.13 ポート P1_1/KI1/AN9/TRCIOA/TRCTRG

レジスタ	PD1	KIEN	タイマRC設定	ADCON0				機能
ビット	PD1_1	KI1EN	—	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	TRCIOA使用条件以外	X	X	X	X	入力ポート(注1)
	1	0	TRCIOA使用条件以外	X	X	X	X	出力ポート
	0	0	TRCIOA使用条件以外	1	0	1	1	A/Dコンバータ入力(AN9)
	0	1	TRCIOA使用条件以外	X	X	X	X	KI1入力(注1)
	X	0	「表 7.14 TRCIOA端子設定」参照	X	X	X	X	TRCIOA出力
	0	0	「表 7.14 TRCIOA端子設定」参照	X	X	X	X	TRCIOA入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表 7.14 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG2	
設定値	0	1	0	0	1	X	X	タイマ波形出力(アウトプット コンペア機能)
			0	1	X	X	X	
	0	1	1	X	X	X	X	タイマモード(インプットキャ プチャ機能)
	1					X	X	
	0	0	X	X	X	0	1	PWM2 モード TRCTRG 入力
	1					1	X	
	上記以外							

X:“0”または“1”

表7.15 ポートP1_2/KI2/AN10/TRCIOB

レジスタ	PD1	KIEN	タイマRC設定	ADCON0				機能
ビット	PD1_2	KI2EN	—	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	TRCIOB使用条件以外	X	X	X	X	入力ポート(注1)
	1	0	TRCIOB使用条件以外	X	X	X	X	出力ポート
	0	0	TRCIOB使用条件以外	1	1	0	1	A/Dコンバータ入力(AN10)
	0	1	TRCIOB使用条件以外	X	X	X	X	KI2入力(注1)
	X	0	「表7.16 TRCIOB端子設定」参照	X	X	X	X	TRCIOB出力
	0	0	「表7.16 TRCIOB端子設定」参照	X	X	X	X	TRCIOB入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.16 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	X	X	X	X	PWM2モード波形出力
	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
				0	1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						
	上記以外						TRCIOB使用条件以外

X:“0”または“1”

表7.17 ポートP1_3/KI3/AN11/(TRBO)

レジスタ	PD1	KIEN	タイマRB設定	ADCON0				機能
ビット	PD1_3	KI3EN	—	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	TRBO使用条件以外	X	X	X	X	入力ポート(注1)
	1	0	TRBO使用条件以外	X	X	X	X	出力ポート
	0	0	TRBO使用条件以外	1	1	1	1	A/Dコンバータ入力(AN11)
	0	1	TRBO使用条件以外	X	X	X	X	KI3入力(注1)
	X	0	「表7.18 TRBO端子設定」参照	X	X	X	X	TRBO出力

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.18 TRBO端子設定

レジスタ	PINSR2	TRBIOC	TRBMR		機能
ビット	TRBOSEL	TOCNT(注1)	TMOD1	TMOD0	
設定値	1	0	0	1	プログラマブル波形発生モード
	1	0	1	0	プログラマブルワンショット発生モード
	1	0	1	1	プログラマブルウェイトワンショット発生モード
	1	1	0	1	P1_3出力ポート
	上記以外				TRBO使用条件以外

X:“0”または“1”

注1. TRBIOCレジスタのTOCNTビットは、プログラマブル波形発生モード以外では“0”にしてください。

表 7.19 ポート P1_4/TXD0

レジスタ	PD1	U0MR			機能
ビット	PD1_4	SMD2	SMD1	SMD0	
設定値	0	0	0	0	入力ポート(注1)
	1	0	0	0	出力ポート
	X	0	0	1	TXD0出力(注2)
		1	0	0	
		1	0	1	
		1	1	0	

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. U0C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表 7.20 ポート P1_5/RXD0/(TRAIO)/(INT1)

レジスタ	PD1	TRAIOC		TRAMR			INTEN	機能
ビット	PD1_5	TIOSEL	TOPCR (注3)	TMOD2	TMOD1	TMOD0	INT1EN	
設定値	0	0	X	X	X	X	X	入力ポート(注1)
		1	1	0	0	1	0	
		1	0	0	0	0	0	
	1	0	X	X	X	X	X	出力ポート
		1	0	0	0	0	X	
	0	0	X	X	X	X	X	RXD0入力(注1)
		1	0	001b以外			0	
		1	0	000b、001b以外			0	TRAIO入力(注1)
		1	0	0	0	0	1	INT1(注2)
		1	1	0	0	1	1	
		1	0	000b、001b以外			1	TRAIO入力/INT1(注1、2)
	X	1	0	0	0	1	X	TRAIOパルス出力

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. PMRレジスタのINT1SELビットを“0”(P1_5、P1_7)にしてください。

注3. TRAIOCレジスタのTOPCRビットは、パルス出力モード以外では“0”にしてください。

表 7.21 ポート P1_6/CLK0

レジスタ	PD1	U0MR				機能
ビット	PD1_6	CKDIR	SMD2	SMD1	SMD0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	001b以外			出力ポート
	X	0	0	0	1	CLK0出力
	0	1	X	X	X	CLK0入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

表7.22 ポートP1_7/TRAIO/INT1

レジスタ	PD1	TRAIOC		TRAMR			INTEN	機能
ビット	PD1_7	TIOSEL	TOPCR (注3)	TMOD2	TMOD1	TMOD0	INT1EN	
設定値	0	1	X	X	X	X	X	入力ポート(注1)
		0	1	0	0	1	0	
		0	0	0	0	0	0	
	1	1	X	X	X	X	X	出力ポート
		0	0	0	0	0	X	
	0	0	0	000b、001b以外			0	TRAIO入力(注1)
		0	0	0	0	0	1	INT1(注2)
		0	1	0	0	1	1	
		0	0	000b、001b以外			1	TRAIO入力/INT1(注1、2)
	X	0	0	0	0	1	X	TRAIOパルス出力

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. PMRレジスタのINT1SELビットを“0”(P1_5、P1_7)にしてください。

注3. TRAIOCレジスタのTOPCRビットは、パルス出力モード以外では“0”にしてください。

表7.23 ポートP3_1/TRBO

レジスタ	PD3	タイマRB設定	機能
ビット	PD3_1	—	
設定値	0	TRBO使用条件以外	入力ポート(注1)
	1	TRBO使用条件以外	出力ポート
	X	「表7.24 TRBO端子設定」参照	TRBO出力

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

表7.24 TRBO端子設定

レジスタ	PINSR2	TRBIOC	TRBMR		機能
ビット	TRBOSEL	TOCNT(注1)	TMOD1	TMOD0	
設定値	0	0	0	1	プログラマブル波形発生モード
	0	0	1	0	プログラマブルワンショット発生モード
	0	0	1	1	プログラマブルウェイトワンショット発生モード
	0	1	1	0	P3_1出力ポート
	上記以外				TRBO使用条件以外

注1. TRBIOCレジスタのTOCNTビットは、プログラマブル波形発生モード以外では“0”にしてください。

表 7.25 ポート P3_3/INT3/TRCCLK

レジスタ	PD3	TRCCR1			INTEN	機能
ビット	PD3_3	TCK2	TCK1	TCK0	INT3EN	
設定値	0	101b以外			0	入力ポート(注1)
	1	101b以外			0	出力ポート
	0	101b以外			1	INT3入力(注1)
	0	1	0	1	0	TRCCLK入力(注1)

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

表 7.26 ポート P3_4/(TRCIOC)

レジスタ	PD3	タイマRC設定	機能
ビット	PD3_4	—	
設定値	0	TRCIOC使用条件以外	入力ポート(注1)
		TRCIOC使用条件以外	
	1	TRCIOC使用条件以外	出力ポート
		TRCIOC使用条件以外	
	X	「表 7.27 TRCIOC端子設定」参照	TRCIOC出力
	0	「表 7.27 TRCIOC端子設定」参照	TRCIOC入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

表 7.27 TRCIOC端子設定

レジスタ	PINSR3	TRCOER	TRCMR		TRCIOR1			機能
ビット	TRCIOCSEL	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	1	0	1	1	X	X	X	PWM モード波形出力
	1	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
	1				0	1	X	
	1	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1	1						
	上記以外							TRCIOC 使用条件以外

X:“0”または“1”

表 7.28 ポート P3_5/(TRCIOD)

レジスタ	PD3	タイマRC設定	機能
ビット	PD3_5	—	
設定値	0	TRCIOD使用条件以外	入力ポート(注1)
	1	TRCIOD使用条件以外	出力ポート
	X	「表 7.29 TRCIOD 端子設定」参照	TRCIOD 出力
	0	「表 7.29 TRCIOD 端子設定」参照	TRCIOD 入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

表 7.29 TRCIOD 端子設定

レジスタ	PINSR3	TRCOER	TRCMR		TRCIOR1			機能
ビット	TRCIODSEL	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	1	0	1	1	X	X	X	PWMモード波形出力
	1	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
	1				0	1	X	
	1	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1	1						
	上記以外							TRCIOD使用条件以外

X:“0”または“1”

表 7.30 ポート P3_6/(INT1)

レジスタ	PD3	INTEN	機能
ビット	PD3_6	INT1EN	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	0	1	INT1入力(注1、2)

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. PMRレジスタのINT1SELビットを“1”(P3_6)にしてください。

表 7.31 ポート P3_7/TRAO

レジスタ	PD3	TRAMR	機能
ビット	PD3_7	TOENA	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	X	1	TRAO出力

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

表7.32 ポートP4_2/VREF

レジスタ	ADCON1	機能
ビット	VCUT	
設定値	0	入力ポート
	1	入力ポート/VREF入力

表7.33 ポートP4_5/ $\overline{\text{INT0}}$

レジスタ	PD4	INTEN	機能
ビット	PD4_5	INT0EN	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	0	1	$\overline{\text{INT0}}$ 入力(注1)

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

表7.34 ポートP4_6/XIN

レジスタ	CM0	CM1			回路仕様		機能
ビット	CM05	CM13	CM11	CM10	発振バッファ	帰還抵抗	
設定値	1	0	X	0	OFF	—	入力ポート
	0	1	0	0	ON	ON	XINクロック発振(内蔵帰還抵抗有効)
			1		ON	OFF	XINクロック発振(内蔵帰還抵抗無効)
	0		OFF		ON	外部クロック入力	
	0		OFF		ON	XINクロック発振停止(内蔵帰還抵抗有効)	
	1		OFF		OFF	XINクロック発振停止(内蔵帰還抵抗無効)	
	1		1	OFF	OFF	XINクロック発振停止(STOPモード)	

X:“0”または“1”

表7.35 ポートP4_7/XOUT

レジスタ	CM0	CM1			回路仕様		機能
ビット	CM05	CM13	CM11	CM10	発振バッファ	帰還抵抗	
設定値	1	0	X	0	OFF	—	入力ポート
	0	1	0	0	ON	ON	XINクロック発振(内蔵帰還抵抗有効)
			1		ON	OFF	XINクロック発振(内蔵帰還抵抗無効)
	0		OFF		ON	外部クロック入力	
	0		OFF		ON	XINクロック発振停止(内蔵帰還抵抗有効)	
	1		OFF		OFF	XINクロック発振停止(内蔵帰還抵抗無効)	
	1		1	OFF	OFF	XOUTプルアップ	

X:“0”または“1”

表 7.36 ポート P5_3/TRCIOC/ACOUT0

レジスタ	PD5	タイマRC設定	ACCR0	機能
ビット	PD5_3	—	CM0OE	
設定値	0	TRCIOC使用条件以外	0	入力ポート(注1)
	1	TRCIOC使用条件以外	0	出力ポート
	X	「表 7.37 TRCIOC 端子設定」参照	0	TRCIOC 出力
	0	「表 7.37 TRCIOC 端子設定」参照	0	TRCIOC 入力(注1)
	X	TRCIOC使用条件以外	1	ACOUT0 出力

X:“0”または“1”

注1. PUR1レジスタのPU12ビットを“1”にすると、プルアップありとなります。

表 7.37 TRCIOC 端子設定

レジスタ	PINSR3	TRCOER	TRCMR		TRCIOR1			機能
ビット	TRCIOSEL	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	0	1	1	X	X	X	PWM モード波形出力
	0	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
	0				0	1	X	
	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	0	1						
	上記以外							TRCIOC 使用条件以外

X:“0”または“1”

表 7.38 ポート P5_4/TRCIOD/ACOUT1

レジスタ	PD5	タイマRC設定	ACCR1	機能
ビット	PD5_4	—	CM1OE	
設定値	0	TRCIOD使用条件以外	0	入力ポート(注1)
	1	TRCIOD使用条件以外	0	出力ポート
	X	「表 7.39 TRCIOD 端子設定」参照	0	TRCIOD 出力
	0	「表 7.39 TRCIOD 端子設定」参照	0	TRCIOD 入力(注1)
	X	TRCIOD使用条件以外	1	ACOUT1 出力

X:“0”または“1”

注1. PUR1レジスタのPU13ビットを“1”にすると、プルアップありとなります。

表 7.39 TRCIOD 端子設定

レジスタ	PINSR3	TRCOER	TRCMR		TRCIOR1			機能
ビット	TRCIODSEL	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	0	1	1	X	X	X	PWM モード波形出力
	0	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
	0				0	1	X	
	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	0	1						
	上記以外							TRCIOD 使用条件以外

X:“0”または“1”

7.5 未使用端子の処理

表7.40に未使用端子の処理例を示します。

表7.40 未使用端子の処理例

端子名	処理内容
ポートP0、P1、P3_1、 P3_3～P3_7、P4_3～ P4_5、P5_3、P5_4	- 入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) - 出力モードに設定し、端子を開放(注1、2)
ポートP4_6、P4_7	抵抗を介してVCCに接続(プルアップ)(注2)
ポートP4_2/VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

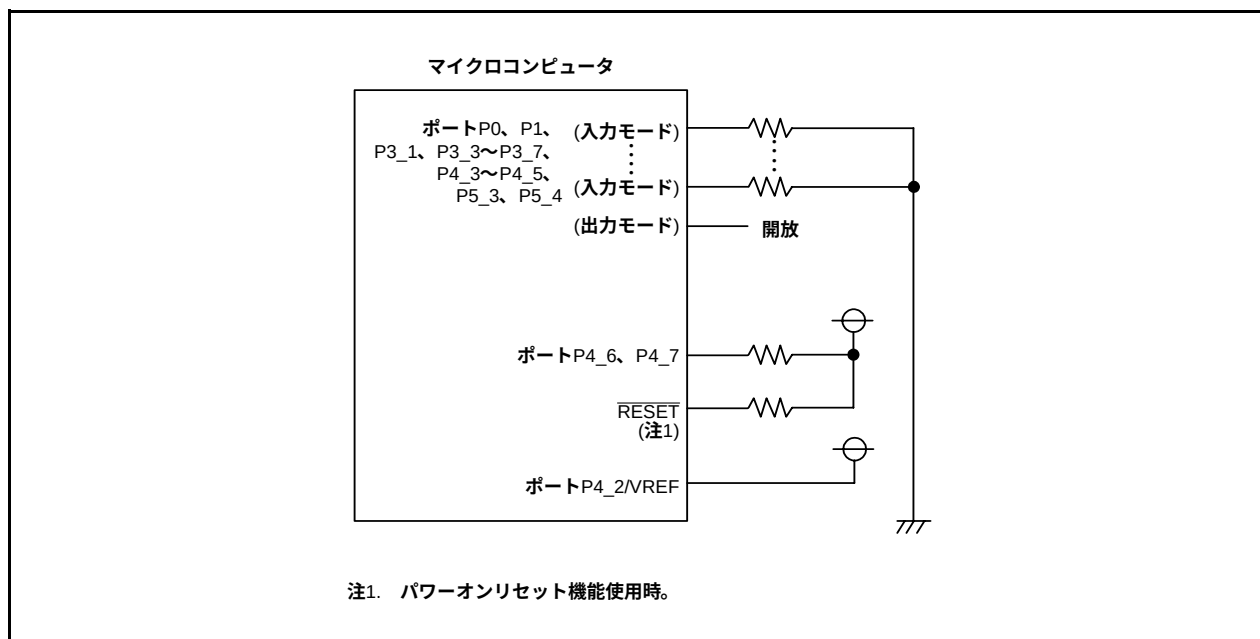


図7.13 未使用端子の処理例

8. プロセッサモード

8.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。

表8.1にプロセッサモードの特長を、図8.1にPM0レジスタを、図8.2にPM1レジスタを示します。

表8.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部 RAM、内部 ROM	全端子が入出力ポートまたは周辺機能入出力端子

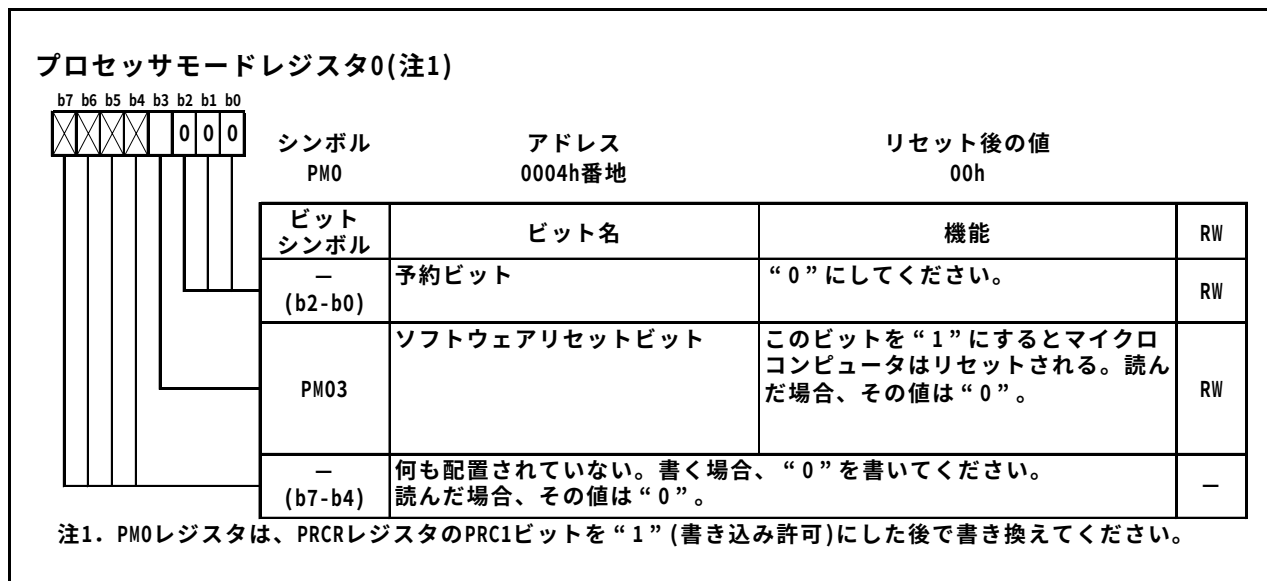


図8.1 PM0レジスタ

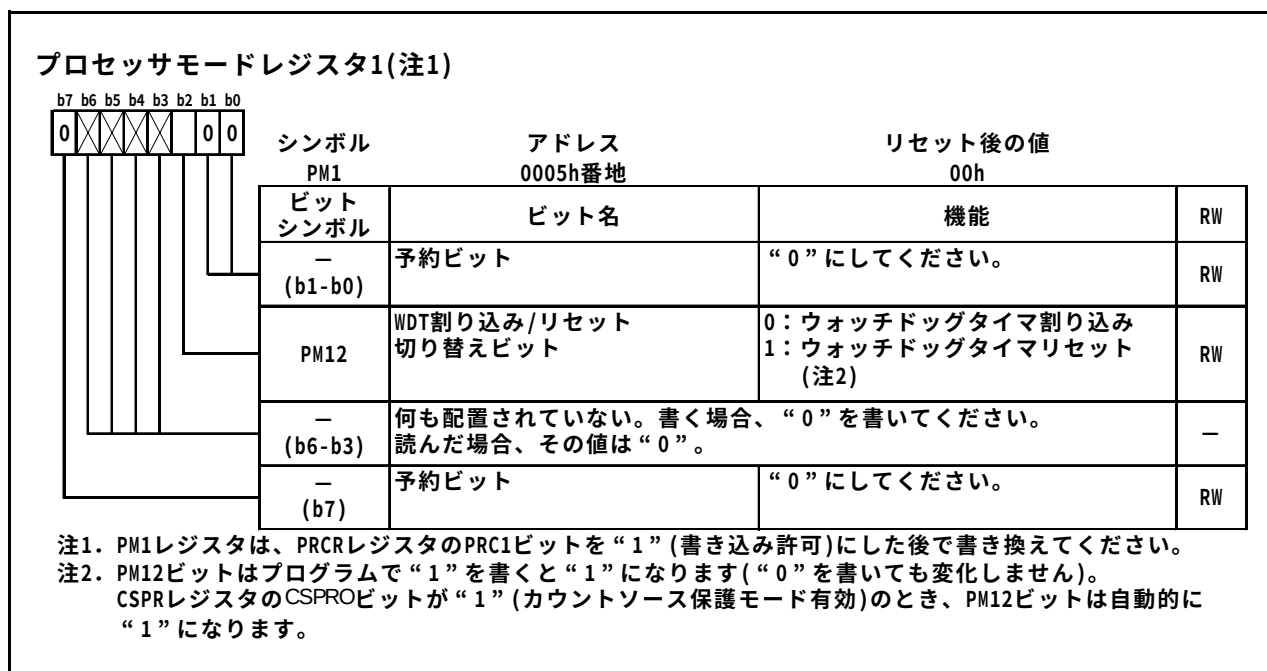


図8.2 PM1レジスタ

9. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

表9.1にR8C/2E グループのアクセス領域に対するバスサイクルを、表9.2にR8C/2F グループのアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表9.3にアクセス単位とバスの動作を示します。

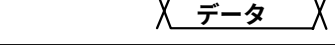
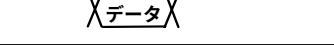
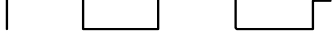
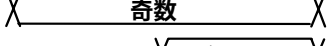
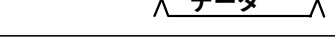
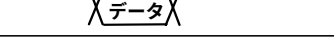
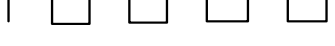
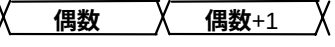
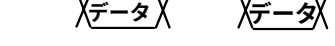
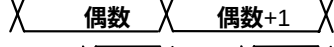
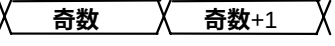
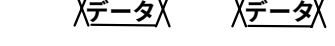
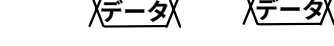
表9.1 R8C/2E グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPU クロックの 2 サイクル
ROM/RAM	CPU クロックの 1 サイクル

表9.2 R8C/2F グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/ データフラッシュ	CPU クロックの 2 サイクル
プログラム ROM/RAM	CPU クロックの 1 サイクル

表9.3 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ  データ	CPU クロック  アドレス  偶数 データ  データ
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ  データ	CPU クロック  アドレス  奇数 データ  データ
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

このため、ワード(16ビット)単位でアクセスした場合、16ビットデータをアクセスします。バスの動作は「表9.3 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

10. クロック発生回路

クロック発生回路として、3つの回路が内蔵されています。

- XINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ

表10.1にクロック発生回路の概略仕様を、図10.1にクロック発生回路を、図10.2～図10.7にクロック関連レジスタを示します。

表10.1 クロック発生回路の概略仕様

項目	XINクロック発振回路	オンチップオシレータ	
		高速オンチップオシレータ	低速オンチップオシレータ
用途	• CPUのクロック源 • 周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源
クロック周波数	0～20MHz	約40MHz (注3)	約125kHz
接続できる発振子	• セラミック共振子 • 水晶発振子	—	—
発振子の接続端子	XIN、XOUT(注1)	— (注1)	— (注1)
発振の開始と停止	あり	あり	あり
リセット後の状態	停止	停止	発振
その他	• 外部で生成されたクロックを入力可能(注2) • 帰還抵抗RfXINを内蔵(接続/非接続選択可能)	—	—

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_6、P4_7として使うことができます。

注2. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にしてください。

注3. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

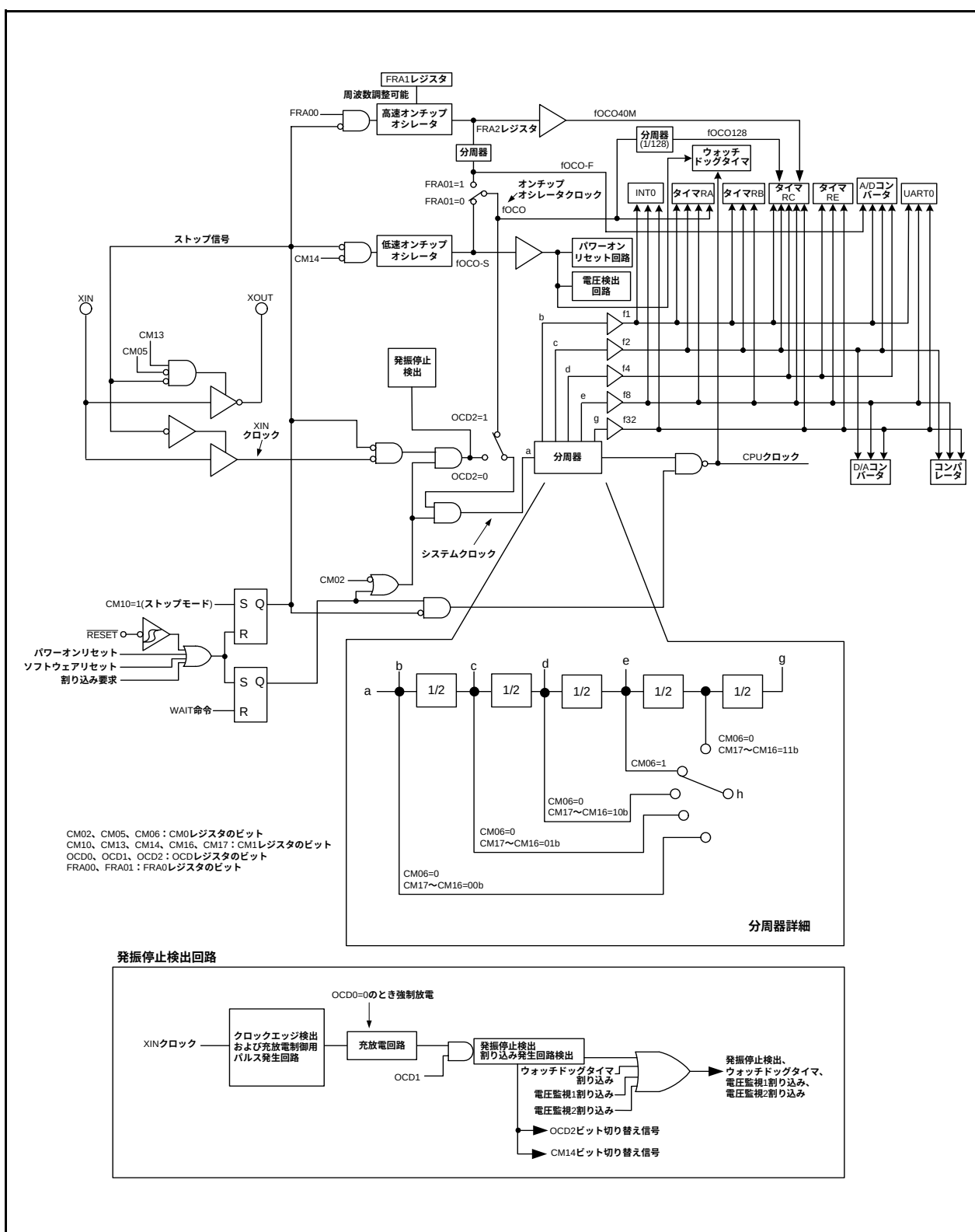


図10.1 クロック発生回路

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
0			0	1	0	0		CM0	0006h番地	01101000b	
								ビット シンボル	ビット名	機能	RW
								— (b1-b0)	予約ビット	“0”にしてください。	RW
								CM02	WAIT時周辺機能クロック停止 ビット	0：ウェイトモード時、周辺機能 クロック停止しない 1：ウェイトモード時、周辺機能 クロック停止する	RW
								— (b3)	予約ビット	“1”にしてください。	RW
								— (b4)	予約ビット	“0”にしてください。	RW
								CM05	XINクロック(XIN-XOUT) 停止ビット(注2、3)	0：発振 1：停止(注4)	RW
								CM06	システムクロック分周比 選択ビット0(注5)	0：CM16、CM17有効 1：8分周モード	RW
								— (b7)	予約ビット	“0”にしてください。	RW

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合のみ、P4_6、P4_7は入力ポートとして使用できます。

注3. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。

(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。

注5. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

図10.2 CM0レジスタ

システムクロック制御レジスタ1(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
0							
シンボル	アドレス			リセット後の値			
CM1	0007h番地			00100000b			
ビット シンボル	ビット名			機能		RW	
CM10	全クロック停止制御ビット (注2、3、4)			0 : クロック発振 1 : 全クロック停止(ストップモード)		RW	
CM11	XIN-XOUT内蔵帰還抵抗選択ビット			0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効		RW	
— (b2)	予約ビット			“0”にしてください。		RW	
CM13	ポートXIN-XOUT切り替え ビット(注3、5)			0 : 入力ポートP4_6、P4_7 1 : XIN-XOUT端子		RW	
CM14	低速オンチップオシレータ発振 停止ビット(注4、6、7)			0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止		RW	
CM15	XIN-XOUT駆動能力選択ビッ ト(注8)			0 : LOW 1 : HIGH		RW	
CM16	システムクロック分周比 選択ビット1(注9)			b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード		RW	
CM17						RW	

注1. CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM10ビットが“1”(ストップモード)の場合、CM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。

CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

注4. カウントソース保護モード有効時(「13.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。

注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

注6. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注7. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注8. ストップモードへの移行時、CM15ビットは“1”(駆動能力HIGH)になります。

注9. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。

図10.3 CM1レジスタ

発振停止検出レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
0	0	0	0				
シンボル OCD				アドレス 000Ch番地		リセット後の値 00000100b	
ビット シンボル	ビット名			機能		RW	
OCD0	発振停止検出有効ビット (注7)			0 : 発振停止検出機能無効(注2) 1 : 発振停止検出機能有効		RW	
OCD1	発振停止検出割り込み許可 ビット			0 : 禁止(注2) 1 : 許可		RW	
OCD2	システムクロック選択ビット (注4)			0 : XINクロック選択(注7) 1 : オンチップオシレータクロック選択 (注3)		RW	
OCD3	クロックモニタビット (注5、6)			0 : XINクロック発振 1 : XINクロック停止		RO	
— (b7-b4)	予約ビット			“0”にしてください。		RW	

- 注1. OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。
- 注2. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注3. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注4. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注5. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。
- 注6. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注7. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図10.14 低速オンチップオシレータからXINクロックへの切り替え手順」を参照してください。

図10.4 OCDレジスタ

高速オンチップオシレータ制御レジスタ0(注1)

b7b6b5b4b3b2b1b0								シンボル		アドレス		リセット後の値	
00000000								FRA0		0023h番地		00h	
								ビットシンボル	ビット名	機能		RW	
								FRA00	高速オンチップオシレータ許可ビット	0：高速オンチップオシレータ停止 1：高速オンチップオシレータ発振		RW	
								FRA01	高速オンチップオシレータ選択ビット(注2)	0：低速オンチップオシレータ選択(注3) 1：高速オンチップオシレータ選択		RW	
								— (b7-b2)	予約ビット	“0”にしてください。		RW	

注1. FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. FRA01ビットは次の条件のとき変更してください。

- ・ FRA00=1(高速オンチップオシレータ発振)
- ・ CM1レジスタのCM14=0(低速オンチップオシレータ発振)

注3. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

高速オンチップオシレータ制御レジスタ1(注1)

b7

b6

b5

b4

b3

b2

b1

b0

シンボル

FRA1

アドレス

0024h番地

リセット後の値

出荷時の値

機能

ビット0～7で高速オンチップオシレータの周波数を調整できます。

高速オンチップオシレータの周波数=40 MHz

(FRA1レジスタ=出荷時の値)

FRA1レジスタの値を小さくすると周波数が高くなります。

FRA1レジスタの値を大きくすると周波数が低くなります。(注2)

RW

RW

注1. FRA1レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. FRA1レジスタの値を変更する場合は、高速オンチップオシレータクロックの周波数が、40MHz以下となる値にしてください。

高速オンチップオシレータ制御レジスタ2(注1)

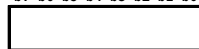
b7 b6 b5 b4 b3 b2 b1 b0							
0	0	0	0	0			
シンボル				アドレス		リセット後の値	
FRA2				0025h番地		00h	
ビットシンボル		ビット名			機能		RW
FRA20		高速オンチップオシレータ 周波数切替ビット			分周比選択 高速オンチップオシレータクロック 分周比を選択します。 b2 b1 b0 0 0 0：2分周モード 0 0 1：3分周モード 0 1 0：4分周モード 0 1 1：5分周モード 1 0 0：6分周モード 1 0 1：7分周モード 1 1 0：8分周モード 1 1 1：9分周モード		RW
FRA21					RW		
FRA22					RW		
— (b7-b3)		予約ビット			“0”にしてください。		RW

注1. FRA2レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

図10.5 FRA0、FRA1、FRA2 レジスタ

高速オンチップオシレータ制御レジスタ7

b7 b6 b5 b4 b3 b2 b1 b0



シンボル

アドレス

リセット後の値

FRA7

002Ch番地

出荷時の値

機能

RW

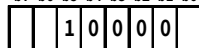
36.864MHzの周波数調整用データが格納されます。
この値をFRA1レジスタに転送することにより、高速オンチップオシレータの発振周波数を36.864MHzに調整できます。

RO

図10.6 FRA7レジスタ

電圧検出レジスタ2(注1)

b7 b6 b5 b4 b3 b2 b1 b0



シンボル

アドレス

リセット後の値(注4)

VCA2

0032h番地

パワーオンリセット
またはハードウェアリセット : 00100000b

ビット シンボル	ビット名	機能	RW
VCA20	内部電源低消費電力許可ビット (注5)	0: 低消費電力禁止 1: 低消費電力許可	RW
— (b4-b1)	予約ビット	“0” にしてください	RW
— (b5)	予約ビット	“1” にしてください	RW
VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	RW
VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	RW

注1. VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 電圧監視1割り込み/リセットを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注3. 電圧監視2割り込み/リセットを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注4. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注5. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図10.8 VCA20ビットによる内部電源低消費操作手順」に従ってください。

図10.7 VCA2レジスタ

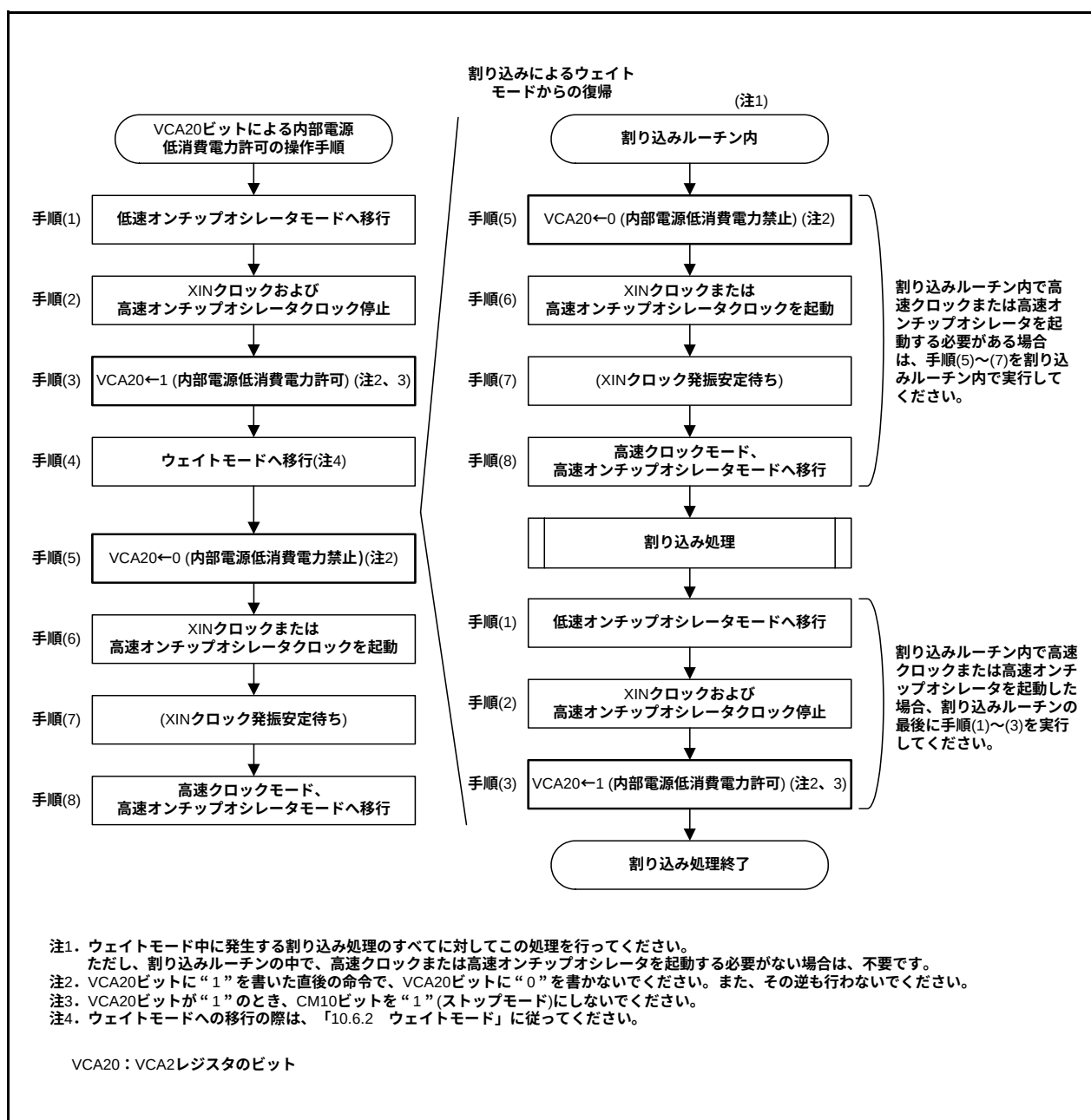


図 10.8 VCA20ビットによる内部電源低消費操作手順

クロック発生回路で生成するクロックを説明します。

10.1 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。

図10.9にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1レジスタのCM11ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

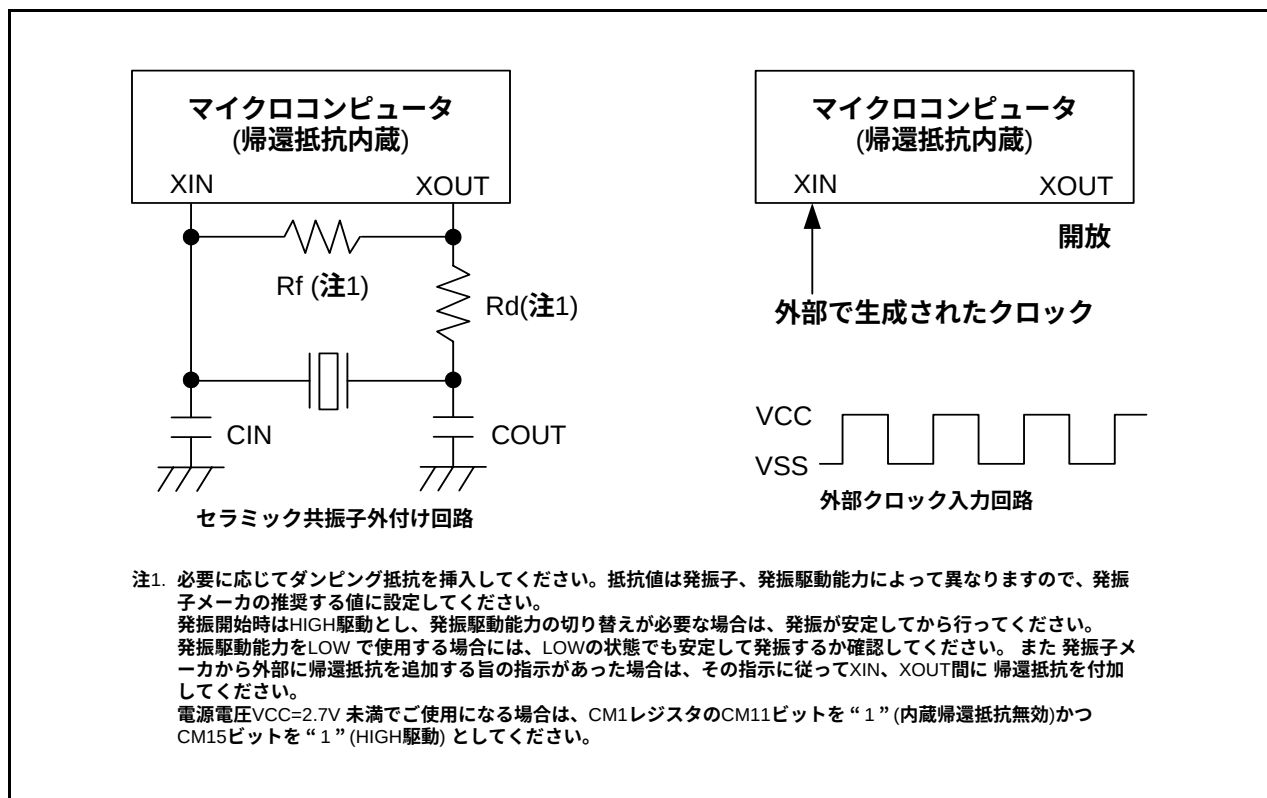


図10.9 XINクロックの接続回路例

10.2 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

10.2.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

10.2.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-F、fOCO40Mのクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。FRA1レジスタおよびFRA2レジスタを使って、周波数を調整できます。

FRA7レジスタには36.864MHzの周波数調整用データが格納されています。高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA7レジスタの調整値をFRA1レジスタに転送して使用してください。

FRA1レジスタの各ビットの周波数調整量にはばらつきがありますので、各ビットを変化させて調整してください。高速オンチップオシレータクロックの周波数は、40MHz以下になるように、FRA1レジスタを調整してください。

10.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図10.1 クロック発生回路」参照。)

10.3.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロックまたはオンチップオシレータクロックが選択できます。

10.3.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16～CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

10.3.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

fi(i=1、2、4、8、32)はシステムクロックをi分周したクロックです。fiはタイマRA、タイマRB、タイマRC、タイマRE、シリアルインタフェース、A/Dコンバータで使します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、fiは停止します。

10.3.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使します。fOCOはWAIT命令実行時、停止しません。

10.3.5 fOCO40M

タイマRCのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40MはWAIT命令実行時、停止しません。

このクロックは、電源電圧VCC=3.0～5.5Vの範囲で使うことができます。

10.3.6 fOCO-F

A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-FはWAIT命令実行時、停止しません。

10.3.7 fOCO-S

ウォッチドッグタイマと電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-SはWAIT命令実行時、またはウォッチドッグタイマのカウントソース保護モード時、停止しません。

10.3.8 fOCO128

fOCOを128分周したクロックです。

タイマRCのTRCGRAレジスタで使用するキャプチャ信号になります。

10.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

10.4.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がXINクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表10.2 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1 レジスタ				CM0 レジスタ		FRA0 レジスタ	
		OCD2	CM17、CM16	CM14	CM13	CM06	CM05	FRA01	FRA00	
高速クロックモード	分周なし	0	00b	—	1	0	0	—	—	
	2分周	0	01b	—	1	0	0	—	—	
	4分周	0	10b	—	1	0	0	—	—	
	8分周	0	—	—	1	1	0	—	—	
	16分周	0	11b	—	1	0	0	—	—	
高速オンチップ オシレータモード	分周なし	1	00b	—	—	0	—	1	1	
	2分周	1	01b	—	—	0	—	1	1	
	4分周	1	10b	—	—	0	—	1	1	
	8分周	1	—	—	—	1	—	1	1	
	16分周	1	11b	—	—	0	—	1	1	
低速オンチップ オシレータモード	分周なし	1	00b	0	—	0	—	0	—	
	2分周	1	01b	0	—	0	—	0	—	
	4分周	1	10b	0	—	0	—	0	—	
	8分周	1	—	0	—	1	—	0	—	
	16分周	1	11b	0	—	0	—	0	—	

— : “0” でも “1” でも影響ない

10.4.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。高速オンチップオシレータモード、低速オンチップオシレータモードに遷移するときには、CM06ビットを“1”(8分周モード)にしてください。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。また、FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.4.1.2 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。高速クロックモードに遷移するときにはCM06ビットを“1”(8分周モード)にしてください。FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.4.1.3 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。高速クロックモードに遷移するときにはCM06ビットを“1”(8分周モード)にしてください。FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR4レジスタのFMR47ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

VCA20ビットにより内部電源低消費電力を許可する場合は、「図10.11 VCA20ビットによる内部電源低消費操作手順」に従ってください。

10.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

10.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行してください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態で、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

10.4.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

10.4.2.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードで使用可	— (使用しないでください)
コンパレータ0割り込み	使用可	フィルタなしの場合に使用可
コンパレータ1割り込み	使用可	フィルタなしの場合に使用可
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可
タイマRB割り込み	すべてのモードで使用可	— (使用しないでください)
タイマRC割り込み	すべてのモードで使用可	— (使用しないでください)
タイマRE割り込み	すべてのモードで使用可	— (使用しないでください)
INT割り込み	使用可	使用可(INT0、INT1、INT3はフィルタなしの場合に使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	— (使用しないでください)

図10.10にウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットの設定に応じて図10.10のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

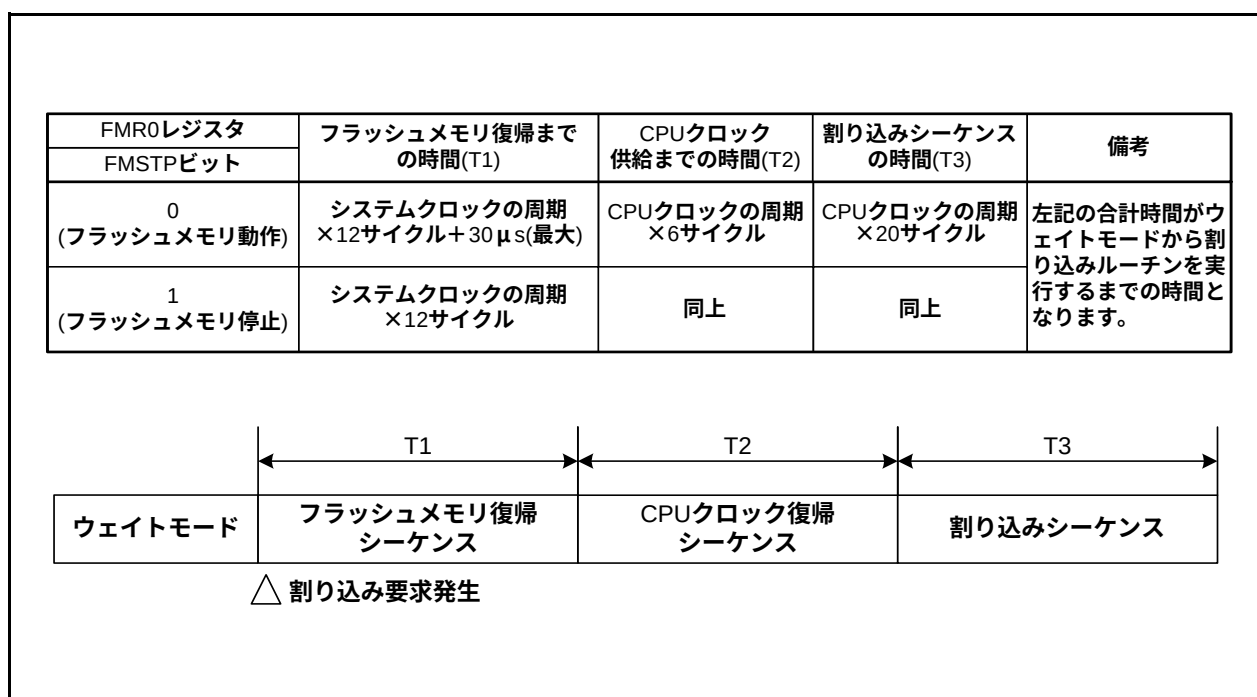


図10.10 ウェイトモードから割り込みルーチンを実行するまでの時間

10.4.2.5 内部電源の消費電力低減

低速オンチップオシレータモードの場合、内部電源の消費電源を低減できます。図10.11にVCA20ビットによる内部電源低消費操作手順を示します。

VCA20ビットにより内部電源低消費電力を許可する場合は、「図10.11 VCA20ビットによる内部電源低消費操作手順」に従ってください。

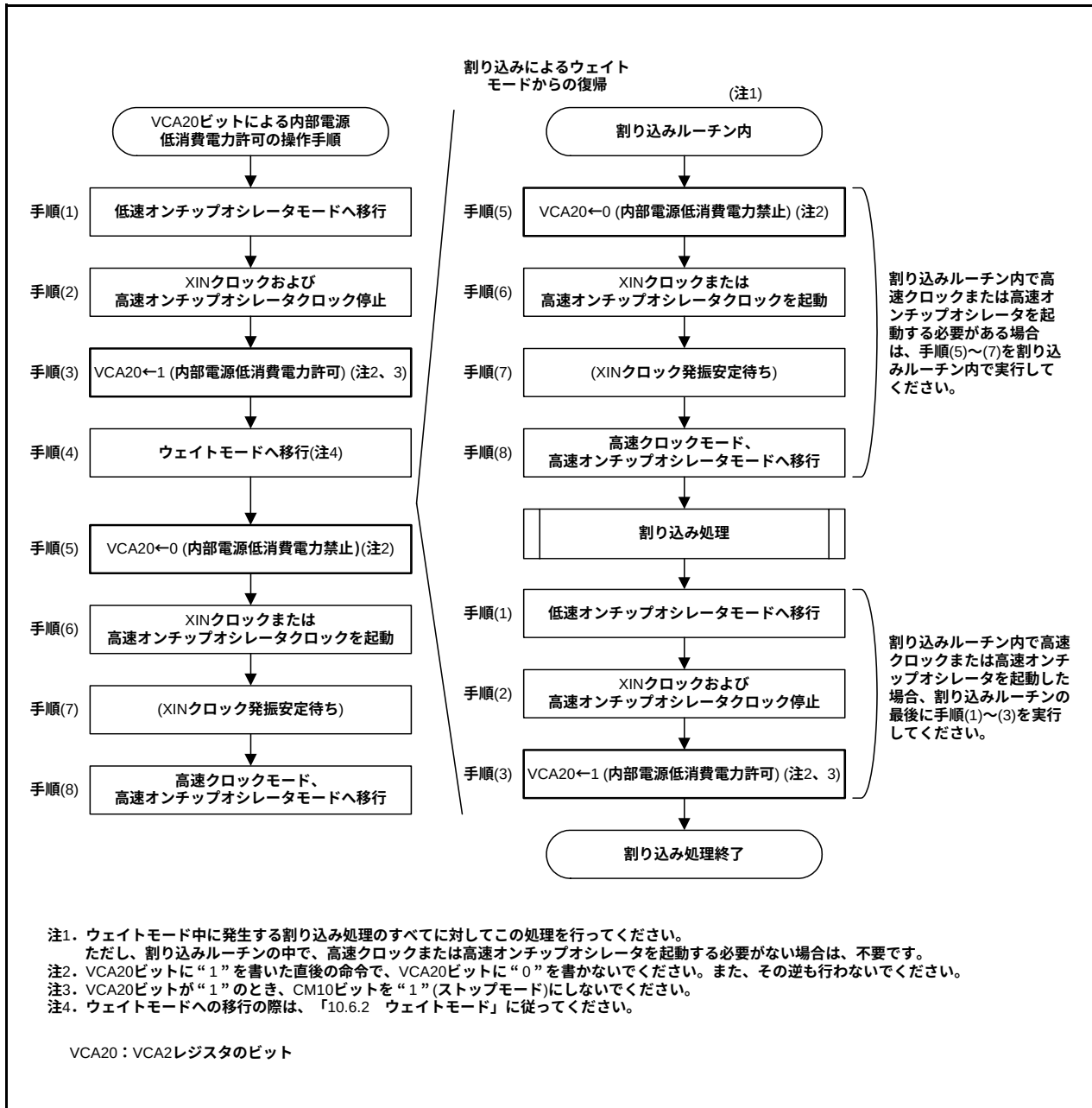


図10.11 VCA20ビットによる内部電源低消費操作手順

10.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	—
INT0、INT1、INT3割り込み	フィルタなしの場合に使用可
タイマRA割り込み	イベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可
コンパレータ0割り込み、 コンパレータ1割り込み	フィルタなしの場合に使用可

10.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(XINクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、OCD1～OCD0ビットを“00b”にしてからストップモードにしてください。

10.4.3.2 ストップモード時の端子の状態

ストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

10.4.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図10.12にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みの ILVL2 ～ ILVL0 ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みの ILVL2 ～ ILVL0 ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPU クロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPU クロックは、ストップモード直前に使用していたクロックがシステムクロックの場合、そのクロックの8分周になります。

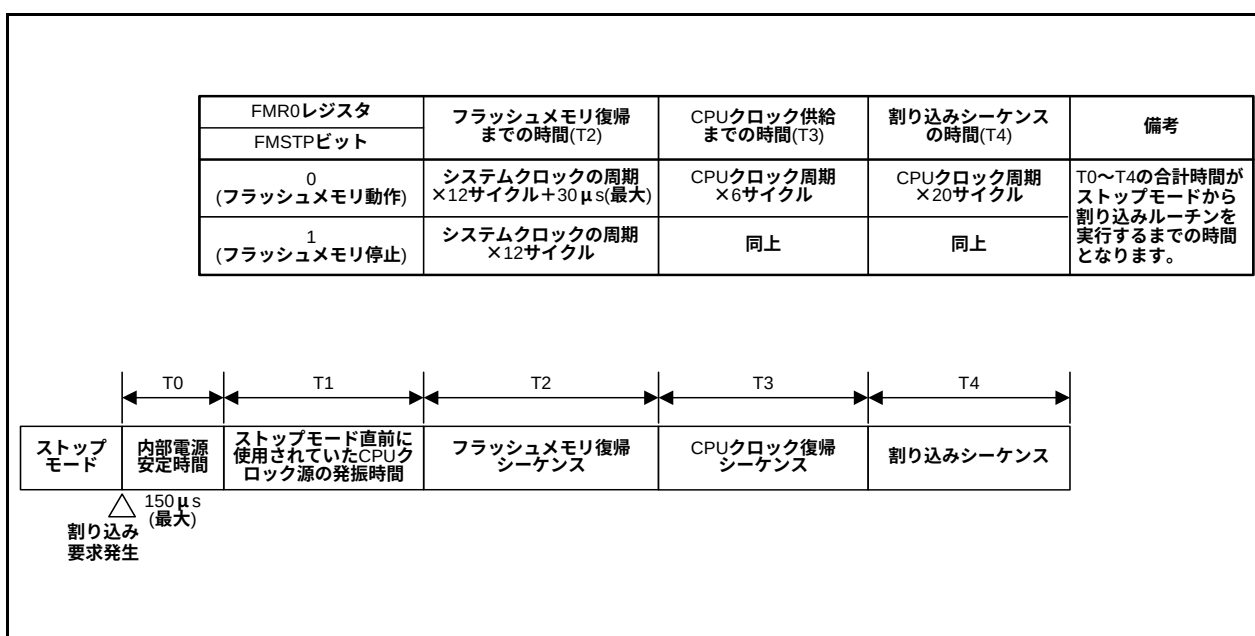


図10.12 ストップモードから割り込みルーチンを実行するまでの時間

図10.13にパワーコントロールモード状態遷移を示します。

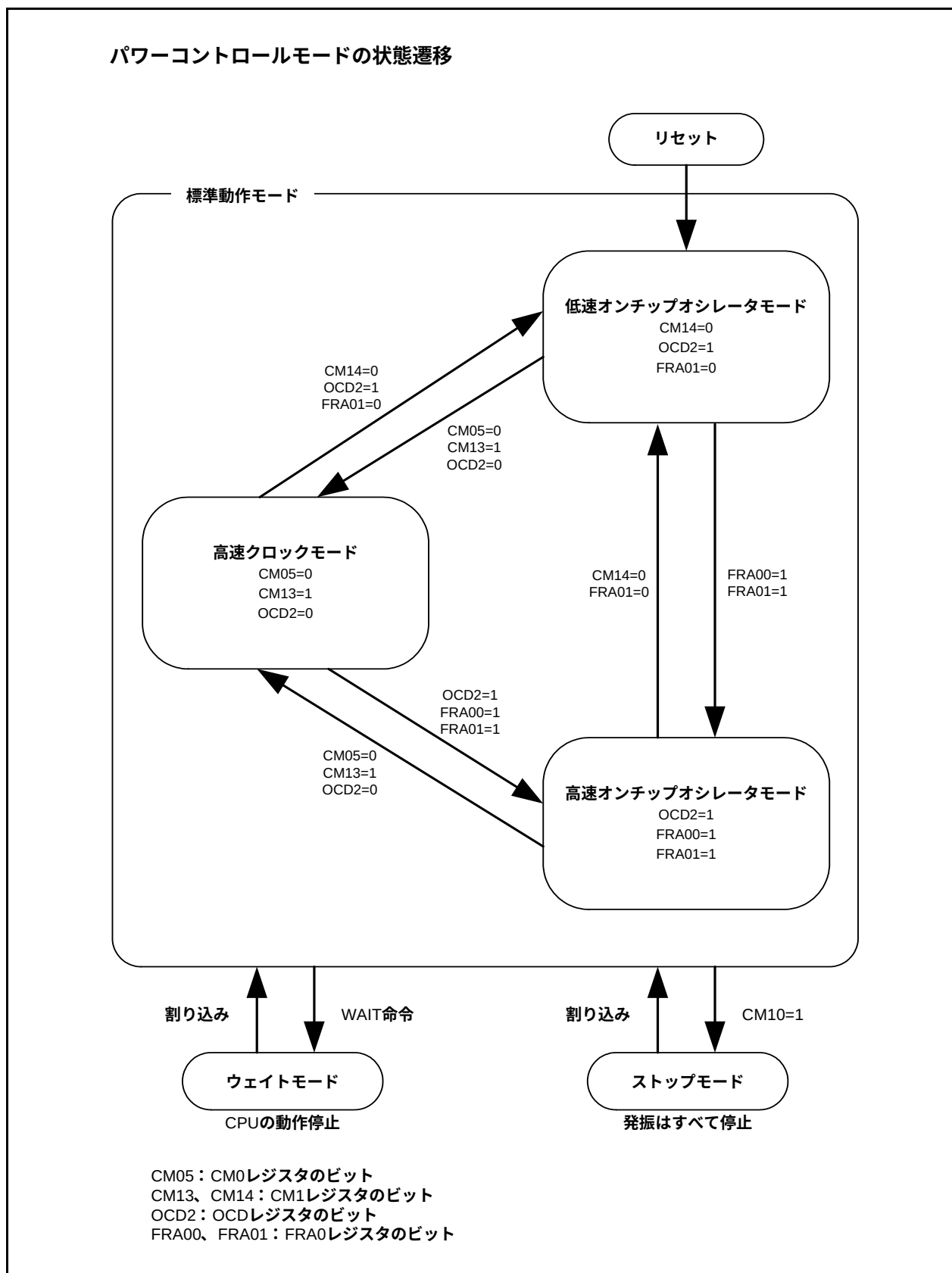


図10.13 パワーコントロールモード状態遷移

10.5 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表10.5に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1(XINクロック停止)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表10.5 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

10.5.1 発振停止検出機能の使用法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
表10.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図10.15に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
図10.14に低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表 10.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a) または (b) のとき)	(a)OCD レジスタの OCD3=1
	(b)OCD レジスタの OCD1 ~ OCD0=11b かつ OCD2=1
ウォッチドッグタイマ	VW2C レジスタの VW2C3=1
電圧監視 1	VW1C レジスタの VW1C2=1
電圧監視 2	VW2C レジスタの VW2C2=1

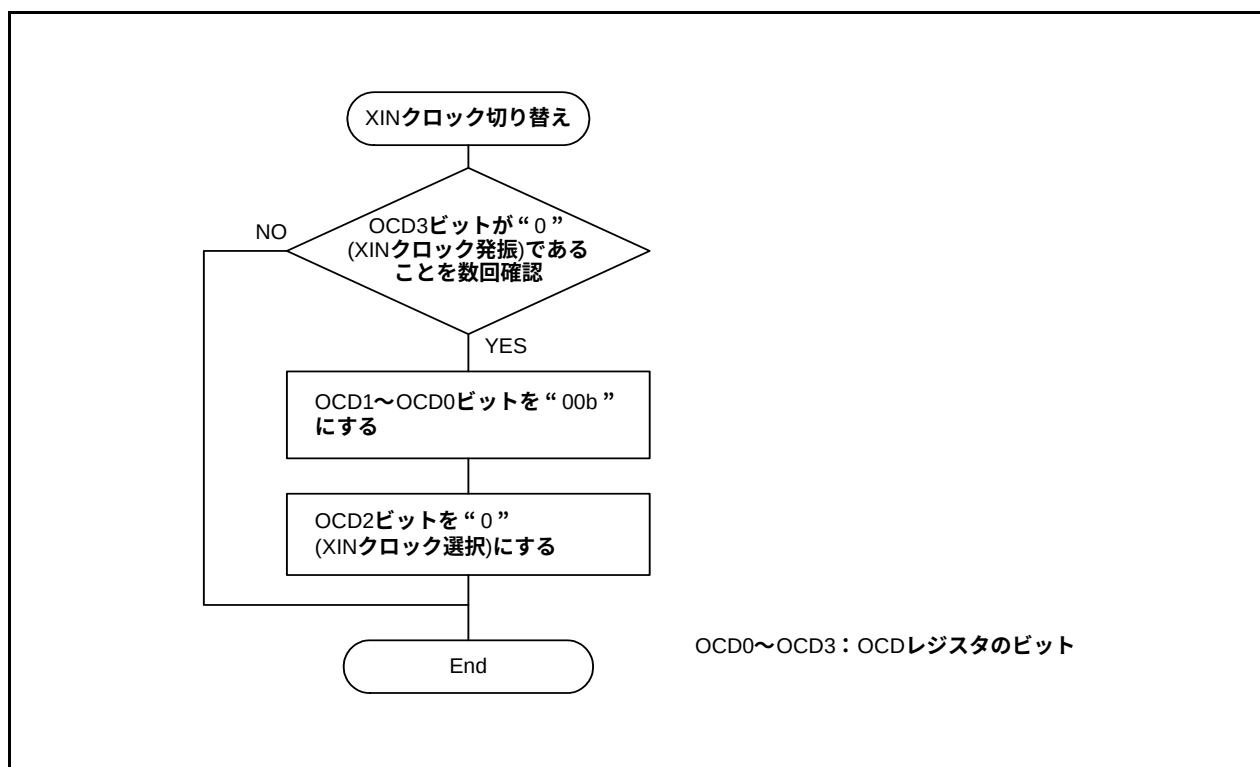


図 10.14 低速オンチップオシレータから XIN クロックへの切り替え手順

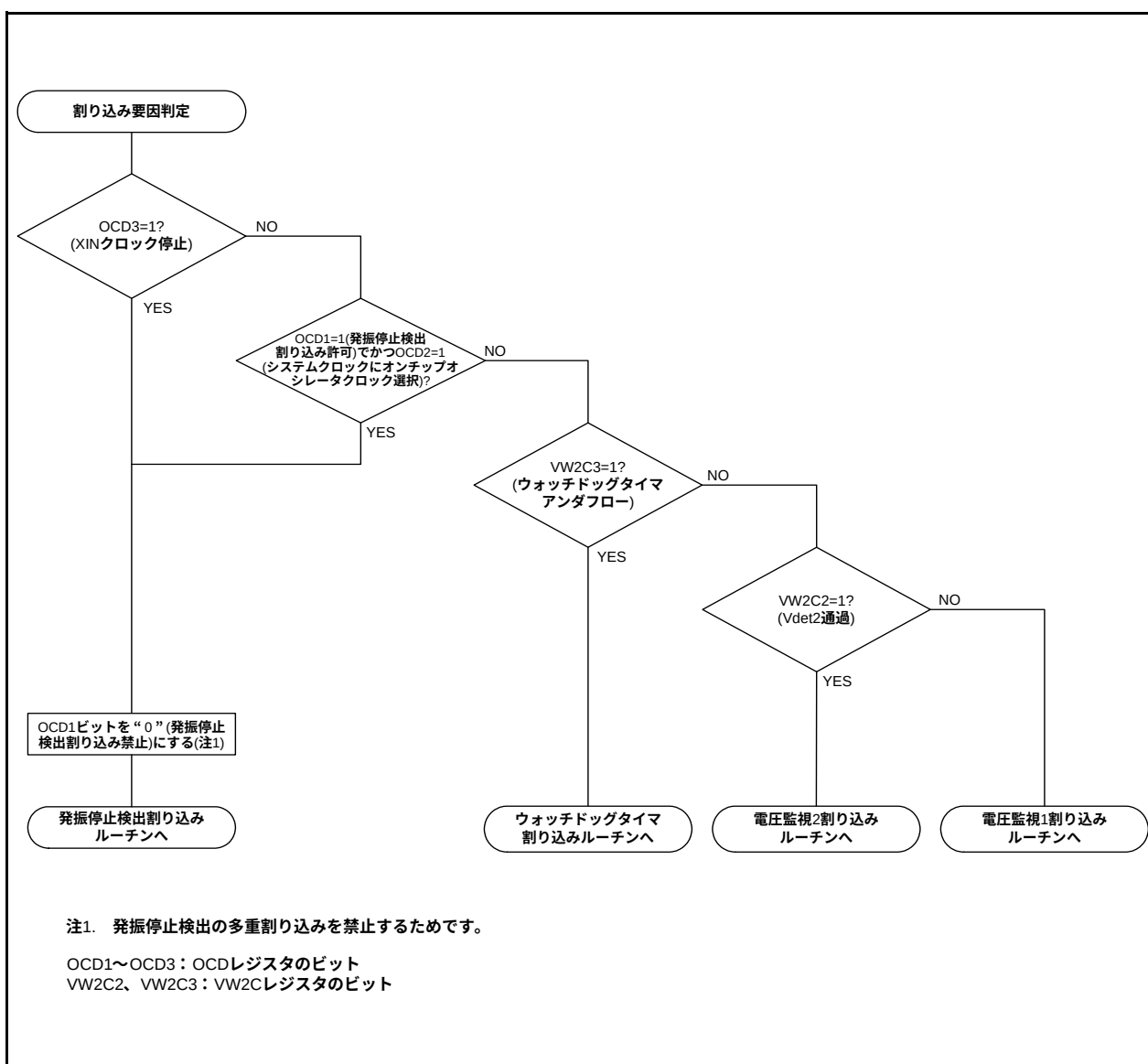


図 10.15 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

10.6 クロック発生回路使用上の注意

10.6.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

10.6.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I            ; 割り込み許可
WAIT                      ; ウェイトモード
NOP
NOP
NOP
NOP
```

10.6.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

10.6.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

12. 割り込み

12.1 割り込みの概要

12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。

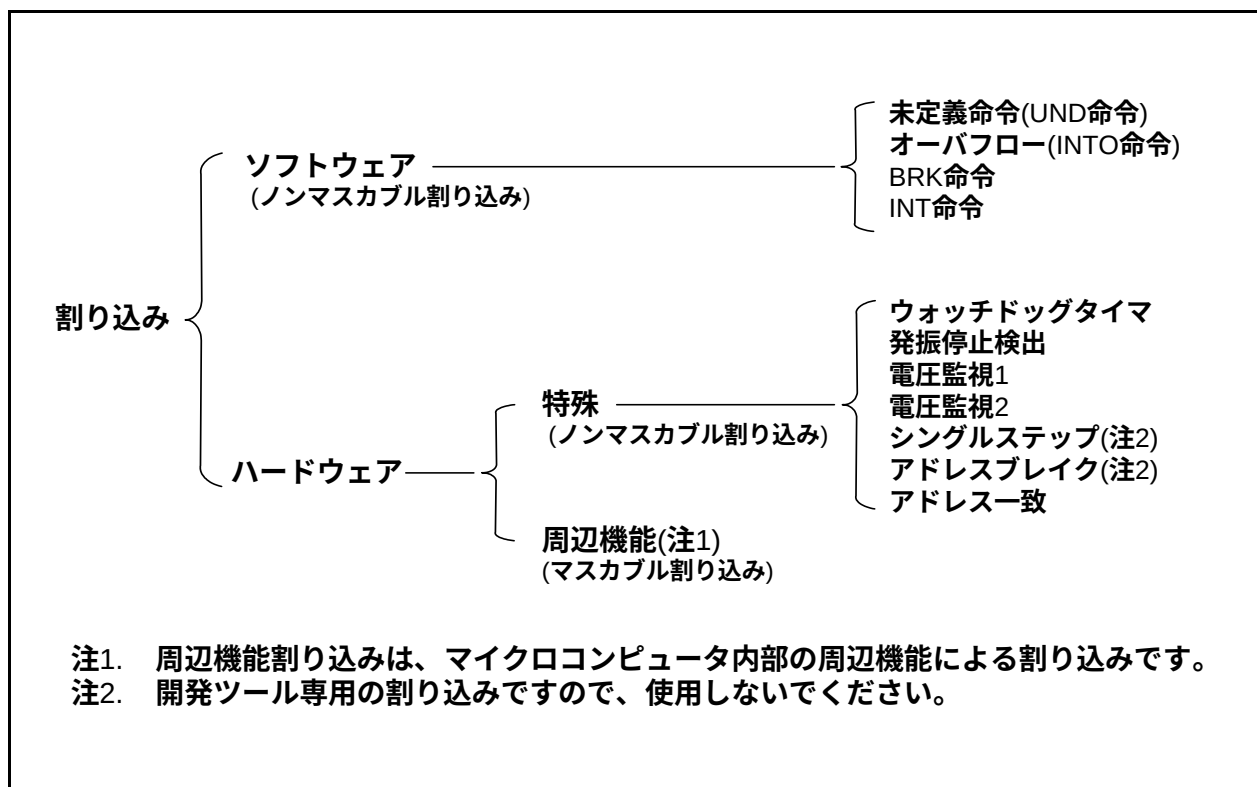


図12.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号3～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「13. ウォッチドッグタイマ」を参照してください。

12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「10. クロック発生回路」を参照してください。

12.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.4 アドレス一致割り込み」を参照してください。

12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 12.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図12.2に割り込みベクタを示します。

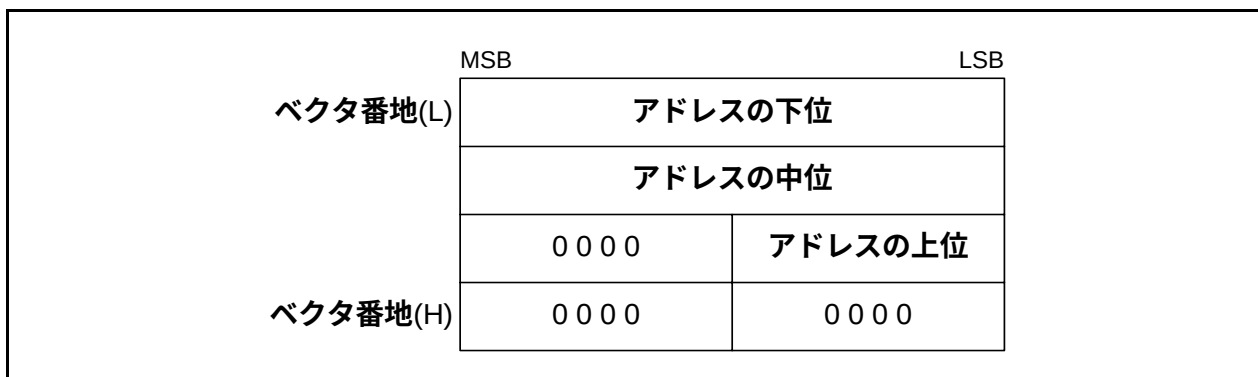


図12.2 割り込みベクタ

12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表12.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使します。詳細は「20.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフト ウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE7h番地の内容が FFhの場合は可変ベク タテーブル内のベクタ が示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		12.4 アドレス一致割り込み
シングルステップ(注1)	0FFECCh～0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1、電圧監視2	0FFF0h～0FFF3h		13. ウォッチドッグタイマ、 10. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。

表12.2に可変ベクタテーブルを示します。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注2)	+0～+3(0000h～0003h)	0	—	R8C/Tinyシリーズソフトウェアマニュアル
—(予約)		1～2	—	—
—(予約)		3～6	—	—
タイマRC	+28～+31(001Ch～001Fh)	7	TRCIC	14.3 タイマRC
—(予約)		8～9	—	—
タイマRE	+40～+43(0028h～002Bh)	10	TREIC	14.4 タイマRE
—(予約)		11～12	—	—
キー入力	+52～+55(0034h～0037h)	13	KUPIC	12.3 キー入力割り込み
A/D変換	+56～+59(0038h～003Bh)	14	ADIC	17. A/Dコンバータ
—(予約)		15～16	—	—
UART0送信	+68～+71(0044h～0047h)	17	S0TIC	15. シリアルインタフェース
UART0受信	+72～+75(0048h～004Bh)	18	S0RIC	
—(予約)		19～21	—	—
タイマRA	+88～+91(0058h～005Bh)	22	TRAIC	14.1 タイマRA
—(予約)		23	—	—
タイマRB	+96～+99(0060h～0063h)	24	TRBIC	14.2 タイマRB
INT1	+100～+103(0064h～0067h)	25	INT1IC	12.2 INT割り込み
INT3	+104～+107(0068h～006Bh)	26	INT3IC	
コンパレータ0	+108～+111(006Ch～006Fh)	27	CM0IC	19. コンパレータ
コンパレータ1	+112～+115(0070h～0073h)	28	CM1IC	
INT0	+116～+119(0074h～0077h)	29	INT0IC	12.2 INT割り込み
—(予約)		30	—	—
—(予約)		31	—	—
ソフトウェア(注2)	+128～+131(0080h～0083h)～ +252～+255(00FCh～00FFh)	32～63	—	R8C/Tinyシリーズソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

12.1.6 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図 12.3 に割り込み制御レジスタ、図 12.4 に TRCIC、CM0IC、CM1IC レジスタ、図 12.5 に INT0IC、INT1IC、INT3IC レジスタを示します。

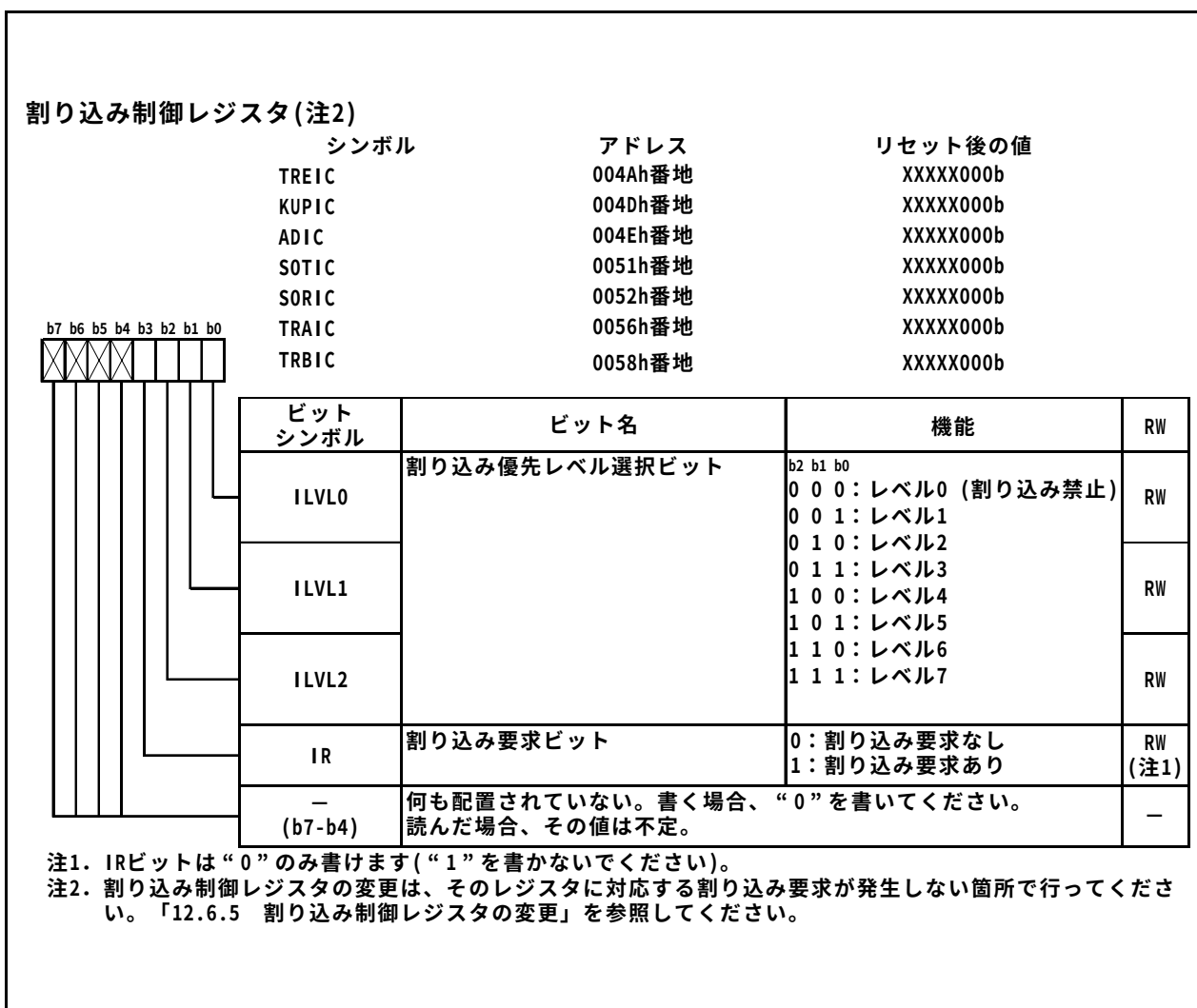


図 12.3 割り込み制御レジスタ

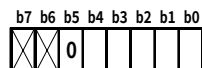
割り込み制御レジスタ(注1)			
	シンボル	アドレス	リセット後の値
	TRCIC	0047h番地	XXXXX000b
	CM0IC	005Bh番地	XXXXX000b
	CM1IC	005Ch番地	XXXXX000b
ビット シンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	RW
		0 0 1 : レベル1	
		0 1 0 : レベル2	
ILVL1		0 1 1 : レベル3	RW
		1 0 0 : レベル4	
		1 0 1 : レベル5	
ILVL2		1 1 0 : レベル6	RW
		1 1 1 : レベル7	
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RO
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.6.5 割り込み制御レジスタの変更」を参照してください。

図12.4 TRCIC、CM0IC、CM1IC レジスタ

INT_i割り込み制御レジスタ (i=0、1、3) (注2)

シンボル	アドレス	リセット後の値
INT1IC	0059h番地	XX00X000b
INT3IC	005Ah番地	XX00X000b
INT0IC	005Dh番地	XX00X000b



ビット シンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RW (注1)
POL	極性切り替えビット (注4)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択 (注3)	RW
— (b5)	予約ビット	“0” にしてください。	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.6.5 割り込み制御レジスタの変更」を参照してください。

注3. INTENレジスタのINT_iPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。

注4. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。
「12.6.4 割り込み要因の変更」を参照してください。

図12.5 INT0IC、INT1IC、INT3IC レジスタ

12.1.6.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

12.1.6.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、コンパレータ0割り込み、コンパレータ1割り込みでは、IRビットの動作が違います。「12.5 タイマRC割り込み、コンパレータ0割り込み、コンパレータ1割り込み」を参照してください。

12.1.6.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定を、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表12.3 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い ↓ 高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

12.1.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図12.6に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

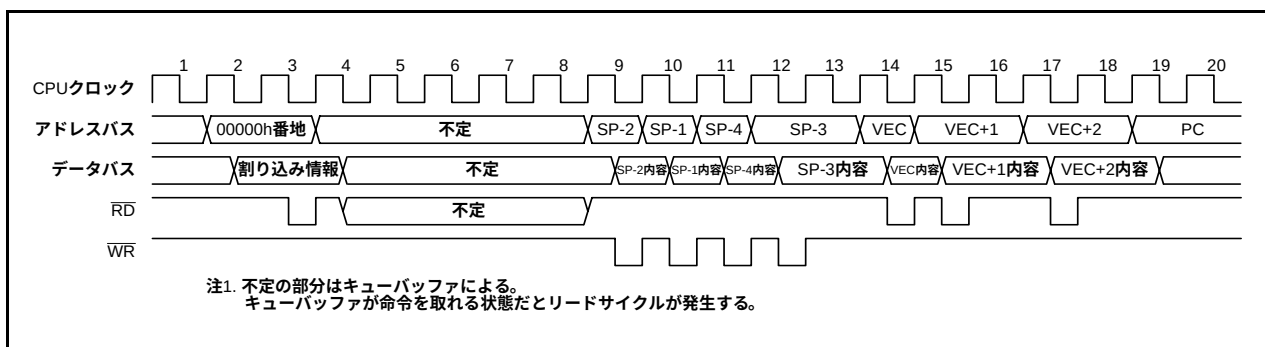


図12.6 割り込みシーケンスの実行時間

注2. タイマRC割り込み、コンパレータ0割り込み、コンパレータ1割り込みのIRビットの動作は「12.5 タイマRC割り込み、コンパレータ0割り込み、コンパレータ1割り込み」を参照してください。

12.1.6.5 割り込み応答時間

図12.7に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.7の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

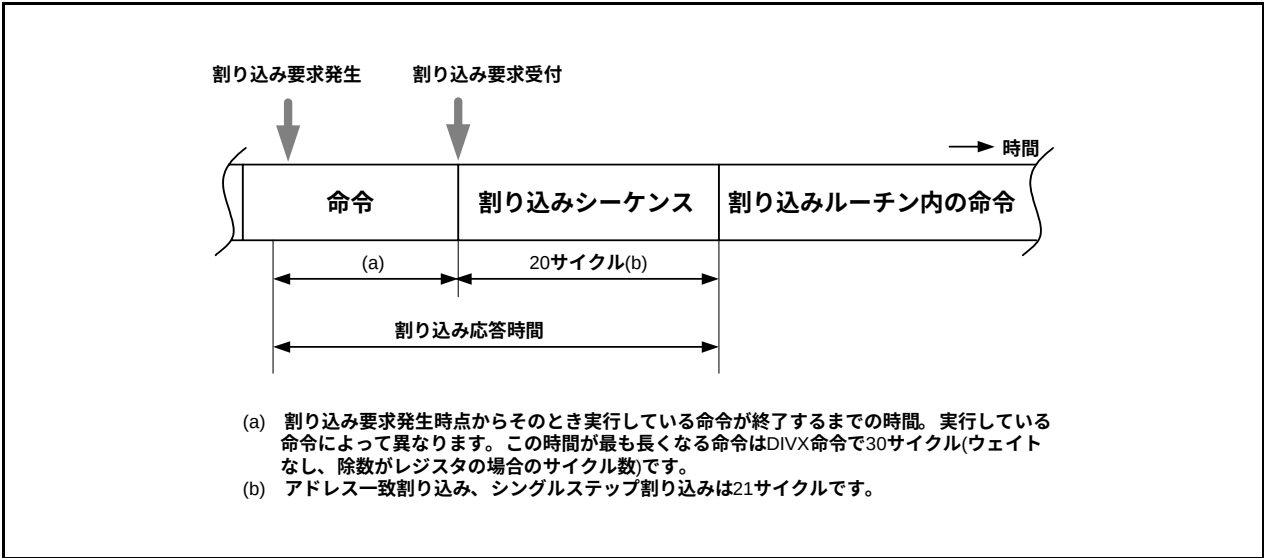


図12.7 割り込み応答時間

12.1.6.6 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。

表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

12.1.6.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図12.8に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

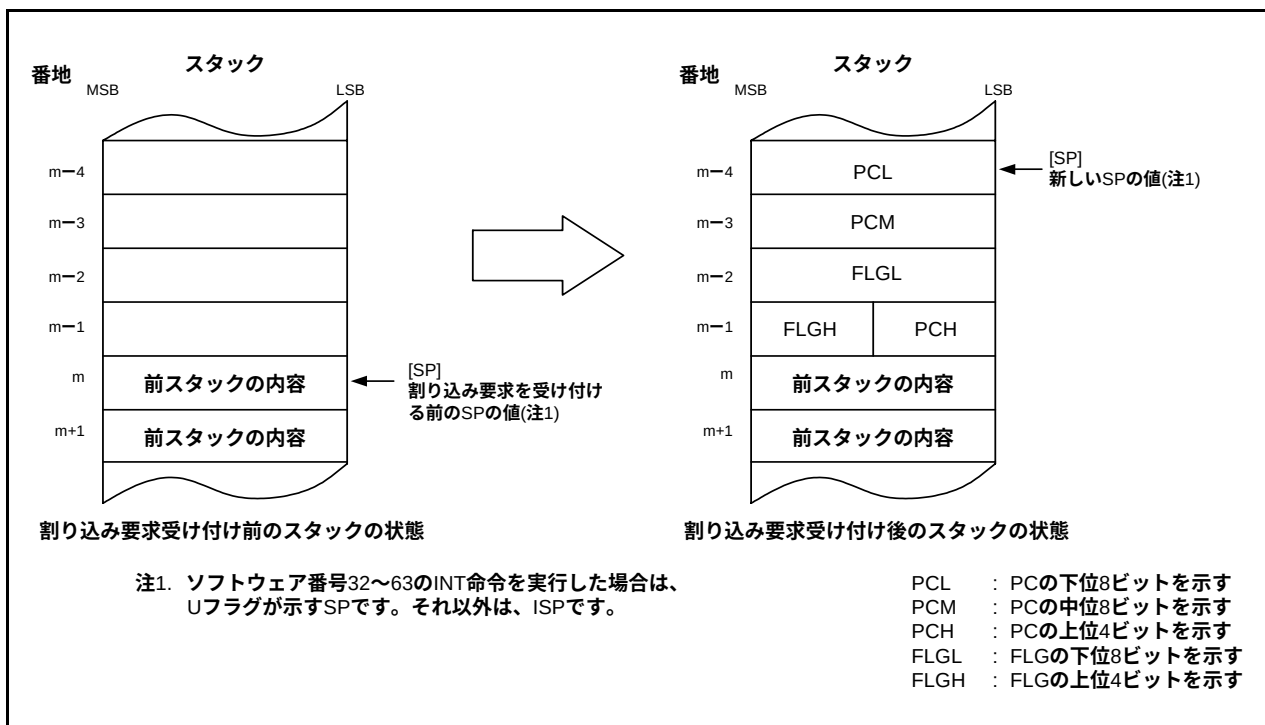


図12.8 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図12.9にレジスタ退避動作を示します。

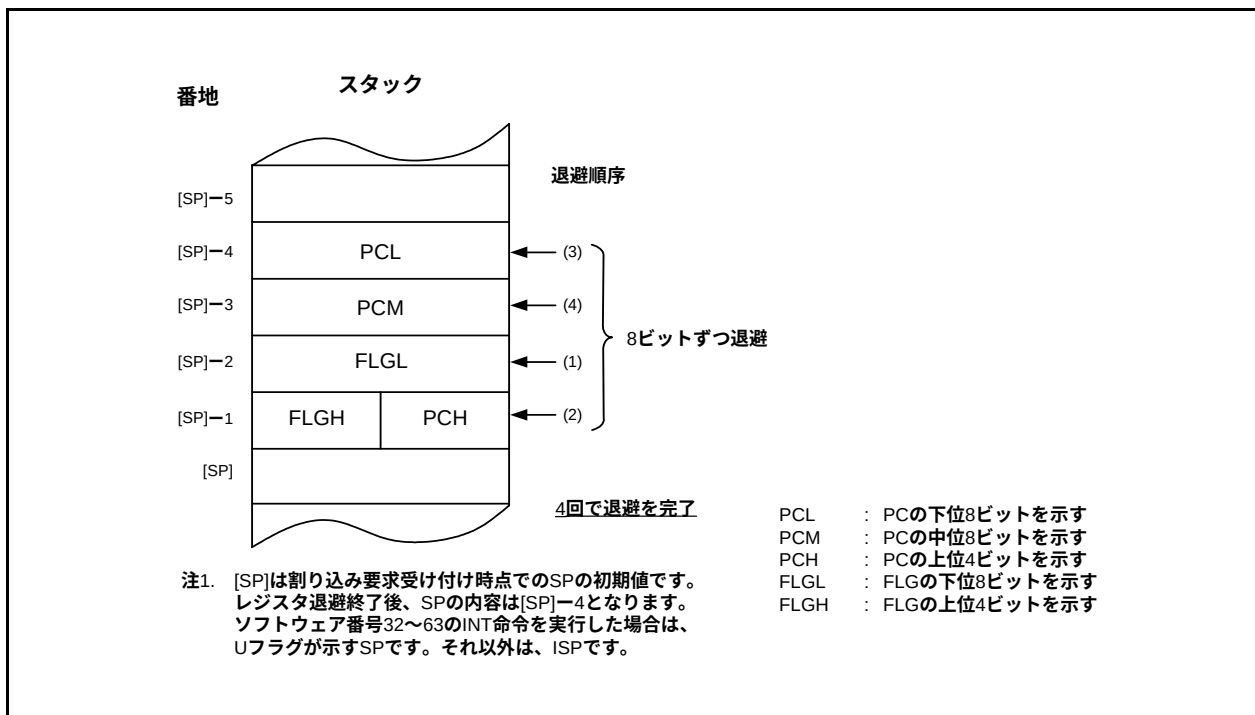


図12.9 レジスタ退避動作

12.1.6.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

12.1.6.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図12.10にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

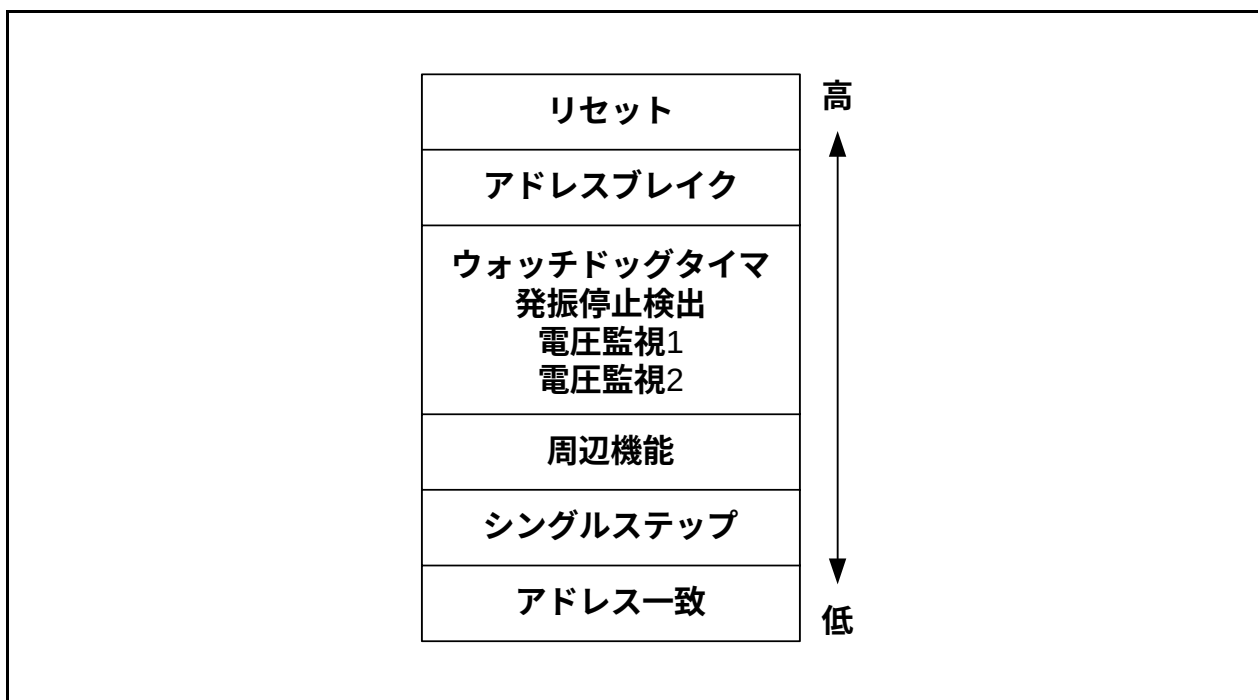


図12.10 ハードウェア割り込みの割り込み優先順位

12.1.6.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図12.11に割り込み優先レベルの判定回路を示します。

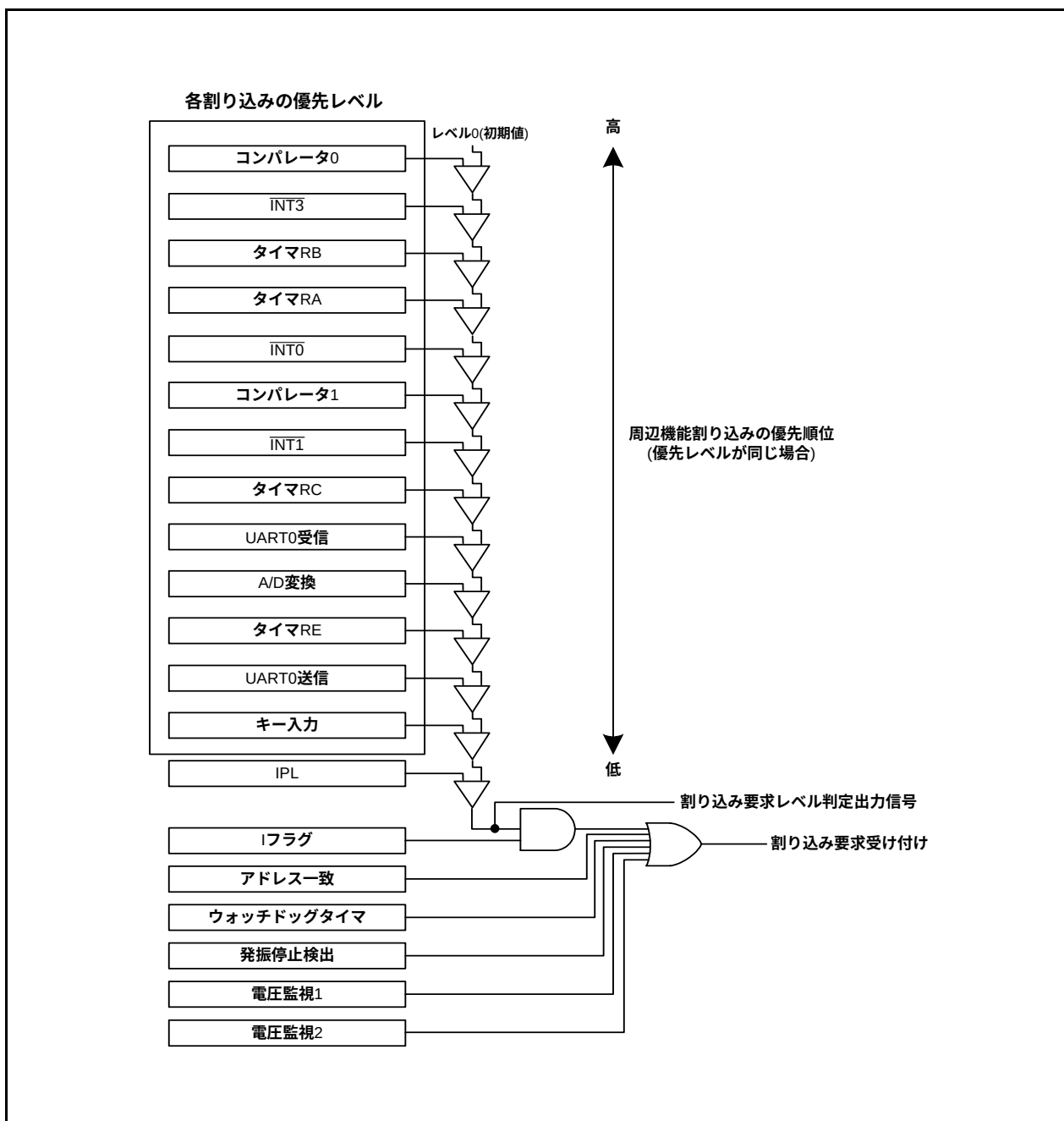


図12.11 割り込み優先レベルの判定回路

12.2 INT割り込み

12.2.1 INT_i割り込み(i=0、1、3)

INT_i割り込みはINT_i入力による割り込みです。INT_i割り込みを使用するときはINTENレジスタのINT_iENビット“1”(許可)にしてください。極性をINTENレジスタのINT_iPLビットとINT_iICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。INT₀端子はタイマRCのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。

図12.12にINTENレジスタを、図12.13にINTFレジスタを示します。

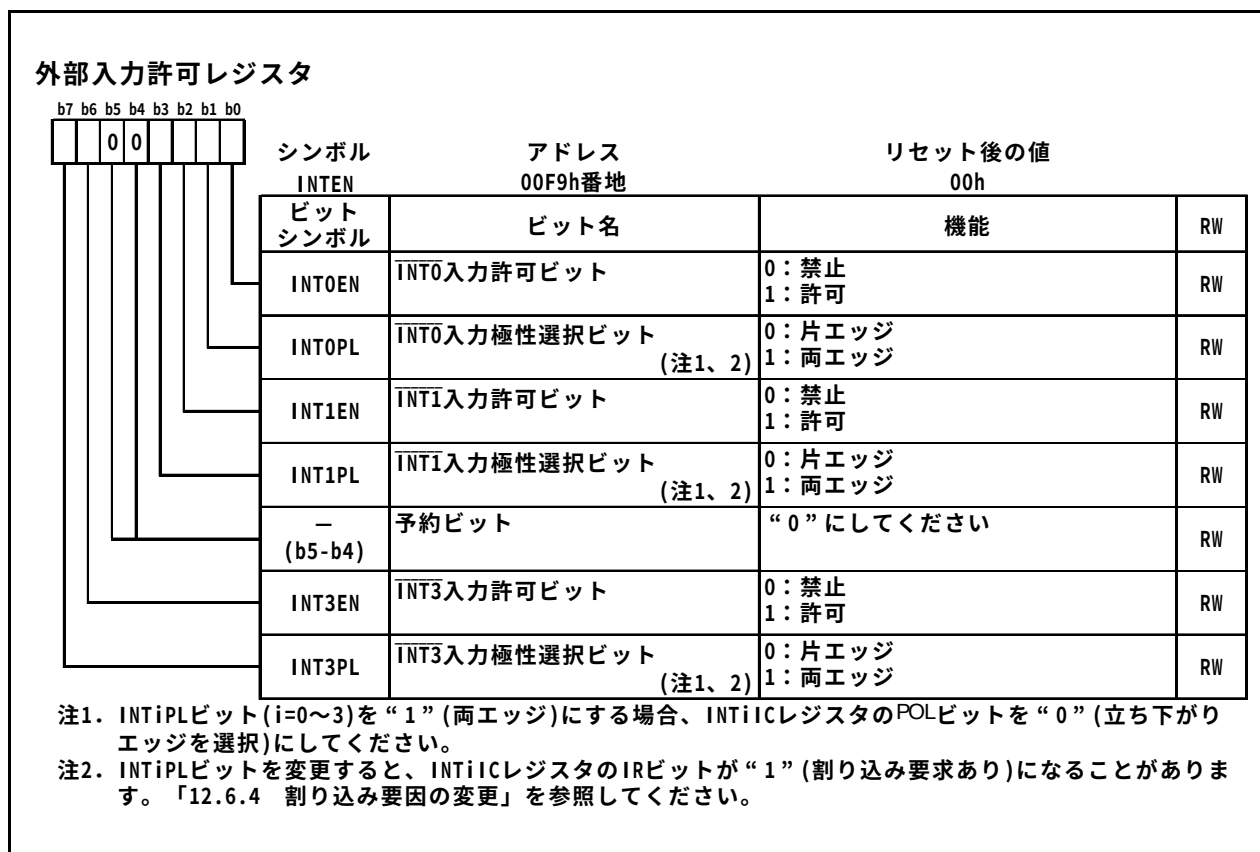


図12.12 INTENレジスタ

INT入力フィルタ選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	0				

シンボル INTF	アドレス 00FAh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
INT0F0	INT0入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
INT0F1			RW
INT1F0	INT1入力フィルタ選択ビット	b3 b2 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
INT1F1			RW
— (b5-b4)	予約ビット	“0” にしてください	RW
INT3F0	INT3入力フィルタ選択ビット	b7 b6 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
INT3F1			RW

図 12.13 INTFレジスタ

12.2.2 INTi入力フィルタ (i=0、1、3)

$\overline{\text{INTi}}$ 入力、デジタルフィルタを持ちます。サンプリングクロックは INTF レジスタの INTiF0 ~ INTiF1 ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、INTiC レジスタの IR ビットが“1” (割り込み要求あり) になります。

図 12.14 に $\overline{\text{INTi}}$ 入力フィルタの構成を、図 12.15 に $\overline{\text{INTi}}$ 入力フィルタ動作例を示します。

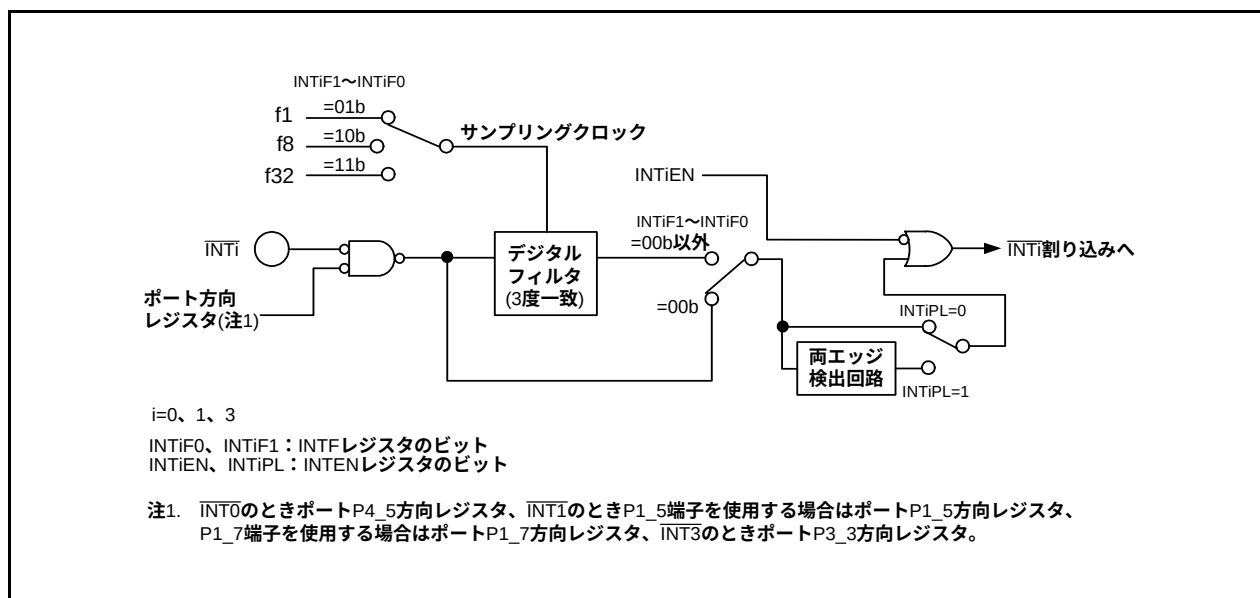


図12.14 INTi入力フィルタの構成

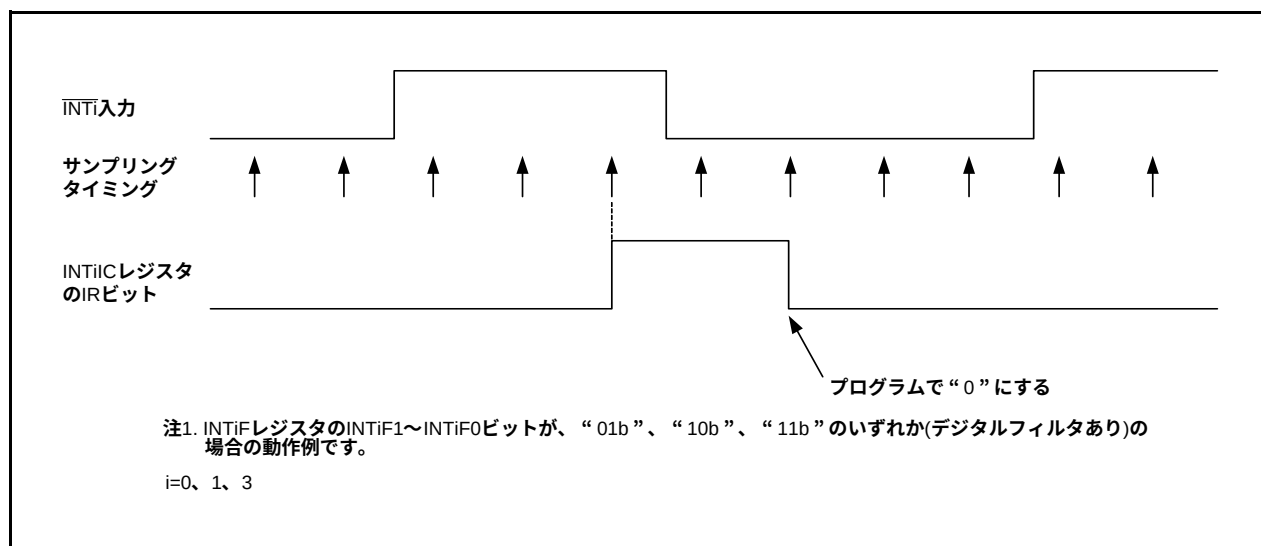


図 12.15 INTi 入力フィルタ動作例

12.3 キー入力割り込み

KI0～KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット($i=0\sim3$)で、端子をKIi入力として使用するかどうかなを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち下がりエッジ)にしているKIi端子に“L”を入力していると、他のKI0～KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしているKIi端子に“H”を入力していると、他のKI0～KI3端子の入力は割り込みとして検知されません。

図12.16にキー入力割り込みのブロック図を、図12.17にKIENレジスタを示します。

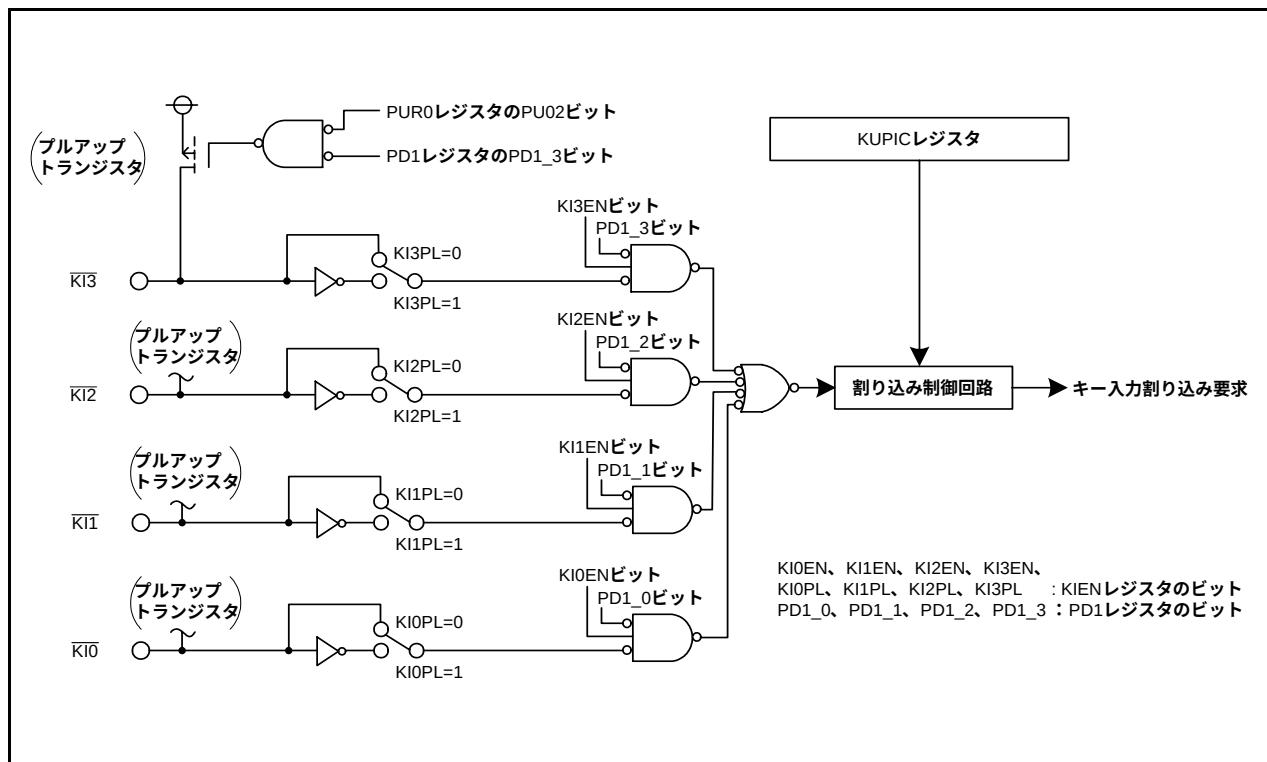


図12.16 キー入力割り込みのブロック図

キー入力許可レジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル KIEN	アドレス 00FBh番地		リセット後の値 00h				
ビット シンボル	ビット名		機能		RW		
KI0EN	KI0入力許可ビット		0: 禁止 1: 許可		RW		
KI0PL	KI0入力極性選択ビット		0: 立ち下がりエッジ 1: 立ち上がりエッジ		RW		
KI1EN	KI1入力許可ビット		0: 禁止 1: 許可		RW		
KI1PL	KI1入力極性選択ビット		0: 立ち下がりエッジ 1: 立ち上がりエッジ		RW		
KI2EN	KI2入力許可ビット		0: 禁止 1: 許可		RW		
KI2PL	KI2入力極性選択ビット		0: 立ち下がりエッジ 1: 立ち上がりエッジ		RW		
KI3EN	KI3入力許可ビット		0: 禁止 1: 許可		RW		
KI3PL	KI3入力極性選択ビット		0: 立ち下がりエッジ 1: 立ち上がりエッジ		RW		

注1. KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.6.4 割り込み要因の変更」を参照してください。

図12.17 KIENレジスタ

12.4 アドレス一致割り込み

RMADi(i=0~1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0~1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER0レジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響を受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.1.6.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表12.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表12.7にアドレス一致割り込み要因と関連レジスタの対応を、図12.18にAIER、RMAD0~RMAD1レジスタを示します。

表12.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタ(i=0~1)で示される番地の命令	退避されるPCの値(注1)
• オペコードが2バイトの命令(注2) • オペコードが1バイトの命令(注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

注1. 退避されるPCの値:「12.1.6.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表12.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

12.5 タイマRC割り込み、コンパレータ0割り込み、コンパレータ1割り込み

タイマRC、コンパレータ0割り込み、コンパレータ1割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、他のマスカブル割り込みとは一部違いがあります。

詳細は「14.3.8 タイマRC割り込み」、「19.4 コンパレータ0、コンパレータ1割り込み」を参照してください。

割り込み制御レジスタは「12.1.6 割り込み制御」を参照してください。

12.6 割り込み使用上の注意

12.6.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

12.6.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

12.6.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電气的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$) に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表21.19($V_{cc} = 5V$)、表21.25($V_{cc} = 3V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)」を参照。)

12.6.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図12.19に割り込み要因の変更手順例を示します。

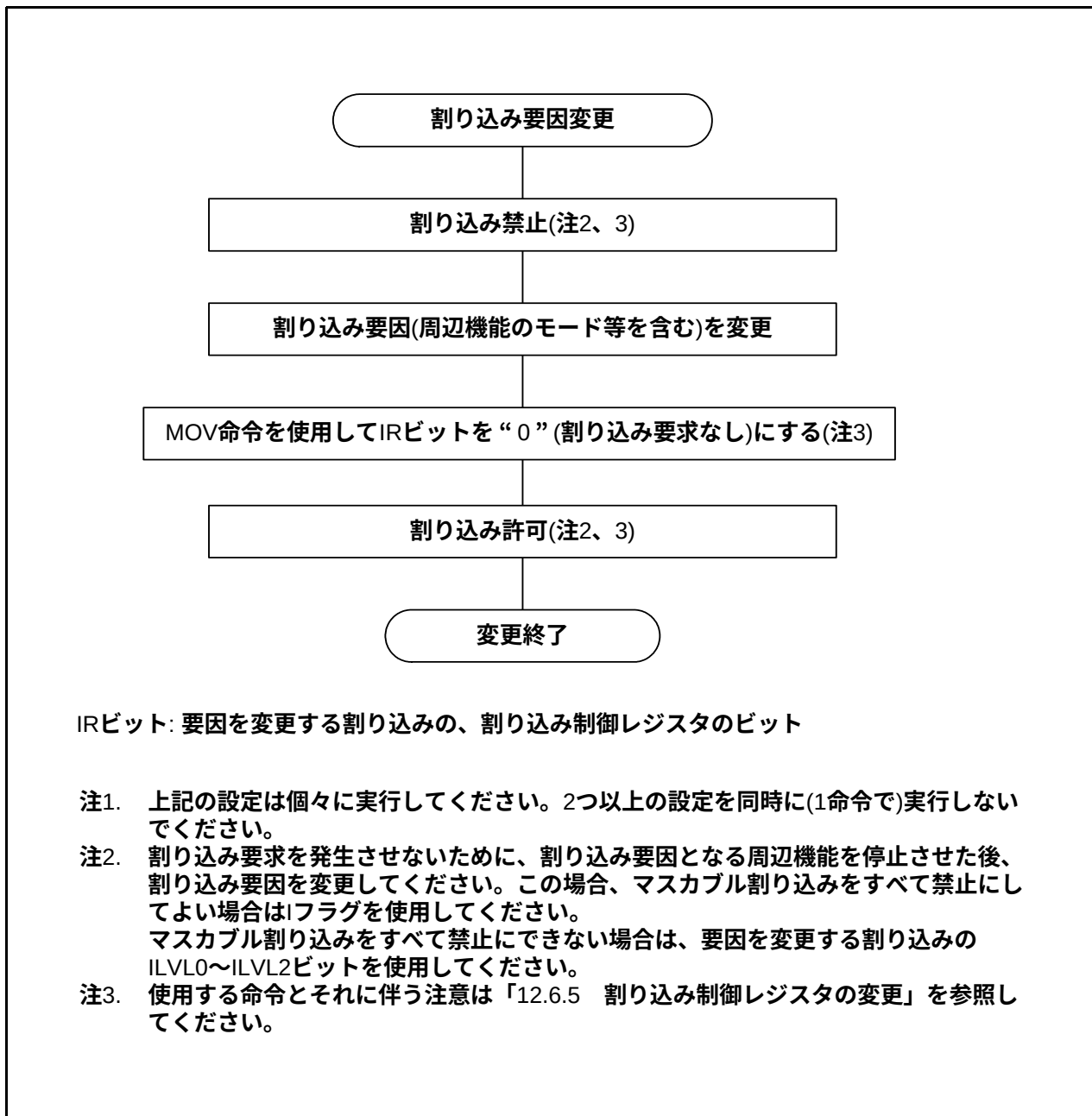


図12.19 割り込み要因の変更手順例

12.6.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令..... AND、OR、BCLR、BSET
- IRビットの変更
IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

13. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表13.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図13.1にウォッチドッグタイマのブロック図を、図13.2にWDTR、WDTs、WDCレジスタを、図13.3にCSPR、OFSレジスタを示します。

表13.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 ・リセット後、自動的にカウントを開始 ・WDTsレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	・プリスケアラの分周比 WDCレジスタのWDC7ビットで選択 ・カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 ・リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択	

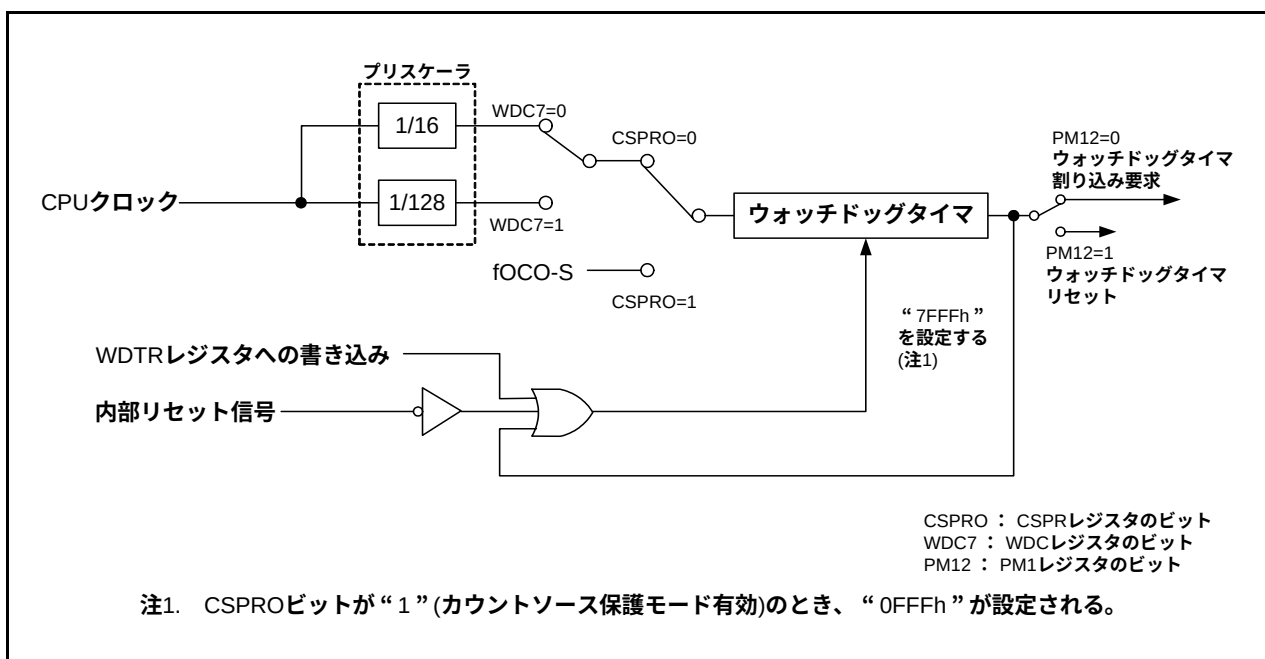


図13.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマリセットレジスタ

b7 b0	シンボル	アドレス	リセット後の値	RW
	WDTR	000Dh番地	不定	
機能				RW
“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注1) ウォッチドッグタイマの初期値はカウントソース保護モード無効時に“7FFFh”、カウントソース保護モード有効時に“0FFFh”が設定される。(注2)				WO

注1. “00h”の書き込みと、“FFh”の書き込みの間に、割り込みを発生させないでください。

注2. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。

ウォッチドッグタイマスタートレジスタ

b7 b0	シンボル	アドレス	リセット後の値	RW
	WDTS	000Eh番地	不定	
機能				RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。				WO

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値									
<table border="1"><tr><td>0</td><td>0</td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>								0	0							WDC	000Fh番地	00X11111b	
0	0																		
<table border="1"><tr><td rowspan="5">ビットシンボル</td><td>— (b4-b0)</td><td>予約ビット</td><td>予約ビット</td><td>WDC7</td></tr></table>								ビットシンボル	— (b4-b0)	予約ビット	予約ビット	WDC7	ビット名	機能	RW				
									ビットシンボル	— (b4-b0)	予約ビット	予約ビット	WDC7						
										ウォッチドッグタイマの上位ビット			RO						
										— (b5)	予約ビット	“0”にしてください。読んだ場合、その値は不定。	RW						
										— (b6)	予約ビット	“0”にしてください。	RW						
— (b7)	プリスケラ選択ビット	0：16分周 1：128分周	RW																

図13.2 WDTR、WDTS、WDCレジスタ

カウントソース保護モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル CSPR	アドレス 001Ch番地	リセット後の値(注1) 00h	
0 0 0 0 0 0 0 0	ビット シンボル	ビット名	機能	RW
— (b6-b0)	予約ビット		“0”にしてください。	RW
CSPRO	カウントソース保護モード選択 ビット(注2)		0: カウントソース保護モード無効 1: カウントソース保護モード有効	RW

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。
プログラムでは“0”にできません。

オプション機能選択レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル OFS	アドレス 0FFFFh番地	出荷時の値 FFh(注2)	
1 0 1 1 1 1 1 1	ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット		0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
— (b1)	予約ビット		“1”にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット		0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット		0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
— (b4)	予約ビット		“1”にしてください。	RW
— (b5)	予約ビット		“0”にしてください。	RW
— (b6)	予約ビット		“1”にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット		0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ
後、OFSレジスタに追加書き込みをしないでください。

注2. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図13.3 CSPR、OFSレジスタ

13.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。

表13.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表13.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	$\text{プリスケアラの分周比}(n) \times \text{ウォッチドッグタイマのカウント値}(32768)$ (注1) CPUクロック $n: 16 \text{ または } 128$ (WDCレジスタのWDC7ビットで選択) 例: CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 ・WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 ・WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	・PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み ・PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

13.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表13.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表13.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 低速オンチップオシレータクロック 例：低速オンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 ・WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 ・WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	・CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される -ウォッチドッグタイマに0FFFFhを設定 -CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振) -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) ・カウントソース保護モードでは、次の状態になる -CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) -CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、低速オンチップオシレータは停止しない)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

14. タイマ

タイマは、8ビットプリスケアラ付き8ビットタイマを2本と、16ビットタイマを1本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRCです。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表 14.1に各タイマの機能比較を示します。

表 14.1 各タイマの機能比較

項目		タイマRA	タイマRB	タイマRC	タイマRE
構成		8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)	4ビットカウンタ 8ビットカウンタ
カウント		ダウンカウント	ダウンカウント	アップカウント	アップカウント
カウントソース		• f1 • f2 • f8 • fOCO	• f1 • f2 • f8 • タイマRAアンダフロー	• f1 • f2 • f4 • f8 • f32 • fOCO40M • TRCCLK	• f4 • f8 • f32
機能	タイマモード	あり	あり	あり (インプットキャプチャ機能、アウトプットコンペア機能)	なし
	パルス出力モード	あり	なし	なし	なし
	イベントカウンタモード	あり	なし	なし	なし
	パルス幅測定モード	あり	なし	なし	なし
	パルス周期測定モード	あり	なし	なし	なし
	プログラマブル波形発生モード	なし	あり	なし	なし
	プログラマブルワンショット発生モード	なし	あり	なし	なし
	プログラマブルウェイトワンショット発生モード	なし	あり	なし	なし
	インプットキャプチャ	なし	なし	あり	なし
	アウトプットコンペア	なし	なし	あり	あり
	PWMモード	なし	なし	あり	なし
	PWM2モード	なし	なし	あり	なし
入力端子		TRAIO	INT0	INT0、TRCCLK、TRCTRG、TRCIOA、TRCIOB、TRCIOC、TRCIOD	—
出力端子		TRA0 TRAIO	TRBO	TRCIOA、TRCIOB、TRCIOC、TRCIOD	TREO
関連する割り込み		タイマRA割り込み INT1割り込み	タイマRB割り込み INT0割り込み	コンペアー致/インプットキャプチャA～D割り込み オーバフロー割り込み INT0割り込み	タイマRE割り込み
タイマ停止		あり	あり	あり	あり

14.1 タイマRA

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表14.2～表14.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図14.1にタイマRAのブロック図を、図14.2、図14.3にタイマRA関連のレジスタを示します。タイマRAは、次の5種類のモードを持ちます。

- | | |
|--------------|---|
| ・タイマモード | 内部カウントソースをカウントするモード |
| ・パルス出力モード | 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード |
| ・イベントカウンタモード | 外部パルスをカウントするモード |
| ・パルス幅測定モード | 外部パルスのパルス幅を測定するモード |
| ・パルス周期測定モード | 外部パルスのパルス周期を測定するモード |

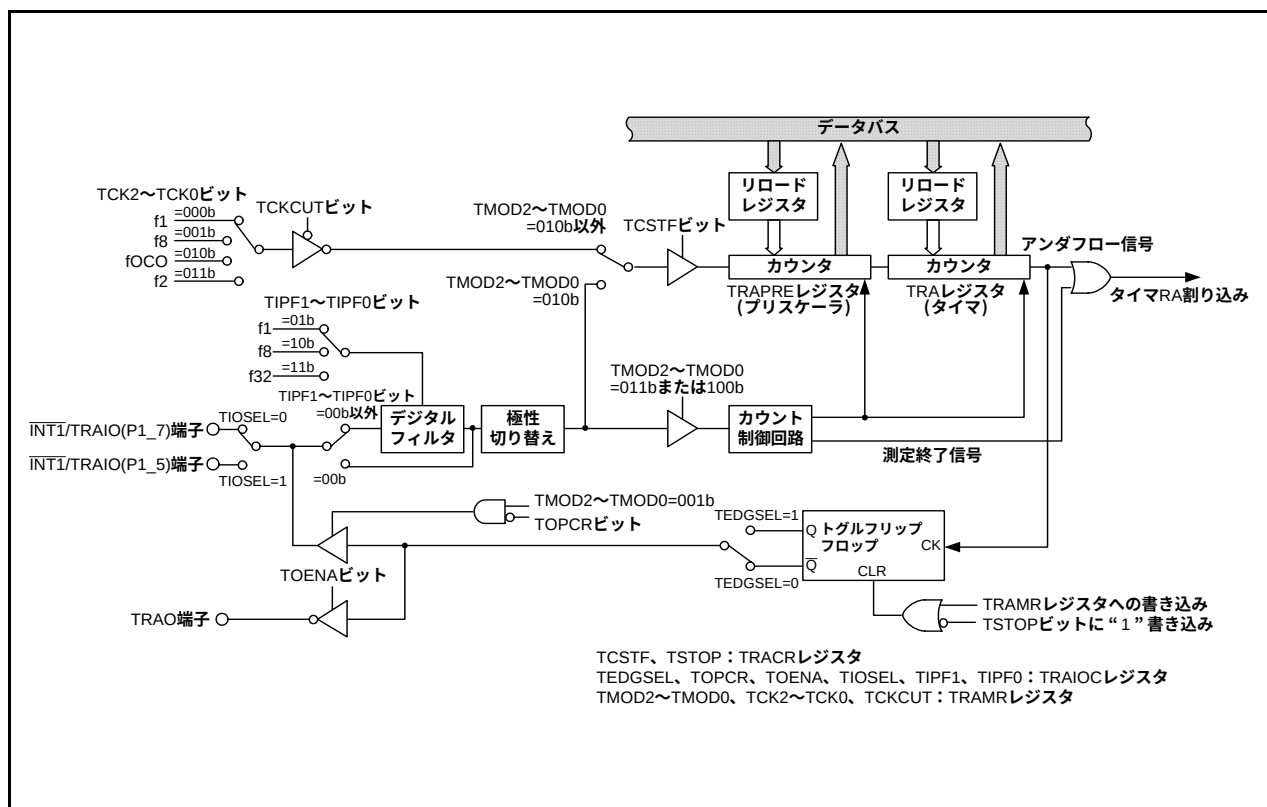


図14.1 タイマRAのブロック図

タイマRA制御レジスタ(注4)

シンボル TRACR	アドレス 0100h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TSTART	タイマRAカウント開始 ビット(注1)	0: カウント停止 1: カウント開始	RW
TCSTF	タイマRAカウントステータ スフラグ(注1)	0: カウント停止 1: カウント中	RO
TSTOP	タイマRAカウント強制停止 ビット(注2)	“1”を書くとカウントが強制停止します。 読んだ場合、その値は“0”。	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
TEDGF	有効エッジ判定フラグ (注3、5)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	RW
TUNDF	タイマRAアンダフロー フラグ(注3、5)	0: アンダフローなし 1: アンダフローあり	RW
— (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. TSTART、TCSTFビットの使用上の注意事項については、「14.1.6 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

注5. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

タイマRA I/O制御レジスタ

シンボル TRAIOC	アドレス 0101h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる。	RW
TOPCR	TRAIO出力制御ビット		RW
TOENA	TRAIO出力許可ビット		RW
TIOSEL	INT1/TRAIO選択ビット		RW
TIPF0	TRAIO入力フィルタ選択 ビット		RW
TIPF1			RW
— (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

図14.2 TRACR、TRAIOC レジスタ

タイマRAモードレジスタ(注1)

シンボル TRAMR	アドレス 0102h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TMOD0	タイマRA動作モード選択 ビット	b2 b1 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 1 0 1: 1 1 0: } 設定しないでください 1 1 1:	RW
TMOD1			RW
TMOD2			RW
— (b3)		何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—
TCK0	タイマRAカウントソース選 択ビット	b6 b5 b4 0 0 0: f1 0 0 1: f8 0 1 0: fOCO 0 1 1: f2 1 0 0: 1 0 1: } 設定しないでください 1 1 0: 1 1 1:	RW
TCK1			RW
TCK2			RW
TCKCUT		0: カウントソース供給 1: カウントソース遮断	RW

注1. TRACRレジスタのTSTARTビットとTCSTFビットとともに“0”(カウント停止)のときに変更してください。

タイマRAプリスケアラレジスタ

シンボル TRAPRE	アドレス 0103h番地	リセット後の値 FFh(注1)	
モード	機能	設定範囲	RW
タイマモード	内部カウントソースをカウント	00h~FFh	RW
パルス出力モード		00h~FFh	RW
イベントカウンタ モード		00h~FFh	RW
パルス幅測定モード	外部からの入力パルスのパルス幅を測 定(内部カウントソースをカウント)	00h~FFh	RW
パルス周期測定 モード	外部からの入力パルスのパルス周期を 測定(内部カウントソースをカウント)	00h~FFh	RW

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

タイマRAレジスタ

シンボル TRA	アドレス 0104h番地	リセット後の値 FFh(注1)	
モード	機能	設定範囲	RW
全モード	タイマRAプリスケアラレジスタのアン ダフローをカウント	00h~FFh	RW

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

図14.3 TRAMR、TRAPRE、TRAレジスタ

14.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.2)。

図14.4にタイマモード時のTRAIOCレジスタを示します。

表14.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAIO端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
TRAIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「14.1.1.1 カウント中のタイマ書き込み制御」参照)

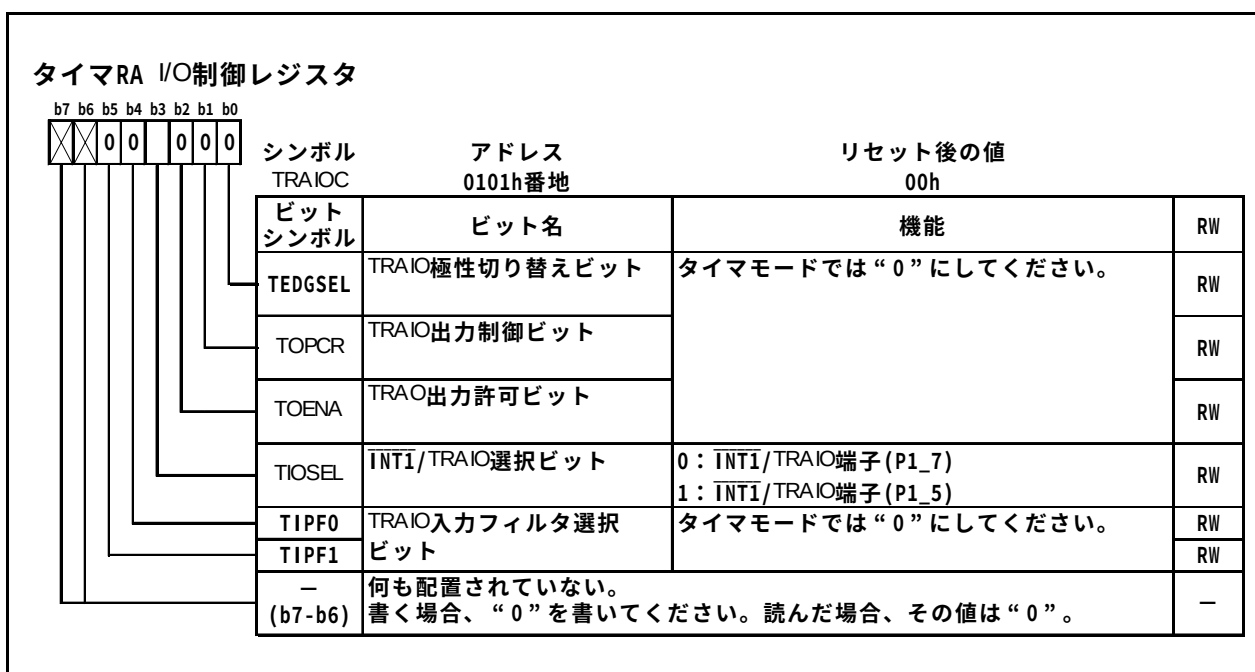


図14.4 タイマモード時のTRAIOCレジスタ

14.1.1.1 カウント中のタイマ書き込み制御

タイマRAはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケアラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、カウント中にプリスケアラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図14.5にタイマRA カウント中にカウント値を書き換えた場合の動作例を示します。

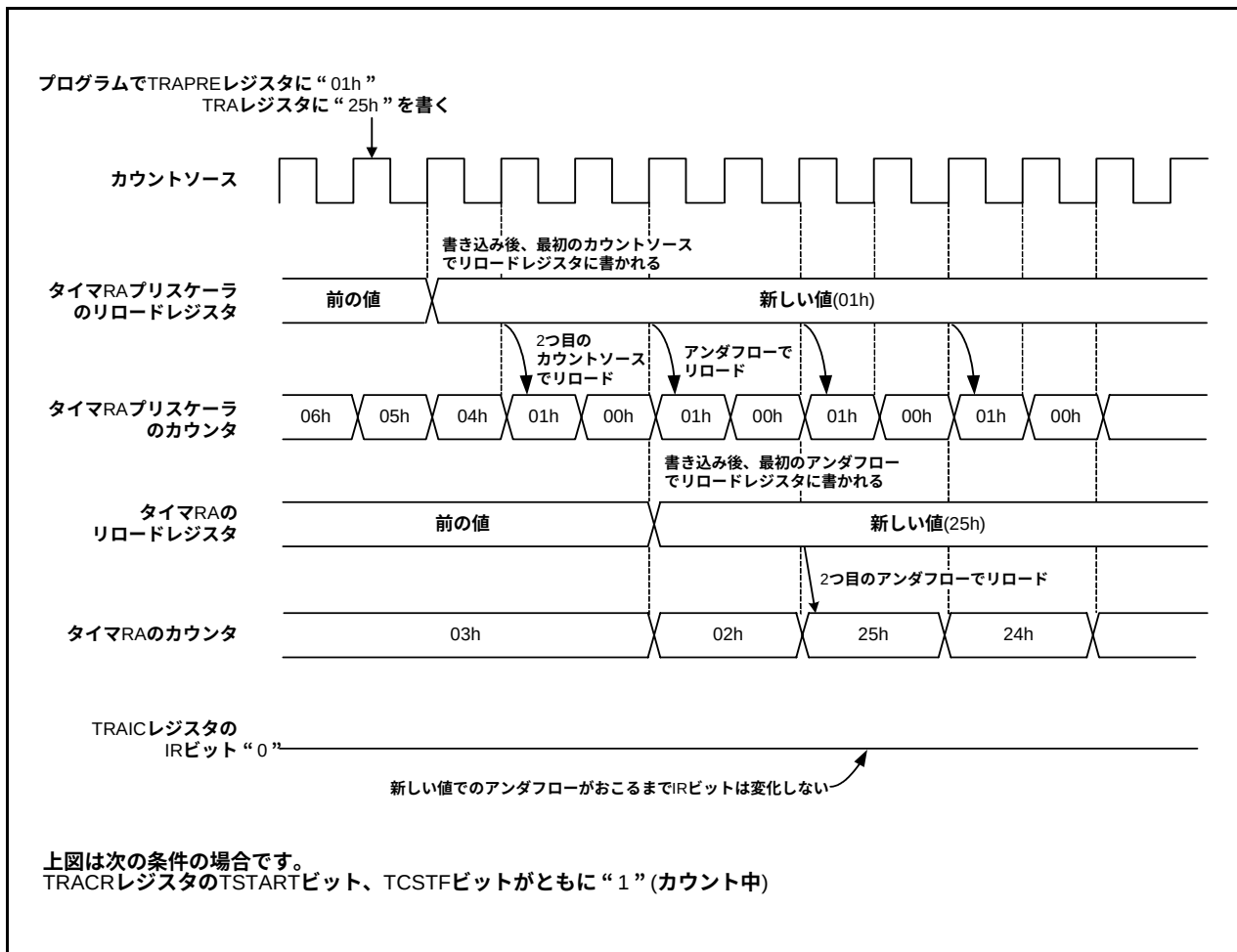


図14.5 タイマRA カウント中にカウント値を書き換えた場合の動作例

14.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表14.3)。

図14.6にパルス出力モード時のTRAIOCレジスタを示します。

表14.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAIO信号端子機能	パルス出力、またはプログラマブル出力ポート、INT1割り込み入力(注1)
TRA0端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「14.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	・TRAIO出力極性切り替え機能 TEDGSELビットでパルス出力開始時のレベルを選択(注1) ・TRA0出力機能 TRAIO出力の極性を反転したパルスをTRA0端子から出力(TOENAビットで選択) ・パルス出力停止機能 TOPCRビットでTRAIO端子からのパルス出力を停止 ・INT1/TRAIO端子選択機能 TIOSELビットでP1_7またはP1_5を選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマRA I/O制御レジスタ									
b7	b6	b5	b4	b3	b2	b1	b0		
×	×	0	0					シンボル TRAIOC	アドレス 0101h番地
								リセット後の値 00h	
ビット シンボル	ビット名		機能				RW		
TEDGSEL	TRAIO極性切り替えビット		0: “H” からTRAIO出力開始 1: “L” からTRAIO出力開始				RW		
TOPCR	TRAIO出力制御ビット		0: TRAI0出力 1: ポートP1_7またはポートP1_5				RW		
TOENA	TRA0出力許可ビット		0: ポートP3_7 1: TRA0出力 (TRAIO出力の反転をP3_7から出力)				RW		
TIOSEL	INT1/TRAIO選択ビット		0: INT1/TRAIO端子(P1_7) 1: INT1/TRAIO端子(P1_5)				RW		
TIPF0	TRAIO入力フィルタ選択 ビット		パルス出力モードでは“0”にしてください。				RW		
TIPF1							RW		
— (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。						—		

図 14.6 パルス出力モード時のTRAIOCレジスタ

14.1.3 イベントカウンタモード

INT1/TRATIO端子から入力する外部信号をカウントするモードです(表14.4)。

図14.7にイベントカウンタモード時のTRAIOCレジスタを示します。

表14.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRATIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n: TRAPREレジスタの設定値、m: TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRATIO信号端子機能	カウントソース入力(INT1割り込み入力)
TRATIO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「14.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	・INT1入力極性切り替え機能 TEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRATIO端子から出力(TOENAビットで選択)(注1) ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマRA I/O制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0								シンボル TRAIOC	アドレス 0101h番地	リセット後の値 00h	
								ビット シンボル	ビット名	機能	RW
								TEDGSEL	TRAIO極性切り替えビット	0: TRAIO入力の立ち上がりエッジでカウント また、“L”からTRAO出力開始 1: TRAIO入力の立ち下がりエッジでカウント また、“H”からTRAO出力開始	RW
								TOPCR	TRAIO出力制御ビット	イベントカウンタモードでは“0”にしてください。	RW
								TOENA	TRAO出力許可ビット	0: ポートP3_0 1: TRAO出力	RW
								TIOSEL	INTI/TRAIO選択ビット	0: INTI/TRAIO端子(P1_7) 1: INTI/TRAIO端子(P1_5)	RW
								TIPF0	TRAIO入力フィルタ選択 ビット(注1)	b5 b4 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
								TIPF1			RW
								— (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

図 14.7 イベントカウンタモード時のTRAIOCレジスタ

14.1.4 パルス幅測定モード

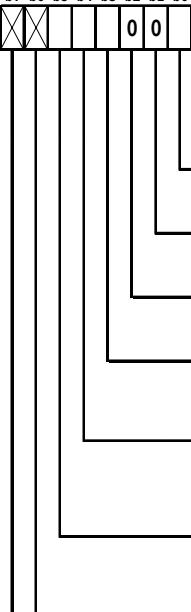
INT1/TRATIO端子から入力する外部信号のパルス幅を測定するモードです(表14.5)。

図14.8にパルス幅測定モード時のTRATIOレジスタを、図14.9にパルス幅測定モード時の動作例を示します。

表14.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	・タイマRAのアンダフロー時[タイマRA割り込み] ・TRATIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
INT1/TRATIO信号端子機能	測定パルス入力(INT1割り込み入力)
TRATIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「14.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	・測定レベル設定 TEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

タイマRA I/O制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値
								TRAIOC	0101h番地	00h
ビット シンボル	ビット名							機能	RW	
TEDGSEL	TRAIO極性切り替えビット							0：TRAIO入力の“L”レベル幅を測定 1：TRAIO入力の“H”レベル幅を測定	RW	
TOPCR	TRAIO出力制御ビット							パルス幅測定モードでは“0”にしてください。	RW	
TOENA	TRAIO出力許可ビット								RW	
TIOSEL	INT1/TRAI0選択ビット							0：INT1/TRAI0端子(P1_7) 1：INT1/TRAI0端子(P1_5)	RW	
TIPF0	TRAIO入力フィルタ選択 ビット(注1)							b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	RW	
TIPF1									RW	
— (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。							—		

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

図14.8 パルス幅測定モード時のTRAIOCレジスタ

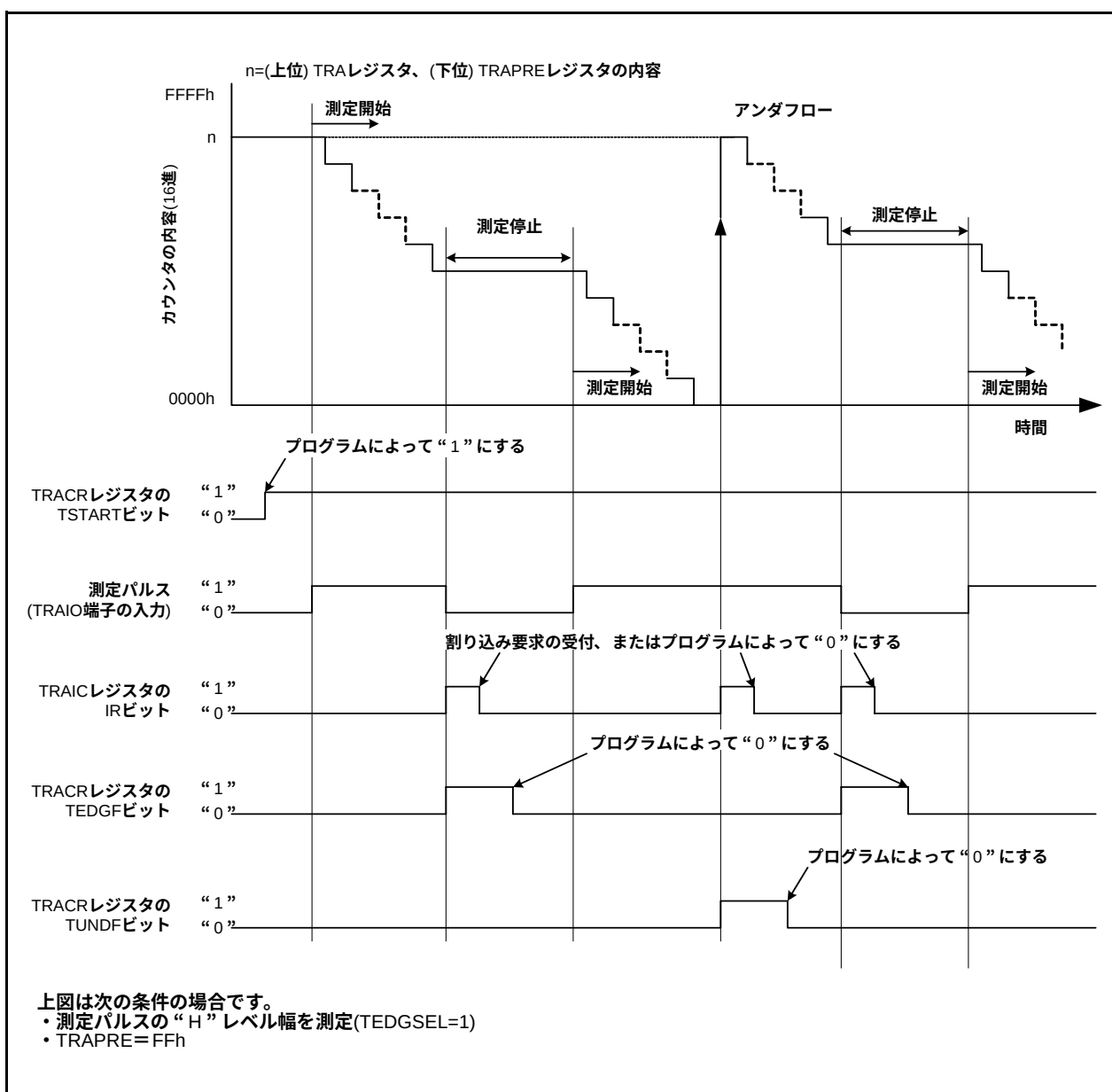


図14.9 パルス幅測定モード時の動作例

14.1.5 パルス周期測定モード

INT1/TRATIO端子から入力する外部信号のパルス周期を測定するモードです(表14.6)。

図14.10にパルス周期測定モード時のTRATIOレジスタを、図14.11にパルス周期測定モード時の動作例を示します。

表14.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	・タイマRAのアンダフロー時、またはリロード時[タイマRA割り込み] ・TRATIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
INT1/TRATIO端子機能	測定パルス入力(注1)(INT1割り込み入力)
TRATIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「14.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	・測定期間選択 TEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマRA I/O制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0								シンボル TRAIOC	アドレス 0101h番地	リセット後の値 00h	
☒	☒	☐	☐	☐	☐	☐	☐	ビット シンボル	ビット名	機能	RW
								TEDGSEL	TRAIO極性切り替えビット	0：測定パルスの立ち上がりから立ち上がり間測定 1：測定パルスの立ち下がりから立ち下がり間測定	RW
								TOPCR	TRAIO出力制御ビット	パルス周期測定モードでは“0”にしてください。	RW
								TOENA	TRAIO出力許可ビット		RW
								TIOSEL	INTI/TRAIO選択ビット	0：INTI/TRAIO端子(P1_7) 1：INTI/TRAIO端子(P1_5)	RW
								TIPF0	TRAIO入力フィルタ選択ビット(注1)	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	RW
								TIPF1			RW
								— (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

図 14.10 パルス周期測定モード時のTRAIOCレジスタ

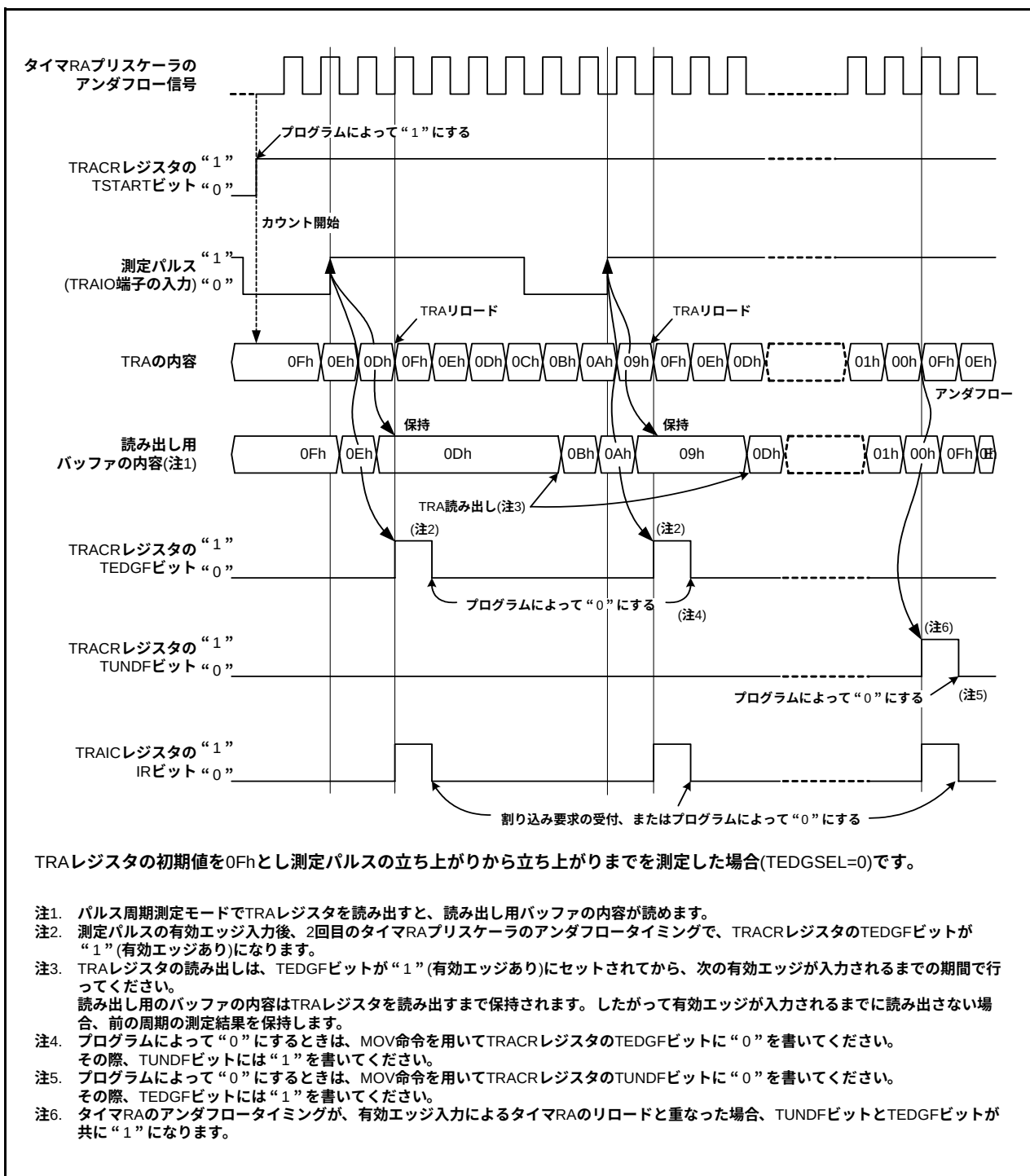


図 14.11 パルス周期測定モード時の動作例

14.1.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。

注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダーフローの3周期以上空けてください。

14.2 タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表14.7～表14.10の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウンタソースは、カウンタ、リロードなどのタイマ動作の動作クロックになります。

図14.12にタイマRBのブロック図を、図14.13～図14.15にTRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPRレジスタを示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード
 - 内部カウンタソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード
 - 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード
 - ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード
 - ディレイドワンショットパルスを出力するモード

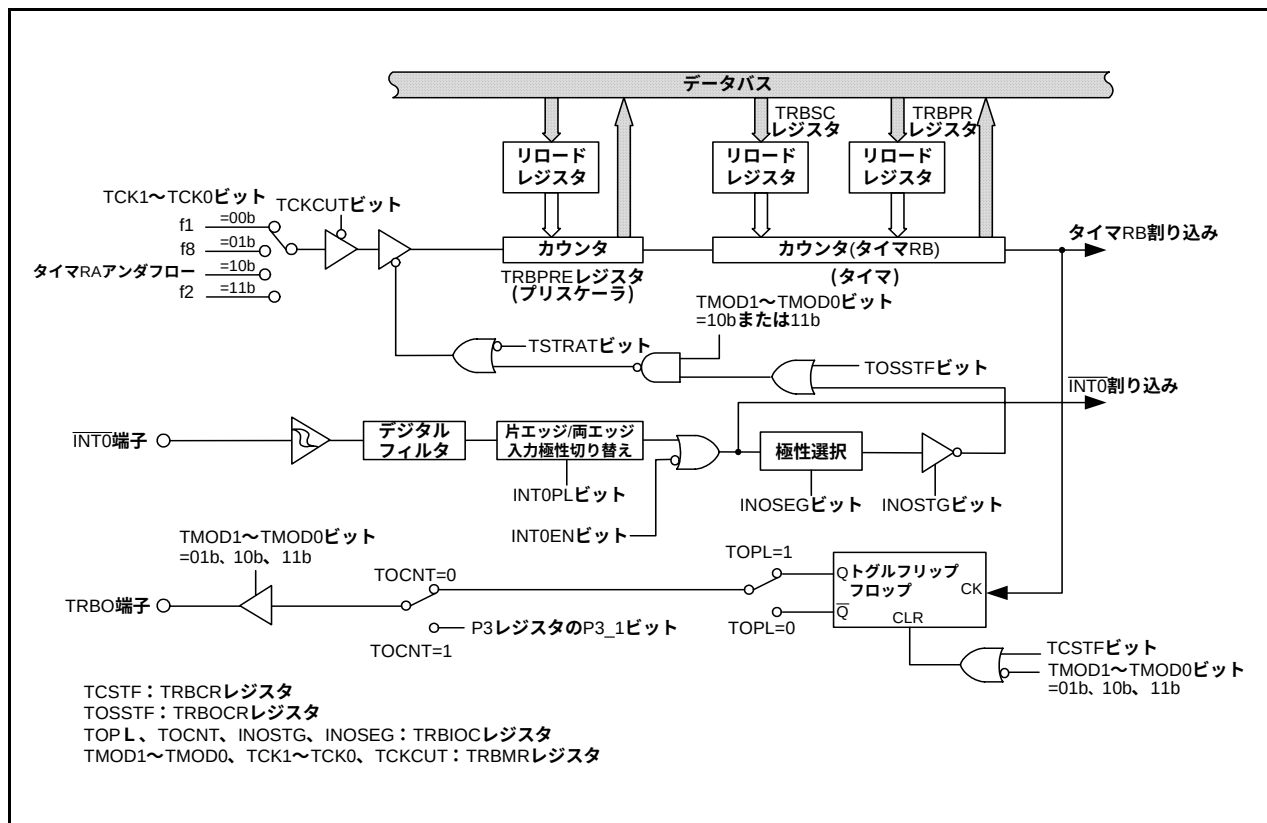


図14.12 タイマRBのブロック図

タイマRB制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル TRBCR		アドレス 0108h番地		リセット後の値 00h			
ビット シンボル	ビット名			機能			RW
TSTART	タイマRBカウント開始ビット (注1)			0：カウント停止 1：カウント開始			RW
TCSTF	タイマRBカウントステータス フラグ(注1)			0：カウント停止 1：カウント中(注3)			RO
TSTOP	タイマRBカウント強制停止 ビット(注1、2)			“1”を書くとカウントが強制停止しま す。読んだ場合、その値は“0”。			RW
— (b7-b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。						—

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「14.2.5 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

タイマRBワンショット制御レジスタ(注2)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル TRBOCR		アドレス 0109h番地		リセット後の値 00h			
ビット シンボル	ビット名			機能			RW
TOSST	タイマRBワンショット 開始ビット			“1”を書くとワンショットトリガを発生します。 読んだ場合、その値は“0”。			RW
TOSSP	タイマRBワンショット 停止ビット			“1”を書くとワンショットパルス(ウェイト 含む)のカウントを停止します。 読んだ場合、その値は“0”。			RW
TOSSTF	タイマRBワンショット ステータスフラグ(注1)			0：ワンショット停止中 1：ワンショット動作中(ウェイト期間含む)			RO
— (b7-b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。						—

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

注2. TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

図14.13 TRBCR、TRBOCRレジスタ

タイマRB I/O制御レジスタ

シンボル TRBIOC	アドレス 010Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	動作モードによって機能が異なる。	RW
TOCNT	タイマRB出力切り替え ビット		RW
INOSTG	ワンショットトリガ 制御ビット		RW
INOSEG	ワンショットトリガ 極性選択ビット		RW
— (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

タイマRBモードレジスタ

シンボル TRBMR	アドレス 010Bh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TMOD0	タイマRB動作モード 選択ビット(注1)	b1 b0 0 0: タイマモード 0 1: プログラマブル波形発生モード 1 0: プログラマブルワンショット発生モード 1 1: プログラマブルウェイトワンショット 発生モード	RW
TMOD1			RW
— (b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
TWRC	タイマRB書き込み制御 ビット(注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	RW
TCK0	タイマRBカウントソース 選択ビット(注1)	b5 b4 0 0: f1 0 1: f8 1 0: タイマRAのアンダフロー 1 1: f2	RW
TCK1			RW
— (b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
TCKCUT	タイマRBカウントソース 遮断ビット(注1)	0: カウントソース供給 1: カウントソース遮断	RW

注1. TMOD1~TMOD0ビット、TCK1~TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

図14.14 TRBIOC、TRBMR レジスタ

タイマRBプリスケアラレジスタ(注1)

b7 b0	シンボル TRBP	アドレス 010Ch番地	リセット後の値 FFh	
	モード	機能	設定範囲	RW
	タイマモード	内部カウントソース、または タイマRAアンダフローをカウント	00h~FFh	RW
	プログラマブル波形 発生モード		00h~FFh	RW
	プログラマブル ワンショット発生モード		00h~FFh	RW
	プログラマブルウェイト ワンショット発生モード		00h~FFh	RW

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPレジスタは“FFh”になります。

タイマRBセカンダリレジスタ(注3、4)

b7 b0	シンボル TRBS	アドレス 010Dh番地	リセット後の値 FFh	
	モード	機能	設定範囲	RW
	タイマモード	無効	00h~FFh	—
	プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h~FFh	WO (注2)
	プログラマブル ワンショット発生モード	無効	00h~FFh	—
	プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h~FFh	WO (注2)

注1. TRBPRレジスタとTRBSレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

注3. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSレジスタは“FFh”になります。

注4. TRBSレジスタに書き込むときは、次の手順で書いてください。

(1) TRBSレジスタに値を書く

(2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

タイマRBプライマリレジスタ(注2)

b7 b0	シンボル TRBP	アドレス 010Eh番地	リセット後の値 FFh	
	モード	機能	設定範囲	RW
	タイマモード	タイマRBプリスケアラのアンダフローを カウント	00h~FFh	RW
	プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h~FFh	RW
	プログラマブル ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h~FFh	RW
	プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ウェイト期間をカウント)	00h~FFh	RW

注1. TRBPRレジスタとTRBSレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPレジスタは“FFh”になります。

図14.15 TRBP、TRBS、TRBPレジスタ

14.2.1 タイマモード

内部で生成されたカウントソースまたはタイマ RA のアンダフローをカウントするモードです (表 14.7)。タイマモード時、TRBOCR および TRBSC レジスタは使用しません。

図 14.16 にタイマモード時の TRBIOC レジスタを示します。

表 14.7 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマ RA のアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマ RB のアンダフロー時はタイマ RB プライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n : TRBPRES レジスタの設定値、m : TRBPR レジスタの設定値
カウント開始条件	TRBCR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み
カウント停止条件	・TRBCR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み ・TRBCR レジスタの TSTOP ビットへの “1” (カウント強制停止) 書き込み
割り込み要求発生タイミング	タイマ RB のアンダフロー時 [タイマ RB 割り込み]
TRBO 端子機能	プログラマブル入出力ポート
INT0 端子機能	プログラマブル入出力ポート、または INT0 割り込み入力
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、TRBMR レジスタの TWRC ビットが “0” なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRC ビットが “1” なら、それぞれリロードレジスタにのみ書き込まれる。 (「14.2.1.1 カウント中のタイマ書き込み制御」参照)

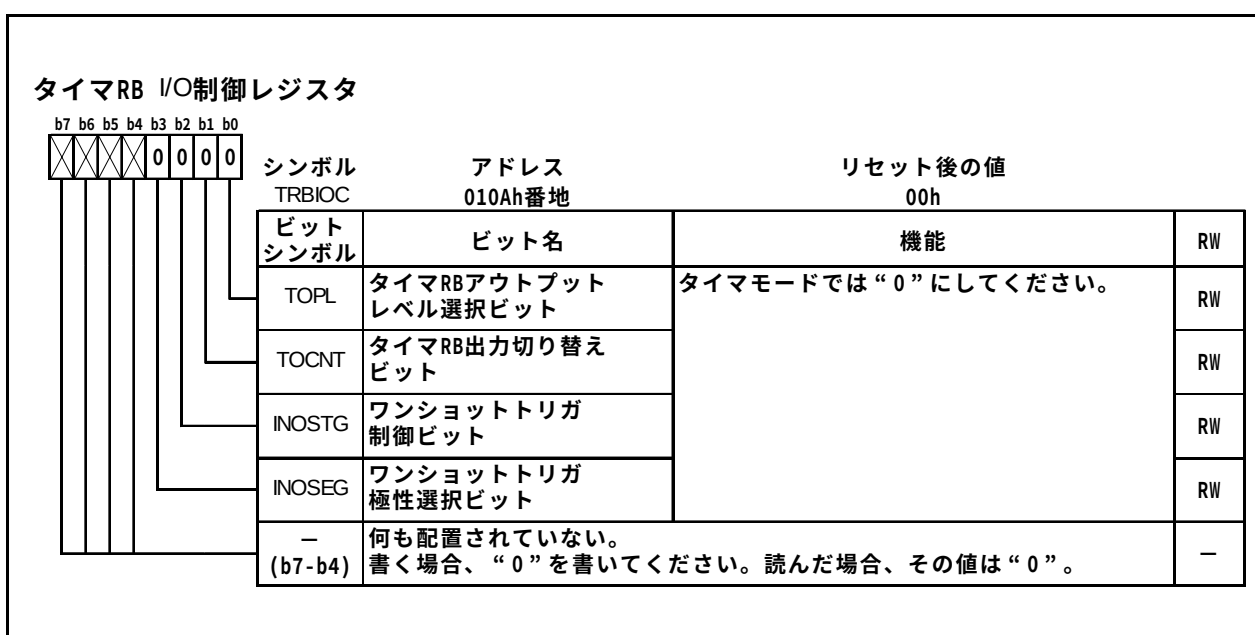


図 14.16 タイマモード時の TRBIOC レジスタ

14.2.1.1 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれます。図14.17にタイマRB カウント中にカウント値を書き換えた場合の動作例を示します。

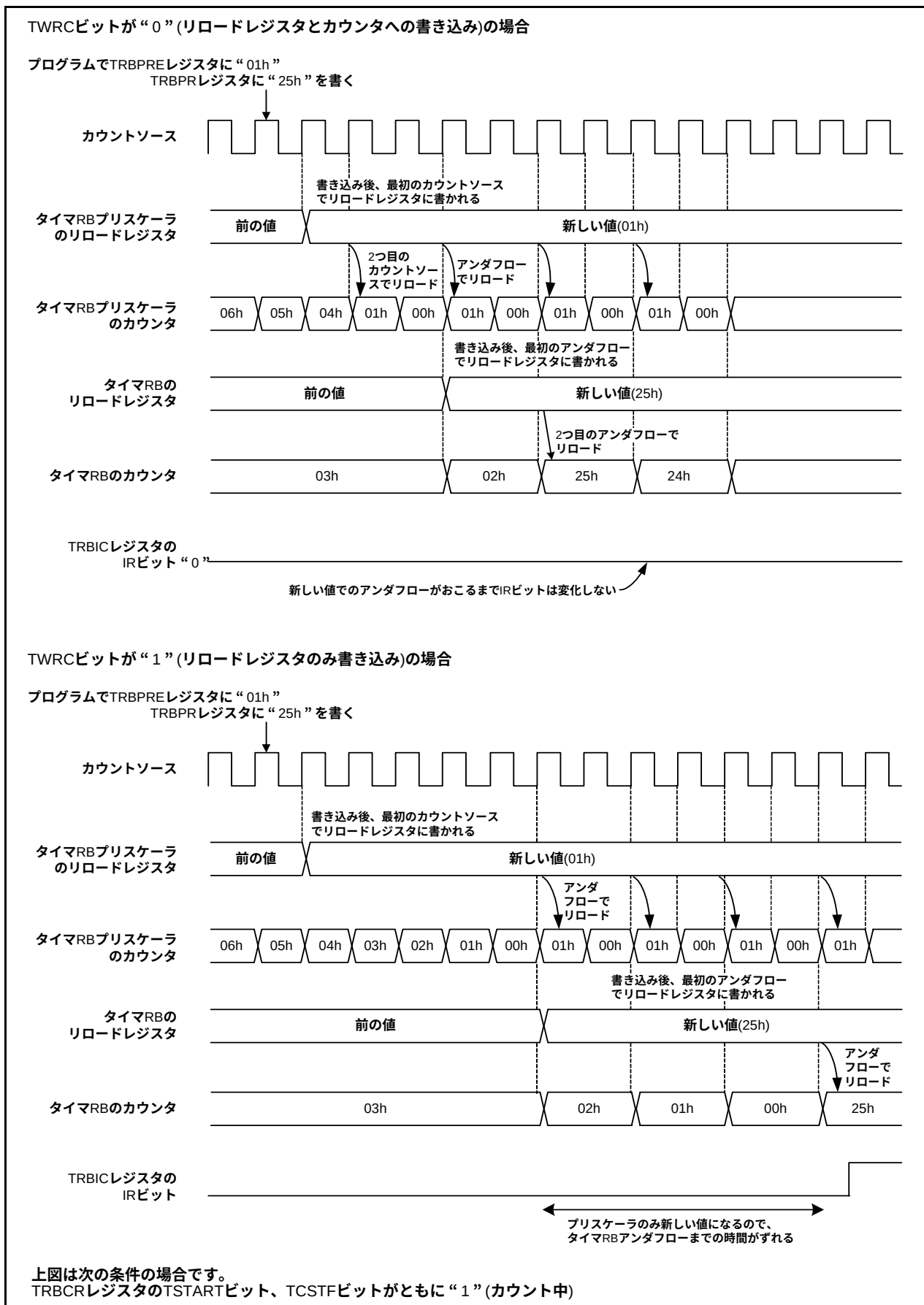


図14.17 タイマRB カウント中にカウント値を書き換えた場合の動作例

14.2.2 プログラマブル波形発生モード

TRBPRレジスタとTRBSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO端子から出力する信号を反転するモードです(表14.8)。カウント開始時は、TRBPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCRレジスタは使用しません。

図14.18にプログラマブル波形発生モード時のTRBIOCレジスタを、図14.19にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表14.8 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値 p : TRBSCレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時に) [タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	・カウント停止中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択 ・TRBO端子出力切り替え機能 TRBIOCレジスタのTOCNTビットでタイマRBパルス出力またはP3_1ラッチ出力を選択(注3)

注1. セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。

注2. 波形の出力は、TRBPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNTビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマRB割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

タイマRB I/O制御レジスタ

シンボル
TRBIOC

アドレス
010Ah番地

リセット後の値
00h

ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0：プライマリ期間“H”出力、セカンダリ 期間“L”出力 タイマ停止時“L”出力 1：プライマリ期間“L”出力、セカンダリ 期間“H”出力 タイマ停止時“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	0：タイマRB波形出力 1：P3_1(P1_3)ポートラッチの値を出力	RW
INOSTG	ワンショットトリガ 制御ビット	プログラマブル波形発生モードでは“0”に してください。	RW
INOSEG	ワンショットトリガ 極性選択ビット		RW
— (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

図 14.18 プログラマブル波形発生モード時のTRBIOCレジスタ

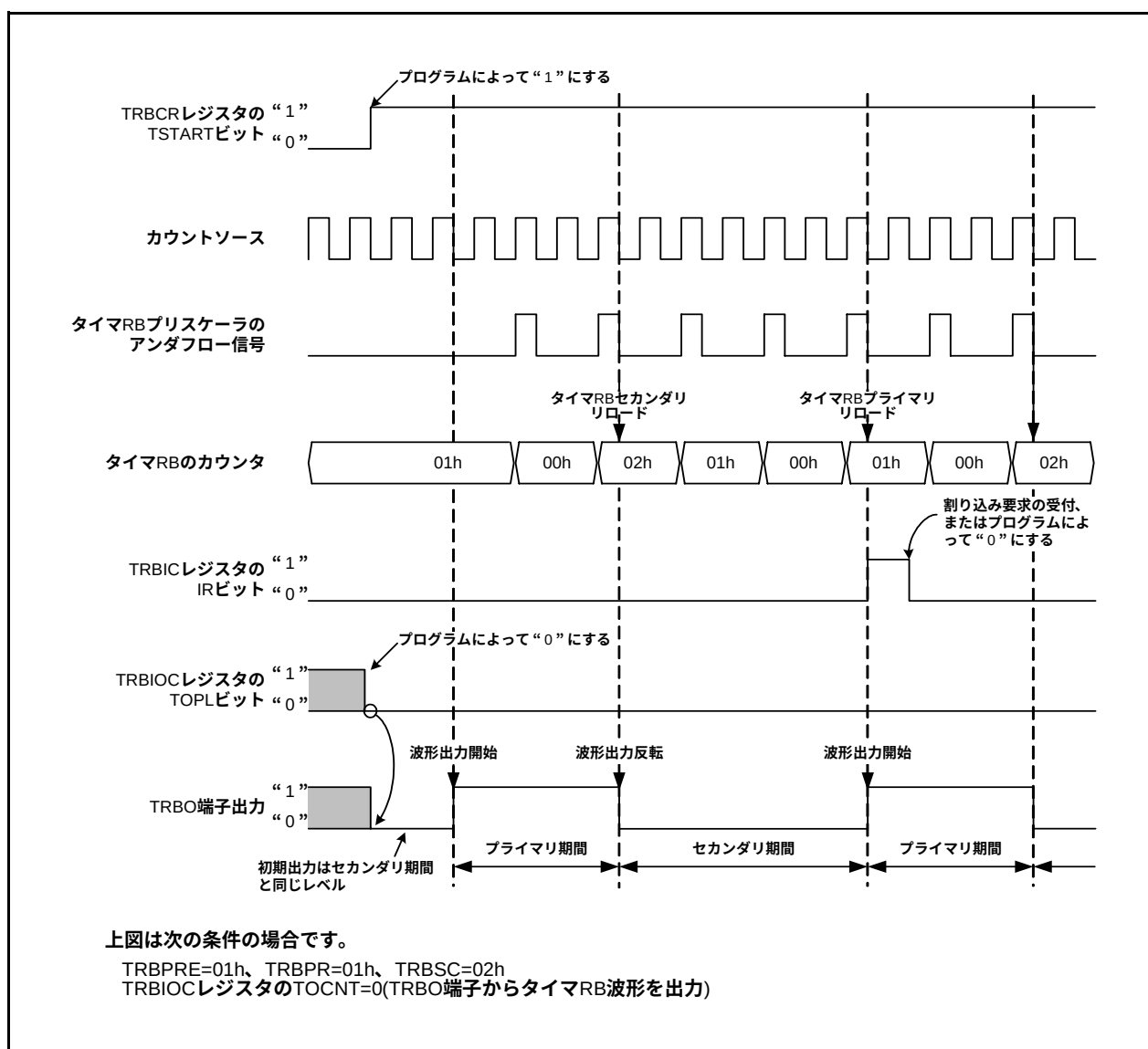


図 14.19 プログラマブル波形発生モード時のタイマRBの動作例

14.2.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTRBO端子から出力するモードです(表14.9)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図14.20にプログラマブルワンショット発生モード時のTRBIOCレジスタを、図14.21にプログラマブルワンショット発生モード時の動作例を示します。

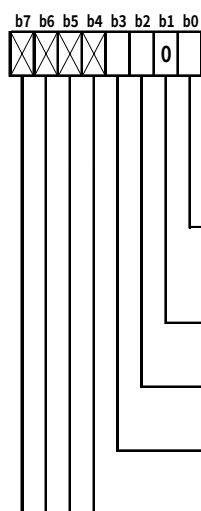
表14.9 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	• TRBPRレジスタの設定値をダウンカウント • アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTビットが“0”(ワンショット停止)になる • カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値(注2)
カウント開始条件	• TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 • TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み • INT0端子へのトリガ入力
カウント停止条件	• タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 • TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み • TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み • TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	• TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 • TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	• カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)
選択機能	• アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 • ワンショットトリガ選択機能 「14.2.3.1 ワンショットトリガ選択」参照

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

注2. TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。

タイマRB I/O制御レジスタ



シンボル TRBIOC	アドレス 010Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0: ワンショットパルス“H”出力、 タイマ停止時“L”出力 1: ワンショットパルス“L”出力、 タイマ停止時“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	プログラマブルワンショット発生モードでは “0”にしてください。	RW
INOSTG	ワンショットトリガ 制御ビット(注1)	0: $\overline{\text{INT0}}$ 端子ワンショットトリガ無効 1: $\overline{\text{INT0}}$ 端子ワンショットトリガ有効	RW
INOSEG	ワンショットトリガ 極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW
— (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. 「14.2.3.1 ワンショットトリガ選択」を参照してください。

図14.20 プログラマブルワンショット発生モード時のTRBIOCレジスタ

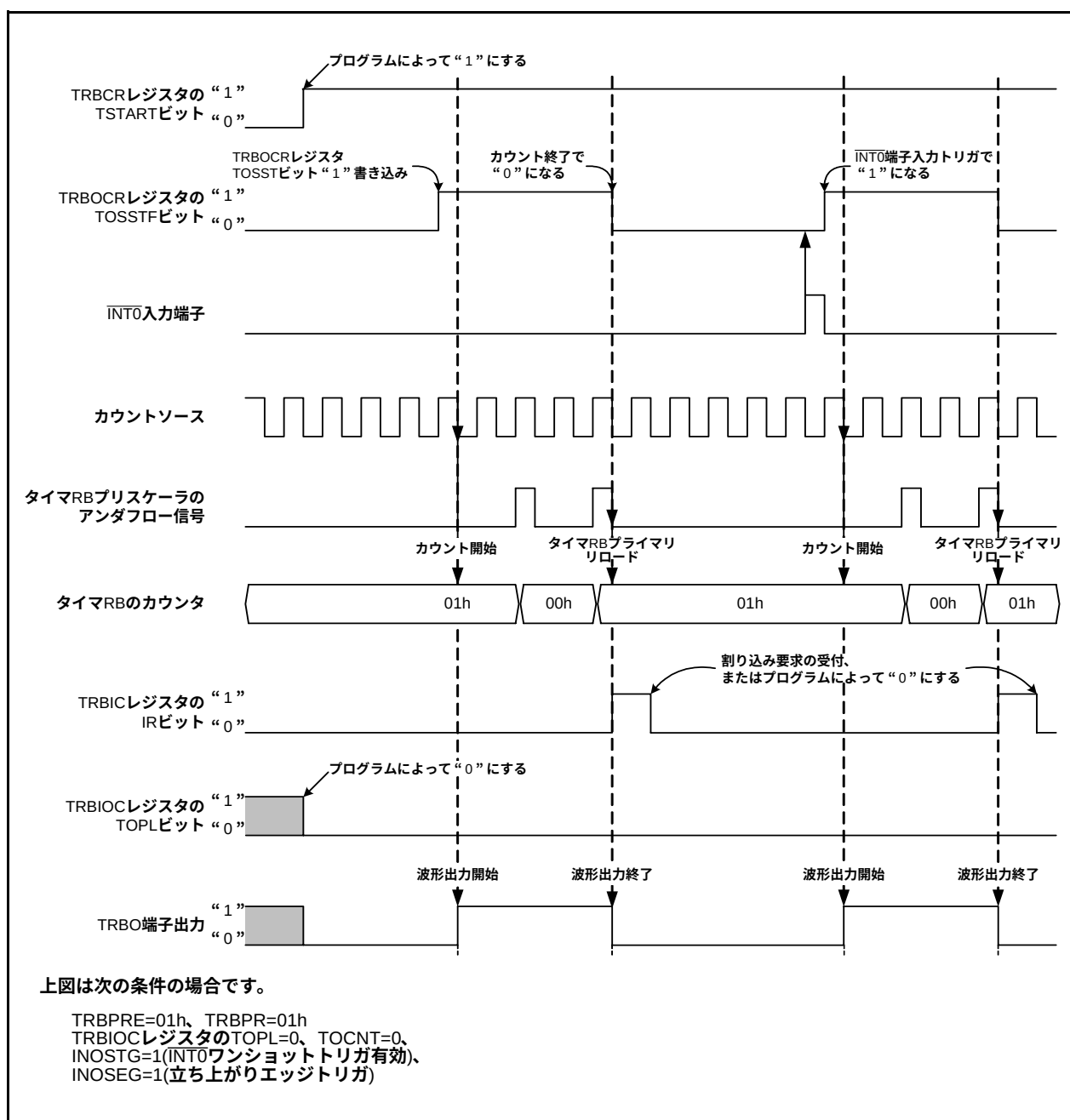


図14.21 プログラマブルワンショット発生モード時の動作例

14.2.3.1 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCR レジスタの TCSTF ビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムで TRBOCR レジスタの TOSST ビットに“1”を書く
- INT0 端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2 サイクル経ってから TRBOCR レジスタの TOSSTF ビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTF ビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$ 端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4 レジスタの PD4_5 ビットを“0”(入力ポート)にする
- $\overline{\text{INT0}}$ のデジタルフィルタを INTF レジスタの INT0F1～INT0F0 ビットで選択
- INTEN レジスタの INT0PL ビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらに TRBIOC レジスタの INOSEG ビットで立ち下がりまたは立ち上がりエッジを選択する
- INTEN レジスタの INT0EN を“0”(許可)にする
- 上記の設定後、TRBIOC レジスタの INOSTG ビットを“1”(INT 端子ワンショットトリガ有効)にする

なお、 $\overline{\text{INT0}}$ 端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「12. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0IC レジスタの POL ビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOC レジスタの INOSEG ビットは $\overline{\text{INT0}}$ 割り込みとは無関係です)。
- TOSSTF ビットが“1”の期間に、ワンショットトリガが発生してもタイマ RB の動作には影響ありませんが、INT0IC レジスタの IR ビットは変化します。

14.2.4 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ (INT0 端子の入力) から、一定時間後にワンショットパルス (TRBO 端子から出力するモード) です (表 14.10)。トリガが発生すると、その時点から任意の時間 (TRBPR レジスタの設定値) 後、一度だけ任意の時間 (TRBSC レジスタの設定値) パルス出力を行います。

図 14.22 にプログラマブルウェイトワンショット発生モード時の TRBIOC レジスタを、図 14.23 にプログラマブルウェイトワンショット発生モードの動作例を示します。

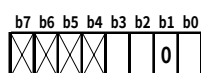
表 14.10 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマ RA のアンダフロー
カウント動作	・タイマ RB プライマリの設定値をダウンカウント ・タイマ RB プライマリのカウントがアンダフロー時、タイマ RB セカンダリの内容をリロードしてカウントを継続 ・タイマ RB セカンダリのカウントがアンダフロー時、タイマ RB プライマリの内容をリロードしてカウントを終了し、TOSSTF ビットが “0” (ワンショット停止) になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 m : TRBPR レジスタの設定値 (注 2)
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 p : TRBSC レジスタの設定値
カウント開始条件	・TRBCR レジスタの TSTART ビットが “1” (カウント開始) でかつ、次のトリガが発生 ・TRBOCR レジスタの TOSST ビットへの “1” (ワンショット開始) 書き込み ・INT0 端子へのトリガ入力
カウント停止条件	・タイマ RB セカンダリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCR レジスタの TOSSP ビットへの “1” (ワンショット停止) 書き込み ・TRBCR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み ・TRBCR レジスタの TSTOP ビットへの “1” (カウント強制停止) 書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマ RB のアンダフローからカウントソースの 1/2 サイクル後 (TRBO 端子からの波形出力の終了と同時に) [タイマ RB 割り込み]
TRBO 端子機能	パルス出力
INT0 端子機能	・TRBIOC レジスタの INOSTG ビットが “0” (INT0 ワンショットトリガ無効) の場合 プログラマブル入出力ポート、または INT0 割り込み入力 ・TRBIOC レジスタの INOSTG ビットが “1” (INT0 ワンショットトリガ有効) の場合 外部トリガ (INT0 割り込み入力)
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる (注 1)
選択機能	・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルを TOPL ビットで選択 ・ワンショットトリガ選択機能 「14.2.3.1 ワンショットトリガ選択」参照

注 1. TRBSC レジスタおよび TRBPR レジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

注 2. TRBPRES レジスタと TRBPR レジスタをともに “00h” にしないでください。

タイマRB I/O制御レジスタ

シンボル
TRBIOCアドレス
010Ah番地リセット後の値
00h

ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0: ワンショットパルス“H”出力、 タイマ停止時とウェイト中は“L”出力 1: ワンショットパルス“L”出力、 タイマ停止時とウェイト中は“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	プログラマブルウェイトワンショット発生 モードでは“0”にしてください。	RW
INOSTG	ワンショットトリガ 制御ビット(注1)	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	RW
INOSEG	ワンショットトリガ 極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW
— (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. 「14.2.3.1 ワンショットトリガ選択」を参照してください。

図14.22 プログラマブルウェイトワンショット発生モード時のTRBIOCレジスタ

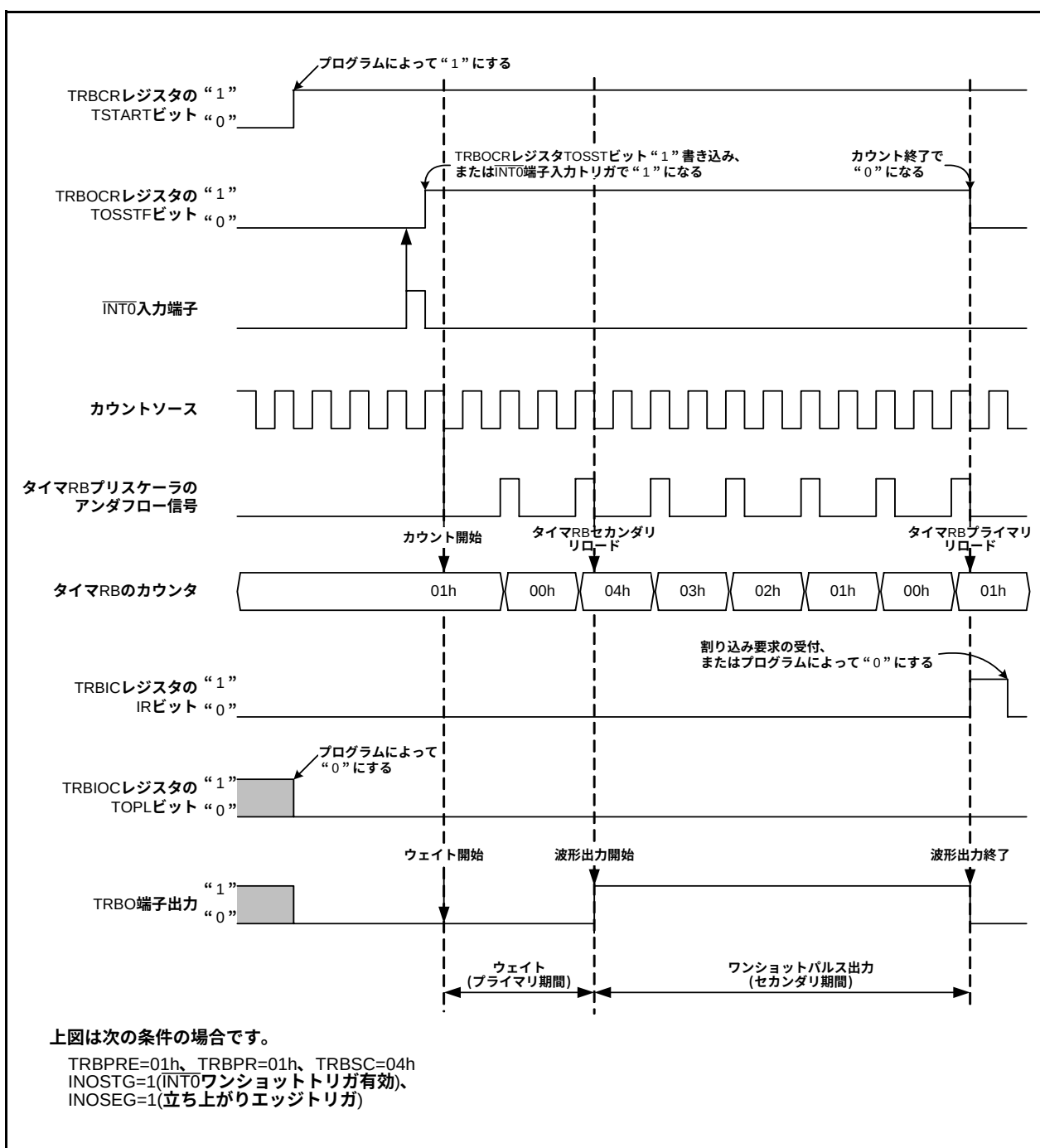


図14.23 プログラブルウェイトワンショット発生モードの動作例

14.2.5 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPPE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

14.2.5.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPPEレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPPEレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

14.2.5.2 プログラマブル波形発生モード

プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中(TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図14.24および図14.25の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

• 対策例(a)

図14.24に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。

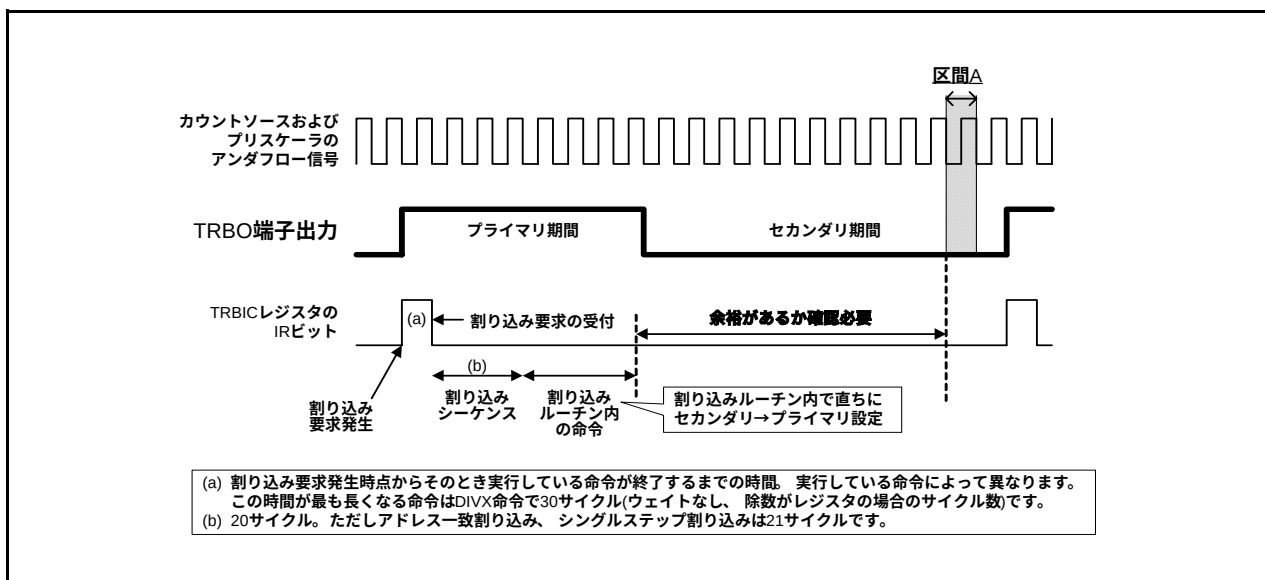


図14.24 対策例(a)のタイマRB割り込みを使用する例

• 対策例(b)

図 14.25 に示すように TRBO 端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSC レジスタ、TRBPR レジスタへ書いてください。書き込みは区間 A まですべて終了させてください。なお、TRBO 端子に対応するポート方向レジスタのビットを“0”(入力モード)に設定し、ポートレジスタのビットの値を読むと、読んだ値は TRBO 端子の出力値になります。

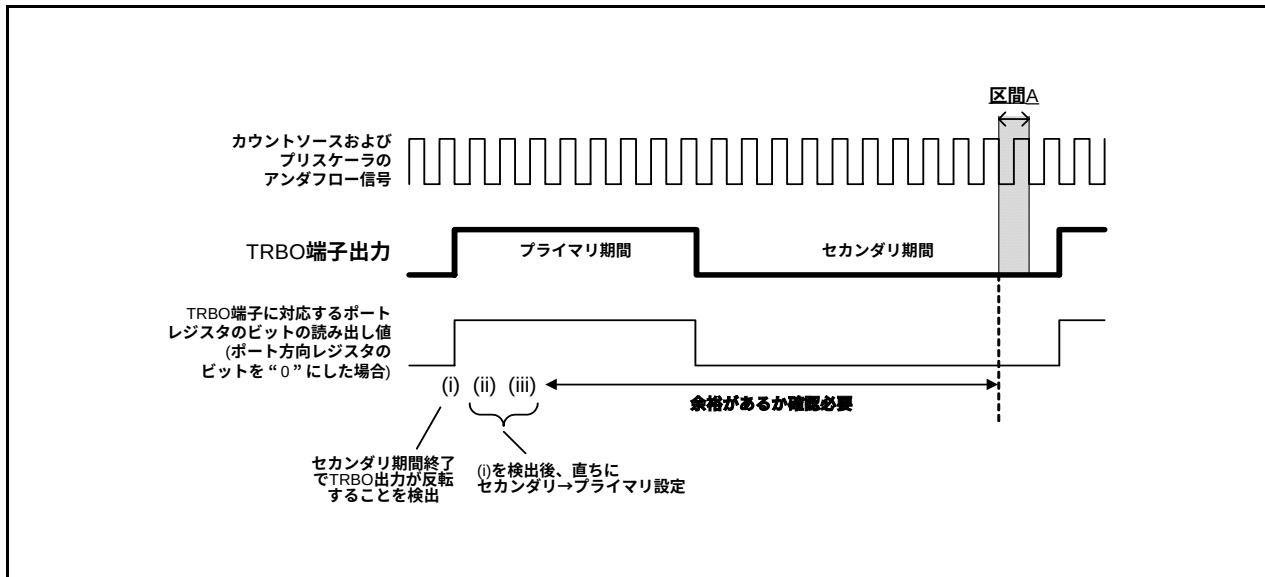


図 14.25 対策例(b)の TRBO 端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCR レジスタの TSTOP ビットを使用してください。この場合、TRBPRES レジスタおよび TRBPR レジスタは初期化され、リセット後の値になります。

14.2.5.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- (1) カウント中(TCSTF ビットが“1”)に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。
 - TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRES レジスタと TRBPR レジスタをともに“00h”にしないでください。

14.2.5.4 プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ→TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ→TRBPRレジスタ→TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

14.3 タイマRC

14.3.1 概要

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

タイマRCの動作クロックは、f1またはfOCO40Mです。表14.11にタイマRCの動作クロックを示します。

表14.11 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M

表14.12にタイマRCの入出力端子を、図14.26にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード
 - インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせる波形を出力します。端子の機能はモードによって決まります。

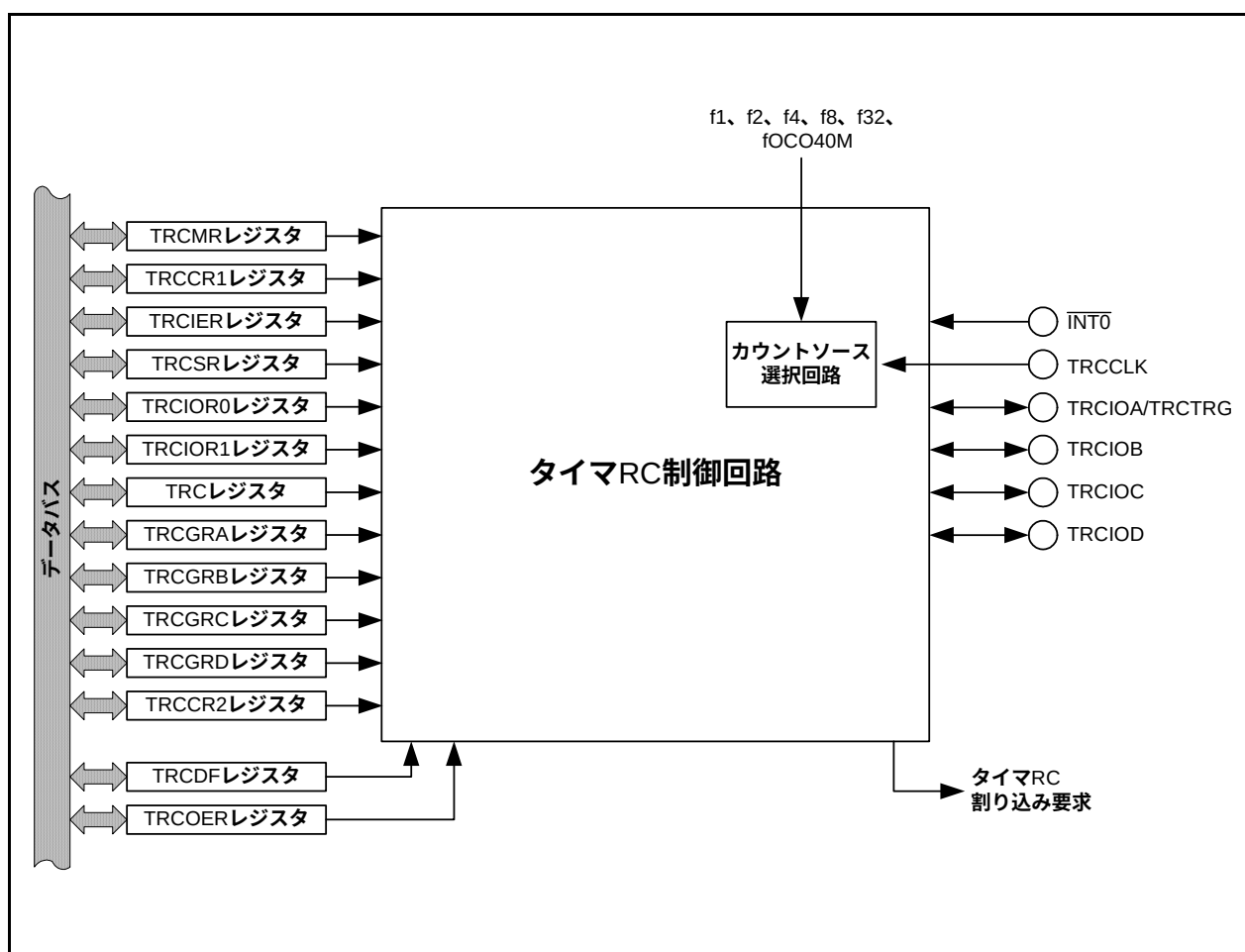


図 14.26 タイマRCのブロック図

表 14.12 タイマRCの入出力端子

端子名	入出力	機能
TRCIOA(P1_1) TRCIOB(P1_2) TRCIOC(P5_3またはP3_4)(注1) TRCIOD(P5_4またはP3_5)(注1)	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCCLK(P3_3)	入力	外部クロック入力
TRCTRГ(P1_1)	入力	PWM2モードの外部トリガ入力

注1. TRCIOC、TRCIODは端子を選択できます。詳細は「図 7.9 PINSR2、PINSR3レジスタ」のPINSR3レジスタのTRCIOCSELビット、TRCIODSELビットを参照してください。

14.3.2 タイマRC関連レジスタ

表14.13にタイマRC関連レジスタ一覧を示します。図14.27～図14.36にタイマRC関連レジスタを示します。

表14.13 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプット キャプチャ 機能	アウトプット コンペア機能			
0120h	TRCMR	有効	有効	有効	有効	タイマRCモードレジスタ 図 14.27 TRCMR レジスタ
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 図 14.28 TRCCR1 レジスタ 図 14.49 アウトプットコンペア機能時の TRCCR1 レジスタ 図 14.52 PWM モード時の TRCCR1 レジ スタ 図 14.56 PWM2 モード時の TRCCR1 レジ スタ
0122h	TRCIER	有効	有効	有効	有効	タイマRC割り込み許可レジスタ 図 14.29 TRCIER レジスタ
0123h	TRCSR	有効	有効	有効	有効	タイマRCステータスレジスタ 図 14.30 TRCSR レジスタ
0124h	TRCIOR0	有効	有効	—	—	タイマRC I/O制御レジスタ0、タイマRC I/O制御 レジスタ1 図 14.36 TRCIOR0、TRCIOR1 レジスタ 図 14.43 インプットキャプチャ機能時の TRCIOR0 レジスタ 図 14.44 インプットキャプチャ機能時の TRCIOR1 レジスタ 図 14.47 アウトプットコンペア機能時の TRCIOR0 レジスタ 図 14.48 アウトプットコンペア機能時の TRCIOR1 レジスタ
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	タイマRCカウンタ 図 14.31 TRC レジスタ
0128h 0129h 012Ah 012Bh 012Ch 012Dh 012Eh 012Fh	TRCGRA TRCGRB TRCGRC TRCGRD	有効	有効	有効	有効	タイマRCジェネラルレジスタA、B、C、D 図 14.32 TRCGRA、TRCGRB、 TRCGRC、TRCGRD レジスタ
0130h	TRCCR2	—	—	—	有効	タイマRC制御レジスタ2 図 14.33 TRCCR2 レジスタ
0131h	TRCDF	有効	—	—	有効	タイマRCデジタルフィルタ機能選択レジスタ 図 14.34 TRCDF レジスタ
0132h	TRCOER	—	有効	有効	有効	タイマRCアウトプットマスタ許可レジスタ 図 14.35 TRCOER レジスタ

—：無効

タイマRCモードレジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値
								TRCMR	0120h番地	01001000b
ビット シンボル	ビット名							機能	RW	
PWMB	TRCIOB PWMモード選択ビット (注2)							0: タイマモード 1: PWMモード	RW	
PWMC	TRCIOC PWMモード選択ビット (注2)							0: タイマモード 1: PWMモード	RW	
PWMD	TRCIOD PWMモード選択ビット (注2)							0: タイマモード 1: PWMモード	RW	
PWM2	PWM2モード選択ビット							0: PWM2モード 1: タイマモードまたはPWMモード	RW	
BFC	TRCGRCレジスタ機能選択ビット (注3)							0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ	RW	
BFD	TRCGRDレジスタ機能選択ビット							0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ	RW	
— (b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。								—	
TSTART	TRCカウント開始ビット							0: カウント停止 1: カウント開始	RW	

注1. PWM2モード時の注意事項は「14.3.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注2. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注3. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

図14.27 TRCMRレジスタ



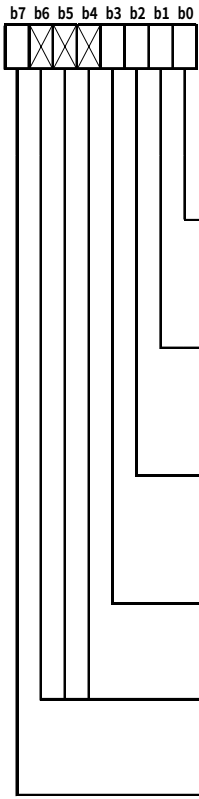
タイマRC割り込み許可レジスタ			
			
シンボル TRCIER	アドレス 0122h番地	リセット後の値 01110000b	
ビット シンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア 一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA) 禁止 1: IMFAビットによる割り込み(IMIA) 許可	RW
IMIEB	インプットキャプチャ/コンペア 一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB) 禁止 1: IMFBビットによる割り込み(IMIB) 許可	RW
IMIEC	インプットキャプチャ/コンペア 一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC) 禁止 1: IMFCビットによる割り込み(IMIC) 許可	RW
IMIED	インプットキャプチャ/コンペア 一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID) 禁止 1: IMFDビットによる割り込み(IMID) 許可	RW
— (b6-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
OVIE	オーバフロー割り込み許可ビット	0: OVFBビットによる割り込み(OVI) 禁止 1: OVFBビットによる割り込み(OVI) 許可	RW

図14.29 TRCIERレジスタ

タイマRCステータスレジスタ

b7b6b5b4b3b2b1b0							
シンボル TRCSR		アドレス 0123h番地		リセット後の値 01110000b			
ビット シンボル	ビット名			機能		RW	
IMFA	インプットキャプチャ/コンペアー致 フラグA			[“0” になる要因] 読んだ後、 “0” を書く (注1) [“1” になる要因] 下表を参照		RW	
IMFB	インプットキャプチャ/コンペアー致 フラグB					RW	
IMFC	インプットキャプチャ/コンペアー致 フラグC					RW	
IMFD	インプットキャプチャ/コンペアー致 フラグD					RW	
— (b6-b4)	何も配置されていない。書く場合、 “0” を書いてください。 読んだ場合、その値は “1” 。					—	
OVF	オーバフローフラグ			[“0” になる要因] 読んだ後、 “0” を書く (注1) [“1” になる要因] 下表を参照		RW	

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプット キャプチャ機能	アウトプット コンペア機能		
IMFA	TRCIOA端子の入力エッジ (注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ (注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ (注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ (注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき。			

注1. TRCIOR0、TRCIOR1レジスタのIOj1~IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

図14.30 TRCSRレジスタ

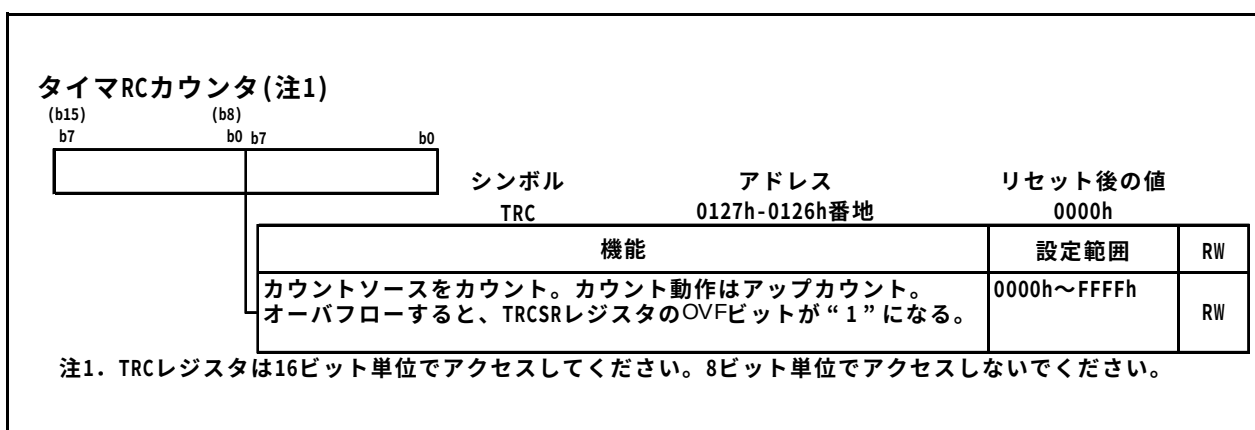


図14.31 TRCレジスタ

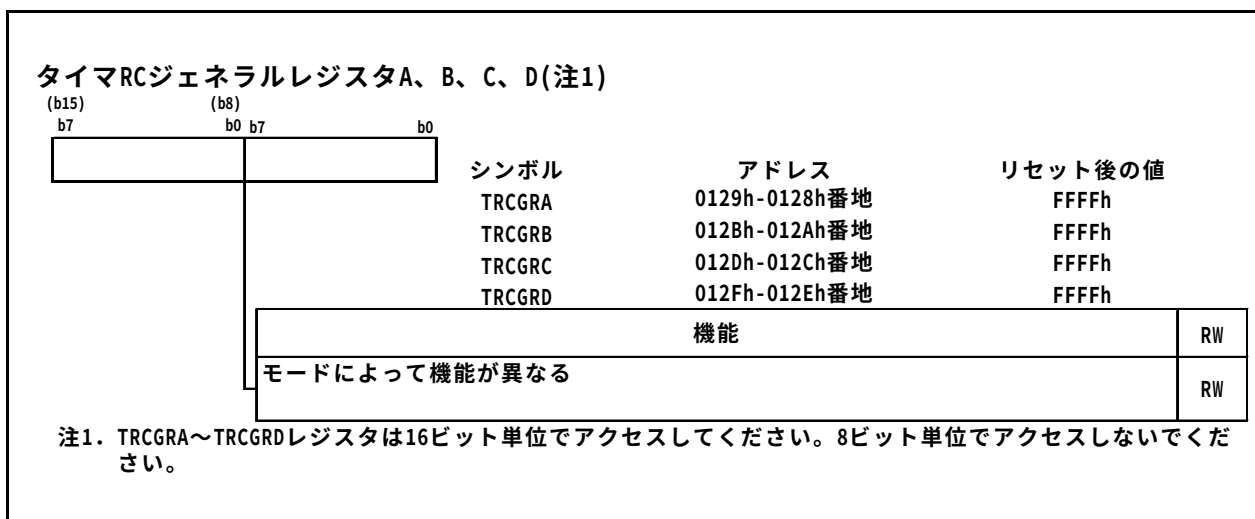
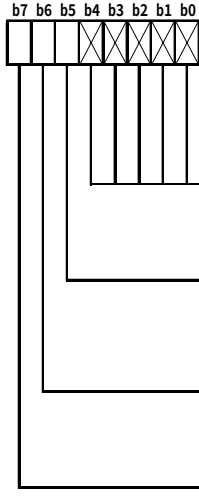
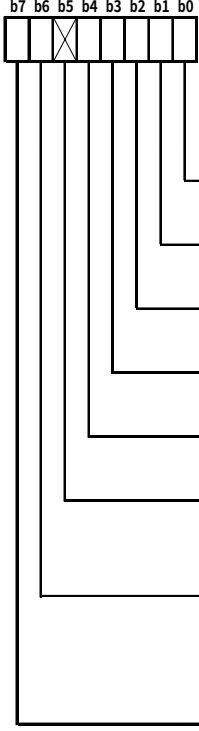


図14.32 TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRC制御レジスタ2			
			
シンボル TRCCR2	アドレス 0130h番地	リセット後の値 00011111b	
ビット シンボル	ビット名	機能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
CSEL	TRCカウンタ動作選択ビット (注1、2)	0 : TRCGRAレジスタとのコンペアー一致後 もカウント継続 1 : TRCGRAレジスタとのコンペアー一致で カウント停止	RW
TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0 : TRCTRGからのトリガ入力を禁止 0 1 : 立ち上がりエッジを選択 1 0 : 立ち下がりエッジを選択 1 1 : 立ち上がり/立ち下がり両エッジ を選択	RW
TCEG1			RW

注1. PWM2モード時の注意事項は「14.3.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。
 注2. タイマモード、PWMモードでは無効です(CSELビットの内容に関係なくカウントは継続します)。
 注3. タイマモード、PWMモードでは無効です。

図14.33 TRCCR2レジスタ

タイマRCデジタルフィルタ機能選択レジスタ			
			
シンボル TRCDF	アドレス 0131h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
DFA	TRCIOA端子デジタルフィルタ 機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFB	TRCIOB端子デジタルフィルタ 機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFC	TRCIOC端子デジタルフィルタ 機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFD	TRCIOD端子デジタルフィルタ 機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFTRG	TRCTRG端子デジタルフィルタ 機能選択ビット(注2)	0 : 機能なし 1 : 機能あり	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
DFCK0	デジタルフィルタ機能用クロック 選択ビット(注1、2)	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : カウントソース (TRCCR1レジスタ のTCK2~TCK0ビットで選択した クロック)	RW
DFCK1			RW

注1. インพุットキャプチャ機能のとき有効です。
 注2. PWM2モードで、TRCCR2レジスタのTCEG1~TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力
許可)のとき有効です。

図14.34 TRCDFレジスタ

タイマRCアウトプットマスタ許可レジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル TRCOER		アドレス 0132h番地		リセット後の値 01111111b			
ビット シンボル		ビット名		機能			RW
EA		TRCIOA出力禁止ビット(注1)		0：出力許可 1：出力禁止 (TRCIOA端子はプログラマブル入出力ポート)			RW
EB		TRCIOB出力禁止ビット(注1)		0：出力許可 1：出力禁止 (TRCIOB端子はプログラマブル入出力ポート)			RW
EC		TRCIOC出力禁止ビット(注1)		0：出力許可 1：出力禁止 (TRCIOC端子はプログラマブル入出力ポート)			RW
ED		TRCIOD出力禁止ビット(注1)		0：出力許可 1：出力禁止 (TRCIOD端子はプログラマブル入出力ポート)			RW
— (b6-b4)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。					—
PTO		パルス出力強制遮断信号 入力INT0有効ビット		0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1” (出力禁止)になる)			RW

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

図 14.35 TRCOER レジスタ

14.3.3 複数モードに関わる共通事項

14.3.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表14.14にカウントソースの選択を、図14.37にカウントソースのブロック図を示します。

表14.14 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M)
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) PD3レジスタのPD3_3ビットが“0”(入力モード)

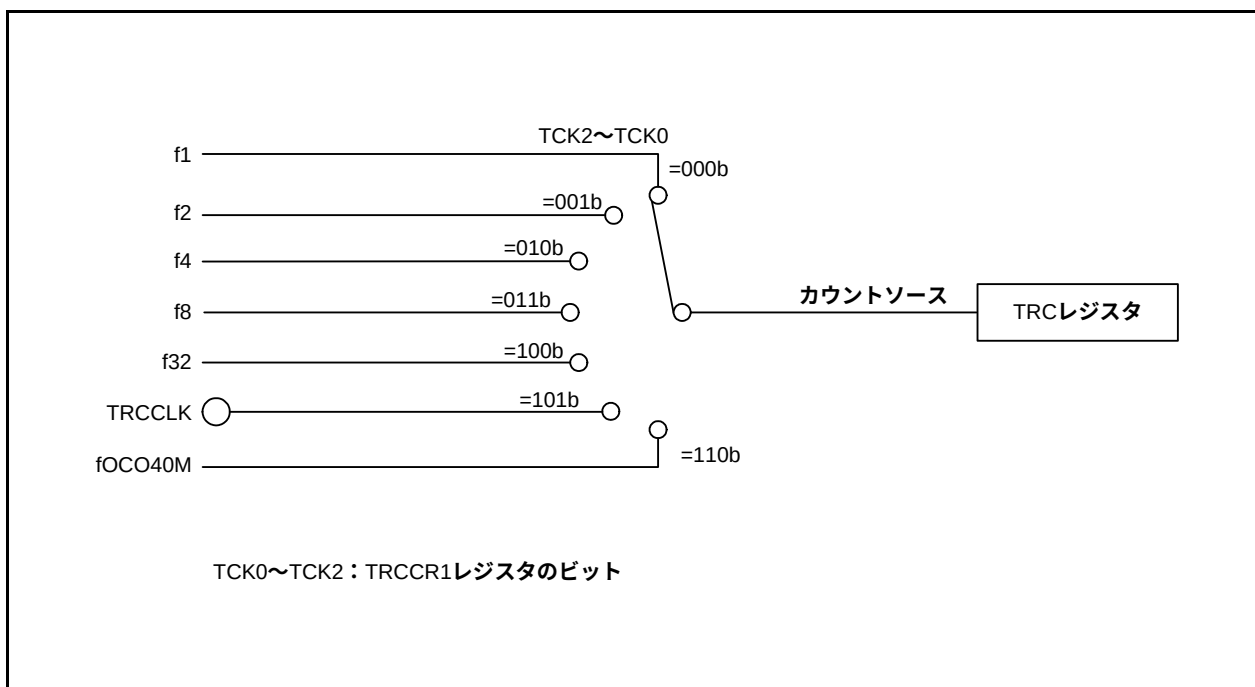


図14.37 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表14.11 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40Mを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)にしてください。

14.3.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表14.15に各モードのバッファ動作を、図14.38にインプットキャプチャ機能のバッファ動作を、図14.39にアウトプットコンペア機能のバッファ動作を示します。

表14.15 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	•TRCレジスタとTRCGRAレジスタのコンペア一致 •TRCTRG端子トリガ入力	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

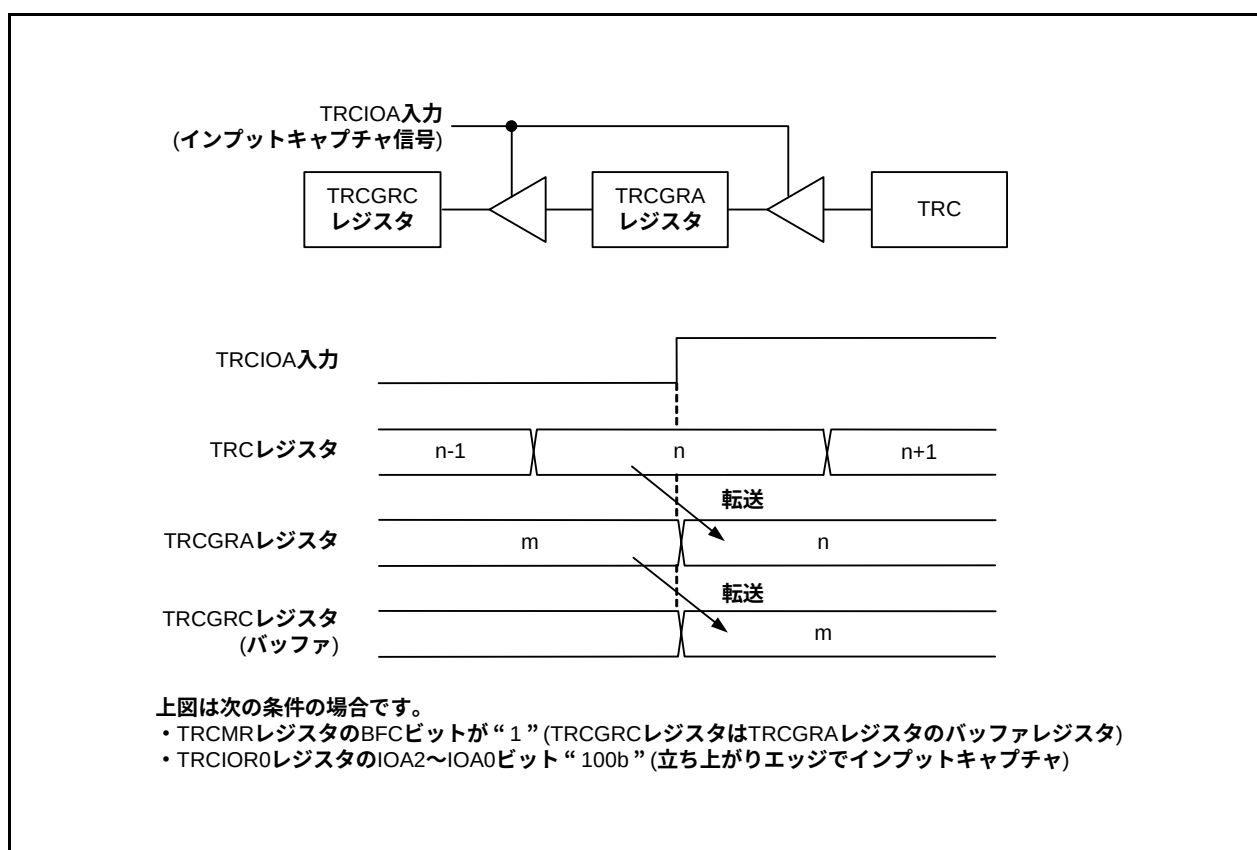


図14.38 インプットキャプチャ機能のバッファ動作

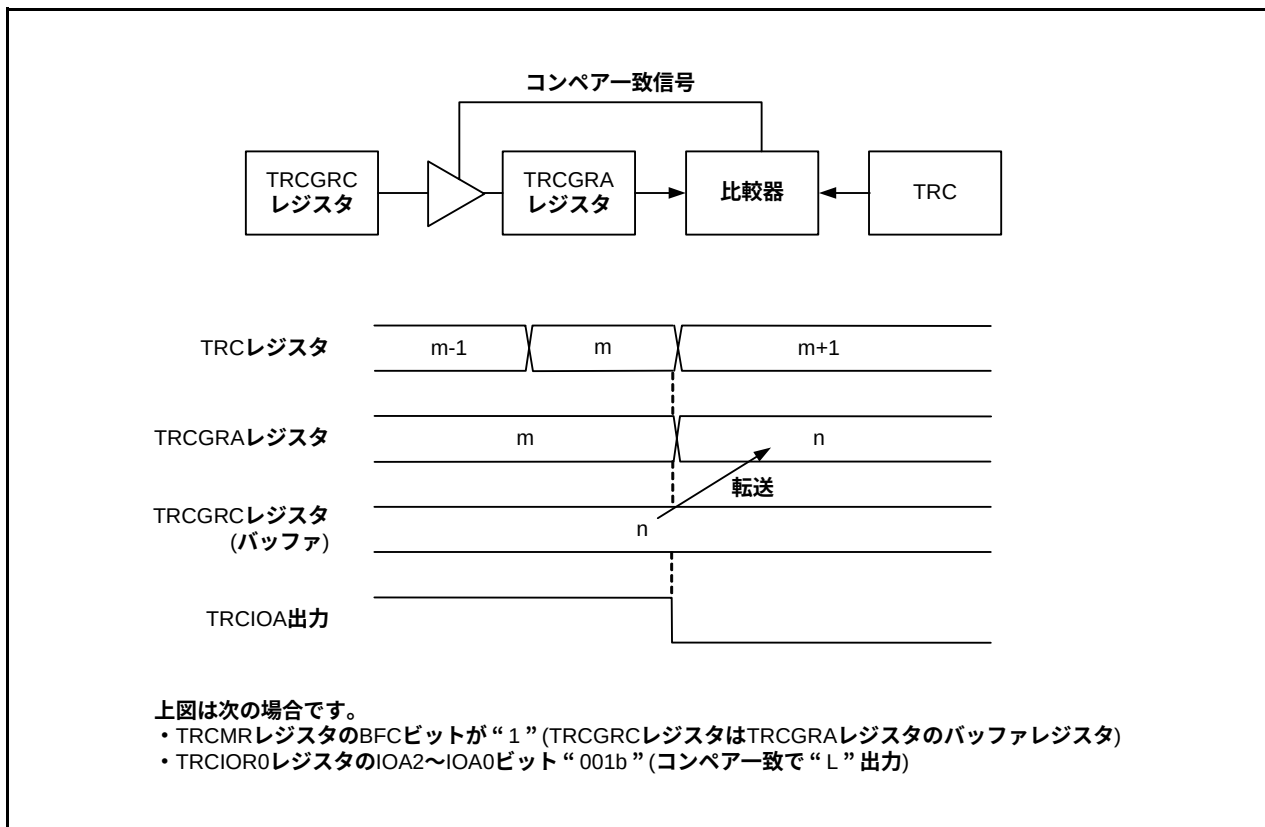


図 14.39 アウトプットコンペア機能のバッファ動作

タイマモードでは次のようにしてください。

- TRCGRC レジスタを TRCGRA レジスタのバッファレジスタに使用する場合
TRCIOR1 レジスタの IOC2 ビットは、TRCIOR0 レジスタの IOA2 ビットと同じ設定にしてください。
- TRCGRD レジスタを TRCGRB レジスタのバッファレジスタに使用する場合
TRCIOR1 レジスタの IOD2 ビットは、TRCIOR0 レジスタの IOB2 ビットと同じ設定にしてください。

アウトプットコンペア機能、PWMモード、PWM2モードで、TRCGRC、TRCGRD レジスタをバッファレジスタに使用している場合も、TRC レジスタとのコンペア一致で TRCSR レジスタの IMFC、IMFD ビットが“1”になります。

入力キャプチャ機能で TRCGRC、TRCGRD レジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD 端子の入力エッジで TRCSR レジスタの IMFC、IMFD ビットが“1”になります。

14.3.3.3 デジタルフィルタ

TRCTRГ入力またはTRCIOj(j = A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図14.40にデジタルフィルタのブロック図を示します。

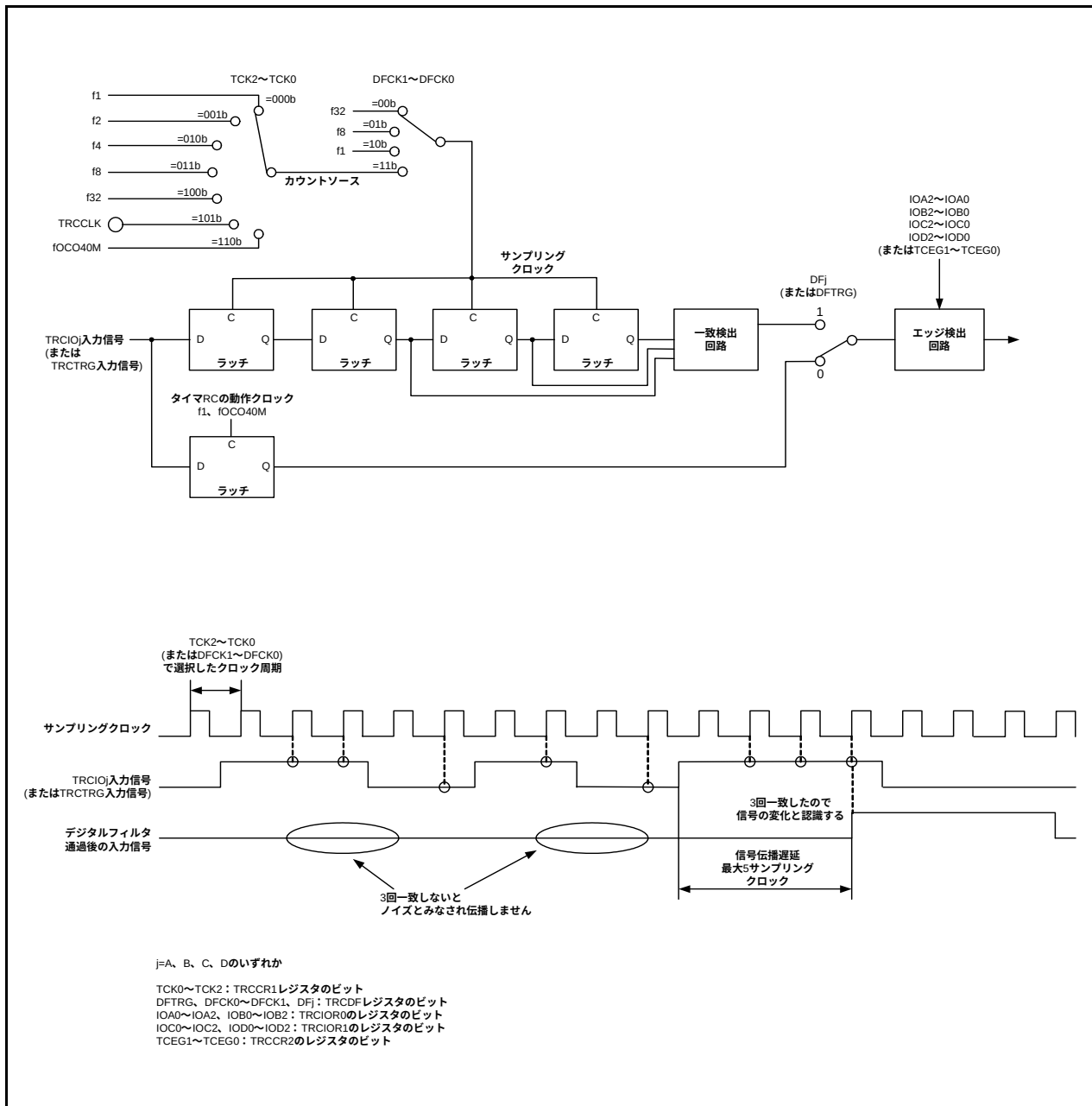


図14.40 デジタルフィルタのブロック図

14.3.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表14.11 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. プログラマブル入出力ポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力INT0有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更にしたがって、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「12.6 割り込み使用上の注意」参照)。

割り込みの詳細は「12. 割り込み」を参照してください。

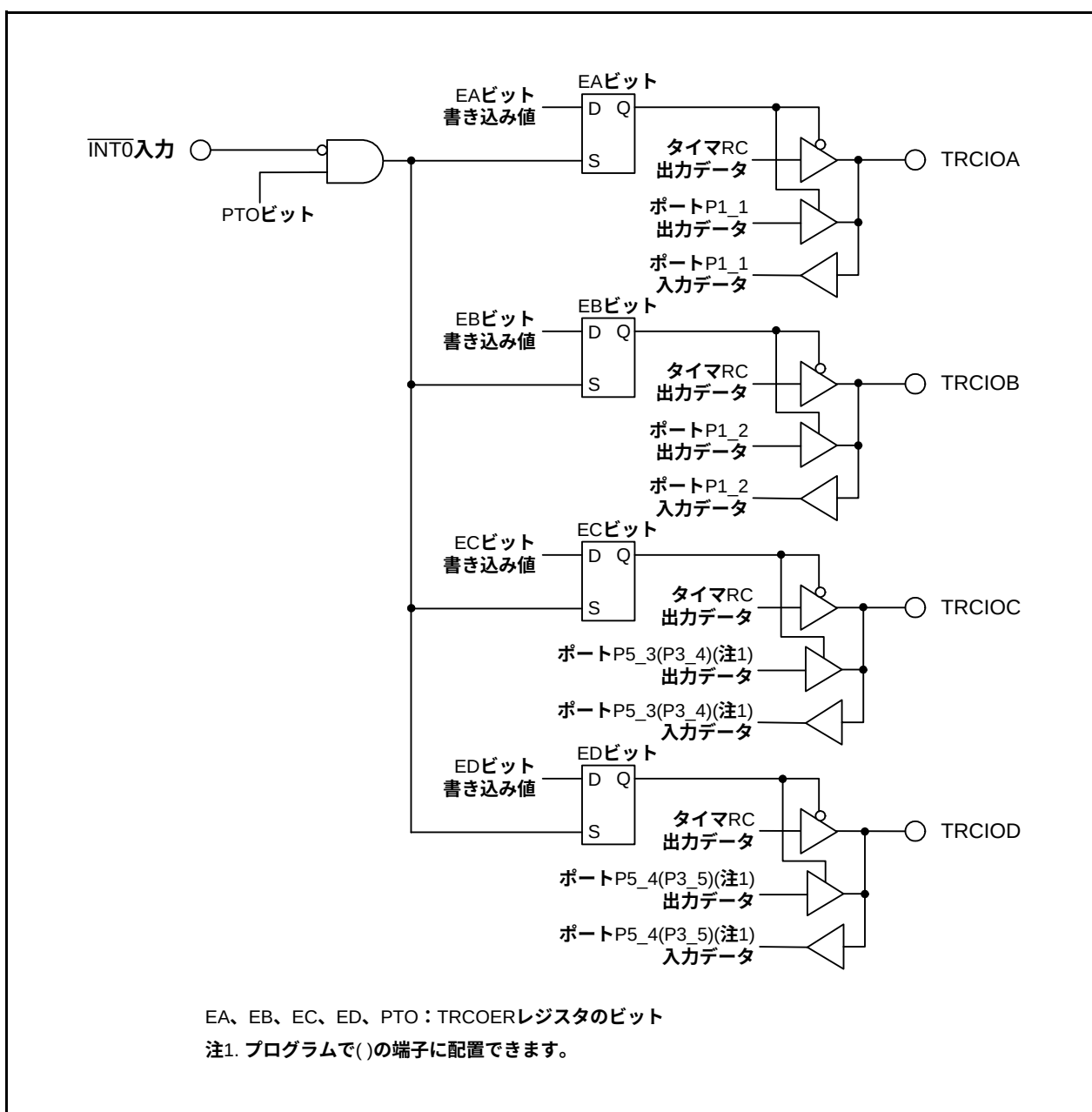


図 14.41 パルス出力強制遮断

14.3.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表14.16にインプットキャプチャ機能の仕様を、図14.42にインプットキャプチャ機能のブロック図を、図14.43～図14.44にインプットキャプチャ機能関連レジスタを、表14.17にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図14.45にインプットキャプチャ機能の動作例を示します。

表14.16 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	$1/f_k \times 65536$ f_k : カウントソースの周波数
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	- インプットキャプチャ(TRCIOj 入力の有効エッジ、または fOCO128 信号のエッジ) - TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める。
選択機能	- インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 - インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 - バッファ動作(「14.3.3.2 バッファ動作」参照) - デジタルフィルタ(「14.3.3.3 デジタルフィルタ」参照) - インプットキャプチャトリガ選択 TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

j = A、B、C、Dのいずれか

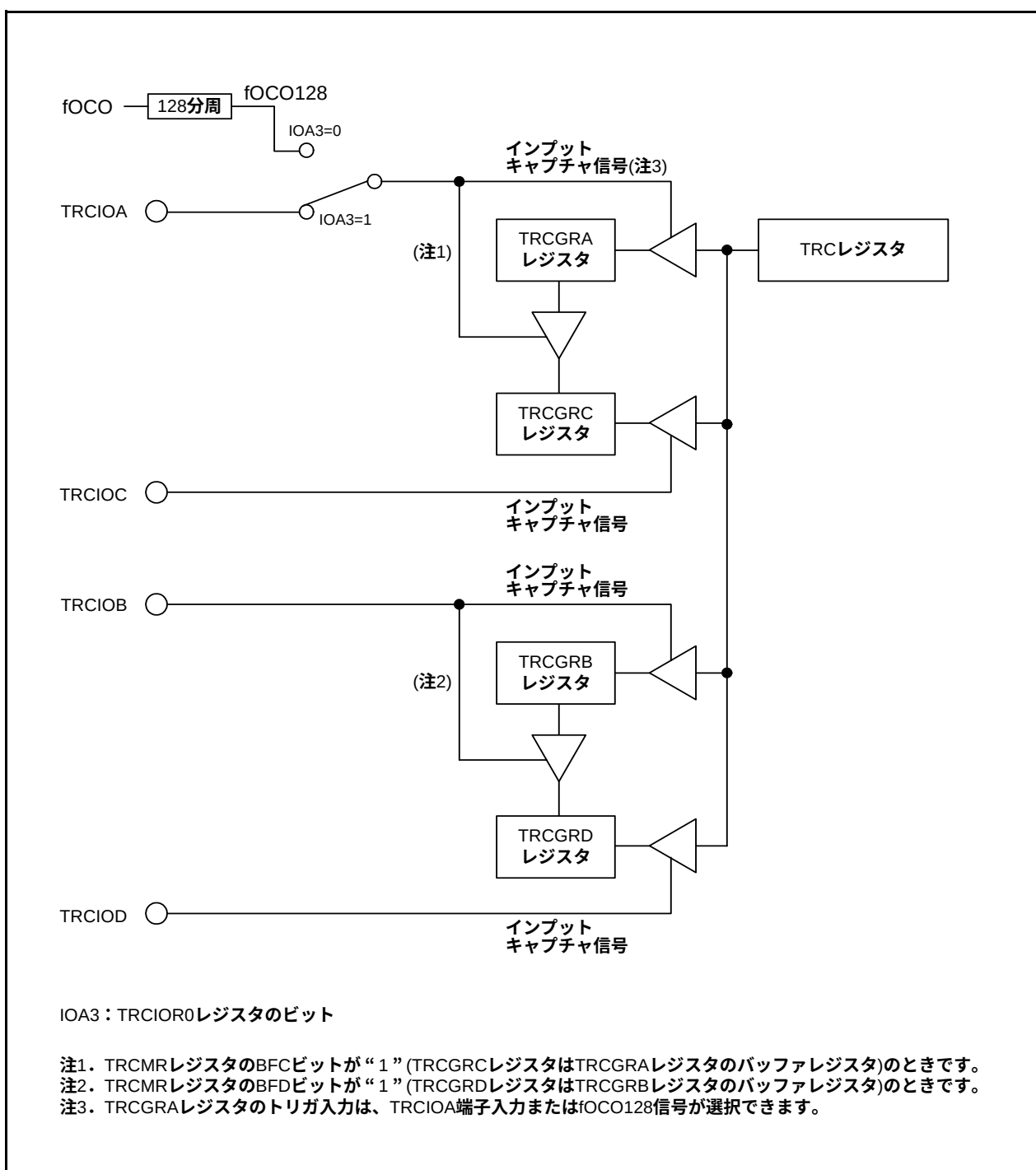


図14.42 インพุットキャプチャ機能のブロック図

タイマRC I/O制御レジスタ0

b7

b6

b5

b4

b3

b2

b1

b0

1

1

シンボル

TRCIOR0

アドレス

0124h番地

リセット後の値

10001000b

ビットシンボル	ビット名	機能	RW
IOA0	TRCGRA制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRCGRAへインプットキャプチャ 0 1 : 立ち下がりエッジでTRCGRAへインプットキャプチャ	RW
IOA1		1 0 : 両エッジでTRCGRAへインプットキャプチャ 1 1 : 設定しないでください	RW
IOA2	TRCGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	RW
IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0 : fOCO128信号 1 : TRCIOA端子入力	RW
IOB0	TRCGRB制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRCGRBへインプットキャプチャ 0 1 : 立ち下がりエッジでTRCGRBへインプットキャプチャ	RW
IOB1		1 0 : 両エッジでTRCGRBへインプットキャプチャ 1 1 : 設定しないでください	RW
IOB2	TRCGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

図14.43 インプットキャプチャ機能時のTRCIOR0レジスタ

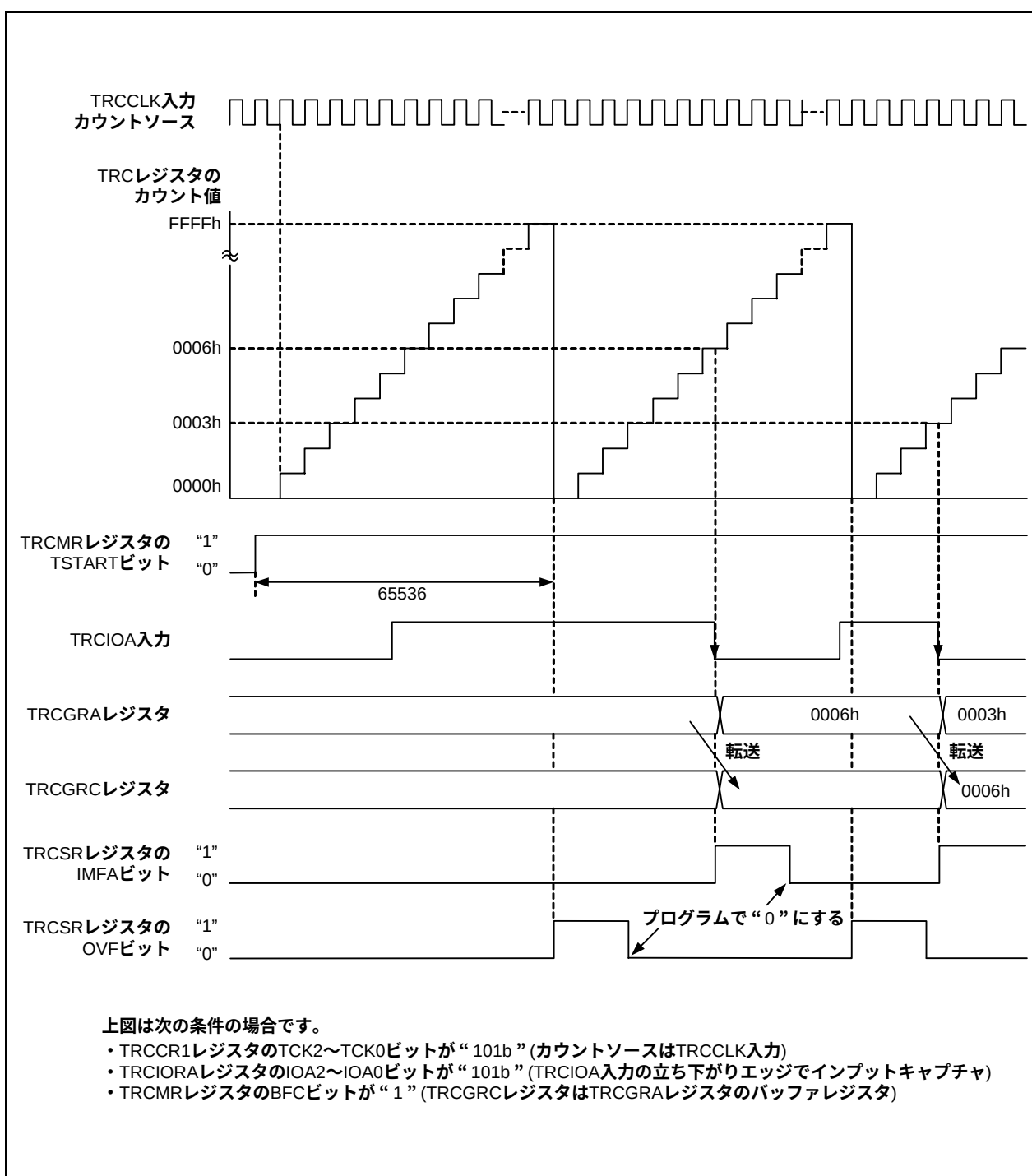


図14.45 インプットキャプチャ機能の動作例

14.3.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j = A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIOj端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表14.18にアウトプットコンペア機能の仕様を、図14.46にアウトプットコンペア機能のブロック図を、図14.47～図14.49にアウトプットコンペア機能関連レジスタを、表14.19にアウトプットコンペア機能時のTRCGRjレジスタの機能を、図14.50にアウトプットコンペア機能の動作例を示します。

表14.18 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	• TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRCGRAレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	• コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRCレジスタを“0000h”にするタイミング オーバフロー、またはTRCGRAレジスタのコンペア一致 • バッファ動作(「14.3.3.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「14.3.3.4 パルス出力強制遮断」参照) • タイマRCは出力しないことで内部タイマとして使用できる

j = A、B、C、Dのいずれか

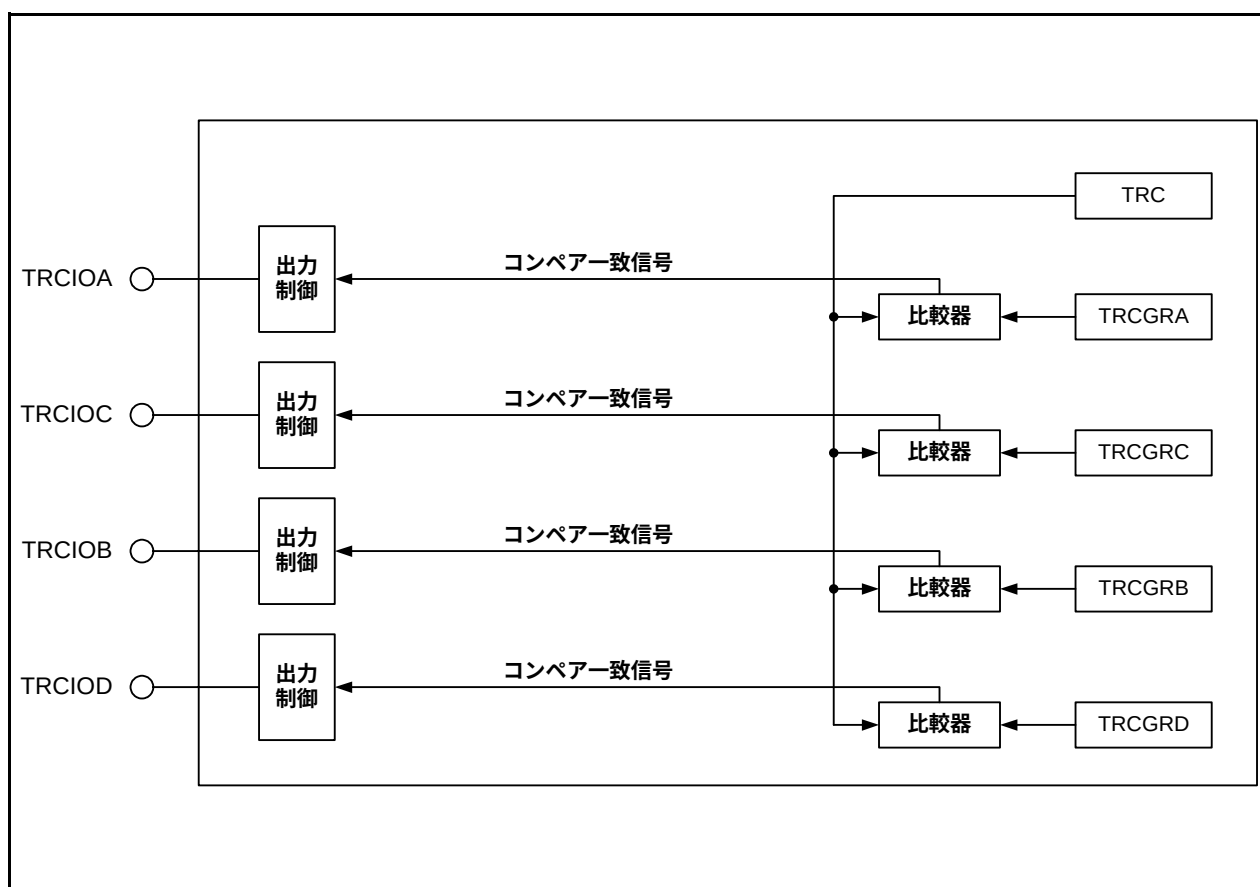


図 14.46 アウトプットコンペアー機能のブロック図

タイマRC I/O制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	1	0	0	0	0

シンボル
TRCIOR0アドレス
0124h番地リセット後の値
10001000b

ビット シンボル	ビット名	機能	RW
IOA0	TRCGRA制御ビット	b1 b0 0 0 : コンペアー一致による端子出力禁止 (TRCIOA端子はプログラマブル 入出力ポート) 0 1 : TRCGRAのコンペアー一致で“L”出力 1 0 : TRCGRAのコンペアー一致で“H”出力 1 1 : TRCGRAのコンペアー一致でトグル出力	RW
IOA1			RW
IOA2			RW
IOA3	TRCGRAモード選択ビット (注1)	アウトプットコンペアー機能では“0”(アウト プットコンペアー)にしてください	RW
IOB0	TRCGRB制御ビット	b5 b4 0 0 : コンペアー一致による端子出力禁止 (TRCIOB端子はプログラマブル 入出力ポート) 0 1 : TRCGRBのコンペアー一致で“L”出力 1 0 : TRCGRBのコンペアー一致で“H”出力 1 1 : TRCGRBのコンペアー一致でトグル出力	RW
IOB1			RW
IOB2			RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

図14.47 アウトプットコンペアー機能時のTRCIOR0レジスタ

タイマRC I/O制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0							
0				0			
シンボル TRCIOR1		アドレス 0125h番地		リセット後の値 10001000b			
ビット シンボル	ビット名		機能		RW		
IOC0	TRCGRC制御ビット		b1 b0 0 0 : コンペアー一致による端子出力禁止 0 1 : TRCGRCのコンペアー一致で“L”出力 1 0 : TRCGRCのコンペアー一致で“H”出力 1 1 : TRCGRCのコンペアー一致でトグル出力		RW		
IOC1					RW		
IOC2	TRCGRCモード選択ビット (注1)		アウトプットコンペア機能では“0”(アウト プットコンペア)にしてください		RW		
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。				—		
IOD0	TRCGRD制御ビット		b5 b4 0 0 : コンペアー一致による端子出力禁止 0 1 : TRCGRDのコンペアー一致で“L”出力 1 0 : TRCGRDのコンペアー一致で“H”出力 1 1 : TRCGRDのコンペアー一致でトグル出力		RW		
IOD1					RW		
IOD2	TRCGRDモード選択ビット (注2)		アウトプットコンペア機能では“0”(アウト プットコンペア)にしてください		RW		
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。				—		

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

図 14.48 アウトプットコンペア機能時のTRCIOR1レジスタ

タイマRC制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

シンボル TRCCR1	アドレス 0121h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOA	TRCIOA出力レベル選択ビット (注1、2)	0：初期出力“L” 1：初期出力“H”	RW
TOB	TRCIOB出力レベル選択ビット (注1、2)		RW
TOC	TRCIOC出力レベル選択ビット (注1、2)		RW
TOD	TRCIOD出力レベル選択ビット (注1、2)		RW
TCK0	カウントソース選択ビット (注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：設定しないでください	RW
TCK1			RW
TCK2			RW
CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペアー一致でクリア	RW

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「表7.13～表7.16、表7.26～表7.29、表7.36～表7.39」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

図14.49 アウトプットコンペア機能時のTRCCR1レジスタ

表14.19 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA	—	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次のコンペア値を書いてください。(「14.3.3.2 バッファ動作」参照)	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD：TRCMRレジスタのビット

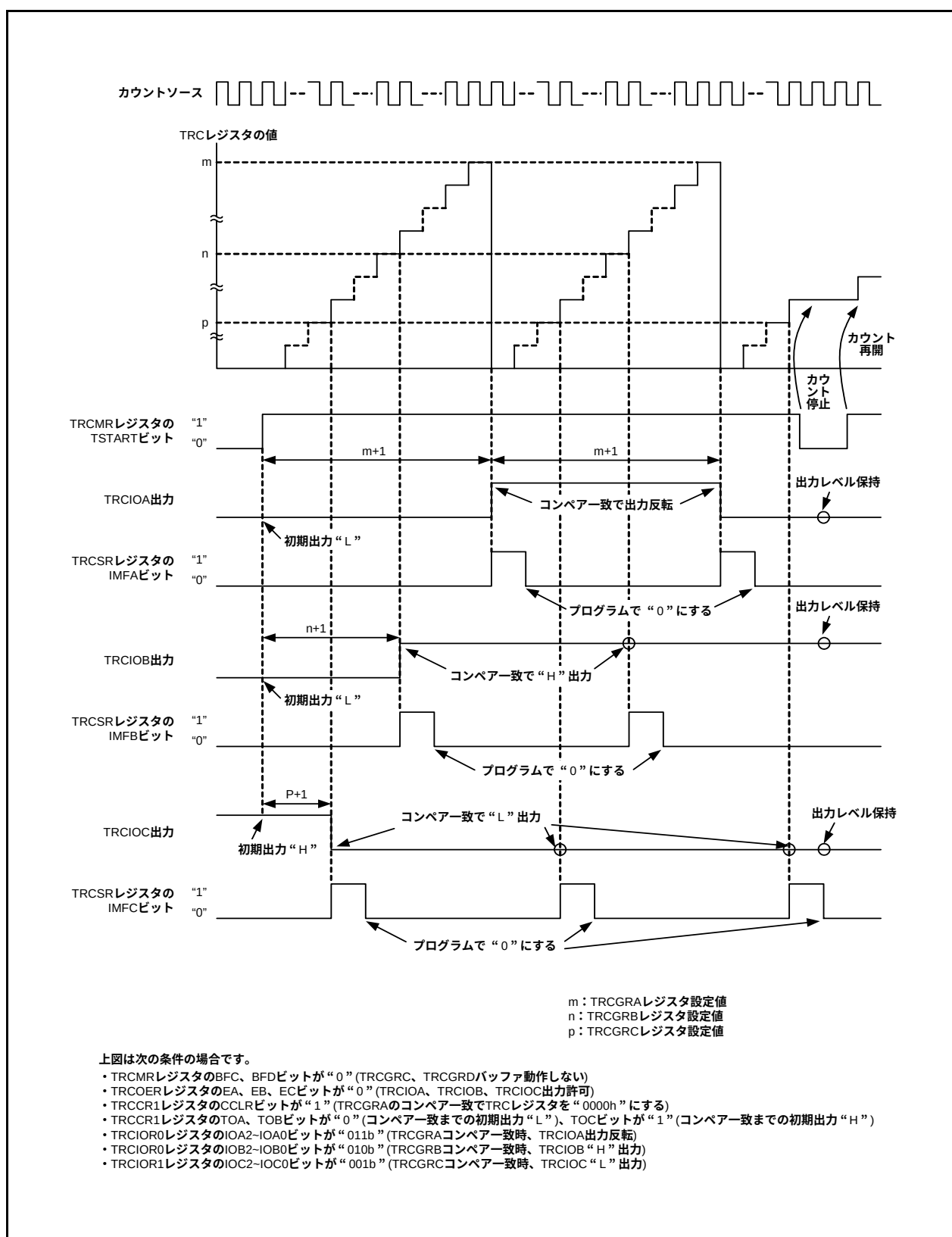


図14.50 アウトプットコンペア機能の動作例

14.3.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表14.20にPWMモードの仕様を、図14.51にPWMモードのブロック図を、図14.52にPWMモード関連レジスタを、表14.21にPWMモード時のTRCGRjレジスタの機能を、図14.53～図14.54にPWMモードの動作例を示します。

表14.20 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f_k : カウントソースの周波数 m : TRCGRAレジスタ設定値 n : TRCGRjレジスタ設定値
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	- コンペアー一致(TRCレジスタとTRCGRjレジスタの内容が一致) - TRCレジスタオーバフロー
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	- PWM出力端子を1チャンネルにつき1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 - アクティブレベルを1端子ごとに選択 - バッファ動作(「14.3.3.2 バッファ動作」参照) - パルス出力強制遮断信号入力(「14.3.3.4 パルス出力強制遮断」参照)

j=B、C、Dのいずれか

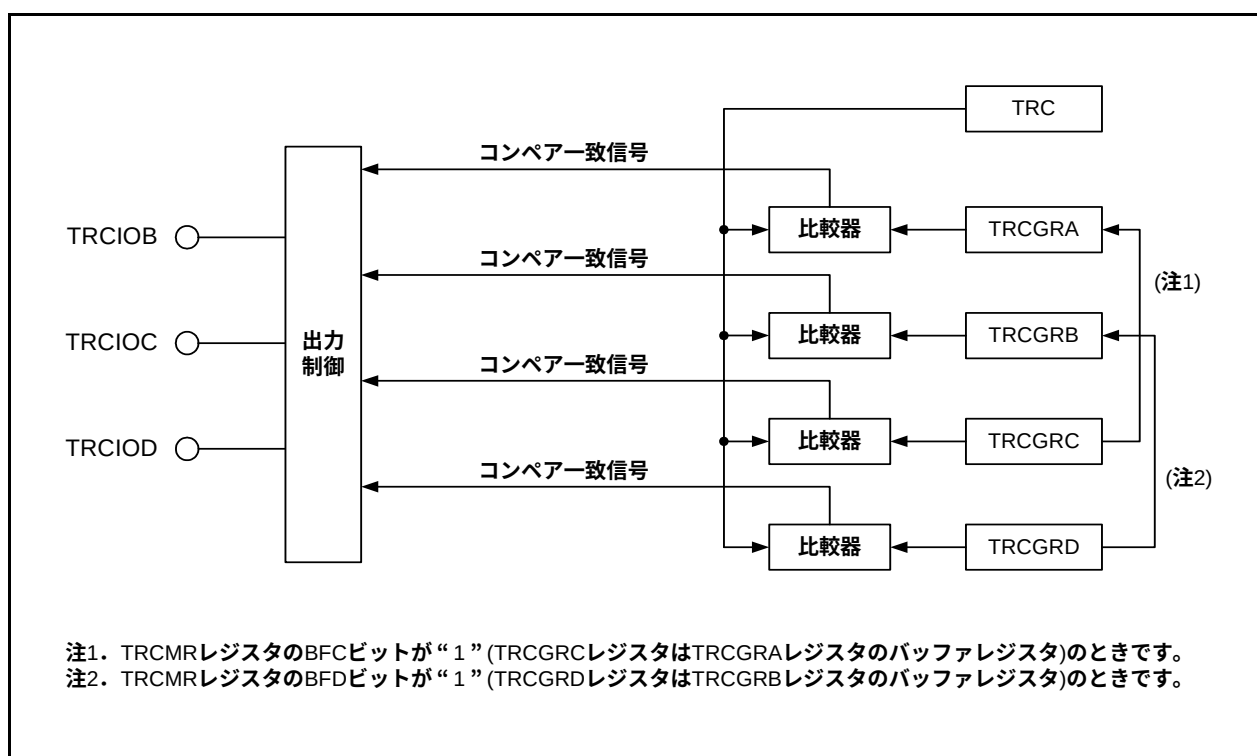


図14.51 PWMモードのブロック図

タイマRC制御レジスタ1

シンボル TRCCR1	アドレス 0121h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOA	TRCIOA出力レベル選択ビット (注1)	PWMモードでは無効	RW
TOB	TRCIOB出力レベル選択ビット (注1、2)	0：アクティブレベル“H” (初期出力“L” TRCGRjのコンペアー致で“H”出力 TRCGRAのコンペアー致で“L”出力) 1：アクティブレベル“L” (初期出力“H” TRCGRjのコンペアー致で“L”出力 TRCGRAのコンペアー致で“H”出力)	RW
TOC	TRCIOC出力レベル選択ビット (注1、2)		RW
TOD	TRCIOD出力レベル選択ビット (注1、2)		RW
TCK0	カウントソース選択ビット (注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：設定しないでください	RW
TCK1			RW
TCK2			RW
CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペアー一致でクリア	RW

j=B、C、Dのいずれか

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「表7.15、表7.16、表7.26～表7.29、表7.36～表7.39」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

図14.52 PWMモード時のTRCCR1レジスタ

表14.21 PWMモード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRCGRB	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「14.3.3.2 バッファ動作」参照)。	—
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「14.3.3.2 バッファ動作」参照)。	TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

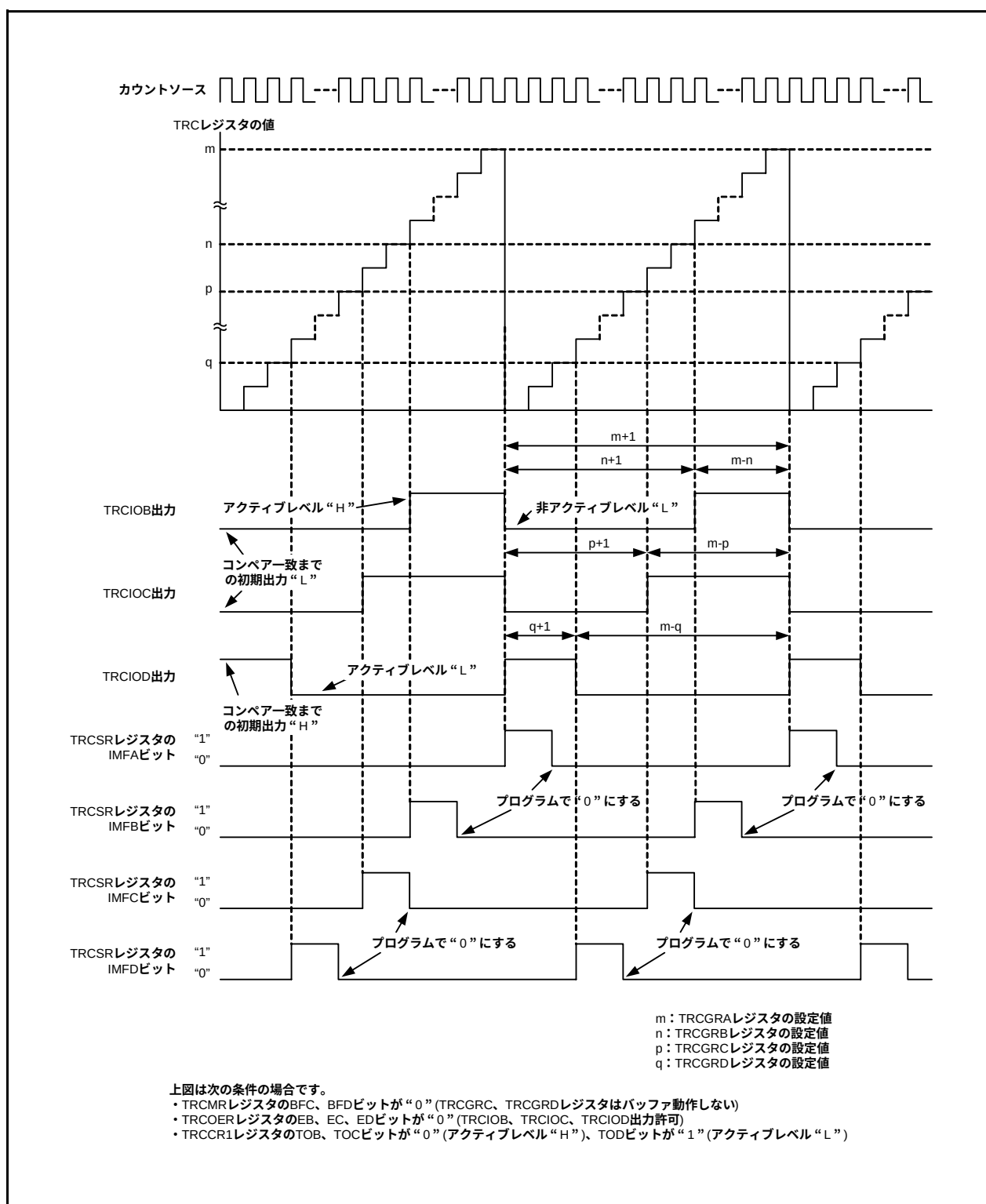


図14.53 PWMモードの動作例

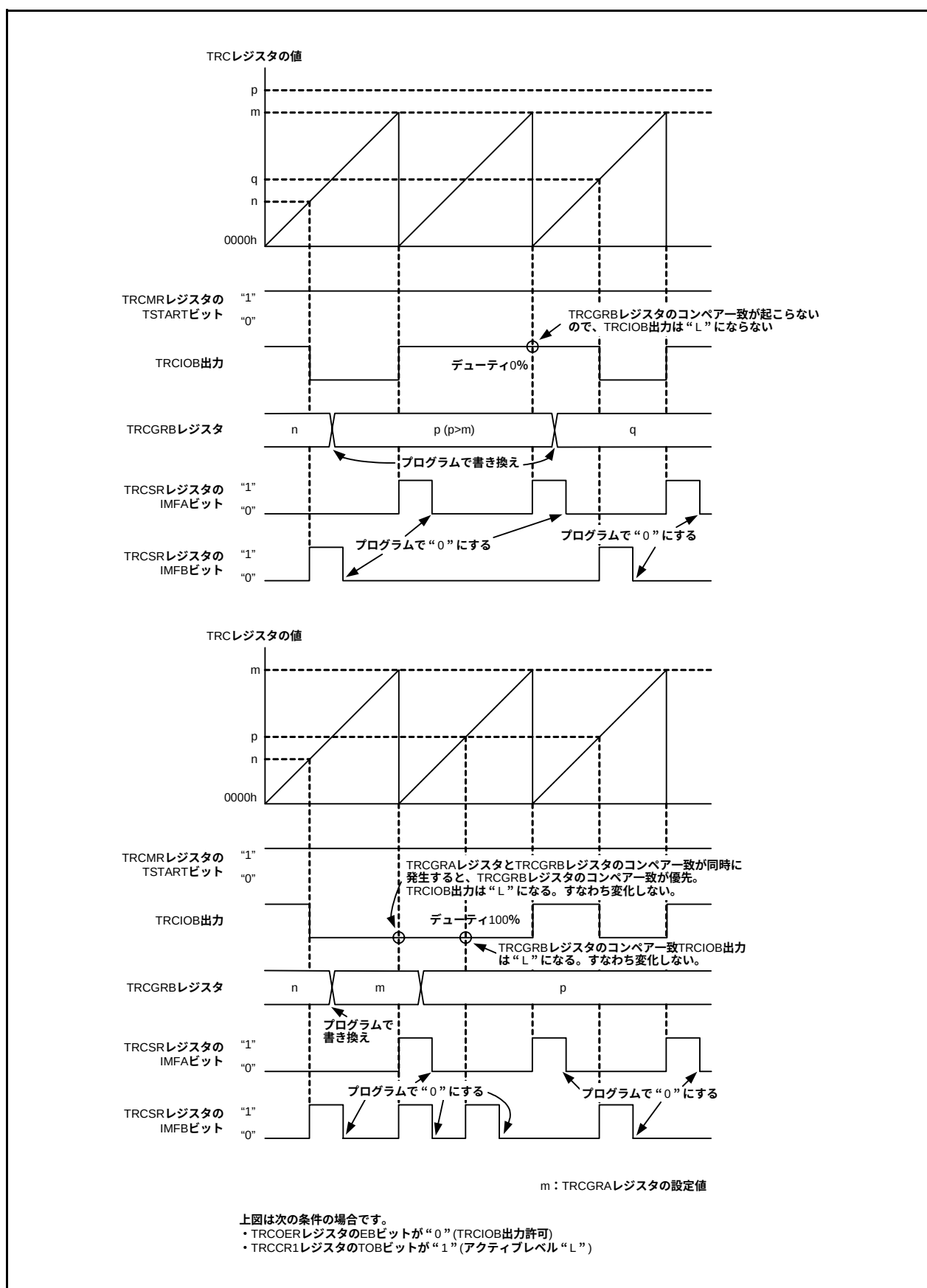


図14.54 PWMモードの動作例(デューティ 0%、デューティ 100%)

14.3.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間において、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

図14.55にPWM2モードのブロック図を、表14.22にPWM2モードの仕様を、図14.56にPWM2モード関連レジスタを、表14.23にPWM2モード時のTRCGRjレジスタの機能を、図14.57～図14.59にPWM2モードの動作例を示します。

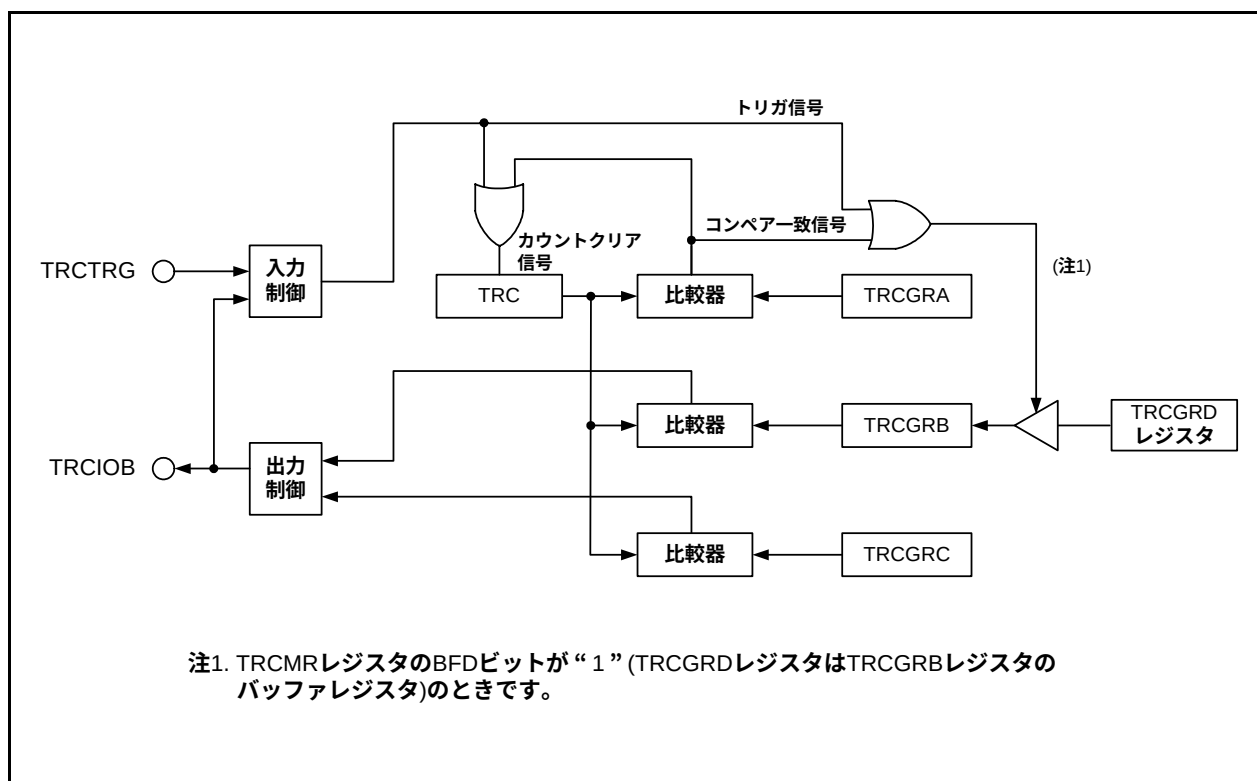


図14.55 PWM2モードのブロック図

表 14.22 PWM2 モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK 端子に入力された外部信号 (立ち上がりエッジ)
カウント動作	TRC レジスタはアップカウント
PWM 波形	PWM 周期: $1/f_k \times (m+1)$ (TRCTRГ 入力がない場合) アクティブレベル幅: $1/f_k \times (n-p)$ カウント開始またはトリガからのウェイト時間: $1/f_k \times (p+1)$ f_k: カウントソースの周波数 m: TRCGRA レジスタ設定値 n: TRCGRB レジスタ設定値 p: TRCGRC レジスタ設定値 (TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)
カウント開始条件	- TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが “00b” (TRCTRГ トリガ入力禁止) または TRCCR2 レジスタの CSEL ビットが “0” (カウント継続) の場合 TRCMR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み - TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが “01b” “10b” “11b” (TRCTRГ トリガ入力許可) かつ TRCMR レジスタの TSTART ビットが “1” (カウント開始) の場合 TRCTRГ 端子にトリガ入力
カウント停止条件	- TRCMR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み (TRCCR2 レジスタの CSEL ビットが “0” の場合も、“1” の場合も含む) TRCIOB 端子は TRCCR1 レジスタの TOB ビットの内容に従い、初期レベルを出力。TRC レジスタは停止前の値を保持。 - TRCCR2 レジスタの CSEL ビットが “1” の場合、TRCGRA コンパレー一致でカウント停止 TRCIOB 端子は初期レベルを出力。TRCCR1 レジスタの CCLR ビットが “0” のとき、TRC レジスタは停止前の値を保持。TRCCR1 レジスタの CCLR ビットが “1” のとき、TRC レジスタは “0000h”。
割り込み発生タイミング	- コンパレー一致 (TRC レジスタと TRCGRj レジスタの内容が一致) - TRC レジスタオーバフロー
TRCIOA/TRCTRГ 端子機能	プログラマブル入出力ポート、または TRCTRГ 入力
TRCIOB 端子機能	PWM 出力
TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート
INT0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力
タイマの読み出し	TRC レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める
選択機能	- 外部トリガと有効エッジ選択 TRCTRГ 端子入力のエッジを PWM 出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 - バッファ動作 (「14.3.3.2 バッファ動作」参照) - パルス出力強制遮断信号入力 (「14.3.3.4 パルス出力強制遮断」参照) - デジタルフィルタ (「14.3.3.3 デジタルフィルタ」参照)

j = A、B、C、D のいずれか

タイマRC制御レジスタ1							
b7	b6	b5	b4	b3	b2	b1	b0
シンボル		アドレス		リセット後の値			
TRCCR1		0121h番地		00h			
ビットシンボル	ビット名	機能		RW			
TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効		RW			
TOB	TRCIOB出力レベル選択ビット(注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペアー致で“H”出力 TRCGRBのコンペアー致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペアー致で“L”出力 TRCGRBのコンペアー致で“H”出力)		RW			
TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効		RW			
TOD	TRCIOD出力レベル選択ビット(注1)			RW			
TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCCLK入力の立ち上がりエッジ 1 1 0: fOCO40M 1 1 1: 設定しないでください		RW			
TCK1				RW			
TCK2				RW			
CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペアー致でクリア		RW			

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
 注2. 端子の機能が波形出力の場合(「表7.15、表7.16」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

図14.56 PWM2モード時のTRCCR1レジスタ

表14.23 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	—
TRCGRD	BFD=1	バッファレジスタ。次のPWM出力の変化点を設定してください。(「14.3.3.2 バッファ動作」参照)	TRCIOB端子

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

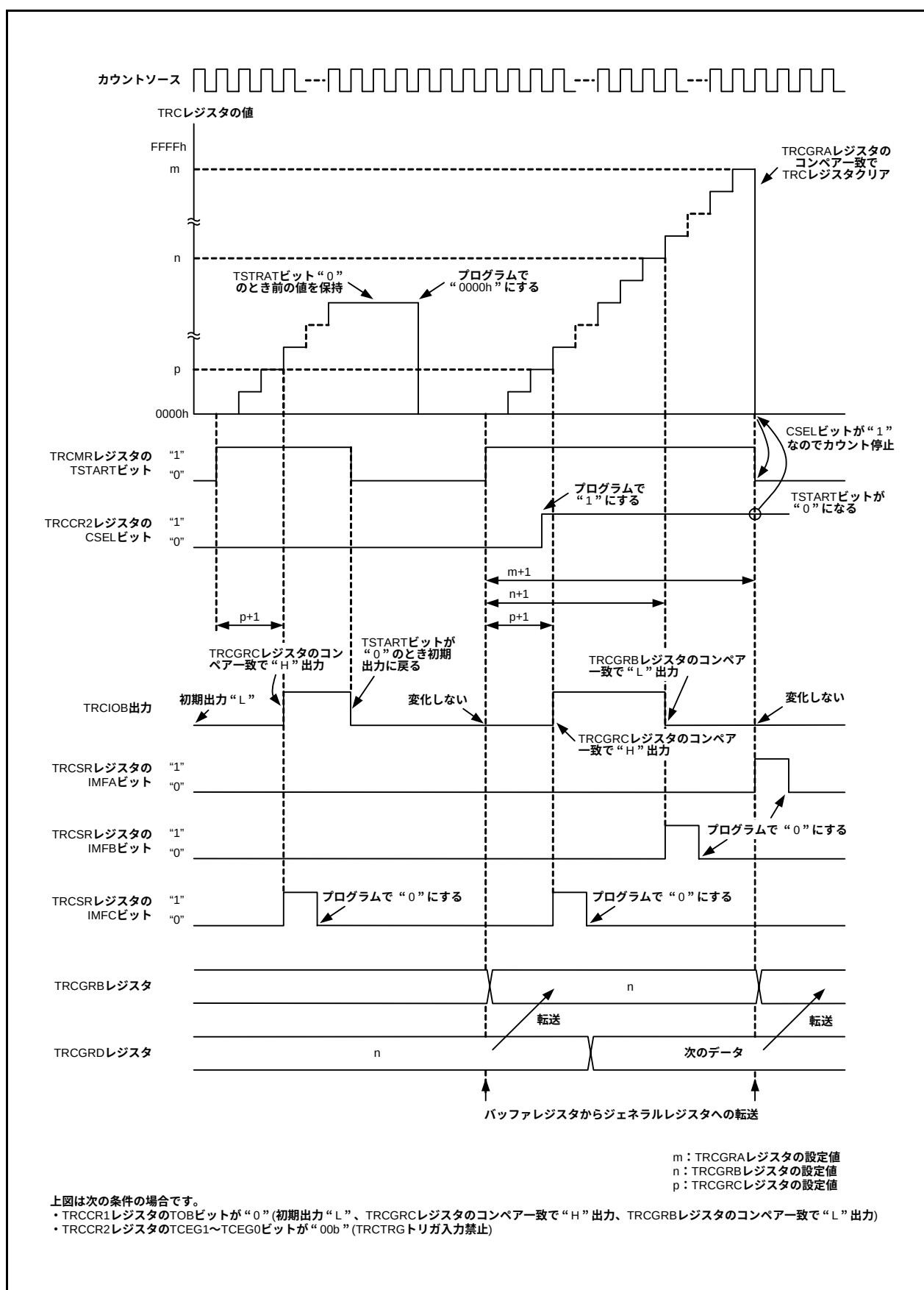


図 14.57 PWM2 モードの動作例 (TRCTRG トリガ入力禁止の場合)

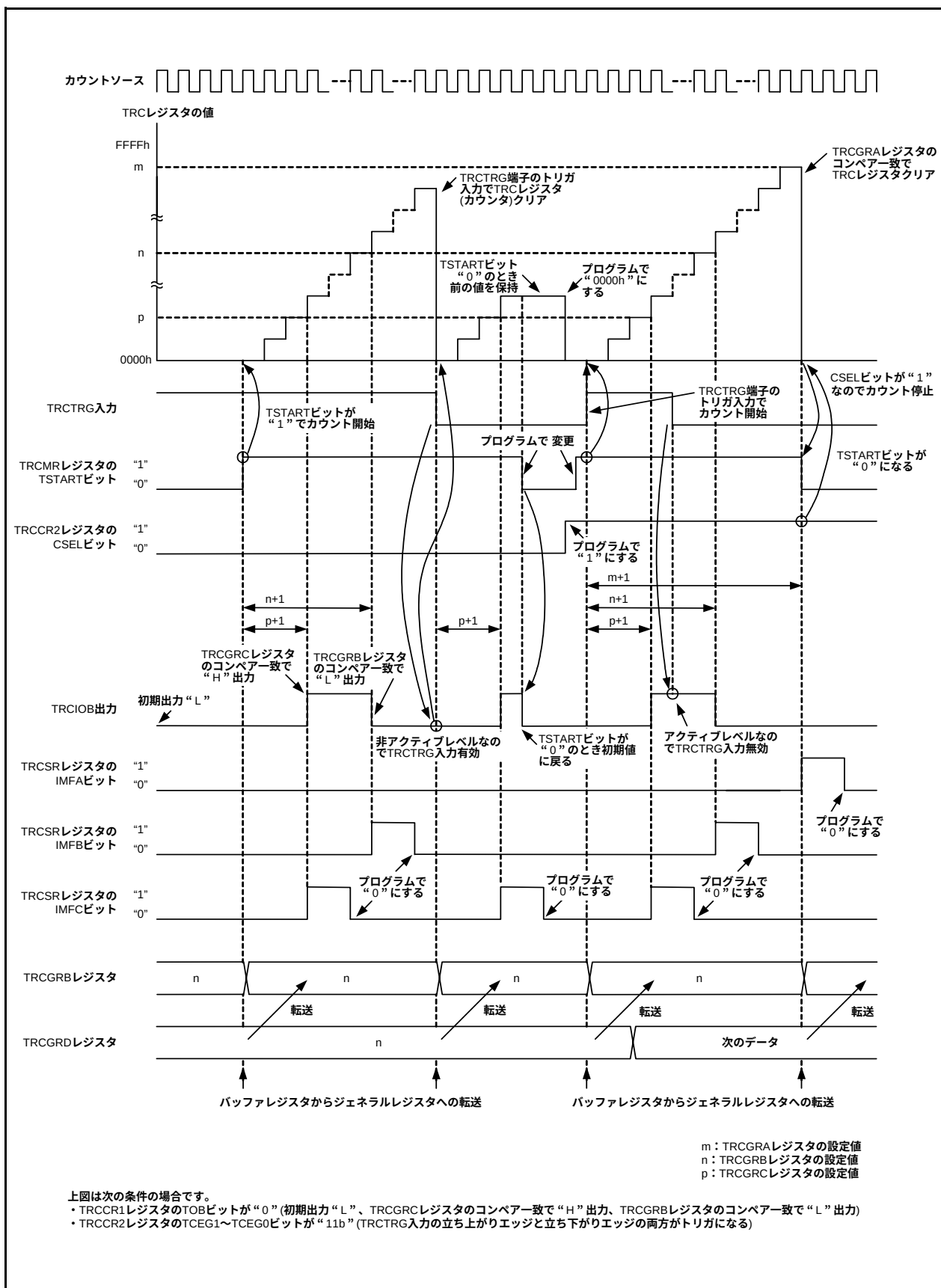


図14.58 PWM2モードの動作例 (TRCTRGトリガ入力許可の場合)

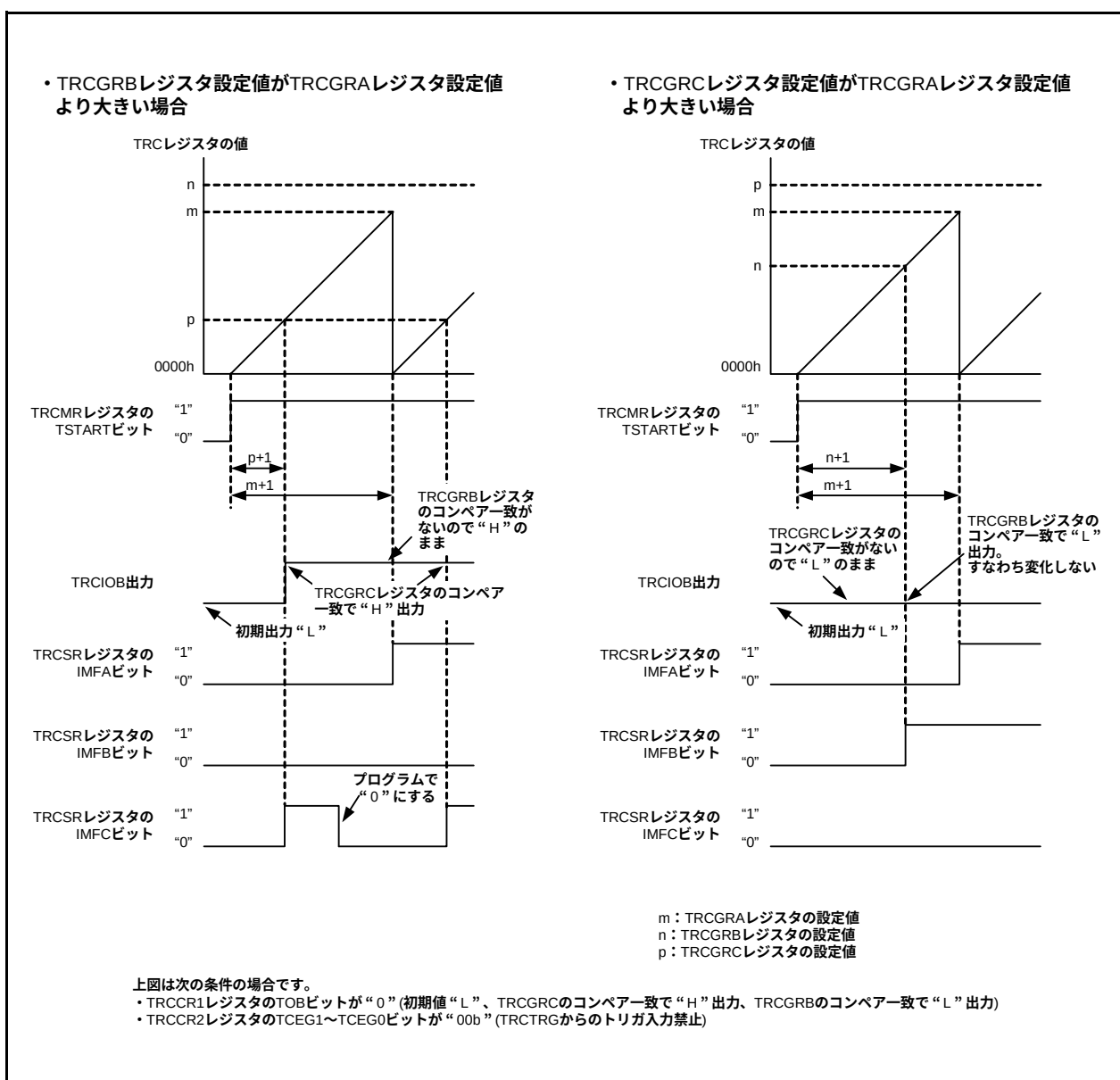


図 14.59 PWM2 モードの動作例 (デューティ 0%、デューティ 100%)

14.3.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表14.24にタイマRC割り込み関連レジスタを、図14.60にタイマRC割り込みのブロック図を示します。

表14.24 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

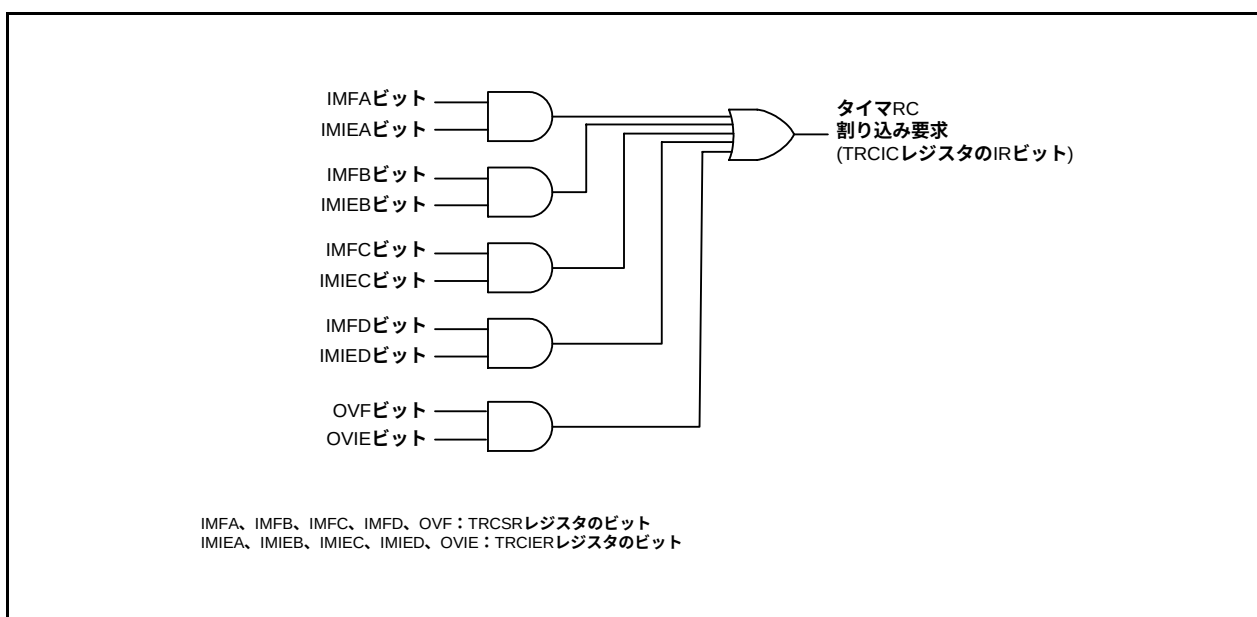


図14.60 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「図14.30 TRCSRレジスタ」を参照してください。

TRCIERレジスタは「図14.29 TRCIERレジスタ」を参照してください。

TRCICレジスタは「12.1.6 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

14.3.9 タイマRC使用上の注意事項

14.3.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。

TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。

TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC          ; 書き込み
                   JMP.B   L1                  ; JMP.B命令
                   L1:    MOV.W  TRC, DATA      ; 読み出し

```

14.3.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR        ; 書き込み
                   JMP.B   L1                  ; JMP.B命令
                   L1:    MOV.B  TRCSR, DATA   ; 読み出し

```

14.3.9.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

14.3.9.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRCの動作クロック(「表14.11 タイマRCの動作クロック」参照)の3サイクル以上にしてください。
- TRCIOj(j = A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

14.3.9.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

14.4 タイマRE

タイマREは、4ビットカウンタと8ビットカウンタを持つタイマです。

タイマREは次のモードを持ちます。

- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

14.4.1 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図14.61にアウトプットコンペアモードのブロック図を、表14.25にアウトプットコンペアモードの仕様を、図14.62～図14.66にアウトプットコンペアモード関連レジスタを、図14.67にアウトプットコンペアモードの動作例を示します。

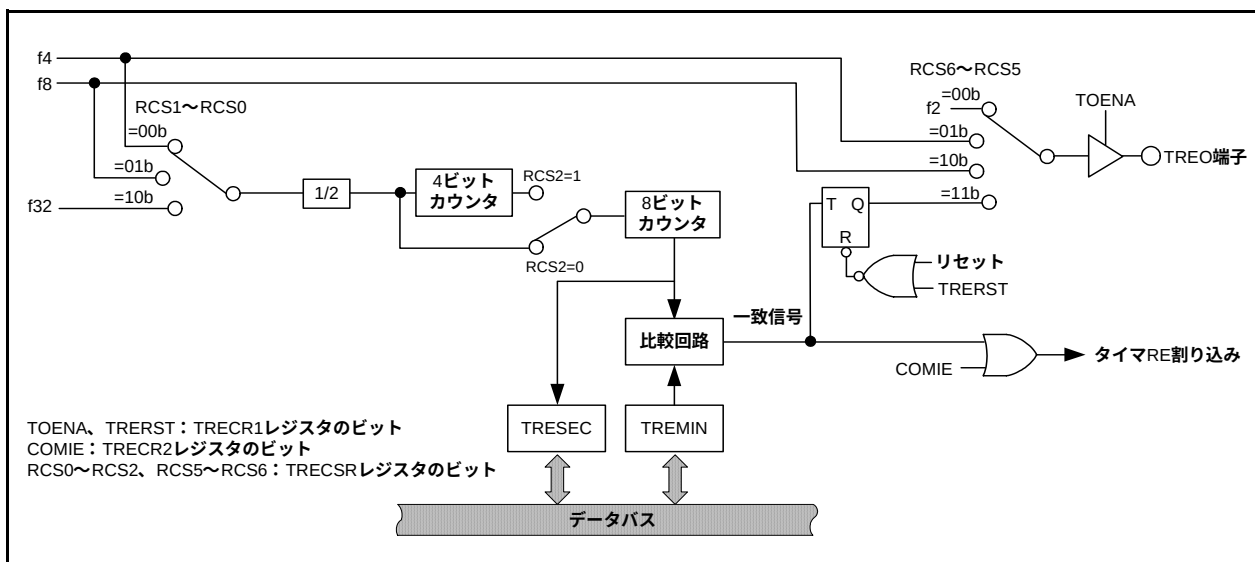


図 14.61 アウトプットコンペアモードのブロック図

表14.25 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32
カウント動作	・アップカウント ・8ビットカウンタは、値がTREMINTレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。
カウント周期	・RCS2=0(4ビットカウンタ使用しない)の場合 $1/f_i \times 2 \times (n + 1)$ ・RCS2=1(4ビットカウンタ使用する)の場合 $1/f_i \times 32 \times (n + 1)$ f _i ：カウントソースの周波数 n：TREMINTレジスタの設定値
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINTレジスタの内容が一致したとき
TREO端子機能	次のいずれかを選択 ・プログラマブル入出力ポート ・f2、f4、f8のいずれかを出力 ・コンペア出力
タイマの読み出し	TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINTレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRESECレジスタへの書き込みはできない。 TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINTレジスタに書き込める。
選択機能	・4ビットカウンタ使用選択 ・コンペア出力機能 8ビットカウンタ値とTREMINTレジスタの内容が一致するごとにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。

タイマREカウンタデータレジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TRESEC	アドレス 0118h番地	リセット後の値 00h	
		機能		RW
		8ビットのカウンタデータが読めます。 タイマREのカウンタが停止しても、カウンタ値は保持されます。 コンパレー一致で、TRESECレジスタは“00h”になります。		RO

図 14.62 アウトプットコンペアモード時のTRESECレジスタ

タイマREコンペアデータレジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TREMINT	アドレス 0119h番地	リセット後の値 00h	
		機能		RW
		8ビットのコンペアデータを格納。		RW

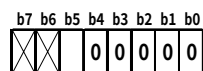
図 14.63 アウトプットコンペアモード時のTREMINTレジスタ

タイマRE制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TRECRL	アドレス 011Ch番地	リセット後の値 00h	
0 0 0 0 0 0 0 0	ビット シンボル	ビット名	機能	RW
	— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
	TCSTF	タイマREカウンタステータス フラグ	0：カウンタ停止中 1：カウンタ中	RO
	TOENA	TREO端子出力許可ビット	0：クロック出力禁止 1：クロック出力許可	RW
	INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0” にしてください。	RW
	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”に すると次の状態になります。 ・ TRESEC、TREMINT、TRECRLレジスタ が“00h” ・ TRECRLレジスタのTCSTF、INT、 TSTARTビットが“0” ・ 8ビットカウンタが“00h”、4ビッ トカウンタが“0h”	RW
	— (b6-b5)	予約ビット	“0”にしてください。	RW
	TSTART	タイマREカウンタ開始ビット	0：カウンタ停止 1：カウンタ開始	RW

図 14.64 アウトプットコンペアモード時のTRECRLレジスタ

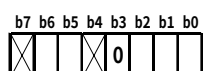
タイマRE制御レジスタ2



シンボル TREC2	アドレス 011Dh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
— (b4-b0)	予約ビット	“0”にしてください。	RW
COMIE	コンペアー致割り込み許可ビット	0:コンペアー致割り込み禁止 1:コンペアー致割り込み許可	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

図 14.65 アウトプットコンペアモード時のTREC2レジスタ

タイマREカウントソース選択レジスタ



シンボル TRECSR	アドレス 011Eh番地	リセット後の値 00001000b	
ビット シンボル	ビット名	機能	RW
RCS0	カウントソース選択ビット	b1 b0 0 0: f4 0 1: f8 1 0: f32 1 1: 設定しないでください	RW
RCS1			RW
RCS2	4ビットカウンタ選択ビット	0: 使用しない 1: 使用する	RW
— (b3)	予約ビット	“0”にしてください。	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
RCS5	クロック出力選択ビット(注1)	b6 b5 0 0: f2 0 1: f4 1 0: f8 1 1: コンペア出力	RW
RCS6			RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. RCS5～RCS6ビットは、TREC1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

図 14.66 アウトプットコンペアモード時のTRECSRレジスタ

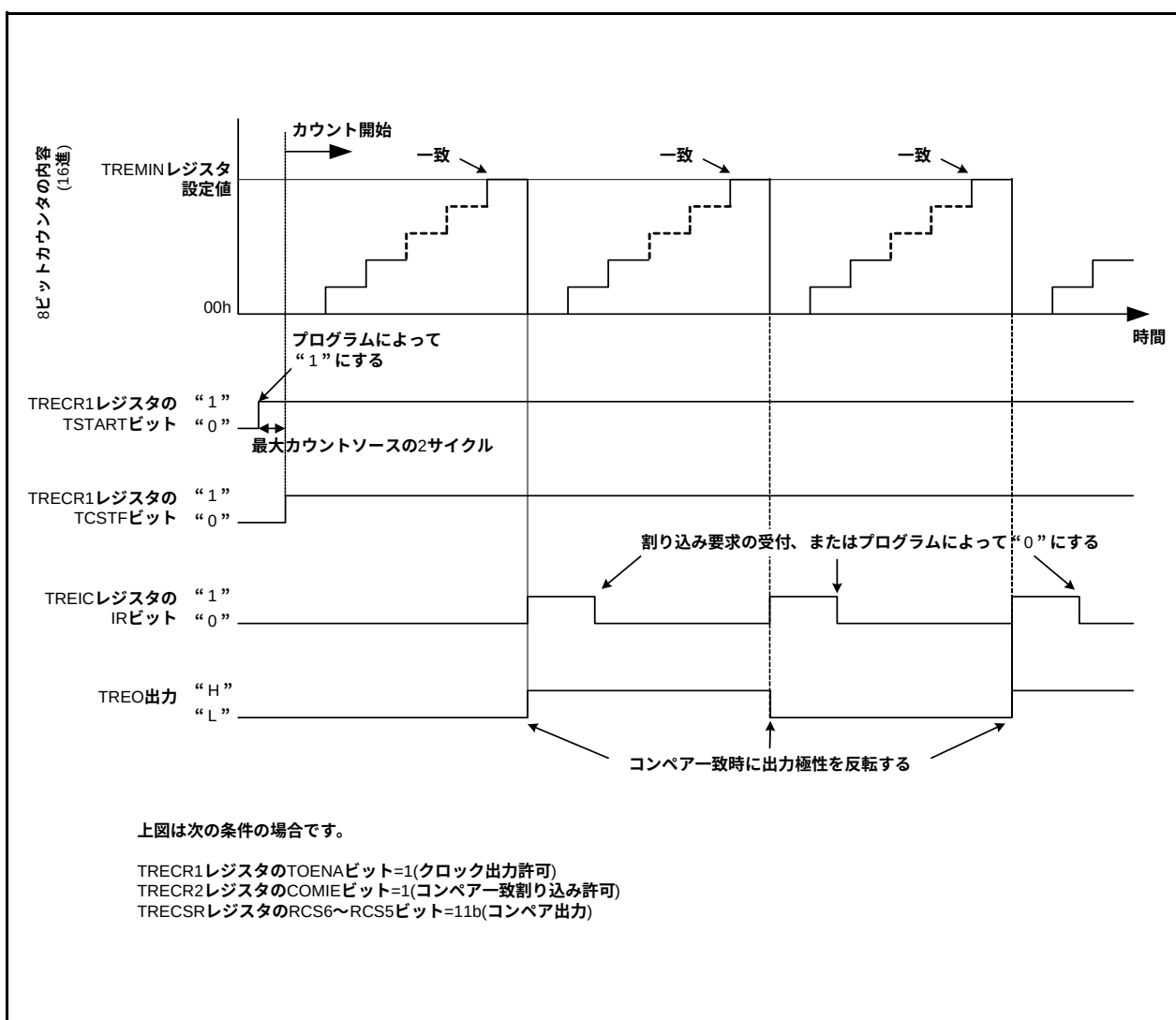


図 14.67 アウトプットコンペアモードの動作例

14.4.2 タイマRE使用上の注意事項

14.4.2.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTREC1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)にアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタにアクセスしないでください。

注1.タイマRE関連レジスタ：TRESEC、TREM1N、TREC1、TREC2、TREC3

14.4.2.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREM1N、TREC2レジスタ
- TREC1レジスタのINTビット
- TREC3レジスタのRCS0～RCS2ビット、b3ビット

タイマREが停止中とは、TREC1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TREC2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

15. シリアルインタフェース

シリアルインタフェースはUART0の1チャンネルで構成しています。UART0は専用の転送クロック発生用タイマを持ちます。

図15.1にUART0のブロック図を、図15.2に送受信部のブロック図を示します。

クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図15.3～図15.7にUART0関連のレジスタを示します。

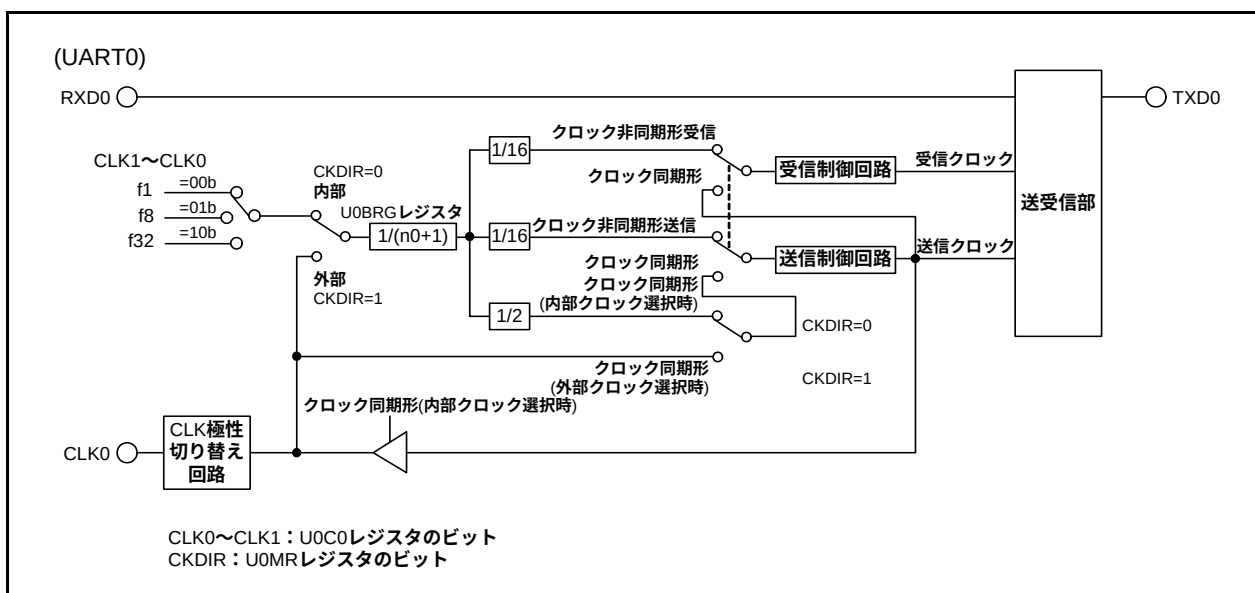


図15.1 UART0のブロック図

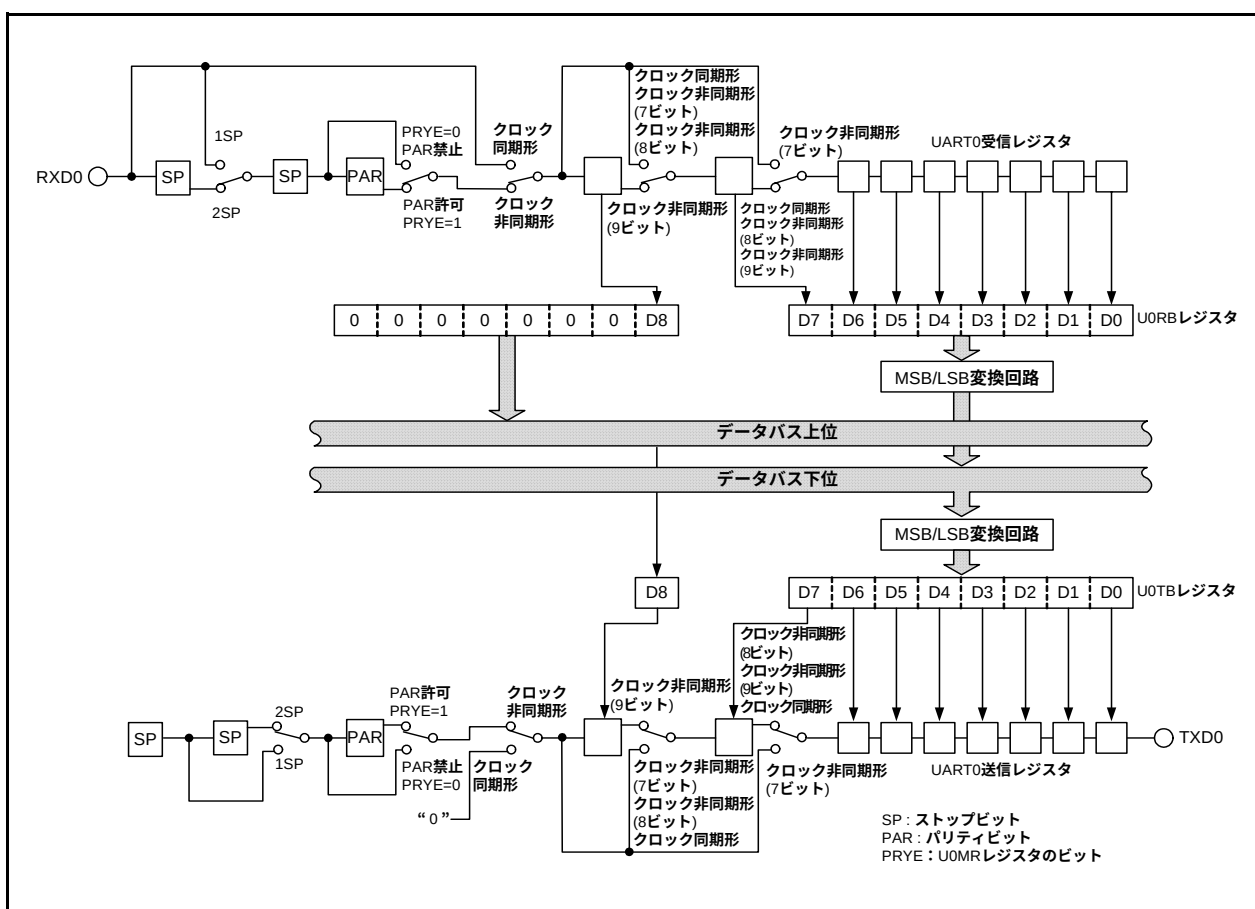


図15.2 送受信部のブロック図

UART0送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
0							
シンボル UOMR		アドレス 00A0h番地		リセット後の値 00h			
ビット シンボル		ビット名		機能		RW	
SMD0		シリアルI/Oモード選択 ビット		b2 b1 b0 0 0 0：シリアルインタフェースは無効 0 0 1：クロック同期形シリアルI/Oモード 1 0 0：UARTモード転送データ長7ビット 1 0 1：UARTモード転送データ長8ビット 1 1 0：UARTモード転送データ長9ビット 上記以外：設定しないでください		RW	
SMD1						RW	
SMD2						RW	
CKDIR		内/外部クロック選択ビット		0：内部クロック 1：外部クロック(注1)		RW	
STPS		ストップビット長選択 ビット		0：1ストップビット 1：2ストップビット		RW	
PRY		パリティ奇/偶選択ビット		PRYE=1のとき有効 0：奇数パリティ 1：偶数パリティ		RW	
PRYE		パリティ許可ビット		0：パリティ禁止 1：パリティ許可		RW	
— (b7)		予約ビット		“0” にしてください。		RW	

注1. CLK0端子を使用するときは、PD1レジスタのPD1_6ビットを“0”(入力)にしてください。

図15.4 UOMR レジスタ

UART0送受信制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0								シンボル U0C0	アドレス 00A4h番地	リセット後の値 00001000b	
							0	ビット シンボル	ビット名	機能	RW
								CLK0	BRGカウントソース 選択ビット(注1)	b1 b0 0 0 : f1を選択 0 1 : f8選択 1 0 : f32を選択 1 1 : 設定しないでください	RW
								CLK1			RW
								— (b2)	予約ビット	“0”にしてください。	RW
								TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	RO
								— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
								NCH	データ出力選択ビット	0 : TXD0端子はCMOS出力 1 : TXD0端子はNチャネルオープンドレイン出力	RW
								CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ 出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ 出力、立ち下がりで受信データ入力	RW
								UFORM	転送フォーマット選択 ビット	0 : LSBファースト 1 : MSBファースト	RW

注1. BRGカウントソースを変更した場合は、U0BRGレジスタを再設定してください。

図15.5 U0C0レジスタ

UART0送受信制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
X							

注1. RIビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

注2. UARTモード時、U0RRMビットは“0”(連続受信モード禁止)にしてください。

図15.6 U0C1レジスタ

ポートモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
-------------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

図15.7 PMRレジスタ

15.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表15.1にクロック同期形シリアルI/Oモードの仕様を、表15.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表15.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・U0MR レジスタのCKDIRビットが“0”(内部クロック)： $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}$ $n=U0BRG$ レジスタの設定値 00h~FFh ・CKDIRビットが“1”(外部クロック)：CLK0端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 U0C1 レジスタのTEビットが“1”(送信許可) U0C1 レジスタのTIビットが“0”(U0TB レジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 U0C1 レジスタのREビットが“1”(受信許可) U0C1 レジスタのTEビットが“1”(送信許可) U0C1 レジスタのTIビットが“0”(U0TB レジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -U0IRS ビットが“0”(送信バッファ空)： U0TB レジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRS ビットが“1”(送信完了)：UART0送信レジスタからデータ送信完了時 ・受信する場合 UART0受信レジスタから、U0RB レジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) U0RB レジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 U0RB レジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b8)は不定になります。またS0RICレジスタのIRビットは変化しません。

表 15.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機 能
U0TB	0～7	送信データを設定してください
U0RB	0～7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	0～7	ビットレートを設定してください
U0MR	SMD2～SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1～CLK0	U0BRG レジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSB ファースト、またはMSB ファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表 15.3 にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 15.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0

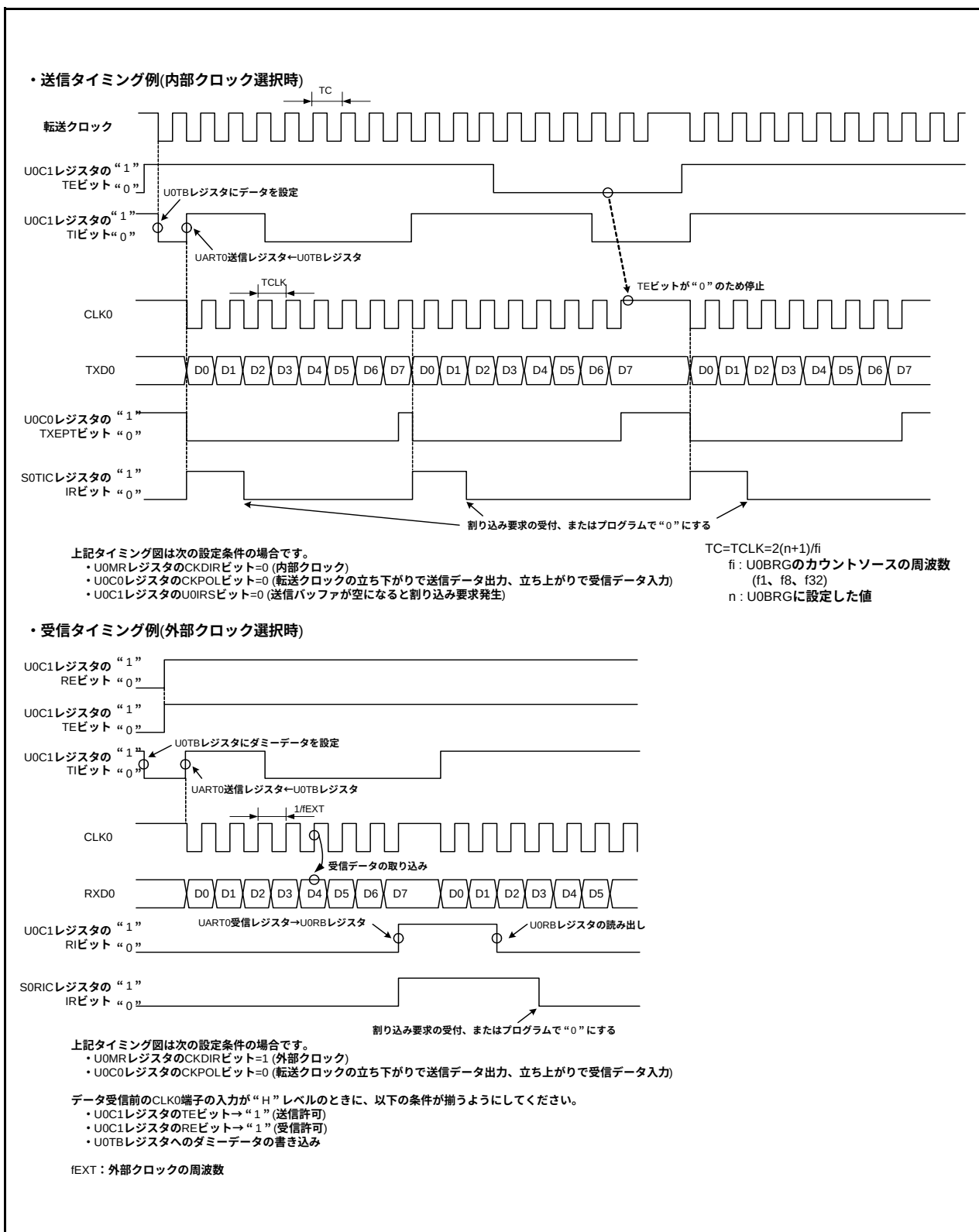


図 15.8 クロック同期形シリアルI/Oモード時の送受信タイミング例

15.1.1 極性選択機能

図15.9に転送クロックの極性を示します。U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

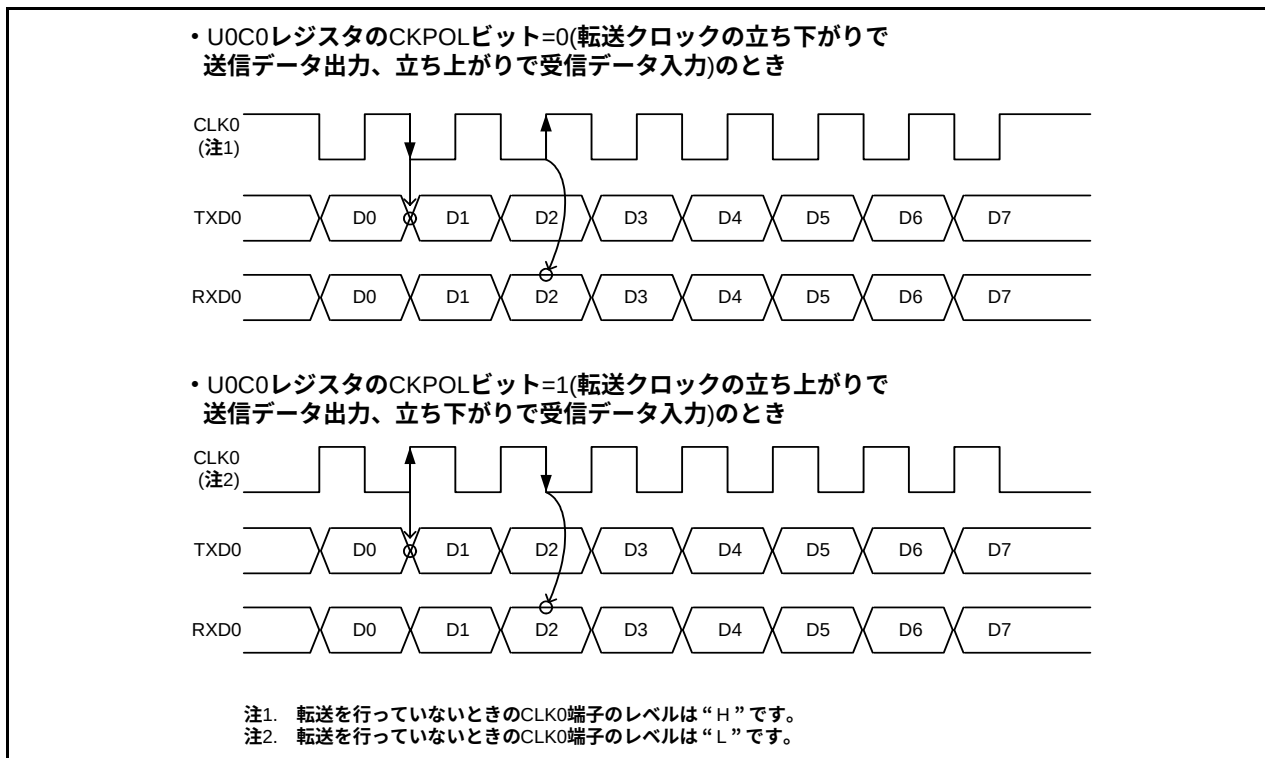


図15.9 転送クロックの極性

15.1.2 LSBファースト、MSBファースト選択

図15.10に転送フォーマットを示します。U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

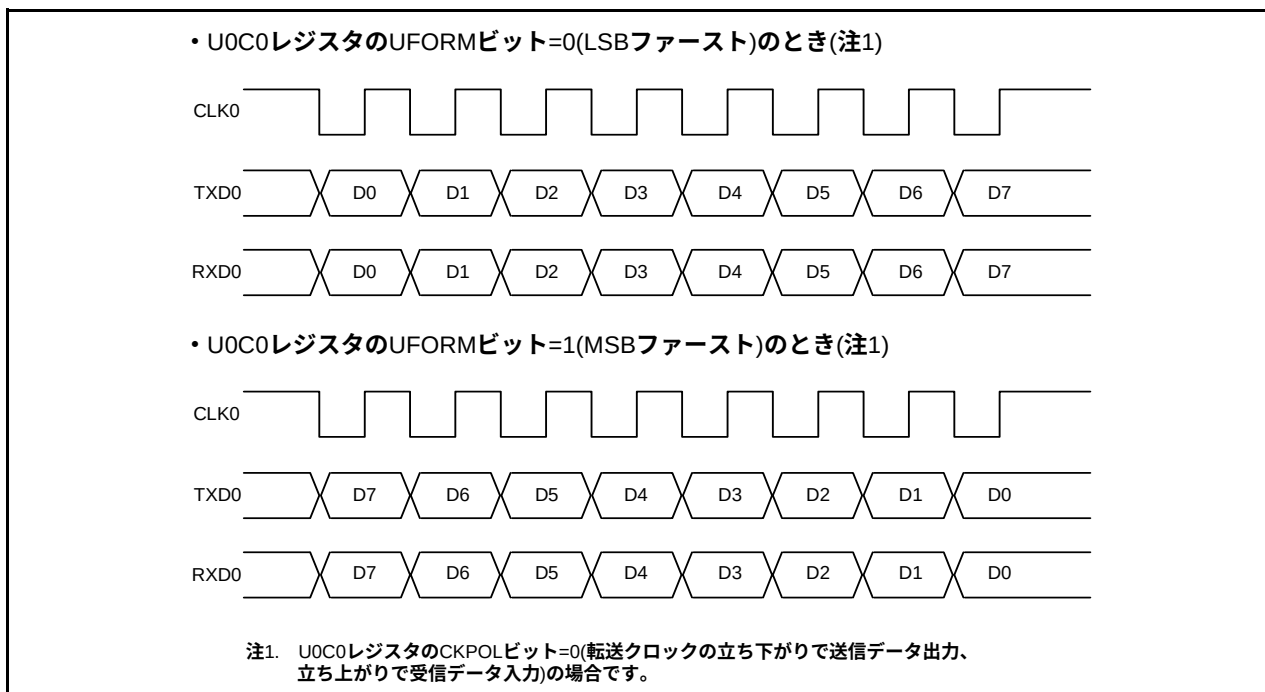


図15.10 転送フォーマット

15.1.3 連続受信モード

U0C1レジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

15.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表15.4にクロック非同期形シリアルI/Oモードの仕様を、表15.5にUARTモード時の使用レジスタと設定値を示します。

表15.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	• キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、無し 選択可 • ストップビット 1ビット、2ビット 選択可
転送クロック	• U0MRレジスタのCKDIRビットが“0”(内部クロック)：$f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}$ $n=U0BRG$レジスタの設定値 00h~FFh • CKDIRビットが“1”(外部クロック)：$f_{EXT}/(16(n+1))$ f_{EXT}はCLK0端子からの入力 $n=U0BRG$レジスタの設定値 00h~FFh
送信開始条件	• 送信開始には、以下の条件が必要です。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	• 受信開始には、以下の条件が必要です。 U0C1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	• 送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空)： U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了)： UART0送信レジスタからデータ送信完了時 • 受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	• オーバランエラー(注1) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b8)は不定になります。またS0RICレジスタのIRビットは変化しません。

表 15.5 UART モード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	0～8	送信データを設定してください(注1)
U0RB	0～8	受信データが読めます(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U0BRG	0～7	ビットレートを設定してください
U0MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
U0C0	CLK1～CLK0	U0BRG レジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0 端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U0C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。

注1. 使用するビットは次のとおりです。

転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

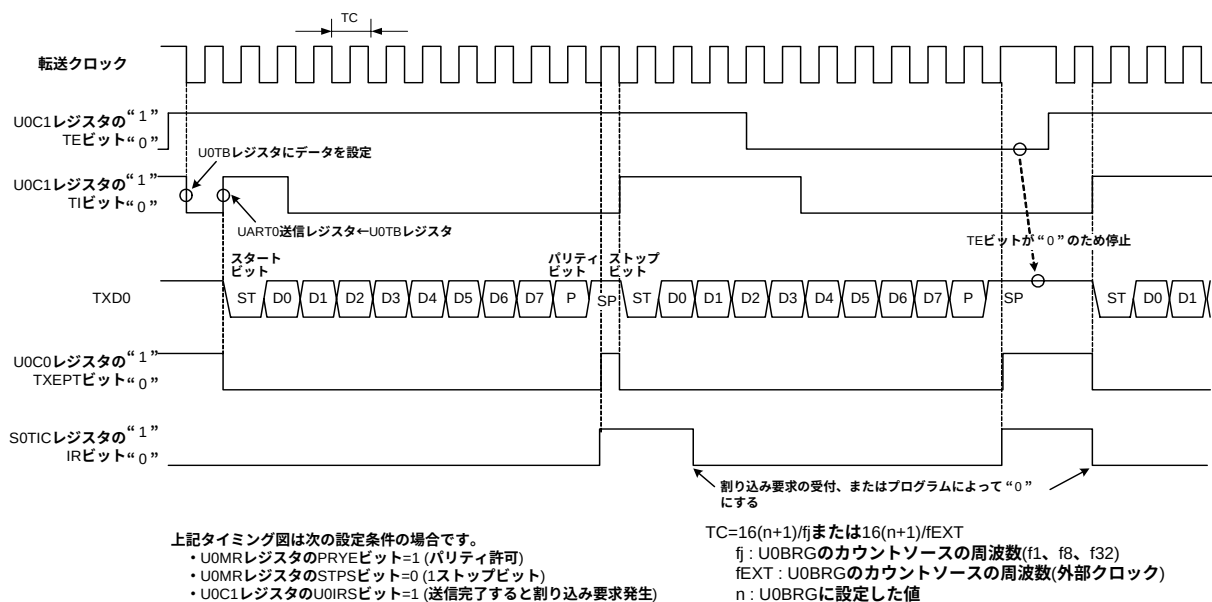
注2. 転送データ長7ビットの場合のビット7～8、転送データ長8ビットの場合のビット8の内容は不定です。

表 15.6 に UART モード時の入出力端子の機能を示します。なお、UART0 の動作モード選択後、転送開始までは、TXD0 端子は“H”レベルを出力します(NCH ビットが“1”(N チャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 15.6 UART モード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD0(P1_5)	シリアルデータ入力	PD1 レジスタの PD1_5 ビット=0 (送信だけを行うときは P1_5 を入力ポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0MR レジスタの CKDIR ビット=0
	転送クロック入力	U0MR レジスタの CKDIR ビット=1 PD1 レジスタの PD1_6 ビット=0

・転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



・転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)

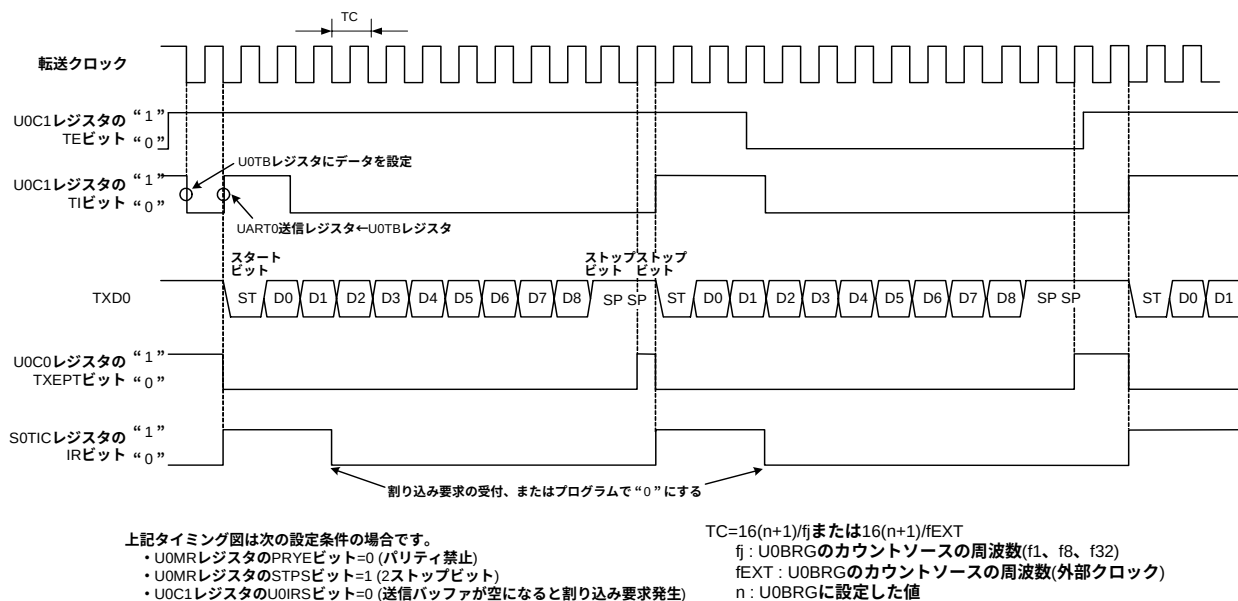


図 15.11 UART モード時の送信タイミング

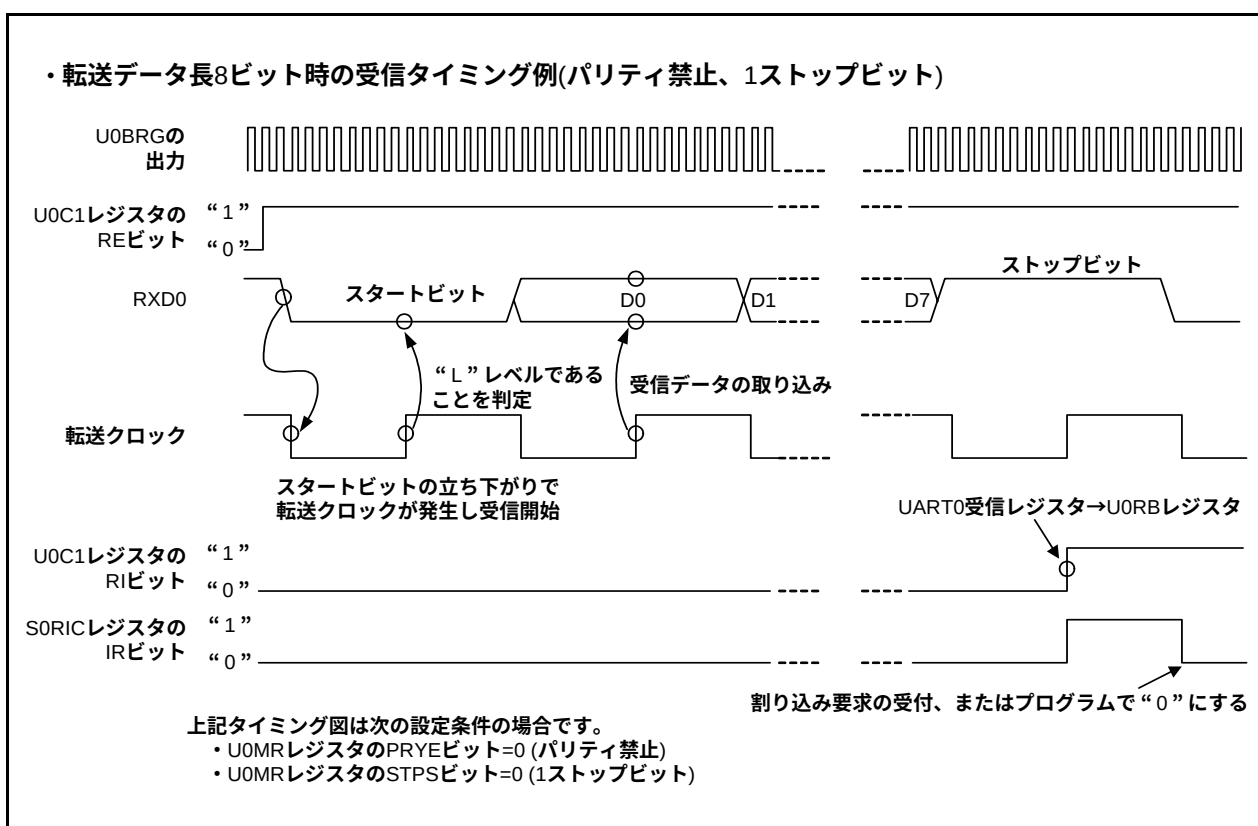


図15.12 UARTモード時の受信タイミング例

15.2.1 ビットレート

UARTモードではU0BRGレジスタで分周した周波数の16分周がビットレートになります。

図15.13にU0BRGレジスタの設定値の算出式を、表15.7にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

<UARTモード>

・内部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : U0BRGレジスタのカウントソースの周波数(f_1 、 f_8 、 f_{32})

・外部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : U0BRGレジスタのカウントソースの周波数(外部クロック)

図15.13 U0BRGレジスタの設定値の算出式

表15.7 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	BRGのカウントソース	システムクロック = 20 MHz			システムクロック = 8 MHz		
		BRGの設定値	実時間 (bps)	誤差 (%)	BRGの設定値	実時間 (bps)	誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	− 1.36	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	− 0.22	34 (22h)	14285.71	− 0.79
19200	f1	64 (40h)	19230.77	0.16	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	16 (10h)	29411.76	2.12
31250	f1	39 (27h)	31250.00	0.00	15 (0Fh)	31250.00	0.00
38400	f1	32 (20h)	37878.79	− 1.36	12 (0Ch)	38461.54	0.16
51200	f1	23 (17h)	52083.33	1.73	9 (09h)	50000.00	− 2.34

15.3 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

＜受信バッファレジスタを読み出すプログラム例＞

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト→下位バイトの順で、8ビット単位で書いてください。

＜送信バッファレジスタに書き込むプログラム例＞

```
MOV.B     #XXH, 00A3H    ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B     #XXH, 00A2H    ; U0TBレジスタの下位バイトへの書き込み
```

16. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

16.1 特長

ハードウェアLINには、以下の特長があります。

図16.1にハードウェアLINのブロック図を示します。

【マスタモード】

- Synch Break発生
- バス衝突検出

【スレーブモード】

- Synch Break検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART0入力制御機能
- バス衝突検出

注1. Wake Up機能はINT1により検出

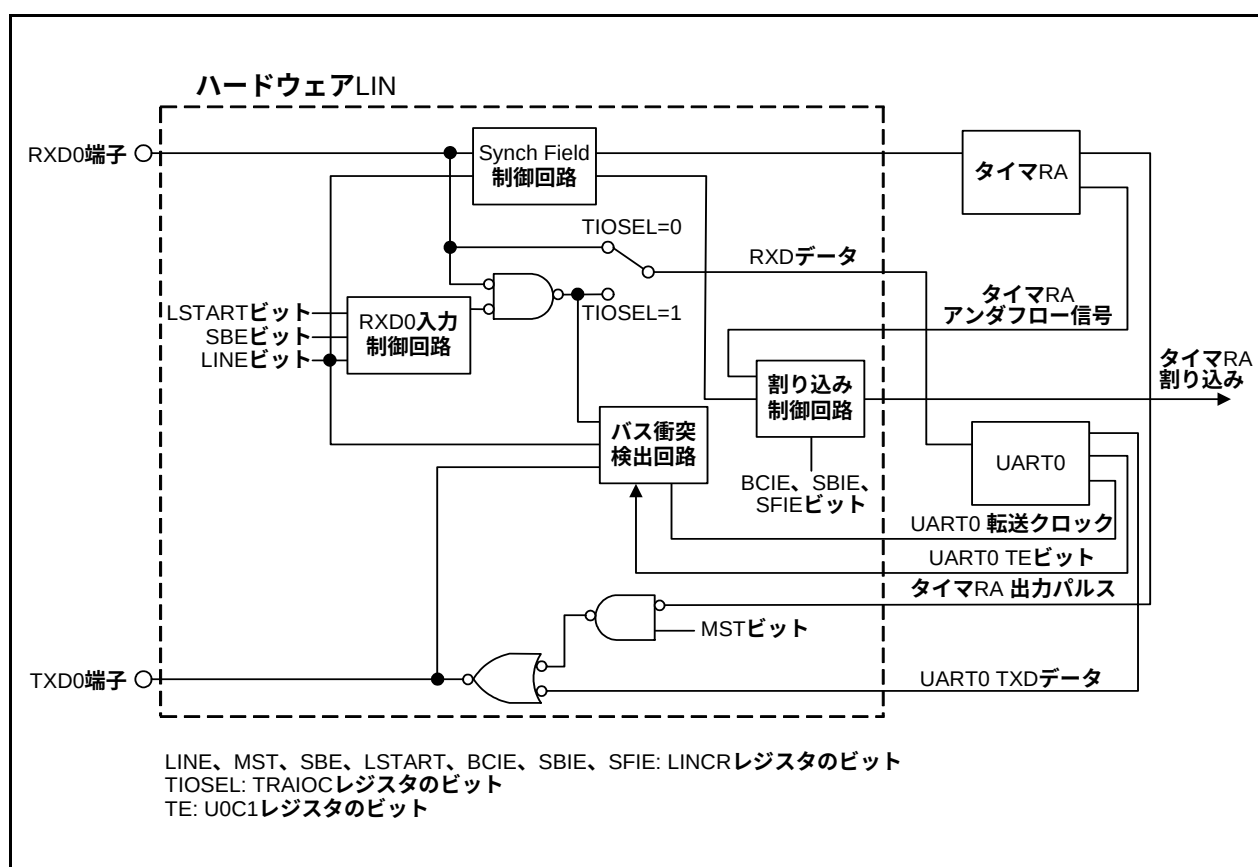


図16.1 ハードウェアLINのブロック図

16.2 入出力端子

表16.1にハードウェアLINの端子構成を示します。

表16.1 端子構成

名称	略称	入出力	機能
レシーブデータ入力	RXD0	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	出力	ハードウェアLINの送信データ出力端子

16.3 レジスタ構成

ハードウェアLINには以下のレジスタがあります。

図16.2と図16.3にレジスタの詳細を示します。

- LINコントロールレジスタ (LINCR)
- LINステータスレジスタ (LINST)

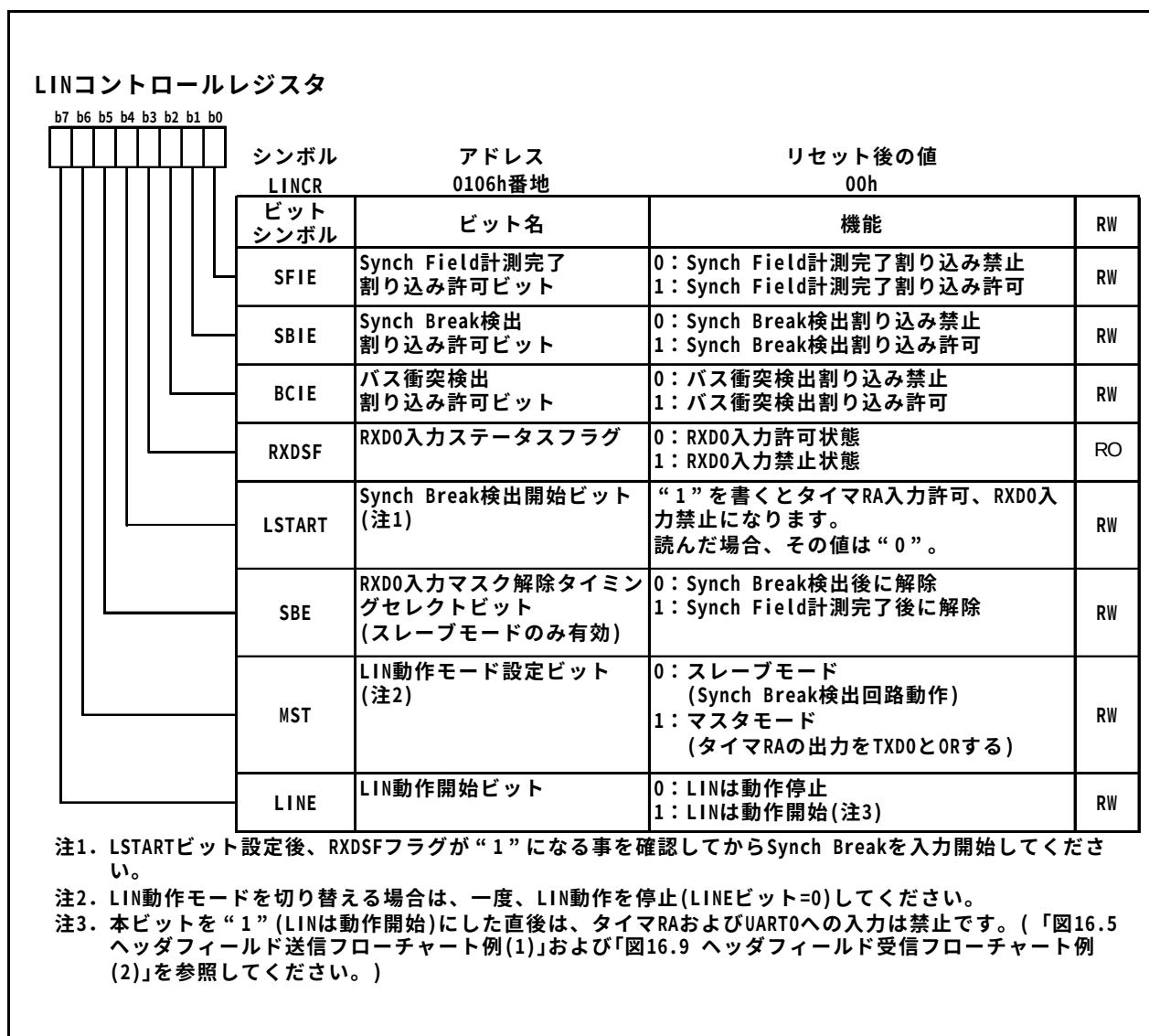


図16.2 LINCR レジスタ

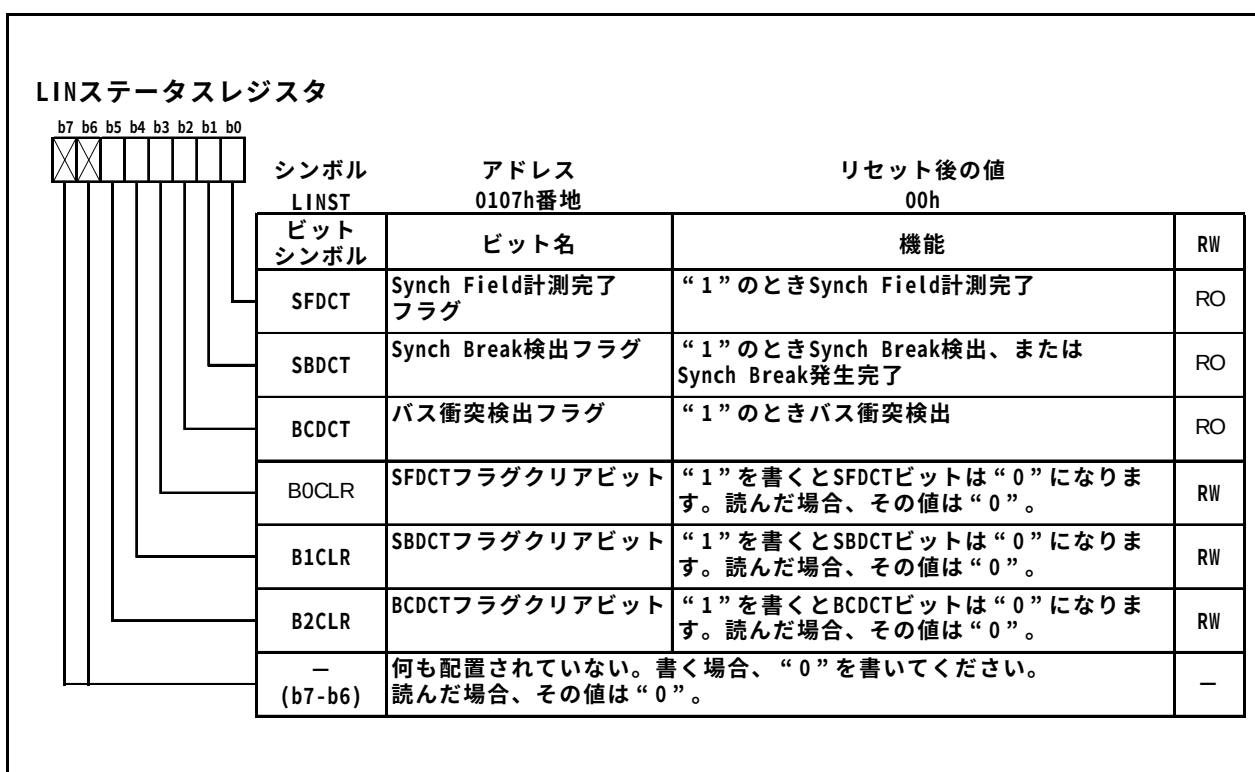


図16.3 LINSTレジスタ

16.4 動作説明

16.4.1 マスタモード

図16.4にマスタモードでの、ヘッダフィールドの送信時の動作例を、図16.5～図16.6にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、55hを送信します。
- (4) UART0により、55hの送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

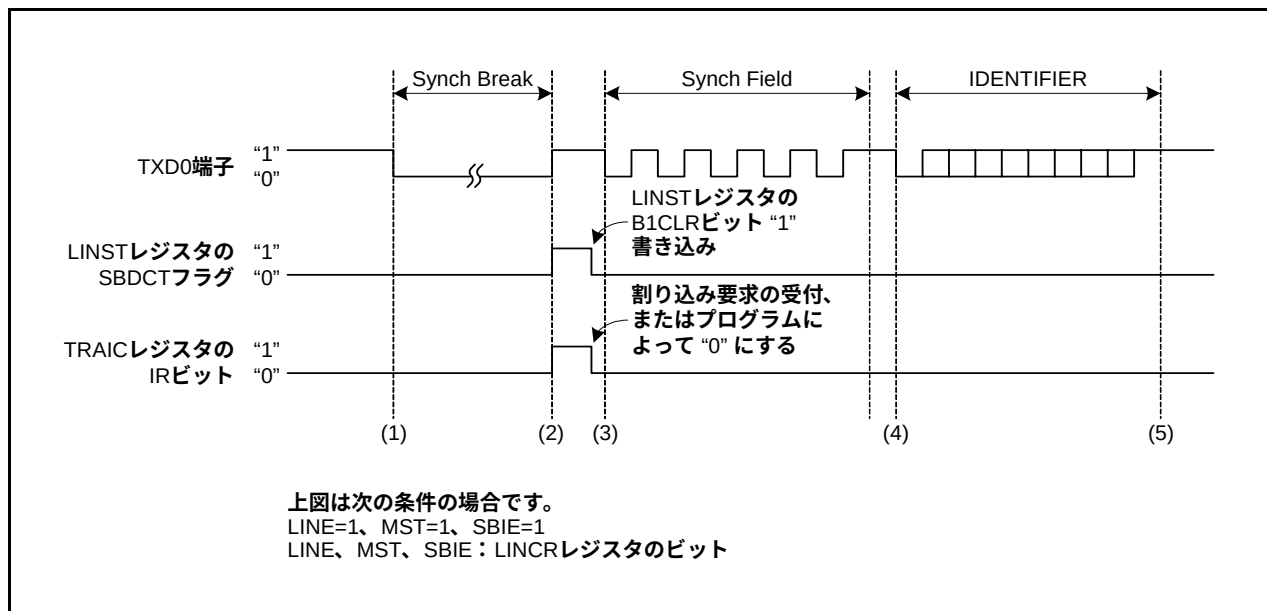


図16.4 ヘッダフィールドの送信時の動作例

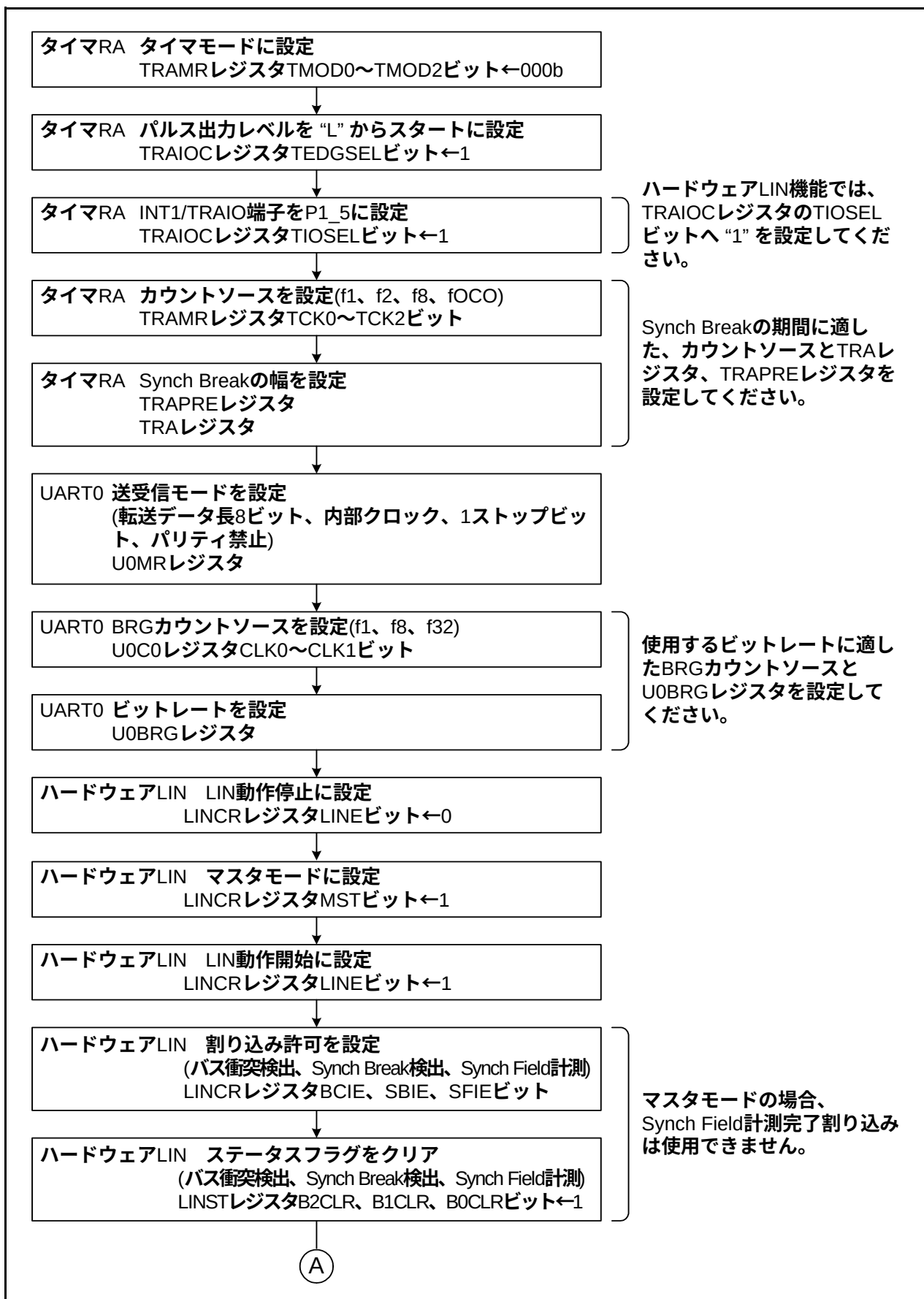


図 16.5 ヘッダフィールド送信フローチャート例(1)

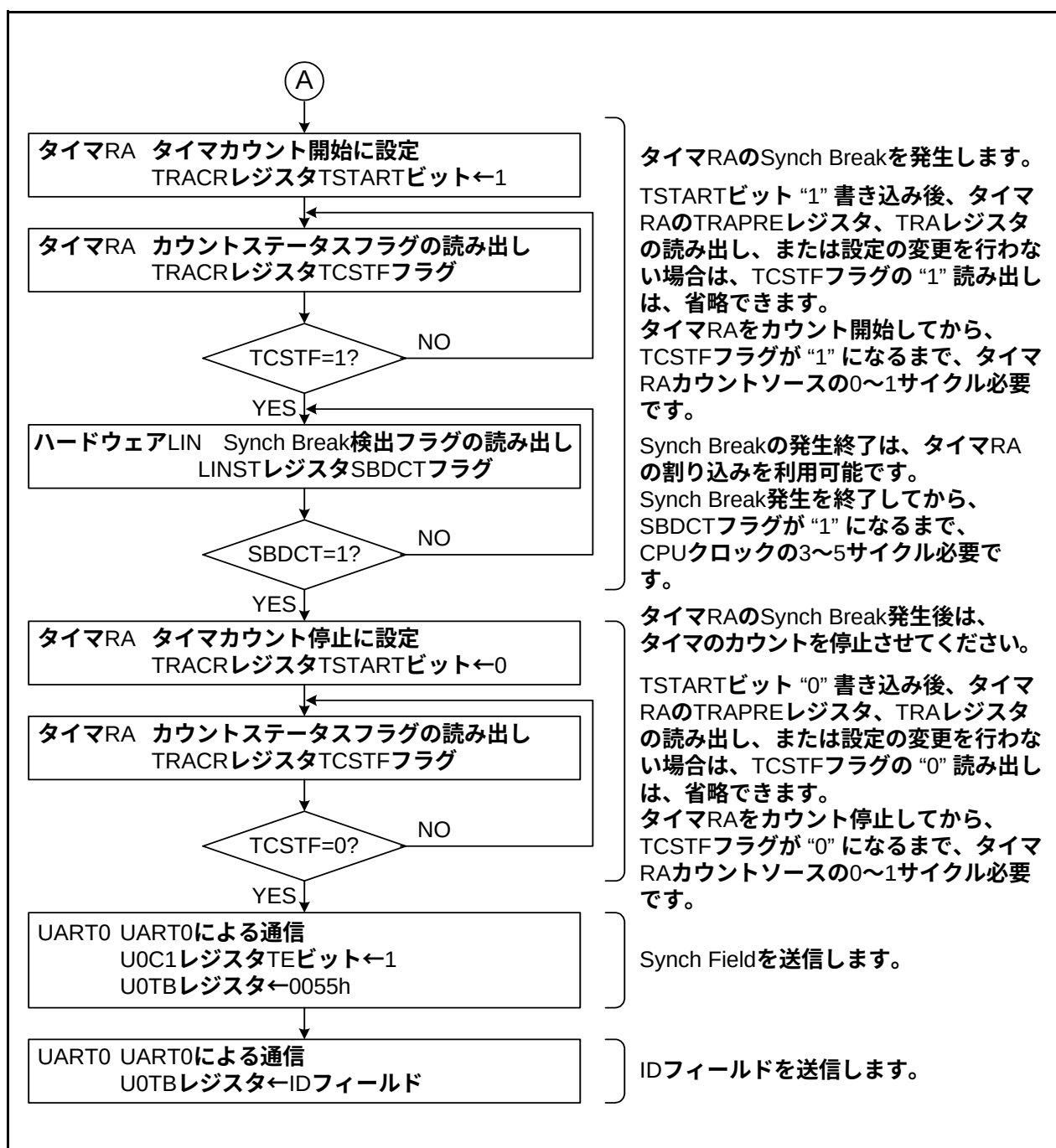


図 16.6 ヘッダフィールド送信フローチャート例(2)

16.4.2 スレーブモード

図16.7にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図16.8～図16.10にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。この時、タイマRAにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

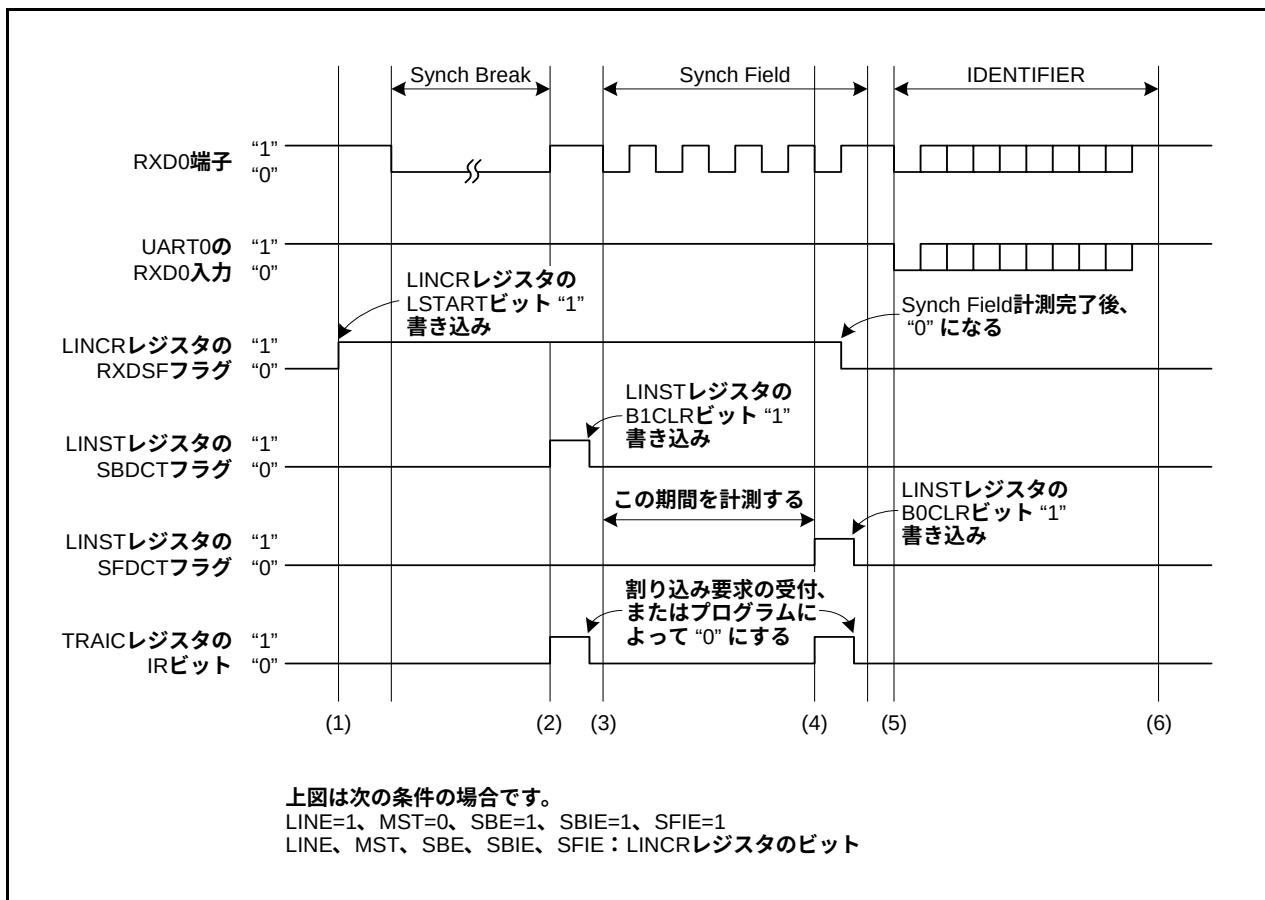


図16.7 ヘッダフィールドの受信時の動作例

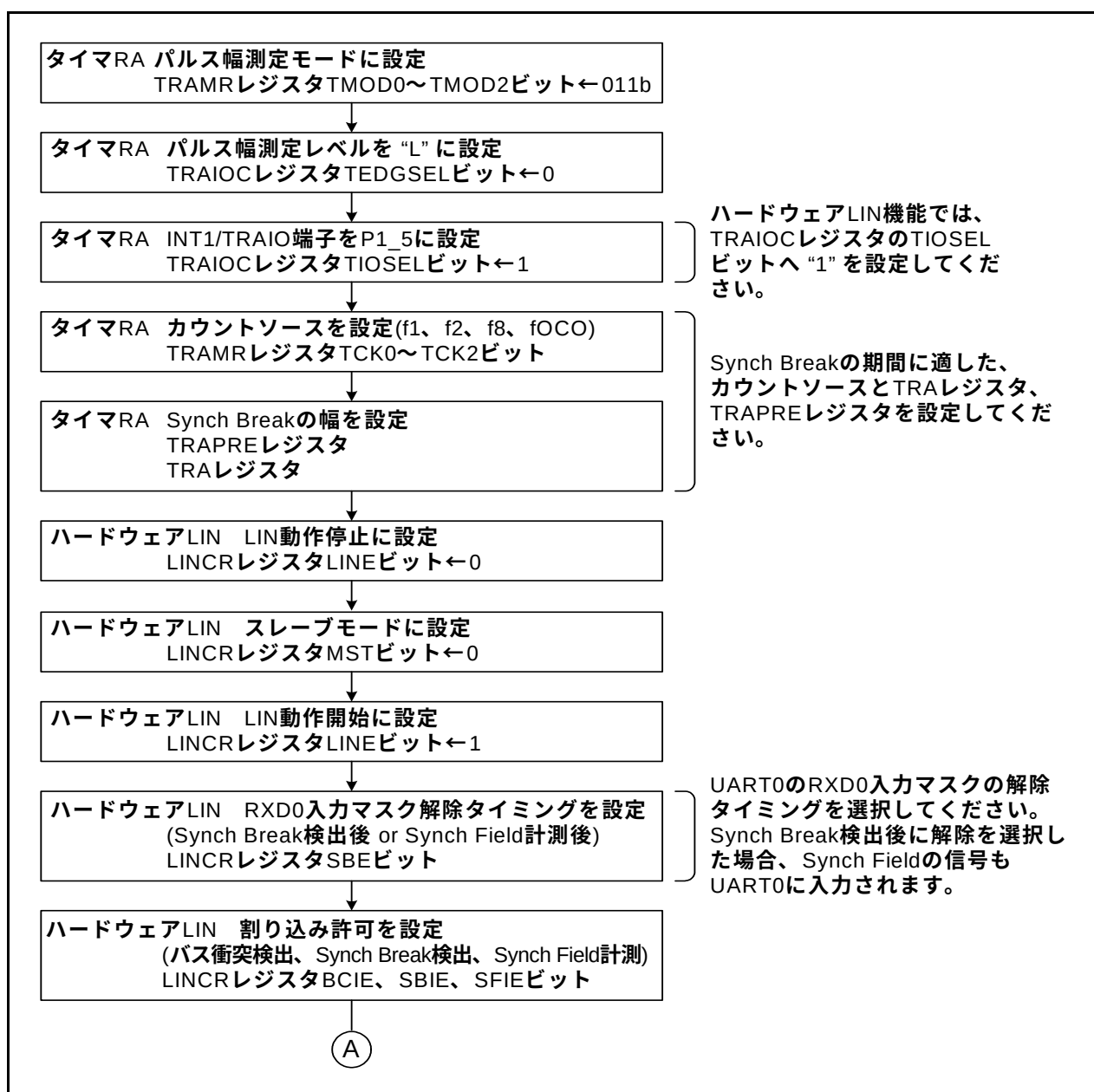


図16.8 ヘッダフィールド受信フローチャート例(1)

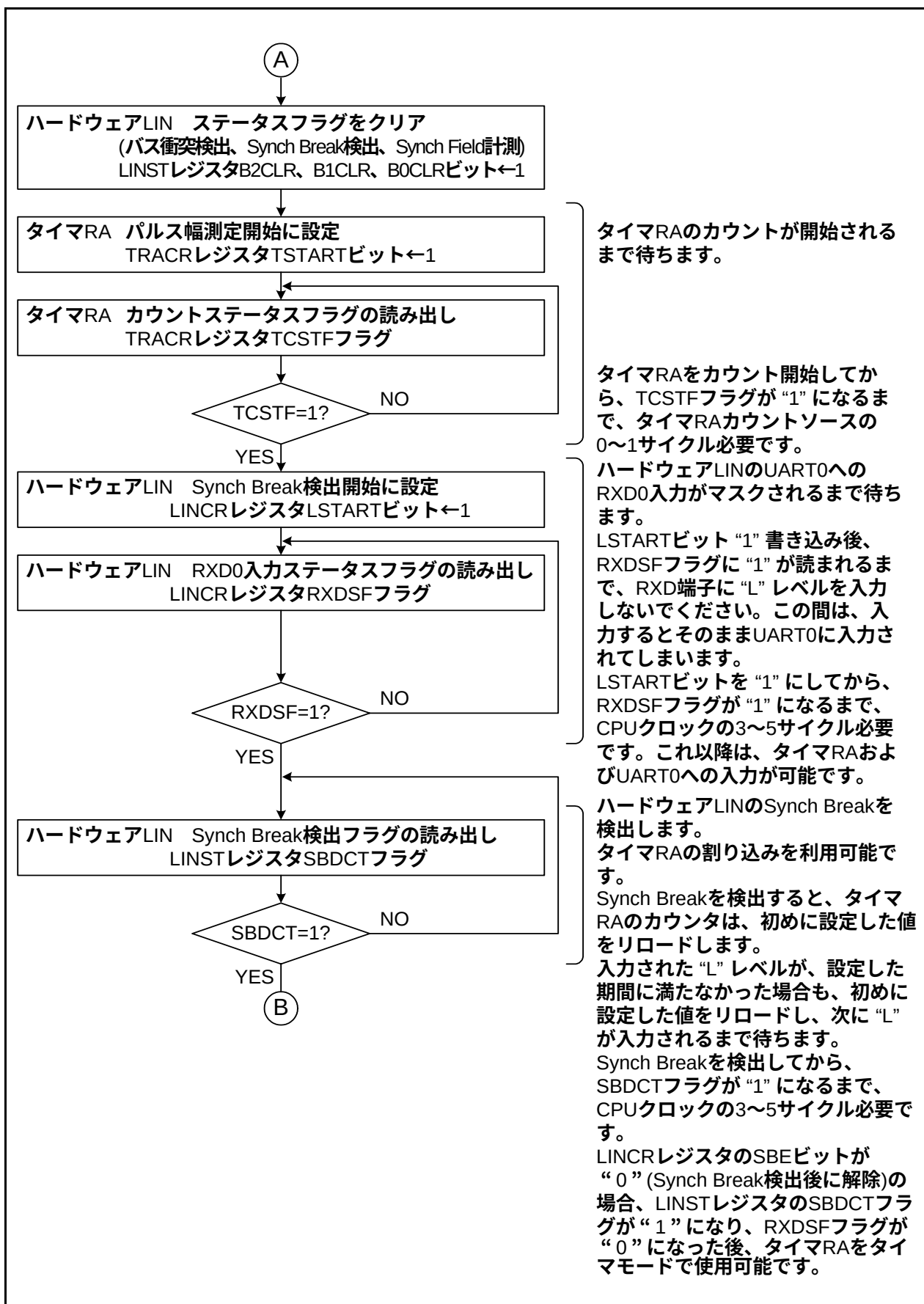


図16.9 ヘッダフィールド受信フローチャート例(2)

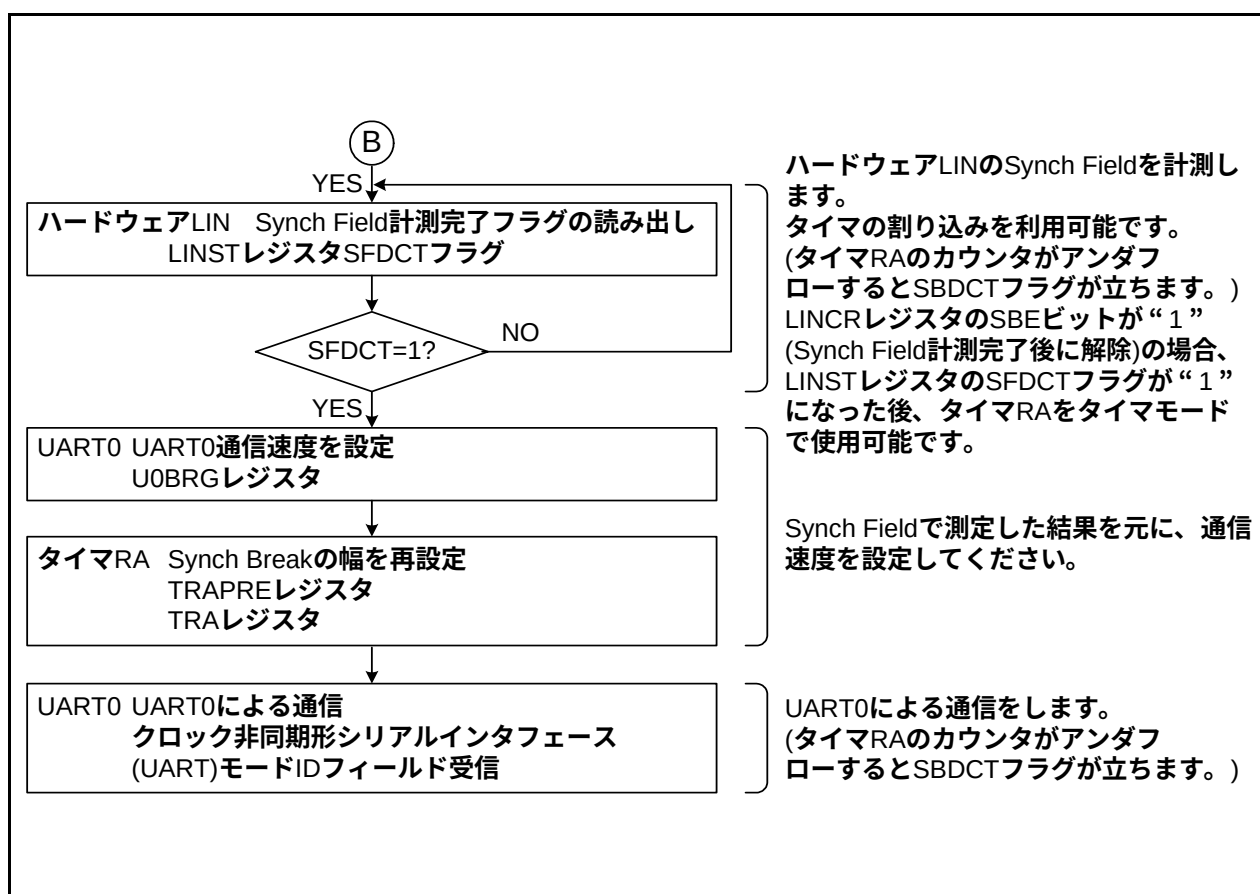


図16.10 ヘッダフィールド受信フローチャート例(3)

16.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。

図16.11にバス衝突検出時の動作例を示します。

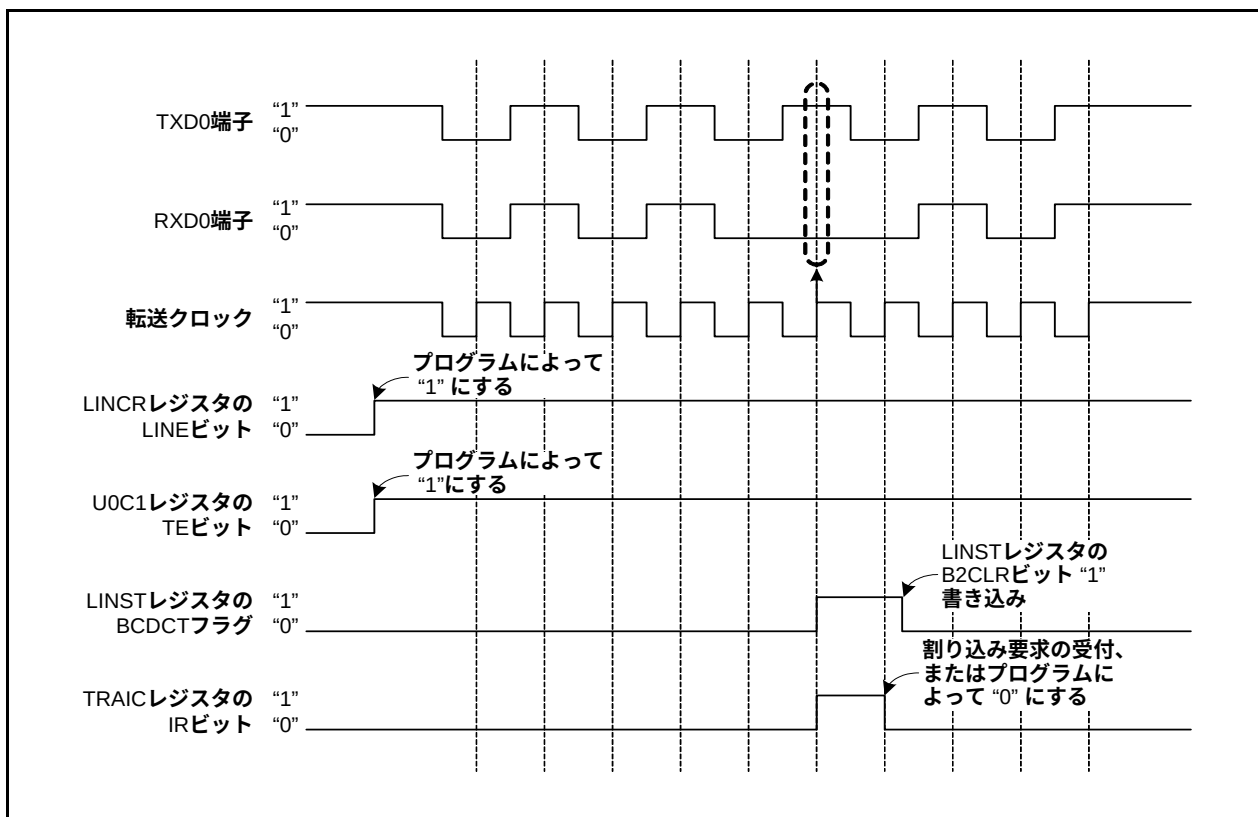


図16.11 バス衝突検出時の動作例

16.4.4 LIN終了処理

図16.12にLINの終了処理を行うためのフローチャート例を示します。

LINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、LINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、LINの終了処理を実施

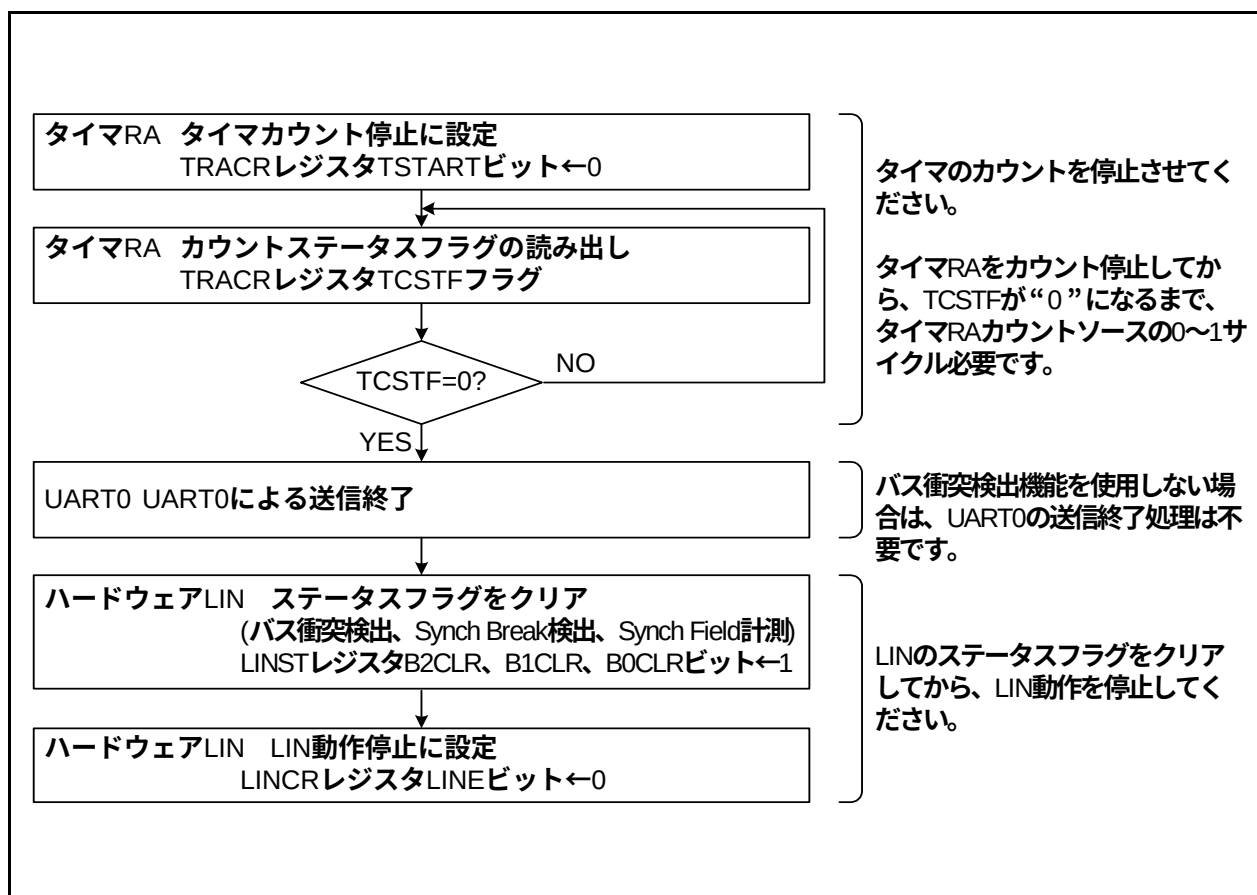


図16.12 LIN通信終了のフローチャート例

16.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表16.2にハードウェアLINの割り込み要求を示します。

表16.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAにより、Synch Fieldの6ビット分の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

16.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

17. A/D コンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0_0～P0_7、P1_0～P1_3と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。また、A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にするとVREF端子からラダー抵抗に電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ADレジスタに格納されます

表17.1にA/Dコンバータの性能を、図17.1にA/Dコンバータのブロック図を、図17.2～図17.3にA/Dコンバータ関連のレジスタを示します。

表17.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC
動作クロック ϕ AD(注2)	$4.2V \leq AVCC \leq 5.5V$ のとき f1、f2、f4、fOCO-F $2.7V \leq AVCC < 4.2V$ のとき f2、f4、fOCO-F
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5V、 ϕ AD = 10MHzのとき ・分解能8ビットの場合 $\pm 2LSB$ ・分解能10ビットの場合 $\pm 3LSB$ AVCC = Vref = 3.3V、 ϕ AD = 10MHzのとき ・分解能8ビットの場合 $\pm 2LSB$ ・分解能10ビットの場合 $\pm 5LSB$
動作モード	単発モード、繰り返しモード(注3)
アナログ入力端子	12本(AN0～AN11)
A/D変換開始条件	ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
1端子あたりの変換速度	・サンプル&ホールドなし 分解能8ビットの場合49 ϕ ADサイクル、分解能10ビットの場合59 ϕ ADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ϕ ADサイクル、分解能10ビットの場合33 ϕ ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

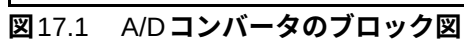
アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. $2.7V \leq AVCC \leq 5.5V$ のとき、 ϕ ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき、 ϕ ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき、 ϕ ADの周波数は1MHz以上にしてください。

注3. 繰り返しモードは8ビットモード時のみ使用可能です。



A/D制御レジスタ0(注1)

シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00h
ビット シンボル	ビット名	機能
CH0	アナログ入力端子選択 ビット	(注4)参照
CH1		
CH2		
MD	A/D動作モード選択 ビット(注2)	0: 単発モード 1: 繰り返しモード
ADGSEL0	A/D入力グループ選択 ビット(注4)	0: ポートP0グループ選択(AN0~AN7) 1: ポートP1グループ選択(AN8~AN11)
— (b5)	予約ビット	“0”にしてください。
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注3) 1: fOCO-Fを選択

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。

注3. ϕ ADの周波数を10MHz以下にしてください。

注4. アナログ入力端子はCH0~CH2ビットをADGSEL0ビットの組み合わせで選択できます。

CH2~CH0	ADGSEL0=0	ADGSEL0=1
000b	AN0	設定しないでください。
001b	AN1	
010b	AN2	
011b	AN3	
100b	AN4	AN8
101b	AN5	AN9
110b	AN6	AN10
111b	AN7	AN11

図17.2 ADCON0レジスタ

A/D制御レジスタ1(注1)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h
0	0					0	0			
<										

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. 繰り返しモード時は、BITSビットを“0”(8ビットモード)にしてください。

注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

A/D制御レジスタ2(注1)

b7 b6 b5 b4 b3 b2 b1 b0 X X X X 0 0 0 シンボル ADCON2 アドレス 00D4h番地 リセット後の値 00h							
ビット シンボル	ビット名	機能	RW				
SMP	A/D変換方式選択ビット	0：サンプル&ホールドなし 1：サンプル&ホールドあり	RW				
— (b3-b1)	予約ビット	“0”にしてください。	RW				
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—				

注1. A/D変換中にADCON2レジスタの内容を書き替えた場合、変換結果は不定となります。

A/Dレジスタ

(b15) b7	(b8) b0 b7	b0
シンボル	アドレス	リセット後の値
AD	00C1h-00C0h番地	不定
機能		
ADCON1レジスタのBITSビットが “1”(10ビットモード)の場合	ADCON1レジスタのBITSビットが “0”(8ビットモード)の場合	RW
A/D変換結果の下位8ビット	A/D変換結果	RO
A/D変換結果の上位2ビット	読んだ場合、その値は不定。	RO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

図17.3 ADCON1、ADCON2、ADレジスタ

17.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。

表17.2に単発モードの仕様を、図17.4に単発モード時のADCON0レジスタを、図17.5に単発モード時のADCON1レジスタを示します。

表17.2 単発モードの仕様

項目	仕様
機能	CH2～CH0ビットとADGSEL0ビットで選択した端子の入力電圧を1回A/D変換する
開始条件	ADSTビットを“1”(A/D変換開始)にする
停止条件	・A/D変換終了(ADSTビットが“0”になる) ・ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN0～AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

A/D制御レジスタ0(注1)

シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット	(注4)参照	RW
CH1			RW
CH2			RW
MD	A/D動作モード選択 ビット(注2)	0: 単発モード	RW
ADGSEL0	A/D入力グループ選択 ビット(注4)	0: ポートP0グループ選択 (AN0~AN7) 1: ポートP1グループ選択 (AN8~AN11)	RW
— (b5)	予約ビット	“0” にしてください。	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注3) 1: fOCO-Fを選択	RW

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。

注3. ϕ ADの周波数を10MHz以下にしてください。

注4. アナログ入力端子はCH0~CH2ビットをADGSEL0ビットの組み合わせで選択できます。

CH2~CH0	ADGSEL0=0	ADGSEL0=1
000b	AN0	設定しないでください。
001b	AN1	
010b	AN2	
011b	AN3	
100b	AN4	AN8
101b	AN5	AN9
110b	AN6	AN10
111b	AN7	AN11

図17.4 単発モード時のADCON0レジスタ

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0	0	0

シンボル
ADCON1アドレス
00D7h番地リセット後の値
00h

ビット シンボル	ビット名	機能	RW
— (b2-b0)	予約ビット	“0”にしてください。	RW
BITS	8/10ビットモード選択 ビット	0: 8ビットモード 1: 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参 照してください。	RW
VCUT	VREF接続ビット (注2)	1: VREF接続	RW
— (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図17.5 単発モード時のADCON1レジスタ

17.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。

表17.3に繰り返しモードの仕様を、図17.6に繰り返しモード時のADCON0レジスタを、図17.7に繰り返しモード時のADCON1レジスタを示します。

表17.3 繰り返しモードの仕様

項目	仕様
機能	CH2～CH0ビットとADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	ADSTビットを“1”(A/D変換開始)にする
停止条件	ADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
入力端子	AN0～AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

A/D制御レジスタ0(注1)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00h	
0	1							ビット シンボル	ビット名	機能	RW
								CH0	アナログ入力端子選択 ビット	(注4)参照	RW
								CH1			RW
								CH2			RW
								MD	A/D動作モード選択 ビット(注2)	1: 繰り返しモード	RW
								ADGSEL0	A/D入力グループ選択 ビット(注4)	0: ポートP0グループ選択 (AN0~AN7) 1: ポートP1グループ選択 (AN8~AN11)	RW
								— (b5)	予約ビット	“0” にしてください。	RW
								ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
								CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注3) 1: 設定しないでください	RW

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。

注3. ϕ ADの周波数を10MHz以下にしてください。

注4. アナログ入力端子はCH0~CH2ビットをADGSEL0ビットの組み合わせで選択できます。

CH2~CH0	ADGSEL0=0	ADGSEL0=1
000b	AN0	設定しないでください。
001b	AN1	
010b	AN2	
011b	AN3	
100b	AN4	AN8
101b	AN5	AN9
110b	AN6	AN10
111b	AN7	AN11

図17.6 繰り返しモード時のADCON0レジスタ

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1	0	0	0	0	0

シンボル
ADCON1アドレス
00D7h番地リセット後の値
00h

ビット シンボル	ビット名	機能	RW
— (b2-b0)	予約ビット	“0”にしてください。	RW
BITS	8/10ビットモード選択 ビット(注2)	0: 8ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参 照してください。	RW
VCUT	VREF接続ビット (注3)	1: VREF接続	RW
— (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. 繰り返しモード時は、BITSビットを“0”(8ビットモード)にしてください。

注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図17.7 繰り返しモード時のADCON1レジスタ

17.3 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上します。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

図17.8にA/D変換タイミング図を示します。

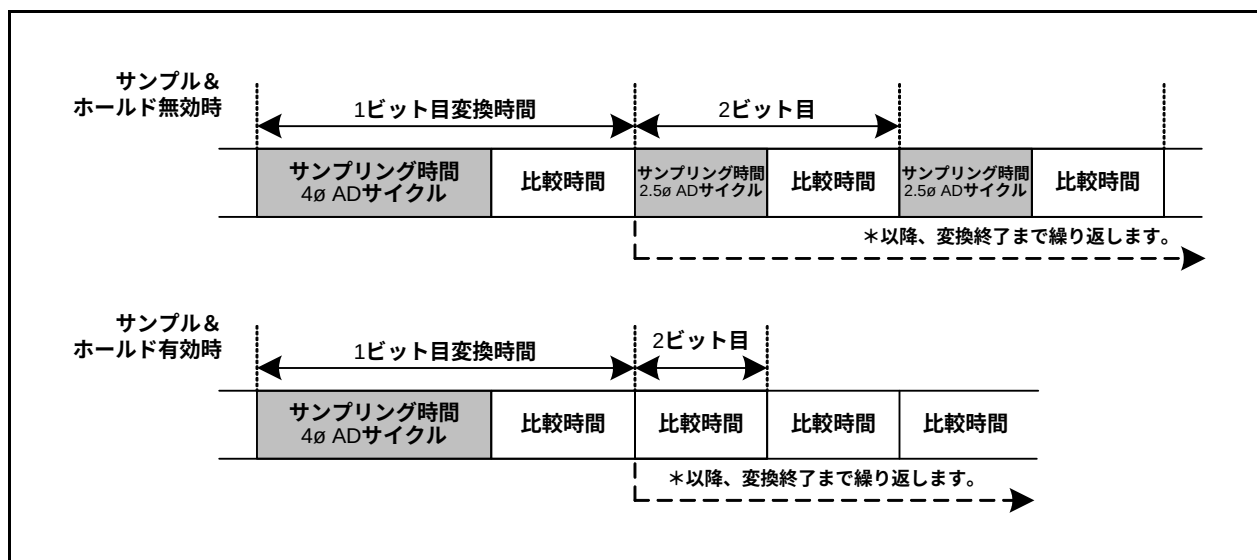


図17.8 A/D変換タイミング図

17.4 A/D変換サイクル数

図17.9にA/D変換サイクル数を示します。

		1ビット目変換時間 2ビット目以降の変換時間 終了処理				
A/D変換モード	変換時間	サンプリング時間	比較時間	サンプリング時間	比較時間	終了処理
サンプル&ホールドなし 8ビット	49φAD	4φAD	2.0φAD	2.5φAD	2.5φAD	8.0φAD
サンプル&ホールドなし 10ビット	59φAD	4φAD	2.0φAD	2.5φAD	2.5φAD	8.0φAD
サンプル&ホールドあり 8ビット	28φAD	4φAD	2.5φAD	0.0φAD	2.5φAD	4.0φAD
サンプル&ホールドあり 10ビット	33φAD	4φAD	2.5φAD	0.0φAD	2.5φAD	4.0φAD

図17.9 A/D変換サイクル数

17.5 アナログ入力内部等価回路

図17.10にアナログ入力内部等価回路を示します。

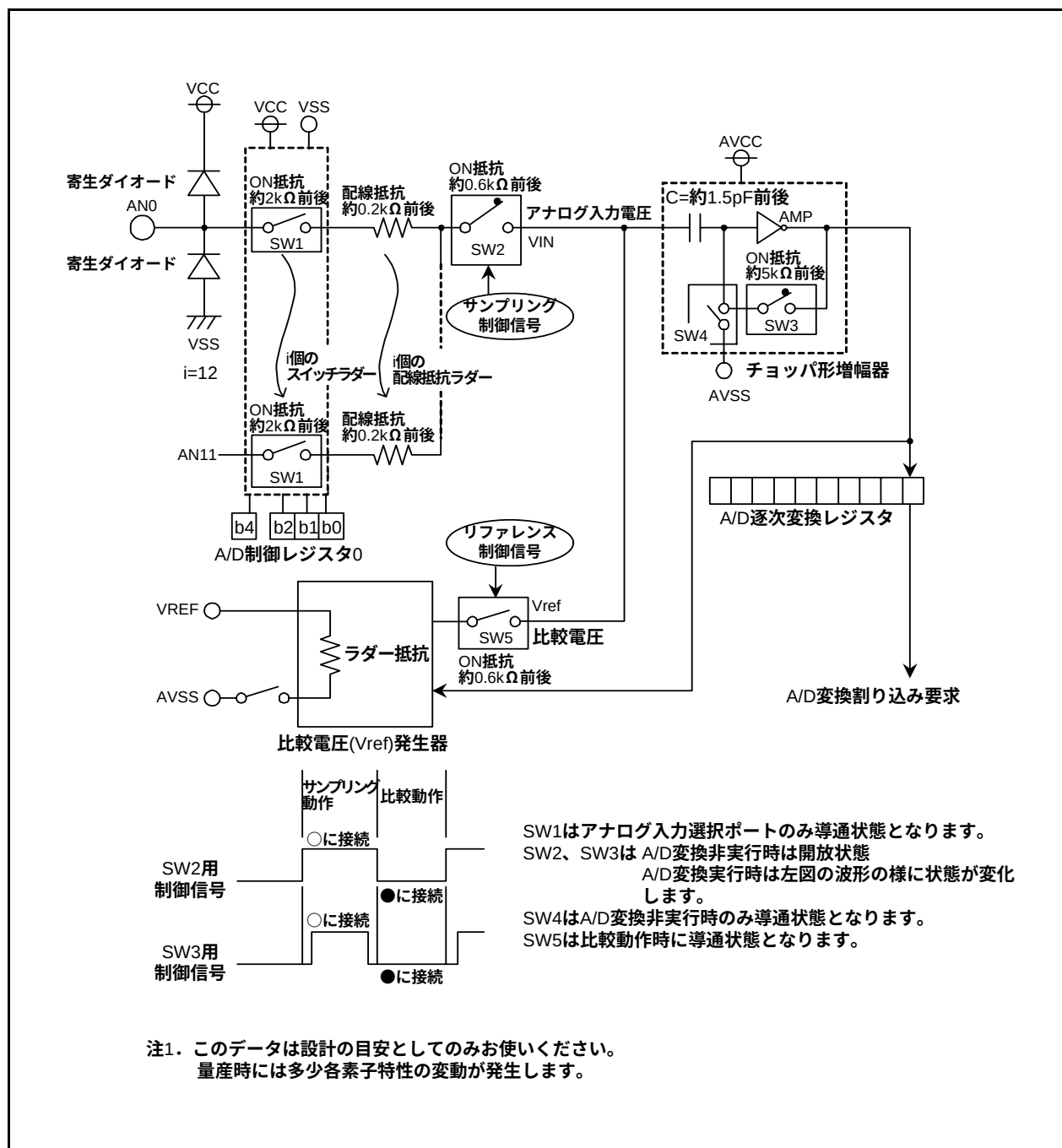


図17.10 アナログ入力内部等価回路

17.6 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図17.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VC \text{ は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t = T \text{ のとき、 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図17.11にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(XIN)=10MHzのとき、サンプル&ホールドなしA/D変換モードではT=0.25μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます

T=0.25μs、R=2.8kΩ、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.25 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 2.8 \times 10^3 \approx 1.7 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大1.7kΩになります。

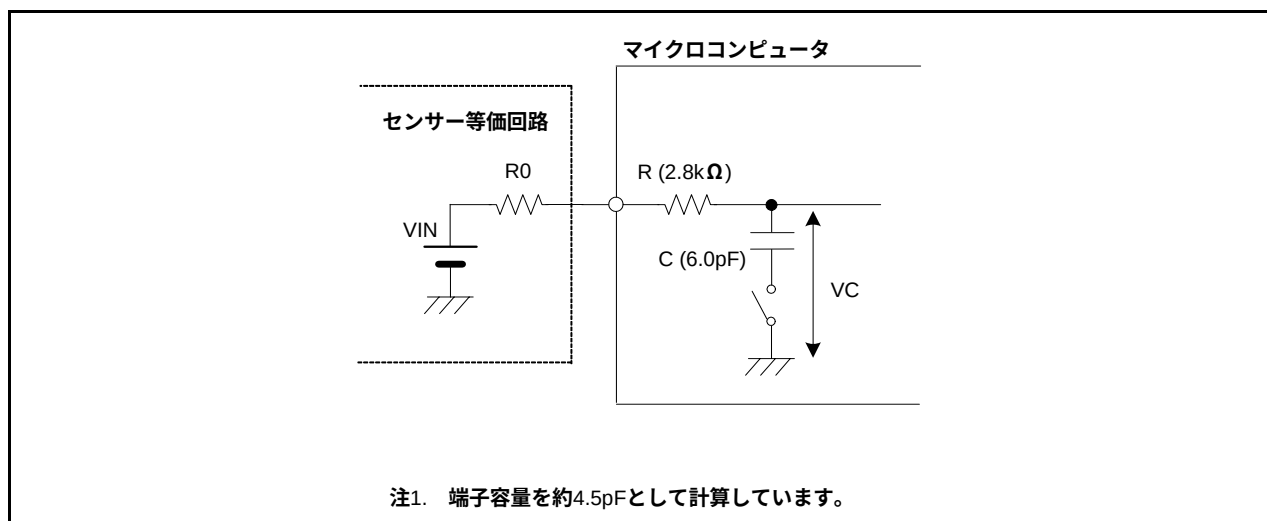


図17.11 アナログ入力端子と外部センサーの等価回路例

17.7 A/Dコンバータ使用上の注意

- ADCON0 の各ビット (ビット 6 を除く)、ADCON1 レジスタの各ビット、ADCON2 レジスタの SMP ビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後
にA/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADIC
レジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
A/D変換中のCPUクロックには、A/Dコンバータの動作クロック ϕ AD以上の周波数を選択してくだ
さい。
 ϕ ADにfOCO-Fを選択しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強
制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”
にした場合は、ADレジスタの値を使用しないでください。
- P4_2/VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止す
る)の状態で、ウェイトモードに移行しないでください。

18. D/A コンバータ

8ビットのR-2R方式によるD/Aコンバータです。D/Aコンバータ0とD/Aコンバータ1の独立した2つのD/Aコンバータです。

D/A変換は、DAiレジスタ(i=0~1)に値を書くで行われます。変換結果を出力するときDACONレジスタのDAiEビットを“1”(出力許可)、ACCRiレジスタのVRiSELビットを“0”(AVREFi端子入力)にしてください。D/A変換を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。DAiEビットを“1”にすると対応するポートはプルアップなしになります。

出力されるアナログ電圧Vは、DAiレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{\text{ref}} \times n / 256 (n=0 \sim 255)$$

Vref: 基準電圧

表18.1にD/Aコンバータの仕様、図18.1にD/Aコンバータブロック図、図18.2、図18.3にD/Aコンバータ関連レジスタ、図18.4にD/Aコンバータの等価回路を示します。

表18.1 D/Aコンバータの仕様

項目	性能
D/A変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2本(DA0、DA1)

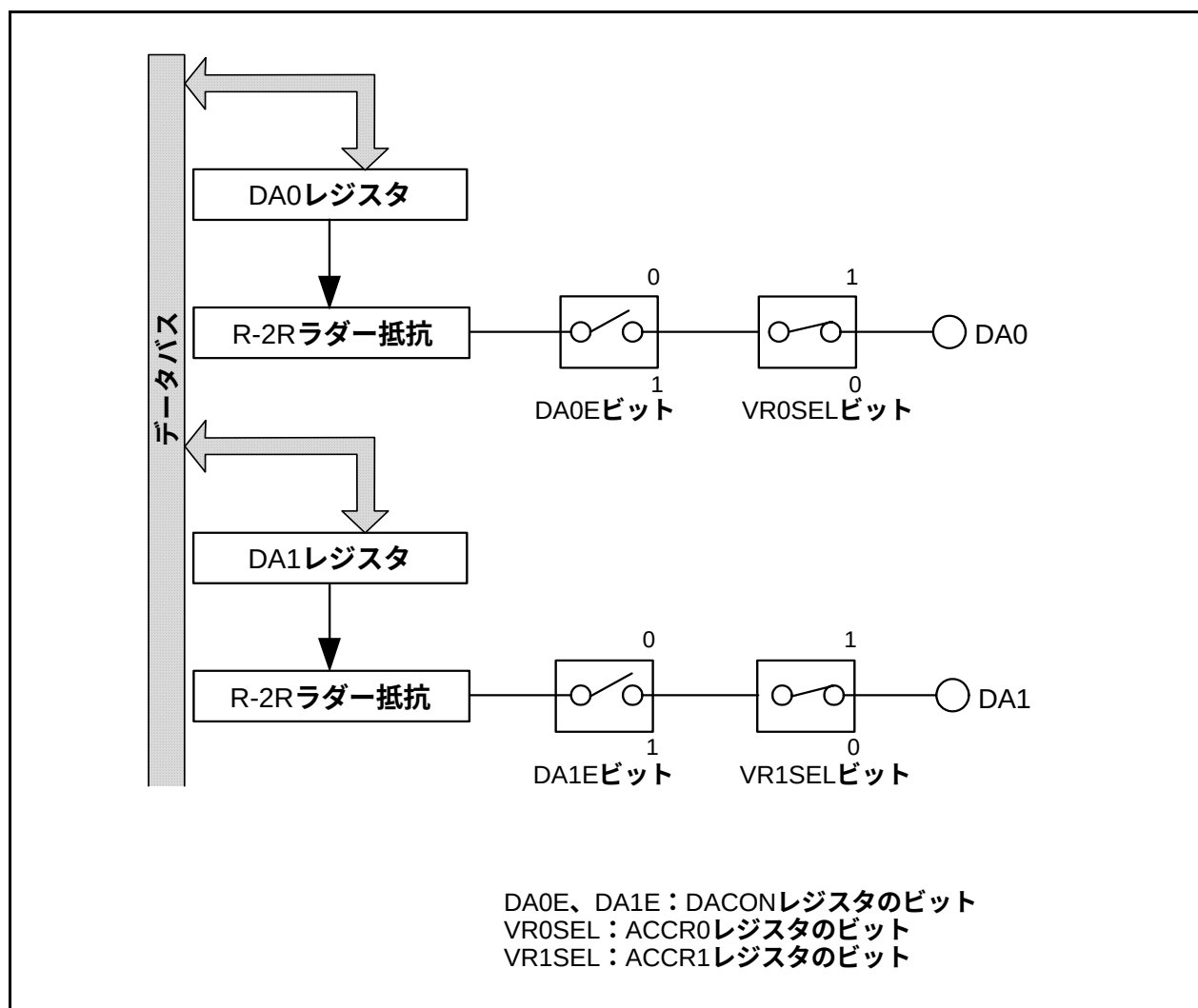
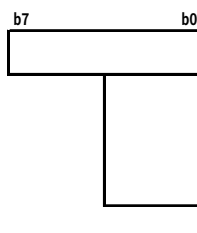


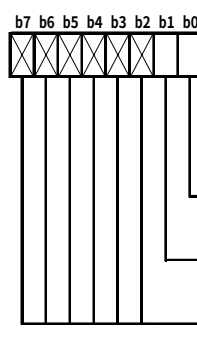
図18.1 D/Aコンバータブロック図

D/Aiレジスタ(注1)(i=0~1)

	シンボル	アドレス	リセット後の値	
	DA0	00D8h番地	00h	
	DA1	00DAh番地	00h	
	機能		設定範囲	RW
	D/A変換の出力値		00h~FFh	RW

注1. D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット(i=0~1)を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

D/A制御レジスタ(注1)

	シンボル	アドレス	リセット後の値	
	DACON	00DCh番地	00h	
	ビット シンボル	ビット名	機能	RW
	DA0E	D/A0出力許可ビット	0 : 出力禁止 1 : 出力許可	RW
	DA1E	D/A1出力許可ビット	0 : 出力禁止 1 : 出力許可	RW
	— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット(i=0~1)を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

図18.2 DA0~DA1、DACONレジスタ

コンパレータ*i*制御レジスタ (*i*=0~1)

ビット シンボル	ビット名	機能	RW
CMiE	コンパレータ <i>i</i> 動作許可ビット	0: 動作禁止 1: 動作許可	RW
CMiOE	ACOUT <i>i</i> 出力許可ビット	0: 出力禁止 1: 出力許可	RW
VRiSEL	コンパレータ <i>i</i> リファレンス入力選択ビット	0: AVREF <i>i</i> 端子入力 1: D/Aコンバータ <i>i</i> 出力(注1)	RW
CMiLV	比較結果モニタフラグ	0: ACMPi入力<リファレンス入力 1: ACMPi入力>リファレンス入力	RO
FLT <i>i</i> 0	コンパレータ <i>i</i> デジタルフィルタ選択ビット	b5 b4 0 0: フィルタなし 0 1: フィルタあり、f2でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
FLT <i>i</i> 1			RW
CMiIE	コンパレータ <i>i</i> 割り込み許可ビット	0: CMiFビットによる割り込み禁止 1: CMiFビットによる割り込み許可	RW
CMiF	コンパレータ <i>i</i> 割り込みフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] 比較結果が変化したとき	RW

注1. VRiSELビットを“1”(D/Aコンバータ*i*出力)にする場合、DACONレジスタのDAiEビットを“1”(出力許可)にしてください。ただし、このときDAi端子からD/A変換結果は出力されません。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

図18.3 ACCR0~ACCR1レジスタ

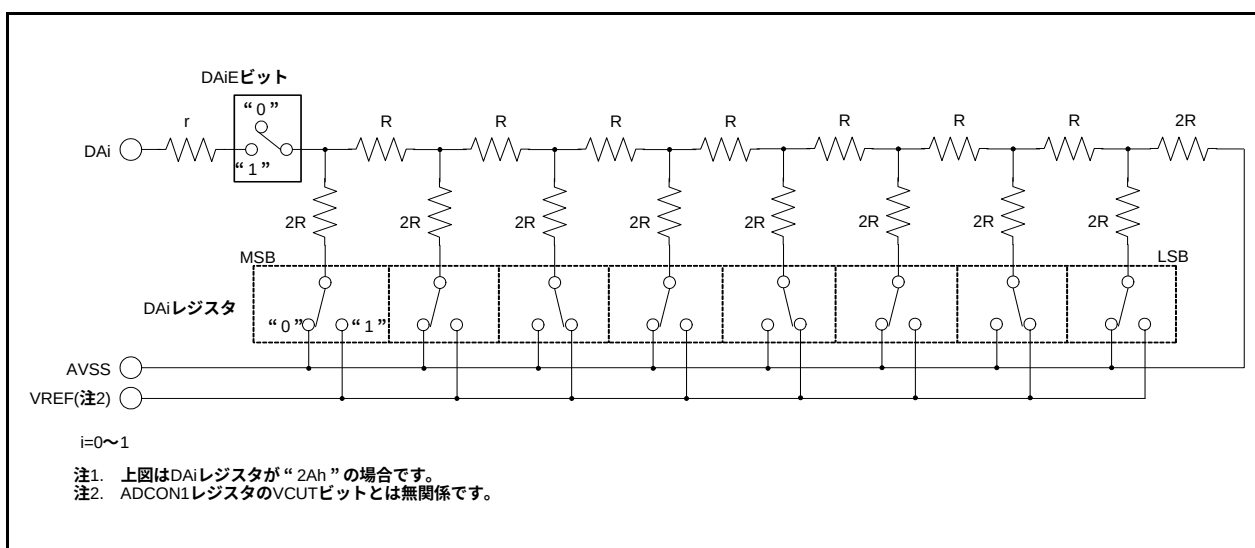


図18.4 D/Aコンバータの等価回路

19. コンパレータ

コンパレータはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ0とコンパレータ1の独立した2つのコンパレータです。

19.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、ACOUT_i(*i*=0~1)端子から出力もできます。リファレンス入力電圧としてAVREF_i端子への入力、またはD/Aコンバータ_iの出力を選択できます。

表19.1にコンパレータの仕様、図19.1にコンパレータのブロック図、表19.2に入出力端子を示します。

表19.1 コンパレータの仕様

項目	仕様
アナログ入力電圧	ACMP _i 端子への入力電圧
リファレンス入力電圧	AVREF _i 端子への入力電圧、またはD/Aコンバータ _i の出力電圧
比較結果	ACCR _i レジスタのCM _i LVビットの読み出し
割り込み要求発生タイミング	比較結果が変化したとき
選択機能	- ACOUT_i端子から比較結果を出力 - ACOUT_i端子の出力極性 比較結果をそのまま出力するか、反転して出力するか選択できる - デジタルフィルタ機能 CMACOUT_i信号(比較結果)に対してデジタルフィルタの有無、サンプリング周波数を選択できる

i=0~1

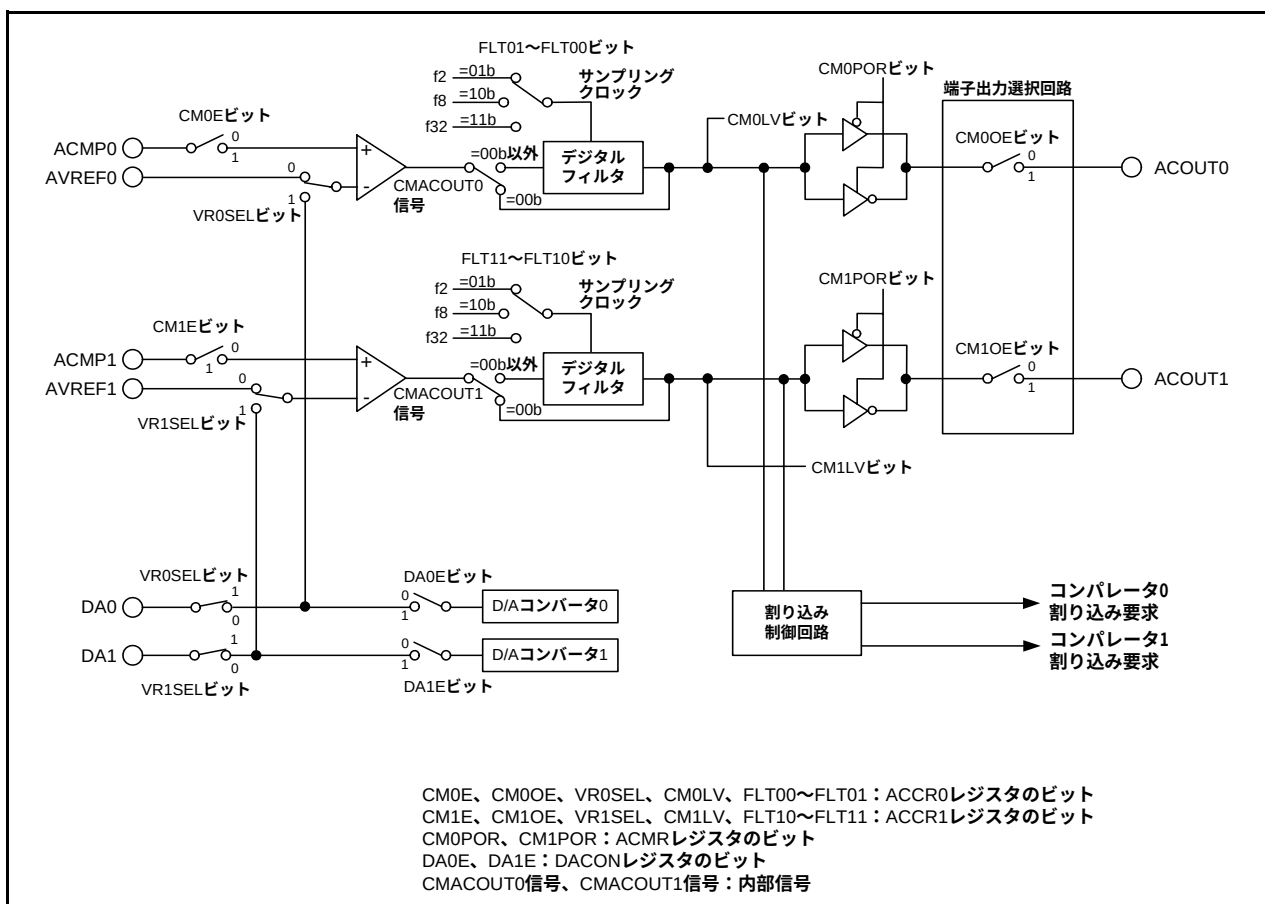


図19.1 コンパレータのブロック図

表 19.2 入出力端子

端子名	入出力	機能
ACMP0	入力	コンパレータ0用アナログ端子
AVREF0	入力	コンパレータ0用リファレンス電圧端子
ACOUT0	出力	コンパレータ0用比較結果出力端子
ACMP1	入力	コンパレータ1用アナログ端子
AVREF1	入力	コンパレータ1用リファレンス電圧端子
ACOUT1	出力	コンパレータ1用比較結果出力端子

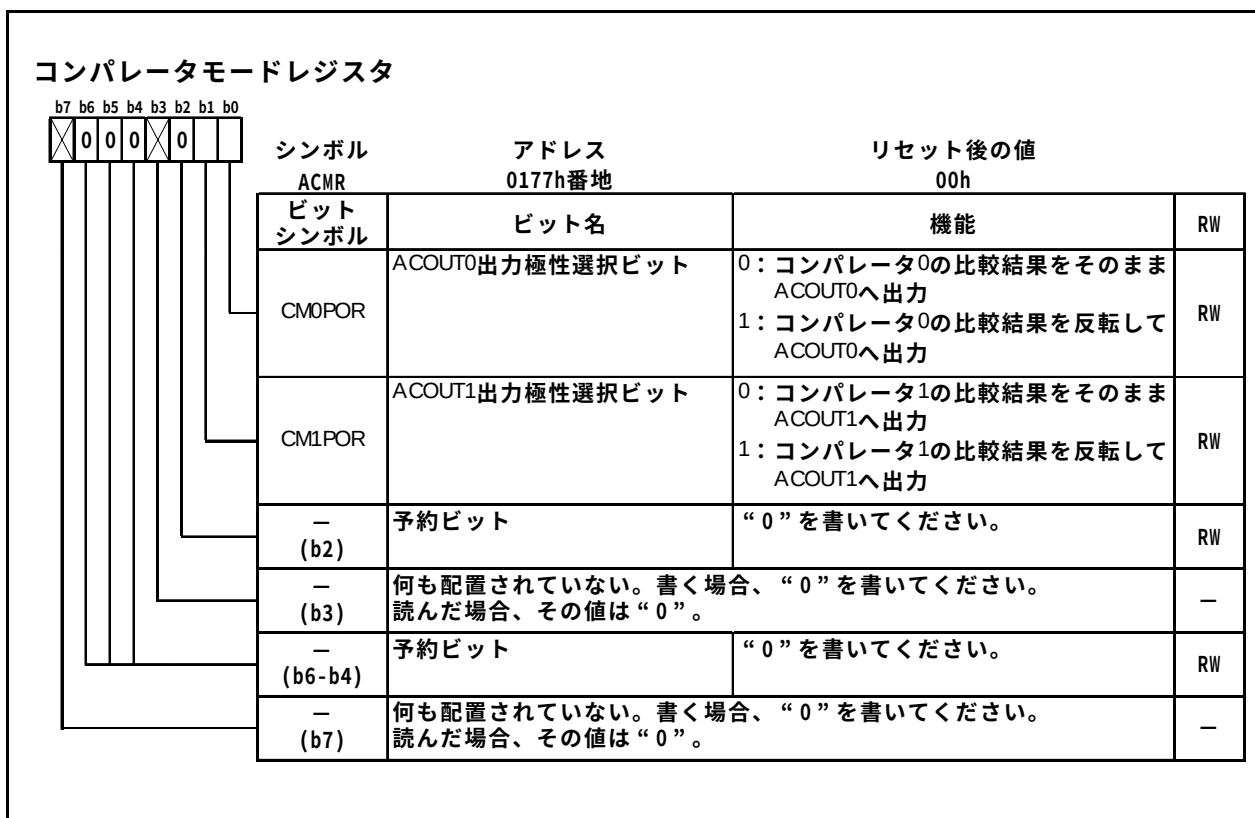


図 19.3 ACMR レジスタ

19.3 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。動作は同じです。表19.3にコンパレータ関連レジスタの設定手順を示します。

表19.3 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	ACMPi、AVREFi、ACOUTi端子の機能選択。「7.4 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。		
2	ACMR	CMiPOR	ACOUTi出力を使用する場合：ACOUTi出力極性選択
3	ACCRi	FLT11～FLT10	フィルタ有無、サンプリングクロック選択
		VRiSEL	リファレンス入力選択
4	DACON	DAiE	D/Aコンバータi出力電圧をリファレンス電圧にする場合：1 (D/A出力許可)
5	ACCRi	CMiE	1 (動作許可)
6	コンパレータ安定時間(最大10μs)待ち		
7	ACCRi	CMiF	読み出し(割り込みフラグ初期化のためのダミー読み出し)
8	ACCRi	CMiOE	ACOUTi出力を使用する場合：1 (ACOUTi出力許可)
		CMiIE	割り込みを使用する場合：1 (割り込み許可)
		CMiF	割り込みを使用する場合：0 (割り込み要求なし：初期化)
9	CMiIC	ILVL2～ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

i=0、1

図19.4にコンパレータ*i*(*i* = 0~1)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、ACCR*i*レジスタのCMiLVビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、CMiLVビットが“0”になります。

比較結果が変化するとき、ACCR*i*レジスタのCMiFビットが“1”になります。このとき、ACCR*i*レジスタのCMiIEビットが“1”(CMiFビットによる割り込み許可)であれば、コンパレータ*i*割り込み要求が発生します。割り込みについては「19.4 コンパレータ0、コンパレータ1割り込み」を参照してください。

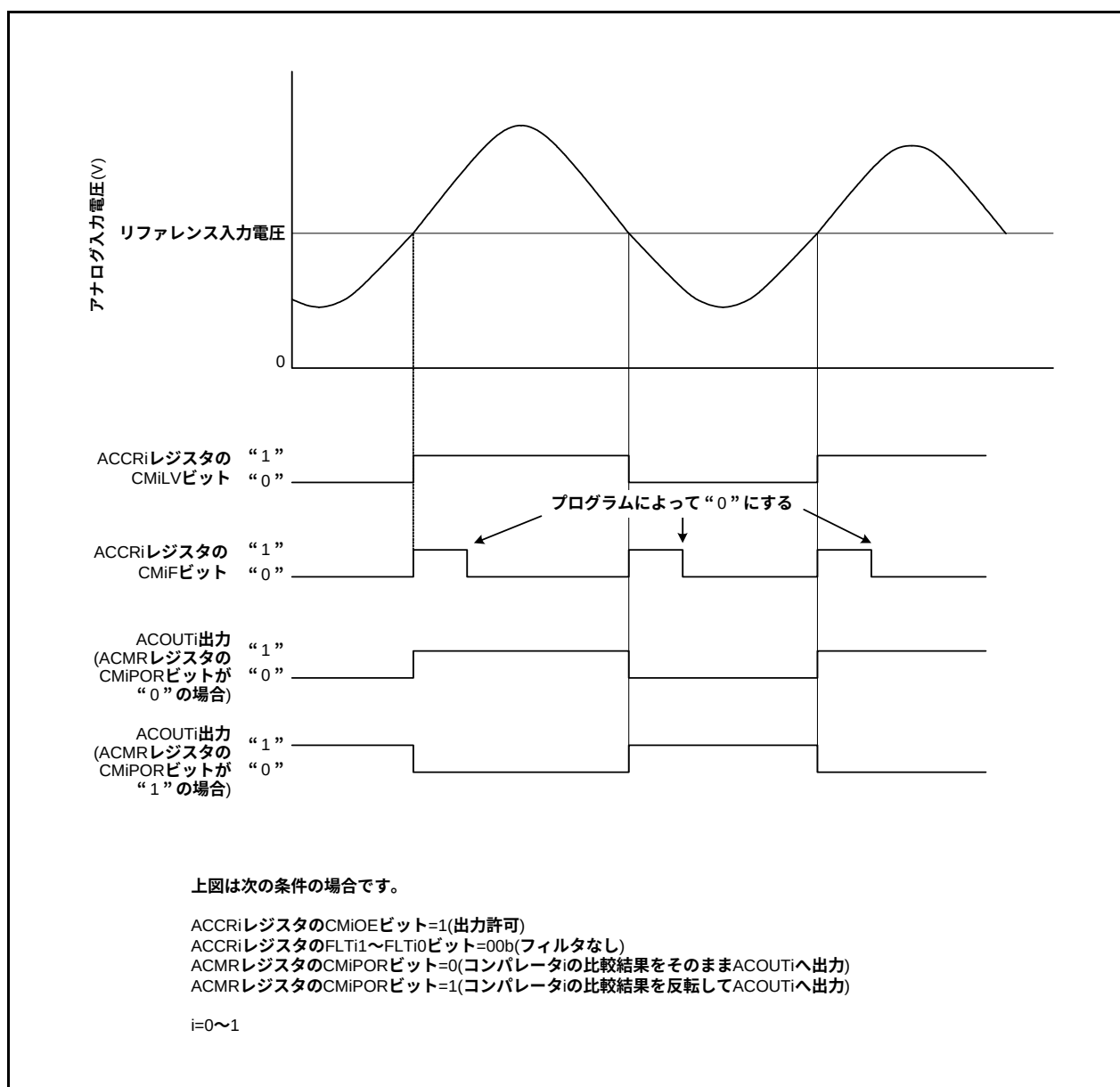


図19.4 コンパレータ*i*(*i* = 0~1)の動作例

19.3.1 比較結果の出力

ACCR*i*レジスタのCMiOEビットを“1”(出力許可)にすると、比較結果をACOUT*i*端子から出力できます。また、ACOUT*i*端子からの出力極性を、そのまま出力するか、反転させて出力するかをACMRレジスタのCMiPORビットで選択できます。

19.3.2 デジタルフィルタ

CMACOUT_i(*i*=0~1)信号に、デジタルフィルタを適用できます。CMACOUT_i信号をサンプリングし、2回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリング周波数はACCR_iレジスタのFLT_i0~FLT_i1ビットで選択してください。

図19.5にデジタルフィルタのブロック図を示します。

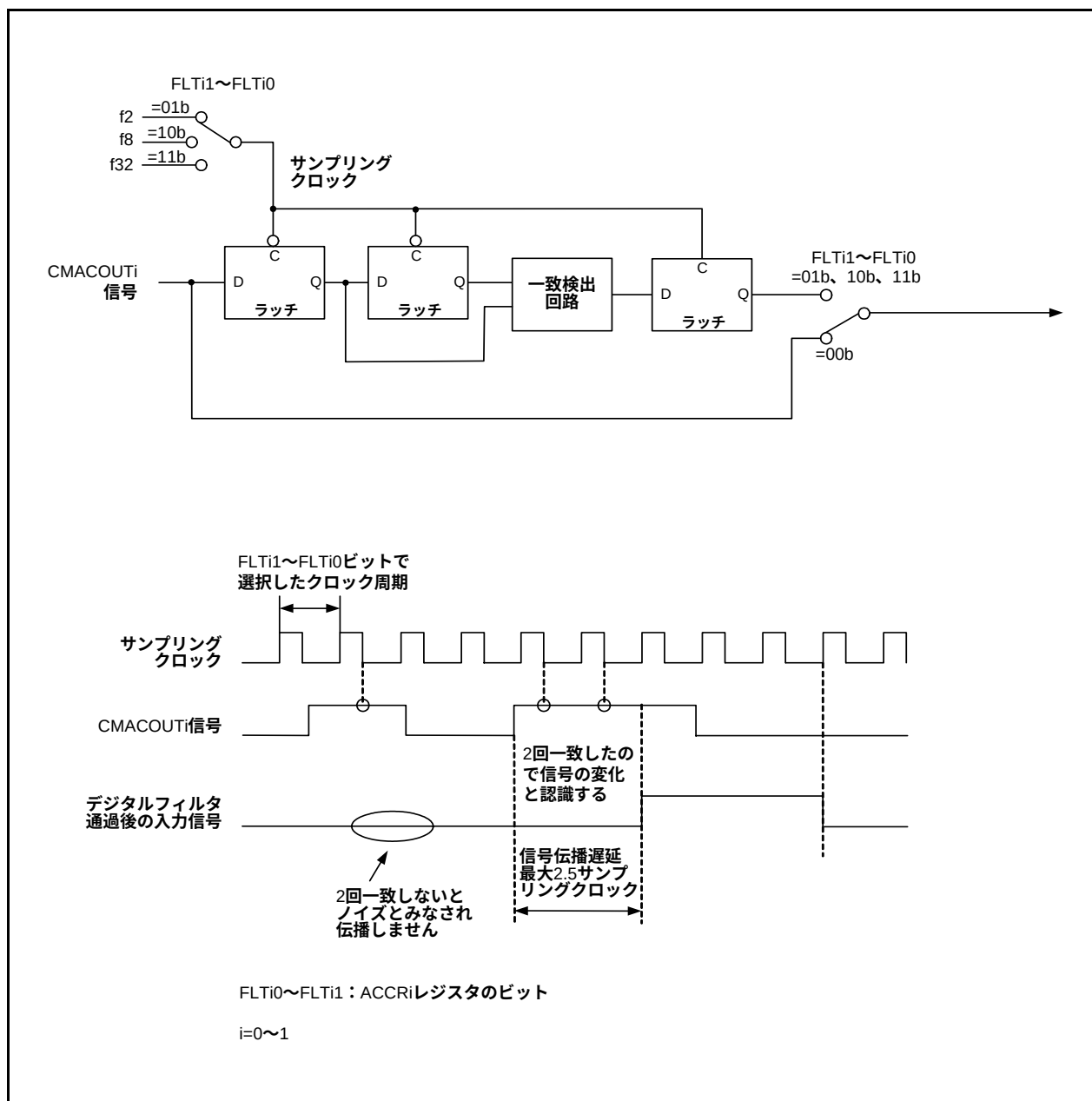


図19.5 デジタルフィルタのブロック図

19.4 コンパレータ0、コンパレータ1割り込み

コンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*(*i*=0~1)割り込みはCMiICレジスタ(IRビット、ILVL0~ILVL2ビット)と、それぞれ1つのベクタを持ちます。比較結果が変化したとき、ACCR*i*レジスタのCMiFビットが“1”になります。このとき、ACCR*i*レジスタのCMiIEビットが“1”(CMiFビットによる割り込み許可)であれば、コンパレータ*i*割り込み要求が発生します。

表 19.4にコンパレータ割り込み関連レジスタとビットを、図19.6にコンパレータ割り込みのブロック図を示します。

表 19.4 コンパレータ割り込み関連レジスタとビット

コンパレータ <i>i</i> 制御レジスタ コンパレータ <i>i</i> 割り込みフラグ	コンパレータ <i>i</i> 制御レジスタ コンパレータ <i>i</i> 割り込み許可ビット	コンパレータ <i>i</i> 割り込み制御レジスタ
ACCR <i>i</i> レジスタのCMiFビット	ACCR <i>i</i> レジスタのCMiIEビット	CMiIC

i=0~1

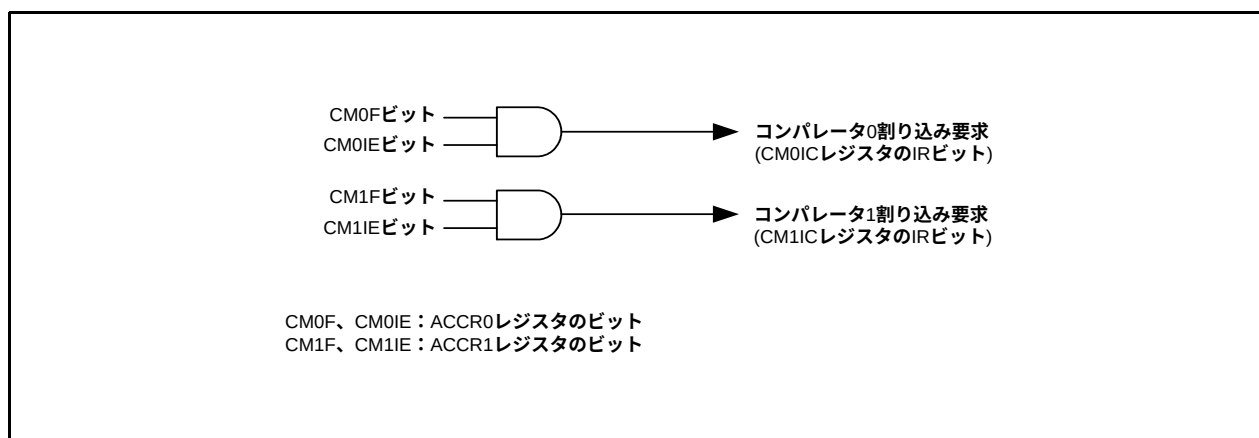


図19.6 コンパレータ割り込みのブロック図

コンパレータ*i*割り込みが、Iフラグ、IRビット、ILVL0~ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、CMiFビットとCMiIEビットを持つため、他のマスカブル割り込みとは次のような違いがあります。

- ACCR*i*レジスタのCMiFビットが“1”で、CMiIEビットが“1”(割り込み許可)の場合、CMiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- CMiFビットとCMiIEビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- CMiFビットは割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「図19.2 ACCR0~ACCR1レジスタ」を参照してください。

CMiICレジスタは「12.1.6 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

20. フラッシュメモリ

20.1 概要

フラッシュメモリは、CPU 書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで操作できます。

表20.1にフラッシュメモリの性能概要を示します(表20.1に示す以外の項目は「表1.1、表1.2および表1.3、表1.4 仕様概要」を参照してください)。

表20.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU 書き換え、標準シリアル入出力、パラレル入出力モード)
消去ブロック分割		図20.1～図20.2を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注3)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式		FMR0レジスタのFMR02ビットによるブロック0、ブロック1に対する書き換え制御
		FMR1レジスタのFMR15、FMR16ビットによるブロック0、ブロック1に対する個別の書き換え制御
コマンド数		5コマンド
プログラム、イレーズ回数(注1)	ブロック0、ブロック1 (プログラムROM)	R8C/2Eグループ：100回；R8C/2Fグループ：1,000回
	ブロックA、ブロックB (データフラッシュ)(注2)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注2. R8C/2Fグループだけが内蔵します。

注3. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

表20.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU 書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPU がソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード：RAM上で書き換え可能 EW1モード：フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

20.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図20.1にR8C/2Eグループのフラッシュメモリのブロック図を、図20.2にR8C/2Fグループのフラッシュメモリのブロック図を示します。

R8C/2FグループのユーザROM領域には、マイコンの動作プログラムを格納する領域(プログラムROM)とは別に、1KバイトのブロックAおよび1KバイトのブロックB(データフラッシュ)があります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブロック0、ブロック1を、CPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

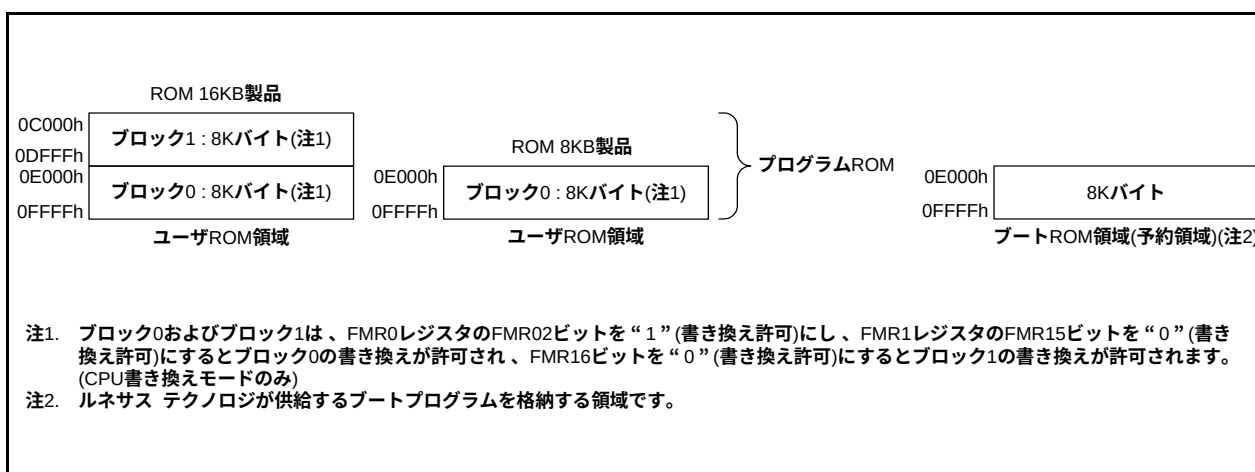


図20.1 R8C/2Eグループのフラッシュメモリのブロック図

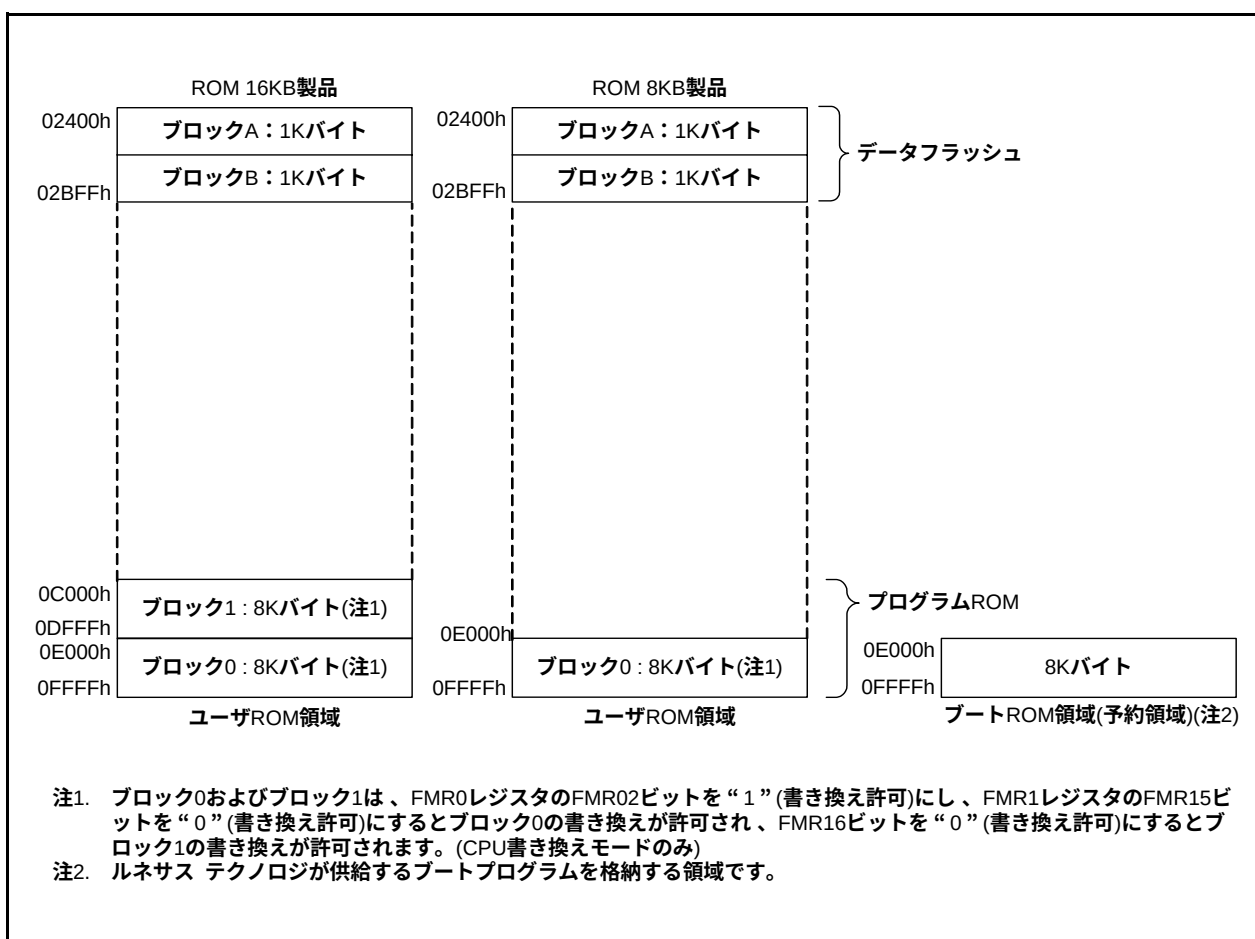


図20.2 R8C/2Fグループのフラッシュメモリのブロック図

20.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

20.3.1 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライターから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から00FFDFh、00FFE3h、00FFEBh、00FFEFh、00FFF3h、00FFF7h、00FFFBh 番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

アドレス		
00FFDFh~00FFDCh	ID1	未定義命令ベクタ
00FFE3h~00FE0h	ID2	オーバフローベクタ
00FFE7h~00FFE4h		BRK命令ベクタ
00FFEBh~00FFE8h	ID3	アドレス一致ベクタ
00FFEFh~00FFEC	ID4	シングルステップベクタ
00FFF3h~00FFF0h	ID5	発振停止検出、ウォッチドッグタイマ、電圧監視1、電圧監視2ベクタ
00FFF7h~00FFF4h	ID6	アドレスブレイク
00FFFBh~00FF8h	ID7	(予約)
00FFFFh~00FFC	(注1)	リセットベクタ
4バイト		

注1. 00FFFF番地にはOFSレジスタが配置されています。
OFSレジスタの詳細は「図20.4 OFSレジスタ」を参照してください。

図20.3 IDコードの格納番地

20.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタによって、内蔵フラッシュメモリの内容の読み出し、変更を禁止する機能です。

図20.4にOFSレジスタを示します。

ROMCR ビットに“1”、ROMCP1 ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、変更が禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

オプション機能選択レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
1	0	1				1	
シンボル OFS		アドレス 0FFFFh番地		出荷時の値 FFh(注2)			
ビット シンボル		ビット名		機能			RW
WDTON		ウォッチドッグタイマ 起動選択ビット		0：リセット後、ウォッチドッグタイマは自動的 に起動 1：リセット後、ウォッチドッグタイマは停止 状態			RW
— (b1)		予約ビット		“1” にしてください。			RW
ROMCR		ROMコードプロテクト 解除ビット		0：ROMコードプロテクト解除 1：ROMCP1有効			RW
ROMCP1		ROMコードプロテクト ビット		0：ROMコードプロテクト有効 1：ROMコードプロテクト解除			RW
— (b4)		予約ビット		“1” にしてください。			RW
— (b5)		予約ビット		“0” にしてください。			RW
— (b6)		予約ビット		“1” にしてください。			RW
CSPROINI		リセット後カウント ソース保護モード選択 ビット		0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効			RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みをしないでください。

注2. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図20.4 OFSレジスタ

20.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードで自動書き込み動作中に割り込み要求が発生した場合に、自動書き込み動作を一時中断して割り込み処理を行うプログラムサスペンド機能を持ちます。プログラムサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表20.3にEW0モードとEW1モードの違いを示します。

表20.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域またはRAM領域
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注1)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
リードステータスレジスタ後のモード	リードステータスレジスタモード	コマンドを実行しないでください。
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”かつ許可されたマスカブル割り込みの割り込み要求が発生
プログラムサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR42ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”かつ許可されたマスカブル割り込みの割り込み要求が発生
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

注1. ブロック0、ブロック1は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

20.4.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR41ビットを“1”(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-SUS)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

自動書き込み中に、プログラムサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR42ビットを“1”(プログラムサスペンドリクエスト)にしてください。そしてtd(SR-SUS)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR42ビットを“0”(プログラムリスタート)にすると、自動書き込みを再開します。

20.4.2 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタコマンドを実行しないでください。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。ブロックイレーズコマンド実行からtd(SR-SUS)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

自動書き込み時、プログラムサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからプログラムコマンドを実行してください。またプログラムサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。プログラムコマンド実行からtd(SR-SUS)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、自動書き込みが中断されます。割り込み処理終了後、自動書き込みが完了していないとき(FMR00ビットが“0”)は、FMR42ビットを“0”(プログラムリスタート)にして自動書き込みを再開させてください。

図20.5にFMR0レジスタを、図20.6にFMR1レジスタを、図20.7にFMR4レジスタを示します。

20.4.2.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中(サスペンド期間を含む)は“0”、それ以外のときには“1”になります。

20.4.2.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

20.4.2.3 FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。

FMR02ビットが“1”(書き換え許可)のとき、ブロック0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。

20.4.2.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAM上に転送したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする場合

図20.11に高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

20.4.2.5 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「20.4.5 フルステータスチェック」を参照してください。

20.4.2.6 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「20.4.5 フルステータスチェック」を参照してください。

20.4.2.7 FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

20.4.2.8 FMR15ビット

FMR02ビットが“1”(書き換え許可)で、FMR15ビットが“0”(書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

20.4.2.9 FMR16ビット

FMR02ビットが“1”(書き換え許可)で、FMR16ビットが“0”(書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

20.4.2.10 FMR40ビット

FMR40ビットを“1”(許可)にすると、サスペンド機能が許可されます。

20.4.2.11 FMR41ビット

EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート)にしてください。

20.4.2.12 FMR42ビット

EW0モードでは、プログラムでFMR42ビットを“1”にすると、プログラムサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、プログラムサスペンドモードに移行します。

自動書き込み動作を再開するときは、FMR42ビットを“0”(プログラムリスタート)にしてください。

20.4.2.13 FMR43ビット

自動消去を開始すると、FMR43ビットが“1”(イレーズ実行中)になります。イレーズサスペンド中もFMR43ビットは“1”(イレーズ実行中)のままです。

自動消去が終了すると、FMR43ビットが“0”(イレーズ未実行)になります。

20.4.2.14 FMR44ビット

自動書き込みを開始すると、FMR44ビットが“1”(プログラム実行中)になります。プログラムサスペンド中もFMR44ビットは“1”(プログラム実行中)のままです。

自動書き込みが終了すると、FMR44ビットが“0”(プログラム未実行)になります。

20.4.2.15 FMR46ビット

自動書き込み実行中および自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。サスペンドモード中は“1”(リード許可)になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

20.4.2.16 FMR47ビット

低速オンチップオシレータモード(XINクロック停止)のときに、FMR47ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

フラッシュメモリ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
		0	0					FMR0	01B7h番地	0000001b	
								ビット シンボル	ビット名	機能	RW
								FMR00	RY/ $\overline{\text{BY}}$ ステータスフラグ	0：ビジー(書き込み、消去実行中) 1：レディ	RO
								FMR01	CPU書き換えモード選択 ビット(注1)	0：CPU書き換えモード無効 1：CPU書き換えモード有効	RW
								FMR02	ブロック0、ブロック1書き 換え許可ビット(注2、6)	0：書き換え禁止 1：書き換え許可	RW
								FMSTP	フラッシュメモリ停止 ビット(注3、5)	0：フラッシュメモリ動作 1：フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ 初期化)	RW
								— (b5-b4)	予約ビット	“0”にしてください。	RW
								FMR06	プログラムステータス フラグ(注4)	0：正常終了 1：エラー終了	RO
								FMR07	イレーズステータス フラグ(注4)	0：正常終了 1：エラー終了	RO

注1. “1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

このビットはリードアレイモードにしてから“0”にしてください。

注2. “1”にするときは、FMR01ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注3. このビットは、RAMに転送したプログラムで書いてください。

注4. クリアステータスコマンドを実行すると“0”になります。

注5. FMR01ビットが“1” (CPU書き換えモード有効)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にならず、初期化もされません。

注6. FMR01ビットを“0” (CPU書き換えモード無効)にすると、FMR02ビットは“0” (書き換え禁止)になります。

図20.5 FMR0レジスタ

フラッシュメモリ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値
1		0	0	0				FMR1	01B5h番地	1000000Xb
ビット シンボル	ビット名							機能		RW
— (b0)	予約ビット							読んだ場合、その値は不定。		RO
FMR11	EW1モード選択ビット (注1、2)							0：EW0モード 1：EW1モード		RW
— (b4-b2)	予約ビット							“0”にしてください。		RW
FMR15	ブロック0書き換え禁止ビット (注2、3)							0：書き換え許可 1：書き換え禁止		RW
FMR16	ブロック1書き換え禁止ビット (注2、3)							0：書き換え許可 1：書き換え禁止		RW
— (b7)	予約ビット							“1”にしてください。		RW

注1. “1”にするときは、FMR01ビットが“1”(CPU書き換えモード有効)の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると、“0”になります。

注3. FMR01ビットが“1”(CPU書き換えモード有効)のとき、FMR15およびFMR16ビットに書けます。

“0”にするときは、このビットに“1”を書いた後、続けて“0”を書いてください。

“1”にするときは、このビットに“1”を書いてください。

図20.6 FMR1レジスタ

フラッシュメモリ制御レジスタ4

b7 b6 b5 b4 b3 b2 b1 b0							
0							
シンボル FMR4				アドレス 01B3h番地			
リセット後の値 01000000b							
ビット シンボル	ビット名			機能			RW
FMR40	サスペンド機能 許可ビット(注1)			0: 禁止 1: 許可			RW
FMR41	イレーズサスペンド リクエストビット(注2)			0: イレーズリスタート 1: イレーズサスペンドリクエスト			RW
FMR42	プログラムサスペンド リクエストビット(注3)			0: プログラムリスタート 1: プログラムサスペンドリクエスト			RW
FMR43	イレーズコマンドフラグ			0: イレーズ未実行 1: イレーズ実行中			RO
FMR44	プログラムコマンド フラグ			0: プログラム未実行 1: プログラム実行中			RO
— (b5)	予約ビット			“0”にしてください。			RO
FMR46	リードステータスフラグ			0: リード禁止 1: リード許可			RO
FMR47	低消費電流リードモード 許可ビット(注1、4、5)			0: 禁止 1: 許可			RW

注1. “1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。

“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR41ビットはFMR40ビットが“1”(許可)のときのみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、書き込みが可能となります。(上記期間以外は“0”になります。)

EW0モードではこのビットはプログラムによって“0”、“1”書き込みが可能となります。

EW1モードではFMR40ビットが“1”のとき、消去中にマスカブル割り込みが発生すると自動的に“1”になります。プログラムによって“1”を書き込むことはできません。(“0”書き込みは可能)

注3. FMR42ビットはFMR40ビットが“1”(許可)のときのみ有効になり、プログラムコマンド発行から自動書き込み終了までの期間のみ、このビットへの書き込みが可能となります。(上記期間以外は“0”になります。)

EW0モードではこのビットはプログラムによって“0”、“1”書き込みが可能となります。

EW1モードではFMR40ビットが“1”のとき、自動書き込み中にマスカブル割り込みが発生すると自動的に“1”になります。プログラムによって“1”を書き込むことはできません。(“0”書き込みは可能)

注4. 高速クロックモード、高速オンチップオシレータモードでは、FMR47ビットを“0”(禁止)にしてください。

注5. 低消費電流リードモードでは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしてください。

図20.7 FMR4レジスタ

図20.8にサスペンド動作に関するタイミングを示します。

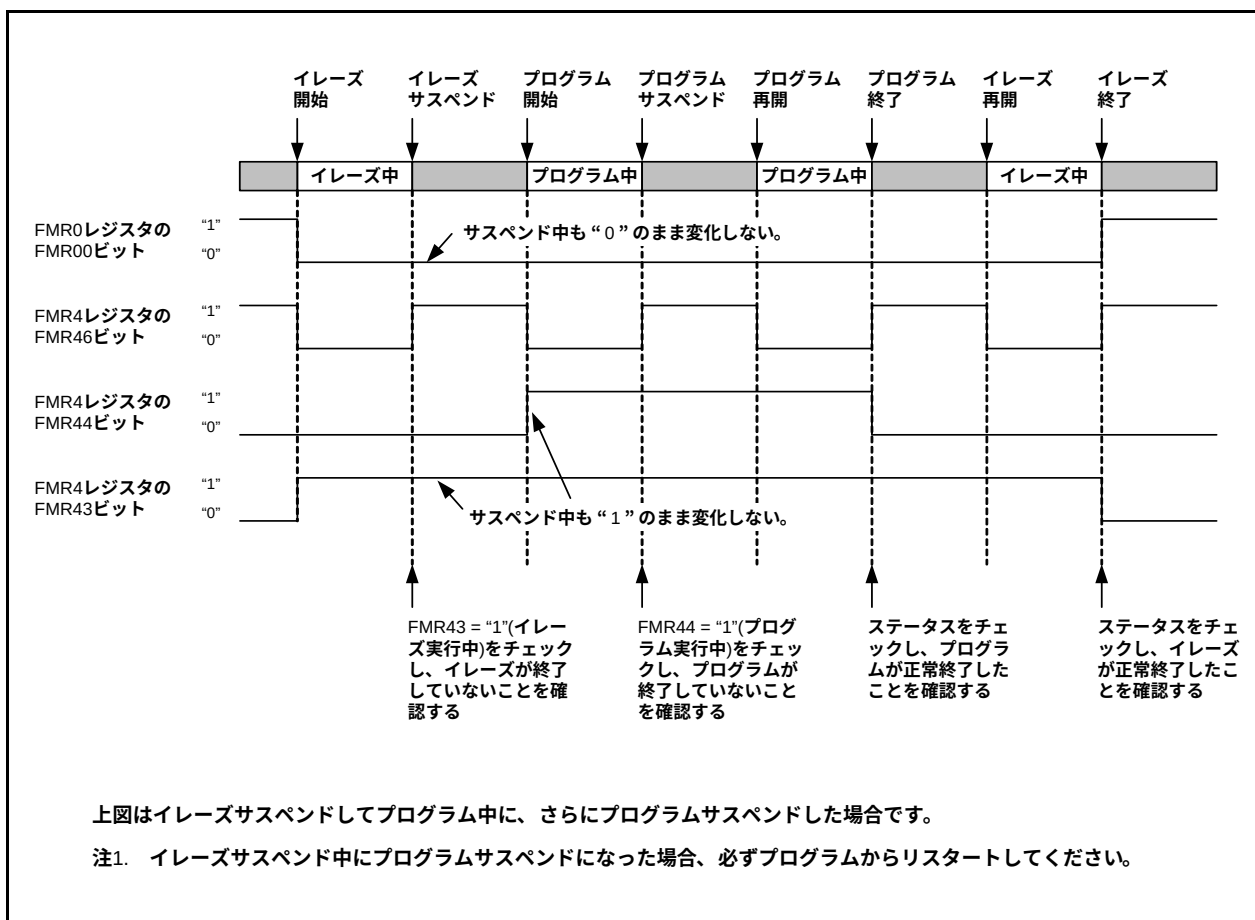


図20.8 サスペンド動作に関するタイミング

図20.9にEW0モードの設定と解除方法を、図20.10にEW1モードの設定と解除方法を示します。

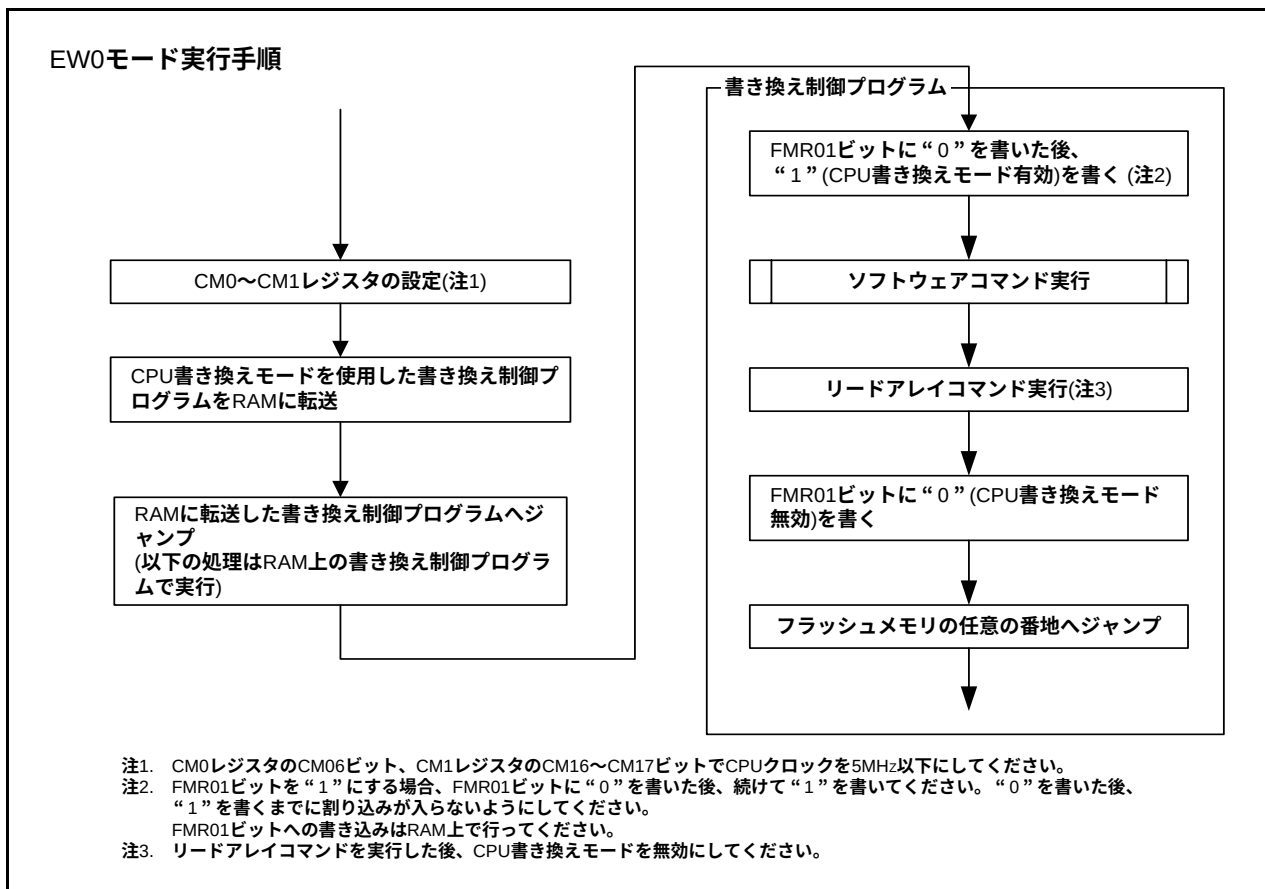


図20.9 EW0モードの設定と解除方法

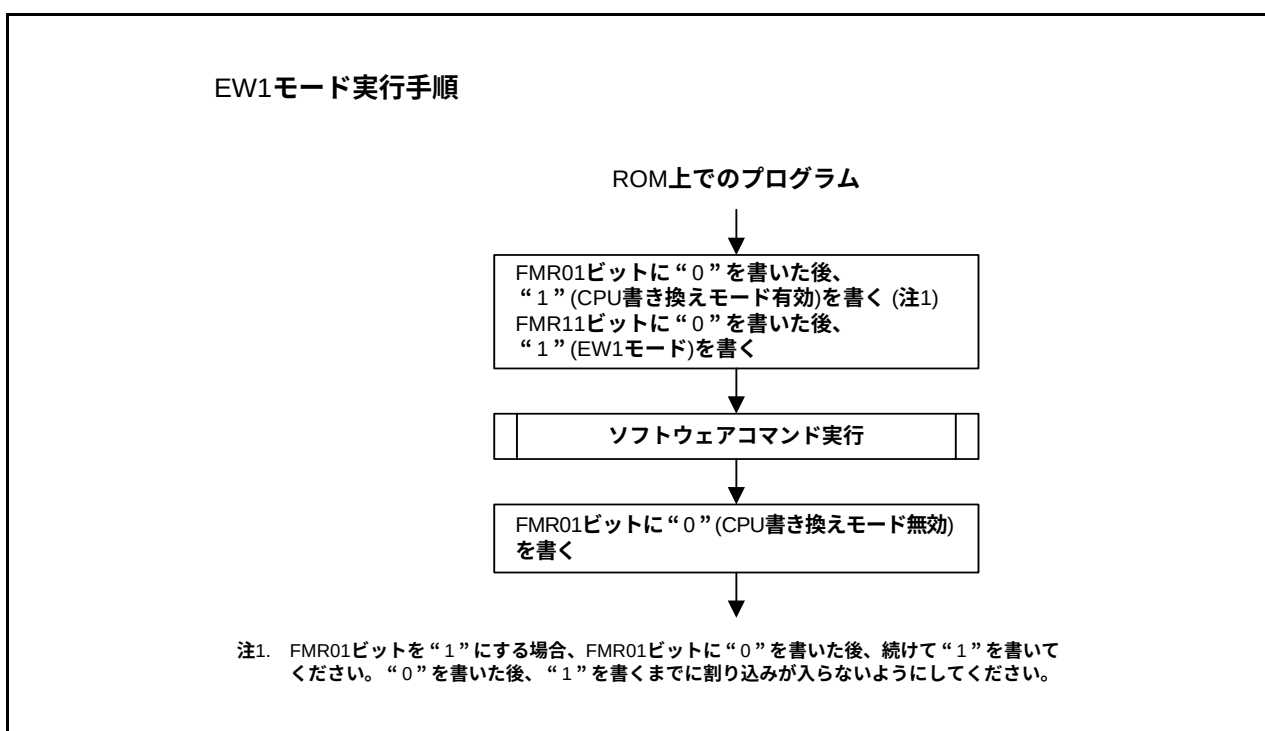


図20.10 EW1モードの設定と解除方法

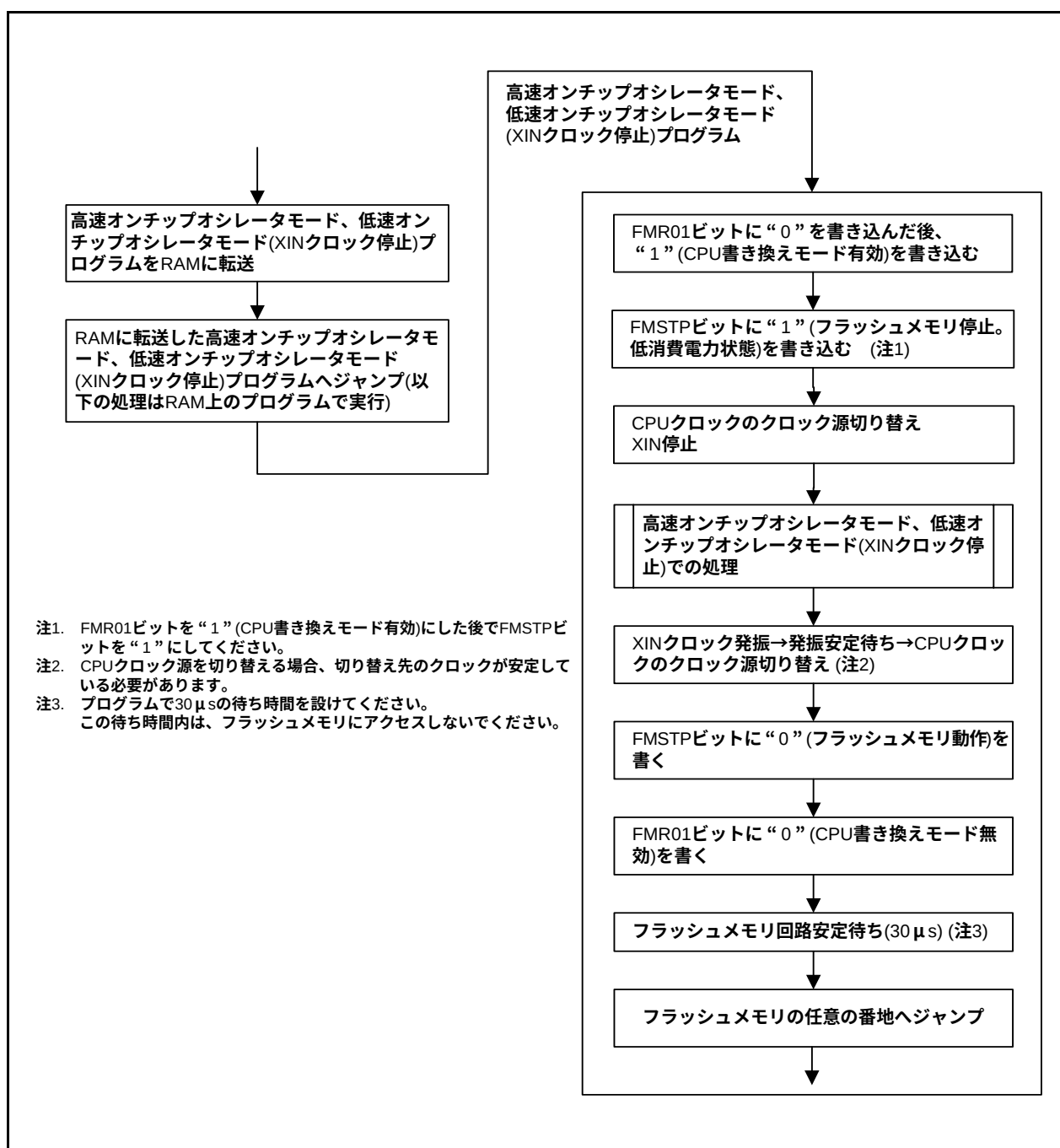


図 20.11 高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする処理

20.4.3 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

表20.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D7～D0)	モード	アドレス	データ (D7～D0)
リードアレイ	ライト	X	FFh			
リードステータスレジスタ	ライト	X	70h	リード	X	SRD
クリアステータスレジスタ	ライト	X	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレース	ライト	X	20h	ライト	BA	D0h

SRD：ステータスレジスタデータ (D7～D0)。

WA：書き込み番地 (第1バスサイクルのアドレスは第2バスサイクルのアドレスと同一番地にしてください)。

WD：書き込みデータ (8ビット)。

BA：ブロックの任意の番地。

X：ユーザROM領域内の任意の番地

20.4.3.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後はリードアレイモードになります。

20.4.3.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「20.4.4 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

リードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

20.4.3.3 クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FMR0レジスタのFMR06～FMR07ビットとステータスレジスタのSR4～SR5が“0”になります。

20.4.3.4 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。サスペンド機能禁止時、FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

サスペンド機能許可時、FMR44ビットは、自動書き込み期間中は“1”、終了後は“0”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「20.4.5 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

図20.12にプログラムフローチャート(サスペンド機能禁止時)を、図20.13にプログラムフローチャート(サスペンド機能許可時)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

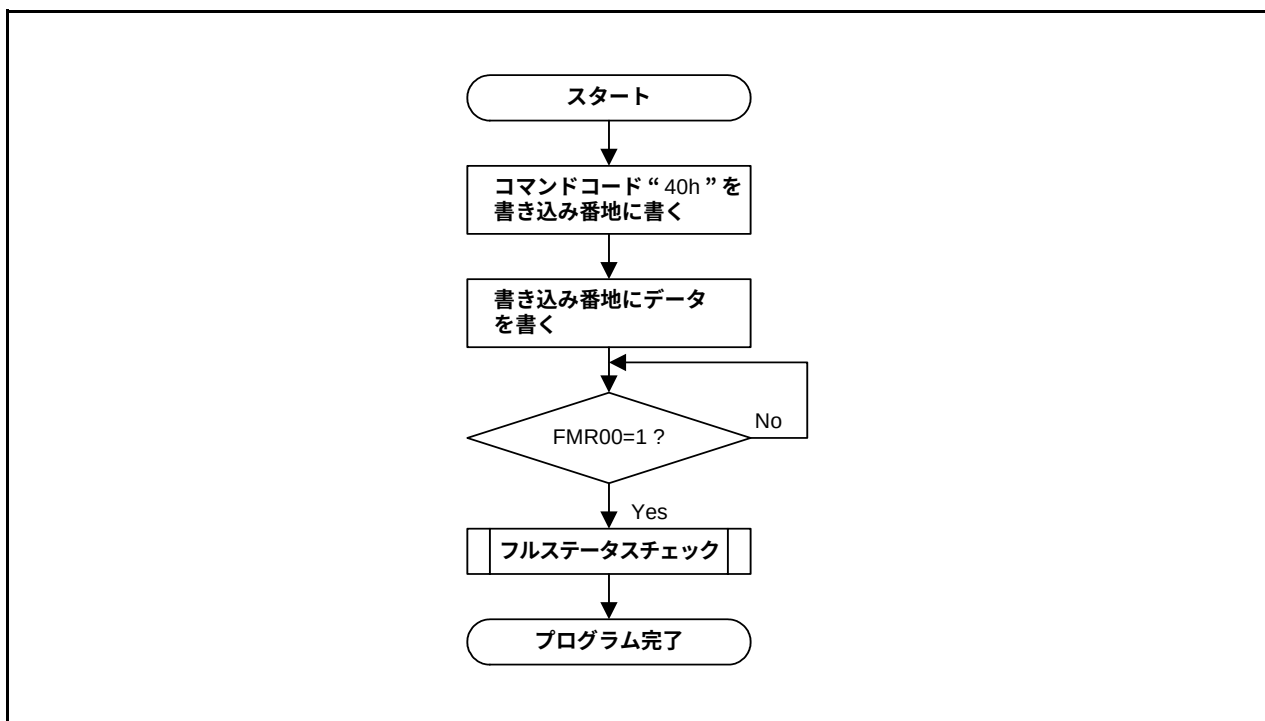


図20.12 プログラムフローチャート(サスペンド機能禁止時)

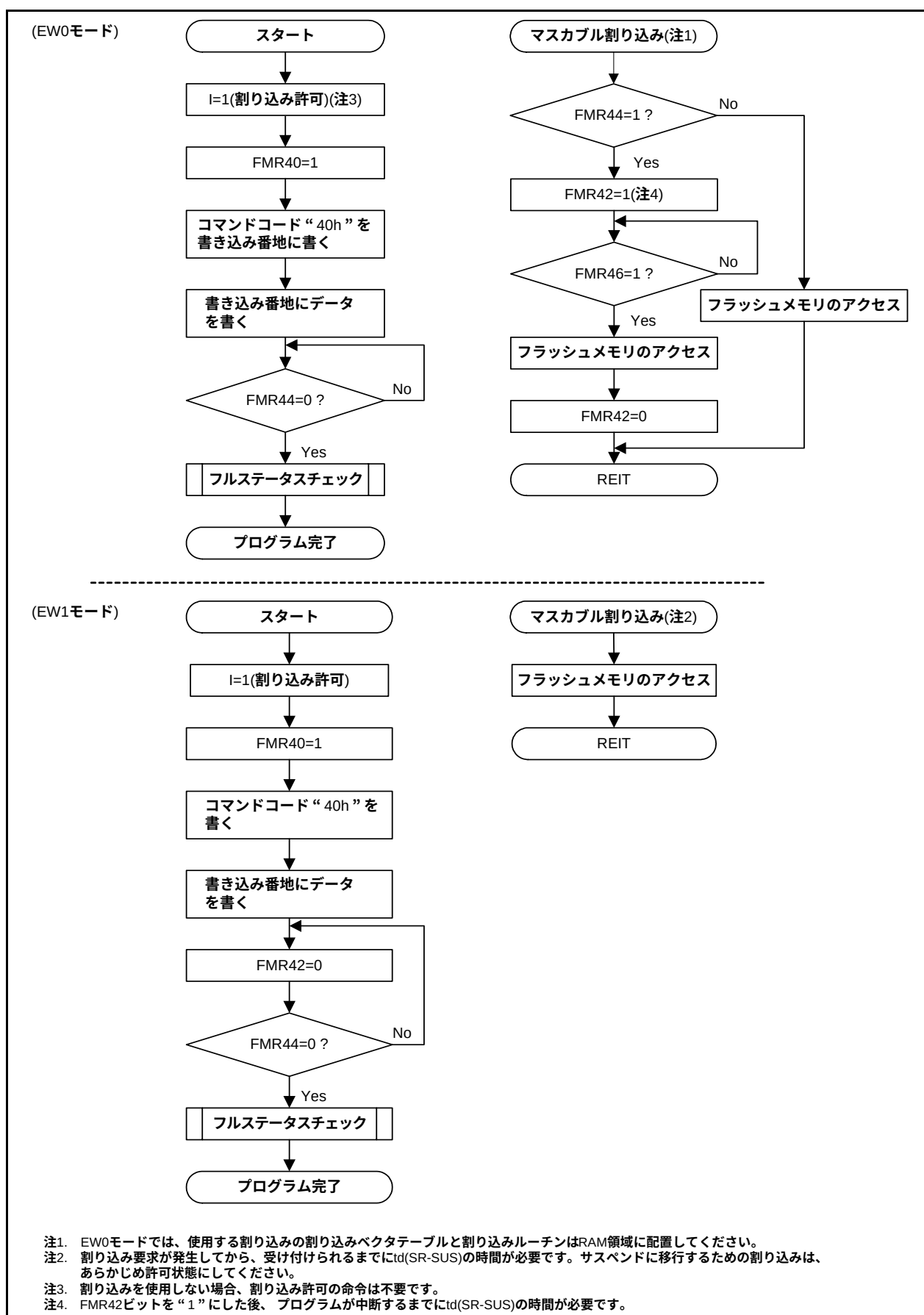


図20.13 プログラムフローチャート(サスペンド機能許可時)

20.4.3.5 ブロックイレース

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレースとイレースベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「20.4.5 フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するブロックイレースコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するブロックイレースコマンドが受け付けられません。

プログラムサスペンド中、ブロックイレースコマンドを使用しないでください。

図20.14にブロックイレースフローチャート(イレースサスペンド機能禁止時)を、図20.15にブロックイレースフローチャート(イレースサスペンド機能許可時)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

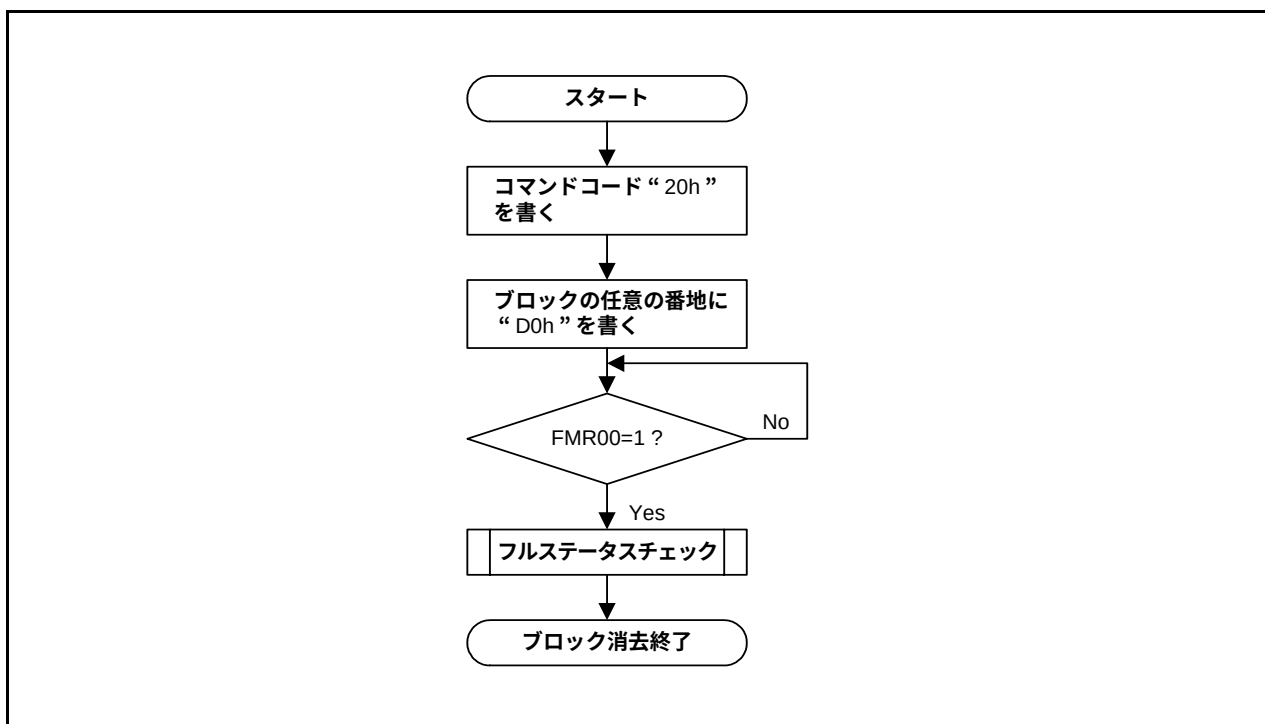


図20.14 ブロックイレースフローチャート(イレースサスペンド機能禁止時)

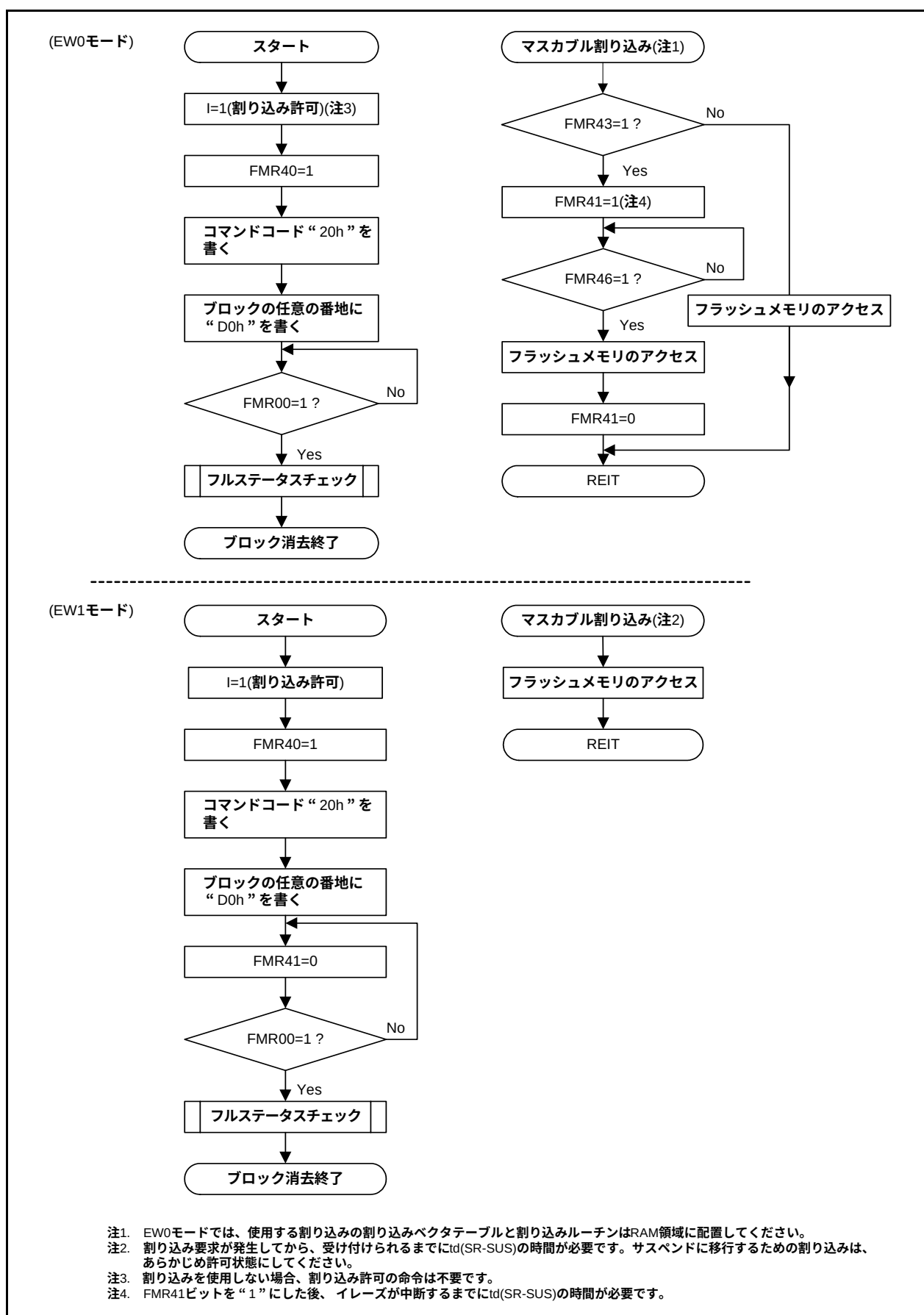


図 20.15 ブロックイレーズフローチャート(イレーズサスペンド機能許可時)

20.4.4 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットで読めます。

表20.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- ・リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の番地を読んだとき
- ・プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の番地を読んだとき

20.4.4.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

20.4.4.2 イレーズステータス(SR5、FMR07ビット)

「20.4.5 フルステータスチェック」を参照してください。

20.4.4.3 プログラムステータス(SR4、FMR06ビット)

「20.4.5 フルステータスチェック」を参照してください。

表20.5 ステータスレジスタ

ステータス レジスタの ビット	FMR0レジス タのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(D0)	—	リザーブ	—	—	—
SR1(D1)	—	リザーブ	—	—	—
SR2(D2)	—	リザーブ	—	—	—
SR3(D3)	—	リザーブ	—	—	—
SR4(D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5(D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6(D6)	—	リザーブ	—	—	—
SR7(D7)	FMR00	シーケンサステータス	ビジー	レディ	0

D0～D7：リードステータスコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)～FMR06ビット(SR4)は、クリアステータスコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズコマンドは受け付けられません。

20.4.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表20.6にエラーとFMR0レジスタの状態を、図20.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表20.6 エラーとFMR0レジスタの状態

FMR0レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態で、プログラムコマンドまたはブロックイレーズコマンドを実行したとき ・消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき ・消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき ・書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき ・書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき
1	0	イレーズエラー	・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	・プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

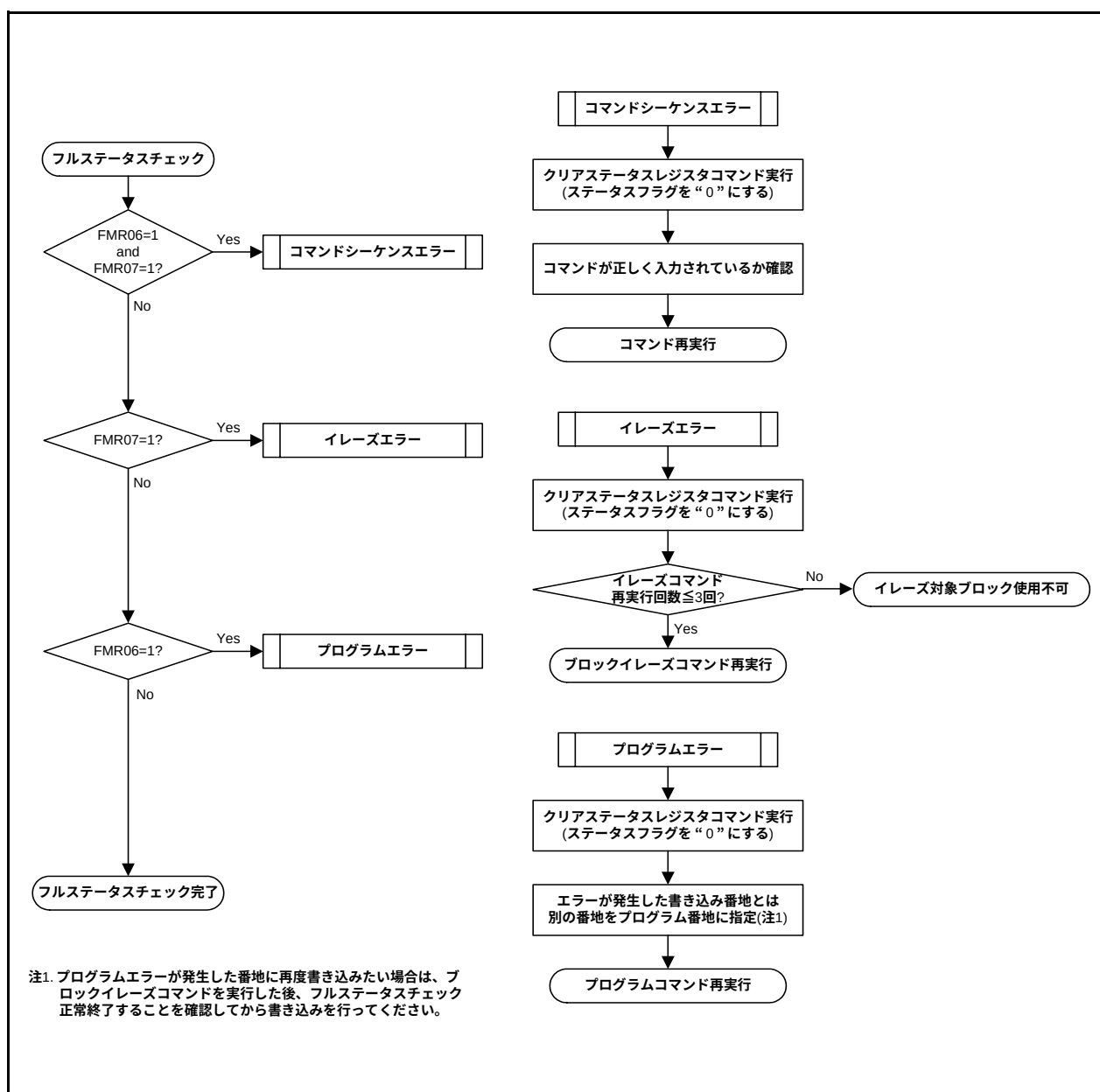


図 20.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

20.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- ・標準シリアル入出力モード1 クロック同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード2 クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード3 特別なクロック非同期形シリアル I/O を用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表20.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、表20.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図20.17に標準シリアル入出力モード3時の端子結線図を示します。

なお、表20.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

20.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「20.3 フラッシュメモリ書き換え禁止機能」参照)。

表20.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC, VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P0_0～P0_7	入力ポートP1	入力	
P1_0～P1_7	入力ポートP1	入力	
P3_0、3_1、3_3～P3_6	入力ポートP3	入力	
P4_2/VREF	入力ポートP4	入力	
P5_3、P5_4	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	
P3_7	TXD出力	出力	
P4_5	RXD入力	入力	シリアルデータの出力端子です。
			シリアルデータの入力端子です。

表 20.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P0_0～P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0～P1_7	入力ポートP1	入力	
P3_0、P3_1、P3_3～P3_7	入力ポートP3	入力	
P4_2/VREF、P4_5	入力ポートP4	入力	
P5_3、P5_4	入力ポートP5	入力	
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

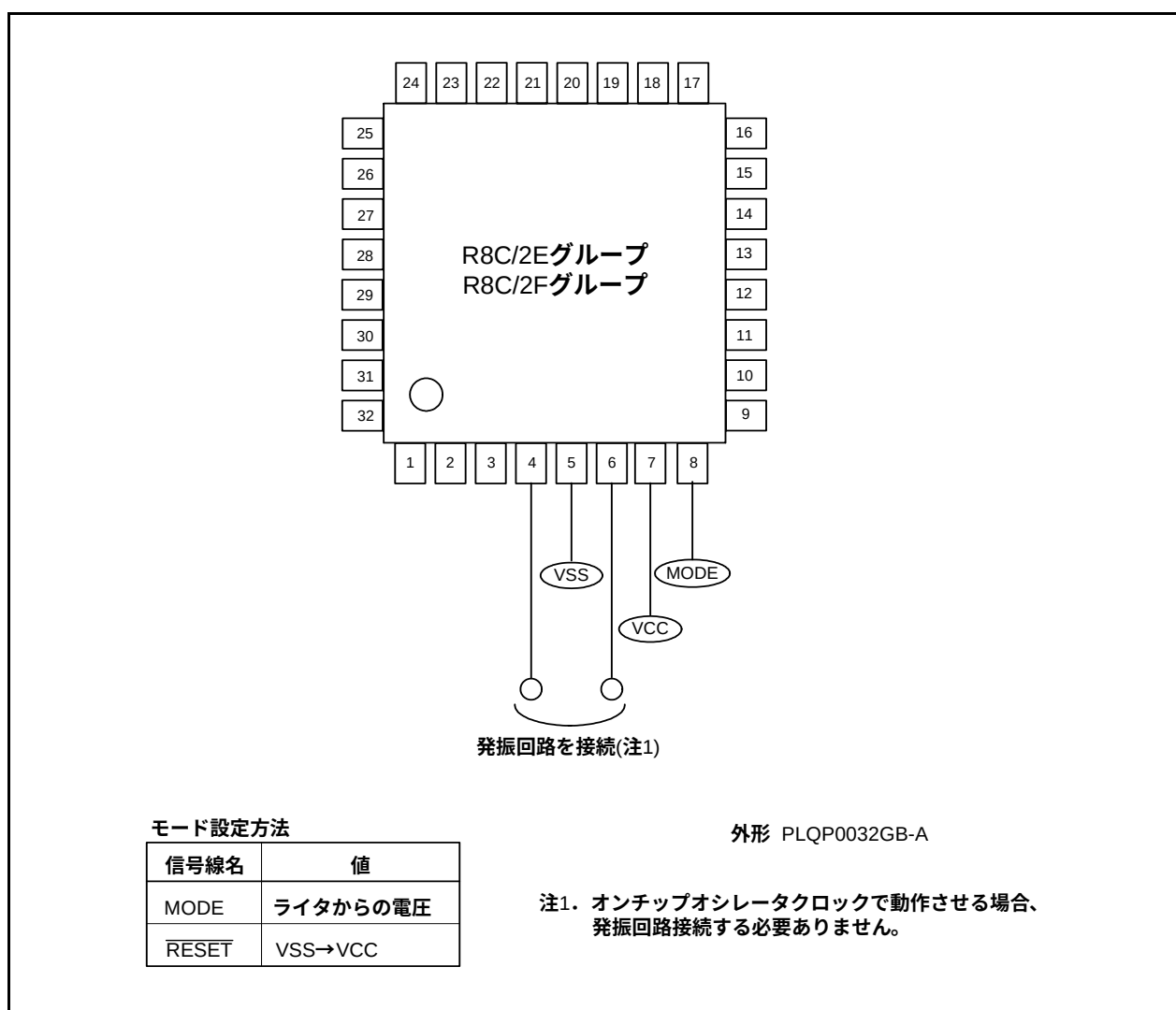


図20.17 標準シリアル入出力モード3時の端子結線図

20.5.1.1 標準シリアル入出力モード時の端子処理例

図20.18に標準シリアル入出力モード2を使用する場合の端子処理例を、図20.19に標準シリアル入出力モード3を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

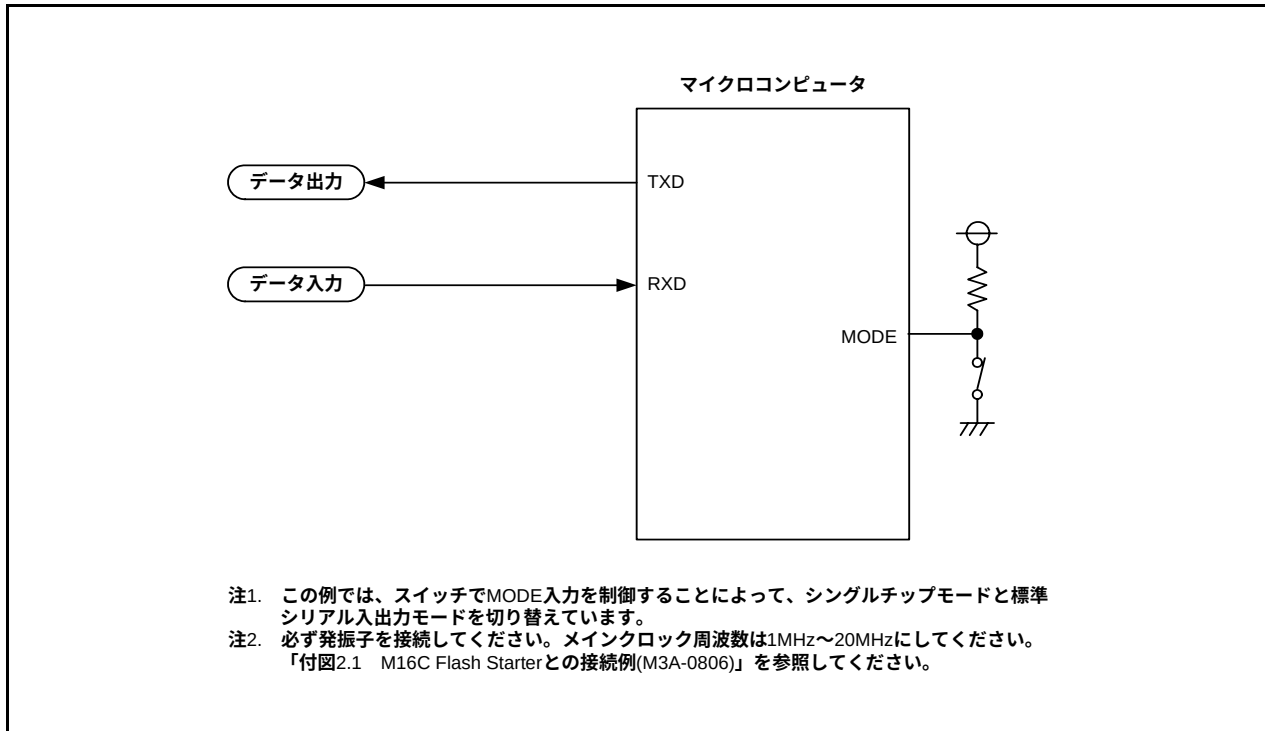


図20.18 標準シリアル入出力モード2を使用する場合の端子処理例

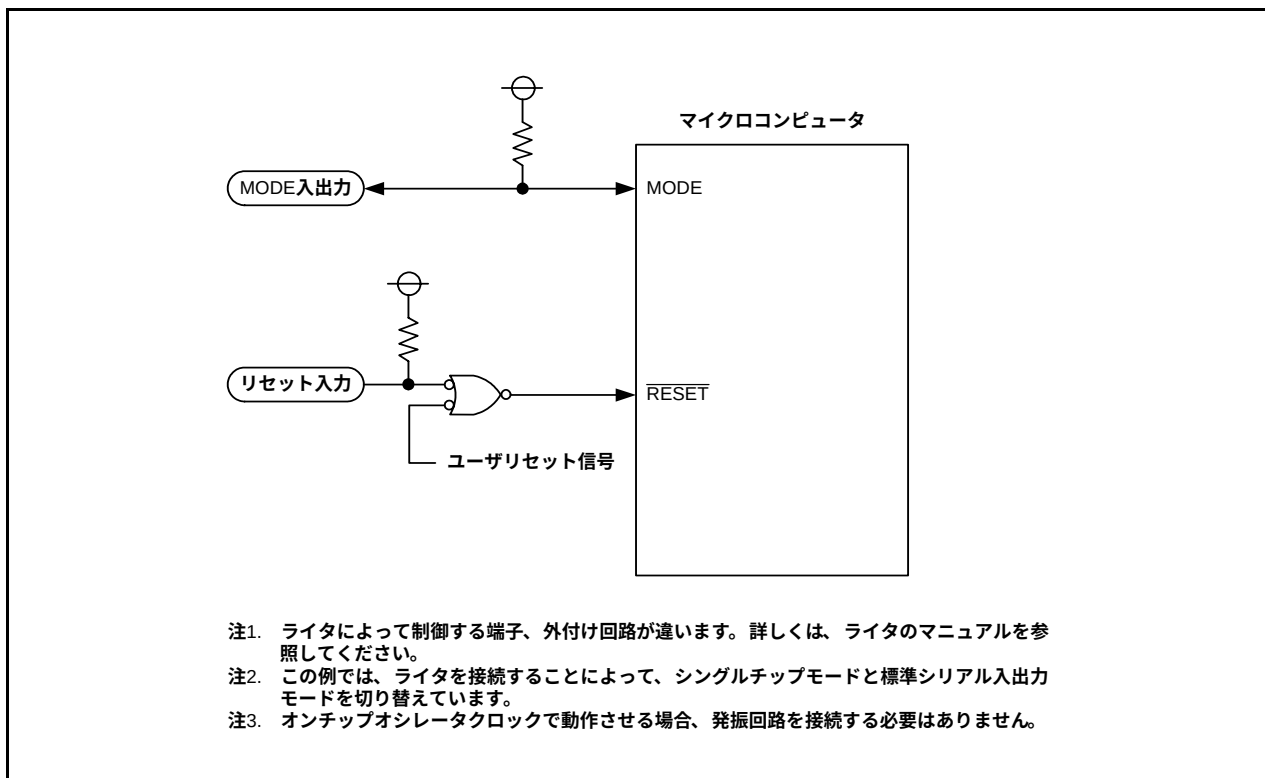


図20.19 標準シリアル入出力モード3を使用する場合の端子処理例

20.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図20.1および図20.2に示すユーザROM領域の書き換えができます。

20.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「20.3 フラッシュメモリ書き換え禁止機能」参照)。

20.7 フラッシュメモリ使用上の注意

20.7.1 CPU書き換えモード

20.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

20.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

20.7.1.3 割り込み

表20.9にEW0モード時の割り込み、表20.10にEW1モード時の割り込みを示します。

表20.9 EW0モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視1割り込み、電圧監視2割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置することで使用できます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表 20.10 EW1 モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視1割り込み、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

20.7.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

20.7.1.5 ユーザROM領域の書き換え

EW0 モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

20.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

20.7.1.7 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

20.7.1.8 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧 $V_{CC} = 2.7 \sim 5.5V$ の条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

21. 電気的特性

表 21.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧		-0.3~6.5	V
V _I	入力電圧		-0.3~V _{CC} + 0.3	V
V _O	出力電圧		-0.3~V _{CC} + 0.3	V
P _d	消費電力	T _{opr} = 25°C	500	mW
T _{opr}	動作周囲温度		-20~85(Nバージョン) / -40~85(Dバージョン)	°C
T _{stg}	保存温度		-65~150	°C

表 21.2 推奨動作条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{CC} /AV _{CC}	電源電圧		2.7	—	5.5	V
V _{SS} /AV _{SS}	電源電圧		—	0	—	V
V _{IH}	“H” 入力電圧		0.8V _{CC}	—	V _{CC}	V
V _{IL}	“L” 入力電圧		0	—	0.2V _{CC}	V
I _{OH} (sum)	“H” 尖頭総出力電流	全端子の I _{OH} (peak) の 総和	—	—	-160	mA
I _{OH} (sum)	“H” 平均総出力電流	全端子の I _{OH} (avg) の 総和	—	—	-80	mA
I _{OH} (peak)	“H” 尖頭出力電流	P1_0~P1_7以外	—	—	-10	mA
		P1_0~P1_7	—	—	-20	mA
I _{OH} (avg)	“H” 平均出力電流	P1_0~P1_7以外	—	—	-5	mA
		P1_0~P1_7	—	—	-10	mA
I _{OL} (sum)	“L” 尖頭総出力電流	全端子の I _{OL} (peak) の 総和	—	—	160	mA
I _{OL} (sum)	“L” 平均総出力電流	全端子の I _{OL} (avg) の 総和	—	—	80	mA
I _{OL} (peak)	“L” 尖頭出力電流	P1_0~P1_7以外	—	—	10	mA
		P1_0~P1_7	—	—	20	mA
I _{OL} (avg)	“L” 平均出力電流	P1_0~P1_7以外	—	—	5	mA
		P1_0~P1_7	—	—	10	mA
f(XIN)	XIN クロック入力発振周波数	3.0V ≤ V _{CC} ≤ 5.5V	0	—	20	MHz
		2.7V ≤ V _{CC} < 3.0V	0	—	10	MHz
—	システムクロック	OCD 2= “0” XIN クロック選択時	3.0V ≤ V _{CC} ≤ 5.5V	0	—	20 MHz
			2.7V ≤ V _{CC} < 3.0V	0	—	10 MHz
		OCD2= “1” オンチップオシレータ クロック選択時	FRA01= “0” 低速オンチップオシレータ選択時	—	125	— kHz
			FRA01= “1” 高速オンチップオシレータ選択時 3.0V ≤ V _{CC} ≤ 5.5V	—	—	20 MHz
			FRA01= “1” 高速オンチップオシレータ選択時 2.7V ≤ V _{CC} ≤ 5.5V	—	—	10 MHz

注1. 指定のない場合は、V_{CC} = 2.7V~5.5V、T_{opr} = -20°C~85°C(Nバージョン)/-40°C~85°C(Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

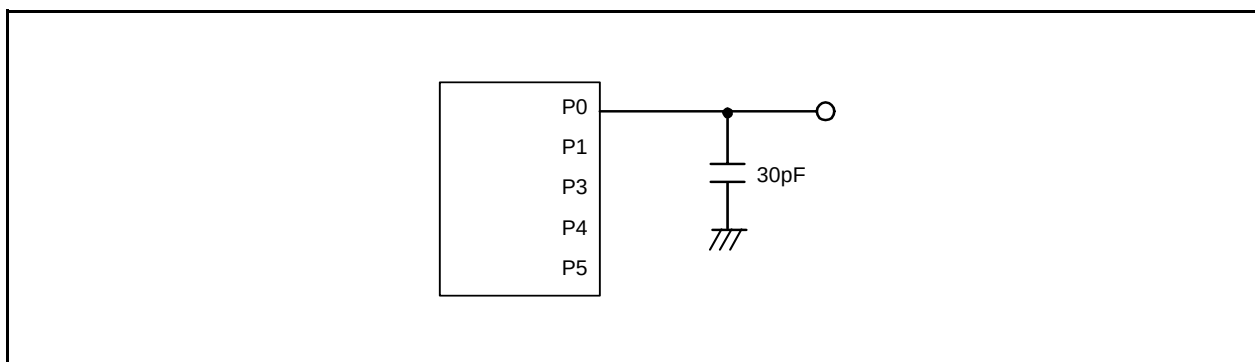


図 21.1 ポート P0、P1、P3～P5 のタイミング測定回路

表 21.3 A/D コンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	Vref = AVcc	—	—	10	Bit
—	絶対精度	10 ビットモード φAD = 10MHz、Vref = AVcc = 5.0V	—	—	± 3	LSB
		8 ビットモード φAD = 10MHz、Vref = AVcc = 5.0V	—	—	± 2	LSB
		10 ビットモード φAD = 10MHz、Vref = AVcc = 3.3V	—	—	± 5	LSB
		8 ビットモード φAD = 10MHz、Vref = AVcc = 3.3V	—	—	± 2	LSB
Rladder	ラダー抵抗	Vref = AVcc	10	—	40	kΩ
tconv	変換時間	10 ビットモード φAD = 10MHz、Vref = AVcc = 5.0V	3.3	—	—	μs
		8 ビットモード φAD = 10MHz、Vref = AVcc = 5.0V	2.8	—	—	μs
Vref	基準電圧		2.7	—	AVcc	V
VIA	アナログ入力電圧 (注2)		0	—	AVcc	V
—	A/D 動作クロック	サンプル&ホールドなし Vref = AVcc = 2.7～5.5V	0.25	—	10	MHz
	周波数	サンプル&ホールドあり Vref = AVcc = 2.7～5.5V	1	—	10	MHz

注1. 指定のない場合は、AVcc = 2.7V～5.5V、T_{opr} = -20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D 変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表 21.4 D/A コンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能		—	—	8	Bit
—	絶対精度		—	—	1.0	%
t _{su}	設定時間		—	—	3	μs
R _o	出力抵抗		4	10	20	kΩ
I _{vref}	基準電源入力電流	(注2)	—	—	1.5	mA

注1. 指定のない場合は、AVcc = 2.7V～5.5V、T_{opr} = -20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン)です。

注2. D/A コンバータ1本使用、使用していないD/A コンバータのDAI(i = 0～1)レジスタの値が“00h”の場合です。

A/D コンバータのラダー抵抗分は除きます。また、ADCON1 レジスタのVCUT ビットを“0”(V_{REF}未接続)とした場合でも、D/A コンバータのI_{vref}は流れます。

表 21.5 コンパレータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{cref}	コンパレータ基準電圧		0	—	V _{CC} - 1.2	V
V _{cin}	コンパレータ入力電圧		- 0.3	—	V _{CC} + 0.3	V
V _{ofs}	入力オフセット電圧		—	—	± 100	mV
T _{crsp}	レスポンス時間		—	—	200	ns

注1. 指定のない場合は、V_{CC} = 2.7V～5.5V、T_{opr} = -20°C～85°C(Nバージョン)/-40°C～85°C(Dバージョン)です。

表 21.6 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注2)	R8C/2Eグループ	100(注3)	—	—	回
		R8C/2Fグループ	1,000(注3)	—	—	回
—	バイトプログラム時間		—	50	400	μs
—	ブロックイレーズ時間		—	0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	97+CPUクロック × 6サイクル	μs
—	イレーズ開始または再開から次のサスペンド要求までの間隔		650	—	—	μs
—	プログラム開始または再開から次のサスペンド要求までの間隔		0	—	—	ns
—	サスペンドからプログラム/イレーズの再開までの時間		—	—	3+CPUクロック × 4サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		0	—	60	°C
—	データ保持時間(注7)	周囲温度=55°C	20	—	—	年

注1. 指定のない場合は、V_{CC} = 2.7V～5.5V、T_{opr} = 0°C～60°Cです。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1～“最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジー、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表 21.7 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレース回数(注2)		10,000(注3)	—	—	回
—	バイトプログラム時間 (プログラム/イレース回数 ≤ 1,000 回)		—	50	400	μs
—	バイトプログラム時間 (プログラム/イレース回数 > 1,000 回)		—	65	—	μs
—	ブロックイレース時間 (プログラム/イレース回数 ≤ 1,000 回)		—	0.2	9	s
—	ブロックイレース時間 (プログラム/イレース回数 > 1,000 回)		—	0.3	—	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	97+CPUクロック × 6サイクル	μs
—	イレース開始または再開から次のサスペンド要求までの間隔		650	—	—	μs
—	プログラム開始または再開から次のサスペンド要求までの間隔		0	—	—	ns
—	サスペンドからプログラム/イレースの再開までの時間		—	—	3+CPUクロック × 4サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		−20(注8)	—	85	°C
—	データ保持時間(注9)	周囲温度 = 55°C	20	—	—	年

注1. 指定のない場合は、V_{CC} = 2.7V ~ 5.5V、T_{opr} = −20°C ~ 85°C(Nバージョン)/−40°C ~ 85°C(Dバージョン)です。

注2. プログラム/イレース回数の定義

プログラム/イレース回数はブロックごとのイレース回数です。

プログラム/イレース回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレースすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレースした場合も、プログラム/イレース回数は1回と数えます。ただし、イレース1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレース後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. プログラム/イレース回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレースを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレースをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレース回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレースを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレースでイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレースコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは−40°C。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

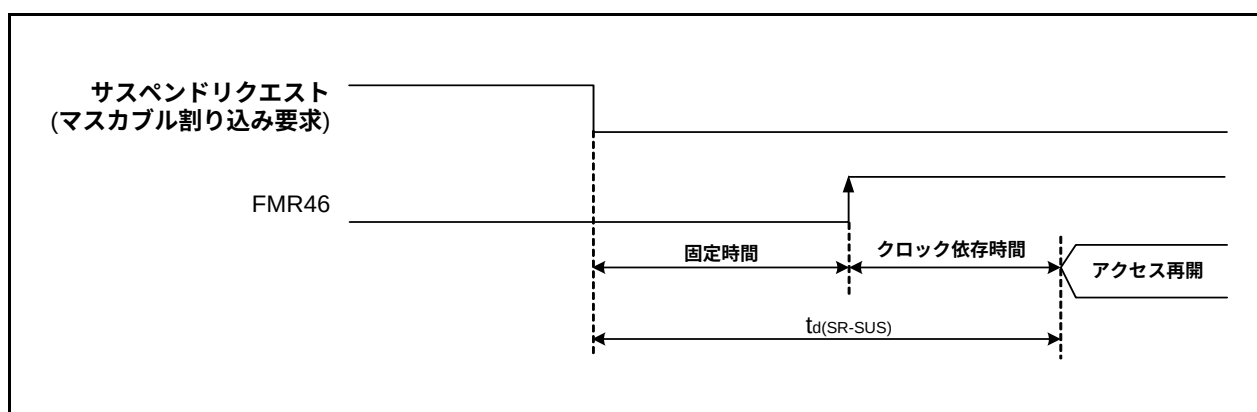


図 21.2 サスペンドへの遷移時間

表 21.8 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル(注4)		2.7	2.85	3.00	V
—	電圧監視1割り込み要求発生時間(注2)		—	40	—	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、Vcc=5.0V	—	0.6	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間(注3)		—	—	100	μs
Vccmin	マイコンの動作電圧の最小値		2.7	—	—	V

注1. 測定条件はVcc = 2.7V～5.5V、T_{opr} = -20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン)です。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. 電源の立ち下り時の電圧検出レベルを示しています。電源の立ち上り時の検出レベルは、電源の立ち下り時の電圧検出レベルより、0.1V程度大きい値になります。

表 21.9 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル		3.3	3.6	3.9	V
—	電圧監視2割り込み要求発生時間(注2)		—	40	—	μs
—	電圧検出回路の自己消費電流	VCA27 = 1、Vcc=5.0V	—	0.6	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間(注3)		—	—	100	μs

注1. 測定条件はVcc = 2.7V～5.5V、T_{opr} = -20℃～85℃(Nバージョン)/-40℃～85℃(Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 21.10 パワーオンリセット回路、電圧監視0リセットの電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧 (注3)		—	—	0.1	V
V _{por2}	パワーオンリセットが有効になる電圧		0	—	2.6	V
t _{trth}	外部電源 V _{CC} の立ち上がり傾き (注2)		20	—	—	mV/msec

注1. 指定のない場合測定条件は、T_{opr} = -20°C~85°C(Nバージョン)/-40°C~85°C(Dバージョン)です。

注2. V_{CC} ≥ 1.0 Vで使用する場合、この条件(外部電源V_{CC}立ち上がり傾き)は不要です。

注3. t_{w(por1)}は外部電源V_{CC}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げる時は-20°C ≤ T_{opr} ≤ 85°Cではt_{w(por1)}を30s以上、-40°C ≤ T_{opr} < -20°Cではt_{w(por1)}を3000s以上保持してください。

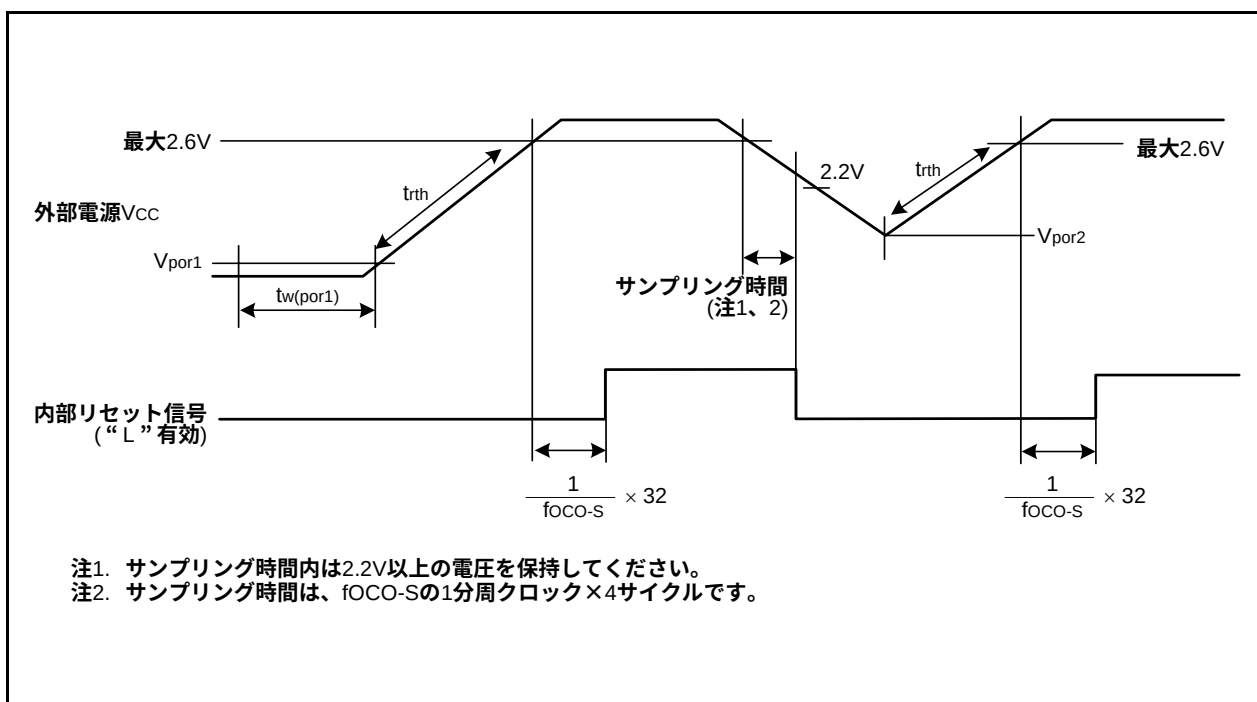


図 21.3 リセット回路の電氣的特性

表 21.11 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	V _{CC} =4.75V~5.25V 0°C ≤ T _{opr} ≤ 60°C (注2)	39.2	40	40.8	MHz
		V _{CC} =3.0V~5.5V -20°C ≤ T _{opr} ≤ 85°C (注2)	38.8	40	41.2	MHz
		V _{CC} =3.0V~5.5V -40°C ≤ T _{opr} ≤ 85°C (注2)	38.4	40	41.6	MHz
		V _{CC} =2.7V~5.5V -20°C ≤ T _{opr} ≤ 85°C (注2)	38	40	42	MHz
		V _{CC} =2.7V~5.5V -40°C ≤ T _{opr} ≤ 85°C (注2)	37.6	40	42.4	MHz
		V _{CC} =5.0V ± 10% -20°C ≤ T _{opr} ≤ 85°C (注2)	38.8	40	40.8	MHz
		V _{CC} =5.0V ± 10% -40°C ≤ T _{opr} ≤ 85°C (注2)	38.4	40	40.8	MHz
	FRA7レジスタの補正値をFRA1レジスタに書き込んだときの高速オンチップオシレータ発振周波数	V _{CC} =5.0V、T _{opr} =25°C	—	36.864	—	MHz
		V _{CC} =2.7V~5.5V -20°C ≤ T _{opr} ≤ 85°C	-3%	—	3%	%
—	リセット解除時のFRA1レジスタの値		08h	—	F7h	—
—	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を-1ビットに調整	—	+ 0.3	—	MHz
—	発振安定時間		—	10	100	μs
—	発振時の自己消費電流	V _{CC} =5.0V、T _{opr} =25°C	—	400	—	μA

注1. 指定のない場合は、V_{CC} = 2.7V ~ 5.5V、T_{opr} = -20°C ~ 85°C (Nバージョン) / -40°C ~ 85°C (Dバージョン) です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

表 21.12 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		30	125	250	kHz
—	発振安定時間		—	10	100	μs
—	発振時の自己消費電流	V _{CC} =5.0V、T _{opr} =25°C	—	15	—	μA

注1. 指定のない場合は、V_{CC} = 2.7V ~ 5.5V、T_{opr} = -20°C ~ 85°C (Nバージョン) / -40°C ~ 85°C (Dバージョン) です。

表 21.13 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _d (P-R)	電源投入時の内部電源安定時間 (注2)		1	—	2000	μs
t _d (R-S)	STOP解除時間 (注3)		—	—	150	μs

注1. 測定条件はV_{CC} = 2.7V ~ 5.5V、T_{opr} = 25°Cです。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表 21.14 電気的特性(1) [V_{CC} = 5V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	P1_0~P1_7、XOUT 以外	I _{OH} = - 5mA		V _{CC} - 2.0	—	V _{CC}	V
			I _{OH} = - 200 μA		V _{CC} - 0.5	—	V _{CC}	V
		P1_0~P1_7	駆動能力HIGH	I _{OH} = - 10mA	V _{CC} - 2.0	—	V _{CC}	V
			駆動能力LOW	I _{OH} = - 5mA	V _{CC} - 2.0	—	V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 1mA	V _{CC} - 2.0	—	V _{CC}	V
			駆動能力LOW	I _{OH} = - 500 μA	V _{CC} - 2.0	—	V _{CC}	V
VOL	“L”出力電圧	P1_0~P1_7、XOUT 以外	I _{OL} = 5mA		—	—	2.0	V
			I _{OL} = 200 μA		—	—	0.45	V
		P1_0~P1_7	駆動能力HIGH	I _{OL} = 10mA	—	—	2.0	V
			駆動能力LOW	I _{OL} = 5mA	—	—	2.0	V
		XOUT	駆動能力HIGH	I _{OL} = 1mA	—	—	2.0	V
			駆動能力LOW	I _{OL} = 500 μA	—	—	2.0	V
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 TRAIO、RXD0、CLK0			0.1	0.5	—	V
		RESET			0.1	1.0	—	V
I _{IH}	“H”入力電流		V _I = 5V、V _{CC} = 5V		—	—	5.0	μA
I _{IL}	“L”入力電流		V _I = 0V、V _{CC} = 5V		—	—	- 5.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V、V _{CC} = 5V		30	50	167	kΩ
R _{fXIN}	帰還抵抗	XIN			—	1.0	—	MΩ
V _{RAM}	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、V_{CC} = 4.2V ~ 5.5V、T_{opr} = -20°C ~ 85°C (Nバージョン) / -40°C ~ 85°C (Dバージョン)、f_(XIN) = 20MHz
です。

表 21.15 電気的特性(2) [Vcc = 5V]

(指定のない場合は、Topr = -20°C~85°C(Nバージョン)/-40°C~85°C(Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V～5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	10	17	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	9	15	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	6	—	mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	5	—	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	4	—	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	2.5	—	mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	—	10	15	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周	—	4	—	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	—	5.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周	—	2.5	—	mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"	—	130	300	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック動作 VCA27 = VCA26 = "0" VCA20="1"	—	25	75	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック停止 VCA27 = VCA26 = "0" VCA20="1"	—	23	60	μA
		ストップモード	XINクロック停止、Topr = 25℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = "0"	—	0.8	3.0	μA
			XINクロック停止、Topr = 85℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = "0"	—	1.2	—	μA

タイミング必要条件（指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$ ） [$V_{CC}=5V$]

表21.16 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50	—	ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	25	—	ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	25	—	ns

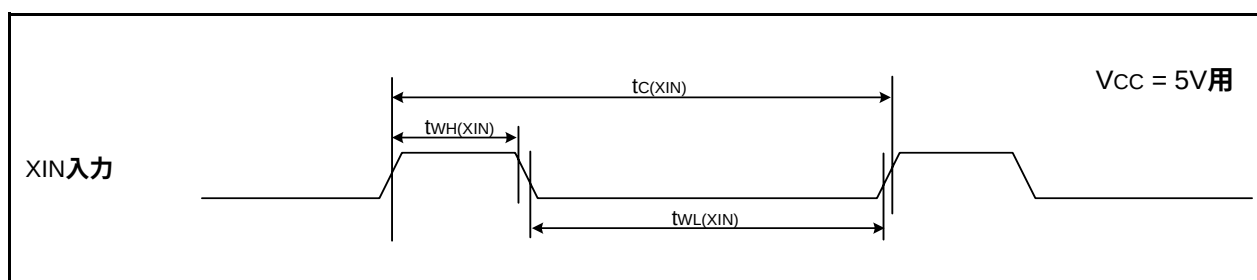


図21.4 VCC=5V時のXIN入力タイミング

表21.17 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	100	—	ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	40	—	ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	40	—	ns

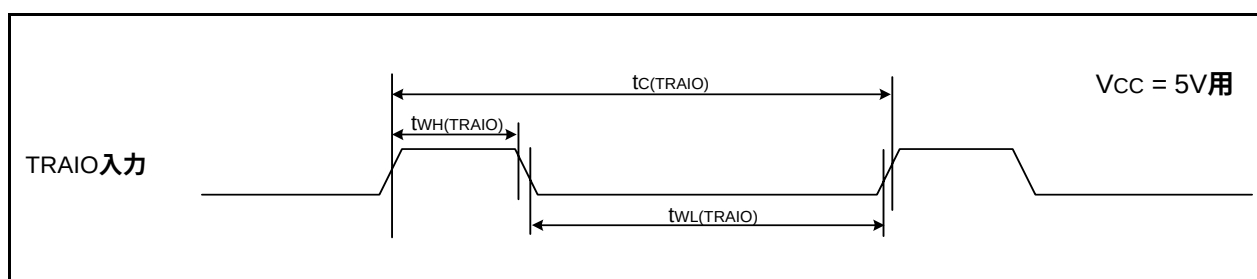


図21.5 VCC=5V時のTRAIO入力タイミング

表21.18 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLK0入力サイクル時間	200	—	ns
$t_w(\text{CKH})$	CLK0入力“H”パルス幅	100	—	ns
$t_w(\text{CKL})$	CLK0入力“L”パルス幅	100	—	ns
$t_d(\text{C-Q})$	TXD0出力遅延時間	—	50	ns
$t_h(\text{C-Q})$	TXD0ホールド時間	0	—	ns
$t_{su}(\text{D-C})$	RXD0入力セットアップ時間	50	—	ns
$t_h(\text{C-D})$	RXD0入力ホールド時間	90	—	ns

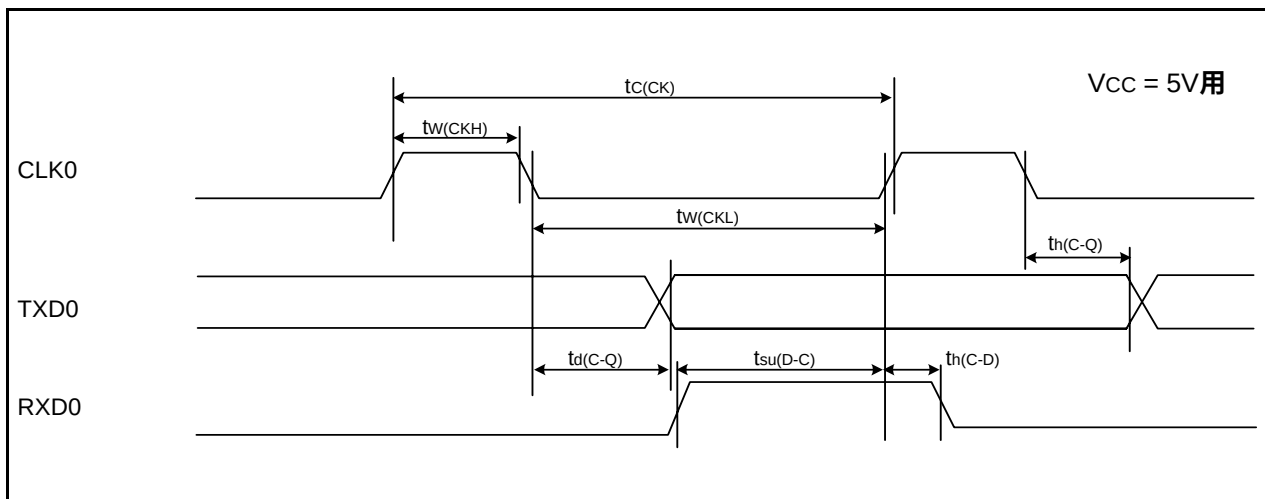


図21.6 VCC=5V時のシリアルインタフェースのタイミング

表21.19 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 入力“H”パルス幅	250(注1)	—	ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 入力“L”パルス幅	250(注2)	—	ns

注1. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

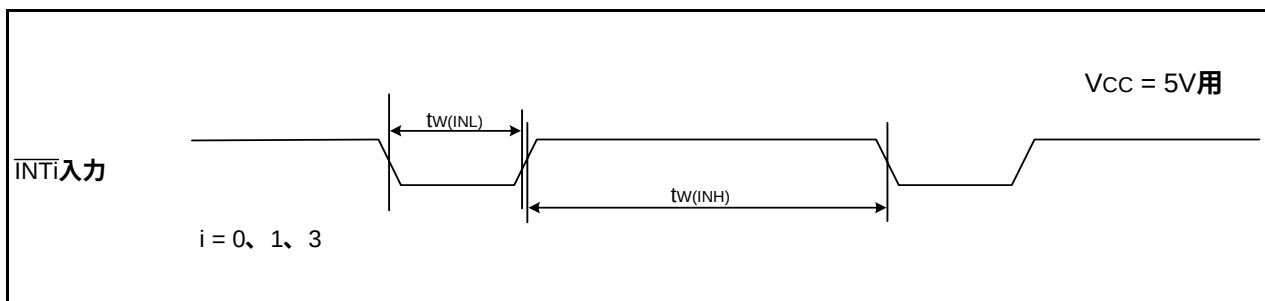
図21.7 VCC=5V時の外部割り込み $\overline{\text{INTi}}$ 入力タイミング

表 21.20 電気的特性 (3) [$V_{CC} = 3V$]

記号	項目		測定条件		規格値			単位	
					最小	標準	最大		
VOH	“H”出力電圧	P1_0～P1_7、XOUT 以外	IOH = −1mA		Vcc − 0.5	—	Vcc	V	
			P1_0～P1_7	駆動能力HIGH	IOH = −2mA	Vcc − 0.5	—	Vcc	V
		XOUT		駆動能力LOW	IOH = −1mA	Vcc − 0.5	—	Vcc	V
			XOUT	駆動能力HIGH	IOH = −0.1mA	Vcc − 0.5	—	Vcc	V
				駆動能力LOW	IOH = −50 μA	Vcc − 0.5	—	Vcc	V
VOL	“L”出力電圧	P1_0～P1_7、XOUT 以外	IOL = 1mA		—	—	0.5	V	
			P1_0～P1_7	駆動能力HIGH	IOL = 2mA	—	—	0.5	V
		XOUT		駆動能力LOW	IOL = 1mA	—	—	0.5	V
			XOUT	駆動能力HIGH	IOL = 0.1mA	—	—	0.5	V
				駆動能力LOW	IOL = 50 μA	—	—	0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 TRAIO、RXD0、CLK0			0.1	0.3	—	V	
		RESET			0.1	0.4	—	V	
IiH	“H”入力電流		VI = 3V、Vcc = 3V		—	—	4.0	μA	
IiL	“L”入力電流		VI = 0V、Vcc = 3V		—	—	−4.0	μA	
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 3V		66	160	500	kΩ	
RfXIN	帰還抵抗	XIN			—	3.0	—	MΩ	
VRAM	RAM保持電圧		ストップモード時		1.8	—	—	V	

注1. 指定のない場合は、 $V_{CC} = 2.7V \sim 3.3V$ 、 $T_{opr} = -20^\circ C \sim 85^\circ C$ (Nバージョン)/ $-40^\circ C \sim 85^\circ C$ (Dバージョン)、 $f_{(XIN)} = 10MHz$ です。

表21.21 電気的特性(4) [V_{CC} = 3V](指定のない場合は、T_{opr} = -20°C~85°C(Nバージョン)/-40°C~85°C(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 (V _{CC} = 2.7V~3.3V) シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速クロックモード	—	6	—	mA
		XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	2	—	mA
		XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周				
		高速オンチップオシレータモード	—	5	9	mA
		XINクロック停止 高速オンチップオシレータ発振f _{OCO} = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	—	2	—	mA
		XINクロック停止 高速オンチップオシレータ発振f _{OCO} = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周				
		低速オンチップオシレータモード	—	130	300	μA
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"				
		ウェイトモード	—	25	70	μA
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック動作 VCA27 = VCA26 = "0" VCA20="1"	—	23	55	μA
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック停止 VCA27 = VCA26 = "0" VCA20="1"				
		ストップモード	—	0.7	3.0	μA
		XINクロック停止、T _{opr} = 25°C 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = "0"	—	1.1	—	μA
		XINクロック停止、T _{opr} = 85°C 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = "0"				

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$) [$V_{CC}=3V$]

表21.22 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	100	—	ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	40	—	ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	40	—	ns

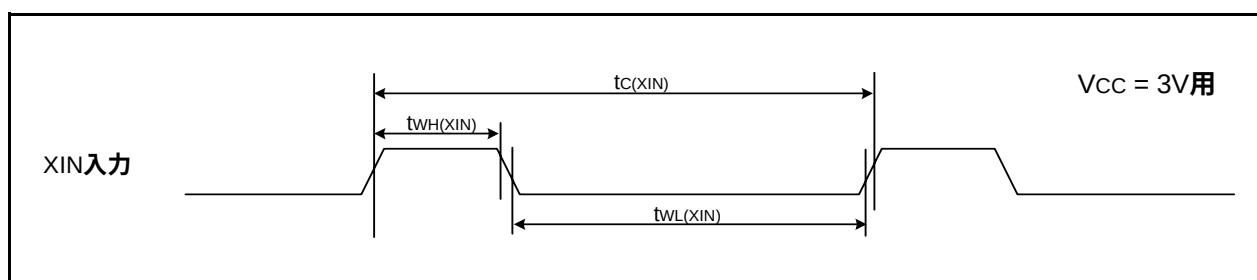


図21.8 $V_{CC}=3V$ 時のXIN入力タイミング

表21.23 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	300	—	ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	120	—	ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	120	—	ns

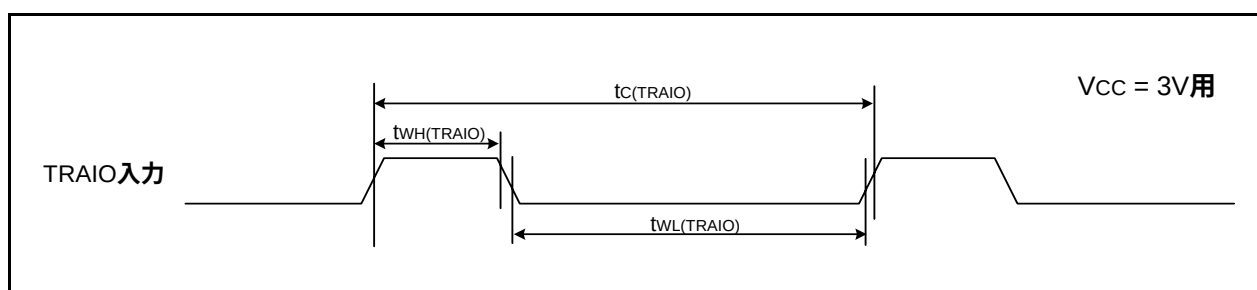


図21.9 $V_{CC}=3V$ 時のTRAIO入力タイミング

表21.24 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLK0入力サイクル時間	300	—	ns
$t_w(\text{CKH})$	CLK0入力“H”パルス幅	150	—	ns
$t_w(\text{CKL})$	CLK0入力“L”パルス幅	150	—	ns
$t_d(\text{C-Q})$	TXD0出力遅延時間	—	80	ns
$t_h(\text{C-Q})$	TXD0ホールド時間	0	—	ns
$t_{su}(\text{D-C})$	RXD0入力セットアップ時間	70	—	ns
$t_h(\text{C-D})$	RXD0入力ホールド時間	90	—	ns

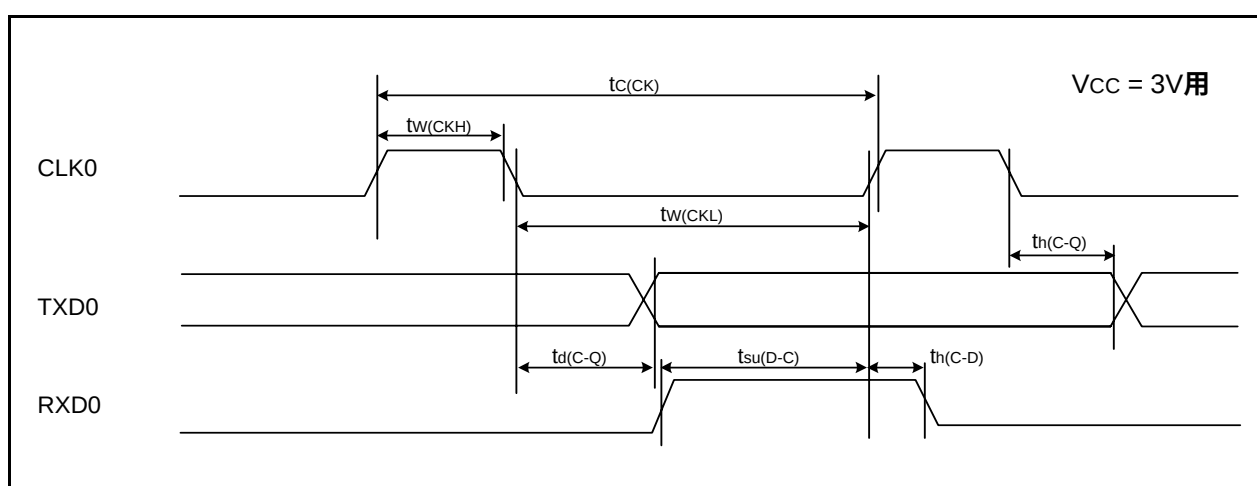


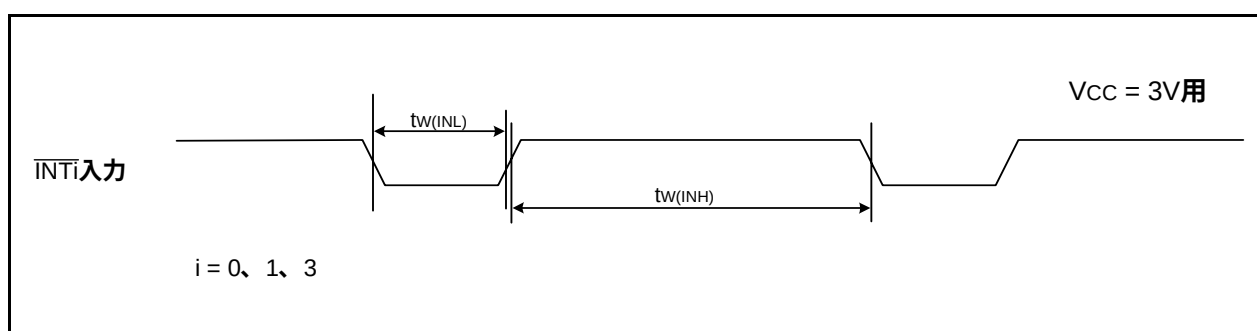
図21.10 VCC=3V時のシリアルインタフェースのタイミング

表21.25 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 入力“H”パルス幅	380(注1)	—	ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 入力“L”パルス幅	380(注2)	—	ns

注1. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図21.11 VCC=3V時の外部割り込み $\overline{\text{INTi}}$ 入力タイミング

22. 使用上の注意事項

22.1 クロック発生回路使用上の注意

22.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

22.1.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I            ; 割り込み許可
WAIT                      ; ウェイトモード
NOP
NOP
NOP
NOP
```

22.1.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

22.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

22.2 割り込み使用上の注意

22.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

22.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

22.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電气的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表21.19($V_{cc} = 5V$)、表21.25($V_{cc} = 3V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)」を参照。)

22.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図22.1に割り込み要因の変更手順例を示します。

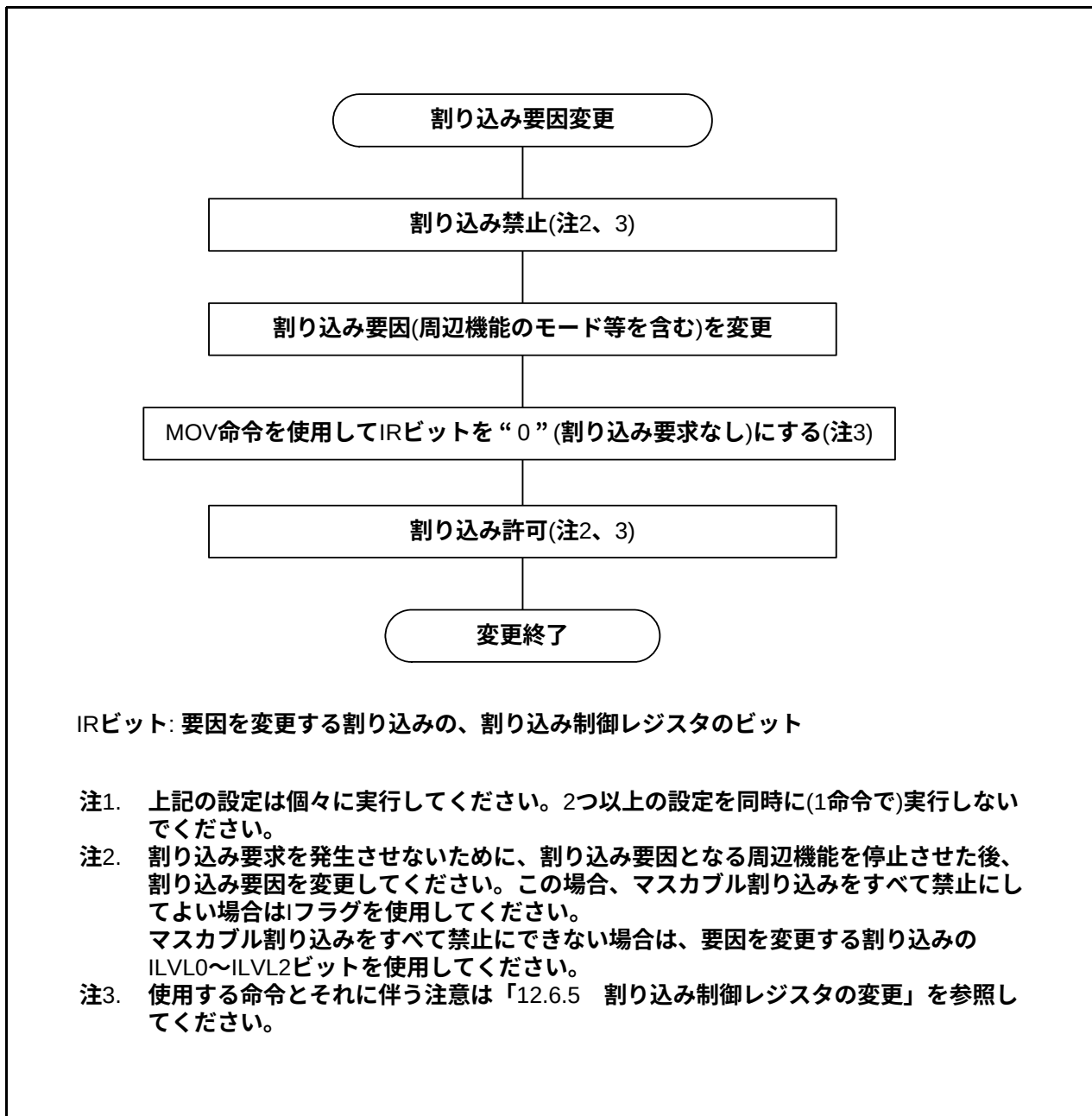


図22.1 割り込み要因の変更手順例

22.2.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1:

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
NOP                      ;
NOP                      ;
FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

INT_SWITCH2:

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
MOV.W   MEM, R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
POPC    FLG              ; 割り込み許可
```

22.3 タイマ

22.3.1 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。
TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。

注1.タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダーフローの3周期以上空けてください。

22.3.2 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1.タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPPE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

22.3.2.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPPEレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPPE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

22.3.2.2 プログラマブル波形発生モード

プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中(TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図22.2および図22.3の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

• 対策例(a)

図22.2に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。

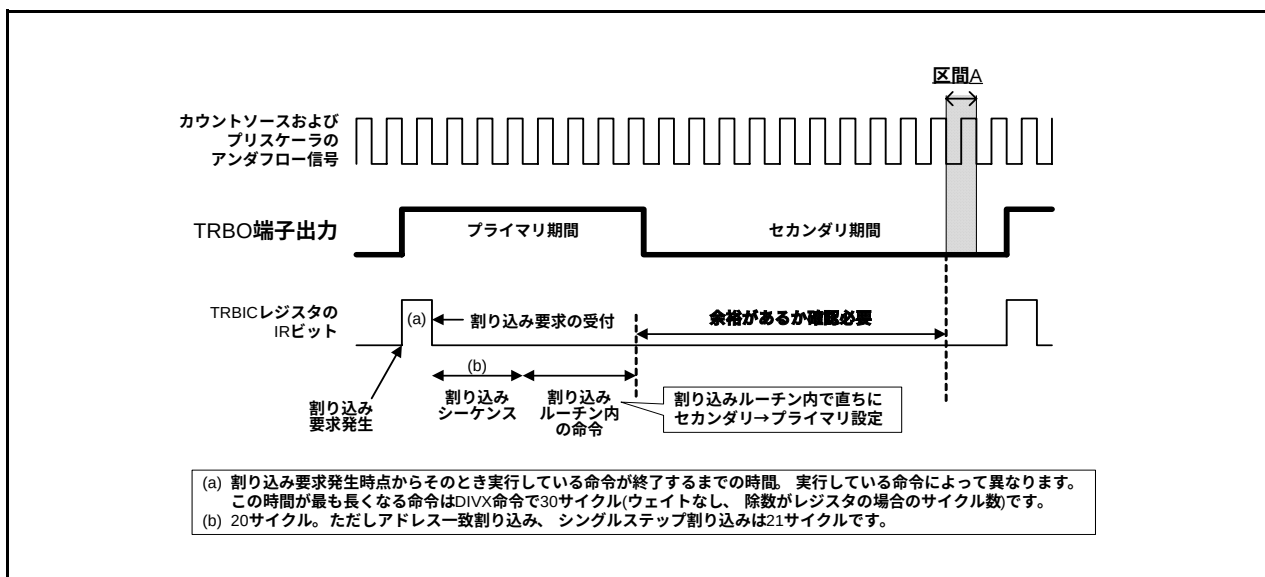


図22.2 対策例(a)のタイマRB割り込みを使用する例

• 対策例(b)

図22.3に示すようにTRBO端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。なお、TRBO端子に対応するポート方向レジスタのビットを“0”(入力モード)に設定し、ポートレジスタのビットの値を読むと、読んだ値はTRBO端子の出力値になります。

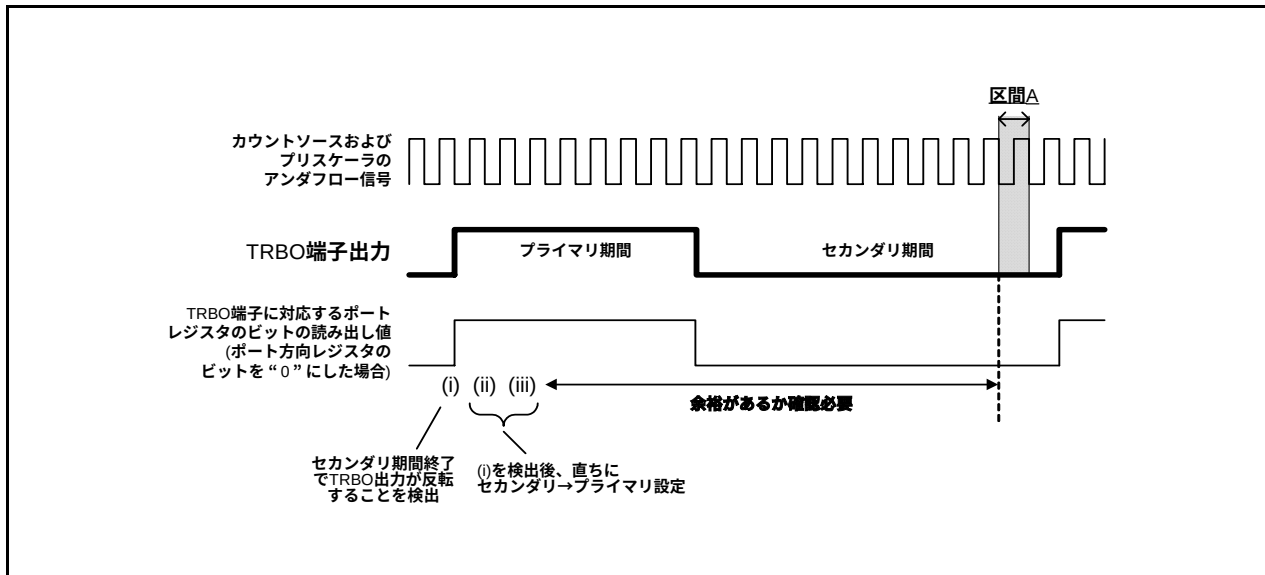


図22.3 対策例(b)のTRBO端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCRレジスタのTSTOPビットを使用してください。この場合、TRBPRESレジスタおよびTRBPRレジスタは初期化され、リセット後の値になります。

22.3.2.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。

22.3.2.4 プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ→TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ→TRBPRレジスタ→TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

22.3.3 タイマRC使用上の注意事項

22.3.3.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。

TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。

TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

プログラム例	MOV.W #XXXXh, TRC	; 書き込み
	JMP.B L1	; JMP.B命令
L1:	MOV.W TRC, DATA	; 読み出し

22.3.3.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

プログラム例	MOV.B #XXh, TRCSR	; 書き込み
	JMP.B L1	; JMP.B命令
L1:	MOV.B TRCSR, DATA	; 読み出し

22.3.3.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

22.3.3.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRCの動作クロック(「表14.11 タイマRCの動作クロック」参照)の3サイクル以上にしてください。
- TRCIOj(j = A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

22.3.3.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

22.3.4 タイマRE使用上の注意事項

22.3.4.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTREC1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)にアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタにアクセスしないでください。

注1.タイマRE関連レジスタ：TRESEC、TREM1N、TREC1、TREC2、TREC3

22.3.4.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREM1N、TREC2レジスタ
- TREC1レジスタのINTビット
- TREC3レジスタのRCS0～RCS2ビット、b3ビット

タイマREが停止中とは、TREC1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TREC2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

22.4 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

＜受信バッファレジスタを読み出すプログラム例＞

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト→下位バイトの順で、8ビット単位で書いてください。

＜送信バッファレジスタに書き込むプログラム例＞

```
MOV.B     #XXH, 00A3H    ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B     #XXH, 00A2H    ; U0TBレジスタの下位バイトへの書き込み
```

22.5 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

22.6 A/Dコンバータ使用上の注意

- ADCON0 の各ビット (ビット 6 を除く)、ADCON1 レジスタの各ビット、ADCON2 レジスタの SMP ビットに対する書き込みは、A/D 変換停止時 (トリガ発生前) に行ってください。
特に VCUT ビットを “0” (VREF 未接続) から “1” (VREF 接続) にしたときは、1 μ s 以上経過した後 A/D 変換を開始させてください。
- A/D 動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D 変換が完了したことを確認してから、AD レジスタを読み出してください (A/D 変換の完了は ADIC レジスタの IR ビット、または ADCON0 レジスタの ADST ビットで判定できます)。
- 繰り返しモードで使用する場合
A/D 変換中の CPU クロックには、A/D コンバータの動作クロック ϕ AD 以上の周波数を選択してください。
 ϕ AD に fOCO-F を選択しないでください。
- A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを “0” (A/D 変換停止) にして強制終了した場合、A/D コンバータの変換結果は不定となります。プログラムで ADST ビットを “0” にした場合は、AD レジスタの値を使用しないでください。
- P4_2/VREF 端子と AVSS 端子間に 0.1 μ F のコンデンサを接続してください。
- A/D 変換中はストップモードに移行しないでください。
- A/D 変換中は CM0 レジスタの CM02 ビットが “1” (ウェイトモード時、周辺機能クロックを停止する) の状態で、ウェイトモードに移行しないでください。

22.7 フラッシュメモリ使用上の注意

22.7.1 CPU書き換えモード

22.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

22.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

22.7.1.3 割り込み

表22.1にEW0モード時の割り込み、表22.2にEW1モード時の割り込みを示します。

表22.1 EW0モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視1割り込み、電圧監視2割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置することで使用できます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表 22.2 EW1 モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視1割り込み、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

22.7.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

22.7.1.5 ユーザROM領域の書き換え

EW0 モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

22.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

22.7.1.7 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

22.7.1.8 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧 $V_{CC} = 2.7 \sim 5.5V$ の条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

22.8 ノイズに関する注意事項

22.8.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

22.8.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

23. オンチップデバッグの注意事項

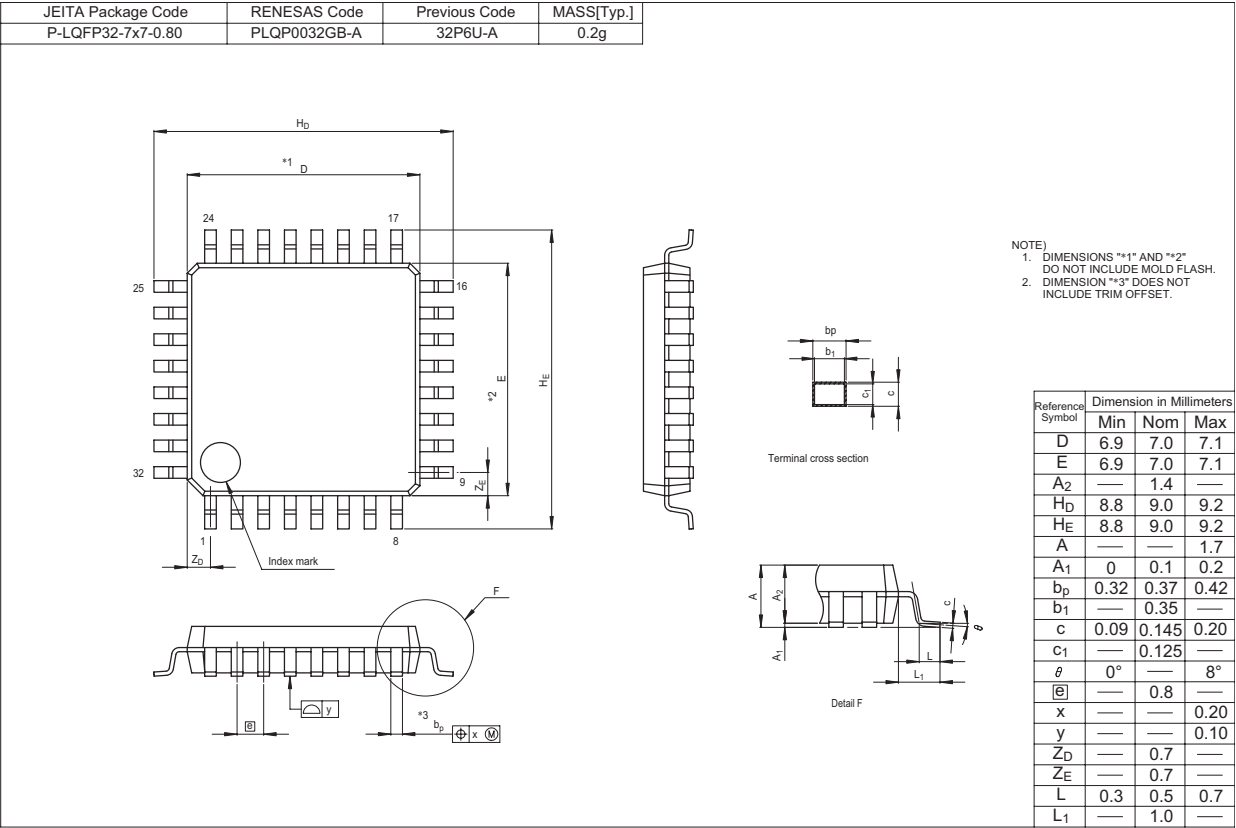
オンチップデバッグを使用してR8C/2E、R8C/2Fグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC = 2.7～5.5Vの条件でデバッグ可能です。2.7V未満ではオンチップデバッグによるデバッグはできません。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

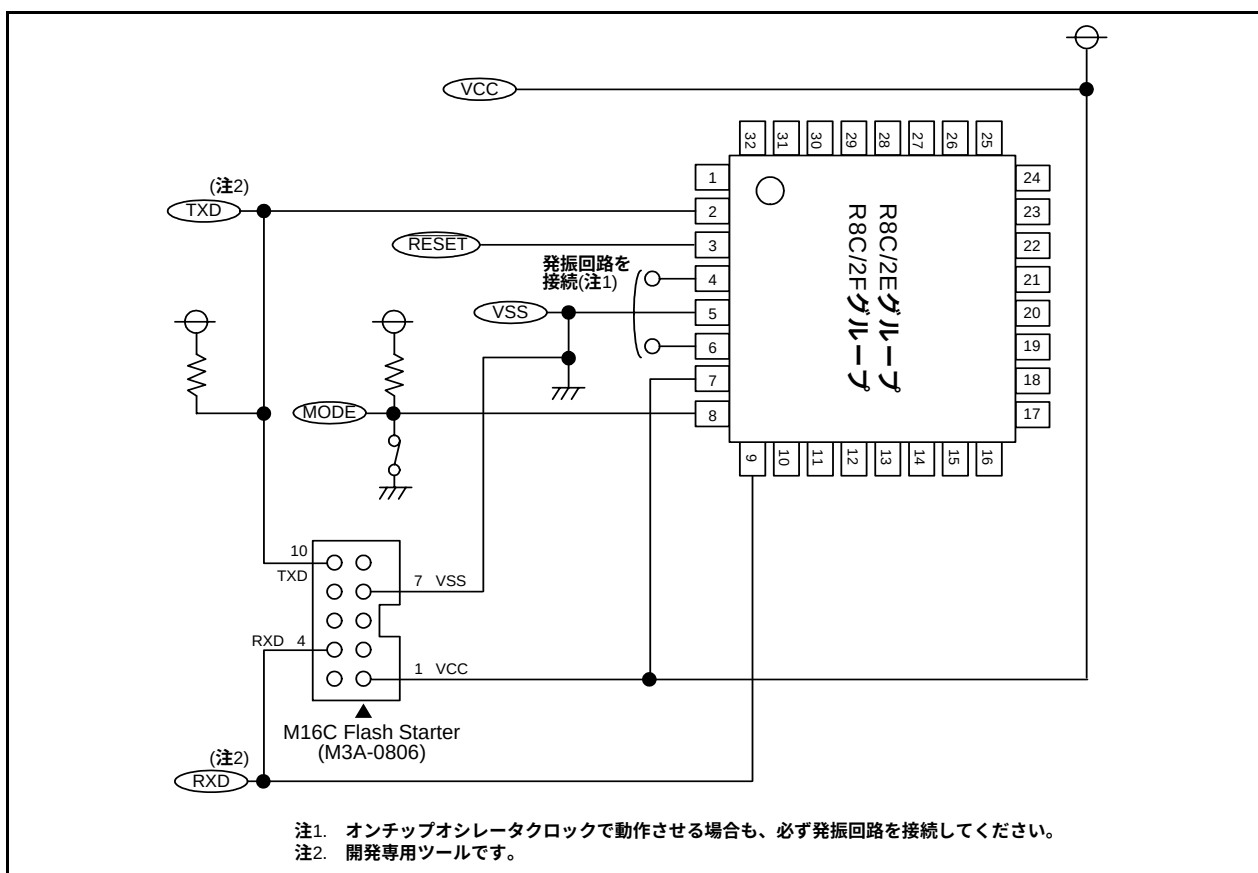
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。

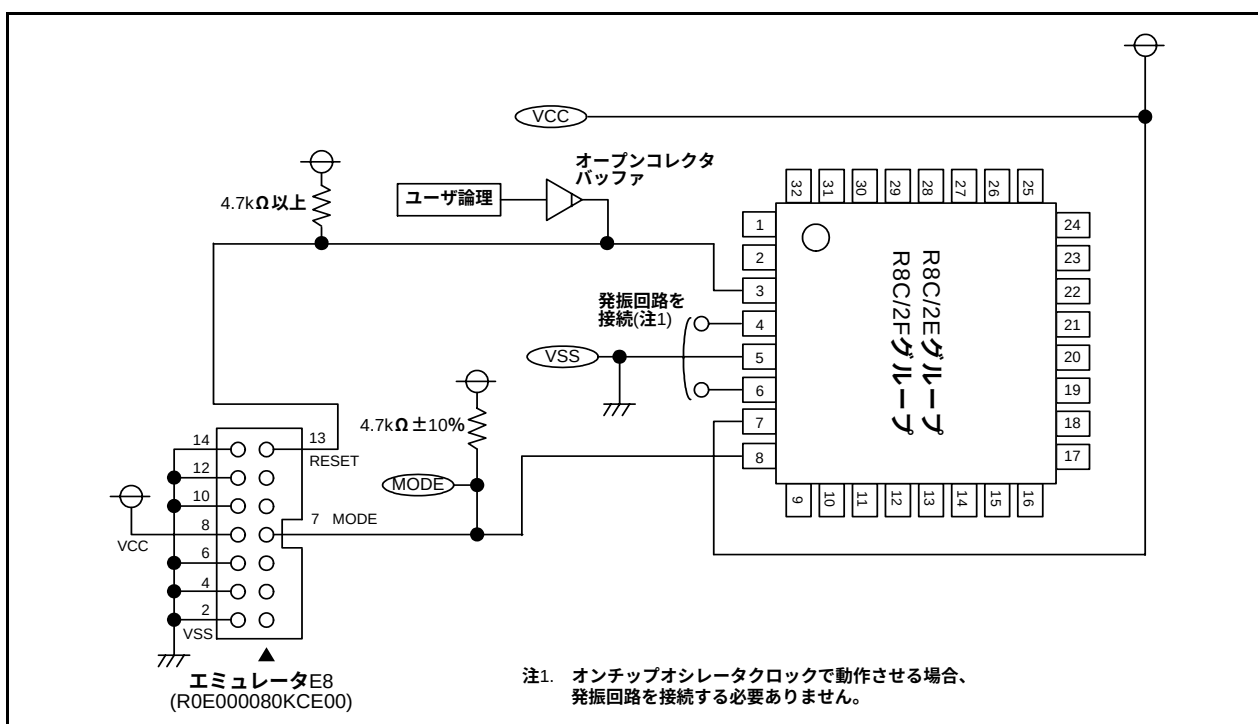


付録2. シリアルライタとオンチップデバッグエミュレータとの接続例

付図2.1にM16C Flash Starterとの接続例(M3A-0806)を、付図2.2にエミュレータE8(R0E000080KCE00)との接続例を示します。



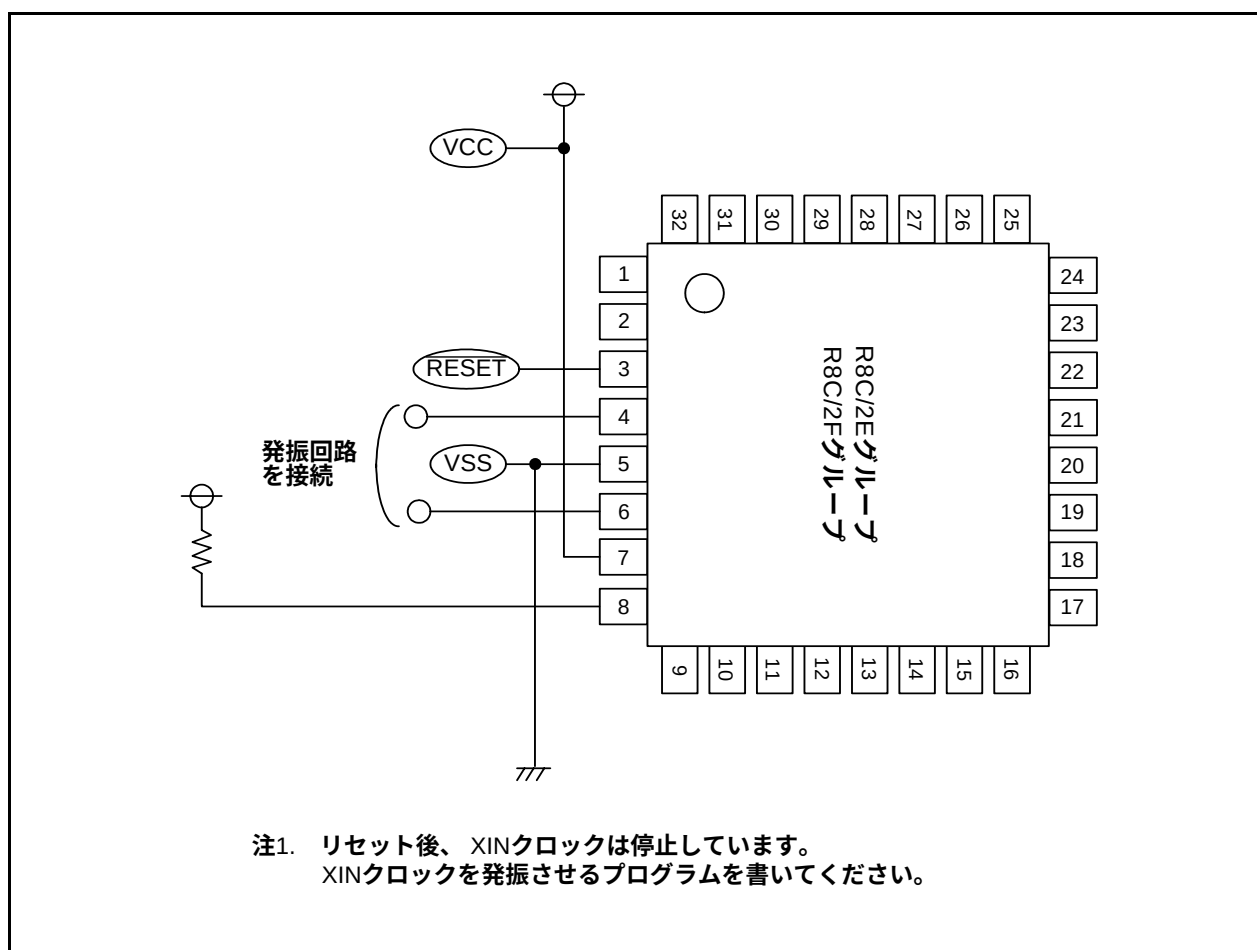
付図2.1 M16C Flash Starterとの接続例 (M3A-0806)



付図2.2 エミュレータE8(R0E000080KCE00)との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

索引

【A】		
A/Dコンバータ	239	
A0、A1	13	
ACCR0	255, 258	
ACCR1	255, 258	
ACMR	259	
AD	242	
ADCON0	241	
ADCON1	242	
ADCON2	242	
ADIC	94	
AIER	110	
【B】		
Bフラグ	13	
【C】		
CM0	66	
CM0IC	95	
CM1	67	
CM1IC	95	
CPU	12	
CPU書き換えモード	269	
CPUクロック	74	
CPUクロックと周辺機能クロック	73	
CSPR	117	
Cフラグ	13	
【D】		
D/Aコンバータ	253	
DA0	254	
DA1	254	
DACON	254	
Dフラグ	13	
【E】		
EW0モード	270	
EW1モード	270	
【F】		
f1、f2、f4、f8、f32	74	
FB	13	
FLG	13	
FMR0	273	
FMR1	274	
FMR4	275	
fOCO	74	
fOCO128	74	
fOCO40M	74	
fOCO-F	74	
fOCO-S	74	
FRA0	69	
FRA1	69	
FRA2	69	
FRA7	70	
【I】		
IDコードチェック機能	267	
INT0IC	96	
INT1IC	96	
INT3IC	96	
INTB	13	
INTEN	104	
INTF	105	
INTi入力フィルタ (i=0、1、3)	106	
INTi割り込み (i=0、1、3)	104	
INT割り込み	104	
IPL	14	
ISP	13	
Iフラグ	14	
【K】		
KIEN	108	
KUPIC	94	
【L】		
LINCR	226	
LINST	227	
LIN終了処理	236	
LSBファースト、MSBファースト選択	216	
【O】		
OCD	68	
OFS	26, 117, 268	
Oフラグ	14	
【P】		
P1DRR	50	
PC	13	
PDi(i=0、1、3～5)	48	
Pi(i=0、1、3～5)	48	
PINSR2	49	
PINSR3	49	
PM0	62	
PM1	62	
PMR	49, 212	
PRCR	88	
PUR0	50	
PUR1	50	
PWM2モード	192	
PWMモード	187	
【R】		
R0、R1、R2、R3	13	
RMAD0	110	
RMAD1	110	
ROMコードプロテクト機能	268	
【S】		
S0TIC	94	
S1RIC	94	
SB	13	
SFR	17	
Sフラグ	13	
【T】		
TRA	124	
TRACR	123	
TRAIC	94	

TRAIOC	123, 125, 128, 130, 132, 135
TRAMR	124
TRAPRE	124
TRBCR	139
TRBIC	94
TRBIOC	140, 142, 146, 149, 153
TRBMR	140
TRBOCR	139
TRBPR	141
TRBPPE	141
TRBSC	141
TRC	166
TRCCR1	163, 185, 189, 194
TRCCR2	167
TRCDF	167
TRCGRA	166
TRCGRB	166
TRCGRC	166
TRCGRD	166
TRCIC	95
TRCIE	164
TRCIEOR0	169, 178, 183
TRCIEOR1	169, 179, 184
TRCMR	162
TRCOER	168
TRCSR	165
TRECR1	203
TRECR2	204
TRECSR	204
TREIC	94
TREMIN	203
TRESEC	203

【U】

U0BRG	209
U0C0	211
U0C1	212
U0MR	210
U0RB	209
U0TB	209
UART	218
USP	13
Uフラグ	14

【V】

VCA1	33
VCA2	33, 70
VCC入力電圧のモニタ	36
Vdet1のモニタ	36
Vdet2のモニタ	36
VW1C	34
VW2C	35

【W】

WDC	116
WDTR	116
WDTS	116

【X】

XINクロック	72
---------------	----

【Z】

Zフラグ	13
------------	----

【あ】

アウトプットコンペア機能	181
アウトプットコンペアモード	202
アドレス一致割り込み	109
アドレスレジスタ	13

【い】

イベントカウンタモード	129
インプットキャプチャ機能	176

【う】

ウェイトモード	77
ウォッチドッグタイマ	115
ウォッチドッグタイマリセット	30

【お】

オーバフローフラグ	14
オンチップオシレータクロック	73
オンチップデバッグの注意事項	327

【か】

外形寸法図	328
概要	1
カウントソース	170
カウントソース保護モード無効時	118
カウントソース保護モード有効時	119

【き】

キー入力割り込み	107
キャリフラグ	13
極性選択機能	216

【く】

繰り返しモード	246
クロック同期形シリアルI/Oモード	213
クロック発生回路	64
クロック非同期形シリアルI/O(UART)モード	218

【こ】

高速オンチップオシレータクロック	73
コンパレータ	256

【さ】

サインフラグ	13
サンプル&ホールド	249

【し】

システムクロック	73
周辺機能クロック	74
周辺機能への影響	42
周辺機能割り込み	91
仕様概要	2
使用上の注意事項	309

シリアルインタフェース	207
シリアルライタとオンチップデバッグエミュレータ との接続例	329

【す】

スタックベースレジスタ	13
スタックポインタ指定フラグ	14
ステータスレジスタ	284
ストップモード	81
スレープモード	231

【せ】

製品一覧	6
ゼロフラグ	13

【そ】

ソフトウェアコマンド	279
ソフトウェアリセット	30
ソフトウェア割り込み	90

【た】

タイマ	120
タイマRA	122
タイマRB	138
タイマRC	159
タイマRC割り込み	198
タイマモード	142, 176, 181, 125
タイマRE	201
端子機能の説明	11
単発モード	243

【ち】

中央演算処理装置(CPU)	12
---------------------	----

【て】

低速オンチップオシレータクロック	73
データレジスタ	13
デバッグフラグ	13
電圧監視1リセット	30
電圧監視1割り込み、電圧監視1リセット	37
電圧監視2リセット	30
電圧監視2割り込み、電圧監視2リセット	39
電圧検出回路	31
電気的特性	294
電源が安定している場合	27
電源投入時	27

【と】

動作説明	228
特殊割り込み	91
特長	224

【に】

入出力端子	225
-------------	-----

【は】

ハードウェアLIN	224
ハードウェアリセット	27
バス衝突検出機能	235
バス制御	63
発振停止検出機能	84
発振停止検出機能の使用手法	84
発振評価回路例	330
バッファ動作	171
パラレル入出力モード	291
パルス周期測定モード	134
パルス出力強制遮断	174
パルス出力モード	127
パルス幅測定モード	131
パワーオンリセット機能	29
パワーコントロール	75

【ひ】

ビットレート	222
標準シリアル入出力モード	287
標準動作モード	75
ピン配置図	9

【ふ】

フラグレジスタ	13
フラッシュメモリ	264
フラッシュメモリ書き換え禁止機能	267
フルステータスチェック	285
フレームベースレジスタ	13
プログラマブルウェイトワンショット発生モード	152
プログラマブル入出力ポート	41
プログラマブル入出力ポート以外の端子	42
プログラマブル入出力ポートの機能	41
プログラマブル波形発生モード	145
プログラマブルワンショット発生モード	148
プログラムカウンタ	13
プロセッサモード	62
プロセッサモードの種類	62
プロセッサ割り込み優先レベル	14
ブロック図	8
プロテクト	88

【ほ】

ポートの設定	51
--------------	----

【ま】

マスタモード	228
--------------	-----

【み】

未使用端子の処理	61
----------------	----

【め】

メモリ	15
メモリ配置	265

【ゆ】

ユーザスタックポインタ	13
-------------------	----

【よ】

用途	1
予約ビット	14

【り】

リセット	24
------------	----

【れ】

レジスタ構成	226
レジスタバンク指定フラグ	13
連続受信モード	217

【わ】

割り込み	89
割り込み許可フラグ	14
割り込みスタックポインタ	13
割り込み制御	94
割り込み制御レジスタ	94, 95
割り込みテーブルレジスタ	13
割り込みと割り込みベクタ	92
割り込みの概要	89
割り込みの分類	89

改訂記録	R8C/2Eグループ、R8C/2Fグループハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2006.09.21	—	初版発行
0.02	2006.11.17	17	表4.1 000Fh番地：“00XXXXXb”→“00X11111b”へ変更
		20	表4.4 00E0h、00E1h、00E5h、00E8h、00E9h番地：“XXh”→“00h”へ変更
		33	図6.4 VCA2レジスタ 注5を変更
		52	表7.4 注1を変更
		61	表7.36 注1を削除
		67	図10.1 変更
		72	図10.6 注5変更
		83	図10.10 変更
		89	図11.1 リセット後の値を“00h”へ修正
		113	12.6.3 修正
		117	図13.2 WDCレジスタ変更
		121	14 「、16ビットタイマを2本、、」→「、16ビットタイマを1本、、」へ修正
		191	表14.22 変更
		200	図14.59 変更
		212	表15.1 注2変更
		214	図15.8 変更
		217	表15.4 注1変更
		219	図15.11 変更
		227	図16.4 変更
		230	図16.7 変更
		235	図16.12 変更
		238	表17.1 変更
		259	表19.3 変更
		260	図19.4 変更
		263	表20.1 変更
		264	20.2、図20.1 変更
		265	図20.2 変更
		268	表20.3 注1変更
		270	20.4.2.3 変更
		271	20.4.2.9 追加
		272	図20.5 変更
		273	図20.6 変更
		279	20.4.3.4 変更

改訂記録	R8C/2E グループ、R8C/2F グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.02	2006.11.17	281	20.4.3.5 変更
		284	表 20.6 変更
		293	表 21.2 変更
		299	表 21.11 変更
		301	表 21.15 変更
		309	22.2.3 修正
0.03a	2007.05.31	—	「RENESAS TECHNICAL UPDATE」反映： TN-16C-A164A/J、TN-16C-A167A/J
		25	図 5.3 変更
		26	図 5.4 注1変更
		29	5.2、図 5.7 変更
		33	図 6.4 VCA2レジスタ 注5変更
		55	表 7.18 変更
		66	10 変更
		67	図 10.1 変更
		71	図 10.5 FRA1レジスタ 変更
		72	図 10.6 注5変更
		73	図 10.7 追加
		78	10.4.1.3 変更
		82	10.4.2.5、図 10.10 変更
		84	図 10.11 変更
		86	10.5.1 「FRA00ビットを“1”(高速オンチップオシレータ発振)にし、」追加
		93	12.1.3.1 変更
		106	12.2.1 変更
		111	表 12.6 変更
		114	12.6.4 削除
		115	図 12.19 注2変更
		119	図 13.3 OFSレジスタ 注1変更
		128	図 14.5 条件を変更
		139	14.1.6 変更
		146	図 14.17 条件を変更
		157～160	14.2.5.1、14.2.5.2、14.2.5.3、14.2.5.4を追加
		212	図 15.4 注2を削除
		222	表 15.5 注2を追加
		233	図 16.6 変更
		236	図 16.9 変更

改訂記録	R8C/2E グループ、R8C/2F グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.03a	2007.05.31	238	図16.11 「BCDCTフラグ」ヘフラグ名修正
		255	17.7 変更
		267	表 20.2 変更
		271	図20.4 注1変更
		272	表 20.3 変更
		274	20.4.2.4 変更
		275	20.4.2.10、20.4.2.15 変更
		276	図 20.5 注3、5変更
		278	図 20.7 注5変更
		280	図 20.9 変更
		281	図 20.11 変更
		283	20.4.3.4 変更
		284	図 20.13 変更
		286	図 20.15 変更
		303	表21.11 変更
		313	22.2.4 削除
		314	図22.1 注2変更
		316	22.3.1 変更
		317～320	21.3.2.1、21.3.2.2、21.3.2.3、21.3.2.4を追加
		326	22.6 変更
		332	付図 2.1 注2削除
		333	付図 3.1 注1変更
0.10	2007.08.01	2、4	表1.1、表1.3 シリアルインタフェース：「UART1」削除、説明を変更
		3、5	表1.2、表1.4 動作周波数/電源電圧、消費電流：説明を変更
		6、7	表1.5、表1.6 書き込み出荷品型名を追加
			図 1.1、図 1.2 変更
		8	図1.3 「UARTまたはクロック同期形シリアルI/O(8ビット×1)」へ変更
		9	図 1.4 変更
		10	表 1.7 変更
		11	表 1.8 変更
		15、16	図3.1、図3.2 書き込み出荷品型名を追加
		18	表4.2 0053h：S1TICレジスタを削除 0054h：S1RICレジスタを削除

改訂記録	R8C/2E グループ、R8C/2F グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2007.08.01	19	表 4.3 00A8h : U1MR レジスタを削除 00A9h : U1BRG レジスタを削除 00AAh、00ABh : U1TB レジスタを削除 00ACh : U1C0 レジスタを削除 00ADh : U1C1 レジスタを削除 00AEh、00AFh : U1RB レジスタを削除
		20	表 4.4 00F5h : PINSR1 レジスタを削除
		29	図 5.7 変更
		43	図 7.1 P1_0～P1_3、P1_4 を変更
		44	図 7.2 変更
		49	図 7.9 PINSR1 レジスタ 削除、図 7.10 PMR レジスタ 変更
		51	表 7.4 変更
		52	表 7.9 変更
		58	表 7.30、表 7.31 変更、表 7.32 削除
		59	表 7.33 変更
		64	表 10.1 注 2 「CM01 ビットを “0” (XIN クロック)、」 を削除
		65	図 10.1 「UART1」 を削除
		93	表 12.2 変更
		94	図 12.3 S1TIC、S1RIC レジスタを削除
		103	図 12.11 変更
		138	14.2 「リロードレジスタとカウンタは同じ番地に配置されています。」 削除
		187	表 14.20 「j = A、B、C、D のいずれか」 へ修正
		203	図 14.64 TRERST ビットの機能を修正
		207～223	15 「UART1」 削除 (「UARTi(i=0～1)」 → 「UART0」 へ変更)、 「i(i=0～1)」 を 「0」 へ変更
		207	15 変更、図 15.1 UART1 を削除
		208	図 15.2 変更
		209	図 15.3 UART0 送信バッファレジスタ : U1TB レジスタ削除 UART0 受信バッファレジスタ : U1RB レジスタ削除 UART0 ビットレートレジスタ : U1BRG レジスタ削除
		210	図 15.4 UART0 送受信モードレジスタ : U1MR レジスタ削除、注 1 変更
		211	図 15.5 UART0 送受信制御レジスタ 0 : U1C0 レジスタ削除
		212	図 15.6 UART0 送受信制御レジスタ 1 : U1C1 レジスタ削除 図 15.7 PINSR1 レジスタを削除、PMR レジスタ 変更
		213	表 15.1 変更
		214	表 15.2、表 15.3 変更
		215	図 15.8 変更

改訂記録	R8C/2E グループ、R8C/2F グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2007.08.01	216	図 15.9、図 15.10 変更
		217	15.1.3 変更
		218	表 15.4 変更
		219	表 15.5、表 15.6 変更
		220	図 15.11 変更
		221	図 15.12 変更
		222	図 15.13 変更
		223	15.3 変更
		224	図 16.1 変更
		229	図 16.5 変更
		233	図 16.9 変更
		230	図 16.6 「TCSTF フラグが、0～1 サイクル必要です。」へ変更
		236	図 16.12 変更
		294	表 21.2 変更
		296	表 21.5、表 21.6 変更
		297	表 21.7 変更
		298	表 21.8 注 4 追加
		299	表 21.10、図 21.3 変更
		301	表 21.14 ヒステリシス：RXD1、CLK1 を削除
		304	表 21.18、図 21.6 「 $i(i=0\sim 1)$ 」を「0」へ変更
		305	表 21.20 ヒステリシス：RXD1、CLK1 を削除
		308	表 21.24、図 21.10 「 $i(i=0\sim 1)$ 」を「0」へ変更
		321	22.4 「 $i(i=0\sim 1)$ 」を「0」へ変更
		327	23 (1) を削除
		329	付図 2.1 注 2 追加、付図 2.2 変更
		330	付図 3.1 注 1 変更
1.00	2007.12.14	全ページ	全ページ「開発中」表記を削除
		2、4	表 1.1、表 1.3 「割り込み」を変更
		6、7	表 1.5、表 1.6 「(開)：開発中」を削除
		15、16	図 3.1、図 3.2 「拡張領域」を削除
		17	表 4.1 番地「002Ch」を追加
		29	5.2 「最大 2.5V 以上」を「最大 2.6V 以上」に変更
		65	図 10.1 変更
		70	図 10.6 FRA7 レジスタ 追加
		73	10.2.2 「FRA7 レジスタ、」を追記
		74	10.3.8 追加

改訂記録	R8C/2E グループ、R8C/2F グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.12.14	78	表10.3 変更
		93	表12.2 変更
		122	図14.1 「TSTART」を「TCSTF」に変更
		169	図14.36 TRCIOR0：b3変更、注4追加
		176	14.3.4 追記、表14.16 変更
		177	図14.42 変更
		178	図14.43 b3変更、注3追加
		183	図14.47 b3変更
		233	図16.9 変更
		250	図17.10 変更
		294	表21.2 IOH(sum)の規格値：最大「－80」に変更
		300	表21.11 記号「fOCO40M」に項目追加

R8C/2Eグループ、R8C/2Fグループハードウェアマニュアル

発行年月日 2006年9月21日 Rev.0.01
2007年12月14日 Rev.1.00

発行 株式会社 ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2007. Renesas Technology Corp., All rights reserved. Printed in Japan.

R8C/2E グループ、R8C/2F グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0373-0100